

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/20103, H8S/20203, H8S/20223,
H8S/20115, H8S/20215, H8S/20235 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 16 ビットシングルチップマイクロコンピュータ
H8S ファミリ／H8S/Tiny シリーズ

H8S/20103	R4F20103
H8S/20203	R4F20203
H8S/20223	R4F20223
H8S/20115	R4F20115
H8S/20215	R4F20215
H8S/20235	R4F20235

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気づきの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

H8S/20103 グループ、H8S/20203 グループ、H8S/20223 グループ、H8S/20115 グループ、H8S/20215 グループ、H8S/20235 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	H8S/20103 グループ、 H8S/20203 グループ、 H8S/20223 グループ、 H8S/20115 グループ、 H8S/20215 グループ、 H8S/20235 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	H8S/2600 シリーズ、 H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C 言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名. レジスタ名. ビット名」または「レジスタ名. ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

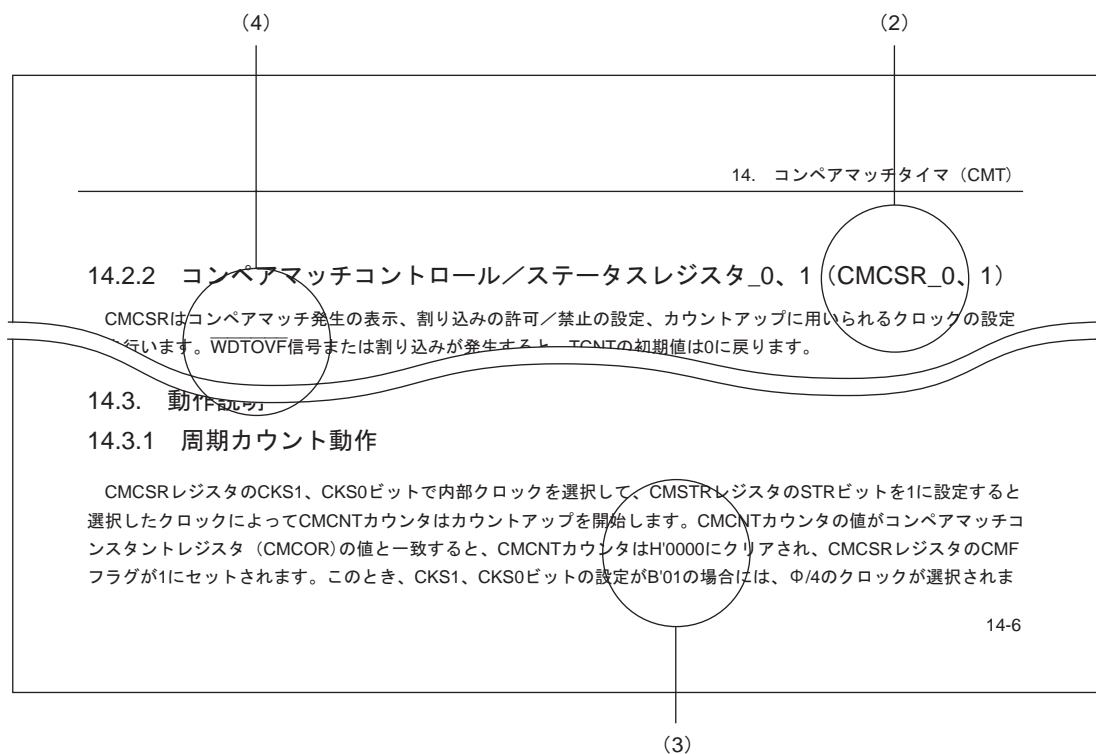
2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、10進数はnnnnで表します。

(例) 2進数 : B'11または11
16進数 : H'EFA0または0xEFA0
10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF



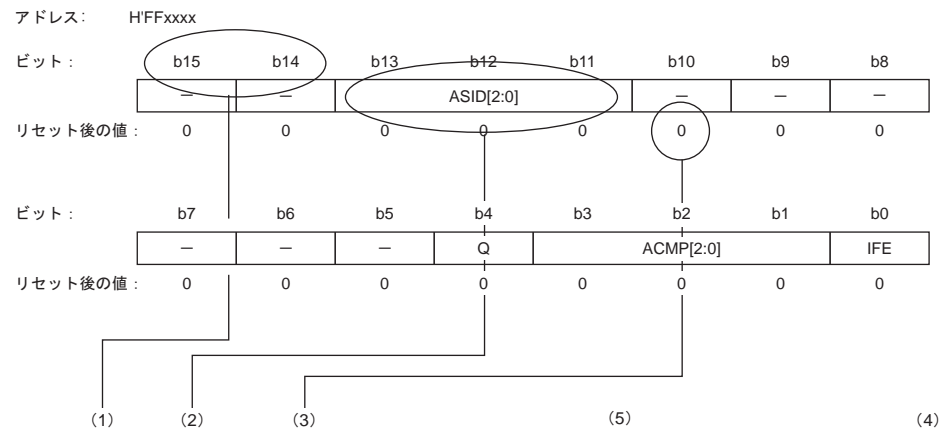
【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。

[ビット図]



[ビット表]

ビット	シンボル	ビット名	説明	R/W
15 14	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	R/W
13~11	ASID[2:0]	アドレス識別子	端子機能の有効/無効を設定できます。	R/W
10	—	予約ビット	読み出すと常に0が読み出されます。	R/W
9	—	予約ビット	読み出すと常に1が読み出されます。	R
—	—	0		

【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) シンボル

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) リセット後の値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

— : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R/(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。
ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、
ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPU の命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMA を行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMA の第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816 規定の接触型 IC カード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.1.1 用途.....	1-1
1.1.2 仕様概要.....	1-2
1.2 製品一覧.....	1-5
1.3 ブロック図.....	1-7
1.4 ピン配置図.....	1-10
1.4.1 端子機能.....	1-13
2. CPU.....	2-1
2.1 特長.....	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点.....	2-2
2.1.2 H8/300 CPU との相違点.....	2-2
2.1.3 H8/300H CPU との相違点.....	2-3
2.2 CPU動作モード.....	2-4
2.2.1 アドバンスモード.....	2-4
2.3 アドレス空間.....	2-6
2.4 レジスタの構成.....	2-12
2.4.1 汎用レジスタ.....	2-13
2.4.2 プログラムカウンタ (PC).....	2-14
2.4.3 エクステンドレジスタ (EXR).....	2-14
2.4.4 コンディションコードレジスタ (CCR).....	2-14
2.4.5 CPU 内部レジスタの初期値.....	2-16
2.5 データ形式.....	2-17
2.5.1 汎用レジスタのデータ形式.....	2-17
2.5.2 メモリ上でのデータ形式.....	2-19
2.6 命令セット.....	2-20
2.6.1 命令の機能別一覧.....	2-21
2.6.2 命令の基本フォーマット.....	2-30
2.7 アドレッシングモードと実効アドレスの計算方法.....	2-31
2.7.1 レジスタ直接 Rn.....	2-31
2.7.2 レジスタ間接 @ERn.....	2-31
2.7.3 ディスプレイメント付きレジスタ間接 @ (d:16,ERn) /@ (d:32,ERn).....	2-31
2.7.4 ポストインクリメントレジスタ間接@ERn+ /プリデクリメントレジスタ間接@-ERn.....	2-32

2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32	2-32
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32	2-33
2.7.7	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-33
2.7.8	メモリ間接 @@aa:8	2-33
2.7.9	実効アドレスの計算方法	2-34
2.8	処理状態	2-36
2.9	使用上の注意事項	2-38
2.9.1	TAS 命令	2-38
2.9.2	STM/LDM 命令	2-38
2.9.3	ビット操作命令	2-38
2.9.4	EEPMOV 命令	2-39
3.	例外処理	3-1
3.1	例外処理の種類と優先度	3-1
3.2	例外処理要因とベクタテーブル	3-2
3.3	リセット	3-2
3.3.1	リセット要因	3-2
3.3.2	リセット例外処理	3-5
3.3.3	リセット直後の割り込み	3-6
3.3.4	リセット解除後の内蔵周辺機能	3-6
3.4	トレース例外処理	3-6
3.5	割り込み例外処理	3-7
3.6	トラップ命令例外処理	3-7
3.7	例外処理後のスタックの状態	3-8
3.8	使用上の注意事項	3-9
4.	割り込みコントローラ	4-1
4.1	概要	4-1
4.2	レジスタの説明	4-3
4.2.1	インタラプトコントロールレジスタ (INTCR)	4-4
4.2.2	インタラプトプライオリティレジスタ A~I (IPRA~IPRI)	4-5
4.2.3	IRQ イネーブルレジスタ (IER)	4-7
4.2.4	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	4-8
4.2.5	IRQ ステータスレジスタ (ISR)	4-10
4.2.6	IRQ ノイズキャンセラコントロールレジスタ (INCCR)	4-11
4.2.7	割り込みベクタオフセットレジスタ (VOFR)	4-12
4.2.8	イベントリンク割り込みコントロールステータスレジスタ (ELCSR)	4-13
4.3	割り込み要因	4-14

4.3.1	外部割り込み要因	4-14
4.3.2	内部割り込み	4-15
4.4	割り込み例外処理ベクタテーブル	4-15
4.5	割り込み制御モードと割り込み動作	4-21
4.5.1	割り込み制御モード 0	4-21
4.5.2	割り込み制御モード 2	4-23
4.5.3	割り込み例外処理シーケンス	4-25
4.5.4	割り込み応答時間	4-26
4.5.5	割り込みによる DTC の起動	4-26
4.6	使用上の注意事項	4-27
4.6.1	割り込みの発生とディスエーブルとの競合	4-27
4.6.2	割り込みを禁止している命令	4-28
4.6.3	割り込み禁止期間	4-28
4.6.4	EPMOV 命令実行中の割り込み	4-28
4.6.5	PMR、ISCRH、ISCR、INCCR レジスタを書き替える際の注意事項	4-29
4.6.6	IRQ ステータスレジスタ (ISR) について	4-29
4.6.7	$\overline{\text{NMI}}$ 端子の注意事項	4-29
5.	クロック発振器	5-1
5.1	概要	5-1
5.2	レジスタの説明	5-3
5.2.1	バックアップコントロールレジスタ (BAKCR)	5-4
5.2.2	システムクロックコントロールレジスタ (SYSCCR)	5-6
5.2.3	低消費電力制御レジスタ 1 (LPCR1)	5-8
5.2.4	低消費電力制御レジスタ 2 (LPCR2)	5-10
5.2.5	低消費電力制御レジスタ 3 (LPCR3)	5-11
5.2.6	OSC 発振安定コントロールステータスレジスタ (OSCCSR)	5-13
5.3	システム基準クロック選択の動作説明	5-15
5.3.1	ϕ_{osc} へのシステム基準クロック切り替え動作	5-17
5.3.2	クロック切り替えタイミング	5-19
5.3.3	バックアップ動作説明	5-21
5.4	メインクロック発振器	5-24
5.4.1	水晶発振子を接続する方法	5-24
5.4.2	セラミック振子を接続する方法	5-24
5.4.3	外部クロックを入力する方法	5-25
5.5	サブクロック発振器	5-26
5.5.1	32.768kHz 水晶発振子を接続する方法	5-26
5.5.2	サブクロックを使用しない場合の端子処理	5-26

5.6	プリスケーラ (PSC分周器)	5-26
5.7	使用上の注意事項	5-27
5.7.1	発振子に関する注意事項	5-27
5.7.2	ボード設計上の注意事項	5-27
6.	低消費電力状態	6-1
6.1	レジスタの説明	6-2
6.1.1	低消費電力制御レジスタ 1、2、3 (LPCR1、LPCR2、LPCR3)	6-3
6.1.2	モジュールスタンバイコントロールレジスタ 1 (MSTCR1)	6-3
6.1.3	モジュールスタンバイコントロールレジスタ 2 (MSTCR2)	6-4
6.1.4	モジュールスタンバイコントロールレジスタ 3 (MSTCR3)	6-5
6.2	モード間遷移とLSIの状態	6-7
6.2.1	アクティブモード	6-9
6.2.2	スリープモード	6-9
6.2.3	スタンバイモード	6-9
6.3	バスマスタクロック分周機能	6-10
6.3.1	リセット状態	6-10
6.4	モジュールスタンバイ機能	6-10
6.5	PSC分周器停止機能	6-10
7.	ROM	7-1
7.1	概要	7-1
7.2	ブロック構成	7-2
7.3	CPU書き換えモード	7-6
7.3.1	EW0 モード	7-7
7.3.2	EW1 モード	7-7
7.4	レジスタの説明	7-8
7.4.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	7-8
7.4.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	7-10
7.4.3	フラッシュメモリデータフラッシュプロテクトレジスタ (DFPR)	7-12
7.4.4	フラッシュメモリステータスレジスタ (FLMSTR)	7-13
7.5	オンボードプログラミング	7-15
7.5.1	ブートモード	7-15
7.5.2	ブートモードの標準シリアル通信インタフェース仕様	7-19
7.5.3	ユーザモードでの書き込み/消去	7-49
7.6	書き込み/消去処理	7-50
7.6.1	ソフトウェアコマンド	7-50
7.7	プロテクト	7-63

7.7.1	ソフトウェアプロテクト	7-63
7.7.2	ロックビットプロテクト	7-63
7.7.3	PROM ライタプロテクト/ブートモードプロテクト.....	7-63
7.8	ライターモード	7-64
7.9	使用上の注意事項	7-65
8.	RAM.....	8-1
9.	周辺機能マッピングコントローラ (PMC)	9-1
9.1	レジスタの説明	9-3
9.1.1	周辺機能マッピングレジスタ書き込みプロテクトレジスタ (PMCWPR)	9-4
9.1.2	ポートグループ 1 周辺機能マッピングレジスタ 1~4 (PMCRn1~PMCRn4) (n=1、2、3、5、6)	9-5
9.1.3	ポートグループ 2 周辺機能マッピングレジスタ 1~4 (PMCRn1~PMCRn4) (n=8、9、A)	9-25
9.2	使用上の注意事項	9-33
9.2.1	ポートのマルチプレクス機能設定手順.....	9-33
9.2.2	PMC レジスタ設定する場合の注意事項	9-33
10.	I/O ポート	10-1
10.1	ポート1	10-2
10.1.1	ポートモードレジスタ 1 (PMR1)	10-3
10.1.2	ポートコントロールレジスタ 1 (PCR1)	10-4
10.1.3	ポートデータレジスタ 1 (PDR1)	10-5
10.1.4	ポートプルアップコントロールレジスタ 1 (PUCR1)	10-6
10.1.5	ポートドライブコントロールレジスタ 1 (PDVR1)	10-7
10.2	ポート2	10-8
10.2.1	ポートモードレジスタ 2 (PMR2)	10-9
10.2.2	ポートコントロールレジスタ 2 (PCR2)	10-10
10.2.3	ポートデータレジスタ 2 (PDR2)	10-11
10.2.4	ポートプルアップコントロールレジスタ 2 (PUCR2)	10-12
10.2.5	ポートドライブコントロールレジスタ 2 (PDVR2)	10-13
10.3	ポート3	10-14
10.3.1	ポートモードレジスタ 3 (PMR3)	10-15
10.3.2	ポートコントロールレジスタ 3 (PCR3)	10-16
10.3.3	ポートデータレジスタ 3 (PDR3)	10-17
10.3.4	ポートプルアップコントロールレジスタ 3 (PUCR3)	10-18
10.3.5	ポートドライブコントロールレジスタ 3 (PDVR3)	10-19
10.4	ポート5	10-20

10.4.1	ポートモードレジスタ 5 (PMR5)	10-21
10.4.2	ポートコントロールレジスタ 5 (PCR5)	10-22
10.4.3	ポートデータレジスタ 5 (PDR5)	10-23
10.4.4	ポートプルアップコントロールレジスタ 5 (PUCR5)	10-24
10.4.5	ポートドライブコントロールレジスタ 5 (PDVR5)	10-25
10.5	ポート6	10-26
10.5.1	ポートモードレジスタ 6 (PMR6)	10-27
10.5.2	ポートコントロールレジスタ 6 (PCR6)	10-28
10.5.3	ポートデータレジスタ 6 (PDR6)	10-29
10.5.4	ポートプルアップコントロールレジスタ 6 (PUCR6)	10-30
10.5.5	ポートドライブコントロールレジスタ 6 (PDVR6)	10-31
10.6	ポート8	10-32
10.6.1	ポートモードレジスタ 8 (PMR8)	10-33
10.6.2	ポートコントロールレジスタ 8 (PCR8)	10-34
10.6.3	ポートデータレジスタ 8 (PDR8)	10-35
10.6.4	ポートプルアップコントロールレジスタ 8 (PUCR8)	10-36
10.6.5	ポートドライブコントロールレジスタ 8 (PDVR8)	10-37
10.6.6	ポート 8 の使用上の注意事項	10-37
10.7	ポート9	10-38
10.7.1	ポートモードレジスタ 9 (PMR9)	10-39
10.7.2	ポートコントロールレジスタ 9 (PCR9)	10-40
10.7.3	ポートデータレジスタ 9 (PDR9)	10-41
10.7.4	ポートプルアップコントロールレジスタ 9 (PUCR9)	10-42
10.7.5	ポートドライブコントロールレジスタ 9 (PDVR9)	10-43
10.8	ポートA	10-44
10.8.1	ポートモードレジスタ A (PMRA)	10-45
10.8.2	ポートコントロールレジスタ A (PCRA)	10-46
10.8.3	ポートデータレジスタ A (PDRA)	10-47
10.8.4	ポートプルアップコントロールレジスタ A (PUCRA)	10-48
10.8.5	ポートモードレジスタ A (PMRA)	10-49
10.8.6	ポートコントロールレジスタ A (PCRA)	10-50
10.8.7	ポートデータレジスタ A (PDRA)	10-51
10.8.8	ポートプルアップコントロールレジスタ A (PUCRA)	10-52
10.8.9	ポートモードレジスタ A (PMRA)	10-53
10.8.10	ポートコントロールレジスタ A (PCRA)	10-54
10.8.11	ポートデータレジスタ A (PDRA)	10-55
10.8.12	ポートプルアップコントロールレジスタ A (PUCRA)	10-56
10.8.13	ポート A 使用上の注意事項	10-57

10.9	ポートB.....	10-58
10.9.1	ポートコントロールレジスタ B (PCRB)	10-59
10.9.2	ポートデータレジスタ B (PDRB)	10-60
10.9.3	ポートプルアップコントロールレジスタ B (PUCRB)	10-61
10.9.4	ポート B 使用上の注意事項.....	10-62
10.10	ポートJ.....	10-63
10.10.1	ポートモードレジスタ J (PMRJ)	10-64
10.10.2	ポートコントロールレジスタ J (PCRJ)	10-65
10.10.3	ポートデータレジスタ J (PDRJ)	10-66
10.10.4	ポートプルアップコントロールレジスタ J (PUCRJ)	10-67
11.	データトランスファコントローラ (DTC)	11-1
11.1	概要.....	11-1
11.2	レジスタの説明.....	11-3
11.2.1	DTC モードレジスタ A (MRA)	11-4
11.2.2	DTC モードレジスタ B (MRB)	11-5
11.2.3	DTC ソースアドレスレジスタ (SAR)	11-6
11.2.4	DTC デスティネーションアドレスレジスタ (DAR)	11-6
11.2.5	DTC 転送カウントレジスタ A (CRA)	11-7
11.2.6	DTC 転送カウントレジスタ B (CRB)	11-7
11.2.7	DTC イネーブルレジスタ A~H (DTCERA~DTCERH)	11-8
11.2.8	DTC ベクタレジスタ (DTVECR)	11-10
11.3	起動要因.....	11-11
11.4	レジスタ情報の配置とDTCベクタテーブル.....	11-12
11.5	動作説明.....	11-16
11.5.1	ノーマルモード.....	11-17
11.5.2	リピートモード.....	11-18
11.5.3	ブロック転送モード.....	11-19
11.5.4	チェイン転送.....	11-20
11.5.5	割り込み要因.....	11-21
11.5.6	動作タイミング.....	11-22
11.5.7	DTC 実行ステート数.....	11-23
11.6	DTC使用手順.....	11-24
11.6.1	割り込みによる起動.....	11-24
11.6.2	ソフトウェアによる起動.....	11-24
11.7	DTC使用例.....	11-25
11.7.1	ノーマルモード.....	11-25
11.7.2	転送カウンタ=0のときのチェイン転送.....	11-26

11.7.3	ソフトウェア起動	11-27
11.8	使用上の注意事項	11-28
11.8.1	モジュールスタンバイモードの設定	11-28
11.8.2	DTCE ビットの設定	11-28
11.8.3	SCI、IIC2/SSU および A/D 変換器の割り込み要因による DTC 起動	11-28
11.8.4	割り込みベクタオフセットレジスタ (VOFR) 使用時の制限事項	11-28
12.	イベントリンクコントローラ (ELC)	12-1
12.1	概要	12-1
12.2	レジスタの説明	12-2
12.2.1	イベントリンクコントロールレジスタ (ELCR)	12-3
12.2.2	イベントリンク設定レジスタ 0~32 (ELSR0~ELSR32)	12-3
12.2.3	イベントリンクオプション設定レジスタ A (ELOPA)	12-7
12.2.4	イベントリンクオプション設定レジスタ B (ELOPB)	12-8
12.2.5	イベントリンクオプション設定レジスタ C (ELOPC)	12-9
12.2.6	ポートグループ指定レジスタ 1、2 (PGR1、PGR2)	12-10
12.2.7	ポートグループコントロールレジスタ 1、2 (PGC1、PGC2)	12-11
12.2.8	ポートバッファレジスタ 1、2 (PDBF1、PDBF2)	12-12
12.2.9	イベント接続ポート指定レジスタ 0~3 (PEL0~PEL3)	12-13
12.2.10	イベント発生タイマコントロールレジスタ (ELTMCR)	12-14
12.2.11	イベント発生タイマ周期設定レジスタ A (ELTMSA)	12-15
12.2.12	イベント発生タイマ周期設定レジスタ B (ELTMSB)	12-16
12.2.13	イベント発生タイマ遅延時間選択レジスタ (ELTMDR)	12-17
12.2.14	ELC タイマカウンタ (ELTMCNT)	12-18
12.3	動作説明	12-19
12.3.1	割り込み処理とイベントリンクの関係	12-19
12.3.2	イベントのリンク	12-20
12.3.3	タイマ系周辺機能のイベント入力時の動作	12-21
12.3.4	A/D 変換器、D/A 変換器のイベント入力時の動作	12-21
12.3.5	ポートのイベント入力動作とイベント発生動作	12-21
12.3.6	イベント発生タイマ	12-26
12.3.7	イベントリンクの動作設定手順	12-28
13.	タイマ RA	13-1
13.1	概要	13-1
13.2	レジスタの説明	13-2
13.2.1	タイマ RA コントロールレジスタ (TRACR)	13-3
13.2.2	タイマ RA I/O コントロールレジスタ (TRAIOC)	13-4

13.2.3	タイマ RA モードレジスタ (TRAMR)	13-6
13.2.4	タイマ RA 割り込みイネーブルステータスレジスタ (TRAIR)	13-7
13.2.5	タイマ RA プリスケーラレジスタ (TRAPRE)	13-7
13.2.6	タイマ RA タイマレジスタ (TRATR)	13-8
13.3	動作説明	13-9
13.3.1	各モード共通の動作	13-9
13.3.2	タイマモード	13-10
13.3.3	パルス出力モード	13-10
13.3.4	イベントカウンタモード	13-10
13.3.5	パルス幅測定モード	13-11
13.3.6	パルス周期測定モード	13-12
13.3.7	イベントリンクによる動作.....	13-12
13.4	使用上の注意事項	13-14
14.	タイマ RB.....	14-1
14.1	概要	14-1
14.2	レジスタの説明	14-3
14.2.1	タイマ RB コントロールレジスタ (TRBCR)	14-4
14.2.2	タイマ RB ワンショットコントロールレジスタ (TRBOCR)	14-5
14.2.3	タイマ RB I/O コントロールレジスタ (TRBIOC)	14-6
14.2.4	タイマ RB モードレジスタ (TRBMR)	14-8
14.2.5	タイマ RB 割り込み要求ステータスレジスタ (TRBIR)	14-9
14.2.6	タイマ RB プリスケーラレジスタ (TRBPRE)	14-10
14.2.7	タイマ RB セカンダリレジスタ (TRBSC)	14-10
14.2.8	タイマ RB プライマリレジスタ (TRBPR)	14-11
14.3	動作説明	14-12
14.3.1	タイマモード	14-12
14.3.2	プログラマブル波形発生モード.....	14-13
14.3.3	プログラマブルワンショット発生モード.....	14-15
14.3.4	プログラマブルウェイトワンショット発生モード.....	14-17
14.3.5	TWRC ビットによるプリスケーラ、カウンタへの反映タイミング.....	14-19
14.3.6	TOCNT 設定と端子状態更新条件	14-21
14.3.7	イベントリンクによる動作.....	14-21
14.4	割り込み要求	14-22
14.5	使用上の注意事項	14-22
15.	タイマ RC.....	15-1
15.1	概要	15-1

15.2	レジスタの説明	15-4
15.2.1	タイマ RC モードレジスタ (TRCMR)	15-5
15.2.2	タイマ RC コントロールレジスタ 1 (TRCCR1)	15-6
15.2.3	タイマ RC コントロールレジスタ 2 (TRCCR2)	15-7
15.2.4	タイマ RC インタラプトイネーブルレジスタ (TRCIER)	15-8
15.2.5	タイマ RC ステータスレジスタ (TRCSR)	15-9
15.2.6	タイマ RC I/O コントロールレジスタ 0 (TRCIOR0)	15-11
15.2.7	タイマ RC I/O コントロールレジスタ 1 (TRCIOR1)	15-12
15.2.8	タイマ RC アウトプットイネーブルレジスタ (TRCOER)	15-14
15.2.9	タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)	15-15
15.2.10	タイマ RC A/D 変換開始トリガコントロールレジスタ (TRCADCR)	15-16
15.2.11	タイマ RC カウンタ (TRCCNT)	15-16
15.2.12	ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)	15-17
15.3	動作説明	15-18
15.3.1	タイマモード動作	15-20
15.3.2	PWM 動作	15-23
15.3.3	PWM2 モード動作	15-28
15.3.4	インプットキャプチャ入力デジタルフィルタ機能	15-33
15.3.5	A/D 変換開始トリガ機能	15-34
15.3.6	GR 対象出力端子可変機能	15-35
15.3.7	イベントリンクによる動作	15-36
15.4	動作タイミング	15-37
15.4.1	TRCCNT のカウントタイミング	15-37
15.4.2	アウトプットコンペア出力タイミング	15-38
15.4.3	インプットキャプチャタイミング	15-39
15.4.4	コンペアマッチによるカウンタクリアタイミング	15-39
15.4.5	バッファ動作タイミング	15-40
15.4.6	コンペアマッチ時の IMFA～IMFD フラグのセットタイミング	15-41
15.4.7	インプットキャプチャ時のフラグセットタイミング	15-42
15.4.8	ステータスフラグのクリアタイミング	15-42
15.4.9	コンペアマッチで A/D 変換開始トリガのタイミング	15-43
15.5	使用上の注意事項	15-44
16.	タイマ RD	16-1
16.1	概要	16-1
16.2	レジスタの説明	16-8
16.2.1	タイマ RD スタートレジスタ (TRDSTR)	16-9
16.2.2	タイマ RD モードレジスタ (TRDMDR)	16-11

16.2.3	タイマ RD PWM モードレジスタ (TRDPMR)	16-12
16.2.4	タイマ RD ファンクションコントロールレジスタ (TRDFCR)	16-13
16.2.5	タイマ RD アウトプットマスタイネーブルレジスタ 1 (TRDOER1)	16-15
16.2.6	タイマ RD アウトプットマスタイネーブルレジスタ 2 (TRDOER2)	16-16
16.2.7	タイマ RD アウトプットコントロールレジスタ (TRDOCR)	16-17
16.2.8	タイマ RD A/D 変換開始トリガコントロールレジスタ (TRDADCR)	16-18
16.2.9	タイマ RD カウンタ (TRDCNT)	16-19
16.2.10	ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)	16-20
16.2.11	タイマ RD コントロールレジスタ (TRDCR)	16-21
16.2.12	タイマ RD I/O コントロールレジスタ (TRDIORA、TRDIORC)	16-22
16.2.13	タイマ RD ステータスレジスタ (TRDSR)	16-26
16.2.14	タイマ RD インタラプトイネーブルレジスタ (TRDIER)	16-29
16.2.15	PWM モードアウトプットレベルコントロールレジスタ (POCR)	16-30
16.2.16	タイマ RD デジタルフィルタ機能選択レジスタ (TRDDF)	16-31
16.2.17	CPU とのインタフェース.....	16-32
16.3	動作説明.....	16-33
16.3.1	カウンタの動作.....	16-36
16.3.2	コンペアマッチによる波形出力機能.....	16-40
16.3.3	インプットキャプチャ機能.....	16-43
16.3.4	同期動作.....	16-46
16.3.5	PWM モード.....	16-47
16.3.6	リセット同期 PWM モード.....	16-53
16.3.7	相補 PWM モード.....	16-57
16.3.8	PWM3 モード.....	16-63
16.3.9	バッファ動作.....	16-69
16.3.10	タイマ RD 出力タイミング.....	16-77
16.3.11	インプットキャプチャ入力デジタルフィルタ機能.....	16-80
16.3.12	GR 対象出力端子可変機能.....	16-81
16.3.13	A/D 変換開始トリガ設定機能.....	16-83
16.3.14	イベントリンクによる動作.....	16-85
16.4	割り込み要求.....	16-86
16.4.1	ステータスフラグのセットタイミング.....	16-86
16.4.2	ステータスフラグのクリアタイミング.....	16-88
16.5	使用上の注意事項.....	16-89
17.	タイマ RE.....	17-1
17.1	概要.....	17-1
17.2	レジスタの説明.....	17-3

17.2.1	タイマ RE 秒データレジスタ/カウンタデータレジスタ (TRESEC)	17-4
17.2.2	タイマ RE 分データレジスタ/コンペアデータレジスタ (TREMINT)	17-5
17.2.3	タイマ RE 時データレジスタ (TREHR)	17-6
17.2.4	タイマ RE 曜日データレジスタ (TREWK)	17-7
17.2.5	タイマ RE コントロールレジスタ 1 (TRECRC1)	17-8
17.2.6	タイマ RE コントロールレジスタ 2 (TRECRC2)	17-10
17.2.7	タイマ RE 割り込みフラグレジスタ (TREIFR)	17-11
17.2.8	タイマ RE クロックソースセレクトレジスタ (TRECSCR)	17-13
17.3	リアルタイムクロックモードの動作.....	17-14
17.3.1	電源投入後のレジスタの初期設定.....	17-14
17.3.2	初期設定手順.....	17-14
17.3.3	リアルタイムクロックモード時の時刻読み出し手順.....	17-15
17.3.4	リアルタイムクロックモードの動作例.....	17-16
17.4	アウトプットコンペアモードの動作.....	17-17
17.5	割り込み要因.....	17-19
17.6	使用上の注意事項.....	17-20
18. タイマ RG.....		18-1
18.1	概要.....	18-1
18.2	レジスタの説明.....	18-4
18.2.1	タイマ RG モードレジスタ (TRGMDR)	18-5
18.2.2	タイマ RG カウンタコントロールレジスタ (TRGCNTR)	18-6
18.2.3	タイマ RG コントロールレジスタ (TRGCR)	18-7
18.2.4	タイマ RG I/O コントロールレジスタ (TRGIOR)	18-8
18.2.5	タイマ RG ステータスレジスタ (TRGSR)	18-9
18.2.6	タイマ RG インタラプトイネーブルレジスタ (TRGIER)	18-10
18.2.7	タイマ RG カウンタ (TRGCNT)	18-11
18.2.8	ジェネラルレジスタ A、B (GRA、GRB) GRA バッファレジスタ、GRB バッファレジスタ (BRA、BRB)	18-12
18.3	動作説明.....	18-13
18.3.1	タイマモード.....	18-14
18.3.2	PWM モード.....	18-20
18.3.3	位相計数モード.....	18-23
18.3.4	バッファ動作.....	18-28
18.3.5	イベントリンクによる動作.....	18-30
18.3.6	インプットキャプチャ入力デジタルフィルタ機能.....	18-31

19. ウォッチドッグタイマ (WDT)	19-1
19.1 概要	19-2
19.2 レジスタの説明	19-3
19.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)	19-3
19.2.2 タイマカウンタ WD (TCWD)	19-4
19.2.3 タイマモードレジスタ WD (TMWD)	19-5
19.2.4 タイマインタラプトコントロールレジスタ WD (TICRWD)	19-6
19.2.5 タイマインタラプトフラグレジスタ WD (TIFRWD)	19-7
19.3 動作説明	19-8
19.3.1 ウォッチドッグタイマオーバフローリセット	19-8
19.3.2 ウォッチドッグタイマ設定フロー	19-9
19.3.3 ウォッチドッグタイマ周期割り込み	19-10
19.4 使用上の注意事項	19-11
19.4.1 システム設計上での留意点	19-11
19.4.2 ウォッチドッグタイマを停止またはカウントクロックを切り替えるときの留意点	19-11
20. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)	20-1
20.1 概要	20-1
20.2 レジスタの説明	20-5
20.2.1 レシーブシフトレジスタ (RSR)	20-6
20.2.2 レシーブデータレジスタ (RDR)	20-6
20.2.3 トランスミットシフトレジスタ (TSR)	20-6
20.2.4 トランスミットデータレジスタ (TDR)	20-7
20.2.5 シリアルモードレジスタ (SMR)	20-8
20.2.6 シリアルコントロールレジスタ 3 (SCR3)	20-10
20.2.7 シリアルステータスレジスタ (SSR)	20-11
20.2.8 ビットレートレジスタ (BRR)	20-13
20.2.9 サンプルングモードレジスタ (SPMR)	20-17
20.2.10 IrDA コントロールレジスタ (IrCR)	20-18
20.3 調歩同期式モードの動作説明	20-19
20.3.1 クロック	20-19
20.3.2 SCI3 の初期化	20-20
20.3.3 データ送信	20-21
20.3.4 データ受信	20-23
20.4 クロック同期式モードの動作説明	20-26
20.4.1 クロック	20-26
20.4.2 SCI3 の初期化	20-26
20.4.3 データ送信	20-27

20.4.4	データ受信	20-29
20.4.5	データ送受信同時動作	20-31
20.5	マルチプロセッサ通信機能	20-32
20.5.1	マルチプロセッサデータ送信	20-33
20.5.2	マルチプロセッサデータ受信	20-34
20.6	IrDA動作	20-36
20.6.1	送信	20-37
20.6.2	受信	20-37
20.6.3	ハイパルス幅の選択	20-38
20.7	ノイズ除去回路	20-39
20.8	割り込み要求	20-40
20.9	使用上の注意事項	20-41
20.9.1	ブレークの検出と処理について	20-41
20.9.2	マーク状態とブレークの送出	20-41
20.9.3	受信エラーフラグと送信動作について (クロック同期式モードのみ)	20-41
20.9.4	調歩同期式モードの受信データサンプリングタイミングと受信マージン	20-42
20.9.5	TDR へのライトと TDRE フラグの関係	20-42
20.9.6	DTC 使用上の制約	20-43
21.	I ² C バスインタフェース 2 (IIC2)	21-1
21.1	概要	21-1
21.2	レジスタの説明	21-4
21.2.1	IIC2/SSU 選択レジスタ (ICSUSR)	21-4
21.2.2	I ² C バスコントロールレジスタ 1 (ICCR1)	21-5
21.2.3	I ² C バスコントロールレジスタ 2 (ICCR2)	21-7
21.2.4	I ² C バスモードレジスタ (ICMR)	21-9
21.2.5	I ² C バスインタラプトイネーブルレジスタ (ICIER)	21-11
21.2.6	I ² C バスステータスレジスタ (ICSR)	21-13
21.2.7	スレーブアドレスレジスタ (SAR)	21-16
21.2.8	I ² C バス送信データレジスタ (ICDRT)	21-16
21.2.9	I ² C バス受信データレジスタ (ICDRR)	21-16
21.2.10	I ² C バスシフトレジスタ (ICDRS)	21-17
21.3	動作説明	21-18
21.3.1	I ² C バスフォーマット	21-18
21.3.2	マスタ送信動作	21-19
21.3.3	マスタ受信動作	21-21
21.3.4	スレーブ送信動作	21-23
21.3.5	スレーブ受信動作	21-25

21.3.6	クロック同期式シリアルフォーマット.....	21-27
21.3.7	ノイズ除去回路.....	21-30
21.3.8	使用例.....	21-30
21.4	割り込み要求.....	21-35
21.5	ビット同期回路.....	21-36
21.6	使用上の注意事項.....	21-37
21.6.1	PMCにおける SCL、SDA 端子の設定.....	21-37
21.6.2	マルチマスタ使用時での MST、TRS 設定時のビット操作命令使用制限.....	21-37
21.6.3	I ² C バスインタフェースモードのマスタ受信モード時の注意事項.....	21-37
21.6.4	I ² C バス動作中における ICCR1 の ICE ビットおよび ICCR2 の IICRST ビットのアクセスに関する注意事項.....	21-38
22.	シンクロナスシリアルコミュニケーションユニット.....	22-1
22.1	概要.....	22-1
22.2	レジスタの説明.....	22-3
22.2.1	IIC2/SSU 選択レジスタ (ICSUSR).....	22-3
22.2.2	SS コントロールレジスタ H (SSCRH).....	22-4
22.2.3	SS コントロールレジスタ L (SSCRL).....	22-5
22.2.4	SS モードレジスタ (SSMR).....	22-6
22.2.5	SS モードレジスタ 2 (SSMR2).....	22-7
22.2.6	SS イネーブルレジスタ (SSER).....	22-9
22.2.7	SS ステータスレジスタ (SSSR).....	22-10
22.2.8	SS レシーブデータレジスタ (SSRDR).....	22-12
22.2.9	SS トランスミットデータレジスタ (SSTDR).....	22-12
22.2.10	SS シフトレジスタ (SSTRSR).....	22-12
22.3	動作説明.....	22-13
22.3.1	転送クロック.....	22-13
22.3.2	クロックの極性、位相とデータの関係.....	22-13
22.3.3	データ入出力端子とシフトレジスタの関係.....	22-14
22.3.4	各通信モードと端子機能.....	22-15
22.3.5	クロック同期式通信モードの動作.....	22-16
22.3.6	4 線式バス通信モードの動作.....	22-22
22.3.7	$\overline{\text{SCS}}$ 端子制御とアービトレーション.....	22-27
22.4	割り込み要求.....	22-28
22.5	使用上の注意事項.....	22-28
23.	ハードウェア LIN.....	23-1
23.1	概要.....	23-1

23.2	レジスタ構成	23-2
23.2.1	LIN コントロールレジスタ (LINCRCR)	23-2
23.2.2	LIN ステータスレジスタ (LINST)	23-3
23.3	動作説明	23-4
23.3.1	マスタモード	23-4
23.3.2	スレーブモード	23-7
23.3.3	バス衝突検出機能	23-11
23.3.4	ハードウェア LIN 終了処理	23-12
23.4	割り込み要求	23-13
23.5	使用上の注意事項	23-13
24.	A/D 変換器	24-1
24.1	概要	24-1
24.2	レジスタの説明	24-5
24.2.1	A/D データレジスタ 0~7 (ADDR0~ADDR7)	24-6
24.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	24-7
24.2.3	A/D コントロールレジスタ (ADCR)	24-9
24.2.4	A/D モードレジスタ (ADMR)	24-10
24.2.5	コンペアデータレジスタ (CMPR)	24-11
24.2.6	コンペアコントロール/ステータスレジスタ (CMPCSR)	24-12
24.2.7	コンペア電圧レジスタ H、L (CMPVALH、CMPVALL)	24-13
24.3	動作説明	24-14
24.4	A/D変換モード	24-15
24.4.1	A/D 変換シングルモード	24-15
24.4.2	A/D 変換スキャンモード	24-16
24.5	コンペアモード動作	24-17
24.5.1	コンペアシングルモード	24-17
24.5.2	コンペアスキャンモード	24-18
24.5.3	入力サンプリングと A/D 変換時間	24-19
24.5.4	外部トリガ入力タイミング	24-20
24.6	割り込み要因	24-21
24.7	A/D変換精度の定義	24-22
24.8	使用上の注意事項	24-24
24.8.1	モジュールスタンバイ機能の設定	24-24
24.8.2	許容信号源インピーダンスについて	24-24
24.8.3	絶対精度への影響	24-25
24.8.4	アナログ電源端子他の設定範囲	24-25
24.8.5	ボード設計上の注意事項	24-25

24.8.6	ノイズ対策上の注意事項	24-26
24.8.7	アナログ入力端子について.....	24-26
25.	D/A 変換器	25-1
25.1	概要	25-1
25.2	レジスタの説明	25-2
25.2.1	D/A データレジスタ 0、1 (DADR0、DADR1)	25-2
25.2.2	D/A コントロールレジスタ (DACR)	25-3
25.3	動作説明	25-4
25.4	使用上の注意事項	25-5
25.4.1	モジュールスタンバイ機能の設定.....	25-5
25.4.2	スタンバイモード時の動作.....	25-5
26.	低電圧検出回路	26-1
26.1	特長	26-1
26.2	レジスタの説明	26-4
26.2.1	低電圧検出回路コントロールプロテクトレジスタ (VDCPR)	26-5
26.2.2	低電圧検出回路 2 コントロールレジスタ H (LD2CRH)	26-6
26.2.3	低電圧検出回路 2 コントロールレジスタ L (LD2CRL)	26-8
26.2.4	低電圧検出回路 1 コントロールレジスタ H (LD1CRH)	26-9
26.2.5	低電圧検出回路 1 コントロールレジスタ L (LD1CRL)	26-11
26.2.6	低電圧検出回路 0 コントロールレジスタ H (LD0CRH)	26-12
26.2.7	低電圧検出回路 0 コントロールレジスタ L (LD0CRL)	26-13
26.3	動作説明	26-14
26.3.1	パワーオンリセット機能	26-14
26.3.2	低電圧検出回路	26-15
27.	レジスタ一覧	27-1
27.1	レジスタアドレス一覧 (アドレス順)	27-2
27.2	レジスタビット一覧	27-17
28.	電気的特性	28-1
28.1	絶対最大定格	28-1
28.2	電気的特性	28-2
28.2.1	電源電圧と動作範囲	28-2
28.3	DC特性	28-4
28.4	AC特性	28-12
28.5	A/D変換特性	28-17
28.6	D/A変換特性	28-18

28.7	フラッシュメモリ特性	28-19
28.8	低電圧検出回路特性	28-20
28.9	パワーオンリセット機能特性.....	28-23
28.10	タイミング図	28-24
28.11	出力負荷条件	28-31
付録.....		付録-1
A.	外形寸法図	付録-1
B.	未使用端子の処理について	付録-4
本版で修正または追加された箇所.....		改訂-1
索引.....		索引-1

1. 概要

1.1 特長

H8S/Tiny シリーズは、ルネサスオリジナルマイコン H8/300、H8/300H の各 CPU に対し上位互換アーキテクチャを持ち、内部 16 ビット構成の H8S/2000 CPU をコアとする CISC (Complex Instruction Set Computer) マイコンです。

周辺機能として、データトランスファコントローラ、イベントリンクコントローラ、シリアルコミュニケーションインタフェース 3、I²C バスインタフェース 2、シンクロナスシリアルコミュニケーションユニット、ハードウェア LIN 通信インタフェース、A/D 変換器、D/A 変換器、低電圧検出回路および豊富な各種タイマを内蔵しており、低コストでのシステム構築を可能にします。これらは低消費電力モードにより、ダイナミックな消費電力制御が可能になっています。

1.1.1 用途

応用分野例：家電、OA 機器、民生機器、産業機器など

1.1.2 仕様概要

表 1.1 に、本マイコンの仕様概要を示します。

表 1.1 仕様概要

分類	モジュール/機能	説明
メモリ	ROM	<ul style="list-style-type: none"> ROM 展開：フラッシュメモリ版 プログラムメモリ：256K バイト、192K バイト、128K バイト、96K バイト プログラム、イレーズ回数：1000 回 データフラッシュ：4K バイト×2 ブロック プログラム、イレーズ回数：10000 回
	RAM	<ul style="list-style-type: none"> 容量：12K バイト、8K バイト
CPU	CPU	<ul style="list-style-type: none"> 16 ビット高速 H8S/2000 CPU (CISC タイプ) H8/300 CPU、H8/300H CPU に対してオブジェクトレベルで上位互換 汎用レジスタ方式 (汎用レジスタ：16 ビット×16 本) アドレッシングモード：8 種類 アドレス空間：16M バイト (プログラム：16M バイト、データ：16M バイト) 基本命令数 65 種類 (ビット演算、乗除算、ビット操作など) 最小命令実行時間 50ns@システムクロック $\phi=20$ MHz、 Vcc=2.7~5.5V (ADD 命令) 動作時
	動作モード	アドバンスド・シングルチップモード
割り込み (要因)	割り込みコントローラ	<ul style="list-style-type: none"> 外部割り込み端子：9 本 (NMI、IRQ0~IRQ7) 内部割り込み要因数： 55 本 (H8S/20103 グループ、H8S/20115 グループ) 61 本 (H8S/20203 グループ、H8S/20215 グループ) 63 本 (H8S/20223 グループ、H8S/20235 グループ) 2 種類の割り込み制御モード (割り込みコントロールレジスタで指定) 4 レベルの割り込み優先順位を設定可能 (インタラプトプライオリティレジスタで指定) 独立したベクタアドレス
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none"> クロック発生回路：2 回路 メイン発振器、サブ発振器 オンチップオシレータ：1 種類 低速 125kHz 低消費電力状態：3 種類 スリープモード、ソフトウェアスタンバイモード、モジュールスタンバイモード
電圧検出	低電圧検出回路 (LVD)	電圧低下検出

分類	モジュール/機能	説明
DMA	データ転送コントローラ (DTC)	任意のチャンネル数転送可能 転送モード：3種類
A/D コンバータ	A/D 変換器 (ADC)	分解能 (10 ビット) × 入力チャンネル数 (8 チャンネル～16 チャンネル) サンプル&ホールド機能付き 変換時間：1 チャンネル当たり 2 μ s 動作モード：2種類 (シングルモード、スキャンモード) A/D 変換開始方法：3種類 (ソフトウェア、タイマのトリガ、外部端子トリガ)
D/A コンバータ	D/A 変換器 (DAC)	分解能 (8 ビット) × 入力チャンネル数 (2 チャンネル)
タイマ	タイマ RA	8 ビット×1 チャンネル (8 ビットプリスケアラ付)
	タイマ RB	8 ビット×1 チャンネル (8 ビットプリスケアラ付)
	タイマ RC	16 ビット×1 チャンネル (H8S/20103 グループ、H8S/20115 グループのみ)
	タイマ RD	16 ビット×2 チャンネル (H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、 H8S/20235 グループは 2 ユニット)
	タイマ RE	8 ビット×1 チャンネル リアルタイムクロック機能
	タイマ RG	16 ビット×1 チャンネル 位相計数モード付き
	ウォッチドッグタイマ (WDT)	8 ビット×1 チャンネル
シリアルインタフェース	シリアルコミュニケーションインタフェース 3 (SCI3)	チャンネル数：3 チャンネル (非同期/クロック同期式兼用) 全二重通信が可能 任意のビットレートを選択可能 IrDA (チャンネル 2 のみ IrDA 機能付き)
	シンクロナスシリアルコミュニケーションインタフェース (SSU)	チャンネル数：1 チャンネル (IIC2 と選択式) チップセレクト付クロック同期通信
	I ² C バスインタフェース 2 (IIC2)	チャンネル数：1 チャンネル (SSU と選択式) 連続送信/受信が可能 送受信フォーマット：2種類 I ² C バスフォーマット：マスタモードで開始条件、停止条件の自動生成。 アクノリッジビットあり、マスタ、スレーブ動作 クロック同期シリアルフォーマット：アクノリッジビットなし、マスタ動作専用
	ハードウェア LIN インタフェース	1 チャンネル (タイマ RA、SCI3 を使用)

分類	モジュール／機能	説明
イベントリンクコントローラ (ELC)		各周辺モジュールが出力するイベント (割り込み) をモジュール間で相互に接続 (リンク)、CPU を介さずにモジュール間で連携動作可能
I/O ポート		<ul style="list-style-type: none"> 入出力 : 55 本 (H8S/20103 グループ、H8S/20115 グループ) 69 本 (H8S/20203 グループ、H8S/20223 グループ、 H8S/20215 グループ、H8S/20235 グループ) プルアップ抵抗 : 全ポートで設定可能 LED 駆動可能
パッケージ		<ul style="list-style-type: none"> 64 ピン QFP パッケージ (PLQP0064KB-A) (旧コード : 64P6Q-A、ボディサイズ : 10×10mm、 ピンピッチ : 0.50mm) 64 ピン QFP パッケージ (PLQP0064GA-A) (旧コード : 64P6U-A、ボディサイズ : 14×14mm、 ピンピッチ : 0.80mm) 80 ピン QFP パッケージ (PLQP0080JA-A) (旧コード : FP-80W、ボディサイズ : 14×14mm、 ピンピッチ : 0.65mm) 80 ピン QFP パッケージ (PLQP0080KB-A) (計画中) (旧コード : 80P6Q-A、ボディサイズ : 12×12mm、 ピンピッチ : 0.5mm)
動作周波数／電源電圧		<p>動作周波数 : 4~20MHz</p> <p>電源電圧 : Vcc=2.7~5.5V、AVcc=2.7~5.5V</p>
動作周囲温度 (°C)		<p>-20°C~+85°C (Nバージョン)</p> <p>-40°C~+85°C (Dバージョン)</p>

1.2 製品一覧

表 1.2 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.2 製品一覧

グループ	製品型名	ROM 容量	RAM 容量	パッケージ	備考
H8S/20103	R4F20103NFA	128K バイト	8K バイト	PLQP0064KB-A (LQFP1010-64)	N バージョン
	R4F20102NFA	96K バイト	8K バイト		
	R4F20103NFB	128K バイト	8K バイト	PLQP0064GA-A (LQFP1414-64)	
	R4F20102NFB	96K バイト	8K バイト		
	R4F20103DFA	128K バイト	8K バイト	PLQP0064KB-A (LQFP1010-64)	D バージョン
	R4F20102DFA	96K バイト	8K バイト		
	R4F20103DFB	128K バイト	8K バイト	PLQP0064GA-A (LQFP1414-64)	
	R4F20102DFB	96K バイト	8K バイト		
H8S/20203	R4F20203NFD	128K バイト	8K バイト	PLQP0080JA-A (LQFP1414-80)	N バージョン
	R4F20202NFD	96K バイト	8K バイト		
	R4F20203DFD	128K バイト	8K バイト		D バージョン
	R4F20202DFD	96K バイト	8K バイト		
	R4F20203NFC	128K バイト	8K バイト	PLQP0080KB-A (LQFP1212-80)	N バージョン
	R4F20202NFC	96K バイト	8K バイト		計画中
H8S/20223	R4F20223NFD	128K バイト	8K バイト	PLQP0080JA-A (LQFP1414-80)	N バージョン
	R4F20222NFD	96K バイト	8K バイト		
	R4F20223DFD	128K バイト	8K バイト		D バージョン
	R4F20222DFD	96K バイト	8K バイト		
	R4F20223NFC	128K バイト	8K バイト	PLQP0080KB-A (LQFP1212-80)	N バージョン
	R4F20222NFC	96K バイト	8K バイト		計画中
H8S/20115	R4F20115NFA	256K バイト	12K バイト	PLQP0064KB-A (LQFP1010-64)	N バージョン
	R4F20114NFA	192K バイト	12K バイト		
	R4F20115NFB	256K バイト	12K バイト	PLQP0064GA-A (LQFP1414-64)	
	R4F20114NFB	192K バイト	12K バイト		
H8S/20215	R4F20215NFD	256K バイト	12K バイト	PLQP0080JA-A (LQFP1414-80)	
	R4F20214NFD	192K バイト	12K バイト		
H8S/20235	R4F20235NFD	256K バイト	12K バイト		
	R4F20234NFD	192K バイト	12K バイト		

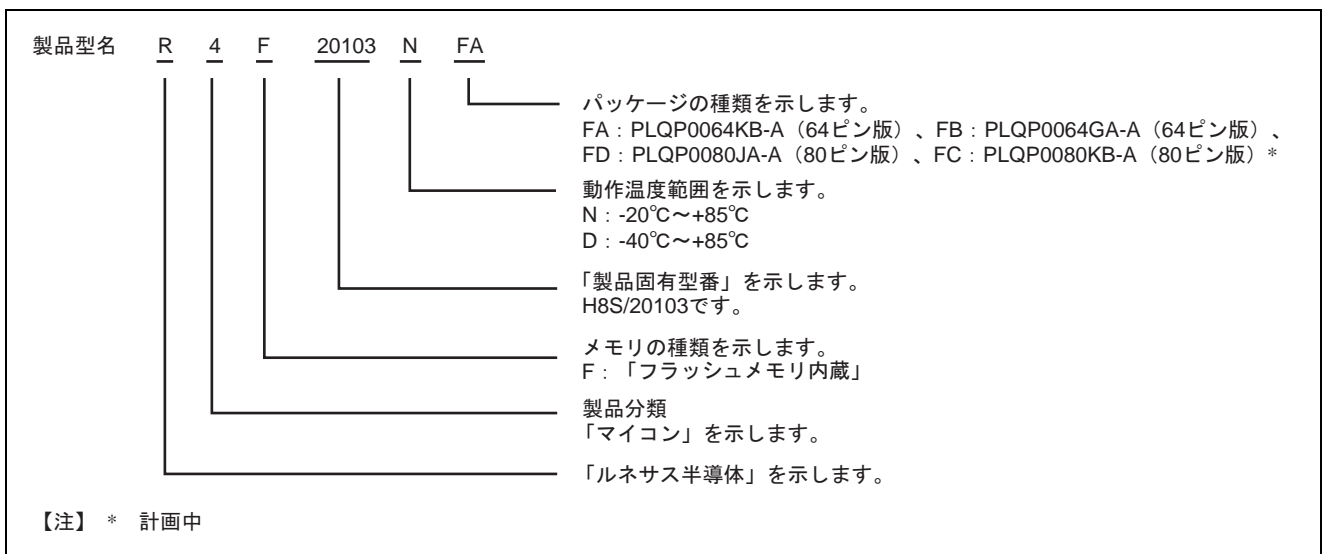


図 1.1 製品型名の読み方

1.3 ブロック図

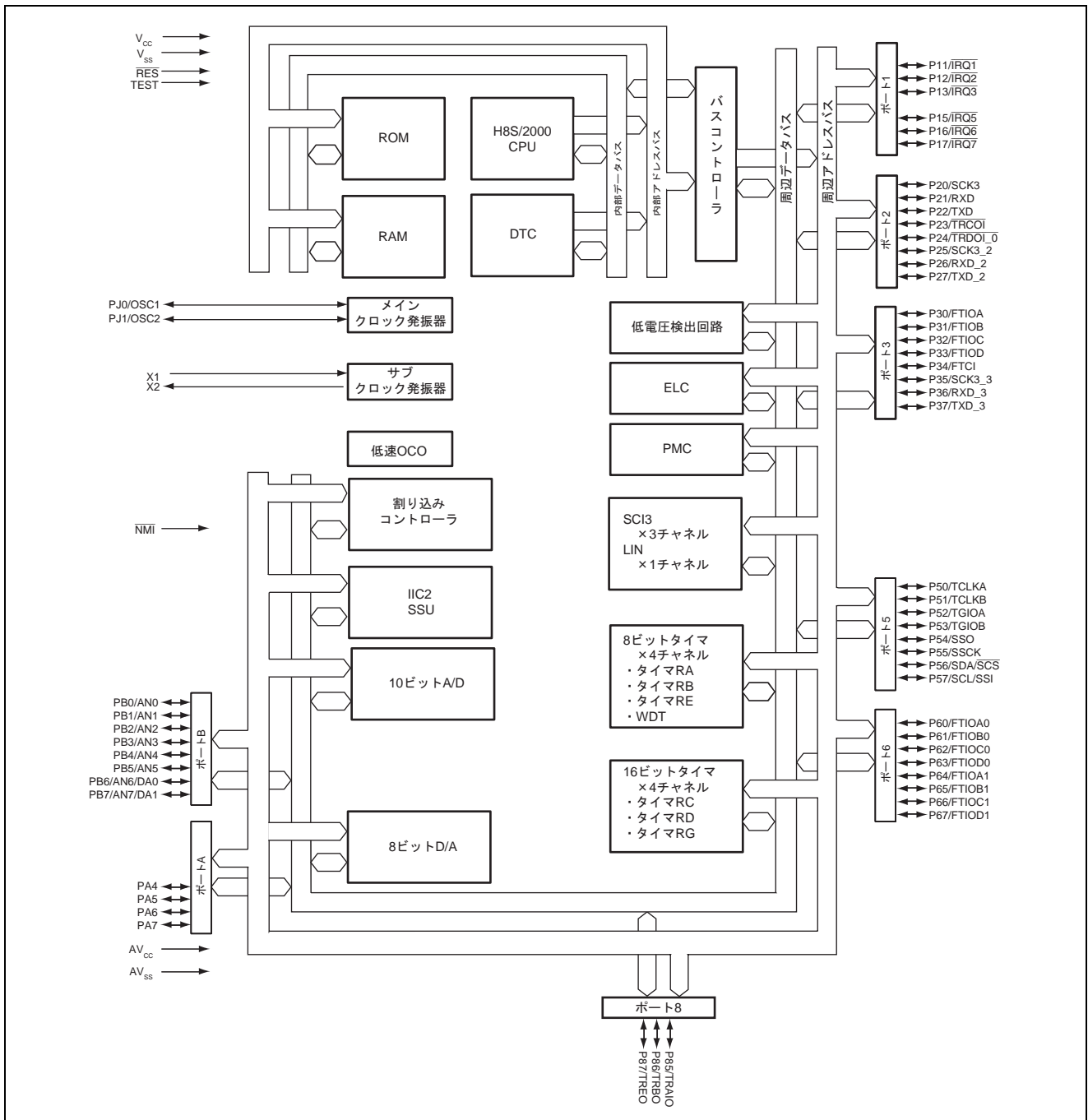


図 1.2 H8S/20103 グループ、H8S/20115 グループのブロック図

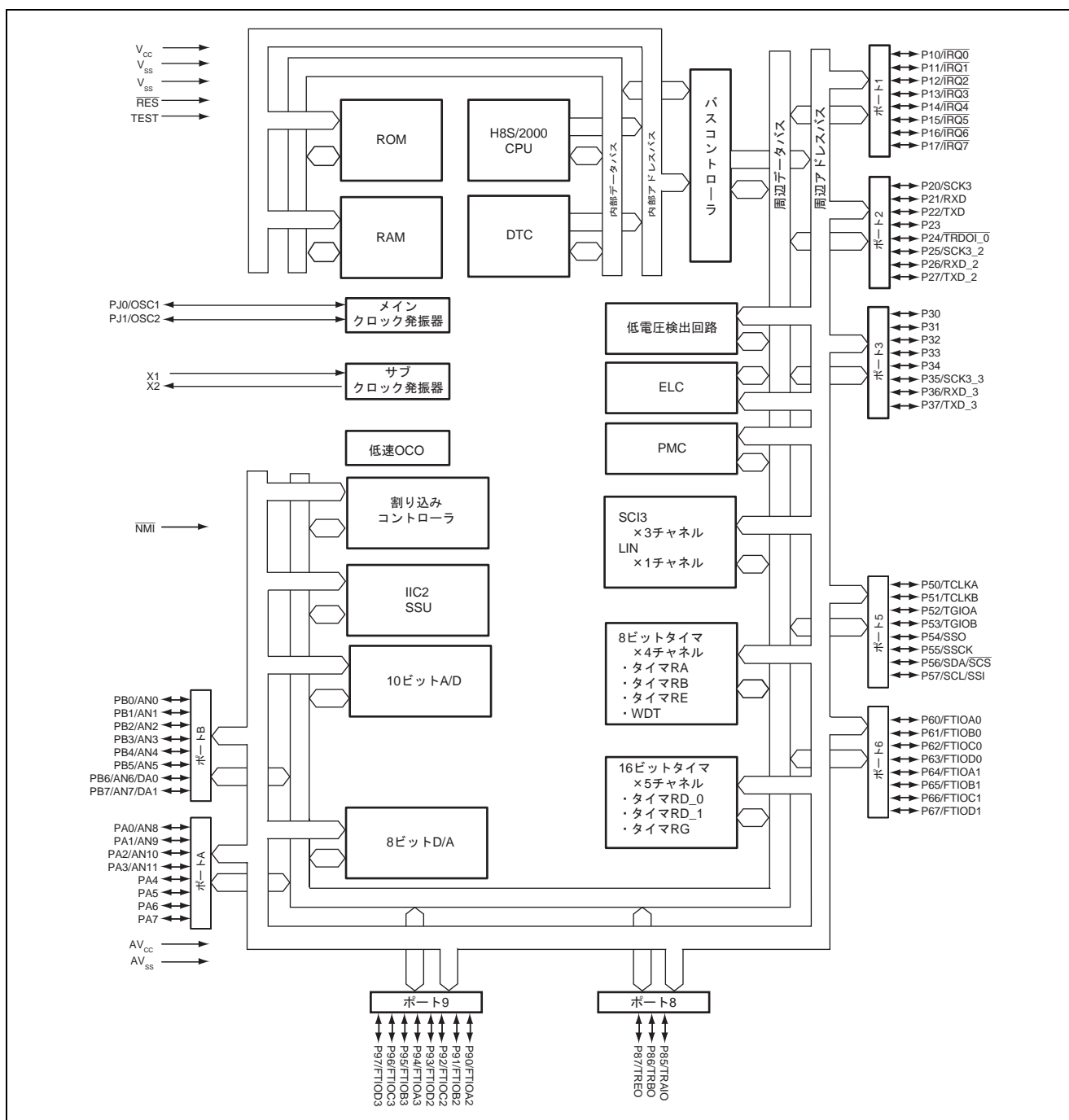


図 1.3 H8S/20203 グループ、H8S/20215 グループのブロック図

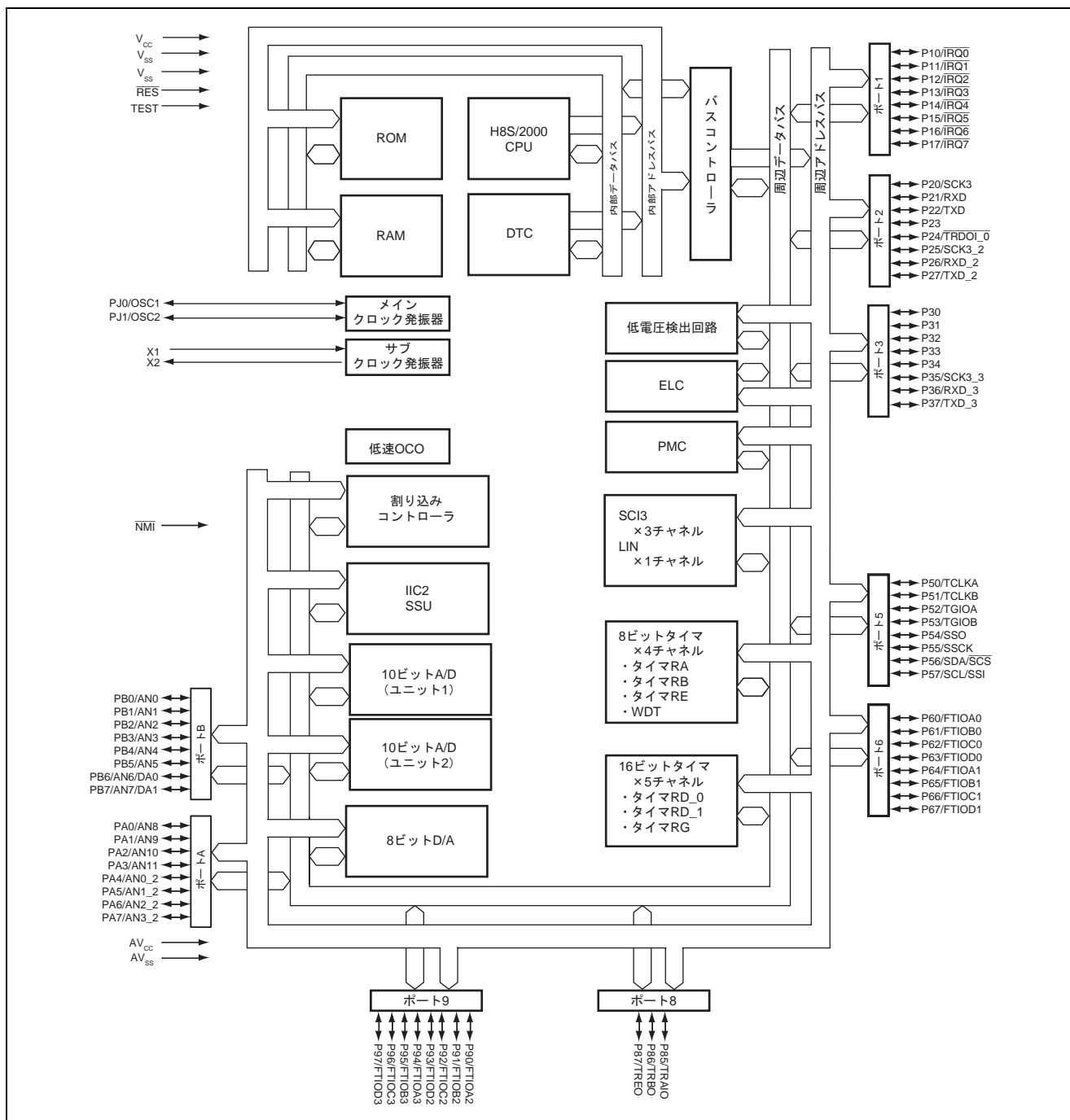


図 1.4 H8S/20223 グループ、H8S/20235 グループのブロック図

1.4 ピン配置図

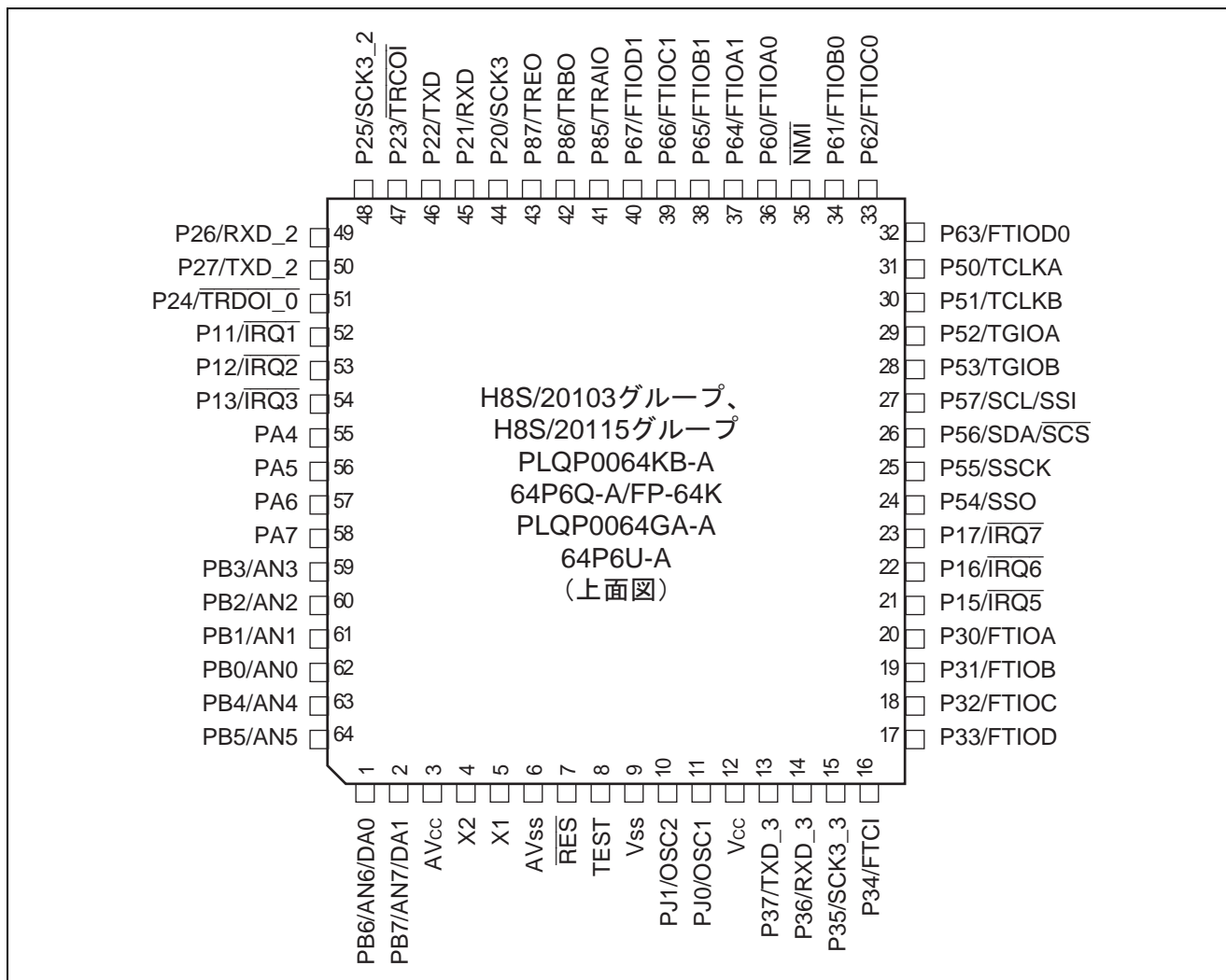


図 1.5 H8S/20103 グループ、H8S/20115 グループのピン配置図

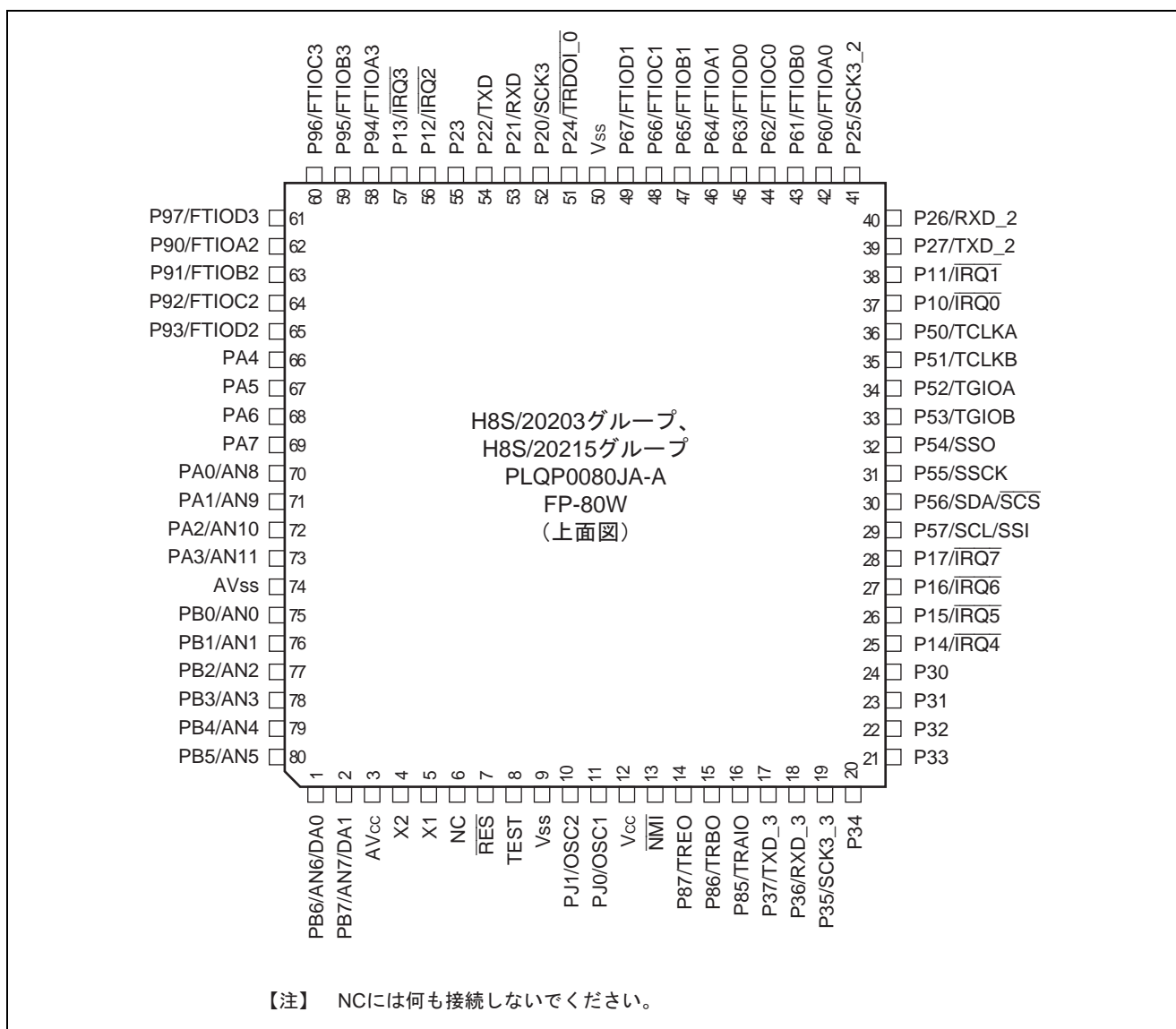


図 1.6 H8S/20203 グループ、H8S/20215 グループのピン配置図

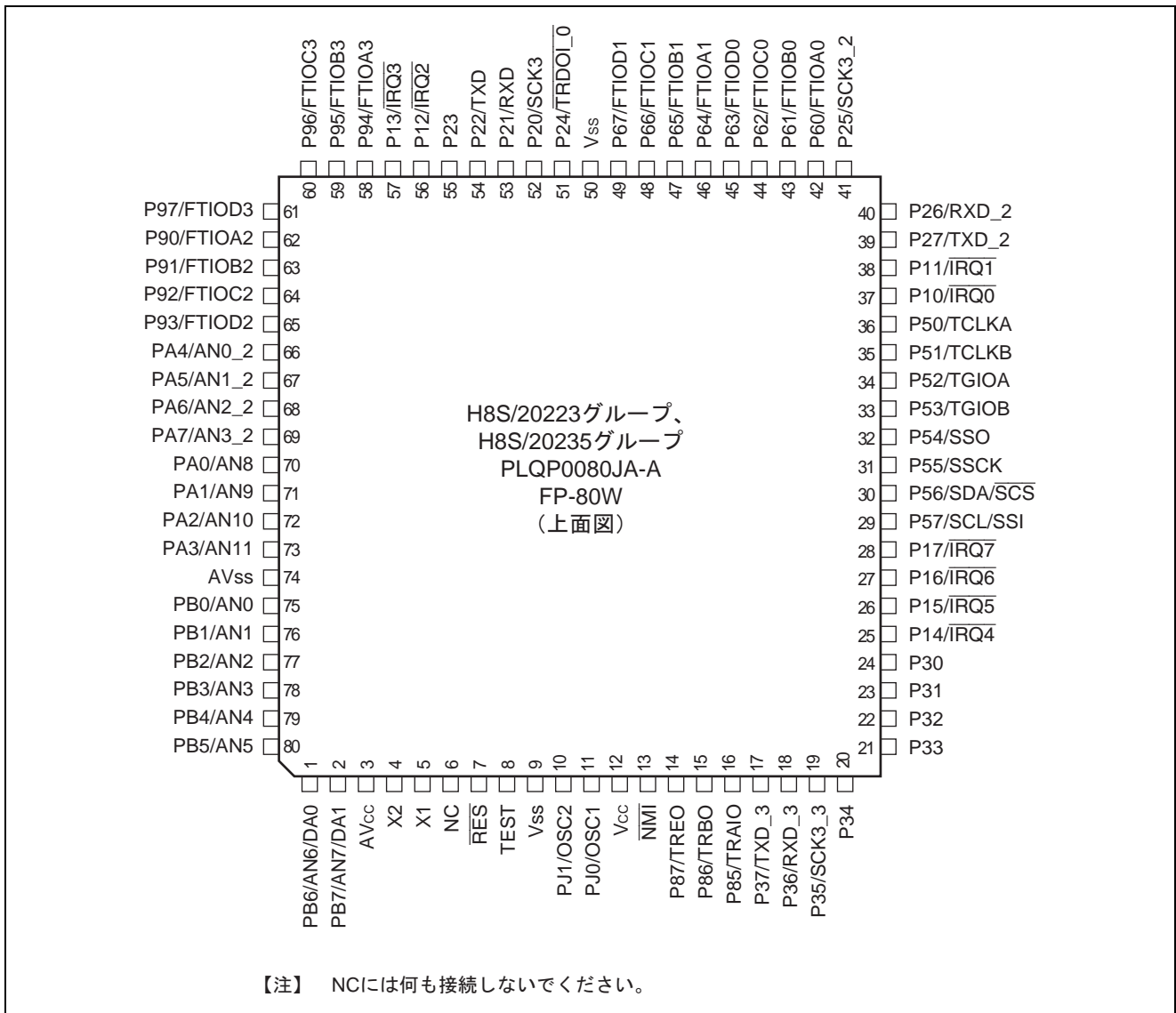


図 1.7 H8S/20223 グループ、H8S/20235 グループのピン配置図

1.4.1 端子機能

表 1.3 端子機能

分類	記号	ピン番号		入出力	機能
		H8S/20103 グループ H8S/20115 グループ	H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ		
電源	V _{CC}	12	12	入力	電源端子です。全端子必ずシステムの電源に接続してください。
	V _{SS}	9	9、50	入力	グランド端子です。全端子必ずシステムの電源（0V）に接続してください。
	AV _{CC}	3	3	入力	A/D 変換、D/A 変換用アナログ電源端子です。A/D 変換器、D/A 変換器を使用しない場合はシステムの電源に接続してください。
	AV _{SS}	6	74	入力	A/D 変換、D/A 変換用アナロググランド端子です。システムの電源（0V）に接続してください。
クロック	OSC1	11	11	入力	システムクロック用水晶発振子またはセラミック発振子接続端子です。外部クロックを入力することもできます。オンチップオシレータを使用する場合は、OSC2 端子からシステムクロックを出力できます。接続例は「第 5 章 クロック発振器」を参照してください。
	OSC2/ CLKOUT	10	10	出力	
	X1	5	5	入力	
	X2	4	4	出力	
システム制御	RES	7	7	入力	リセット端子です。この端子を Low レベルにすると、リセット状態になります。
	TEST	8	8	入力	テスト端子です。V _{SS} 電位に接地してください。
外部割り込み	NMI	35	13	入力	ノンマスクブル割り込み要求入力端子です。必ず抵抗でプルアップしてください。
	$\overline{\text{IRQ0}}\sim$ $\overline{\text{IRQ7}}$	52~54* ¹ 21~23	37、38 56、57 25~28	入力	外部割り込み要求入力端子です。立ち上がりエッジセンス/立ち下がりエッジセンス/両エッジセンスを選択できます。

分類	記号	ピン番号		入出力	機能
		H8S/20103 グループ H8S/20115 グループ	H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ		
タイマ RA	TRAIO	41	16	入出力	パルス出力／カウントソース入力／測定パルス入力兼用端子です。
	TRAO	*2	*2	出力	パルス反転出力端子です。
タイマ RB	TRGB	*2	*2	入力	トリガ入力端子です。
	TRBO	42	15	出力	パルス出力／PWM 出力兼用端子です。
タイマ RC*3	FTCI	16	—	入力	外部イベント入力端子です。
	FTIOA～ FTIOD	20～17	—	入出力	アウトプットコンペア出力／インプットキャプチャ入力／PWM 出力兼用端子です。
	TRGC	20	—	入力	外部トリガ入力端子です。
	$\overline{\text{TRCOI}}$	47	—	入力	タイマ出力禁止／許可制御入力端子です。
タイマ RD_0	FTIOA0	36	42	入出力	アウトプットコンペア出力／インプットキャプチャ入力／外部クロック入力兼用端子です。
	FTIOB0	34	43	入出力	アウトプットコンペア出力／インプットキャプチャ入力／PWM 出力兼用端子です。
	FTIOC0	33	44	入出力	アウトプットコンペア出力／インプットキャプチャ入力／PWM 同期出力兼用端子です（リセット、相補 PWM モード時）。
	FTIOD0	32	45	入出力	アウトプットコンペア出力／インプットキャプチャ入力／PWM 出力兼用端子です。

【注】 *1 H8S/20103 グループ、H8S/20115 グループでは、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ4}}$ 端子は PMC の初期設定時、マルチプレクスされません。

*2 TRAO、TRGB 端子は PMC の初期設定時、マルチプレクスされません。

*3 H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループはタイマ RC を内蔵していません。

分類	記号	ピン番号		入出力	機能
		H8S/20103 グループ H8S/20115 グループ	H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ		
タイマ RD_0	FTIOA1	37	46	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です (リセット、相補 PWM モード時)。
	FTIOB1~ FTIOD1	38~40	47~49	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です。
	$\overline{\text{TRDOI}}_0$	51	51	入力	タイマ出力禁止/許可制御入力端子です。
タイマ RD_1* ²	FTIOA2	—	62	入出力	アウトプットコンペア出力/インプットキャプチャ入力/外部クロック入力兼用端子です。
	FTIOB2	—	63	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です。
	FTIOC2	—	64	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 同期出力兼用端子です (リセット、相補 PWM モード時)。
	FTIOD2	—	65	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です。
	FTIOA3	—	58	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です (リセット、相補 PWM モード時)。
	FTIOB3~ FTIOD3	—	59~61	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です。
	$\overline{\text{TRDOI}}_1$	—	* ¹	入力	タイマ出力禁止/許可制御入力端子です。
タイマ RE	TREO	43	14	出力	クロック出力端子です。

【注】 *1 $\overline{\text{TRDOI}}_1$ 端子は PMC の初期設定時、マルチプレクスされません。

*2 H8S/20103 グループ、H8S/20115 グループはタイマ RD_1 を内蔵していません。

分類	記号	ピン番号		入出力	機能
		H8S/20103 グループ H8S/20115 グループ	H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ		
タイマ RG	TCLKA	31	36	入力	外部クロック入力端子です。
	TCLKB	30	35		
	TGIOA	29	34	入出力	アウトプットコンペア出力／インプットキャプチャ入力／PWM 出力兼用端子です。
	TGIOB	28	33		
シリアルコミュニケーションインタフェース3 (SCI3)	TXD	46	54	出力	送信データ出力端子です。
	TXD_2	50	39		
	TXD_3	13	17		
	RXD	45	53	入力	受信データ入力端子です。
	RXD_2	49	40		
	RXD_3	14	18		
	SCK3	44	52	入出力	クロック入出力端子です。
SCK3_2	48	41			
SCK3_3	15	19			
I ² C バスインタフェース2 (IIC2)	SDA	26	30	入出力	I ² C データ入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できません。使用時は外部にプルアップ抵抗が必要です。
	SCL	27	29	入出力	I ² C のクロック入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。使用時は外部にプルアップ抵抗が必要です。
シンクロナスシリアルコミュニケーションユニット (SSU)	SCS	26	30	入出力	チップセレクト入出力端子です。
	SSCK	25	31	入出力	クロック入出力端子です。
	SSI	27	29	入出力	送受信データ入出力端子です。
	SSO	24	32	入出力	送受信データ入出力端子です。

分類	記号	ピン番号		入出力	機能
		H8S/20103 グループ H8S/20115 グループ	H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ		
A/D 変換器 _1	AN11~ AN0* ¹	2、1、64、63、 59~62	73~70、2、1 80~75	入力	アナログ入力端子です。
	ADTRG1	* ²	* ²	入力	変換開始トリガ入力端子です。
A/D 変換器 _2* ³	AN3_2~ AN0_2	—	69~66	入力	アナログ入力端子です。
	ADTRG2	—	* ²	入力	変換開始トリガ入力端子です。
D/A 変換器	DA1	2	2	出力	アナログ出力端子です。
	DA0	1	1		
I/O ポート	P17~P10* ⁴	23~21、54~52	28~25、57、56、38、 37	入出力	8ビットの入出力ポートです。
	P27~P20	50~48、51、 47~44	39~41、51、 55~52	入出力	8ビットの入出力ポートです。
	P37~P30	13~20	17~24	入出力	8ビットの入出力ポートです。
	P57~P50	27~24 28~31	29~36	入出力	8ビットの入出力ポートです。
	P67~P60	40~37、 32~34、36	49~42	入出力	8ビットの入出力ポートです。
	P87~P85	43~41	14~16	入出力	3ビットの入出力ポートです。
	P97~P90* ⁵	—	61~58 65~62	入出力	8ビットの入出力ポートです。
	PA7~PA0* ⁶	58~55	69~66 73~70	入出力	8ビットの入出力ポートです。
	PB7~PB0	2、1、64、63、 59~62	2、1、80~75	入出力	8ビットの入出力ポートです。
	PJ1、PJ0	10、11	10、11	入出力	2ビットの入出力ポートです。

【注】 *1 H8S/20103 グループ、H8S/20115 グループでは AN11~AN8 はマルチプレクスされません。

*2 ADTRG1、ADTRG2 端子は PMC の初期設定時、マルチプレクスされません。

*3 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループは A/D 変換器_2 を内蔵していません。

*4 H8S/20103 グループ、H8S/20115 グループには P14、P10 はありません。

*5 H8S/20103 グループ、H8S/20115 グループには P97~P90 はありません。

*6 H8S/20103 グループ、H8S/20115 グループには PA3~PA0 はありません。

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：65 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイメント付レジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト
- 高速動作
頻出命令をすべて 1~2 ステートで実行
8/16/32 ビットレジスタ間加減算：1 ステート
8×8 ビットレジスタ間乗算：12 ステート (MULXU.B)、13 ステート (MULXS.B)
16÷8 ビットレジスタ間除算：12 ステート (DIVXU.B)
16×16 ビットレジスタ間乗算：20 ステート (MULXU.W)、21 ステート (MULXS.W)
32÷16 ビットレジスタ間除算：20 ステート (DIVXU.W)
- CPU 動作モード：2 種類
ノーマルモード/アドバンスモード
- 低消費電力状態
SLEEP 命令により低消費電力状態に遷移
CPU 動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成
MAC レジスタは、H8S/2600 CPU のみサポートしています。
- 基本命令
MAC、CLRMAC、LDMAC、STMAC の 4 命令は、H8S/2600 CPU のみサポートしています。
- MULXU、MULXS 命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, Erd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, Erd	5	21

そのほか、製品によってアドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16 ビット×8 本の拡張レジスタおよび 8 ビット×1 本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPU と同一の 64k バイトのアドレス空間を使用可能
アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
- アドレッシングモードを強化
16M バイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
2 ビットシフト、2 ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を 2 倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。本 LSI はアドバンスモードのみサポートします。アドレス空間は、16M バイトです。

2.2.1 アドバンスモード

- アドレス空間
最大 16M バイトの空間をリニアにアクセス可能です。
- 拡張レジスタ (En)
拡張レジスタ (E0~E7) は 16 ビットレジスタとして使用できます。また、32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。
- 命令セット
命令およびアドレッシングモードはすべて使用できます。
- 例外処理ベクタテーブル、メモリ間接の分岐アドレス
アドバンスモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します (図 2.3 参照)。例外処理ベクタテーブルは「第 3 章 例外処理」を参照してください。

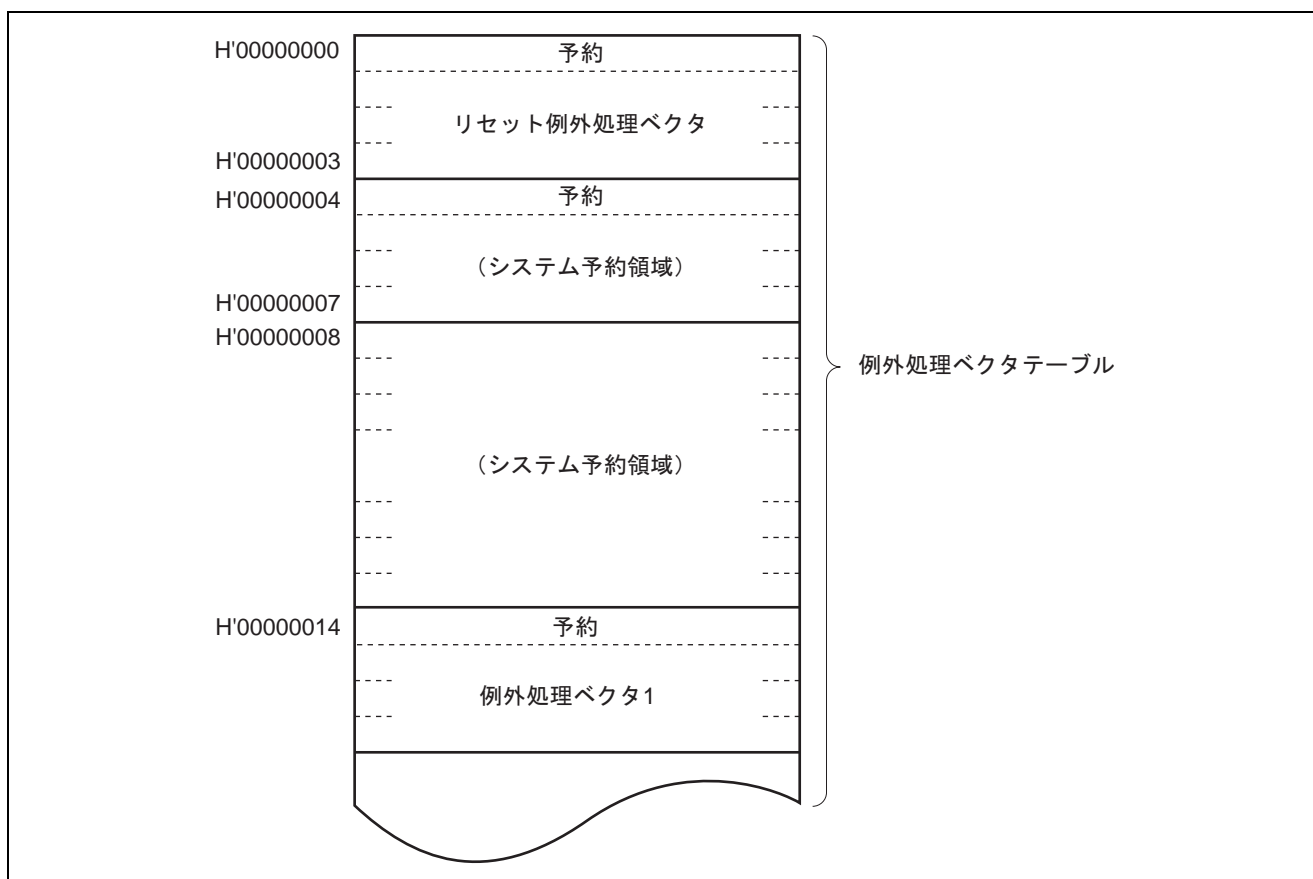


図 2.1 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@@aa:8) は、**JMP** および **JSR** 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており **H'00** と見なされます。なお、分岐先アドレスを格納できるのは、**H'00000000**~**H'000000FF** の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時の **PC** のスタック構造と、例外処理時の **PC** と **CCR** のスタックの構造を図 2.2 に示します。EXR は割り込み制御モード 0 ではスタックされません。割り込み制御モードの詳細は「第 3 章 例外処理」を参照してください。

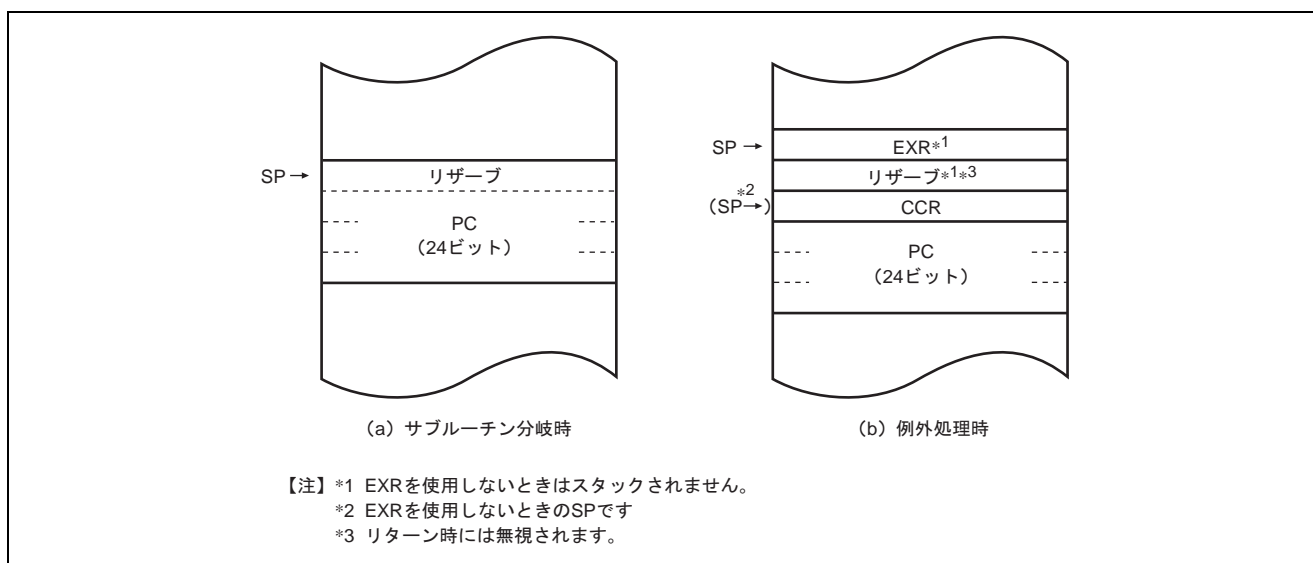


図 2.2 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.3 に示します。H8S/2000 CPU は、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。

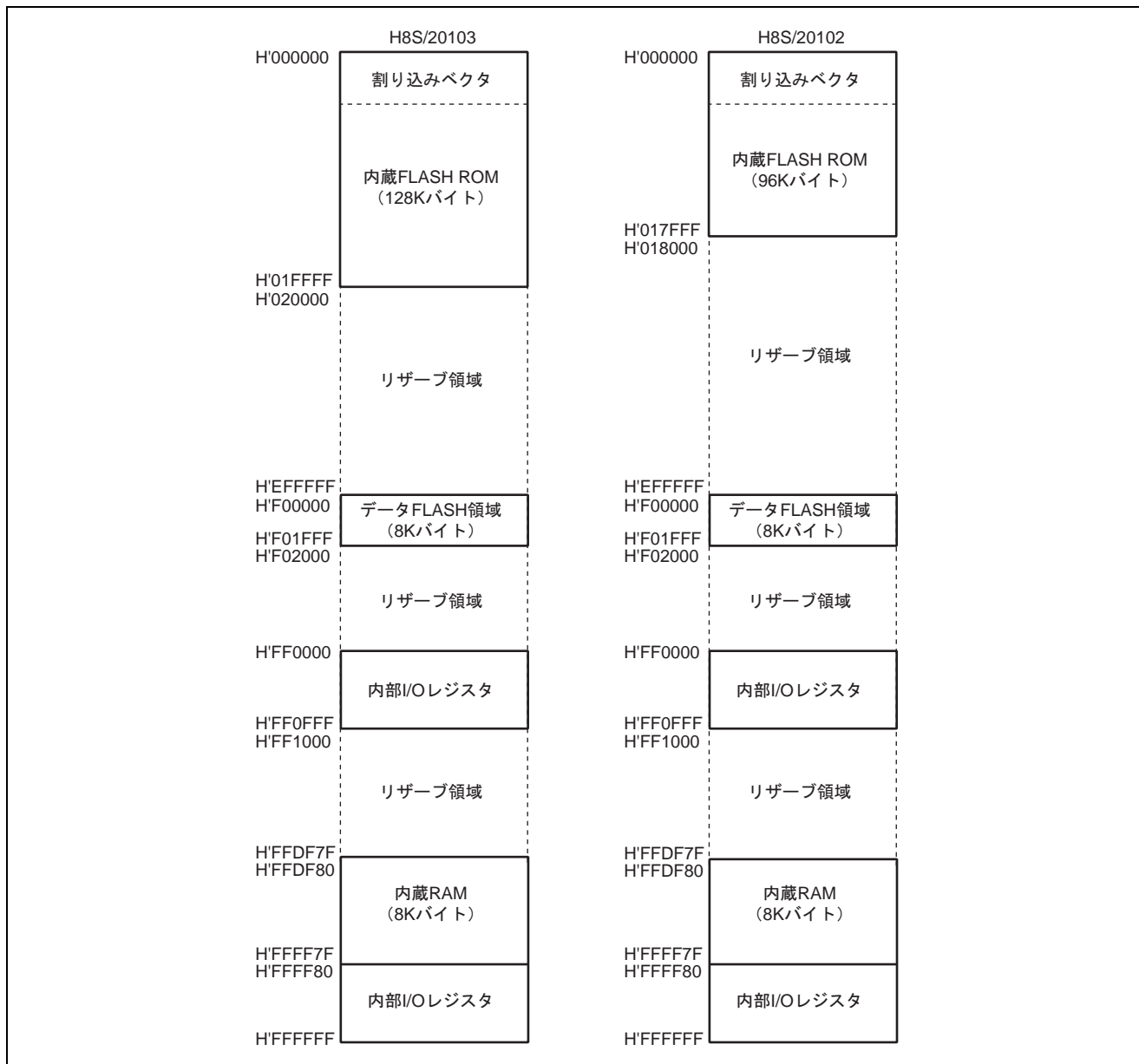


図 2.3 メモリマップ (1) (H8S/20103 グループ)

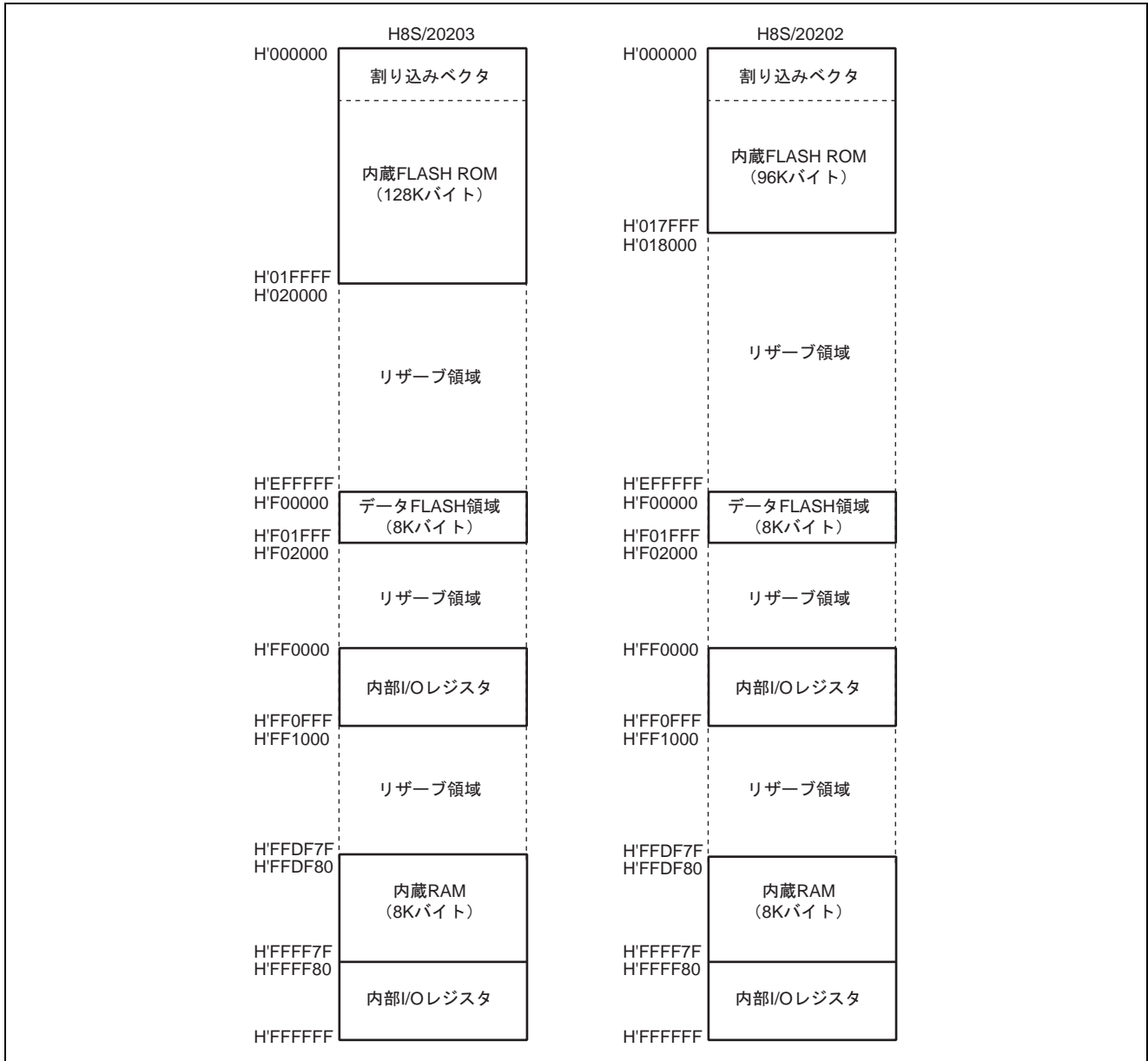


図 2.3 メモリマップ (2) (H8S/20203 グループ)

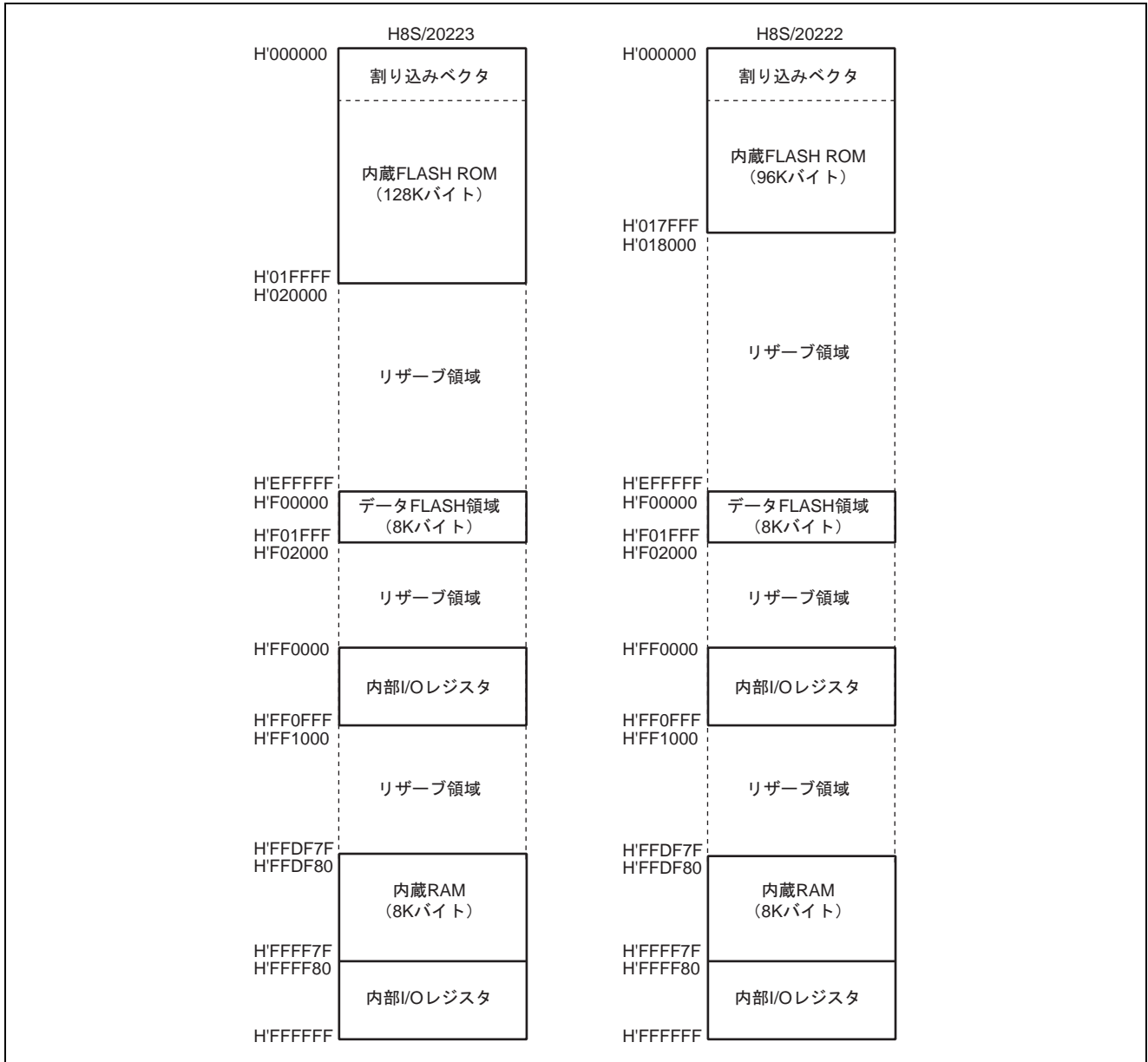


図 2.3 メモリマップ (3) (H8S/20223 グループ)

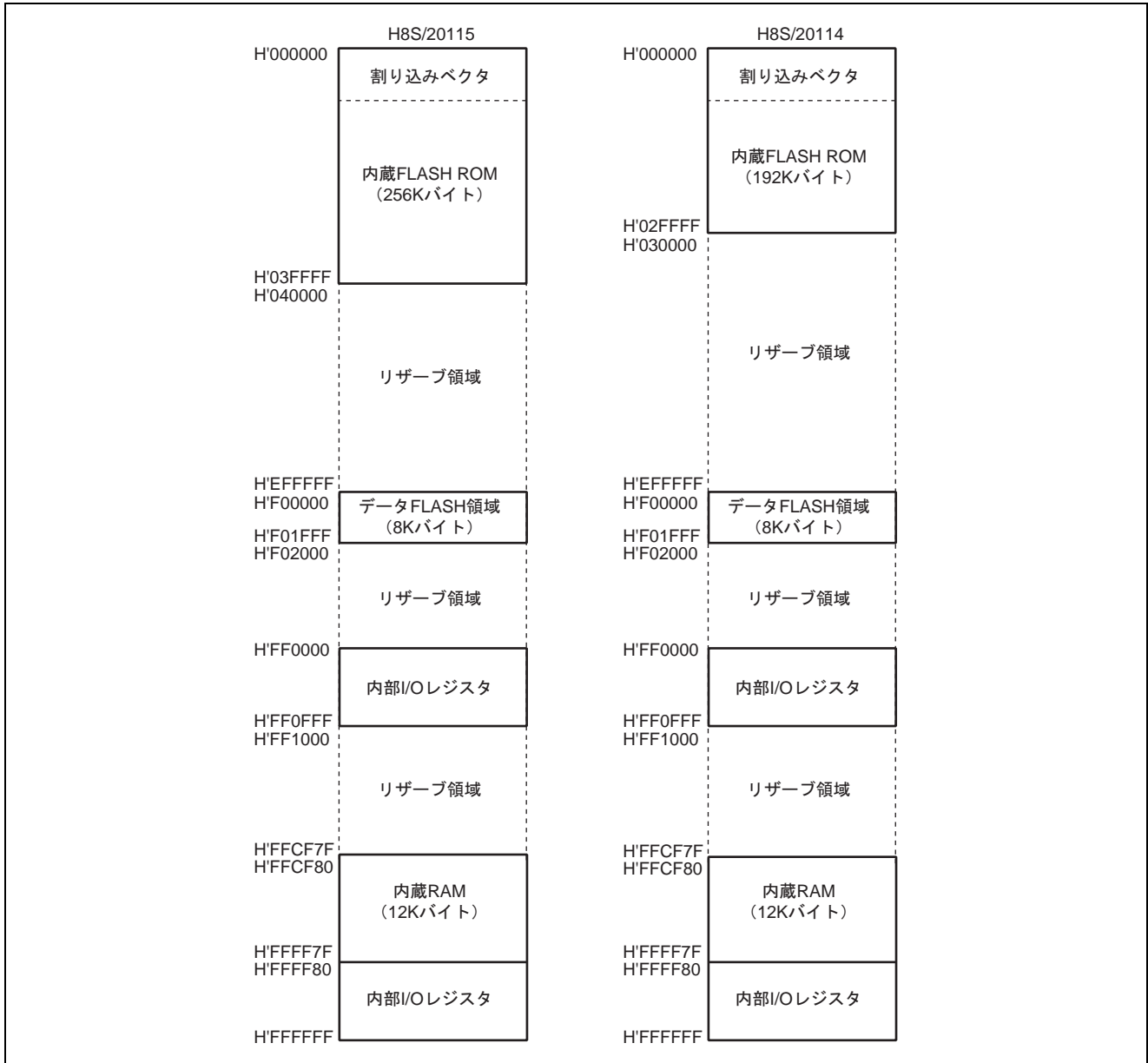


図 2.3 メモリマップ (4) (H8S/20115 グループ)

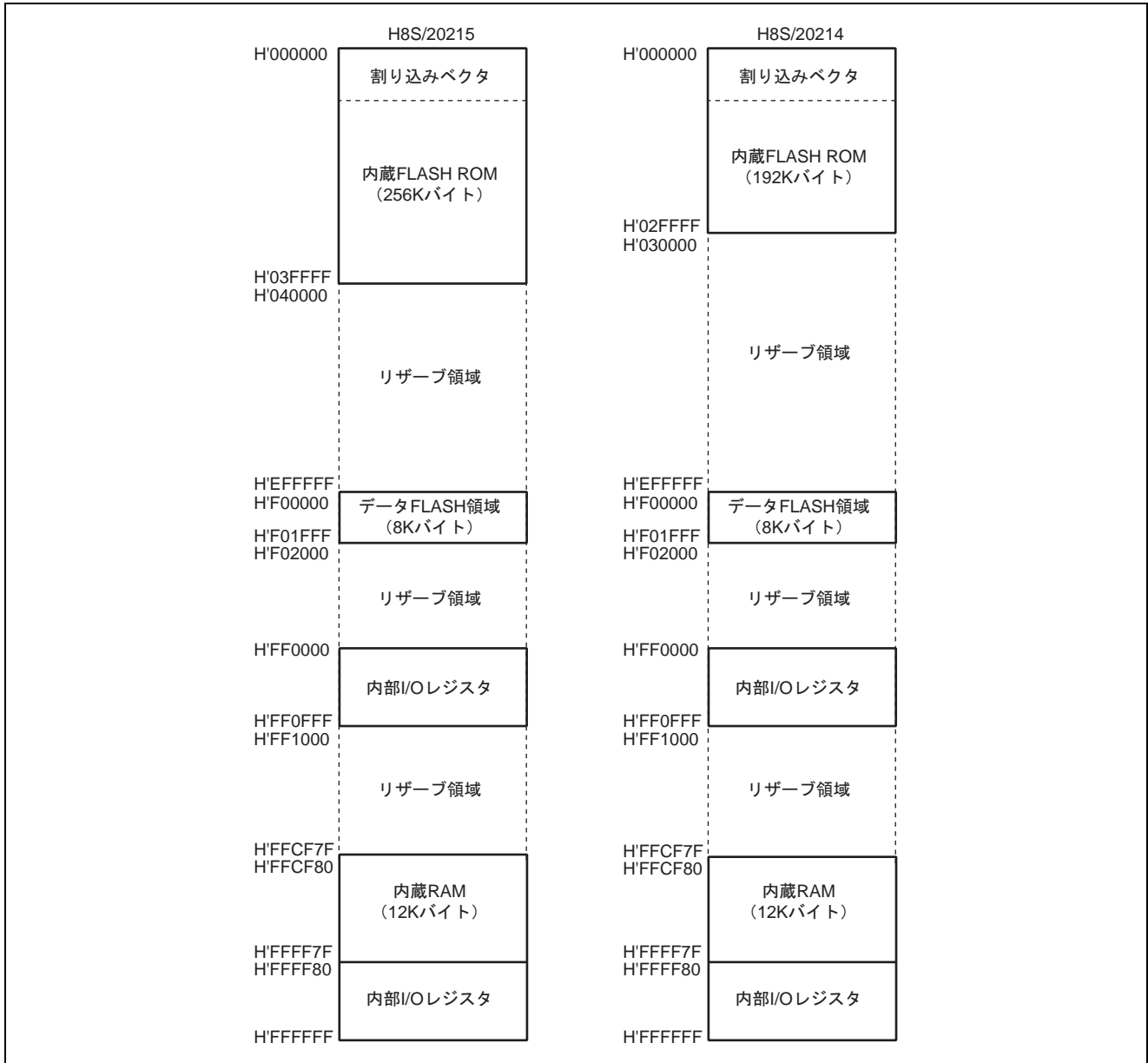


図 2.3 メモリマップ (5) (H8S/20215 グループ)

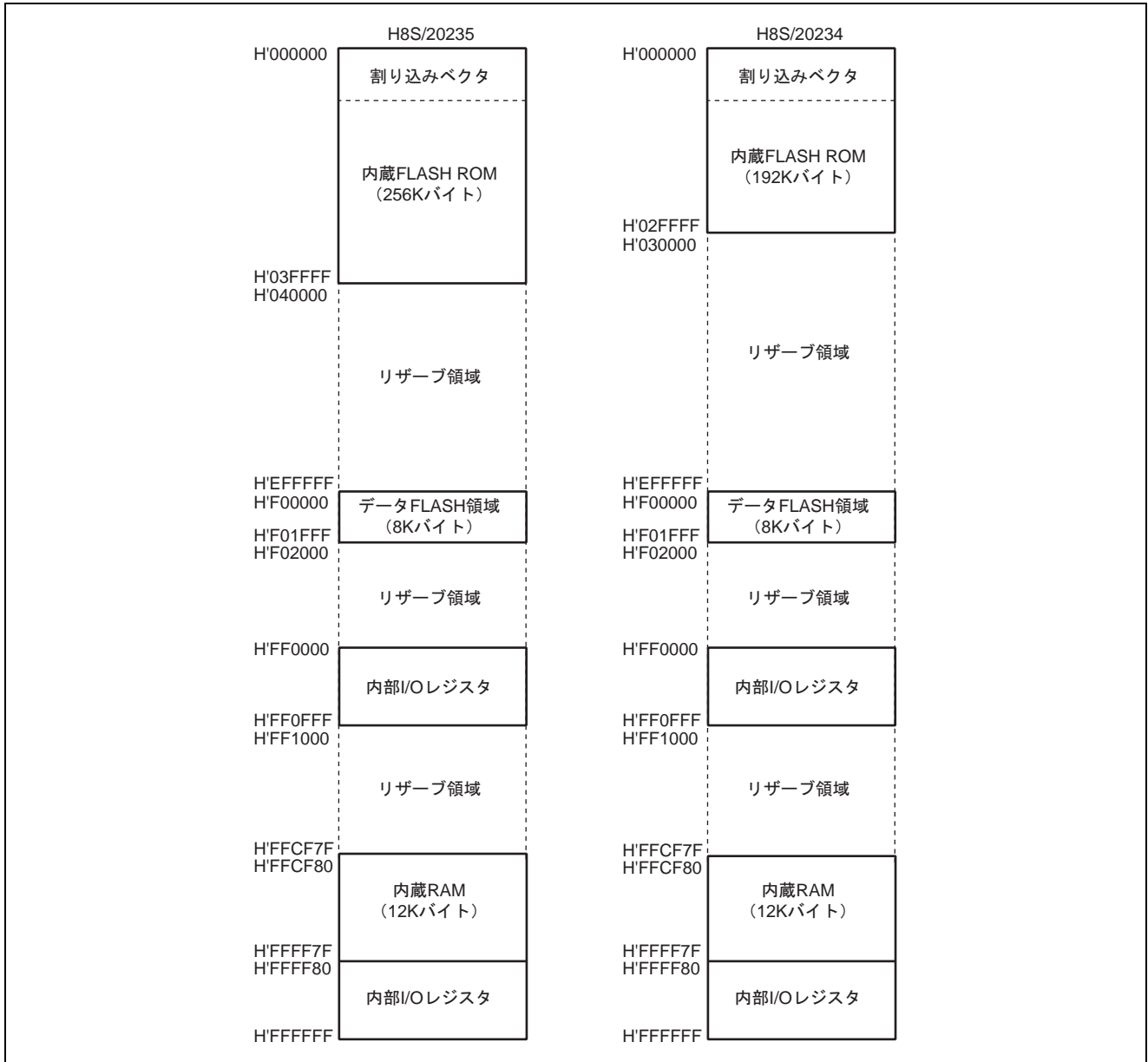


図 2.3 メモリマップ (6) (H8S/20235 グループ)

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.4 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

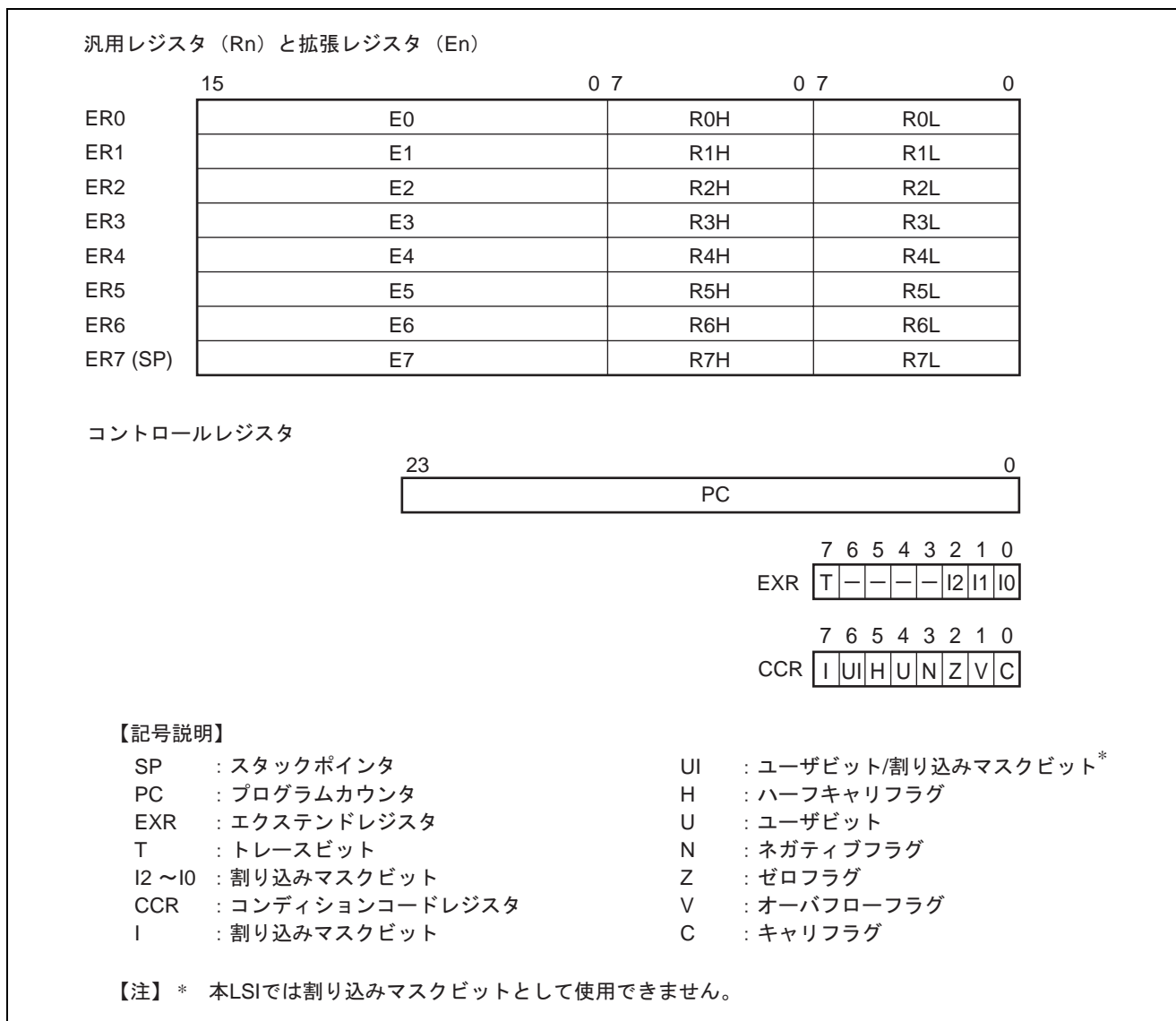


図 2.4 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.5 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.6 に示します。

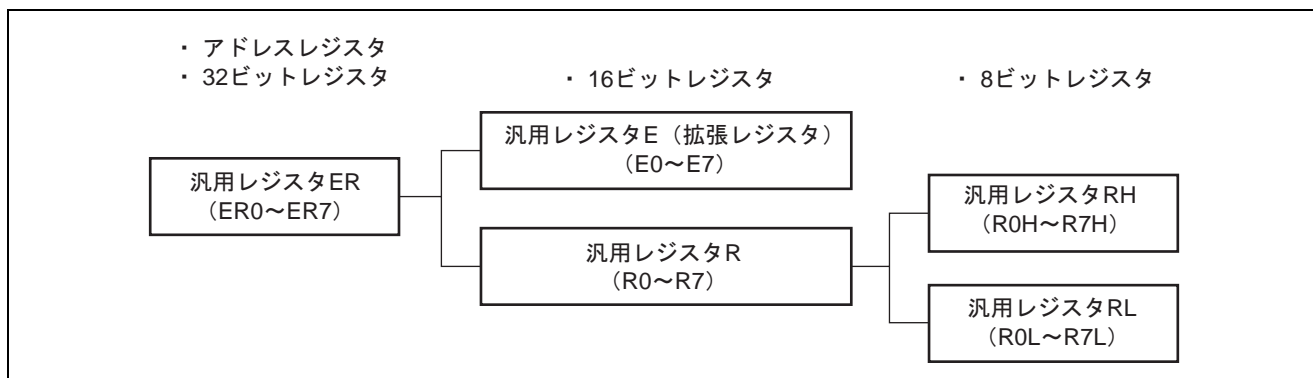


図 2.5 汎用レジスタの使用方法

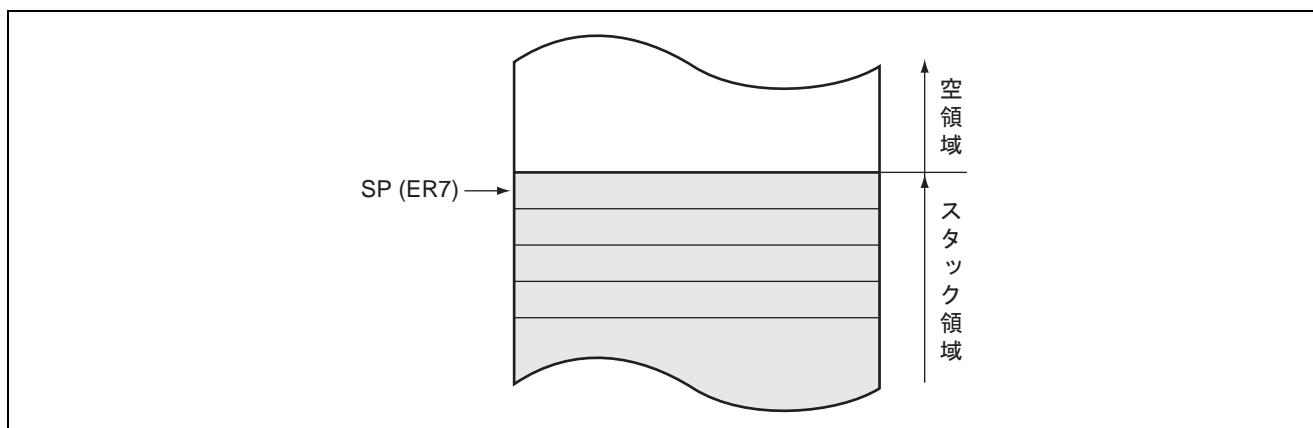


図 2.6 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	シンボル	ビット名	説明	R/W
7	T	トレースビット	0: 命令を順次実行します。 1: 1 命令実行するごとにトレース例外処理を開始します。	R/W
6~3	—	予約ビット	リードすると常に 1 がリードされます。	—
2~0	I2* I1 I0	割り込み要求 マスクレベル	割り込みマスクレベル (0~3) を指定します。詳細は「第 4 章 割り込みコントローラ」を参照してください。	R/W

【注】 * 本製品では I2 ビットは予約ビットとなります。割り込みを受け付けた場合、I2 ビットは 1 にセットされますが、割り込みマスクレベルには影響を与えません。

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	シンボル	ビット名	説明	R/W
7	I	割り込みマスク ビット	0: 割り込みがマスクされない 1: 割り込みがマスクされる	R/W
6	UI	ユーザビット/ 割り込みマスク ビット	本ビットは動作に影響を与えません。	R/W
5	H	ハーフキャリ フラグ	【セット条件】 <ul style="list-style-type: none"> ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 【クリア条件】 上記条件を生じなかったとき	R/W

ビット	シンボル	ビット名	説明	R/W
4	U	ユーザビット	本ビットは動作に影響を与えません。	R/W
3	N	ネガティブ フラグ	【セット条件】 実行結果が負のとき 【クリア条件】 実行結果が負以外のとき	R/W
2	Z	ゼロフラグ	【セット条件】 データがゼロのとき 【クリア条件】 データがゼロ以外のとき	R/W
1	V	オーバフロー フラグ	【セット条件】 算術演算命令の実行により、オーバフローが生じたとき 【クリア条件】 算術演算命令の実行により、オーバフローが生じなかったとき	R/W
0	C	キャリフラグ	【セット条件】 演算の実行により、キャリが生じたとき 【クリア条件】 演算の実行により、キャリが生じなかったとき	R/W

- I (割り込みマスクビット)

本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIはIビットに関係なく、受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第4章 割り込みコントローラ」を参照してください。

- UI (ユーザビット/割り込みマスクビット)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。本ビットは割り込みマスクビットとして使用できません。

- H (ハーフキャリフラグ)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

- U (ユーザビット)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

- N (ネガティブフラグ)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

- **C (キャリフラグ)**

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- 加算結果のキャリ
- 減算結果のボロー
- シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.7 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	
1ビットデータ	RnL	
4ビットBCDデータ	RnH	
4ビットBCDデータ	RnL	
バイトデータ	RnH	
バイトデータ	RnL	

図 2.7 汎用レジスタのデータ形式 (1)

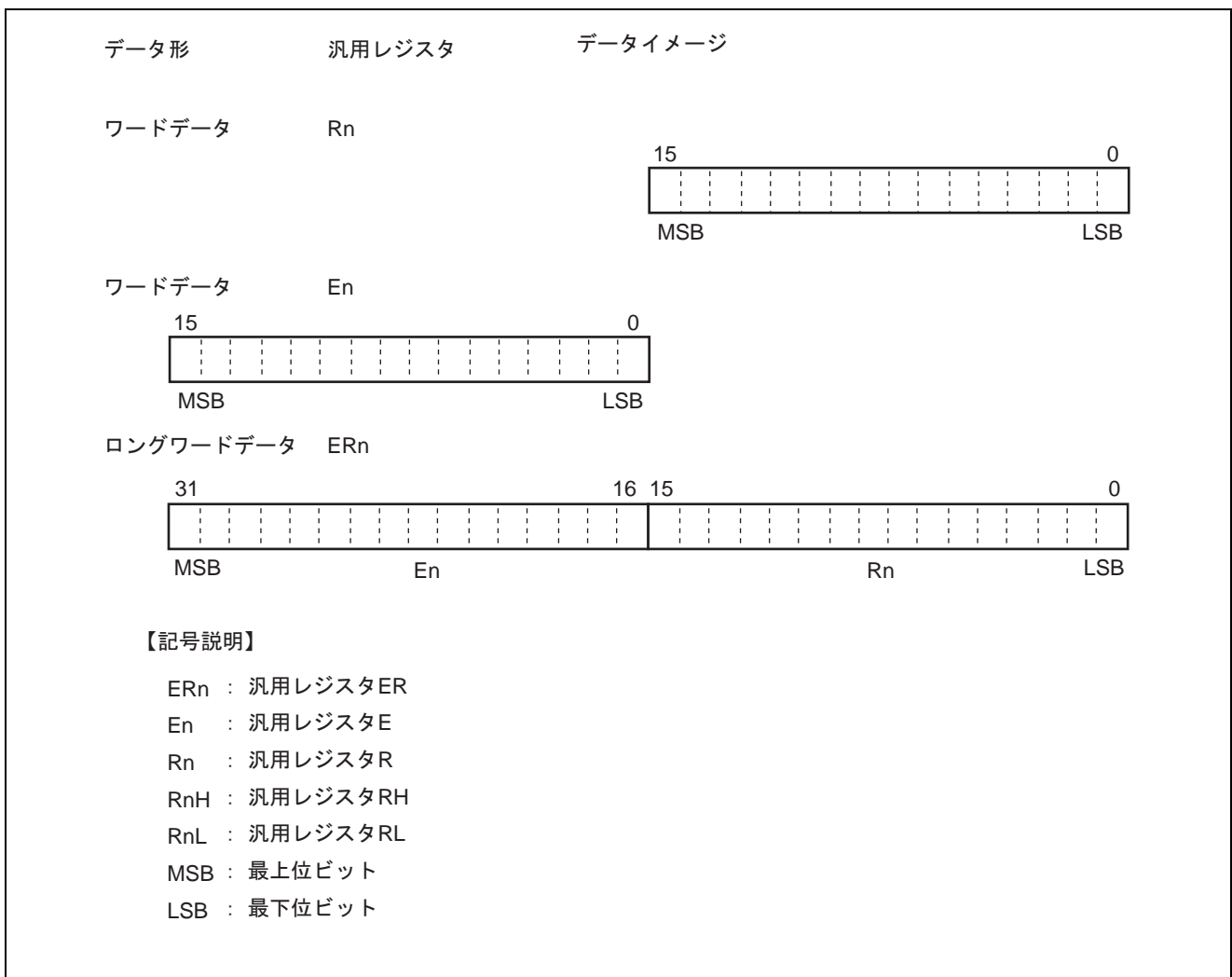


図 2.7 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.8 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

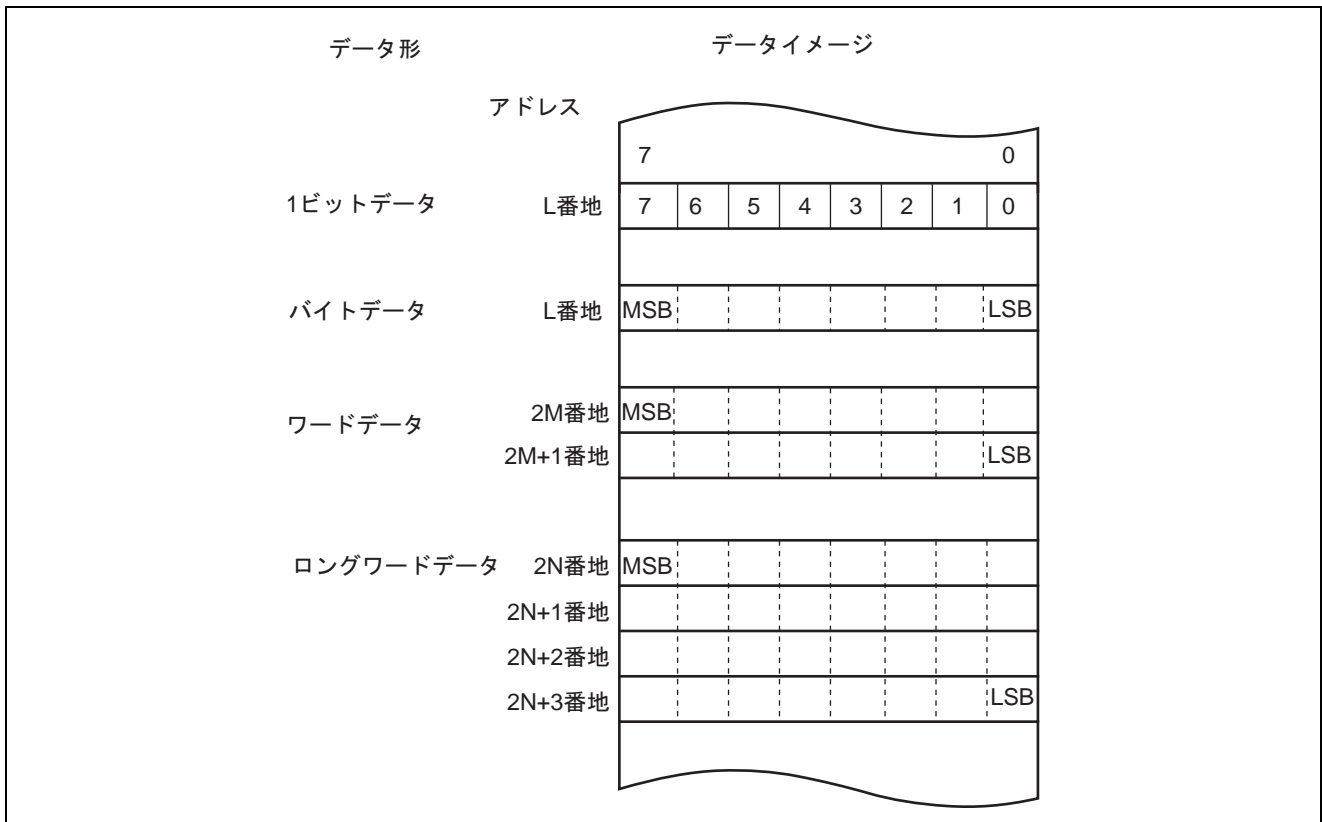


図 2.8 メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP* ¹ , PUSH* ¹	W/L	
	LDM* ⁵ , STM* ⁵	L	
	MOVFPE* ³ , MOVTPPE* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* ⁴	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EPMOV	—	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8ビット（R0H～R7H、R0L～R7L）、16ビット（R0～R7、E0～E7）、または32ビットレジスタ（ER0～ER7）です。

表 2.3 データ転送命令

命令	サイズ* ¹	機能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* ²	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* ²	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

*2 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ 、 $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 、 $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット 余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* ¹	機能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット→商8ビット余り8ビット、 32ビット÷16ビット→商16ビット余り16ビットの除算が可能です。
CMP	B/W/L	Rd-Rs、Rd-#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	0-Rd→Rd 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) →Rd 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) →Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd-0、1 → (<ビット7>of @ERd) メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim(<\text{ビット番号}> \text{of} <\text{EAd}>)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim(<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	—	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>CVZ=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>CVZ=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$ZV(N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$ZV(N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	CVZ=0	BLS	Low or Same	CVZ=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$ZV(N \oplus V) = 0$	BLE	Less or Equal	$ZV(N \oplus V) = 1$
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	CVZ=0																																																			
BLS	Low or Same	CVZ=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$ZV(N \oplus V) = 0$																																																			
BLE	Less or Equal	$ZV(N \oplus V) = 1$																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	—	if R4L≠0 then Repeat @ER5+→@ER6+ R4L-1→R4L Until R4L=0 else next;
EEPMOV.W	—	if R4≠0 then Repeat @ER5+→@ER6+ R4-1→R4 Until R4=0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.9 に命令フォーマットの例を示します。

- オペレーションフィールド
命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。
- レジスタフィールド
汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。
- EA 拡張部
イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。
- コンディションフィールド
Bcc 命令の分岐条件を指定します。

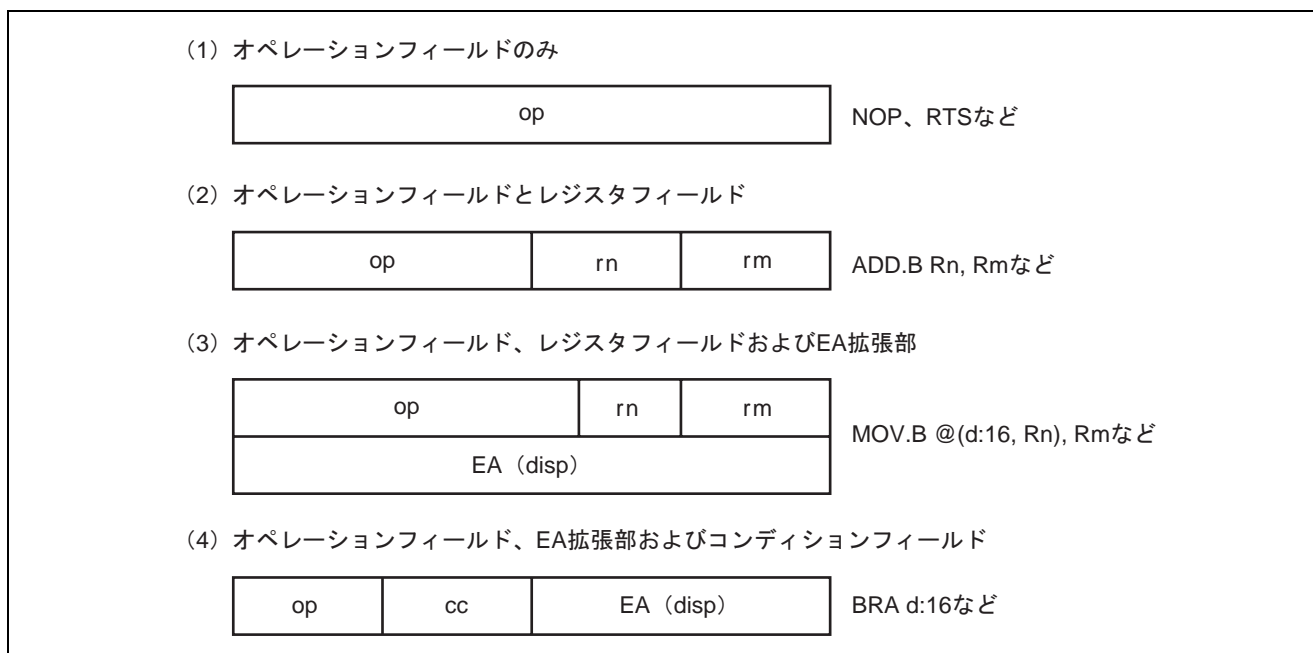


図 2.9 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) /@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

	絶対アドレス	アドバンストモード
データ領域	8 ビット (@aa:8)	H'FFFF00~H'FFFFFF
	16 ビット (@aa:16)	H'000000~H'007FFF、 H'FF8000~H'FFFFFF
	32 ビット (@aa:32)	H'000000~H'FFFFFF
プログラム領域	24 ビット (@aa:24)	

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @(d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレイメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (アドバンストモードのとき H'000000 ~ H'0000FF) 番地です。

アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 3 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

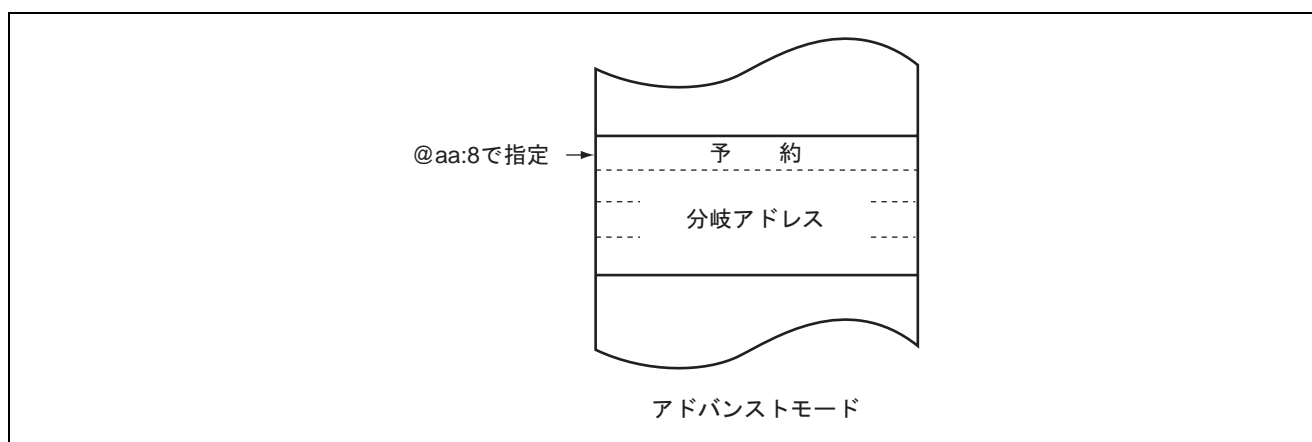
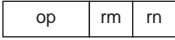

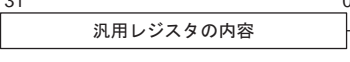
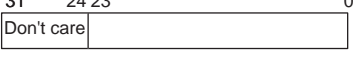


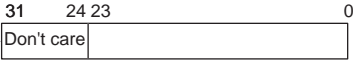


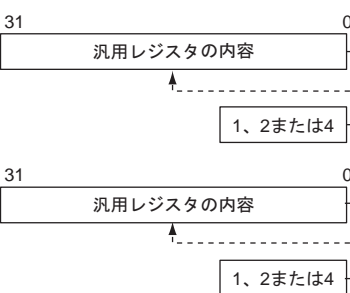





図 2.10 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表 2.13 に示します。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） 		
3	ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 	 

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8/#xx:16/#xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード 		
	・アドバンストモード 		

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態
CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子を Low レベルから High レベルにすると、リセット例外処理を開始します。リセットの詳細は「第 3 章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。
- 例外処理状態
例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第 3 章 例外処理」を参照してください。
- プログラム実行状態
CPU がプログラムを順次実行している状態です。
- バス権解放状態
CPU 以外のバスマスタ（DTC）からのバス権要求*に対してバス権を解放した状態です。バス権解放状態では CPU は動作を停止します。
- プログラム停止状態
CPU が動作を停止し、消費電力を低下させた状態です。SLEEP 命令の実行で CPU はプログラム停止状態になります。詳細は「第 6 章 低消費電力状態」を参照してください。

【注】 * DTC は起動要求が発生するとバス権を要求します。バス権が CPU から DTC へ移行するタイミングは次の通りです。

1. バスサイクルの切れ目でバス権を移行します。
ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目ではバス権は移行しません。詳細は H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアルの「2.7 命令実行中のバス状態」を参照してください。
2. CPU がスリープモードの場合は、ただちにバス権を移行します。

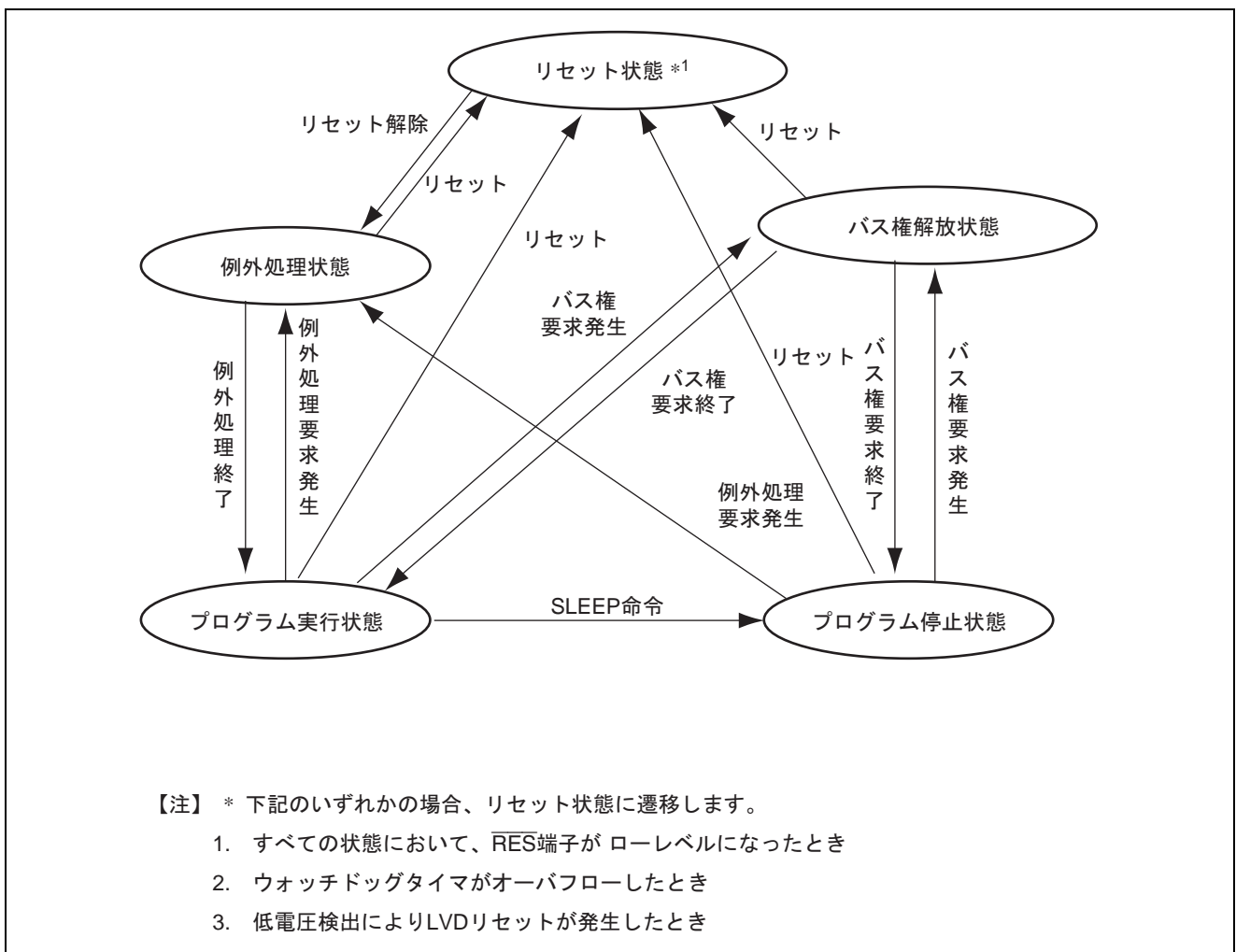


図 2.11 状態遷移図

2.9 使用上の注意事項

2.9.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

2.9.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポイントであるため、退避 (STM) /復帰 (LDM) できるレジスタとしては、使用できません。一命令で退避 (STM) /復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0—ER1、ER2—ER3、ER4—ER5

3 本 : ER0—ER2、ER4—ER6

4 本 : ER0—ER3

また、ルネサス製 H8S、H8S/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

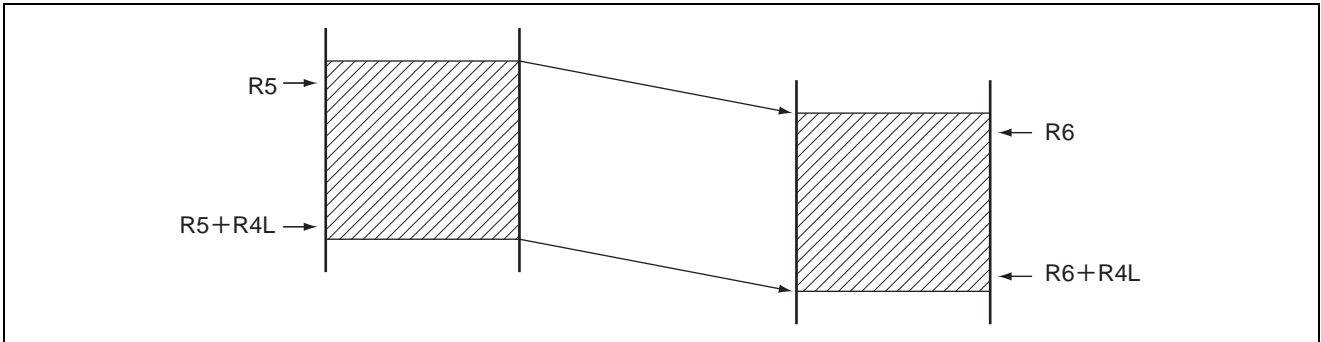
2.9.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

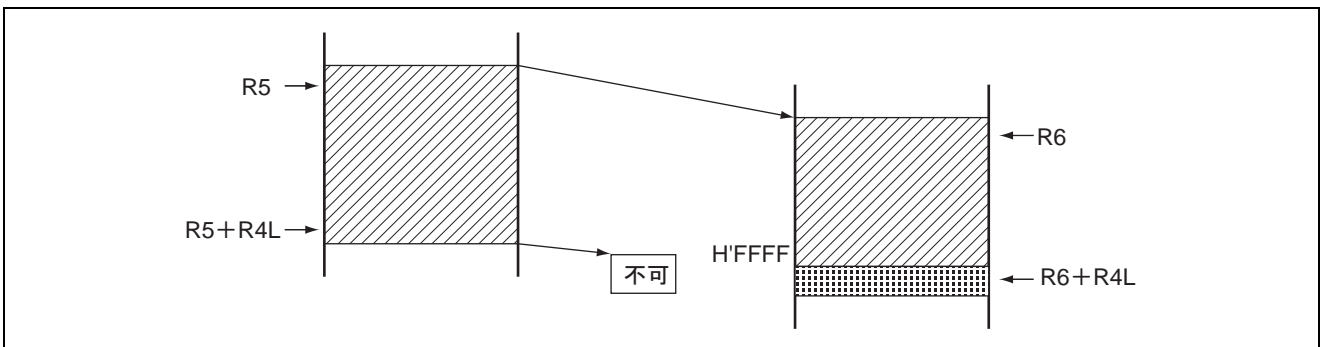
また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.9.4 EEPMOV 命令

1. EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



2. 転送先の最終アドレス (R6+R4Lの値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF→H'0000とならないように)、R4L、R6を設定してください。



3. 例外処理

3.1 例外処理の種類と優先度

例外処理要因には表 3.1 に示すように、リセット、トレース、NMI 割り込み、トラップ命令および割り込みがあります。これらの例外処理要因には表 3.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 4 章 割り込みコントローラ」を参照してください。

表 3.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES 端子のローレベルからハイレベルへの遷移時、または、他のリセット要因により開始します。RES 端子がローレベルのときリセット状態になります。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、命令または例外処理の実行終了時に開始します。
	NMI	NMI 端子の入力エッジにより発生します。NMI 割り込み要求は最優先の割り込み要求で、CCR の I ビットの値にかかわらず常に受け付けられます。
	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²

- 【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。
- *2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
- *3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

3.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応は「第4章 割り込みコントローラ」を参照してください。

3.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時および動作中は $\overline{\text{RES}}$ 端子を規定の時間ローレベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、システムクロックは低速オンチップオシレータが選択されます。また他のリセット要因として、低電圧検出によるリセット、ウォッチドッグタイマのオーバフローによるリセット、ソフトウェアによるリセットがあります。

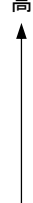
リセット直後は割り込み制御モードは 0 になっています。

3.3.1 リセット要因

本 LSI は、表 3.2 に示すリセット要因により、リセット状態に遷移することができます。複数のリセット要因が同時に発生した場合は、最も優先順位の高い要因を受け付けます。リセット要因はリセット要因判別レジスタ (RSTFR) をリードすることにより、リセット要因を判別することができます。

低電圧検出回路リセットについては、「第 26 章 低電圧検出回路」を、ウォッチドッグタイマオーバフローリセットについては、「第 19 章 ウォッチドッグタイマ (WDT)」を参照してください。

表 3.2 リセット要因一覧

リセット要因	説明	優先順位
端子リセット	$\overline{\text{RES}}$ 端子が規定時間以上ローレベルになると、本 LSI はリセット状態になります。	高  低
低電圧検出リセット	電源電圧が特定電圧以下になると、本 LSI はリセット状態になります。	
ウォッチドッグタイマオーバフローリセット	ウォッチドッグタイマのカウンタがオーバフローすると、本 LSI はリセット状態になります。	
ソフトウェアリセット	RSTCR の SRST ビットを 1 にセットすると、本 LSI はリセット状態になります。	

(1) リセット要因判別レジスタ (RSTFR)

アドレス: H'FF0620

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	-	-	SWRST	PRST	LVD2RST	LVD1RST	PORRST	WRST
--	---	---	-------	------	---------	---------	--------	------

リセット後の値: 0 0 (0) (0) (0) (0) (0) (0)

ビット	シンボル	ビット名	機能	R/W
7	-	予約ビット	リードすると0が読み出されます。	-
6	-		ライト時は"0"を書いてください。	
5	SWRST	ソフトウェアリセット 検出フラグ	1: ソフトウェアリセットによりリセットが発生 0: ソフトウェアリセットの発生なし	R/W
4	PRST	RES 端子リセット検出 フラグ	1: RES 端子リセットによりリセットが発生 0: RES 端子リセットの発生なし	R/W
3	LVD2RST	LVD2 リセット検出 フラグ	1: LVD2 リセットによりリセットが発生 0: LVD2 リセットの発生なし	R/W
2	LVD1RST	LVD1 リセット検出 フラグ	1: LVD1 リセットによりリセットが発生 0: LVD1 リセットの発生なし	R/W
1	PORRST	LVD0 リセット検出 フラグ	1: LVD0 リセットによりリセットが発生 0: LVD0 リセットの発生なし	R/W
0	WRST	ウォッチドッグタイマ リセット検出フラグ	1: ウォッチドッグタイマオーバーフローによりリセット が発生 0: ウォッチドッグタイマリセットの発生なし	R/W

【注】 本レジスタの各フラグは0をライトすることでクリアできます。本レジスタへのライト時、予約ビットは必ず0を書いてください。

(2) リセットコントロールレジスタ (RSTCR)

アドレス: H'FF06DA

ビット: b7 b6 b5 b4 b3 b2 b1 b0

WI	WE	—	—	—	—	—	SRST
----	----	---	---	---	---	---	------

リセット後の値: 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
7	WI	書き込み禁止ビット	0: 書き込み許可 1: 書き込み禁止	W
6	WE	書き込み許可ビット	0: 書き込み禁止 1: 書き込み許可 【1になる条件】 WIに0、WEに1をライトしたとき 【0になる条件】 WIに0、WEに0をライトしたとき	R/W
5~1	—	予約ビット	リードすると0が読み出されます。 書く場合、0を書き込んでください。	R
0	SRST	ソフトウェア リセットビット	0: 通常動作 1: ソフトウェアリセット発生	R/W

【注】 本レジスタに書き込みを行うときは必ず MOV 命令を使用してください。

- WIビット (書き込み禁止)

このビットの書き込み値が0のときのみ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。

- WEビット (書き込み許可)

このビットが1のときのみ、このレジスタのビット0に対する書き込みが有効になります。

- SRSTビット (ソフトウェアリセットビット)

本ビットを1にセットすると、リセットが発生します。

3.3.2 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間ローレベルの後ハイレベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、VOFRがH'0000にクリア、またEXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. システムクロックは低速オンチップオシレータが選択されます。
3. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 3.1 に示します。

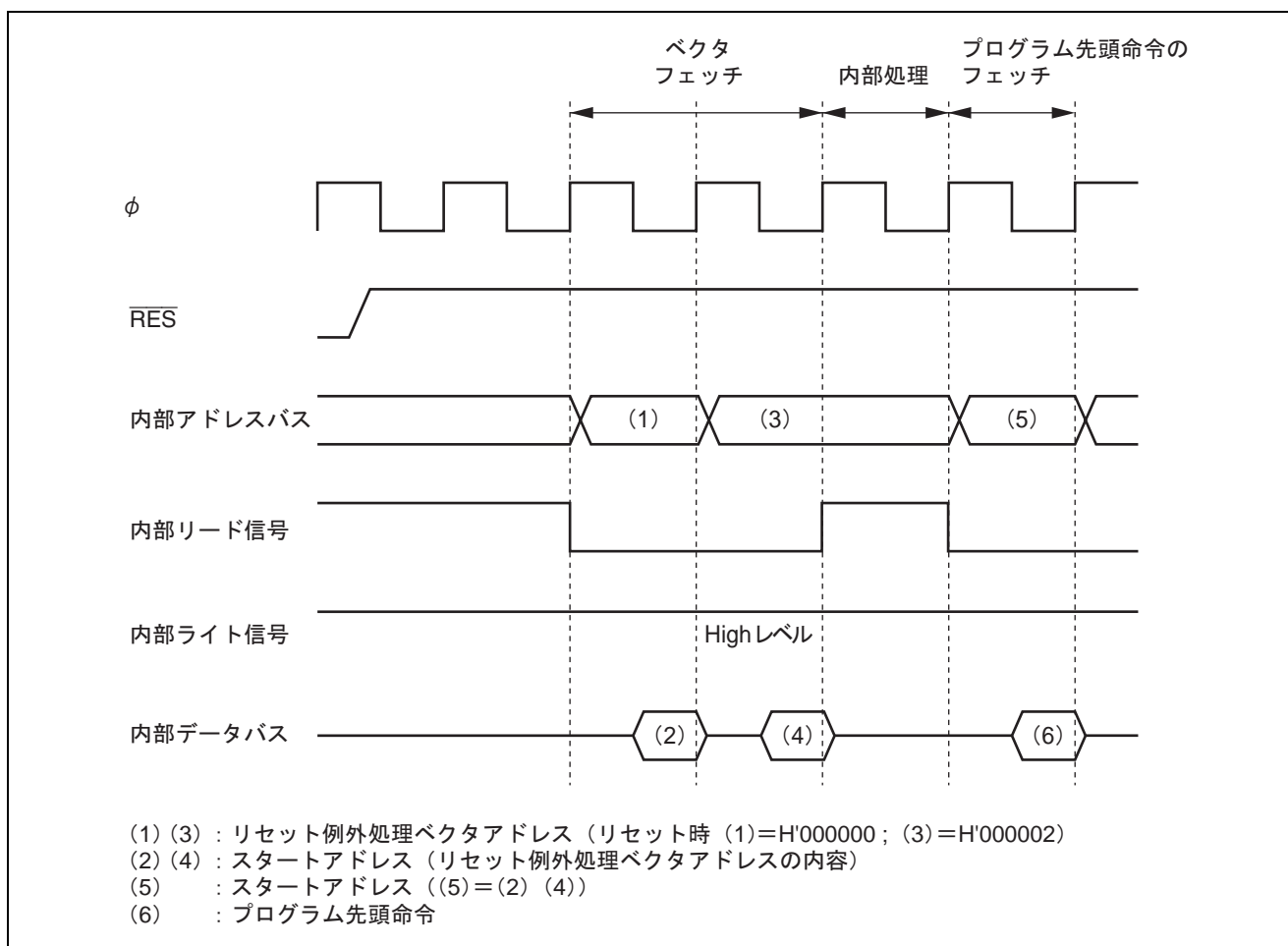


図 3.1 リセットシーケンス

3.3.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx : 32, SP)。

3.3.4 リセット解除後の内蔵周辺機能

リセット解除後、MSTCR は初期化され、タイマ RE を除く DTC およびすべてのモジュールがモジュールスタンバイモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールスタンバイモードを解除することにより、レジスタのリード/ライトが可能となります。

3.4 トレース例外処理

トレースは、割り込み制御モード 2 で有効です。割り込み制御モード 0 では、T ビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第 4 章 割り込みコントローラ」を参照してください。

EXR の T ビットを 1 にセットすると、トレースモードになります。トレースモードでは CPU が 1 命令を実行するたびにトレース例外処理を開始します。トレース例外処理は CCR の割り込みマスクビットの影響を受けません。表 3.3 にトレース例外処理後の CCR、EXR の状態を示します。トレース例外処理によって EXR の T ビットが 0 にクリアされてトレースモードが解除されますが、スタックに退避された T ビットは 1 を保持しており、RTE 命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE 命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 3.3 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	—	—	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

3.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに4レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第4章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

3.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した0~3のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 3.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 3.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	—	—	—
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

3.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 3.2 に示します。

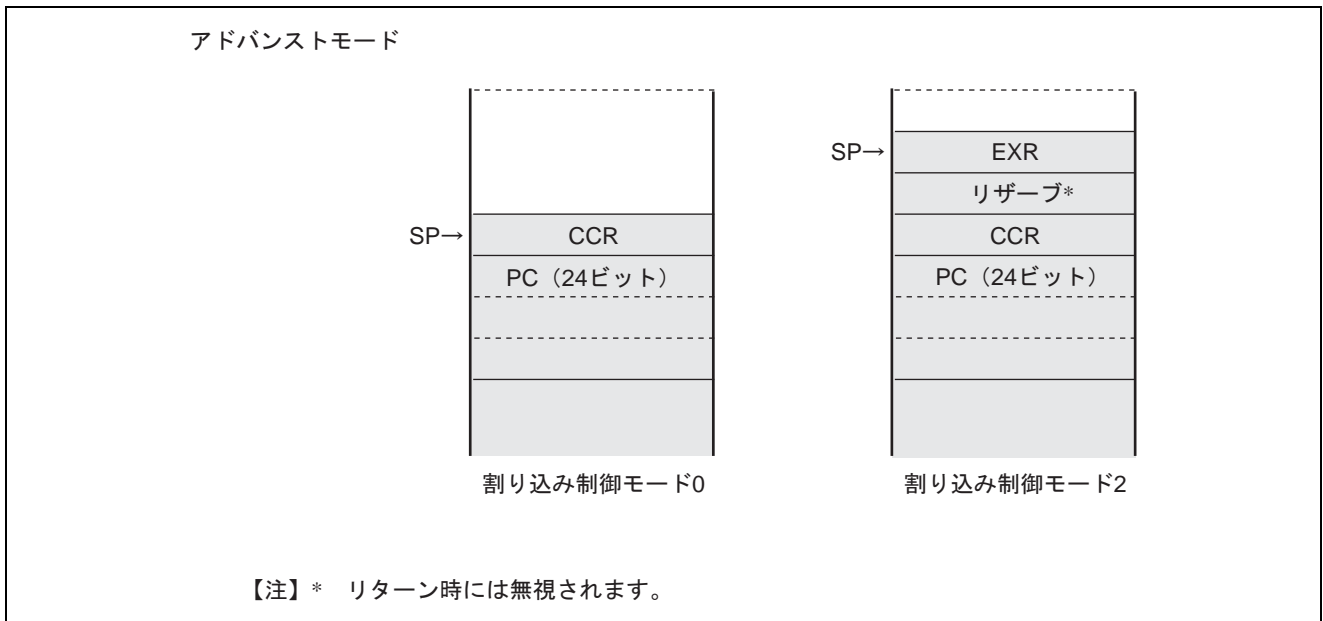


図 3.2 例外処理終了後のスタックの状態

3.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 3.3 に示します。

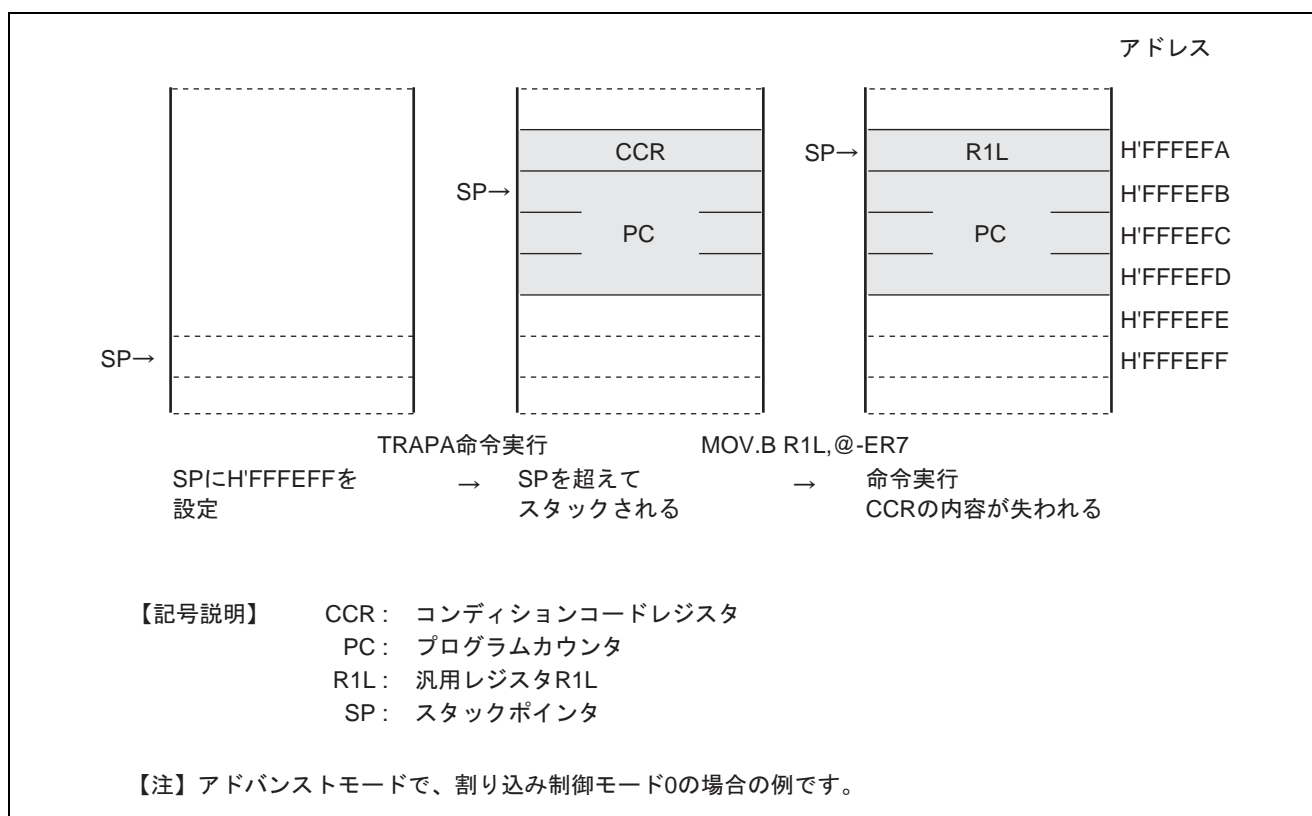


図 3.3 SP を奇数に設定したときの動作

4. 割り込みコントローラ

4.1 概要

- 2種類の割り込み制御モード
インタラプトコントロールレジスタ (INTCR) の INTM1、INTM0 ビットにより、2種類の割り込み制御モードをサポートしています。
- IPRにより、優先順位を設定可能
インタラプトプライオリティレジスタ (IPR) により、NMI 以外の割り込み要求にはモジュールごとに4レベルの優先順位を設定できます。NMI とフラッシュメモリの割り込みの一部は、最優先のレベル3の割り込み要求として、常に受け付けられます。
- 独立したベクタアドレス
ほとんどの割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 9本の外部割り込み端子
NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジのいずれかをそれぞれ独立に選択できます。
- DTCの制御
割り込み要求により DTC を起動することができます。

割り込みコントローラのブロック図を図 4.1 に示します。

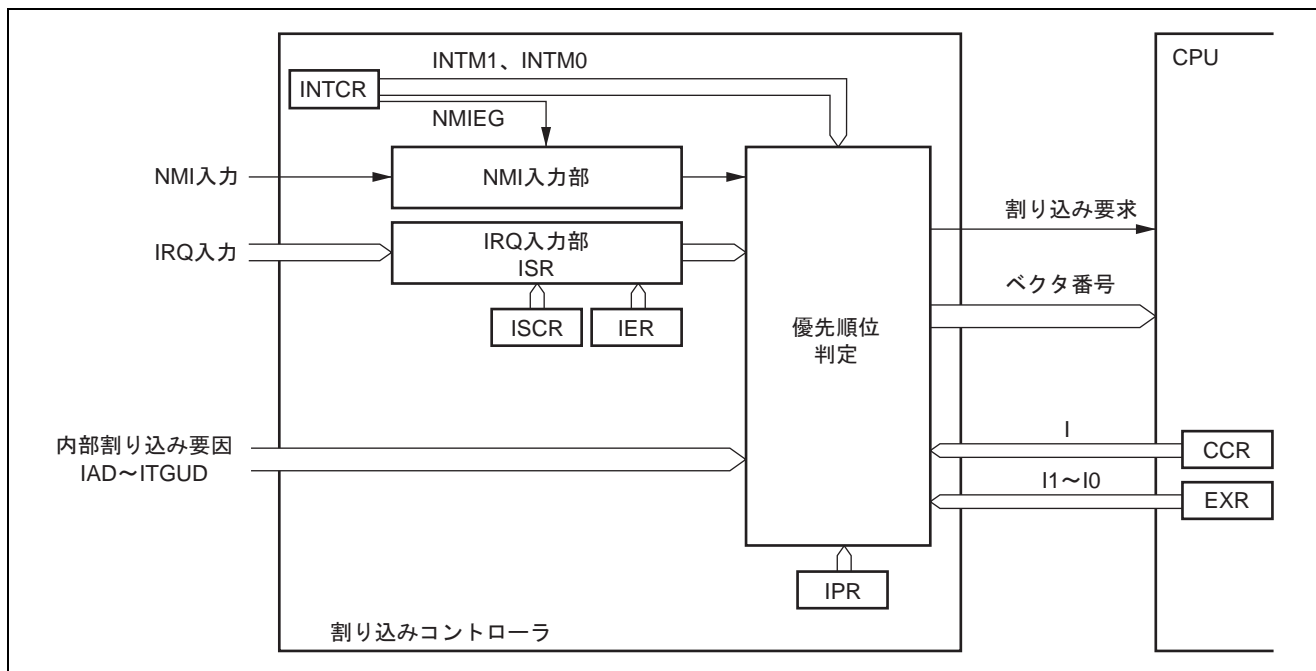


図 4.1 割り込みコントローラのブロック図

割り込みコントローラの端子構成を表 4.1 に示します。

表 4.1 端子構成

端子名	入出力	機能
$\overline{\text{NMI}}$	入力	ノンマスク外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジのいずれかを独立に選択可能。

4.2 レジスタの説明

- インタラプトコントロールレジスタ (INTCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- 割り込みベクタオフセットレジスタ (VOFR)
- IRQノイズキャンセラコントロールレジスタ (INCCR)
- イベントリンク割り込みコントロールステータスレジスタ (ELCSR)

4.2.1 インタラプトコントロールレジスタ (INTCR)

アドレス: H'FF0520

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	INTM[1:0]	NMIEG	ADTRG1	ADTRG0	—
---	---	-----------	-------	--------	--------	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
6	—	予約ビット		—
5 4	INTM[1:0]	割り込み制御 選択モード1、0	00: 割り込み制御モード0 1ビットで割り込みを制御します。 01: 設定禁止 10: 割り込み制御モード2 11~10ビットとIPRで割り込みを制御します。 11: 設定禁止	R/W
3	NMIEG	NMIエッジ セレクト	0: NMI入力の立ち下がりエッジで割り込み要求を発生 1: NMI入力の立ち上がりエッジで割り込み要求を発生	R/W
2	ADTRG1	ADTRG2エッジ セレクト	0: ADTRG2入力の立ち下がりエッジでAD2の変換開始 1: ADTRG2入力の立ち上がりエッジでAD2の変換開始	R/W
1	ADTRG0	ADTRG1エッジ セレクト	0: ADTRG1入力の立ち下がりエッジでAD1またはAD2の変換開始 1: ADTRG1入力の立ち上がりエッジでAD1またはAD2の変換開始	R/W
0	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—

- INTM1、0 (割り込み制御選択モード1、0)
割り込みコントローラの割り込み制御モードを選択します。
- NMIEG (NMIエッジセレクト)
NMI端子の入力エッジ選択を行います。
- ADTRG1、0 (ADTRG1、0エッジセレクト)
ADTRG2、ADTRG1端子の入力エッジ選択を行います。

4.2.2 インタラプトプライオリティレジスタ A~I (IPRA~IPRI)

アドレス: H'FF0529~H'FF0531

ビット: b7 b6 b5 b4 b3 b2 b1 b0

IPRn[7:6]	IPRn[5:4]	IPRn[3:2]	IPRn[1:0]
-----------	-----------	-----------	-----------

リセット後の値: 1 1 1 1 1 1 1 1
(n=A~I)

ビット	シンボル	ビット名	説明	R/W
7 6	IPRn[7:6]	インタラプト プライオリティ 7、6	00: 優先レベル 0 (最低) 01: 優先レベル 1 10: 優先レベル 2 11: 優先レベル 3 (最高)	R/W
5 4	IPRn[5:4]	インタラプト プライオリティ 5、4	00: 優先レベル 0 (最低) 01: 優先レベル 1 10: 優先レベル 2 11: 優先レベル 3 (最高)	R/W
3 2	IPRn[3:2]	インタラプト プライオリティ 3、2	00: 優先レベル 0 (最低) 01: 優先レベル 1 10: 優先レベル 2 11: 優先レベル 3 (最高)	R/W
1 0	IPRn[1:0]	インタラプト プライオリティ 1、0	00: 優先レベル 0 (最低) 01: 優先レベル 1 10: 優先レベル 2 11: 優先レベル 3 (最高)	R/W

【注】 n = A~I

• IPR7~0 (インタラプトプライオリティ7~0)

IPR は 8 ビットのリード/ライト可能な 9 本のレジスタで、ノンマスクブル割り込みを除く割り込み要因の優先順位 (レベル 3~0) を設定します。各割り込み要因と IPR の対応については表 4.2 を参照してください。ビット 7、6、ビット 5、4、ビット 3、2、ビット 1、0 の各 2 ビットに H'0 から H'3 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。

表 4.2 各割り込み要因と IPR の対応

レジスタ	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
IPRA	フラッシュメモリ		WDT		LVD		CPG	
IPRB	IRQ0		IRQ1		IRQ2		IRQ3	
IPRC	IRQ4		IRQ5		IRQ6		IRQ7	
IPRD	A/D 変換器ユニット 1		A/D 変換器ユニット 2* ¹		DTC		ELC	
IPRE	SCI3 チャンネル 1		SCI3 チャンネル 2		SCI3 チャンネル 3		-	
IPRF	-		-		IIC2/SSU		-	
IPRG	-		タイマ RA		タイマ RB		タイマ RC* ²	
IPRH	タイマ RD ユニット 0 チャンネル 0		タイマ RD ユニット 0 チャンネル 1		タイマ RD ユニット 1 チャンネル 2* ³		タイマ RD ユニット 1 チャンネル 3* ³	
IPRI	タイマ RE		-		タイマ RG		-	

【注】 - : リザーブビット

- *1 H8S/20223 グループ、H8S/20235 グループのみ搭載しています。
- *2 H8S/20103 グループ、H8S/20115 グループのみ搭載しています。
- *3 H8S/20103 グループ、H8S/20115 グループにはありません。

4.2.3 IRQ イネーブルレジスタ (IER)

アドレス: H'FF0521

ビット: b7 b6 b5 b4 b3 b2 b1 b0

IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	IRQ7E	IRQ7 イネーブル	0 : IRQ7 割り込みはディスエーブル 1 : IRQ7 割り込みはイネーブル	R/W
6	IRQ6E	IRQ6 イネーブル	0 : IRQ6 割り込みはディスエーブル 1 : IRQ6 割り込みはイネーブル	R/W
5	IRQ5E	IRQ5 イネーブル	0 : IRQ5 割り込みはディスエーブル 1 : IRQ5 割り込みはイネーブル	R/W
4	IRQ4E	IRQ4 イネーブル	0 : IRQ4 割り込みはディスエーブル 1 : IRQ4 割り込みはイネーブル	R/W
3	IRQ3E	IRQ3 イネーブル	0 : IRQ3 割り込みはディスエーブル 1 : IRQ3 割り込みはイネーブル	R/W
2	IRQ2E	IRQ2 イネーブル	0 : IRQ2 割り込みはディスエーブル 1 : IRQ2 割り込みはイネーブル	R/W
1	IRQ1E	IRQ1 イネーブル	0 : IRQ1 割り込みはディスエーブル 1 : IRQ1 割り込みはイネーブル	R/W
0	IRQ0E	IRQ0 イネーブル	0 : IRQ0 割り込みはディスエーブル 1 : IRQ0 割り込みはイネーブル	R/W

4.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

・ ISCRH

アドレス: H'FF0522

ビット: b7 b6 b5 b4 b3 b2 b1 b0

[IRQ7SCB:IRQ7SCA]	[IRQ6SCB:IRQ6SCA]	[IRQ5SCB:IRQ5SCA]	[IRQ4SCB:IRQ4SCA]
-------------------	-------------------	-------------------	-------------------

リセット後の値: 0 1 0 1 0 1 0 1

・ ISCRL

アドレス: H'FF0523

ビット: b7 b6 b5 b4 b3 b2 b1 b0

[IRQ3SCB:IRQ3SCA]	[IRQ2SCB:IRQ2SCA]	[IRQ1SCB:IRQ1SCA]	[IRQ0SCB:IRQ0SCA]
-------------------	-------------------	-------------------	-------------------

リセット後の値: 0 1 0 1 0 1 0 1

• ISCRH

ビット	シンボル	ビット名	説明	R/W
7 6	[IRQ7SCB : IRQ7SCA]	IRQ7 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ7 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ7 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ7 入力の立ち下がり、立ち上がりの両エッジで割り込み 要求を発生	R/W
5 4	[IRQ6SCB : IRQ6SCA]	IRQ6 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ6 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ6 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ6 入力の立ち下がり、立ち上がりの両エッジで割り込み 要求を発生	R/W
3 2	[IRQ5SCB : IRQ5SCA]	IRQ5 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ5 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ5 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ5 入力の立ち下がり、立ち上がりの両エッジで割り込み 要求を発生	R/W
1 0	[IRQ4SCB : IRQ4SCA]	IRQ4 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ4 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ4 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ4 入力の立ち下がり、立ち上がりの両エッジで割り込み 要求を発生	R/W

• ISCR_L

ビット	シンボル	ビット名	説明	R/W
7 6	[IRQ3SCB : IRQ3SCA]	IRQ3 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ3 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ3 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ3 入力の立ち下がリ、立ち上がりの両エッジで割り込み 要求を発生	R/W
5 4	[IRQ2SCB : IRQ2SCA]	IRQ6 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ2 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ2 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ2 入力の立ち下がリ、立ち上がりの両エッジで割り込み 要求を発生	R/W
3 2	[IRQ1SCB : IRQ1SCA]	IRQ1 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ1 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ1 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ1 入力の立ち下がリ、立ち上がりの両エッジで割り込み 要求を発生	R/W
1 0	[IRQ0SCB : IRQ0SCA]	IRQ0 センス コントロール B、A	00 : 予約 (設定しないでください) 01 : IRQ0 入力の立ち下がリエッジで割り込み要求を発生 10 : IRQ0 入力の立ち上がリエッジで割り込み要求を発生 11 : IRQ0 入力の立ち下がリ、立ち上がりの両エッジで割り込み 要求を発生	R/W

4.2.5 IRQ ステータスレジスタ (ISR)

アドレス: H'FF0524

ビット: b7 b6 b5 b4 b3 b2 b1 b0

IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	IRQ7F	IRQ7 フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> • ISCR で選択した割り込みエッジが発生したとき <p>【0になる条件】</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 立ち下がリエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき 	R/W
6	IRQ6F	IRQ6 フラグ		R/W
5	IRQ5F	IRQ5 フラグ		R/W
4	IRQ4F	IRQ4 フラグ		R/W
3	IRQ3F	IRQ3 フラグ		R/W
2	IRQ2F	IRQ2 フラグ		R/W
1	IRQ1F	IRQ1 フラグ		R/W
0	IRQ0F	IRQ0 フラグ		R/W

4.2.6 IRQ ノイズキャンセラコントロールレジスタ (INCCR)

アドレス: H'FF0525

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	INCCR[5:4]	INCCR[3:2]	INCCR[1:0]
---	---	------------	------------	------------

リセット後の値: 0 0 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると常に0が読み出されます。ライト時は"0"を書いてください。	—
5 4	INCCR[5:4]	NMI 端子ノイズ キャンセル能力 設定 5、4	00: 能力 1 01: 能力 2 (能力 1 の約 1.5 倍) 10: 能力 3 (能力 1 の約 2.7 倍) 11: 能力 4 (能力 1 の約 5 倍)	R/W
3 2	INCCR[3:2]	$\overline{\text{IRQ}}7 \sim \overline{\text{IRQ}}4$ 端子 ノイズキャンセル 能力設定 3、2	00: 能力 1 01: 能力 2 (能力 1 の約 1.5 倍) 10: 能力 3 (能力 1 の約 2.7 倍) 11: 能力 4 (能力 1 の約 5 倍)	R/W
1 0	INCCR[1:0]	$\overline{\text{IRQ}}3 \sim \overline{\text{IRQ}}0$ 端子 ノイズキャンセル 能力設定 1、0	00: 能力 1 01: 能力 2 (能力 1 の約 1.5 倍) 10: 能力 3 (能力 1 の約 2.7 倍) 11: 能力 4 (能力 1 の約 5 倍)	R/W

【注】 ノイズキャンセル能力は製造条件、温度、Vccによりバラツキがあります。NMI や $\overline{\text{IRQ}}$ を使用する場合、規定の最小入力幅以上のパルスを入力してください。

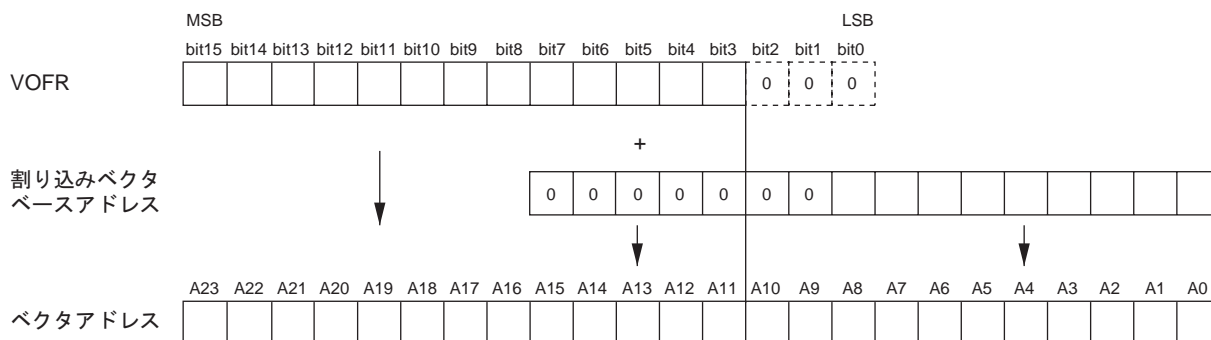
4.2.7 割り込みベクタオフセットレジスタ (VOFR)

アドレス: H'FF0526

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
-------	-------	-------	-------	-------	-------	------	------	------	------	------	------	------	------	------	------

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0



VOFR は 16 ビットのリード/ライト可能なレジスタで、割り込みベクタアドレスのオフセットを設定します。本レジスタを設定することで、トレース割り込みとトラップ命令割り込み以外の割り込みベクタ領域を可変にすることが可能です。上位 13 ビットに割り込みベクタアドレス (A23~A11) のオフセットを設定します。ビット 2~0 は予約ビットです。ライト時は 0 を書いてください。8 ビット単位でもアクセス可能です。

ベクタアドレスはトレース割り込みとトラップ命令割り込みを除き、上記のように VOFR 値と割り込みベクタベースアドレスを加算したものになります。

本レジスタはリセットで H'0000 に初期化されます。

【注】 割り込みベクタオフセットレジスタ (VOFR) にオフセットアドレス値を設定して DTC を使用したとき、VOFR の設定値が無効となり、VOFR が初期値 (H'0000) でのベクタアドレス領域のベクタ定義を参照して、例外処理が実行されます。

DTC 使用時は、VOFR を H'0000 (デフォルト値) に設定してください。

4.2.8 イベントリンク割り込みコントロールステータスレジスタ (ELCSR)

アドレス: H'FF0528

ビット: b7 b6 b5 b4 b3 b2 b1 b0

-	-	-	-	ELIE2	ELIE1	ELF2	ELF1
---	---	---	---	-------	-------	------	------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~4	-	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	-
3	ELIE2	ELC 割り込み 2 イネーブル	0: ELF2 割り込みはディスエーブル 1: ELF2 割り込みがイネーブル	R/W
2	ELIE1	ELC 割り込み 1 イネーブル	0: ELF1 割り込みはディスエーブル 1: ELF1 割り込みがイネーブル	R/W
1	ELF2	ELC 割り込み フラグ 2	【1になる条件】 • ELSR30 で選択したイベントが発生したとき*1 【0になる条件】 • 1の状態をリードした後、0をライトしたとき • ELF2 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のとき*2	R/W
0	ELF1	ELC 割り込み フラグ 1	【1になる条件】 • ELSR12 で選択したイベントが発生したとき*1 【0になる条件】 • 1の状態をリードした後、0をライトしたとき ELF1 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のとき*2	R/W

【注】 *1 詳細は「第 12 章 イベントリンクコントローラ (ELC)」を参照してください。

*2 ELF2 または ELF1 割り込みにより DTC を起動した場合、イベントリンク発生元のモジュールには影響しません。

4.3 割り込み要因

4.3.1 外部割り込み要因

外部割り込みには、NMI、IRQ7～IRQ0 の 9 要因があります。このうち、外部割り込みはスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。 $\overline{\text{NMI}}$ 端子の立ち上がりエッジと立ち下がりエッジのいずれかで割り込み要求を発生させるか、INTCR の NMIEG ビットで選択できます。

(2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ7～IRQ0 割り込みには以下の特長があります。

- $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 入力の立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ7～IRQ0 割り込み要求は IER により選択できます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ7～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ7～IRQ0 割り込みのブロック図を図 4.2 に示します。

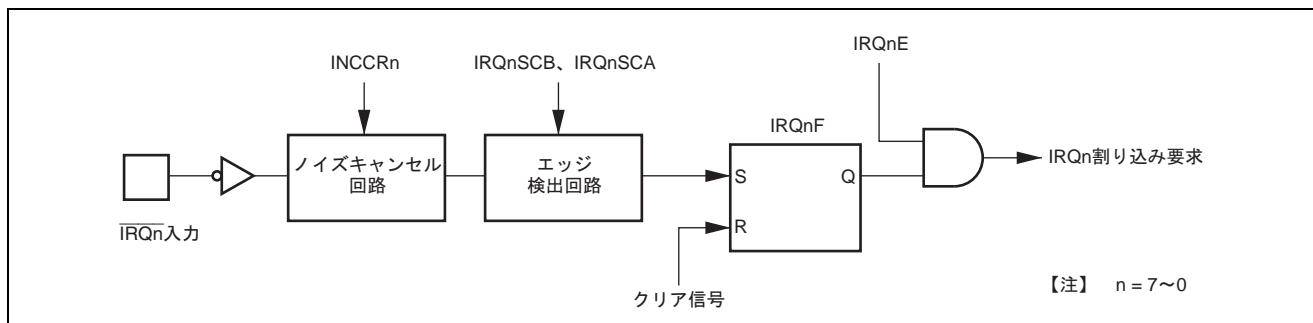


図 4.2 IRQ7～IRQ0 割り込みのブロック図

4.3.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- 周辺モジュールなどの割り込み要求によりDTCを起動することができます。
- 割り込み要求によりDTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

4.4 割り込み例外処理ベクタテーブル

表 4.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード2に設定されている場合、モジュール間の優先順位は、IPRにより変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

表 4.3 割り込み要因とベクタアドレスおよび割り込み優先順位

割り込み要因 発生元	割り込み要因	ベクタ 番号	ベクタアドレス*1	DTCEA	IPR	優先 順位
RES 端子	リセット	0	H'0000~H'0003	—	—	高 ↑ ↓ 低
WDT	1.RES 端子リセット					
LVD	2.WDT オーバフロー					
	3.LVD リセット					
	4.ソフトウェアリセット					
—	予約	1~4	H'0004~H'0013	—	—	
CPU	トレース	5	H'0014~H'0017	—	—	
—	予約	6	H'0018~H'001B	—	—	
外部端子	NMI	7	H'001C~H'001F	—	—	
CPU	TRAPA0 (TRAPA #0 命令)	8	H'0020~H'0023	—	—	
	TRAPA1 (TRAPA #1 命令)	9	H'0024~H'0027	—	—	
	TRAPA2 (TRAPA #2 命令)	10	H'0028~H'002B	—	—	
	TRAPA3 (TRAPA #3 命令)	11	H'002C~H'002F	—	—	
—	予約	12~15	H'0030~H'003F	—	—	
FLASH	IFMSYA フラッシュメモリ busy 時アクセス	16	H'0040~H'0043	—	—	
	IFLRDY フラッシュメモリレディ	17	H'0044~H'0047	—	IPRA7~IPRA6	
WDT	IWDT WDT 周期割り込み	18	H'0048~H'004B	—	IPRA5~IPRA4	
LVD	ILVINT1 低電圧検出割り込み 1	19	H'004C~H'004F	—	IPRA3~IPRA2	
	ILVINT2 低電圧検出割り込み 2	20	H'0050~H'0053	—		
CPG	ICKSW クロック切り換え割り込み	21	H'0054~H'0057	—	IPRA1~IPRA0	
外部端子	IRQ0	22	H'0058~H'005B	DTCEA7	IPRB7~IPRB6	
	IRQ1	23	H'005C~H'005F	DTCEA6	IPRB5~IPRB4	
	IRQ2	24	H'0060~H'0063	DTCEA5	IPRB3~IPRB2	
	IRQ3	25	H'0064~H'0067	DTCEA4	IPRB1~IPRB0	
	IRQ4	26	H'0068~H'006B	DTCEA3	IPRC7~IPRC6	
	IRQ5	27	H'006C~H'006F	DTCEA2	IPRC5~IPRC4	
	IRQ6	28	H'0070~H'0073	DTCEA1	IPRC3~IPRC2	
	IRQ7	29	H'0074~H'0077	DTCEA0	IPRC1~IPRC0	

割り込み要因発生元	割り込み要因	ベクタ番号	ベクタアドレス*1	DT CER	IPR	優先順位
AD 変換器 ユニット 1	IADEND_1 (変換完了)	30	H'0078~H'007B	DTCEB7	IPRD7~IPRD6	高 ↑
	IADCMP_1 (コンペア条件満足)	31	H'007C~H'007F	DTCEB6		
AD 変換器 ユニット 2*2	IADEND_2 (変換完了)	32	H'0080~H'0083	DTCEB5	IPRD5~IPRD4	
	IADCMP_2 (コンペア条件満足)	33	H'0084~H'0087	DTCEB4		
DTC	ISWDTEND データ転送終了	34	H'0088~H'008B	—	IPRD3~IPRD2	
ELC	ELC1FP (ELSR12 イベント発生)	35	H'008C~H'008F	DTCEB3	IPRD1~IPRD0	
	ELC2FP (ELSR30 イベント発生)	36	H'0090~H'0093	DTCEB2		
SCI3 チャンネル 1	SCI3_1 ERI 1)オーバランエラー 2)パリティエラー 3)フレーミングエラー	37	H'0094~H'0097	—	IPRE7~IPRE6	
	SCI3_1 RXI	38	H'0098~H'009B	DTCEB1		
	SCI3_1 TXI	39	H'009C~H'009F	DTCEB0		
	SCI3_1 TEI	40	H'00A0~H'00A3	—		
SCI3 チャンネル 2	SCI3_2 ERI 1)オーバランエラー 2)パリティエラー 3)フレーミングエラー	41	H'00A4~H'00A7	—	IPRE5~IPRE4	
	SCI3_2 RXI	42	H'00A8~H'00AB	DTCEC7		
	SCI3_2 TXI	43	H'00AC~H'00AF	DTCEC6		
	SCI3_2 TEI	44	H'00B0~H'00B3	—		
SCI3 チャンネル 3	SCI3_3 ERI 1)オーバランエラー 2)パリティエラー 3)フレーミングエラー	45	H'00B4~H'00B7	—	IPRE3~IPRE2	
	SCI3_3 RXI	46	H'00B8~H'00BB	DTCEC5		
	SCI3_3 TXI	47	H'00BC~H'00BF	DTCEC4		
	SCI3_3 TEI	48	H'00C0~H'00C3	—		
—	予約	49~58	H'00C4~H'00EB	—	—	低 ↓

割り込み要因 発生元	割り込み要因	ベクタ 番号	ベクタアドレス*1	DTCEER	IPR	優先 順位
IIC2/SSU	1.IIC-BUS モード ・ NAKI ・ STPI 2.クロック同期モード ・ オーバラン 3.SSU モード ・ オーバラン (OEI) ・ コンフリクト (CEI)	59	H'00EC~H'00EF	—	IPRF3~IPRF2	高 ↑
	RXI	60	H'00F0~H'00F3	DTCED7		
	TXI	61	H'00F4~H'00F7	DTCED6		
	TEI	62	H'00F8~H'00FB	—		
—	予約	63~68	H'00FC~H'0113	—	—	
タイマ RA/ HW-LIN	1.タイマ RA ・ ITAUD 2.HW-LIN ・ バス衝突検出 (BCDCT) ・ Sync Break 検出 (SBDCT) ・ Sync Field 計測完了 (SFDCT)	69	H'0114~H'0117	—	IPRG5~IPRG4	
タイマ RB	ITBUD	70	H'0118~H'011B	—	IPRG3~IPRG2	
タイマ RC*3	ITCMA インプットキャプチャ A/ コンペアマッチ A	71	H'011C~H'011F	DTCED3	IPRG1~IPRG0	
	ITCMB インプットキャプチャ B/ コンペアマッチ B	72	H'0120~H'0123	DTCED2		
	ITCMC インプットキャプチャ C/ コンペアマッチ C	73	H'0124~H'0127	DTCED1		
	ITCMD インプットキャプチャ D/ コンペアマッチ D	74	H'0128~H'012B	DTCED0		
	ITCOV カウンタオーバーフロー	75	H'012C~H'012F	—		
タイマ RD ユニット 0 チャンネル 0	ITDMA0_0 インプットキャプチャ A/ コンペアマッチ A	76	H'0130~H'0133	DTCEE7	IPRH7~IPRH6	↓ 低
	ITDMB0_0 インプットキャプチャ B/ コンペアマッチ B	77	H'0134~H'0137	DTCEE6		
	ITDMC0_0 インプットキャプチャ C/ コンペアマッチ C	78	H'0138~H'013B	DTCEE5		

割り込み要因 発生元	割り込み要因	ベクタ 番号	ベクタアドレス*1	DT CER	IPR	優先 順位
タイマ RD ユニット 0 チャンネル 0	ITDMD0_0 インプットキャプチャ D/ コンペアマッチ D	79	H'013C~H'013F	DTCEE4	IPRH7~IPRH6	高 ↑
	ITDOV0_0 オーバフロー	80	H'0140~H'0143	—		
	ITDUD0_0 アンダフロー	81	H'0144~H'0147	—		
タイマ RD ユニット 0 チャンネル 1	ITDMA0_1 インプットキャプチャ A/ コンペアマッチ A	82	H'0148~H'014B	DTCEE3	IPRH5~IPRH4	
	ITDMB0_1 インプットキャプチャ B/ コンペアマッチ B	83	H'014C~H'014F	DTCEE2		
	ITDMC0_1 インプットキャプチャ C/ コンペアマッチ C	84	H'0150~H'0153	DTCEE1		
	ITDMD0_1 インプットキャプチャ D/ コンペアマッチ D	85	H'0154~H'0157	DTCEE0		
	ITDOV0_1 オーバフロー	86	H'0158~H'015B	—		
タイマ RD ユニット 1 チャンネル 2*4	ITDMA1_2 インプットキャプチャ A/ コンペアマッチ A	87	H'015C~H'015F	DTCEF7	IPRH3~IPRH2	
	ITDMB1_2 インプットキャプチャ B/ コンペアマッチ B	88	H'0160~H'0163	DTCEF6		
	ITDMC1_2 インプットキャプチャ C/ コンペアマッチ C	89	H'0164~H'0167	DTCEF5		
	ITDMD1_2 インプットキャプチャ D/ コンペアマッチ D	90	H'0168~H'016B	DTCEF4		
	ITDOV1_2 オーバフロー	91	H'016C~H'016F	—		
	ITDUD1_2 アンダフロー	92	H'0170~H'0173	—		
タイマ RD ユニット 1 チャンネル 3*4	ITDMA1_3 インプットキャプチャ A/ コンペアマッチ A	93	H'0174~H'0177	DTCEF3	IPRH1~IPRH0	↓ 低
	ITDMB1_3 インプットキャプチャ B/ コンペアマッチ B	94	H'0178~H'017B	DTCEF2		
	ITDMC1_3 インプットキャプチャ C/ コンペアマッチ C	95	H'017C~H'017F	DTCEF1		

割り込み要因発生元	割り込み要因	ベクタ番号	ベクタアドレス*1	DT CER	IPR	優先順位
タイマ RD ユニット 1 チャンネル 3*4	ITDMD1_3 インプットキャプチャ D/ コンペアマッチ D	96	H'0180~H'0183	DTCEF0	IPRH1~IPRH0	高 ↑ ↓ 低
	ITDOV1_3 オーバフロー	97	H'0184~H'0187	—		
—	予約	98~99	H'0188~H'018F	—	—	
タイマ RE	秒割り込み	100	H'0190~H'0193	DTCEG4	IPRI7~IPRI6	
	分割り込み	101	H'0194~H'0197	DTCEG3		
	時割り込み	102	H'0198~H'019B	DTCEG2		
	日割り込み	103	H'019C~H'019F	DTCEG1		
	週割り込み	104	H'01A0~H'01A3	DTCEG0		
	コンペアマッチ	105	H'01A4~H'01A7	—		
—	予約	106~108	H'01A8~H'01B3	—	—	
タイマ RG	ITGMA インプットキャプチャ A/ コンペアマッチ A	109	H'01B4~H'01B7	DTCEH3	IPRI3~IPRI2	
	ITGMB インプットキャプチャ B/ コンペアマッチ B	110	H'01B8~H'01BB	DTCEH2		
	ITGOV	111	H'01BC~H'01BF	—		
	ITGUD	112	H'01C0~H'01C3	—		

【注】 *1 ベクタアドレスは VOFR=H'0000 のときの低位 16 ビットを示しています。

*2 H8S/20223 グループ、H8S/20235 グループのみ搭載しています。他製品では予約となります。

*3 H8S/20103 グループ、H8S/20115 グループのみ搭載しています。他製品では予約となります。

*4 H8S/20103 グループ、H8S/20115 グループにはありません。予約となります。

4.5 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード2の2種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択はINTCRで行います。表4.4に割り込み制御モード0と割り込み制御モード2の相違点を示します。

表 4.4 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	I	各割り込み要因の優先順位はデフォルトで固定されています。 ノンマスクابل割り込みを除く割り込み要因はIビットによりマスクされ ます。
2	IPR	I1~I0	IPRによりノンマスクابل割り込みを除く、各割り込み要因に4レベルの優先 順位を設定できます。 I1~I0ビットにより、4レベルの割り込みマスク制御を行います。

4.5.1 割り込み制御モード0

割り込み制御モード0ではノンマスクابل割り込みを除く割り込み要求はCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図4.3に示します。

1. 割り込みイネーブルビットがIにセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPUのIビットがIにセットされているときは、割り込みコントローラはノンマスクابل割り込み以外の割り込み要求を保留します。Iビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位にしたがって最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットをIにセットします。これにより、ノンマスクابل割り込みを除く割り込みがマスクされま
す。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

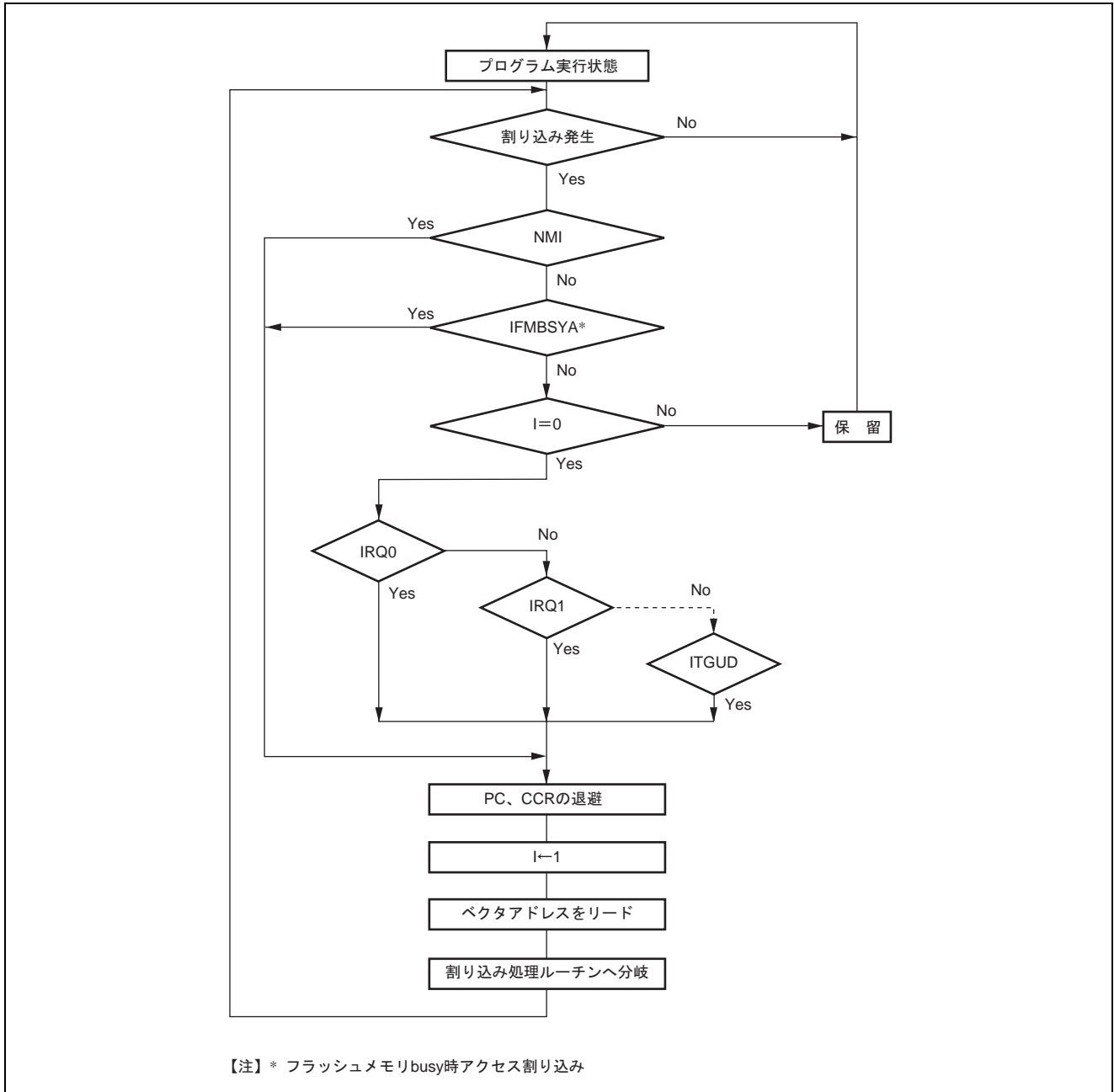


図 4.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

4.5.2 割り込み制御モード 2

割り込み制御モード2ではノンマスクブル割り込みを除く割り込み要求はCPUのEXRの割り込みマスクレベル(I1~I0ビット*)とIPRとの比較によって4レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図4.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラはIPRに設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表4.3に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みがノンマスクブル割り込みのときは割り込みマスクレベルはH'3に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

【注】 * I2ビットはマスク制御には影響を与えません。

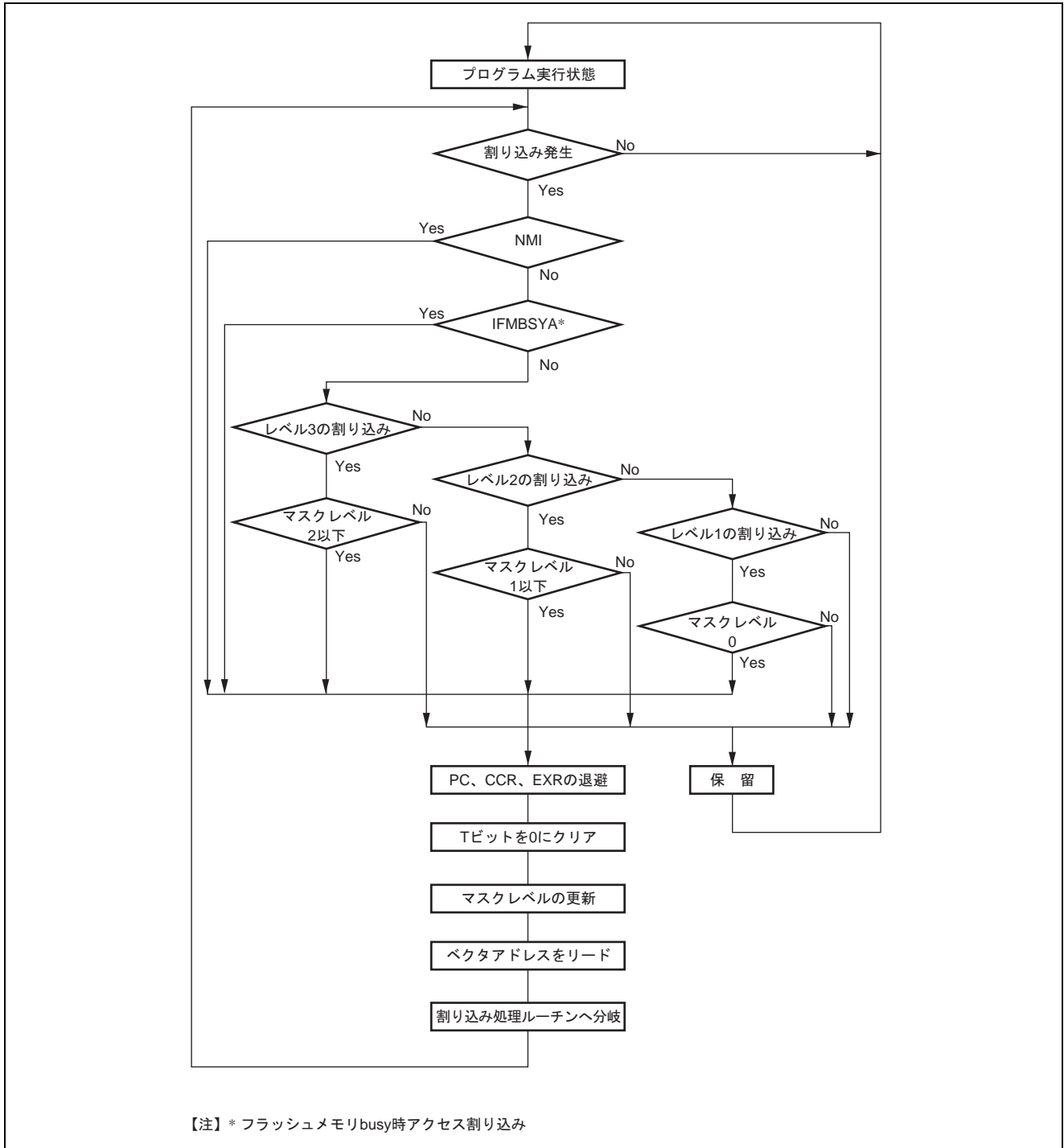


図 4.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

4.5.3 割り込み例外処理シーケンス

図 4.5 に、割り込み例外処理シーケンスを示します。割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

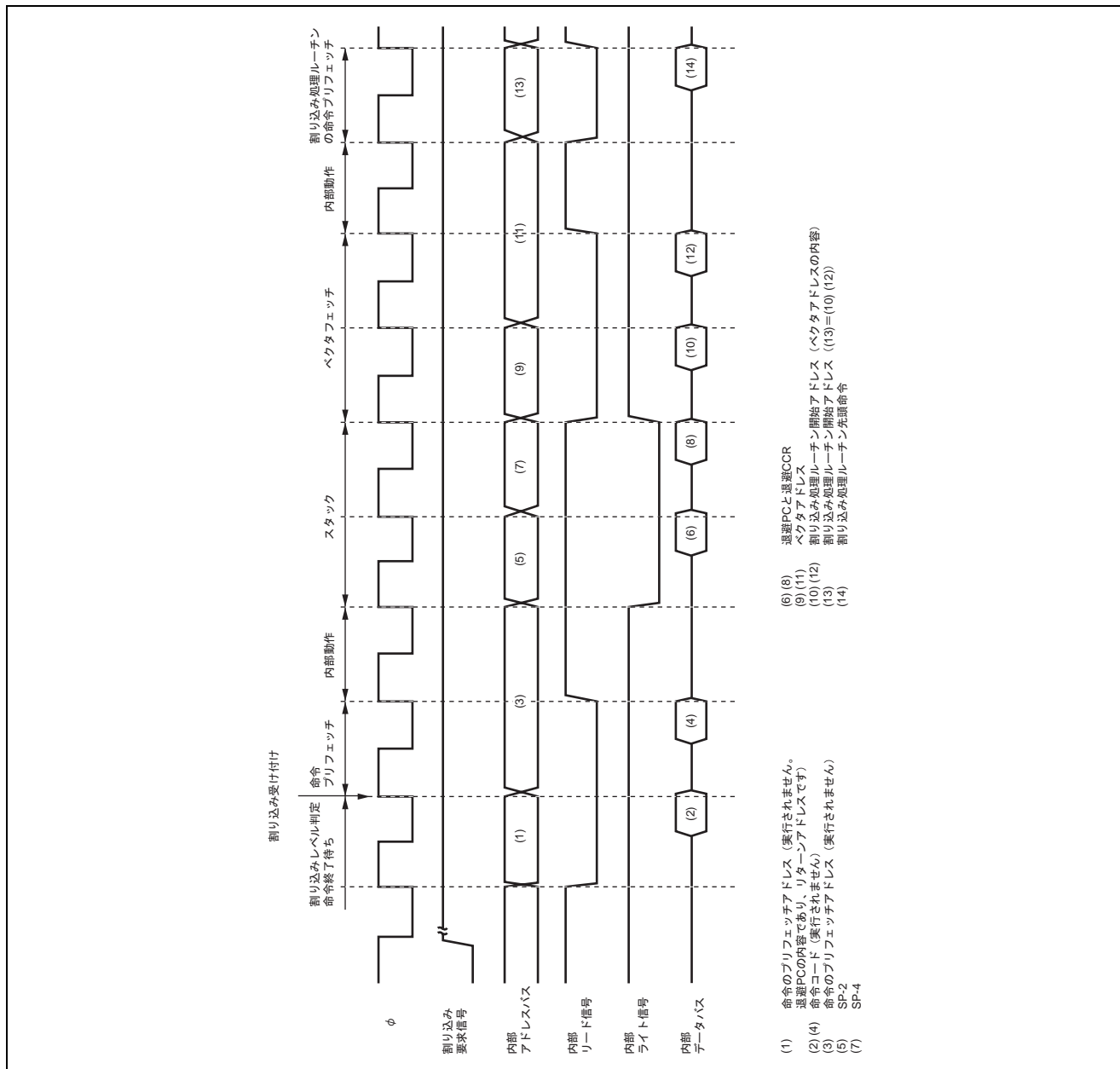


図 4.5 割り込み例外処理

4.5.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 4.5 に示します。

表 4.5 割り込み応答時間

No.	実行状態	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3	
2	実行中の命令が終了するまでの 待ち状態数*2	1~21	
3	PC、CCR および EXR の スタック	2	3
4	ベクタフェッチ	2	
5	命令フェッチ*3	2	
6	内部処理*4	2	
合計（内蔵メモリ使用時）		12~32	13~33

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

4.5.5 割り込みによる DTC の起動

割り込み要求により、DTC を起動することができます。この場合、以下の選択を行うことができます。

1. CPU に対する割り込み要求
2. DTC に対する起動要求
3. 1.および2.の選択

なお、DTC を起動できる割り込み要求については、表 4.3 および「第 11 章 データトランスファコントローラ (DTC)」を参照してください。

4.6 使用上の注意事項

4.6.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを"0"にクリアする場合も同様です。IER の IRQ0E を"0"にクリアする場合の例を図 4.6 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを"0"にクリアすれば、上記の競合は発生しません。

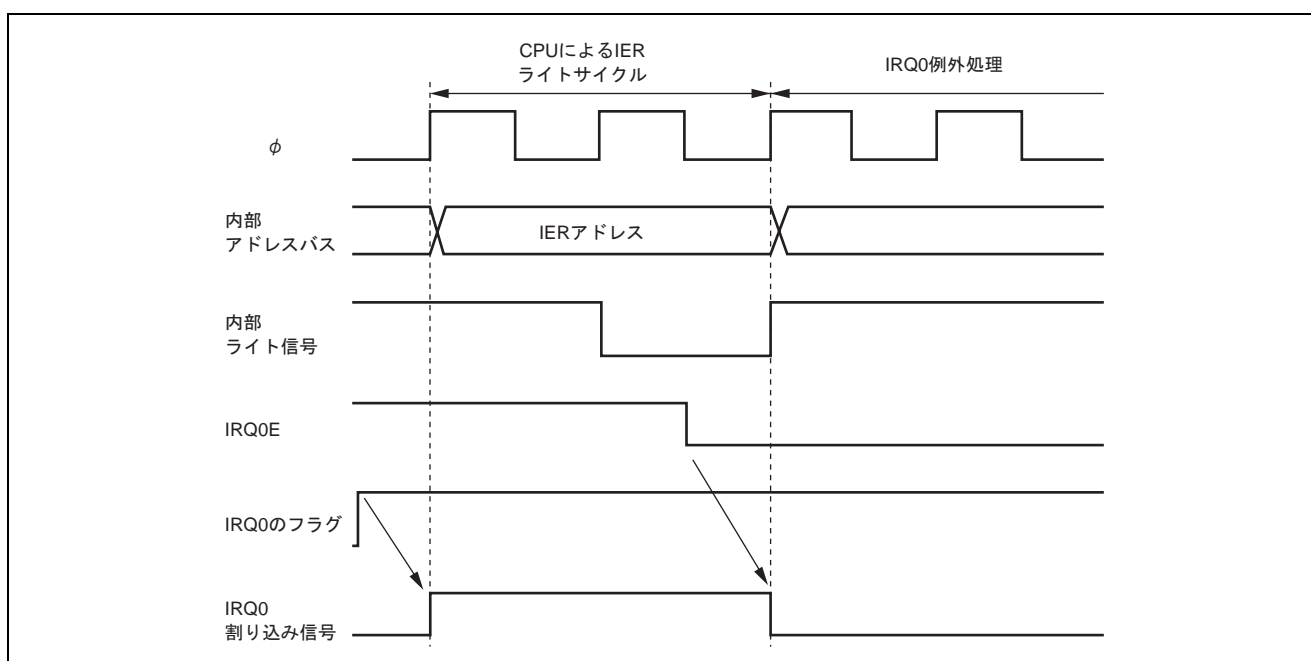


図 4.6 割り込みの発生とディスエーブルの競合

4.6.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後はノンマスクابل割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

4.6.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

4.6.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中にノンマスクابل割り込みを含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:    EEPMOV.W  
      MOV.W  R4,R4  
      BNE  L1
```

4.6.5 PMR、ISCRH、ISCRL、INCCR レジスタを書き替える際の注意事項

PMR、ISCRH、ISCRL、INCCR を書き替えることによって、IRQ7～IRQ0 割り込みの機能を変更する際に、意図しない割り込み要求フラグが 1 にセットされることがあります。端子機能を切り換える場合は、割り込み要求を禁止した状態でこれらのレジスタを書き替え、一定時間*待ってから割り込み要求フラグをクリアしてください。

ポートモードレジスタの操作と割り込み要求フラグのクリア手順を図 4.7 に示します。

【注】 * 2 ステート+最小入力幅 (t_{IH}/t_{IL})

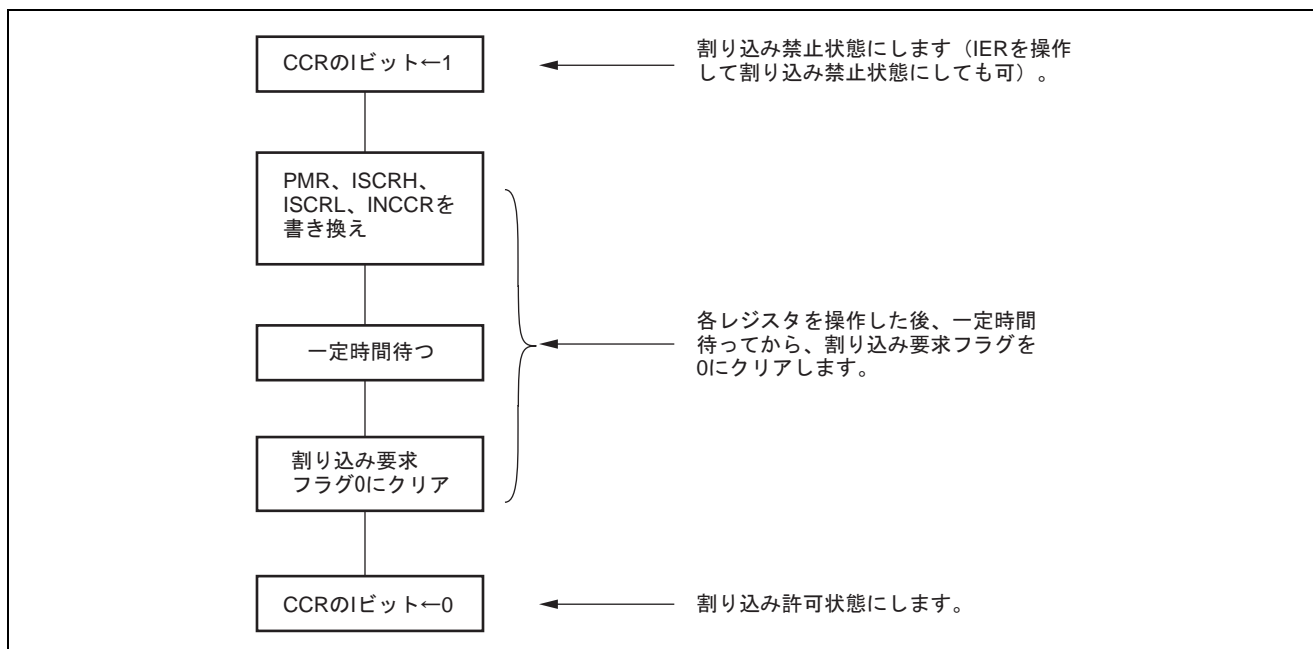


図 4.7 PMR、ISCRH、ISCRL、INCCR の操作と割り込み要求フラグのクリア手順

4.6.6 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により $IRQnF=1$ となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。

4.6.7 \overline{NMI} 端子の注意事項

\overline{NMI} 端子はリセット解除時、ブートモードへエントリを決定する設定機能も兼用しています。通常動作において、NMI を使用する場合、リセット解除時（パワーオンリセットを含む）に \overline{NMI} 端子への Low レベルが印加されないようご注意ください。通常は \overline{NMI} 端子に Pull-up 抵抗を付けることを推奨します。

5. クロック発振器

クロック発生回路は、メイン発振器、デューティ補正回路、低速 OCO（OCO : On Chip Oscillator）、サブ発振器、クロック選択回路、システムクロック分周器、周辺モジュール用 PSC 分周器、バスマスタ・メモリ用 ϕ_s 分周器で構成されています。

本マニュアルにおいて記載されているクロックソースの記号の意味は、表 5.1 のとおりです。

表 5.1 各クロックソースの記号

記号	説明
ϕ_{loco}	低速 OCO の出力
ϕ_{osc}	メイン発振器出力クロック（デューティ補正）
ϕ_{sub}	サブ発振器出力クロック
ϕ_{high}	高速クロック（ ϕ_{osc} ）
ϕ_{low}	低速クロック（ ϕ_{loco} または ϕ_{sub} ）
ϕ_{base}	システム基準クロック
ϕ	システム動作クロック
ϕ_s	バスマスタ動作クロック

5.1 概要

- 3種類のクロックソースを選択可能
 ϕ_{loco} / ϕ_{sub} / ϕ_{osc}
- メイン発振バックアップ機能
 ϕ_{osc} 停止を検出してシステムクロックを自動的に ϕ_{low} に切り替えることが可能です。
- クロック切り替え割り込み機能
システムクロックが ϕ_{osc} から ϕ_{loco} に切り替わったとき、CPU へ割り込みが可能です。

図 5.1 にクロック発生回路のブロック図を示します。

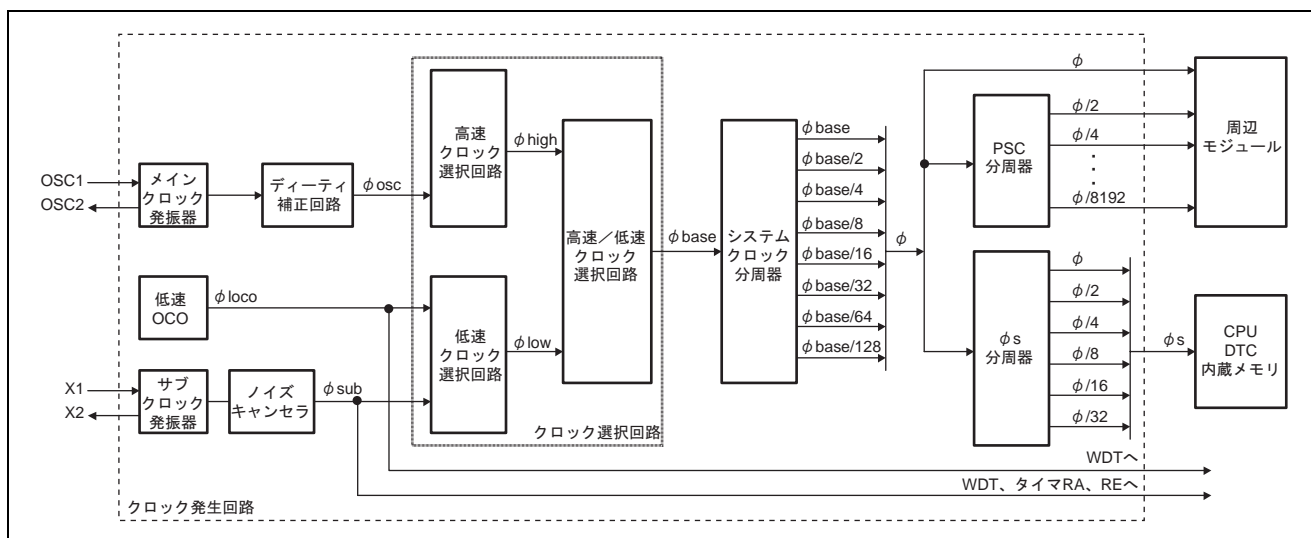


図 5.1 クロック発生回路のブロック図

システム基準クロック ϕ_{base} は、CPU および周辺機能を動作させるための基準クロックです。システムクロック分周器によって、 $\phi_{base}/128 \sim \phi_{base}$ に分周され、システムクロック ϕ に供給されます。システムクロック ϕ は PSC 分周器によって、 $\phi/8192 \sim \phi/2$ に分周され、それぞれ各周辺モジュールに供給されます。また、システムクロック ϕ は ϕ_s 分周器によって、 $\phi/32 \sim \phi$ に分周され、バスマスタおよび内蔵メモリに供給されます。

リセット解除後、 ϕ_{base} は低速 OCO が選択されます。

5.2 レジスタの説明

- バックアップコントロールレジスタ (BAKCR)
- システムクロックコントロールレジスタ (SYSCCR)
- 低消費電力制御レジスタ1 (LPCR1)
- 低消費電力制御レジスタ2 (LPCR2)
- 低消費電力制御レジスタ3 (LPCR3)
- OSC発振安定コントロールステータスレジスタ (OSCCSR)

5.2.1 バックアップコントロールレジスタ (BAKCR)

アドレス: H'FF06D4

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	OSCBAKE	BAKCKSEL	CKSWIE	CKSWIF	OSCHLT	—

リセット後の値: 1 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
7	WI	書き込み禁止ビット	0: 書き込み許可 1: 書き込み禁止	W
6	WE	書き込み許可ビット	0: 書き込み禁止 1: 書き込み許可 【1になる条件】 WIに0、WEに1をライトしたとき 【0になる条件】 WIに0、WEに0をライトしたとき	R/W
5	OSCBAKE	外部クロックバックアップイネーブルビット	0: 外部クロックバックアップ無効 1: 外部クロックバックアップ有効*	R/W
4	BAKCKSEL	バックアップ先のクロックソース選択ビット	0: ϕ_{low} 1: 設定禁止	R/W
3	CKSWIE	クロック切り替え割り込みイネーブルビット	0: 割り込み要求ディスエーブル 1: 割り込み要求イネーブル	R/W
2	CKSWIF	クロック切り替え割り込みフラグビット	0: クロック切り替え割り込み要求発生なし 1: クロック切り替え割り込み要求発生 【1になる条件】 OSCBAKEが1の状態、LSIのシステムクロックが ϕ_{osc} から ϕ_{low} に切り替わったとき 【0になる条件】 1の状態をリードした後、0をライトしたとき	R/W
1	OSCHLT	メイン発振器発振停止検出フラグ	0: 外部メイン発振器が発振状態 1: 外部メイン発振器が停止状態 【1になる条件】 OSCBAKEが1の状態、外部メイン発振器が停止したとき	R
0	—	予約ビット	リードすると0が読み出されます。ライト時には0を書き込んでください。	—

【注】 本レジスタに書き込みを行うときは必ず MOV 命令を使用してください。

- * 外部クロックバックアップ有効の設定は、システムクロックを ϕ_{loco} から ϕ_{osc} に切り替え完了後に行ってください。本ビットの設定は、システムクロックを ϕ_{loco} から ϕ_{osc} へ切り替え完了後に行ってください。バックアップ機能を有効に設定し、システムクロックを ϕ_{loco} から ϕ_{osc} へ切り替えた場合、クロック停止検出回路が誤検出し、クロック切り替えが正常に動作しない場合があります。

また、システムクロックを ϕ_{low} — ϕ_{osc} 間で相互に切り替えて使用するアプリケーションにおいてバックアップ機能を使用する場合は、システムクロックが ϕ_{low} のとき、いったんバックアップ機能を無効に設定してください。

- **WIビット（書き込み禁止）**

本ビットへの書き込み値が0のときのみ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。

- **WEビット（書き込み許可）**

本ビットが1のときのみ、このレジスタのビット5~2に対する書き込みが有効になります。

- **OSCBKEビット（外部クロックバックアップイネーブル）**

本ビットが1のとき、メイン発振器発振停止検出回路が有効になります。本LSIが外部メイン発振器クロックで動作する場合、バックアップ機能が有効になります。

メイン発振器発振停止を検出したとき、自動的に ϕ lowに切り替わります。

- **BAKCKSELビット（バックアップクロックソース選択）**

バックアップ後のクロックソースを選択します。 ϕ lowを選択した場合は、SYSCCRのPHILSELビットの設定で ϕ locoか ϕ subのどちらかが選択可能です。

- **CKSWIEビット（クロック切り替え割り込みイネーブル）**

本ビットを1にセットすると、メインクロック切り替え割り込み要求がイネーブルになります。

- **CKSWIFビット（クロック切り替え割り込みフラグ）**

クロック切り替え割り込み要求フラグです。

- **OSCHLTビット（外部メイン発振器発振停止検出状態）**

OSCBKE=1のとき、本ビットは外部発振検出の結果を示します。ただし、単に発振の有無を示すだけで、安定的に発振している状態を示すものではありません。OSCBKE=0の状態では、常に0が読み出されます。発振停止は0~2MHzの間で検出します。

5.2.2 システムクロックコントロールレジスタ (SYSCCR)

アドレス: H'FF06D0

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	PHIHSEL	PHILSEL	—	SUBNC[1:0]		—
リセット後の値:	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	WI	書き込み禁止ビット	0: 書き込み許可 1: 書き込み禁止	W
6	WE	書き込み許可ビット	0: 書き込み禁止 1: 書き込み許可 【1になる条件】 WIに0、WEに1をライトしたとき 【0になる条件】 WIに0、WEに0をライトしたとき	R/W
5	PHIHSEL	ϕ high クロックソース選択ビット	0: 設定禁止 1: ϕ osc を選択 【1になる条件】 BAKCR の CKSWIF が 0 の状態で、PHIHSEL に 1 をライトしたとき	R/W
4	PHILSEL	ϕ low クロックソース選択ビット	0: ϕ loco を選択 1: ϕ sub を選択	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は、0 を書き込んでください。	—
2、1	SUBNC[1:0]*	ϕ sub ノイズ除去サンプリング機能設定ビット	00: サンプリング回路無効 01: ϕ base の 4 分周クロックでサンプリング 10: ϕ base の 16 分周クロックでサンプリング 11: 予約 (設定しないでください)	R/W
0	—	予約ビット	リードすると 0 が読み出されます。ライト時は、0 を書き込んでください。	—

【注】 本レジスタに書き込みを行うときは必ず MOV 命令を使用してください。

- * サンプリング回路有効の設定は、システムクロックを ϕ loco から ϕ osc へ切り替え完了後に行ってください。システムクロックが ϕ loco の状態でサンプリング回路有効の設定を行った場合、システムクロックを ϕ loco から ϕ osc へ切り替え時、 ϕ osc 発振安定待機ステート期間 ϕ sub の供給が停止します。

また、システムクロックを ϕ low - ϕ osc 間で相互に切り替えて使用するアプリケーションにおいて ϕ sub ノイズ除去サンプリング回路を使用する場合は、システムクロックが ϕ low のとき、いったん ϕ sub ノイズ除去サンプリング回路を無効に設定してください。

- **WIビット（書き込み禁止）**

本ビットの書き込み値が0のときのみ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。

- **WEビット（書き込み許可）**

本ビットが1のときのみ、このレジスタのビット5、4、2、1に対する書き込みが有効になります。

- **PHIHSELビット（ ϕ highクロックソース選択ビット）**

BAKCRのCKSWIFが0、WEが1の状態、WIに0、PHIHSELに1をライトしたとき、本ビットが1になります。

- **PHILSELビット（ ϕ lowクロックソース選択ビット）**

WEが1の状態、WIに0、PHILSELに1をライトしたとき、本ビットは1になります。

WEが1の状態、WIに0、PHILSELに0をライトしたとき、本ビットは0になります。

- **SUBNC[1:0]ビット（ ϕ subノイズ除去サンプリング機能設定ビット）**

サブクロック発振器のノイズ除去回路のサンプリングクロックを選択します。タイマRA、ウォッチドッグタイマ、またはタイマREのクロックソースに ϕ subを選択する場合は、サンプリング回路を有効にしてください。

【注】 低速オンチップオシレータの周波数は電源電圧、動作温度により大きく変動しますので、応用製品設計の際は、周波数変動に対して十分マージンを持ってください。

5.2.3 低消費電力制御レジスタ 1 (LPCR1)

アドレス: H'FF06D1

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	SSBY	PSCSTP	SLEEPRS	STBYRS	—	PHIBSEL
リセット後の値:	1	0	0	1	0	0	0	0

ビット	ビット名	シンボル	機能	R/W
7	WI	書き込み禁止ビット	0: 書き込み許可 1: 書き込み禁止	W
6	WE	書き込み許可ビット	0: 書き込み禁止 1: 書き込み許可 【1になる条件】 WIに0、WEに1をライトしたとき 【0になる条件】 WIに0、WEに0をライトしたとき	R/W
5	SSBY	ソフトウェアスタンバイビット	0: スリープモードに遷移 1: スタンバイモードに遷移	R/W
4	PSCSTP	PSC分周回路停止ビット	0: PSC分周回路動作 1: PSC分周回路停止*	R/W
3	SLEEPRS	スリープモードから復帰時φソース選択ビット	0: φ low 1: φ high	R/W
2	STBYRS	スタンバイモードから復帰時φソース選択ビット	0: φ low 1: φ high	R/W
1	—	予約ビット	リードすると0が読み出されます。ライト時は0を書き込んでください。	—
0	PHIBSEL	φbaseクロックソース選択ビット	0: φ low 1: φ high 【1になる条件】 • PHIBSELに1をライトしたとき • SLEEPRSが1の状態ですリープモードから復帰したとき • STBYRSが1の状態ですスタンバイモードから復帰したとき 【0になる条件】 • PHIBSELに0をライトしたとき • BAKCRのBAKCKSELが0の状態ですメイン発振器バックアップが発生したとき • SLEEPRSが0の状態ですリープモードから復帰したとき • STBYRSが0の状態ですスタンバイモードから復帰したとき	R/W

【注】 本レジスタの書き換えは必ず MOV 命令を使用してください。

* φを使用している周辺モジュールは本ビットの設定に関係なく動作します。

- **WIビット（書き込み禁止）**
このビットの書き込み値が0のときのみ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。
- **WEビット（書き込み許可）**
このビットが1のときのみ、このレジスタのビット5～2、0に対する書き込みが有効になります。
- **SSBYビット（ソフトウェアスタンバイ）**
SLEEP 命令実行後のモードを選択します。
- **PSCSTPビット（PSC分周回路停止）**
このビットを1に設定したとき、PSC分周回路が停止します。φ/2～φ/8192を使用している周辺モジュールは、動作停止状態になります。（レジスタの値は保持されます）
- **SLEEPRSビット（スリープモードから復帰時φソース選択）**
スリープモードからアクティブモードへ復帰時のクロックソースを選択します。
- **STBYRSビット（スタンバイモードから復帰時φソース選択）**
スタンバイモードからアクティブモードへ復帰時のクロックソースを選択します。
- **PHIBSELビット（φbaseクロックソース選択ビット）**
アクティブモードおよびスリープモード時の、φbaseクロックソースを選択します。

5.2.4 低消費電力制御レジスタ 2 (LPCR2)

アドレス: H'FF06D2

ビット: b7 b6 b5 b4 b3 b2 b1 b0

WI	WE	—	—	—	PHI[2:0]		
----	----	---	---	---	----------	--	--

リセット後の値: 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
7	WI	書き込み禁止ビット	0 : 書き込み許可 1 : 書き込み禁止	W
6	WE	書き込み許可ビット	0 : 書き込み禁止 1 : 書き込み許可 【1になる条件】 WIに0、WEに1をライトしたとき 【0になる条件】 WIに0、WEに0をライトしたとき	R/W
5~3	—	予約ビット	リードすると0が読み出されます。ライト時は0を書き込んでください。	—
2~0	PHI[2:0]	システムクロックφ 選択ビット	000 : φ base 001 : φ base/2 010 : φ base/4 011 : φ base/8 100 : φ base/16 101 : φ base/32 110 : φ base/64 111 : φ base/128	R/W

【注】 本レジスタの書き換えは必ず MOV 命令を使用してください。

- WIビット（書き込み禁止）

このビットの書き込み値が0の時だけ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。

- WEビット（書き込み許可）

このビットが1のときのみ、このレジスタのビット2~0に対する書き込みが有効になります。

- PHI[2:0]ビット（システムクロックφ選択）

アクティブモードおよびスリープモード時のシステムクロックφのクロックソースを選択します。クロックは、本ビットを設定した直後に切り替わります。

5.2.5 低消費電力制御レジスタ 3 (LPCR3)

アドレス: H'FF06D3

ビット: b7 b6 b5 b4 b3 b2 b1 b0

WI	WE	STBYINT	SLEEPINT	—	PHIS[2:0]		
----	----	---------	----------	---	-----------	--	--

リセット後の値: 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
7	WI	書き込み禁止ビット	0: 書き込み許可 1: 書き込み禁止	W
6	WE	書き込み許可ビット	0: 書き込み禁止 1: 書き込み許可 【1になる条件】 WIに0、WEに1をライトしたとき 【0になる条件】 • リセット • WIに0、WEに0をライトしたとき	R/W
5	STBYINT	スタンバイモード時 割り込み発生フラグ	0: スタンバイモード時、割り込み発生なし 1: スタンバイモード時、割り込み発生あり 【1になる条件】 スタンバイモード時、割り込みが発生した場合 【0になる条件】 スタンバイモード以外で割り込みが発生した場合	R
4	SLEEPINT	スリープモード時 割り込み発生フラグ	0: スリープモード時割り込み発生なし 1: スリープモード時割り込み発生あり 【1になる条件】 スリープモード時割り込みが発生した場合 【0になる条件】 スリープモード以外で割り込みが発生した場合	R
3	—	予約ビット	リードすると0が読み出されます。ライト時は0を書き込んでください。	—
2~0	PHIS[2:0]	バスマスタ動作 クロック ϕ_s 選択 ビット	000: ϕ 001: $\phi/2$ 010: $\phi/4$ 011: $\phi/8$ 100: $\phi/16$ 101: $\phi/32$ 110: 設定禁止 111: 設定禁止	R/W

【注】 本レジスタの書き換えは必ず MOV 命令を使用してください。

- **WIビット（書き込み禁止）**
このビットの書き込み値が0のときのみ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。
- **WEビット（書き込み許可）**
このビットが1のときのみ、このレジスタのビット2~0に対する書き込みが有効になります。
- **STBYINTビット（スタンバイモード時割り込み発生フラグ）**
スタンバイモード時に割り込みが発生すると1にセットされ、その他の状態で割り込み発生すると0にクリアされます。
- **SLEEPINTビット（スリープモード時割り込み発生フラグ）**
スリープモード時に割り込みが発生すると1にセットされ、その他の状態で割り込み発生すると0にクリアされます。
- **PHIS[2:0]ビット（バスマスタ動作クロック ϕ_s 選択）**
アクティブモードおよびスリープモード時のバスマスタ系動作クロック ϕ_s のクロックソースを選択します。クロックは、本ビットを設定した直後に切り替わります。

5.2.6 OSC 発振安定コントロールステータスレジスタ (OSCCSR)

アドレス: H'FF06D5

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	OSCWEF	—	—	—	STS[3:0]			
リセット後の値:	0	0	0	0	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
7	OSCWEF	ϕ osc 発振安定待機状態完了フラグ	0: ϕ osc 待機状態未完了 1: ϕ osc 待機状態完了 【1になる条件】 • メインクロック発振開始から、STS[3:0]で設定した状態数経過したとき 【0になる条件】 • PJ0、PJ1 端子が汎用 I/O 端子から発振端子に設定したとき • PJ0、PJ1 端子を発振端子に設定し、スタンバイモードに移したとき • バックアップ機能が有効で ϕ osc 発振の停止検出をしたとき	R
6~4	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 をライトしてください。	—
3~0	STS[3:0]	ϕ osc 発振安定時間セレクトビット 3~0	ϕ osc 発振安定の待機状態数を設定します。設定値と待機状態数については表 5.2 を参照してください。	R/W

- STS[3:0]ビット (ϕ osc発振安定時間セレクトビット3~0)

ϕ osc 発振安定の待機状態数を設定します。カウントクロックは ϕ osc です。設定値と待機状態数の関係は表 5.2 に示します。スタンバイモードから復帰時システム基準クロックが ϕ osc の場合、または ϕ osc へシステム基準クロックを切り替えるとき、発振子の周波数に応じて待機時間が 6.5ms 以上となるように設定してください。

ウォッチドッグタイマは初期状態で有効となっています。ウォッチドッグタイマ有効のままクロック切り替えを行う場合は、発振安定待機時間を考慮して、ウォッチドッグタイマのオーバーフロー周期を調整してください。

ϕ osc がすでに安定発振している場合、また ϕ osc が外部クロック入力の場合は、待機期間を 16 ステート (STS[3:0]=B'0000) の選択は可能です。

表 5.2 動作周波数と発振安定時間（単位 ms）

ビット				待機ステート数	動作周波数				
STS3	STS2	STS1	STS0		20MHz	16MHz	10MHz	8MHz	4MHz
0	0	0	0	16 ステート	0.00	0.00	0.00	0.00	0.00
0	0	0	1	32 ステート	0.00	0.00	0.00	0.00	0.01
0	0	1	0	64 ステート	0.00	0.00	0.01	0.01	0.02
0	0	1	1	128 ステート	0.01	0.01	0.01	0.02	0.03
0	1	0	0	256 ステート	0.01	0.02	0.03	0.03	0.06
0	1	0	1	512 ステート	0.03	0.03	0.05	0.06	0.13
0	1	1	0	1024 ステート	0.05	0.06	0.10	0.13	0.26
0	1	1	1	2048 ステート	0.10	0.13	0.20	0.26	0.51
1	0	0	0	4096 ステート	0.20	0.26	0.41	0.51	1.02
1	0	0	1	8192 ステート	0.41	0.51	0.82	1.02	2.05
1	0	1	0	16384 ステート	0.82	1.02	1.64	2.05	4.10
1	0	1	1	32768 ステート	1.64	2.05	3.28	4.10	8.19
1	1	0	0	65536 ステート	3.28	4.10	6.55	8.19	16.38
1	1	0	1	131072 ステート	6.55	8.19	13.11	16.38	32.77
1	1	1	0	262144 ステート	13.11	16.38	26.21	32.77	65.54
1	1	1	1	262144 ステート	13.11	16.38	26.21	32.77	65.54

5.3 システム基準クロック選択の動作説明

本 LSI はリセット後、低速 OCO クロック動作のアクティブモードになります。ユーザはソフトウェアでシステム基準クロックを低速 OCO クロックからメイン発振器クロック、またはサブ発振器クロックに切り替えることができます。

LSI のシステム基準クロック状態間遷移を図 5.2 に、各クロックソース間の切り替え条件を表 5.3 に示します。

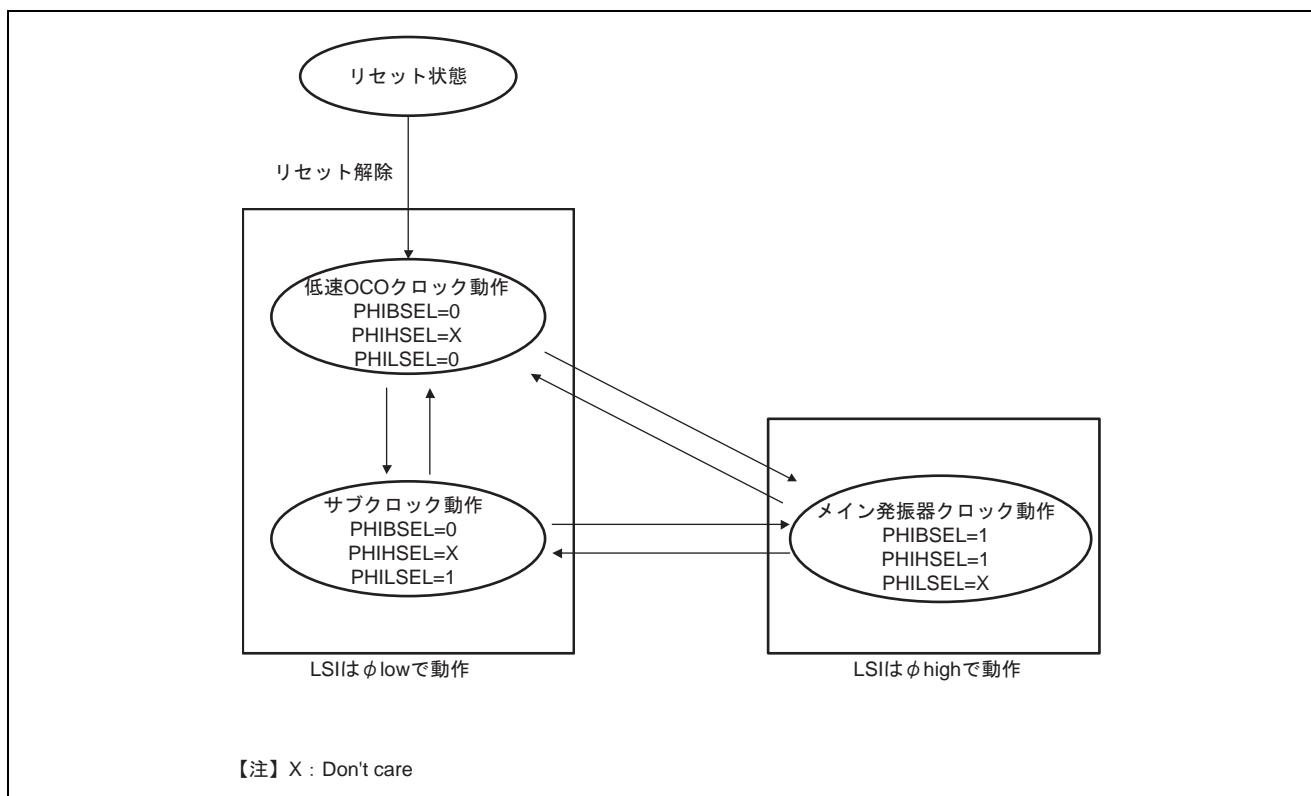


図 5.2 LSI のシステム基準クロック状態遷移図

表 5.3 クロックソース間切り替え

ビット			切り替え動作
PHIBSEL	PHIHSEL	PHILSEL	
0	Don't care	0→1	ϕ loco→ ϕ sub
0	Don't care	1→0	ϕ sub→ ϕ loco
0→1	1	0	ϕ loco→ ϕ osc
1→0	1	0	ϕ osc→ ϕ loco
0→1	1	1	ϕ sub→ ϕ osc
1→0	1	1	ϕ osc→ ϕ sub

また、各動作モードでの低速OCO、メイン発振器、サブ発振器の動作状態を表5.4に示します。

表 5.4 各動作モードでの各クロック動作状態一覧

システム状態	システムクロック	メイン発振器状態	低速 OCO 状態	サブ発振器状態
リセット解除	ϕ loco	停止	発振	発振*3
アクティブ スリープ	ϕ osc	ユーザ設定*2	発振	
	ϕ loco	ユーザ設定*1	発振	
	ϕ sub	ユーザ設定*1	発振	
スタンバイ	なし	停止	発振	

【注】 *1 PMRJ の PMRJ[1:0]ビットで設定可能です。

*2 バックアップ機能が有効の状態では、PMRJ の PMRJ[1:0]ビットで発振停止を選択するとバックアップ動作を行います。

*3 サブ発振器クロックを使用する場合は必ず水晶発振子を接続してください。電源投入直後にシステム基準クロックを ϕ sub に切り替える場合は、必ずサブ発振器の発振安定時間を確保してください。

5.3.1 ϕ_{osc} へのシステム基準クロック切り替え動作

図 5.3 に ϕ_{loco} から ϕ_{osc} に切り替えるフローを示します。

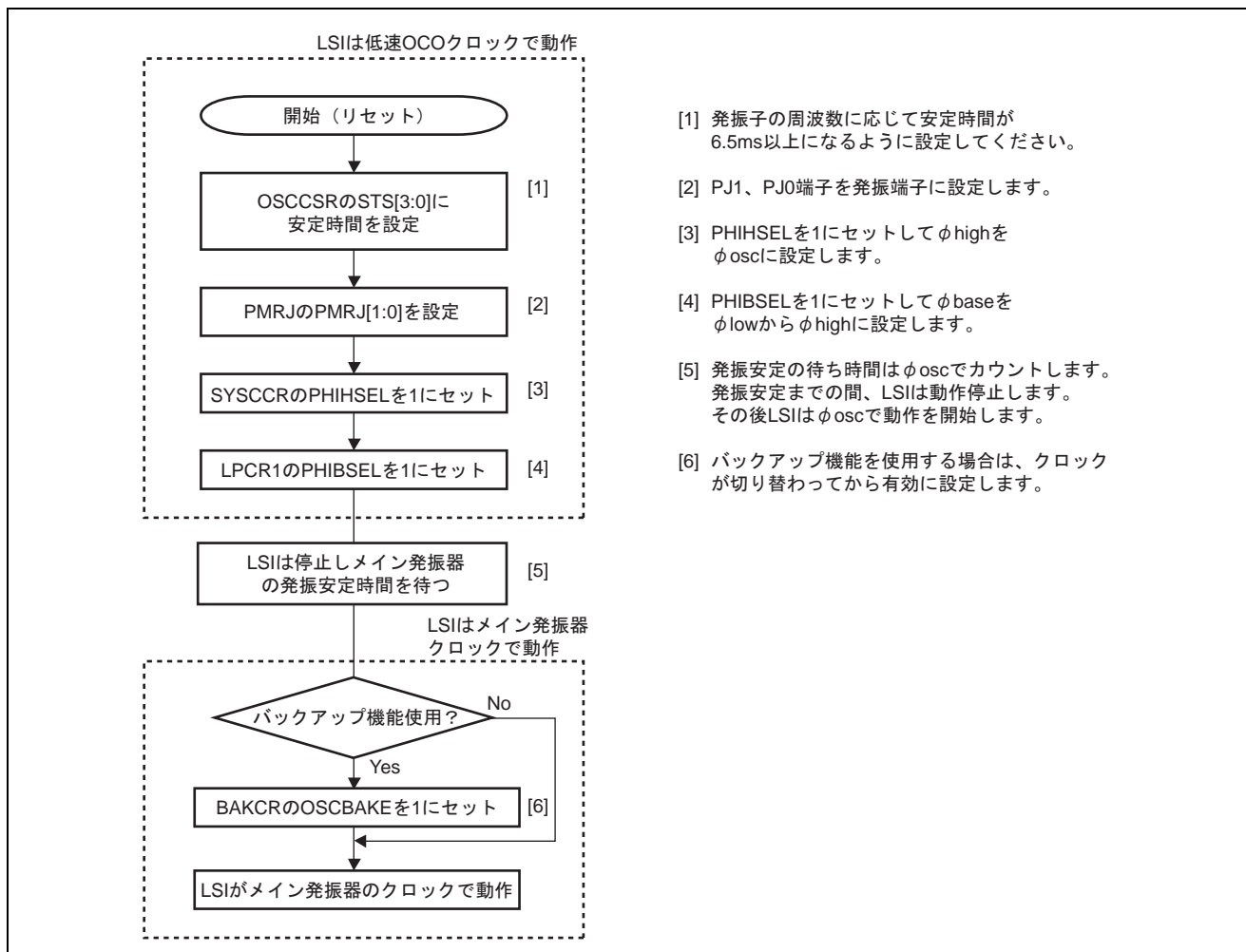
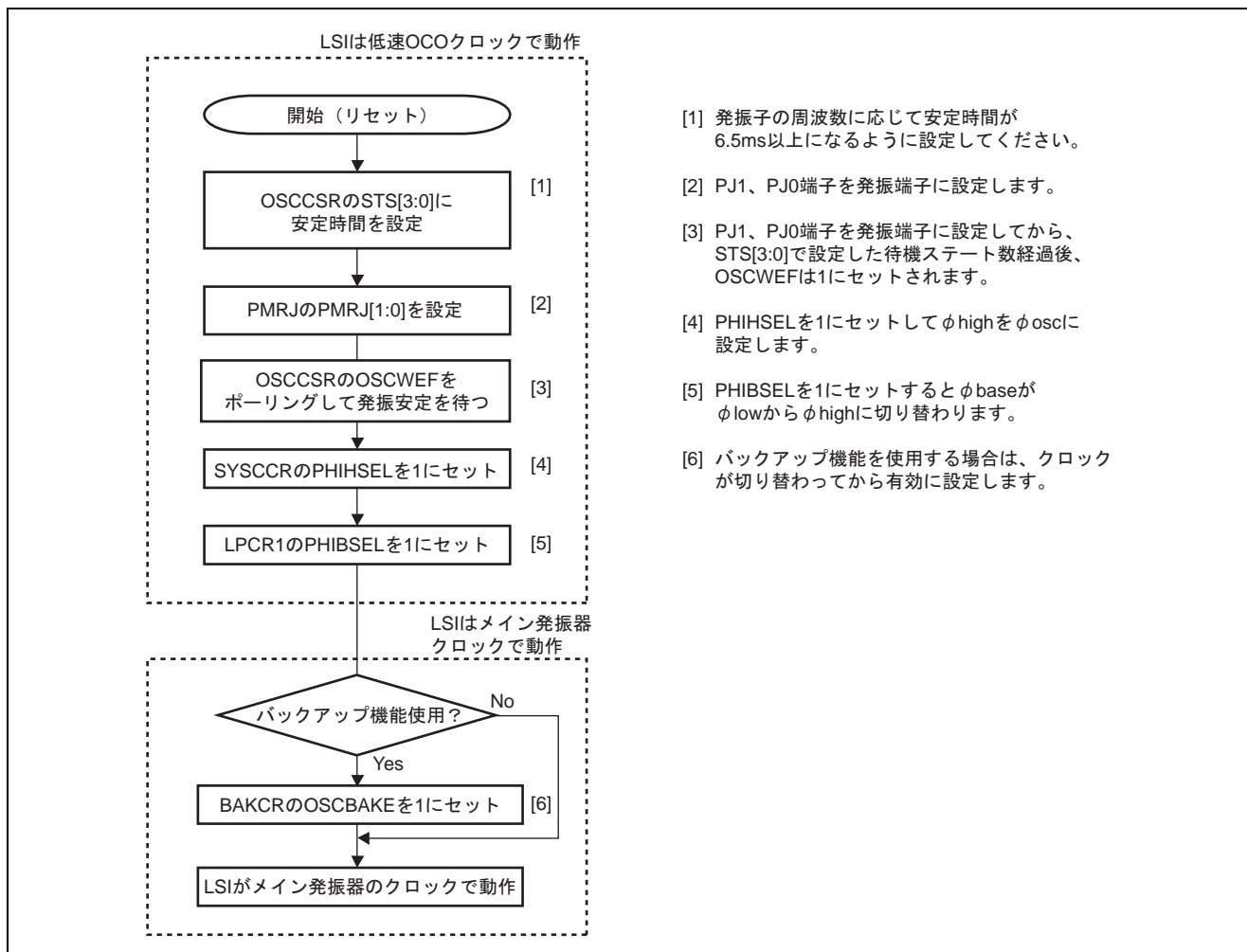


図 5.3 ϕ_{loco} から ϕ_{osc} に切り替えるフロー (1)



- [1] 発振子の周波数に応じて安定時間が6.5ms以上になるように設定してください。
- [2] PJ1、PJ0端子を発振端子に設定します。
- [3] PJ1、PJ0端子を発振端子に設定してから、STS[3:0]で設定した待機状態数経過後、OSCWEFは1にセットされます。
- [4] PHIHSELを1にセットしてφhighをφosclに設定します。
- [5] PHIBSELを1にセットするとφbaseがφlowからφhighに切り替わります。
- [6] バックアップ機能を使用する場合は、クロックが切り替わってから有効に設定します。

図 5.4 φ loco から φ osc に切り替えるフロー (2)

5.3.2 クロック切り替えタイミング

(1) 同一クロックソースでの分周比の切り替え

同一クロックソースの分周比切り替えタイミングを図 5.5 に示します。

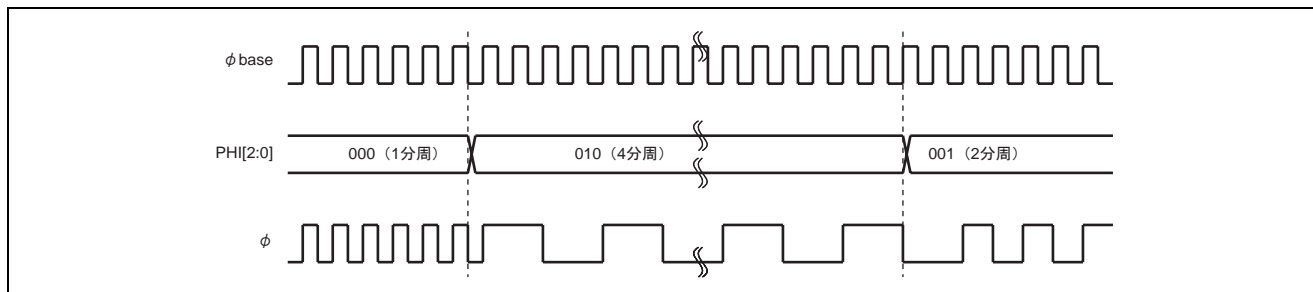


図 5.5 同一クロックソースの分周比切り替えタイミング

(2) システム基準クロックのクロックソース切り替え

システム基準クロックのクロックソース切り替えタイミングを図 5.6、図 5.7 に示します。

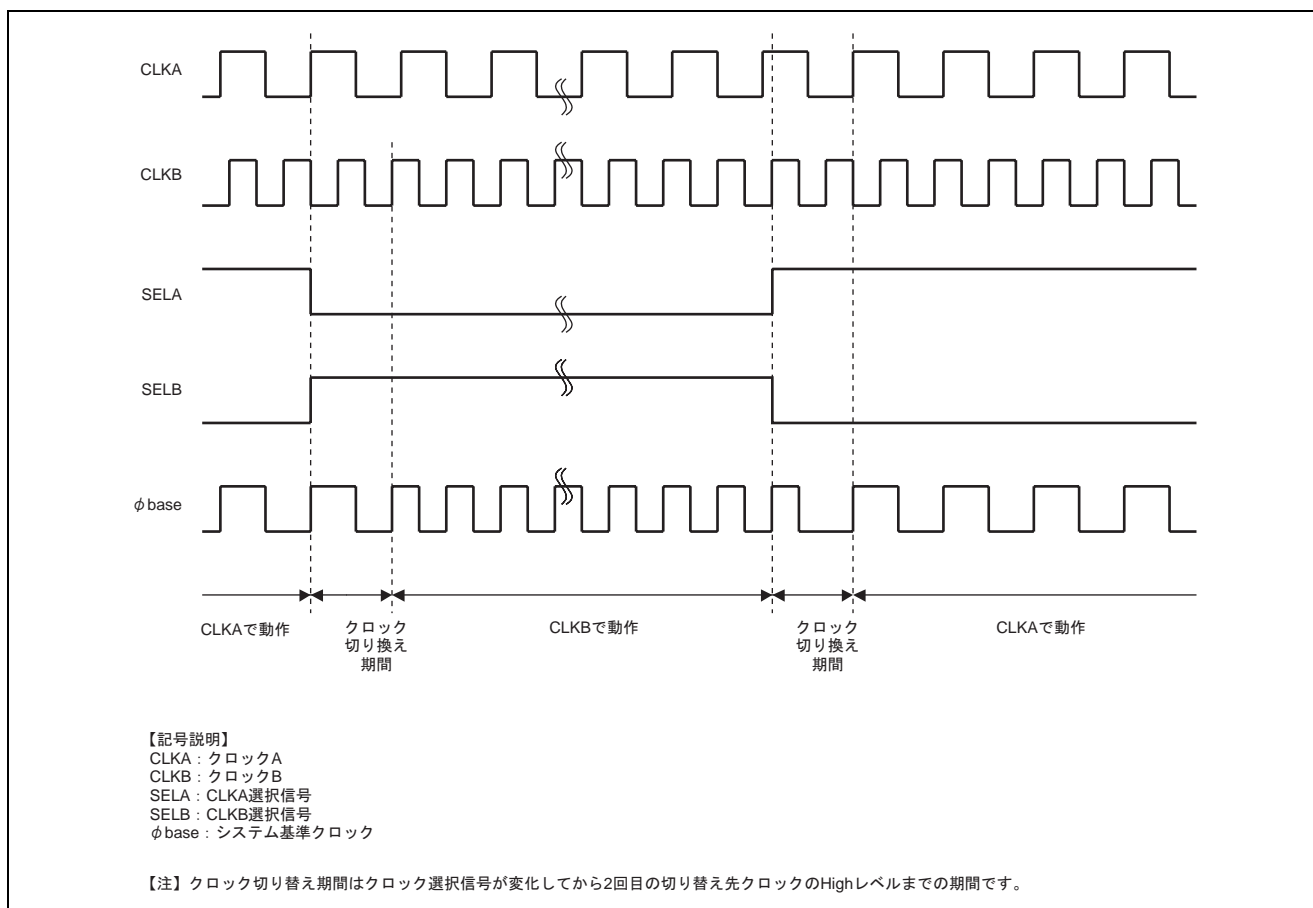


図 5.6 クロックソースの切り替えタイミング（切り替え先クロック動作の場合）

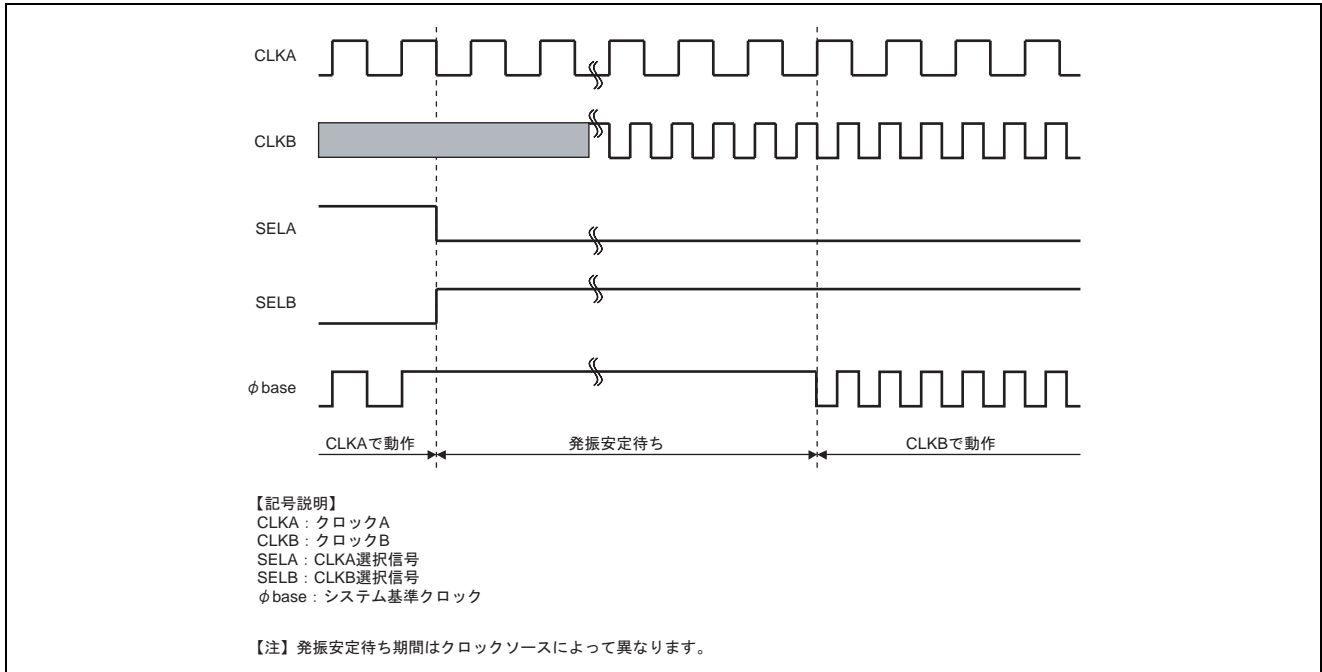


図 5.7 クロックソースの切り替えタイミング（切り替え先クロック停止の場合）

発振安定の待ち時間は切り替え先クロックソースによって異なります。切り替え先クロックが ϕ_{osc} の場合は OSCCSR の STS[3:0]ビットにより設定します。発振安定待ち時間は表 5.2 を参照してください。

発振安定の待ち時間中は ϕ_{base} が停止しますので、バスマスタを含む ϕ_{base} をベースとして動作するモジュールは停止します。レジスタは切り替え前の値が保持されます。

5.3.3 バックアップ動作説明

システムクロックが ϕ_{osc} で動作し、バックアップ機能が有効の場合、メイン発振器が発振停止検出したとき、BAKCR の BAKCKSEL の設定より、システムクロックが自動的に ϕ_{low} に切り替わります。メイン発振器のクロック停止からシステムクロックが ϕ_{low} で動作するまでの期間は、クロック停止検出時間+バックアップ先クロックの発振安定の待ち時間になります。メイン発振器のクロック停止を検出した時点で、バックアップ先のクロックがすでに発振している場合は、発振安定の待ち時間が 0ms になります。

消費電力を低減するために、バックアップ機能が有効の状態バックアップ先のクロックを停止状態に設定することも可能です。その場合メイン発振器のクロック停止を検出したら、バックアップ先のクロックを自動的に発振させ、一定の発振安定の待ち時間の後にシステムクロックが切り替わります。

バックアップ機能動作で、LSI が誤動作することがあります。ウォッチドッグタイマとの併用を推奨します。

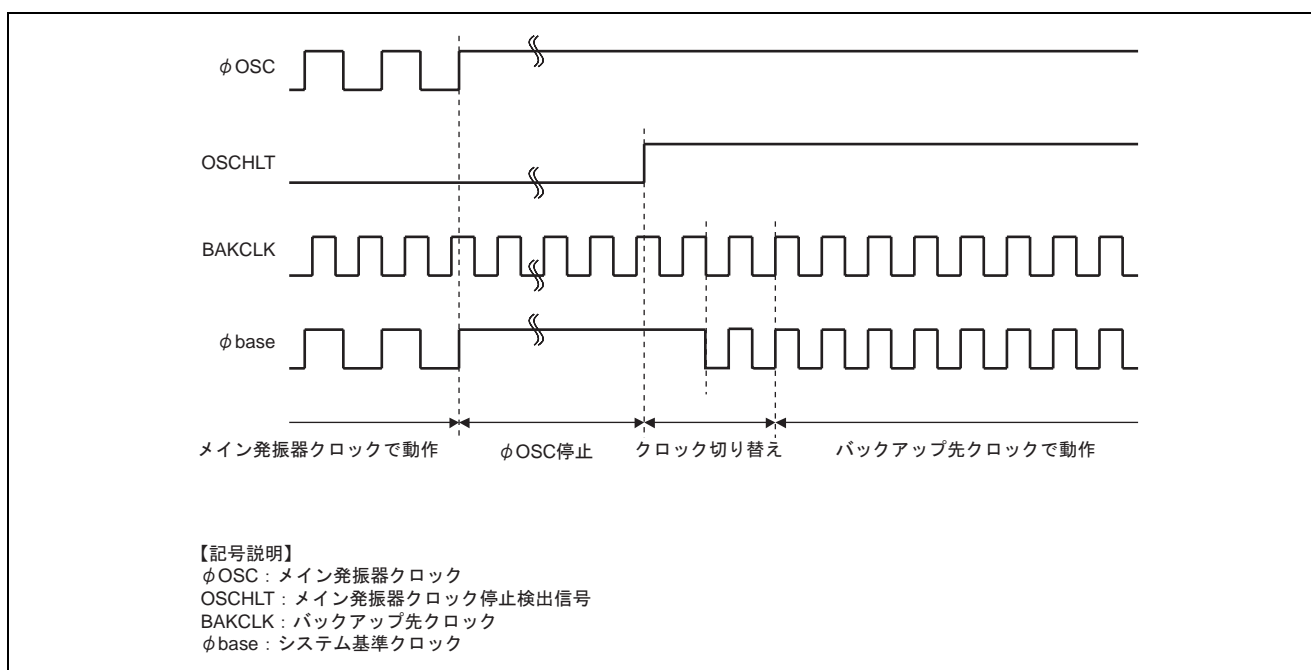


図 5.8 メイン発振器がハイレベル停止時のバックアップ動作タイミング
(バックアップ先クロック動作の場合)

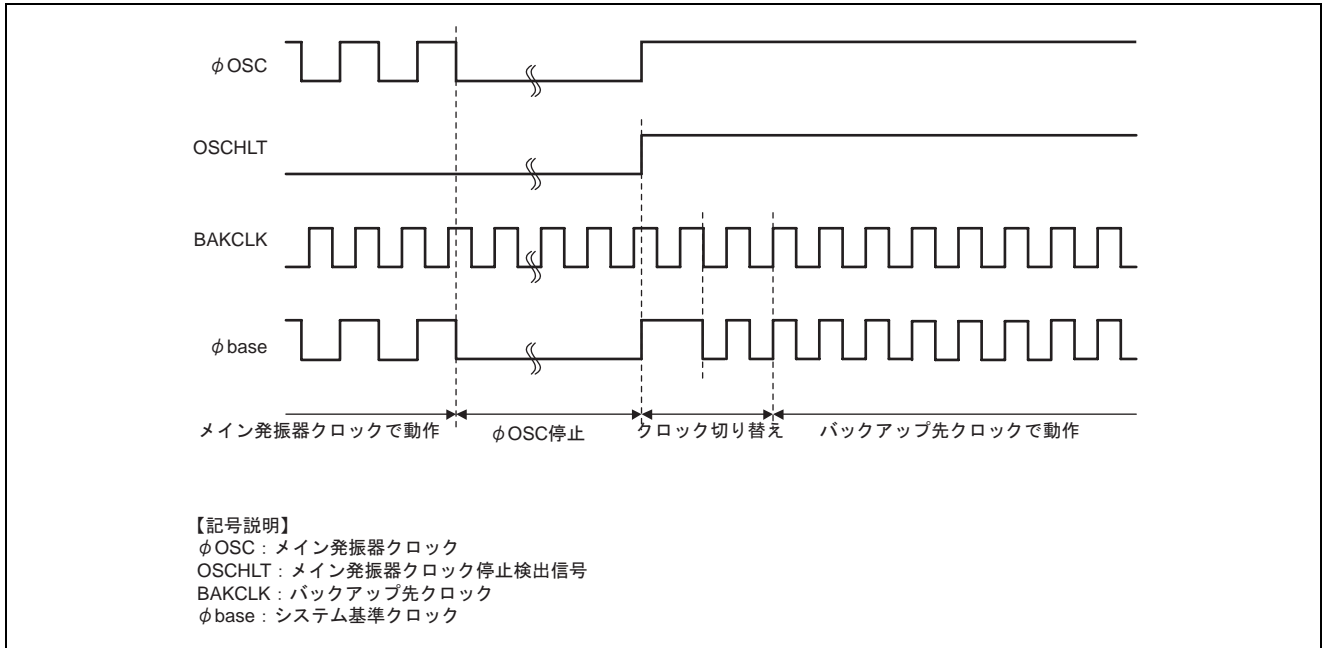


図 5.9 メイン発振器がローレベル停止時のバックアップ動作タイミング
(バックアップ先クロック動作の場合)

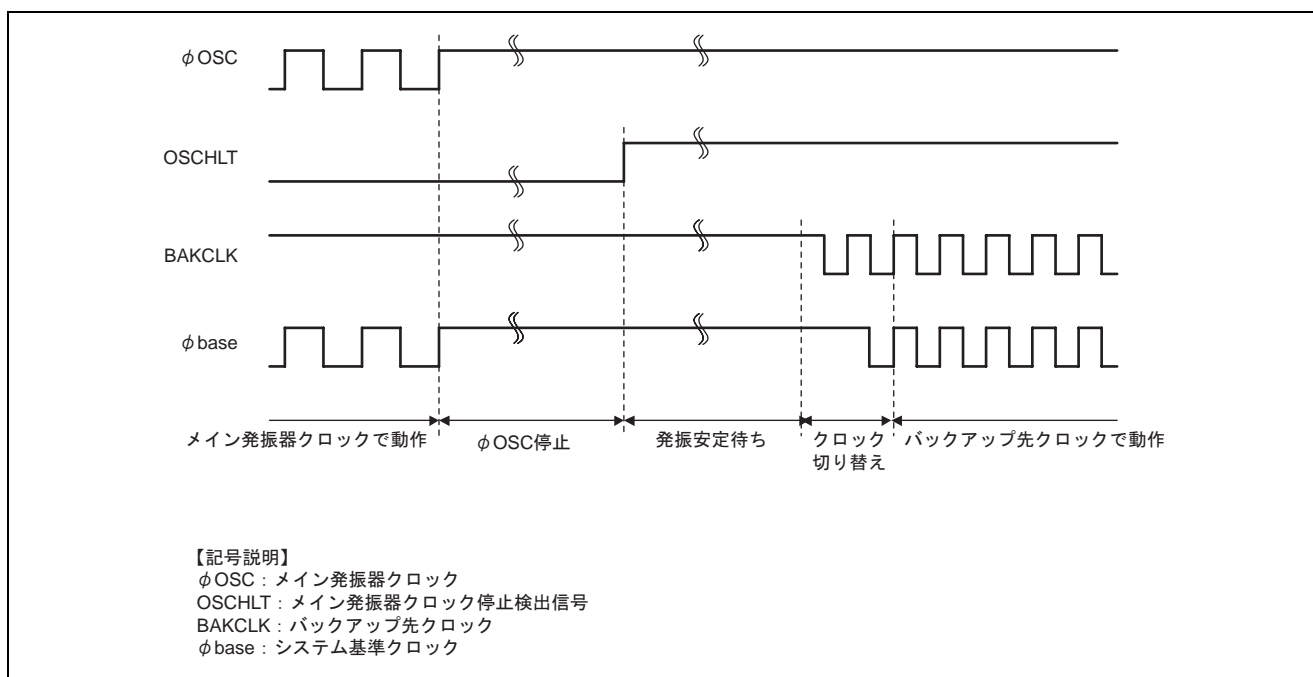


図 5.10 メイン発振器がハイレベル停止時のバックアップ動作タイミング
 (バックアップ先クロック停止の場合)

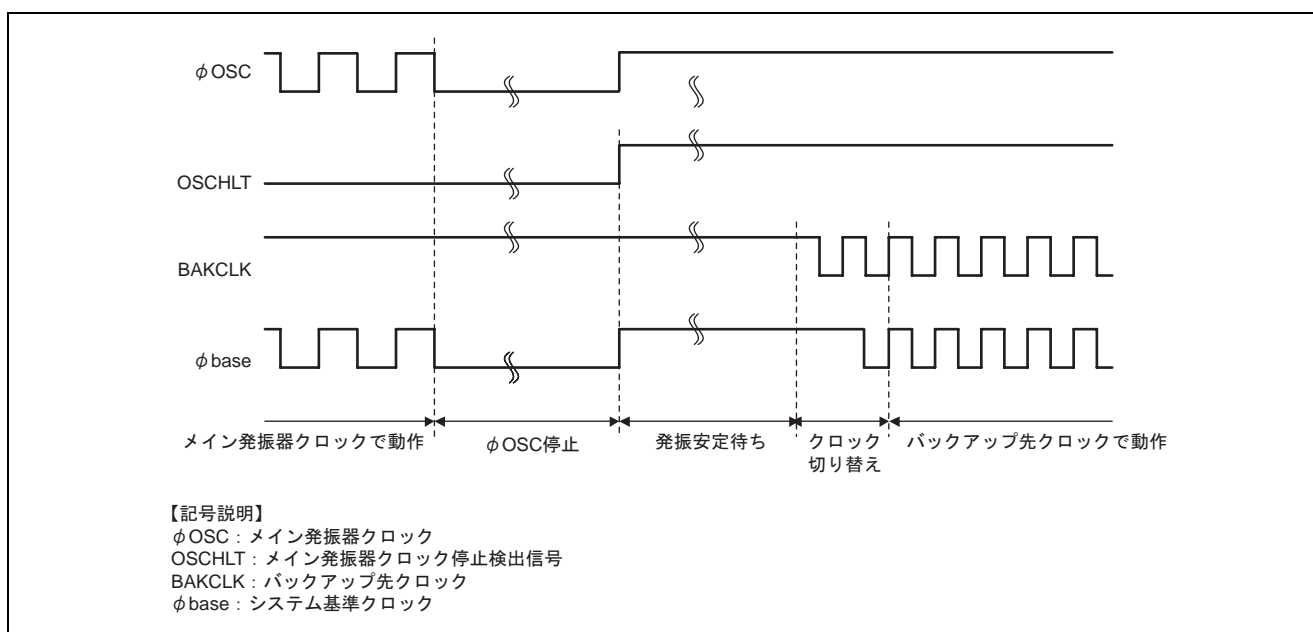


図 5.11 メイン発振器がローレベル停止時のバックアップ動作タイミング
 (バックアップ先クロック停止の場合)

5.4 メインクロック発振器

メイン発振器クロックを供給する方法には水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。発振端子 PJ0/OSC1、PJ1/OSC2/CLKOUT を水晶発振子または外部クロック入力端子に設定する方法については「10.10.1 ポートモードレジスタ J (PMRJ)」を参照してください。メインクロック発振器のブロック図を図 5.12 に示します。

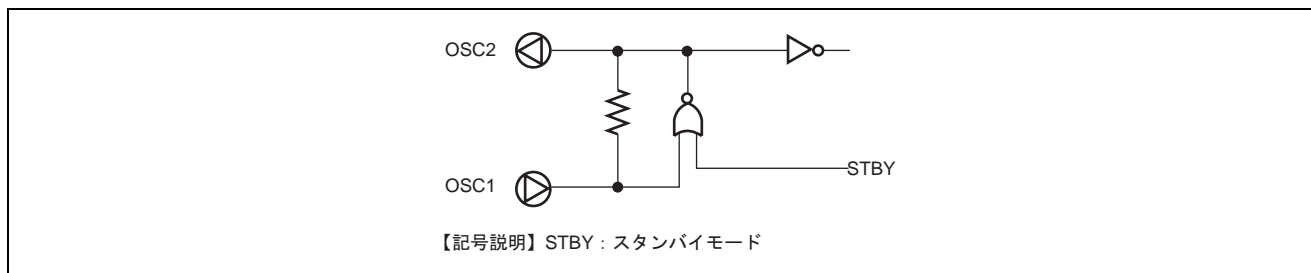


図 5.12 メインクロック発振器のブロック図

5.4.1 水晶発振子を接続する方法

水晶発振子の接続例を図 5.13 に示します。水晶発振子は AT カット並列共振形を使用してください。

必要に応じてダンピング抵抗 R_d を挿入してください。抵抗値は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

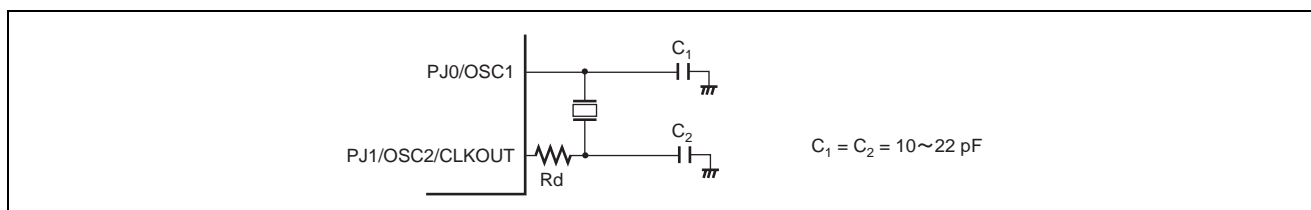


図 5.13 水晶発振子の接続例

5.4.2 セラミック振子を接続する方法

セラミック発振子の接続例を図 5.14 に示します。

必要に応じてダンピング抵抗 R_d を挿入してください。抵抗値は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

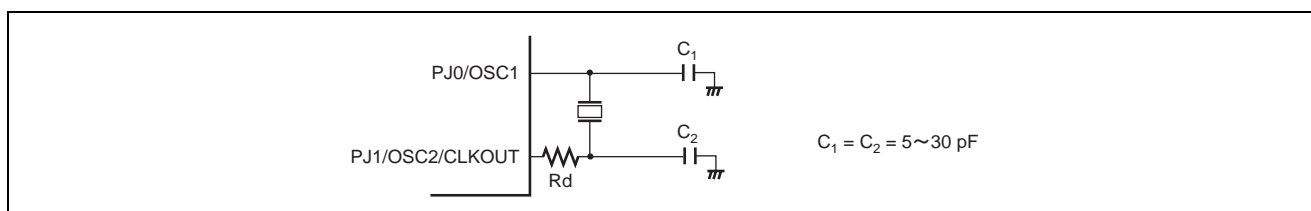


図 5.14 セラミック発振子の接続例

5.4.3 外部クロックを入力する方法

外部クロックをOSC1端子に入力することにより、外部クロックを供給することができます。接続例を図5.15に示します。外部クロックのデューティは45～55%としてください。

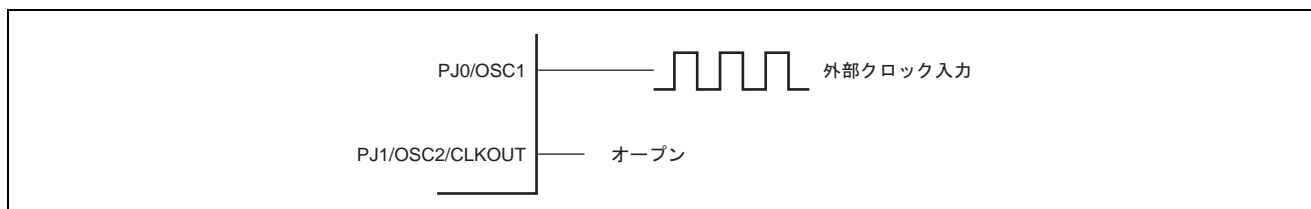


図 5.15 外部クロックを入力する場合の接続例

- 【注】 外部クロックを入力する場合は、必ず PMRJ[1:0]=01 に設定してください。
PMRJ[1:0]=11 の設定のまま外部クロックを入力しないでください。

5.5 サブクロック発振器

サブクロック発振器のブロック図を図 5.16 に示します。

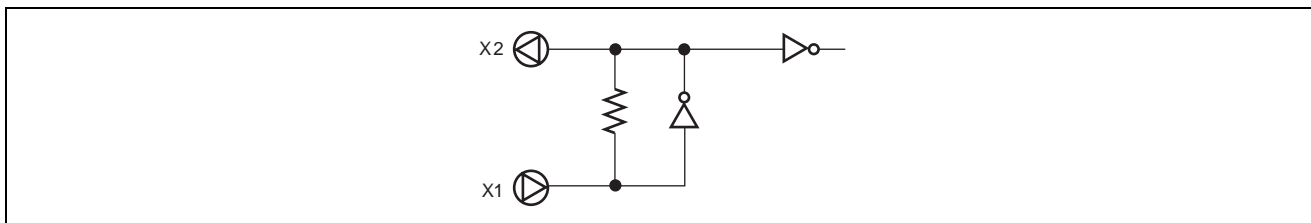


図 5.16 サブクロック発振器ブロック図

5.5.1 32.768kHz 水晶発振子を接続する方法

サブクロック発振器クロックを供給するには、図 5.17 に示すように 32.768kHz の水晶発振子を接続します。必要に応じてダンピング抵抗 R_d を挿入してください。抵抗値は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

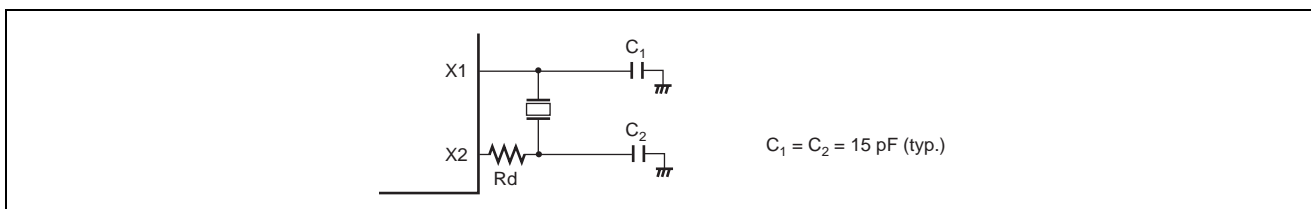


図 5.17 32.768kHz 水晶発振子の接続例

5.5.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 5.18 に示すように X1 端子を VSS に接続し、X2 端子をオープンとしてください。

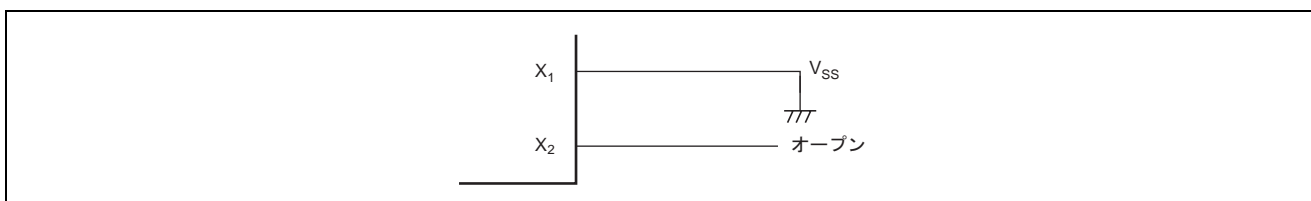


図 5.18 サブクロックを使用しない場合の端子処理

5.6 プリスケーラ (PSC 分周器)

プリスケーラは、システム動作クロック (ϕ) を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラは H'0000 に初期化され、カウンタは停止状態になります。LPCR1 の PSCSTP をクリアすることにより、PSC 分周器が動作開始します。プリスケータのカウンタは CPU からはアクセスできません。

プリスケーラの出力は、各内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。なお、プリスケーラのクロック入力 は LPCR2 の PHI2~PHI0 で設定した分周比のシステム動作クロックとなります。

5.7 使用上の注意事項

5.7.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

5.7.2 ボード設計上の注意事項

水晶発振子（セラミック発振子）を使用する場合は、発振子および負荷容量をできるだけ OSC1、OSC2 端子の近くに配置してください。また、発振回路の近くには他の信号線を通過させないでください（図 5.19）。誘導により正しい発振ができなくなる場合があります。

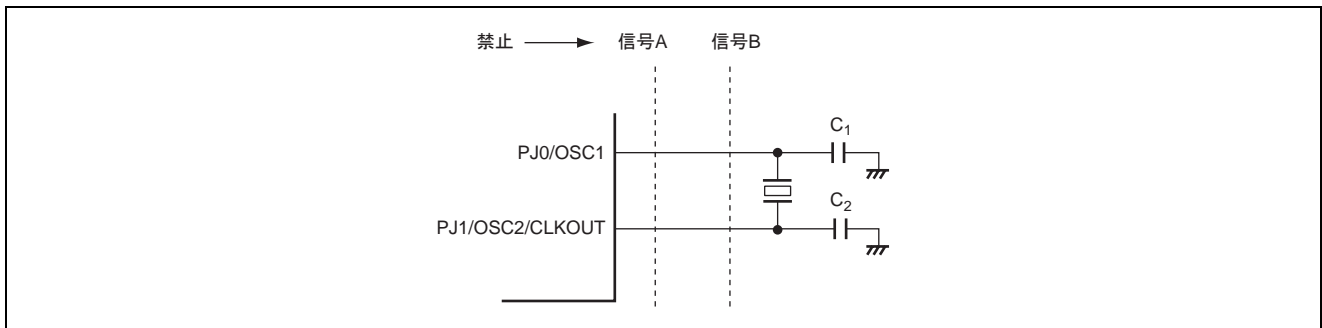


図 5.19 発振回路のボード設計に関する注意事項

6. 低消費電力状態

リセット解除後の動作モードは、通常のアクティブモードの他に消費電力を低下させる 2 種類の低消費電力モードがあります。このほか、バスマスタを低速で動作させて消費電力を低減させる内蔵モジュールの機能を選択的に停止させて消費電力を低減させるモジュールスタンバイ機能、バスマスタクロック分周機能、PSC 分周回路停止機能があります。またシステムクロック ϕ のソースを低速オンチップオシレータクロック ϕ_{loco} やサブ発振器クロック ϕ_{sub} を選択することで LSI を低速動作させ消費電流を低減させることも可能です。本製品はリセット解除時にタイマ RE を除くすべての周辺機能がモジュールスタンバイ状態になっています。使用するモジュールは対応するレジスタで動作設定を行ってください。

- アクティブモード
CPU および内蔵周辺モジュールがシステムクロック ϕ で動作します。システムクロックの周波数はシステム基準クロック $\phi_{\text{base}} \sim \phi_{\text{base}}/128$ の中から選択できます。
- スリープモード
CPU が動作を停止し、内蔵周辺モジュールがシステムクロック ϕ で動作します。
- スタンバイモード
CPU およびすべての内蔵周辺モジュールが動作を停止します。ただし、タイマ RE はリアルタイムクロックモードが選択されているときは動作します。また WDT はクロックソースが低速 OCO またはサブクロック ϕ_{sub} に選択されているときは動作します。
- バスマスタクロック分周機能
CPU/DTC 等のバスマスタおよび ROM/RAM において、動作クロック ϕ_s は周辺モジュールに供給されるクロックとは独立に分周したクロックを選択することが可能です。バスマスタクロック ϕ_s は $\phi \sim \phi/32$ の中から選択できます。
- PSC分周器回路停止機能
ソフトウェア設定で PSC 分周回路を停止させることができます。周辺モジュールにおいて $\phi/2 \sim \phi/8192$ を使用している場合は、当該モジュールは動作停止状態になります（レジスタは保持されます）。 ϕ を使用している周辺モジュールは動作状態のままになります。
- モジュールスタンバイ機能
使用していない内蔵周辺モジュールの動作をモジュール単位で停止させることにより消費電力を低減させることができます。

6.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のレジスタがあります。

- 低消費電力制御レジスタ1 (LPCR1)
- 低消費電力制御レジスタ2 (LPCR2)
- 低消費電力制御レジスタ3 (LPCR3)
- モジュールスタンバイコントロールレジスタ1 (MSTCR1)
- モジュールスタンバイコントロールレジスタ2 (MSTCR2)
- モジュールスタンバイコントロールレジスタ3 (MSTCR3)

6.1.1 低消費電力制御レジスタ 1、2、3 (LPCR1、LPCR2、LPCR3)

LPCR1、LPCR2、LPCR3 は低消費電力モードの制御を行います。詳細は、「第 5 章 クロック発振器」を参照してください。

6.1.2 モジュールスタンバイコントロールレジスタ 1 (MSTCR1)

アドレス: H'FFFFDC

ビット: b7 b6 b5 b4 b3 b2 b1 b0

MSTWDT	—	MSTAD1	MSTAD2	MSTDA	MSTDTC	—	—
--------	---	--------	--------	-------	--------	---	---

リセット後の値: 1 0 1 1 1 1 0 0

ビット	シンボル	ビット名	機能	R/W
7	MSTWDT	ウォッチドッグタイマ モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
6	—	予約ビット	リードすると 0 が読み出されます。書く場合、0 を書いてください。	—
5	MSTAD1	A/D 変換器ユニット 1 モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
4	MSTAD2	A/D 変換器ユニット 2 モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
3	MSTDA	D/A 変換器モジュール スタンバイビット	0: 動作 1: スタンバイ状態	R/W
2	MSTDTC	DTC モジュールスタンバイ ビット	0: 動作 1: スタンバイ状態	R/W
1、0	—	予約ビット	リードすると 0 が読み出されます。書く場合、0 を書いてください。	—

【注】 各周辺モジュールはモジュールスタンバイ状態ではレジスタにアクセスできません。

- MSTWDTビット (ウォッチドッグタイマモジュールスタンバイビット)

本ビットを 1 にセットすると WDT がスタンバイ状態になります。ただし WDT のカウントクロックが低速 OCO を選択した場合は、このビットの設定に関わらず動作しますが、WDT のレジスタにはアクセスできません。

- MSTAD1ビット (A/D変換器ユニット1モジュールスタンバイビット)

本ビットを 1 にセットすると、A/D 変換器ユニット 1 がスタンバイ状態になります。

- MSTAD2ビット (A/D変換器ユニット2モジュールスタンバイビット)

本ビットを1にセットすると、A/D変換器ユニット2がモジュールスタンバイ状態になります。

H8S/20103グループ、H8S/20203グループ、H8S/20115グループ、H8S/20215グループは、A/D変換器ユニット2は搭載していません。本ビットは予約ビットとなります。ライト時は1をライトしてください。

- MSTDAビット (D/A変換器モジュールスタンバイビット)

本ビットを1にセットすると、D/A変換器がスタンバイ状態になります。

- MSTDTCビット (DTCモジュールスタンバイビット)

本ビットを1にセットすると、DTCがモジュールスタンバイ状態になります。

6.1.3 モジュールスタンバイコントロールレジスタ2 (MSTCR2)

アドレス: H'FFFFDD

ビット: b7 b6 b5 b4 b3 b2 b1 b0

MSTSCI3_1	MSTSCI3_2	MSTSCI3_3	—	—	MSTICSU	—	—
-----------	-----------	-----------	---	---	---------	---	---

リセット後の値: 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
7	MSTSCI3_1	SCI3チャンネル1モジュールスタンバイビット	0:動作 1:スタンバイ状態	R/W
6	MSTSCI3_2	SCI3チャンネル2モジュールスタンバイビット	0:動作 1:スタンバイ状態	R/W
5	MSTSCI3_3	SCI3チャンネル3モジュールスタンバイビット	0:動作 1:スタンバイ状態	R/W
4、3	—	予約ビット	リードすると1が読み出されます。書く場合、1を書いてください。	—
2	MSTICSU	IIC2/SSUモジュールスタンバイビット	0:動作 1:スタンバイ状態	R/W
1、0	—	予約ビット	リードすると1が読み出されます。書く場合、1を書いてください。	—

【注】 1 各周辺モジュールはモジュールスタンバイ状態ではレジスタにアクセスできません。

2 本レジスタへライトする場合、予約ビットは1をライトしてください。

- MSTSCI3_1ビット (SCI3チャンネル1モジュールスタンバイビット)
本ビットを1にセットすると、SCI3チャンネル1がスタンバイ状態になります。
- MSTSCI3_2ビット (SCI3チャンネル2モジュールスタンバイビット)
本ビットを1にセットすると、SCI3チャンネル2がスタンバイ状態になります。
- MSTSCI3_3ビット (SCI3チャンネル3モジュールスタンバイビット)
本ビットを1にセットすると、SCI3チャンネル3がスタンバイ状態になります。
- MSTICSUビット (IIC2/SSUモジュールスタンバイビット)
本ビットを1にセットするとIIC2またはSSUがスタンバイ状態になります。

6.1.4 モジュールスタンバイコントロールレジスタ 3 (MSTCR3)

アドレス: H'FFFFDE

ビット: b7 b6 b5 b4 b3 b2 b1 b0

MSTTMRA	MSTTMRB	MSTTMRC	MSTTMRD1	MSTTMRD2	MSTTMRG	—	MSTTMRE
---------	---------	---------	----------	----------	---------	---	---------

リセット後の値: 1 1 1 1 1 1 1 0

ビット	シンボル	ビット名	機能	R/W
7	MSTTMRA	タイマ RA モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
6	MSTTMRB	タイマ RB モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
5	MSTTMRC	タイマ RC モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
4	MSTTMRD1	タイマ RD ユニット 0 モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
3	MSTTMRD2	タイマ RD ユニット 1 モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
2	MSTTMRG	タイマ RG モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W
1	—	予約ビット	リードすると1が読み出されます。書く場合、1を書いてください。	—
0	MSTTMRE	タイマ RE モジュールスタンバイビット	0: 動作 1: スタンバイ状態	R/W

- 【注】 1 各周辺モジュールはモジュールスタンバイ状態ではレジスタにアクセスできません。
2 本レジスタへライトする場合、予約ビットは1をライトしてください。

- **MSTTMRAビット (タイマRAモジュールスタンバイビット)**
本ビットを1にセットするとタイマ RA がモジュールスタンバイ状態になります。
- **MSTTMRBビット (タイマRBモジュールスタンバイビット)**
本ビットを1にセットすると、タイマ RB がモジュールスタンバイ状態になります。
- **MSTTMRCビット (タイマRCモジュールスタンバイビット)**
本ビットを1にセットすると、タイマ RC がモジュールスタンバイ状態になります。
H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループは、タイマ RC を搭載していません。本ビットは予約ビットとなります。ライト時は1を書いてください。
- **MSTTMRD1ビット (タイマRDユニット0モジュールスタンバイビット)**
本ビットを1にセットすると、タイマ RD ユニット 0 がモジュールスタンバイ状態になります。
- **MSTTMRD2ビット (タイマRDユニット1モジュールスタンバイビット)**
本ビットを1にセットすると、タイマ RD ユニット 1 がモジュールスタンバイ状態になります。
H8S/20103 グループ、H8S/20115 グループは、タイマ RD ユニット 1 は搭載していません。本ビットは予約ビットとなります。ライト時は1を書いてください。
- **MSTTMRGビット (タイマRGモジュールスタンバイビット)**
本ビットを1にセットするとタイマ RG がモジュールスタンバイ状態になります。
- **MSTTMREビット (タイマREモジュールスタンバイビット)**
本ビットを1にセットすると、タイマ RE がモジュールスタンバイ状態になります。ただし、リアルタイムクロックモードまたはアウトプットコンペアモードでカウントクロックに ϕ_{sub} を選択した場合は、このビットの設定に関わらず動作しますが、タイマ RE のレジスタにはアクセスできません。

6.2 モード間遷移と LSI の状態

図 6.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。また、 $\overline{\text{RES}}$ 端子を Low レベルにすると（または他の内部リセット発生すると）すべてのモードからリセット状態に遷移します。リセット解除後はアクティブモードに遷移します。

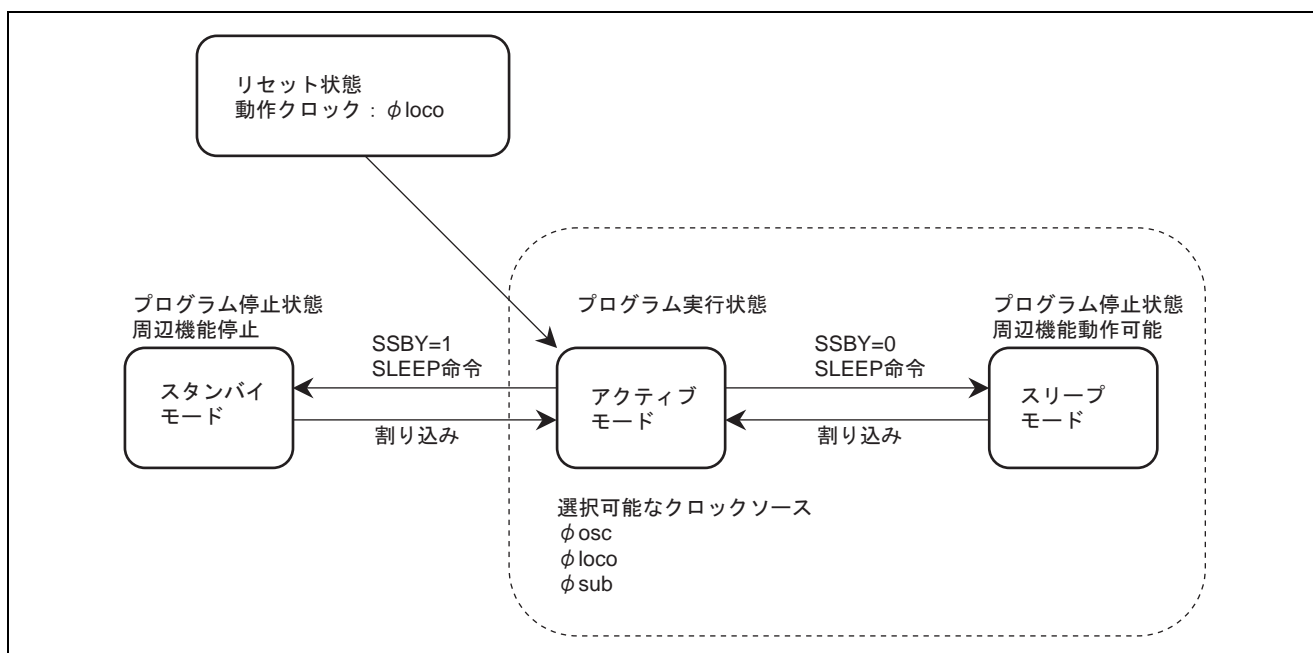


図 6.1 モード遷移図

表 6.1 に各動作モードでの LSI の内部状態を示します。

表 6.1 各動作モードでの LSI の状態

機能		LPCR1 PSCSTP=0		LPCR1 PSCSTP=1		スタンバイ
		アクティブ モード	スリープ モード	アクティブ モード	スリープ モード	
システムクロック		動作	動作	動作	動作	停止
CPU	命令実行	動作	停止	動作	停止	停止
	レジスタ	動作	保持	動作	保持	保持
DTC		動作	動作	動作	動作	停止
ELC		動作	動作	動作 ^{*1}	動作 ^{*1}	保持
RAM		動作	動作	動作	動作	保持
I/O ポート		動作	動作	動作	動作	レジスタは保持、出力は ハイインピーダンス
外部割り込み	IRQ7~IRQ0、 NMI	動作	動作	動作	動作	動作
周辺 モジュール	タイマ RA タイマ RB タイマ RC タイマ RD_0 タイマ RD_1	動作	動作	保持 ^{*2}	保持 ^{*2}	保持
	タイマ RE	動作	動作	リアルタイムクロック モード時は動作。 アウトプットコンペア モードは保持。		リアルタイムクロック モード時は動作。 アウトプットコンペア モードは保持。
	タイマ RG	動作	動作	保持 ^{*2}	保持 ^{*2}	保持
	ウォッチ ドッグタイマ	動作	動作	保持 ^{*3}	保持 ^{*3}	保持 ^{*3}
	SCI3_1 SCI3_2 SCI3_3	動作	動作	保持 ^{*2}	保持 ^{*2}	リセット
	IIC2/SSU	動作	動作	保持	保持	リセット
	A/D 変換器_1 A/D 変換器_2	動作	動作	保持 ^{*4}	保持 ^{*4}	リセット
	D/A 変換器	動作	動作	動作	動作	リセット

- 【注】 *1 イベント発生タイマのクロックソースに $\phi/2 \sim \phi/8192$ を使用しているときタイマ動作は停止します。
 *2 カウントクロックに ϕ を選択した場合は動作します。 $\phi/2 \sim \phi/8192$ を使用しているときタイマ動作は停止します。
 *3 クロックソースに低速 OCO またはサブクロック ϕ_{sub} を選択した場合は動作します。
 *4 A/D 変換時間=43 ステート (max) を選択した場合は動作します。その他の変換時間を選択した場合は保持となります。

6.2.1 アクティブモード

アクティブモードでは、CPU、DTC およびすべての内蔵周辺モジュールがシステムロック ϕ で動作します。システムクロック ϕ の周波数は、LPCR2 の PHI[2:0] ビットの設定により、 ϕ base、 ϕ base/2、 ϕ base/4、 ϕ base/8、 ϕ base/16、 ϕ base/32、 ϕ base/64、 ϕ base/128 の中から選択できます。

6.2.2 スリープモード

アクティブモードで LPCR1 の SSBY ビットが 0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、DTC およびすべての内蔵周辺モジュールがシステムクロックで動作します。CPU のレジスタの内容は保持されます。

スリープモードで、割り込み要求が発生するとスリープモードは解除され、アクティブモードに遷移し、割り込み例外処理を開始します。CCR の I ビットが 1 のとき、または割り込みイネーブルビットにより割り込みがマスクされている場合は、スリープモードは解除できません。解除後のシステムクロックソースは、LPCR1 の SLEEPRS ビットの設定により高速クロックまたは低速クロックになります。

スリープモードにおいて、 $\overline{\text{RES}}$ 端子をローレベルにするか、または他の内部リセットが発生するとスリープモードは解除されリセット状態に遷移します。

6.2.3 スタンバイモード

アクティブモードで LPCR1 の SSBY ビットが 1 のとき SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発振停止し CPU、DTC 及びすべての内蔵周辺モジュール（タイマ RE および WDT を除く）が停止します。規定の電圧が与えられているかぎり、CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持されます。また、RAM データ保持電圧で規定された電圧が供給されているかぎり、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態となります。

スタンバイモードで、割り込み要求が発生するとスタンバイモードは解除され、アクティブモードに遷移し、割り込み例外処理を開始します。CCR の I ビットが 1 のとき、または割り込みイネーブルビットにより割り込みがマスクされている場合は、スタンバイモードは解除できません。解除後のシステムクロックソースは、LPCR1 の STBYRS ビットの設定により高速クロックまたは低速クロックになります。

スタンバイモードにおいて、 $\overline{\text{RES}}$ 端子をローレベルにするか、または他の内部リセットが発生するとスタンバイモードは解除されリセット状態に遷移します。

6.3 バスマスタクロック分周機能

アクティブモードまたはスリープモードにおいて、CPU、DTC、内蔵 ROM/RAM に供給される動作クロックを周辺モジュールとは独立に分周することができます。分周されたクロックを選択することで消費電力を低減することができます。

バスマスタおよび内蔵 ROM/RAM の動作クロック ϕ_s は、LPCR3 の PHIS[2:0] ビットの設定により ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ の中から選択できます。

6.3.1 リセット状態

リセット状態については、「3.3 リセット」を参照してください。

6.4 モジュールスタンバイ機能

モジュールスタンバイ機能は、すべての周辺モジュールに対して設定可能です。モジュールスタンバイ状態に設定されたモジュールはクロックの供給が停止して低消費電力状態となります。MSTCR の各モジュールに対応したビットを 1 にセットすると、そのモジュールはモジュールスタンバイ状態となり、クリアすると解除されます。リセット解除後各モジュールはモジュールスタンバイ状態になっています。各モジュールを使用する場合は、モジュールスタンバイを解除してください。

モジュールスタンバイ状態になっているモジュールのレジスタに対してアクセスすることはできません。

6.5 PSC 分周器停止機能

周辺モジュールが PSC 分周器の出力を使用しない場合は、LPCR1 の PSCSTP ビットを 1 に設定することにより、PSC 分周器を停止させることができます。

PSC 分周器を停止させると、表 6.1 に示すように、 $\phi/2 \sim \phi/8192$ を使用している周辺モジュールが動作停止状態になります（レジスタの値は保持されます）。PSCSTP ビットを 1 にセットする前に、PSC 分周器の出力を使用しているモジュールは、モジュールスタンバイ状態にしてください。

リセット解除後、PSCSTP ビットは 1 にセットされているので、PSC 分周器は停止状態となっています。PSCSTP ビットについては、「5.2.3 低消費電力制御レジスタ 1 (LPCR1)」を参照してください。

7. ROM

内蔵されているフラッシュメモリの特長は以下の通りです。

7.1 概要

- 書き込み／消去方式
書き込みは4バイトごとの同時書き込み方式です。消去はブロック単位で行います。全面消去を行う場合も1ブロックずつ消去してください。
- 書き込み／消去時間
プログラムROM書き込み時間：4バイト同時書き込み 150 μ sec (Typ.)、1バイト当り換算 38 μ sec (Typ.)
データフラッシュ書き込み時間：4バイト同時書き込み 300 μ sec (Typ.)、1バイト当り換算 75 μ sec (Typ.)
消去時間：プログラムROM、データフラッシュ共に1ブロック当たり 200m sec (Typ.)
- 書き換え回数
プログラムROMは1000回まで、データフラッシュは10000回まで書き換え可能です。
- 2種類のオンボードプログラミング
ブートモード：内蔵SCIを使用して、ユーザROM領域の書き込み／消去が行えます。
ブートモードでは、ホストと本LSI間のビットレートを自動で合わせることができます。
ユーザモード：任意のインタフェースでユーザROM領域の書き込み／消去が行えます。
- ライタモード
PROMライタを用いて書き込み／消去を行います。
- プロテクト機能
誤書き込み誤消去プロテクト
ソフトウェアによりフラッシュメモリの書き込み／消去に対するプロテクト機能のロックビットプロテクトを設定可能
- PROMライタプロテクト／ブートモードプロテクト
ユーザROM領域の指定アドレスに指定データを書くと、PROMライタまたはブートモードで、ユーザROM領域にプロテクトをかけることができます。
- アクセスサイクル
プログラムROM：1ステート
データフラッシュ：2ステート

7.2 ブロック構成

図 7.1 にフラッシュメモリのブロック構成を示します。ユーザ ROM 領域には、マイコンの動作プログラムを格納する領域（プログラム ROM）とは別に、データを格納する領域（データフラッシュ）が有ります。太線枠は消去ブロックを表します。細線枠は書き込み単位を表し、枠線内の数値はアドレスを示します。消去は図 7.1 に示す消去ブロック単位で行います。書き込みは下位アドレス 4 ビットが H'0、H'4、H'8、H'C で始まる 2 ワードもしくは 4 バイト単位で行います。

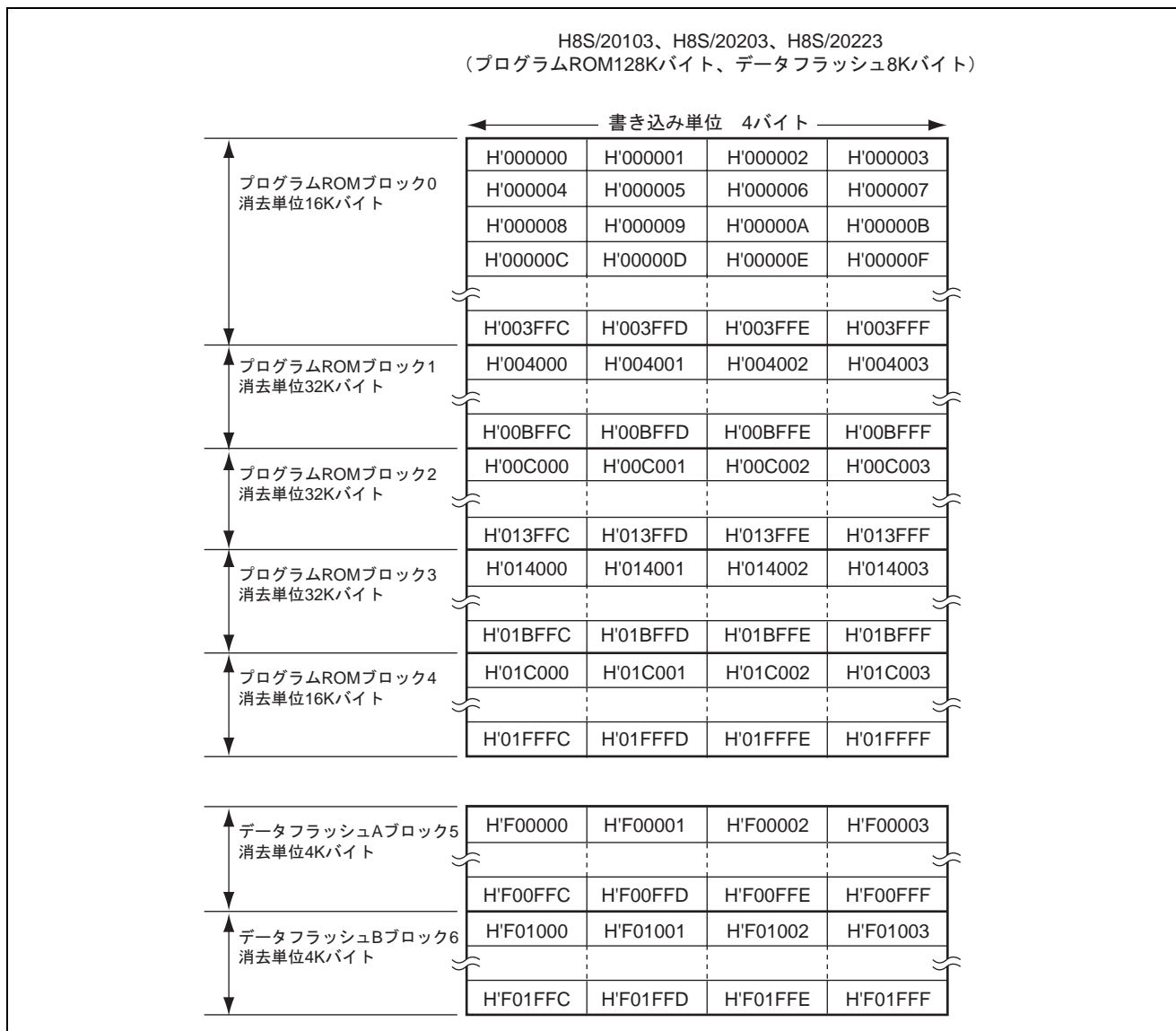


図 7.1 フラッシュメモリのブロック構成 (1)

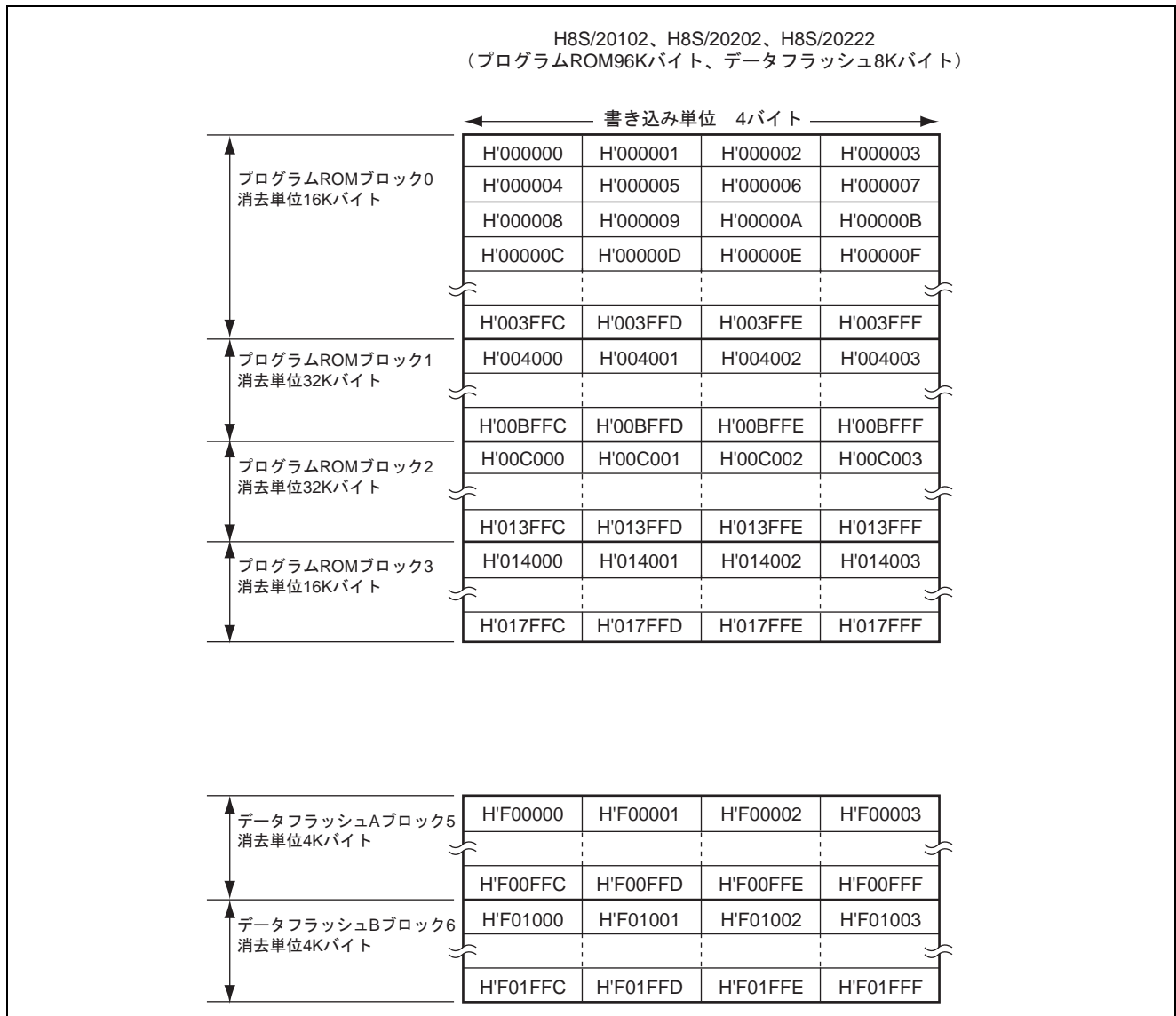


図 7.1 フラッシュメモリのブロック構成 (2)

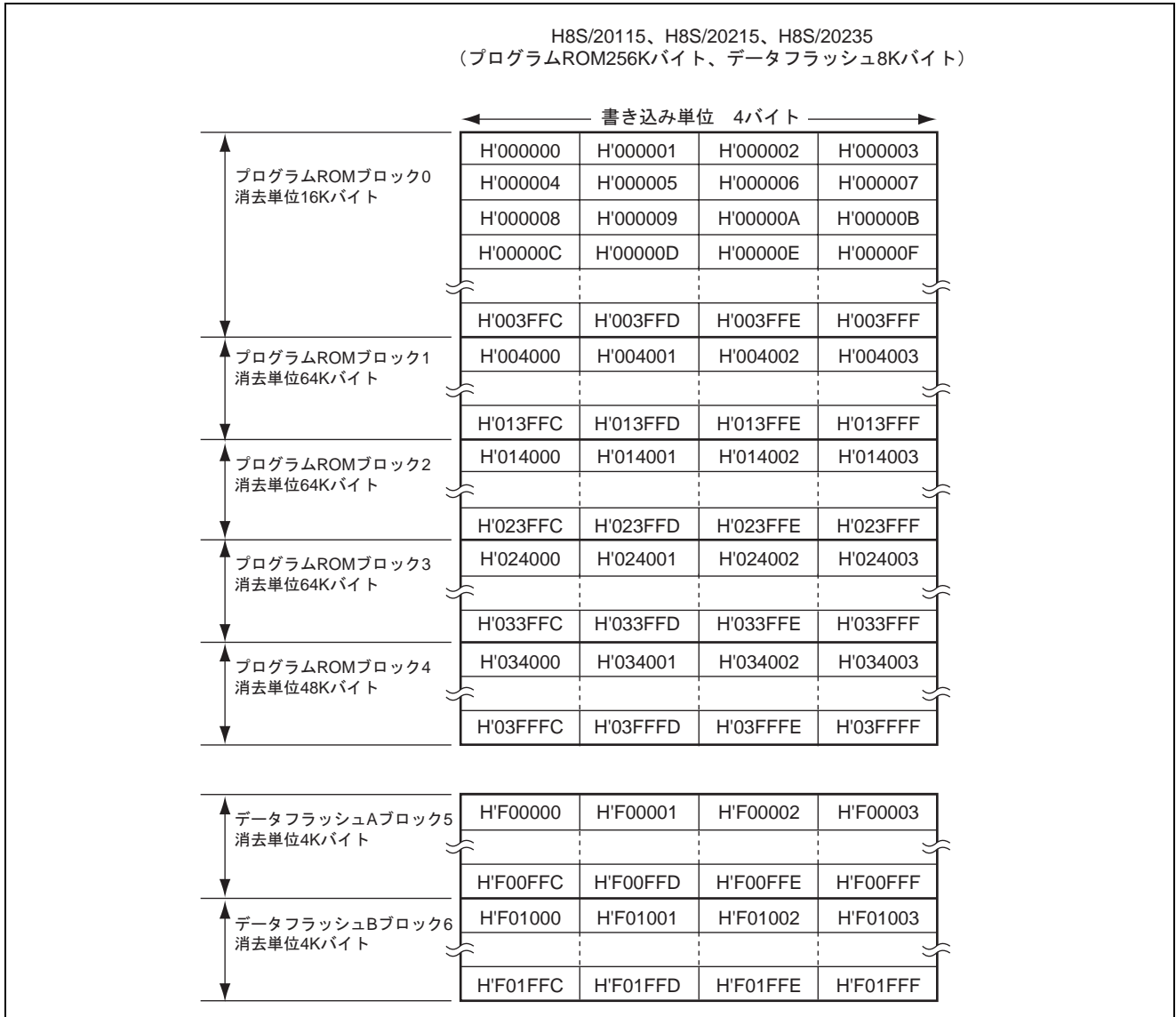


図 7.1 フラッシュメモリのブロック構成 (3)

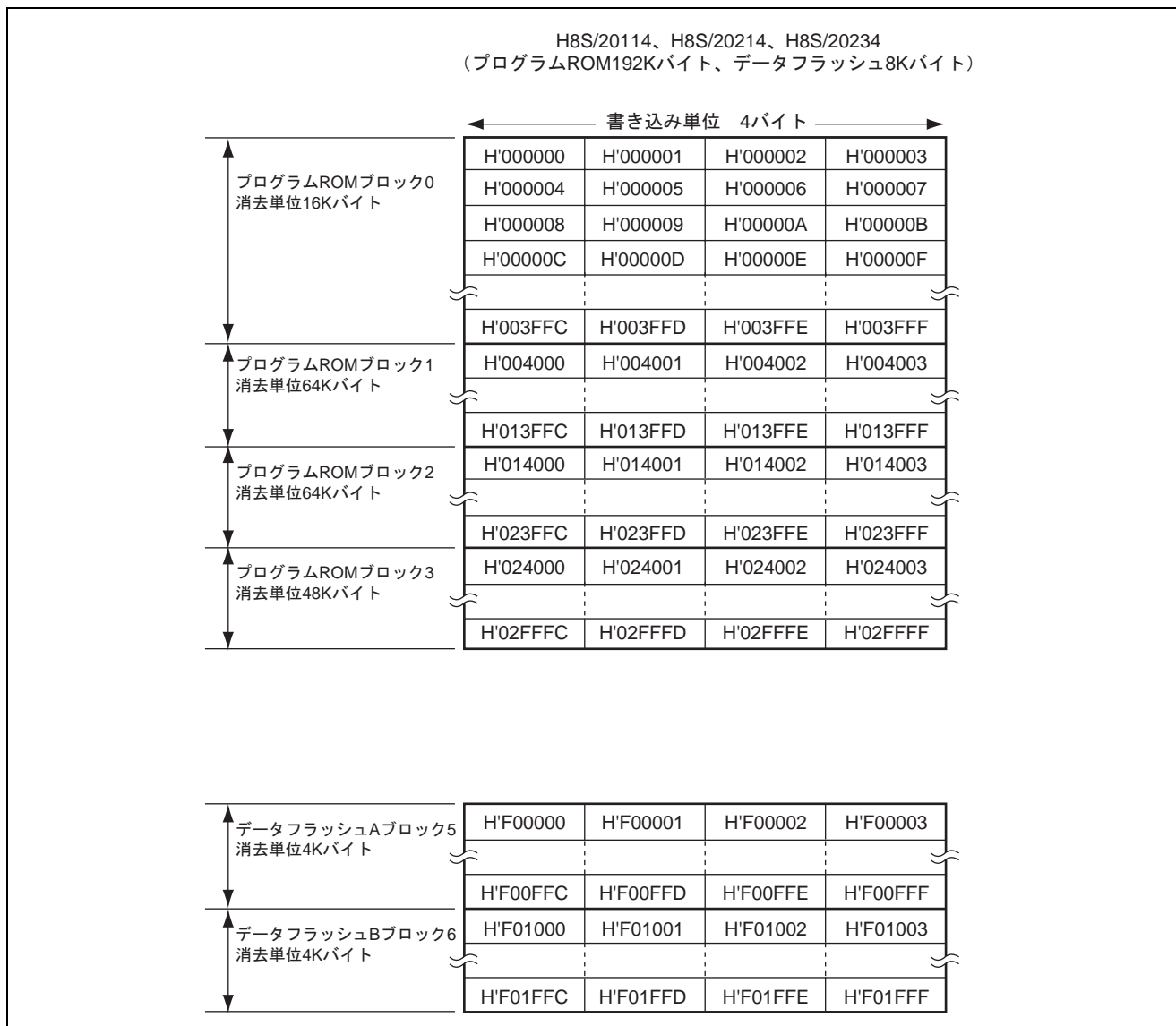


図 7.1 フラッシュメモリのブロック構成 (4)

7.3 CPU 書き換えモード

CPU 書き換えモードでは、CPU がソフトウェアコマンドを実行することにより、ユーザ ROM 領域を書き換えることができます。ソフトウェアコマンドはユーザ ROM 領域の書き換えをしたい領域に対して発行してください。

CPU 書き換えモードでは、消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能があります。イレーズサスペンド中はプログラムでユーザ ROM 領域を読み出すことが可能です。

CPU 書き換えモードには、EW0 モードと EW1 モードがあります。

表 7.1 に EW0 モードと EW1 モードの違いを示します。

表 7.1 EW0 モードと EW1 モードの違い

項目	EW0 モード	EW1 モード
書き換え制御プログラムを配置できる領域	ユーザ ROM 領域	
書き換え制御プログラムを実行できる領域	RAM へ転送してから実行する必要あり	ユーザ ROM 領域上で実行可能
書き換えられる領域	ユーザ ROM 領域	ユーザ ROM 領域 ただし、書き換えプログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	プログラム、イレーズコマンドは書き換え制御プログラムがあるブロックに対する実行禁止
ソフトウェアコマンド実行後のモード	リードアレイモード	
自動書き込み、自動消去時 CPU 状態	動作	ホールド状態（入出力ポートはコマンド実行前の状態を保持）
フラッシュメモリのステータス検知	プログラムで FLMSTR レジスタの FMPSRF、FMERSF、FMEBSF をリード	
イレーズサスペンドへの移行条件	FLMCR2 の FMSPEN ビットが 1 かつ FMSPREQ を 1 にする もしくは、FLMCR2 の FMSPEN ビットが 1 かつ FLMCR2 の FMISPE ビットが 1 かつ割り込み要求が発生	FLMCR2 の FMSPEN ビットが 1 かつ、割り込み要求が発生
割り込み発生条件	<ul style="list-style-type: none"> • ビジー状態からレディ状態に復帰したとき*¹ • ビジー状態でユーザ ROM 領域をリードしたとき*¹ 	使用禁止
DTC の使用	使用可能* ²	使用可能* ² * ³

【注】 *1 ユーザ ROM 領域へのアクセスを発生させないために、VOFR を設定し、ベクタアドレスを RAM 上に配置し、かつ、割り込み処理ルーチンを RAM 上に配置してください。

*2 DTC ベクタ・処理ルーチンを RAM 上に配置してください。E/W 処理中は DTC でユーザ ROM 領域をアクセスしないでください。アクセスした場合は不定値が読み出されます。

*3 RAM 上に書き換え制御プログラムを配置する場合は、DTC を使用しないでください。

7.3.1 EW0 モード

RAM へ書き換えプログラムを転送し、RAM 上のプログラムへ分岐したところで、FLMCR1 の FMEWMOD ビットを 0 にした後、FLMCR1 の FMCMDEN ビットを 1 (ソフトウェアコマンド許可) にすると EW0 モードになります。

書き込み、消去動作の制御はソフトウェアコマンドで行います。ソフトウェアコマンドの終了状態などは FLMSTR で確認できます。

消去中にイレーズサスペンドに移行する場合は、FLMCR2 の FMSPEN ビットを 1 (サスペンド許可)、FMSPREQ ビットを 1 (イレーズサスペンドリクエスト) にしてください。そしてイレーズサスペンドへの遷移時間 (約 50 μ sec) 待ち、FLMSTR の FMRDY ビットが 1 (レディ) になったことを確認後、ユーザ ROM 領域にアクセスしてください。FMSPREQ ビットを 0 (イレーズレジューム) にすると、消去を再開します。

割り込みを使用する場合、ユーザ ROM 領域へのアクセスを発生させないため割り込みベクタオフセットレジスタを設定し、ベクタアドレスを RAM 上に配置し、割り込み処理ルーチンも RAM 上に配置してください。ソフトウェアコマンド許可状態 (FLMCR1 の FMCMDEN ビットが 1) でユーザ ROM 領域をリードする場合は、バスマスタ動作クロック ϕ_s を 5MHz 以下に設定してください。

7.3.2 EW1 モード

FLMCR1 の FMEWMOD ビットを 1 にした後、FLMCR1 の FMCMDEN ビットを 1 (ソフトウェアコマンド許可) にすると EW1 モードになります。

書き込み、消去動作の制御はソフトウェアコマンドで行います。ソフトウェアコマンドの終了状態などは FLMSTR で確認できます。

消去時、イレーズサスペンド機能を有効にする場合には、FLMCR2 の FMSPEN ビットを 1 (サスペンド許可) にしてからイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みは、あらかじめ割り込み許可状態にしてください。イレーズコマンド実行からイレーズサスペンドへの遷移時間後、割り込み要求を受け付けられます。

割り込み要求が発生すると、FMSPREQ ビットが自動的に 1 (イレーズサスペンドリクエスト) になり、消去が中断されます。割り込み処理終了後、消去が完了していないとき (FLMSTR の FMERSF ビットが 1) は、FMSPREQ ビットを 0 (イレーズレジューム) にして消去を再開させてください。

7.4 レジスタの説明

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- フラッシュメモリデータフラッシュプロテクトレジスタ (DFPR)
- フラッシュメモリステータスレジスタ (FLMSTR)

7.4.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

アドレス: H'FF0660

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	FMLBD	FMWUS	FMEWMOD	FMCM DEN
リセット後の値:	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると 0 が読み出されます。ライトは 0 にしてください。	—
5、4	—	予約ビット		—
3	FMLBD* ¹ * ²	ロックビット 無効選択ビット	0: ロックビット有効 1: ロックビット無効	R/W
2	FMWUS	CPU 書き換え 命令単位選択ビット	0: バイト命令書き換え 1: ワード命令書き換え	R/W
1	FMEWMOD	EW モード選択 ビット	0: EW0 モード 1: EW1 モード	R/W
0	FMCM DEN * ¹ * ² * ³ * ⁴	フラッシュ メモリソフト ウェアコマンド 許可ビット	0: フラッシュメモリソフトウェアコマンド禁止 1: フラッシュメモリソフトウェアコマンド許可	R/W

【注】 *1 1にするときは一度 0 をライトした後続けて 1 をライトしてください。このとき割り込みが入らないようにしてください。

*2 FMRDY ビットが 0 から 1 になるときに 0 になります。

*3 FMEWMOD ビットを設定した後に、FMCM DEN ビットを 1 にしてください。

*4 FMEWMOD ビットが 0 のときに FMCM DEN ビットを 1 にする場合は、必ずプログラムを RAM 上で実行してください。

FLMCR1 はフラッシュメモリの書き換え/消去有効無効、書き換え/消去モード、ロックビットの有効無効、書き込み単位を設定を行います。具体的な使用方法は「7.6 書き込み/消去処理」を参照してください。

- FMLBD (ロックビット無効選択ビット)

ロックビットの無効を選択するビットです。FMLBD ビットを 1 にするとロックビットプロテクトがかかっているブロックに消去/書き込みを行うことが可能になります。FMLBD ビットとブロックのロックビットの関係は表 7.2 を参照してください。消去/書き込み不可の状態ではイレズ/プログラムコマンドを実行すると、コマンドシーケンスエラーとなります。

表 7.2 FMLBD とロックビットの関係と消去/書き込み動作

FMLBD	ロックビット	消去/書き込み処理
1	—	消去/書き込み可能
0	1 (消去状態)	
	0 (書き込み状態)	消去/書き込み不可

- FMWUS (CPU書き換え命令単位選択ビット)

FMWUS ビットを 0 にするとバイト命令でソフトウェアコマンド発行できます。FMWUS ビットを 1 にするとワード命令でソフトウェアコマンド発行できます。ソフトウェアコマンドについては「7.6.1 ソフトウェアコマンド」を参照してください。

- FMEWMOD (EWモード選択ビット)

FMEWMOD ビットを 0 にし FMCMDEN ビットを 1 にすると EW0 モードになります。FMEWMOD ビットを 1 にし FMCMDEN ビットを 1 にすると EW1 モードになります。

- FMCMDEN (フラッシュメモリソフトウェアコマンド許可ビット)

FMCMDEN ビットを 1 にすると、ソフトウェアコマンドの受付が可能になります。データフラッシュへソフトウェアコマンドを発行する場合、「7.4.3 フラッシュメモリデータフラッシュプロテクトレジスタ (DFPR)」を設定してください。

7.4.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

アドレス: H'FF0661

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	—	FMRDYIE	FMBSYRDIE	FMISPE	FMSPREQ	FMSPEN
---	---	---	---------	-----------	--------	---------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると0が読み出されます。ライトは0にしてください。	—
5	—	予約ビット		—
4	FMRDYIE *1 *2	フラッシュ リードレディ 割り込み許可 ビット	0: レディ割り込み禁止 1: レディ割り込み許可	R/W
3	FMBSYRDIE *1 *3	フラッシュ ビジーリード 割り込み許可 ビット	0: ビジーリード割り込み禁止 1: ビジーリード割り込み許可	R/W
2	FMISPE*4	割り込み要求 サスペンド リクエスト 許可ビット	0: 割り込み要求でイレーズサスペンドリクエストを禁止 1: 割り込み要求でイレーズサスペンドリクエストを許可	R/W
1	FMSPREQ *1 *5 *6 *7	イレーズ サスペンド ビット	0: イレーズレジュールム 1: イレーズサスペンドリクエスト	R/W
0	FMSPEN*4 *8	イレーズ サスペンド 許可ビット	0: イレーズサスペンド禁止 1: イレーズサスペンド許可	R/W

- 【注】 *1 書き込みを行う場合は、FMSPEN ビットを1にしてください。
- *2 FMRDYIE ビットは FMCMDEN ビットが0から1になるときに0になります。
- *3 FMBSYRDIE ビットは FMCMDEN ビットが0から1になるときに0になります。
- *4 1にするときには、一度0をライトした後続けて1をライトしてください。このとき割り込みが入らないようにしてください。
- *5 FMSPREQ ビットは EW1 モードで FMSPEN ビットが1のとき、割り込みが入ると1になります。
- *6 FMSPREQ ビットは EW0 モードで FMSPEN ビットが1で FMISPE が1のとき、割り込みが入ると1になります。
- *7 FMSPREQ ビットは EW が完了し、FMRDY ビットが0から1になるときに0になります。
- *8 FMSPEN ビットは FMSPREQ ビットが0のとき、FMRDY ビットが0から1になるときに0になります。

FLMCR2 はフラッシュメモリの割り込み有効/無効、サスペンドの許可・制御の設定を行います。

- **FMRDYIE (フラッシュリードレディ割り込み許可ビット)**

FMRDYIE ビットを 1 にすると、フラッシュがビジー状態からレディ状態に変化したときの割り込み発生を許可します。

- **FMBSYRDIE (フラッシュビジーリード割り込み許可ビット)**

FMBSYRDIE ビットを 1 にすると、フラッシュがビジー状態でユーザ ROM 領域をアクセスしたときの割り込み発生を許可します。

- **FMISPE (割り込み要求サスペンドリクエスト許可ビット)**

FMISPE ビットを 1 にすると EW0 モードで割り込み要求が発生した場合、FMSPREQ ビットが自動的に 1 (イレーズサスペンドリクエスト) になりイレーズサスペンドモードに移行します。

- **FMSPREQ (イレーズサスペンドビット)**

FMSPREQ ビットを 1 にするとイレーズサスペンドモードに移行します。イレーズ動作を再開する時は FMSPREQ ビットを 0 にしてください。

- **FMSPEN (イレーズサスペンド許可ビット)**

FMSPEN ビットを 1 にするとイレーズサスペンド許可状態になります。

7.4.3 フラッシュメモリデータフラッシュプロテクトレジスタ (DFPR)

アドレス: H'FF0662

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DFPR1	DFPR0

リセット後の値: 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~2	—	予約ビット	リードすると0が読み出されます。ライトは0にしてください。	—
1	DFPR1	データフラッシュ B E/W 禁止ビット*1 *2	0: データフラッシュ B E/W 許可 1: データフラッシュ B E/W 禁止	R/W
0	DFPR0	データフラッシュ A E/W 禁止ビット*1 *2	0: データフラッシュ A E/W 許可 1: データフラッシュ A E/W 禁止	R/W

DFPR はデータフラッシュに対する書き換えをブロック単位で制御するレジスタです。データフラッシュに対する書き換え前にプロテクトを解除してください。

【注】 *1 DFPR ビットを0にするときは、一度1をライトした後、続けて0をライトしてください。このとき割り込みが入らないようにしてください。

*2 DFPR ビットは、FMCMDEN ビットが0→1になるときに1になります。

- DFPR1 (データフラッシュ B E/W 禁止ビット)

DFPR1 ビットが1の場合、データフラッシュ B へソフトウェアコマンドが発行されません。DFPR1 ビットを0にすると、データフラッシュ B へソフトウェアコマンドが発行されます。

- DFPR0 (データフラッシュ A E/W 禁止ビット)

DFPR0 ビットが1の場合、データフラッシュ A へソフトウェアコマンドが発行されません。DFPR0 ビットを0にすると、データフラッシュ A へソフトウェアコマンドが発行されます。

7.4.4 フラッシュメモリステータスレジスタ (FLMSTR)

アドレス: H'FF0663

ビット: b7 b6 b5 b4 b3 b2 b1 b0

FMRDYIF	FMBSYRDIF	FMEBSF	FMERSF	FMPRSF	—	—	FMRDY
---------	-----------	--------	--------	--------	---	---	-------

リセット後の値: 0 0 0 0 0 0 1 1

ビット	シンボル	ビット名	説明	R/W
7	FMRDYIF*1*2*3	フラッシュ リードレディ 割り込み要求 フラグ	0: フラッシュリードレディ割り込み要求なし 1: フラッシュリードレディ割り込み要求あり 【1になる条件】 • FMRDY が 0 から 1 に変化したとき 【0になる条件】 • FMRDYIF が 1 の状態をリードした後、0 にしたとき	R/W
6	FMBSYRDIF *2*3*4	フラッシュ ビジーリード 割り込み要求 フラグ	0: フラッシュビジーリード割り込み要求なし 1: フラッシュビジーリード割り込み要求あり 【1になる条件】 • FMRDY が 0 のとき、ユーザ ROM 領域をアクセスしたとき 【0になる条件】 • FMBSYRDIF が 1 の状態をリードした後、0 にしたとき	R/W
5	FMEBSF*3*5	イレーズ/ブラ ンクチェック ステータス フラグ	0: 正常終了 1: エラー終了 【1になる条件】 • イレーズコマンドを実行し、正しく消去されなかったとき • ブランクチェックコマンドを実行し、指定ブロックがブランクではなかったとき 【0になる条件】 • クリアステータスコマンドを発行したとき	R
4	FMERSF	イレーズ サスペンド フラグ	0: イレーズサスペンド未実行 1: イレーズサスペンド実行 【1になる条件】 • イレーズサスペンドを実行中のとき 【0になる条件】 • イレーズサスペンドを未実行のとき	R
3	FMPRSF*3*5	プログラム ステータス フラグ	0: 正常終了 1: エラー終了 【1になる条件】 • プログラムコマンドを実行し、正しく書き込みされなかったとき • ロックビットプログラムコマンドを実行し、正しく書き込みされなかったとき 【0になる条件】 • クリアステータスコマンドを発行したとき	R

ビット	シンボル	ビット名	説明	R/W
2	—	予約ビット	リードすると0が読み出されます。ライトは0にしてください。	—
1	—	予約ビット	リードするとFMRDYと同じ値が読み出されます。ライトは1にしてください。	—
0	FMRDY	フラッシュ メモリレディ/ ビジーステータ スフラグ	0: ビジー (書き込み、消去実行中) 1: レディ 【1になる条件】 • 書き込み/消去動作中以外するとき 【0になる条件】 • 書き込み/消去動作中のとき	R

- 【注】 *1 FMRDYIF ビットはFMRDY ビットが0から1になるとき、1になります。
- *2 0にするときは、1をリードした後0をライトしてください。
- *3 ソフトウェアで1にすることはできません。
- *4 FMBSYRDIF ビットはFMRDY ビットが0のときにROM領域にアクセスすると1になります。
- *5 クリアステータスコマンドを実行すると0になります。

• **FMRDYIF (フラッシュリードレディ割り込み要求フラグ)**

フラッシュがビジー状態からレディ状態になったのを示すビットです。

FMRDYIE ビットが1のときにFMRDYIF ビットが1になると割り込み要求を発生させます。

• **FMBSYRDIF (フラッシュビジーリード割り込み要求フラグ)**

フラッシュがビジー状態でユーザROM領域へのアクセスを示すビットです。FMBSYRDIE ビットが1のときにFMBSYRDIF ビットが1になると割り込み要求を発生させます。

• **FMEBSF (イレーズ/ブランクチェックステータスフラグ)**

イレーズ/ブランクチェックコマンド実行時の状況を示す読み出し専用ビットです。

• **FMERSF (イレーズサスペンドフラグ)**

イレーズサスペンド中を示す読み出し専用ビットです。

• **FMPRSF (プログラムステータスフラグ)**

プログラムコマンド実行時の状況を示す読み出し専用ビットです。

• **FMRDY (フラッシュメモリレディビジーステータスフラグ)**

フラッシュメモリの動作状態を示すビットです。

7.5 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとしてオンボードで書き込みできるブートモードと PROM ライタで書き込み/消去を行うライタモードが用意されています。この他、ユーザモードでもオンボードで書き込み/消去を行うことが可能です。リセット状態からリセット解除すると本 LSI は TEST 端子、 $\overline{\text{NMI}}$ 端子およびポートの入力レベルによって表 7.3 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除 80 μ s 前に確定させる必要があります。

ブートモードに遷移すると、LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み/消去ができなくなった場合の強制復帰などに使用できます。ユーザモードではユーザが用意した書き込み/消去処理に分岐することで任意のブロックを消去し書き換えることができます。

表 7.3 プログラミングモード選択方法

TEST	NMI	P85	PB3	PB2	PB1	PB0	リセット解除後の LSI の状態
0	1	X	X	X	X	X	ユーザモード
0	0	1	X	X	X	X	ブートモード
1	X	X	0	0	0	0	ライタモード

【注】 X : Don't care

7.5.1 ブートモード

ブートモードは、SCI3_1 を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザ ROM 領域への書き込み/消去を行うモードです。

ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。使用するシリアル通信は調歩同期式モードです。図 7.2 にブートモードのシステム構成を示します。ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

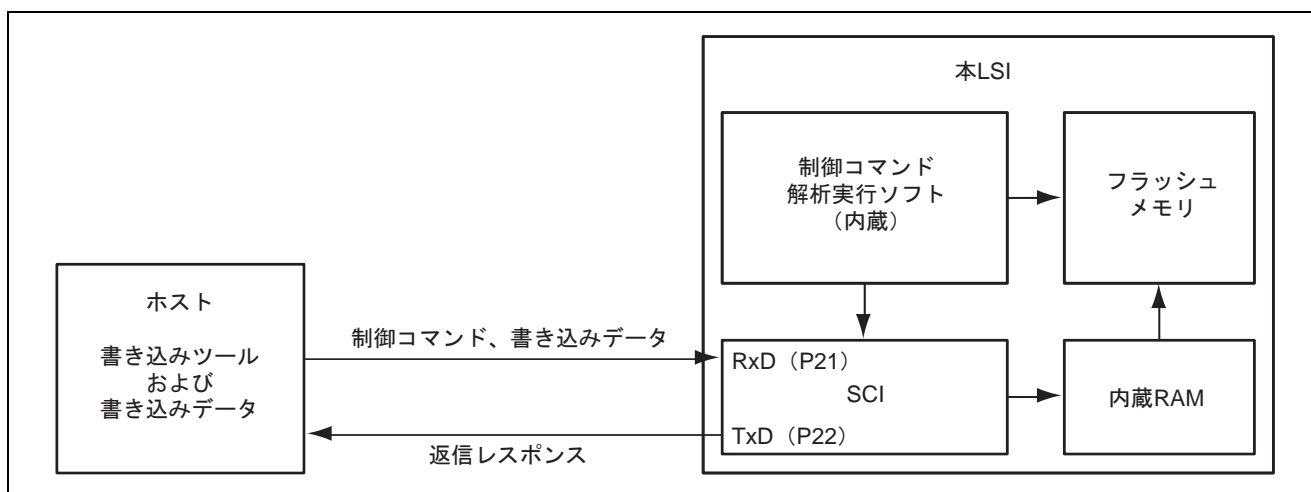


図 7.2 ブートモードのシステム構成図

(1) ホストのシリアルインタフェース設定

SCI3_1 は調歩同期式モードに設定され、シリアル送信/受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」です。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。

本 LSI はブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データ (H'00) のロー期間を測定してビットレートを計算し、SCI のビットレートをホストのビットレートに合わせ込みます。

ビットレートの合わせ込みが終了すると、調整終了の合図としてホストへ H'00 を 1 バイト送信します。ホストは調整終了の合図を正常に受信したら、本 LSI へ H'55 を 1 バイト送信してください。正常に受信できなかった場合は、ブートモードを再起動してください。自動合わせ込み可能なホストの転送ビットレートを表 7.4 に示します。



図 7.3 ビットレート自動合わせ込み

表 7.4 自動合わせ込み可能なホストのビットレート

ホストのビットレート
9600bps
4800bps
2400bps

【注】 9600bps では自動合わせ込みができない場合があります。調整終了の合図が送信されないときは、ビットレートを遅くして再度実行してください。

(2) 状態遷移

ブートモード起動後の状態遷移を図 7.4 に示します。

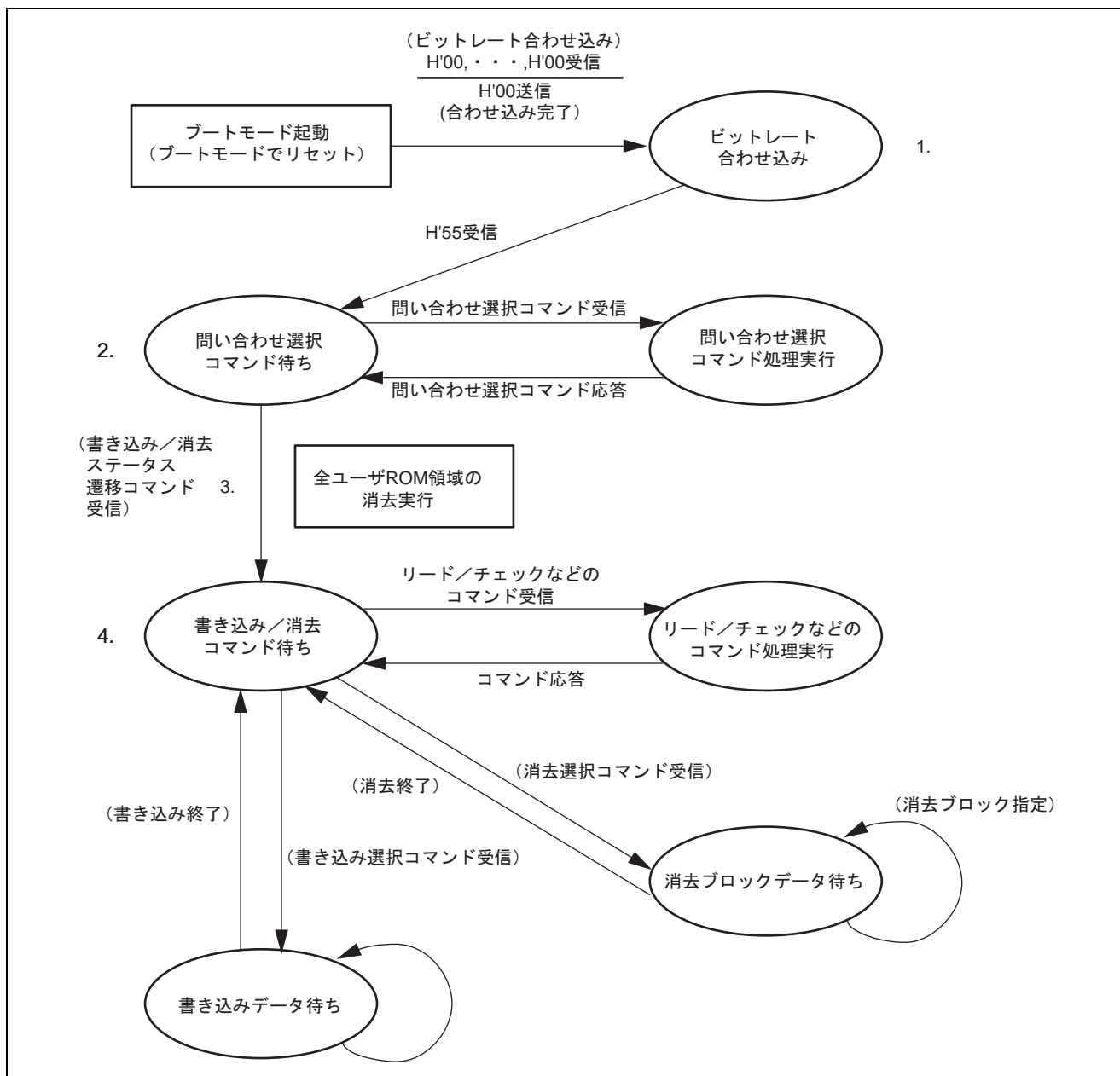


図 7.4 ブートモード状態遷移図

1. ブートモード起動後、SCI3_1のビットレートをホストのビットレートに合わせ込みます。
2. ユーザROM領域のサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
3. 書き込み/消去ステータス遷移コマンドを受信するとすべてのユーザROM領域を自動消去します。
4. ユーザROM領域消去終了後、書き込み/消去コマンド待ち状態に遷移します。書き込みコマンド送信後、書き込み先の先頭アドレス、書き込みデータを送信してください。書き込み終了後、書き込み先の先頭アドレスをH'FFFFFFFに設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。いったん、書き込み終了コマンドを発行した、書き込み終了エリアが含まれる消去ブロック内に、再度書き込みを行う場合、対応する消去ブロックを消去してから実施してください。図7.5に書き込みが終了したエリアが含まれる消去ブロックの例を示します。「消去選択コマンド」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンド送信後、消去ブロック番号を送信してください。消去終了後、消去ブロック番号をH'FFに設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。なお、消去の実行は、ブートモードで、いったん、書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換えるときに使用してください。1回の操作で書き込みができる場合は、書き込み/消去コマンド、それ以外のコマンド待ち状態の遷移前に全ブロックの消去が行われていますので本消去操作は必要ありません。書き込み/消去コマンド以外に、ユーザROM領域のサムチェック、ブランクチェック（消去チェック）、メモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザROM領域のメモリ読み出しは、すべてのユーザROM領域を自動消去後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができません。

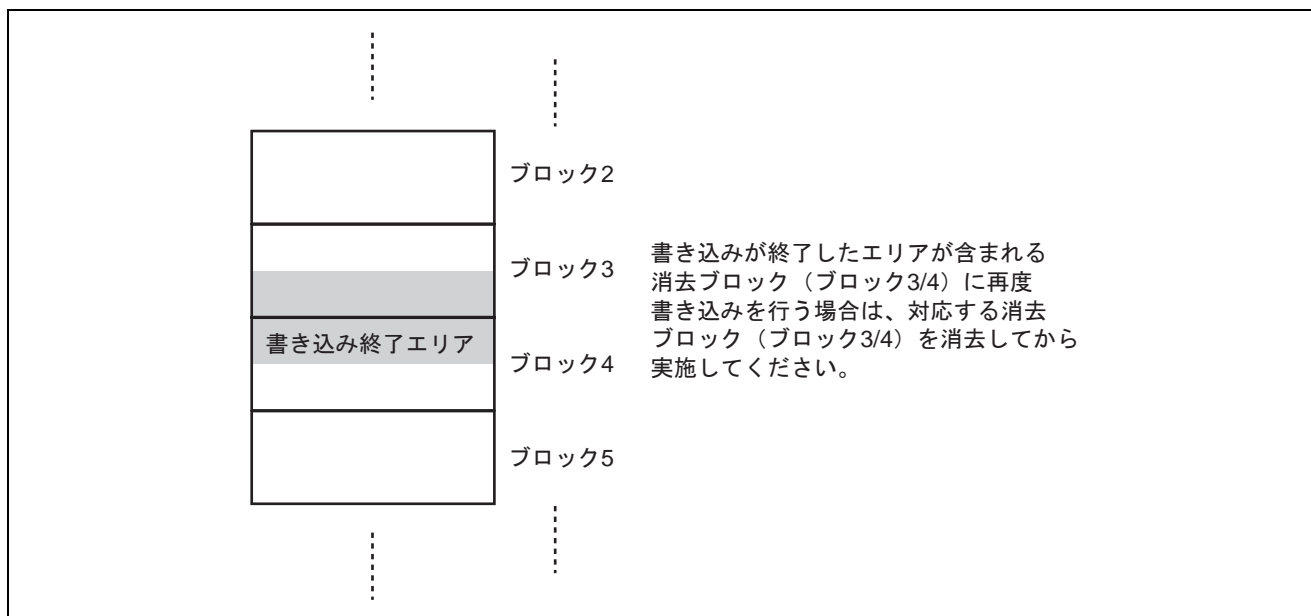


図 7.5 書き込みが終了したエリアが含まれる消去ブロック例

7.5.2 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCI3_1 を使ってシリアル通信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

ブートプログラムは3つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストとシリアル通信を行うためにビットレートを合わせ込みます。ブートモードで起動するとブートプログラムが起動しビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスでデバイス、クロックモードとビットレートを選択します。選択終了後、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前にブートプログラムは消去関連ライブラリを内蔵 RAM 上に転送し、ユーザ ROM 領域を消去します。

3. 書き込み/消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って書き込み/消去プログラムを内蔵 RAM に転送し、書き込み/消去を行います。コマンドによりサムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 7.6 に示します。

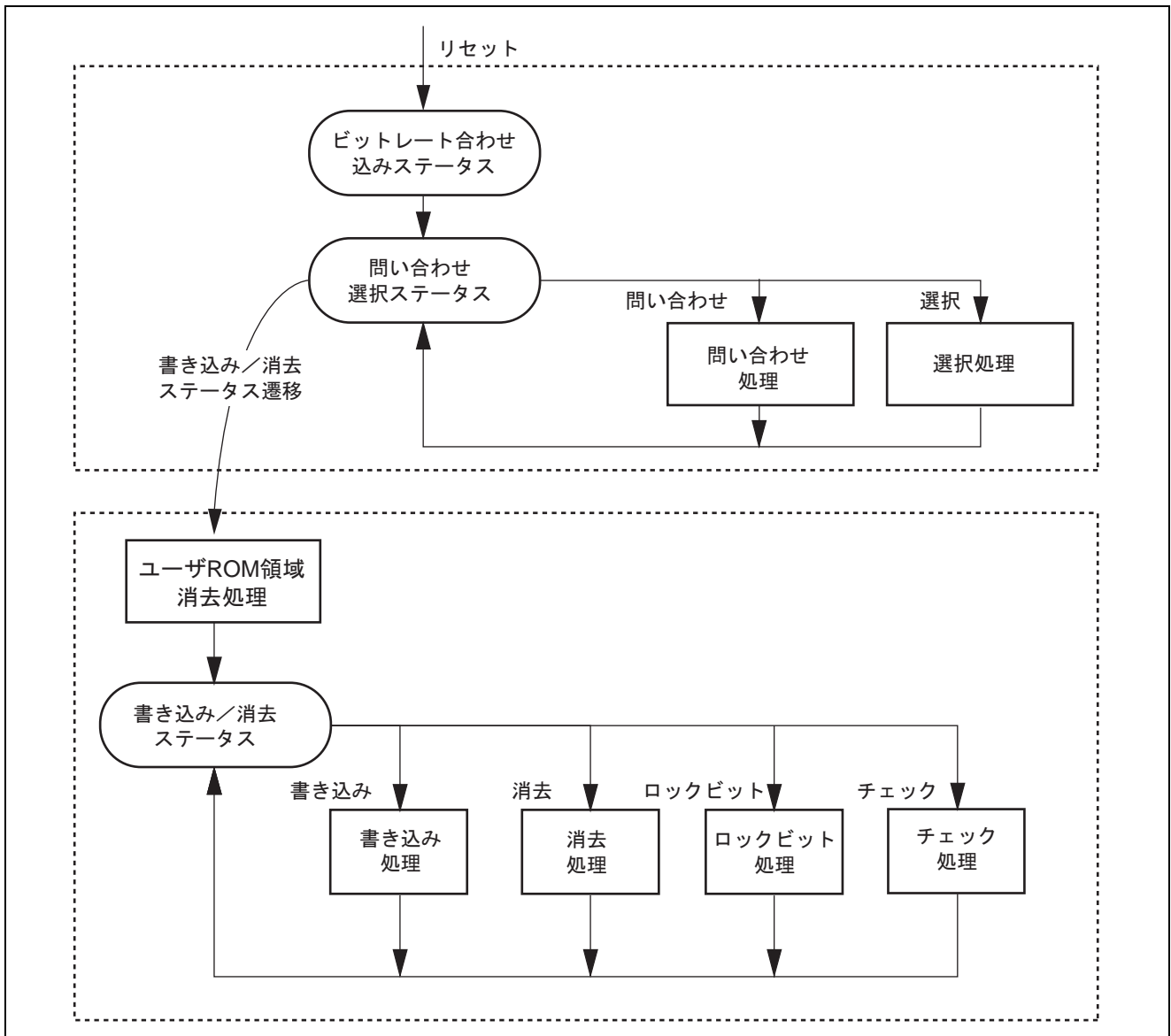


図 7.6 ブートプログラムのステータス

(1) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信されたH'00のLow期間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図7.7に示します。

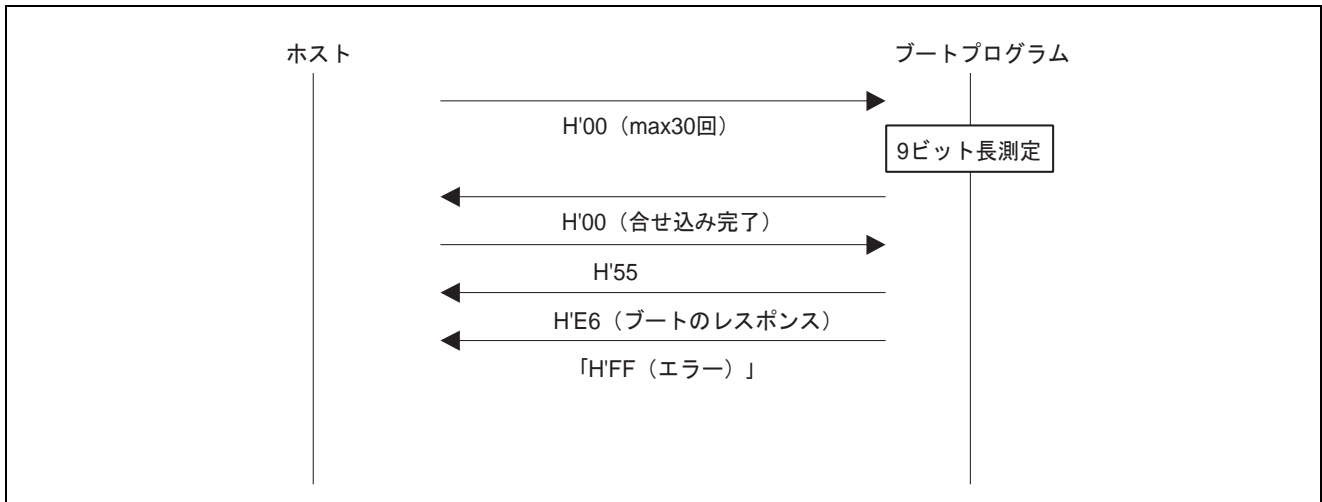


図 7.7 ビットレート合わせ込み

(2) 通信プロトコル

- 1文字コマンドまたは1文字レスポンス
1文字のコマンドまたはレスポンスで、問い合わせと正常終了のACKがあります。
- n文字コマンドまたはn文字レスポンス
コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと問い合わせに対応するレスポンスがあります。書き込みデータについては、データ長を別に決めるので、データサイズは省略します。
- エラーレスポンス
コマンドに対するエラーレスポンスです。エラーレスポンスとエラーコードの2バイトです。
- 128バイト書き込み
サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。
- メモリアドレスのレスポンス
サイズが4バイトのレスポンスです。

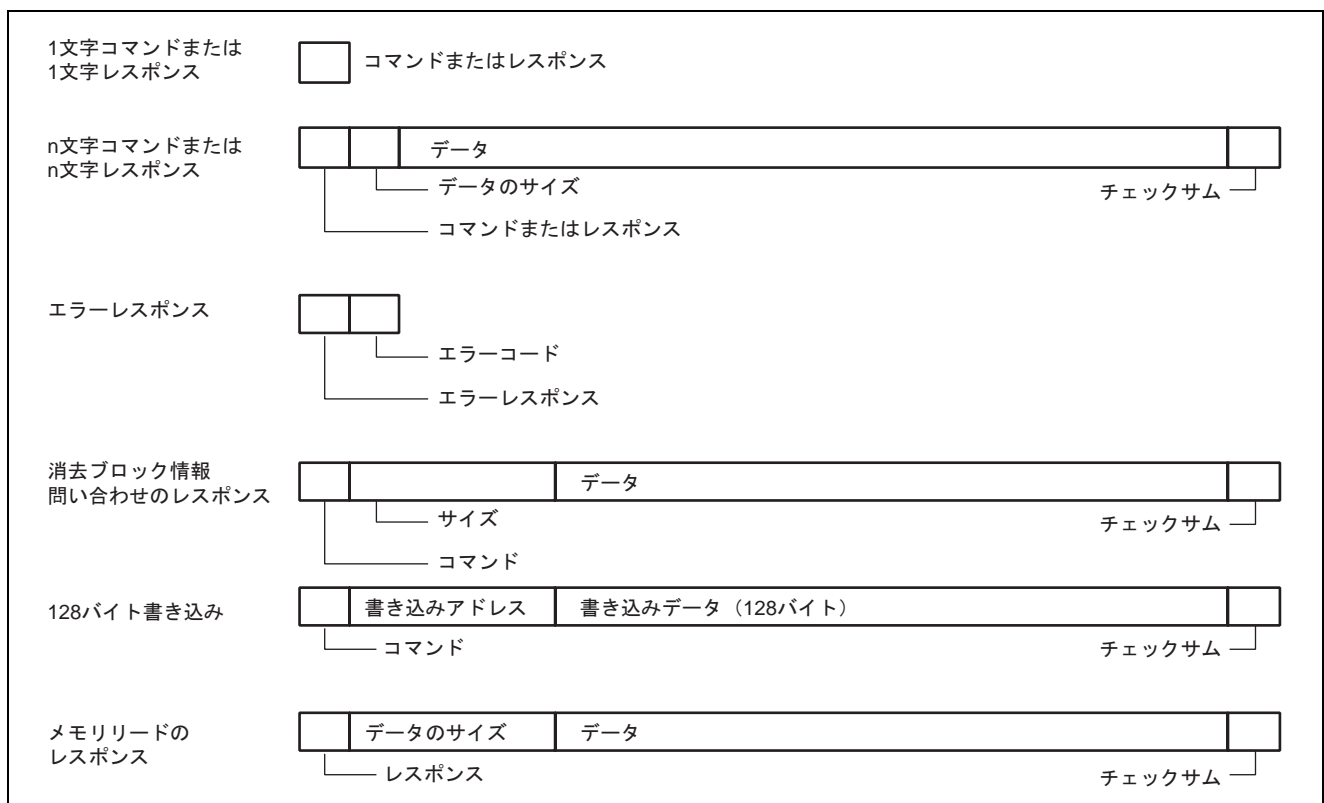


図 7.8 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1または2バイト) : コマンドまたはレスポンス、サイズ、チェックサムを除いた送受信データまたは消去ブロック情報問い合わせデータのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドまたはレスポンスからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- 書き込みアドレス (4バイト) : 書き込みアドレス
- 書き込みデータ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る (本LSIは128固定)
- データのサイズ (4バイト) : メモリリードのレスポンスのデータサイズで4バイト長

(3) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報で応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 7.5 に示します。

表 7.5 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	分周比問い合わせ	分周比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'25	プログラム ROM 情報問い合わせ	プログラム ROM の個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'2A	データフラッシュ有無問い合わせ	データフラッシュの有無を問い合わせ
H'2B	データフラッシュ情報問い合わせ	データフラッシュの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'2C	クロック切り替え情報問い合わせ	内部/外部クロック切り替え可否の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み/消去ステータス遷移	ユーザ ROM 領域を消去し、書き込み/消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ
H'60	ID 認証	プログラム ROM 上の ID 問い合わせ

選択コマンドはデバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順に、ホストから送信してください。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み/消去ステータス遷移 (H'40) を受け付けるまで有効です。ホスト側は上記のコマンド送信中、ホストが必要なものを選択して問い合わせを行うことができます。H'4F は、H'40 受付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」(1バイト) : サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	SUM			

- レスポンス「H'30」(1バイト) : サポートデバイス問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数 (1バイト) : マイコン内のブートプログラムがサポートする品種数
- 文字数 (1バイト) : デバイスコードとブートプログラム品名の文字数
- デバイスコード (4バイト) : サポートデバイスコード、ASCIIコード
- デバイス名 (nバイト) : サポートデバイス名、ASCIIコード
- SUM (1バイト) : チェックサム

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド	H'10	サイズ	デバイスコード	SUM
------	------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ（1バイト）：デバイスコードの文字数、固定値で4
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCIIコード）
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラーレスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：チェックサムエラー
 - H'21：デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド	H'21
------	------

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス	H'31	サイズ	モード	...	SUM
-------	------	-----	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モードの合計サイズ
- モード（1バイト）：選択可能なクロックモード（例：H'00 クロックモードなし）
- SUM（1バイト）：チェックサム

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド	H'11	サイズ	モード	SUM
------	------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラーレスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：チェックサムエラー
H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 分周比問い合わせ

分周比問い合わせに対して、ブートプログラムは選択可能な分周比を応答します。

コマンド	H'22
------	------

- コマンド「H'22」（1バイト）：分周比問い合わせ

レスポンス	H'32	サイズ	種別数					
	分周比数	分周比	...					
	...							
	SUM							

- レスポンス「H'32」（1バイト）：分周比問い合わせに対する応答
- サイズ（1バイト）：種別数、分周比数、分周比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な分周比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 分周比数（1バイト）：各動作周波数で選択可能な分周比数
メインモジュール、周辺モジュールで選択可能な分周比数
- 分周比（1バイト）
 - 分周比：分周する数値、負の数（例 2分周：H'FE[-2]）
分周比を分周比数の数だけ繰り返し、分周比数と分周比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：チェックサム

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値		動作周波数最大値
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスで必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値
動作周波数最小値、動作周波数最大値のデータが周波数の数だけ続く
- SUM（1バイト）：チェックサム

(g) プログラム ROM 情報問い合わせ

プログラム ROM 情報問い合わせに対して、ブートプログラムはプログラム ROM のエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」（1バイト）：プログラムROM情報問い合わせ

レスポンス	H'35	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'35」（1バイト）：プログラムROM情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したプログラムROMのエリアの数
プログラムROMのマットエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：チェックサム

(h) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数
	ブロック先頭アドレス		ブロック最終アドレス
	...		
	SUM		

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：チェックサム

(i) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM（1バイト）：チェックサム

(j) データフラッシュ有無問い合わせ

データフラッシュ有無問い合わせに対して、ブートプログラムはデータフラッシュの有無を応答します。

コマンド

H'2A

- コマンド「H'2A」（1バイト）：データフラッシュ有無問い合わせ

レスポンス

H'3A	サイズ	データフラッシュ有無	SUM
------	-----	------------	-----

- レスポンス「H'3A」（1バイト）：データフラッシュ有無問い合わせに対する応答
- サイズ（1バイト）：データフラッシュ有無の文字数、固定値で1
- データフラッシュ有無（1バイト）：データフラッシュの有無
H'00=データフラッシュなし
H'01=データフラッシュあり
- SUM（1バイト）：チェックサム（コマンドからSUMまで加算し、H'00となるように設定）

(k) データフラッシュ情報問い合わせ

データフラッシュ情報問い合わせに対して、ブートプログラムはデータフラッシュのエリア数とアドレスを応答します。

コマンド

H'2B

- コマンド「H'2B」（1バイト）：データフラッシュ情報問い合わせ

レスポンス

H'3B	サイズ	エリア数	
エリア先頭アドレス		エリア最終アドレス	
...			
SUM			

- レスポンス「H'3B」（1バイト）：データフラッシュ情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したデータフラッシュのエリアの数
データフラッシュのエリアが連続の場合はH'01、存在しない場合はH'00
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス、存在しない場合は不要
- エリア最終アドレス（4バイト）：エリアの最終アドレス、存在しない場合は不要
エリア先頭アドレス、エリアの最終アドレスのデータがエリア数分続く
- SUM（1バイト）：チェックサム（コマンドからSUMまで加算し、H'00となるように設定）

(l) クロック切り替え情報問い合わせ

クロック切り替え情報問い合わせに対して、ブートプログラムはクロック切り替え可否を応答します。

コマンド

H'2C

- コマンド「H'2C」（1バイト）：クロック切り替え情報問い合わせ

レスポンス

H'3C	サイズ	切り替え可否	SUM
------	-----	--------	-----

- レスポンス「H'3C」（1バイト）：クロック切り替え情報問い合わせに対する応答
- サイズ（1バイト）：切り替え可否のサイズ、固定値で1
- 切り替え可否（1バイト）：内部／外部クロック切り替えの可否
H'00=切り替え不可
H'01=切り替え可
- SUM（1バイト）：チェックサム（コマンドからSUMまで加算し、H'00となるように設定）

(m) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド

H'3F	サイズ	ビットレート	入力周波数
分周比数	分周比 1	分周比 2	
SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、分周比数、分周比の合計サイズ
- ビットレート（2バイト）：新ビットレート
1/100の値とする（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数
ビット 15：種別（0：外部クロック、1：オンチップオシレータ）
ビット 14～0：デバイスの入力クロック周波数
周波数（MHz）の小数点2位までの値とする
（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 分周比数（1バイト）：デバイスで選択可能な分周比数、
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 分周比1（1バイト）：メイン動作周波数の分周比
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- 分周比2（1バイト）：周辺動作周波数の分周比
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- SUM（1バイト）：チェックサム

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK
エラーレスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：チェックサムエラー
 - H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
 - H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
 - H'26：分周比エラー、分周比が一致しない
 - H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(4) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

- 種別判定：ビット 15 で外部クロックまたはオンチップオシレータかチェックします。
- 周波数判定：ビット 14～0 で受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば入力周波数エラーです。

2. 分周比

受信した分周比の値が、すでに選択されたデバイスのクロックモードに対する分周比と一致するかどうかをチェックします。一致しなければ分周比エラーです。

3. 動作周波数

受信した入力周波数と分周比とから動作周波数を計算します。入力周波数は LSI に供給される周波数で、動作周波数は実際に LSI が動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (ϕ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が 4% 未満であるかどうかをチェックします。誤差が 4% 以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図7.9に示します。

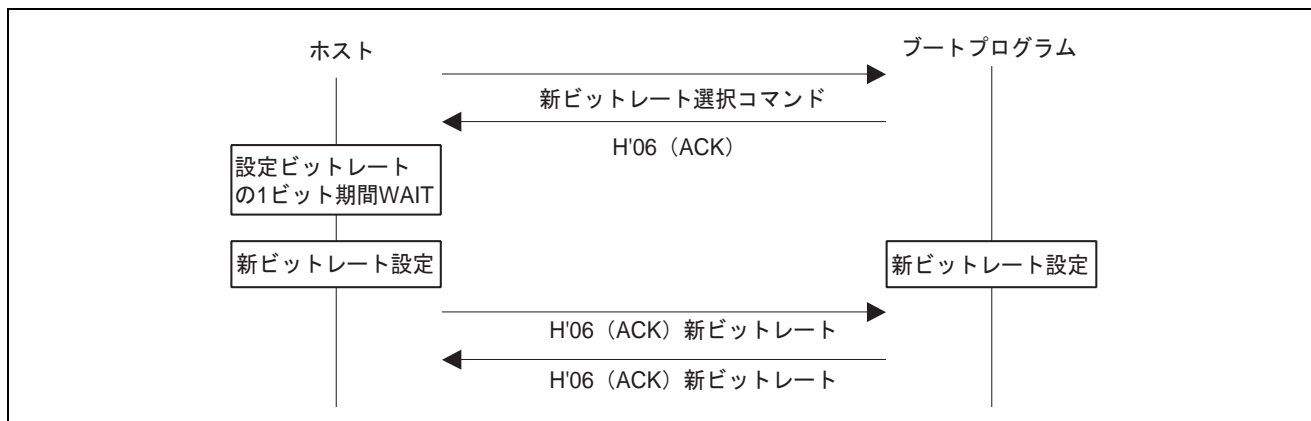


図 7.9 新ビットレート選択のシーケンス

(5) 書き込み/消去ステータス遷移 (ID チェックなし)

書き込み/消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザ ROM 領域のデータを消去します。消去が完了すると ACK を応答し、書き込み/消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」(1バイト) : 書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 書き込み消去ステータス遷移に対する応答 (IDチェックなし)
消去プログラムを転送した後、ユーザROM領域が正常にデータを消去できたときACK

エラーレスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」(1バイト) : 書き込み消去ステータス遷移に対するエラー応答
- エラーコード「H'51」(1バイト) : 消去エラー、エラーが発生し消去できなかった

(6) 書き込み/消去ステータス遷移 (ID チェックあり)

書き込み/消去ステータス遷移に対して、ブートプログラムは表 7.6 に示すユーザ ROM 領域にコントロールコード (H'52、H'45) がある場合、ID チェック処理を行います。

コマンド

H'40

- コマンド「H'40」(1バイト) : 書き込み消去ステータス遷移

レスポンス

H'16

- レスポンス「H'16」(1バイト) : 書き込み消去ステータス遷移に対する応答 (IDチェック有)

表 7.6 ユーザ ROM 領域プロテクトコードアドレス

	H'000004	H'000005	H'000006	H'000007	H'000010	H'000011	H'000012	H'000013
ブート モード	コントロール コード	認証 ID (56 ビット)						

(7) ID チェック

ID チェック有の応答後、ホスト側から ID チェックコマンドと ID を送信します。

コマンド

H'60	サイズ	ID (16 バイト)	SUM
------	-----	-------------	-----

- コマンド「H'60」(1バイト) : ID チェック
- サイズ (1バイト) : コマンド、サイズ、チェックサムを除いた送信データのバイト数。固定値で H'10
- ID (16バイト) : 下位8バイトが ID として有効。上位8バイトのデータは H'FF とします。

【例】ID が 8 バイトの H'55112233、H'44556677 の場合、一致するデータは

H'FFFFFFFF、H'FFFFFFFF、H'55112233、H'44556677

ID が 6 バイトの H'55112233、H'4455 の場合、一致するデータは

H'FFFFFFFF、H'FFFFFFFF、H'55112233、H'4455FFFF

- SUM (1バイト) : チェックサム

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ID チェックに対する応答 (ID チェックあり)

ID チェックに成功したとき ACK

エラーレスポンス

H'E0	H'xx
------	------

- エラーレスポンス「H'E0」(1バイト) : ID チェックに対するエラー応答

ERROR : (1 バイト) : エラーコード

H'11 : チェックサムエラー

H'61 : ID 不一致エラー

H'63 : ID 不一致時の消去エラー

(8) チェックサムエラー

ホスト側でサムチェックの値が異常であることを検出した場合は、ホスト側の判断で再度、同じコマンドを出します。ブートプログラム側には再送機能はありません。

ブートプログラム側でサムチェックの値が正しくないと判断したときは、チェックサムエラーで応答します。

エラーレスポンス

H'xx	H'11
------	------

- レスポンス「H'xx」（1バイト）：コマンドのビット7を1にしたエラー応答、
たとえば、デバイス選択コマンド「H'10」のときのエラーレスポンスは「H'90」
- エラーコード「H'11」（1バイト）：チェックサムエラー

(9) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラーレスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(10) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択終了後、分周比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 分周比、動作周波数の情報に従って、新ビットレート選択（H'3F）をしてください。
7. 新ビットレート選択が終了後、プログラムROM情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザROM領域への書き込み消去情報を問い合わせてください。
8. 7.の各問い合わせが終了後、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

(11) 書き込み／消去ステータス

書き込み／消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み／消去コマンド一覧を表 7.7 に示します。

表 7.7 書き込み／消去コマンド一覧

コマンド	コマンド名	機 能
H'43	ユーザ ROM 領域書き込み選択	ユーザ ROM 領域書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4B	プログラム ROM のサムチェック	プログラム ROM のサムチェック
H'4D	プログラム ROM のブランクチェック	プログラム ROM のブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ
H'61	データフラッシュのサムチェック	データフラッシュのサムチェック
H'62	データフラッシュのブランクチェック	データフラッシュのブランクチェック
H'71	ロックビットステータスリード	ロックビットの状態の読み出し
H'77	ロックビットプログラム	ロックビットの書き込み
H'75	ロックビット無効	ロックビット機能の無効化
H'7A	ロックビット有効	ロックビット機能の有効化

1. 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し、書き込み方式と書き込みエリアを選択します。

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 7.10 に示します。

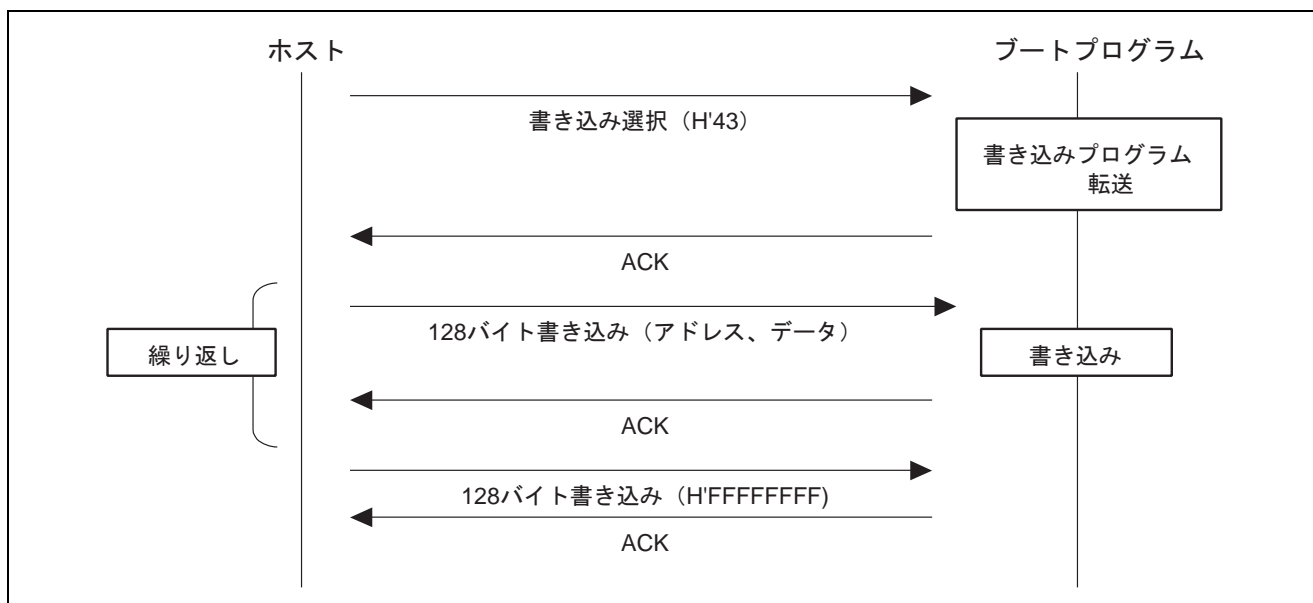


図 7.10 書き込みシーケンス

2. 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 7.11 に示します。

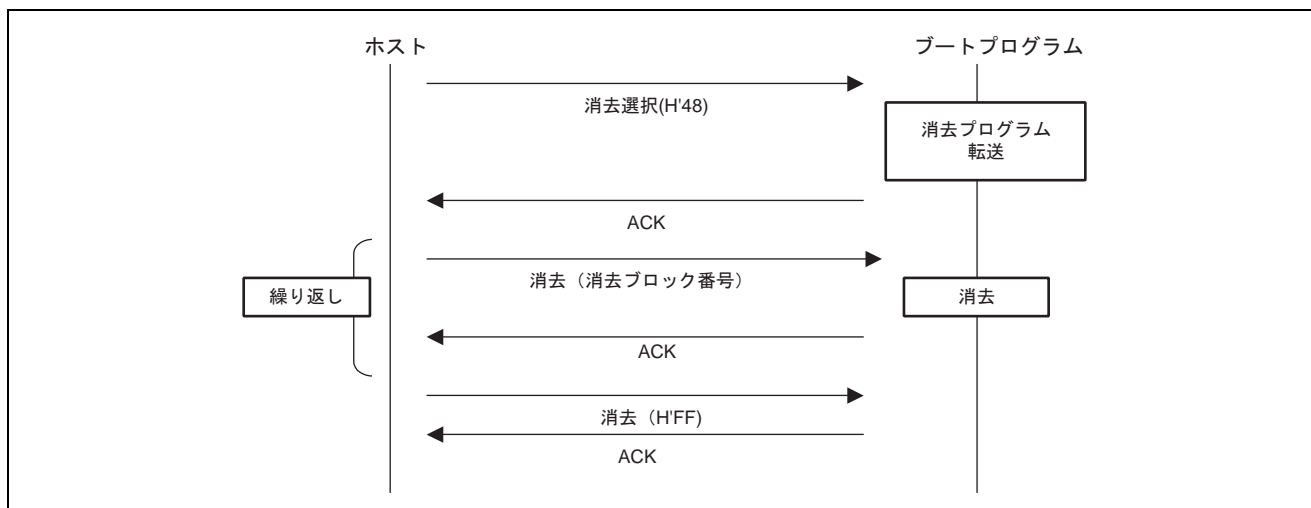


図 7.11 消去シーケンス

(a) ユーザ ROM 領域書き込み選択

ユーザ ROM 領域書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザ ROM 領域に書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザROM領域書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザROM領域書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラーレスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザROM領域書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) 128 バイト書き込み

128 バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザ ROM 領域に書き込みます。

コマンド	H'50	アドレス						
	データ	...						
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数 例) H'00、H'01、H'00、H'00 : H'01000000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：チェックサムエラー
 - H'2A：アドレスエラー、アドレスが指定のエリアの範囲にない
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：終了コード（H'FF、H'FF、H'FF、H'FF）
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答

- **ERROR** : (1バイト) : エラーコード
H'11 : チェックサムエラー
H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

(c) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザ ROM 領域のデータを消去します。

コマンド

H'48

- コマンド「H'48」 (1バイト) : 消去選択

レスポンス

H'06

- レスポンス「H'06」 (1バイト) : 消去選択に対する応答、消去プログラムを転送したときACK

エラーレスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」 (1バイト) : 消去選択に対するエラー応答
- **ERROR** : (1バイト) : エラーコード
H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(d) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラーレスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：チェックサムエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(e) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス			
	読み出しサイズ			SUM			

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）

H'01：ユーザ ROM 領域

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：チェックサム

レスポンス	H'52	読み出しサイズ					
	データ	...					
	SUM						

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：チェックサム

エラーレスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：チェックサムエラー
 - H'2A：アドレスエラー
 - 読み出しアドレスがマットの範囲にない
 - H'2B：サイズエラー
 - 読み出しサイズがマットの範囲を超えている

(f) プログラム ROM のサムチェック

プログラム ROM のサムチェックに対して、ブートプログラムはプログラム ROM のデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」 (1バイト) : プログラムROMのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」 (1バイト) : プログラムROMのサムチェックに対する応答
- サイズ (1バイト) : サムチェックデータの文字数、固定値で4
- マットのサムチェック (4バイト) : プログラムROMのサムチェック値、バイト単位で加算
- SUM (1バイト) : チェックサム (本レスポンスの)

(g) プログラム ROM のブランクチェック

プログラム ROM のブランクチェックに対して、ブートプログラムはプログラム ROM がすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」 (1バイト) : プログラムROMのブランクチェック

レスポンス

H'06

- レスポンス「H'06」 (1バイト) : プログラムROMのブランクチェックに対する応答、エリアがすべてブランク (H'FF) のときACK

エラーレスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」 (1バイト) : プログラムROMのブランクチェックに対するエラー応答
- エラーコード「H'52」 (1バイト) : 未消去エラー

(h) データフラッシュのサムチェック

データフラッシュのサムチェックに対して、ブートプログラムはデータフラッシュのデータを加算してその結果を応答します。

コマンド

H'61

- コマンド「H'61」（1バイト）：データフラッシュのサムチェック

レスポンス

H'71	サイズ	サムチェック	SUM
------	-----	--------	-----

- レスポンス「H'71」（1バイト）：データフラッシュのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- サムチェック（4バイト）：データフラッシュのサムチェック値、バイト単位で加算
- SUM（1バイト）：チェックサム（コマンドからSUMまで加算し、H'00となるように設定）

(i) データフラッシュのブランクチェック

データフラッシュのブランクチェックに対して、ブートプログラムはデータフラッシュがすべてブランクであることをチェックしてその結果を応答します。

コマンド

H'62

- コマンド「H'62」（1バイト）：データフラッシュのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：データフラッシュのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラーレスポンス

H'E2	H'52
------	------

- エラーレスポンス「H'E2」（1バイト）：データフラッシュのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

(j) ロックビットステータスリード

ユーザROM領域（データフラッシュを除く）のロックビットを読み取りその結果を応答します。

コマンド	H'71	サイズ	エリア	中位アドレス	上位アドレス	SUM
------	------	-----	-----	--------	--------	-----

- コマンド「H'71」（1バイト）：ロックビットステータスリード
- サイズ（1バイト）：エリア、中位アドレス、上位アドレスの合計サイズ、固定値で3
- エリア（1バイト）：H'01：ユーザROM領域
- 中位アドレス（1バイト）：指定ブロックの最後尾アドレスの中位アドレス（8～15ビット）
- 上位アドレス（1バイト）：指定ブロックの最後尾アドレスの上位アドレス（16～23ビット）
- SUM（1バイト）：チェックサム（コマンドからSUMまで加算し、H'00となるように設定）

レスポンス	ステータス
-------	-------

- ステータス（1バイト）：ビット6が0でロック状態
- ステータス（1バイト）：ビット6が1でアンロック状態

エラーレスポンス

H'F1	ERROR
------	-------

- エラーレスポンス「H'F1」（1バイト）：ロックビットステータスリードに対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：チェックサムエラー
H'2A：アドレスエラー、指定ブロックアドレス不正

(k) ロックビットプログラム

指定ブロック（データフラッシュを除く）をロック状態にします。

コマンド	H'77	サイズ	エリア	中位アドレス	上位アドレス	SUM
------	------	-----	-----	--------	--------	-----

- コマンド「H'77」（1バイト）：ロックビットプログラム
- サイズ（1バイト）：エリア、中位アドレス、上位アドレスの合計サイズ、固定値で3
- エリア（1バイト）：H'01：ユーザROM領域
- 中位アドレス（1バイト）：指定ブロックの最後尾アドレスの中位アドレス（8～15ビット）
- 上位アドレス（1バイト）：指定ブロックの最後尾アドレスの上位アドレス（16～23ビット）
- SUM（1バイト）：チェックサム

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：ロックビットプログラムに対する応答、ACK

エラーレスポンス

H'F7	ERROR
------	-------

- エラーレスポンス「H'F7」（1バイト）：リードロックビットステータスに対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：チェックサムエラー
H'2A：アドレスエラー
H'53：書き込みエラー、ロックビットの書き込みエラー発生

(l) ロックビット有効

ロックビット機能を有効にします。

コマンド	H'7A
------	------

- コマンド「H'7A」（1バイト）：ロックビット有効

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：ロックビット有効に対する応答、ACK

(m) ロックビット無効

ロックビット機能を無効にします。

コマンド	H'75
------	------

- コマンド「H'75」（1バイト）：ロックビット無効

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：ロックビット無効に対する応答、ACK

(n) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数、固定値で2
- STATUS（1バイト）：ブートプログラムのステータス
- ERROR（1バイト）：エラー状態
ERROR=0 で正常
ERROR が 0 以外で異常
- SUM（1バイト）：チェックサム

表 7.8 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	書き込みまたは消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 7.9 エラーコード

コード	内 容
H'00	エラーなし
H'11	チェックサムエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	分周比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'61	ID 不一致エラー
H'63	ID 不一致時の消去エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

7.5.3 ユーザモードでの書き込み／消去

ユーザモードでもユーザが用意した書き込み／消去処理に分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み／消去処理を書き込んでおくか、書き込み／消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み／消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み／消去プログラムは内蔵 RAM に転送して実行してください。図 7.12 にユーザモードでの書き込み／消去手順の例を示します。書き込み／消去プログラムは「7.6 書き込み／消去処理」に沿ったものを用意してください。

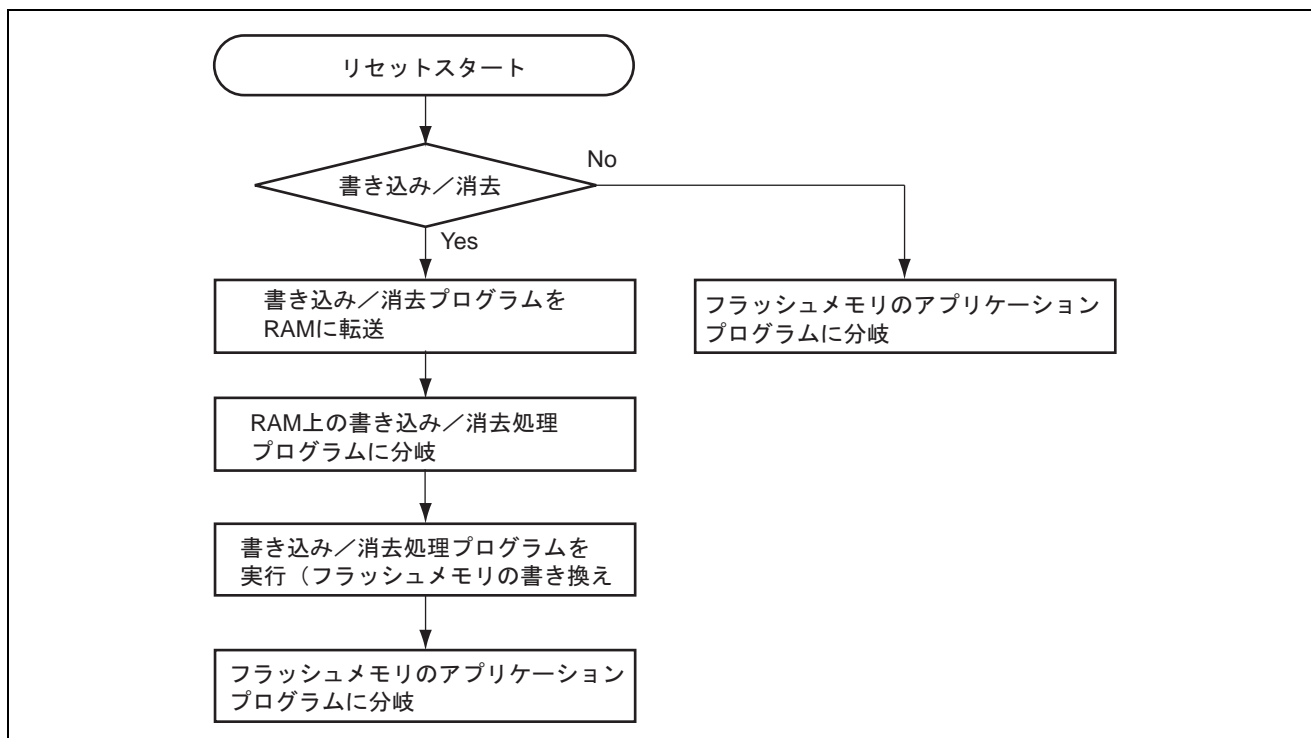


図 7.12 ユーザモードにおける書き込み/消去例（EW0 モード）

7.6 書き込み／消去処理

オンボードでのフラッシュメモリの書き込み／消去は CPU がソフトウェアコマンドを実行する方式（CPU 書き換え）を採用しています。

7.6.1 ソフトウェアコマンド

表 7.10 にワード命令ソフトウェアコマンド一覧を、表 7.11 にバイト命令ソフトウェアコマンド一覧を示します。ワード命令を使用するか、バイト命令を使用するかは、FLMCR1 の FMWUS ビットで指定します。

表 7.10 ソフトウェアコマンド一覧（ワード命令 FMWUS=1）

ソフトウェアコマンド	第1コマンドサイクル			第2コマンドサイクル			第3コマンドサイクル			コマンド使用	
	モード	アドレス	データ	モード	アドレス	データ	モード	アドレス	データ	EW0	EW1
イレーズ	ライト	X	H'2020	ライト	BA	H'D0D0				○	○
プログラム	ライト	WA	H'4141	ライト	WA	WD1	ライト	WA	WD2	○	○
ブランクチェック	ライト	X	H'2525	ライト	BA	H'D0D0				○	○
ロックビットプログラム	ライト	X	H'7777	ライト	BA	H'D0D0				○	○
リードアレイ	ライト	X	H'FFFF							○	—
クリアステータス	ライト	X	H'5050							○	○
ロックビットリード	ライト	X	H'7171	リード	BA	H'xxxx				○	X

【記号説明】 x : ユーザ ROM 領域の任意の番地

xx : 8 ビットの任意のデータ

BA : ブロックの任意の番地

WA : 書き込み番地（アドレス下位 2 ビットは無視されます。各コマンドサイクルの書き込み番地は同一番地を設定してください。）

WDn : 書き込みデータ（16 ビット）

表 7.11 ソフトウェアコマンド一覧 (バイト命令 FMWUS=0)

ソフトウェアコマンド	第1コマンドサイクル			第2コマンドサイクル			第3コマンド~第5コマンド サイクル			コマンド使用	
	モード	アドレス	データ	モード	アドレス	データ	モード	アドレス	データ	EW0	EW1
イレーズ	ライト	X	H'20	ライト	BA	H'D0				○	○
プログラム	ライト	WA	H'41	ライト	WA	WD1	ライト	WA	WD2~ WD4	○	○
ブランクチェック	ライト	X	H'25	ライト	BA	H'D0				○	○
ロックビットプログラム	ライト	X	H'77	ライト	BA	H'D0				○	○
リードアレイ	ライト	X	H'FF							○	—
クリアステータス	ライト	X	H'50							○	○
ロックビットリード	ライト	X	H'71	リード	BA	H'xx				○	X

【記号説明】 x : ユーザ ROM 領域の任意の番地

xx : 8 ビットの任意のデータ

BA : ブロックの任意の番地

WA : 書き込み番地 (アドレス下位 2 ビットは無視されます。各コマンドサイクルの書き込み番地は同一番地を指定してください。)

WDn : 書き込みデータ (8 ビット)

(1) CPU 書き換えモードの初期化

ソフトウェアコマンド発行を行う前に CPU 書き換えモードの設定、およびソフトウェアコマンド発行を許可する必要があります。

図 7.13 に CPU 書き換えモード初期化を示します。

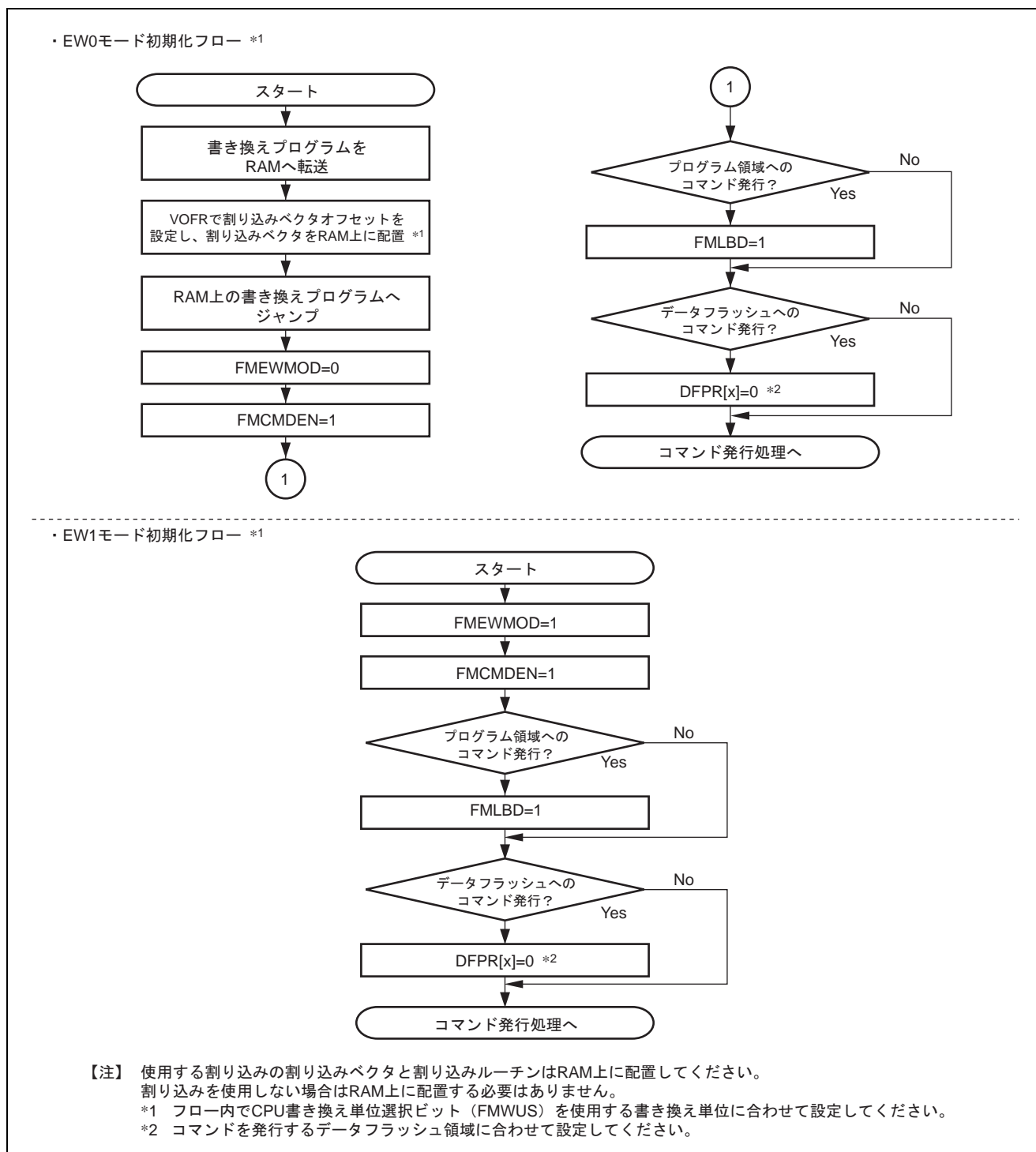


図 7.13 E/W モード初期化

(2) イレーズコマンド

第1コマンドサイクルで H'20、第2コマンドサイクルで H'D0 をブロックの任意の番地に書くと指定されたブロックに対し自動的に消去/消去ベリファイを開始します。

消去の終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、消去期間中は 0、終了後は 1 になります。

消去終了後、FLMSTR の FMEBSF ビットで消去の結果を知ることができます（(9) フルステータスチェック参照）。

また、指定されたブロックのロックビットが 0（ロック状態）で FMLBD ビットが 0（ロックビット有効）の場合、指定ブロックに対するイレーズコマンドは受け付けられません。

図 7.14 にイレーズサスペンド機能未使用時のフローを、図 7.15 にイレーズサスペンド機能使用時のフローを示します。

イレーズサスペンド機能使用時において、イレーズサスペンド後イレーズレジュームにより消去を再開する場合、PC がインクリメントし正常に命令フェッチができないことがあります。これを回避するために、FMSPREQ=0 ライト直後に NOP 命令を 3 個追加してください。また、RAM 上に書き換え制御プログラムを配置し EW1 モードでイレーズサスペンドを行う場合は、DTC を使用しないでください。

EW1 モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

また、FLMSTR の FMRDY ビットは消去開始と共に 0 となり、終了と共に 1 に戻ります。

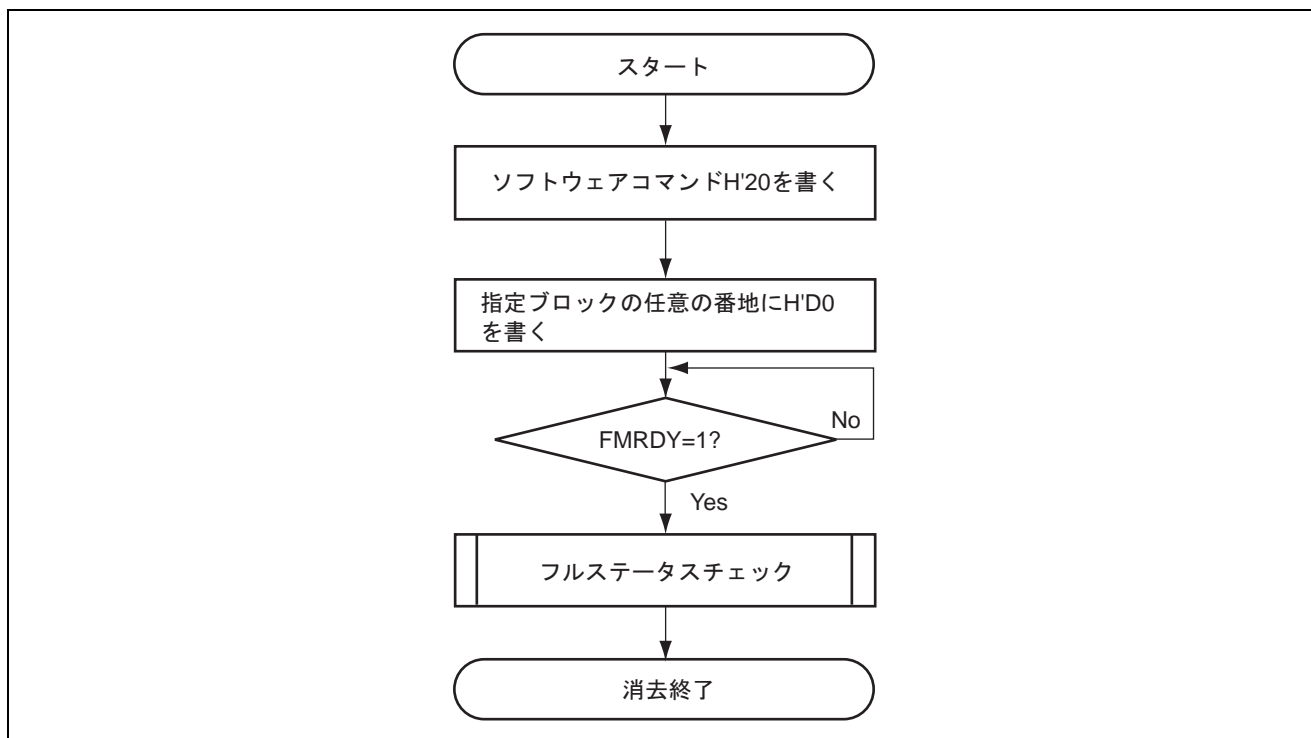


図 7.14 イレーズサスペンド機能未使用時のフロー

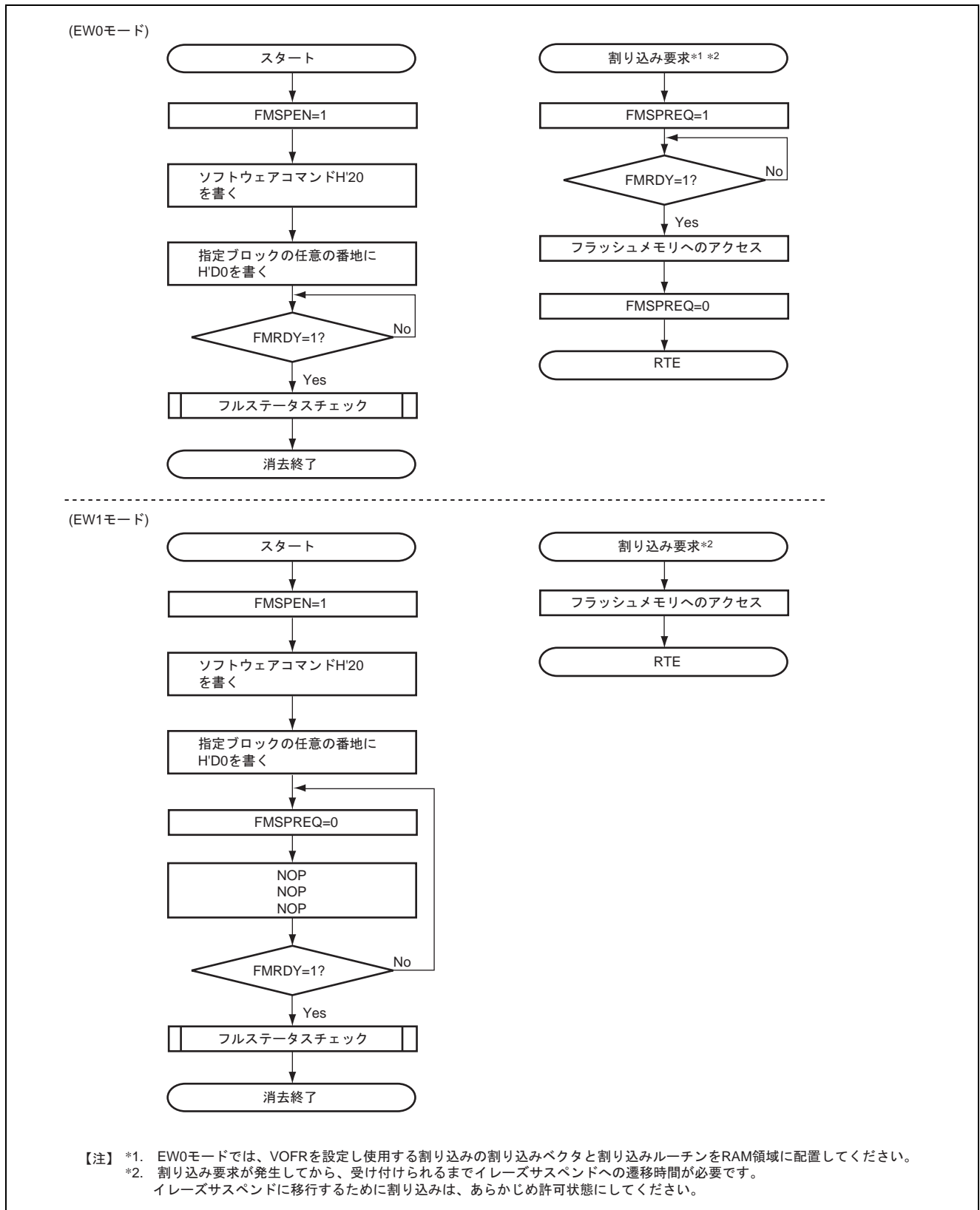


図 7.15 イレーズサスペンド機能使用時のフロー

(3) プログラムコマンド

4 バイト単位でフラッシュメモリにデータを書き込むコマンドです。

コマンドおよびデータのサイズは、FLMCR1 の FMWUS ビットで設定できます。FMWUS ビットが 0 の場合、バイト命令での書き込みになります。第一コマンドサイクルで H'41 を書き、第二コマンドサイクル～第五コマンドサイクルで書き込み番地にデータを書くと自動的に書き込みとベリファイを開始*します。

FMWUS ビットが 1 の場合、ワード命令での書き込みになります。第一コマンドサイクルで H'4141 を書き、第二コマンドサイクル・第三コマンドサイクルで書き込み番地にデータを書くと、書き込みとベリファイを開始*します。

プログラムの終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、書き込み期間中は 0、終了後は 1 になります。

書き込み終了後、FLMSTR の FMPSRF ビットで書き込みの結果を知ることができます（(9) フルステータスチェック参照）。

図 7.16 に書き込みフローを示します。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、指定されたブロックのロックビットが 0（ロック状態）で FMLBD ビットが 0（ロックビット有効）の場合、指定ブロックに対するプログラムコマンドは受け付けられません。

EW1 モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

また、FLMSTR の FMRDY ビットはプログラム開始と共に 0 となり、終了と共に 1 に戻ります。

【注】 * 書き込み番地の下位 2 ビットは無視されます。

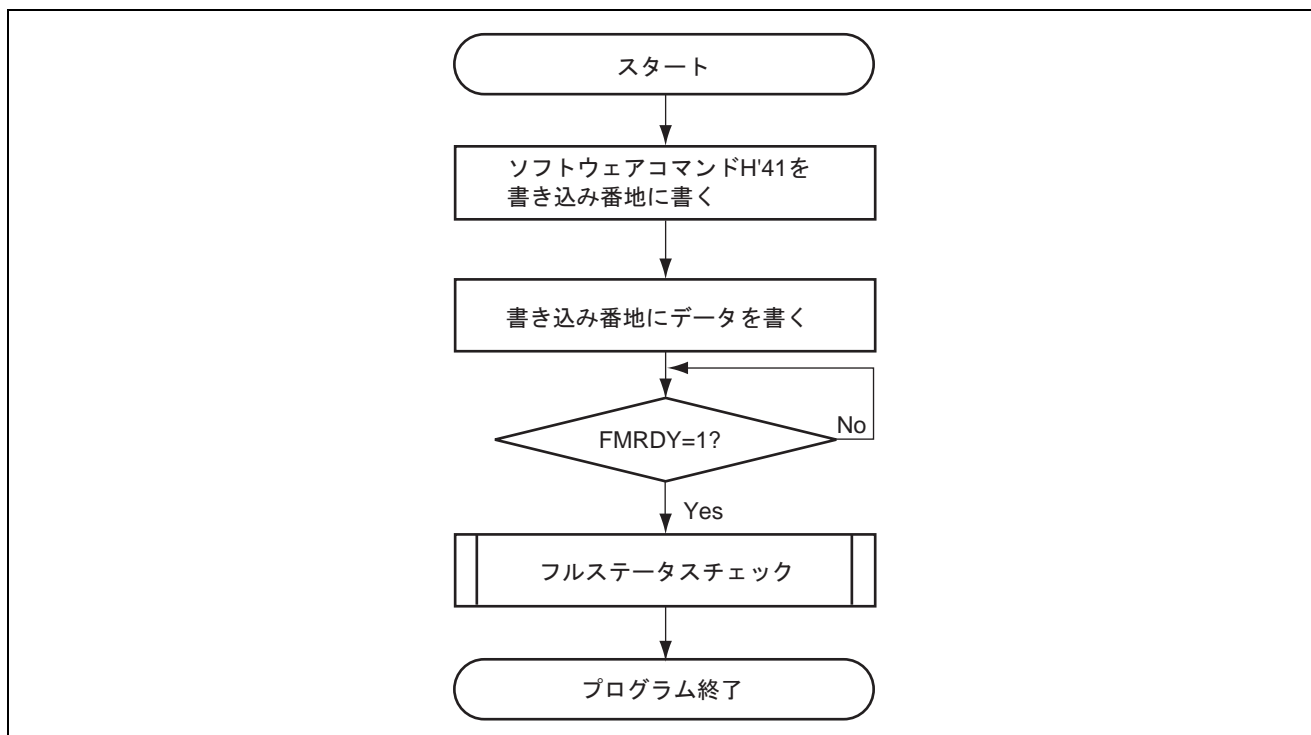


図 7.16 書き込みフロー

(4) ブランクチェックコマンド

第一コマンドサイクルで H'25、第二コマンドサイクルで H'D0 をブロックの任意の番地に書くと指定されたブロックに対しブランクチェックを開始します。

ブランクチェックの終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、ブランクチェック期間中は 0、終了後は 1 になります。

ブランクチェック終了後、FLMSTR の FMEBSF ビットでブランクチェックの結果を知ることができます((9) フルステータスチェック参照)。

図 7.17 にブランクチェックフローを示します。

また、FLMSTR の FMRDY ビットはブランクチェック開始と共に 0 となり、終了と共に 1 に戻ります。

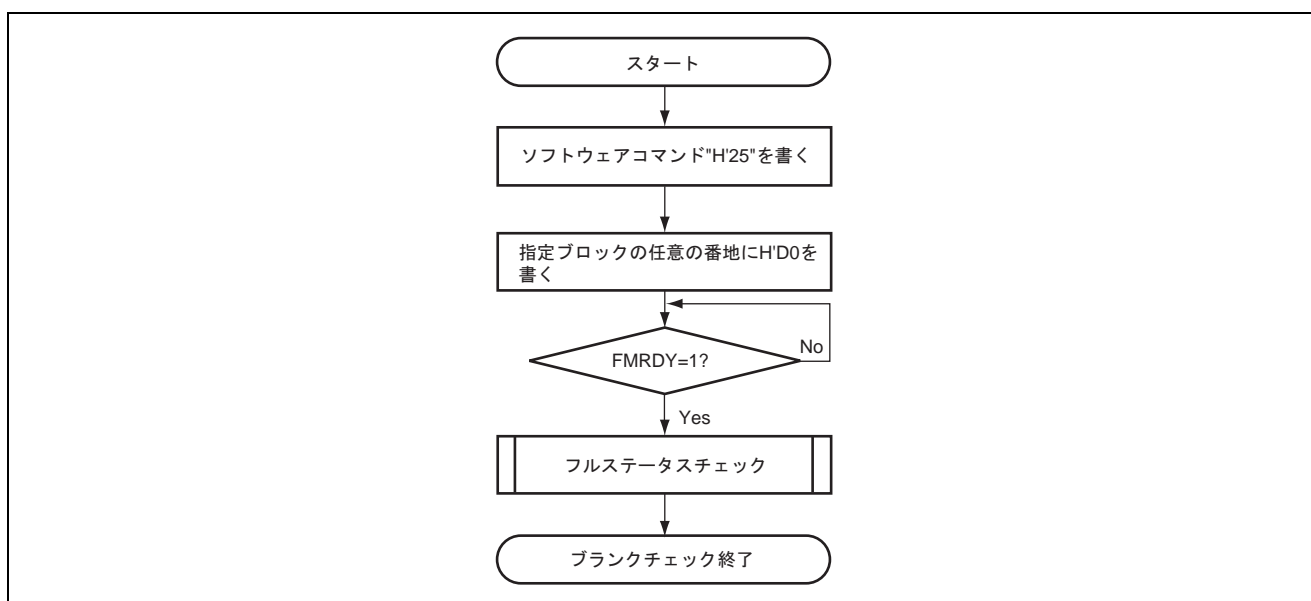


図 7.17 ブランクチェックフロー

(5) ロックビットプログラムコマンド

第一コマンドサイクルで H'77、第二コマンドサイクルで H'D0 をブロックの任意の番地を書く指定されたブロックに対しロックビット書き込みを開始します。

ロックビット書き込みの終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、ロックビット書き込み期間中は 0、終了後は 1 になります。

ロックビット書き込み終了後、FLMSTR の FMPSF ビットで書き込みの結果を知ることができます（(9) フルステータスチェック参照）。

図 7.18 にロックビット書き込みフローを示します。

また、FLMSTR の FMRDY ビットはロックビット書き込み開始と共に 0 となり、終了と共に 1 に戻ります。

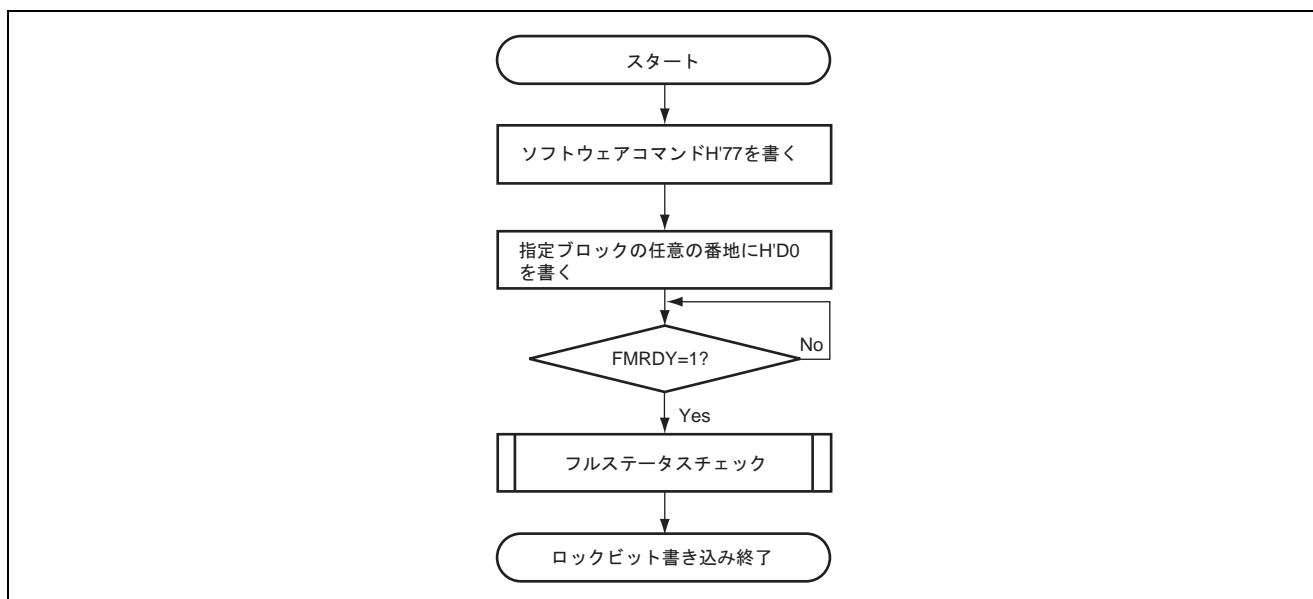


図 7.18 ロックビット書き込みフロー

(6) リードアレイコマンド

フラッシュメモリのデータが読めるモードへ遷移するコマンドです。

第一コマンドサイクルで HFF を書くと、リードアレイモードになります。次のコマンドサイクル以降で指定番地を読み出すと、指定した番地のデータが読み出せます。

リードアレイモードは他のコマンドが書かれるまでは保持されるので、複数の番地を続けて読み出せます。

(7) ロックビットリードコマンド

フラッシュメモリのロックビットが読めるコマンドです。

第一コマンドサイクルで H71 を書き込み、第二コマンドサイクルで指定ブロックアドレス BA の番地をリードすると、リードしたデータからロックビットの値を知ることができます。ワード命令を使用した場合は、リードしたデータのビット 14 とビット 6 にロックビットが反映され、バイト命令を使用した場合は、ビット 6 に反映されます。ロックビットリードコマンドを実行する際は EW0 モードを使用してください。

(8) クリアステータスコマンド

ステータスフラグを 0 にするコマンドです。

第一コマンドサイクルで H50 を書くと、FLMSTR の FMPRSF ビットと FMEBSF ビットが 0 になります。

(9) フルステータスチェック

各コマンド（リードアレイ、ロックビットリード、クリアステータスを除く）を発行した場合は、フルステータスチェックを行い、コマンド実行によるエラーの有無を確認します。

エラーが発生すると、FLMSTR の FMEBSF ビットと FMPRSF ビットが 1 になり、各エラーの発生を示します。

表 7.12 にエラーと FLMSTR の状態を、図 7.19 にフルステータスチェックのフローと各エラー発生時の対処方法を示します。

表 7.12 エラーと FLMSTR の状態

FLMSTR の状態		エラー	エラー発生条件
FMEBSF	FMPRSF		
0	0	正常終了	
0	1	プログラムエラー	プログラムコマンドを実行し、正しく書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットプログラムコマンドを実行し、正しく書き込みされなかったとき
1	0	イレーズエラー	イレーズコマンドを実行し、正しく消去されなかったとき
		ブランクチェックエラー	ブランクチェックコマンドを実行し、指定ブロックがブランクではなかったとき
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> • コマンドが正しく書き込まれなかったとき • 2 サイクルのコマンドの最終サイクルでデータに書いてもよい値 (H'D0 または H'FF) 以外のデータを書いたとき • イレーズサスペンド中にイレーズコマンドを入力したとき • イレーズサスペンド中にサスペンドブロックへのプログラムコマンドを入力したとき

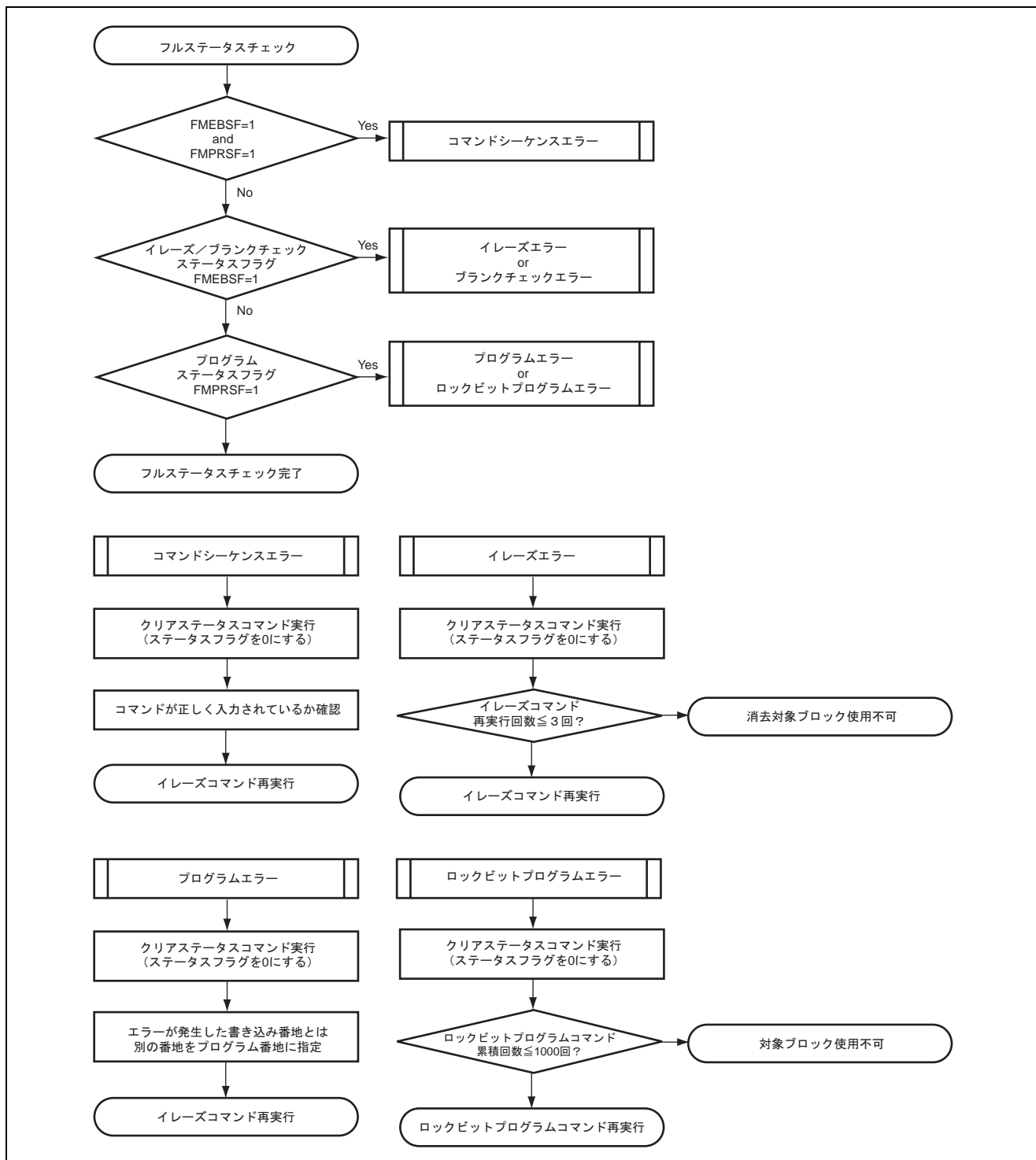


図 7.19 フルステータスチェックのフローと各エラー発生時の対処方法

(10) コマンド発行例

図 7.20 にプログラムコマンド発行例を、図 7.21 にイレーズコマンド発行例を、図 7.22 にリードアレイコマンド発行例を示します。

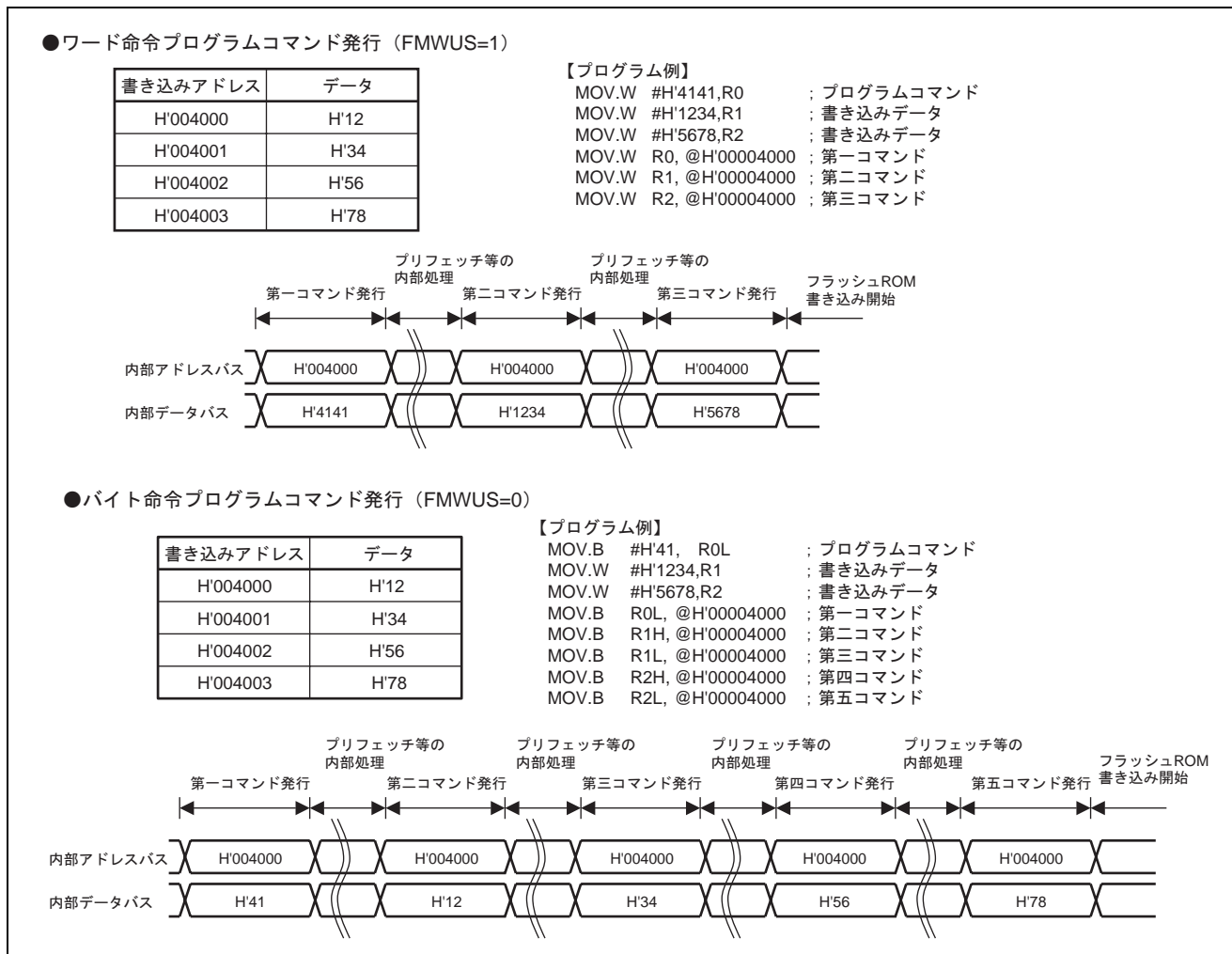


図 7.20 プログラムコマンド発行例

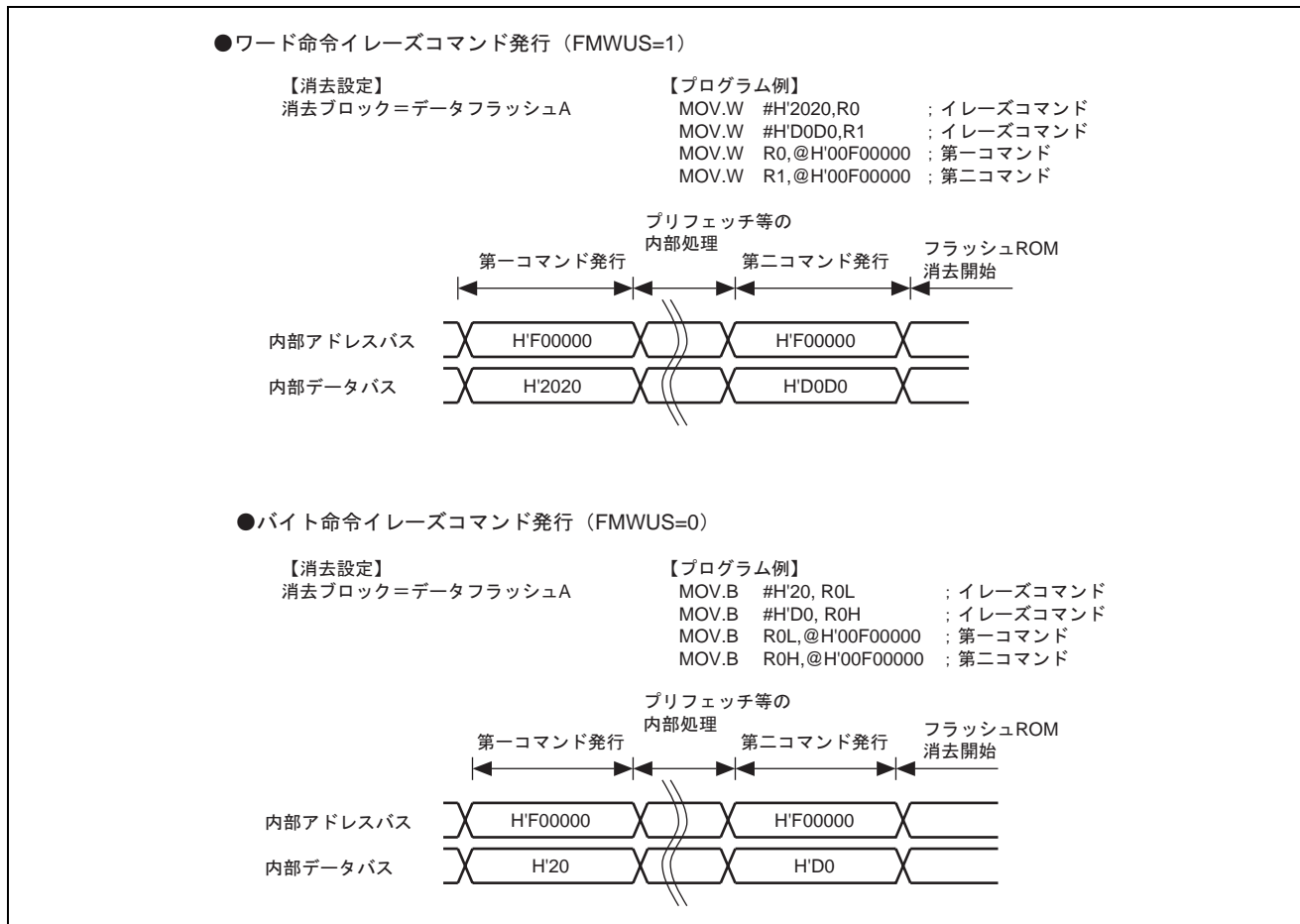


図 7.21 イレーズコマンド発行例

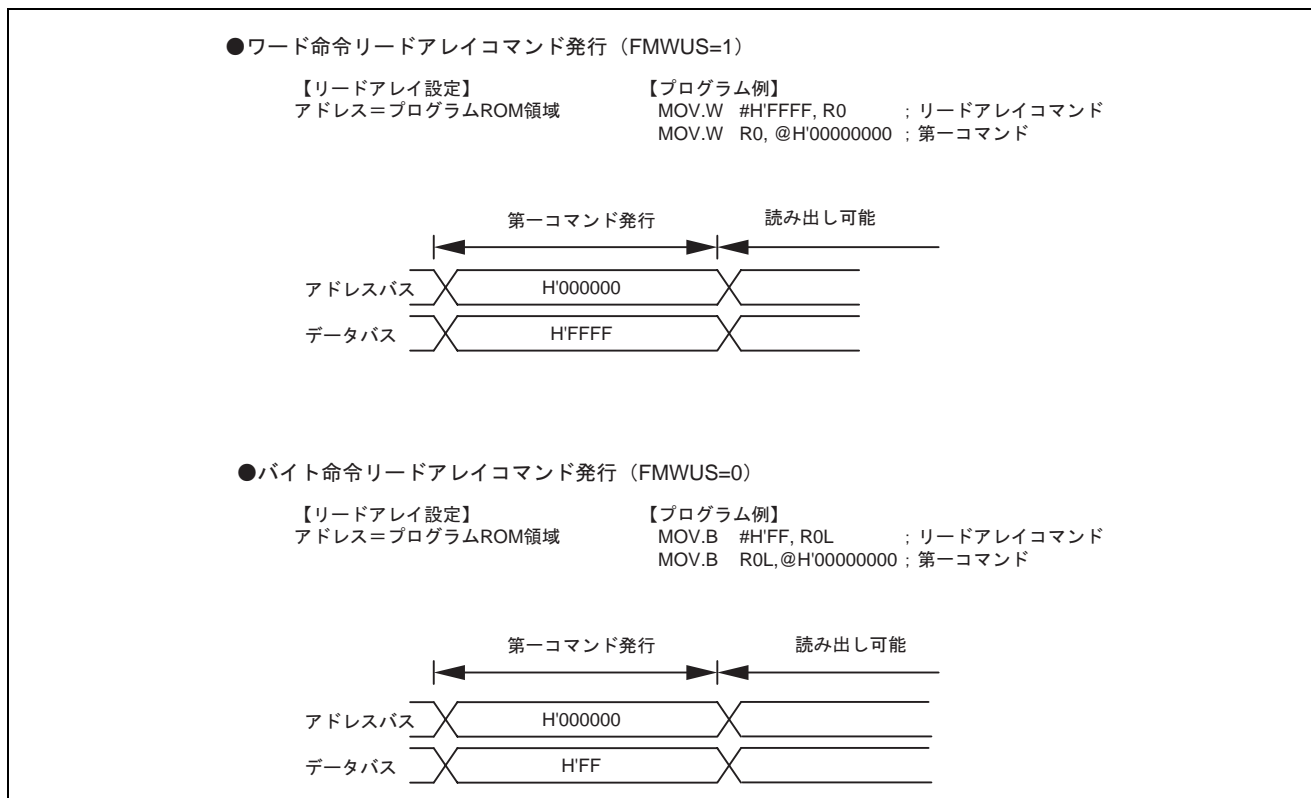


図 7.22 リードアレイコマンド発行例

7.7 プロテクト

フラッシュメモリに対する読み込み／書き込み／消去プロテクトの状態にはソフトウェアプロテクトによるもの、ロックビットプロテクトによるものおよびライターモードやブートモードでのアクセスを制限するプロテクトがあります。

7.7.1 ソフトウェアプロテクト

ソフトウェアでフラッシュメモリコントロールレジスタ (FLMCR1) の FMCMDEN をクリアすることでソフトウェアコマンド無効状態になります。この状態でソフトウェアコマンドを入力してもコマンドは実行されません。

また、フラッシュメモリデータフラッシュプロテクトレジスタ (DFPR) の設定により、データフラッシュはブロック毎にプロテクトが可能です。DFPR の DFPR1 ビットおよび DFPR0 ビットを 1 に設定すると全データフラッシュがプロテクト状態になります。

7.7.2 ロックビットプロテクト

ロックビットプロテクトはロックビットプログラムコマンドでロックビットを書き込むことで、書き込み／消去無効状態になります。この状態でイレーズ／プログラムコマンドを入力してもコマンドは実行されません。これにより、CPU の暴走などによる誤消去・誤書き込みを防止します。

プロテクトを解除する場合は、FLMCR1 の FMLBD ビットをセットすることで一時的に無効にすることができます。ロックビットをクリアする場合は、指定ブロックを消去してください。また、ロックビットはデータフラッシュには使用できません。

7.7.3 PROM ライタプロテクト／ブートモードプロテクト

PROM ライタプロテクト／ブートモードプロテクトは表 7.13 に示すユーザ ROM 領域に指定データを書き込むことにより有効になります。

プロテクトを解除する場合は、PROM ライタ／オンボードプログラマにてユーザ ROM 領域の全消去を行ってください。PROM ライタプロテクト仕様は表 7.14、ブートモードでのプロテクト仕様は表 7.15 に示します。

表 7.13 ユーザ ROM 領域プロテクトコードアドレス

	H'000004	H'000005	H'000006	H'000007	H'000010	H'000011	H'000012	H'000013
PROM ライタ	コントロール	未使用						
ブートモード	コード	認証 ID コード (56bit)						

表 7.14 PROM ライタプロテクト仕様

コントロールコード*	プロテクト状態	処理内容
H'FF	PROM ライタプロテクト無効	PROM ライタによるリード／書き込み／消去が可能です。
上記以外	PROM ライタプロテクト有効	PROM ライタによる書き込み／消去が可能です。 ただし、リードは不可能になります。

【注】 * ブートモードプロテクトのコントロールコードと併用されます。

表 7.15 ブートモードプロテクト仕様

コントロールコード*1	プロテクト状態	シリアル接続時の動作
下記以外	プロテクト無効	全ブロックが消去されます。
H'45	ID 認証プロテクト 1*2	ID の認証ができた場合、リード／書き込み／消去が可能です。 ID の認証ができない場合、全ブロックが消去されます。
H'52	ID 認証プロテクト 2	ID の認証ができた場合、リード／書き込み／消去が可能です。 ID の認証ができない場合、再度認証を行います。
	ID 認証プロテクト 2+*3	コントロールコードを H'52 にし認証 ID に特定コード (H'50H'72H'6FH'74H'65H'63H'74) を書き込むと、シリアル接続 処理を受け付けなくなります。

【注】 *1 PROM ライタのコントロールコードと併用されます。

*2 ID コードを間違えた場合、最大 3 回まで再認証を行うことができます。

*3 一度設定すると PROM ライタで消去を行わない限り、シリアル接続を受け付けなくなります。

7.8 ライタモード

ライターモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス当該製品をサポートしているライターを使用してください。

7.9 使用上の注意事項

(1) 使用禁止命令

EW0 モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

- TRAPA命令

(2) 割り込み

表 7.16 に CPU 書き換えモード時の割り込みを示します。

表 7.16 CPU 書き換えモード時の割り込み

モード	状態	割り込み要求受付時	ウォッチドッグタイマリセット、LVD リセット、ソフトウェアリセット、端子リセット発生時
EW0	イレーズコマンド実行中	割り込みベクタを RAM に配置することで、使用することができます。(4.2.7 割り込みベクタオフセットレジスタを参照してください。)	リセットが発生するとすぐに、ソフトウェアコマンドを強制停止し、フラッシュメモリ、LSI をリセットします。 ソフトウェアコマンド実行中のブロックまたはアドレスは強制停止されるため、正常値が読み出せなくなる場合がありますので、再起動した後、再度消去を実行し正常終了することを確認してください。 ウォッチドッグタイマは、コマンド動作中も停止しないため、定期的にウォッチドッグタイマを初期化してください。
	プログラムコマンド実行中		
	ロックビットプログラムコマンド実行中		
	ブランクチェックコマンド実行中		
EW1	イレーズコマンド実行中 (イレーズサスペンド無効)	イレーズ実行が優先され、割り込み要求が待たされます。イレーズが終了した後、割り込み処理が実行します。	リセットが発生するとすぐに、ソフトウェアコマンドを強制停止し、フラッシュメモリ、LSI をリセットします。 ソフトウェアコマンド実行中のブロックまたはアドレスは強制停止されるため、正常値が読み出せなくなる場合がありますので、再起動した後、再度消去を実行し正常終了することを確認してください。 ウォッチドッグタイマは、コマンド動作中も停止しないため、ウォッチドッグタイマのオーバフロー時間を消去/書き込み実行時間以上になるように設定してください。
	イレーズコマンド実行中 (イレーズサスペンド有効)	イレーズサスペンドへの遷移時間後にイレーズを中断し、割り込み処理を実行します。割り込み処理が終了後、FLMCR2 の FMSPREQ ビットを 0 (イレーズリスタート) にすることにより、イレーズを再開することができます。	
	プログラムコマンド実行中	ソフトウェアコマンド実行が優先され、割り込み要求が待たされます。ソフトウェアコマンドが終了した後、割り込み処理が実行します。	
	ロックビットプログラムコマンド実行中		
	ブランクチェックコマンド実行中		

(3) アクセス方法

下記に示すプロテクトのあるビットに値を書く場合は、当該ビットに0を書いた後、続けて1を書くかまたは、1を書いた後、続けて0を書く必要があります。なお、0を書いた後、1を書くか1を書いた後、0を書くまでに他の内部 I/O レジスタへのアクセスや割り込みが入らないようにしてください。また、必ず MOV 命令で書いてください。

(a) 1にする場合、0を書いた後続けて1を書くビット

FLMCR1 : FMLBD ビットおよび FMCMDEN ビット

FLMCR2 : FMISPE ビットおよび FMSPEN ビット

(b) 0にする場合、1を書いた後続けて0を書くビット

DFPR : DFPR1 ビット、DFPR0 ビット

FLMCR1 の FMCMDEN ビットを 0→1、FMLBD ビットを 0→1 にする場合のプログラム例を示します。

```
MOV.B   @FLMCR1,R0L   :FLMCR1=H'04   R0L=H'04   R0H=H'xx
MOV.B   @FLMCR1,R0H   :FLMCR1=H'04   R0L=H'04   R0H=H'04
BSET    #0,R0H         :FLMCR1=H'04   R0L=H'04   R0H=H'05
BSET    #3,R0H         :FLMCR1=H'04   R0L=H'04   R0H=H'0D
MOV.B   R0L,@FLMCR1   :FLMCR1=H'04   R0L=H'04   R0H=H'0D
MOV.B   R0H,@FLMCR1   :FLMCR1=H'0D   R0L=H'04   R0H=H'0D
```

(4) ユーザ ROM 領域の書き換え

EW0 モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。書き換え制御プログラムの書き換えは、電源の安定性を十分に確保した状態で行ってください。

(5) プログラム

既書き込みされた番地に対する追加書き込みはしないでください。

(6) LSI モード遷移

ソフトウェアコマンド実行中に、スタンバイモード、スリープモードに移行しないでください。

(7) フラッシュメモリのソフトウェアコマンド実行中のリセット

プログラムコマンド、ロックビットプログラムコマンド、ブランクチェックコマンド、イレーズコマンドを実行中に端子リセット、LVD リセット、ウォッチドッグリセット、ソフトウェアリセットを入れないでください。リセットを入れた場合、実行中のコマンドが強制停止されます。強制停止した場合は指定されたブロックに再度イレーズコマンドを実行し、正常終了することを確認してください。

(8) EW0 モード、ソフトウェアコマンド許可状態でのユーザ ROM 領域読み出し

EW0 モードにおいてソフトウェアコマンド許可状態でユーザ ROM 領域を読み出す場合は、バスマスタ動作クロック ϕ_s を 5MHz 以下に設定して読み出してください。

(9) 多回数の書き換え

多回数の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどしてブランク領域ができるだけ残らないように書き込みを実施した上で1回の消去を行ってください。たとえば、1組 16 バイトを書き込む場合、最大 256 組の書き込みを実施した上で1回の消去をすることで、実効的な書き換え回数を少なくすることができます。

ブロックごとに何回消去したかを情報として残し、制限回数を設けることを推奨します。

(10) 消去でイレーズエラーが発生したとき

消去でイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスコマンド → イレーズコマンドを少なくとも3回実行してください。

(11) イレーズサスペンド機能を使用する場合の注意事項

CPU 書き換えモードにおいて、ユーザ ROM 領域消去時にイレーズサスペンド機能を使用する場合、ユーザ ROM 領域の消去動作が完了しない場合があります。

1. 発生条件

CPU 書き換えモードにおいて、EW0 モードまたは EW1 モードでのユーザ ROM 領域消去時、消去期間内で、一定周期でイレーズサスペンド機能を繰り返し使用した場合。

(1) EW0モード

- 一定周期で割り込みが繰り返し発生したとき
- 一定周期でFLMCR2のFMSPREQビット="1"の設定を繰り返し実行したとき

(2) EW1モード

- 一定周期で割り込みが繰り返し発生したとき

2. 対策

一定周期でイレーズサスペンド機能を繰り返し使用しないでください。消去期間内でイレーズサスペンド機能を繰り返し使用する場合は、周期が一定にならないように下記 2-1 式に示す条件で、要求周期をソフトウェアで制御してください。

$$T2 > T1 + TD \text{ または } T2 < T1 - TD \dots (2-1)$$

TD = 1.0 μ s (製品の動作周波数によらない一定時間)

T1 : 前回のイレーズサスペンド要求から今回のイレーズサスペンド要求までの期間

T2 : 今回のイレーズサスペンド要求から、次のイレーズサスペンド要求までの期間

8. RAM

H8S/20103 グループ、H8S/20223 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループ、H8S/20235 グループは、高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 1 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
64 ピン	H8S/20103	8K バイト	H'FFDF80~H'FFFF7F
	H8S/20102	8K バイト	H'FFDF80~H'FFFF7F
	H8S/20115	12K バイト	H'FFCF80~H'FFFF7F
	H8S/20114	12K バイト	H'FFCF80~H'FFFF7F
80 ピン	H8S/20223	8K バイト	H'FFDF80~H'FFFF7F
	H8S/20222	8K バイト	H'FFDF80~H'FFFF7F
	H8S/20203	8K バイト	H'FFDF80~H'FFFF7F
	H8S/20202	8K バイト	H'FFDF80~H'FFFF7F
	H8S/20215	12K バイト	H'FFCF80~H'FFFF7F
	H8S/20214	12K バイト	H'FFCF80~H'FFFF7F
	H8S/20235	12K バイト	H'FFCF80~H'FFFF7F
	H8S/20234	12K バイト	H'FFCF80~H'FFFF7F

9. 周辺機能マッピングコントローラ (PMC)

周辺機能マッピングコントローラ (PMC) は、マルチプレクス端子の機能を選択するためのレジスタで構成されています。マルチプレクス端子は二つのグループで構成されています。グループ 1 はポート 1~3、5、6 で構成されており、グループ 2 はポート 8、ポート 9*、ポート A で構成されています。表 9.1、表 9.2 にマルチプレクス端子が選択可能な機能を示します。

【注】 * ポート 9 は、H8S/20103 グループ、H8S/20115 グループにはありません。

表 9.1 選択可能なマルチプレクス機能一覧 (ポート 1、2、3、5、6)

グループ 1	端子名	機能 1	機能 2	機能 3	機能 4	機能 5	機能 6
ポート 1 ポート 2 ポート 3 ポート 5 ポート 6	Pm7	$\overline{\text{IRQ7}}$ 入力	TXD_2 出力	TXD_3 出力	SSI 入出力	FTIOD1 入出力	$\overline{\text{ADTRG2}}$ 入力
	Pm6	$\overline{\text{IRQ6}}$ 入力	RXD_2 入力	RXD_3 入力	$\overline{\text{SCS}}$ 入出力	FTIOC1 入出力	$\overline{\text{ADTRG1}}$ 入力
	Pm5	$\overline{\text{IRQ5}}$ 入力	SCK3_2 入出力	SCK3_3 入出力	SSCK 入出力	FTIOB1 入出力	$\overline{\text{TRDOI_1}}$ 入力
	Pm4	$\overline{\text{IRQ4}}$ 入力	$\overline{\text{TRDOI_0}}$ 入力	FTCI 入力*	SSO 入出力	FTIOA1 入出力	TRAIO 入出力
	Pm3	$\overline{\text{IRQ3}}$ 入力	$\overline{\text{TRCOI}}$ 入力*	FTIOD 入出力*	TGIOB 入出力	FTIOD0 入出力	TRAO 出力
	Pm2	$\overline{\text{IRQ2}}$ 入力	TXD 出力	FTIOC 入出力*	TGIOA 入出力	FTIOC0 入出力	TRBO 出力
	Pm1	$\overline{\text{IRQ1}}$ 入力	RXD 入力	FTIOB 入出力*	TCLKB 入力	FTIOB0 入出力	TRGB 入力
	Pm0	$\overline{\text{IRQ0}}$ 入力	SCK3 入出力	FTIOA 入出力*	TCLKA 入力	FTIOA0 入出力	TREO 出力
初期マッピングポート		ポート 1	ポート 2	ポート 3	ポート 5	ポート 6	なし

【記号説明】 m=1、2、3、5、6

【注】 *1 タイマ RC は、H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループにはありません。したがって、当該機能は選択できません。

*2 IIC2 の SCL/SDA 端子は P56/P57 以外選択できません。

表 9.2 選択可能なマルチプレクス機能一覧 (ポート 8、9、A)

グループ 2	端子名	機能 1	機能 2	機能 3	機能 4	機能 5* ²	機能 6
ポート 8	Pn7	$\overline{\text{IRQ7}}$ 入力	—	TXD 出力	TREO 出力	FTIOD3 入出力	TXD_3 出力
ポート 9	Pn6	$\overline{\text{IRQ6}}$ 入力	—	RXD 入力	TRBO 出力	FTIOC3 入出力	RXD_3 入力
ポート A* ¹	Pn5	$\overline{\text{IRQ5}}$ 入力	—	SCK3 入出力	TRAI0 入出力	FTIOB3 入出力	SCK3_3 入出力
	Pn4	$\overline{\text{IRQ4}}$ 入力	—	—	TRGB 入力	FTIOA3 入出力	—
	Pn3	$\overline{\text{IRQ3}}$ 入力	—	—	TRAO 出力	FTIOD2 入出力	—
	Pn2	$\overline{\text{IRQ2}}$ 入力	—	—	—	FTIOC2 入出力	—
	Pn1	$\overline{\text{IRQ1}}$ 入力	—	—	—	FTIOB2 入出力	—
	Pn0	$\overline{\text{IRQ0}}$ 入力	—	—	—	FTIOA2 入出力	—
初期マッピングポート		なし	なし	なし	ポート 8	ポート 9	なし

【記号説明】 n=8、9、A

— : 予約

【注】 *1 H8S/20223 グループ、H8S/20235 グループでは、ポート A が A/D 変換器のアナログ入力端子と兼用になっているため、マルチプレクス機能は選択できません。

また、H8S/20203 グループ、H8S/20215 グループでは、PA3~PA0 端子が A/D 変換器のアナログ入力端子と兼用になっているため、マルチプレクス機能は選択できません。

*2 H8S/20103 グループ、H8S/20115 グループでは機能 5 は選択できません。

9.1 レジスタの説明

- 周辺機能マッピングレジスタ書き込みプロテクトレジスタ (PMCWPR)
- ポート1周辺機能マッピングレジスタ1 (PMCR11)
- ポート1周辺機能マッピングレジスタ2 (PMCR12)
- ポート1周辺機能マッピングレジスタ3 (PMCR13)
- ポート1周辺機能マッピングレジスタ4 (PMCR14)
- ポート2周辺機能マッピングレジスタ1 (PMCR21)
- ポート2周辺機能マッピングレジスタ2 (PMCR22)
- ポート2周辺機能マッピングレジスタ3 (PMCR23)
- ポート2周辺機能マッピングレジスタ4 (PMCR24)
- ポート3周辺機能マッピングレジスタ1 (PMCR31)
- ポート3周辺機能マッピングレジスタ2 (PMCR32)
- ポート3周辺機能マッピングレジスタ3 (PMCR33)
- ポート3周辺機能マッピングレジスタ4 (PMCR34)
- ポート5周辺機能マッピングレジスタ1 (PMCR51)
- ポート5周辺機能マッピングレジスタ2 (PMCR52)
- ポート5周辺機能マッピングレジスタ3 (PMCR53)
- ポート5周辺機能マッピングレジスタ4 (PMCR54)
- ポート6周辺機能マッピングレジスタ1 (PMCR61)
- ポート6周辺機能マッピングレジスタ2 (PMCR62)
- ポート6周辺機能マッピングレジスタ3 (PMCR63)
- ポート6周辺機能マッピングレジスタ4 (PMCR64)
- ポート8周辺機能マッピングレジスタ3 (PMCR83)
- ポート8周辺機能マッピングレジスタ4 (PMCR84)
- ポート9周辺機能マッピングレジスタ1 (PMCR91) *¹
- ポート9周辺機能マッピングレジスタ2 (PMCR92) *¹
- ポート9周辺機能マッピングレジスタ3 (PMCR93) *¹
- ポート9周辺機能マッピングレジスタ4 (PMCR94) *¹
- ポートA周辺機能マッピングレジスタ3 (PMCR A3) *²
- ポートA周辺機能マッピングレジスタ4 (PMCR A4) *²

【注】 *¹ H8S/20103 グループ、H8S/20115 グループでは、PMCR91～PMCR94 はありません。

*² H8S/20223 グループ、H8S/20235 グループでは、PMCR A3、PMCR A4 はありません。

9.1.1 周辺機能マッピングレジスタ書き込みプロテクトレジスタ (PMCWPR)

アドレス: H'FF0065

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BOWI	PMCRWE	—	—	—	—	—	—
------	--------	---	---	---	---	---	---

リセット後の値: 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	BOWI	ビット6 書き込み禁止	0: 本レジスタのビット6 (PMCRWE ビット) への書き込みを許可 1: 本レジスタのビット6 (PMCRWE ビット) への書き込みを禁止	W
6	PMCRWE	PMCR レジスタ 書き込み許可	0: PMCR への書き込みを禁止 1: PMCR への書き込みを許可	R/W
5~0	—	予約ビット	リードすると0が読み出されます。ライト時は0をライトしてください。	—

【注】 本レジスタの書き換えは必ず MOV 命令を使用してください。

- BOWI (ビット6書き込み禁止)

このビットの書き込み値が0のときだけ、本レジスタのビット6 (PMCRWE ビット) に対する書き込みが有効になります。リードすると常に1が読み出されます。

9.1.2 ポートグループ 1 周辺機能マッピングレジスタ 1~4 (PMCRn1~PMCRn4) (n=1、2、3、5、6)

(1) ポート 1

(a) ポート 1 周辺機能マッピングレジスタ 1 (PMCR11)

アドレス: H'FF0040

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P11MD[2:0]	—	P10MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 0 1 0 0 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P11MD[2:0]	P11 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ1}}$ 入力 (初期値) 010 : RXD 入力 (SCI3_1) 011 : FTIOB 入出力 (タイマ RC) * ² 100 : TCLKB 入力 (タイマ RG) 101 : FTIOB0 入出力 (タイマ RD_0) 110 : TRGB 入力 (タイマ RB) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P10MD[2:0]	P10 機能選択* ¹	000 : 設定禁止 001 : $\overline{\text{IRQ0}}$ 入力 (初期値) 010 : SCK3 入出力 (SCI3_1) 011 : FTIOA 入出力 (タイマ RC) * ² 100 : TCLKA 入力 (タイマ RG) 101 : FTIOA0 入出力 (タイマ RD_0) 110 : TREO 出力 (タイマ RE) 111 : 設定禁止	R/W

【注】 *1 H8S/20103 グループ、H8S/20115 グループには、P10 端子はありません。P10MD[2:0]は予約ビットになります。初期値は B'001 です。ライト時も B'001 を書き込んでください。

*2 H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループは選択できません。

(b) ポート 1 周辺機能マッピングレジスタ 2 (PMCR12)

アドレス: H'FF0041

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P13MD[2:0]	—	P12MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 0 1 0 0 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P13MD[2:0]	P13 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ3}}$ 入力 (初期値) 010 : $\overline{\text{TRCOI}}$ 入力 (タイマ RC) * 011 : FTIOD 入出力 (タイマ RC) * 100 : TGI0B 入出力 (タイマ RG) 101 : FTIOD0 入出力 (タイマ RD_0) 110 : TRAO 出力 (タイマ RA) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P12MD[2:0]	P12 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ2}}$ 入力 (初期値) 010 : TXD 出力 (SCI3_1) 011 : FTIOC 入出力 (タイマ RC) * 100 : TGIOA 入出力 (タイマ RG) 101 : FTIOC0 入出力 (タイマ RD_0) 110 : TRBO 出力 (タイマ RB) 111 : 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループは選択できません。

(c) ポート 1 周辺機能マッピングレジスタ 3 (PMCR13)

アドレス: H'FF0042

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P15MD[2:0]			—	P14MD[2:0]		

リセット後の値: 0 0 0 1 0 0 0 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P15MD[2:0]	P15 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ5}}$ 入力 (初期値) 010 : SCK3_2 入出力 (SCI3_2) 011 : SCK3_3 入出力 (SCI3_3) 100 : SSCK 入出力* ⁴ (SSU) 101 : FTIOB1 入出力 (タイマ RD_0) 110 : $\overline{\text{TRDOI}_1}$ 入力 (タイマ RD_1) * ² 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P14MD[2:0]	P14 機能選択* ¹	000 : 設定禁止 001 : $\overline{\text{IRQ4}}$ 入力 (初期値) 010 : $\overline{\text{TRDOI}_0}$ 入力 (タイマ RD_0) 011 : FTCl 入力 (タイマ RC) * ³ 100 : SSO 入出力* ⁴ (SSU) 101 : FTIOA1 入出力 (タイマ RD_0) 110 : TRAlO 入出力 (タイマ RA) 111 : 設定禁止	R/W

【注】 *1 H8S/20103 グループ、H8S/20115 グループには、P14 端子はありません。P14MD[2:0]は予約ビットになります。初期値は B'001 です。ライト時も B'001 を書き込んでください。

*2 H8S/20103 グループ、H8S/20115 グループは選択できません。

*3 H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループは選択できません。

*4 SSCK 出力端子または SSO 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

(d) ポート 1 周辺機能マッピングレジスタ 4 (PMCR14)

アドレス: H'FF0043

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P17MD[2:0]	—	P16MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 0 1 0 0 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P17MD[2:0]	P17 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ7}}$ 入力 (初期値) 010 : TXD_2 出力 (SCI3_2) 011 : TXD_3 出力 (SCI3_3) 100 : SSI 入出力 (SSU) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P16MD[2:0]	P16 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ6}}$ 入力 (初期値) 010 : RXD_2 入力 (SCI3_2) 011 : RXD_3 入力 (SCI3_3) 100 : $\overline{\text{SCS}}$ 入出力* (SSU) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止	R/W

【注】 * SSU の $\overline{\text{SCS}}$ 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

(2) ポート 2

(a) ポート 2 周辺機能マッピングレジスタ 1 (PMCR21)

アドレス: H'FF0044

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P21MD[2:0]			—	P20MD[2:0]		

リセット後の値: 0 0 1 0 0 0 1 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P21MD[2:0]	P21 機能選択	000: 設定禁止 001: $\overline{\text{IRQ1}}$ 入力 010: RXD 入力 (SCI3_1) (初期値) 011: FTIOB 入出力 (タイマ RC) * 100: TCLKB 入力 (タイマ RG) 101: FTIOB0 入出力 (タイマ RD_0) 110: TRGB 入力 (タイマ RB) 111: 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P20MD[2:0]	P20 機能選択	000: 設定禁止 001: $\overline{\text{IRQ0}}$ 入力 010: SCK3 入出力 (SCI3_1) (初期値) 011: FTIOA 入出力 (タイマ RC) * 100: TCLKA 入力 (タイマ RG) 101: FTIOA0 入出力 (タイマ RD_0) 110: TREO 出力 (タイマ RE) 111: 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

(b) ポート 2 周辺機能マッピングレジスタ 2 (PMCR22)

アドレス: H'FF0045

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P23MD[2:0]	—	P22MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 1 0 0 0 1 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P23MD[2:0]	P23 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ3}}$ 入力 010 : $\overline{\text{TRCOI}}$ 入力 (タイマ RC) (初期値) 011 : FTIOD 入出力 (タイマ RC) * 100 : TGI0B 入出力 (タイマ RG) 101 : FTIOD0 入出力 (タイマ RD_0) 110 : TRAO 出力 (タイマ RA) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P22MD[2:0]	P22 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ2}}$ 入力 010 : TXD 出力 (SCI3_1) (初期値) 011 : FTIOC 入出力 (タイマ RC) * 100 : TGIOA 入出力 (タイマ RG) 101 : FTIOC0 入出力 (タイマ RD_0) 110 : TRBO 出力 (タイマ RB) 111 : 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

(c) ポート 2 周辺機能マッピングレジスタ 3 (PMCR23)

アドレス: H'FF0046

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P25MD[2:0]			—	P24MD[2:0]		

リセット後の値: 0 0 1 0 0 0 1 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P25MD[2:0]	P25 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ5}}$ 入力 010 : SCK3_2 入出力 (SCI3_2) (初期値) 011 : SCK3_3 入出力 (SCI3_3) 100 : SSCK 入出力* ³ (SSU) 101 : FTIOB1 入出力 (タイマ RD_0) 110 : $\overline{\text{TRDO1}}$ 入力 (タイマ RD_1) * ¹ 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P24MD[2:0]	P24 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ4}}$ 入力 010 : $\overline{\text{TRDO0}}$ 入力 (タイマ RD_0) (初期値) 011 : FTCl 入力 (タイマ RC) * ² 100 : SSO 入出力* ³ (SSU) 101 : FTIOA1 入出力 (タイマ RD_0) 110 : TRAlO 入出力 (タイマ RA) 111 : 設定禁止	R/W

【注】 *1 H8S/20103 グループ、H8S/20115 グループでは選択できません。

*2 H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループは選択できません。

*3 SSCK 出力端子または SSO 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

(d) ポート 2 周辺機能マッピングレジスタ 4 (PMCR24)

アドレス: H'FF0047

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P27MD[2:0]			—	P26MD[2:0]		

リセット後の値: 0 0 1 0 0 0 1 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P27MD[2:0]	P27 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ7}}$ 入力 010 : TXD_2 出力 (SCI3_2) (初期値) 011 : TXD_3 出力 (SCI3_3) 100 : SSI 入出力 (SSU) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P26MD[2:0]	P26 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ6}}$ 入力 010 : RXD_2 入力 (SCI3_2) (初期値) 011 : RXD_3 入力 (SCI3_3) 100 : $\overline{\text{SCS}}$ 入出力* (SSU) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止	R/W

【注】 * SSU の $\overline{\text{SCS}}$ 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

(3) ポート 3

(a) ポート 3 周辺機能マッピングレジスタ 1 (PMCR31)

アドレス: H'FF0048

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P31MD[2:0]	—	P30MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 1 1 0 0 1 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P31MD[2:0]	P31 機能選択	000: 設定禁止 001: $\overline{\text{IRQ1}}$ 入力 010: RXD 入力 (SCI3_1) 011: FTIOB 入出力 (タイマ RC) * (初期値) 100: TCLKB 入力 (タイマ RG) 101: FTIOB0 入出力 (タイマ RD_0) 110: TRGB 入力 (タイマ RB) 111: 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P30MD[2:0]	P30 機能選択	000: 設定禁止 001: $\overline{\text{IRQ0}}$ 入力 010: SCK3 入出力 (SCI3_1) 011: FTIOA 入出力 (タイマ RC) * (初期値) 100: TCLKA 入力 (タイマ RG) 101: FTIOA0 入出力 (タイマ RD_0) 110: TREO 出力 (タイマ RE) 111: 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。初期状態では「選択機能なし」となります。

(b) ポート 3 周辺機能マッピングレジスタ 2 (PMCR32)

アドレス: H'FF0049

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P33MD[2:0]	—	P32MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 1 1 0 0 1 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P33MD[2:0]	P33 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ3}}$ 入力 010 : $\overline{\text{TRCOI}}$ 入力 (タイマ RC) 011 : FTIOD 入出力 (タイマ RC) * (初期値) 100 : TGI0B 入出力 (タイマ RG) 101 : FTIOD0 入出力 (タイマ RD_0) 110 : TRAO 出力 (タイマ RA) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P32MD[2:0]	P32 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ2}}$ 入力 010 : TXD 出力 (SCI3_1) 011 : FTIOC 入出力 (タイマ RC) * (初期値) 100 : TGIOA 入出力 (タイマ RG) 101 : FTIOC0 入出力 (タイマ RD_0) 110 : TRBO 出力 (タイマ RB) 111 : 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。初期状態では「選択機能なし」となります。

(c) ポート 3 周辺機能マッピングレジスタ 3 (PMCR33)

アドレス: H'FF004A

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P35MD[2:0]	—	P34MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 1 1 0 0 1 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P35MD[2:0]	P35 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ5}}$ 入力 010 : SCK3_2 入出力 (SCI3_2) 011 : SCK3_3 入出力 (SCI3_3) (初期値) 100 : SSCK 入出力* ³ (SSU) 101 : FTIOB1 入出力 (タイマ RD_0) 110 : $\overline{\text{TRDOI}_1}$ 入力 (タイマ RD_1) * ² 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P34MD[2:0]	P34 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ4}}$ 入力 010 : $\overline{\text{TRDOI}_0}$ 入力 (タイマ RD_0) 011 : FTCl 入力 (タイマ RC) * ¹ (初期値) 100 : SSO 入出力* ³ (SSU) 101 : FTIOA1 入出力 (タイマ RD_0) 110 : TRAI0 入出力 (タイマ RA) 111 : 設定禁止	R/W

【注】 *1 H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。初期状態では「選択機能なし」となります。

*2 H8S/20103 グループ、H8S/20115 グループは選択できません。

*3 SSCK 出力端子または SSO 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

(d) ポート 3 周辺機能マッピングレジスタ 4 (PMCR34)

アドレス: H'FF004B

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P37MD[2:0]	—	P36MD[2:0]
---	------------	---	------------

リセット後の値: 0 0 1 1 0 0 1 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P37MD[2:0]	P37 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ7}}$ 入力 010 : TXD_2 出力 (SCI3_2) 011 : TXD_3 出力 (SCI3_3) (初期値) 100 : SSI 入出力 (SSU) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) * ¹ 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P36MD[2:0]	P36 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ6}}$ 入力 010 : RXD_2 入力 (SCI3_2) 011 : RXD_3 入力 (SCI3_3) (初期値) 100 : $\overline{\text{SCS}}$ 入出力* ² (SSU) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止	R/W

【注】 *1 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループは選択できません。

*2 SSU の $\overline{\text{SCS}}$ 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

(4) ポート 5

(a) ポート 5 周辺機能マッピングレジスタ 1 (PMCR51)

アドレス: H'FF0050

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P51MD[2:0]			—	P50MD[2:0]		

リセット後の値: 0 1 0 0 0 1 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P51MD[2:0]	P51 機能選択	000: 設定禁止 001: $\overline{\text{IRQ1}}$ 入力 010: RXD 入力 (SCI3_1) 011: FTIOB 入出力 (タイマ RC) * 100: TCLKB 入力 (タイマ RG) (初期値) 101: FTIOB0 入出力 (タイマ RD_0) 110: TRGB 入力 (タイマ RB) 111: 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P50MD[2:0]	P50 機能選択	000: 設定禁止 001: $\overline{\text{IRQ0}}$ 入力 010: SCK3 入出力 (SCI3_1) 011: FTIOA 入出力 (タイマ RC) * 100: TCLKA 入力 (タイマ RG) (初期値) 101: FTIOA0 入出力 (タイマ RD_0) 110: TREO 出力 (タイマ RE) 111: 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

(b) ポート 5 周辺機能マッピングレジスタ 2 (PMCR52)

アドレス: H'FF0051

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P53MD[2:0]	—	P52MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 0 0 1 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P53MD[2:0]	P53 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ3}}$ 入力 010 : $\overline{\text{TRCOI}}$ 入力 (タイマ RC) 011 : FTIOD 入出力 (タイマ RC) * 100 : TGI0B 入出力 (タイマ RG) (初期値) 101 : FTIOD0 入出力 (タイマ RD_0) 110 : TRAO 出力 (タイマ RA) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P52MD[2:0]	P52 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ2}}$ 入力 010 : TXD 出力 (SCI3_1) 011 : FTIOC 入出力 (タイマ RC) * 100 : TGIOA 入出力 (タイマ RG) (初期値) 101 : FTIOC0 入出力 (タイマ RD_0) 110 : TRBO 出力 (タイマ RB) 111 : 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

(c) ポート 5 周辺機能マッピングレジスタ 3 (PMCR53)

アドレス: H'FF0052

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P55MD[2:0]	—	P54MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 0 0 1 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P55MD[2:0]	P55 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ5}}$ 入力 010 : SCK3_2 入出力 (SCI3_2) 011 : SCK3_3 入出力 (SCI3_3) 100 : SSCK 入出力* ³ (SSU) (初期値) 101 : FTIOB1 入出力 (タイマ RD_0) 110 : $\overline{\text{TRDOI}_1}$ 入力 (タイマ RD_1) * ² 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P54MD[2:0]	P54 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ4}}$ 入力 010 : $\overline{\text{TRDOI}_0}$ 入力 (タイマ RD_0) 011 : FTCl 入力 (タイマ RC) * ¹ 100 : SSO 入出力* ³ (SSU) (初期値) 101 : FTIOA1 入出力 (タイマ RD_0) 110 : TRAIO 入出力 (タイマ RA) 111 : 設定禁止	R/W

【注】 *1 H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

*2 H8S/20103 グループ、H8S/20115 グループは選択できません。

*3 SSCK 出力端子または SSO 出力端子において NMOS オープンドレイン出力機能を選択する場合は、PMC で必ずポート 5 に割り付けてください。

(d) ポート 5 周辺機能マッピングレジスタ 4 (PMCR54)

アドレス: H'FF0053

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P57MD[2:0]			—	P56MD[2:0]		

リセット後の値: 0 1 0 0 0 1 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P57MD[2:0]	P57 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ7}}$ 入力 010 : TXD_2 出力 (SCI3_2) 011 : TXD_3 出力 (SCI3_3) 100 : SSI/SCL 入出力*1 (SSU/IIC2) (初期値) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P56MD[2:0]	P56 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ6}}$ 入力 010 : RXD_2 入力 (SCI3_2) 011 : RXD_3 入力 (SCI3_3) 100 : $\overline{\text{SCS/SDA}}$ 入出力*1*2 (SSU/IIC2) (初期値) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止	R/W

【注】 *1 IIC2/SSU を IIC2 機能として使用する場合、SCL と SDA は IIC 入出力専用バッファが必要であるため、P56/P57 のみ設定可能です。PMC により他の端子に割り付けることはできません。SSU 機能として使用する場合は、*2 を除いて制限はありません。

また、P56/P57 端子は、他の端子と特性が異なります。IIC2 の SCL/SDA 端子に設定した場合、NMOS オープンドレイン出力になります。他の出力機能に設定した場合は、NMOS プッシュプル出力になり、ハイレベル特性が CMOS 出力と異なりますので、注意してください。

*2 SSU の $\overline{\text{SCS}}$ 出力端子において NMOS オープンドレイン出力機能を選択する場合は、PMC で必ずポート 5 に割り付けてください。

(5) ポート 6

(a) ポート 6 周辺機能マッピングレジスタ 1 (PMCR61)

アドレス: H'FF0054

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P61MD[2:0]	—	P60MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P61MD[2:0]	P61 機能選択	000: 設定禁止 001: $\overline{\text{IRQ1}}$ 入力 010: RXD 入力 (SCI3_1) 011: FTIOB 入出力 (タイマ RC) * 100: TCLKB 入力 (タイマ RG) 101: FTIOB0 入出力 (タイマ RD_0) (初期値) 110: TRGB 入力 (タイマ RB) 111: 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P60MD[2:0]	P60 機能選択	000: 設定禁止 001: $\overline{\text{IRQ0}}$ 入力 010: SCK3 入出力 (SCI3_1) 011: FTIOA 入出力 (タイマ RC) * 100: TCLKA 入力 (タイマ RG) 101: FTIOA0 入出力 (タイマ RD_0) (初期値) 110: TREO 出力 (タイマ RE) 111: 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

(b) ポート 6 周辺機能マッピングレジスタ 2 (PMCR62)

アドレス: H'FF0055

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P63MD[2:0]	—	P62MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P63MD[2:0]	P63 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ3}}$ 入力 010 : $\overline{\text{TRCOI}}$ 入力 (タイマ RC) * 011 : FTIOD 入出力 (タイマ RC) * 100 : TGIOB 入出力 (タイマ RG) 101 : FTIOD0 入出力 (タイマ RD_0) (初期値) 110 : TRAO 出力 (タイマ RA) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P62MD[2:0]	P62 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ2}}$ 入力 010 : TXD 出力 (SCI3_1) 011 : FTIOC 入出力 (タイマ RC) * 100 : TGIOA 入出力 (タイマ RG) 101 : FTIOC0 入出力 (タイマ RD_0) (初期値) 110 : TRBO 出力 (タイマ RB) 111 : 設定禁止	R/W

【注】 * H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

(c) ポート 6 周辺機能マッピングレジスタ 3 (PMCR63)

アドレス: H'FF0056

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P65MD[2:0]			—	P64MD[2:0]		

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P65MD[2:0]	P65 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ5}}$ 入力 010 : SCK3_2 入出力 (SCI3_2) 011 : SCK3_3 入出力 (SCI3_3) 100 : SSCK 入出力* ³ (SSU) 101 : FTIOB1 入出力 (タイマ RD_0) (初期値) 110 : $\overline{\text{TRDOI}_1}$ 入力 (タイマ RD_1) * ² 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P64MD[2:0]	P64 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ4}}$ 入力 010 : $\overline{\text{TRDOI}_0}$ 入力 (タイマ RD_0) 011 : FTCl 入力 (タイマ RC) * ¹ 100 : SSO 入出力* ³ (SSU) 101 : FTIOA1 入出力 (タイマ RD_0) (初期値) 110 : TRAIO 入出力 (タイマ RA) 111 : 設定禁止	R/W

【注】 *1 H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループには、タイマ RC はありません。予約ビットになります。したがって、当該機能は選択できません。

*2 H8S/20103 グループ、H8S/20115 グループは選択できません。

*3 SSCK 出力端子または SSO 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

(d) ポート 6 周辺機能マッピングレジスタ 4 (PMCR64)

アドレス: H'FF0057

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P67MD[2:0]	—	P66MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P67MD[2:0]	P67 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ7}}$ 入力 010 : TXD_2 出力 (SCI3_2) 011 : TXD_3 出力 (SCI3_3) 100 : SSI 入出力 (SSU) 101 : FTIOD1 入出力 (タイマ RD_0) (初期値) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) * ¹ 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P66MD[2:0]	P66 機能選択*	000 : 設定禁止 001 : $\overline{\text{IRQ6}}$ 入力 010 : RXD_2 入力 (SCI3_2) 011 : RXD_3 入力 (SCI3_3) 100 : $\overline{\text{SCS}}$ 入出力* ² (SSU) 101 : FTIOC1 入出力 (タイマ RD_0) (初期値) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止	R/W

【注】 *1 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループは選択できません。

*2 SSU の $\overline{\text{SCS}}$ 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。

9.1.3 ポートグループ 2 周辺機能マッピングレジスタ 1~4 (PMCRn1~PMCRn4) (n=8、9、A)

(1) ポート 8

(a) ポート 8 周辺機能マッピングレジスタ 3 (PMCR83)

アドレス: H'FF005E

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P85MD[2:0]			—	—	—	—

リセット後の値: 0 1 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P85MD[2:0]	P85 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ5}}$ 入力 010 : 設定禁止 011 : SCK3 入出力 (SCI3_1) 100 : TRAIO 入出力 (タイマ RA) (初期値) 101 : FTIOB3 入出力 (タイマ RD_1) * 110 : SCK3_3 入出力 (SCI3_3) 111 : 設定禁止	R/W
3~0	—	予約ビット	リードすると 0 が読み出されます。ライト時も 0 を書き込んでください。	—

【注】 * H8S/20103 グループ、H8S/20115 グループは選択できません。

(b) ポート 8 周辺機能マッピングレジスタ 4 (PMCR84)

アドレス: H'FF005F

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P87MD[2:0]			—	P86MD[2:0]		

リセット後の値: 0 1 0 0 0 1 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P87MD[2:0]	P87 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ7}}$ 入力 010 : 設定禁止 011 : TXD 出力 (SCI3_1) 100 : TREO 出力 (タイマ RE) (初期値) 101 : FTIOD3 入出力 (タイマ RD_1) * 110 : TXD_3 出力 (SCI3_3) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P86MD[2:0]	P86 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ6}}$ 入力 010 : 設定禁止 011 : RXD 入力 (SCI3_1) 100 : TRBO 出力 (タイマ RB) (初期値) 101 : FTIOC3 入出力 (タイマ RD_1) * 110 : RXD_3 入力 (SCI3_3) 111 : 設定禁止	R/W

【注】 * H8S/20103 グループ、H8S/20115 グループは選択できません。

(2) ポート 9

(a) ポート 9 周辺機能マッピングレジスタ 1 (PMCR91)

アドレス: H'FF0060

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P91MD[2:0]	—	P90MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P91MD[2:0]	P91 機能選択	000: 設定禁止 001: $\overline{\text{IRQ1}}$ 入力 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: FTIOB2 入出力 (タイマ RD_1) (初期値) 110: 設定禁止 111: 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P90MD[2:0]	P90 機能選択	000: 設定禁止 001: $\overline{\text{IRQ0}}$ 入力 010: 設定禁止 011: 設定禁止 100: 設定禁止 101: FTIOA2 入出力 (タイマ RD_1) (初期値) 110: 設定禁止 111: 設定禁止	R/W

【注】 H8S/20103 グループ、H8S/20115 グループには、PMCR91 はありません。

(b) ポート 9 周辺機能マッピングレジスタ 2 (PMCR92)

アドレス: H'FF0061

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P93MD[2:0]	—	P92MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P93MD[2:0]	P93 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ3}}$ 入力 010 : 設定禁止 011 : 設定禁止 100 : TRAO 出力 (タイマ RA) 101 : FTIOD2 入出力 (タイマ RD_1) (初期値) 110 : 設定禁止 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P92MD[2:0]	P92 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ2}}$ 入力 010 : 設定禁止 011 : 設定禁止 100 : 設定禁止 101 : FTIOC2 入出力 (タイマ RD_1) (初期値) 110 : 設定禁止 111 : 設定禁止	R/W

【注】 H8S/20103 グループ、H8S/20115 グループには、PMCR92 はありません。

(c) ポート 9 周辺機能マッピングレジスタ 3 (PMCR93)

アドレス: H'FF0062

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	P95MD[2:0]			—	P94MD[2:0]		

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P95MD[2:0]	P95 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ5}}$ 入力 010 : 設定禁止 011 : SCK3 入出力 (SCI3_1) 100 : TRAI0 入出力 (タイマ RA) 101 : FTIOB3 入出力 (タイマ RD_1) (初期値) 110 : SCK3_3 入出力 (SCI3_3) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P94MD[2:0]	P94 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ4}}$ 入力 010 : 設定禁止 011 : 設定禁止 100 : TRGB 入力 (タイマ RB) 101 : FTIOA3 入出力 (タイマ RD_1) (初期値) 110 : 設定禁止 111 : 設定禁止	R/W

【注】 H8S/20103 グループ、H8S/20115 グループには、PMCR93 はありません。

(d) ポート 9 周辺機能マッピングレジスタ 4 (PMCR94)

アドレス: H'FF0063

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	P97MD[2:0]	—	P96MD[2:0]
---	------------	---	------------

リセット後の値: 0 1 0 1 0 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	P97MD[2:0]	P97 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ7}}$ 入力 010 : 設定禁止 011 : TXD 出力 (SCI3_1) 100 : TREO 出力 (タイマ RE) 101 : FTIOD3 入出力 (タイマ RD_1) (初期値) 110 : TXD_3 出力 (SCI3_3) 111 : 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	P96MD[2:0]	P96 機能選択	000 : 設定禁止 001 : $\overline{\text{IRQ6}}$ 入力 010 : 設定禁止 011 : RXD 入力 (SCI3_1) 100 : TRBO 出力 (タイマ RB) 101 : FTIOC3 入出力 (タイマ RD_1) (初期値) 110 : RXD_3 入力 (SCI3_3) 111 : 設定禁止	R/W

【注】 H8S/20103 グループ、H8S/20115 グループには、PMCR94 はありません。

(3) ポート A

(a) ポート A 周辺機能マッピングレジスタ 3 (PMCR3)

アドレス: H'FF0066

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	PA5MD[2:0]			—	PA4MD[2:0]		

リセット後の値: 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
6~4	PA5MD[2:0]	PA5 機能選択	000: 選択機能なし (初期値) 001: $\overline{\text{IRQ5}}$ 入力 010: 設定禁止 011: SCK3 入出力 (SCI3_1) 100: TRAI0 入出力 (タイマ RA) 101: FTIOB3 入出力 (タイマ RD_1) * 110: SCK3_3 入出力 (SCI3_3) 111: 設定禁止	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書き込んでください。	—
2~0	PA4MD[2:0]	PA4 機能選択	000: 選択機能なし (初期値) 001: $\overline{\text{IRQ4}}$ 入力 010: 設定禁止 011: 設定禁止 100: TRGB 入力 (タイマ RB) 101: FTIOA3 入出力 (タイマ RD_1) * 110: 設定禁止 111: 設定禁止	R/W

【注】 H8S/20223 グループ、H8S/20235 グループには、PMCR3 はありません。

* H8S/20103 グループ、H8S/20115 グループは選択できません。

(b) ポート A 周辺機能マッピングレジスタ 4 (PMCR4)

アドレス: H'FF0067

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	PA7MD[2:0]			—	PA6MD[2:0]		

リセット後の値: 0 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると0が読み出されます。ライト時は0を書き込んでください。	—
6~4	PA7MD[2:0]	PA7 機能選択	000: 選択機能なし (初期値) 001: $\overline{\text{IRQ7}}$ 入力 010: 設定禁止 011: TXD 出力 (SCI3_1) 100: TREO 出力 (タイマ RE) 101: FTIOD3 入出力 (タイマ RD_1) * 110: TXD_3 出力 (SCI3_3) 111: 設定禁止	R/W
3	—	予約ビット	リードすると0が読み出されます。ライト時は0を書き込んでください。	—
2~0	PA6MD[2:0]	PA6 機能選択	000: 選択機能なし (初期値) 001: $\overline{\text{IRQ6}}$ 入力 010: 設定禁止 011: RXD 入力 (SCI3_1) 100: TRBO 出力 (タイマ RB) 101: FTIOC3 入出力 (タイマ RD_1) * 110: RXD_3 入力 (SCI3_3) 111: 設定禁止	R/W

【注】 H8S/20223 グループ、H8S/20235 グループには、PMCR4 はありません。

* H8S/20103 グループ、H8S/20115 グループは選択できません。

9.2 使用上の注意事項

9.2.1 ポートのマルチプレクス機能設定手順

マルチプレクス機能の設定は下記の手順で行ってください。

1. 当該端子のポートモードレジスタ (PMR) を0にクリアして汎用入力機能に設定します。
2. 周辺機能マッピングレジスタ書き込みプロテクトレジスタ (PMCWPR) を設定して、周辺機能マッピングレジスタを書き込み有効にします。
3. 周辺機能マッピングレジスタ (PMCR) によりマルチプレクス機能を設定します。
4. PMCWPRのPMCRWEビットを0設定し、PMCRへの書き込み禁止してください。
5. 必要に応じてPMRを1に設定し、マルチプレクスされた機能に切り替えます。

9.2.2 PMC レジスタ設定する場合の注意事項

1. マルチプレクス機能を設定するときは必ず当該端子のPMRが0の状態を設定してください。PMRが1の状態ではマルチプレクス機能を設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PMCRで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. 本周辺機能マッピングコントローラにより同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポートAはA/D変換器のアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、ポートモードレジスタA (PMRA) の当該ビットに0を設定して当該端子を汎用入出力にしてください。

10. I/O ポート

汎用入出力ポートを H8S/20103 グループ、H8S/20115 グループは 55 本、H8S/20223 グループ、H8S/20203 グループ、H8S/20215 グループ、H8S/20235 グループは 69 本備えています。汎用入出力ポートは内蔵周辺モジュールの入出力端子や外部割り込み入力端子と兼用になっているデジタル I/O ポート、アナログ入力兼用ポート、発振機能兼用ポートの 3 系統に分けられます。いずれもリセット直後は汎用入力ポートになっていますが、レジスタの設定により機能を選択することが可能です。

デジタル I/O ポートの機能選択は周辺機能マッピングコントローラ (PMC) で行います。周辺機能マッピングコントローラ (PMC) による機能の選択は「[第 9 章 周辺機能マッピングコントローラ \(PMC\)](#)」を参照してください。汎用入出力ポート全端子を大電流ポートに設定可能です。出力レベル許容電流の総和は「[第 28 章 電気的特性](#)」を参照してください。

10.1 ポート 1

ポート 1 の端子は図 10.1 に示す構成になっています。

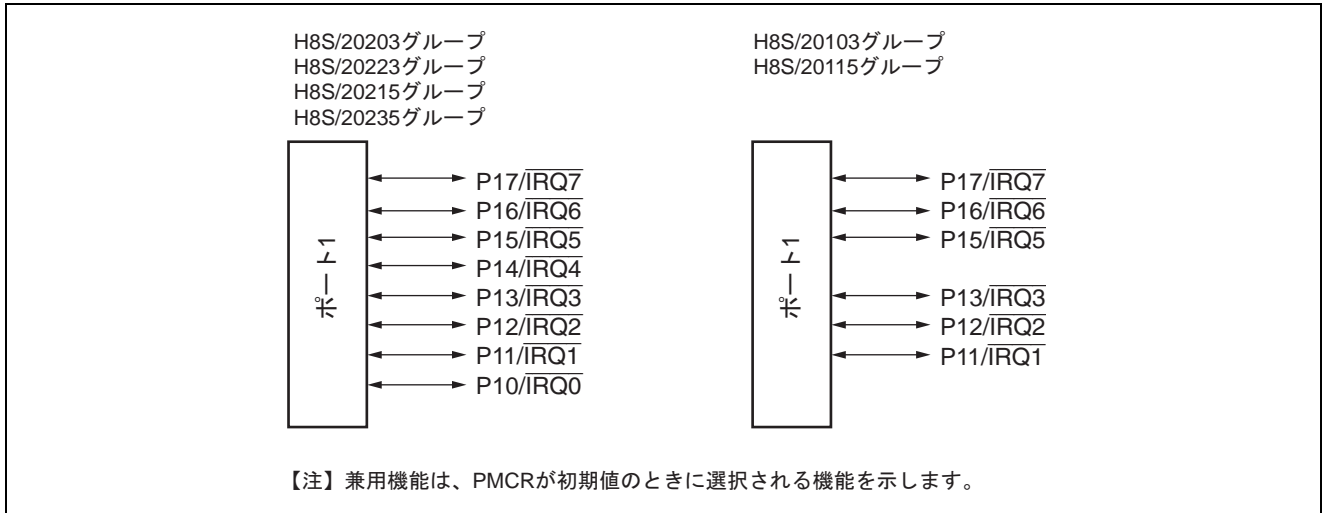


図 10.1 ポート 1 の端子構成

- ポートモードレジスタ1 (PMR1)
- ポートコントロールレジスタ1 (PCR1)
- ポートデータレジスタ1 (PDR1)
- ポートプルアップコントロールレジスタ1 (PUCR1)
- ポートドライブコントロールレジスタ1 (PDVR1)

10.1.1 ポートモードレジスタ 1 (PMR1)

アドレス: H'FF0000

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMR17	PMR16	PMR15	PMR14	PMR13	PMR12	PMR11	PMR10
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMR17	ポート 17 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクス されている機能 PMR1 は汎用入出力ポートとマルチプレクスされている機能を選択し ます。 H8S/20103 グループ、H8S/20115 グループにおいては PMR14 ビット と PMR10 ビットは予約ビットとなります。ライト時は 0 を書いてくだ さい。	R/W
6	PMR16	ポート 16 モード		R/W
5	PMR15	ポート 15 モード		R/W
4	PMR14	ポート 14 モード		R/W
3	PMR13	ポート 13 モード		R/W
2	PMR12	ポート 12 モード		R/W
1	PMR11	ポート 11 モード		R/W
0	PMR10	ポート 10 モード		R/W

10.1.2 ポートコントロールレジスタ 1 (PCR1)

アドレス: H'FFFFFF0

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCR17	ポート 17 コントロール	PMR1 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。 H8S/20103 グループ、H8S/20115 グループにおいては PCR14 ビットと PCR10 ビットは予約ビットとなります。ライト時は 0 を書いてください。	R/W
6	PCR16	ポート 16 コントロール		R/W
5	PCR15	ポート 15 コントロール		R/W
4	PCR14	ポート 14 コントロール		R/W
3	PCR13	ポート 13 コントロール		R/W
2	PCR12	ポート 12 コントロール		R/W
1	PCR11	ポート 11 コントロール		R/W
0	PCR10	ポート 10 コントロール		R/W

10.1.3 ポートデータレジスタ 1 (PDR1)

アドレス: H'FFFFE0

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDR17	ポート 17 データ	PDR1 はポート 1 の出力値を格納するレジスタです。PCR1 が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCR1 が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR1 が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。 H8S/20103 グループ、H8S/20115 グループにおいては PDR14 ビットと PDR10 ビットは予約ビットとなります。ライト時は 0 を書いてください。	R/W
6	PDR16	ポート 16 データ		R/W
5	PDR15	ポート 15 データ		R/W
4	PDR14	ポート 14 データ		R/W
3	PDR13	ポート 13 データ		R/W
2	PDR12	ポート 12 データ		R/W
1	PDR11	ポート 11 データ		R/W
0	PDR10	ポート 10 データ		R/W

10.1.4 ポートプルアップコントロールレジスタ 1 (PUCR1)

アドレス: H'FF0010

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCR17	ポート 17 プルアップ コントロール	0: 対応する端子のプルアップ MOS がオフ状態 1: 対応する端子のプルアップ MOS がオン状態	R/W
6	PUCR16	ポート 16 プルアップ コントロール	入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。 H8S/20103 グループ、H8S/20115 グループにおいては PUCR14 ビットと PUCR10 ビットは予約ビットとなります。ライト時は 0 を書いてください。	R/W
5	PUCR15	ポート 15 プルアップ コントロール		R/W
4	PUCR14	ポート 14 プルアップ コントロール		R/W
3	PUCR13	ポート 13 プルアップ コントロール		R/W
2	PUCR12	ポート 12 プルアップ コントロール		R/W
1	PUCR11	ポート 11 プルアップ コントロール		R/W
0	PUCR10	ポート 10 プルアップ コントロール		R/W

10.1.5 ポートドライブコントロールレジスタ 1 (PDVR1)

アドレス: H'FF0030

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDVR17	PDVR16	PDVR15	PDVR14	PDVR13	PDVR12	PDVR11	PDVR10
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDVR17	ポート 17 ドライブ コントロール	0: 通常出力 1: 高駆動出力	R/W
6	PDVR16	ポート 16 ドライブ コントロール	PDVR1 は出力ポートに設定された端子の駆動能力をビットごとに制御します。 H8S/20103 グループ、H8S/20115 グループにおいては PDVR14 ビットと PDVR10 ビットは予約ビットとなります。ライト時は 0 を書いてください。	R/W
5	PDVR15	ポート 15 ドライブ コントロール		R/W
4	PDVR14	ポート 14 ドライブ コントロール		R/W
3	PDVR13	ポート 13 ドライブ コントロール		R/W
2	PDVR12	ポート 12 ドライブ コントロール		R/W
1	PDVR11	ポート 11 ドライブ コントロール		R/W
0	PDVR10	ポート 10 ドライブ コントロール		R/W

10.2 ポート 2

ポート 2 の端子は図 10.2 に示す構成になっています。

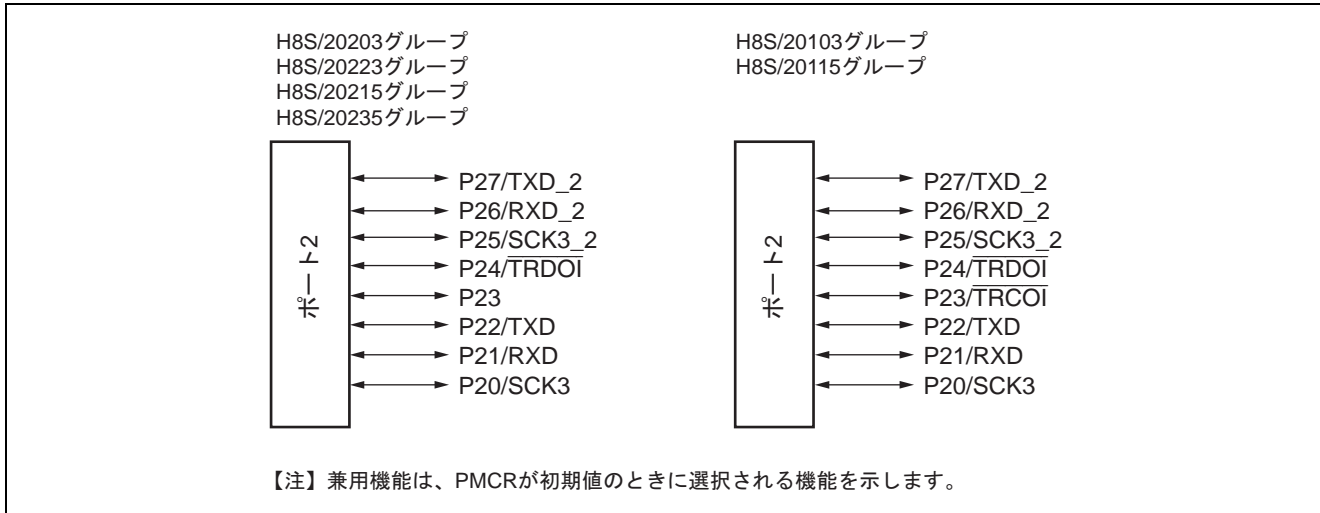


図 10.2 ポート 2 の端子構成

- ポートモードレジスタ2 (PMR2)
- ポートコントロールレジスタ2 (PCR2)
- ポートデータレジスタ2 (PDR2)
- ポートプルアップコントロールレジスタ2 (PUCR2)
- ポートドライブコントロールレジスタ2 (PDVR2)

10.2.1 ポートモードレジスタ 2 (PMR2)

アドレス: H'FF0001

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMR27	PMR26	PMR25	PMR24	PMR23	PMR22	PMR21	PMR20
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMR27	ポート 27 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクスされている機能 PMR2 は汎用入出力ポートとマルチプレクスされている機能を選択します。	R/W
6	PMR26	ポート 26 モード		R/W
5	PMR25	ポート 25 モード		R/W
4	PMR24	ポート 24 モード		R/W
3	PMR23	ポート 23 モード		R/W
2	PMR22	ポート 22 モード		R/W
1	PMR21	ポート 21 モード		R/W
0	PMR20	ポート 20 モード		R/W

10.2.2 ポートコントロールレジスタ 2 (PCR2)

アドレス: H'FFFFF1

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCR27	ポート 27 コントロール	PCR2 はポート 2 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。	R/W
6	PCR26	ポート 26 コントロール		R/W
5	PCR25	ポート 25 コントロール		R/W
4	PCR24	ポート 24 コントロール		R/W
3	PCR23	ポート 23 コントロール		R/W
2	PCR22	ポート 22 コントロール		R/W
1	PCR21	ポート 21 コントロール		R/W
0	PCR20	ポート 20 コントロール		R/W

- PCR27~PCR20 (ポート27~20コントロール)

PMR2 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.2.3 ポートデータレジスタ 2 (PDR2)

アドレス: H'FFFFE1

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDR27	ポート 27 データ	PDR2 はポート 2 の出力値を格納するレジスタです。PCR2 が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCR2 が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR2 が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。	R/W
6	PDR26	ポート 26 データ		R/W
5	PDR25	ポート 25 データ		R/W
4	PDR24	ポート 24 データ		R/W
3	PDR23	ポート 23 データ		R/W
2	PDR22	ポート 22 データ		R/W
1	PDR21	ポート 21 データ		R/W
0	PDR20	ポート 20 データ		R/W

10.2.4 ポートプルアップコントロールレジスタ 2 (PUCR2)

アドレス: H'FF0011

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCR27	PUCR26	PUCR25	PUCR24	PUCR23	PUCR22	PUCR21	PUCR20
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCR27	ポート 27 プルアップ コントロール	0: 対応する端子のプルアップ MOS がオフ状態 1: 対応する端子のプルアップ MOS がオン状態	R/W
6	PUCR26	ポート 26 プルアップ コントロール	PUCR2 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
5	PUCR25	ポート 25 プルアップ コントロール		R/W
4	PUCR24	ポート 24 プルアップ コントロール		R/W
3	PUCR23	ポート 23 プルアップ コントロール		R/W
2	PUCR22	ポート 22 プルアップ コントロール		R/W
1	PUCR21	ポート 21 プルアップ コントロール		R/W
0	PUCR20	ポート 20 プルアップ コントロール		R/W

- PUCR27~PUCR20 (ポート27~20プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。

10.2.5 ポートドライブコントロールレジスタ 2 (PDVR2)

アドレス: H'FF0031

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDVR27	PDVR26	PDVR25	PDVR24	PDVR23	PDVR22	PDVR21	PDVR20
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDVR27	ポート 27 ドライブ コントロール	0: 通常出力 1: 高駆動出力	R/W
6	PDVR26	ポート 26 ドライブ コントロール	PDVR2 は出力ポートに設定された端子の駆動能力をビットごとに制御 します。	R/W
5	PDVR25	ポート 25 ドライブ コントロール		R/W
4	PDVR24	ポート 24 ドライブ コントロール		R/W
3	PDVR23	ポート 23 ドライブ コントロール		R/W
2	PDVR22	ポート 22 ドライブ コントロール		R/W
1	PDVR21	ポート 21 ドライブ コントロール		R/W
0	PDVR20	ポート 20 ドライブ コントロール		R/W

10.3 ポート 3

ポート 3 の端子は図 10.3 に示す構成になっています。

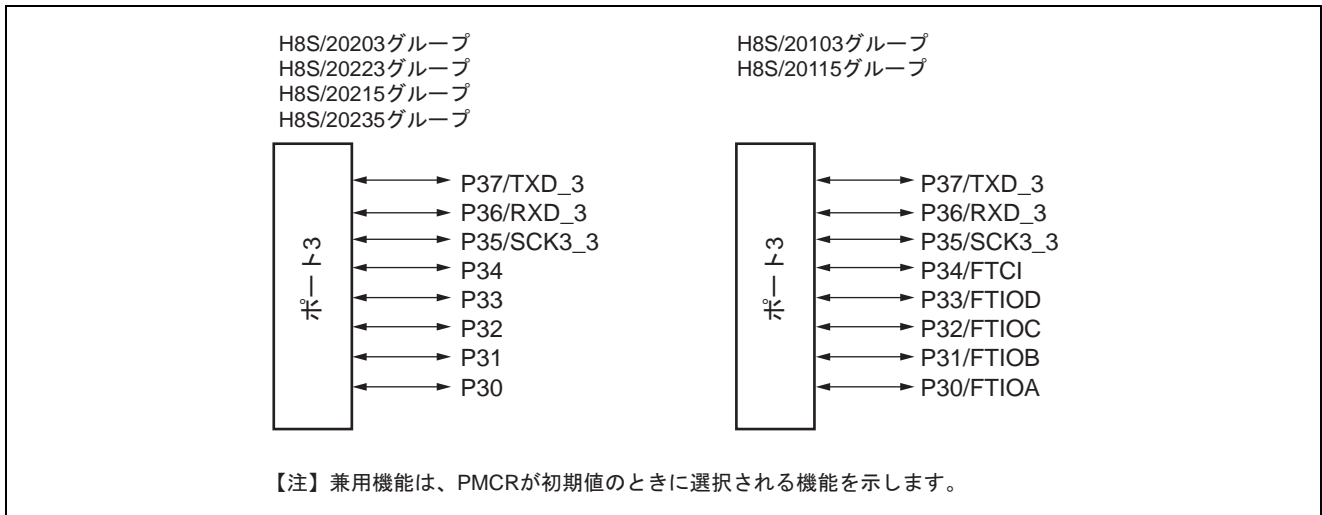


図 10.3 ポート 3 の端子構成

- ポートモードレジスタ3 (PMR3)
- ポートコントロールレジスタ3 (PCR3)
- ポートデータレジスタ3 (PDR3)
- ポートプルアップコントロールレジスタ3 (PUCR3)
- ポートドライブコントロールレジスタ3 (PDVR3)

10.3.1 ポートモードレジスタ 3 (PMR3)

アドレス: H'FF0002

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMR37	PMR36	PMR35	PMR34	PMR33	PMR32	PMR31	PMR30
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMR37	ポート 37 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクスされている機能 PMR3 は汎用入出力ポートとマルチプレクスされている機能を選択します。	R/W
6	PMR36	ポート 36 モード		R/W
5	PMR35	ポート 35 モード		R/W
4	PMR34	ポート 34 モード		R/W
3	PMR33	ポート 33 モード		R/W
2	PMR32	ポート 32 モード		R/W
1	PMR31	ポート 31 モード		R/W
0	PMR30	ポート 30 モード		R/W

10.3.2 ポートコントロールレジスタ 3 (PCR3)

アドレス: H'FFFFFF2

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCR37	ポート 37 コントロール	PCR3 はポート 3 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。	R/W
6	PCR36	ポート 36 コントロール		R/W
5	PCR35	ポート 35 コントロール		R/W
4	PCR34	ポート 34 コントロール		R/W
3	PCR33	ポート 33 コントロール		R/W
2	PCR32	ポート 32 コントロール		R/W
1	PCR31	ポート 31 コントロール		R/W
0	PCR30	ポート 30 コントロール		R/W

- PCR37~PCR30 (ポート37~30コントロール)

PMR3 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.3.3 ポートデータレジスタ 3 (PDR3)

アドレス: H'FFFFE2

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDR37	ポート 37 データ	PDR3 はポート 3 の出力値を格納するレジスタです。PCR3 が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCR3 が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR3 が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。	R/W
6	PDR36	ポート 36 データ		R/W
5	PDR35	ポート 35 データ		R/W
4	PDR34	ポート 34 データ		R/W
3	PDR33	ポート 33 データ		R/W
2	PDR32	ポート 32 データ		R/W
1	PDR31	ポート 31 データ		R/W
0	PDR30	ポート 30 データ		R/W

10.3.4 ポートプルアップコントロールレジスタ 3 (PUCR3)

アドレス: H'FF0012

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCR37	ポート 37 プルアップ コントロール	0: 対応する端子のプルアップ MOS がオフ状態 1: 対応する端子のプルアップ MOS がオン状態	R/W
6	PUCR36	ポート 36 プルアップ コントロール	PUCR3 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
5	PUCR35	ポート 35 プルアップ コントロール		R/W
4	PUCR34	ポート 34 プルアップ コントロール		R/W
3	PUCR33	ポート 33 プルアップ コントロール		R/W
2	PUCR32	ポート 32 プルアップ コントロール		R/W
1	PUCR31	ポート 31 プルアップ コントロール		R/W
0	PUCR30	ポート 30 プルアップ コントロール		R/W

- PUCR37~PUCR30 (ポート37~30プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。

10.3.5 ポートドライブコントロールレジスタ 3 (PDVR3)

アドレス: H'FF0032

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDVR37	PDVR36	PDVR35	PDVR34	PDVR33	PDVR32	PDVR31	PDVR30
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDVR37	ポート 37 ドライブ コントロール	0: 通常出力 1: 高駆動出力	R/W
6	PDVR36	ポート 36 ドライブ コントロール	PDVR3 は出力ポートに設定された端子の駆動能力をビットごとに制御 します。	R/W
5	PDVR35	ポート 35 ドライブ コントロール		R/W
4	PDVR34	ポート 34 ドライブ コントロール		R/W
3	PDVR33	ポート 33 ドライブ コントロール		R/W
2	PDVR32	ポート 32 ドライブ コントロール		R/W
1	PDVR31	ポート 31 ドライブ コントロール		R/W
0	PDVR30	ポート 30 ドライブ コントロール		R/W

10.4 ポート 5

ポート 5 の端子は図 10.4 に示す構成になっています。

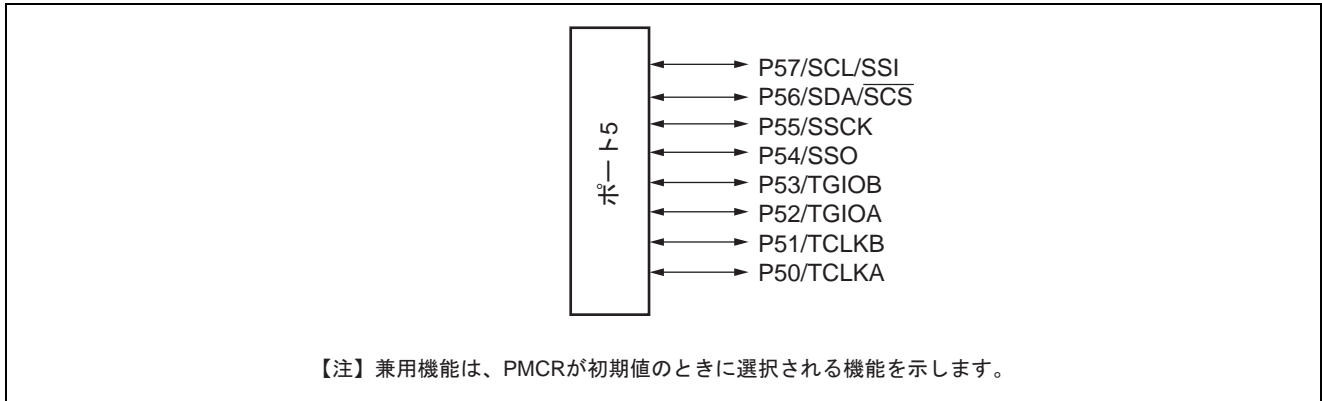


図 10.4 ポート 5 の端子構成

- ポートモードレジスタ5 (PMR5)
- ポートコントロールレジスタ5 (PCR5)
- ポートデータレジスタ5 (PDR5)
- ポートプルアップコントロールレジスタ5 (PUCR5)
- ポートドライブコントロールレジスタ5 (PDVR5)

10.4.1 ポートモードレジスタ 5 (PMR5)

アドレス: H'FF0004

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMR57	PMR56	PMR55	PMR54	PMR53	PMR52	PMR51	PMR50
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMR57	ポート 57 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクス されている機能 PMR5 は汎用入出力ポートとマルチプレクスされている機能を選択し ます。	R/W
6	PMR56	ポート 56 モード		R/W
5	PMR55	ポート 55 モード		R/W
4	PMR54	ポート 54 モード		R/W
3	PMR53	ポート 53 モード		R/W
2	PMR52	ポート 52 モード		R/W
1	PMR51	ポート 51 モード		R/W
0	PMR50	ポート 50 モード		R/W

10.4.2 ポートコントロールレジスタ 5 (PCR5)

アドレス: H'FFFFFF4

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCR57	ポート 57 コントロール	0: 汎用入出力ポートの機能選択時、当該端子は入力ポート 1: 汎用入出力ポートの機能選択時、当該端子は出力ポート PCR5 はポート 5 の汎用入出力ポートとして使用する端子の入出力を ビットごとに選択します。	R/W
6	PCR56	ポート 56 コントロール		R/W
5	PCR55	ポート 55 コントロール		R/W
4	PCR54	ポート 54 コントロール		R/W
3	PCR53	ポート 53 コントロール		R/W
2	PCR52	ポート 52 コントロール		R/W
1	PCR51	ポート 51 コントロール		R/W
0	PCR50	ポート 50 コントロール		R/W

- PCR57~PCR50 (ポート57~50コントロール)

PMR5 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.4.3 ポートデータレジスタ 5 (PDR5)

アドレス: H'FFFFFFE4

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDR57	ポート 57 データ	PDR5 はポート 5 の出力値を格納するレジスタです。PCR5 が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCR5 が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR5 が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。	R/W
6	PDR56	ポート 56 データ		R/W
5	PDR55	ポート 55 データ		R/W
4	PDR54	ポート 54 データ		R/W
3	PDR53	ポート 53 データ		R/W
2	PDR52	ポート 52 データ		R/W
1	PDR51	ポート 51 データ		R/W
0	PDR50	ポート 50 データ		R/W

10.4.4 ポートプルアップコントロールレジスタ 5 (PUCR5)

アドレス: H'FF0014

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50
---	---	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
5	PUCR55	ポート 55 プルアップ コントロール	PUCR5 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
4	PUCR54	ポート 54 プルアップ コントロール		R/W
3	PUCR53	ポート 53 プルアップ コントロール		R/W
2	PUCR52	ポート 52 プルアップ コントロール		R/W
1	PUCR51	ポート 51 プルアップ コントロール		R/W
0	PUCR50	ポート 50 プルアップ コントロール		R/W

- PUCR55~PUCR50 (ポート55~50プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。

10.4.5 ポートドライブコントロールレジスタ 5 (PDVR5)

アドレス: H'FF0034

ビット: b7 b6 b5 b4 b3 b2 b1 b0

-	-	PDVR55	PDVR54	PDVR53	PDVR52	PDVR51	PDVR50
---	---	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	-	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	-
6	-	予約ビット		-
5	PDVR55	ポート 55 ドライブ コントロール	PDVR5 は出力ポートに設定された端子の駆動能力をビットごとに制御します。 P56、P57 端子は、汎用出力端子では NMOS プッシュプル出力となり駆動能力の選択はできません。	R/W
4	PDVR54	ポート 54 ドライブ コントロール		R/W
3	PDVR53	ポート 53 ドライブ コントロール		R/W
2	PDVR52	ポート 52 ドライブ コントロール		R/W
1	PDVR51	ポート 51 ドライブ コントロール		R/W
0	PDVR50	ポート 50 ドライブ コントロール		R/W

【注】 P56、P57 端子は、汎用出力端子を選択した場合、NMOS プッシュプル出力となり、他の CMOS 出力と特性が異なります。IIC2 の SDA、SCL 端子を選択した場合は、NMOS オープンドレイン出力となります。詳細は、「第 28 章 電気的特性」を参照してください。

10.5 ポート 6

ポート 6 の端子は図 10.5 に示す構成になっています。

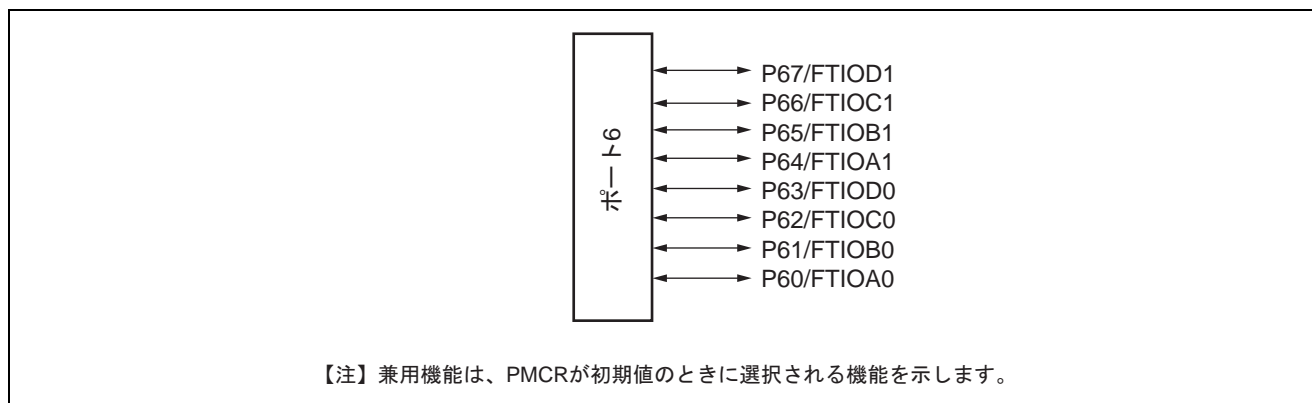


図 10.5 ポート 6 の端子構成

- ポートモードレジスタ6 (PMR6)
- ポートコントロールレジスタ6 (PCR6)
- ポートデータレジスタ6 (PDR6)
- ポートプルアップコントロールレジスタ6 (PUCR6)
- ポートドライブコントロールレジスタ6 (PDVR6)

10.5.1 ポートモードレジスタ 6 (PMR6)

アドレス: H'FF0005

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMR67	PMR66	PMR65	PMR64	PMR63	PMR62	PMR61	PMR60
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMR67	ポート 67 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクス されている機能 PMR6 は汎用入出力ポートとマルチプレクスされている機能を選択し ます。	R/W
6	PMR66	ポート 66 モード		R/W
5	PMR65	ポート 65 モード		R/W
4	PMR64	ポート 64 モード		R/W
3	PMR63	ポート 63 モード		R/W
2	PMR62	ポート 62 モード		R/W
1	PMR61	ポート 61 モード		R/W
0	PMR60	ポート 60 モード		R/W

10.5.2 ポートコントロールレジスタ 6 (PCR6)

アドレス: H'FFFFFF5

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCR67	ポート 67 コントロール	PCR6 はポート 6 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。	R/W
6	PCR66	ポート 66 コントロール		R/W
5	PCR65	ポート 65 コントロール		R/W
4	PCR64	ポート 64 コントロール		R/W
3	PCR63	ポート 63 コントロール		R/W
2	PCR62	ポート 62 コントロール		R/W
1	PCR61	ポート 61 コントロール		R/W
0	PCR60	ポート 60 コントロール		R/W

- PCR67~PCR60 (ポート67~60コントロール)

PMR6 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.5.3 ポートデータレジスタ 6 (PDR6)

アドレス: H'FFFFE5

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDR67	PDR66	PDR65	PDR64	PDR63	PDR62	PDR61	PDR60
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDR67	ポート 67 データ	PDR6 はポート 6 の出力値を格納するレジスタです。PCR6 が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCR6 が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR6 が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。	R/W
6	PDR66	ポート 66 データ		R/W
5	PDR65	ポート 65 データ		R/W
4	PDR64	ポート 64 データ		R/W
3	PDR63	ポート 63 データ		R/W
2	PDR62	ポート 62 データ		R/W
1	PDR61	ポート 61 データ		R/W
0	PDR60	ポート 60 データ		R/W

10.5.4 ポートプルアップコントロールレジスタ 6 (PUCR6)

アドレス: H'FF0015

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCR67	ポート 67 プルアップ コントロール	0: 対応する端子のプルアップ MOS がオフ状態 1: 対応する端子のプルアップ MOS がオン状態	R/W
6	PUCR66	ポート 66 プルアップ コントロール	PUCR6 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
5	PUCR65	ポート 65 プルアップ コントロール		R/W
4	PUCR64	ポート 64 プルアップ コントロール		R/W
3	PUCR63	ポート 63 プルアップ コントロール		R/W
2	PUCR62	ポート 62 プルアップ コントロール		R/W
1	PUCR61	ポート 61 プルアップ コントロール		R/W
0	PUCR60	ポート 60 プルアップ コントロール		R/W

- PUCR67~PUCR60 (ポート67~60プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。

10.5.5 ポートドライブコントロールレジスタ 6 (PDVR6)

アドレス: H'FF0035

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDVR67	PDVR66	PDVR65	PDVR64	PDVR63	PDVR62	PDVR61	PDVR60
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDVR67	ポート 67 ドライブ コントロール	0: 通常出力 1: 高駆動出力	R/W
6	PDVR66	ポート 66 ドライブ コントロール	PDVR6 は出力ポートに設定された端子の駆動能力をビットごとに制御 します。	R/W
5	PDVR65	ポート 35 ドライブ コントロール		R/W
4	PDVR64	ポート 64 ドライブ コントロール		R/W
3	PDVR63	ポート 63 ドライブ コントロール		R/W
2	PDVR62	ポート 62 ドライブ コントロール		R/W
1	PDVR61	ポート 61 ドライブ コントロール		R/W
0	PDVR60	ポート 60 ドライブ コントロール		R/W

10.6 ポート 8

ポート 8 の端子は図 10.6 に示す構成になっています。

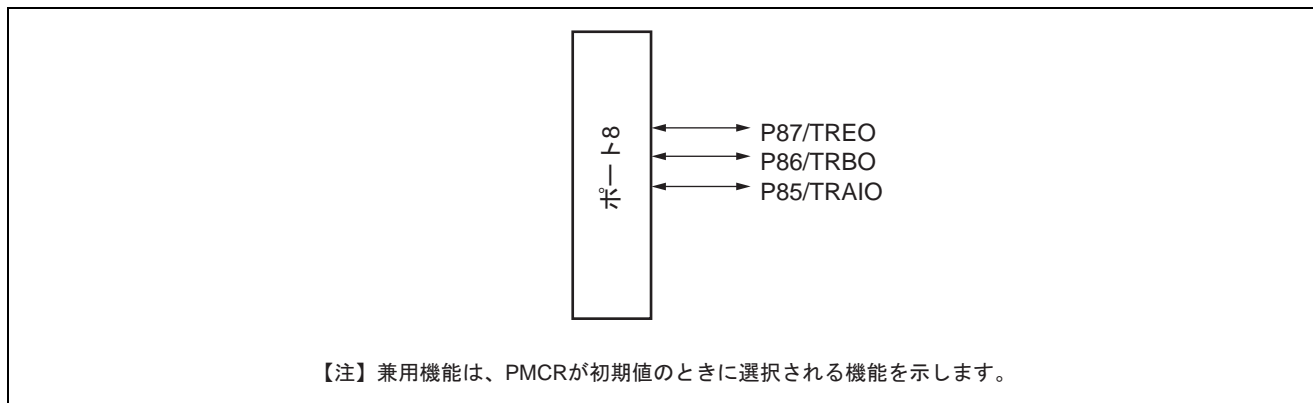


図 10.6 ポート 8 の端子構成

- ポートモードレジスタ 8 (PMR8)
- ポートコントロールレジスタ 8 (PCR8)
- ポートデータレジスタ 8 (PDR8)
- ポートプルアップコントロールレジスタ 8 (PUCR8)
- ポートドライブコントロールレジスタ 8 (PDVR8)

10.6.1 ポートモードレジスタ 8 (PMR8)

アドレス: H'FF0007

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMR87	PMR86	PMR85	—	—	—	—	—
-------	-------	-------	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMR87	ポート 87 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクス されている機能 PMR8 は汎用入出力ポートとマルチプレクスされている機能を選択し ます。	R/W
6	PMR86	ポート 86 モード		R/W
5	PMR85	ポート 85 モード		R/W
4~0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

10.6.2 ポートコントロールレジスタ 8 (PCR8)

アドレス: H'FFFFFF7

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCR87	PCR86	PCR85	—	—	—	—	—
-------	-------	-------	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCR87	ポート 87 コントロール	PCR8 はポート 8 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。	R/W
6	PCR86	ポート 86 コントロール		R/W
5	PCR85	ポート 85 コントロール		R/W
4~0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

- PCR87~PCR85 (ポート87~85コントロール)

PCR8 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.6.3 ポートデータレジスタ 8 (PDR8)

アドレス: H'FFFFFFE7

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDR87	PDR86	PDR85	—	—	—	—	—
-------	-------	-------	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDR87	ポート 87 データ	PDR8 はポート 8 の出力値を格納するレジスタです。PCR8 が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCR8 が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR8 が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。	R/W
6	PDR86	ポート 86 データ		R/W
5	PDR85	ポート 85 データ		R/W
4~0	—	予約ビット	リードすると常に 0 が読み出されます。ライト時は 0 を書いてください。	—

10.6.4 ポートプルアップコントロールレジスタ 8 (PUCR8)

アドレス: H'FF0017

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCR87	PUCR86	PUCR85	—	—	—	—	—
--------	--------	--------	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCR87	ポート 87 プルアップ コントロール	0: 対応する端子のプルアップ MOS がオフ状態 1: 対応する端子のプルアップ MOS がオン状態	R/W
6	PUCR86	ポート 86 プルアップ コントロール	PUCR8 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
5	PUCR85	ポート 85 プルアップ コントロール		R/W
4~0	—	予約ビット		リードすると 0 が読み出されます。ライト時は 0 を書いてください。

- PUCR87~PUCR85 (ポート87~85プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。

10.6.5 ポートドライブコントロールレジスタ 8 (PDVR8)

アドレス: H'FF0037

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDVR87	PDVR86	PDVR85	—	—	—	—	—
--------	--------	--------	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDVR87	ポート 87 ドライブ コントロール	0: 通常出力 1: 高駆動出力	R/W
6	PDVR86	ポート 86 ドライブ コントロール	PDVR8 は出力ポートに設定された端子の駆動能力をビットごとに制御します。	R/W
5	PDVR85	ポート 85 ドライブ コントロール		R/W
4~0	—	予約ビット		リードすると 0 が読み出されます。ライト時は 0 を書いてください。

10.6.6 ポート 8 の使用上の注意事項

オンチップデバッガ機能を使用するときは、PMR8 でポート 8 を汎用入出力ポートに設定してください。

10.7 ポート 9

ポート 9 の端子は図 10.7 に示す構成になっています。H8S/20103 グループ、H8S/20115 グループにはポート 9 はありません。

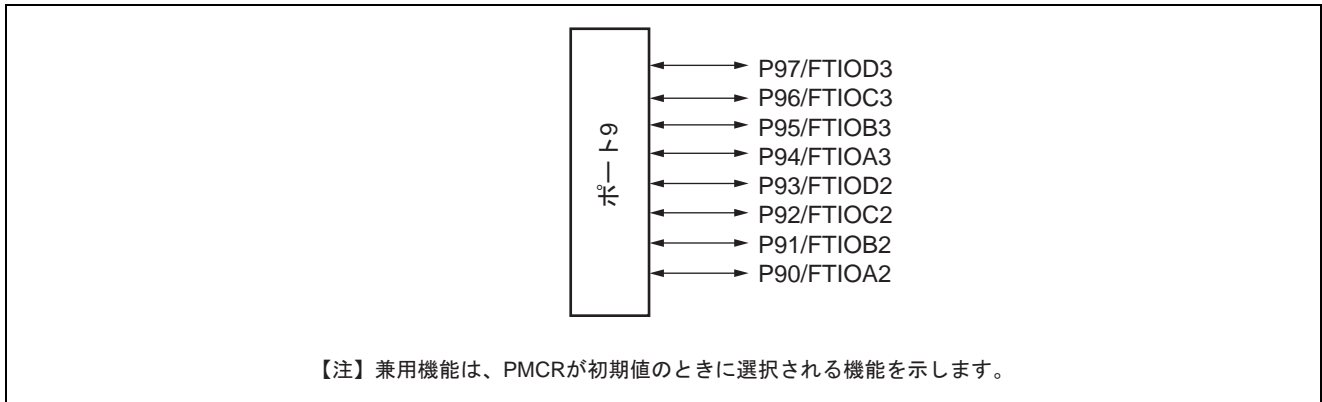


図 10.7 ポート 9 の端子構成

- ポートモードレジスタ9 (PMR9)
- ポートコントロールレジスタ9 (PCR9)
- ポートデータレジスタ9 (PDR9)
- ポートブルアップコントロールレジスタ9 (PUCR9)
- ポートドライブコントロールレジスタ9 (PDVR9)

10.7.1 ポートモードレジスタ 9 (PMR9)

アドレス: H'FF0008

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMR97	PMR96	PMR95	PMR94	PMR93	PMR92	PMR91	PMR90
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMR97	ポート 97 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクス されている機能 PMR9 は汎用入出力ポートとマルチプレクスされている機能を選択し ます。	R/W
6	PMR96	ポート 96 モード		R/W
5	PMR95	ポート 95 モード		R/W
4	PMR94	ポート 94 モード		R/W
3	PMR93	ポート 93 モード		R/W
2	PMR92	ポート 92 モード		R/W
1	PMR91	ポート 91 モード		R/W
0	PMR90	ポート 90 モード		R/W

10.7.2 ポートコントロールレジスタ 9 (PCR9)

アドレス: H'FFFFFF8

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCR97	PCR96	PCR95	PCR94	PCR93	PCR92	PCR91	PCR90
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCR97	ポート 97 コントロール	0: 汎用入出力ポートの機能選択時、当該端子は入力ポート 1: 汎用入出力ポートの機能選択時、当該端子は出力ポート PCR9 はポート 9 の汎用入出力ポートとして使用する端子の入出力を ビットごとに選択します。	R/W
6	PCR96	ポート 96 コントロール		R/W
5	PCR95	ポート 95 コントロール		R/W
4	PCR94	ポート 94 コントロール		R/W
3	PCR93	ポート 93 コントロール		R/W
2	PCR92	ポート 92 コントロール		R/W
1	PCR91	ポート 91 コントロール		R/W
0	PCR90	ポート 90 コントロール		R/W

- PCR97~PCR90 (ポート97~90コントロール)

PMR9 により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.7.3 ポートデータレジスタ 9 (PDR9)

アドレス: H'FFFFE8

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDR97	PDR96	PDR95	PDR94	PDR93	PDR92	PDR91	PDR90
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDR97	ポート 97 データ	PDR9 はポート 9 の出力値を格納するレジスタです。PCR9 が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCR9 が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR9 が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。	R/W
6	PDR96	ポート 96 データ		R/W
5	PDR95	ポート 95 データ		R/W
4	PDR94	ポート 94 データ		R/W
3	PDR93	ポート 93 データ		R/W
2	PDR92	ポート 92 データ		R/W
1	PDR91	ポート 91 データ		R/W
0	PDR90	ポート 90 データ		R/W

10.7.4 ポートプルアップコントロールレジスタ 9 (PUCR9)

アドレス: H'FF0018

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCR97	PUCR96	PUCR95	PUCR94	PUCR93	PUCR92	PUCR91	PUCR90
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCR97	ポート 97 プルアップ コントロール	0: 対応する端子のプルアップ MOS がオフ状態 1: 対応する端子のプルアップ MOS がオン状態	R/W
6	PUCR96	ポート 96 プルアップ コントロール	PUCR9 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
5	PUCR95	ポート 95 プルアップ コントロール		R/W
4	PUCR94	ポート 94 プルアップ コントロール		R/W
3	PUCR93	ポート 93 プルアップ コントロール		R/W
2	PUCR92	ポート 92 プルアップ コントロール		R/W
1	PUCR91	ポート 91 プルアップ コントロール		R/W
0	PUCR90	ポート 90 プルアップ コントロール		R/W

- PUCR97~PUCR90 (ポート97~90プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。

10.7.5 ポートドライブコントロールレジスタ 9 (PDVR9)

アドレス: H'FF0038

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDVR97	PDVR96	PDVR95	PDVR94	PDVR93	PDVR92	PDVR91	PDVR90
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDVR97	ポート 97 ドライブ コントロール	0: 通常出力 1: 高駆動出力	R/W
6	PDVR96	ポート 96 ドライブ コントロール	PDVR9 は出力ポートに設定された端子の駆動能力をビットごとに制御 します。	R/W
5	PDVR95	ポート 95 ドライブ コントロール		R/W
4	PDVR94	ポート 94 ドライブ コントロール		R/W
3	PDVR93	ポート 93 ドライブ コントロール		R/W
2	PDVR92	ポート 92 ドライブ コントロール		R/W
1	PDVR91	ポート 91 ドライブ コントロール		R/W
0	PDVR90	ポート 90 ドライブ コントロール		R/W

10.8 ポート A

ポート A は A/D 変換器ユニット 1 のアナログ入力端子、AD 変換器ユニット 2 のアナログ入力端子 (H8S/20223 グループ、H8S/20235 グループのみ) と兼用の汎用入出力ポートです。

PA4~PA7 は周辺機能マッピングレジスタ (PMC) で機能選択できます。(H8S/20223 グループ、H8S/20235 グループを除く)

周辺機能マッピングコントローラによる機能の選択は、「第 9 章 周辺機能マッピングコントローラ (PMC)」を参照してください。ポート A の端子は、図 10.8 に示す構成になっています。

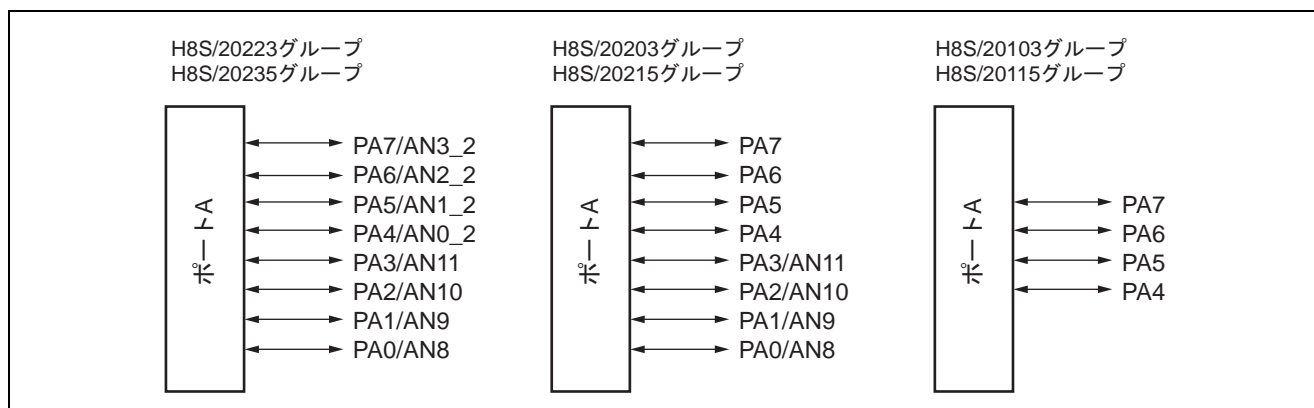


図 10.8 ポート A の端子構成

- ポートモードレジスタ A (PMRA)
- ポートコントロールレジスタ A (PCRA)
- ポートデータレジスタ A (PDRA)
- ポートプルアップコントロールレジスタ A (PUCRA)

【H8S/20103 グループ、H8S/20115 グループ】

10.8.1 ポートモードレジスタ A (PMRA)

アドレス: H'FF0009

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMRA7	PMRA6	PMRA5	PMRA4	—	PMRA2	—	—
-------	-------	-------	-------	---	-------	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMRA7	ポート A7 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクスされている機能 PMRA は汎用入出力ポートとマルチプレクスされている機能を選択します。	R/W
6	PMRA6	ポート A6 モード		R/W
5	PMRA5	ポート A5 モード		R/W
4	PMRA4	ポート A4 モード		R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
2	PMRA2	ポート B0 アナログ入力選択	0: 汎用入出力ポート 1: AN0 入力端子	R/W
1、0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

- PMRA7~PMRA4 (ポート A7~A4モード)
PA7~PA4 に対応の汎用入出力端子とマルチプレクスされている機能を選択します。
- PMRA2
PB0 アナログ入力機能を選択します。

10.8.2 ポートコントロールレジスタ A (PCRA)

アドレス: H'FFFFFF9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCRA7	PCRA6	PCRA5	PCRA4	—	—	—	—
-------	-------	-------	-------	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCRA7	ポート A7 コントロール	PCRA はポート A の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。	R/W
6	PCRA6	ポート A6 コントロール		R/W
5	PCRA5	ポート A5 コントロール		R/W
4	PCRA4	ポート A4 コントロール		R/W
3~0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

- PCRA7~PCRA4 (ポートA7~A4コントロール)

PMRA により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.8.3 ポートデータレジスタ A (PDRA)

アドレス: H'FFFFE9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDRA7	PDRA6	PDRA5	PDRA4	—	—	—	—
-------	-------	-------	-------	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDRA7	ポート A7 データ	PDRA はポート A の出力値を格納するレジスタです。PCRA が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCRA が 1 にセットされているビットはこのレジスタの値が読み出されます。PCRA が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。	R/W
6	PDRA6	ポート A6 データ		R/W
5	PDRA5	ポート A5 データ		R/W
4	PDRA4	ポート A4 データ		R/W
3~0	—	予約ビット		リードすると 0 が読み出されます。ライト時は 0 を書いてください。

10.8.4 ポートプルアップコントロールレジスタ A (PUCRA)

アドレス：H'FF0019

ビット： b7 b6 b5 b4 b3 b2 b1 b0

PUCRA7	PUCRA6	PUCRA5	PUCRA4	—	—	—	—
--------	--------	--------	--------	---	---	---	---

リセット後の値： 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCRA7*	ポート A7 プルアップ コントロール	0：対応する端子のプルアップ MOS がオフ状態 1：対応する端子のプルアップ MOS がオン状態	R/W
6	PUCRA6*	ポート A6 プルアップ コントロール	PUCRA は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
5	PUCRA5*	ポート A5 プルアップ コントロール		R/W
4	PUCRA4*	ポート A4 プルアップ コントロール		R/W
3~0	—	予約ビット		リードすると 0 が読み出されます。ライト時は 0 を書いてください。

【注】 * PA7~PA4 をアナログ端子に設定した場合は、対応するビットを 0 にクリアしてください。

- PUCRA7~PUCRA4 (ポートA7~A4プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。

【H8S/20203 グループ、H8S/20215 グループ】

10.8.5 ポートモードレジスタ A (PMRA)

アドレス: H'FF0009

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PMRA7	PMRA6	PMRA5	PMRA4	—	PMRA2	—	—
-------	-------	-------	-------	---	-------	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PMRA7	ポート A7 モード	0: 汎用入出力ポート 1: 周辺機能マッピングコントローラ (PMC) によりマルチプレクスされている機能 PMRA は汎用入出力ポートとマルチプレクスされている機能を選択します。	R/W
6	PMRA6	ポート A6 モード		R/W
5	PMRA5	ポート A5 モード		R/W
4	PMRA4	ポート A4 モード		R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
2	PMRA2	ポート B0 アナログ入力選択	0: 汎用入出力ポート 1: AN0 入力端子	R/W
1、0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

- PMRA7~PMRA4 (ポート A7~A4モード)
PA7~PA4 に対応の汎用入出力端子とマルチプレクスされている機能を選択します。
- PMRA2
PB0 アナログ入力機能を選択します。

10.8.6 ポートコントロールレジスタ A (PCRA)

アドレス: H'FFFFFF9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCRA7	PCRA6	PCRA5	PCRA4	PCRA3	PCRA2	PCRA1	PCRA0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCRA7	ポート A7 コントロール	PCRA はポート A の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。	R/W
6	PCRA6	ポート A6 コントロール		R/W
5	PCRA5	ポート A5 コントロール		R/W
4	PCRA4	ポート A4 コントロール		R/W
3	PCRA3	ポート A3 コントロール		R/W
2	PCRA2	ポート A2 コントロール		R/W
1	PCRA1	ポート A1 コントロール		R/W
0	PCRA0	ポート A0 コントロール		R/W

- PCRA7~PCRA0 (ポートA7~A0コントロール)

PA7~PA4 において、PMRA により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

PA3~PA0 において、A/D 変換器によりアナログ入力チャンネルに設定されていない端子は、汎用入出力ポートとして使用可能です。このとき、本ビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.8.7 ポートデータレジスタ A (PDRA)

アドレス: H'FFFFFFE9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDRA7	PDRA6	PDRA5	PDRA4	PDRA3	PDRA2	PDRA1	PDRA0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDRA7	ポート A7 データ	PDRA はポート A の出力値を格納するレジスタです。PCRA が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCRA が 1 にセットされているビットはこのレジスタの値が読み出されます。PCRA が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。 ただし、PA3~PA0 端子において、A/D 変換器の ADCSR、ADCR によりアナログ入力チャネルに指定されている端子は、対応する PCRA ビットが 0 にクリアされていてもリードすると 1 が読み出されます。	R/W
6	PDRA6	ポート A6 データ		R/W
5	PDRA5	ポート A5 データ		R/W
4	PDRA4	ポート A4 データ		R/W
3	PDRA3	ポート A3 データ		R/W
2	PDRA2	ポート A2 データ		R/W
1	PDRA1	ポート A1 データ		R/W
0	PDRA0	ポート A0 データ		R/W

10.8.8 ポートプルアップコントロールレジスタ A (PUCRA)

アドレス: H'FF0019

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCRA7	PUCRA6	PUCRA5	PUCRA4	PUCRA3	PUCRA2	PUCRA1	PUCRA0
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCRA7*	ポート A7 プルアップ コントロール	PUCRA は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
6	PUCRA6*	ポート A6 プルアップ コントロール		R/W
5	PUCRA5*	ポート A5 プルアップ コントロール		R/W
4	PUCRA4*	ポート A4 プルアップ コントロール		R/W
3	PUCRA3*	ポート A3 プルアップ コントロール		R/W
2	PUCRA2*	ポート A2 プルアップ コントロール		R/W
1	PUCRA1*	ポート A1 プルアップ コントロール		R/W
0	PUCRA0*	ポート A0 プルアップ コントロール		R/W

【注】 * PA7~PA0 をアナログ端子に設定した場合は、対応するビットを 0 にクリアしてください。

- PUCRA7~PUCRA0 (ポートA7~A0プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。アナログ入力端子に設定されている場合、本設定は無効になります。

【H8S/20223 グループ、H8S/20235 グループ】

10.8.9 ポートモードレジスタ A (PMRA)

アドレス: H'FF0009

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PMRA3	PMRA2	—	—

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~4	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
3	PMRA3	ポート A4 アナログ入力選択	0: 汎用入出力ポート 1: AN0_2 入力端子	R/W
2	PMRA2	ポート B0 アナログ入力選択	0: 汎用入出力ポート 1: AN0 入力端子	R/W
1、0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

PMRA は汎用入出力ポート PA4 と PB0 に割り付けられているアナログ入力機能を選択します。

- PMRA3 (ポートA4アナログ入力選択)
PA4 アナログ入力機能を選択します。
- PMRA2 (ポートB0アナログ入力選択)
PB0 アナログ入力機能を選択します。

10.8.10 ポートコントロールレジスタ A (PCRA)

アドレス: H'FFFFFF9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCRA7	PCRA6	PCRA5	PCRA4	PCRA3	PCRA2	PCRA1	PCRA0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCRA7	ポート A7 コントロール	0: 汎用入出力ポートの機能選択時、当該端子は入力ポート 1: 汎用入出力ポートの機能選択時、当該端子は出力ポート PCRA はポート A の汎用入出力ポートとして使用する端子の入出力を ビットごとに選択します。	R/W
6	PCRA6	ポート A6 コントロール		R/W
5	PCRA5	ポート A5 コントロール		R/W
4	PCRA4	ポート A4 コントロール		R/W
3	PCRA3	ポート A3 コントロール		R/W
2	PCRA2	ポート A2 コントロール		R/W
1	PCRA1	ポート A1 コントロール		R/W
0	PCRA0	ポート A0 コントロール		R/W

- PCRA7~PCRA0 (ポートA7~A0コントロール)

A/D 変換器によりアナログ入力チャンネルに設定されていない端子は、汎用入出力ポートとして使用可能です。このとき、本ビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。ただし、PA4 端子については PMRA の PMRA3 ビットの設定も必要です。

10.8.11 ポートデータレジスタ A (PDRA)

アドレス: H'FFFFE9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDRA7	PDRA6	PDRA5	PDRA4	PDRA3	PDRA2	PDRA1	PDRA0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDRA7	ポート A7 データ	PDRA はポート A の出力値を格納するレジスタです。PCRA が 1 にセットされているビットはこのレジスタの値が出力されます。 このレジスタをリードすると、PCRA が 1 にセットされているビットはこのレジスタの値が読み出されます。PCRA が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。 ただし、A/D 変換器の ADCSR、ADCR によりアナログ入力チャンネルに指定されている端子は、対応する PCRA ビットが 0 にクリアされていてもリードすると 1 が読み出されます。	R/W
6	PDRA6	ポート A6 データ		R/W
5	PDRA5	ポート A5 データ		R/W
4	PDRA4	ポート A4 データ		R/W
3	PDRA3	ポート A3 データ		R/W
2	PDRA2	ポート A2 データ		R/W
1	PDRA1	ポート A1 データ		R/W
0	PDRA0	ポート A0 データ		R/W

10.8.12 ポートプルアップコントロールレジスタ A (PUCRA)

アドレス: H'FF0019

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCRA7	PUCRA6	PUCRA5	PUCRA4	PUCRA3	PUCRA2	PUCRA1	PUCRA0
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCRA7*	ポート A7 プルアップ コントロール	PUCRA は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
6	PUCRA6*	ポート A6 プルアップ コントロール		R/W
5	PUCRA5*	ポート A5 プルアップ コントロール		R/W
4	PUCRA4*	ポート A4 プルアップ コントロール		R/W
3	PUCRA3*	ポート A3 プルアップ コントロール		R/W
2	PUCRA2*	ポート A2 プルアップ コントロール		R/W
1	PUCRA1*	ポート A1 プルアップ コントロール		R/W
0	PUCRA0*	ポート A0 プルアップ コントロール		R/W

【注】 * PA7~PA0 をアナログ入力端子に設定した場合、対応するビットを 0 にクリアしてください。

- PUCRA7~PUCRA0 (ポートA7~A0プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。アナログ入力端子に設定されている場合、本設定は無効になります。

10.8.13 ポート A 使用上の注意事項

1. PA4端子は初期状態では汎用入出力端子になっています。H8S/20223グループ、H8S/20235グループにおいて、A/D変換器ユニット2のAN0_2アナログ入力端子として使用する場合は、PMRAのPMRA3ビットを1に設定してください。
2. H8S/20223グループ、H8S/20235グループにおいて、PA7～PA4端子はマルチプレクス機能、とアナログ入力端子と兼用になっています。マルチプレクス機能を使用する時はA/D変換器ユニット2ADCSR_2のCH[3:0]ビットでアナログ入力端子に設定しないでください。

10.9 ポート B

ポート B は A/D 変換器ユニット 1 のアナログ入力端子、D/A 変換器のアナログ出力端子と兼用の汎用入出力ポートです。ポート B の端子は図 10.9 に示す構成になっています。

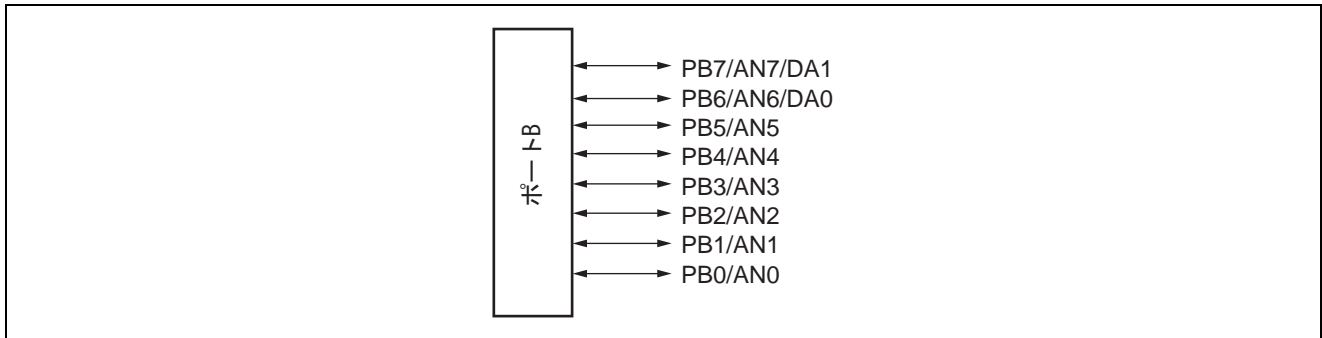


図 10.9 ポート B の端子構成

- ポートコントロールレジスタ B (PCRB)
- ポートデータレジスタ B (PDRB)
- ポートプルアップコントロールレジスタ B (PUCRB)

10.9.1 ポートコントロールレジスタ B (PCRB)

アドレス: H'FFFFFFA

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PCRB7	PCRB6	PCRB5	PCRB4	PCRB3	PCRB2	PCRB1	PCRB0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PCRB7	ポート B7 コントロール	0: 汎用入出力ポートの機能選択時、当該端子は入力ポート 1: 汎用入出力ポートの機能選択時、当該端子は出力ポート PCRB はポート B の汎用入出力ポートとして使用する端子の入出力を ビットごとに選択します。	R/W
6	PCRB6	ポート B6 コントロール		R/W
5	PCRB5	ポート B5 コントロール		R/W
4	PCRB4	ポート B4 コントロール		R/W
3	PCRB3	ポート B3 コントロール		R/W
2	PCRB2	ポート B2 コントロール		R/W
1	PCRB1	ポート B1 コントロール		R/W
0	PCRB0	ポート B0 コントロール		R/W

- PCRB7~PCRB0 (ポートB7~B0コントロール)

A/D 変換器または D/A 変換器によりアナログ入力または出力チャンネルに設定されていない端子は、汎用入出力ポートとして使用可能です。このとき、本ビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。ただし、PB0 端子については PMRA の PMRA2 ビットの設定も必要です。

10.9.2 ポートデータレジスタ B (PDRB)

アドレス: H'FFFFFFEA

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDRB7	PDRB6	PDRB5	PDRB4	PDRB3	PDRB2	PDRB1	PDRB0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDRB7	ポート B7 データ	0: L レベル 1: H レベル	R/W
6	PDRB6	ポート B6 データ	PDRB はポート B の出力値を格納するレジスタです。PCR B が 1 にセットされているビットはこのレジスタの値が出力されます。このレジスタをリードすると、PCR B が 1 にセットされているビットはこのレジスタの値が読み出されます。PCR B が 0 にクリアされているビットは、このレジスタの値にかかわらず端子の状態が読み出されます。 ただし、A/D 変換器の ADCSR、ADCR によりアナログ入力チャンネルに指定されている端子は、対応する PCR B ビットがクリアされていてもリードすると 1 が読み出されます。 また、PB6、PB7 端子については、D/A 変換器の DACR の DAOE1 により PB7 端子、PB6 端子が D/A 変換器のアナログ出力に設定されていると、PCR B7、PCR B6 が 0 にクリアされていてもリードすると 1 が読み出されます。	R/W
5	PDRB5	ポート B5 データ		R/W
4	PDRB4	ポート B4 データ		R/W
3	PDRB3	ポート B3 データ		R/W
2	PDRB2	ポート B2 データ		R/W
1	PDRB1	ポート B1 データ		R/W
0	PDRB0	ポート B0 データ		R/W

10.9.3 ポートプルアップコントロールレジスタ B (PUCRB)

アドレス: H'FF001A

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PUCRB7	PUCRB6	PUCRB5	PUCRB4	PUCRB3	PUCRB2	PUCRB1	PUCRB0
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PUCRB7	ポート B7 プルアップ コントロール	PUCRB は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W
6	PUCRB6	ポート B6 プルアップ コントロール		R/W
5	PUCRB5	ポート B5 プルアップ コントロール		R/W
4	PUCRB4	ポート B4 プルアップ コントロール		R/W
3	PUCRB3	ポート B3 プルアップ コントロール		R/W
2	PUCRB2	ポート B2 プルアップ コントロール		R/W
1	PUCRB1	ポート B1 プルアップ コントロール		R/W
0	PUCRB0	ポート B0 プルアップ コントロール		R/W

- PUCRB7~PUCRB0 (ポートB7~B0プルアップコントロール)

入力に設定されている端子またはマルチプレクス機能において、入力の場合のみ本機能が有効になります。アナログ入力端子またはアナログ出力端子に設定されている場合、本設定は無効になります。

10.9.4 ポート B 使用上の注意事項

1. PB0は初期状態では汎用入出力端子になっています。PB0をA/D変換器のアナログ入力端子として使用する場合は、PMRAのPMRA2ビットを1に設定してください。
2. PB7、PB6はA/D変換器のアナログ入力端子とD/A変換器のアナログ出力端子を兼用しています。アナログ入力端子とアナログ出力端子を同時に設定しないでください。

10.10 ポート J

ポート J は PJ1、PJ0 で構成されます。外部発振端子、クロック出力と兼用の入出力ポートです。ポート J の各端子は図 10.10 に示す構成になっています。兼用端子の機能は PMRJ レジスタの設定が優先されます。

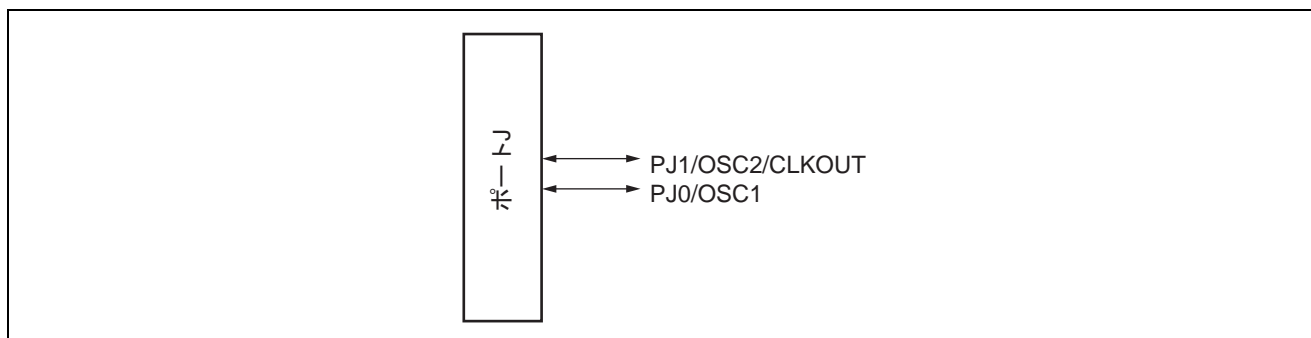


図 10.10 ポート J の端子構成

- ポートモードコントロールレジスタ J (PMRJ)
- ポートコントロールレジスタ J (PCRJ)
- ポートデータレジスタ J (PDRJ)
- ポートプルアップコントロールレジスタ J (PUCRJ)

10.10.1 ポートモードレジスタ J (PMRJ)

アドレス: H'FF000C

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	-	-	-	-	-	-	PMRJ[1:0]
--	---	---	---	---	---	---	-----------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W																				
7~2	-	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	-																				
1, 0	PMRJ[1:0]	ポート J[1:0] モード	PJ1、PJ0 端子機能選択 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>PMRJ1</th> <th>PMRJ0</th> <th>PJ1 端子</th> <th>PJ0 端子</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>PJ1 入出力</td> <td>PJ0 入出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>PJ1 入出力</td> <td>OSC1 入力* (外部クロック入力)</td> </tr> <tr> <td>1</td> <td>0</td> <td>CLKOUT</td> <td>PJ0 入出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>OSC2</td> <td>OSC1</td> </tr> </tbody> </table>	PMRJ1	PMRJ0	PJ1 端子	PJ0 端子	0	0	PJ1 入出力	PJ0 入出力	0	1	PJ1 入出力	OSC1 入力* (外部クロック入力)	1	0	CLKOUT	PJ0 入出力	1	1	OSC2	OSC1	R/W
PMRJ1	PMRJ0	PJ1 端子	PJ0 端子																					
0	0	PJ1 入出力	PJ0 入出力																					
0	1	PJ1 入出力	OSC1 入力* (外部クロック入力)																					
1	0	CLKOUT	PJ0 入出力																					
1	1	OSC2	OSC1																					

【注】 * OSC1 端子が外部クロックを入力する場合は、必ず PMRJ[1:0]=01 に設定してください。PMRJ[1:0]=11 の設定のまま OSC1 端子へ外部クロックを印加しないでください。

10.10.2 ポートコントロールレジスタ J (PCRJ)

アドレス: HFFFFFFC

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	-	-	-	-	-	-	PCRJ1	PCRJ0
--	---	---	---	---	---	---	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~2	-	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	-
1	PCRJ1	ポート J1 コントロール	0: 汎用入出力ポートの機能選択時、当該端子は入力ポート 1: 汎用入出力ポートの機能選択時、当該端子は出力ポート	R/W
0	PCRJ0	ポート J0 コントロール	PCRJ はポート J の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。	R/W

- PCRJ1、PCRJ0 (ポート J1、J0 コントロール)

PMRJ により汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

10.10.3 ポートデータレジスタ J (PDRJ)

アドレス: H'FFFFEC

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	-	-	-	-	-	-	PDRJ1	PDRJ0
--	---	---	---	---	---	---	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~2	-	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	-
1	PDRJ1	ポート J1 データ	0 : L レベル 1 : H レベル	R/W
0	PDRJ0	ポート J0 データ	PDRJ はポート J の出力値を格納するレジスタです。PCRJ が 1 にセットされているビットは、このレジスタの値が出力されます。このレジスタをリードすると、PCRJ が 1 にセットされているビットはこのレジスタの値が読み出されます。PCRJ が 0 にクリアされているビットは、このレジスタの値にかかわらず、端子の状態が読み出されます。	R/W

10.10.4 ポートプルアップコントロールレジスタ J (PUCRJ)

アドレス: H'FF001C

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	-	-	-	-	-	-	PUCRJ1	PUCRJ0
--	---	---	---	---	---	---	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~2	-	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	-
1	PUCRJ1	ポート J1 プルアップ コントロール	0: 対応する端子のプルアップ MOS がオフ状態 1: 対応する端子のプルアップ MOS がオン状態	R/W
0	PUCRJ0	ポート J0 プルアップ コントロール	PUCRJ は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。	R/W

- PUCRJ1、PUCRJ0 (ポート J1、J0 プルアップコントロール)

汎用入力に設定されている端子の場合のみ、本機能が有効になります。

11. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 11.1 に DTC のブロック図を示します。

11.1 概要

- 任意チャネル数の転送可能
- 転送モード：3種類

(1) ノーマルモード

1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
メモリアドレスを 1 または 2 増減
転送回数は 1~65,536

(2) リピートモード

1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
メモリアドレスを 1 または 2 増減
転送回数 (1~256) 転送後、初期状態を回復して動作を継続

(3) ブロック転送モード

1 回の転送要求で指定したブロックサイズの転送
ブロックサイズ 1~256 バイトまたはワード
転送回数は 1~65,536
ソースまたはデスティネーションのいずれかをブロックエリアに指定可能

- 1つの起動要因で複数データの連続転送が可能 (チェーン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールスタンバイモードの設定可能

DTC のレジスタ情報は内蔵 RAM に配置されます。DTC と内蔵 RAM 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

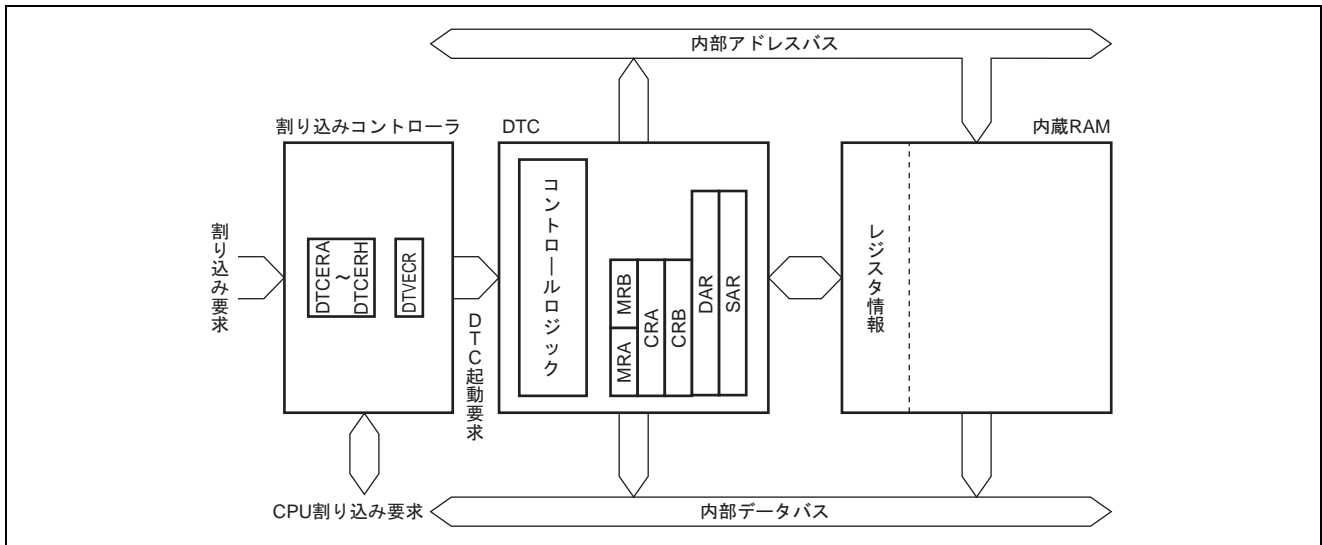


図 11.1 DTC のブロック図

11.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上 6 本のレジスタは CPU から直接アクセスすることはできません。DTC 起動要因が発生すると内蔵 RAM 上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送して DTC 転送を行い、転送が終了するとこれらのレジスタの内容が RAM に戻されます。

- DTCイネーブルレジスタA (DTCERA)
- DTCイネーブルレジスタB (DTCERB)
- DTCイネーブルレジスタC (DTCERC)
- DTCイネーブルレジスタD (DTCERD)
- DTCイネーブルレジスタE (DTCERE)
- DTCイネーブルレジスタF (DTCERF)
- DTCイネーブルレジスタG (DTCERG)
- DTCイネーブルレジスタH (DTCERH)
- DTCベクタレジスタ (DTVECR)

11.2.1 DTC モードレジスタ A (MRA)

アドレス: —

ビット: b7 b6 b5 b4 b3 b2 b1 b0

SM[1:0]	DM[1:0]	MD[1:0]	DTS	Sz
---------	---------	---------	-----	----

リセット後の値: — — — — — — — —

ビット	シンボル	ビット名	説明	R/W
7 6	SM[1:0]	ソースアドレス モード 1、0	0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)	—
5 4	DM[1:0]	デスティネーション アドレスモード 1、0	0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)	—
3 2	MD[1:0]	DTC モード 1、0	00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止	—
1	DTS	DTC 転送モード セレクト	0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域	—
0	Sz	DTC データトラン スファサイズ	0 : バイトサイズ転送 1 : ワードサイズ転送	—

【記号説明】 X : Don't care

MRA は DTC の動作モードの選択を行います。

- SM[1:0] (ソースアドレスモード1、0)
データ転送後の SAR の動作を指定します。
- DM[1:0] (デスティネーションアドレスモード1、0)
データ転送後の DAR の動作を指定します。
- MD[1:0] (DTCモード1、0)
DTC の転送モードを指定します。

- DTS (DTC転送モードセレクト)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。

- Sz (DTCデータトランスファサイズ)

転送データのサイズを指定します。

11.2.2 DTC モードレジスタ B (MRB)

アドレス: —

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	DISEL	CHNS	—	—	—	—	—

リセット後の値: — — — — — — — —

ビット	シンボル	ビット名	説明	R/W
7	CHNE	DTC チェイン転送イネーブル	0: チェイン転送を行わない 1: チェイン転送を行う	—
6	DISEL	DTC インタラプトセレクト	0: 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生 1: DTC 転送を行うたびに CPU に対して割り込みを発生	—
5	CHNS	チェイン転送セレクト	0: 連続してチェイン転送を行う 1: 転送カウンタ=0 のときのみチェイン転送を行う	—
4~0	—	予約ビット	DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。	—

MRB は DTC モードの選択を行います。

- CHNE (DTCチェイン転送イネーブル)

このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「11.5.4 チェイン転送」を参照してください。

CHNE=1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。

- DISEL (DTCインタラプトセレクト)

このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します (DTC は起動要因となった割り込み要因フラグを 0 にクリアしません)。このビットが 0 のときは、指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します (DTC は起動要因となった割り込み要因フラグを 0 にクリアします)。

11.2.3 DTC ソースアドレスレジスタ (SAR)

アドレス:	—							
ビット:	b23	b22	b21	b20	b19	b18	b17	b16
	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
リセット後の値:	—	—	—	—	—	—	—	—
ビット:	b15	b14	b13	b12	b11	b10	b9	b8
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
リセット後の値:	—	—	—	—	—	—	—	—
ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
リセット後の値:	—	—	—	—	—	—	—	—

SAR は DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

11.2.4 DTC デスティネーションアドレスレジスタ (DAR)

アドレス:	—							
ビット:	b23	b22	b21	b20	b19	b18	b17	b16
	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16
リセット後の値:	—	—	—	—	—	—	—	—
ビット:	b15	b14	b13	b12	b11	b10	b9	b8
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
リセット後の値:	—	—	—	—	—	—	—	—
ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
リセット後の値:	—	—	—	—	—	—	—	—

DAR は DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

11.2.5 DTC 転送カウントレジスタ A (CRA)

アドレス:	—							
ビット:	b15	b14	b13	b12	b11	b10	b9	b8
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
リセット後の値:	—	—	—	—	—	—	—	—
ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
リセット後の値:	—	—	—	—	—	—	—	—

CRA は DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リピートモードでは CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。ブロック転送モードでは CRAH は、ブロックサイズを保持し、CRAL はブロックサイズのカウンタとして機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。

11.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス:	—							
ビット:	b15	b14	b13	b12	b11	b10	b9	b8
	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
リセット後の値:	—	—	—	—	—	—	—	—
ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
リセット後の値:	—	—	—	—	—	—	—	—

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。ノーマルモードおよびリピートモードでは使用しません。

11.2.7 DTC イネーブルレジスタ A~H (DTCERA~DTCERH)

アドレス: H'FF0534~H'FF053B

ビット: b7 b6 b5 b4 b3 b2 b1 b0

DTCEn7	DTCEn6	DTCEn5	DTCEn4	DTCEn3	DTCEn2	DTCEn1	DTCEn0
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	DTCEn7	DTC 起動イネーブル	0: 対応する割り込み要因が、DTC 起動要因として選択されない 1: 対応する割り込み要因が、DTC 起動要因として選択される 【1になる条件】 • 1を書き込むと対応する割り込み要因がDTC起動要因として選択されます。 【0になる条件】 • MRB の DISEL ビットが1でデータ転送を終了したとき • 指定した回数の転送が終了したとき DISEL ビットが0で、指定した回数の転送が終了していないときは自動クリアされません。 • DTCE=1 の状態でリードした後、DTCE に0をライトしたとき	R/W
6	DTCEn6			R/W
5	DTCEn5			R/W
4	DTCEn4			R/W
3	DTCEn3			R/W
2	DTCEn2			R/W
1	DTCEn1			R/W
0	DTCEn0			R/W

【注】 n = A~H

対応する割り込みのないビットは予約ビットです。ライト時は0をライトしてください。

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERH があります。各割り込み要因と DTCE ビットの対応については表 11.1 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

表 11.1 各割り込み要因と DTCER の対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
DTCERA	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
DTCERB	IADEND_1	IADCMP_1	IADEND_2* ¹	IADCMP_2* ¹	ELC1FP	ELC2FP	SCI3_1_RXI	SCI3_1_TXI
DTCERC	SCI3_2_RXI	SCI3_2_TXI	SCI3_3_RXI	SCI3_3_TXI	—	—	—	—
DTCERD	IIC2/SSU_RXI	IIC2/SSU_TXI	—	—	ITCMA* ²	ITCMB* ²	ITCMC* ²	ITCMD* ²
DTCERE	ITDMA0_0	ITDMB0_0	ITDMC0_0	ITDMD0_0	ITDMA0_1	ITDMB0_1	ITDMC0_1	ITDMD0_1
DTCERF	ITDMA1_2* ³	ITDMB1_2* ³	ITDMC1_2* ³	ITDMD1_2* ³	ITDMA1_3* ³	ITDMB1_3* ³	ITDMC1_3* ³	ITDMD1_3* ³
DTCERG	—	—	—	ITESC	ITEMI	ITEHR	ITEDY	ITEWK
DTCERH	—	—	—	—	ITGMA	ITGMB	—	—

【注】 — : リザーブビット

*1 H8S/20223 グループ、H8S/20235 グループのみ搭載しています。

*2 H8S/20103 グループ、H8S/20115 グループのみ搭載しています。

*3 H8S/20103 グループ、H8S/20115 グループにはありません。

11.2.8 DTC ベクタレジスタ (DTVECR)

アドレス: H'FF053D

ビット: b7 b6 b5 b4 b3 b2 b1 b0

SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
-------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	SWDTE	DTC ソフトウェア 起動イネーブル	0: ソフトウェアで DTC を起動させない 1: ソフトウェアで DTC を起動させる このビットを 1 にセットすると DTC が起動します。 【0 になる条件】 • DIESEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込みが要求 (SWDTEND) が発生したあと、0 をライトしたとき DIESEL ビットが 1 の状態でデータ転送を終了したとき、および指定した回数の転送が終了したとき、本ビットはクリアされません。	R/W
6	DTVEC6	DTC ソフトウェア 起動ベクタ 6~0	ソフトウェアによる DTC 起動ベクタ番号の設定 ソフトウェアによる DTC 起動ベクタ番号を設定します。 ベクタアドレスは、H'0400+ベクタ番号×2 となります。たとえば、DTVEC6~DTVEC0=H'10 のとき、ベクタアドレスは H'0420 となります。 SWDTE=0 のときのみ、ライト可能です。	R/W
5	DTVEC5			R/W
4	DTVEC4			R/W
3	DTVEC3			R/W
2	DTVEC2			R/W
1	DTVEC1			R/W
0	DTVEC0			R/W

DTVECR は、ソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

11.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば SCI3_1_RXI の場合、起動要因フラグは、SCI3_1 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。起動要因と DTCER のクリアを表 11.2 に、DTC 起動要因制御ブロック図を図 11.2 に示します。割り込みコントローラの詳細は、「第 4 章 割り込みコントローラ」を参照してください。

表 11.2 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> SWDTE ビットは 1 を保持 CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> DTCER の対応するビットは 1 を保持 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> DTCER の対応するビットは 0 にクリア 起動要因フラグは 1 を保持 起動要因となった割り込みを CPU に要求

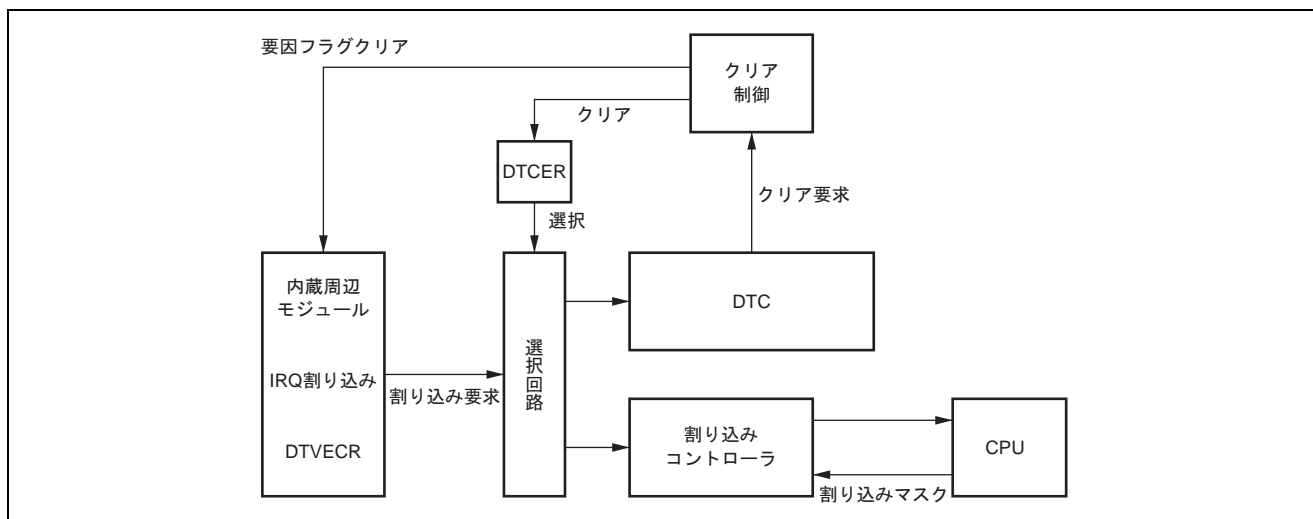


図 11.2 DTC 起動要因制御ブロック図

11.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上に配置してください。アドレスは4の倍数の番地としてください。図 11.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 11.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 11.4 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは $H'0400 + (DTVECR [6:0] \times 2)$ となります。たとえば、VOFR=H'0000、DTVECR が H'18 のとき、ベクタアドレスは H'0430 となります。

ベクタアドレスの構造は、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。DTC 使用時は、VOFR を H'0000 (初期値) に設定してください。

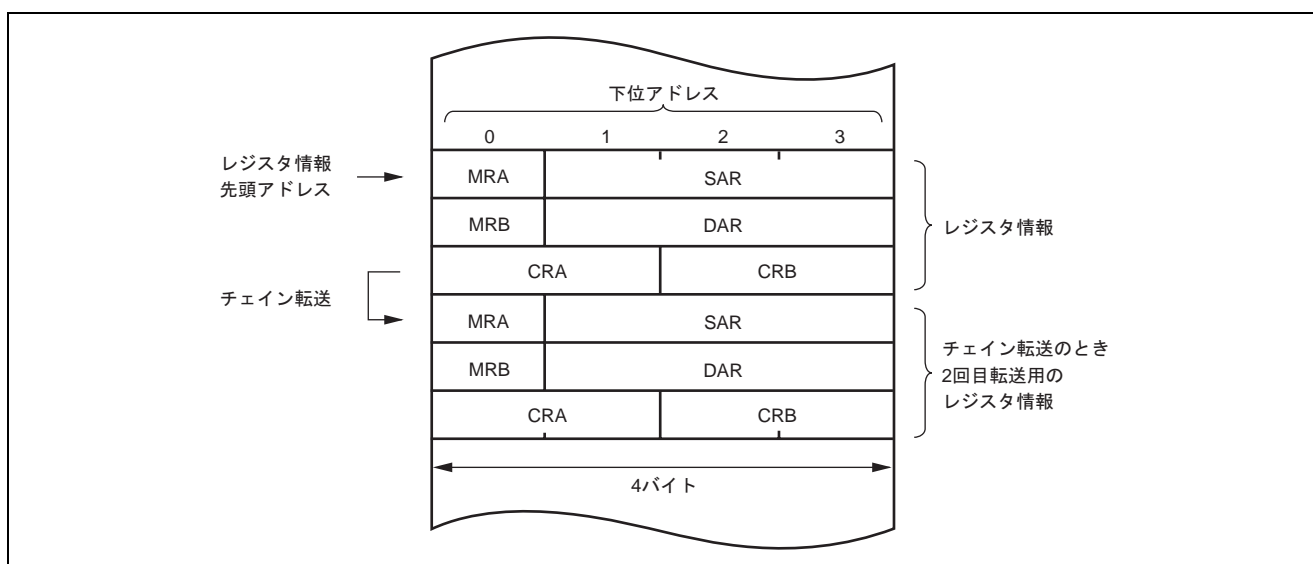


図 11.3 アドレス空間上での DTC レジスタ情報の配置

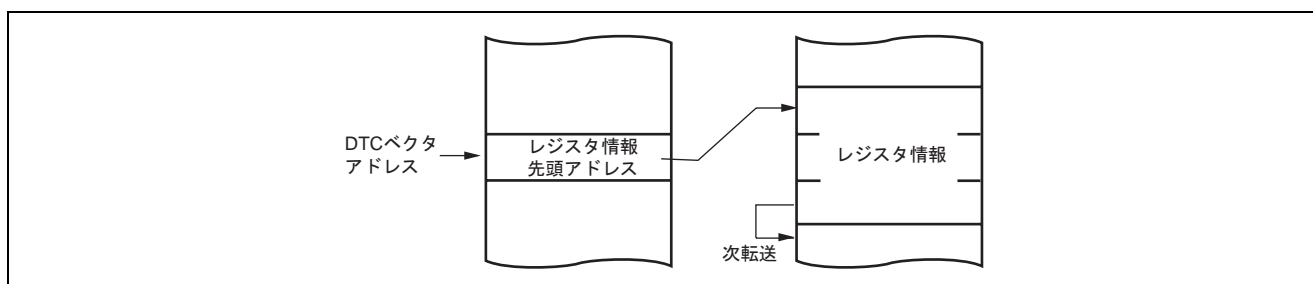


図 11.4 DTC ベクタアドレスとレジスタ情報との対応

起動要因発生元	起動要因	ベクタ番号	ベクタアドレス*1	DTCE*5	優先順位
タイマ RC*3	ITCMD インプットキャプチャ D/ コンペアマッチ D	74	H'494~H'495	DTCED0	高 ↑
タイマ RD ユニット 0 チャンネル 0	ITDMA0_0 インプットキャプチャ A/ コンペアマッチ A	76	H'498~H'499	DTCEE7	
	ITDMB0_0 インプットキャプチャ B/ コンペアマッチ B	77	H'49A~H'49B	DTCEE6	
	ITDMC0_0 インプットキャプチャ C/ コンペアマッチ C	78	H'49C~H'49D	DTCEE5	
	ITDMD0_0 インプットキャプチャ D/ コンペアマッチ D	79	H'49E~H'49F	DTCEE4	
タイマ RD ユニット 0 チャンネル 1*4	ITDMA0_1 インプットキャプチャ A/ コンペアマッチ A	82	H'4A4~H'4A5	DTCEE3	
	ITDMB0_1 インプットキャプチャ B/ コンペアマッチ B	83	H'4A6~H'4A7	DTCEE2	
	ITDMC0_1 インプットキャプチャ C/ コンペアマッチ C	84	H'4A8~H'4A9	DTCEE1	
	ITDMD0_1 インプットキャプチャ D/ コンペアマッチ D	85	H'4AA~H'4AB	DTCEE0	
タイマ RD ユニット 1 チャンネル 2*4	ITDMA1_2 インプットキャプチャ A/ コンペアマッチ A	87	H'4AE~H'4AF	DTCEF7	
	ITDMB1_2 インプットキャプチャ B/ コンペアマッチ B	88	H'4B0~H'4B1	DTCEF6	
	ITDMC1_2 インプットキャプチャ C/ コンペアマッチ C	89	H'4B2~H'4B3	DTCEF5	
	ITDMD1_2 インプットキャプチャ D/ コンペアマッチ D	90	H'4B4~H'4B5	DTCEF4	
					↓ 低

起動要因発生元	起動要因	ベクタ番号	ベクタアドレス*1	DTCE*5	優先順位
タイマ RD ユニット 1 チャンネル 3*4	ITDMA1_3 インプットキャプチャ A/ コンペアマッチ A	93	H'4BA~H'4BB	DTCEF3	高 ↑ ↓ 低
	ITDMB1_3 インプットキャプチャ B/ コンペアマッチ B	94	H'4BC~H'4BD	DTCEF2	
	ITDMC1_3 インプットキャプチャ C/ コンペアマッチ C	95	H'4BE~H'4BF	DTCEF1	
	ITDMD1_3 インプットキャプチャ D/ コンペアマッチ D	96	H'4C0~H'4C1	DTCEF0	
タイマ RE	ITESC	100	H'4C8~H'4C9	DTCEG4	
	ITEMI	101	H'4CA~H'4CB	DTCEG3	
	ITEHR	102	H'4CC~H'4CD	DTCEG2	
	ITEDY	103	H'4CE~H'4CF	DTCEG1	
	ITEWK	104	H'4D0~H'4D1	DTCEG0	
タイマ RG	ITGMA インプットキャプチャ A/ コンペアマッチ A	109	H'4DA~H'4DB	DTCEH3	
	ITGMB インプットキャプチャ B/ コンペアマッチ B	110	H'4DC~H'4DD	DTCEH2	

【注】 *1 ベクタアドレスは VOFR=H'0000 のときの低位 11 ビットを示しています。

*2 H8S/20223 グループ、H8S/20235 グループのみ搭載しています。他製品では予約となります。

*3 H8S/20103 グループ、H8S/20115 グループのみ搭載しています。他製品では予約となります。

*4 H8S/20103 グループ、H8S/20115 グループにはありません。予約となります。

*5 対応する割り込みのない DTCE ビットは予約ビットとなります。0 をライトしてください。

11.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると内蔵 RAM からレジスタ情報をリードして、データ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意チャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。さらに、CHNS ビットを 1 にセットすることにより、転送カウンタ=0 のときのみチェーン転送を行うこともできます。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメントまたはデクリメントされるか固定されます。

図 11.5 に DTC の動作フローチャートを示します。表 11.4 に第 1 の転送から第 2 の転送を行うチェーン転送の条件を示します。

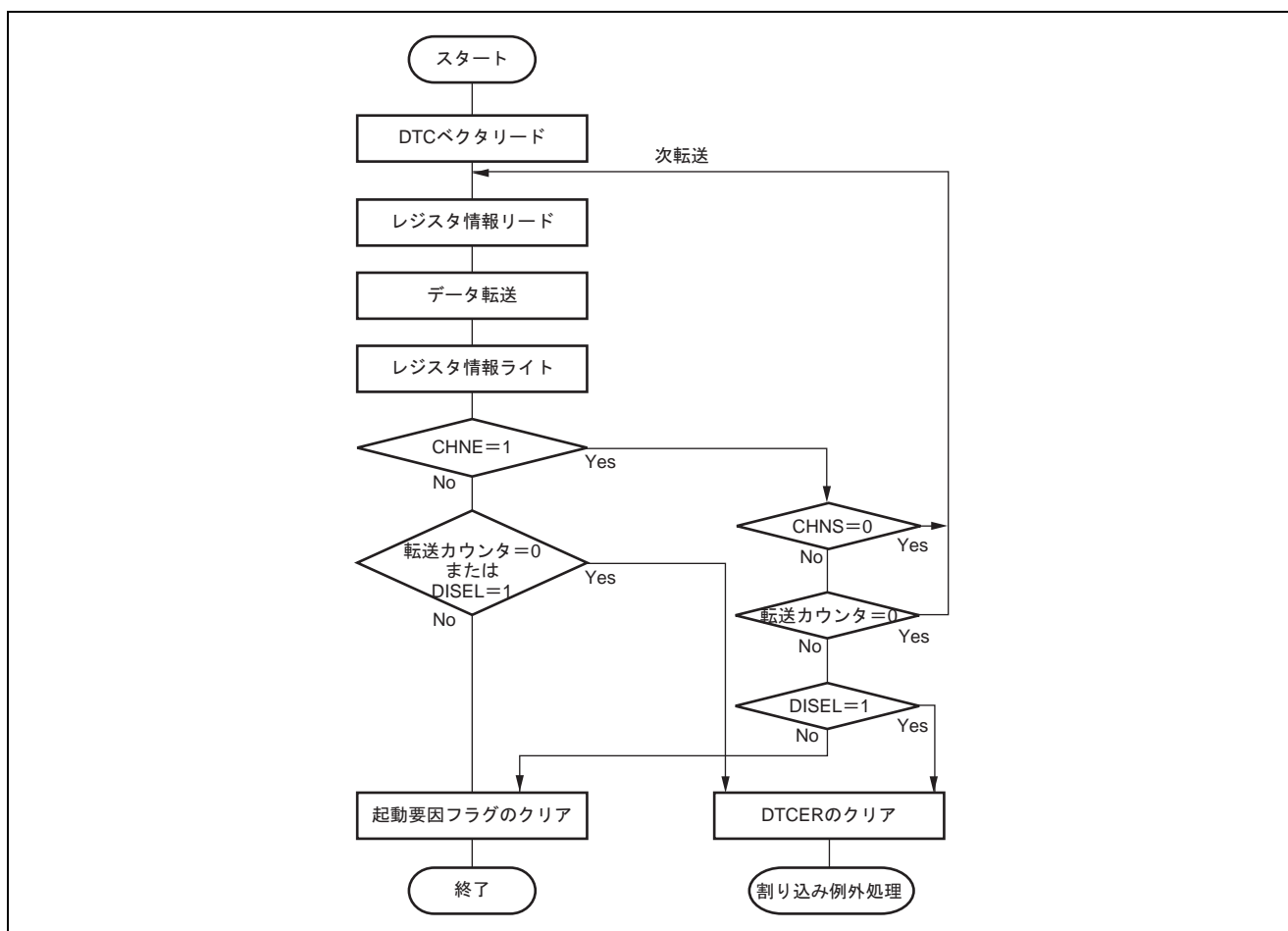


図 11.5 DTC 動作フローチャート

表 11.4 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	CR	CHNE	CHNS	DISEL	CR	
0	—	0	0 以外	—	—	—	—	第 1 の転送で終了
0	—	0	0	—	—	—	—	第 1 の転送で終了
0	—	1	—	—	—	—	—	CPU へ割り込み要求
1	0	—	—	0	—	0	0 以外	第 2 の転送で終了
				0	—	0	0	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	0	0 以外	—	—	—	—	第 1 の転送で終了
1	1	—	0	0	—	0	0 以外	第 2 の転送で終了
				0	—	0	0	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	1	0 以外	—	—	—	—	第 1 の転送で終了 CPU へ割り込み要求

11.5.1 ノーマルモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。表 11.5 にノーマルモードにおけるレジスタ機能を示します。転送回数は 1~65536 です。指定回数の転送が終了すると、CPU へ割り込み要求を発生することができます。

表 11.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ A	CRA	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

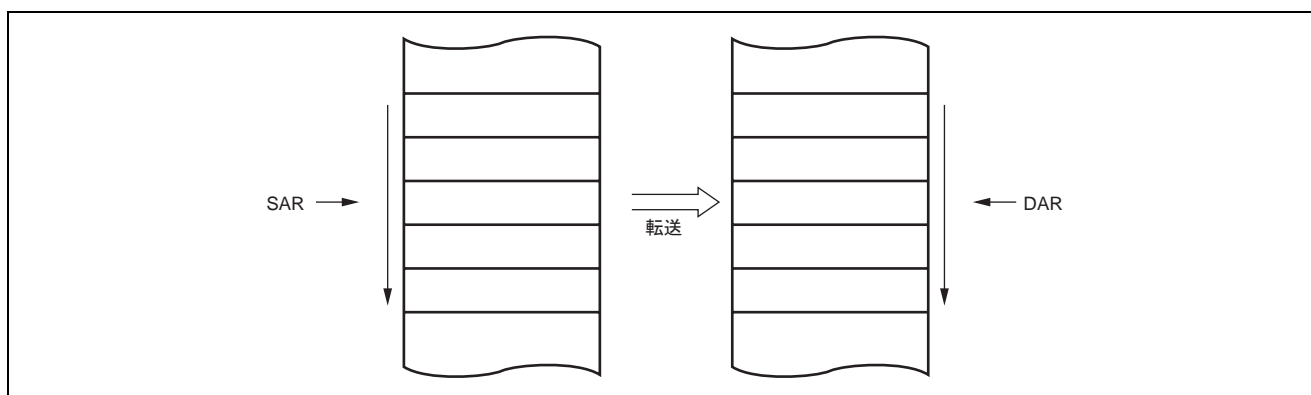


図 11.6 ノーマルモードのメモリマップ

11.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 11.6 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 11.6 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

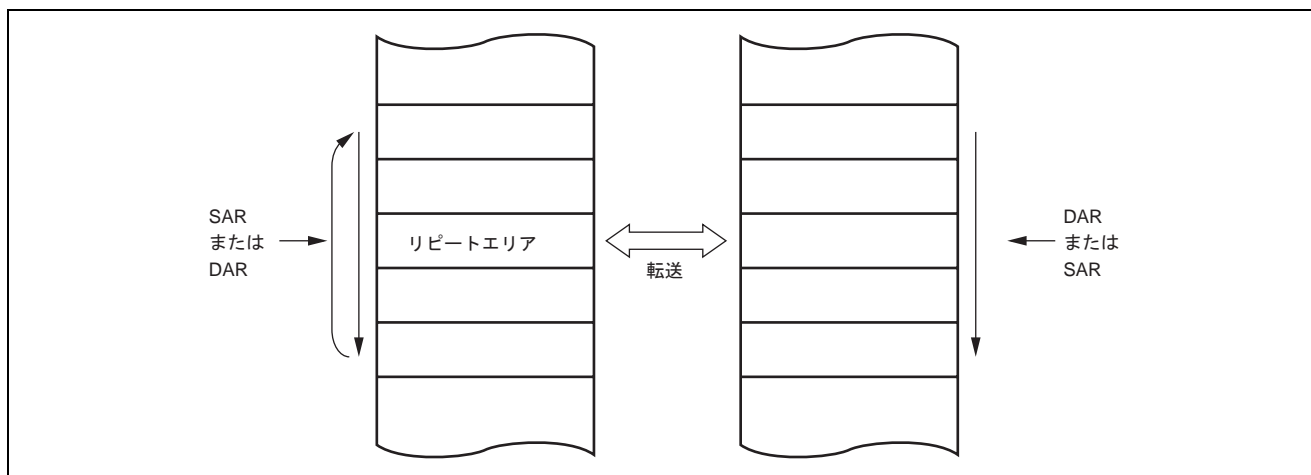


図 11.7 リピートモードのメモリマップ

11.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 11.7 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数 of ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 11.7 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

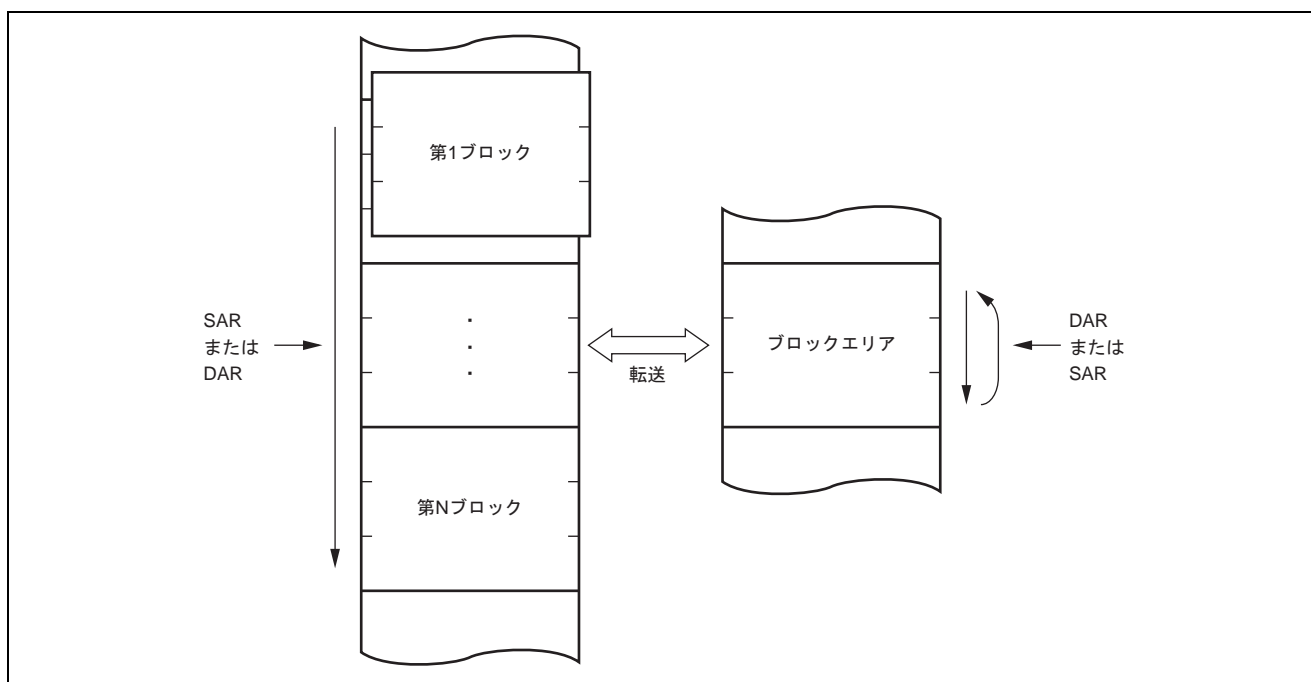


図 11.8 ブロック転送モードのメモリマップ

11.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 11.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後 MRB の CHNE ビットが 1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を共に CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。また、CHNE ビット、CHNS ビットを共に 1 にセットすると転送カウンタ=0 のときのみチェイン転送を行うこともできます。

CHNE=1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

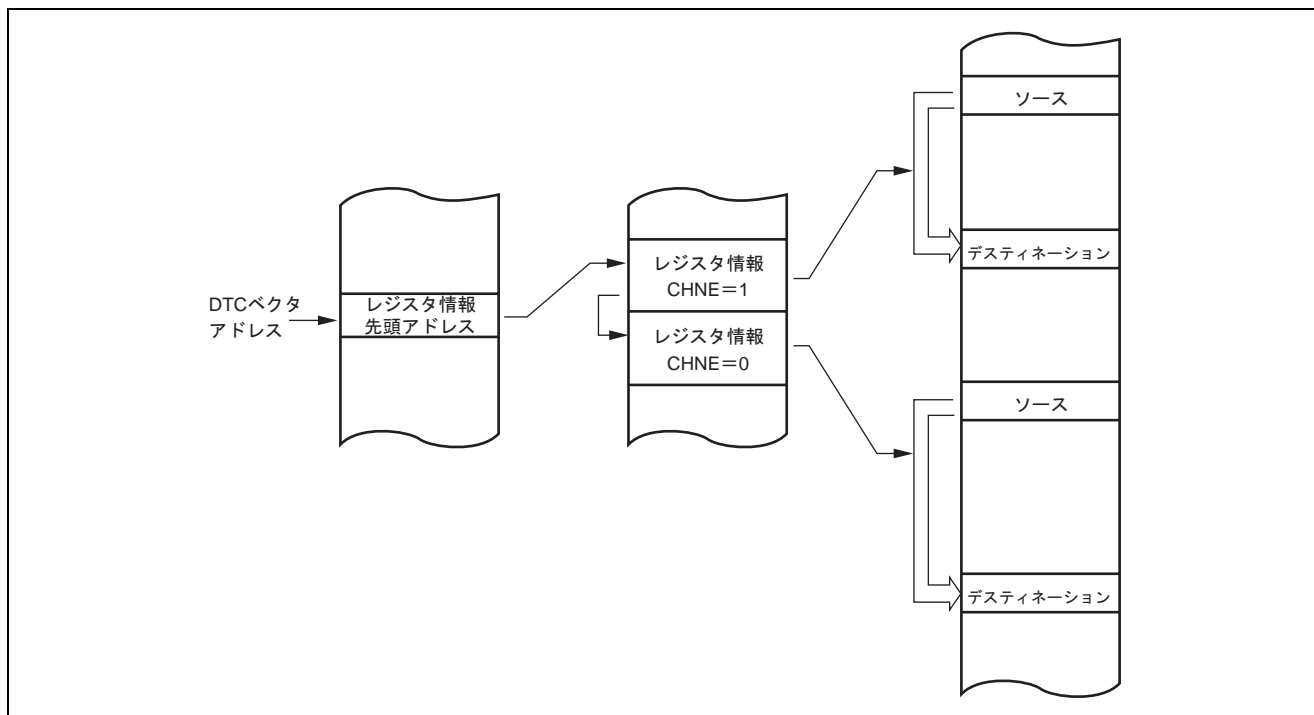


図 11.9 チェイン転送の動作

11.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、または **DISEL** ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (**SWDTEND**) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、**SWDTE** ビットが 1 に保持され、**SWDTEND** 割り込みが発生します。割り込み処理ルーチンで **SWDTE** ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、**SWDTE** ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、**SWDTEND** 割り込みは発生しません。

11.5.6 動作タイミング

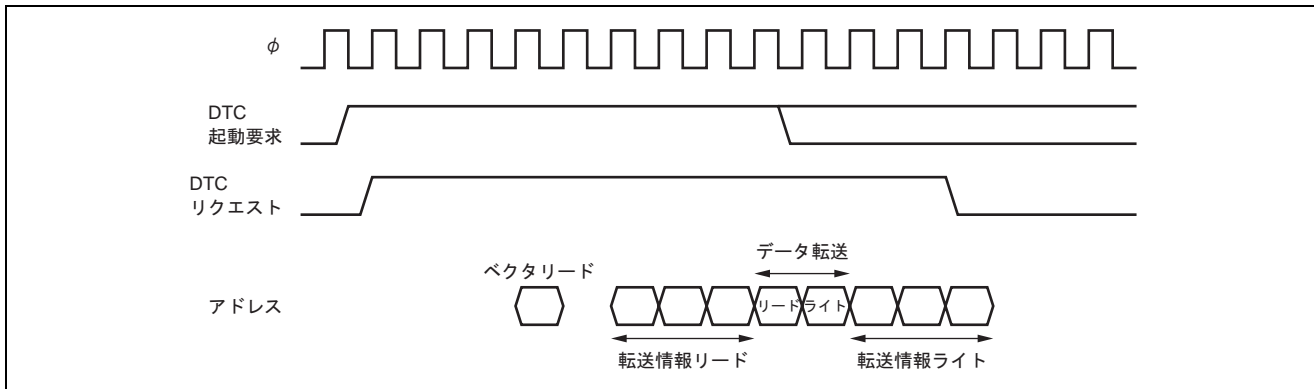


図 11.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

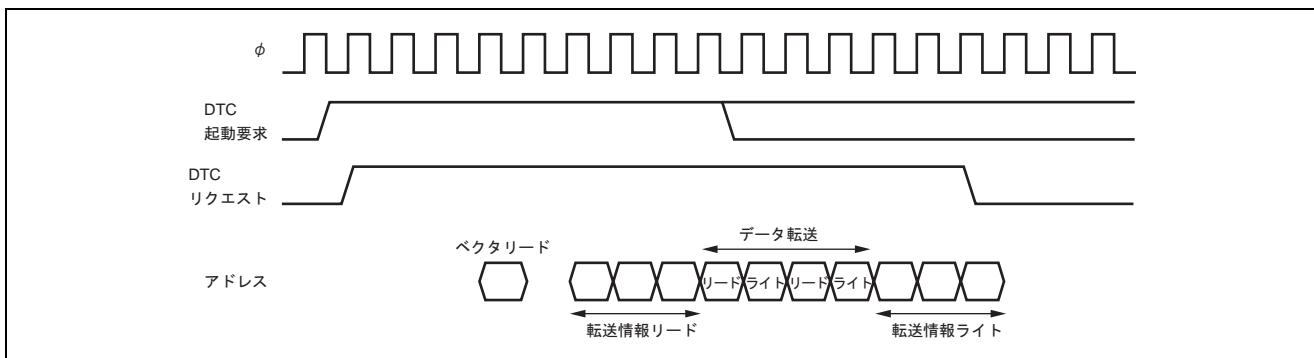


図 11.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

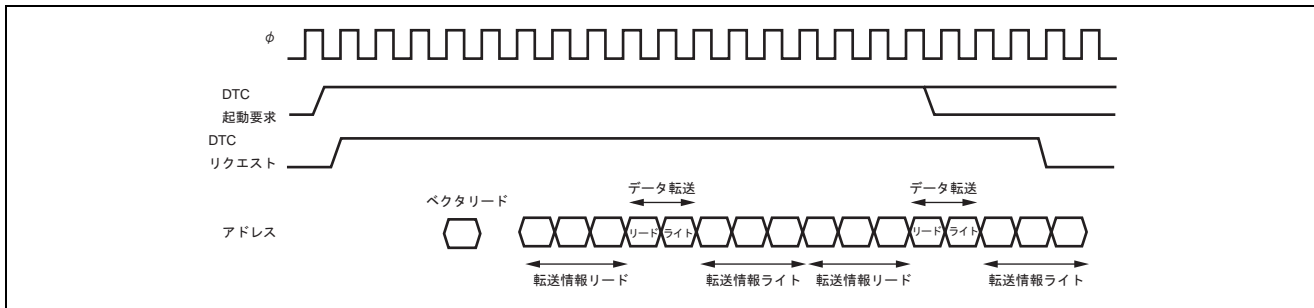


図 11.12 DTC の動作タイミング (チェイン転送の例)

11.5.7 DTC 実行ステート数

表 11.8 に、DTC1 回のデータ転送の実行状態を示します。また、表 11.9 に、実行状態に必要なステート数を示します。

表 11.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N：ブロックサイズ（CRAH、CRAL の初期設定値）

表 11.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ					
バス幅		32	16	8			16		
アクセスステート		1	1	2	3	4	2	3	4
実 行 状 態	ベクタリード S_i	1	1	2	3	4	2	3	4
	レジスタ情報 S_j リード/ライト	1	—	—	—	—	—	—	—
	バイトデータリード S_k	1	1	2	3	4	2	3	4
	ワードデータリード S_k	1	1	4	6	8	2	3	4
	バイトデータライト S_L	1	1	2	3	4	2	3	4
	ワードデータライト S_L	1	1	4	6	8	2	3	4
	内部動作 S_M	1							

実行ステート数は次の計算式で計算されます。なお、 Σ は 1 つの起動要因で転送する回数分（CHNE ビットを 1 にセットした数+1）の和を示します。

$$\text{実行ステート数} = I \cdot S_i + \Sigma (J \cdot S_j + K \cdot S_k + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタ（2 ステートアクセス）のデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

11.6 DTC 使用手順

11.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

11.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE=0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。割り込み処理ルーチンでSWDTEビットを0にクリアしてください。

11.7 DTC 使用例

11.7.1 ノーマルモード

DTC の使用例として、SCI3 による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCI3のRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCI3を所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

11.7.2 転送カウンタ=0のときのチェーン転送

DTCは、第1のデータ転送の転送カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって転送回数が256回以上のリピート転送を行うことができます。128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレスH'0000から始まるように設定します。図11.13に転送カウンタ=0のときのチェーン転送の概要を示します。

1. 第1のデータ転送として、入力データ用のノーマルモードを設定します。転送元アドレスは固定（G/Aなど）、CRA=H'0000（65,536回）、CHNE=1、CHNS=1、DISEL=0としてください。
2. 第1のデータ転送の転送先アドレスの65536回ごとの先頭アドレスの上位8ビットアドレスを別の領域（ROMなど）に用意してください。たとえば、入力バッファをH'200000～H'21FFFFとする場合には、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレスの再設定用のリピートモード（ソース側をリピート領域）とします。転送先は第1の転送用レジスタ情報領域のDARの上位8ビットとします。CHNE=DISEL=0としてください。上記入力バッファをH'200000～H'21FFFFとする場合には、転送カウンタ=2とします。
4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
5. 引き続き、割り込みによって第1のデータ転送を第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
6. 前記 4. 5.を無限に繰り返します。第2のデータ転送がリピートモードのため、CPUには割り込みを要求しません。

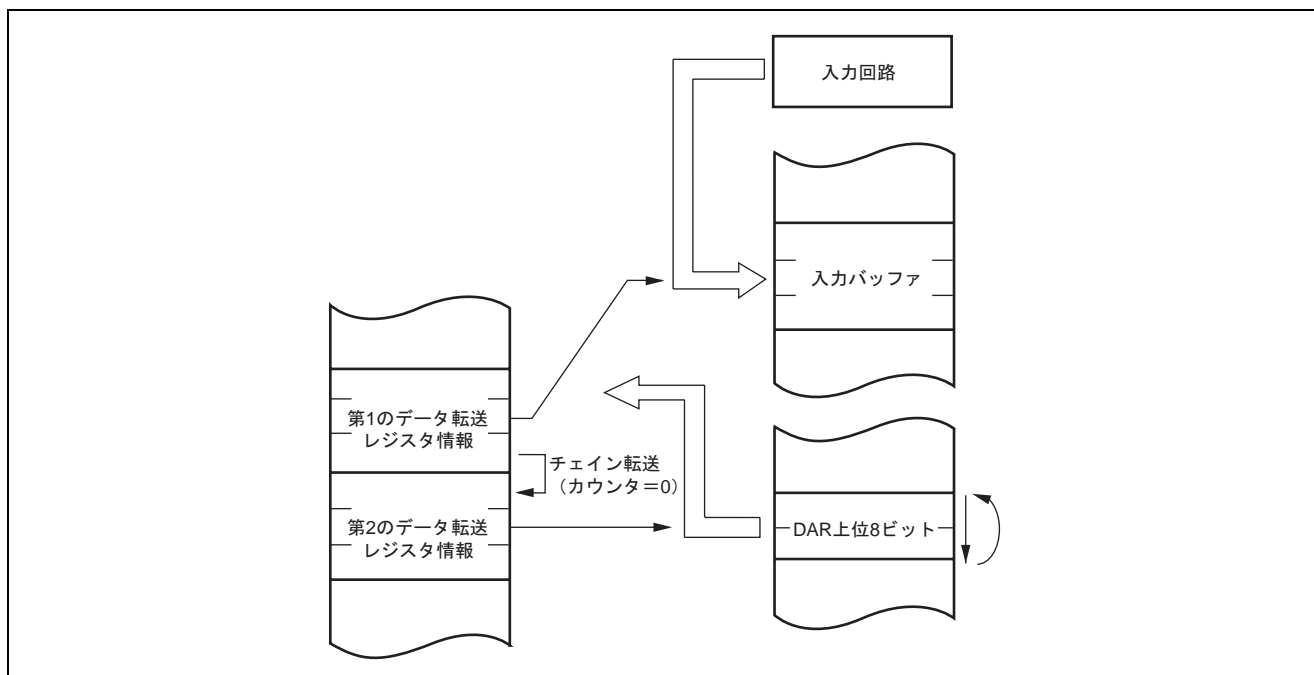


図 11.13 カウンタ=0のときのチェーン転送

11.7.3 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはHE'0です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表わします。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3] に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

11.8 使用上の注意事項

11.8.1 モジュールスタンバイモードの設定

モジュールスタンバイコントロールレジスタにより、DTC の動作禁止/許可を設定することが可能です。初期値では、DTC の動作は禁止です。DTC を使用する場合は、モジュールスタンバイモードを解除してください。モジュールスタンバイモード時は、レジスタのアクセスが禁止されます。DTC が起動中はモジュールスタンバイモードに設定できません。詳細は、「第 6 章 低消費電力状態」を参照してください。

11.8.2 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するために、割り込みを禁止して、当該レジスタのダメージリードを行ってからライトすることができます。

11.8.3 SCI、IIC2/SSU および A/D 変換器の割り込み要因による DTC 起動

SCI3、IIC2/SSU および A/D 変換器の割り込み/起動要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされます。したがって、これらの割り込み/起動要因によって DTC を起動する場合、最後のデータ転送で当該レジスタのリード/ライトを含まない場合、割り込み/起動要因が保持されます。

DISEL ビットには依存しません。

11.8.4 割り込みベクタオフセットレジスタ (VOFR) 使用時の制限事項

割り込みベクタオフセットレジスタ (VOFR) にオフセットアドレス値を設定して DTC を使用したとき、VOFR の設定値が無効となり、VOFR が初期値 (H'0000) でのベクタアドレス領域のベクタ定義を参照して、例外処理が実行されます。

DTC 使用時は、VOFR を H'0000 (デフォルト値) に設定してください。

12. イベントリンクコントローラ (ELC)

イベントリンクコントローラ (ELC) は、各周辺モジュールが出力するイベントをモジュール間で相互に接続 (リンク) します。イベントリンクにより、CPU を介さず直接モジュール間での連携動作が可能になります。ELC のブロック構成図を図 12.1 に示します。

12.1 概要

- 57種類のイベント信号を、直接モジュールへリンク可能
 - タイマ系のモジュールは、イベント入力時の動作の選択が可能
 - ポート3、ポート6のイベントリンク動作が可能
 シングルポート：指定した1ビットのポートにイベントリンクの動作設定ができます。
 ポートグループ：8ビットポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定ができます。
- また、入力に指定されている、シングルポート、グループポートでは、接続している信号値の変化により、イベントを発生します。
- イベント発生タイマにより、4チャンネルの任意設定周期のイベント発生が可能

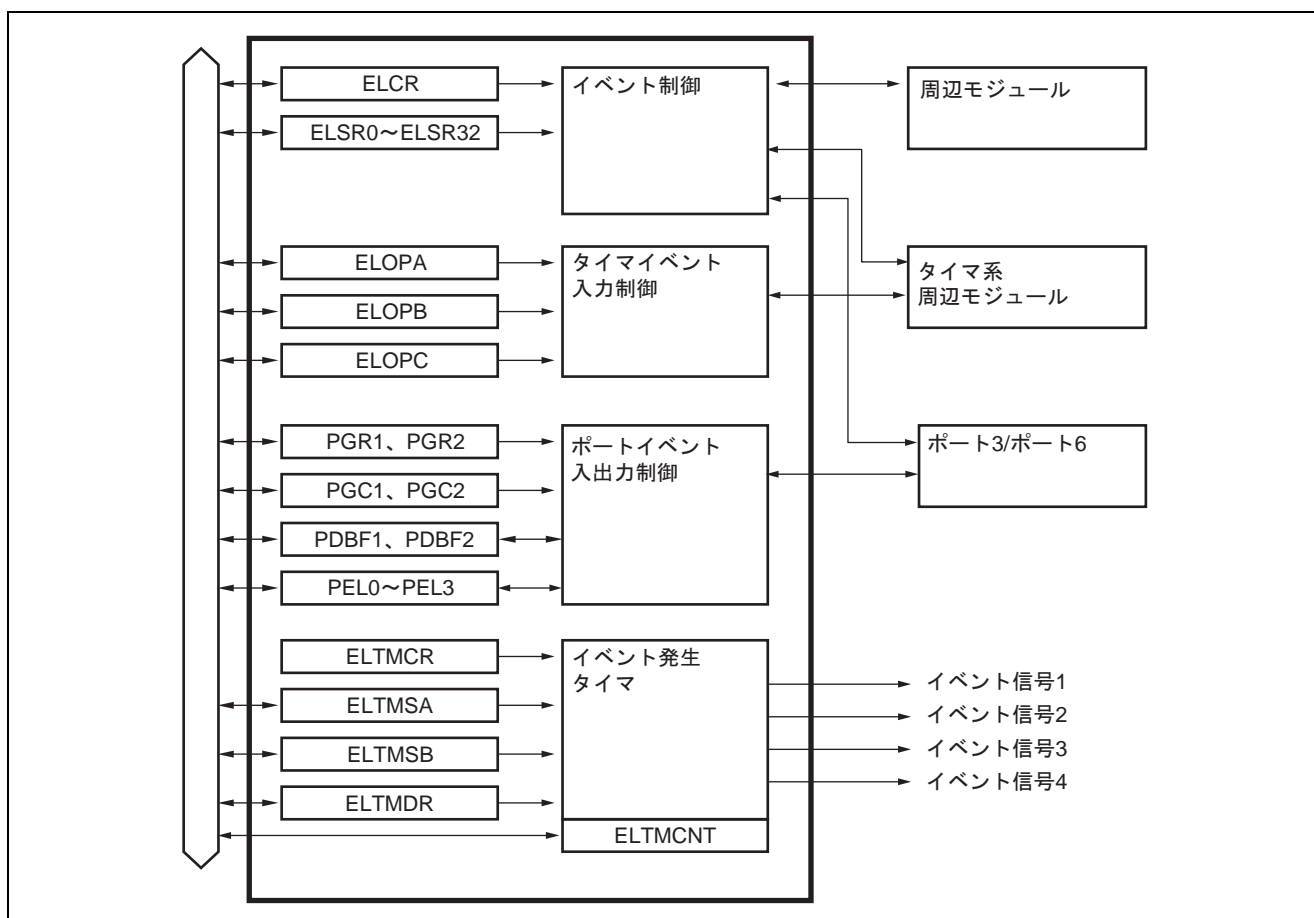


図 12.1 イベントリンクコントローラのブロック図

12.2 レジスタの説明

ELC には以下のレジスタがあります。

- イベントリンクコントロールレジスタ (ELCR)
- イベントリンク設定レジスタ0~32 (ELSR0~ELSR32)
- イベントリンクオプション設定レジスタA (ELOPA)
- イベントリンクオプション設定レジスタB (ELOPB)
- イベントリンクオプション設定レジスタC (ELOPC)
- ポートグループ指定レジスタ1、2 (PGR1、PGR2)
- ポートグループコントロールレジスタ1、2 (PGC1、PGC2)
- ポートバッファレジスタ1、2 (PDBF1、PDBF2)
- イベント接続ポート指定レジスタ0~3 (PEL0~PEL3)
- イベント発生タイマコントロールレジスタ (ELTMCR)
- イベント発生タイマ周期設定レジスタA (ELTMSA)
- イベント発生タイマ周期設定レジスタB (ELTMSB)
- イベント発生遅延時間選択レジスタ (ELTMDR)
- ELCタイマカウンタ (ELTMCNT)

12.2.1 イベントリンクコントロールレジスタ (ELCR)

アドレス: H'FF06BC

ビット: b7 b6 b5 b4 b3 b2 b1 b0

ELCON	—	—	—	—	—	—	—
-------	---	---	---	---	---	---	---

リセット後の値: 0 1 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7	ELCON	全イベントリンク イネーブル	0: 全イベントリンク無効 1: 全イベントリンク有効	R/W
6~0	—	予約ビット	リードすると1が読み出されます。ライト時は1を書いてください。	—

ELCR は、イベントリンクコントローラ (ELC) の動作を制御するレジスタです。

12.2.2 イベントリンク設定レジスタ 0~32 (ELSR0~ELSR32)

アドレス: H'FF0680~H'FF0684、H'FF0688、H'FF068A~H'FF068C、H'FF068E、H'FF068F、H'FF0692、H'FF0693、
H'FF0695~H'FF0698、H'FF069D~H'FF06A0

ビット: b7 b6 b5 b4 b3 b2 b1 b0

ELSn7	ELSn6	ELSn5	ELSn4	ELSn3	ELSn2	ELSn1	ELSn0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	ELSn7	イベントリンク 選択 n7	00000000 : イベントリンク機能停止 00000001~01100001 : リンクするイベント信号の番号を指定 上記以外 : 設定禁止	R/W
6	ELSn6	イベントリンク 選択 n6		R/W
5	ELSn5	イベントリンク 選択 n5		R/W
4	ELSn4	イベントリンク 選択 n4		R/W
3	ELSn3	イベントリンク 選択 n3		R/W
2	ELSn2	イベントリンク 選択 n2		R/W
1	ELSn1	イベントリンク 選択 n1		R/W
0	ELSn0	イベントリンク 選択 n0		R/W

【記号説明】 n : 0~32 (5~7、9、13、16、17、20、25~28 を除く)

ELSR は、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSR0～ELSR32 と周辺モジュールの対応を表 12.1 に示します。また、ELSR に設定するイベント信号の名称と信号番号の対応を表 12.2 に示します。

表 12.1 ELSR と周辺機能の対応

レジスタ名	周辺機能 (モジュール)
ELSR0	タイマ RA
ELSR1	タイマ RB
ELSR2* ¹	タイマ RC
ELSR3	タイマ RD_0 チャンネル 0
ELSR4	タイマ RD_0 チャンネル 1
ELSR8	タイマ RG
ELSR10	AD 変換器ユニット 1
ELSR11* ²	AD 変換器ユニット 2
ELSR12* ³	割り込み 1
ELSR14	出力ポートグループ 1
ELSR15	出力ポートグループ 2
ELSR18	入力ポートグループ 1
ELSR19	入力ポートグループ 2
ELSR21	シングルポート 0
ELSR22	シングルポート 1
ELSR23	シングルポート 2
ELSR24	シングルポート 3
ELSR29	クロック発振器
ELSR30* ³	割り込み 2
ELSR31	DA 変換器チャンネル 0
ELSR32	DA 変換器チャンネル 1

【注】 *1 H8S/20103 グループ、H8S/20115 グループのみサポートします。

*2 H8S/20223 グループ、H8S/20235 グループのみサポートします。

*3 割り込み機能に DTC 転送完了信号 (イベント番号 H'3D) を設定する場合、割り込み 1 (ELSR12) に設定してください。

表 12.2 ELSn ビットに設定するイベント信号名と信号番号の対応

ELSn7~ELSn0 ビットの値	ELSR 設定イベント信号
00000001 (H'01)	タイマ RA・アンダフロー信号
00000010 (H'02)	タイマ RB・アンダフロー信号
00000011 (H'03) * ¹	タイマ RC・オーバフロー信号
00000100 (H'04) * ¹	タイマ RC・コンペアマッチ A 信号
00000101 (H'05) * ¹	タイマ RC・コンペアマッチ B 信号
00000110 (H'06) * ¹	タイマ RC・コンペアマッチ C 信号
00000111 (H'07) * ¹	タイマ RC・コンペアマッチ D 信号
00001000 (H'08)	タイマ RD ₀ ・チャンネル 0・オーバフロー信号
00001001 (H'09)	タイマ RD ₀ ・チャンネル 0・コンペアマッチ A 信号
00001010 (H'0A)	タイマ RD ₀ ・チャンネル 0・コンペアマッチ B 信号
00001011 (H'0B)	タイマ RD ₀ ・チャンネル 0・コンペアマッチ C 信号
00001100 (H'0C)	タイマ RD ₀ ・チャンネル 0・コンペアマッチ D 信号
00001101 (H'0D)	タイマ RD ₀ ・チャンネル 1・オーバフロー信号
00001110 (H'0E)	タイマ RD ₀ ・チャンネル 1・アンダフロー信号
00001111 (H'0F)	タイマ RD ₀ ・チャンネル 1・コンペアマッチ A 信号
00010000 (H'10)	タイマ RD ₀ ・チャンネル 1・コンペアマッチ B 信号
00010001 (H'11)	タイマ RD ₀ ・チャンネル 1・コンペアマッチ C 信号
00010010 (H'12)	タイマ RD ₀ ・チャンネル 1・コンペアマッチ D 信号
00100001 (H'21)	タイマ RG・オーバフロー信号
00100010 (H'22)	タイマ RG・アンダフロー信号
00100011 (H'23)	タイマ RG・コンペアマッチ A 信号
00100100 (H'24)	タイマ RG・コンペアマッチ B 信号
00101001 (H'29)	AD 変換器ユニット 1・AD 変換終了信号
00101010 (H'2A) * ²	AD 変換器ユニット 2・AD 変換終了信号
00101100 (H'2C)	入力ポートグループ 1・入力エッジ検出信号
00101101 (H'2D)	入力ポートグループ 2・入力エッジ検出信号
00101111 (H'2F)	シングル入力ポート 0・入力エッジ検出信号
00110000 (H'30)	シングル入力ポート 1・入力エッジ検出信号
00110001 (H'31)	シングル入力ポート 2・入力エッジ検出信号
00110010 (H'32)	シングル入力ポート 3・入力エッジ検出信号
00110111 (H'37)	LVD・電圧降下検出信号
00111001 (H'39)	CPG・バックアップ動作開始
00111010 (H'3A)	WDT・カウントアップ信号
00111100 (H'3C)	タイマ RE・周期信号 (周・日・時・分・秒から選択)
00111101 (H'3D)	DTC・転送完了
00111110 (H'3E)	IIC2/SSU・送信データエンプティ
00111111 (H'3F)	IIC2/SSU・送信終了

ELSn7~ELSn0 ビットの値	ELSR 設定イベント信号
01000000 (H'40)	IIC2/SSU・受信データフル
01000001 (H'41)	IIC2/SSU・停止条件検出
01000010 (H'42)	IIC2/SSU・アービトレーションロスト/オーバーランエラー
01000011 (H'43)	IIC2/SSU・NACK 検出/コンフリクトエラー
01001010 (H'4A)	SCI3_1・送信データエンプティ
01001011 (H'4B)	SCI3_1・送信終了
01001100 (H'4C)	SCI3_1・受信データフル
01001101 (H'4D)	SCI3_1・転送エラー
01001110 (H'4E)	SCI3_2・送信データエンプティ
01001111 (H'4F)	SCI3_2・送信終了
01010000 (H'50)	SCI3_2・受信データフル
01010001 (H'51)	SCI3_2・転送エラー
01010010 (H'52)	SCI3_3・送信データエンプティ
01010011 (H'53)	SCI3_3・送信終了
01010100 (H'54)	SCI3_3・受信データフル
01010101 (H'55)	SCI3_3・転送エラー
01011110 (H'5E)	タイマ ELC イベント信号 0
01011111 (H'5F)	タイマ ELC イベント信号 1
01100000 (H'60)	タイマ ELC イベント信号 2
01100001 (H'61)	タイマ ELC イベント信号 3
上記以外の設定は禁止	

【注】 *1 H8S/20103 グループ、H8S/20115 グループのみ選択可能

*2 H8S/20223 グループ、H8S/20235 グループのみ選択可能

12.2.3 イベントリンクオプション設定レジスタ A (ELOPA)

アドレス: H'FF06B5

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TMRAM[2:1]	TMRBM[2:1]	TMRCM[2:1]	TMRD1M[2:1]
------------	------------	------------	-------------

リセット後の値: 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7 6	TMRAM[2:1]	タイマ RA 動作 セレクト	00: カウントスタート 01: イベントカウンタ 10: 設定禁止 11: イベント無効	R/W
5 4	TMRBM[2:1]	タイマ RB 動作 セレクト	00: カウントスタート 01: イベントカウンタ 10: 設定禁止 11: イベント無効	R/W
3 2	TMRCM[2:1]* ¹	タイマ RC 動作 セレクト	00: カウントスタート 01: イベントカウンタ 10: インพุットキャプチャ* ² 11: イベント無効	R/W
1 0	TMRD1M[2:1]	タイマ RD_0 チャンネル 0 動作 セレクト	00: カウントスタート 01: イベントカウンタ 10: インพุットキャプチャ* ³ 11: イベント無効	R/W

【注】 *1 H8S/20103 グループ、H8S/20115 グループのみ選択可能。他の製品では予約ビットとなります。ライト時は b'11 を書いてください。

*2 TRCCNT の値が GRD にキャプチャされます。

*3 TRDCNT_0 の値が GRD_0 にキャプチャされます。

ELOPA は、タイマ RA、タイマ RB、タイマ RC、タイマ RD_0 のイベント入力時の動作を設定するレジスタです。

12.2.4 イベントリンクオプション設定レジスタ B (ELOPB)

アドレス: H'FF06B6

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	TMRD2M[2:1]		—	—	—	—	—	—
リセット後の値:	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	説明	R/W
7 6	TMRD2M[2:1]	タイマ RD_0 チャンネル1 動作セレクト	00: カウントスタート 01: イベントカウンタ 10: インพุットキャプチャ* 11: イベント無効	R/W
5~0	—	予約ビット	リードすると1が読み出されます。ライト時は1を書いてください。	—

【注】 * TRDCNT_1 の値が GRD_1 へキャプチャされます。

ELOPB は、タイマ RD_0 のイベント入力時の動作を設定するレジスタです。

12.2.5 イベントリンクオプション設定レジスタ C (ELOPC)

アドレス: H'FF06B7

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	TMRGM[2:1]		—	—	—	—	—	—

リセット後の値: 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7 6	TMRGM[2:1]	タイマ RG_動作 セレクト	00 : カウントスタート 01 : イベントカウンタ 10 : インพุットキャプチャ* 11 : イベント無効	R/W
5~0	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—

【注】 * TRGCNT の値が GRB へキャプチャされます。

ELOPC は、タイマ RG のイベント入力時の動作を設定するレジスタです。

12.2.6 ポートグループ指定レジスタ 1、2 (PGR1、PGR2)

アドレス: H'FF06A2、H'FF06A3

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PGRn7	PGRn6	PGRn5	PGRn4	PGRn3	PGRn2	PGRn1	PGRn0
-------	-------	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PGRn7	ポートグループ 指定 n7	0 : ポートグループ指定しない 1 : ポートグループ指定する	R/W
6	PGRn6	ポートグループ 指定 n6		R/W
5	PGRn5	ポートグループ 指定 n5		R/W
4	PGRn4	ポートグループ 指定 n4		R/W
3	PGRn3	ポートグループ 指定 n3		R/W
2	PGRn2	ポートグループ 指定 n2		R/W
1	PGRn1	ポートグループ 指定 n1		R/W
0	PGRn0	ポートグループ 指定 n0		R/W

【記号説明】 n=1、2

PGR は、入出力ポートのグループ設定をするレジスタです。8 ビットポート内の個々のポート (1 ビット) に対してグループ指定を行います。1~8 ビットの任意のポートを同一グループに指定できます。PGR とポートの対応を表 12.3 に示します。

12.2.7 ポートグループコントロールレジスタ 1、2 (PGC1、PGC2)

アドレス: H'FF06A6、H'FF06A7

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	PGCO _n [2:0]	—	PGCOVEn	PGCIn[1:0]
---	-------------------------	---	---------	------------

リセット後の値: 1 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
6~4	PGCO _n [2:0]	ポートグループ 動作セレクト	000 : イベント入力時、0 を出力 001 : イベント入力時、1 を出力 010 : イベント入力時、トグル (反転) 出力 011 : イベント入力時、バッファ値を出力 1XX : イベント入力時、グループ内でビットシフト出力 (MSB→LSB ヘシフト)	R/W
3	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
2	PGCOVEn	PDBF 上書き指定	0 : PDBF レジスタへの上書き無効 1 : PDBF レジスタへの上書き有効	R/W
1、0	PGCIn[1:0]	イベント出力 エッジ選択	00 : 外部入力信号の立ち上がりエッジを検出して、イベント発生 01 : 外部入力信号の立ち下がりエッジを検出して、イベント発生 1X : 外部入力信号の立ち上がり/立ち下がりの両エッジを検出して、イベント発生	R/W

【記号説明】 n=1、2

X : Don't care

PGC は、出力に設定されたポートグループに対して、イベント信号入力時のポートから外部へ出力する信号の出力形式を指定します。また、入力ポートグループに対して、PDBF への上書き有効/無効の指定およびイベント発生する条件 (外部からの入力する信号の変化) を設定します。

PGC とポートの対応を表 12.3 に示します。

12.2.8 ポートバッファレジスタ 1、2 (PDBF1、PDBF2)

アドレス: H'FF06AA、H'FF06AB

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PDBFn7	PDBFn6	PDBFn5	PDBFn4	PDBFn3	PDBFn2	PDBFn1	PDBFn0
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PDBFn7	ポートバッファ n7	PDR と PDBF の間で、イベント入力により、データが転送されます。 入力ポートグループに指定したビットへの CPU ライトは無効となります。 詳細は、「12.3 動作説明」を参照してください。	R/W
6	PDBFn6	ポートバッファ n6		R/W
5	PDBFn5	ポートバッファ n5		R/W
4	PDBFn4	ポートバッファ n4		R/W
3	PDBFn3	ポートバッファ n3		R/W
2	PDBFn2	ポートバッファ n2		R/W
1	PDBFn1	ポートバッファ n1		R/W
0	PDBFn0	ポートバッファ n0		R/W

【記号説明】 n=1、2

PDBF は、PGR と対になる 8 ビットのリード/ライト可能なレジスタです。PDBF の動作については、「12.3 動作説明」を参照してください。PDBF と PDR の対応を表 12.3 に示します。

表 12.3 ポートグループ関連レジスタとポート番号の対応

ポートグループ指定 レジスタ (PGR)	ポートグループ コントロールレジスタ (PGC)	ポートバッファレジスタ (PDBF)	ポート番号
PGR1	PGC1	PDBF1	ポート 3
PGR2	PGC2	PDBF2	ポート 6

12.2.9 イベント接続ポート指定レジスタ 0~3 (PEL0~PEL3)

アドレス: H'FF06AD~H'FF06B0

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	PSMn[1:0]	PSPn[4:3]	PSPn[2:0]
---	-----------	-----------	-----------

リセット後の値: 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
6、5	PSMn[1:0]	イベントリンク指定	<ul style="list-style-type: none"> ポート出力設定時: ポート出力データを指定 00: イベント入力時、0 を出力 01: イベント入力時、1 を出力 1X: イベント入力時、トグル (反転) 出力 ポート入力設定時: イベント出力エッジ選択 00: 立ち上がりエッジを検出して、イベント出力 01: 立ち下がりエッジを検出して、イベント出力 1X: 立ち上がり/立ち下がりの両エッジを検出して、イベント出力 	R/W
4、3	PSPn[4:3]	ポート番号指定	00: 設定しないでください。 01: ポート 3 (PGR1 に対応) 10: ポート 6 (PGR2 に対応) 11: 設定しないでください。	R/W
2	PSPn2	ビット番号指定	8 ビットポートのビット番号を指定	R/W
1	PSPn1			R/W
0	PSPn0			R/W

【記号説明】 n=0~3

X: Don't care

PEL は、イベントをリンクする 1 ビットポート (以下、シングルポート) の指定とイベント入力時の動作および、イベント発生条件を設定するレジスタです。本 LSI では、ポート 3、6 (8 ビットポート) の内、いずれかのビットに対して、全 4 つのシングルポート設定が可能です。

12.2.10 イベント発生タイマコントロールレジスタ (ELTMCR)

アドレス: H'FF06B8

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TMRSTR	—	—	—	CLRSRS[3:0]			
--------	---	---	---	-------------	--	--	--

リセット後の値: 0 1 1 1 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TMRSTR	タイマカウント スタート	0: カウント停止 1: カウント動作	R/W
6~4	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
3~0	CLRSRS[3:0]	クロックソース φELC セレクト	0000: φ 0001: φ/2 0010: φ/4 0011: φ/8 0100: φ/16 0101: φ/32 0110: φ/64 0111: φ/128 1000: φ/256 1001: φ/512 1010: φ/1024 1011: φ/2048 1100: φ/4096 1101: φ/8192 1110: 予約 (カウント停止) 1111: 予約 (カウント停止)	R/W

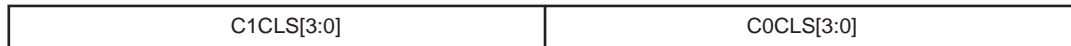
【注】 クロックを切り替えるときは、必ずカウンタが停止した状態で行ってください。

ELTMCR は、ELTMCNT の動作/停止制御およびクロックソースを設定するレジスタです。

12.2.11 イベント発生タイマ周期設定レジスタ A (ELTMSA)

アドレス: H'FF06B9

ビット: b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~4	C1CLS[3:0]*	チャンネル1 イベント発生周期 セレクト	0000 : クロックソース φ ELC/1 0001 : クロックソース φ ELC/2 0010 : クロックソース φ ELC/4 0011 : クロックソース φ ELC/8 0100 : クロックソース φ ELC/16 0101 : クロックソース φ ELC/32 0110 : クロックソース φ ELC/64 0111 : クロックソース φ ELC/128 1000 : クロックソース φ ELC/256 (初期値) 1001 : クロックソース φ ELC/512 1010 : クロックソース φ ELC/1024 1011 : クロックソース φ ELC/2048 1100 : クロックソース φ ELC/4096 1101 : クロックソース φ ELC/8192 1110 : クロックソース φ ELC/16384 1111 : クロックソース φ ELC/32768	R/W
3~0	COCLS[3:0]*	チャンネル0 イベント発生周期 セレクト	0000 : クロックソース φ ELC/1 0001 : クロックソース φ ELC/2 0010 : クロックソース φ ELC/4 0011 : クロックソース φ ELC/8 0100 : クロックソース φ ELC/16 0101 : クロックソース φ ELC/32 0110 : クロックソース φ ELC/64 0111 : クロックソース φ ELC/128 1000 : クロックソース φ ELC/256 (初期値) 1001 : クロックソース φ ELC/512 1010 : クロックソース φ ELC/1024 1011 : クロックソース φ ELC/2048 1100 : クロックソース φ ELC/4096 1101 : クロックソース φ ELC/8192 1110 : クロックソース φ ELC/16384 1111 : クロックソース φ ELC/32768	R/W

【注】 * イベント発生周期を切り替える場合は、必ずカウンタが停止した状態 (ELTMCR の TMRSTR=0) で行ってください。
 クロックソースにφクロックを選択時 (ELTMCR の CLSRS[3:0]=B'0000)、C1CLS[3:0]および COCLS[3:0]に B'0000
 は設定しないでください。

ELTMSA は、チャンネル0、チャンネル1のイベント発生周期を設定するレジスタです。
 ELTMCR で選択されたクロックソースに対して分周比を設定します。

12.2.12 イベント発生タイマ周期設定レジスタ B (ELTMSB)

アドレス: H'FF06BA

ビット: b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~4	C3CLS[3:0]*	チャンネル 3 イベント発生周期 セレクト	0000 : クロックソース φ ELC/1 0001 : クロックソース φ ELC/2 0010 : クロックソース φ ELC/4 0011 : クロックソース φ ELC/8 0100 : クロックソース φ ELC/16 0101 : クロックソース φ ELC/32 0110 : クロックソース φ ELC/64 0111 : クロックソース φ ELC/128 1000 : クロックソース φ ELC/256 (初期値) 1001 : クロックソース φ ELC/512 1010 : クロックソース φ ELC/1024 1011 : クロックソース φ /2048 1100 : クロックソース φ ELC/4096 1101 : クロックソース φ ELC/8192 1110 : クロックソース φ ELC/16384 1111 : クロックソース φ ELC/32768	R/W
3~0	C2CLS[3:0]*	チャンネル 2 イベント発生周期 セレクト	0000 : クロックソース φ ELC/1 0001 : クロックソース φ ELC/2 0010 : クロックソース φ ELC/4 0011 : クロックソース φ ELC/8 0100 : クロックソース φ ELC/16 0101 : クロックソース φ ELC/32 0110 : クロックソース φ ELC/64 0111 : クロックソース φ ELC/128 1000 : クロックソース φ ELC/256 (初期値) 1001 : クロックソース φ ELC/512 1010 : クロックソース φ ELC/1024 1011 : クロックソース φ ELC/2048 1100 : クロックソース φ ELC/4096 1101 : クロックソース φ ELC/8192 1110 : クロックソース φ ELC/16384 1111 : クロックソース φ ELC/32768	R/W

【注】 * イベント発生周期を切り替える場合は、必ずカウンタが停止した状態 (ELTMCR の TMRSTR=0) で行ってください。
 クロックソースにφクロックを選択時 (ELTMCR の CLSRS[3:0]=B'0000)、C3CLS[3:0]および C2CLS[3:0]に B'0000
 は設定しないでください。

ELTMSB は、チャンネル 2、チャンネル 3 のイベント発生周期を設定するレジスタです。
 ELTMCR で選択されたクロックソースに対して分周比を設定します。

12.2.13 イベント発生タイム遅延時間選択レジスタ (ELTMDR)

アドレス: H'FF06BB

ビット: b7 b6 b5 b4 b3 b2 b1 b0

C3DLY[1:0]	C2DLY[1:0]	C1DLY[1:0]	C0DLY[1:0]
------------	------------	------------	------------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	C3DLY[1:0]	チャンネル3 遅延 時間セレクト	00 : 遅延なし 01 : 1 クロックサイクル 10 : 2 クロックサイクル 11 : 3 クロックサイクル	R/W
5、4	C2DLY[1:0]	チャンネル2 遅延 時間セレクト	00 : 遅延なし 01 : 1 クロックサイクル 10 : 2 クロックサイクル 11 : 3 クロックサイクル	R/W
3、2	C1DLY[1:0]	チャンネル1 遅延 時間セレクト	00 : 遅延なし 01 : 1 クロックサイクル 10 : 2 クロックサイクル 11 : 3 クロックサイクル	R/W
1、0	C0DLY[1:0]	チャンネル0 遅延 時間セレクト	00 : 遅延なし 01 : 1 クロックサイクル 10 : 2 クロックサイクル 11 : 3 クロックサイクル	R/W

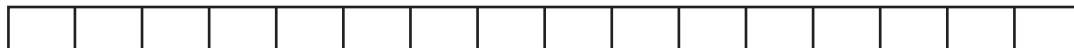
【注】 各チャンネルは、ELTMSA または ELTMSB でイベント発生周期にクロックソース $\phi_{ELC}/1$ を選択した場合、本ビットの設定にかかわらず遅延なしとなります。

ELTMDR は、設定した周期からイベント発生まで遅延時間を設定するレジスタです。
遅延時間の設定単位は、選択されているクロックソースの周期です。

12.2.14 ELC タイマカウンタ (ELTMCNT)

アドレス: H'FF06C0

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ELTMCNT は、16 ビットのリード/ライト可能なアップカウンタです。入力クロックは、ELTMCR の CLSRS[3:0] ビットで選択します。ELTMCNT は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。ELTMCNT の初期値は、H'0000 です。

タイマスタートから 1 回目のイベントが発生するまでの期間を設定周期にするときは、カウンタを 0 に設定してください。

12.3 動作説明

12.3.1 割り込み処理とイベントリンクの関係

本 LSI に搭載しているモジュールには、割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御するイネーブルビットがあります。各モジュールで割り込み要求が発生すると、割り込み要求ステータスフラグがセットされ、当該割り込み要求がイネーブルのとき、CPU に対して割り込みを要求します。

これに対して、ELC は、各モジュールで発生する割り込み要求（以下イベント）を、直接他のモジュールを起動するイベント信号として使用します。イベント信号は、割り込み制御を許可していなくても使用可能です。図 12.2 に割り込み処理と ELC の関係を示します。

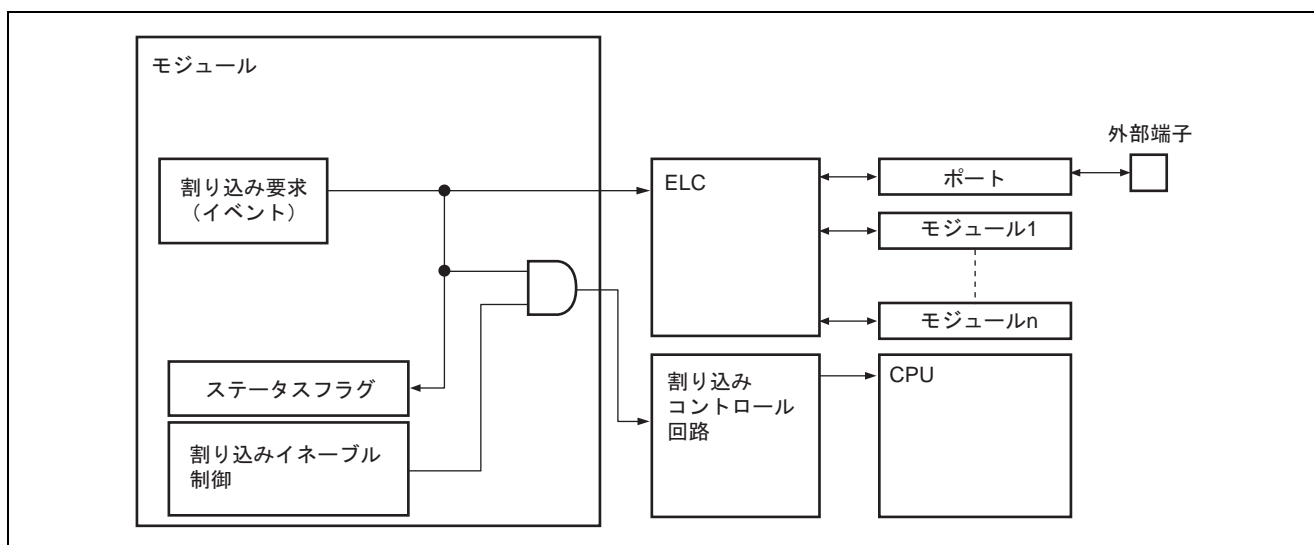


図 12.2 割り込み処理と ELC の関係

12.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSR0~ELSR32) にイベント要因を設定することにより、設定したイベントが発生した場合、対応するモジュールがリンク (起動) します。1つのモジュールに、1種類のイベントのみリンク可能です。イベントリンクコントローラによりモジュールを起動する時にはあらかじめモジュールの動作設定を行ってください。イベントを入力したときのモジュール別動作一覧を表 12.4 に示します。

表 12.4 イベント入力時のモジュール別動作一覧

モジュール	イベント入力時の動作		
タイマ RA タイマ RB タイマ RC タイマ RD タイマ RG	イベントリンクオプション設定レジスタの設定により以下の動作となります。 <ul style="list-style-type: none"> イベント信号入力により、カウントスタート 入力したイベント数をカウント イベント入力により、キャプチャ動作 (タイマ RA、タイマ RB を除く) 		
A/D 変換器	イベント信号入力により、A/D 変換開始		
D/A 変換器	イベント信号入力により、D/A 変換開始		
出力ポート	イベント信号入力により、PDR (ポートデータレジスタ) の値が変化 (外部端子への信号出力値変化)	グループポート	動作設定により以下の動作となります。 <ul style="list-style-type: none"> PDR の値が、指定された値に変化 PDBF の値を PDR に転送 シフト出力
		シングルポート	PDR の値が指定された値に変化
入力ポート	入力端子の信号値が変化	グループポート	イベント発生
		シングルポート	
	イベント入力時	グループポート	外部端子の信号値を PDBF に転送
		シングルポート	イベントの接続はできません。
クロック発振器	クロックソースを低速オンチップオシレータへ切り替え		
割り込み制御	CPU へ割り込み要求、DTC データ転送開始		

12.3.3 タイマ系周辺機能のイベント入力時の動作

ELOP によりイベント入力時の動作を設定します。

(1) カウントスタート動作

イベント入力により、タイマのカウントをスタートし、各タイマの制御レジスタのカウントスタートビット*が、1 にセットされます。カウントスタートビットが 1 の状態で入力されたイベントは、無効です。

(2) イベントカウンタ動作

タイマのクロックソースとして、イベント入力を選択されタイマが動作します。

(3) インพุットキャプチャ動作

イベント入力により、キャプチャ動作します。

【注】 * 各タイマのビット説明を参照してください。

12.3.4 A/D 変換器、D/A 変換器のイベント入力時の動作

A/D 制御レジスタのスタートビット、D/A 制御レジスタのアウトプットイネーブルビット*が 1 にセットされ、A/D 変換または D/A の変換がスタートします。

【注】 * A/D 変換器、D/A 変換器のビット説明を参照してください。

12.3.5 ポートのイベント入力動作とイベント発生動作

ポートは、イベント入力による動作の設定とイベントを発生させる動作の設定ができます。

(1) シングルポートとポートグループ

ポートへのイベントリンクは、8 ビットポート内にある任意の 1 ビットポートへのイベントリンク（シングルポートへのイベントリンク）と、8 ビットポート内の任意の複数ビットをまとめたグループへのイベントリンク（ポートグループへのイベントリンク）が可能です。

シングルポートの設定は、PEL でイベント接続が可能なポート*内の任意のビットを指定します。ポートグループの設定は、PGC レジスタにより、イベント接続が可能なポート*の任意の複数ビット（1 ビット以上）を指定します。グループ指定は、同一ポート内で入力ポートグループと出力ポートグループ、それぞれ 1 つのグループが設定できます。

当該ビットがシングルポートとグループポートの両方の指定があるとき、入力ポートは、両方の機能が有効となり、出力ポートの場合は、グループポートの機能のみが有効となります。

ポートの入力、出力は、PCR レジスタにより設定してください。

【注】 * ポート 3、ポート 6 です。

(2) 入力シングルポートでのイベント発生

入力に設定されているシングルポートは当該ポートに接続している外部端子 (外部ピン) の信号値の変化により、イベントを発生します。イベント発生条件は、PEL0～PEL3 により設定します。動作の説明を図 12.3 に示します。

(3) 出力シングルポートのイベント入力動作

出力に設定されているシングルポートにイベントが入力されると、当該ポートの PDR の値が変化します。PDR の値の変化を PEL0～PEL3 レジスタにより設定します。これにより、当該ポートに接続している外部端子 (外部ピン) の信号値が変化します。動作の説明を図 12.3 に示します。

(4) 入力ポートグループのイベントの入力と発生

入力に設定されているポートグループは当該ポートに接続しているいずれかの外部端子 (外部ピン) の信号値の変化により、イベントを発生します。イベント発生条件は PGC1、PGC2 により、設定します。また入力ポートグループにイベントが入力されると、イベント入力時の外部端子の信号値が PDBF に転送されます。転送は、入力ポートグループに指定されたビットのみ転送されます。動作の説明を図 12.4 に示します。

(5) 出力ポートグループのイベントの入力

出力ポートグループにイベントが入力されると、PDR の値が PGC1、PGC2 で設定された値に変化します。動作の説明を図 12.5 に示します。

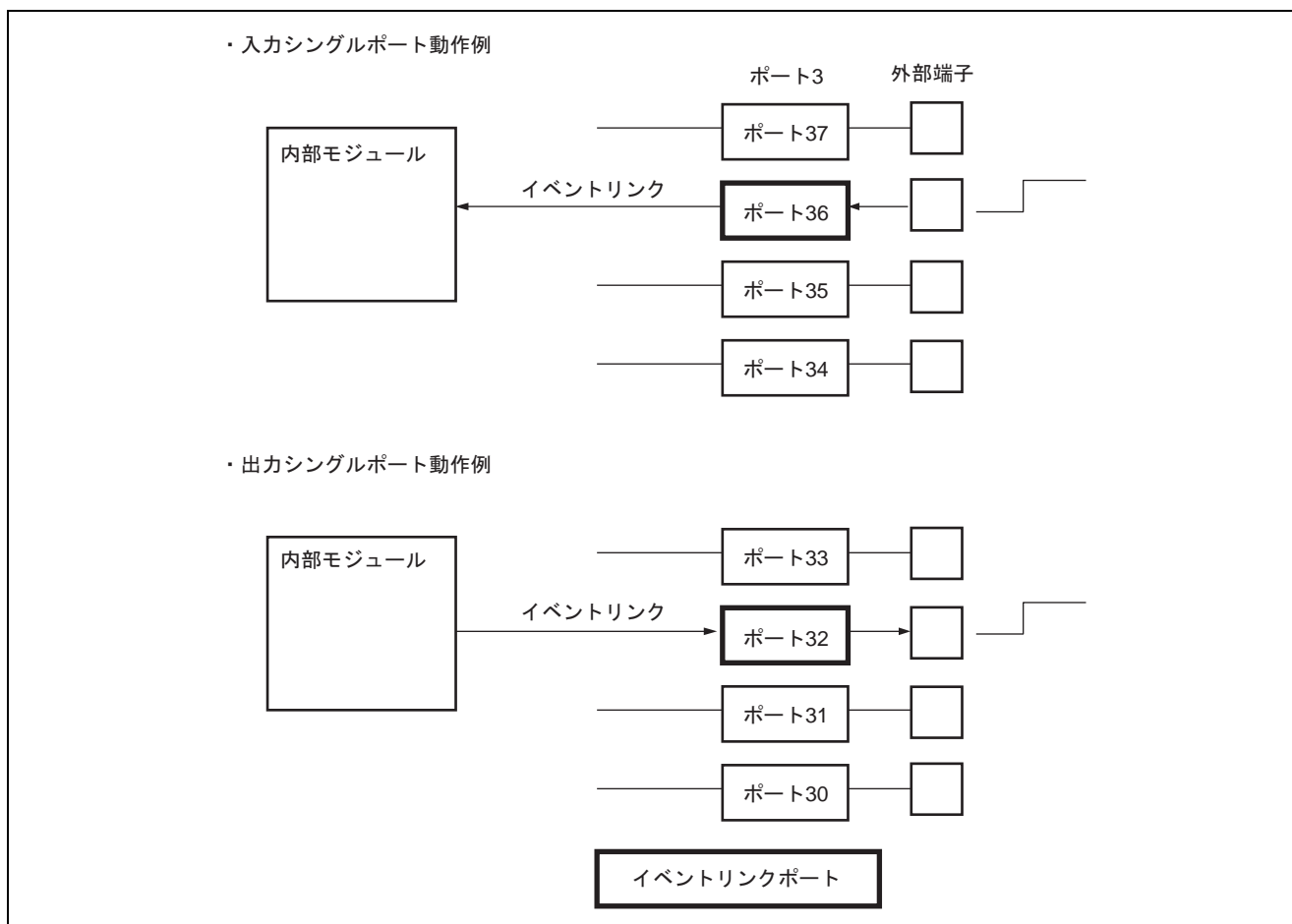


図 12.3 シングルポートのイベントリンク動作

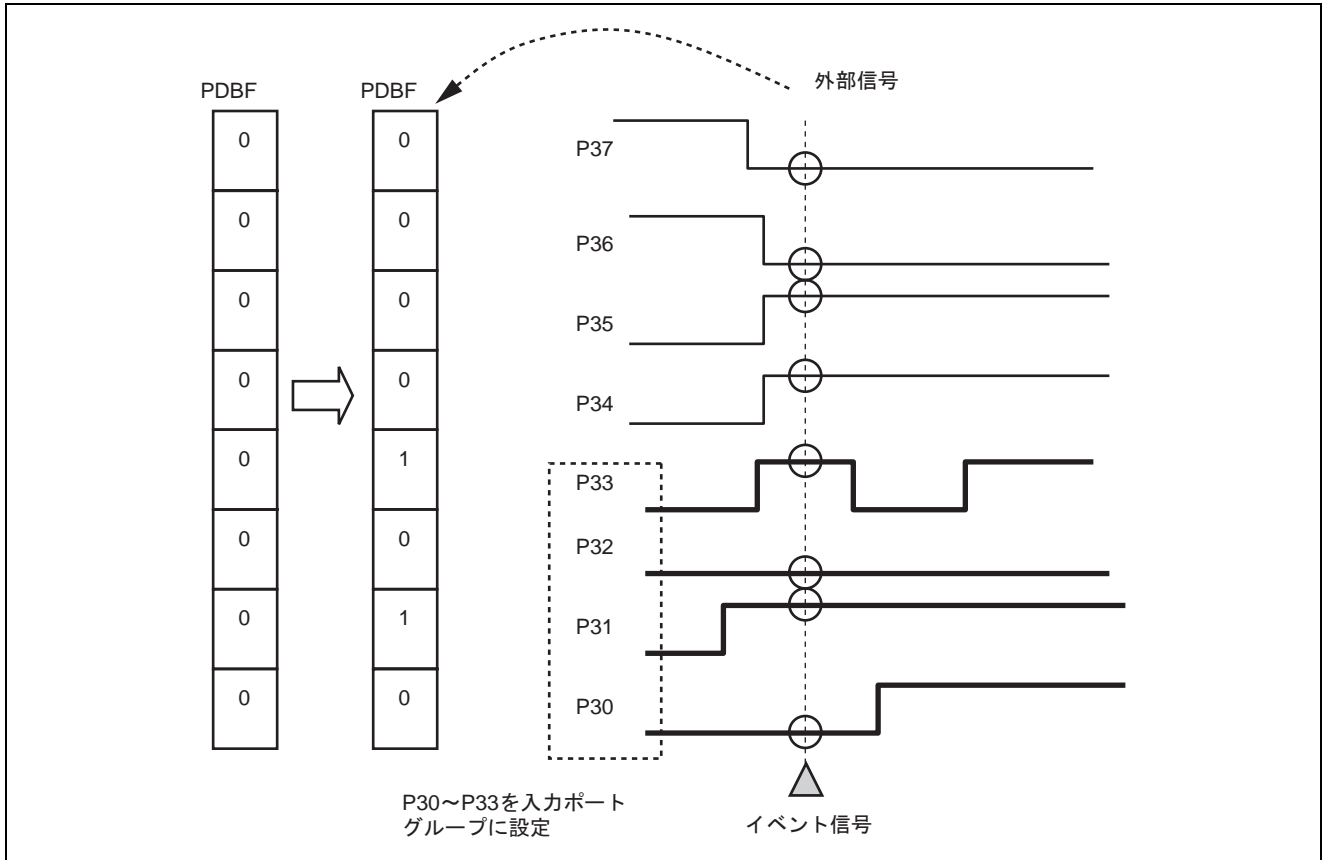


図 12.4 入力ポートグループのイベントリンク動作

(6) ポートバッファレジスタの動作

(a) 入力ポートグループ

入力ポートグループにイベントが入力されると、入力ポートグループに指定されているビットの外部端子の信号値が、PDBFに転送されます。この状態で、再度入力ポートグループにイベントが入力されたとき、PGCレジスタのPGCOVEビットの設定により、以下の動作となります。

- PGCOVE=0（上書き無効）のとき
前回のイベント入力により PDBF に転送された値が、CPU によりリード（DTC による転送を含む）されているとき、外部端子の信号値が、PDBF に転送されます。リードされていないときは、外部端子の信号値は PDBF に転送されず、入力したイベントは無効となります。
- PGCOVE=1（上書き有効）のとき
入力ポートグループにイベントが入力されると、外部端子の信号値が、PDBF に転送されます。

(b) 出力ポートグループ

出力ポートグループが PDBF の値を出力する設定になっているとき、出力ポートグループにイベントが入力すると、PDBF の値が PDR に転送されます。このとき出力グループに設定されているビットのみが、PDR に転送されます。

出力ポートグループがグループ内でのビットシフト出力 (PGC の PGCO ビット=1xx) に設定されていると、PDBF から PDR にデータ転送後に、当該グループ内で PDR 値が MSB→LSB にシフトします。ポートに出力する初期値を PDBF に設定しておいてください。

動作の説明を図 12.5、図 12.6 に示します。

(7) PDR、PDBF への CPU でのライト制限

ELCR の ELCON ビットが 1 のとき、下記レジスタへの書き込みが無効となります。

- 入力ポートグループに指定し、イベントリンクを設定すると、PDBF の入力ポートグループに指定されたビットへの CPU での書き込みは無効になります。
- 出力ポートグループに指定すると、PDR の当該ビットへの CPU での書き込みは無効になります。
- 出力シングルポートに指定されているとき、当該ポートへイベント接続設定 (ELSR の設定) をすると、PDR の当該ビットへの CPU での書き込みは無効になります。

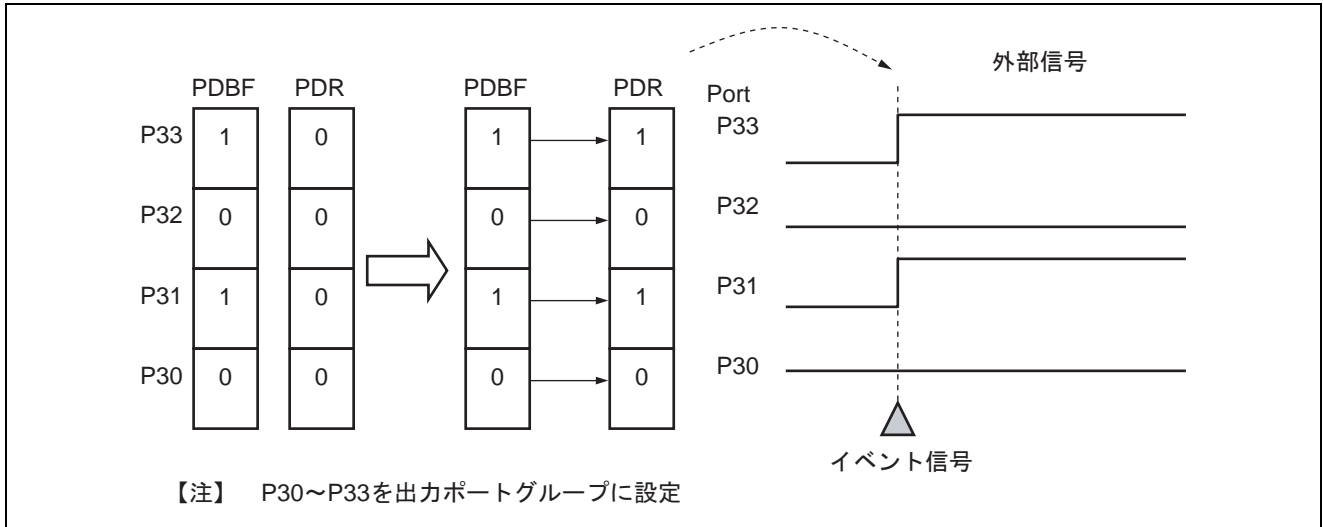


図 12.5 出力ポートグループのイベントリンク動作

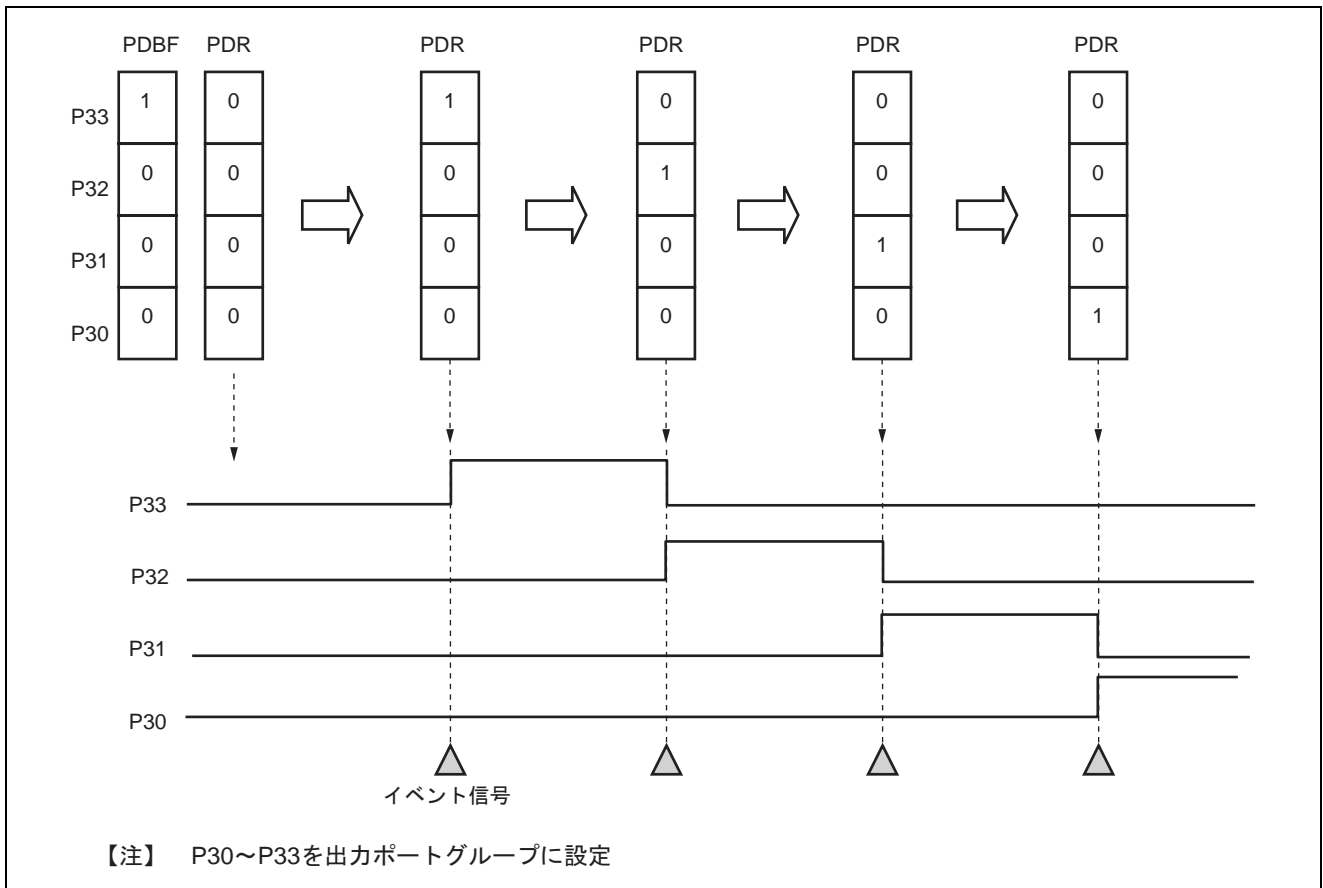


図 12.6 出力ポートグループのビットシフト動作

12.3.6 イベント発生タイマ

イベント発生タイマは、設定した周期でイベントを発生します。発生したイベントは他のモジュールへ接続することができます。

- 16ビットフリーランカウンタにより、周期を生成できます。
- 設定した周期から、イベント発生まで遅延時間（0～3 cycle：カウンタクロック）の設定が可能です。
- 4チャンネルのイベント出力が可能です（図12.8参照）。

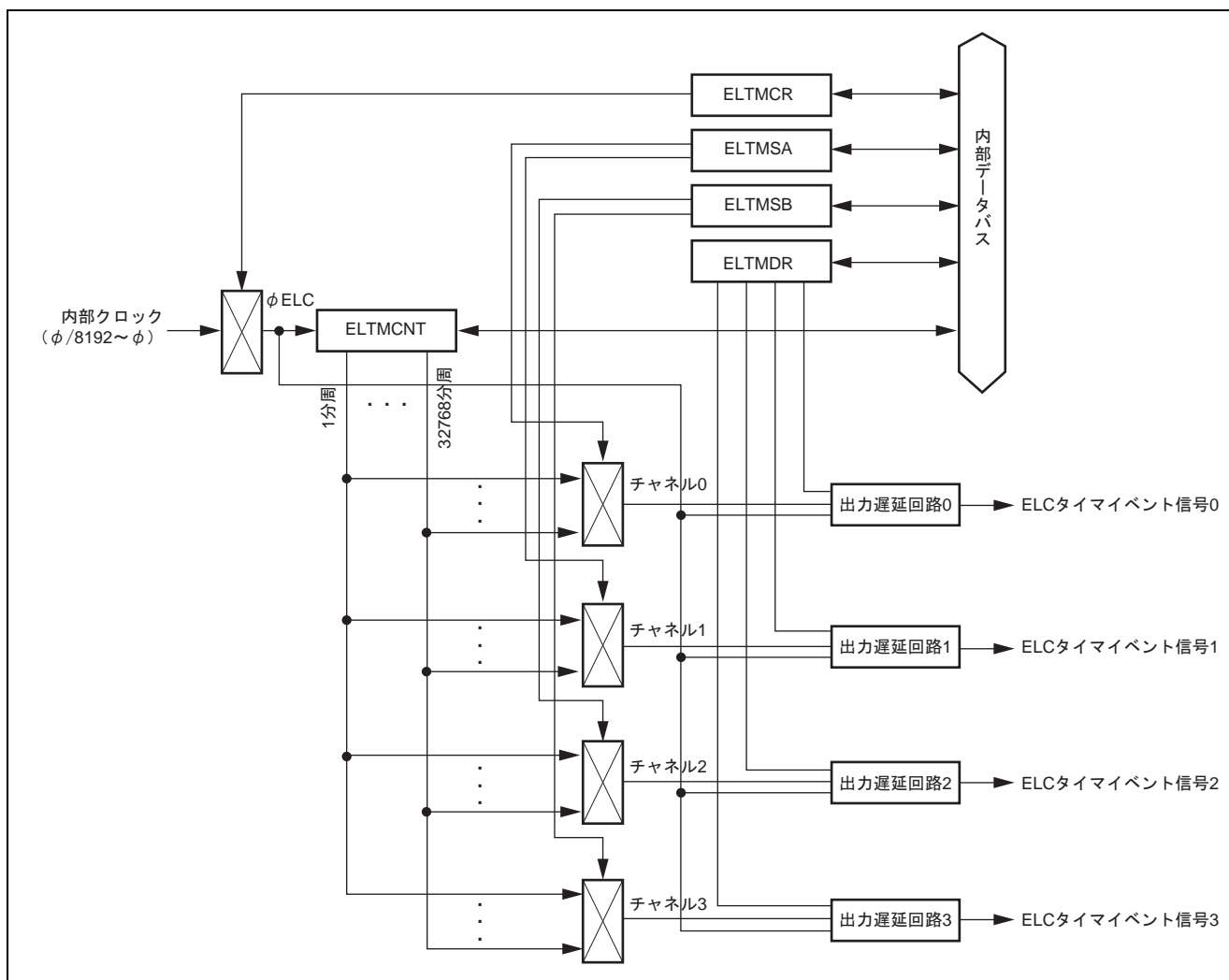


図 12.7 イベント発生タイマのブロック図

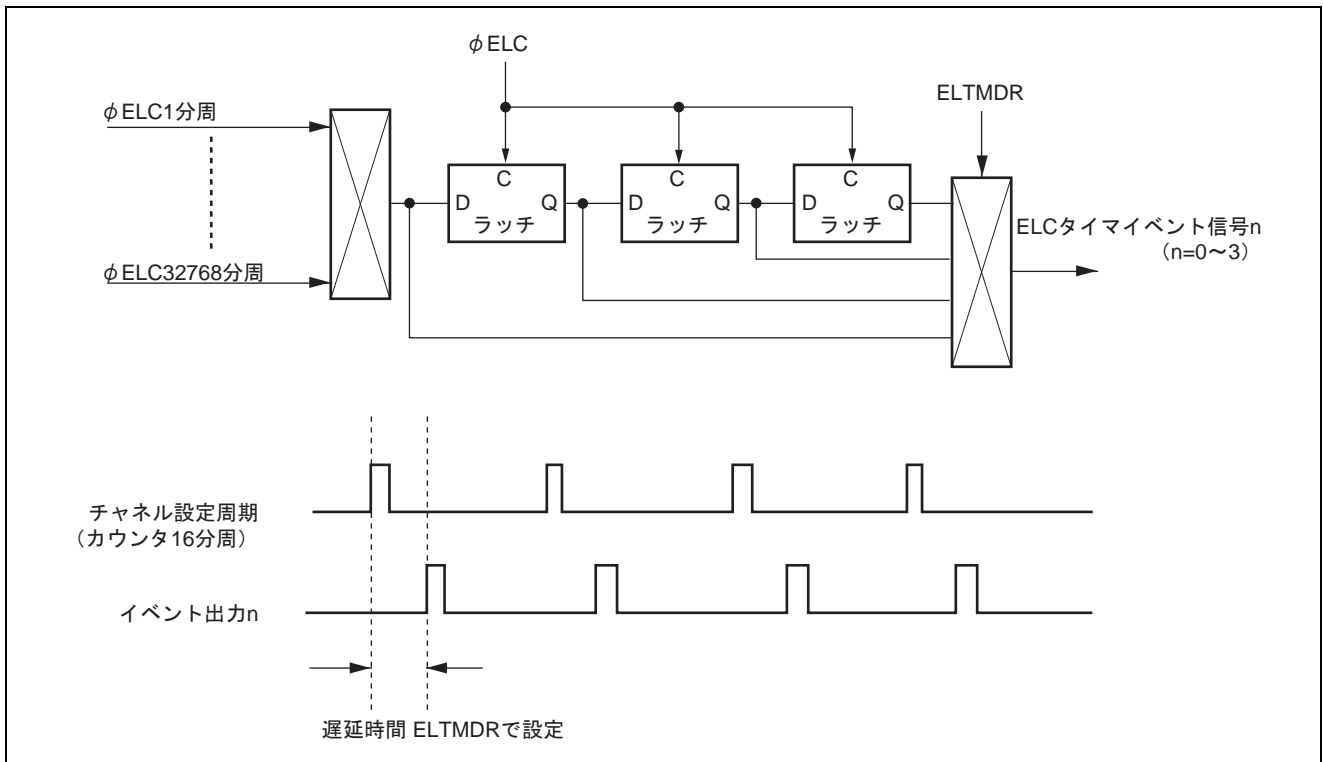


図 12.8 イベント発生タイマの動作

12.3.7 イベントリンクの動作設定手順

イベントリンク動作手順を以下に示します。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールのELSRnに、リンクするイベント信号の番号を設定します。
3. イベントをリンクするモジュールがタイマのときは、必要に応じて対応するELOPA～ELOPCの設定をします。
4. ELCRのELCONビットを1に設定します。これによりイベントリンクが設定されている全モジュールのイベントリンク動作がイネーブルとなります。
5. イベント出力元のモジュールの動作設定を行い、起動させます。モジュールから出力されるイベントにより、イベントリンク先のモジュールが規定の動作を開始します。
6. 個別のモジュールのイベントリンク動作を停止するときは、対応するELSRnのELSn7～ELSn0ビットにB'0000000を設定してください。またELCRのELCONビットに0を設定することにより、全モジュールのイベントリンク動作が停止します。

ポートに対してイベントリンクを設定するときは、対応するポートの下記レジスタを設定します。

PDR：出力に設定したポートの初期値を設定します。

PCR：ポートの入力または出力の設定をします。

PGR：ポートグループとして動作させるときに、グルーピング対象となるポート（ビット単位）を設定します。

PGC：ポートグループとして動作させるときの動作を設定します。

PEL：シングルポートとして動作させるときの対象とするポートとイベント入力の動作およびイベント発生条件の設定をします。

13. タイマ RA

タイマ RA は、プリスケアラ付き 8 ビットリロードタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。

13.1 概要

- 動作モード：5種類

タイマモード：内部カウントソースをカウントするモード

パルス出力モード：内部カウントソースをカウントし、タイマのアンダフローでトグル出力するモード

イベントカウンタモード：外部イベントをカウントするモード

パルス幅測定モード：外部パルスのパルス幅を測定するモード

パルス周期測定モード：外部パルスのパルス周期を測定するモード

- 8種類のカウントソース

ϕ 、 $\phi/2$ 、 $\phi/8$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 ϕ sub、TRAI0 端子に入力された外部イベントを選択可能

- 1種類の割り込み

カウンタアンダフロー割り込み

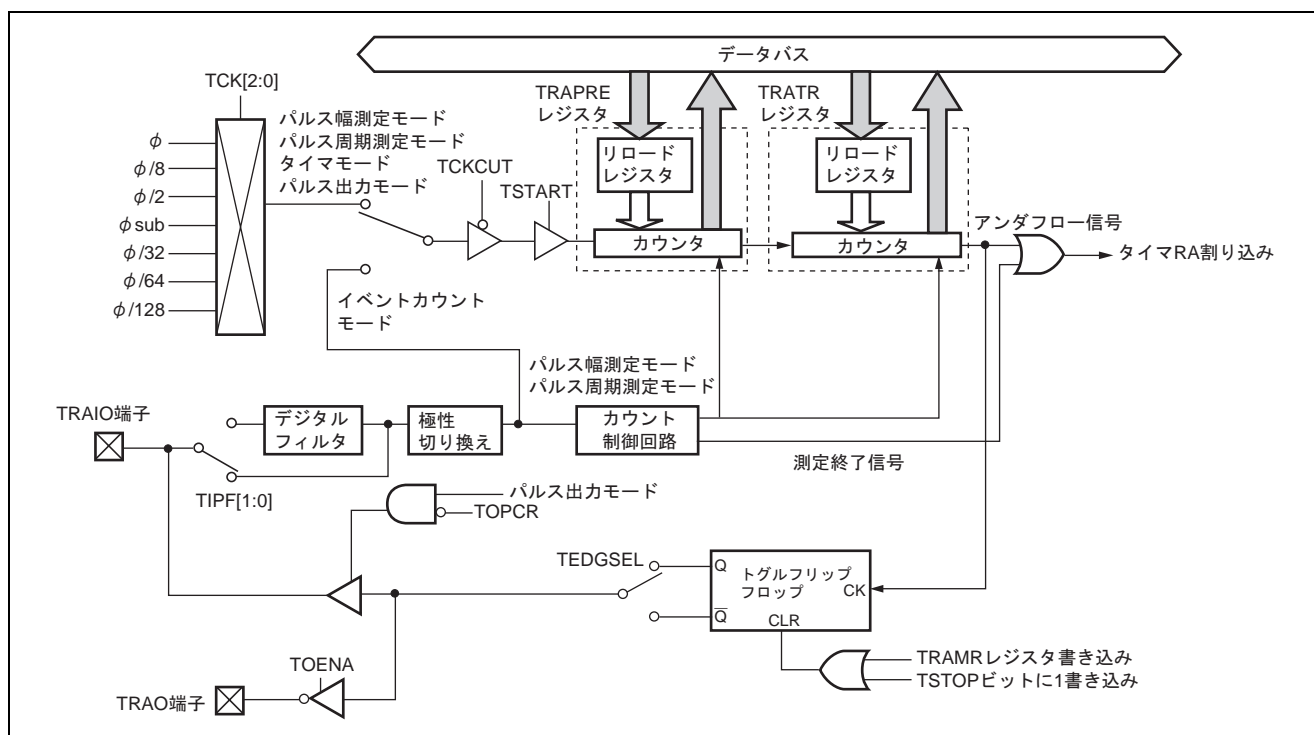


図 13.1 タイマ RA のブロック図

タイマ RA の入出力端子を表 13.1 に示します。

表 13.1 端子構成

名称	略称	入出力	機能
タイマ RA 入出力	TRAIO	入出力	外部イベント入力およびパルス入出力
タイマ RA 出力	TRAO	出力	TRAIO 出力の反転パルス出力

13.2 レジスタの説明

タイマ RA には以下のレジスタがあります。

- タイマRAコントロールレジスタ (TRACR)
- タイマRA I/Oコントロールレジスタ (TRAIOC)
- タイマRAモードレジスタ (TRAMR)
- タイマRAプリスケアラレジスタ (TRAPRE)
- タイマRAタイマレジスタ (TRATR)
- タイマRA割り込み要求ステータスレジスタ (TRAIR)

13.2.1 タイマ RA コントロールレジスタ (TRACR)

アドレス: H'FF06F0

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
5	TUNDF	タイマ RA アンダフローフラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> タイマ RA が H'00 から H'FF にアンダフローしたとき <p>【0になる条件】</p> <ul style="list-style-type: none"> 0 をライトしたとき 	R/W
4	TEDGF	有効エッジ判定フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> パルス幅測定モードにおいて、TRACR レジスタの TSTART ビットが1にセットされた状態で、測定パルス幅の測定が完了したとき パルス周期測定モードにおいて、測定パルスの有効エッジ入力後、タイマ RA プリスケーラの2回目のアンダフローとき <p>【0になる条件】</p> <ul style="list-style-type: none"> 0 をライトしたとき 	R/W
3	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
2	TSTOP	タイマ RA カウント強制停止	<p>0: タイマ RA のカウントを継続</p> <p>1: タイマ RA のカウントを強制停止</p>	R/W
1	TCSTF	タイマ RA カウントステータスフラグ	<p>0: タイマ RA のカウントが停止</p> <p>1: タイマ RA のカウント中</p> <p>【1になる条件】</p> <ul style="list-style-type: none"> TSTART に1をライト後カウントが開始されたとき イベントリンクコントローラの ELOPA によりタイマ RA 動作が選択され、指定イベントが発生し、TSTART が1にセットされ、カウントが開始されたとき <p>【0になる条件】</p> <ul style="list-style-type: none"> TSTART に0をライト後、カウントが停止したとき TSTOP に1をライト後、カウントが停止したとき 	R
0	TSTART	タイマ RA カウント開始	<p>0: タイマ RA のカウント動作を停止</p> <p>1: タイマ RA のカウント動作を開始</p>	R/W

- 【注】 1. 本レジスタへのライト時は、MOV 命令を使用してください。
2. TSTART ビットを設定後、TCSTF ビットが変化するまではタイマ RA 関連レジスタにアクセス (TRACR のリードを除く) しないでください。

- TSTOP (タイマRAカウント強制停止)

本ビットが1のとき、タイマのカウントおよびプリスケアラのカウントは初期化され、TSTART ビットおよび TCSTF ビット、タイマ出力も初期化されます。リードすると常に0が読み出されます。

13.2.2 タイマ RA I/O コントロールレジスタ (TRAIOC)

アドレス: H'FF06F1

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	TIOGT[1:0]		TIPF[1:0]		TIOSEL	TOENA	TOPCR	TEDGSEL

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	TIOGT[1:0]	TRAIO イベント 入力制御	00 : 入力制御なし (常にイベント有効) 01 : 入力制御あり (IRQ2 入力のハイ期間イベント有効) 10 : 設定禁止 11 : 設定禁止	R/W
5、4	TIPF[1:0]	TRAIO 入力 フィルタ選択	00 : フィルタなし 01 : フィルタあり (ϕ でサンプリング) 10 : フィルタあり ($\phi/8$ でサンプリング) 11 : フィルタあり ($\phi/32$ でサンプリング) タイマモードおよびパルス出力モードでは B'00 を選択してください。	R/W
3	TIOSEL	TRAIO 入力選択	0 : TRAIO 端子から入力 1 : LIN モジュールから入力	R/W
2	TOENA	TRAIO 出力許可	0 : TRAIO 出力禁止 1 : TRAIO 出力許可 イベントカウンタモード、パルス出力モード以外は0に設定してください。	R/W
1	TOPCR	TRAIO 出力制御	0 : TRAIO 出力許可 1 : TRAIO 出力禁止 パルス出力モード以外は1に設定してください。	R/W

【注】 TCSTF=1のとき、本レジスタの書き替えを行わないでください。

ビット	シンボル	ビット名	説明	R/W
0	TEDGSEL	入出力極性 切り替え	<ul style="list-style-type: none"> • タイマモード 0に設定してください。 • パルス出力モード 0: TRAI0 出力の初期値はハイレベル 1: TRAI0 出力の初期値はローレベル • イベントカウンタモード 0: TRAI0 入力の立ち上がりエッジでカウント TRA0 出力の初期値はローレベル 1: TRAI0 入力の立ち下がりエッジでカウント TRA0 出力の初期値はハイレベル • パルス幅測定モード 0: TRAI0 入力のローレベル幅を測定 1: TRAI0 入力のハイレベル幅を測定 • パルス周期測定モード 0: 測定パルスの立ち上がりから次の立ち上がりの間測定 1: 測定パルスの立ち下がりから次の立ち下がり間測定 	R/W

- TIOGT[1:0]

イベントカウンタモード時、入力イベントの制御を行います。

- TIPF[1:0] (TRAIO入力フィルタ選択1、0)

フィルタありを選択した場合、TRAIO 端子から同じ値を3回連続してサンプリングした時点で、入力が確定します。

13.2.3 タイマ RA モードレジスタ (TRAMR)

アドレス: H'FF06F2

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TCKCUT	TCK[2:0]	—	TMOD[2:0]
--------	----------	---	-----------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TCKCUT	タイマ RA カウント ソース遮断	0 : カウントソース供給を許可 1 : カウントソースを遮断	R/W
6~4	TCK[2:0]	タイマ RA カウント ソース選択	000 : ϕ 001 : $\phi/8$ 010 : 設定禁止 011 : $\phi/2$ 100 : ϕ_{sub} 101 : $\phi/32$ 110 : $\phi/64$ 111 : $\phi/128$	R/W
3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
2~0	TMOD[2:0]	タイマ RA 動作 モード選択	000 : タイマモード 001 : パルス出力モード 010 : イベントカウントモード 011 : パルス幅測定モード 100 : パルス周期測定モード 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止	R/W

【注】 * 本レジスタの値を書き替えるときは、必ずタイマのカウントが停止した状態（TRACR の TSTART ビットと TCSTF ビットがともに 0 のとき）で行ってください。

- TCK[2:0] (タイマ RA カウントソース選択)
イベントカウントモード以外のときのカウントソースを選択します。
- TMOD[2:0] (タイマ RA 動作モード選択)
TRAMR へ書き込みを行うと、出力レベルは初期化されます。

13.2.4 タイマ RA 割り込みイネーブルステータスレジスタ (TRAIR)

アドレス: H'FF06F5

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	TRAIE	TRAIF	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7	TRAIE	タイマ RA 割り込み要求イネーブル	0: タイマ RA 割り込み要求がディスエーブル 1: タイマ RA 割り込み要求がイネーブル	R/W
6	TRAIF	タイマ RA 割り込み要求フラグ	【1になる条件】 <ul style="list-style-type: none"> タイマ RA カウンタがアンダフローしたとき パルス幅測定モードで、入力パルスの測定が完了したとき パルス周期測定モードで、測定パルスの有効エッジ入力後、2回目のタイマ RA プリスケーラがアンダフローしたとき 【0になる条件】 <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき 	R/W
5~0	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—

13.2.5 タイマ RA プリスケーラレジスタ (TRAPRE)

アドレス: H'FF06F3

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値:	1	1	1	1	1	1	1	1

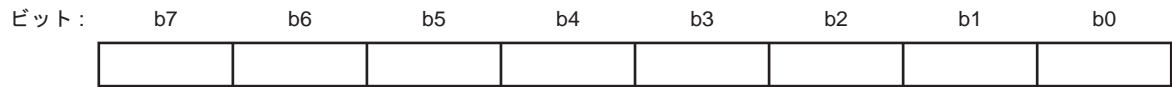
TRAPRE は、リロードレジスタと 8 ビットのカウンタで構成され、初期値はそれぞれ H'FF です。

TRAMR で選択されたカウントソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TRATR のカウントソースとなります。

リロードレジスタとカウンタは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はカウンタ値が読み出されます。TRAPRE へのライト時、リロードレジスタからカウンタへのロードタイミングは、カウント中とカウント停止時では異なります。カウント停止時に、TRAPRE に書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRAPRE に書き込むと、4 カウントソース後に一旦リロードレジスタに書き込まれ、次のカウントソースに同期してカウンタへロードされます。

13.2.6 タイマ RA タイマレジスタ (TRATR)

アドレス: H'FF06F4



リセット後の値: 1 1 1 1 1 1 1 1

TRATR はリロードレジスタと 8 ビットのカウンタで構成され、初期値はそれぞれ H'FF です。プリスケアラのアンダフローをダウンカウントし、TRATR がアンダフローするとカウンタへリロードレジスタの値がロードされます。同時にタイマ RA 割込み要求を発生します。

リロードレジスタとカウンタは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はカウンタ値が読み出されます。ただし、パルス周期測定モード時のみ TRATR をリードすると読み出しバッファの値が読み出されます。TRATR へライト時、リロードレジスタからカウンタへのロードタイミングはカウント中とカウント停止時では異なります。カウント停止時に TRATR に書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれます。カウント中に TRATR へ書き込むと、4 カウントソース経過後、最初はプリスケアラのアンダフローに同期して一旦リロードレジスタに書き込まれ、次のプリスケアラのアンダフローに同期してカウンタへロードされます。

TRAPRE と TRATR は同時に H'00 を設定しないでください。

13.3 動作説明

13.3.1 各モード共通の動作

(1) 動作の開始と停止

TRACR の TSTART ビットに 1 を書き込むと、設定した動作モードでカウントを開始し、TSTART ビットに 0 を書き込むとカウントを停止します。プリスケアラに入力するカウンタクロックの周期でプリスケアラがダウンカウントします。プリスケアラのアンダフローをカウントソースにして、タイマがカウントダウンします。

(2) 動作の強制停止

TRACR の TSTOP ビットへ 1 を書き込むと、カウントを強制停止します。強制停止したときは、タイマカウンタ、プリスケアラのカウンタ、および他の関連するフラグは初期化され、プリスケアラのリロードレジスタおよびタイマカウンタのリロードレジスタは保持します。

(3) 割り込み要求

タイマ RA カウンタのアンダフローにより割り込み要求が発生します。

(4) カウント値のリードとライト

TRAPRE、TRATR をリードすると、それぞれカウント値が読み出されます。カウント停止中に、TRAPRE や TRATR にライトした場合は、それぞれのリロードレジスタとカウンタの両方に設定値が書き込まれます。

カウント動作中に TRAPRE にライトした場合は、まず 4 カウントソース経過後カウントソースに同期してリロードレジスタに設定値が書き込まれ、次のカウントソースに同期して設定値がプリスケアラカウンタへ転送されます。TRATR にライトした場合は、4 カウントソース経過後次のプリスケアラのアンダフローに同期してリロードレジスタに設定値が書き込まれ、次のプリスケアラのアンダフローに同期して設定値がタイマカウンタへ転送されます。このため、カウント中に TRAPRE や TRATR に書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図 13.2 にタイマ RA カウント中にカウント値を書き換えた場合の動作例を示します。

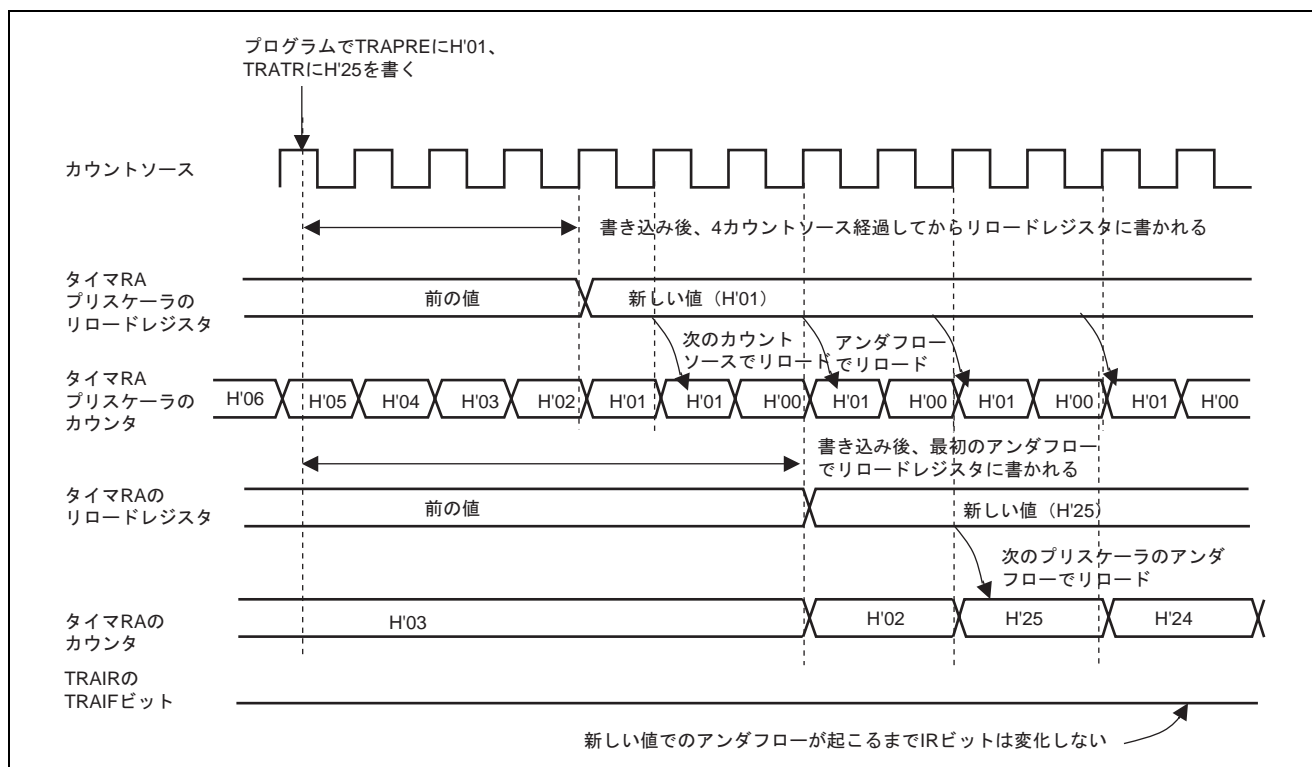


図 13.2 タイマ RA カウント中にカウント値を書き替えた場合の動作例

13.3.2 タイマモード

内部クロックをカウントソースとしてカウントするモードです。TRAMRのTMOD[2:0]ビットをB'000に設定すると、タイマモード動作になります。カウントソースはTRAMRのTCK[2:0]ビットで選択します。

13.3.3 パルス出力モード

内部クロックをカウントソースとしてカウントし、カウンタがアンダフローするごとに、TRAIO端子からパルスをつぐル出力するモードです。TRAMRのTMOD[2:0]ビットをB'001に設定するとパルス出力モード動作になります。カウントソースはTRAMRのTCK[2:0]ビットで選択します。端子の出力初期値はTRAIOCのTEDGSELビットで設定します。TRAIOCのTOENAビットの設定によりTRAO端子からTRAIO端子の反転出力を出力することもできます。

13.3.4 イベントカウンタモード

TRAIO端子から入力する外部イベントをカウントソースとしてカウントするモードです。TRAMRのTMOD[2:0]ビットをB'010に設定するとイベントカウンタモード動作になります。TRAIOCのTEDGSELビットの設定により、TRAIO端子の入力イベントの立ち上がりエッジでカウントを行うか、立下りエッジでカウントを行うか設定できます。またTRAIOCのTIOGT[1:0]ビットの設定により $\overline{\text{IRQ2}}$ 端子がハイレベルのとき、外部イベント入力を有効にする機能があります。TRAIOCのTIPF[1:0]ビットの設定により外部イベント入力にフィルタを付加することもできます。パルス出力動作モードと同様にタイマカウンタのアンダフローに同期してTRAO端子からつぐル出力可能です。イベントカウンタモードではTSTART=1にセットしてもイベントを入力しないとTCSTFビットは1になりません。また、TCSTF=0の状態からイベント入力された場合はカウント値は入力イベント数-3となります。TCSTF=1の状態イベントを入力した場合は、入力イベント数=カウント値となります。

13.3.5 パルス幅測定モード

TRAIO 端子から入力する外部信号のパルス幅を測定するモードです。TRAMR の TMOD[2:0]ビットを B'011 に設定するとパルス幅測定モード動作になります。カウントソースは TRAMR の TCK[2:0]ビットで選択します。TRAIOC の TEDGSEL ビットで入力パルスのローレベル幅の測定を行うか、ハイレベル幅の測定を行うか設定できます。TRAIOC の TIPF[1:0]ビットの設定により、外部パルス入力にフィルタを付加することもできます。図 13.3 にパルス幅測定モード時の動作例を示します。

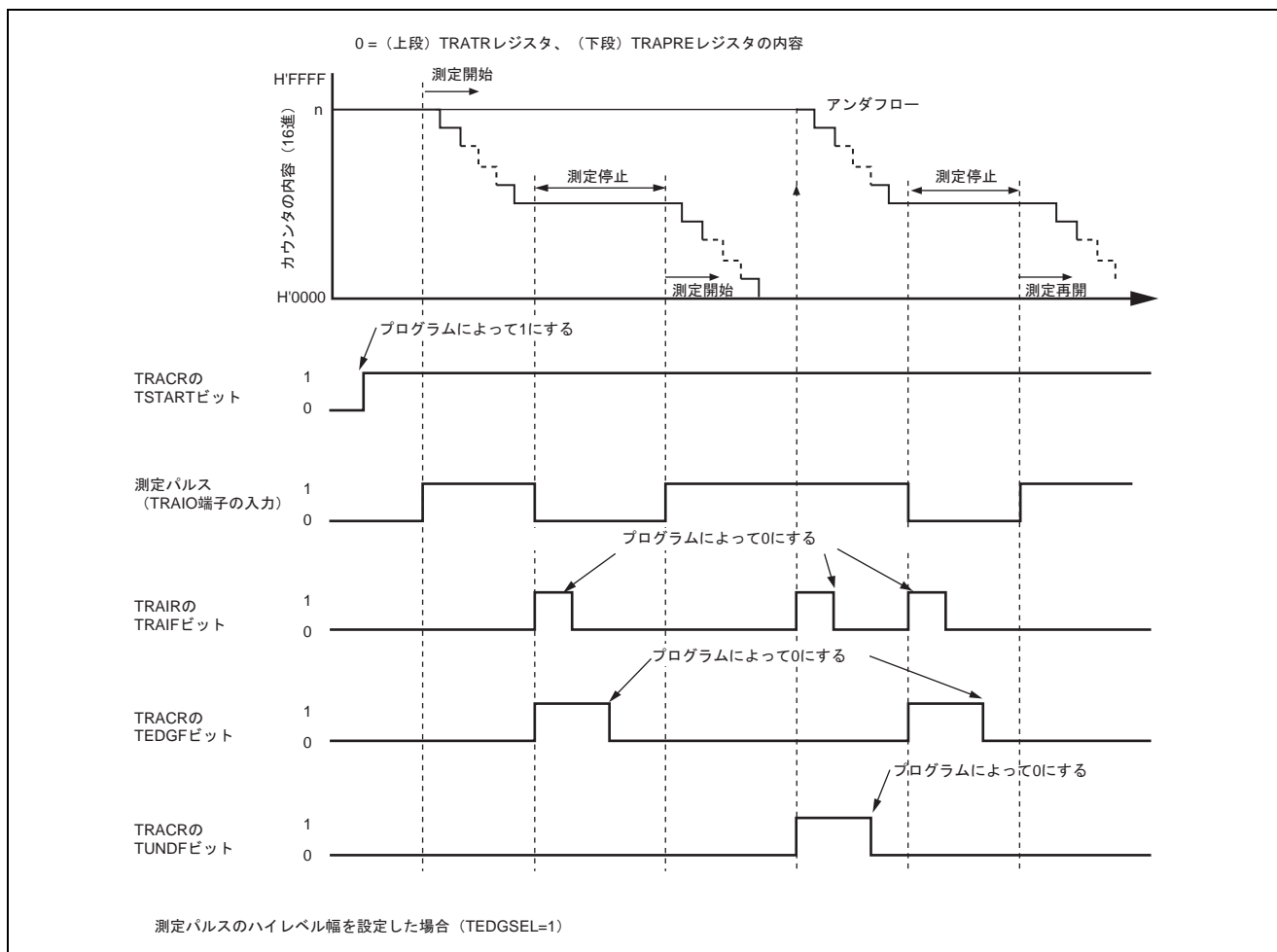


図 13.3 パルス幅測定モード時の動作例

13.3.6 パルス周期測定モード

TRAIO 端子から入力する外部パルスの周期を測定するモードです。TRAMR の TMOD[2:0]ビットを B'100 に設定するとパルス周期測定モード動作になります。TRAIOC の TEDGSEL で TRAIO 端子の入力パルスの立ち下がりエッジから立ち下がりエッジまでの期間測定を行うか、立ち上がりエッジから立ち上がりエッジまでの期間測定を行うか設定できます。TRAIOC の TIPF[1:0]ビットの設定により外部パルス入力にフィルタを付加することもできます。カウントソースは、TRAMR レジスタの TCK[2:0]ビットで選択します。

タイマカウント開始後、TRAIO 端子より有効な入力エッジが入力されるごとに、タイマ RA プリスケアラのアンダフローに同期して、タイマ RA のカウンタから読み出しバッファへ値が転送されます。読み出しバッファの値はタイマ RA レジスタリードまで保持されます。また、読み出しバッファへ値転送後次のタイマ RA プリスケアラのアンダフローに同期してリロードレジスタからカウンタへ値が転送されます。読み出しバッファのリードは、TRACR の TEDGF ビットが 1 にセットされてから行ってください。TRACR の TEDGF ビットが 1 にセットされるか、タイマ RA のカウンタがアンダフローすると割り込み要求を発生します。

TRAIO 端子へのパルスへの入力は、タイマ RA プリスケアラの周期の 2 倍より長い周期のパルスを入力してください。また、ハイパルス幅、ローパルス幅それぞれが、タイマ RA プリスケアラの周期より長い、パルスを入力してください。周期の短いパルスが入力された場合、その入力は無視されることがあります。

図 13.4 にパルス周期測定モード時の動作例を示します。

13.3.7 イベントリンクによる動作

タイマ RA はイベントリンクコントローラ (ELC) の設定において、他モジュールで発生したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA でタイマ RA のカウントスタート動作を選択します。ELSR0 で指定したイベントが発生すると、TRACR の TSTART ビットが 1 にセットされ、タイマ RA のカウンタがスタートします。ただし、TCSTF フラグが 1 にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPA でタイマ RA のイベントカウンタ動作を選択します。ELSR0 で指定したイベントが発生すると、TRAMR の TCK[2:0]の設定に関係なくそのイベントをカウントソースとしてイベントカウンタ動作を行います。イベントカウンタ動作を行う場合は、あらかじめ TRACR の TSTART ビットを 1 にセットしておいてください。カウント値をリードすると、実際に入力されたイベント数-3 が読み出されます。

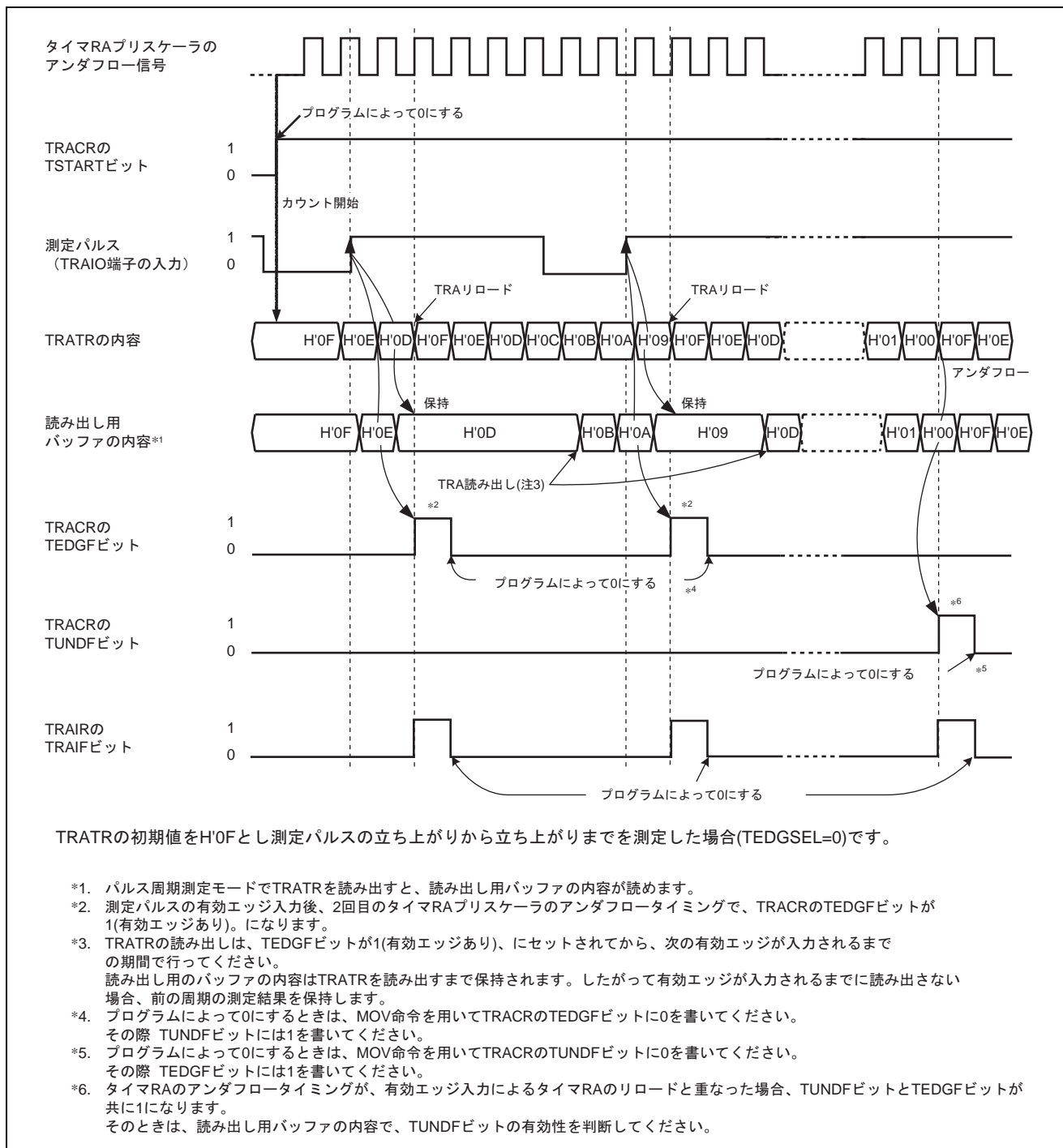


図 13.4 パルス周期測定モード時の動作例

13.4 使用上の注意事項

1. プリスケアラとタイマは、16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
2. パルス幅測定モードおよびパルス周期測定モードで使用するTRACRのTEDGFビットとTUNDFビットは、プログラムで0を書くと0になり、1を書いても変化しません。プログラムで一方のフラグを0にする場合、MOV命令を用いて他方のフラグに1を書いてください。意図しないフラグの変更を防ぐことができます。
3. 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに0を書いてから、タイマRAのカウントを開始してください。
4. カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが1になる場合があります。
5. パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間をあけて、TEDGFビットを0にしてから使用してください。
6. カウント停止中にTSTARTビットに1を書いた後は、カウントソースの数サイクルの間、TCSTFビットは0になっています。TCSTFビットが1になるまで、タイマRA関連レジスタをアクセスしないでください。TCSTFビットが1になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに0を書いた後は、カウントソースの数サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になるまで、タイマRA関連レジスタをアクセス（TRACRのリードを除く）しないでください。TCSTFビットが0になったときカウントは停止しています。
7. カウント中（TCSTF=1）にTRAPREに連続して書き込む場合は、書き込む間隔をカウントソースの4周期以上あけてください。
8. カウント中（TCSTF=1）にTRATRに連続して書き込む場合は、書き込む間隔をカウントソースの4周期以上あけてください。
9. TRAPREとTRATRは、それぞれ同じレジスタを連続して読み出す場合は、読み出す間隔をカウントソースの2周期以上あけてください。

14. タイマ RB

タイマ RB は、8 ビットプリスケアラ付き 8 ビットリロードタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。タイマ RB は、リロードレジスタとしてタイマ RB プライマリ、タイマ RB セカンダリの 2 つのレジスタを持ちます。

14.1 概要

- 4種類の動作モード
 - タイマモード：内部カウントソースまたはタイマ RA のアンダフローをカウントするモード
 - プログラマブル波形発生モード：任意のパルス幅を連続して出力するモード
 - プログラマブルワンショット発生モード：ワンショットパルスを出力するモード
 - プログラマブルウェイトワンショット発生モード：ディレイドワンショットパルスを出力するモード
- 8種類のカウンタソース
 - ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、タイマ RA のアンダフローを選択可能
- 1種類の割り込み
 - タイマ RB カウンタのアンダフロー割り込み

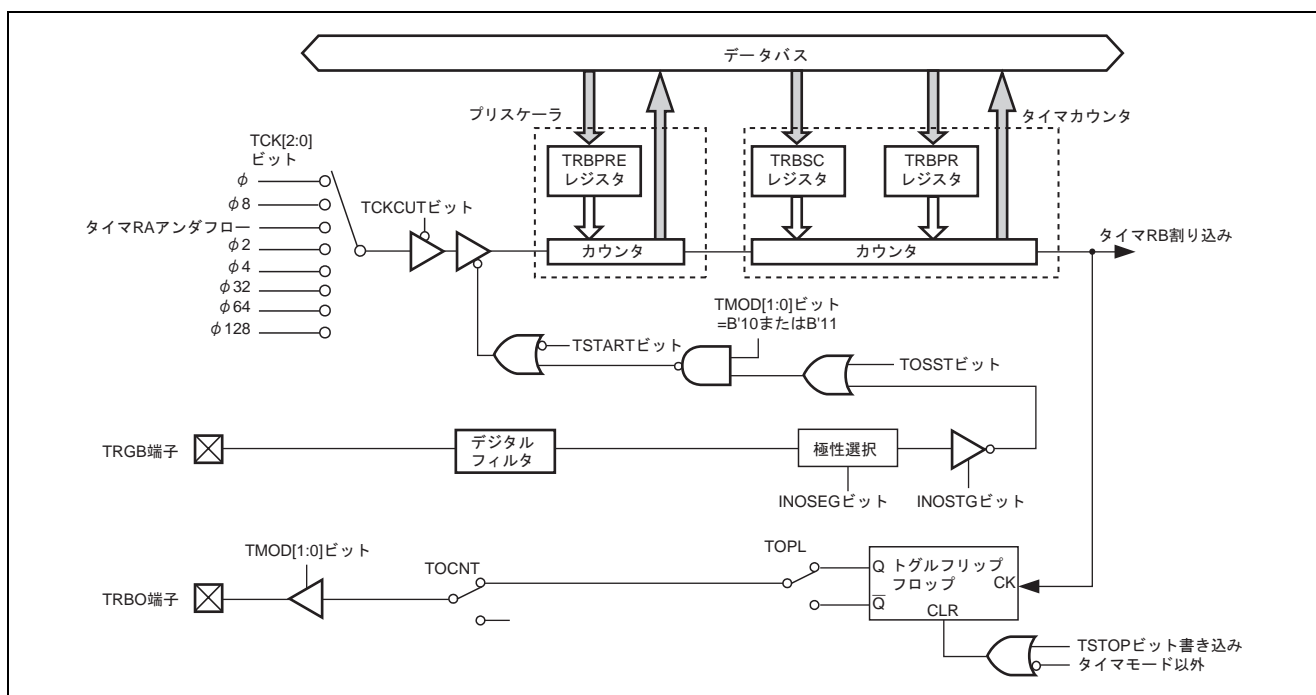


図 14.1 タイマ RB のブロック図

タイマ RB の入出力端子を表 14.1 に表します。

表 14.1 入出力端子

端子名	入出力	機能
TRGB	入力	外部トリガ入力
TRBO	出力	パルス連続出力、またはワンショットパルス出力。

14.2 レジスタの説明

タイマ RB には以下のレジスタがあります。

- タイマRBコントロールレジスタ (TRBCR)
- タイマRBワンショットコントロールレジスタ (TRBOCR)
- タイマRB I/Oコントロールレジスタ (TRBIOC)
- タイマRBモードレジスタ (TRBMR)
- タイマRB割り込み要求ステータスレジスタ (TRBIR)
- タイマRBプリスケアラレジスタ (TRBPRE)
- タイマRBセカンダリレジスタ (TRBSC)
- タイマRBプライマリレジスタ (TRBPR)

14.2.1 タイマ RB コントロールレジスタ (TRBCR)

アドレス: H'FFFA0

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7~3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
2	TSTOP	カウント強制停止	0: タイマ RB のカウントを継続 1: タイマ RB のカウントを強制停止	R/W
1	TCSTF	カウントステータスフラグ	0: タイマ RB のカウントは停止 1: タイマ RB はカウント中 【1になる条件】 <ul style="list-style-type: none"> • TSTART に 1 をライト後カウントが開始されたとき • イベントリンクコントローラの ELOPA によりタイマ RB 動作が選択され、指定イベントが発生し TSTART が 1 にセットされ、カウントが開始されたとき 【0になる条件】 <ul style="list-style-type: none"> • TSTART に 0 をライト後、カウントが停止したとき • TSTOP に 1 をライト後、カウントが停止したとき 	R
0	TSTART	カウント開始	0: タイマ RB のカウントを停止 1: タイマ RB のカウントを開始	R/W

- 【注】 1. TSTART に値をセット後、TCSTF が変化するまでタイマ RB 関連のレジスタにはアクセス (TRBCR のリードを除く) しないでください。
2. 本レジスタへのライト時は MOV 命令を使用してください。

- TSTOP (カウント強制停止)

このビットを 1 にセットするとカウントを強制停止します。このとき、タイマ RB プリスケアラのカウントおよびタイマ RB カウンタは初期化され、TRBCR の TSTART ビットおよび TCSTF ビット、TRBOCR の TOSSTF ビット、TOSSP ビット、TOSST ビットおよび TRBO 出力も初期化されます。プリスケアラのリロードレジスタおよびタイマ RB カウンタのリロードレジスタは保持されます。リードすると常に 0 が読み出されます。

14.2.2 タイマ RB ワンショットコントロールレジスタ (TRBOCR)

アドレス: H'FFFA1

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7~3	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
2	TOSSTF	ワンショットステータスフラグ	0: タイマ RB のワンショット停止中 1: タイマ RB のワンショット動作中 (ウェイト期間含む) 【1になる条件】 <ul style="list-style-type: none"> • TOSST に 1 をライトしたとき • TRGB 端子へのトリガ入力があるとき 【0になる条件】 <ul style="list-style-type: none"> • TOSSP に 1 をライトしたとき • TRBCR レジスタの TSTART は 0 にライトしたとき • TRBCR レジスタの TSTOP に 1 をライトしたとき [プログラマブルワンショット発生モード] <ul style="list-style-type: none"> • タイマカウント値が H'00 になり、リロードしたとき [プログラマブルウェイトワンショット発生モード] <ul style="list-style-type: none"> • セカンダリカウント時のカウント値が H'00 になり、リロードしたとき 	R
1	TOSSP ^{*1}	ワンショット停止	0: タイマ RB のカウントを停止させない 1: タイマ RB のカウントを停止させる	R/W
0	TOSST ^{*2}	ワンショット開始	0: タイマ RB のカウントを停止 1: タイマ RB のカウントを開始	R/W

【注】 *1 TOSSP ビットに 1 をライトする場合は、TOSSTF ビットが 1 の状態のときライトしてください。

*2 TOSST ビットに 1 をライトする場合は、TOSSTF ビットが 0 の状態のときライトしてください。

- TOSSP (ワンショット停止)

このビットに 1 を書くとタイマのカウントを停止します。リードすると常に 0 が読み出されます。

- TOSST (ワンショット開始)

プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードにおいて、このビットに 1 を書くとタイマはカウントを開始し、カウントソースに同期してワンショットパルス出力を開始します。リードすると常に 0 が読み出されます。

14.2.3 タイマ RB I/O コントロールレジスタ (TRBIOC)

アドレス: H'FFFA2

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TIPF[1:0]	INOSEG	INOSTG	TOCNT	TOPL	
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
5、4	TIPF[1:0]	TRGB 端子入力 フィルタ選択	00: フィルタなし 01: フィルタあり、 ϕ でサンプリング 10: フィルタあり、 $\phi/8$ でサンプリング 11: フィルタあり、 $\phi/32$ でサンプリング TRGB 端子から同じ値を3回連続してサンプリングしたときに、入力が確定します。	R/W
3	INOSEG	ワンショット トリガ極性選択	0: 立ち下がリエッジでトリガ 1: 立ち上がりエッジでトリガ	R/W
2	INOSTG	ワンショット トリガ制御	0: TRGB 端子ワンショットトリガ無効 1: TRGB 端子ワンショットトリガ有効	R/W
1	TOCNT	タイマ RB 出力 切り替え	0: タイマ RB 波形出力 1: 波形出力禁止	R/W
0	TOPL	タイマ RB アウト プットレベル 選択	<ul style="list-style-type: none"> プログラマブル波形発生モード時 <ul style="list-style-type: none"> 0: プライマリ期間"H"出力、セカンダリ期間"L"出力、タイマ停止時"L"出力 1: プライマリ期間"L"出力、セカンダリ期間"H"出力、タイマ停止時"H"出力 プログラマブルワンショット発生モード時 <ul style="list-style-type: none"> 0: ワンショットパルス"H"出力、タイマ停止時"L"出力 1: ワンショットパルス"L"出力、タイマ停止時"H"出力 プログラマブルウェイトワンショット発生モード時 <ul style="list-style-type: none"> 0: ワンショットパルス"H"出力、タイマ停止およびウェイト期間時"L"出力 1: ワンショットパルス"L"出力、タイマ停止およびウェイト期間時"H"出力 タイマモードでは0を設定してください。	R/W

- **INOSEG (ワンショットトリガ極性選択)**

プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードにおいて TRGB 端子から入力するワンショットトリガのエッジを選択します。

タイマモード、プログラマブル波形発生モードでは 0 を設定してください。

- **INOSTG (ワンショットトリガ制御)**

TRGB 端子から入力するワンショットトリガ有効/無効を選択します。タイマモード、プログラマブル波形発生モードでは 0 を設定してください。

- **TOCNT (タイマRB出力切り替え)**

各モードによる TRBO 出力状態および変化は「14.3.6 TOCNT 設定と端子状態更新条件」を参照してください。

- **TOPL (タイマRBアウトプットレベル選択)**

タイマモードでは 0 を設定してください。

14.2.4 タイマ RB モードレジスタ (TRBMR)

アドレス: H'FFFA3

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TCKCUT	TCK[2:0]	TWRC	—	TMOD[1:0]
--------	----------	------	---	-----------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TCKCUT* ¹	カウントソース遮断	0 : タイマ RB のカウントソースを供給 1 : タイマ RB のカウントソースを遮断	R/W
6~4	TCK[2:0]* ¹	カウントソース選択	000 : ϕ 001 : $\phi/8$ 010 : タイマ RA のアンダフロー 011 : $\phi/2$ 100 : $\phi/4$ 101 : $\phi/32$ 110 : $\phi/64$ 111 : $\phi/128$	R/W
3	TWRC	書き込み制御	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
2	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
1、0	TMOD[1:0]* ²	動作モード選択	00 : タイマモード 01 : プログラマブル波形発生モード 10 : プログラマブルワンショット発生モード 11 : プログラマブルウェイトワンショット発生モード	R/W

【注】 *1 カウント動作中にカウントソースの切り替え・遮断を行わないでください。カウントソースの切り替え、遮断を行うときは、タイマのカウントを停止してください。TCKCUT ビットは TRBCR の TSTART ビットと TCSTF ビットがともに 0 (カウント停止) 状態で変更してください。

*2 動作モードの選択は、タイマ RB がカウント停止時 (TRBCR の TSTART ビットと TCSTF ビットがともに 0) に行ってください。

- TWRC (書き込み制御)

リロードレジスタの値をカウンタへ反映するタイミングを制御します。タイマモード以外では 1 に設定してください。

14.2.5 タイマ RB 割り込み要求ステータスレジスタ (TRBIR)

アドレス: H'FFFA7

ビット: b7 b6 b5 b4 b3 b2 b1 b0

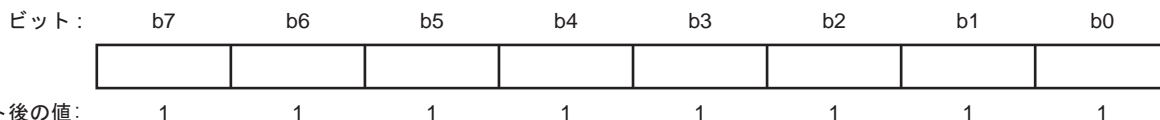
TRBIE	TRBIF	—	—	—	—	—	—
-------	-------	---	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TRBIE	割り込み許可	0: タイマ RB の割り込みを禁止 1: タイマ RB の割り込みを許可	R/W
6	TRBIF	割り込み要求 フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> タイマモード時 タイマ RB がアンダフローしたとき プログラマブル波形発生モード時 セカンダリ期間のカウンタアンダフローからカウントソースの 1/2 サイクル後 プログラマブルワンショット発生モード時 アンダフローからカウントソースの 1/2 サイクル後 プログラマブルウェイトワンショット発生モード セカンダリ期間のカウンタアンダフローからカウントソースの 1/2 サイクル後 <p>【0になる条件】</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき 	R/W
5~0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

14.2.6 タイマ RB プリスケーラレジスタ (TRBPRES)

アドレス: H'FFFA4



TRBPRES は、タイマ RB プリスケーラのリロードレジスタです。タイマ RB プリスケーラはリロードレジスタとカウンタで構成されています。

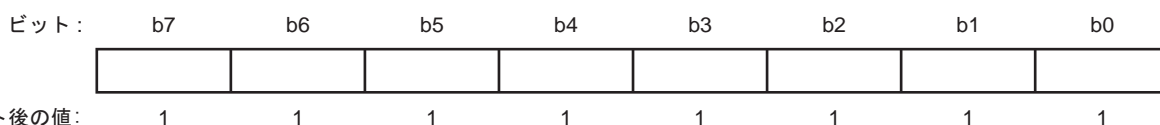
TRBMR で選択されたカウントソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローはタイマ RB カウンタのカウントソースとなります。

TRBPRES とカウンタは同じアドレスに配置されており、TRBPRES へのライト時はリロードレジスタへ書き込まれ、TRBPRES リード時はカウンタ値が読み出されます。TRBPRES へのライト時、リロードレジスタからカウンタへのロードタイミングは、カウント中とカウント停止時、TRBMR の TWRC ビットの設定により異なります。詳細は各動作モードを参照してください。

TRBPRES の初期値はそれぞれ H'FF です。

14.2.7 タイマ RB セカンダリレジスタ (TRBSC)

アドレス: H'FFFA5



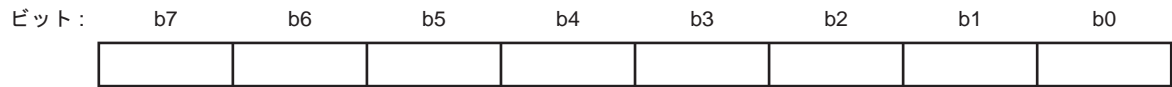
TRBSC は、タイマ RB カウンタのセカンダリ期間を設定する 8 ビットの書き込み専用レジスタです。プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードのみ使用されます。タイマモード、プログラマブルワンショット発生モードにおいては、本レジスタは使用しません。

TRBSC を使用する動作モードにおいて TRBSC へライトする場合は、必ず TRBSC、TRBPR の順で両方のレジスタへライトしてください。TRBSC のみ値を変更する場合でも、TRBPR へは前と同じ値をライトしてください。

TRBSC の初期値は H'FF です。

14.2.8 タイマ RB プライマリレジスタ (TRBPR)

アドレス: H'FFFA6



リセット後の値: 1 1 1 1 1 1 1 1

TRBPR は、タイマ RB カウンタの周期やプライマリ期間を設定する 8 ビットのリロードレジスタです。タイマ RB カウンタは、セカンダリレジスタ、プライマリレジスタの 2 本のリロードレジスタとカウンタで構成され、プライマリレジスタとカウンタは同じアドレスに配置されており、TRBPR へのライト時はリロードレジスタへ書き込まれ、TRBPR をリードするとタイマ RB カウンタのカウンタ値が読み出されます。

TRBPR へライト時、リロードレジスタからカウンタへのロードタイミングはカウント中とカウント停止時、TRBMR の TWRC ビットの設定により異なります。詳細は各動作モードを参照してください。

TRBPR の初期値はそれぞれ H'FF です。

14.3 動作説明

14.3.1 タイマモード

内部クロックまたはタイマ RA のアンダフローをカウントソースとしてカウントするモードです。タイマ RB カウンタがアンダフローすると、TRBPR の値がリロードされカウントを継続します。タイマモード時、TRBOCR および TRBSC レジスタは使用しません。カウントソースは TRBMR の TCK[2:0] ビットで選択します。

(1) 動作の開始と停止

TRBCR の TSTART ビットに 1 を書き込むと、カウントを開始し、TSTART ビットに 0 を書き込むとカウントを停止します。

(2) 動作の強制停止

TRBCR の TSTOP ビットへ 1 を書き込むと、カウントを強制停止します。強制停止したときは、タイマ RB カウンタ、プリスケアラのカウンタおよび他の関連するフラグは初期化されます。

(3) 割り込み要求

タイマ RB カウンタのアンダフローにより割り込み要求が発生します。

(4) カウント値のリードとライト

TRBPRES、TRBPR をリードすると、それぞれカウント値が読み出されます。

カウント停止中、TRBPRES や TRBPR にライトした場合は、それぞれのリロードレジスタとカウンタの両方に設定値が書き込まれます。

TRBMR の TWRC=0 のとき、カウント動作中に TRBPRES にライトした場合、まずリロードレジスタに設定値が書き込まれ、カウントソースに同期して設定値がプリスケアラカウンタへ転送されます。TRBPR にライトした場合は、4 カウントソース経過後のプリスケアラのアンダフローに同期してリロードレジスタに設定値が書き込まれ、次のプリスケアラのアンダフローに同期して設定値がタイマカウンタへロードされます。

TWRC=1 のとき、カウント動作中に TRBPRES、TRBPR にライトした場合は、それぞれのリロードレジスタのみに書き込まれます。カウンタへのロードはそれぞれプリスケアラ、タイマカウンタのアンダフローに同期して行われます。

14.3.2 プログラマブル波形発生モード

TRBPR と TRBSC の値を交互にリロードしてカウントし、カウンタがアンダフローするごとに、TRBO 端子からトグル出力するモードです。カウント開始時は、TRBPR に設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCR は使用しません。

(1) 動作の開始と停止

TRBCR の TSTART ビットに 1 を書き込むと、カウントを開始し、TSTART ビットに 0 を書き込むとカウントを停止します。

(2) 動作の強制停止

TRBCR の TSTOP ビットへ 1 を書き込むと、カウントを強制停止します。強制停止したときは、タイマ RB カウンタ、プリスケアラのカウンタおよび関連するフラグは初期化されます。

(3) 割り込み要求

タイマ RB カウンタのセカンダリ期間カウントによるアンダフローにより割り込み要求が発生します。

(4) カウント値のリードとライト

TRBPRE、TRBPR をリードすると、それぞれカウント値が読み出されます。

カウント停止中、TRBPRE、TRBPR、TRBSC にライトした場合は、それぞれのリロードレジスタとカウンタの両方に設定値が書き込まれます。

カウント動作中、TRBPRE、TRBPR、TRBSC にライトした場合、それぞれのリロードレジスタのみに書き込まれます。波形の出力は、TRBPR へ書き込み後、次のプライマリ期間から設定値が反映されます。ただしタイマカウンタ値が H'00 の時点で TRBSC、TRBPR にライトした場合、波形の更新は 1 周期保留されます。

図 14.2 にプログラマブル波形発生モード時のタイマ RB の動作例を示します。

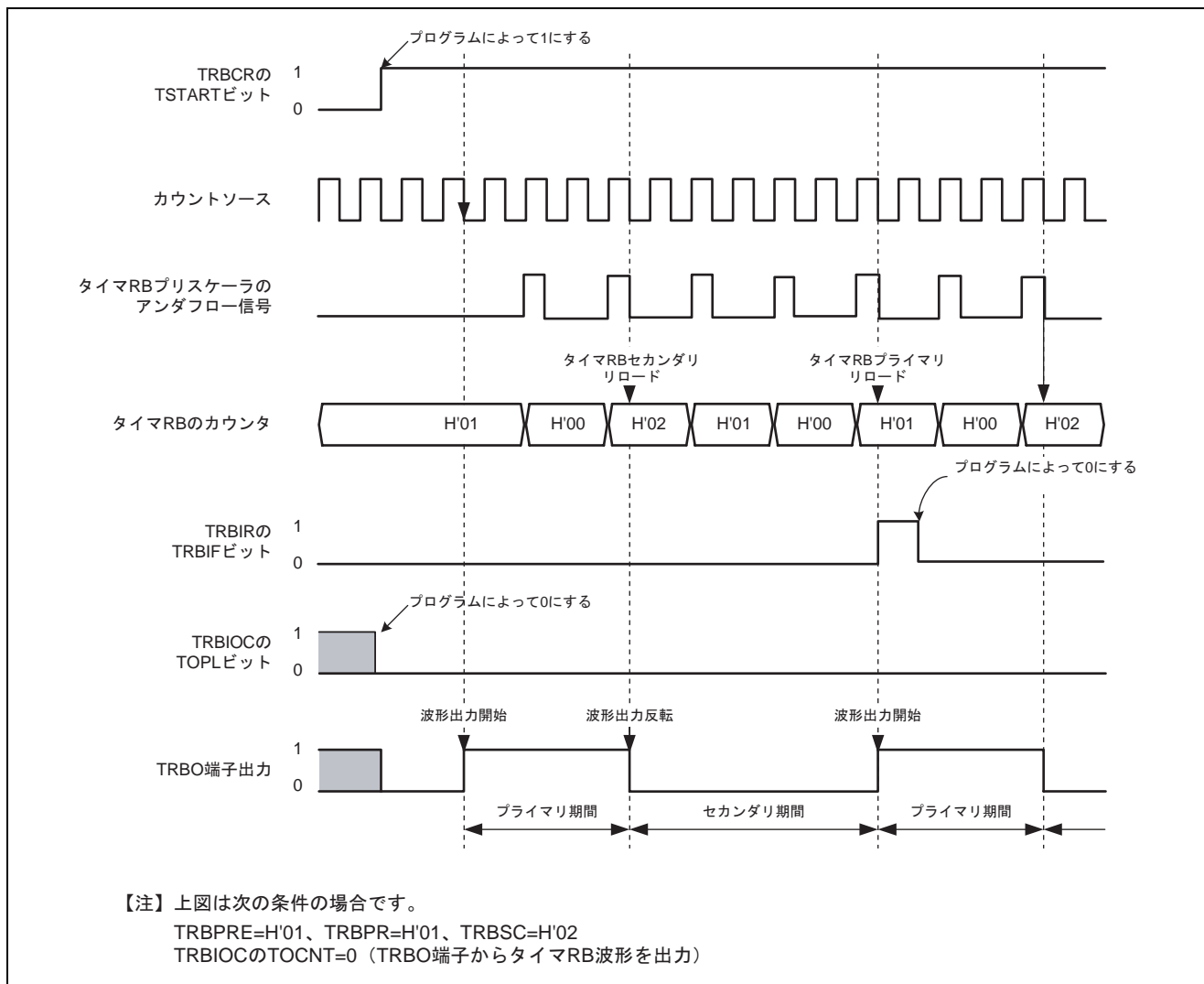


図 14.2 プログラマブル波形発生モード時の動作例

14.3.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ入力により、ワンショットパルスを TRBO 端子から出力するモードです。トリガが発生するとその時点から TRBPR に設定した任意の時間、一度だけタイマが動作します。本モードでは、TRBSC レジスタは使用しません。本モードにおいては、TRBPRES および TRBPR を H'00 に設定しないでください。

(1) 動作の開始と停止

TRBCR の TSTART ビットを 1 にセットし、TCSTF フラグが 1 にセットされた後、TRBOCR の TOSST ビットへ 1 を書き込むか、または TRGB 端子への有効トリガ入力があるとカウントを開始します。トリガ入力はカウントソースの 1 周期より長いパルスを入力してください。

カウント値がアンダフローしリロードした場合、TRBOCR レジスタの TOSSP ビットへ 1 書き込んだ場合、TRBCR の TSTART ビットへの 0 書き込んだ場合、カウントを停止します。

(2) 動作の強制停止

TRBCR の TSTOP ビットへ 1 を書き込むと、カウントを強制停止します。強制停止したときはタイマ RB カウンタ、プリスケアラのカウンタおよび関連するフラグは初期化されます。

(3) 割り込み要求

タイマ RB カウンタのアンダフローにより割り込み要求が発生します。

(4) カウント値のリードとライト

TRBPRES、TRBPR をリードすると、それぞれカウント値が読み出されます。

カウント停止中、TRBPRES や TRBPR にライトした場合は、それぞれのリロードレジスタとカウンタの両方に設定値が書き込まれます。

カウント動作中、TRBPRES、TRBPR にライトした場合、それぞれのリロードレジスタのみに書き込まれます。TRBPRES に書き込んだ値は、プリスケアラのアンダフローに同期して反映されます。TRBPR に書き込んだ値は、次のワンショットパルス時に反映されます。

図 14.3 にプログラマブルワンショット発生モード時のタイマ RB の動作例を示します。

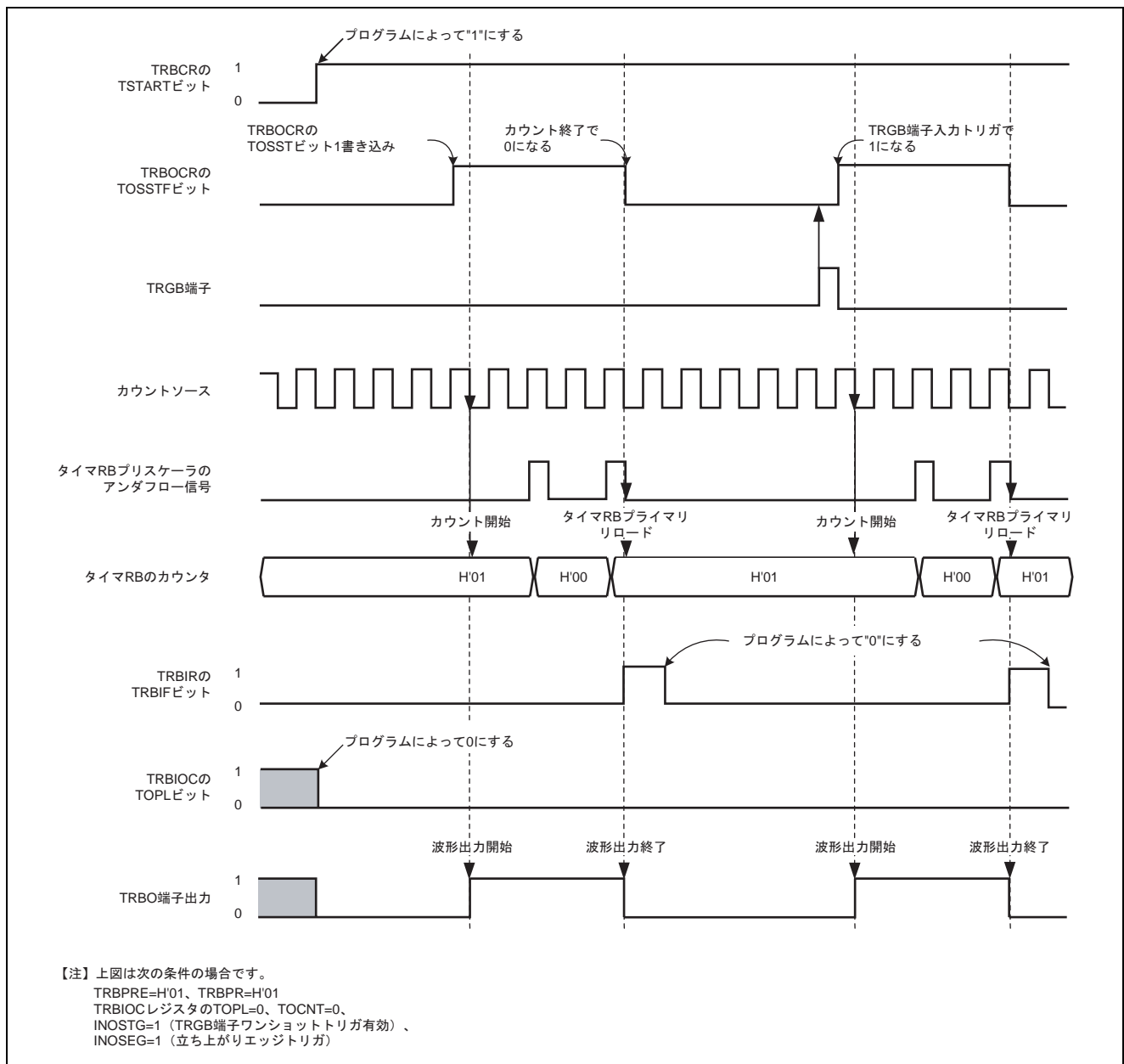


図 14.3 プログラマブルワンショット発生モード時の動作例

14.3.4 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガの入力により、一定時間後にワンショットパルスを TRBO 端子から出力するモードです。トリガが発生すると、その時点から TRBPR へ設定した任意の時間後、一度だけ TRBSC レジスタに設定した任意の時間パルス出力を行います。

(1) 動作の開始と停止

TRBCR の TSTART ビットを 1 にセットし、TCSTF フラグが 1 にセットされた後、TRBOCR の TOSST ビットへ 1 を書き込むか、または TRGB 端子への有効トリガ入力があるとカウントを開始します。トリガ入力はカウントソースの 1 周期より長いパルスを入力してください。

タイマ RB セカンダリカウント値がアンダフローリロードした場合、TRBOCR の TOSSP ビットへ 1 を書き込んだ場合、TRBCR の TSTART ビットへの 0 を書き込んだ場合、カウントを停止します。

(2) 動作の強制停止

TRBCR の TSTOP ビットへ 1 を書き込むと、カウントを強制停止します。強制停止したときはタイマ RB カウンタ、プリスケアラのカウンタおよび関連するフラグは初期化されます。

(3) 割り込み要求

タイマ RB カウンタセカンダリ期間のアンダフローにより割り込み要求が発生します。

(4) カウント値のリードとライト

TRBPRES、TRBPR をリードすると、それぞれカウント値が読み出されます。

カウント停止中、TRBPRES、TRBPR、TRBSC にライトした場合は、それぞれのリロードレジスタとカウンタの両方に設定値が書き込まれます。

カウント動作中、TRBPRES、TRBPR、TRBSC にライトした場合、それぞれのリロードレジスタのみに書き込まれます。TRBPRES に書き込んだ値はプリスケアラのアンダフローに同期して反映されます。TRBPR レジスタ、TRBSC に書き込んだ値は、次のワンショットパルス時に反映されます。

TCSTF=1、TOSSTF=0 のとき、TRBSC、TRBPR への書き込み後、TOSST ビットに 1 をライトする前に再び TRBSC、TRBPR へ書き込む場合は、TRBPR への書き込み後、5 カウントソース間隔をあけてから、TRBSC、TRBPR の順で書き込んでください。

本モードにおいては、TRBPRES および TRBPR を H'00 に設定しないでください。

図 14.4 にプログラマブルウェイトワンショット発生モード時のタイマ RB の動作例を示します。

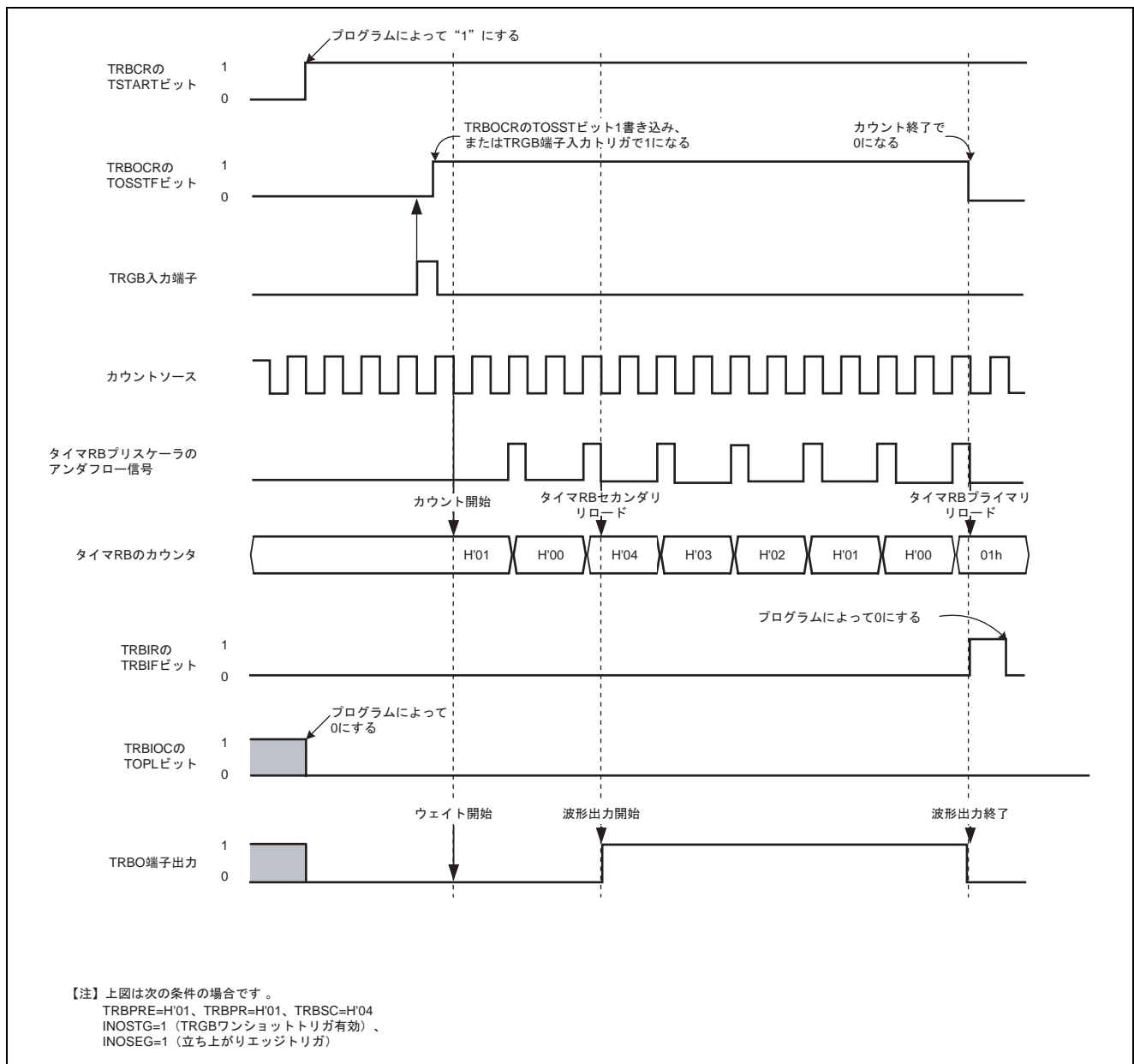


図 14.4 プログラマブルウェイトワンショット発生モード時の動作例

14.3.5 TWRC ビットによるプリスケアラ、カウンタへの反映タイミング

TRBMR の TWRC ビットの設定値により、タイマ動作において TRBPRE、TRBPR、TRBSC に書き込んだ値がカウンタへ反映されるタイミングが異なります。

TWRC=1 に設定し、レジスタのみに書き込みを設定すると、周期の切れ目でカウンタ値が更新されるため、中途半端な周期は発生しません。タイマモード以外では TWRC=1 に設定してください。

TWRC の値が 0 の場合と 1 の場合のプリスケアラ、カウンタへの動作例を図 14.5 に示します。

なお TCSTF=1 の時、TWRC=0 に設定した場合でも、プリスケアラ、カウンタへの転送はカウントソースに同期して行なわれるため、書き込み命令実行後すぐにカウンタの値が更新されません。

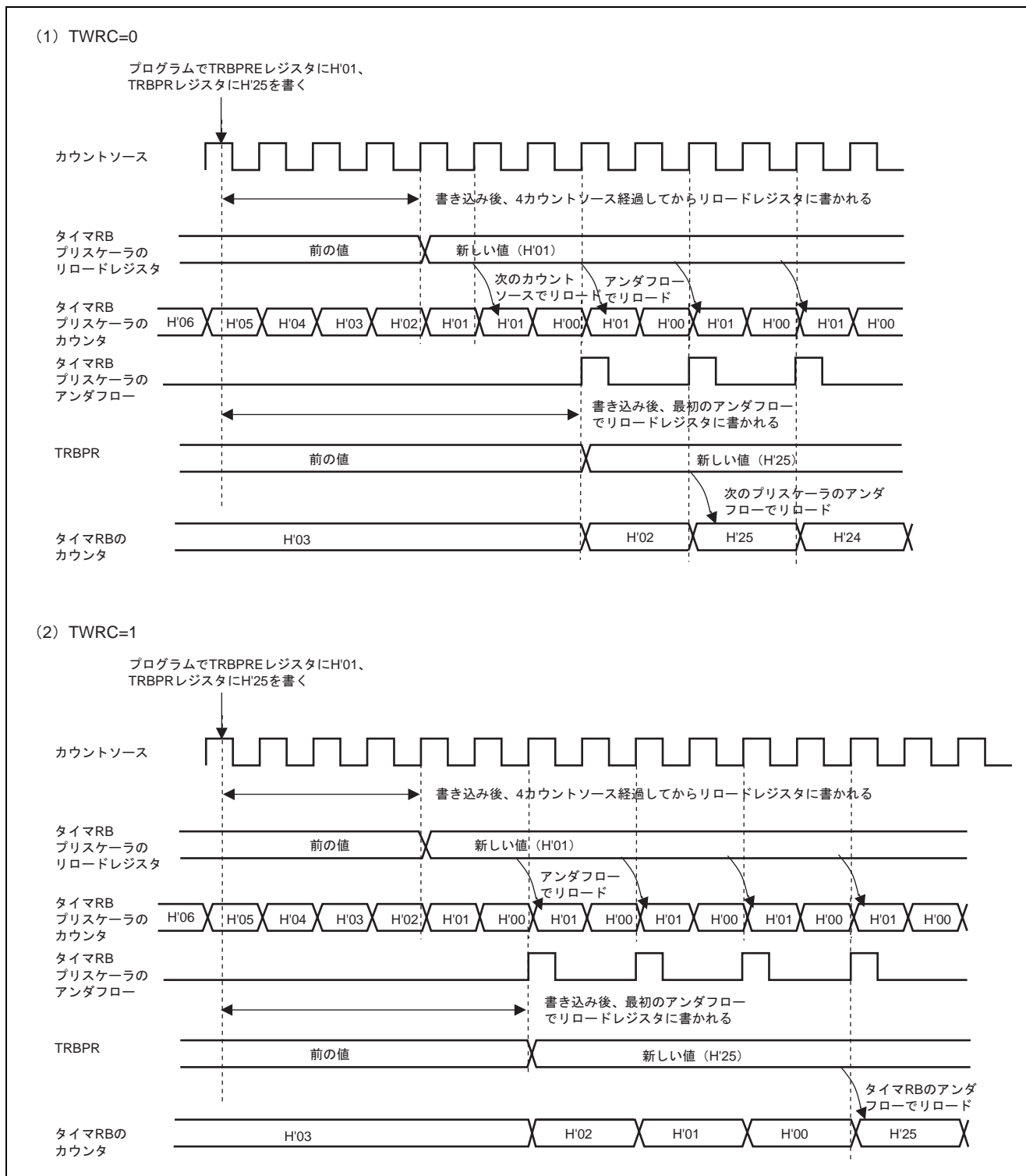


図 14.5 TWRC の設定値とプリスケアラ、カウンタの動作例

14.3.6 TOCNT 設定と端子状態更新条件

TRBIOC の TOCNT ビットおよび PMR の対応ビットの設定により汎用入出力ポートとするかタイマの波形出力を選択することができます。ただし、タイマモードの場合、TOCNT ビットの設定に関わらず汎用入出力ポートになります。

また、TOCNT ビットを書き換えた場合、すぐに端子状態は更新されず、下記の条件のどちらかが発生したときに、変更した内容が反映されます。

<端子状態更新条件>

- TRBCRのTSTARTビットを0→1に変更したとき
- TRBPRがカウンタにリロードされたとき

14.3.7 イベントリンクによる動作

タイマ RB はイベントリンクコントローラ (ELC) の設定において、他モジュールで発生したイベントにより次の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA でタイマ RB のカウントスタート動作を選択します。ELSR1 で指定したイベントが発生すると、TRBCR の TSTART ビットが 1 にセットされ、タイマ RB のカウントがスタートします。ただし、TCSTF フラグが 1 にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPA でタイマ RB のイベントカウンタ動作を選択します。ELSR1 で指定したイベントが発生すると、TRBMR の TCK[2:0]の設定に関係なくそのイベントをカウントソースとしてイベントカウンタ動作を行います。イベントカウンタ動作を行う場合は、あらかじめ TRBCR の TSTART ビットを 1 にセットしておいてください。カウント値をリードすると、実際に入力されたイベント数-3 が読み出されます。

14.4 割り込み要求

本モジュールには、タイマ RB 割り込み許可ビット (TRBIR の TRBIE ビット) とタイマ RB 割り込み要求フラグ (TRBIR の TRBIF ビット) があります。TRBIE=1 のとき TRBIF が 1 にセットされると、CPU に対し割り込み要求を出します。TRBIF のセット条件は、各動作モードにより異なりますので、TRBIF の説明および各動作モードの説明を参照してください。

14.5 使用上の注意事項

1. プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRのTSTARTビットを0にクリアしてカウントを停止したときは、タイマカウンタはカウント値を保持して停止します。
2. カウント停止中にTSTARTビットに1を書いた後は、カウントソースの数サイクルの間、TCSTFビットは0になっています。TCSTFビットが1になるまで、タイマRB関連レジスタをアクセス (TRBCRのリードを除く) しないでください。
カウント中に TSTART ビットに 0 を書いた後は、カウントソースの数サイクルの間、TCSTF ビットは 1 になっています。TCSTF ビットが 0 になるまで、タイマ RB 関連レジスタ*をアクセス (TRBCR のリードを除く) しないでください。

【注】 タイマ RB 関連レジスタとは、TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRE、TRBSC、TRBPR です。

3. TRBPREとTRBPRは同時にH'00を設定しないでください。
4. TSTART=0において、TRBPRE、TRBPR、TRBSCを書き換える場合、少なくともシステムクロック ϕ 2サイクル期間経過後、TSTART=1に設定してください。
5. TSTART=1またはTCSTF=1のとき、TRBIOC、TRBMRの値を書き換えしないでください。
6. TOSSTビットに1ライトする場合は、TCSTFビットをリードし1を確認してからライトしてください。
7. プログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードにおいて、TRBPRへ書き込んでからカウンタにリロードされるまでの間に再度、TRBSCへの書き込みが発生しないようにしてください。
8. カウント中 (TCSTF=1のとき) にTRBPREに連続して書き込む場合は、書き込む間隔をカウントソースの4周期以上あけてください。
9. カウント中 (TCSTF=1のとき) にTRBPRとTRBSCに連続して書き込む場合は、書き込む間隔をカウントソースの4周期以上あけてください。
10. TRBOCRのTOSSTビットまたはTOSSPビットに1を書くと、カウントソースの1~2サイクル後にTOSSTFビットが変化します。TOSSTビットに1を書いた後からTOSSTFビットが1になるまでの期間にTOSSPビットに1を書いた場合、内部の状態によってTOSSTFビットが0になる場合と、1になる場合があります。TOSSPビットに1を書いた後からTOSSTFビットが0になるまでの期間にTOSSTビットに1を書いた場合も同様に、TOSSTFビットは0になるか1になるか不定です。
11. TRBPREとTRBPRは、それぞれ連続して同一レジスタを読み出す場合は、読み出す間隔をカウントソースの2周期以上あけてください。
12. タイマRBのカウントソースとして、タイマRAのアンダフローを選択する場合は、タイマRAをタイマモード、パルス出力モードまたはイベントカウンタモードに設定してください。

15. タイマ RC

タイマ RC は、アウトプットコンペア機能、インプットキャプチャ機能を内蔵した 16 ビットのタイマです。外部イベントのカウントが可能のほか、タイマカウンタと 4 本のジェネラルレジスタのコンペアマッチ信号による任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

【注】 タイマ RC は H8S/20223 グループ、H8S/20203 グループ、H8S/20215 グループ、H8S/20235 グループには搭載されていません。

15.1 概要

- カウンタ入力クロック：6種類
5 種類の内部クロック (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/32$)
または外部クロック (外部イベントカウント)
- 最大4本のパルス入出力処理が可能
- ジェネラルレジスタ：4本
独立にアウトプットコンペアレジスタまたはインプットキャプチャレジスタとして設定可能
アウトプットコンペア/インプットキャプチャレジスタのバッファレジスタとしても使用可能
- タイマ入出力機能
タイマモード：アウトプットコンペア (0 出力/1 出力/トグル出力が可能)
インプットキャプチャ (立ち上がりエッジ/立ち下がりエッジ/両エッジを検出)
カウンタクリア機能 (カウンタの周期設定が可能)
PWM モード：最大 3 相の PWM 出力が可能
PWM2 モード：任意の周期/デューティのパルス出力が可能
- タイマ出力初期値を任意に設定可能
- 5種類の割り込み要因
コンペアマッチ/インプットキャプチャ兼用割り込み×4 要因、オーバフロー割り込み

タイマ RC の機能一覧を表 15.1 に、タイマ RC のブロック図を図 15.1 に示します。

表 15.1 タイマ RC 機能一覧

項目	カウンタ	入出力端子			
		FTIOA	FTIOB	FTIOC	FTIOD
カウントクロック	内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/32$ 外部クロック：FTCI				
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼用 レジスタ)	周期設定は GRA	GRA	GRB	GRC バッファ動作時 GRAのバッファ レジスタ	GRD バッファ動作時 GRBのバッファ レジスタ
カウンタクリア機能	GRAの インプット キャプチャ/ コンペアマッチ	GRAの インプット キャプチャ/ コンペアマッチ	—	—	—
	TRGC 入力	—	—	—	—
出力初期値設定機能	—	○	○	○	○
バッファ動作	—	○	○	—	—
コンペア マッチ出力	0 出力	—	○	○	○
	1 出力	—	○	○	○
	トグル出力	—	○	○	○
インプットキャプチャ機能	—	○	○	○	○
PWM モード	—	—	○	○	○
PWM2 モード	—	—	○	—	—
割り込み要因	オーバフロー	コンペアマッチ/ インプット キャプチャ	コンペアマッチ/ インプット キャプチャ	コンペアマッチ/ インプット キャプチャ	コンペアマッチ/ インプット キャプチャ

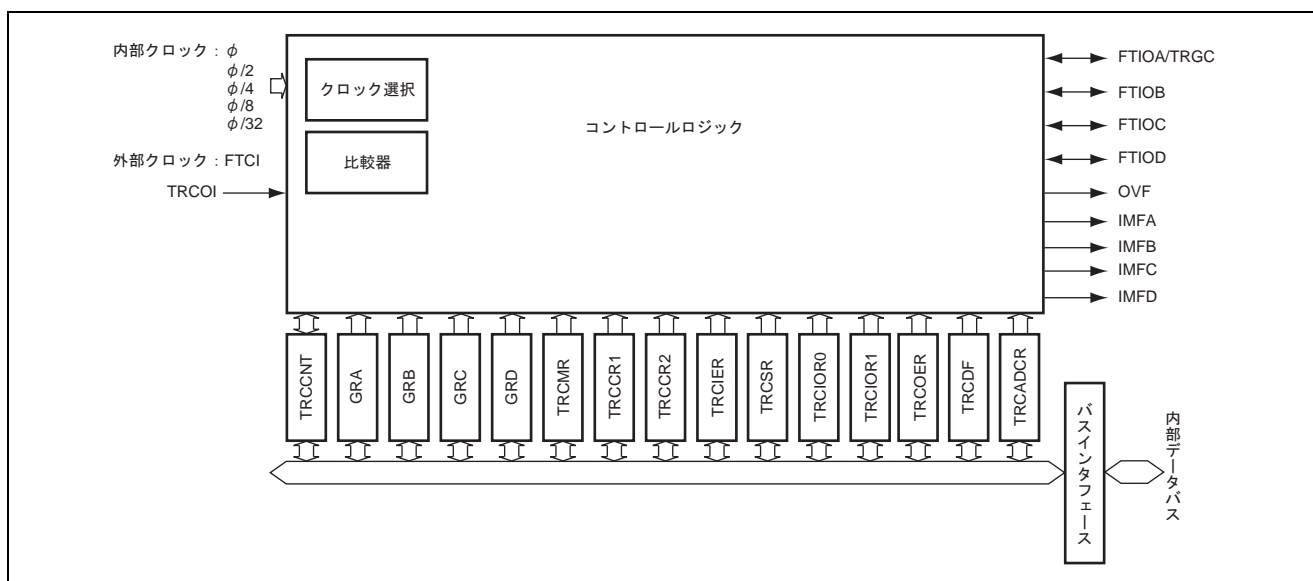


図 15.1 タイマ RC のブロック図

タイマ RC の端子構成を表 15.2 に示します。

表 15.2 端子構成

端子名	入出力	機能
FTCI	入力	外部クロック入力端子
FTIOA/TRGC	入出力	GRA アウトプットコンペア出力／GRA インพุットキャプチャ入力端子／外部トリガ入力端子 (TRGC)
FTIOB	入出力	GRB アウトプットコンペア出力／GRB インพุットキャプチャ入力／PWM 出力端子 (PWM モード時)
FTIOC	入出力	GRC アウトプットコンペア出力／GRC インพุットキャプチャ入力／PWM 出力端子 (PWM モード時)
FTIOD	入出力	GRD アウトプットコンペア出力／GRD インพุットキャプチャ入力／PWM 出力端子 (PWM モード時)
TRCOI	入力	タイマ出力禁止制御入力端子

15.2 レジスタの説明

タイマ RC には以下のレジスタがあります。

- タイマRCモードレジスタ (TRCMR)
- タイマRCコントロールレジスタ1 (TRCCR1)
- タイマRCコントロールレジスタ2 (TRCCR2)
- タイマRCインタラプトイネーブルレジスタ (TRCIER)
- タイマRCステータスレジスタ (TRCSR)
- タイマRC I/Oコントロールレジスタ0 (TRCIOR0)
- タイマRC I/Oコントロールレジスタ1 (TRCIOR1)
- タイマRCアウトプットイネーブルレジスタ (TRCOER)
- タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)
- タイマRC A/D変換開始トリガコントロールレジスタ (TRCADCR)
- タイマRCカウンタ (TRCCNT)
- ジェネラルレジスタA (GRA)
- ジェネラルレジスタB (GRB)
- ジェネラルレジスタC (GRC)
- ジェネラルレジスタD (GRD)

15.2.1 タイマ RC モードレジスタ (TRCMR)

アドレス: H'FFFF8A

ビット: b7 b6 b5 b4 b3 b2 b1 b0

CTS	—	BUFEB	BUFEA	PWM2	PWMD	PWMC	PWMB
-----	---	-------	-------	------	------	------	------

リセット後の値: 0 1 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	CTS	カウンタ スタート	0: TRCCNT のカウント動作停止 1: TRCCNT のカウント動作開始 【1になる条件】 • 1 ライトしたとき • イベントリンクコントローラの ELOPA によりタイマ RC 動作が 選択され、指定イベントが発生したとき 【0になる条件】 • 0 ライトしたとき • PWM2 モード時、TRCCR2 の CSTP を 1 に設定し、コンペアマ ッチ信号が発生したとき	R/W
6	—	予約ビット	読み出すと 1 が読み出されます。ライト時は 1 を書いてください。	—
5	BUFEB	バッファ動作 B	0: GRD はインプットキャプチャ/アウトプットコンペアレジスタと して動作 1: GRD は GRB のバッファレジスタとして動作	R/W
4	BUFEA	バッファ動作 A	0: GRC はインプットキャプチャ/アウトプットコンペアレジスタと して動作 1: GRC は GRA のバッファレジスタとして動作	R/W
3	PWM2	PWM2 モード	0: PWM2 モードで動作 TRCMR の PWMB、PWMC、PWMD ビットの設定、および TRCIOR0、TRCIOR1 の設定無効 1: タイマモードまたは PWM モードで動作 TRCMR の PWMB、PWMC、PWMD ビットの設定、および TRCIOR0、 TRCIOR1 の設定有効	R/W
2	PWMD	PWM モード D	0: FTIOD 端子はタイマモードで動作 1: FTIOD 端子は PWM モードで動作	R/W
1	PWMC	PWM モード C	0: FTIOC 端子はタイマモードで動作 1: FTIOC 端子は PWM モードで動作	R/W
0	PWMB	PWM モード B	0: FTIOB 端子はタイマモードで動作 1: FTIOB 端子は PWM モードで動作	R/W

15.2.2 タイマ RC コントロールレジスタ 1 (TRCCR1)

アドレス: H'FFFF8B

ビット: b7 b6 b5 b4 b3 b2 b1 b0

CCLR	CKS[2:0]			TOD	TOC	TOB	TOA
------	----------	--	--	-----	-----	-----	-----

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	CCLR	カウンタクリア	0: TRCCNT はフリーランニングカウンタとして動作 1: インพุットキャプチャ A/コンペアマッチ A により TRCCNT がクリア	R/W
6~4	CKS[2:0]*2	クロックセレクト 2~0	000: 内部クロック ϕ をカウント 001: 内部クロック $\phi/2$ をカウント 010: 内部クロック $\phi/4$ をカウント 011: 内部クロック $\phi/8$ をカウント 100: 内部クロック $\phi/32$ をカウント 101: 外部イベント (FTCI) の立ち上がりエッジをカウント 110: 設定禁止 111: 予約 (設定しないでください)	R/W
3	TOD	タイマ出力 レベルセット D	0: 出力値 0*1 1: 出力値 1*1	R/W
2	TOC	タイマ出力 レベルセット C	0: 出力値 0*1 1: 出力値 1*1	R/W
1	TOB	タイマ出力 レベルセット B	0: 出力値 0*1 1: 出力値 1*1	R/W
0	TOA	タイマ出力 レベルセット A	0: 出力値 0*1 1: 出力値 1*1	R/W

【注】 *1 出力値は変更した時点で反映されます。

*2 クロックの切り替えを行う場合は、必ずカウンタが停止した状態で行ってください。

• TOD (タイマ出力レベルセットD)

最初のコンペアマッチ D が発生するまでの FTIOD 端子の出力値を設定します。また PWM モード時では、FTIOD 端子の出力極性を制御します。

- TOC (タイマ出力レベルセットC)

最初のコンペアマッチ C が発生するまでの FTIOC 端子の出力値を設定します。また PWM モード時では、FTIOC 端子の出力極性を制御します。

- TOB (タイマ出力レベルセットB)

最初のコンペアマッチ B が発生するまでの FTIOB 端子の出力値を設定します。また PWM モード時では、FTIOB 端子の出力極性を制御します。

- TOA (タイマ出力レベルセットA)

最初のコンペアマッチ A が発生するまでの FTIOA 端子の出力値を設定します。また PWM モード時では、FTIOA 端子の出力極性を制御します。

15.2.3 タイマ RC コントロールレジスタ 2 (TRCCR2)

アドレス: H'FFFF90

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	TCEG[1:0]		CSTP	—	—	POLD	POLC	POLB

リセット後の値: 0 0 0 1 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	TCEG[1:0]	TRGC 入力エッジセレクト	00: TRGC からのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択	R/W
5	CSTP	カウント停止	0: カウントアップ継続 1: カウントアップ停止	R/W
4、3	—	予約ビット	読み出すと 1 が読み出されます。ライト時は 1 を書いてください。	—
2	POLD	PWM モードアウトプットレベルコントロール D	0: TRCIOD の出力レベルはローアクティブ 1: TRCIOD の出力レベルはハイアクティブ	R/W
1	POLC	PWM モードアウトプットレベルコントロール C	0: TRCIOC の出力レベルはローアクティブ 1: TRCIOC の出力レベルはハイアクティブ	R/W
0	POLB	PWM モードアウトプットレベルコントロール B	0: TRCIOB の出力レベルはローアクティブ 1: TRCIOB の出力レベルはハイアクティブ	R/W

- TCEG[1:0] (TRGC入力エッジセレクト)

TRGC 端子の入力エッジを選択します。本機能は TRCMR の PWM2 ビットを 0 に設定したときのみ有効です。

- CSTP (カウント停止)

コンペアマッチ A 信号による TRCCNT のカウントアップを停止するか、継続するかを設定します。本機能はすべての動作モードで有効です。

コンペアマッチによるカウント停止後、カウント再開する際は、タイマ RC モードレジスタ (TRCMR) の CTS ビットを 1 に設定してください。

15.2.4 タイマ RC インタラプトイネーブルレジスタ (TRCIER)

アドレス: H'FFFF8C

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA

リセット後の値: 0 1 1 1 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	OVIE	タイマオーバ フロー割り込み イネーブル	0: TRCSR の OVF フラグによる割り込み要求 (FOVI) を禁止 1: TRCSR の OVF フラグによる割り込み要求 (FOVI) を許可	R/W
6~4	—	予約ビット	読み出すと 1 が読み出されます。ライト時は 1 を書いてください。	—
3	IMIED	インプットキャプ チャ/コンペアマ ッチ割り込みイネ ーブル D	0: TRCSR の IMFD フラグによる割り込み要求 (IMID) を禁止 1: TRCSR の IMFD フラグによる割り込み要求 (IMID) を許可	R/W
2	IMIEC	インプットキャプ チャ/コンペアマ ッチ割り込みイネ ーブル C	0: TRCSR の IMFC フラグによる割り込み要求 (IMIC) を禁止 1: TRCSR の IMFC フラグによる割り込み要求 (IMIC) を許可	R/W
1	IMIEB	インプットキャプ チャ/コンペアマ ッチ割り込みイネ ーブル B	0: TRCSR の IMFB フラグによる割り込み要求 (IMIB) を禁止 1: TRCSR の IMFB フラグによる割り込み要求 (IMIB) を許可	R/W
0	IMIEA	インプットキャプ チャ/コンペアマ ッチ割り込みイネ ーブル A	0: TRCSR の IMFA フラグによる割り込み要求 (IMIA) を禁止 1: TRCSR の IMFA フラグによる割り込み要求 (IMIA) を許可	R/W

15.2.5 タイマ RC ステータスレジスタ (TRCSR)

アドレス: H'FFFF8D

ビット: b7 b6 b5 b4 b3 b2 b1 b0

OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
-----	---	---	---	------	------	------	------

リセット後の値: 0 1 1 1 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	OVF	タイマオーバーフロー	0: TRCCNT がオーバーフローしていない 1: TRCCNT はオーバーフロー 【1になる条件】 • TRCCNT が H'FFFF から H'0000 にオーバーフローしたとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき	R/W
6~4	—	予約ビット	読み出すと 1 が読み出されます。ライト時は 1 を書いてください。	—
3	IMFD	インプットキャプチャ/コンペアマッチフラグ D	【1になる条件】 • GRD がアウトプットコンペアレジスタとして機能していて、TRCCNT と一致したとき • GRD がインプットキャプチャレジスタとして機能していて、インプットキャプチャ信号により TRCCNT の値が GRD に転送されたとき • TRCMR の PWMD ビットを 1、または PWM2 ビットを 0 に設定していて、GRD と TRCCNT が一致したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき • IMFD 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき	R/W
2	IMFC	インプットキャプチャ/コンペアマッチフラグ C	【1になる条件】 • GRC がアウトプットコンペアレジスタとして機能していて、TRCCNT と一致したとき • GRC がインプットキャプチャレジスタとして機能していて、インプットキャプチャ信号により TRCCNT の値が GRC に転送されたとき • TRCMR の PWMC ビットを 1、または PWM2 ビットを 0 に設定していて、GRC と TRCCNT が一致したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき • IMFC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき	R/W

ビット	シンボル	ビット名	説明	R/W
1	IMFB	インプットキャプチャ/コンペアマッチフラグ B	<p>【1になる条件】</p> <ul style="list-style-type: none"> GRB がアウトプットコンペアレジスタとして機能していて、TRCCNT と一致したとき GRB がインプットキャプチャレジスタとして機能していて、インプットキャプチャ信号により TRCCNT の値が GRB に転送されたとき TRCMR の PWMB ビットを 1、または PWM2 ビットを 0 に設定していて、GRB と TRCCNT が一致したとき <p>【0になる条件】</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき IMFB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき 	R/W
0	IMFA	インプットキャプチャ/コンペアマッチフラグ A	<p>【1になる条件】</p> <ul style="list-style-type: none"> GRA がアウトプットコンペアレジスタとして機能していて、TRCCNT と一致したとき GRA がインプットキャプチャレジスタとして機能していて、インプットキャプチャ信号により TRCCNT の値が GRA に転送されたとき TRCMR の PWMD、PWMC、PWMB ビットのいずれかを 1、または PWM2 ビットを 0 に設定していて、GRA と TRCCNT が一致したとき <p>【0になる条件】</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき IMFA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき 	R/W

15.2.6 タイマ RC I/O コントロールレジスタ 0 (TRCIOR0)

アドレス: H'FFFF8E

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	IOB2	IOB[1:0]	—	IOA2	IOA[1:0]
---	------	----------	---	------	----------

リセット後の値: 1 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	読み出すと 1 が読み出されます。ライト時は 1 を書いてください。	—
6	IOB2	I/O コントロール B2	0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能	R/W
5、4	IOB[1:0]	I/O コントロール B1、B0	IOB2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRB のコンペアマッチで FTIOB 端子へ 0 出力 10 : GRB のコンペアマッチで FTIOB 端子へ 1 出力 11 : GRB のコンペアマッチで FTIOB 端子へトグル出力 IOB2=1 のとき 00 : FTIOB 端子の立ち上がりエッジで GRB へインพุットキャプチャ 01 : FTIOB 端子の立ち下がりエッジで GRB へインพุットキャプチャ 1X : FTIOB 端子の両エッジで GRB へインพุットキャプチャ	R/W
3	—	予約ビット	読み出すと 1 が読み出されます。ライト時は必ず 1 を書いてください。	—
2	IOA2	I/O コントロール A2	0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能	R/W
1、0	IOA[1:0]	I/O コントロール A1、A0	IOA2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRA のコンペアマッチで FTIOA 端子へ 0 出力 10 : GRA のコンペアマッチで FTIOA 端子へ 1 出力 11 : GRA のコンペアマッチで FTIOA 端子へトグル出力 IOA2=1 のとき 00 : FTIOA 端子の立ち上がりエッジで GRA へインพุットキャプチャ 01 : FTIOA 端子の立ち下がりエッジで GRA へインพุットキャプチャ 1X : FTIOA 端子の両エッジで GRA へインพุットキャプチャ	R/W

【注】 X : Don't care

- バッファ動作を行う場合、ペアとなる GR について TRCIOR0 の IOA2、IOB2 ビットと TRCIOR1 の IOC2、IOD2 ビットは同じ設定を行ってください。
- PWM モードおよび PWM2 モードに設定したときは、TRCIOR0 の設定は無効になります。

15.2.7 タイマ RC I/O コントロールレジスタ 1 (TRCIOR1)

アドレス: H'FFFF8F

ビット: b7 b6 b5 b4 b3 b2 b1 b0

IOD3	IOD2	IOD[1:0]	IOC3	IOC2	IOC[1:0]
------	------	----------	------	------	----------

リセット後の値: 1 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	IOD3	I/O コントロール D3	0 : GRD を FTIOB 端子の GR として使用 1 : GRD を FTIOD 端子の GR として使用	R/W
6	IOD2	I/O コントロール D2	0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能	R/W
5、4	IOD[1:0]	I/O コントロール D1、D0	IOD3=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRD のコンペアマッチで FTIOB 端子へ 0 出力 10 : GRD のコンペアマッチで FTIOB 端子へ 1 出力 11 : GRD のコンペアマッチで FTIOB 端子へトグル出力 IOD3=1、IOD2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRD のコンペアマッチで FTIOD 端子へ 0 出力 10 : GRD のコンペアマッチで FTIOD 端子へ 1 出力 11 : GRD のコンペアマッチで FTIOD 端子へトグル出力 IOD3=1、IOD2=1 のとき 00 : FTIOD 端子の立ち上がりエッジで GRD へインพุットキャプチャ 01 : FTIOD 端子の立ち下がりエッジで GRD へインพุットキャプチャ 1X : FTIOD 端子の立ち上がり/立ち下がりの両エッジで GRD へイン プットキャプチャ	R/W
3	IOC3	I/O コントロール C3	0 : GRC を FTIOA 端子の GR として使用 1 : GRC を FTIOC 端子の GR として使用	R/W
2	IOC2	I/O コントロール C2	0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能	R/W

ビット	シンボル	ビット名	説明	R/W
1、0	IOC[1:0]	I/O コントロール C1、C0	<p>IOC3=0 のとき</p> <p>00 : コンペアマッチによる端子出力禁止</p> <p>01 : GRC のコンペアマッチで FTIOA 端子へ 0 出力</p> <p>10 : GRC のコンペアマッチで FTIOA 端子へ 1 出力</p> <p>11 : GRC のコンペアマッチで FTIOA 端子へトグル出力</p> <p>IOC3=1、IOC2=0 のとき</p> <p>00 : コンペアマッチによる端子出力禁止</p> <p>01 : GRC のコンペアマッチで FTIOC 端子へ 0 出力</p> <p>10 : GRC のコンペアマッチで FTIOC 端子へ 1 出力</p> <p>11 : GRC のコンペアマッチで FTIOC 端子へトグル出力</p> <p>IOC3=1、IOC2=1 のとき</p> <p>00 : FTIOC 端子の立ち上がりエッジで GRC ヘインプットキャプチャ</p> <p>01 : FTIOC 端子の立ち下がりエッジで GRC ヘインプットキャプチャ</p> <p>1X : FTIOC 端子の立ち上がり/立ち下がりの両エッジで GRC ヘインプットキャプチャ</p>	R/W R/W

【注】 X : Don't care

- 1 バッファ動作を行う場合、ペアとなる GR について TRCIOR0 の IOA2、IOB2 ビットと TRCIOR1 の IOC2、IOD2 ビットは同じ設定を行ってください。
- 2 PWM モード、および PWM2 モードに設定したときは TRCIOR1 の設定は無効になります。

15.2.8 タイマ RC アウトプットイネーブルレジスタ (TRCOER)

アドレス: H'FFFF92

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PTO	—	—	—	ED	EC	EB	EA
-----	---	---	---	----	----	----	----

リセット後の値: 0 1 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7	PTO	タイマ出力禁止モード	0: $\overline{\text{TRCOI}}$ 端子からのローレベル入力により、ED、EC、EB、EA ビットが 1 にセットされない 1: $\overline{\text{TRCOI}}$ 端子からのローレベル入力により、ED、EC、EB、EA ビットが 1 にセットされる	R/W
6~4	—	予約ビット	読み出すと 1 が読み出されます。ライト時は 1 を書いてください。	—
3	ED	マスターイネーブル D	0: TRCMR、TRCIOR1 の設定にしたがい、FTIOD 端子の出力は許可 1: TRCMR、TRCIOR1 の設定に関わらず、FTIOD 端子の出力は禁止	R/W
2	EC	マスターイネーブル C	0: TRCMR、TRCIOR1 の設定にしたがい、FTIOC 端子の出力は許可 1: TRCMR、TRCIOR1 の設定に関わらず、FTIOC 端子の出力は禁止	R/W
1	EB	マスターイネーブル B	0: TRCMR、TRCIOR0 の設定にしたがい、FTIOB 端子の出力は許可 1: TRCMR、TRCIOR0 の設定に関わらず、FTIOB 端子の出力は禁止	R/W
0	EA	マスターイネーブル A	0: TRCIOR0 の設定にしたがい、FTIOA 端子の出力は許可 1: TRCIOR0 の設定に関わらず、FTIOA 端子の出力は禁止	R/W

TRCOER はタイマの出力を許可/禁止します。PTO ビットを 1 に設定し、TRCOI 端子に Low レベルを入力すると ED、EC、EB、EA の各ビットが 1 にセットされ、タイマ RC の出力は禁止されます。

15.2.9 タイマ RC デジタルフィルタ機能選択レジスタ (TRCDF)

アドレス: H'FFFF91

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	DFCK[1:0]	—	DFTRG	DFD	DFC	DFB	DFA
--	-----------	---	-------	-----	-----	-----	-----

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	DFCK[1:0]	デジタルフィルタ クロック選択	00: $\phi/32$ 01: $\phi/8$ 10: ϕ 11: TRCCR1 の CKS[2:0]で選択したクロック	R/W
5	—	予約ビット	読み出すと 0 が読み出されます。ライト時は 0 を書いてください。	—
4	DFTRG	デジタルフィルタ 機能トリガ端子	0: TRGC 端子のデジタルフィルタ機能なし 1: TRGC 端子のデジタルフィルタ機能あり	R/W
3	DFD	デジタルフィルタ 機能 D	0: FTIOD 端子のデジタルフィルタ機能なし 1: FTIOD 端子のデジタルフィルタ機能あり	R/W
2	DFC	デジタルフィルタ 機能 C	0: FTIOC 端子のデジタルフィルタ機能なし 1: FTIOC 端子のデジタルフィルタ機能あり	R/W
1	DFB	デジタルフィルタ 機能 B	0: FTIOB 端子のデジタルフィルタ機能なし 1: FTIOB 端子のデジタルフィルタ機能あり	R/W
0	DFA	デジタルフィルタ 機能 A	0: FTIOA 端子のデジタルフィルタ機能なし 1: FTIOA 端子のデジタルフィルタ機能あり	R/W

【注】 TRCIOR0、TRCIOR1 の設定で FTIOA~FTIOD 端子を入力に設定したときと、TRCCR2 の TCEG1、TCEG0 で TRGC 端子を選択したときに、当該端子における本レジスタの設定は有効になります。

15.2.10 タイマ RC A/D 変換開始トリガコントロールレジスタ (TRCADCR)

アドレス: H'FFFF93

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	—	—	ADTRGAE	ADTRGBE	ADTRGCE	ADTRGDE
---	---	---	---	---------	---------	---------	---------

リセット後の値: 1 1 1 1 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~4	—	予約ビット	読み出すと 1 が読み出されず。ライト時は 1 を書いてください。	—
3	ADTRGAE	A/D 変換開始トリガ A イネーブル	0: GRA のコンペアマッチで A/D 変換開始トリガを発生しない 1: GRA のコンペアマッチで A/D 変換開始トリガ発生	R/W
2	ADTRGBE	A/D 変換開始トリガ B イネーブル	0: GRB コンペアマッチで A/D 変換開始トリガを発生しない 1: GRB コンペアマッチで A/D 変換開始トリガ発生	R/W
1	ADTRGCE	A/D 変換開始トリガ C イネーブル	0: GRC コンペアマッチで A/D 変換開始トリガを発生しない 1: GRC コンペアマッチで A/D 変換開始トリガ発生	R/W
0	ADTRGDE	A/D 変換開始トリガ D イネーブル	0: GRD コンペアマッチで A/D 変換開始トリガを発生しない 1: GRD コンペアマッチで A/D 変換開始トリガ発生	R/W

TRCADCR は、A/D 変換開始トリガソースを選択します。対応するコンペアマッチにより、A/D 変換開始トリガを発生します。

15.2.11 タイマ RC カウンタ (TRCCNT)

アドレス: H'FFFF80

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

TRCCNT は 16 ビットのリード/ライト可能なアップカウンタです。入力クロックは TRCCR1 の CKS2~CKS0 のビットにより選択します。TRCCR1 の CCLR の設定により GRA とのコンペアマッチにより H'0000 にクリアすることができます。TRCCNT が H'FFFF から H'0000 にオーバフローすると、TRCSR の OVF が 1 にセットされます。このとき TRCIER の OVIE がセットされていると割り込み要求を発生します。TRCCNT は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。TRCCNT の初期値は H'0000 です。

15.2.12 ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)

・ GRA

アドレス: H'FFFF82

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

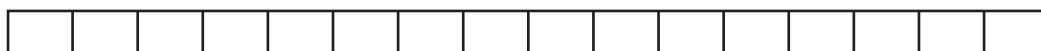


リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ GRB

アドレス: H'FFFF84

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ GRC

アドレス: H'FFFF86

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ GRD

アドレス: H'FFFF88

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ジェネラルレジスタは 16 ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとしてもインプットキャプチャレジスタとしても使用できます。機能の切り替えは、TRCIOR0、TRCIOR1 により行います。

アウトプットコンペアレジスタに設定されたジェネラルレジスタの値は TRCCNT の値と常に比較されます。両者が一致(コンペアマッチ)すると、TRCSR の IMFA~IMFD フラグが 1 にセットされます。このとき TRCIER の IMIEA~IMIED がセットされていると割り込み要求を発生します。また TRCIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタに設定されたジェネラルレジスタは、外部からのインプットキャプチャ信号を検出すると TRCCNT の値が格納され、TRCSR の IMFA~IMFD のフラグが 1 にセットされます。このとき TRCIER の IMIEA~IMIED がセットされていると割り込み要求を発生します。インプットキャプチャ信号の検出エッジは TRCIOR により選択できます。

また、GRC は GRA のバッファレジスタとして、GRD は GRB のバッファレジスタとしてそれぞれ使用することもできます。この機能は TRCMR の BUFEA、BUFEB により選択できます。

例えば、GRA がアウトプットコンペアレジスタとして、GRC が GRA のバッファレジスタとして設定された場合、コンペアマッチ A が発生するたびにバッファレジスタ GRC の値が GRA に転送されます。

GRA がインプットキャプチャレジスタとして、GRC が GRA のバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRCCNT の値が GRA に、GRA の値がバッファレジスタ GRC に転送されます。

GRA~GRD は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。GRA~GRD の初期値は H'FFFF です。

15.3 動作説明

タイマ RC には次の動作モードがあります。

- タイマモード動作

TRCIOR0 の IOA2～IOA0 ビット、IOB2～IOB0 ビットの設定、TRCIOR1 の IOC3～IOC0 ビット、IOD3～IOD0 ビットの設定を行うことにより、アウトプットコンペア機能とインプットキャプチャ機能動作を行います。

- PWMモード動作

TRCMR の PWMD、PWMC、PWMB ビットの設定を行うことにより PWM モード動作を行います。

- PWM2モード動作

TRCMR の PWM2 ビットの設定を行うことにより、PWM2 モード動作を行います。

FTIOA～FTIOD 端子において、各レジスタ設定によるタイマ出力モードを示します。PMC により割り付けた端子に対応する PMCR ビットおよび PMR ビットを 1 に設定してください。

表 15.3 FTIOA 端子の機能

レジスタ名	TRCOER	TRCMR	TRCIOR0	機能
ビット名	EA	PWM2	IOA2～IOA0	
設定値	0	1	001、01X	タイマモード波形出力（アウトプットコンペア機能）
	x	1	1XX	タイマモード（インプットキャプチャ機能）
	x	1	000	汎用入力ポート（当該端子の PCR=0 のとき）
	上記以外			設定しないでください。

【記号説明】 X : Don't care

表 15.4 FTIOB 端子の機能

レジスタ名	TRCOER	TRCMR		TRCIOR0	機能
ビット名	EB	PWM2	PWMB	IOB2～IOB0	
設定値	0	0	X	XXX	PWM2 モード波形出力
	0	1	1	XXX	PWM モード波形出力
	0	1	0	001、01X	タイマモード波形出力（アウトプットコンペア機能）
	x	1	0	1XX	タイマモード（インプットキャプチャ機能）
	x	1	0	000	汎用入力ポート（当該端子の PCR=0 のとき）
	上記以外				

【記号説明】 X : Don't care

表 15.5 FTIOC 端子の機能

レジスタ名	TRCOER	TRCMR		TRCIOR1	機 能
ビット名	EC	PWM2	PWMC	IOC2~IOC0	
設定値	0	1	1	XXX	PWM モード波形出力
	0	1	0	001、01X	タイマモード波形出力（アウトプットコンペア機能）
	x	1	0	1XX	タイマモード（インプットキャプチャ機能）
	x	1	0	000	汎用入力ポート（当該端子の PCR=0 のとき）
	上記以外				

【記号説明】 X : Don't care

表 15.6 FTIOD 端子の機能

レジスタ名	TRCOER	TRCMR		TRCIOR1	機 能
ビット名	ED	PWM2	PWMD	IOD2~IOD0	
設定値	0	1	1	XXX	PWM モード波形出力
	0	1	0	001、01X	タイマモード波形出力（アウトプットコンペア機能）
	x	1	0	1XX	タイマモード（インプットキャプチャ機能）
	x	1	0	000	汎用入力ポート（当該端子の PCR=0 のとき）
	上記以外				

【記号説明】 X : Don't care

15.3.1 タイマモード動作

TRCCNT はフリーランニングカウンタ動作または周期カウンタ動作します。TRCCNT はリセット直後はフリーランニングカウンタの設定となっており、TRCMR の CTS ビットを 1 にセットするとカウンタ動作を開始します。TRCCNT が H'FFFF から H'0000 にオーバーフローすると TRCSR の OVF フラグが 1 にセットされ、TRCIER の OVIE ビットが 1 であれば割り込み要求を発生します。フリーランニングカウンタの動作を図 15.2 に示します。

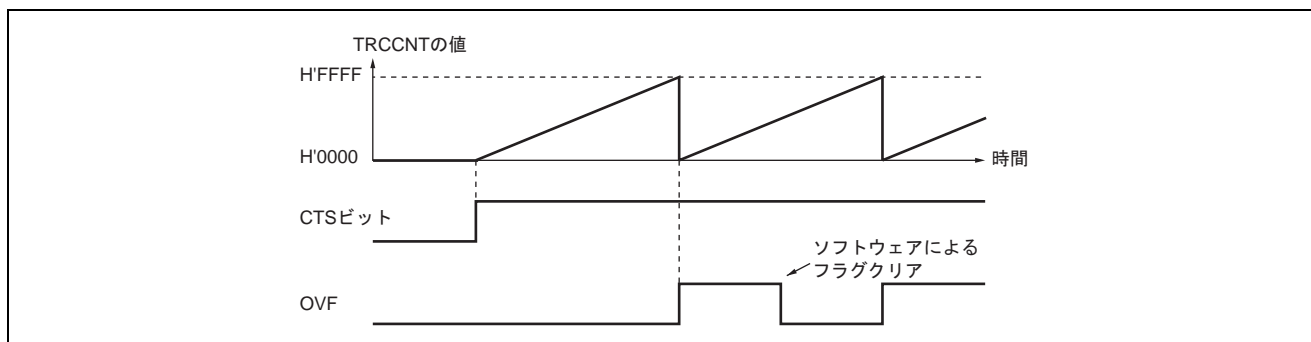


図 15.2 フリーランニングカウンタの動作

周期設定用の GRA をアウトプットコンペアレジスタに設定し、TRCCR1 の CCLR を 1 にセットすると周期カウンタ動作を行います。カウンタ値が GRA と一致すると TRCCNT は H'0000 にクリアされ、TRCSR の IMFA ビットが 1 にセットされます。このとき、対応する TRCIER の IMIEA ビットが 1 であれば割り込み要求を発生します。TRCCNT は H'0000 からアップカウンタ動作を継続します。周期カウンタの動作を図 15.3 に示します。

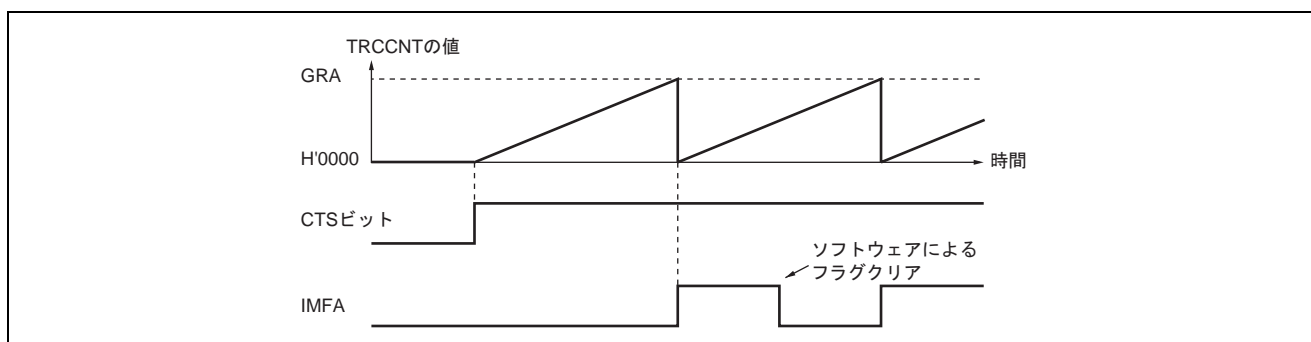


図 15.3 周期カウンタの動作

ジェネラルレジスタをアウトプットコンペアレジスタに設定することにより、コンペアマッチ A~D によって FTIOA、FTIOB、FTIOC、FTIOD 端子から 0 出力/1 出力/トグル出力を行うことができます。TRCCNT をフリーランニング動作させ、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力に設定した例を図 15.4 に示します。設定したレベルと端子のレベルが一致した場合は端子のレベルは変化しません。

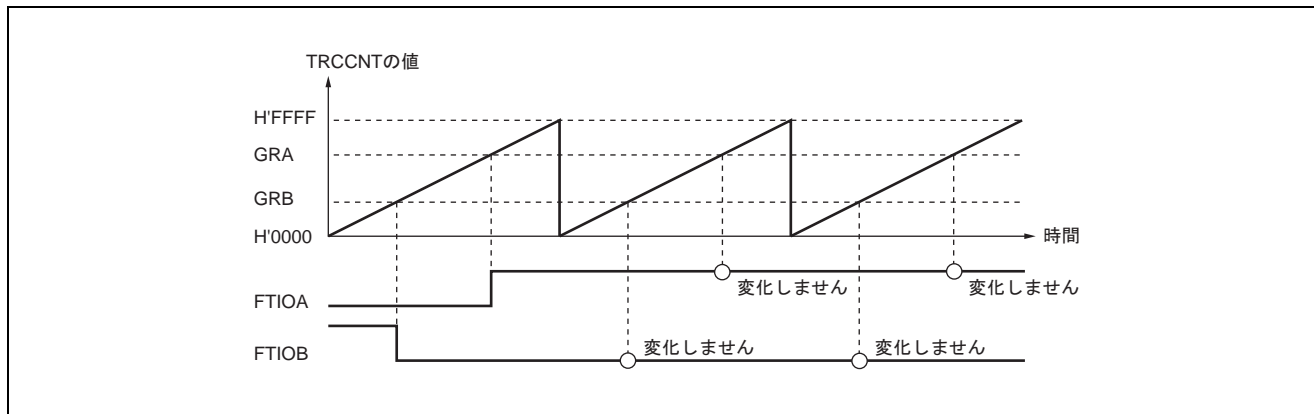


図 15.4 0 出力、1 出力の動作例 (TOA=0、TOB=1 の場合)

TRCCNT をフリーランニング動作させ、コンペアマッチ A、およびコンペアマッチ B によりトグル出力となるように設定した例を図 15.5 に示します。

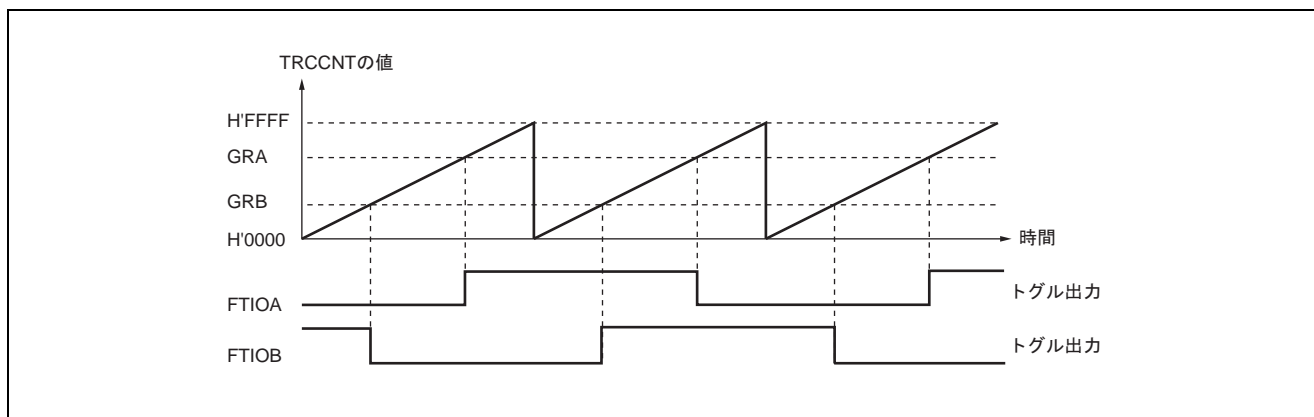


図 15.5 トグル出力の動作例 (TOA=0、TOB=1 の場合)

TRCCNT を周期カウント動作、コンペアマッチ A、B ともにトグル出力となるように設定した例を図 15.6 に示します。

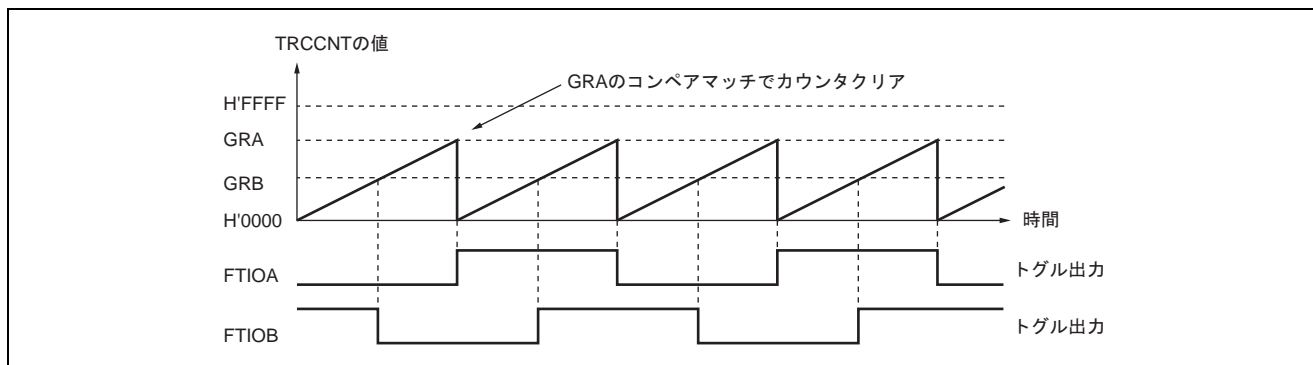


図 15.6 トグル出力の動作例 (TOA=0、TOB=1 の場合)

ジェネラルレジスタをインプットキャプチャレジスタに設定することにより、FTIOA～FTIOD 端子の入力エッジを検出して TRCCNT の値を GRA、GRB、GRC、GRD に転送できます。検出エッジは立ち上がり／立下り／両エッジから選択できます。インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。TRCCNT はフリーランニングカウント動作に設定し、FTIOA 端子のインプットキャプチャ入力エッジに両エッジ、FTIOB 端子のインプットキャプチャ入力エッジに立ち下がりエッジを選択した例を図 15.7 に示します。

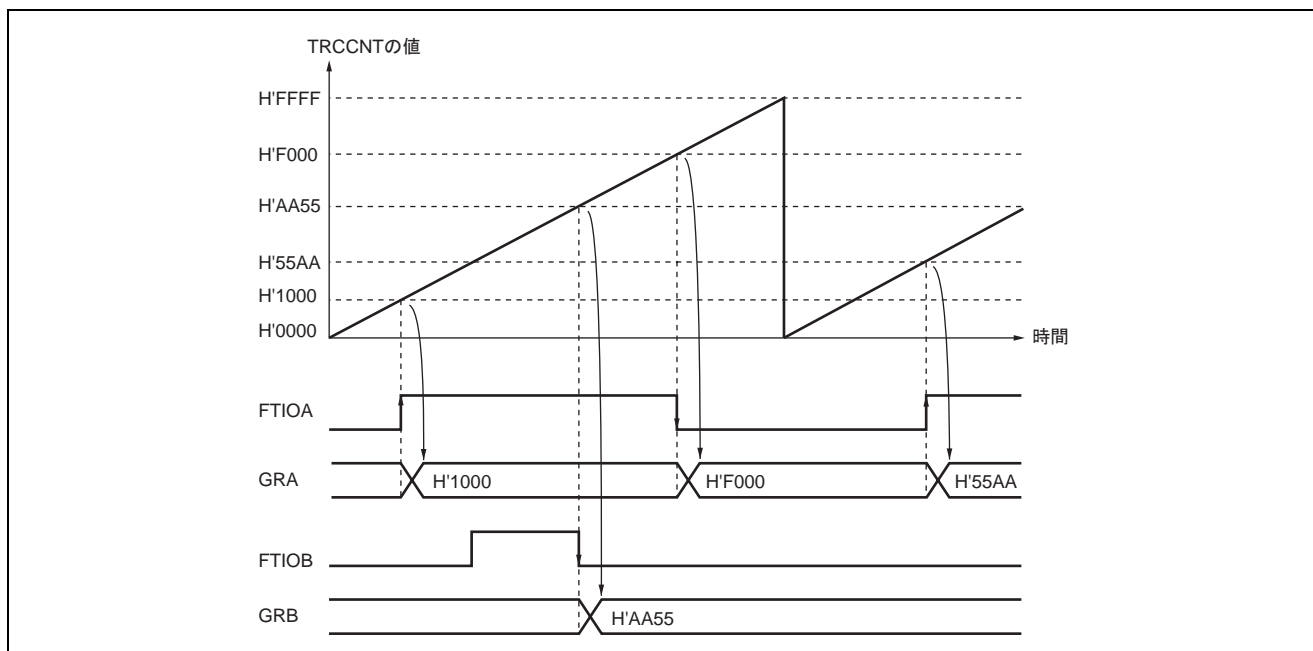


図 15.7 インプットキャプチャ動作例

GRA を入力キャプチャレジスタに設定し、GRC を GRA のバッファレジスタとして設定した場合の動作例を図 15.8 に示します。TRCCNT はフリーランニング動作、FTIOA 端子の入力キャプチャ入力エッジは立ち上がりエッジ、立ち下がりエッジの両エッジを選択した例です。バッファ動作が設定されているため、入力キャプチャ A により TRCCNT の値が GRA に格納されると同時に、それまで GRA に格納されていた値が GRC に転送されます。

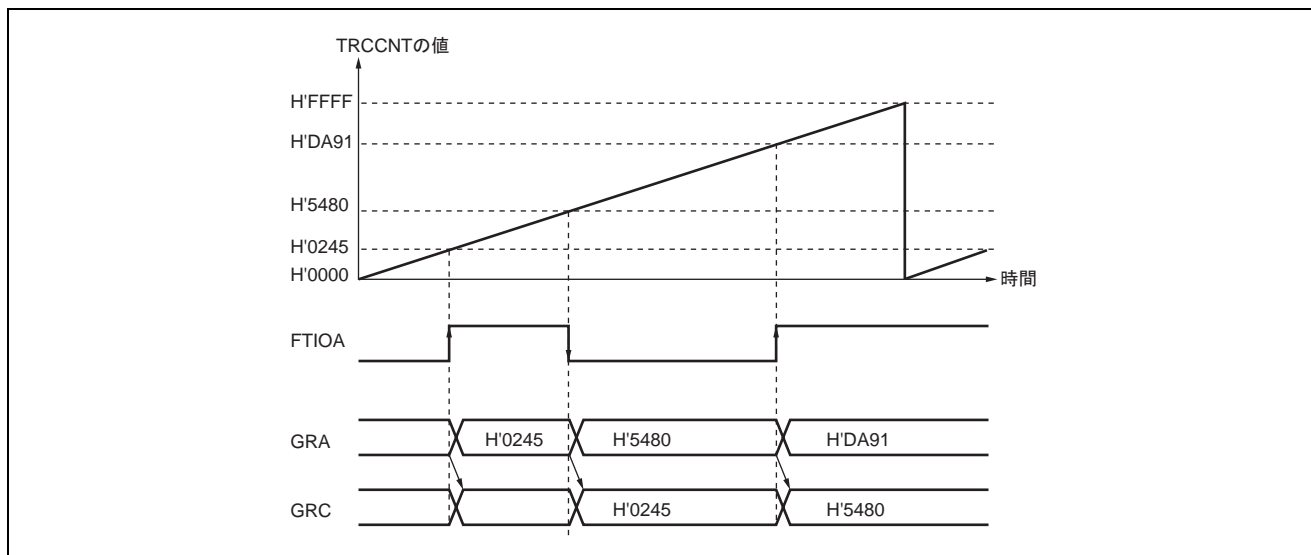


図 15.8 バッファ動作例（入力キャプチャの場合）

15.3.2 PWM 動作

PWM モードは GRA を周期レジスタ、GRB、GRC、GRD をデューティレジスタとして FTIOB、FTIOC、FTIOD 出力端子より、それぞれ PWM 波形を出力します。最大 3 相の PWM 出力が可能です。PWM モードではジェネラルレジスタは自動的にアウトプットコンペアレジスタとして機能します。対応する端子の初期出力レベルは、TRCCR1、TRCCR2 の設定値に従います。FTIOB 端子の初期出力レベルの例を表 15.7 に示します。

表 15.7 FTIOB 端子の初期出力レベル

TOB ビット	POLB ビット	初期出力レベル
0	0	1
0	1	0
1	0	0
1	1	1

出力レベルは TRCCR2 の対応する POLB~POLD ビットの状態で決定されます。POLB=0 のとき、コンペアマッチ B により FTIOB 出力端子は 0 にセットされ、コンペアマッチ A により、FTIOB 出力端子 1 にセットされます。POLB=1 のとき、コンペアマッチ B により FTIOB 出力端子は 1 にセットされ、コンペアマッチ A により、FTIOB 出力端子 0 にセットされます。TRCIOR0、TRCIOR1 の設定値により、PWM モードの設定値が優先されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても、出力値は変化しません。

コンペアマッチ A で TRCCNT をクリアして 1 を出力し、コンペアマッチ B、C、D で 0 を出力する場合の動作例を図 15.9 に示します。

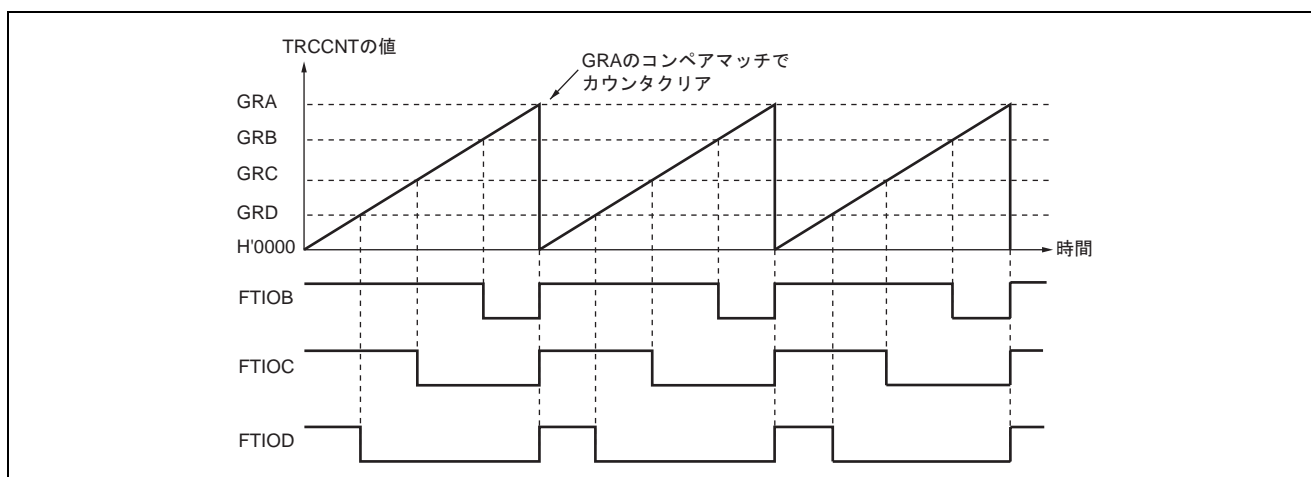


図 15.9 PWM モード動作例 (1)

コンペアマッチ A で TRCCNT をクリアして 0 を出力し、コンペアマッチ B、C、D で 1 を出力する場合の動作例を図 15.10 に示します。

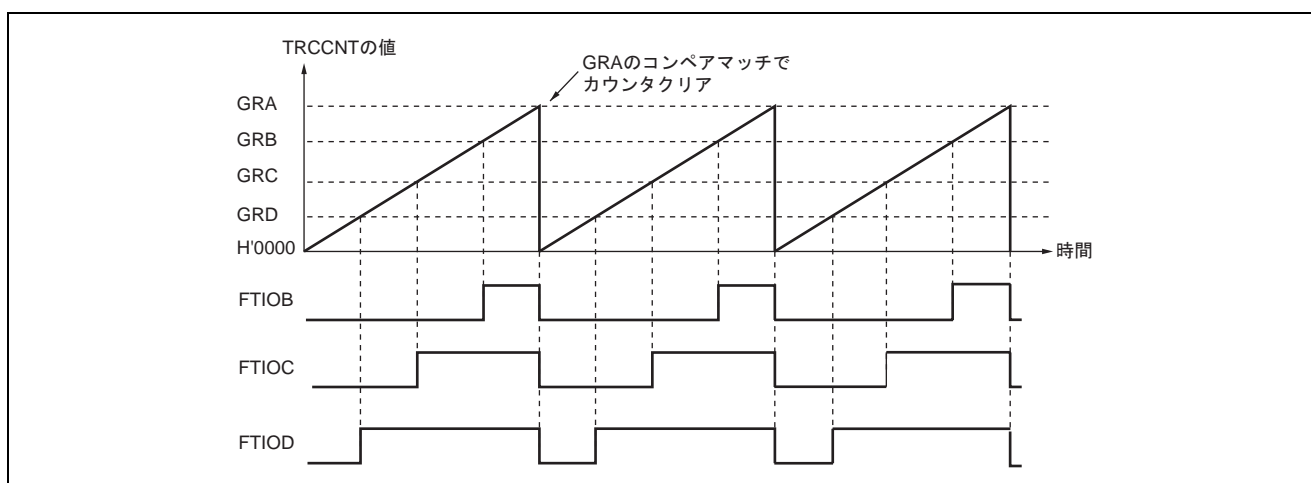


図 15.10 PWM モード動作例 (2)

FTIOB 端子を PWM モードに設定し、GRD を GRB のバッファレジスタとして設定した場合の動作例を図 15.11 に示します。TRCCNT はコンペアマッチ A によりクリア、出力はコンペアマッチ B で 1 出力、コンペアマッチ A で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ B が発生すると出力を変化させると同時にバッファレジスタ GRD の値が GRB に転送されます。この動作は、コンペアマッチ B が発生する度に繰り返されます。

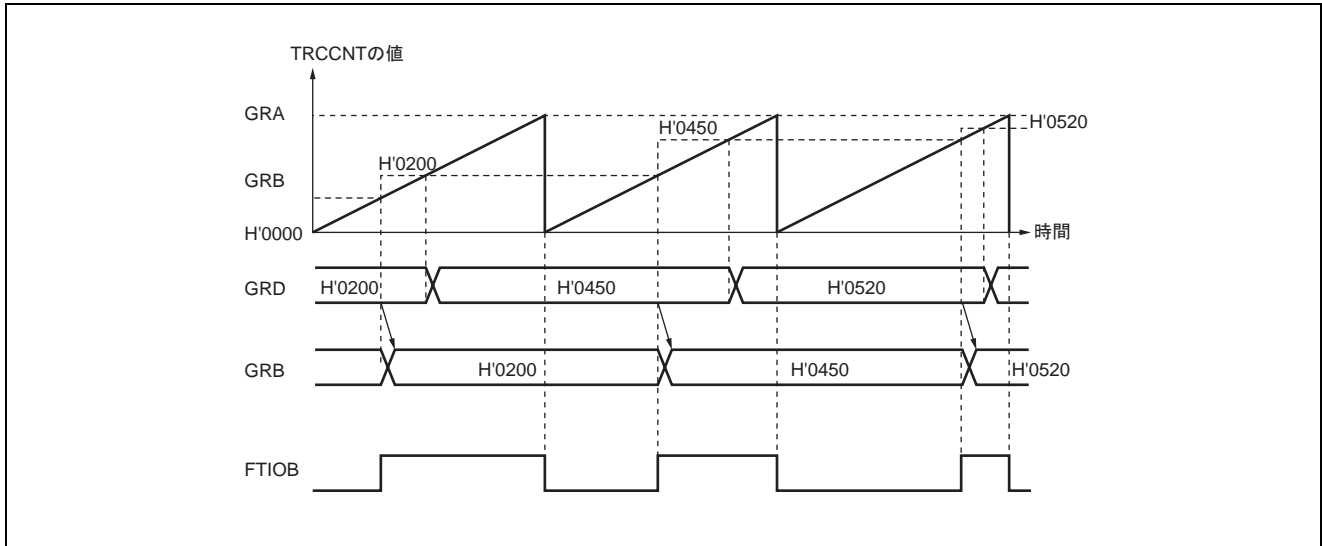


図 15.11 バッファ動作例（アウトプットコンペアの場合）

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 15.12、図 15.13 に示します。

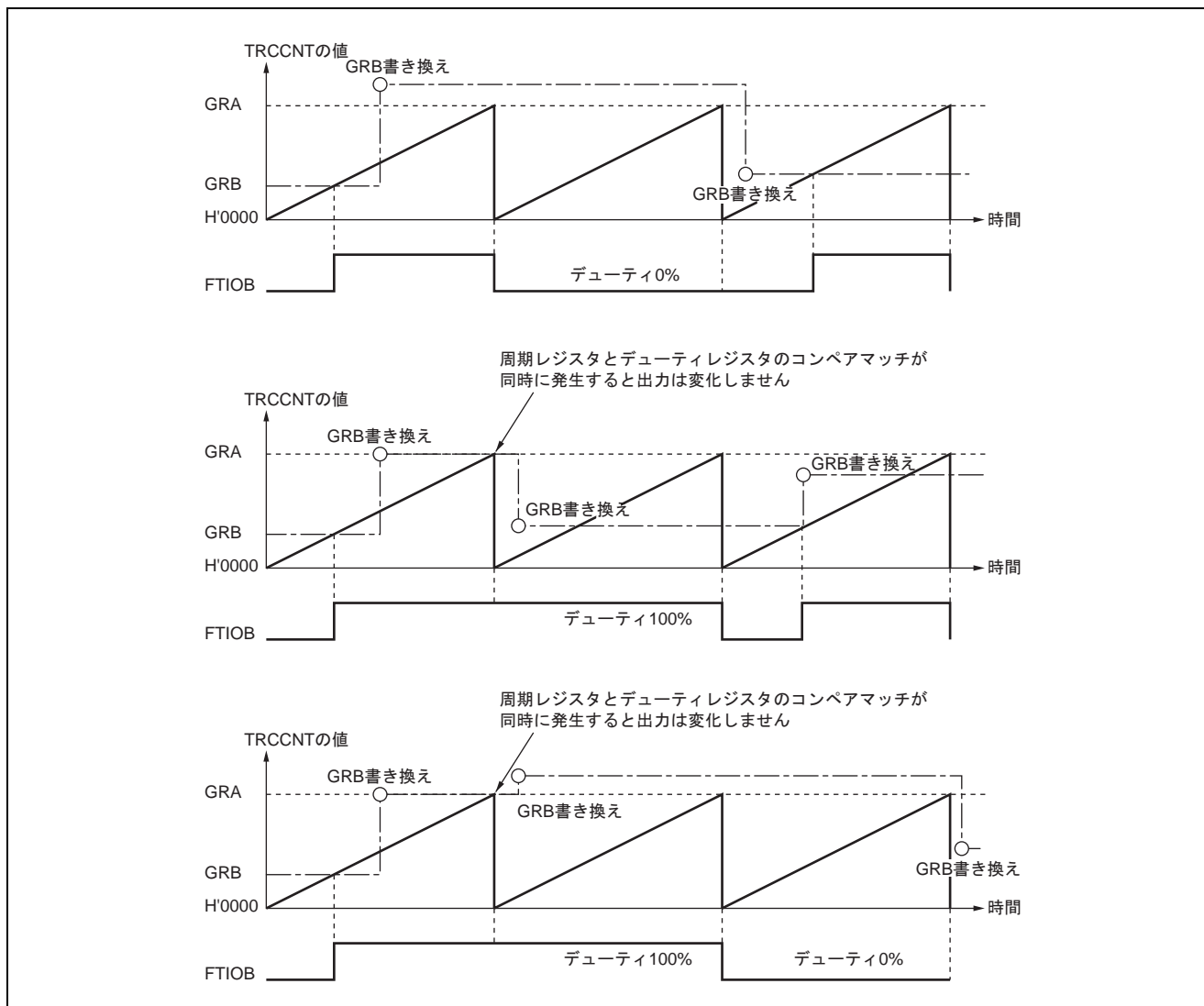


図 15.12 PWM モード動作例（初期出力 0 の場合）

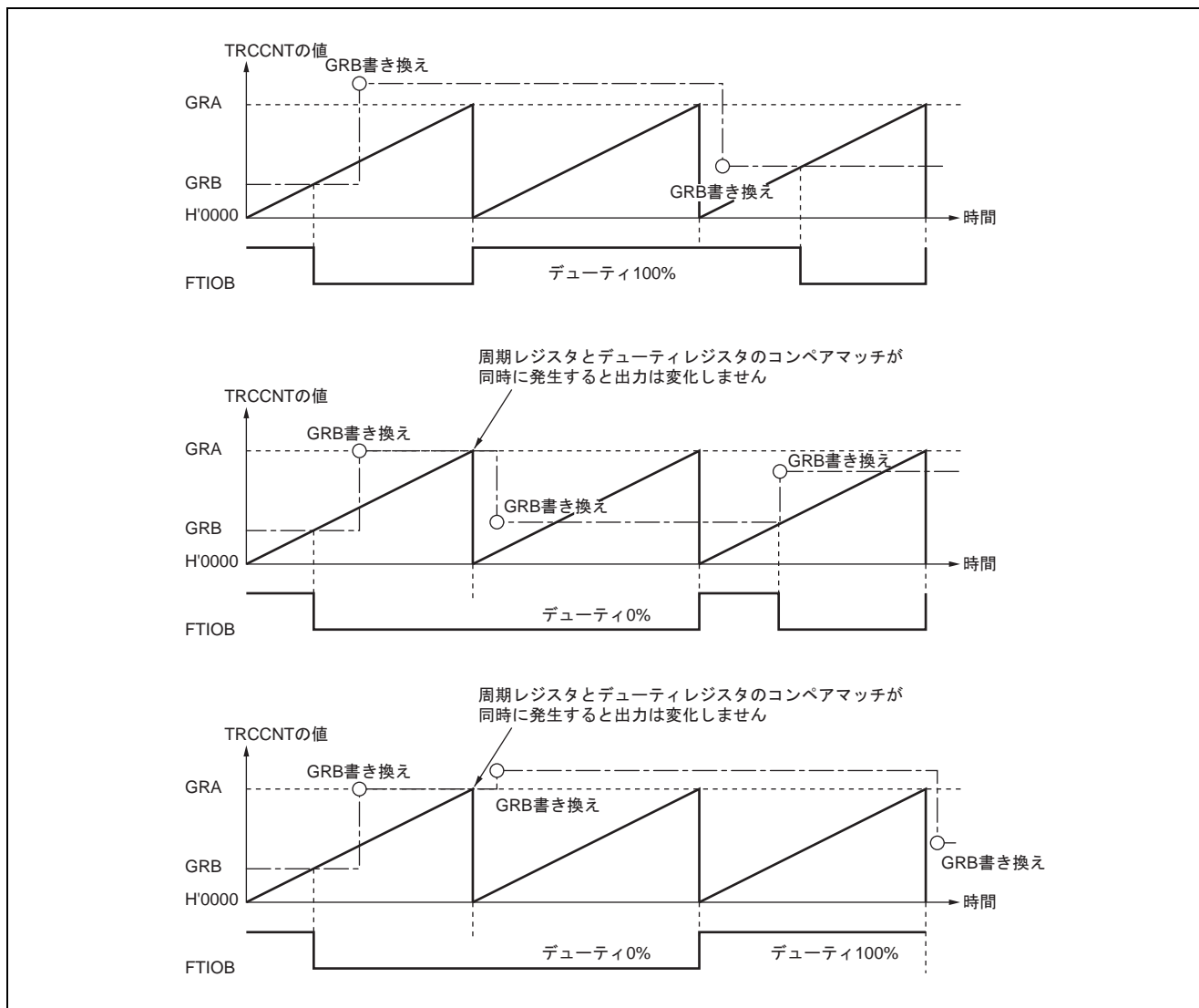


図 15.13 PWM モード動作例（初期出力 1 の場合）

15.3.3 PWM2 モード動作

PWM2 モードは PWM モードと異なり GRB、GRC とのコンペアマッチにより FTIOB 端子から波形を出力するモードです。GRD は TRCMR の BUFEB ビットを 1 に設定することにより、GRB のバッファレジスタとして機能します。出力レベルは TRCCR1 の TOB ビットの設定値で決まります。TOB=0 のとき、GRC のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力します。また TOB=1 のとき、GRC のコンペアマッチで 0 出力、GRB のコンペアマッチで 1 出力します。

表 15.8 に PWM2 モードの端子機能と GR の組み合わせを、図 15.14 に PWM2 モードのブロック図を示します。

また、図 15.15、図 15.16 に PWM2 モードを使用したときの GRD、GRB バッファ動作タイミングを示します。

PWM2 モード時、GRA のコンペアマッチにより GRD の値が GRB に転送され、カウンタがクリアされます。ただし、カウンタがクリアされるのは TRCCR1 の CCLR ビットを 1 に設定したときのみです。また PWM2 モード時、TRCCR2 の TCEG1、TCEG0 ビットによりトリガ入力を有効に設定したとき、トリガ信号により GRD の値が GRB へ転送され、カウンタがクリアされます。PWM2 モードを使用しないタイマの入出力端子は、汎用入出力ポートのみ使用できます。

表 15.8 PWM2 モードの端子機能と GR の組み合わせ

端子名	入出力	コンペアマッチレジスタ	バッファレジスタ
FTIOA	入力/出力	ポート機能*/TRGC 入力	
FTIOB	出力	GRB	GRD
		GRC	—
FTIOC	入力/出力	ポート機能*	
FTIOD			

【注】 * ポート機能を使用する場合、当該端子の PMR ビットを 0 にクリアしてください。

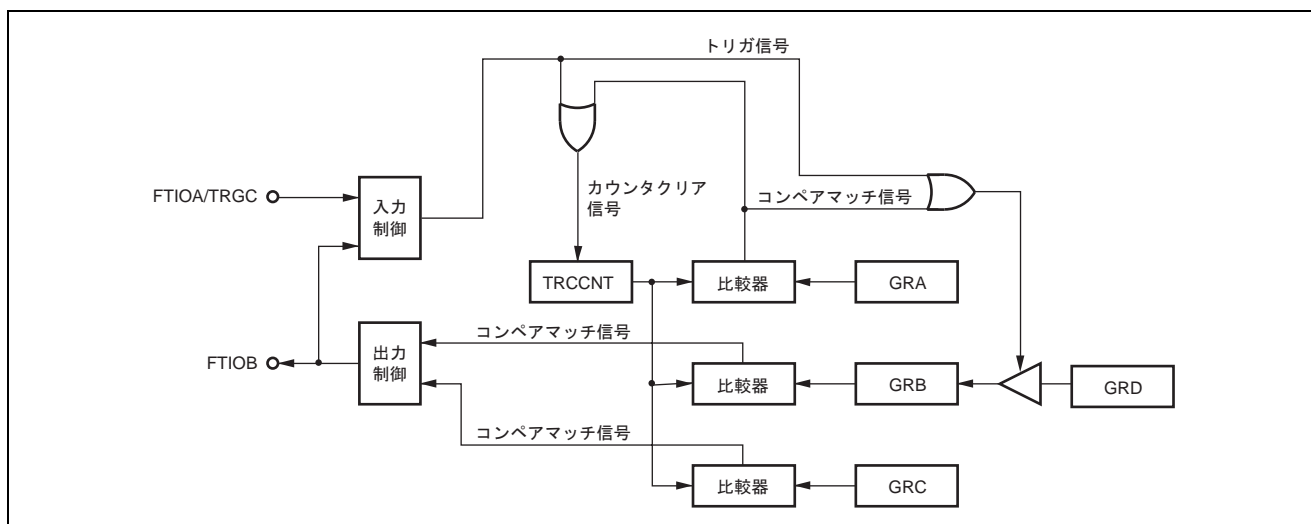


図 15.14 PWM2 モードのブロック図

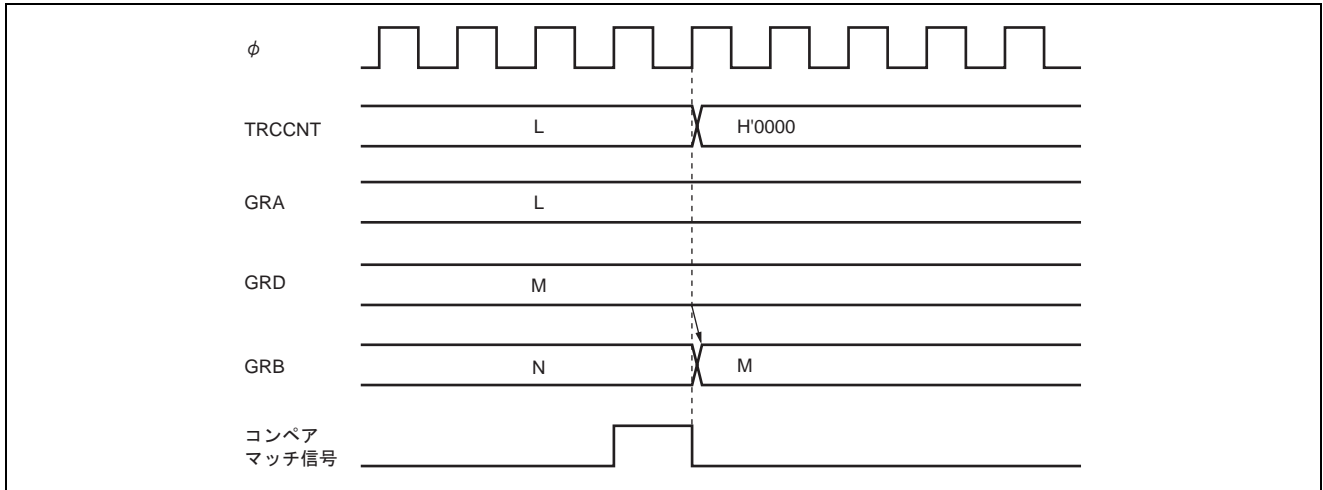


図 15.15 PWM2 モードを使用したときの GRD、GRB バッファ動作タイミング (1)

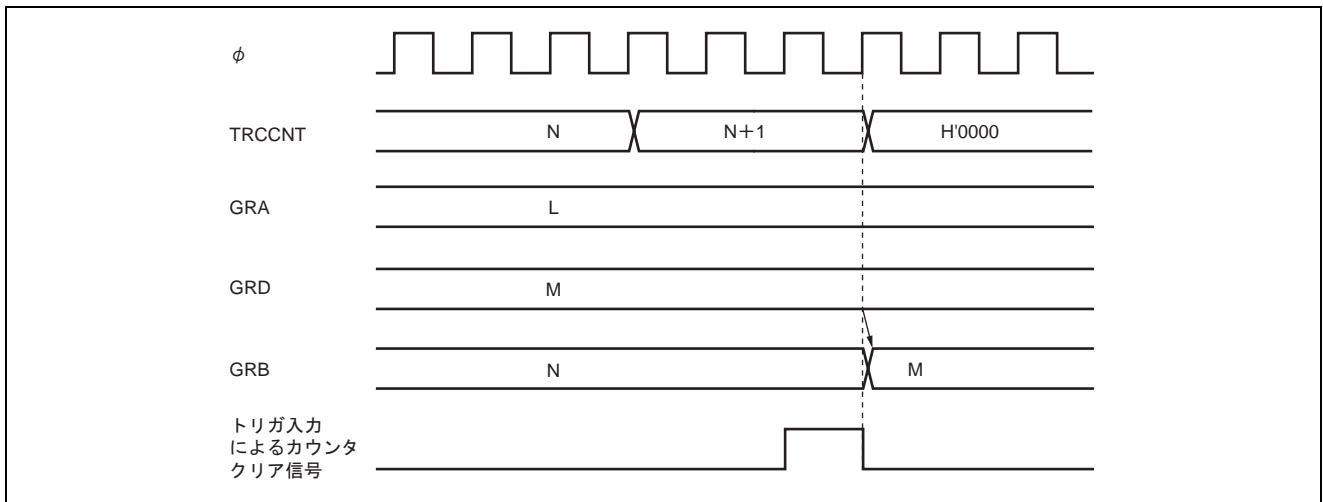


図 15.16 PWM2 モードを使用したときの GRD、GRB バッファ動作タイミング (2)

PWM2 モードは、TRGC 入力に対する任意の遅延時間と任意のパルス幅を持つパルスを FTIOB 端子より出力することができます。

TRGC 入力の立ち下がりがエッジを設定 (TRCCR2 の TCEG1=1, TCEG0=0) し、GRA とのコンペアマッチ A 発生時のカウントアップ継続を設定 (TRCCR2 の CSTP=0) および GRD をバッファレジスタとして設定 (TRCMR の BUFEB=1) します。出力レベルの初期値を 0 または 1 に設定 (TRCCR1 の TOB=0 または TOB=1) し、コンペアマッチ A で TRCCNT をクリア (TRCCR1 の CCLR=1) して、FTIOB 端子から波形出力 (TRCMR の PWM2=0) する場合の動作例を図 15.17、図 15.18 に示します。

PWM2 モード機能において、TRCCR1 の TOB ビットが 0 のとき、FTIOB 端子より High 出力している期間中、入力エッジはキャンセルされます。また TOB ビットが 1 のときは、FTIOB 端子より Low 出力している期間中、入力エッジはキャンセルされます。GRD から GRB の転送は、GRA とのコンペアマッチおよび TRGC 入力が発生したとき行われます。ただし、FTIOB 端子のレベルにより、TRGC 入力がキャンセルされた場合、GRD から GRB の転送は行われません。

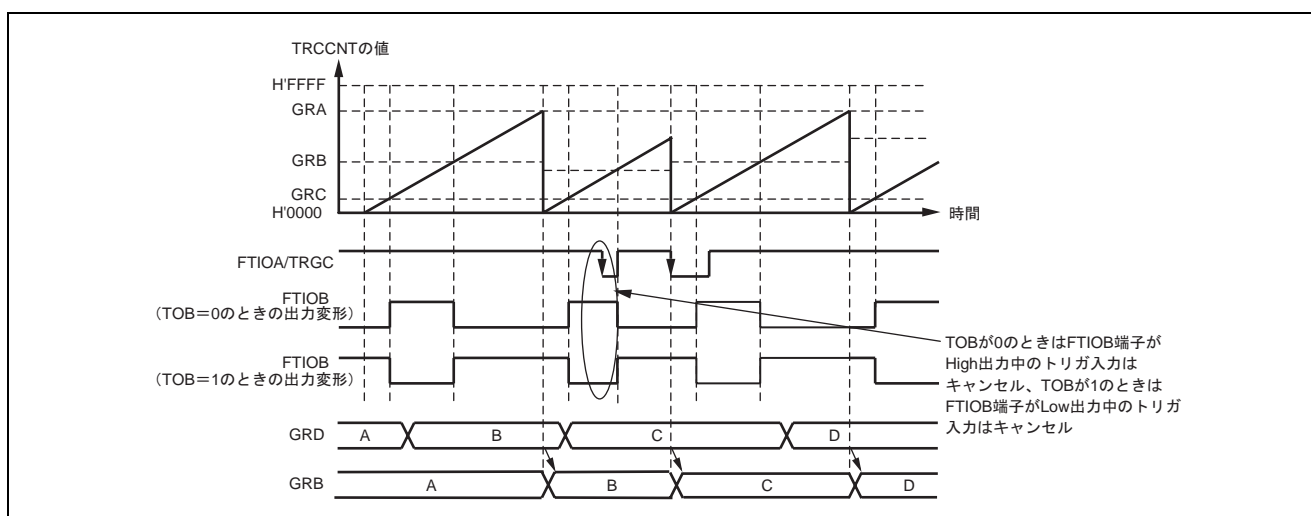


図 15.17 TRGC 入力に同期した PWM2 モード動作例 (1)

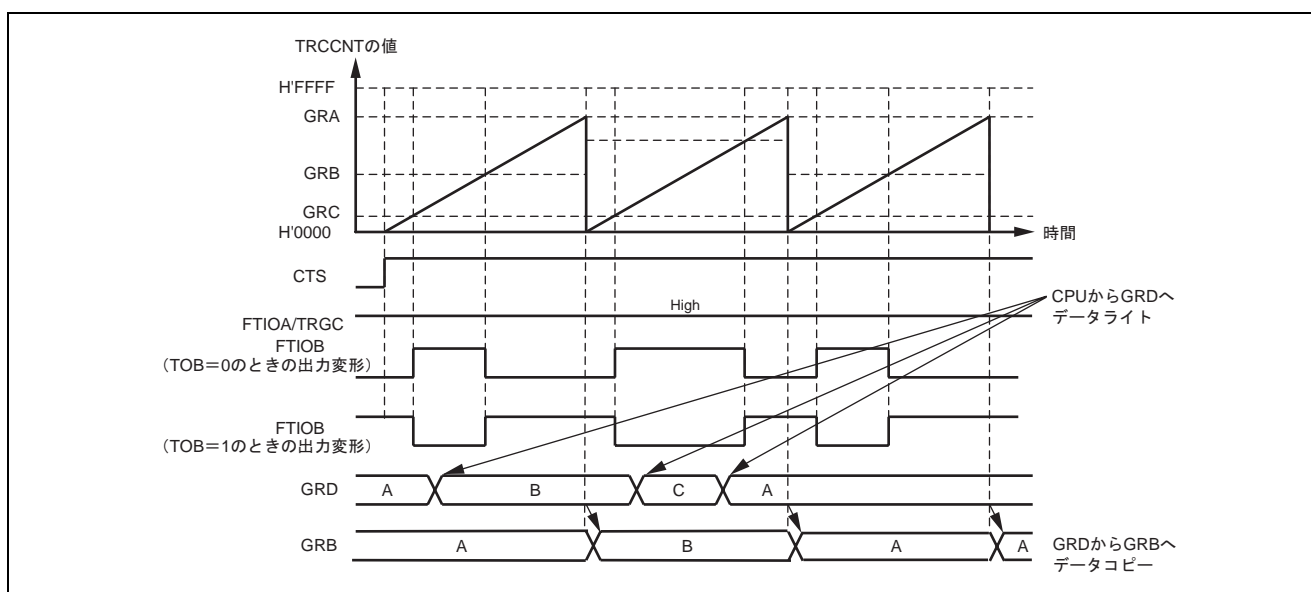


図 15.18 TRGC 入力に同期した PWM2 モード動作例 (2)

PWM2 モード時のカウンタ停止動作を示します。TRCCR2 の CSTP ビットを 1、TRCCR1 の CCLR ビットを 1 に設定すると、TRCCNT は GRA とのコンペアマッチにより H'0000 にクリアされ停止します。また、TRCMR の CTS ビットを 0 にすることにより、強制的にカウンタは停止し、出力レベルは初期レベルになります。TRCCR1 の TOB ビットを 0 に設定した場合および TOB ビットを 1 に設定した場合のカウンタ停止動作例を図 15.19 に示します。

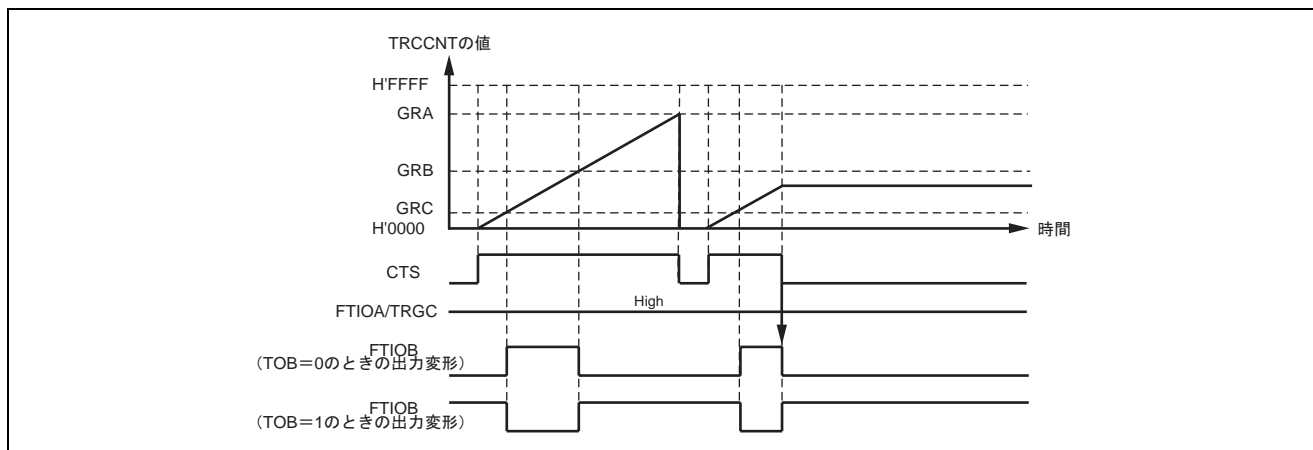


図 15.19 PWM2 モード時のカウンタ停止動作例

PWM2 モード時のワンショット波形出力動作を示します。TRGC 入力禁止設定 (TRCCR2 の TCEG1=0、TCEG0=0) し、GRA とのコンペアマッチ A 発生時のカウントアップ停止設定 (TRCCR2 の CSTP=1)、コンペアマッチ A で TRCCNT をクリア設定 (TRCCR1 の CCRL=1)、出力レベルの初期値を 0 に設定 (TRCCR1 の TOB=0) した場合、TRCMR の CTS ビットを 1 に設定した時点でカウンタがカウント動作を開始します。その後、GRA とのコンペアマッチによりカウンタが H'0000 にクリアされ、カウント動作が停止し、ワンショット波形出力を行います。この動作例を図 15.20 に示します。

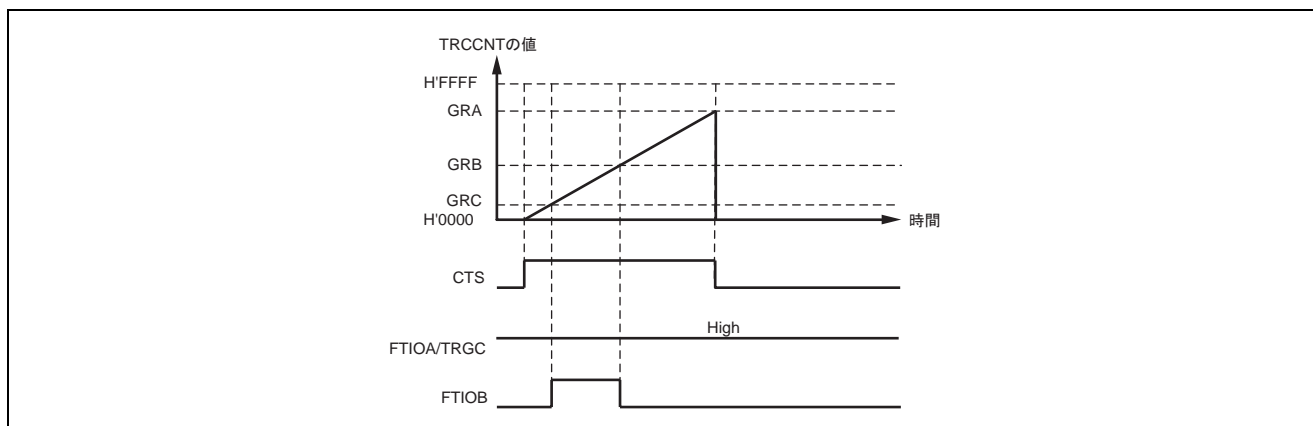


図 15.20 PWM2 モード時ワンショットパルス波形出力動作例 (1)

PWM2 モード時に TRGC 入力によるカウンタ開始を行い、ワンショット波形出力を行う動作を示します。TRGC 入力の立ち下がりエッジを設定 (TRCCR2 の TCEG1=1、TCEG0=0) し、GRA とのコンペアマッチ A 発生時のカウントアップ停止設定 (TRCCR2 の CSTP=1)、コンペアマッチ A で TRCCNT をクリア設定 (TRCCR1 の CCRL=1)、出力レベルの初期値を 0 に設定 (TRCCR1 の TOB=0) した場合、TRCMR の CTS を 1 に設定した後、FTIOA/TRGC の立ち下がりによりカウントアップが開始し、GRA とのコンペアマッチにより、カウンタが H'0000 にクリアされ (カウント動作を停止し)、ワンショット波形出力を行います。この動作例を図 15.21 に示します。

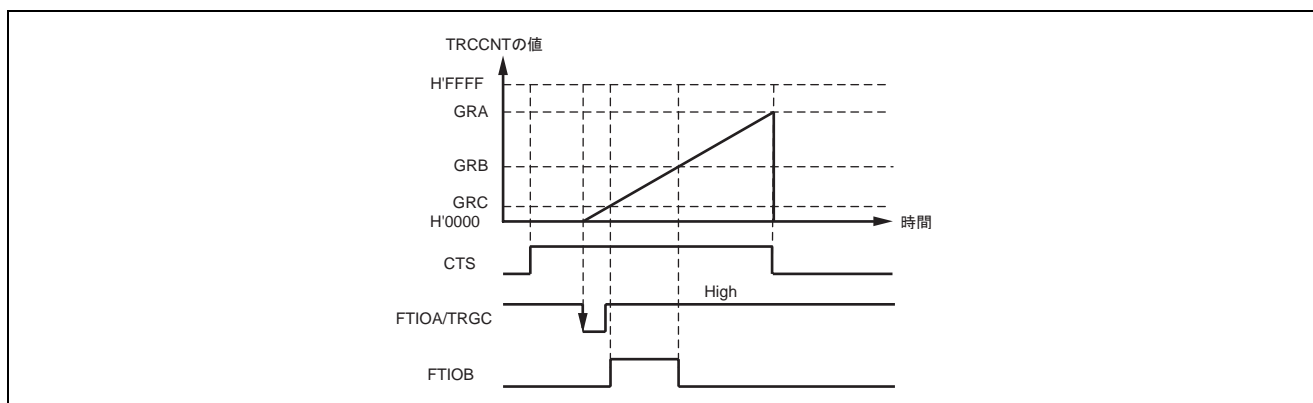


図 15.21 PWM2 モード時ワンショットパルス波形出力動作例 (2)

15.3.4 インพุットキャプチャ入力デジタルフィルタ機能

FTIOA～FTIOD 端子および TRGC 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたラッチ回路と一致検出回路で構成されます。FTIOA～FTIOD 端子または TRGC 端子入力信号は TRCDF の DFCK1、DFCK0 ビットによって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルクロック以上の幅のパルス入力信号は信号として認識しますが、3 サンプルクロック以下の信号変化はノイズとして判断し除去されます。

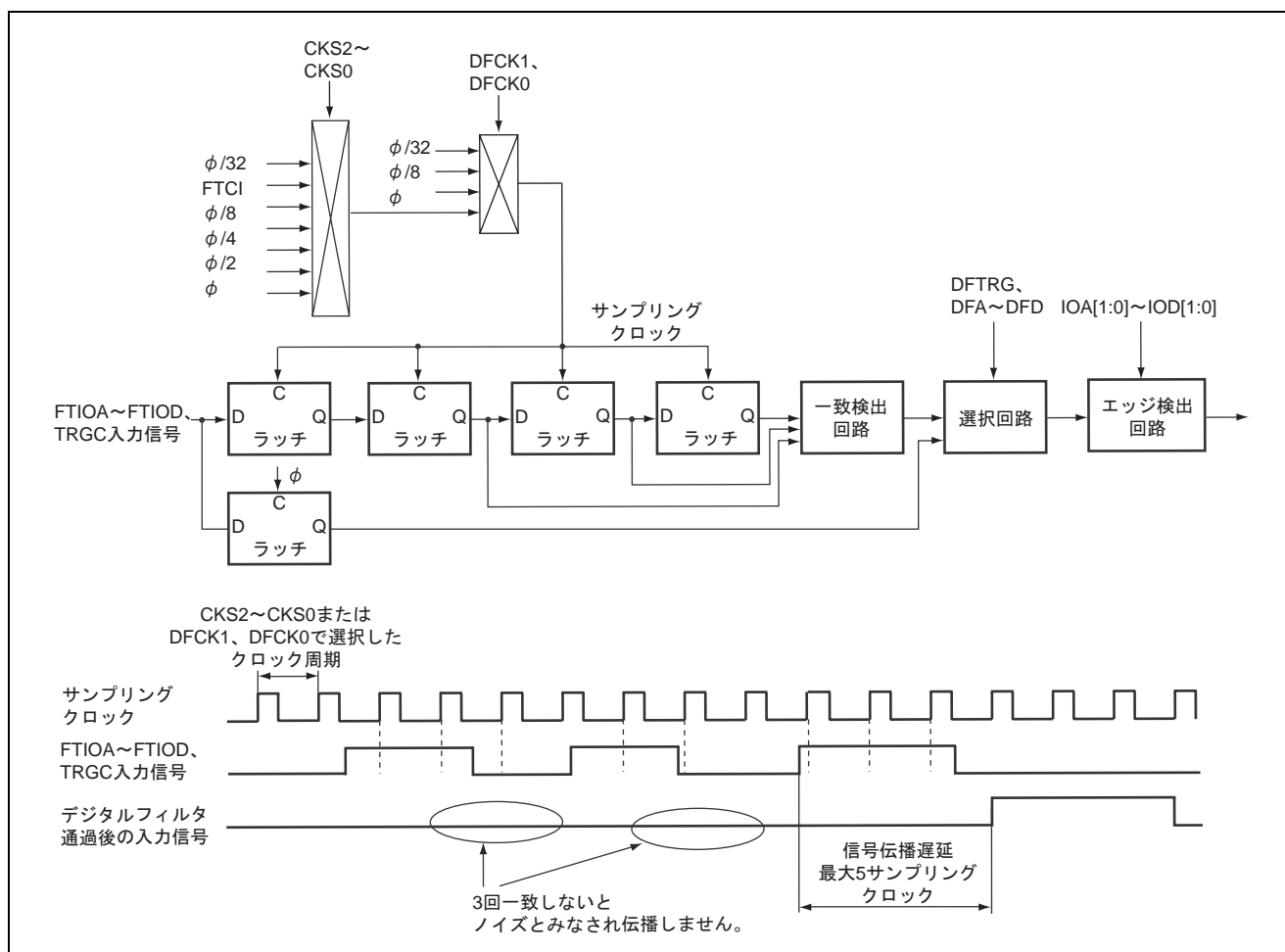


図 15.22 デジタルフィルタ回路のブロック図

15.3.5 A/D 変換開始トリガ機能

タイマ RC は、TRCADCR (A/D 変換開始トリガコントロールレジスタ) を設定することにより、コンペアマッチ A~D によって、A/D 変換開始のトリガ信号を発生させることができます。コンペアマッチ B~C により、A/D トリガ出力に設定した例を図 15.23 に示します。

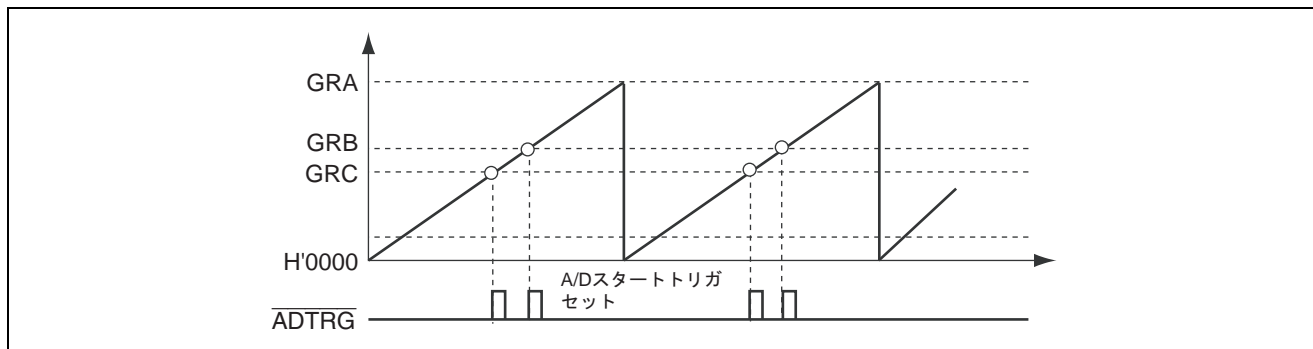


図 15.23 コンペアマッチの例

バッファ動作のとき、バッファレジスタは A/D 変換開始トリガを発生させることができません。また、PWM2 モード時、GRC は GRA のバッファレジスタとして動作させることができません。表 15.9 に各動作モードでの A/D 変換開始トリガソースの発生状況を示します。

表 15.9 各動作モードでの A/D 変換開始トリガソースの発生状況

動作モード	バッファ動作	A/D 変換開始トリガソース			
		GRA	GRB	GRC	GRD
インプットキャプチャ	使用	×	×	×	×
	未使用	×	×	×	×
コンペアマッチ	使用	○	○	×	×
	未使用	○	○	○	○
PWM モード	使用	○	○	×	×
	未使用	○	○	○	○
PWM2 モード	使用	○	○	○	×
	未使用	○	○	○	○

【記号説明】 ○ : A/D 変換開始トリガを発生

× : A/D 変換開始トリガを発生しない

15.3.6 GR 対象出力端子可変機能

TRCIOR1 の IOC3、IOD3 ビットの設定により GRC および GRD のコンペアマッチ出力をそれぞれ FTIOC、FTIOD 端子から FTIOA、FTIOB 端子へ変更することができる機能です。これにより FTIOA 端子はコンペアマッチ A とコンペアマッチ C を組み合わせた出力、FTIOB 端子はコンペアマッチ B とコンペアマッチ D を組み合わせた出力が可能になります。図 15.24 に GR 対象出力端子可変機能ブロック図を示します。チャンネル 0、1 はそれぞれ独立に設定可能です。

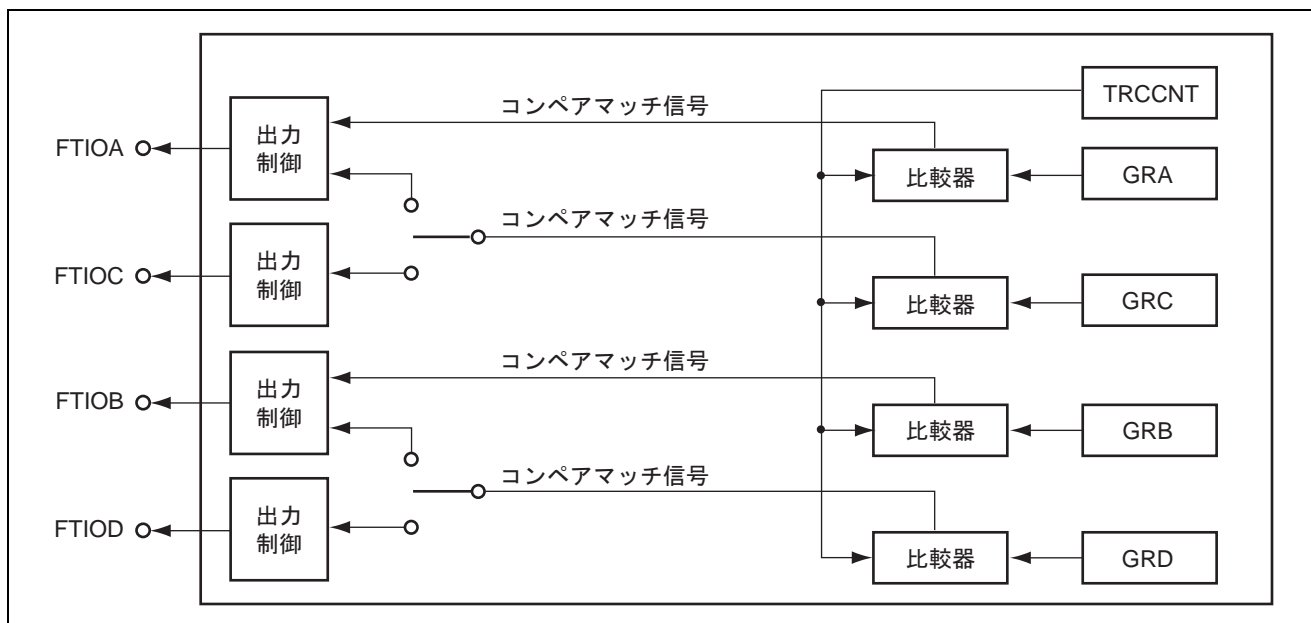


図 15.24 GR 対象出力端子可変機能ブロック図

TRCCNT を周期カウント動作 (コンペアマッチ A でカウンタクリア : TRCCR1 の CCLR=1) に、コンペア A (GRA) でトグル出力 (TRCIOR0) の IOA2~0=B'011)、コンペアマッチ C (GRC) で FTIOA 端子にトグル出力 (TRCIOR1 の IOC3~0=B'0X11)、コンペアマッチ B (GRB) でトグル出力 (TRCIOR0 の IOB2~0=B'011)、コンペアマッチ D (GRD) で FTIOB 端子にトグル出力 (TRCIOR1 の IOD3~0=B'0X11) になるように設定し、FTIOA 端子、FTIOB 端子から任意の周期のノンオーバーラップパルスを出力した場合の動作例を図 15.25 に示します。

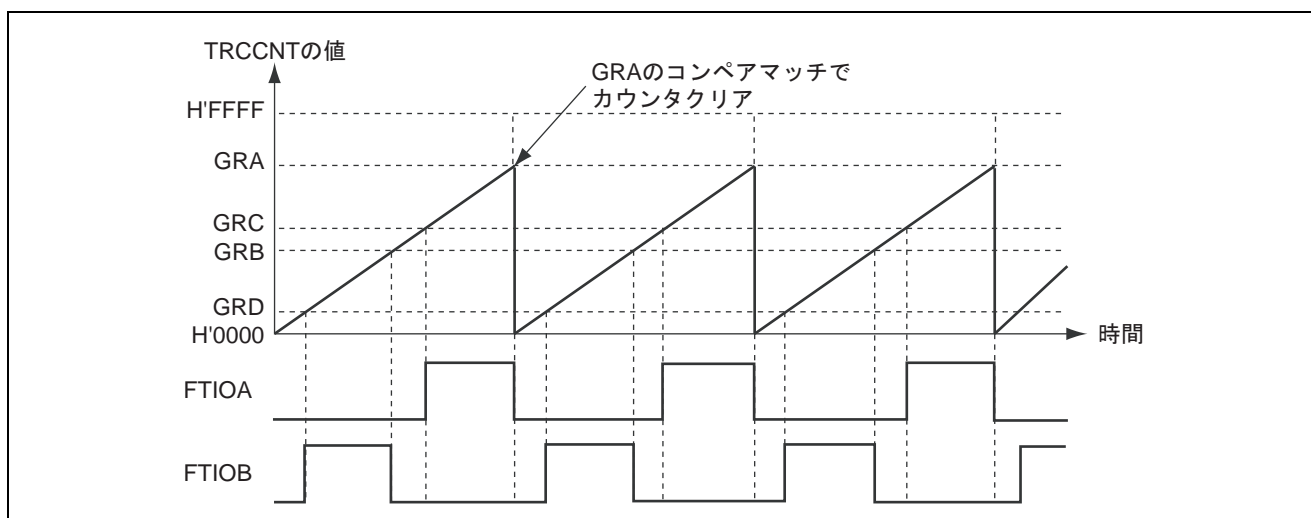


図 15.25 FTIOA、FTIOB 端子からノンオーバーラップパルスを出力した例 (TRCCNT を使用)

15.3.7 イベントリンクによる動作

タイマ RC はイベントリンクコントローラ (ELC) の設定により、他モジュールで発生したイベントによる以下の動作が可能です。

(1) カウントスタート動作

ELC の ELOPA でタイマ RC のカウントスタート動作を選択します。ELSR2 で指定したイベントが発生すると、TRCMR の CTS ビットが 1 にセットされ、タイマ RC のカウントがスタートします。ただし CTS ビットが 1 にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPA でタイマ RC のイベントカウンタ動作を選択します。ELSR2 で指定したイベントが発生すると、TRCCR1 の CKS[2:0] ビットと TRCMR の CTS ビットの設定に関係なくそのイベントをカウントソースとしてイベントカウンタ動作を行います。カウント値をリードすると、実際に入力されたイベント数が読み出されます。

(3) インプットキャプチャ動作

ELC の ELOPA でタイマ RC のインプットキャプチャ動作を選択します。ELSR2 で指定したイベントが発生すると、TRCCNT の値を GRD へキャプチャします。イベントクリアによるインプットキャプチャ動作を使用する場合は、タイマ RC の TRCIOR1 を IOD[3:0] = b'1101 に設定し、TRCMR の CTS ビットを 1 にセットしてカウンタをスタートさせてください。同時に FTIOD 端子の入力も有効になるため、FTIOD 端子の入力を固定するか、PMC にて FTIOD 端子をポートに割り付けない等の対策をしてください。

15.4 動作タイミング

15.4.1 TRCCNT のカウントタイミング

内部クロック動作の場合の TRCCNT カウントタイミングを図 15.26 に示します。また、外部クロック動作の場合の TRCCNT カウントタイミングを図 15.27 に示します。

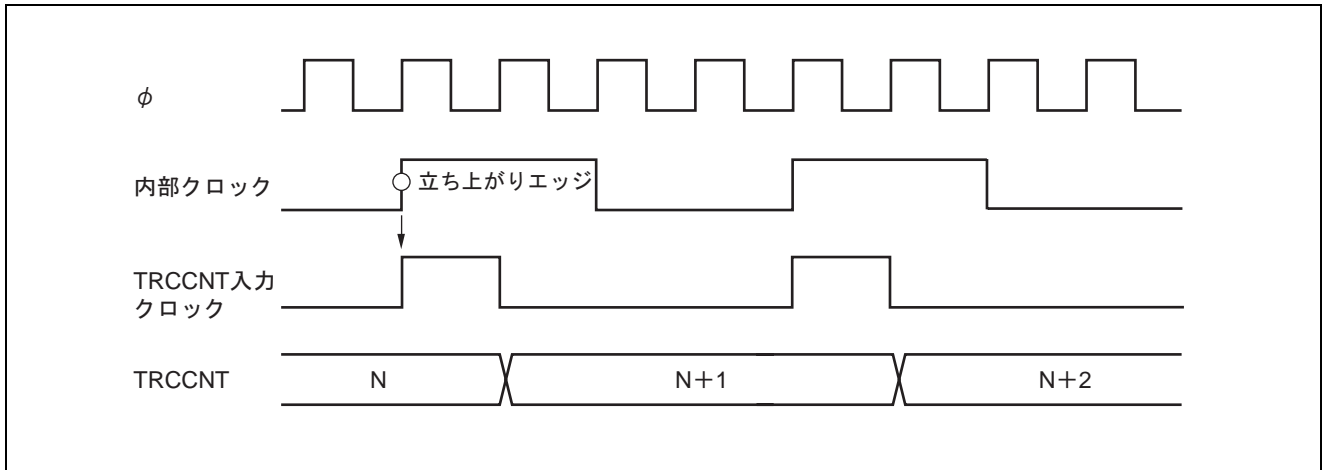


図 15.26 内部クロック動作時のカウントタイミング

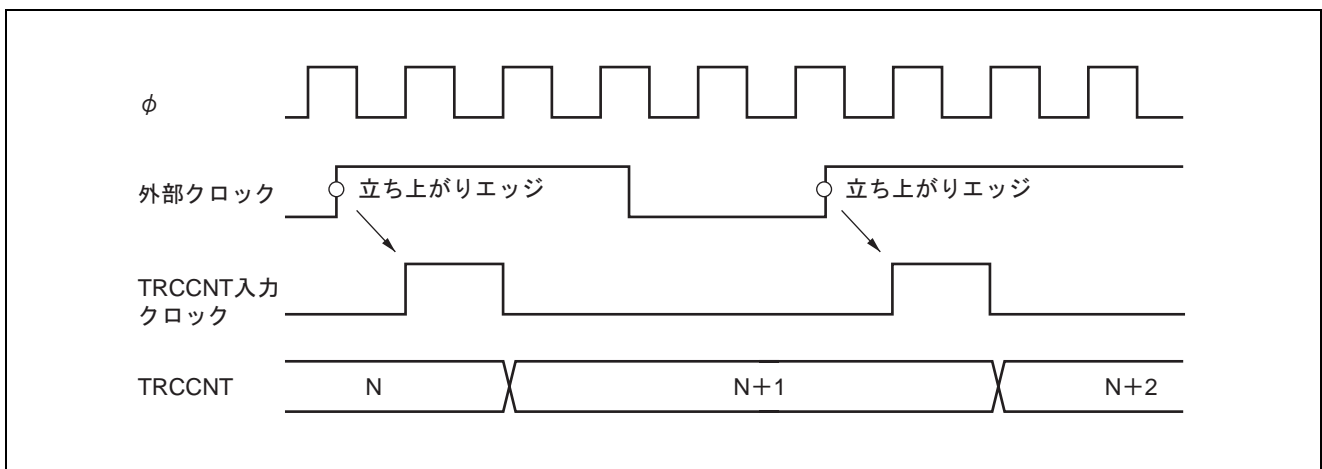


図 15.27 外部クロック動作時のカウントタイミング

15.4.2 アウトプットコンペア出力タイミング

コンペアマッチ信号は、TRCCNT と GR が一致した最後のステート（TRCCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TRCIOR で設定される出力値がアウトプットコンペア出力端子（FTIOA、FTIOB、FTIOC、FTIOD）に出力されます。

TRCCNT と GR が一致した後、TRCCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。アウトプットコンペア出力タイミングを図 15.28 に示します。

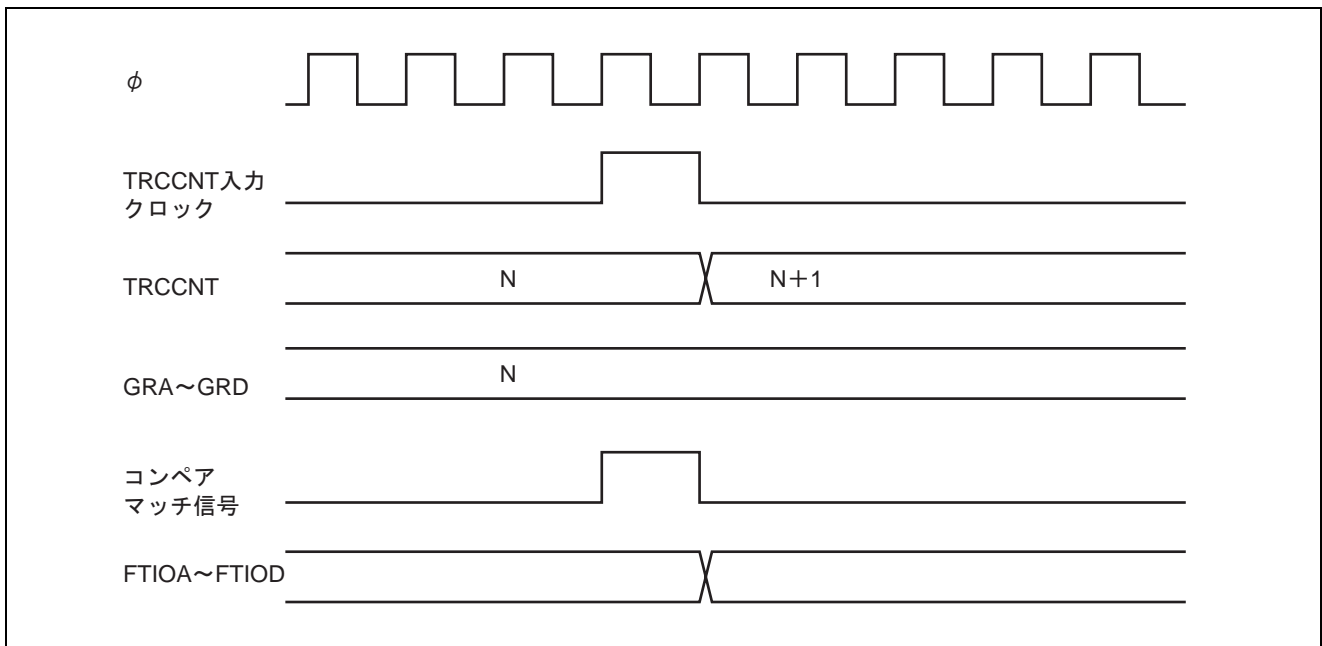


図 15.28 アウトプットコンペア出力タイミング

15.4.3 インพุットキャプチャタイミング

インพุットキャプチャ入力は、TRCIOR0、TRCIOR1 の設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。立ち下がりエッジを選択した場合のタイミングを図 15.29 に示します。

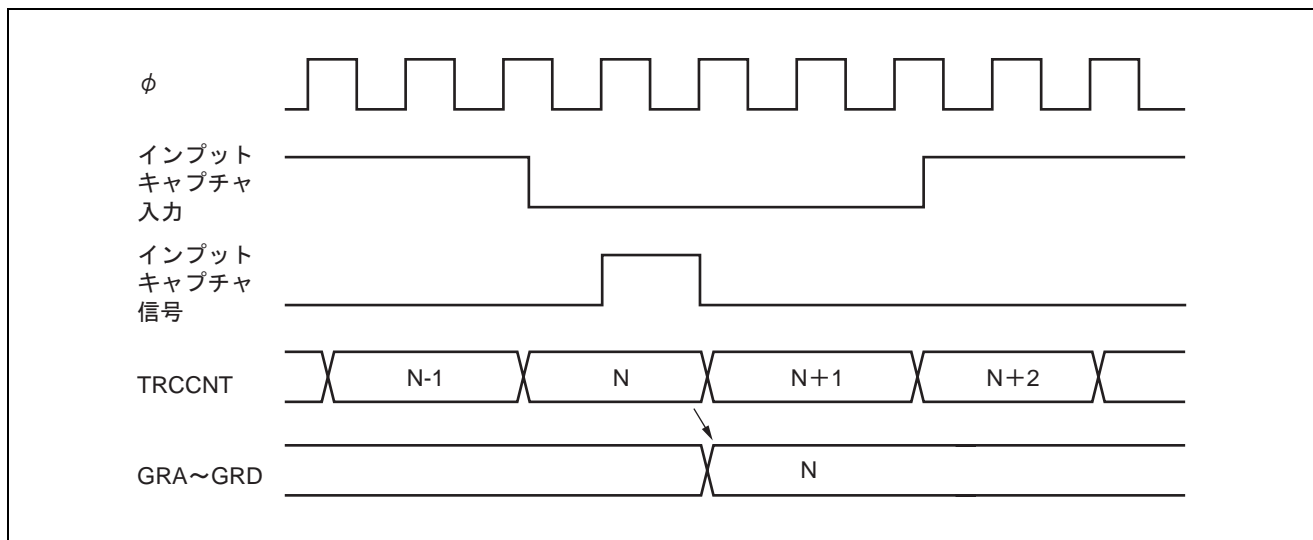


図 15.29 インพุットキャプチャ入力信号タイミング

15.4.4 コンペアマッチによるカウンタクリアタイミング

コンペアマッチ A によるカウンタクリアのタイミングを図 15.30 に示します。GRA の値を N とすると、カウンタは 0 から N までカウントし、周期は N+1 となります。

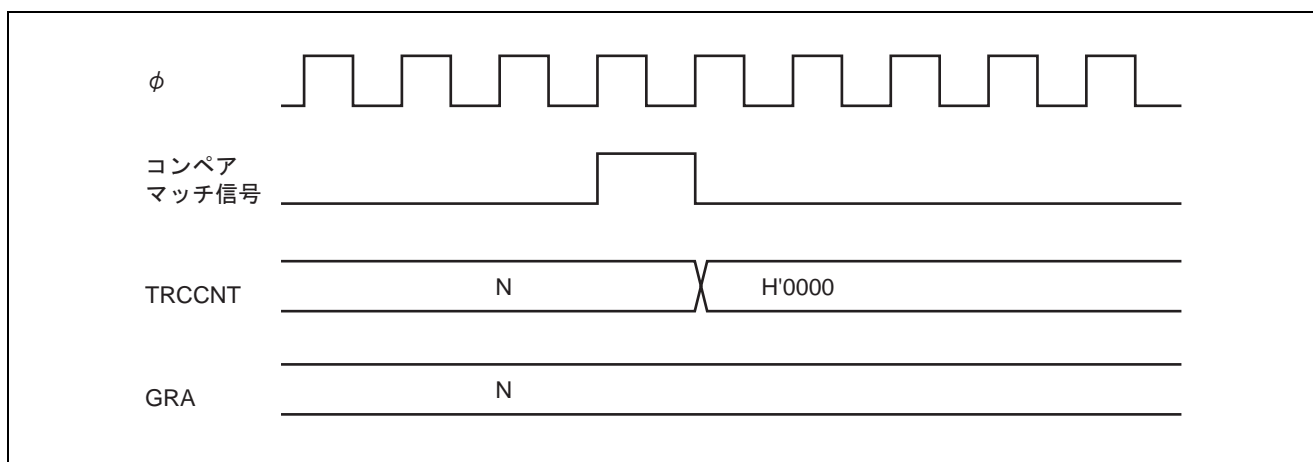


図 15.30 コンペアマッチによるカウンタクリアタイミング

15.4.5 バッファ動作タイミング

バッファ動作の場合のタイミングを図 15.31、図 15.32 に示します。

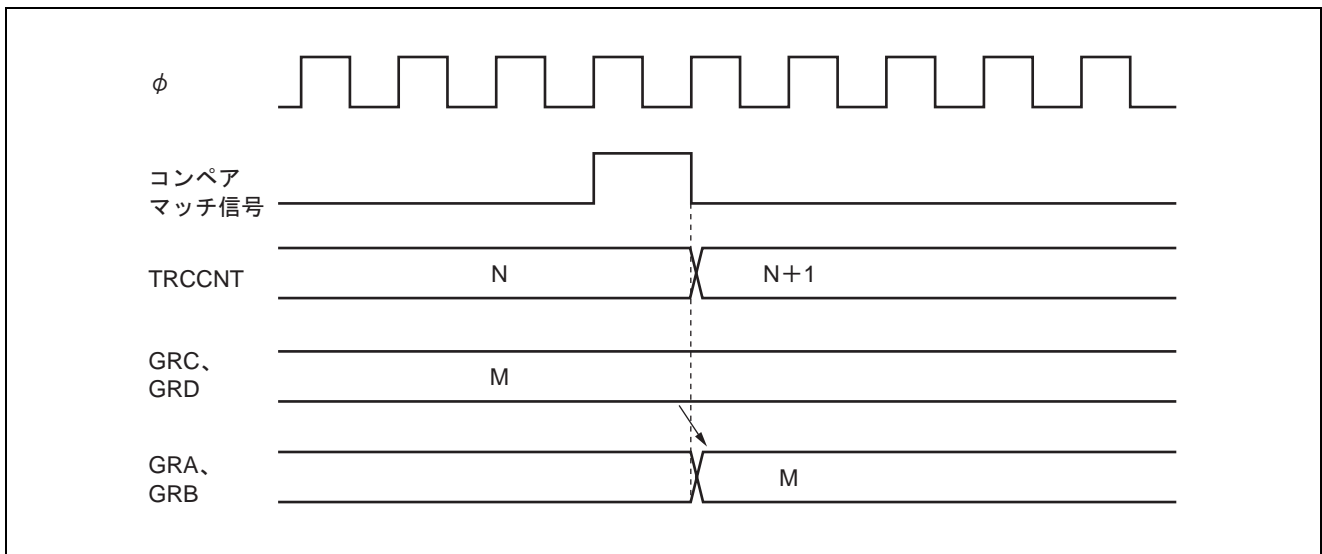


図 15.31 バッファ動作タイミング (コンペアマッチ)

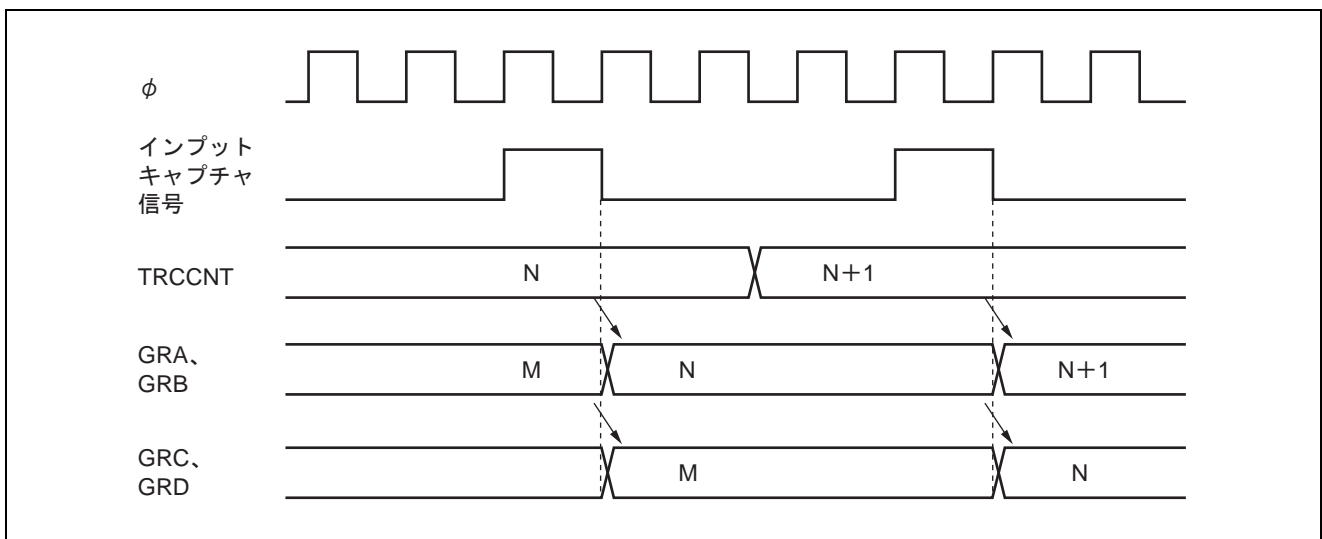


図 15.32 バッファ動作タイミング (インプットキャプチャ)

15.4.6 コンペアマッチ時の IMFA~IMFD フラグのセットタイミング

アウトプットコンペアレジスタとして機能している場合の IMFA~IMFD フラグは、ジェネラルレジスタ (GRA、GRB、GRC、GRD) と TRCCNT が一致したときに 1 にセットされます。

コンペアマッチ信号は、一致した最後のステート (TRCCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TRCCNT とジェネラルレジスタ (GRA、GRB、GRC、GRD) が一致した後、TRCCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

図 15.33 に IMFA~IMFD フラグのセットタイミングを示します。

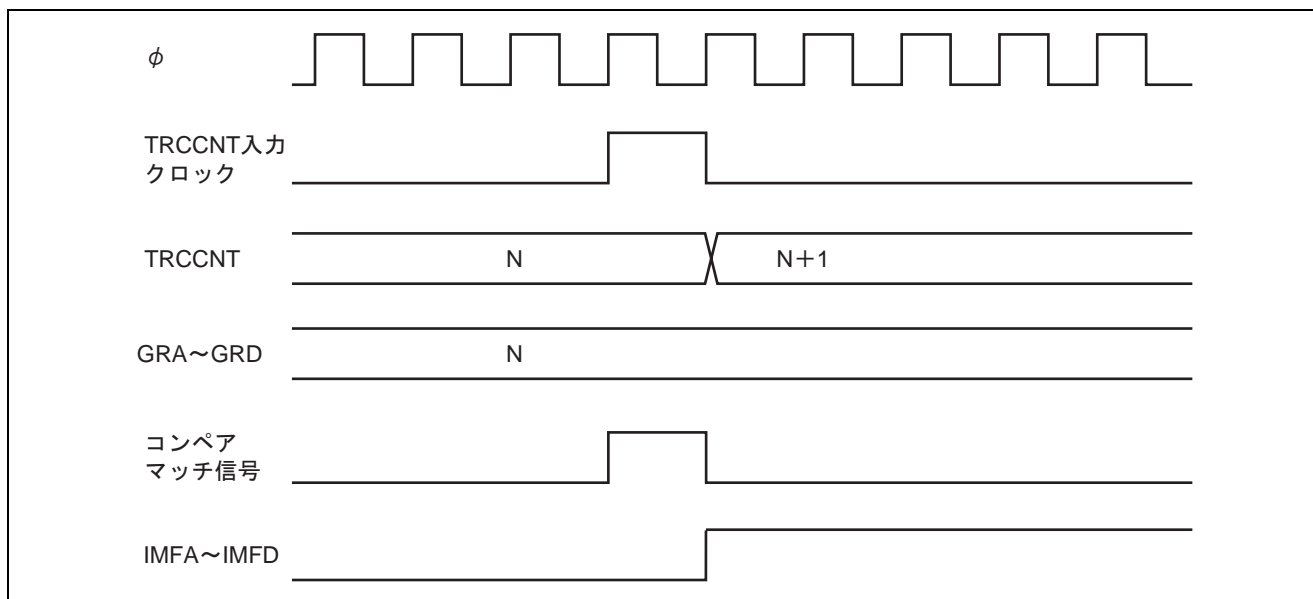


図 15.33 コンペアマッチ時の IMFA~IMFD フラグのセットタイミング

15.4.7 インพุットキャプチャ時のフラグセットタイミング

インพุットキャプチャレジスタとして機能している場合の IMFA～IMFD フラグは、インพุットキャプチャの発生により 1 にセットされます。図 15.34 に IMFA～IMFD フラグのセットタイミングを示します。

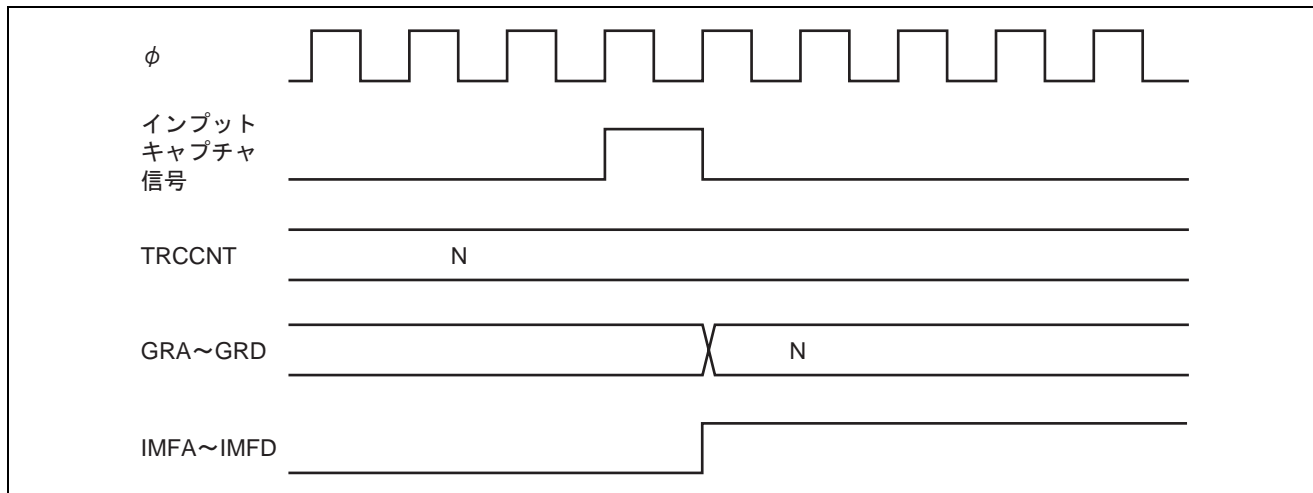


図 15.34 インพุットキャプチャ発生時の IMFA～IMFD フラグのセットタイミング

15.4.8 ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。

CPU によるステータスフラグのクリアのタイミングを図 15.35 に示します。

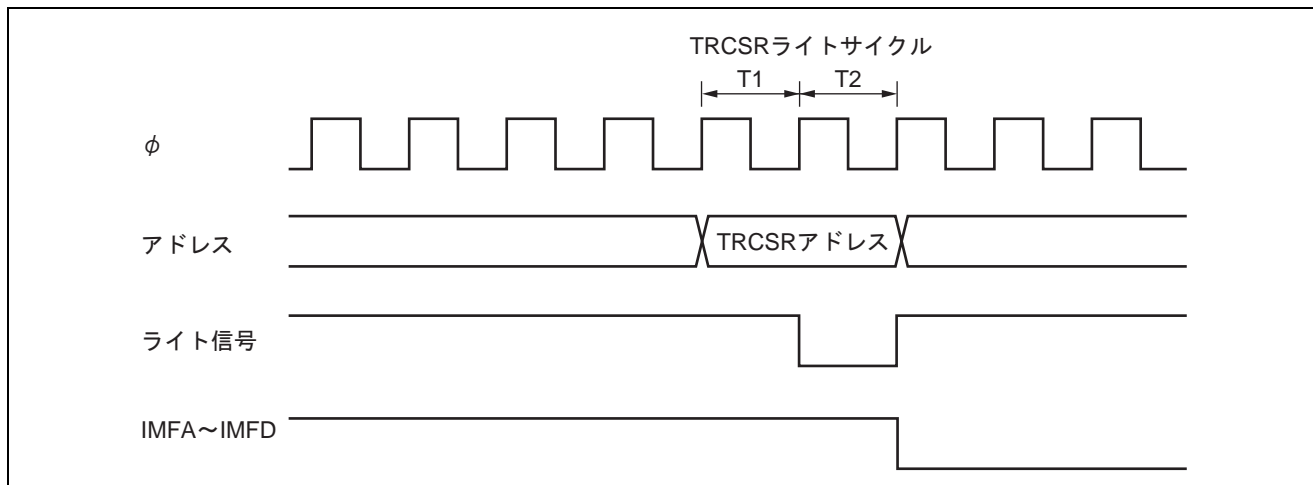


図 15.35 CPU によるステータスフラグのクリアタイミング

15.4.9 コンペアマッチで A/D 変換開始トリガのタイミング

コンペアマッチで A/D 変換開始トリガ発生タイミングを図 15.36 に示します。

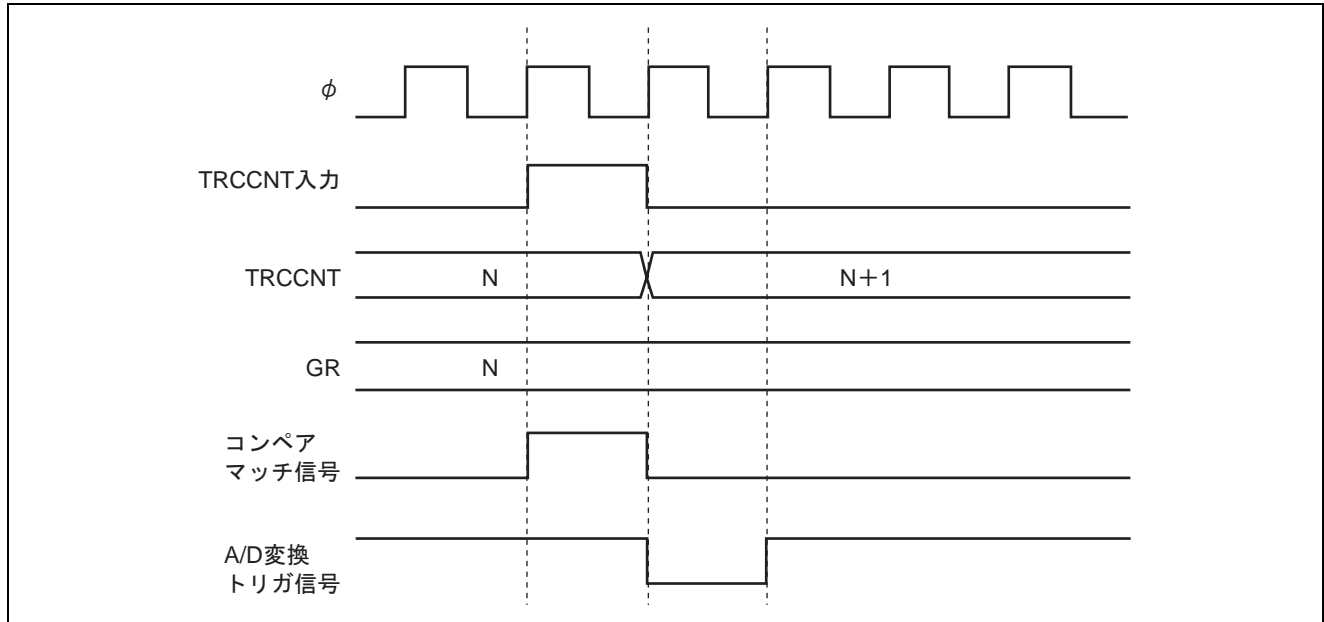


図 15.36 コンペアマッチで A/D 変換開始トリガのタイミング

15.5 使用上の注意事項

タイマ RC の動作中、次のような競合や動作が起こりますので注意してください。

1. 入力クロックおよびインプットキャプチャのパルス幅は、入力デジタルフィルタ機能未使用時、TRCCR1のCKS2～CKS0ビットの設定によりB'0XX、B'10Xを選択したときは $3 \times \phi$ 周期以上必要です。これ以下のパルス幅では正しく動作しません。
2. レジスタへの書き込みはライトサイクル中のT2ステートで行われます。図15.37のようにTRCCNTライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TRCCNTのクリアが優先されTRCCNTへの書き込みは行われません。TRCCNTに対する書き込みとTRCCNTのカウントアップが競合した場合は書き込みが優先されます。
3. 内部クロックを切り替えるタイミングによっては、TRCCNTがカウントアップされる場合があります。内部クロックを使用する場合、システムクロック (ϕ) を分周した内部クロックの立ち上がりエッジを検出してカウントクロックを発生しています。そのため図15.38のように切り換え前のクロック “Low” →切り換え後のクロック “High” レベルのようなタイミングでクロックが切り換わると、切り換えタイミングを立ち上がりエッジとみなしてカウントクロックを発生し、TRCCNTがカウントアップされます。
4. 割り込み要求が発生した状態でモジュールスタンバイ状態にすると割り込み要因がクリアできません。事前に割り込みをディスエーブルにしてモジュールスタンバイ状態にしてください。

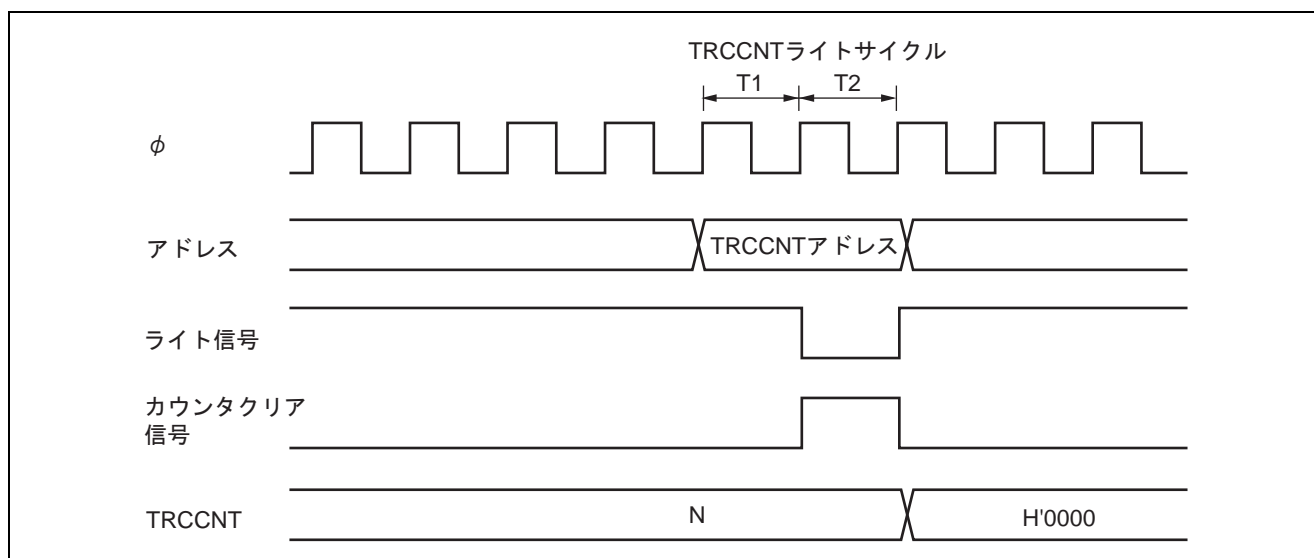


図 15.37 TRCCNT のライトとクリアの競合

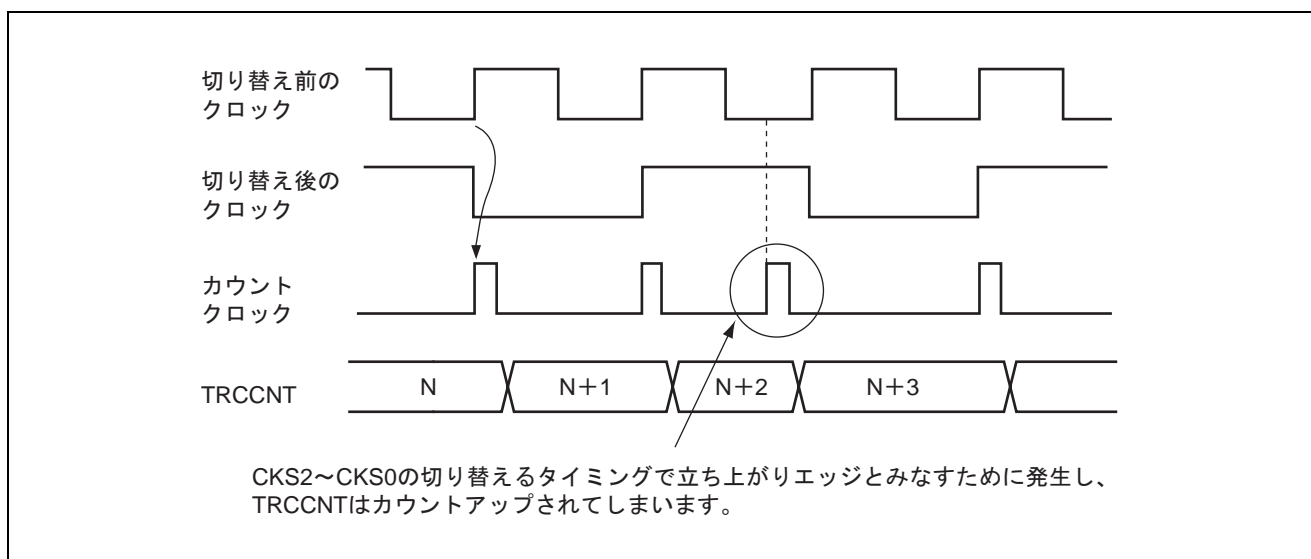


図 15.38 内部クロックの切り替えと TRCCNT 動作

5. TRCCR1のTOA~TODビットは最初のコンペアマッチが発生するまでのFTIO端子の出力値を決めるビットです。一度コンペアマッチが発生し、コンペアマッチによりFTIOA~FTIOD出力が変化した場合は、FTIOA~FTIOD端子の出力値とTOA~TODビットを読み出した値は一致しないことがあります。また、TRCCR1への書き込みとコンペアマッチA~Dの発生が競合した場合、書き込みが優先されコンペアマッチによる出力の変化はFTIOA~FTIOD端子に反映されません。よってビット操作命令を用いてTRCCR1へ書き込みを行うと、FTIOA~FTIOD端子の出力値が意図しない結果になることがあります。コンペアマッチ動作中にTRCCR1へライトする場合は、TRCCR1アクセス前に一度カウンタを停止させ、ポートHの状態をリードしてFTIOA~FTIODの出力値をTOA~TODに反映してライトを行ってください。その後カウンタを再起動します。コンペアマッチとTRCCR1へのビット操作命令が競合した場合の例を図15.39に示します。

TRCCR1 : H'06に設定。コンペアマッチB、コンペアマッチCを使用。FTIOB端子は1出力状態でコンペアマッチBによりトグル出力または0出力に設定されている。ここでTOCビットをクリア (FTIOC端子をLow出力) するためにBCLR#2、@TRCCR1を実行し、同時に下図のタイミングでコンペアマッチBが発生した場合、TRCCR1へH'02ライトが優先されFTIOB端子はコンペアマッチBによるLow出力にはならずHigh出力のままとなる。

ビット	7	6	5	4	3	2	1	0
TRCCR1	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
設定値	0	0	0	0	0	1	1	0

BCLR#2、@TRCCR1

- (1) TRCCR1リード動作 : H'06をリード
- (2) モディファイ動作 : H'06をH'02にモディファイ
- (3) TRCCR1へライト動作 : H'02をライト

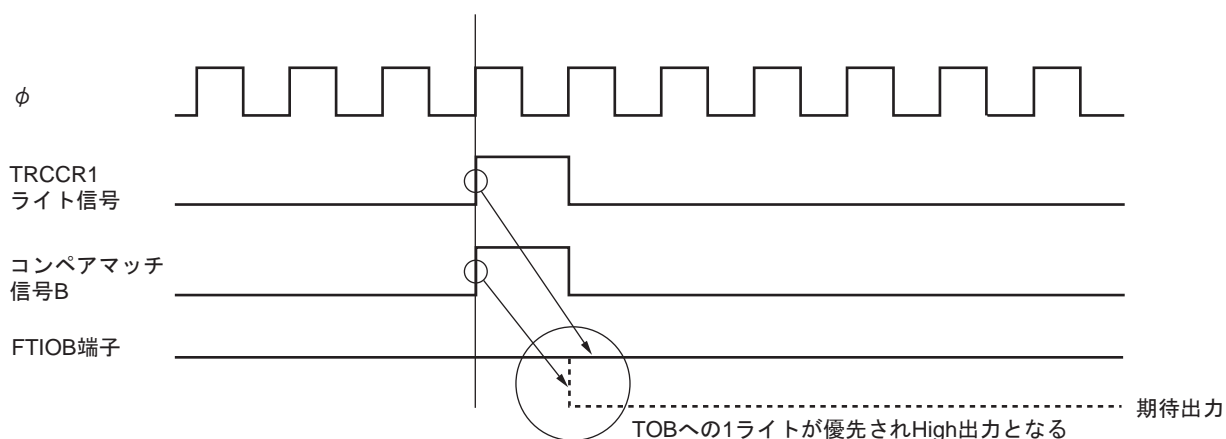


図 15.39 コンペアマッチと TRCCR1 へのビット操作命令が競合した場合の例

16. タイマ RD

タイマ RD は 2 チャンネルの 16 ビットタイマを 2 ユニット (タイマ RD_0、タイマ RD_1) 内蔵しています (H8S/20103 グループ、H8S/20115 グループは 1 ユニット)。タイマ RD の機能を表 16.1 に、タイマ RD のチャンネル構成を表 16.2 に示します。また、タイマ RD のブロック図 (全体図) を図 16.1、チャンネル 0 のブロック図を図 16.2、チャンネル 1 のブロック図を図 16.3 に示します。タイマ RD_0 とタイマ RD_1 の機能は同一です。なお、本文中ではタイマ RD_0、タイマ RD_1 の区別を省略します。

16.1 概要

- 最大 8 種類の入出力処理が可能
- 各チャンネルに 4 本、合計 8 本のジェネラルレジスタ (GR) を持ち、各レジスタは独立にアウトプットコンペア/インプットキャプチャの機能設定が可能
- カウンタ入力クロック：6 種類
5 種類の内部クロック (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/32$) と外部クロックのうちから選択可能
- 各チャンネルとも次の動作モードを設定可能
タイマモード：アウトプットコンペア機能 (0 出力/1 出力/トグル出力が可能)
インプットキャプチャ機能 (立ち上がりエッジ/立ち下がりエッジ/両エッジを検出)
同期動作：タイマカウンタ_0、1 (TRDCNT_0、TRDCNT_1) への同時書き込みが可能
コンペアマッチ/インプットキャプチャによる同時クリアが可能
PWM モード：任意のデューティの PWM 出力が可能
最大 6 相の PWM 出力が可能
PWM3 モード：正相・逆相がノンオーバーラップの関係にある PWM 波形を 1 相出力可能
リセット同期 PWM モード：正相・逆相の PWM 波形を 3 相出力可能
相補 PWM モード：正相・逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力可能
PWM 周期による A/D 変換スタートトリガを設定可能
バッファ動作：インプットキャプチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書き換えが可能
- 内部 16 ビットバスによる高速アクセス
TRDCNT、GR の 16 ビットレジスタに対して、16 ビットバスインタフェースによる高速アクセスが可能
- タイマ出力初期値を任意に設定可能
- 外部トリガによるタイマ出力禁止機能
- 割り込み要因：11 種類
各チャンネルともコンペアマッチ/インプットキャプチャ兼用割り込み×4 要因、オーバフロー割り込みが要求可能。またチャンネル 1 はアンダフロー割り込みが設定可能

表 16.1 タイマ RD の機能一覧 (1 ユニット)

項目		チャンネル 0	チャンネル 1
カウントクロック		内部クロック : ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/32$ 外部クロック : FTIOA0 (TCLK)	
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼用 レジスタ)		GRA_0、GRB_0、GRC_0、GRD_0	GRA_1、GRB_1、GRC_1、GRD_1
バッファレジスタ		GRC_0、GRD_0	GRC_1、GRD_1
入出力端子		FTIOA0、FTIOB0、FTIOC0、FTIOD0	FTIOA1、FTIOB1、FTIOC1、FTIOD1
カウンタクリア機能		GRA_0/GRB_0/GRC_0/GRD_0 のコンペアマッチまたはインプットキャプチャ	GRA_1/GRB_1/GRC_1/GRD_1 のコンペアマッチまたはインプットキャプチャ
コンペア マッチ出力	0 出力	○	○
	1 出力	○	○
	トグル出力	○	○
インプットキャプチャ機能		○	○
同期動作		○	○
PWM モード		○	○
PWM3 モード			○
リセット同期 PWM モード			○
相補 PWM モード			○
バッファ動作		○	○
割り込み要因		コンペアマッチ/ インプットキャプチャ A0~D0 オーバフロー	コンペアマッチ/ インプットキャプチャ A1~D1 オーバフロー アンダフロー

表 16.2 タイマ RD のチャンネル構成

略称	チャンネル	端子	
タイマ RD_0 (ユニット 0)	0	FTIOA0	
		FTIOB0	
		FTIOC0	
		FTIOD0	
	1	FTIOA1	
		FTIOB1	
		FTIOC1	
		FTIOD1	
	チャンネル 0、1 共通		$\overline{\text{TRDOI}}_0$
	タイマ RD_1 (ユニット 1)	2	FTIOA2
FTIOB2			
FTIOC2			
FTIOD2			
3		FTIOA3	
		FTIOB3	
		FTIOC3	
		FTIOD3	
チャンネル 2、3 共通		$\overline{\text{TRDOI}}_1$	

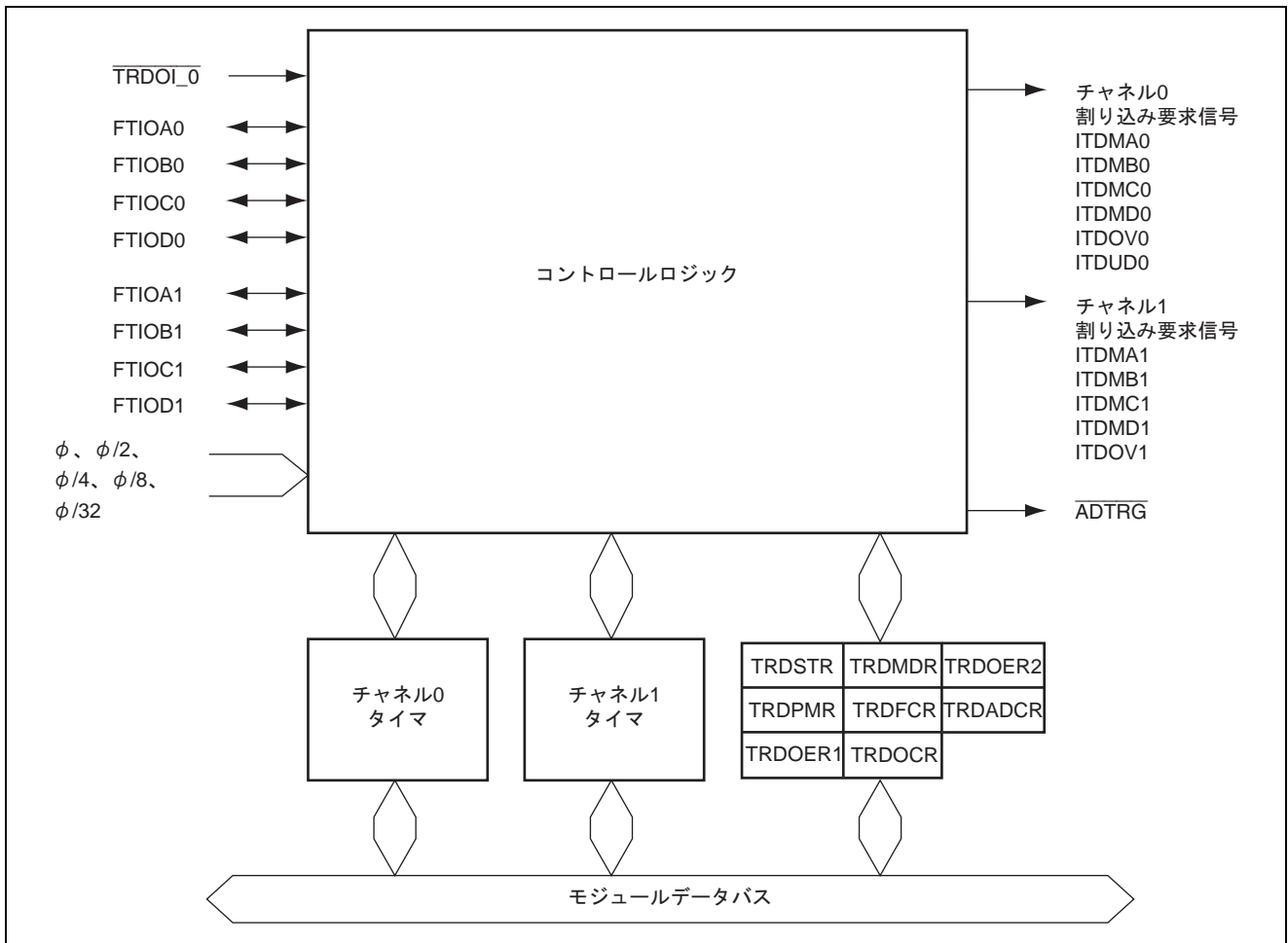


図 16.1 タイマ RD (1 ユニット) のブロック図

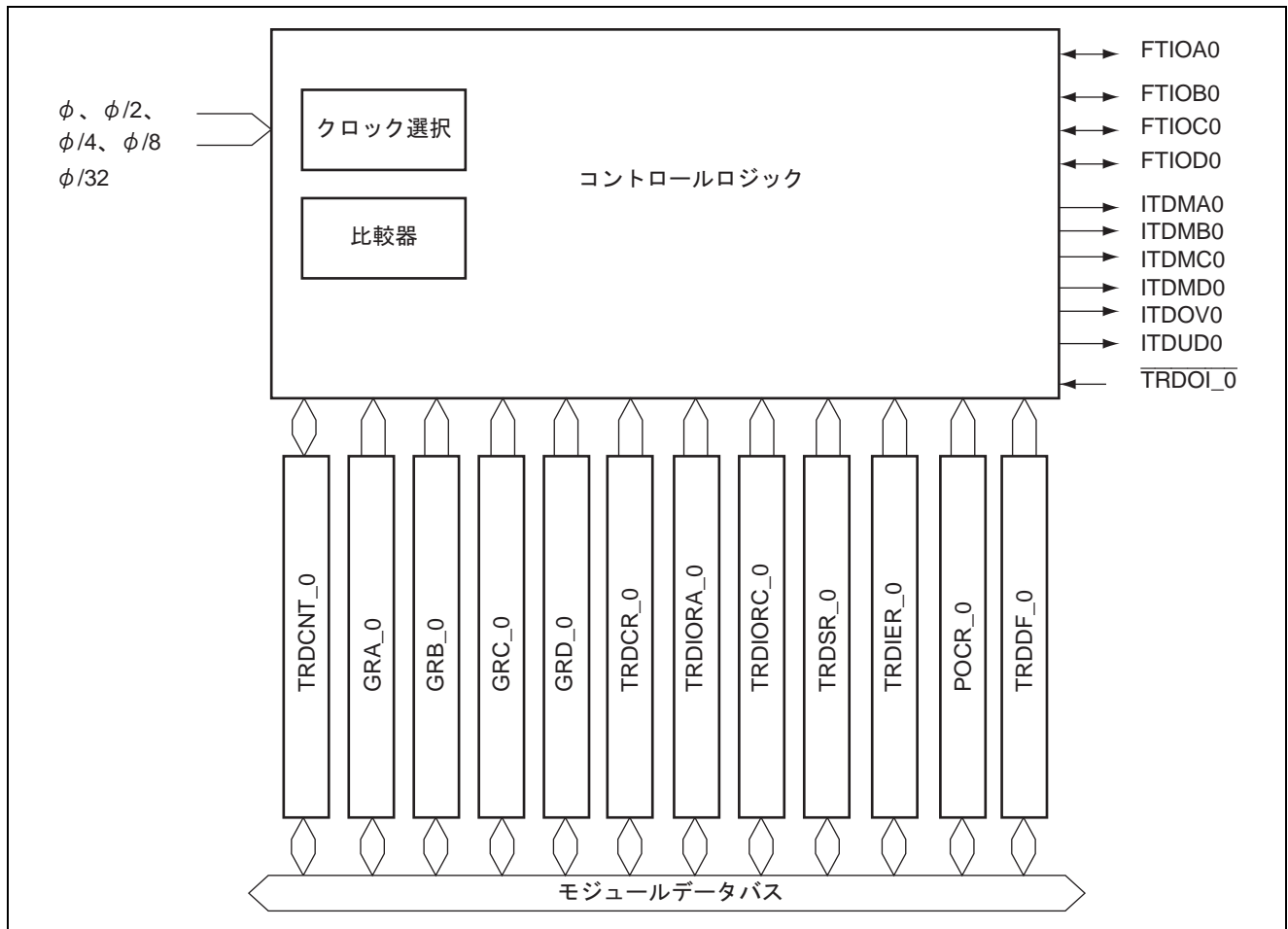


図 16.2 タイマ RD (チャンネル 0) のブロック図

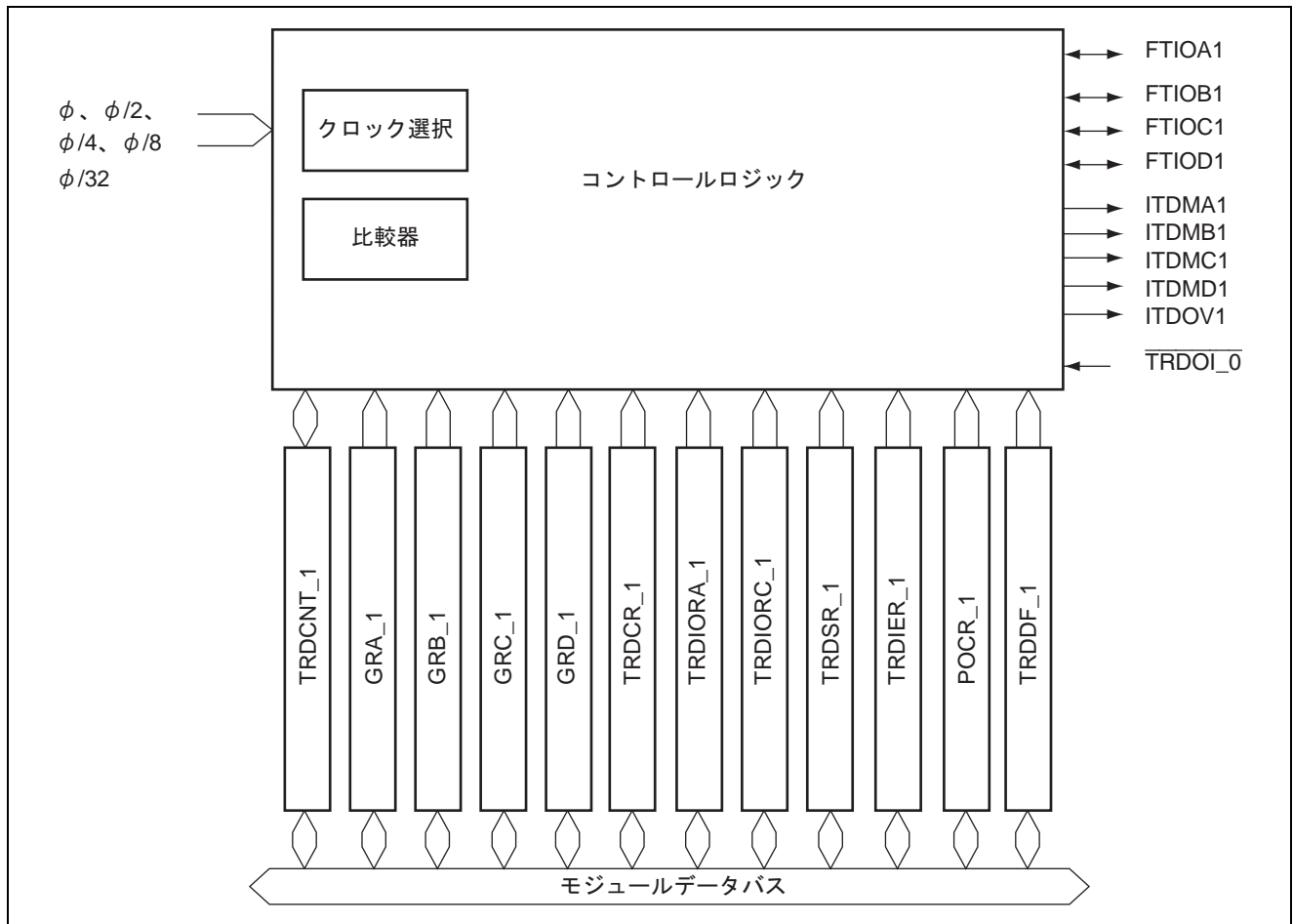


図 16.3 タイマ RD (チャンネル 1) のブロック図

タイマ RD の端子構成を表 16.3 に示します。

表 16.3 端子構成 (1 ユニット)

端子名	入出力	機能
FTIOA0	入出力	GRA_0 アウトプットコンペア出力/GRA_0 インプットキャプチャ入力/ 外部クロック入力端子 (TCLK)
FTIOB0	入出力	GRB_0 アウトプットコンペア出力/GRB_0 インプットキャプチャ入力/ PWM 出力端子
FTIOC0	入出力	GRC_0 アウトプットコンペア出力/GRC_0 インプットキャプチャ入力/ PWM 同期出力端子 (リセット同期 PWM、相補 PWM モード時)
FTIOD0	入出力	GRD_0 アウトプットコンペア出力/GRD_0 インプットキャプチャ入力/ PWM 出力端子
FTIOA1	入出力	GRA_1 アウトプットコンペア出力/GRA_1 インプットキャプチャ入力/ PWM 出力端子 (リセット同期 PWM、相補 PWM モード時)
FTIOB1	入出力	GRB_1 アウトプットコンペア出力/GRB_1 インプットキャプチャ入力/ PWM 出力端子
FTIOC1	入出力	GRC_1 アウトプットコンペア出力/GRC_1 インプットキャプチャ入力/ PWM 出力端子
FTIOD1	入出力	GRD_1 アウトプットコンペア出力/GRD_1 インプットキャプチャ入力/ PWM 出力端子
TRDOI_0	入力	タイマ出力禁止/許可制御入力端子

16.2 レジスタの説明

タイマ RD には以下のレジスタがあります。

共通

- タイマRDスタートレジスタ (TRDSTR)
- タイマRDモードレジスタ (TRDMDR)
- タイマRD PWMモードレジスタ (TRDPMR)
- タイマRDファンクションコントロールレジスタ (TRDFCR)
- タイマRDアウトプットマスタイネーブルレジスタ1 (TRDOER1)
- タイマRDアウトプットマスタイネーブルレジスタ2 (TRDOER2)
- タイマRDアウトプットコントロールレジスタ (TRDOCR)
- タイマRD A/D変換開始トリガコントロールレジスタ (TRDADCR)

チャンネル0

- タイマRDコントロールレジスタ_0 (TRDCR_0)
- タイマRD I/OコントロールレジスタA_0 (TRDIORA_0)
- タイマRD I/OコントロールレジスタC_0 (TRDIORC_0)
- タイマRDステータスレジスタ_0 (TRDSR_0)
- タイマRDインタラプトイネーブルレジスタ_0 (TRDIER_0)
- PWMモードアウトプットレベルコントロールレジスタ_0 (POCR_0)
- タイマRDデジタルフィルタ機能選択レジスタ_0 (TRDDF_0)
- タイマRDカウンタ_0 (TRDCNT_0)
- ジェネラルレジスタA_0 (GRA_0)
- ジェネラルレジスタB_0 (GRB_0)
- ジェネラルレジスタC_0 (GRC_0)
- ジェネラルレジスタD_0 (GRD_0)

チャンネル1

- タイマRDコントロールレジスタ_1 (TRDCR_1)
- タイマRDインタラプトイネーブルレジスタ_1 (TRDIER_1)
- タイマRD I/OコントロールレジスタA_1 (TRDIORA_1)
- タイマRD I/OコントロールレジスタC_1 (TRDIORC_1)
- タイマRDステータスレジスタ_1 (TRDSR_1)
- PWMモードアウトプットレベルコントロールレジスタ_1 (POCR_1)
- タイマRDデジタルフィルタ機能選択レジスタ_1 (TRDDF_1)
- タイマRDカウンタ_1 (TRDCNT_1)
- ジェネラルレジスタA_1 (GRA_1)

- ジェネラルレジスタB_1 (GRB_1)
- ジェネラルレジスタC_1 (GRC_1)
- ジェネラルレジスタD_1 (GRD_1)

16.2.1 タイマ RD スタートレジスタ (TRDSTR)

アドレス: HFFFFD2

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CSTPN1	CSTPN0	STR1	STR0
リセット後の値:	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	説明	R/W
7~4	—	予約ビット	リードすると1が読み出されます。ライト時は"1"を書いてください。	—
3	CSTPN1	チャンネル1カウンタストップ	0: TRDCNT_1とGRA_1のコンペアマッチが起こったとき、カウントを停止 1: TRDCNT_1とGRA_1のコンペアマッチが起こったとき、カウントを継続 コンペアマッチによるカウント停止後、カウント再開する際はこのビットを1に設定してください。	R/W
2	CSTPN0	チャンネル0カウンタストップ	0: TRDCNT_0とGRA_0のコンペアマッチが起こったとき、カウントを停止 1: TRDCNT_0とGRA_0のコンペアマッチが起こったとき、カウントを継続 コンペアマッチによるカウント停止後、カウント再開する際はこのビットを1に設定してください。	R/W
1	STR1	チャンネル1カウンタスタート	0: TRDCNT_1はカウント動作を停止 1: TRDCNT_1はカウント動作 【1になる条件】 • 1ライトしたとき • イベントリンクコントローラのELOPBによりタイマRD_0のチャンネル1動作が選択され、指定イベントが発生したとき 【0になる条件】 • CSTPN1ビットが1に設定されていて、0ライトしたとき • CSTPN1ビットが0に設定されていて、コンペアマッチA1信号が発生したとき	R/W

ビット	シンボル	ビット名	説明	R/W
0	STR0	チャンネル0カウンタスタート	0 : TRDCNT_0 はカウント動作を停止 1 : TRDCNT_0 はカウント動作 【1になる条件】 <ul style="list-style-type: none">• 1 ライトしたとき• イベントリンクコントローラの ELOPA によりタイマ RD_0 のチャンネル0動作が選択され、指定イベントが発生したとき 【0になる条件】 <ul style="list-style-type: none">• CSTPN0 ビットが1に設定されていて、0 ライトしたとき• CSTPN0 ビットが0に設定されていて、コンペアマッチ A1 信号が発生したとき	R/W

【注】本レジスタを書き換える場合は、必ず MOV 命令を使用してください。

16.2.2 タイマ RD モードレジスタ (TRDMDR)

アドレス: H'FFFFFFD3

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
------	------	------	------	---	---	---	------

リセット後の値: 0 0 0 0 1 1 1 0

ビット	シンボル	ビット名	説明	R/W
7	BFD1	バッファ動作 D1	0: GRD_1 は通常動作 1: GRB_1 と GRD_1 はバッファ動作	R/W
6	BFC1	バッファ動作 C1	0: GRC_1 は通常動作 1: GRA_1 と GRC_1 はバッファ動作	R/W
5	BFD0	バッファ動作 D0	0: GRD_0 は通常動作 1: GRB_0 と GRD_0 はバッファ動作	R/W
4	BFC0	バッファ動作 C0	0: GRC_0 は通常動作 1: GRA_0 と GRC_0 はバッファ動作	R/W
3~1	—	予約ビット	リードすると 1 が読み出されます。ライト時は"1"を書いてください。	—
0	SYNC	タイマ同期	0: TRDCNT_1、TRDCNT_0 はそれぞれ別々のタイマとして動作 1: TRDCNT_1、TRDCNT_0 は同期動作 各チャンネルとも同期プリセット/同期クリアが可能	R/W

16.2.3 タイマ RD PWM モードレジスタ (TRDPMR)

アドレス: H'FFFFD4

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
--	---	-------	-------	-------	---	-------	-------	-------

リセット後の値: 1 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 1 が読み出されます。ライト時は"1"を書いてください。	—
6	PWMD1	PWM モード D1	0 : FTIOD1 は通常動作 1 : FTIOD1 は PWM モード	R/W
5	PWMC1	PWM モード C1	0 : FTIOC1 は通常動作 1 : FTIOC1 は PWM モード	R/W
4	PWMB1	PWM モード B1	0 : FTIOB1 は通常動作 1 : FTIOB1 は PWM モード	R/W
3	—	予約ビット	リードすると 1 が読み出されます。ライト時は"1"を書いてください。	—
2	PWMD0	PWM モード D0	0 : FTIOD0 は通常動作 1 : FTIOD0 は PWM モード	R/W
1	PWMC0	PWM モード C0	0 : FTIOC0 は通常動作 1 : FTIOC0 は PWM モード	R/W
0	PWMB0	PWM モード B0	0 : FTIOB0 は通常動作 1 : FTIOB0 は PWM モード	R/W

16.2.4 タイマ RD ファンクションコントロールレジスタ (TRDFCR)

アドレス: H'FFFFD5

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD[1:0]	
------	-------	------	-------	------	------	----------	--

リセット後の値: 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	PWM3	PWM3 モードセレクト	0: PWM3 モードを選択する 1: PWM3 モードを選択しない*1	R/W
6	STCLK	外部クロック入力 セレクト	0: 外部クロック入力は無効 1: 外部クロック入力是有効	R/W
5	ADEG	A/D トリガエッジ セレクト	0: 相補 PWM モード時、山で A/D トリガ 1: 相補 PWM モード時、谷で A/D トリガ	R/W
4	ADTRG	外部トリガディス エーブル	0: 相補 PWM モード時、PWM 周期の A/D トリガを無効 1: 相補 PWM モード時、PWM 周期の A/D トリガを有効*2	R/W
3	OLS1	出力レベルセレクト 1	0: 初期出力はハイレベル、アクティブレベルはローレベル 1: 初期出力はローレベル、アクティブレベルはハイレベル	R/W
2	OLS0	出力レベルセレクト 0	0: 初期出力はハイレベル、アクティブレベルはローレベル 1: 初期出力はローレベル、アクティブレベルはハイレベル	R/W
1、0	CMD[1:0]	コンビネーション モード 1、0	00: チャンネル 0、1 は通常動作 01: チャンネル 0、1 を組み合わせ、リセット同期 PWM モード で動作 10: チャンネル 0、1 を組み合わせ、相補 PWM モードで動作 (谷で転送) 11: チャンネル 0、1 を組み合わせ、相補 PWM モードで動作 (山で転送) 【注】 これらのビットによりリセット同期 PWM モード、または相 補 PWM モードに設定した場合、TRDPMR の各ビットによ る PWM モードの設定よりも優先されます。なお、リセッ ト同期 PWM モード、および相補 PWM モードの設定は、 TRDCNT_0、TRDCNT_1 を停止させた状態で行ってくださ い。	R/W

【注】 *1 CMD1=0、CMD0=0 のとき、本設定が有効になります。また、PWM3 モード選択時、TRDPMR、TRDIORA、
TRDIORC の設定は無効です。

*2 A/D モジュールを外部トリガで A/D 変換開始の設定にしてください。

- OLS1ビット (出力レベルセレクト1)
リセット同期 PWM モード/相補 PWM モード時に逆相の出力レベルを選択します。
- OLS0ビット (出力レベルセレクト0)
リセット同期 PWM モード/相補 PWM モード時に正相の出力レベルを選択します。

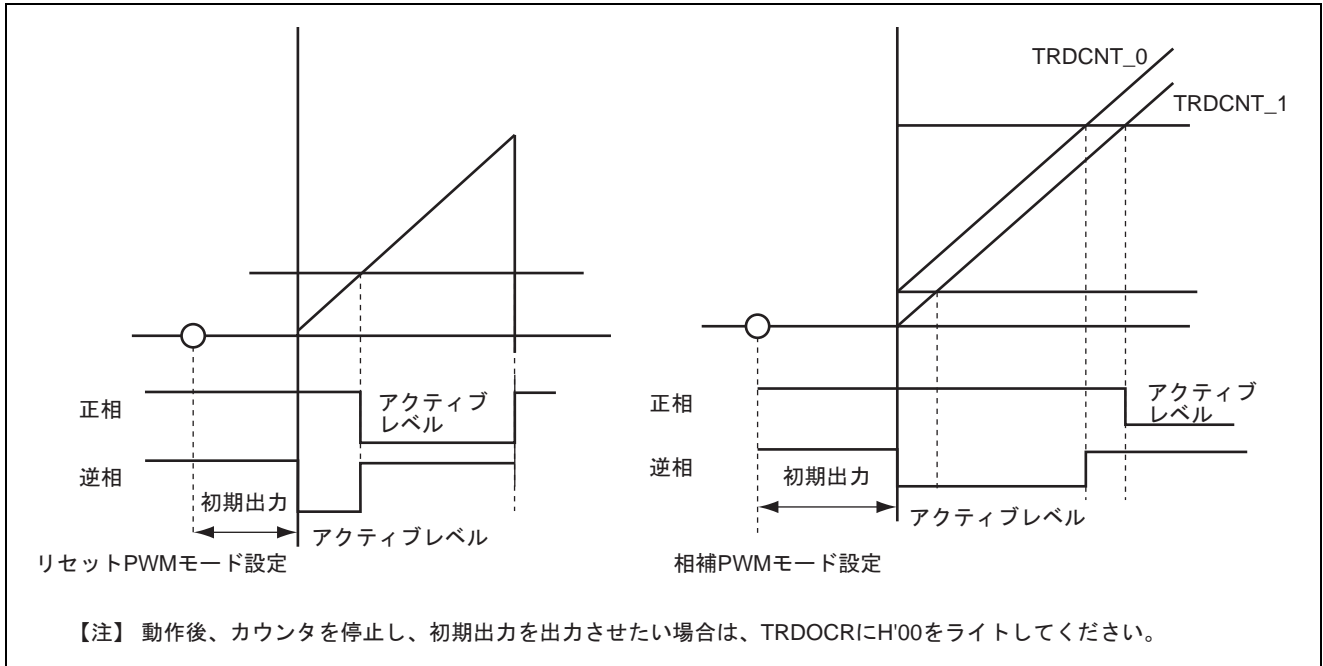


図 16.4 リセット同期 PWM モードおよび相補 PWM モードの出力例

16.2.5 タイマ RD アウトプットマスタイネーブルレジスタ 1 (TRDOER1)

アドレス: H'FFFFD6

ビット: b7 b6 b5 b4 b3 b2 b1 b0

ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
-----	-----	-----	-----	-----	-----	-----	-----

リセット後の値: 1 1 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7	ED1	マスタイネーブル D1	0: TRDPMR、TRDFCR、TRDIORC_1 の設定に従い、FTIOD1 端子の出力は許可 1: TRDPMR、TRDFCR、TRDIORC_1 の設定にかかわらず FTIOD1 端子の出力は禁止 (FTIOD1 端子は入出力ポートとして動作)	R/W
6	EC1	マスタイネーブル C1	0: TRDPMR、TRDFCR、TRDIORC_1 の設定に従い、FTIOC1 端子の出力は許可 1: TRDPMR、TRDFCR、TRDIORC_1 の設定にかかわらず FTIOC1 端子の出力は禁止 (FTIOC1 端子は入出力ポートとして動作)	R/W
5	EB1	マスタイネーブル B1	0: TRDPMR、TRDFCR、TRDIORA_1 の設定に従い、FTIOB1 端子の出力は許可 1: TRDPMR、TRDFCR、TRDIORA_1 の設定にかかわらず FTIOB1 端子の出力は禁止 (FTIOB1 端子は入出力ポートとして動作)	R/W
4	EA1	マスタイネーブル A1	0: TRDPMR、TRDFCR、TRDIORA_1 の設定に従い、FTIOA1 端子の出力は許可 1: TRDPMR、TRDFCR、TRDIORA_1 の設定にかかわらず FTIOA1 端子の出力は禁止 (FTIOA1 端子は入出力ポートとして動作)	R/W
3	ED0	マスタイネーブル D0	0: TRDPMR、TRDFCR、TRDIORC_0 の設定に従い、FTIOD0 端子の出力は許可 1: TRDPMR、TRDFCR、TRDIORC_0 の設定にかかわらず FTIOD0 端子の出力は禁止 (FTIOD0 端子は入出力ポートとして動作)	R/W
2	EC0	マスタイネーブル C0	0: TRDPMR、TRDFCR、TRDIORC_0 の設定に従い、FTIOC0 端子の出力は許可 1: TRDPMR、TRDFCR、TRDIORC_0 の設定にかかわらず FTIOC0 端子の出力は禁止 (FTIOC0 端子は入出力ポートとして動作)	R/W

ビット	シンボル	ビット名	説明	R/W
1	EB0	マスタイネーブル B0	0 : TRDPMR、TRDFCR、TRDIORA_0 の設定に従い、FTIOB0 端子の出力は許可 1 : TRDPMR、TRDFCR、TRDIORA_0 の設定にかかわらず FTIOB0 端子の出力は禁止 (FTIOB0 端子は入出力ポートとして動作)	R/W
0	EA0	マスタイネーブル A0	0 : TRDPMR、TRDFCR、TRDIORA_0 の設定に従い、FTIOA0 端子の出力は許可 1 : TRDPMR、TRDFCR、TRDIORA_0 の設定にかかわらず FTIOA0 端子の出力は禁止 (FTIOA0 端子は入出力ポートとして動作)	R/W

TRDOER1 は、チャンネル 0、1 の出力を許可／禁止します。 $\overline{\text{TRDOI}}$ 端子入力設定時に、 $\overline{\text{TRDOI}}$ 端子に Low レベルを入力すると各ビットが 1 にセットされ、タイマ RD の出力は禁止されます。

16.2.6 タイマ RD アウトプットマスタイネーブルレジスタ 2 (TRDOER2)

アドレス: H'FFFFD7

ビット: b7 b6 b5 b4 b3 b2 b1 b0

PTO	—	—	—	—	—	—	—
-----	---	---	---	---	---	---	---

リセット後の値: 0 1 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7	PTO	タイマ出力禁止モード	0 : $\overline{\text{TRDOI}}$ 端子に Low レベルを入力しても、TRDOER1 の各ビットが 1 にセットされない 1 : $\overline{\text{TRDOI}}$ 端子に Low レベルを入力することにより、TRDOER1 の各ビットが 1 にセットされる	R/W
6~0	—	予約ビット	リードすると 1 が読み出されます。ライト時は"1"を書いてください。	—

16.2.7 タイマ RD アウトプットコントロールレジスタ (TRDOCR)

アドレス: H'FFFFFFD8

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
------	------	------	------	------	------	------	------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TOD1	出力レベルセレクト D1	0: FTIOD1 は 0 出力* 1: FTIOD1 は 1 出力*	R/W
6	TOC1	出力レベルセレクト C1	0: FTIOC1 は 0 出力* 1: FTIOC1 は 1 出力*	R/W
5	TOB1	出力レベルセレクト B1	0: FTIOB1 は 0 出力* 1: FTIOB1 は 1 出力*	R/W
4	TOA1	出力レベルセレクト A1	0: FTIOA1 は 0 出力* 1: FTIOA1 は 1 出力*	R/W
3	TOD0	出力レベルセレクト D0	0: FTIOD0 は 0 出力* 1: FTIOD0 は 1 出力*	R/W
2	TOC0	出力レベルセレクト C0	0: FTIOC0 は 0 出力* 1: FTIOC0 は 1 出力*	R/W
1	TOB0	出力レベルセレクト B0	PWM3 モード以外のとき 0: FTIOB0 は 0 出力* 1: FTIOB0 は 1 出力* PWM3 モードのとき 0: GRB_1 のコンペアマッチで FTIOB0 は 1 出力、GRB_0 の コンペアマッチで FTIOB0 は 0 出力 1: GRB_1 のコンペアマッチで FTIOB0 は 0 出力、GRB_0 の コンペアマッチで FTIOB0 は 1 出力	R/W
0	TOA0	出力レベルセレクト A0	PWM3 モード以外のとき 0: FTIOA0 は 0 出力* 1: FTIOA0 は 1 出力* PWM3 モードのとき 0: GRA_1 のコンペアマッチで FTIOA0 は 1 出力、GRA_0 の コンペアマッチで FTIOA0 は 0 出力 1: GRA_1 のコンペアマッチで FTIOA0 は 0 出力、GRA_0 の コンペアマッチで FTIOA0 は 1 出力	R/W

【注】 * 出力値は変更した時点で反映されます。

TRDOCR は、コンペアマッチが最初に起こるまでの初期出力を設定します。なお、リセット同期 PWM モード、相補 PWM モードの場合、本レジスタの設定には依存せず、TRDFCR の OLS1、OLS0 ビットの設定に従います。

PWM3 モードにおいては、FTIOA0、FTIOB0 端子の出力設定を行います。

16.2.8 タイマ RD A/D 変換開始トリガコントロールレジスタ (TRDADCR)

アドレス: H'FFFFD9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
----------	----------	----------	----------	----------	----------	----------	----------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	ADTRGD1E	AD 変換開始トリガ D1 イネーブル	0 : GRD_1 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRD_1 のコンペアマッチで A/D 変換開始トリガを発生	R/W
6	ADTRGC1E	AD 変換開始トリガ C1 イネーブル	0 : GRC_1 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRC_1 のコンペアマッチで A/D 変換開始トリガを発生	R/W
5	ADTRGB1E	AD 変換開始トリガ B1 イネーブル	0 : GRB_1 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRB_1 のコンペアマッチで A/D 変換開始トリガを発生	R/W
4	ADTRGA1E	AD 変換開始トリガ A1 イネーブル	0 : GRA_1 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRA_1 のコンペアマッチで A/D 変換開始トリガを発生	R/W
3	ADTRGD0E	A/D 変換トリガ D0 イネーブル	0 : GRD_0 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRD_0 のコンペアマッチで A/D 変換開始トリガを発生	R/W
2	ADTRGC0E	A/D 変換トリガ C0 イネーブル	0 : GRC_0 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRC_0 のコンペアマッチで A/D 変換開始トリガを発生	R/W
1	ADTRGB0E	A/D 変換トリガ B0 イネーブル	0 : GRB_0 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRB_0 のコンペアマッチで A/D 変換開始トリガを発生	R/W
0	ADTRGA0E	A/D 変換トリガ A0 イネーブル	0 : GRA_0 のコンペアマッチで A/D 変換開始トリガを発生しない 1 : GRA_0 のコンペアマッチで A/D 変換開始トリガを発生	R/W

TRDADCR は、A/D 変換開始トリガソースを選択します。対応するコンペアマッチにより、A/D 変換開始トリガを発生します。

16.2.9 タイマ RD カウンタ (TRDCNT)

アドレス: H'FFFFB0、H'FFFFBA

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

TRDCNT は 16 ビットのリード/ライト可能なレジスタで、各チャンネルに 1 本、計 2 本あります。入力したクロックによりカウント動作を行います。入力するクロックは、TRDCR の TPSC2~TPSC0 ビットにより選択します。TRDCNT は相補 PWM モード時にアップ/ダウンカウンタ動作を行い、それ以外の場合はアップカウンタ動作を行います。

TRDCNT は、対応する GRA、GRB、GRC、GRD とのコンペアマッチ、または GRA、GRB、GRC、GRD へのインプットキャプチャにより H'0000 にクリアすることができます (カウンタクリア機能)。TRDCNT がオーバーフローすると、対応するチャンネルの TRDSR の OVF フラグが 1 にセットされます。TRDCNT_1 がアンダフローすると、TRDSR の UDF フラグが 1 にセットされます。なお TRDCNT カウンタの 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

16.2.10 ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)

・ GRA

アドレス: H'FFFFB2、H'FFFFBC

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

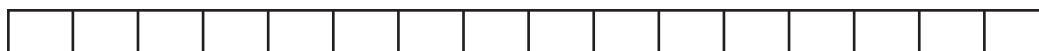


リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ GRB

アドレス: H'FFFFB4、H'FFFFBE

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ GRC

アドレス: H'FFFFB6、H'FFFFC0

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

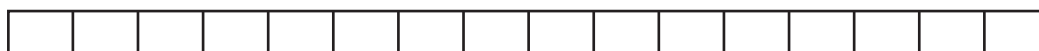


リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ GRD

アドレス: H'FFFFB8、H'FFFFC2

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

GR は 16 ビットのリード/ライト可能なレジスタで、各チャンネルに 4 本、計 8 本あります。

アウトプットコンペアレジスタとインプットキャプチャレジスタの機能の切り替えを TRDIORA、TRDIORC により行います。

アウトプットコンペアレジスタとして使用しているときは、GR と TRDCNT の値は常に比較されています。両者の値が一致すると TRDSR の IMFA~IMFD フラグが 1 にセットされます。TRDIORA、TRDIORC によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からの信号を検出して TRDCNT の値を格納します。このとき対応する TRDSR の IMFA~IMFD フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジ選択は TRDIORA、TRDIORC により行います。

PWM モード、相補 PWM モード、またはリセット同期 PWM モードに設定されている場合には、TRDIORA、TRDIORC の設定値は無視されます。GR はリセット時にアウトプットコンペアレジスタ（端子出力なし）に設定され、H'FFFF に初期化されます。なお GR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

16.2.11 タイマ RD コントロールレジスタ (TRDCR)

アドレス: H'FFFFC4、H'FFFFCB

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	CCLR[2:0]	CKEG[1:0]	TPSC[2:0]
--	-----------	-----------	-----------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~5	CCLR[2:0]	カウンタクリア 2~0	000: TRDCNT のクリア禁止 001: GRA のコンペアマッチ/インプットキャプチャで TRDCNT クリア* ¹ 010: GRB のコンペアマッチ/インプットキャプチャで TRDCNT クリア* ¹ 011: 同期クリア。同期動作をしている他のチャンネルのカウンタクリアに同期して TRDCNT をクリア* ² 100: TRDCNT のクリア禁止 101: GRC のコンペアマッチ/インプットキャプチャで TRDCNT クリア* ¹ 110: GRD のコンペアマッチ/インプットキャプチャで TRDCNT クリア* ¹ 111: 同期クリア。同期動作をしている他のチャンネルのカウンタクリアに同期して TRDCNT をクリア* ²	R/W
4、3	CKEG[1:0]	クロックエッジ 1、0	00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 立ち上がり/立ち下がりの両エッジでカウント	R/W
2~0	TPSC[2:0]	タイマプリスケーラ 2~0	000: 内部クロック: ϕ でカウント 001: 内部クロック: $\phi/2$ でカウント 010: 内部クロック: $\phi/4$ でカウント 011: 内部クロック: $\phi/8$ でカウント 100: 内部クロック: $\phi/32$ でカウント 101: 外部クロック: FTIOA0 (TCLK) 端子入力でカウント 110: 設定禁止 111: 予約 (設定しないでください)	R/W

【注】 *1 GR がアウトプットコンペアレジスタとして機能しているとき、コンペアマッチによりクリアされます。GR がインプットキャプチャとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定は TRDMDR によって行います。

X: Don't care

TRDCR は TRDCNT のカウンタクロック選択、外部クロック選択時のエッジ選択、およびカウンタクリア要因の選択を行います。TRDCR は各チャンネルに 1 本、計 2 本の TRDCR があります。

16.2.12 タイマ RD I/O コントロールレジスタ (TRDIORA、TRDIORC)

・ TRDIORA

アドレス: H'FFFFC5、H'FFFFC6

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]	

リセット後の値: 1 0 0 0 1 0 0 0

・ TRDIORC

アドレス: H'FFFFD6、H'FFFFD7

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]	

リセット後の値: 1 0 0 0 1 0 0 0

• TRDIORA

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 1 が読み出されます。ライト時は"1"を書いてください。	—
6	IOB2	I/O コントロール B2	0 : GRB はアウトプットコンペアレジスタとして機能 1 : GRB はインプットキャプチャレジスタとして機能	R/W
5、4	IOB[1:0]	I/O コントロール B1、B0	IOB2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRB のコンペアマッチで FTIOB 端子へ 0 出力 10 : GRB のコンペアマッチで FTIOB 端子へ 1 出力 11 : GRB のコンペアマッチで FTIOB 端子へトグル出力 IOB2=1 のとき 00 : FTIOB 端子の立ち上がりエッジで GRB へインプットキャプチャ 01 : FTIOB 端子の立ち下がりエッジで GRB へインプットキャプチャ 1X : FTIOB 端子の立ち上がり/立ち下がり両エッジで GRB へインプットキャプチャ	R/W
3	—	予約ビット	リードすると 1 が読み込まれます。ライト時は"1"を書いてください。	—
2	IOA2	I/O コントロール A2	0 : GRA はアウトプットコンペアレジスタとして機能 1 : GRA はインプットキャプチャレジスタとして機能	R/W

ビット	シンボル	ビット名	説明	R/W
1, 0	IOA[1:0]	I/O コントロール A1、A0	IOA2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRA のコンペアマッチで FTIOA 端子へ 0 出力 10 : GRA のコンペアマッチで FTIOA 端子へ 1 出力 11 : GRA のコンペアマッチで FTIOA 端子へトグル出力 IOA2=1 のとき 00 : FTIOA 端子の立ち上がりエッジで GRA ヘインプット キャプチャ 01 : FTIOA 端子の立ち下がりエッジで GRA ヘインプット キャプチャ 1X : FTIOA 端子の立ち上がり/立ち下がりの両エッジで GRA ヘイ ンプットキャプチャ	R/W

【注】 *1 バッファ動作を行うときは、TRDIORA と TRDIORC の IOA2 ビット、IOB2 ビット、IOC2 ビット、IOD2 ビットにおいて、ペアとなる GR については同じ値を設定してください。

*2 PWM モード、PWM3 モード、相補 PWM モード、およびリセット同期 PWM モードに設定したとき、TRDIORA の設定は無効となります。

X : Don't care

TRDIORA は GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。また FTIOA 端子、FTIOB 端子の機能を選択します。

• TRDIORC

ビット	シンボル	ビット名	説明	R/W
7	IOD3	I/O コントロール D3	0 : GRD を FTIOB 端子の GR として使用 1 : GRD を FTIOD 端子の GR として使用	R/W
6	IOD2	I/O コントロール D2	0 : GRD はアウトプットコンペアレジスタとして機能 1 : GRD はインプットキャプチャレジスタとして機能	R/W
5、4	IOD[1:0]	I/O コントロール D1、D0	IOD3=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRD のコンペアマッチで FTIOB 端子へ 0 出力 10 : GRD のコンペアマッチで FTIOB 端子へ 1 出力 11 : GRD のコンペアマッチで FTIOB 端子へトグル出力 IOD3=1、IOD2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRD のコンペアマッチで FTIOD 端子へ 0 出力 10 : GRD のコンペアマッチで FTIOD 端子へ 1 出力 11 : GRD のコンペアマッチで FTIOD 端子へトグル出力 IOD3=1、IOD2=1 のとき 00 : FTIOD 端子の立ち上がりエッジで GRD へインプットキャプチャ 01 : FTIOD 端子の立ち下がりエッジで GRD へインプットキャプチャ 1X : FTIOD 端子の立ち上がり／立ち下がりの両エッジで GRD へインプットキャプチャ	R/W
3	IOC3	I/O コントロール C3	0 : GRC を FTIOA 端子の GR として使用 1 : GRC を FTIOC 端子の GR として使用	R/W
2	IOC2	I/O コントロール C2	0 : アウトプットコンペアレジスタとして機能 1 : インプットキャプチャレジスタとして機能	R/W

ビット	シンボル	ビット名	説明	R/W
1、0	IOC[1:0]	I/O コントロール C1、C0	IOC3=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRC のコンペアマッチで FTIOA 端子へ 0 出力 10 : GRC のコンペアマッチで FTIOA 端子へ 1 出力 11 : GRC のコンペアマッチで FTIOA 端子へトグル出力 IOC3=1、IOC2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRC のコンペアマッチで FTIOC 端子へ 0 出力 10 : GRC のコンペアマッチで FTIOC 端子へ 1 出力 11 : GRC のコンペアマッチで FTIOC 端子へトグル出力 IOC3=1、IOC2=1 のとき 00 : FTIOC 端子の立ち上がりエッジで GRC ヘインプット キャプチャ 01 : FTIOC 端子の立ち下がりエッジで GRC ヘインプット キャプチャ 1X : FTIOC 端子の立ち上がり／立ち下がりの両エッジで GRC ヘ インプットキャプチャ	R/W R/W

【注】 *1 バッファ動作を行うときは、TRDIORA と TRDIORC の IOA2 ビット、IOB2 ビット、IOC2 ビット、IOD2 ビットにおいて、ペアとなる GR については同じ値を設定してください。

*2 PWM モード、PWM3 モード、相補 PWM モード、およびリセット同期 PWM モードに設定したとき、TRDIORC の設定は無効です。

X : Don't care

TRDIORC は GRC、GRD をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。また FTIOA～FTIOD 端子の機能を選択します。

16.2.13 タイマ RD ステータスレジスタ (TRDSR)

アドレス: H'FFFFC7、H'FFFFCE

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
リセット後の値:	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると1が読み出されます。ライト時は"1"を書いてください。	—
5	UDF*	アンダフローフラグ	0: TRDCNT_1 がアンダフローしていない 1: TRDCNT_1 がアンダフロー [1になる条件] • TRDCNT がアンダフローしたとき [0になる条件] • 1の状態をリードした後、0をライトしたとき	R/W
4	OVF	オーバフローフラグ	0: TRDCNT がオーバフローしていない 1: TRDCNT がオーバフロー [1になる条件] • TRDCNT の値がオーバフローしたとき [0になる条件] 1の状態をリードした後、0をライトしたとき	R/W
3	IMFD	インプットキャプチャ ／コンペアマッチ フラグ D	[1になる条件] • GRD がアウトプットコンペアレジスタとして機能している場合、TRDCNT=GRD になったとき • FTIOD 端子が PWM モードで動作している場合、TRDCNT=GRD になったとき • PWM3 モード、リセット同期 PWM モードおよび相補 PWM モードで動作している場合、TRDCNT=GRD になったとき • GRD がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TRDCNT の値が GRD に転送されたとき [0になる条件] • IMFD 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のとき • 1の状態をリードした後、0をライトしたとき	R/W

ビット	シンボル	ビット名	説明	R/W
2	IMFC	インプットキャプチャ ／コンペアマッチ フラグ C	<p>[1になる条件]</p> <ul style="list-style-type: none"> • GRC がアウトプットコンペアレジスタとして機能している場合、TRDCNT=GRC になったとき • FTIOC 端子が PWM モードで動作している場合、TRDCNT=GRC になったとき • PWM3 モード、リセット同期 PWM モードおよび相補 PWM モードで動作している場合、TRDCNT=GRC になったとき • GRC がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TRDCNT の値が GRC に転送されたとき <p>[0になる条件]</p> <ul style="list-style-type: none"> • IMFC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • 1 の状態をリードした後、0 をライトしたとき 	R/W
1	IMFB	インプットキャプチャ ／コンペアマッチ フラグ B	<p>[1になる条件]</p> <ul style="list-style-type: none"> • GRB がアウトプットコンペアレジスタとして機能している場合、TRDCNT=GRB になったとき • FTIOB 端子が PWM モードで動作している場合、TRDCNT=GRB になったとき • PWM モード、PWM3 モード、リセット同期 PWM モードおよび相補 PWM モードで動作している場合、TRDCNT=GRB になったとき（ただし、リセット同期 PWM モード時は、TRDCNT_0=GRB_1 および TRDCNT_0=GRB_0 になったとき） • GRB がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TRDCNT の値が GRB に転送されたとき <p>[0になる条件]</p> <ul style="list-style-type: none"> • IMFB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • 1 の状態をリードした後、0 をライトしたとき 	R/W

ビット	シンボル	ビット名	説明	R/W
0	IMFA	インプットキャプチャ ／コンペアマッチ フラグ A	<p>[1になる条件]</p> <ul style="list-style-type: none"> • GRA がアウトプットコンペアレジスタとして機能している場合、TRDCNT=GRA になったとき • PWM モード、PWM3 モード、リセット同期 PWM モードおよび相補 PWM モードで動作している場合、TRDCNT=GRA になったとき（ただし、リセット同期 PWM モード時は、TRDCNT_0=GRA_1 および TRDCNT_0=GRA_0 になったとき） • GRA がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TRDCNT の値が GRA に転送されたとき <p>[0になる条件]</p> <ul style="list-style-type: none"> • IMFA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • 1 の状態をリードした後、0 をライトしたとき 	R/W

【注】 * TRDSR_0 には、UDF フラグはありません。TRDSR_0 のビット 5 はリザーブビットです。リードすると常に 1 が読み出されます。

TRDSR はタイマ RD の各割り込み要求フラグです。TRDIER の対応するビットにより割り込みが許可されると CPU に割り込みを要求します。TRDSR は各チャンネル 1 本、計 2 本あります。

16.2.14 タイマ RD インタラプトイネーブルレジスタ (TRDIER)

アドレス: H'FFFFC8、H'FFFFCF

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA

リセット後の値: 1 1 1 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~5	—	予約ビット	リードすると1が読み出されます。ライト時は"1"を書いてください。	—
4	OVIE	オーバフローインタラプトイネーブル	0: OVF、UDF フラグによる割り込み (OVI) 要求を禁止 1: OVF、UDF フラグによる割り込み (OVI) 要求を許可	R/W
3	IMIED	インプットキャプチャ/コンペアマッチインタラプトイネーブル D	0: IMFD フラグによる割り込み (IMID) 要求を禁止 1: IMFD フラグによる割り込み (IMID) 要求を許可	R/W
2	IMIEC	インプットキャプチャ/コンペアマッチインタラプトイネーブル C	0: IMFC フラグによる割り込み (IMIC) 要求を禁止 1: IMFC フラグによる割り込み (IMIC) 要求を許可	R/W
1	IMIEB	インプットキャプチャ/コンペアマッチインタラプトイネーブル B	0: IMFB フラグによる割り込み (IMIB) 要求を禁止 1: IMFB フラグによる割り込み (IMIB) 要求を許可	R/W
0	IMIEA	インプットキャプチャ/コンペアマッチインタラプトイネーブル A	0: IMFA フラグによる割り込み (IMIA) 要求を禁止 1: IMFA フラグによる割り込み (IMIA) 要求を許可	R/W

TRDIER は各チャンネルに 1 本、計 2 本あります。

16.2.15 PWM モードアウトプットレベルコントロールレジスタ (POCR)

アドレス: H'FFFFC9、H'FFFFD0

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	POLD	POLC	POLB

リセット後の値: 1 1 1 1 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~3	—	予約ビット	リードすると1が読み出されます。ライト時は"1"を書いてください。	—
2	POLD	PWM モードアウト プットレベルコント ロール D	0 : FTIOD の出力レベルはローアクティブ 1 : FTIOD の出力レベルはハイアクティブ	R/W
1	POLC	PWM モードアウト プットレベルコント ロール C	0 : FTIOC の出力レベルはローアクティブ 1 : FTIOC の出力レベルはハイアクティブ	R/W
0	POLB	PWM モードアウト プットレベルコント ロール B	0 : FTIOB の出力レベルはローアクティブ 1 : FTIOB の出力レベルはハイアクティブ	R/W

POCR は各チャンネルに1本、計2本あります。

16.2.16 タイマ RD デジタルフィルタ機能選択レジスタ (TRDDF)

アドレス: H'FFFFCA、H'FFFFD1

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	DFCK[1:0]	—	—	DFD	DFC	DFB	DFA
--	-----------	---	---	-----	-----	-----	-----

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	DFCK[1:0]	デジタルフィルタク ロック選択	00 : $\phi/32$ 01 : $\phi/8$ 10 : ϕ 11 : TRDCR の TPSC2~TPSC0 で選択したクロック	R/W
5、4	—	予約ビット	リードすると 0 が読み出されます。ライト時は"0"を書いてください。	—
3	DFD	デジタルフィルタ 機能 D	0 : FTIOD 端子のデジタルフィルタ機能なし 1 : FTIOD 端子のデジタルフィルタ機能あり	R/W
2	DFC	デジタルフィルタ 機能 C	0 : FTIOC 端子のデジタルフィルタ機能なし 1 : FTIOC 端子のデジタルフィルタ機能あり	R/W
1	DFB	デジタルフィルタ 機能 B	0 : FTIOB 端子のデジタルフィルタ機能なし 1 : FTIOB 端子のデジタルフィルタ機能あり	R/W
0	DFA	デジタルフィルタ 機能 A	0 : FTIOA 端子のデジタルフィルタ機能なし 1 : FTIOA 端子のデジタルフィルタ機能あり	R/W

【注】 TRDIORA、TRDIORC の設定で FTIOA~FTIOD 端子を入力に設定した場合に限り、本レジスタの設定が有効になります。

TRDDF は各チャンネルに 1 本、計 2 本あります。

16.2.17 CPU とのインタフェース

(1) 16 ビットレジスタ

TRDCNT、GR は 16 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅のため、16 ビット単位でのリード/ライトが可能です。8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 16.5 に示します。

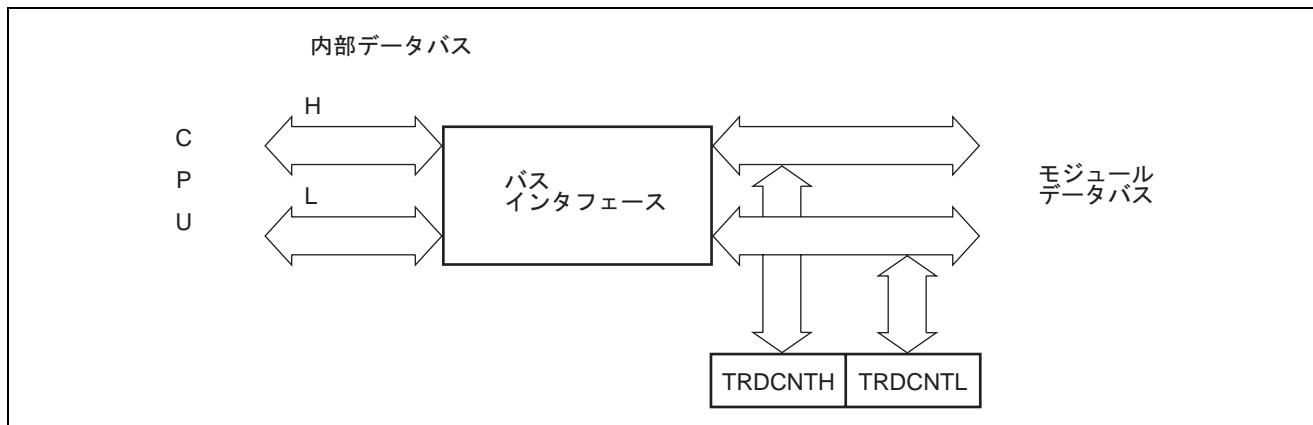


図 16.5 16 ビットレジスタのアクセス動作 (CPU ↔ TRDCNT (16 ビット))

(2) 8 ビットレジスタ

TRDCNT、GR 以外のレジスタは 8 ビットのレジスタです。これらのレジスタは CPU と内部 8 ビットの幅で接続されています。8 ビットレジスタのアクセス動作例を図 16.6 に示します。

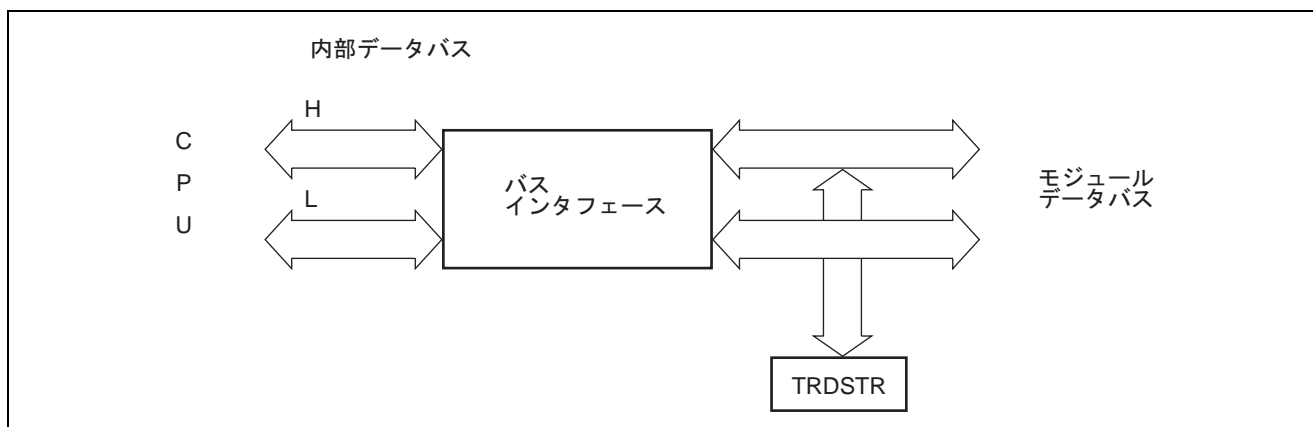


図 16.6 8 ビットレジスタのアクセス動作 (CPU ↔ TRDSTR (8 ビット))

16.3 動作説明

タイマ RD には、次の動作モードがあります。

- タイマモード動作

TRDIORA の IOA2～IOA0、IOB2～IOB0 ビットの設定、TRDIORC の IOC3～IOC0、IOD3～IOD0 ビットの設定を行うことにより、アウトプットコンペア機能および、インプットキャプチャ機能動作を行います。

- PWMモード動作

TRDPMR の設定を行うことにより、PWM モード動作を行います。

- PWM3モード動作

TRDFCR の PWM3 ビットの設定を行うことにより、PWM3 モード動作を行います。

- リセット同期PWMモード動作

TRDFCR の CMD1、CMD0 ビットの設定を行うことにより、リセット同期 PWM モード動作を行います。

- 相補PWMモード動作

TRDFCR の CMD1、CMD0 ビットの設定を行うことにより、相補 PWM モード動作を行います。

以下に FTIOA0～FTIOD0、FTIOA1～FTIOD1 端子の各レジスタ設定値による動作モードを示します。PMC により割り付けた端子に対応する PMR ビットを"1"に設定してください。

- FTIOA0端子

レジスタ名	TRDOER1	TRDFCR			TRDIORA	機 能
ビット名	EA0	STCLK	CMD1、CMD0	PWM3	IOA2～IOA0	
設定値	0	0	00	0	XXX	PWM3 モード波形出力
	0	0	00	1	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	0	00	1	1XX	タイマモード (インプットキャプチャ機能)
	X	0	00	1	000	汎用入力ポート (当該端子の PCR=0 のとき)
	X	1	XX	X	0XX	外部クロック入力
上記以外						設定しないでください

- FTIOB0端子

レジスタ名	TRDOER1	TRDFCR		TRDPMR	TRDIORA	機 能
ビット名	EB0	CMD1、CMD0	PWM3	PWMB0	IOB2～IOB0	
設定値	0	10、11	X	X	XXX	相補 PWM モード波形出力
	0	01	X	X	XXX	リセット同期 PWM モード波形出力
	0	00	0	X	XXX	PWM3 モード波形出力
	0	00	1	1	XXX	PWM モード波形出力
	0	00	1	0	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	00	1	0	1XX	タイマモード (インプットキャプチャ機能)
	X	00	1	0	000	汎用入力ポート (当該端子の PCR=0 のとき)
上記以外						設定しないでください

• FTIOC0端子

レジスタ名	TRDOER1	TRDFCR		TRDPMR	TRDIORC	機能
ビット名	EC0	CMD1、CMD0	PWM3	PWMC0	IOC2~IOC0	
設定値	0	10、11	X	X	XXX	相補 PWM モード波形出力
	0	01	X	X	XXX	リセット同期 PWM モード波形出力
	0	00	1	1	XXX	PWM モード波形出力
	0	00	1	0	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	00	1	0	1XX	タイマモード (インプットキャプチャ機能)
	X	00	1	0	000	汎用入力ポート (当該端子の PCR=0 のとき)
	上記以外					

• FTIOD0端子

レジスタ名	TRDOER1	TRDFCR		TRDPMR	TRDIORC	機能
ビット名	ED0	CMD1、CMD0	PWM3	PWMD0	IOD2~IOD0	
設定値	0	10、11	X	X	XXX	相補 PWM モード波形出力
	0	01	X	X	XXX	リセット同期 PWM モード波形出力
	0	00	1	1	XXX	PWM モード波形出力
	0	00	1	0	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	00	1	0	1XX	タイマモード (インプットキャプチャ機能)
	X	00	1	0	000	汎用入力ポート (当該端子の PCR=0 のとき)
	上記以外					

• FTIOA1端子

レジスタ名	TRDOER1	TRDFCR		TRDIORA	機能
ビット名	EA1	CMD1、CMD0	PWM3	IOA2~IOA0	
設定値	0	10、11	X	XXX	相補 PWM モード波形出力
	0	01	X	XXX	リセット同期 PWM モード波形出力
	0	00	1	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	00	1	1XX	タイマモード (インプットキャプチャ機能)
	X	00	1	000	汎用入力ポート (当該端子の PCR=0 のとき)
	上記以外				

• FTIOB1端子

レジスタ名	TRDOER1	TRDFCR		TRDPMR	TRDIORA	機 能
ビット名	EB1	CMD1、CMD0	PWM3	PWMB1	IOB2~IOB0	
設定値	0	10、11	X	X	XXX	相補 PWM モード波形出力
	0	01	X	X	XXX	リセット同期 PWM モード波形出力
	0	00	1	1	XXX	PWM モード波形出力
	0	00	1	0	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	00	1	0	1XX	タイマモード (インプットキャプチャ機能)
	X	00	1	0	000	汎用入力ポート (当該端子の PCR=0 のとき)
	上記以外					

• FTIOC1端子

レジスタ名	TRDOER1	TRDFCR		TRDPMR	TRDIORC	機 能
ビット名	EC1	CMD1、CMD0	PWM3	PWMC1	IOC2~IOC0	
設定値	0	10、11	X	X	XXX	相補 PWM モード波形出力
	0	01	X	X	XXX	リセット同期 PWM モード波形出力
	0	00	1	1	XXX	PWM モード波形出力
	0	00	1	0	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	00	1	0	1XX	タイマモード (インプットキャプチャ機能)
	X	00	1	0	000	汎用入力ポート (当該端子の PCR=0 のとき)
	上記以外					

• FTIOD1端子

レジスタ名	TRDOER1	TRDFCR		TRDPMR	TRDIORC	機 能
ビット名	ED1	CMD1、CMD0	PWM3	PWMD1	IOD2~IOD0	
設定値	0	10、11	X	X	XXX	相補 PWM モード波形出力
	0	01	X	X	XXX	リセット同期 PWM モード波形出力
	0	00	1	1	XXX	PWM モード波形出力
	0	00	1	0	001、01X	タイマモード波形出力 (アウトプットコンペア機能)
	X	00	1	0	1XX	タイマモード (インプットキャプチャ機能)
	X	00	1	0	000	汎用入力ポート (当該端子の PCR=0 のとき)
	上記以外					

16.3.1 カウンタの動作

TRDSTR の STR0、STR1 ビットを 1 にセットすると、対応するチャンネルの TRDCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

カウンタ動作の設定手順例を図 16.7 に示します。

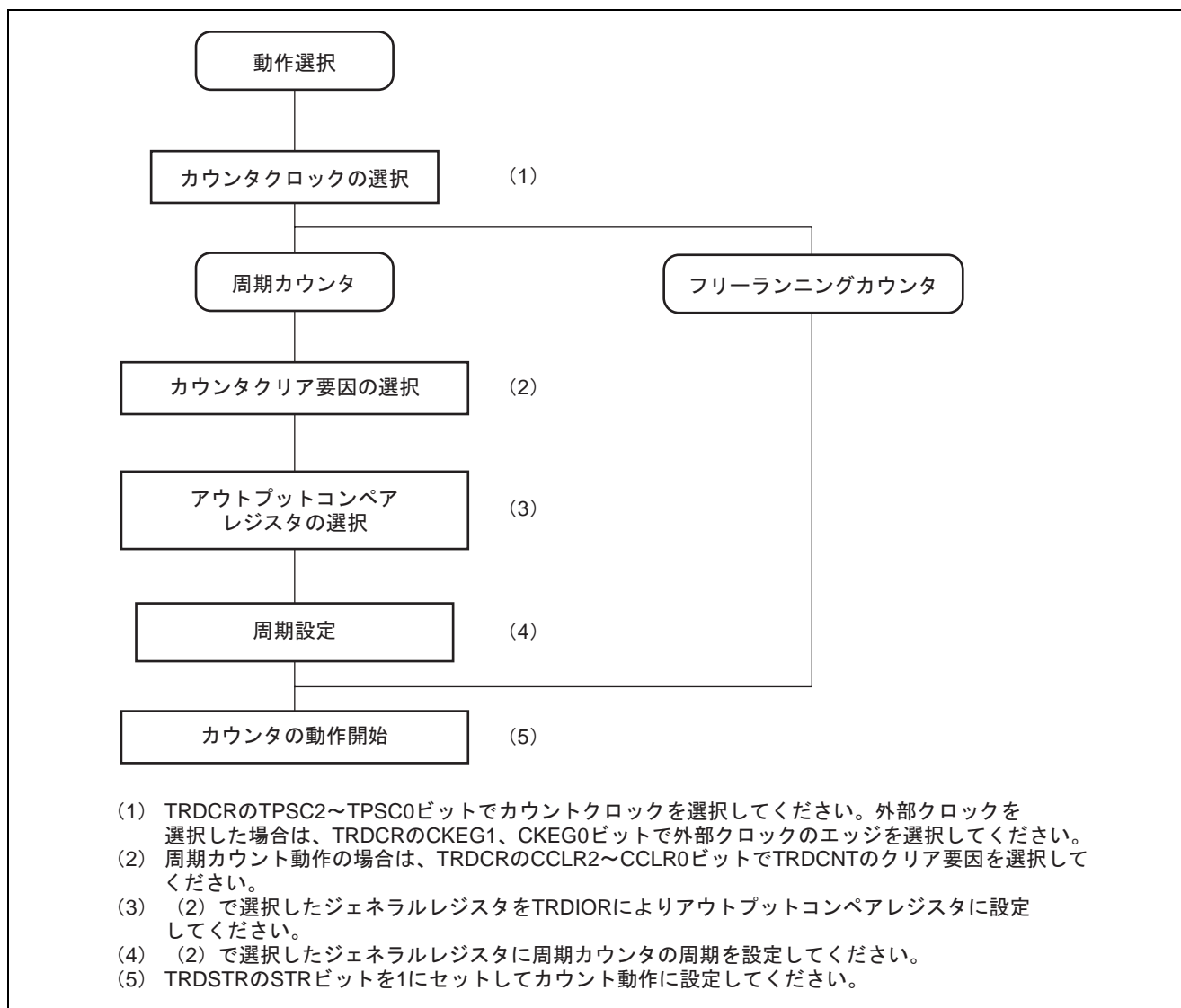


図 16.7 カウンタ動作の設定手順例

(1) フリーランニングカウント動作と周期カウント動作

TRDCNT はリセット直後はすべてフリーランニングカウンタの設定になっており、TRDSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TRDCNT がオーバーフローすると、TRDSR の OVF フラグが 1 にセットされます。このとき対応する TRDIER の OVIE ビットが "1" ならば、CPU に割り込みを要求します。TRDCNT はオーバーフロー後に H'0000 から再びアップカウント動作を続けます。フリーランニングカウンタの動作を図 16.8 に示します。

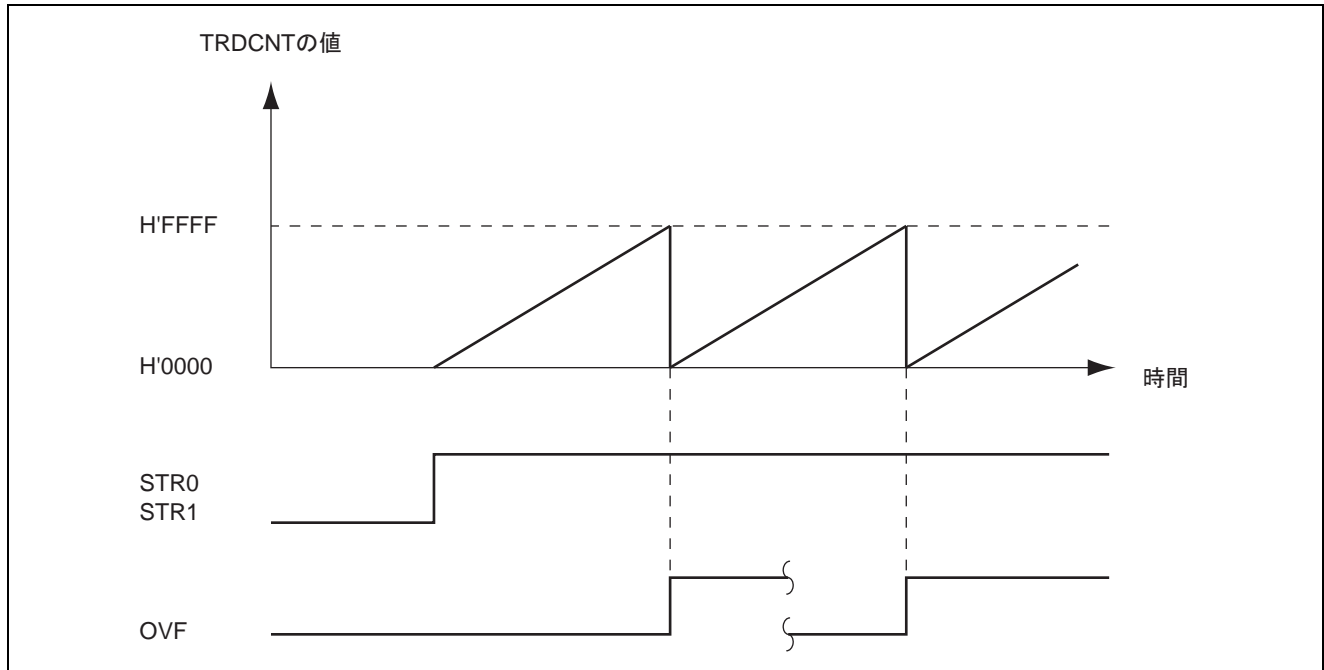


図 16.8 フリーランニングカウンタの動作

TRDCNT のクリア要因にコンペアマッチを選択したときは、該当するチャンネルの TRDCNT は周期カウンタ動作を行います（周期設定用の GR をアウトプットコンペアレジスタに設定し、TRDCR の CCLR1、CCLR0 ビットによりコンペアマッチによるカウンタクリアを設定します）。設定後、TRDSTR の対応するビットを"1"にセットすると、周期カウンタとしてアップカウンタ動作を開始します。カウント値が GR の値と一致すると、TRDSR の IMFA、IMFB、IMFC、IMFD フラグが"1"にセットされ、TRDCNT は H'0000 にクリアされます。このとき対応する TRDIER の IMIEA、IMIEB、IMIEC、IMIED ビットが"1"ならば、CPU に割り込みを要求します。コンペアマッチ終了後、TRDCNT は H'0000 から再びアップカウント動作を継続します。周期カウンタの動作を図 16.9 に示します。

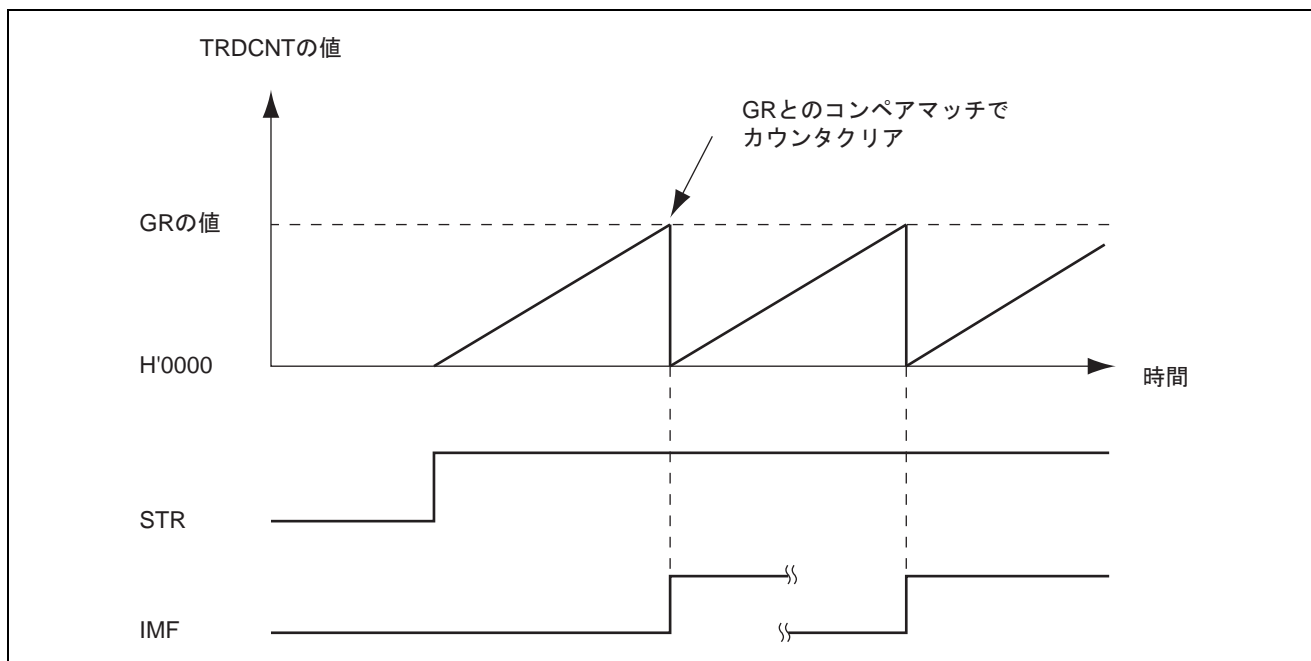


図 16.9 周期カウンタの動作

(2) TRDCNT のカウンタタイミング

• 内部クロック動作の場合

TRDCR の TPSC2～TPSC0 ビットによりシステムクロック (ϕ)、システムクロックを分周した 4 種類のクロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/32$) が選択できます。このときのタイミングを図 16.10 に示します。

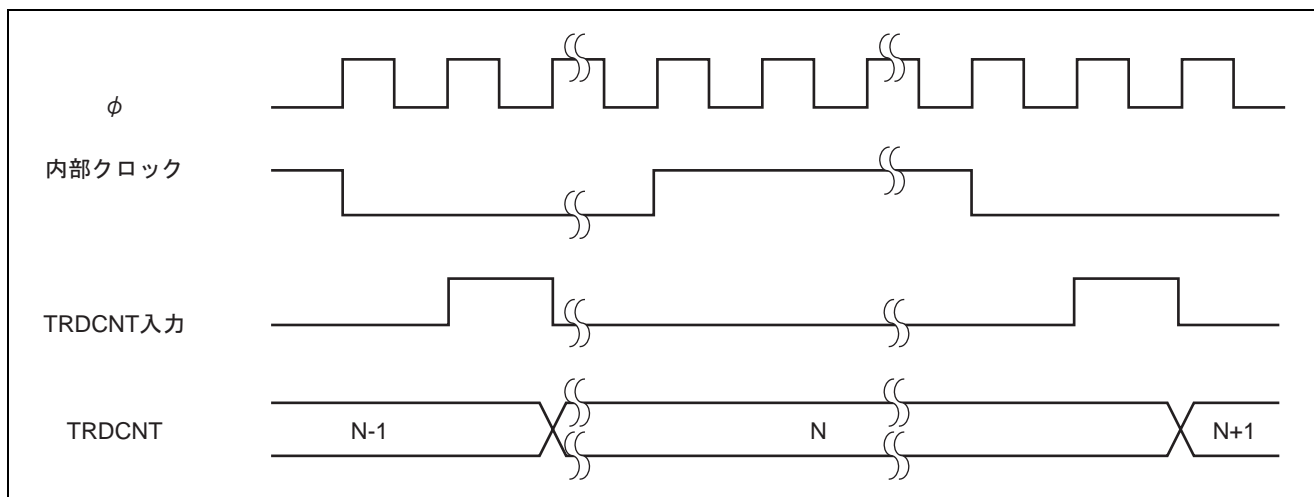


図 16.10 内部クロック動作時のカウントタイミング

• 外部クロック動作の場合

TRDCR の TPSC2～TPSC0 ビットにより外部クロック入力端子 (TCLK) を、または CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり／立ち下がり／両エッジの選択が可能です。立ち上がり／立ち下がり／両エッジでの、検出時のタイミングを図 16.11 に示します。

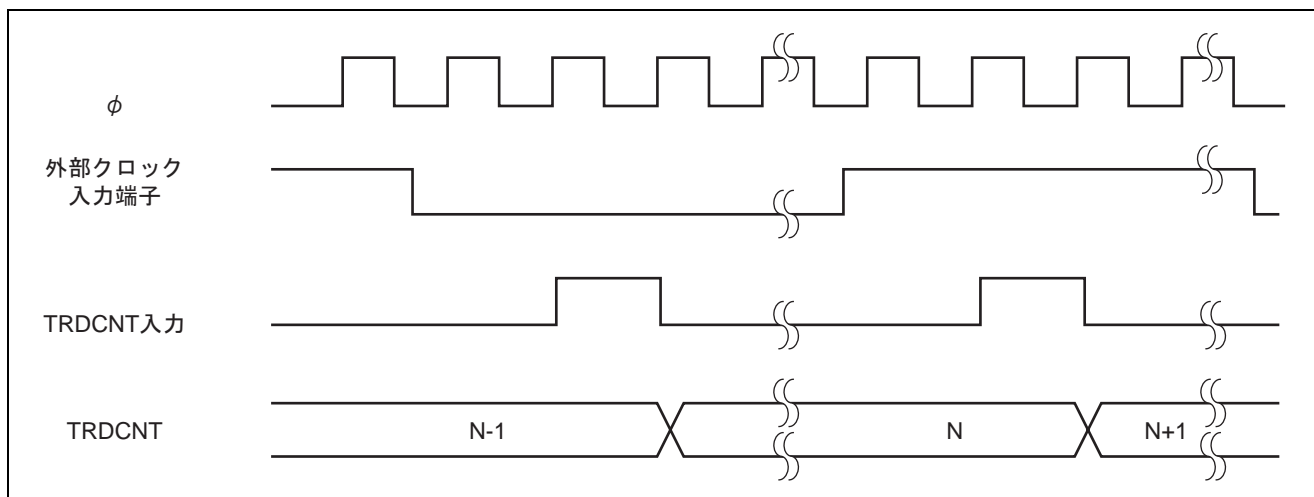


図 16.11 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

16.3.2 コンペアマッチによる波形出力機能

チャンネル0、1は、コンペアマッチA、B、C、Dにより対応するFTIOA、FTIOB、FTIOC、FTIOD端子から0出力/1出力/トグル出力を行うことができます。コンペアマッチによる波形出力動作の設定手順例を図16.12に示します。

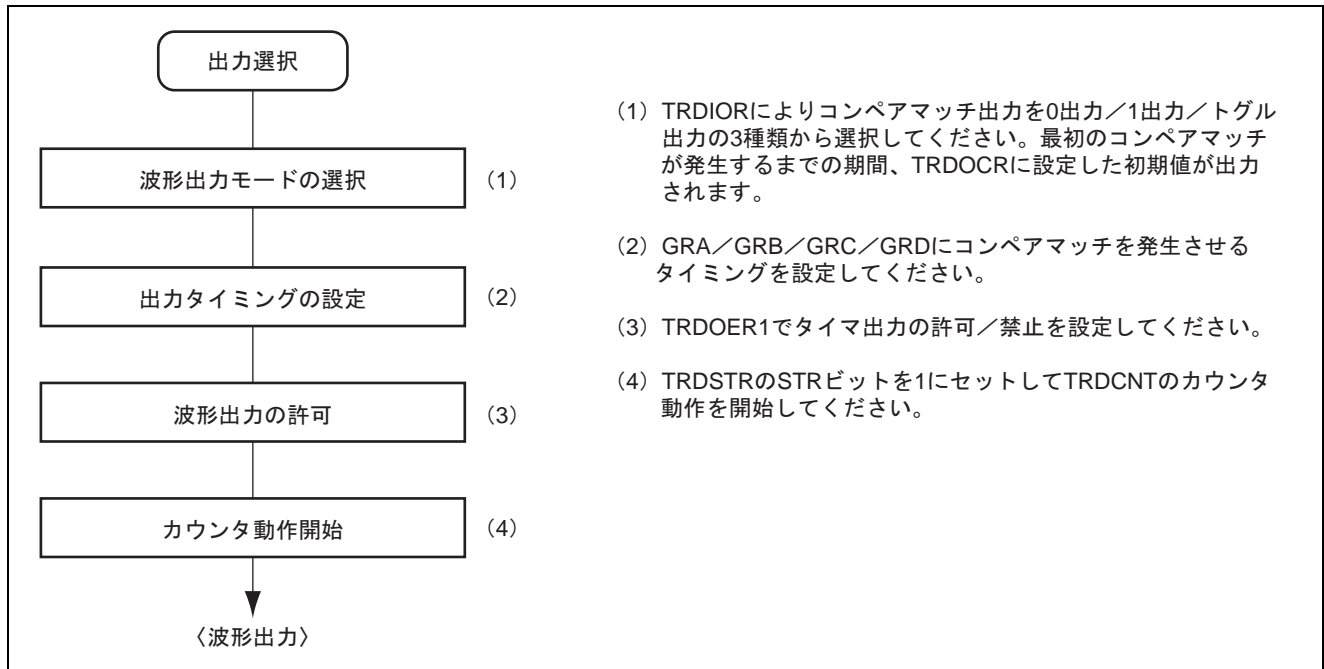


図 16.12 コンペアマッチによる波形出力動作例

(1) 波形出力動作例

TRDCNT をフリーランニングカウント動作、またコンペアマッチ A により 0 出力、コンペアマッチ B により 1 出力となるように設定した場合の動作例を図 16.13 に示します。なお、設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

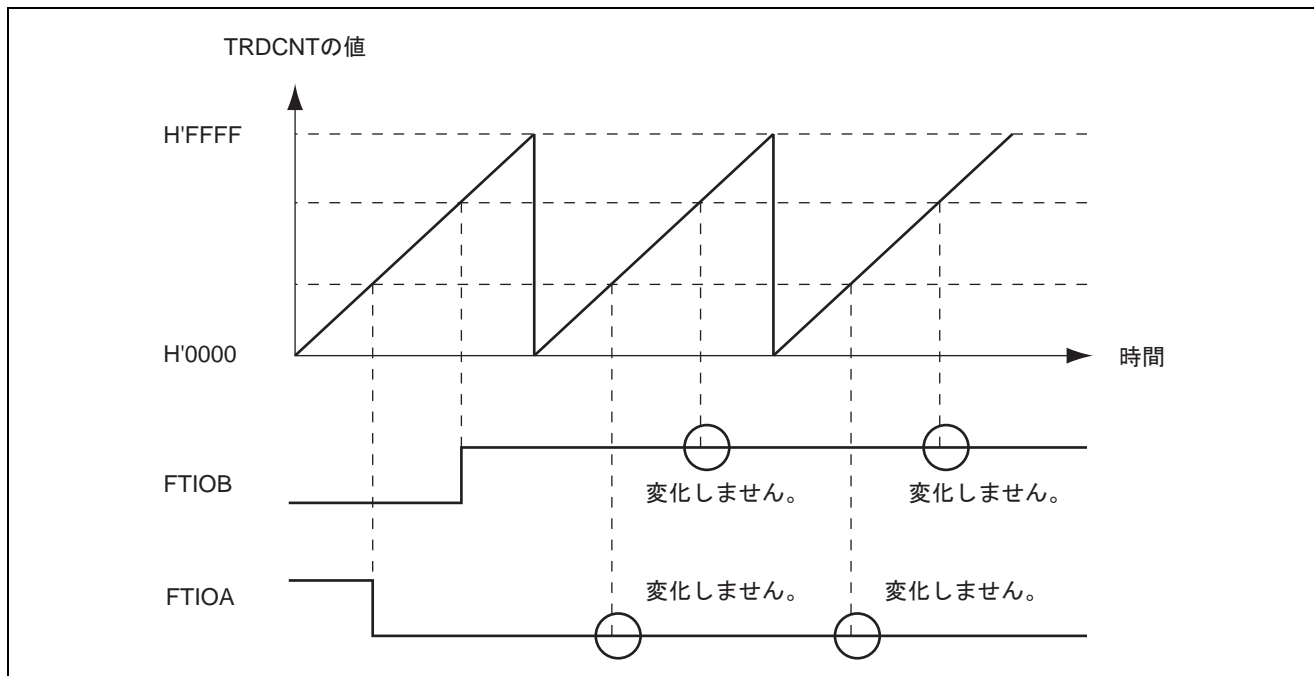


図 16.13 0 出力、1 出力の動作例

TRDCNT を周期カウント動作（コンペアマッチ B でカウンタクリア）に、コンペアマッチ A、B ともトグル出力になるように設定した場合の動作例を図 16.14 に示します。

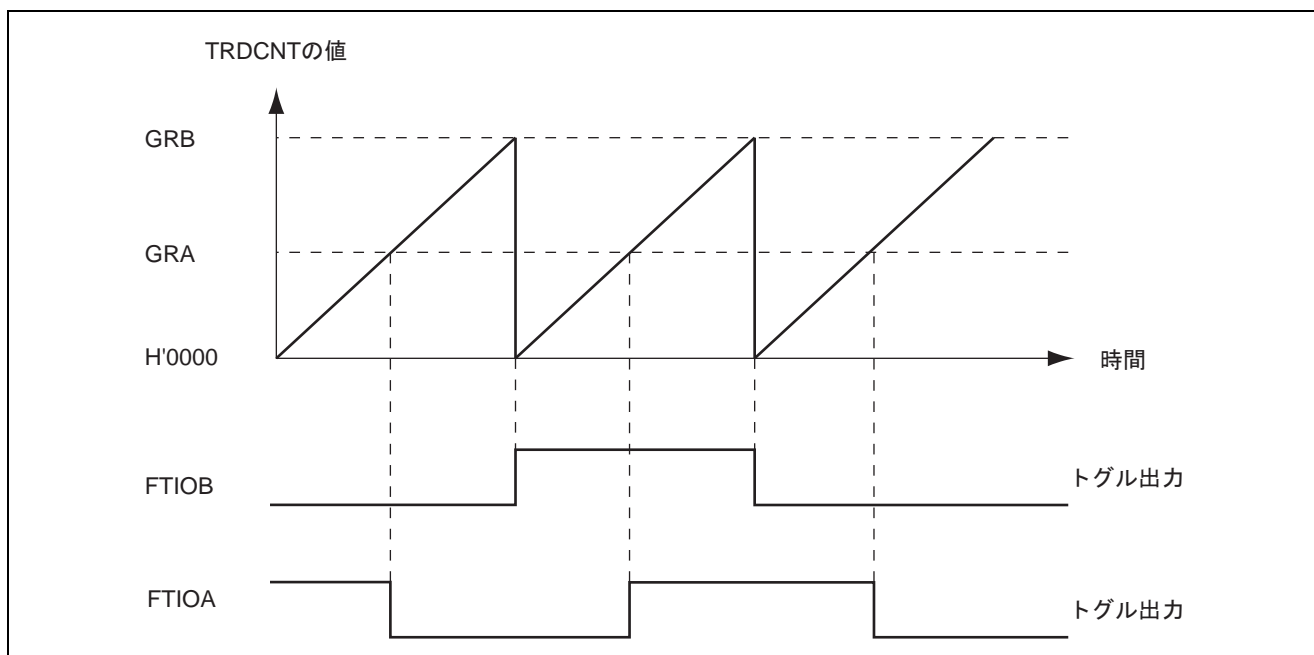


図 16.14 トグル出力の動作例

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TRDCNT と GR が一致した最後のステート（TRDCNT が一致したカウンタ値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TRDIOR で設定される出力値がアウトプットコンペア出力端子（FTIOA、FTIOB、FTIOC、FTIOD）に出力されます。TRDCNT と GR が一致した後、TRDCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。アウトプットコンペア出力タイミングの例を図 16.15 に示します。

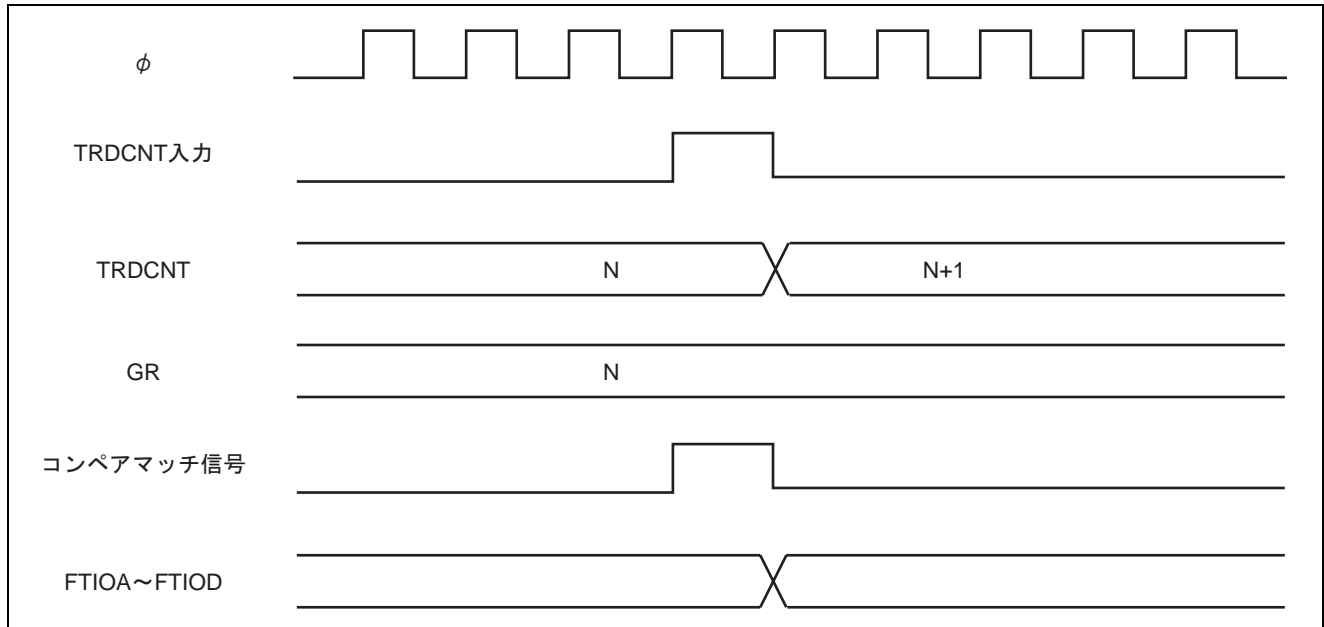


図 16.15 アウトプットコンペア出力タイミング

16.3.3 インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (FTIOA、FTIOB、FTIOC、FTIOD) の入力エッジを検出して、TRDCNT の値を GR に転送することができます。検出エッジは、立ち上がり/立ち下がり/両エッジから選択できます。またインพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。インพุットキャプチャ動作の設定手順例を図 16.16 に示します。

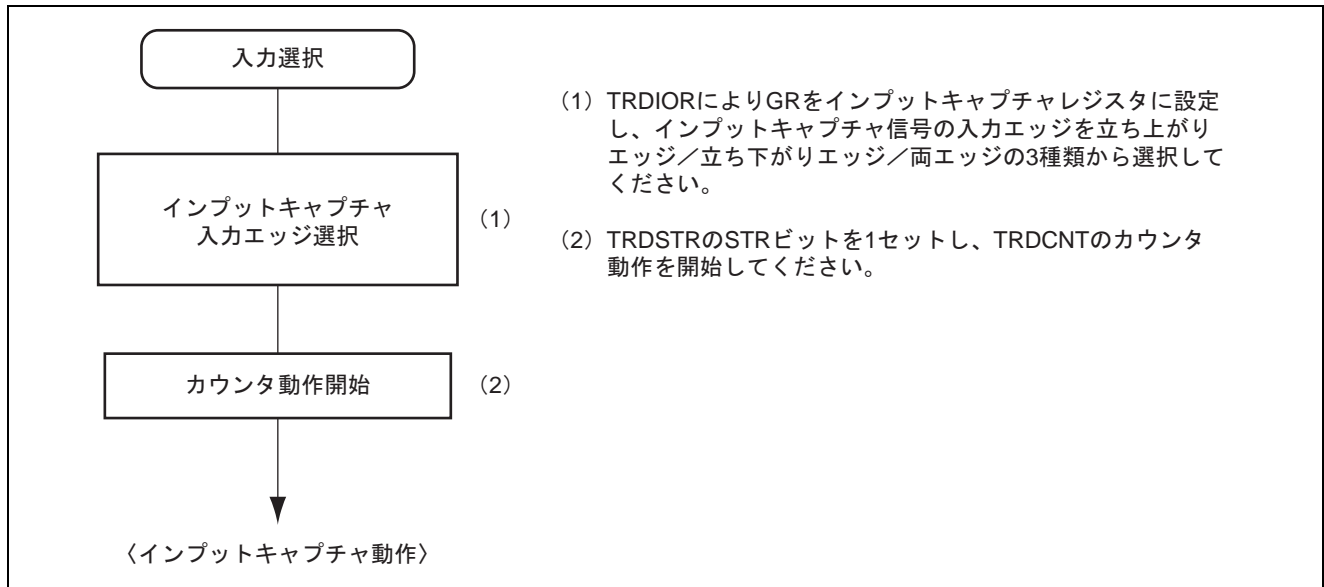


図 16.16 インพุットキャプチャ動作の設定手順例

(1) インพุットキャプチャ動作例

FTIOA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下りの両エッジ、また FTIOB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、かつ TRDCNT は GRB のインพุットキャプチャでカウンタクリアされるように設定した場合の動作例を図 16.17 に示します。

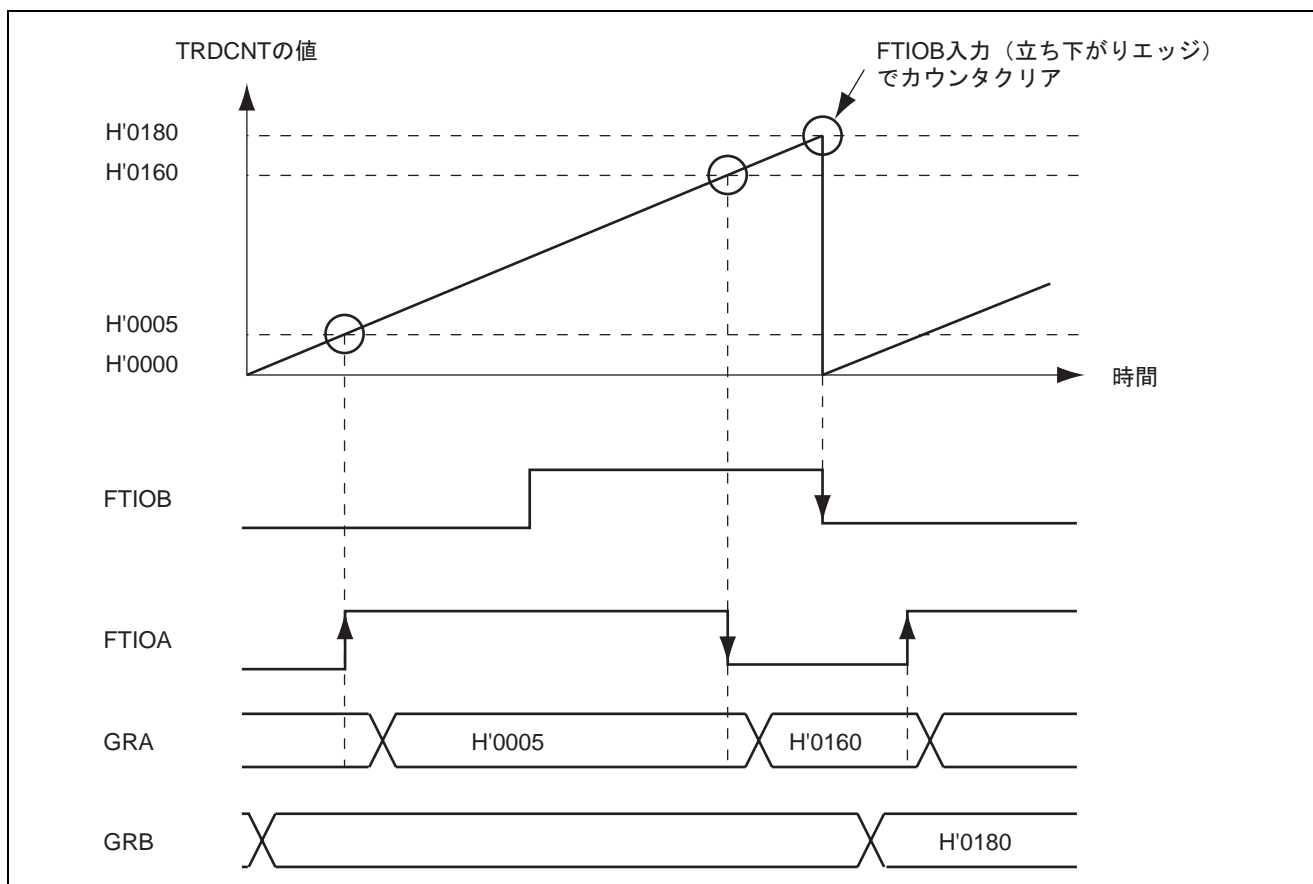


図 16.17 インพุットキャプチャ動作例

(2) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TRDIOR の設定によって立ち上がり／立ち下がり／両エッジの選択ができます。立ち上がりエッジを選択した場合のタイミングを図 16.18 に示します。

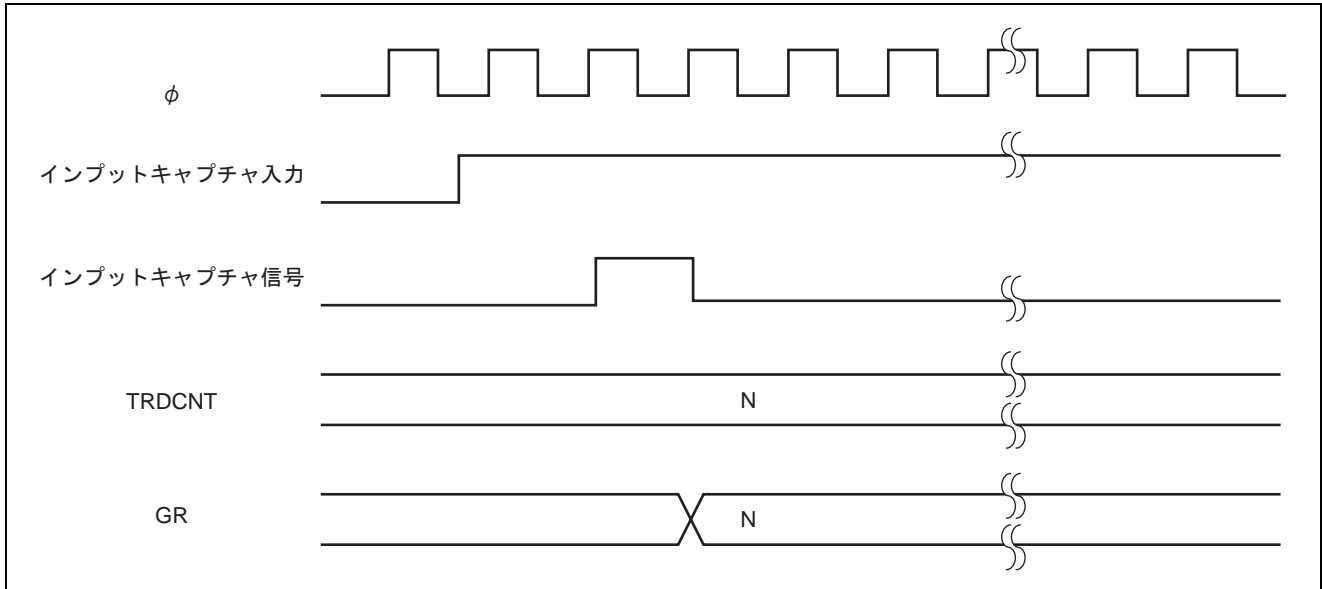


図 16.18 インพุットキャプチャ信号タイミング

16.3.4 同期動作

同期動作は、複数の TRDCNT の値を同時に書き換えることができます（同期プリセット）。また TRDCR の設定によって複数の TRDCNT を同時にクリアすることができます（同期クリア）。同期動作により、1つのタイムベースに対して GR を増加することができます。同期動作の設定手順例を図 16.19 に示します。

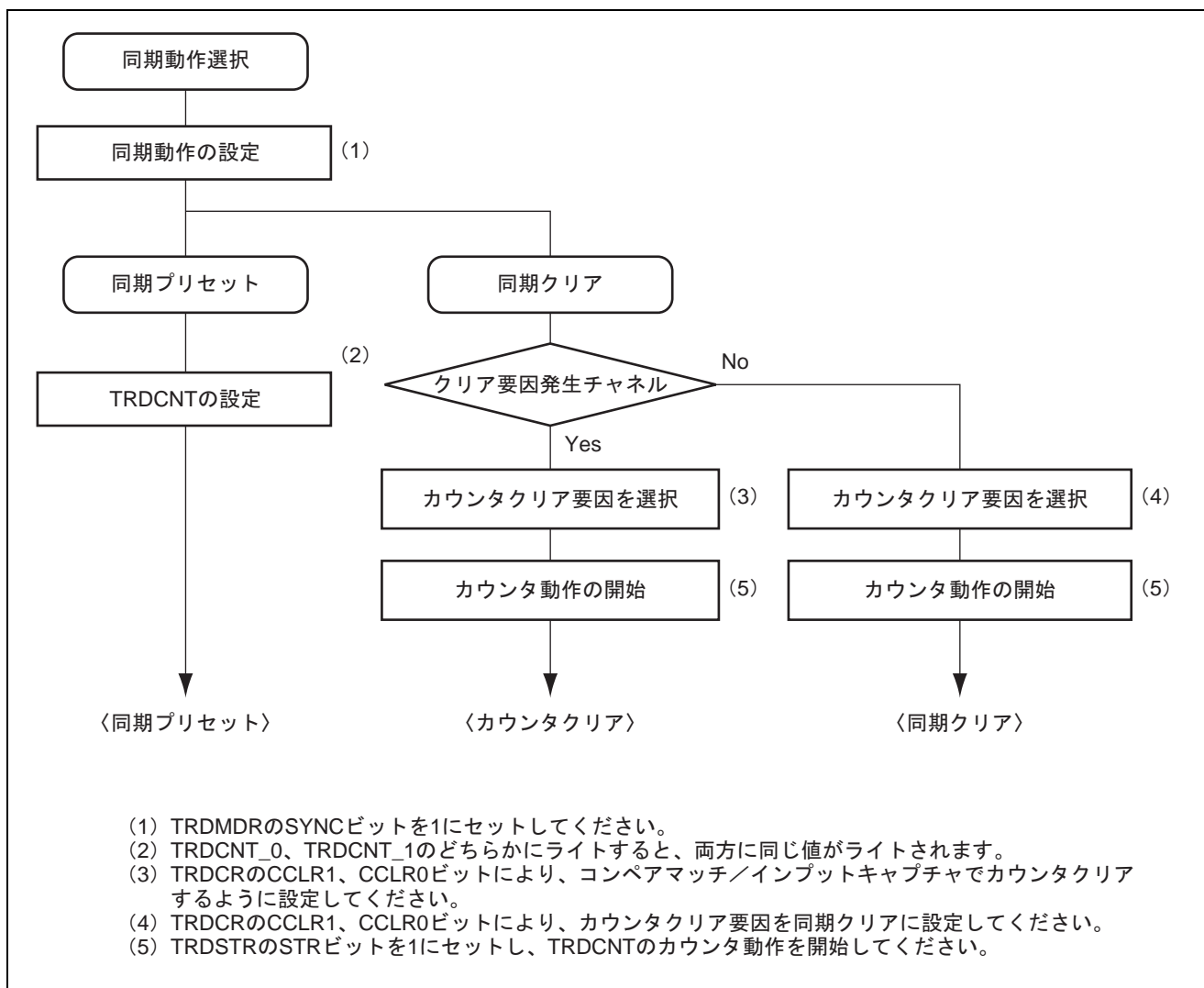


図 16.19 同期モードの設定手順例

同期動作例を図 16.20 に示します。同期動作かつ FTIOB0、FTIOB1 を PWM モードに設定し、チャンネル 0 のカウンタクリア要因を GRA_0 のコンペアマッチ、またチャンネル 1 のカウンタクリア要因を同期クリアに設定した場合の例です。同期動作例ではチャンネル 0 とチャンネル 1 のカウンタ入力クロックを同一の入力クロックに設定しています。このとき TRDCNT は同期プリセット、GRA_0 のコンペアマッチによる同期動作を行い、2 相の PWM 波形を FTIOB0、FTIOB1 端子から出力します。なお PWM モードについては「16.3.5 PWM モード」を参照してください。

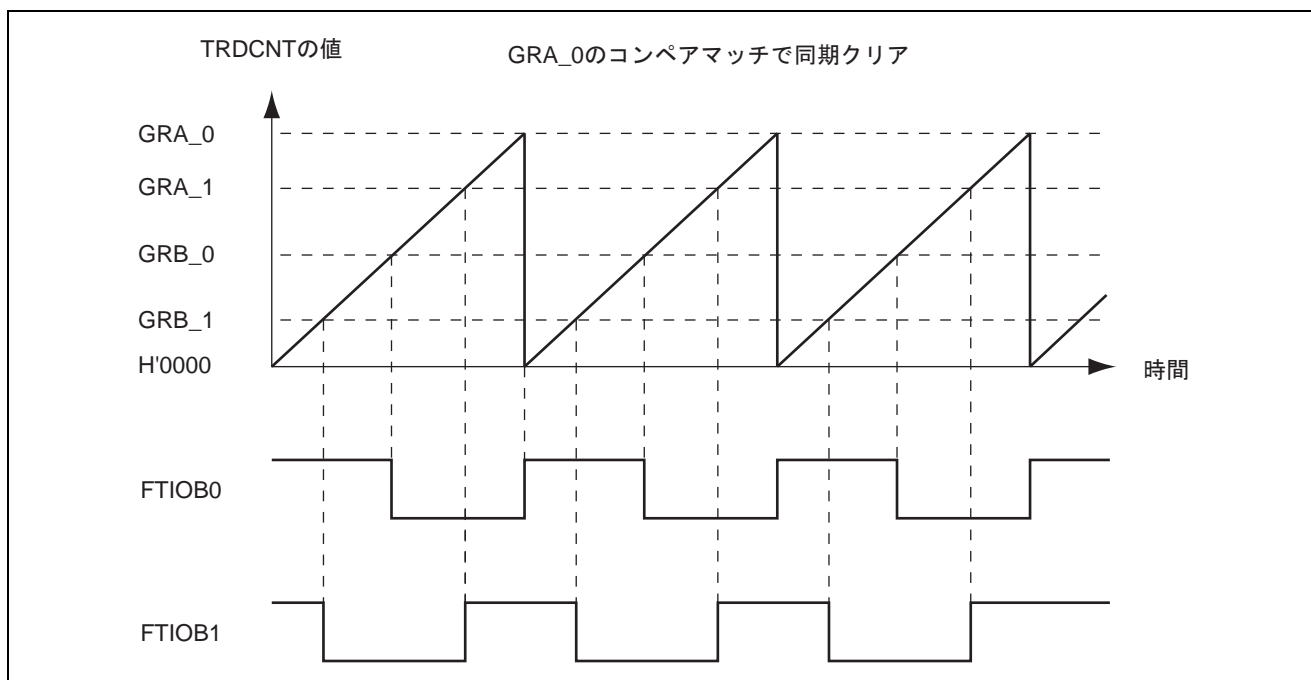


図 16.20 同期動作例

16.3.5 PWM モード

PWM モードは FTIOB、FTIOC、FTIOD 出力端子により、それぞれ PWM 波形を出力します。GRA を周期レジスタ、GRB、GRC、GRD をデューティレジスタとして PWM 波形を生成します。対応する端子の初期出力レベルは、TRDOCR、POCR の設定値に従います。FTIOB0 端子の初期出力レベルの例を表 16.4 に示します。

出力レベルは POCR の対応する POLB～POLD ビットの状態で決定されます。POLB=0 のときコンペアマッチ B により FTIOB 出力端子は 0 にセットされ、コンペアマッチ A により FTIOB 出力端子は 1 にセットされます。POLB=1 のときコンペアマッチ B により FTIOB 出力端子は 1 にセットされ、コンペアマッチ A により FTIOB 出力端子は 0 にセットされます。PWM モードでは、最大 6 相の PWM 出力が可能です。PWM モードの設定手順例を図 16.21 に示します。

表 16.4 FTIOB0 端子の初期出力レベル

TOB0	POLB	初期出力レベル
0	0	1
0	1	0
1	0	0
1	1	1

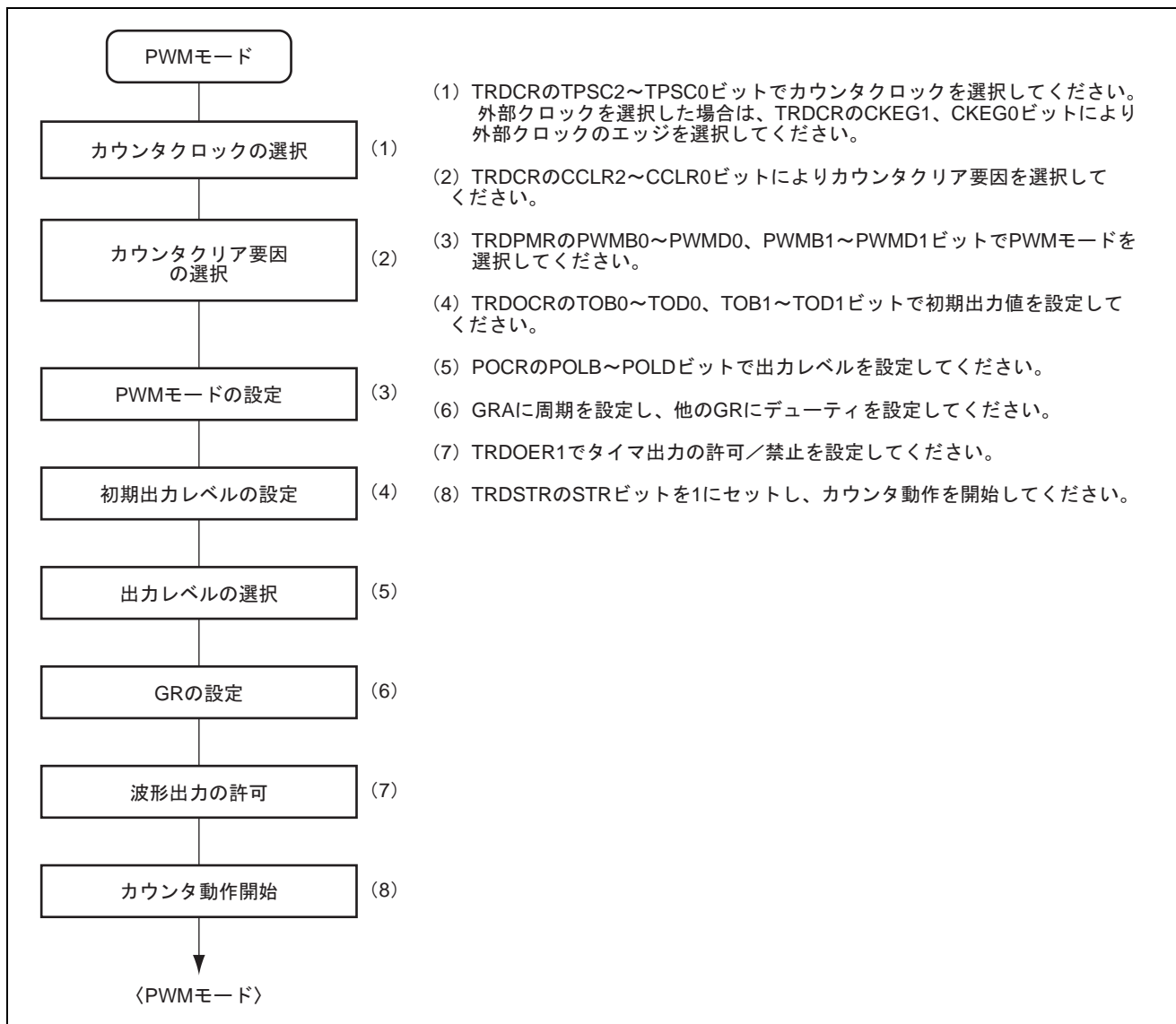


図 16.21 PWM モードの設定手順例

コンペアマッチ A で 1 出力および TRDCNT のリセット、コンペアマッチ B、C、D で 0 出力 (TOB、TOC、TOD=0、POLB、POLC、POLD=0) に設定した場合の動作例を図 16.22 に示します。

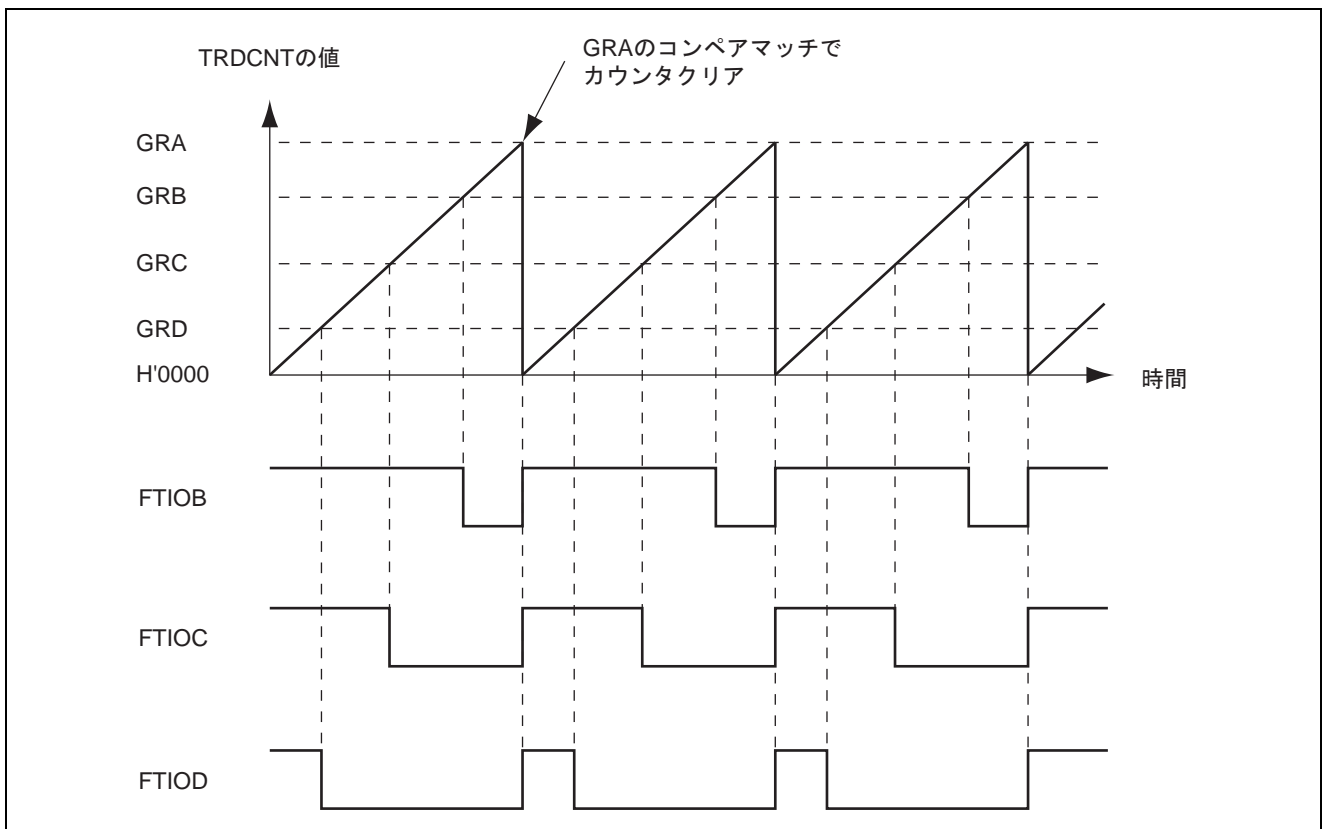


図 16.22 PWM モードの動作例 (1)

コンペアマッチ A で 0 出力、および TRDCNT のリセット、コンペアマッチ B、C、D で 1 出力 (TOB、TOC、TOD=0、POLB、POLC、POLD=1) に設定した場合の動作例を図 16.23 に示します。

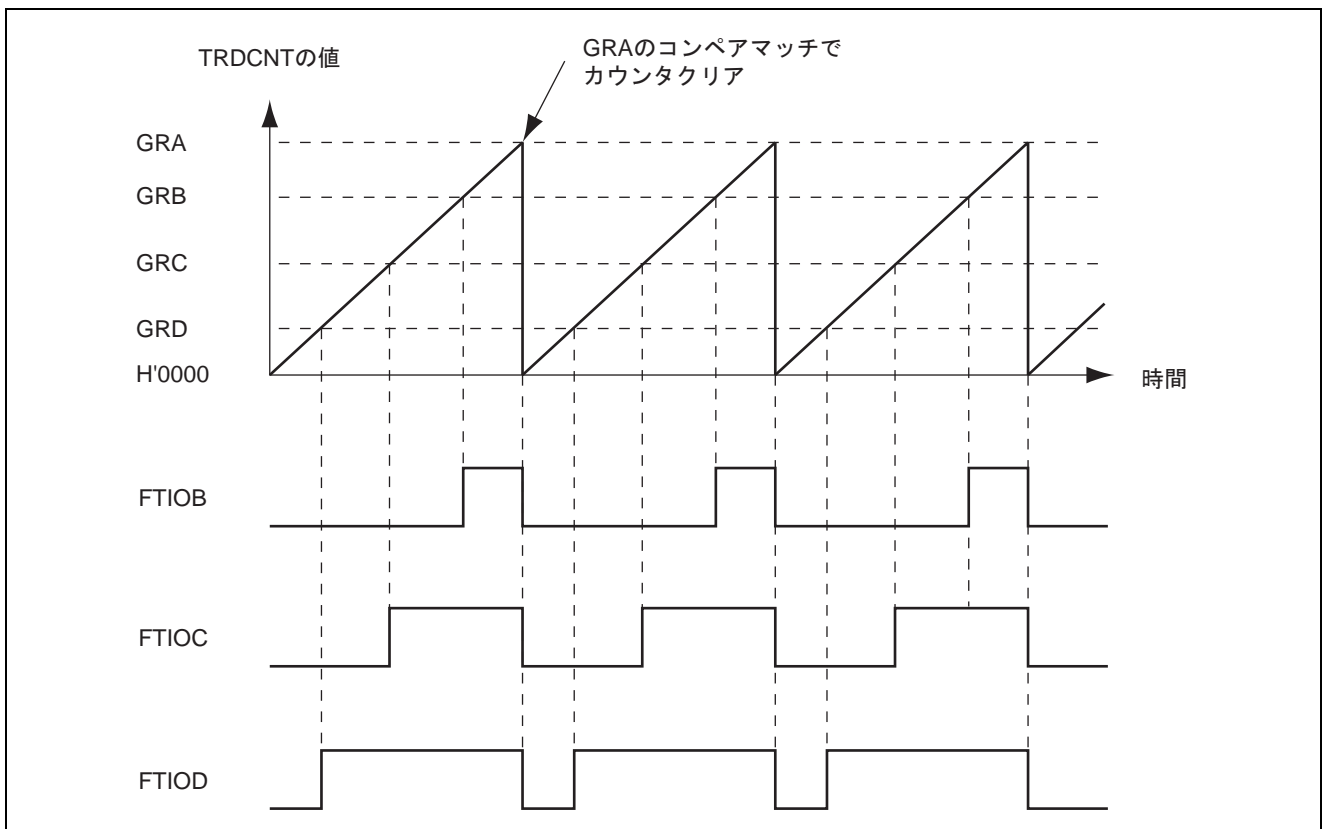


図 16.23 PWM モードの動作例 (2)

PWM モードで、デューティ 0%および 100%の PWM 波形を出力するときの設定が (TOB、TOC、TOD=0、POLB、POLC、POLD=0) の場合の例を図 16.24、設定が (TOB、TOC、TOD=0、POLB、POLC、POLD=1) の場合の例を図 16.25 に示します。

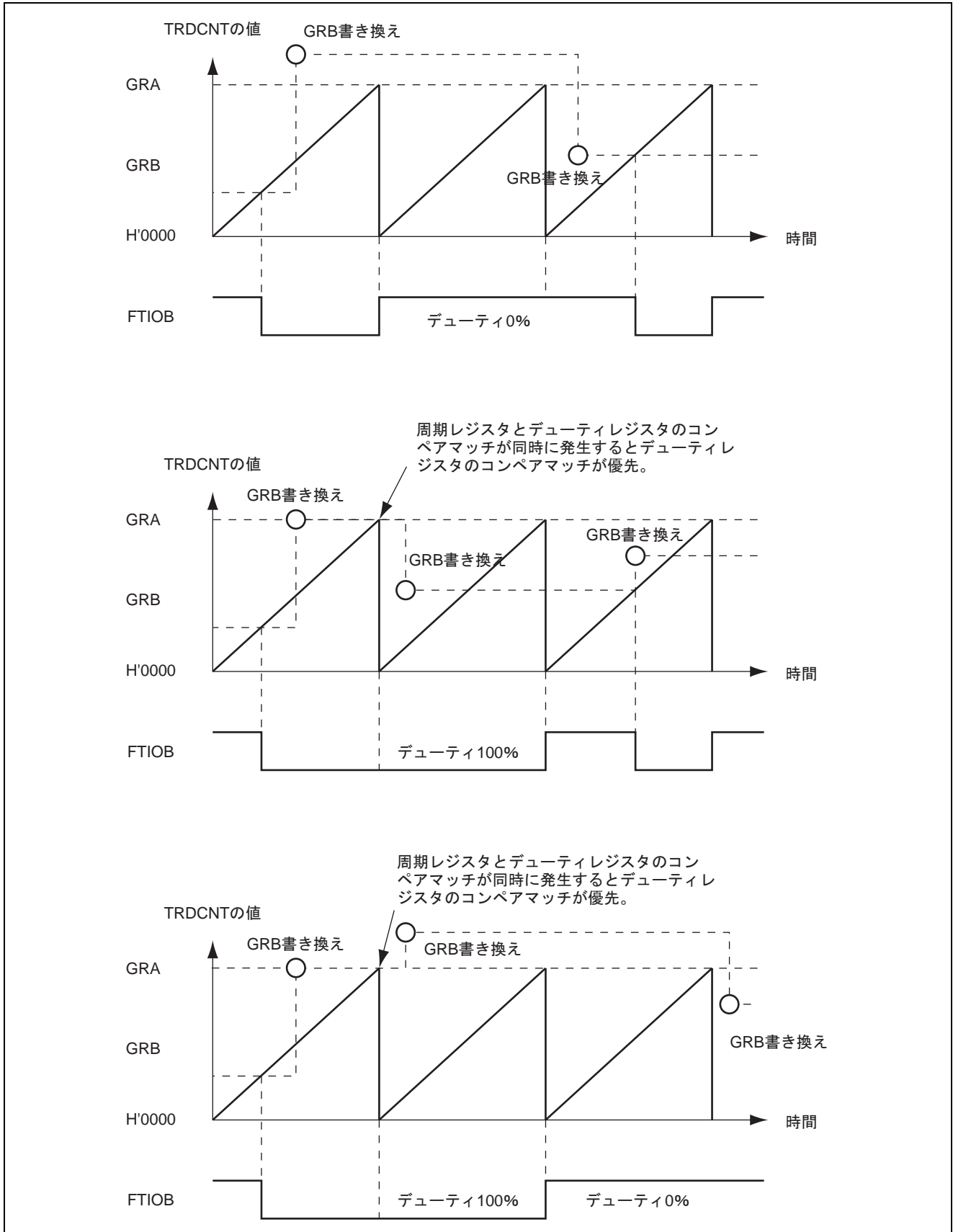


図 16.24 PWM モードの動作例 (3)

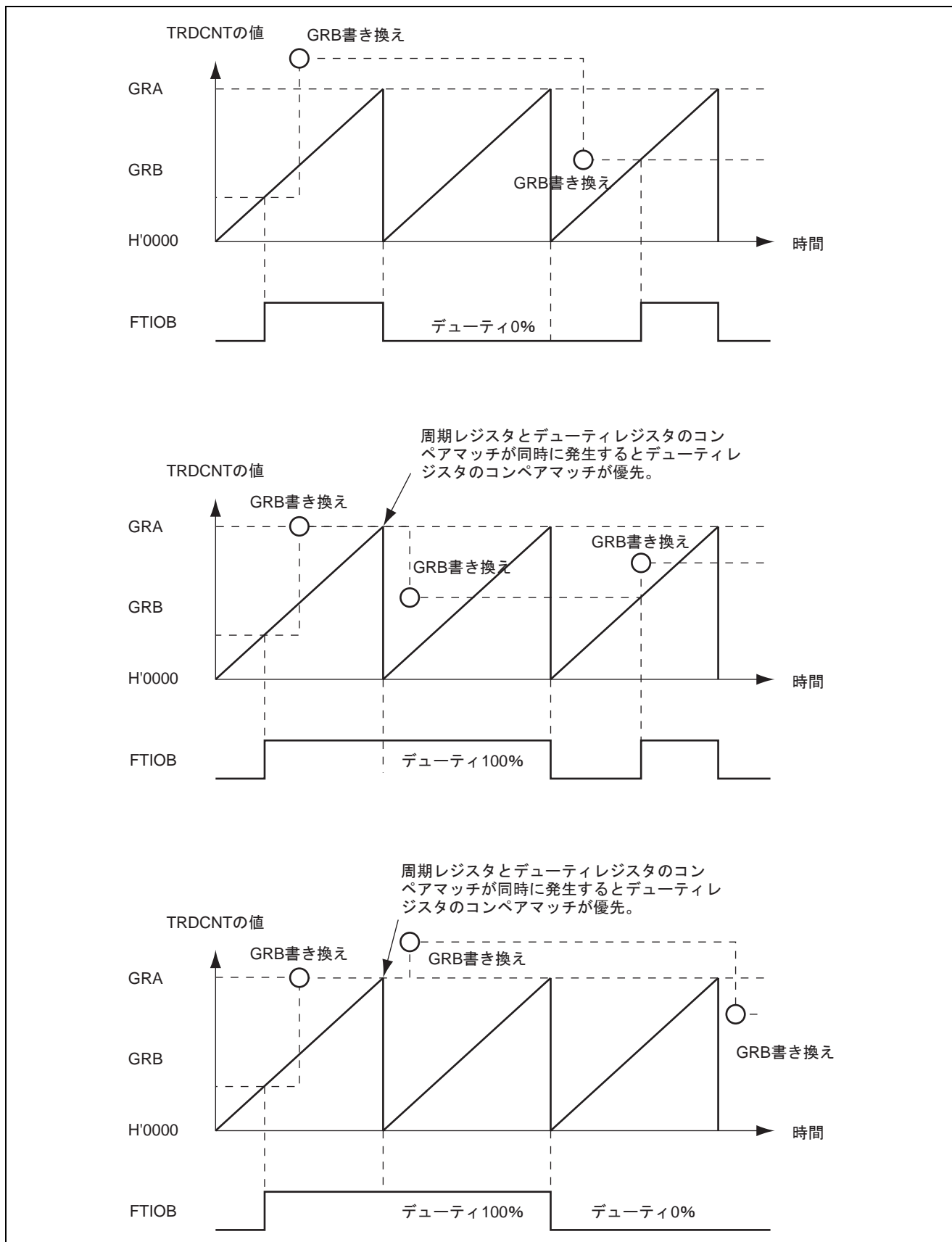


図 16.25 PWM モードの動作例 (4)

16.3.6 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネルを組み合わせることにより、一方の波形の変化点が共通の関係となる PWM 波形（正相と逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、FTIOB0～FTIOD0 および FTIOA1～FTIOD1 の端子は自動的に PWM 出力端子となり、TRDCNT_0 はアップカウンタとして機能します。使用される PWM 出力端子を表 16.5、使用するレジスタの設定を表 16.6、リセット同期 PWM モードの設定手順例を図 16.26 に示します。

表 16.5 リセット同期 PWM モード時の出力端子

チャンネル	端子名	入出力	端子機能
0	FTIOC0	出力	PWM 周期に同期したトグル出力
0	FTIOB0	出力	PWM 出力 1
0	FTIOD0	出力	PWM 出力 1 (PWM 出力 1 の逆相波形)
1	FTIOA1	出力	PWM 出力 2
1	FTIOC1	出力	PWM 出力 2 (PWM 出力 2 の逆相波形)
1	FTIOB1	出力	PWM 出力 3
1	FTIOD1	出力	PWM 出力 3 (PWM 出力 3 の逆相波形)

表 16.6 リセット同期 PWM モード時のレジスタ設定

レジスタ	詳細内容
TRDCNT_0	H'0000 を初期設定
TRDCNT_1	使用しません (独立に動作)
GRA_0	TRDCNT_0 のカウンタ周期を設定
GRB_0	FTIOB0、FTIOD0 端子より出力される PWM 波形の変化点を設定
GRA_1	FTIOA1、FTIOC1 端子より出力される PWM 波形の変化点を設定
GRB_1	FTIOB1、FTIOD1 端子より出力される PWM 波形の変化点を設定

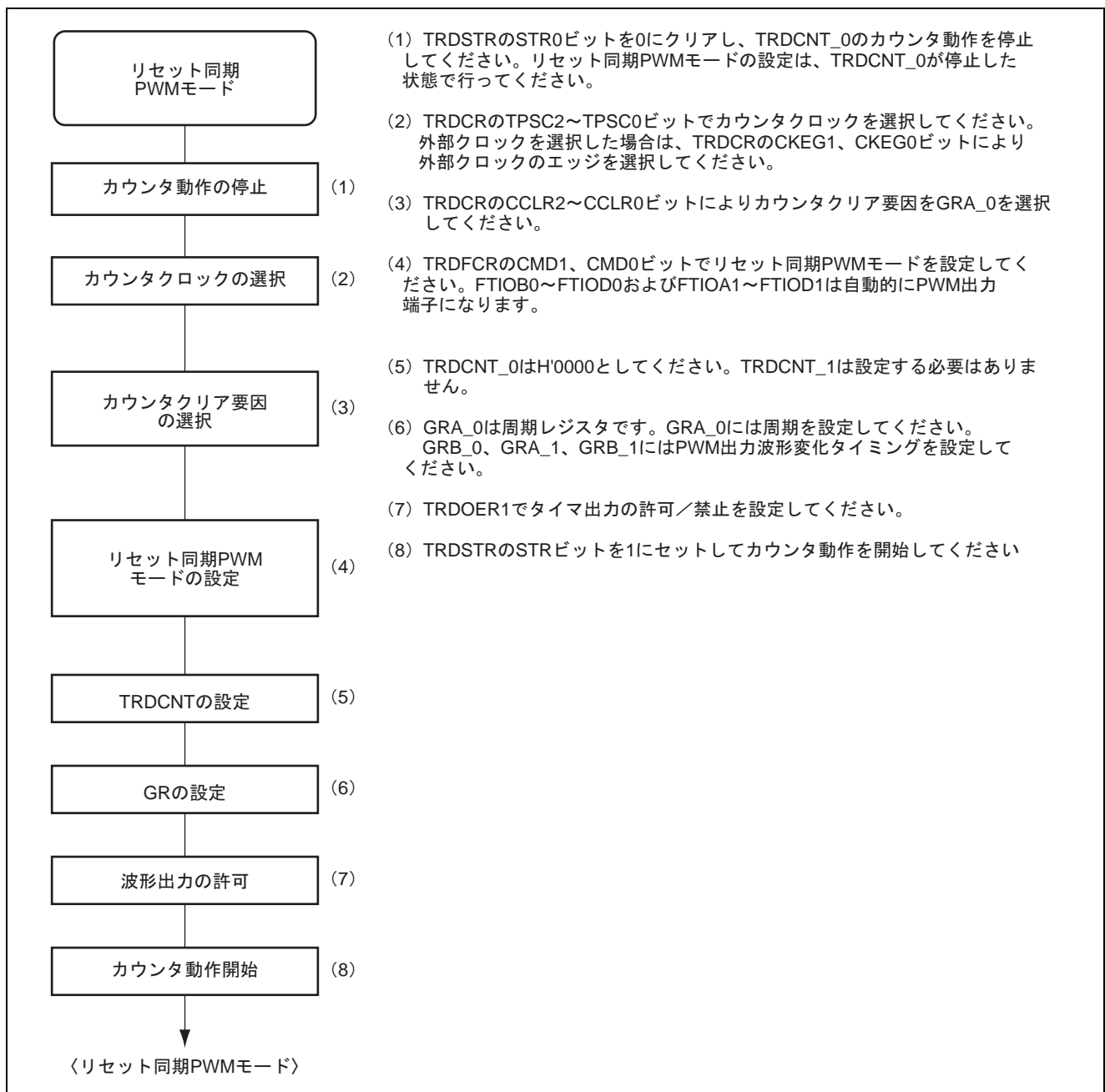


図 16.26 リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの動作例を図 16.27、図 16.28 に示します。

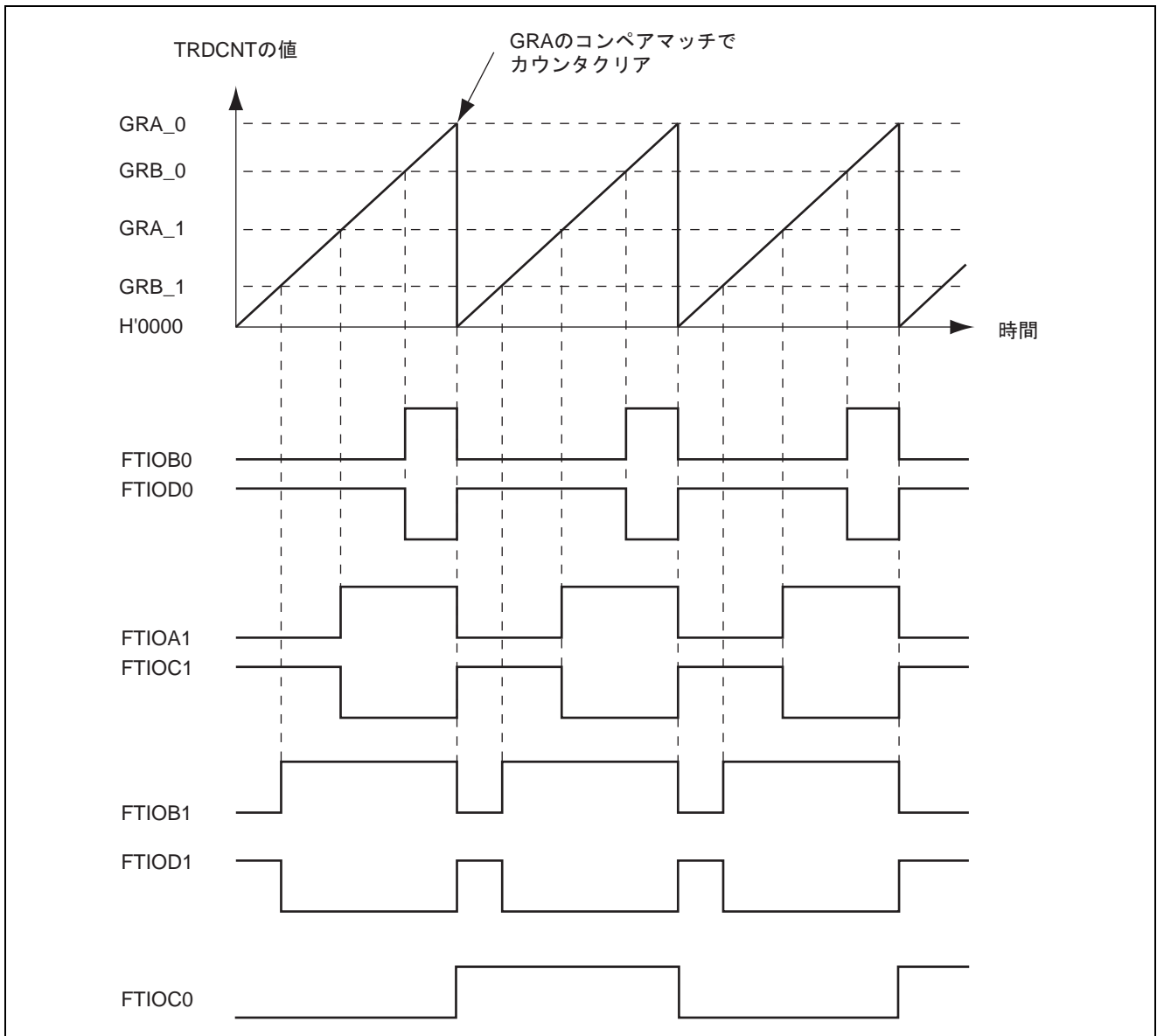


図 16.27 リセット同期 PWM モードの動作例 (OLS0=OLS1=1 の場合)

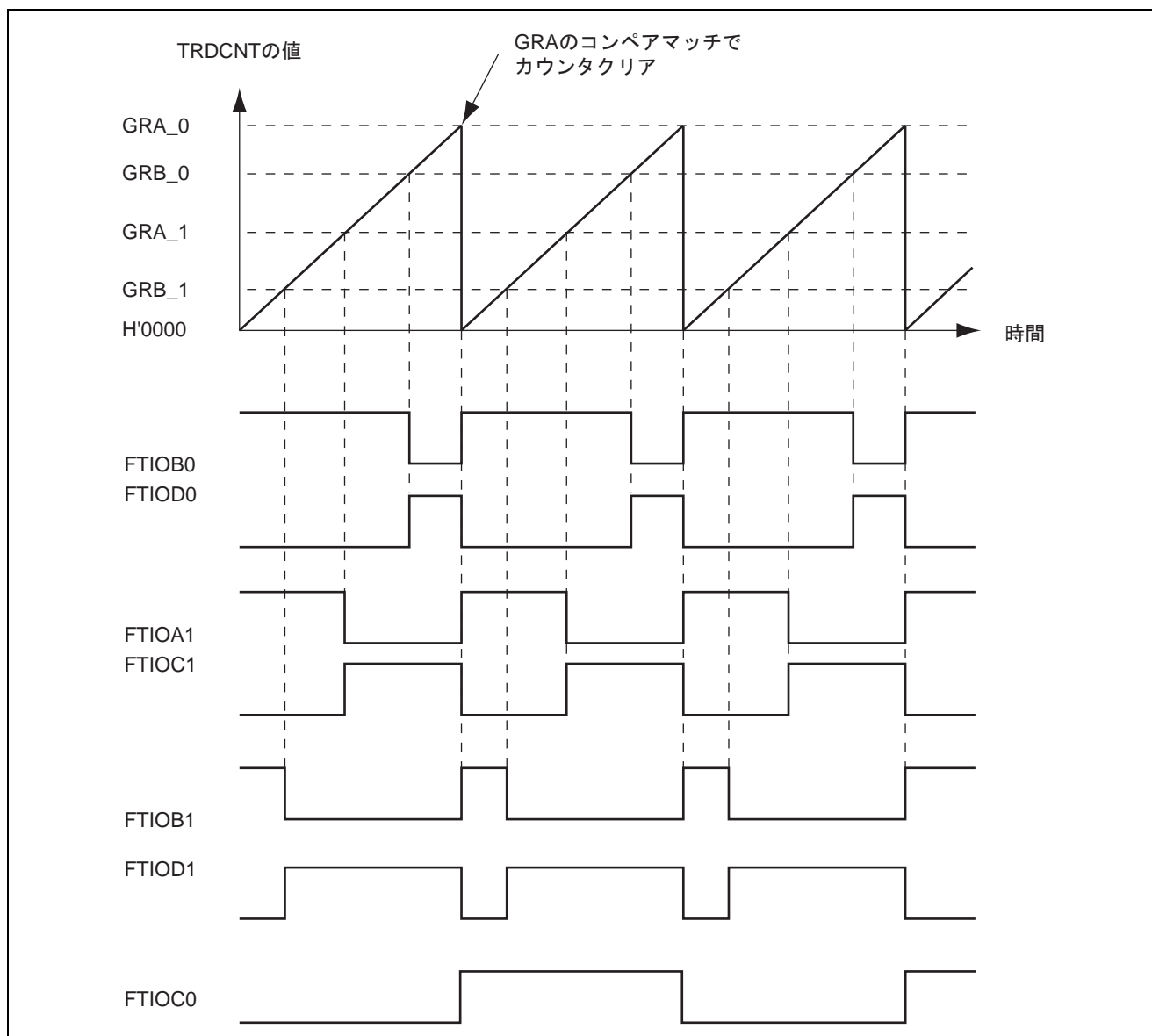


図 16.28 リセット同期 PWM モードの動作例 (OLS0=OLS1=0 の場合)

リセット同期 PWM モードでは、TRDCNT_0 はアップカウンタ動作、TRDCNT_1 は独立動作します。ただし、GRA_1、GRB_1 は TRDCNT_1 から切り離されます。TRDCNT_0 が GRA_0 とコンペアマッチするとカウンタクリアされ、H'0000 からカウントアップを再開します。

PWM 出力端子は、それぞれ GRB_0、GRA_1、GRB_1 と TRDCNT_0 のコンペアマッチおよびカウンタクリアが発生するたびに 0 出力もしくは 1 出力を行います。

リセット同期 PWM モードとバッファ動作を同時に設定した場合の動作については「16.3.9 バッファ動作」を参照してください。

16.3.7 相補 PWM モード

相補 PWM モードでは、チャンネルを組み合わせることにより、正相と逆相がノンオーバーラップの関係に PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、FTIOB0～FTIOD0 および FTIOA1～FTIOD1 端子は、自動的に PWM 出力端子となり、TRDCNT_0、TRDCNT_1 はアップ/ダウンカウンタとして機能します。相補 PWM モード時の出力端子を表 16.7、相補 PWM モード時のレジスタ設定を表 16.8、相補 PWM モードの設定手順例を図 16.29 に示します。

表 16.7 相補 PWM モード時の出力端子

チャンネル	端子名	入出力	端子機能
0	FTIOC0	出力	PWM 周期に同期したトグル出力
0	FTIOB0	出力	PWM 出力 1
0	FTIOD0	出力	PWM 出力 1 (PWM 出力 1 とノンオーバーラップ関係にある逆相波形)
1	FTIOA1	出力	PWM 出力 2
1	FTIOC1	出力	PWM 出力 2 (PWM 出力 2 とノンオーバーラップ関係にある逆相波形)
1	FTIOB1	出力	PWM 出力 3
1	FTIOD1	出力	PWM 出力 3 (PWM 出力 3 とノンオーバーラップ関係にある逆相波形)

表 16.8 相補 PWM モード時のレジスタ設定

レジスタ	詳細内容
TRDCNT_0	ノンオーバーラップ期間を初期設定 (TRDCNT_1 との差がノンオーバーラップ期間となります)
TRDCNT_1	H'0000 を初期設定
GRA_0	TRDCNT_0 の上限値-1 を設定
GRB_0	FTIOB0、FTIOD0 端子より出力される PWM 波形の変化点を設定
GRA_1	FTIOA1、FTIOC1 端子より出力される PWM 波形の変化点を設定
GRB_1	FTIOB1、FTIOD1 端子より出力される PWM 波形の変化点を設定

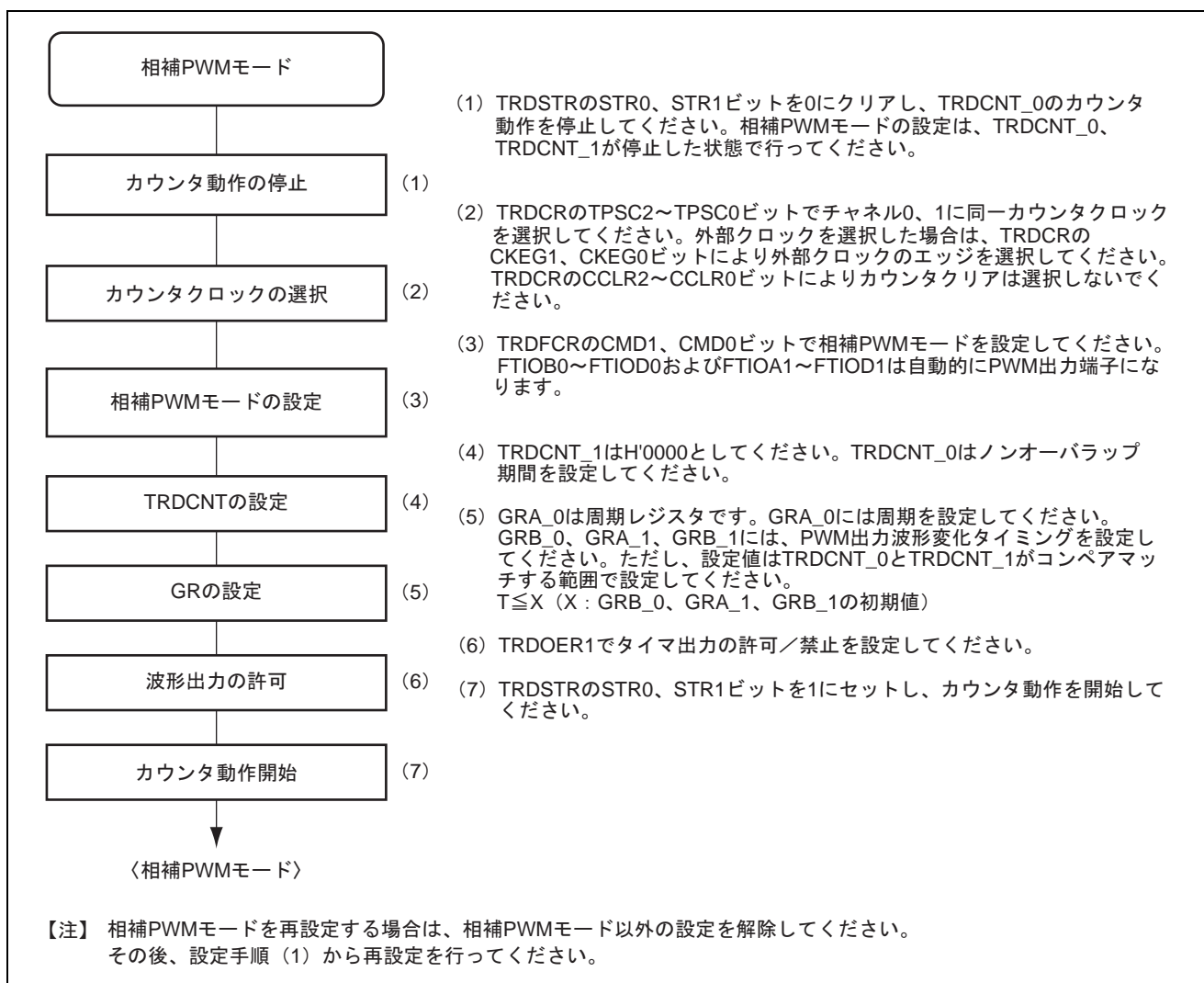


図 16.29 相補 PWM モードの設定手順例

(1) 相補 PWM モードの解除手順

相補 PWM モードの解除手順を図 16.30 に示します。

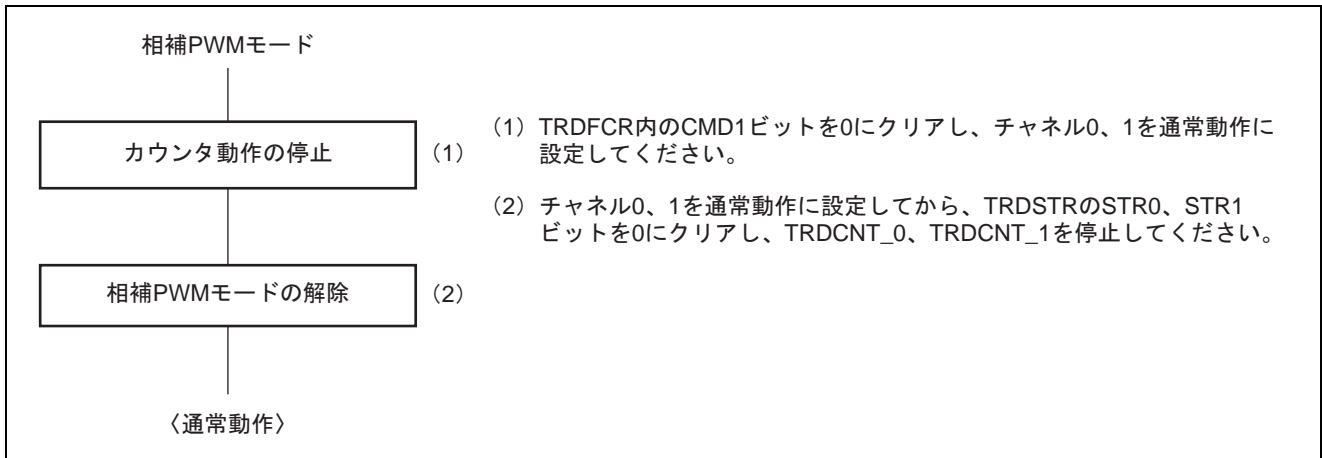


図 16.30 相補 PWM モードの解除手順

(2) 相補 PWM モードの動作例

相補 PWM モードの動作例を図 16.31 に示します。相補 PWM モードでは、TRDCNT_0、TRDCNT_1 はアップ/ダウンカウンタとして動作します。TRDCNT_0 が GRA_0 とコンペアマッチするとダウンカウントし、TRDCNT_1 がアンダフローするとアップカウントします。GRA_0、GRA_1、GRB_1 はカウンタのアップ/ダウン 1 周期中、TRDCNT_0→TRDCNT_1→TRDCNT_1→TRDCNT_0 の順にコンペアマッチを行って、PWM 波形を出力します。なお本モードでは、TRDCNT_0>TRDCNT_1 に初期設定します。

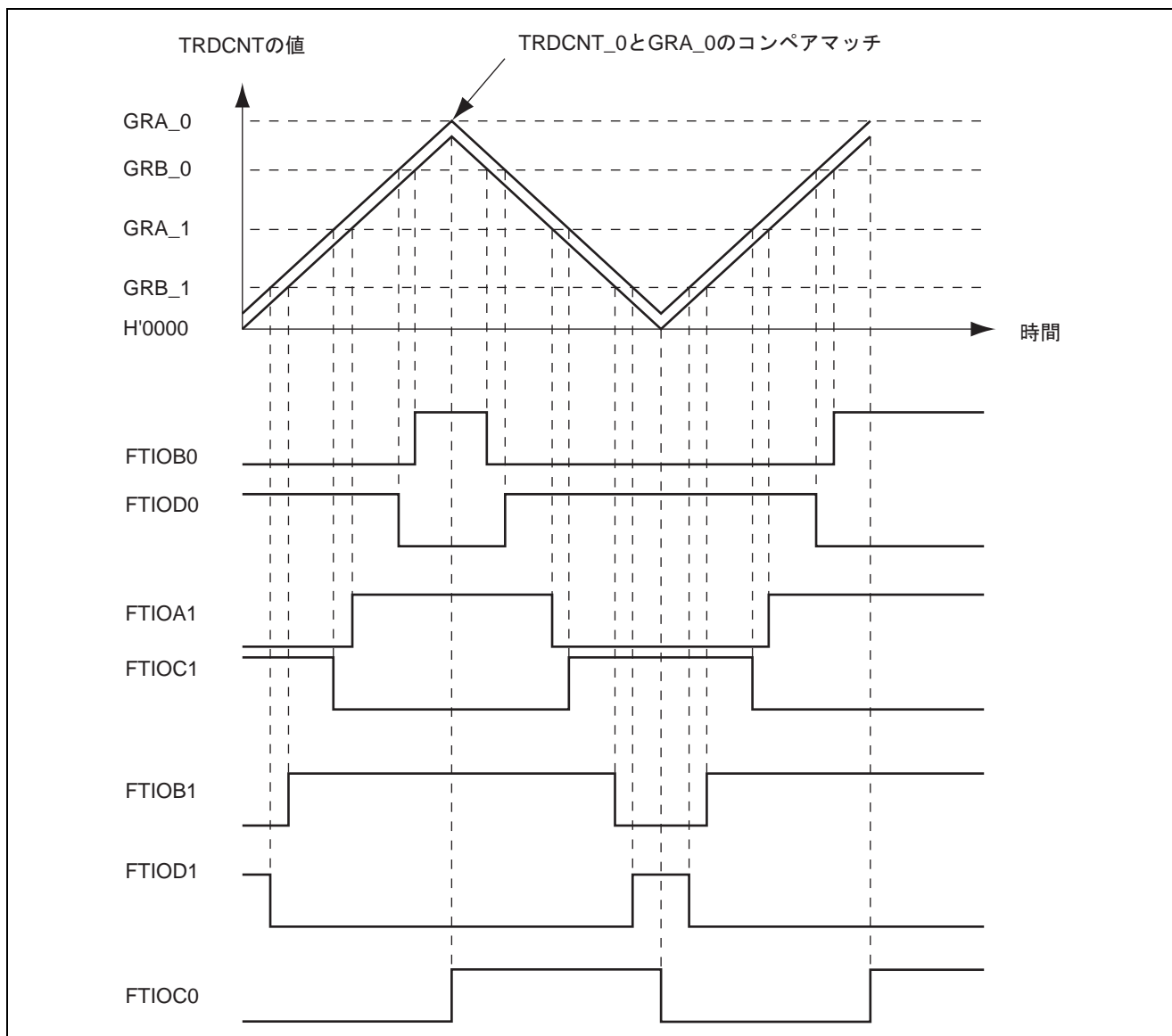


図 16.31 相補 PWM モードの動作例 (1)

相補 PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例（1 相分）を図 16.32 に示します。

この例の場合では、GRB_0 の値を GRA_0 以上および H'0000 にすることによって、デューティ 0%、デューティ 100% の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。バッファ動作については「16.3.9 バッファ動作」を参照してください。

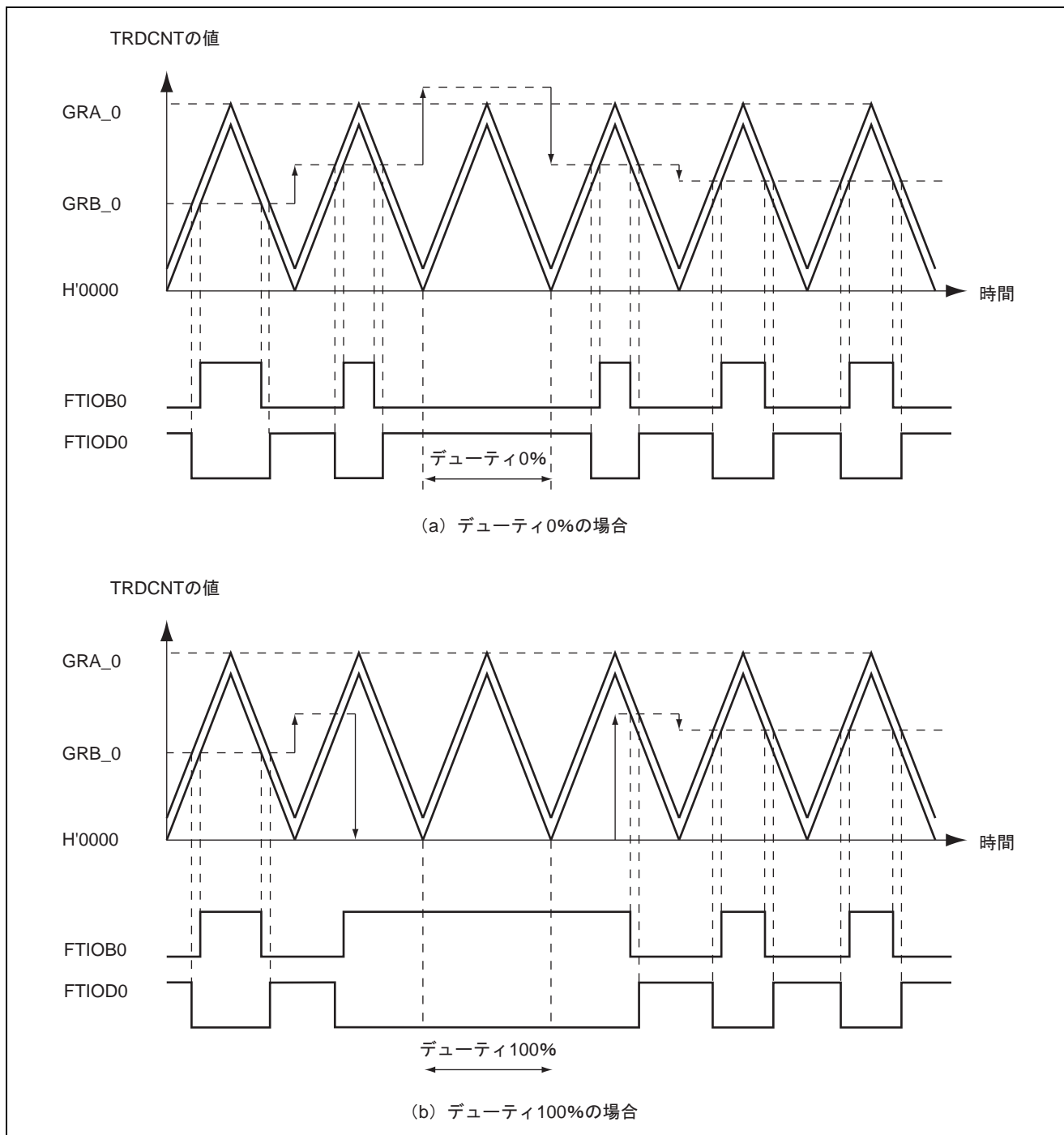


図 16.32 相補 PWM モードの動作例 (2)

相補 PWM モードを使用しているときのアップカウンタ/ダウンカウンタの変化点で、TRDCNT はそれぞれオーバシュート/アンダシュートを発生します。このときチャンネル 0 の IMFA フラグおよびチャンネル 1 の UDF フラグをセットする条件は、通常の場合とは異なります。またバッファ動作時での転送条件も異なります。このタイミングを図 16.33、図 16.34 に示します。

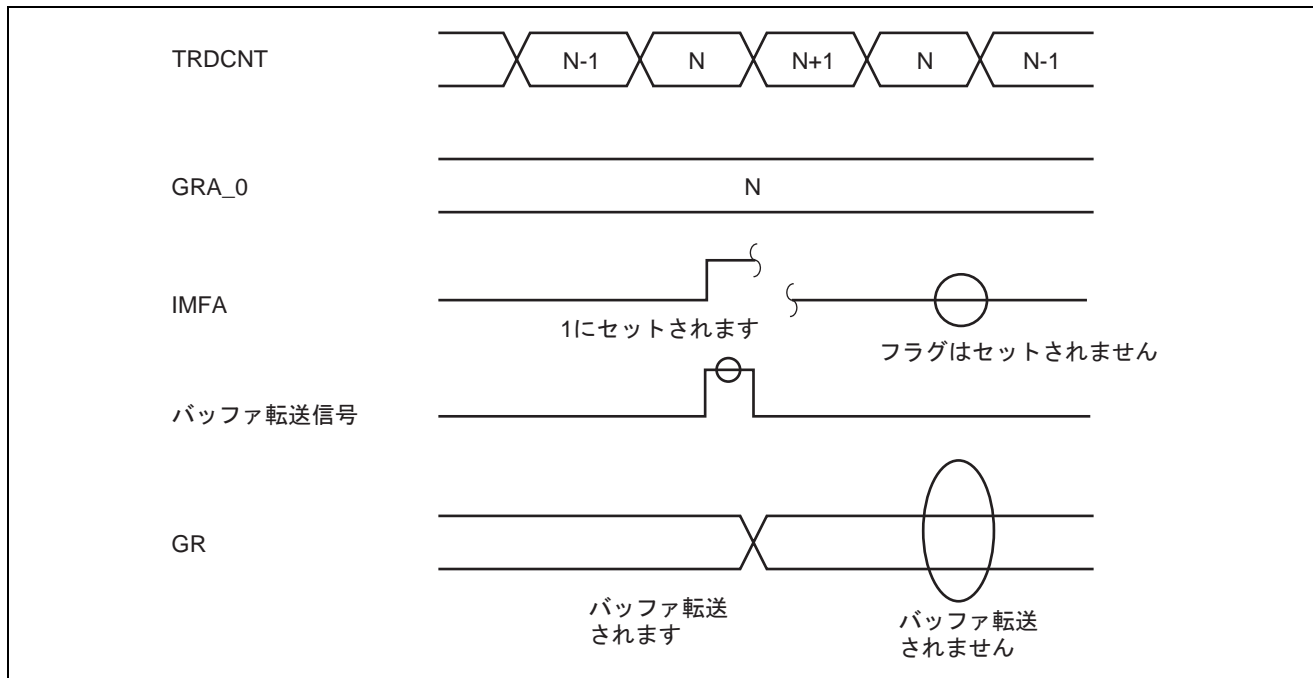


図 16.33 オーバシュート時のタイミング

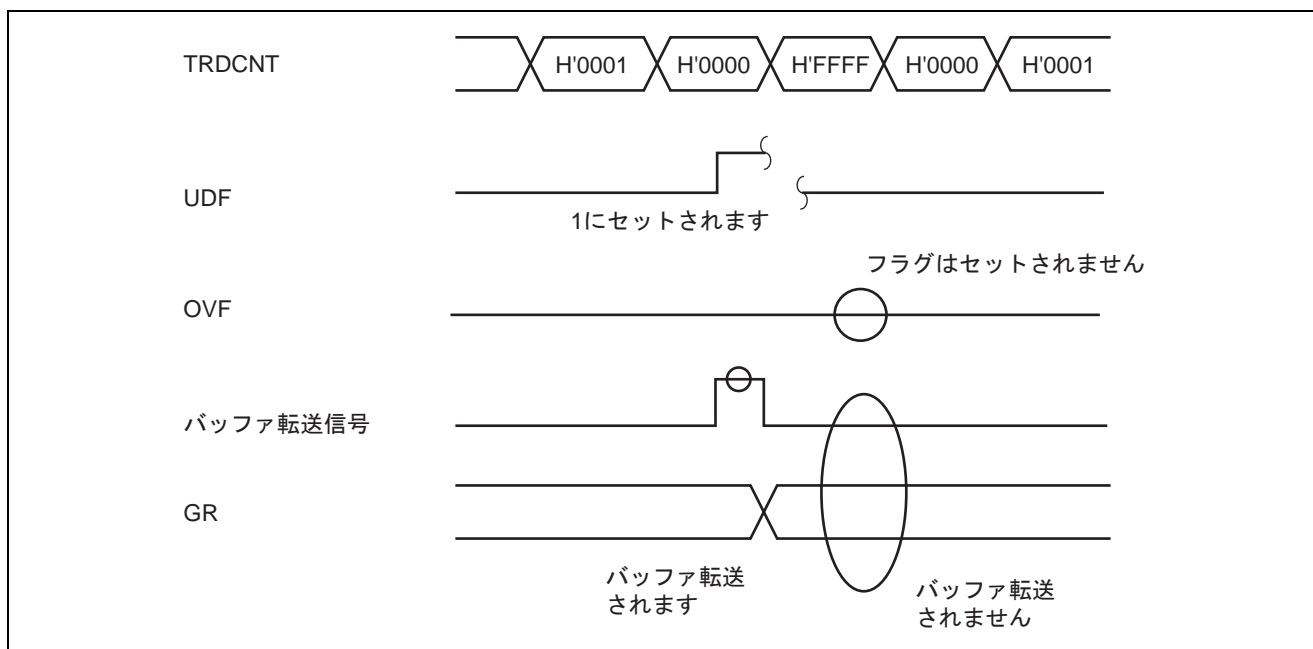


図 16.34 アンダシュート時のタイミング

チャンネル 0 の IMFA フラグはアップカウント/ダウンカウント時に、UDF フラグはアンダフロー時に、それぞれ 1 にセットされます。バッファ動作を設定された GR は、アップカウント動作時のコンペアマッチ A0 または TRDCNT_1 のアンダフローによって GR に転送されます。相補 PWM モードでは、OVF フラグは図 16.34 の H'FFFF から H'0000 のタイミングで 1 にセットされません。

(3) 相補 PWM モードでの GR 設定値

相補 PWM モードでのジェネラルレジスタ (GR) の設定および動作中の変更については、以下の点に注意してください。

1. 初期値

- $H'0000 \sim T-1$ (T : TRDCNT_0の初期値) の設定は禁止です。
- $GRA_0 - (T-1)$ 以上の設定は禁止です。
- バッファ動作を使用する場合、バッファレジスタには対応するジェネラルレジスタと同じ値を設定してください。

2. 設定値の変更方法

- バッファ動作を使用してください。直接GRにライトすると正しく波形されない場合があります。
- 動作中に周期レジスタGRA_0を変更しないでください。

16.3.8 PWM3 モード

PWM3 モードでは、TRDCNT_0により、正相と逆相がノンオーバーラップの関係にある PWM 波形を 1 相出力します。

PWM3 モードに設定すると TRDPMR の設定に関係なく、FTIOA0 端子と FTIOB0 端子は自動的に TRDCNT_0 を使用した PWM 出力端子となります。また TRDIORA、TRDIORC の設定に関係なく、TRDOCR の TOA0、TOB0 の設定により、GRA_0、GRA_1、GRB_0、GRB_1 はコンペアマッチで波形出力を行います。

- $TOA0=0$ のとき、GRA_1 のコンペアマッチで FTIOA0 端子へ 1 出力、GRA_0 のコンペアマッチで FTIOA0 端子へ 0 出力となります。
- $TOA0=1$ のとき、GRA_1 のコンペアマッチで FTIOA0 端子へ 0 出力、GRA_0 のコンペアマッチで FTIOA0 端子へ 1 出力となります。
- $TOB0=0$ のとき、GRB_1 のコンペアマッチで FTIOB0 端子へ 1 出力、GRB_0 のコンペアマッチで FTIOB0 端子へ 0 出力となります。
- $TOB0=1$ のとき、GRB_1 のコンペアマッチで FTIOB0 端子へ 0 出力、GRB_0 のコンペアマッチで FTIOB0 端子へ 1 出力となります。

PWM3 モードのときの端子機能と GR の組み合わせを表 16.9、PWM3 モードのときのブロック図を図 16.35、PWM3 モードの設定手順例を図 16.36 に示します。

バッファ動作を使用する場合は TRDMDR の設定を行ってください。また PWM3 モードで使用しないタイム入出力端子は汎用ポートとしてのみ使用できます。バッファ動作を設定しない場合、GRC、GRD は使用しないため、GRC および GRD と TRDCNT_1 とのコンペアマッチ割り込みを発生させることは可能です。

表 16.9 PWM3 モードの端子機能と GR の組み合わせ

チャンネル	端子名	入出力	コンペアマッチレジスタ	バッファレジスタ	
0	FTIOA0	出力	GRA_0	GRC_0	
			GRA_1	GRC_1	
	FTIOB0		GRB_0	GRD_0	
			GRB_1	GRD_1	
FTIOC0	入力/出力	汎用ポート機能			
					FTIOD0
1					FTIOA1
					FTIOB1
	FTIOC1				
	FTIOD1				

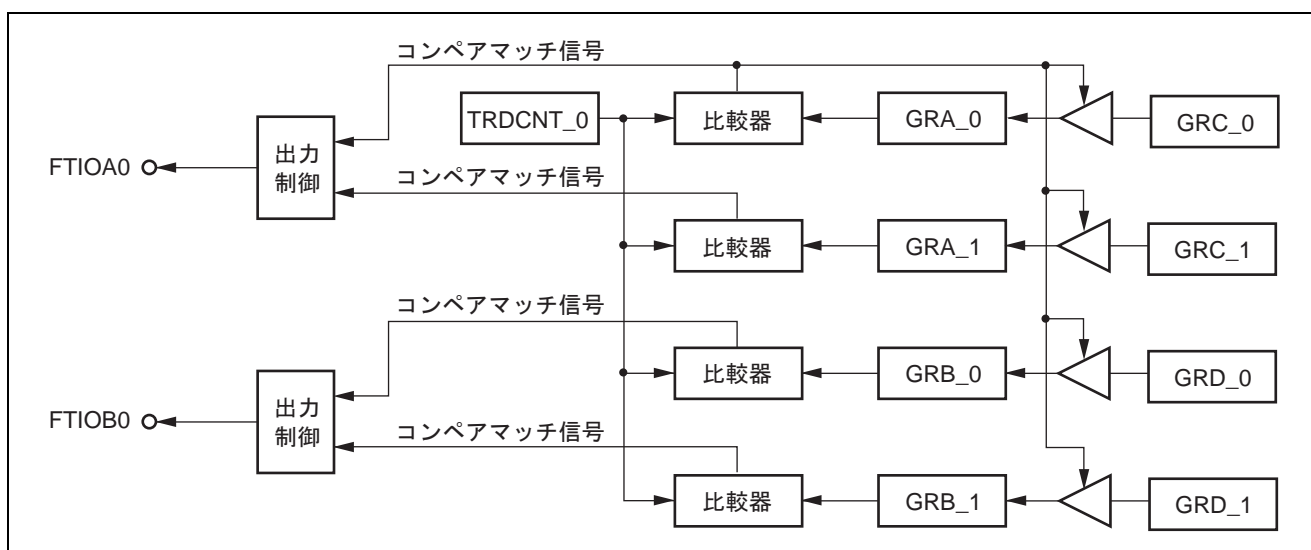


図 16.35 PWM3 モードブロック図

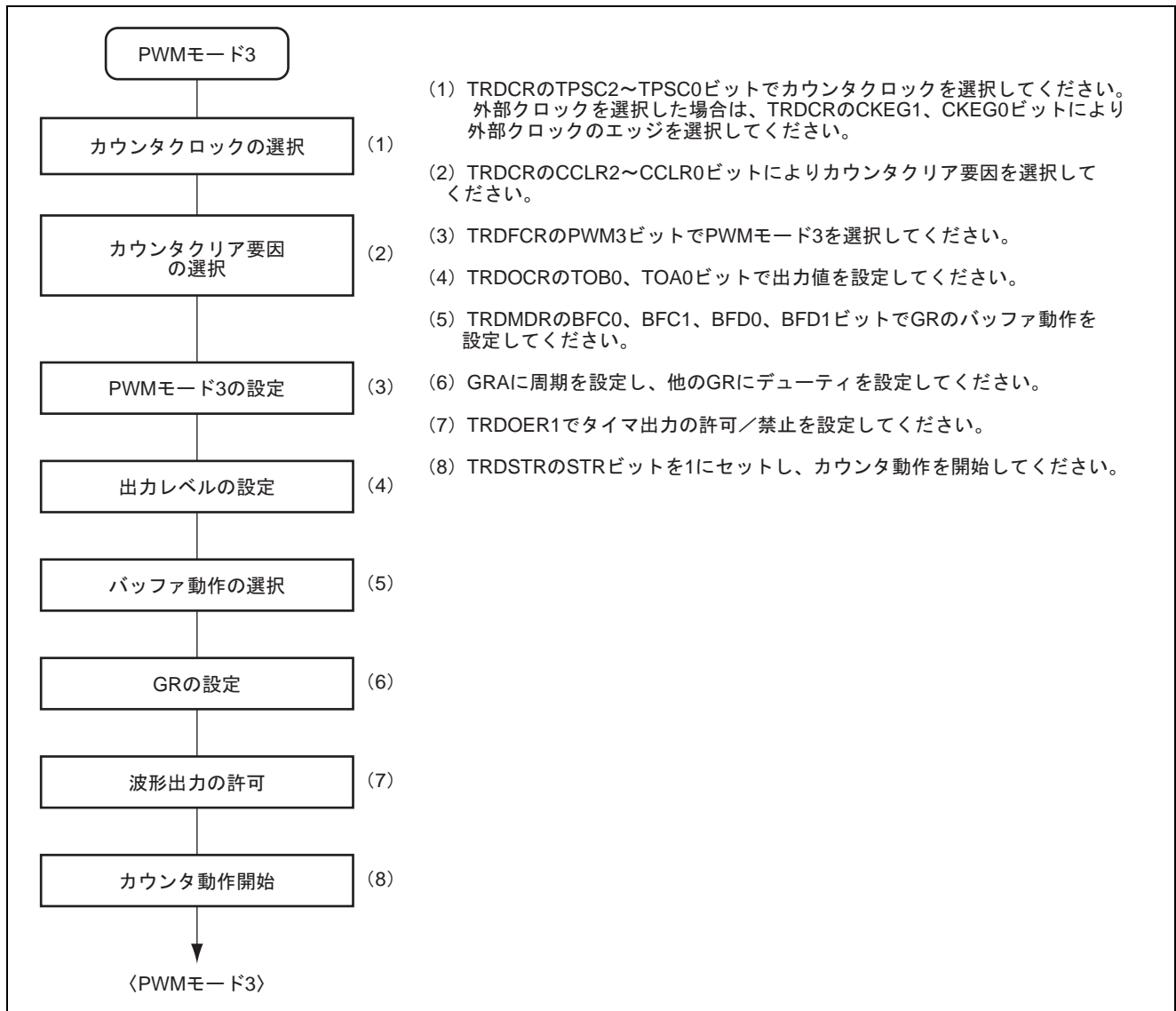


図 16.36 PWM3 モードの設定手順例

TRDCNT_0 を周期カウント動作（コンペアマッチ A0 でカウンタクリア：TRDCR_0 の CCLR2～CCLR0=B'001）に設定し、PWM3 モードを選択（TRDFCR の PWM3=0）を設定し、FTIOA0 端子、FTIOB0 端子から任意の周期のノンオーバーラップパルスを出力した動作例を図 16.37 に示します。

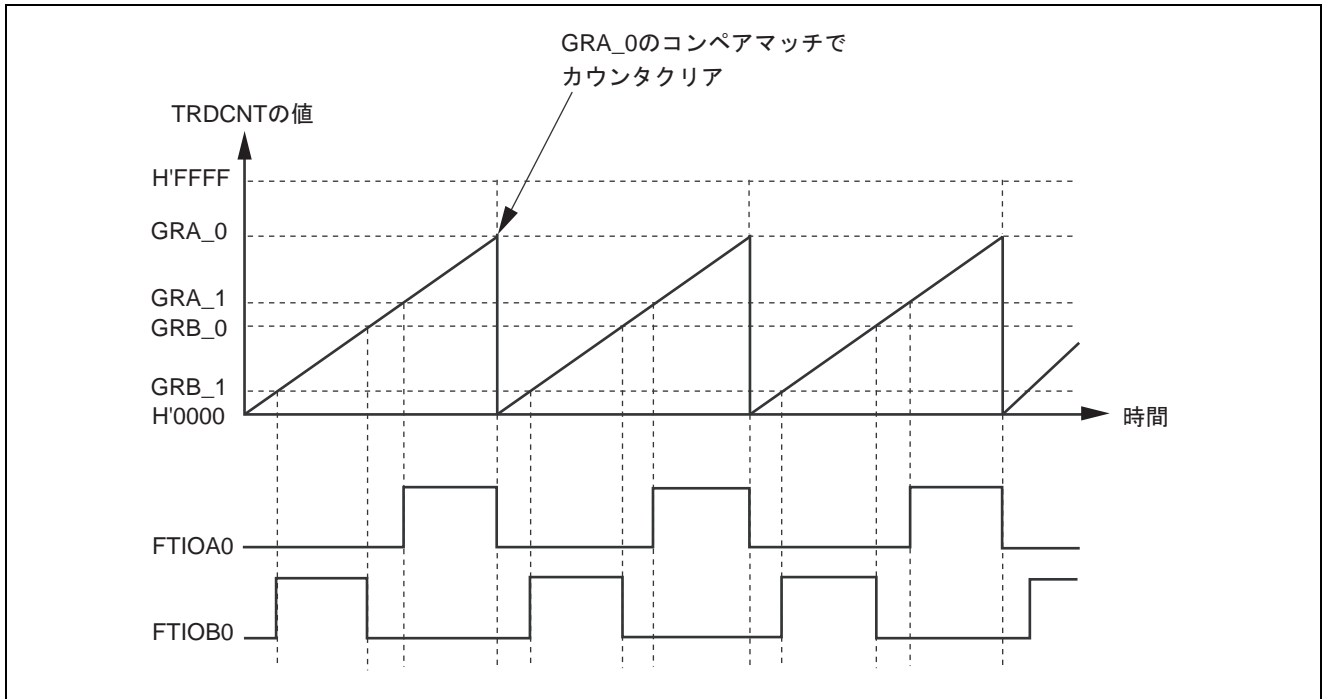


図 16.37 ノンオーバーラップパルス出力例

PWM3 モード時に、TRDCR の CCLR2~0 ビットに GRA_0 のコンペアマッチで TRDCNT_0 クリアを設定した場合のカウンタ停止動作例を図 16.38、図 16.39 に示します。PWM3 モードの詳細は「16.3.8 PWM3 モード」を参照してください。

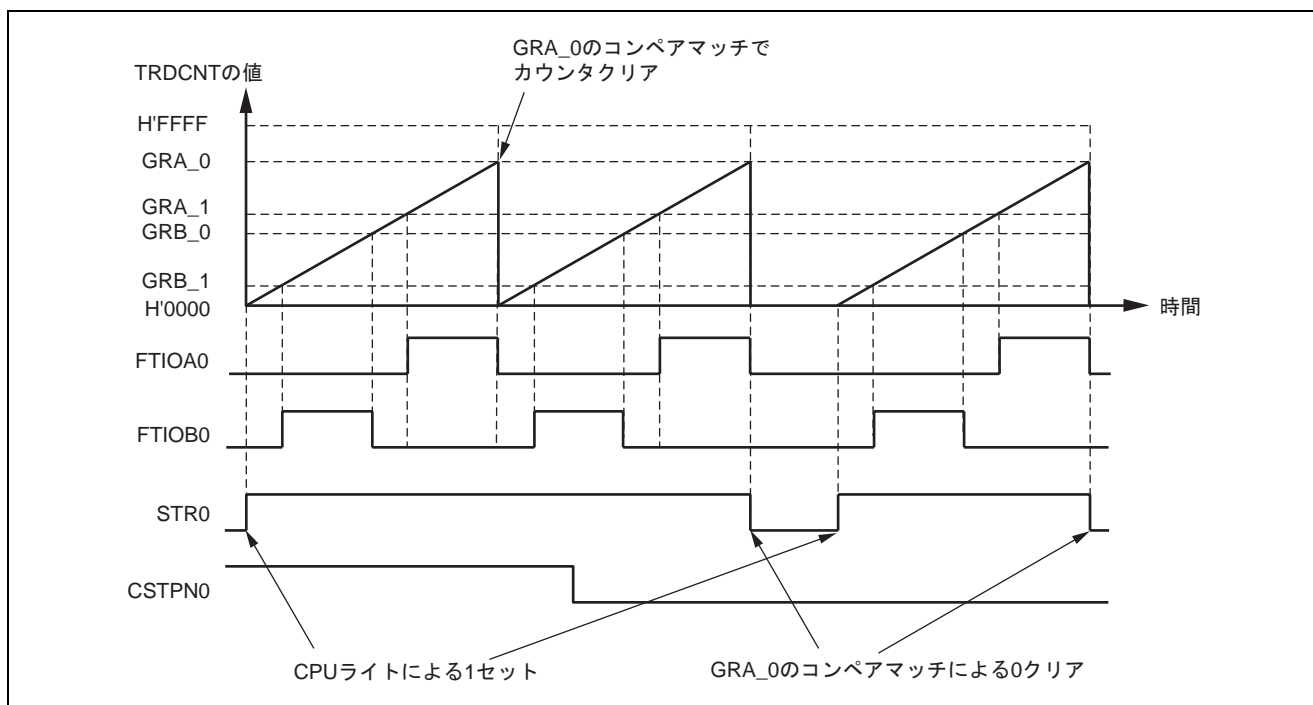


図 16.38 カウンタ停止動作例 (1) (PWM3 モード時)

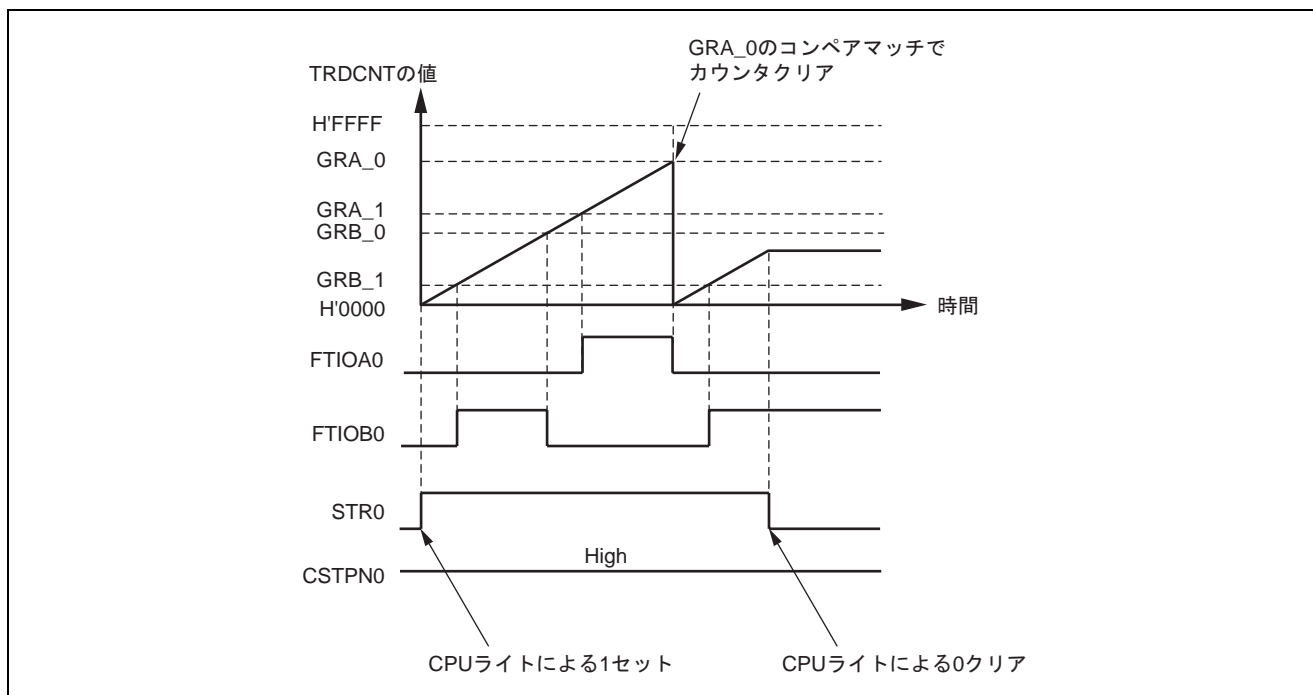


図 16.39 カウンタ停止動作例 (2) (PWM3 モード時)

図 16.40 は PWM3 モード時に TRDCNT_0 を GRA_0 のコンペアマッチでカウンタクリアおよびカウント停止に設定し (CCLR2~0=001、CSTPN0=0)、TRDCNT_1 をフリーランカウンタとして使用した場合のカウンタ開始・停止動作例です。STR0 ビットを 1 に設定して TRDCNT_0 のカウント開始後、STR1 ビットを 1 に設定して TRDCNT_1 のカウント開始を行う場合、STR0 ビットには 0、STR1 ビットには 1 を設定し、MOV 命令を使用してライトしてください。ビット操作命令を使用して STR1 ビットに 1 を設定すると、GRA_0 のコンペアマッチでカウンタ動作停止後、STR0 ビットに 1 がライトされ、再び TRDCNT_0 がカウントを開始する場合があります。

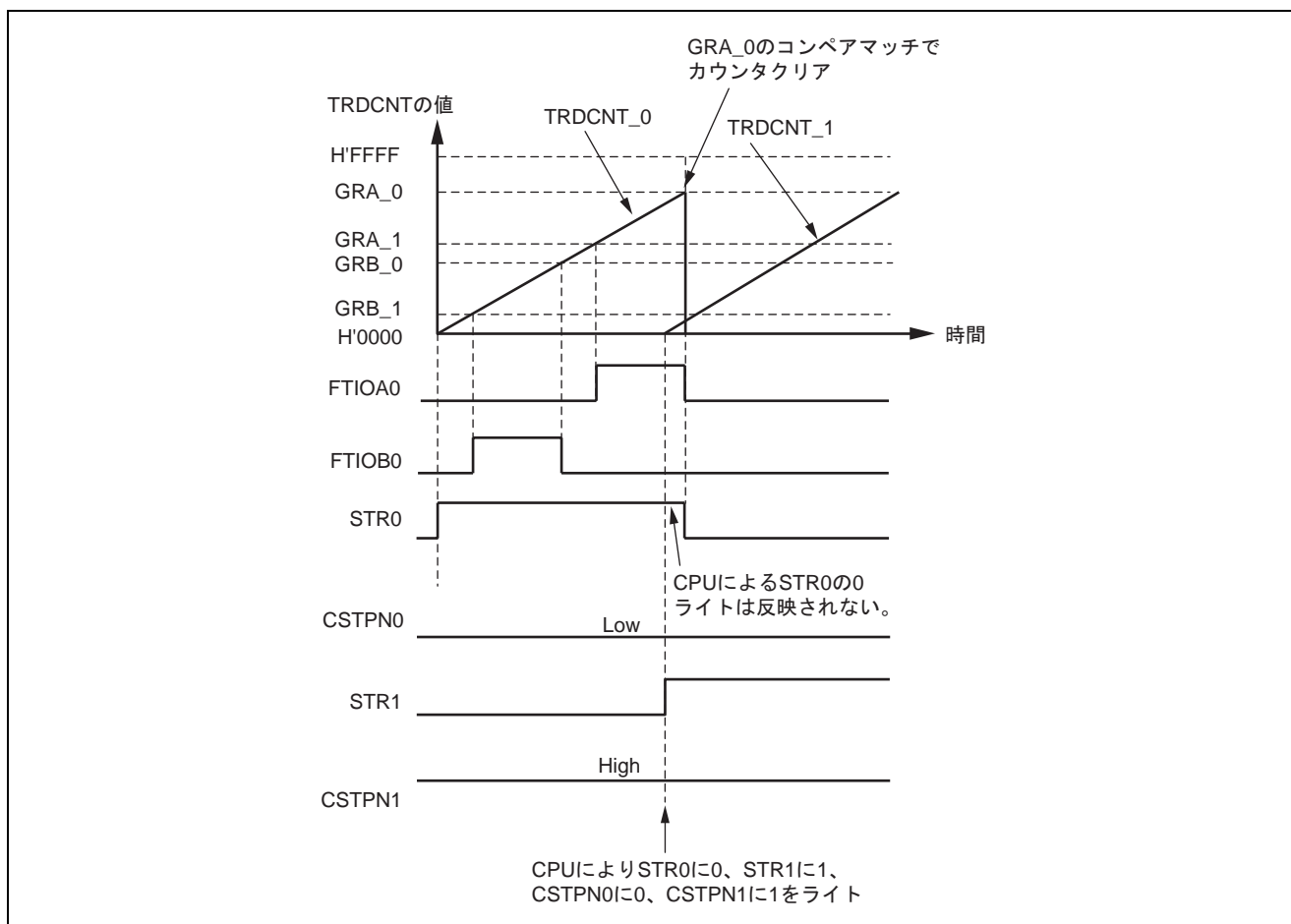


図 16.40 カウンタ開始・停止例 (PWM3 モード時)

16.3.9 バッファ動作

バッファ動作は、GR をアウトプットコンペアレジスタに設定した場合、GR をインプットキャプチャレジスタに設定した場合、リセット同期 PWM モード時、および相補 PWM モード時で機能が異なります。表 16.10 にバッファ動作のレジスタの組み合わせを示します。

表 16.10 バッファ動作のレジスタの組み合わせ

ジェネラルレジスタ (GR)	バッファレジスタ
GRA	GRC
GRB	GRD

(1) GR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値が GR に転送されます。この動作を図 16.41 に示します。

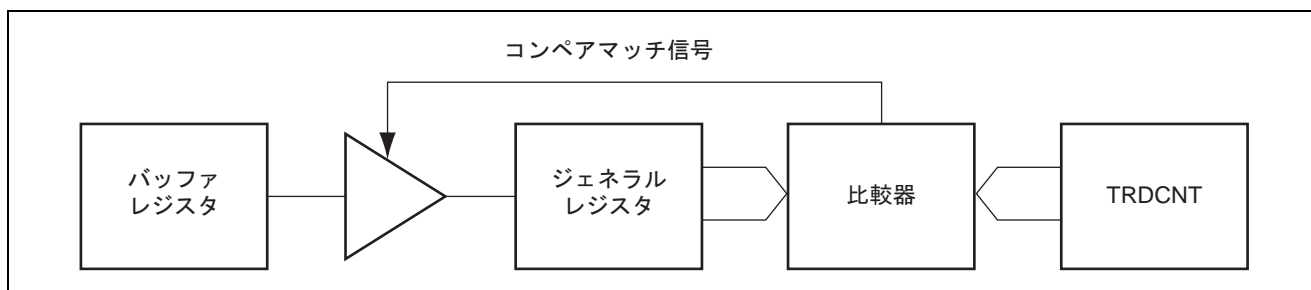


図 16.41 コンペアバッファ動作

(2) GR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TRDCNT の値を GR に転送すると同時に、それまで格納されていたジェネラルレジスタの値をバッファレジスタに転送します。この動作を図 16.42 に示します。

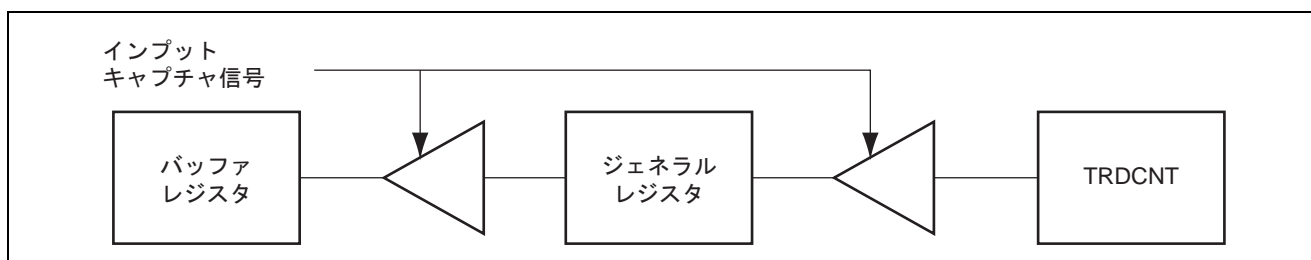


図 16.42 インプットキャプチャバッファ動作

(3) PWM3 モードの場合

コンペアマッチ A0 が発生したとき、バッファレジスタの値が GR に転送されます。

(4) 相補 PWM モードの場合

TRDCNT のカウンタ方向が変化するとバッファレジスタの値が GR に転送されます。このとき、バッファレジスタから GR への転送は、以下のタイミングで行われます。

- TRDCNT_0とGRA_0がコンペアマッチしたとき
- TRDCNT_1がアンダフローしたとき

(5) リセット同期 PWM モードの場合

コンペアマッチ A0 が発生したとき、バッファレジスタの値が、コンペアマッチ A0 から GR に転送されます。

(6) バッファ動作の設定手順例

バッファ動作の設定手順例を図 16.43 に示します。

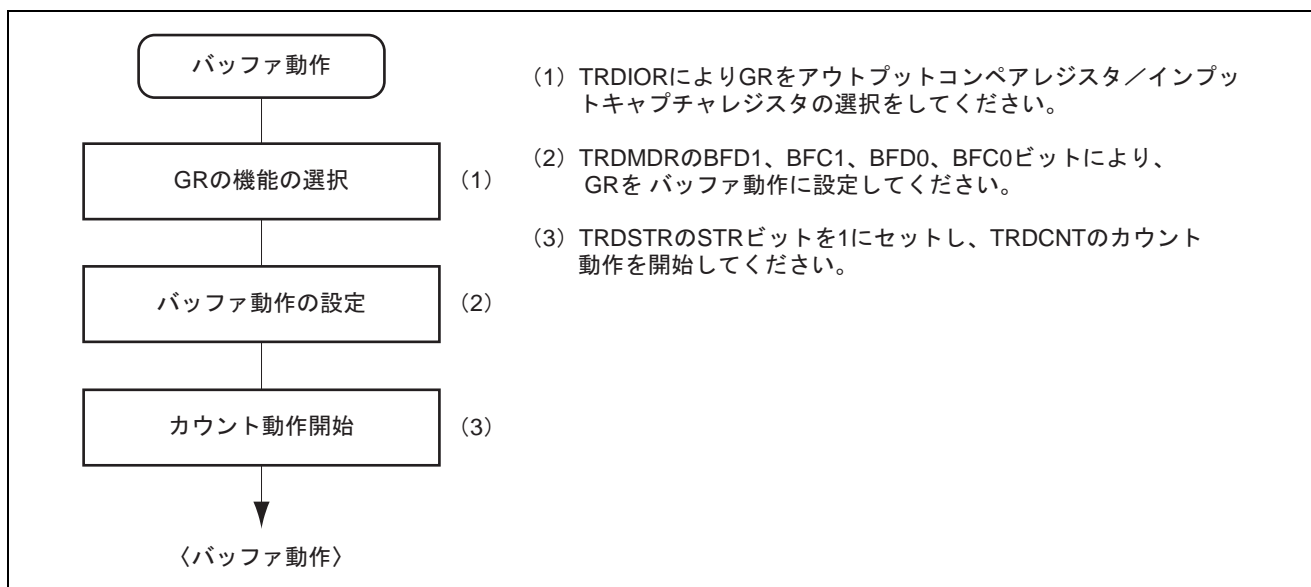


図 16.43 バッファ動作の設定手順例

(7) バッファ動作例

GRA をアウトプットコンペアレジスタに設定し、GRA と GRC をバッファ動作に設定したときの動作を、**図 16.44** に示します。これは、TRDCNT がコンペアマッチ B によりクリアされる周期カウント動作をしている場合の例です。また FTIOA、FTIOB 端子は、それぞれコンペアマッチ A、B によるトグル出力が設定されています。バッファ動作が設定されているため、コンペアマッチ A で FTIOA 端子がトグル出力を行うと同時に、バッファレジスタの値がジェネラルレジスタに転送されます。この動作をコンペアマッチ A が発生するたびに繰り返します。この転送タイミングを**図 16.45** に示します。

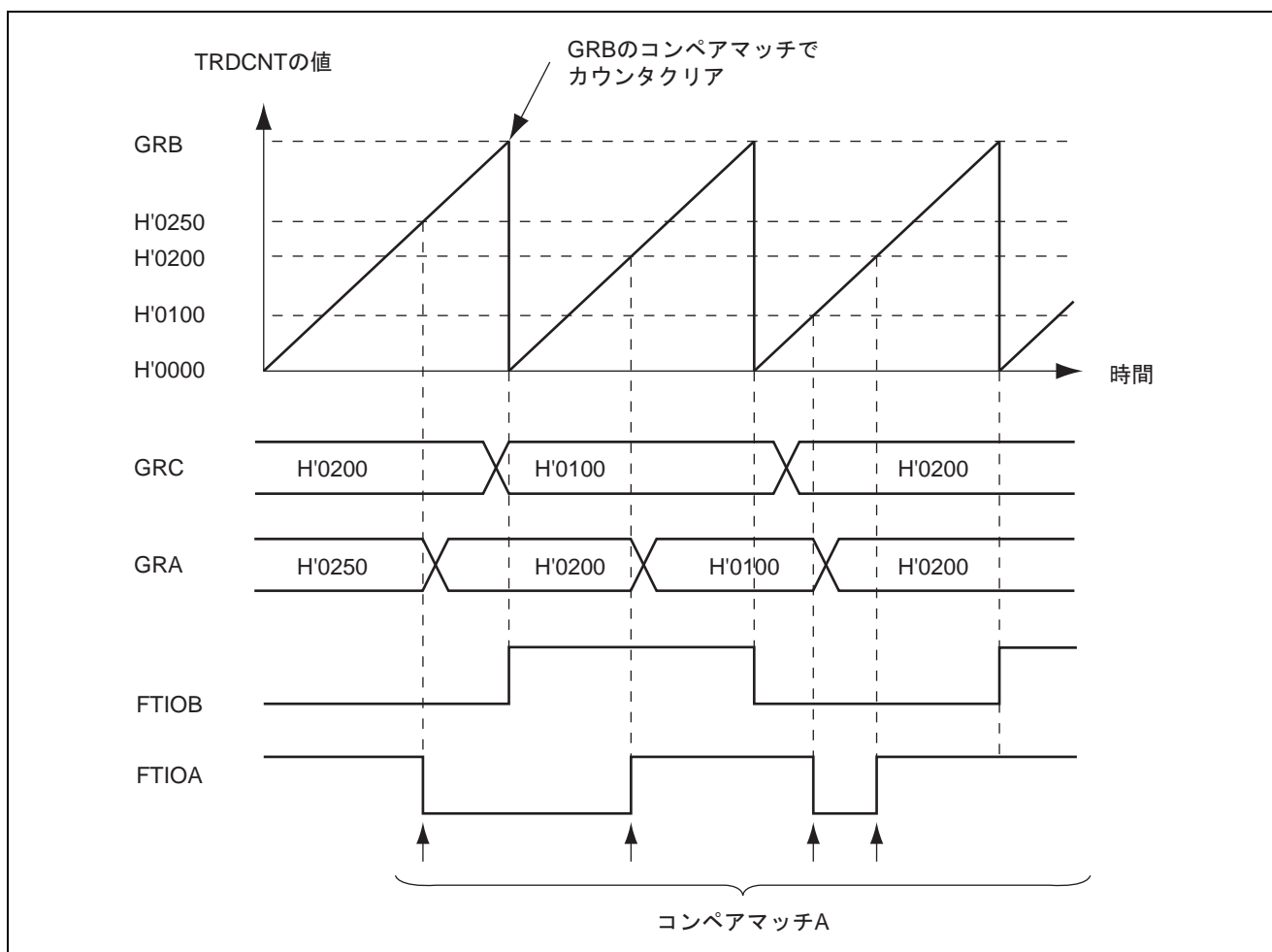


図 16.44 バッファ動作例 (1) (アウトプットコンペアレジスタに対するバッファ動作)

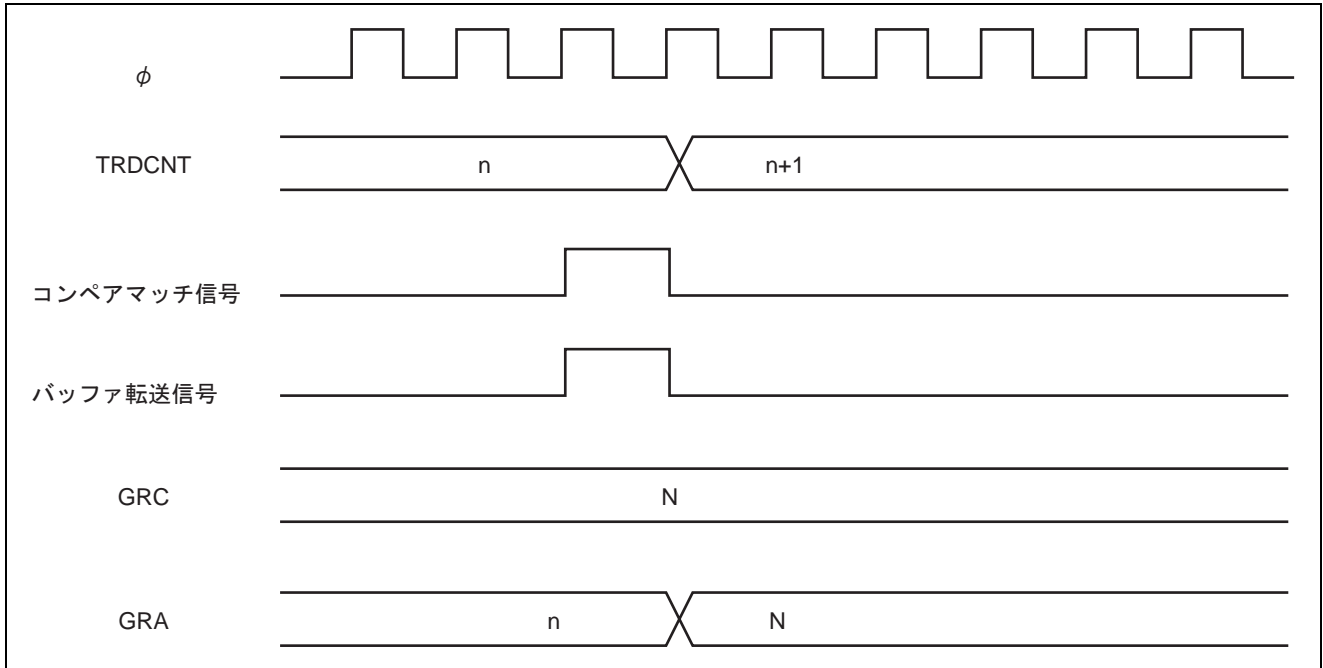


図 16.45 バッファ動作時のコンペアマッチタイミング例

GRA を入力キャプチャに設定し、GRA と GRC をバッファ動作に設定したときの動作を図 16.46 に示します。これは TRDCNT が入力キャプチャ B によりカウンタクリアされる場合の例です。FTIOB 端子の入力キャプチャ入力エッジは立ち下がりエッジが選択され、FTIOA 端子の入力キャプチャ入力エッジは立ち上がり／立ち下がり両エッジが選択されているとします。バッファ動作が設定されているため、入力キャプチャ A により TRDCNT の値が GRA に格納されると同時にそれまで格納されていた GRA の値が GRC に転送されます。この転送タイミングを図 16.47 に示します。

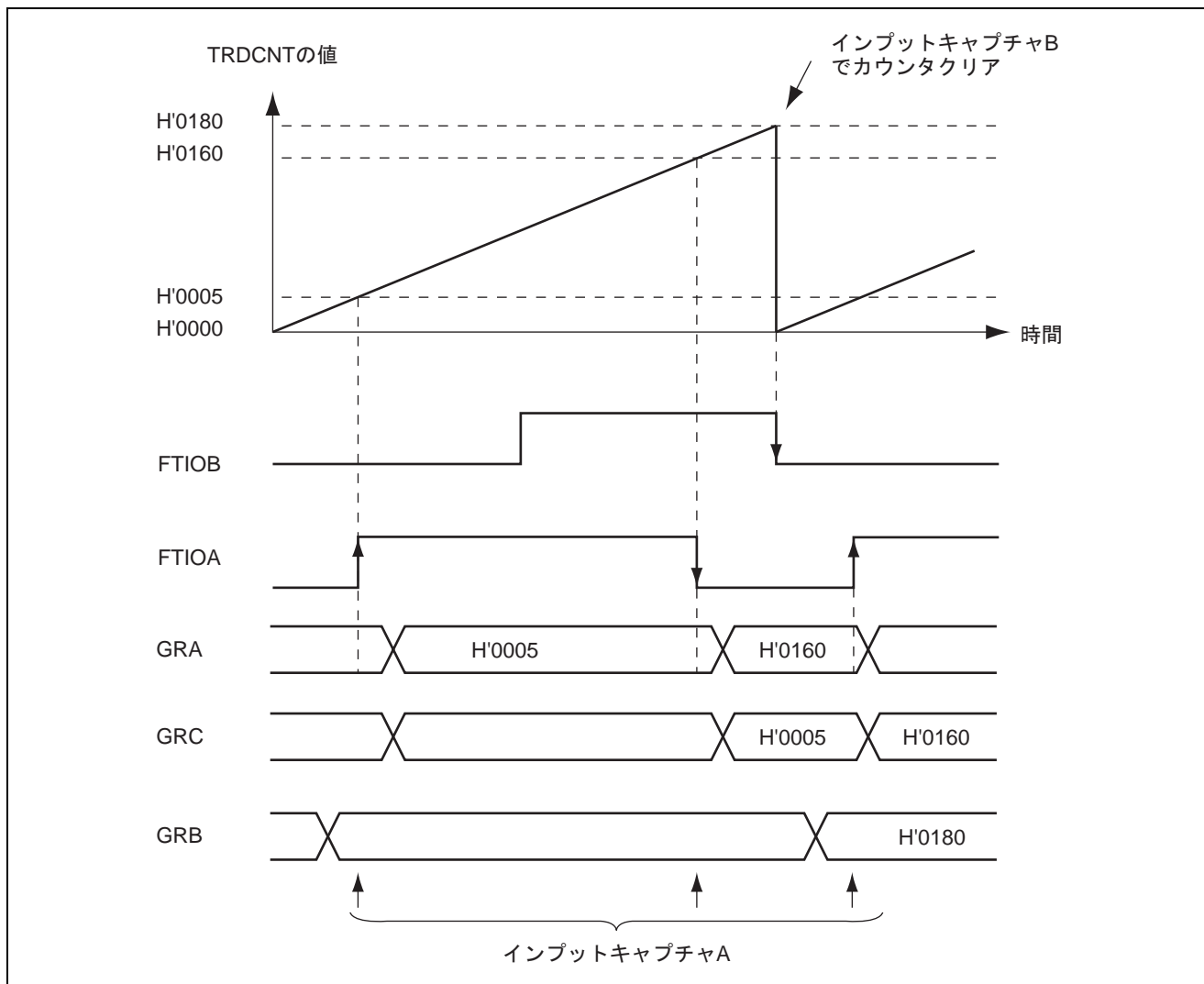


図 16.46 バッファ動作例 (2) (入力キャプチャレジスタに対するバッファ動作)

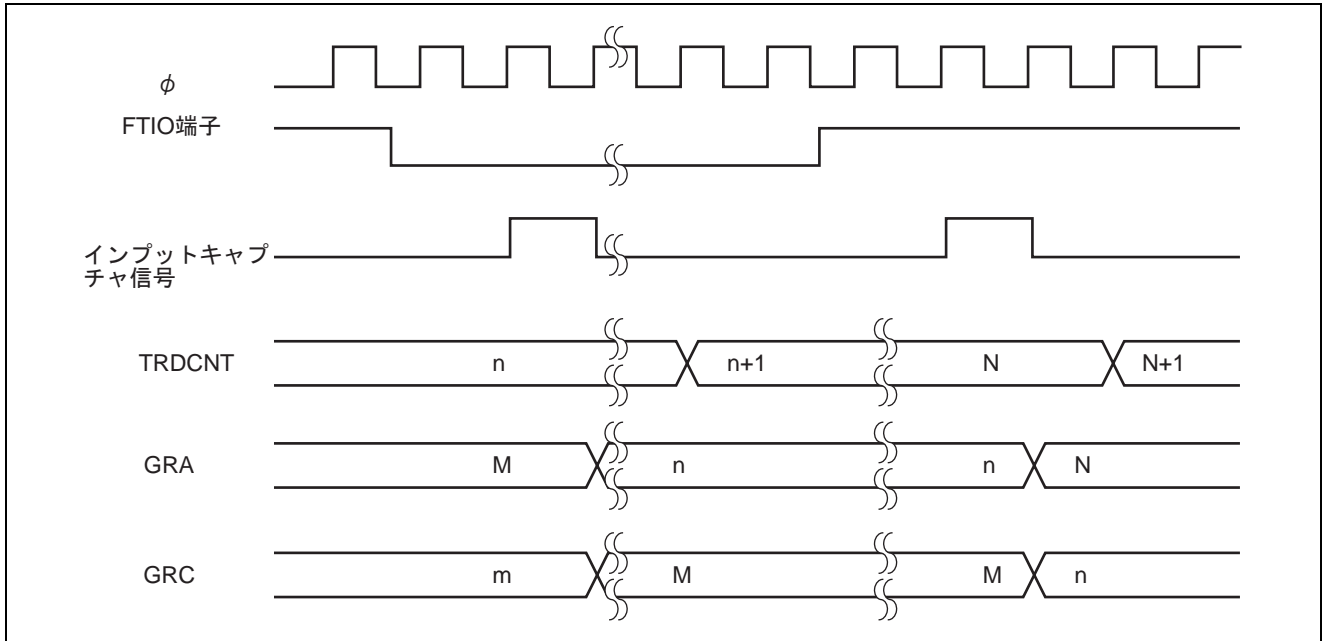


図 16.47 バッファ動作時の入力キャプチャタイミング

相補 PWM モード時、GRB_0 と GRD_0 をバッファ動作に設定したときの動作例を図 16.48、図 16.49 に示します。バッファ動作を使用して $GRD_0 \geq GRA_0$ とすることにより、デューティ 0% の PWM 波形を生成した場合の例です。GRD_0 から GRB_0 への転送は、CMD0、CMD1 の設定により、TRDCNT_0 と GRA_0 がコンペアマッチしたとき、または TRDCNT_1 がアンダフローしたときのどちらかに選択されます。ただし、 $GRD_0 \geq GRA_0$ の場合は、CMD0、CMD1 ビットの設定にかかわらず TRDCNT_1 がアンダフローのときに転送され、 $GRD_0 = H'0000$ のときは、CMD0、CMD1 ビットの設定にかかわらず TRDCNT_0 と GRA_0 がコンペアマッチしたときに転送されます。

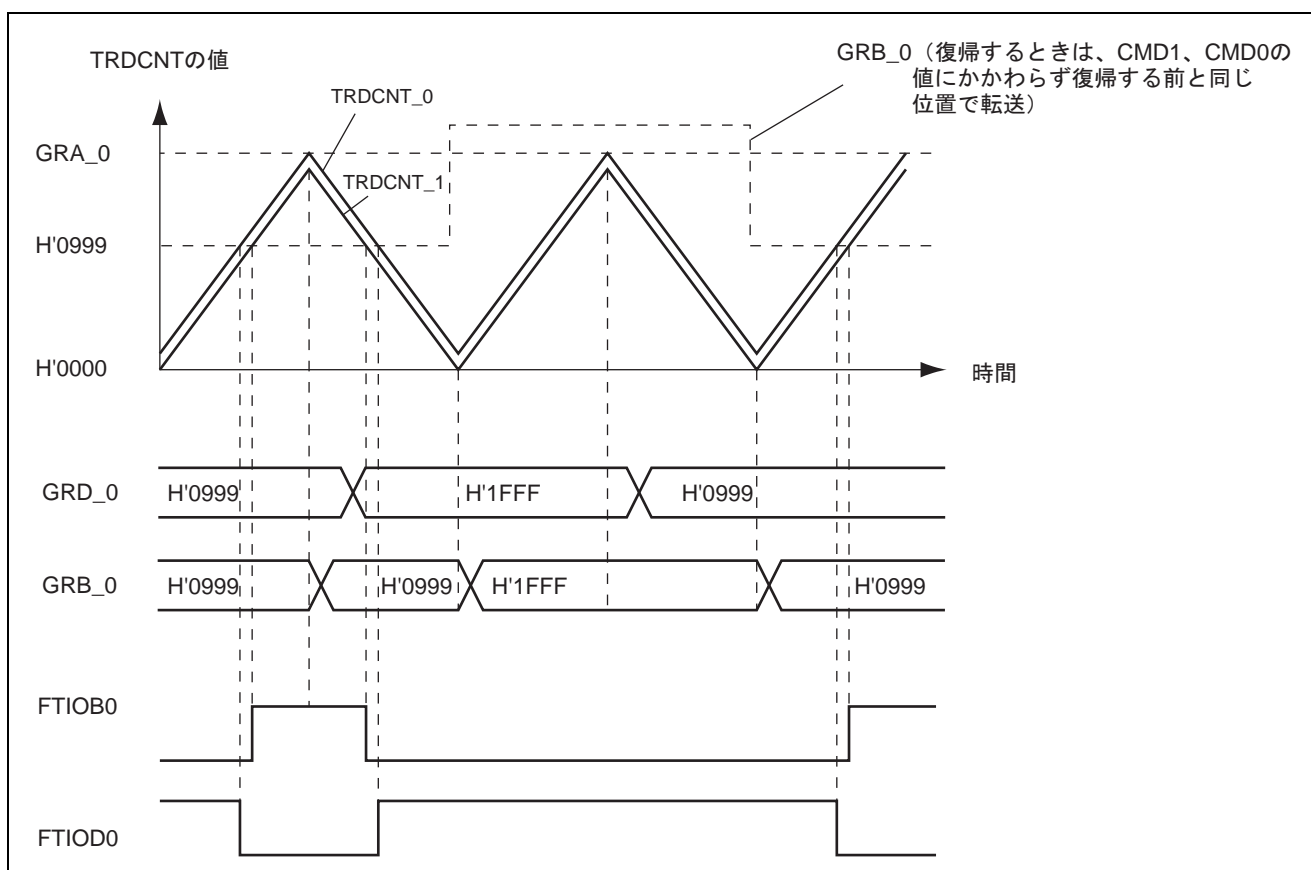


図 16.48 バッファ動作例 (3) (相補 PWM モード時のバッファ動作 CMD1=CMD0=1)

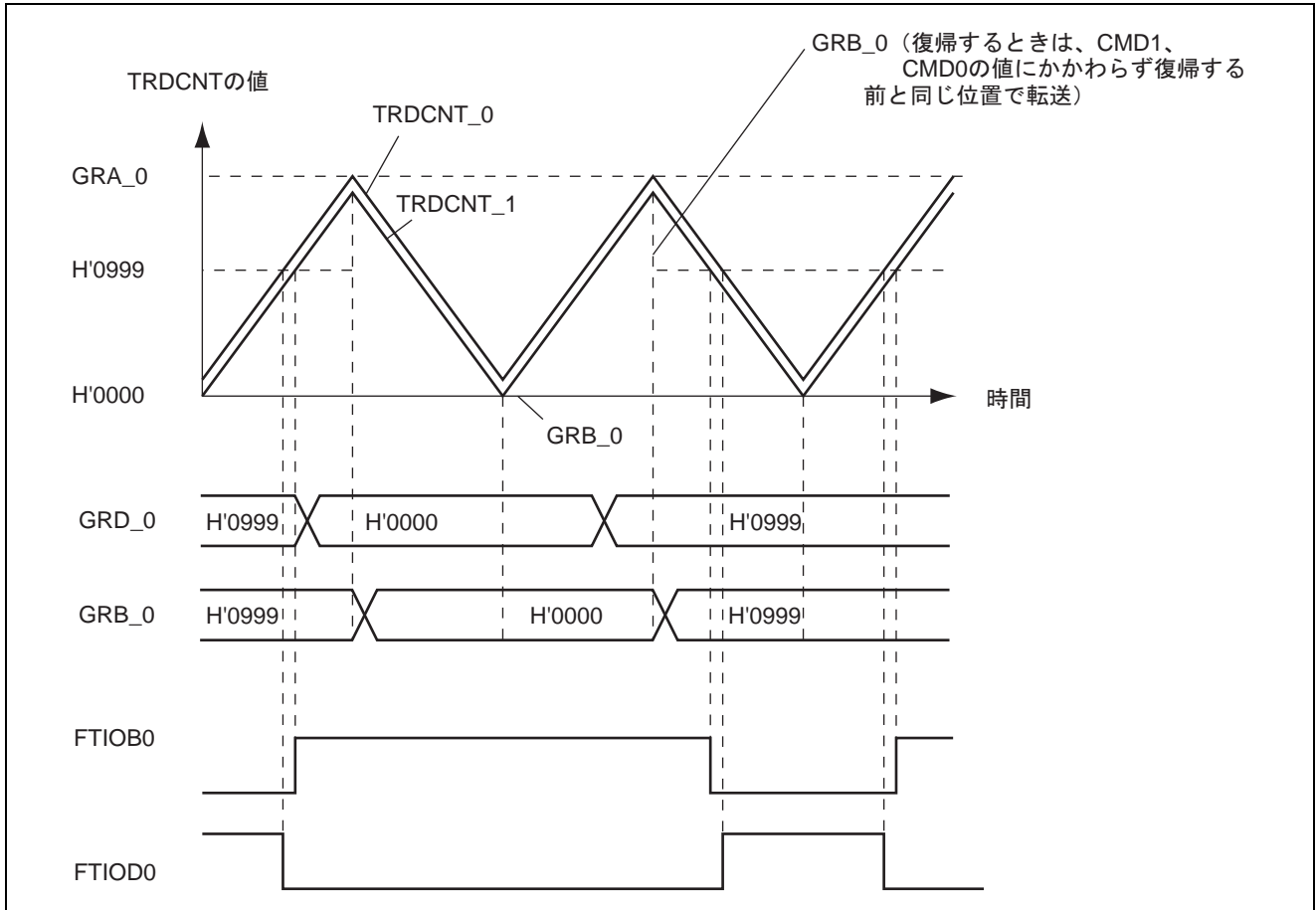


図 16.49 バッファ動作例 (4) (相補 PWM モード時のバッファ動作 CMD1=1、CMD0=0)

16.3.10 タイマ RD 出力タイミング

チャンネル0、1の出力は、TRDOER1、TRDOCRの設定および外部レベルにより、出力を禁止したり反転したりすることができます。

(1) TRDOER1によるタイマRDの出力の許可/禁止タイミング

TRDOER1のマスタイネーブルビットを1にセットすると、タイマRDの出力が禁止されます。対応する入出力ポートのPCR、PDRをあらかじめ設定しておくことにより任意の値を出力することができます。TRDOER1によるタイマRDの出力を許可/禁止するタイミングを図16.50に示します。

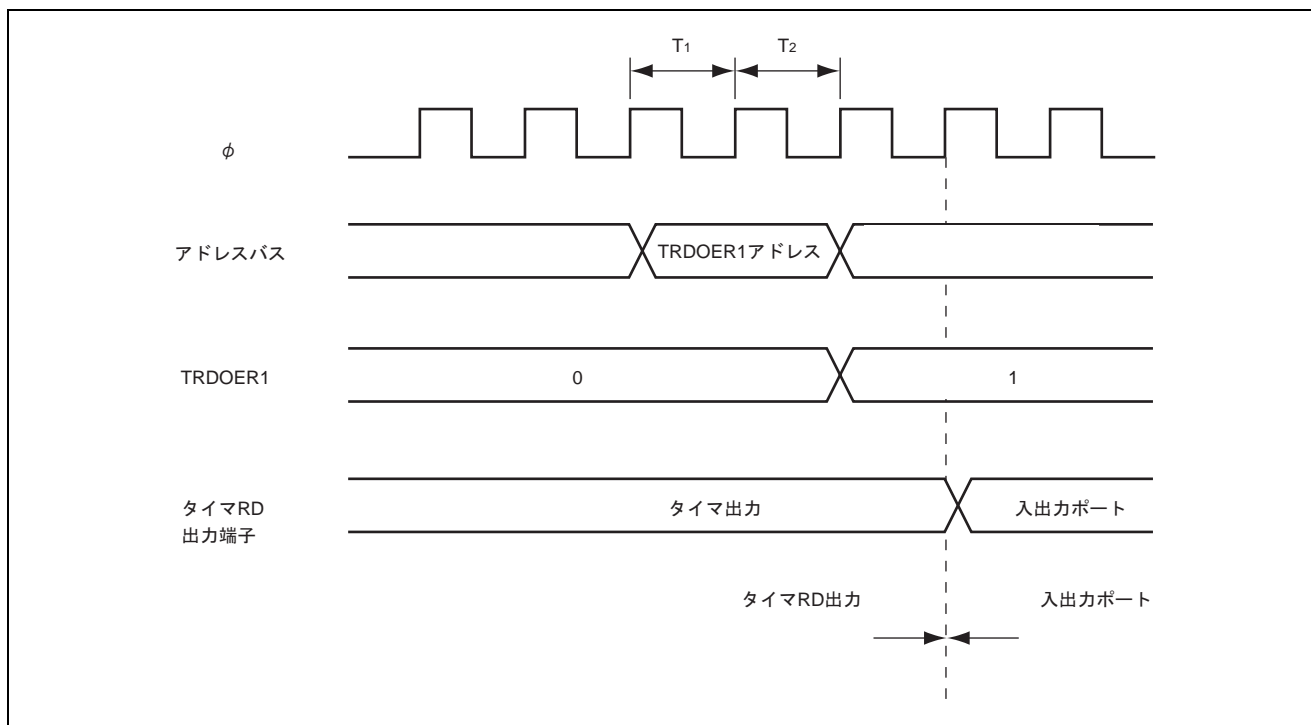


図 16.50 TRDOER1 へのライトによるタイマ RD 出力禁止タイミングの例

(2) 外部トリガによるタイマ RD の出力禁止のタイミング

$\overline{\text{TRDOI}}$ 入力端子に設定し、 $\overline{\text{TRDOI}}$ に Low レベルを入力すると、 TRDOER1 のマスタイネーブルビットが 1 にセットされタイマ RD の出力が禁止されます。

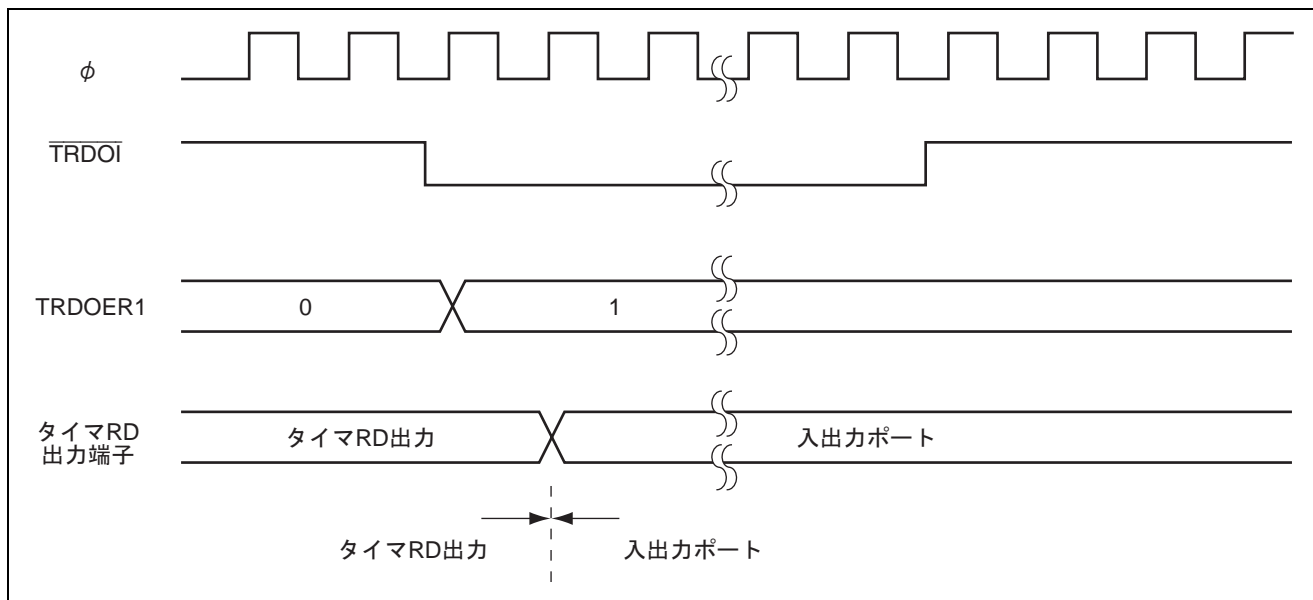


図 16.51 外部トリガによるタイマ RD 出力禁止タイミングの例

(3) TRDFCR による出力反転タイミング

リセット同期 PWM モード、または相補 PWM モード時に、 TRDFCR の OLS1 、 OLS0 ビットを反転することにより、出力レベルを反転することができます。このタイミングを図 16.52 に示します。

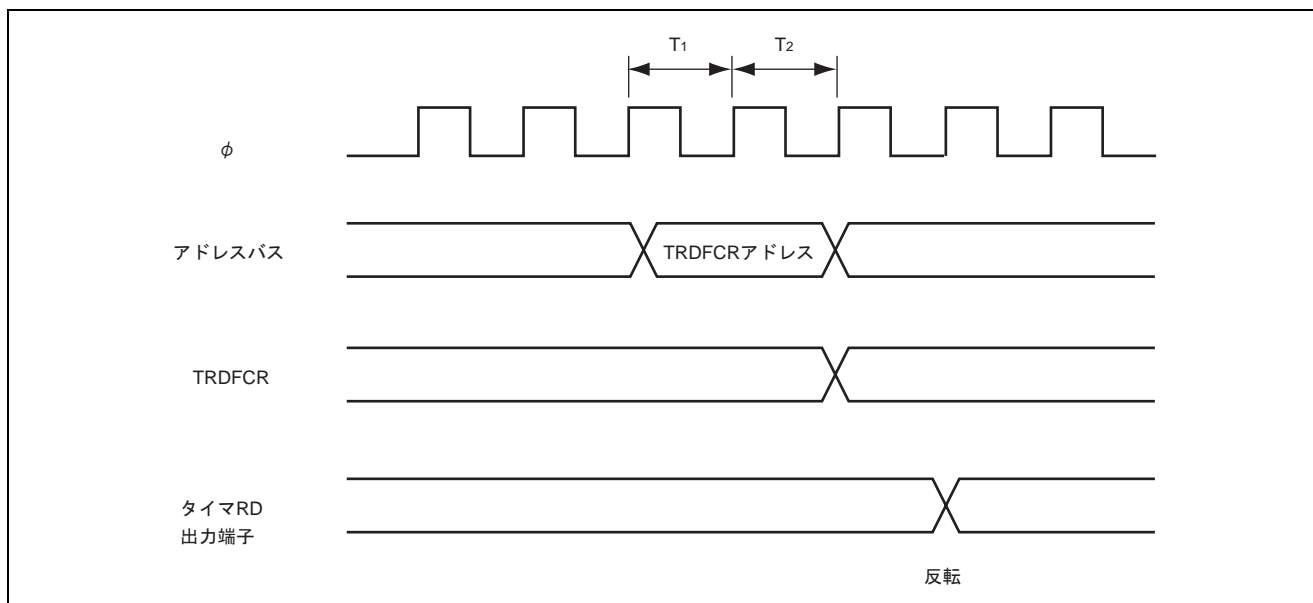


図 16.52 TRDFCR へのライトによるタイマ RD 出力レベル反転タイミングの例

(4) POCR による出力反転タイミング

PWM モード時に、POCR の POLD、POLC、POLB ビットを反転することにより、出力レベルを反転することができます。このタイミングを図 16.53 に示します。

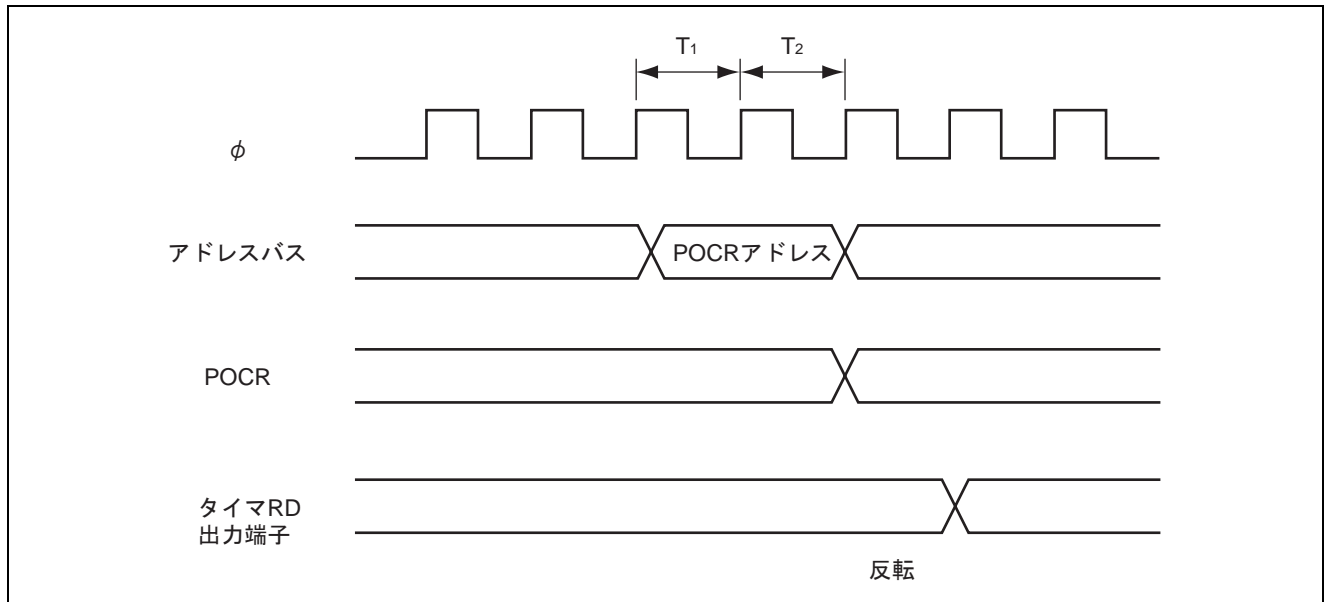


図 16.53 POCR へのライトによるタイマ RD 出力レベル反転タイミングの例

16.3.11 インプットキャプチャ入力デジタルフィルタ機能

FTIOA~FTIOD 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。FTIOA~FTIOD 端子入力信号は TRDDF の DFCK1、DFCK0 ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3サンプリングクロック以上の幅のパルス入力信号は信号として認識しますが、3サンプリングクロック以下の信号変化はノイズとして判断し除去されます。

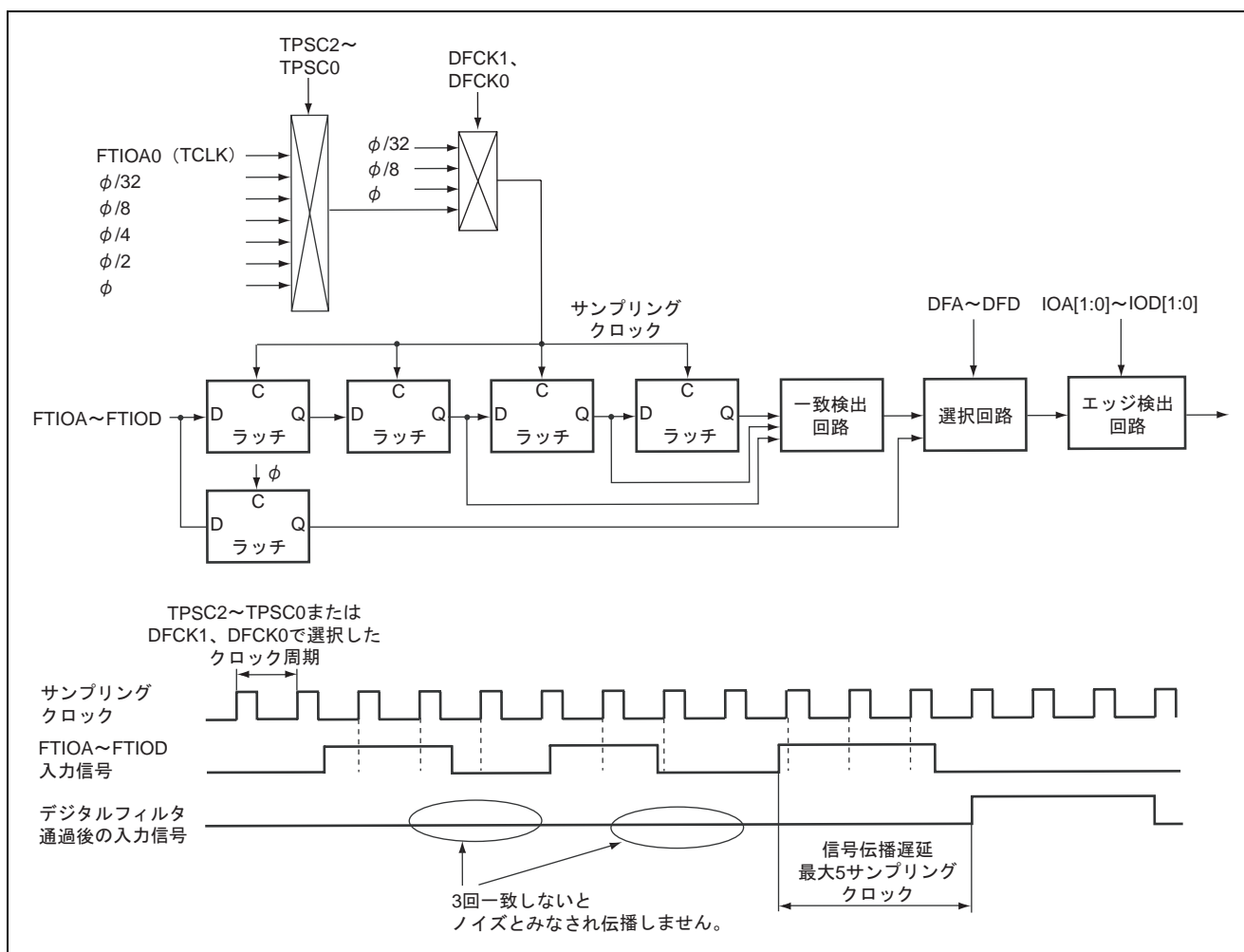


図 16.54 デジタルフィルタ回路のブロック図

16.3.12 GR 対象出力端子可変機能

TRDIORC の IOC3、IOD3 ビットの設定により GRC および GRD のコンペアマッチ出力をそれぞれ FTIOC、FTIOD 端子から FTIOA、FTIOB 端子へ変更することができる機能です。これにより FTIOA 端子はコンペアマッチ A とコンペアマッチ C を組み合わせた出力、FTIOB 端子はコンペアマッチ B とコンペアマッチ D を組み合わせた出力が可能になります。図 16.55 に GR 対象出力端子可変機能ブロック図を示します。チャンネル 0、1 はそれぞれ独立に設定可能です。

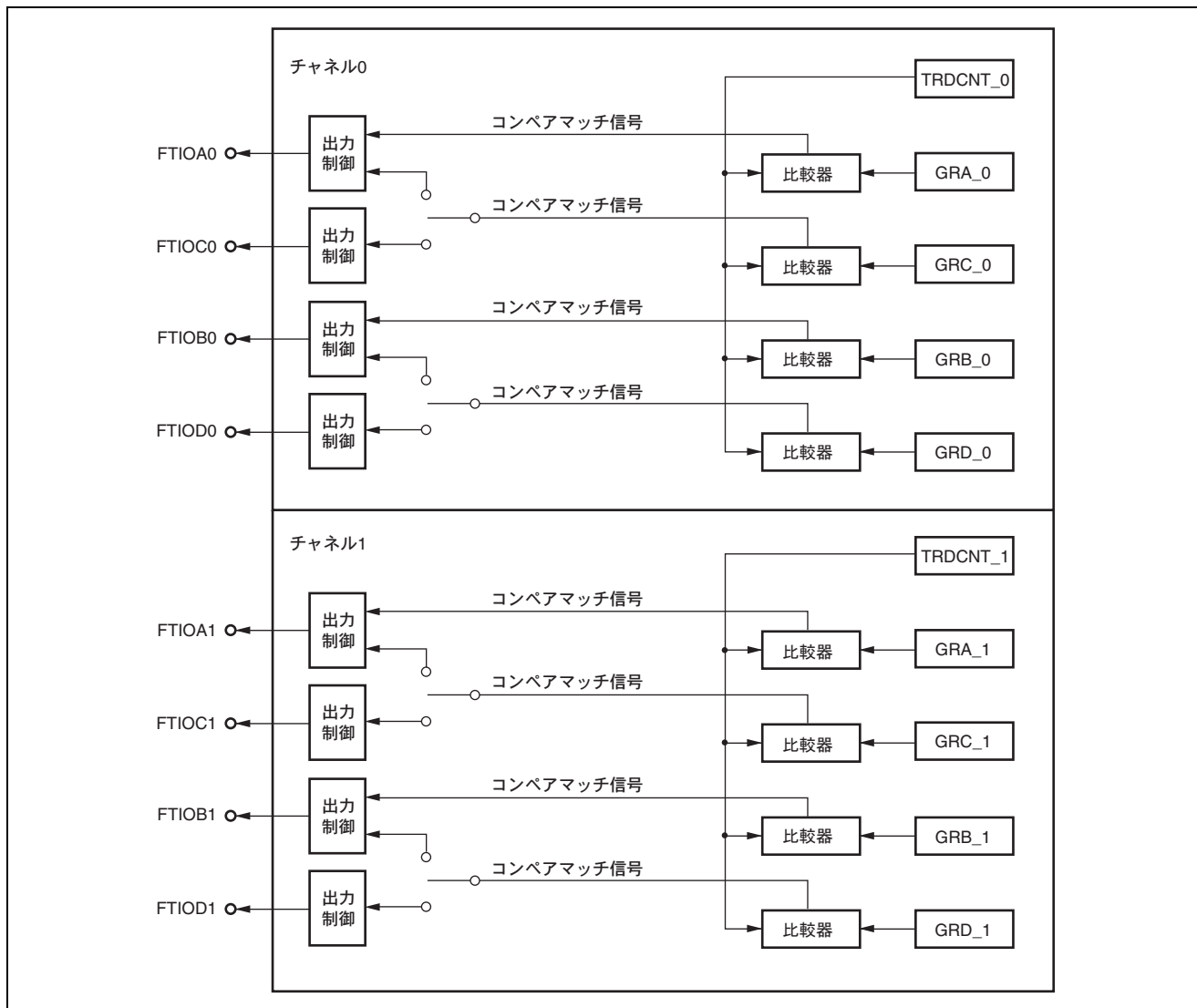


図 16.55 GR 対象出力端子可変機能ブロック図

TRDCNT_0 を周期カウント動作（コンペアマッチ A0 でカウンタクリア : TRDCR_0 の CCLR2~0=B'001）に、コンペアマッチ A (GRA_0) でトグル出力 (TRDIORA_1 の IOA2~0=B'011)、コンペアマッチ C (GRC_0) で FTIOA 端子にトグル出力 (TRDIORC_1 の IOC3~0=B'0X11)、コンペアマッチ B (GRB_0) でトグル出力 (TRDIORA_1 の IOB2~0=B'011)、コンペアマッチ D (GRD_0) で FTIOB 端子にトグル出力 (TRDIORC_1 の IOD3~0=B'0X11) になるように設定し、FTIOA0 端子、FTIOB0 端子から任意の周期のノンオーバーラップパルスを出力した場合の動作例を図 16.56 に示します。

同様に TRDCNT_1 を使用し、ノンオーバーラップパルスを出力した場合の動作例を図 16.57 に示します。

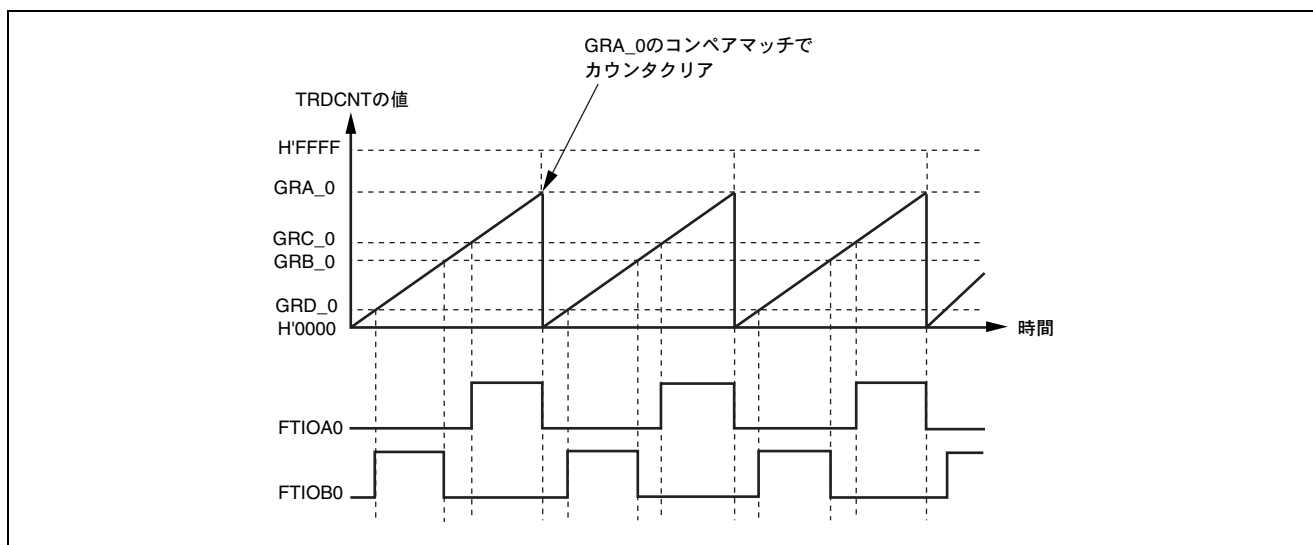


図 16.56 FTIOA0、FTIOB0 端子からノンオーバーラップパルスを出力した例 (TRDCNT_0 を使用)

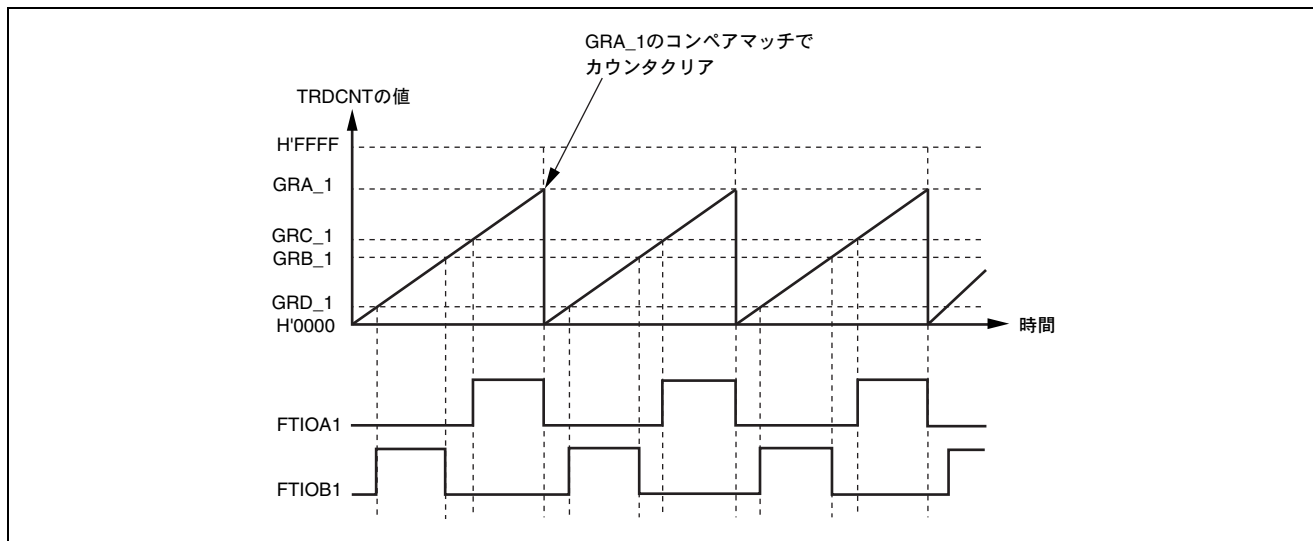


図 16.57 FTIOA1、FTIOB1 端子からノンオーバーラップパルスを出力した例 (TRDCNT_1 を使用)

16.3.13 A/D 変換開始トリガ設定機能

タイマ RD は A/D 変換トリガコントロールレジスタ (TRDADCR) またはタイマ RD ファンクションコントロールレジスタ (TRDFCR) の ADEG ビットと ADTRG ビットを設定することで、A/D 変換開始トリガを発生させることができます。

図 16.58、図 16.59 に相補 PWM モードの例を示します。

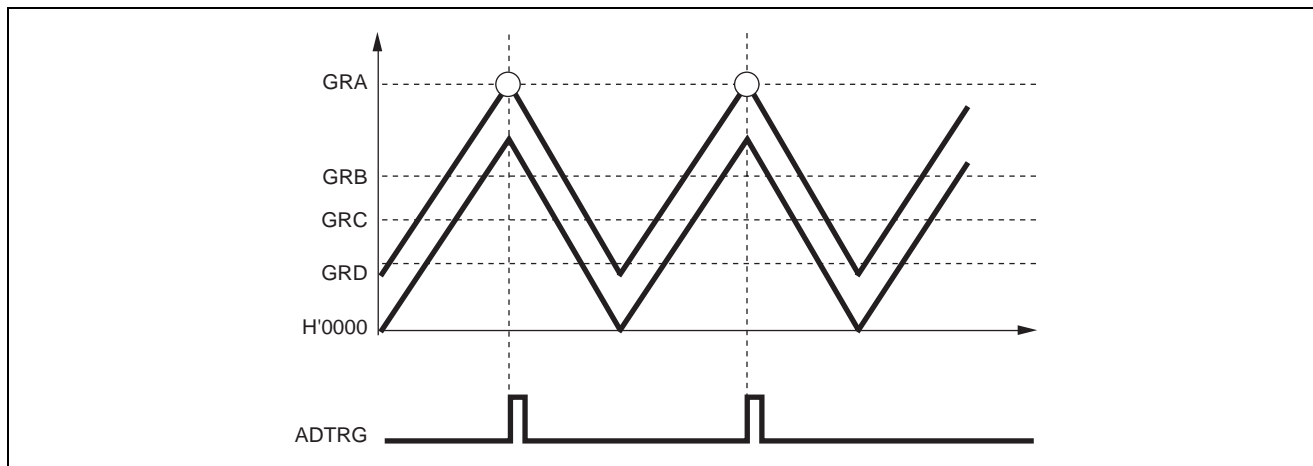


図 16.58 相補 PWM モードの例 (山で A/D トリガーの場合 : ADEG=0、ADTRG=1)

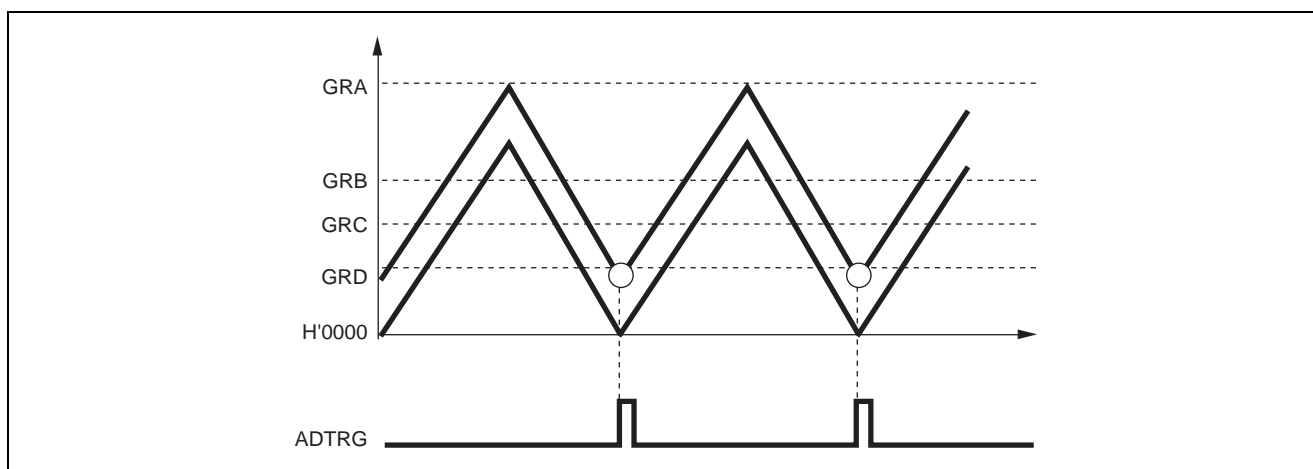


図 16.59 相補 PWM モードの例 (谷で A/D トリガーの場合 : ADEG=1、ADTRG=1)

図 16.60 にコンペアマッチの例を示します。ただし、コンペアマッチでは TRDADCR レジスタの設定が必要です。

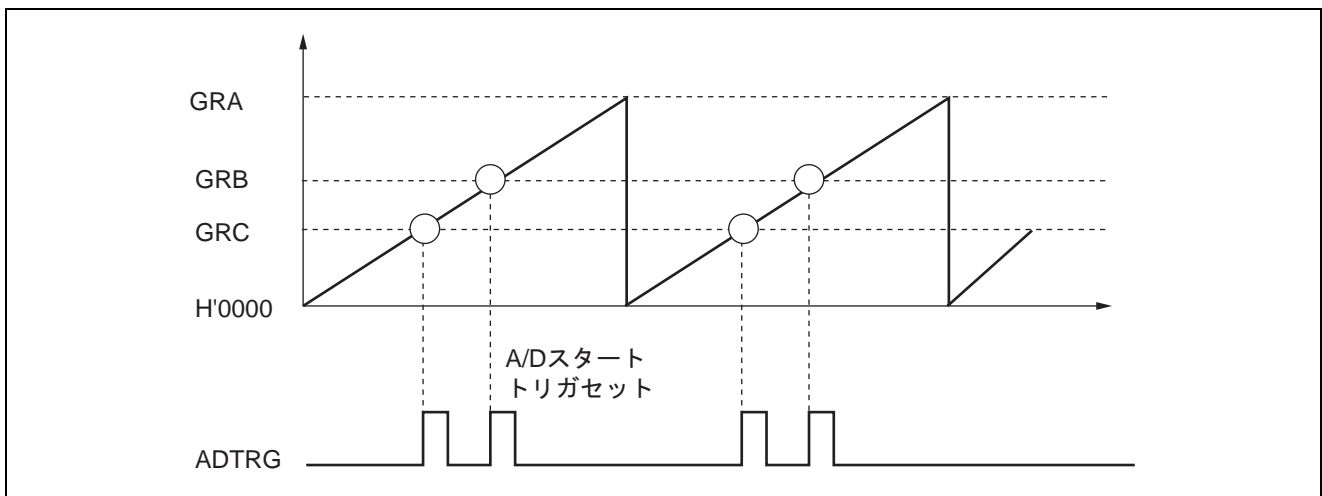


図 16.60 コンペアマッチの例

図16.61にコンペアマッチでA/D変換開始トリガを発生させるタイミングを示します。

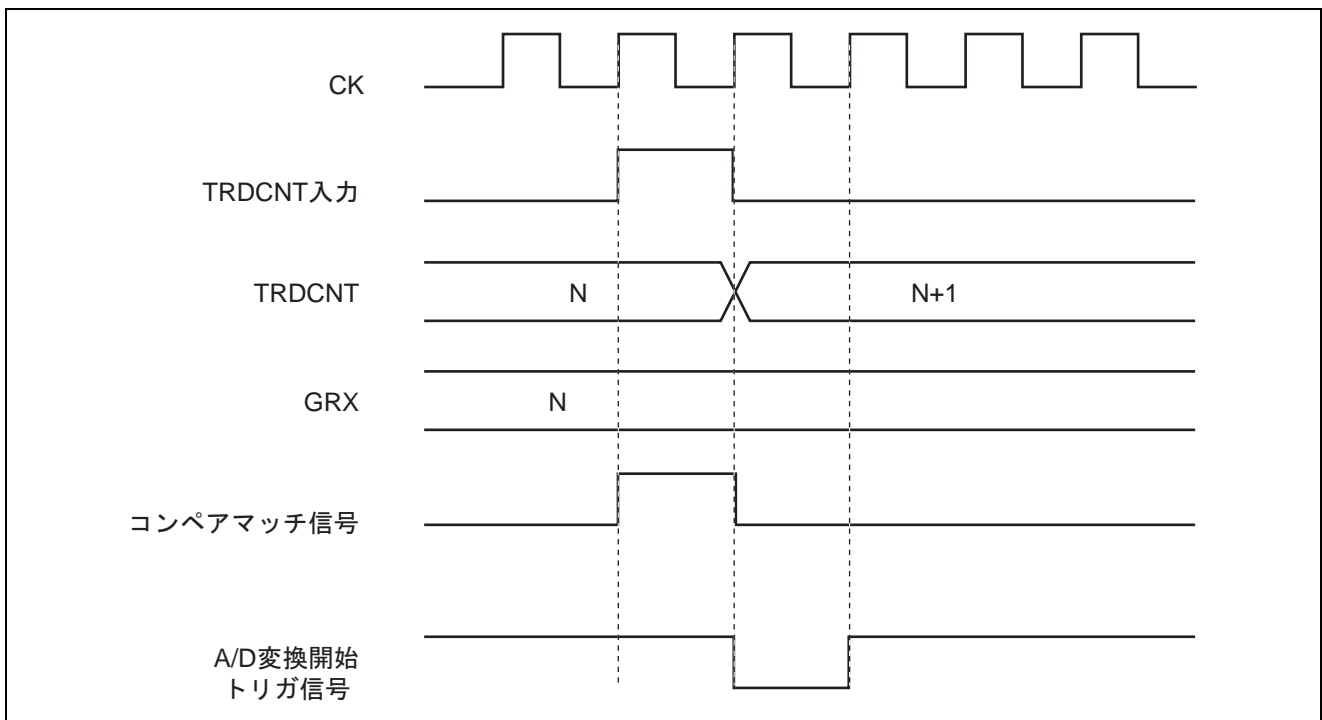


図 16.61 A/D 変換開始トリガタイミング

16.3.14 イベントリンクによる動作

タイマ RD ユニット 0 はイベントリンクコントローラ (ELC) の設定により、他モジュールで発生したイベントによる次の動作が可能です。チャンネル 0、チャンネル 1 はそれぞれ独立に設定可能です。

(1) カウントスタート動作

ELC の ELOPA、ELOPB でタイマ RD のカウントスタート動作を選択します。ELSR3、4 で指定したイベントが発生すると、TRDSTR の STR[1:0] ビットが 1 にセットされ、タイマ RD のカウントがスタートします。ただし、STR ビットが 1 にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPA、ELOPB でタイマ RD のイベントカウンタ動作を選択します。ELSR3、ELSR4 で指定したイベントが発生すると、TRDCR の TPSC[2:0] ビットと TRDSTR の STR1、STR0 ビットの設定に関係なくそのイベントをカウンタソースとして、イベントカウンタ動作を行います。カウンタ値をリードすると、実際に入力されたイベント数が読み出されます。

(3) インพุットキャプチャ動作

ELC の ELOPA、ELOPB でタイマ RD のインพุットキャプチャ動作を選択します。ELSR3、ELSR4 で指定したイベントが発生すると、TRDCNT の値を GRD へキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、タイマ RD の TRDIORC を IOD[3:0]=B'1101 に設定し、TRDSTR の STR ビットを 1 にセットしカウンタをスタートさせてください。このとき同時に FTIOD 端子の入力も有効になるため、FTIOD 端子の入力を固定するか、PMC にて FTIOD 端子をポートに割り付けない等の対策をしてください。

16.4 割り込み要求

タイマ RD の割り込み要求には、インプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込み、アンダフロー割り込みの 3 種類があります。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき当該割り込みを要求します。

16.4.1 ステータスフラグのセットタイミング

(1) IMF フラグのセットタイミング

IMF フラグは、GR と TRDCNT が一致したときに発生するコンペアマッチ信号によって 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TRDCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TRDCNT と GR が一致した後、TRDCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。IMF フラグのセットタイミングを図 16.62 に示します。

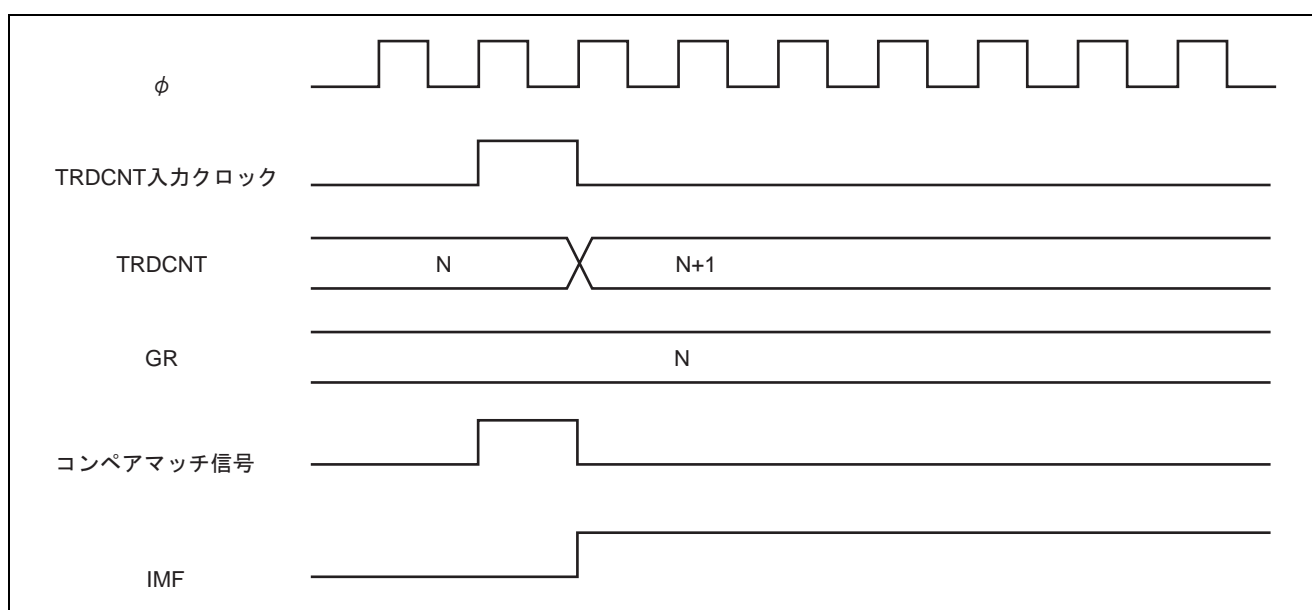


図 16.62 コンペアマッチ時の IMF フラグのセットタイミング

(2) インพุットキャプチャ時の IMF フラグのセットタイミング

インพุットキャプチャ信号の発生により IMF フラグは 1 にセットされ、同時に TRDCNT の値が対応する GR に転送されます。このタイミングを図 16.63 に示します。

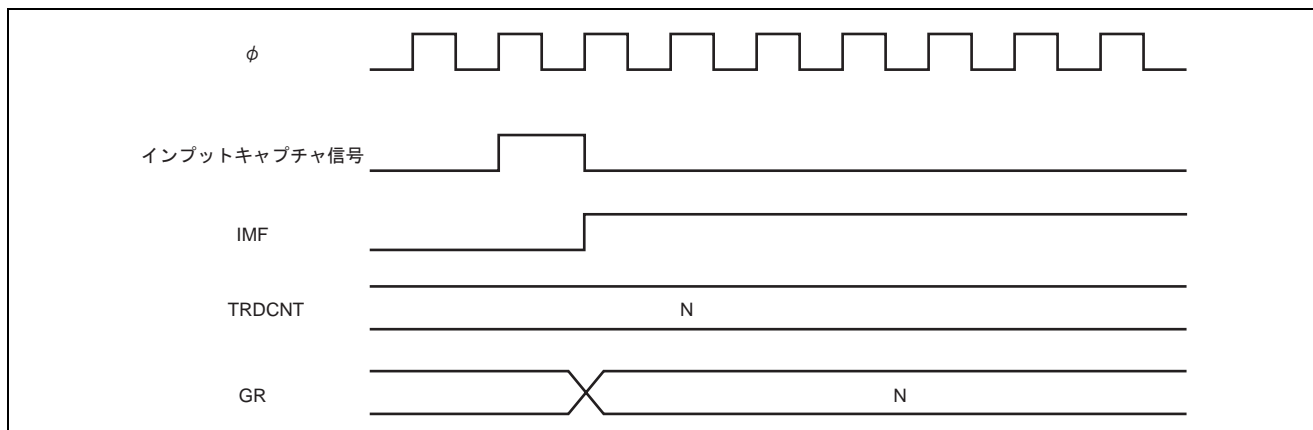


図 16.63 インพุットキャプチャ時の IMF フラグのセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、TRDCNT がオーバフローしたときに 1 にセットされます。このタイミングを図 16.64 に示します。

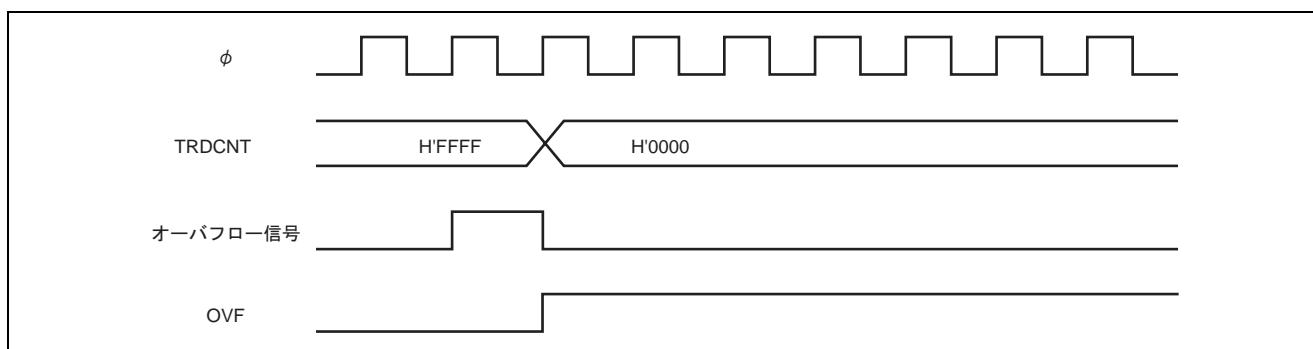


図 16.64 OVF フラグのセットタイミング

16.4.2 ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。CPU によるステータスフラグのクリアタイミングを図 16.65 に示します。

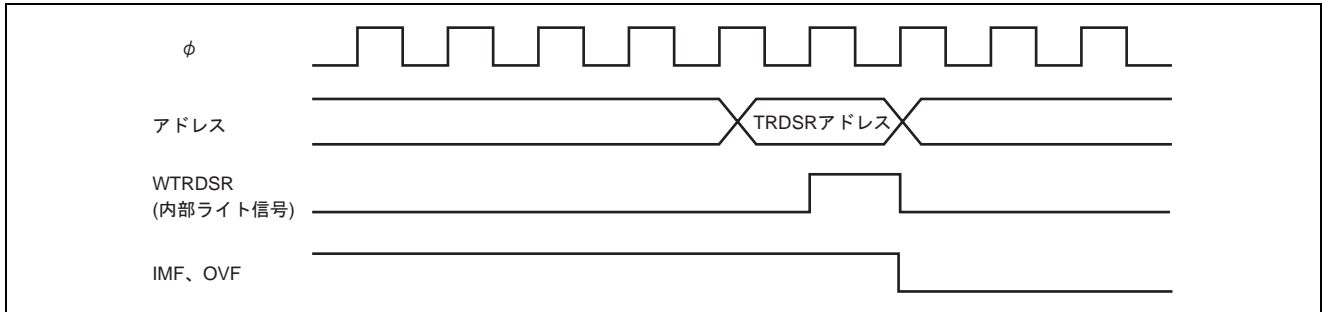


図 16.65 ステータスフラグのクリアタイミング

16.5 使用上の注意事項

(1) 入カクロックおよびインプットキャプチャの入力のパルス幅

入カクロックおよびインプットキャプチャの入力のパルス幅は、入力デジタルフィルタ機能未使用時 TRDCR の TPSC2~TPSC0 ビットにより B'0XX、B'10X を選択したときは $3 \times \phi$ 周期必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

(2) TRDCNT のライトとクリアの競合

TRDCNT のライトサイクル中の T_2 ステートでカウンタクリア信号が発生すると、TRDCNT への書き込みサイクルは行われず TRDCNT のクリアが優先されます。このタイミングを図 16.66 に示します。

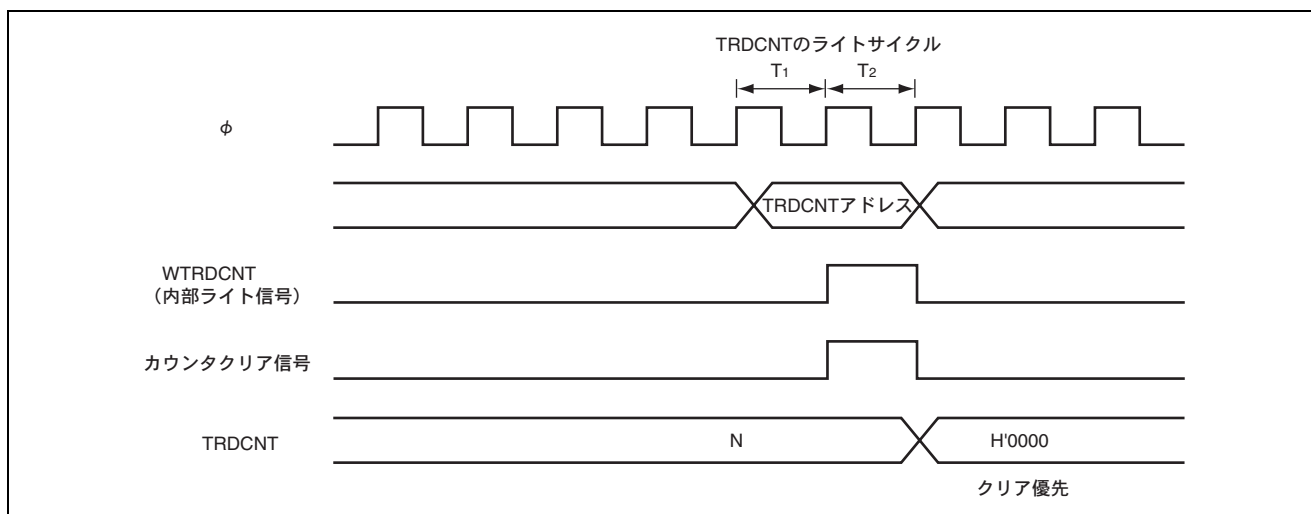


図 16.66 TRDCNT のライトとクリアの競合

(3) TRDCNT のライトとカウンタアップの競合

TRDCNT のライトサイクル中の T_2 ステートでカウンタアップが発生した場合、TRDCNT のライトが優先されます。このタイミングを図 16.67 に示します。

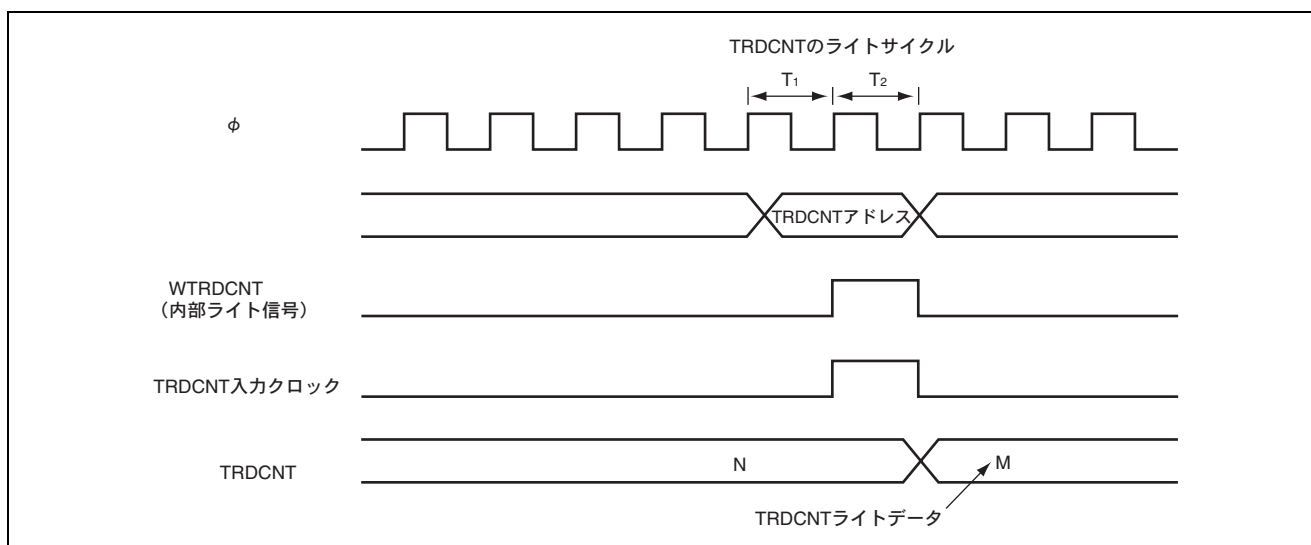


図 16.67 TRDCNT のライトとカウンタアップの競合

(4) GR のライトとコンペアマッチの競合

GR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても GR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 16.68 に示します。

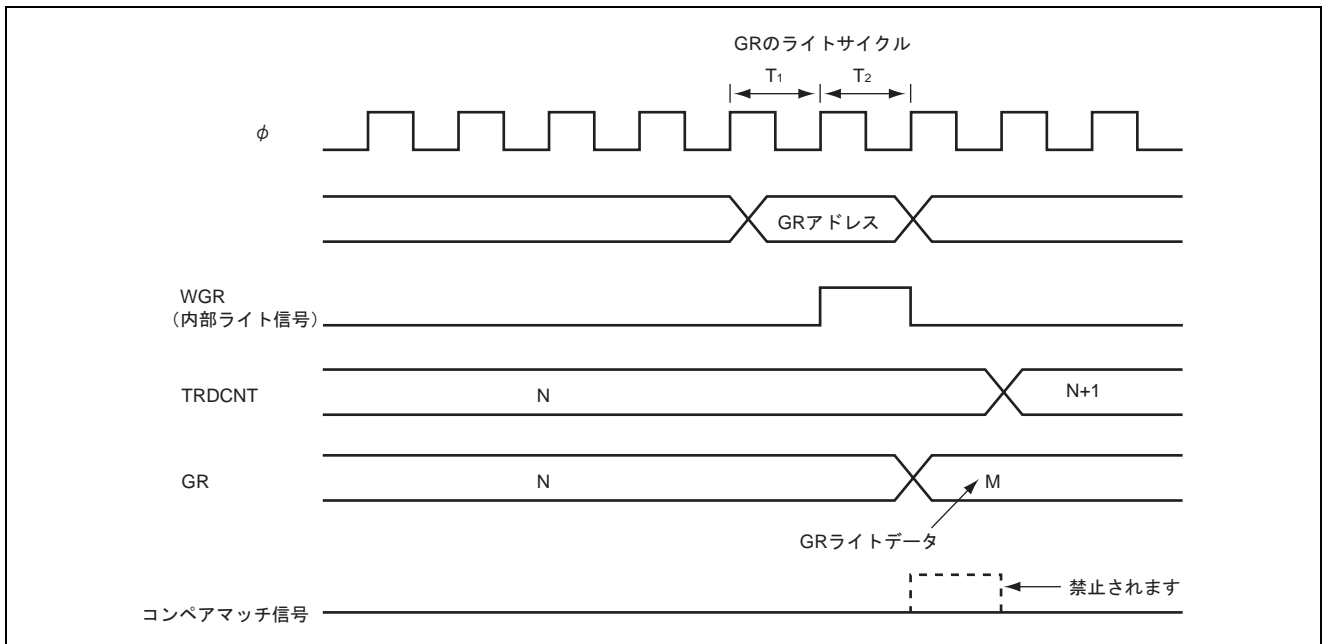


図 16.68 GR のライトとコンペアマッチの競合

(5) TRDCNT のライトとオーバフロー／アンダフローとの競合

TRDCNT のライトサイクル中の T₂ ステートでオーバフローが発生した場合、カウントアップされずにカウンタライトが優先されます。このとき OVF フラグは 1 にセットされます。アンダフローの場合も同様です。このタイミングを図 16.69 に示します。

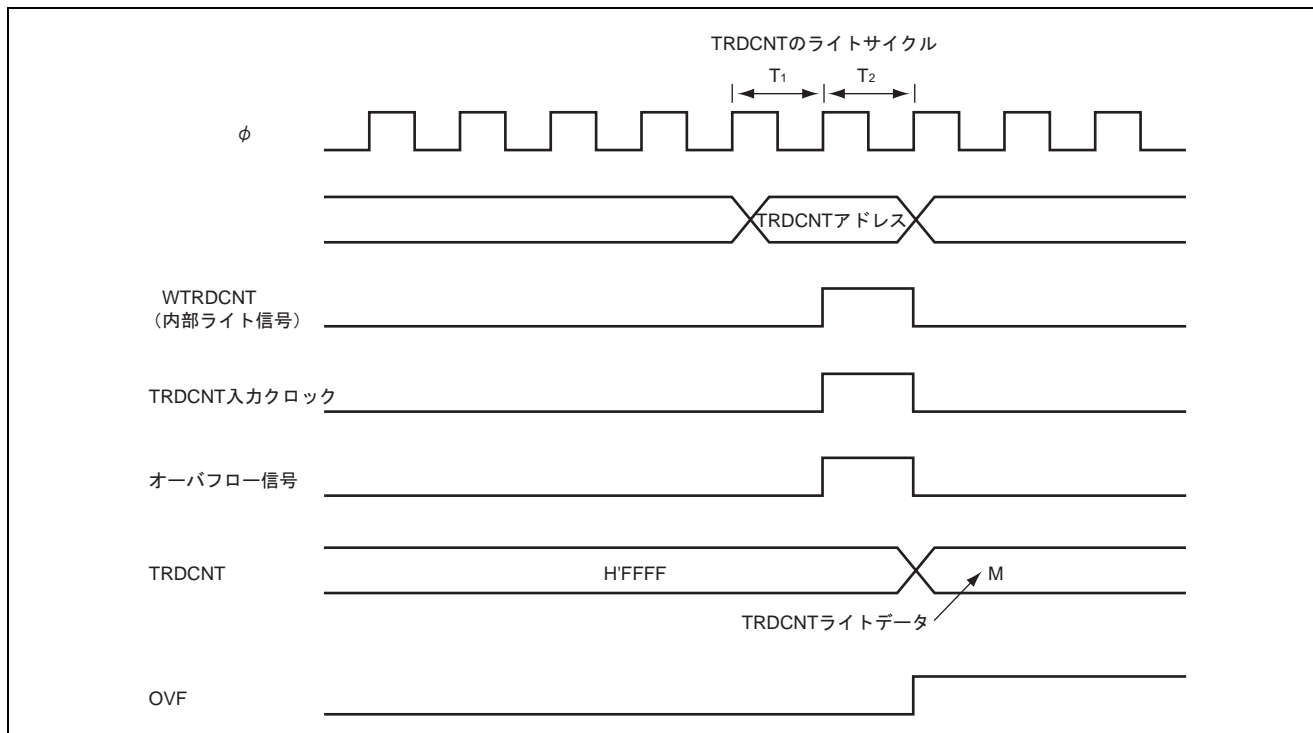


図 16.69 TRDCNT のライトとオーバフローの競合

(6) GR のリードとインプットキャプチャの競合

GR のリードサイクル中の T₂ ステートでインプットキャプチャ信号が発生すると、リードされるタイミングはインプットキャプチャ転送前のデータが転送されます。このときのタイミングを図 16.70 に示します。

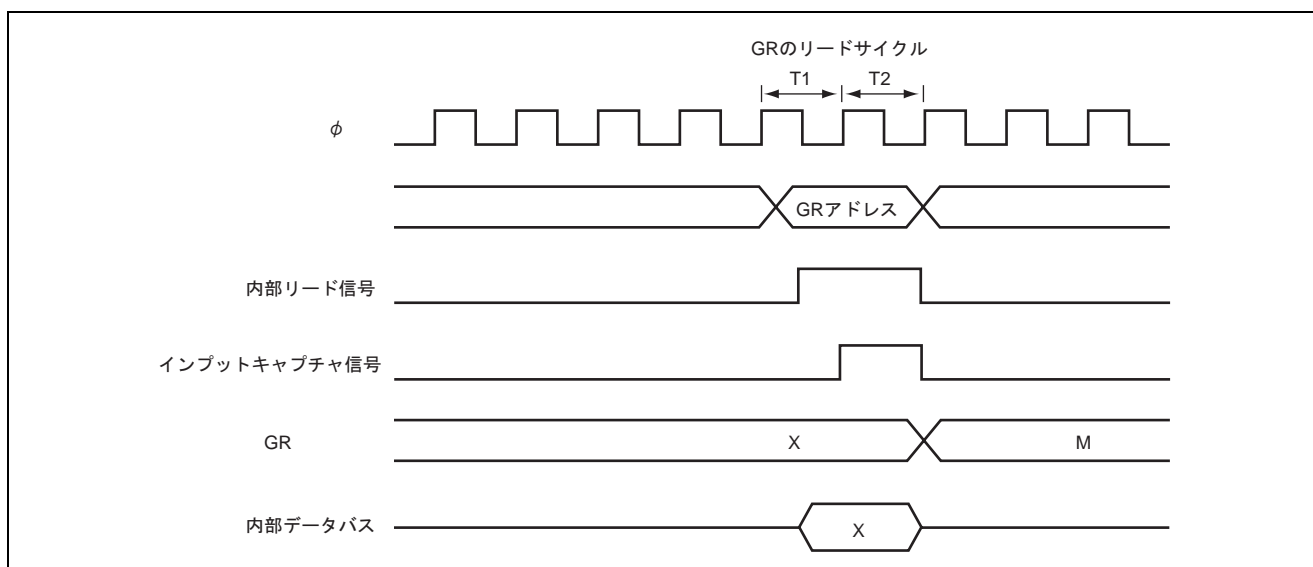


図 16.70 GR のリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウントクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生するとカウントアップされずに、インพุットキャプチャによるカウントクリアが優先されます。また GR にはカウンタクリア前の TRDCNT の内容が転送されます。このタイミングを図 16.71 に示します。

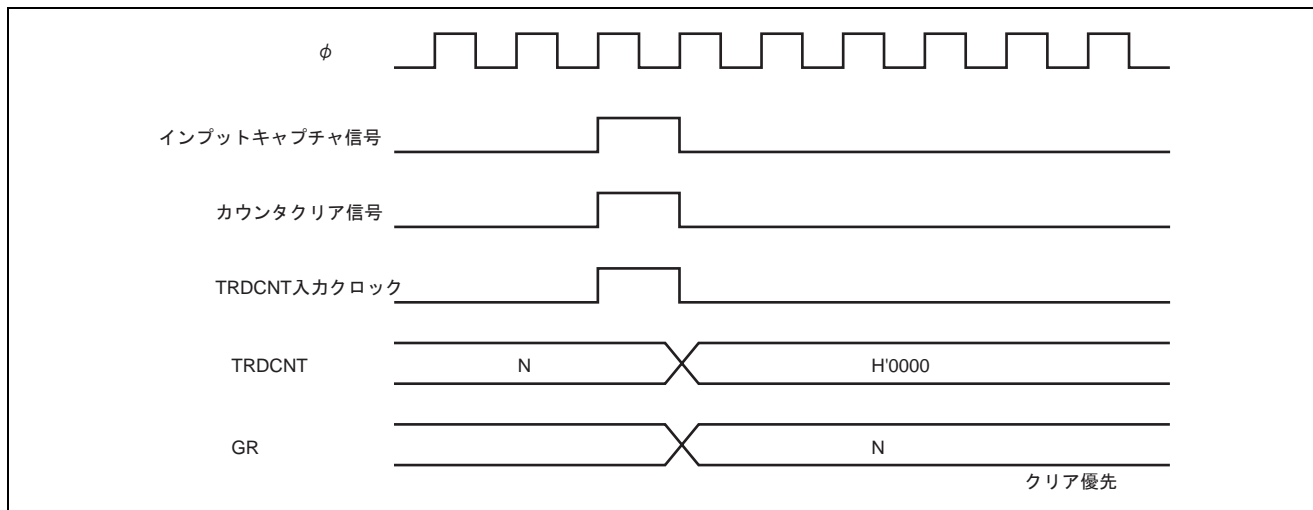


図 16.71 インพุットキャプチャによるカウントクリアとカウントアップの競合

(8) GR のライトとインพุットキャプチャの競合

GR ライトサイクル中の T_2 ステートでインพุットキャプチャ信号が発生すると、GR への書き込みは行われずインพุットキャプチャが優先されます。このタイミングを図 16.72 に示します。

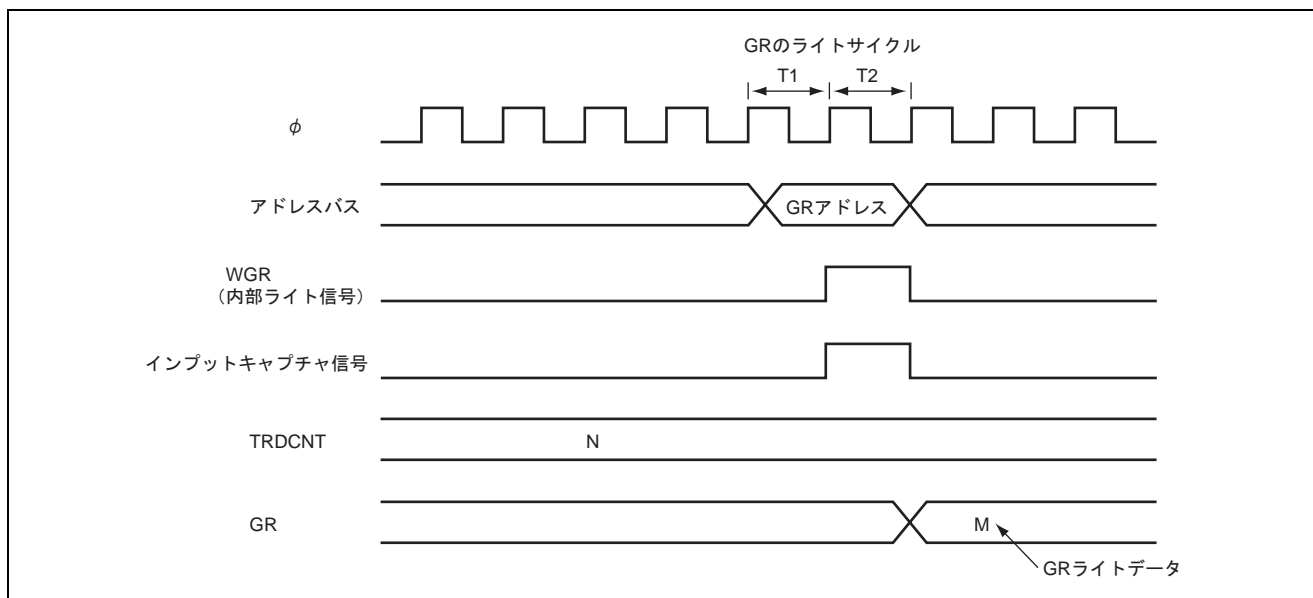


図 16.72 GR のライトとインพุットキャプチャの競合

(9) リセット同期 PWM モード／相補モード設定時の注意事項

TRDFCR の CMD1、CMD0 ビットを設定するときは、以下のことに注意してください。

- CMD1、CMD0ビットへのライトは、TRDCNT_1、TRDCNT_0が停止中に行ってください。
- リセット同期PWMモードと相補PWMモードの相互の設定変更は禁止です。通常動作（CMD1、CMD0ビットを0にクリア）を設定した後に、リセット同期PWMモードまたは相補PWMモードを設定してください。

(10) TRDOCR の TOA0～TOD0、TOA1～TOD1 ビット書き込み時の注意事項

TRDOCR の TOA0～TOD0、TOA1～TOD1 ビットは最初のコンペアマッチが発生するまでの FTIO 端子の出力値を決めるビットです。一度コンペアマッチが発生し、コンペアマッチにより FTIOA0～FTIOD0、FTIOA1～FTIOD1 出力が変化した場合は、FTIOA0～FTIOD0、FTIOA1～FTIOD1 端子の出力値と TOA0～TOD0、TOA1～TOD1 ビットを読み出した値は一致しないことがあります。また、TRDOCR への書き込みとコンペアマッチ A0～D0、A1～D1 の発生が競合した場合、書き込みが優先されコンペアマッチによる出力の変化は FTIOA0～FTIOD0、FTIOA1～FTIOD1 端子に反映されません。よってビット操作命令を用いて TRDOCR へ書き込みを行うと、FTIOA0～FTIOD0、FTIOA1～FTIOD1 端子の出力値が意図しない結果になることがあります。

コンペアマッチ動作中に TRDOCR へライトする場合は、TRDOCR アクセス前に一度タイマカウンタを停止させ、ポート 6 の状態をリードして FTIOA0～FTIOD0、FTIOA1～FTIOD1 の出力値を TOA0～TOD0、TOA1～TOD1 に反映しライトを行ってください。その後タイマカウンタを再起動します。

コンペアマッチと TRDOCR へのビット操作命令が競合した場合の例を図 16.73 に示します。

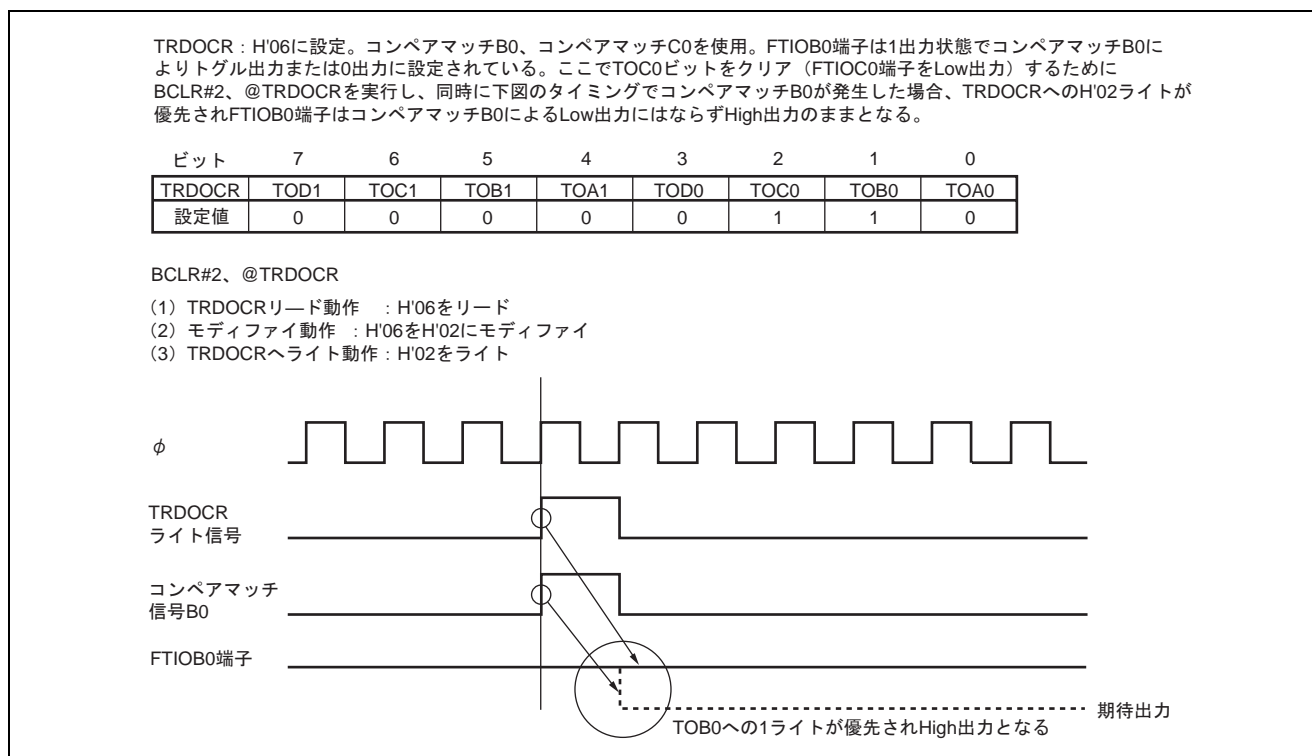


図 16.73 コンペアマッチと TRDOCR へのビット操作命令が競合した場合の例

17. タイマ RE

タイマ RE は、1 秒から 1 週間までの時間をカウントできるリアルタイムクロック（Real Time Clock）機能およびコンペアマッチ機能を搭載したタイマです。タイマ RE のブロック図を図 17.1 に示します。

17.1 概要

- リアルタイムクロックモード
 - 秒、分、時、および曜日をカウント
 - スタート/ストップ機能
 - リセット機能
 - BCD コードによるリード/ライト可能な秒、分、時、および曜日カウンタ
 - 周期（秒、分、時、日、週）割り込み
- アウトプットコンペアモード
 - コンペアマッチ機能付き 8 ビットカウンタ
 - クロックソースの選択
 - コンペアマッチ割り込み

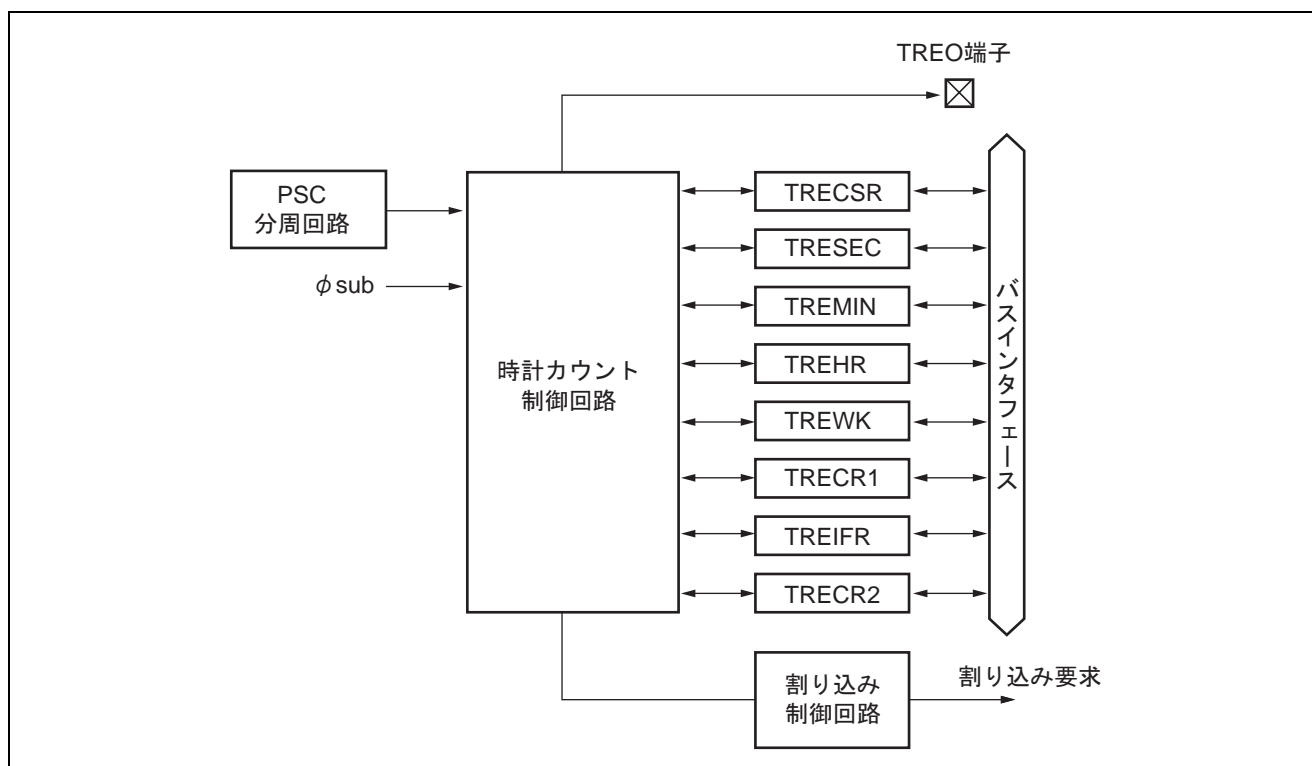


図 17.1 タイマ RE のブロック図

タイマ RE の入出力端子を表 17.1 に表します。

表 17.1 端子構成

端子名	入出力	機 能
TREO	出力	クロックまたはコンペアマッチ出力端子

17.2 レジスタの説明

タイマ RE には以下のレジスタがあります。

- タイマRE秒データレジスタ/カウンタデータレジスタ (TRESEC)
- タイマRE分データレジスタ/コンペアデータレジスタ (TREMINT)
- タイマRE時データレジスタ (TREHR)
- タイマRE曜日データレジスタ (TREWK)
- タイマREコントロールレジスタ1 (TRECRC1)
- タイマREコントロールレジスタ2 (TRECRC2)
- タイマREクロックソースセレクトレジスタ (TRECSCR)
- タイマRE割り込みフラグレジスタ (TREIFR)

17.2.1 タイマ RE 秒データレジスタ/カウンタデータレジスタ (TRESEC)

アドレス: H'FFFA8

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00

リセット後の値: - - - - - - - -

● リアルタイムクロックモード

ビット	シンボル	ビット名	説明	R/W
7	BSY	タイマ RE ビジー	秒、分、時、および曜日データレジスタの値をタイマ RE が更新中(演算中)のとき、本ビットは 1 にセットされます。本ビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。	R
6	SC12	秒十位カウント	秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。	R/W
5	SC11			R/W
4	SC10			R/W
3	SC03	秒一位カウント	秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が+1 されます。	R/W
2	SC02			R/W
1	SC01			R/W
0	SC00			R/W

● アウトプットコンペアモード

ビット	シンボル	ビット名	説明	R/W
7	BSY	-	8 ビットのカウンタデータ読み出しレジスタとなります。 カウント停止時は、カウント値は保持されます。 コンペアマッチで、本レジスタは H'00 にリセットされます。	R
6	SC12			R
5	SC11			R
4	SC10			R
3	SC03			R
2	SC02			R
1	SC01			R
0	SC00			R

TRESEC はリアルタイムクロックモードでは秒のカウントを行います。TRESEC は BCD コードで表され、0 から 59 までのカウントを行います。アウトプットコンペアモードでは、8 ビットのカウンタデータの読み出しレジスタとなります。

17.2.2 タイマ RE 分データレジスタ/コンペアデータレジスタ (TREMIN)

アドレス: H'FFFA9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00
-----	------	------	------	------	------	------	------

リセット後の値: - - - - - - -

• リアルタイムクロックモード

ビット	シンボル	ビット名	説明	R/W
7	BSY	タイマ RE ビジー	秒、分、時、および曜日データレジスタの値をタイマ RE が更新中(演算中)のとき、本ビットは 1 にセットされます。本ビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。	R
6	MN12	分十位カウント	分十位は 0 から 5 をカウントして、60 分のカウントを行います。	R/W
5	MN11			R/W
4	MN10			R/W
3	MN03	分一位カウント	分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。	R/W
2	MN02			R/W
1	MN01			R/W
0	MN00			R/W

• アウトプットコンペアモード

ビット	シンボル	ビット名	説明	R/W
7	BSY	—	8 ビットのコンペアデータの格納レジスタとなります。設定範囲は H'01 ~ H'FF です。 本レジスタは、カウント停止時 (TRECR1 の TSTART ビットと TCSTF がともに 0) のみ書き込み可能です。	R/W
6	MN12			R/W
5	MN11			R/W
4	MN10			R/W
3	MN03			R/W
2	MN02			R/W
1	MN01			R/W
0	MN00			R/W

TREMIN は、リアルタイムクロックモードでは TRESEC の桁上がりがあると、分のカウントを行います。TREMIN は BCD コードで表され、0 から 59 までのカウントを行います。アウトプットコンペアモードでは 8 ビットのコンペアデータの格納レジスタとなります。

17.2.3 タイマ RE 時データレジスタ (TREHR)

アドレス: H'FFFFAA

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BSY	—	HR11	HR10	HR03	HR02	HR01	HR00
-----	---	------	------	------	------	------	------

リセット後の値: — 0 — — — — — —

ビット	シンボル	ビット名	説明	R/W
7	BSY	タイマ RE ビジー	秒、分、時、および曜日データレジスタの値をタイマ RE が更新中（演算中）のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。	R
6	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
5	HR11	時十位カウント	時十位は 0~2 をカウントします。	R/W
4	HR10			R/W
3	HR03	時一位カウント	時一位は 1 時間ごとに 0~9 をカウントします。桁上がりが発生すると、時十位が +1 されます。	R/W
2	HR02			R/W
1	HR01			R/W
0	HR00			R/W

TREHR は、リアルタイムクロックモードで使用し、TREMINT の桁上がりがあると、時間のカウントを行います。TREHR は BCD コードで表され、TRECRI の 12/24 ビットの選択によって 0 から 11 までのカウント、または 0 から 23 までのカウントを行います。アウトプットコンペアモードでは本レジスタは使用しません。

17.2.4 タイマ RE 曜日データレジスタ (TREWK)

アドレス: H'FFFFAB

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BSY	—	—	—	—	WK[2:0]		
-----	---	---	---	---	---------	--	--

リセット後の値: — 0 0 0 0 — — —

ビット	シンボル	ビット名	説明	R/W
7	BSY	タイマ RE ビジー	秒、分、時、および曜日データレジスタの値をタイマ RE が更新中(演算中)のとき、本ビットは 1 にセットされます。本ビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。	R
6~3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
2~0	WK[2:0]	曜日カウント	000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 設定禁止	R/W

TREWK は、リアルタイムクロックモードで使用し、TREHR の桁上がりがあると、曜日のカウントを行います。WK[2:0]ビットにより 0 から 6 のバイナリコードで曜日を表します。アウトプットコンペアモードでは、本レジスタは使用しません。

17.2.5 タイマ RE コントロールレジスタ 1 (TRECRI1)

アドレス: H'FFFFAC

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	—
--------	---------	----	--------	-----	-------	-------	---

リセット後の値: — — — 0 0 0 — 0

● リアルタイムクロックモード

ビット	シンボル	ビット名	説明	R/W
7	TSTART	カウンタ動作開始	0: タイマカウンタは動作停止 1: タイマカウンタは動作開始	R/W
6	H12_H24*	動作モード	0: タイマ RE は 12 時間モードで動作 TREHR は 0~11 のカウントを行います。 1: タイマ RE は 24 時間モードで動作 TREHR は 0~23 のカウントを行います。	R/W
5	PM*	午前/午後	0: タイマ RE が 12 時間モードのとき有効であり、午前を表します。 1: タイマ RE が 12 時間モードのとき有効であり、午後を表します。	R/W
4	TRERST	リセット	0: 通常動作 1: TREC SR、このレジスタの TOENA ビットおよびこのビットを除く全レジスタ、制御回路をリセットします。なお 1 にセットした後は、必ずこのビットを 0 にクリアしてください。	R/W
3	INT*	割り込み発生 タイミング	0: タイマ RE ビジー期間中に秒、分、時および曜日の周期割り込みが発生 1: タイマ RE ビジー完了直後に秒、分、時および曜日の周期割り込みが発生* ²	R/W
2	TOENA	TREO 端子出力 許可	0: タイマ RE 分周クロック出力禁止 1: タイマ RE 分周クロック出力許可	R/W
1	TCSTF	動作ステータス フラグ	0: タイマ RE 動作停止を示します。 1: タイマ RE 動作中を示します。	R
0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

【注】 * H12_H24、PM および INT ビットは、タイマ RE 動作停止時に設定してください。

本ビットはリアルタイムクロックモードでは 1、アウトプットコンペアモードでは 0 に設定してください。

TRECR1 は、カウンタの動作開始/動作停止およびリセットを制御します。時間表現の定義は、図 17.2 を参照してください。

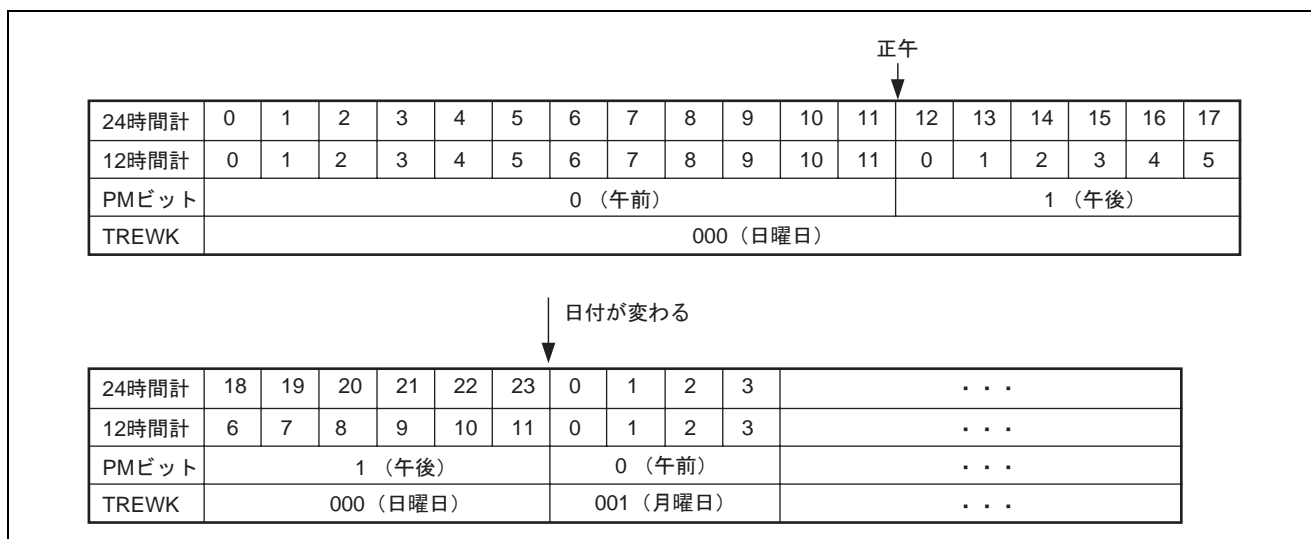


図 17.2 時間表現の定義

• アウトプットコンペアモード

ビット	シンボル	ビット名	説明	R/W
7	TSTART	カウンタ動作開始	0: タイマカウンタは動作停止 1: タイマカウンタは動作開始	R/W
6	H12_H24	動作モード	アウトプットコンペアモードでは0をライトしてください。	R/W
5	PM	午前/午後	アウトプットコンペアモードでは0をライトしてください。	R/W
4	TRERST	リセット	0: 通常動作 1: TRECSR、このレジスタの TOENA ビットおよびこのビットを除く全レジスタ、制御回路をリセットします。なお1にセットした後は、必ずこのビットを0にクリアしてください。	R/W
3	INT	割り込み発生 タイミング	アウトプットコンペアモードでは0をライトしてください。	R/W
2	TOENA	TREO 端子出力 許可	0: タイマ RE 分周クロック出力禁止 1: タイマ RE 分周クロック出力許可	R/W
1	TCSTF	動作ステータス フラグ	0: タイマ RE 動作停止を示します。 1: タイマ RE 動作中を示します。	R
0	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—

【注】 TSTART ビットに"1"ライト後、TCSTF フラグに"1"が読まれるまでは、TCSTF フラグリード以外はタイマ RE にアクセスしないでください。また、TSTART ビットに"0"ライト後、TCSTF フラグに"0"が読まれるまでは、TCSTF フラグリード以外はタイマ RE にアクセスしないでください。

17.2.6 タイマ RE コントロールレジスタ 2 (TRECR2)

アドレス: H'FFFFAD

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
5	COMIE	コンペアマッチ 割り込み許可	0: コンペアマッチ割り込みを禁止 1: コンペアマッチ割り込みを許可 リアルタイムクロックモードでは 0 にしてください。	R/W
4	WKIE	週周期割り込み 許可	0: 週周期割り込みを禁止 1: 週周期割り込みを許可 アウトプットコンペアモードでは 0 にしてください。	R/W
3	DYIE	日周期割り込み 許可	0: 日周期割り込みを禁止 1: 日周期割り込みを許可 アウトプットコンペアモードでは 0 にしてください。	R/W
2	HRIE	時周期割り込み 許可	0: 時周期割り込みを禁止 1: 時周期割り込みを許可 アウトプットコンペアモードでは 0 にしてください。	R/W
1	MNIE	分周期割り込み 許可	0: 分周期割り込みを禁止 1: 分周期割り込みを許可 アウトプットコンペアモードでは 0 にしてください。	R/W
0	SEIE	秒周期割り込み 許可	0: 秒周期割り込みを禁止 1: 秒周期割り込みを許可 アウトプットコンペアモードでは 0 にしてください。	R/W

- 【注】 1 割り込みを使用する場合は、レジスタの設定が終了した後、最後にこのレジスタをセットしてください。
- 2 COMIE ビットは、カウント動作停止時に設定してください。
- 3 WKIE、DYIE、HRIE、MNIE および SEIE は、タイマ RE 動作停止時に設定してください。

TRECR2 は、リアルタイムクロックモード時、週、日、時、分、および秒のタイマ RE 周期割り込みを制御します。週、日、時、分、および秒の各割り込みを許可すると、割り込みが発生した場合、タイマ RE 割り込み制御レジスタ (TREIFR) の割り込み要求ビットが 1 にセットされます。また、アウトプットコンペアモードを使用しているとき、コンペアマッチ割り込みを制御します。

17.2.7 タイマ RE 割り込みフラグレジスタ (TREIFR)

アドレス: H'FFFFAE

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	COMF	WKF	DYF	HRF	MNF	SECF

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
5	COMF	コンペアマッチ 割り込み要求 フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> ・ アウトプットコンペアモードで、カウンタ値と TREMIN に設定した値が一致したとき <p>【0になる条件】</p> <ul style="list-style-type: none"> ・ 1の状態をリードした後、0をライトしたとき 	R/W
4	WKF	週周期割り込み 要求フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> ・ リアルタイムクロックモードで、TREWKのWK[2:0]ビットがB'000になったとき <p>【0になる条件】</p> <ul style="list-style-type: none"> ・ 1の状態をリードした後、0をライトしたとき ・ 週周期割り込みによってDTCが起動され、DTCのMRBレジスタDISELビットが1のとき 	R/W
3	DYF	日周期割り込み 要求フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> ・ リアルタイムクロックモードで、TREWKが更新されるたび(1日周期) <p>【0になる条件】</p> <ul style="list-style-type: none"> ・ 1の状態をリードした後、0をライトしたとき ・ 日周期割り込みによってDTCが起動され、DTCのMRBレジスタDISELビットが1のとき 	R/W
2	HRF	時周期割り込み 要求フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> ・ リアルタイムクロックモードで、TREHRが更新されるたび(1時間周期) <p>【0になる条件】</p> <ul style="list-style-type: none"> ・ 1の状態をリードした後、0をライトしたとき ・ 時周期割り込みによってDTCが起動され、DTCのMRBレジスタDISELビットが1のとき 	R/W

ビット	シンボル	ビット名	説明	R/W
1	MNF	分周期割り込み 要求フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none">リアルタイムクロックモードで、TREMINTが更新されるたび (1分周期) <p>【0になる条件】</p> <ul style="list-style-type: none">1の状態をリードした後、0をライトしたとき分周期割り込みによってDTCが起動され、DTCのMRBレジスタDISELビットが1のとき	R/W
0	SECF	秒周期割り込み 要求フラグ	<p>【1になる条件】</p> <ul style="list-style-type: none">リアルタイムクロックモードで、TRESECが更新されるたび (1秒周期) <p>【0になる条件】</p> <ul style="list-style-type: none">1の状態をリードした後、0をライトしたとき秒周期割り込みによってDTCが起動され、DTCのMRBレジスタDISELビットが1のとき	R/W

17.2.8 タイマ RE クロックソースセレクトレジスタ (TRECSR)

アドレス: H'FFFFAF

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	RCS[6:4]	RCS3	RCS2	RCS[1:0]
---	----------	------	------	----------

リセット後の値: 0 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
6~4	RCS[6:4]* ²	クロック出力 選択	000 : $\phi/2$ 001 : $\phi/4$ 010 : $\phi/8$ 011 : コンペアマッチ出力 (アウトプットコンペアモード時のみ有効) 100 : ϕ_{sub} (32.768KHz) 101 : 1Hz (リアルタイムクロックモード時のみ有効) 11x : 設定禁止	R/W
3	RCS3	モード選択	0 : アウトプットコンペアモード 1 : リアルタイムクロックモード	R/W
2	RCS2	4ビットカウンタ 選択	(アウトプットコンペアモード時のみ有効) 0 : 4ビットカウンタを使用しない 1 : 4ビットカウンタを使用する	R/W
1、0	RCS[1:0]* ^{1*3}	クロックソース 選択	00 : $\phi/4$ 01 : $\phi/8$ 10 : $\phi/32$ 11 : ϕ_{sub}	R/W

【記号説明】 x : Don't care

【注】 *1 クロックソース選択は、リアルタイムクロックモードまたはカウンタ動作停止時に行ってください。

*2 クロック出力選択は、TRECR1 レジスタの TOENA ビットが0のときに設定してください。

*3 アウトプットコンペアモードにおいて、CPU が ϕ_{loco} 動作時は、クロックソースに ϕ_{sub} を選択しないでください。

TRECSR は、クロック出力選択、動作モード選択、クロックソースの選択を行います。

- RCS[6:4] (クロック出力選択)

TRECR1 の TOENA ビットを1にセットしたときに、TREQ 端子から出力されるクロックを選択します。

- RCS[1:0] (クロックソース選択)

アウトプットコンペアモード時のクロックソースを選択します。リアルタイムクロックモード時は、本ビットの設定にかかわらず、サブクロック ϕ_{sub} (32.768KHz) が選択されます。

17.3 リアルタイムクロックモードの動作

17.3.1 電源投入後のレジスタの初期設定

タイマ RE の秒、分、時、曜日の情報を格納しているレジスタは $\overline{\text{RES}}$ 端子リセット、LVD リセット、ウォッチドッグタイマリセットにより初期化されません。そのため、電源投入後はすべてのレジスタを初期設定してください。その後は、 $\overline{\text{RES}}$ 端子リセット、LVD リセット、ウォッチドッグタイマリセットに関係なく、電源が供給されている限り、正確な時間を刻みます。

17.3.2 初期設定手順

リアルタイムクロックモードを使用する場合の初期設定手順を図 17.3 に示します。また、再設定を行う場合も図 17.3 に従ってください。

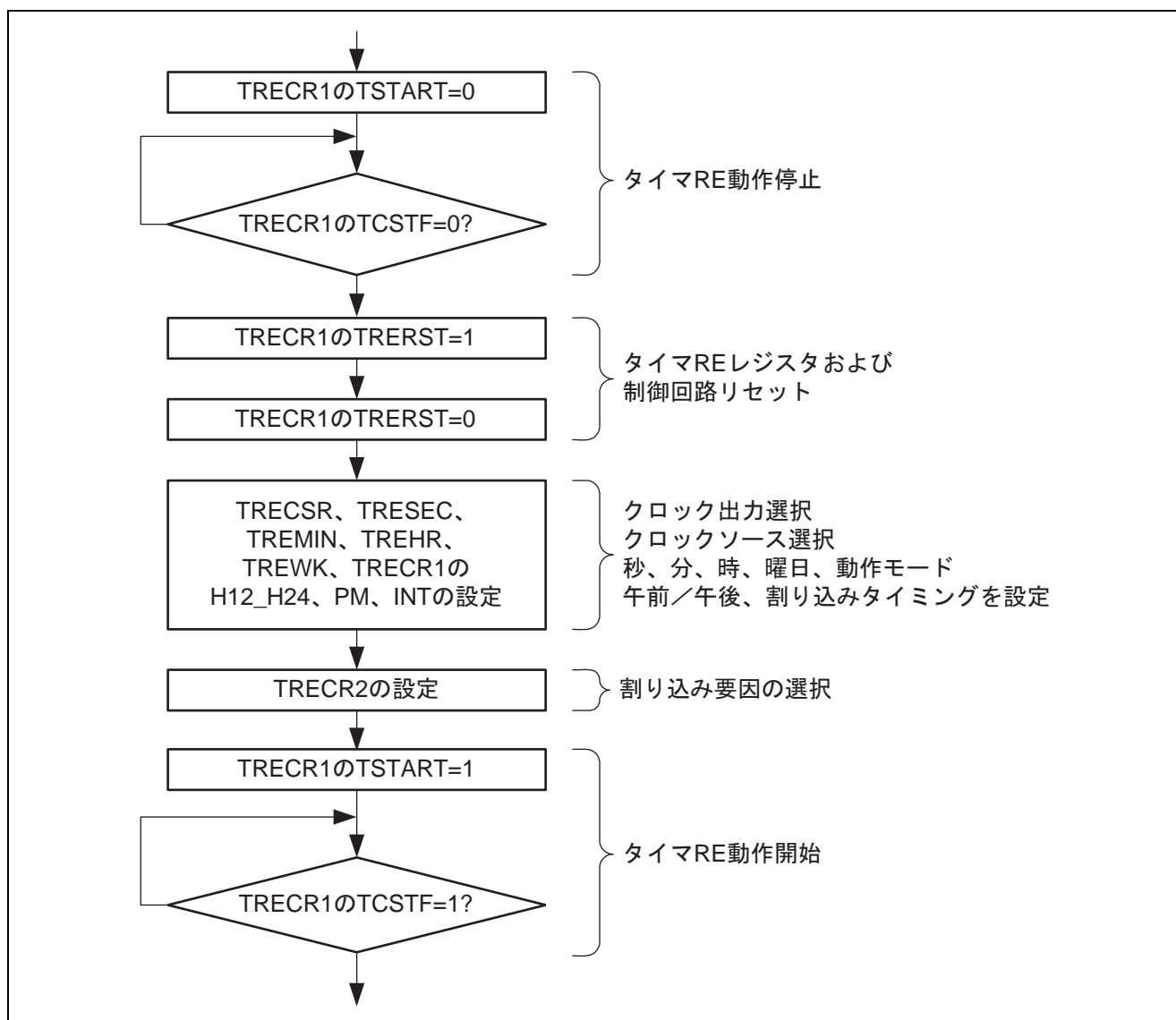


図 17.3 初期設定手順

17.3.3 リアルタイムクロックモード時の時刻読み出し手順

時刻読み出し期間中に秒、分、時、曜日データの更新が行なわれると、正しい時刻が得られないため、再読み出しする必要があります。正しい時刻を得られない場合の例を図 17.4 に示します。この例では TRESEC のみデータ更新後にリードしているため、約 1 分の矛盾が発生しています。

正しい時刻を読み出す方法は 3 つあります。

1. BSYビットを判定し、BSYビットが1から0に変化した後に、秒、分、時、曜日を示すレジスタをリードします。BSYビットが1にセットされてから約62.5ms後にレジスタの更新が行なわれ、BSYビットが0にクリアされます。
2. 割り込みを使用し、TREIFRのSECFフラグが1にセットされたら、BSYビットが0であることを確認してから秒、分、時、曜日を示すレジスタをリードします。
3. 秒、分、時、曜日を示すレジスタを連続的に2回リードし、リードしたデータに変化がなければそのデータを採用します。

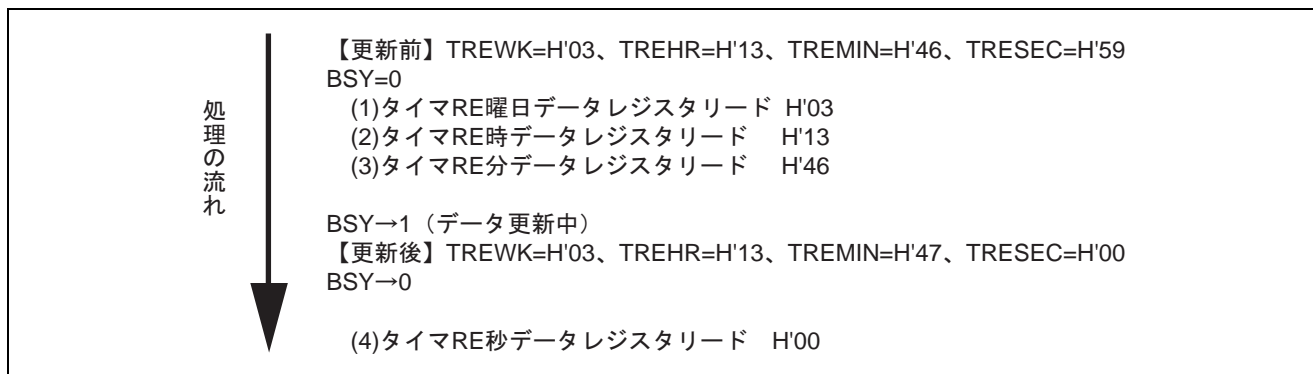


図 17.4 正しい時刻を得られない場合の例

17.3.4 リアルタイムクロックモードの動作例

リアルタイムクロックモードの動作例を図 17.5 示します。

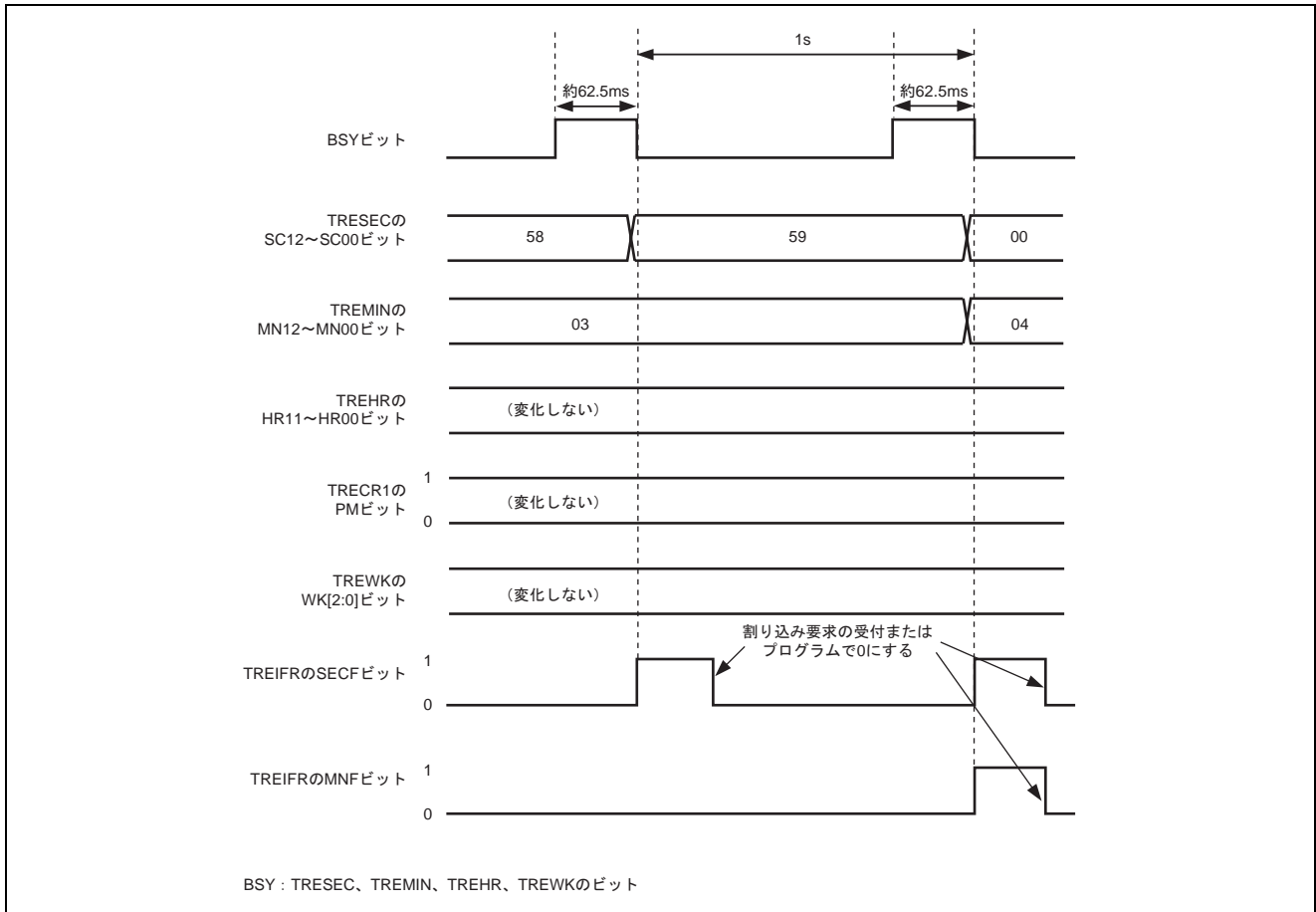


図 17.5 リアルタイムクロックモードの動作例

17.4 アウトプットコンペアモードの動作

TRECSR の RCS3 ビットに 0 をライトするとタイマ RE はアウトプットコンペアモードとなり、8 ビットのコンペアマッチ機能付きカウンタとして動作します。カウントソースは 4 種類選択可能です。アウトプットコンペアモードを使用時でも、タイマ RE の初期化を行ってください。タイマ RE の初期化を行うときは、TRECSR の RCS3 ビットでアウトプットコンペアモードに設定してから図 17.3 の初期化設定手順を実施してください。

RCS1、RCS0 ビットによって選択されたカウントソースは 2 分周され、8 ビットカウンタでカウントされます。また TRECSR の RCS2 ビットに 1 をセットすると、2 分周されたカウントソースは、4 ビットカウンタでカウントされ、8 ビットカウンタは 4 ビットカウンタのオーバフローをカウントします。

TREMIN はコンペア値を設定します。TRESEC をリードすることによって、8 ビットカウンタ値を読み出すことが可能です。本モードでは TREHR および TREWK は使用しません。TRECSR の RCS6~4=B'011 に設定し、TRECR1 の TOENA ビットを 1 にセットすることで、8 ビットカウンタ値と TREMIN の値が一致するごとに TREO 端子よりトグル出力します。（初期値はロー出力）

また、TRECR2 の COMIE ビットを 1 にセットするとコンペアマッチ割り込み要求を発生することが可能です。カウンタは TRECR1 の TSTART ビットでカウンタの動作開始/停止を制御します。

アウトプットコンペアモードのブロック図を図 17.6 に、動作例を図 17.7 に示します。

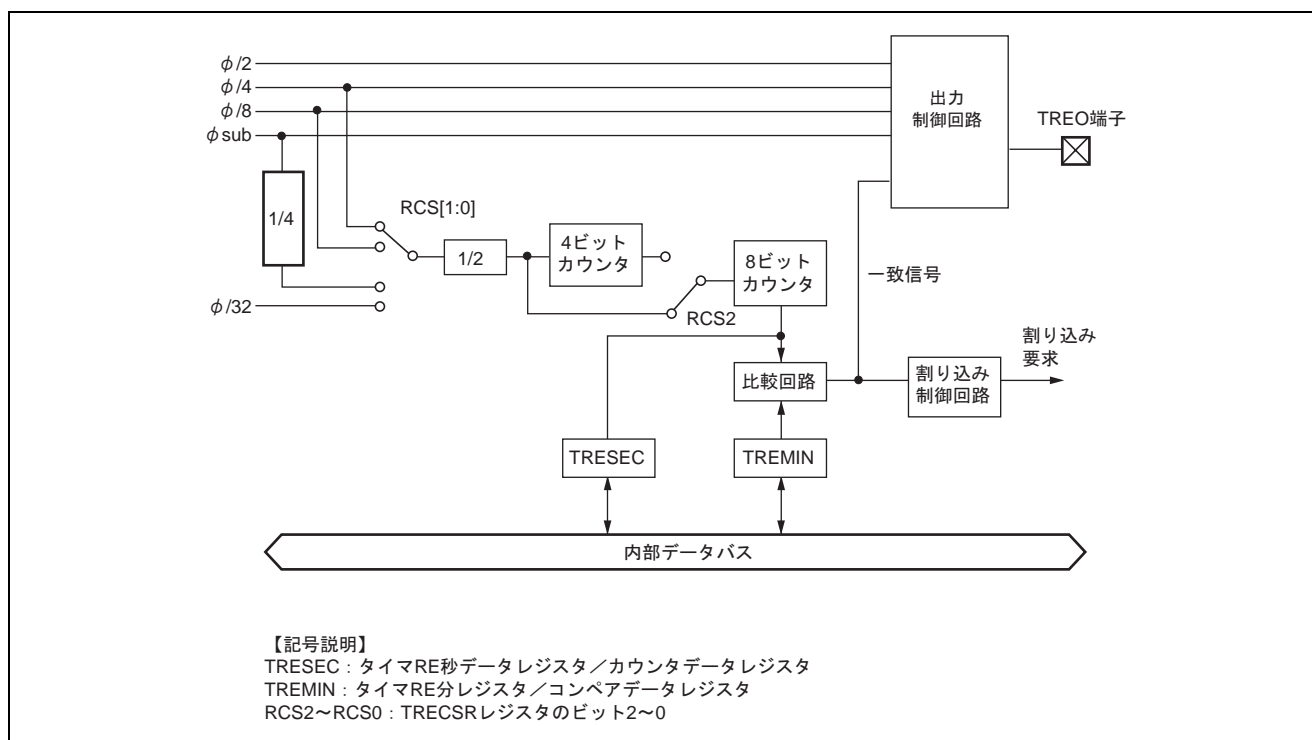


図 17.6 アウトプットコンペアモードのブロック図

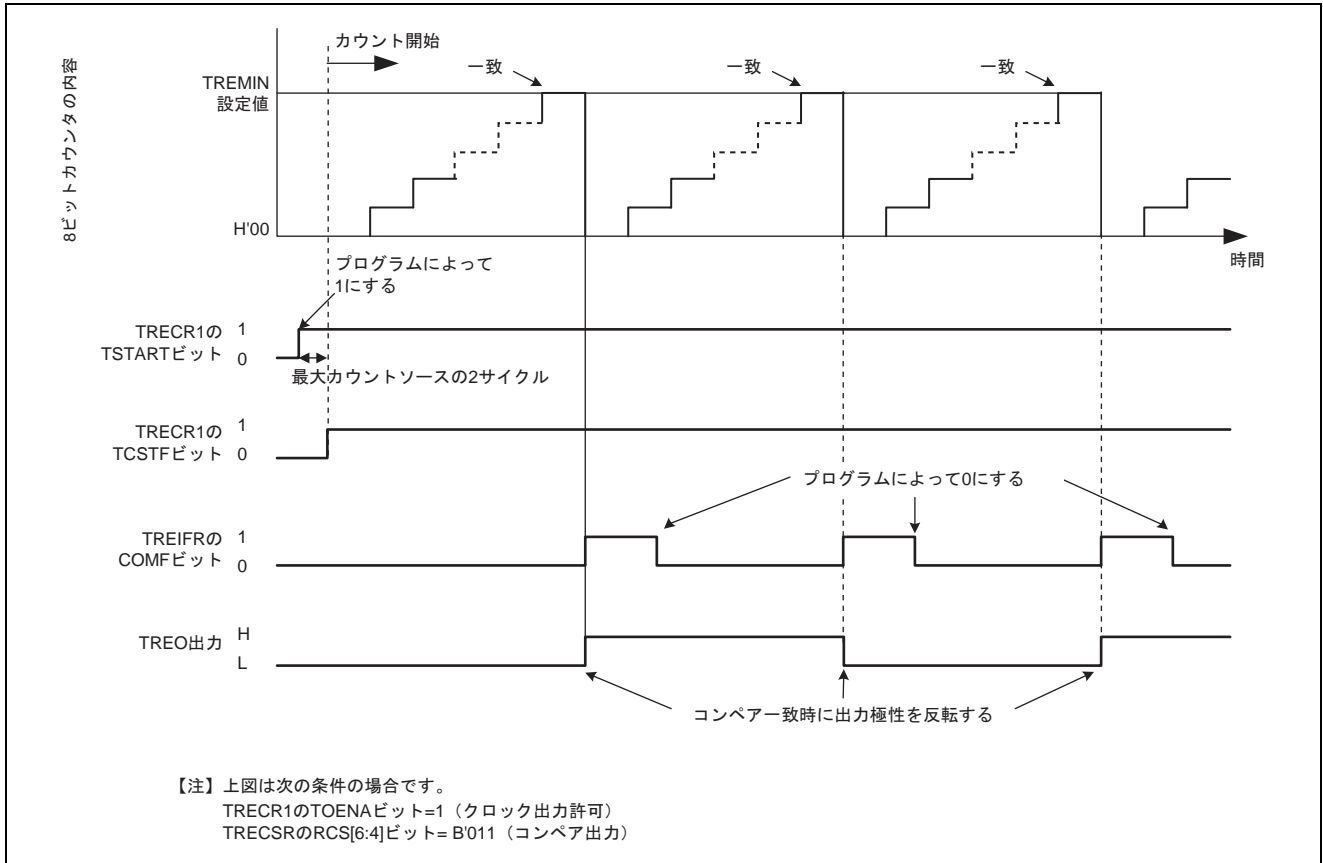


図 17.7 アウトプットコンペアモードの動作例

17.5 割り込み要因

タイマ RE 割り込み要因には、リアルタイムクロックモードは週、日、時、分、秒の 5 種類、アウトプットコンペアモードはコンペアマッチ割り込みの計 6 種類あります。表 17.2 に割り込み要因を示します。

割り込みを使用する場合、タイマ RE の起動は他のレジスタの設定が終了した後、最後に行ってください。タイマ RE の各割り込み要因は独立したベクタアドレスが割り当てられています。

表 17.2 割り込み要因

要因名	割り込み要因	割り込み許可ビット
コンペアマッチ 割り込み	コンペアデータとカウント値がマッチしたときに発生します。	COMIE
週周期割り込み	曜日データレジスタの値が 0 になったとき、1 週間周期に割り込みを発生します。	WKIE
日周期割り込み	曜日データレジスタがカウントされるたびに、1 日周期に割り込みを発生します。	DYIE
時周期割り込み	時データレジスタがカウントされるたびに、1 時間周期に割り込みを発生します。	HRIE
分周期割り込み	分データレジスタがカウントされるたびに、1 分周期に割り込みを発生します。	MNIE
秒周期割り込み	秒データレジスタがカウントされるたびに、1 秒周期に割り込みを発生します。	SEIE

17.6 使用上の注意事項

(1) カウント開始、停止

タイマ RE にはカウント開始または停止を指示するための TSTART ビットと、カウントが開始または停止したことを示す TCSTF ビットがあります。

TSTART ビットを 1 にセットするとタイマ RE がカウントを開始し、TCSTF ビットが 1 になります。TSTART ビットを 1 にした後、TCSTF ビットが 1 になるまで、最大でカウントソースの 2 サイクルかかります。この間、TCSTF ビットを除くタイマ RE 関連レジスタ*をアクセスしないでください。

同様に、TSTART ビットを 0 にクリアするとタイマ RE がカウントを停止し、TCSTF ビットが 0 になります。TSTART ビットを 0 にした後、TCSTF ビットが 0 になるまで、TCSTF ビットを除くタイマ RE 関連レジスタ*をアクセスしないでください。

【注】 タイマ RE 関連レジスタ : TRESEC、TREMINT、TREHR、TREWK、TRECRC1、TRECRC2、TRECRCR

(2) タイマ RE のレジスタ設定

以下に示すレジスタやビットは、タイマ RE が停止中に書き込んでください。

タイマ RE が停止中とは、TRECRC1 の TSTART ビットと TCSTF ビットがともに 0 の状態を示します。また、TRECRC2 は、上記のレジスタやビットの設定の最後（タイマ RE カウント開始の直前）に設定してください。

- TRESEC、TREMINT、TREHR、TREWK、TRECRC2レジスタ
- TRECRC1のH12_H24ビット、PMビット、INTビット
- TRECRCRのRCS0～RCS3ビット

(3) ϕ sub ノイズ除去サンプリング回路

タイマ RE でクロックソースに ϕ sub を選択する場合は、必ず SYSCCR の SUBNC[1:0]ビットでサンプリング回路を有効にして使用してください。SUBNC[1:0]ビットの詳細については、「5.2.2 システムクロックコントロールレジスタ (SYSCCR)」を参照してください。

(4) アウトプットコンペアモード時のクロック選択の制限

アウトプットコンペアモードにおいて、CPU が ϕ loco 動作時はクロックソースに ϕ sub を選択しないでください。

18. タイマ RG

タイマ RG は、アウトプットコンペア機能、インプットキャプチャ機能を内蔵した 16 ビットのタイマです。外部クロックによるカウントが可能のほか、タイマカウンタと 2 本のジェネラルレジスタのコンペアマッチ信号による任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

18.1 概要

- 6種類のカウンタ入力クロックを選択可能
内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/32$
外部クロック：TCLKA、TCLKB
- タイマモード
コンペアマッチによる波形出力機能：0 出力／1 出力／トグル出力
インプットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、立ち上がり／立ち下がりの両エッジでカウント
- PWMモード
任意の周期／デューティのパルス出力が可能
- 位相計数モード：2本の外部クロック入力の位相差を検出し、TCNTをアップ／ダウンカウント可能
- 内部16ビットバスによる高速アクセス
タイマカウンタ、ジェネラルレジスタに対して、16 ビットバスインタフェースによる高速アクセスが可能
- 4種類の割込み要因
TRGCNT オーバフロー、TRGCNT アンダフロー、コンペアマッチ、インプットキャプチャ

表 18.1 タイマ RG 機能一覧

項目		カウンタ	入出力端子	
			TGIOA	TGIOB
カウントクロック		内部クロック : ϕ 、 $\phi/2$ 、 $\phi/8$ 、 $\phi/32$ 外部クロック : TCLKA、TCLKB		
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼用レジスタ)		—	GRA	GRB
バッファレジスタ		—	BRA	BRB
カウンタクリア機能		—	コンペアマッチ/ インプットキャプチャ	コンペアマッチ/ インプットキャプチャ
出力初期値設定機能		—	—	—
バッファ動作		—	○	○
コンペアマッチ出力	0 出力	—	○	○
	1 出力	—	○	○
	トグル出力	—	○	○
インプットキャプチャ機能		—	○	○
PWM モード		—	○	○
位相計数モード		—	○	○
割り込み要因		オーバフロー アンダフロー	コンペアマッチ/ インプットキャプチャ	コンペアマッチ/ インプットキャプチャ

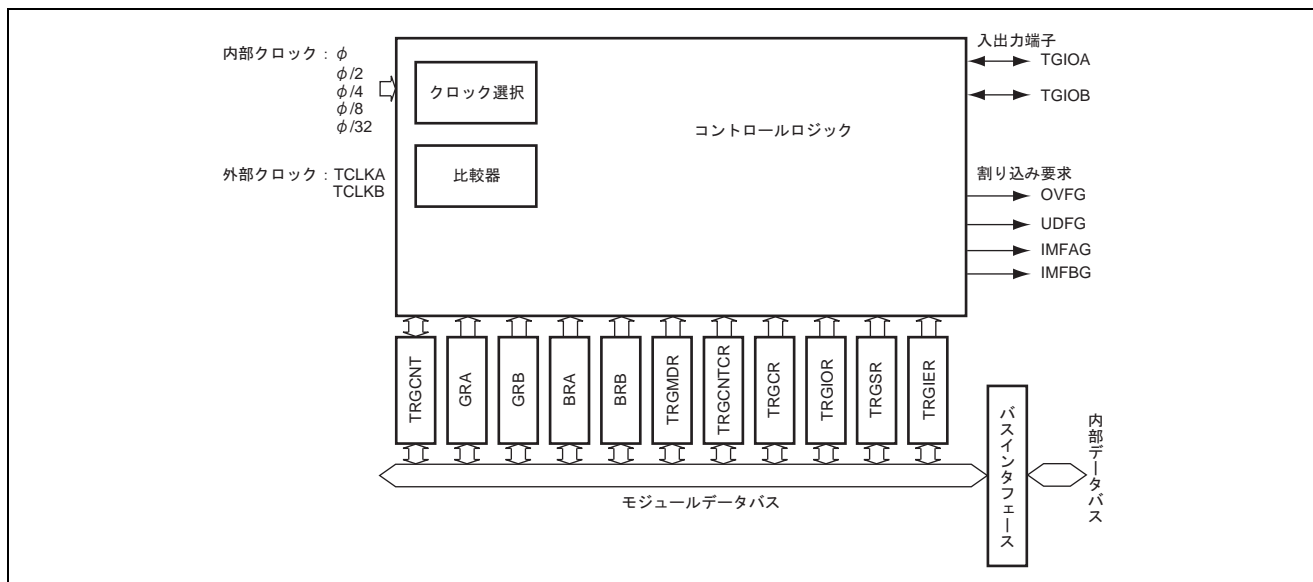


図 18.1 タイマ RG のブロック図

タイマRGの入出力端子を表18.1に示します。

表 18.2 入出力端子

端子名	入出力	機能
TCLKA	入力	外部クロック A 入力端子 (位相計数モード時 A 相入力端子)
TCLKB	入力	外部クロック B 入力端子 (位相計数モード時 B 相入力端子)
TGIOA	入出力	GRA アウトプットコンペア出力/GRA インพุットキャプチャ入力/ PWM 出力端子 (PWM モード時)
TGIOB	入出力	GRB アウトプットコンペア出力/GRB インพุットキャプチャ入力

18.2 レジスタの説明

タイマ RG には以下のレジスタがあります。

- タイマRGモードレジスタ (TRGMDR)
- タイマRGカウンタコントロールレジスタ (TRGCNTCR)
- タイマRGコントロールレジスタ (TRGCR)
- タイマRG I/Oコントロールレジスタ (TRGIOR)
- タイマステータスレジスタ (TRGSR)
- タイマRGインタラプトイネーブルレジスタ (TRGIER)
- タイマRGカウンタ (TRGCNT)
- ジェネラルレジスタA (GRA)
- ジェネラルレジスタB (GRB)
- GRAバッファレジスタ (BRA)
- GRBバッファレジスタ (BRB)

18.2.1 タイマ RG モードレジスタ (TRGMDR)

アドレス: H'FF0646

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	STR	—	DFCK[1:0]	DFB	DFA	MDF	PWM	

リセット後の値: 0 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	STR	カウンタ スタート	0: TRGCNT はカウント停止 1: TRGCNT はカウント動作	R/W
6	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
5、4	DFCK[1:0]	デジタルフィルタ クロック選択	00: $\phi/32$ (初期値) 01: $\phi/8$ 10: ϕ 11: TRGCR の TPSC2[2:0]で選択したクロック	R/W
3	DFB	TGIOB 端子デジ タルフィルタ 機能選択	0: TGIOB 端子のデジタルフィルタ機能なし 1: TGIOB 端子のデジタルフィルタ機能あり	R/W
2	DFA	TGIOA 端子デジ タルフィルタ 機能選択	0: TGIOA 端子のデジタルフィルタ機能なし 1: TGIOA 端子のデジタルフィルタ機能あり	R/W
1	MDF	位相計数モード 選択	0: カウントアップ* ¹ 1: 位相計数モード	R/W
0	PWM	PWM モード選択	0: 通常モード* ² 1: PWM モード	R/W

【注】 *1 PWM モードではカウントアップを選択してください。

*2 位相計数モードでは通常モードを選択してください。

• STR (カウンタスタート)

このビットが 0 のとき TRGCNT はカウント動作を停止し、1 のときカウント動作を行います。
イベントリンクコントローラの ELOPC によりタイマ RG 動作が選定され、指定イベントが発生すると本
ビットは 1 にセットされます。

• MDF (位相計数モード選択)

このビットが 0 のときカウンタは TRGCR の TPSC2~TPSC0 で設定したクロックをカウントします。
このビットが 1 のときカウンタは TRGCNTCR に設定したカウント条件で TCLKA、TCLKB による位相を
カウントします。

18.2.2 タイマ RG カウンタコントロールレジスタ (TRGCNTCR)

アドレス: H'FF0647

ビット: b7 b6 b5 b4 b3 b2 b1 b0

CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
--------	--------	--------	--------	--------	--------	--------	--------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	CNTEN7	カウントイネーブルビット7	0: TCLKA がローレベルで、TCLKB の立ち上がりエッジのとき、 don't care 1: TCLKA がローレベルで、TCLKB の立ち上がりエッジのとき、 カウントアップ	R/W
6	CNTEN6	カウントイネーブルビット6	0: TCLKB がハイレベルで、TCLKA の立ち上がりエッジのとき、 don't care 1: TCLKB がハイレベルで、TCLKA の立ち上がりエッジのとき、 カウントアップ	R/W
5	CNTEN5	カウントイネーブルビット5	0: TCLKA がハイレベルで、TCLKB の立ち下がりエッジのとき、 don't care 1: TCLKA がハイレベルで、TCLKB の立ち下がりエッジのとき、 カウントアップ	R/W
4	CNTEN4	カウントイネーブルビット4	0: TCLKB がローレベルで、TCLKA の立ち下がりエッジのとき、 don't care 1: TCLKB がローレベルで、TCLKA の立ち下がりエッジのとき、 カウントアップ	R/W
3	CNTEN3	カウントイネーブルビット3	0: TCLKB がハイレベルで、TCLKA の立ち下がりエッジのとき、 don't care 1: TCLKB がハイレベルで、TCLKA の立ち下がりエッジのとき、 カウントダウン	R/W
2	CNTEN2	カウントイネーブルビット2	0: TCLKA がローレベルで、TCLKB の立ち下がりエッジのとき、 don't care 1: TCLKA がローレベルで、TCLKB の立ち下がりエッジのとき、 カウントダウン	R/W
1	CNTEN1	カウントイネーブルビット1	0: TCLKB がローレベルで、TCLKA の立ち上がりエッジのとき、 don't care 1: TCLKB がローレベルで、TCLKA の立ち上がりエッジのとき、 カウントダウン	R/W
0	CNTEN0	カウントイネーブルビット0	0: TCLKA がハイレベルで、TCLKB の立ち上がりエッジのとき、 don't care 1: TCLKA がハイレベルで、TCLKB の立ち上がりエッジのとき、 カウントダウン	R/W

18.2.3 タイマ RG コントロールレジスタ (TRGCR)

アドレス: H'FF0648

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	CCLR[1:0]	CKEG[1:0]	TPSC[2:0]
---	-----------	-----------	-----------

リセット後の値: 1 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
6、5	CCLR[1:0]	カウンタクリア 要因選択	00 : TRGCNT のクリア禁止 01 : GRA のコンペアマッチ/インプットキャプチャで TRGCNT を クリア 1x : GRB のコンペアマッチ/インプットキャプチャで TRGCNT を クリア	R/W
4、3	CKEG[1:0]	外部クロック 検出エッジ選択	00 : 立ち上がりエッジでカウント 01 : 立ち下がりエッジでカウント 1x : 立ち上がり/立ち下がりの両エッジでカウント	R/W
2~0	TPSC[2:0]	TRGCNT カウン トクロック選択	000 : 内部クロック ϕ でカウント 001 : 内部クロック $\phi/2$ でカウント 010 : 内部クロック $\phi/4$ でカウント 011 : 内部クロック $\phi/8$ でカウント 100 : 内部クロック $\phi/32$ でカウント 101 : TCLKA 端子入力でカウント 110 : 設定禁止 111 : TCLKB 端子入力でカウント	R/W

【記号説明】 x : Don't care

- CKEG[1:0] (外部クロック検出エッジ選択)

外部クロックの検出するエッジを選択します。位相計数モードに設定されているとき、CKEG[1:0]の設定は無効になり、位相計数モードの動作が優先されます。

- TPSC[2:0] (TRGCNTカウントクロック選択)

位相計数モードの場合、本ビットの設定は無効です。

18.2.4 タイマ RG I/O コントロールレジスタ (TRGIOR)

アドレス: H'FF0649

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BUFB	IOB2	IOB[1:0]	BUFA	IOA2	IOA[1:0]
------	------	----------	------	------	----------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	BUFB	BRB 機能選択	0 : BRB は GRB のバッファレジスタとして動作しない 1 : BRB は GRB のバッファレジスタとして動作	R/W
6	IOB2	GRB 機能選択	0 : GRB はコンペアマッチレジスタとして機能 1 : GRB はインプットキャプチャレジスタとして機能	R/W
5、4	IOB[1:0]	GRB I/O 機能 選択	IOB2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRB のコンペアマッチで TGIOB 端子へ 0 出力 10 : GRB のコンペアマッチで TGIOB 端子へ 1 出力 11 : GRB のコンペアマッチで TGIOB 端子へトグル出力 IOB2=1 のとき 00 : TGIOB 端子の立ち上がりエッジで GRB ヘインプット キャプチャ 01 : TGIOB 端子の立ち下がりエッジで GRB ヘインプット キャプチャ 1X : TGIOB 端子の両エッジで GRB ヘインプットキャプチャ	R/W
3	BUFA	BRA 機能選択	0 : BRA は GRA のバッファレジスタとして動作しない 1 : BRA は GRA のバッファレジスタとして動作	R/W
2	IOA2	GRA 機能選択	0 : GRA はコンペアマッチレジスタとして機能 1 : GRA はインプットキャプチャレジスタとして機能	R/W
1、0	IOA[1:0]	GRA I/O 機能 選択	IOA2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRA のコンペアマッチで TGIOA 端子へ 0 出力 10 : GRA のコンペアマッチで TGIOA 端子へ 1 出力 11 : GRA のコンペアマッチで TGIOA 端子へトグル出力 IOA2=1 のとき 00 : TGIOA 端子の立ち上がりエッジで GRA ヘインプット キャプチャ 01 : TGIOA 端子の立ち下がりエッジで GRA ヘインプット キャプチャ 1X : TGIOA 端子の両エッジで GRA ヘインプットキャプチャ	R/W

【記号説明】 X : Don't care

18.2.5 タイマ RG ステータスレジスタ (TRGSR)

アドレス: H'FF064A

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DIRF	OVF	UDF	IMFB	IMFA

リセット後の値: 1 1 1 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~5	—	予約ビット	リードすると1が読み出されます。ライト時は1を書いてください。	—
4	DIRF	カウント方向 フラグ	0: TRGCNT はダウンカウント 1: TRGCNT はアップカウント	R
3	OVF	オーバフロー フラグ	[1になる条件] • TRGCNT の値がオーバフロー (H'FFFF→H'0000) したとき [0になる条件] • OVF=1 の状態で OVF をリード後、OVF に0をライトしたとき	R/W
2	UDF	アンダフロー フラグ	[1になる条件] • TRGCNT の値がアンダフロー (H'0000→H'FFFF) したとき [0になる条件] • UDF=1 の状態で UDF をリード後、UDF に0をライトしたとき 位相計数モードに設定されているとき (TRGMDR の MDF=1)、UDF が有効になります。	R/W
1	IMFB	インプットキャプチャ/ コンペア マッチフラグ B	[1になる条件] • GRB がアウトプットコンペアレジスタとして機能しているとき で、TRGCNT=GRB になったとき • GRB がインプットキャプチャレジスタとして機能しているとき で、インプットキャプチャ信号により TRGCNT の値が GRB に転送されたとき [0になる条件] • IMFB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0のとき • IMFB=1 の状態で、IMFB フラグをリードした後、IMFB フラグに0をライトしたとき	R/W

ビット	シンボル	ビット名	説明	R/W
0	IMFA	インプットキャプチャ/コンペアマッチフラグ A	<p>[1になる条件]</p> <ul style="list-style-type: none"> GRA がアウトプットコンペアレジスタとして機能しているときに、TRGCNT=GRA になったとき GRA がインプットキャプチャレジスタとして機能しているときに、インプットキャプチャ信号により TRGCNT の値が GRA に転送されたとき <p>[0になる条件]</p> <ul style="list-style-type: none"> IMFA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき IMFA=1 の状態で、IMFA フラグをリードした後、IMFA フラグに 0 をライトしたとき 	R/W

18.2.6 タイマ RG インタラプトイネーブルレジスタ (TRGIER)

アドレス: H'FF064B

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OVIE	UDIE	IMIEB	IMIEA

リセット後の値: 1 1 1 1 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~4	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
3	OVIE	オーバフロー割り込みイネーブル	0: OVF フラグによる割り込みを禁止 1: OVF フラグによる割り込みを有効	R/W
2	UDIE	アンダフロー割り込みイネーブル	0: UDF フラグによる割り込みを禁止 1: UDF フラグによる割り込みを有効	R/W
1	IMIEB	インプットキャプチャ/コンペアマッチ B イネーブル	0: IMFB フラグによる割り込みを禁止 1: IMFB フラグによる割り込みを有効	R/W
0	IMIEA	インプットキャプチャ/コンペアマッチ A イネーブル	0: IMFA フラグによる割り込みを禁止 1: IMFA フラグによる割り込みを有効	R/W

18.2.7 タイマ RG カウンタ (TRGCNT)

アドレス: H'FF0640

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

TRGCNT は、16 ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TRGCR の TPSC[2:0] ビットにより選択します。

TRGCNT は位相計数モード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作をします。

TRGCNT は、対応する GRA、GRB とのコンペアマッチ、または GRA、GRB へのインプットキャプチャにより H'0000 にクリアすることができます (カウンタクリア機能)。

TRGCNT がオーバーフロー (H'FFFF→H'0000) すると、TRGSR の OVF フラグが 1 にセットされます。アンダフロー (H'0000→H'FFFF) すると、TRGSR の UDF フラグが 1 にセットされます。

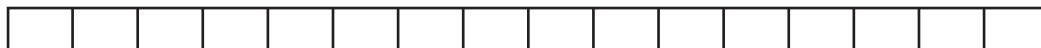
TRGCNT は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。TRGCNT の初期値は H'0000 です。

18.2.8 ジェネラルレジスタ A、B (GRA、GRB) GRA バッファレジスタ、GRB バッファレジスタ (BRA、BRB)

・ GRA

アドレス: H'FF0642

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

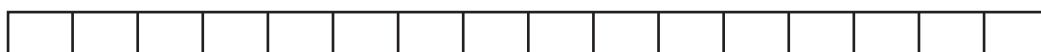


リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ GRB

アドレス: H'FF0644

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ BRA

アドレス: H'FF064C

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

・ BRB

アドレス: H'FF064E

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

GRA、GRB は、16 ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り換えは、TRGIOR により行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRB の値と TRGCNT の値は常に比較されています。両者の値が一致 (コンペアマッチ) すると、TRGSR の IMFA/IMFB フラグが 1 にセットされます。TRGIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRGCNT の値を格納します。このとき TRGSR の IMFA/IMFB フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジ選択は TRGIOR により行います。PWM モード時、TRGIOR の設定は無視されません。

BRA は GRA のバッファレジスタとして、BRB は GRB のバッファレジスタとしてそれぞれ使用することができます。この機能は TRGIOR の BUFA、BUFB により選択できます。

例えば、GRA がアウトプットコンペアレジスタとして、BRA が GRA のバッファレジスタとして設定された場合、コンペアマッチ A が発生するたびにバッファレジスタ BRA の値が GRA に転送されます。

GRA がインプットキャプチャレジスタとして、BRA が GRA のバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRGCNT の値が GRA に、GRA の値がバッファレジスタ BRA に転送されます。

ジェネラルレジスタ及びバッファレジスタは常に 16 ビット単位でアクセスしてください。ジェネラルレジスタはリセット時、アウトプットコンペアレジスタに設定され、H'FFFF に初期化されます。

18.3 動作説明

タイマ RG には次の動作モードがあります。

- タイマモード（コンペアマッチによる波形出力機能、インプットキャプチャ機能）
- PWMモード
- 位相計数モード

TGIOA、TGIOB 端子において、各レジスタ設定による機能を示します。

- TGIOA端子

レジスタ名	PMR	PCR	TRGMDR	TRGIOR	機 能
ビット名	PMR	PCR	PWM	IOA[2:0]	
設定値	1	X	1	XXX	PWM モード波形出力
		X	0	001,01X	タイマモード波形出力（アウトプットコンペア機能）
		0	0	1XX	タイマモード（インプットキャプチャ機能）
	0	1	X	XXX	汎用出力ポート
		0	X	XXX	汎用入力ポート
	上記以外				

【記号説明】 X : Don't care

- TGIOB端子

レジスタ名	PMR	PCR	TRGMDR	TRGIOR	機 能
ビット名	PMR	PCR	PWM	IOB[2:0]	
設定値	1	X	0	001、01X	タイマモード波形出力（アウトプットコンペア機能）
		0	0	1XX	タイマモード（インプットキャプチャ機能）
	0	1	X	XXX	汎用出力ポート
		0	X	XXX	汎用入力ポート
上記以外					設定しないでください

【記号説明】 X : Don't care

18.3.1 タイマモード

TRGCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRBは、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) コンペアマッチによる波形出力機能

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 18.2 に示します。

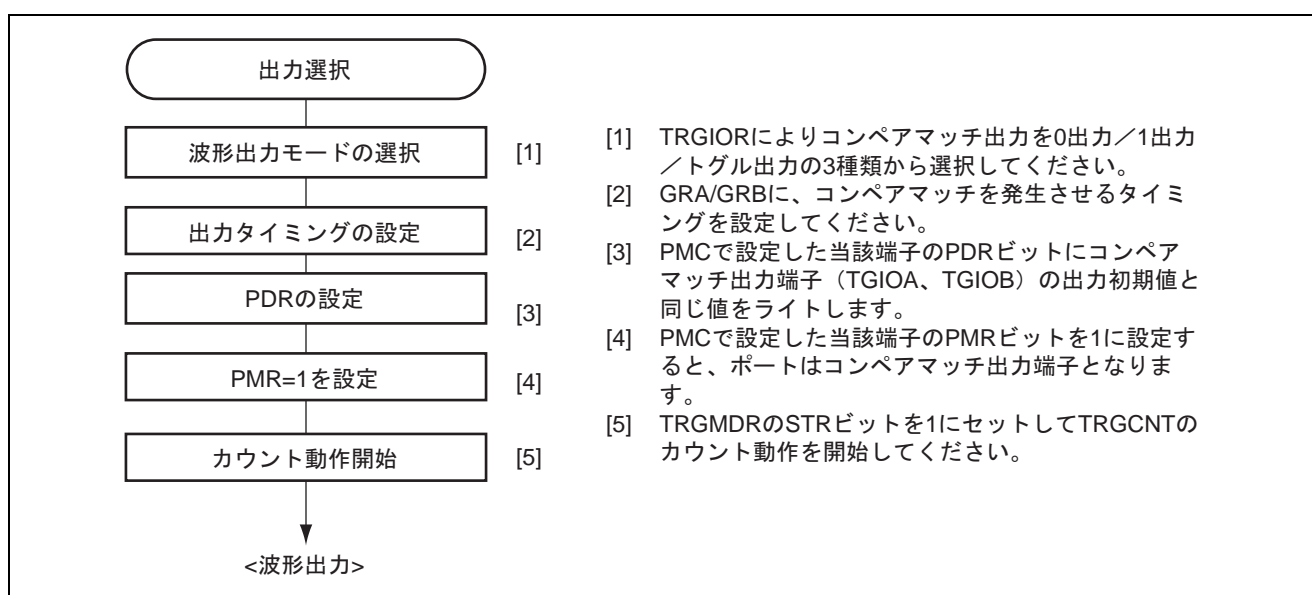


図 18.2 コンペアマッチによる波形出力動作例

表 18.3 最初のコンペアマッチ発生までの初期出力値

端子名	コンペアマッチで 0 出力	コンペアマッチで 1 出力	コンペアマッチで トグル出力
TGIOA	1	0	0*
TGIOB	1	0	0*

【注】 * リセット解除後、最初にトグル出力を選択した場合です。他の出力より切り替えた場合は切り替え前の出力値となります。

(b) 波形出力動作例

0 出力 / 1 出力の例を図 18.3 に示します。

TRGCNT をフリーランニングカウント動作、またコンペアマッチ A により 0 出力、コンペアマッチ B により 1 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

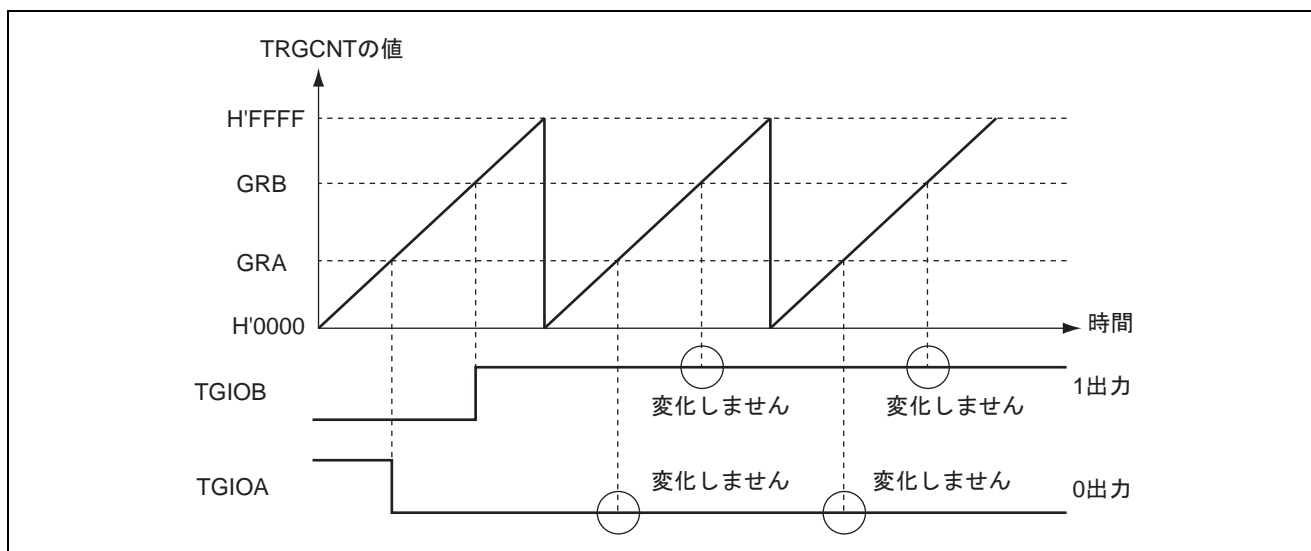


図 18.3 0 出力、1 出力の動作例

トグル出力の例を図 18.4 に示します。TRGCNT を周期カウント動作 (コンペアマッチ B でカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

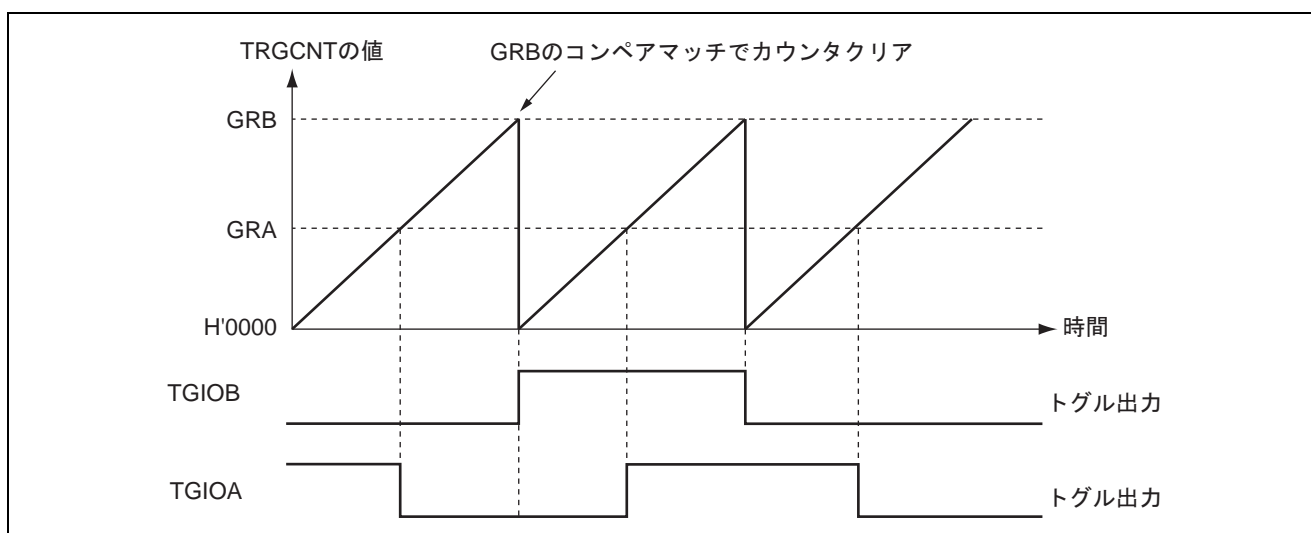


図 18.4 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TRGCNT と GR が一致した最後のステート（TRGCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TRGIOR で設定される出力値がアウトプットコンペア出力端子（TGIOA、TGIOB）に出力されます。TRGCNT と GR が一致した後、TRGCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 18.5 に示します。

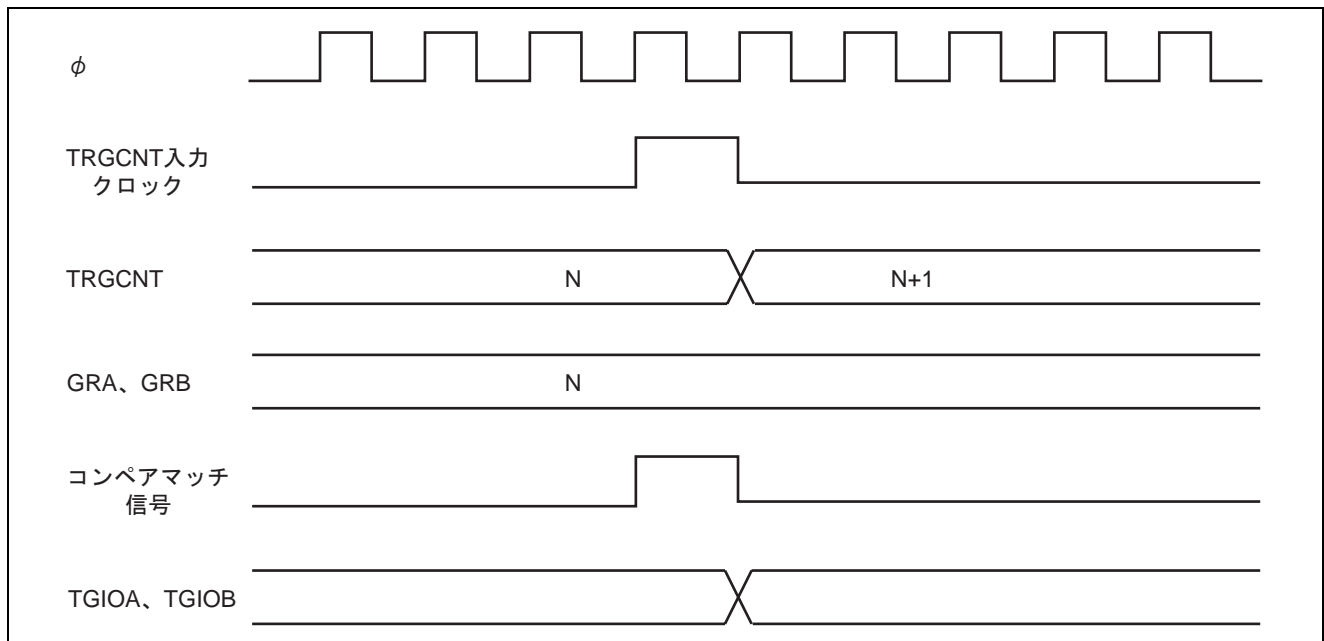


図 18.5 アウトプットコンペア出力タイミング

(2) インพุットキャプチャ機能

インพุットキャプチャ/アウトプットコンペア端子 (TGIOA、TGIOB) の入力エッジを検出して TRGCNT の値を GR に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 18.6 に示します。

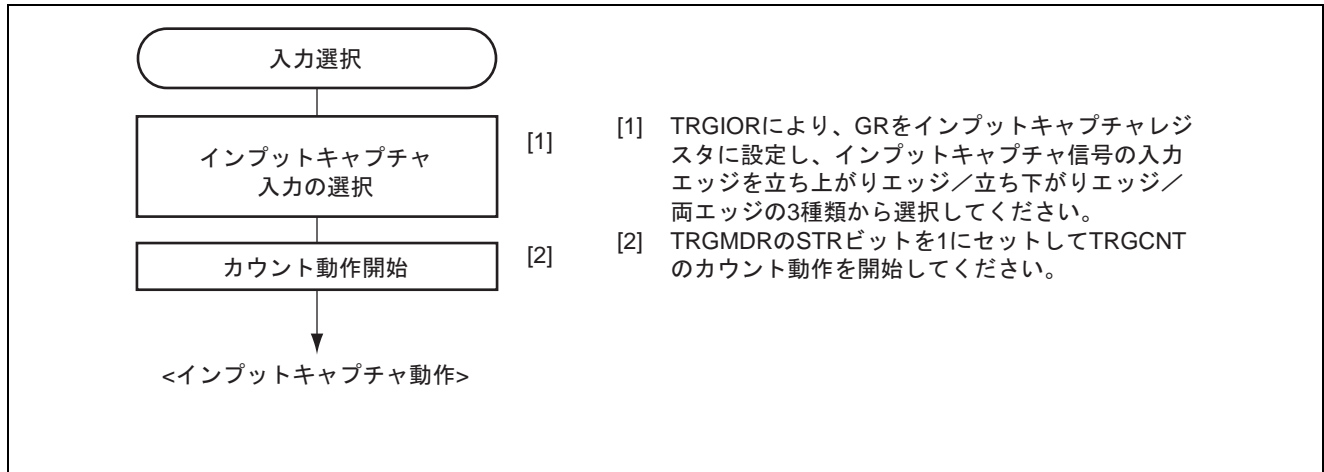


図 18.6 インพุットキャプチャ動作の設定手順例

(b) インプットキャプチャ動作例

インプットキャプチャ動作例を図 18.7 に示します。

TGIOA 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また、TGIOB 端子のインプットキャプチャ入力エッジは、立ち下がりエッジを選択し、TRGCNT は GRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

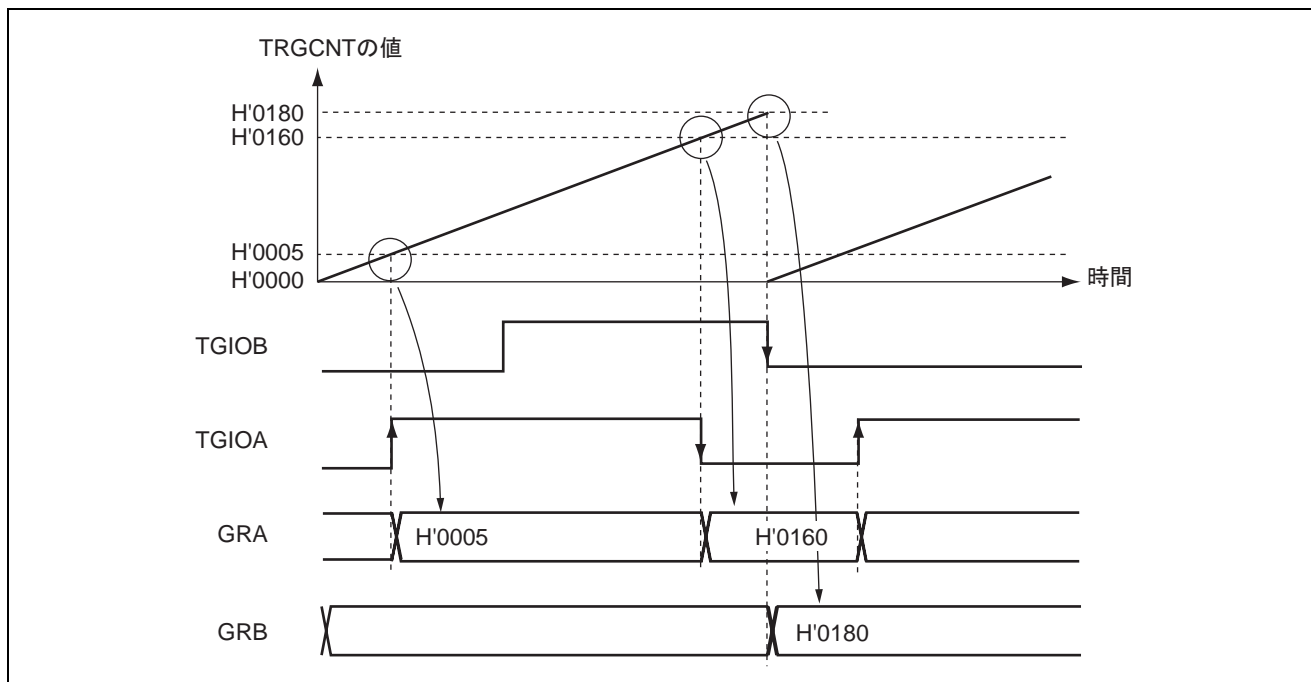


図 18.7 インプットキャプチャ動作例

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TRGIOR の設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

立ち下がりエッジを選択した場合のタイミングを図 18.8 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

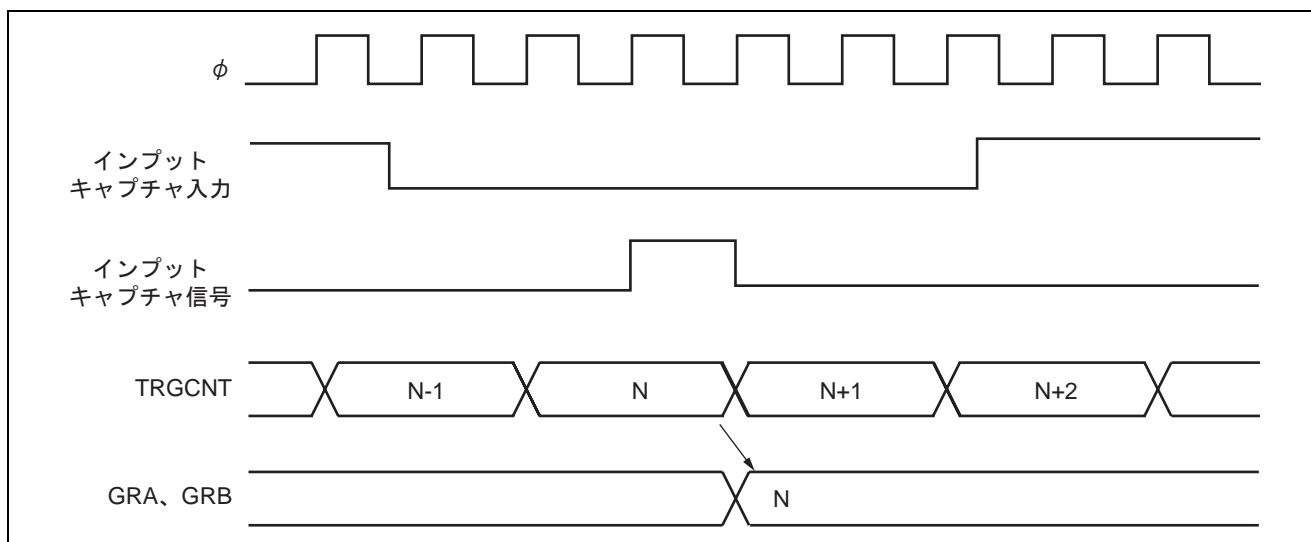


図 18.8 インพุットキャプチャ入力信号タイミング

18.3.2 PWM モード

PWM モードは、GRA と GRB をペアで使用し、TGIOA 出力端子より PWM 波形を出力します。PWM モードに設定された出力端子は TRGIOR の出力の設定は無効となります。GRA には PWM 波形のハイ出力タイミングを設定し、GRB には PWM 波形のロー出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを TRGCNT のカウンタクリア要因とすることにより、デューティ 0~100% の PWM 波形を TGIOA 端子より出力することができます。

PWM 出力端子とレジスタの対応を表 18.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 18.4 PWM 出力端子とレジスタの組み合わせ

出力端子	1 出力	0 出力
TGIOA	GRA	GRB
TGIOB	汎用 I/O として機能	

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 18.9 に示します。

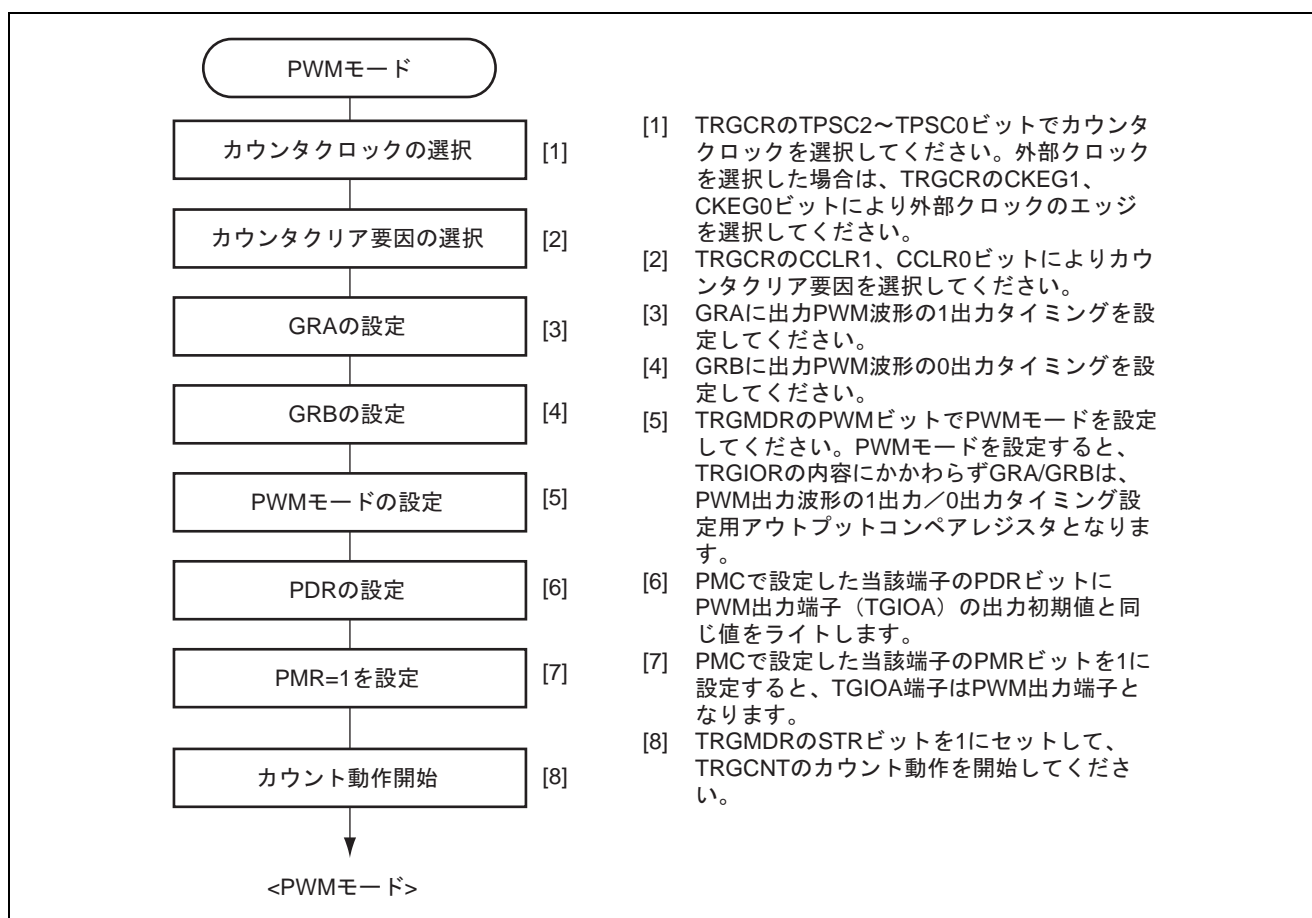


図 18.9 PWM モード設定手順例

(2) PWM モードの動作例

PWM モードの動作例を図 18.10 に示します。

PWM モードに設定すると、TGIOA 端子は自動的に出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。ただし、TGIOB 端子は TRGIOR の設定に関わらず TGIOB が兼用された該当ポートの I/O として機能します。

TRGCNT のカウンタクリア要因を GRA、GRB のコンペアマッチとした場合の例です。TGIOA の初期状態はカウンタクリア要因だけで決まります。この対応関係を表 18.5 に示します。

表 18.5 TGIOA の初期状態とカウンタクリア要因の対応関係

カウンタクリア要因	TGIOA の初期状態
GRA のコンペアマッチ	1
GRB のコンペアマッチ	0

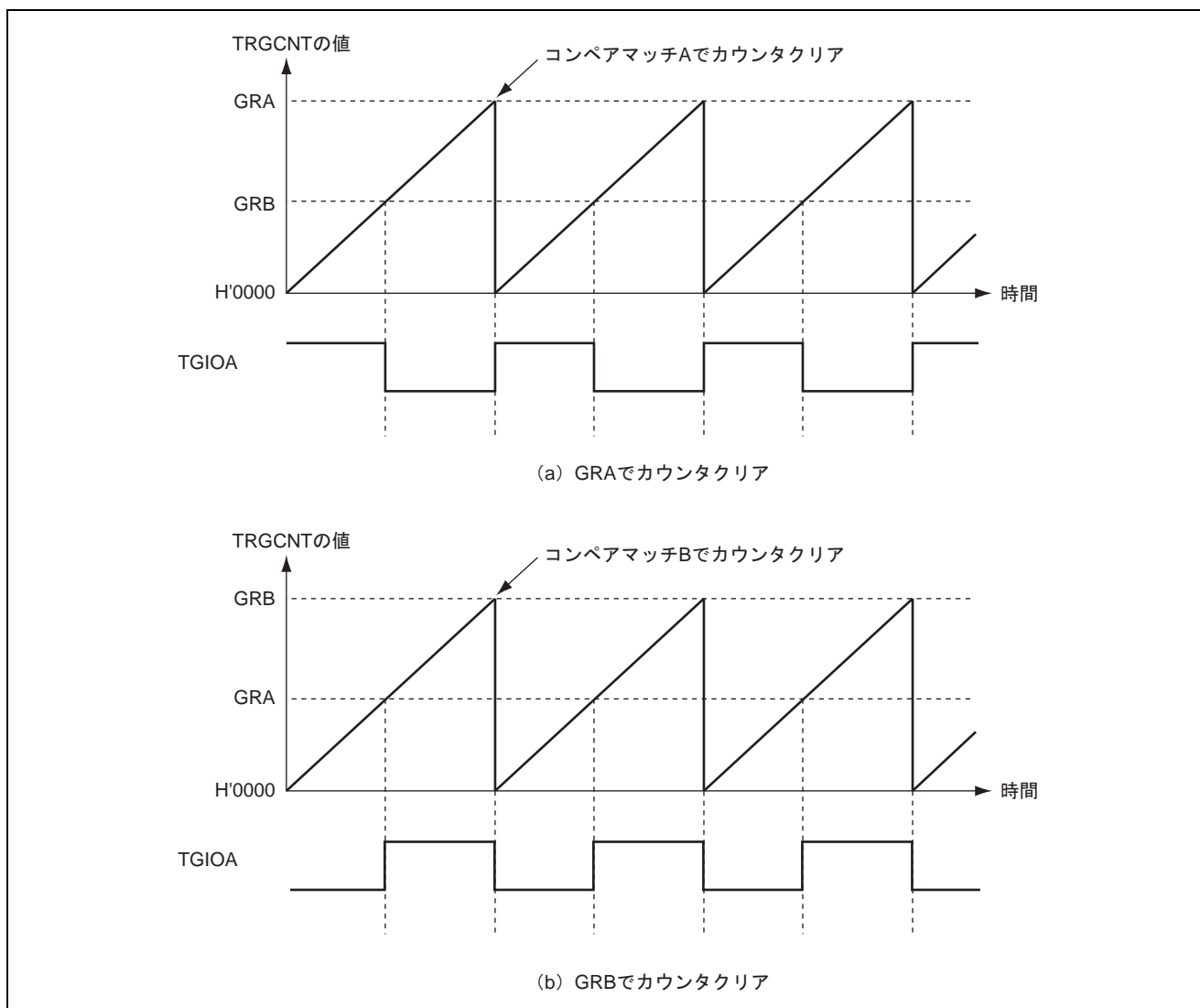


図 18.10 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 18.11 に示します。カウンタクリア要因を GRB のコンペアマッチに設定し、GRA の設定値 > GRB の設定値としたとき、PWM 波形はデューティ 0% となります。また、カウンタクリア要因を GRA のコンペアマッチに設定し、GRB の設定値 > GRA の設定値としたとき、PWM 波形はデューティ 100% となります。

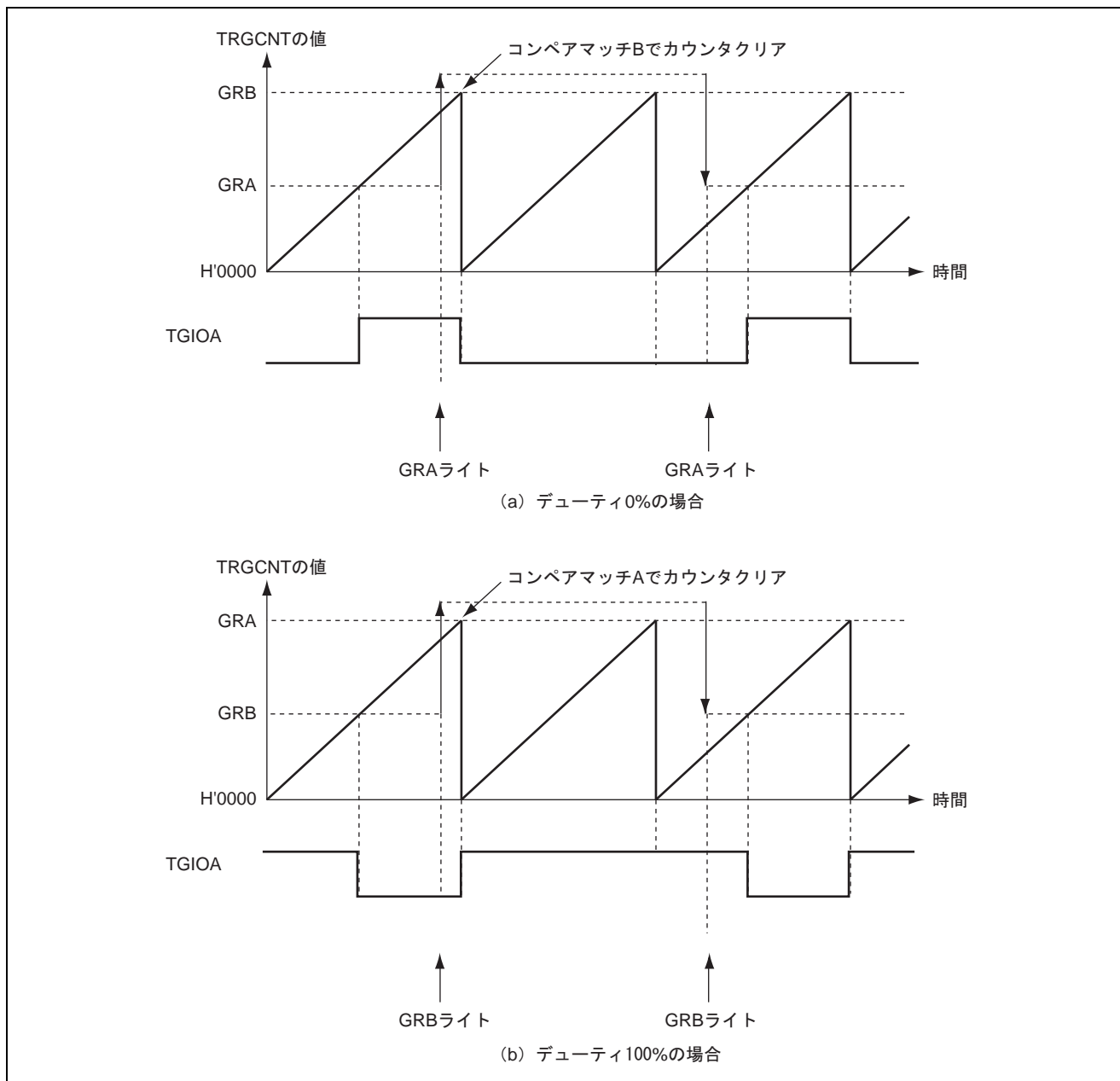


図 18.11 PWM モードの動作例 (2)

18.3.3 位相計数モード

位相計数モードは、2本の外部クロック入力（TCLKA、TCLKB 端子）の位相差を検出し、TRGCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TRGCR の TPSC[2:0]ビット、CKEG[1:0]ビットの設定に関わらず、TCLKA、TCLKB 端子は自動的に外部クロック入力端子として機能し、また TRGCNT は TRGCNTCR の設定により、アップ/ダウンカウンタとして動作します。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 18.12 に示します。

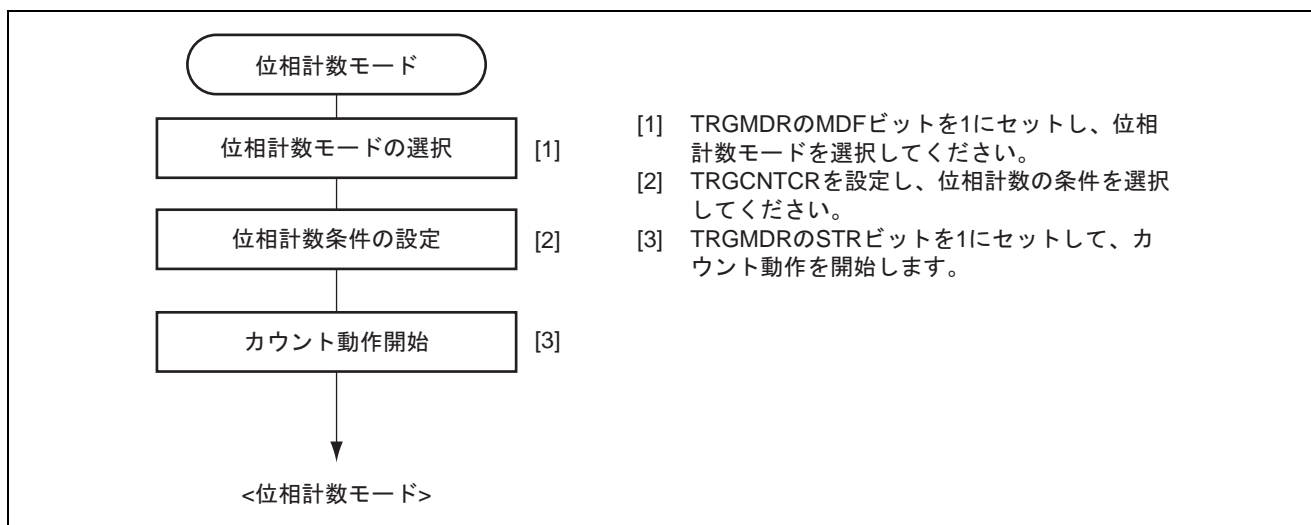


図 18.12 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図 18.13～図 18.16 に、TRGCNT のアップ/ダウンカウント条件を表 18.6～18.7 に示します。

表 18.6 位相計数モード動作例 1 のアップ/ダウンカウント条件 (TRGCNTCR=H'FF)

TRGCNTCR	設定値	TCLKA	TCLKB	動作内容
CNTEN7	1	ローレベル	立ち上がりエッジ	アップカウント
CNTEN6	1	立ち上がりエッジ	ハイレベル	
CNTEN5	1	ハイレベル	立ち下がりエッジ	
CNTEN4	1	立ち下がりエッジ	ローレベル	
CNTEN3	1	立ち下がりエッジ	ハイレベル	ダウンカウント
CNTEN2	1	ローレベル	立ち下がりエッジ	
CNTEN1	1	立ち上がりエッジ	ローレベル	
CNTEN0	1	ハイレベル	立ち上がりエッジ	

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

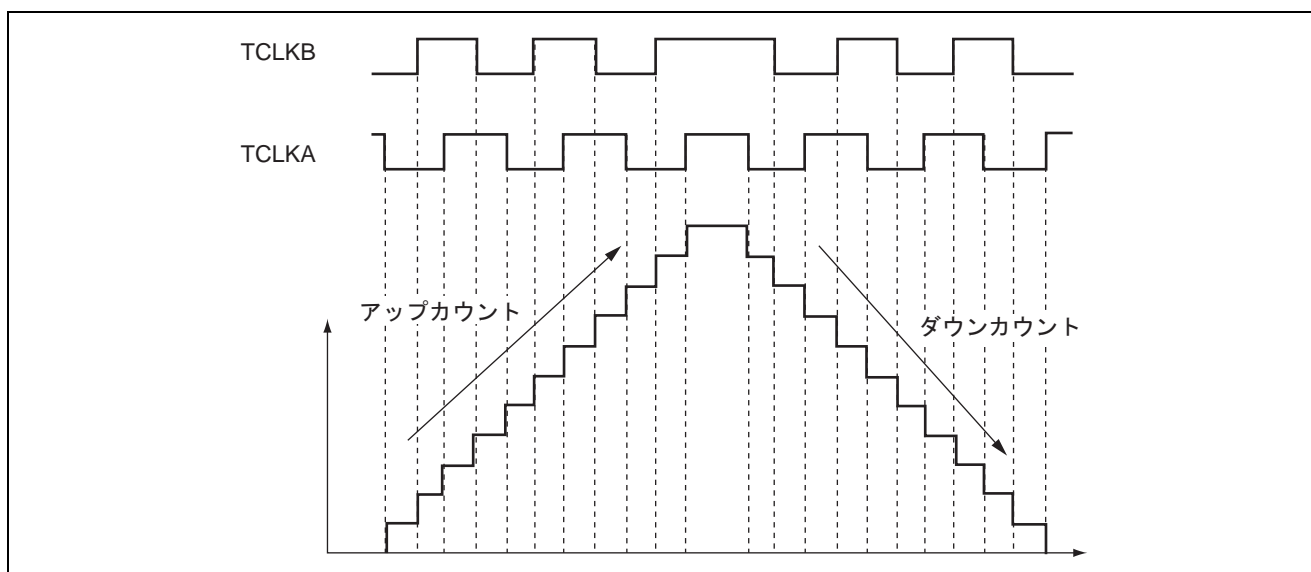


図 18.13 位相計数モードの動作例 1 (TRGCNTCR=H'FF)

表 18.7 位相計数モード動作例 2 のアップ/ダウンカウンタ条件 (TRGCNTCR=H'24)

TRGCNTCR	設定値	TCLKA	TCLKB	動作内容
CNTEN7	0	ローレベル	↑	don't care
CNTEN6	0	↑	ハイレベル	
CNTEN5	1	ハイレベル	↓	アップカウンタ
CNTEN4	0	↓	ローレベル	don't care
CNTEN3	0	↓	ハイレベル	
CNTEN2	1	ローレベル	↓	ダウンカウンタ
CNTEN1	0	↑	ローレベル	don't care
CNTEN0	0	ハイレベル	↑	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

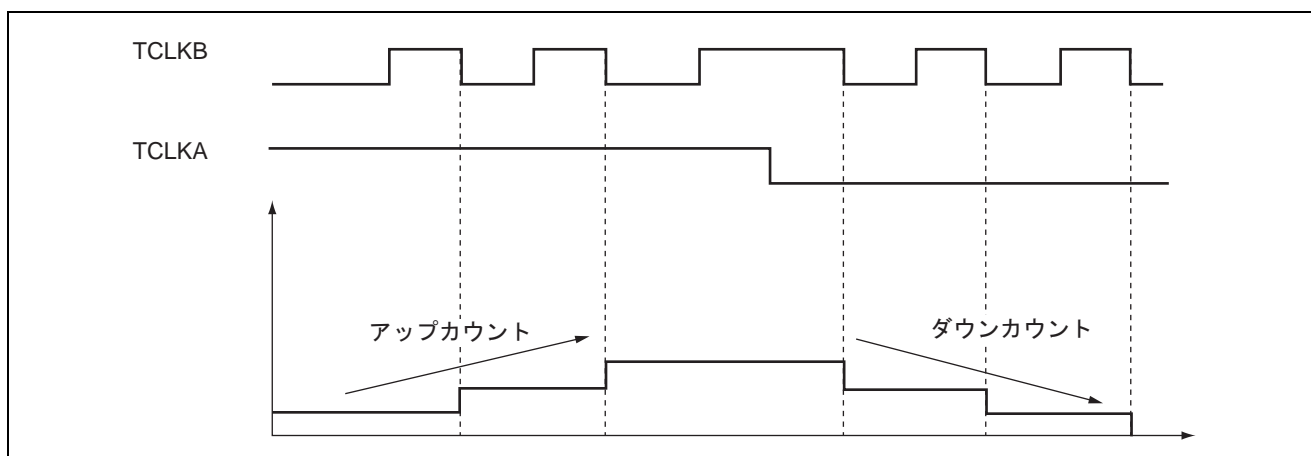


図 18.14 位相計数モードの動作例 2 (TRGCNTCR=H'24)

表 18.8 位相計数モード動作例 3 のアップ/ダウンカウンタ条件 (TRGCNTCR=H'28)

TRGCNTCR	設定値	TCLKA	TCLKB	動作内容
CNTEN7	0	ローレベル	↑	don't care
CNTEN6	0	↑	ハイレベル	
CNTEN5	1	ハイレベル	↓	アップカウンタ
CNTEN4	0	↓	ローレベル	don't care
CNTEN3	1	↓	ハイレベル	ダウンカウンタ
CNTEN2	0	ローレベル	↓	don't care
CNTEN1	0	↑	ローレベル	
CNTEN0	0	ハイレベル	↑	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

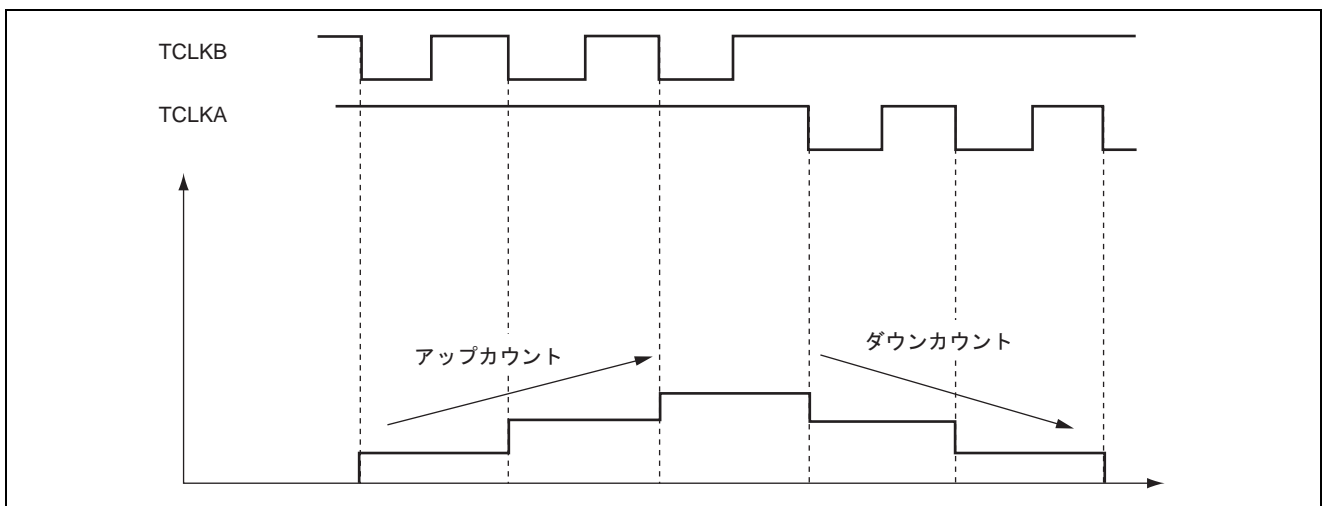


図 18.15 位相計数モードの動作例 3 (TRGCNTCR=H'28)

表 18.9 位相計数モード動作例 4 のアップ/ダウンカウンタ条件 (TRGCNTCR=H'5A)

TRGCNTCR	設定値	TCLKA	TCLKB	動作内容
CNTEN7	0	ローレベル	↑	don't care
CNTEN6	1	↑	ハイレベル	アップカウント
CNTEN5	0	ハイレベル	↓	don't care
CNTEN4	1	↓	ローレベル	アップカウント
CNTEN3	1	↓	ハイレベル	ダウンカウント
CNTEN2	0	ローレベル	↓	don't care
CNTEN1	1	↑	ローレベル	ダウンカウント
CNTEN0	0	ハイレベル	↑	don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

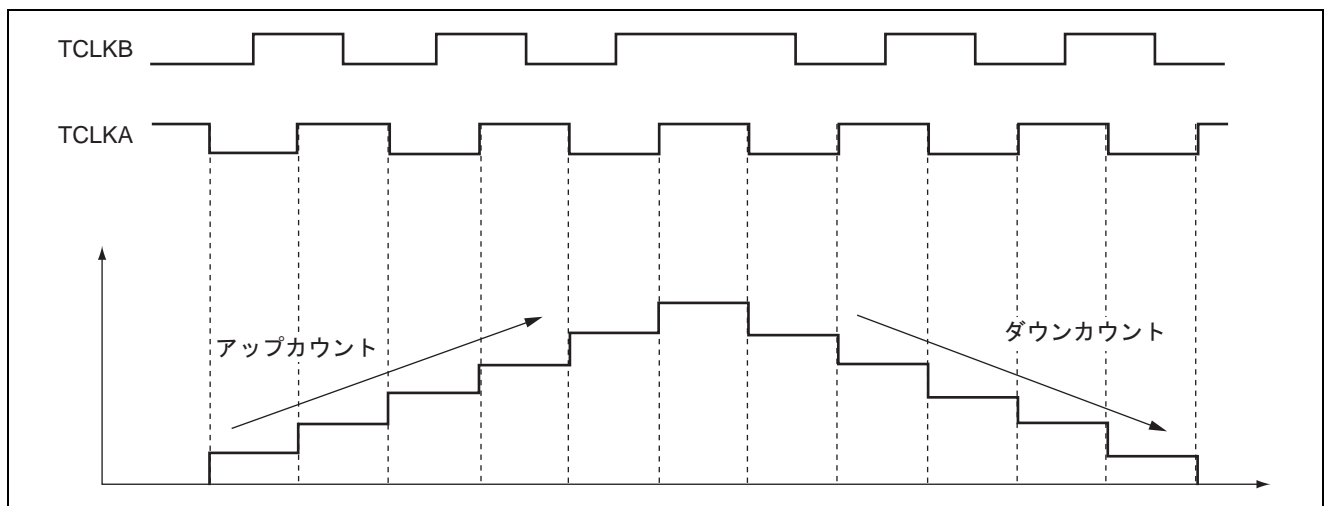


図 18.16 位相計数モードの動作例 4 (TRGCNTCR=H'5A)

(3) 位相計数モード時の注意事項

TCLKA、TCLKB の位相差および オーバラップは TRGCR の TPSC[2:0] の設定により、B'0XX、B'100 を選択したときはそれぞれシステムクロックの $1.5 \times \phi$ 周期以上、パルス幅は $3 \times \phi$ 周期以上必要です。位相計数モード時の入力クロックの条件を図 18.17 に示します。

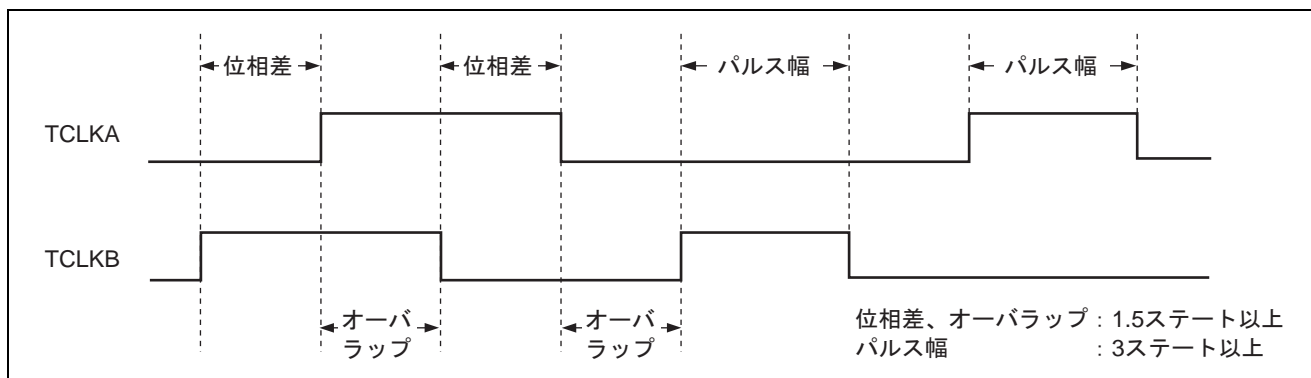


図 18.17 位相計数モード時の位相差、オーバーラップおよびパルス幅

【注】 TRGCNTR の CNTEN7~CNTEN0 ビットをクリアした場合は、アップカウントまたはダウンカウント条件に一致しても、カウントは行いません。

18.3.4 バッファ動作

バッファ動作は、GR をアウトプットコンペアレジスタに設定した場合と、GR をインプットキャプチャレジスタに設定した場合はそれぞれの動作内容が異なります。表 18.10 にバッファ動作のレジスタの組み合わせを示します。

表 18.10 バッファ動作レジスタ組み合わせ

ジェネラルレジスタ	バッファレジスタ
GRA	BRA
GRB	BRB

(1) GR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値が GR に転送されます。この動作を図 18.18 に示します。

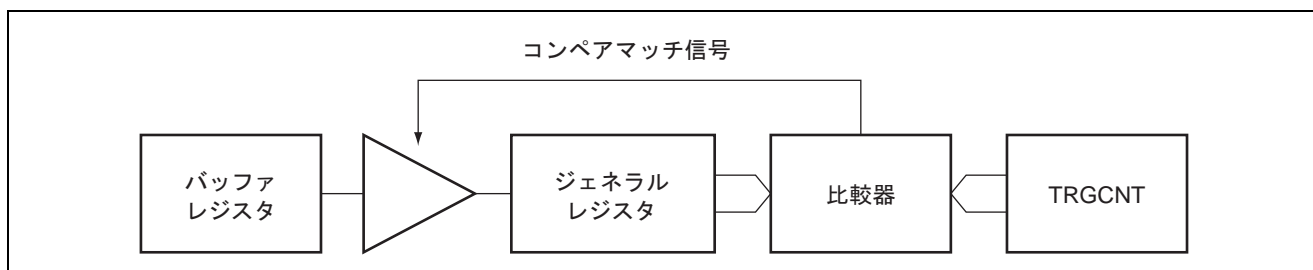


図 18.18 コンペアマッチバッファ動作

(2) GR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TRGCNT の値を GR に転送すると同時に、それまで格納されていたジェネラルレジスタの値をバッファレジスタに転送します。この動作を図 18.19 に示します。

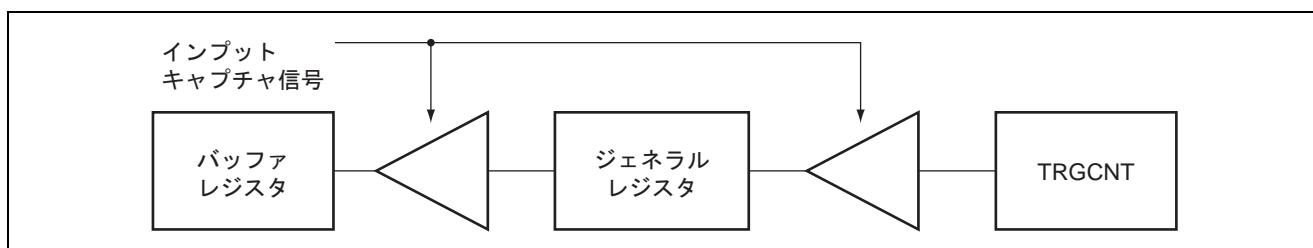


図 18.19 入力キャプチャバッファ動作

バッファ動作の場合のタイミングを図 18.20、図 18.21 に示します。

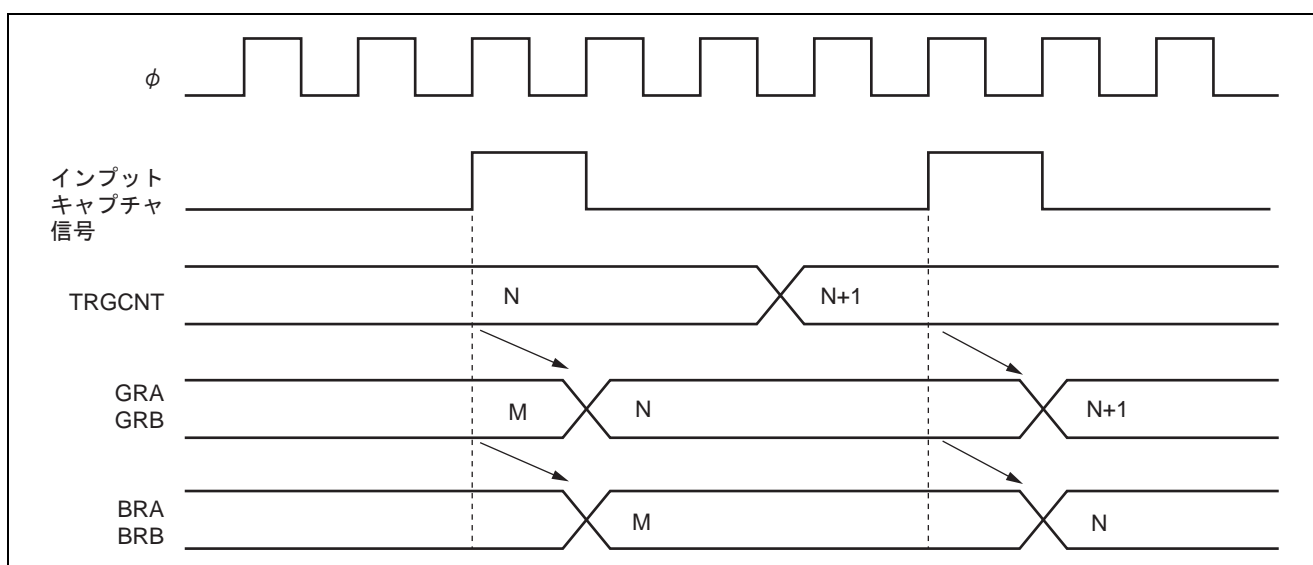


図 18.20 バッファ動作タイミング（入力キャプチャ）

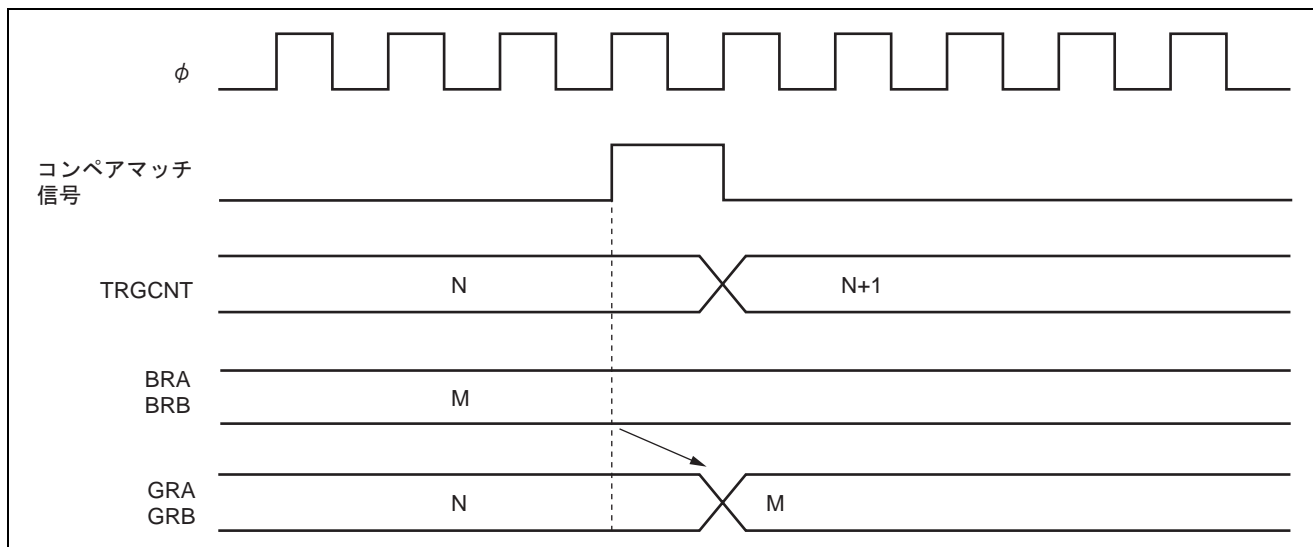


図 18.21 バッファ動作タイミング（コンペアマッチ）

18.3.5 イベントリンクによる動作

タイマ RG はイベントリンクコントローラ（ELC）の設定により、他モジュールで発生したイベントによる以下の動作が可能です。

(1) カウントスタート動作

ELC の ELOPC でタイマ RG のカウントスタート動作を選択します。ELSR8 で指定したイベントが発生すると、TRGMDR の STR ビットが 1 にセットされ、タイマ RG のカウントがスタートします。ただし、STR ビットが 1 にセットされた状態で指定したイベントが発生した場合は、そのイベントは無効となります。

(2) イベントカウンタ動作

ELC の ELOPC でタイマ RG のイベントカウンタ動作を選択します。ELSR8 で指定したイベントが発生すると、TRGCR の TPSC[2:0]ビットと TRGMDR の STR ビットの設定に関係なくそのイベントをカウントソースとしてイベントカウンタ動作を行います。カウント値をリードすると、実際に入力されたイベント数が読み出されます。

(3) インพุットキャプチャ動作

ELC の ELOPC でタイマ RG のインพุットキャプチャ動作を選択します。ELSR8 で指定したイベントが発生すると、TRGCNT の値を GRB へキャプチャします。イベントリンクによるインพุットキャプチャ動作を使用する場合は、タイマ RG の TRGIOR を IOB[2:0] = b'101 に設定し、TRGMDR の STR ビットを 1 にセットしてカウンタをスタートさせてください。ただし、同時に TGI0B 端子の入力も有効になるため、TGI0B 端子の入力を固定するか、PMC にて TGI0B 端子をポートに割り付けない等の対策をしてください。

18.3.6 インพุットキャプチャ入力デジタルフィルタ機能

TGIOA、TGIOB 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたラッチ回路と一致検出回路で構成されます。TGIOA、TGIOB 端子の入力信号は TRGMDR の DFCK[1:0] ビットによって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルクロック以上の幅のパルス入力信号は信号として認識しますが、3 サンプルクロック以下の信号変化はノイズとして判断し除去されます。

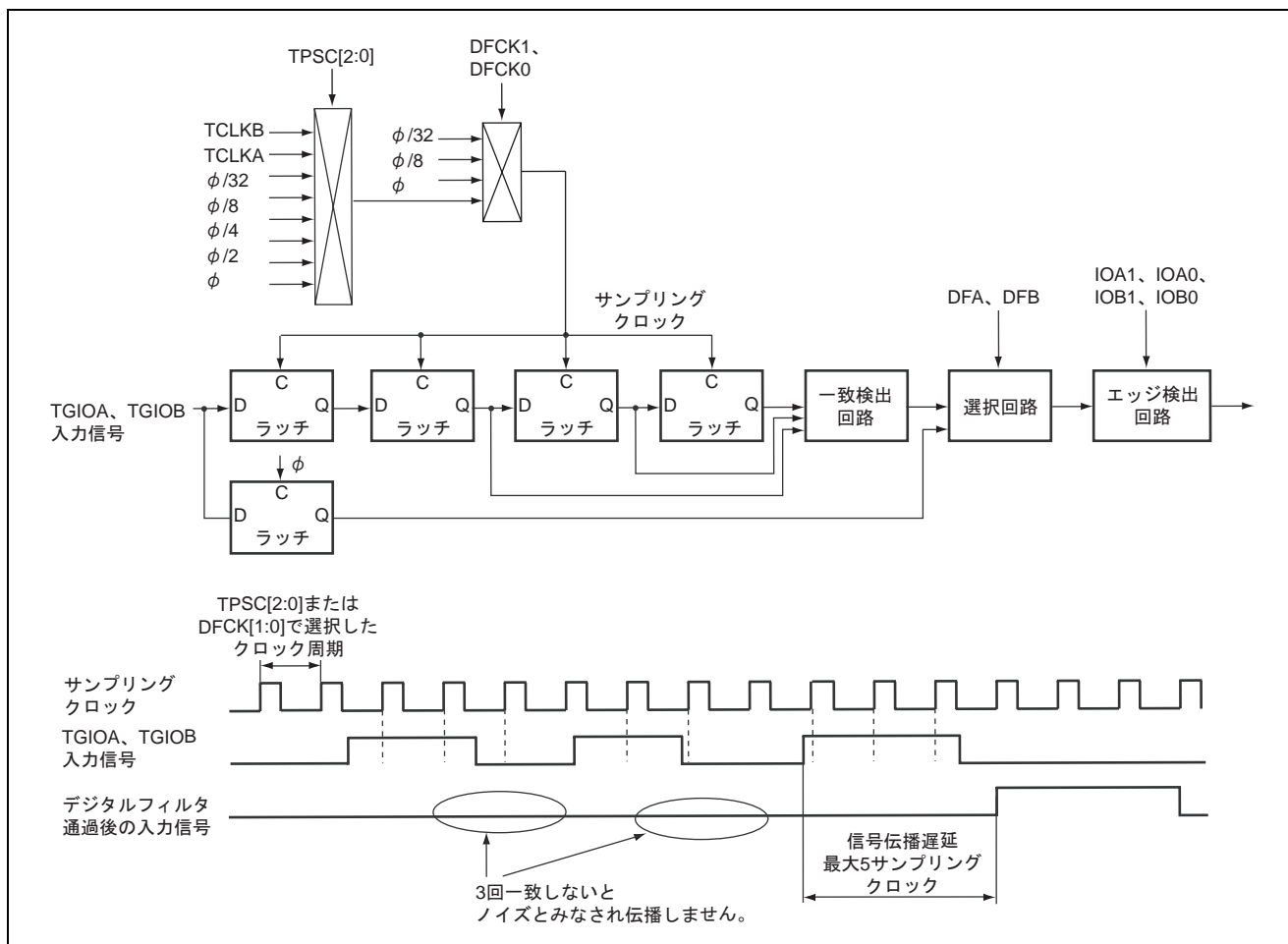


図 18.22 デジタルフィルタ回路のブロック図

19. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずオーバーフローすると LSI 内部をリセットします。ウォッチドッグタイマのブロック図を図 19.1 に示します。

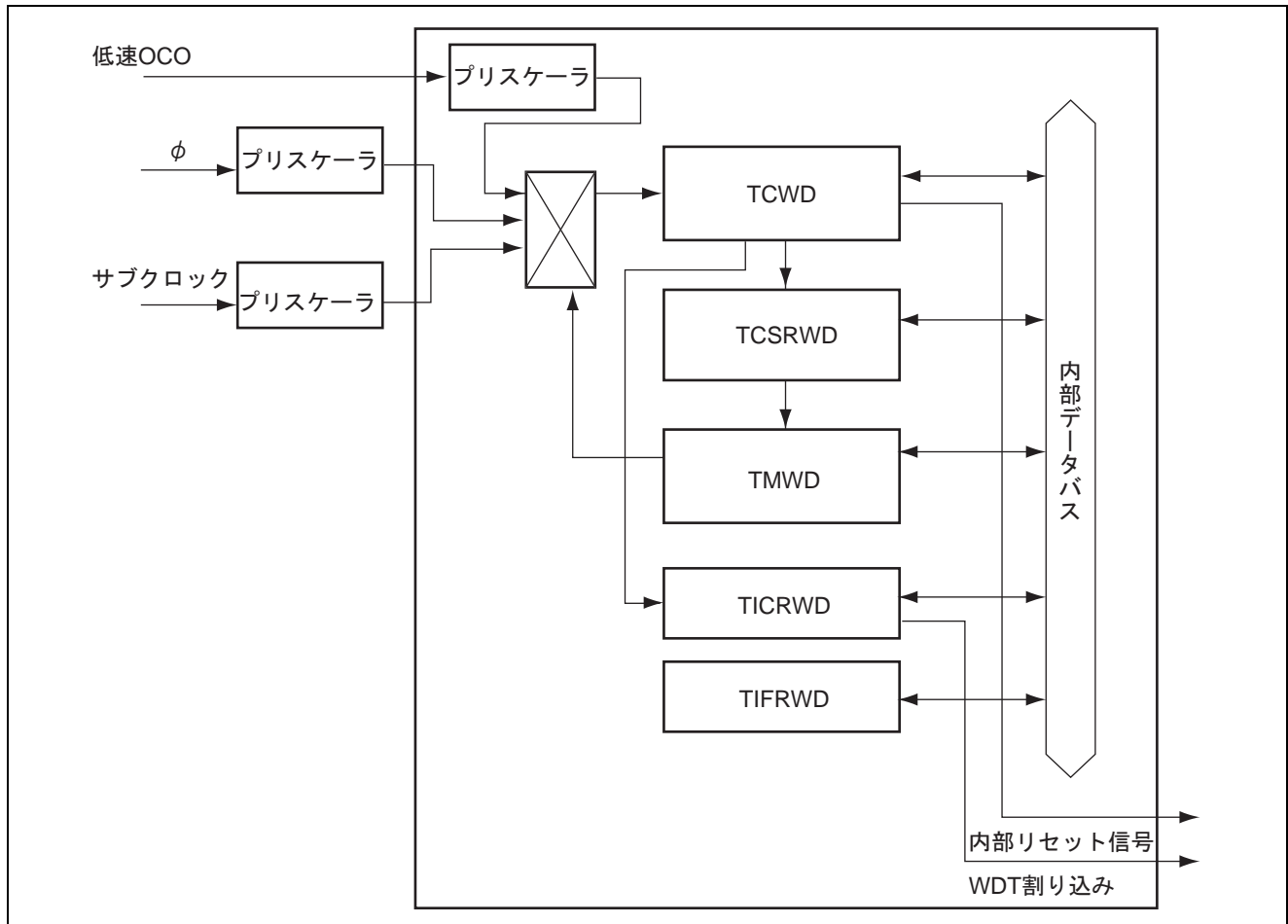


図 19.1 ウォッチドッグタイマのブロック図

19.1 概要

- 15種類のクロックソースを選択可能
 - φを分周したクロック：8種類
φ/64、φ/128、φ/256、φ/512、φ/1024、φ/2048、φ/4096、φ/8192
 - 低速 OCO を分周したクロック：5種類
φ loco/8、φ loco/32、φ loco/128、φ loco/512、φ loco/1024
 - サブクロックを分周したクロック：2種類
φ sub/4、φ sub/256低速 OCO クロックまたはサブクロックを選択した場合は、すべての動作モードでウォッチドッグタイマとして動作します。
- カウンタのオーバフローでリセット信号を発生
オーバフロー周期は、選択したクロックの1倍から256倍まで設定可能です。
- 初期状態で有効
ウォッチドッグタイマはリセット解除後動作を開始します。
- 周期タイマ機能
周期タイマとして使用できます。指定したカウント値で、割り込みを発生させることができます。

19.2 レジスタの説明

ウォッチドッグタイマには以下のレジスタがあります。

- タイマコントロール/ステータスレジスタWD (TCSRWD)
- タイマカウンタWD (TCWD)
- タイマモードレジスタWD (TMWD)
- タイマインタラプトコントロールレジスタWD (TICRWD)
- タイマインタラプトフラグレジスタWD (TIFRWD)

19.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)

アドレス: H'FFF9A

ビット: b7 b6 b5 b4 b3 b2 b1 b0

B6WI	TCWE	B4WI	TCSRWE	TMWLOCK	TMWI	—	—
------	------	------	--------	---------	------	---	---

リセット後の値: 1 0 1 0 0 1 1 1

ビット	シンボル	ビット名	説明	R/W
7	B6WI	ビット6 書き込み禁止	0: 本レジスタのビット6 (TCWE) への書き込みを許可 1: 本レジスタのビット6 (TCWE) への書き込みを禁止 リードすると常に1が読み出されます。	R/W
6	TCWE	タイマカウンタWD 書き込み許可	0: TCWD への書き込みを禁止 1: TCWD への書き込みを許可 本ビットにデータを書き込むときは、B6WI ビットを0にしてください。	R/W
5	B4WI	ビット4 書き込み禁止	0: 本レジスタのビット4 (TCSRWE) に対する書き込みを許可 1: 本レジスタのビット4 (TCSRWE) に対する書き込みを禁止 リードすると常に1が読み出されます。	R/W
4	TCSRWE	タイマコントロール/ステータスレジスタWD 書き込み許可	0: 本レジスタのビット3 (TMWLOCK) とビット2 (TMWI) に対する書き込みを禁止 1: 本レジスタのビット3 (TMWLOCK) とビット2 (TMWI) に対する書き込みを許可 本ビットにデータを書き込むときは、B4WI ビットを0にしてください。	R/W

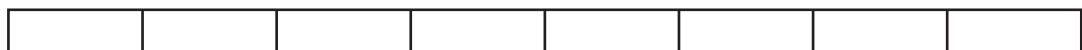
ビット	シンボル	ビット名	説明	R/W
3	TMWLOCK	タイマモードレジスタ WD ロックダウン	このビットが1のとき、TMWD レジスタはライト不可となります。本ビットを1度1にセットすると、リセット時のみ、本ビットのクリアが可能です。 0 : TMWD へのライトを許可 1 : TMWD へのライトを禁止 【セット条件】 • 1 をライトしたとき 【クリア条件】 • リセット	R/W
2	TMWI	タイマモードレジスタ WD 書き込み禁止	0 : TMWD レジスタへの書き込みを許可 1 : TMWD レジスタへの書き込みを禁止 【1になる条件】 • TMWD をライトした後、自動的にセットされます • 1 をライトしたとき 【0になる条件】 • TCSRWE=1 の状態で、TMWI に0 をライトしたとき	R/W
1、0	—	予約ビット	リードすると1が読み出されます。ライト時は1を書いてください。	—

【注】 本レジスタの書き換えは、MOV 命令で行ってください。ビット操作命令では設定値の変更はできません。

19.2.2 タイマカウンタ WD (TCWD)

アドレス: H'FFFF98

ビット: b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 0 0 0 0 0 0 0 0

TCWD は、8 ビットのリード/ライト可能なアップカウンタです。TCWD が H'FF から H'00 にオーバーフローすると、内部リセット信号が発生します。TCWD の初期値は H'00 です。また、周期タイマ機能として、TICRWD の設定により TCWD の上位 2 ビットが B'01、B'10、B'11 になったとき、CPU へ割り込み要求が発生します。

19.2.3 タイマモードレジスタ WD (TMWD)

アドレス: H'FFFF99

ビット: b7 b6 b5 b4 b3 b2 b1 b0

-	-	-	-	CKS[3:0]			
---	---	---	---	----------	--	--	--

リセット後の値: 1 1 1 1 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~4	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-
3~0	CKS[3:0]	クロック セレクト	0000 : $\phi_{\text{loco}}/8$ をカウント (初期値) 0001 : $\phi_{\text{loco}}/32$ をカウント 0010 : $\phi_{\text{loco}}/128$ をカウント 0011 : $\phi_{\text{loco}}/512$ をカウント 0100 : $\phi_{\text{loco}}/1024$ をカウント 0101 : $\phi_{\text{sub}}/4$ をカウント 0110 : $\phi_{\text{sub}}/256$ をカウント 0111 : クロック入力禁止 1000 : $\phi/64$ をカウント 1001 : $\phi/128$ をカウント 1010 : $\phi/256$ をカウント 1011 : $\phi/512$ をカウント 1100 : $\phi/1024$ をカウント 1101 : $\phi/2048$ をカウント 1110 : $\phi/4096$ をカウント 1111 : $\phi/8192$ をカウント	R/W

【注】 TMWD の書き替えは、バスマスタ動作クロック ϕ_s を分周しない状態 (LPCR3 の PHIS[2:0]=B'000) で行ってください。

- CKS[3:0] (クロックセレクト)

TMWD の CKS[3:0] ビットの書き込みは他のレジスタと異なります。

必ず連続 2 回 MOV 命令を使用してライトする必要があります。

1 回目は設定するデータをライト、2 回目は設定データ (b3~b0) のビット反転値をライトしてください。

正しい手順で行うと 2 回目のライトの後でビットが書き替わります。

1 回目のデータと 2 回目の反転データが一致しないとすべてのビットは書き替わりません。

WDT の動作を停止したい場合、B'0111 (クロック入力禁止) に設定してください。

19.2.4 タイマインタラプトコントロールレジスタ WD (TICRWD)

アドレス: H'FFFF9B

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	INTSEL[1:0]	IWIE	-	-	-	-	-	-
--	-------------	------	---	---	---	---	---	---

リセット後の値: 1 1 0 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7、6	INTSEL[1:0]	WDT 周期 割り込み条件選択	00: 設定禁止 01: TCWD の上位 2 ビットが B'01 のとき、割り込みが発生 10: TCWD の上位 2 ビットが B'10 のとき、割り込みが発生 11: TCWD の上位 2 ビットが B'11 のとき、割り込みが発生 (初期値)	R/W
5	IWIE	WDT 周期割り 込みイネーブル	0: 周期割り込み要求禁止 1: 周期割り込み要求許可	R/W
4~0	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-

19.2.5 タイマインタラプトフラグレジスタ WD (TIFRWD)

アドレス: H'FFFF9C

ビット: b7 b6 b5 b4 b3 b2 b1 b0

IWF	—	—	—	—	—	—	—
-----	---	---	---	---	---	---	---

リセット後の値: 0 1 1 1 1 1 1 1

ビット	シンボル	ビット名	説明	R/W
7	IWF	WDT 周期 割り込み要求 フラグ	0: 周期割り込み要求なし 1: 周期割り込み要求あり 【1になる条件】 • タイマカウンタ WD の上位 2 ビットが TICRWD の INTSEL[1:0] ビットの設定した値と一致したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき	R/W
6~0	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—

19.3 動作説明

19.3.1 ウォッチドッグタイマオーバフローリセット

ウォッチドッグタイマは、8ビットのアップカウンタを備えています。リセット解除後、TCWDはカウントアップを開始します。TCWDのカウント値がH'FFからオーバフローすると、内部リセット信号を発生します。TCWDはライト可能なカウンタですので、TCWDに値を設定すると、その値からカウントアップを行います。したがって、TCWDの設定値により、オーバフロー周期を1~256入力クロックの範囲で設定できます。

ウォッチドッグタイマを使用しない場合は、TCSRWDのTCSRWE=1の状態ではTMWLOCKに0、TMWIに0を同時にライトして、TMWDのCKS[3:0]=B'0111（クロック入力禁止）に設定してください。ウォッチドッグタイマ動作例を図19.2に示します。

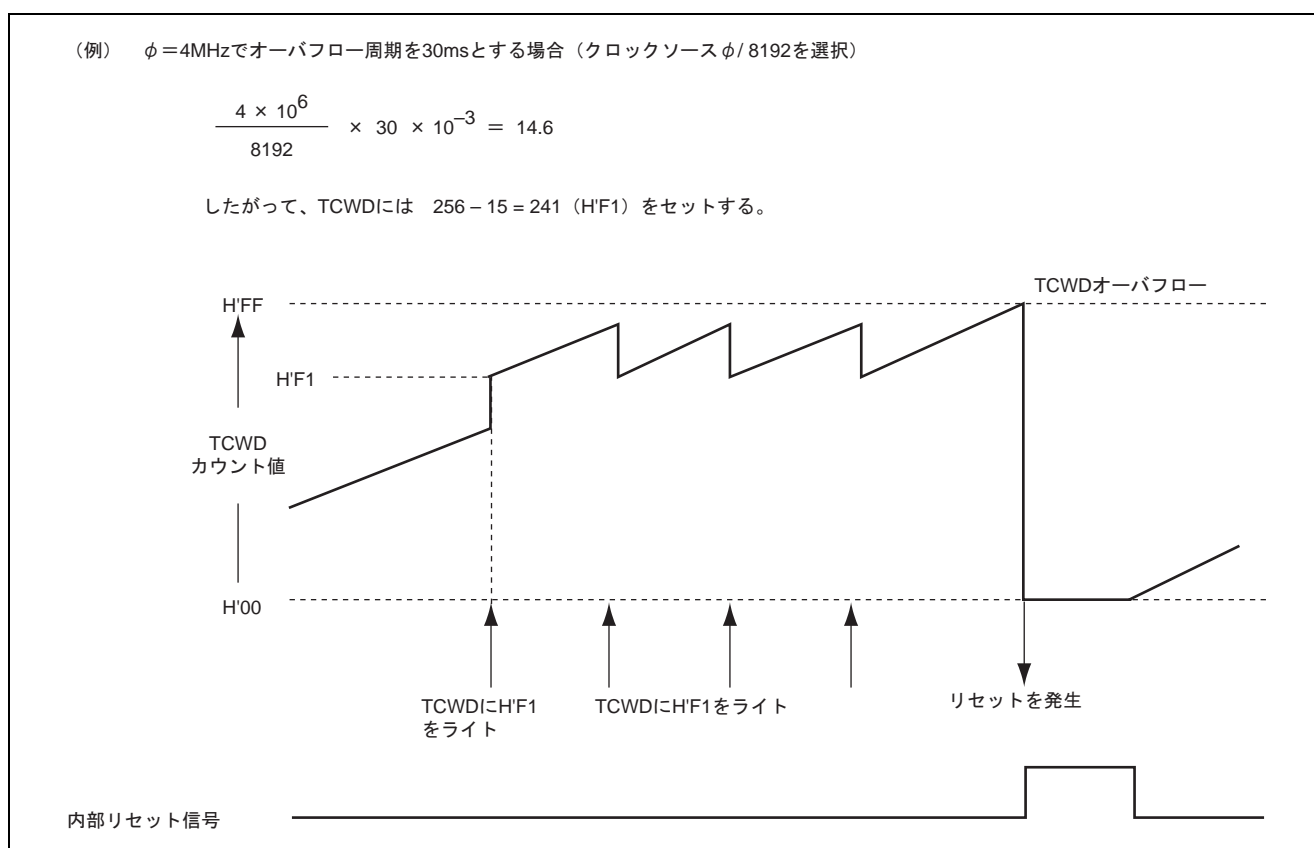


図 19.2 ウォッチドッグタイマの動作例

19.3.2 ウォッチドッグタイマ設定フロー

図 19.3 のフローに従い、ウォッチドッグタイマの設定を行ってください。

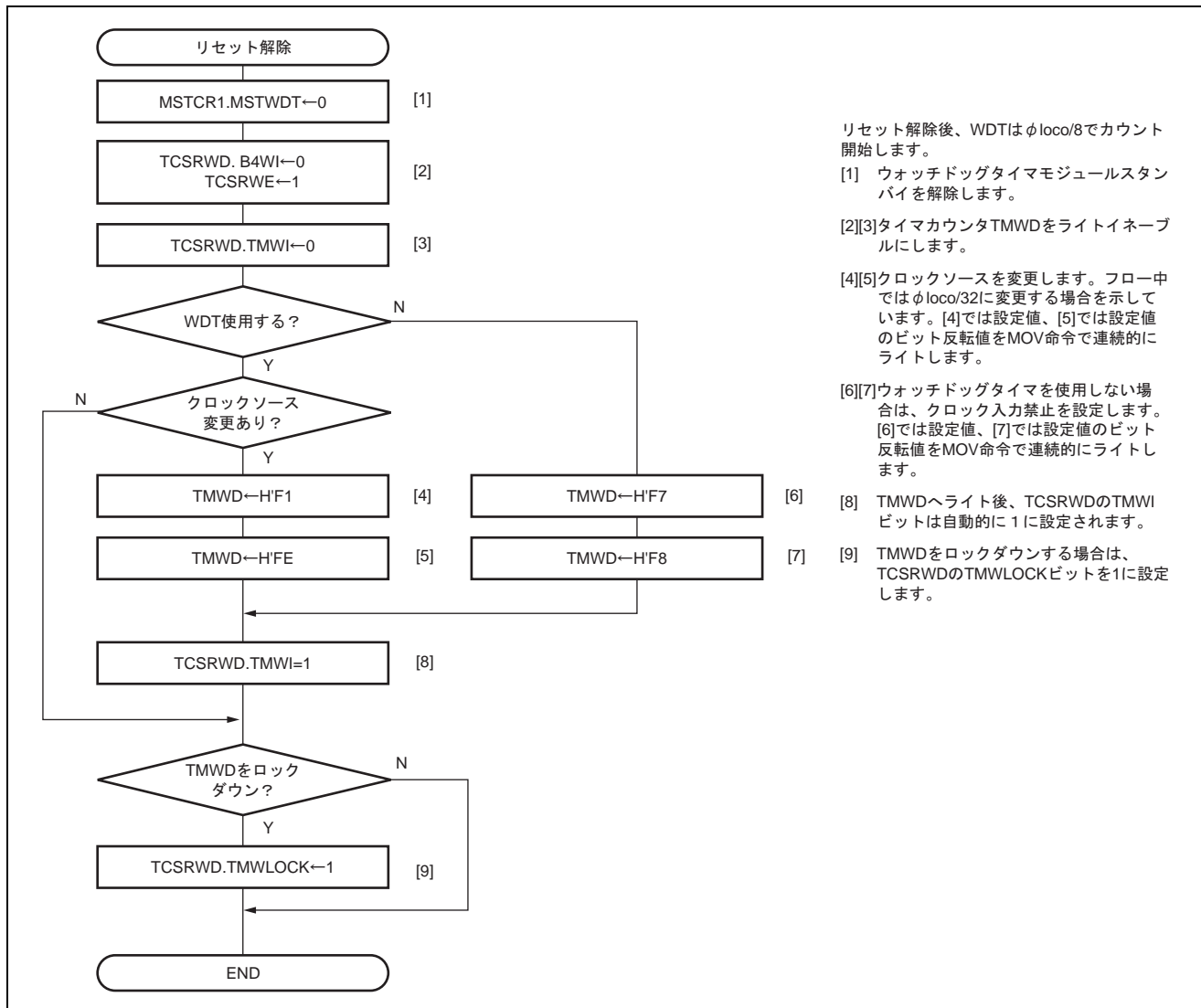


図 19.3 ウォッチドッグタイマ設定フロー

19.3.3 ウォッチドッグタイマ周期割り込み

TICRWD の INTSEL[1:0]ビットを設定し、タイマ WD カウンタが設定した値になったとき、TIFRWD の IWF ビットが 1 にセットされます。このとき、TICRWD の IWIE ビットが 1 であれば割り込み要求を発生します。INTSEL=B'01 のときの割り込み発生タイミングを図 19.4 に示します。

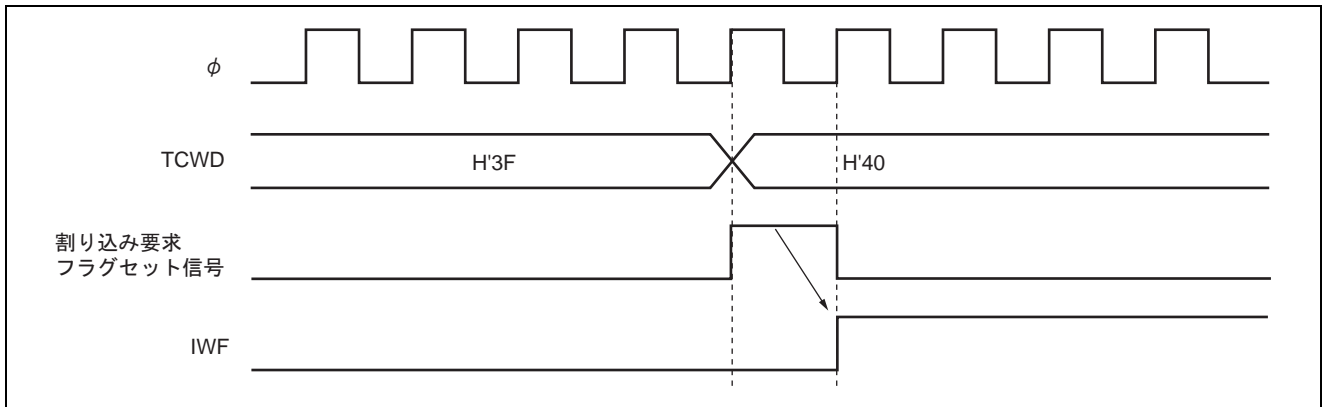


図 19.4 周期割り込み発生タイミング (INTSEL=B'01)

19.4 使用上の注意事項

19.4.1 システム設計上での留意点

ウォッチドッグタイマは、システムが何らかの要因で暴走状態となったとき、LSI を正常状態に復帰させるために有効な機能ですが、カウンタ値の設定処理が実行されている、特定のプログラム処理ルーチン内で無限ループしている場合等では、ウォッチドッグタイマのリセットが発生しない場合があります。また、割り込みを有効にした状態で、割り込み処理内でカウンタ値の設定をした場合にも、システム暴走状態にもかかわらず、ウォッチドッグタイマのリセットが発生しない可能性があります。

これらの点については、システム設計上での留意をお願いします。

19.4.2 ウォッチドッグタイマを停止またはカウントクロックを切り替えるときの注意点

リセット解除後、MSTCR1 の MSTWDT ビットは 1 にセットされていますが、カウントクロックは $\phi_{\text{Loco}}/8$ が選択されているため、ウォッチドッグタイマは動作します（モジュールスタンバイ状態のため、レジスタへのアクセスはできません）。

ウォッチドッグタイマを停止したい場合またはカウントクロックを切り替える場合は、MSTCR1 の MSTWDT ビットを 0 にクリアして、モジュールスタンバイ状態を解除してから行ってください。

20. シリアルコミュニケーションインタフェース 3 (SCI3、IrDA)

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース 3 (SCI3) を備えています。SCI3 は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。また、調歩同期方式では複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を備えています。

SCI3_2 は、IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

SCI3 のチャンネル構成を表 20.1 に、ブロック図を図 20.1 に示します。3 チャンネル (SCI3、SCI3_2、SCI3_3) とも同一機能です。なお、本文中ではチャンネルによる区別を省略します。

20.1 概要

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースとして内蔵ボーレートジェネレータまたは外部クロックを選択可能
- 6種類の割り込み要因
送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因により DTC を起動することができます。

調歩同期式モード

- データ長：7ビット/8ビット選択可能
- ストップビット長：1ビット/2ビット選択可能
- パリティ：偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時RXD端子のレベルを直接読み出すことでブレークを検出可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

表 20.1 SCI3 のチャンネル構成

チャンネル	略称	端子	レジスタ	レジスタアドレス	ノイズ除去回路
チャンネル 1	SCI3* ¹	SCK3 RXD TXD	SMR	H'FF0550	あり
			BRR	H'FF0551	
			SCR3	H'FF0552	
			TDR	H'FF0553	
			SSR	H'FF0554	
			RDR	H'FF0555	
			RSR	—	
			TSR	—	
			SPMR	H'FF0556	
			チャンネル 2	SCI3_2* ²	
BRR_2	H'FF0559				
SCR3_2	H'FF055A				
TDR_2	H'FF055B				
SSR_2	H'FF055C				
RDR_2	H'FF055D				
RSR_2	—				
TSR_2	—				
SPMR_2	H'FF055E				
IrCR	H'FF05DE				
チャンネル 3	SCI3_3	SCK3_3 RXD_3 TXD_3	SMR_3	H'FF0560	あり
			BRR_3	H'FF0561	
			SCR3_3	H'FF0562	
			TDR_3	H'FF0563	
			SSR_3	H'FF0554	
			RDR_3	H'FF0565	
			RSR_3	—	
			TSR_3	—	
			SPMR_3	H'FF0566	

【注】 *1 ブートモードによるオンボードプログラミングモードでは、SCI3 のチャンネル 1 を使用します。

*2 SCI3_2 は、IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

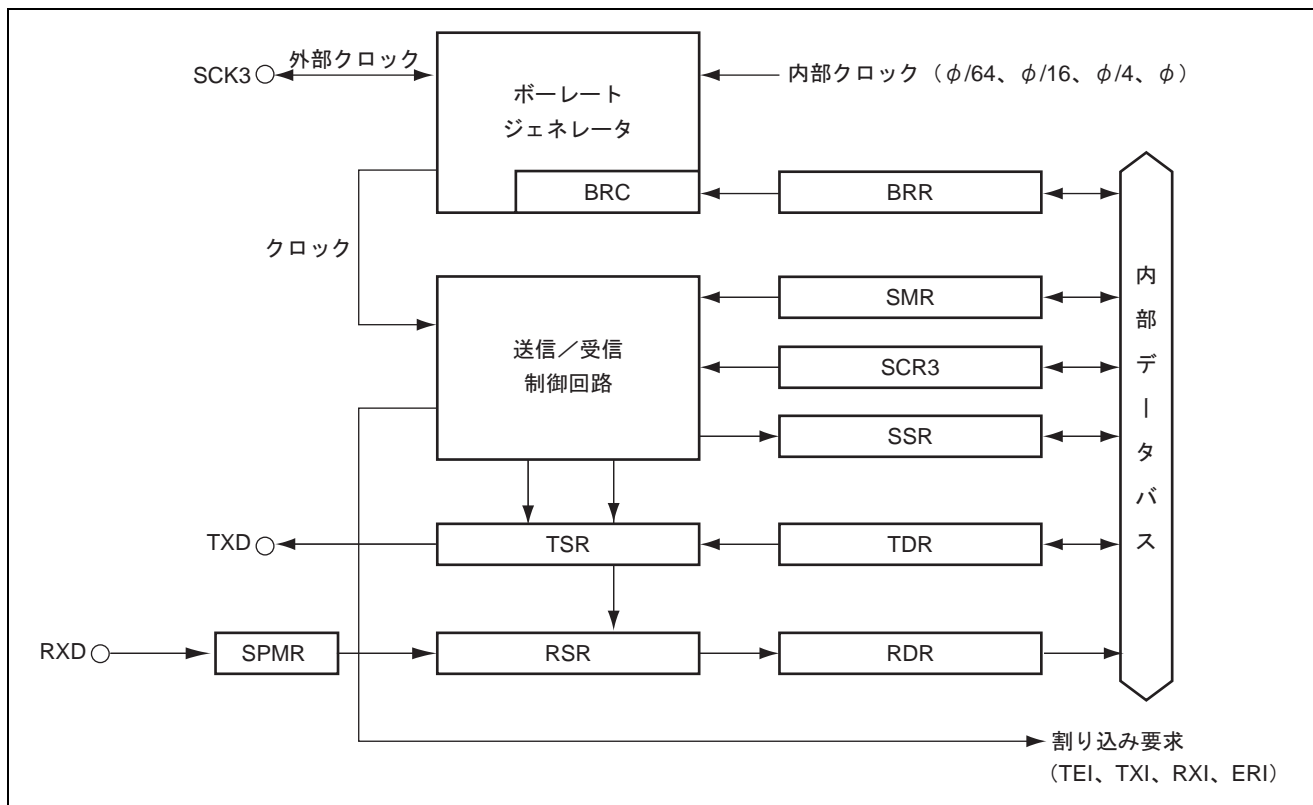


図 20.1 (1) SCI3、SCI3_3 のブロック図

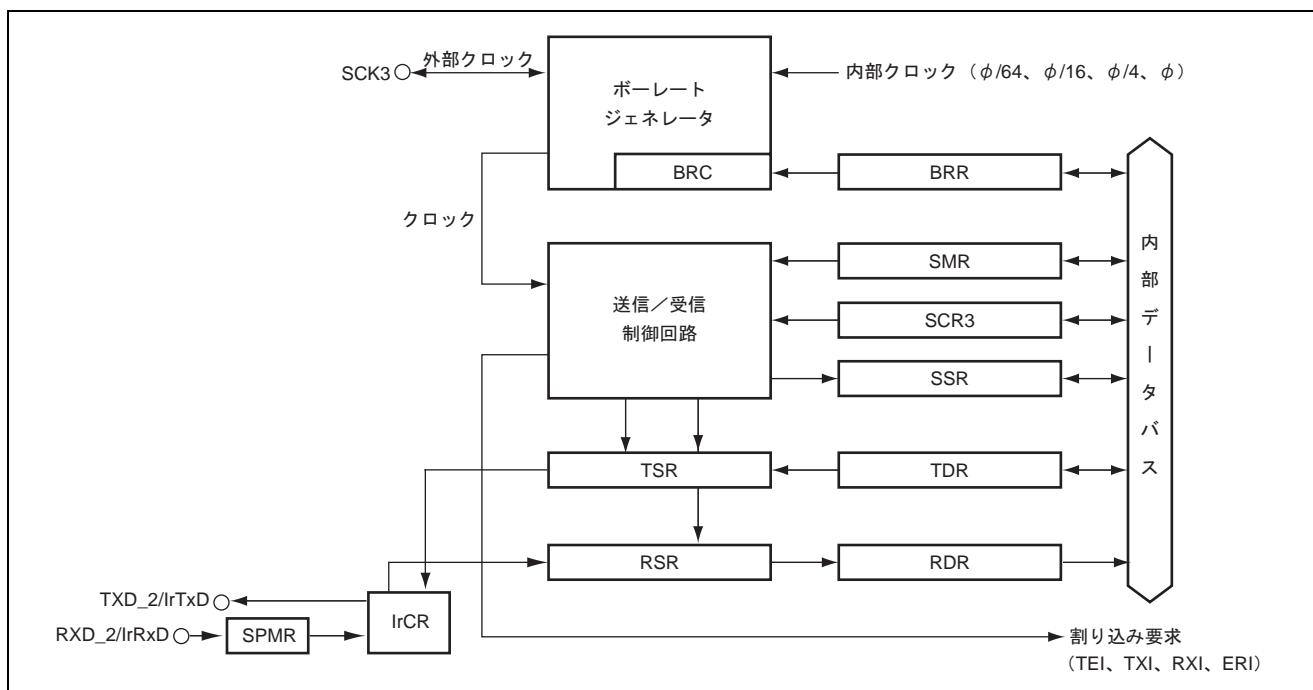


図 20.1 (2) SCI3_2 のブロック図

SCI3 の端子構成を表 20.2 に示します。

表 20.2 端子構成

チャンネル	端子名	入出力	機能
1	SCK3	入出力	チャンネル 1 のクロック入出力端子
	RXD	入力	チャンネル 1 の受信データ入力端子
	TXD	出力	チャンネル 1 の送信データ出力端子
2	SCK3_2	入出力	チャンネル 2 のクロック入出力端子
	RXD_2/IrRxD	入力	チャンネル 2 の受信データ入力端子/IrDA 受信端子
	TXD_2/IrTxD	出力	チャンネル 2 の送信データ出力端子/IrDA 送信端子
3	SCK3_3	入出力	チャンネル 3 のクロック入出力端子
	RXD3_3	入力	チャンネル 3 の受信データ入力端子
	TXD_3	出力	チャンネル 3 の送信データ出力端子

20.2 レジスタの説明

シリアルコミュニケーションインタフェース 3 には以下のレジスタがあります。

チャンネル1

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットシフトレジスタ (TSR)
- トランスミットデータレジスタ (TDR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ3 (SCR3)
- シリアルステータスレジスタ (SSR)
- ビットレートレジスタ (BRR)
- サンプリングモードレジスタ (SPMR)

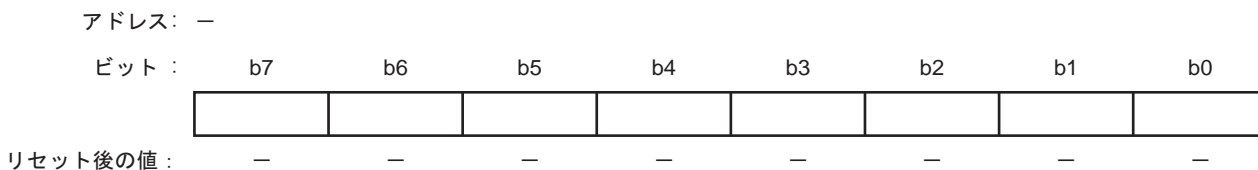
チャンネル2

- レシーブシフトレジスタ_2 (RSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ3_2 (SCR3_2)
- シリアルステータスレジスタ_2 (SSR_2)
- ビットレートレジスタ_2 (BRR_2)
- サンプリングモードレジスタ_2 (SPMR_2)
- IrDAコントロールレジスタ_2 (IrCR_2)

チャンネル3

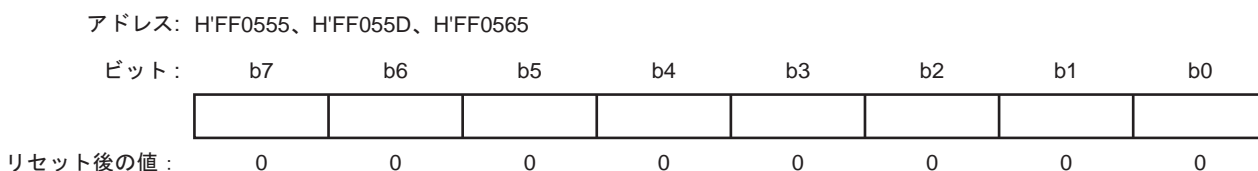
- レシーブシフトレジスタ_3 (RSR_3)
- レシーブデータレジスタ_3 (RDR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- トランスミットデータレジスタ_3 (TDR_3)
- シリアルモードレジスタ_3 (SMR_3)
- シリアルコントロールレジスタ3_3 (SCR3_3)
- シリアルステータスレジスタ_3 (SSR_3)
- ビットレートレジスタ_3 (BRR_3)
- サンプリングモードレジスタ_3 (SPMR_3)

20.2.1 レシーブシフトレジスタ (RSR)



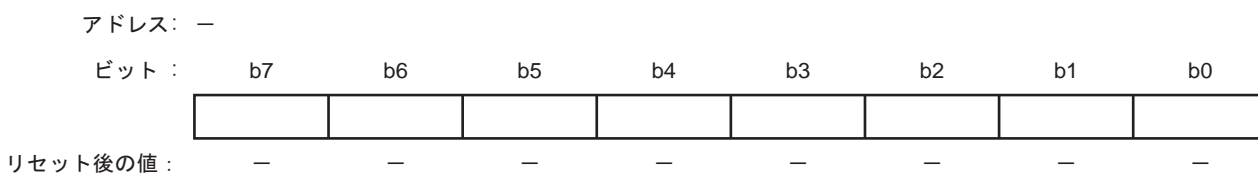
RSR は RXD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU からは直接アクセスすることはできません。

20.2.2 レシーブデータレジスタ (RDR)



RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

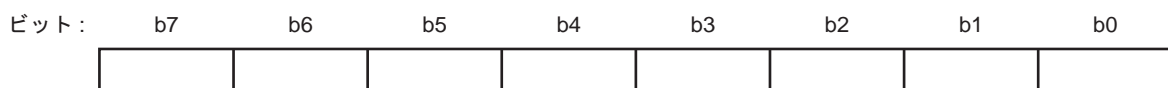
20.2.3 トランスミットシフトレジスタ (TSR)



TSR はシリアルデータを送信するためのシフトレジスタです。TDR に書き込まれた送信データは自動的に TSR に転送され、LSB から順に TXD 端子に送出することでシリアルデータ送信を行います。CPU からは直接アクセスすることはできません。

20.2.4 トランスミットデータレジスタ (TDR)

アドレス: H'FF0553、H'FF055B、H'FF0563



リセット後の値: 1 1 1 1 1 1 1 1

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空を検出すると TDR に書き込まれた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データが書き込まれていれば TSR へ転送して送信を継続します。シリアル送信を確実にを行うため、TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行うようにしてください。TDR の初期値は H'FF です。

20.2.5 シリアルモードレジスタ (SMR)

アドレス: H'FF0550、H'FF0558、H'FF0560

ビット: b7 b6 b5 b4 b3 b2 b1 b0

COM	CHR	PE	PM	STOP	MP	CKS[1:0]	
-----	-----	----	----	------	----	----------	--

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	COM	コミュニケーションモード	0: 調歩同期式モードで動作 1: クロック同期式モードで動作	R/W
6	CHR	キャラクターレングス	(調歩同期式モードのみ有効) 0: データ長 8 ビットのフォーマットで送受信 1: データ長 7 ビットのフォーマットで送受信	R/W
5	PE	パリティイネーブル	(調歩同期式モードのみ有効) 0: パリティビットの付加およびパリティチェックを禁止 1: 送信時はパリティビットを付加し、受信時はパリティチェックを行う	R/W
4	PM	パリティモード	(調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
3	STOP	ストップビットレングス	(調歩同期式モードのみ有効) 0: 1 ストップビット 1: 2 ストップビット	R/W
2	MP	マルチプロセッサモード	0: マルチプロセッサ通信機能を禁止 1: マルチプロセッサ通信機能が使用可能*	R/W
1、0	CKS[1:0]	クロックセレクト 1、0	00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3)	R/W

【注】 (モジュール) スタンバイモードでは SMR の値は保持されます。

* クロック同期式モードでは 0 に設定してください。

- **STOP (ストップビットレングス)**

送信時のストップビットの長さを選択します。受信時は、このビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクタのスタートビットとみなします。

- **MP (マルチプロセッサモード)**

このビットが1のとき、マルチプロセッサ通信機能がイネーブルになります。PE、PMビットの設定値は無効になります。

【注】 クロック同期式モードではこのビットは0に設定してください。

- **CKS[1:0] (クロックセレクト1、0)**

内蔵ボーレートジェネレータのクロックソースを選択します。

このビットの設定値とボーレートの関係については、「20.2.8 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「20.2.8 ビットレートレジスタ (BRR)」中のnの値を表します。

20.2.6 シリアルコントロールレジスタ 3 (SCR3)

アドレス: H'FF0552、H'FF055A、H'FF0562

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
-----	-----	----	----	------	------	----------	--

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TIE	トランスミット インタラプト イネーブル	0: TXI 割り込み要求を禁止 1: TXI 割り込み要求がイネーブル	R/W
6	RIE	レシーブインタラ プトイネーブル	0: RXI および ERI 割り込み要求を禁止 1: RXI および ERI 割り込み要求がイネーブル	R/W
5	TE	トランスミット イネーブル	0: 送信動作を禁止 1: 送信動作が可能	R/W
4	RE	レシーブ イネーブル	0: 受信動作を禁止 1: 受信動作が可能	R/W
3	MPIE	マルチプロセッサ インタラプト イネーブル	(調歩同期式モードで SMR の MP=1 のとき有効) このビットを 1 にすると、マルチプロセッサビットが、0 の受信データは読みとばし、SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「20.5 マルチプロセッサ通信機能」を参照してください。	R/W
2	TEIE	トランスミット エンドインタラプ トイネーブル	0: TEI 割り込み要求を禁止 1: TEI 割り込み要求がイネーブル	R/W
1、0	CKE[1:0]	クロック イネーブル 1、0	クロックソースを選択 調歩同期式の場合 00: 内部ポーレートジェネレータ 01: 内部ポーレートジェネレータ (SCK3 端子からビットレートと同じ周波数のクロックを出力します) 10: 外部クロック (SCK3 端子からビットレートの 16 倍の周波数クロックを入力してください。) 11: 予約 クロック同期式の場合 00: 内部クロック (SCK3 端子機能はクロック出力端子となります。) 01: 予約 10: 外部クロック (SCK3 端子機能はクロック入力端子となります。) 11: 予約	R/W

【注】 1 (モジュール) スタンバイモードでは SCR3 の TE、RE ビット値はリセットされ、その他のビットの値は保持されます。

2 各割り込み要求については「20.8 割り込み要求」を参照してください。

20.2.7 シリアルステータスレジスタ (SSR)

アドレス: H'FF0554、H'FF055C、H'FF0564

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
------	------	-----	-----	-----	------	------	------

リセット後の値: 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	説明	R/W
7	TDRE	トランスミット データレジスタ エンプティフラグ	[1になる条件] • SCR3のTEが0のとき • TDRからTSRにデータが転送されたとき [0になる条件] • CPUが1の状態をリードした後、0をライトしたとき • CPUがTDRへ送信データをライトしたとき • TXI割り込み要求によりDTCでTDRへ送信データを転送、かつDTCの設定がフラグのクリア条件を満たしたとき*	R/W
6	RDRF	レシーブデータ レジスタフル フラグ	[1になる条件] • 受信が正常終了し、RSRからRDRへ受信データが転送されたとき [0になる条件] • CPUが1の状態をリードした後、0をライトしたとき • CPUがRDRのデータをリードしたとき • RXI割り込み要求によりDTCでRDRからデータを転送、かつDTCの設定がフラグのクリア条件を満たしたとき*	R/W
5	OER	オーバラン エラーフラグ	[1になる条件] • 受信中にオーバランエラーが発生したとき [0になる条件] CPUが1の状態をリードした後、0をライトしたとき	R/W
4	FER	フレーミング エラーフラグ	[1になる条件] • 受信中にフレーミングエラーが発生したとき [0になる条件] • CPUが1の状態をリードした後、0をライトしたとき	R/W
3	PER	パリティエラー フラグ	[1になる条件] • 受信中にパリティエラーが発生したとき [0になる条件] • CPUが1の状態をリードした後、0をライトしたとき	R/W

ビット	シンボル	ビット名	説明	R/W
2	TEND	トランスミット エンドフラグ	[1になる条件] ・ SCR3 の TE が 0 のとき ・ 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき [0になる条件] ・ TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき ・ TDR へ送信データをライトしたとき	R/W
1	MPBR	マルチプロ セッサビット レシーブ	受信キャラクタ中のマルチプロセッサビットを格納します。SCR3 の RE=0 のときは変化しません	R/W
0	MPBT	マルチプロ セッサビット トランスファ	送信キャラクタに付加するマルチプロセッサビットの値を指定します。	R/W

【注】 * DTC は以下の 3 つの条件をすべて満足したときに、周辺モジュールフラグをクリアします。

- 1 DISEL ビットが 0 のとき
- 2 転送回転カウンタが 0 でないとき (ノーマルおよびリピーモードの場合 : CRA、ブロックモードの場合 : CRB)
- 3 チェイン転送でないとき

20.2.8 ビットレートレジスタ (BRR)

アドレス: H'FF0551、H'FF0559、H'FF0561



BRR はビットレートを設定する 8 ビットのレジスタです。BRR の初期値は H'FF です。調歩同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 20.3 に、調歩同期式モードの最大ビットレートを表 20.4 に示します。いずれもアクティブ (高速) モードでの値を示しています。クロック同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 20.5 に示します。アクティブ (高速) モードでの値を示しています。その他の動作周波数とビットレートの組み合わせに対する BRR の設定値 N と誤差は以下の計算式で求められます。

【注】 (モジュール) スタンバイモードでは BRR の値は保持されます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

ϕ : 動作周波数 (MHz)

n: SMR の CKS1、CKS0 の設定値 ($0 \leq n \leq 3$)

表 20.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕

ビット レート (bit/s)	ϕ (MHz)											
	4			4.9152			5			6		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	88	-0.25	2	106	-0.44
150	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
300	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
600	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
1200	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
2400	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
4800	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
9600	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
19200	0	6	-6.99	0	7	0.00	0	7	1.73	0	9	-2.34
31250	0	3	0.00	0	4	-1.70	0	4	0.00	0	5	0.00
38400	0	2	8.51	0	3	0.00	0	3	1.73	0	4	-2.34

(つづき)

ビット レート (bit/s)	ϕ (MHz)											
	6.144			7.3728			8			9.8304		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	108	0.08	2	130	-0.07	2	141	0.03	2	174	-0.26
150	2	79	0.00	2	95	0.00	2	103	0.16	2	127	0.00
300	1	159	0.00	1	191	0.00	1	207	0.16	1	255	0.00
600	1	79	0.00	1	95	0.00	1	103	0.16	1	127	0.00
1200	0	159	0.00	0	191	0.00	0	207	0.16	0	255	0.00
2400	0	79	0.00	0	95	0.00	0	103	0.16	0	127	0.00
4800	0	39	0.00	0	47	0.00	0	51	0.16	0	63	0.00
9600	0	19	0.00	0	23	0.00	0	25	0.16	0	31	0.00
19200	0	9	0.00	0	11	0.00	0	12	0.16	0	15	0.00
31250	0	5	2.40	0	6	5.33	0	7	0.00	0	9	-1.70
38400	0	4	0.00	0	5	0.00	0	6	-6.99	0	7	0.00

【記号説明】

— : 設定可能ですが誤差がでます。

(つづき)

ビット レート (bit/s)	ϕ (MHz)											
	10			12			12.288			14		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	212	0.03	2	217	0.08	2	248	-0.17
150	2	129	0.16	2	155	0.16	2	159	0.00	2	181	0.16
300	2	64	0.16	2	77	0.16	2	79	0.00	2	90	0.16
600	1	129	0.16	1	155	0.16	1	159	0.00	1	181	0.16
1200	1	64	0.16	1	77	0.16	1	79	0.00	1	90	0.16
2400	0	129	0.16	0	155	0.16	0	159	0.00	0	181	0.16
4800	0	64	0.16	0	77	0.16	0	79	0.00	0	90	0.16
9600	0	32	-1.36	0	38	0.16	0	39	0.00	0	45	-0.93
19200	0	15	1.73	0	19	-2.34	0	19	0.00	0	22	-0.93
31250	0	9	0.00	0	11	0.00	0	11	2.40	0	13	0.00
38400	0	7	1.73	0	9	-2.34	0	9	0.00	—	—	—

(つづき)

ビット レート (bit/s)	ϕ (MHz)											
	14.7456			16			18			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	64	0.70	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	191	0.00	2	207	0.16	2	233	0.16	3	64	0.16
300	2	95	0.00	2	103	0.16	2	116	0.16	2	129	0.16
600	1	191	0.00	1	207	0.16	1	233	0.16	2	64	0.16
1200	1	95	0.00	1	103	0.16	1	116	0.16	1	129	0.16
2400	0	191	0.00	0	207	0.16	0	233	0.16	1	64	0.16
4800	0	95	0.00	0	103	0.16	0	116	0.16	0	129	0.16
9600	0	47	0.00	0	51	0.16	0	58	-0.69	0	64	0.16
19200	0	23	0.00	0	25	0.16	0	28	1.02	0	32	-1.36
31250	0	14	-1.70	0	15	0.00	0	17	0.00	0	19	0.00
38400	0	11	0.00	0	12	0.16	0	14	-2.34	0	15	1.73

【記号説明】

— : 設定可能ですが誤差がでます。

表 20.4 各周波数における最大ビットレート〔調歩同期式モード〕

φ (MHz)	最大ビットレート (bit/s)	n	N	φ (MHz)	最大ビットレート (bit/s)	n	N
4	125000	0	0	12	375000	0	0
4.9152	153600	0	0	12.288	384000	0	0
5	156250	0	0	14	437500	0	0
6	187500	0	0	14.7456	460800	0	0
6.144	192000	0	0	16	500000	0	0
7.3728	230400	0	0	17.2032	537600	0	0
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	20	625000	0	0
10	312500	0	0				

表 20.5 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	φ (MHz)											
	4		8		10		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110												
250	2	249	3	124	—	—	3	249				
500	2	124	2	249	—	—	3	124	—	—	—	—
1k	1	249	2	124	—	—	2	249	—	—	—	—
2.5k	1	99	1	199	1	249	2	99	—	—	2	124
5k	0	199	1	99	1	124	1	199	1	224	1	249
10k	0	99	0	199	0	249	1	99	—	—	1	124
25k	0	39	0	79	0	99	0	159	0	179	0	199
50k	0	19	0	39	0	49	0	79	0	89	0	99
100k	0	9	0	19	0	24	0	39	0	44	0	49
250k	0	3	0	7	0	9	0	15	0	17	0	19
500k	0	1	0	3	0	4	0	7	0	8	0	9
1M	0	0*	0	1	—	—	0	3	0	4	0	4
2M			0	0*	—	—	0	1	—	—	—	—
2.5M					0	0*	—	—	—	—	0	1
5M											0	0*

【記号説明】

空欄：設定不可能です。

—：設定可能ですが誤差がでます。

*：連続送受信はできません。

20.2.9 サンプルモードレジスタ (SPMR)

アドレス: H'FF0556、H'FF055E、H'FF0566

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	-	-	-	-	-	NFEN	-	-
--	---	---	---	---	---	------	---	---

リセット後の値: 1 1 1 1 1 0 1 1

ビット	シンボル	ビット名	説明	R/W
7~3	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-
2	NFEN	ノイズ除去機能選択	0 : RXD 端子入力のノイズ除去機能無効 1 : RXD 端子入力のノイズ除去機能有効 (SMR の COM ビット=0 時)	R/W
1、0	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-

【注】 (モジュール) スタンバイモードでは SPMR の値は保持されます。

- NFEN (ノイズ除去機能選択)

SMR の COM ビットを 0 にクリアし、NFEN ビットを 1 にセットすると、RXD 端子入力のノイズ除去を行います。

20.2.10 IrDA コントロールレジスタ (IrCR)

アドレス: H'FF05DE

ビット: b7 b6 b5 b4 b3 b2 b1 b0

IrE		IrCK[2:0]		IrTXINV	IrRXINV	-	-
-----	--	-----------	--	---------	---------	---	---

リセット後の値: 0 0 0 0 0 0 1 1

ビット	シンボル	ビット名	説明	R/W
7	IrE	IrDA イネーブル	0: TXD_2/IrTXD、RXD_2/IrRXD 端子は、TXD_2、RXD_2 として動作 1: TXD_2/IrTXD、RXD_2/IrRXD 端子は、IrTXD、IrRXD として動作	R/W
6~4	IrCK[2:0]	IrDA クロック セレクト 2~0	000: B×3/16 (B=ビットレート) 001: $\phi/2$ 010: $\phi/4$ 011: $\phi/8$ 100: $\phi/16$ 101: $\phi/32$ 110: $\phi/64$ 111: $\phi/128$	R/W
3	IrTXINV	IrTX データ極性 切り替え	0: 送信データをそのまま IrTXD 出力 1: 送信データを反転して IrTXD 出力	R/W
2	IrRXINV	IrRX データ極性 切り替え	0: IrRXD 入力をそのまま受信データとして使用 1: IrRXD 入力を反転して受信データとして使用	R/W
1、0	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-

【注】 (モジュール) スタンバイモードでは IrCR の値は保持されます。

• IrE (IrDAイネーブル)

SCI3_2 の入出力端子を通常のシリアル機能にするか、IrDA 機能にするかを選択します。

• IrCK[2:0] (IrDAクロックセレクト2~0)

IrDA 機能をイネーブルにしたとき、IrTXD 出力パルスエンコード時のハイパルス幅を設定します。

• IrTXINV (IrTXデータ極性切り替え)

IrTXD 出力のロジックレベルの反転を指定します。反転したとき IrCK[2:0]で指定したハイパルス幅はローレベルとなります。

• IrRXINV (IrRXデータ極性切り替え)

IrRXD 入力のロジックレベルの反転を指定します。反転したとき IrCK[2:0]で指定したハイパルス幅はローレベルとなります。

20.3 調歩同期式モードの動作説明

調歩同期式通信の通信データの一般的なフォーマットを図 20.2 に示します。通信データの 1 キャラクタまたは 1 フレームは、スタートビット (Low レベル) から始まり、送信/受信データ (LSB ファースト)、パリティビット、ストップビット (High レベル) の順で構成されます。SCI3 内部は送信部と受信部が独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に次の受信データのリードを行うことで連続送受信が可能です。

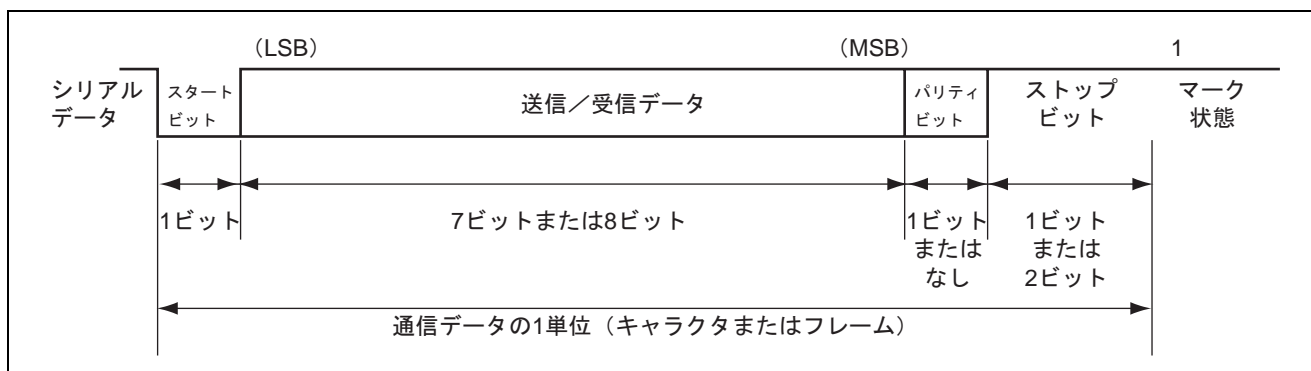


図 20.2 調歩同期式通信のデータフォーマット

20.3.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、SCI3 の送受信クロックソースとして内蔵ポーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部クロックを選択できます。外部クロックを使用する場合は SCK3 端子にビットレートの 16 倍の周波数のクロックを入力してください。内部クロックを使用する場合は SCK3 端子からビットレートと同じ周波数のクロックを出力することができます。出力されるクロックの位相は図 20.3 のように送受信データの各ビットの中央でクロックが立ち上がります。

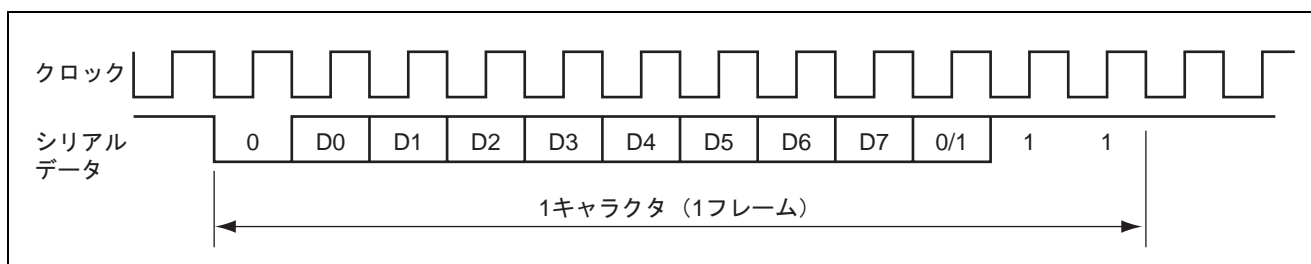


図 20.3 出カクロックと通信データの位相関係 (調歩同期式モード)
(8ビットデータ/パリティあり/2ストップビットの例)

20.3.2 SCI3 の初期化

図 20.4 のフローチャートの例に従って初期化してください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

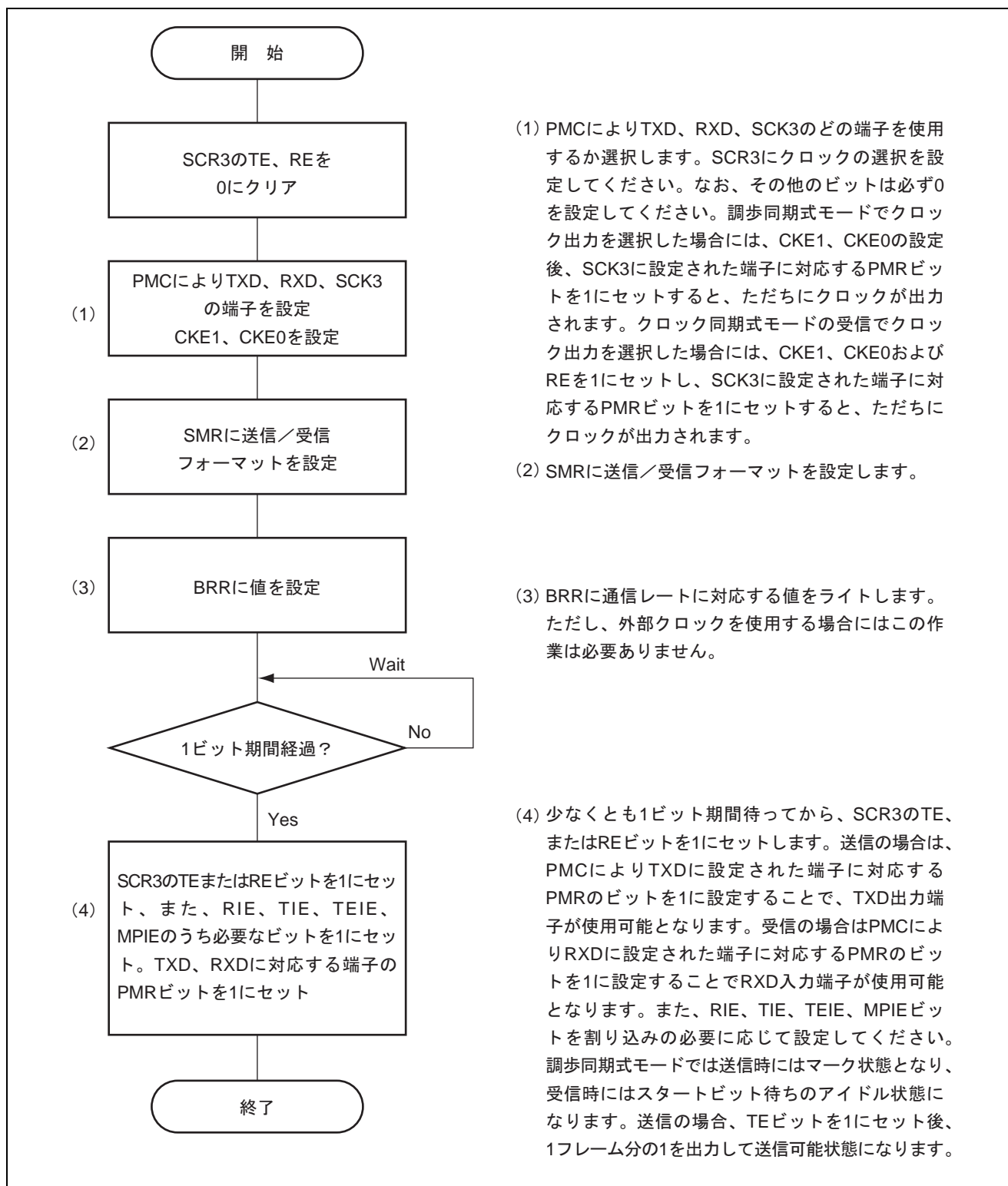


図 20.4 SCI3 を初期化するときのフローチャートの例

20.3.3 データ送信

図 20.5 に調歩同期式モードの送信時の動作例を示します。SCI3 はデータ送信時以下のように動作します。

1. SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。このTXI割り込み処理ルーチンで、前に転送したデータが送信終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. ストップビットを送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
5. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCR3のTEIEが1にセットされているとTEIが発生します。
6. 図20.6にデータ送信を行うためのフローチャートの例を示します。

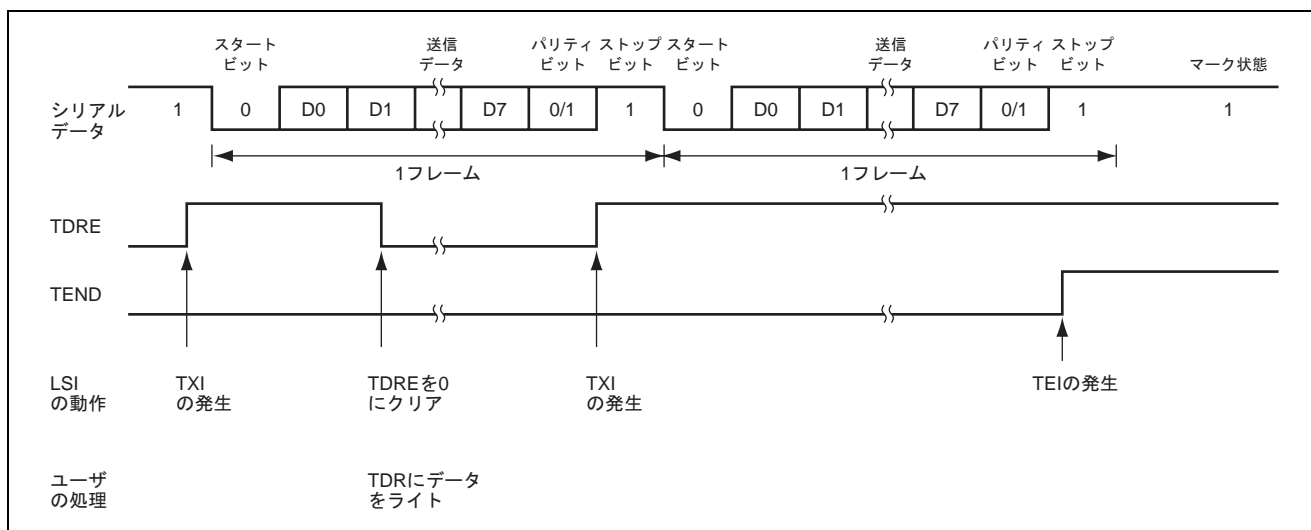


図 20.5 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

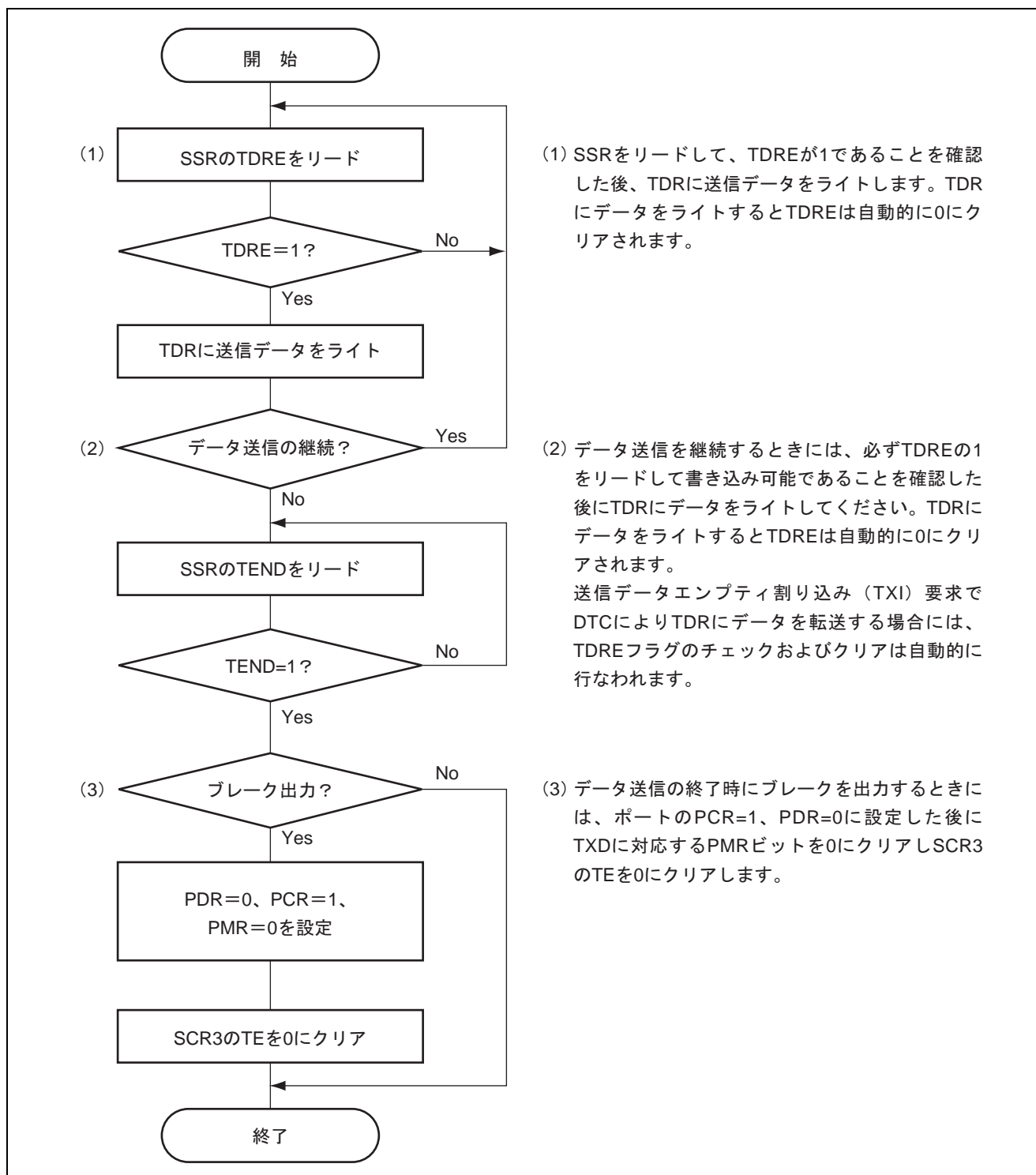


図 20.6 データ送信のフローチャートの例 (調歩同期式モード)

20.3.4 データ受信

調歩同期式モードの受信時の動作例を図 20.7 に示します。SCI3 は受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

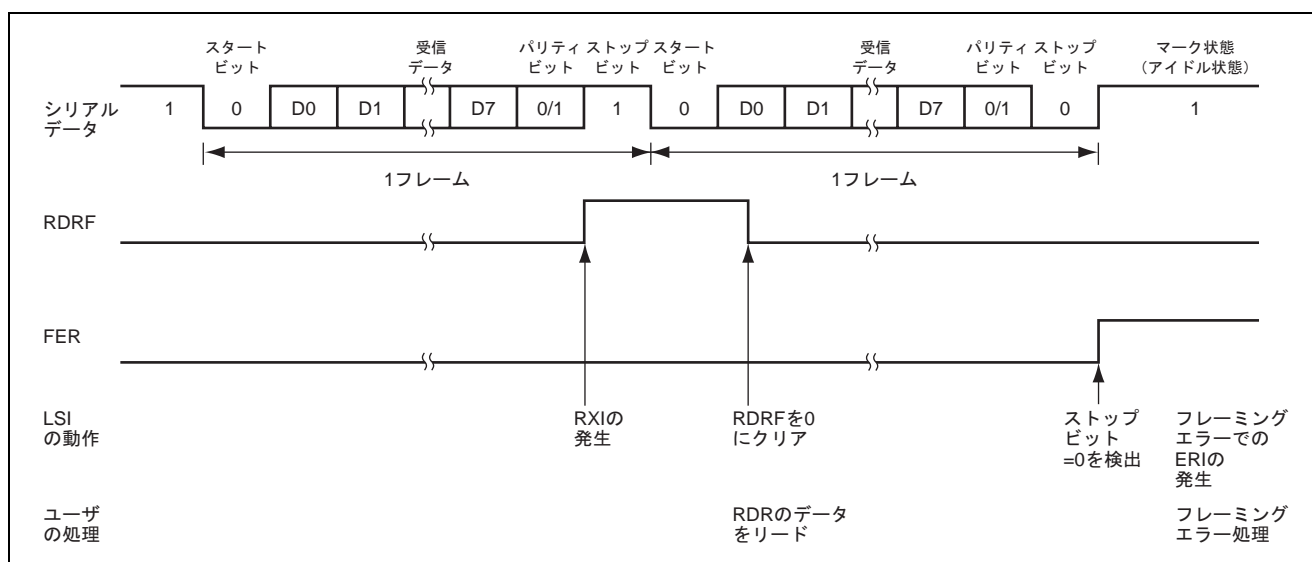


図 20.7 調歩同期式モードの受信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処置を表 20.6 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 20.8 にデータ受信のためのフローチャートの例を示します。

表 20.6 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

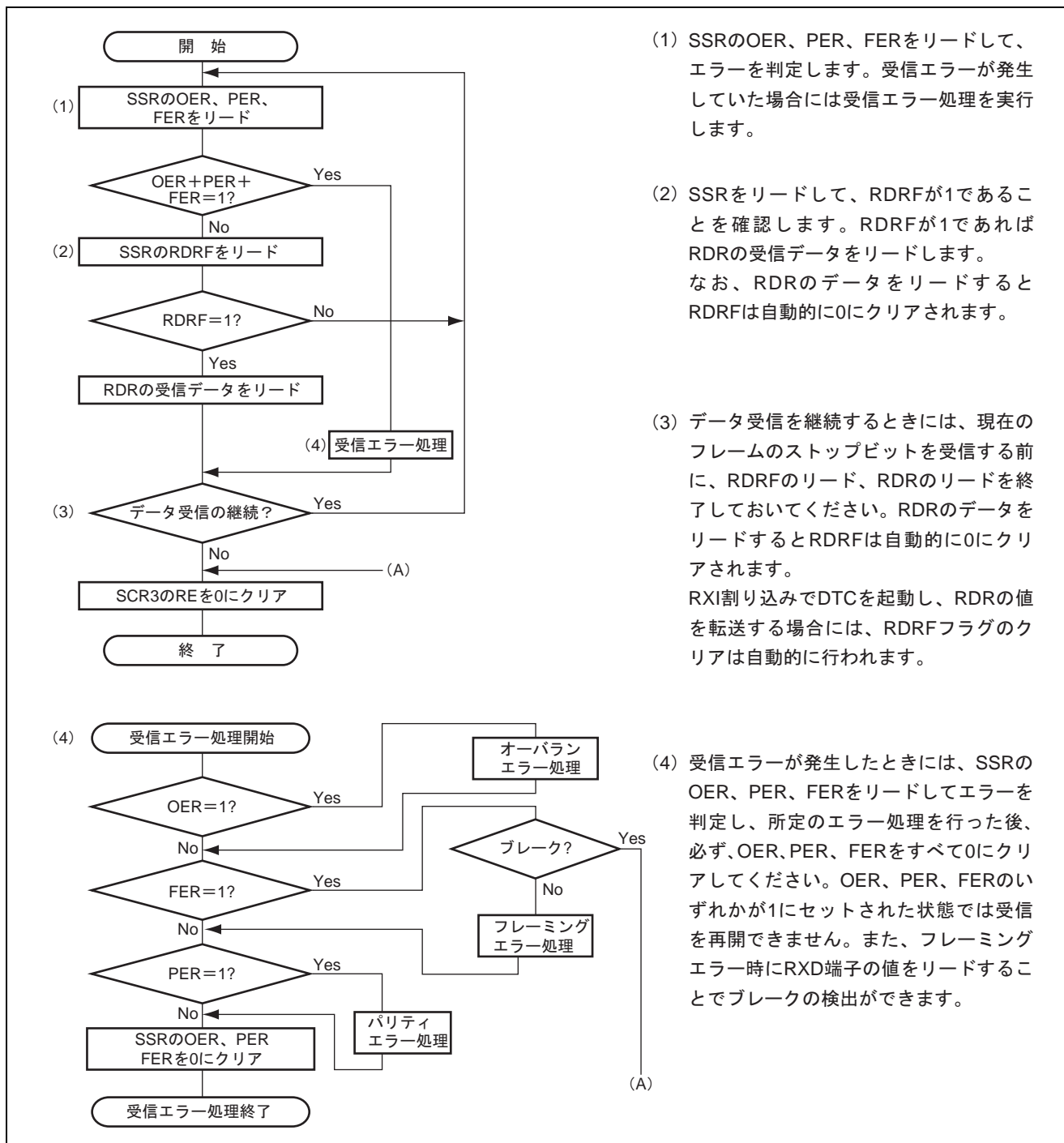


図 20.8 データ受信のフローチャートの例 (調歩同期式モード)

20.4 クロック同期式モードの動作説明

クロック同期式通信の通信データのフォーマットを図 20.9 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、LSB から始まる 8 ビットデータで構成されます。SCI3 は、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

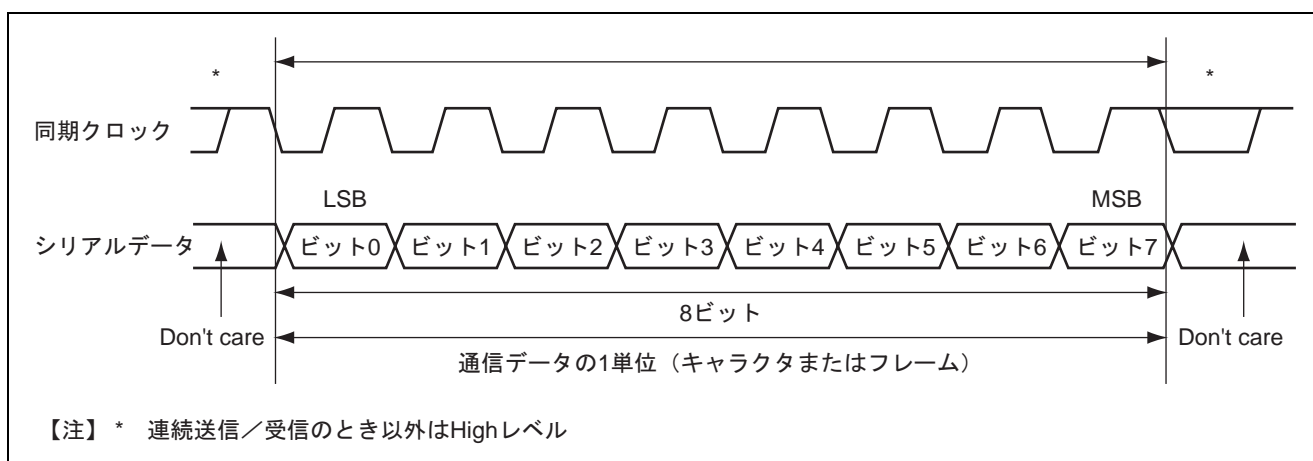


図 20.9 クロック同期式通信のデータフォーマット

20.4.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK3 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

20.4.2 SCI3 の初期化

データの送受信前に図 20.4 のフローチャートの例に従って SCI3 を初期化してください。

20.4.3 データ送信

図 20.10 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。
3. クロック出力モードに設定したときには、SCI3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアルデータは、LSB（ビット0）から順にTXD端子から送信されます。
4. MSB（ビット7）を送り出すタイミングでTDREをチェックします。
5. TDREが0であるとTDRからTSRにデータを転送し次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、MSB出力状態を保持します。このときSCR3のTEIEが1にセットされているとTEIが発生します。
7. 送信終了後は、SCK3端子はHighレベル固定になります。

図 20.11 にデータ送信のフローチャートの例を示します。データ受信のステータスを示すエラーフラグ(OER、FER、PER) が 1 にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認してください。

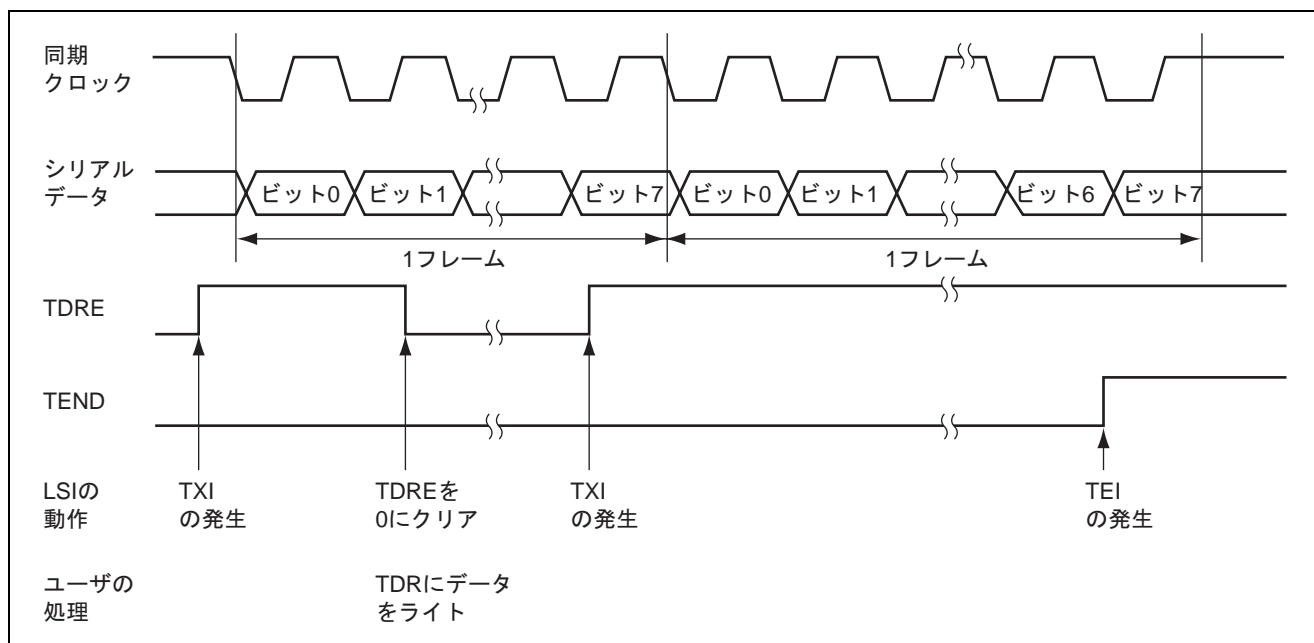


図 20.10 クロック同期式モードの送信時の動作例

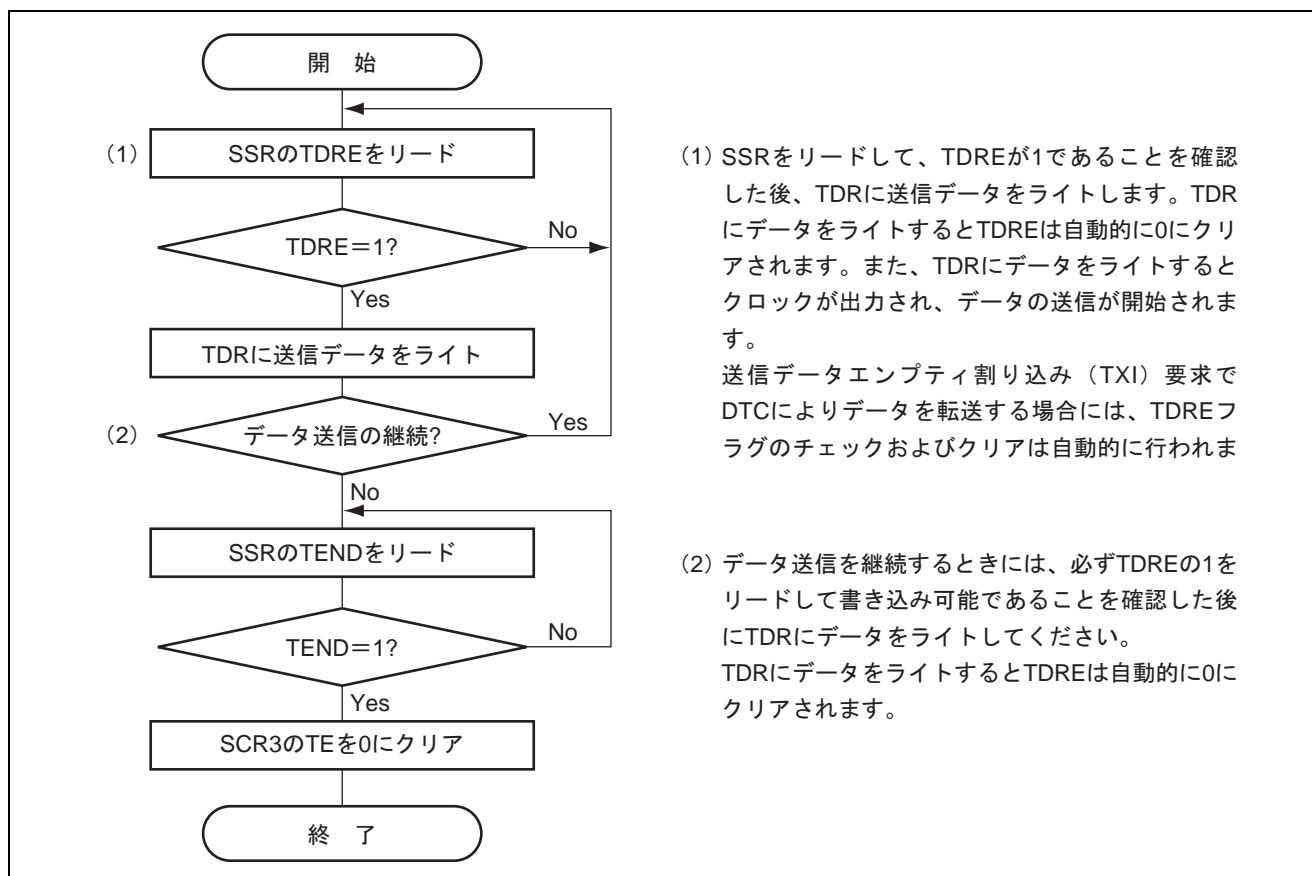


図 20.11 データ送信のフローチャートの例 (クロック同期式モード)

20.4.4 データ受信

図 20.12 にクロック同期式モードの受信時の動作例を示します。SCI3 は受信時に以下のように動作します。

1. SCI3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをRSRに取り込みます。
3. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
4. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求が発生します。

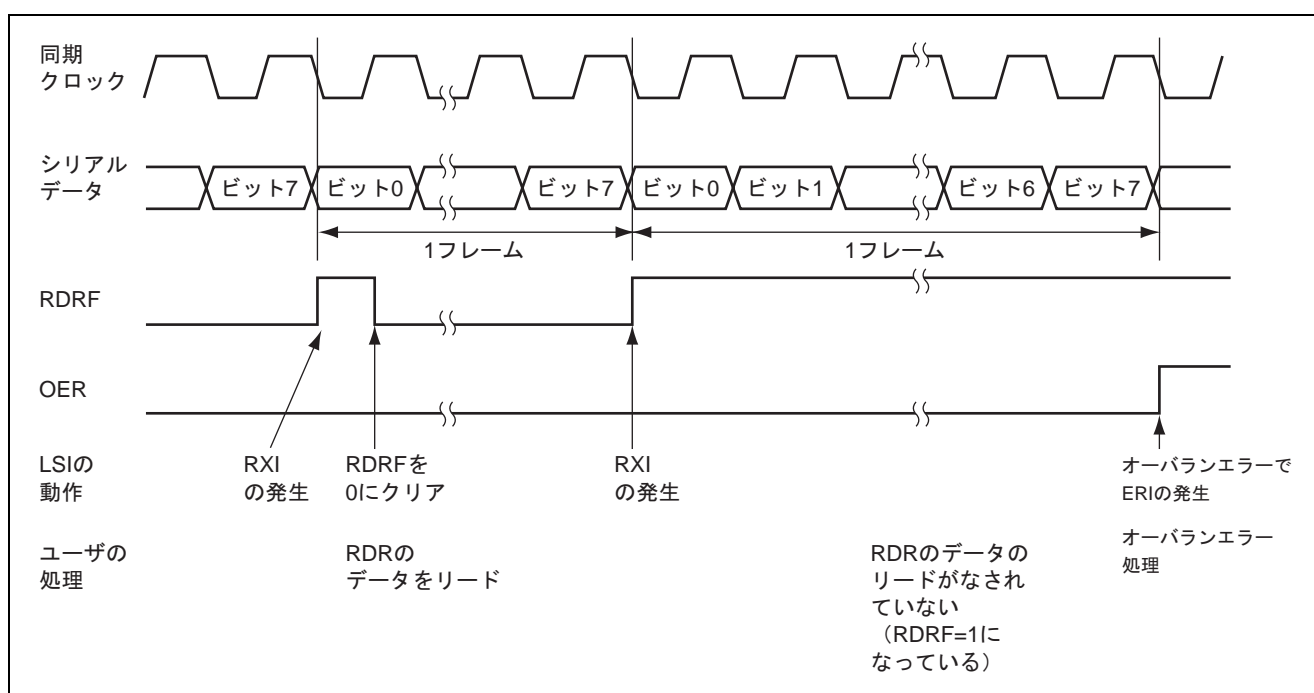


図 20.12 クロック同期式モードの受信時の動作例

受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 20.13 にデータ受信のフローチャートの例を示します。

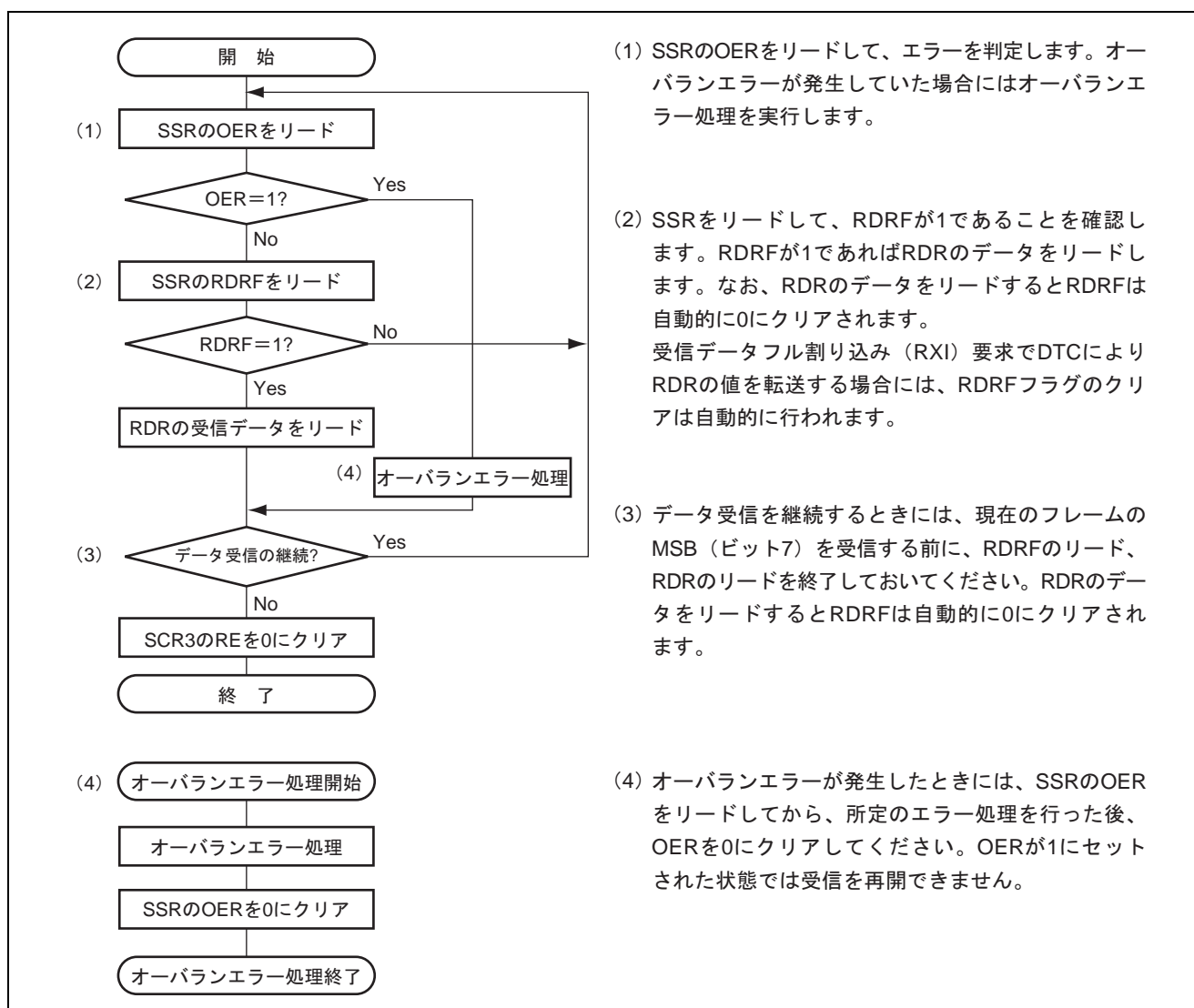


図 20.13 データ受信フローチャートの例 (クロック同期式モード)

20.4.5 データ送受信同時動作

図 20.14 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

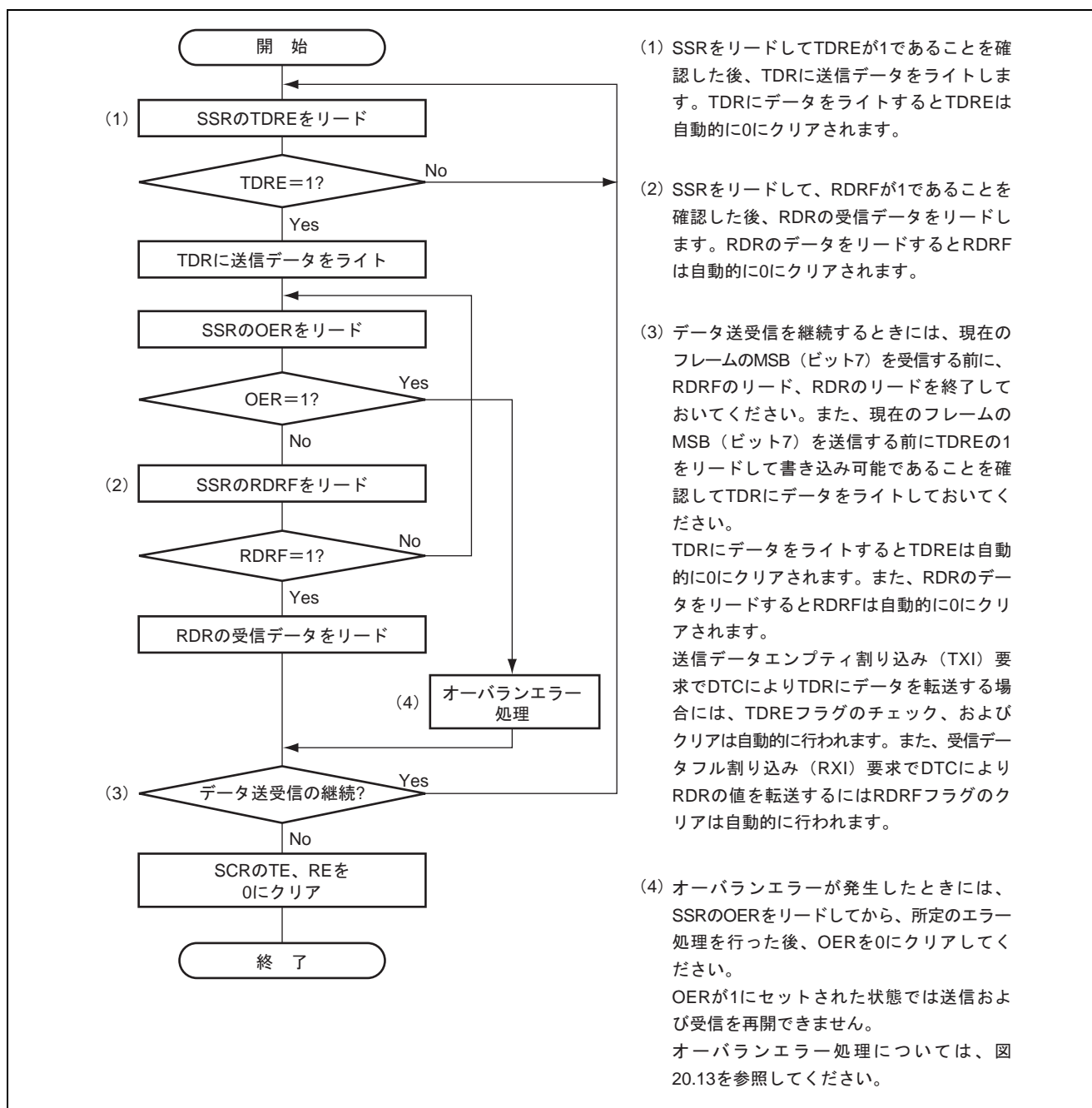


図 20.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

20.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 20.15 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCR3 に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR3 の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

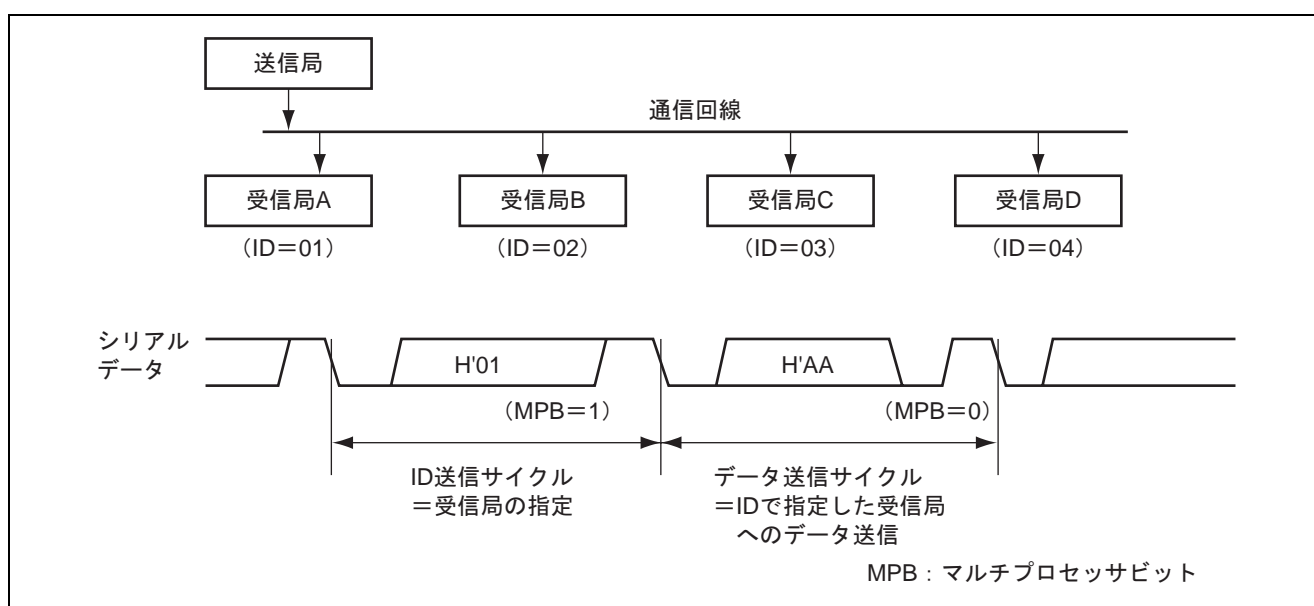


図 20.15 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

20.5.1 マルチプロセッサデータ送信

図 20.16 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

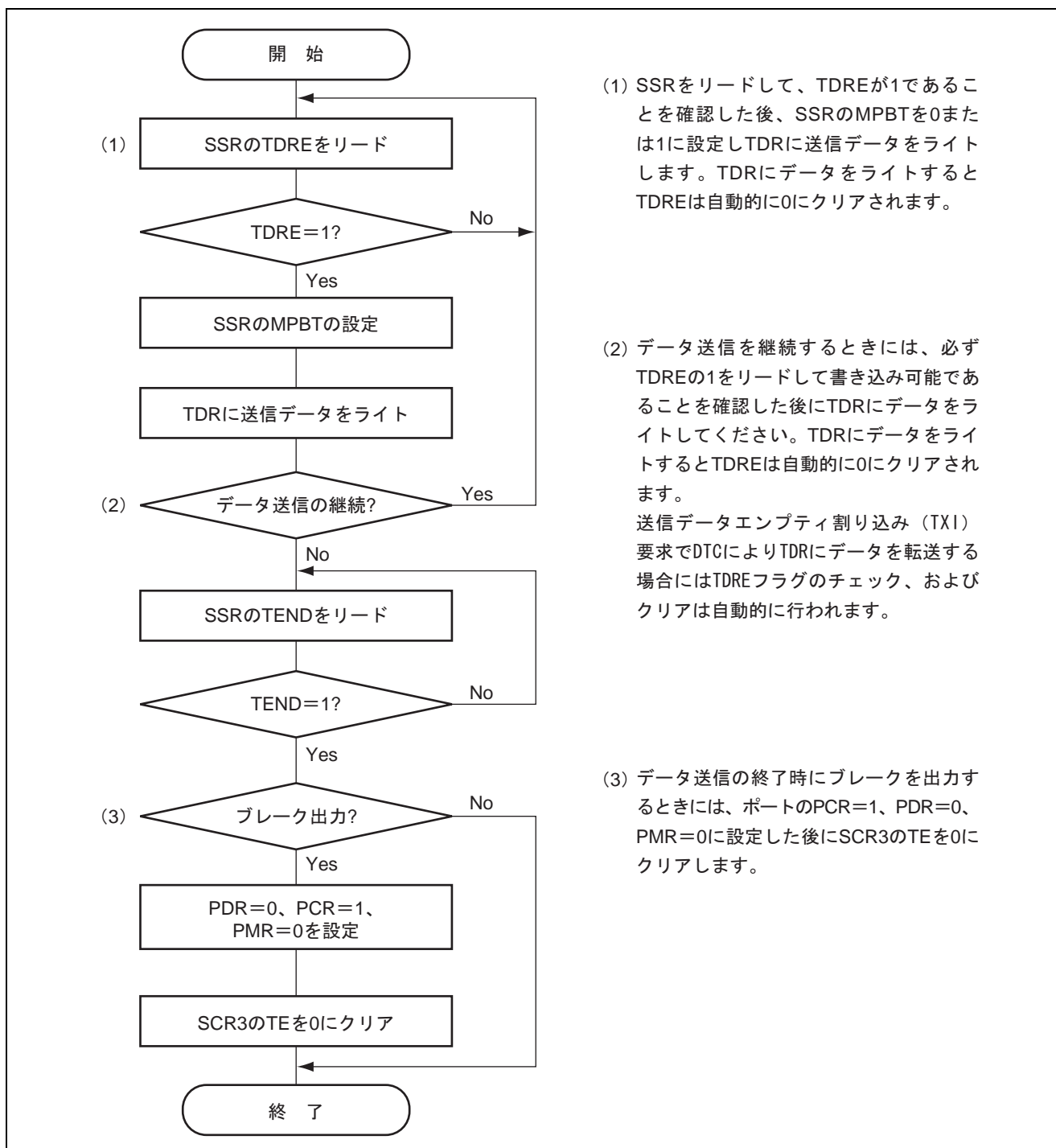


図 20.16 マルチプロセッサデータ送信のフローチャートの例

20.5.2 マルチプロセッサデータ受信

図 20.17 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR3 の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとびます。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 20.18 に受信時の動作例を示します。

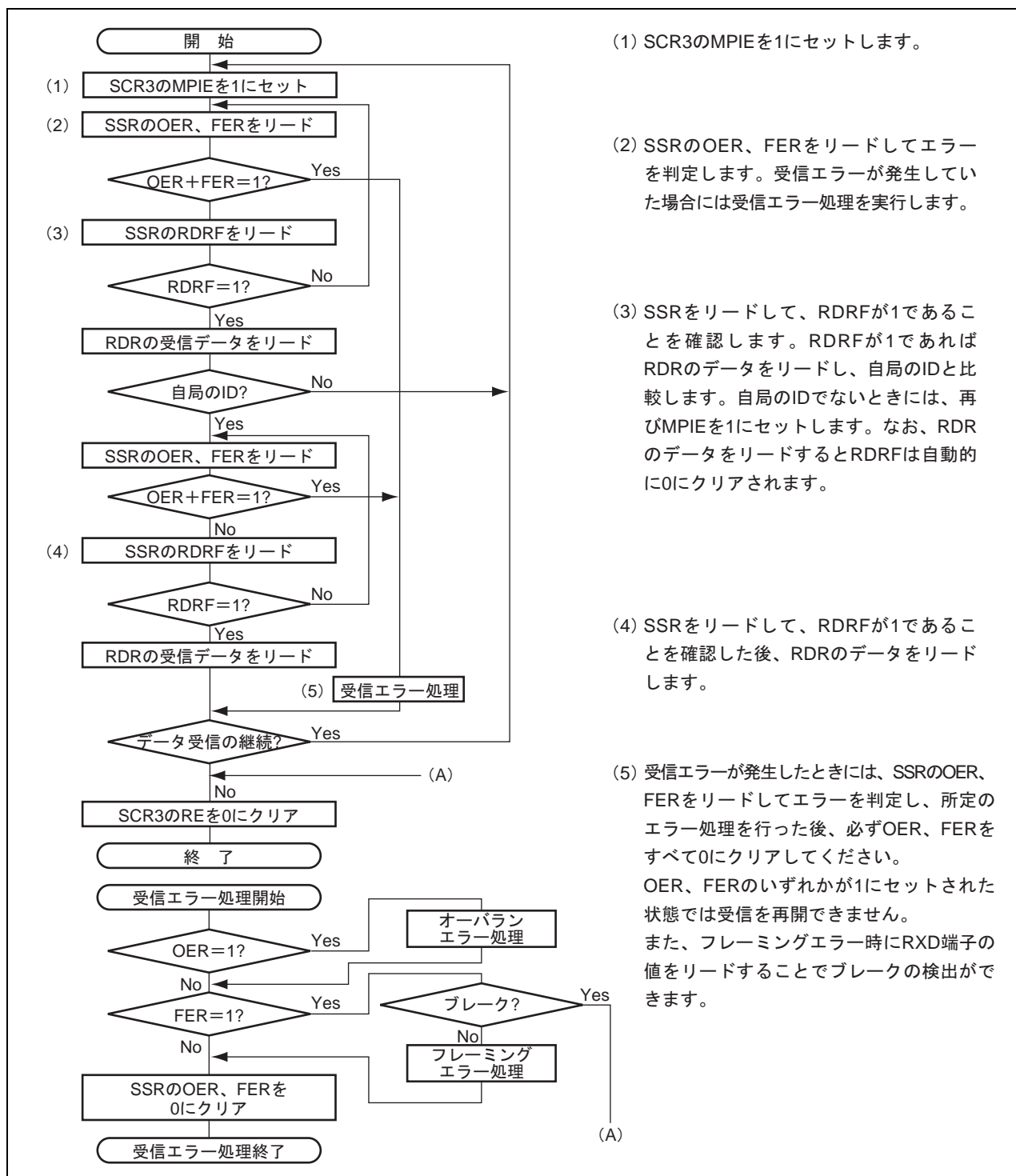


図 20.17 マルチプロセッサデータ受信のフローチャートの例

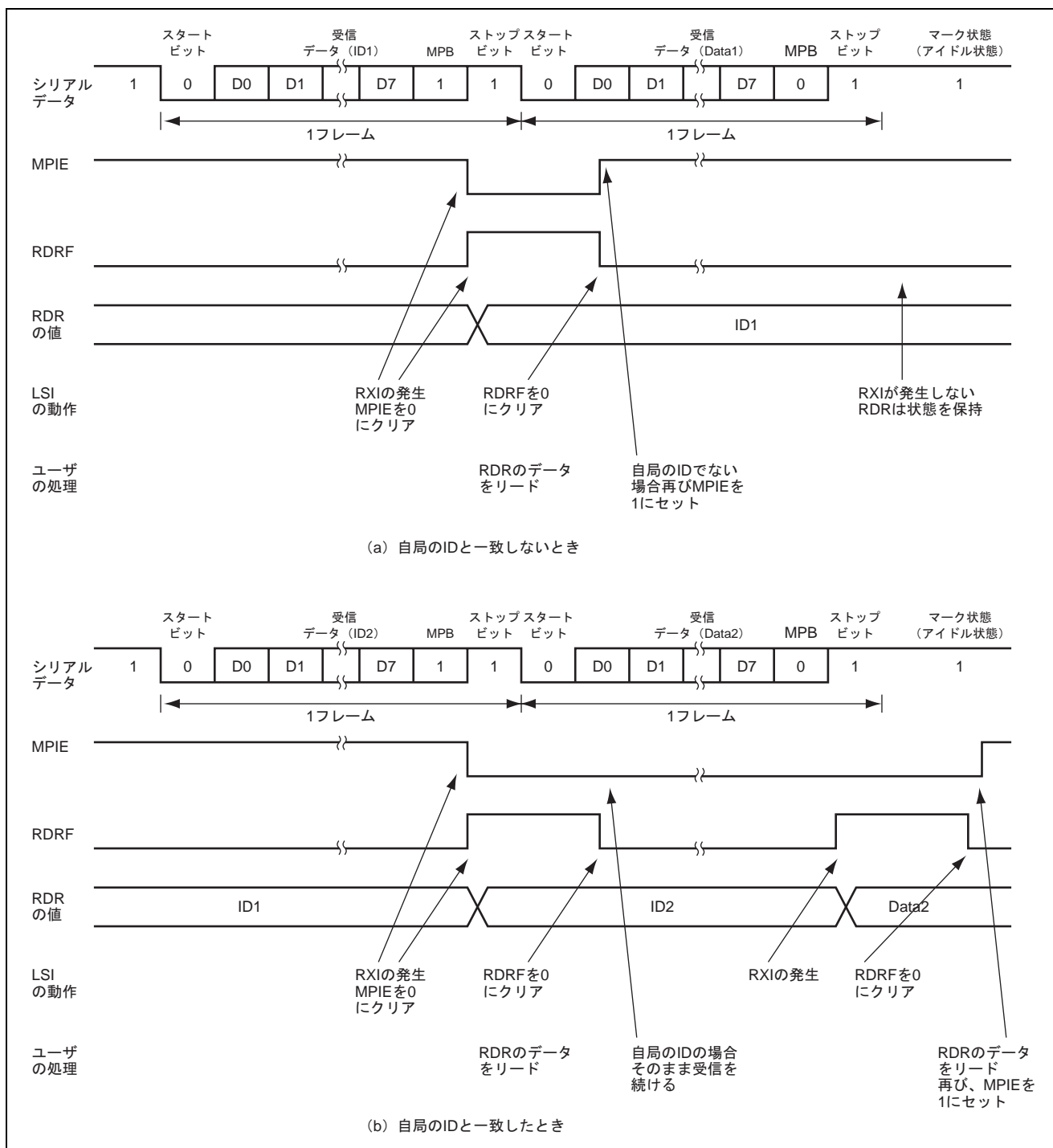


図 20.18 マルチプロセッサフォーマットの受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

20.6 IrDA 動作

SCI3_2 は IrDA 動作が可能です。IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI3_2 の TXD_2、RXD_2 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTXD/IrRXD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより、設定を変更してください。

図 20.19 に IrDA のブロック図を示します。

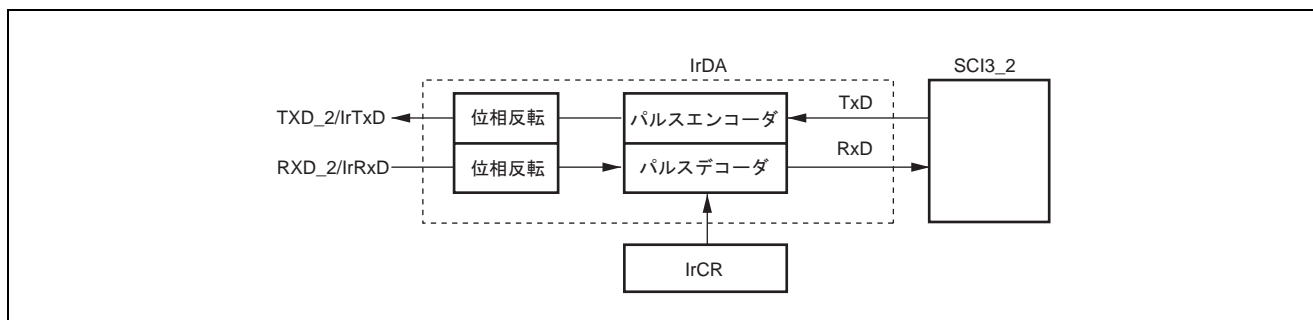


図 20.19 IrDA ブロック図

IrDA 動作設定は下記の手順で行ってください。

1. 当該端子のPMCRおよびPMRを設定します。
2. IrCRを設定します。
3. SCI3_2関連レジスタを設定します。

20.6.1 送信

送信時には、SCI3_2 からの出力信号 (UART フレーム) は IrDA インタフェースにより IR フレームに変換されます (図 20.20 参照)。シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ のハイパルスが出力されます (初期値)。なお、ハイパルス幅は、IrCR の IrCK[2:0] ビットの設定値により変化させることも可能です。規格では、ハイパルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(3/16+2.5\%) \times$ ビットレート、または $(3/16 \times$ ビットレート) $+1.08 \mu\text{s}$ と定められています。システムクロック ϕ が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最大のハイパルス幅としては $1.6 \mu\text{s}$ が設定可能です。また、シリアルデータが 1 のときは、パルスは出力されません。

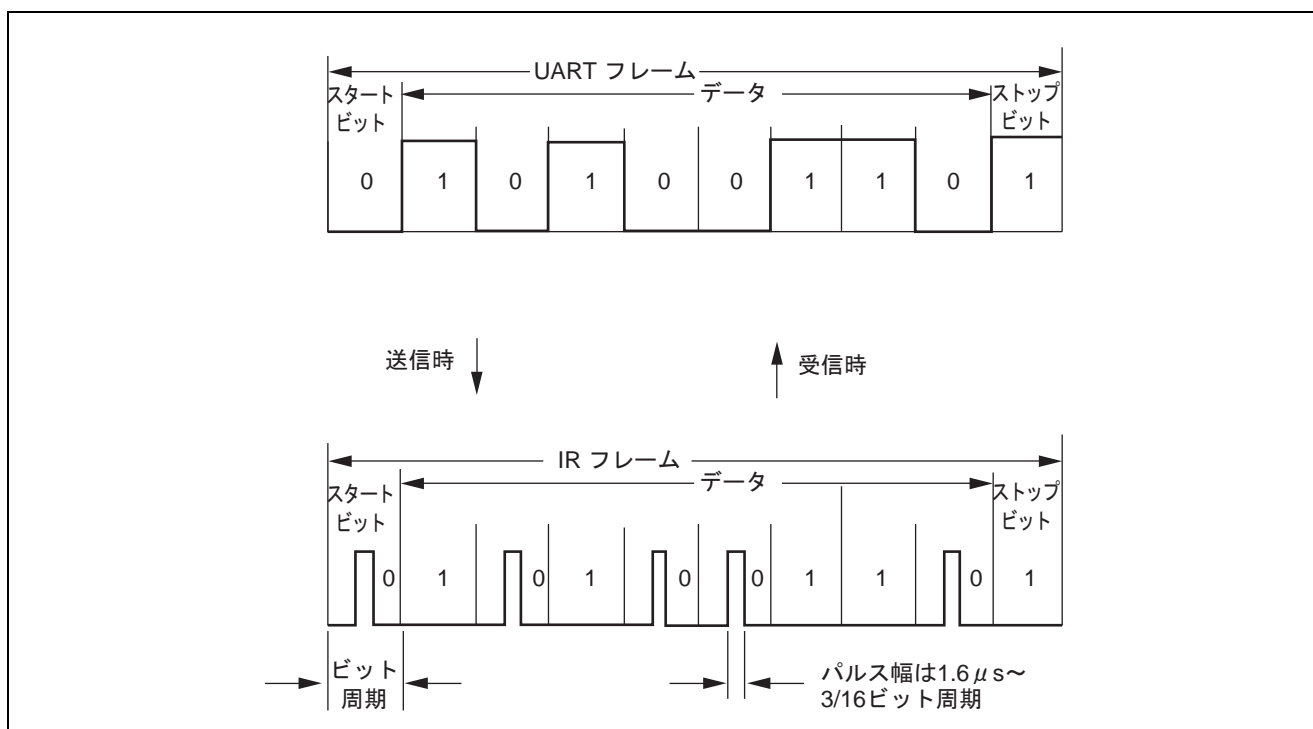


図 20.20 IrDA の送信/受信動作

20.6.2 受信

受信時には、IR フレームのデータは IrDA インタフェースにより UART フレームに変換され、SCI3_2 に入力されます。ハイパルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の $1.41 \mu\text{s}$ より短いパルスは 0 信号として認識しますので注意してください。

20.6.3 ハイパルス幅の選択

送信時にビットレート×3/16よりパルス幅を短くする場合に、適用可能な IrCK[2:0]ビットの設定（最小パルス幅）と本 LSI の動作周波数およびビットレートの選択を表 20.7 に示します。

表 20.7 IrCK[2:0]ビット設定

動作周波数 φ (MHz)	ビットレート(bps) (上段) / ビット周期×3/16(μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101

20.7 ノイズ除去回路

ノイズ除去回路のブロック図を図 20.21 に示します。RXD 入力信号は、ノイズ除去機能有効時、ノイズ除去回路を経由して内部に取り込まれます。ノイズ除去回路は、3 段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD 入力信号が転送レートの 16 倍の周波数の基本クロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3 クロック以上同一のレベルを保持した場合は信号として認識しますが、3 クロック以下の信号変化はノイズとして判断し、信号変化として認識しません。

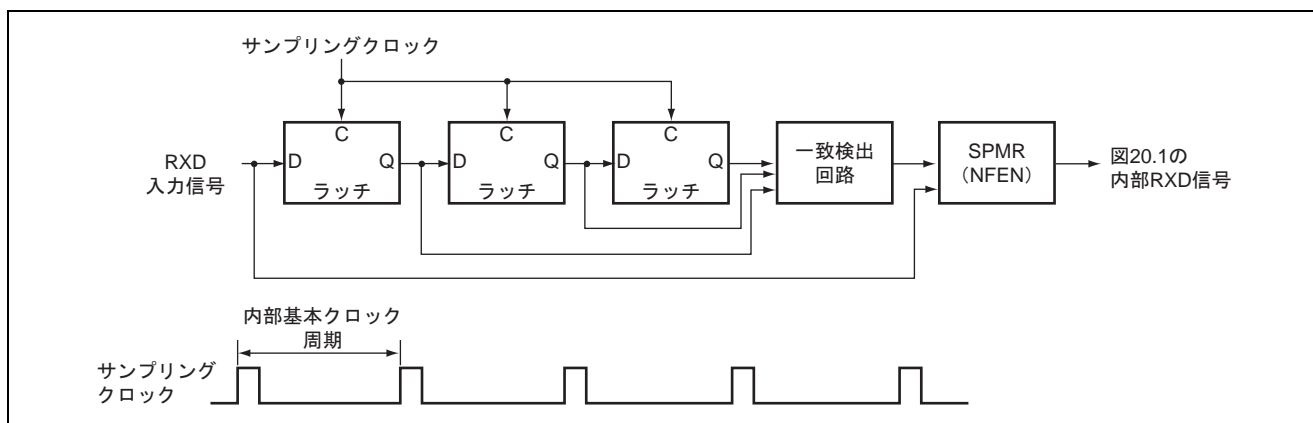


図 20.21 ノイズ除去回路のブロック図

20.8 割り込み要求

SCI3 が生成する割り込み要求には、送信終了、送信データエンプティ、受信データフルおよび受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があります。表 20.8 に各割り込み要求の内容を示します。

表 20.8 SCI3 の割り込み要求

割り込み要求	略称	割り込み要因	DTC の起動
受信データフル	RXI	SSR の RDRF のセット	可
送信データエンプティ	TXI	SSR の TDRE のセット	可
送信終了	TEI	SSR の TEND のセット	不可
受信エラー	ERI	SSR の OER、FER、PER のセット	不可

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時、自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。また、SSR の OER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求により DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時、自動的に 0 にクリアされます。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では、TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は、TEI 割り込みルーチンへ分岐できなくなりますので、注意してください。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットすると、送信データが準備されていなくても TXI が発生します。また、SSR の TEND は初期値が 1 になっています。送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットすると、送信データが送信されていなくても TEI が発生します。送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用することもできます。逆にこれらの割り込み要求 (TXI、TEI) の発生を防ぐには、送信データを TDR へ転送した後にこれらの割り込み要求に対応するイネーブルビット (TIE、TEIE) を 1 にセットしてください。

20.9 使用上の注意事項

20.9.1 ブレークの検出と処理について

フレーミングエラー検出時に、RXD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

20.9.2 マーク状態とブレークの送付

PMC により選択された端子に該当する PMR ビットが 0 のとき、TXD 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD 端子をマーク状態にしたり、データ送信時にブレークの送付をしたりすることができます。PMR ビットを 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR=1、PDR=1 を設定します。このとき、PMR ビットが 0 にクリアされていますので、TXD 端子は I/O ポートとなり、1 が出力されます。一方、データ送信時にブレークを送付したいときは、PCR=1、PDR=0 に設定した後、PMR ビットを 0 にクリアします。PMR ビットを 0 にクリアすると、現在の送信状態とは無関係に送信部が初期化され、TXD 端子は I/O ポートになり、TXD 端子から 0 が出力されます。

20.9.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

20.9.4 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 個目の立ち上がりエッジで内部に取り込みます。これを図 20.22 に示します。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5) F \right\} \times 100 \text{ [\%]} \quad \dots \text{式 (1)}$$

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) =0、D (クロックのデューティ) =0.5 とすると、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \text{ [\%]} = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

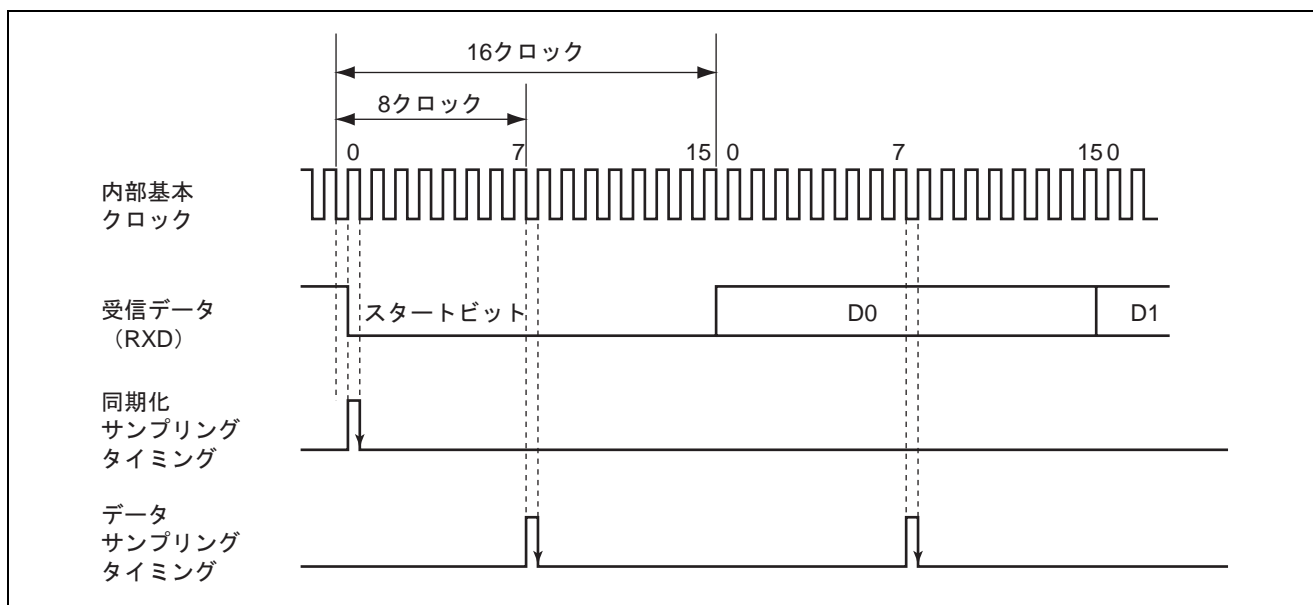


図 20.22 調歩同期式モードの受信データサンプリングタイミング

20.9.5 TDR へのライトと TDRE フラグの関係

TDR へのデータライトは、SSR の TDRE フラグの状態に関わらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため、失われてしまいます。したがって、TDR への送信データのライトは必ず、TDRE フラグが 1 にセットされていることを確認してから、行ってください。

20.9.6 DTC 使用上の制約

同期クロックに外部クロックソースを使用する場合は、DTC または CPU による TDR の更新後、 ϕ クロックで 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後、4 クロック以内に送信クロックを入力すると、誤動作することがあります。(図 20.23)

DTC により、RDR のリードを行うときは必ず、起動要因を当該 SCI3 の受信完了割り込み要因 (RXI) に設定してください。

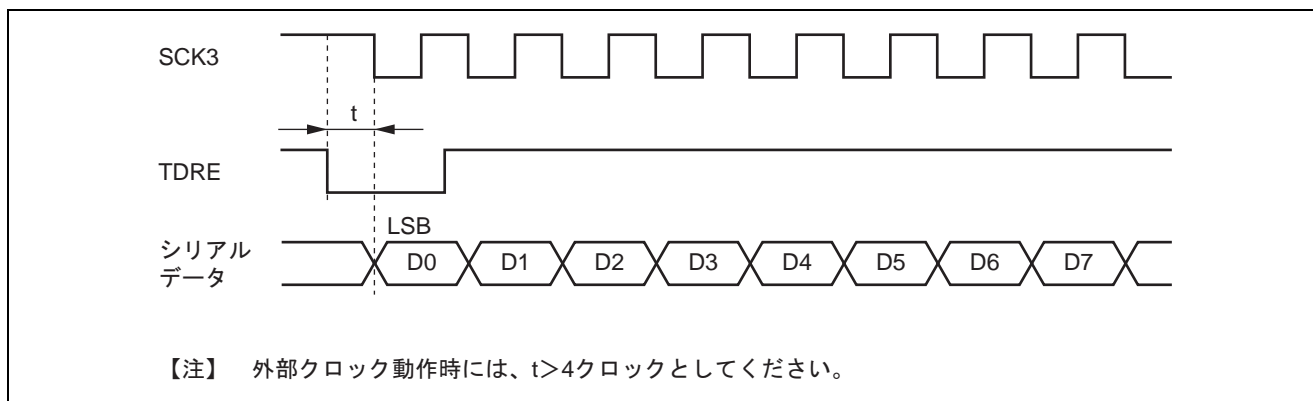


図 20.23 DTC によるクロック同期式送信時の例

21. I²C バスインタフェース 2 (IIC2)

I²C バスインタフェース 2 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なります。I²C バスインタフェース 2 のブロック図を図 21.1 に、入出力端子の外部回路接続例を図 21.2 に示します。

本 LSI に搭載されている IIC2 と SSU は、どちらかを選択して使用します。そのため IIC2 機能を使用する場合、SSU 機能は使用できません。

21.1 概要

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信／受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信／受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期／ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出。
また、送信データエンプティ、受信データフル割り込み要因により、DTC を起動可能です。
- バスを直接駆動可能
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期シリアルフォーマット

- 割り込み要因：4種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー
また、送信データエンプティ、受信データフル割り込み要因により、DTC を起動可能です。

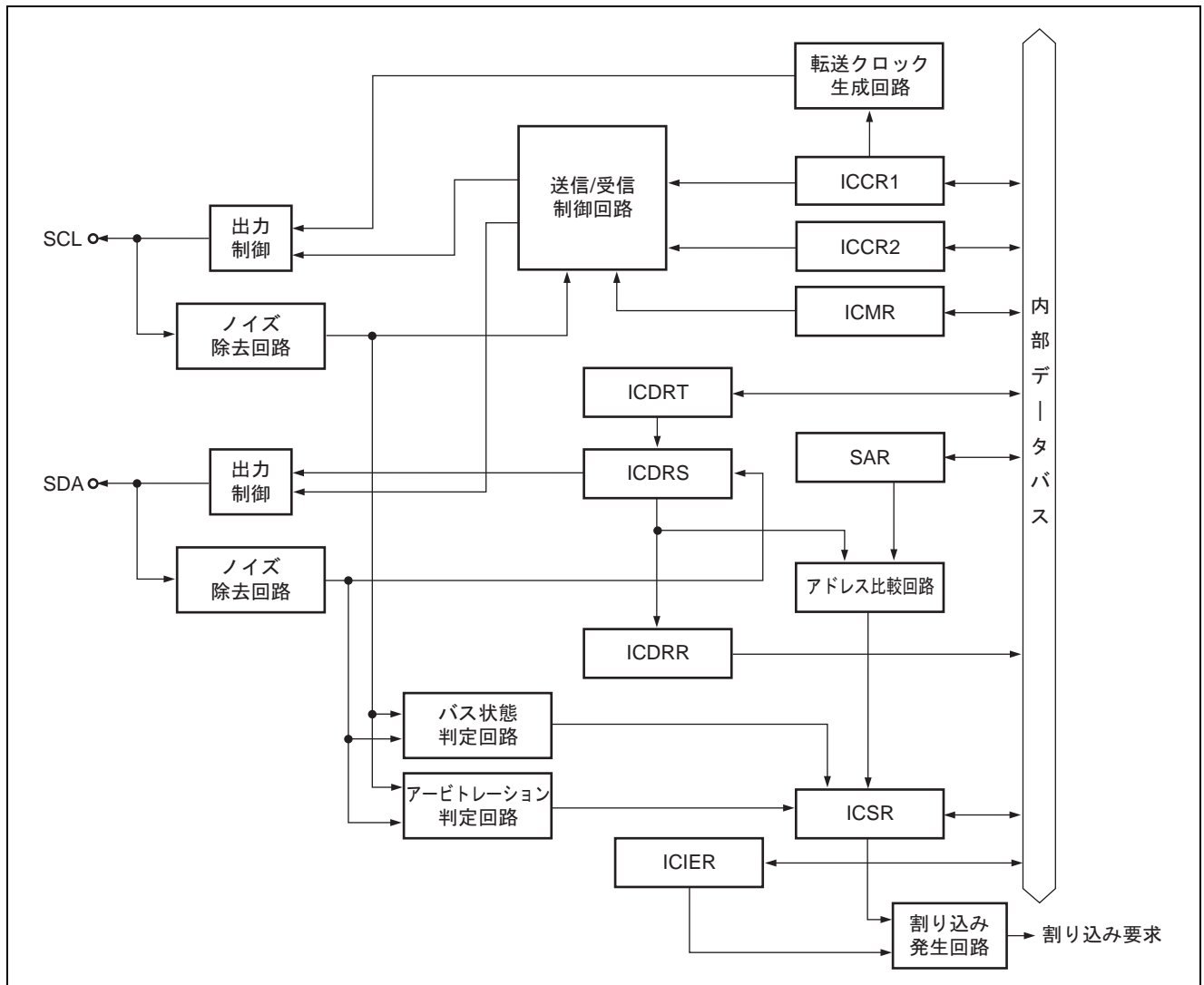


図 21.1 I²C バスインタフェース 2 のブロック図

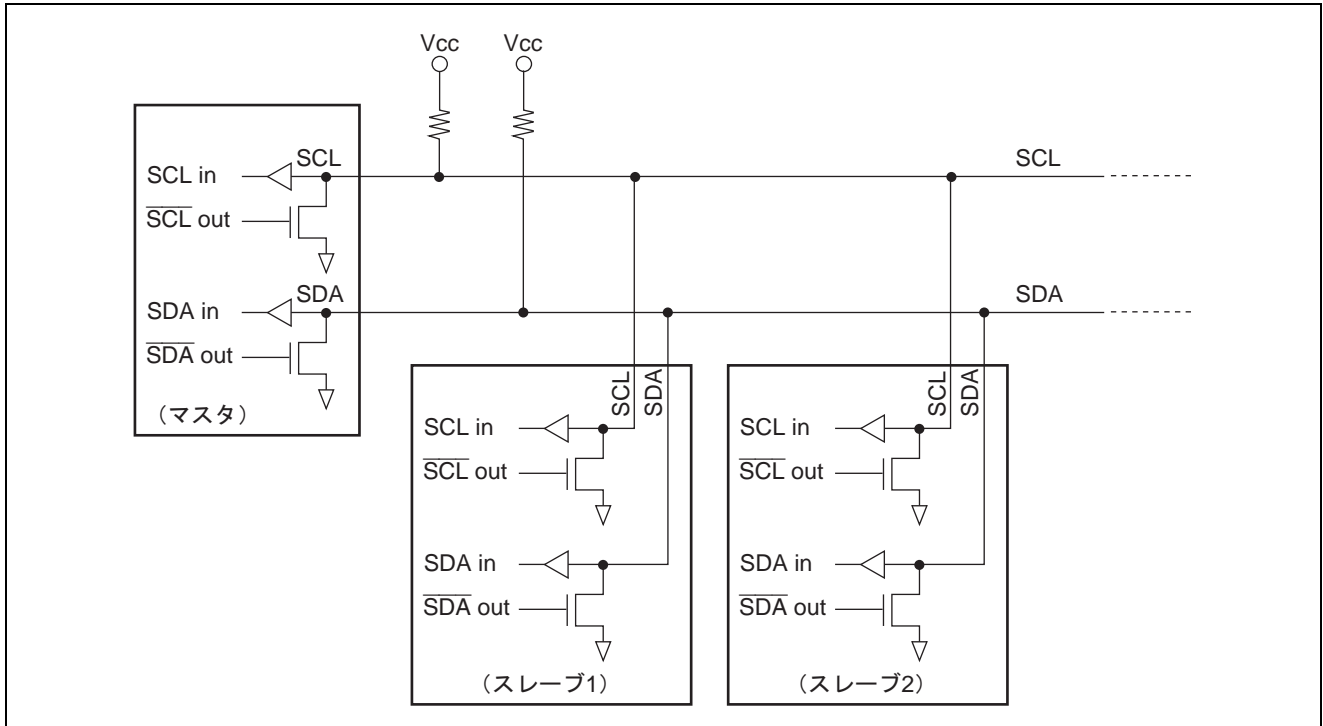


図 21.2 入出力端子の外部回路接続例

I²C バスインタフェース 2 で使用する端子構成を表 21.1 に示します。

表 21.1 端子構成

端子名	入出力	機能
SCL	入出力	I ² C シリアルクロック入出力端子
SDA	入出力	I ² C シリアルデータ入出力端子

【注】 IIC2 機能選択時、PMC で SCL 端子は P57、SDA 端子は P56 に設定してください。

21.2 レジスタの説明

以下にレジスタ構成を示します。

- IIC2/SSU選択レジスタ (ICSUSR)
- I²Cバスコントロールレジスタ1 (ICCR1)
- I²Cバスコントロールレジスタ2 (ICCR2)
- I²Cバスモードレジスタ (ICMR)
- I²Cバスインタラプトイネーブルレジスタ (ICIER)
- I²Cバスステータスレジスタ (ICSR)
- スレーブアドレスレジスタ (SAR)
- I²Cバス送信データレジスタ (ICDRT)
- I²Cバス受信データレジスタ (ICDRR)
- I²Cバスシフトレジスタ (ICDRS)

21.2.1 IIC2/SSU 選択レジスタ (ICSUSR)

アドレス: H'FF000B

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SELICSU

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~1	—	予約ビット	リードすると0が読み出されます。ライト時は0書いてください。	—
0	SELICSU	IIC2/SSU モジュール機能 選択ビット	0 : IIC2 機能を選択* 1 : SSU 機能を選択	R/W

【注】 * IIC2 機能を選択する場合、必ず0を設定してください。

21.2.2 I²C バスコントロールレジスタ 1 (ICCR1)

アドレス: H'FF05C8

ビット: b7 b6 b5 b4 b3 b2 b1 b0

ICE	RCVD	MST	TRS	CKS[3:0]			
-----	------	-----	-----	----------	--	--	--

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	ICE	I ² C バスインタフェース 2 イネーブル	0: 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)	R/W
6	RCVD	受信ディスエーブル	0: 次の受信動作を継続 1: 次の受信動作を禁止	R/W
5	MST	マスタ/スレーブ選択	00: スレーブ受信モード 01: スレーブ送信モード	R/W
4	TRS	送信/受信選択	10: マスタ受信モード 11: マスタ送信モード	R/W
3~0	CKS[3:0]	転送クロック選択 3~0	マスタモードのとき、必要な転送レート (表 21.2 参照) に合わせて設定してください。	R/W

- RCVD (受信ディスエーブル)

TRS=0 の状態で ICDRR をリードしたときに次の動作の継続/禁止を設定します。

- MST (マスタ/スレーブ選択)、TRS (送信/受信選択)

I²C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS とともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。

MST と TRS との組み合わせにより、上記の動作モードになります。またクロック同期シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。

- CKS[3:0] (転送クロック選択3~0)

マスタモードのとき、必要な転送レート (表 21.2 参照) に合わせて設定してください。スレーブモードでは送信モード時のデータセットアップ時間の確保に使用されます。この時間は、CKS3=0 のとき 10tcyc、CKS3=1 のとき 20tcyc となります。

表 21.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート				
					$\phi=5\text{MHz}$	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$	$\phi=16\text{MHz}$	$\phi=20\text{MHz}$
0	0	0	0	$\phi/28$	179kHz	286kHz	357kHz	571kHz	714kHz
			1	$\phi/40$	125kHz	200kHz	250kHz	400kHz	500kHz
		1	0	$\phi/48$	104kHz	167kHz	208kHz	333kHz	417kHz
			1	$\phi/64$	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	$\phi/100$	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	$\phi/112$	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	$\phi/56$	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	$\phi/96$	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	$\phi/160$	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	$\phi/200$	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	$\phi/224$	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	$\phi/256$	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

21.2.3 I²C バスコントロールレジスタ 2 (ICCR2)

アドレス: H'FF05C9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—
------	-----	------	-------	------	---	--------	---

リセット後の値: 0 1 1 1 1 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	BBSY* ¹ * ³	バスビジー	I ² C バスの占有/開放状態を示すフラグ機能とマスタモードの開始/停止条件発行機能の 2 つがあります。クロック同期シリアルフォーマットの場合、本ビットは意味を持ちません。I ² C バスフォーマットの場合、SCL=High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件/停止条件の発行は、MOV 命令を用いてください。	R/W
6	SCP* ³	開始/停止条件発行禁止ビット	SCP ビットはマスタモードで開始条件/停止条件の発行を制御します。開始条件を発行する場合は、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。	R/W
5	SDAO* ³	SDA 出力値制御	SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。 0: リード時、SDA 端子出力が Low レベル : ライト時、SDA 端子出力を Low レベルに変更 1: リード時、SDA 端子出力が High レベル : ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)	R/W
4	SDAOP	SDAO ライトプロテクト	SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令で行います。本ビットはリードすると常に 1 が読み出されます。	R/W
3	SCLO	SCL 出力レベルモニタ	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。	R
2	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 書いてください。	—

ビット	シンボル	ビット名	説明	R/W
1	IICRST* ²	IIC コントロール部 リセット	I ² C のレジスタを除くコントロール部をリセットします。I ² C の動作中に通信不具合等によりハングアップした時、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I ² C のコントロール部をリセットすることができます。	R/W
0	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 書いてください。	—

【注】 *1 スタンバイモード時、ICCR2 の BBSY ビットがリセットされます。

*2 本ビットは自動的に 0 にクリアされないのので、必ずソフトウェアで 0 にクリアしてください。

*3 IICR2 の IICRST=1 によるリセット期間中のライトは無効です。

21.2.4 I²C バスモードレジスタ (ICMR)

アドレス: H'FF05CA

ビット: b7 b6 b5 b4 b3 b2 b1 b0

MLS	WAIT	—	—	BCWP	BC[2:0]		
-----	------	---	---	------	---------	--	--

リセット後の値: 0 0 0 1 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	MLS	MSB ファースト/ LSB ファースト 選択	0: MSB ファーストで転送* 1: LSB ファーストで転送	R/W
6	WAIT	ウェイト挿入 ビット	0: ウェイトは挿入されず、データとアクノリッジを連続して転送 1: データの最終ビットのクロックが立ち下がった後、2 転送 クロック分ロー期間を延ばす	R/W
5	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 書いてください。	—
4	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 書いてください。	—
3	BCWP	BC ライト プロテクト	0: ライト時、BC2~BC0 の値を書き換え有効 1: ライト時 BC2~BC0 の値を書き換え無効	R/W
2~0	BC[2:0]	ビットカウンタ 2~0	I ² C バスフォーマット クロック同期式シリアル フォーマット 000: 9 ビット 001: 2 ビット 010: 3 ビット 011: 4 ビット 100: 5 ビット 101: 6 ビット 110: 7 ビット 111: 8 ビット 000: 8 ビット 001: 1 ビット 010: 2 ビット 011: 3 ビット 100: 4 ビット 101: 5 ビット 110: 6 ビット 111: 7 ビット	R/W

【注】 * I²C バスフォーマットで使用するときは 0 に設定してください。

• WAIT (ウェイト挿入ビット)

WAIT は I²C バスフォーマットでマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合ウェイトは挿入されず、データとアクノリッジを連続して転送します。

なお、I²C バスフォーマットのスレーブモードおよびクロック同期シリアルフォーマットの場合、本ビットの設定値は無効です。

- BCWP (BCライトプロテクト)

BC2~BC0 の書き込みを制御します。BC2~BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。なおクロック同期シリアルモードでは BC の書き換えは行わないでください。

- BC[2:0] (ビットカウンタ2~0)

次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。

21.2.5 I²C バスインタラプトイネーブルレジスタ (ICIER)

アドレス: H'FF05CB

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7	TIE	トランスミットインタラプトイネーブル	0: 送信データエンプティ割り込み要求 (TXI) の禁止 1: 送信データエンプティ割り込み要求 (TXI) の許可	R/W
6	TEIE	トランスミットエンドインタラプトイネーブル	0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可	R/W
5	RIE	レシーブインタラプトイネーブル	0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可	R/W
4	NAKIE	NACK 受信インタラプトイネーブル	0: NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバランエラー割り込み要求 (ERI) の禁止 1: NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバランエラー割り込み要求 (ERI) の許可	R/W
3	STIE	停止条件検出インタラプトイネーブル	0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可	R/W
2	ACKE	アクリッジビット判定選択	0: 受信アクリッジの内容を無視して連続的に転送を行う 1: 受信アクリッジが1の場合、転送を中断する	R/W
1	ACKBR	受信アクリッジ	0: 受信アクリッジ=0 1: 受信アクリッジ=1	R
0	ACKBT	送信アクリッジ	0: アクリッジのタイミングで0を送出 1: アクリッジのタイミングで1を送出	R/W

- TIE (トランスミットインタラプトイネーブル)

ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。

- TEIE (トランスミットエンドインタラプトイネーブル)

TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。

- **RIE (レシーブインタラプトイネーブル)**

RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。

- **NAKIE (NACK受信インタラプトイネーブル)**

NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可/禁止を選択します。なお NAKI は、NACKF または OVE を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。

- **STIE (停止条件検出インタラプトイネーブル)**

STIE を 1 にするときは、ICSR の STOP ビットが 0 の状態で行ってください。

- **ACKBR (受信アクノリッジ)**

送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。

- **ACKBT (送信アクノリッジ)**

受信モード時、アクノリッジのタイミングで送出するビットを設定します。

21.2.6 I²C バスステータスレジスタ (ICSR)

アドレス: H'FF05CC

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TDRE	TEND	RDRF	NACKF	STOP	AL_OVE	AAS	ADZ
------	------	------	-------	------	--------	-----	-----

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TDRE	トランスミットデータエンプティフラグ	<p>[1になる条件]</p> <ul style="list-style-type: none"> ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき TRS をセットしたとき 開始条件（再送含む）を発行したとき スレーブモードで受信モードから送信モードになったとき マスタ送信モードおよびスレーブ送信モードにおいて、ICCR2 の IICRST に 1 をライトしたとき <p>[0になる条件]</p> <ul style="list-style-type: none"> CPU が 1 の状態をリードした後、0 をライトしたとき CPU が命令で ICDRT ヘデータをライトしたとき TXI 割り込み要求によって DTC で ICDRT ヘデータを転送、かつ DTC の設定がフラグのクリア条件を満たしているとき 	R/W
6	TEND	トランスミットエンドフラグ	<p>[1になる条件]</p> <ul style="list-style-type: none"> I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立上がったとき クロック同期シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき <p>[0になる条件]</p> <ul style="list-style-type: none"> CPU が 1 の状態をリードした後、0 をライトしたとき CPU が命令で ICDRT ヘデータをライトしたとき 	R/W
5	RDRF	レシーブデータレジスタフルフラグ	<p>[1になる条件]</p> <ul style="list-style-type: none"> ICDRS から ICDRR に受信データが転送されたとき <p>[0になる条件]</p> <ul style="list-style-type: none"> CPU が 1 の状態をリードした後、0 をライトしたとき CPU が命令で ICDRR をリードしたとき RXI 割り込み要求によって DTC で ICDRR ヘデータを転送、かつ DTC の設定がフラグのクリア条件を満たしているとき 	R/W
4	NACKF	ノーアクノリッジ検出フラグ	<p>[1になる条件]</p> <ul style="list-style-type: none"> ICIER の ACKE=1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき <p>[0になる条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき 	R/W

ビット	シンボル	ビット名	説明	R/W
3	STOP	停止条件検出フラグ	[1になる条件] ・ フレームの転送完了後に停止条件を検出したとき [0になる条件] ・ 1の状態をリードした後、0をライトしたとき	R/W
2	AL_OVE	アービトレーションロストフラグ/ オーバランエラーフラグ	[1になる条件] ・ マスタ送信モードの場合、SCLの立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき ・ マスタモードの場合、開始条件検出時、SDA 端子がハイレベルのとき ・ クロック同期フォーマットの場合、RDRF=1の状態でも最終ビットを受信したとき [0になる条件] ・ 1の状態をリードした後、0をライトしたとき	R/W
1	AAS	スレーブアドレス認識フラグ	[1になる条件] ・ スレーブ受信モードでスレーブアドレスを検出したとき ・ スレーブ受信モードでゼネラルコールアドレスを検出したとき [0になる条件] ・ 1の状態をリードした後、0をライトしたとき	R/W
0	ADZ	ゼネラルコールアドレス認識フラグ	I ² C バスフォーマットのスレーブ受信モードのとき有効 [1になる条件] ・ スレーブ受信モードかつゼネラルコールアドレスを検出したとき [0になる条件] ・ 1の状態をリードした後、0をライトしたとき	R/W

【注】 スタンバイモード時、ICSR はリセットされます。

* DTC は以下の 3 つの条件をすべて満たしたときに、周辺モジュールフラグをクリアします。

- 1 DIESEL ビットが 0 のとき
- 2 転送回転カウンタが 0 でないとき (ノーマルおよびリピートモードの場合 : CRA、ブロックモードの場合 : CRB)
- 3 チェイン転送でないとき

- **AL_OVE (アービトレーションロストフラグ/オーバランエラーフラグ)**

AL_OVE は、I²C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期フォーマットの場合、RDRF=1 の状態で最終ビットを受信したことを示します。

複数のマスタがほぼ同時にバスを占有しようとしたときに、I²C バスインタフェース 2 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。

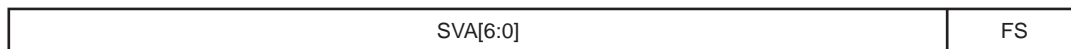
- **AAS (スレーブアドレス認識フラグ)**

スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6~SVA0 と一致した場合にセットされます。

21.2.7 スレーブアドレスレジスタ (SAR)

アドレス: H'FF05CD

ビット: b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 0 0 0 0 0 0 0 0

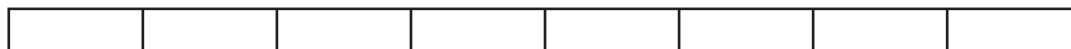
ビット	シンボル	ビット名	説明	R/W
7~1	SVA[6:0]	スレーブアドレス 6~0	I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。	R/W
0	FS	フォーマット セレクト	0: I ² C バスフォーマット選択 1: クロック同期シリアルフォーマット選択	R/W

SAR はフォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

21.2.8 I²C バス送信データレジスタ (ICDRT)

アドレス: H'FF05CE

ビット: b7 b6 b5 b4 b3 b2 b1 b0



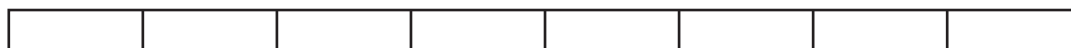
リセット後の値: 1 1 1 1 1 1 1 1

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくと、連続送信が可能です。なお、ICMR の MLS ビットを 1 に設定した場合、ICDRT に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。ICDRT の初期値は H'FF です。ICDRT はスタンバイモード時、リセットされます。

21.2.9 I²C バス受信データレジスタ (ICDRR)

アドレス: H'FF05CF

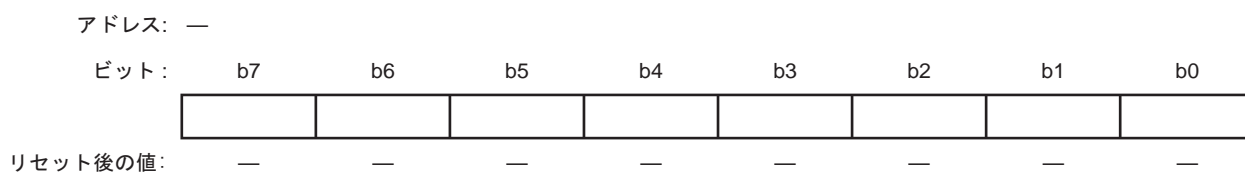
ビット: b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 1 1 1 1 1 1 1 1

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。ICDRR はスタンバイモード時、リセットされます。

21.2.10 I²C バスシフトレジスタ (ICDRS)



ICDRS は、データを送信／受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。ICDRS はスタンバイモード時、リセットされます。

21.3 動作説明

I²C バスインタフェース 2 には、SAR の FS の設定により、I²C バスモードとクロック同期式シリアルモードで通信することができます。

21.3.1 I²C バスフォーマット

I²C バスフォーマットを図 21.3 に、I²C バスのタイミングを図 21.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

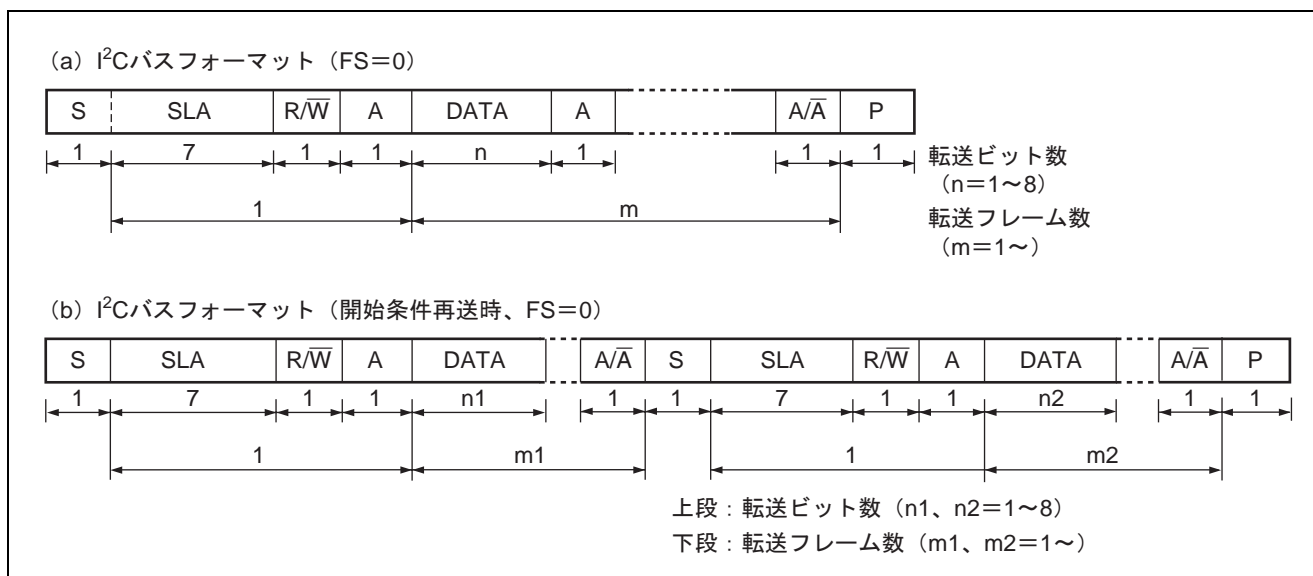


図 21.3 I²C バスフォーマット

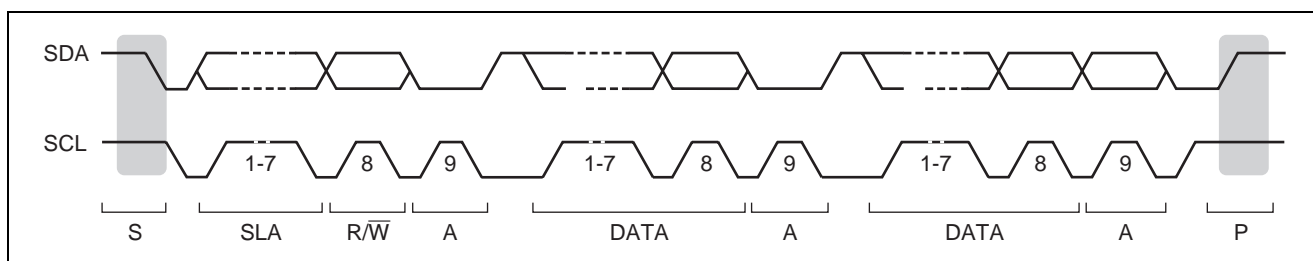


図 21.4 I²C バスタイミング

記号の説明

- S : 開始条件。マスタデバイスが SCL=High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=High レベルの状態では SDA を Low レベルから High レベルに変化させます。

21.3.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクロリッジを返します。マスタ送信モードの動作タイミングについては図 21.5 と図 21.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

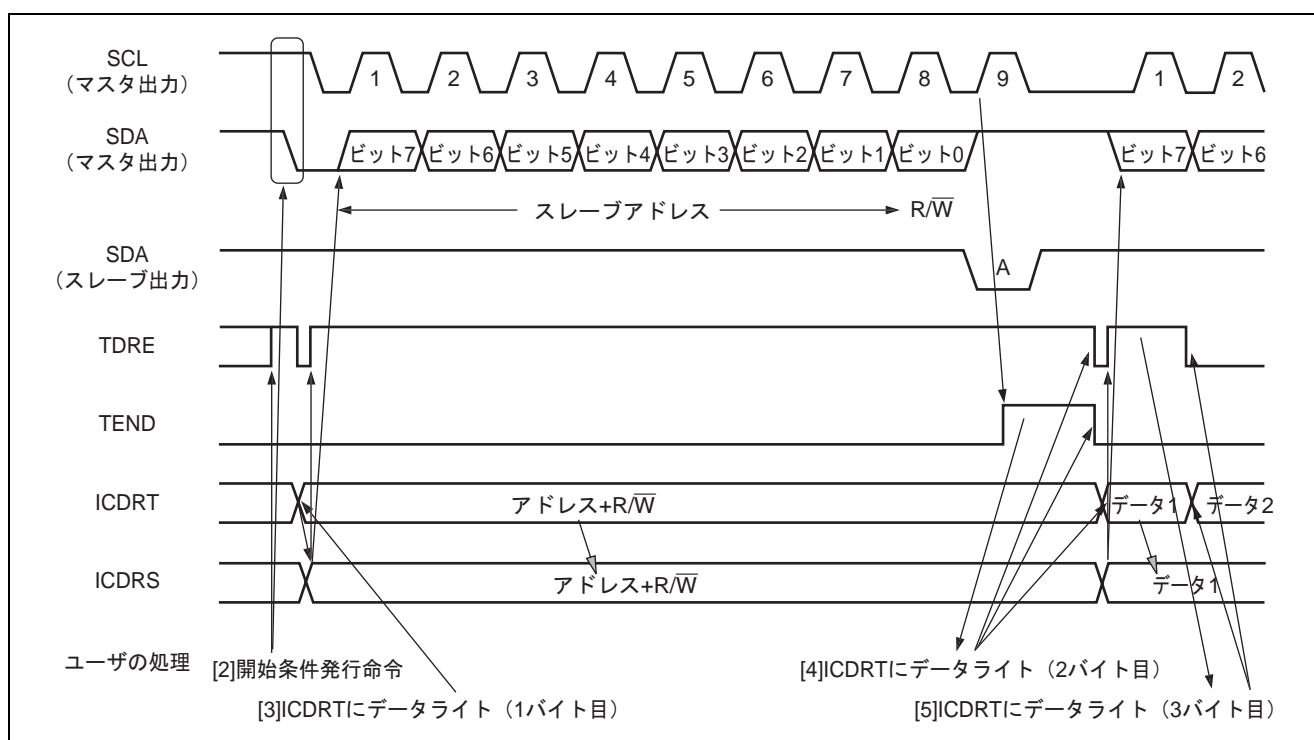


図 21.5 マスタ送信モード動作タイミング (1)

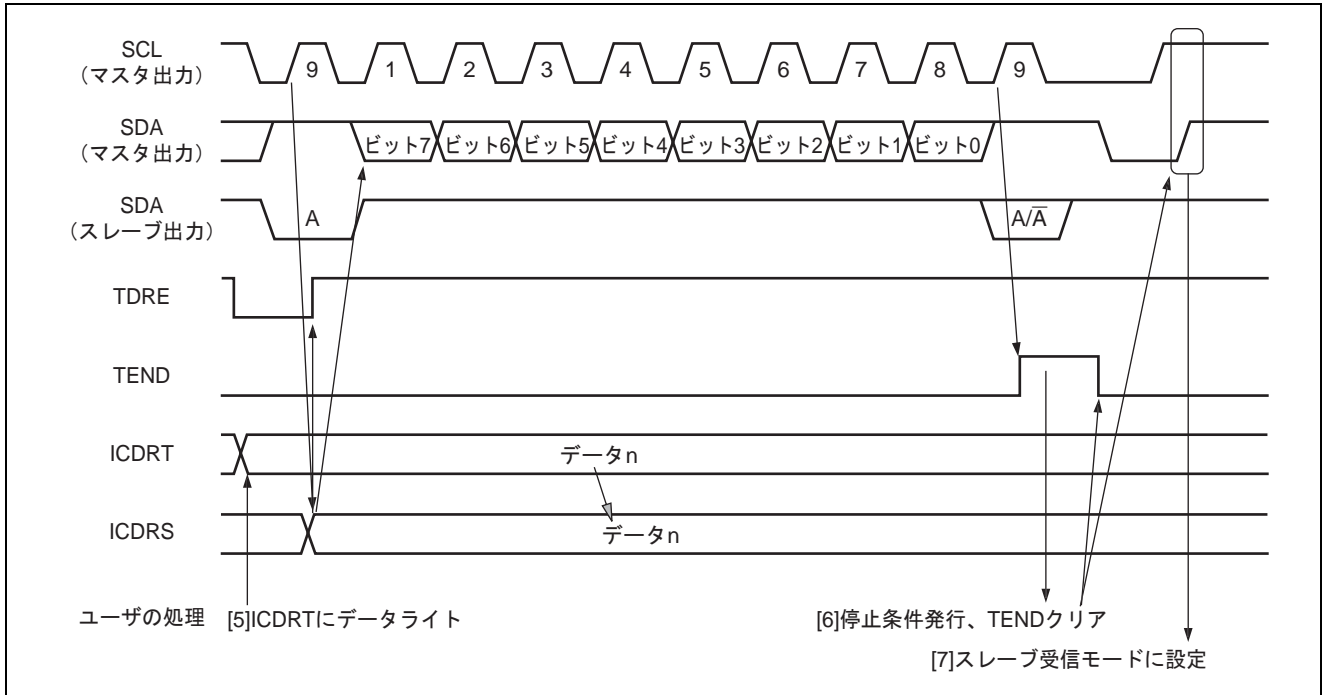


図 21.6 マスタ送信モード動作タイミング (2)

21.3.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 21.7 と図 21.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立下がった場合、ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

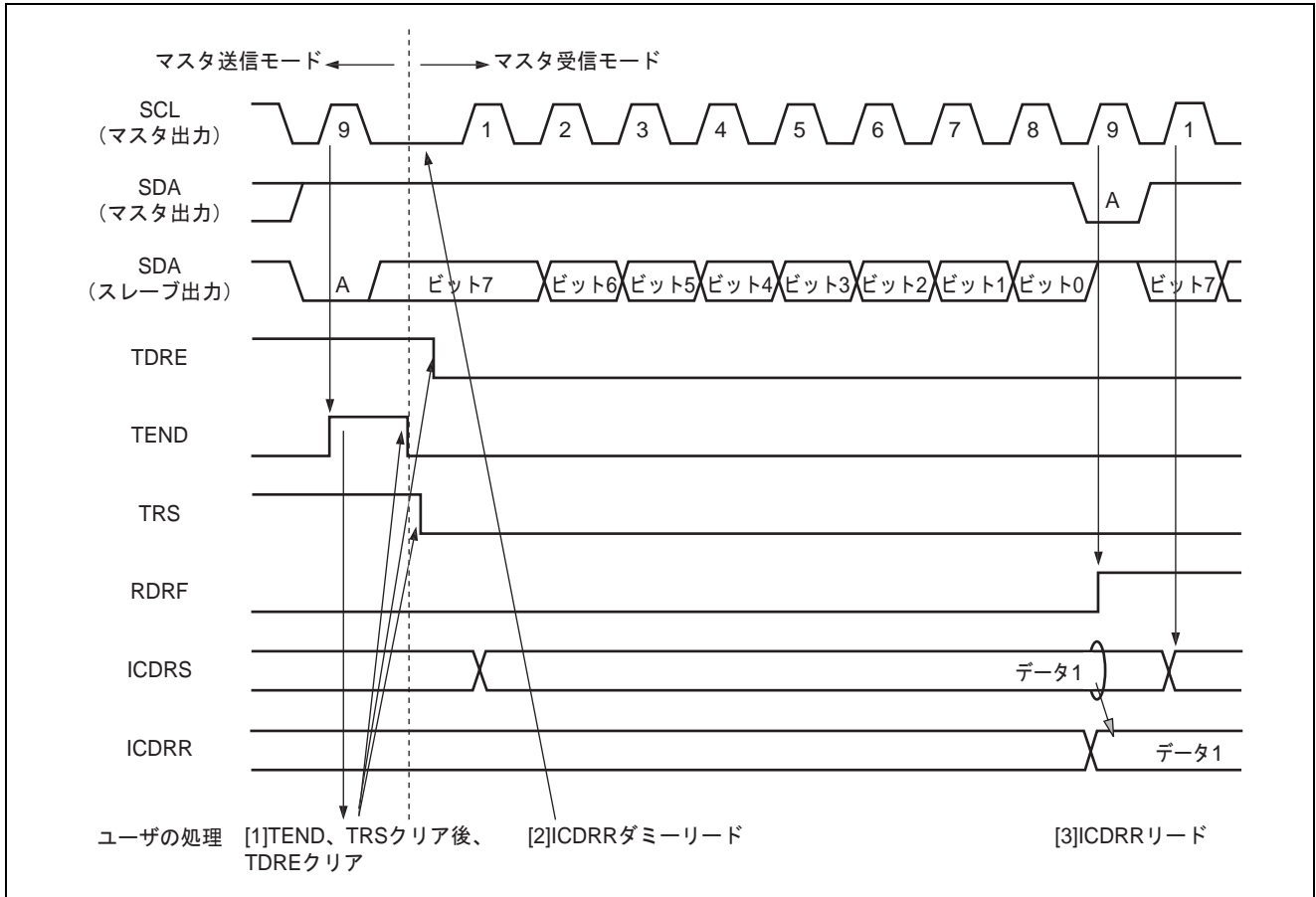


図 21.7 マスタ受信モード動作タイミング (1)

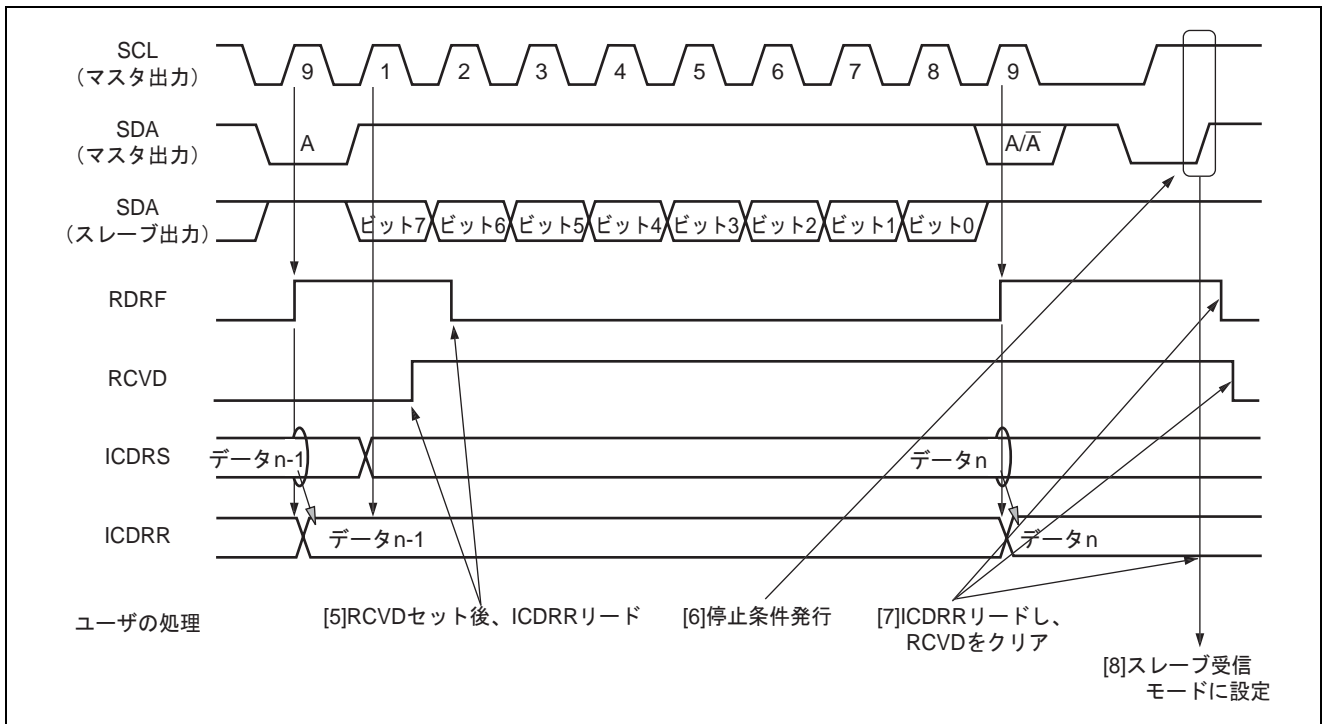


図 21.8 マスタ受信モード動作タイミング (2)

21.3.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出力してアクリッジを返します。スレーブ送信モードの動作タイミングについては図 21.9 と図 21.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

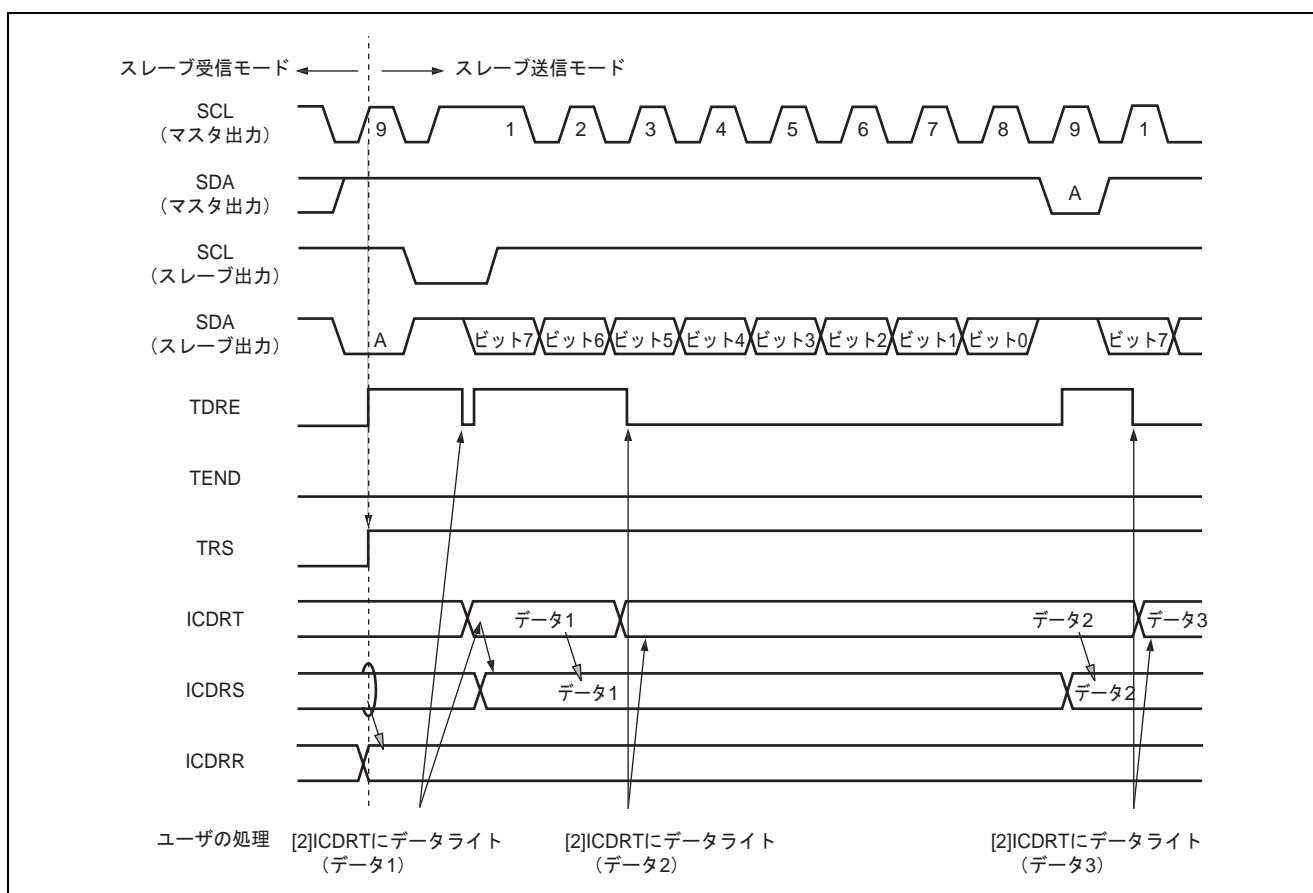


図 21.9 スレーブ送信モード動作タイミング (1)

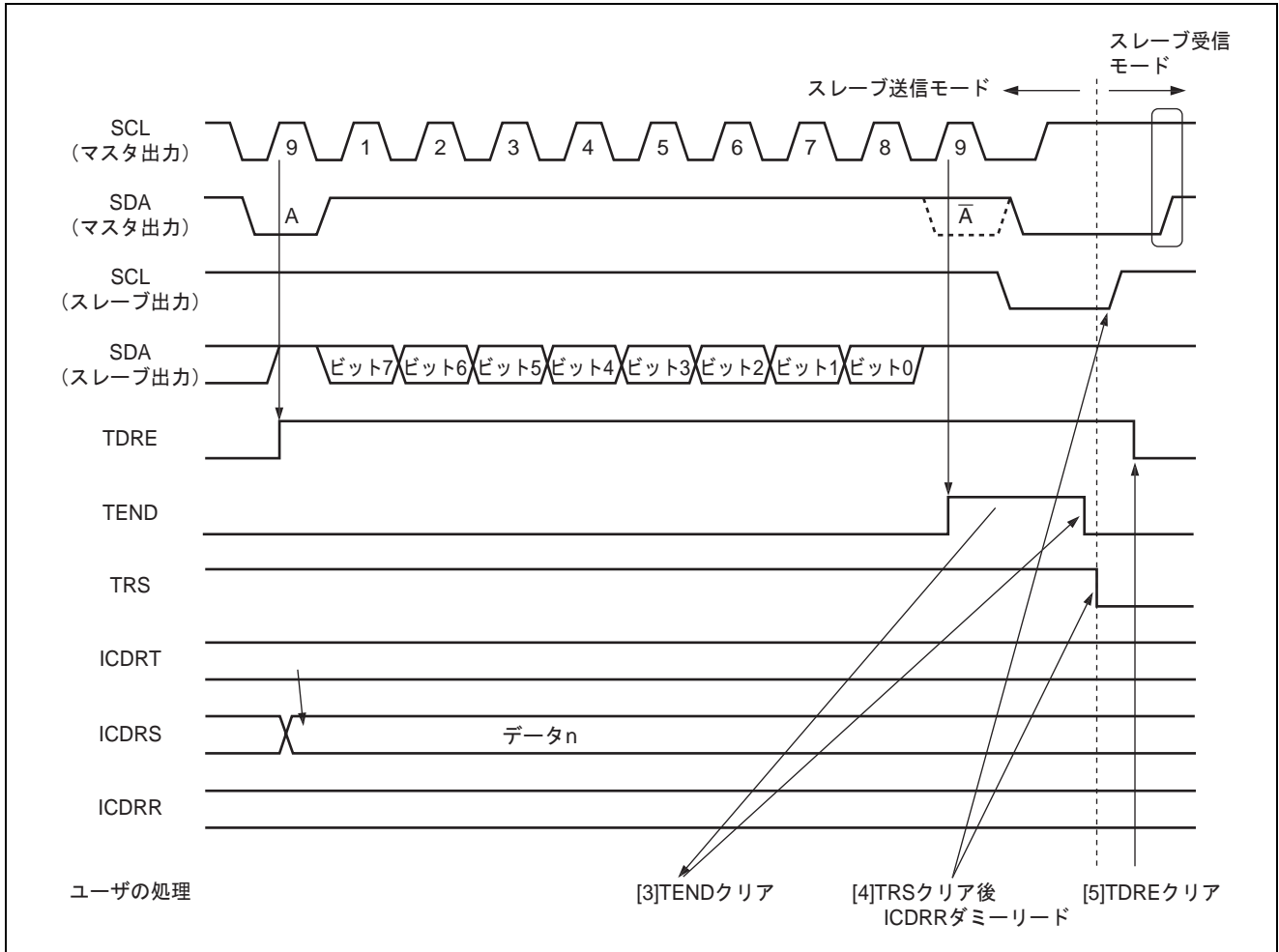


図 21.10 スレーブ送信モード動作タイミング (2)

21.3.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ受信モードの動作タイミングについては図 21.11 と図 21.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立下がるとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

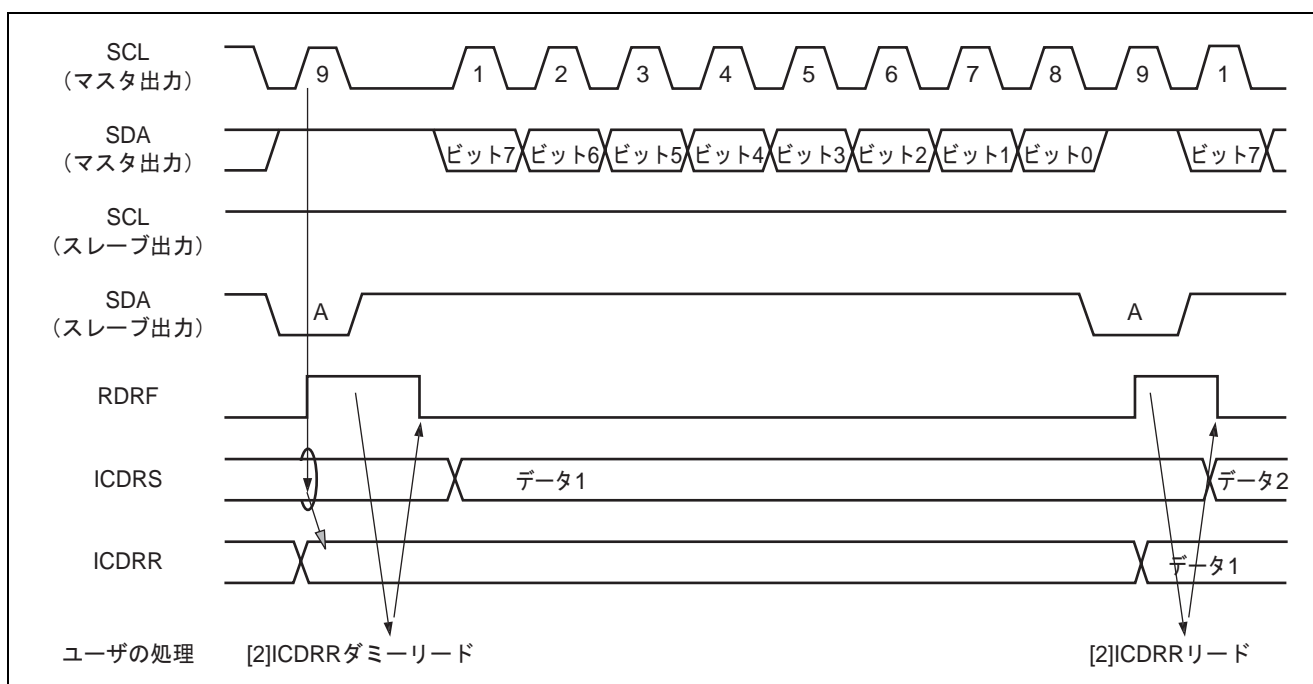


図 21.11 スレーブ受信モード動作タイミング (1)

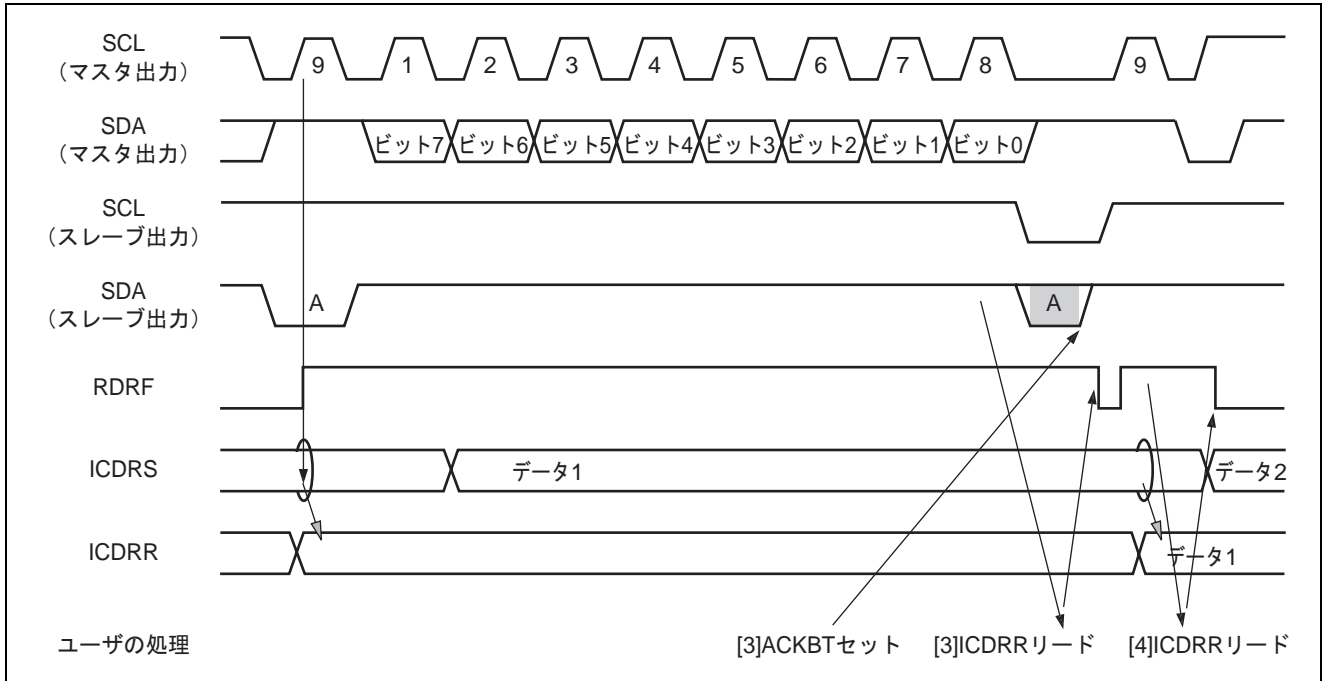


図 21.12 スレーブ受信モード動作タイミング (2)

21.3.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき外部クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルの転送フォーマットを図 21.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

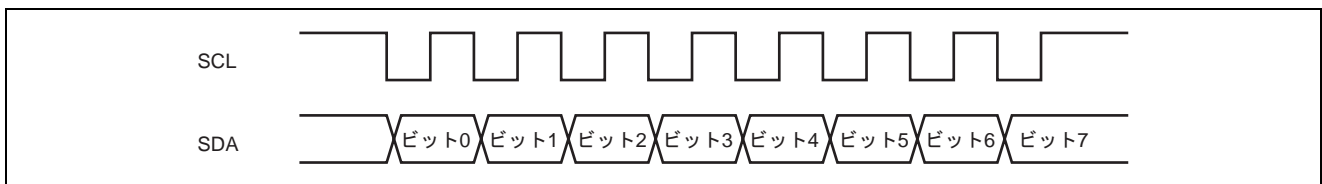


図 21.13 クロック同期式シリアルの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 21.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0などを設定します（初期設定）。
2. ICCR1のTRSをセットして送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

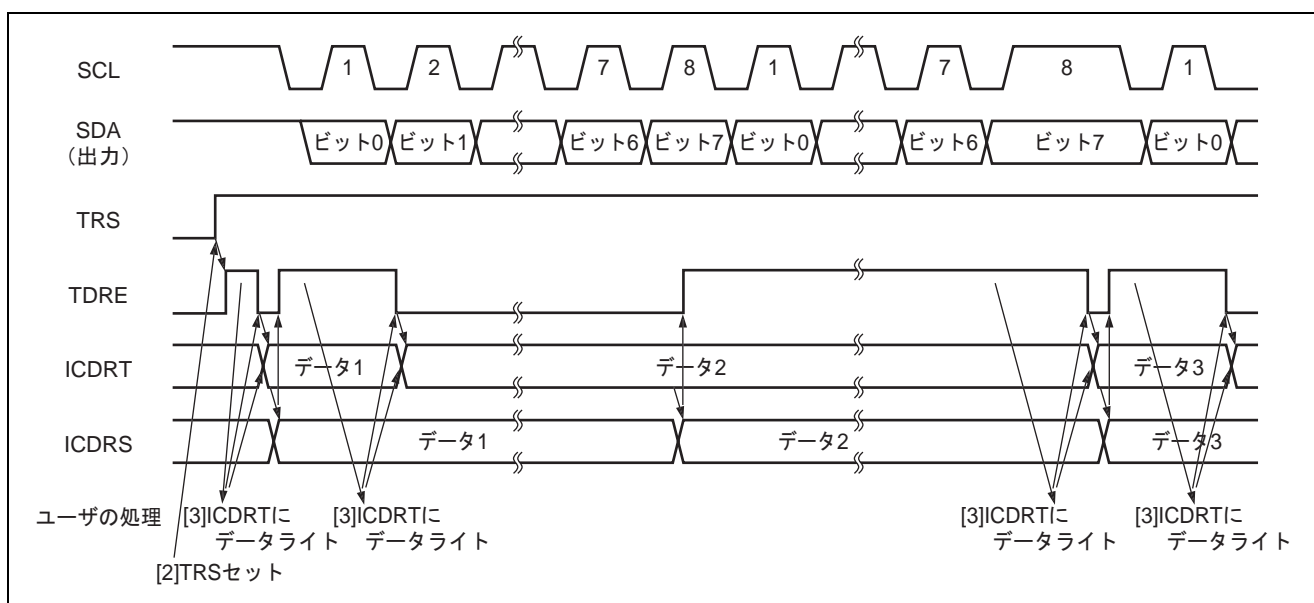


図 21.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。受信モード動作タイミングについては図 21.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3~CKS0等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL_OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

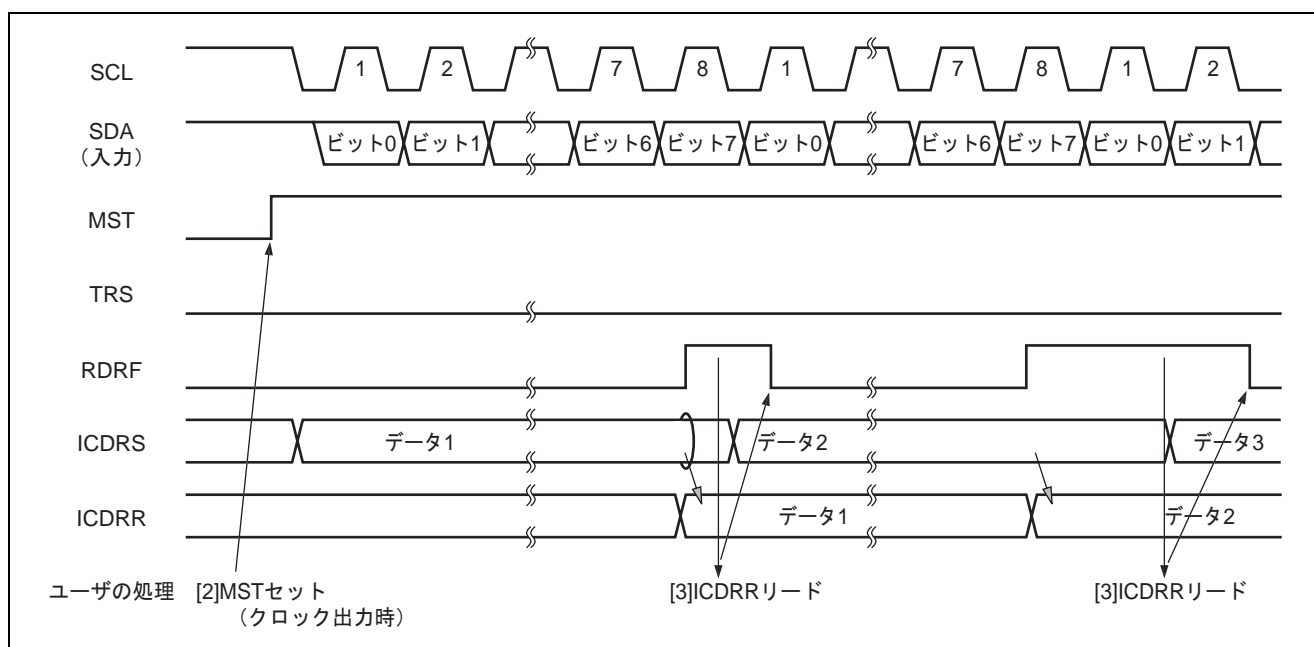


図 21.15 受信モード動作タイミング

21.3.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 21.16 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したとき、はじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

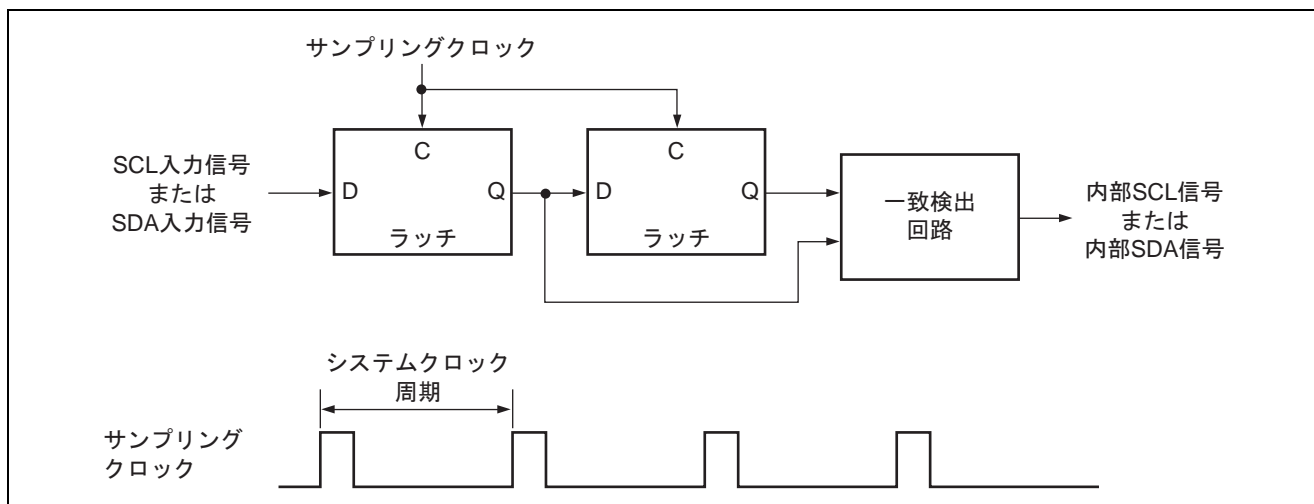


図 21.16 ノイズ除去回路のブロック図

21.3.8 使用例

I²C バスインタフェース 2 を使用する場合の各モードでのフローチャート例を図 21.17～図 21.20 に示します。

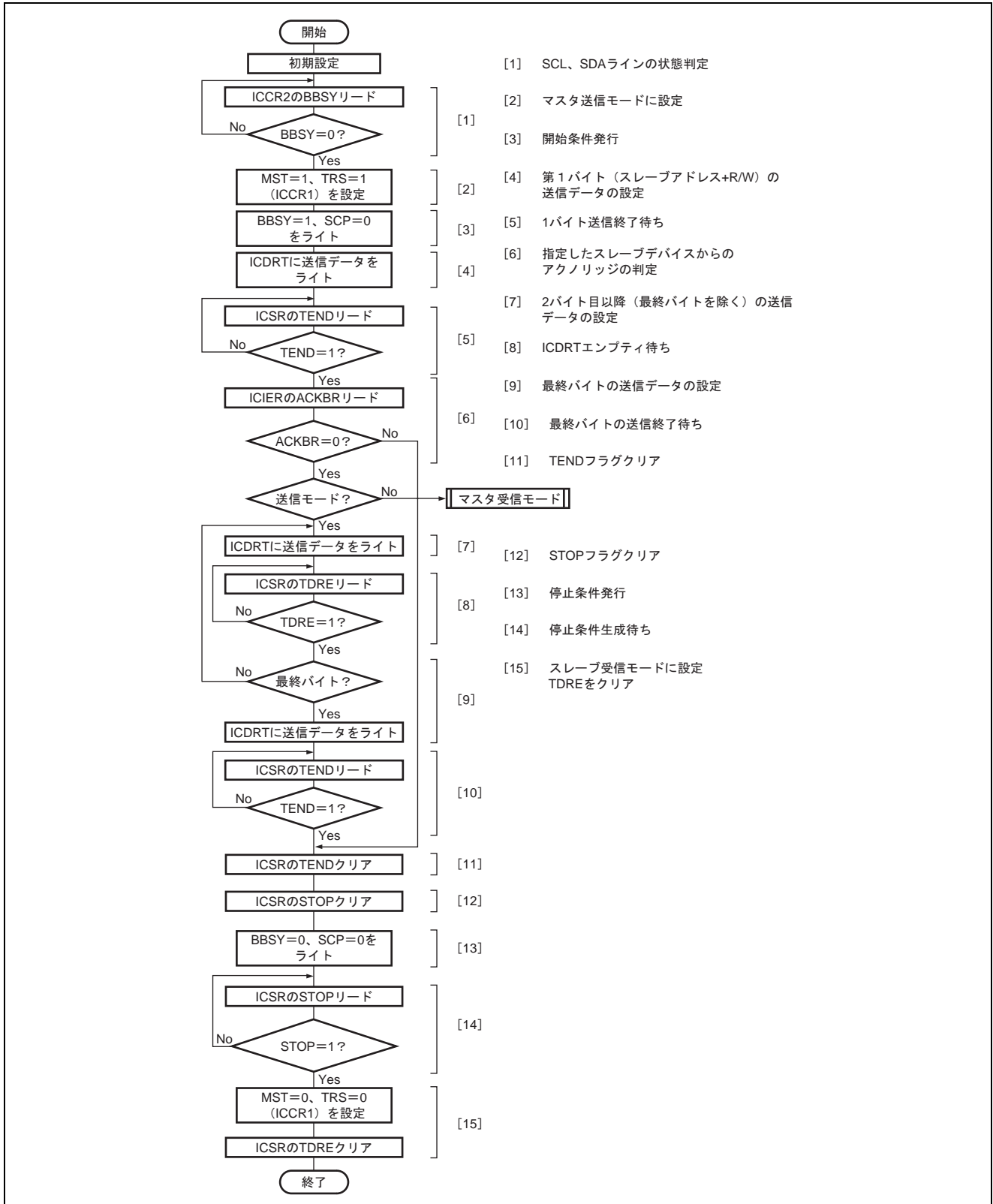


図 21.17 マスタ送信モードのフローチャート例

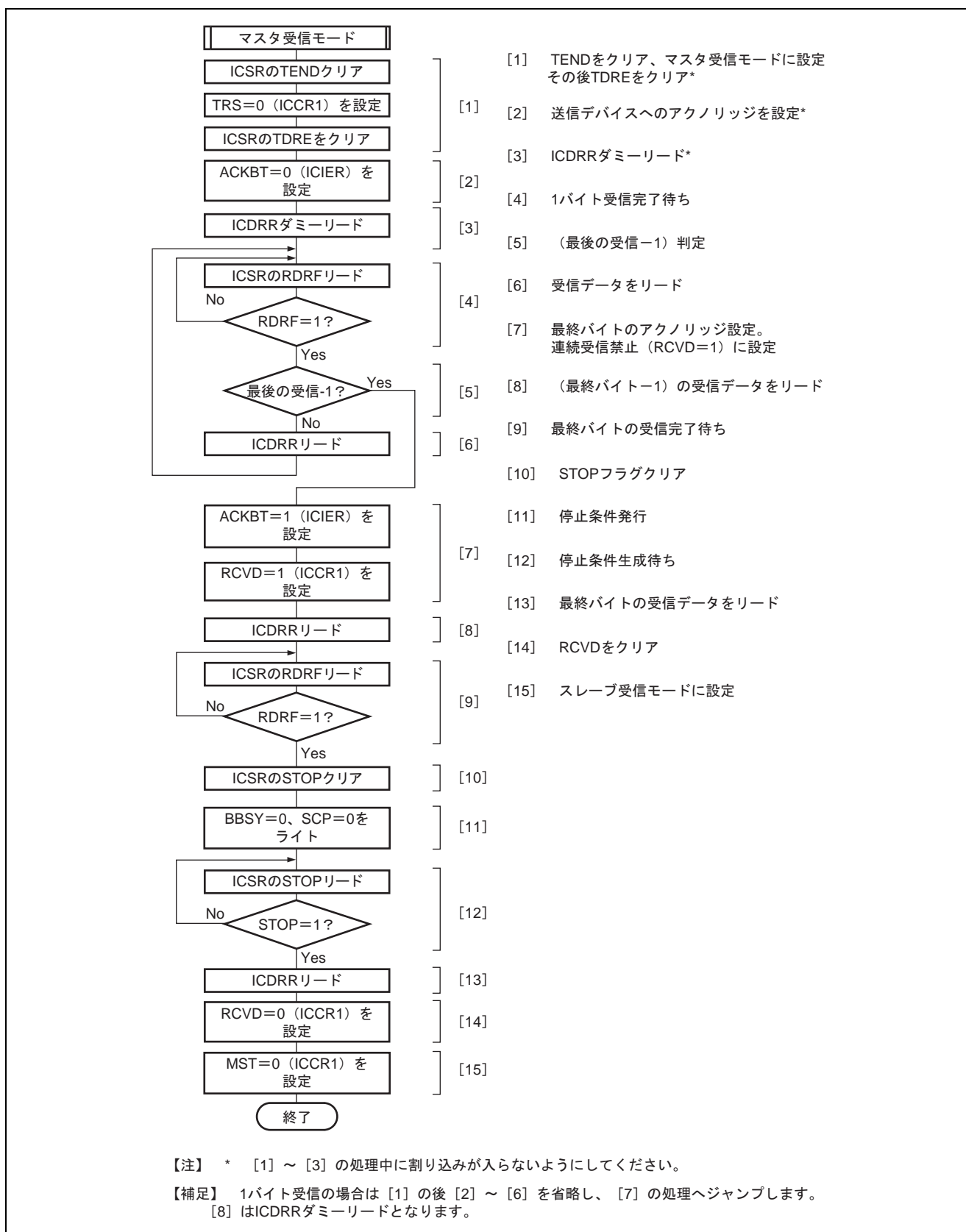


図 21.18 マスタ受信モードのフローチャート例

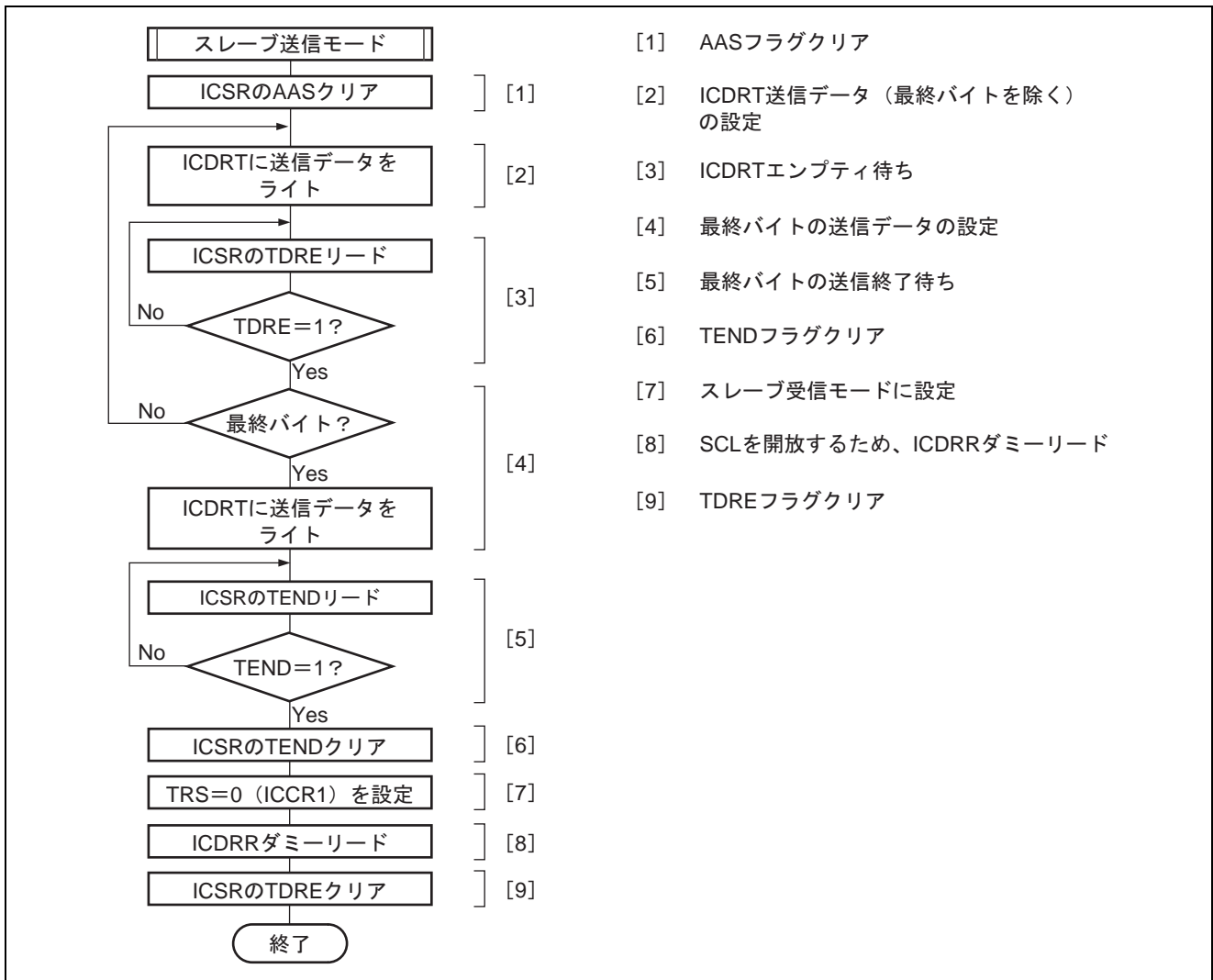


図 21.19 スレーブ送信モードフローチャート例

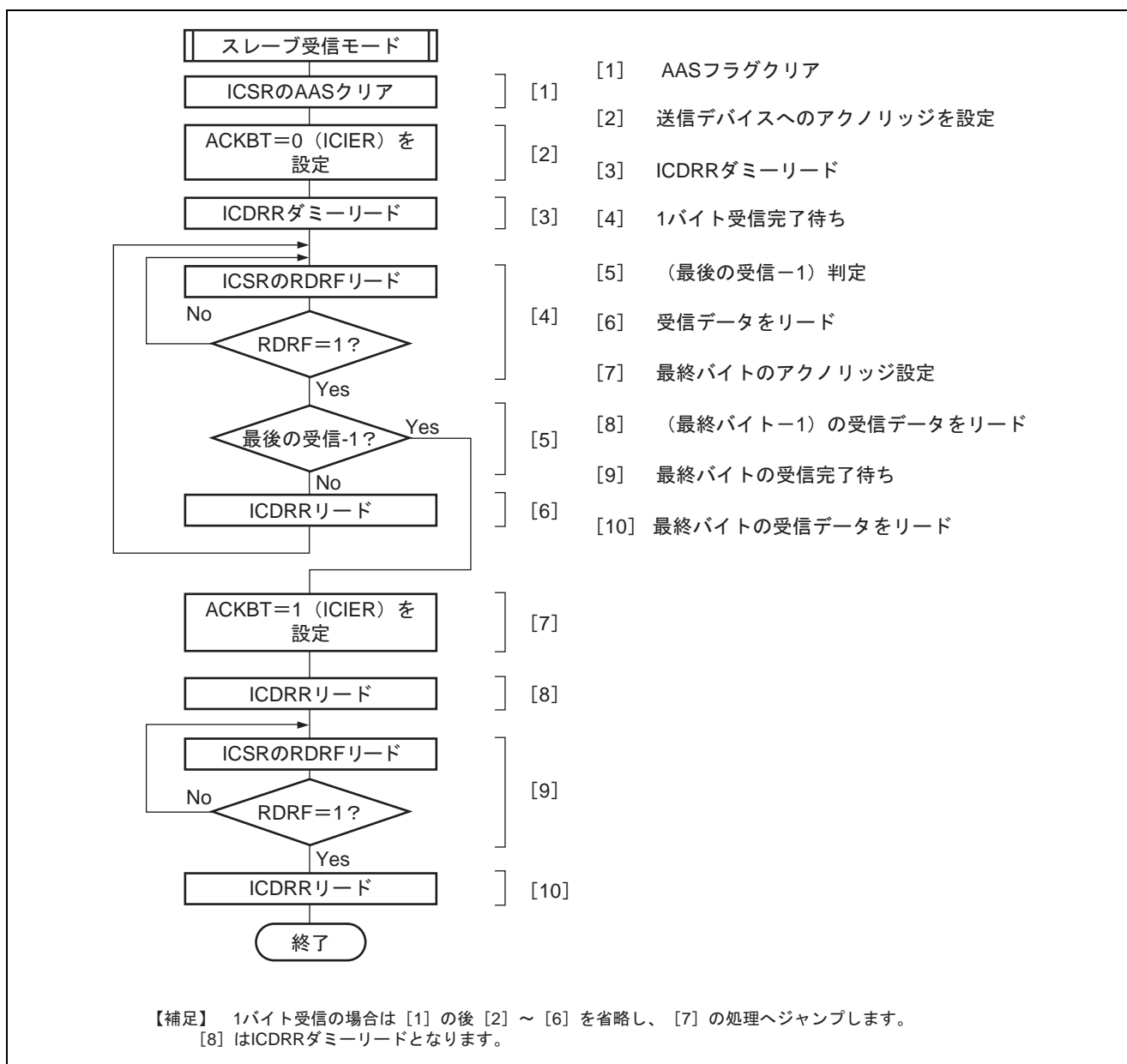


図 21.20 スレーブ受信モードフローチャート例

21.4 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバランエラーの 6 種類があります。表 21.3 に各割り込み要求の内容を示します。

表 21.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C モード	クロック同期モード
送信データエンプティ	TXI	(TDRE=1)・(TIE=1)	○	○
送信終了	TEI	(TEND=1)・(TEIE=1)	○	○
受信データフル	RXI	(RDRF=1)・(RIE=1)	○	○
停止条件検出	STPI	(STOP=1)・(STIE=1)	○	×
NACK 検出	NAKI	{(NACKF=1)+(AL=1)}・(NAKIE=1)	○	×
アービトレーションロスト/ オーバランエラー			○	○

表 21.3 の割り込み条件で例外処理を実行した場合、例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時、自動的に 0 クリアされます。また、RXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時、自動的に 0 クリアされます。

21.5 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 21.21 に、SCL を Low 出力→Hi-Z にしてから SCL をモニタするまでの時間を表 21.4 に示します。

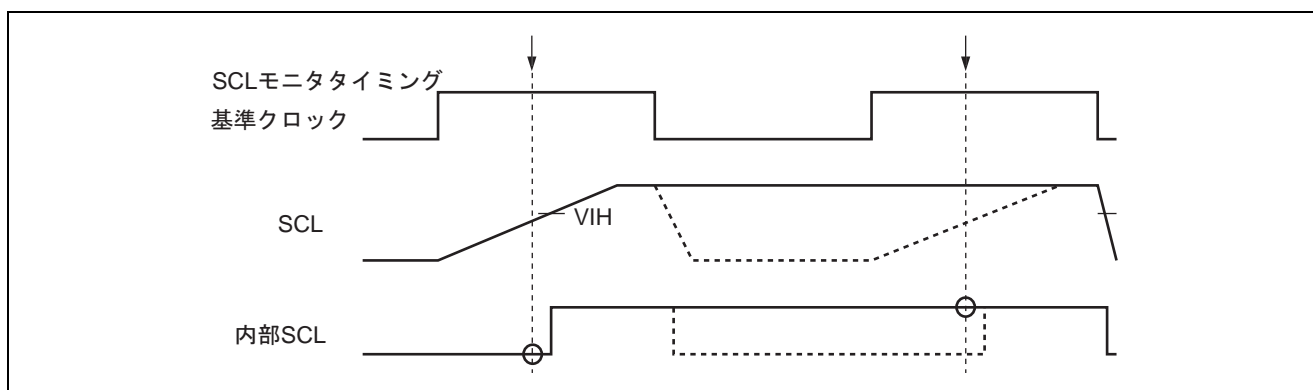


図 21.21 ビット同期回路のタイミング

表 21.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 tcy _c
	1	19.5 tcy _c
1	0	17.5 tcy _c
	1	41.5 tcy _c

21.6 使用上の注意事項

21.6.1 PMC における SCL、SDA 端子の設定

本 LSI は IIC2 と SSU モジュールが搭載されており、ICSR の SELICSU ビットにより、IIC2 機能と SSU 機能のどちらかを選択することができます。IIC2 機能を選択するとき、周辺機能マッピングコントローラ (PMC) での端子選択について、SCL と SDA 端子の機能は、P56、P57 を選択してください。それ以外の端子を選択した場合、動作の保証はできません。

21.6.2 マルチマスタ使用時での MST、TRS 設定時のビット操作命令使用制限

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL=1 かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
- アービトレーションロストした場合、MST=0、TRS=0 を確認してください。万が一、MST=0、TRS=0 以外の状態の場合、MST=0、TRS=0 を設定し直してください。

21.6.3 I²C バスインタフェースモードのマスタ受信モード時の注意事項

I²C バスフォーマットのマスタ受信モードで使用する場合、停止条件発行または開始条件の再発行が SCL の 9 クロック目の立ち下がりと同重なりになると SCL の 10 クロック目が出力されます。この現象を回避するためには、マスタ受信完了後、SCL の 9 クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCL の 9 クロック目の立ち下がりには次の方法で確認してください。

- ICSR レジスタの RDRF ビット (レシーブデータレジスタフルフラグ) が 1 になったことを確認後、ICCR2 レジスタの SCLO ビット (SCL 出力レベルモニタ) が 0 (SCL 端子出力は Low レベル) になったことを確認してください。

21.6.4 I²C バス動作中における ICCR1 の ICE ビットおよび ICCR2 の IICRST ビットのアクセスに関する注意事項

I²C バス動作中に、下記 (1) ~ (4) のいずれかの状態で、ICCR1 の ICE ビットに 0 をライト、もしくは ICCR2 の IICRST ビットに 1 をライトした場合、ICCR2 の BBSY ビットと ICSR の STOP フラグは不定となります。

- (1) マスタ送信モード (ICCR1 の MST=1、TRS=1) において、本モジュールが I²C のバス権を保有しているとき。
- (2) マスタ受信モード (ICCR1 の MST=1、TRS=0) において、本モジュールが I²C のバス権を保有しているとき。
- (3) スレーブ送信モード (ICCR1 の MST=0、TRS=1) において、本モジュールがデータ送信中のとき。
- (4) スレーブ受信モード (ICCR1 の MST=0、TRS=0) において、本モジュールがアクノリッジを送信しているとき。

ICCR2 の BBSY ビットの不定状態は、以下のいずれかの方法で解消することができます。

- 開始条件 (SCL=High かつ SDA 立ち下がり) を入力してください。ICCR2 の BBSY ビットは 1 にセットされます。
- 停止条件 (SCL=High かつ SDA 立ち上がり) を入力してください。ICCR2 の BBSY ビットは 0 にクリアされます。
- マスタ送信モードにおいて、SCL=High かつ SDA=High の状態で、ICCR2 の BBSY ビットに 1、SCP ビットに 0 をライトして開始条件を発行してください。開始条件 (SCL=High かつ SDA 立ち下がり) が出力されると、BBSY ビットは 1 にセットされます。
- マスタ送信モードもしくはマスタ受信モードにおいて、SDA=Low かつ本モジュール以外に SCL を Low にするデバイスがない状態で、ICCR2 の BBSY ビットに 0、SCP ビットに 0 をライトして停止条件を発行してください。停止条件 (SCL=High かつ SDA 立ち上がり) が出力されると、BBSY ビットは 0 にクリアされます。
- SAR の FS ビットに 1 をライトしてください。ICCR2 の BBSY は 0 にクリアされます。

22. シンクロナスシリアルコミュニケーションユニット

【注】本章ではシンクロナスシリアルコミュニケーションユニットの名称および機能説明に関して、便宜上 SSU という略称を用いています。

シンクロナスシリアルコミュニケーションユニットは、クロック同期式のシリアルデータ通信が可能です。SSU のブロック図を図 22.1 に示します。

本 LSI に搭載されている SSU と IIC2 は、どちらかを選択して使用します。そのため SSU 機能を使用する場合、IIC2 機能は使用できません。

22.1 概要

- SSUはクロック同期式通信モード、4線式バス通信モード（双方向通信モードを含む）で動作可能
- マスタまたはスレーブとして動作可能
- クロックソースとして7種類の内部クロック（ $\phi/256$ 、 $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ ）と外部クロックが選択可能
- SSCKのクロック極性と位相を選択可能
- データ転送方向（MSBファースト/LSBファースト）を選択可能
- 受信エラーの検出：オーバランエラーを検出
- マルチマスタエラーの検出：コンフリクトエラーの検出
- 5種類の割り込み要因：送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因。また、送信データエンプティ、受信データフル割り込み要因により、DTCを起動可能です。
- 送信部及び受信部ともにバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

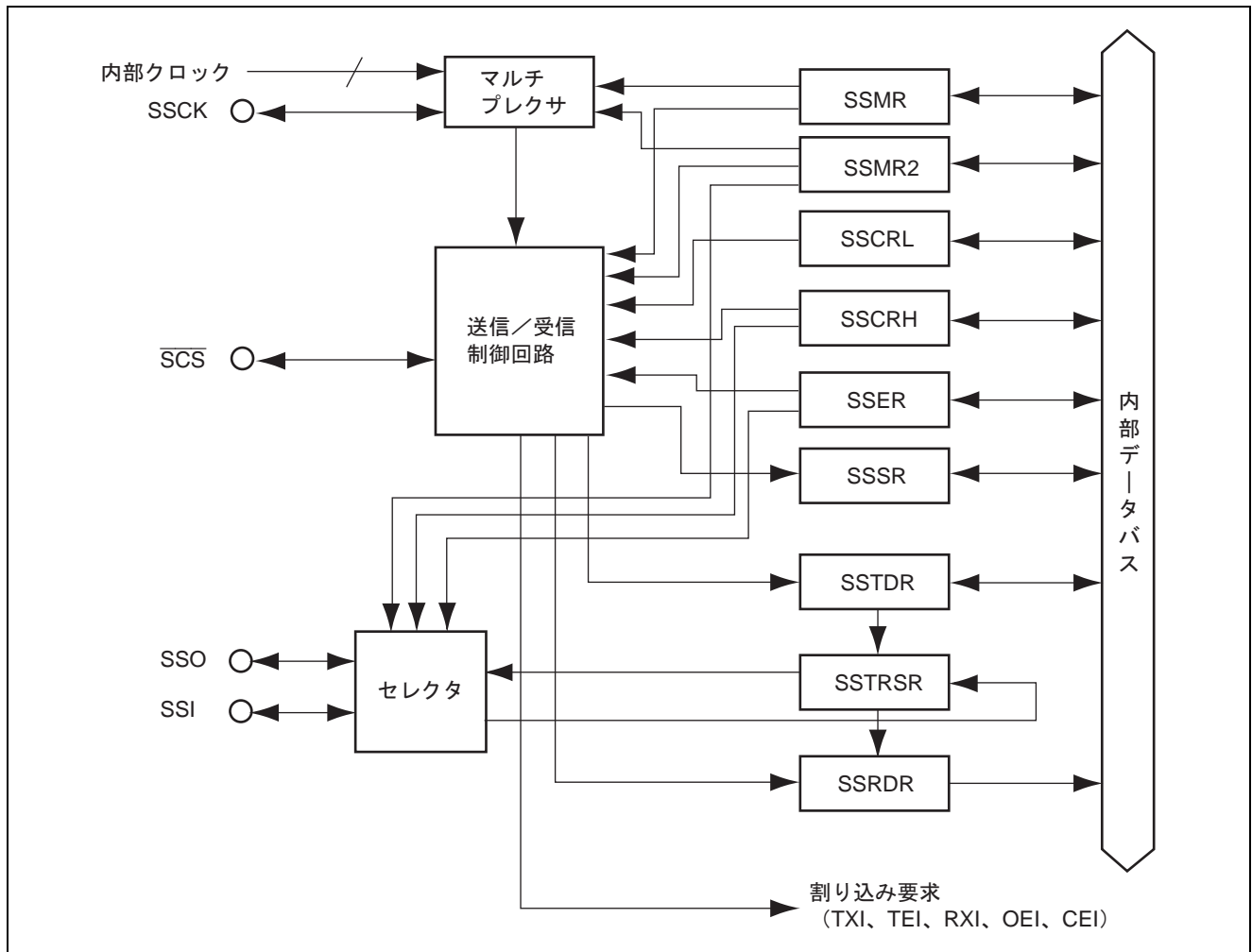


図 22.1 SSU のブロック図

SSU の端子構成を表 22.1 に示します。

表 22.1 端子構成

端子名	入出力	機能
SSCK	入出力	SSU のクロック入出力端子
SSI	入出力	SSU のデータ入出力端子
SSO	入出力	SSU のデータ入出力端子
SCS	入出力	SSU のチップセレクト入出力端子

22.2 レジスタの説明

シンクロナスシリアルコミュニケーションユニットには以下のレジスタがあります。

- IIC2/SSU選択レジスタ (ICSUSR)
- SSコントロールレジスタH (SSCRH)
- SSコントロールレジスタL (SSCRL)
- SSモードレジスタ (SSMR)
- SSモードレジスタ2 (SSMR2)
- SSイネーブルレジスタ (SSER)
- SSステータスレジスタ (SSSR)
- SSレシーブデータレジスタ (SSRDR)
- SSトランスミットデータレジスタ (SSTDR)
- SSシフトレジスタ (SSTRSR)

22.2.1 IIC2/SSU 選択レジスタ (ICSUSR)

アドレス: H'FF000B

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	—	—	—	—	—	SELICSU
---	---	---	---	---	---	---	---------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7~1	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
0	SELICSU	IIC2/SSU モジュール機能 選択ビット	0 : IIC2 機能を選択 1 : SSU 機能を選択*	R/W

【注】 * SSU 機能を選択する場合、必ず1を設定してください。

22.2.2 SS コントロールレジスタ H (SSCRH)

アドレス: H'FF05C8

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	RSSTP	MSB	—	—	CKS[2:0]		
---	-------	-----	---	---	----------	--	--

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
6	RSSTP	レシーブシングルストップ	0: 1バイト受信後、受信動作を継続 1: 1バイト受信後、受信動作終了*	R/W
5	MSS	マスタ/スレーブデバイス選択	0: スレーブデバイスとして動作 1: マスタデバイスとして動作	R/W
4、3	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
2~0	CKS[2:0]	転送クロックレート選択	000: $\phi/256$ 001: $\phi/128$ 010: $\phi/64$ 011: $\phi/32$ 100: $\phi/16$ 101: $\phi/8$ 110: $\phi/4$ 111: 予約	R/W

【注】 * MSS ビットが0のとき、RSSTP ビットの設定は無効です。

- MSS (マスタ/スレーブデバイス選択)

本モジュールをマスタデバイスとして使用するか、スレーブデバイスとして使用するかを選択します。マスタデバイスの場合は SSCK 端子から転送クロックを出力します。SSSR の CE がセットされた場合は、MSS が自動的にクリアされます。

- CKS[2:0] (転送クロックレート選択)

内部クロックを選択した場合の転送クロックレート (プリスケアラ分周比) を設定します。

22.2.3 SS コントロールレジスタ L (SSCRL)

アドレス: H'FF05C9

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	-	-	SOL	SOLP	-	-	SRES	-
--	---	---	-----	------	---	---	------	---

リセット後の値: 0 1 1 1 1 1 0 1

ビット	シンボル	ビット名	説明	R/W
7	-	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	-
6	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-
5	SOL* ¹	シリアルデータ出力値設定	0: リード時、シリアルデータ出力が Low レベル ライト時、シリアルデータ出力を Low レベルに変更 1: リード時、シリアルデータ出力が High レベル ライト時、シリアルデータ出力を High レベルに変更	R/W
4	SOLP	SOL ライトプロテクト	0: ライト時、SOL の値によって出力レベルを変更可能 1: ライト時、SOL ビットへの書き込みは無効。リード時、常に 1 をリード。	-
3、2	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-
1	SRES	ソフトウェアリセット	0: リセットしない 1: SSU 内部シーケンサを強制リセット* ²	
0	-	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	-

【注】 *1 出力レベルを変更する場合は、ビット 4 の SOLP を 0 にして MOV 命令で行ってください。なおデータ転送中に本ビットにライトすると誤動作の原因となりますので、送信中は操作しないでください。

*2 本ビットは自動的に 0 クリアされないの、必ずソフトウェアで 0 にクリアしてください。

- SOL (シリアルデータ出力値設定)

送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、シリアルデータの出力レベルを変更できます。

- SOLP (SOL ライトプロテクト)

シリアルデータの出力レベルを変更する場合には、SOL=1 かつ SOLP=0、または SOL=0 かつ SOLP=0 を MOV 命令で行います。

- SRES (ソフトウェアリセット)

本ビットを 1 にセットすると SSU 内部シーケンサを強制的にリセットします。ただし、SSU 内部のレジスタ値は保持されます。

22.2.4 SS モードレジスタ (SSMR)

アドレス: H'FF05CA

ビット: b7 b6 b5 b4 b3 b2 b1 b0

MLS	CPOS	CPHS	—	—	BC[2:0]		
-----	------	------	---	---	---------	--	--

リセット後の値: 0 0 0 1 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	MLS	MSB ファースト/ LSB ファースト 選択	0 : MSB ファーストで転送 1 : LSB ファーストで転送	R/W
6	CPOS	クロック極性選択	0 : SSCK クロックアイドル状態=ハイレベル 1 : SSCK クロックアイドル状態=ローレベル	R/W
5	CPHS	クロック位相選択	0 : SSCK クロックの最初のエッジでデータ変化 1 : SSCK クロックの最初のエッジでデータラッチ	R/W
4、3	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 を書いてください。	—
2~0	BC[2:0]	ビットカウンタ 2~0	000 : 8 ビット 001 : 1 ビット 010 : 2 ビット 011 : 3 ビット 100 : 4 ビット 101 : 5 ビット 110 : 6 ビット 111 : 7 ビット	R/W

- BC[2:0] (ビットカウンタ2~0)

リードすると残りの転送ビット数を知ることができます。

22.2.5 SS モードレジスタ 2 (SSMR2)

アドレス: H'FF05CD

ビット: b7 b6 b5 b4 b3 b2 b1 b0

BIDE	SCKS	CSS[1:0]	SCKOS	SOOS	CSOS	SSUMS
------	------	----------	-------	------	------	-------

リセット後の値: 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	BIDE	双方向モード イネーブル	0: 標準モード データ入力とデータ出力を2端子を使用して通信します。 1: 双方向モード データ入力とデータ出力を1端子のみで通信します。	R/W
6	SCKS	SSCK 端子選択	0: ポートとして機能* ¹ 1: シリアルクロック端子として機能	R/W
5、4	CSS[1:0]	SCS 端子選択	00: ポートとして機能* ¹ 01: SCS 入力として機能 1X: SCS 出力として機能 (ただし、転送開始前は SCS 入力として機能)	R/W
3	SCKOS	SSCK 端子オープン ドレイン出力選択	0: CMOS 出力 1: NMOS オープンドレイン出力* ²	R/W
2	SOOS	SSO 端子/SSI 端子 オープンドレイン 出力選択	SSO 端子 0: CMOS 出力 1: NMOS オープンドレイン出力* ² SSI 端子 0: CMOS 出力または NMOS プッシュプル出力* ³ 1: NMOS オープンドレイン出力* ²	R/W
1	CSOS	SCS 端子オープン ドレイン出力選択	0: CMOS 出力または NMOS プッシュプル出力* ³ 1: NMOS オープンドレイン出力* ²	R/W
0	SSUMS	SSU モード選択	0: クロック同期式通信モード データ入力: SSI 端子、データ出力: SSO 端子 1: 4 線式バス通信モード SSCRH の MSS=1、SSMR2 の BIDE=0 のとき、 データ入力: SSI 端子、データ出力: SSO 端子 SSCRH の MSS=0、SSMR2 の BIDE=0 のとき、 データ入力: SSO 端子、データ出力: SSI 端子 SSMR2 の BIDE=1 のとき、 データ入力、データ出力: SSO 端子	R/W

【記号説明】 X: Don't care

- 【注】 *1 ポートとして機能させる場合は、当該端子の PMR ビットを 0 にクリアしてください。
- *2 NMOS オープンドレイン出力を選択する場合は、必ず当該端子を PMC でポート 5 に割り付けてください。ポート 5 以外に割り付けた場合は、CMOS 出力のみ選択可能です。
- *3 SSI 出力端子または $\overline{\text{SCS}}$ 出力端子をそれぞれ P57 または P56 に割り付けた場合は NMOS プッシュプル出力になり、ハイレベル出力特性が CMOS 出力と異なります。
- 他のポートに割り付けた場合は、CMOS 出力となります。

- BIDE (双方向モードイネーブル)

シリアルデータ入力端子、出力端子を 2 端子使用するか、1 端子のみ使用するかを選択します。詳細は「22.3.3 データ入出力端子とシフトレジスタの関係」を参照してください。なお、SSMR2 の SSUMS が 0 のとき、本設定は無効です。

- SCKS (SSCK端子選択)

SSCK 端子をポートとして機能させるかシリアルクロック端子として機能させるかを選択します。

- CSS[1:0] ($\overline{\text{SCS}}$ 端子選択)

$\overline{\text{SCS}}$ 端子をポートとして機能させるか、 $\overline{\text{SCS}}$ 入力または $\overline{\text{SCS}}$ 出力として機能させるかを選択します。ただし、SSMR2 の SSUMS=0 のとき、本ビットの設定にかかわらず、ポートとして機能します。

- SOOS (SSO端子/SSI端子オープンドレイン出力選択)

シリアルデータ出力端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。ただし、SSI 出力端子を P57 に割り付けた場合は、NMOS プッシュプル出力か NMOS オープンドレイン出力かの選択になります。

シリアルデータ出力端子はレジスタ設定値により変化します。詳細は「22.3.3 データ入出力端子とシフトレジスタの関係」を参照してください。

- CSOS ($\overline{\text{SCS}}$ 端子オープンドレイン出力選択)

シリアルデータ出力端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。ただし、 $\overline{\text{SCS}}$ 出力端子を P56 に割り付けた場合は、NMOS プッシュプル出力か NMOS オープンドレイン出力かの選択になります。

- SSUMS (SSUモード選択)

シリアルデータ入力端子、出力端子をどのような組み合わせで使用するかを選択します。詳細は「22.3.3 データ入出力端子とシフトレジスタの関係」を参照してください。

22.2.6 SS イネーブルレジスタ (SSER)

アドレス: H'FF05CB

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TIE	TEIE	RIE	TE	RE	—	—	CEIE
-----	------	-----	----	----	---	---	------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TIE	トランスミットインタラプトイネーブル	0: TXI 割り込み要求がディスエーブル 1: TXI 割り込み要求がイネーブル	R/W
6	TEIE	トランスミットエンドインタラプトイネーブル	0: TEI 割り込み要求がディスエーブル 1: TEI 割り込み要求がイネーブル	R/W
5	RIE	レシーブインタラプトイネーブル	0: RXI および OEI 割り込み要求がディスエーブル 1: RXI および OEI 割り込み要求がイネーブル	R/W
4	TE*	トランスミットイネーブル	0: 送信動作不可 1: 送信動作可能	R/W
3	RE*	レシーブイネーブル	0: 受信動作不可 1: 受信動作可能	R/W
2、1	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
0	CEIE	コンフリクトエラーインタラプトイネーブル	0: CEI 割り込み要求がディスエーブル 1: CEI 割り込み要求がイネーブル	R/W

【注】 * スタンバイモード時、TE ビット、RE ビットはリセットされます。

22.2.7 SS ステータスレジスタ (SSSR)

アドレス: H'FF05CC

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TDRE	TEND	RDRF	—	—	ORER	—	CE
------	------	------	---	---	------	---	----

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	TDRE	トランスミットデータエンピティフラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> SSER の TE を 1 にセットしたとき SSTDR から SSTRSR にデータ転送が行われ、SSTDR にデータライトが可能になったとき <p>【0になる条件】</p> <ul style="list-style-type: none"> CPU が 1 をリードした後、0 をライトしたとき CPU が SSTDR ヘデータをライトしたとき TXI 割り込み要求によって DTC で SSTDR ヘデータを転送、かつ DTC の設定がフラグのクリア条件を満たしたとき* 	R/W
6	TEND	トランスミットエンドフラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> 送信データの最後尾ビットの送信時に、TDRE が 1 であったとき <p>【0になる条件】</p> <ul style="list-style-type: none"> 1 をリードした後、0 をライトしたとき SSTDR ヘデータをライトしたとき 	R/W
5	RDRF	レシーブデータレジスタフルフラグ	<p>【セット条件】</p> <p>シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> CPU が 1 をリード後、0 をライトしたとき CPU が SSRDR からデータをリードしたとき RXI 割り込み要求によって DTC で SSRDR ヘデータを転送、かつ DTC の設定がフラグのクリア条件を満たしたとき* 	R/W
4、3	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—
2	ORER	オーバランエラーフラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のシリアル受信を完了したとき <p>【0になる条件】</p> <ul style="list-style-type: none"> 1 をリードした後、0 をライトしたとき 	R/W
1	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 を書いてください。	—

ビット	シンボル	ビット名	説明	R/W
0	CE	コンフリクトエラーフラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> SSMR2のSSUMS=1、SSCRHのMSS=1でシリアル通信を開始しようとしたとき、\overline{SCS}端子入力がローレベルのとき SSMR2のSSUMS=1、SSCRHのMSS=0で転送途中に\overline{SCS}端子がローレベルからハイレベルに変化したとき <p>【0になる条件】</p> <ul style="list-style-type: none"> 1をリード後、0をライトしたとき 	R/W

【注】 スタンバイモード時、SSSR はリセットされます。

* DTC は以下の3つの条件をすべて満足したときに、周辺モジュールフラグをクリアします。

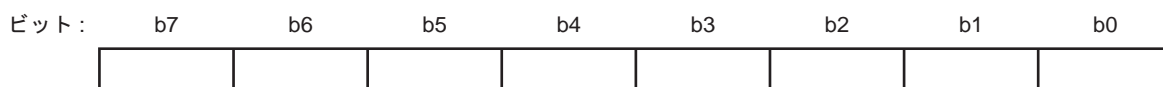
- 1 DISEL ビットが0のとき
- 2 転送回転カウンタが0でないとき（ノーマルおよびリピートモードの場合：CRA、ブロックモードの場合：CRB）
- 3 チェイン転送でないとき

• ORER（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを示します。SSRDR では、オーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、SSCRH の MSS=1 ではシリアル送信も続けることはできません。

22.2.8 SS レシーブデータレジスタ (SSRDR)

アドレス: H'FF05CF



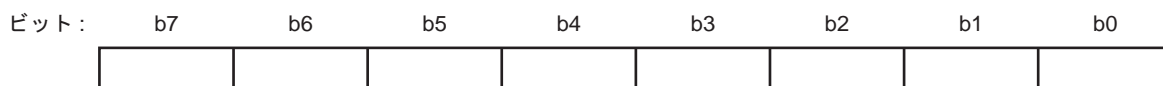
リセット後の値: 1 1 1 1 1 1 1 1

SSRDR は受信したシリアルデータを格納する 8 ビットのレジスタです。SSU は、1 バイトのシリアルデータの受信が終了すると、SSTRSR から SSRDR へ受信したシリアルデータを転送し、受信動作を完了します。この後、SSTRSR は受信可能となります。このように SSTRSR と SSRDR は、ダブルバッファになっているため、連続した受信動作が可能です。

なお、SSRDR はリード専用のレジスタで、CPU からライトできません。SSRDR の初期値は H'FF です。スタンバイモード時は SSRDR は初期化されます。

22.2.9 SS トランスミットデータレジスタ (SSTDR)

アドレス: H'FF05CE

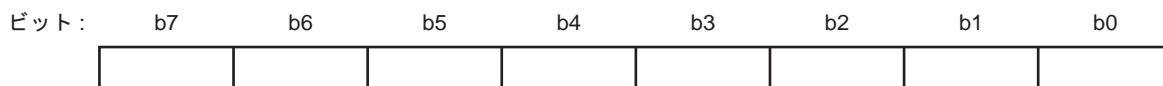


リセット後の値: 1 1 1 1 1 1 1 1

SSTDR は送信するシリアルデータを格納する 8 ビットのレジスタで、常に CPU によるリード/ライトが可能です。SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中 SSTDR に次の送信データをライトしておく、連続してシリアル送信できます。なお、SSMR の MLS ビットを 1 に設定した場合、SSTDR に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。SSTDR の初期値は H'FF です。スタンバイモード時、SSTDR は初期化されます。

22.2.10 SS シフトレジスタ (SSTRSR)

アドレス: -



リセット後の値: - - - - - - - -

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。CPU から直接 SSTRSR をリード/ライトできません。スタンバイモード時、SSTRSR は初期化されます。

22.3 動作説明

22.3.1 転送クロック

転送クロックは7種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合はSSMR2のSCKSを1にセットしてSSCK端子をシリアルクロックとして選択しておく必要があります。SSCRHのMSS=1のときは、内部クロックが選択されSSCK端子が出力になります。転送が開始すると、SSCRHのCKS2~CKS0に設定された転送レートのクロックがSSCK端子から出力されます。MSS=0のときは外部クロックが選択され、SSCK端子は入力になります。

22.3.2 クロックの極性、位相とデータの関係

SSMR2のSSUMSとSSMRのCPOS、CPHSの組み合わせでクロックの極性、位相および転送データの関係が変わります。これらの関係を図22.2に示します。

なお、SSMRのMLSの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLS=1のときは、LSBから始まり最後にMSBの順で転送されます。また、MLS=0のときは、MSBから始まり最後にLSBの順で転送されます。

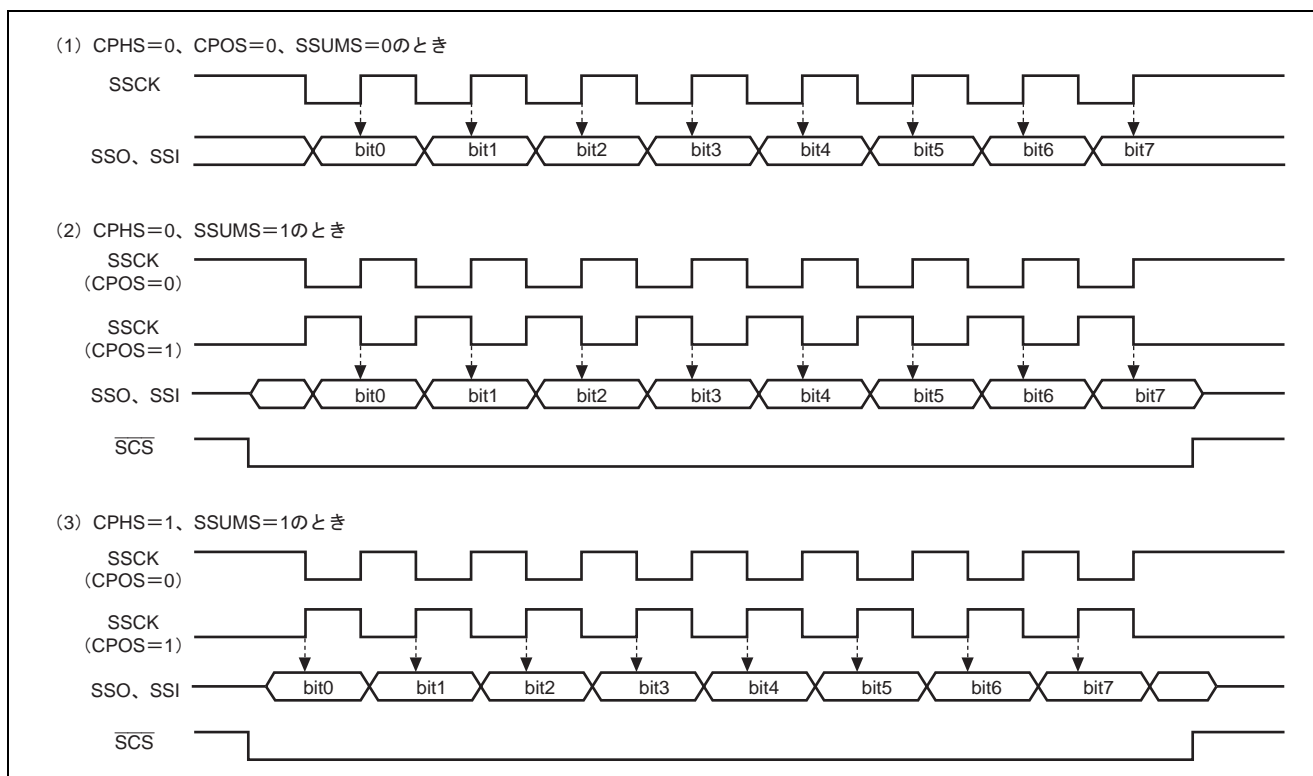


図 22.2 クロックの極性、位相とデータの関係

22.3.3 データ入出力端子とシフトレジスタの関係

SSCRH の MSS と SSMR2 の SSUMS との組み合わせにより、データ入出力端子とシフトレジスタ (SSTRSR) の接続関係が変わります。また、SSMR2 の BIDE によっても接続関係が変わります。これらの接続関係を図 22.3 に示します。

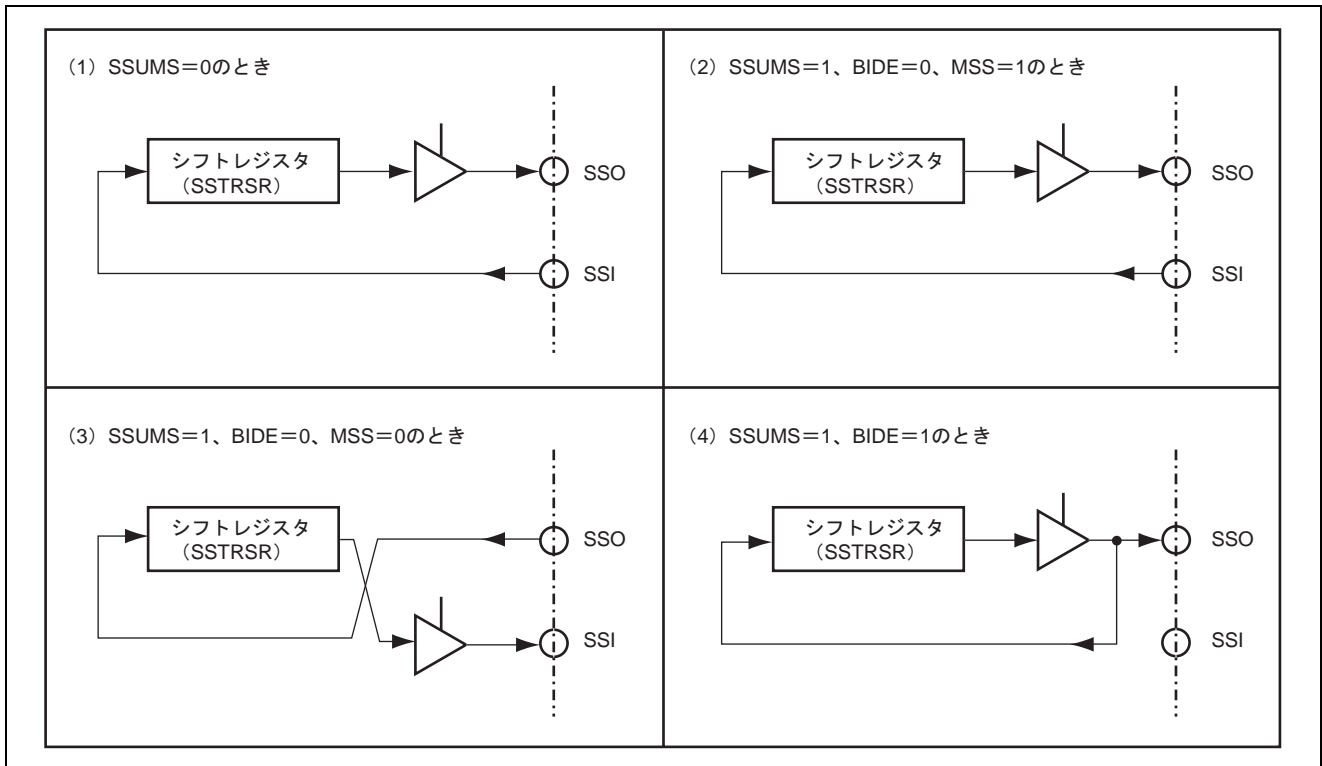


図 22.3 データ入出力端子とシフトレジスタの関係

22.3.4 各通信モードと端子機能

SSUは各通信モードでSSCRHのMSSとSSERのRE、TEの設定により入出力端子の機能を切り替えます。通信モードと入出力端子の関係を表22.2に示します。双方向通信モード時には、TE、REを共に1にセットしないようにしてください。

表 22.2 通信モードと入出力端子の関係

通信モード	レジスタ状態					端子状態		
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK
クロック同期式 通信モード	0	*	0	0	1	IN	—	IN
				1	0	—	OUT	IN
				1	1	IN	OUT	IN
			1	0	1	IN	—	OUT
				1	0	—	OUT	OUT
				1	1	IN	OUT	OUT
4線式バス通信モード	1	0	0	0	1	—	IN	IN
				1	0	OUT	—	IN
				1	1	OUT	IN	IN
			1	0	1	IN	—	OUT
				1	0	—	OUT	OUT
				1	1	IN	OUT	OUT
4線式バス（双方向） 通信モード	1	1	0	0	1	—	IN	IN
				1	0	—	OUT	IN
			1	0	1	—	IN	OUT
				1	0	—	OUT	OUT

【注】 — : 汎用入出力ポートとして使用可能です。

22.3.5 クロック同期式通信モードの動作

(1) クロック同期式通信モードの初期化

クロック同期式通信モードの初期化を図 22.4 に示します。データの送信/受信前には、まず SSER の TE および RE を 0 にクリアして初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、必ず TE および RE を 0 にクリアしてから変更してください。

TE を 0 にクリアすると、TDRE は 1 にセットされます。RE を 0 にクリアしても、RDRF、ORER の各フラグ、および SSRDR の内容は保持されますので注意してください。

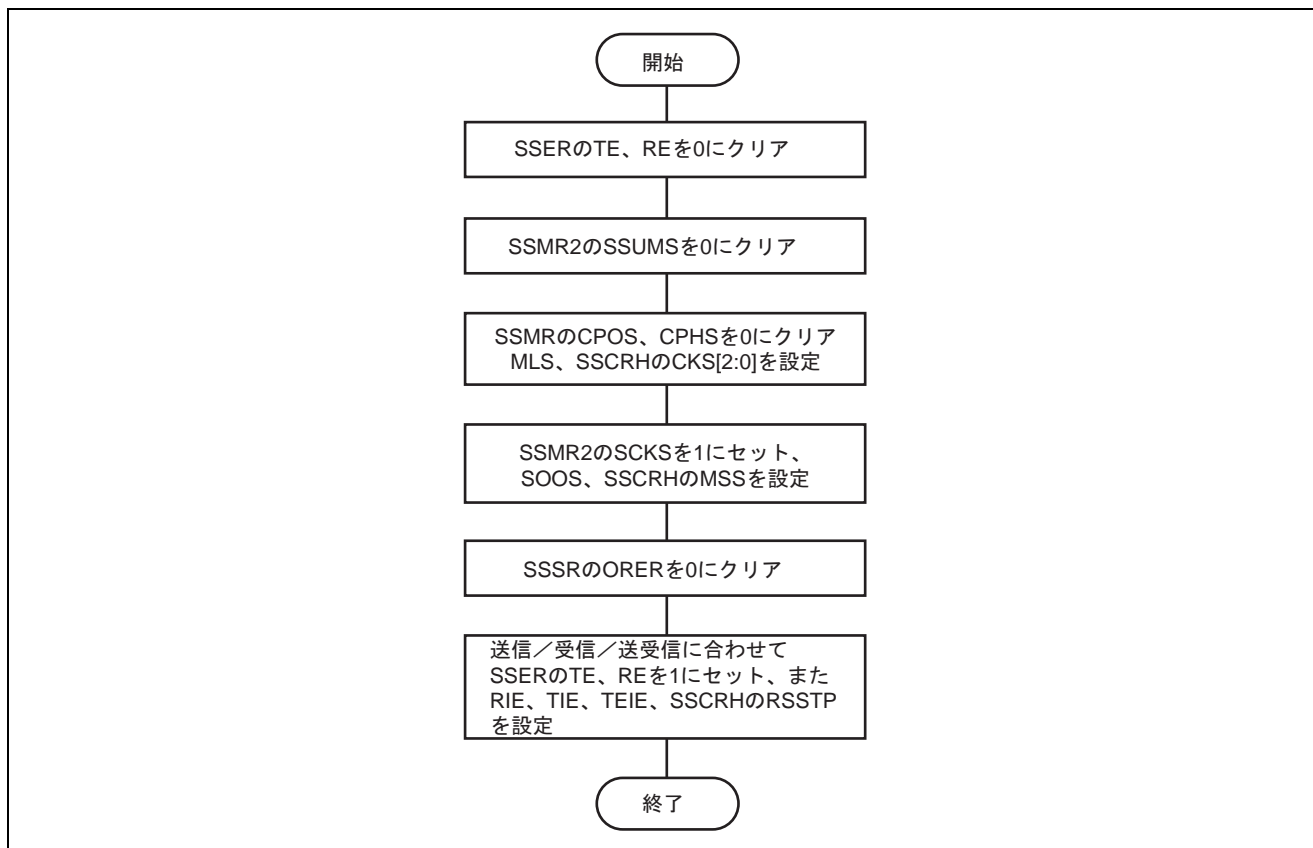


図 22.4 クロック同期式通信モードの初期化

(2) データ送信

図 22.5 にデータ送信時の動作例を示します。データ送信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SSU は、TE を 1 にセット後、SSTDR に送信データをライトすると自動的に TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE が 1 にセットされ送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI を発生します。

TDRE が 0 の状態で 1 フレームの転送が終わると SSTDR から SSTRSR にデータが転送され、次フレームの送信を開始します。TDRE が 1 の状態で 8 ビット目が送出されると SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI を発生します。送信終了後は、SSCK 端子は High レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えませんので、送信の前には、ORER が 0 にクリアされていることを確認してください。

図 22.6 にデータ送信のフローチャート例を示します。

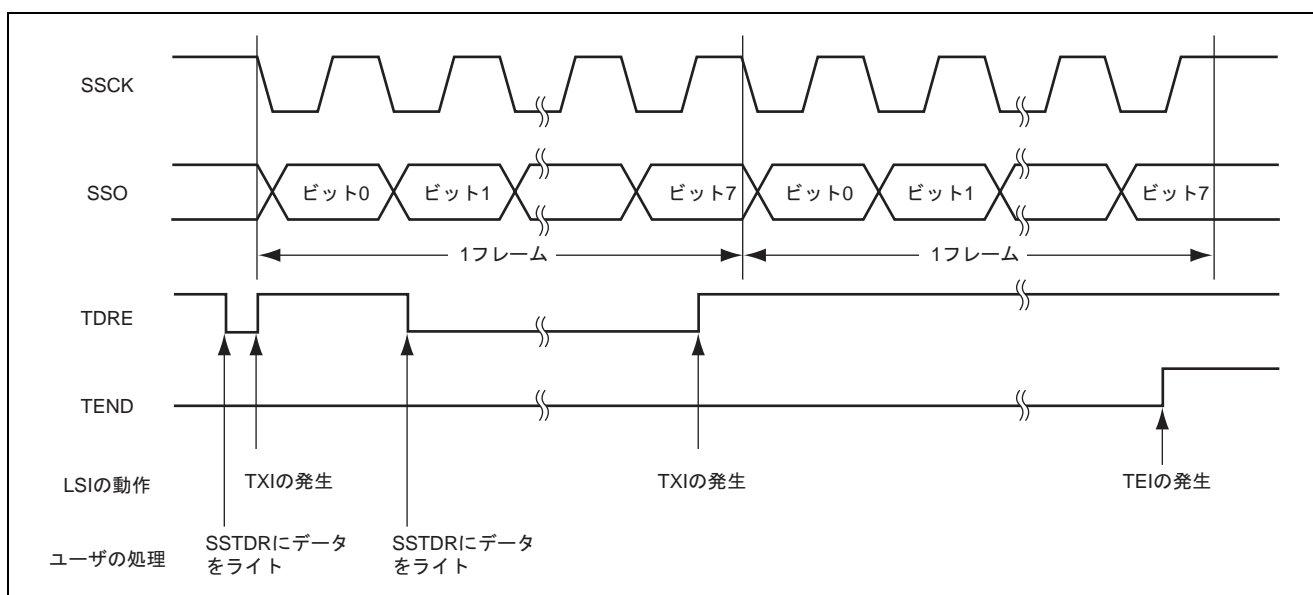
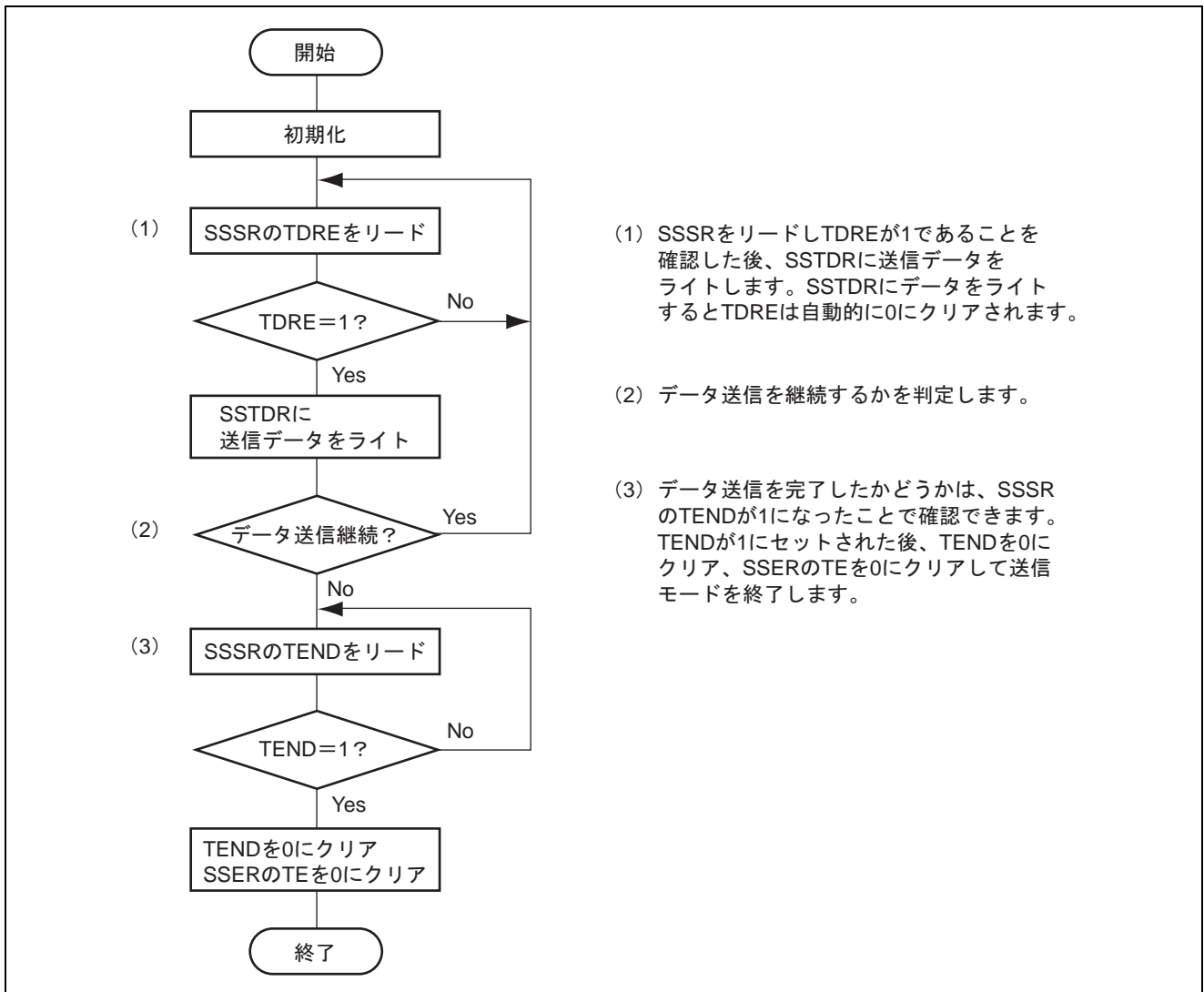


図 22.5 データ送信時の動作例



- (1) SSSRをリードしTDREが1であることを確認した後、SSTDRIに送信データをライトします。SSTDRIにデータをライトするとTDREは自動的に0にクリアされます。
- (2) データ送信を継続するかを判定します。
- (3) データ送信を完了したかどうかは、SSSRのTENDが1になったことで確認できます。TENDが1にセットされた後、TENDを0にクリア、SSERのTEを0にクリアして送信モードを終了します。

図 22.6 データ送信のフローチャート例

(3) データ受信

図 22.7 にデータ受信時の動作例を示します。データ受信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。マスタデバイスに設定したときは、最初に SSRDR をダミーリードすることで受信クロックを出力し受信を開始します。

8 ビット受信後、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

マスタデバイスに設定し受信を終了する場合には、SSCRH の RSSTP を 1 にセットした後、受信したデータをリードします。これにより、8 ビット分クロックを出力し停止します。その後、RE を 0 に、RSSTP を 0 にクリアし、最後に受信したデータをリードします。RE が 1 にセットされた状態で SSRDR をリードすると、また受信クロックを出力してしまいますので注意してください。

RDRF が 1 の状態で 8 クロック目が立ち上がると、SSSR の ORER がセットされ、オーバランエラー (OEI) が発生し、停止します。なお、ORER がセットされた状態では受信は行えませんので、受信再開の前には、ORER が 0 にクリアされていることを確認してください。

図 22.8 にデータ受信のフローチャット例を示します。

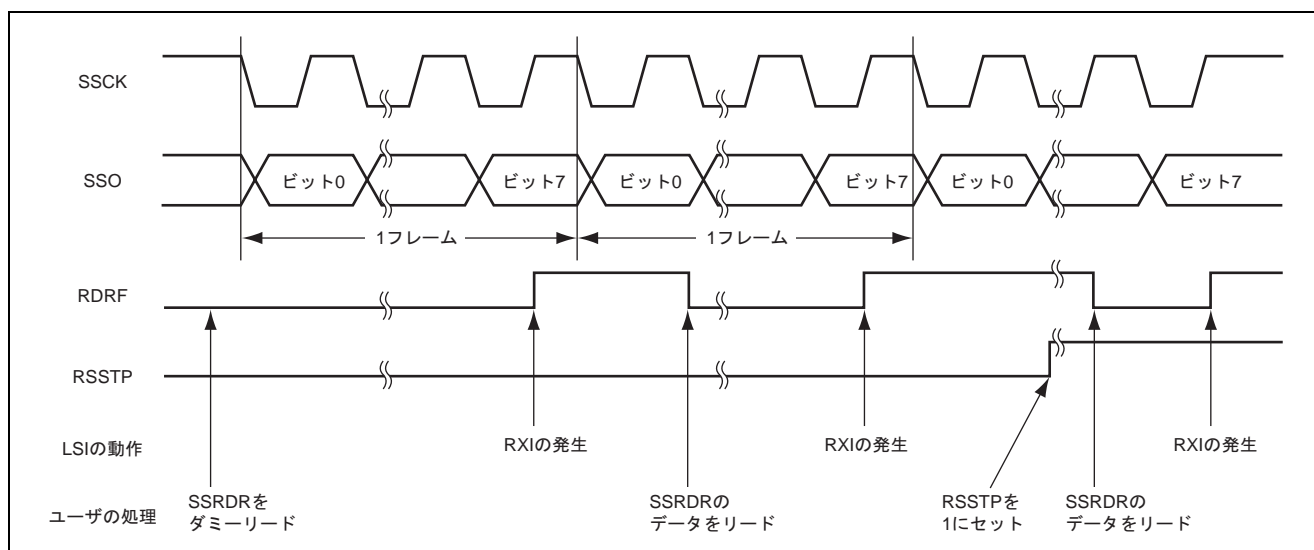


図 22.7 データ受信時の動作例 (MSS=1 のとき)

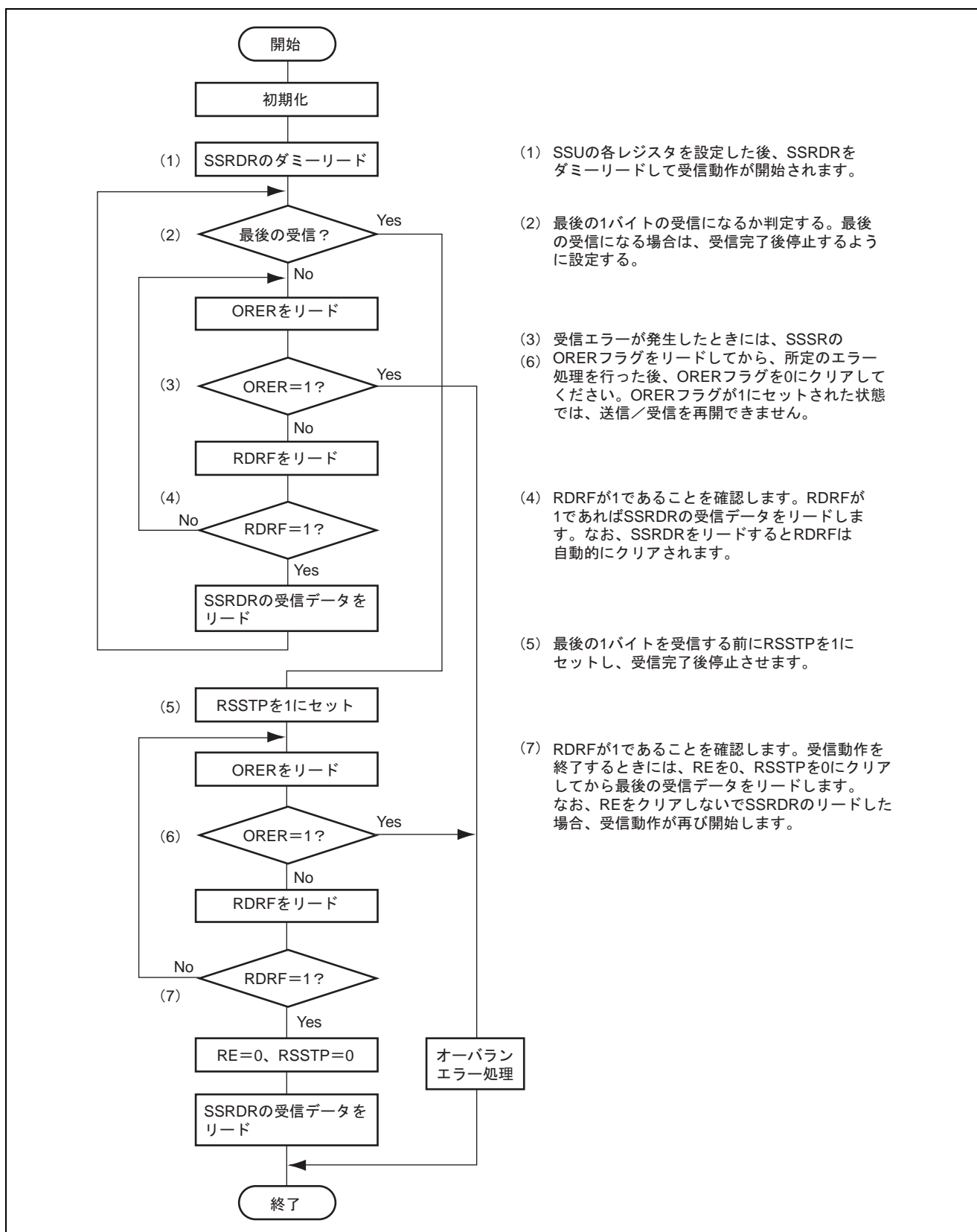


図 22.8 データ受信フローチャート例 (MSS=1 のとき)

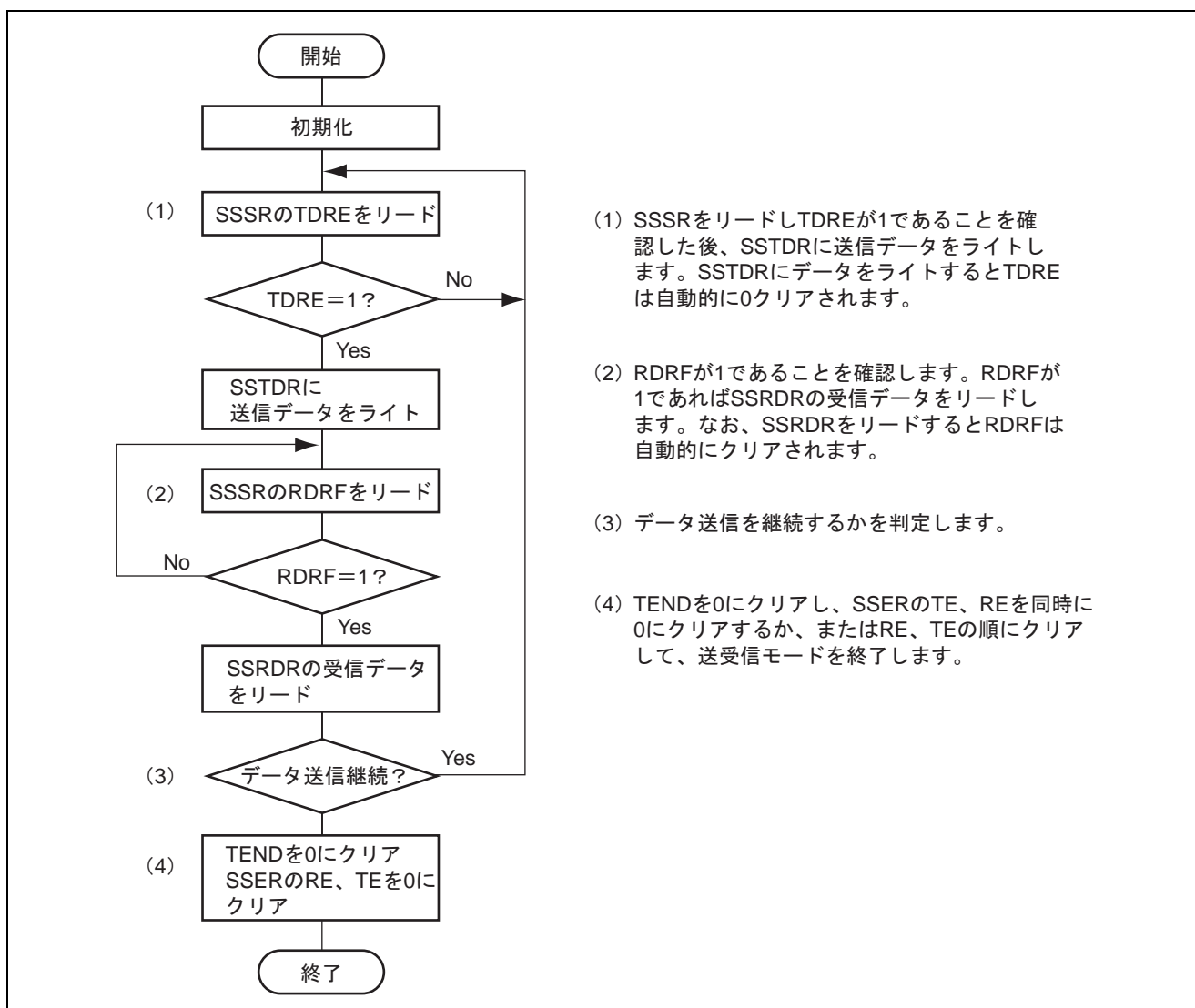
(4) データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。送受信はまず SSTDR にデータをライトすることで開始されます。また、TDRE が 1 にセットされた状態で、8 クロック目が立ち上がった場合または ORER が 1 セットされた場合、送受信動作は停止します。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND は 0 にクリア、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

送受信モード (TE=1、RE=1) を解除する場合、SSRDR をリード後、TE=0 (RE=1) にするとクロックが出力される場合があります。そのため、先に RE=0 にしてから TE=0 にするか、TE、RE を同時に 0 にクリアしてください。その後、受信モード (TE=0、RE=1) にする場合は、ソフトウェアリセット (SSCRL の SRES ビット 1 → 0) を発行した後 RE=1 にしてください。

図 22.9 にデータ送受信のフローチャート例を示します。



(1) SSSRをリードしTDREが1であることを確認した後、SSTDRに送信データをライトします。SSTDRにデータをライトするとTDREは自動的に0クリアされます。

(2) RDRFが1であることを確認します。RDRFが1であればSSRDRの受信データをリードします。なお、SSRDRをリードするとRDRFは自動的にクリアされます。

(3) データ送信を継続するかを判定します。

(4) TENDを0にクリアし、SSERのTE、REを同時に0にクリアするか、またはRE、TEの順にクリアして、送受信モードを終了します。

図 22.9 データ送受信のフローチャート例

22.3.6 4線式バス通信モードの動作

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。データ入力ラインとデータ出力ラインはSSCRHのMSSおよびSSMR2のBIDEの設定により変わります。詳細は「22.3.3 データ入出力端子とシフトレジスタの関係」を参照してください。また、このモードでは、クロックの極性、位相とデータの間関係をSSMRのCPOSおよびCPHSにより設定できます。詳細は「22.3.2 クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合出力制御、スレーブデバイスの場合入力制御します。マスタデバイスの場合はSSMR2のCSS1を1に設定し、 \overline{SCS} 端子を出力制御するか、あるいは汎用ポートで出力制御することができます。スレーブデバイスの場合は、SSMR2のCSS[1:0]を01に設定し \overline{SCS} 端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRのMLSを0にして、MSBファーストで通信を行います。

(1) 4線式バス通信モードの初期化

4線式バス通信モードの初期化を図22.10に示します。データの送信/受信前には、まずSSERのTEおよびREを0にクリアして初期化してください。

【注】動作モードの変更、通信フォーマットの変更などの場合には、必ずTE及びREを0にクリアしてから変更してください。REを0にクリアしても、RDRF、ORERの各フラグ、およびSSRDRの内容は保持されますので注意してください。

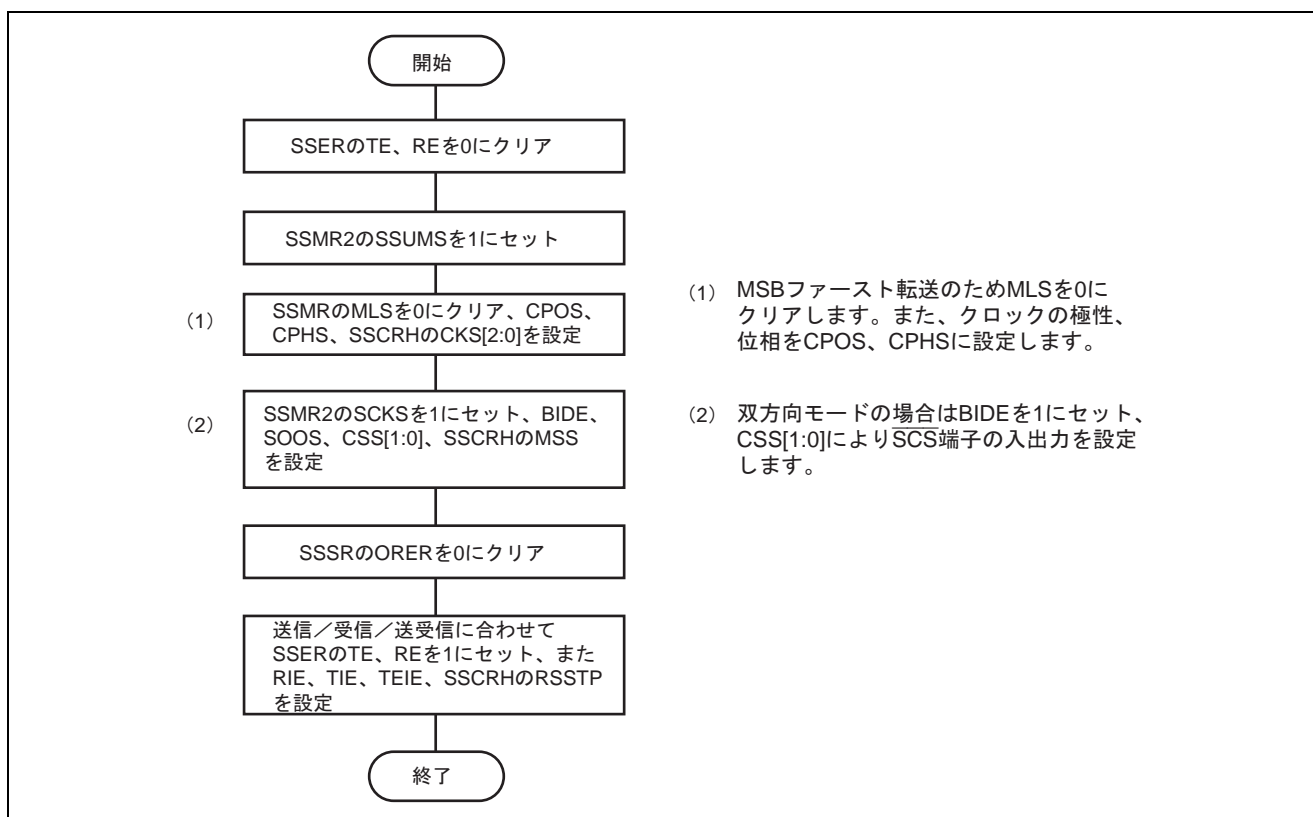


図 22.10 4線式バス通信モードの初期化

(2) データ送信

図 22.11 にデータ送信時の動作例を示します。データ送信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、 $\overline{\text{SCS}}$ 端子がロー入力状態で入力クロックに同期してデータを出力します。

SSU は、TE を 1 にセット後、SSTD $\overline{\text{R}}$ に送信データをライトすると自動的に TDRE が 0 にクリアされ、SSTD $\overline{\text{R}}$ から SSTRSR にデータが転送されます。その後、TDRE が 1 にセットされ送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI を発生します。

TDRE が 0 の状態で 1 フレームの転送が終わると、SSTD $\overline{\text{R}}$ から SSTRSR にデータが転送され、次フレームの送信を開始します。TDRE が 1 の状態で 8 ビット目が送出されると SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI を発生します。送信終了後は、SSCK 端子はハイレベルに固定され、 $\overline{\text{SCS}}$ 端子はハイレベルになります。 $\overline{\text{SCS}}$ 端子をローレベルのまま連続的に送信を行う場合、8 ビット目が送出される前に次のデータを SSTD $\overline{\text{R}}$ にライトしてください。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えませんので、送信の前には、ORER が 0 にクリアされていることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時 $\overline{\text{SCS}}$ 端子がハイインピーダンス状態では SSO 端子がハイインピーダンス状態となり、スレーブデバイス時 $\overline{\text{SCS}}$ 端子がハイ入力状態では SSI 端子がハイインピーダンス状態となることです。フローチャート例はクロック同期式通信モードと同じです。

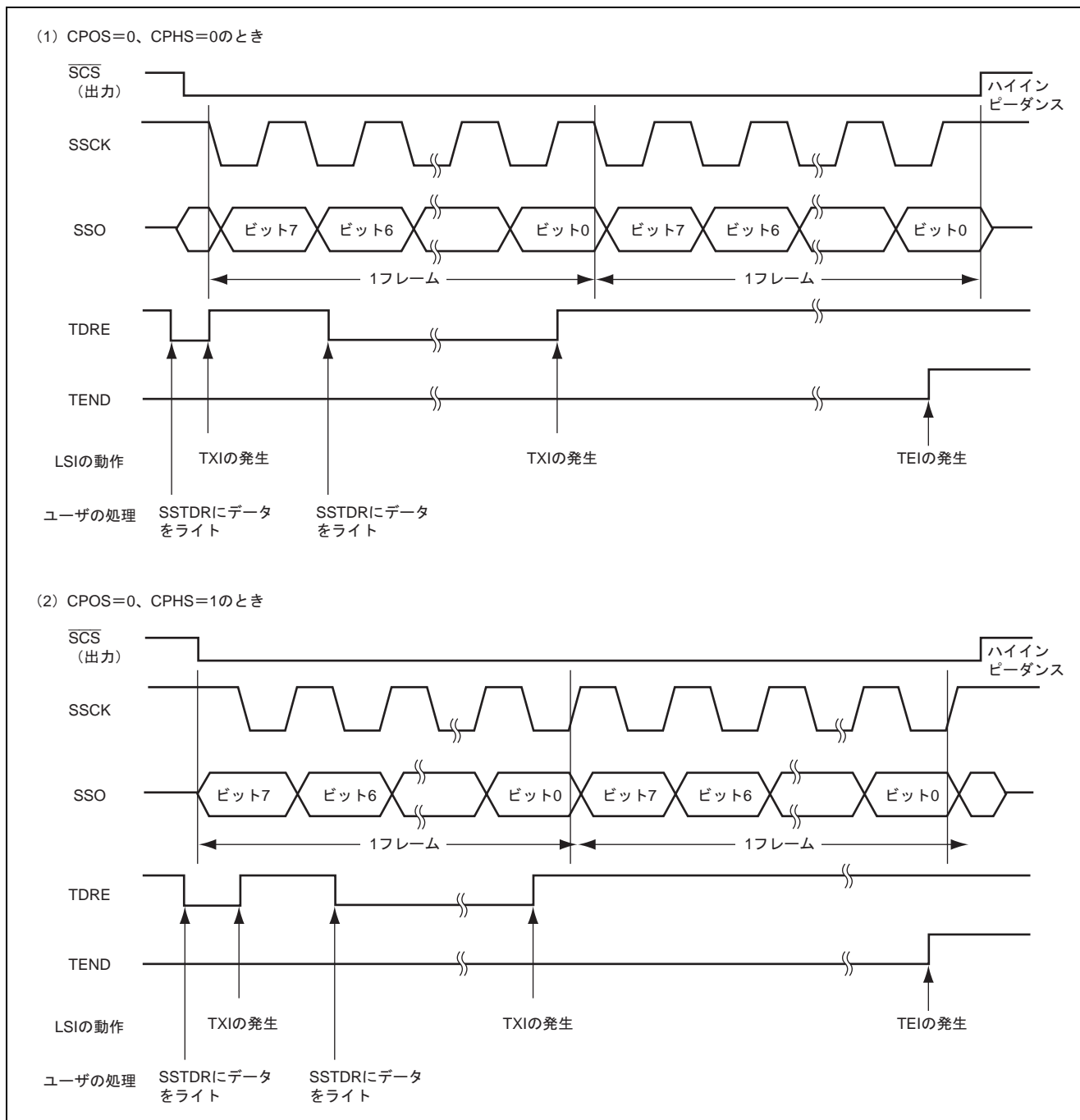


図 22.11 データ送信時の動作例 (MSS=1 のとき)

(3) データ受信

図 22.12 にデータ受信時の動作例を示します。データ受信時は以下のように動作します。

SSU はマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、 $\overline{\text{SCS}}$ 端子がロー入力状態で入力クロックに同期してデータを入力します。マスタデバイスに設定したときは、最初に SSRDR をダミーリードすることで受信クロックを出力し受信を開始します。

8 ビット受信後、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

マスタデバイスに設定し受信を終了する場合には、SSER の RSSTP を 1 にセットした後、受信したデータをリードします。これにより、8 ビット分クロックを出力し停止します。その後、RE を 0 に、RSSTP を 0 にクリアし、最後に受信したデータをリードします。RE が 1 にセットされた状態で SSRDR をリードするとまた受信クロックを出力してしまいますので注意してください。

RDRF が 1 の状態で 8 クロック目が立ち上がると、SSSR の ORER がセットされ、オーバランエラー (OEI) が発生し、停止します。なお、ORER が 1 にセットされた状態では受信は行えませんので、受信再開の前には、ORER が 0 にクリアされていることを確認してください。

RDRF、ORER フラグのセットタイミングは、CPHS の設定により異なります。このタイミングを図 22.2 に示します。CPHS=1 に設定した場合、フレームの途中でフラグがセットされますので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです。

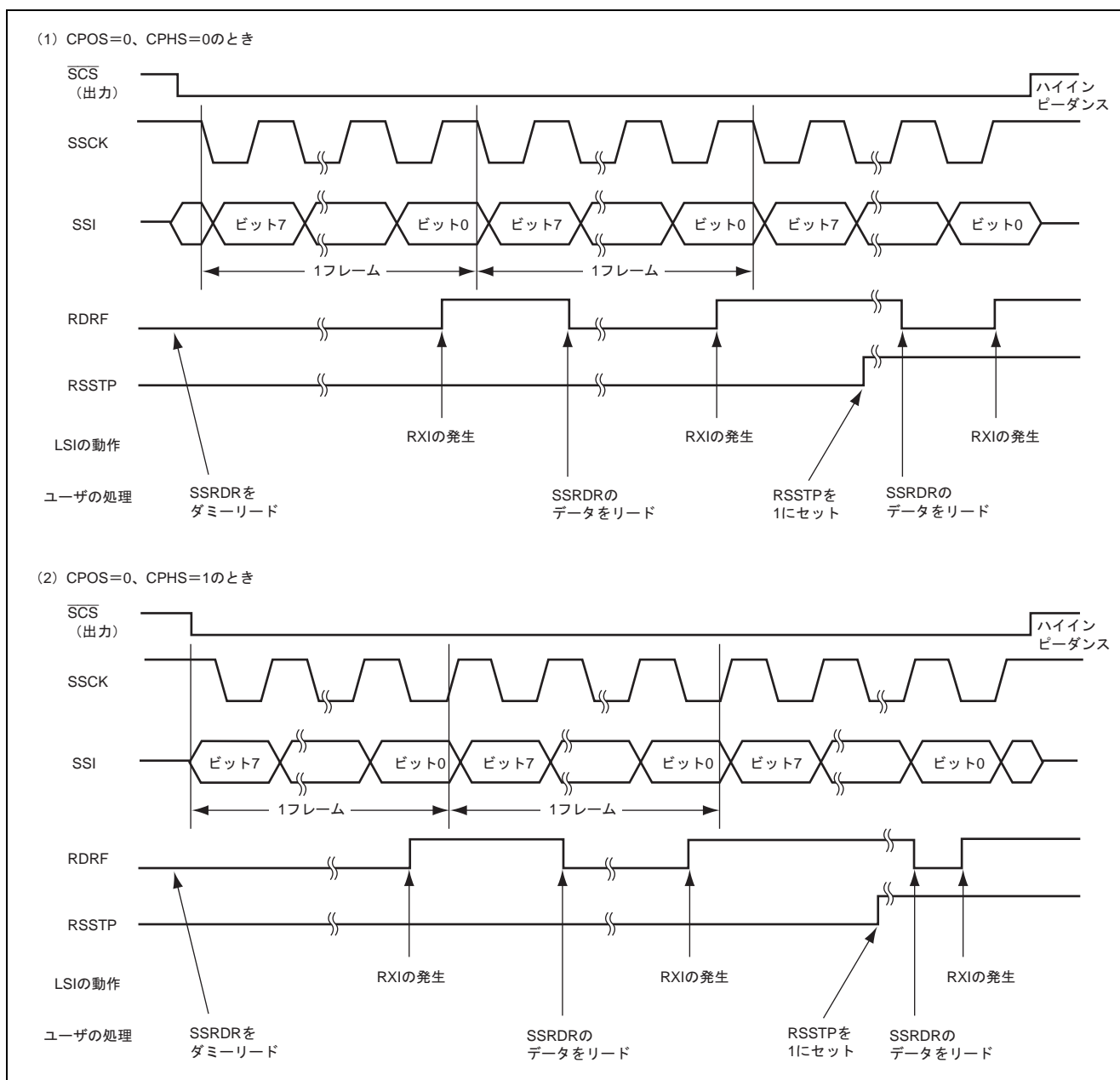


図 22.12 データ受信時の動作例 (MSS=1 のとき)

22.3.7 $\overline{\text{SCS}}$ 端子制御とアービトレーション

SSMR2 の SSUMS=1、CSS1=1 に設定した場合には、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前に $\overline{\text{SCS}}$ 端子のアービトレーションをチェックします。この期間に同期化した内部 SCS がローになったことを検出すると、SSSR の CE がセットされ、SSCRH の MSS がクリアされます。

- 【注】 コンフリクトエラーがセットされた状態では、以後の送信動作ができません。したがって、送信をスタートする前に、必ず CE を 0 にクリアしてください。
 マルチマスタで使用する場合は、SSMR2 の CSOS ビットを 1 にセットしてください。

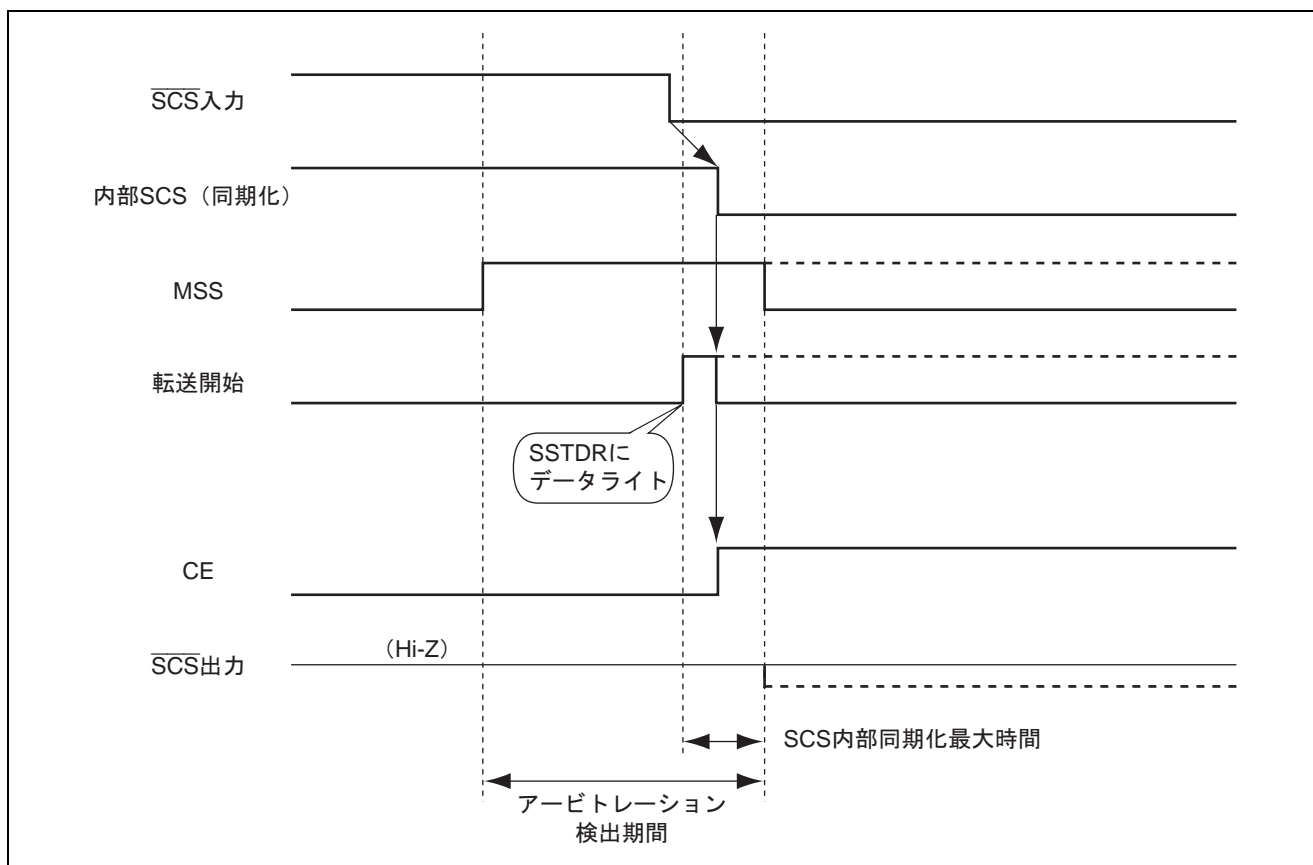


図 22.13 アービトレーションチェックタイミング

22.4 割り込み要求

SSU の割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込みがあります。これらの割り込み要求は共通のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 22.3 に割り込み要求一覧を示します。

表 22.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	DTC の起動
送信データエンプティ	TXI	(TIE=1)・(TDRE=1)	可
送信終了	TEI	(TEIE=1)・(TEND=1)	不可
受信データフル	RXI	(RIE=1)・(RDRF=1)	可
オーバランエラー	OEI	(RIE=1)・(ORER=1)	不可
コンフリクトエラー	CEI	(CEIE=1)・(CE=1)	不可

表 22.4 の要因による割り込み例外処理が実行された場合、例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は SSTDR に送信データをライトすることで、RDRF は SSRDR をリードすることで自動的にクリアされますので注意してください。特に TDRE は SSTDR に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時、自動的に 0 クリアされます。

また、RXI 割り込み要求によっても、DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時、自動的に 0 クリアされます。

22.5 使用上の注意事項

SSCK 出力端子、SSO 出力端子、 $\overline{\text{SCS}}$ 出力端子において、NMOS オープンドレイン出力を選択する場合は、PMC で当該端子をポート 5 に割り付けてください。ポート 5 以外に割り付けた場合は、CMOS 出力のみ選択可能です。

23. ハードウェア LIN

ハードウェア LIN は、タイマ RA および SCI3_1 と連携し、LIN 通信を行うものです。

23.1 概要

- マスタモード
 - Sync Break 発生
 - バス衝突検出
- スレーブモード
 - Sync Break 検出
 - Sync Field 計測
 - Sync Break および Sync Field 信号の SCI3_1 入力制御機能
 - バス衝突検出

図 23.1 にハードウェア LIN のブロック図を示します。

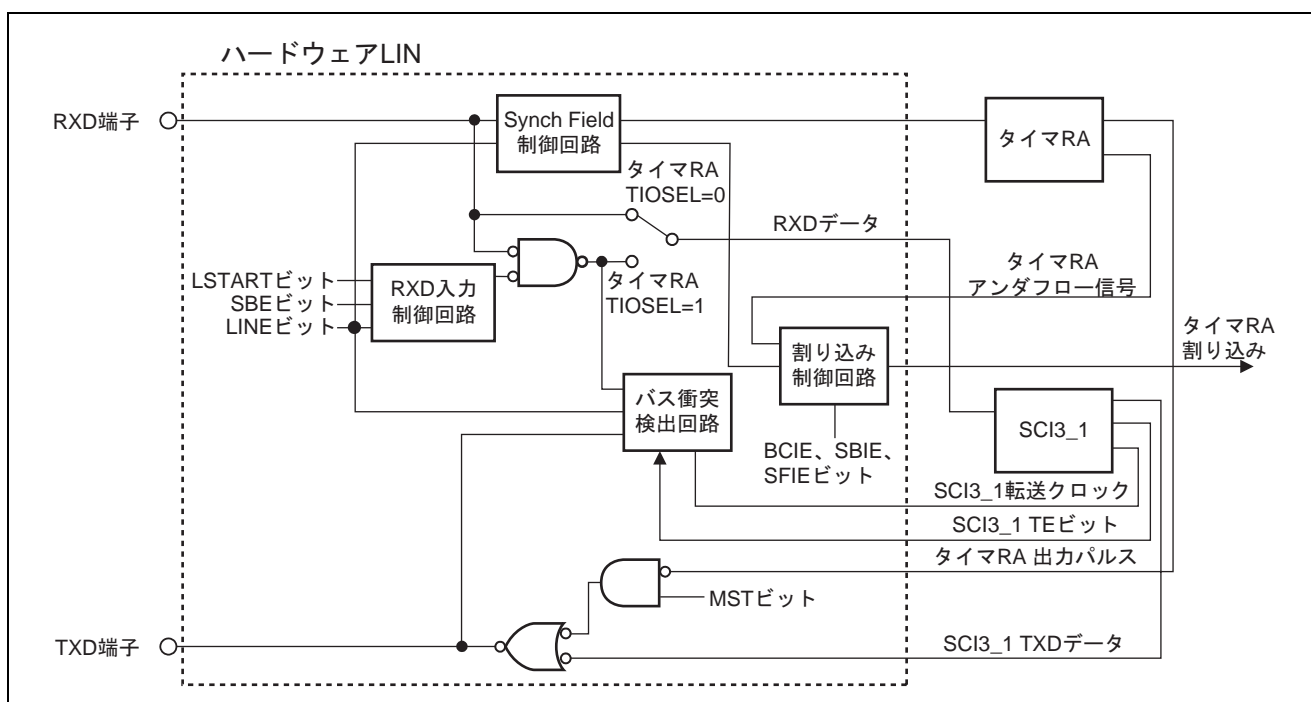


図 23.1 ハードウェア LIN のブロック図

表 23.1 端子構成

端子名	入出力	機能
RXD	入力	ハードウェア LIN の受信データ入力端子
TXD	出力	ハードウェア LIN の送信データ出力端子

23.2 レジスタ構成

ハードウェア LIN には以下のレジスタがあります。

- LINコントロールレジスタ (LINCR)
- LINステータスレジスタ (LINST)

23.2.1 LIN コントロールレジスタ (LINCR)

アドレス: H'FF0518

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7	LINE	LIN 動作開始	0 : LIN は動作停止 1 : LIN は動作開始* ¹	R/W
6	MST	LIN 動作モード 設定* ²	0 : スレーブモード (Sync Break 検出回路動作) 1 : マスタモード (タイマ RA の出力を TXD と OR する)	R/W
5	SBE	RXD 入力マスク 解除タイミング セレクト	(スレーブモードのみ有効) 0 : Sync Break 検出後に解除 1 : Sync Field 計測完了後に解除	R/W
4	LSTART	Sync Break 検出 開始	0 : Don't Care 1 : タイマ RA 入力許可及び RXD 入力禁止	R/W
3	RXDSF	RXD 入力 ステータス フラグ	0 : RXD 入力許可状態 1 : RXD 入力禁止状態	R
2	BCIE	バス衝突検出 割り込み許可	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
1	SBIE	Sync Break 検出 割り込み許可	0 : Sync Break 検出割り込み禁止 1 : Sync Break 検出割り込み許可	R/W
0	SFIE	Sync Field 計測完 了割り込み許可	0 : Sync Field 計測完了割り込み禁止 1 : Sync Field 計測完了割り込み許可	R/W

【注】 *1 本ビットを 1 にした直後は、タイマ RA および SCI3_1 への入力は禁止です。

*2 LIN 動作モードを切り替える場合は、一度、LIN 動作を停止 (LINE=0) してください。

*3 LSTART ビット設定後、RXDSF フラグが 1 になったことを確認後、Sync Break を入力開始してください。

23.2.2 LIN ステータスレジスタ (LINST)

アドレス: H'FF0519

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
---	---	-------	-------	-------	-------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
5	B2CLR	BCDCT フラグ クリア	1を書くとBCDCTフラグをクリアします。リードすると常に0が読み出されます。	R/W
4	B1CLR	SBDCT フラグ クリア	1を書くとSBDCTフラグをクリアします。リードすると常に0が読み出されます。	R/W
3	B0CLR	SFDCT フラグ クリア	1を書くとSFDCTフラグをクリアします。リードすると常に0が読み出されます。	R/W
2	BCDCT	バス衝突検出 フラグ	0 : バス衝突検出なし 1 : バス衝突検出	R
1	SBDCT	Sync Break 検出 フラグ	0 : Sync Break 検出なし 1 : Sync Break 検出	R
0	SFDCT	Sync Field 計測 完了フラグ	0 : Sync Field 計測未完 1 : Sync Field 計測完了	R

23.3 動作説明

23.3.1 マスタモード

図 23.2 にマスタモードでの、ヘッダフィールドの送信時の動作例を示します。また、図 23.3、図 23.4 にヘッダフィールドの送信を行うためのフローチャートを示します。

ハードウェア LIN は、ヘッダフィールド送信時、以下のように動作します。

1. タイマRAのTRACRレジスタのTSTARTビットに“1”書き込むと、タイマRAのTRAPRE、TRATRレジスタに設定された期間、TXD端子から“L”レベルを出力します。
2. タイマRAがアンダフローすると、TXD端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを1に設定している場合は、タイマRA/HW-LIN割り込みが発生します。
3. SCI3_1により、H'55を送信します。
4. SCI3_1により、H'55の送信が完了後、IDフィールドを送信します。
5. IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

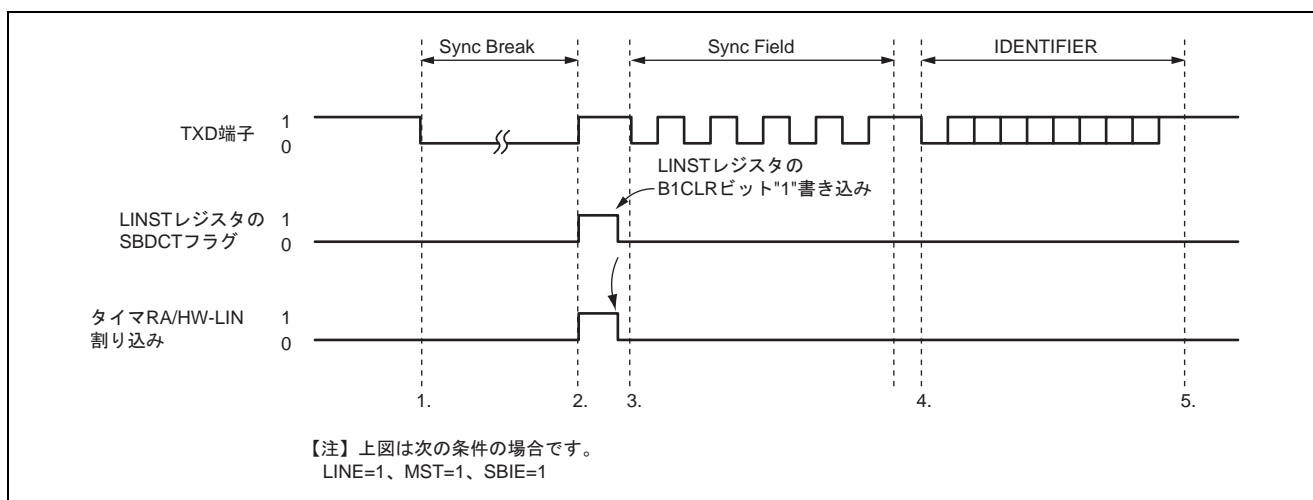


図 23.2 ヘッダフィールド送信時の動作例

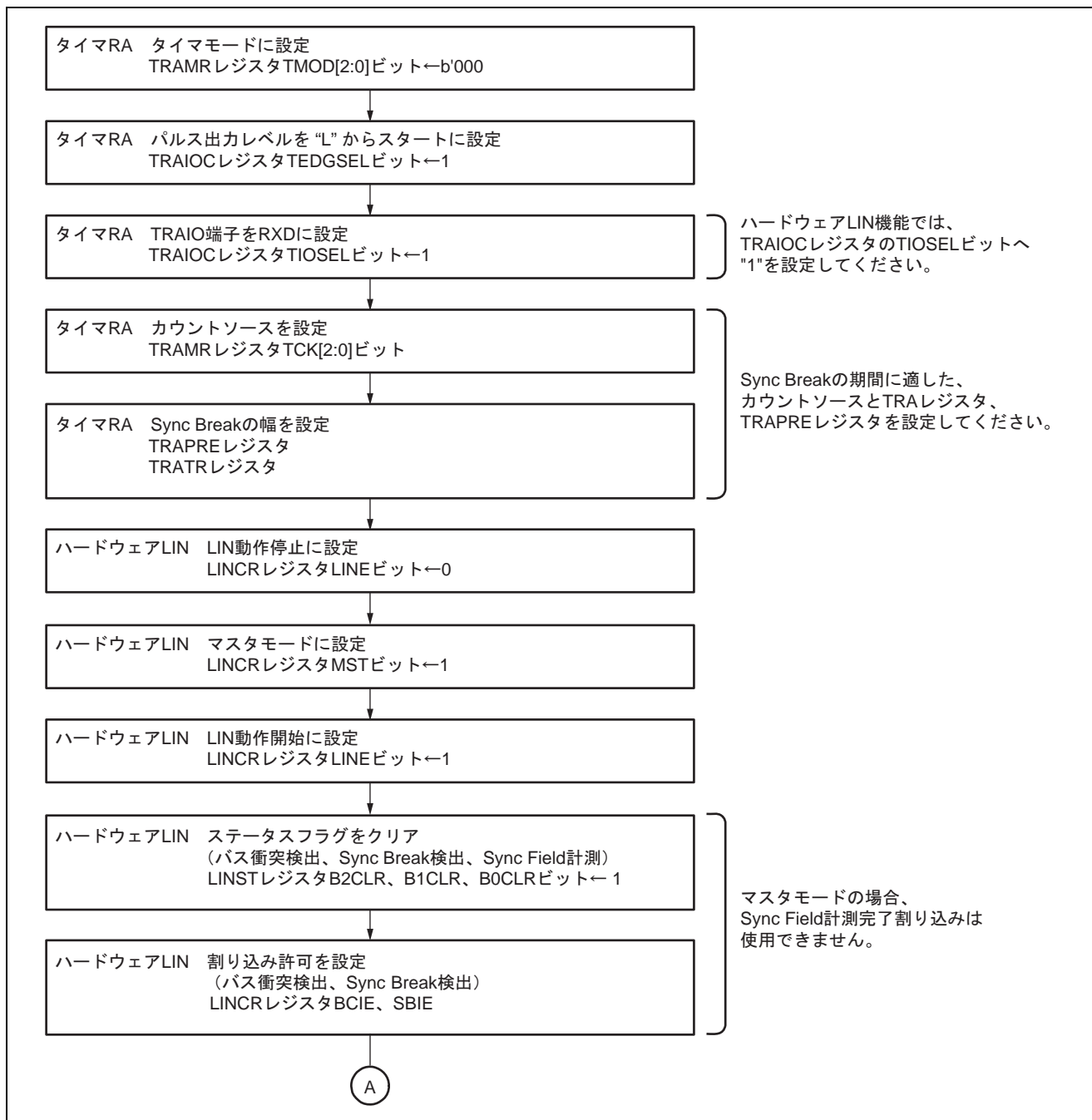


図 23.3 ヘッダフィールド送信フローチャート (1)

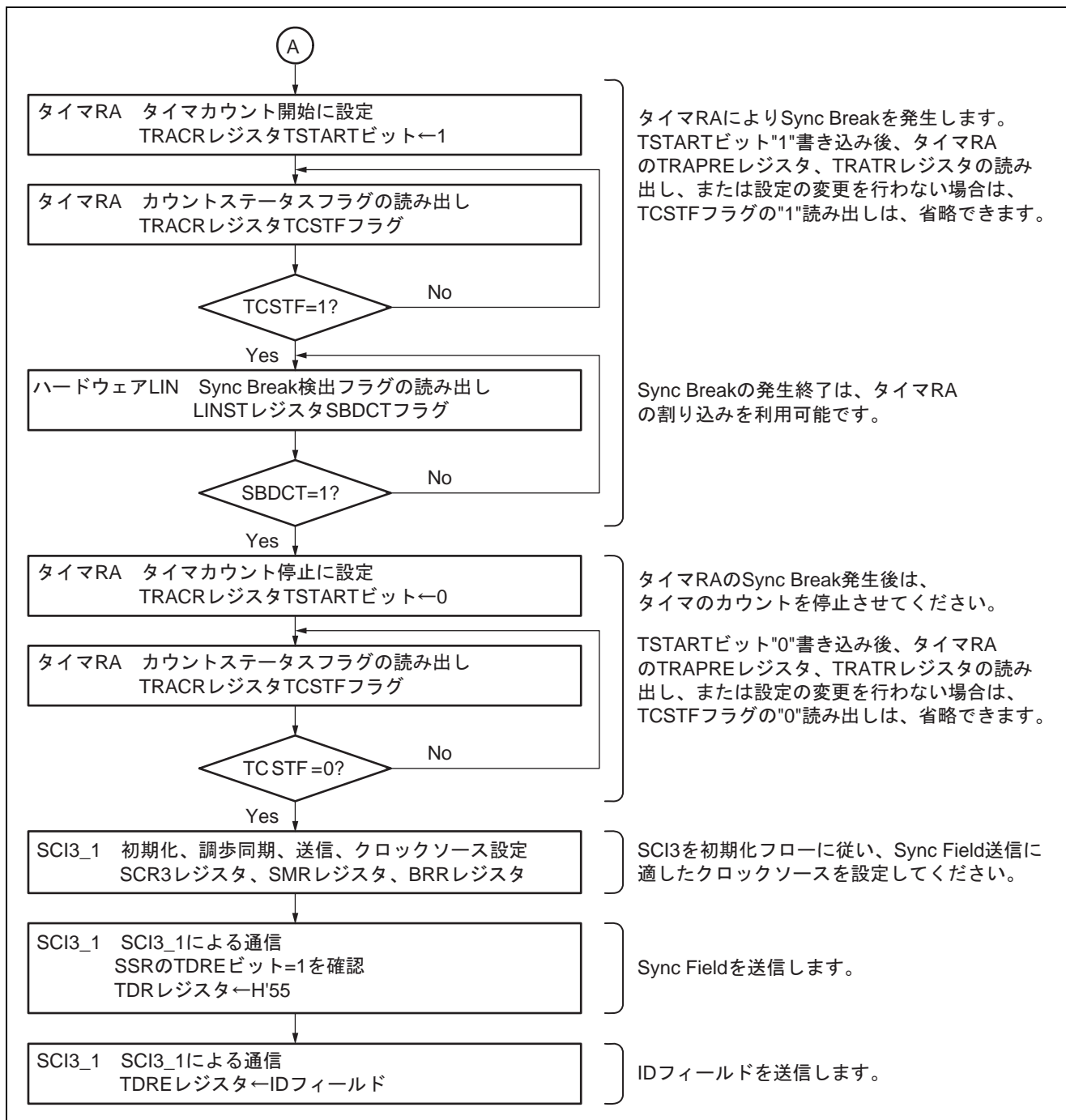


図 23.4 ヘッダフィールド送信フローチャート (2)

23.3.2 スレーブモード

図 23.5 にスレーブモードでの、ヘッダフィールドの受信時の動作例を示します。また、図 23.6～図 23.8 にヘッダフィールドの受信を行うためのフローチャートを示します。

ハードウェア LIN は、ヘッダフィールド受信時、以下のように動作します。

1. ハードウェア LIN の LINCRC レジスタの LSTART ビットに "1" 書き込むと、Sync Break 検出が可能になります。
2. タイマ RA に設定した期間以上の "L" レベルが入力されると Sync Break として検出します。このとき、LINST レジスタの SBDCT フラグが "1" にセットされます。また、LINCRC レジスタの SBIE ビットを "1" に設定している場合は、タイマ RA/HW-LIN 割り込みが発生します。そして、Sync Field 計測に遷移します。
3. Sync Field (H'55) を受信します。この時、タイマ RA により、スタートビットおよび 0～6 ビットまでの期間を測定します。このとき、Sync Field の信号を SCI3 の RXD に入力するか禁止にするかを LINCRC の SBE ビットにより選択できます。
4. Sync Field 計測が完了すると LINST レジスタの SFDCT フラグが "1" にセットされます。また、LINCRC レジスタの SFIE ビットを "1" に設定している場合は、タイマ RA/HW-LIN 割り込みが発生します。
5. Sync Field 計測完了後、タイマ RA のカウント値から転送速度を算出し、SCI3_1 に設定およびタイマ RA の TRAPRE レジスタと TRATR レジスタを再設定します。そして、SCI3_1 により、ID フィールドを受信します。
6. ID フィールドの受信完了後、レスポンスフィールドの通信を行います。

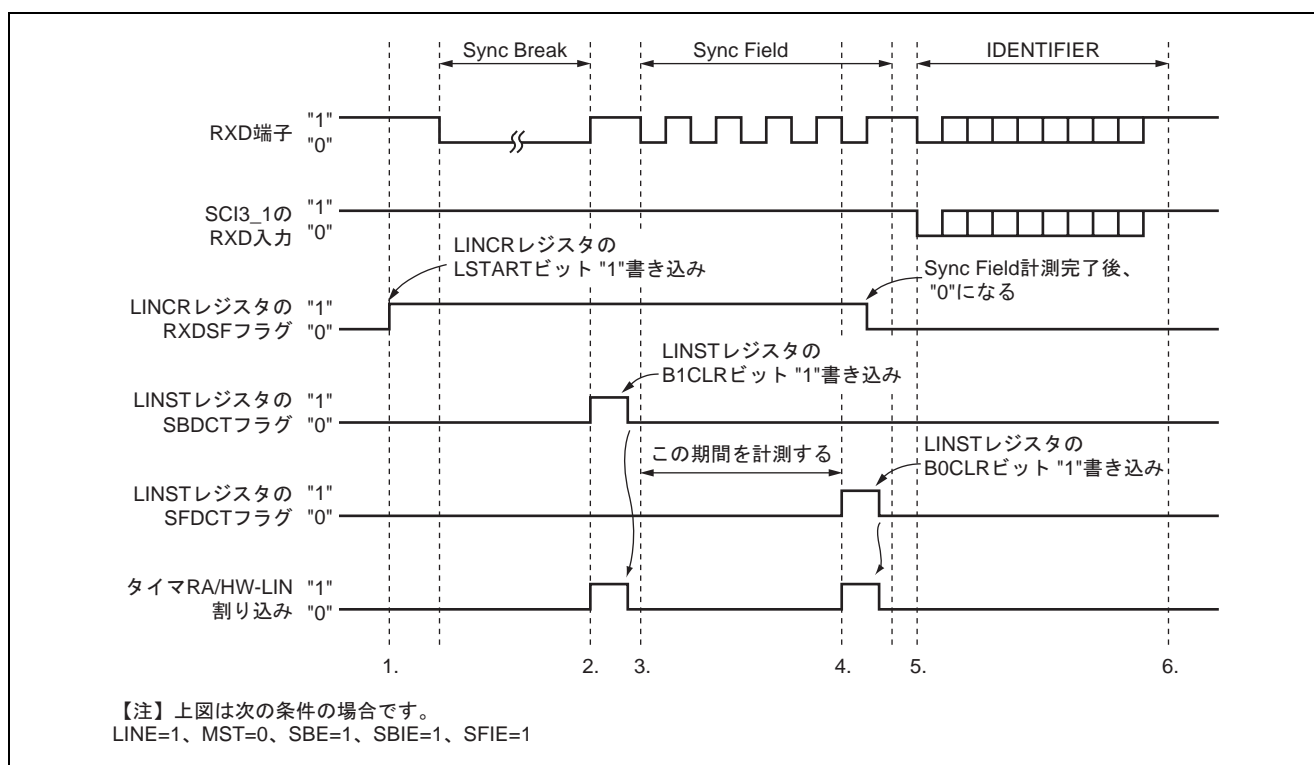


図 23.5 ヘッダフィールド受信時の動作例

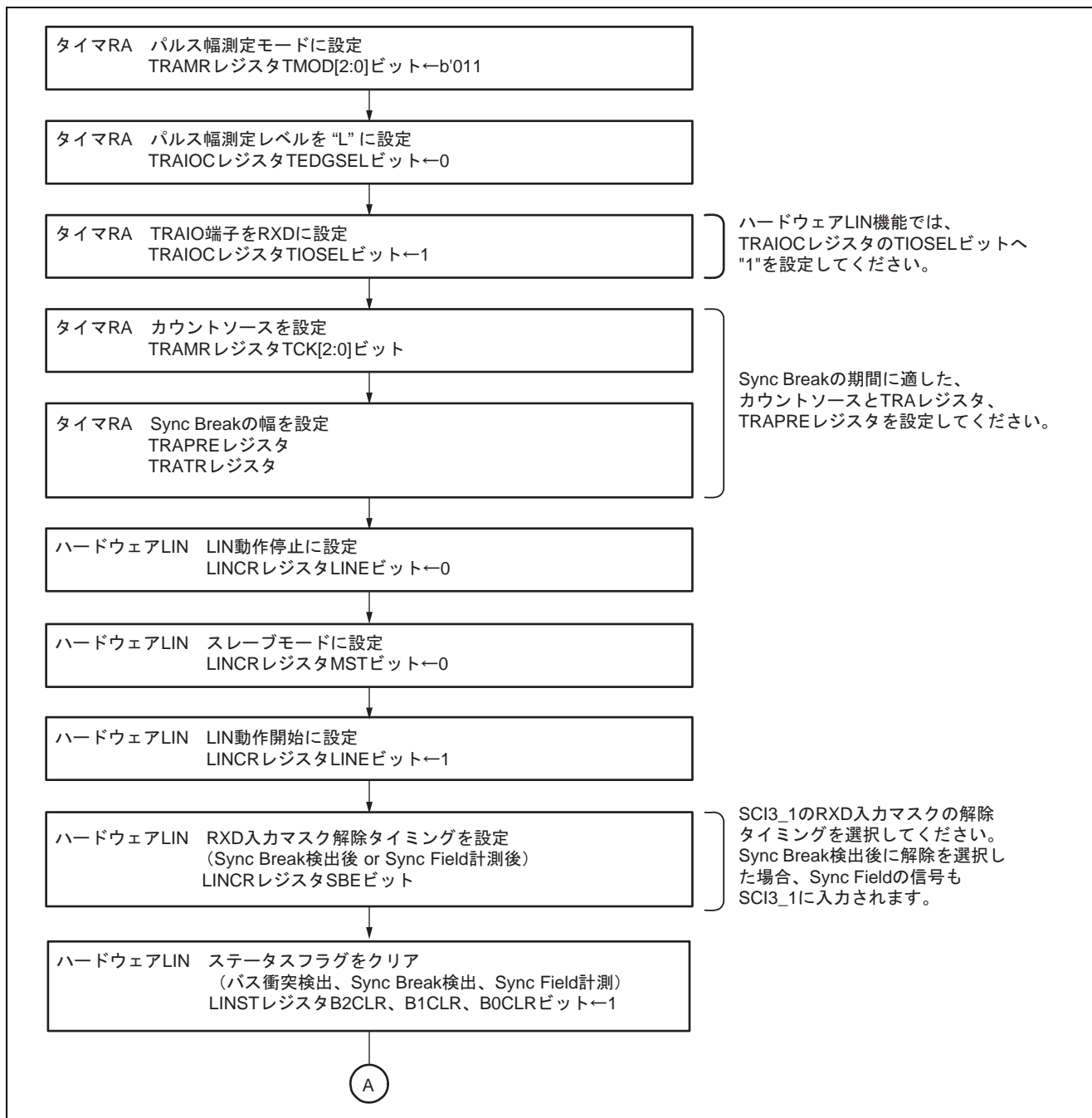


図 23.6 ヘッダフィールド受信フローチャート (1)

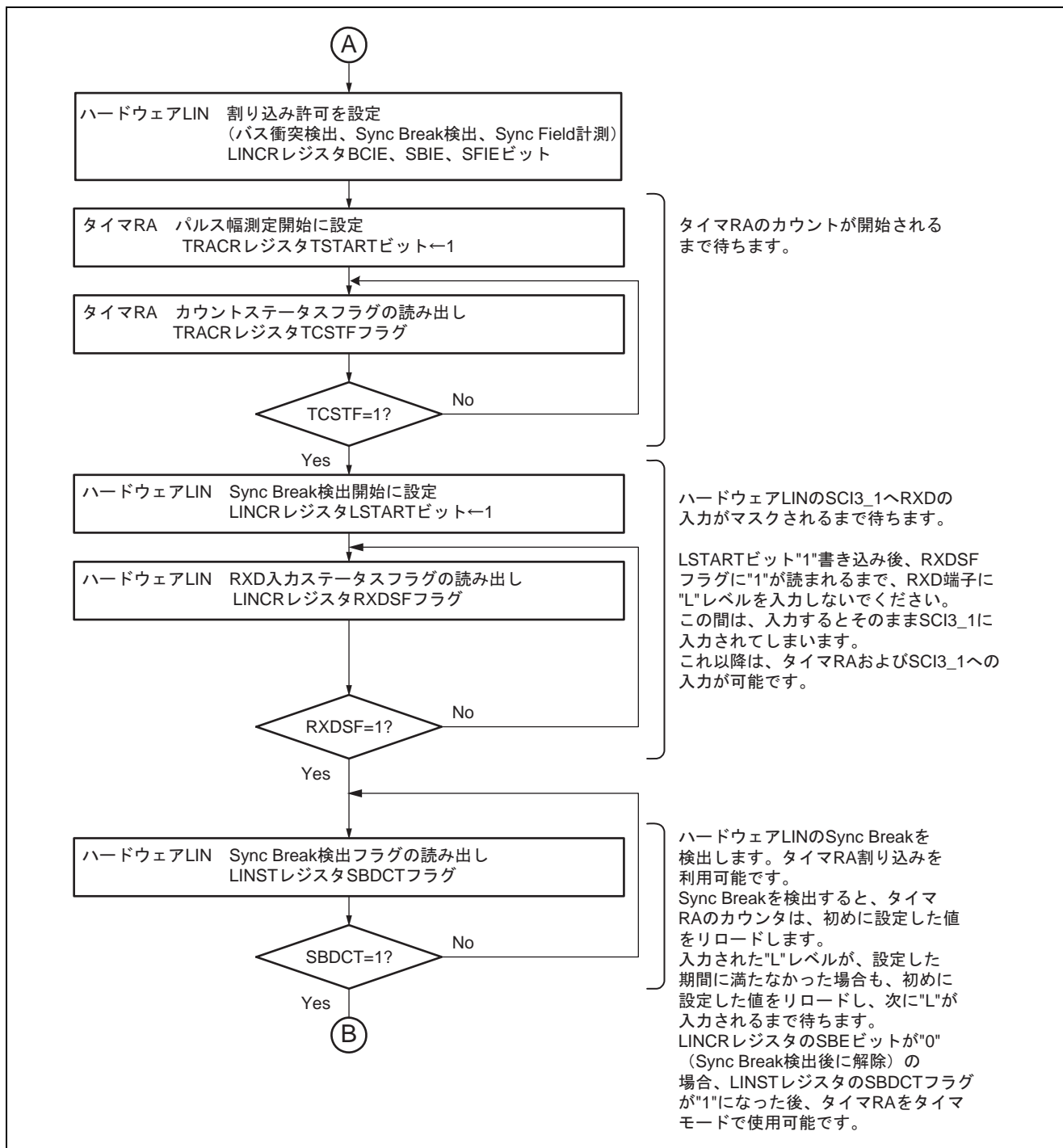


図 23.7 ヘッダフィールド受信フローチャート (2)

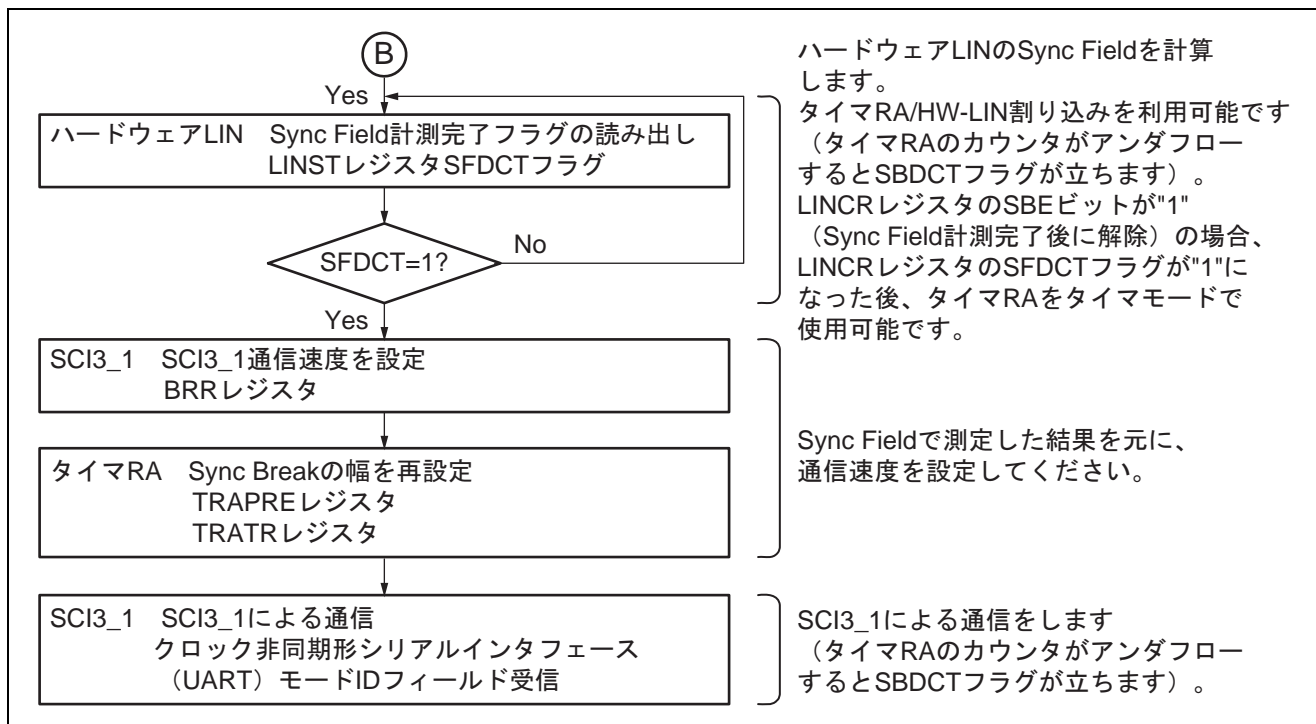


図 23.8 ヘッダフィールド受信フローチャート (3)

23.3.3 バス衝突検出機能

SCI3_1 が送信許可 (SCR3 レジスタの TE ビットが "1") の場合、バス衝突検出機能を使用することができます。

図 23.9 にバス衝突検出時の動作例を示します。

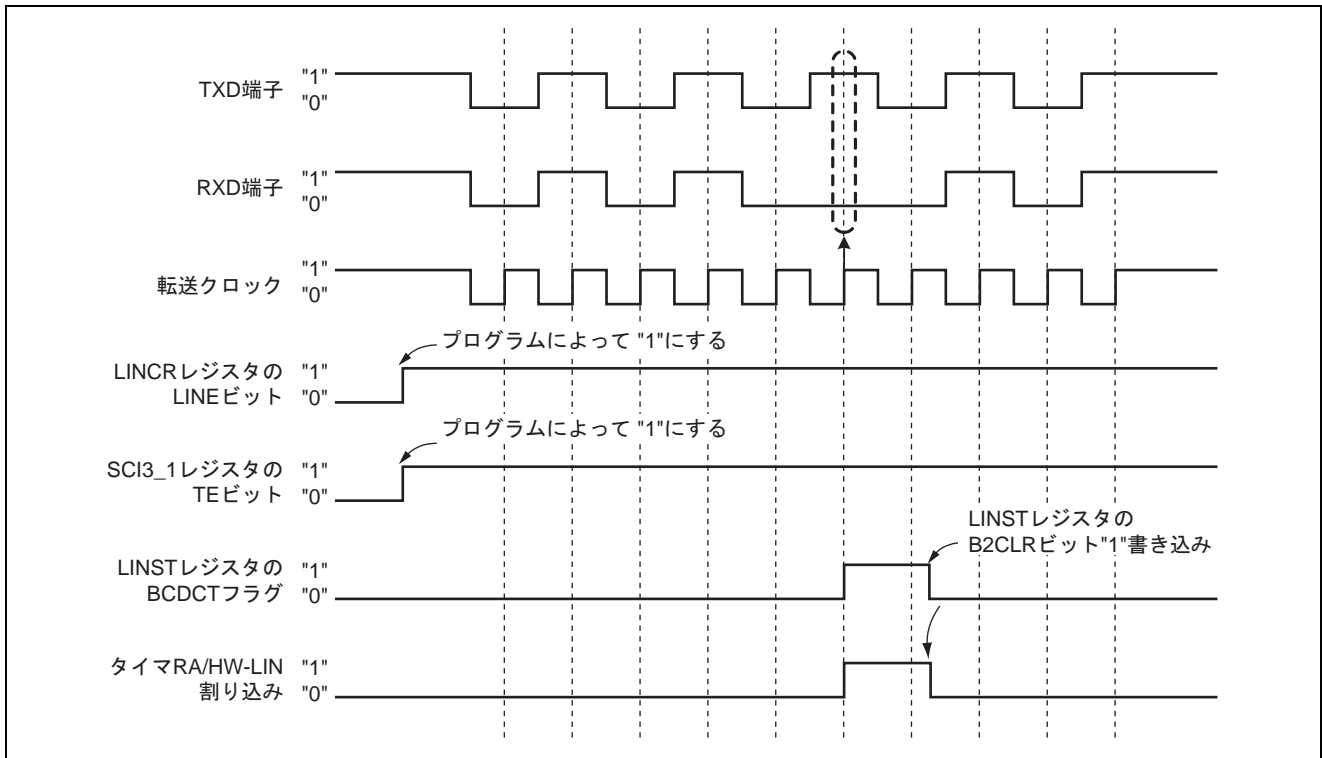


図 23.9 バス衝突検出時の動作例

23.3.4 ハードウェア LIN 終了処理

図 23.12 にハードウェア LIN 通信終了のフローチャート例を示します。ハードウェア LIN の終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合
チェックサム送信終了後、ハードウェア LIN の終了処理を実施
- バス衝突検出機能を使用しない場合
ヘッダフィールド送受信終了後、ハードウェア LIN の終了処理を実施

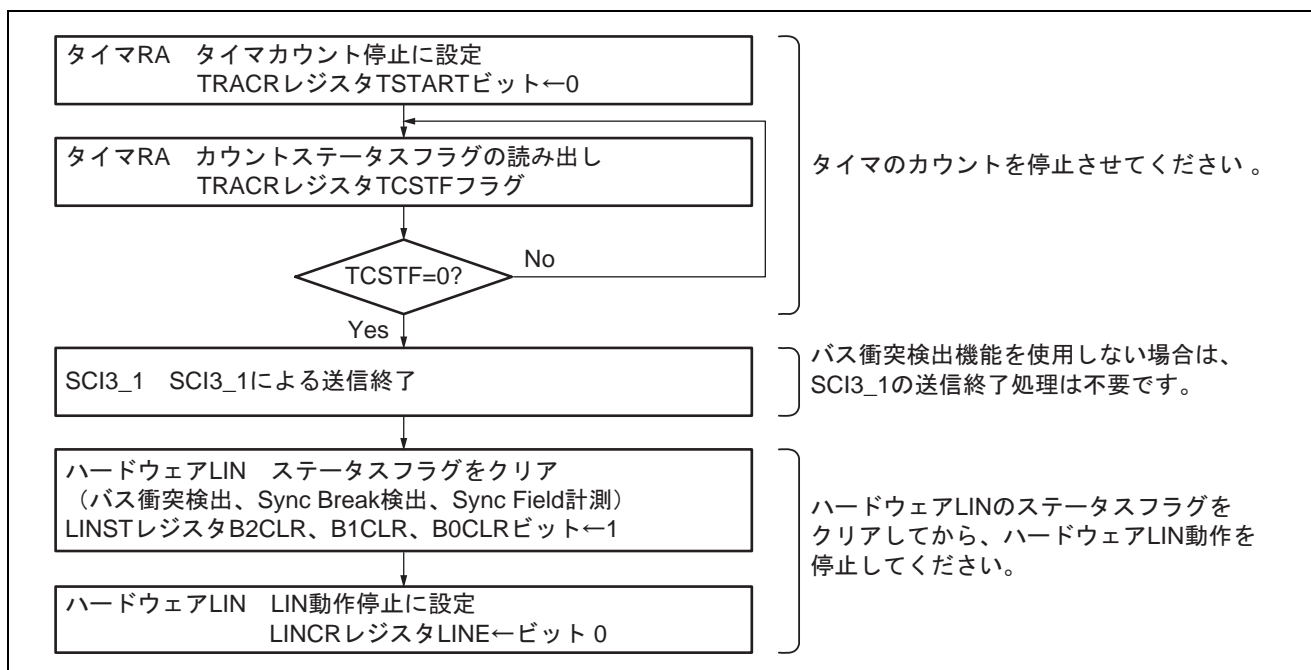


図 23.10 ハードウェア LIN 通信終了のフローチャート例

23.4 割り込み要求

ハードウェア LIN が生成する割り込み要求には、Sync Break 検出、Sync Break 発生完了、Sync Field 計測完了およびバス衝突検出の 4 種類があります。これらの割り込みは、タイマ RA の割り込みと兼用となっています。表 23.2 に割り込み要求の内容を示します。

表 23.2 ハードウェア LIN の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Sync Break 検出	SBDCT	タイマ RA により、RXD 入力のローレベルの期間を計測し、アンダフローしたとき また、通信中に Sync Break の期間より長いローレベルが入力されたとき
Sync Break 発生完了		タイマ RA により設定された期間、TXD へローレベル出力を完了したとき
Sync Field 計測完了	SFDCT	タイマ RA により、Sync Field の 8 ビット分の計測が完了したとき
バス衝突検出	BCDCT	SCI3_1 が送信許可のとき、データラッチタイミングで RXD 入力と TXD 出力の値が異なったとき

23.5 使用上の注意事項

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Sync Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

24. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器（1 ユニットまたは 2 ユニット）を内蔵しており、最大合計 16 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 24.1、図 24.2 に示します。

ユニット 1 とユニット 2 の相違点は、アナログ入力チャンネル数およびデータレジスタの本数のみで、その他の機能は同一です。

24.1 概要

- 分解能：10ビット
- 入力チャンネル：
ユニット 1：12 チャンネル（H8S/20223 グループ、H8S/20203 グループ、H8S/20215 グループ、
H8S/20235 グループ）、8 チャンネル（H8S/20103 グループ、H8S/20115 グループ）
ユニット 2：4 チャンネル（H8S/20223 グループ、H8S/20235 グループ）
- 変換時間：1チャンネル当たり 2 μ s（20MHz動作時）
- 動作モード：2種類
A/D 変換モード：選択されたアナログ入力を A/D 変換
コンペアモード：選択されたアナログ入力をユーザが設定した電圧と比較
- チャンネル選択モード
シングルモード：1 チャンネルの A/D 変換またはコンペア
スキャンモード：1~4 チャンネルの連続 A/D 変換または 1~8 チャンネルの連続 A/D 変換
- データレジスタ：8本（ユニット1）、4本（ユニット2）
A/D 変換結果は各チャンネルに対応した 16 ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
ソフトウェア
16 ビットタイマ（タイマ RC またはタイマ RD）による変換開始トリガ
外部トリガ信号
- 割り込み要因
A/D 変換終了割り込み要求（ADI）を発生
- コンペア結果が変化した場合、割り込み要求（CMPI）を発生
- モジュールスタンバイ機能の設定可能

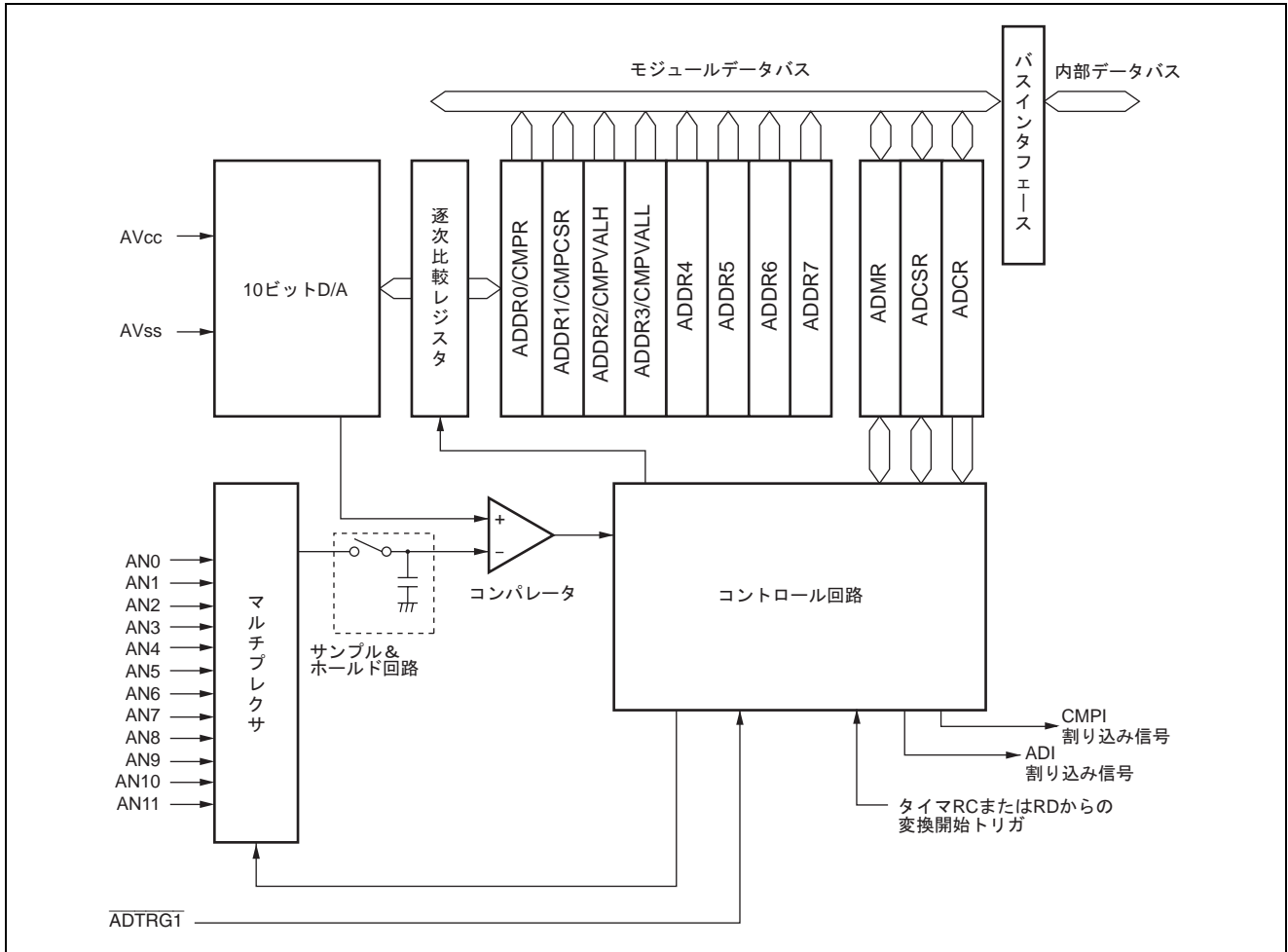


図 24.1 A/D 変換器 (ユニット 1) のブロック図

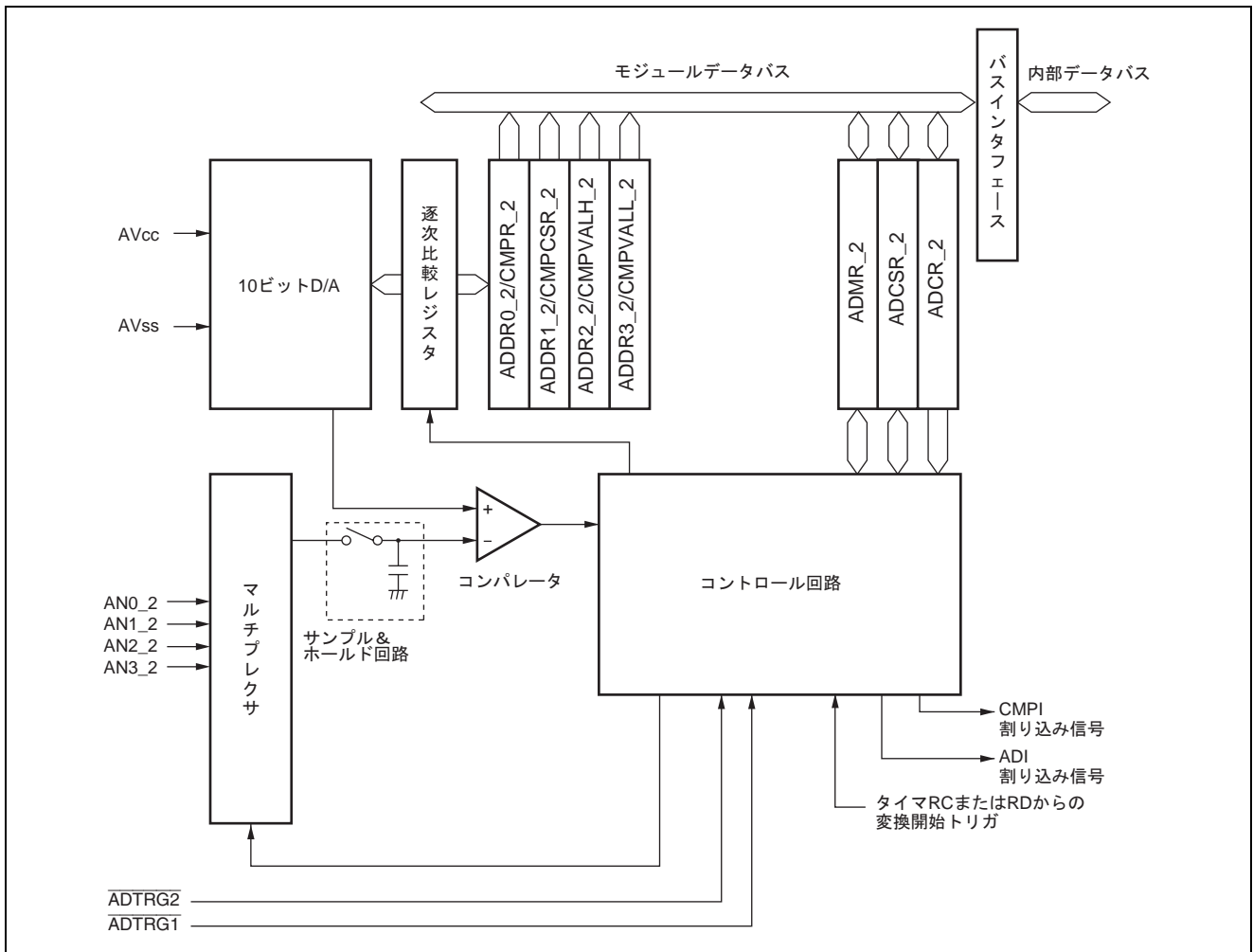


図 24.2 A/D 変換器 (ユニット 2) のブロック図

A/D 変換器で使用する入力端子を表 24.1 に示します。

AVcc、AVss 端子は、A/D 変換器内部のアナログ部の電源です。

ユニット 1 は 12 本のアナログ入力端子、ユニット 2 は 4 本のアナログ入力端子を持っています。製品グループにより本数が異なります。

表 24.1 端子構成

ユニット	端子名	入出力	機能
共通	AVcc	入力	アナログ部の電源端子
	AVss	入力	アナログ部のグランド端子
ユニット 1	AN0	入力	ユニット 1 グループ 0 のアナログ入力
	AN1	入力	
	AN2	入力	
	AN3	入力	
	AN4	入力	ユニット 1 グループ 1 のアナログ入力
	AN5	入力	
	AN6	入力	
	AN7	入力	
	AN8	入力	ユニット 1 グループ 2 のアナログ入力* ¹
	AN9	入力	
	AN10	入力	
	AN11	入力	
	$\overline{\text{ADTRG1}}$	入力	A/D 変換開始のための外部トリガ入力 1* ³
ユニット 2	AN0_2	入力	ユニット 2 グループ 0 のアナログ入力* ²
	AN1_2	入力	
	AN2_2	入力	
	AN3_2	入力	
		$\overline{\text{ADTRG2}}$	入力

【注】 *1 H8S/20103 グループ、H8S/20115 グループにはありません。

*2 H8S/20223 グループ、H8S/20235 グループのみの端子です。

*3 ユニット 2 のトリガ入力としても使用可能です。

24.2 レジスタの説明

A/D 変換器には以下のレジスタがあります。

ユニット 1

- A/Dデータレジスタ0 (ADDR0)
- A/Dデータレジスタ1 (ADDR1)
- A/Dデータレジスタ2 (ADDR2)
- A/Dデータレジスタ3 (ADDR3)
- A/Dデータレジスタ4 (ADDR4)
- A/Dデータレジスタ5 (ADDR5)
- A/Dデータレジスタ6 (ADDR6)
- A/Dデータレジスタ7 (ADDR7)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)
- A/Dモードレジスタ (ADMR)
- コンペアデータレジスタ (CMPR)
- コンペアコントロール/ステータスレジスタ (CMPCSR)
- コンペア電圧レジスタH (CMPVALH)
- コンペア電圧レジスタL (CMPVALL)

ユニット 2

- A/Dデータレジスタ0_2 (ADDR0_2)
- A/Dデータレジスタ1_2 (ADDR1_2)
- A/Dデータレジスタ2_2 (ADDR2_2)
- A/Dデータレジスタ3_2 (ADDR3_2)
- A/Dコントロール/ステータスレジスタ_2 (ADCSR_2)
- A/Dコントロールレジスタ_2 (ADCR_2)
- A/Dモードレジスタ_2 (ADMR_2)
- コンペアデータレジスタ_2 (CMPR_2)
- コンペアコントロール/ステータスレジスタ_2 (CMPCSR_2)
- コンペア電圧レジスタH_2 (CMPVALH_2)
- コンペア電圧レジスタL_2 (CMPVALL_2)

24.2.1 A/D データレジスタ 0~7 (ADDR0~ADDR7)

アドレス: H'FF05E0~H'FF05EE、H'FF0600~H'FF0606

ビット: b15 b14 b13 b12 b11 b10 b9 b8 b7 b6 b5 b4 b3 b2 b1 b0

										-	-	-	-	-	-
--	--	--	--	--	--	--	--	--	--	---	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ユニット 1 は ADDR0 ~ADDR7 の 8 本、ユニット 2 は ADDR0_2~ADDR3_2 の 4 本があります。各アナログ入力チャネルの変換結果が格納される ADDR は表 24.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 16 ビット幅です。アクセスは 16 ビットまたは 8 ビット×2 回のどちらも可能です。

表 24.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		変換結果が格納される A/D データレジスタ
チャンネルセット 0 (CH3=0)	チャンネルセット 1 (CH3=1)	
AN0	AN8	ADDR0
AN1	AN9	ADDR1
AN2	AN10	ADDR2
AN3	AN11	ADDR3
AN4	—	ADDR4
AN5	—	ADDR5
AN6	—	ADDR6
AN7	—	ADDR7

24.2.2 A/D コントロール/ステータスレジスタ (ADCSR)

アドレス: H'FF05F0、H'FF0610

ビット: b7 b6 b5 b4 b3 b2 b1 b0

ADF	ADIE	ADST	—	CH[3:0]			
-----	------	------	---	---------	--	--	--

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W																																										
7	ADF	A/D エンドフラグ	0: A/D 変換またはコンペア実行中 1: A/D 変換またはコンペアが終了 【1になる条件】 • シングルモードで A/D 変換またはコンペアが終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換またはコンペアが終了したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DTC が起動され、ADDR をリードしたとき	R/W*																																										
6	ADIE	A/D インタラプトイネーブル	0: ADF による割り込みがディスエーブル 1: ADF による割り込みがイネーブル	R/W																																										
5	ADST	A/D スタート	0: A/D 変換またはコンペアを中止、待機状態 1: A/D 変換またはコンペアを開始	R/W																																										
4	—	予約ビット	リードすると 0 が読み出されます。ライト時は"0"を書いてください。	—																																										
3~0	CH[3:0]	チャンネルセレクト 3~0	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%;">SCANE=0、 SCANS=x のとき</td> <td style="width: 33%;">SCANE=1、 SCANS=0 のとき</td> <td style="width: 33%;">SCANE=1、 SCANS=1 のとき</td> </tr> <tr> <td>0000 : AN0</td> <td>0000 : AN0</td> <td>0000 : AN0</td> </tr> <tr> <td>0001 : AN1</td> <td>0001 : AN0、AN1</td> <td>0001 : AN0、AN1</td> </tr> <tr> <td>0010 : AN2</td> <td>0010 : AN0~AN2</td> <td>0010 : AN0~AN2</td> </tr> <tr> <td>0011 : AN3</td> <td>0011 : AN0~AN3</td> <td>0011 : AN0~AN3</td> </tr> <tr> <td>0100 : AN4</td> <td>0100 : AN4</td> <td>0100 : AN0~AN4</td> </tr> <tr> <td>0101 : AN5</td> <td>0101 : AN4、AN5</td> <td>0101 : AN0~AN5</td> </tr> <tr> <td>0110 : AN6</td> <td>0110 : AN4~AN6</td> <td>0110 : AN0~AN6</td> </tr> <tr> <td>0111 : AN7</td> <td>0111 : AN4~AN7</td> <td>0111 : AN0~AN7</td> </tr> <tr> <td>1000 : AN8</td> <td>1000 : AN8</td> <td>1000 : AN8</td> </tr> <tr> <td>1001 : AN9</td> <td>1001 : AN8、AN9</td> <td>1001 : AN8、AN9</td> </tr> <tr> <td>1010 : AN10</td> <td>1010 : AN8~AN10</td> <td>1010 : AN8~AN10</td> </tr> <tr> <td>1011 : AN11</td> <td>1011 : AN8~AN11</td> <td>1011 : AN8~AN11</td> </tr> <tr> <td>11xx : 設定禁止</td> <td>11xx : 設定禁止</td> <td>11xx : 設定禁止</td> </tr> </table>	SCANE=0、 SCANS=x のとき	SCANE=1、 SCANS=0 のとき	SCANE=1、 SCANS=1 のとき	0000 : AN0	0000 : AN0	0000 : AN0	0001 : AN1	0001 : AN0、AN1	0001 : AN0、AN1	0010 : AN2	0010 : AN0~AN2	0010 : AN0~AN2	0011 : AN3	0011 : AN0~AN3	0011 : AN0~AN3	0100 : AN4	0100 : AN4	0100 : AN0~AN4	0101 : AN5	0101 : AN4、AN5	0101 : AN0~AN5	0110 : AN6	0110 : AN4~AN6	0110 : AN0~AN6	0111 : AN7	0111 : AN4~AN7	0111 : AN0~AN7	1000 : AN8	1000 : AN8	1000 : AN8	1001 : AN9	1001 : AN8、AN9	1001 : AN8、AN9	1010 : AN10	1010 : AN8~AN10	1010 : AN8~AN10	1011 : AN11	1011 : AN8~AN11	1011 : AN8~AN11	11xx : 設定禁止	11xx : 設定禁止	11xx : 設定禁止	R/W
SCANE=0、 SCANS=x のとき	SCANE=1、 SCANS=0 のとき	SCANE=1、 SCANS=1 のとき																																												
0000 : AN0	0000 : AN0	0000 : AN0																																												
0001 : AN1	0001 : AN0、AN1	0001 : AN0、AN1																																												
0010 : AN2	0010 : AN0~AN2	0010 : AN0~AN2																																												
0011 : AN3	0011 : AN0~AN3	0011 : AN0~AN3																																												
0100 : AN4	0100 : AN4	0100 : AN0~AN4																																												
0101 : AN5	0101 : AN4、AN5	0101 : AN0~AN5																																												
0110 : AN6	0110 : AN4~AN6	0110 : AN0~AN6																																												
0111 : AN7	0111 : AN4~AN7	0111 : AN0~AN7																																												
1000 : AN8	1000 : AN8	1000 : AN8																																												
1001 : AN9	1001 : AN8、AN9	1001 : AN8、AN9																																												
1010 : AN10	1010 : AN8~AN10	1010 : AN8~AN10																																												
1011 : AN11	1011 : AN8~AN11	1011 : AN8~AN11																																												
11xx : 設定禁止	11xx : 設定禁止	11xx : 設定禁止																																												

【記号説明】 x : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

1. 入力チャネルの設定は変換停止中 (ADST=0) に行ってください。
2. ユニット 2 では AN0_2~AN3_2 の 4 本の中から選択可能になります。CH3、CH2 ビットはかならず 0 を設定してください。

- ADST (A/Dスタート)

0 にクリアすると A/D 変換またはコンペアを中止し、待機状態になります。ソフトウェア、タイマ RC、タイマ RD の変換開始トリガ、または $\overline{\text{ADTRG}}$ 端子によって 1 にセットすると、A/D 変換またはコンペアを開始します。A/D 変換またはコンペア中は 1 を保持します。シングルモードでは選択したチャネルの A/D 変換またはコンペアが終了すると自動的にクリアされます。スキャンモードでは ADSTCLR ビットが 0 のとき、リセット、スタンバイモード、ソフトウェアによってクリアされるまで選択されたチャネルを順次連続変換します。また、ADSTCLR ビットが 1 のとき、選択されたすべてのチャネルの A/D 変換またはコンペアが終了したとき、ADST はクリアされます。

イベントリンク機能により ADST を 1 にセットすることが可能です。ELC の ELSR10 または ELS11 で設定したイベントが発生すると、それぞれ A/D 変換器ユニット 1 または A/D 変換器ユニット 2 の ADST ビットが 1 にセットされ、A/D 変換またはコンペアを開始します。

AN0、AN0_2 を変換チャネルとして選択する場合は、PMRA2、または PMRA3 によりアナログ入力端子に設定してください。

24.2.3 A/D コントロールレジスタ (ADCR)

アドレス: H'FF05F1、H'FF0611

ビット: b7 b6 b5 b4 b3 b2 b1 b0

TRGS[1:0]	SCANE	SCANS	CKS[1:0]	ADSTCLR	EXTRGS
-----------	-------	-------	----------	---------	--------

リセット後の値: 0 0 0 0 1 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	TRGS[1:0]	トリガセレクト 1、0	b0 b7 b6 0 0 0: 外部トリガによる A/D 変換開始を禁止 0 0 1: ADTRG1 による A/D 変換開始 0 1 0: ADTRG2 による A/D 変換開始* ¹ 0 1 1: タイマ RC からの変換トリガによる A/D 変換開始* ² 1 0 0: タイマ RD_0 からの変換トリガによる A/D 変換開始 1 0 1: タイマ RD_1 からの変換トリガによる A/D 変換開始* ³ 1 1 x: 予約 (設定禁止)	R/W
5	SCANE	チャンネル選択 モード	0x: シングルモード	R/W
4	SCANS		10: スキャンモード (1~4 チャンネルの連続 A/D 変換) 11: スキャンモード (1~8 チャンネルの連続 A/D 変換)	
3、2	CKS[1:0]* ⁴	クロック セレクト 1、0	00: 設定しないでください 01: 設定しないでください 10: 変換時間=84 ステート (max) (初期値) 11: 変換時間=43 ステート (max)	R/W
1	ADSTCLR	ADST クリア	1 にセットすると、スキャンモード時、選択されたすべてのチャンネルの A/D 変換が終了すると、自動的に ADST ビットがクリアされます。	R/W
0	EXTRGS	外部トリガ セレクト	TRGS1、TRGS0 ビットとの組み合わせにより、トリガ信号を選択します。詳細は、TRGS ビットを参照してください。	R/W

【記号説明】 x: Don't care

【注】 *1 H8S/20223 グループ、H8S/20235 グループのみ選択可能

*2 H8S/20103 グループ、H8S/20115 グループのみ選択可能

*3 H8S/20103 グループ、H8S/20115 グループは選択不可

*4 変換時間が規定の時間内に収まるように選択してください。

• TRGS[1:0] (トリガセレクト1、0)

EXTRGS ビットとの組み合わせで、トリガ信号による A/D 変換開始をイネーブルにします。

• CKS[1:0] (クロックセレクト1、0)

A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。

24.2.4 A/D モードレジスタ (ADMR)

アドレス: H'FF05F4、H'FF0614

ビット: b7 b6 b5 b4 b3 b2 b1 b0

	—	—	ADM1	—	—	—	—	—
--	---	---	------	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7、6	—	予約ビット	リードすると0が読み出されます。ライト時は0をライトしてください。	—
5	ADM1	A/D 変換器動作 モード選択	0 : A/D 変換モード 1 : コンペアモード	R/W
4~0	—	予約ビット	リードすると0が読み出されます。ライト時は0をライトしてください。	—

【注】 動作モード切り替えは、誤動作を避けるため、ADCSR の ADST ビットが0の状態で行ってください。

- ADM1 (A/D変換器動作モード選択)

A/D 変換モードからコンペアモードに変更すると、CMPR、CMPCSR、CMPVAL は H'00 に初期化されま
す。

24.2.5 コンペアデータレジスタ (CMPR)

アドレス: H'FF05E0、H'FF0600

ビット: b7 b6 b5 b4 b3 b2 b1 b0

CMP7	CMP6	CMP5	CMP4	CMP3	CMP2	CMP1	CMP0
------	------	------	------	------	------	------	------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	CMP7	コンペアデータ 7	<p>【1になる条件】</p> <ul style="list-style-type: none"> コンペアモード時、選択されたアナログ入力チャネル電圧が、CMPVAL レジスタでの設定電圧よりも大きいとき <p>【0になる条件】</p> <ul style="list-style-type: none"> ADMR の ADM ビットの設定で、A/D 変換モードからコンペアモードに変更したとき コンペアモード時、選択されたアナログ入力チャネル電圧が、CMPVAL レジスタでの設定電圧以下のとき 	R
6	CMP6	コンペアデータ 6		R
5	CMP5	コンペアデータ 5		R
4	CMP4	コンペアデータ 4		R
3	CMP3	コンペアデータ 3		R
2	CMP2	コンペアデータ 2		R
1	CMP1	コンペアデータ 1		R
0	CMP0	コンペアデータ 0		R

CMPR は、コンペアした結果を格納します。CMPR は ADDR0、ADDR0_2 と同一アドレスに割り付けられたリード専用のレジスタで、コンペアモード設定時、有効になります。

各ビットと対応するアナログ入力チャネルの関係を表 24.3 に示します。

表 24.3 アナログ入力チャネルとコンペア結果格納ビットの対応

ユニット	チャネル		コンペア結果対応ビット
ユニット 1	AN0	AN8	CMP0
	AN1	AN9	CMP1
	AN2	AN10	CMP2
	AN3	AN11	CMP3
	AN4	—	CMP4
	AN5	—	CMP5
	AN6	—	CMP6
	AN7	—	CMP7
ユニット 2	AN0_2	—	CMP0
	AN1_2	—	CMP1
	AN2_2	—	CMP2
	AN3_2	—	CMP3

24.2.6 コンペアコントロール/ステータスレジスタ (CMPCSR)

アドレス: H'FF05E2、H'FF0602

ビット: b7 b6 b5 b4 b3 b2 b1 b0

CMPF	CMPIE	CMPFC1	CMPFC0	—	—	—	—
------	-------	--------	--------	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	CMPF	CMPI 割り込みステータスフラグ	<p>【1になる条件】</p> <ul style="list-style-type: none"> コンペア終了時、CMPFC1、0 ビット設定した条件を満たしたとき <p>【0になる条件】</p> <ul style="list-style-type: none"> ADMR の ADM ビットの設定で、A/D 変換器モードからコンペアモードに切り替えたとき 1 の状態をリードした後、0 をライトしたとき CMPI 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが0 とき スタンバイモードまたはモジュールスタンバイ時 	R/W
6	CMPIE	CMPI 割り込みイネーブル	<p>0 : CMPF による CMPI 割り込みがディスエーブル</p> <p>1 : CMPF による CMPI 割り込みがイネーブル</p>	R/W
5	CMPFC1	CMPI 割り込み条件 1	<p>0 : コンペア結果の変化による割り込みを発生させない</p> <p>1 :</p> <p>シングルコンペアモード時</p> <p>選択されたチャネルのコンペア結果が 0 から 1 に変化したとき、CMPF をセット</p> <p>スキャンコンペアモード時</p> <p>選択されたチャネルのいずれかのコンペア結果が 0 から 1 に変化したとき CMPF をセット</p>	R/W
4	CMPFC0	CMPI 割り込み条件 0	<p>0 : コンペア結果の変化による割り込みを発生させない</p> <p>1 :</p> <p>シングルコンペアモード時</p> <p>選択されたチャネルのコンペア結果が 1 から 0 に変化したとき、CMPF をセット</p> <p>スキャンコンペアモード時</p> <p>選択されたチャネルのいずれかのコンペア結果が 1 から 0 に変化したとき CMPF をセット</p>	R/W
3~0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 をライトしてください。	—

【記号説明】 x : Don't care

24.2.7 コンペア電圧レジスタ H、L (CMPVALH、CMPVALL)

・CMPVALH

アドレス: H'FF05E4、H'FF0604

ビット: b7 b6 b5 b4 b3 b2 b1 b0

—	—	—	—	—	—	VAL9	VAL8
---	---	---	---	---	---	------	------

リセット後の値: 0 0 0 0 0 0 0 0

・CMPVALL

アドレス: H'FF05E6、H'FF0606

ビット: b7 b6 b5 b4 b3 b2 b1 b0

VAL7	VAL6	VAL5	VAL4	VAL3	VAL2	VAL1	VAL0
------	------	------	------	------	------	------	------

リセット後の値: 0 0 0 0 0 0 0 0

• CMPVALH

ビット	シンボル	ビット名	説明	R/W
7~2	—	予約ビット	リードすると0が読み出されます。ライト時は"0"を書いてください。	—
1	VAL9	—	コンペア電圧 VAL[9:8]を設定します。	R/W
0	VAL8	—		R/W

• CMPVALL

ビット	シンボル	ビット名	説明	R/W
7	VAL7	—	コンペア電圧 VAL[7:0]を設定します。	R/W
6	VAL6	—		R/W
5	VAL5	—		R/W
4	VAL4	—		R/W
3	VAL3	—		R/W
2	VAL2	—		R/W
1	VAL1	—		R/W
0	VAL0	—		R/W

CMPVALH、CMPVALL は、CMPVALH の下位 2 ビットと CMPVALL を合わせて、コンペアする電圧を設定します。本レジスタはそれぞれ、ADDR2、ADDR3、ADDR2_2、ADDR3_2 と同一アドレスに割り付けられたレジスタで、コンペアモード設定時、有効になります。

VAL[9:0]設定値とコンペアする電圧値の対応関係を表 24.4 に示します。

表 24.4 設定値に対応するコンペア電圧値

VAL[9:0]設定値	コンペア設定値
B'000000000	AVss
B'000000001	$AV_{cc} \times 1/1024$
B'000000010	$AV_{cc} \times 2/1024$
.....
B'111111100	$AV_{cc} \times 1020/1024$
B'111111101	$AV_{cc} \times 1021/1024$
B'111111110	$AV_{cc} \times 1022/1024$
B'111111111	$AV_{cc} \times 1023/1024$

24.3 動作説明

本 A/D 変換器は表 24.5 に示すように、2 種類の動作モードがあります。A/D 変換モードでは指定されたチャンネルのアナログ入力を逐次比較方式、10 ビットの分解能で A/D 変換を行います。コンペアモードでは、指定されたチャンネルのアナログ入力と設定した電圧とでコンペアを行います。

各モードはそれぞれ、チャンネル選択モードとして、シングルモードとスキャンモードの 2 種類あります。アナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

表 24.5 動作モード一覧

動作モード	チャンネル選択モード	レジスタの設定
A/D 変換モード	シングルモード	ADM1=0、SCANE=0
	スキャンモード	ADM1=0、SCANE=1
コンペアモード	シングルモード	ADM1=1、SCANE=0
	スキャンモード	ADM1=1、SCANE=1

24.4 A/D 変換モード

24.4.1 A/D 変換シングルモード

1. A/D変換シングルモードは、指定された1チャンネルのアナログ入力を以下のように1回A/D変換します。
ソフトウェアまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。

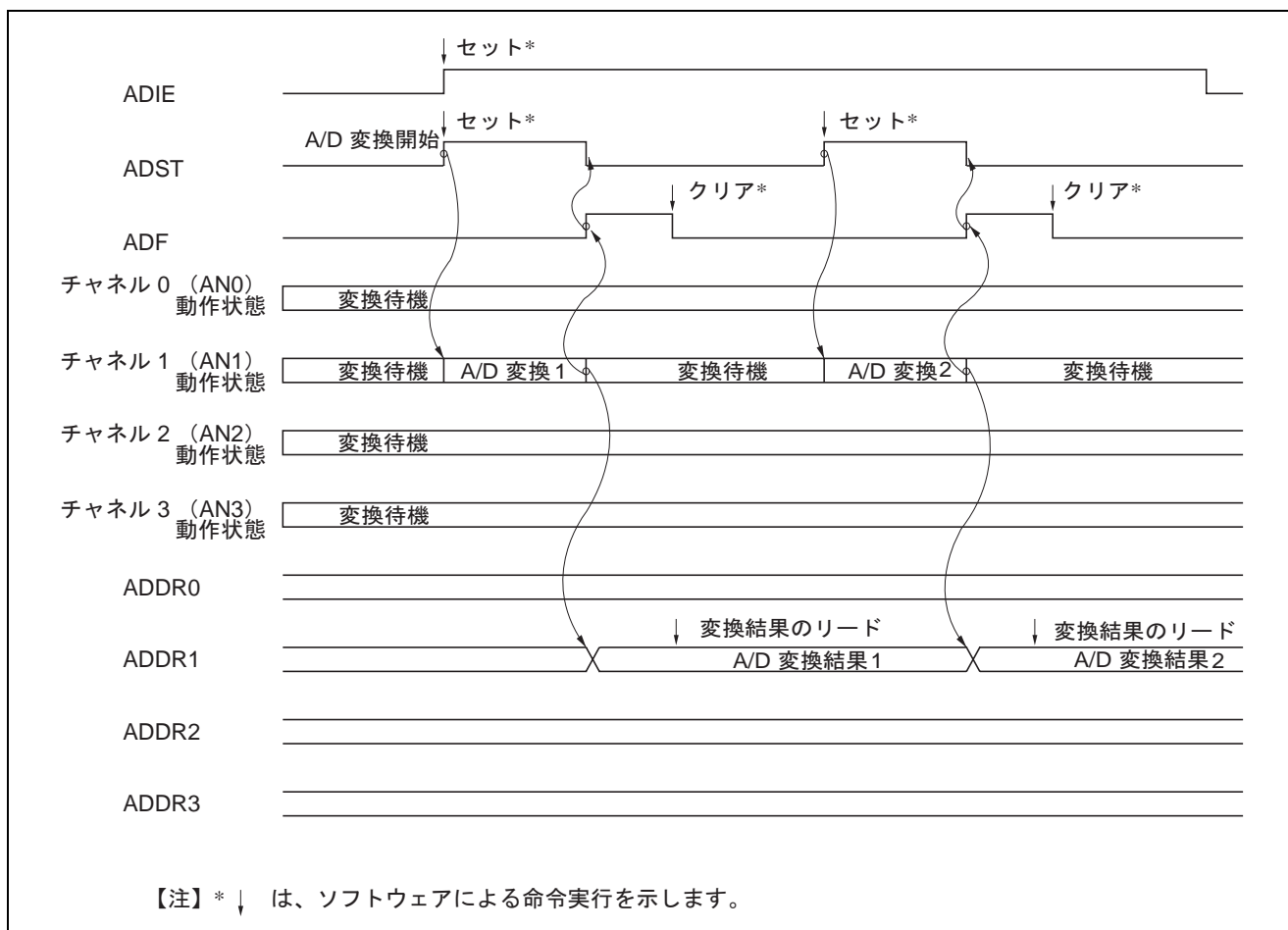


図 24.3 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

24.4.2 A/D 変換スキャンモード

スキャンモードは指定された最大4チャンネルまたは最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

- ソフトウェア、タイマRC、タイマRDまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルセットの第1チャンネルからA/D変換を開始します。
最大4チャンネルの連続A/D変換 (SCANE=1、SCANS=0) または最大8チャンネルの連続A/D変換 (SCANE=1、SCANS=1) を選択できます。4チャンネルの連続A/D変換の場合は、CH3=0、CH2=0のときAN0、CH3=0、CH2=1のときAN4、CH3=1、CH2=0のときAN8からA/D変換を開始します。8チャンネル連続A/D変換の場合は、CH3=0、CH2=0のときAN0からA/D変換を開始します。
- それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
- 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネルセットの第一チャンネルからA/D変換を開始します。
- ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

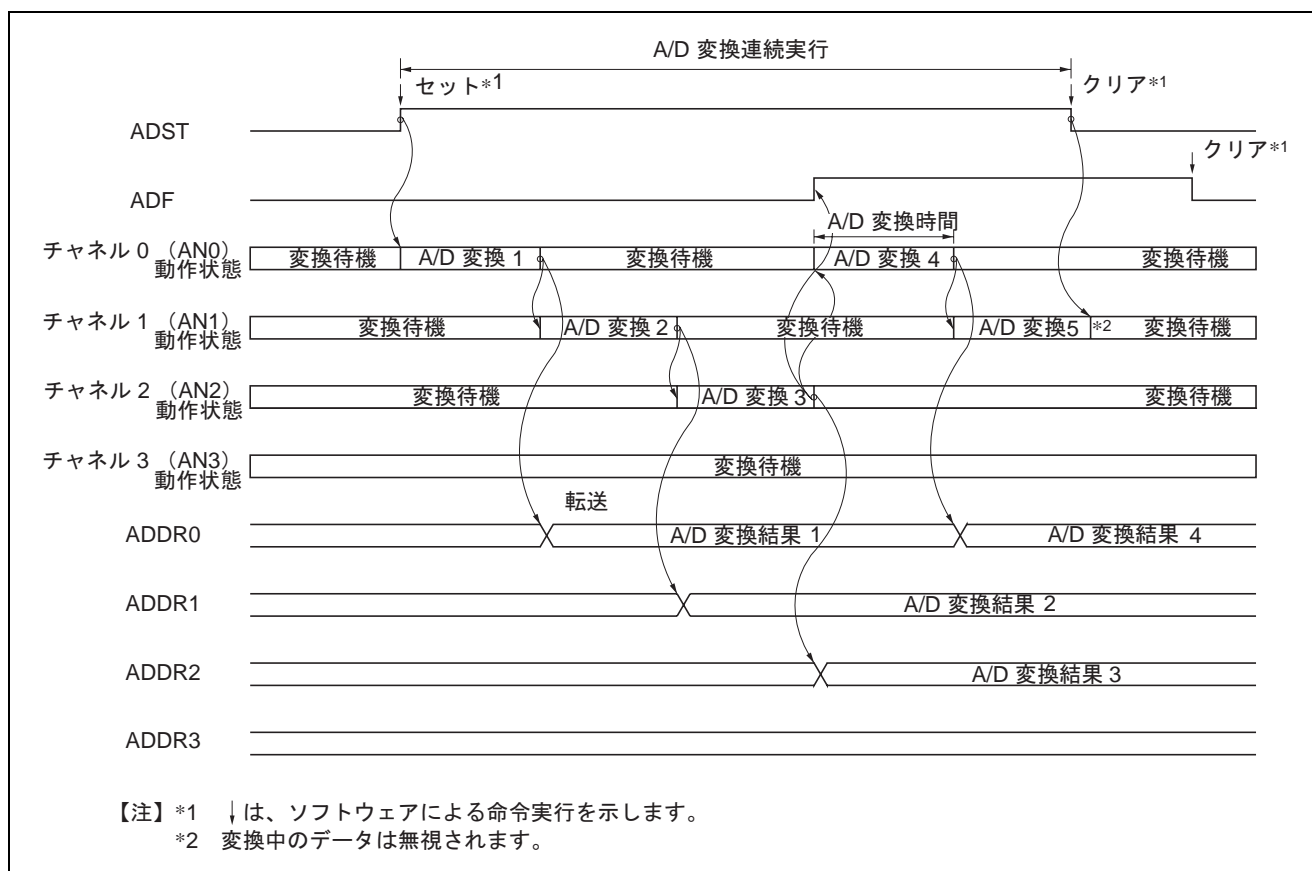


図 24.4 A/D 変換器の動作例 (スキャンモード、AN0~AN2 の3チャンネル選択時)

24.5 コンペアモード動作

24.5.1 コンペアシングルモード

コンペアシングルモードは、指定された1チャンネルのアナログ入力と設定された電圧のコンペアを行います。チャンネルの指定はA/D変換モードと同様にADCSRのCH[3:0]ビットで行います。

1. ソフトウェアまたは外部トリガ入力によって、ADCSRのADSTビットが1にセットされると、選択されたチャンネルとVAL[9:0]ビットで設定した電圧のコンペアを開始します。
2. コンペアが終了すると、コンペア結果がそのチャンネルに対応するビットに転送されます。
3. コンペア終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。また、CMPFC1、CMPFC0ビットで選択された条件が起きたとき、CMPCSRのCMPFビットが1にセットされます。このとき、CMPIEビットが1にセットされていると、CMPI割り込み要求を発生します。
4. ADSTビットは、コンペア中は1を保持し、コンペアが終了すると自動的にクリアされて、A/D変換器は待機状態になります。また、コンペア中にADSTビットを0にクリアすると、コンペアを中止し、A/D変換器は待機状態になります。

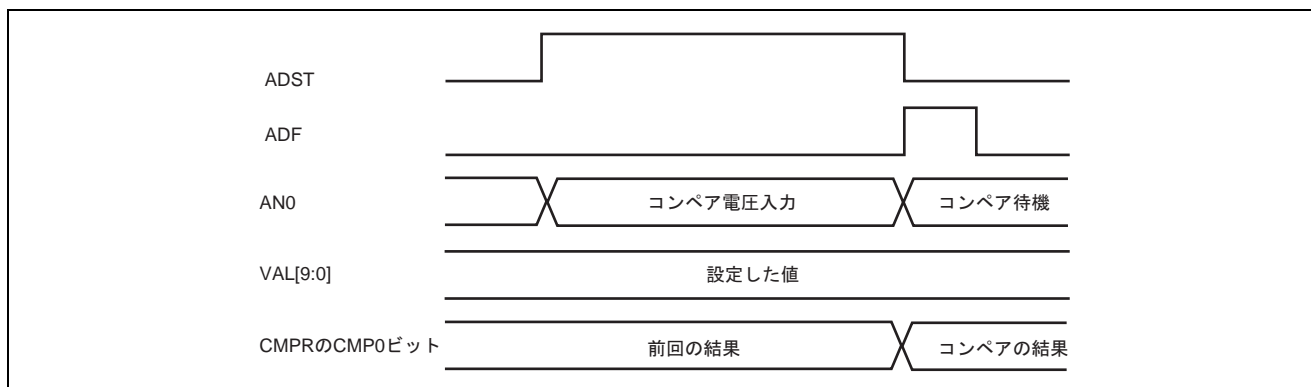


図 24.5 コンペアモードの動作例（シングルモード、チャンネル0 選択時）

24.5.2 コンペアスキャンモード

コンペアスキャンモードは、指定された最大4チャンネルまたは8チャンネルのアナログ入力を以下のように順次連続してコンペアします。

- ソフトウェア、タイマRC、タイマRDまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルとVAL[9:0]で設定した電圧のコンペアを開始します。
最大4チャンネルの連続コンペア (SCANE=1、SCANS=0) または最大8チャンネルの連続コンペア (SCANE=1、SCANS=1) を選択できます。4チャンネルの連続コンペアの場合は、CH3=0、CH2=0のときAN0、CH3=0、CH2=1のときAN4、CH3=1、CH2=0のときAN8からコンペアを開始します。8チャンネル連続コンペアの場合は、CH3=0、CH2=0のときAN0からコンペアを開始します。
- それぞれのチャンネルのコンペアが終了するとコンペア結果は順次そのチャンネルに対応するビットへ転送されます。
- 選択されたすべてのチャンネルのコンペアが終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求が発生します。また、選択されたいずれかのチャンネルにおいてCMPFC1、CMPFC0ビットで選択された条件が発生すると、CMPCSRのCMPFビットが1にセットされます。このとき、CMPIEビットが1にセットされていると、CMPI割り込み要求が発生します。A/D変換器は再び、チャンネルセットの第1チャンネルからコンペアを開始します。
- ADSTCLR=0のときADSTビットは自動的にクリアされず2.~3.を繰り返します。ADSTビットを0にクリアするとコンペアを中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからコンペアを開始します。

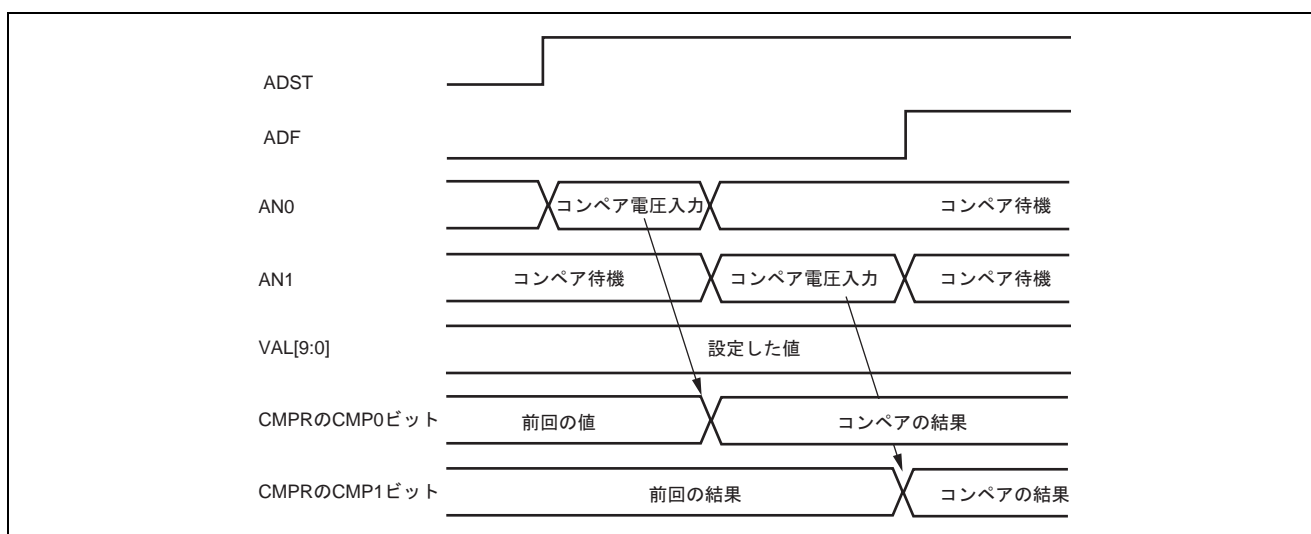


図 24.6 コンペアモードの動作例 (スキャンモード、AN0、AN1 の 2 チャンネル選択時)

24.5.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 24.7 に示します。また、A/D 変換時間を表 24.6 に示します。

A/D 変換時間 (t_{CONV}) は、図 24.7 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 24.7 に示す範囲で変化します。

スキャンモードの変換時間は、表 24.6 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 24.7 に示す値となります。

いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように、ADCR の CKS[1:0] ビットを設定してください。

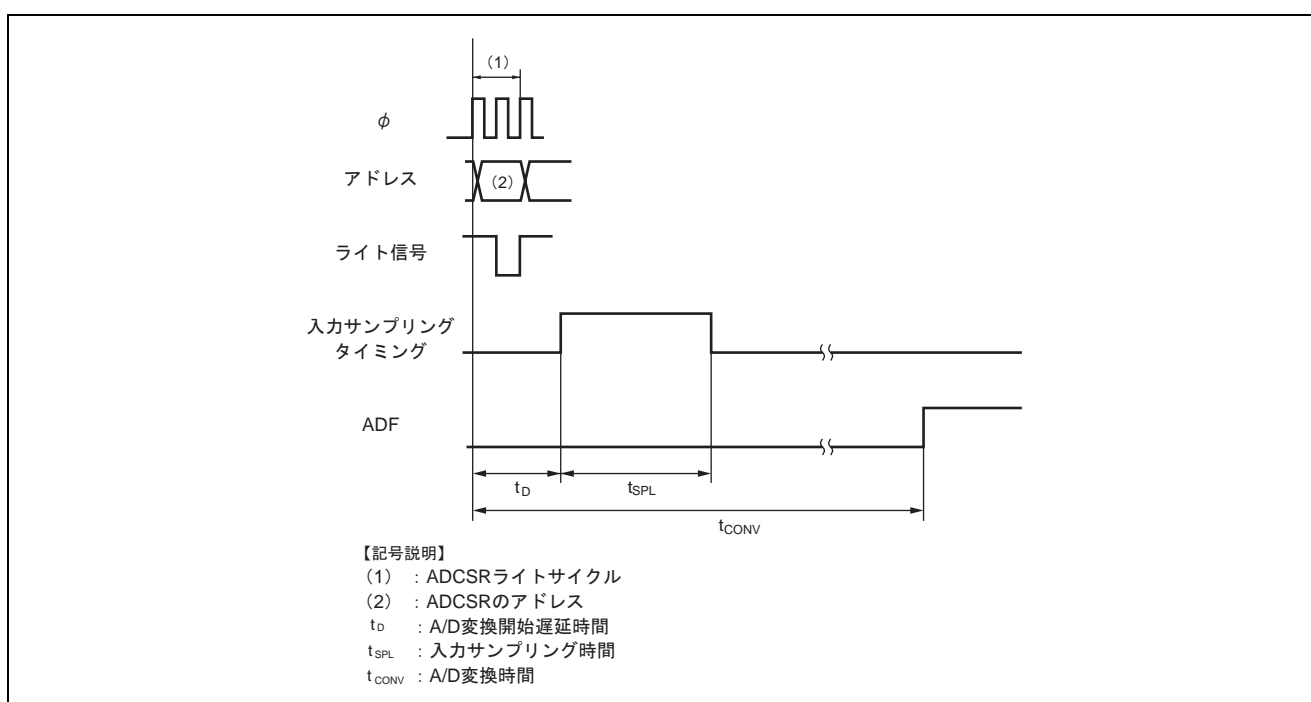


図 24.7 A/D 変換タイミング

表 24.6 A/D 変換時間 (シングルモード)

項目	記号	CKS1=1					
		CKS0=0			CKS0=1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	3	—	4	—	3	—
入力サンプリング時間	t_{SPL}	—	30	—	—	15	—
A/D 変換時間	t_{CONV}	83	—	84	—	43	—

【注】表中の数値の単位はステートです。

表 24.7 A/D 変換時間（スキャンモード）

CKS1	CKS0	変換時間（ステート）
1	0	80
	1	40

24.5.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の EXTRGS、TRGS1、TRGS0 ビットが B'001 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 24.8 に示します。

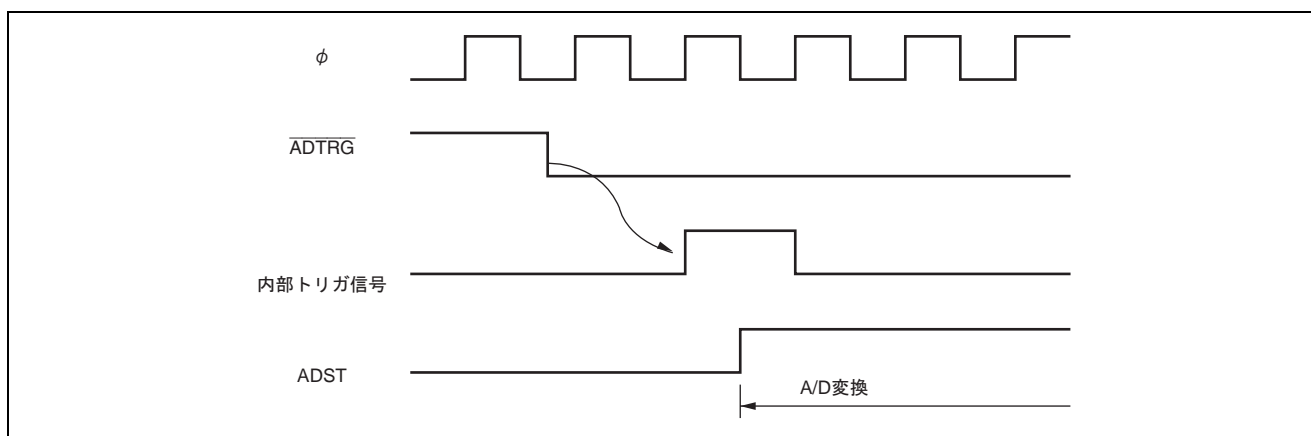


図 24.8 外部トリガ入力タイミング

24.6 割り込み要因

A/D 変換モードの場合、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後、ADCSR の ADF が 1 にセットされます。このとき、ADIE が 1 にセットされていると、ADI 割り込みが発生します。

コンペアモードの場合、設定したチャンネルとのコンペア結果が変化するとき (1 から 0、0 から 1 または両方の 3 種類)、コンペア結果変化割り込み (CMPI) を発生します。CMPI 割り込み要求は、選択されたチャンネルとのアナログコンペア結果が設定した条件を満たしたとき、CMPF の対応するビットがセットされます。このとき、CMPIE が 1 にセットされていると CMPI 割り込みが発生します。

ADI 割り込みまたは CMPI 割り込みにより、DTC を起動可能です。これらの割り込みで A/D 変換結果またはコンペア結果のリードを DTC により行うことで、ソフトウェアの負担なしに、連続変換することが可能です。

表 24.8 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI	A/D 変換終了または コンペア終了	ADF	可
CMPI	コンペア結果変化	CMPF	可

24.7 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D 変換器のデジタル出力コード数
- 量子化誤差
A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる (図 24.9)
- オフセット誤差
デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 24.10)
- フルスケール誤差
デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化する時のアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 24.10)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図 24.10)。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

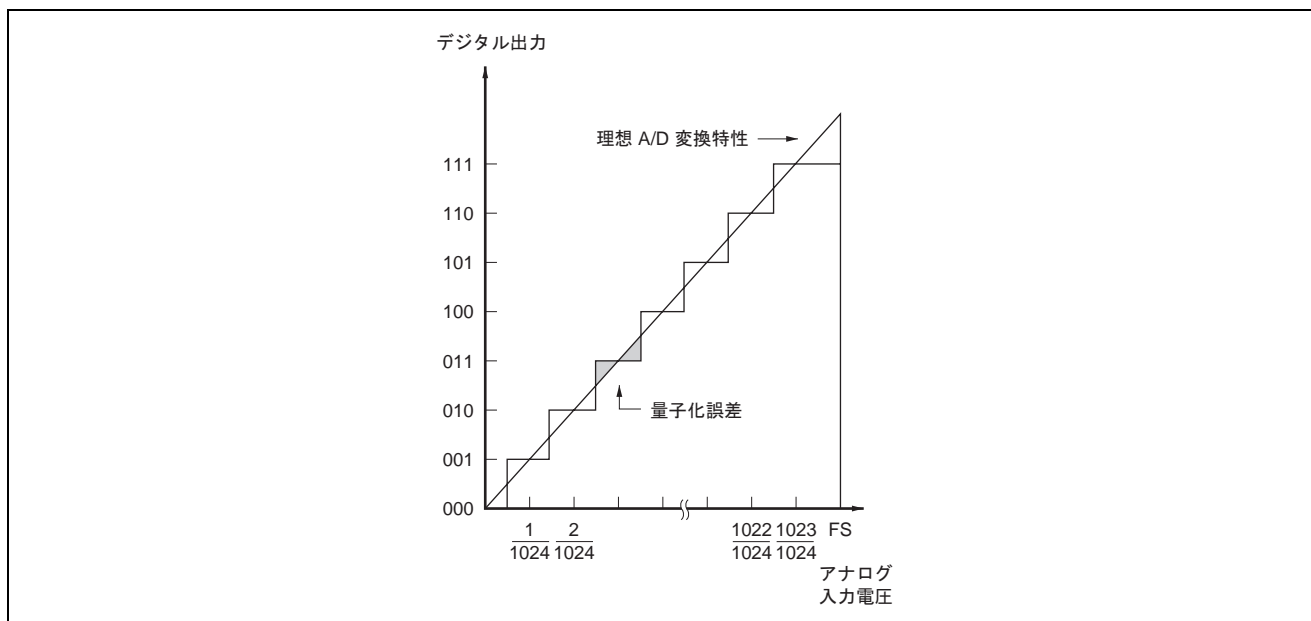


図 24.9 A/D 変換精度の定義

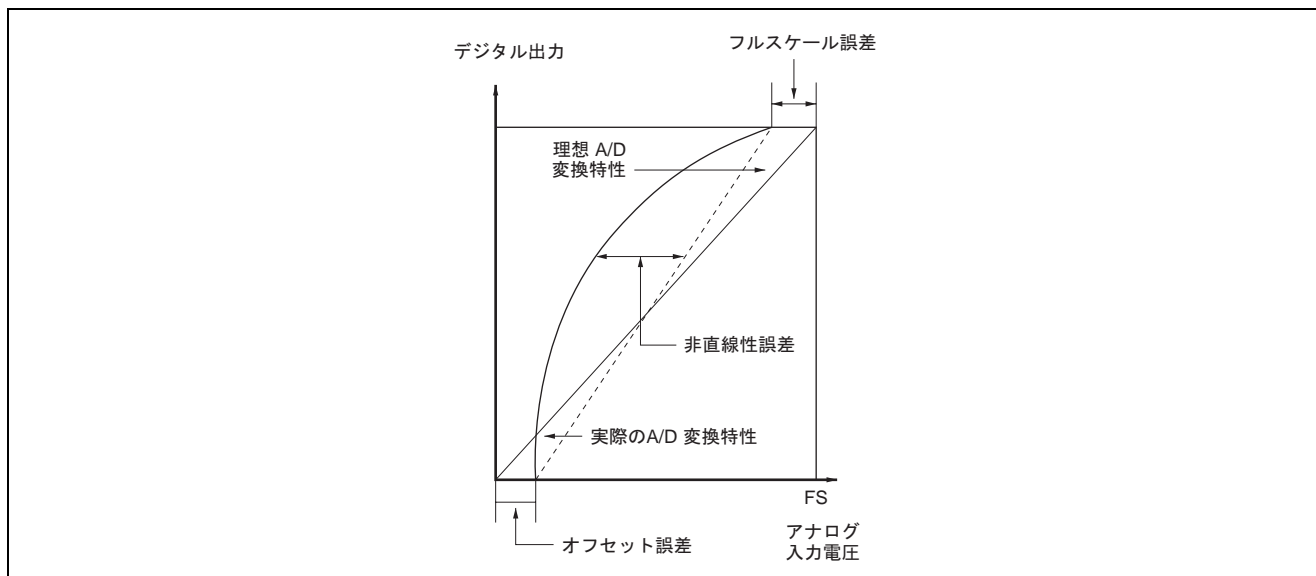


図 24.10 A/D 変換精度の定義

24.8 使用上の注意事項

24.8.1 モジュールスタンバイ機能の設定

モジュールスタンバイコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールスタンバイ機能を解除することにより、レジスタのアクセスが可能になります。詳細は、「第 6 章 低消費電力状態」を参照してください。

24.8.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合は、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できないことがあります（図 24.11）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

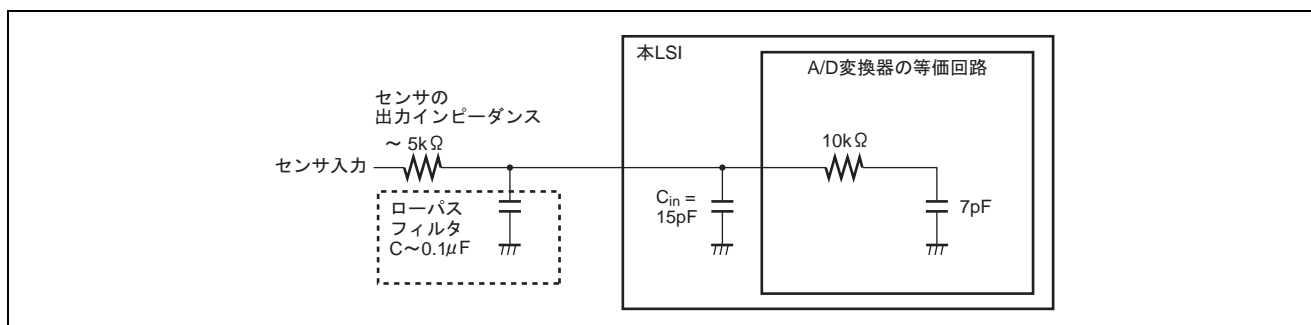


図 24.11 アナログ入力回路の例

24.8.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{ss}等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

24.8.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{ss} \leq AN_n \leq AV_{cc}$ の範囲としてください。

- AV_{cc}、AV_{ss}と V_{cc}、V_{ss}の関係

AV_{cc}、AV_{ss} と V_{cc}、V_{ss} との関係は $AV_{cc} \leq V_{cc}$ かつ $AV_{ss} = V_{ss}$ とし、さらに、A/D 変換器を使用しないときも AV_{cc}、AV_{ss} 端子をオープンにしないでください。

24.8.5 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 (AN0~AN1、AN0_2~AN3_2)、アナログ電源電圧 (AV_{cc}) は、アナロググランド (AV_{ss}) で、デジタル回路と分離してください。さらに、アナロググランド (AV_{ss}) は、ボード上の安定したグランド (V_{ss}) に一点接続してください。

24.8.6 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN11、AN0_2～AN3_2）の破壊を防ぐために、**図 24.12**に示すように AVcc—AVss 間に保護回路を接続してください。AVcc に接続するバイパスコンデンサ、AN0～AN11、AN0_2～AN3_2 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN11、AN0_2～AN3_2 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

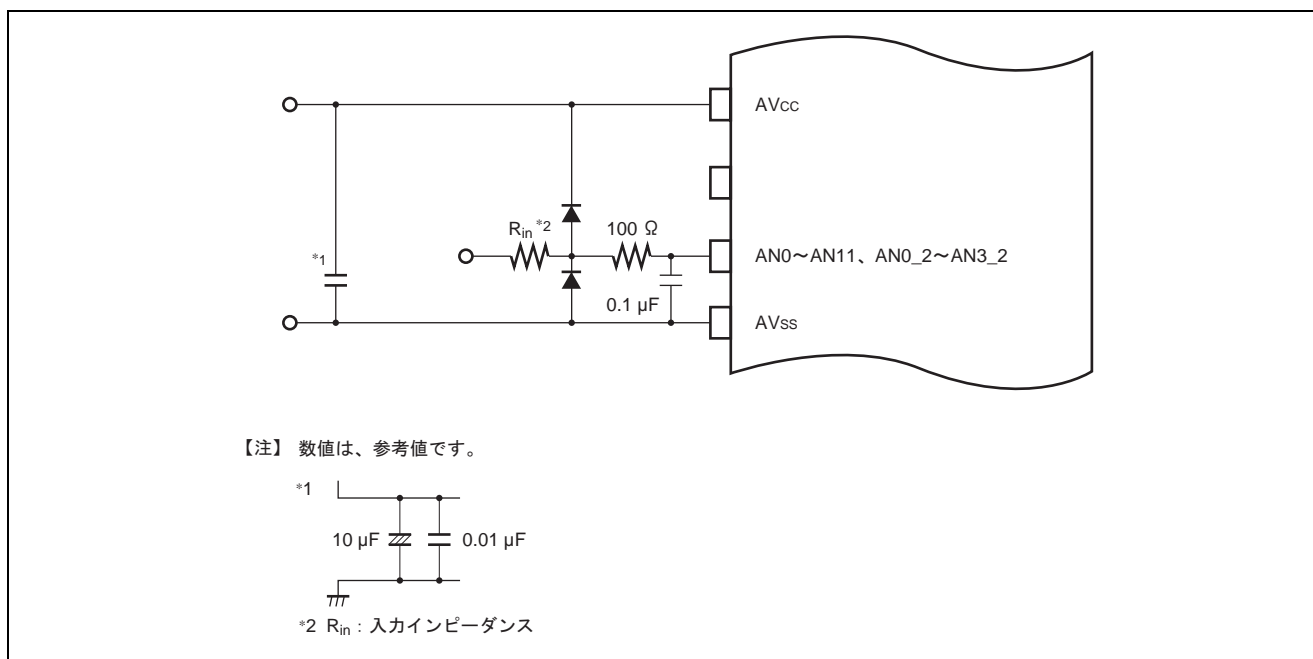


図 24.12 アナログ入力保護回路の例

24.8.7 アナログ入力端子について

アナログ入力端子（AN0～AN11、AN0_2～AN3_2）は汎用ポートとの兼用端子ですので、A/D 変換中に汎用ポートの入出力を切り替えたり、出力値を変化させたりすると、変換精度に影響を与えることがあります。

そのため、アナログ入力端子と兼用の端子を汎用ポートとして使用する場合は、A/D 変換精度への影響を十分に評価した上で使用してください。

25. D/A 変換器

25.1 概要

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大 $3\mu\text{s}$ （負荷容量 20pF 時）
- 出力電圧： $0\text{V}\sim\text{AVcc}$
- モジュールスタンバイモードの設定可能

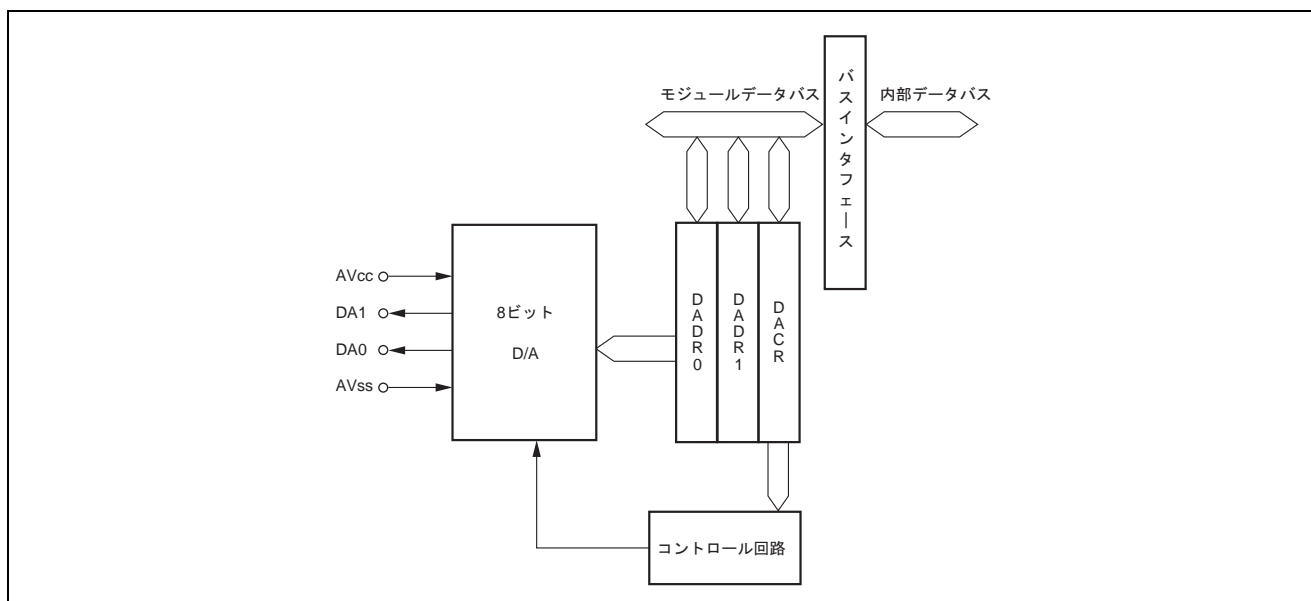


図 25.1 D/A 変換器のブロック図

D/A 変換器で使用する入出力端子を表 25.1 に示します。

表 25.1 端子構成

端子名	入出力	機能
AVcc	入力	アナログ部の電源端子
AVss	入力	アナログ部のグランド端子
DA0	出力	チャンネル0のアナログ出力
DA1	出力	チャンネル1のアナログ出力

25.2 レジスタの説明

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ (DACR)

25.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

・ DADR0、DADR1

アドレス: H'FF05D4、H'FF05D5

ビット: b7 b6 b5 b4 b3 b2 b1 b0



リセット後の値: 0 0 0 0 0 0 0 0

DADR0 は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換され、アナログ出力端子に出力されます。

スタンバイモードおよびモジュールスタンバイ時、DADR は H'00 に初期化されます。

25.2.2 D/A コントロールレジスタ (DACR)

アドレス: H'FF05D6

ビット: b7 b6 b5 b4 b3 b2 b1 b0

DAOE1	DAOE0	—	—	—	—	—	—
-------	-------	---	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	DAOE1	D/A アウトプットイネーブル1	0: チャンネル1のアナログ出力(DA1)を禁止 1: チャンネル1のD/A変換を許可。チャンネル1のアナログ出力(DA1)を許可	R/W
6	DAOE0	D/A アウトプットイネーブル0	0: チャンネル0のアナログ出力(DA0)を禁止 1: チャンネル0のD/A変換を許可。チャンネル0のアナログ出力(DA0)を許可	R/W
5~0	—	予約ビット	リードすると常に0が読み出されます。ライト時は"0"を書いてください。	—

【注】 スタンバイモードおよびモジュールスタンバイ時、DACRの値は保持されます。

- DAOE1、0 (D/Aアウトプットイネーブル1、0)

D/A変換とアナログ出力を制御します。

イベントリンク機能により、DAOE[1:0]ビットを1にセットすることが可能です。ELCのELSR31またはELSR32で設定されたイベントが発生すると、それぞれDAOE1またはDAOE0ビットが1にセットされ、D/A変換出力を開始します。

25.3 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACRのDAOEビットを"1"にセットすると、D/A変換が許可され変換結果が出力されます。チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図25.2に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを"1"にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを"0"にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times AV_{CC}$$

3. DADR0を書き換えると直ちに变換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを"0"にクリアするとアナログ出力を禁止します。

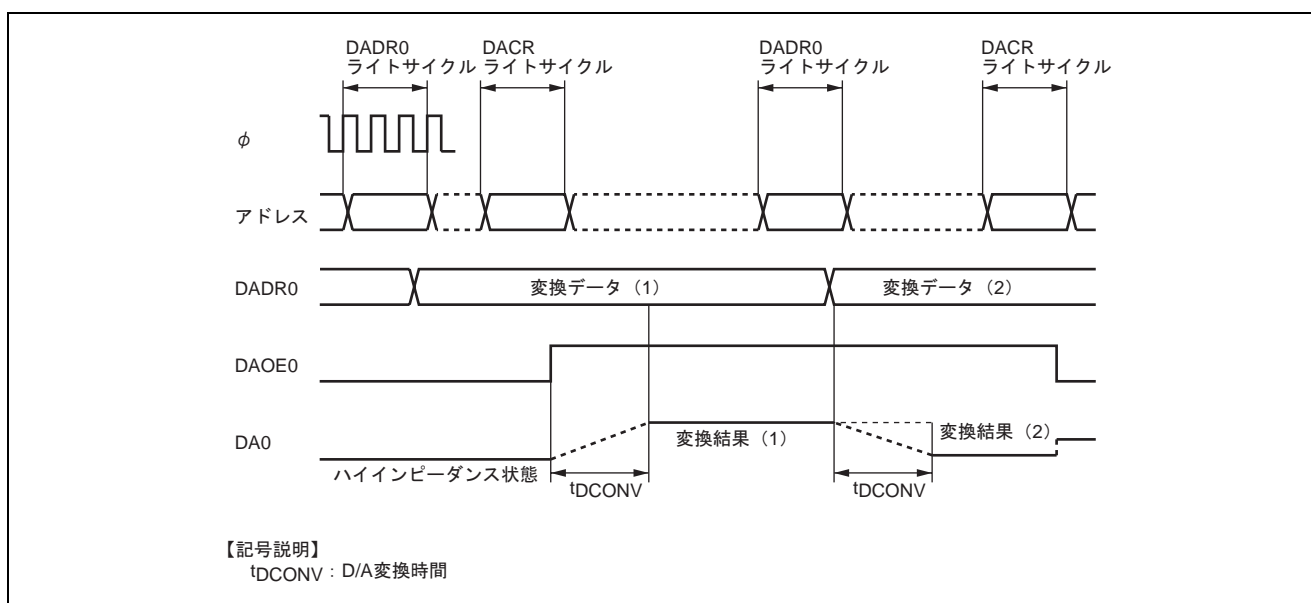


図 25.2 D/A 変換器の動作例

25.4 使用上の注意事項

25.4.1 モジュールスタンバイ機能の設定

モジュールスタンバイコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールスタンバイ機能を解除することにより、レジスタのアクセスが可能になります。モジュールスタンバイ時は、DADR は初期化されます。

25.4.2 スタンバイモード時の動作

D/A 変換を許可した状態で本 LSI がスタンバイモードになると、DADR は初期化され、DACR は保持されます。スタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE1、DAOE0 ビットを 0 にクリアして D/A 出力を禁止にしてください。

26. 低電圧検出回路

本 LSI は低電圧検出回路を 3 モジュール(LVD0、LVD1、LVD2)を内蔵しています。

低電圧検出回路は、電源電圧降下による本 LSI の異常動作（暴走）を防ぎ、かつ電源電圧の再上昇時に電源電圧降下前の状態を再現するために使われる回路です。

電源電圧が降下しても、動作保証電圧以上でかつ正常動作中にスタンバイモードに遷移することで、電源電圧が動作保証電圧以下へ降下したときの不安定な状態をなくし、システムの安全性を高められます。さらに電源電圧が降下してしまった場合には自動的にリセット状態に遷移します。再度電源電圧が上昇するとアクティブモードに自動的に遷移します。

本回路は VCC 端子に入力する電源電圧を監視して、電圧検出時には割り込み、リセットを選択して使用できます。

低電圧検出回路のブロック図を図 26.1 に、LVD2、LVD1 と LVD0 回路の割り込み／リセット発生回路のブロック図を図 26.2、図 26.3、図 26.4 に示します。

26.1 特長

- パワーオンリセット機能

電源投入時に VCC 端子に入力する電源電圧を監視して内部リセット信号を発生
電源電圧が一定電圧より上昇した場合にリセットを解除

- 低電圧検出機能

低電圧検出リセット機能：電源電圧を監視して、一定電圧より降下した場合に内部リセット信号を発生
低電圧検出割り込み機能：電源電圧を監視して、一定電圧より降下または上昇した場合に割り込みを発生
電源電圧の検出レベル：LVD1 は 9 段階、LVD0 は 2 段階より選択可能（LVD2 はレベル固定）
外部電圧入力機能：検出の検知電圧、比較電圧はそれぞれ外部入力端子を選択可能（LVD2 のみ）

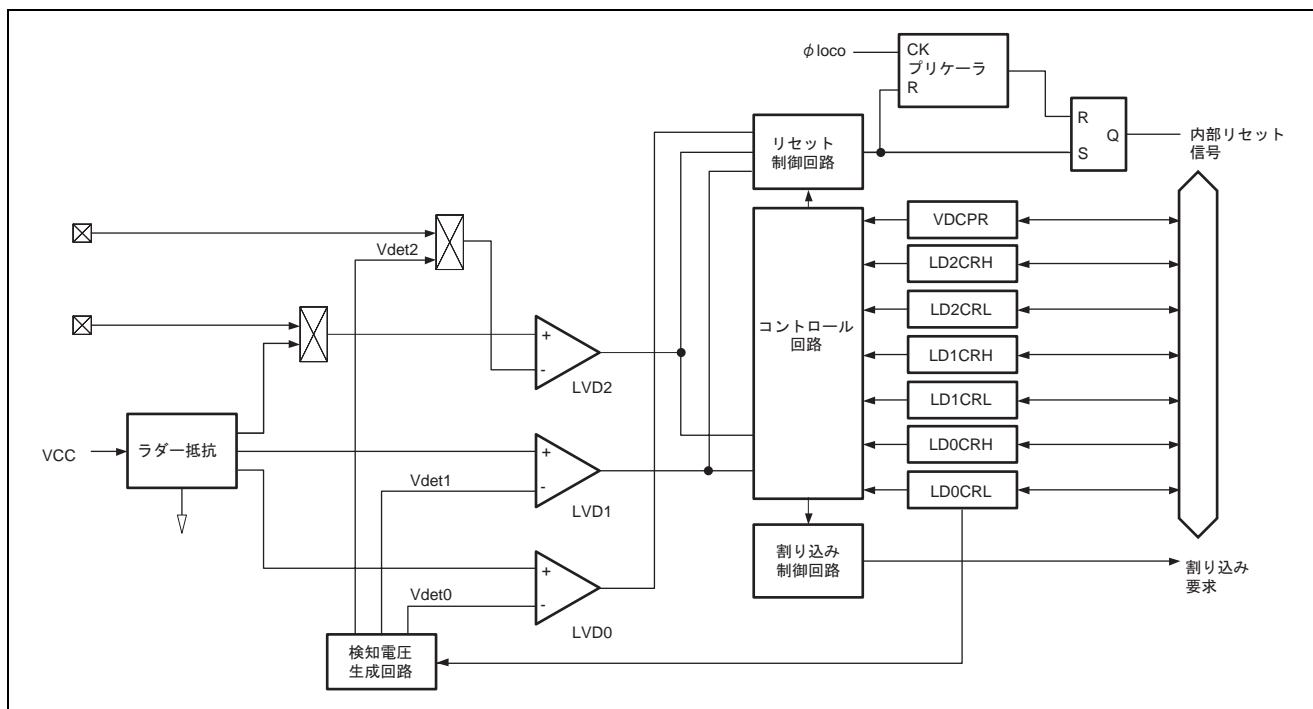


図 26.1 低電圧検出回路のブロック図

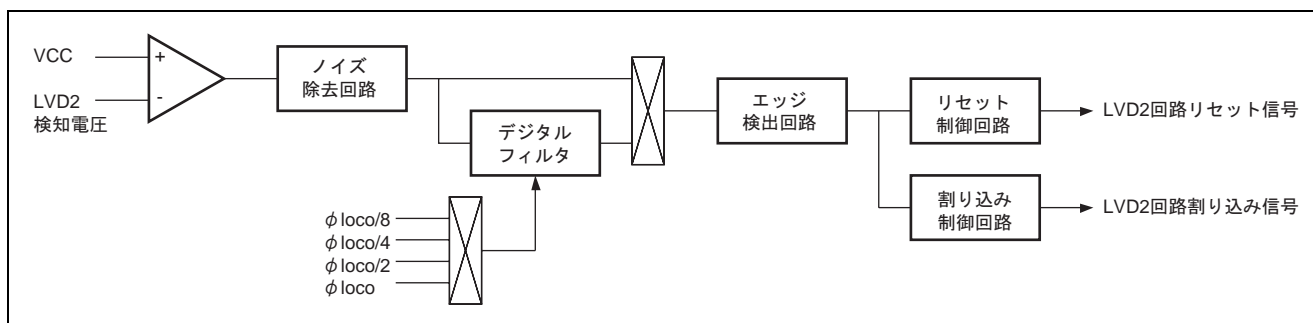


図 26.2 LVD2 割り込み／リセット発生回路のブロック図

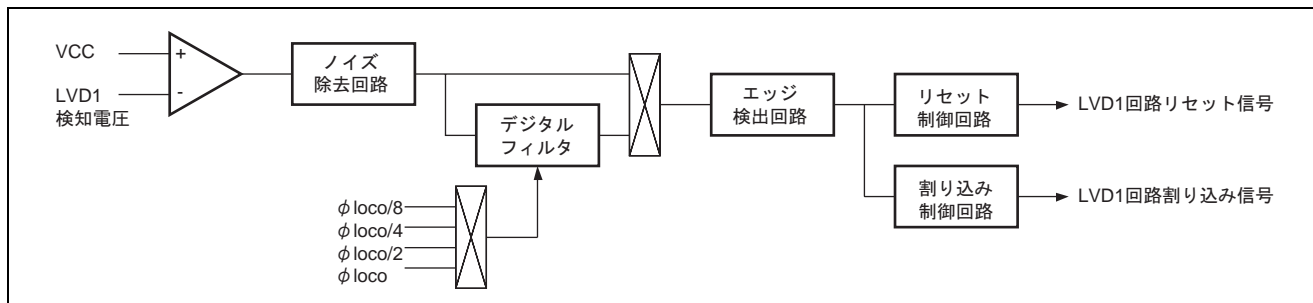


図 26.3 LVD1 割り込み／リセット発生回路のブロック図

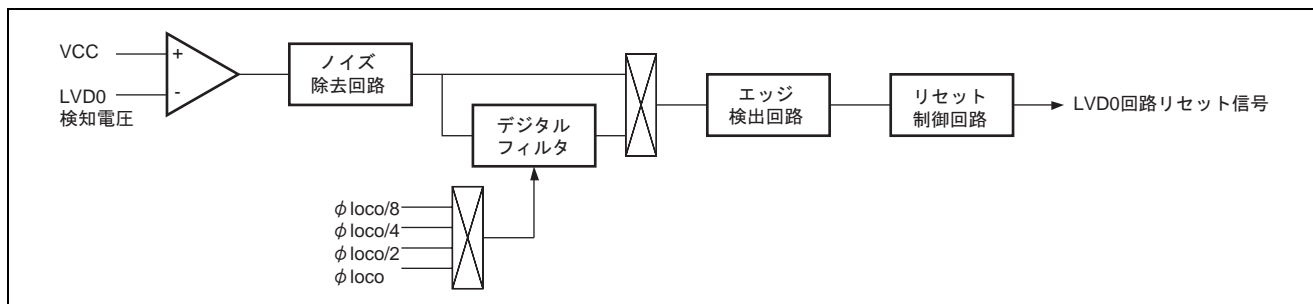


図 26.4 LVD0 リセット発生回路のブロック図

26.2 レジスタの説明

低電圧検出回路には以下のレジスタがあります。

- 低電圧検出回路コントロールプロテクトレジスタ (VDCPR)
- 低電圧検出回路2コントロールレジスタH (LD2CRH)
- 低電圧検出回路2コントロールレジスタL (LD2CRL)
- 低電圧検出回路1コントロールレジスタH (LD1CRH)
- 低電圧検出回路1コントロールレジスタL (LD1CRL)
- 低電圧検出回路0コントロールレジスタH (LD0CRH)
- 低電圧検出回路0コントロールレジスタL (LD0CRL)

26.2.1 低電圧検出回路コントロールプロテクトレジスタ (VDCPR)

アドレス: H'FF0628

ビット:	7	6	5	4	3	2	1	0
	WRI	—	—	—	—	—	—	LDPRC
リセット後の値:	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	説明	R/W
7	WRI	VDCPR 書き込み禁止	0: VDCPR ビット書き込み許可 1: VDCPR ビット書き込み禁止	W
6~1	—	予約ビット	リードすると0が読み出されます。ライト時は0を書いてください。	—
0	LDPRC	低電圧検出回路制御レジスタ書き込み許可	0: 各低電圧検出回路コントロールレジスタの書き込み禁止 1: 確定電圧検出回路コントロールレジスタの書き込み許可	R/W

【注】 本レジスタへ書き込みを行う場合は、必ず MOV 命令を使用してください。

- WRIビット (VDCPR書き込み禁止)

このビットの書き込み値が0のときだけ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。

- LDPRCビット (低電圧検出回路レジスタ書き込み許可)

このビットの値が1のときだけ、低電圧検出回路コントロールレジスタ (LD2CRH、LD2CRL、LD1CRH、LD1CRL、LD0CRH、LD0CRL) の書き込みが有効になります。

26.2.2 低電圧検出回路 2 コントロールレジスタ H (LD2CRH)

アドレス: H'FF0622

ビット: b7 b6 b5 b4 b3 b2 b1 b0

VD2DF	VD2UF	VD2DFCK[1:0]	VD2DFS	VD2IRCS	VD2MS	VD2RE
-------	-------	--------------	--------	---------	-------	-------

リセット後の値: 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	VD2DF	LVD2 電源電圧 降下フラグ	【1になる条件】 電源電圧が Vdet2 以下に降下したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき • LVD2 回路がスタンバイ状態のとき	R/W
6	VD2UF	LVD2 電源電圧 上昇フラグ	【1になる条件】 • 電源電圧が Vdet2 以下に降下し、Vdet0 以下に降下する前に Vdet2 以上に上昇したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき • LVD2 回路がスタンバイ状態のとき	R/W
5、4	VD2DFCK[1:0]	LVD2 デジタル フィルタサンプ リングクロック 選択	00: ϕ_{loco} の 1 分周 01: ϕ_{loco} の 2 分周 10: ϕ_{loco} の 4 分周 11: ϕ_{loco} の 8 分周	R/W
3	VD2DFS	LVD2 デジタル フィルタ機能選択	0: デジタルフィルタ機能無効 1: デジタルフィルタ機能有効	R/W
2	VD2IRCS	LVD2 割り込み 要求発生条件選択	0: VCC が Vdet2 以上になるとき 1: VCC が Vdet2 以下になるとき VD2DFS=1 時は本設定に関係なく、Vdet2 通過時に割り込み要求が発生します。 VD2MS=1 時は本設定に関係なく、Vdet2 以下になるとリセット要求が発生します。	R/W
1	VD2MS	LVD2 モード選択	0: Vdet2 通過時に割り込み要求発生 1: Vdet2 通過時にリセット要求発生	R/W
0	VD2RE	LVD2 割り込み/ リセット要求 イネーブル	VD2E ビットが 1 のとき有効 0: 電圧検知時の割り込み/リセット要求を禁止 1: 電圧検知時の割り込み/リセット要求を許可	R/W

【注】 本レジスタは LVD2 リセットおよび LVD1 リセットでは初期化されません。

表 26.1 に LD2CRH の設定値と選択機能の関係を示します。LD2CRH は表 26.1 の設定にしてください。

表 26.1 LD2CRH の設定と選択機能

LD2CRH			選択機能		
VD2MS	VD2DFS	VD2IRCS	LVD2 立ち下がリリセット	LVD2 立ち下がリ割り込み	LVD2 立ち上がり割り込み
1	X	X	○	—	—
0	1	X	—	○	○
0	0	1	—	○	—
0	0	0	—	—	○

【記号説明】 X : Don't care

26.2.3 低電圧検出回路 2 コントロールレジスタ L (LD2CRL)

アドレス: H'FF0623

ビット: b7 b6 b5 b4 b3 b2 b1 b0

VD2E	VD2CVS	VD2RVS	—	—	—	—	—
------	--------	--------	---	---	---	---	---

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	VD2E	LVD2 回路 イネーブル	0: LVD2 回路を未使用 (スタンバイ状態) 1: LVD2 回路を使用	R/W
6	VD2CVS	LVD2 回路比較 電圧入力選択	0: 比較電圧は VCC 電圧 1: 比較電圧は外部入力 (PA7) 電圧*	R/W
5	VD2RVS	LVD2 回路検知 電圧入力選択	0: 検知電圧は内部生成電圧 1: 検知電圧は外部入力 (PA6) 電圧*	R/W
4~0	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 をライトしてください。	—

【注】 本レジスタは LVD2 リセットおよび LVD1 リセットでは初期化されません。

* 比較電圧または検知電圧を外部入力で使用する場合、外部入力電圧は 1/2VCC 以下で使用してください。

26.2.4 低電圧検出回路 1 コントロールレジスタ H (LD1CRH)

アドレス: H'FF0624

ビット: b7 b6 b5 b4 b3 b2 b1 b0

VD1DF	VD1UF	VD1DFCK[1:0]	VD1DFS	VD1IRCS	VD1MS	VD1RE
-------	-------	--------------	--------	---------	-------	-------

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	VD1DF	LVD1 電源電圧 降下フラグ	【1になる条件】 電源電圧が Vdet1 以下に降下したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき • LVD1 回路がスタンバイ状態のとき	R/W
6	VD1UF	LVD1 電源電圧 上昇フラグ	【1になる条件】 • 電源電圧が Vdet1 以下に降下し、Vdet0 以下に降下する前に Vdet1 以上に上昇したとき 【0になる条件】 • 1 の状態をリードした後、0 をライトしたとき • LVD1 回路がスタンバイ状態のとき	R/W
5、4	VD1DFCK[1:0]	LVD1 デジタル フィルタサンプ リングクロック 選択	00 : ϕ_{loco} の 1 分周 01 : ϕ_{loco} の 2 分周 10 : ϕ_{loco} の 4 分周 11 : ϕ_{loco} の 8 分周	R/W
3	VD1DFS	LVD1 デジタル フィルタ機能選択	0 : デジタルフィルタ機能無効 1 : デジタルフィルタ機能有効	R/W
2	VD1IRCS	LVD1 割り込み 要求発生条件選択	0 : VCC が Vdet1 以上になるとき 1 : VCC が Vdet1 以下になるとき VD1DFS=1 時は本設定に関係なく、Vdet1 通過時に割り込み要求が発生します。 VD1MS=1 時は本設定に関係なく、Vdet1 以下になるとリセット要求が発生します。	R/W
1	VD1MS	LVD1 モード選択	0 : Vdet1 通過時に割り込み要求発生 1 : Vdet1 通過時にリセット要求発生	R/W
0	VD1RE	LVD1 割り込み/ リセット要求 イネーブル	VD1E ビットが 1 のとき有効 0 : 電圧検知時の割り込み/リセット要求を禁止 1 : 電圧検知時の割り込み/リセット要求を許可	R/W

【注】 本レジスタは LVD2 リセットおよび LVD1 リセットでは初期化されません。

表 26.2 に LD1CRH の設定値と選択機能の関係を示します。LD1CRH は表 26.2 の設定にしてください。

表 26.2 LD1CRH の設定と選択機能

LD1CRH			選択機能		
VD1MS	VD1DFS	VD1IRCS	LVD1 立ち下がリリセット	LVD1 立ち下がリ割り込み	LVD1 立ち上がり割り込み
1	X	X	○	—	—
0	1	X	—	○	○
0	0	1	—	○	—
0	0	0	—	—	○

【記号説明】 X : Don't care

26.2.5 低電圧検出回路 1 コントロールレジスタ L (LD1CRL)

アドレス: H'FF0625

ビット: b7 b6 b5 b4 b3 b2 b1 b0

VD1E	—	—	—	VD1LS[3:0]			
------	---	---	---	------------	--	--	--

リセット後の値: 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	説明	R/W
7	VD1E	LVD1 回路 イネーブル	0 : LVD1 回路を未使用 (スタンバイ状態) 1 : LVD1 回路を使用	R/W
6~4	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 をライトしてください。	—
3~0	VD1LS[3:0]	LVD1 検知電圧 レベル選択 3~0	0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : 設定禁止 0100 : 設定禁止 0101 : 設定禁止 0110 : 設定禁止 0111 : 3.07V (typ.) 1000 : 3.22V (typ.) 1001 : 3.37V (typ.) 1010 : 3.52V (typ.) 1011 : 3.67V (typ.) 1100 : 3.82V (typ.) 1101 : 3.97V (typ.) 1110 : 4.12V (typ.) 1111 : 4.27V (typ.)	R/W

【注】 本レジスタは LVD2 リセットおよび LVD1 リセットでは初期化されません。

26.2.6 低電圧検出回路 0 コントロールレジスタ H (LD0CRH)

アドレス: H'FF0626

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	VD0DFCK[1:0]	VD0DFS	—	—	—	—
リセット後の値:	—	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると不定値が読み出されます。ライト時は0をライトしてください。	—
6	—	予約ビット	リードすると0が読み出されます。ライト時は0をライトしてください。	—
5、4	VD0DFCK[1:0]	LVD0 デジタル フィルタサンプ リングクロック 選択	00 : ϕ loco の 1 分周 01 : ϕ loco の 2 分周 10 : ϕ loco の 4 分周 11 : ϕ loco の 8 分周	R/W
3	VD0DFS	LVD0 デジタル フィルタ機能選択	0 : デジタルフィルタ機能無効 1 : デジタルフィルタ機能有効	R/W
2、1	—	予約ビット	リードすると0が読み出されます。ライト時は0をライトしてください。	—
0	—	予約ビット	リードすると1が読み出されます。ライト時は1をライトしてください。	—

【注】 本レジスタはLVD2リセットおよびLVD1リセットでは初期化されません。

26.2.7 低電圧検出回路 0 コントロールレジスタ L (LD0CRL)

アドレス: H'FF0627

ビット:	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	VD0LS1	—

リセット後の値: 1 0 0 0 0 0 0 0 1

ビット	シンボル	ビット名	説明	R/W
7	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 をライトしてください。	—
6~2	—	予約ビット	リードすると 0 が読み出されます。ライト時は 0 をライトしてください。	—
1	VD0LS1	LVD0 検知電圧 レベル選択	0 : 2.35V (typ.) 1 : 3.80V (typ.)	R/W
0	—	予約ビット	リードすると 1 が読み出されます。ライト時は 1 をライトしてください。	—

【注】 本レジスタは LVD2 リセットおよび LVD1 リセットでは初期化されません。

26.3 動作説明

26.3.1 パワーオンリセット機能

パワーオンリセット機能の動作タイミングを図 26.5 に示します。パワーオンリセット機能では LVD0 回路で電源電圧の状態を監視してチップ全体を初期化します。

電源電圧のレベルが V_{det0} 電圧より上昇すると、プリスケアラのリセットが解除され、カウントアップを始めます。プリスケアラが ϕ_{loco} を 128 回カウントすると OVF 信号が発生し、内部リセットが解除されます。パワーオンリセット後は LVD0 リセットが常に有効になります。

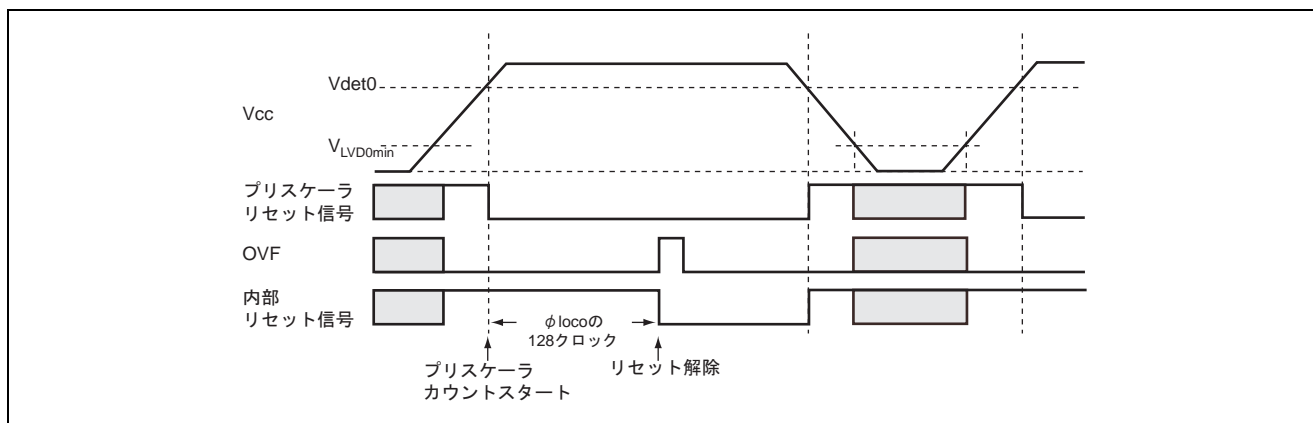


図 26.5 パワーオンリセット機能動作タイミング

26.3.2 低電圧検出回路

(1) 低電圧検出リセット 2 (LVDR2)

LVDR2 は LVD2 回路によるリセットです。LVDR2 の動作タイミングを図 26.6 に示します。

LVD2 回路はパワーオンリセット解除後、スタンバイ状態になります。LVDR2 を動作させるためには、LD2CRL の VD2E ビットを 1 にセットし、検知電圧および低電圧検出回路 2 が安定するまでの時間 $t_{d(E-A)}$ (50us) をソフトウェアタイマ等で待った後、LD2CRH の VD2MS ビットを 1 にセット、VD2RE ビットを 1 にセットします。必ず、この後に I/O ポートの出力設定を行ってください。また、LVDR2 を停止する場合は、LD2CRH の VD2RE ビットを 0 にクリアした後、LD2CRL の VD2E ビットを 0 にクリアします。低電圧検出リセット 2 の設定手順例を図 26.7 に示します。

LVDR2 は電源電圧が降下して V_{det2} 電圧以下になると、 $\overline{LVDRS2}$ 信号が 0 となり、プリスケアラがリセットされます。パワーオンリセットが働かない限り、低電圧検出リセット状態を継続します。電源電圧が再度 V_{det2} 電圧以上に上昇すると、プリスケアラはカウントアップを始め、 ϕ_{loco} を 32 回カウントし、内部リセット信号が解除されます。

ただし、電源電圧が $V_{LVD2min}=2.7V$ 以下に低下し、そこから立ち上がった場合、LVDR2 が発生しない場合がありますので十分評価をお願いします。

また、電源電圧が V_{det0} 電圧以下になると本 LSI はパワーオンリセット動作になります。

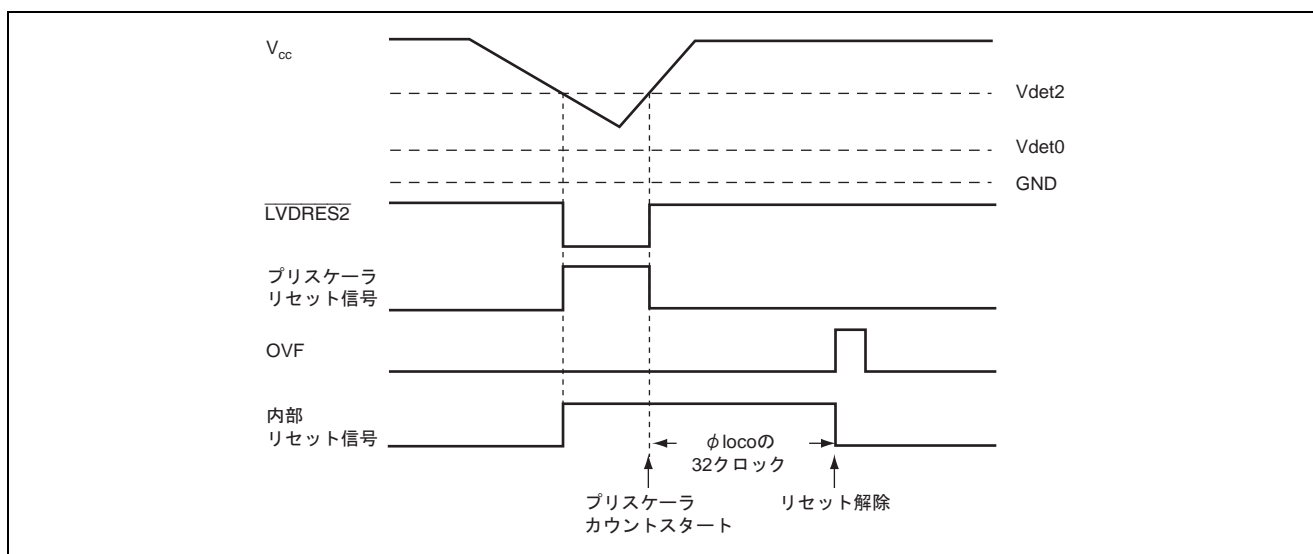


図 26.6 低電圧検出リセット 2 動作タイミング

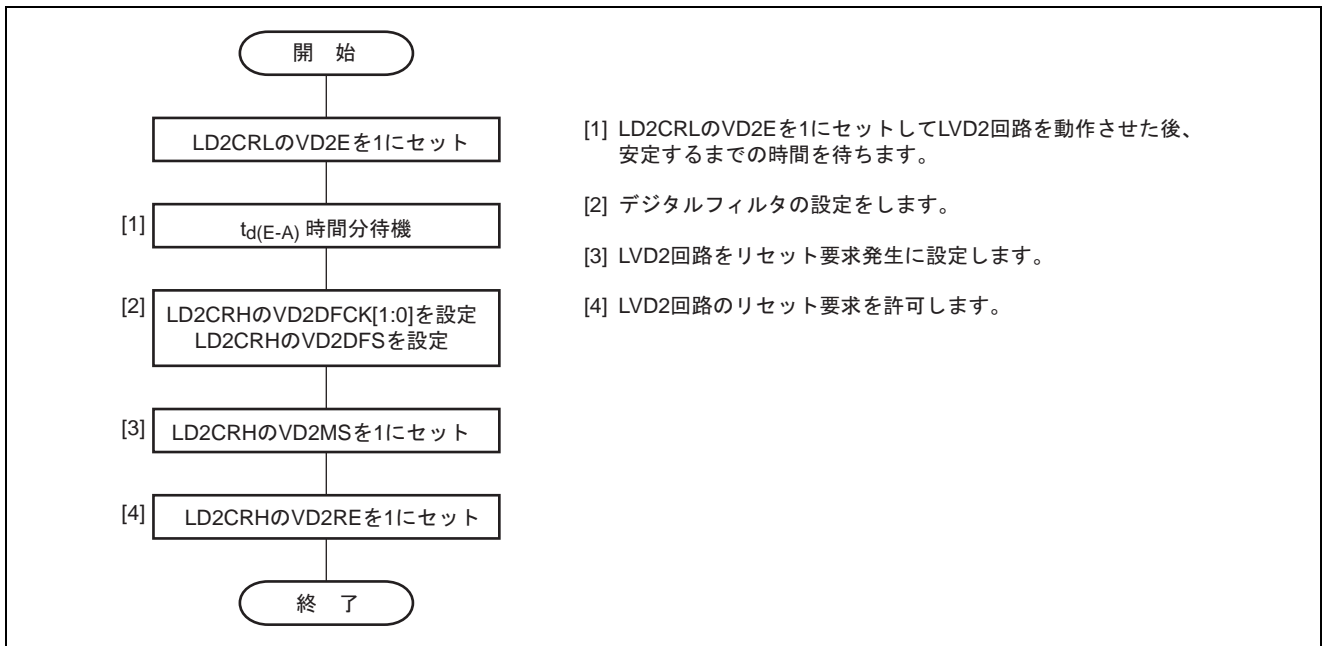


図 26.7 低電圧検出リセット 2 設定手順例

(2) 低電圧検出割り込み 2 (LVDI2)

LVDI2 は LVD2 回路による割り込みです。LVDI2 の動作タイミングを図 26.8 に示します。

LVD2 回路はパワーオンリセット解除後、スタンバイ状態になります。LVDI2 を動作させるには LD2CRL の VD2E ビットを 1 にセットし、検知電圧および低電圧検出回路 2 が安定するまでの時間 $t_{d(E-A)}$ (50us) をソフトウェア等で待った後、LD2CRH の VD2MS ビットを 0 にクリア、VD2RE ビットを 1 にセットします。必ず、この後に I/O ポートの出力設定を行ってください。また、LVDI2 を停止する場合は、LD2CRH の VD2RE ビットを 0 にクリアした後、LD2CRL の VD2E ビットを 0 にクリアします。低電圧検出割り込み 2 の設定手順例を図 26.9 に示します。

LVDI2 は電源電圧が V_{det2} 電圧以下になると、 $\overline{LVDINT2}$ 信号が 0 となり、LD2CRH の VD2DF ビットが 1 にセットされます。このとき LD2CRH の VD2DFS ビットか VD2IRCS ビットのどちらかが 1 であれば、LVD2 割り込み要求を発生します。このとき、必要なデータは内蔵のデータフラッシュ領域や外付けの EEPROM 等に退避しスタンバイモードあるいはスリープモードに遷移させてください。この処理が完了するまでの間、電源電圧が動作保証下限電圧以上を保つように、電源回路を設計してください。

また、電源電圧が V_{det0} 電圧まで降下せず、再び V_{det2} 電圧以上に上昇すると、 $\overline{LVDINT2}$ 信号が 1 となり、LD2CRH の VD2UF ビットが 1 にセットされます。このとき LD2CRH の VD2DFS ビットが 1、もしくは VD2IRCS ビットが 0 のどちらかであれば、LVD2 割り込み要求を発生します。

また、電源電圧が V_{det0} 電圧以下になると本 LSI はパワーオンリセット動作になります。

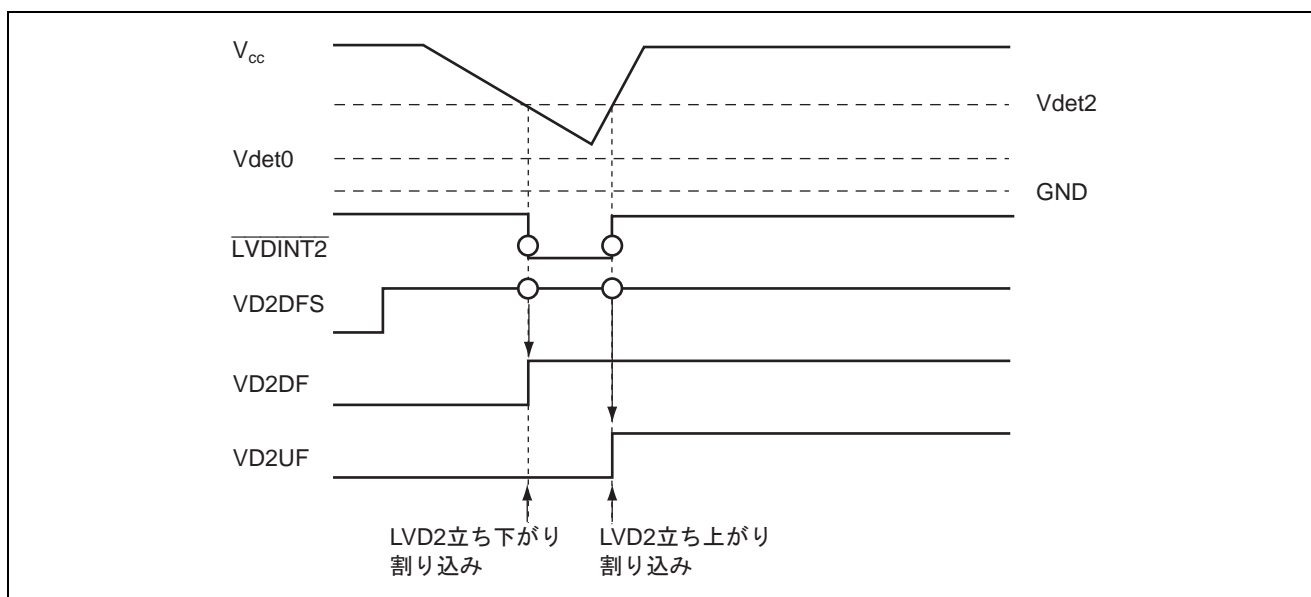


図 26.8 低電圧検出割り込み回路 2 動作タイミング

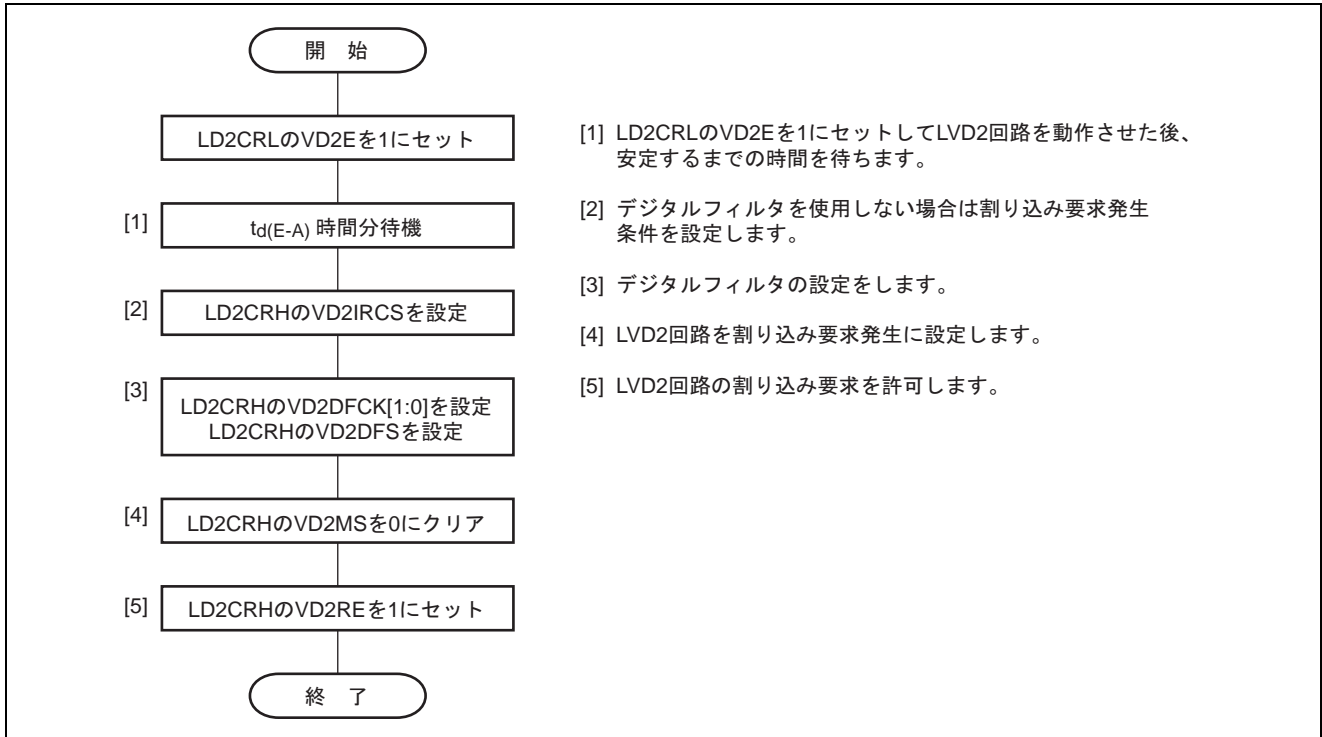


図 26.9 低電圧検出割り込み 2 設定手順例

(3) 低電圧検出リセット 1 (LVDR1)

LVDR1 は LVD1 回路によるリセットです。LVDR1 の動作タイミングを図 26.10 に示します。

LVD1 回路はパワーオンリセット解除後、スタンバイ状態になります。LVDR1 を動作させるためには、LD1CRL の VD1E ビットを 1 にセットし、検知電圧および低電圧検出回路 1 が安定するまでの時間 $t_{d(E-A)}$ (50 μ s) をソフトウェアタイマ等で待った後、LD1CRH の VD1MS ビットを 1 にセット、VD1RE ビットを 1 にセットします。必ず、この後に I/O ポートの出力設定を行ってください。また、LVDR1 を停止する場合は、LD1CRH の VD1RE ビットを 0 にクリアした後、LD1CRL の VD1E ビットを 0 にクリアします。低電圧検出リセット 1 の設定手順例を図 26.11 に示します。

LVDR1 は電源電圧が降下して Vdet1 電圧以下になると、 $\overline{\text{LVDRES1}}$ 信号が 0 となり、プリスケアラがリセットされます。パワーオンリセットが働かない限り、低電圧検出リセット状態を継続します。電源電圧が再度 Vdet1 電圧以上に上昇すると、プリスケアラはカウントアップを始め、 ϕ_{loco} を 32 回カウントし、内部リセット信号が解除されます。

ただし、電源電圧が $V_{\text{LVD1min}}=2.7\text{V}$ 以下に低下し、そこから立ち上がった場合、LVDR1 が発生しない場合がありますので十分評価をお願いします。

また、電源電圧が Vdet0 電圧以下になると本 LSI はパワーオンリセット動作になります。

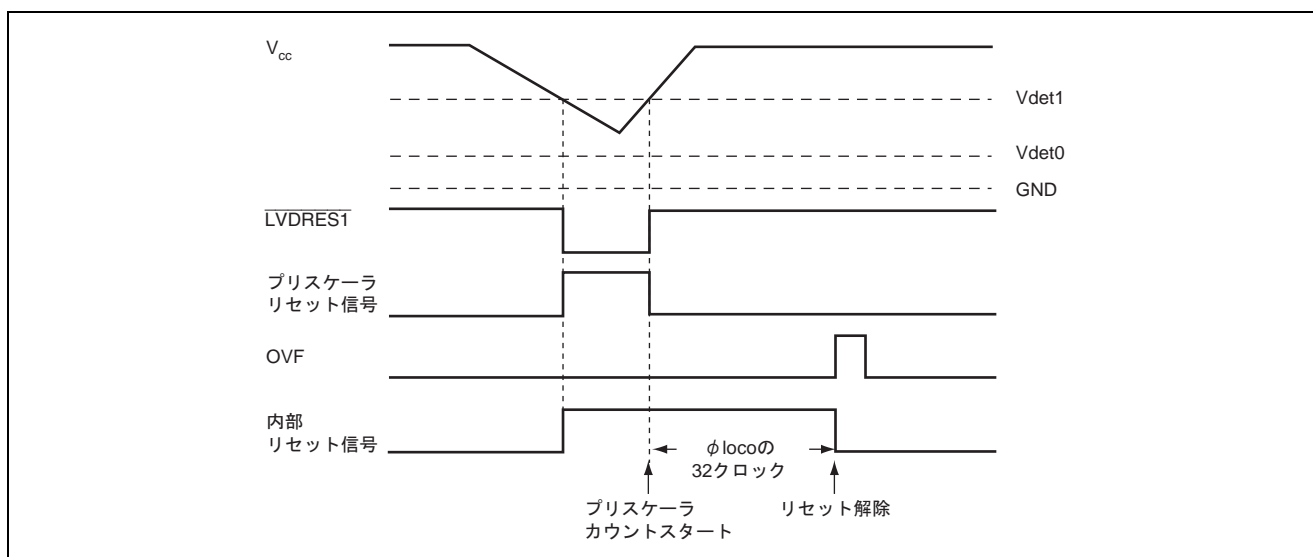


図 26.10 低電圧検出リセット 1 動作タイミング

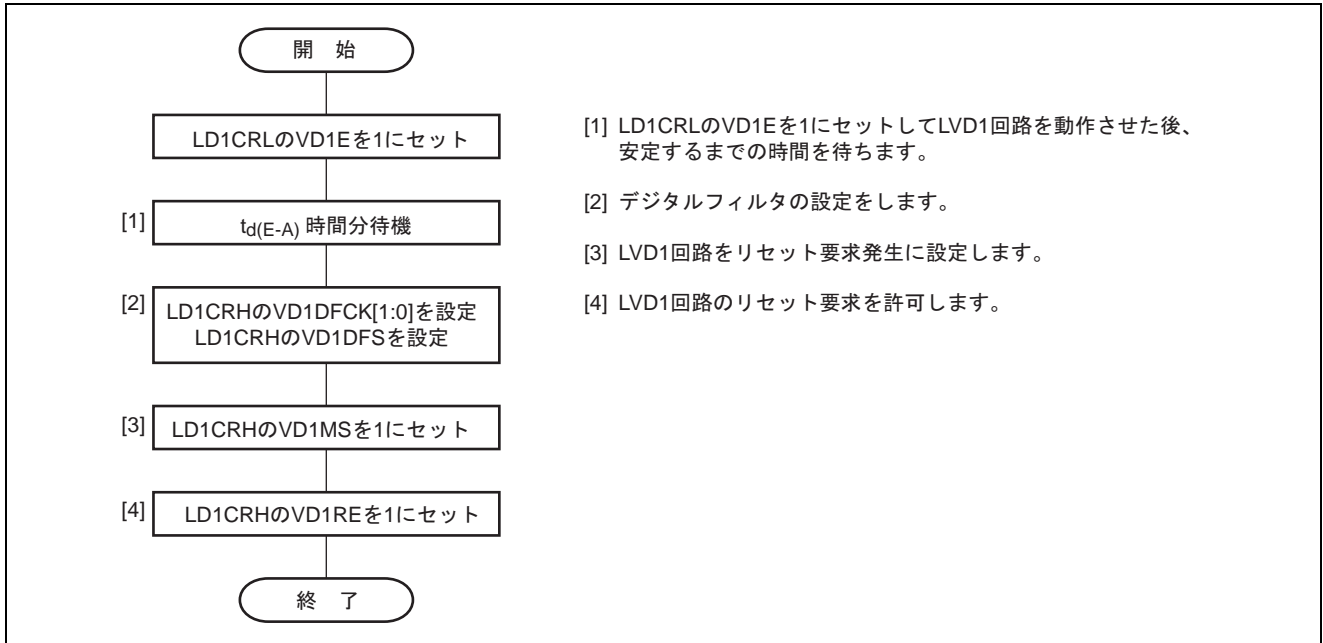


図 26.11 低電圧検出リセット 1 設定手順例

(4) 低電圧検出割り込み 1 (LVDI1)

LVDI1 は LVD1 回路による割り込みです。LVDI1 の動作タイミングを図 26.12 に示します。

LVD1 回路はパワーオンリセット解除後、スタンバイ状態になります。LVDI1 を動作させるには LD1CRL の VD1E ビットを 1 にセットし、検知電圧および低電圧検出回路 1 が安定するまでの時間 $t_{d(E-A)}$ (50us) をソフトウェア等で待った後、LD1CRH の VD1MS ビットを 0 にクリア、VD1RE ビットを 1 にセットします。必ず、この後に I/O ポートの出力設定を行ってください。また、LVDI1 を停止する場合は、LD1CRH の VD1RE ビットを 0 にクリアした後、LD1CRL の VD1E ビットを 0 にクリアします。低電圧検出割り込み 1 の設定手順例を図 26.13 に示します。

LVDI1 は電源電圧が V_{det1} 電圧以下になると、 $\overline{LVDINT1}$ 信号が 0 となり、LD1CRH の VD1DF ビットが 1 にセットされます。このとき LD1CRH の VD1DFS ビットか VD1IRCS ビットのどちらかが 1 であれば、LVD1 割り込み要求を発生します。このとき、必要なデータは内蔵のデータフラッシュ領域や外付けの EEPROM 等に退避しスタンバイモードあるいはスリープモードに遷移させてください。この処理が完了するまでの間、電源電圧が動作保証下限電圧以上を保つように、電源回路を設計してください。

また、電源電圧が V_{det0} 電圧まで降下せず、再び V_{det1} 電圧以上に上昇すると、 $\overline{LVDINT1}$ 信号が 1 となり、LD1CRH の VD1UF ビットが 1 にセットされます。このとき LD1CRH の VD1DFS ビットが 1、もしくは VD1IRCS ビットが 0 のどちらかであれば、LVD1 割り込み要求を発生します。

また、電源電圧が V_{det0} 電圧以下になると本 LSI はパワーオンリセット動作になります。

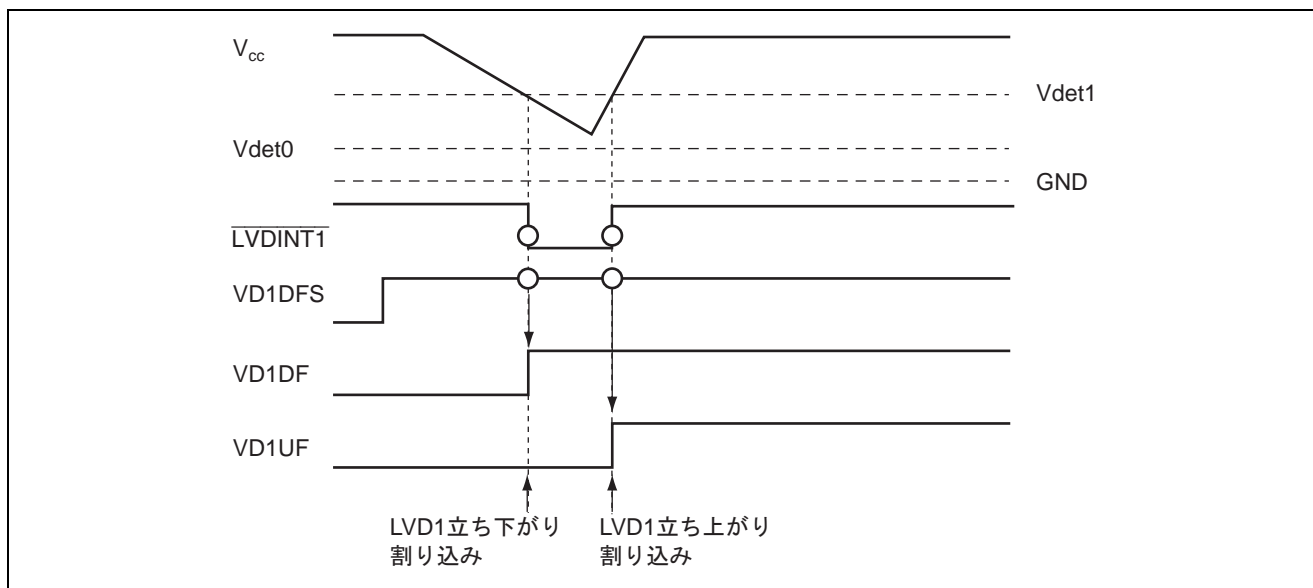


図 26.12 低電圧検出割り込み回路 1 動作タイミング

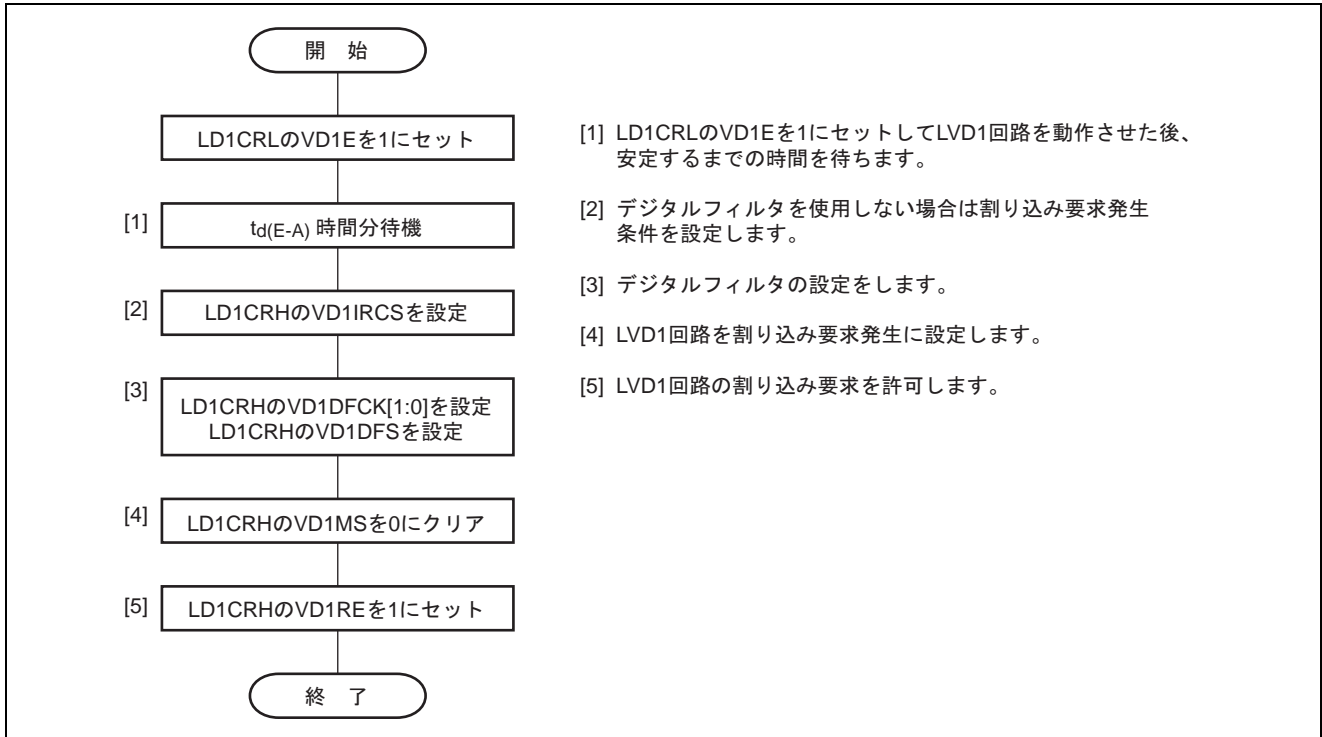


図 26.13 低電圧検出割り込み 1 設定手順例

(5) 低電圧検出リセット 0 (LVDR0)

LVDR0 は LVD0 回路によるリセットです。LVDR0 の動作タイミングを図 26.14 に示します。

LVD0 回路はパワーオンリセット解除後、常に有効状態になります。

LVDR0 は電源電圧が低下して V_{det0} 電圧以下になると、 $\overline{LVDRES0}$ 信号が 0 となり、プリスケアラがリセットされ、パワーオンリセット動作になります。電源電圧が再度 V_{det0} 電圧以上に上昇すると、プリスケアラはカウントアップを始め、 ϕ_{loco} を 128 回カウントし、内部リセット信号が解除されます。

ただし、電源電圧が $V_{LVD0min}=1.8\text{ V}$ 以下に低下し、そこから立ち上がった場合、LVDR0 が発生しない場合がありますので十分評価をお願いします。

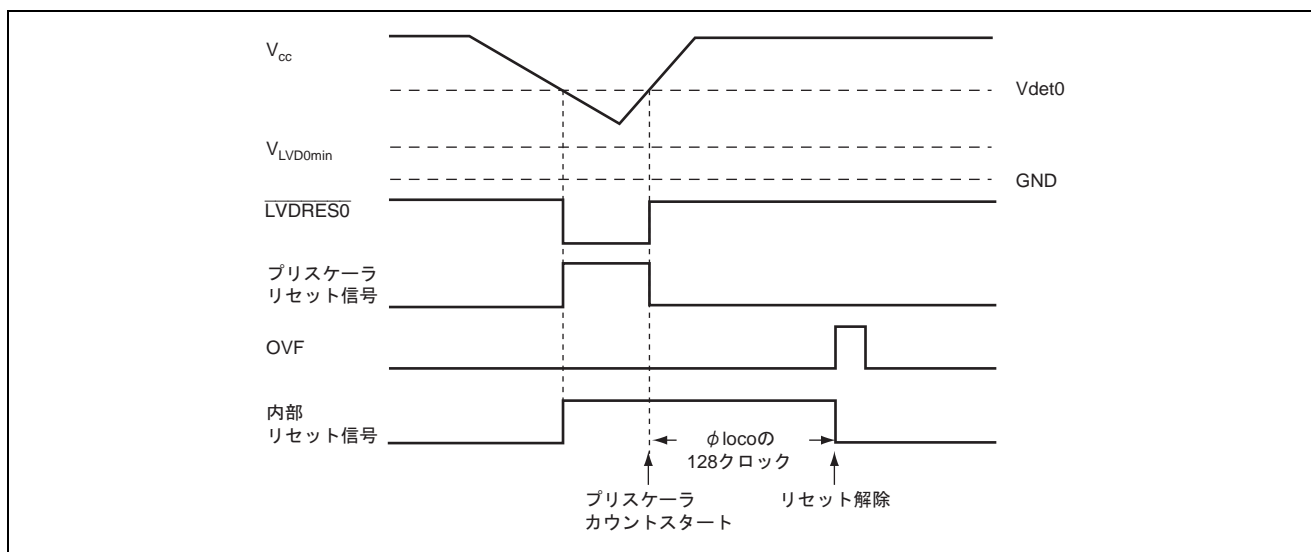


図 26.14 低電圧検出リセット 0 動作タイミング

27. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧 (アドレス順)」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧 (アドレス順)」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

27.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。アクセスステート数は、指定の基準クロックのステート数を示します。

【注】 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作及び継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
ポートモードレジスタ 1	PMR1	8	H'FF0000	I/O ポート	8	2
ポートモードレジスタ 2	PMR2	8	H'FF0001	I/O ポート	8	2
ポートモードレジスタ 3	PMR3	8	H'FF0002	I/O ポート	8	2
ポートモードレジスタ 5	PMR5	8	H'FF0004	I/O ポート	8	2
ポートモードレジスタ 6	PMR6	8	H'FF0005	I/O ポート	8	2
ポートモードレジスタ 8	PMR8	8	H'FF0007	I/O ポート	8	2
ポートモードレジスタ 9*	PMR9	8	H'FF0008	I/O ポート	8	2
ポートモードレジスタ A	PMRA	8	H'FF0009	I/O ポート	8	2
IIC/SSU 選択レジスタ	ICSUSR	8	H'FF000B	IIC2/SSU	8	2
ポートモードレジスタ J	PMRJ	8	H'FF000C	I/O ポート	8	2
ポートプルアップコントロールレジスタ 1	PUCR1	8	H'FF0010	I/O ポート	8	2
ポートプルアップコントロールレジスタ 2	PUCR2	8	H'FF0011	I/O ポート	8	2
ポートプルアップコントロールレジスタ 3	PUCR3	8	H'FF0012	I/O ポート	8	2
ポートプルアップコントロールレジスタ 5	PUCR5	8	H'FF0014	I/O ポート	8	2
ポートプルアップコントロールレジスタ 6	PUCR6	8	H'FF0015	I/O ポート	8	2
ポートプルアップコントロールレジスタ 8	PUCR8	8	H'FF0017	I/O ポート	8	2
ポートプルアップコントロールレジスタ 9*	PUCR9	8	H'FF0018	I/O ポート	8	2

【注】 * H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートブルアップコントロール レジスタ A	PUCRA	8	H'FF0019	I/O ポート	8	2
ポートブルアップコントロール レジスタ B	PUCRB	8	H'FF001A	I/O ポート	8	2
ポートブルアップコントロール レジスタ J	PUCRJ	8	H'FF001C	I/O ポート	8	2
ポートドライブコントロールレジスタ 1	PDVR1	8	H'FF0030	I/O ポート	8	2
ポートドライブコントロールレジスタ 2	PDVR2	8	H'FF0031	I/O ポート	8	2
ポートドライブコントロールレジスタ 3	PDVR3	8	H'FF0032	I/O ポート	8	2
ポートドライブコントロールレジスタ 5	PDVR5	8	H'FF0034	I/O ポート	8	2
ポートドライブコントロールレジスタ 6	PDVR6	8	H'FF0035	I/O ポート	8	2
ポートドライブコントロールレジスタ 8	PDVR8	8	H'FF0037	I/O ポート	8	2
ポートドライブコントロールレジスタ 9*	PDVR9	8	H'FF0038	I/O ポート	8	2
ポート 1 周辺機能マッピングレジスタ 1	PMCR11	8	H'FF0040	PMC	8	2
ポート 1 周辺機能マッピングレジスタ 2	PMCR12	8	H'FF0041	PMC	8	2
ポート 1 周辺機能マッピングレジスタ 3	PMCR13	8	H'FF0042	PMC	8	2
ポート 1 周辺機能マッピングレジスタ 4	PMCR14	8	H'FF0043	PMC	8	2
ポート 2 周辺機能マッピングレジスタ 1	PMCR21	8	H'FF0044	PMC	8	2
ポート 2 周辺機能マッピングレジスタ 2	PMCR22	8	H'FF0045	PMC	8	2
ポート 2 周辺機能マッピングレジスタ 3	PMCR23	8	H'FF0046	PMC	8	2
ポート 2 周辺機能マッピングレジスタ 4	PMCR24	8	H'FF0047	PMC	8	2
ポート 3 周辺機能マッピングレジスタ 1	PMCR31	8	H'FF0048	PMC	8	2
ポート 3 周辺機能マッピングレジスタ 2	PMCR32	8	H'FF0049	PMC	8	2
ポート 3 周辺機能マッピングレジスタ 3	PMCR33	8	H'FF004A	PMC	8	2
ポート 3 周辺機能マッピングレジスタ 4	PMCR34	8	H'FF004B	PMC	8	2
ポート 5 周辺機能マッピングレジスタ 1	PMCR51	8	H'FF0050	PMC	8	2
ポート 5 周辺機能マッピングレジスタ 2	PMCR52	8	H'FF0051	PMC	8	2
ポート 5 周辺機能マッピングレジスタ 3	PMCR53	8	H'FF0052	PMC	8	2
ポート 5 周辺機能マッピングレジスタ 4	PMCR54	8	H'FF0053	PMC	8	2
ポート 6 周辺機能マッピングレジスタ 1	PMCR61	8	H'FF0054	PMC	8	2
ポート 6 周辺機能マッピングレジスタ 2	PMCR62	8	H'FF0055	PMC	8	2
ポート 6 周辺機能マッピングレジスタ 3	PMCR63	8	H'FF0056	PMC	8	2
ポート 6 周辺機能マッピングレジスタ 4	PMCR64	8	H'FF0057	PMC	8	2

【注】 * H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート 8 周辺機能マッピングレジスタ 3	PMCR83	8	H'FF005E	PMC	8	2
ポート 8 周辺機能マッピングレジスタ 4	PMCR84	8	H'FF005F	PMC	8	2
ポート 9 周辺機能マッピングレジスタ 1* ¹	PMCR91	8	H'FF0060	PMC	8	2
ポート 9 周辺機能マッピングレジスタ 2* ¹	PMCR92	8	H'FF0061	PMC	8	2
ポート 9 周辺機能マッピングレジスタ 3* ¹	PMCR93	8	H'FF0062	PMC	8	2
ポート 9 周辺機能マッピングレジスタ 4* ¹	PMCR94	8	H'FF0063	PMC	8	2
周辺機能マッピングレジスタ書き込み プロテクトレジスタ	PMCWPR	8	H'FF0065	PMC	8	2
ポート A 周辺機能マッピング レジスタ 3* ²	PM CRA3	8	H'FF0066	PMC	8	2
ポート A 周辺機能マッピング レジスタ 4* ²	PM CRA4	8	H'FF0067	PMC	8	2
LIN コントロールレジスタ	LINCR	8	H'FF0518	HW-LIN	8	2
LIN ステータスレジスタ	LINST	8	H'FF0519	HW-LIN	8	2
インタラプトコントロールレジスタ	INTCR	8	H'FF0520	割り込み	8	2
IRQ イネーブルレジスタ	IER	8	H'FF0521	割り込み	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FF0522	割り込み	8	2
IRQ センスコントロールレジスタ L	ISCR L	8	H'FF0523	割り込み	8	2
IRQ ステータスレジスタ	ISR	8	H'FF0524	割り込み	8	2
IRQ ノイズキャンセラコントロール レジスタ	INCCR	8	H'FF0525	割り込み	8	2
割り込みベクタオフセットレジスタ	VOFR	16	H'FF0526	割り込み	8	2
イベントリンク割り込みコントロール ステータスレジスタ	ELCSR	8	H'FF0528	割り込み	8	2
インタラプトプライオリティレジスタ A	IPRA	8	H'FF0529	割り込み	8	2
インタラプトプライオリティレジスタ B	IPRB	8	H'FF052A	割り込み	8	2
インタラプトプライオリティレジスタ C	IPRC	8	H'FF052B	割り込み	8	2
インタラプトプライオリティレジスタ D	IPRD	8	H'FF052C	割り込み	8	2
インタラプトプライオリティレジスタ E	IPRE	8	H'FF052D	割り込み	8	2
インタラプトプライオリティレジスタ F	IPRF	8	H'FF052E	割り込み	8	2
インタラプトプライオリティレジスタ G	IPRG	8	H'FF052F	割り込み	8	2
インタラプトプライオリティレジスタ H	IPRH	8	H'FF0530	割り込み	8	2
インタラプトプライオリティレジスタ I	IPRI	8	H'FF0531	割り込み	8	2

【注】 *1 H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

*2 H8S/20223 グループ、H8S/20235 グループには存在しません。予約アドレスになります。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
DTC イネーブルレジスタ A	DTCERA	8	H'FF0534	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FF0535	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FF0536	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FF0537	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FF0538	DTC	8	2
DTC イネーブルレジスタ F*	DTCERF	8	H'FF0539	DTC	8	2
DTC イネーブルレジスタ G	DTCERG	8	H'FF053A	DTC	8	2
DTC イネーブルレジスタ H	DTCERH	8	H'FF053B	DTC	8	2
DTC ベクタレジスタ	DTVECR	8	H'FF053D	DTC	8	2
シリアルモードレジスタ	SMR	8	H'FF0550	SCI3	8	3
ビットレートレジスタ	BRR	8	H'FF0551	SCI3	8	3
シリアルコントロールレジスタ 3	SCR3	8	H'FF0552	SCI3	8	3
トランスミットデータレジスタ	TDR	8	H'FF0553	SCI3	8	3
シリアルステータスレジスタ	SSR	8	H'FF0554	SCI3	8	3
レシーブデータレジスタ	RDR	8	H'FF0555	SCI3	8	3
サンプリングモードレジスタ	SPMR	8	H'FF0556	SCI3	8	3
シリアルモードレジスタ_2	SMR_2	8	H'FF0558	SCI3_2	8	3
ビットレートレジスタ_2	BRR_2	8	H'FF0559	SCI3_2	8	3
シリアルコントロールレジスタ 3_2	SCR3_2	8	H'FF055A	SCI3_2	8	3
トランスミットデータレジスタ_2	TDR_2	8	H'FF055B	SCI3_2	8	3
シリアルステータスレジスタ_2	SSR_2	8	H'FF055C	SCI3_2	8	3
レシーブデータレジスタ_2	RDR_2	8	H'FF055D	SCI3_2	8	3
サンプリングモードレジスタ_2	SPMR_2	8	H'FF055E	SCI3_2	8	3
シリアルモードレジスタ_3	SMR_3	8	H'FF0560	SCI3_3	8	3
ビットレートレジスタ_3	BRR_3	8	H'FF0561	SCI3_3	8	3
シリアルコントロールレジスタ 3_3	SCR3_3	8	H'FF0562	SCI3_3	8	3
トランスミットデータレジスタ_3	TDR_3	8	H'FF0563	SCI3_3	8	3
シリアルステータスレジスタ_3	SSR_3	8	H'FF0564	SCI3_3	8	3
レシーブデータレジスタ_3	RDR_3	8	H'FF0565	SCI3_3	8	3
サンプリングモードレジスタ_3	SPMR_3	8	H'FF0566	SCI3_3	8	3

【注】 * H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数	
タイマ RD カウンタ_2* ¹	TRDCNT_2	16	H'FF0570	タイマ RD (ユニット 1 チャンネル 2)	16* ²	2	
ジェネラルレジスタ A_2* ¹	GRA_2	16	H'FF0572		16* ²	2	
ジェネラルレジスタ B_2* ¹	GRB_2	16	H'FF0574		16* ²	2	
ジェネラルレジスタ C_2* ¹	GRC_2	16	H'FF0576		16* ²	2	
ジェネラルレジスタ D_2* ¹	GRD_2	16	H'FF0578		16* ²	2	
タイマ RD カウンタ_3* ¹	TRDCNT_3	16	H'FF057A	タイマ RD (ユニット 1 チャンネル 3)	16* ²	2	
ジェネラルレジスタ A_3* ¹	GRA_3	16	H'FF057C		16* ²	2	
ジェネラルレジスタ B_3* ¹	GRB_3	16	H'FF057E		16* ²	2	
ジェネラルレジスタ C_3* ¹	GRC_3	16	H'FF0580		16* ²	2	
ジェネラルレジスタ D_3* ¹	GRD_3	16	H'FF0582		16* ²	2	
タイマ RD コントロールレジスタ_2* ¹	TRDCR_2	8	H'FF0584	タイマ RD (ユニット 1 チャンネル 2)	8	2	
タイマ RD I/O コントロールレジスタ A_2* ¹	TRDIORA_2	8	H'FF0585		8	2	
タイマ RD I/O コントロールレジスタ C_2* ¹	TRDIORC_2	8	H'FF0586		8	2	
タイマ RD ステータスレジスタ_2* ¹	TRDSR_2	8	H'FF0587		8	2	
タイマ RD インタラプトイネーブル レジスタ_2* ¹	TRDIER_2	8	H'FF0588		8	2	
PWM モードアウトプットレベル コントロールレジスタ_2* ¹	POCR_2	8	H'FF0589		8	2	
タイマ RD デジタルフィルタ機能 選択レジスタ_2* ¹	TRDDF_2	8	H'FF058A		8	2	
タイマ RD コントロールレジスタ_3* ¹	TRDCR_3	8	H'FF058B		タイマ RD (ユニット 1 チャンネル 3)	8	2
タイマ RD I/O コントロールレジスタ A_3* ¹	TRDIORA_3	8	H'FF058C			8	2
タイマ RD I/O コントロールレジスタ C_3* ¹	TRDIORC_3	8	H'FF058D			8	2
タイマ RD ステータスレジスタ_3* ¹	TRDSR_3	8	H'FF058E	8		2	
タイマ RD インタラプトイネーブル レジスタ_3* ¹	TRDIER_3	8	H'FF058F	8		2	
PWM モードアウトプットレベル コントロールレジスタ_3* ¹	POCR_3	8	H'FF0590	8		2	
タイマ RD デジタルフィルタ機能 選択レジスタ_3* ¹	TRDDF_3	8	H'FF0591	8		2	

【注】 *1 H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

*2 16 ビットアクセスのみ可能。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマ RD スタートレジスタ_23*	TRDSTR_23	8	H'FF0592	タイマ RD (ユニット 1 チャンネル 2、3 共通)	8	2
タイマ RD モードレジスタ_23*	TRDMDR_23	8	H'FF0593		8	2
タイマ RD PWM モードレジスタ_23*	TRDPMR_23	8	H'FF0594		8	2
タイマ RD ファンクションコントロール レジスタ_23*	TRDFCR_23	8	H'FF0595		8	2
タイマ RD アウトプットマスタ イネーブルレジスタ 1_23*	TRDOER1_23	8	H'FF0596		8	2
タイマ RD アウトプットマスタ イネーブルレジスタ 2_23*	TRDOER2_23	8	H'FF0597		8	2
タイマ RD アウトプットコントロール レジスタ_23*	TRDOCR_23	8	H'FF0598		8	2
タイマ RD A/D 変換トリガコントロール レジスタ_23*	TRDADCR_23	8	H'FF0599		8	2
I ² C バスコントロールレジスタ 1	ICCR1	8	H'FF05C8	IIC2/SSU	8	2
SS コントロールレジスタ H	SSCRH					
I ² C バスコントロールレジスタ 2	ICCR2	8	H'FF05C9	IIC2/SSU	8	2
SS コントロールレジスタ L	SSCRL					
I ² C バスモードレジスタ	ICMR	8	H'FF05CA	IIC2/SSU	8	2
SS モードレジスタ	SSMR					
I ² C バスインタラプトイネーブル レジスタ	ICIER	8	H'FF05CB	IIC2/SSU	8	2
SS イネーブルレジスタ	SSER					
I ² C バスステータスレジスタ	ICSR	8	H'FF05CC	IIC2/SSU	8	2
SS ステータスレジスタ	SSSR					
スレーブアドレスレジスタ	SAR	8	H'FF05CD	IIC2/SSU	8	2
SS モードレジスタ 2	SSMR2					
I ² C バス送信データレジスタ	ICDRT	8	H'FF05CE	IIC2/SSU	8	2
SS トランスミットデータレジスタ	SSTDR					
I ² C バス受信データレジスタ	ICDRR	8	H'FF05CF	IIC2/SSU	8	2
SS レシーブデータレジスタ	SSRDR					
D/A データレジスタ 0	DADR0	8	H'FF05D4	D/A 変換器	8	2
D/A データレジスタ 1	DADR1	8	H'FF05D5	D/A 変換器	8	2
D/A コントロールレジスタ	DACR	8	H'FF05D6	D/A 変換器	8	2
IrDA コントロールレジスタ	IrCR	8	H'FF05DE	SCI3_2	8	2

【注】 * H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
A/D データレジスタ 0	ADDR0	16	H'FF05E0	A/D 変換器 (ユニット1)	16	2
コンペアデータレジスタ	CMPR	8	H'FF05E0	A/D 変換器 (ユニット1)	16* ¹	2
A/D データレジスタ 1	ADDR1	16	H'FF05E2	A/D 変換器 (ユニット1)	16	2
コンペアコントロール/ステータス レジスタ	CMPCSR	8	H'FF05E2	A/D 変換器 (ユニット1)	16* ¹	2
A/D データレジスタ 2	ADDR2	16	H'FF05E4	A/D 変換器 (ユニット1)	16	2
コンペア電圧レジスタ H	CMPVALH	8	H'FF05E4	A/D 変換器 (ユニット1)	16* ¹	2
A/D データレジスタ 3	ADDR3	16	H'FF05E6	A/D 変換器 (ユニット1)	16	2
コンペア電圧レジスタ L	CMPVALL	8	H'FF05E6	A/D 変換器 (ユニット1)	16* ¹	2
A/D データレジスタ 4	ADDR4	16	H'FF05E8	A/D 変換器 (ユニット1)	16	2
A/D データレジスタ 5	ADDR5	16	H'FF05EA	A/D 変換器 (ユニット1)	16	2
A/D データレジスタ 6	ADDR6	16	H'FF05EC	A/D 変換器 (ユニット1)	16	2
A/D データレジスタ 7	ADDR7	16	H'FF05EE	A/D 変換器 (ユニット1)	16	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FF05F0	A/D 変換器 (ユニット1)	8	2
A/D コントロールレジスタ	ADCR	8	H'FF05F1	A/D 変換器 (ユニット1)	8	2
A/D モードレジスタ	ADMR	8	H'FF05F4	A/D 変換器 (ユニット1)	8	2
A/D データレジスタ 0_2* ²	ADDR0_2	16	H'FF0600	A/D 変換器 (ユニット2)	16	2
コンペアデータレジスタ_2* ²	CMPR_2	8	H'FF0600	A/D 変換器 (ユニット2)	16* ¹	2
A/D データレジスタ 1_2* ²	ADDR1_2	16	H'FF0602	A/D 変換器 (ユニット2)	16	2

【注】 *1 8ビット単位でアクセスしてください。

*2 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループには存在しません。予約アドレスになります。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
コンペアコントロール/ステータス レジスタ_2* ¹	CMPCSR_2	8	H'FF0602	A/D 変換器 (ユニット2)	16* ²	2
A/D データレジスタ 2_2* ¹	ADDR2_2	16	H'FF0604	A/D 変換器 (ユニット2)	16	2
コンペア電圧レジスタ H_2* ¹	CMPVALH_2	8	H'FF0604	A/D 変換器 (ユニット2)	16* ²	2
A/D データレジスタ 3_2* ¹	ADDR3_2	16	H'FF0606	A/D 変換器 (ユニット2)	16	2
コンペア電圧レジスタ L_2* ¹	CMPVALL_2	8	H'FF0606	A/D 変換器 (ユニット2)	16* ²	2
A/D コントロール/ステータス レジスタ_2* ¹	ADCSR_2	8	H'FF0610	A/D 変換器 (ユニット2)	8	2
A/D コントロールレジスタ_2* ¹	ADCR_2	8	H'FF0611	A/D 変換器 (ユニット2)	8	2
A/D モードレジスタ_2* ¹	ADMR_2	8	H'FF0614	A/D 変換器 (ユニット2)	8	2
リセット要因判別レジスタ	RSTFR	8	H'FF0620	例外処理	8	2
低電圧検出回路2コントロールレジスタ H	LD2CRH	8	H'FF0622	低電圧検出回路	8	2
低電圧検出回路2コントロールレジスタ L	LD2CRL	8	H'FF0623	低電圧検出回路	8	2
低電圧検出回路1コントロールレジスタ H	LD1CRH	8	H'FF0624	低電圧検出回路	8	2
低電圧検出回路1コントロールレジスタ L	LD1CRL	8	H'FF0625	低電圧検出回路	8	2
低電圧検出回路0コントロールレジスタ H	LD0CRH	8	H'FF0626	低電圧検出回路	8	2
低電圧検出回路0コントロールレジスタ L	LD0CRL	8	H'FF0627	低電圧検出回路	8	2
低電圧検出回路コントロールプロテクト レジスタ	VDCPR	8	H'FF0628	低電圧検出回路	8	2
タイマ RG カウンタ	TRGCNT	16	H'FF0640	タイマ RG	16* ³	2
ジェネラルレジスタ A	GRA	16	H'FF0642	タイマ RG	16* ³	2
ジェネラルレジスタ B	GRB	16	H'FF0644	タイマ RG	16* ³	2

【注】 *1 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループには存在しません。予約アドレスになります。

*2 8ビット単位でアクセスしてください。

*3 16ビットアクセスのみ可能

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマ RG モードレジスタ	TRGMDR	8	H'FF0646	タイマ RG	8	2
タイマ RG カウンタコントロール レジスタ	TRGCNTR	8	H'FF0647	タイマ RG	8	2
タイマ RG コントロールレジスタ	TRGCR	8	H'FF0648	タイマ RG	8	2
タイマ RG I/O コントロールレジスタ	TRGIOR	8	H'FF0649	タイマ RG	8	2
タイマ RG ステータスレジスタ	TRGSR	8	H'FF064A	タイマ RG	8	2
タイマ RG インタラプトイネーブル レジスタ	TRGIER	8	H'FF064B	タイマ RG	8	2
GRA バッファレジスタ	BRA	16	H'FF064C	タイマ RG	16* ¹	2
GRB バッファレジスタ	BRB	16	H'FF064E	タイマ RG	16* ¹	2
フラッシュメモリコントロール レジスタ 1	FLMCR1	8	H'FF0660	FLASH	8	2
フラッシュメモリコントロール レジスタ 2	FLMCR2	8	H'FF0661	FLASH	8	2
フラッシュメモリデータフラッシュ プロテクトレジスタ	DFPR	8	H'FF0662	FLASH	8	2
フラッシュメモリステータスレジスタ	FLMSTR	8	H'FF0663	FLASH	8	2
イベントリンク設定レジスタ 0	ELSR0	8	H'FF0680	ELC	8	2
イベントリンク設定レジスタ 1	ELSR1	8	H'FF0681	ELC	8	2
イベントリンク設定レジスタ 2* ²	ELSR2	8	H'FF0682	ELC	8	2
イベントリンク設定レジスタ 3	ELSR3	8	H'FF0683	ELC	8	2
イベントリンク設定レジスタ 4	ELSR4	8	H'FF0684	ELC	8	2
イベントリンク設定レジスタ 8	ELSR8	8	H'FF0688	ELC	8	2
イベントリンク設定レジスタ 10	ELSR10	8	H'FF068A	ELC	8	2
イベントリンク設定レジスタ 11* ³	ELSR11	8	H'FF068B	ELC	8	2
イベントリンク設定レジスタ 12	ELSR12	8	H'FF068C	ELC	8	2
イベントリンク設定レジスタ 14	ELSR14	8	H'FF068E	ELC	8	2
イベントリンク設定レジスタ 15	ELSR15	8	H'FF068F	ELC	8	2
イベントリンク設定レジスタ 18	ELSR18	8	H'FF0692	ELC	8	2
イベントリンク設定レジスタ 19	ELSR19	8	H'FF0693	ELC	8	2

【注】 *1 16 ビットアクセスのみ可能

*2 H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約アドレスとなります。

*3 H8S/20223 グループ、H8S/20235 グループのみ存在します。他グループは予約アドレスとなります。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
イベントリンク設定レジスタ 21	ELSR21	8	H'FF0695	ELC	8	2
イベントリンク設定レジスタ 22	ELSR22	8	H'FF0696	ELC	8	2
イベントリンク設定レジスタ 23	ELSR23	8	H'FF0697	ELC	8	2
イベントリンク設定レジスタ 24	ELSR24	8	H'FF0698	ELC	8	2
イベントリンク設定レジスタ 29	ELSR29	8	H'FF069D	ELC	8	2
イベントリンク設定レジスタ 30	ELSR30	8	H'FF069E	ELC	8	2
イベントリンク設定レジスタ 31	ELSR31	8	H'FF069F	ELC	8	2
イベントリンク設定レジスタ 32	ELSR32	8	H'FF06A0	ELC	8	2
ポートグループ指定レジスタ 1	PGR1	8	H'FF06A2	ELC	8	2
ポートグループ指定レジスタ 2	PGR2	8	H'FF06A3	ELC	8	2
ポートグループコントロールレジスタ 1	PGC1	8	H'FF06A6	ELC	8	2
ポートグループコントロールレジスタ 2	PGC2	8	H'FF06A7	ELC	8	2
ポートバッファレジスタ 1	PDBF1	8	H'FF06AA	ELC	8	2
ポートバッファレジスタ 2	PDBF2	8	H'FF06AB	ELC	8	2
イベント接続ポート指定レジスタ 0	PEL0	8	H'FF06AD	ELC	8	2
イベント接続ポート指定レジスタ 1	PEL1	8	H'FF06AE	ELC	8	2
イベント接続ポート指定レジスタ 2	PEL2	8	H'FF06AF	ELC	8	2
イベント接続ポート指定レジスタ 3	PEL3	8	H'FF06B0	ELC	8	2
イベントリンクオプション設定 レジスタ A	ELOPA	8	H'FF06B5	ELC	8	2
イベントリンクオプション設定 レジスタ B	ELOPB	8	H'FF06B6	ELC	8	2
イベントリンクオプション設定 レジスタ C	ELOPC	8	H'FF06B7	ELC	8	2
イベント発生タイマコントロール レジスタ	ELTMCR	8	H'FF06B8	ELC	8	2
イベント発生タイマ周期設定レジスタ A	ELTMSA	8	H'FF06B9	ELC	8	2
イベント発生タイマ周期設定レジスタ B	ELTMSB	8	H'FF06BA	ELC	8	2
イベント発生遅延時間選択レジスタ	ELTMDR	8	H'FF06BB	ELC	8	2
イベントリンクコントロールレジスタ	ELCR	8	H'FF06BC	ELC	8	2
ELC タイマカウンタ	ELTMCNT	16	H'FF06C0	ELC	16* ¹	2
システムクロックコントロールレジスタ	SYSCCR	8	H'FF06D0	SYSTEM	16* ²	2
低消費電力制御レジスタ 1	LPCR1	8	H'FF06D1	SYSTEM	16* ²	2
低消費電力制御レジスタ 2	LPCR2	8	H'FF06D2	SYSTEM	16* ²	2
低消費電力制御レジスタ 3	LPCR3	8	H'FF06D3	SYSTEM	16* ²	2
バックアップコントロールレジスタ	BAKCR	8	H'FF06D4	SYSTEM	16* ²	2

【注】 *1 16 ビットアクセスのみ可能

*2 16 ビットバスに接続されていますが書き替えはバイト単位で行ってください。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
OSC 発振安定コントロールステータス レジスタ	OSCCSR	8	H'FF06D5	クロック 発振器	16 ^{*3}	2
リセットコントロールレジスタ	RSTCR	8	H'FF06DA	例外処理	16 ^{*3}	2
タイマ RA コントロールレジスタ	TRACR	8	H'FF06F0	タイマ RA	8	2
タイマ RA I/O コントロールレジスタ	TRAIOC	8	H'FF06F1	タイマ RA	8	2
タイマ RA モードレジスタ	TRAMR	8	H'FF06F2	タイマ RA	8	2
タイマ RA ブリスケーラレジスタ	TRAPRE	8	H'FF06F3	タイマ RA	8	2
タイマ RA タイマレジスタ	TRATR	8	H'FF06F4	タイマ RA	8	2
タイマ RA 割り込み要求ステータス レジスタ	TRAIR	8	H'FF06F5	タイマ RA	8	2
タイマ RC カウンタ ^{*1}	TRCCNT	16	H'FFFF80	タイマ RC	16 ^{*2}	2
ジェネラルレジスタ A ^{*1}	GRA	16	H'FFFF82	タイマ RC	16 ^{*2}	2
ジェネラルレジスタ B ^{*1}	GRB	16	H'FFFF84	タイマ RC	16 ^{*2}	2
ジェネラルレジスタ C ^{*1}	GRC	16	H'FFFF86	タイマ RC	16 ^{*2}	2
ジェネラルレジスタ D ^{*1}	GRD	16	H'FFFF88	タイマ RC	16 ^{*2}	2
タイマ RC モードレジスタ ^{*1}	TRCMR	8	H'FFFF8A	タイマ RC	8	2
タイマ RC コントロールレジスタ 1 ^{*1}	TRCCR1	8	H'FFFF8B	タイマ RC	8	2
タイマ RC インタラプトイネーブル レジスタ ^{*1}	TRCIER	8	H'FFFF8C	タイマ RC	8	2
タイマ RC ステータスレジスタ ^{*1}	TRCSR	8	H'FFFF8D	タイマ RC	8	2
タイマ RC I/O コントロールレジスタ 0 ^{*1}	TRCIOR0	8	H'FFFF8E	タイマ RC	8	2
タイマ RC I/O コントロールレジスタ 1 ^{*1}	TRCIOR1	8	H'FFFF8F	タイマ RC	8	2
タイマ RC コントロールレジスタ 2 ^{*1}	TRCCR2	8	H'FFFF90	タイマ RC	8	2
タイマ RC デジタルフィルタ 機能選択レジスタ ^{*1}	TRCDF	8	H'FFFF91	タイマ RC	8	2
タイマ RC アウトプットイネーブル レジスタ ^{*1}	TRCOER	8	H'FFFF92	タイマ RC	8	2
タイマ RC A/D 変換トリガコントロール レジスタ ^{*1}	TRCADCR	8	H'FFFF93	タイマ RC	8	2
タイマカウンタ WD	TCWD	8	H'FFFF98	WDT	8	2
タイマモードレジスタ WD	TMWD	8	H'FFFF99	WDT	8	2

【注】 *1 H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約アドレスとなります。

*2 16 ビットアクセスのみ可能

*3 16 ビットバスに接続されていますが書き替えはバイト単位で行ってください。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロール/ステータス レジスタ WD	TCSRWD	8	H'FFFF9A	WDT	8	2
タイマインタラプトコントロール レジスタ WD	TICRWD	8	H'FFFF9B	WDT	8	2
タイマインタラプトフラグレジスタ WD	TIFRWD	8	H'FFFF9C	WDT	8	2
タイマ RB コントロールレジスタ	TRBCR	8	H'FFFFA0	タイマ RB	8	2
タイマ RB ワンショットコントロール レジスタ	TRBOCR	8	H'FFFFA1	タイマ RB	8	2
タイマ RB I/O コントロールレジスタ	TRBIOC	8	H'FFFFA2	タイマ RB	8	2
タイマ RB モードレジスタ	TRBMR	8	H'FFFFA3	タイマ RB	8	2
タイマ RB プリスケアラレジスタ	TRBPRE	8	H'FFFFA4	タイマ RB	8	2
タイマ RB セカンダリレジスタ	TRBSC	8	H'FFFFA5	タイマ RB	8	2
タイマ RB プライマリレジスタ	TRBPR	8	H'FFFFA6	タイマ RB	8	2
タイマ RB 割り込み要求ステータス レジスタ	TRBIR	8	H'FFFFA7	タイマ RB	8	2
タイマ RE 秒レジスタ/カウンタデータ レジスタ	TRESEC	8	H'FFFFA8	タイマ RE	8	2
タイマ RE 分レジスタ/コンペアデータ レジスタ	TREMIN	8	H'FFFFA9	タイマ RE	8	2
タイマ RE 時レジスタ	TREHR	8	H'FFFFAA	タイマ RE	8	2
タイマ RE 週レジスタ	TREWK	8	H'FFFFAB	タイマ RE	8	2
タイマ RE コントロールレジスタ 1	TRECR1	8	H'FFFFAC	タイマ RE	8	2
タイマ RE コントロールレジスタ 2	TRECR2	8	H'FFFFAD	タイマ RE	8	2
タイマ RE 割り込みフラグレジスタ	TREIFR	8	H'FFFFAE	タイマ RE	8	2
タイマ RE クロックソースセレクト レジスタ	TRECSR	8	H'FFFFAF	タイマ RE	8	2
タイマ RD カウンタ_0	TRDCNT_0	16	H'FFFFB0	タイマ RD ユニット 0 (チャンネル 0)	16*	2
ジェネラルレジスタ A_0	GRA_0	16	H'FFFFB2		16*	2
ジェネラルレジスタ B_0	GRB_0	16	H'FFFFB4		16*	2
ジェネラルレジスタ C_0	GRC_0	16	H'FFFFB6		16*	2
ジェネラルレジスタ D_0	GRD_0	16	H'FFFFB8		16*	2
タイマ RD カウンタ_1	TRDCNT_1	16	H'FFFFBA	タイマ RD ユニット 0 (チャンネル 1)	16*	2

【注】 * 16 ビットアクセスのみ可能

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ジェネラルレジスタ A_1	GRA_1	16	H'FFFFBC	タイマ RD ユニット 0 (チャンネル 1)	16*	2
ジェネラルレジスタ B_1	GRB_1	16	H'FFFFBE		16*	2
ジェネラルレジスタ C_1	GRC_1	16	H'FFFFC0		16*	2
ジェネラルレジスタ D_1	GRD_1	16	H'FFFFC2		16*	2
タイマ RD コントロールレジスタ_0	TRDCR_0	8	H'FFFFC4	タイマ RD ユニット 0 (チャンネル 0)	8	2
タイマ RD I/O コントロールレジスタ A_0	TRDIORA_0	8	H'FFFFC5		8	2
タイマ RD I/O コントロールレジスタ C_0	TRDIORC_0	8	H'FFFFC6		8	2
タイマ RD ステータスレジスタ_0	TRDSR_0	8	H'FFFFC7		8	2
タイマ RD インタラプトイネーブル レジスタ_0	TRDIER_0	8	H'FFFFC8		8	2
PWM モードアウトプットレベル コントロールレジスタ_0	POCR_0	8	H'FFFFC9		8	2
タイマ RD デジタルフィルタ機能 選択レジスタ_0	TRDDF_0	8	H'FFFFCA		8	2
タイマ RD コントロールレジスタ_1	TRDCR_1	8	H'FFFFCB		タイマ RD ユニット 0 (チャンネル 1)	8
タイマ RD I/O コントロールレジスタ A_1	TRDIORA_1	8	H'FFFFCC	8		2
タイマ RD I/O コントロールレジスタ C_1	TRDIORC_1	8	H'FFFFCD	8		2
タイマ RD ステータスレジスタ_1	TRDSR_1	8	H'FFFFCE	8		2
タイマ RD インタラプトイネーブル レジスタ_1	TRDIER_1	8	H'FFFFCF	8		2
PWM モードアウトプットレベル コントロールレジスタ_1	POCR_1	8	H'FFFFD0	8		2

【注】 * 16 ビットアクセスのみ可能

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマ RD デジタルフィルタ機能 選択レジスタ_1	TRDDF_1	8	H'FFFFD1	タイマ RD ユニット 0 (チャンネル 1)	8	2
タイマ RD スタートレジスタ_01	TRDSTR_01	8	H'FFFFD2	タイマ RD ユニット 0 (チャンネル 0、 1 共通)	8	2
タイマ RD モードレジスタ_01	TRDMDR_01	8	H'FFFFD3		8	2
タイマ RD PWM モードレジスタ_01	TRDPMR_01	8	H'FFFFD4		8	2
タイマ RD ファンクションコントロール レジスタ_01	TRDFCR_01	8	H'FFFFD5		8	2
タイマ RD アウトプットマスタ イネーブルレジスタ 1_01	TRDOER1_01	8	H'FFFFD6		8	2
タイマ RD アウトプットマスタ イネーブルレジスタ 2_01	TRDOER2_01	8	H'FFFFD7		8	2
タイマ RD アウトプットコントロール レジスタ_01	TRDOCR_01	8	H'FFFFD8		8	2
タイマ RC A/D 変換トリガコントロール レジスタ_01	TRDADCR_01	8	H'FFFFD9		8	2
モジュールスタンバイコントロール レジスタ 1	MSTCR1	8	H'FFFFDC	SYSTEM	8	2
モジュールスタンバイコントロール レジスタ 2	MSTCR2	8	H'FFFFDD	SYSTEM	8	2
モジュールスタンバイコントロール レジスタ 3	MSTCR3	8	H'FFFFDE	SYSTEM	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートデータレジスタ 1	PDR1	8	H'FFFFFFE0	I/O ポート	8	2
ポートデータレジスタ 2	PDR2	8	H'FFFFFFE1	I/O ポート	8	2
ポートデータレジスタ 3	PDR3	8	H'FFFFFFE2	I/O ポート	8	2
ポートデータレジスタ 5	PDR5	8	H'FFFFFFE4	I/O ポート	8	2
ポートデータレジスタ 6	PDR6	8	H'FFFFFFE5	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	8	H'FFFFFFE7	I/O ポート	8	2
ポートデータレジスタ 9*	PDR9	8	H'FFFFFFE8	I/O ポート	8	2
ポートデータレジスタ A	PDRA	8	H'FFFFFFE9	I/O ポート	8	2
ポートデータレジスタ B	PDRB	8	H'FFFFFFEA	I/O ポート	8	2
ポートデータレジスタ J	PDRJ	8	H'FFFFFFEC	I/O ポート	8	2
ポートコントロールレジスタ 1	PCR1	8	H'FFFFFFF0	I/O ポート	8	2
ポートコントロールレジスタ 2	PCR2	8	H'FFFFFFF1	I/O ポート	8	2
ポートコントロールレジスタ 3	PCR3	8	H'FFFFFFF2	I/O ポート	8	2
ポートコントロールレジスタ 5	PCR5	8	H'FFFFFFF4	I/O ポート	8	2
ポートコントロールレジスタ 6	PCR6	8	H'FFFFFFF5	I/O ポート	8	2
ポートコントロールレジスタ 8	PCR8	8	H'FFFFFFF7	I/O ポート	8	2
ポートコントロールレジスタ 9*	PCR9	8	H'FFFFFFF8	I/O ポート	8	2
ポートコントロールレジスタ A	PCRA	8	H'FFFFFFF9	I/O ポート	8	2
ポートコントロールレジスタ B	PCRB	8	H'FFFFFFFA	I/O ポート	8	2
ポートコントロールレジスタ J	PCRJ	8	H'FFFFFFFC	I/O ポート	8	2

【注】 * H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

27.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PMR1	PMR17	PMR16	PMR15	PMR14* ¹	PMR13	PMR12	PMR11	PMR10* ¹	I/O ポート
PMR2	PMR27	PMR26	PMR25	PMR24	PMR23	PMR22	PMR21	PMR20	
PMR3	PMR37	PMR36	PMR35	PMR34	PMR33	PMR32	PMR31	PMR30	
PMR5	PMR57	PMR56	PMR55	PMR54	PMR53	PMR52	PMR51	PMR50	
PMR6	PMR67	PMR66	PMR65	PMR64	PMR63	PMR62	PMR61	PMR60	
PMR8	PMR87	PMR86	PMR85	—	—	—	—	—	
PMR9* ¹	PMR97	PMR96	PMR95	PMR94	PMR93	PMR92	PMR91	PMR90	
PMRA	PMRA7	PMRA6	PMRA5	PMRA4	PMRA3* ²	PMRA2	—	—	
ICSUSR	—	—	—	—	—	—	—	SELICSU	IIC2/SSU
PMRJ	—	—	—	—	—	—	PMRJ[1:0]		I/O ポート
PUCR1	PUCR17	PUCR16	PUCR15	PUCR14* ¹	PUCR13	PUCR12	PUCR11	PUCR10* ¹	
PUCR2	PUCR27	PUCR26	PUCR25	PUCR24	PUCR23	PUCR22	PUCR21	PUCR20	
PUCR3	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30	
PUCR5	—	—	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	
PUCR8	PUCR87	PUCR86	PUCR85	—	—	—	—	—	
PUCR9* ¹	PUCR97	PUCR96	PUCR95	PUCR94	PUCR93	PUCR92	PUCR91	PUCR90	
PUCRA	PUCRA7	PUCRA6	PUCRA5	PUCRA4	PUCRA3* ¹	PUCRA2* ¹	PUCRA1* ¹	PUCRA0* ¹	
PUCRB	PUCRB7	PUCRB6	PUCRB5	PUCRB4	PUCRB3	PUCRB2	PUCRB1	PUCRB0	
PUCRJ	—	—	—	—	—	—	PUCRJ1	PUCRJ0	
PDVR1	PDVR17	PDVR16	PDVR15	PDVR14* ¹	PDVR13	PDVR12	PDVR11	PDVR10* ¹	
PDVR2	PDVR27	PDVR26	PDVR25	PDVR24	PDVR23	PDVR22	PDVR21	PDVR20	
PDVR3	PDVR37	PDVR36	PDVR35	PDVR34	PDVR33	PDVR32	PDVR31	PDVR30	
PDVR5	—	—	PDVR55	PDVR54	PDVR53	PDVR52	PDVR51	PDVR50	
PDVR6	PDVR67	PDVR66	PDVR65	PDVR64	PDVR63	PDVR62	PDVR61	PDVR60	
PDVR8	PDVR87	PDVR86	PDVR85	—	—	—	—	—	
PDVR9* ¹	PDVR97	PDVR96	PDVR95	PDVR94	PDVR93	PDVR92	PDVR91	PDVR90	

【注】 *1 H8S/20103 グループ、H8S/20115 グループには存在しません。予約ビットまたは予約アドレスになります。

*2 H8S/20223 グループ、H8S/20235 グループのみ存在します。他グループは予約ビットとなります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PMCR11	—	P11MD[2:0]			—	P10MD[2:0]*			PMC
PMCR12	—	P13MD[2:0]			—	P12MD[2:0]			
PMCR13	—	P15MD[2:0]			—	P14MD[2:0]*			
PMCR14	—	P17MD[2:0]			—	P16MD[2:0]			
PMCR21	—	P21MD[2:0]			—	P20MD[2:0]			
PMCR22	—	P23MD[2:0]			—	P22MD[2:0]			
PMCR23	—	P25MD[2:0]			—	P24MD[2:0]			
PMCR24	—	P27MD[2:0]			—	P26MD[2:0]			
PMCR31	—	P31MD[2:0]			—	P30MD[2:0]			
PMCR32	—	P33MD[2:0]			—	P32MD[2:0]			
PMCR33	—	P35MD[2:0]			—	P34MD[2:0]			
PMCR34	—	P37MD[2:0]			—	P36MD[2:0]			
PMCR51	—	P51MD[2:0]			—	P50MD[2:0]			
PMCR52	—	P53MD[2:0]			—	P52MD[2:0]			
PMCR53	—	P55MD[2:0]			—	P54MD[2:0]			
PMCR54	—	P57MD[2:0]			—	P56MD[2:0]			
PMCR61	—	P61MD[2:0]			—	P60MD[2:0]			
PMCR62	—	P63MD[2:0]			—	P62MD[2:0]			
PMCR63	—	P65MD[2:0]			—	P64MD[2:0]			
PMCR64	—	P67MD[2:0]			—	P66MD[2:0]			
PMCR83	—	P85MD[2:0]			—	—	—	—	
PMCR84	—	P87MD[2:0]			—	P86MD[2:0]			
PMCR91*	—	P91MD[2:0]			—	P90MD[2:0]			
PMCR92*	—	P93MD[2:0]			—	P92MD[2:0]			
PMCR93*	—	P95MD[2:0]			—	P94MD[2:0]			
PMCR94*	—	P97MD[2:0]			—	P96MD[2:0]			
PMCWPR	B0WI	PMCRWE	—	—	—	—	—	—	
PM CRA3	—	PA5MD[2:0]			—	PA4MD[2:0]			
PM CRA4	—	PA7MD[2:0]			—	PA6MD[2:0]			
LINCR	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE	HW-LIN
LINST	—	—	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT	

【注】 * H8S/20103 グループ、H8S/20115 グループには存在しません。予約ビットまたは予約アドレスになります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
INTCR	—	—	INTM[1:0]		NMIEG	ADTRG1	ADTRG0	—	割り込み
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISCRH	[IRQ7SCB:IRQ7SCA]		[IRQ6SCB:IRQ6SCA]		[IRQ5SCB:IRQ5SCA]		[IRQ4SCB:IRQ4SCA]		
ISCRL	[IRQ3SCB:IRQ3SCA]		[IRQ2SCB:IRQ2SCA]		[IRQ1SCB:IRQ1SCA]		[IRQ0SCB:IRQ0SCA]		
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
INCCR	—	—	INCCR[5:4]		INCCR[3:2]		INCCR[1:0]		
VOFR						—	—	—	
ELCSR	—	—	—	—	ELIE2	ELIE1	ELF2	ELF1	
IPRA	IPRA[7:6]		IPRA[5:4]		IPRA[3:2]		IPRA[1:0]		
IPRB	IPRB[7:6]		IPRB[5:4]		IPRB[3:2]		IPRB[1:0]		
IPRC	IPRC[7:6]		IPRC[5:4]		IPRC[3:2]		IPRC[1:0]		
IPRD	IPRD[7:6]		IPRD[5:4]* ¹		IPRD[3:2]		IPRD[1:0]		
IPRE	IPRE[7:6]		IPRE[5:4]		IPRE[3:2]		—	—	
IPRF	—	—	—	—	IPRF[3:2]		—	—	
IPRG	—	—	IPRG[5:4]		IPRG[3:2]		IPRG[1:0]* ²		
IPRH	IPRH[7:6]		IPRH[5:4]		IPRH[3:2]* ³		IPRH[1:0]* ³		
IPRI	IPRI[7:6]		—	—	IPRI[3:2]		—	—	
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	—	—	—	—	
DTCERD	DTCED7	DTCED6	—	—	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCERF	DTCEF7* ³	DTCEF6* ³	DTCEF5* ³	DTCEF4* ³	DTCEF3* ³	DTCEF2* ³	DTCEF1* ³	DTCEF0* ³	
DTCERG	—	—	—	DTCEG4	DTCEG3	DTCEG2	DTCEG1	DTCEG0	
DTCERH	—	—	—	—	DTCEH3	DTCEH2	—	—	
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	

【注】 *1 H8S/20223 グループ、H8S/20235 グループのみ存在します。他グループは予約ビットとなります。

*2 H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約ビットとなります。

*3 H8S/20103 グループ、H8S/20115 グループは存在しません。予約ビットとなります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR	COM	CHR	PE	PM	STOP	MP	CKS[1:0]		SCI3
BRR									
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
TDR									
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR									
SPMR	—	—	—	—	—	NFEN	—	—	
SMR_2	COM	CHR	PE	PM	STOP	MP	CKS[1:0]		SCI3_2
BRR_2									
SCR3_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
TDR_2									
SSR_2	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR_2									
SPMR_2	—	—	—	—	—	NFEN	—	—	
SMR_3	COM	CHR	PE	PM	STOP	MP	CKS[1:0]		SCI3_3
BRR_3									
SCR3_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]		
TDR_3									
SSR_3	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR_3									
SPMR_3	—	—	—	—	—	NFEN	—	—	
TRDCNT_2*									タイマ RD ユニット 1 (チャンネル 2)
GRA_2*									
GRB_2*									
GRC_2*									
GRD_2*									

【注】 * H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TRDCNT_3*									タイマ RD ユニット 1 (チャンネル 3)
GRA_3*									
GRB_3*									
GRC_3*									
GRD_3*									
TRDCR_2*	CCLR[2:0]		CKEG[1:0]		TPSC[2:0]				タイマ RD
TRDIORA_2*	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]		ユニット 1
TRDIORC_2*	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]		(チャンネル 2)
TRDSR_2*	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA	
TRDIER_2*	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_2*	—	—	—	—	—	POLD	POLC	POLB	
TRDDF_2*	DFCK[1:0]		—	—	DFD	DFC	DFB	DFA	
TRDCR_3*	CCLR[2:0]		CKEG[1:0]		TPSC[2:0]				タイマ RD
TRDIORA_3*	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]		ユニット 1
TRDIORC_3*	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]		(チャンネル 3)
TRDSR_3*	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
TRDIER_3*	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_3*	—	—	—	—	—	POLD	POLC	POLB	
TRDDF_3*	DFCK[1:0]		—	—	DFD	DFC	DFB	DFA	
TRDSTR_23*	—	—	—	—	CSTPN1	CSTPN0	STR1	STR0	タイマ RD
TRDMDR_23*	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC	ユニット 1
TRDPMR_23*	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0	(チャンネル 2、3)
TRDFCR_23*	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD[1:0]		共通)
TRDOER1_23*	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0	
TRDOER2_23*	PTO	—	—	—	—	—	—	—	
TRDOCR_23*	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0	
TRDADCR_23*	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E	

【注】 * H8S/20103 グループ、H8S/20115 グループは存在しません。予約アドレスになります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICCR1	ICE	RCVD	MST	TRS	CKS[3:0]				IIC2/SSU
SSCRH	—	RSSTP	MSS	—	—	CKS[2:0]			
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—	
SSCRL	—	—	SOL	SOLP	—	—	SRES	—	
ICMR	MLS	WAIT	—	—	BCWP	BC[2:0]			
SSMR	MLS	CPOS	CPHS	—	—	BC[2:0]			
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
SSER	TIE	TEIE	RIE	TE	RE	—	—	CEIE	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL_OVE	AAS	ADZ	
SSSR	TDRE	TEND	RDRF	—	—	ORER	—	CE	
SAR	SVA[6:0]							FS	
SSMR2	BIDE	SCKS	CSS[1:0]		SCKOS	SOOS	CSOS	SSUMS	
ICDRT									
SSTDRT									
ICDRR									
SSRDR									
DADR0									D/A 変換器
DADR1									
DACR	DAOE1	DAOE0	—	—	—	—	—	—	
IrCR	IrE	IrCK[2:0]			IrTXINV	IrRXINV	—	—	SCI3_2 (IrDA)
ADDR0									A/D 変換器 (ユニット1)
			—	—	—	—	—	—	
CMPR	CMP7	CMP6	CMP5	CMP4	CMP3	CMP2	CMP1	CMP0	
ADDR1									
			—	—	—	—	—	—	
CMPCSR	CMPF	CMPIE	CMPFC1	CMPFC0	—	—	—	—	
ADDR2									
			—	—	—	—	—	—	
CMPVALH	—	—	—	—	—	—	VAL9	VAL8	
ADDR3									
			—	—	—	—	—	—	
CMPVALL	VAL7	VAL6	VAL5	VAL4	VAL3	VAL2	VAL1	VAL0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ADDR4									A/D 変換器 (ユニット1)
			-	-	-	-	-	-	
ADDR5									
			-	-	-	-	-	-	
ADDR6									
			-	-	-	-	-	-	
ADDR7									
			-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	-	CH[3:0]				
ADCR	TRGS[1:0]		SCANE	SCANS	CKS[1:0]		ADSTCLR	EXTRGS	
ADMR	-	-	ADM1	-	-	-	-	-	
ADDR0_2*									A/D 変換器 (ユニット2)
			-	-	-	-	-	-	
CMPR_2*	-	-	-	-	CMP3	CMP2	CMP1	CMP0	
ADDR1_2*									
			-	-	-	-	-	-	
CMPCSR_2*	CMPF	CMPIE	CMPFC1	CMPFC0	-	-	-	-	
ADDR2_2*									
			-	-	-	-	-	-	
CMPVALH_2*	-	-	-	-	-	-	VAL9	VAL8	
ADDR3_2*									
			-	-	-	-	-	-	
CMPVALL_2*	VAL7	VAL6	VAL5	VAL4	VAL3	VAL2	VAL1	VAL0	
ADCSR_2*	ADF	ADIE	ADST	-	-	CH[2:0]			
ADCR_2*	TRGS[1:0]		SCANE	SCANS	CKS[1:0]		ADSTCLR	EXTRGS	
ADMR_2*	-	-	ADM1	-	-	-	-	-	
RSTFR	-	-	SWRST	PRST	LVD2RST	LVD1RST	PORRST	WRST	例外処理
LD2CRH	VD2DF	VD2UF	VD2DFCK[1:0]		VD2DFS	VD2IRCS	VD2MS	VD2RE	低電圧 検出回路
LD2CRL	VD2E	VD2CVS	VD2RVS	-	-	-	-	-	
LD1CRH	VD1DF	VD1UF	VD1DFCK[1:0]		VD1DFS	VD1IRCS	VD1MS	VD1RE	
LD1CRL	VD1E	-	-	-	VD1LS[3:0]				
LD0CRH	-	-	VD0DFCK[1:0]		VD0DFS	-	-	-	
LD0CRL	-	-	-	-	-	-	VD0LS1	-	
VDCPR	WRI	-	-	-	-	-	-	LDPRC	

【注】 * H8S/20223 グループ、H8S/20235 グループのみ存在します。他グループは予約アドレスとなります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TRGCNT									タイマ RG	
GRA										
GRB										
TRGMDR	STR	—	DFCK[1:0]		DFB	DFA	MDF	PWM		
TRGCNTCR	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0		
TRGCR	—	CCLR[1:0]		CKEG[1:0]		TPSC[2:0]				
TRGIOR	BUFB	IOB2	IOB[1:0]		BUFA	IOA2	IOA[1:0]			
TRGSR	—	—	—	DIRF	OVF	UDF	IMFB	IMFA		
TRGIER	—	—	—	—	OVIE	UDIE	IMIEB	IMIEA		
BRA										
BRB										
FLMCR1	—	—	—	—	FMLBD	FMWUS	FMEWMOD	FMCM DEN		FLASH
FLMCR2	—	—	—	FMRDYIE	FMBSYRDIE	FMISPE	FMSPREQ	FMSPEN		
DFPR	—	—	—	—	—	—	DFPR1	DFPR0		
FLMSTR	FMRDYIF	FMBSYRDIF	FMEBSF	FMERSF	FMPRSF	—	—	FMRDY		
ELSR0	ELS07	ELS06	ELS05	ELS04	ELS03	ELS02	ELS01	ELS00	ELC	
ELSR1	ELS17	ELS16	ELS15	ELS14	ELS13	ELS12	ELS11	ELS10		
ELSR2*	ELS27	ELS26	ELS25	ELS24	ELS23	ELS22	ELS21	ELS20		
ELSR3	ELS37	ELS36	ELS35	ELS34	ELS33	ELS32	ELS31	ELS30		
ELSR4	ELS47	ELS46	ELS45	ELS44	ELS43	ELS42	ELS41	ELS40		
ELSR8	ELS87	ELS86	ELS85	ELS84	ELS83	ELS82	ELS81	ELS80		
ELSR10	ELS107	ELS106	ELS105	ELS104	ELS103	ELS102	ELS101	ELS100		

【注】 * H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約アドレスとなります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ELSR11* ¹	ELS117	ELS116	ELS115	ELS114	ELS113	ELS112	ELS111	ELS110	ELC
ELSR12	ELS127	ELS126	ELS125	ELS124	ELS123	ELS122	ELS121	ELS120	
ELSR14	ELS147	ELS146	ELS145	ELS144	ELS143	ELS142	ELS141	ELS140	
ELSR15	ELS157	ELS156	ELS155	ELS154	ELS153	ELS152	ELS151	ELS150	
ELSR18	ELS187	ELS186	ELS185	ELS184	ELS183	ELS182	ELS181	ELS180	
ELSR19	ELS197	ELS196	ELS195	ELS194	ELS193	ELS192	ELS191	ELS190	
ELSR21	ELS217	ELS216	ELS215	ELS214	ELS213	ELS212	ELS211	ELS210	
ELSR22	ELS227	ELS226	ELS225	ELS224	ELS223	ELS222	ELS221	ELS220	
ELSR23	ELS237	ELS236	ELS235	ELS234	ELS233	ELS232	ELS231	ELS230	
ELSR24	ELS247	ELS246	ELS245	ELS244	ELS243	ELS242	ELS241	ELS240	
ELSR29	ELS297	ELS296	ELS295	ELS294	ELS293	ELS292	ELS291	ELS290	
ELSR30	ELS307	ELS306	ELS305	ELS304	ELS303	ELS302	ELS301	ELS300	
ELSR31	ELS317	ELS316	ELS315	ELS314	ELS313	ELS312	ELS311	ELS310	
ELSR32	ELS327	ELS326	ELS325	ELS324	ELS323	ELS322	ELS321	ELS320	
PGR1	PGR17	PGR16	PGR15	PGR14	PGR13	PGR12	PGR11	PGR10	
PGR2	PGR27	PGR26	PGR25	PGR24	PGR23	PGR22	PGR21	PGR20	
PGC1	—	PGCO1[2:0]			—	PGCOVE1	PGC1[1:0]		
PGC2	—	PGCO2[2:0]			—	PGCOVE2	PGC2[1:0]		
PDBF1	PDBF17	PDBF16	PDBF15	PDBF14	PDBF13	PDBF12	PDBF11	PDBF10	
PDBF2	PDBF27	PDBF26	PDBF25	PDBF24	PDBF23	PDBF22	PDBF21	PDBF20	
PEL0	—	PSM0[1:0]		PSP0[4:3]		PSP02	PSP01	PSP00	
PEL1	—	PSM1[1:0]		PSP1[4:3]		PSP12	PSP11	PSP10	
PEL2	—	PSM2[1:0]		PSP2[4:3]		PSP22	PSP21	PSP20	
PEL3	—	PSM3[1:0]		PSP3[4:3]		PSP32	PSP31	PSP30	
ELOPA	TMRAM[2:1]		TMRBM[2:1]		TMRCM[2:1]* ²		TMRD1M[2:1]		
ELOPB	TMRD2M[2:1]		—	—	—	—	—	—	
ELOPC	TMRGM[2:1]		—	—	—	—	—	—	
ELTMCR	TMRSTR	—	—	—	CLSRs[3:0]				
ELTMSA	C1CLS[3:0]				C0CLS[3:0]				
ELTMSB	C3CLS[3:0]				C2CLS[3:0]				
ELTMDR	C3DLY[1:0]		C2DLY[1:0]		C1DLY[1:0]		C0DLY[1:0]		
ELCR	ELCON	—	—	—	—	—	—	—	
ELTMCNT									

【注】 *1 H8S/20223 グループ、H8S/20235 グループのみ存在します。他グループは予約アドレスとなります。

*2 H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約アドレスとなります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SYSCCR	WI	WE	PHIHSEL	PHILSEL	—	SUBNC[1:0]		—	クロック 発振器
LPCR1	WI	WE	SSBY	PSCSTP	SLEEPRES	STBYRS	—	PHIBSEL	
LPCR2	WI	WE	—	—	—	PHI[2:0]			
LPCR3	WI	WE	STBYINT	SLEEPINT	—	PHIS[2:0]			
BAKCR	WI	WE	OSCBKAE	BAKCKSEL	CKSWIE	CKSWIF	OSCHLT	—	
OSCCSR	OSCWEF	—	—	—	STS[3:0]				
RSTCR	WI	WE	—	—	—	—	—	SRST	
TRACR	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART	タイマ RA
TRAI0C	TIOGT[1:0]		TIPF[1:0]		TIOSEL	TOENA	TOPCR	TEDGSEL	
TRAMR	TCKCUT	TCK[2:0]			—	TMOD[2:0]			
TRAPRE									
TRATR									
TRAIR	TRAIE	TRAIF	—	—	—	—	—	—	
TRCCNT*									タイマ RC
GRA*									
GRB*									
GRC*									
GRD*									
TRCMR*	CTS	—	BUFEB	BUFEA	PWM2	PWMD	PWMC	PWMB	
TRCCR1*	CCLR	CKS[2:0]			TOD	TOC	TOB	TOA	
TRCIER*	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA	
TRCSR*	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA	

【注】 * H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約アドレスとなります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TRCIOR0*	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]		タイマ RC
TRCIOR1*	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]		
TRCCR2*	TCEG[1:0]		CSTP	—	—	POLD	POLC	POLB	
TRCDF*	DFCK[1:0]		—	DFTRG	DFD	DFC	DFB	DFA	
TRCOER*	PTO	—	—	—	ED	EC	EB	EA	
TRCADCR*	—	—	—	—	ADTRGAE	ADTRGBE	ADTRGCE	ADTRGDE	
TCWD									WDT
TMWD	—	—	—	—	CKS[3:0]				
TCSRWD	B6WI	TCWE	B4WI	TCSRWE	TMWLOCK	TMWI	—	—	
TICRWD	INTSEL[1:0]		IWIE	—	—	—	—	—	
TIFRWD	IWF	—	—	—	—	—	—	—	
TRBCR	—	—	—	—	—	TSTOP	TCSTF	TSTART	
TRBOCR	—	—	—	—	—	TOSSTF	TOSSP	TOSST	
TRBIOC	—	—	TIPF[1:0]		INOSEG	INOSTG	TOCNT	TOPL	
TRBMR	TCKCUT	TCK[2:0]			TWRC	—	TMOD[1:0]		
TRBPRE									
TRBSC									
TRBPR									
TRBIR	TRBIE	TRBIF	—	—	—	—	—	—	タイマ RE
TRESEC	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00	
TREMIN	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00	
TREHR	BSY	—	HR11	HR10	HR03	HR02	HR01	HR00	
TREWK	BSY	—	—	—	—	WK[2:0]			
TRECR1	TSTART	H12_H24	PM	TRERST	INT	TOENA	TCSTF	—	
TRECR2	—	—	COMIE	WKIE	DYIE	HRIE	MNIE	SEIE	
TREIFR	—	—	COMF	WKF	DYF	HRF	MNF	SECF	
TRECSR	—	RCS[6:4]			RCS3	RCS2	RCS[1:0]		
TRDCNT_0									
									ユニット 0
GRA_0									(チャンネル 0)
GRB_0									

【注】 * H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約アドレスとなります。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
GRC_0									タイマ RD ユニット 0
GRD_0									
TRDCNT_1									タイマ RD ユニット 0
GRA_1									
GRB_1									
GRC_1									
GRD_1									
TRDCR_0	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			タイマ RD
TRDIORA_0	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]		ユニット 0
TRDIORC_0	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]		(チャンネル 0)
TRDSR_0	—	—	—	OVF	IMFD	IMFC	IMFB	IMFA	
TRDIER_0	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_0	—	—	—	—	—	POLD	POLC	POLB	
TRDDF_0	DFCK[1:0]		—	—	DFD	DFC	DFB	DFA	
TRDCR_1	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]			タイマ RD
TRDIORA_1	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]		ユニット 0
TRDIORC_1	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]		(チャンネル 1)
TRDSR_1	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
TRDIER_1	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA	
POCR_1	—	—	—	—	—	POLD	POLC	POLB	
TRDDF_1	DFCK[1:0]		—	—	DFD	DFC	DFB	DFA	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TRDSTR_01	—	—	—	—	CSTPN1	CSTPN0	STR1	STR0	タイマ RD
TRDMDR_01	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC	ユニット0 (チャンネル0、1 共通)
TRDPMR_01	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0	
TRDFCR_01	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD[1:0]		
TRDOER1_01	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0	
TRDOER2_01	PTO	—	—	—	—	—	—	—	
TRDOCR_01	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0	
TRDADCR_01	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E	
MSTCR1	MSTWDT	—	MSTAD1	MSTAD2* ²	MSTDA	MSTDTC	—	—	
MSTCR2	MSTSCI3_1	MSTSCI3_2	MSTSCI3_3	—	—	MSTICSU	—	—	
MSTCR3	MSTTMRA	MSTTMRB	MSTTMRC* ³	MSTTMRD1	MSTTMRD2* ¹	MSTTMRG	—	MSTTMRE	
PDR1	PDR17	PDR16	PDR15	PDR14* ¹	PDR13	PDR12	PDR11	PDR10* ¹	I/Oポート
PDR2	PDR27	PDR26	PDR25	PDR24	PDR23	PDR22	PDR21	PDR20	
PDR3	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30	
PDR5	PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50	
PDR6	PDR67	PDR66	PDR65	PDR64	PDR63	PDR62	PDR61	PDR60	
PDR8	PDR87	PDR86	PDR85	—	—	—	—	—	
PDR9* ¹	PDR97	PDR96	PDR95	PDR94	PDR93	PDR92	PDR91	PDR90	
PDRA	PDRA7	PDRA6	PDRA5	PDRA4	PDRA3* ¹	PDRA2* ¹	PDRA1* ¹	PDRA0* ¹	
PDRB	PDRB7	PDRB6	PDRB5	PDRB4	PDRB3	PDRB2	PDRB1	PDRB0	
PDRJ	—	—	—	—	—	—	PDRJ1	PDRJ0	
PCR1	PCR17	PCR16	PCR15	PCR14* ¹	PCR13	PCR12	PCR11	PCR10* ¹	
PCR2	PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20	
PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR8	PCR87	PCR86	PCR85	—	—	—	—	—	
PCR9* ¹	PCR97	PCR96	PCR95	PCR94	PCR93	PCR92	PCR91	PCR90	
PCRA	PCRA7	PCRA6	PCRA5	PCRA4	PCRA3* ¹	PCRA2* ¹	PCRA1* ¹	PCRA0* ¹	
PCRB	PCRB7	PCRB6	PCRB5	PCRB4	PCRB3	PCRB2	PCRB1	PCRB0	
PCRJ	—	—	—	—	—	—	PCRJ1	PCRJ0	

【注】 *1 H8S/20103 グループ、H8S/20115 グループには存在しません。予約ビットまたは予約アドレスになります。

*2 H8S/20223 グループ、H8S/20235 グループのみ存在します。他グループは予約ビットとなります。

*3 H8S/20103 グループ、H8S/20115 グループのみ存在します。他グループは予約ビットとなります。

28. 電気的特性

28.1 絶対最大定格

表 28.1 絶対最大定格

項目		記号	規格値	単位	備考
電源電圧		V _{CC}	-0.3~+6.5	V	*1
アナログ電源電圧		AV _{CC}	-0.3~+6.5	V	
入力電圧	全端子 (AN 端子、DA 端子、OSC1、X1 を除く)	V _{IN}	-0.3~V _{CC} +0.3	V	
	AN 端子、DA 端子	AV _{IN}	-0.3~AV _{CC} +0.3	V	
	OSC1、X1	V _{IN}	-0.3~+1.65	V	*2
	OSC1	V _{IN}	-0.3~V _{CC} +0.3	V	*3
動作温度		Topr	Nバージョン: -20~+85	°C	*4
			Dバージョン: -40~+85	°C	
保存温度		Tstg	-55~+125	°C	

【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

*2 OSC1 端子は外部発振機能選択時 (PMRJ1=1、PMRJ0=1)

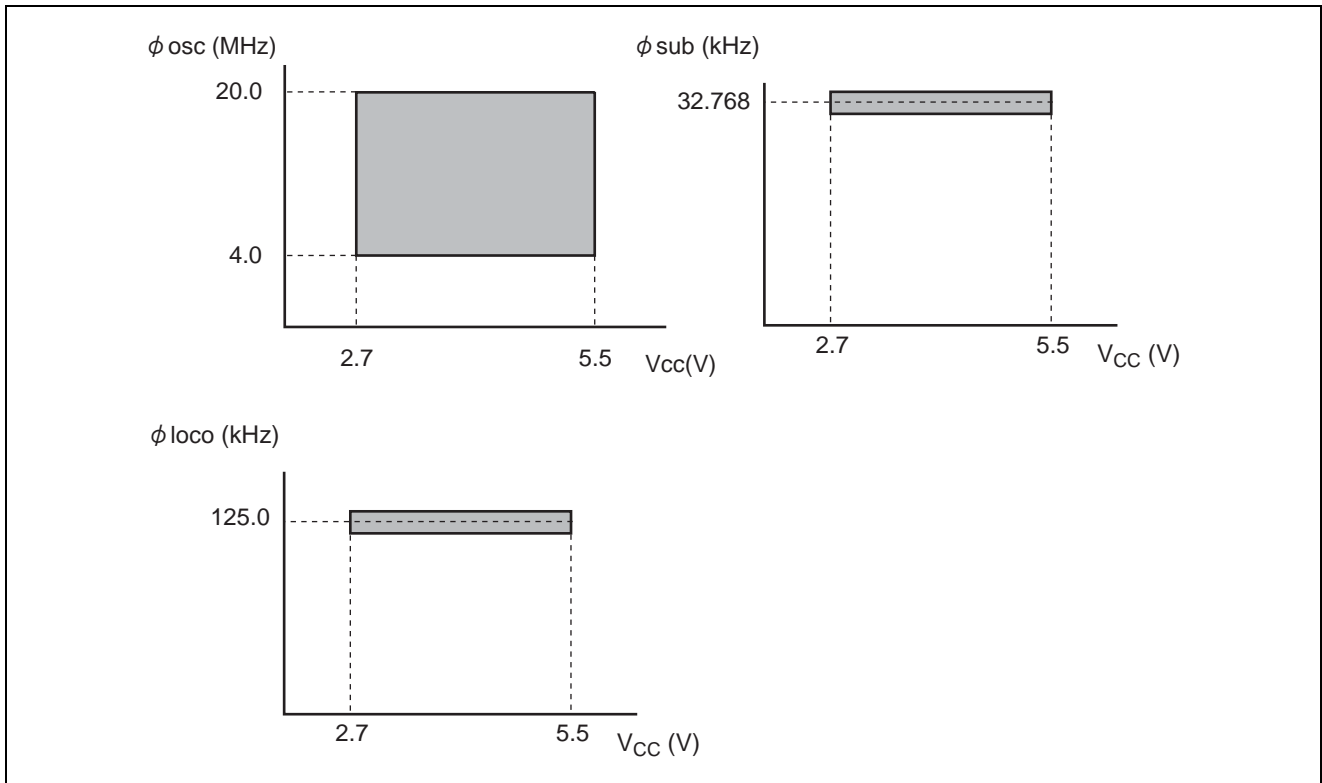
*3 外部クロック入力機能選択時 (PMRJ1=0、PMRJ0=1)

*4 Nバージョンの用途は民生機器です。Dバージョンの用途は民生機器および産業機器です。

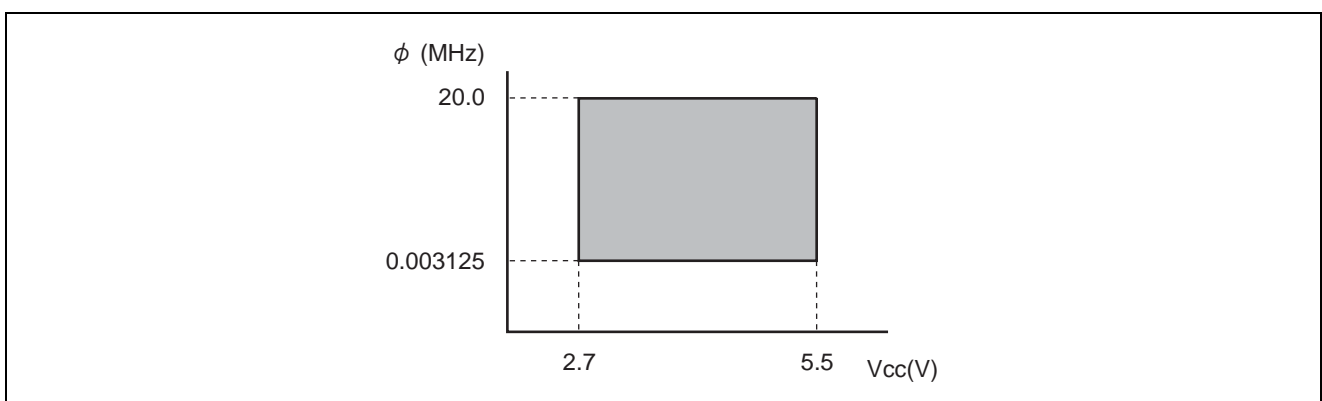
28.2 電気的特性

28.2.1 電源電圧と動作範囲

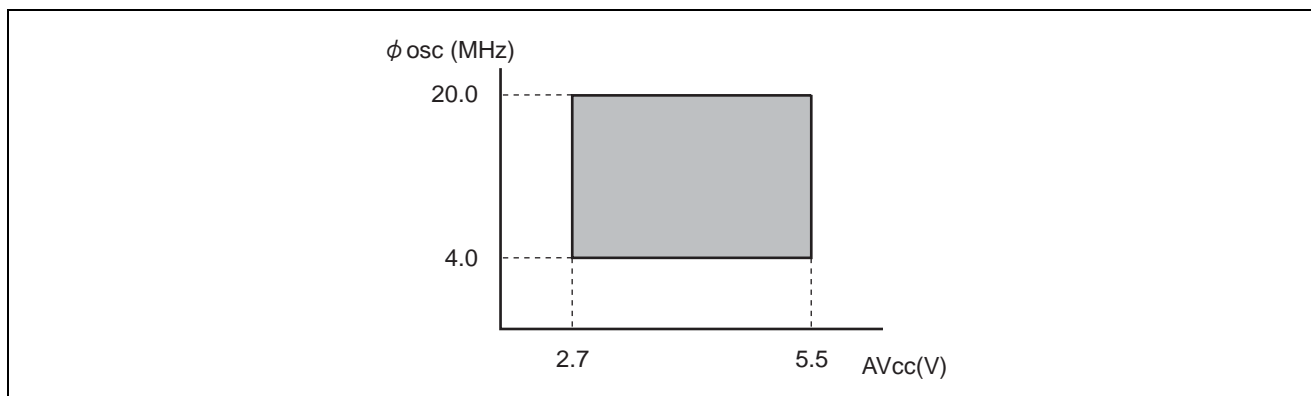
(1) 電源電圧と発振周波数の範囲



(2) 電源電圧と動作周波数の範囲



(3) アナログ電源電圧と A/D 変換器の精度保証範囲



28.3 DC 特性

表 28.2 DC 特性 (1)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入力 High レベル電圧	V_{IH}	\overline{RES} 、 \overline{NMI} $\overline{IRQ0}\sim\overline{IRQ7}$	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		$TRAIO$ 、 $TRGB$ 、 $FTCI$ 、 $TRGC$ 、 $FTIOA$ 、 $FTIOB$ 、 $FTIOC$ 、 $FTIOD$ 、 \overline{TRCOI} 、 $FTIOA0$ $FTIOB0$ 、 $FTIOC0$ 、 $FTIOD0$ 、 $FTIOA1$ $FTIOB1$ 、 $FTIOC1$ 、 $FTIOD1$ 、 $\overline{TRDOI_0}$ 、 $FTIOA2$ 、 $FTIOB2$ 、 $FTIOC2$ 、 $FTIOD2$ $FTIOA3$ 、 $FTIOB3$ 、 $FTIOC3$ 、 $FTIOD3$ $\overline{TRDOI_1}$ 、 $TCLKA$ $TCLKB$ 、 $TGIOA$ $TGIOB$ 、 $SCK3$ 、 $SCK3_2$ 、 $SCK3_3$ $\overline{ADTRG1}$ 、 $\overline{ADTRG2}$ RXD 、 RXD_2 、 RXD_3 $SSCK$ 、 \overline{SCS} 、 SSI 、 SSO		$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
		$P10\sim P17$ 、 $P20\sim P27$ 、 $P30\sim P37$ 、 $P50\sim P57$ 、 $P60\sim P67$ 、 $P85\sim P87$ 、 $P90\sim P97$ 、 $PA0\sim PA7$ 、 $PB0\sim PB7$ 、 $PJ1$ 、 $PJ0$ SCL 、 SDA	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
				$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		$OSC1$	$V_{CC}=4.0\sim 5.5V$ $PMRJ[1:0] = 01$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
			$PMRJ[1:0] = 01$	$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	

【注】 TEST 端子は V_{SS} に接続してください。

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、VCC≥AVCC、Ta=-20~+85°C (Nバージョン) / -40~+85°C (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入力 Low レベル電圧	V _{IL}	RES、NMI IRQ0~IRQ7 TRAIO、TRGB、FTCI、 TRGC、FTIOA、 FTIOB、FTIOC、 FTIOD、TRCOI、 FTIOA0	Vcc=4.0~5.5V	-0.3	-	Vcc × 0.2	V	
		FTIOB0、FTIOC0、 FTIOD0、FTIOA1、 FTIOB1、FTIOC1、 FTIOD1、TRDOI_0、 FTIOA2、FTIOB2、 FTIOC2、FTIOD2 FTIOA3、FTIOB3、 FTIOC3、FTIOD3 TRDOI_1、TCLKA TCLKB、TGIOA TGIOB、SCK3、 SCK3_2、SCK3_3 ADTRG1、ADTRG2、 RXD、RXD_2、RXD_3 SSCK、SCS、SSI、SSO		-0.3	-	Vcc × 0.1	V	
		P10~P17 P20~P27 P30~P37 P50~P57 P60~P67 P85~P87	Vcc=4.0~5.5V	-0.3	-	Vcc × 0.3	V	
		P90~P97 PA0~PA7 PB0~PB7 PJ1、PJ0 SCL、SDA		-0.3	-	Vcc × 0.2	V	
		OSC1	Vcc=4.0~5.5V PMRJ[1:0] = 01	-0.3	-	0.5	V	
			PMRJ[1:0] = 01	-0.3	-	0.3	V	

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	設定条件	測定条件	規格値			単位	備考
					Min	Typ	Max		
出力 High レベル電圧	V_{OH}	P10~P17 P20~P27 P30~P37 P50~P55 P60~P67 P85~P87 P90~P97	PDV $R_n0\sim 7=0$ のとき ($n=1,2,3,5,6,8,9$)	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=5.0mA$	$V_{CC}-1.0$	—	—	V	
				$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—	V	
		PDV $R_n0\sim 7=1$ のとき ($n=1,2,3,5,6,8,9$)	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=20.0mA$	—	$V_{CC}-1.5$	—	V	参考値	
			$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=10.0mA$	—	$V_{CC}-1.0$	—	V	参考値	
			$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=5.0mA$	—	$V_{CC}-0.5$	—	V	参考値	
			$-I_{OH}=0.1mA$	—	$V_{CC}-0.4$	—	V	参考値	
		PA0~PA7 PB0~PB7 PJ0、PJ1	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=5.0mA$	$V_{CC}-1.0$	—	—	V		
			$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—	V		
		P56、P57	$4.0\leq V_{CC}\leq 5.5V$ $-I_{OH}=0.1mA$	$V_{CC}-2.5$	—	—	V		
			$3.0\leq V_{CC}< 4.0V$ $-I_{OH}=0.1mA$	$V_{CC}-2.0$	—	—	V		

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	設定条件	測定条件	規格値			単位	備考
					Min	Typ	Max		
出力 Low レベル電圧	V _{OL}	P10~P17 P20~P27 P30~P37 P50~P57 P60~P67 P85~P87 P90~P97	PDVRn0~7=0 のとき (n=1,2,3,5,6,8,9)	V _{CC} =4.0~5.5V	—	—	0.6	V	
				I _{OL} =1.6mA					
				I _{OL} =0.4mA	—	—	0.4	V	
		PA0~PA7 PB0~PB7 PJ0、PJ1	PDVRn0~7=1 のとき (n=1,2,3,5,6,8,9)	V _{CC} =4.0~5.5V	—	—	1.5	V	
				I _{OL} =20.0mA					
				I _{OL} =5.0mA	—	—	1.0	V	
				V _{CC} =4.0~5.5V I _{OL} =1.6mA	—	0.6	—	V	参考値
				I _{OL} =0.4mA	—	0.4	—	V	参考値
SCL、SDA				V _{CC} =4.0~5.5V	—	—	0.6	V	
				I _{OL} =6.0mA					
				I _{OL} =3.0mA	—	—	0.4	V	

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入出力 リーク電流	I _{IL}	NMI、 $\overline{IRQ0}\sim\overline{IRQ7}$ TRAIO、TRGB、 FTCI、TRGC、FTIOA、 FTIOB、FTIOC、 FTIOD、 \overline{TRCOI} 、 FTIOA0、FTIOB0、 FTIOC0、FTIOD0、 FTIOA1、FTIOB1、 FTIOC1、FTIOD1 $\overline{TRDOI_0}$ 、FTIOA2 FTIOB2、FTIOC2、 FTIOD2 FTIOA3、FTIOB3、 FTIOC3、FTIOD3 $\overline{TRDOI_1}$ 、TCLKA TCLKB、TGIOA TGIOB、SCK3、 SCK3_2、SCK3_3 $\overline{ADTRG1}$ 、 $\overline{ADTRG2}$ RXD、RXD_2、 RXD_3 SCL、SDA SSCK、 \overline{SCS} SSI、SSO、OSC1 P10~P17 P20~P27 P30~P37 P50~P57 P60~P67 P85~P87 P90~P97 PA0~PA7 PB0~PB7 PJ1、PJ0	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
プルアップ MOS 電流	-I _p	P10~P17 P20~P27 P30~P37 P50~P55	$V_{CC}=5.0V$ 、 $V_{IN}=0.0V$	40.0	—	200.0	μA	
		P60~P67 P85~P87 P90~P97 PA0~PA7 PB0~PB7 PJ1、PJ0	$V_{CC}=3.0V$ 、 $V_{IN}=0.0V$	—	40.0	—	μA	参考値
入力容量	C _{IN}	電源端子を除く 全入力端子	f=1MHz、 $V_{IN}=0.0V$ 、 $T_a=25^\circ C$	—	—	15.0	pF	
アクティブ モード消費 電流	I _{OP1}	V _{CC}	アクティブモード 1 $\phi_{OSC}=20MHz$	—	20.0	25.0	mA	*
			アクティブモード 1 $\phi_{OSC}=10MHz$	—	12.0	—	mA	参考値*
	I _{OP2}	V _{CC}	アクティブモード 2 $\phi_{OSC}=20MHz$	—	4.0	6.0	mA	*
			アクティブモード 2 $\phi_{OSC}=10MHz$	—	3.5	—	mA	参考値*
	I _{OP3}	V _{CC}	アクティブモード 3 $\phi_{OSC}=20MHz$	—	3.5	5.5	mA	*
			アクティブモード 3 $\phi_{OSC}=10MHz$	—	3.0	—	mA	参考値*
	I _{OP4}	V _{CC}	アクティブモード 4 $\phi_{SUB}=32kHz$	—	2.0	—	mA	参考値*
	I _{OP5}	V _{CC}	アクティブモード 5 $\phi_{SUB}=32kHz$	—	2.0	—	mA	参考値*
スリープ モード 消費電流	I _{SLEEP1}	V _{CC}	スリープモード 1 $\phi_{OSC}=20MHz$	—	10.0	14.0	mA	*
			スリープモード 1 $\phi_{OSC}=10MHz$	—	6.0	—	mA	参考値*
	I _{SLEEP2}	V _{CC}	スリープモード 2 $\phi_{OSC}=20MHz$	—	3.5	5.5	mA	*
			スリープモード 2 $\phi_{OSC}=10MHz$	—	3.0	—	mA	参考値*

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
スリープモード消費電流	I _{SLEEP3}	V _{CC}	スリープモード 3 $\phi_{OSC}=20\text{MHz}$	—	3.2	5.0	mA	*
			スリープモード 3 $\phi_{OSC}=10\text{MHz}$	—	3.0	—	mA	参考値*
	I _{SLEEP4}	V _{CC}	スリープモード 4 $\phi_{SUB}=32\text{kHz}$	—	1.8	—	mA	参考値*
	I _{SLEEP5}	V _{CC}	スリープモード 5 $\phi_{SUB}=32\text{kHz}$	—	1.8	—	mA	参考値*
スタンバイモード消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子 未使用時 $T_a \leq 50^\circ\text{C}$	—	10.0	30.0	μA	*
			32kHz 水晶発振子 未使用時 $50^\circ\text{C} < T_a$	—	30.0	200.0	μA	*
RAM データ保持電圧	V _{RAM}	V _{CC}		2.0	—	—	V	

【注】 * 消費電流測定時の端子状態は以下のとおりで、プルアップ MOS や出力バッファに流れる電流を除きます。

モード	RES 端子	内部状態	PSCSTP	RES 以外の各端子	発振端子	
アクティブモード 1	V _{CC}	動作 ($\phi = \phi_{OSC}$)	0	V _{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X1 端子 = V _{SS}	
アクティブモード 2		動作 ($\phi = \phi_{OSC}/64$)	0			
アクティブモード 3		動作 ($\phi = \phi_{OSC}/128$)	0			
スリープモード 1	V _{CC}	タイマのみ動作	0	V _{CC}		
スリープモード 2		タイマのみ動作 ($\phi = \phi_{OSC}/64$)	0			
スリープモード 3		タイマのみ動作 ($\phi = \phi_{OSC}/128$)	0			
アクティブモード 4	V _{CC}	動作 ($\phi = \phi_{SUB}$)	1	V _{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : 水晶発振子	
アクティブモード 5		動作 ($\phi = \phi_{SUB}/8$)	1			
スリープモード 4	V _{CC}	タイマのみ動作 ($\phi = \phi_{SUB}$)	1	V _{CC}		
スリープモード 5		タイマのみ動作 ($\phi = \phi_{SUB}/8$)	1			
スタンバイモード	V _{CC}	CPU、タイマともに停止	—	V _{CC}		メインクロック : セラミック発振子 または水晶発振子 サブクロック : X1 端子 = V _{SS}

表 28.3 DC 特性 (2)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	設定条件	測定条件	規格値			単位
					Min	Typ	Max	
出力 Low レベル 許容電流 (1 端子あたり)	I_{OL}	P10~P17	PDVRn0~7=0 のとき (n=1,2,3,5,6,8,9,J)	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA
		P20~P27			—	—	0.5	mA
		P30~P37	PDVRn0~7=1 のとき (n=1,2,3,5,6,8,9,J)	$V_{CC}=4.0\sim 5.5V$	—	—	20.0	mA
		P50~P57			—	—	5.0	mA
		P60~P67						
		P85~P87						
		P90~P97						
		PJ0、PJ1						
		PA0~PA7、 PB0~PB7	—	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA
			—	—	0.5	mA		
SCL、SDA	—	$V_{CC}=4.0\sim 5.5V$	—	—	6.0	mA		
出力 Low レベル 許容電流 (総和)	ΣI_{OL}	全出力端子	—	$V_{CC}=4.0\sim 5.5V$	—	—	80	mA
					—	—	40	mA
出力 High レベル 許容電流 (1 端子あたり)	$ -I_{OH} $	P10~P17	PDVRn0~7=0 のとき (n=1,2,3,5,6,8,9,J)	$V_{CC}=4.0\sim 5.5V$	—	—	5.0	mA
		P20~P27			—	—	0.2	mA
		P30~P37	PDVRn0~7=1 のとき (n=1,2,3,5,6,8,9,J)	$V_{CC}=4.0\sim 5.5V$	—	—	20.0	mA
		P50~P55			—	—	5.0	mA
		P60~P67						
		P85~P87						
		P90~P97						
		PJ0、PJ1						
		PA0~PA7、 PB0~PB7		$V_{CC}=4.0\sim 5.5V$	—	—	5.0	mA
			—	—	0.2	mA		
P56、P57		$V_{CC}=4.0\sim 5.5V$	—	—	0.4	mA		
			—	—	0.2	mA		
出力 High レベル 許容電流 (総和)	$ -\Sigma I_{OH} $	全出力端子	—	$V_{CC}=4.0\sim 5.5V$	—	—	80	mA
					—	—	40	mA
出力総許容電流	$ \Sigma I_O =$ $\Sigma I_{OL} +$ $ -\Sigma I_{OH} $	全出力端子			—	—	80	mA

28.4 AC 特性

表 28.4 AC 特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
メイン発振器 発振周波数	ϕ_{OSC}	OSC1、 OSC2		4.0	—	20.0	MHz	
サブクロック 発振器発振周波数	ϕ_{sub}	X1、X2		—	32.768	—	kHz	
低速オンチップ オシレータ発振周波数	ϕ_{loco}			25	125	225	kHz	
システム基準クロック (ϕ_{base})サイクル時間	t_{base}			1	—	1	ϕ_{osc} ϕ_{sub} ϕ_{loco}	
システムクロック(ϕ) サイクル時間	t_{cyc}			1		128	t_{base}	*
				—	—	320.0	μs	
バスマスタ動作クロック (ϕ_s) サイクル時間	t_{bcyc}			1	—	32	t_{cyc}	
				—	—	320.0	μs	
インストラクション サイクル時間				1	—	—	t_{cyc}	
発振安定時間 (水晶発振子)	t_{rc}	OSC1、 OSC2		—	—	6.5	ms	図 28.3
発振安定時間 (セラミック発振子)	t_{rc}	OSC1、 OSC2		—	—	6.5	ms	
発振安定時間	t_{rcx}	X1、X2		—	—	2.0	s	
外部クロック High レベル幅	t_{CPH}	OSC1		20.0	—	—	ns	図 28.1
外部クロック Low レベル幅	t_{CPL}	OSC1		20.0	—	—	ns	
外部クロック 立ち上がり時間	t_{CPr}	OSC1		—	—	10.0	ns	
外部クロック 立ち下がり時間	t_{CPf}	OSC1		—	—	10.0	ns	
RES 端子 Low レベル幅	t_{REL1}	RES	電源投入時および 下記以外のモード	10.0	—	—	ms	図 28.2
	t_{REL2}		アクティブモード、 スリープモード動作時	10.0	—	—	μs	

(特記なき場合、V_{cc}=2.7~5.5V、V_{ss}=0.0V、V_{CC}≥AV_{CC}、T_a=-20~+85°C (Nバージョン) / -40~+85°C (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	参照図			
				Min	Typ	Max					
入力端子 High レベル幅	t _{IH}	NMI	INCCR[5:4]=00	300	—	—	ns	図 28.4			
			INCCR[5:4]=01	450	—	—	ns				
			INCCR[5:4]=10	800	—	—	ns				
			INCCR[5:4]=11	1500	—	—	ns				
		IRQ0~IRQ3	INCCR[1:0]=00	300	—	—	ns				
			INCCR[1:0]=01	450	—	—	ns				
			INCCR[1:0]=10	800	—	—	ns				
			INCCR[1:0]=11	1500	—	—	ns				
		IRQ4~IRQ7	INCCR[3:2]=00	300	—	—	ns				
			INCCR[3:2]=01	450	—	—	ns				
			INCCR[3:2]=10	800	—	—	ns				
			INCCR[3:2]=11	1500	—	—	ns				
		FTIOA~FTIOD、 FTIOA0~FTIOD0、 FTIOA1~FTIOD1、 FTIOA2~FTIOD2、 FTIOA3~FTIOD3、FTCI、 TRGC、TRCOI、 TRDOI_0、TRDOI_1、 TCLKA、TCLKB、TGIOA、 TGIOB、ADTRG1、 ADTRG2				3	—		—	t _{cyc}	
		入力端子 Low レベル幅	t _{IL}	NMI	INCCR[5:4]=00	300	—		—	ns	図 28.4
					INCCR[5:4]=01	450	—		—	ns	
					INCCR[5:4]=10	800	—		—	ns	
INCCR[5:4]=11	1500				—	—	ns				
IRQ0~IRQ3	INCCR[1:0]=00			300	—	—	ns				
	INCCR[1:0]=01			450	—	—	ns				
	INCCR[1:0]=10			800	—	—	ns				
	INCCR[1:0]=11			1500	—	—	ns				
IRQ4~IRQ7	INCCR[3:2]=00			300	—	—	ns				
	INCCR[3:2]=01			450	—	—	ns				
	INCCR[3:2]=10			800	—	—	ns				
	INCCR[3:2]=11			1500	—	—	ns				

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
入力端子 Low レベル幅	t_{iL}	FTIOA~FTIOD、 FTIOA0~FTIOD0、 FTIOA1~FTIOD1、 FTIOA2~FTIOD2、 FTIOA3~FTIOD3、FTCI、 TRGC、 \overline{TRCOI} 、 $\overline{TRDOI_0}$ 、 $\overline{TRDOI_1}$ 、 TCLKA、TCLKB、TGIOA、 TGIOB、 $\overline{ADTRG1}$ 、 $\overline{ADTRG2}$		3	—	—	t_{cyc}	図 28.4

【注】 * システムクロックコントロールレジスタ (SYSCCR)、低消費電力制御レジスタ 1 (LPCR1)、低消費電力制御レジスタ 2 (LPCR2) の設定により決定します。

表 28.5 I²C バスインタフェースタイミング(特記なき場合、V_{cc}=2.7~5.5V、V_{ss}=0.0V、V_{CC}≥AV_{CC}、T_a=-20~+85°C (Nバージョン) / -40~+85°C (Dバージョン))

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	t _{SCL}		12t _{cyc} +600	—	—	ns	図 28.5
SCL 入力 High パルス幅	t _{SCLH}		3t _{cyc} +300	—	—	ns	
SCL 入力 Low パルス幅	t _{SCLL}		5t _{cyc} +300	—	—	ns	
SCL、SDA 入力立ち下がり時間	t _{SF}		—	—	300	ns	
SCL、SDA 入カスパイク パルス除去時間	t _{SP}		—	—	1t _{cyc}	ns	
SDA 入力バスフリー時間	t _{BUF}		5t _{cyc}	—	—	ns	
開始条件入力ホールド時間	t _{STAH}		3t _{cyc}	—	—	ns	
再送開始条件入力 セットアップ時間	t _{STAS}		3t _{cyc}	—	—	ns	
停止条件入力セットアップ時間	t _{STOS}		3t _{cyc}	—	—	ns	
データ入力セットアップ時間	t _{SDAS}		1t _{cyc} +20	—	—	ns	
データ入力ホールド時間	t _{SDAH}		0	—	—	ns	
SCL、SDA の容量性負荷	C _b		0	—	400	pF	
SCL、SDA 出力立ち下がり時間	t _{SF}	V _{cc} =4.0~5.5V	—	—	250	ns	
			—	—	300	ns	

表 28.6 シリアルコミュニケーションインタフェース (SCI) タイミング

(特記なき場合、V_{cc}=2.7~5.5V、V_{ss}=0.0V、V_{CC}≥AV_{CC}、T_a=-20~+85°C (Nバージョン) / -40~+85°C (Dバージョン))

項目		記号	適用端子	測定条件	規格値			単位	参照図
					Min	Typ	Max		
入力クロック サイクル	調歩同期	t _{scyc}	SCK3		4	—	—	t _{cyc}	図 28.6
	クロック同期				6	—	—	t _{cyc}	
入力クロックパルス幅		t _{SCKW}	SCK3		0.4	—	0.6	t _{scyc}	
送信データ遅延時間 (クロック同期)		t _{TXD}	TXD		—	—	1	t _{cyc}	図 28.7
受信データセットアップ時間 (クロック同期)		t _{RXS}	RXD		50.0	—	—	ns	
受信データホールド時間 (クロック同期)		t _{RXH}	RXD		50.0	—	—	ns	

表 28.7 シンクロナスコミュニケーションユニット (SSU) タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +85^{\circ}C$ (Nバージョン)、 $T_a=-40\sim +85^{\circ}C$ (Dバージョン)、 $C_L=100pF$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
クロックサイクル	t_{SUCYC}	SSCK		4	—	—	t_{CYC}	図 28.8 ~ 図 28.12
クロックハイレベルパルス幅	t_{HI}	SSCK		0.4	—	0.6	t_{SUCYC}	
クロックローレベルパルス幅	t_{LO}	SSCK		0.4	—	0.6	t_{SUCYC}	
クロック 立ち上がり時間	マスタ	t_{RISE}	SSCK	—	—	1	t_{CYC}	
	スレーブ			—	—	1.0	μs	
クロック 立ち下がり時間	マスタ	t_{FALL}	SSCK	—	—	1	t_{CYC}	
	スレーブ			—	—	1.0	μs	
データ入力セットアップ時間	t_{SU}	SSO SSI		100	—	—	ns	
データ入力ホールド時間	t_H	SSO SSI		1	—	—	t_{CYC}	
\overline{SCS} セットアップ時間	スレーブ	t_{LEAD}	\overline{SCS}	$1t_{CYC}$ +50	—	—	ns	
\overline{SCS} ホールド時間	スレーブ	t_{LAG}	\overline{SCS}	$1t_{CYC}$ +50	—	—	ns	
データ出力遅延時間		t_{OD}	SSO SSI	—	—	1	t_{CYC}	
スレーブアクセス時間		t_{SA}	SSI	—	—	$1.5t_{CYC}$ +100	ns	
スレーブアウト開放時間		t_{OR}	SSI	—	—	$1.5t_{CYC}$ +100	ns	

28.5 A/D 変換特性

表 28.8 A/D 変換器特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^\circ C$ (Nバージョン) / $-40\sim +85^\circ C$ (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
アナログ電源電圧	AV _{CC}	AV _{CC}		2.7	V _{CC}	5.5	V	*1
アナログ入力電圧	AV _{IN}	AN0~AN11 AN0_2~ AN3_2		V _{SS} -0.3	—	AV _{CC} +0.3	V	
アナログ電源電流	AI _{OP} E	AV _{CC}	AV _{CC} =5.0V f _{osc} =20MHz	—	—	2.0	mA	
	AI _{STOP1}	AV _{CC}		—	50.0	—	μA	*2 参考値
	AI _{STOP2}	AV _{CC}		—	—	5.0	μA	*3
アナログ入力容量	C _{AIN}	AN0~AN11 AN0_2~ AN3_2		—	—	30.0	pF	
許容信号源 インピーダンス	R _{AIN}	AN0~AN11 AN0_2~ AN3_2		—	—	5.0	kΩ	
分解能 (データ長)				10	10	10	ビット	
変換時間	t _{conv}			2.0	—	43	μs	
A/D 変換モード (シングルモード)		AN0~AN11 AN0_2~ AN3_2	AV _{CC} =2.7~5.5V					
非直線性誤差				—	—	±3.5	LSB	
オフセット誤差				—	—	±3.5	LSB	
フルスケール誤差				—	—	±3.5	LSB	
量子化誤差				—	—	±0.5	LSB	
絶対精度				—	—	±4.0	LSB	

【注】 *1 A/D 変換器を使用しない場合は AV_{CC}=V_{CC} としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモードでの A/D 変換待機時の電流値です。

28.6 D/A 変換特性

表 28.9 D/A 変換器特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^{\circ}C$ (Nバージョン) / $-40\sim +85^{\circ}C$ (Dバージョン))

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
アナログ電源電圧	AVcc	AVcc		2.7	Vcc	5.5	V	
分解能				8	8	8	ビット	
変換時間		DA0~DA1	負荷容量=20pF	—	—	10.0	μs	
絶対精度		DA0~DA1	負荷抵抗=2M Ω	—	± 2.0	± 3.0	LSB	

28.7 フラッシュメモリ特性

表 28.10 フラッシュメモリ特性

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、VCC≥AVSS、Ta=-20~+85°C (Nバージョン) /-40~+85°C (Dバージョン))

項目	記号	測定条件	対象領域	規格値			単位
				Min	Typ	Max	
書き込み/消去回数*1			プログラム ROM	1000*2	—	—	回
			データフラッシュ	10000*2	—	—	
書き込み時間 (4 バイト当たり)			プログラム ROM	—	150	3000	μs
			データフラッシュ	—	300	3000	
ロックビット書き込み時間			プログラム ROM	—	70	3000	μs
消去時間 (1 ブロック当たり)			プログラム ROM	—	300	3000	ms
			データフラッシュ	—	300	3000	
イレーズサスペンドへの遷移時間	t _{d(SR-ES)}		プログラム ROM	—	—	3 t _{b_{cy}c} + 50	μs
			データフラッシュ	—	—		
消去開始からのサスペンド要求までの間隔			プログラム ROM	0	—	—	μs
			データフラッシュ	—	—	—	
消去再開からの次のサスペンド要求までの間隔			プログラム ROM	150	—	—	μs
			データフラッシュ	—	—	—	
サスペンドから消去再開までの間隔			プログラム ROM	—	—	50	μs
			データフラッシュ	—	—	—	
書き込み/消去電圧			プログラム ROM	2.7	—	5.5	V
			データフラッシュ	—	—	—	
読み出し電圧			プログラム ROM	2.7	—	5.5	V
			データフラッシュ	—	—	—	
アクセスステート			プログラム ROM	1	—	—	t _{b_{cy}c}
			データフラッシュ	2	—	—	
書き込み/消去温度			プログラム ROM	0	—	60	°C
			データフラッシュ	-20*3	—	85	

【注】 *1 書き込み/消去回数の定義

書き込み/消去回数はブロックごとの消去回数です。

書き込み/消去回数が n 回 (n=100, 1000, 10000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。

例えば、4K バイト/ブロックのデータフラッシュ A に対して、それぞれ異なる番地に 4 バイト書き込みを 1024 回に分けて行った後に、そのブロックを消去した場合も、書き込み/消去回数は 1 回と数えます。

ただし、消去 1 回に対して、同一番地に複数回の書き込みは行わないでください。(上書き禁止)

*2 書き込み/消去回数後の全ての電気的特性を保証する回数です。(保証は 1 から "Min" 値の範囲です。)

*3 D バージョンは -40°C となります。

28.8 低電圧検出回路特性

表 28.11 低電圧検出回路 0 の電気的特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^{\circ}C$ (Nバージョン) / $-40\sim +85^{\circ}C$ (Dバージョン))

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
電圧検出レベル	V_{det0}	VD0LS1=0	2.10	2.35	2.50	V
		VD0LS1=1	3.50	3.80	4.10	
低電圧検出回路 0 の検出最小パルス幅	t_{WLVD0}		20.0	—	—	μs
低電圧検出回路 0 の動作電圧の最小値	$V_{LVD0min}$		1.8	—	—	V

表 28.12 低電圧検出回路 1 の電気的特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^{\circ}C$ (Nバージョン) / $-40\sim +85^{\circ}C$ (Dバージョン))

項目	記号	測定条件		規定値			単位
				Min	Typ	Max	
電圧検出レベル	V_{det1}	VD1LS[3:0] =0111	立ち下がり検知	2.70	3.07	3.45	V
			立ち上がり検知	3.00	3.30	3.70	
		VD1LS[3:0] =1000	立ち下がり検知	2.80	3.22	3.60	
			立ち上がり検知	3.05	3.45	3.85	
		VD1LS[3:0] =1001	立ち下がり検知	2.95	3.37	3.75	
			立ち上がり検知	3.20	3.60	4.00	
		VD1LS[3:0] =1010	立ち下がり検知	3.10	3.52	3.90	
			立ち上がり検知	3.35	3.75	4.15	
		VD1LS[3:0] =1011	立ち下がり検知	3.25	3.67	4.05	
立ち上がり検知	3.50		3.90	4.30			
VD1LS[3:0] =1100	立ち下がり検知	3.40	3.82	4.20			
	立ち上がり検知	3.65	4.05	4.45			
VD1LS[3:0] =1101	立ち下がり検知	3.55	3.97	4.35			
	立ち上がり検知	3.80	4.20	4.60			
VD1LS[3:0] =1110	立ち下がり検知	3.70	4.12	4.50			
	立ち上がり検知	3.95	4.35	4.75			
VD1LS[3:0] =1111	立ち下がり検知	3.85	4.27	4.65			
	立ち上がり検知	4.10	4.50	4.90			
立ち上がり検知-立ち下がり検知電位差	$V_{LVD1HYS}$			—	0.22	—	V
低電圧検出回路 1 の自己消費電流		$V_{CC}=5.0V$		—	2.0	—	μA
低電圧検出回路 1 動作開始までの待ち時間	$t_{d(E-A)}$			—	—	50.0	μs
低電圧検出回路 1 の検出最小パルス幅	t_{WLVD1}			20.0	—	—	μs
低電圧検出回路 1 の動作電圧の最小値	$V_{LVD1min}$			2.7	—	—	V

表 28.13 低電圧検出回路 2 の電気的特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^{\circ}C$ (Nバージョン) / $-40\sim +85^{\circ}C$ (Dバージョン))

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
電圧検出レベル	V_{det2}	立ち上がり検知 立ち下がり検知	3.70	4.00	4.30	V
			3.90	4.20	4.50	
低電圧検出回路 2 の自己消費電流		$V_{CC}=5.0V$	—	2.0	—	μA
低電圧検出回路 2 動作開始までの待ち時間	$t_{d(E-A)}$		—	—	50.0	μs
低電圧検出回路 2 の検出最小パルス幅	t_{WLVD2}		20.0	—	—	μs
低電圧検出回路 2 の動作電圧の最小値	$V_{LVD2min}$		2.7	—	—	V
外部入力端子電圧検出レベル			1.20	1.33	1.45	V
外部入力検知電圧入力範囲			0	—	$1/2V_{CC}$	V
外部入力比較電圧入力範囲			0	—	$1/2V_{CC}$	V

28.9 パワーオンリセット機能特性

表 28.14 パワーオンリセット特性

(特記なき場合、 $V_{cc}=2.7\sim 5.5V$ 、 $V_{ss}=0.0V$ 、 $V_{CC}\geq AV_{CC}$ 、 $T_a=-20\sim +85^{\circ}C$ (Nバージョン) / $-40\sim +85^{\circ}C$ (Dバージョン))

項目	記号	測定条件	規定値			単位	参照図
			Min	Typ	Max		
パワーオンリセットが有効になる電圧	V_{por}		0	—	0.2	V	図 28.13
外部電源 V_{cc} の立ち上がり傾き	t_{rth}		0.02	—	270	V/msec	

28.10 タイミング図

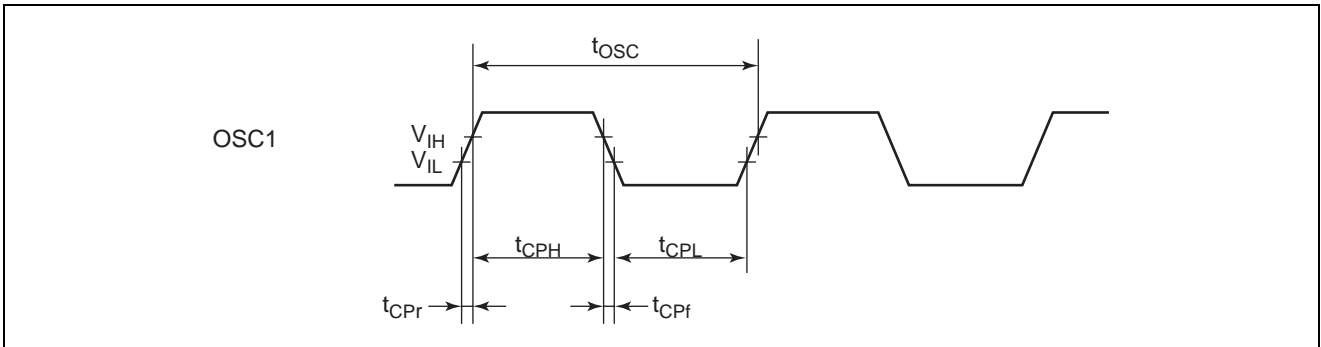


図 28.1 システムクロック入力タイミング

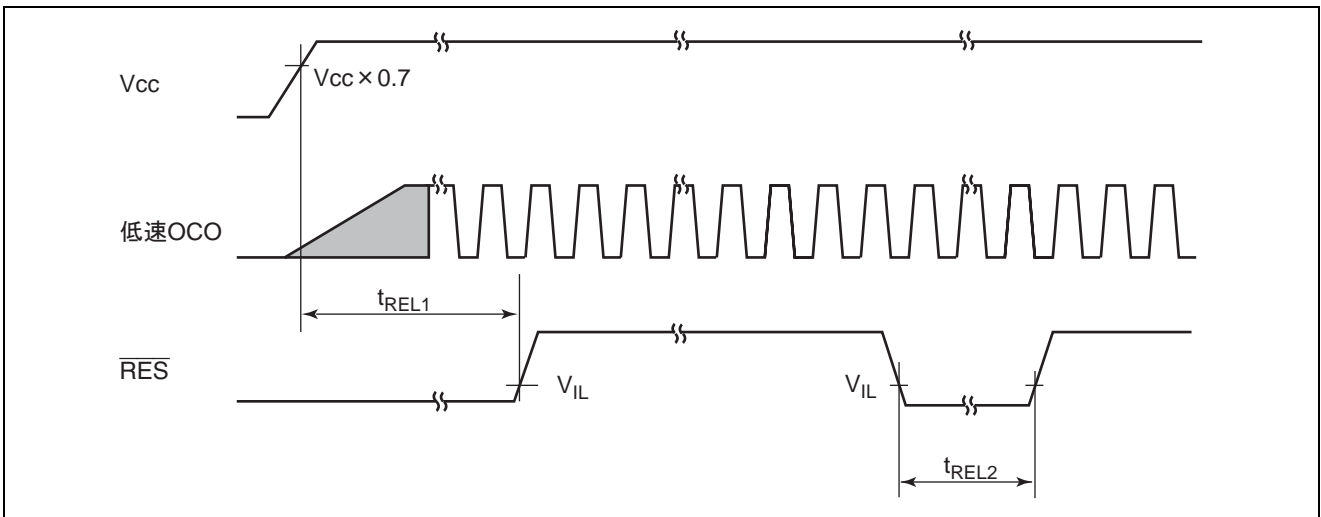


図 28.2 \overline{RES} 端子 Low レベル幅タイミング

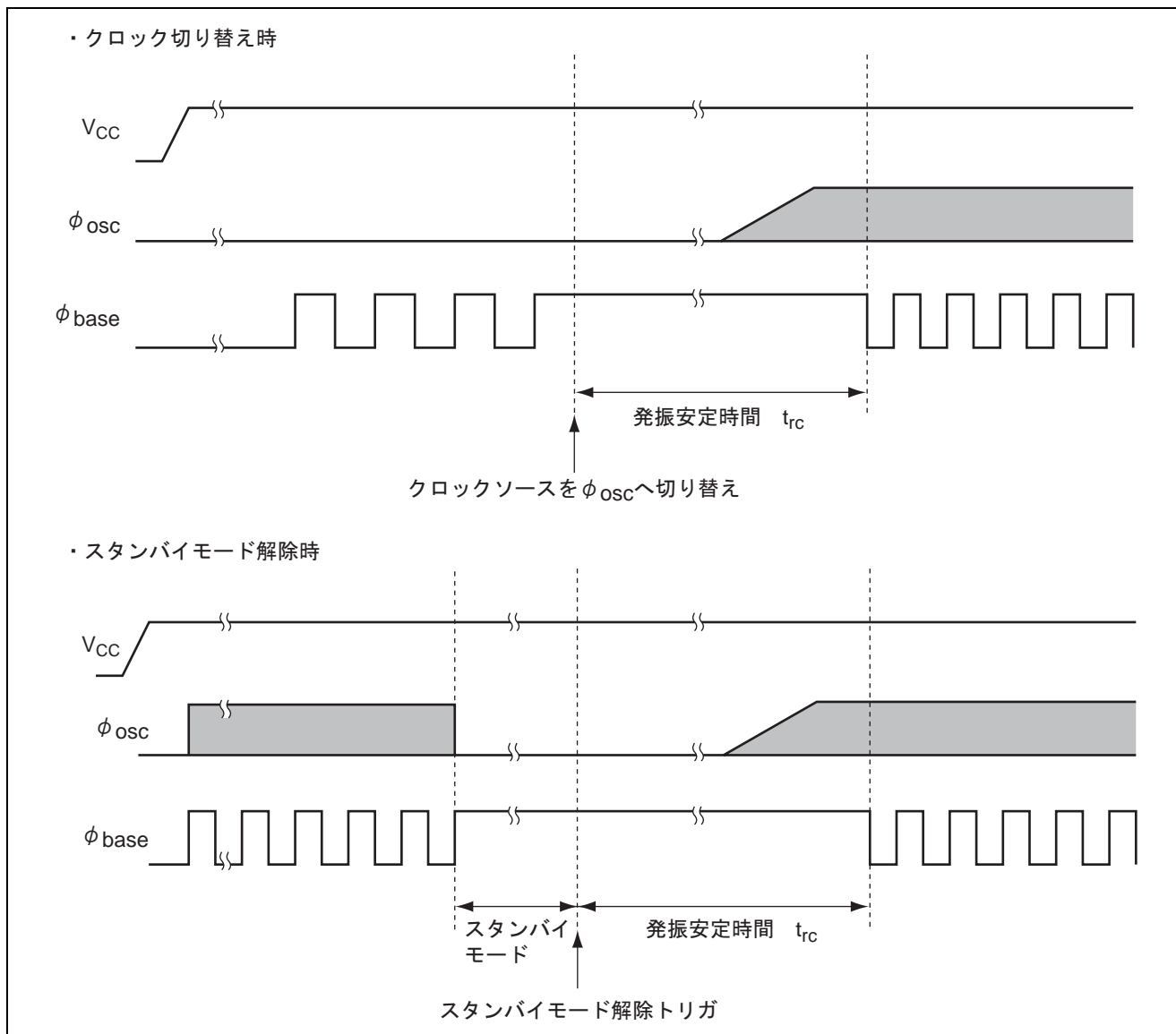


図 28.3 発振安定時間タイミング

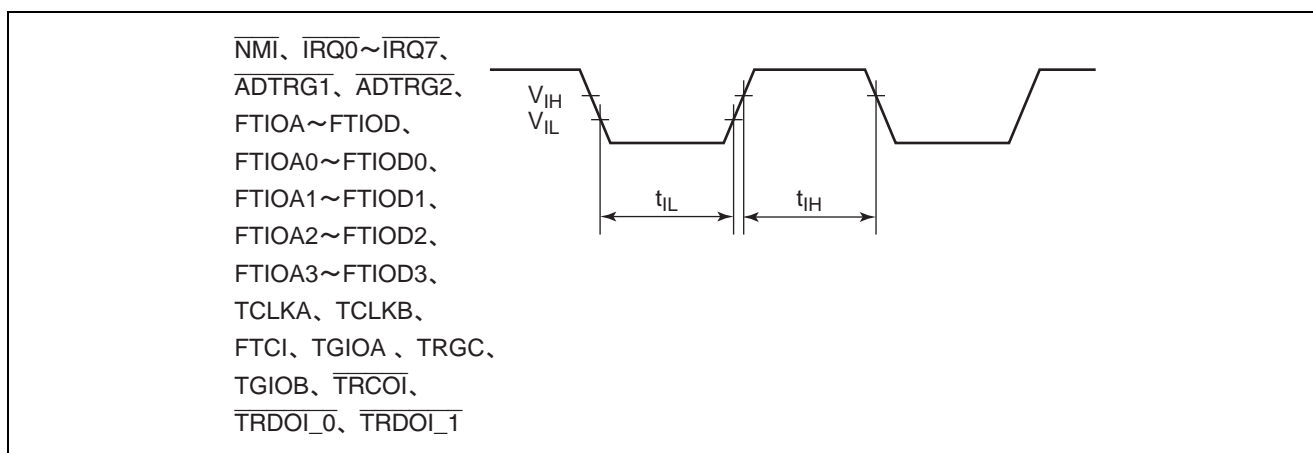


図 28.4 入カタイミング

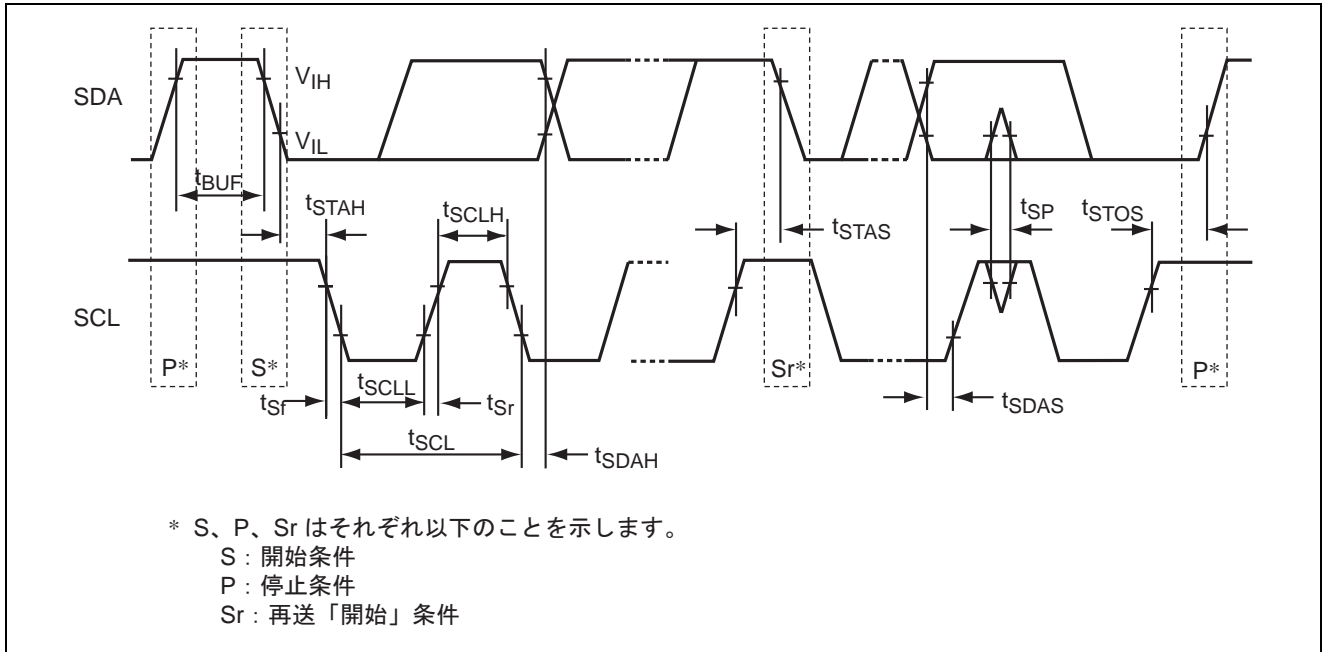


図 28.5 I²C バスインタフェース入出力タイミング

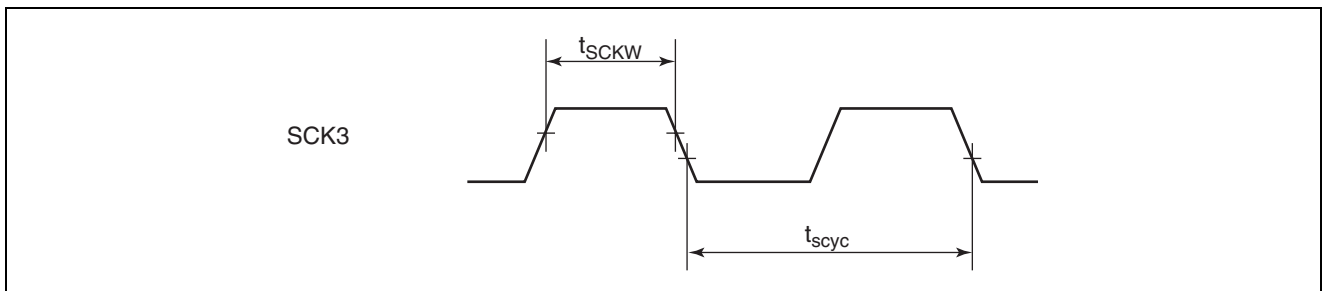


図 28.6 SCK3 入力クロックタイミング

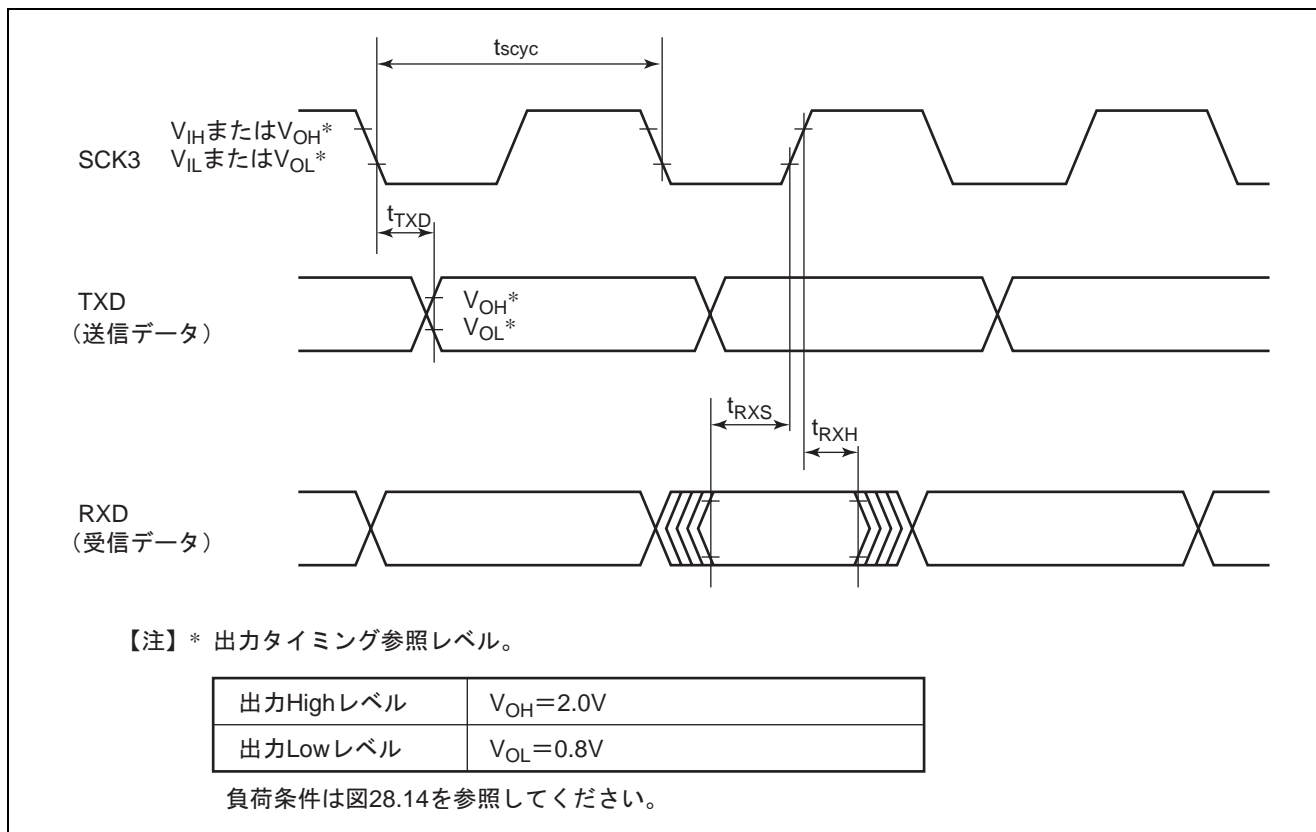


図 28.7 SCI クロック同期式モード入出力タイミング

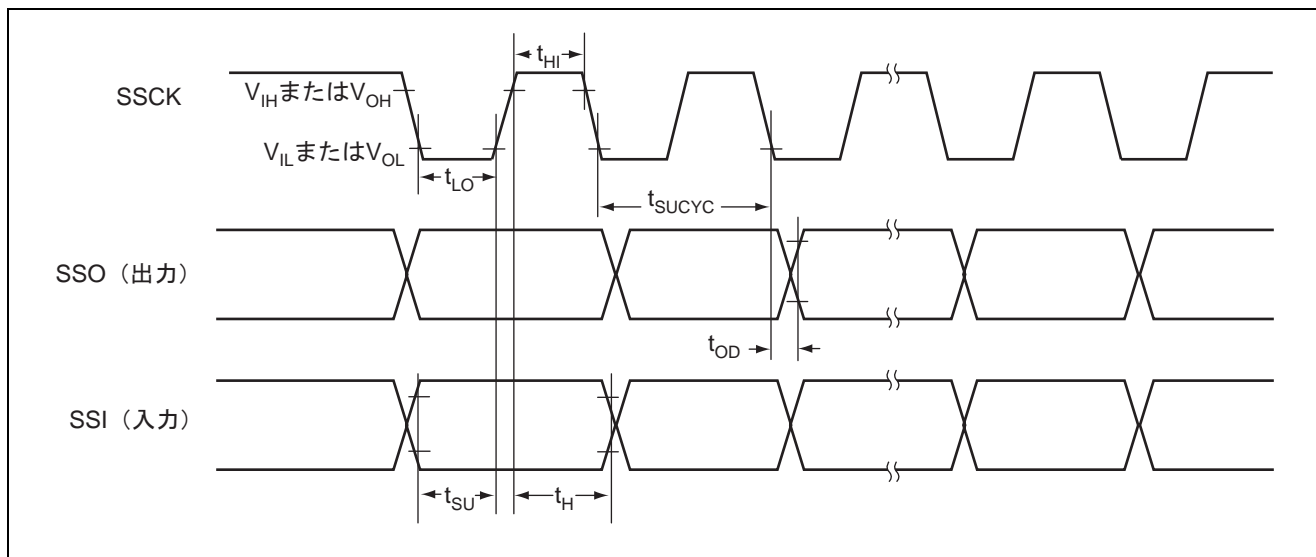


図 28.8 SSU 入出力タイミング (クロック同期式モード)

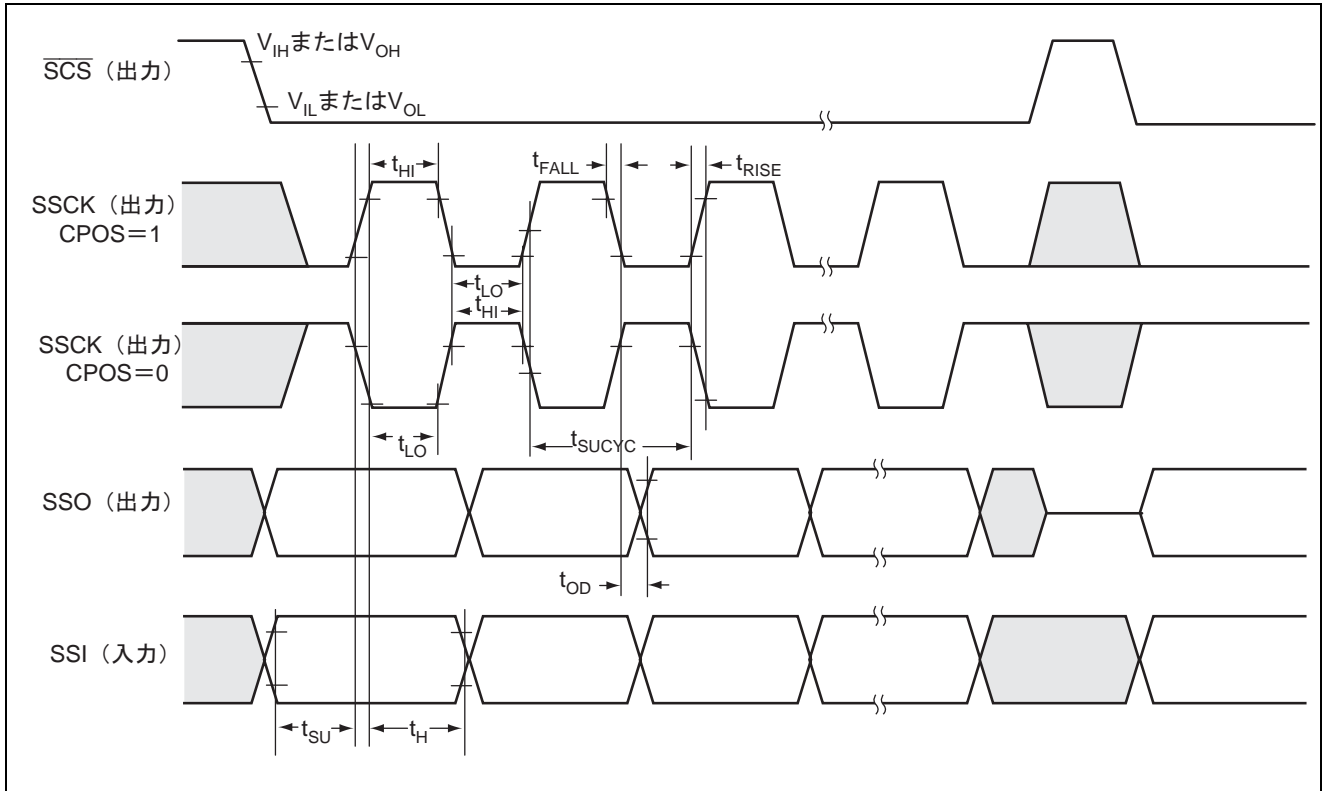


図 28.9 SSU 入出力タイミング (4 線式バス通信モード、マスタ、CPHS=1)

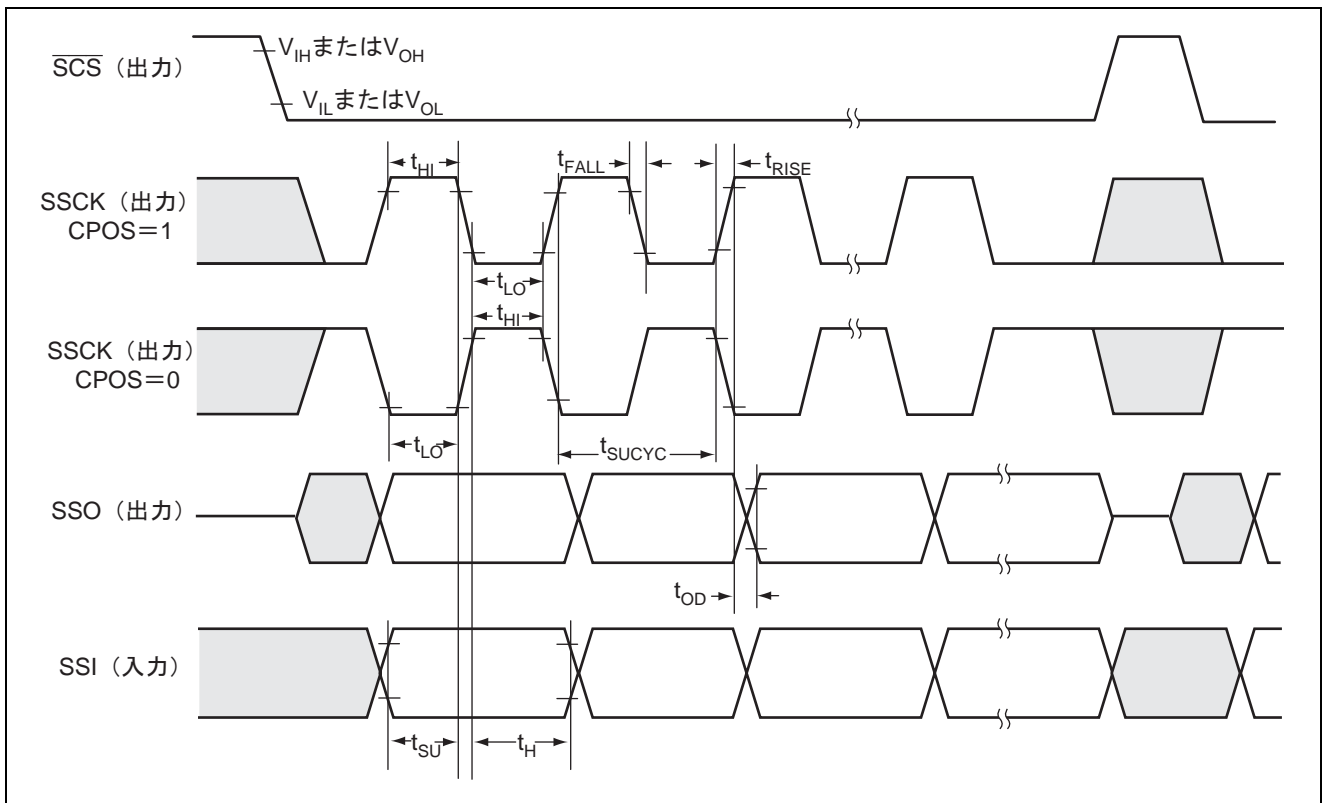


図 28.10 SSU 入出力タイミング (4 線式バス通信モード、マスタ、CPHS=0)

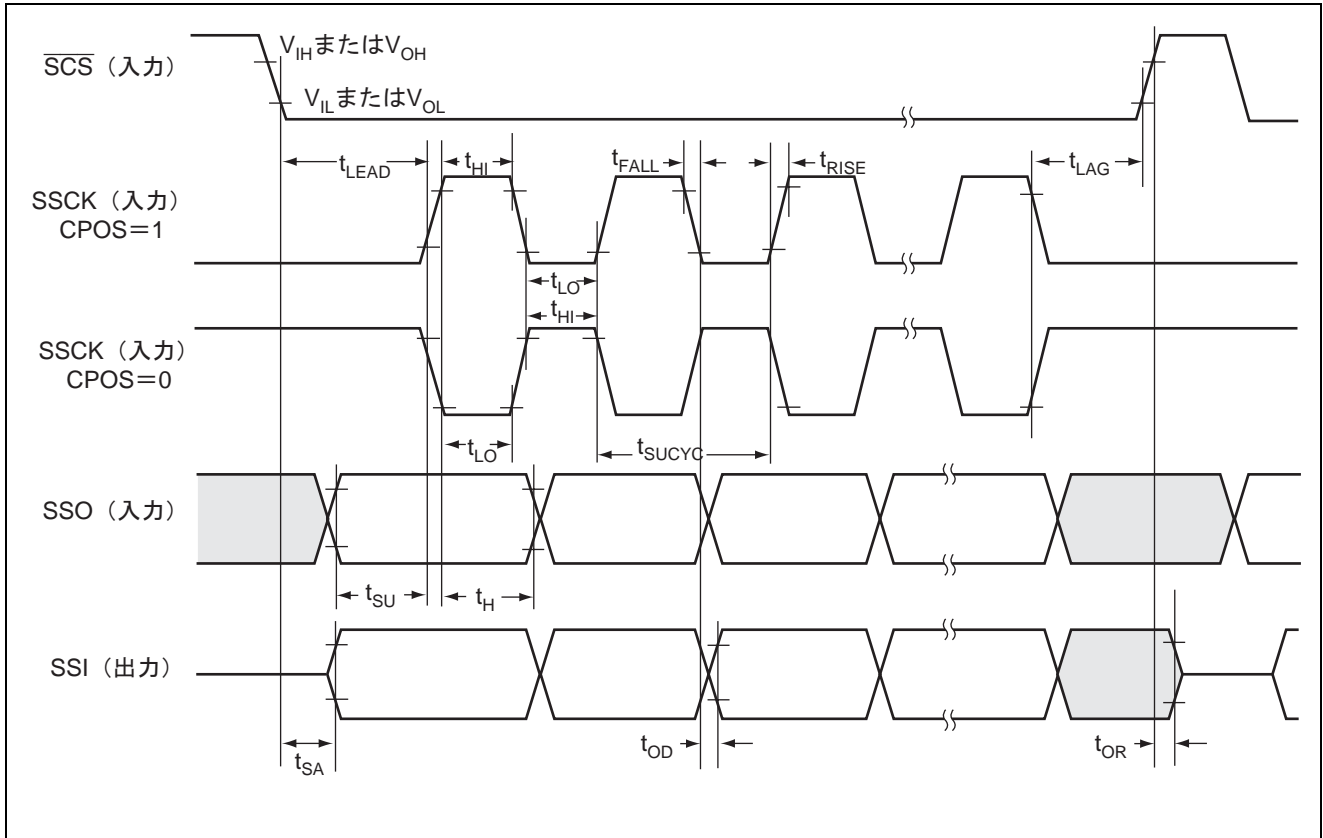


図 28.11 SSU 入出力タイミング (4 線式バス通信モード、スレーブ、CPHS=1)

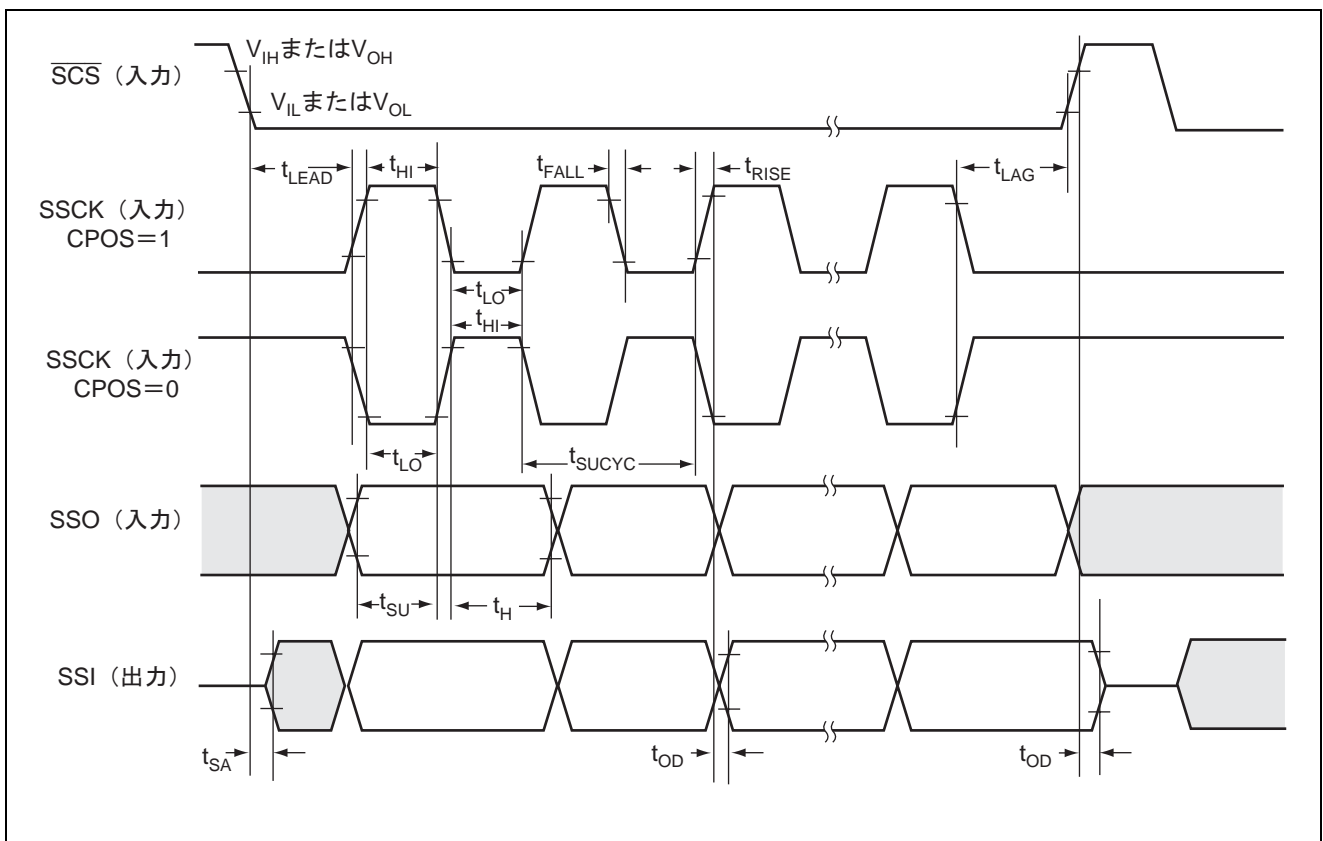


図 28.12 SSU 入出力タイミング (4 線式バス通信モード、スレーブ、CPHS=0)

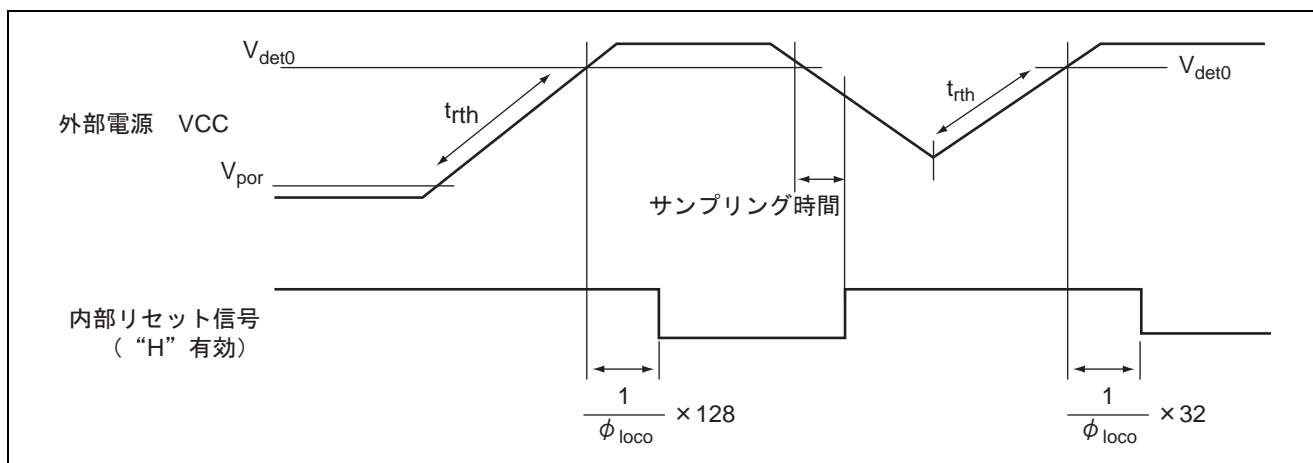


図 28.13 パワーオンリセットタイミング

28.11 出力負荷条件

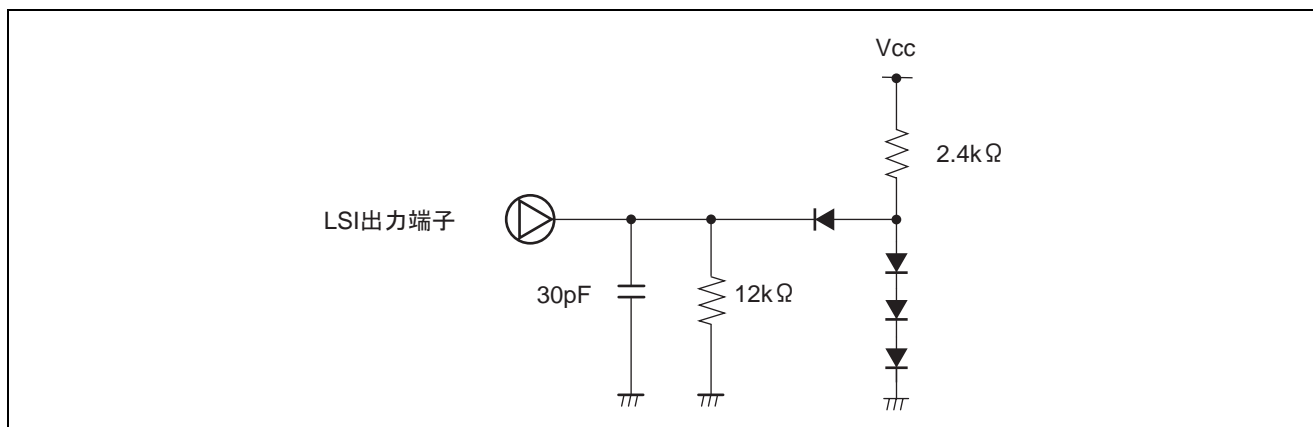


図 28.14 出力負荷回路

付録

A. 外形寸法図

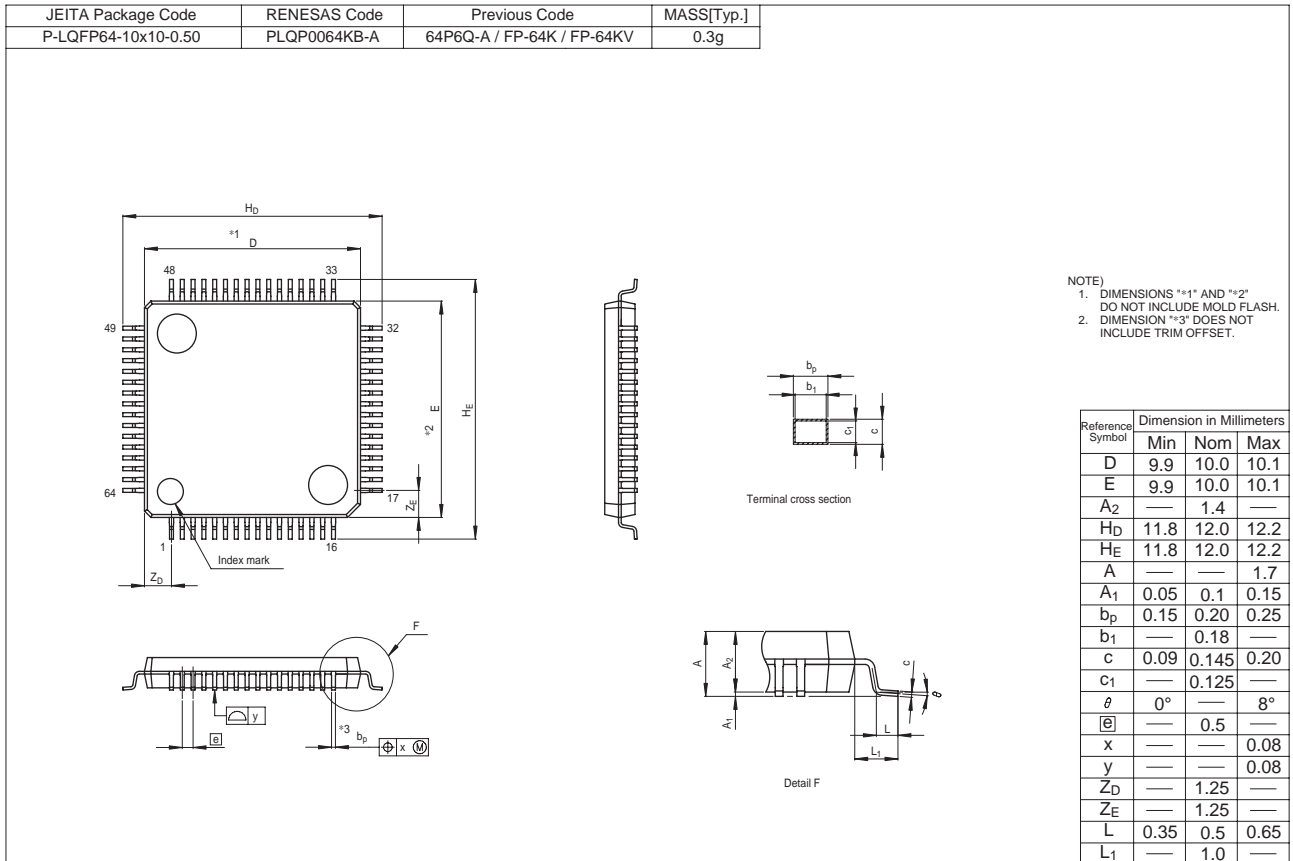


図 A.1 外形寸法図 (PLQP0064KB-A)

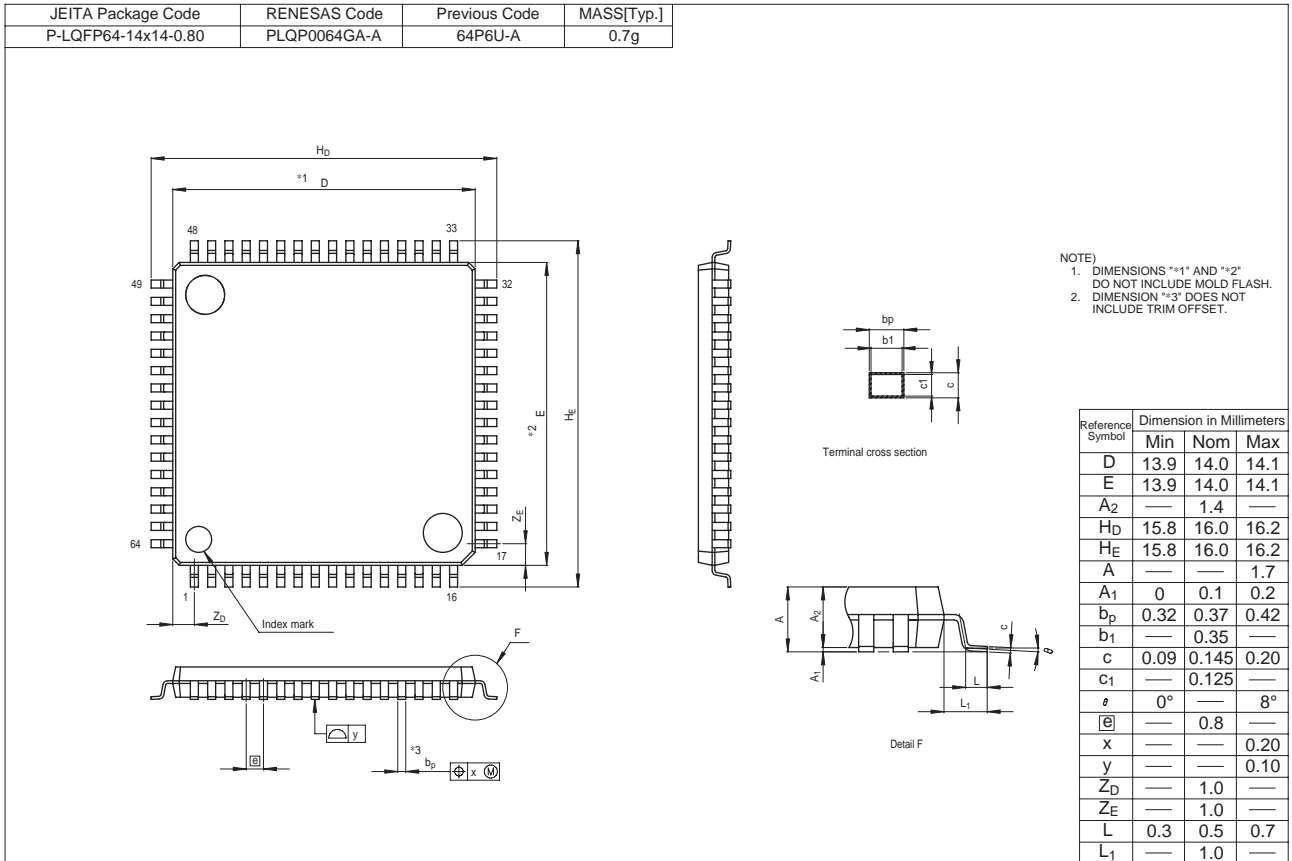


図 A.2 外形寸法図 (PLQP0064GA-A)

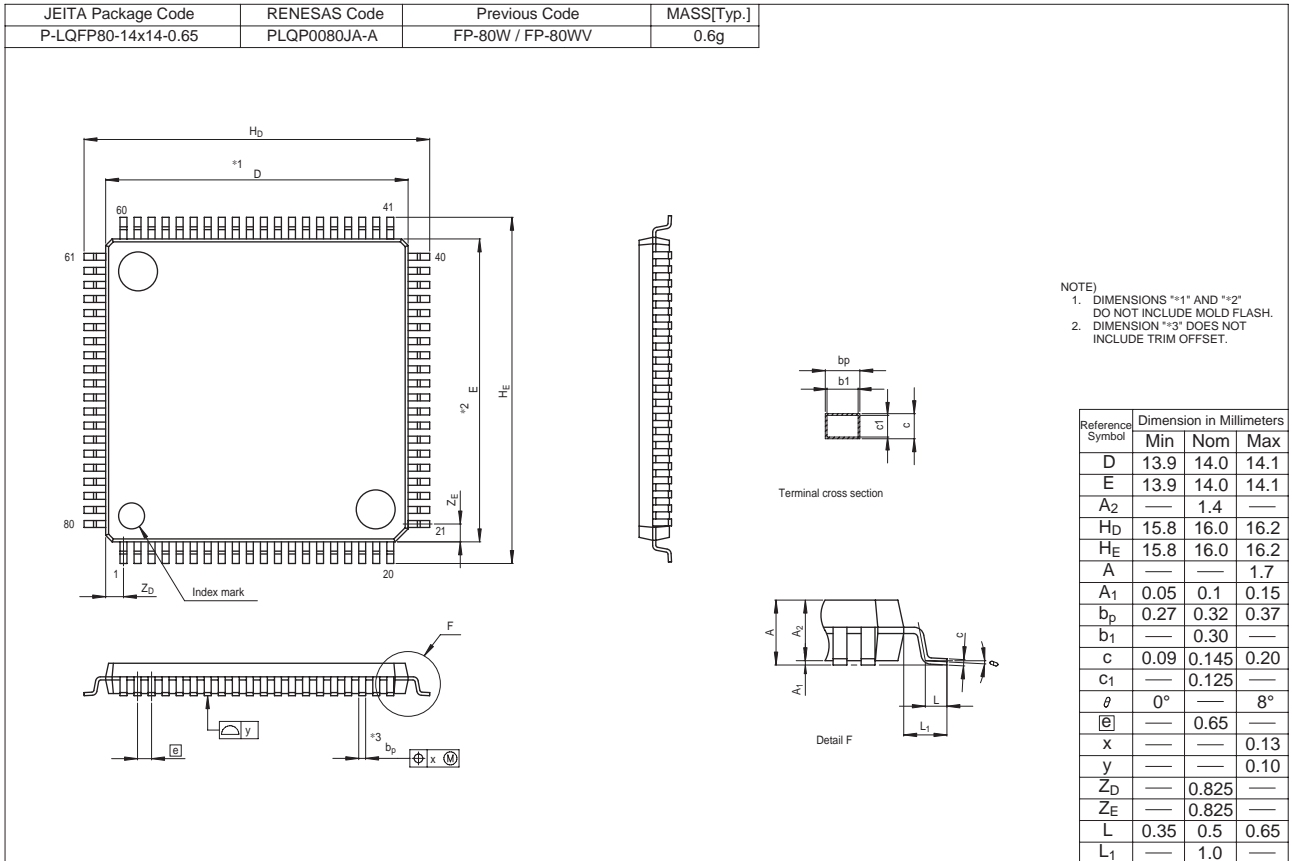


図 A.3 外形寸法図 (PLQP0080JA-A)

B. 未使用端子の処理について

未使用端子の処理を表 B.1 に示します。

表 B.1 未使用端子の処理例

端子名	端子処理例
RES	抵抗を介して Vcc に接続 (プルアップ)
NMI	抵抗を介して Vcc に接続 (プルアップ)
X1	Vss に接続
X2	端子を解放
ポート 1	当該端子の PMR ビットを 0、PCR を 0 に設定して端子を汎用入力モードに設定し、端子ごとに抵抗を介して Vcc に接続 (プルアップ) または端子ごとに抵抗を介して Vss に接続 (プルダウン)
ポート 2	
ポート 3	
ポート 5	
ポート 6	
ポート 7	
ポート 8	
ポート 9	
ポート A	
ポート B	
ポート J	
NC	端子を解放

本版で修正または追加された箇所

項目	ページ	修正箇所				
1.1 特長	1-1	修正 ...イベントリンクコントローラ、シリアルコミュニケーションインタフェース 3、I ² C バス インタフェース 2、...				
表 1.1 仕様概要	1-2	修正 <table border="1" style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">分類</th> <th style="text-align: center;">モジュール／機能</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">電圧検出</td> <td style="text-align: center;">低電圧検出回路 (LVD)</td> </tr> </tbody> </table>	分類	モジュール／機能	電圧検出	低電圧検出回路 (LVD)
	分類	モジュール／機能				
電圧検出	低電圧検出回路 (LVD)					
1-3	修正 <table border="1" style="margin-left: 20px; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">分類</th> <th style="text-align: center;">モジュール／機能</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">シリアルインタ フェース</td> <td style="text-align: center;">シリアルコミュニケーション インタフェース 3 (SCI3)</td> </tr> </tbody> </table>	分類	モジュール／機能	シリアルインタ フェース	シリアルコミュニケーション インタフェース 3 (SCI3)	
分類	モジュール／機能					
シリアルインタ フェース	シリアルコミュニケーション インタフェース 3 (SCI3)					

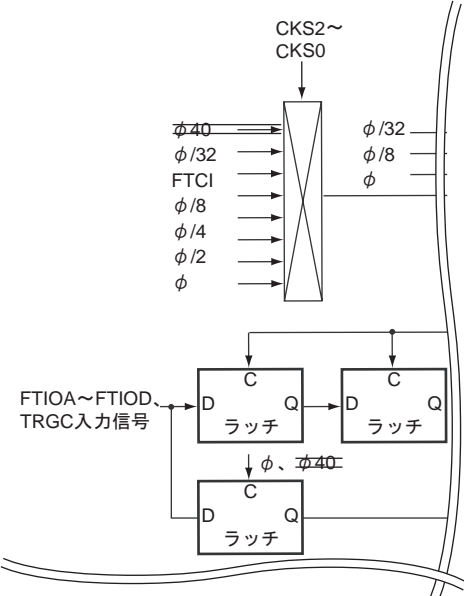
項目	ページ	修正箇所																																					
表 1.3 端子機能	1-17	<p>修正</p> <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">記号</th> <th colspan="2">ピン番号</th> </tr> <tr> <th>H8S/20103 グループ H8S/20115 グループ</th> <th>H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ</th> </tr> </thead> <tbody> <tr> <td rowspan="10">I/O ポート</td> <td>P17~P10*⁴</td> <td>23~21、54~52</td> <td>28~25、57、56、38、37</td> </tr> <tr> <td>P27~P20</td> <td>50~48、51、 47~44</td> <td>39~41、51、 55~52</td> </tr> <tr> <td>P37~P30</td> <td>13~20</td> <td>17~24</td> </tr> <tr> <td>P57~P50</td> <td>27~24 28~31</td> <td>29~36</td> </tr> <tr> <td>P67~P60</td> <td>40~37、 32~34、36</td> <td>49~42</td> </tr> <tr> <td>P87~P85</td> <td>43~41</td> <td>14~16</td> </tr> <tr> <td>P97~P90*⁵</td> <td>—</td> <td>61~58 65~62</td> </tr> <tr> <td>PA7~PA0*⁶</td> <td>58~55</td> <td>69~66 73~70</td> </tr> <tr> <td>PB7~PB0</td> <td>2、1、64、63、 59~62</td> <td>2、1、80~75</td> </tr> <tr> <td>PJ1、PJ0</td> <td>10、11</td> <td>10、11</td> </tr> </tbody> </table>	分類	記号	ピン番号		H8S/20103 グループ H8S/20115 グループ	H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ	I/O ポート	P17~P10* ⁴	23~21、54~52	28~25、57、56、38、37	P27~P20	50~48、51、 47~44	39~41、51、 55~52	P37~P30	13~20	17~24	P57~P50	27~24 28~31	29~36	P67~P60	40~37、 32~34、36	49~42	P87~P85	43~41	14~16	P97~P90* ⁵	—	61~58 65~62	PA7~PA0* ⁶	58~55	69~66 73~70	PB7~PB0	2、1、64、63、 59~62	2、1、80~75	PJ1、PJ0	10、11	10、11
分類	記号	ピン番号																																					
		H8S/20103 グループ H8S/20115 グループ	H8S/20203 グループ H8S/20223 グループ H8S/20215 グループ H8S/20235 グループ																																				
I/O ポート	P17~P10* ⁴	23~21、54~52	28~25、57、56、38、37																																				
	P27~P20	50~48、51、 47~44	39~41、51、 55~52																																				
	P37~P30	13~20	17~24																																				
	P57~P50	27~24 28~31	29~36																																				
	P67~P60	40~37、 32~34、36	49~42																																				
	P87~P85	43~41	14~16																																				
	P97~P90* ⁵	—	61~58 65~62																																				
	PA7~PA0* ⁶	58~55	69~66 73~70																																				
	PB7~PB0	2、1、64、63、 59~62	2、1、80~75																																				
	PJ1、PJ0	10、11	10、11																																				
4.2.1 インタラプトコントロールレジスタ (INTCR)	4-4	<p>削除</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>0 : ADTRG2 入力の立ち下がりがエッジで AD1 または AD2 の変換開始 1 : ADTRG2 入力の立ち上がりがエッジで AD1 または AD2 の変換開始</td> </tr> </tbody> </table>	ビット	説明	2	0 : ADTRG2 入力の立ち下がりがエッジで AD1 または AD2 の変換開始 1 : ADTRG2 入力の立ち上がりがエッジで AD1 または AD2 の変換開始																																	
ビット	説明																																						
2	0 : ADTRG2 入力の立ち下がりがエッジで AD1 または AD2 の変換開始 1 : ADTRG2 入力の立ち上がりがエッジで AD1 または AD2 の変換開始																																						
4.2.5 IRQ ステータスレジスタ (ISR)	4-10	<p>修正</p> <p>【1になる条件】</p> <ul style="list-style-type: none"> • ISCR で選択した割り込みエッジが発生したとき 																																					
4.2.7 割り込みベクタオフセットレジスタ (VOFR)	4-12	<p>【注】追加</p>																																					
7.1 概要	7-1	<p>削除</p> <ul style="list-style-type: none"> • PROM ライタプロテクト／ブートモードプロテクト ユーザ ROM 領域の指定アドレスに指定データを書くと、PROM ライタまたはブートモードで、ユーザ ROM 領域の指定アドレスにプロテクトをかけることができます。 																																					

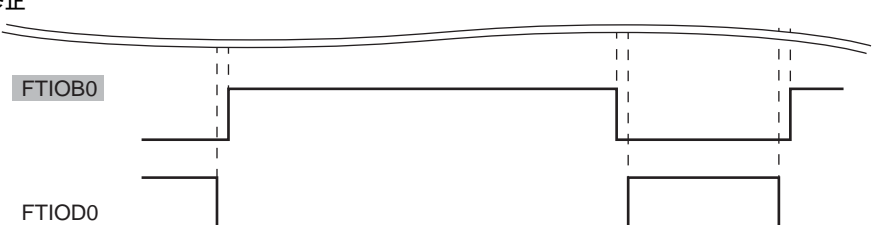
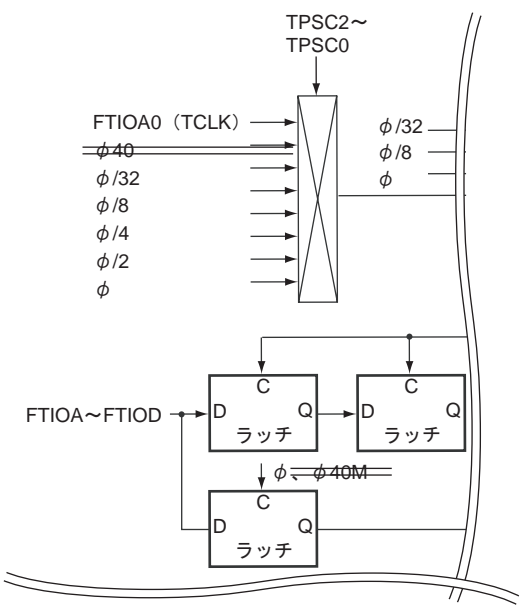
項目	ページ	修正箇所									
7.3.2 EW1 モード	7-7	修正 割り込み処理終了後、消去が完了していないとき（FLMSTR の FMERSF ビットが 1）は、FMSPREQ ビットを 0（イレーズレジューム）にして消去を再開させてください。									
7.4.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)	7-10	修正 【注】 *1 書き込みを行う場合は、FMSPEN ビットを 1 にしてください。 *2 FMRDYIE ビットは FMCMDEN ビットが 0 から 1 になるときに 0 になります。 *3 FMBSYRDIE ビットは FMCMDEN ビットが 0 から 1 になるときに 0 になります。									
図 7.15 イレーズサスペンド機能使用時のフロー	7-54	修正 									
(7) ロックビットリードコマンド	7-58	修正 フラッシュメモリのロックビットが読めるコマンドです。 第一コマンドサイクルで H'71 を書き込み、第二コマンドサイクルで指定ブロックアドレス BA の番地をリードすると、リードしたデータからロックビットの値を知ることができます。ワード命令を使用した場合は、リードしたデータのビット 14 とビット 6 にロックビットが反映され、バイト命令を使用した場合は、ビット 6 に映されます。ロックビットリードコマンドを実行する際は EW0 モードを使用してください。									
(1) 使用禁止命令	7-65	修正 • TRAPA 命令									
表 9.1 選択可能なマルチプレクス機能一覧（ポート 1、2、3、5、6）	9-1	削除および追加 <table border="1" data-bbox="534 1321 1417 1594"> <thead> <tr> <th>グループ 1</th> <th>端子名</th> <th>機能 4</th> </tr> </thead> <tbody> <tr> <td>ポート 1 ポート 2</td> <td>Pm7</td> <td>SCL/SSI 入出力</td> </tr> <tr> <td>ポート 3 ポート 5 ポート 6</td> <td>Pm6</td> <td>SDA/SCS 入出力</td> </tr> </tbody> </table> 【注】 *1 タイマ RC は、H8S/20203 グループ、H8S/20223 グループ、H8S/20215 グループ、H8S/20235 グループにはありません。したがって、当該機能は選択できません。 *2 IIC2 の SCL/SDA 端子は P56/P57 以外選択できません。	グループ 1	端子名	機能 4	ポート 1 ポート 2	Pm7	SCL/SSI 入出力	ポート 3 ポート 5 ポート 6	Pm6	SDA/SCS 入出力
グループ 1	端子名	機能 4									
ポート 1 ポート 2	Pm7	SCL/SSI 入出力									
ポート 3 ポート 5 ポート 6	Pm6	SDA/SCS 入出力									
(c) ポート 1 周辺機能マッピングレジスタ 3 (PMCR13)	9-7	追加 【注】 *1 H8S/20103 グループ、H8S/20115 グループには、P14 端子はありません。P14MD[2:0]は予約ビットになります。初期値は B'001 です。ライト時も B'001 を書き込んでください。									

項目	ページ	修正箇所						
(d) ポート 1 周辺機能 マッピングレジスタ 4 (PMCR14)	9-8	削除						
(d) ポート 2 周辺機能 マッピングレジスタ 4 (PMCR24)	9-12	<table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6~4</td> <td>: 100 : SSI/SCL 入出力^{*4} (SSU/IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) 111 : 設定禁止</td> </tr> <tr> <td>2~0</td> <td>: 100 : $\overline{\text{SCS/SDA}}$ 入出力^{*4,*2} (SSU/IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止</td> </tr> </tbody> </table> <p>【注】 *1 IIC2/SSU を IIC2 機能として使用する場合、SCL と SDA は IIC 入出力専用バッファが必要であるため、必ず P56/P57 端子に設定してください。SSU 機能として使用する場合は、*2 を除いて制限はありません。</p> <p>*2 SSU の $\overline{\text{SCS}}$ 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。</p>	ビット	説明	6~4	: 100 : SSI/SCL 入出力 ^{*4} (SSU/ IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) 111 : 設定禁止	2~0	: 100 : $\overline{\text{SCS/SDA}}$ 入出力 ^{*4,*2} (SSU/ IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止
ビット	説明							
6~4	: 100 : SSI/SCL 入出力 ^{*4} (SSU/ IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) 111 : 設定禁止							
2~0	: 100 : $\overline{\text{SCS/SDA}}$ 入出力 ^{*4,*2} (SSU/ IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止							
(d) ポート 3 周辺機能 マッピングレジスタ 4 (PMCR34)	9-16	削除および修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6~4</td> <td>: 100 : SSI/SCL 入出力^{*4} (SSU/IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) ^{*1} 111 : 設定禁止</td> </tr> <tr> <td>2~0</td> <td>: 100 : $\overline{\text{SCS/SDA}}$ 入出力^{*4,*2} (SSU/IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止</td> </tr> </tbody> </table> <p>【注】 *1 IIC2/SSU を IIC2 機能として使用する場合、SCL と SDA は IIC 入出力専用バッファが必要であるため、必ず P56/P57 端子に設定してください。SSU 機能として使用する場合は、*3 を除いて制限はありません。</p> <p>*1 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループは選択できません。</p> <p>*2 SSU の $\overline{\text{SCS}}$ 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。</p>	ビット	説明	6~4	: 100 : SSI/SCL 入出力 ^{*4} (SSU/ IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) ^{*1} 111 : 設定禁止	2~0	: 100 : $\overline{\text{SCS/SDA}}$ 入出力 ^{*4,*2} (SSU/ IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止
ビット	説明							
6~4	: 100 : SSI/SCL 入出力 ^{*4} (SSU/ IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG2}}$ 入力 (AD_2) ^{*1} 111 : 設定禁止							
2~0	: 100 : $\overline{\text{SCS/SDA}}$ 入出力 ^{*4,*2} (SSU/ IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) 110 : $\overline{\text{ADTRG1}}$ 入力 (AD_1) 111 : 設定禁止							

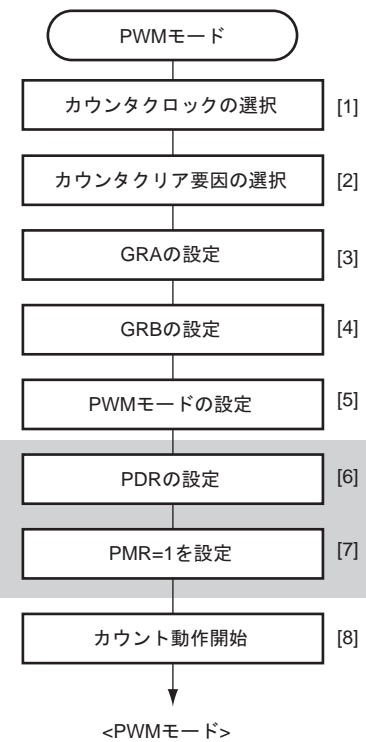
項目	ページ	修正箇所						
(d) ポート 5 周辺機能 マッピングレジスタ 4 (PMCR54)	9-20	<p>修正および追加</p> <p>【注】 *1 IIC2/SSU を IIC2 機能として使用する場合、SCL と SDA は IIC 入出力専用バッファが必要であるため、必ず P56/P57 のみ設定可能です。PMC により他の端子に割り付けることはできません。SSU 機能として使用する場合は、*2 を除いて制限はありません。</p> <p>また、P56/P57 端子は、他の端子と特性が異なります。IIC2 の SCL/SDA 端子に設定した場合、NMOS オープンドレイン出力になります。他の出力機能に設定した場合は、NMOS プッシュプル出力になり、ハイレベル特性が CMOS 出力と異なりますので、注意してください。</p>						
(d) ポート 6 周辺機能 マッピングレジスタ 4 (PMCR64)	9-24	<p>削除および修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 20%;">ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">6~4</td> <td> : 100 : SSI/SCL入出力*4 (SSU/IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) (初期値) 110 : ADTRG2 入力 (AD_2) *1 111 : 設定禁止 </td> </tr> <tr> <td style="text-align: center;">2~0</td> <td> : 100 : SCS/SDA入出力*4*2 (SSU/IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) (初期値) 110 : ADTRG1 入力 (AD_1) 111 : 設定禁止 </td> </tr> </tbody> </table> <p>【注】 *1 IIC2/SSU を IIC2 機能として使用する場合、SCL と SDA は IIC 入出力専用バッファが必要であるため、必ず P56/P57 端子に設定してください。SSU 機能として使用する場合は、*3 を除いては制限はありません。</p> <p>*1 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20215 グループは選択できません。</p> <p>*2 SSU の SCS 出力端子に設定した場合、NMOS オープンドレイン出力機能は選択できません。</p>	ビット	説明	6~4	: 100 : SSI/SCL 入出力 *4 (SSU/ IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) (初期値) 110 : ADTRG2 入力 (AD_2) *1 111 : 設定禁止	2~0	: 100 : SCS/SDA 入出力 *4 *2 (SSU/ IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) (初期値) 110 : ADTRG1 入力 (AD_1) 111 : 設定禁止
ビット	説明							
6~4	: 100 : SSI/SCL 入出力 *4 (SSU/ IIC2) 101 : FTIOD1 入出力 (タイマ RD_0) (初期値) 110 : ADTRG2 入力 (AD_2) *1 111 : 設定禁止							
2~0	: 100 : SCS/SDA 入出力 *4 *2 (SSU/ IIC2) 101 : FTIOC1 入出力 (タイマ RD_0) (初期値) 110 : ADTRG1 入力 (AD_1) 111 : 設定禁止							
10.8.7 ポートデータレジスタ A (PDRA)	10-51	<p>追加</p> <p>PDRA はポート A の出力値を格納するレジスタです。PCRA が 1 にセットされているビットはこのレジスタの値が出力されます。</p> <p>このレジスタをリードすると、PCRA が 1 にセットされているビットはこのレジスタの値が読み出されます。PCRA が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。</p> <p>ただし、PA3~PA0 端子において、A/D 変換器の ADCSR、ADCR によりアナログ入力チャネルに指定されている端子は、対応する PCRA ビットが 0 にクリアされていてもリードすると 1 が読み出されます。</p>						

項目	ページ	修正箇所									
10.8.11 ポートデータレジスタ A (PDRA)	10-55	<p>追加</p> <p>PDRA はポート A の出力値を格納するレジスタです。PCRA が 1 にセットされているビットはこのレジスタの値が出力されます。</p> <p>このレジスタをリードすると、PCRA が 1 にセットされているビットはこのレジスタの値が読み出されます。PCRA が 0 にクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。</p> <p>ただし、A/D 変換器の ADCSR、ADCR によりアナログ入力チャンネルに指定されている端子は、対応する PCRA ビットが 0 にクリアされていてもリードすると 1 が読み出されます。</p>									
10.9.2 ポートデータレジスタ B (PDRB)	10-60	<p>追加</p> <p>PDRB はポート B の出力値を格納するレジスタです。PCRB が 1 にセットされているビットはこのレジスタの値が出力されます。このレジスタをリードすると、PCRB が 1 にセットされているビットはこのレジスタの値を読み出されます。PCRB が 0 にクリアされているビットは、このレジスタの値にかかわらず端子の状態が読み出されます。</p> <p>ただし、A/D 変換器の ADCSR、ADCR によりアナログ入力チャンネルに指定されている端子は、対応する PCRB ビットがクリアされていてもリードすると 1 が読み出されます。</p> <p>また、PB6、PB7 端子については、D/A 変換器の DACR の DAOE1 により PB7 端子、PB6 端子が D/A 変換器のアナログ出力に設定されていると、PCRB7、PCRB6 が 0 にクリアされていてもリードすると 1 が読み出されます。</p>									
表 11.1 各割り込み要因と DTCER の対応	11-9	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 60%;">レジスタ</th> <th style="width: 40%;">ビット</th> </tr> </thead> <tbody> <tr> <td style="border: none;"></td> <td style="text-align: center;">0</td> </tr> <tr> <td style="border: none;">DTCERF</td> <td style="text-align: center;">ITDMD1_3*³</td> </tr> </tbody> </table>	レジスタ	ビット		0	DTCERF	ITDMD1_3* ³			
レジスタ	ビット										
	0										
DTCERF	ITDMD1_3* ³										
11.4 レジスタ情報の配置と DTC ベクタテーブル	11-12	<p>修正</p> <p>ベクタアドレスの構造は、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。DTC 使用時は、VOFR を H'0000 (初期値) に設定してください。</p>									
表 11.3 割り込み要因と DTC ベクタアドレスおよび対応する DTCE	11-13	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 30%;">起動要因発生元</th> <th style="width: 30%;">起動要因</th> <th style="width: 40%;">ベクタアドレス*¹</th> </tr> </thead> <tbody> <tr> <td>AD 変換器</td> <td>IADEND_2 (変換完了)</td> <td>H'440~H'441</td> </tr> <tr> <td>ユニット 2*²</td> <td>IADCMP_2 (コンペア条件満足)</td> <td>H'442~H'443</td> </tr> </tbody> </table>	起動要因発生元	起動要因	ベクタアドレス* ¹	AD 変換器	IADEND_2 (変換完了)	H'440~H'441	ユニット 2* ²	IADCMP_2 (コンペア条件満足)	H'442~H'443
起動要因発生元	起動要因	ベクタアドレス* ¹									
AD 変換器	IADEND_2 (変換完了)	H'440~H'441									
ユニット 2* ²	IADCMP_2 (コンペア条件満足)	H'442~H'443									
11.8.4 割り込みベクタオフセットレジスタ (VOFR) 使用時の制限事項	11-28	追加									
12.2 レジスタの説明	12-2	<p>修正</p> <ul style="list-style-type: none"> ポートバッファレジスタ 1、2 (PDBF1、PDBF2) 									

項目	ページ	修正箇所
(4) カウント値のリードとライト	14-17	修正 TCSTF=1、TOSSTF=0 のとき、TRBSC、TRBPR への書き込み後、TOSST ビットに 1 をライトする前に再び TRBSC、TRBPR へ書き込む場合は、TRBPR への書き込み後、5 カウントソース間隔をあけてから、TRBSC、TRBPR の順で書き込んでください。
14.5 使用上の注意事項	14-22	修正および追加 11. TRBPRES と TRBPR は、それぞれ連続して同一レジスタを読み出す場合は、読み出す間隔をカウントソースの 2 周期以上あけてください。 12. タイマ RB のカウンスとして、タイマ RA のアンダフローを選択する場合は、タイマ RA をタイマモード、パルス出力モードまたはイベントカウンタモードに設定してください。
15.3.3 PWM2 モード動作	15-28	修正 PWM2 モード時に TRGC 入力によるカウンタ開始を行い、ワンショット波形出力を行う動作を示します。TRGC 入力の立ち下がりエッジを設定 (TRCCR2 の TCEG1=1、TCEG0=0) し、GRA とのコンペアマッチ A 発生時のカウントアップ停止設定 (TRCCR2 の CSTP=1)、コンペアマッチ A で TRCNT をクリア設定 (TRCCR1 の CCRL=1)、出力レベルの初期値を 0 に設定 (TRCCR1 の TOB=0) した場合、TRCMR の CTS を 1 に設定した後、FTIOA/TRGC の立ち下がりによりカウントアップが開始し、GRA とのコンペアマッチにより、カウンタが H'0000 にクリアされ (カウント動作を停止し)、ワンショット波形出力を行います。この動作例を図 15.21 に示します。
図 15.22 デジタルフィルタ回路のブロック図	15-33	削除 
15.3.6 GR 対象出力端子可変機能	15-35	修正 ・・・コンペアマッチ B (GRB) でトグル出力 (TRCIOR0 の IOB2~0=B'011)、コンペアマッチ D (GRD) で FTIOB 端子にトグル出力 (TRCIOR1 の IOD3~0=B'0X11) になるように設定し、・・・
(2) イベントカウンタ動作	15-36	追加 ELSR2 で指定したイベントが発生すると、TRCCR1 の CKS[2:0]ビットと TRCMR の CTS ビットの設定に関係なくそのイベントをカウントソースとしてイベントカウンタ動作を行います。

項目	ページ	修正箇所
16.2.12 タイマ RD I/O コントロールレジスタ (TRDIORA、 TRDIORC)	16-23	削除 【注】 *1 バッファ動作を行うときは、TRDIORA と TRDIORC の IOA2 ビット、IOB2 ビット、IOC2 ビット、IOD2 ビットにおいて、ペアとなる GR については同じ値を設定してください。 IOA3 ビットは TRDIORA_0 のみ存在します。 *2 PWM モード、PWM3 モード、相補 PWM モード、およびリセット同期 PWM モードに設定したとき、TRDIORA の設定は無効となります。
図 16.49 バッファ動作 例 (4) (相補 PWM モ ード時のバッファ動作 CMD1=1、CMD0=0)	16-76	修正 
(2) 外部トリガによる タイマ RD の出力禁止の タイミング	16-78	削除 PH6/TRDOL_0 (または PH6/TRDOL_1) 端子を TRDOI 入力端子に設定し、TRDOI に Low レベルを入力すると、TRDOER1 のマスタインープルビットが 1 にセットされタイマ RD の出力が禁止されます。
図 16.54 デジタルフィ ルタ回路のブロック図	16-80	削除 
(2) イベントカウンタ 動作	16-85	追加および削除 ELC の ELOPA、ELOBP でタイマ RD のイベントカウンタ動作を選択します。ELSR3、ELSR4 で指定したイベントが発生すると、TRDCR4 の TPSC[2:0] ビットと TRDSTR の STR1、STR0 ビットの設定に関係なくそのイベントをカウントソースとして、イベントカウンタ動作を行います。

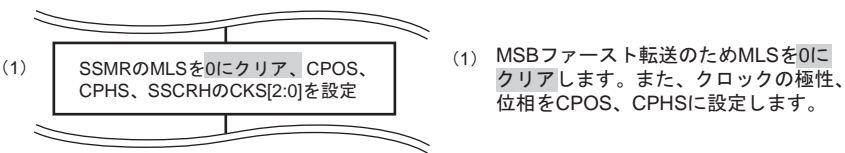

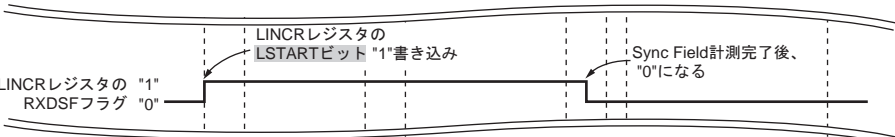
項目	ページ	修正箇所
17.4 アウトプットコンペアモードの動作	17-17	修正 TRECSRのRCS3ビットに0をライトするとタイマREはアウトプットコンペアモードとなり、8ビットのコンペアマッチ機能付きカウンタとして動作します。カウントソースは4種類選択可能です。アウトプットコンペアモードを使用時でも、 図17.3を参考にタイマREの初期化を行ってください。タイマREの初期化を行うときは、TRECSRのRCS3ビットでアウトプットコンペアモードに設定してから図17.3の初期化設定手順を実施してください。
18.2.5 タイマRGステータスレジスタ (TRGSR)	18-9	修正 [0になる条件] • IMFB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき
• TGIOA 端子	18-13	表差し替え、および表注記削除
• TGIOB 端子	18-13	
図 18.2 コンペアマッチによる波形出力動作例	18-14	追加および削除 <p>[1] TRGIORによりコンペアマッチ出力を0出力/1出力/トグル出力の3種類から選択してください。波形出力モードの設定すると、ポートはコンペアマッチ出力端子 (TGIOA、TGIOB) となります。</p> <p>[2] GRA/GRBIに、コンペアマッチを発生させるタイミングを設定してください。</p> <p>[3] PMCで設定した当該端子のPDRビットにコンペアマッチ出力端子 (TGIOA、TGIOB) の出力初期値と同じ値をライトします。</p> <p>[4] PMCで設定した当該端子のPMRビットを1に設定すると、ポートはコンペアマッチ出力端子となります。</p> <p>[5] TRGMDRのSTRビットを1にセットしてTRGCNTのカウント動作を開始してください。</p>
図 18.8 インพุットキャプチャ入力信号タイミング	18-19	差し替え

項目	ページ	修正箇所
図 18.9 PWM モード設定手順例	18-20	<p>追加および削除</p>  <p>[1] TRGCRのTPSC2~TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TRGCRのCKEG1、CKEG0ビットにより外部クロックのエッジを選択してください。</p> <p>[2] TRGCRのCCLR1、CCLR0ビットによりカウンタクリア要因を選択してください。</p> <p>[3] GRAに出力PWM波形の1出カタイミングを設定してください。</p> <p>[4] GRBに出力PWM波形の0出カタイミングを設定してください。</p> <p>[5] TRGMDRのPWMビットでPWMモードを設定してください。PWMモードを設定すると、TRGIORの内容にかかわらずGRA/GRBは、PWM出力波形の1出力/0出力タイミング設定用アウトプットコンペアレジスタとなります。TGIOA端子は自動的にPWM出力端子となります。ただし、TGIOB端子は、TGIOBが兼用された該当ポートの汎用I/O機能をしません。</p> <p>[6] PMCで設定した当該端子のPDRビットにPWM出力端子（TGIOA）の出力初期値と同じ値をライトします。</p> <p>[7] PMCで設定した当該端子のPMRビットを1に設定すると、TGIOA端子はPWM出力端子となります。</p> <p>[8] TRGMDRのSTRビットを1にセットして、TRGCNTのカウンタ動作を開始してください。</p>
図 18.17 位相計数モード時の位相差、オーバラップおよびパルス幅	18-28	修正 パルス幅：3 ステート以上
18.3.4 バッファ動作	18-28	修正 バッファ動作は、GR をアウトプットコンペアレジスタに設定した場合と、GR をインプットキャプチャレジスタに設定した場合はそれぞれの動作内容が異なります。表 18.10 にバッファ動作のレジスタの組み合わせを示します。
図 18.18 コンペアマッチバッファ動作	18-29	図タイトル修正
図 18.19 インプットキャプチャバッファ動作	18-29	図タイトル修正
(2) イベントカウンタ動作	18-30	追加 ELSR8 で指定したイベントが発生すると、TRGCR の TPSC[2:0]ビットと TRGMDR の STRビットの設定に関係なくそのイベントをカウンタソースとしてイベントカウンタ動作を行います。

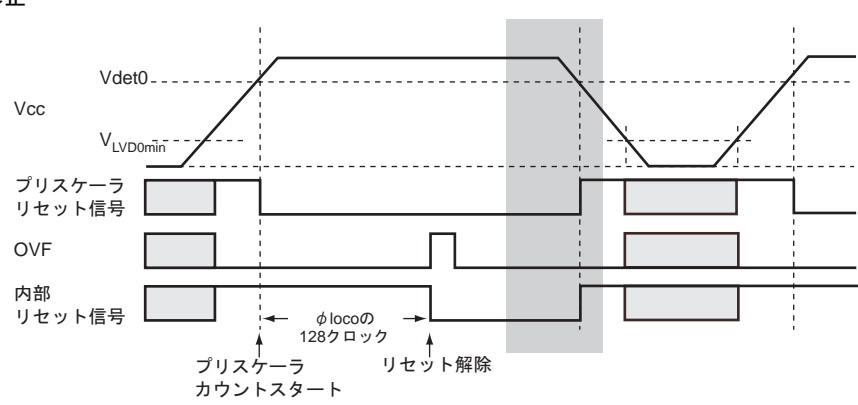
項目	ページ	修正箇所															
図 18.22 デジタルフィ ルタ回路のブロック図	18-31	削除															
19.2 レジスタの説明	19-3	修正 <ul style="list-style-type: none"> • タイマインタラプトコントロールレジスタ WD (TICRWD) 															
19.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)	19-3、 19-4	修正 <table border="1" data-bbox="533 875 1406 1621"> <thead> <tr> <th data-bbox="533 875 632 913">ビット</th> <th data-bbox="632 875 839 913">ビット名</th> <th data-bbox="839 875 1406 913">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="533 913 632 1048">6</td> <td data-bbox="632 913 839 1048">タイマカウンタ WD 書き込み許可</td> <td data-bbox="839 913 1406 1048">0 : TCWD への書き込みを禁止 1 : TCWD への書き込みを許可</td> </tr> <tr> <td data-bbox="533 1048 632 1272">4</td> <td data-bbox="632 1048 839 1272">タイマコントロール/ステータスレジスタ WD 書き込み許可</td> <td data-bbox="839 1048 1406 1272">0 : 本レジスタのビット 3 (TMWLOCK) とビット 2 (TMWI) に対する書き込みを禁止 1 : 本レジスタのビット 3 (TMWLOCK) とビット 2 (TMWI) に対する書き込みを許可</td> </tr> <tr> <td data-bbox="533 1272 632 1451">3</td> <td data-bbox="632 1272 839 1451">タイマモードレジスタ WD ロックダウン</td> <td data-bbox="839 1272 1406 1451">このビットが 1 のとき、TMWD レジスタはライト不可となります。本ビットを 1 度 1 にセットすると、リセット時のみ、本ビットのクリアが可能です。</td> </tr> <tr> <td data-bbox="533 1451 632 1621">2</td> <td data-bbox="632 1451 839 1621">タイマモードレジスタ WD 書き込み禁止</td> <td data-bbox="839 1451 1406 1621">【0 になる条件】 • TCSRWE=1 の状態で、TMWI に 0 をライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	説明	6	タイマカウンタ WD 書き込み許可	0 : TCWD への書き込みを禁止 1 : TCWD への書き込みを許可	4	タイマコントロール/ステータスレジスタ WD 書き込み許可	0 : 本レジスタのビット 3 (TMWLOCK) とビット 2 (TMWI) に対する書き込みを禁止 1 : 本レジスタのビット 3 (TMWLOCK) とビット 2 (TMWI) に対する書き込みを許可	3	タイマモードレジスタ WD ロックダウン	このビットが 1 のとき、TMWD レジスタはライト不可となります。本ビットを 1 度 1 にセットすると、リセット時のみ、本ビットのクリアが可能です。	2	タイマモードレジスタ WD 書き込み禁止	【0 になる条件】 • TCSRWE=1 の状態で、TMWI に 0 をライトしたとき
ビット	ビット名	説明															
6	タイマカウンタ WD 書き込み許可	0 : TCWD への書き込みを禁止 1 : TCWD への書き込みを許可															
4	タイマコントロール/ステータスレジスタ WD 書き込み許可	0 : 本レジスタのビット 3 (TMWLOCK) とビット 2 (TMWI) に対する書き込みを禁止 1 : 本レジスタのビット 3 (TMWLOCK) とビット 2 (TMWI) に対する書き込みを許可															
3	タイマモードレジスタ WD ロックダウン	このビットが 1 のとき、TMWD レジスタはライト不可となります。本ビットを 1 度 1 にセットすると、リセット時のみ、本ビットのクリアが可能です。															
2	タイマモードレジスタ WD 書き込み禁止	【0 になる条件】 • TCSRWE=1 の状態で、TMWI に 0 をライトしたとき															

項目	ページ	修正箇所
20.2 レジスタの説明	20-5	<p>修正</p> <p>チャンネル 2</p> <ul style="list-style-type: none"> レシーブシフトレジスタ₂ (RSR₂) レシーブデータレジスタ₂ (RDR₂) トランスミットシフトレジスタ₂ (TSR₂) トランスミットデータレジスタ₂ (TDR₂) シリアルモードレジスタ₂ (SMR₂) シリアルコントロールレジスタ_{3_2} (SCR3₂) シリアルステータスレジスタ₂ (SSR₂) ビットレートレジスタ₂ (BRR₂) サンプリングモードレジスタ₂ (SPMR₂) IrDA コントロールレジスタ₂ (IrCR₂) <p>チャンネル 3</p> <ul style="list-style-type: none"> レシーブシフトレジスタ₃ (RSR₃) レシーブデータレジスタ₃ (RDR₃) トランスミットシフトレジスタ₃ (TSR₃) トランスミットデータレジスタ₃ (TDR₃) シリアルモードレジスタ₃ (SMR₃) シリアルコントロールレジスタ_{3_3} (SCR3₃) シリアルステータスレジスタ₃ (SSR₃) ビットレートレジスタ₃ (BRR₃) サンプリングモードレジスタ₃ (SPMR₃)
20.6.1 送信	20-37	<p>修正</p> <p>...IrCR の IrCKS[2:0]ビットの...</p>
20.6.3 ハイパルス幅の選択	20-38	<p>修正</p> <p>...適用可能な IrCKS[2:0]ビットの設定...</p>
表 20.7 IrCKS[2:0]ビット設	20-38	修正
20.8 割り込み要求	20-40	<p>修正</p> <p>SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。また、SSR の OER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求により DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時、自動的に 0 にクリアされます。</p>
図 20.23 DTC によるクロック同期式送信時の例	20-43	<p>修正</p> <p>SCK3</p>
表 21.1 端子構成	21-3	<p>追加</p> <p>【注】 IIC2 機能選択時、PMC で SCL 端子は P57、SDA 端子は P56 に設定してください。</p>

項目	ページ	修正箇所															
21.2.3 I ² C バスコントロールレジスタ 2 (ICCR2)	21-7、 21-8	<p>追加</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>シンボル</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>BBSY*^{1,3}</td> <td>I²C バスの占有/開放状態を示すフラグ</td> </tr> <tr> <td>6</td> <td>SCP*³</td> <td>SCP ビットはマスタモードで . . .</td> </tr> <tr> <td>5</td> <td>SDAO*³</td> <td>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。 :</td> </tr> <tr> <td>3</td> <td>SCLO</td> <td>SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。</td> </tr> </tbody> </table> <p>【注】 *1 スタンバイモード時、ICCR2 の BBSY ビットがリセットされます。 *2 本ビットは自動的に 0 にクリアされないで、必ずソフトウェアで 0 にクリアしてください。 *3 IICR2 の IICRST=1 によるリセット期間中のライトは無効です。</p>	ビット	シンボル	説明	7	BBSY* ^{1,3}	I ² C バスの占有/開放状態を示すフラグ	6	SCP* ³	SCP ビットはマスタモードで . . .	5	SDAO* ³	SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。 :	3	SCLO	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。
ビット	シンボル	説明															
7	BBSY* ^{1,3}	I ² C バスの占有/開放状態を示すフラグ															
6	SCP* ³	SCP ビットはマスタモードで . . .															
5	SDAO* ³	SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。 :															
3	SCLO	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。IICRST ビットに 1 をライトすると、本ビットは 1 にセットされます。															
21.2.6 I ² C バスステータスレジスタ (ICSR)	21-13	<p>追加</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>[1 になる条件] : • マスタ送信モードおよびスレーブ送信モードにおいて、ICCR2 の IICRST に 1 をライトしたとき</td> </tr> </tbody> </table>	ビット	説明	7	[1 になる条件] : • マスタ送信モードおよびスレーブ送信モードにおいて、ICCR2 の IICRST に 1 をライトしたとき											
ビット	説明																
7	[1 になる条件] : • マスタ送信モードおよびスレーブ送信モードにおいて、ICCR2 の IICRST に 1 をライトしたとき																
21.6.3 I ² C バスインタフェースモードのマスタ受信モード時の注意事項	21-37	追加															
21.6.4 I ² C バス動作中における ICCRI の ICE ビットおよび ICCR2 の IICRST ビットのアクセスに関する注意事項	21-38	追加															

項目	ページ	修正箇所
22.2.9 SS トランスミットデータレジスタ (SSTDR)	22-12	追加 SSTDR は送信するシリアルデータを格納する 8 ビットのレジスタで、常に CPU によるリード/ライトが可能です。SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中 SSTDR に次の送信データをライトしておく、連続してシリアル送信できます。なお、SSMR の MLS ビットを 1 に設定した場合、SSTDR に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。SSTDR の初期値は H'FF です。スタンバイモード時、SSTDR は初期化されます。
22.2.10 SS シフトレジスタ (SSTRSR)	22-12	削除 SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。 SSTDR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。 CPU から直接 SSTRSR をリード/ライトできません。スタンバイモード時、SSTRSR は初期化されます。
22.3.2 クロックの極性、位相とデータの関係	22-13	修正 なお、SSMR の MLS の設定により、MSB ファーストで転送するか LSB ファーストで転送するかを選択できます。MLS=1 のときは、LSB から始まり最後に MSB の順で転送されます。また、MLS=0 のときは、MSB から始まり最後に LSB の順で転送されます。
22.3.6 4 線式バス通信モードの動作	22-22	修正 チップセレクトラインは、マスタデバイスの場合出力制御、スレーブデバイスの場合入力制御します。マスタデバイスの場合は SSMR2 の CSS1 を 1 に設定し、 \overline{SCS} 端子を出力制御するか、あるいは汎用ポートで出力制御することができます。スレーブデバイスの場合は、SSMR2 の CSS[1:0] を 01 に設定し \overline{SCS} 端子を入力として機能させます。 4 線式バス通信モードでは、標準的に SSMR の MLS を 0 にして、MSB ファーストで通信を行います。
図 22.10 4 線式バス通信モードの初期化	22-22	修正 
図 23.4 ヘッダフィールド送信フローチャート (2)	23-6	修正 
図 23.5 ヘッダフィールド受信時の動作例	23-7	修正 
23.3.3 バス衝突検出機能	23-11	削除 SCI3_1 が送信許可 (SCR3=4レジスタの TE ビットが"1") の場合、バス衝突検出機能を使用することができます。

項目	ページ	修正箇所									
図 24.2 A/D 変換器 (ユニット 2) のブロック図	24-3	<p>追加</p>									
表 24.1 端子構成	24-4	<p>修正</p> <table border="1"> <thead> <tr> <th>ユニット</th> <th>端子名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>ユニット 1</td> <td>ADTRG1</td> <td>A/D 変換開始のための外部トリガ入力 1*³</td> </tr> <tr> <td>ユニット 2</td> <td>ADTRG2</td> <td>A/D 変換開始のための外部トリガ入力 2*²</td> </tr> </tbody> </table> <p>【注】 *1 H8S/20103 グループ、H8S/20203 グループ、H8S/20115 グループ、H8S/20245 グループにはありません。</p> <p>*2 H8S/20223 グループ、H8S/20235 グループのみの端子です。</p> <p>*3 ユニット 2 のトリガ入力としても使用可能です。</p>	ユニット	端子名	機能	ユニット 1	ADTRG1	A/D 変換開始のための外部トリガ入力 1* ³	ユニット 2	ADTRG2	A/D 変換開始のための外部トリガ入力 2* ²
ユニット	端子名	機能									
ユニット 1	ADTRG1	A/D 変換開始のための外部トリガ入力 1* ³									
ユニット 2	ADTRG2	A/D 変換開始のための外部トリガ入力 2* ²									
24.2 レジスタ説明	24-5	<p>修正</p> <ul style="list-style-type: none"> コンペアコントロール/ステータスレジスタ (CMPCSR) : コンペアコントロール/ステータスレジスタ_2 (CMPCSR_2) 									
24.2.2 A/D コントロール/ステータスレジスタ (ADCSR)	24-8	<p>追加</p> <ul style="list-style-type: none"> ADST (A/D スタート) <p>0 にクリアすると A/D 変換またはコンペアを中止し、待機状態になります。ソフトウェア、タイマ RC、タイマ RD の変換開始トリガ、または ADTRG 端子によって 1 にセットすると、A/D 変換またはコンペアを開始します。A/D 変換またはコンペア中は 1 を保持します。シングルモードでは選択したチャンネルの A/D 変換またはコンペアが終了すると自動的にクリアされます。スキャンモードでは ADSTCLR ビットが 0 のとき、リセット、スタンバイモード、ソフトウェアによってクリアされるまで選択されたチャンネルを順次連続変換します。また、ADSTCLR ビットが 1 のとき、選択されたすべてのチャンネルの A/D 変換またはコンペアが終了したとき、ADST はクリアされます。</p> <p>イベントリンク機能により ADST を 1 にセットすることが可能です。ELC の ELSR10 または ELSR11 で設定したイベントが発生すると、それぞれ A/D 変換器ユニット 1 または A/D 変換器ユニット 2 の ADST ビットが 1 にセットされ、A/D 変換またはコンペアを開始します。</p> <p>AN0、AN0_2 を変換チャンネルとして選択する場合は、PMRA2、または PMRA3 によりアナログ入力端子に設定してください。</p>									
24.2.7 コンペア電圧レジスタ H、L (CMPVALH、CMPVALL)	24-13	<p>修正</p>									

項目	ページ	修正箇所														
24.5.4 外部トリガ入力タイミング	24-20	修正 A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の EXTRGS、TRGS1、TRGS0 ビットが B'001 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。														
24.8.6 ノイズ対策上の注意事項	24-26	修正 過大なサージなど異常電圧によるアナログ入力端子 (AN0~AN11、AN0_2~AN3_2) の破壊を防ぐために、図 24.12 に示すように AVcc-AVss 間に保護回路を接続してください。AVcc に接続するバイパスコンデンサ、AN0~AN11、AN0_2~AN3_2 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。														
26.2.1 低電圧検出回路コントロールプロテクトレジスタ (VDCPR)	26-5	修正 <ul style="list-style-type: none"> LDPRC ビット (低電圧検出回路レジスタ書き込み許可) このビットの値が 1 のときだけ、低電圧検出回路コントロールレジスタ (LD2CRH、LD2CRL、LD1CRH、LD1CRL、LD0CRH、LD0CRL) の書き込みが有効になります。														
図 26.5 パワーオンリセット機能動作タイミング	26-14	修正 														
27.1 レジスタアドレス一覧 (アドレス順)	27-4	追加 <table border="1" data-bbox="534 1310 1412 1646"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> </tr> </thead> <tbody> <tr> <td>ポート 9 周辺機能マッピングレジスタ 1*1</td> <td>PMCR91</td> </tr> <tr> <td>ポート 9 周辺機能マッピングレジスタ 2*1</td> <td>PMCR92</td> </tr> <tr> <td>ポート 9 周辺機能マッピングレジスタ 3*1</td> <td>PMCR93</td> </tr> <tr> <td>ポート 9 周辺機能マッピングレジスタ 4*1</td> <td>PMCR94</td> </tr> <tr> <td>ポート A 周辺機能マッピングレジスタ 3*2</td> <td>PM CRA3</td> </tr> <tr> <td>ポート A 周辺機能マッピングレジスタ 4*2</td> <td>PM CRA4</td> </tr> </tbody> </table> <p>【注】 *1 H8S/20103 グループ、H8S/20115 グループには存在しません。予約アドレスになります。</p> <p>*2 H8S/20223 グループ、H8S/20235 グループには存在しません。予約アドレスになります。</p>	レジスタ名称	略称	ポート 9 周辺機能マッピングレジスタ 1*1	PMCR91	ポート 9 周辺機能マッピングレジスタ 2*1	PMCR92	ポート 9 周辺機能マッピングレジスタ 3*1	PMCR93	ポート 9 周辺機能マッピングレジスタ 4*1	PMCR94	ポート A 周辺機能マッピングレジスタ 3*2	PM CRA3	ポート A 周辺機能マッピングレジスタ 4*2	PM CRA4
レジスタ名称	略称															
ポート 9 周辺機能マッピングレジスタ 1*1	PMCR91															
ポート 9 周辺機能マッピングレジスタ 2*1	PMCR92															
ポート 9 周辺機能マッピングレジスタ 3*1	PMCR93															
ポート 9 周辺機能マッピングレジスタ 4*1	PMCR94															
ポート A 周辺機能マッピングレジスタ 3*2	PM CRA3															
ポート A 周辺機能マッピングレジスタ 4*2	PM CRA4															

項目	ページ	修正箇所																																												
27.1 レジスタアドレス一覧（アドレス順）	27-5	修正 <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>モジュール</th> </tr> </thead> <tbody> <tr><td>シリアルモードレジスタ</td><td>SCI3</td></tr> <tr><td>ビットレートレジスタ</td><td>SCI3</td></tr> <tr><td>シリアルコントロールレジスタ 3</td><td>SCI3</td></tr> <tr><td>トランスミットデータレジスタ</td><td>SCI3</td></tr> <tr><td>シリアルステータスレジスタ</td><td>SCI3</td></tr> <tr><td>レシーブデータレジスタ</td><td>SCI3</td></tr> <tr><td>サンプリングモードレジスタ</td><td>SCI3</td></tr> <tr><td>シリアルモードレジスタ_2</td><td>SCI3_2</td></tr> <tr><td>ビットレートレジスタ_2</td><td>SCI3_2</td></tr> <tr><td>シリアルコントロールレジスタ 3_2</td><td>SCI3_2</td></tr> <tr><td>トランスミットデータレジスタ_2</td><td>SCI3_2</td></tr> <tr><td>シリアルステータスレジスタ_2</td><td>SCI3_2</td></tr> <tr><td>レシーブデータレジスタ_2</td><td>SCI3_2</td></tr> <tr><td>サンプリングモードレジスタ_2</td><td>SCI3_2</td></tr> <tr><td>シリアルモードレジスタ_3</td><td>SCI3_3</td></tr> <tr><td>ビットレートレジスタ_3</td><td>SCI3_3</td></tr> <tr><td>シリアルコントロールレジスタ 3_3</td><td>SCI3_3</td></tr> <tr><td>トランスミットデータレジスタ_3</td><td>SCI3_3</td></tr> <tr><td>シリアルステータスレジスタ_3</td><td>SCI3_3</td></tr> <tr><td>レシーブデータレジスタ_3</td><td>SCI3_3</td></tr> <tr><td>サンプリングモードレジスタ_3</td><td>SCI3_3</td></tr> </tbody> </table>	レジスタ名称	モジュール	シリアルモードレジスタ	SCI3	ビットレートレジスタ	SCI3	シリアルコントロールレジスタ 3	SCI3	トランスミットデータレジスタ	SCI3	シリアルステータスレジスタ	SCI3	レシーブデータレジスタ	SCI3	サンプリングモードレジスタ	SCI3	シリアルモードレジスタ_2	SCI3_2	ビットレートレジスタ_2	SCI3_2	シリアルコントロールレジスタ 3_2	SCI3_2	トランスミットデータレジスタ_2	SCI3_2	シリアルステータスレジスタ_2	SCI3_2	レシーブデータレジスタ_2	SCI3_2	サンプリングモードレジスタ_2	SCI3_2	シリアルモードレジスタ_3	SCI3_3	ビットレートレジスタ_3	SCI3_3	シリアルコントロールレジスタ 3_3	SCI3_3	トランスミットデータレジスタ_3	SCI3_3	シリアルステータスレジスタ_3	SCI3_3	レシーブデータレジスタ_3	SCI3_3	サンプリングモードレジスタ_3	SCI3_3
	レジスタ名称	モジュール																																												
	シリアルモードレジスタ	SCI3																																												
ビットレートレジスタ	SCI3																																													
シリアルコントロールレジスタ 3	SCI3																																													
トランスミットデータレジスタ	SCI3																																													
シリアルステータスレジスタ	SCI3																																													
レシーブデータレジスタ	SCI3																																													
サンプリングモードレジスタ	SCI3																																													
シリアルモードレジスタ_2	SCI3_2																																													
ビットレートレジスタ_2	SCI3_2																																													
シリアルコントロールレジスタ 3_2	SCI3_2																																													
トランスミットデータレジスタ_2	SCI3_2																																													
シリアルステータスレジスタ_2	SCI3_2																																													
レシーブデータレジスタ_2	SCI3_2																																													
サンプリングモードレジスタ_2	SCI3_2																																													
シリアルモードレジスタ_3	SCI3_3																																													
ビットレートレジスタ_3	SCI3_3																																													
シリアルコントロールレジスタ 3_3	SCI3_3																																													
トランスミットデータレジスタ_3	SCI3_3																																													
シリアルステータスレジスタ_3	SCI3_3																																													
レシーブデータレジスタ_3	SCI3_3																																													
サンプリングモードレジスタ_3	SCI3_3																																													
27-11	修正 <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> </tr> </thead> <tbody> <tr><td>低消費電力制御レジスタ 1</td><td>LPCR1</td></tr> <tr><td>低消費電力制御レジスタ 2</td><td>LPCR2</td></tr> <tr><td>低消費電力制御レジスタ 3</td><td>LPCR3</td></tr> </tbody> </table>	レジスタ名称	略称	低消費電力制御レジスタ 1	LPCR1	低消費電力制御レジスタ 2	LPCR2	低消費電力制御レジスタ 3	LPCR3																																					
レジスタ名称	略称																																													
低消費電力制御レジスタ 1	LPCR1																																													
低消費電力制御レジスタ 2	LPCR2																																													
低消費電力制御レジスタ 3	LPCR3																																													
27-13	修正 <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> </tr> </thead> <tbody> <tr><td>タイマインタラプトコントロール ステータスレジスタ WD</td><td>TICRWD</td></tr> <tr><td>タイマ RE 秒レジスタ / カウンタデータレジスタ</td><td>TRESEC</td></tr> <tr><td>タイマ RE 分レジスタ / コンペアデータレジスタ</td><td>TREMIN</td></tr> <tr><td>タイマ RE クロックソースセレクトレジスタ</td><td>TRECSR</td></tr> </tbody> </table>	レジスタ名称	略称	タイマインタラプトコントロール ステータスレジスタ WD	TICRWD	タイマ RE 秒レジスタ / カウンタデータレジスタ	TRESEC	タイマ RE 分レジスタ / コンペアデータレジスタ	TREMIN	タイマ RE クロックソースセレクトレジスタ	TRECSR																																			
レジスタ名称	略称																																													
タイマインタラプトコントロール ステータスレジスタ WD	TICRWD																																													
タイマ RE 秒レジスタ / カウンタデータレジスタ	TRESEC																																													
タイマ RE 分レジスタ / コンペアデータレジスタ	TREMIN																																													
タイマ RE クロックソースセレクトレジスタ	TRECSR																																													

項目	ページ	修正箇所																																																																								
27.2 レジスタビット 一覧	27-17	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>PDVR1</td> <td>PDVR17</td> <td>PDVR16</td> <td>PDVR15</td> <td>PDVR14*¹</td> <td>PDVR13</td> <td>PDVR12</td> <td>PDVR11</td> <td>PDVR10*¹</td> </tr> <tr> <td>PDVR2</td> <td>PDVR27</td> <td>PDVR26</td> <td>PDVR25</td> <td>PDVR24</td> <td>PDVR23</td> <td>PDVR22</td> <td>PDVR21</td> <td>PDVR20</td> </tr> <tr> <td>PDVR3</td> <td>PDVR37</td> <td>PDVR36</td> <td>PDVR35</td> <td>PDVR34</td> <td>PDVR33</td> <td>PDVR32</td> <td>PDVR31</td> <td>PDVR30</td> </tr> <tr> <td>PDVR5</td> <td>—</td> <td>—</td> <td>PDVR55</td> <td>PDVR54</td> <td>PDVR53</td> <td>PDVR52</td> <td>PDVR51</td> <td>PDVR50</td> </tr> <tr> <td>PDVR6</td> <td>PDVR67</td> <td>PDVR66</td> <td>PDVR65</td> <td>PDVR64</td> <td>PDVR63</td> <td>PDVR62</td> <td>PDVR61</td> <td>PDVR60</td> </tr> <tr> <td>PDVR8</td> <td>PDVR87</td> <td>PDVR86</td> <td>PDVR85</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>PDVR9*¹</td> <td>PDVR97</td> <td>PDVR96</td> <td>PDVR95</td> <td>PDVR94</td> <td>PDVR93</td> <td>PDVR92</td> <td>PDVR91</td> <td>PDVR90</td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	PDVR1	PDVR17	PDVR16	PDVR15	PDVR14* ¹	PDVR13	PDVR12	PDVR11	PDVR10* ¹	PDVR2	PDVR27	PDVR26	PDVR25	PDVR24	PDVR23	PDVR22	PDVR21	PDVR20	PDVR3	PDVR37	PDVR36	PDVR35	PDVR34	PDVR33	PDVR32	PDVR31	PDVR30	PDVR5	—	—	PDVR55	PDVR54	PDVR53	PDVR52	PDVR51	PDVR50	PDVR6	PDVR67	PDVR66	PDVR65	PDVR64	PDVR63	PDVR62	PDVR61	PDVR60	PDVR8	PDVR87	PDVR86	PDVR85	—	—	—	—	—	PDVR9* ¹	PDVR97	PDVR96	PDVR95	PDVR94	PDVR93	PDVR92	PDVR91	PDVR90
	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																																	
	PDVR1	PDVR17	PDVR16	PDVR15	PDVR14* ¹	PDVR13	PDVR12	PDVR11	PDVR10* ¹																																																																	
	PDVR2	PDVR27	PDVR26	PDVR25	PDVR24	PDVR23	PDVR22	PDVR21	PDVR20																																																																	
PDVR3	PDVR37	PDVR36	PDVR35	PDVR34	PDVR33	PDVR32	PDVR31	PDVR30																																																																		
PDVR5	—	—	PDVR55	PDVR54	PDVR53	PDVR52	PDVR51	PDVR50																																																																		
PDVR6	PDVR67	PDVR66	PDVR65	PDVR64	PDVR63	PDVR62	PDVR61	PDVR60																																																																		
PDVR8	PDVR87	PDVR86	PDVR85	—	—	—	—	—																																																																		
PDVR9* ¹	PDVR97	PDVR96	PDVR95	PDVR94	PDVR93	PDVR92	PDVR91	PDVR90																																																																		
27-19	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>ISCRH</td> <td colspan="2">[IRQ7SCB:IRQ7SCA]</td> <td colspan="2">[IRQ6SCB:IRQ6SCA]</td> <td colspan="2">[IRQ5SCB:IRQ5SCA]</td> <td colspan="2">[IRQ4SCB:IRQ4SCA]</td> </tr> <tr> <td>ISCR L</td> <td colspan="2">[IRQ3SCB:IRQ3SCA]</td> <td colspan="2">[IRQ2SCB:IRQ2SCA]</td> <td colspan="2">[IRQ1SCB:IRQ1SCA]</td> <td colspan="2">[IRQ0SCB:IRQ0SCA]</td> </tr> <tr> <td>DTCEF¹</td> <td>DTCEF7*³</td> <td>DTCEF6*³</td> <td>DTCEF5*³</td> <td>DTCEF4*³</td> <td>DTCEF3*³</td> <td>DTCEF2*³</td> <td>DTCEF1*³</td> <td>DTCEF0*³</td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	ISCRH	[IRQ7SCB:IRQ7SCA]		[IRQ6SCB:IRQ6SCA]		[IRQ5SCB:IRQ5SCA]		[IRQ4SCB:IRQ4SCA]		ISCR L	[IRQ3SCB:IRQ3SCA]		[IRQ2SCB:IRQ2SCA]		[IRQ1SCB:IRQ1SCA]		[IRQ0SCB:IRQ0SCA]		DTCEF ¹	DTCEF7* ³	DTCEF6* ³	DTCEF5* ³	DTCEF4* ³	DTCEF3* ³	DTCEF2* ³	DTCEF1* ³	DTCEF0* ³																																					
レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																																		
ISCRH	[IRQ7SCB:IRQ7SCA]		[IRQ6SCB:IRQ6SCA]		[IRQ5SCB:IRQ5SCA]		[IRQ4SCB:IRQ4SCA]																																																																			
ISCR L	[IRQ3SCB:IRQ3SCA]		[IRQ2SCB:IRQ2SCA]		[IRQ1SCB:IRQ1SCA]		[IRQ0SCB:IRQ0SCA]																																																																			
DTCEF ¹	DTCEF7* ³	DTCEF6* ³	DTCEF5* ³	DTCEF4* ³	DTCEF3* ³	DTCEF2* ³	DTCEF1* ³	DTCEF0* ³																																																																		
27-21	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>TRDIORA_2*</td> <td>—</td> <td>IOB2</td> <td colspan="2">IOB[1:0]</td> <td>—</td> <td>IOA2</td> <td colspan="2">IOA[1:0]</td> </tr> <tr> <td>TRDIORC_2*</td> <td>IOD3</td> <td>IOD2</td> <td colspan="2">IOD[1:0]</td> <td>IOC3</td> <td>IOC2</td> <td colspan="2">IOC[1:0]</td> </tr> <tr> <td>TRDIORA_3*</td> <td>—</td> <td>IOB2</td> <td colspan="2">IOB[1:0]</td> <td>—</td> <td>IOA2</td> <td colspan="2">IOA[1:0]</td> </tr> <tr> <td>TRDIORC_3*</td> <td>IOD3</td> <td>IOD2</td> <td colspan="2">IOD[1:0]</td> <td>IOC3</td> <td>IOC2</td> <td colspan="2">IOC[1:0]</td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	TRDIORA_2*	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]		TRDIORC_2*	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]		TRDIORA_3*	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]		TRDIORC_3*	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]																													
レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																																		
TRDIORA_2*	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]																																																																			
TRDIORC_2*	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]																																																																			
TRDIORA_3*	—	IOB2	IOB[1:0]		—	IOA2	IOA[1:0]																																																																			
TRDIORC_3*	IOD3	IOD2	IOD[1:0]		IOC3	IOC2	IOC[1:0]																																																																			
27-22	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>SAR</td> <td colspan="7">SAV[6:0]</td> <td>FS</td> </tr> <tr> <td>SSMR2</td> <td>BIDE</td> <td>SCKS</td> <td colspan="2">CSS[1:0]</td> <td>SCKOS</td> <td>SOOS</td> <td>CSOS</td> <td>SSUMS</td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	SAR	SAV[6:0]							FS	SSMR2	BIDE	SCKS	CSS[1:0]		SCKOS	SOOS	CSOS	SSUMS																																														
レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																																		
SAR	SAV[6:0]							FS																																																																		
SSMR2	BIDE	SCKS	CSS[1:0]		SCKOS	SOOS	CSOS	SSUMS																																																																		

項目	ページ	修正箇所																																												
27.2 レジスタビット 一覧	27-23	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>RSTFR</td> <td>—</td> <td>—</td> <td>SWRST</td> <td>PRST</td> <td>LVD2RST</td> <td>LVD1RST</td> <td>PORRST</td> <td>WRST</td> <td>例外処理</td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	RSTFR	—	—	SWRST	PRST	LVD2RST	LVD1RST	PORRST	WRST	例外処理																								
	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール																																				
	RSTFR	—	—	SWRST	PRST	LVD2RST	LVD1RST	PORRST	WRST	例外処理																																				
	27-24	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>TRGIOR</td> <td>BUFB</td> <td>IOB2</td> <td>IOB[1:0]</td> <td>BUFA</td> <td>IOA2</td> <td>IOA[1:0]</td> <td></td> <td></td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	TRGIOR	BUFB	IOB2	IOB[1:0]	BUFA	IOA2	IOA[1:0]																												
	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																					
TRGIOR	BUFB	IOB2	IOB[1:0]	BUFA	IOA2	IOA[1:0]																																								
27-26	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>OSCCSR</td> <td>OSCWEF</td> <td>—</td> <td>—</td> <td>—</td> <td colspan="4">STS[3:0]</td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	OSCCSR	OSCWEF	—	—	—	STS[3:0]																														
レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																						
OSCCSR	OSCWEF	—	—	—	STS[3:0]																																									
27-27	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>TRCIOR0*</td> <td>—</td> <td>IOB2</td> <td>IOB[1:0]</td> <td>—</td> <td>IOA2</td> <td>IOA[1:0]</td> <td></td> <td></td> </tr> <tr> <td>TRCIOR1*</td> <td>IOD3</td> <td>IOD2</td> <td>IOD[1:0]</td> <td>IOC3</td> <td>IOC2</td> <td>IOC[1:0]</td> <td></td> <td></td> </tr> <tr> <td>TRCADCR*</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>ADTRGAE</td> <td>ADTRGBE</td> <td>ADTRGCE</td> <td>ADTRGDE</td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	TRCIOR0*	—	IOB2	IOB[1:0]	—	IOA2	IOA[1:0]			TRCIOR1*	IOD3	IOD2	IOD[1:0]	IOC3	IOC2	IOC[1:0]			TRCADCR*	—	—	—	—	ADTRGAE	ADTRGBE	ADTRGCE	ADTRGDE									
レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																						
TRCIOR0*	—	IOB2	IOB[1:0]	—	IOA2	IOA[1:0]																																								
TRCIOR1*	IOD3	IOD2	IOD[1:0]	IOC3	IOC2	IOC[1:0]																																								
TRCADCR*	—	—	—	—	ADTRGAE	ADTRGBE	ADTRGCE	ADTRGDE																																						
27-28	<p>修正</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>TRDIORA_0</td> <td>—</td> <td>IOB2</td> <td>IOB[1:0]</td> <td>—</td> <td>IOA2</td> <td>IOA[1:0]</td> <td></td> <td></td> </tr> <tr> <td>TRDIORC_0</td> <td>IOD3</td> <td>IOD2</td> <td>IOD[1:0]</td> <td>IOC3</td> <td>IOC2</td> <td>IOC[1:0]</td> <td></td> <td></td> </tr> <tr> <td>TRDIORA_1</td> <td>—</td> <td>IOB2</td> <td>IOB[1:0]</td> <td>—</td> <td>IOA2</td> <td>IOA[1:0]</td> <td></td> <td></td> </tr> <tr> <td>TRDIORC_1</td> <td>IOD3</td> <td>IOD2</td> <td>IOD[1:0]</td> <td>IOC3</td> <td>IOC2</td> <td>IOC[1:0]</td> <td></td> <td></td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	TRDIORA_0	—	IOB2	IOB[1:0]	—	IOA2	IOA[1:0]			TRDIORC_0	IOD3	IOD2	IOD[1:0]	IOC3	IOC2	IOC[1:0]			TRDIORA_1	—	IOB2	IOB[1:0]	—	IOA2	IOA[1:0]			TRDIORC_1	IOD3	IOD2	IOD[1:0]	IOC3	IOC2	IOC[1:0]		
レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																						
TRDIORA_0	—	IOB2	IOB[1:0]	—	IOA2	IOA[1:0]																																								
TRDIORC_0	IOD3	IOD2	IOD[1:0]	IOC3	IOC2	IOC[1:0]																																								
TRDIORA_1	—	IOB2	IOB[1:0]	—	IOA2	IOA[1:0]																																								
TRDIORC_1	IOD3	IOD2	IOD[1:0]	IOC3	IOC2	IOC[1:0]																																								

索引

【A】		ウォッチドッグタイマ.....	12-1
A/D 変換器.....	24-1	エクステンドレジスタ.....	2-14
ADI.....	24-21	オーバランエラー.....	20-23
【B】		オペレーションフィールド.....	2-30
Bcc.....	2-28	【か】	
【D】		開始条件.....	21-18
DTC ベクタテーブル.....	11-12	外部トリガ.....	24-20
【E】		カウンタ=0 時のチェイン転送.....	11-26
EA 拡張部.....	2-30	各通信モード.....	22-15
EEMOV 命令.....	2-39	クロック同期式シリアルフォーマット.....	21-27
【I】		クロック同期式通信モード.....	22-16
I ² C バスインタフェース 2 (IIC2).....	21-1	クロック同期式モード.....	20-26
I ² C バスフォーマット.....	21-18	クロックの極性.....	22-13
IRQ0.....	4-16	コンディションコードレジスタ.....	2-14
【L】		コンディションフィールド.....	2-30
LVDI.....	26-17, 26-21	コンペアマッチによる波形出力機能.....	16-40
【N】		【さ】	
NMI.....	4-16	算術演算命令.....	2-23
【P】		システム制御命令.....	2-29
PWM2 モード.....	15-28	実効アドレス.....	2-31, 2-34
PWM モード.....	15-23, 16-47	シフト命令.....	2-25
【S】		シリアルコミュニケーションインタフェース	
SWDTEND.....	11-21	(SCI3).....	20-1
【T】		シングルモード.....	24-15
TRAPA 命令.....	3-7	シンクロナスシリアルコミュニケーション	
【あ】		ユニット (SSU).....	22-1
アクノリッジ.....	21-18	スキャンモード.....	24-16
アドレス空間.....	2-6	スタックポインタ.....	2-13
アドレッシングモード.....	2-31	スレーブアドレス.....	21-18
イミディエイト.....	2-33	絶対アドレス.....	2-32
インタラプトプライオリティレジスタ (IPR).....	4-1	相補 PWM モード.....	16-57
インプットキャプチャ機能.....	16-43	ソフトウェアによる起動.....	11-21
		ソフトウェア起動.....	11-27
		ソフトウェア起動割り込み用ベクタ番号.....	11-10
		【た】	
		タイマ RC.....	15-1
		タイマ RD.....	16-1

チェーン転送.....	11-20
調歩同期式モード.....	20-19
停止条件.....	21-18
ディスプレイメント付きレジスタ間接.....	2-31
低電圧検出回路.....	26-1
低電圧検出割り込み回路.....	26-17, 26-21
データトランスファコントローラ.....	11-1
データ転送命令.....	2-22
デジタルフィルタ回路.....	15-33, 18-31
転送クロック.....	22-13
転送レート.....	21-6
同期動作.....	16-46
トラップ命令例外処理.....	3-7
トラップ命令.....	3-1
トレース例外処理.....	3-6

【な】

ノイズ除去回路.....	21-30
ノーマルモード.....	11-17
ノンマスクابل割り込み.....	4-28

【は】

バッファ動作.....	16-69
パリティエラー.....	20-23
パワーオンリセット回路.....	26-14
汎用レジスタ.....	2-13
ビット同期回路.....	21-36
ビットレート.....	20-13
ビット操作命令.....	2-26, 2-38
プリデクリメントレジスタ間接.....	2-32
ブレーク.....	20-41
フレーミングエラー.....	20-23
プログラムカウンタ.....	2-14
プログラムカウンタ相対.....	2-33
ブロック転送モード.....	11-19
ブロック転送命令.....	2-29
分岐命令.....	2-28
変換時間.....	24-19
ポストインクリメントレジスタ間接.....	2-32

【ま】

マーク状態.....	20-41
------------	-------

マルチプロセッサ通信機能.....	20-32
命令セット.....	2-20
メモリ間接.....	2-33
モジュールスタンバイ機能.....	6-10

【ら】

リアルタイムクロック (RTC).....	23-1
リセット.....	3-2
リセット同期 PWM モード.....	16-53
リセット例外処理.....	3-5
リピートモード.....	11-18
例外処理.....	3-1
例外処理後のスタックの状態.....	3-8

レジスタ

ADCR.....	24-9
ADCSR.....	24-7
ADDR.....	24-6
ADMR.....	24-10
BAKCR.....	5-4
BRR.....	20-13
CMPCSR.....	24-12
CMPR.....	24-11
CMPVAL.....	24-13
CRA.....	11-7
CRB.....	11-7
DACR.....	25-3
DADR.....	25-2
DAR.....	11-6
DFPR.....	7-12
DTCER.....	11-8
DTVECR.....	11-10
ELCR.....	12-3
ELCSR.....	4-13
ELOP.....	12-7
ELSR.....	12-3
ELTMCNT.....	12-18
ELTMCR.....	12-14
ELTMDR.....	12-17
ELTMS.....	12-15
FLMCR1.....	7-8
FLMCR2.....	7-10

FLMSTR.....	7-13	POCR.....	16-30
ICCR1.....	21-5	PUCR.....	10-6
ICCR2.....	21-7	RDR.....	20-6
ICDRR.....	21-16	RSR.....	20-6
ICDRS.....	21-17	RSTCR.....	3-4
ICDRT.....	21-16	RSTFR.....	3-3
ICIER.....	21-11	SAR.....	11-6, 21-16
ICMR.....	21-9	SCR3.....	20-10
ICSR.....	21-13	SMR.....	20-8
ICSUSR.....	21-4, 22-3	SPMR.....	20-17
IER.....	4-7	SSCR.....	22-4
INCCR.....	4-11	SSER.....	22-9
INTCR.....	4-4	SSMR.....	22-6
IPR.....	4-5	SSMR2.....	22-7
IrCR.....	20-18	SSR.....	20-11
ISCR.....	4-8	SSRDR.....	22-12
ISR.....	4-10	SSSR.....	22-10
LD0CR.....	26-12	SSTDTR.....	22-12
LD1CR.....	26-9	SSTRSR.....	22-12
LD2CR.....	26-6	SYSCCR.....	5-6
LINCR.....	23-2	TCSRWD.....	19-3
LINST.....	23-3	TCWD.....	19-4
LPCR1.....	5-8	TDR.....	20-7
LPCR2.....	5-10	TICRWD.....	19-6
LPCR3.....	5-11	TIFRWD.....	19-7
MRA.....	11-4	TMWD.....	19-5
MRB.....	11-5	TRACR.....	13-3
MSTCR1.....	6-3	TRAIOC.....	13-4
MSTCR2.....	6-4	TRAIR.....	13-7
MSTCR3.....	6-5	TRAMR.....	13-6
OSCCSR.....	5-13	TRAPRE.....	13-7
PCR.....	10-4	TRATR.....	13-8
PDBF.....	12-12	TRBCR.....	14-4
PDR.....	10-5	TRBIOC.....	14-6
PDVR.....	10-7	TRBIR.....	14-9
PEL.....	12-13	TRBMR.....	14-8
PGC.....	12-11	TRBOCR.....	14-5
PGR.....	12-10	TRBPR.....	14-11
PMCR.....	9-5	TRBPPE.....	14-10
PMCWPR.....	9-4	TRBSC.....	14-10
PMR.....	10-3	TRCADCR.....	15-16

TRCCNT	15-16	TREMIN	17-5
TRCCR.....	15-6	TRESEC.....	17-4
TRCDF	15-15	TREWK	17-7
TRCIER.....	15-8	TRGCNT	18-11
TRCIOR	15-11	TRGCNTCR	18-6
TRCMR	15-5	TRGCR	18-7
TRCOER.....	15-14	TRGIER.....	18-10
TRCSR.....	15-9	TRGIOR	18-8
TRDADCR.....	16-18	TRGMDR	18-5
TRDCNT	16-19	TRGSR.....	18-9
TRDCR.....	16-21	TSR.....	20-6
TRDDF	16-31	VDCPR.....	26-5
TRDFCR	16-13	VOFR	4-12
TRDIER.....	16-29	レジスタフィールド	2-30
TRDIOR	16-22	レジスタ間接.....	2-31
TRDMDR.....	16-11	レジスタ情報.....	11-12
TRDOCR.....	16-17	レジスタ直接.....	2-31
TRDOER	16-15	論理演算命令.....	2-25
TRDPMR.....	16-12	【わ】	
TRDSR.....	16-26	割り込みコントローラ.....	4-1
TRDSTR.....	16-9	割り込み制御モード	4-21
TRECR.....	17-8	割り込み例外処理.....	3-7, 3-8
TRECSR	17-13	割り込み例外処理ベクタテーブル.....	4-15
TREHR.....	17-6		
TREIFR	17-11		

H8S/20103、H8S/20203、H8S/20223、H8S/20115、H8S/20215、
H8S/20235グループ ユーザーズマニュアル ハードウェア編

発行年月日 2008年6月5日 Rev.1.00

2010年9月9日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>

H8S/20103, H8S/20203, H8S/20223,
H8S/20115, H8S/20215, H8S/20235 グループ