

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、  
詳細については必ず本文の内容をご確認ください。

# H8S/2125 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8S ファミリ / H8S/2100 シリーズ

H8S/2125

R4F2125

R4P2125



## 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
  - ・CPU およびシステム制御系
  - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

---

## はじめに

---

H8S/2125 グループは、ルネサス テクノジオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータです。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な基本機能としては、ROM、RAM、2 種類の PWM タイマ (PWM、PWMX)、16 ビットフリーランニングタイマ (FRT)、16 ビットサイクルメジャーメントタイマ (TCM)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、I<sup>2</sup>C バスインタフェース (IIC)、A/D 変換器、I/O ポートなどの周辺機能を内蔵しています。さらにバスマスタとして、データトランスファコントローラ (DTC) があります。

内蔵 ROM は、フラッシュメモリ (F-ZTAT<sup>TM</sup>\*) または PROM (OTP 版) であり、512K バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

**【注】** \* F-ZTAT は (株) ルネサス テクノジの商標です。

**対象者** このマニュアルは、H8S/2125 を用いた応用システムを設計するユーザーを対象としています。  
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、H8S/2125 グループのハードウェア機能と電気的特性をユーザーに理解して頂くことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

### 読み方

- 機能全体を理解しようとするとき。
  - 目次に従って読んでください。  
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
  - 別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名がかかっている、詳細機能を知りたいとき。
  - 本書の後ろに「索引」があります。索引からページ番号を検索してください。  
「第23章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx̄

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

( <http://japan.renesas.com/> )

- H8S/2125グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2125 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッグユーザーズマニュアル	ADJ-702-355
H8S、H8/300 シリーズ High-performance Embedded Workshop3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop3 ユーザーズマニュアル	RJJ10B0029

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055



---

# 目次

---

1. 概要 .....	1-1
1.1 特長 .....	1-1
1.2 ブロック図 .....	1-3
1.3 端子説明 .....	1-4
1.3.1 ピン配置図 .....	1-4
1.3.2 動作モード別端子機能一覧 .....	1-7
1.3.3 端子機能 .....	1-10
2. CPU .....	2-1
2.1 特長 .....	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点 .....	2-2
2.1.2 H8/300 CPU との相違点 .....	2-3
2.1.3 H8/300H CPU との相違点 .....	2-3
2.2 CPU動作モード .....	2-4
2.2.1 ノーマルモード .....	2-4
2.2.2 アドバンスモード .....	2-5
2.3 アドレス空間 .....	2-7
2.4 レジスタの構成 .....	2-8
2.4.1 汎用レジスタ .....	2-9
2.4.2 プログラムカウンタ (PC) .....	2-10
2.4.3 エクステンドレジスタ (EXR) .....	2-10
2.4.4 コンディションコードレジスタ (CCR) .....	2-10
2.4.5 CPU 内部レジスタの初期値 .....	2-11
2.5 データ形式 .....	2-12
2.5.1 汎用レジスタのデータ形式 .....	2-12
2.5.2 メモリ上でのデータ形式 .....	2-14
2.6 命令セット .....	2-15
2.6.1 命令の機能別一覧 .....	2-16
2.6.2 命令の基本フォーマット .....	2-25
2.7 アドレッシングモードと実効アドレスの計算方法 .....	2-26
2.7.1 レジスタ直接 Rn .....	2-26
2.7.2 レジスタ間接 @ERn .....	2-26
2.7.3 ディスプレースメント付きレジスタ間接 @ (d:16,ERn) /@ (d:32,ERn) .....	2-26
2.7.4 ポストインクリメントレジスタ間接@ERn+ / プリデクリメントレジスタ間接@-ERn .....	2-27

2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32.....	2-27
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32.....	2-28
2.7.7	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC) .....	2-28
2.7.8	メモリ間接 @@aa:8.....	2-28
2.7.9	実効アドレスの計算方法.....	2-29
2.8	処理状態.....	2-31
2.9	使用上の注意事項.....	2-33
2.9.1	TAS 命令.....	2-33
2.9.2	STM/LDM 命令.....	2-33
2.9.3	ビット操作命令.....	2-33
2.9.4	EPMOV 命令.....	2-34
<b>3.</b>	<b>MCU 動作モード.....</b>	<b>3-1</b>
3.1	動作モードの選択.....	3-1
3.2	レジスタの説明.....	3-2
3.2.1	モードコントロールレジスタ (MDCR) .....	3-2
3.2.2	システムコントロールレジスタ (SYSCR) .....	3-3
3.2.3	シリアルタイマコントロールレジスタ (STCR) .....	3-4
3.3	各動作モードの説明.....	3-5
3.3.1	モード1.....	3-5
3.3.2	モード2.....	3-5
3.3.3	モード3.....	3-5
3.4	各動作モードにおける端子機能.....	3-6
3.5	アドレスマップ.....	3-7
<b>4.</b>	<b>例外処理.....</b>	<b>4-1</b>
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット.....	4-3
4.3.1	リセット例外処理.....	4-3
4.3.2	リセット直後の割り込み.....	4-4
4.3.3	リセット解除後の内蔵周辺機能.....	4-4
4.4	割り込み例外処理.....	4-4
4.5	トラップ命令例外処理.....	4-5
4.6	例外処理後のスタックの状態.....	4-5
4.7	使用上の注意事項.....	4-6
<b>5.</b>	<b>割り込みコントローラ.....</b>	<b>5-1</b>
5.1	特長.....	5-1
5.2	入出力端子.....	5-2

5.3	レジスタの説明.....	5-3
5.3.1	インタラプトコントロールレジスタ A~D (ICRA~ICRD) .....	5-3
5.3.2	アドレスブレークコントロールレジスタ (ABRKCR) .....	5-4
5.3.3	ブレークアドレスレジスタ A~C (BARA~BARC) .....	5-4
5.3.4	IRQ センスコントロールレジスタ (ISCRH、ISCRL) .....	5-5
5.3.5	IRQ イネーブルレジスタ (IER) .....	5-6
5.3.6	IRQ ステータスレジスタ (ISR) .....	5-6
5.4	割り込み要因.....	5-7
5.4.1	外部割り込み要因.....	5-7
5.4.2	内部割り込み要因.....	5-8
5.5	割り込み例外処理ベクタテーブル.....	5-9
5.6	割り込み制御モードと割り込み動作.....	5-11
5.6.1	割り込み制御モード 0.....	5-13
5.6.2	割り込み制御モード 1.....	5-15
5.6.3	割り込み例外処理シーケンス.....	5-17
5.6.4	割り込み応答時間.....	5-19
5.6.5	割り込みによる DTC の起動.....	5-20
5.7	アドレスブレーク.....	5-22
5.7.1	特長.....	5-22
5.7.2	ブロック図.....	5-22
5.7.3	動作説明.....	5-22
5.7.4	使用上の注意事項.....	5-23
5.8	使用上の注意事項.....	5-25
5.8.1	割り込みの発生とディスエーブルとの競合.....	5-25
5.8.2	割り込みを禁止している命令.....	5-25
5.8.3	EEMOV 命令実行中の割り込み.....	5-26
5.8.4	ソフトウェアスタンバイモード、ウォッチモード時の外部割り込み端子について.....	5-26
5.8.5	ノイズキャンセラの切り替え.....	5-26
5.8.6	IRQ ステータスレジスタ (ISR) について.....	5-26
6.	バスコントローラ (BSC) .....	6-1
6.1	特長.....	6-1
6.2	入出力端子.....	6-2
6.3	レジスタの説明.....	6-3
6.3.1	バスコントロールレジスタ (BCR) .....	6-3
6.3.2	ウェイトステートコントロールレジスタ (WSCR) .....	6-4
6.4	バス制御.....	6-5
6.4.1	バス仕様.....	6-5
6.4.2	アドバンストモード.....	6-6
6.4.3	ノーマルモード.....	6-6

6.4.4	I/O セレクト信号 .....	6-6
6.5	基本バスインタフェース .....	6-7
6.5.1	データサイズとデータアライメント .....	6-7
6.5.2	有効ストロープ .....	6-9
6.5.3	基本動作タイミング .....	6-10
6.5.4	ウェイト制御 .....	6-12
6.6	バーストROMインタフェース .....	6-14
6.6.1	基本動作タイミング .....	6-14
6.6.2	ウェイト制御 .....	6-15
6.7	アイドルサイクル .....	6-16
6.8	バスアービトレーション .....	6-17
6.8.1	バスマスタの優先順位 .....	6-17
6.8.2	バス権移行タイミング .....	6-17
7.	データトランスファコントローラ (DTC) .....	7-1
7.1	特長 .....	7-1
7.2	レジスタの説明 .....	7-2
7.2.1	DTC モードレジスタ A (MRA) .....	7-3
7.2.2	DTC モードレジスタ B (MRB) .....	7-4
7.2.3	DTC ソースアドレスレジスタ (SAR) .....	7-4
7.2.4	DTC デスティネーションアドレスレジスタ (DAR) .....	7-4
7.2.5	DTC 転送カウントレジスタ A (CRA) .....	7-4
7.2.6	DTC 転送カウントレジスタ B (CRB) .....	7-5
7.2.7	DTC イネーブルレジスタ (DTCER) .....	7-5
7.2.8	DTC ベクタレジスタ (DTVECR) .....	7-6
7.3	起動要因 .....	7-7
7.4	レジスタ情報の配置とDTCベクタテーブル .....	7-8
7.5	動作説明 .....	7-10
7.5.1	ノーマルモード .....	7-11
7.5.2	リピートモード .....	7-12
7.5.3	ブロック転送モード .....	7-13
7.5.4	チェイン転送 .....	7-14
7.5.5	割り込み要因 .....	7-15
7.5.6	動作タイミング .....	7-15
7.5.7	DTC 実行ステート数 .....	7-16
7.6	DTC使用手順 .....	7-17
7.6.1	割り込みによる起動 .....	7-17
7.6.2	ソフトウェアによる起動 .....	7-17
7.7	DTC使用例 .....	7-18
7.7.1	ノーマルモード .....	7-18

7.7.2	ソフトウェア起動.....	7-18
7.8	使用上の注意事項.....	7-19
7.8.1	モジュールストップモードの設定.....	7-19
7.8.2	内蔵 RAM.....	7-19
7.8.3	DTCE ビットの設定.....	7-19
7.8.4	サブアクティブモード、ウォッチモードへの遷移時の設定.....	7-19
7.8.5	SCI、IIC および A/D 変換器の割り込み要因による DTC の起動.....	7-19
8.	I/O ポート.....	8-1
8.1	ポート1.....	8-3
8.1.1	ポート1 データディレクションレジスタ (P1DDR).....	8-3
8.1.2	ポート1 データレジスタ (P1DR).....	8-3
8.1.3	ポート1 プルアップ MOS コントロールレジスタ (P1PCR).....	8-4
8.1.4	端子機能.....	8-4
8.1.5	ポート1 入力プルアップ MOS.....	8-5
8.2	ポート2.....	8-6
8.2.1	ポート2 データディレクションレジスタ (P2DDR).....	8-6
8.2.2	ポート2 データレジスタ (P2DR).....	8-6
8.2.3	ポート2 プルアップ MOS コントロールレジスタ (P2PCR).....	8-7
8.2.4	端子機能.....	8-7
8.2.5	ポート2 入力プルアップ MOS.....	8-9
8.3	ポート3.....	8-10
8.3.1	ポート3 データディレクションレジスタ (P3DDR).....	8-10
8.3.2	ポート3 データレジスタ (P3DR).....	8-10
8.3.3	ポート3 プルアップ MOS コントロールレジスタ (P3PCR).....	8-11
8.3.4	端子機能.....	8-11
8.3.5	ポート3 入力プルアップ MOS.....	8-11
8.4	ポート4.....	8-12
8.4.1	ポート4 データディレクションレジスタ (P4DDR).....	8-12
8.4.2	ポート4 データレジスタ (P4DR).....	8-13
8.4.3	ポート4 プルアップ MOS コントロールレジスタ (P4PCR).....	8-13
8.4.4	ポート4 ノイズキャンセライネーブルレジスタ (P4NCE).....	8-13
8.4.5	ポート4 ノイズキャンセラ判定制御レジスタ (P4NCMC).....	8-14
8.4.6	ポート4 ノイズキャンセル周期設定レジスタ (P4NCCS).....	8-14
8.4.7	端子機能.....	8-15
8.5	ポート5.....	8-17
8.5.1	ポート5 データディレクションレジスタ (P5DDR).....	8-17
8.5.2	ポート5 データレジスタ (P5DR).....	8-17
8.5.3	端子機能.....	8-18
8.6	ポート6.....	8-19

8.6.1	ポート6データディレクションレジスタ (P6DDR)	8-19
8.6.2	ポート6データレジスタ (P6DR)	8-20
8.6.3	ポート6ノイズキャンセライネーブルレジスタ (P6NCE)	8-20
8.6.4	ポート6ノイズキャンセラ判定制御レジスタ (P6NCMC)	8-21
8.6.5	ポート6ノイズキャンセル周期設定レジスタ (P6NCCS)	8-21
8.6.6	端子機能	8-23
8.7	ポート7	8-25
8.7.1	ポート7入力データレジスタ (P7PIN)	8-25
8.7.2	端子機能	8-25
9.	8ビットPWMタイマ (PWM)	9-1
9.1	特長	9-1
9.2	入出力端子	9-3
9.3	レジスタの説明	9-3
9.3.1	PWMレジスタセレクト (PWSL)	9-3
9.3.2	PWMデータレジスタ (PWDR0~PWDR15)	9-4
9.3.3	PWMデータポラリティレジスタ A、B (PWPRA、PWPRB)	9-5
9.3.4	PWMアウトプットイネーブルレジスタ A、B (PWOERA、PWOERB)	9-5
9.3.5	周辺クロックセレクトレジスタ (PCSR)	9-6
9.4	動作説明	9-7
9.4.1	PWMの設定例 (パルス分割方式)	9-9
9.4.2	D/Aとして使用する場合の回路例	9-9
9.5	使用上の注意事項	9-10
9.5.1	モジュールストップモードの設定	9-10
10.	14ビットPWMタイマ (PWMX)	10-1
10.1	特長	10-1
10.2	入出力端子	10-2
10.3	レジスタの説明	10-2
10.3.1	PWMX (D/A) カウンタ H、L (DACNTH、DACNTL)	10-2
10.3.2	PWMX (D/A) データレジスタ A、B (DADRA、DADRB)	10-3
10.3.3	PWMX (D/A) コントロールレジスタ (DACR)	10-5
10.3.4	周辺クロックセレクトレジスタ (PCSR)	10-6
10.4	バスマスタとのインタフェース	10-7
10.5	動作説明	10-9
10.6	使用上の注意事項	10-16
10.6.1	モジュールストップモードの設定	10-16

11. 16ビットフリーランニングタイマ (FRT)	11-1
11.1 特長	11-1
11.2 入出力端子	11-3
11.3 レジスタの説明	11-3
11.3.1 フリーランニングカウンタ (FRC)	11-4
11.3.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)	11-4
11.3.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)	11-4
11.3.4 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)	11-5
11.3.5 アウトプットコンペアレジスタ DM (OCRDM)	11-5
11.3.6 タイマインタラプトイネーブルレジスタ (TIER)	11-6
11.3.7 タイマコントロール/ステータスレジスタ (TCSR)	11-7
11.3.8 タイマコントロールレジスタ (TCR)	11-9
11.3.9 タイマアウトプットコンペアコントロールレジスタ (TOCR)	11-10
11.4 動作説明	11-11
11.4.1 パルス出力	11-11
11.5 動作タイミング	11-12
11.5.1 FRC のカウントタイミング	11-12
11.5.2 アウトプットコンペア出力タイミング	11-13
11.5.3 FRC のクリアタイミング	11-13
11.5.4 インプットキャプチャ入力タイミング	11-14
11.5.5 バッファ動作時タイミング	11-15
11.5.6 インプットキャプチャ時のフラグセットタイミング	11-16
11.5.7 アウトプットコンペア時のフラグセットタイミング	11-16
11.5.8 オーバフロー時のフラグセットタイミング	11-17
11.5.9 自動加算タイミング	11-17
11.5.10 マスク信号生成タイミング	11-18
11.6 割り込み要因	11-19
11.7 使用上の注意事項	11-19
11.7.1 FRC のライトとクリアの競合	11-19
11.7.2 FRC のライトとカウントアップの競合	11-20
11.7.3 OCR のライトとコンペアマッチの競合	11-21
11.7.4 内部クロックの切り替えとカウンタの動作	11-23
11.7.5 モジュールストップモードの設定	11-24
12. 16ビットサイクルメジャーメントタイマ (TCM)	12-1
12.1 特長	12-1
12.2 入出力端子	12-3
12.3 レジスタの説明	12-3
12.3.1 TCM タイマカウンタ (TCMCNT)	12-4

12.3.2	TCM 周期上限レジスタ (TCMMLCM) .....	12-4
12.3.3	TCM インพุットキャプチャレジスタ (TCMICR) .....	12-4
12.3.4	TCM インพุットキャプチャバッファレジスタ (TCMICRF) .....	12-5
12.3.5	TCM ステータスレジスタ (TCMCSR) .....	12-5
12.3.6	TCM コントロールレジスタ (TCMCR) .....	12-6
12.3.7	TCM インタラプトイネーブルレジスタ (TCMIER) .....	12-8
12.4	動作説明 .....	12-9
12.4.1	タイマモード .....	12-9
12.4.2	スピード測定モード .....	12-11
12.5	割り込み要因 .....	12-17
12.6	使用上の注意事項 .....	12-17
12.6.1	TCMCNT ライトとカウントアップの競合 .....	12-17
12.6.2	TCMMLCM のライトとコンペアマッチの競合 .....	12-18
12.6.3	インพุットキャプチャと TCMICR リードの競合 .....	12-18
12.6.4	スピード測定モード時のエッジ検出とレジスタ (TCMMLCM) ライトの競合 .....	12-19
12.6.5	スピード測定モードのエッジ検出と TCMCR の TCMMDS ビットクリアの競合 .....	12-20
12.6.6	モジュールストップモードの設定 .....	12-20
13.	8 ビットタイマ (TMR) .....	13-1
13.1	特長 .....	13-1
13.2	入出力端子 .....	13-4
13.3	レジスタの説明 .....	13-4
13.3.1	タイマカウンタ (TCNT) .....	13-6
13.3.2	タイムコンスタントレジスタ A (TCORA) .....	13-6
13.3.3	タイムコンスタントレジスタ B (TCORB) .....	13-6
13.3.4	タイマコントロールレジスタ (TCR) .....	13-6
13.3.5	タイマコントロール/ステータスレジスタ (TCSR) .....	13-9
13.3.6	タイムコンスタントレジスタ C (TCORC) .....	13-13
13.3.7	インพุットキャプチャレジスタ R、F (TICRR、TICRF) .....	13-13
13.3.8	タイマコネクションレジスタ I (TCONRI) .....	13-13
13.3.9	タイマコネクションレジスタ S (TCONRS) .....	13-14
13.3.10	タイマ XY コントロールレジスタ (TCRXY) .....	13-14
13.4	動作説明 .....	13-15
13.4.1	パルス出力 .....	13-15
13.5	動作タイミング .....	13-16
13.5.1	TCNT のカウントタイミング .....	13-16
13.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング .....	13-17
13.5.3	コンペアマッチ時のタイマ出力タイミング .....	13-17
13.5.4	コンペアマッチによるカウンタクリアタイミング .....	13-18
13.5.5	TCNT の外部リセットタイミング .....	13-18

13.5.6	オーバフローフラグ (OVF) のセットタイミング .....	13-19
13.6	TMR_0、TMR_1のカスケード接続 .....	13-19
13.6.1	16ビットカウントモード .....	13-19
13.6.2	コンペアマッチカウントモード .....	13-20
13.7	TMR_Y、TMR_Xのカスケード接続 .....	13-20
13.7.1	16ビットカウントモード .....	13-20
13.7.2	コンペアマッチカウントモード .....	13-20
13.7.3	インプットキャプチャ動作 .....	13-20
13.8	割り込み要因 .....	13-22
13.9	使用上の注意事項 .....	13-23
13.9.1	TCNTのライトとカウンタクリアの競合 .....	13-23
13.9.2	TCNTのライトとカウントアップの競合 .....	13-24
13.9.3	TCORのライトとコンペアマッチの競合 .....	13-25
13.9.4	コンペアマッチ A、B の競合 .....	13-25
13.9.5	内部クロックの切り替えと TCNT の動作 .....	13-26
13.9.6	カスケード接続時のモード設定 .....	13-27
13.9.7	モジュールストップモードの設定 .....	13-27
14.	ウォッチドッグタイマ (WDT) .....	14-1
14.1	特長 .....	14-1
14.2	入出力端子 .....	14-3
14.3	レジスタの説明 .....	14-3
14.3.1	タイマカウンタ (TCNT) .....	14-3
14.3.2	タイマコントロール/ステータスレジスタ (TCSR) .....	14-4
14.4	動作説明 .....	14-7
14.4.1	ウォッチドッグタイマモード .....	14-7
14.4.2	インターバルタイマモード .....	14-8
14.5	割り込み要因 .....	14-9
14.6	使用上の注意事項 .....	14-9
14.6.1	レジスタアクセス時の注意事項 .....	14-9
14.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合 .....	14-10
14.6.3	CKS2~CKS0 ビットの書き換え .....	14-10
14.6.4	PSS ビットの書き換え .....	14-10
14.6.5	ウォッチドッグタイマモードとインターバルタイマモードの切り替え .....	14-10
15.	シリアルコミュニケーションインタフェース (SCI) .....	15-1
15.1	特長 .....	15-1
15.2	入出力端子 .....	15-3
15.3	レジスタの説明 .....	15-3
15.3.1	レシーブシフトレジスタ (RSR) .....	15-4

15.3.2	レシーブデータレジスタ (RDR) .....	15-4
15.3.3	トランスミットデータレジスタ (TDR) .....	15-4
15.3.4	トランスミットシフトレジスタ (TSR) .....	15-4
15.3.5	シリアルモードレジスタ (SMR) .....	15-5
15.3.6	シリアルコントロールレジスタ (SCR) .....	15-6
15.3.7	シリアルステータスレジスタ (SSR) .....	15-7
15.3.8	シリアルインタフェースモードレジスタ (SCMR) .....	15-9
15.3.9	ビットレートレジスタ (BRR) .....	15-10
15.4	調歩同期式モードの動作 .....	15-14
15.4.1	送受信フォーマット .....	15-15
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	15-16
15.4.3	クロック .....	15-17
15.4.4	SCI の初期化 (調歩同期式) .....	15-18
15.4.5	データ送信 (調歩同期式) .....	15-19
15.4.6	シリアルデータ受信 (調歩同期式) .....	15-21
15.5	マルチプロセッサ通信機能 .....	15-24
15.5.1	マルチプロセッサシリアルデータ送信 .....	15-25
15.5.2	マルチプロセッサシリアルデータ受信 .....	15-26
15.6	クロック同期式モードの動作 .....	15-29
15.6.1	クロック .....	15-29
15.6.2	SCI の初期化 (クロック同期式) .....	15-30
15.6.3	シリアルデータ送信 (クロック同期式) .....	15-31
15.6.4	シリアルデータ受信 (クロック同期式) .....	15-33
15.6.5	シリアルデータ送受信同時動作 (クロック同期式) .....	15-35
15.7	割り込み要因 .....	15-36
15.8	使用上の注意事項 .....	15-37
15.8.1	モジュールストップモードの設定 .....	15-37
15.8.2	ブレークの検出と処理 .....	15-37
15.8.3	マーク状態とブレークの送り出し .....	15-37
15.8.4	受信エラーフラグと送信動作 (クロック同期式モードのみ) .....	15-37
15.8.5	TDR へのライトと TDRE フラグの関係 .....	15-37
15.8.6	DTC の使用上の制約 .....	15-38
15.8.7	モード遷移時の動作 .....	15-38
15.8.8	SCK 端子からポート端子への切り替え .....	15-42
15.8.9	送信、受信、送受信中のレジスタ書き込みの注意事項 .....	15-43
16.	I <sup>2</sup> C バスインタフェース (IIC) .....	16-1
16.1	特長 .....	16-1
16.2	入出力端子 .....	16-3
16.3	レジスタの説明 .....	16-4

16.3.1	I <sup>2</sup> C バスデータレジスタ (ICDR) .....	16-4
16.3.2	スレーブアドレスレジスタ (SAR) .....	16-5
16.3.3	第2スレーブアドレスレジスタ (SARX) .....	16-5
16.3.4	I <sup>2</sup> C バスモードレジスタ (ICMR) .....	16-7
16.3.5	I <sup>2</sup> C バスコントロールレジスタ (ICCR) .....	16-8
16.3.6	I <sup>2</sup> C バスステータスレジスタ (ICSR) .....	16-15
16.3.7	DDC スイッチレジスタ (DDCSWR) .....	16-18
16.3.8	I <sup>2</sup> C バスコントロール拡張レジスタ (ICXR) .....	16-18
16.4	動作説明 .....	16-21
16.4.1	I <sup>2</sup> C バスデータフォーマット .....	16-21
16.4.2	初期設定 .....	16-23
16.4.3	マスタ送信動作 .....	16-24
16.4.4	マスタ受信動作 .....	16-28
16.4.5	スレーブ受信動作 .....	16-35
16.4.6	スレーブ送信動作 .....	16-42
16.4.7	IRIC セットタイミングと SCL 制御 .....	16-45
16.4.8	DTC による動作 .....	16-48
16.4.9	ノイズ除去回路 .....	16-49
16.4.10	内部状態の初期化 .....	16-49
16.5	割り込み要因 .....	16-50
16.6	使用上の注意事項 .....	16-51
16.6.1	マスタモードでのウェイト動作に関する注意点 .....	16-61
16.6.2	モジュールストップモードの設定 .....	16-61
17.	<b>A/D 変換器</b> .....	17-1
17.1	特長 .....	17-1
17.2	入出力端子 .....	17-3
17.3	レジスタの説明 .....	17-4
17.3.1	A/D データレジスタ A~D (ADDRA~ADDRD) .....	17-4
17.3.2	A/D コントロール/ステータスレジスタ (ADCSR) .....	17-5
17.3.3	A/D コントロールレジスタ (ADCR) .....	17-6
17.4	動作説明 .....	17-7
17.4.1	シングルモード .....	17-7
17.4.2	スキャンモード .....	17-7
17.4.3	入力サンプリングと A/D 変換時間 .....	17-8
17.4.4	外部トリガ入力タイミング .....	17-9
17.5	割り込み要因 .....	17-9
17.6	A/D変換精度の定義 .....	17-10
17.7	使用上の注意事項 .....	17-11
17.7.1	許容信号源インピーダンスについて .....	17-11

17.7.2	絶対精度への影響.....	17-12
17.7.3	アナログ電源端子他の設定範囲.....	17-12
17.7.4	ボード設計上の注意事項.....	17-12
17.7.5	ノイズ対策上の注意事項.....	17-13
17.7.6	モジュールストップモードの設定.....	17-14
18.	RAM.....	18-1
19.	フラッシュメモリ (0.18μm F-ZTAT 版) .....	19-1
19.1	特長.....	19-1
19.1.1	モード遷移図.....	19-3
19.1.2	モード比較.....	19-4
19.1.3	フラッシュメモリマツ構成.....	19-5
19.1.4	ブロック分割.....	19-6
19.1.5	書き込み／消去インタフェース.....	19-7
19.2	入出力端子.....	19-9
19.3	レジスタの説明.....	19-9
19.3.1	書き込み／消去インタフェースレジスタ.....	19-10
19.3.2	書き込み／消去インタフェースパラメータ.....	19-14
19.4	オンボードプログラミング.....	19-21
19.4.1	ブートモード.....	19-21
19.4.2	ユーザプログラムモード.....	19-24
19.4.3	ユーザブートモード.....	19-34
19.4.4	手順プログラム、または書き込みデータの格納可能領域.....	19-37
19.5	プロテクト.....	19-42
19.5.1	ハードウェアプロテクト.....	19-42
19.5.2	ソフトウェアプロテクト.....	19-42
19.5.3	エラープロテクト.....	19-43
19.6	ユーザマツとユーザブートマツの切り替え.....	19-44
19.7	ライターモード.....	19-45
19.8	ブートモードの標準シリアル通信インタフェース仕様.....	19-45
19.9	使用上の注意事項.....	19-68
20.	PROM (OTP 版) .....	20-1
20.1	ライターモード.....	20-2
20.1.1	ライターモードの設定.....	20-2
20.1.2	ソケットアダプタとメモリマツ.....	20-2
20.2	使用上の注意事項.....	20-3

21. クロック発振器.....	21-1
21.1 発振回路.....	21-2
21.1.1 水晶発振子を接続する方法.....	21-2
21.1.2 外部クロックを入力する方法.....	21-3
21.2 デューティ補正回路.....	21-5
21.3 中速クロック分周器.....	21-5
21.4 バスマスタクロック選択回路.....	21-5
21.5 サブクロック入力回路.....	21-5
21.6 サブクロック波形形成回路.....	21-6
21.7 クロック選択回路.....	21-6
21.8 使用上の注意事項.....	21-7
21.8.1 発振子に関する注意事項.....	21-7
21.8.2 ボード設計上の注意事項.....	21-7
22. 低消費電力状態.....	22-1
22.1 レジスタの説明.....	22-2
22.1.1 スタンバイコントロールレジスタ (SBYCR) .....	22-2
22.1.2 ローパワーコントロールレジスタ (LPWRCR) .....	22-4
22.1.3 モジュールストップコントロールレジスタ H、L、A、B (MSTPCRH、MSTPCRL、MSTPCRA、MSTPCRB) .....	22-5
22.2 モード間遷移とLSIの状態.....	22-8
22.3 中速モード.....	22-10
22.4 スリープモード.....	22-11
22.5 ソフトウェアスタンバイモード.....	22-11
22.6 ハードウェアスタンバイモード.....	22-12
22.7 ウォッチモード.....	22-13
22.8 サブスリープモード.....	22-13
22.9 サブアクティブモード.....	22-14
22.10 モジュールストップモード.....	22-14
22.11 直接遷移.....	22-15
22.12 使用上の注意事項.....	22-15
22.12.1 I/O ポートの状態.....	22-15
22.12.2 発振安定待機中の消費電流.....	22-15
22.12.3 DTC のモジュールストップモードの設定.....	22-15
23. レジスタ一覧.....	23-1
23.1 レジスタアドレス一覧 (アドレス順) .....	23-2
23.2 レジスタビット一覧.....	23-8
23.3 各動作モードにおけるレジスタの状態.....	23-13
23.4 レジスタ選択条件.....	23-18

23.5	レジスタアドレス一覧（モジュール別） .....	23-23
<b>24.</b>	<b>電気的特性</b> .....	<b>24-1</b>
24.1	絶対最大定格 .....	24-1
24.2	DC特性 .....	24-2
24.3	AC特性 .....	24-5
24.3.1	クロックタイミング .....	24-5
24.3.2	制御信号タイミング .....	24-7
24.3.3	バスタイミング .....	24-8
24.3.4	内蔵周辺モジュールタイミング .....	24-13
24.4	A/D変換特性 .....	24-20
24.5	フラッシュメモリ特性 .....	24-20
24.6	使用上の注意事項 .....	24-21
<b>付録</b>	.....	<b>付録-1</b>
A.	各処理状態におけるI/Oポートの状態 .....	付録-1
B.	型名一覧 .....	付録-3
C.	外形寸法図 .....	付録-4
<b>本版で修正または追加された箇所</b>	.....	<b>改訂-1</b>
<b>索引</b>	.....	<b>索引-1</b>

---

# 図目次

---

1. 概要	
図1.1 ブロック図	1-3
図1.2 ピン配置図 (SDIP-64)	1-4
図1.3 ピン配置図 (QFP-64)	1-5
図1.4 ピン配置図 (TQFP-80)	1-6
2. CPU	
図2.1 例外処理ベクタテーブル (ノーマルモード)	2-5
図2.2 ノーマルモードのスタック構造	2-5
図2.3 例外処理ベクタテーブル (アドバンストモード)	2-6
図2.4 アドバンストモードのスタック構造	2-7
図2.5 アドレス空間	2-7
図2.6 CPU内部レジスタ構成	2-8
図2.7 汎用レジスタの使用方法	2-9
図2.8 スタックの状態	2-9
図2.9 汎用レジスタのデータ形式 (1)	2-12
図2.9 汎用レジスタのデータ形式 (2)	2-13
図2.10 メモリ上でのデータ形式	2-14
図2.11 命令フォーマットの例	2-25
図2.12 メモリ間接による分岐アドレスの指定	2-29
図2.13 状態遷移図	2-32
3. MCU 動作モード	
図3.1 アドレスマップ (1)	3-7
図3.2 アドレスマップ (2)	3-8
4. 例外処理	
図4.1 リセットシーケンス (モード2)	4-3
図4.2 例外処理終了後のスタックの状態	4-5
図4.3 SPを奇数に設定したときの動作	4-6
5. 割り込みコントローラ	
図5.1 割り込みコントローラのブロック図	5-2
図5.2 IRQ7~IRQ0割り込みのブロック図	5-8
図5.3 割り込み制御動作のブロック図	5-11
図5.4 割り込み制御モード0の割り込み受け付けまでのフロー	5-14
図5.5 割り込み制御モード1の状態遷移	5-15
図5.6 割り込み制御モード1の割り込み受け付けまでのフロー	5-17
図5.7 割り込み例外処理	5-18
図5.8 DTCと割り込み制御	5-20
図5.9 アドレスブレイクのブロック図	5-22
図5.10 アドレスブレイクタイミング例	5-24

図5.11	割り込みの発生とディスエーブルの競合 .....	5-25
6.	バスコントローラ (BSC)	
図6.1	バスコントローラのブロック図 .....	6-2
図6.2	$\overline{IOS}$ 信号出力タイミング .....	6-6
図6.3	アクセスサイズとデータアライメント制御 (8ビットアクセス空間) .....	6-8
図6.4	アクセスサイズとデータアライメント制御 (16ビットアクセス空間) .....	6-8
図6.5	8ビット2ステートアクセス空間のバスタイミング .....	6-10
図6.6	8ビット3ステートアクセス空間のバスタイミング .....	6-11
図6.7	ウェイトステート挿入タイミング例 (端子ウェイトモード) .....	6-13
図6.8	バーストROM空間のアクセスタイミング例 (AST=BRSTS1=1の場合) .....	6-14
図6.9	バーストROM空間のアクセスタイミング例 (AST=BRSTS1=0の場合) .....	6-15
図6.10	アイドルサイクルの動作例 .....	6-16
7.	データトランスファコントローラ (DTC)	
図7.1	DTCのブロック図 .....	7-2
図7.2	DTC起動要因制御ブロック図 .....	7-7
図7.3	アドレス空間上でのDTCレジスタ情報の配置 .....	7-8
図7.4	DTC動作フローチャート .....	7-10
図7.5	ノーマルモードのメモリマップ .....	7-11
図7.6	リピートモードのメモリマップ .....	7-12
図7.7	ブロック転送モードのメモリマップ .....	7-13
図7.8	チェイン転送の動作 .....	7-14
図7.9	DTCの動作タイミング (ノーマルモード、リピートモードの例) .....	7-15
図7.10	DTCの動作タイミング (ブロック転送モード、ブロックサイズ=2の例) .....	7-15
図7.11	DTCの動作タイミング (チェイン転送の例) .....	7-16
8.	I/O ポート	
図8.1	ノイズキャンセル回路 .....	8-22
図8.2	ノイズキャンセル動作概念図 .....	8-22
9.	8ビットPWMタイマ (PWM)	
図9.1	PWMタイマのブロック図 .....	9-2
図9.2	付加パルスタイミング例 (PWDR上位4ビットが1000) .....	9-8
図9.3	PWMの設定例 .....	9-9
図9.4	D/Aとして使用する場合の回路例 .....	9-9
10.	14ビットPWMタイマ (PWMX)	
図10.1	PWMX (D/A) のブロック図 .....	10-1
図10.2 (1)	DACNTのアクセス動作 (1) (CPU→DACNT[H'AA57]ライト時) .....	10-8
図10.2 (2)	DACNTのアクセス動作 (2) (DACNT→CPU[H'AA57]リード時) .....	10-8
図10.3	PWMX (D/A) の動作 .....	10-9
図10.4	出力波形 (OS=0、DADRは $T_L$ に対応) .....	10-12
図10.5	出力波形 (OS=1、DADRは $T_H$ に対応) .....	10-13
図10.6	CFS=1のときのD/Aデータレジスタの構成 .....	10-14
図10.7	DADR=H'0207のときの出力波形 (OS=1) .....	10-14

## 11. 16ビットフリーランニングタイマ (FRT)

図11.1	FRTのブロック図	11-2
図11.2	パルス出力例	11-11
図11.3	内部クロック動作時のカウントタイミグ	11-12
図11.4	外部クロック動作時のカウントタイミグ	11-12
図11.5	アウトプットコンペアA出力タイミグ	11-13
図11.6	コンペアマッチA信号によるFRCのクリアタイミグ	11-13
図11.7	インプットキャプチャ入力信号タイミグ (通常時)	11-14
図11.8	インプットキャプチャ入力信号タイミグ (ICRA~ICRDのリード時)	11-14
図11.9	バッファ動作タイミグ (インプットキャプチャ)	11-15
図11.10	バッファ動作タイミグ (BUFEA=1)	11-15
図11.11	ICFA~ICFDフラグのセットタイミグ	11-16
図11.12	OCFA、OCFBフラグのセットタイミグ	11-16
図11.13	OVFフラグのセットタイミグ	11-17
図11.14	OCRAの自動加算タイミグ	11-17
図11.15	インプットキャプチャマスク信号のセットタイミグ	11-18
図11.16	インプットキャプチャマスク信号のクリアタイミグ	11-18
図11.17	FRCのライトとクリアの競合	11-19
図11.18	FRCのライトとカウントアップの競合	11-20
図11.19	OCRのライトとコンペアマッチの競合 (自動加算機能を使用していない場合)	11-21
図11.20	OCRAR/OCRAFライトとコンペアマッチの競合 (自動加算機能を使用している場合)	11-22

## 12. 16ビットサイクルメジャーメントタイマ (TCM)

図12.1	TCMブロック図	12-2
図12.2	フリーランニングカウンタの動作例	12-9
図12.3	外部クロック動作時のカウントタイミグ (立ち下がりエッジの場合)	12-9
図12.4	インプットキャプチャ動作タイミグ例 (立ち上がりエッジ選択時)	12-10
図12.5	インプットキャプチャのバッファ動作例	12-10
図12.6	コンペアマッチ時のCMFフラグのセットタイミグ	12-11
図12.7	スピード測定モード時のカウンタの動作例	12-11
図12.8	スピード測定のタイミグ例	12-12
図12.9	FANストップのタイミグ例 (1)	12-13
図12.10	FANストップのタイミグ例 (2)	12-13
図12.11	スピード測定モード設定例	12-14
図12.12	TCMCNTライトとカウントアップの競合	12-17
図12.13	TCMMLCMのライトとコンペアマッチの競合	12-18
図12.14	インプットキャプチャとTCMICRリードの競合	12-18
図12.15	エッジ検出とレジスタライトの競合 (スピード測定モード)	12-19
図12.16	エッジ検出とTCMMDSクリアの競合 (スピード測定モードからタイマモードへの切り替え)	12-20

## 13. 8ビットタイマ (TMR)

図13.1	8ビットタイマ (TMR_0、TMR_1) のブロック図	13-2
図13.2	8ビットタイマ (TMR_Y、TMR_X) のブロック図	13-3
図13.3	パルス出力例	13-15
図13.4	内部クロック動作時のカウントタイミグ	13-16
図13.5	外部クロック動作時のカウントタイミグ (両エッジの場合)	13-16

図13.6	コンペアマッチ時のCMFフラグのセットタイミング	13-17
図13.7	コンペアマッチA信号によるトグル出力のタイマ出力タイミング	13-17
図13.8	コンペアマッチによるカウンタクリアタイミング	13-18
図13.9	外部リセット入力によるクリアタイミング	13-18
図13.10	OVFフラグのセットタイミング	13-19
図13.11	インプットキャプチャ動作タイミング	13-21
図13.12	インプットキャプチャ信号タイミング (TICRR、TICRFのリード時に、インプットキャプチャ入力を入力した場合)	13-21
図13.13	TCNTのライトとクリアの競合	13-23
図13.14	TCNTのライトとカウントアップの競合	13-24
図13.15	TCORのライトとコンペアマッチの競合	13-25
14. ウォッチドッグタイマ (WDT)		
図14.1	WDTのブロック図	14-2
図14.2	ウォッチドッグタイマモード時 (RST/NMI=1) の動作	14-7
図14.3	インターバルタイマモード時の動作	14-8
図14.4	OVFのセットタイミング	14-8
図14.5	TCNT、TCSRへのライト (WDT_0の例)	14-9
図14.6	TCNTのライトとカウントアップの競合	14-10
15. シリアルコミュニケーションインタフェース (SCI)		
図15.1	SCIのブロック図	15-2
図15.2	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	15-14
図15.3	調歩同期式モードの受信データサンプリングタイミング	15-16
図15.4	出力クロックと送信データの位相関係 (調歩同期式モード)	15-17
図15.5	SCIの初期化フローチャートの例	15-18
図15.6	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-19
図15.7	シリアル送信のフローチャートの例	15-20
図15.8	SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-21
図15.9	シリアル受信データフローチャートの例 (1)	15-22
図15.9	シリアル受信データフローチャートの例 (2)	15-23
図15.10	マルチプロセッサフォーマットを使用した通信例 (受信局AへのデータH'AAの送信の例)	15-24
図15.11	マルチプロセッサシリアル送信のフローチャートの例	15-25
図15.12	SCIの受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	15-26
図15.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	15-27
図15.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	15-28
図15.14	クロック同期式通信のデータフォーマット (LSBファーストの場合)	15-29
図15.15	SCIの初期化フローチャートの例	15-30
図15.16	クロック同期式モードの送信時の動作例	15-31
図15.17	シリアル送信のフローチャートの例	15-32
図15.18	SCIの受信時の動作例	15-33
図15.19	シリアルデータ受信フローチャートの例	15-34
図15.20	シリアル送受信同時動作のフローチャートの例	15-35

図15.21	DTCによるクロック同期式送信時の例	15-38
図15.22	送信時のモード遷移フローチャートの例	15-39
図15.23	調歩同期式モード送信時（内部クロック）の端子状態	15-40
図15.24	クロック同期式モード送信時（内部クロック）の端子状態	15-40
図15.25	受信時のモード遷移フローチャートの例	15-41
図15.26	SCK端子からポート端子へ切り替える時の動作	15-42
図15.27	SCK端子からポート端子へ切り替える時のLow出力の回避例	15-42

## 16. I<sup>2</sup>C バスインタフェース (IIC)

図16.1	I <sup>2</sup> Cバスインタフェースのブロック図	16-2
図16.2	I <sup>2</sup> Cバスインタフェース接続例（本LSIがマスタの場合）	16-3
図16.3	I <sup>2</sup> Cバスデータフォーマット（I <sup>2</sup> Cバスフォーマット）	16-21
図16.4	I <sup>2</sup> Cバスデータフォーマット（シリアルフォーマット）	16-22
図16.5	I <sup>2</sup> Cバスタイミング	16-22
図16.6	IICの初期化フローチャートの例	16-23
図16.7	マスタ送信モードフローチャート例	16-24
図16.8	マスタ送信モード動作タイミング例（MLS=WAIT=0のとき）	16-26
図16.9	マスタ送信モード停止条件発行動作タイミング例（MLS=WAIT=0のとき）	16-27
図16.10	マスタ受信モードフローチャート例（HNDS=1）	16-28
図16.11	マスタ受信モード動作タイミング例（MLS=WAIT=0、HNDS=1のとき）	16-30
図16.12	マスタ受信モード動作停止条件発行タイミング例 （MLS=WAIT=0、HNDS=1のとき）	16-30
図16.13	マスタ受信モード（複数バイト数受信）のフローチャート例（WAIT=1）	16-31
図16.14	マスタ受信モード（1バイトのみ受信）のフローチャート例（WAIT=1）	16-32
図16.15	マスタ受信モード動作タイミング例（MLS=ACKB=0、WAIT=1のとき）	16-35
図16.16	マスタ受信モード停止条件発行動作タイミング例（MLS=ACKB=0、WAIT=1のとき）	16-35
図16.17	スレーブ受信モードのフローチャート例（HNDS=1）	16-36
図16.18	スレーブ受信モード動作タイミング例1（MLS=0、HNDS=1のとき）	16-38
図16.19	スレーブ受信モード動作タイミング例2（MLS=0、HNDS=1のとき）	16-38
図16.20	スレーブ受信モードのフローチャート例（HNDS=0）	16-39
図16.21	スレーブ受信モード動作タイミング例1（MLS=ACKB=0、HNDS=0のとき）	16-41
図16.22	スレーブ受信モード動作タイミング例2（MLS=ACKB=0、HNDS=0のとき）	16-41
図16.23	スレーブ送信モードのフローチャート例	16-42
図16.24	スレーブ送信モード動作タイミング例（MLS=0のとき）	16-44
図16.25	IRICフラグセットタイミングとSCL制御（1）	16-45
図16.26	IRICフラグセットタイミングとSCL制御（2）	16-46
図16.27	IRICフラグセットタイミングとSCL制御（3）	16-47
図16.28	ノイズ除去回路のブロック図	16-49
図16.29	マスタ受信データの読み出しにおける注意	16-54
図16.30	再送のための開始条件命令発行フローチャートおよびタイミング	16-55
図16.31	停止条件発行タイミング	16-56
図16.32	WAIT=1状態でのIRICフラグクリアタイミング	16-56
図16.33	スレーブ送信モードでのICDRリード、ICCRアクセスタイミング	16-57
図16.34	スレーブモードでのTRSビット設定タイミング	16-58
図16.35	アービトレーションロスト時の動作モード図	16-60
図16.36	ウェイト動作時IRICフラグクリアタイミング	16-61

17. A/D 変換器	
図17.1 A/D変換器のブロック図	17-2
図17.2 A/D変換タイミング	17-8
図17.3 外部トリガ入力タイミング	17-9
図17.4 A/D変換精度の定義	17-10
図17.5 A/D変換精度の定義	17-11
図17.6 アナログ入力回路の例	17-12
図17.7 アナログ入力保護回路の例	17-13
図17.8 アナログ入力端子等価回路	17-13
19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)	
図19.1 フラッシュメモリのブロック図	19-2
図19.2 フラッシュメモリに関するモード遷移図	19-3
図19.3 フラッシュメモリ構成図	19-5
図19.4 ユーザマットのブロック分割 (1)	19-6
図19.4 ユーザマットのブロック分割 (2)	19-7
図19.5 ユーザの手続きプログラムの概要	19-7
図19.6 ブートモード時のシステム構成図	19-21
図19.7 SCIビットレートの自動合わせ込み動作	19-22
図19.8 ブートモードの状態遷移の概略図	19-23
図19.9 書き込み/消去概略フロー	19-24
図19.10 書き込み/消去実施時のRAMマップ	19-25
図19.11 書き込み手順	19-26
図19.12 消去手順	19-31
図19.13 消去、書き込みの繰り返し手順	19-33
図19.14 ユーザブートモードでのユーザマットへの書き込み手順	19-35
図19.15 ユーザブートモードでのユーザマットの消去手順	19-36
図19.16 エラープロテクト状態への状態遷移図	19-43
図19.17 ユーザマット/ユーザブートマットの切り替え	19-44
図19.18 ライタモード時のメモリマップ	19-45
図19.19 ブートプログラムのステータス	19-46
図19.20 ビットレート合わせ込みのシーケンス	19-46
図19.21 通信プロトコルフォーマット	19-47
図19.22 新ビットレート選択のシーケンス	19-56
図19.23 書き込みシーケンス	19-59
図19.24 消去シーケンス	19-62
20. PROM (OTP 版)	
図20.1 PROMのブロック図 (R4P2125)	20-1
図20.2 ライタモード時のメモリマップ	20-2
21. クロック発振器	
図21.1 クロック発振器のブロック図	21-1
図21.2 水晶発振子の接続例	21-2
図21.3 水晶発振子の等価回路	21-2
図21.4 外部クロックの接続例	21-3
図21.5 外部クロック入力タイミング	21-4
図21.6 外部クロック出力安定遅延時間タイミング	21-4

図21.7	EXCL端子からのサブクロック入力	21-5
図21.8	サブクロック入力タイミング	21-6
図21.9	発振回路部のボード設計に関する注意事項	21-7
22. 低消費電力状態		
図22.1	モード遷移図	22-8
図22.2	中速モードのタイミング	22-10
図22.3	ソフトウェアスタンバイモードの応用例	22-12
図22.4	ハードウェアスタンバイモードのタイミング	22-12
24. 電気的特性		
図24.1	ダーリントントランジスタ駆動回路例	24-4
図24.2	LED駆動回路例	24-4
図24.3	出力負荷回路	24-5
図24.4	システムクロックタイミング	24-6
図24.5	発振安定時間タイミング	24-6
図24.6	発振安定時間タイミング(ソフトウェアスタンバイからの復帰)	24-6
図24.7	リセット入力タイミング	24-7
図24.8	割り込み入力タイミング	24-8
図24.9	基本バスタイミング/2ステートアクセス	24-9
図24.10	基本バスタイミング/3ステートアクセス	24-10
図24.11	基本バスタイミング/3ステートアクセス1ウェイト	24-11
図24.12	バーストROMアクセスタイミング/2ステートアクセス	24-12
図24.13	バーストROMアクセスタイミング/1ステートアクセス	24-12
図24.14	I/Oポート入出力タイミング	24-14
図24.15	FRT入出力タイミング	24-14
図24.16	FRTクロック入力タイミング	24-14
図24.17	TCM入出力タイミング	24-15
図24.18	TCMクロック入力タイミング	24-15
図24.19	8ビットタイマ出力タイミング	24-15
図24.20	8ビットタイマクロック入力タイミング	24-15
図24.21	8ビットタイマリセット入力タイミング	24-16
図24.22	PWM、PWMX出力タイミング	24-16
図24.23	SCKクロック入力タイミング	24-16
図24.24	SCI入出力タイミング/クロック同期式モード	24-16
図24.25	A/D変換器外部トリガ入力タイミング	24-17
図24.26	I <sup>2</sup> Cバスインタフェース入出力タイミング	24-18
図24.27	ETCKタイミング	24-19
図24.28	リセットホールドタイミング	24-19
図24.29	H-UDI入出力タイミング	24-19
図24.30	VCC端子とVCL端子のコンデンサ接続方法	24-21

付録

図C.1	SDIP-64外形寸法図	付録-4
図C.2	QFP-64外形寸法図	付録-5
図C.3	TQFP-80外形寸法図	付録-6

---

# 表目次

---

1. 概要	
表1.1 動作モード別端子機能一覧	1-7
表1.2 端子機能	1-10
2. CPU	
表2.1 命令の分類	2-15
表2.2 オペレーションの記号	2-16
表2.3 データ転送命令	2-17
表2.4 算術演算命令 (1)	2-18
表2.4 算術演算命令 (2)	2-19
表2.5 論理演算命令	2-20
表2.6 シフト命令	2-20
表2.7 ビット操作命令 (1)	2-21
表2.7 ビット操作命令 (2)	2-22
表2.8 分岐命令	2-23
表2.9 システム制御命令	2-24
表2.10 ブロック転送命令	2-24
表2.11 アドレッシングモード一覧表	2-26
表2.12 絶対アドレスのアクセス範囲	2-27
表2.13 実行アドレスの計算方法 (1)	2-29
表2.13 実行アドレスの計算方法 (2)	2-30
3. MCU 動作モード	
表3.1 MCU動作モードの選択	3-1
表3.2 各動作モードにおける端子機能	3-6
4. 例外処理	
表4.1 例外処理の種類と優先度	4-1
表4.2 例外処理ベクタテーブル	4-2
表4.3 トラップ命令例外処理後のCCRの状態	4-5
5. 割り込みコントローラ	
表5.1 端子構成	5-2
表5.2 各割り込み要因とICRの対応	5-3
表5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-9
表5.4 割り込み制御モード	5-11
表5.5 割り込み制御モードと選択される割り込み	5-12
表5.6 割り込み制御モードと動作および制御信号機能	5-12
表5.7 割り込み応答時間	5-19
表5.8 割り込み例外処理の実行状態のステート数	5-19
表5.9 割り込み要因の選択とクリア制御	5-21

6.	バスコントローラ (BSC)	
表6.1	端子構成	6-2
表6.2	基本拡張エリア/基本バスインタフェースのバス仕様	6-5
表6.3	I <sup>2</sup> S信号を出力するアドレスの範囲	6-7
表6.4	使用するデータバスと有効ストローク	6-9
表6.5	アイドルサイクルでの端子状態	6-16
7.	データトランスファコントローラ (DTC)	
表7.1	各割り込み要因とDTCERの対応	7-5
表7.2	割り込み要因とDTCベクタアドレスおよび対応するDTCE	7-9
表7.3	ノーマルモードのレジスタ機能	7-11
表7.4	リピートモードのレジスタ機能	7-12
表7.5	ブロック転送モードのレジスタ機能	7-13
表7.6	DTCの実行状態	7-16
表7.7	実行状態に必要なステート数	7-16
8.	I/Oポート	
表8.1	ポートの機能一覧表	8-1
表8.2	ポート1入力プルアップMOSの状態	8-5
表8.3	ポート2入力プルアップMOSの状態	8-9
表8.4	ポート3入力プルアップMOSの状態	8-11
9.	8ビットPWMタイマ (PWM)	
表9.1	端子構成	9-3
表9.2	内部クロックの選択	9-4
表9.3	$\phi = 20\text{MHz}$ 時の分解能、PWM変換周期、キャリア周波数	9-4
表9.4	基本パルスのデューティ比	9-7
表9.5	基本パルスに対する付加パルスの位置	9-8
10.	14ビットPWMタイマ (PWMX)	
表10.1	端子構成	10-2
表10.2	PWMXのクロックセレクト	10-6
表10.3	16ビットレジスタのリード/ライト別アクセス方式	10-7
表10.4	設定値と動作内容 ( $\phi : 20\text{MHz}$ 時の例)	10-10
表10.5	基本パルスに対する付加パルスの位置 (CFS=1の場合)	10-15
11.	16ビットフリーランニングタイマ (FRT)	
表11.1	端子構成	11-3
表11.2	FRT割り込み要因	11-19
表11.3	内部クロックの切り替えとFRC動作	11-23
12.	16ビットサイクルメジャーメントタイマ (TCM)	
表12.1	端子構成	12-3
表12.2	測定誤差範囲	12-15
表12.3	測定速度の範囲	12-16
表12.4	TCM割り込み要因	12-17

13. 8ビットタイマ (TMR)	
表13.1 端子構成	13-4
表13.2 TCNTに入力するクロックとカウント条件 (1)	13-7
表13.2 TCNTに入力するクロックとカウント条件 (2)	13-8
表13.3 TMR_X/TMR_Yのアクセス可能なレジスタ	13-14
表13.4 インプットキャプチャ信号の選択	13-22
表13.5 8ビットタイマTMR_0、TMR_1、TMR_Y、TMR_Xの割り込み要因	13-22
表13.6 タイマ出力の優先順位	13-25
表13.7 内部クロックの切り替えとTCNTの動作	13-26
14. ウォッチドッグタイマ (WDT)	
表14.1 端子構成	14-3
表14.2 WDTの割り込み要因	14-9
15. シリアルコミュニケーションインタフェース (SCI)	
表15.1 端子構成	15-3
表15.2 BRRの設定値NとビットレートBの関係	15-10
表15.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕 (1)	15-11
表15.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕 (2)	15-12
表15.4 各動作周波数における最大ビットレート (調歩同期式モード)	15-12
表15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)	15-13
表15.6 ビットレートに対するBRRの設定例〔クロック同期式モード〕	15-13
表15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)	15-14
表15.8 シリアル送信/受信フォーマット (調歩同期式モード)	15-15
表15.9 SSRのステータスフラグの状態と受信データの処理	15-22
表15.10 SCI割り込み要因	15-36
16. I <sup>2</sup> Cバスインタフェース (IIC)	
表16.1 端子構成	16-3
表16.2 転送フォーマット	16-6
表16.3 転送レート	16-8
表16.4 フラグと転送状態の関係 (マスタモード)	16-13
表16.5 フラグと転送状態の関係 (スレーブモード)	16-14
表16.6 I <sup>2</sup> Cバスデータフォーマット記号説明	16-22
表16.7 DTCによる動作例	16-48
表16.8 IIC割り込み要因	16-50
表16.9 I <sup>2</sup> Cバスタイミング (SCL、SDA出力)	16-51
表16.10 SCL立ち上がり時間 (t <sub>sr</sub> ) の許容範囲	16-52
表16.11 I <sup>2</sup> Cバスタイミング (t <sub>sr</sub> /t <sub>sf</sub> 影響最大の場合)	16-53
17. A/D変換器	
表17.1 端子構成	17-3
表17.2 アナログ入力チャネルとADDRの対応	17-4
表17.3 A/D変換時間 (シングルモード)	17-8
表17.4 A/D変換器の割り込み要因	17-9

19.	フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)	
表19.1	プログラミングモードの比較	19-4
表19.2	端子構成	19-9
表19.3	使用レジスタ/パラメータと対象モード	19-10
表19.4	使用パラメータと対象モード	19-14
表19.5	オンボードプログラミングモードの設定方法	19-21
表19.6	本LSIの自動合わせ込みが可能なシステムクロックの周波数	19-22
表19.7	実行可能マツトまとめ	19-38
表19.8 (1)	ユーザプログラムモードでの書き込み処理で使用可能エリア	19-38
表19.8 (2)	ユーザプログラムモードでの消去処理で使用可能エリア	19-39
表19.8 (3)	ユーザブートモードでの書き込み処理で使用可能エリア	19-40
表19.8 (4)	ユーザブートモードでの消去処理で使用可能エリア	19-41
表19.9	ハードウェアプロテクト	19-42
表19.10	ソフトウェアプロテクト	19-42
表19.11	問い合わせ選択コマンド一覧	19-48
表19.12	書き込み消去コマンド一覧	19-58
表19.13	ステータスコード	19-67
表19.14	エラーコード	19-67
21.	クロック発振器	
表21.1	ダンピング抵抗値	21-2
表21.2	水晶発振子の特性	21-2
表21.3	外部クロック入力条件	21-3
表21.4	外部クロック出力安定遅延時間	21-4
表21.5	サブクロック入力条件	21-6
22.	低消費電力状態	
表22.1	動作周波数と待機時間	22-3
表22.2	各動作モードでのLSIの内部状態	22-9
24.	電気的特性	
表24.1	絶対最大定格	24-1
表24.2	DC特性	24-2
表24.3	出力許容電流値	24-3
表24.4	バス駆動特性	24-4
表24.5	クロックタイミング	24-5
表24.6	制御信号タイミング	24-7
表24.7	バスタイミング	24-8
表24.8	内蔵周辺モジュールタイミング	24-13
表24.9	I <sup>2</sup> Cバスタイミング	24-17
表24.10	H-UDIタイミング	24-18
表24.11	A/D変換特性 (AN7~AN0入力: 134/266ステート変換)	24-20
表24.12	フラッシュメモリ特性	24-20

## 付録

表A.1	各処理状態におけるI/Oポートの状態	付録-1
------	--------------------	------

---

# 1. 概要

---

## 1.1 特長

- 16ビット高速H8S/2000 CPU  
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換  
汎用レジスタ：16ビット×16本  
基本命令：65種類
- 豊富な周辺機能  
データトランスファコントローラ (DTC)  
8ビットPWMタイマ (PWM)  
14ビットPWMタイマ (PWMX)  
16ビットサイクルメジャーメントタイマ (TCM)  
16ビットフリーランニングタイマ (FRT)  
8ビットタイマ (TMR)  
ウォッチドッグタイマ (WDT)  
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)  
I<sup>2</sup>Cバスインタフェース (IIC)  
10ビットA/D変換器  
H-UDIインタフェース (H-UDI)  
クロック発振器

## 1. 概要

---

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	R4F2125	512K バイト	8K バイト	開発中
PROM (OTP 版)	R4P2125	512K バイト	8K バイト	開発中

- 汎用入出力ポート

入出力ポート : 43本

入力ポート : 8本

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
SDIP-64	PRDP0064BB-A (DP-64S)	17.0×57.6mm	1.78mm
QFP-64	PRQP0064GB-A (FP-64A)	14.0×14.0mm	0.8mm
TQFP-80	PTQP0080KC-A (TFP-80C)	12.0×12.0mm	0.5mm

## 1.2 ブロック図

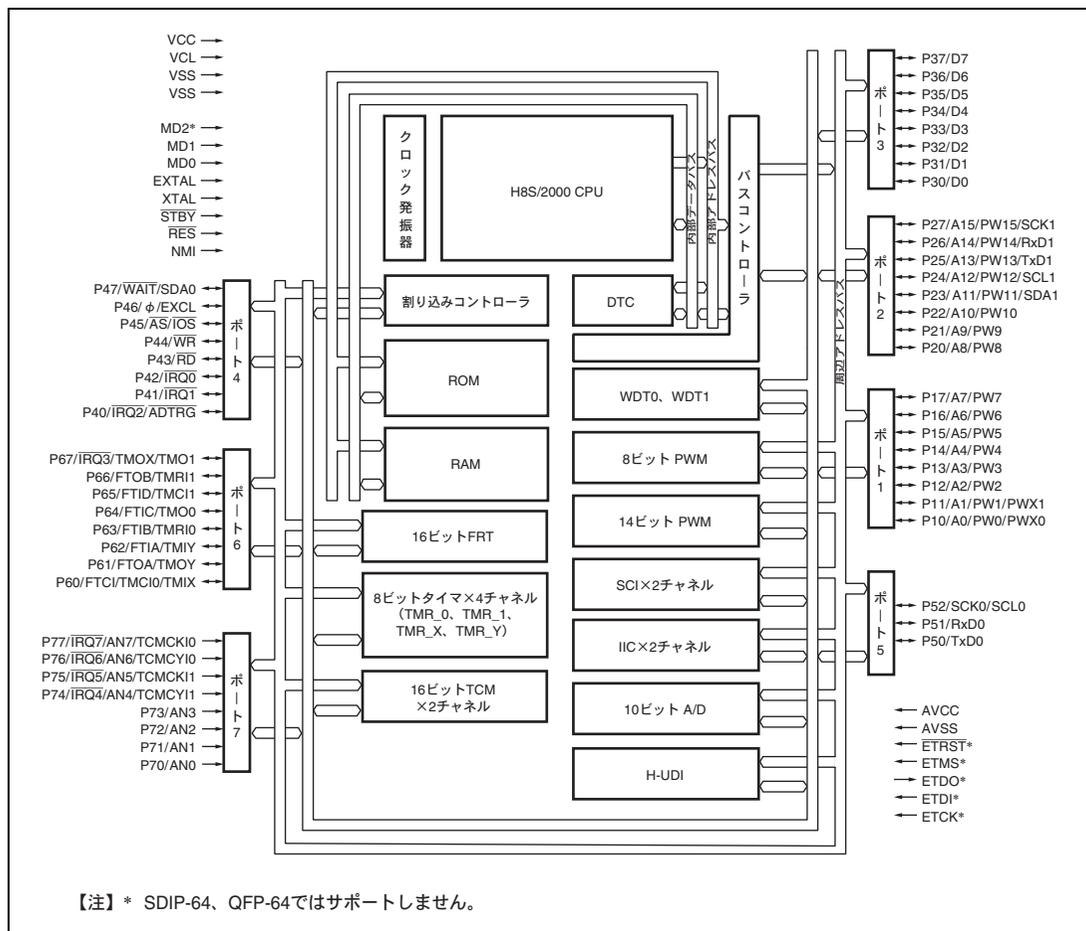


図 1.1 ブロック図

## 1. 概要

### 1.3 端子説明

#### 1.3.1 ピン配置図

H8S/2125 グループのピン配置図を図 1.2～図 1.4 に示します。

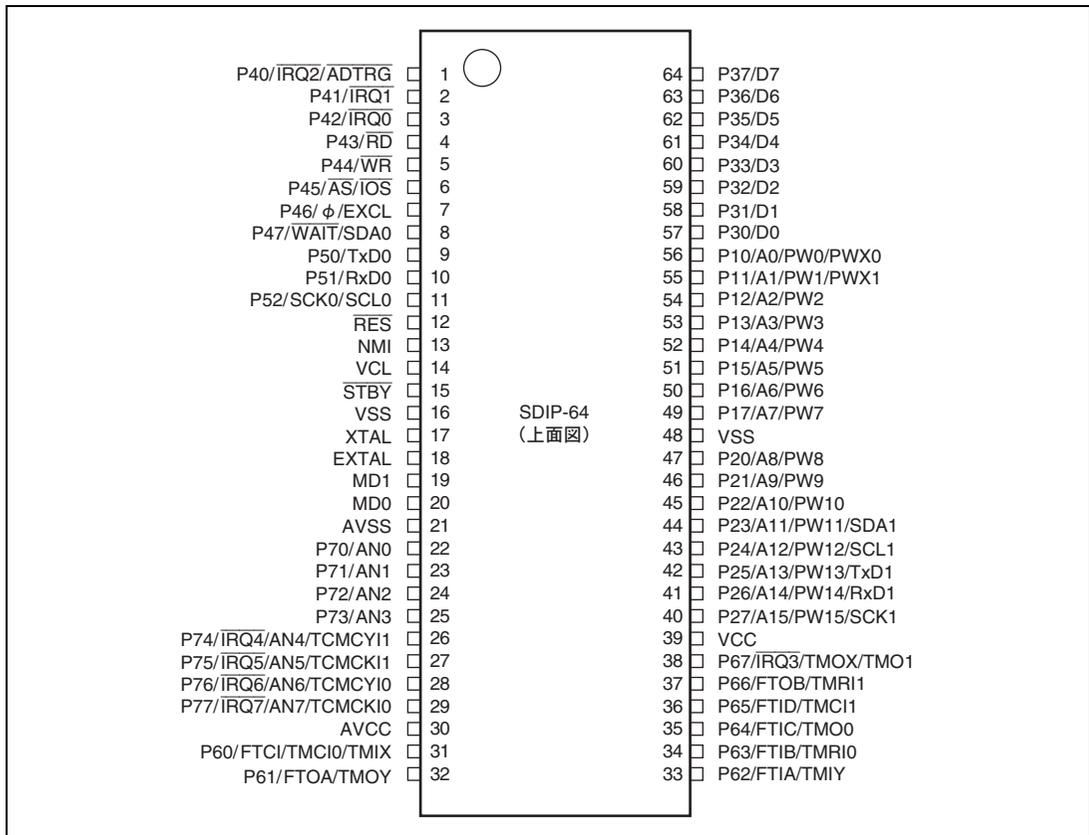


図 1.2 ピン配置図 (SDIP-64)

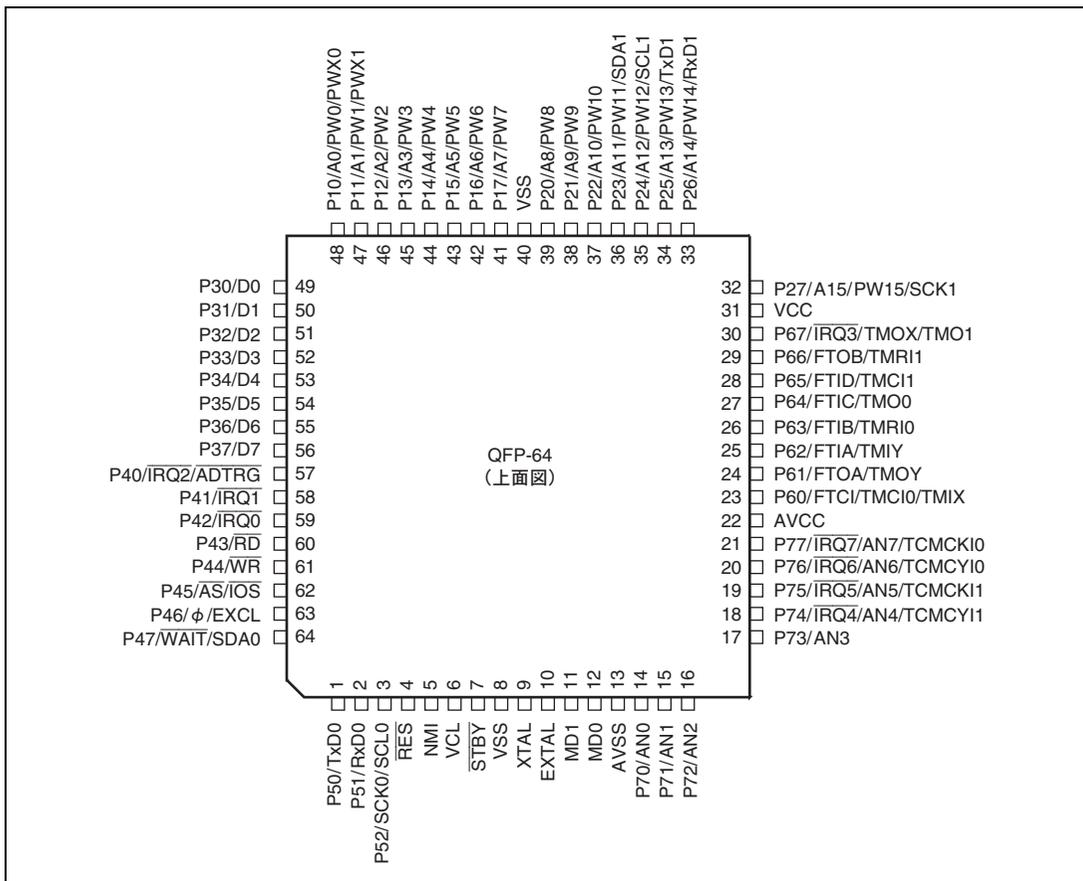


図 1.3 ピン配置図 (QFP-64)

# 1. 概要

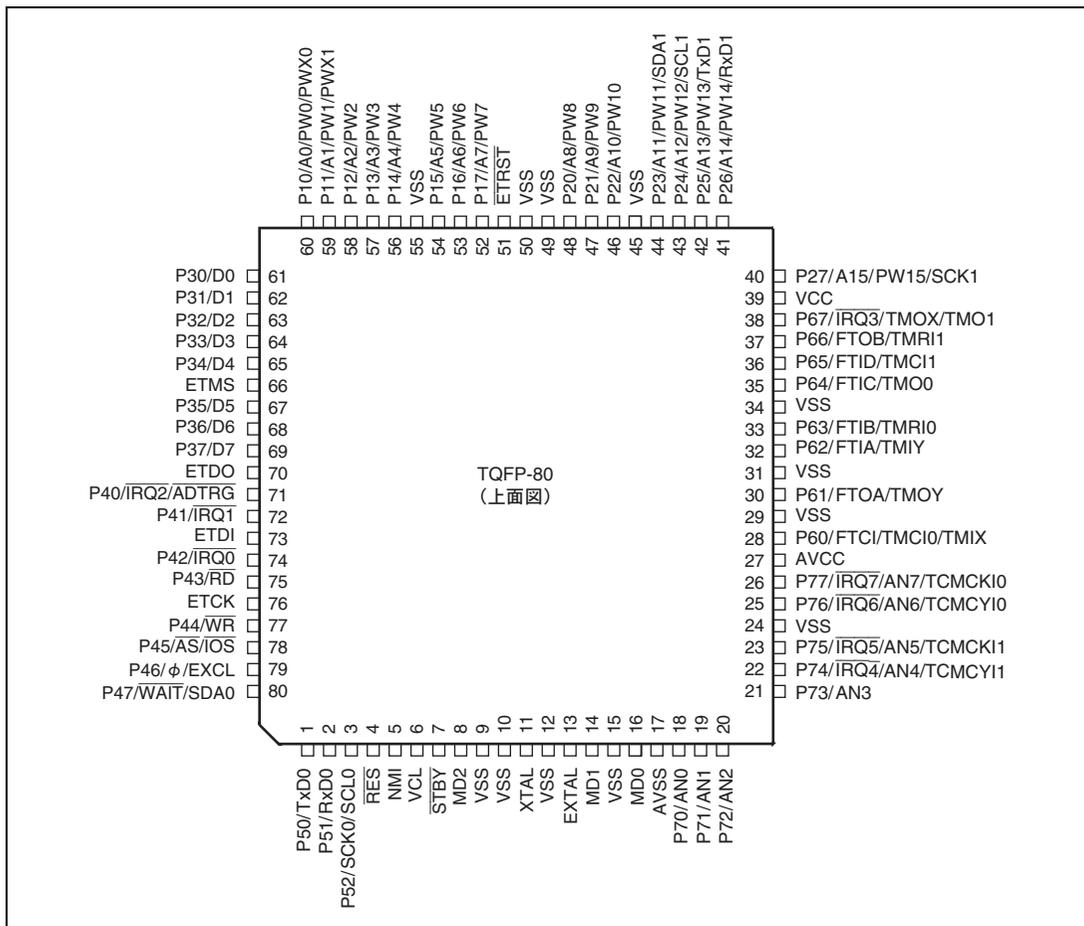


図 1.4 ピン配置図 (TQFP-80)

## 1.3.2 動作モード別端子機能一覧

表 1.1 動作モード別端子機能一覧

ピン番号			端子名			
SDIP-64	QFP-64	TQFP-80	拡張モード		シングルチップモード	フラッシュメモリ ライタモード
			モード 1	モード 2 (EXPE=1) モード 3 (EXPE=)	モード 2 (EXPE=0) モード 3 (EXPE=0)	
1	57	71	P40/ $\overline{\text{IRQ2/ADTRG}}$	P40/ $\overline{\text{IRQ2/ADTRG}}$	P40/ $\overline{\text{IRQ2/ADTRG}}$	VCC
2	58	72	P41/ $\overline{\text{IRQ1}}$	P41/ $\overline{\text{IRQ1}}$	P41/ $\overline{\text{IRQ1}}$	VCC
—	—	73	ETDI	ETDI	ETDI	VCC
3	59	74	P42/ $\overline{\text{IRQ0}}$	P42/ $\overline{\text{IRQ0}}$	P42/ $\overline{\text{IRQ0}}$	VSS
4	60	75	RD	RD	P43	$\overline{\text{WE}}$
—	—	76	ETCK	ETCK	ETCK	VCC
5	61	77	$\overline{\text{WR}}$	$\overline{\text{WR}}$	P44	FA15
6	62	78	AS/IOS	AS/IOS	P45	FA16
7	63	79	P46/ $\phi$ /EXCL	P46/ $\phi$ /EXCL	P46/ $\phi$ /EXCL	VSS
8*	64*	80*	P47/ $\overline{\text{WAIT/SDA0}}$	P47/ $\overline{\text{WAIT/SDA0}}$	P47/SDA0	VCC
9	1	1	P50/TxD0	P50/TxD0	P50/TxD0	FA19
10	2	2	P51/RxD0	P51/RxD0	P51/RxD0	FA17
11*	3*	3*	P52/SCK0/SCL0	P52/SCK0/SCL0	P52/SCK0/SCL0	FA18
12	4	4	RES	RES	RES	$\overline{\text{RES}}$
13	5	5	NMI	NMI	NMI	FA9
14	6	6	VCL	VCL	VCL	VCL
15	7	7	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
—	—	8	MD2	MD2	MD2	VSS
16	8	9	VSS	VSS	VSS	VSS
—	—	10	VSS	VSS	VSS	VSS
17	9	11	XTAL	XTAL	XTAL	XTAL
—	—	12	VSS	VSS	VSS	VSS
18	10	13	EXTAL	EXTAL	EXTAL	EXTAL
19	11	14	MD1	MD1	MD1	VSS
—	—	15	VSS	VSS	VSS	VSS
20	12	16	MD0	MD0	MD0	VSS
21	13	17	AVSS	AVSS	AVSS	VSS
22	14	18	P70/AN0	P70/AN0	P70/AN0	VSS
23	15	19	P71/AN1	P71/AN1	P71/AN1	VSS
24	16	20	P72/AN2	P72/AN2	P72/AN2	VSS
25	17	21	P73/AN3	P73/AN3	P73/AN3	VSS

## 1. 概要

ピン番号			端子名			
SDIP-64	QFP-64	TQFP-80	拡張モード		シングルチップモード	フラッシュメモリ ライトモード
			モード 1	モード 2 (EXPE=1) モード 3 (EXPE==)	モード 2 (EXPE=0) モード 3 (EXPE=0)	
26	18	22	P74/IRQ4/AN4/ TCMCY11	P74/IRQ4AN4/ TCMCY11	P74/IRQ4/AN4/ TCMCY11	VSS
27	19	23	P75/IRQ5/AN5/ TCMCK11	P75/IRQ5/AN5/ TCMCK11	P75/IRQ5/AN5/ TCMCK11	VSS
—	—	24	VSS	VSS	VSS	VSS
28	20	25	P76/IRQ6/AN6/ TCMCY10	P76/IRQ6/AN6/ TCMCY10	P76/IRQ6/AN6/ TCMCY10	VSS
29	21	26	P77/IRQ7/AN7/ TCMCK10	P77/IRQ7/AN7/ TCMCK10	P77/IRQ7/AN7/ TCMCK10	VSS
30	22	27	AVCC	AVCC	AVCC	VCC
31	23	28	P60/FTCI/TMC10/ TMIX	P60/FTCI/TMC10/ TMIX	P60/FTCI/TMC10/ TMIX	VSS
—	—	29	VSS	VSS	VSS	VSS
32	24	30	P61/FTOA/TMOY	P61/FTOA/TMOY	P61/FTOA/TMOY	VSS
—	—	31	VSS	VSS	VSS	VSS
33	25	32	P62/FTIA/TMIY	P62/FTIA/TMIY	P62/FTIA/TMIY	VSS
34	26	33	P63/FTIB/TMRI0	P63/FTIB/TMRI0	P63/FTIB/TMRI0	VSS
—	—	34	VSS	VSS	VSS	VSS
35	27	35	P64/FTIC/TMO0	P64/FTIC/TMO0	P64/FTIC/TMO0	VSS
36	28	36	P65/FTID/TMC11	P65/FTID/TMC11	P65/FTID/TMC11	VSS
37	29	37	P66/FTOB/TMRI1	P66/FTOB/TMRI1	P66/FTOB/TMRI1	VSS
38	30	38	P67/IRQ3/TMO1/ TMOX	P67/IRQ3/TMO1/ TMOX	P67/IRQ3/TMO1/ TMOX	VSS
39	31	39	VCC	VCC	VCC	VCC
40	32	40	A15	P27/A15/PW15/SCK1	P27/PW15/SCK1	$\overline{CE}$
41	33	41	A14	P26/A14/PW14/RxD1	P26/PW14/RxD1	FA14
42	34	42	A13	P25/A13/PW13/TxD1	P25/PW13/TxD1	FA13
43	35	43	A12	P24/A12/PW12/SCL1	P24/PW12/SCL1	FA12
44	36	44	A11	P23/A11/PW11/SDA1	P23/PW11/SDA1	FA11
—	—	45	VSS	VSS	VSS	VSS
45	37	46	A10	P22/A10/PW10	P22/PW10	FA10
46	38	47	A9	P21/A9/PW9	P21/PW9	$\overline{OE}$
47	39	48	A8	P20/A8/PW8	P20/PW8	FA8
—	—	49	VSS	VSS	VSS	VSS
48	40	50	VSS	VSS	VSS	VSS
—	—	51	ETRST	ETRST	ETRST	VSS

ピン番号			端子名			
SDIP-64	QFP-64	TQFP-80	拡張モード		シングルチップモード	フラッシュメモリ ライタモード
			モード 1	モード 2 (EXPE=1) モード 3 (EXPE=1)	モード 2 (EXPE=0) モード 3 (EXPE=0)	
49	41	52	A7	P17/A7/PW7	P17/PW7	FA7
50	42	53	A6	P16/A6/PW6	P16/PW6	FA6
51	43	54	A5	P15/A5/PW5	P15/PW5	FA5
—	—	55	VSS	VSS	VSS	VSS
52	44	56	A4	P14/A4/PW4	P14/PW4	FA4
53	45	57	A3	P13/A3/PW3	P13/PW3	FA3
54	46	58	A2	P12/A2/PW2	P12/PW2	FA2
55	47	59	A1	P11/A1/PW1/PWX1	P11/PW1/PWX1	FA1
56	48	60	A0	P10/A0/PW0/PWX0	P10/PW0/PWX0	FA0
57	49	61	D0	D0	P30	FO0
58	50	62	D1	D1	P31	FO1
59	51	63	D2	D2	P32	FO2
60	52	64	D3	D3	P33	FO3
61	53	65	D4	D4	P34	FO4
—	—	66	ETMS	ETMS	ETMS	VCC
62	54	67	D5	D5	P35	FO5
63	55	68	D6	D6	P36	FO6
64	56	69	D7	D7	P37	FO7
—	—	70	ETDO	ETDO	ETDO	NC

【注】 \* NMOS プッシュプル/オープンドレイン駆動、5V Tolerant 入力端子。

## 1. 概要

### 1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号			入出力	名称および機能
		SDIP-64	QFP-64	TQFP-80		
電源	VCC	39	31	39	入力	電源端子です。システムの電源に接続してください。また、VSS 端子との間にバイパスコンデンサを接続してください（端子近くに配置）。
	VCL	14	6	6	入力	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のための外付けコンデンサを介して VSS に接続してください（端子近くに配置）。
	VSS	16、48	8、40	9、10、12、15、24、29、31、34、45、49、50、55	入力	グランド端子です。システムの電源（0V）に接続してください。
クロック	XTAL	17	9	11	入力	水晶発振器接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例は、「第 21 章 クロック発振器」を参照してください。
	EXTAL	18	10	13	入力	
	φ	7	63	79	出力	外部デバイスにシステムクロックを供給します。
	EXCL	7	63	79	入力	32.768kHz の外部サブクロックを入力してください。
動作モード コント ロール	MD2* <sup>1</sup>	—	—	8	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
	MD1	19	11	14		
	MD0	20	12	16		
システム 制御	RES	12	4	4	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	STBY	15	7	7	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
アドレス バス	A15~A0	40~47、 49~56	32~39、 41~48	40~44、 46~48、 52~54、 56~60	出力	アドレスを出力します。
データバス	D7~D0	64~57	56~49	69~67、 65~61	入出力	双方向データバスです。

## 1. 概要

分類	記号	ピン番号			入出力	名称および機能
		SDIP-64	QFP-64	TQFP-80		
バス制御	WAIT	8	64	80	入力	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
	RD	4	60	75	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	WR	5	61	77	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。
	AS/IOS	6	62	78	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
割り込み	NMI	13	5	5	入力	ノンマスクابل割り込み要求入力端子です。
	IRQ0~ IRQ2、 IRQ3、 IRQ4~ IRQ7	1~3 38 26~29	57~59 30 18~21	71、72、 74 38 22~26	入力	マスク可能な割り込みを要求します。
PWM タイマ (PWM)	PW15~ PW0	40~47、 49~56、	32~39、 41~48、	40~44、 46~48、 52~54、 56~60	出力	PWM タイマのバルス出力端子です。
14 ビット PWM タイマ (PWMX)	PWX0	56	48	60	出力	PWMX のバルス出力端子です。
	PWX1	55	47	59		
16 ビット フリー ランニング タイマ (FRT)	FTCI	31	23	28	入力	外部イベント入力端子です。
	FTOA	32	24	30	出力	アウトプットコンペア出力端子です。
	FTOB	37	29	37		
	FTIA	33	25	32	入力	インプットキャプチャ入力端子です。
	FTIB	34	26	33		
	FTIC	25	27	35		
FTID	36	28	36			
16 ビットサ イクルメジ ャーメント タイマ (TCM_0、 TCM_1)	TCMCKI0	29	21	26	入力	カウンタに入力する外部クロックの入力端子です。
	TCMCKI1	27	19	23		
	TCMCYI0	28	20	25	入力	外部イベント入力端子です。
	TCMCYI1	26	18	22		

## 1. 概要

分類	記号	ピン番号			入出力	名称および機能
		SDIP-64	QFP-64	TQFP-80		
8ビット タイマ (TMR_0、 TMR_1、 TMR_X、 TMR_Y)	TMO0	35	27	35	出力	アウトプットコンペア機能による波形出力端子です。
	TMO1	38	30	38		
	TMOX	38	30	38		
	TMOY	32	24	30		
	TMCIO	31	23	28	入力	カウンタに入力する外部クロックの入力端子です。
	TMC11	36	28	36		
	TMRI0	34	26	33	入力	カウンタリセット入力端子です。
	TMRI1	37	29	37		
	TMIX	31	23	28	入力	外部イベント入力端子およびカウンタリセット入力端子です。
TMIY	33	25	32			
シリアル コミュニ ケーション インタ フェース (SCI_0、 SCI_1)	TxD0	9	1	1	出力	送信データ出力端子です。
	TxD1	42	34	42		
	RxD0	10	2	2	入力	受信データ入力端子です。
	RxD1	41	33	41		
SCK0	11	3	3	入出力	クロック入出力端子です。出力形式はNMOSプッシュプル出力となります。	
SCK1	40	32	40			
I <sup>2</sup> Cバスイン タフェース (IIC)	SCL0	11	3	3	入出力	I <sup>2</sup> Cクロック入出力端子です。SCL0の出力形式はNMOSオープンドレインでバスを直接駆動できます。
	SCL1	43	35	43		
	SDA0	8	64	80	入出力	I <sup>2</sup> Cのデータ入出力端子です。SDA0の出力形式はNMOSオープンドレインでバスを直接駆動できます。
	SDA1	44	36	44		
A/D変換器	AN7~AN0	29~22	21~14	26、25、 23~18	入力	アナログ入力端子です。
	ADTRG	1	57	71		
	AVCC	30	22	27	入力	A/D変換器の基準電源端子です。A/D変換器を使用しない場合、システムの電源(+3V)に接続してください。
	AVSS	21	13	17		

分類	記号	ピン番号			入出力	名称および機能
		SDIP-64	QFP-64	TQFP-80		
H-UDI インタフェース (H-UDI)	ETRST* <sup>1</sup> * <sup>2</sup>	—	—	51	入力	エミュレータ用インタフェース端子です。 H-UDI を起動する／しないにかかわらず、必ず ETRST 端子を 0 にして、リセットしてください。このとき、ETRST 端子は ETCK に対して 20 クロックの間、Low レベルに保持してください。その後、H-UDI を起動する場合は ETRST 端子を 1 にして、ETCK、ETMS、ETDI 端子を任意に設定してください。 H-UDI を起動しない通常動作の場合は、 ETRST、ETCK、ETMS、ETDI 端子は 1 もしくはハイインピーダンスに設定してください。これらの端子はチップ内部でプルアップされますので、スタンバイ時注意してください。
	ETMS* <sup>1</sup>	—	—	66	入力	
	ETDO* <sup>1</sup>	—	—	70	出力	
	ETDI* <sup>1</sup>	—	—	73	入力	
	ETCK* <sup>1</sup>	—	—	76	入力	
I/O ポート	P17~P10	49~56	41~48	52~54、 56~60	入出力	8 ビットの入出力端子です。
	P27~P20	40~47	32~39	40~44、 46~48	入出力	8 ビットの入出力端子です。
	P37~P30	64~57	56~49	69~67、 65~61	入出力	8 ビットの入出力端子です。
	P47~P40	8~1	64~57	80~77、 75~74、 72~71	入出力	8 ビットの入出力端子です。
	P52~P50	11~9	3~1	3~1	入出力	3 ビットの入出力端子です。
	P67~P60	38~31	30~23	38~35、 33~32、 30、28	入出力	8 ビットの入出力端子です。
	P77~P70	29~22	21~14	26~25、 23~18	入力	8 ビットの入力端子です。

【注】 \*1 SDIP-64、QFP-64 ではサポートしません。そのときの MD2 と ETRST の入力値は 0 固定となります。

\*2 ETRST 端子に印加するパワーオンリセット信号については、以下の注意が必要です。

電源投入時に必ずリセット信号を印加してください。

ボードテストの ETRST 端子が LSI のシステム側の動作に影響がないように回路を分離してください。

LSI のシステムリセットがボードテストの ETRST 端子に影響を与えないように回路を分離してください。

## 1. 概要

---

---

## 2. CPU

---

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

### 2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換  
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本  
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：65 種類  
8/16/32 ビット演算命令  
乗除算命令  
強力なビット操作命令
- アドレッシングモード：8 種類  
レジスタ直接 (Rn)  
レジスタ間接 (@ERn)  
ディスプレイースメント付レジスタ間接 (@(d:16,ERn)/@(d:32,ERn))  
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)  
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)  
イミディエイト (#xx:8/#xx:16/#xx:32)  
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))  
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト  
プログラム：16M バイト  
データ：16M バイト

## 2. CPU

---

- 高速動作  
頻出命令をすべて1~2ステートで実行  
8/16/32ビットレジスタ間加減算：1ステート  
8×8ビットレジスタ間乗算：12ステート (MULXU.B)、13ステート (MULXS.B)  
16÷8ビットレジスタ間除算：12ステート (DIVXU.B)  
16×16ビットレジスタ間乗算：20ステート (MULXU.W)、21ステート (MULXS.W)  
32÷16ビットレジスタ間除算：20ステート (DIVXU.W)
- CPU動作モード：2種類  
ノーマルモード/アドバンスモード
- 低消費電力状態  
SLEEP命令により低消費電力状態に遷移  
CPU動作クロックを選択可能

### 2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成  
MACレジスタは、H8S/2600 CPUのみサポートしています。
- 基本命令  
MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。
- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, Erd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, Erd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

### 2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張  
16ビット×8本の拡張レジスタおよび8ビット×1本のコントロールレジスタを追加
- アドレス空間を拡張  
ノーマルモードのとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能  
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化  
16Mバイトのアドレス空間を有効に使用可能
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
符号付き乗除算命令などを追加  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避/復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張  
8ビット×1本のコントロールレジスタを追加
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避/復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.2 CPU動作モード

H8S/2000 CPUには、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大64Kバイト、アドバンスモードでは16Mバイトです。動作モードはLSIのモード端子によって決まります。

#### 2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造はH8/300 CPUと同一です。

- アドレス空間

最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を図2.2に示します。EXRはスタックされません。詳細は「第4章 例外処理」を参照してください。

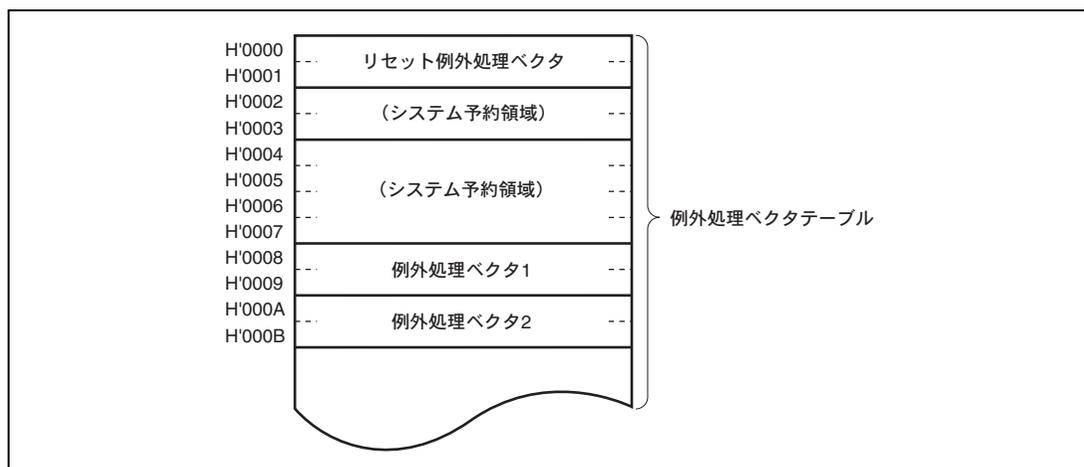


図 2.1 例外処理ベクタテーブル（ノーマルモード）

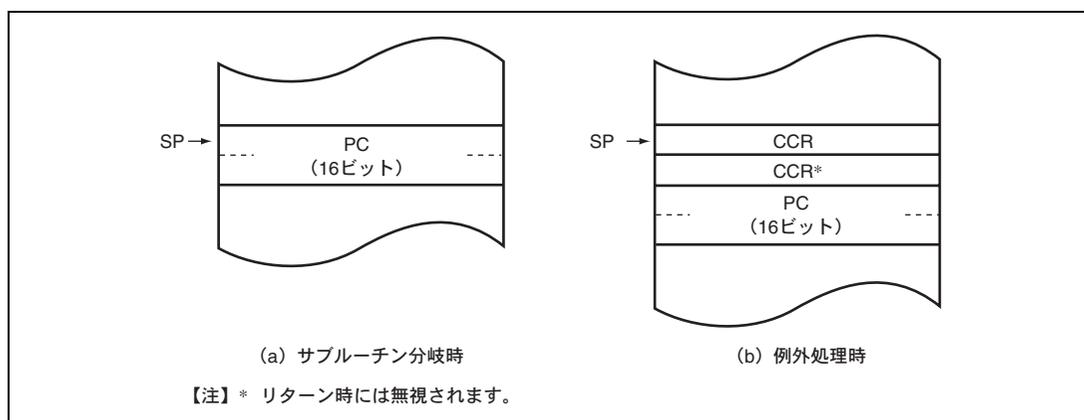


図 2.2 ノーマルモードのスタック構造

## 2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

## 2. CPU

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します（図2.3参照）。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

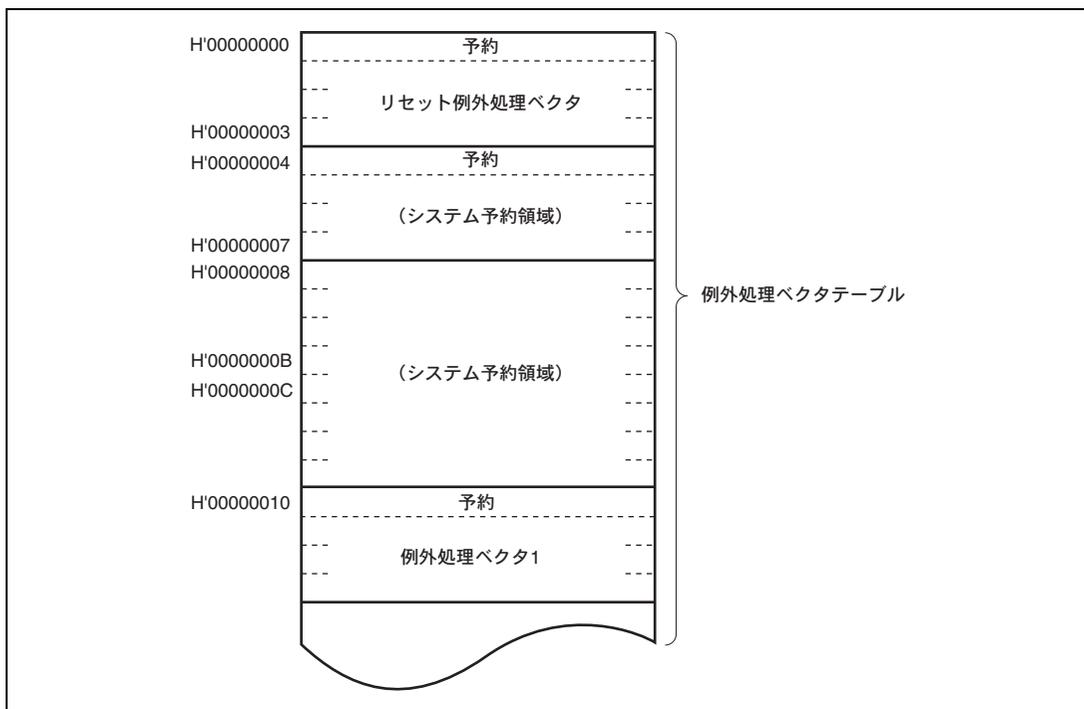


図 2.3 例外処理ベクタテーブル（アドバンストモード）

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンストモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を図2.4に示します。EXRはスタックされません。詳細は「第4章 例外処理」を参照してください。

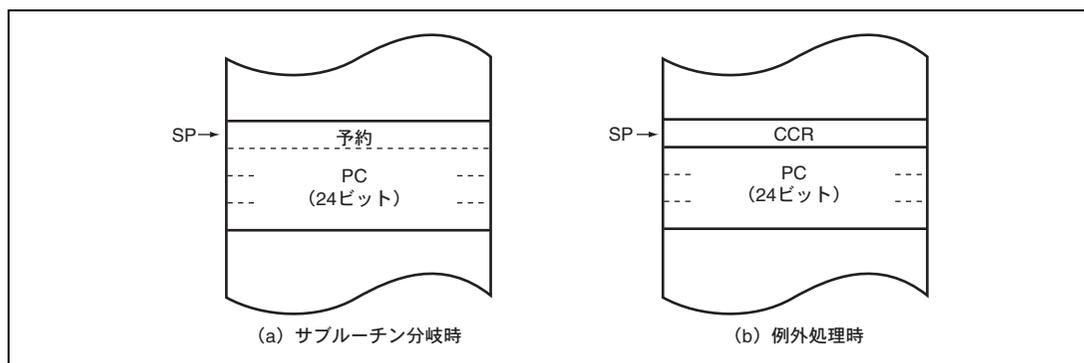


図 2.4 アドバンストモードのスタック構造

## 2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンストモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

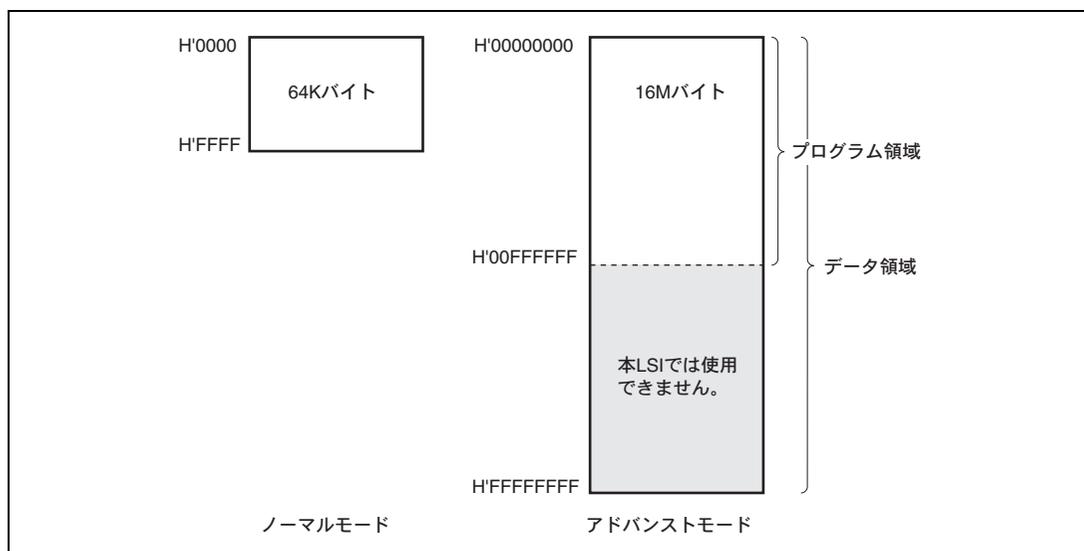


図 2.5 アドレス空間

## 2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

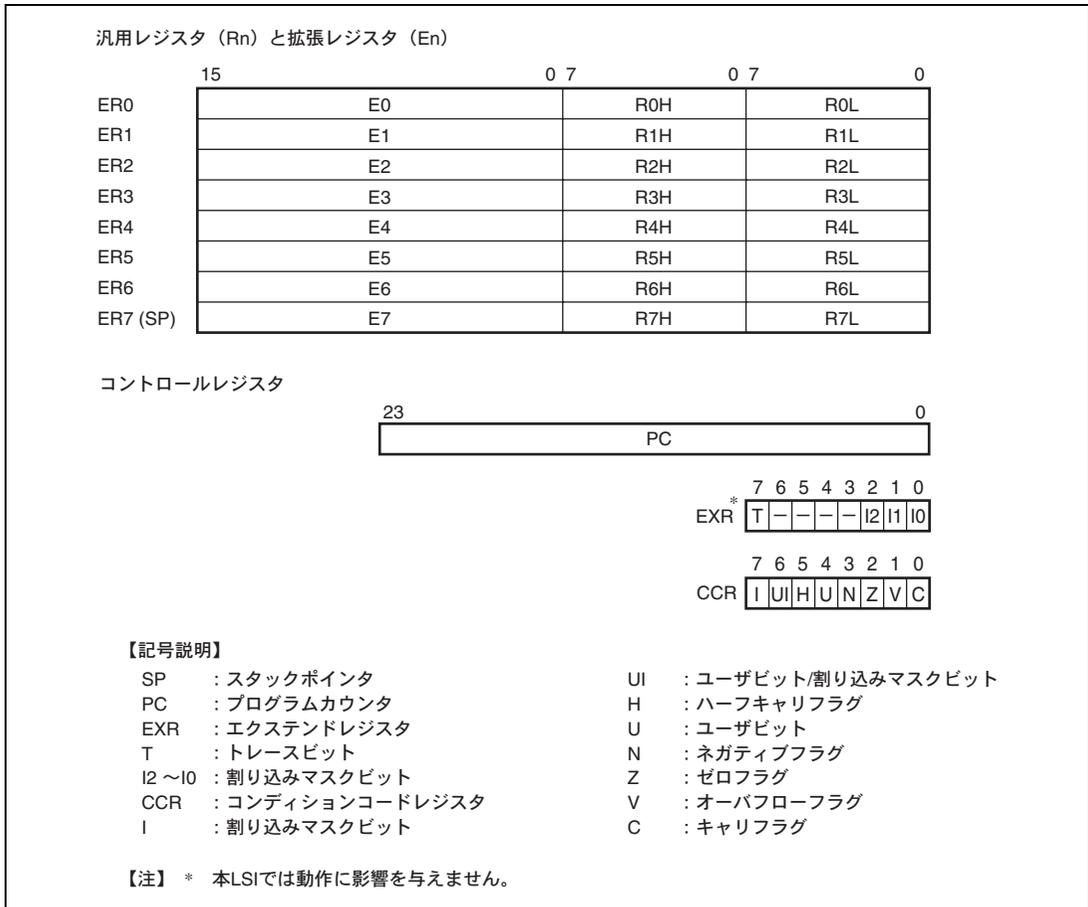


図 2.6 CPU 内部レジスタ構成

## 2.4.1 汎用レジスタ

H8S/2000 CPUは、32ビット長の汎用レジスタを8本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては32ビット、16ビットまたは8ビットレジスタとして使用できます。汎用レジスタの使用方法を図2.7に示します。

アドレスレジスタまたは32ビットレジスタとして使用する場合は一括して汎用レジスタER (ER0~ER7)として指定します。

16ビットレジスタとして使用する場合は汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として指定します。これらは同等の機能を持っており、16ビットレジスタを最大16本まで使用することができます。なお、汎用レジスタE (E0~E7)を特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタとして使用する場合は汎用レジスタRを分割して汎用レジスタRH (R0H~R7H)、汎用レジスタRL (R0L~R7L)として指定します。これらは同等の機能を持っており、8ビットレジスタを最大16本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ (SP)としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図2.8に示します。

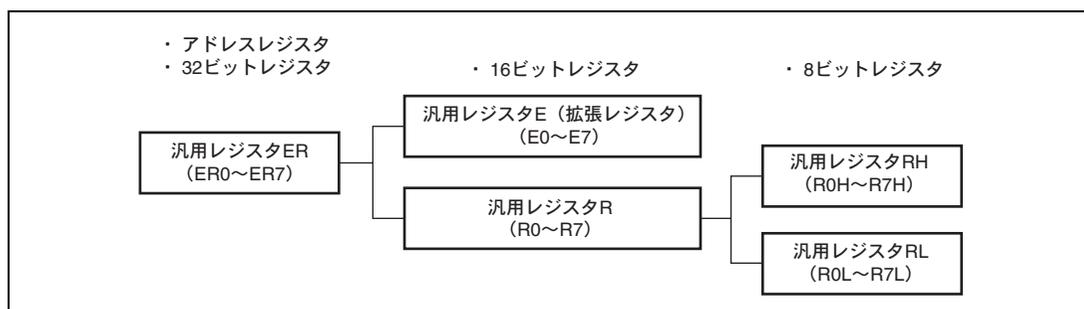


図 2.7 汎用レジスタの使用方法

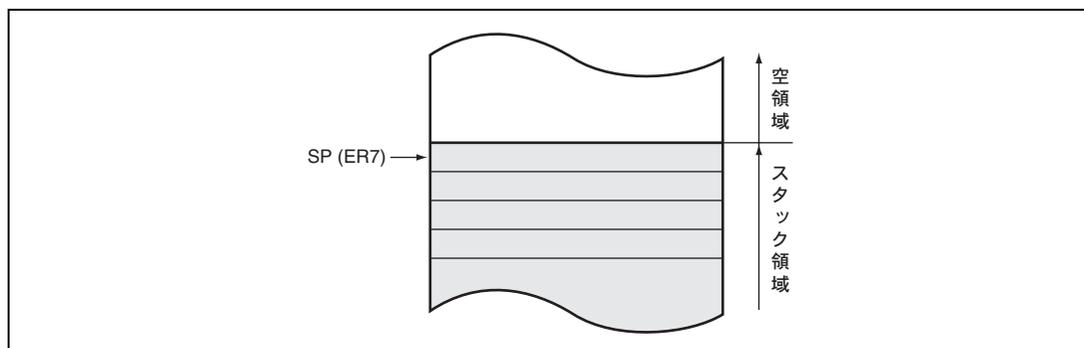


図 2.8 スタックの状態

## 2. CPU

### 2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

### 2.4.3 エクステンדרレジスタ (EXR)

本 LSI では動作に影響を与えません。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット 本 LSI では動作に影響を与えません。
6~3	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。
2~0	I2	1	R/W	割り込みマスクビット 2~0
	I1	1	R/W	本 LSI では動作に影響を与えません。
	I0	1	R/W	

### 2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはポローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
4	U	不定	R/W	ユーザビット ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行により、オーバーフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> <li>• 加算結果のキャリ</li> <li>• 減算結果のボロー</li> <li>• シフト/ローテートのキャリ</li> </ul> また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

### 2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP（ER7）の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

## 2.5 データ形式

H8S/2000 CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0,1,2,\dots,7$ ）という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

### 2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

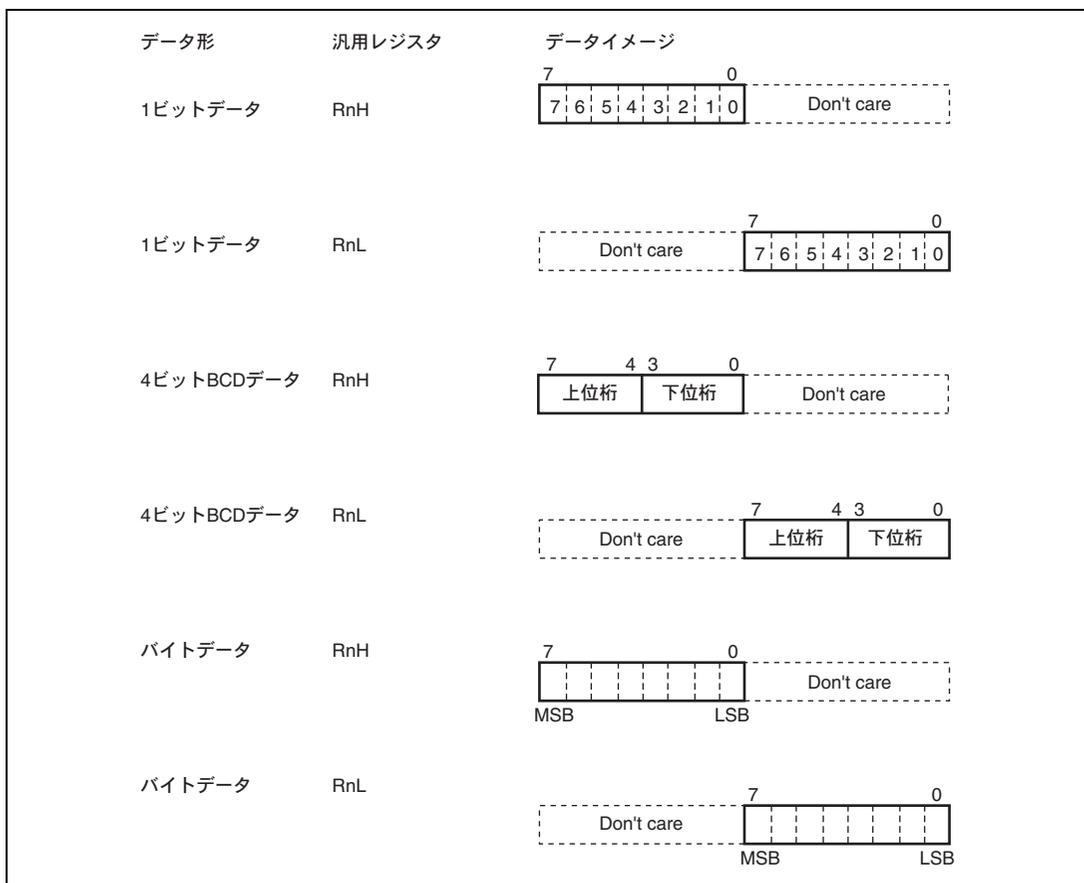


図 2.9 汎用レジスタのデータ形式 (1)

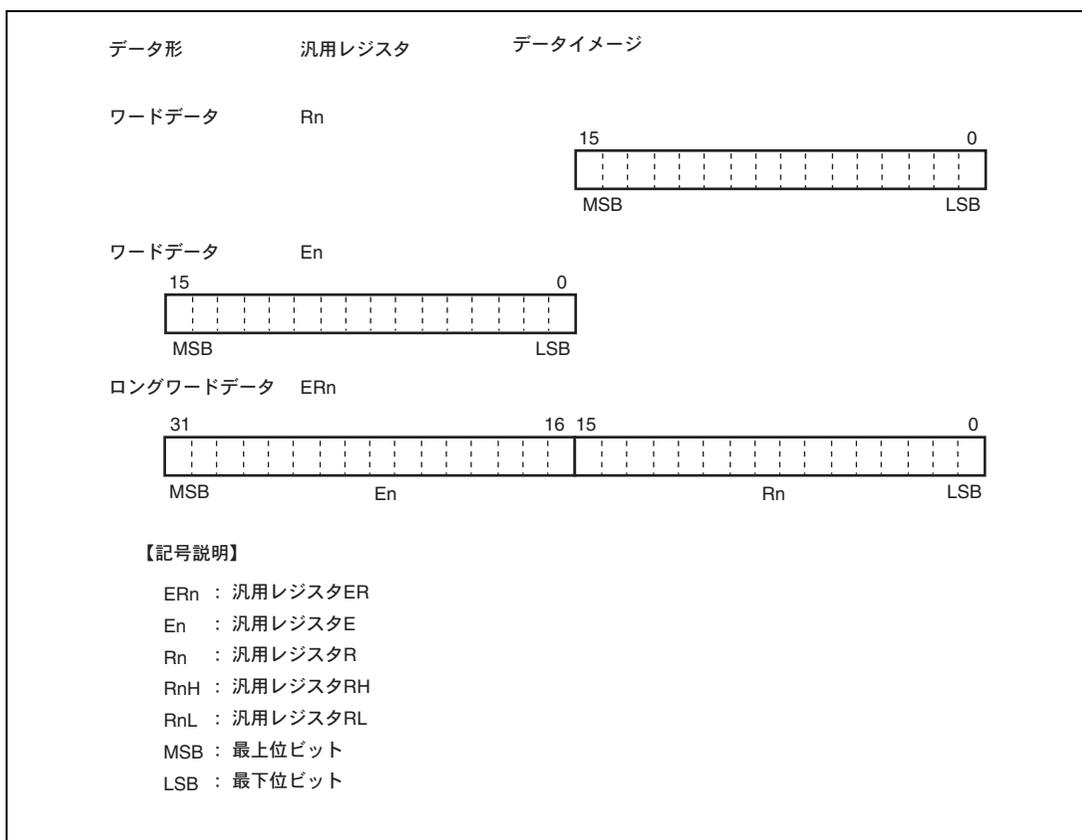


図 2.9 汎用レジスタのデータ形式 (2)

## 2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

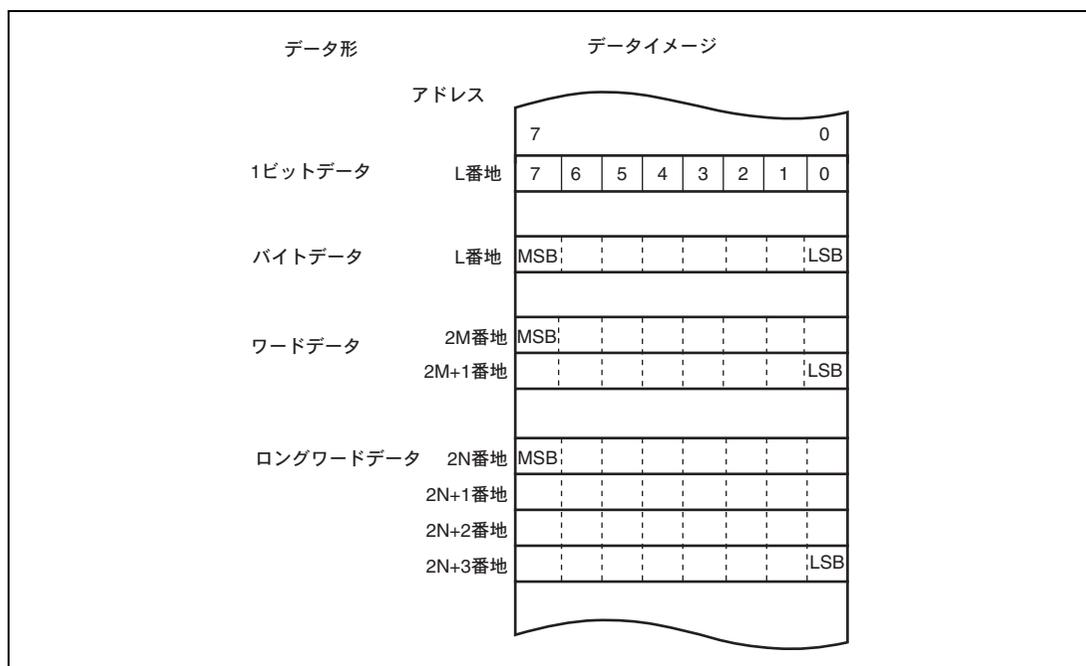


図 2.10 メモリ上でのデータ形式

## 2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * <sup>1</sup> , PUSH * <sup>1</sup>	W/L	
	LDM* <sup>5</sup> , STM* <sup>5</sup>	L	
	MOVFP* <sup>3</sup> , MOVTP* <sup>3</sup>	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* <sup>4</sup>	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * <sup>2</sup> , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EEPMOV	—	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- \*1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn, MOV.W Rn,@-SP と同一です。  
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn, MOV.L ERn,@-SP と同一です。
- \*2 Bcc は条件分岐命令の総称です。
- \*3 本 LSI では使用できません。
- \*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- \*5 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

## 2. CPU

### 2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 \* 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.3 データ転送命令

命令	サイズ* <sup>1</sup>	機能
MOV	B/W/L	(EAs)→Rd, Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* <sup>2</sup>	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* <sup>2</sup>	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

## 2. CPU

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* <sup>1</sup>	機能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット→商8ビット余り8ビット、 32ビット÷16ビット→商16ビット余り16ビットの除算が可能です。
CMP	B/W/L	Rd-Rs、Rd-#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	0-Rd→Rd 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張)→Rd 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張)→Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS* <sup>2</sup>	B	@ERd-0、1 → (<ビット7>of @ERd) メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。

【注】 \*1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

\*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

## 2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd∧Rs→Rd、Rd∧#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd∨Rs→Rd、Rd∨#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd→Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

## 2. CPU

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim(\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim(\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	－	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>CVZ=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>CVZ=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same))</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z∨(N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z∨(N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	CVZ=0	BLS	Low or Same	CVZ=1	BCC(BHS)	Carry Clear(High or Same))	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z∨(N⊕V)=0	BLE	Less or Equal	Z∨(N⊕V)=1
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	CVZ=0																																																			
BLS	Low or Same	CVZ=1																																																			
BCC(BHS)	Carry Clear(High or Same))	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z∨(N⊕V)=0																																																			
BLE	Less or Equal	Z∨(N⊕V)=1																																																			
JMP	－	指定されたアドレスへ無条件に分岐します。																																																			
BSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	－	サブルーチンから復帰します。																																																			

## 2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EPMOV.B	—	if R4L≠0 then Repeat @ER5+→@ER6+ R4L-1→R4L Until R4L=0 else next;
EPMOV.W	—	if R4≠0 then Repeat @ER5+→@ER6+ R4-1→R4 Until R4=0 else next;  ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

## 2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

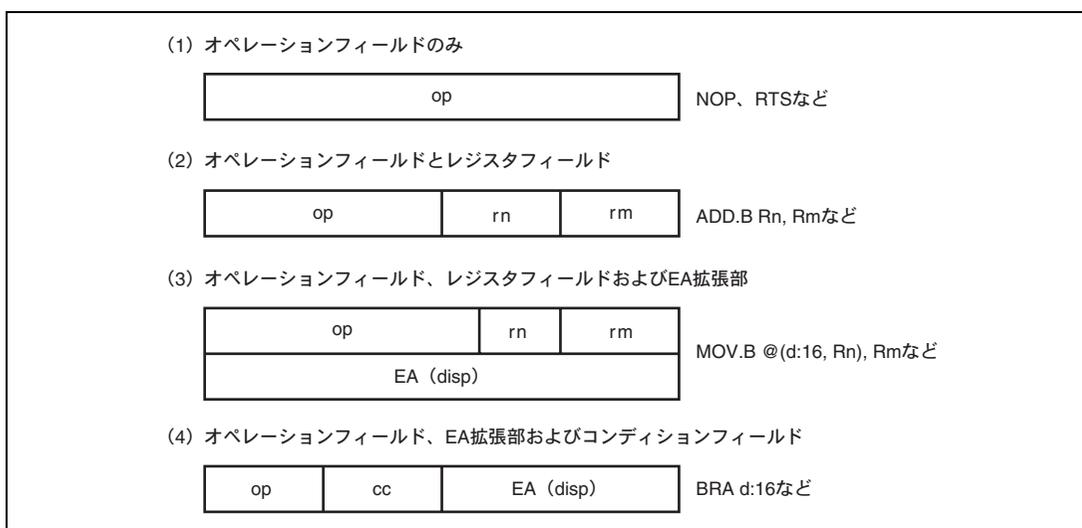


図 2.11 命令フォーマットの例

## 2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPUは表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディस्पレースメント付きレジスタ間接	@(d:16,ERn)/(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/(d:16,PC)
8	メモリ間接	@@aa:8

### 2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

### 2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

### 2.7.3 ディस्पレースメント付きレジスタ間接 @(d:16,ERn) /@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディस्पレースメント、または 32 ビットディस्पレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディस्पレースメントは符号拡張されます。

## 2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

### (1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

### (2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2または4を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

## 2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32) を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24) を使用します。上位8ビットはすべて0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンストモード
データ領域	8ビット (@aa:8)	H'FF00~H'FFFF	H'FFFF00~H'FFFFFF
	16ビット (@aa:16)	H'0000~H'FFFF	H'000000~H'007FFF、 H'FF8000~H'FFFFFF
	32ビット (@aa:32)		H'000000~H'FFFFFF
プログラム領域	24ビット (@aa:24)		

### 2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

### 2.7.7 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

### 2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

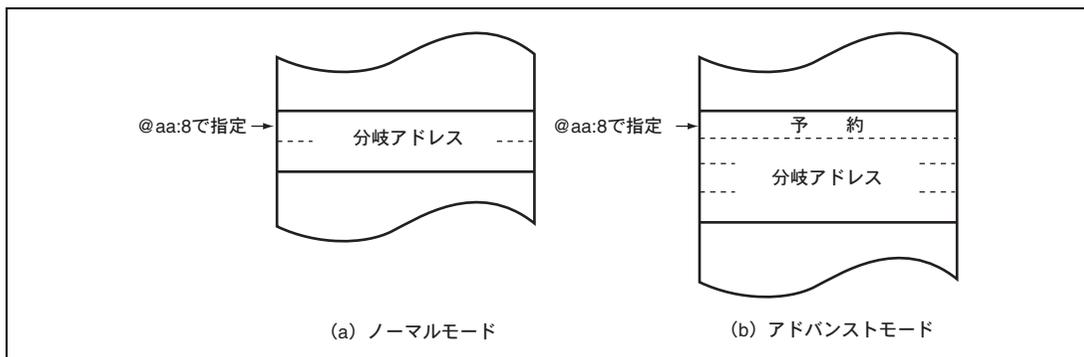


図 2.12 メモリ間接による分岐アドレスの指定

### 2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。  
ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実行アドレスの計算方法 (1)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) 		
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 	 

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

## 2. CPU

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8/#xx:16/#xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード 		
	・アドバンストモード 		

## 2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の5種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

詳細は「第6章 バスコントローラ（BSC）」を参照してください。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第22章 低消費電力状態」を参照してください。

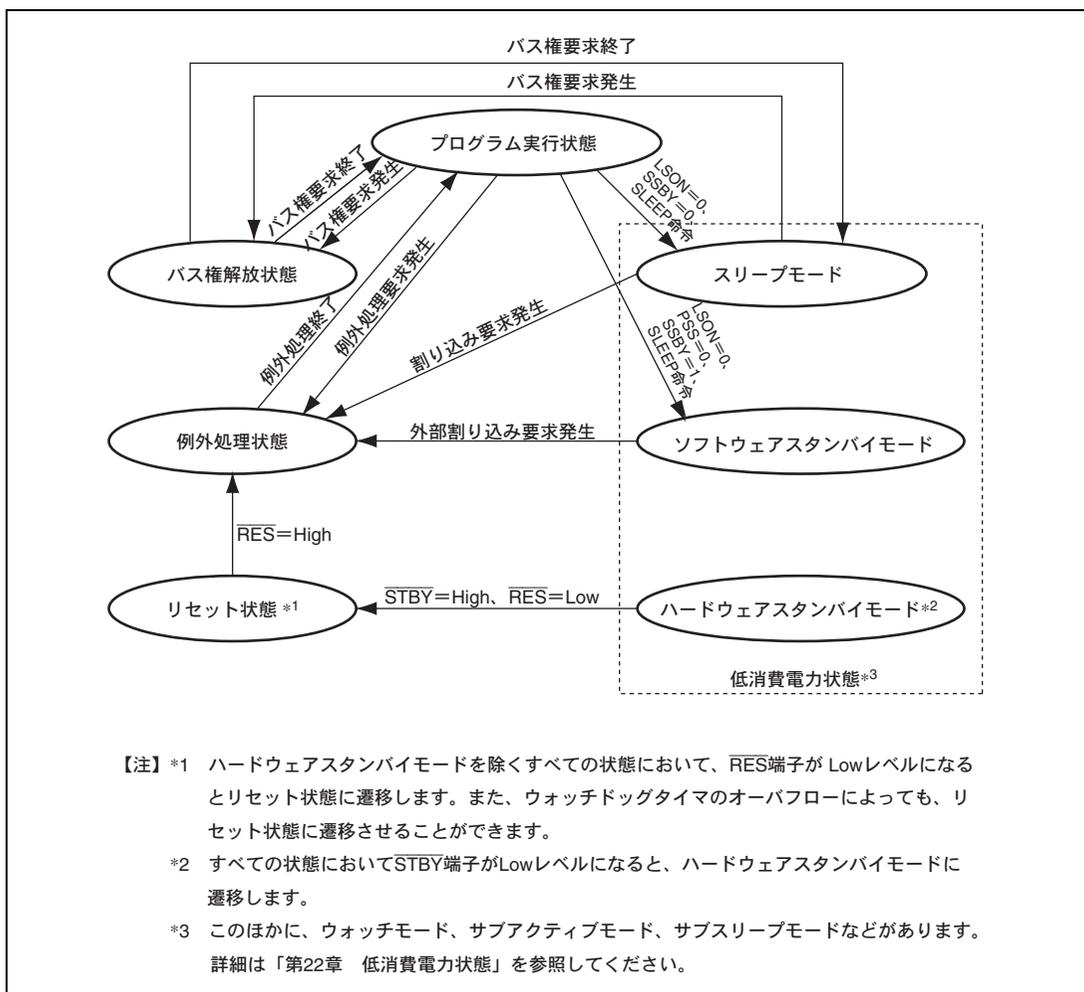


図 2.13 状態遷移図

## 2.9 使用上の注意事項

### 2.9.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

### 2.9.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0—ER1、ER2—ER3、ER4—ER5

3 本 : ER0—ER2、ER4—ER6

4 本 : ER0—ER3

また、ルネサス テクノロジ製 H8S、H8S/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

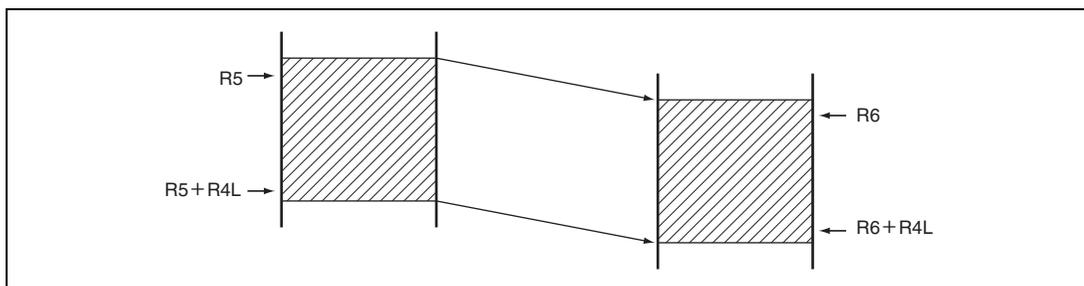
### 2.9.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

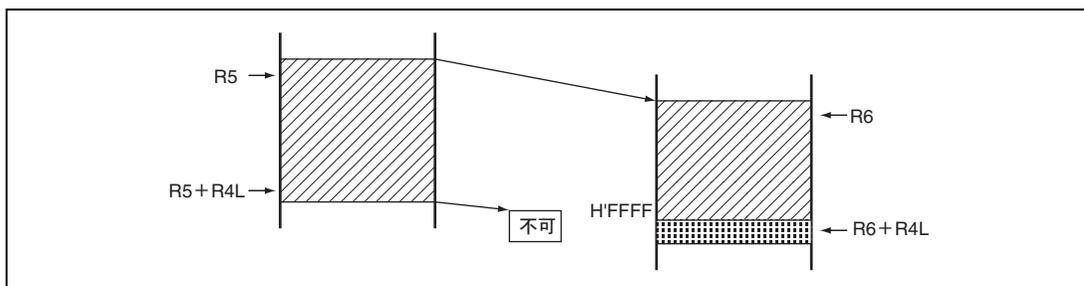
また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

## 2.9.4 EEPMOV 命令

1. EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



2. 転送先の最終アドレス (R6+R4Lの値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF→H'0000とならないように)、R4L、R6を設定してください。



---

## 3. MCU 動作モード

---

### 3.1 動作モードの選択

本 LSI には、5 種類の動作モード（モード 1～3、6、7）があります。動作モードは、モード端子（MD2、MD1、MD0）の設定で決まります。表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2*	MD1	MD0	CPU 動作モード	内 容	内蔵 ROM
1	0	0	1	アドバンスト	内蔵 ROM 無効拡張モード	無効
2	0	1	0	アドバンスト	シングルチップモード、 内蔵 ROM 有効拡張モード	有効
3	0	1	1	ノーマル	シングルチップモード、 内蔵 ROM 有効拡張モード	有効
6	1	1	0	エミュレーション	オンチップエミュレーションモード	有効
7	1	1	1	エミュレーション	オンチップエミュレーションモード	有効

【注】 \* SDIP-64、QFP-64 ではサポートしません。そのときの MD2 の入力値は 0 固定となります。

モード 1 は、内蔵 ROM 無効拡張モードで動作します。オンチップエミュレーションはサポートしていません。

モード 2、3 は、シングルチップモード、内蔵 ROM 有効拡張モードで動作します。

モード 0、4、5 は、本 LSI では使用できません。モード 6、7 は、特殊な動作モードです。したがって、通常のプログラム実行状態では、モード端子は必ずモード 1、2 または 3 になるように設定してください。また、モード端子は動作中に変化させないでください。

モード 6、7 は、オンチップエミュレーションモードです。H-UDI を用いてオンチップエミュレータ（E10A）により制御され、オンチップエミュレーションが可能です。SDIP-64、QFP-64 ではサポートしません。

### 3. MCU 動作モード

## 3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)
- シリアルタイムコントロールレジスタ (STCR)

### 3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7	EXPE	0	R/W	拡張モードイネーブル モード 1 1 に固定。ライトは無効です。 モード 2、3 0 : シングルチップモード 1 : 内蔵 ROM 有効拡張モード
6~3	—	すべて 0	R	リザーブビット 初期値を変更しないでください。
2	MDS2	—*1	R	モードセレクト 2~0 モード端子 (MD2、MD1、MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2、MDS1、MDS0 ビットは MD2、MD1、MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。 MDCR をリードすると、モード端子 (MD2、MD1、MD0) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
1	MDS1	—*2	R	
0	MDS0	—*2	R	

【注】 \*1 MD2 端子により決定されます。なお、SDIP-64、QFP-64 ではサポートしません。リードすると常に 0 が読み出されます。

\*2 MD1、MD0 端子により決定されます。

### 3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、システム端子機能の選択、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット 初期値を変更しないでください。
6	IOSE	0	R/W	IOS イネーブル 拡張モード時の $\overline{AS}/\overline{IOS}$ 端子の機能を制御します。 0 : AS 端子 外部エリアアクセス時に Low 出力 1 : IOS 端子 アドレス H'(FF)F000~H'(FF)F7FF の指定アドレスアクセス時に Low 出力
5 4	INTM1 INTM0	0 0	R R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00 : 割り込み制御モード 0 01 : 割り込み制御モード 1 10 : 設定禁止 11 : 設定禁止
3	XRST	1	R	外部リセット リセット要因を表すビットです。リセットは、外部リセット入力、または、ウォッチドッグタイマオーバーフローにより発生できます。 0 : ウォッチドッグタイマオーバーフローで発生 1 : 外部リセットで発生
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0 : NMI 入力の立ち下がりエッジで割り込み要求を発生 1 : NMI 入力の立ち上がりエッジで割り込み要求を発生
1	—	0	R/W	リザーブビット 初期値を変更しないでください。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

### 3. MCU 動作モード

#### 3.2.3 シリアルタイマコントロールレジスタ (STCR)

STCR は、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御、タイマカウンタの入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット 初期値を変更しないでください。
6	IICX1	0	R/W	I <sup>2</sup> C トランスファレートセレクト 1、0
5	IICX0	0	R/W	IIC の動作を制御するビットです。I <sup>2</sup> C バスモードレジスタ (ICMR) の CKS2 ~CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。 転送レートについては、表 16.3 を参照してください。
4	IICE	0	R/W	I <sup>2</sup> C マスタイネーブル IIC のレジスタ (ICCR, ICSR, ICDR/SARX, ICMR/SAR, DDCSWR)、PWMX のレジスタ (DADRAH/DACR, DADRAL, DADR BH/DACNTH, DADRBL/DACNTL)、SCI のレジスタ (SMR, BRR, SCMR) の CPU アクセスを制御します。 0: アドレス H'(FF)FF88~H'(FF)FF89、H'(FF)FF8E~H'(FF)FF8F のエリアは、SCI_1 のレジスタをアクセス アドレス H'(FF)FFA0~H'(FF)FFA1、H'(FF)FFA6~H'(FF)FFA7 のエリアは、SCI_2 のレジスタをアクセス アドレス H'(FF)FFD8~H'(FF)FFD9、H'(FF)FFDE~H'(FF)FFDF のエリアは、アクセス禁止 1: アドレス H'(FF)FF88~H'(FF)FF89、H'(FF)FF8E~H'(FF)FF8F のエリアは、IIC_1 のレジスタをアクセス アドレス H'(FF)FFA0~H'(FF)FFA1、H'(FF)FFA6~H'(FF)FFA7 のエリアは、PWMX のレジスタをアクセス アドレス H'(FF)FFD8~H'(FF)FFD9、H'(FF)FFDE~H'(FF)FFDF のエリアは、IIC_0 のレジスタをアクセス アドレス H'(FF)FEE6 のエリアは DDCSWR をアクセス
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリのレジスタ (FCCS, FPCS, FECS, FKEY, FMATS, FTDAR)、低消費電力状態の制御レジスタ (SBYCR, LPWR CR, MSTPCR H, MSTPCR L)、および周辺モジュールの制御レジスタ (BCR2, WSCR, PCSR, SYSCR2) の CPU アクセスを制御します。 0: アドレス H'(FF)FF80~H'(FF)FF87 のエリアは、低消費電力状態および周辺モジュールの制御レジスタをアクセス アドレス H'(FF)FEA8~H'(FF)FEAE はリザーブエリア 1: アドレス H'(FF)FF80~H'(FF)FF87 エリアはリザーブエリア アドレス H'(FF)FEA8~H'(FF)FEAE はフラッシュメモリの制御レジスタをアクセス

ビット	ビット名	初期値	R/W	説明
2	—	0	R/W	リザーブビット 初期値を変更しないでください。
1	ICKS1	0	R/W	インターナルクロックソースセレクト 1、0
0	ICKS0	0	R/W	タイマコントロールレジスタ (TCR) の CKS2~CKS0 ビットと組み合わせてタイマカウンタ (TCNT) に入力するクロックとカウント条件を選択します。詳細は「13.3.4 タイマコントロールレジスタ (TCR)」を参照してください。

### 3.3 各動作モードの説明

#### 3.3.1 モード 1

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート 1、2 がアドレスバス、ポート 3 がデータバス、ポート 4 の一部がバス制御信号となります。ただし、本 LSI のアドレス出力は最大 16 本であるため、 $\overline{AS}/\overline{IOS}$  端子の I/O ストローブ機能を利用する場合のみ外部アドレスを正確に指定することができます。

モード 1 はオンチップエミュレーションをサポートしていません。

#### 3.3.2 モード 2

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためには MDCR の EXPE ビットを 1 にセットする必要があります。ただし、本 LSI のアドレス出力は最大 16 本であるため、 $\overline{AS}/\overline{IOS}$  端子の I/O ストローブ機能を利用する場合のみ外部アドレスを正確に指定することができます。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2 のリセット後は入力ポートになっていますが、対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート 3 がデータバス、ポート 4 の一部がバス制御信号となります。

#### 3.3.3 モード 3

CPU はノーマルモードでアドレス空間は 64K バイトです。内蔵 ROM は有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためには MDCR の EXPE ビットを 1 にセットする必要があります。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2 はリセット後は入力ポートになっていますが、対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート 3 がデータバス、ポート 4 の一部がバス制御信号となります。

本動作モードでは、内蔵 ROM 容量は 56K バイトに、内蔵 RAM 容量は 4K バイトに制限されます。

### 3. MCU 動作モード

---

#### 3.4 各動作モードにおける端子機能

動作モードにより、ポート1~4の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表3.2に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3
ポート 1		A	P*/A	P*/A
ポート 2		A	P*/A	P*/A
ポート 3		D	P*/D	P*/D
ポート 4	P47	P*/C	P*/C	P*/C
	P46	C*/P	P*/C	P*/C
	P45~P43	C	P*/C	P*/C
	P42~P40	P	P	P

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- \* : リセット直後

### 3.5 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

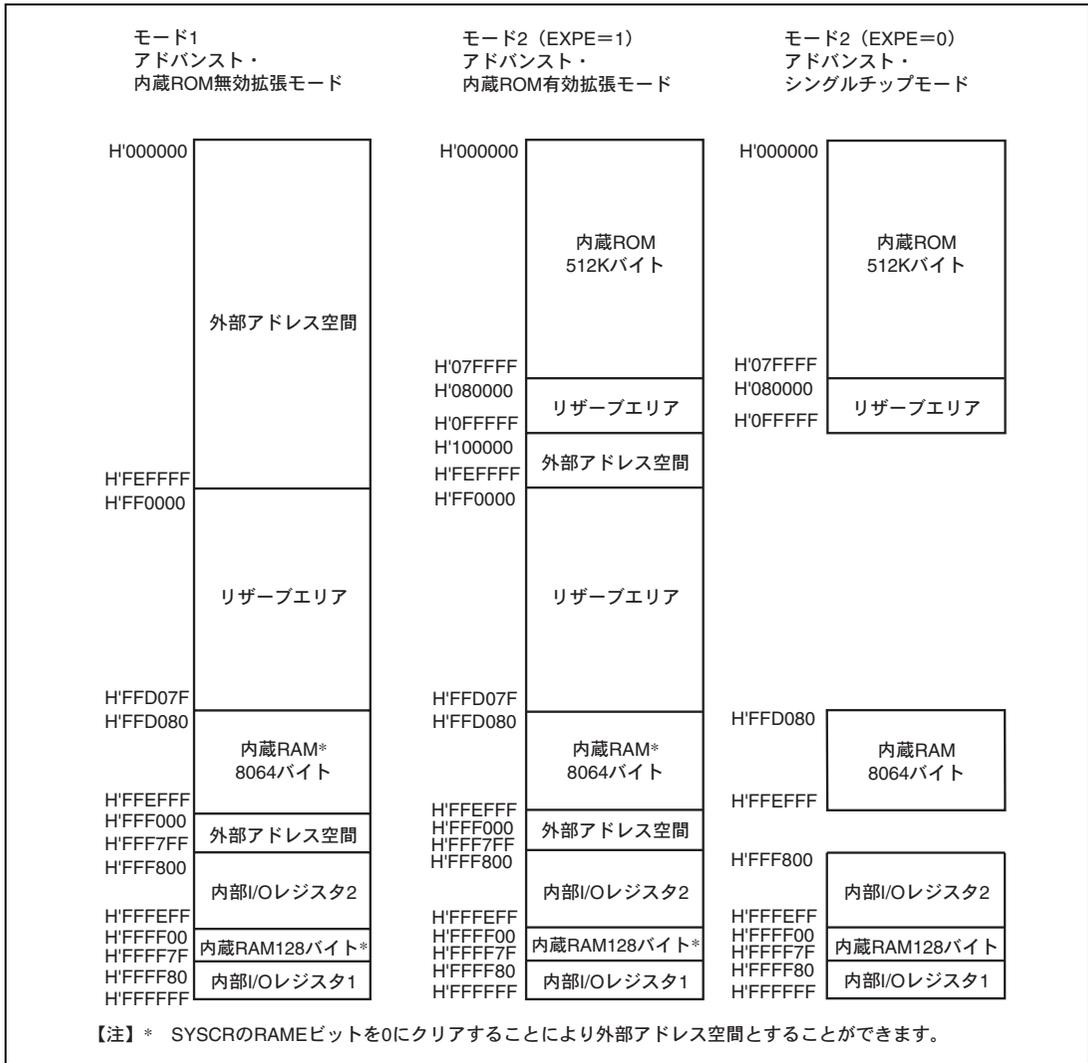


図 3.1 アドレスマップ (1)

### 3. MCU 動作モード

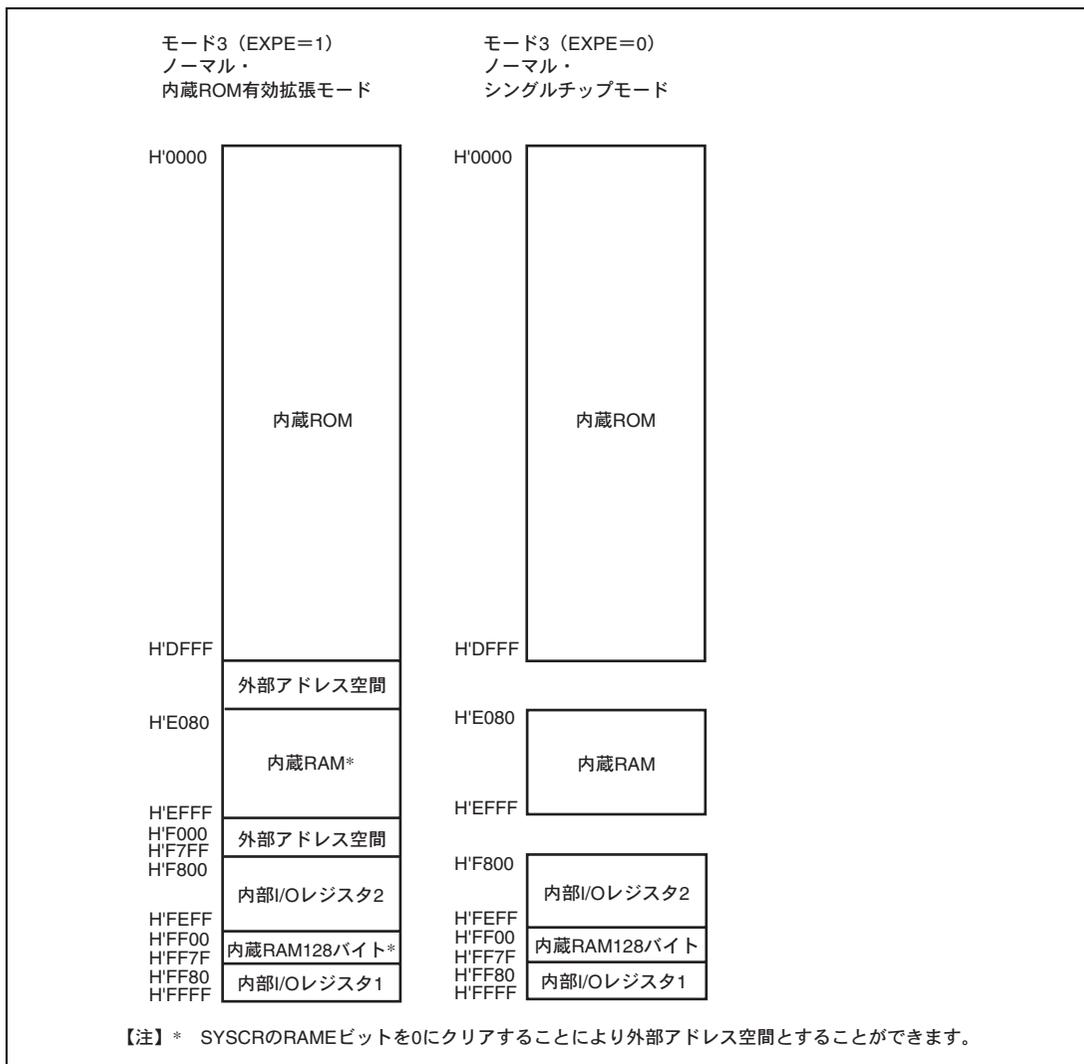


図 3.2 アドレスマップ (2)

---

## 4. 例外処理

---

### 4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すようにリセット、割り込み、直接遷移、およびトラップ命令があります。これらの例外処理要因には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバーフローにより開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	トラップ命令	トラップ (TRAPA) 命令の実行により開始します。 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

## 4. 例外処理

### 4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス	
		ノーマルモード	アドバンスモード
リセット	0	H'0000~H'0001	H'000000~H'000003
システム予約	1	H'0002~H'0003	H'000004~H'000007
	5	H'000A~H'000B	H'000014~H'000017
直接遷移	6	H'000C~H'000D	H'000018~H'00001B
外部割り込み NMI	7	H'000E~H'000F	H'00001C~H'00001F
トラップ命令 (4 要因)	8	H'0010~H'0011	H'000020~H'000023
	9	H'0012~H'0013	H'000024~H'000027
	10	H'0014~H'0015	H'000028~H'00002B
	11	H'0016~H'0017	H'00002C~H'00002F
システム予約	12	H'0018~H'0019	H'000030~H'000033
	15	H'001E~H'001F	H'00003C~H'00003F
外部割り込み IRQ0	16	H'0020~H'0021	H'000040~H'000043
外部割り込み IRQ1	17	H'0022~H'0023	H'000044~H'000047
外部割り込み IRQ2	18	H'0024~H'0025	H'000048~H'00004B
外部割り込み IRQ3	19	H'0026~H'0027	H'00004C~H'00004F
外部割り込み IRQ4	20	H'0028~H'0029	H'000050~H'000053
外部割り込み IRQ5	21	H'002A~H'002B	H'000054~H'000057
外部割り込み IRQ6	22	H'002C~H'002D	H'000058~H'00005B
外部割り込み IRQ7	23	H'002E~H'002F	H'00005C~H'00005F
内部割り込み*	24	H'0030~H'0031	H'000060~H'000063
	127	H'00FE~H'00FF	H'0001FC~H'0001FF

【注】 \* 内部割り込みのベクタテーブルは「5.5 割り込み例外処理ベクタテーブル」を参照してください。

## 4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は  $\overline{\text{RES}}$  端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

### 4.3.1 リセット例外処理

$\overline{\text{RES}}$  端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。

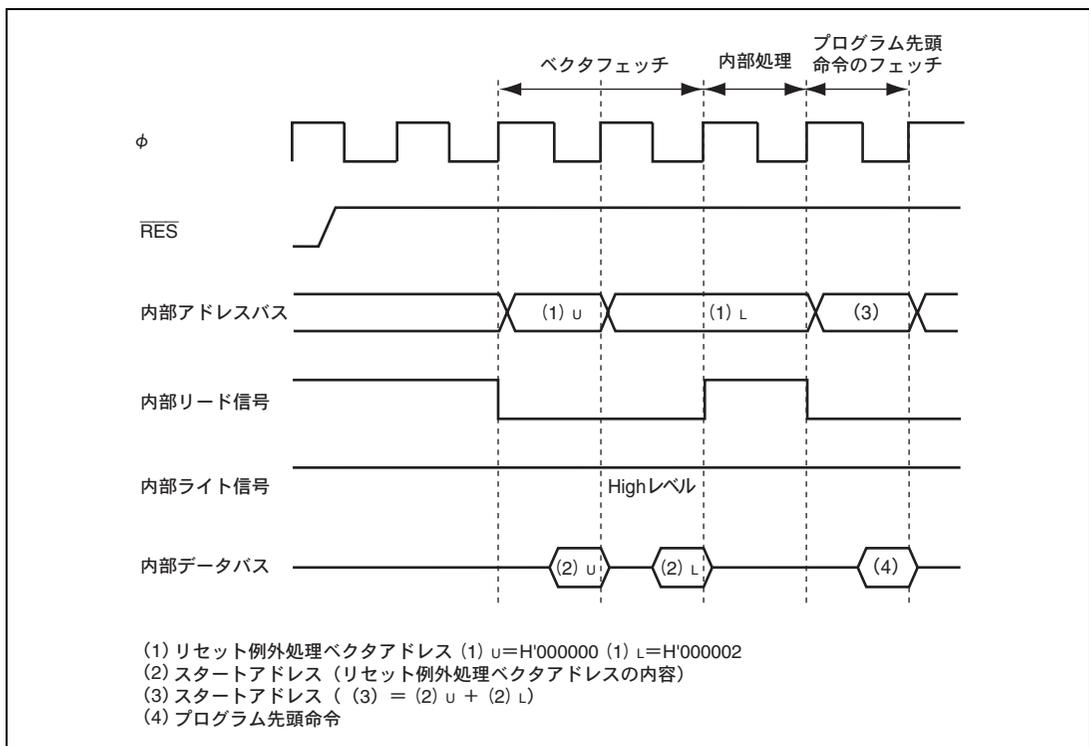


図 4.1 リセットシーケンス (モード 2)

## 4. 例外処理

---

### 4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx: 32, SP)。

### 4.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ (MSTPCR<sub>H</sub>, MSTPCR<sub>L</sub>, MSTPCR<sub>A</sub>, MSTPCR<sub>B</sub>) は初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。モジュールストップモードについての詳細は「第 22 章 低消費電力状態」を参照してください。

## 4.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因 (NMI, IRQ7~IRQ0) と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスを PC にロードしてその番地からプログラムの実行を開始します。

## 4.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディショコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 にトラップ命令例外処理実行後の CCR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1 にセット	実行前の値を保持
1	1 にセット	1 にセット

## 4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

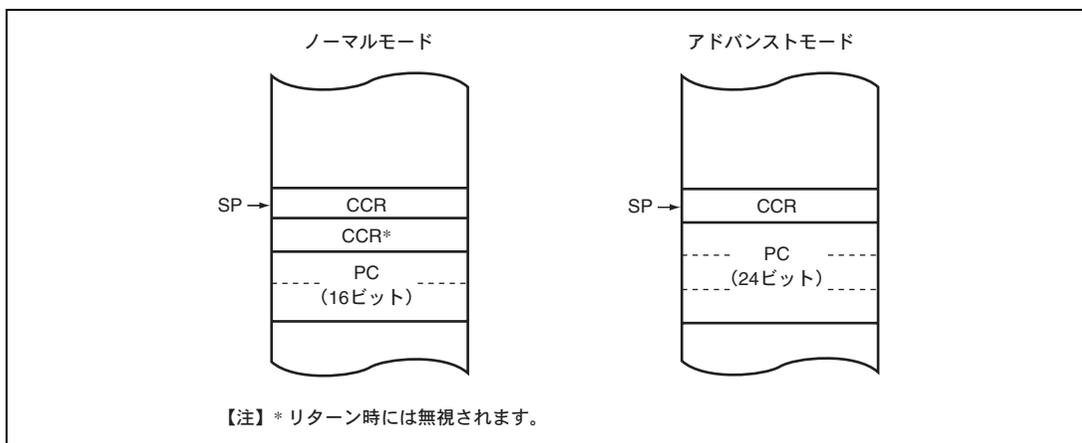


図 4.2 例外処理終了後のスタックの状態

## 4.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したときの動作例を図 4.3 に示します。

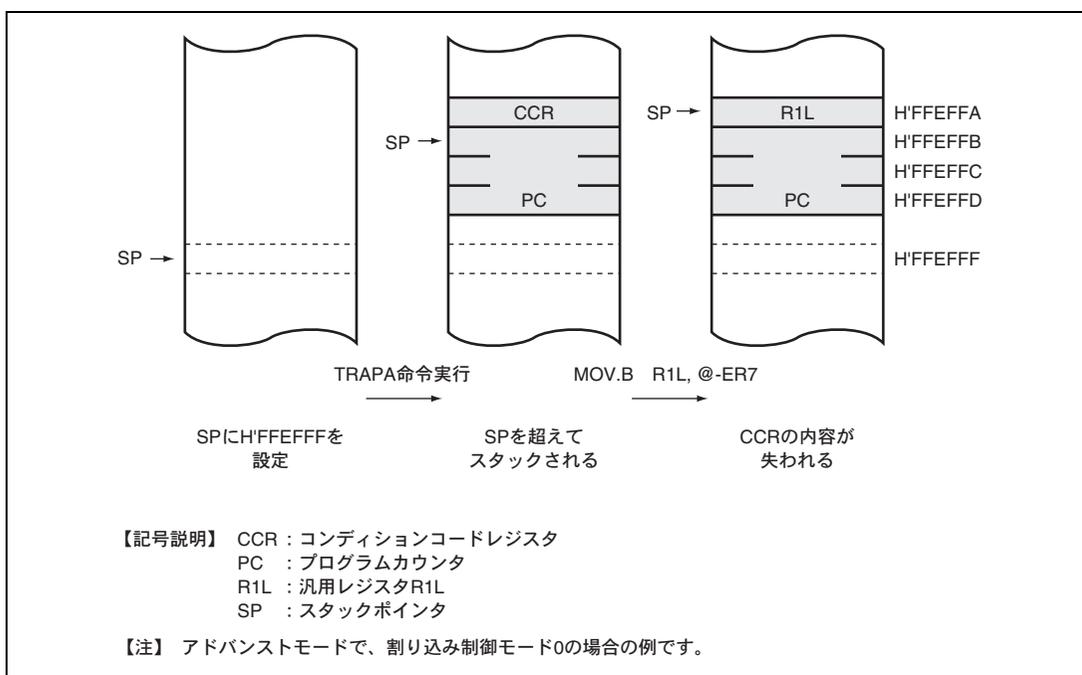


図 4.3 SP を奇数に設定したときの動作

---

## 5. 割り込みコントローラ

---

### 5.1 特長

- 2種類の割り込み制御モード  
システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより2種類の割り込み制御モードを設定できます。
- ICRにより、優先順位を設定可能  
インタラプトコントロールレジスタ (ICR) により、NMI、アドレスブ레이크以外の割り込み要求にはモジュールごとに優先順位を設定できます。
- 3レベルの割り込みマスク制御  
割り込み制御モード、CCRのI、UIビット、およびICRにより3レベルの割り込みマスク制御を行うことができます。
- 独立したベクタアドレス  
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 9本の外部割り込み端子  
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- DTCの制御  
割り込み要求によりDTCを起動することができます。
- $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 入力の兼用ポートの選択が可能

## 5. 割り込みコントローラ

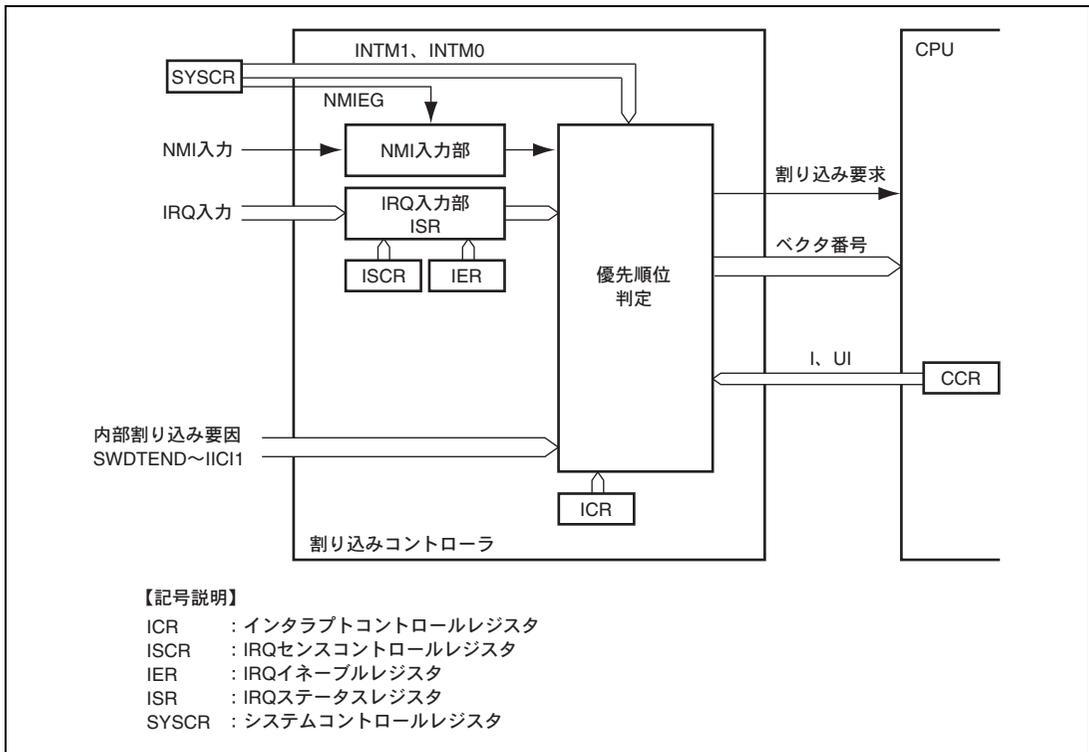


図 5.1 割り込みコントローラのブロック図

## 5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

記号	入出力	機能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
IRQ7~IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。

### 5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- インタラプトコントロールレジスタA~D (ICRA~ICRD)
- アドレスブレイクコントロールレジスタ (ABRKCR)
- ブレークアドレスレジスタA~C (BARA~BARC)
- IRQセンスコントロールレジスタ (ISCRH、ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)

#### 5.3.1 インタラプトコントロールレジスタ A~D (ICRA~ICRD)

ICR は、NMI を除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA~ICRD の対応を表 5.2 に示します。

ビット	ビット名	初期値	R/W	説明
7~0	ICRn7 ~ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0 : 対応する割り込み要因は割り込みコントロールレベル 0 (非優先) 1 : 対応する割り込み要因は割り込みコントロールレベル 1 (優先)

【注】 n : A~D

表 5.2 各割り込み要因と ICR の対応

ビット	ビット名	レジスタ			
		ICRA	ICRB	ICRC	ICRD
7	ICRn7	IRQ0	A/D 変換器	SCI_0	TCM_0
6	ICRn6	IRQ1	FRT	SCI_1	TCM_1
5	ICRn5	IRQ2、IRQ3	—	—	—
4	ICRn4	IRQ4、IRQ5	—	IIC_0	—
3	ICRn3	IRQ6、IRQ7	TMR_0	IIC_1	—
2	ICRn2	DTC	TMR_1	—	—
1	ICRn1	WDT_0	TMR_X、TMR_Y	—	—
0	ICRn0	WDT_1	—	—	—

【注】 n : A~D

— : リザーブビットです。初期値を変更しないでください。

## 5. 割り込みコントローラ

### 5.3.2 アドレスブ레이크コントロールレジスタ (ABRKCR)

ABRKCR は、アドレスブ레이크の制御を行います。CMF フラグ、BIE フラグがいずれも 1 にセットされるとアドレスブ레이크が要求されます。

ビット	ビット名	初期値	R/W	説 明
7	CMF	不定	R	コンディションマッチフラグ アドレスブ레이크要因フラグです。BARA~BARC で設定したアドレスをプリフェッチしたことを示します。 [クリア条件] アドレスブ레이크割り込みを例外処理を実行したとき [セット条件] BIE フラグが 1 のとき、BARA~BARC で設定したアドレスのプリフェッチを実行したとき
6~1	—	すべて 0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。
0	BIE	0	R/W	ブ레이크割り込みイネーブル アドレスブ레이크の許可/禁止を選択します。 0 : 禁止 1 : 許可

### 5.3.3 ブ레이크アドレスレジスタ A~C (BARA~BARC)

BAR は、ブ레이크アドレスを発生させるアドレスを指定します。ブ레이크アドレスは、命令の第 1 バイトが存在するアドレスに設定してください。ノーマルモードでは、アドレス A23~A16 は比較されません。

#### • BARA

ビット	ビット名	初期値	R/W	説 明
7~0	A23~A16	すべて 0	R/W	アドレス 23~16 A23~A16 ビットは、内部アドレスバスの A23~A16 と比較されます。

#### • BARB

ビット	ビット名	初期値	R/W	説 明
7~0	A15~A8	すべて 0	R/W	アドレス 15~8 A15~A8 ビットは、内部アドレスバスの A15~A8 と比較されます。

#### • BARC

ビット	ビット名	初期値	R/W	説 明
7~1	A7~A1	すべて 0	R/W	アドレス 7~1 A7~A1 ビットは、内部アドレスバスの A7~A1 と比較されます。
0	—	0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。

## 5.3.4 IRQ センスコントロールレジスタ (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$  から割り込み要求を発生させる要因を選択します。

## • ISCRH

ビット	ビット名	初期値	R/W	説明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A B A 0 0 : $\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生 0 1 : $\overline{\text{IRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 1 0 : $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 1 1 : $\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=7~4)
6	IRQ7SCA	0	R/W	
5	IRQ6SCB	0	R/W	
4	IRQ6SCA	0	R/W	
3	IRQ5SCB	0	R/W	
2	IRQ5SCA	0	R/W	
1	IRQ4SCB	0	R/W	
0	IRQ4SCA	0	R/W	

## • ISCRL

ビット	ビット名	初期値	R/W	説明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A B A 0 0 : $\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生 0 1 : $\overline{\text{IRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 1 0 : $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 1 1 : $\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=3~0)
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	
0	IRQ0SCA	0	R/W	

## 5. 割り込みコントローラ

### 5.3.5 IRQ イネーブルレジスタ (IER)

IER は、IRQ7~IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQn イネーブル このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。 (n=7~0)
6	IRQ6E	0	R/W	
5	IRQ5E	0	R/W	
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

### 5.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ7~IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)*	[セット条件]
6	IRQ6F	0	R/(W)*	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/(W)*	[クリア条件]
4	IRQ4F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき
2	IRQ2F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 5.4 割り込み要因

### 5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ7～IRQ0 の割り込み要因があります。これらは、すべてソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

#### (2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは  $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$  端子の入力信号により割り込み要求を発生します。IRQ7～IRQ0 割り込みには以下の特長があります。

- IRQ7～IRQ0割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQ7～IRQ0割り込み要求はIERによりマスクできます。
- IRQ7～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

## 5. 割り込みコントローラ

IRQ7~IRQ0 割り込み要求を  $\overline{\text{IRQn}}$  入力の Low レベルで発生するようにした場合、割り込み要求時には当該  $\overline{\text{IRQ}}$  入力を割り込み処理開始まで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該  $\overline{\text{IRQ}}$  入力を High レベルに戻し、かつ ISR の IRQnF ビット (n=7~0) を 0 にクリアしてください。割り込み処理開始前に、当該 IRQ 入力を High レベルに戻すと当該割り込みが実行されない場合があります。

IRQ7~IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてください。また、そのほかの機能の入出力端子としては使用しないでください。

IRQ7~IRQ0 割り込みのブロック図を図 5.2 に示します。

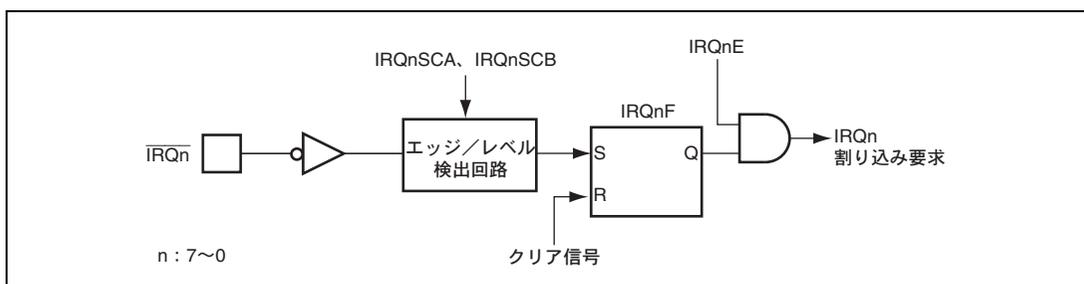


図 5.2 IRQ7~IRQ0 割り込みのブロック図

### 5.4.2 内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。
3. 内蔵周辺モジュールからの割り込み要求によってDTCを起動することができます。
4. 割り込み要求によってDTCを起動する場合は、割り込みモードや、CPUの割り込みマスクビットの影響を受けません。

## 5.5 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。

デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICR のビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルと CCR の I、UI ビットにより、コントロールレベル 1（優先）に設定したモジュールの割り込みは、コントロールレベル 0（非優先）に設定したモジュールの割り込みより優先して処理できます。

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アドバンスモード		
外部端子	NMI	7	H'000E	H'00001C	—	高 ▲
	IRQ0	16	H'0020	H'000040	ICRA7	
	IRQ1	17	H'0022	H'000044	ICRA6	
	IRQ2	18	H'0024	H'000048	ICRA5	
	IRQ3	19	H'0026	H'00004C		
	IRQ4	20	H'0028	H'000050	ICRA4	
	IRQ5	21	H'002A	H'000054		
	IRQ6	22	H'002C	H'000058	ICRA3	
	IRQ7	23	H'002E	H'00005C		
DTC	SWDTEND (ソフトウェア起動データ転送終了)	24	H'0030	H'000060	ICRA2	
WDT_0	WOVI0 (インターバルタイマ)	25	H'0032	H'000064	ICRA1	
WDT_1	WOVI1 (インターバルタイマ)	26	H'0034	H'000068	ICRA0	
—	アドレスブレイク	27	H'0036	H'00006C	—	
A/D 変換器	ADI (A/D 変換終了)	28	H'0038	H'000070	ICRB7	
—	システム予約	29	H'003A	H'000074	—	
		47	H'005E	H'0000BC		
FRT	ICIA (インプットキャプチャ A)	48	H'0060	H'0000C0	ICRB6	
	ICIB (インプットキャプチャ B)	49	H'0062	H'0000C4		
	ICIC (インプットキャプチャ C)	50	H'0064	H'0000C8		
	ICID (インプットキャプチャ D)	51	H'0066	H'0000CC		
	OCIA (アウトプットコンペア A)	52	H'0068	H'0000D0		
	OCIB (アウトプットコンペア B)	53	H'006A	H'0000D4		
	FOVI (オーバフロー)	54	H'006C	H'0000D8		
	システム予約	55	H'006E	H'0000DC		
TCM_0	TIC10 (インプットキャプチャ)	56	H'0070	H'0000E0	ICRD7	
	TCMI0 (コンペアマッチ)	57	H'0072	H'0000E4		
	TOVM10 (MAX 周期オーバフロー)	58	H'0074	H'0000E8		
	TOVI0 (オーバフロー)	59	H'0076	H'0000EC		
						低

## 5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アドバンスモード		
TCM_1	TIC11 (インプットキャプチャ)	60	H'0078	H'0000F0	ICRD6	高 ↑
	TCMI1 (コンペアマッチ)	61	H'007A	H'0000F4		
	TOVMI1 (MAX 周期オーバフロー)	62	H'007C	H'0000F8		
	TOVI1 (オーバフロー)	63	H'007E	H'0000FC		
TMR_0	CMIA0 (コンペアマッチ A)	64	H'0080	H'000100	ICRB3	
	CMIB0 (コンペアマッチ B)	65	H'0082	H'000104		
	OVI0 (オーバフロー)	66	H'0084	H'000108		
	システム予約	67	H'0086	H'00010C		
TMR_1	CMIA1 (コンペアマッチ A)	68	H'0088	H'000110	ICRB2	
	CMIB1 (コンペアマッチ B)	69	H'008A	H'000114		
	OVI1 (オーバフロー)	70	H'008C	H'000118		
	システム予約	71	H'008E	H'00011C		
TMR_X TMR_Y	CMIA Y (コンペアマッチ A)	72	H'0090	H'000120	ICRB1	
	CMIB Y (コンペアマッチ B)	73	H'0092	H'000124		
	OVI Y (オーバフロー)	74	H'0094	H'000128		
	ICIX (インプットキャプチャ)	75	H'0096	H'00012C		
	CMIA X (コンペアマッチ A)	76	H'0098	H'000130		
	CMIB X (コンペアマッチ B)	77	H'009A	H'000134		
	OVI X (オーバフロー)	78	H'009C	H'000138		
	システム予約	79	H'009E	H'00013C		
SCI_0	ERI0 (受信エラー0)	80	H'00A0	H'000140	ICRC7	
	RXI0 (受信完了0)	81	H'00A2	H'000144		
	TXI0 (送信データエンプティ0)	82	H'00A4	H'000148		
	TEI0 (送信終了0)	83	H'00A6	H'00014C		
SCI_1	ERI1 (受信エラー1)	84	H'00A8	H'000150	ICRC6	
	RXI1 (受信完了1)	85	H'00AA	H'000154		
	TXI1 (送信データエンプティ1)	86	H'00AC	H'000158		
	TEI1 (送信終了1)	87	H'00AE	H'00015C		
-	システム予約	88	H'00B0	H'000160	-	
		91	H'00B6	H'00016C		
IIC_0	IIC10 (1バイト送信/受信完了)	92	H'00B8	H'000170	ICRC4	
	システム予約	93	H'00BA	H'000174		
IIC_1	IIC11 (1バイト送信/受信完了)	94	H'00BC	H'000178	ICRC3	
	システム予約	95	H'00BE	H'00017C		
-	システム予約	96	H'00C0	H'000180	-	
		127	H'00FE	H'0001FC		
						低

## 5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード1の2種類のモードがあり、割り込み制御モードによって動作が異なります。NMI 割り込みおよびアドレスブレイク割り込みは、リセット状態やハードウェアスタンバイ状態を除き常に受け付けられます。割り込み制御モードの選択は SYSCR で行います。表 5.4 に割り込み制御モードを示します。

表 5.4 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	Iビットにより割り込みマスク制御を行います。ICRにより優先順位の設定ができます。
1		1	ICR	I、UI	I、UIビットにより3レベルの割り込みマスク制御を行います。ICRにより優先順位の設定ができます。

図 5.3 に優先順位判定回路のブロック図を示します。

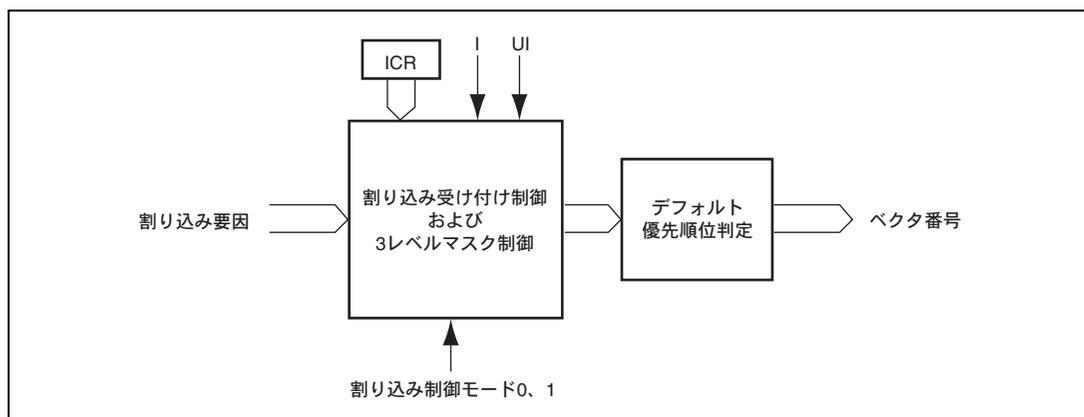


図 5.3 割り込み制御動作のブロック図

## 5. 割り込みコントローラ

### (1) 割り込み受け付け制御および3レベル制御

割り込み制御モード0、1のとき、CCRのI、UIビット、およびICR（割り込みコントロールレベル）により割り込み受け付け制御、3レベルのマスク制御を行います。

表5.5に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.5 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	X	すべての割り込み（割り込みコントロールレベル1を優先）
	1	X	NMI割り込み、アドレスブレイク割り込み
1	0	X	すべての割り込み（割り込みコントロールレベル1を優先）
	1	0	NMI、アドレスブレイク割り込みおよび割り込みコントロールレベル1の割り込み
		1	NMI、アドレスブレイク割り込み

#### 【記号説明】

X : Don't care

### (2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICRに対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表5.6に割り込み制御モードと動作および制御信号機能を示します。

表 5.6 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定			割り込み受け付け制御 3レベル制御			デフォルト優先順位判定
	INTM1	INTM0		I	UI	ICR	
0	0	0	○	IM	—	PR	○
1		1	○	IM	IM	PR	○

#### 【記号説明】

- : 割り込み動作制御を行います。
- IM : 割り込みマスクビットとして使用します。
- PR : 優先順位を設定します。
- : 使用しません。

### 5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIとアドレスブレイク割り込みを除く割り込み要求は、ICRおよびCPUのCCRのIビットによってマスク制御されます。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. CCRのIビットが1にセットされているときは、割り込みコントローラはNMIとアドレスブレイク以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIとアドレスブレイク割り込みを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

## 5. 割り込みコントローラ

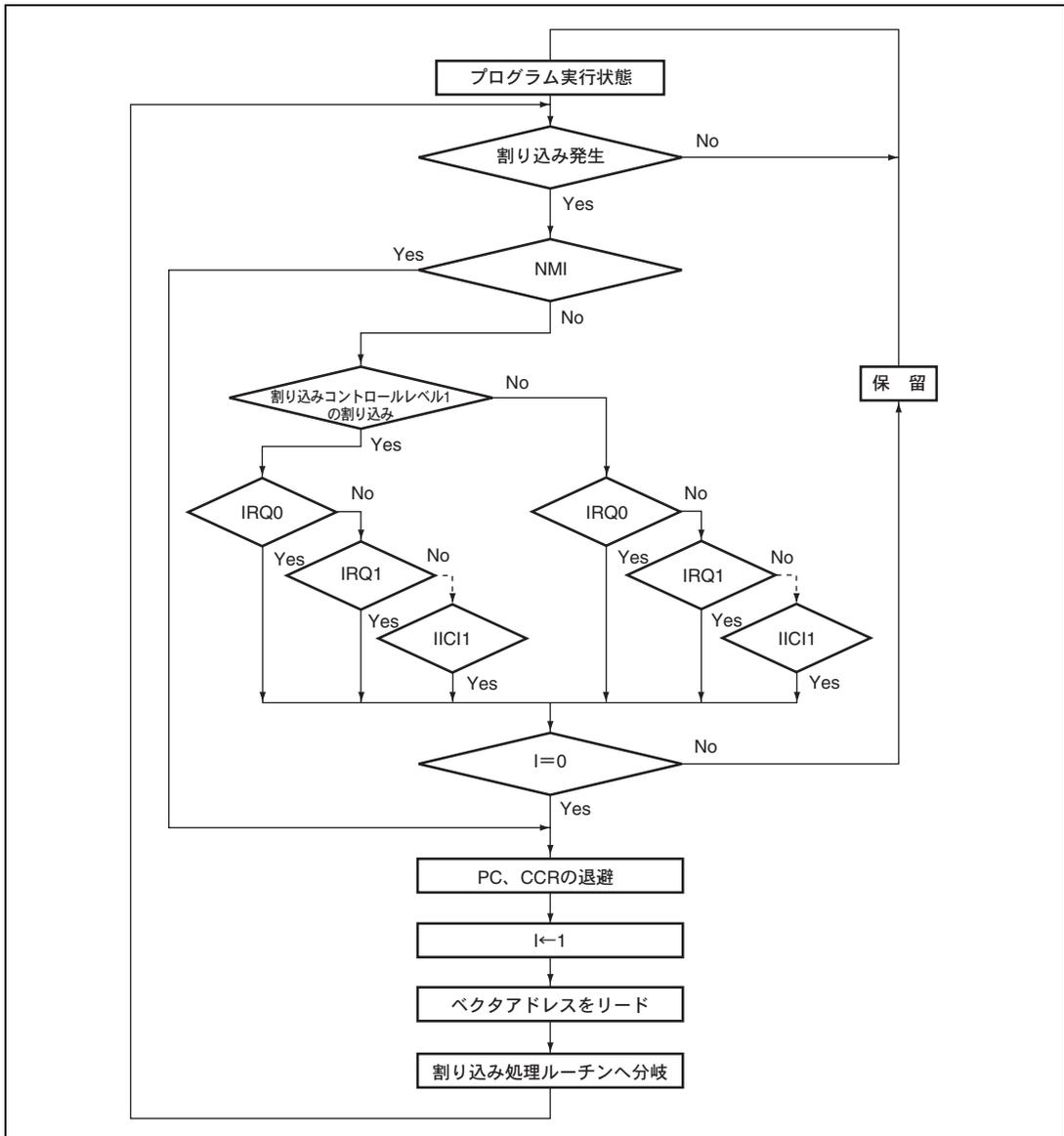


図 5.4 割り込み制御モード 0 の割り込み受け付けまでのフロー

## 5.6.2 割り込み制御モード 1

割り込み制御モード 1 では NMI とアドレスブレイク割り込みを除く割り込み要求は、ICR および CPU の CCR の I、UI ビットによって 3 レベルのマスク制御を行います。

- 割り込みコントロールレベル 0 の割り込み要求は、CCR の I ビットが 0 にクリアされているときは割り込み要求を受け付けます。I ビットが 1 にセットされているときは割り込み要求を保留します。
- 割り込みコントロールレベル 1 の割り込み要求は、CCR の I ビット、または UI ビットが 0 にクリアされているときは割り込み要求を受け付けます。I ビット、および UI ビットがいずれも 1 にセットされているときは割り込み要求を保留します。

例えば各割り込み要求に対応する割り込みイネーブルビットを 1 にセット、ICRA~ICRD をそれぞれ H'20、H'00、H'00 に設定した場合（IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定）、次のようになります。このときの状態遷移を図 5.5 に示します。

- I=0 のときはすべての割り込み要求を受け付けます。  
（優先順位：NMI>IRQ2>IRQ3>IRQ0>IRQ1…）
- I=1、UI=0 のときは NMI、IRQ2、IRQ3 とアドレスブレイクの割り込み要求のみを受け付けます。
- I=1、UI=1 のときは NMI とアドレスブレイクの割り込み要求のみを受け付けます。

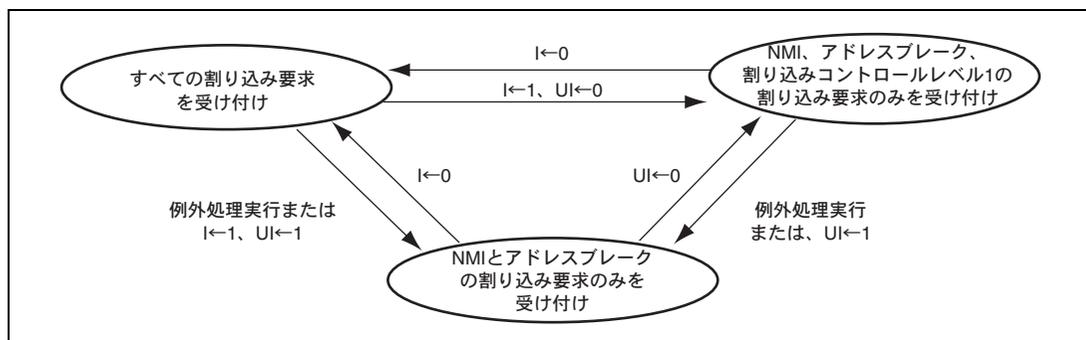


図 5.5 割り込み制御モード 1 の状態遷移

## 5. 割り込みコントローラ

---

割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。  
割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。  
I、UIビットがいずれも1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。  
Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIとアドレスブレイクを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

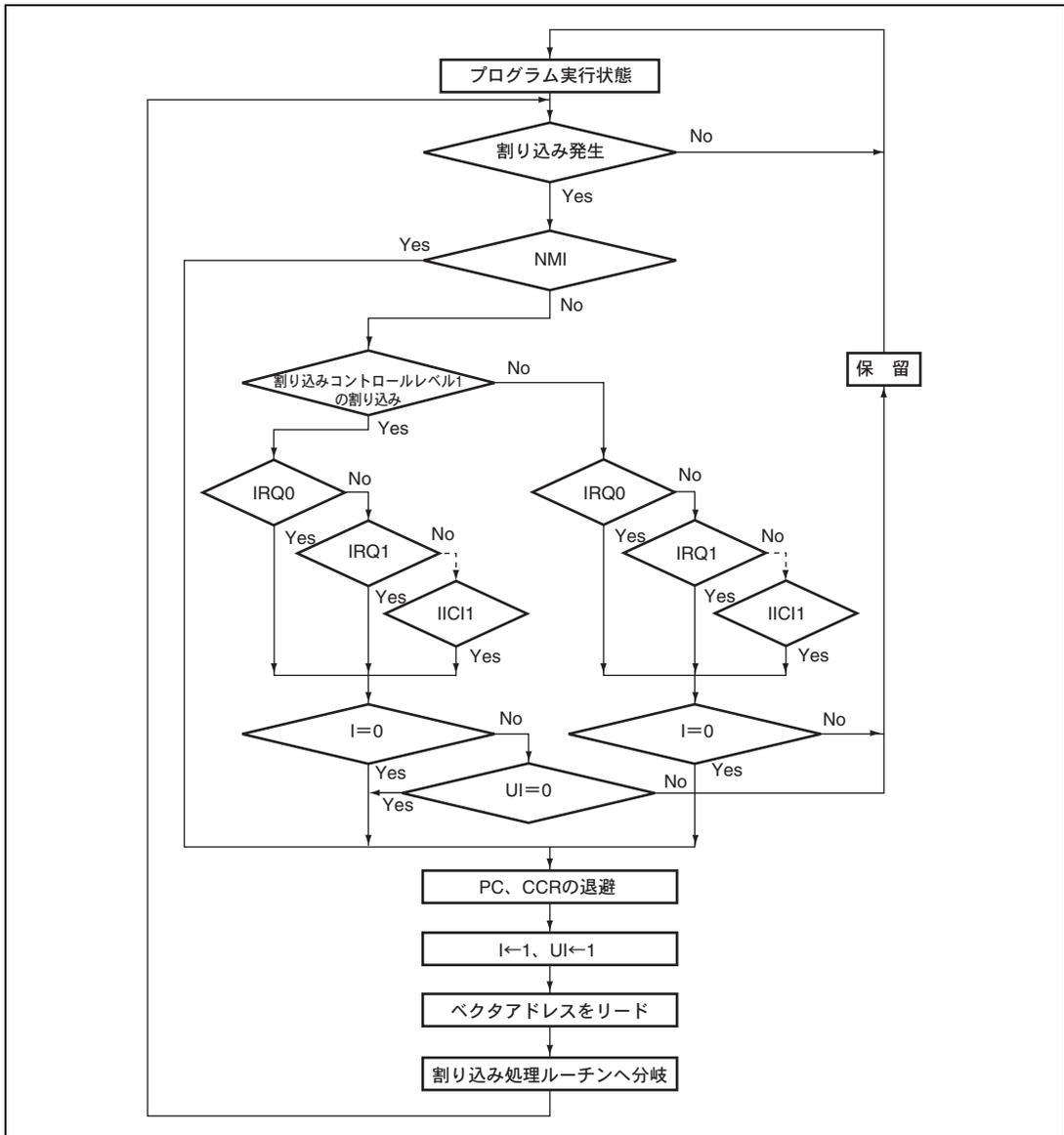


図 5.6 割り込み制御モード 1 の割り込み受け付けまでのフロー

### 5.6.3 割り込み例外処理シーケンス

図 5.7 に割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。

## 5. 割り込みコントローラ

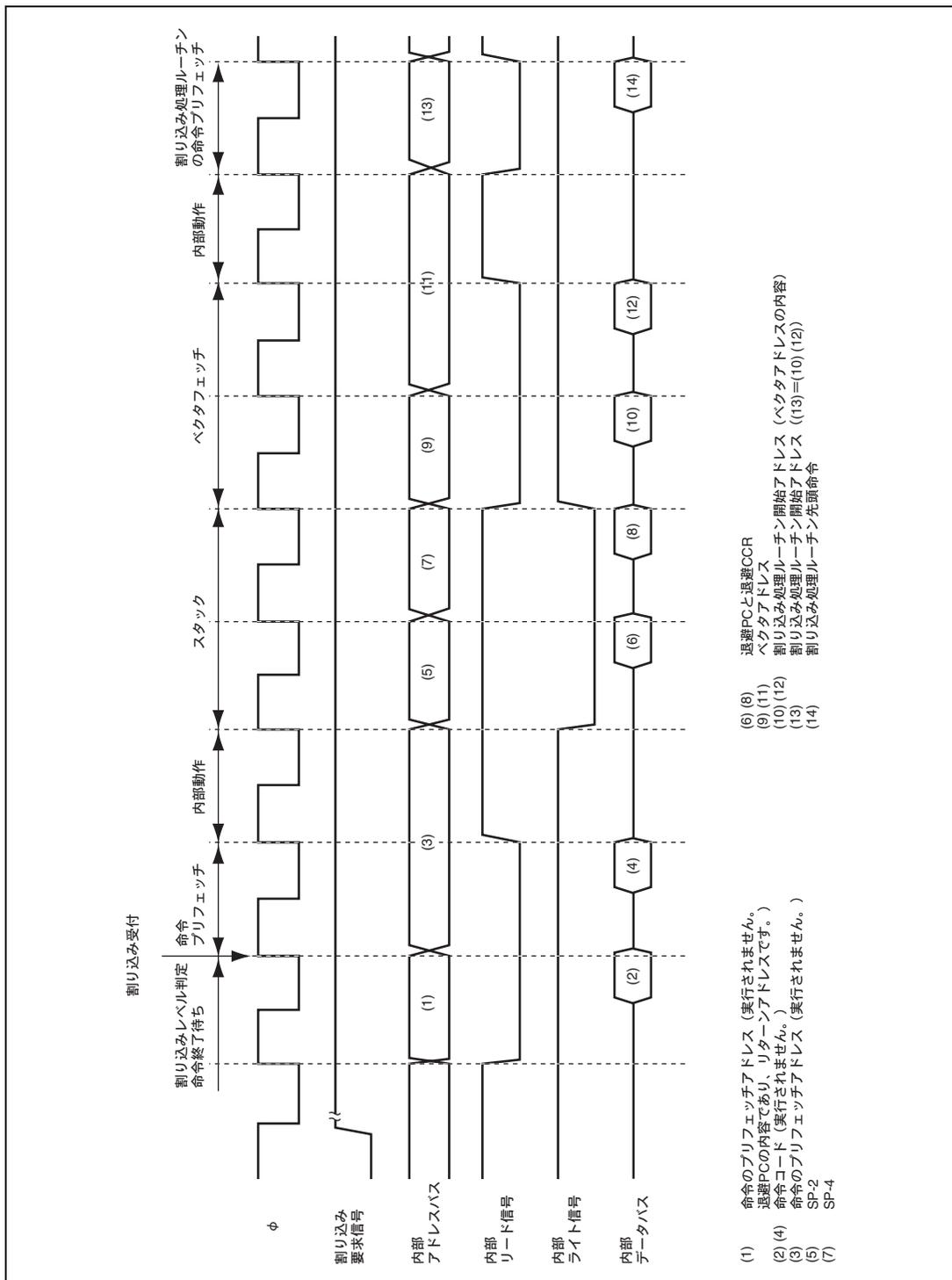


図 5.7 割り込み例外処理

### 5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.7 に示します。表 5.7 の実行状態の記号については表 5.8 を参照してください。

表 5.7 割り込み応答時間

No.	実行状態	ノーマルモード	アドバンスモード
1	割り込み優先順位判定* <sup>1</sup>	3	
2	実行中の命令が終了するまでの待ちステート数* <sup>2</sup>	1 ~ (19 + 2 · S <sub>I</sub> )	
3	PC、CCR のスタック	2 · S <sub>K</sub>	2 · S <sub>K</sub>
4	ベクタフェッチ	S <sub>I</sub>	2 · S <sub>I</sub>
5	命令フェッチ* <sup>3</sup>	2 · S <sub>I</sub>	
6	内部処理* <sup>4</sup>	2	
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32

- 【注】 \*1 内部割り込みの場合 2 ステートとなります。  
 \*2 MULXS、DIVXS 命令について示しています。  
 \*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。  
 \*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.8 割り込み例外処理の実行状態のステート数

記号	アクセス対象		
	内部メモリ	外部デバイス	
		8 ビットバス	
		2 ステートアクセス	3 ステートアクセス
命令フェッチS <sub>I</sub>	1	4	6 + 2m
分岐アドレスリードS <sub>J</sub>			
スタック操作S <sub>K</sub>			

## 【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

## 5. 割り込みコントローラ

### 5.6.5 割り込みによる DTC の起動

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. 1.~2.の複数の選択

なお、DTC を起動できる割り込み要求については、「第 7 章 データトランスファコントローラ (DTC)」を参照してください。図 5.8 に DTC と割り込みコントローラのブロック図を示します。

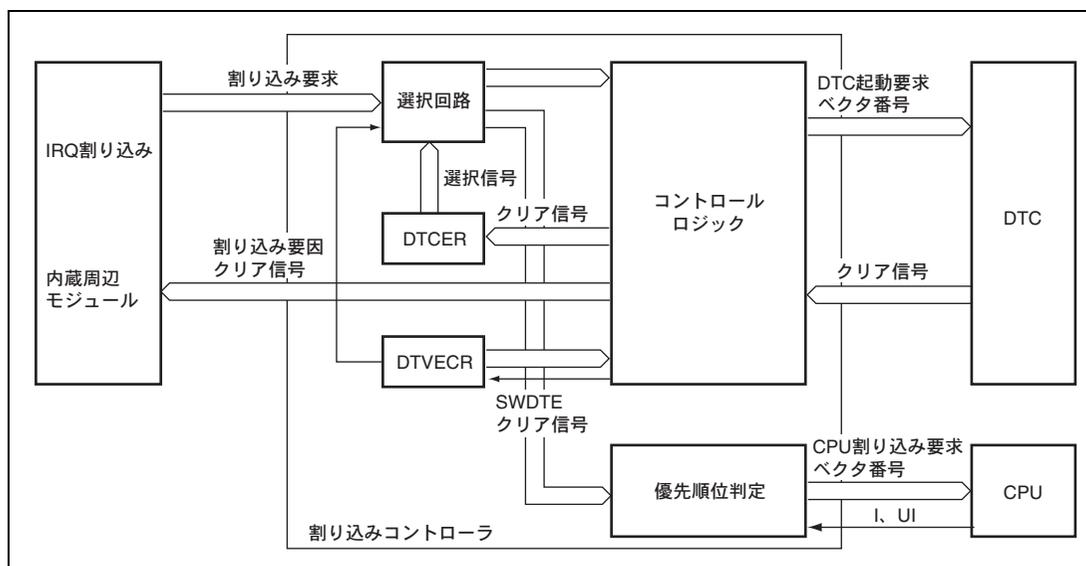


図 5.8 DTC と割り込み制御

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

### (1) 割り込み要因の選択

割り込み要因は、DTCのDTCERA～DTCEREのDTCEビットにより、DTC起動要求とするか、CPU割り込み要求とするかを選択します。DTCのMRBのDISELビットの指定により、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求することができます。なお、DTCが所定回数のデータ転送を行い、転送カウンタが0になった場合には、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求します。

### (2) 優先順位判定

DTCの起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「7.4 レジスタ情報の配置とDTCベクタテーブル」を参照してください。

### (3) 動作順序

同一の割り込みをDTCの起動要因とCPUの割り込み要因に選択した場合、DTCのデータ転送が行われ、その後、CPUの割り込み例外処理が行われます。

表 5.9 に DTC の DTCERA～DTCERE の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.9 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	◎
1	0	◎	×
	1	○	◎

#### 【記号説明】

- ◎ : 当該割り込みを使用します。割り込み要因のクリアを行います。  
(CPUは割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- ×
- \* : Don't care

### 5.7 アドレスブレイク

#### 5.7.1 特長

本 LSI では、ABRKCR、BAR の設定により、CPU による特定アドレスのプリフェッチを判定し、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク割り込みが発生すると、アドレスブレイク割り込み例外処理を実行します。

本機能によりプログラム上、バグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。

#### 5.7.2 ブロック図

アドレスブレイクのブロック図を図 5.9 に示します。

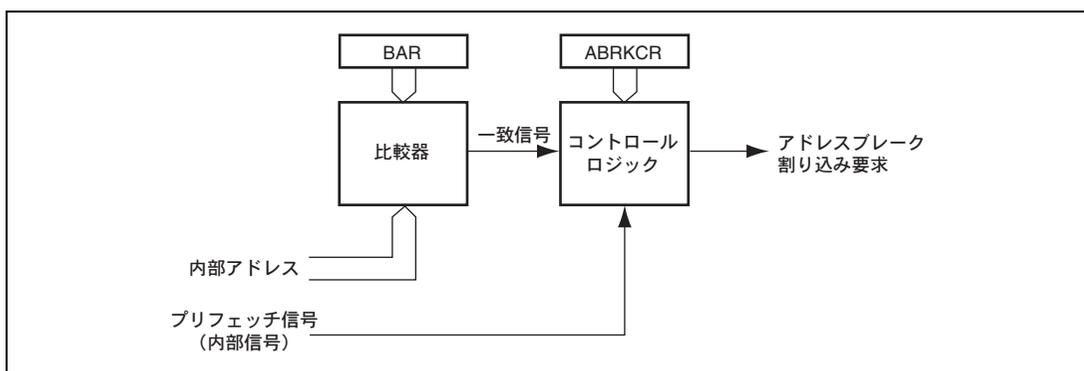


図 5.9 アドレスブレイクのブロック図

#### 5.7.3 動作説明

ABRKCR、BAR の設定により、BAR に設定されたアドレスを CPU がプリフェッチしたときに、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク機能は、プリフェッチした時点で割り込みコントローラに対して、割り込み要求を発生し、割り込みコントローラで優先順位を判定します。割り込みが受け付けられると、そのとき実行中の命令が終了した後、割り込み例外処理を起動します。なお、アドレスブレイク割り込みでは CPU の CCR の I、UI ビットによる割り込みマスク制御は無効です。

アドレスブレイクを使用するときは、次のように各レジスタを設定します。

1. ブレイクアドレスをBARのA23～A1ビットに設定します。
2. ABRKCRのBIEビットを1にセットしてアドレスブレイクを許可します。

BIEビットを0にクリアしている場合、アドレスブレイクは要求されません。

設定条件が成立すると、ABRKCR の CMF フラグが 1 にセットされ、割り込みを要求します。割り込み処理ルーチンで、必要に応じて要因の判定を行ってください。

#### 5.7.4 使用上の注意事項

1. アドレスブレイクでは、ブレイクアドレスを命令の第1バイトが存在するアドレスにしてください。その他のアドレスでは、条件成立とみなされない場合があります。
2. ノーマルモードの場合は、アドレスA23～A16は比較されません。
3. BARで設定したアドレスの直前の命令にブランチ命令（Bcc、BSR）、ジャンプ命令（JMP、JSR）、RTS命令、RTE命令を配置した場合、これらの命令の実行により当該アドレスに対するプリフェッチ信号が出力され、アドレスブレイクが要求される場合があります。これらの命令の直後のアドレスに対するブレイクアドレスの設定を行わない、あるいは割り込み処理ルーチンで、本来の条件成立による割り込み処理であったかの判定を行う、などの対策が必要です。
4. アドレスブレイク割り込みは、内部プリフェッチ信号とアドレスの組み合わせにより発生しますので、設定したアドレスの命令および直前の命令内容、実行サイクルにより、割り込み例外処理の入るタイミングが異なります。図5.10にアドレスタイミング例を示します。

## 5. 割り込みコントローラ

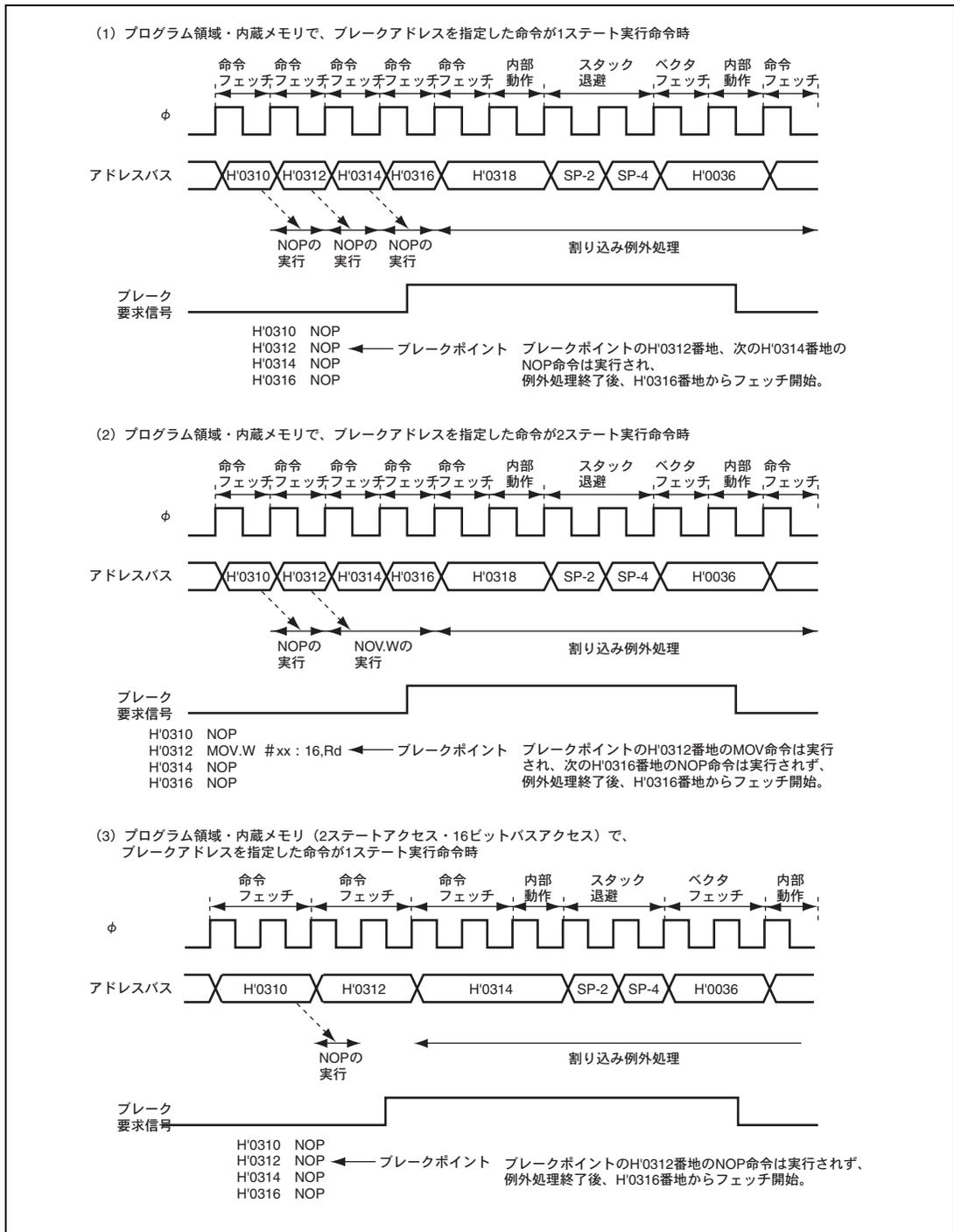


図 5.10 アドレスブレークタイミング例

## 5.8 使用上の注意事項

### 5.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を図 5.11 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

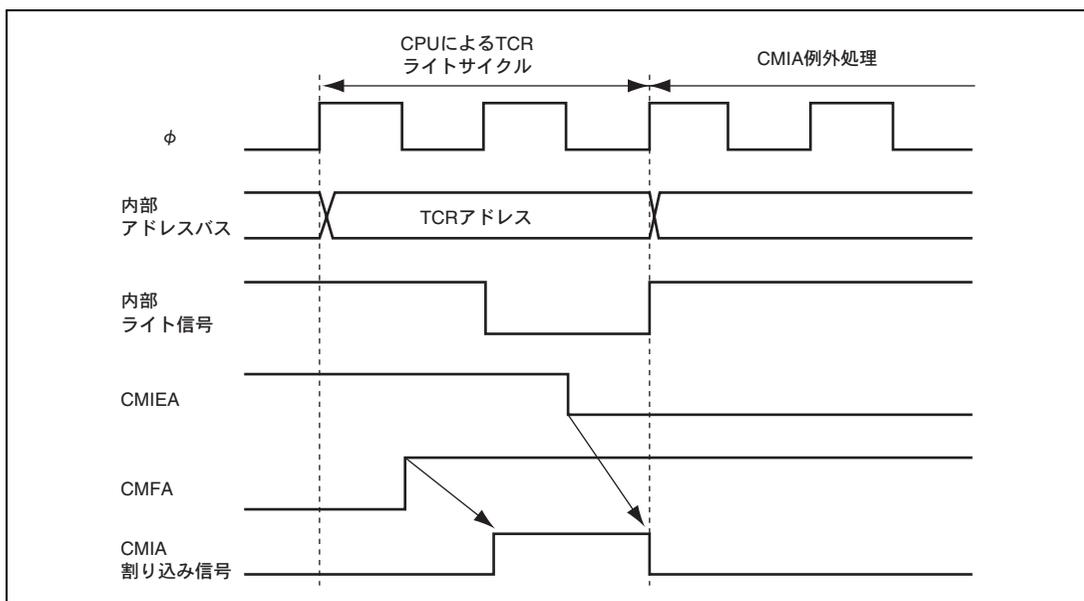


図 5.11 割り込みの発生とディスエーブルの競合

### 5.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

## 5. 割り込みコントローラ

---

### 5.8.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:      EEPMOV.W
        MOV.W   R4, R4
        BNE    L1
```

### 5.8.4 ソフトウェアスタンバイモード、ウォッチモード時の外部割り込み端子について

- ソフトウェアスタンバイモード、ウォッチモード時に外部割り込み端子 ( $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ ) として使用する場合は端子をフローティングとしないでください。
- ソフトウェアスタンバイモード、ウォッチモード時に外部割り込み端子 ( $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ ) を使用する場合、ノイズキャンセラはディスエーブルとしてください。

### 5.8.5 ノイズキャンセラの切り替え

ノイズキャンセラの切り替えは外部割り込み端子 ( $\overline{\text{IRQ3}}\sim\overline{\text{IRQ0}}$ ) を High レベルの状態で行ってください。

### 5.8.6 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により  $\text{IRQnF}=1$  となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。(n=7~0)

---

## 6. バスコントローラ (BSC)

---

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間のバス幅、アクセスステート数などのバス仕様を設定することが可能です。また、BSC はバス調停機能をもっており、内部バスマスタである CPU、データトランスファコントローラ (DTC) の動作を制御します。

### 6.1 特長

- 基本バスインタフェース
  - 2ステートアクセス空間/3ステートアクセス空間を選択可能
  - プログラムウェイトステートを挿入可能
- バーストROMインタフェース
  - 基本拡張エリアをバーストROMインタフェースに設定可能
  - バーストアクセスは1または2ステートを選択可能
- アイドルサイクル挿入
  - 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能
- バス権調停機能 (バスアービトレーション)
  - バスアービタを内蔵し、CPUおよびDTCのバス権を調停

## 6. バスコントローラ (BSC)

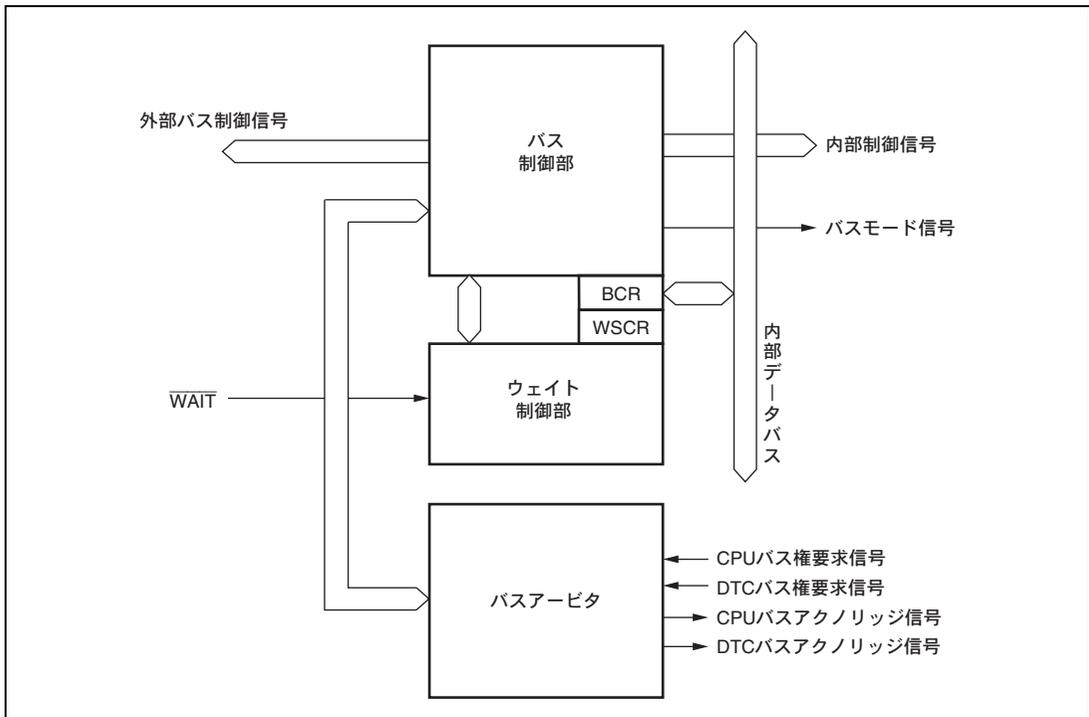


図 6.1 バスコントローラのブロック図

## 6.2 入出力端子

BSC の端子構成を表 6.1 に示します。

表 6.1 端子構成

記号	入出力	機能
$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号 (SYSCR の IOSE=0 の場合)
$\overline{IOS}$	出力	I/O セレクト信号 (SYSCR の IOSE=1 の場合)
$\overline{RD}$	出力	外部アドレス空間をリードしていることを示すストロープ信号
$\overline{WR}$	出力	外部アドレス空間をライトし、データバスが有効であることを示すストロープ信号
$\overline{WAIT}$	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号

## 6.3 レジスタの説明

BSC には以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- バスコントロールレジスタ (BCR)
- ウェイトステートコントロールレジスタ (WSCR)

### 6.3.1 バスコントロールレジスタ (BCR)

BCR は、外部アドレス空間のアクセスモード、 $\overline{AS}$  端子を I/O ストロープ機能に設定したときの I/O 領域の範囲を設定します。

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット 初期値を変更しないでください。
6	ICIS0	1	R/W	アイドルサイクル挿入 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルとバスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない 1: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを 1 ステート挿入する
5	BRSTRM	0	R/W	バースト ROM イネーブル 外部アドレス空間を選択します。 0: 基本バスインタフェース 1: バースト ROM インタフェース
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0: 1 ステート 1: 2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: 最大 4 ワード 1: 最大 8 ワード
2	—	0	R/W	リザーブビット 初期値を変更しないでください。
1	IOS1	1	R/W	IOS セレクト 1、0
0	IOS0	1	R/W	$\overline{IOS}$ 信号を出力するアドレスの範囲を指定します。表 6.3 を参照してください。

## 6. バスコントローラ (BSC)

### 6.3.2 ウェイトステートコントロールレジスタ (WSCR)

WSCR は、外部アドレス空間のデータバス幅、外部アドレス空間のアクセスステート数、および外部アドレス空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内蔵 I/O レジスタのバス幅およびアクセスステート数は WSCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説 明
7	—	1	R/W	リザーブビット
6	—	1	R/W	1 をライトしないでください。
5	ABW	1	R/W	バス幅コントロール 初期値を変更しないでください。
4	AST	1	R/W	アクセスステートコントロール 外部アドレス空間を 2 ステータスアクセス空間とするか、3 ステータスアクセス空間とするか選択します。同時にウェイトステートの挿入を許可または禁止します。 0 : 2 ステートアクセス空間 外部アドレス空間のアクセスにウェイトステートの挿入を禁止 1 : 3 ステートアクセス空間 外部アドレス空間のアクセスにウェイトステートの挿入を許可
3	WMS1	0	R/W	ウェイトモードセレクト 1、0
2	WMS0	0	R/W	AST ビットが 1 にセットされたとき、外部アドレス空間をアクセスするときのウェイトモードを選択します。 00 : プログラムウェイトモード 01 : ウェイト禁止モード 10 : 端子ウェイトモード 11 : 端子オートウェイトモード
1	WC1	1	R/W	ウェイトカウント 1、0
0	WC0	1	R/W	AST ビットが 1 にセットされたとき、外部アドレス空間をアクセスするときのプログラムウェイトステート数を選択します。 00 : プログラムウェイトを挿入しない 01 : プログラムウェイトを 1 ステート挿入 10 : プログラムウェイトを 2 ステート挿入 11 : プログラムウェイトを 3 ステート挿入

## 6.4 バス制御

### 6.4.1 バス仕様

外部アドレス空間のバス仕様は、バス幅、アクセスステート数、ウェイトモード・プログラムウェイトステート数の3つの要素で構成されます。内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの設定の影響を受けません。

#### (1) バス幅

バス幅は、WSCR の ABW ビットにより、8 ビットまたは 16 ビットを選択します。ただし、本 LSI では 16 ビットアクセス空間には設定できません。

#### (2) アクセスステート数

アクセスステート数は、WSCR の AST ビットにより、2 ステートまたは 3 ステートを選択します。2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。

バースト ROM インタフェースでは、AST ビットの設定に関係なくアクセスステート数が決まります。

#### (3) ウェイトモード・プログラムウェイトステート数

WSCR の AST ビットによって 3 ステートアクセス空間に設定したとき、WSCR の WMS1、WMS0、WC1、WC0 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

各エリアの基本バスインタフェースのバス仕様を表 6.2 に示します。

表 6.2 基本拡張エリア/基本バスインタフェースのバス仕様

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様		
						バス幅	アクセスステート数	プログラムウェイトステート数
0	—	—	—	—	—	本 LSI では設定できません		
1	0	—	—	—	—	8	2	0
		1	1	—	—		3	0
	—*	—*	0	0	0	8	3	0
					1			1
					1			0
				1			2	
							3	

【注】 \* WMS1=0 かつ WMS0=1 を除く

## 6. バスコントローラ (BSC)

### 6.4.2 アドバンスモード

外部アドレス空間の初期状態は、基本バスインタフェースで3ステートアクセス空間になっています。内蔵ROM有効拡張モードでは、内蔵ROM、内蔵RAM、内部I/Oレジスタ、および、それらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵RAMおよびそのリザーブエリアは、SYSCRのRAMEビットを1にセットしたときに有効で、RAMEビットを0にクリアすると内蔵RAMおよびそのリザーブエリアは無効になり、対応するアドレスは外部アドレス空間になります。

### 6.4.3 ノーマルモード

外部アドレス空間の初期状態は、基本バスインタフェースで3ステートアクセス空間になっています。内蔵ROM無効拡張モードでは内蔵RAM、内部I/Oレジスタおよびそれらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵ROM有効拡張モードでは、内蔵ROM、内蔵RAM、内部I/Oレジスタおよび、それらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵RAMはSYSCRのRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると内蔵RAMは無効になり、対応するアドレスは外部アドレス空間になります。

### 6.4.4 I/O セレクト信号

本LSIは、I/Oセレクト信号( $\overline{\text{IOS}}$ )を出力することができ、設定された外部アドレス空間をアクセスしたときにLowレベルを出力します。図6.2に、 $\overline{\text{IOS}}$ 信号出カタイミング例を示します。

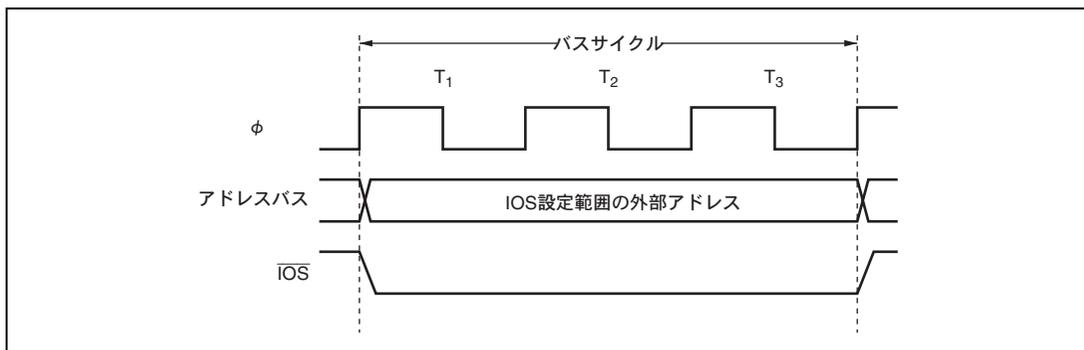


図 6.2  $\overline{\text{IOS}}$  信号出カタイミング

$\overline{\text{IOS}}$  信号の出力の許可または禁止は、SYSCR の IOSE ビットの設定により行います。拡張モードでは、 $\overline{\text{IOS}}$  端子はリセットにより  $\overline{\text{AS}}$  端子として動作しますので、 $\overline{\text{IOS}}$  端子として動作させる場合には IOSE ビットを 1 にセットしてください。詳細は「第 8 章 I/O ポート」を参照してください。

$\overline{\text{IOS}}$  信号を出力するアドレスの範囲は、BCR の IOS1、IOS0 ビットにより設定することができます。 $\overline{\text{IOS}}$  信号を出力するアドレスの範囲を表 6.3 に示します。

表 6.3  $\overline{\text{IOS}}$  信号を出力するアドレスの範囲

IOS1	IOS0	$\overline{\text{IOS}}$ 信号出力範囲
0	0	H'(FF)F000~H'(FF)F03F
	1	H'(FF)F000~H'(FF)F0FF
1	0	H'(FF)F000~H'(FF)F3FF
	1	H'(FF)F000~H'(FF)F7FF (初期値)

## 6.5 基本バスインタフェース

基本バスインタフェースでは ROM、SRAM との直結が可能です。基本バスインタフェースのバス仕様の選択については、表 6.2 を参照してください。

### 6.5.1 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズにはバイト、ワード、ロングワードがあります。BSC はデータアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス (D15~D8) を使用するか下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間または 16 ビットアクセス空間) とデータサイズによって制御します。本 LSI には上位側データバスのみがあり、8 ビットアクセス空間のアライメントのみが適用されます。本 LSI の上位側データバスの端子名は D7~D0 です。

#### (1) 8 ビットアクセス空間

図 6.3 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では常に上位側データバス (D15~D8) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

## 6. バスコントローラ (BSC)

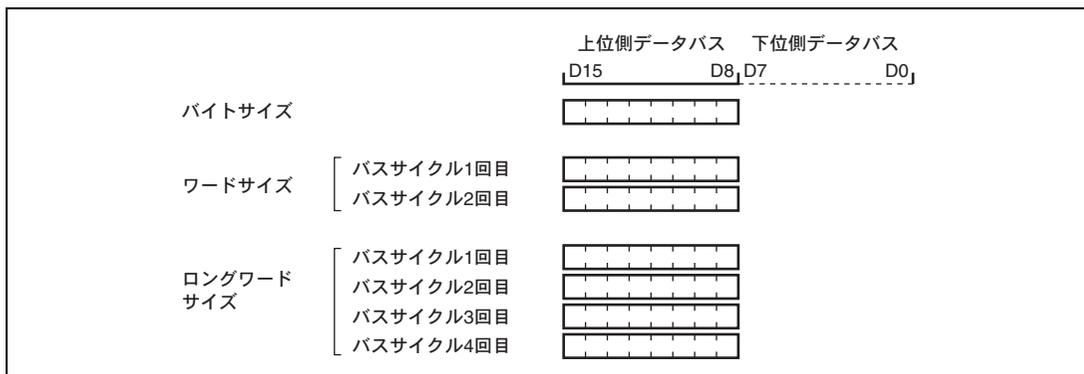


図 6.3 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

### (2) 16 ビットアクセス空間 (本 LSI では使用できません)

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

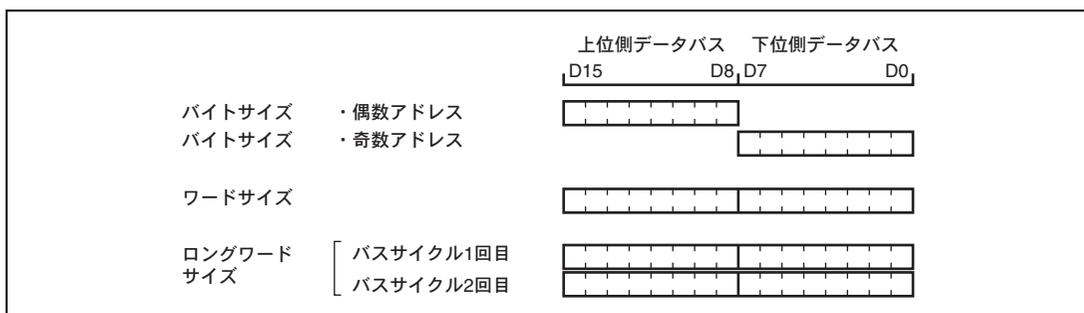


図 6.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

## 6.5.2 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時はデータバスの上位側、下位側の区別なく  $\overline{RD}$  信号が有効です。ライト時はデータバスの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。本 LSI には上位側データバスのみがあり、 $\overline{RD}$  信号、 $\overline{HWR}$  信号のみが有効です。本 LSI の  $\overline{HWR}$  信号の端子名は  $\overline{WR}$  です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15~D8) * <sup>1</sup>	データバス下位 (D7~D0) * <sup>3</sup>
8ビット アクセス空間	バイト	リード	—	$\overline{RD}$	有効	ポート他
		ライト	—	$\overline{HWR}$ * <sup>2</sup>		ポート他
16ビット アクセス空間 (本 LSI では 使用できません)	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数		無効	有効
		ライト	偶数	$\overline{HWR}$	有効	不定
			奇数	$\overline{LWR}$	不定	有効
	ワード	リード	—	$\overline{RD}$	有効	有効
		ライト	—	$\overline{HWR}$ 、 $\overline{LWR}$	有効	有効

- 【注】 不定 : 不定データが出力されます。  
 無効 : 入力状態であり、入力値は無視されます。  
 ポート他 : ポートまたは内蔵周辺機器の入出力端子となり、データバスとしては使用されません。  
 \*1 本 LSI の端子名は D7~D0 です。  
 \*2 本 LSI の端子名は  $\overline{WR}$  です。  
 \*3 本 LSI では端子がありません。

### 6.5.3 基本動作タイミング

(1) 8ビット2ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。ウェイトステートを挿入することはできません。

本 LSI には、データバス下位側 (D7~D0) および  $\overline{\text{LWR}}$  端子は存在しません。本 LSI のデータバス上位側 (D15~D8) の端子名は D7~D0、 $\overline{\text{HWR}}$  信号の端子名は  $\overline{\text{WR}}$  です。

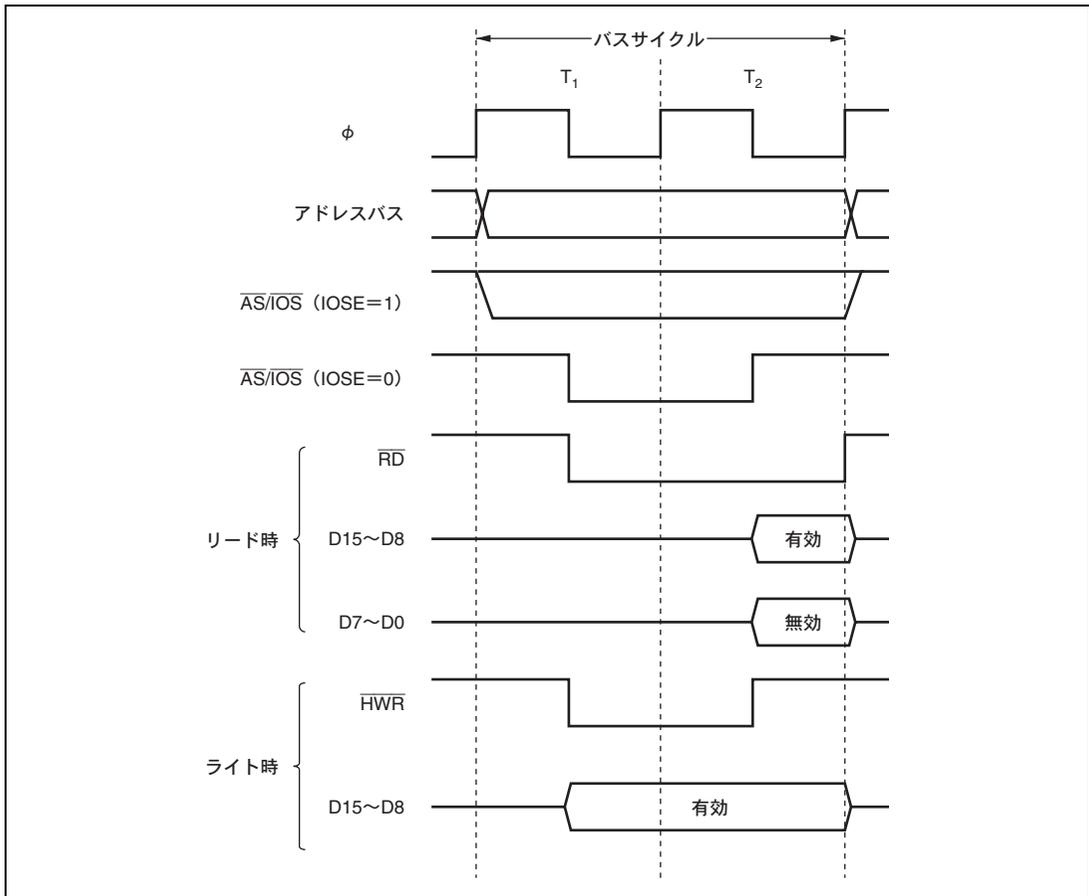


図 6.5 8 ビット 2 ステートアクセス空間のバスタイミング

## (2) 8ビット3ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。ウェイトステートを挿入することができます。

本 LSI には、データバス下位側 (D7~D0) および  $\overline{\text{LWR}}$  端子は存在しません。本 LSI のデータバス上位側 (D15~D8) の端子名は D7~D0、 $\overline{\text{HWR}}$  信号の端子名は  $\overline{\text{WR}}$  です。

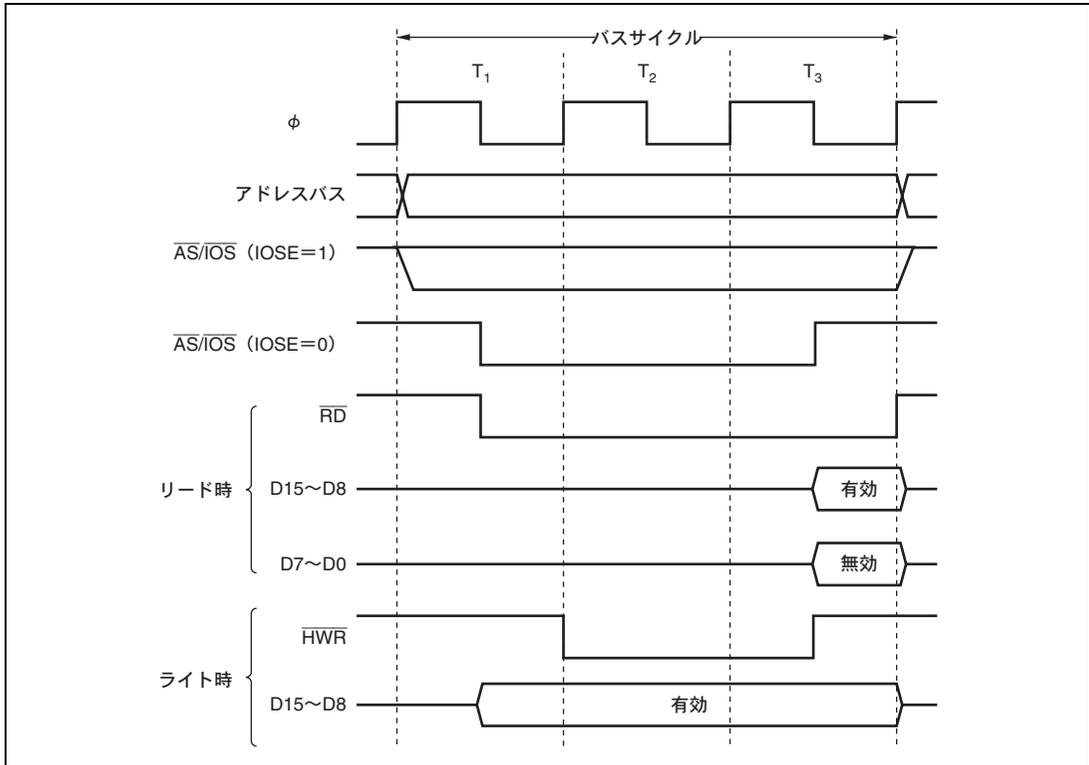


図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング

## 6. バスコントローラ (BSC)

---

### 6.5.4 ウェイト制御

本 LSI は外部アドレス空間をアクセスするとき、ウェイトステート (Tw) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、およびプログラムウェイトと  $\overline{\text{WAIT}}$  端子による端子ウェイトの組み合わせがあります。

#### (1) プログラムウェイトモード

プログラムウェイトモードでは外部アドレス空間をアクセスすると、常に WSCR の WC1、WC0 ビットにより設定されたステート数の Tw が、T2 ステートと T3 ステートの間に挿入されます。

#### (2) 端子ウェイトモード

端子ウェイトモードでは外部アドレス空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数の Tw が、T2 ステートと T3 ステートの間に挿入されます。T2 または Tw の最後のステートの  $\phi$  の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、さらに Tw が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで Tw が挿入されます。

端子ウェイトモードは、4 ステート以上の Tw を挿入する場合や、外部デバイスごとに挿入する Tw 数を変える場合などに有効です。

#### (3) 端子オートウェイトモード

端子オートウェイトモードでは外部アドレス空間をアクセスしたとき、T2 の  $\phi$  の立ち下がりのタイミングで  $\overline{\text{WAIT}}$  端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数の Tw が、T2 ステートと T3 ステートの間に挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されても、設定されたステート数を超える Tw は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を  $\overline{\text{WAIT}}$  端子に入力するだけで低速メモリと容易にインタフェースすることができます。

図 6.7 に端子ウェイトモードのウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、 $\overline{\text{WAIT}}$  入力禁止状態となっています。

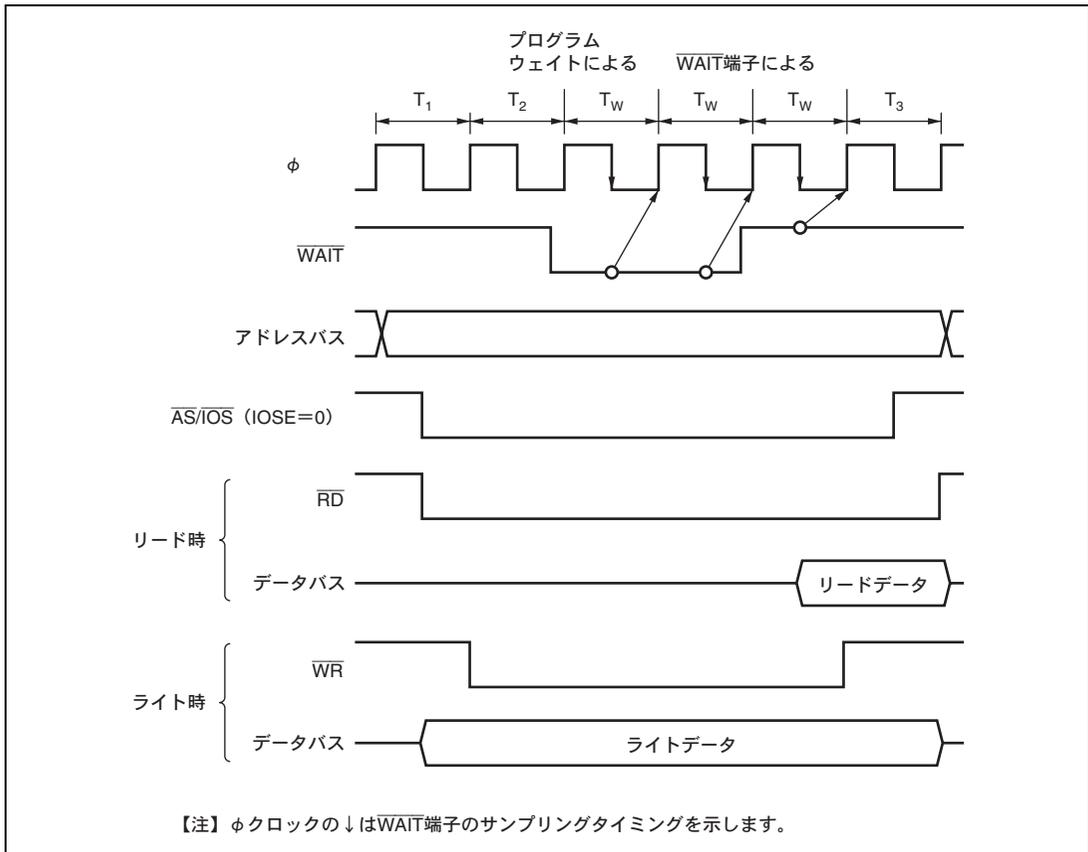


図 6.7 ウェイトステート挿入タイミング例 (端子ウェイトモード)

## 6.6 バースト ROM インタフェース

本 LSI は BCR の BRSTRM ビットを 1 にすることにより、外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。CPU の命令フェッチに限り最大 4 ワードまたは最大 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

### 6.6.1 基本動作タイミング

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) のアクセスステート数は、WSCR の AST ビットの設定に従います。AST ビットを 1 にセットすると、ウェイトステートを挿入することもできます。バーストサイクルは BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.8、図 6.9 に示します。

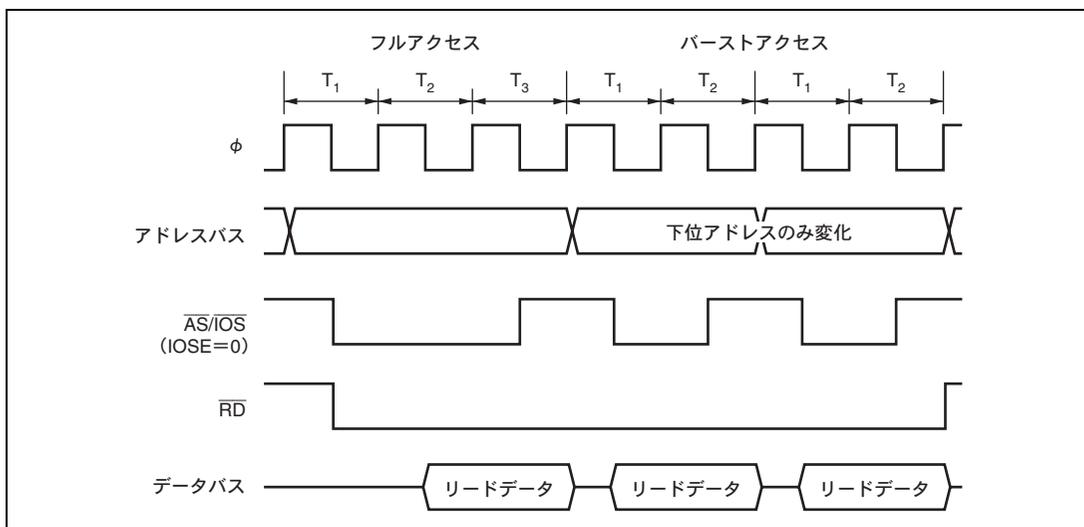


図 6.8 バースト ROM 空間のアクセスタイミング例 (AST=BRSTS1=1 の場合)

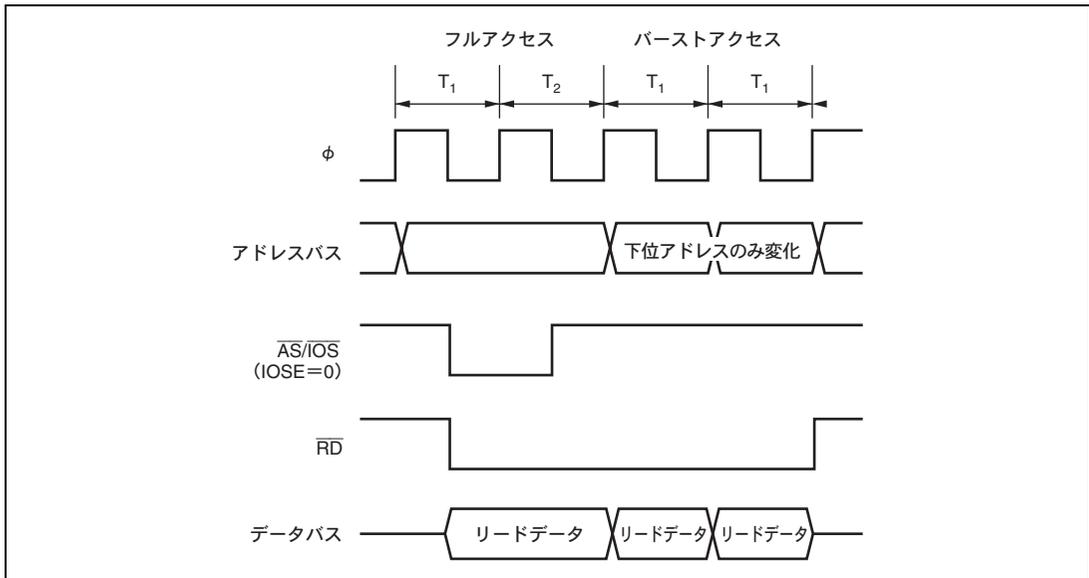


図 6.9 バースト ROM 空間のアクセスタイミング例 (AST=BRSTS1=0 の場合)

## 6.6.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル（フルアクセス）には、基本バスインタフェースと同様にプログラムウェイトの挿入、および  $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入が可能です。詳細は「6.5.4 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

## 6.7 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするときに、リードサイクルの直後にライトサイクルが発生した場合、バスサイクルとバスサイクルの間にアイドルサイクル ( $T_i$ ) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM と、高速メモリ、I/O インタフェースとのデータ衝突を防ぐことができます。

BCR の ICIS0 ビットを 1 にセットした状態で外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.10 にアイドルサイクルの動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。図 6.10 (a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し図 6.10 (b) ではアイドルサイクルの挿入でデータの衝突を回避しています。

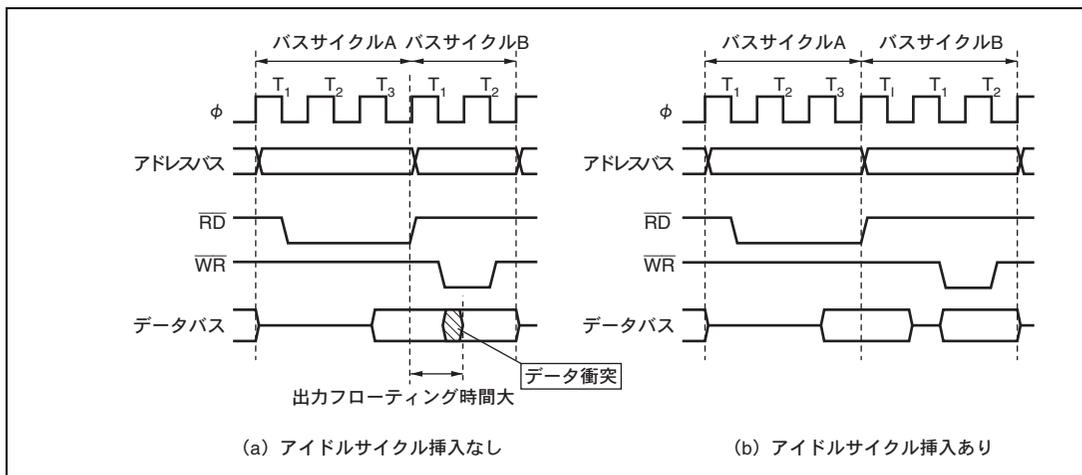


図 6.10 アイドルサイクルの動作例

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
A15~A0、 $\overline{IOS}$	直後のバスサイクルの内容
D7~D0	ハイインピーダンス
AS	High レベル
$\overline{RD}$	High レベル
$\overline{WR}$	High レベル

## 6.8 バスアービトレーション

バスコントローラはバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。バスマスタは、CPU と DTC があり、バス権を占有した状態でリード/ライト動作を行います。

### 6.8.1 バスマスタの優先順位

各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは、バスマスタのバス権要求信号を検出し、バス権要求であれば所定のタイミングでそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。バスマスタの優先順位は以下のとおりです。

(高) DTC > CPU (低)

### 6.8.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときに、すぐにバス権が移行するとは限りません。バス権が移行するタイミングは次のとおりです。

#### (1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があるとバスアービタはバス権を DTC に移行します。

##### • DTCへのバス権移行タイミング

1. バスサイクルの切れ目で、バス権を移行します。

ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目ではバス権は移行しません。詳細は「H8S/2600シリーズ、H8S/2000シリーズソフトウェアマニュアル」を参照してください。

2. CPUがスリープモードの場合は、ただちにバス権を移行します。

#### (2) DTC

DTC は最も優先順位の高いバスマスタです。DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC は一連の処理が完了するまでバス権を解放しません。

## 6. バスコントローラ (BSC)

---

---

## 7. データトランスファコントローラ (DTC)

---

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 7.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM の H'(FF)EC00~H'(FF)EFFF (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

### 7.1 特長

- 任意チャネル数の転送可能
- 転送モード：3種類  
ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能

## 7. データトランスファコントローラ (DTC)

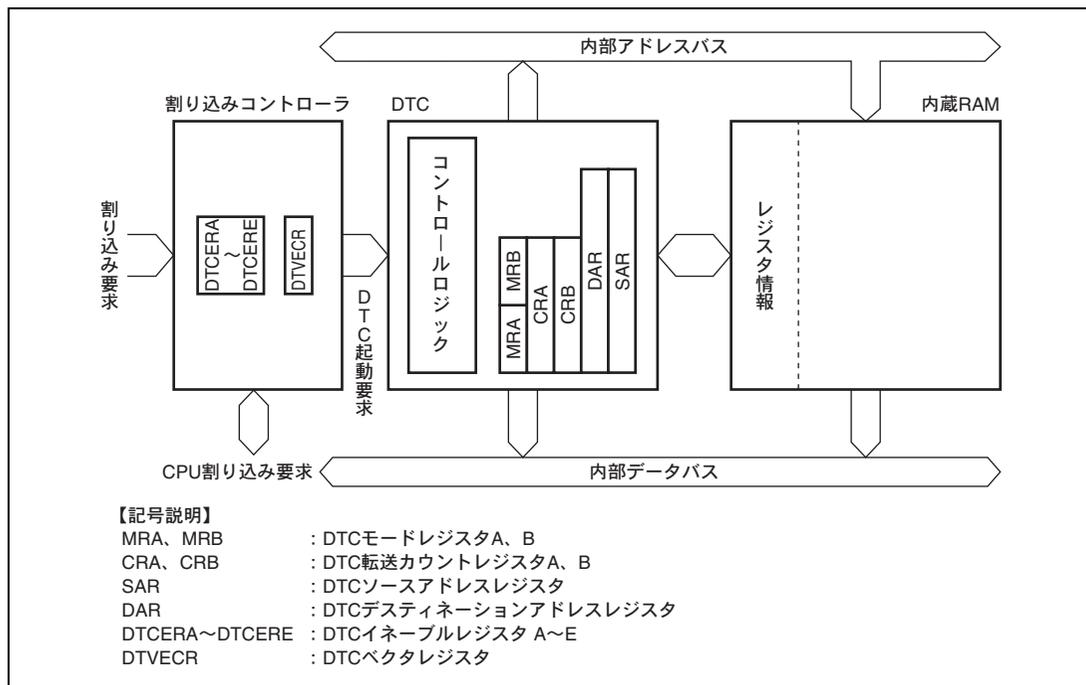


図 7.1 DTC のブロック図

## 7.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC 起動要因が発生すると内蔵 RAM 上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC 転送を行い、転送が終了するとこれらのレジスタの内容が内蔵 RAM に戻されます。

- DTCイネーブルレジスタ (DTCERA~DTCERE)
- DTCベクタレジスタ (DTVECR)

## 7.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	SM1	不定	—	ソースアドレスモード 1、0
6	SM0	不定	—	データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
5	DM1	不定	—	デスティネーションアドレスモード 1、0
4	DM0	不定	—	データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
3	MD1	不定	—	DTC モード
2	MD0	不定	—	DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定	—	DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定	—	DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【注】 X : Don't care

## 7. データトランスファコントローラ (DTC)

---

### 7.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	—	DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「7.5.4 チェイン転送」を参照してください。 CHNE=1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISEL	不定	—	DTC インタラプトセレクト このビットが 1 のとき DTC 転送のために CPU に対して割り込み要求を発生します (DTC は起動要因となった割り込み要因フラグを 0 にクリアしません)。このビットが 0 のとき指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します (DTC は起動要因となった割り込み要因フラグを 0 にクリアします)。
5~0	—	すべて不定	—	リザーブビット DTC の動作に影響を与えません。0 をライトしてください。

### 7.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 7.2.5 DTC 転送カウンタレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されません。

## 7.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

## 7.2.7 DTC イネーブルレジスタ (DTCER)

DTCER は DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERE があります。各割り込み要因と DTCE ビットの対応については表 7.1、表 7.2 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし複数の起動要因を一度に設定するときには、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCEn7	0	R/W	DTC 起動イネーブル
6	DTCEn6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。 [クリア条件] • MRB の DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき
5	DTCEn5	0	R/W	
4	DTCEn4	0	R/W	
3	DTCEn3	0	R/W	
2	DTCEn2	0	R/W	
1	DTCEn1	0	R/W	
0	DTCEn0	0	R/W	

【注】 n : A~E

表 7.1 各割り込み要因と DTCER の対応

ビット	ビット名	レジスタ				
		DTCERA	DTCERB	DTCERC	DTCERD	DTCERE
7	DTCEn7	(16) IRQ0	(53) OCIB	(69) CMIB1	(86) TXI1	—
6	DTCEn6	(17) IRQ1	(56) TIC10	(72) CMIAY	—	—
5	DTCEn5	(18) IRQ2	(57) TCM10	(73) CMIBY	—	—
4	DTCEn4	—	(60) TIC11	—	(92) IIC10	—
3	DTCEn3	(28) ADI	(61) TCM11	—	(94) IIC11	—
2	DTCEn2	(48) ICIA	(64) CMIA0	(81) RXI0	—	—
1	DTCEn1	(49) ICIB	(65) CMIB0	(82) TXI0	—	—
0	DTCEn0	(52) OCIA	(68) CMIA1	(85) RXI1	—	—

【注】 n : A~E

( ) : ベクタ番号

— : リザーブビットです。0 をライトしてください。

## 7. データトランスファコントローラ (DTC)

### 7.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR はソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。1 のライトのみ常時可能です。0 のライトは 1 のリード後にのみ可能となります。 [クリア条件] <ul style="list-style-type: none"><li>• DISEL ビットが 0 で、指定した回数の転送が終了しないとき</li><li>• CPU に対し、ソフトウェア起動データ転送終了割り込み要求 (SWDTEND) が発生したあと、0 をライトしたとき</li></ul> [保持条件] <ul style="list-style-type: none"><li>• DISEL ビットが 1 で、データ転送を終了したとき</li><li>• 指定した回数の転送が終了したとき</li><li>• ソフトウェア起動によるデータ転送中</li></ul>
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400+ベクタ番号×2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~DTVEC0=H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE=0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

### 7.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RX11 の場合、起動要因フラグは、SCI\_1 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 7.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

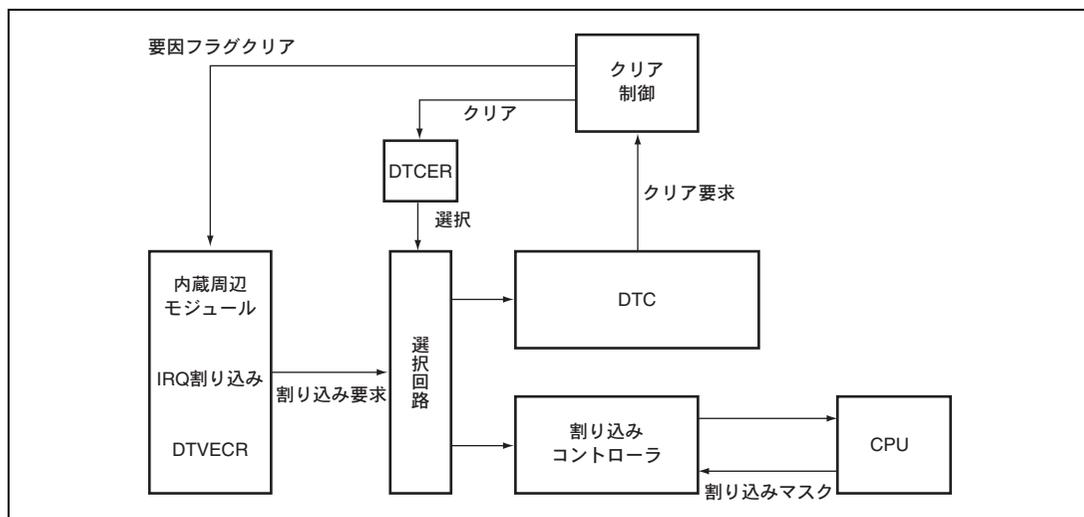


図 7.2 DTC 起動要因制御ブロック図

## 7.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'(FF)EC00~H'(FF)EFFF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは 4 の倍数の番地としてください。図 7.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 7.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは H'0400+ (DTVECR[6:0]×2) となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

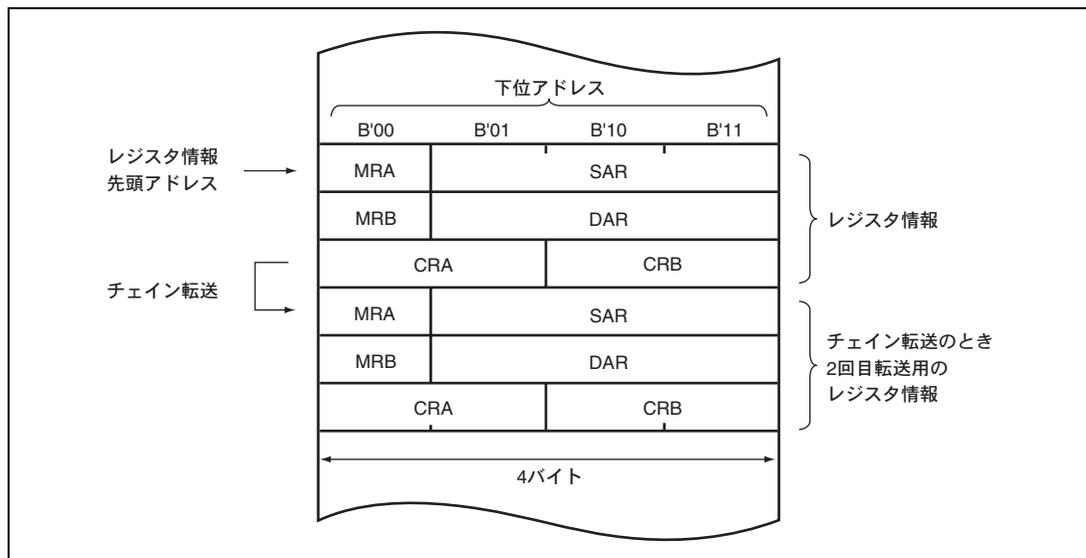


図 7.3 アドレス空間上での DTC レジスタ情報の配置



## 7.5 動作説明

DTCはレジスタ情報を内蔵RAMに格納します。DTCが起動すると、内蔵RAMからレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵RAMに戻します。レジスタ情報を内蔵RAMに格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRBのCHNEビットを1にセットしておくことにより、1つの起動要因で複数の転送を行うことができます(チェーン転送)。

転送元アドレスは24ビット長のSAR、転送先アドレスは24ビット長のDARで指定します。SAR、DARは転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

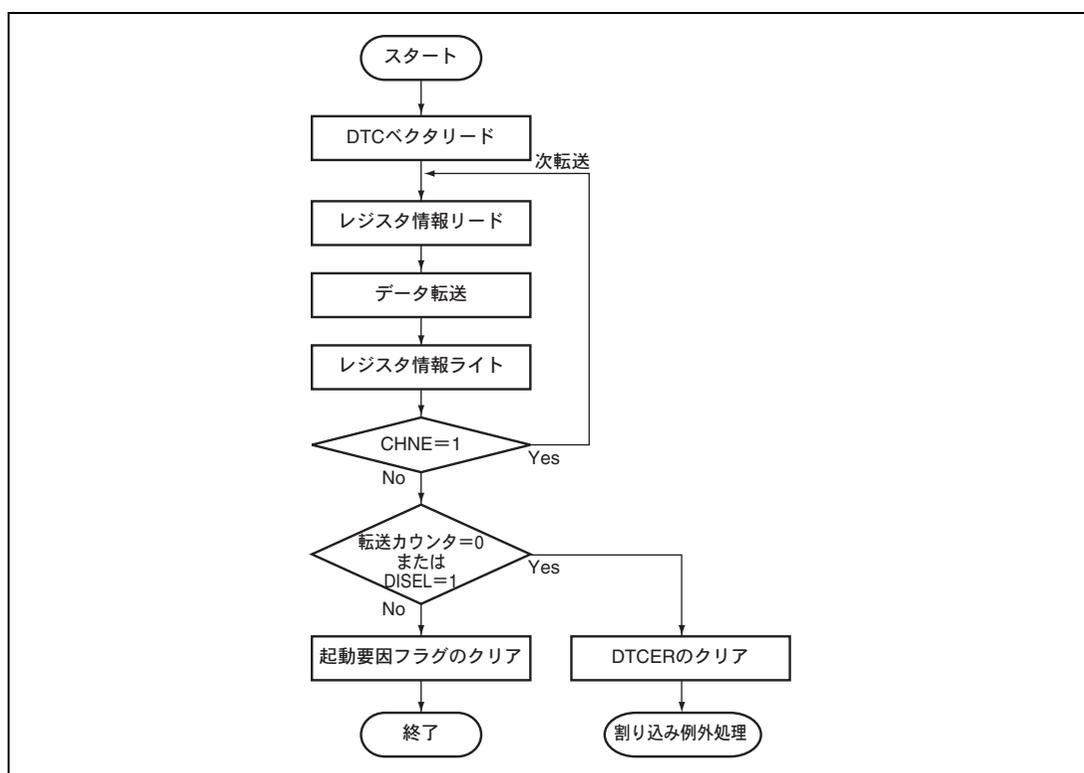


図 7.4 DTC 動作フローチャート

### 7.5.1 ノーマルモード

1つの起動要因で、1バイトまたは1ワードの転送を行います。表 7.3 にノーマルモードにおけるレジスタ機能を示します。転送回数は1~65536 です。指定回数の転送が終了すると、CPU へ割り込み要求を発生することができます。

表 7.3 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

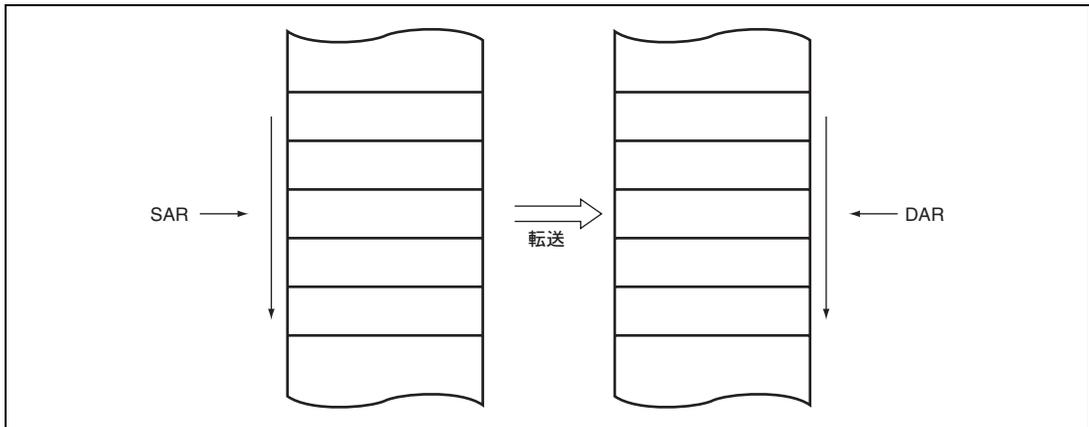


図 7.5 ノーマルモードのメモリマップ

## 7. データトランスファコントローラ (DTC)

### 7.5.2 リピートモード

1つの起動要因で、1バイトまたは1ワードの転送を行います。表 7.4 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 7.4 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

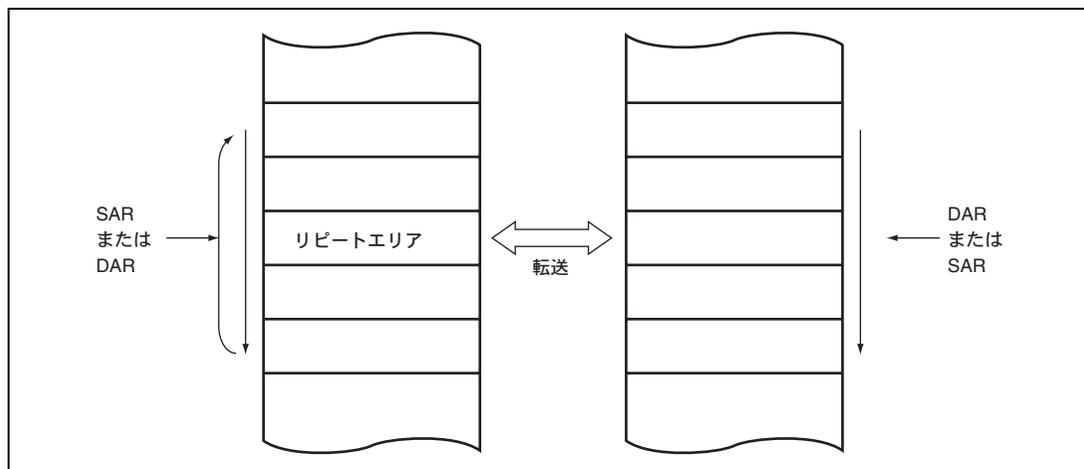


図 7.6 リピートモードのメモリマップ

### 7.5.3 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 7.5 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは 1~256 で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は 1~65536 です。指定回数 of ブロック転送が終了すると、CPU へ割り込み要求を発生させることができます。

表 7.5 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

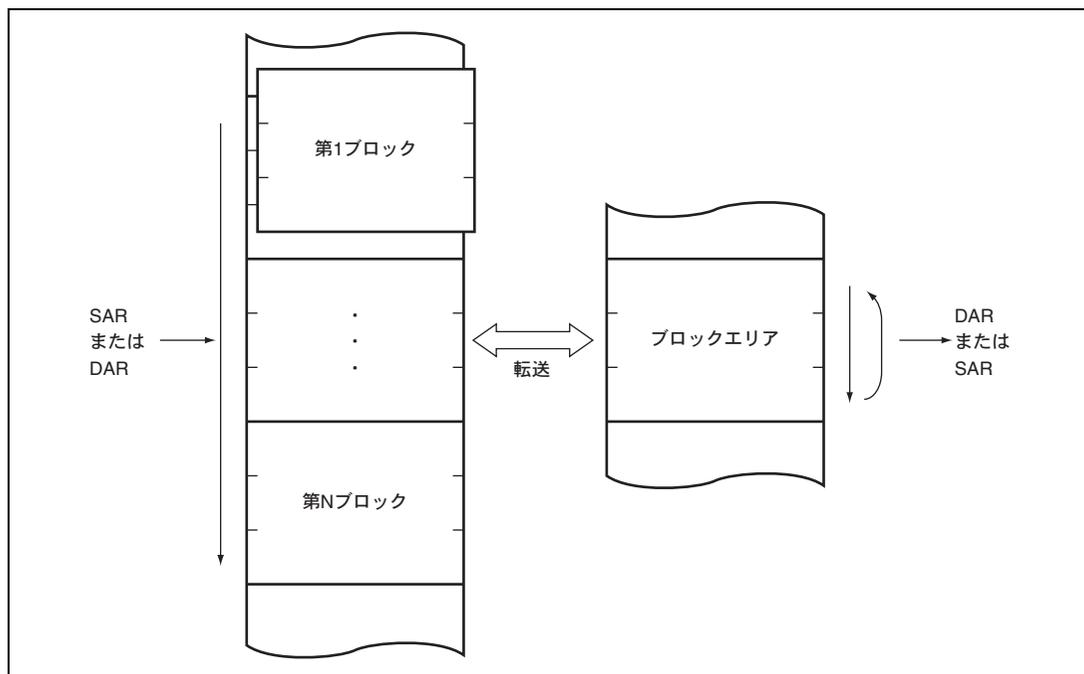


図 7.7 ブロック転送モードのメモリマップ

### 7.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 7.8 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE=1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

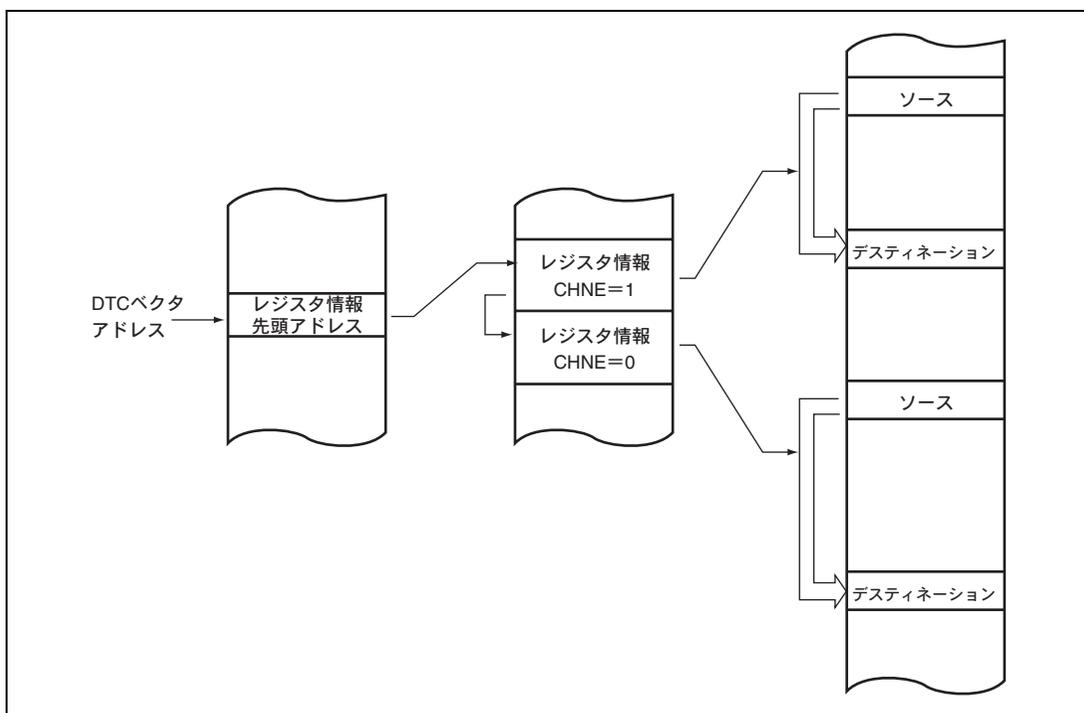


図 7.8 チェイン転送の動作

### 7.5.5 割り込み要因

DTCが指定された回数のデータ転送を終了したとき、およびDISELビットが1にセットされたデータ転送を終了したとき、CPUに対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらのCPUに対する割り込みはCPUのマスケルレベルや割り込みコントローラの割り込みコントロールレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISELビットが1の状態、1回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後にSWDTEビットが1に保持され、SWDTEND割り込みを発生します。割り込み処理ルーチンでSWDTEビットを0にクリアしてください。

ソフトウェアでDTCを起動する場合、SWDTEビットを1にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND割り込みは発生しません。

### 7.5.6 動作タイミング

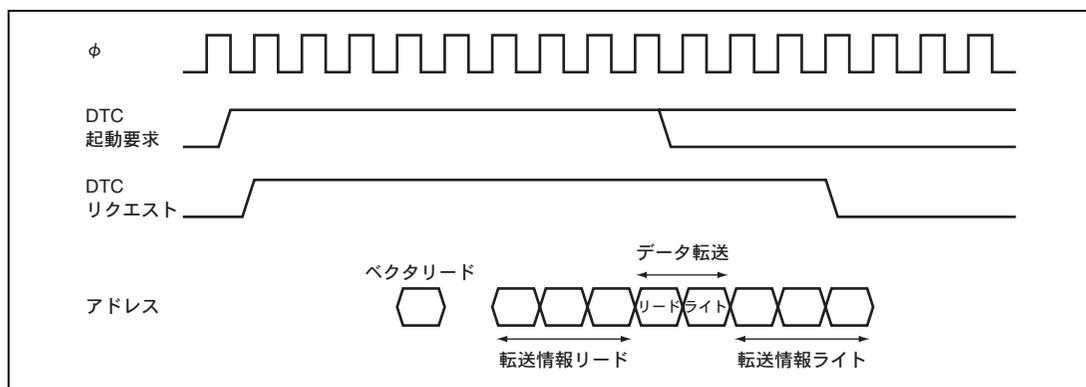


図 7.9 DTC の動作タイミング (ノーマルモード、リピートモードの例)

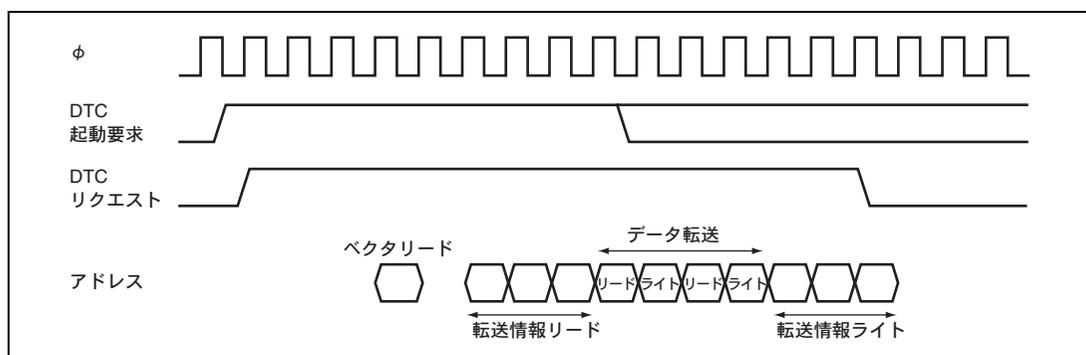


図 7.10 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2の例)

## 7. データトランスファコントローラ (DTC)

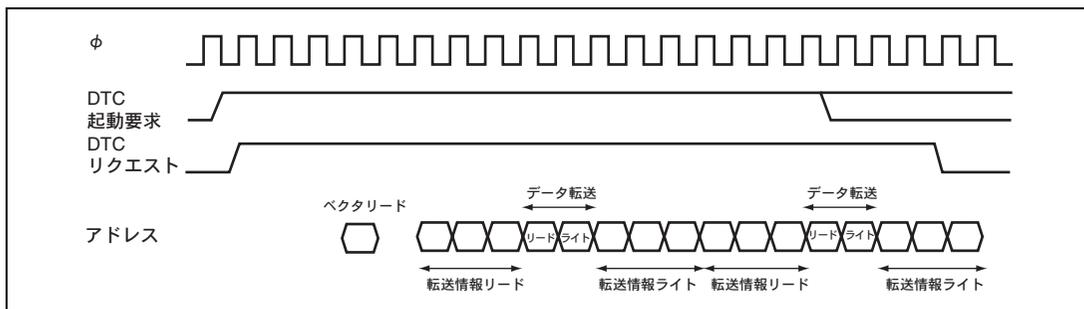


図 7.11 DTC の動作タイミング (チェーン転送の例)

### 7.5.7 DTC 実行ステート数

表 7.6 に DTC の 1 回のデータ転送の実行状態を示します。また、表 7.7 に実行状態に必要なステート数を示します。

表 7.6 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

【記号説明】

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.7 実行状態に必要なステート数

アクセス対象		内蔵 RAM (H'(FF)EC00~H'(FF)EFFF)	内蔵 RAM (左記以外の内蔵 RAM エリア)	内蔵 ROM	内部 I/O レジスタ		外部デバイス	
バス幅		32	16	16	8	16	8	
アクセスステート		1	1	1	2	2	2	3
実 行 状 態	ベクタリード $S_i$	—	—	1	—	—	4	6+2m
	レジスタ情報 リード/ライト $S_j$	1	—	—	—	—	—	—
	バイトデータリード $S_k$	1	1	1	2	2	2	3+m
	ワードデータリード $S_k$	1	1	1	4	2	4	6+2m
	バイトデータライト $S_l$	1	1	1	2	2	2	3+m
	ワードデータライト $S_l$	1	1	1	4	2	4	6+2m
	内部動作 $S_m$	1						

実行ステート数は次の計算式で計算されます。なお、 $\Sigma$ は1つの起動要因で転送する回数分 (CHNE ビットを1にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

## 7.6 DTC 使用手順

### 7.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。  
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

### 7.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE=0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

### 7.7 DTC 使用例

#### 7.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1, DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0, DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

#### 7.7.2 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント (SM1=1, SM0=0)、デスティネーションアドレスインクリメント (DM1=1, DM0=0)、ブロック転送モード (MD=1, MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1とともに、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。

- 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。3と4の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、3に戻ってください。
- ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

## 7.8 使用上の注意事項

### 7.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTCの動作禁止/許可を設定することが可能です。初期値では、DTCの動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTCが起動中はモジュールストップモードに設定できません。詳細は、「第22章 低消費電力状態」を参照してください。

### 7.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRBの各レジスタは、内蔵RAMに配置します。DTCを使用する場合は、SYSCRのRAMEビットを0にクリアしないでください。

### 7.8.3 DTCE ビットの設定

DTCEビットの設定は、必ずBSET、BCLRなどビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

### 7.8.4 サブアクティブモード、ウォッチモードへの遷移時の設定

サブアクティブモード、ウォッチモードへの遷移前に、DTCをモジュールストップ(MSTPCRのMSTP14ビットを1にセット)の設定にし、1に設定されていることを確認後、モード遷移してください。

### 7.8.5 SCI、IIC および A/D 変換器の割り込み要因による DTC の起動

SCI、IICおよびA/D変換器の割り込み要因は、DTCが所定のレジスタをリード/ライトしたときにクリアされます。DTCが所定以外のレジスタ/メモリをリード/ライトする場合は、割り込み要因はクリアされません。

## 7. データトランスファコントローラ (DTC)

---

## 8. I/O ポート

ポートの機能一覧を表 8.1 に示します。各ポートは周辺モジュールの入出力や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ（DDR）、出力データを格納するデータレジスタ（DR、ODR）から構成されています。入力専用ポートには DDR、DR、ODR はありません。

ポート 1～3、P43～P45 には、入力プルアップ MOS が内蔵されています。また、ポート 1～3 は LED を駆動する（シンク電流 5mA）ことができます。

H8S/2125 の P47、P52 は NMOS プッシュプル出力となっています。

表 8.1 ポートの機能一覧表

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート 1	アドレス出力、 PWM 出力、 PWMX 出力端子と 汎用入出力ポートの 兼用	A7 A6 A5 A4 A3 A2 A1 A0	P17/A7/PW7 P16/A6/PW6 P15/A5/PW5 P14/A4/PW4 P13/A3/PW3 P12/A2/PW2 P11/A1/PW1/PWX1 P10/A0/PW0/PWX0	P17/PW7 P16/PW6 P15/PW5 P14/PW4 P13/PW3 P12/PW2 P11/PW1/PWX1 P10/PW0/PWX0	入力プルアップ MOS 内蔵 LED 駆動可能 (シンク電流 5mA)
ポート 2	アドレス出力、 PWM 出力、 SCI_1 入出力、 IIC_1 入出力端子と 汎用入出力ポートの 兼用	A15 A14 A13 A12 A11 A10 A9 A8	P27/A15/PW15/SCK1 P26/A14/PW14/RxD1 P25/A13/PW13/TxD1 P24/A12/PW12/SCL1 P23/A11/PW11/SDA1 P22/A10/PW10 P21/A9/PW9 P20/A8/PW8	P27/PW15/SCK1 P26/PW14/RxD1 P25/PW13/TxD1 P24/PW12/SCL1 P23/PW11/SDA1 P22/PW10 P21/PW9 P20/PW8	入力プルアップ MOS 内蔵 LED 駆動可能 (シンク電流 5mA)
ポート 3	データバス入出力 端子と汎用入出力 ポートの兼用	D7 D6 D5 D4 D3 D2 D1 D0		P37 P36 P35 P34 P33 P32 P31 P30	入力プルアップ MOS 内蔵 LED 駆動可能 (シンク電流 5mA)

## 8. I/O ポート

ポート	概要	モード 1	モード 2、モード 3		入出力形態他
			(EXPE=1)	(EXPE=0)	
ポート 4	拡張データバス制御 入出力、IIC_0 入出力、 サブクロック入力、 φ 出力、割り込み 入力、A/D 変換器の 外部トリガ入力端子 と汎用入出力ポート の兼用	P47/ $\overline{\text{WAIT}}$ /SDA0 P46/ $\phi$ /EXCL $\overline{\text{AS}}$ / $\overline{\text{IOS}}$ $\overline{\text{WR}}$ $\overline{\text{RD}}$ P42/ $\overline{\text{IRQ0}}$ P41/ $\overline{\text{IRQ1}}$ P40/ $\overline{\text{IRQ2}}$ / $\overline{\text{ADTRG}}$	P47/SDA0 P46/ $\phi$ /EXCL P45 P44 P43 P42/ $\overline{\text{IRQ0}}$ P41/ $\overline{\text{IRQ1}}$ P40/ $\overline{\text{IRQ2}}$ / $\overline{\text{ADTRG}}$	入力プルアップ MOS 内蔵 (P45~P43)	
ポート 5	SCI_0 の入出力、 IIC_0 入出力端子と 汎用入出力ポートの 兼用	P52/SCK0/SCL0 P51/RxD0 P50/TxD0			
ポート 6	割り込み入力、 FRT の入出力、 TMR_0、TMR_1、 TMR_X、TMR_Y 入出力端子と汎用入 出力ポートの兼用	P67/ $\overline{\text{IRQ3}}$ /TMOX/TMO1 P66/FTOB/TMRI1 P65/FTID/TMCI1 P64/FTIC/TMO0 P63/FTIB/TMRI0 P62/FTIA/TMIY P61/FTOA/TMOY P60/FTCI/TMCI0/TMIX			
ポート 7	A/D 変換器のアナロ グ入力、割り込み 入力、TCM_0、 TCM_1 入力端子と 汎用入力ポートの 兼用	P77/AN7/ $\overline{\text{IRQ7}}$ /TCMCKI0 P76/AN6/ $\overline{\text{IRQ6}}$ /TCMCIY10 P75/AN5/ $\overline{\text{IRQ5}}$ /TCMCKI1 P74/AN4/ $\overline{\text{IRQ4}}$ /TCMCIY11 P73/AN3 P72/AN2 P71/AN1 P70/AN0			

## 8.1 ポート 1

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、アドレスバス出力端子、PWM 出力端子、PWMX 出力端子と兼用になっており、動作モードによって端子機能が切り替わります。ポート 1 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 1 は以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1プルアップMOSコントロールレジスタ (P1PCR)

### 8.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR は、ポート 1 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説 明
7	P17DDR	0	W	モード 1 のとき P1DDR の設定値にかかわらず、ポート 1 の各端子はアドレス出力となります。 モード 2、3 (EXPE=1) のとき P1DDR を 1 にセットすると対応するポート 1 の各端子はアドレス出力または PWM 出力となり、0 にクリアすると入力ポートになります。 モード 2、3 (EXPE=0) のとき P1DDR を 1 にセットすると対応するポート 1 の各端子は出力ポートまたは PWM 出力となり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

### 8.1.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P17DR	0	R/W	このレジスタをリードすると、P1DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P1DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

## 8. I/O ポート

### 8.1.3 ポート1プルアップMOSコントロールレジスタ (P1PCR)

P1PCRはポート1の入カプルアップMOSのオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P17PCR	0	R/W	端子が入カ状態のとき、このレジスタの1にセットされたビットに対応する端子の入カプルアップMOSがオンします。
6	P16PCR	0	R/W	
5	P15PCR	0	R/W	
4	P14PCR	0	R/W	
3	P13PCR	0	R/W	
2	P12PCR	0	R/W	
1	P11PCR	0	R/W	
0	P10PCR	0	R/W	

### 8.1.4 端子機能

- P17/A7/PW7、P16/A6/PW6、P15/A5/PW5、P14/A4/PW4、P13/A3/PW3、P12/A2/PW2

動作モードとPWMのPWOERAのOEnビットとP1nDDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)			モード2、3 (EXPE=0)		
P1nDDR	—	0	1		0	1	
OEn	—	—	0	1	—	0	1
端子機能	A7~A2 出力端子	P17~P12 入力端子	A7~A2 出力端子	PW7~PW2 出力端子	P17~P12 入力端子	P17~P12 出力端子	PW7~PW2 出力端子

【注】 n=7~2

- P11/A1/PW1/PWX1

動作モードとPWMのPWOERAのOE1ビットとPWMXのDACRのOEBビットとP11DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)				モード2、3 (EXPE=0)			
OEB	—	0		1		0		1	
P11DDR	—	0	1		—	0	1		—
OE1	—	—	0	1	—	—	0	1	—
端子機能	A1 出力端子	P11 入力端子	A1 出力端子	PW1 出力端子	PWX1 出力端子	P11 入力端子	P11 出力端子	PW1 出力端子	PWX1 出力端子

- P10/A0/PW0/PWX0

動作モードとPWMのPWOERAのOE0ビットとPWMXのDACRのOEAビットとP10DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)				モード2、3 (EXPE=0)			
OEA	—	0			1	0			1
P10DDR	—	0	1		—	0	1		—
OE0	—	—	0	1	—	—	0	1	—
端子機能	A0 出力端子	P10 入力端子	A0 出力端子	PW0 出力端子	PWX0 出力端子	P10 入力端子	P10 出力端子	PW0 出力端子	PWX0 出力端子

### 8.1.5 ポート1入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはビット単位でオン/オフを指定できます。

入力プルアップMOSの状態を表8.2に示します。

表 8.2 ポート1入力プルアップMOSの状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : 端子が入力状態でP1DDR=0かつP1PCR=1のときオン状態、その他のときはオフ状態です。

## 8. I/O ポート

### 8.2 ポート 2

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、アドレスバス出力端子、PWM 出力端子、SCI\_1、IIC\_1 入出力端子と兼用になっており、動作モードによって端子機能が切り替わります。ポート 2 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ (P2DDR)
- ポート2データレジスタ (P2DR)
- ポート2プルアップMOSコントロールレジスタ (P2PCR)

#### 8.2.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR はポート 2 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P27DDR	0	W	モード 1 のとき P2DDR の設定値にかかわらず、対応するポート 2 の各端子はアドレス出力となります。
6	P26DDR	0	W	
5	P25DDR	0	W	モード 2、3 (EXPE=1) のとき P2DDR を 1 にセットすると対応するポート 2 の各端子はアドレス出力または PWM 出力となり、0 にクリアすると入力ポートになります。なお、P27~P24 については、IOSE ビット=1 にすることによりアドレス出力から出力ポートに切り替わります。ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。
4	P24DDR	0	W	
3	P23DDR	0	W	モード 2、3 (EXPE=0) のとき P2DDR を 1 にセットすると対応するポート 2 の各端子は PWM 出力または出力ポートとなり、0 にクリアすると入力ポートになります。
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

#### 8.2.2 ポート 2 データレジスタ (P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P27DR	0	R/W	P2DDR が 1 のときポート 2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が 0 のときポート 2 のリードを行うと、端子の状態が読み出されます。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

### 8.2.3 ポート 2 プルアップ MOS コントロールレジスタ (P2PCR)

P2PCR はポート 2 の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P27PCR	0	R/W	モード 2、3 のとき、入力ポート状態で、P2PCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	P26PCR	0	R/W	
5	P25PCR	0	R/W	
4	P24PCR	0	R/W	
3	P23PCR	0	R/W	
2	P22PCR	0	R/W	
1	P21PCR	0	R/W	
0	P20PCR	0	R/W	

### 8.2.4 端子機能

ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行なうために周辺機能出力に設定しないでください。

- P27/A15/PW15/SCK1

動作モードと SYSCR の IOSE ビット、SCI\_1 の SMR の C/A ビット、SCR の CKE0、CKE1 ビット、PWM の PWOERB の OE15 ビットと P27DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)						モード2、3 (EXPE=0)				
		0			1			0		1		
CKE1	—	0			1			0		1		
C/A	—	0			1			0		1		
CKE0	—	0			1			0		1		
P27DDR	—	0	1		—	—	—	0	1	—	—	—
OE15	—	—	0	1	—	—	—	—	0	1	—	—
IOSE	—	—	0	1	—	—	—	—				
端子機能	A15 出力端子	P27 入力端子	A15 出力端子	P27 出力端子	PW15 出力端子	SCK1 出力端子	SCK1 入力端子	P27 入力端子	P27 出力端子	PW15 出力端子	SCK1 出力端子	SCK1 入力端子

- P26/A14/PW14/RxD1

動作モードと SYSCR の IOSE ビット、SCI\_1 の SCR の RE ビット、PWM の PWOERB の OE14 ビットと P26DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)					モード2、3 (EXPE=0)				
		0		1			0		1		
RE	—	0		1			0		1		
P26DDR	—	0	1		—			0	1		—
OE14	—	—	0		1			—	0	1	
IOSE	—	—	0	1	—		—				
端子機能	A14 出力端子	P26 入力端子	A14 出力端子	P26 出力端子	PW14 出力端子	RxD1 入力端子	P26 入力端子	P26 出力端子	PW14 出力端子	RxD1 入力端子	

## 8. I/O ポート

- P25/A13/PW13/TxD1

動作モードと SYSCR の IOSE ビット、SCI\_1 の SCR の TE ビット、PWM の PWOERB の OE13 ビットと P25DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)				モード2、3 (EXPE=0)				
TE	—	0				1	0			1
P25DDR	—	0	1			—	0	1		—
OE13	—	—	0		1	—	—	0	1	—
IOSE	—	—	0	1	—	—	—			
端子機能	A13 出力端子	P25 入力端子	A13 出力端子	P25 出力端子	PW13 出力端子	TxD1 出力端子	P25 入力端子	P25 出力端子	PW13 出力端子	TxD1 出力端子

- P24/A12/PW12/SCL1

動作モードと SYSCR の IOSE ビット、IIC\_1 の ICCR の ICE ビット、PWM の PWOERB の OE12 ビットと P24DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)				モード2、3 (EXPE=0)				
ICE	—	0				1	0			1
P24DDR	—	0	1			—	0	1		—
OE12	—	—	0		1	—	—	0	1	—
IOSE	—	—	0	1	—	—	—			
端子機能	A12 出力端子	P24 入力端子	A12 出力端子	P24 出力端子	PW12 出力端子	SCL1 入出力端子	P24 入力端子	P24 出力端子	PW12 出力端子	SCL1 入出力端子

- P23/A11/PW11/SDA1

動作モードと IIC\_1 の ICCR の ICE ビット、PWM の PWOERB の OE11 ビットと P23DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE=1)				モード2、3 (EXPE=0)				
ICE	—	0				1	0			1
P23DDR	—	0	1			—	0	1		—
OE11	—	—	0	1	—	—	0	1	—	
端子機能	A11 出力端子	P23 入力端子	A11 出力端子	PW11 出力端子	SDA1 入出力端子	P23 入力端子	P23 出力端子	PW11 出力端子	SDA1 入出力端子	

- P22/A10/PW10、P21/A9/PW9、P20/A8/PW8

動作モードと PWM の PWOERB の OEm ビットと P2nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1	モード 2、3 (EXPE=1)			モード 2、3 (EXPE=0)		
P2nDDR	—	0	1		0	1	
OEm	—	—	0	1	—	0	1
端子機能	A10~A8 出力端子	P22~P20 入力端子	A10~A8 出力端子	PW10~PW8 出力端子	P22~P20 入力端子	P22~P20 出力端子	PW10~PW8 出力端子

【注】 n=2~0

m=10~8

### 8.2.5 ポート 2 入力プルアップ MOS

ポート 2 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.3 に示します。

表 8.3 ポート 2 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P2DDR=0 かつ P2PCR=1 のときオン状態、その他のときはオフ状態です。

## 8. I/O ポート

### 8.3 ポート 3

ポート 3 は 8 ビットの入出力ポートです。ポート 3 は双方向データバス端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3プルアップMOSコントロールレジスタ (P3PCR)

#### 8.3.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P37DDR	0	W	モード 1、2、3 (EXPE=1) のとき P3DDR による入出力の方向は無視され、自動的にデータ入出力となります。 モード 2、3 (EXPE=0) のとき P3DDR を 1 にセットすると対応するポート 3 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

#### 8.3.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P37DR	0	R/W	P3DDR が 1 のときポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。P3DDR が 0 のときポート 3 のリードを行うと、端子の状態が読み出されます。
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

### 8.3.3 ポート3プルアップMOSコントロールレジスタ (P3PCR)

P3PCRは、ポート3に内蔵された入力プルアップMOSをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	P37PCR	0	R/W	モード2、3 (EXPE=0) では、入力ポート状態で、P3PCRを1にセットすると、入力プルアップMOSはオンします。
6	P36PCR	0	R/W	
5	P35PCR	0	R/W	
4	P34PCR	0	R/W	
3	P33PCR	0	R/W	
2	P32PCR	0	R/W	
1	P31PCR	0	R/W	
0	P30PCR	0	R/W	

### 8.3.4 端子機能

- P37/D7、P36/D6、P35/D5、P34/D4、P33/D3、P32/D2、P31/D1、P30/D0

動作モードとP3nDDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード1、2、3 (EXPE=1)	モード2、3 (EXPE=0)	
P3nDDR	—	0	1
端子機能	D7~D0 入出力端子	P37~P30 入力端子	P37~P30 出力端子

【注】 n=7~0

### 8.3.5 ポート3入力プルアップMOS

ポート3は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはビット単位でオン/オフを指定できます。

入力プルアップMOSの状態を表8.4に示します。

表 8.4 ポート3入力プルアップMOSの状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1)	OFF		OFF	
2、3 (EXPE=0)			ON/OFF	

【記号説明】

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : 端子が入力状態でP3DDR=0かつP3PCR=1のときオン状態、その他のときはオフ状態です。

## 8.4 ポート 4

ポート 4 は、8 ビットの入出力ポートです。ポート 4 は、割り込み入力端子、A/D 変換器の入力端子、IIC\_0 の入出力端子、サブクロック入力端子、バス制御入出力端子およびシステムクロック ( $\phi$ ) 出力端子と兼用になっています。P47 の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。ポート 4 には以下のレジスタがあります。

- ポート4データディレクションレジスタ (P4DDR)
- ポート4データレジスタ (P4DR)
- ポート4プルアップMOSコントロールレジスタ (P4PCR)
- ポート4ノイズキャンセライネーブルレジスタ (P4NCE)
- ポート4ノイズキャンセラ判定制御レジスタ (P4NCMC)
- ポート4ノイズキャンセラ周期設定レジスタ (P4NCCS)

### 8.4.1 ポート 4 データディレクションレジスタ (P4DDR)

P4DDR は、ポート 4 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P47DDR	0	W	P4DDR は、モード 1 の場合 H'40 に、モード 2、3 の場合 H'00 に初期化されます。 モード 1、2、3 (EXPE=1) のとき P47 端子は、ウェイトモードの設定によりバス制御入力 ( $\overline{WAIT}$ )、IIC_0 の入出力端子 (SDA0) または入出力ポートになります。入出力ポートの場合、P47DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。P46 端子は、P46DDR を 1 にセットすると $\phi$ 出力端子、0 にクリアするとサブクロック入力 (EXCL) または入力ポートになります。P45~P43 端子は、P45DDR~P43DDR による入出力の方向は無視され、自動的にバス制御出力 ( $\overline{AS}/\overline{IOS}$ 、 $\overline{WR}$ 、 $\overline{RD}$ ) となります。P42~P40 端子は、P42DDR~P40DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。 モード 2、3 (EXPE=0) のとき P4DDR を 1 にセットすると P46 端子は $\phi$ 出力端子、P47、P45~P40 端子は出力ポートとなります。P4DDR を 0 にクリアすると各端子は入力ポートになります。
6	P46DDR	1/0*	W	
5	P45DDR	0	W	
4	P44DDR	0	W	
3	P43DDR	0	W	
2	P42DDR	0	W	
1	P41DDR	0	W	
0	P40DDR	0	W	

【注】 \* P46DDR の初期値はモード 1 の場合 1 に、モード 2、3 の場合 0 になります。

### 8.4.2 ポート4 データレジスタ (P4DR)

P4DR は、ポート4 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P47DR	0	R/W	ビット6 以外は汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、P4DDR が1 にセットされているビットはこのレジスタの値が読み出されます。P4DDR が0 にクリアされているビットは端子の状態が読み出されます。
6	P46DR	不定*	R	
5	P45DR	0	R/W	
4	P44DR	0	R/W	
3	P43DR	0	R/W	
2	P42DR	0	R/W	
1	P41DR	0	R/W	
0	P40DR	0	R/W	

【注】 \* P46 端子の状態により決定されます。

### 8.4.3 ポート4 プルアップ MOS コントロールレジスタ (P4PCR)

P4PCR は、ポート4 の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説 明
7, 6	—	すべて0	R/W	リザーブビット 初期値を変更しないでください。
5	P45PCR	0	R/W	端子が入力状態のとき、このレジスタの1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
4	P44PCR	0	R/W	
3	P43PCR	0	R/W	
2~0	—	すべて0	R/W	リザーブビット 初期値を変更しないでください。

### 8.4.4 ポート4 ノイズキャンセライネーブルレジスタ (P4NCE)

P4NCE は、ポート4 端子のノイズキャンセル回路のイネーブルとディセーブルをビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	P47NCE	0	R/W	このビットを1 にセットするとノイズキャンセル回路をイネーブルにして、P4NCCS で設定したサンプリング周期で端子設定状態を P4DR に取り込みます。
6	P46NCE	0	R/W	
5	P45NCE	0	R/W	
4	P44NCE	0	R/W	
3	P43NCE	0	R/W	
2	P42NCE	0	R/W	
1	P41NCE	0	R/W	
0	P40NCE	0	R/W	

## 8. I/O ポート

### 8.4.5 ポート4 ノイズキャンセラ判定制御レジスタ (P4NCCMC)

P4NCCMC は、ポート4 端子の入力信号で1 期待か0 期待かをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	P47NCCMC	0	R/W	1 期待 : 1 が安定入力時にポートデータレジスタに1 が格納されます。 0 期待 : 0 が安定入力時にポートデータレジスタに0 が格納されます。
6	P46NCCMC	0	R/W	
5	P45NCCMC	0	R/W	
4	P44NCCMC	0	R/W	
3	P43NCCMC	0	R/W	
2	P42NCCMC	0	R/W	
1	P41NCCMC	0	R/W	
0	P40NCCMC	0	R/W	

### 8.4.6 ポート4 ノイズキャンセル周期設定レジスタ (P4NCCS)

P4NCCS は、ノイズキャンセラのサンプリング周期を制御します。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 不定	R/W	リザーブビット リード値は不定です。ライトするときは0 をライトしてください。
2	P4NCCK2	0	R/W	ノイズキャンセラのサンプリング周期を設定します。 $\phi = 10\text{MHz}$ 時 000 : 0.80us $\phi/2$ 001 : 12.8us $\phi/32$ 010 : 3.3ms $\phi/8192$ 011 : 6.6ms $\phi/16384$ 100 : 13.1ms $\phi/32768$ 101 : 26.2ms $\phi/65536$ 110 : 52.4ms $\phi/131072$ 111 : 104.9ms $\phi/262144$
1	P4NCCK1	0	R/W	
0	P4NCCK0	0	R/W	

### 8.4.7 端子機能

- P47/ $\overline{\text{WAIT}}$ /SDA0

動作モード、WSCR の WMS1 ビット、IIC\_0 の ICCR の ICE ビット、および P47DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)				モード 2、3 (EXPE=0)		
WMS1	0		1		-		
ICE	0		1	-	0		1
P47DDR	0	1	-	-	0	1	-
端子機能	P47 入力端子	P47 出力端子	SDA0 入出力端子	$\overline{\text{WAIT}}$ 入力端子	P47 入力端子	P47 出力端子	SDA0 入出力端子

【注】 P47 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

- P46/ $\phi$ /EXCL

LPWRCR の EXCLE ビットと P46DDR ビットの組み合わせにより、次のように切り替わります。

P46DDR	0		1
EXCLE	0		1
端子機能	P46 入力端子		EXCL 入力端子
			$\phi$ 出力端子

【注】 EXCL 入力端子として使用する場合は、P46DDR を 0 にクリアしてください。

- P45/ $\overline{\text{AS}}$ / $\overline{\text{IOS}}$

動作モード、SYSCR の IOSE ビット、および P45DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)		モード 2、3 (EXPE=0)	
P45DDR	-		0	1
IOSE	0	1	-	-
端子機能	$\overline{\text{AS}}$ 出力端子	$\overline{\text{IOS}}$ 出力端子	P45 入力端子	P45 出力端子

- P44/ $\overline{\text{WR}}$

動作モード、P44DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)	モード 2、3 (EXPE=0)	
P44DDR	-	0	1
端子機能	$\overline{\text{WR}}$ 出力端子	P44 入力端子	P44 出力端子

## 8. I/O ポート

- P43/ $\overline{RD}$

動作モード、および P43DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)	モード 2、3 (EXPE=0)	
P43DDR	—	0	1
端子機能	$\overline{RD}$ 出力端子	P43 入力端子	P43 出力端子

- P42/ $\overline{IRQ0}$

P42DDR	0	1
端子機能	P42 入力端子	P42 出力端子
	$\overline{IRQ0}$ 入力端子*	

【注】 \* IER の IRQ0E ビットを 1 にセットした場合、 $\overline{IRQ0}$  入力端子として使用します。

- P41/ $\overline{IRQ1}$

P41DDR	0	1
端子機能	P41 入力端子	P41 出力端子
	$\overline{IRQ1}$ 入力端子*	

【注】 \* IER の IRQ1E ビットを 1 にセットした場合、 $\overline{IRQ1}$  入力端子として使用します。

- P40/ $\overline{IRQ2}/\overline{ADTRG}$

P40DDR ビットの組み合わせにより、次のように切り替わります。

P40DDR	0	1
端子機能	P40 入力端子	P40 出力端子
	$\overline{IRQ2}$ 入力端子、 $\overline{ADTRG}$ 入力端子*	

【注】 \* IER の IRQ2E ビットを 1 にセットした場合、 $\overline{IRQ2}$  入力端子として使用します。A/D 変換器の ADCR の TRGS1、TRGS0 ビットをいずれも 1 にセットした場合、 $\overline{ADTRG}$  入力端子として使用します。

## 8.5 ポート 5

ポート 5 は、3 ビットの入出力ポートです。ポート 5 は、SCI\_0 の入出力端子、IIC\_0 の入出力端子と兼用になっています。P52、SCK0 の出力形式は、NMOS プッシュプル出力となっています。また、SCL0 の出力形式は、NMOS オープンドレイン出力となっています。ポート 5 には以下のレジスタがあります。

- ポート5データディレクションレジスタ (P5DDR)
- ポート5データレジスタ (P5DR)

### 8.5.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 1	—	リザーブビット 初期値を変更しないでください。
2	P52DDR	0	W	P5DDR を 1 にセットすると対応するポート 5 の各端子は出力となり、0 にクリアすると入力になります。ソフトウェアスタンバイモードでは、SCI_0 は初期化されるため、IIC_0 の ICCR、P5DDR、P5DR の指定によって端子状態が決定されます。
1	P51DDR	0	W	
0	P50DDR	0	W	

### 8.5.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 1	—	リザーブビット 初期値を変更しないでください。
2	P52DR	0	R/W	P5DDR が 1 のときポート 5 のリードを行うと、P5DR の値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が 0 のときポート 5 のリードを行うと、端子の状態が読み出されます。
1	P51DR	0	R/W	
0	P50DR	0	R/W	

## 8. I/O ポート

### 8.5.3 端子機能

- P52/SCK0/SCL0

SCI\_0 の SMR の C/ $\bar{A}$  ビット、SCR の CKE0、CKE1 ビット、IIC\_0 の ICCR の ICE ビット、および P52DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0				1	0
C/ $\bar{A}$	0			1	–	0
CKE0	0		1	–	–	0
P52DDR	0	1	–	–	–	–
端子機能	P52 入力端子	P52 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子	SCL0 入出力端子

【注】 SCL0 入出力端子として使用する場合は、SCI\_0 の SCR の CKE1、CKE0 ビット、SMR の C/ $\bar{A}$  ビットの各ビットを必ず 0 にクリアしてください。なお、SCL0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。また、P52 出力端子、SCK0 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P51/RxD0

SCI\_0 の SCR の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P51DDR	0	1	–
端子機能	P51 入力端子	P51 出力端子	RxD0 入力端子

- P50/TxD0

SCI\_0 の SCR の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P50DDR	0	1	–
端子機能	P50 入力端子	P50 出力端子	TxD0 出力端子

## 8.6 ポート 6

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、ノイズキャンセル端子、FRT、TMR\_0、TMR\_1、TMR\_X、TMR\_Y 入出力端子と兼用になっています。ポート 6 には以下のレジスタがあります。

- ポート6データディレクションレジスタ (P6DDR)
- ポート6データレジスタ (P6DR)
- ポート6ノイズキャンセライネーブルレジスタ (P6NCE)
- ポート6ノイズキャンセラ判定制御レジスタ (P6NCMC)
- ポート6ノイズキャンセル周期設定レジスタ (P6NCCS)

### 8.6.1 ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、ポート 6 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説 明
7	P67DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P66DDR	0	W	
5	P65DDR	0	W	
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

## 8. I/O ポート

### 8.6.2 ポート 6 データレジスタ (P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P67DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P6DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P6DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P66DR	0	R/W	
5	P65DR	0	R/W	
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

### 8.6.3 ポート 6 ノイズキャンセライネーブルレジスタ (P6NCE)

P6NCE は、ポート 6 端子のノイズキャンセル回路のイネーブルとディスエーブルをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	P67NCE	0	R/W	このビットを 1 にセットするとノイズキャンセル回路をイネーブルにして、P6NCCS で設定したサンプリング周期で端子設定状態を P6DR に取り込みます。
6	P66NCE	0	R/W	
5	P65NCE	0	R/W	
4	P64NCE	0	R/W	
3	P63NCE	0	R/W	
2	P62NCE	0	R/W	
1	P61NCE	0	R/W	
0	P60NCE	0	R/W	

### 8.6.4 ポート6 ノイズキャンセラ判定制御レジスタ (P6NCCMC)

P6NCCMC は、ポート6 端子の入力信号で1 期待か0 期待かをビットごとに制御します。

ビット	ビット名	初期値	R/W	説 明
7	P67NCCMC	0	R/W	1 期待：1 が安定入力時にポートデータレジスタに1 が格納されます。 0 期待：0 が安定入力時にポートデータレジスタに0 が格納されます。
6	P66NCCMC	0	R/W	
5	P65NCCMC	0	R/W	
4	P64NCCMC	0	R/W	
3	P63NCCMC	0	R/W	
2	P62NCCMC	0	R/W	
1	P61NCCMC	0	R/W	
0	P60NCCMC	0	R/W	

### 8.6.5 ポート6 ノイズキャンセル周期設定レジスタ (P6NCCS)

P6NCCS は、ノイズキャンセラのサンプリングの周期を制御します。

ビット	ビット名	初期値	R/W	説 明
7~3	—	すべて 不定	R/W	リザーブビット リード値は不定です。初期値を変更しないでください。
2	P6NCCK2	0	R/W	ノイズキャンセラのサンプリング周期を設定します。 $\phi = 10\text{MHz}$ 時 000 : 0.8 $\mu\text{s}$ $\phi/2$ 001 : 12.8 $\mu\text{s}$ $\phi/32$ 010 : 3.3ms $\phi/8192$ 011 : 6.6ms $\phi/16384$ 100 : 13.1ms $\phi/32768$ 101 : 26.2ms $\phi/65536$ 110 : 52.4ms $\phi/131072$ 111 : 104.9ms $\phi/262144$
1	P6NCCK1	0	R/W	
0	P6NCCK0	0	R/W	

## 8. I/O ポート

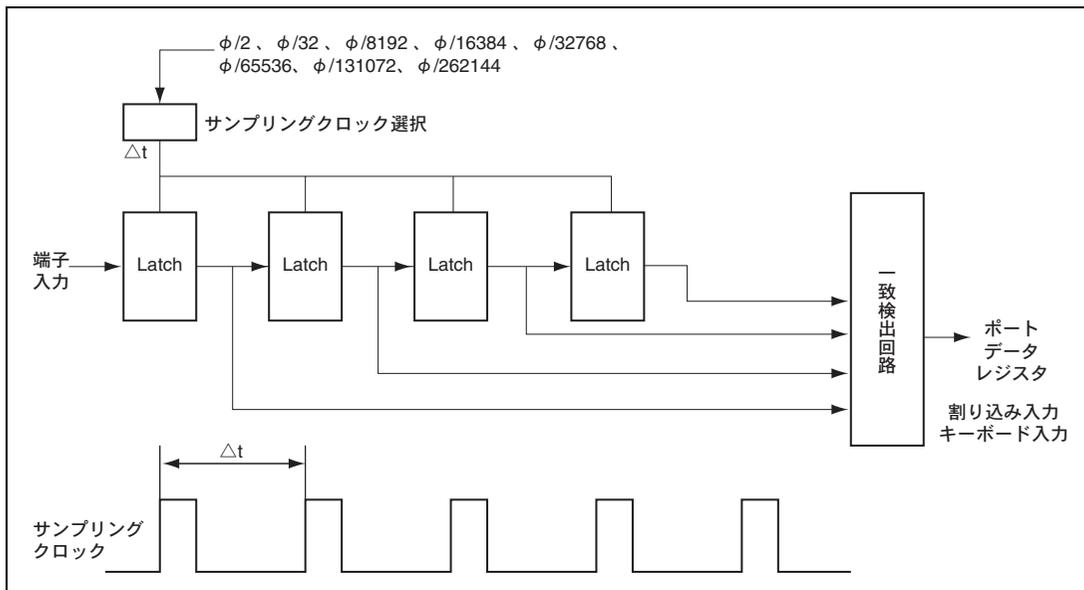


図 8.1 ノイズキャンセル回路

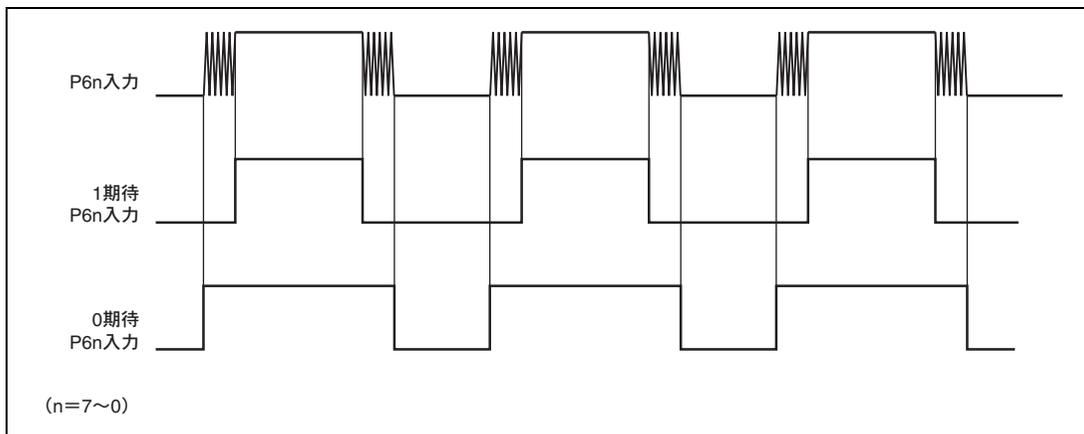


図 8.2 ノイズキャンセル動作概念図

### 8.6.6 端子機能

- P67/ $\overline{\text{IRQ3}}$ /TMOX/TMO1

TMR\_1、TMR\_X の TCSR の OS3~OS0 ビットと P67DDR ビットにより、次のように切り替わります。  
割り込みコントローラの IER の IRQ3E ビットを 1 にセットすると、 $\overline{\text{IRQ3}}$  入力端子になります。

OS3~OS0 (TMR_X)	すべてが 0			いずれかが 1
OS3~OS0 (TMR_1)	すべてが 0		いずれかが 1	—
P67DDR	0	1	—	—
端子機能	P67 入力端子	P67 出力端子	TMO1 出力端子	TMOX 出力端子
	$\overline{\text{IRQ3}}$ 入力端子			

- P66/FTOB/TMRI1

FRT の TOCR の OEB ビットと P66DDR ビットの組み合わせにより、次のように切り替わります。TMR\_1 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMRI1 入力端子になります。

OEB	0		1
P66DDR	0	1	—
端子機能	P66 入力端子	P66 出力端子	FTOB 出力端子
	TMRI1 入力端子		

- P65/FTID/TMCI1

P65DDR ビットにより、次のように切り替わります。FRT の TIER の ICIDE ビットを 1 にセットすると FTID 入力端子になります。TMR\_1 の TCR の CKS2~CKS0 ビットで外部クロックを選択すると TMCI1 入力端子になります。

P65DDR	0	1
端子機能	P65 入力端子	P65 出力端子
	FTID 入力端子 / TMCI1 入力端子	

- P64/FTIC/TMO0

TMR\_0 の TCSR の OS3~OS0 ビットと P64DDR ビットにより、次のように切り替わります。FRT の TIER の ICICE ビットを 1 にセットすると FTIC 入力端子になります。

OS3~OS0	すべてが 0		いずれかが 1
P64DDR	0	1	—
端子機能	P64 入力端子	P64 出力端子	TMO0 出力端子
	FTIC 入力端子		

## 8. I/O ポート

- P63/FTIB/TMRI0

P63DDR ビットにより、次のように切り替わります。FRT の TIER の ICIBE ビットを 1 にセットすると FTIB 入力端子になります。TMR\_0 の TCR の CCLR1、CCLR0 ビットをいずれにも 1 にセットすると TMRI0 入力端子になります。

P63DDR	0	1
端子機能	P63 入力端子	P63 出力端子
	FTIB 入力端子/TMRI0 入力端子	

- P62/FTIA/TMIY

P62DDR ビットにより、次のように切り替わります。FRT の TIER の ICIAE ビットを 1 にセットすると FTIA 入力端子になります。TMR\_Y の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMIY (TMRIY) 入力端子になります。

P62DDR	0	1
端子機能	P62 入力端子	P62 出力端子
	FTIA 入力端子/TMIY 入力端子	

- P61/FTOA/TMOY

FRT の TOCR の OEA ビットと TMR\_Y の TCSR の OS3~OS0 ビットと P61DDR ビットの組み合わせにより、次のように切り替わります。

OS3~OS0	すべてが 0		いずれかが 1
OEA	0	1	—
P61DDR	0	1	—
端子機能	P61 入力端子	P61 出力端子	FTOA 出力端子 TMOY 出力端子

- P60/FTCI/TMCIO/TMIX

P60DDR ビットにより、次のように切り替わります。FRT の TCR の CKS1、CKS0 ビットをいずれも 1 にセットすると FTCI 入力端子になります。TMR\_X の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると、TMIX (TMRIX) 入力端子になります。TMR\_0 の TCR の CKS2~CKS0 ビットで外部クロックを選択すると TMCIO 入力端子になります。

P60DDR	0	1
端子機能	P60 入力端子	P60 出力端子
	FTCI 入力端子/TMCIO 入力端子/TMIX 入力端子	

## 8.7 ポート 7

ポート 7 は、8 ビットの入力ポートです。ポート 7 は、割り込み入力端子、A/D 変換器のアナログ入力端子、TCM\_0、TCM\_1 の入力端子と兼用になっています。ポート 7 には以下のレジスタがあります。

- ポート 7 入力データレジスタ (P7PIN)

### 8.7.1 ポート 7 入力データレジスタ (P7PIN)

P7PIN は、ポート 7 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P77PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。
6	P76PIN	不定*	R	
5	P75PIN	不定*	R	
4	P74PIN	不定*	R	
3	P73PIN	不定*	R	
2	P72PIN	不定*	R	
1	P71PIN	不定*	R	
0	P70PIN	不定*	R	

【注】 \* P77～P70 端子の状態により決定されます。

### 8.7.2 端子機能

- P77/AN7/ $\overline{\text{IRQ7}}$ /TCMCKI0

割り込みコントローラの IER の IRQ7E ビットを 1 にセットすると  $\overline{\text{IRQ7}}$  入力端子になります。TCM\_0 の TCMCR\_0 の CKS2～CKS0 で外部クロックを選択すると TCMCKI0 入力端子になります。

端子機能	P77 入力端子 / AN7 入力端子 / $\overline{\text{IRQ7}}$ 入力端子 / TCMCKI0 入力端子
------	--

- P76/AN6/ $\overline{\text{IRQ6}}$ /TCMCYI0

割り込みコントローラの IER の IRQ6E ビットを 1 にセットすると  $\overline{\text{IRQ6}}$  入力端子になります。TCM\_0 の TCMIER\_0 の TCMPIE ビットを 1 にセットすると TCMCYI0 入力端子になります。

端子機能	P76 入力端子 / AN6 入力端子 / $\overline{\text{IRQ6}}$ 入力端子 / TCMCYI0 入力端子
------	--

- P75/AN5/ $\overline{\text{IRQ5}}$ /TCMCKI1

割り込みコントローラの IER の IRQ5E ビットを 1 にセットすると  $\overline{\text{IRQ5}}$  入力端子になります。TCM\_1 の TCMCR\_1 の CKS2～CKS0 で外部クロックを選択すると TCMCKI1 入力端子になります。

端子機能	P75 入力端子 / AN5 入力端子 / $\overline{\text{IRQ5}}$ 入力端子 / TCMCKI1 入力端子
------	--

## 8. I/O ポート

---

- P74/AN4/ $\overline{\text{IRQ4}}$ /TCMCY11

割り込みコントローラの IER の IRQ4E ビットを 1 にセットすると  $\overline{\text{IRQ4}}$  入力端子になります。TCM\_1 の TCMIER\_1 の TCMPIE ビットを 1 にセットすると TCMCY11 入力端子になります。

端子機能	P74 入力端子 / AN4 入力端子 / $\overline{\text{IRQ4}}$ 入力端子 / TCMCY11 入力端子
------	--

- P73/AN3、P72/AN2、P71/AN1、P70/AN0

端子機能	P7n 入力端子 / ANn 入力端子
------	---------------------

【注】 n=3~0

---

## 9. 8ビット PWM タイマ (PWM)

---

本 LSI は、16 本の出力を持つ PWM (Pulse Width Modulation) を内蔵しています。16 本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の PWM 出力が可能です。

### 9.1 特長

- パルス分割により、最大1.25MHzのキャリア周波数での動作可能 (20MHz動作時)
- デューティ0~100%を1/256の分解能で設定可能 (100%はポート出力で実現)
- PWM出力のイネーブル/ディスエーブルの切り替え、直接出力/反転出力の切り替えが可能

## 9. 8ビットPWMタイマ (PWM)

PWM タイマのブロック図を図 9.1 に示します。

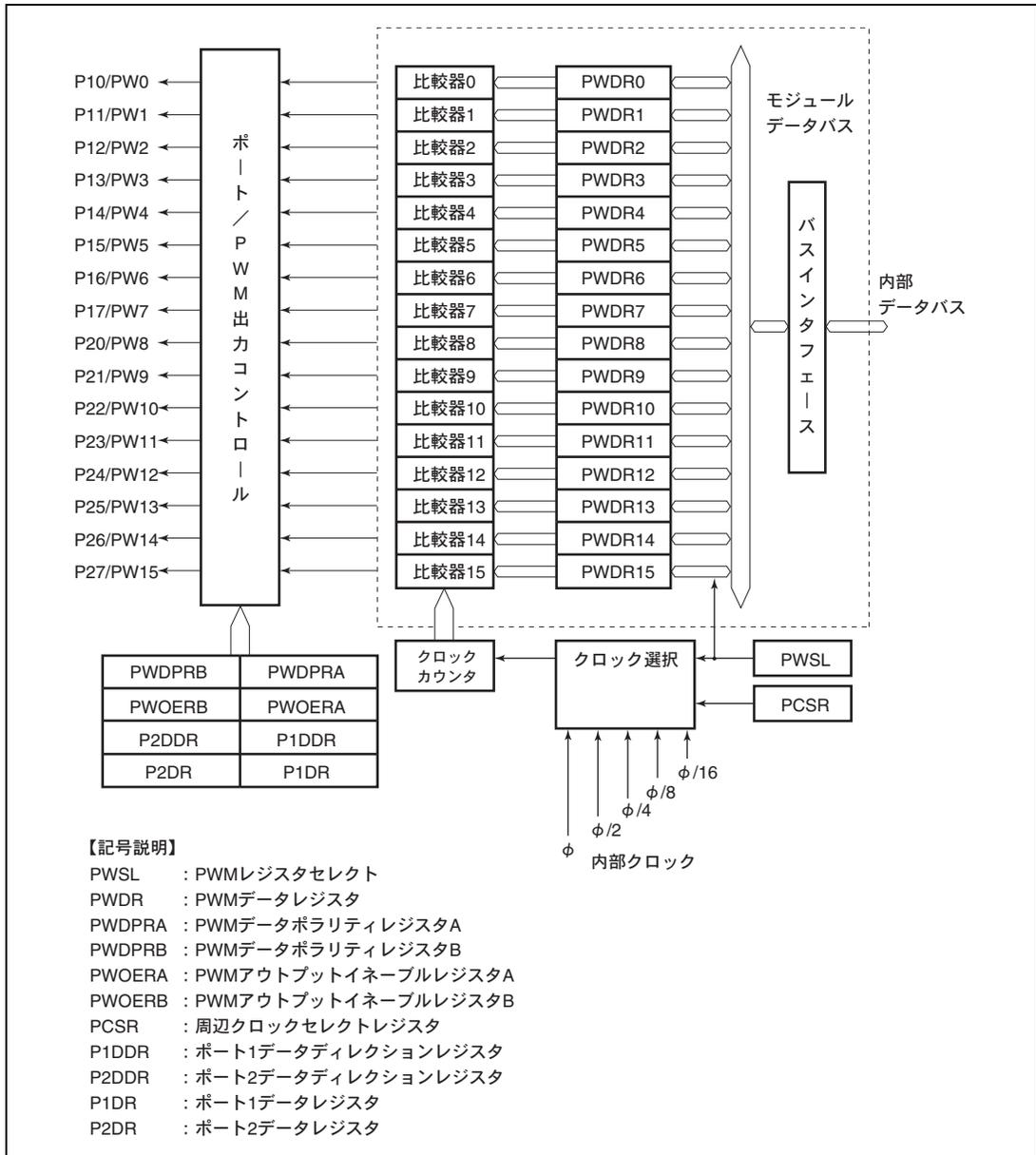


図 9.1 PWM タイマのブロック図

## 9.2 入出力端子

PWM の出力端子を表 9.1 に示します。

表 9.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 15~0	PW15~PW0	出力	PWM タイマパルス出力 15~0

## 9.3 レジスタの説明

PWM には以下のレジスタがあります。PCSR をアクセスするためには、シリアルタイムコントロールレジスタ (STCR) の FLSHE ビットを 0 にクリアする必要があります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- PWMレジスタセレクト (PWSL)
- PWMデータレジスタ0~15 (PWDR0~PWDR15)
- PWMデータポラリティレジスタA (PWPRA)
- PWMデータポラリティレジスタB (PWPRB)
- PWMアウトプットイネーブルレジスタA (PWOERA)
- PWMアウトプットイネーブルレジスタB (PWOERB)
- 周辺クロックセレクトレジスタ (PCSR)

### 9.3.1 PWM レジスタセレクト (PWSL)

PWSL は、入力クロックの選択および PWM データレジスタの選択を行います。

ビット	ビット名	初期値	R/W	説 明
7	PWCKE	0	R/W	PWM クロックイネーブル
6	PWCKS	0	R/W	PWM クロックセレクト PCSR の PWCKB、PWCKA ビットとともに、PWM の TCNT に入力する内部クロックを選択します。表 9.2 を参照してください。 分解能、PWM 変換周期、キャリア周波数は、選択した内部クロックにより次の式で求めることができます。 分解能 (最小パルス幅) = 1 / 内部クロック周波数 PWM 変換周期 = 分解能 × 256 キャリア周波数 = 16 / PWM 変換周期 システムクロック (φ) が 20MHz のときの分解能、PWM 変換周期、キャリア周波数は表 9.3 のようになります。
5	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

## 9. 8ビットPWMタイマ (PWM)

ビット	ビット名	初期値	R/W	説明	
4	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。	
3	RS3	0	R/W	レジスタセレクト PWM データレジスタを選択します。	
2	RS2	0	R/W		
1	RS1	0	R/W		0000 : PWDR0 選択                      1000 : PWDR8 選択
0	RS0	0	R/W		0001 : PWDR1 選択                      1001 : PWDR9 選択
					0010 : PWDR2 選択                      1010 : PWDR10 選択
				0011 : PWDR3 選択                      1011 : PWDR11 選択	
				0100 : PWDR4 選択                      1100 : PWDR12 選択	
				0101 : PWDR5 選択                      1101 : PWDR13 選択	
				0110 : PWDR6 選択                      1110 : PWDR14 選択	
				0111 : PWDR7 選択                      1111 : PWDR15 選択	

表 9.2 内部クロックの選択

PWSL		PCSR		説明
PWCKE	PWCKS	PWCKB	PWCKA	
0	—	—	—	クロック入力禁止 (初期値)
1	0	—	—	$\phi$ (システムクロック) を選択
				1
	1	1	$\phi/4$ を選択	
		1	0	$\phi/8$ を選択
1	$\phi/16$ を選択			

表 9.3  $\phi=20\text{MHz}$  時の分解能、PWM 変換周期、キャリア周波数

内部クロック周波数	分解能	PWM 変換周期	キャリア周波数
$\phi$	50ns	12.8 $\mu\text{s}$	1250kHz
$\phi/2$	100ns	25.6 $\mu\text{s}$	625kHz
$\phi/4$	200ns	51.2 $\mu\text{s}$	312.5kHz
$\phi/8$	400ns	102.4 $\mu\text{s}$	156.3kHz
$\phi/16$	800ns	204.8 $\mu\text{s}$	78.1kHz

### 9.3.2 PWM データレジスタ (PWDR0~PWDR15)

PWDR は 8 ビットのリード/ライト可能なレジスタです。PWM には 16 本の PWDR があります。出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDR に設定する値が、変換周期内の 0/1 比に対応します。上位 4 ビットは基本パルスのデューティ比を 0/16~15/16 まで 1/16 の分解能で指定し、下位 4 ビットは 16 基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の 0/1 比は 0/256~255/256 まで指定可能です。256/256 (100%) を出力する場合はポート出力を利用してください。PWDR の初期値は H'00 です。

## 9.3.3 PWM データポラリティレジスタ A、B (PWDPRA、PWDPRB)

PWDPRA は PWM の出力位相を選択します。

- PWDPRA

ビット	ビット名	初期値	R/W	説明
7	OS7	0	R/W	アウトプットセレクト 7~0
6	OS6	0	R/W	PWM の出力位相を選択します。OS7~OS0 ビットがそれぞれ PW7~PW0 出力に対応します。 0 : PWM 直接出力 (PWDR の値が出力の High 幅に対応) 1 : PWM 反転出力 (PWDR の値が出力の Low 幅に対応)
5	OS5	0	R/W	
4	OS4	0	R/W	
3	OS3	0	R/W	
2	OS2	0	R/W	
1	OS1	0	R/W	
0	OS0	0	R/W	

- PWDPRB

ビット	ビット名	初期値	R/W	説明
7	OS15	0	R/W	アウトプットセレクト 15~8
6	OS14	0	R/W	PWM の出力位相を選択します。OS15~OS8 ビットがそれぞれ PW15~PW8 出力に対応します。 0 : PWM 直接出力 (PWDR の値が出力の High 幅に対応) 1 : PWM 反転出力 (PWDR の値が出力の Low 幅に対応)
5	OS13	0	R/W	
4	OS12	0	R/W	
3	OS11	0	R/W	
2	OS10	0	R/W	
1	OS9	0	R/W	
0	OS8	0	R/W	

## 9.3.4 PWM アウトプットイネーブルレジスタ A、B (PWOERA、PWOERB)

PWOERA は PWM 出力とポート出力を切り替えます。

- PWOERA

ビット	ビット名	初期値	R/W	説明
7	OE7	0	R/W	アウトプットイネーブル 7~0
6	OE6	0	R/W	P1DDR とともに、P1n/PWn 端子の状態を指定します。OE7~OE0 ビットがそれぞれ PW7~PW0 出力に対応します。 P1nDDR OEn : 端子状態 0X : ポート入力 10 : ポート出力または PWM の 256/256 出力 11 : PWM 出力 (0~255/256 出力)
5	OE5	0	R/W	
4	OE4	0	R/W	
3	OE3	0	R/W	
2	OE2	0	R/W	
1	OE1	0	R/W	
0	OE0	0	R/W	

【記号説明】 X : Don't care

## 9. 8ビットPWMタイマ (PWM)

### • PWOERB

ビット	ビット名	初期値	R/W	説明
7	OE15	0	R/W	アウトプットイネーブル 15~8
6	OE14	0	R/W	P2DDR とともに、P2n/PWn 端子の状態を指定します。OE15~OE8 ビットがそれぞれ PW15~PW8 出力に対応します。
5	OE13	0	R/W	
4	OE12	0	R/W	P2nDDR OEn : 端子状態 0X : ポート入力
3	OE11	0	R/W	
2	OE10	0	R/W	10 : ポート出力または PWM の 256/256 出力
1	OE9	0	R/W	11 : PWM 出力 (0~255/256 出力)
0	OE8	0	R/W	

【記号説明】 X : Don't care

DDR=1、OE=0 のとき PWM の 256/256 出力を実現するためには、該当端子をポート出力にする必要があります。該当端子をポート出力にするためには、シングルチップモード (PW15~PW0) か、内蔵 ROM 有効拡張モードで SYSCR の IOSE=1 (PW15~PW12) にしてください。それ以外の状態では、該当端子にアドレスバスが出力されるのでご注意ください。

また、該当端子がポート出力のときに出力されるのは、DR のデータです。PWM の 256/256 出力に対応する値は OE ビットで決まるので、この値をあらかじめ DR に設定してください。

### 9.3.5 周辺クロックセレクトレジスタ (PCSR)

PCSR は PWM の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	初期値を変更しないでください。
5	PWCKXB		R/W	PWMX クロックセレクト 「10.3.4 周辺クロックセレクトレジスタ (PCSR)」を参照してください。
4	PWCKXA		R/W	
3	—	すべて 0	R	リザーブビット 初期値を変更しないでください。
2	PWCKB	0	R/W	PWM クロックセレクト B、A PWSL の PWCKE、PWCKS ビットとともに、クロックカウンタに入力する内部クロックを選択します。表 9.2 を参照してください。
1	PWCKA	0	R/W	
0	PWCKXC	0	R/W	PWMX クロックセレクト 「10.3.4 周辺クロックセレクトレジスタ (PCSR)」を参照してください。

## 9.4 動作説明

PWDR の上位 4 ビットは、基本パルスのデューティ比を 0/16~15/16 まで 1/16 の分解能で指定します。

表 9.4 に基本パルスのデューティ比を示します。

表 9.4 基本パルスのデューティ比

上位4ビット	基本パルス波形 (内部)															
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000																
0001																
0010																
0011																
0100																
0101																
0110																
0111																
1000																
1001																
1010																
1011																
1100																
1101																
1110																
1111																

## 9. 8ビットPWMタイマ (PWM)

PWDR の下位 4 ビットは、16 基本パルスに対する付加パルスの付加位置を指定します。付加パルスは、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間 (OS=0 の場合) を付加します。PWDR の上位 4 ビットが 0000 の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。

表 9.5 に基本パルスに対応する付加パルスの位置を、図 9.2 に付加パルスタイミング例を示します。

表 9.5 基本パルスに対する付加パルスの位置

下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0000																
0001																○
0010								○								○
0011								○				○				○
0100				○				○				○				○
0101				○				○				○		○		○
0110				○		○		○				○		○		○
0111				○		○		○		○		○		○		○
1000		○		○		○		○		○		○		○		○
1001		○		○		○		○		○		○		○	○	○
1010		○		○		○	○	○		○		○		○	○	○
1011		○		○		○	○	○		○	○	○		○	○	○
1100		○	○	○		○	○	○		○	○	○		○	○	○
1101		○	○	○		○	○	○		○	○	○	○	○	○	○
1110		○	○	○	○	○	○	○		○	○	○	○	○	○	○
1111		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

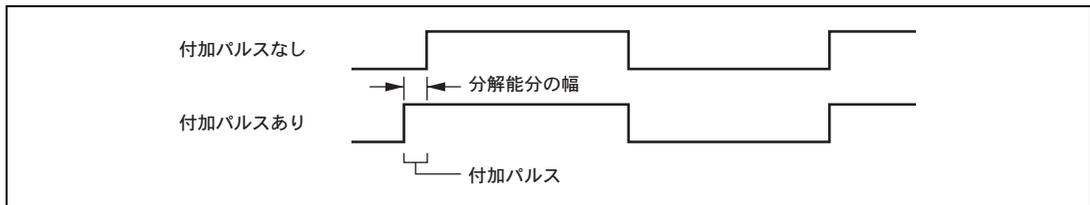


図 9.2 付加パルスタイミング例 (PWDR 上位 4 ビットが 1000)

### 9.4.1 PWM の設定例 (パルス分割方式)

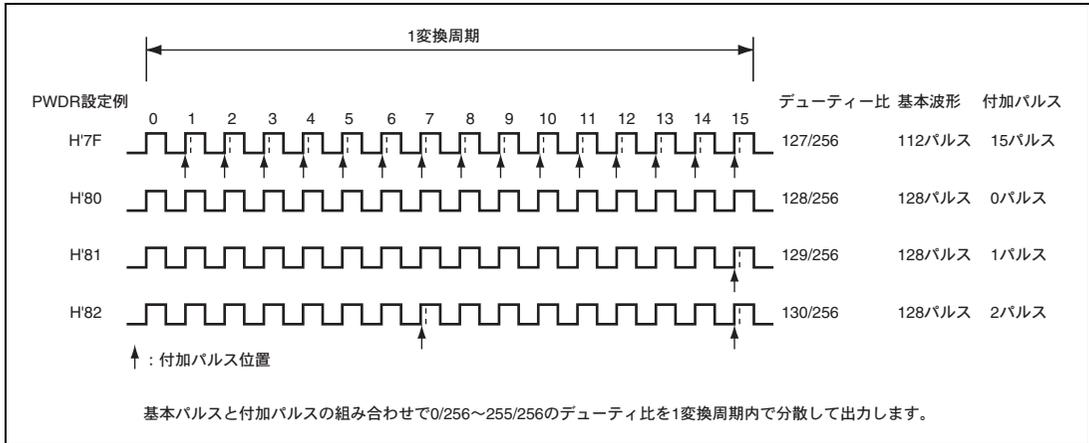


図 9.3 PWM の設定例

### 9.4.2 D/A として使用する場合の回路例

PWM パルスを D/A として使用する場合の回路例を示します。ローパスフィルタを接続することにより、リップルの少ないアナログ出力を生成することが可能です。

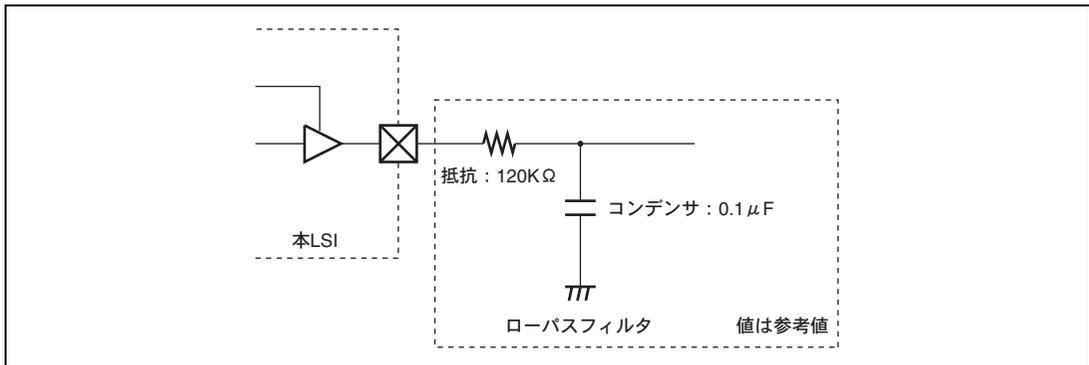


図 9.4 D/A として使用する場合の回路例

### 9.5 使用上の注意事項

#### 9.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWMの動作停止/許可を設定することが可能です。初期値ではPWMの動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第22章 低消費電力状態」を参照してください。

## 10. 14ビットPWMタイマ (PWMX)

本 LSI は 2 チャンネルの 14 ビット PWM (Pulse Width Modulation) を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビット D/A 変換器として使用できます。

### 10.1 特長

- リップルの少ないパルス分割方式
- 8種類の分解能を選択可能  
システムクロック周期  
システムクロック周期×2、×64、×128、×256、×1024、×4096、×16384から選択可能
- 2種類の基本周期を設定可能  
基本周期 T×64  
基本周期 T×256 (T=分解能)
- 16種類の動作クロック (基本周期2種類×分解能8種類) を選択可能

PWMX (D/A) のブロック図を図 10.1 に示します。

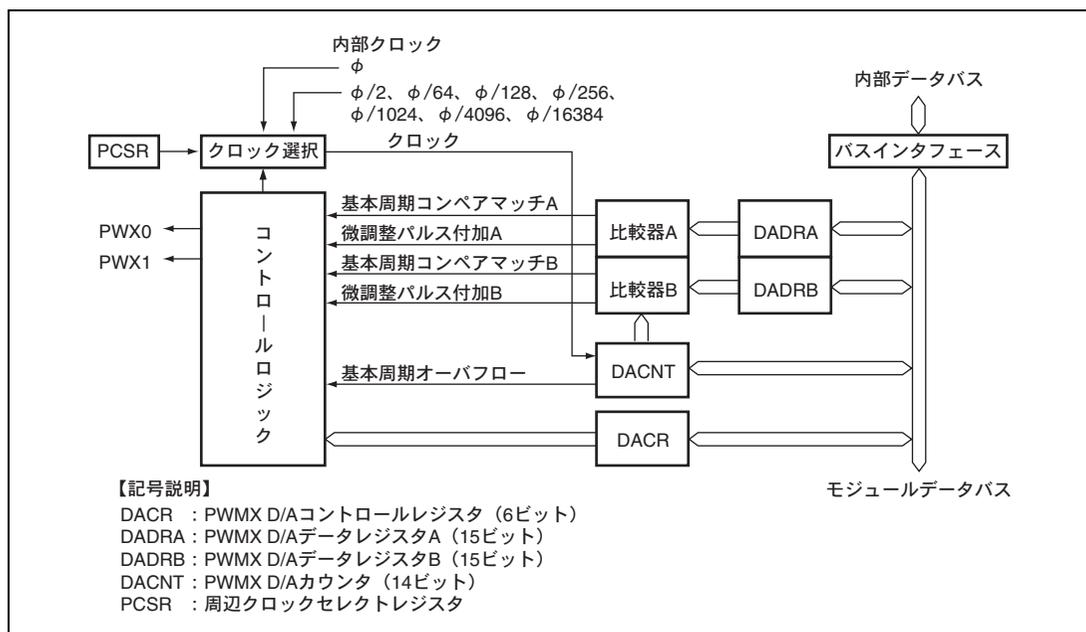


図 10.1 PWMX (D/A) のブロック図

## 10. 14ビットPWMタイマ (PWMX)

### 10.2 入出力端子

PWMX (D/A) の入出力端子を表 10.1 に示します。

表 10.1 端子構成

名 称	記号	入出力	機 能
PWMX 出力端子 0	PWX0	出力	チャンネル A の PWM 出力
PWMX 出力端子 1	PWX1	出力	チャンネル B の PWM 出力

### 10.3 レジスタの説明

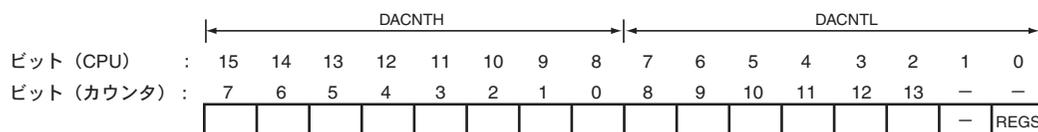
PWMX (D/A) には以下のレジスタがあります。PWMX (D/A) のレジスタは、他のレジスタと同一のアドレスに割り当てられています。レジスタの選択は、シリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。なお、モジュールストップコントロールレジスタについては「22.1.3 モジュールストップコントロールレジスタ H、L、A、B (MSTPCRH、MSTPCRL、MSTPCRA、MSTPCRB)」を参照してください。

- PWMX (D/A) カウンタ (DACNT)
- PWMX (D/A) データレジスタ A (DADRA)
- PWMX (D/A) データレジスタ B (DADRB)
- PWMX (D/A) コントロールレジスタ (DACR)
- 周辺クロックセレクトレジスタ (PCSR)

【注】 DADRA と DACR、DADRB と DACNT のアドレスは同一です。レジスタの切り替えは DACNT または DADRB の REGS ビットで行います。

#### 10.3.1 PWMX (D/A) カウンタ H、L (DACNTH、DACNTL)

DACNT は 14 ビットのリード/ライト可能なアップカウンタです。入力クロックは DACR の CKS ビットにより選択します。DACNT は、2 チャンネルの PWMX (D/A) のタイムベースとして使用されます。14 ビット精度で使用する場合には全ビットを、12 ビット精度で使用する場合には上位 2 ビット (カウンタ) を無視し、下位 12 ビットを利用します。DACNT は 16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.4 バスマスタとのインタフェース」を参照してください。



- DACNTH

ビット	ビット名	初期値	R/W	説 明
7~0	DACNT7~ DACNT0	すべて 0	R/W	上位アップカウンタ

## • DACNTL

ビット	ビット名	初期値	R/W	説明
7~2	DACNT8~ DACNT13	すべて0	R/W	下位アップカウンタ
1	—	1	R	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。 このビットはアクセス可能にするレジスタを選択します。 0 : DADRA と DADRB がアクセス可能 1 : DACR と DACNT がアクセス可能

## 10.3.2 PWMX (D/A) データレジスタ A、B (DADRA、DADRB)

DADRA は PWMX (D/A) チャンネル A に、DADRB は PWMX (D/A) チャンネル B に対応します。16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.4 バスマスタとのインタフェース」を参照してください。

## • DADRA

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0 D/A 変換データを設定します。このレジスタの値は DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ 0 に固定します。 この下位 2 ビットデータは DACNT の DACNT12、13 との比較を行いません。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	キャリアフリーケンセレクト 0 : 基本周期 = 分解能 (T) × 64 で動作 DA13~DA0 の値の範囲は H'0100~H'3FFF 1 : 基本周期 = 分解能 (T) × 256 で動作 DA13~DA0 の値の範囲は H'0040~H'3FFF
0	—	1	R	リザーブビット リードすると常に1が読み出されます。ライトは無効です。

## 10. 14 ビット PWM タイマ (PWMX)

### • DADRB

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0 D/A 変換データを設定します。このレジスタの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ 0 に固定します。この 2 ビットデータは DACNT の DACNT12、13 との比較を行いません。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	キャリアフリーケンシセレクト 0: 基本周期=分解能 (T) × 64 で動作 DA13~DA0 の値の範囲は H'0100~H'3FFF 1: 基本周期=分解能 (T) × 256 で動作 DA13~DA0 の値の範囲は H'0040~H'3FFF
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。 0: DADRA と DADRB がアクセス可能 1: DACR と DACNT がアクセス可能

### 10.3.3 PWMX (D/A) コントロールレジスタ (DACR)

DACR は、出力の許可、出力位相および動作速度を選択します。

ビット	ビット名	初期値	R/W	説 明
7	—	0	R/W	リザーブビット 初期値を変更しないでください。
6	PWME	0	R/W	PWMX イネーブル DACNT の動作/停止を選択します。 0 : DACNT は 14 ビットのアップカウンタとして動作 1 : DACNT=H'0003 で停止
5	—	1	R	リザーブビット
4	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
3	OEB	0	R/W	アウトプットイネーブル B PWMX (D/A) チャンネル B の出力の許可/禁止を選択します。 0 : PWMX (D/A) チャンネル B 出力 (PWX1 出力端子) を禁止 1 : PWMX (D/A) チャンネル B 出力 (PWX1 出力端子) を許可
2	OEA	0	R/W	アウトプットイネーブル A PWMX (D/A) チャンネル A の出力の許可/禁止を選択します。 0 : PWMX (D/A) チャンネル A 出力 (PWX0 出力端子) を禁止 1 : PWMX (D/A) チャンネル A 出力 (PWX0 出力端子) を許可
1	OS	0	R/W	アウトプットセレクト PWMX(D/A)の出力位相を選択します。 0 : PWMX (D/A) 直接出力 1 : PWMX (D/A) 反転出力
0	CKS	0	R/W	クロックセレクト PWMX (D/A) の分解能を選択します。分解能は 8 種類から選択できます。 0 : 分解能 (T) = システムクロック周期 ( $t_{cyc}$ ) で動作 1 : 分解能 (T) = システムクロック周期 ( $t_{cyc}$ ) × 2、× 64、× 128、× 256、 × 1024、× 4096、× 16384 で動作

## 10. 14ビットPWMタイマ (PWMX)

### 10.3.4 周辺クロックセレクトレジスタ (PCSR)

PCSRは、DACRのCKSビットとあわせて動作速度を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	初期値を変更しないでください。
5	PWCKXB	0	R/W	PWMXクロックセレクト
4	PWCKXA	0	R/W	PWMXのDACRのCKSが1の状態ではクロックを選択します。表10.2を参照してください。
3	—	0	R/W	リザーブビット 初期値を変更しないでください。
2	PWCKB	0	R/W	PWMクロックセレクトB、A
1	PWCKA	0	R/W	「9.3.5 周辺クロックセレクトレジスタ (PCSR)」を参照してください。
0	PWCKXC	0	R/W	PWMXクロックセレクト PWMXのDACRのCKSが1の状態ではクロックを選択します。表10.2を参照してください。

表 10.2 PWMXのクロックセレクト

PWCKXC	PWCKXB	PWCKXA	分解能 (T)
0	0	0	システムクロック周期 ( $t_{\text{cyc}}$ ) × 2 で動作
0	0	1	システムクロック周期 ( $t_{\text{cyc}}$ ) × 64 で動作
0	1	0	システムクロック周期 ( $t_{\text{cyc}}$ ) × 128 で動作
0	1	1	システムクロック周期 ( $t_{\text{cyc}}$ ) × 256 で動作
1	0	0	システムクロック周期 ( $t_{\text{cyc}}$ ) × 1024 で動作
1	0	1	システムクロック周期 ( $t_{\text{cyc}}$ ) × 4096 で動作
1	1	0	システムクロック周期 ( $t_{\text{cyc}}$ ) × 16384 で動作
1	1	1	設定禁止

## 10.4 バスマスタとのインタフェース

DACNT、DADRA、DADRBは16ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間のデータバスは8ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8ビットのテンポラリレジスタ (TEMP) を介して行います。各レジスタのリード/ライトは次のような動作で行われます。

### (1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトにより、TEMPにある上位バイトの値と合わせて16ビットデータとしてレジスタにライトされます。

### (2) レジスタからのリード時の動作

上位バイトのリードにより、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトのリードにより、TEMPにある下位バイトの値がCPUに転送されます。

これらのレジスタのアクセスはMOV命令を使用し、常に16ビット単位で行い、上位バイト、下位バイトの順序で行ってください。上位バイトのみ、下位バイトのみのアクセスではデータは正しく転送されません。なお、ビット操作命令は使用できません。

#### 例1 DACNTへのライト

```
MOV.W R0, @DACNT    DACNTへR0の内容をライト
```

#### 例2 DADRAのリード

```
MOV.W @DADRA, R0    DADRAの内容をR0に転送
```

表 10.3 16ビットレジスタのリード/ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA、DADRB	○	○	○	×
DACNT	○	×	○	×

#### 【記号説明】

○：許されているアクセスを示します。

ワード単位のアクセスとは上位バイト→下位バイトの順序で連続してバイトアクセスすることを含みます。

×：その単位のアクセスでは、結果が保証されません。

10. 14 ビット PWM タイマ (PWMX)

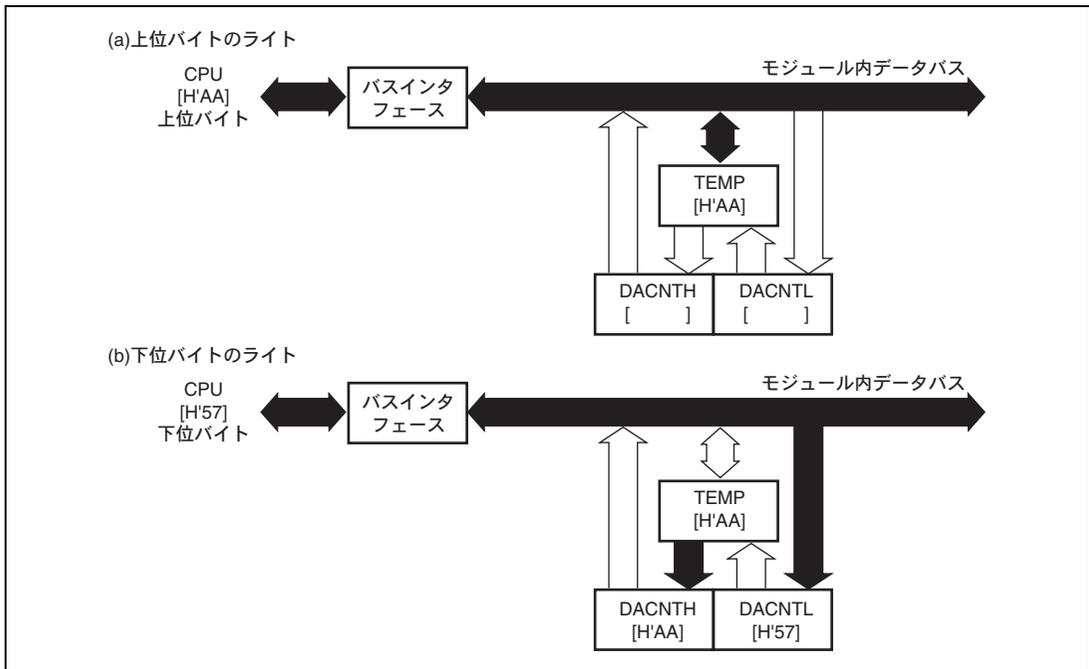


図 10.2 (1) DACNT のアクセス動作 (1) (CPU→DACNT[H'AA57]ライト時)

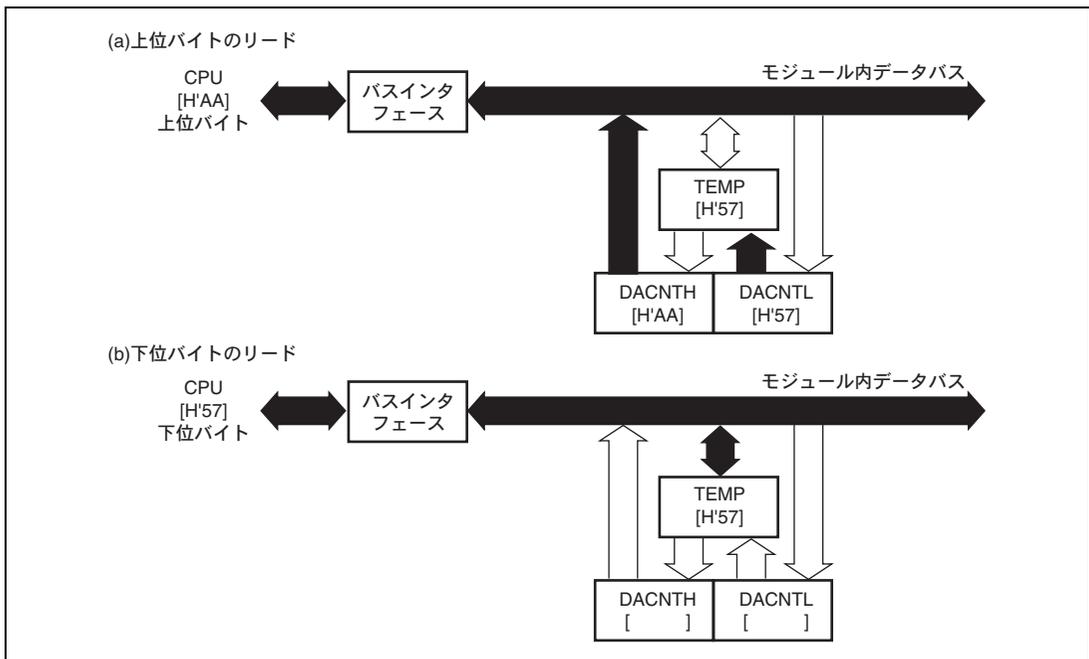


図 10.2 (2) DACNT のアクセス動作 (2) (DACNT→CPU[H'AA57]リード時)

## 10.5 動作説明

PWX 端子からは、図 10.3 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS=0 の場合 64、CFS=1 の場合 256) の 0 レベル幅の合計 ( $T_L$ ) が DADR の DA13~DA0 と対応しています。OS=0 の場合、この波形が直接出力されます。OS=1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 ( $T_H$ ) が DADR の DA13~DA0 と対応しています。出力波形を図 10.4、図 10.5 に示します。

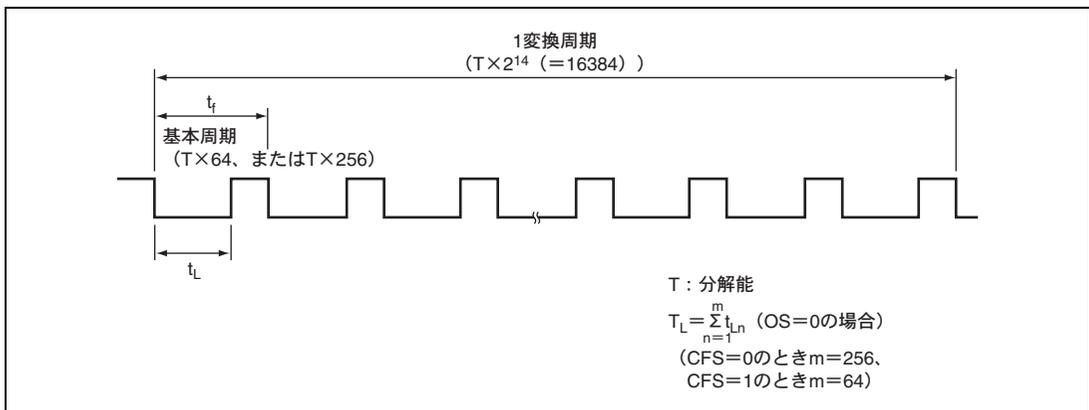


図 10.3 PWMX (D/A) の動作

CKS、CFS の設定と、分解能、基本周期、変換周期との関係を表 10.4 に示します。DADR の DA13~DA0 がある値以上ではないと PWM 出力は固定レベルとなります。また、OS ビットと出力波形の関係を図 10.4 と図 10.5 に示します。

10. 14ビットPWMタイマ (PWMX)

表 10.4 設定値と動作内容 (φ : 20MHz 時の例)

PCSR			CKS	分解能 T (μs)	CFS	基本 周期	変換 周期	TL/TH (OS=0/OS=1)	DADR 固定ビット				変換 周期*				
PWCKX0 PWCKX1									変換精度 (ビット数)	ビットデータ							
C	B	A								DA3	DA2	DA1		DA0			
-	-	-	0	0.05	0	3.2 μs /312.5kHz	819.2 μs	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) × T DA13~0=H'0100~H'3FFF	14					819.2 μs			
									12			0	0	204.8 μs			
									10	0	0	0	0	51.2 μs			
						(φ)			1	12.8 μs /78.1kHz	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'003F (2) (データ値) × T DA13~0=H'0040~H'3FFF	14					819.2 μs
												12			0	0	204.8 μs
												10	0	0	0	0	51.2 μs
0	0	0	1	0.1	0	6.4 μs /156.2kHz	1.64ms	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) × T DA13~0=H'0100~H'3FFF	14						1638.4 μs		
									12				0	0	409.6 μs		
									10	0		0	0	0	102.4 μs		
					(φ/2)	1			25.6 μs /39.1kHz	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'003F (2) (データ値) × T DA13~0=H'0040~H'3FFF	14					1638.4 μs	
											12			0	0	409.6 μs	
											10	0	0	0	0	102.4 μs	
0	0	1	1	3.2	0	204.8 μs /4.9kHz	52.4ms	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) × T DA13~0=H'0100~H'3FFF	14						52.4ms		
									12				0	0	13.1ms		
									10		0	0	0	0	3.3ms		
					(φ/64)	1			819.2 μs /1.2kHz	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'003F (2) (データ値) × T DA13~0=H'0040~H'3FFF	14					52.4ms	
											12			0	0	13.1ms	
											10	0	0	0	0	3.3ms	
0	1	0	1	6.4	0	409.6 μs /2.4kHz	104.9ms	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) × T DA13~0=H'0100~H'3FFF	14						104.9ms		
									12				0	0	26.2ms		
									10		0	0	0	0	6.6ms		
					(φ/128)	1			1638.4 μs /610.4Hz	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'003F (2) (データ値) × T DA13~0=H'0040~H'3FFF	14					104.9ms	
											12			0	0	26.2ms	
											10	0	0	0	0	6.6ms	
0	1	1	1	12.8	0	819.2 μs /1.2kHz	209.7ms	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) × T DA13~0=H'0100~H'3FFF	14						209.7ms		
									12				0	0	52.4ms		
									10		0	0	0	0	13.1ms		
					(φ/256)	1			3276.8 μs /305.2Hz	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'003F (2) (データ値) × T DA13~0=H'0040~H'3FFF	14					209.7ms	
											12			0	0	52.4ms	
											10	0	0	0	0	13.1ms	

10. 14ビットPWM タイマ (PWMX)

PCSR			CKS	分解能 T ( $\mu$ s)	CFS	基本 周期	変換 周期	TL/TH (OS=0/OS=1)	DADR 固定ビット				変換 周期*	
PWCKX0 PWCKX1		変換精度 (ビット数)							ビットデータ					
C	B								A	DA3	DA2	DA1		DA0
1	0	0	1	51.2 ( $\phi/1024$ )	0	3.3ms /305.2Hz	838.9ms	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) $\times$ T DA13~0=H'0100~H'3FFF	14					838.9ms
									12			0	0	209.7ms
									10	0	0	0	0	52.4ms
									14					838.9ms
									12			0	0	209.7ms
									10	0	0	0	0	52.4ms
1	0	1	1	204.8 ( $\phi/4096$ )	0	13.1ms /76.3Hz	3.4s	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) $\times$ T DA13~0=H'0100~H'3FFF	14					3.4s
									12			0	0	838.9ms
									10	0	0	0	0	209.7ms
									14					3.4s
									12			0	0	838.9ms
									10	0	0	0	0	209.7ms
1	1	0	1	819.2 ( $\phi/16384$ )	0	52.4ms /19.1Hz	13.4s	(1) 常時 Low/High レベル出力 DA13~0=H'0000~H'00FF (2) (データ値) $\times$ T DA13~0=H'0100~H'3FFF	14					13.4s
									12			0	0	3.4s
									10	0	0	0	0	838.9ms
									14					13.4s
									12			0	0	3.4s
									10	0	0	0	0	838.9ms
1	1	1	1	禁止	-	-	-	-	-	-	-	-	-	

【注】 \* DADR の特定のビットを固定することにより得られる変換周期です。

## 10. 14ビットPWMタイマ (PWMX)

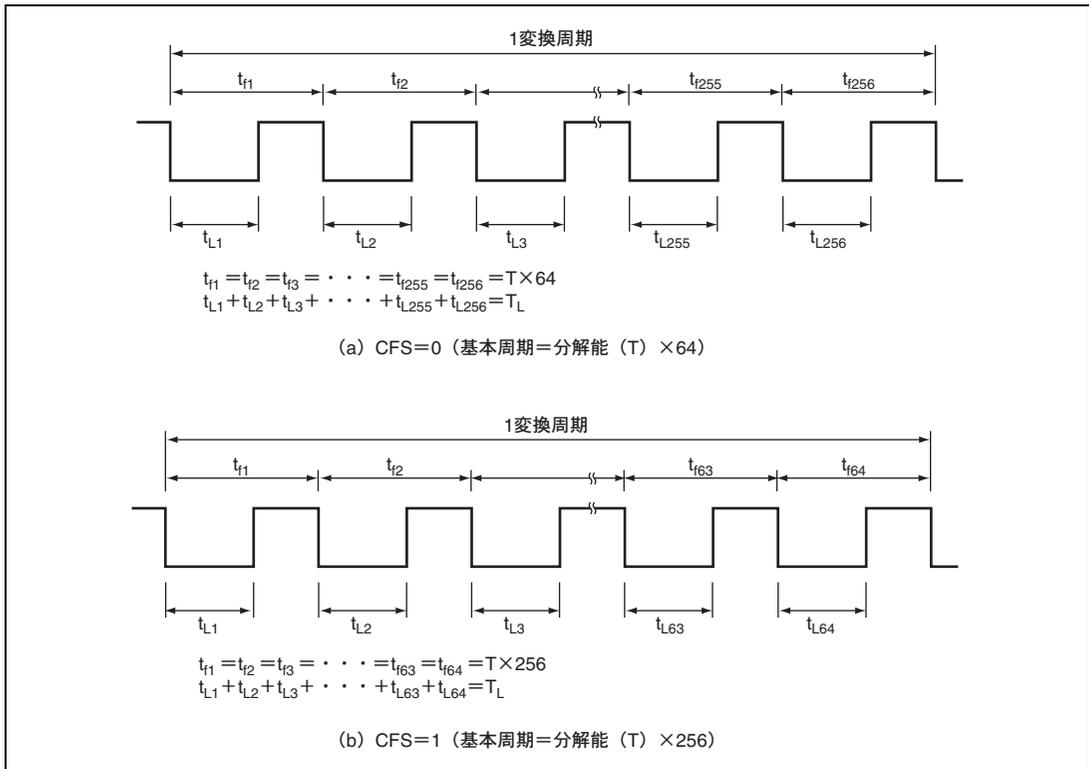


図 10.4 出力波形 (OS=0、DADR は  $T_L$  に対応)

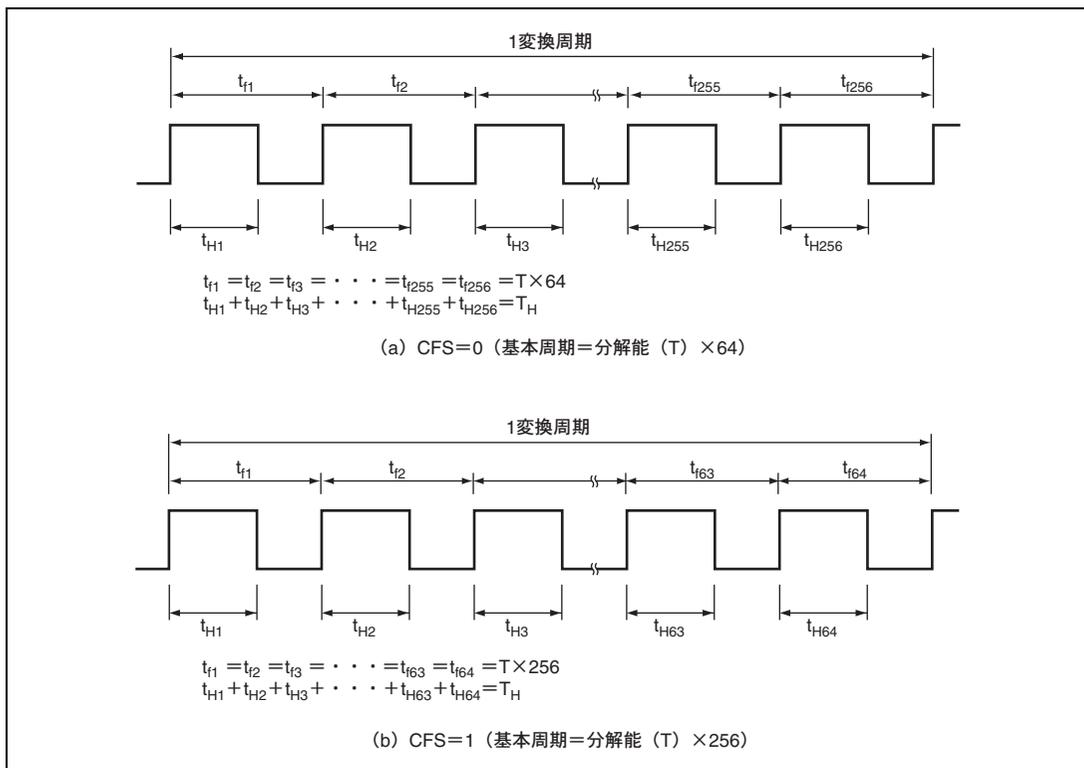


図 10.5 出力波形 (OS=1、DADR は  $T_H$  に対応)

## 10. 14ビットPWMタイマ (PWMX)

付加パルスについては、CFS=1（基本周期=分解能 (T) ×256）かつ OS=1（PWM 反転出力）の設定を例に示します。CFS=1 のとき、図 10.6 に示すように DADR の上位 8 ビット (DA13~DA6) で基本パルスのデューティ比が、次の 6 ビット (DA5~DA0) で付加パルスの位置が決定されます。

表10.5 に付加パルスの位置を示します。

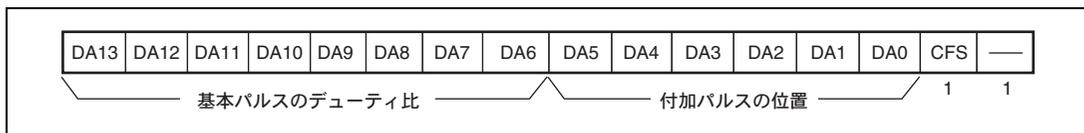


図 10.6 CFS=1 のときの D/A データレジスタの構成

ここでは、DADR=H'0207 (B'0000 0010 0000 0111) の場合を考えます。図 10.7 に出力波形を示します。CFS=1 であり、上位 8 ビットの値が B'0000 0010 ですので、基本パルスは High 幅が  $2/256 \times (T)$  のデューティ比となります。

次に続く 6 ビットの値が B'0000 01 ですので、表 10.5 より、付加パルスは基本パルス No.63 の位置でのみ出力されます。付加パルスは基本パルスに  $1/256 \times (T)$  だけ追加される形となります。

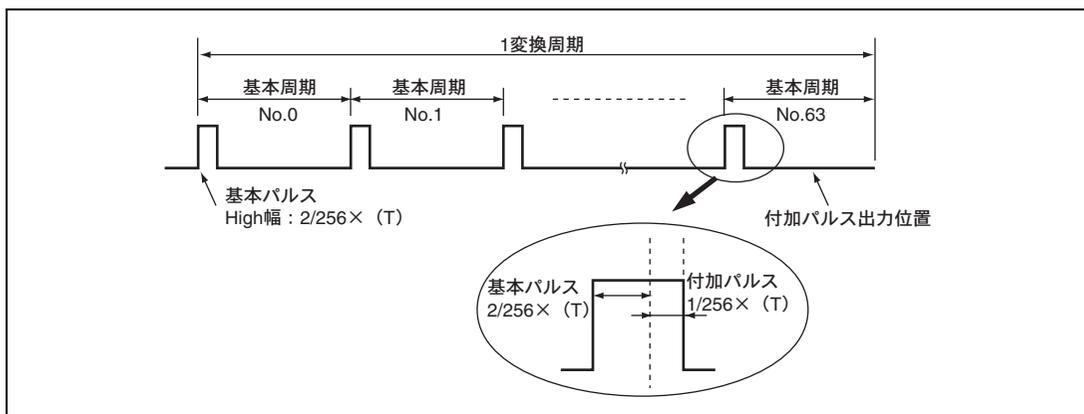


図 10.7 DADR=H'0207 のときの出力波形 (OS=1)

なお、CFS=0（基本周期=分解能 (T) ×64）の場合、基本パルスのデューティ比は上位 6 ビットで、付加パルスの位置はその次の 8 ビットで決定されるという点以外は、同様な考え方となります。



### 10.6 使用上の注意事項

#### 10.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWMXの動作停止/許可を設定することが可能です。初期値ではPWMXの動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第22章 低消費電力状態」を参照してください。

---

## 11. 16ビットフリーランニングタイマ (FRT)

---

本 LSI は、16ビットフリーランニングタイマ (FRT : Free Running Timer) を内蔵しています。FRT は 16ビットのフリーランニングカウンタ (FRC) をベースにして、2種類の独立した波形出力が可能です。また、入力パルスの幅や外部クロックの周期を測定することができます。

### 11.1 特長

- 4種類のカウンタ入力クロックを選択可能  
3種類の内部クロック ( $\phi/2$ 、 $\phi/8$ 、 $\phi/32$ ) と、外部クロックのうちから選択できます (外部イベントのカウントが可能)。
- 2本の独立したコンパレータ  
2種類の波形出力が可能です。
- 4本の独立したインプットキャプチャ  
立ち上がり/立ち下がりエッジの選択が可能です。  
バッファ動作を指定できます。
- カウンタのクリア指定が可能  
コンペアマッチAによりカウンタの値をクリアすることができます。
- 7種類の割り込み要因  
コンペアマッチ×2要因、インプットキャプチャ×4要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。
- 自動加算機能による特殊動作  
OCRAの内容にOCRARおよびOCRAFの内容を自動的に加算し、ソフトウェアの介在なしに周期的な波形を生成することができます。ICRDの内容とOCRDMの内容×2を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

## 11. 16ビットフリーランニングタイマ (FRT)

FRTのブロック図を図11.1に示します。

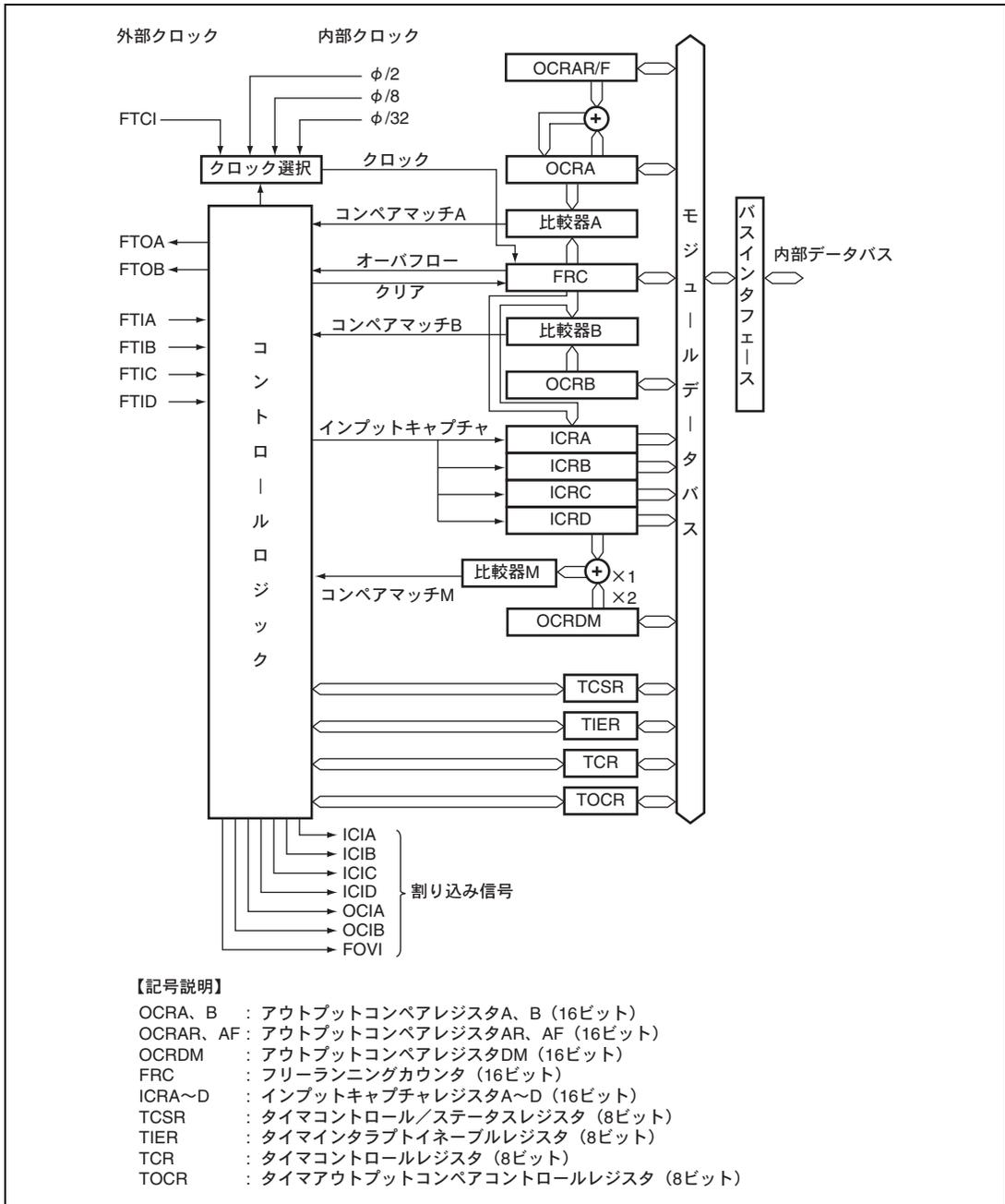


図 11.1 FRTのブロック図

## 11.2 入出力端子

FRT の入出力端子を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
カウンタクロック入力端子	FTCI	入力	FRC のカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

## 11.3 レジスタの説明

FRT には以下のレジスタがあります。

- フリーランニングカウンタ (FRC)
- アウトプットコンペアレジスタA (OCRA)
- アウトプットコンペアレジスタB (OCRB)
- インプットキャプチャレジスタA (ICRA)
- インプットキャプチャレジスタB (ICRB)
- インプットキャプチャレジスタC (ICRC)
- インプットキャプチャレジスタD (ICRD)
- アウトプットコンペアレジスタAR (OCRAR)
- アウトプットコンペアレジスタAF (OCRAF)
- アウトプットコンペアレジスタDM (OCRDM)
- タイマインタラプトイネーブルレジスタ (TIER)
- タイマコントロール/ステータスレジスタ (TCSR)
- タイマコントロールレジスタ (TCR)
- タイマアウトプットコンペアコントロールレジスタ (TOCR)

【注】 OCRA と OCRB のアドレスは同一です。レジスタの切り替えは TOCR の OCSR ビットで行います。また、ICRA、ICRB、ICRC と OCRAR、OCRAF、OCRDM のアドレスは同一です。レジスタの切り替えは TOCR の ICRS ビットで行います。

## 11. 16ビットフリーランニングタイム (FRT)

---

### 11.3.1 フリーランニングカウンタ (FRC)

FRCは16ビットのリード/ライト可能なアップカウンタです。入力クロックはTCRのCKS1、CKS0ビットにより選択します。FRCはコンペアマッチAによりクリアすることができます。FRCがH'FFFFからH'0000にオーバフローすると、TCSRのOVFが1にセットされます。FRCは8ビット単位のアクセスはできません。常に16ビットでアクセスしてください。FRCの初期値はH'0000です。

### 11.3.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

OCRは16ビットのリード/ライト可能なレジスタです。FRTには2本のOCRがあります。OCRの値はFRCの値と常に比較されています。両者の値が一致(コンペアマッチ)すると、TCSRのOCFA、OCFBフラグが1にセットされます。このときTOCRのOEA、OEBビットが1にセットされていると、TOCRのOLVLA、OLVLBビットで設定した出力レベルの値がアウトプットコンペア出力端子(FTOA、FTOB)に出力されます。リセット後、コンペアマッチが発生するまでFTOA、FTOBは0出力です。OCRは8ビット単位のアクセスはできません。常に16ビットでアクセスしてください。OCRの初期値はH'FFFFです。

### 11.3.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)

ICRは16ビットのリード専用のレジスタです。FRTには4本のICRがあります。インプットキャプチャ入力信号(FTIA~FTID)の立ち上がり、または立ち下がりエッジが検出されるとFRCの値がICRA~ICRDに転送されます。このとき同時にTCSRのICFA~ICFDフラグが1にセットされます。FRCからICRへの転送はICFの値にかかわらず行われます。インプットキャプチャ信号の検出エッジはTCRのIEDGA~IEDGDビットにより選択できます。

また、ICRCはICRAのバッファレジスタとして、ICRDはICRBのバッファレジスタとしてそれぞれ使用することもできます。この機能はTCRのBUFEA、BUFEBビットにより選択できます。

例えばICRAがインプットキャプチャレジスタとして、ICRCがICRAのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、FRCの値がICRAに、ICRAの値がバッファレジスタICRCに転送されます。この場合、外部入力信号の変化としてIEDGAビットとIEDGCビットを異なる設定にすることで、立ち上がり/立ち下がり両方のエッジを指定することができます。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上にしてください。

ICRA~ICRDは8ビット単位のアクセスはできません。常に16ビット単位でアクセスしてください。ICRの初期値はH'0000です。

### 11.3.4 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)

OCRAR、OCRAF は 16 ビットのリード/ライト可能なレジスタです。TOCR の OCRAMS ビットを 1 にセットすると、OCRA を OCRAR、OCRAF を使用した動作モードに設定されます。OCRAR、OCRAF の値は交互に OCRA に自動的に加算され、OCRA に書き込まれます。書き込みはコンペアマッチ A のタイミングで行われます。

OCRAMS ビットを 1 にセットした後の最初のコンペアマッチ A では、OCRAF が加算されます。コンペアマッチ A の動作は、OCRAR、OCRAF のいずれを加算した後のコンペアマッチかによって異なります。TOCR の OLVLA ビットの設定は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC の入力クロックを内部クロック  $\phi/2$  で、かつ OCRAR (または OCRAF) の値を H'0001 以下に設定しないでください。

OCRAR、OCRAF は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRAR、OCRAF の初期値は H'FFFF です。

### 11.3.5 アウトプットコンペアレジスタ DM (OCRDM)

OCRDM は 16 ビットのリード/ライト可能なレジスタです。OCRDM の上位 8 ビットは H'00 に固定にされています。TOCR の ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外の場合、ICRD を OCRDM を使用した動作モードに設定されます。インプットキャプチャ D が発生した時点マスク期間の開始とします。続いて ICRD の内容に OCRDM の値を 2 倍して加算した値を FRC と比較し、一致した時点マスク期間の終了とします。マスク期間中は、新たなインプットキャプチャ D の発生は禁止されています。ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 の場合はマスク期間は発生しません。

OCRDM は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRDM の初期値は H'0000 です。

## 11. 16 ビットフリーランニングタイム (FRT)

### 11.3.6 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、割り込み要求の許可/禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	ICIAE	0	R/W	<p>インプットキャプチャインタラプト A イネーブル</p> <p>TCSR の ICFA フラグが 1 にセットされたとき、ICFA フラグによる割り込み要求 (ICIA) を許可または禁止します。</p> <p>0 : ICFA による割り込み要求 (ICIA) を禁止</p> <p>1 : ICFA による割り込み要求 (ICIA) を許可</p>
6	ICIBE	0	R/W	<p>インプットキャプチャインタラプト B イネーブル</p> <p>TCSR の ICFB フラグが 1 にセットされたとき、ICFB フラグによる割り込み要求 (ICIB) を許可または禁止します。</p> <p>0 : ICFB による割り込み要求 (ICIB) を禁止</p> <p>1 : ICFB による割り込み要求 (ICIB) を許可</p>
5	ICICE	0	R/W	<p>インプットキャプチャインタラプト C イネーブル</p> <p>TCSR の ICFC フラグが 1 にセットされたとき、ICFC フラグによる割り込み要求 (ICIC) を許可または禁止します。</p> <p>0 : ICFC による割り込み要求 (ICIC) を禁止</p> <p>1 : ICFC による割り込み要求 (ICIC) を許可</p>
4	ICIDE	0	R/W	<p>インプットキャプチャインタラプト D イネーブル</p> <p>TCSR の ICFD フラグが 1 にセットされたとき、ICFD フラグによる割り込み要求 (ICID) を許可または禁止します。</p> <p>0 : ICFD による割り込み要求 (ICID) を禁止</p> <p>1 : ICFD による割り込み要求 (ICID) を許可</p>
3	OCIAE	0	R/W	<p>アウトプットコンペアインタラプト A イネーブル</p> <p>TCSR の OCFA フラグが 1 にセットされたとき、OCFA フラグによる割り込み要求 (OCIA) を許可または禁止します。</p> <p>0 : OCFA による割り込み要求 (OCIA) を禁止</p> <p>1 : OCFA による割り込み要求 (OCIA) を許可</p>
2	OCIBE	0	R/W	<p>アウトプットコンペアインタラプト B イネーブル</p> <p>TCSR の OCFB フラグが 1 にセットされたとき、OCFB フラグによる割り込み要求 (OCIB) を許可または禁止します。</p> <p>0 : OCFB による割り込み要求 (OCIB) を禁止</p> <p>1 : OCFB による割り込み要求 (OCIB) を許可</p>
1	OVIE	0	R/W	<p>タイマオーバフローインタラプトイネーブル</p> <p>TCSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求 (FOVI) を許可または禁止します。</p> <p>0 : OVF による割り込み要求 (FOVI) を禁止</p> <p>1 : OVF による割り込み要求 (FOVI) を許可</p>
0	—	1	R	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>

## 11.3.7 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、カウンタの動作/停止の選択、割り込み要求信号の許可/禁止制御を行います。

ビット	ビット名	初期値	R/W	説明
7	ICFA	0	R/(W)*	<p>インプットキャプチャフラグ A</p> <p>インプットキャプチャ信号により FRC の値が ICRA に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき</p> <p>[クリア条件]</p> <p>ICFA=1 の状態で ICFA リード後、ICFA に 0 をライトしたとき</p>
6	ICFB	0	R/(W)*	<p>インプットキャプチャフラグ B</p> <p>インプットキャプチャ信号により FRC の値が ICRB に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき</p> <p>[クリア条件]</p> <p>ICFB=1 の状態で ICFB をリード後、ICFB に 0 をライトしたとき</p>
5	ICFC	0	R/(W)*	<p>インプットキャプチャフラグ C</p> <p>インプットキャプチャ信号により、FRC の値が ICRC に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、FTIC 入力端子に IEDGC ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRC へのデータ転送は行われません。バッファ動作では、このフラグは ICICE ビットを 1 にセットすることにより外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号が発生したとき</p> <p>[クリア条件]</p> <p>ICFC=1 の状態で ICFC をリード後、ICFC に 0 をライトしたとき</p>

## 11. 16 ビットフリーランニングタイム (FRT)

ビット	ビット名	初期値	R/W	説明
4	ICFD	0	R/(W)*	<p>インプットキャプチャフラグ D</p> <p>インプットキャプチャ信号により、FRC の値が ICRD に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、FTID 入力端子に IEDGD ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRD へのデータ転送は行われません。バッファ動作では、このフラグは ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] インプットキャプチャ信号が発生したとき</p> <p>[クリア条件] ICFD=1 の状態で ICFD をリード後、ICFD に 0 をライトしたとき</p>
3	OCFA	0	R/(W)*	<p>アウトプットコンペアフラグ A</p> <p>FRC と OCRA の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] FRC=OCRA になったとき</p> <p>[クリア条件] OCFA=1 の状態で OCFA をリード後、OCFA に 0 をライトしたとき</p>
2	OCFB	0	R/(W)*	<p>アウトプットコンペアフラグ B</p> <p>FRC と OCRB の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] FRC=OCRB になったとき</p> <p>[クリア条件] OCFB=1 の状態で OCFB をリード後、OCFB に 0 をライトしたとき</p>
1	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>FRC のオーバーフローの発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] FRC の値がオーバーフロー (H'FFFF→H'0000) したとき</p> <p>[クリア条件] OVF=1 の状態で OVF をリード後、OVF に 0 をライトしたとき</p>
0	CCLRA	0	R/W	<p>カウンタクリア A</p> <p>コンペアマッチ A (FRC と OCRA の一致信号) により FRC をクリアするか、しないかを選択します。</p> <p>0 : FRC のクリアを禁止 1 : コンペアマッチ A により FRC をクリア</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 11.3.8 タイマコントロールレジスタ (TCR)

TCR は、インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IEDGA	0	R/W	インプットエッジセレクト A インプットキャプチャ A 入力 (FTIA) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ A 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ A 入力の立ち上がりエッジでキャプチャ
6	IEDGB	0	R/W	インプットエッジセレクト B インプットキャプチャ B 入力 (FTIB) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ B 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ B 入力の立ち上がりエッジでキャプチャ
5	IEDGC	0	R/W	インプットエッジセレクト C インプットキャプチャ C 入力 (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ C 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ C 入力の立ち上がりエッジでキャプチャ
4	IEDGD	0	R/W	インプットエッジセレクト D インプットキャプチャ D 入力 (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ D 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ D 入力の立ち上がりエッジでキャプチャ
3	BUFEA	0	R/W	バッファイネーブル A ICRC を ICRA のバッファレジスタとして使用するかどうかを選択します。 0: ICRC を ICRA のバッファレジスタとして使用しない 1: ICRC を ICRA のバッファレジスタとして使用する
2	BUFEB	0	R/W	バッファイネーブル B ICRD を ICRB のバッファレジスタとして使用するかどうかを選択します。 0: ICRD を ICRB のバッファレジスタとして使用しない 1: ICRD を ICRB のバッファレジスタとして使用する
1	CKS1	0	R/W	クロックセレクト 1、0 FRC に入力するクロックを選択します。 00: 内部クロック $\phi/2$ をカウント 01: 内部クロック $\phi/8$ をカウント 10: 内部クロック $\phi/32$ をカウント 11: 外部クロック入力端子 (FTCI) の立ち上がりエッジでカウント
0	CKS0	0	R/W	

## 11. 16 ビットフリーランニングタイム (FRT)

### 11.3.9 タイマアウトプットコンペアコントロールレジスタ (TOCR)

TOCR は、アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD、OCRA の動作モード、およびインプットキャプチャレジスタ A、B、C のアクセスの切り替え制御を行います。

ビット	ビット名	初期値	R/W	説明
7	ICRDMS	0	R/W	インプットキャプチャ D モードセレクト ICRD を通常の動作モードにするか、OCRDM を使用した動作モードにするかを選択します。 0: ICRD を通常の動作モードに設定 1: ICRD を OCRDM を使用した動作モードに設定
6	OCRAMS	0	R/W	アウトプットコンペア A モードセレクト OCRA を通常の動作モードにするか、OCRAR、OCRAF を使用した動作モードにするかを選択します。 0: OCRA を通常の動作モードに設定 1: OCRA を OCRAR、OCRAF を使用した動作モードに設定
5	ICRS	0	R/W	インプットキャプチャレジスタセレクト ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM のアドレスは同一です。このアドレスをリード/ライトするとき、どちらのレジスタを選択するか制御します。ICRA、ICRB、ICRC 動作には影響を与えません。 0: ICRA、ICRB と ICRC レジスタを選択 1: OCRAR、OCRAF と OCRDM レジスタを選択
4	OCRS	0	R/W	アウトプットコンペアレジスタセレクト OCRA と OCRB のアドレスは同一です。このアドレスをリード/ライトするとき、どちらのレジスタを選択するか制御します。OCRA、OCRB の動作には影響を与えません。 0: OCRA レジスタを選択 1: OCRB レジスタを選択
3	OEA	0	R/W	アウトプットイネーブル A アウトプットコンペア A 出力端子 (FTOA) を制御します。 0: アウトプットコンペア A 出力を禁止 1: アウトプットコンペア A 出力を許可
2	OEB	0	R/W	アウトプットイネーブル B アウトプットコンペア B 出力端子 (FTOB) を制御します。 0: アウトプットコンペア B 出力を禁止 1: アウトプットコンペア B 出力を許可

ビット	ビット名	初期値	R/W	説明
1	OLVLA	0	R/W	アウトプットレベル A コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプット コンペア A 出力端子 (FTOA) の出力レベルを選択します。OCRAMS ビットが 1 の場合は無視されます。 0: コンペアマッチ A で 0 出力 1: コンペアマッチ A で 1 出力
0	OLVLB	0	R/W	アウトプットレベル B コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプット コンペア B 出力端子 (FTOB) の出力レベルを選択します。 0: コンペアマッチ B により 0 出力 1: コンペアマッチ B により 1 出力

## 11.4 動作説明

### 11.4.1 パルス出力

デューティ 50% のパルスを任意の位相差で出力させた例を図 11.2 に示します。TCSR の CCLRA ビットを 1 にセットし、コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

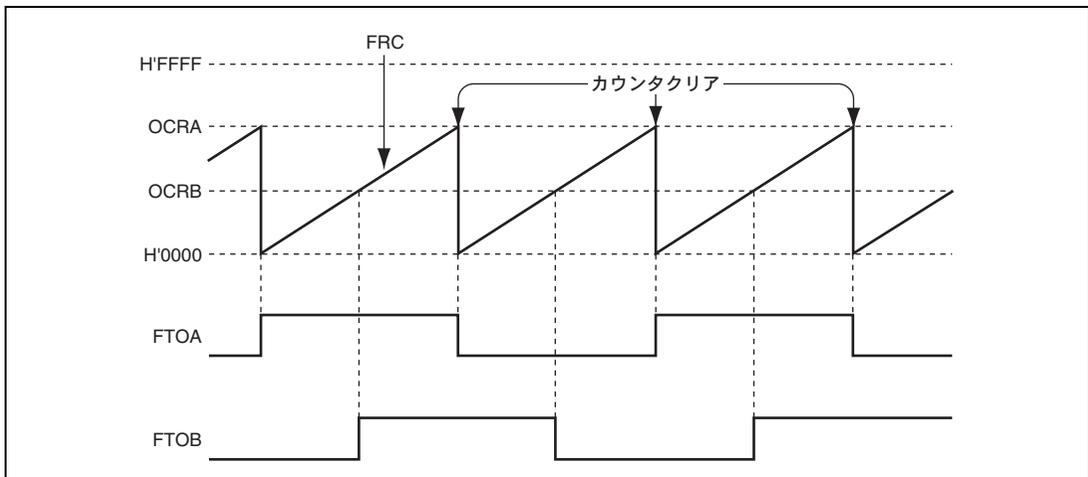


図 11.2 パルス出力例

## 11.5 動作タイミング

### 11.5.1 FRCのカウンタタイミング

内部クロック動作の場合のFRCのカウンタタイミングを図11.3に示します。また、外部クロック動作の場合のFRCのカウンタタイミングを図11.4に示します。なお、外部クロックのパルス幅は1.5システムクロック( $\phi$ )以上が必要です。これ以下のパルス幅では正しく動作しませんので注意が必要です。

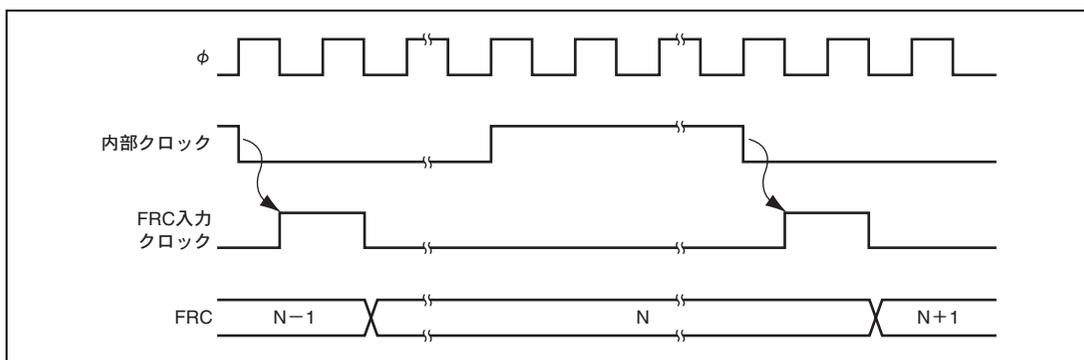


図 11.3 内部クロック動作時のカウンタタイミング

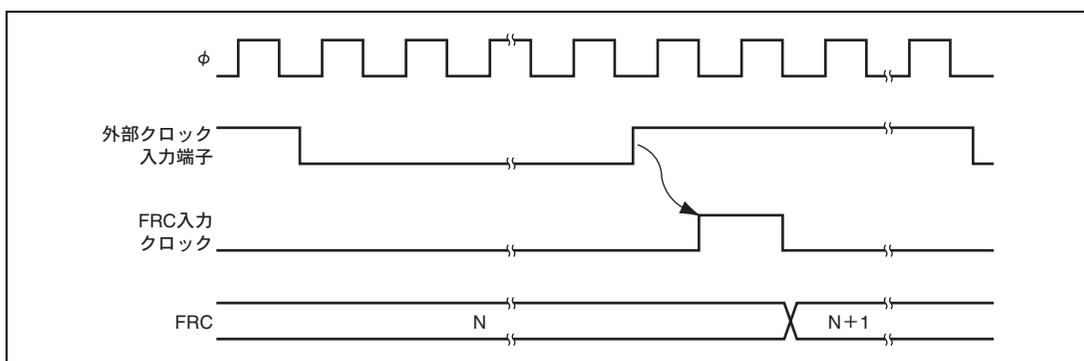


図 11.4 外部クロック動作時のカウンタタイミング

### 11.5.2 アウトプットコンペア出力タイミング

コンペアマッチ信号は、FRC と OCR の値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TOCR の OLVL ビットで設定される出力値がアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。アウトプットコンペア A 出力タイミングを図 11.5 に示します。

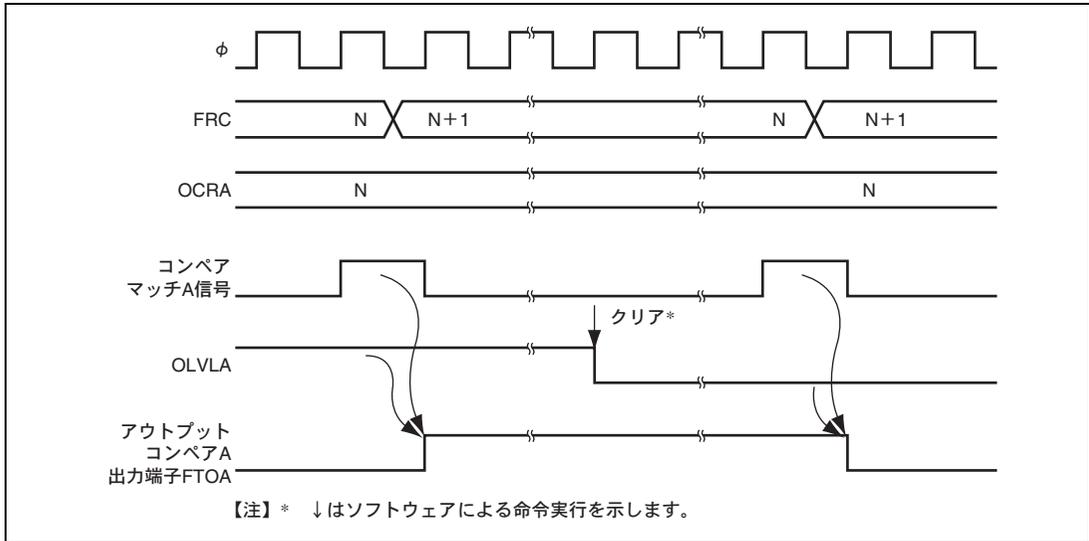


図 11.5 アウトプットコンペア A 出力タイミング

### 11.5.3 FRC のクリアタイミング

FRC はコンペアマッチ A 信号でクリアすることができます。このタイミングを図 11.6 に示します。

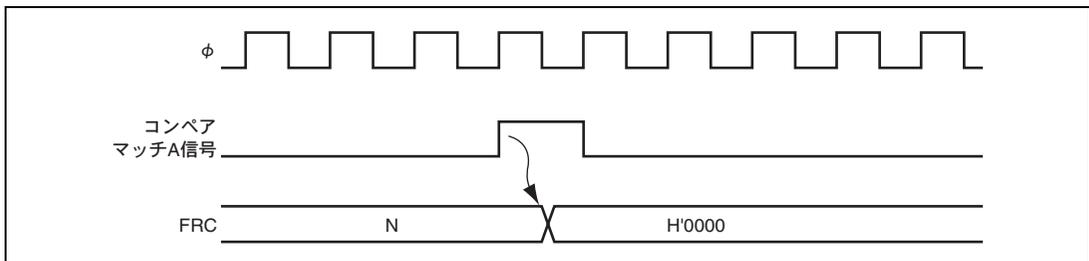


図 11.6 コンペアマッチ A 信号による FRC のクリアタイミング

### 11.5.4 インพุットキャプチャ入力タイミング

インพุットキャプチャ入力は、TCRのIEDGA～IEDGDビットの設定により立ち上がりエッジ／立ち下がりエッジの選択ができます。立ち上がりエッジを選択した場合のタイミングを図11.7に示します。

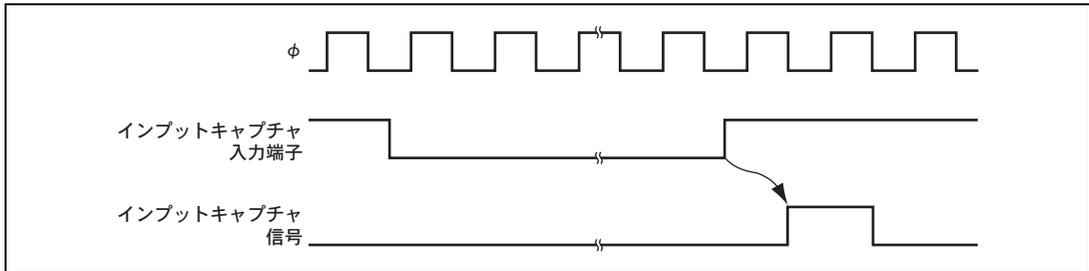


図 11.7 インพุットキャプチャ入力信号タイミング (通常時)

また、ICRA～ICRDのリード時に、対応するインพุットキャプチャ信号を入力するとインพุットキャプチャ信号は1システムクロック (φ) 遅延されます。このタイミングを図11.8に示します。

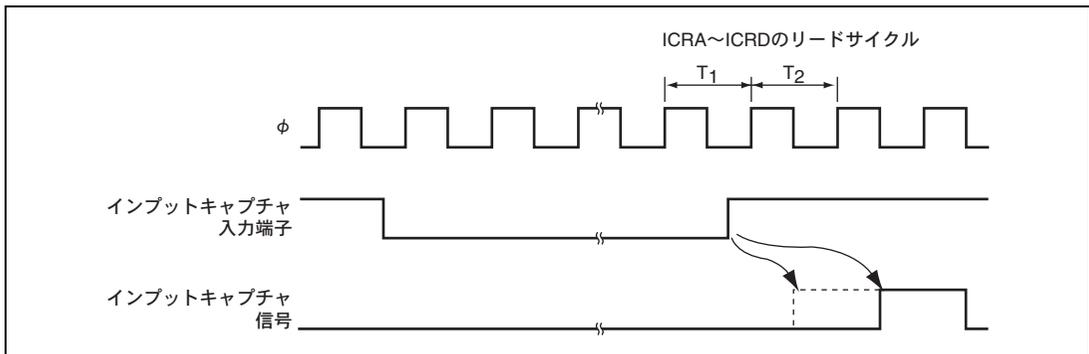


図 11.8 インพุットキャプチャ入力信号タイミング (ICRA～ICRDのリード時)

### 11.5.5 バッファ動作時タイミング

ICRC または ICRD を ICRA または ICRB のバッファとして動作させることができます。ICRC を ICRA のバッファレジスタとして使用し (BUFEA=1)、立ち上がり/立ち下がり両エッジ指定 (IEDGA=1、IEDGC=0 または IEDGA=0、IEDGC=1) とした場合のインプットキャプチャ入力タイミングを図 11.9 に示します。

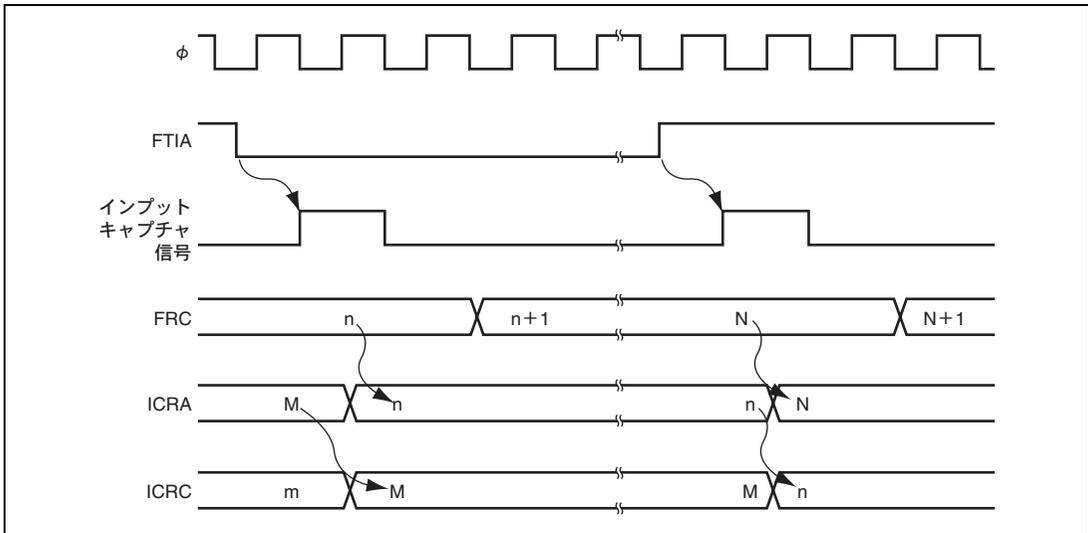


図 11.9 バッファ動作タイミング (インプットキャプチャ)

インプットキャプチャフラグは、ICRC または ICRD をバッファレジスタとして使用した場合でも各インプットキャプチャ入力の指定されたエッジに対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているとき、インプットキャプチャ入力に IEDGC ビットで指定したエッジになると ICFC フラグがセットされ、そのとき ICICE ビットがセットされていれば割り込み要求が発生します。ただし、FRC の値は ICRC には転送されません。また、バッファ動作時に、インプットキャプチャ入力信号が発生するタイミングでデータ転送レジスタ (ICRA と ICRC または ICRB と ICRD) のリードが行われると、インプットキャプチャ入力信号は 1 システムクロック ( $\phi$ ) 遅延されます。BUFEA=1 のときのバッファ動作タイミングを図 11.10 に示します。

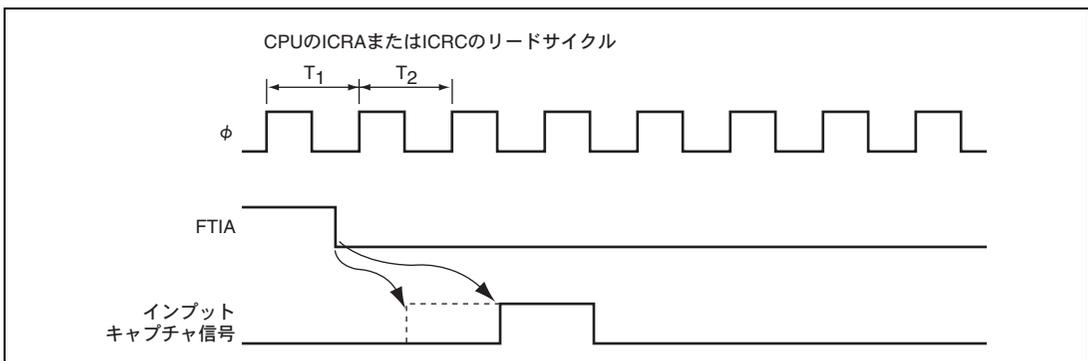


図 11.10 バッファ動作タイミング (BUFEA=1)

### 11.5.6 インプットキャプチャ時のフラグセットタイミング

インプットキャプチャ信号入力により ICFA~ICFD フラグは 1 にセットされ、FRC の値が対応する ICRA~ICRD に転送されます。ICFA~ICFD フラグのセットタイミングを図 11.11 に示します。

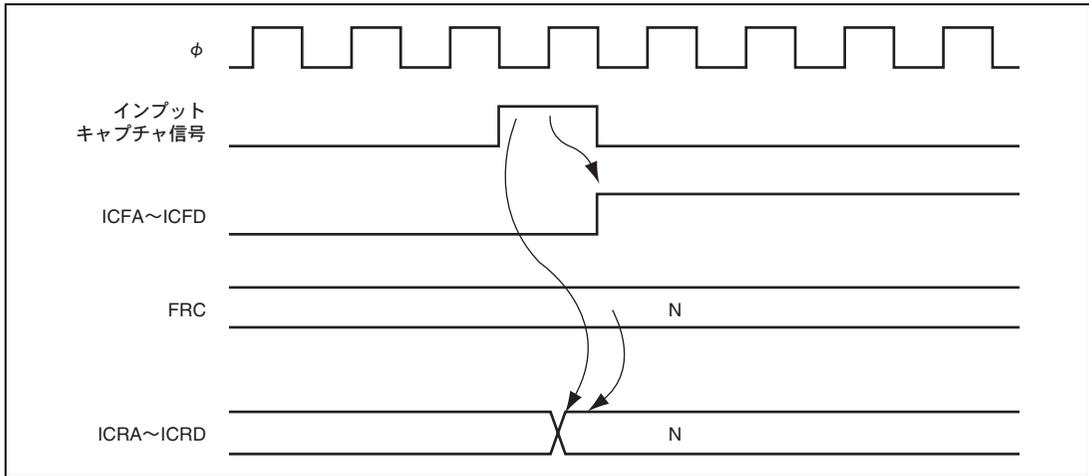


図 11.11 ICFA~ICFD フラグのセットタイミング

### 11.5.7 アウトプットコンペア時のフラグセットタイミング

OCFA、OCFB フラグは、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。OCRA、OCRB と FRC の値が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB フラグのセットタイミングを図 11.12 に示します。

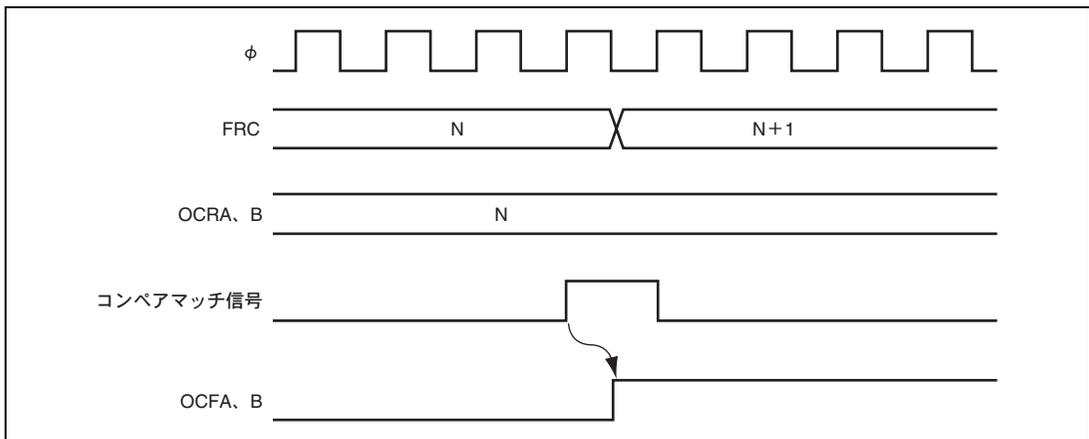


図 11.12 OCFA、OCFB フラグのセットタイミング

### 11.5.8 オーバフロー時のフラグセットタイミング

OVF フラグは、FRC がオーバフロー (H'FFFF→H'0000) したとき 1 にセットされます。OVF フラグのセットタイミングを図 11.13 に示します。

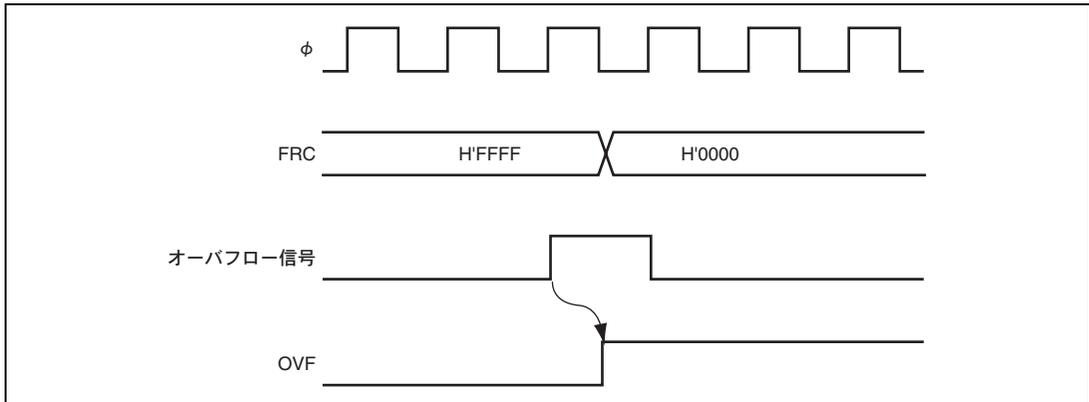


図 11.13 OVF フラグのセットタイミング

### 11.5.9 自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 11.14 に示します。

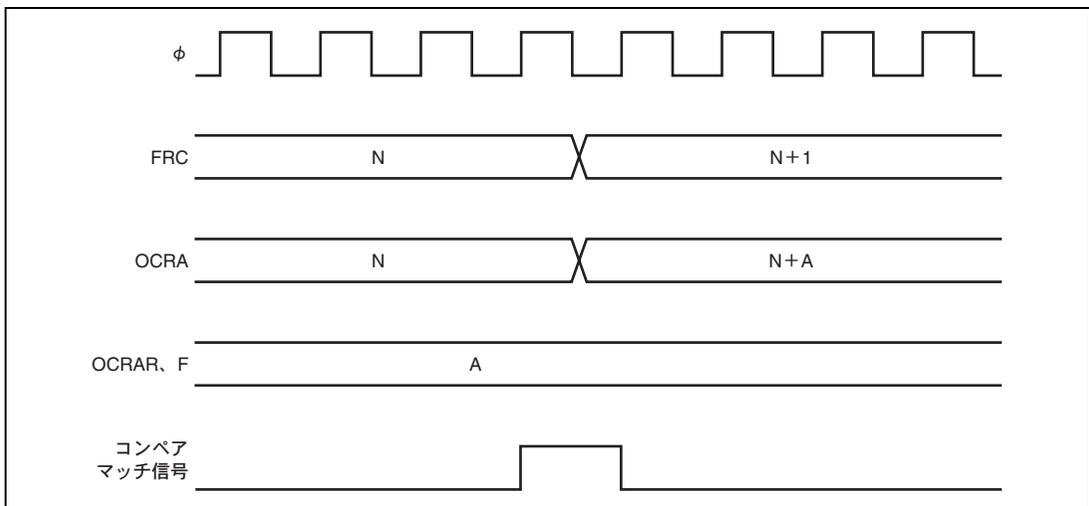


図 11.14 OCRA の自動加算タイミング

### 11.5.10 マスク信号生成タイミング

TOCR の ICRDMS ビットが 1 にセットされている場合、OCRDM の値が H'0000 以外であると、ICRD のインプットキャプチャ信号をマスクする信号が生成されます。マスク信号はインプットキャプチャ信号によりセットされます。マスク信号は ICRD の値に OCRDM の値を 2 倍して加算した値と、FRC のコンペアマッチによりクリアされます。マスク信号のセットタイミングを図 11.15 に示します。マスク信号のクリアタイミングを図 11.16 に示します。

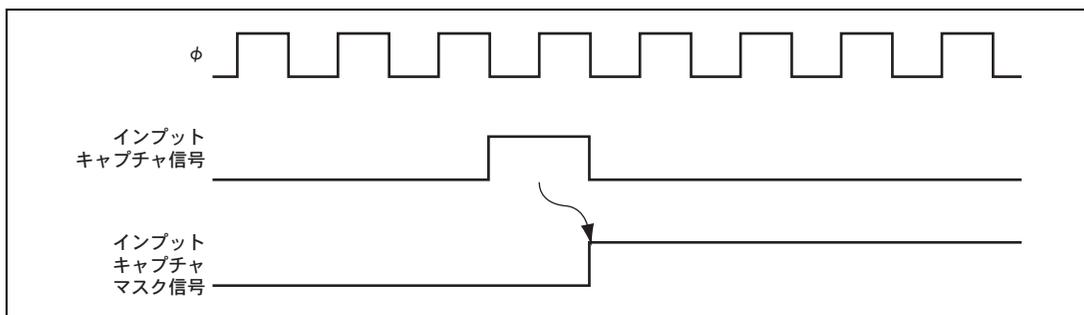


図 11.15 インプットキャプチャマスク信号のセットタイミング

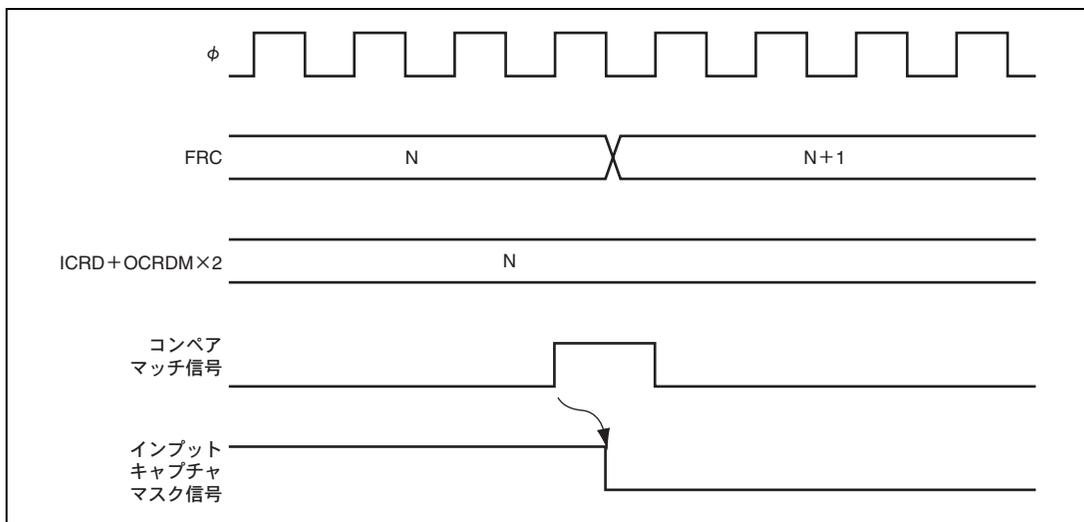


図 11.16 インプットキャプチャマスク信号のクリアタイミング

## 11.6 割り込み要因

FRT の割り込み要因は ICIA~ICID、OCIA、OCIB および FOVI の 7 つあります。各割り込み要因は TIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。表 11.2 に各割り込み要因と優先順位を示します。

ICIA、ICIB、OCIA、OCIB 割り込みは、内蔵 DTC の起動要因とすることができます。

表 11.2 FRT 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
ICIA	ICRA のインプットキャプチャ	ICFA	可	高 ↑ ↓ 低
ICIB	ICRB のインプットキャプチャ	ICFB	可	
ICIC	ICRC のインプットキャプチャ	ICFC	不可	
ICID	ICRD のインプットキャプチャ	ICFD	不可	
OCIA	OCRA のコンペアマッチ	OCFA	可	
OCIB	OCRB のコンペアマッチ	OCFB	可	
FOVI	FRC のオーバーフロー	OVF	不可	

## 11.7 使用上の注意事項

### 11.7.1 FRC のライトとクリアの競合

FRC のライトサイクルの次のステートでカウンタクリア信号が発生すると、FRC へのライトは行われず、FRC のクリアが優先されます。このタイミングを図 11.17 に示します。

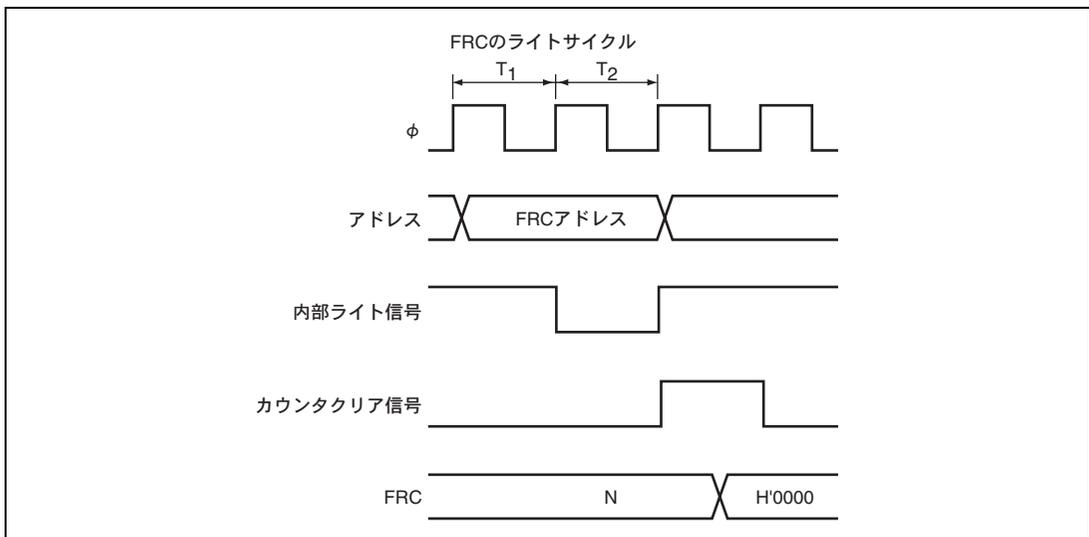


図 11.17 FRC のライトとクリアの競合

### 11.7.2 FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされず、カウンタライ  
トが優先されます。このタイミングを図 11.18 に示します。

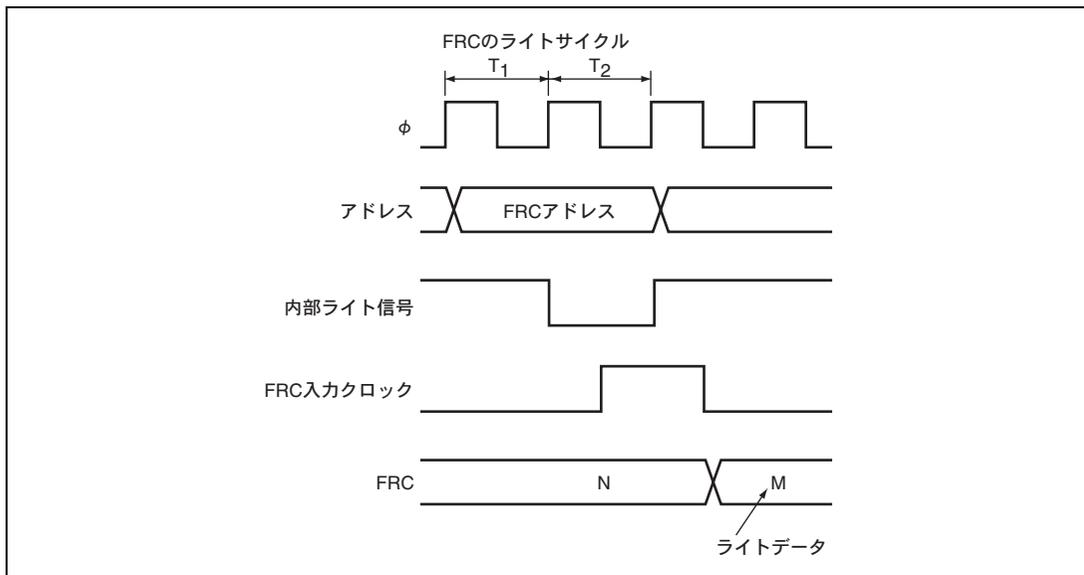


図 11.18 FRC のライトとカウントアップの競合

### 11.7.3 OCRのライトとコンペアマッチの競合

OCRA、OCRBのライトサイクルの次のステートでコンペアマッチが発生した場合、OCRのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図11.19に示します。

OCRAの自動加算機能を選択しているとき、OCRA、OCRAR、OCRAFライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAFのライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図11.20に示します。

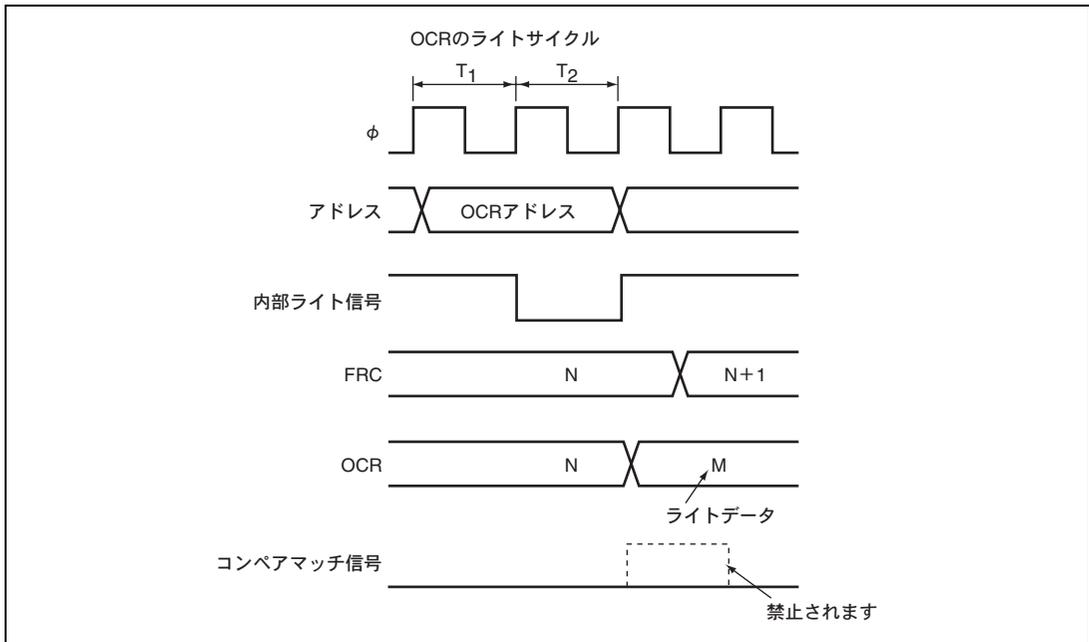


図 11.19 OCRのライトとコンペアマッチの競合（自動加算機能を使用していない場合）

## 11. 16ビットフリーランニングタイム (FRT)

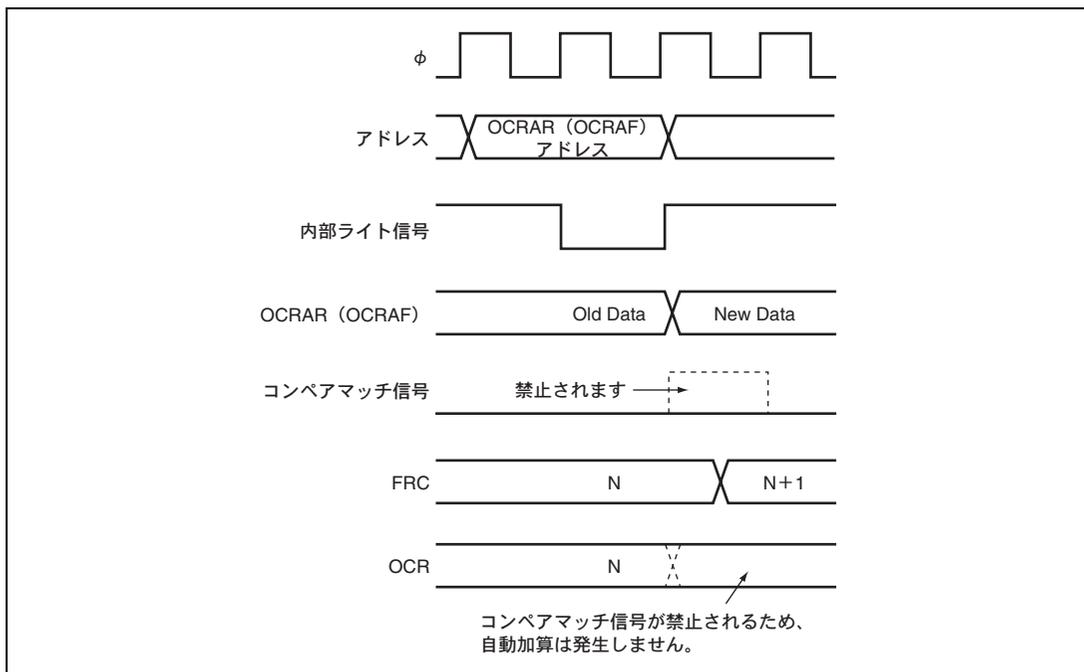


図 11.20 OCRAR/OCRAF ライトとコンペアマッチの競合 (自動加算機能を使用している場合)

### 11.7.4 内部クロックの切り替えとカウンタの動作

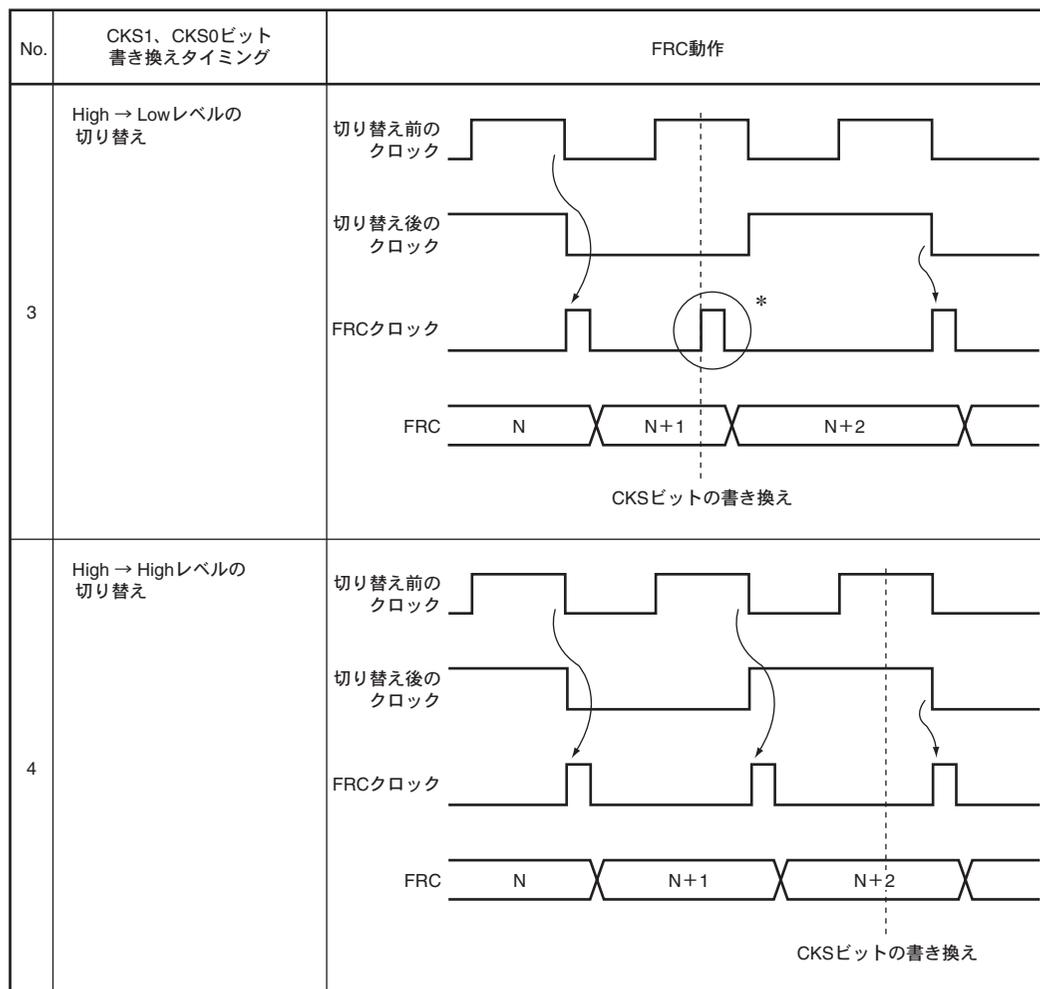
内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と FRC 動作の関係を表 11.3 に示します。

内部クロックを使用する場合、システムクロック ( $\phi$ ) を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため、表 11.3 の No.3 のように切り替え前のクロック High→切り替え後のクロック Low レベルになるような切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 11.3 内部クロックの切り替えと FRC 動作

No.	CKS1、CKS0ビット書き換えタイミング	FRC動作
1	Low → Lowレベルの切り替え	
2	Low → Highレベルの切り替え	

## 11. 16 ビットフリーランニングタイマ (FRT)



【注】 \* 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされます。

### 11.7.5 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、FRTの動作停止/許可を設定することが可能です。初期値ではFRTの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第22章 低消費電力状態」を参照してください。

---

## 12. 16ビットサイクルメジャーメントタイマ (TCM)

---

本 LSI は 2 チャンネルの 16 ビットサイクルメジャーメントタイマ (TCM) を内蔵しています。TCM は 16 ビットのカウンタをベースにして、FAN 入力波形の周期を測定することができます。

### 12.1 特長

- FAN入力波形の周期を測定可能
- 測定エッジを選択可能
- 16ビットのコンペアマッチ
- 16ビットの分解能力
- カウンタのクロックを選択可能  
7種類の内部クロックと、外部クロックのうちから選択可能
- 4つの割り込み要因  
カウンタオーバフロー  
周期上限オーバフロー  
コンペアマッチ  
インプットキャプチャ発生

## 12. 16ビットサイクルメジャーメントタイマ (TCM)

TCMのブロック図を図12.1に示します。

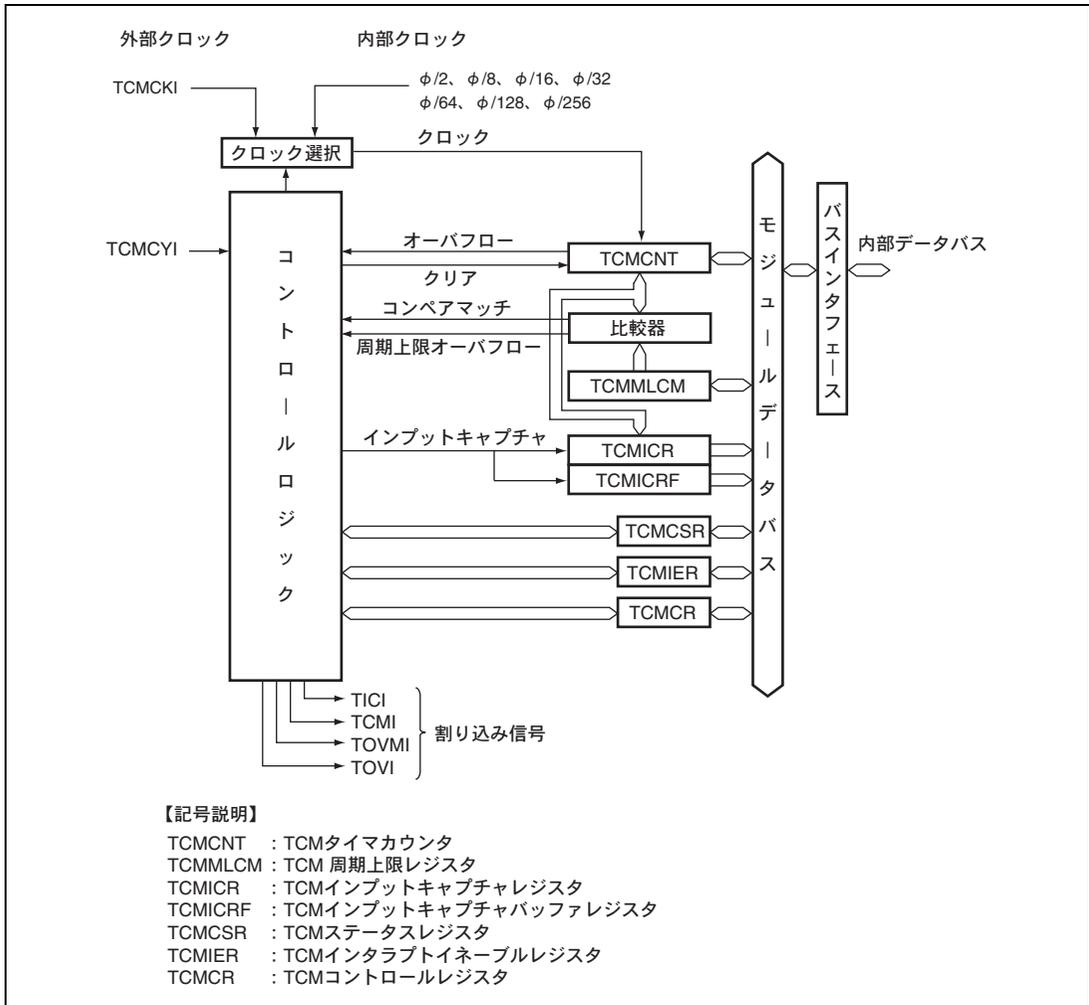


図 12.1 TCM ブロック図

## 12.2 入出力端子

TCM の端子構成を表 12.1 に示します。

表 12.1 端子構成

チャンネル	端子名	入出力	機能
0	TCMCKI0	入力	カウンタ外部クロック入力
	TCMCYI0	入力	外部イベント入力
1	TCMCKI1	入力	カウンタ外部クロック入力
	TCMCYI1	入力	外部イベント入力

## 12.3 レジスタの説明

TCM には以下のレジスタがあります。

- TCMタイマカウンタ\_0 (TCMCNT\_0)
- TCM周期上限レジスタ\_0 (TCMMLCM\_0)
- TCMインプットキャプチャレジスタ\_0 (TCMICR\_0)
- TCMインプットキャプチャバッファレジスタ\_0 (TCMICRF\_0)
- TCMステータスレジスタ\_0 (TCMCSR\_0)
- TCMコントロールレジスタ\_0 (TCMCR\_0)
- TCMインタラプトイネーブルレジスタ\_0 (TCMIER\_0)
- TCMタイマカウンタ\_1 (TCMCNT\_1)
- TCM周期上限レジスタ\_1 (TCMMLCM\_1)
- TCMインプットキャプチャレジスタ\_1 (TCMICR\_1)
- TCMインプットキャプチャバッファレジスタ\_1 (TCMICRF\_1)
- TCMステータスレジスタ\_1 (TCMCSR\_1)
- TCMコントロールレジスタ\_1 (TCMCR\_1)
- TCMインタラプトイネーブルレジスタ\_1 (TCMIER\_1)

## 12. 16ビットサイクルメジャーメントタイマ (TCM)

---

### 12.3.1 TCM タイマカウンタ (TCMCNT)

TCMCNT は 16 ビットのリード/ライト可能なアップカウンタです。入力クロックは TCMCR の CKS2~CKS0 のビットにより選択します。CKS2~CKS0 が B'111 にセットされたとき、外部クロックが選択されます。TCMCSR の CKSEG により、外部クロックの立ち上がりエッジ/立ち下がりエッジを選択します。

TCMCNT は H'FFFF から H'0000 にオーバフローすると、TCMCSR の OVF が 1 にセットされます。タイマモードの場合、TCMCNT は TCMCR の CST ビットが 0 にクリアされていると、H'0000 に初期化されます。スピード測定モードの場合、TCMCNT は測定周期 (2 回の入力波形周期が 1 つの測定周期になります) の 1 番目のエッジ検出 (TCMCR の IEDG ビットにより選択可能) によりクリアします。

タイマモードの場合、TCMCNT は常にライト可能です。スピード測定モードの場合、TCMCNT の書き換えはできません。TCMCNT は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMCNT の初期値は H'0000 です。

### 12.3.2 TCM 周期上限レジスタ (TCMMLCM)

TCMMLCM は 16 ビットのリード/ライト可能なレジスタです。TCMCR の TCMMD5 ビットを 0 に設定 (タイマモード) した場合、TCMMLCM はコンペアマッチレジスタとして使用可能です。TCMCR の TCMMD5 ビットを 1 に設定 (スピード測定モード) した場合、TCMMLCM は周期上限レジスタとして使用可能です。

タイマモードでは、TCMMLCM の値は TCMCNT と常に比較され、一致すると TCMCSR の CMF が 1 にセットされます。ただし、TCMMLCM へのライトサイクルの後半での比較は禁止されています。

スピード測定モードでは、TCMMLCM は測定周期 (2 回の入力波形周期が 1 つの測定周期になります) の上限値を設定可能です。測定周期中の 3 番目のエッジ (TCMCR の IEDG ビットにより選択可能) を検出すると TCMCNT の値が TCMICR に転送されます。このとき同時に TCMICR の値と TCMMLCM の値を比較します。TCMICR の値が TCMMLCM の値より大きいと、TCMCSR の MAXOVF フラグが 1 にセットされます。TCMMLCM は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMMLCM の初期値は H'FFFF です。

### 12.3.3 TCM インพุットキャプチャレジスタ (TCMICR)

TCMICR は 16 ビットのリード専用のレジスタです。タイマモードの場合、TCMCR の IEDG ビットにより選択したエッジで TCMCNT の値が TCMICR に転送されます。このとき、同時に TCMCSR の ICPF フラグが 1 にセットされます。スピード測定モードの場合、測定周期中の 3 番目のエッジを検出すると TCMCNT の値が TCMICR に転送されます。このとき同時に TCMCSR の ICPF フラグが 1 にセットされます。TCMICR は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMICR の初期値は H'0000 です。

### 12.3.4 TCM インพุットキャプチャバッファレジスタ (TCMICRF)

TCMICRF は 16 ビットのリード専用のレジスタです。TCMICR のバッファレジスタとして使用します。インพุットキャプチャが発生したとき、TCMICR の値を TCMICRF に転送します。

TCMICR、TCMICRF は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMICRF の初期値は H'0000 です。

### 12.3.5 TCM ステータスレジスタ (TCMCSR)

TCMCSR は 8 ビットのリード/ライト可能なレジスタです。割り込み要因の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>タイマオーバーフロー</p> <p>TCMCNT のオーバーフローの発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TCMCNT の値がオーバーフロー (H'FFFF→H'0000) したとき</p> <p>[クリア条件]</p> <p>OVF=1 の状態で OVF をリード後、OVF に 0 をライトしたとき</p>
6	MAXOVF	0	R/(W)*	<p>測定周期上限オーバーフロー</p> <p>スピード測定モードで測定した波形の測定周期 (2 回の入力波形周期が一つの測定周期になります) が TCMMLCM に設定した上限に対してオーバーフロー発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TCMICR の値が TCMMLCM の値より大きいとき</p> <p>[クリア条件]</p> <p>MAXOVF=1 の状態で MAXOVF をリード後、MAXOVF に 0 をライトしたとき</p>
5	CMF	0	R/(W)*	<p>コンペアマッチフラグ (タイマモードのみ有効)</p> <p>[セット条件]</p> <p>タイマモードで TCMCNT の値と TCMMLCM の値が一致したとき。</p> <p>【注】スピード測定モードで、TCMCNT の値と TCMMLCM の値が一致しても、CMF はセットされません。</p> <p>[クリア条件]</p> <p>CMF=1 の状態で CMF をリード後、CMF に 0 をライトしたとき</p>
4	CKSEG	0	R/(W)*	<p>外部クロックエッジセレクト</p> <p>TCMCR の CKS2~CKS0 が B'111 にセットされたとき、外部カウントクロックエッジを選択します。</p> <p>0 : 外部クロック立ち下がりエッジでカウント</p> <p>1 : 外部クロック立ち上がりエッジでカウント</p>

## 12. 16 ビットサイクルメジャーメントタイマ (TCM)

ビット	ビット名	初期値	R/W	説明
3	ICPF	0	R/(W)*	<p>インプットキャプチャ発生</p> <p>タイマモード：インプットキャプチャ信号により、TCMCNT の値が TCMICR に転送されたことを示すステータスフラグです。本フラグは、TCMMDS ビットが 0 にクリアされているとき、TCMCYI 入力端子に IEDG ビットで選択したインプットキャプチャ信号が発生するとセットされます。</p> <p>スピード測定モード：測定周期中の 3 番目のエッジ (TCMCR の IEDG ビットにより選択可能) を検出し、TCMCNT の値が TCMICR に転送されたことを示すフラグです。</p> <p>フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件] インプットキャプチャ信号が発生したとき</p> <p>[クリア条件] ICPF=1 の状態で ICPF をリード後、ICPF に 0 をライトしたとき</p>
2~0	—	すべて 0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 12.3.6 TCM コントロールレジスタ (TCMCR)

TCMCR は 8 ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、TCMCNT のカウンタ開始またカウンタのクロックの選択、動作モードの切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	CST	0	R/W	<p>カウンタスタート</p> <p>タイマモードでは、本ビットを 1 にセットすると TCMCNT がカウントを開始します。0 にクリアすると TCMCNT はカウント動作を停止し、H'0000 に初期化されて、インプットキャプチャ動作も停止します。</p> <p>スピード測定モードでは TCMCNT を H'0000 に初期化するために 0 にクリアしてください。</p>
6	POCTL	0	R/W	<p>TCMCYI 入力極性反転</p> <p>0：TCMCYI 入力を直接使用 1：TCMCYI 入力を反転して使用</p> <p>【注】 CST=0、TCMMDS=0 のときに、本ビットを変更してください。</p>
5	CPSPE	0	R/W	<p>インプットキャプチャ停止イネーブル</p> <p>スピード測定モードで MAXOVF が 1 にセットされたときの TCMCNT のカウントアップおよびインプットキャプチャの動作/停止を制御します。タイマモードでは動作に影響を与えません。</p> <p>0：フラグ MAXOVF が 1 にセットされたとき、カウントアップおよびインプットキャプチャ動作を許可 1：フラグ MAXOVF が 1 にセットされたとき、カウントアップおよびインプットキャプチャ動作を禁止</p>

12. 16 ビットサイクルメジャーメントタイマ (TCM)

ビット	ビット名	初期値	R/W	説明
4	IEDG	0	R/W	<p>インプットエッジセレクト</p> <p>タイマモードでは、POCTL ビットとの組み合わせで TCMCYI 入力の立ち上がりエッジまた立ち下がりエッジのどちらのエッジでインプットキャプチャするかを選択します。</p> <p>スピード測定モードでは、POCTL ビットとの組み合わせで、TCMCYI 入力の立ち上がりエッジまた立ち下がりエッジのどちらのエッジで測定するかを選択します。</p> <p>POCTL=0 の場合</p> <p>0: TCMCYI 入力の立ち上がりエッジを選択</p> <p>1: TCMCYI 入力の立ち下がりエッジを選択</p> <p>POCTL=1 の場合</p> <p>0: TCMCYI 入力の立ち下がりエッジを選択</p> <p>1: TCMCYI 入力の立ち上がりエッジを選択</p>
3	TCMMDS	0	R/W	<p>TCM モードセレクト</p> <p>TCM の動作モードを選択します。</p> <p>0: タイマモード</p> <p>タイマモードのとき、インプットキャプチャとコンペアマッチとして機能します。</p> <p>1: スピード測定モード</p> <p>TCMCNT を H'0000 に初期化するため、スピード測定モードに設定する前に、TCMCNT の CST を 0 クリアしてください。</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2、1、0</p> <p>TCMCNT に入力するクロックを選択します。</p> <p>【注】 CST=0、TCMMDS=0 のときに、本ビットを変更してください。</p> <p>000: 内部クロック <math>\phi/2</math> をカウント</p> <p>001: 内部クロック <math>\phi/8</math> をカウント</p> <p>010: 内部クロック <math>\phi/16</math> をカウント</p> <p>011: 内部クロック <math>\phi/32</math> をカウント</p> <p>100: 内部クロック <math>\phi/64</math> をカウント</p> <p>101: 内部クロック <math>\phi/128</math> をカウント</p> <p>110: 内部クロック <math>\phi/256</math> をカウント</p> <p>111: 外部クロックをカウント</p> <p>(TCMCSR の CKSEG により、外部クロックのエッジを選択してください。)</p>

## 12. 16ビットサイクルメジャーメントタイマ (TCM)

### 12.3.7 TCM インタラプトイネーブルレジスタ (TCMIER)

TCMIER は 8 ビットリード/ライト可能なレジスタです。割り込み要求の許可/禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	OVIE	0	R/W	カウンタオーバーフローインタラプトイネーブル TCMCSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求を許可または禁止します。 0 : OVF による割り込み要求を禁止 1 : OVF による割り込み要求を許可
6	MAXOVIE	0	R/W	測定波形の測定周期の上限オーバーインタラプトイネーブル TCMCSR の MAXOVF フラグが 1 にセットされたとき、MAXOVF フラグによる割り込み要求を許可または禁止します。 0 : MAXOVF による割り込み要求を禁止 1 : MAXOVF による割り込み要求を許可
5	CMIE	0	R/W	コンペアマッチインタラプトイネーブル TCMCSR の CMF が 1 にセットされたとき、CMF による割り込み要求を許可または禁止します。 0 : CMF による割り込み要求を禁止 1 : CMF による割り込み要求を許可
4	TCMIPE	0	R/W	インプットキャプチャ入力イネーブル 端子入力を有効にします。 0 : 無効 1 : 有効 【注】 CTS=0、TCMMDS=0 のときに、本ビットを変更してください。
3	ICPIE	0	R/W	インプットキャプチャインタラプトイネーブル TCMCSR の ICPF フラグが 1 にセットされたとき、ICPF フラグによる割り込み要求を許可または禁止します。 0 : ICPF による割り込み要求を禁止 1 : ICPF による割り込み要求を許可
2	—	0	R/W	リザーブビット
1	—	0	R/W	初期値を変更しないでください。
0	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

## 12.4 動作説明

TCMCNT は、タイマモードおよびスピード測定モードで動作します。リセット直後、TCMCNT はタイマモードに設定されています。

### 12.4.1 タイマモード

#### (1) カウンタ動作

タイマモードでは、フリーランニングカウンタとして動作可能です。TCMCR の CST ビットを 1 にセットすると、TCMCNT はカウントアップ動作を開始します。TCMCNT が H'FFFF から H'0000 にオーバーフローすると、TCMCSR の OVF ビットが 1 にセットされ、TCMIER の OVIE ビットが 1 であれば割り込み要求が発生します。フリーランニングカウンタの動作例を図 12.2 に示します。また、外部クロック動作の場合の TCMCNT のカウントタイミングを図 12.3 に示します。なお外部クロックのパルス幅は、1.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

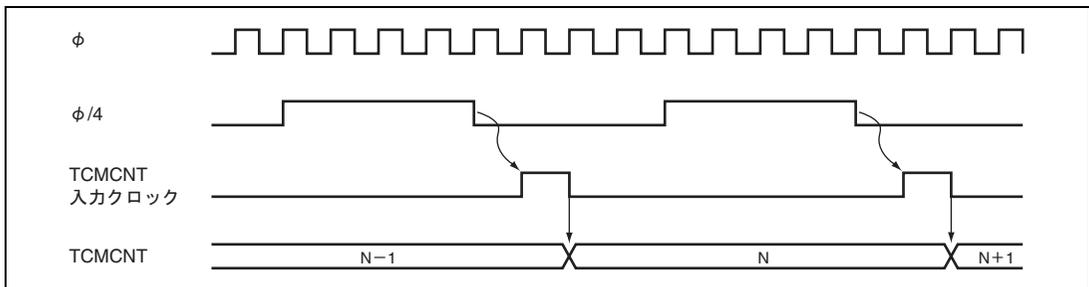


図 12.2 フリーランニングカウンタの動作例

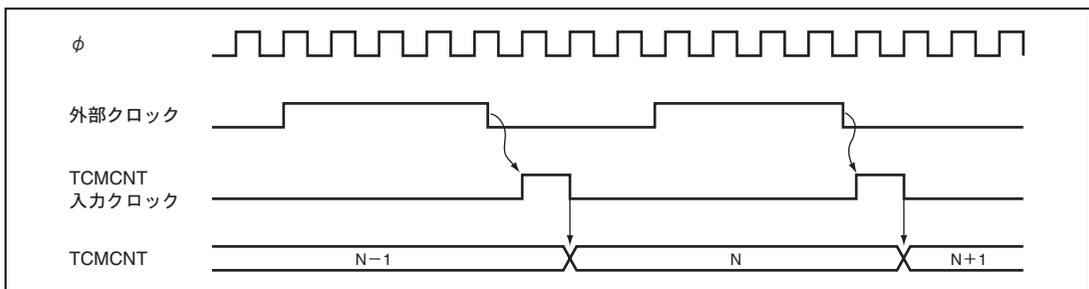


図 12.3 外部クロック動作時のカウントタイミング（立ち下がりエッジの場合）

## 12. 16 ビットサイクルメジャーメントタイマ (TCM)

### (2) インพุットキャプチャ

タイマモードでは、TCMCYI 端子の入力エッジを検出して TCMCNT の値を TCMICR に転送します。このとき同時に TCMCSR の ICPF フラグがセットされます。検出エッジは立ち上がりまたは立ち下がりから選択できます。インพุットキャプチャ動作タイミング例を図 12.4 に、インพุットキャプチャのバッファ動作例を図 12.5 に示します。

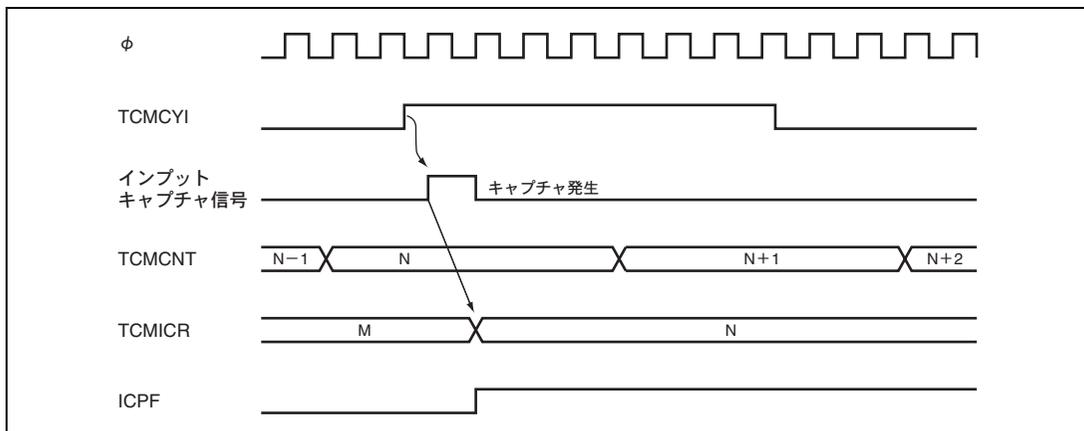


図 12.4 インพุットキャプチャ動作タイミング例 (立ち上がりエッジ選択時)

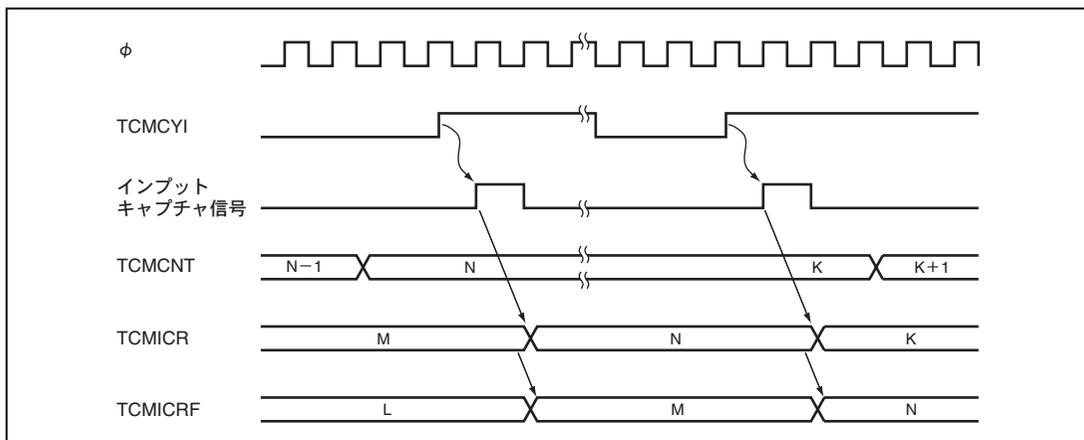


図 12.5 インพุットキャプチャのバッファ動作例

### (3) コンペアマッチ時の CMF のセットタイミング

TCMCSR の CMF フラグは、タイマモードで TCMCNT と TCMMMLC の値が一致した最後のステート (TCMCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCMCNT と TCMMMLC の値が一致した後、TCMCNT 入カクロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 12.6 に示します。

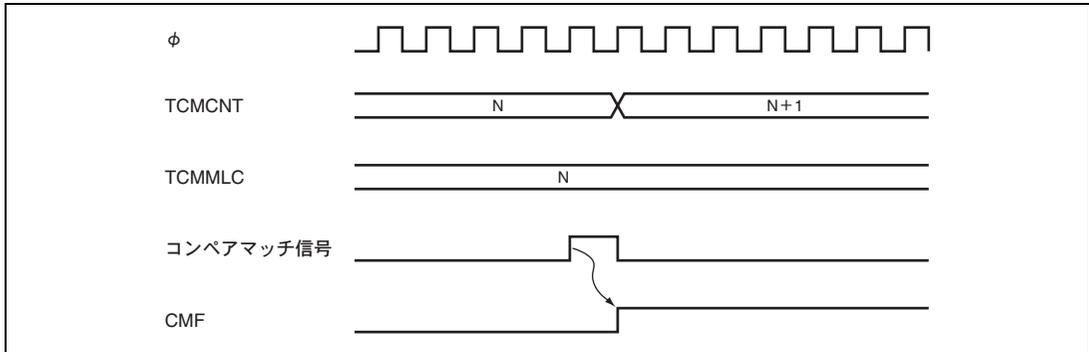


図 12.6 コンペアマッチ時の CMF フラグのセットタイミング

## 12.4.2 スピード測定モード

### (1) カウンタ動作

TCMCR の TCMMD5 ビットを 1 にセットすると、スピード測定モードに設定され、TCMCR の CST ビットの設定に関わらず、カウントアップ動作を行います。測定周期の 1 番目のエッジを検出すると、TCMCNT は H'0000 にクリアされ、カウントアップ動作を続けます。スピード測定モード時のカウンタの動作例を図 12.7 に示します。

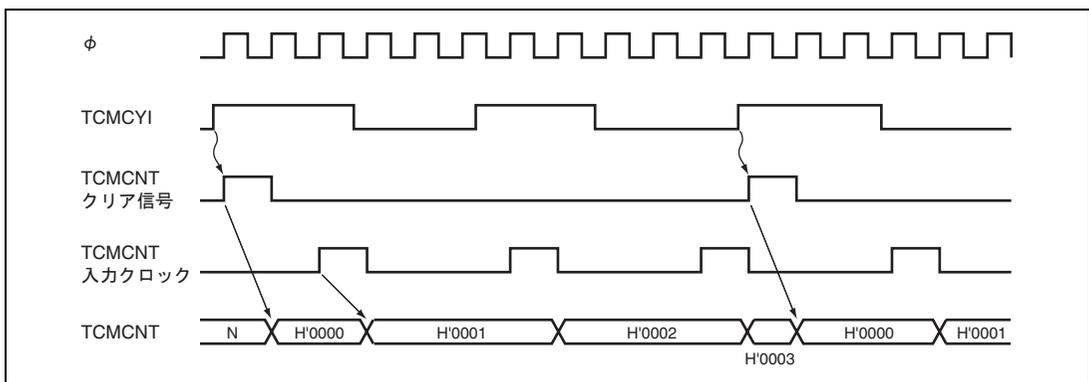


図 12.7 スピード測定モード時のカウンタの動作例

## 12. 16ビットサイクルメジャーメントタイマ (TCM)

### (2) スピード測定

スピード測定モードでは、2回のTCM入力波形周期が1つの測定周期になります。まず、TCMMDS=0を設定し、次にCTS=0を設定してTCMCNTをH'0000にクリアします。そして、TCMMLCMレジスタに測定周期の上限値を設定します。さらに、TCMCRのTCMMDSビットを1にセットすると、スピード測定モードになります。TCMCNTは選択されたクロックに従って、カウントアップします。測定周期の1番目のエッジ(TCMCRのIEDGビットにより選択可能)を検出するとTCMCNTは自動的にH'0000にクリアされます。3番目のエッジを検出するとTCMCNTの値がTCMICRに転送されます。このとき、同時にTCMICRの値がTCMMLCMの値と比較されます。TCMICRの値がTCMMLCMの値よりも大きい場合は、TCMCSRのMAXOVFビットが1にセットされます。TCMIERの設定により対応する割り込み要求を発生させることができます。また、3番目のエッジを検出するとTCMCNTはH'0000にクリアされ、次の測定を開始します。

TCMCRのCPSPEビットが0にクリアされている場合、MAXOVFフラグが1にセットされても、次のスピード測定を開始します。

TCMCRのCPSPEビットが1にセットされている場合、MAXOVFが1にセットされるとTCMCNTはカウントアップを停止し、スピード測定を停止します。MAXOVFを0にクリアするとTCMCNTは自動的にH'0000にクリアされて、カウントアップを開始し、スピード測定を再開します。

図 12.8 にスピード測定のタイミング例を示します。

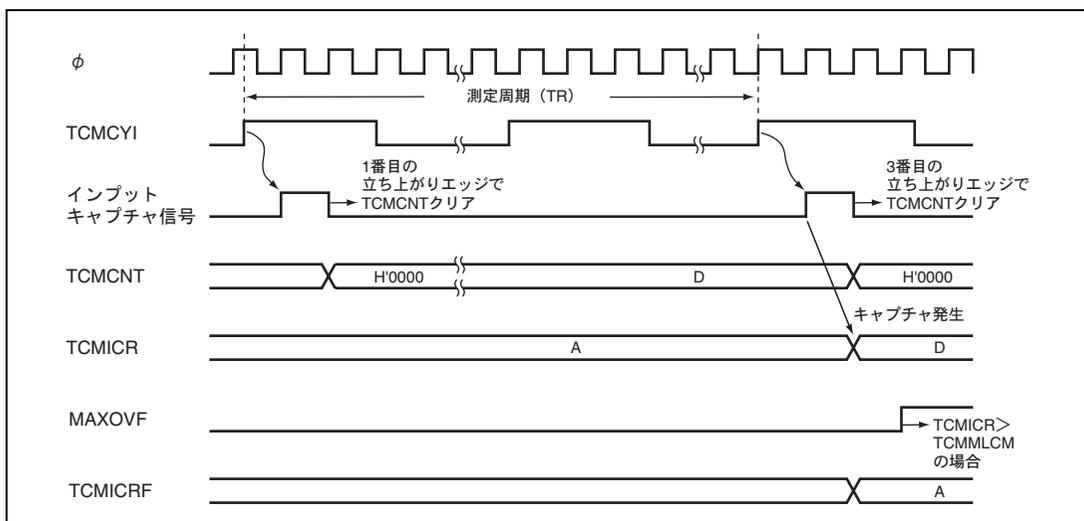


図 12.8 スピード測定のタイミング例

(3) FAN ストップの判定

FAN ストップ状態は 2 種類の条件があります。

スピード測定モードを開始してから、1 番目のエッジ (TCMCR の IEDG ビットにより選択可能) を検出するまでに、タイマオーバフローが発生すると FAN ストップ状態と判定することができます。

図 12.9 に FAN ストップのタイミング例 (1) を示します。

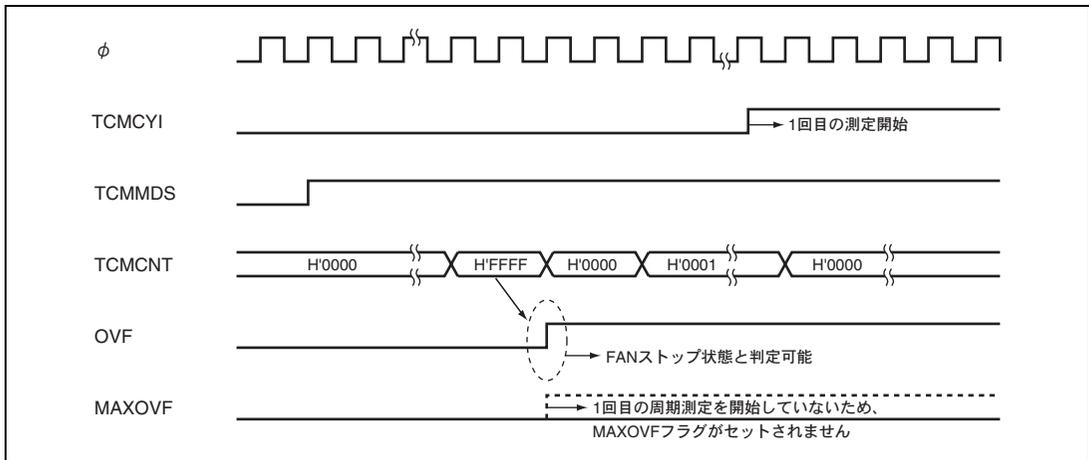


図 12.9 FAN ストップのタイミング例 (1)

TCMCR の CPSPE ビットが 1 にセットされている場合に、MAXOVF が 1 にセットされると、スピード測定を停止します。その後、MAXOVF を 0 にクリアすると、スピード測定を再開します。ここで、スピード測定を再開後に 1 回目のエッジを検出するまでに、タイマオーバフローが発生すると FAN ストップ状態と判定することができます。

図 12.10 に FAN ストップのタイミング例 (2) を示します。

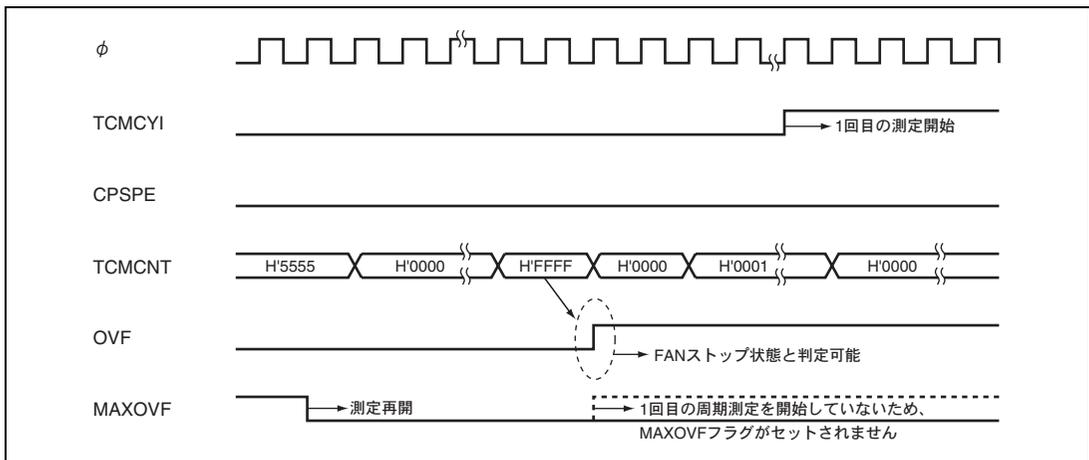


図 12.10 FAN ストップのタイミング例 (2)

## 12. 16ビットサイクルメジャーメントタイマ (TCM)

### (4) スピード測定モードの設定例

スピード測定モードを使用する場合のフローチャート例を図 12.11 に示します。

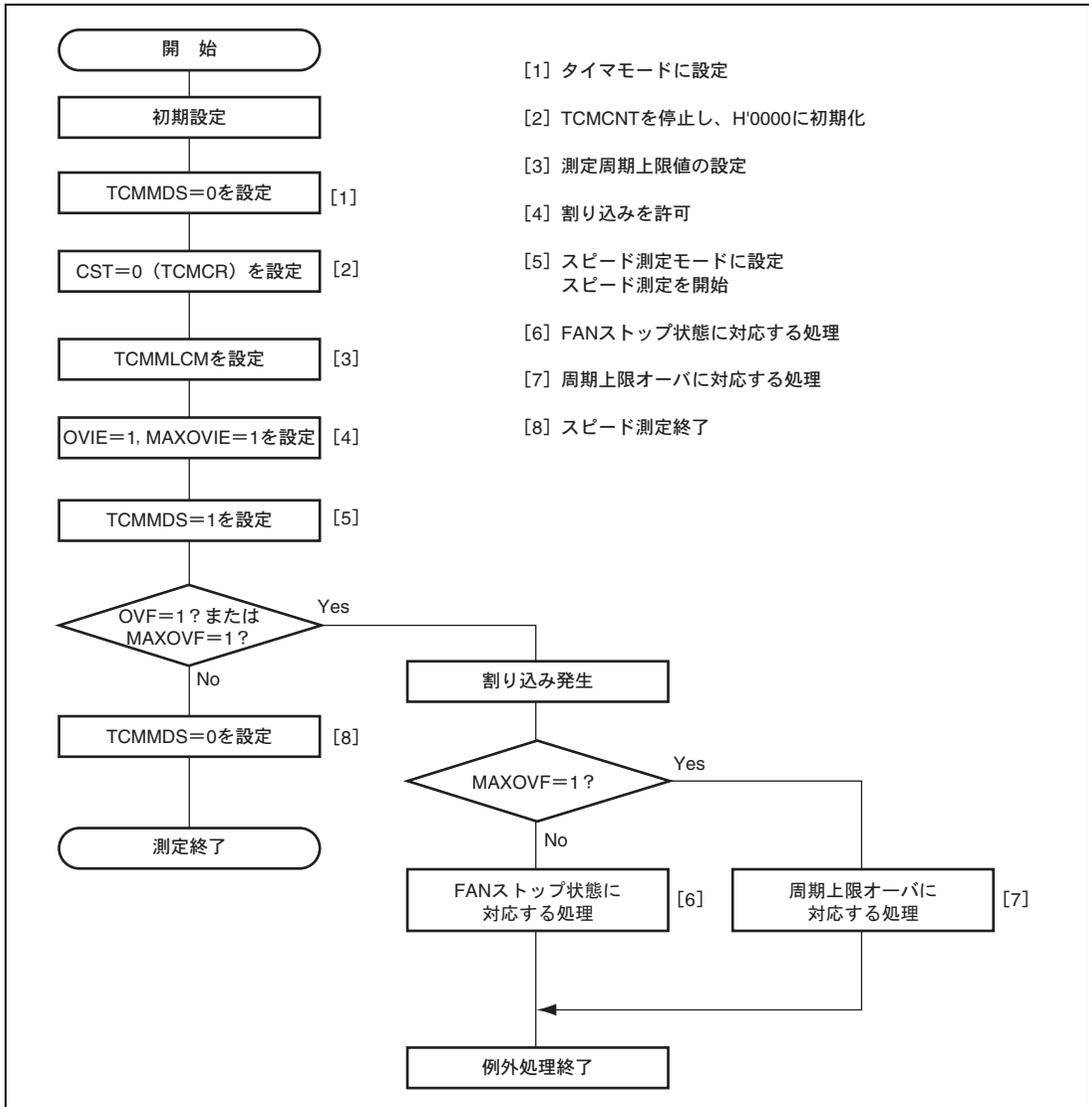


図 12.11 スピード測定モード設定例

## (5) スピード測定モードの FAN スピード計算方法

スピード測定モードでは、FAN 入力波形の 2 回の周期が 1 つの測定周期になります。以下の計算式により、FAN の回転速度を求めることができます。

- ・ 1回転に2パルス発生するFANモータの場合

$$\text{FAN回転速度 (RPM)} = \frac{\text{TCMCNT入力クロック周波数} \times 60 \times 2}{\text{キャプチャのTCMCNTのカウンタ数}}$$

## (6) スピード測定モードの測定誤差&amp;測定範囲

TCM をスピード測定モードとして使用する場合、測定誤差範囲および測定周波数範囲に応じて、カウンタソースクロックを選択することができます。

TCMCYI 端子からの入力信号をパルス測定するとき、測定の状況によりカウンタ数の誤差は  $N \pm 1$  になります ( $N$ : 入力 TCM 周期の正確なカウンタ数)。そして、以下の計算式により、測定誤差を求めることができます。

$$\text{測定誤差} = \left| \frac{N \pm 1}{N} \right| \times 100\% - 1 = \frac{1}{N} \times 100\%$$

TCM 周期: 60ms~3.75ms、システムクロック  $\phi$  の周波数: 8MHz~20MHz とした場合の測定誤差範囲を表 12.2 に示します。

表 12.2 測定誤差範囲

TCMCNT 入力クロック周波数	TCMCNT のカウンタ数		測定誤差範囲 (%)
$\phi/2$	15000~65535	H'3A98~H'FFFF	0.001~0.006
$\phi/8$	3750~65535	H'EA6~H'FFFF	0.001~0.002
$\phi/16$	1875~65535	H'753~H'FFFF	0.001~0.05
$\phi/32$	937 $\pm$ 1~65535	H'3A9 $\pm$ 1~H'FFFF	0.001~0.11
$\phi/64$	468 $\pm$ 1~37500	H'1D4 $\pm$ 1~H'927C	0.002~0.21
$\phi/128$	234 $\pm$ 1~18750	H'EA $\pm$ 1~H'493E	0.005~0.43
$\phi/256$	117 $\pm$ 1~9375	H'75 $\pm$ 1~H'249F	0.01~0.85

## 12. 16 ビットサイクルメジャーメントタイマ (TCM)

測定誤差 5% 以下、システムクロック  $\phi$  の周波数：8MHz、10MHz、20MHz とした場合の測定周波数の範囲を表 12.3 に示します。

表 12.3 測定速度の範囲

TCMCNT 入力クロック周波数		TCMCNT のカウント数	測定速度の範囲 (RPM)
$\phi/2$	8MHz	20~65535	24000000~7324
	10MHz	20~65535	30000000~9155
	20MHz	20~65535	60000000~18310
$\phi/8$	8MHz	20~65535	6000000~1830
	10MHz	20~65535	7500000~2288
	20MHz	20~65535	15000000~4576
$\phi/16$	8MHz	20~65535	3000000~914
	10MHz	20~65535	3750000~1144
	20MHz	20~65535	7500000~2288
$\phi/32$	8MHz	20~65535	1500000~456
	10MHz	20~65535	1875000~572
	20MHz	20~65535	3750000~1144
$\phi/64$	8MHz	20~65535	750000~228
	10MHz	20~65535	937500~286
	20MHz	20~65535	1875000~572
$\phi/128$	8MHz	20~65535	375000~114
	10MHz	20~65535	468750~143
	20MHz	20~65535	937500~286
$\phi/256$	8MHz	20~65535	187500~56
	10MHz	20~65535	234375~71
	20MHz	20~65535	468750~143

## 12.5 割り込み要因

TCM の割り込み要因は TIC1、TCMI、TOVMI および TOVI の 4 つあります。各割り込み要因は TCMIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。表 12.4 に各割り込み要因と優先順位を示します。

TIC1、TCMI 割り込みは、内蔵 DTC の起動要因とすることができます。

表 12.4 TCM 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
TCM_0	TIC10	TCMICR_0 のインプットキャプチャ	ICPF_0	可	高 ↑ 低
	TCMI0	TCMMLCM_0 のコンペアマッチ	CMF_0	可	
	TOVMI0	TCMMLCM_0 のオーバーフロー	MAXOVF_0	不可	
	TOVI0	TCMCNT_0 のオーバーフロー	OVF_0	不可	
TCM_1	TIC11	TCMICR_1 のインプットキャプチャ	ICPF_1	可	
	TCMI1	TCMMLCM_1 のコンペアマッチ	CMF_1	可	
	TOVMI1	TCMMLCM_1 のオーバーフロー	MAXOVF_1	不可	
	TOVI1	TCMCNT_1 のオーバーフロー	OVF_1	不可	

## 12.6 使用上の注意事項

### 12.6.1 TCMCNT ライトとカウントアップの競合

TCMCNT のライトサイクルの後半でカウントアップが発生すると、TCMCNT のカウントアップは行われず、TCMCNT のライトが優先されます。このタイミングを図 12.12 に示します。

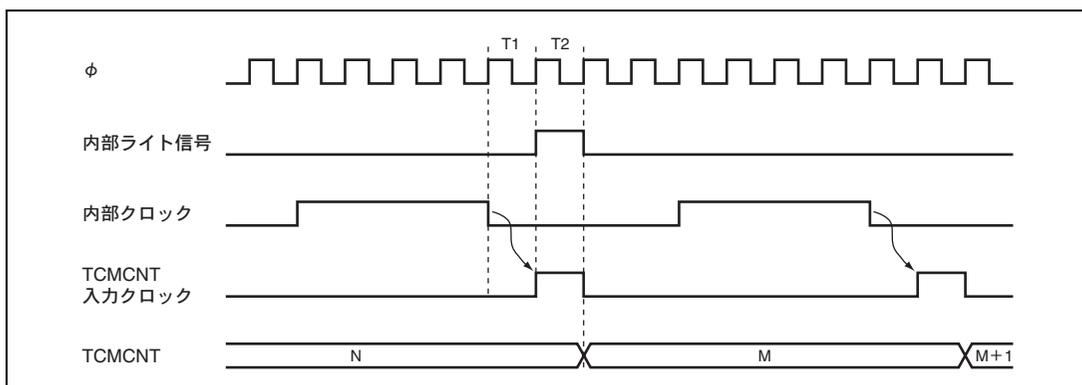


図 12.12 TCMCNT ライトとカウントアップの競合

### 12.6.2 TCMMLCM のライトとコンペアマッチの競合

タイマモードで、TCMMLCM のライトサイクルの後半でコンペアマッチが発生しても、TCMMLCM のライトが優先されコンペアマッチ信号は禁止されます。このタイミングを図 12.13 に示します。

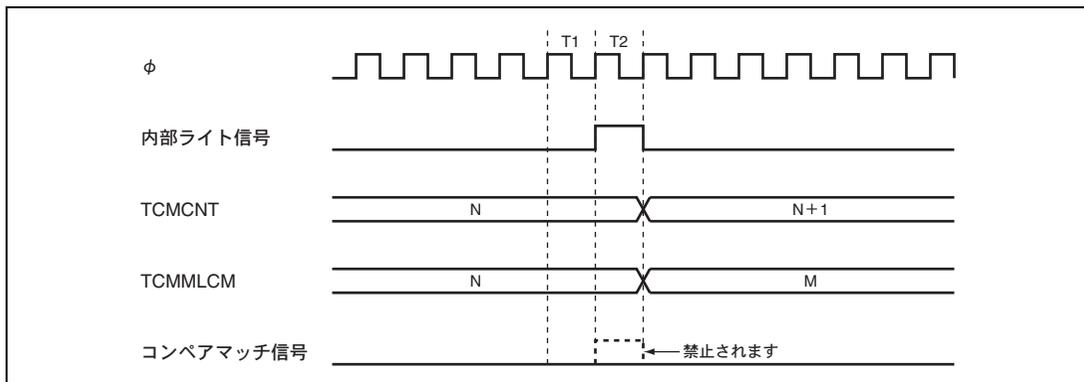


図 12.13 TCMMLCM のライトとコンペアマッチの競合

### 12.6.3 インพุットキャプチャと TCMICR リードの競合

タイマモードで TCMICR をリード時に、対応するインพุットキャプチャ信号を検出すると、インพุットキャプチャ信号は 1 システムクロック ( $\phi$ ) 遅延されます。このタイミングを図 12.14 に示します。

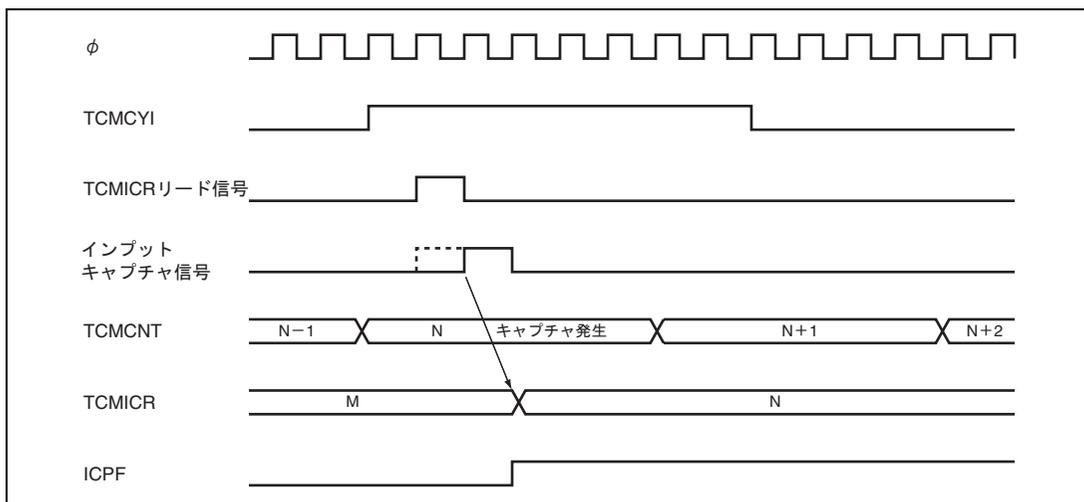


図 12.14 インพุットキャプチャと TCMICR リードの競合

### 12.6.4 スピード測定モード時のエッジ検出とレジスタ (TCMMLCM) ライトの競合

スピード測定モードでレジスタ (TCMMLCM) のライトサイクルの後半で TCMCYI のエッジを検出すると、検出したエッジ信号は 1 システムクロック ( $\phi$ ) 遅延されます。

このタイミングを図 12.15 に示します。

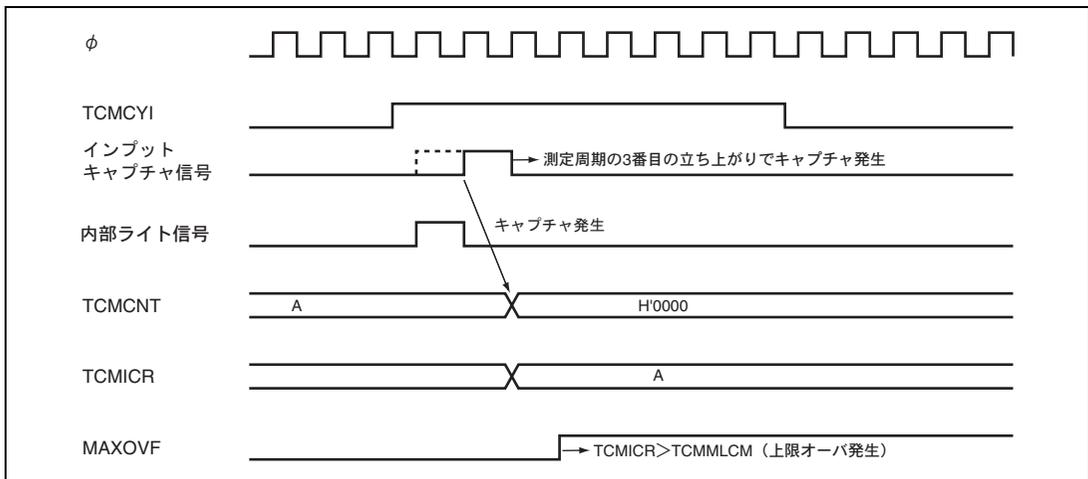


図 12.15 エッジ検出とレジスタライトの競合 (スピード測定モード)

### 12.6.5 スピード測定モードのエッジ検出と TCMCR の TCMMDS ビットクリアの競合

スピード測定モードで TCMCR の CST ビットが 1 にセットされている場合、TCMCR の TCMMDS ビットをクリアするとき TCMCYI のエッジを検出すると、本タイマは検出したエッジ信号によりスピード測定モードの動作を行います。次のエッジ検出によりタイマモードの動作を行います。スピード測定モードでは CST ビットを 0 にクリアしてください。

このタイミングを図 12.16 に示します。

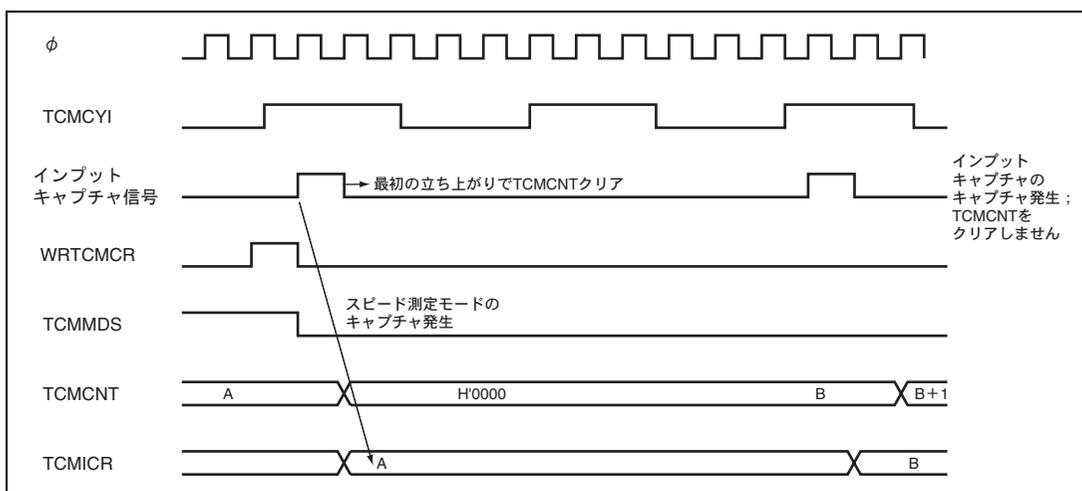


図 12.16 エッジ検出と TCMMDS クリアの競合 (スピード測定モードからタイマモードへの切り替え)

### 12.6.6 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TCM の動作停止/許可を設定することが可能です。初期値では TCM の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 22 章 低消費電力状態」を参照してください。

---

## 13. 8ビットタイマ (TMR)

---

本 LSI は、8 ビットのカウンタをベースにした 4 チャンネルの 8 ビットタイマ (TMR\_0、TMR\_1、TMR\_Y、TMR\_X) を内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

### 13.1 特長

- クロックを選択可能  
6種類の内部クロックと、外部クロックのうちから選択できます。
- カウンタのクリア指定が可能  
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御  
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能  
TMR\_0、TMR\_1のカスケード接続：  
TMR\_0を上位、TMR\_1を下位とする16ビットタイマとして動作可能です。(16ビットカウントモード)  
TMR\_1はTMR\_0のコンペアマッチをカウント可能です。(コンペアマッチカウントモード)  
TMR\_Y、TMR\_Xのカスケード接続：  
TMR\_Yを上位、TMR\_Xを下位とする16ビットタイマとして動作可能です。(16ビットカウントモード)  
TMR\_XはTMR\_Yのコンペアマッチをカウント可能です。(コンペアマッチカウントモード)
- 複数の割り込み要因  
TMR\_0、TMR\_1、TMR\_Y：コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。  
TMR\_X：コンペアマッチA、コンペアマッチB、オーバフロー、インプットキャプチャの4種類があります。

### 13. 8ビットタイマ (TMR)

8ビットタイマのブロック図を図13.1、図13.2に示します。

TMR\_Xには、インプットキャプチャ機能が追加されています。

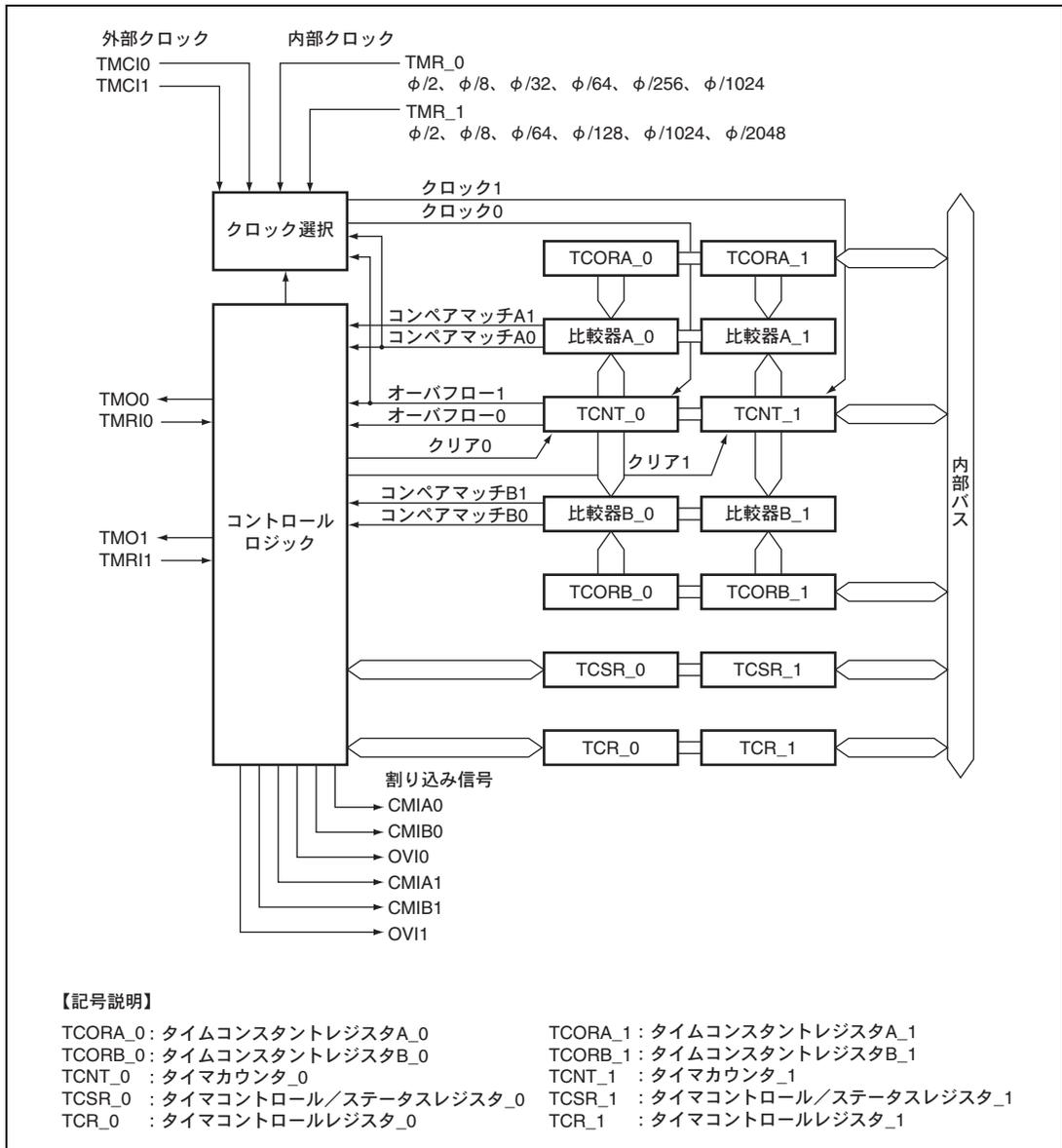


図 13.1 8ビットタイマ (TMR\_0、TMR\_1) のブロック図

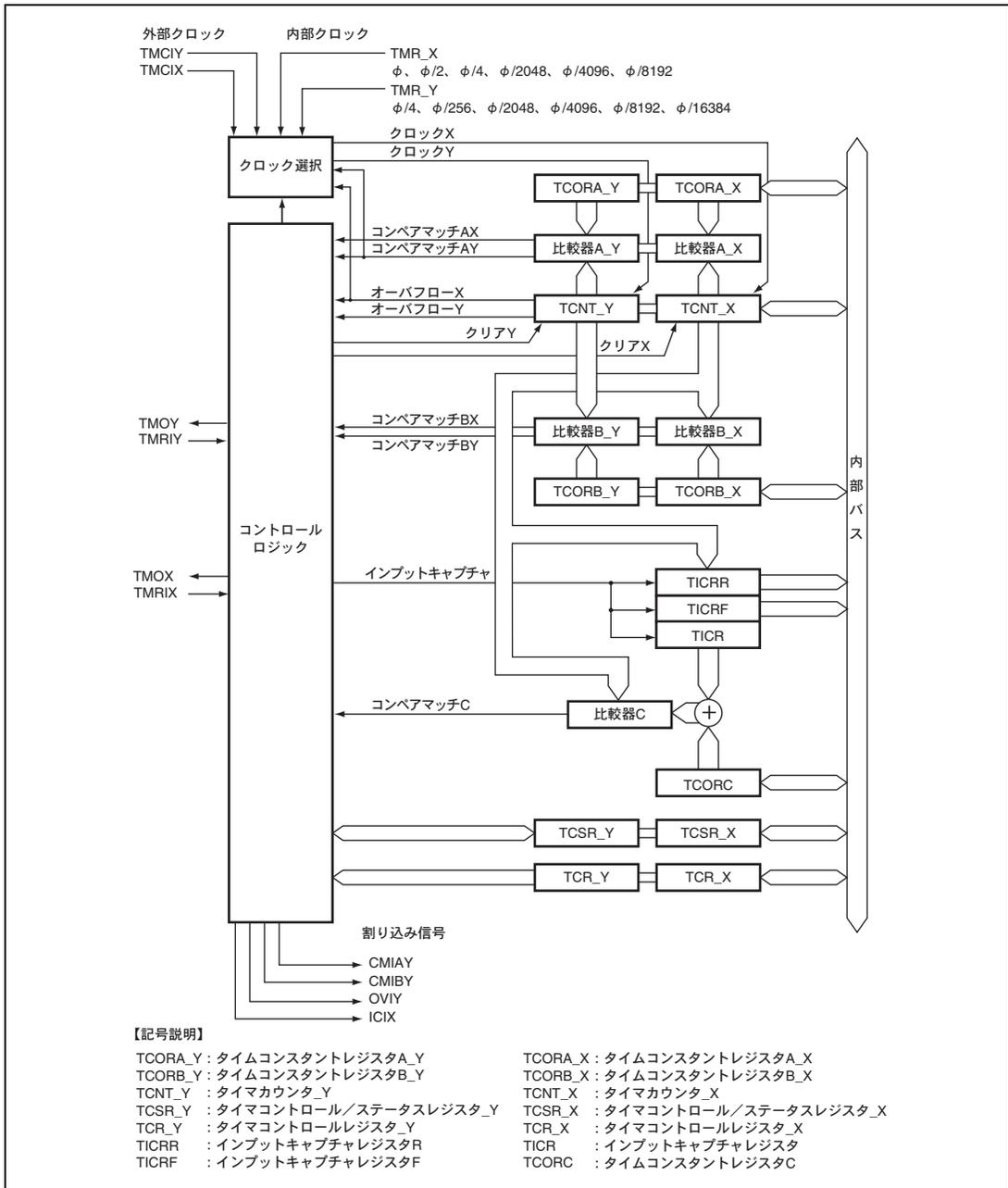


図 13.2 8ビットタイマ (TMR\_Y、TMR\_X) のブロック図

## 13. 8ビットタイマ (TMR)

### 13.2 入出力端子

TMR の入出力端子を表 13.1 に示します。

表 13.1 端子構成

チャンネル	名 称	記号	入出力	機 能
TMR_0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
TMR_1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
TMR_Y	タイマクロック/ リセット入力端子	TMIY (TMCIY/TMRIY)	入力	カウンタ外部クロック入力/リセット入力
	タイマ出力端子	TMOY	出力	コンペアマッチ出力
TMR_X	タイマ出力端子	TMOX	出力	コンペアマッチ出力
	タイマクロック/ リセット入力端子	TMIX (TMCIX/TMRIY)	入力	カウンタ外部クロック入力/リセット入力

### 13.3 レジスタの説明

TMR には以下のレジスタがあります。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

#### TMR\_0

- タイマカウンタ\_0 (TCNT\_0)
- タイムコンスタントレジスタA\_0 (TCORA\_0)
- タイムコンスタントレジスタB\_0 (TCORB\_0)
- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマコントロール/ステータスレジスタ\_0 (TCSR\_0)

#### TMR\_1

- タイマカウンタ\_1 (TCNT\_1)
- タイムコンスタントレジスタA\_1 (TCORA\_1)
- タイムコンスタントレジスタB\_1 (TCORB\_1)
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマコントロール/ステータスレジスタ\_1 (TCSR\_1)

TMR\_Y

- タイマカウンタ\_Y (TCNT\_Y)
- タイムコンスタントレジスタA\_Y (TCORA\_Y)
- タイムコンスタントレジスタB\_Y (TCORB\_Y)
- タイマコントロールレジスタ\_Y (TCR\_Y)
- タイマコントロール/ステータスレジスタ\_Y (TCSR\_Y)
- タイマコネクションレジスタS (TCONRS)

TMR\_X

- タイマカウンタ\_X (TCNT\_X)
- タイムコンスタントレジスタA\_X (TCORA\_X)
- タイムコンスタントレジスタB\_X (TCORB\_X)
- タイマコントロールレジスタ\_X (TCR\_X)
- タイマコントロール/ステータスレジスタ\_X (TCSR\_X)
- インพุットキャプチャレジスタ (TICR)
- タイムコンスタントレジスタ (TCORC)
- インพุットキャプチャレジスタR (TICRR)
- インพุットキャプチャレジスタF (TICRF)
- タイマコネクションレジスタI (TCONRI)

TMR\_Y、TMR\_X 共通

- タイマXYコントロールレジスタ (TCRXY)

【注】 TMR\_X と TMR\_Y のレジスタは一部同一アドレスです。レジスタの切り替えは TCONRS の TMRX/Y ビットで行います。  
TCNT\_Y、TCORA\_Y、TCORB\_Y、TCR\_Y は TCONRS の TMRX/Y=1 のときアクセス可能です。  
TCNT\_X、TCORA\_X、TCORB\_X、TCR\_X は TCONRS の TMRX/Y=0 のときアクセス可能です。

## 13. 8ビットタイマ (TMR)

### 13.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT\_0、TCNT\_1は16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー(H'FF→H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

### 13.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA\_0、TCORA\_1は16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

### 13.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB\_0、TCORB\_1は16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

### 13.3.4 タイマコントロールレジスタ (TCR)

TCRはTCNTの入カクロックの選択、TCNTのクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSRのCMFBが1にセットされたとき、CMFBによる割り込み要求(CMIB)の許可または禁止を選択します。 0: CMFBによる割り込み要求(CMIB)を禁止 1: CMFBによる割り込み要求(CMIB)を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSRのCMFAが1にセットされたとき、CMFAによる割り込み要求(CMIA)の許可または禁止を選択します。 0: CMFAによる割り込み要求(CMIA)を禁止 1: CMFAによる割り込み要求(CMIA)を許可

ビット	ビット名	初期値	R/W	説明
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0: OVF による割り込み要求 (OVI) を禁止 1: OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00: クリアを禁止 01: コンペアマッチ A によりクリア 10: コンペアマッチ B によりクリア 11: 外部リセット入力の立ち上がりエッジによりクリア
3	CCLR0	0	R/W	
2	CKS2	0	R/W	クロックセレクト 2~0 STCR の ICKS1、ICKS0 ビットとの組み合わせで、TCNT に入力するクロックとカウント条件を選択します。表 13.2 を参照してください。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 13.2 TCNT に入力するクロックとカウント条件 (1)

チャネル	TCR			STCR		説明
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	—	—	クロック入力を禁止
	0	0	1	—	0	内部クロック $\phi/8$ 立ち下がりエッジでカウント
	0	0	1	—	1	内部クロック $\phi/2$ 立ち下がりエッジでカウント
	0	1	0	—	0	内部クロック $\phi/64$ 立ち下がりエッジでカウント
	0	1	0	—	1	内部クロック $\phi/32$ 立ち下がりエッジでカウント
	0	1	1	—	0	内部クロック $\phi/1024$ 立ち下がりエッジでカウント
	0	1	1	—	1	内部クロック $\phi/256$ 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	—	内部クロック $\phi/8$ 立ち下がりエッジでカウント
	0	0	1	1	—	内部クロック $\phi/2$ 立ち下がりエッジでカウント
	0	1	0	0	—	内部クロック $\phi/64$ 立ち下がりエッジでカウント
	0	1	0	1	—	内部クロック $\phi/128$ 立ち下がりエッジでカウント
	0	1	1	0	—	内部クロック $\phi/1024$ 立ち下がりエッジでカウント
	0	1	1	1	—	内部クロック $\phi/2048$ 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_0 のコンペアマッチ A でカウント*
共通	1	0	1	—	—	外部クロックの立ち上がりエッジでカウント
	1	1	0	—	—	外部クロックの立ち下がりエッジでカウント
	1	1	1	—	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント

【注】 \* TMR\_0 のクロック入力を TCNT\_1 のオーバフロー信号とし、TMR\_1 のクロック入力を TCNT\_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。これらの設定は行わないでください。

### 13. 8ビットタイマ (TMR)

表 13.2 TCNTに入力するクロックとカウント条件 (2)

チャネル	TCR			TCRXY		説 明
	CKS2	CKS1	CKS0	CKSX	CKSY	
TMR_Y	0	0	0	—	0	クロック入力を禁止
	0	0	1	—	0	$\phi/4$ でカウント
	0	1	0	—	0	$\phi/256$ でカウント
	0	1	1	—	0	$\phi/2048$ でカウント
	1	0	0	—	0	クロック入力を禁止
	0	0	0	—	1	クロック入力を禁止
	0	0	1	—	1	$\phi/4096$ でカウント
	0	1	0	—	1	$\phi/8192$ でカウント
	0	1	1	—	1	$\phi/16384$ でカウント
	1	0	0	—	1	TCNT_X のオーバーフローでカウント*
	1	0	1	—	X	外部クロック：立ち上がりエッジカウント
	1	1	0	—	X	外部クロック：立ち下がりエッジカウント
1	1	1	—	X	外部クロック：両エッジカウント	
TMR_X	0	0	0	0	—	クロック入力を禁止
	0	0	1	0	—	$\phi$ でカウント
	0	1	0	0	—	$\phi/2$ でカウント
	0	1	1	0	—	$\phi/4$ でカウント
	1	0	0	0	—	クロック入力を禁止
	0	0	0	1	—	クロック入力を禁止
	0	0	1	1	—	$\phi/2048$ でカウント
	0	1	0	1	—	$\phi/4096$ でカウント
	0	1	1	1	—	$\phi/8192$ でカウント
	1	0	0	1	—	TCNT_Y のコンペアマッチ A でカウント*
	1	0	1	X	—	外部クロック：立ち上がりエッジカウント
	1	1	0	X	—	外部クロック：立ち下がりエッジカウント
1	1	1	X	—	外部クロック：両エッジカウント	

【注】 \* TMR\_Yのクロック入力をTCNT\_Xのオーバーフロー信号とし、TMR\_Xのクロック入力をTCNT\_Yのコンペアマッチ信号とするとカウントアップクロックが発生しません。これらの設定は行わないでください。

【記号説明】 X：Don't care

—：無効

## 13.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

## • TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_0 の値と TCORB_0 の値が一致したとき [クリア条件] CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_0 の値と TCORA_0 の値が一致したとき [クリア条件] CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT_0 の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガインエーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB_0 と TCNT_0 のコンペアマッチ B による TMO0 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA_0 と TCNT_0 のコンペアマッチ A による TMO0 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 13. 8ビットタイマ (TMR)

• TCSR\_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_1 の値と TCORB_1 の値が一致したとき [クリア条件] CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_1 の値と TCORA_1 の値が一致したとき [クリア条件] CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT_1 の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_1 と TCNT_1 のコンペアマッチ B による TMO1 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_1 と TCNT_1 のコンペアマッチ A による TMO1 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## • TCSR\_Y

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_Y の値と TCORB_Y の値が一致したとき [クリア条件] CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_Y の値と TCORA_Y の値が一致したとき [クリア条件] CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT_Y の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICIE	1	R/W	インプットキャプチャインタラプトイネーブル TCSR_X の ICF が 1 にセットされたとき、ICF による割り込み要求 (ICIX) の許可または禁止を選択します。 0 : ICF による割り込み要求 (ICIX) を禁止 1 : ICF による割り込み要求 (ICIX) を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_Y と TCNT_Y のコンペアマッチ B による TMOY 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_Y と TCNT_Y のコンペアマッチ A による TMOY 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 13. 8 ビットタイマ (TMR)

• TCSR\_X

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_X の値と TCORB_X の値が一致したとき [クリア条件] CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_X の値と TCORA_X の値が一致したとき [クリア条件] CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT_X の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICF	0	R/(W)*	インプットキャプチャフラグ [セット条件] 外部リセット信号に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき [クリア条件] ICF=1 の状態で ICF をリードした後、ICF に 0 をライトしたとき
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_X と TCNT_X のコンペアマッチ B による TMOX 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_X と TCNT_X のコンペアマッチ A による TMOX 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 13.3.6 タイムコンスタントレジスタ C (TCORC)

TCORC は 8 ビットのリード/ライト可能なレジスタです。TCORC と TICR の内容を加算した値は TCNT と常に比較され、一致するとコンペアマッチ C 信号が発生されます。ただし、TCORC へのライトサイクルの T2 ステートと TICR のインプットキャプチャサイクルの比較は禁止されています。TCORC の初期値は H'FF です。

### 13.3.7 インプットキャプチャレジスタ R、F (TICRR、TICRF)

TICRR、TICRF は 8 ビットのリード専用のレジスタです。TICRR、TICRF は、TCONRI の ICST ビットが 1 にセットされている場合に、外部リセット入力 (TMRX) の立ち上がり、立ち下がりの順で TCNT の内容が転送されます。1 回のキャプチャ動作が終了すると ICST ビットは 0 にクリアされます。TICRR、TICRF の初期値は H'00 です。

### 13.3.8 タイマコネクションレジスタ I (TCONRI)

TCONRI はインプットキャプチャ機能を制御します。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	ICST	0	R/W	インプットキャプチャスタートビット TMR_X はインプットキャプチャレジスタ (TICRR、TICRF) があります。TICRR と TICRF は、このビットの制御で 1 回限りのキャプチャ動作を行い、パルス幅を測定することができます。このビットが 1 にセットされたとき、TMRX に立ち上がりエッジ、立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、このビットはクリアされます。 [クリア条件] TMRX に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき [セット条件] ICST=0 の状態で ICST リード後、ICST に 1 をライトしたとき
3~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

## 13. 8ビットタイマ (TMR)

### 13.3.9 タイマコネクションレジスタ S (TCONRS)

TCONRS は TMR\_X、TMR\_Y のアクセスを選択します。

ビット	ビット名	初期値	R/W	説明
7	TMRX/Y	0	R/W	TMR_X/TMR_Y アクセス選択 表 13.3 を参照してください。 0: アドレス H'(FF)FFF0~H'(FF)FFF5 で TMR_X のレジスタをアクセスする 1: アドレス H'(FF)FFF0~H'(FF)FFF5 で TMR_Y のレジスタをアクセスする
6~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

表 13.3 TMR\_X/TMR\_Y のアクセス可能なレジスタ

TMRX/Y	H'FFF0	H'FFF1	H'FFF2	H'FFF3	H'FFF4	H'FFF5	H'FFF6	H'FFF7
0	TMR_X TCR_X	TMR_X TCSR_X	TMR_X TICRR	TMR_X TICRF	TMR_X TCNT_X	TMR_X TCORC	TMR_X TCORA_X	TMR_X TCORB_X
1	TMR_Y TCR_Y	TMR_Y TCSR_Y	TMR_Y TCORA_Y	TMR_Y TCORB_Y	TMR_Y TCNT_Y	TMR_Y		

### 13.3.10 タイマ XY コントロールレジスタ (TCRXY)

TCRXY は TMR\_X、TMR\_Y の出力端子および内部クロックを選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	初期値を変更しないでください。
5	CKSX	0	R/W	TMR_X クロックセレクト 選択の詳細は、表 13.2 を参照してください。
4	CKSY	0	R/W	TMR_Y クロックセレクト 選択の詳細は、表 13.2 を参照してください。
3~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

## 13.4 動作説明

### 13.4.1 パルス出力

任意のデューティパルスを出力させる例を図 13.3 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期がTCORA、パルス幅がTCORBの波形をソフトウェアの介入なしに出力できます。

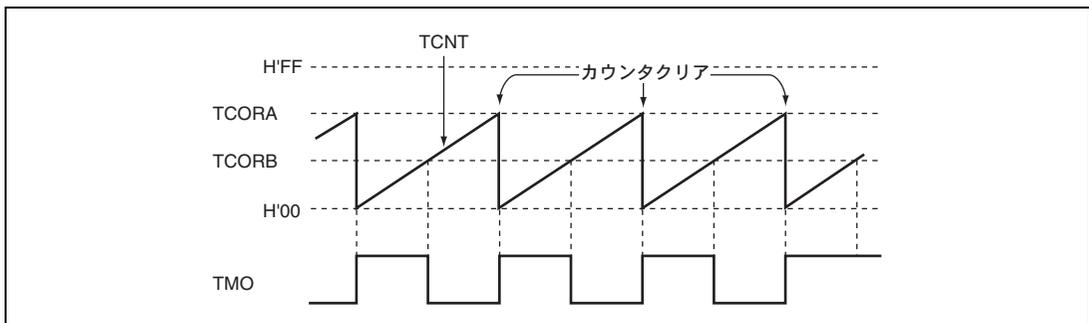


図 13.3 パルス出力例

## 13.5 動作タイミング

### 13.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 13.4 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 13.5 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

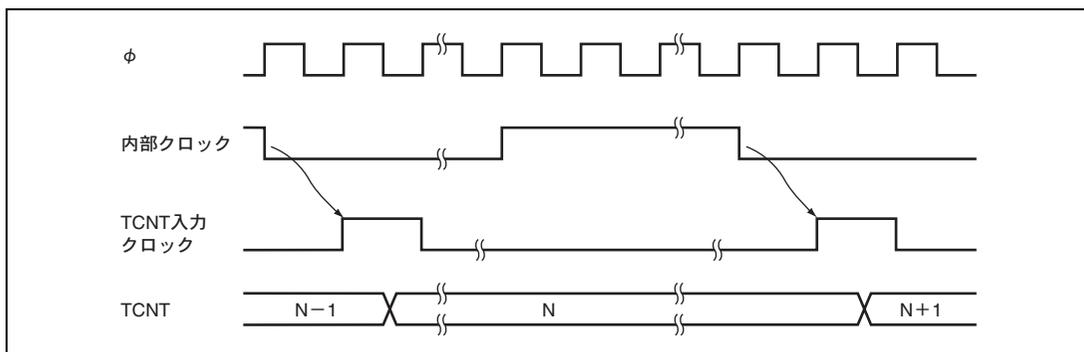


図 13.4 内部クロック動作時のカウントタイミング

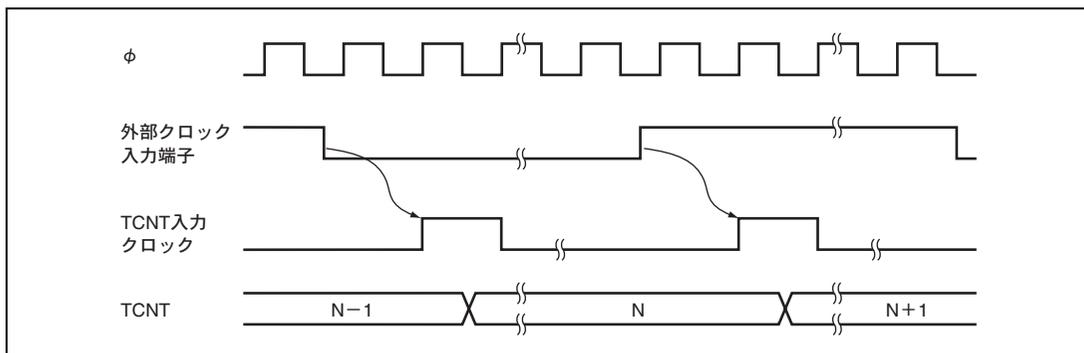


図 13.5 外部クロック動作時のカウントタイミング (両エッジの場合)

### 13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCNT と TCOR の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 13.6 に示します。

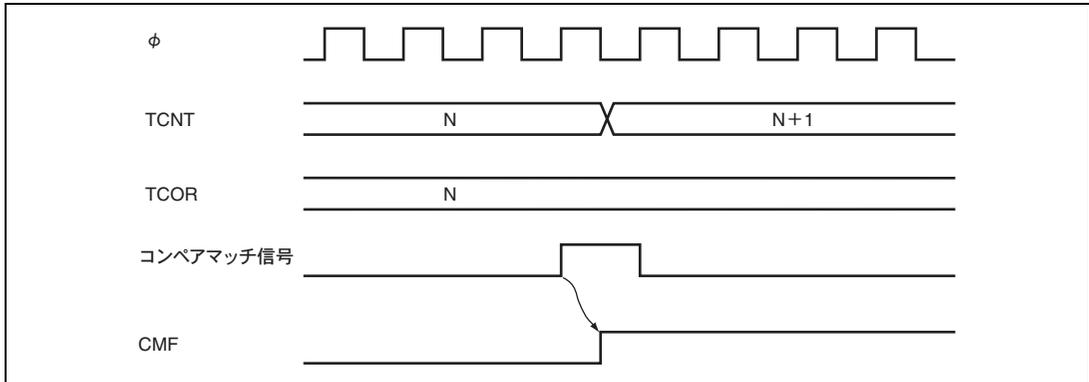


図 13.6 コンペアマッチ時の CMF フラグのセットタイミング

### 13.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 13.7 に示します。

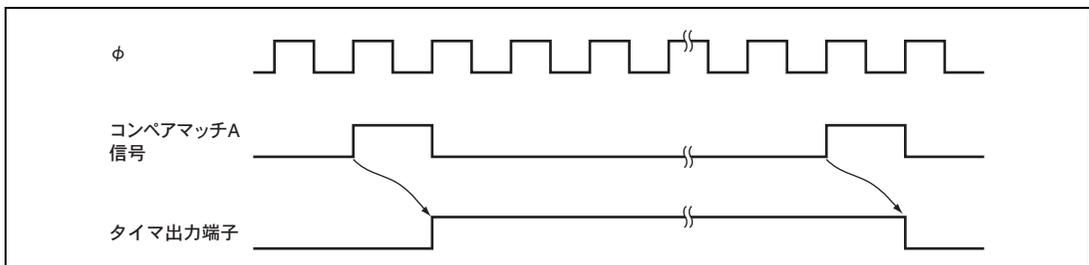


図 13.7 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

## 13. 8ビットタイマ (TMR)

### 13.5.4 コンペアマッチによるカウンタクリアタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択によりコンペアマッチAまたはコンペアマッチBでクリアされます。コンペアマッチによるカウンタクリアタイミングを図13.8に示します。

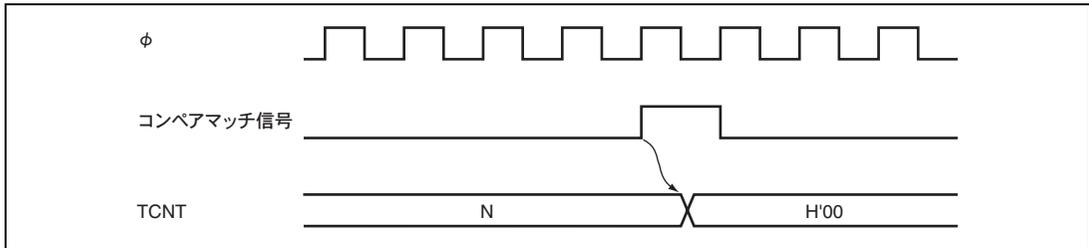


図 13.8 コンペアマッチによるカウンタクリアタイミング

### 13.5.5 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5ステート以上必要となります。外部リセット入力によるクリアタイミングを図13.9に示します。

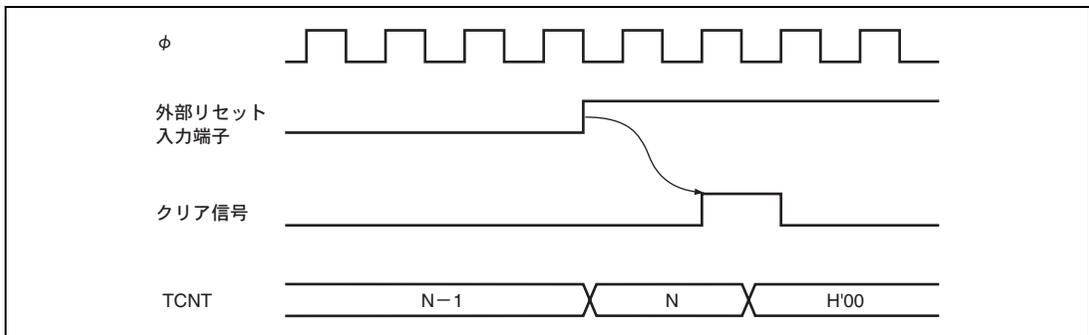


図 13.9 外部リセット入力によるクリアタイミング

### 13.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 13.10 に示します。

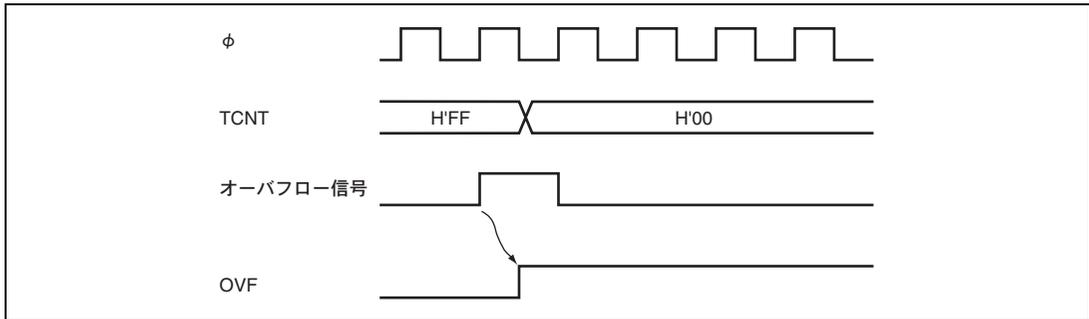


図 13.10 OVF フラグのセットタイミング

## 13.6 TMR\_0、TMR\_1 のカスケード接続

TCR\_0、TCR\_1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、16 ビットタイマモードか、コンペアマッチカウントモードにすることができます。

### 13.6.1 16 ビットカウントモード

TCR\_0 の CKS2～CKS0 ビットが B'100 のとき、タイマは TMR\_0 を上位 8 ビット、TMR\_1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

#### (1) コンペアマッチフラグのセット

- TCSR\_0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR\_1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

#### (2) カウンタクリア指定

- TCR\_0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT\_0、TCNT\_1 の両方) がクリアされます。また、TMI0 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TCNT\_0、TCNT\_1 の両方) がクリアされません。
- TCR\_1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

#### (3) 端子出力

- TCSR\_0 の OS3～OS0 ビットによる TMO0 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- TCSR\_1 の OS3～OS0 ビットによる TMO1 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

## 13. 8ビットタイマ (TMR)

---

### 13.6.2 コンペアマッチカウントモード

TCR\_1のCKS2~CKS0ビットがB'100のとき、TCNT\_1はTMR\_0のコンペアマッチAをカウントします。TMR\_0、TMR\_1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャネルの設定に従います。

## 13.7 TMR\_Y、TMR\_Xのカスケード接続

TCR\_Y、TCR\_Xのいずれか一方のCKS2~CKS0ビットをB'100に設定すると、2チャネルの8ビットタイマはカスケード接続されます。この場合、TCRXYのCKSXおよびCKSYビットの設定により16ビットカウントモードか、コンペアマッチカウントモードにすることができます。

### 13.7.1 16ビットカウントモード

TCR\_YのCKS2~CKS0ビットがB'100かつTCRXYのCKSYビットが1のとき、TMR\_Yを上位8ビット、TMR\_Xを下位8ビットとする1チャネルの16ビットタイマとして動作します。

#### (1) コンペアマッチフラグのセット

- TCSR\_YのCMFフラグは、上位8ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR\_XのCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

#### (2) カウンタクリア指定

- TCR\_YのCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、TCNT\_Yの上位8ビットのみクリアされます。また、TMR1Y端子によるカウンタクリアを設定した場合もTCNT\_Yの上位8ビットのみクリアされます。
- TCR\_XのCCLR1、CCLR0ビットの設定は有効でTCNT\_Xの下位8ビットのカウンタクリアができます。

#### (3) 端子出力

- TCSR\_YのOS3~OS0ビットによるTMOY端子の出力制御は上位8ビットのコンペアマッチ条件に従います。
- TCSR\_XのOS3~OS0ビットによるTMOX端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

### 13.7.2 コンペアマッチカウントモード

TCR\_XのCKS2~CKS0ビットがB'100かつTCRXYのCKSXビットが1のとき、TCNT\_XはTMR\_YのコンペアマッチAをカウントします。TCNT\_X、TMR\_Yの制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャネルの設定に従います。

### 13.7.3 インプットキャプチャ動作

TMR\_Xには、インプットキャプチャレジスタ (TICRR、TICRF) があります。TICRRとTICRFは、1回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。TMR1X (TMR\_Xのインプットキャプチャ入力信号) に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されると、そのときのTCNT\_Xの内容がTICRR、TICRFにそれぞれ転送されます。

## (1) インพุットキャプチャ入力タイミング

インพุットキャプチャ機能を設定した場合の動作タイミングを図 13.11 に示します。

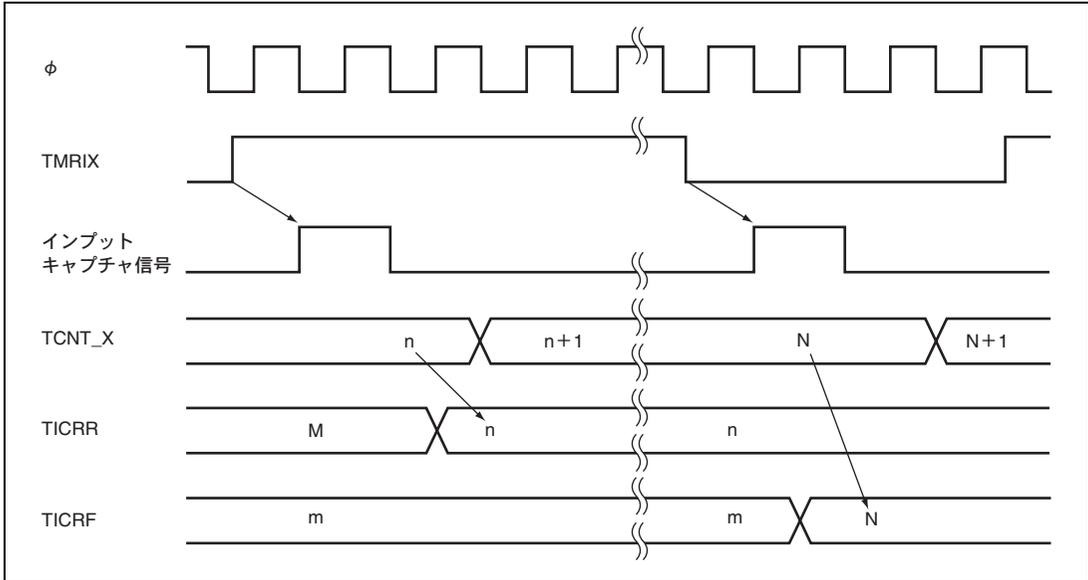


図 13.11 インพุットキャプチャ動作タイミング

また、TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力すると、インพุットキャプチャ信号は 1 システムクロック ( $\phi$ ) 遅延されます。このタイミングを図 13.12 に示します。

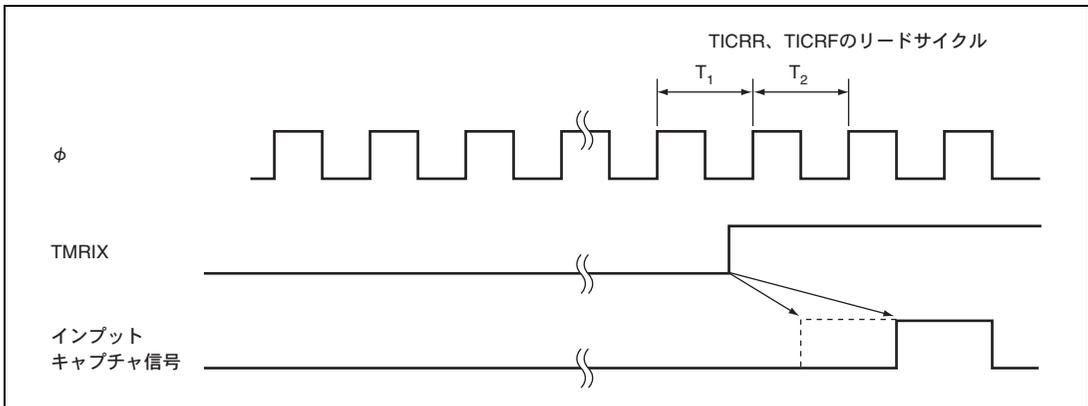


図 13.12 インพุットキャプチャ信号タイミング  
(TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力した場合)

## 13. 8ビットタイマ (TMR)

### (2) インพุットキャプチャ入力信号の選択

TCONRI レジスタの ICST ビットの設定により、TMR<sub>X</sub> を選択することができます。インพุットキャプチャ信号の選択を表 13.4 に示します。

表 13.4 インพุットキャプチャ信号の選択

TCONRI ビット 4 ICST	説明
0	インพุットキャプチャ機能を使用しない
1	TMR <sub>X</sub> 端子の入力信号を選択

## 13.8 割り込み要因

TMR<sub>0</sub>、TMR<sub>1</sub>、TMR<sub>Y</sub> の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。TMR<sub>X</sub> の割り込み要因は、CMIA、CMIB、OVI、ICIX の 4 種類があります。表 13.5 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 13.5 8ビットタイマ TMR<sub>0</sub>、TMR<sub>1</sub>、TMR<sub>Y</sub>、TMR<sub>X</sub> の割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位
TMR <sub>0</sub>	CMIA0	TCORA <sub>0</sub> のコンペアマッチ	CMFA	高  低
	CMIB0	TCORB <sub>0</sub> のコンペアマッチ	CMFB	
	OVI0	TCNT <sub>0</sub> のオーバーフロー	OVF	
TMR <sub>1</sub>	CMIA1	TCORA <sub>1</sub> のコンペアマッチ	CMFA	
	CMIB1	TCORB <sub>1</sub> のコンペアマッチ	CMFB	
	OVI1	TCNT <sub>1</sub> のオーバーフロー	OVF	
TMR <sub>Y</sub>	CMIAY	TCORA <sub>Y</sub> のコンペアマッチ	OMFA	
	CMIBY	TCORB <sub>Y</sub> のコンペアマッチ	CMFB	
	OVIY	TCNT <sub>Y</sub> のオーバーフロー	OVF	
TMR <sub>X</sub>	ICIX	インพุットキャプチャ	ICF	
	CMIA <sub>X</sub>	TCORA <sub>X</sub> のコンペアマッチ	CMFA	
	CMIB <sub>X</sub>	TCORB <sub>X</sub> のコンペアマッチ	CMFB	
	OVI <sub>X</sub>	TCNT <sub>X</sub> のオーバーフロー	OVF	

## 13.9 使用上の注意事項

### 13.9.1 TCNT のライトとカウンタクリアの競合

図 13.13 のように TCNT のライトサイクル中の  $T_2$  ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

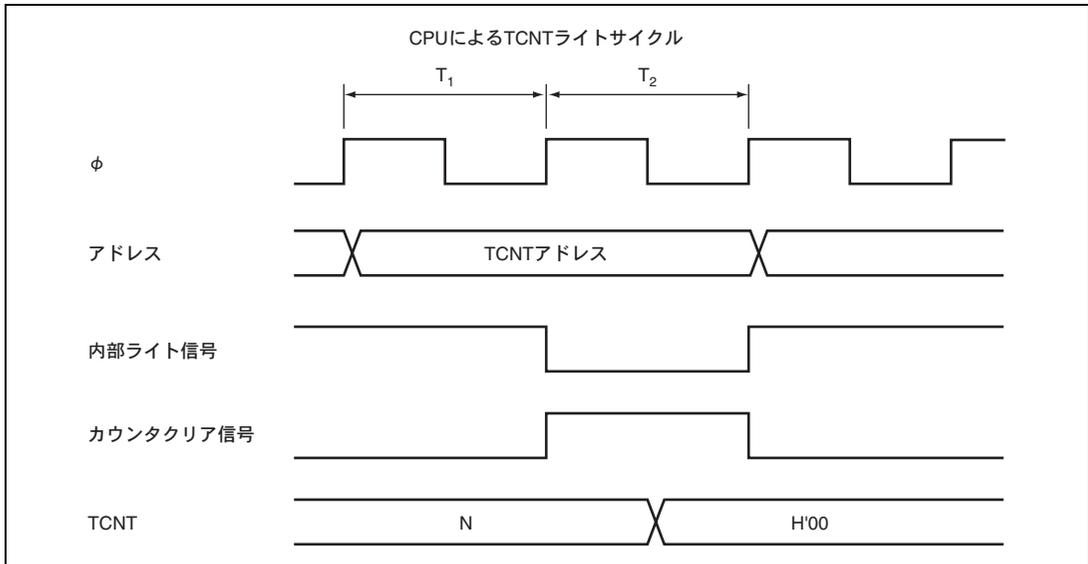


図 13.13 TCNT のライトとクリアの競合

### 13.9.2 TCNTのライトとカウントアップの競合

図 13.14 のように TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

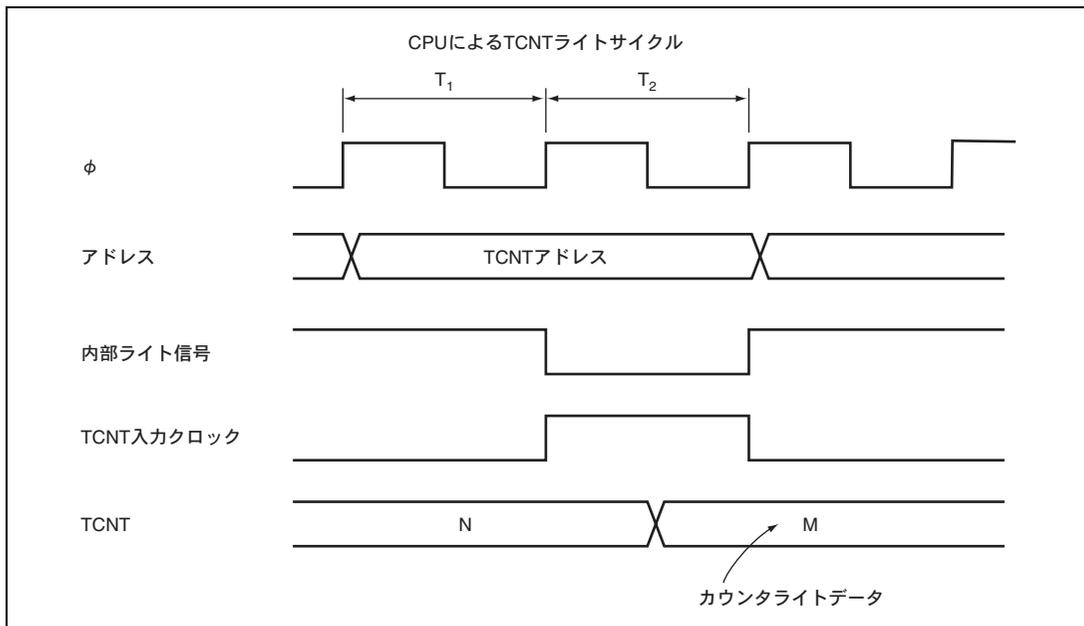


図 13.14 TCNT のライトとカウントアップの競合

### 13.9.3 TCORのライトとコンペアマッチの競合

図 13.15 のように TCOR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。TMR\_X では T1CR のインプットキャプチャは、TCORC へのライトと同様にコンペアマッチと競合します。このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

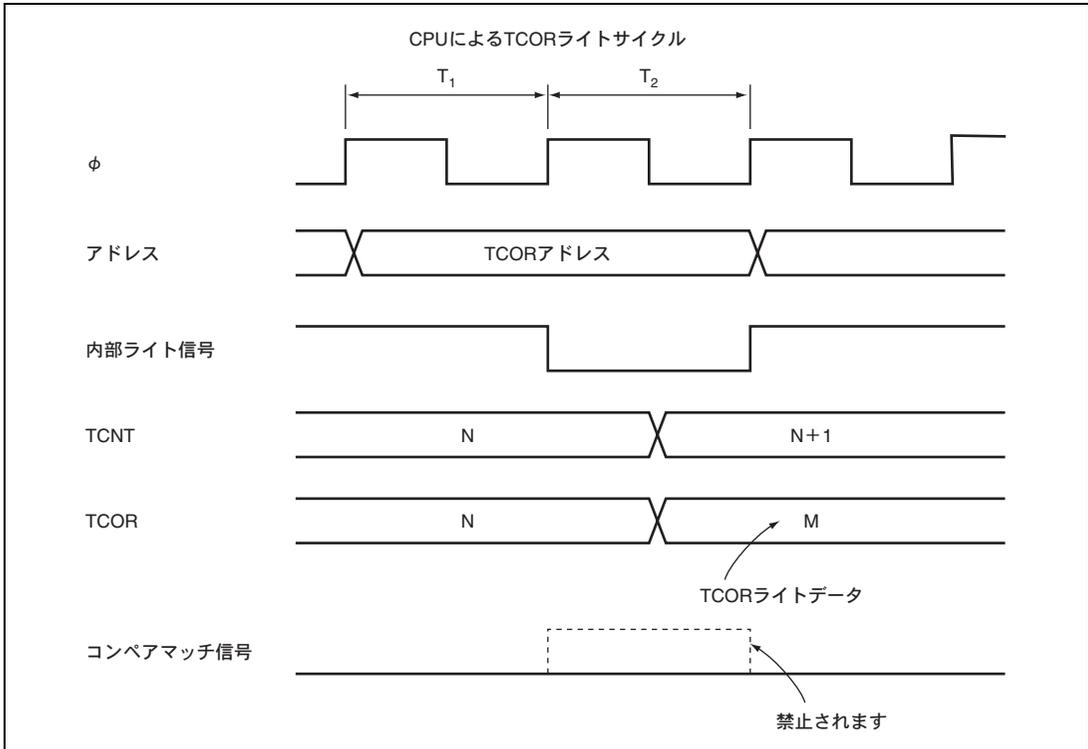


図 13.15 TCORのライトとコンペアマッチの競合

### 13.9.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 13.6 に示すタイマ出力の優先順位に従って動作します。

表 13.6 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

### 13.9.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を表 13.7 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 13.7 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 13.7 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* <sup>1</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1</p> <p>CKSビット書き換え</p>
2	Low→High レベル* <sup>2</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1 N+2</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル* <sup>3</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 \*1 Low レベル→停止、および停止→Low レベルの場合を含みます。

\*2 停止→High レベルの場合を含みます。

\*3 High レベル→停止を含みます。

\*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

### 13.9.6 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT\_0 と TCNT\_1、TCNT\_X と TCNT\_Y の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

### 13.9.7 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMR の動作停止/許可を設定することが可能です。初期値では TMR の動作は停止します。モジュールストップモードを解除することにより、レジスタアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。



---

## 14. ウォッチドッグタイマ (WDT)

---

本 LSI は、2 チャンネルのウォッチドッグタイマ (WDT\_0、WDT\_1) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバーフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT\_0、WDT\_1 のブロック図を図 14.1 に示します。

### 14.1 特長

- WDT\_0は8種類、WDT\_1は16種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

## 14. ウォッチドッグタイマ (WDT)

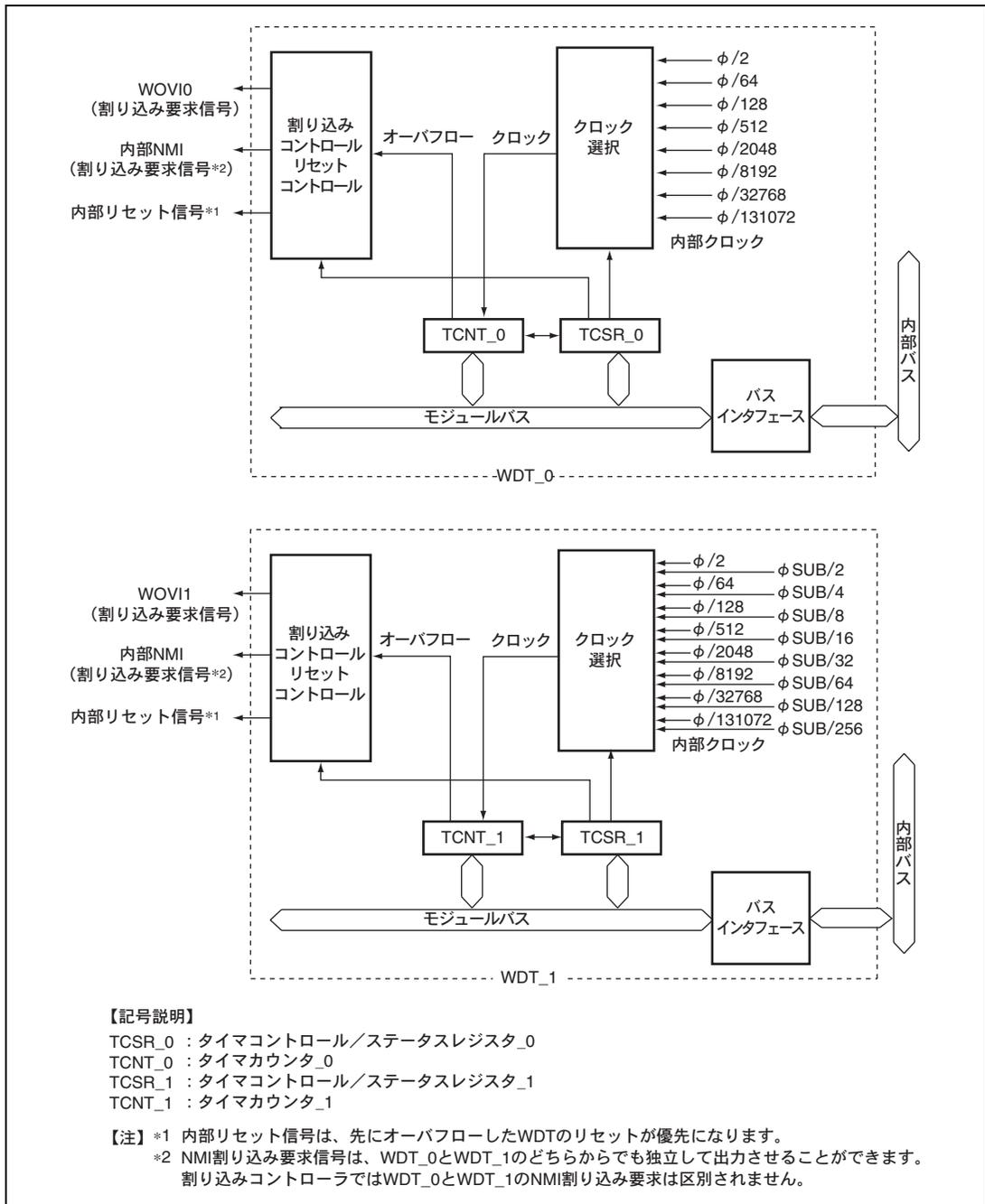


図 14.1 WDT のブロック図

## 14.2 入出力端子

WDT の入出力端子を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
外部サブクロック入力端子	EXCL	入力	WDT_1 のプリスケアラのカウンタ入力クロック

## 14.3 レジスタの説明

WDT にはチャンネルごとに以下のレジスタがあります。TCNT、TCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「14.6.1 レジスタアクセス時の注意事項」を参照してください。システムコントロールレジスタについては、「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)

### 14.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

## 14. ウォッチドッグタイマ (WDT)

### 14.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

#### • TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフロー (H'FF→H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー (H'FF→H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</li> <li>• TME ビットに 0 をライトしたとき</li> </ul>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	—	0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
3	RST/NMI	0	R/W	<p>リセットまたは NMI</p> <p>TCNT がオーバーフローしたときに、内部リセットか NMI 割り込み要求かを選択します。</p> <p>0: NMI 割り込みを要求 1: 内部リセットを要求</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。( ) 内は <math>\phi=20\text{MHz}</math> のときのオーバーフロー周期を表します。</p> <p>000: <math>\phi/2</math> (周期 25.6<math>\mu\text{s}</math>) 001: <math>\phi/64</math> (周期 819.2<math>\mu\text{s}</math>) 010: <math>\phi/128</math> (周期 1.6ms) 011: <math>\phi/512</math> (周期 6.6ms) 100: <math>\phi/2048</math> (周期 26.2ms) 101: <math>\phi/8192</math> (周期 104.9ms) 110: <math>\phi/32768</math> (周期 419.4ms) 111: <math>\phi/131072</math> (周期 1.68s)</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

14. ウォッチドッグタイマ (WDT)

• TCSR\_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* <sup>1</sup>	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフロー (H'FF→H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー (H'FF→H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• OVF=1 の状態で、TCSR をリード後*<sup>2</sup>、OVF に 0 をライトしたとき</li> <li>• TME ビットに 0 をライトしたとき</li> </ul>
6	WT/IT	0	R/W	<p>タイマモード選択</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード 1: ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	PSS	0	R/W	<p>プリスケラ選択</p> <p>TCNT に入力するクロックを選択します。</p> <p>0: φベースのプリスケラ (PSM) の分周クロックをカウント 1: φSUB ベースのプリスケラ (PSS) の分周クロックをカウント</p>
3	RST/NMI	0	R/W	<p>リセットまたは NMI</p> <p>TCNT がオーバーフローしたときに、内部リセットか NMI 割り込み要求かを選択します。</p> <p>0: NMI 割り込みを要求 1: 内部リセットを要求</p>

## 14. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。( ) 内は $\phi=20\text{MHz}$ 、 $\phi\text{SUB}=32.768\text{kHz}$ のときのオーバフロー周期を表します。 PSS=0 の場合 000 : $\phi/2$ (周期 25.6 $\mu\text{s}$ ) 001 : $\phi/64$ (周期 819.2 $\mu\text{s}$ ) 010 : $\phi/128$ (周期 1.6ms) 011 : $\phi/512$ (周期 6.6ms) 100 : $\phi/2048$ (周期 26.2ms) 101 : $\phi/8192$ (周期 104.9ms) 110 : $\phi/32768$ (周期 419.4ms) 111 : $\phi/131072$ (周期 1.68s) PSS=1 の場合 000 : $\phi\text{SUB}/2$ (周期 15.6ms) 001 : $\phi\text{SUB}/4$ (周期 31.3ms) 010 : $\phi\text{SUB}/8$ (周期 62.5ms) 011 : $\phi\text{SUB}/16$ (周期 125ms) 100 : $\phi\text{SUB}/32$ (周期 250ms) 101 : $\phi\text{SUB}/64$ (周期 500ms) 110 : $\phi\text{SUB}/128$ (周期 1s) 111 : $\phi\text{SUB}/256$ (周期 2s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

## 14.4 動作説明

### 14.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の  $WT/\overline{IT}$  ビット=1 に、TME ビット=1 に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットまたは NMI 割り込み要求を発生します。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバーフローを発生させないようにプログラミングしてください。

TCSR の  $RST/\overline{NMI}$  ビットを 1 にセットしておく、図 14.2 に示すように TCNT がオーバーフローしたときに、本 LSI の内部をリセットする信号が 518 システムクロックの間出力されます。また、 $RST/\overline{NMI}$  ビットを 0 にクリアしておく、TCNT がオーバーフローしたときに、NMI 割り込み要求を発生します。

ウォッチドッグタイマからの内部リセット要求と  $\overline{RES}$  端子からのリセット入力は、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。ウォッチドッグタイマからの内部リセット要求と  $\overline{RES}$  端子からのリセット入力が同時に発生したときは、 $\overline{RES}$  端子からのリセット入力が優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

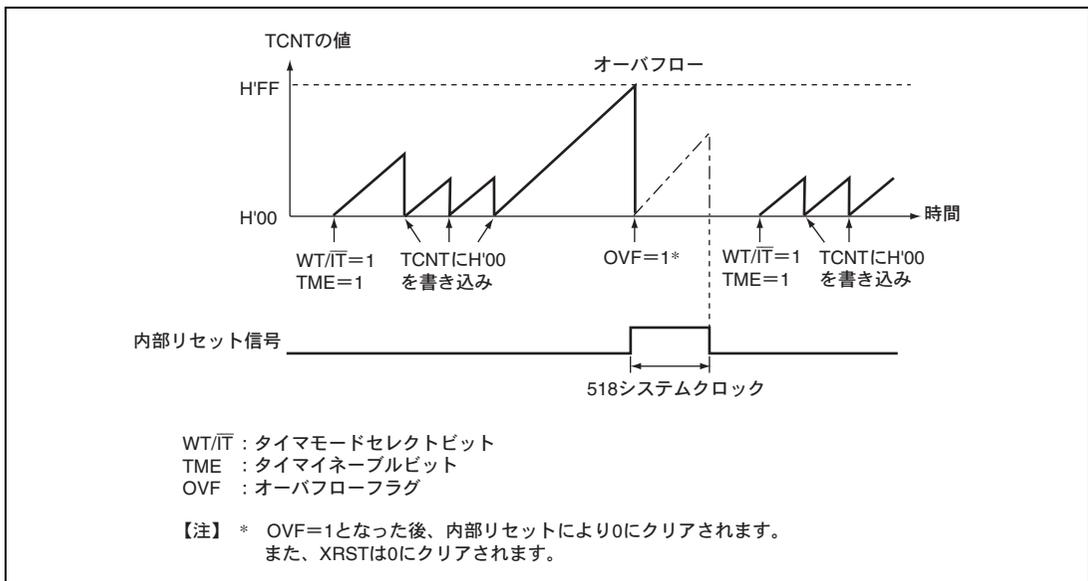


図 14.2 ウォッチドッグタイマモード時 ( $RST/\overline{NMI}=1$ ) の動作

## 14. ウォッチドッグタイマ (WDT)

### 14.4.2 インターバルタイマモード

インターバルタイマとして動作しているときは、図 14.3 に示すように TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF フラグが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 14.4 に示します。

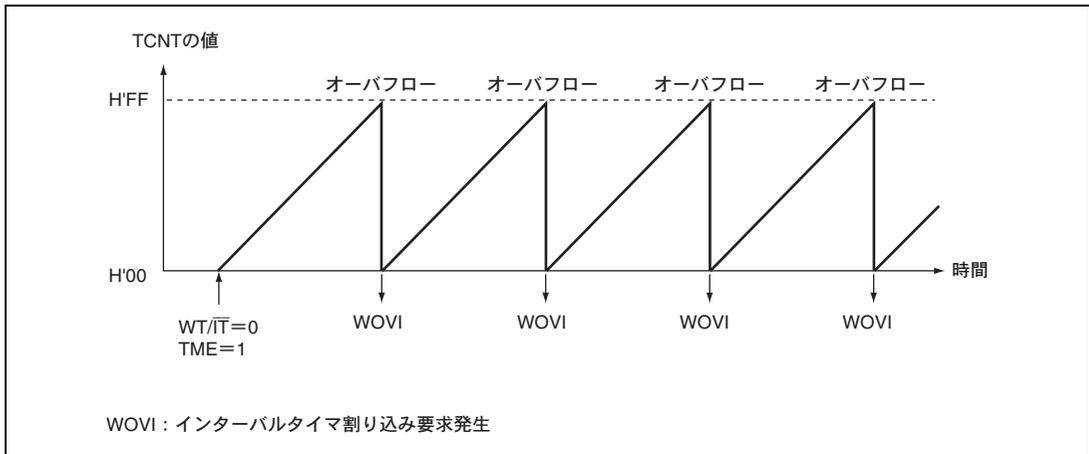


図 14.3 インターバルタイマモード時の動作

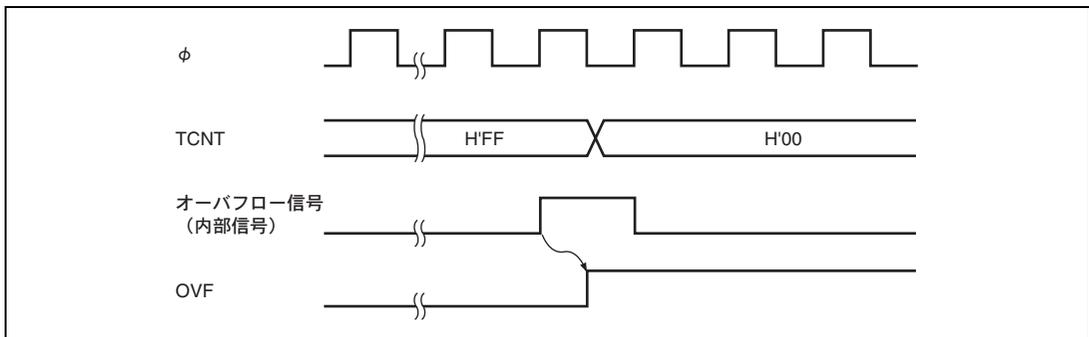


図 14.4 OVF のセットタイミング

## 14.5 割り込み要因

インターバルタイムモード時、オーバフローによりインターバルタイム割り込み (WOVI) が発生します。インターバルタイム割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバフローにより NMI 割り込み要求が発生します。

表 14.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバフロー	OVF	不可

## 14.6 使用上の注意事項

### 14.6.1 レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

#### (1) TCNT、TCSR へのライト (WDT\_0 の例)

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、**図 14.5** に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。

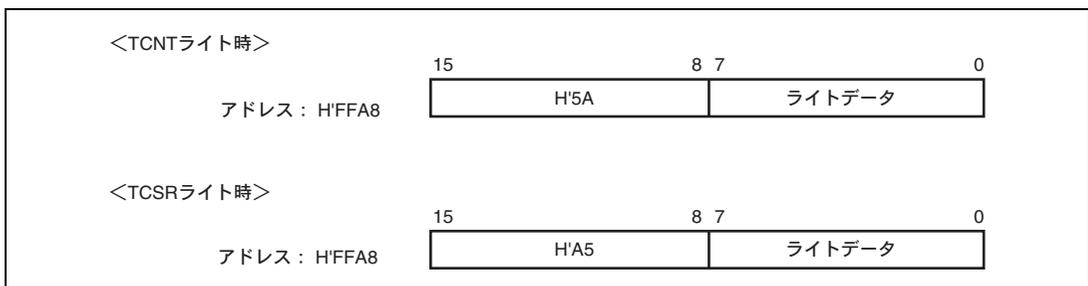


図 14.5 TCNT、TCSR へのライト (WDT\_0 の例)

#### (2) TCNT、TCSR からのリード (WDT\_0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

## 14. ウォッチドッグタイマ (WDT)

### 14.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.6 に示します。

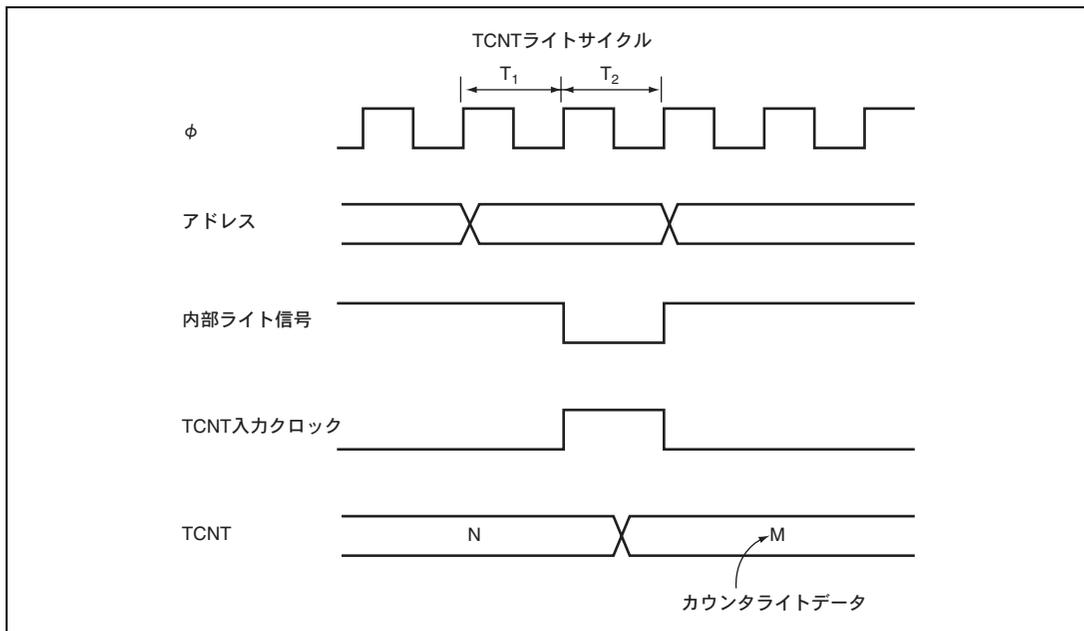


図 14.6 TCNT のライトとカウントアップの競合

### 14.6.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 14.6.4 PSS ビットの書き換え

WDT の動作中に TCSR\_1 の PSS ビットを書き換えると、正しい動作が行われな場合があります。PSS ビットを書き換えるときは、必ず WDT を停止させて (TME ビットを 0 にクリアして) から行ってください。

### 14.6.5 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われな場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

---

## 15. シリアルコミュニケーションインタフェース (SCI)

---

本 LSI は独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

### 15.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能  
送受信クロックソースとして外部クロックの選択も可能です。
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。

#### 調歩同期式モード

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能

#### クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー
- クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能

## 15. シリアルコミュニケーションインタフェース (SCI)

SCI のブロック図を図 15.1 に示します。

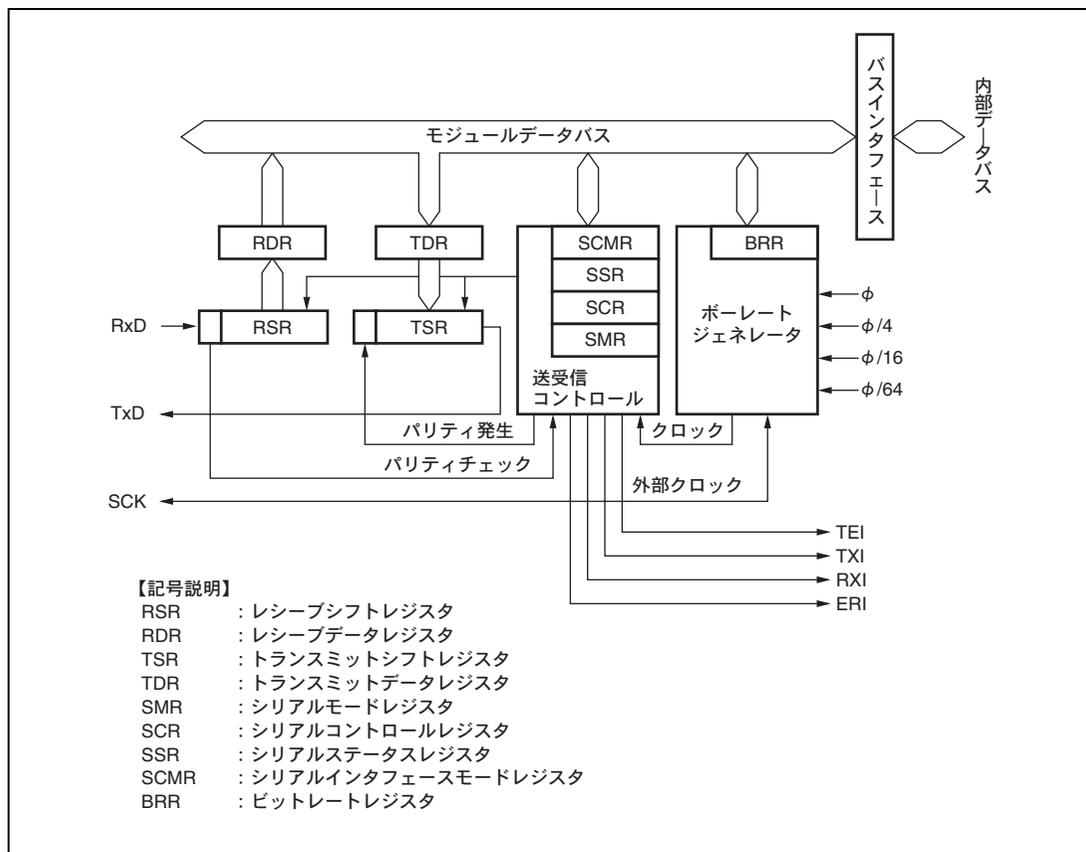


図 15.1 SCI のブロック図

## 15.2 入出力端子

SCIには、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	記号*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

## 15.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- シリアルインタフェースモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)

## 15. シリアルコミュニケーションインタフェース (SCI)

---

### 15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

### 15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

### 15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につきの送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。TDR の初期値は H'FF です。

### 15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

## 15.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ポーレートジェネレータのクロックソースを選択するためのレジスタです。

SMR は、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。

ビット	ビット名	初期値	R/W	説明
7	C/ $\bar{A}$	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ $\bar{E}$	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ $\bar{E}$ ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ポーレートジェネレータのクロックソースを選択します。 00: $\phi$ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、BRR 中の n の値を表します。

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。

SCR は、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。各割り込み要求については「15.7 割り込み要因」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル 1、0 クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00 : 内部クロック (SCK 端子は入出力ポートとして使用できます) 01 : 内部クロック (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1X : 外部クロック (ビットレートの 16 倍の周波数のクロックを SCK 端子に入力してください。) クロック同期式の場合 0X : 内部クロック (SCK 端子はクロック出力端子となります。) 1X : 外部クロック (SCK 端子はクロック入力端子となります。)

【注】 X : Don't care

## 15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込み要求による DTC で RDR のデータをリードしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF=1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • ストップビットが 0 のとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。

## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
2	TEND	1	R	トランスミットエンド [セット条件] • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき • TXI割り込み要求によるDTCでTDRヘデータをライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 \* フラグをクリアするための0ライトのみ可能です。

## 15.3.8 シリアルインタフェースモードレジスタ (SCMR)

SCMR は SCI 機能およびそのフォーマットを選択するためのレジスタです。

SCMR は、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	データ転送方向 シリアル/パラレル変換の方向を選択します。 0: TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 1: TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	データインバート 送受信データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	シリアルコミュニケーションインタフェースモードセレクト 0: 通常の調歩同期式またはクロック同期式モード 1: リザーブモード

### 15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける BRR の設定値 N とビットレート B の関係を表 15.2 に示します。BRR の初期値は H'FF で、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。

表 15.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	

【注】 B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 ( $0 \leq N \leq 255$ )

$\phi$ : 動作周波数 (MHz)

n: 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.3 に、各動作周波数における設定可能な最大ビットレートを表 15.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.6 に示します。また、表 15.5、表 15.7 に外部クロック入力時の最大ビットレートを示します。

15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する BRR の設定例〔調歩同期モード〕 (1)

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	12.288			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	159	0.00	2	181	0.16	2	191	0.00	2	207	0.16
300	2	79	0.00	2	90	0.16	2	95	0.00	2	103	0.16
600	1	159	0.00	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	9	0.00	-	-	-	0	11	0.00	0	12	0.16

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 - : 設定可能ですが誤差がでます。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (2)

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	16	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 - : 設定可能ですが誤差がです。

表 15.4 各動作周波数における最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500

表 15.6 ビットレートに対する BRR の設定例 [クロック同期式モード]

ビットレート (bit/s)	動作周波数 φ (MHz)							
	8		10		16		20	
	n	N	n	N	n	N	n	N
110								
250	3	124	—	—	3	249		
500	2	249	—	—	3	124	—	—
1k	2	124	—	—	2	249	—	—
2.5k	1	199	1	249	2	99	2	124
5k	1	99	1	124	1	199	1	249
10k	0	199	0	249	1	99	1	124
25k	0	79	0	99	0	159	0	199
50k	0	39	0	49	0	79	0	99
100k	0	19	0	24	0	39	0	49
250k	0	7	0	9	0	15	0	19
500k	0	3	0	4	0	7	0	9
1M	0	1			0	3	0	4
2.5M			0	0*			0	1
5M							0	0*

**【記号説明】**

空欄 : 設定できません。

— : 設定可能ですが誤差が有ります。

\* : 連続送信/連続受信はできません。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	16	2.6667	2666666.7
10	1.6667	1666666.7	18	3.0000	3000000.0
12	2.0000	2000000.0	20	3.3333	3333333.3
14	2.3333	2333333.3			

### 15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

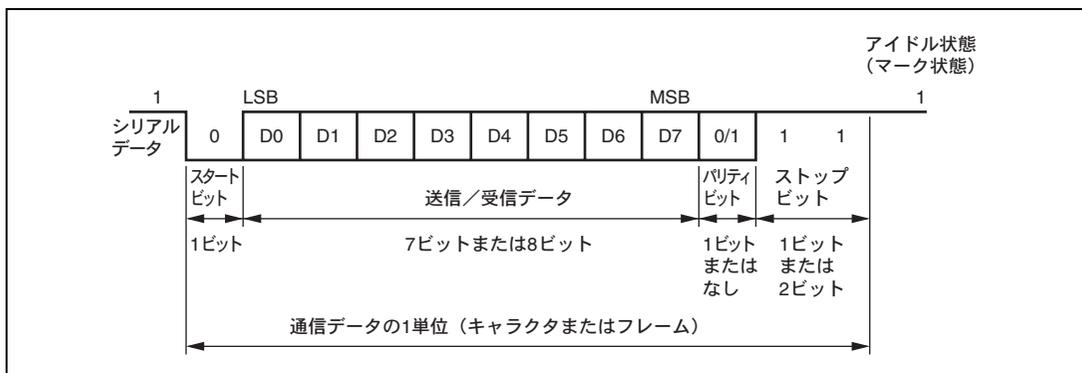


図 15.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

### 15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.8 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

表 15.8 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

**【記号説明】**

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

### 15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 15.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left\{ \left( 0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} (1+F) - (L-0.5) F \right\} \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

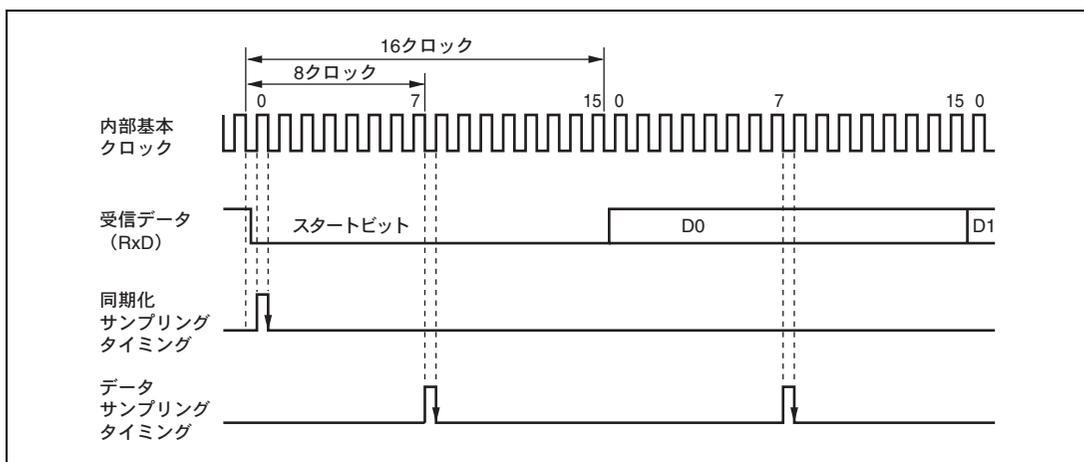


図 15.3 調歩同期式モードの受信データサンプリングタイミング

### 15.4.3 クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.4に示すように送信データの中央でクロックが立ち上がります。

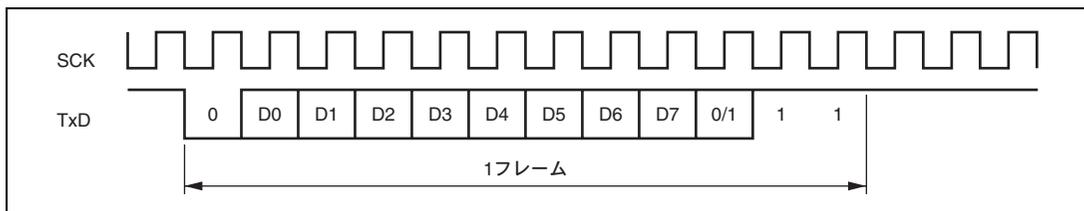


図 15.4 出カクロックと送信データの位相関係 (調歩同期式モード)

### 15.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 15.5 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

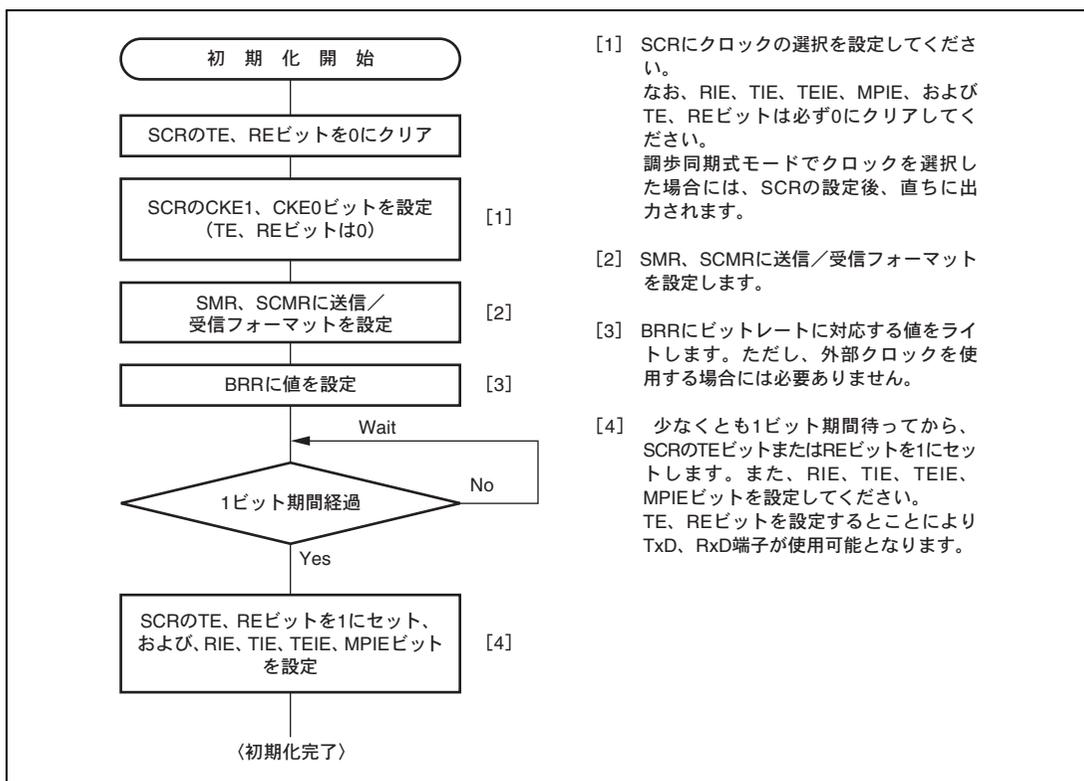


図 15.5 SCI の初期化フローチャートの例

## 15.4.5 データ送信 (調歩同期式)

図 15.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。

図 15.7 にデータ送信のフローチャートの例を示します。

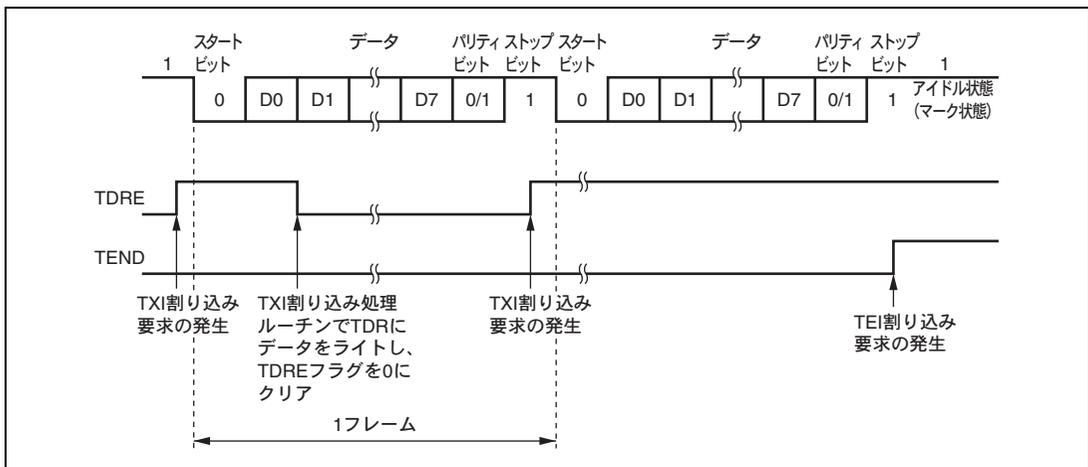


図 15.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

## 15. シリアルコミュニケーションインタフェース (SCI)

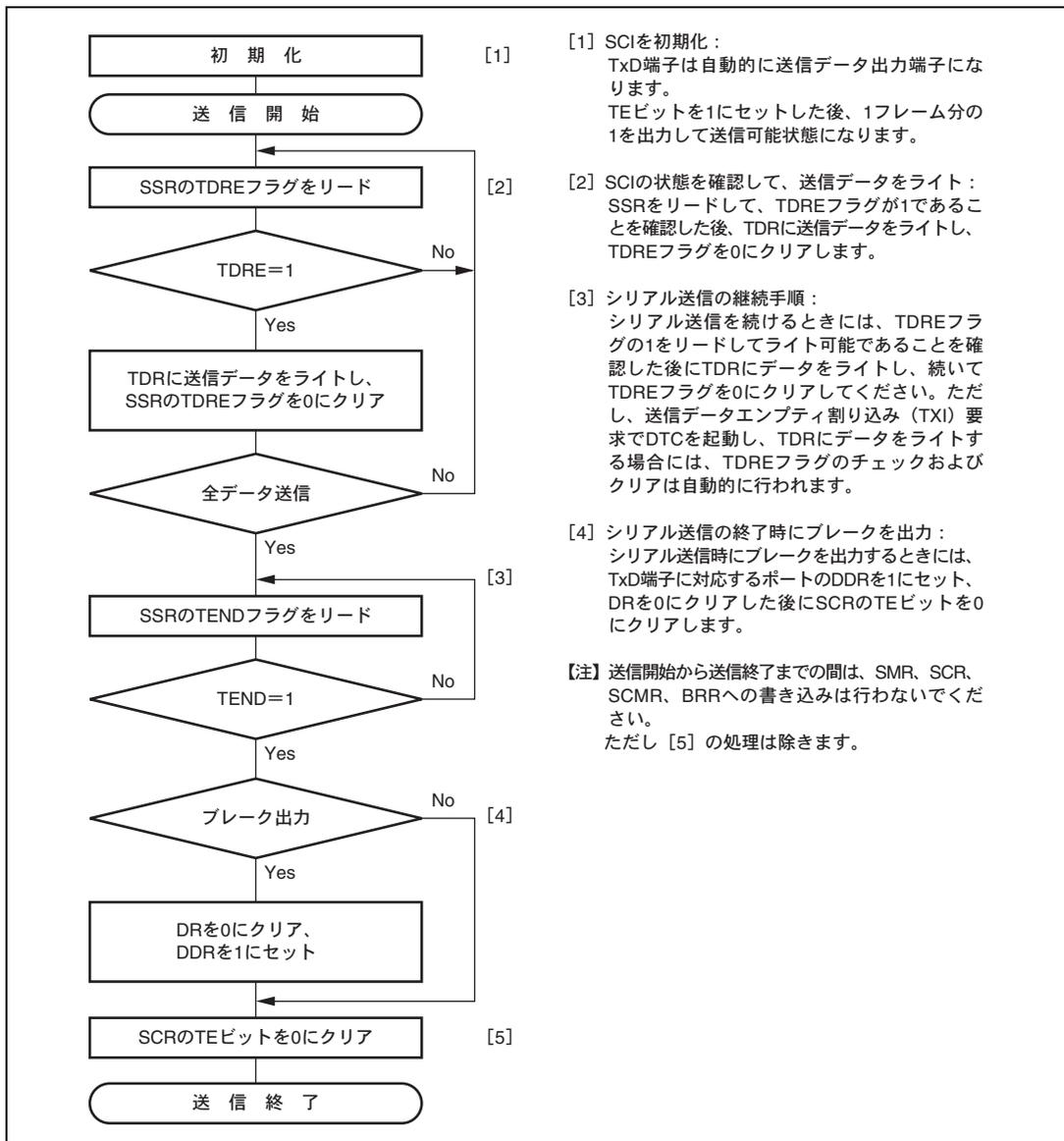


図 15.7 シリアル送信のフローチャートの例

## 15.4.6 シリアルデータ受信（調歩同期式）

図 15.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

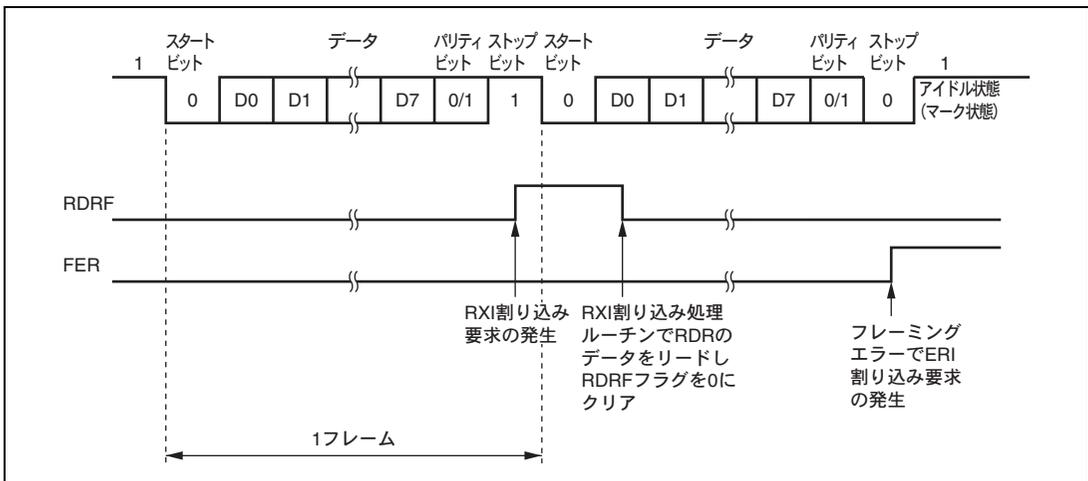


図 15.8 SCI の受信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

受信エラーを検出した場合のSSRの各ステータスフラグの状態と受信データの処理を表 15.9 に示します。受信エラーを検出すると、RDRFはデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ずORER、FER、PER、およびRDRFを0にクリアしてください。図 15.9 にデータ受信のためのフローチャートの例を示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.9 SSRのステータスフラグの状態と受信データの処理

SSRのステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDRへ転送	フレーミングエラー
0	0	0	1	RDRへ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 \* RDRFは、データ受信前の状態を保持します。

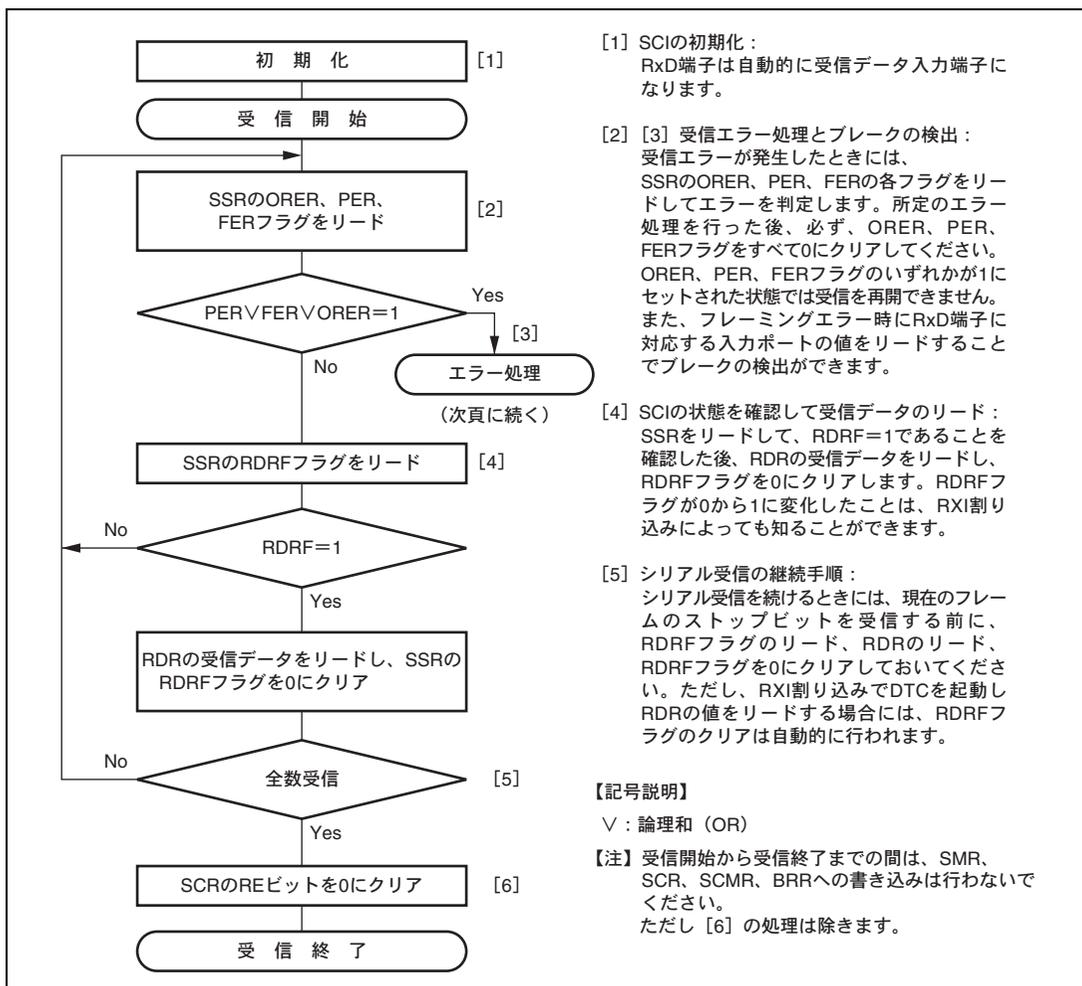


図 15.9 シリアル受信データフローチャートの例 (1)

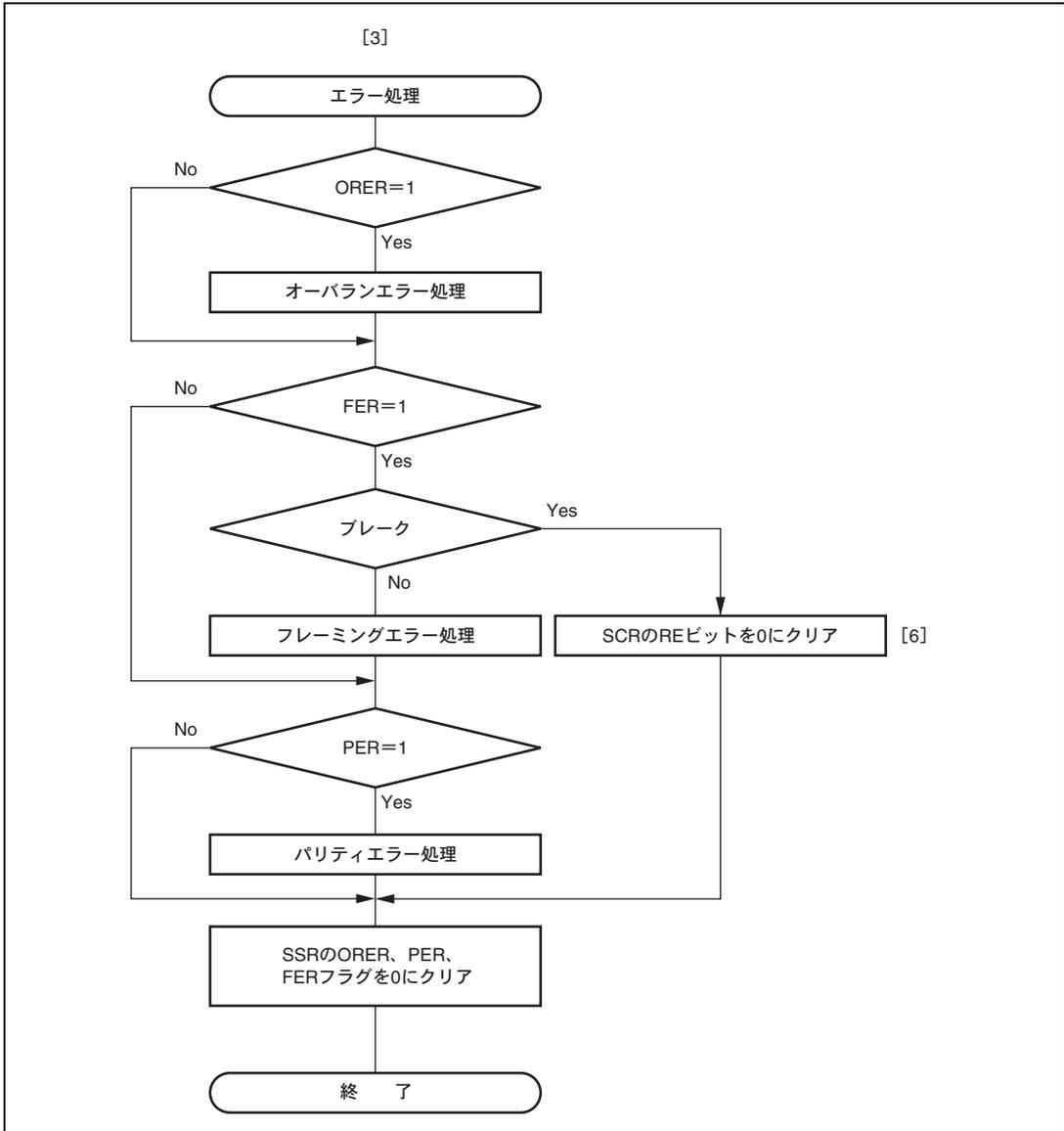


図 15.9 シリアル受信データフローチャートの例 (2)

## 15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

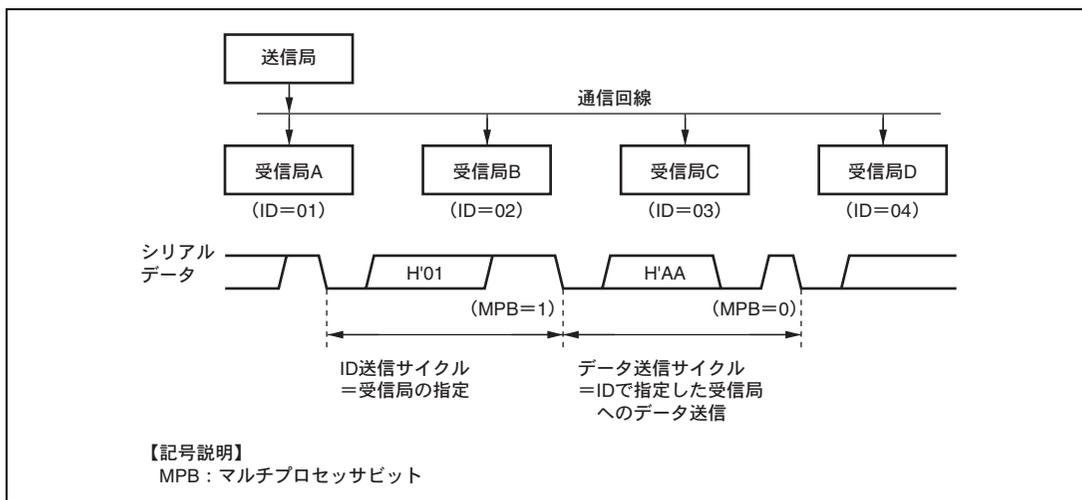


図 15.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

## 15.5.1 マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

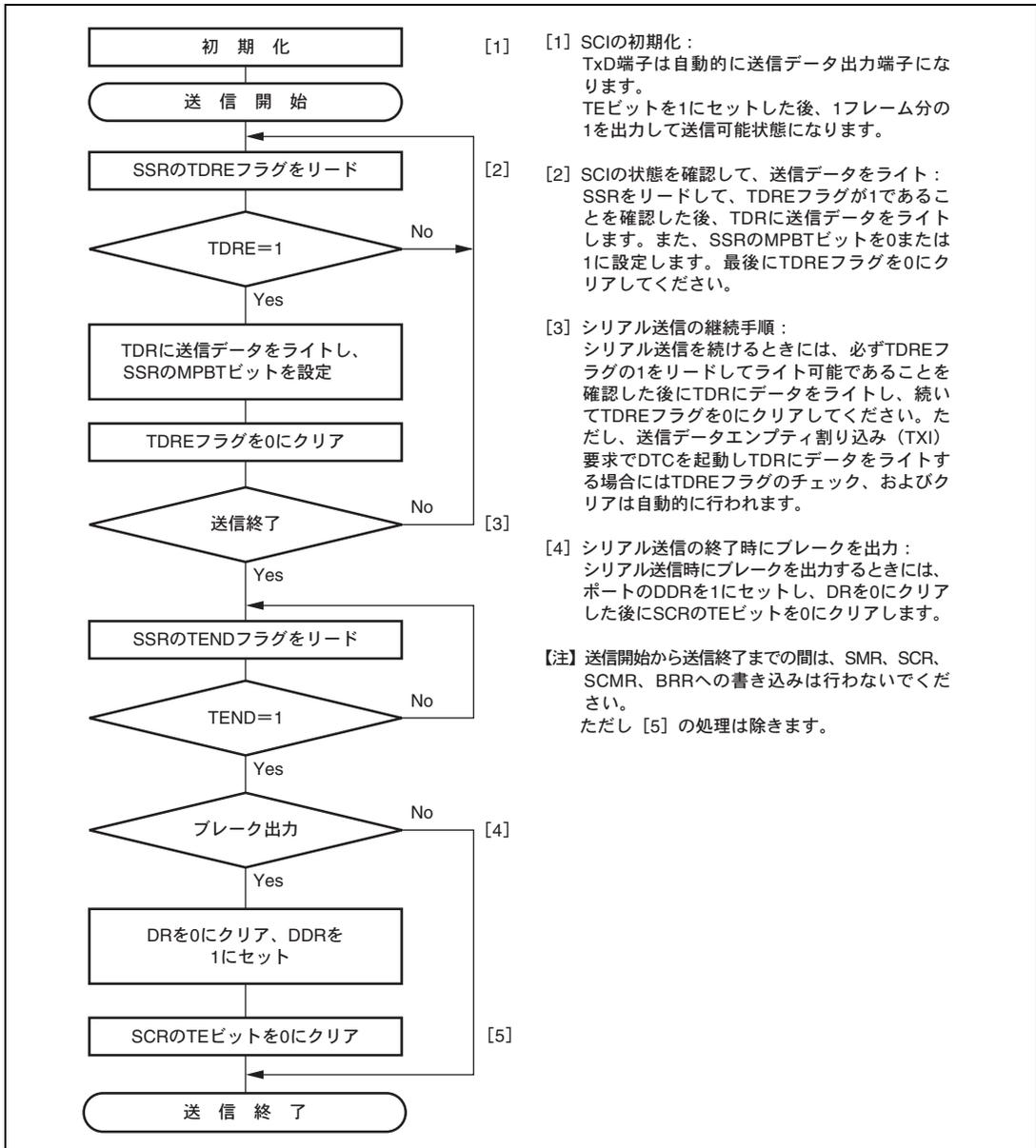


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

### 15.5.2 マルチプロセッサシリアルデータ受信

図 15.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 15.12 に受信時の動作例を示します。

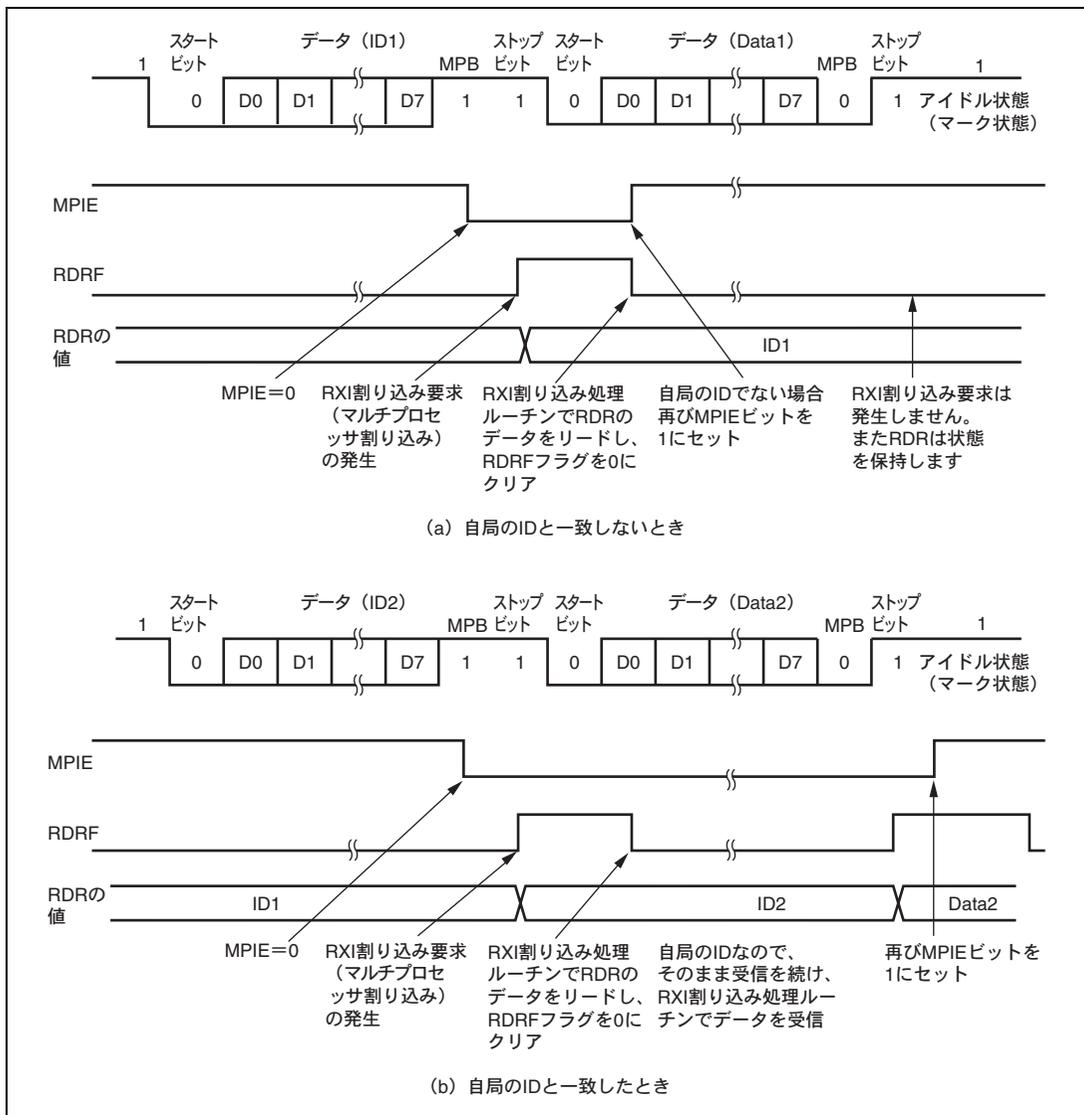


図 15.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

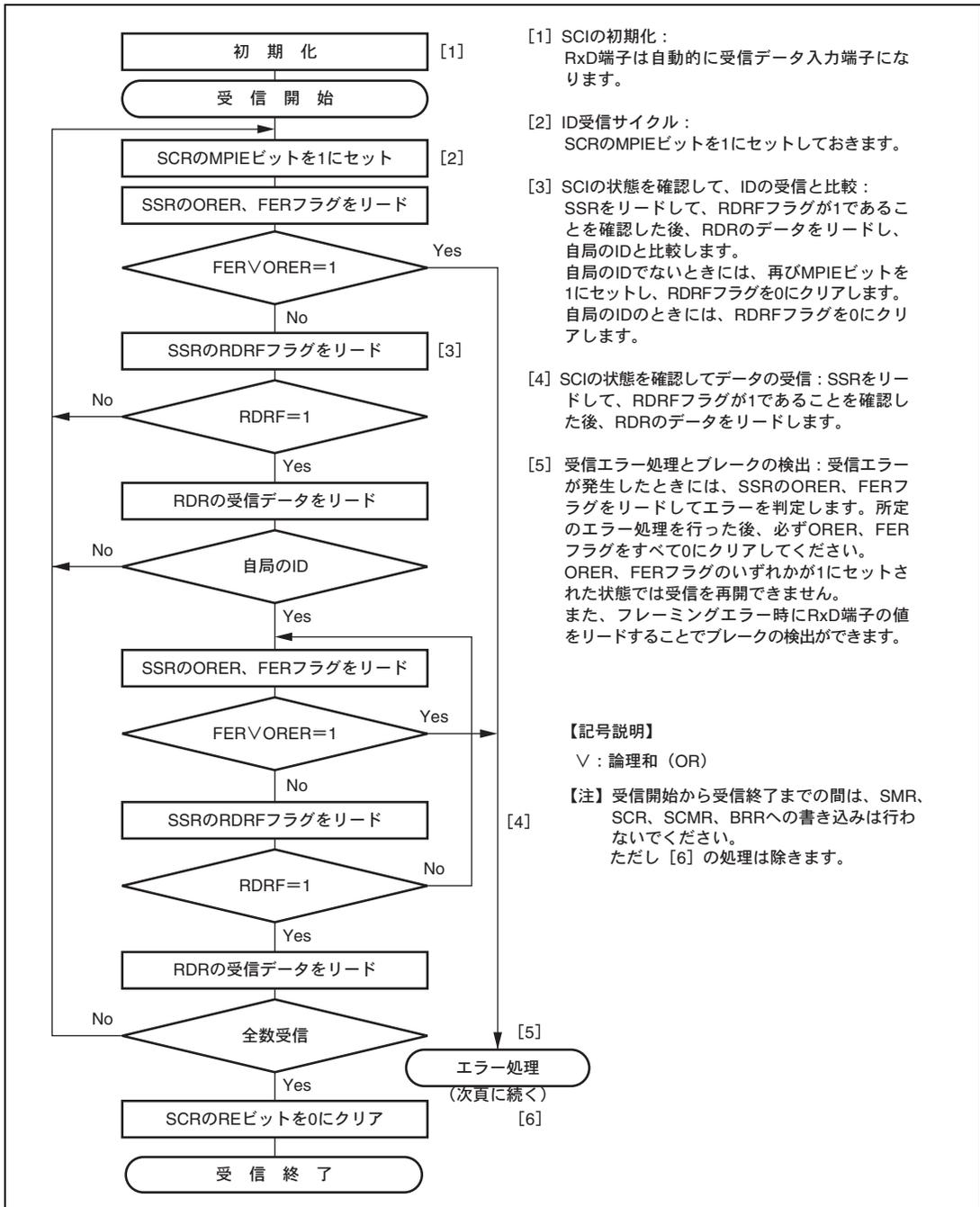


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

## 15. シリアルコミュニケーションインタフェース (SCI)

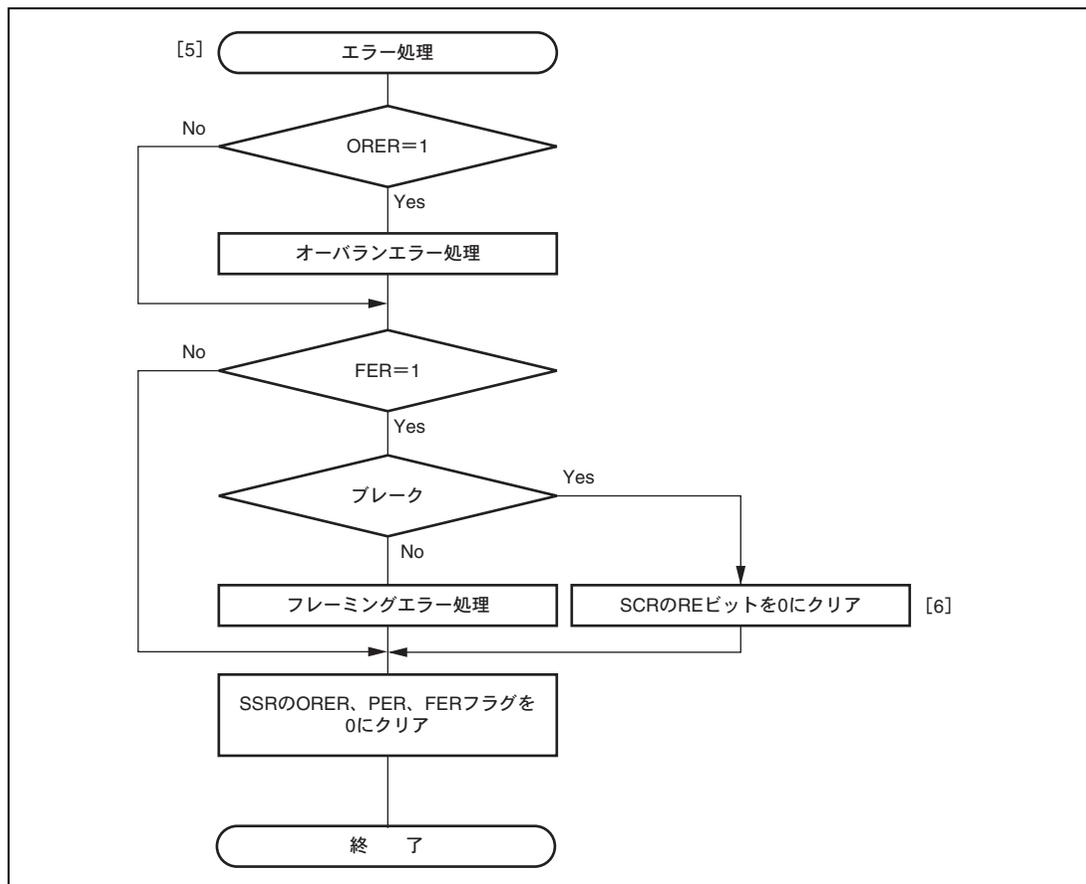


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

## 15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

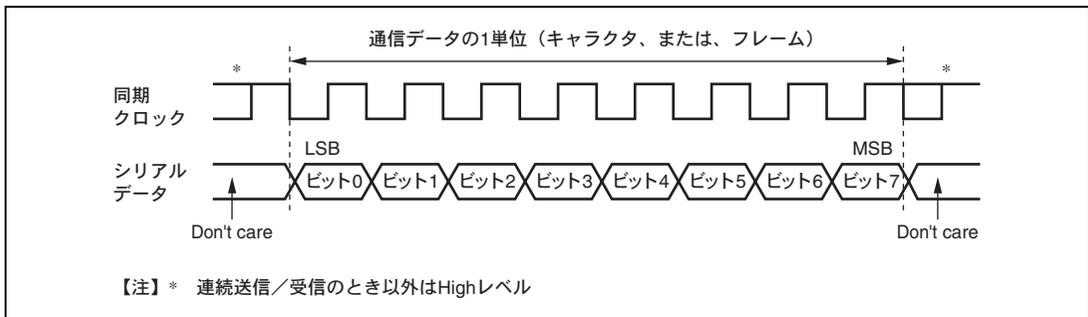


図 15.14 クロック同期式通信のデータフォーマット (LSB フェーストの場合)

### 15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

### 15.6.2 SCIの初期化（クロック同期式）

データの送受信前に、SCRのTE、REビットをクリアした後、図15.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、SSRのTDREは1にセットされますが、REを0にクリアしても、SSRのRDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

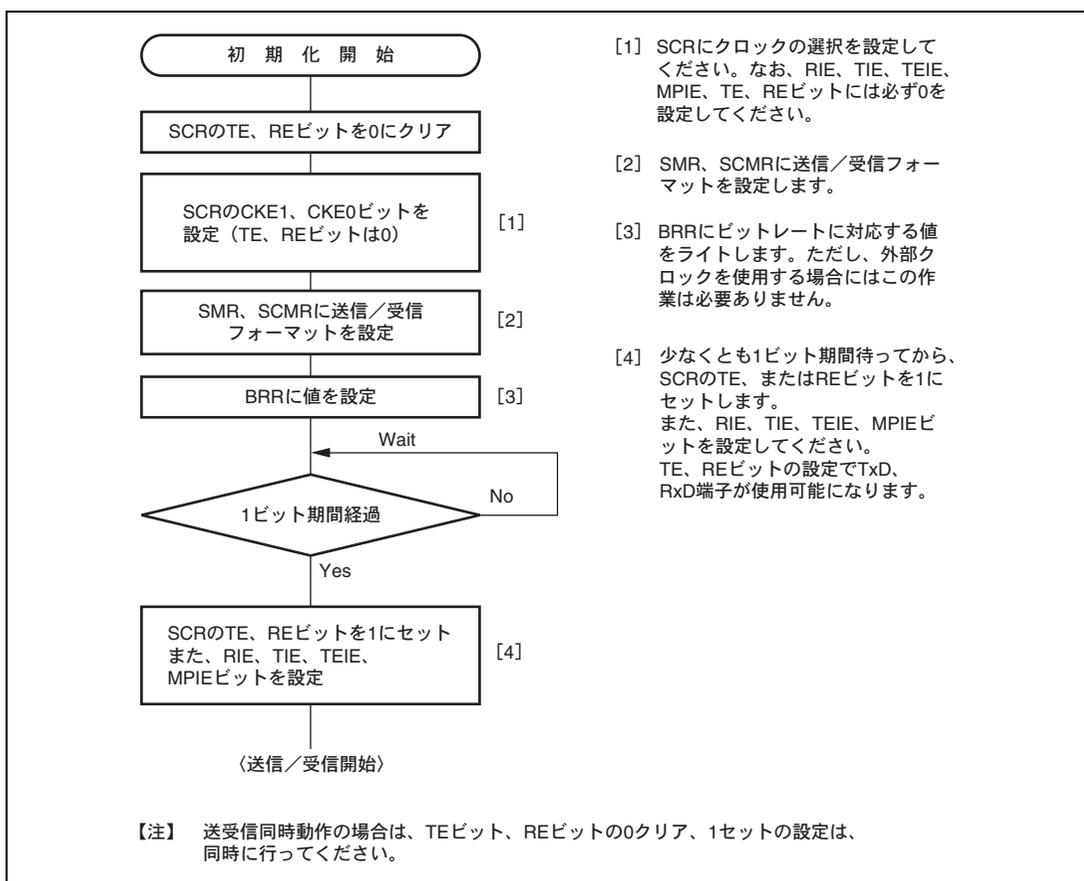


図 15.15 SCIの初期化フローチャートの例

### 15.6.3 シリアルデータ送信（クロック同期式）

図 15.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。SCK端子はHighレベルに固定されます。

図 15.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ（ORER、FER、PER）が1にセットされた状態ではTDREをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはREビットをクリアしただけではクリアされませんので注意してください。

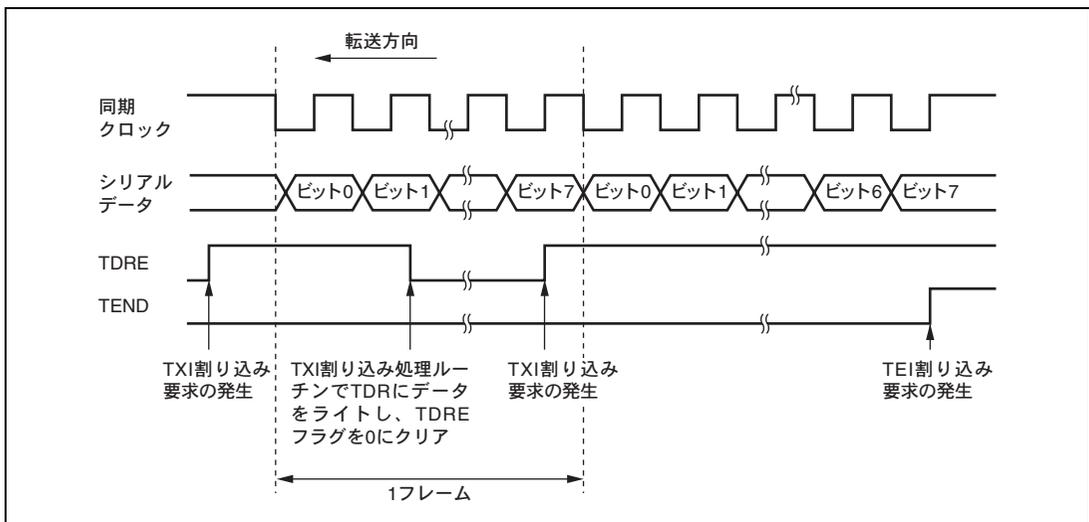


図 15.16 クロック同期式モードの送信時の動作例

## 15. シリアルコミュニケーションインタフェース (SCI)

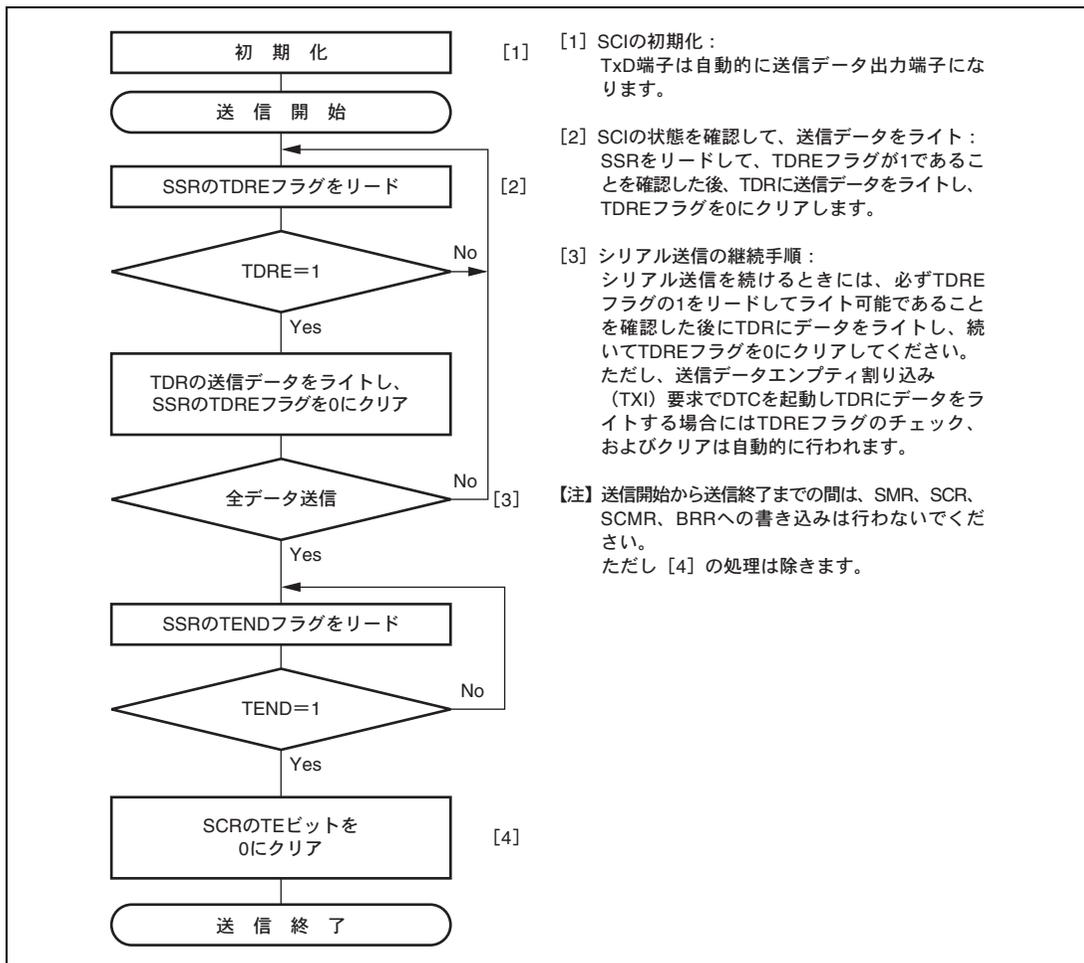


図 15.17 シリアル送信のフローチャートの例

### 15.6.4 シリアルデータ受信（クロック同期式）

図 15.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

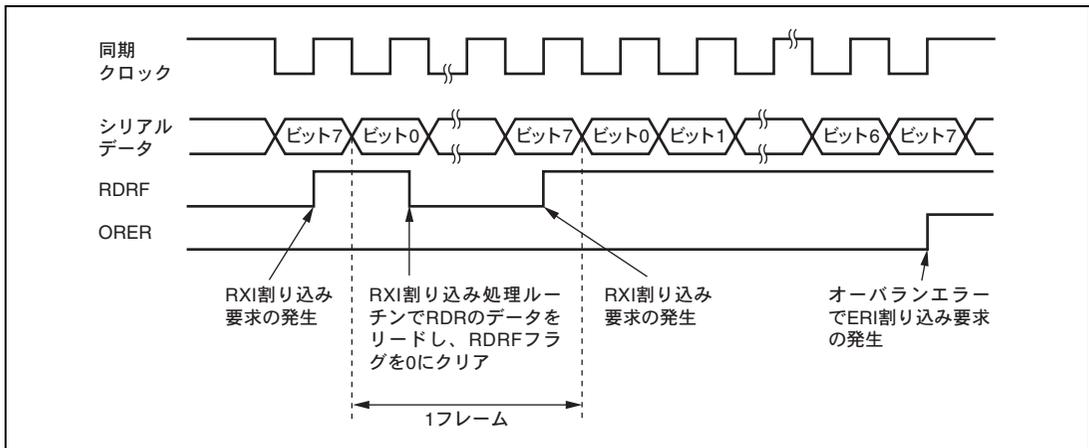
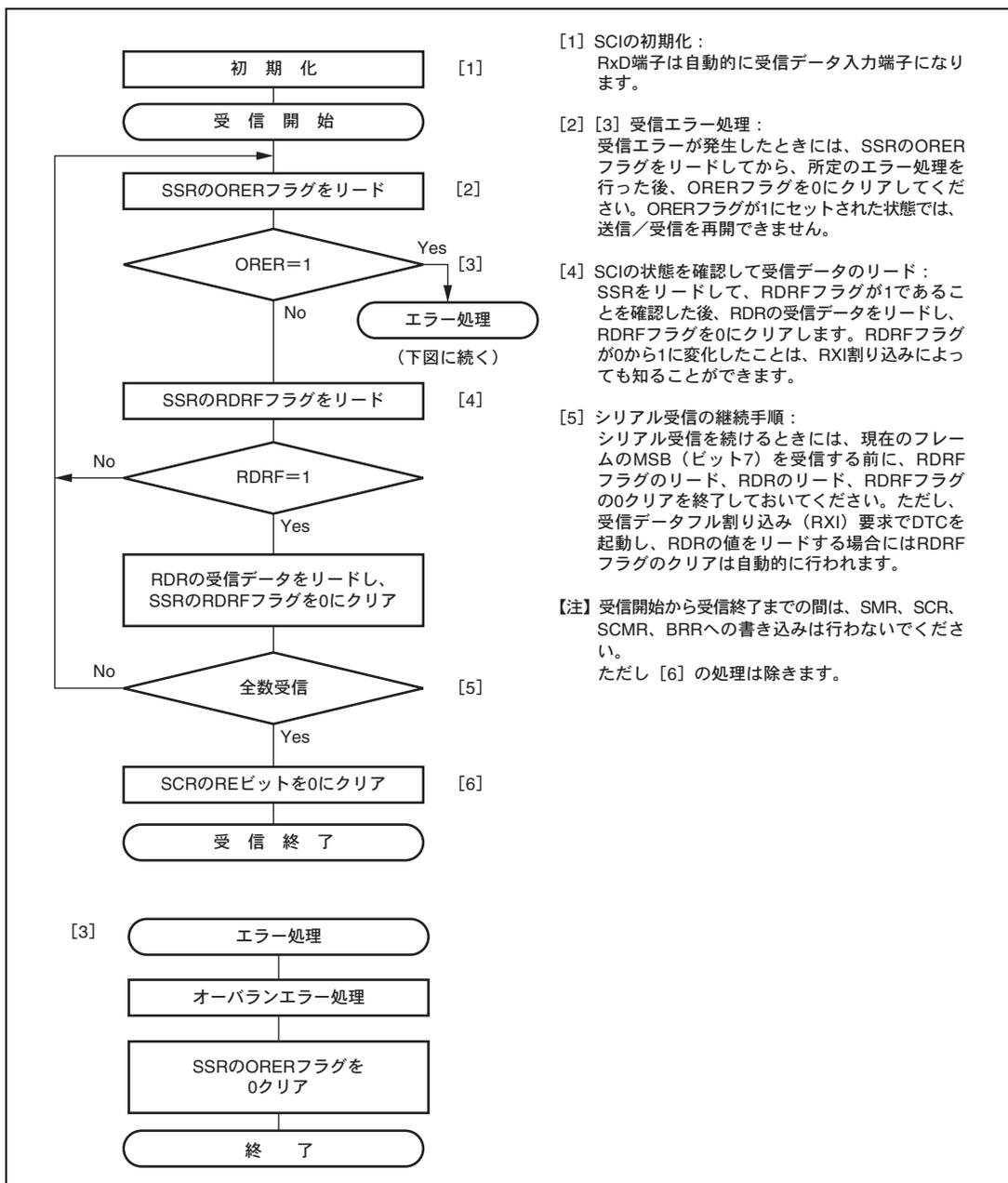


図 15.18 SCI の受信時の動作例

## 15. シリアルコミュニケーションインタフェース (SCI)

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.19 にデータ受信のためのフローチャートの例を示します。



[1] SCIの初期化：  
RxD端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理：  
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信/受信を再開できません。

[4] SCIの状態を確認して受信データのリード：  
SSRをリードして、RDRFフラグが1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル受信の継続手順：  
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。ただし、受信データフル割り込み（RXI）要求でDTCを起動し、RDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。

【注】受信開始から受信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [6] の処理は除きます。

図 15.19 シリアルデータ受信フローチャートの例

## 15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、SSR の TDRE および TEND が 1 にセットされていることを確認した後、SCR の TE ビットを 0 にクリアしてから TE および RE ビットを 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから SSR の RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE ビットを 1 命令で同時に 1 にセットしてください。

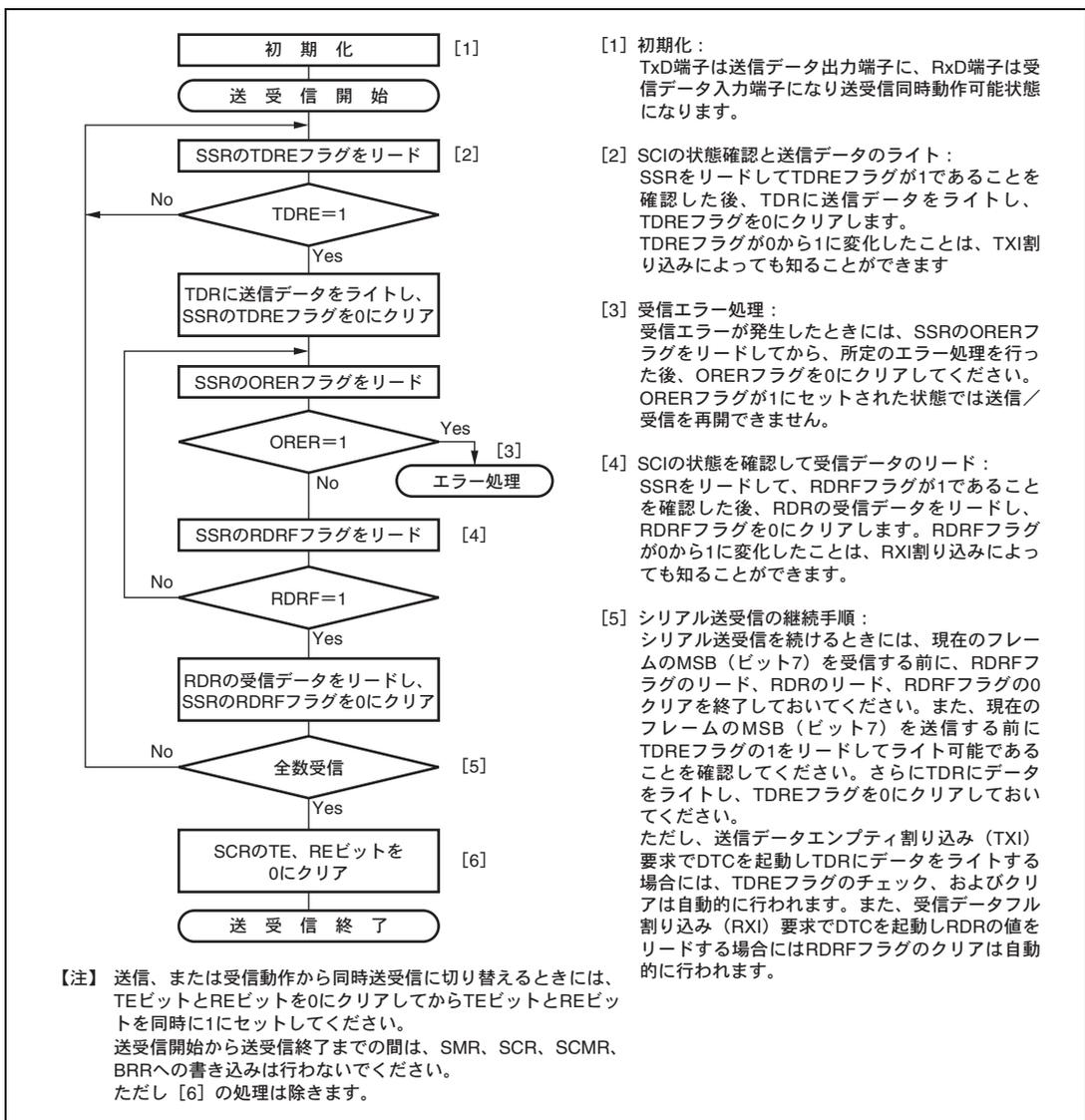


図 15.20 シリアル送受信同時動作のフローチャートの例

## 15.7 割り込み要因

表 15.10 にシリアルコミュニケーションインタフェースにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 15.10 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	ERI0	受信エラー	ORER、FER、PER	不可	高  低
	RXI0	受信データフル	RDRF	可	
	TXI0	送信データエンプティ	TDRE	可	
	TEI0	送信終了	TEND	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンプティ	TDRE	可	
	TEI1	送信終了	TEND	不可	

## 15.8 使用上の注意事項

### 15.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作停止/許可を設定することが可能です。初期値では SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 15.8.2 ブレークの検出と処理

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、SSR の FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

### 15.8.3 マーク状態とブレークの送り出し

SCR の TE が 0 のとき、TxD 端子はポートの DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR=1、DR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR=1、DR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

### 15.8.4 受信エラーフラグと送信動作 (クロック同期式モードのみ)

SSR の受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では、SSR の TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には受信エラーフラグを 0 にクリアしておいてください。また、SCR の RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

### 15.8.5 TDR へのライトと TDRE フラグの関係

TDR へのデータのライトは SSR の TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータはまだ TSR に転送されていないため失われてしまいます。したがって、TDR への送信データのライトは必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

### 15.8.6 DTC の使用上の制約

同期クロックに外部クロックソースを使用する場合は、DTC による TDR の更新後、φクロックで5クロック以上経過した後に送信クロックを入力してください。TDR の更新後、4クロック以内に送信クロックを入力すると誤動作することがあります (図 15.21)。

DTC により RDR のリードを行うときは、必ず起動要因を当該 SCI の受信完了割り込み要因 (RXI) に設定してください。

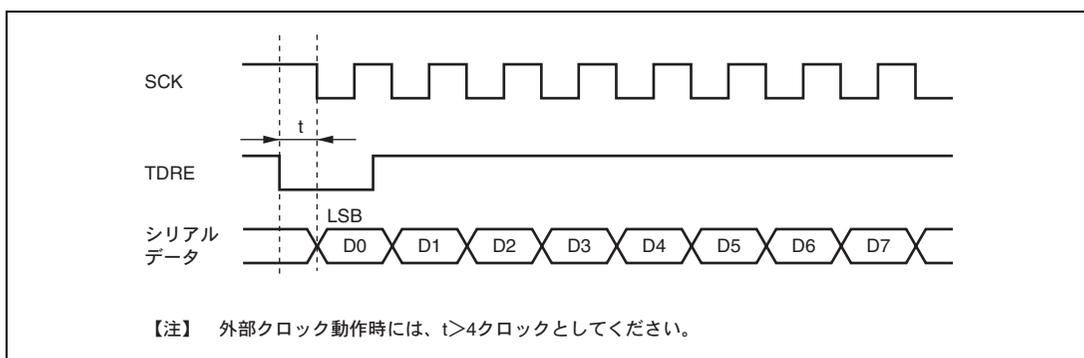


図 15.21 DTC によるクロック同期式送信時の例

### 15.8.7 モード遷移時の動作

#### (1) 送信

モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止 ( $TE=TIE=TEIE=0$ ) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE=1$  に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 15.22 に送信時のモード遷移フローチャートの例を示します。図 15.23、図 15.24 に送信時の端子状態を示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止 ( $TE=TIE=TEIE=0$ ) してから行ってください。モード解除後に  $TE=1$ 、 $TIE=1$  に設定すると、TXI 割り込み要求が発生して DTC による送信が始まります。

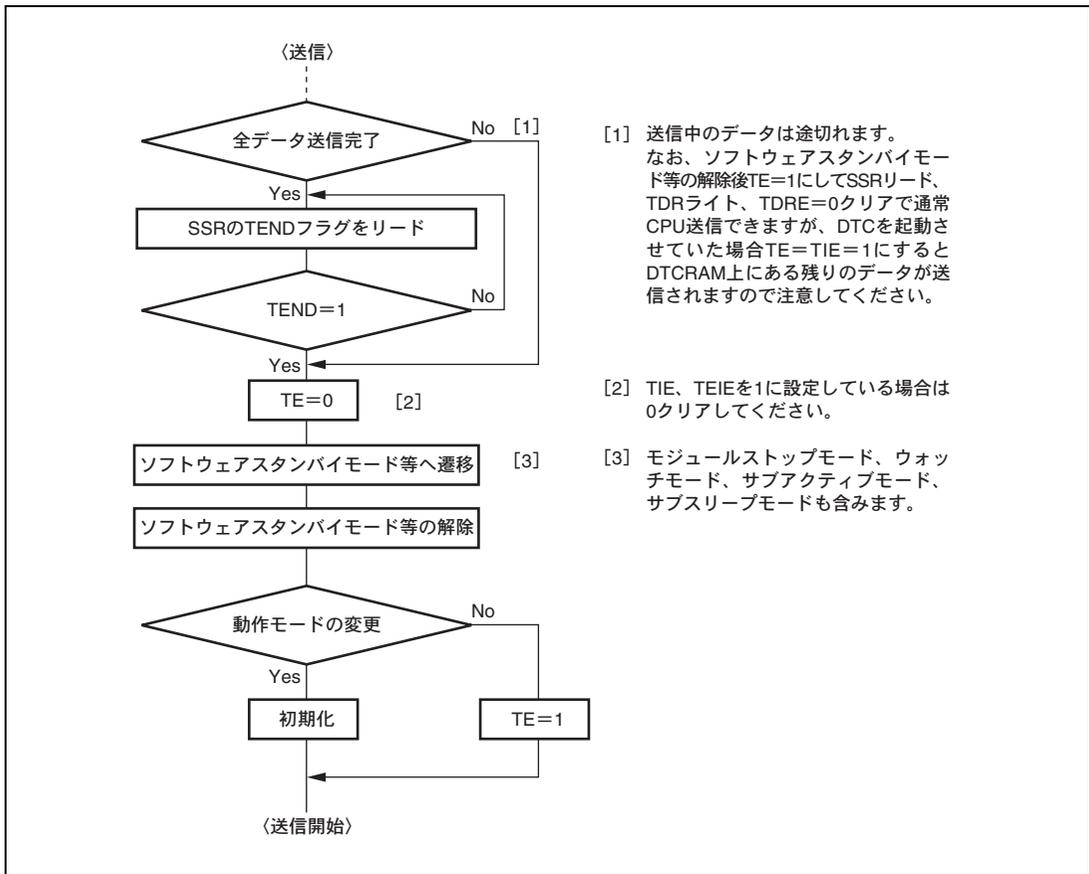


図 15.22 送信時のモード遷移フローチャートの例

## 15. シリアルコミュニケーションインタフェース (SCI)

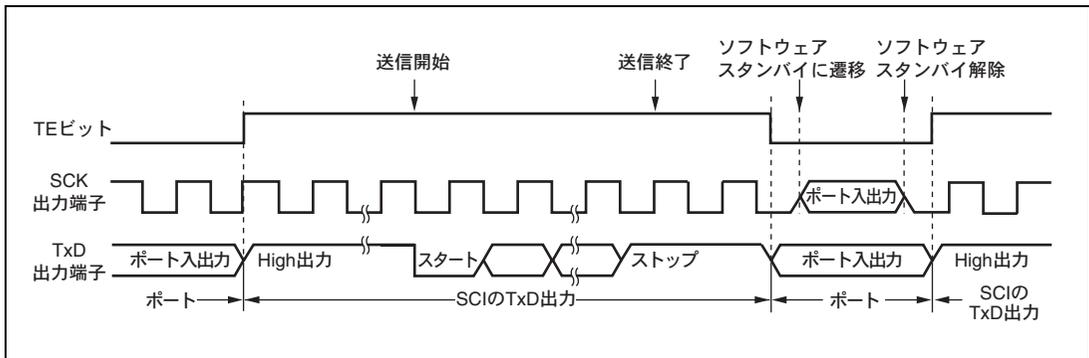


図 15.23 調歩同期式モード送信時（内部クロック）の端子状態

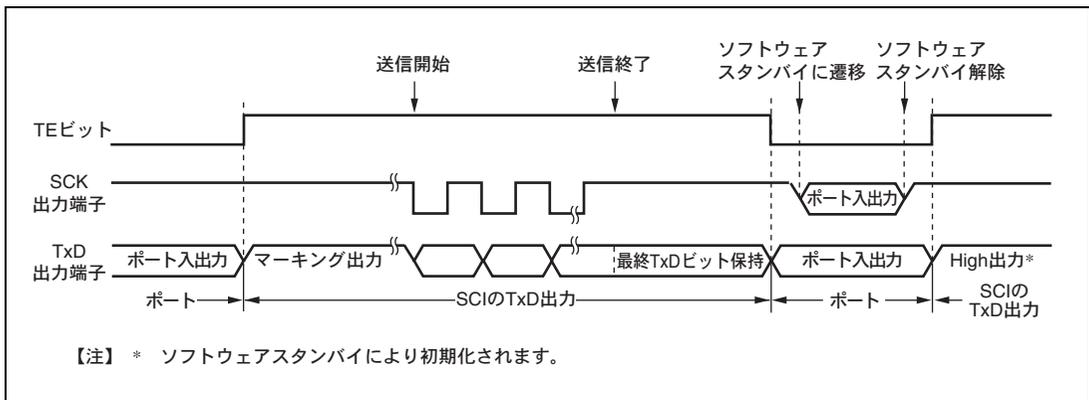


図 15.24 クロック同期式モード送信時（内部クロック）の端子状態

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときには、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 15.25 に受信時のモード遷移フローチャートの例を示します。

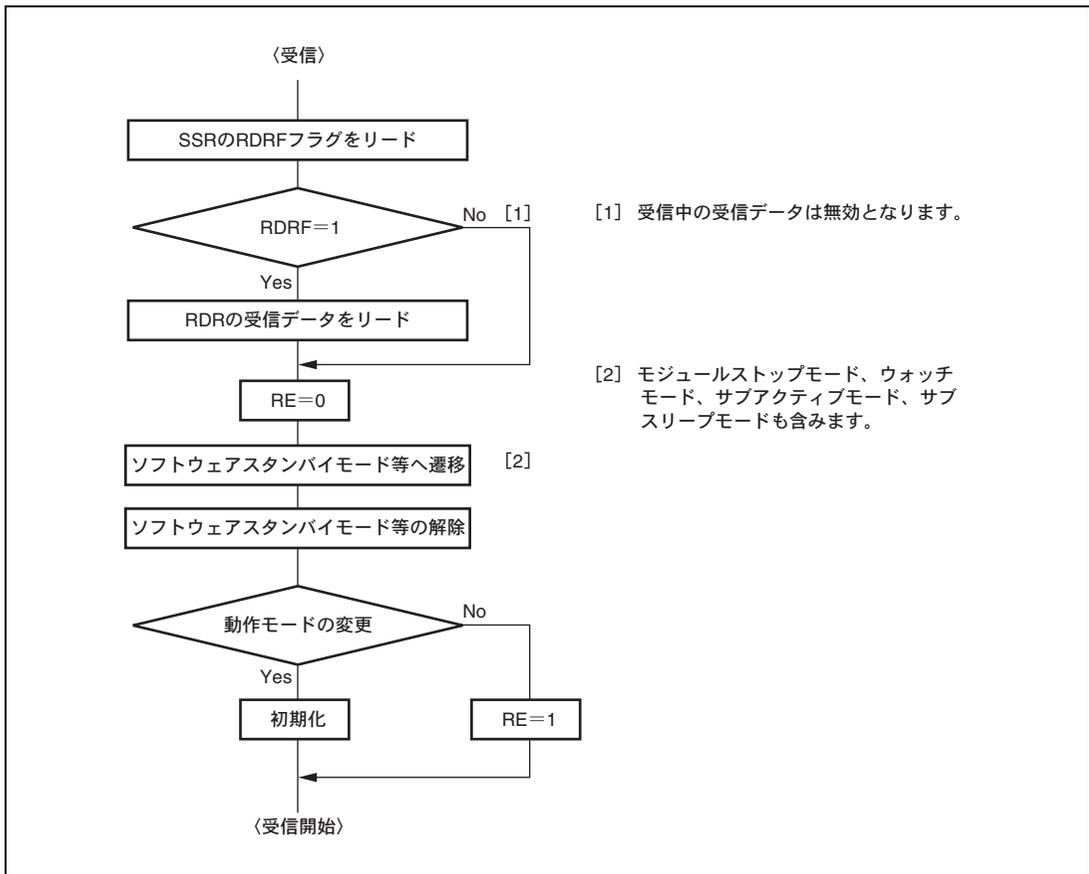


図 15.25 受信時のモード遷移フローチャートの例

### 15.8.8 SCK 端子からポート端子への切り替え

送信終了状態で SCK 端子をポート端子に切り替えるとき、図 15.26 に示すように半サイクルの Low 出力後にポート出力となります。

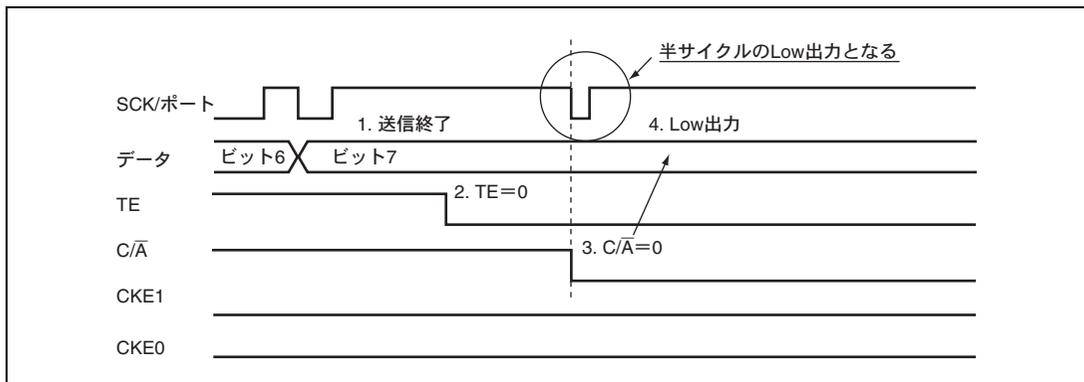


図 15.26 SCK 端子からポート端子へ切り替える時の動作

SCK 端子をポート端子に切り替えるときに発生する Low 出力を回避するためには、SCK 端子を入力状態にして (SCK/ポート端子を外部回路で Pull-up)、DDR=1、DR=1、 $C/\bar{A}=1$ 、CKE1=0、CKE0=0、TE=1 の状態で次の 1~5 の順で設定してください。

1. シリアルデータ送信終了
2. TEビット=0
3. CKE1ビット=1
4.  $C/\bar{A}$ ビット=0 (ポート出力に切り替え)
5. CKE1ビット=0

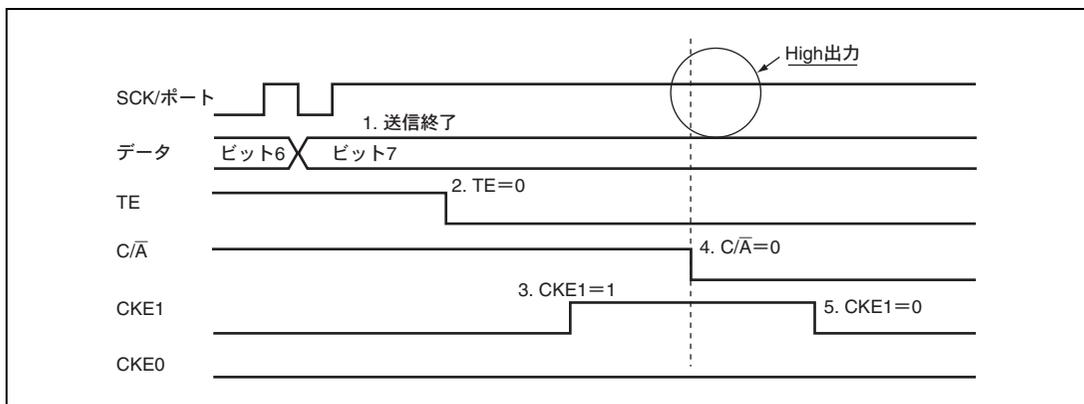


図 15.27 SCK 端子からポート端子へ切り替え時の Low 出力の回避例

### 15.8.9 送信、受信、送受信中のレジスタ書き込みの注意事項

送信、受信、送受信を開始するために、SCR の TE、RE ビットを 1 にセットした後は、SMR、SCR、SCMR、BRR への書き込みは行わないでください。レジスタ値と同値の上書きも行わないでください。ただし、送信、受信、送受信終了時の SCR の TE、RE ビットの 0 クリアのための書き込みは除きます。

読み出しについては常に可能です。

## 15. シリアルコミュニケーションインタフェース (SCI)

---

---

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

本 LSI は、2 チャンネルの I<sup>2</sup>C バスインタフェースを内蔵しています。I<sup>2</sup>C バスインタフェースは、Philips 社の提唱している I<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I<sup>2</sup>C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

### 16.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能
  - I<sup>2</sup>C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
  - クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用
- I<sup>2</sup>C バスフォーマットは、Philips 社提唱の I<sup>2</sup>C バスインタフェースに準拠
- I<sup>2</sup>C バスフォーマットで、スレーブアドレスを2通り設定可能
- I<sup>2</sup>C バスフォーマットで、マスタモード時、開始、停止条件の自動生成
- I<sup>2</sup>C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能
- I<sup>2</sup>C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能
- I<sup>2</sup>C バスフォーマットで、マスタモード時のウェイトビット機能
  - アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグを 0 にクリアすることで解除。
- I<sup>2</sup>C バスフォーマットでのウェイト機能
  - データ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。
- 割り込み要因
  - データ転送終了時 (I<sup>2</sup>C バスフォーマットで送信モード遷移時、ICDR 内データ転送発生時、およびウェイト時を含む)
  - アドレス一致時：I<sup>2</sup>C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき (マスタ競合負け後のアドレス受信を含む)
  - アービトレーションロスト発生時
  - 開始条件検出時 (マスタモード)
  - 停止条件検出時 (スレーブモード時)
- マスタモード時、16 種類の内部クロック選択可能

## 16. I<sup>2</sup>C バスインタフェース (IIC)

- バスを直接駆動 (SCL/SDA端子)

P52/SCL0、P47/SDA0の2端子は、通常時はNMOSプッシュプル出力、バス駆動機能選択時はNMOSオープンドレイン出力。

P24/SCL1、P23/SDA1の2端子は、通常時はCMOS端子、バス駆動機能選択時はNMOSのみで出力。

Vcc以上の電圧は印加できません。

I<sup>2</sup>C バスインタフェースのブロック図を図 16.1 に示します。

入出力端子の外部回路接続例を、図 16.2 に示します。I<sup>2</sup>C バスインタフェースの入出力端子は通常ポートと端子構造が異なるため、端子に印加可能な電圧仕様が異なっています。

詳細は「第 24 章 電気的特性」を参照してください。

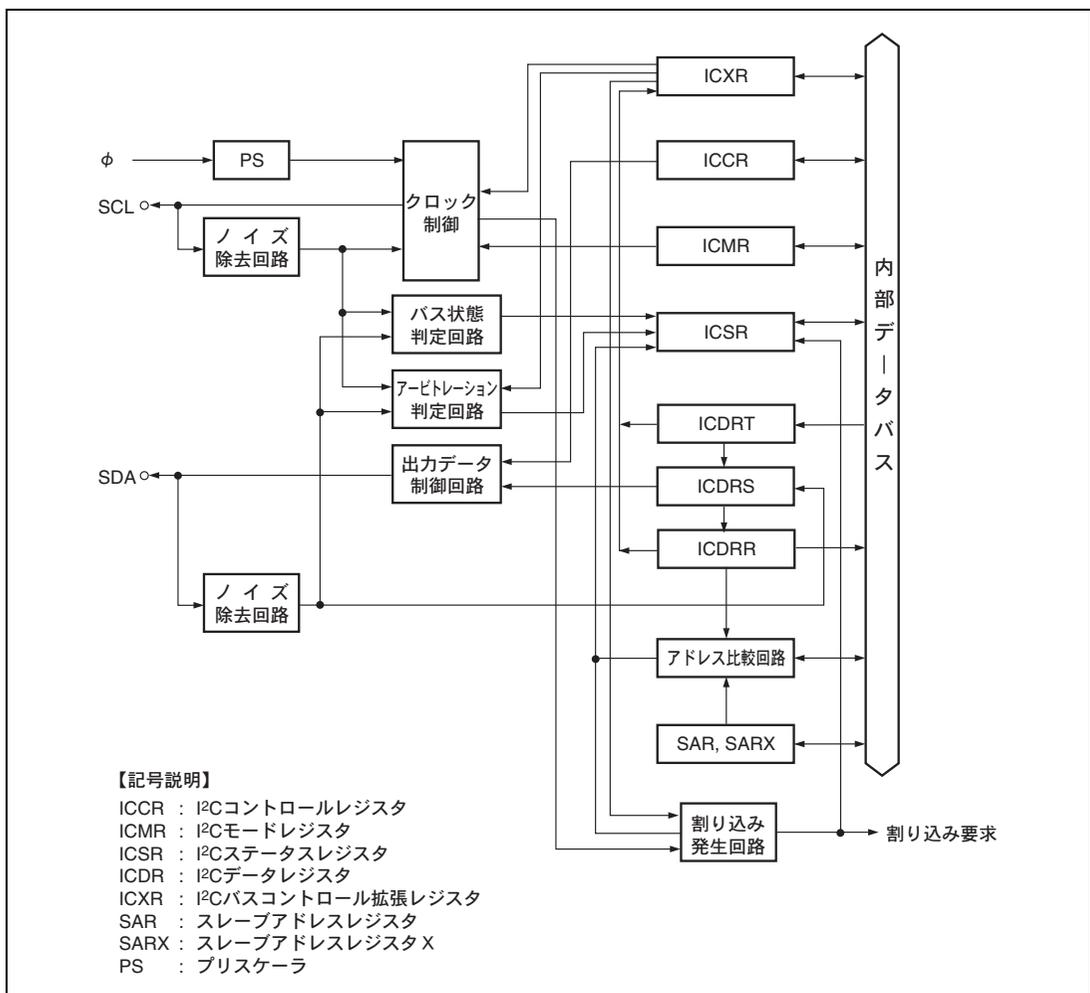
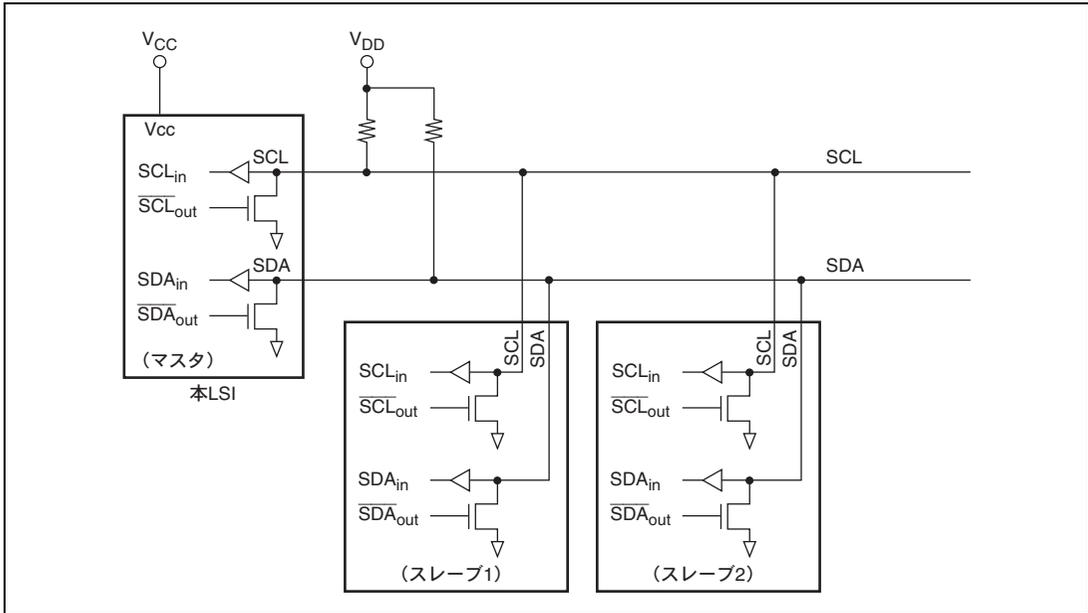


図 16.1 I<sup>2</sup>C バスインタフェースのブロック図

図 16.2 I<sup>2</sup>C バスインタフェース接続例 (本 LSI がマスタの場合)

## 16.2 入出力端子

I<sup>2</sup>C バスインタフェースで使用する端子を表 16.1 に示します。

表 16.1 端子構成

チャンネル	記号*	入出力	機能
0	SCL0	入出力	IIC_0 シリアルクロック入出力端子
	SDA0	入出力	IIC_0 シリアルデータの入出力端子
1	SCL1	入出力	IIC_1 シリアルクロック入出力端子
	SDA1	入出力	IIC_1 シリアルデータの入出力端子

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

### 16.3 レジスタの説明

IICにはチャンネルごとに以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE=0 のとき SAR と SARX、ICE=1 のとき ICMR と ICDR がアクセスできます。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- I<sup>2</sup>Cバスコントロールレジスタ (ICCR)
- I<sup>2</sup>Cバスステータスレジスタ (ICSR)
- I<sup>2</sup>Cバスデータレジスタ (ICDR)
- I<sup>2</sup>Cバスモードレジスタ (ICMR)
- スレーブアドレスレジスタ (SAR)
- 第2スレーブアドレスレジスタ (SARX)
- I<sup>2</sup>Cバスコントロール拡張レジスタ (ICXR)
- DDCスイッチレジスタ (DDCSWR) \*

【注】 \* DDCSWR は IIC\_0 のみです。

#### 16.3.1 I<sup>2</sup>C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、ICXR の ICDRF フラグ、ICDRE フラグなどの状態に影響を与えます。

送信データの ICDR へのライトは、I<sup>2</sup>C バスフォーマットのマスタ送信モードでは開始条件検出後に行ってください。開始条件を検出すると、それ以前のライトデータは無視されます。また、スレーブ送信モードでは、スレーブアドレスが一致し TRS ビットが 1 に自動的に切り替わった後にライトしてください。

送信モード (TRS=1) で ICDRT に次のデータがある場合 (ICDRE フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に送信終了後、自動的に ICDRT から ICDRS ヘデータが転送されます。ICDRE フラグが 1 で次の送信データのライトを待っている状態では、ICDR ライトにより自動的に ICDRT から ICDRS ヘデータが転送されます。受信モード (TRS=0) では ICDRT から ICDRS ヘデータ転送は行われません。受信モードでの ICDR への書き込みは行わないでください。

受信データの ICDR からの読み出しは、ICDRS から ICDRR ヘデータが転送された後で行います。

受信モードで ICDRR に以前のデータがない場合 (ICDRF フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。ICDRF フラグが 1 の状態で更に受信データを受け取っている場合、ICDR リードにより自動的に ICDRS から ICDRR ヘデータが転送されます。送信モードでは ICDRS から ICDRR ヘデータ転送は行われません。受信モードに設定した上でリードしてください。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側に、MLS ビットが 1 のとき MSB 側に詰めて格納されます。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR のリセット時の値は不定です。

### 16.3.2 スレーブアドレスレジスタ (SAR)

SAR は転送フォーマットの設定およびスレーブアドレスを格納します。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SAR の上位7ビットを比較して一致したとき、FS ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト SARX の FSX ビットとの組み合わせで転送フォーマットを選択します。表 16.2 を参照してください。 なお、ゼネラルコールアドレスの認識を行う場合は、必ず本ビットを 0 に設定してください。

### 16.3.3 第2スレーブアドレスレジスタ (SARX)

SARX は転送フォーマットの設定および第2スレーブアドレスを格納します。スレーブモードでは受信したアドレスが第2スレーブアドレスに一致したときに DTC を利用した送受信動作が可能になります。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SARX の上位7ビットを比較して一致したとき、FSX ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	第2スレーブアドレス 6~0 第2スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	フォーマットセレクト X SAR の FS ビットとの組み合わせで転送フォーマットを選択します。表 16.2 を参照してください。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

表 16.2 転送フォーマット

SAR	SARX	動作モード
FS	FSX	
0	0	I <sup>2</sup> C バスフォーマット <ul style="list-style-type: none"> <li>• SAR と SARX のスレーブアドレスを認識</li> <li>• ゼネラルコールアドレスを認識</li> </ul>
	1	I <sup>2</sup> C バスフォーマット <ul style="list-style-type: none"> <li>• SAR のスレーブアドレスを認識</li> <li>• SARX のスレーブアドレスを無視</li> <li>• ゼネラルコールアドレスを認識</li> </ul>
1	0	I <sup>2</sup> C バスフォーマット <ul style="list-style-type: none"> <li>• SAR のスレーブアドレスを無視</li> <li>• SARX のスレーブアドレスを認識</li> <li>• ゼネラルコールアドレスを無視</li> </ul>
	1	クロック同期式シリアルフォーマット <ul style="list-style-type: none"> <li>• SAR と SARX のスレーブアドレスを無視</li> <li>• ゼネラルコールアドレスを無視</li> </ul>

- I<sup>2</sup>C バスフォーマット :

アドレッシングフォーマットでアクノリッジビットあり

- クロック同期式シリアルフォーマット :

ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

16.3.4 I<sup>2</sup>C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト/LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するときは、本ビットを 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット I <sup>2</sup> C バスフォーマットでマスタモードのときのみ有効。 0 : ウェイト状態は挿入されず、データとアクノリッジを連続して転送します。 1 : データの最終ビットのクロック (8 クロック目) が立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL=Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 詳細は「16.4.7 IRIC セットタイミングと SCL 制御」を参照してください。
5	CKS2	0	R/W	転送クロック選択 2~0 STCR レジスタの IICX1 ビット (IIC_1) 、IICX0 ビット (IIC_0) との組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。表 16.3 を参照してください。
4	CKS1	0	R/W	
3	CKS0	0	R/W	
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するフレームのビット数を指定します。設定は転送フレーム間で行ってください。また、000 以外を設定する場合は、SCL が Low 状態のときに行ってください。 ビットカウンタは、開始条件検出時 000 に初期化されます。また、データ転送終了後、再び 000 に戻ります。 I <sup>2</sup> C バスフォーマット                      クロック同期式シリアルフォーマット
1	BC1	0	R/W	
0	BC0	0	R/W	

## 16. I<sup>2</sup>C バスインタフェース (IIC)

表 16.3 転送レート

STCR ビット 5, 6	ビット 5	ビット 4	ビット 3	クロック	転送レート				
					φ = 8MHz	φ = 10MHz	φ = 16MHz	φ = 20MHz	
0	0	0	0	φ/28	286kHz	357kHz	571kHz*	714kHz*	
			1	φ/40	200kHz	250kHz	400kHz	500kHz*	
		1	0	φ/48	167kHz	208kHz	333kHz	417kHz*	
			1	φ/64	125kHz	156kHz	250kHz	313kHz	
		1	0	0	φ/80	100kHz	125kHz	200kHz	250kHz
				1	φ/100	80.0kHz	100kHz	160kHz	200kHz
	1		0	φ/112	71.4kHz	89.3kHz	143kHz	179kHz	
			1	φ/128	62.5kHz	78.1kHz	125kHz	156kHz	
	1	0	0	0	φ/56	143kHz	179kHz	286kHz	357kHz
				1	φ/80	100kHz	125kHz	200kHz	250kHz
			1	0	φ/96	83.3kHz	104kHz	167kHz	208kHz
				1	φ/128	62.5kHz	78.1kHz	125kHz	156kHz
1			0	0	φ/160	50.0kHz	62.5kHz	100kHz	125kHz
				1	φ/200	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	φ/224	35.7kHz	44.6kHz	71.4kHz	89.3kHz	
			1	φ/256	31.3kHz	39.1kHz	62.5kHz	78.1kHz	

【注】 \* I<sup>2</sup>C バスインタフェース仕様 (通常モード : 最大 100kHz、高速モード : 最大 400kHz) の範囲外となります。

### 16.3.5 I<sup>2</sup>C バスコントロールレジスタ (ICCR)

ICCR は I<sup>2</sup>C バスインタフェースの制御、および割り込みフラグの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェースイネーブル 0 : 本モジュールは機能を停止し、内部状態をクリアします。 SAR および SARX がアクセス可能になります。 1 : 本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICMR および ICDR がアクセス可能になります。
6	IEIC	0	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0 : I <sup>2</sup> C バスインタフェースから CPU に対する割り込み要求を禁止 1 : I <sup>2</sup> C バスインタフェースから CPU に対する割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択</p> <p>送信/受信選択</p> <p>00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード</p> <p>I<sup>2</sup>C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、I<sup>2</sup>C バスフォーマットのスレーブ受信モードのとき、開始条件直後の第1フレームの R/W ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。</p> <p>転送中の TRS ビットの変更は、データ転送終了時まで保留され、転送終了後に切り替わります。</p> <p>[MST クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (2) I<sup>2</sup>C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[MST セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (MST クリア条件(1)の場合) (2) MST=0 をリード後、1 をライトしたとき (MST クリア条件(2)の場合)</p> <p>[TRS クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (TRS セット条件(3)以外の場合) (2) TRS=1 をリード後、0 をライトしたとき (TRS セット条件(3)の場合) (3) I<sup>2</sup>C バスフォーマットのマスタモードで、バス競合負けしたとき (4) DDCSWR の SW ビットが 1 から 0 に変化したとき</p> <p>[TRS セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (TRS クリア条件(3)(4)以外の場合) (2) TRS=0 をリード後、1 をライトしたとき (TRS クリア条件(3)(4)の場合) (3) I<sup>2</sup>C バスフォーマットのスレーブモードで第1フレームのアドレス致後に R/W ビットとして 1 を受信したとき</p>
3	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信したアクノリッジビットの内容を無視して連続的に転送を行います。受信したアクノリッジビットの内容は ICSR の ACKB ビットに反映されず、常に 0 となります。</p> <p>1: I<sup>2</sup>C バスフォーマットで受信したアクノリッジビットが 1 ならば転送を中断します。</p> <p>アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、意味をもたず 1 固定の場合があります。</p>

## 16. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
2	BBSY	0	R/W	バスビジー 開始条件/停止条件発行禁止ビット マスタモード時 <ul style="list-style-type: none"> <li>• BBSY=0 かつ SCP=0 ライト：停止条件発行</li> <li>• BBSY=1 かつ SCP=0 ライト：開始条件、再送開始条件発行</li> </ul> スレーブモード時 <ul style="list-style-type: none"> <li>• BBSY フラグのライトは無効</li> </ul> [BBSY セット条件] <ul style="list-style-type: none"> <li>• SCL=High レベルの状態 で SDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき</li> </ul> [BBSY クリア条件] <ul style="list-style-type: none"> <li>• SCL=High レベルの状態 で SDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき</li> </ul> 開始条件/停止条件の発行は、MOV 命令を用います。 開始条件の発行に先立って、I <sup>2</sup> C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY=1 かつ SCP=0 をライトする以前に、MST=1 かつ TRS=1 を設定してください。 BBSY フラグをリードすることにより、I <sup>2</sup> C バス (SCL, SDA) が占有されているか開放されているかを確認できます。 SCP ビットは、リードすると常に 1 が読み出されます。また、0 をライトしてもデータは格納されません。
0	SCP	1	W	

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/(W)*	<p>I<sup>2</sup>C バスインタフェース割り込み要求フラグ</p> <p>I<sup>2</sup>C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。</p> <p>SAR の FS ビットと SARX の FSX ビットおよび ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「16.4.7 IRIC セットタイミングと SCL 制御」を参照してください。また、ICCR の ACKC ビットの設定によっても、IRIC フラグがセットされる条件が異なります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマットでマスタモード <ul style="list-style-type: none"> <li>開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため ICDRE フラグが 1 にセットされたとき)</li> <li>WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (送受信クロックの 8 クロック目の立ち下がりのとき)</li> <li>データ転送終了時 (ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりのとき)</li> <li>バス競合負けの後、自分のスレーブアドレスを受信したとき (開始条件に続く第 1 フレーム)</li> <li>ACKC ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> <li>ALIE ビットが 1 の状態でバス競合負けし、AL フラグが 1 にセットされたとき</li> </ul> </li> <li>• I<sup>2</sup>C バスフォーマットでスレーブモード <ul style="list-style-type: none"> <li>スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、</li> <li>および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (送受信クロックの 9 クロック目の立ち上がりのとき)</li> <li>ゼネラルコールアドレスを検出したとき (R<math>\bar{W}</math> ビットとして 0 を受信し、ADZ フラグが 1 にセットされたとき)、</li> <li>および、その後の再送開始条件または停止条件検出までのデータ受信終了時 (受信クロックの 9 クロック目の立ち上がりのとき)</li> <li>ACKC ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> <li>STOPIM ビットが 0 の状態で停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき)</li> </ul> </li> </ul>

## 16. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/(W)*	<ul style="list-style-type: none"> <li>• クロック同期式シリアルフォーマット データ転送終了時 (送受信クロックの8クロック目立ち上がりのとき) 開始条件を検出したとき</li> <li>• すべての動作モードで、ICDRE または ICDRF フラグが1にセットされる条件が発生したとき 送信モードで開始条件を検出したとき (送信モードで開始条件を検出し ICDRE フラグが1にセットされたとき) ICDR レジスタバッファデータ転送時 (送信モードで ICDRT から ICDRS にデータが転送され ICDRE フラグが1にセットされたとき、または受信モードで ICDRS から ICDRR にデータが転送され ICDRF フラグが1にセットされたとき)</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• IRIC=1の状態ではリードした後、0をライトしたとき</li> <li>• DTC で ICDR をリード/ライトしたとき (クリア条件とならない場合もあるため、詳細は下記 DTC の動作説明参照)</li> </ul>

【注】 \* フラグを0にクリアするための0ライトのみ可能です。

DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

I<sup>2</sup>C バスフォーマットで IRIC=1 となり割り込みが発生した場合には、IRIC=1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

ICDRE または ICDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I<sup>2</sup>C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、ICDRE または ICDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため ICDRE または ICDRF フラグはクリアされています。各フラグと転送状態の関係を表 16.4 と表 16.5 に示します。

表 16.4 フラグと転送状態の関係 (マスタモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
1	1	0	0	0	0	0↓	0	0↓	0↓	0	—	0	アイドル状態 (フラグクリア要)
1	1	1↑	0	0	1↑	0	0	0	0	0	—	1↑	開始条件検出
1	—	1	0	0	—	0	0	0	0	—	—	—	ウェイト状態
1	1	1	0	0	—	0	0	0	0	1↑	—	—	送信終了 (ACKE=1 かつ ACKB=1)
1	1	1	0	0	1↑	0	0	0	0	0	—	1↑	ICDRE=0の状態から 送信終了
1	1	1	0	0	—	0	0	0	0	0	—	0↓	上記状態から ICDR ライト
1	1	1	0	0	—	0	0	0	0	0	—	1	ICDRE=1の状態から 送信終了
1	1	1	0	0	—	0	0	0	0	0	—	0↓	上記状態から、または 開始条件検出後の ICDR ライト
1	1	1	0	0	1↑	0	0	0	0	0	—	1↑	上記状態から ICDRT→ ICDRS データ転送 (自動)
1	0	1	0	0	1↑	0	0	0	0	—	1↑	—	ICDRF=0の状態から 受信終了
1	0	1	0	0	—	0	0	0	0	—	0↓	—	上記状態から ICDR リード
1	0	1	0	0	—	0	0	0	0	—	1	—	ICDRF=1の状態から 受信終了
1	0	1	0	0	—	0	0	0	0	—	0↓	—	上記状態から ICDR リード
1	0	1	0	0	1↑	0	0	0	0	—	1↑	—	上記状態から ICDRS→ ICDRR データ転送 (自動)
0↓	0↓	1	0	0	—	0	1↑	0	0	—	—	—	アービトレーション ロスト
1	—	0↓	0	0	—	0	0	0	0	—	—	0↓	停止条件検出

【注】 0:0 状態保持 1:1 状態保持 —: 以前の状態を保持 0↓:0にクリア 1↑:1にセット

## 16. I<sup>2</sup>C バスインタフェース (IIC)

表 16.5 フラグと転送状態の関係 (スレーブモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
0	0	0	0	0	0	0	0	0	0	0	—	0	アイドル状態 (フラグクリア要)
0	0	1↑	0	0	0	0↓	0	0	0	0	—	1↑	開始条件検出
0	1↑/0 (*1)	1	0	0	0	0	—	1↑	0	0	1↑	1	第1フレームでSARに 一致 (SARX≠SAR)
0	0	1	0	0	0	0	—	1↑	1↑	0	1↑	1	第1フレームでゼネラル コールアドレスに一 致 (SARX≠H'00)
0	1↑/0 (*1)	1	0	0	1↑	1↑	—	0	0	0	1↑	1	第1フレームでSARX に一致 (SAR≠SARX)
0	1	1	0	0	—	—	—	—	0	1↑	—	—	送信終了 (ACK=1 かつ ACKB=1)
0	1	1	0	0	1↑/0 (*2)	—	—	—	0	0	—	1↑	ICDRE=0の状態から 送信終了
0	1	1	0	0	—	—	0↓	0↓	0	0	—	0↓	上記状態から ICDR ライト
0	1	1	0	0	—	—	—	—	0	0	—	1	ICDRE=1の状態から 送信終了
0	1	1	0	0	—	—	0↓	0↓	0	0	—	0↓	上記状態から ICDR ライト
0	1	1	0	0	1↑/0 (*2)	—	0	0	0	0	—	1↑	上記状態から ICDRT→ ICDRS データ転送 (自動)
0	0	1	0	0	1↑/0 (*2)	—	—	—	—	—	1↑	—	ICDRF=0の状態から 受信終了
0	0	1	0	0	—	—	0↓	0↓	0↓	—	0↓	—	上記状態から ICDR リード
0	0	1	0	0	—	—	—	—	—	—	1	—	ICDRF=1の状態から 受信終了
0	0	1	0	0	—	—	0↓	0↓	0↓	—	0↓	—	上記状態から ICDR リード
0	0	1	0	0	1↑/0 (*2)	—	0	0	0	—	1↑	—	上記状態から ICDRR→ ICDRR データ転送 (自動)
0	—	0↓	1↑/0 (*3)	0/1↑ (*3)	—	—	—	—	—	—	—	0↓	停止条件検出

【注】 0:0状態保持 1:1状態保持 —:以前の状態を保持 0↓:0にクリア 1↑:1にセット

\*1 アドレスに続く R/W ビットとして1を受信した場合に1にセット

\*2 AASX ビットに1がセットされている場合に1にセット

\*3 ESTP=1のとき STOP=0、または STOP=1のとき ESTP=0

16.3.6 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。表 16.4、表 16.5 を併せて参照してください。

ビット	ビット名	初期値	R/W	説 明
7	ESTP	0	R/(W)*	<p>エラー停止条件検出フラグ</p> <p>I<sup>2</sup>C バスフォーマットでスレーブモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• フレームの転送の途中で停止条件を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ESTP=1 の状態をリードした後、0 をライトしたとき</li> <li>• IRIC フラグが 0 にクリアされたとき</li> </ul>
6	STOP	0	R/(W)*	<p>正常停止条件検出フラグ</p> <p>I<sup>2</sup>C バスフォーマットでスレーブモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• フレームの転送の完了後に停止条件を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• STOP=1 の状態をリードした後、0 をライトしたとき</li> <li>• IRIC フラグが 0 にクリアされたとき</li> </ul>
5	IRTR	0	R/(W)*	<p>I<sup>2</sup>C バスインタフェース連続送受信割り込み要求フラグ</p> <p>I<sup>2</sup>C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な 1 フレームデータ送受信の終了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスインタフェースでスレーブモードのとき</li> <li>• AASX=1 の状態で、ICDRE または ICDRF フラグが 1 にセットされたとき</li> <li>• I<sup>2</sup>C バスインタフェースでマスタモード、クロック同期式シリアルフォーマットのとき</li> <li>• ICDRE または ICDRF フラグが 1 にセットされたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• IRTR=1 の状態をリードした後、0 をライトしたとき</li> <li>• ICE=1 の状態で IRIC フラグが 0 にクリアされたとき</li> </ul>

## 16. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説 明
4	AASX	0	R/(W)*	<p>第 2 スレーブアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6~SVAX0 と一致したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードでかつ FSX=0 で第 2 スレーブアドレスを検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>AASX=1 の状態をリードした後、0 をライトしたとき</li> <li>開始条件を検出したとき</li> <li>マスタモードのとき</li> </ul>
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[セット条件]</p> <p>ALS L=0 のとき</p> <ul style="list-style-type: none"> <li>マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>マスタモードで SCL の立ち下がりで内部 SCL が High レベルのとき</li> </ul> <p>ALS L=1 のとき</p> <ul style="list-style-type: none"> <li>マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>マスタ送信モードで開始条件命令実行後、自分が SDA 端子を Low に立ち下げる前に他デバイスにより SDA 端子が Low に立ち下げられたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ICDR にデータをライト (送信時)、データをリード (受信時) したとき</li> <li>AL=1 の状態をリードした後、0 をライトしたとき</li> </ul>
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6~SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードかつ FS=0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>AAS=1 の状態をリードした後、0 をライトしたとき</li> <li>マスタモードのとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
1	ADZ	0	R(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードかつ、FSX=0 または FS=0 でゼネラルコールアドレス (R/W ビットも含めた1フレームが H'00) を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>ADZ=1 の状態をリード後、0 をライトしたとき</li> <li>マスタモードのとき</li> </ul> <p>FS=1 かつ FSX=0 でゼネラルコールアドレスを検出した場合、ADZ フラグは1にセットされますが、ゼネラルコールアドレスは認識されません (AAS フラグは1にセットされません)。</p>
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モード</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE=1 でアクノリッジビットとして1を受信したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE=1 でアクノリッジビットとして0を受信したとき</li> <li>ACKE ビットに0をライトしたとき</li> </ul> <p>受信モード</p> <p>0: データを受信した後、アクノリッジデータとして0を送出します。</p> <p>1: データを受信した後、アクノリッジデータとして1を送出します。</p> <p>本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。</p> <p>また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。</p> <p>マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに0をライトして ACKB フラグを0にクリアしてください。</p>

【注】 \* フラグを0にクリアするための0ライトのみ可能です。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 16.3.7 DDC スイッチレジスタ (DDCSWR)

DDCSWR は IIC の内部ラッチクリアの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	—	0	R	リザーブビット
3	CLR3	1	W*	IIC クリア 3~0
2	CLR2	1	W*	IIC_0、IIC_1 の内部状態の初期化を制御します。
1	CLR1	1	W*	00--: 設定禁止
0	CLR0	1	W*	0100: 設定禁止 0101: IIC_0 内部ラッチクリア 0110: IIC_1 内部ラッチクリア 0111: IIC_0、IIC_1 内部ラッチクリア 1---: 設定無効 本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。 本ビットはライト動作のみ可能で、リードすると常に 1 が読み出されます。なお、本ビットへのライトデータは保持されません。 IIC 内部状態の初期化を行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。CLR3~CLR0 ビットに対する BCLR などのビット操作命令は使用しないでください。 再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。

【注】 \* リードすると常に 1 が読み出されます。

### 16.3.8 I<sup>2</sup>C バスコントロール拡張レジスタ (ICXR)

ICXR は I<sup>2</sup>C バスインタフェースの割り込み動作の許可/禁止、連続受信動作の許可/禁止、受信や送信状態の確認を行います。

ビット	ビット名	初期値	R/W	説明
7	STOPIM	0	R/W	停止条件割り込み要因マスク スレープモード動作時に停止条件検出での割り込み発生の許可/禁止を選択します。 0: スレープモード動作時、停止条件検出 (STOP=1 または ESTP=1) での IRIC フラグセットおよび割り込み発生を許可 1: 停止条件検出での IRIC フラグセットおよび割り込み発生を禁止

ビット	ビット名	初期値	R/W	説明
6	HNDS	0	R/W	<p>ハンドシェーク受信動作選択</p> <p>受信モードで連続受信動作をするかどうかを選択します。</p> <p>0 : 連続受信動作を許可</p> <p>1 : 連続受信動作を禁止</p> <p>HNDS ビットが 0 にクリアされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、引き続き受信動作を行います。</p> <p>HNDS ビットが 1 にセットされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、SCL を Low レベルに固定し、次のデータ転送を禁止します。ICDR の受信データをリードすることにより SCL バスラインを開放し、次フレームの受信動作を行います。</p>
5	ICDRF	0	R	<p>受信データ読み出し要求フラグ</p> <p>受信モードでの ICDR (ICDRR) の状態を示すフラグです。</p> <p>0 : ICDR (ICDRR) にあるデータはすでにリードされている、あるいは初期状態であることを示します。</p> <p>1 : 正常に受信が完了し、データが ICDRS から ICDRR へ転送され、受信完了後にまだ読み出されていないことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>データが正常に受信され、ICDRS から ICDRR へデータが転送されたとき</li> </ul> <p>(1) ICDRF=0 状態でデータ受信完了したとき (9 クロック目立ち上がり)</p> <p>(2) ICDRF=1 状態でデータ受信完了後、受信モードで ICDR をリードしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ICDR (ICDRR) をリードしたとき</li> <li>ICE ビットに 0 をライトしたとき</li> <li>DDCSWR レジスタ CLR3~CLR0 ビットで内部状態を初期化したとき</li> </ul> <p>[セット条件] (2)の場合、ICDR (ICDRR) をリードしたときに一度 ICDRF は 0 クリアされますが、直ちに ICDRS から ICDRR へデータが転送されるため再び ICDRF は 1 にセットされます。</p> <p>なお、送信モード (TRS=1) で ICDR をリードしたときは、ICDRS から ICDRR へのデータ転送が行われませんので、正常なデータの読み出しができません。ICDR のデータを読み出すときは受信モード (TRS=0) で ICDR をリードしてください。</p>

## 16. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
4	ICDRE	0	R	<p>送信データ書き込み要求フラグ</p> <p>送信モードでの ICDR (ICDRT) の状態を示すフラグです。</p> <p>0 : ICDR (ICDRT) に次に送信するデータが書き込まれている、あるいは初期状態であることを示します。</p> <p>1 : 送信データが ICDRT から ICDRS へ転送され送信中である、あるいは開始条件を検出または送信完了しており、次の送信データをライトすることが可能な状態であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマット、シリアルフォーマットでバスラインの状態から開始条件成立を検出したとき</li> <li>• ICDRT から ICDRS にデータが転送されたとき</li> </ul> <p>(1) ICDRE=0 状態でデータ送信完了したとき (9 クロック目立ち上がり)</p> <p>(2) ICDRE=1 状態でデータ送信完了後、送信モードで ICDR をライトしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ICDR (ICDRT) に送信データをライトしたとき</li> <li>• I<sup>2</sup>C バスフォーマットまたはシリアルフォーマットで停止条件を検出したとき</li> <li>• ICE ビットに 0 をライトしたとき</li> <li>• DDCSWR レジスタ CLR3~CLR0 ビットで内部状態を初期化したとき</li> </ul> <p>I<sup>2</sup>C バスフォーマットで ACKE ビットを 1 に設定し、アクノリッジビット判定を有効にしている場合、アクノリッジビットが 1 でデータ送信が完了した場合、ICDRE はセットされません。</p> <p>[セット条件] (2) の場合、ICDR (ICDRT) にライトしたときに一度 ICDRE は 0 クリアされますが、直ちに ICDRT から ICDRS へデータが転送されるため再び ICDRE は 1 にセットされます。</p> <p>なお、TRS=0 のときは ICDRE フラグの値は無効ですので、ICDR へのライト動作は行わないでください。</p>
3	ALIE	0	R/W	<p>アービトレーションロスト割り込みイネーブル</p> <p>アービトレーションロスト発生時に IRIC フラグを 1 にセットし、割り込み発生を許可するかどうかを選択します。</p> <p>0 : アービトレーションロスト発生時の割り込み要求を禁止</p> <p>1 : アービトレーションロスト発生時の割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説明
2	ALSL	0	R/W	アービトレーションロスト条件セレクト アービトレーションロスト発生条件を選択します。 0: SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、SCL 端子が他デバイスにより立ち下げられたとき 1: SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、アイドル状態または開始条件命令実行後、他デバイスにより SDA 端子を立ち下げられたとき
1	FNC1	0	R/W	ファンクションビット 1、0 一部の使用上の制限事項を解除するためのビットです。 詳細は、「16.6 使用上の注意事項」を参照してください。 00: 動作制限対策無効 01: 設定禁止 10: 設定禁止 11: 動作制限対策有効
0	FNC0	0	R/W	

## 16.4 動作説明

I<sup>2</sup>C バスインタフェースには、I<sup>2</sup>C バスフォーマットとシリアルフォーマットがあります。

### 16.4.1 I<sup>2</sup>C バスデータフォーマット

I<sup>2</sup>C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 16.3 に示します。開始条件に続く第 1 フレームは必ず 9 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 16.4 に示します。また、I<sup>2</sup>C バスのタイミングを図 16.5 に示します。

図 16.3～図 16.5 の記号説明を表 16.6 に示します。

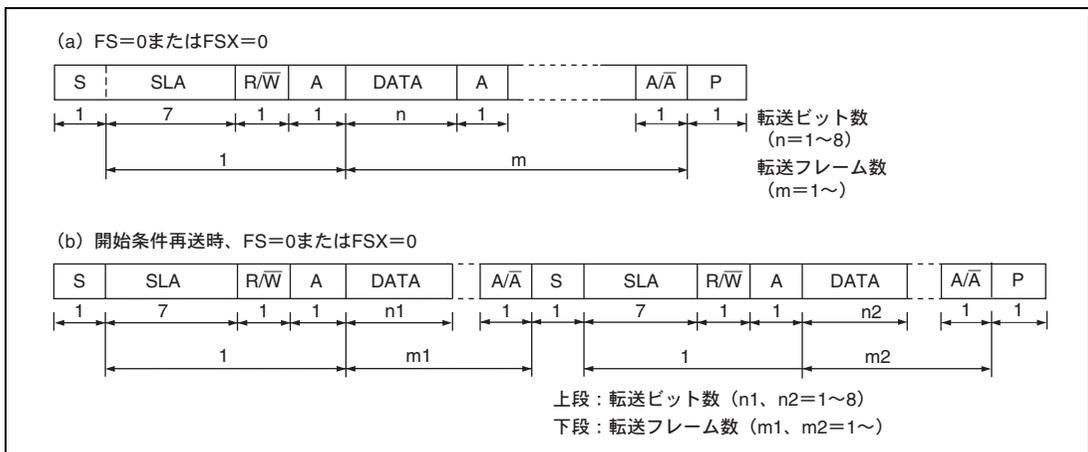


図 16.3 I<sup>2</sup>C バスデータフォーマット (I<sup>2</sup>C バスフォーマット)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

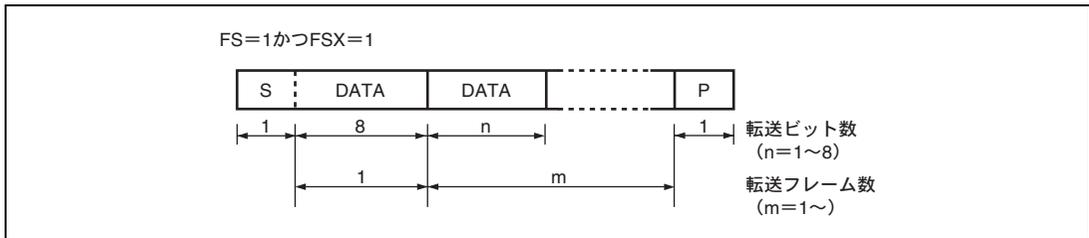


図 16.4 I<sup>2</sup>C バスデータフォーマット (シリアルフォーマット)

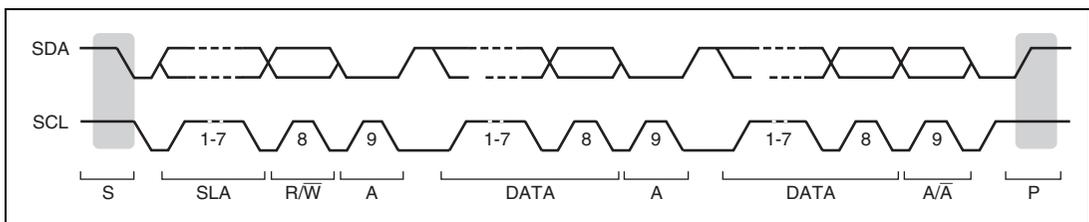


図 16.5 I<sup>2</sup>C バスタイミング

表 16.6 I<sup>2</sup>C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL=High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信/受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2~BC0 ビットで設定します。また MSB ファースト/LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL=High レベルの状態では SDA を Low レベルから High レベルに変化させます。

## 16.4.2 初期設定

データ送信／受信を開始するとき、以下の手順に従い IIC を初期化してください。

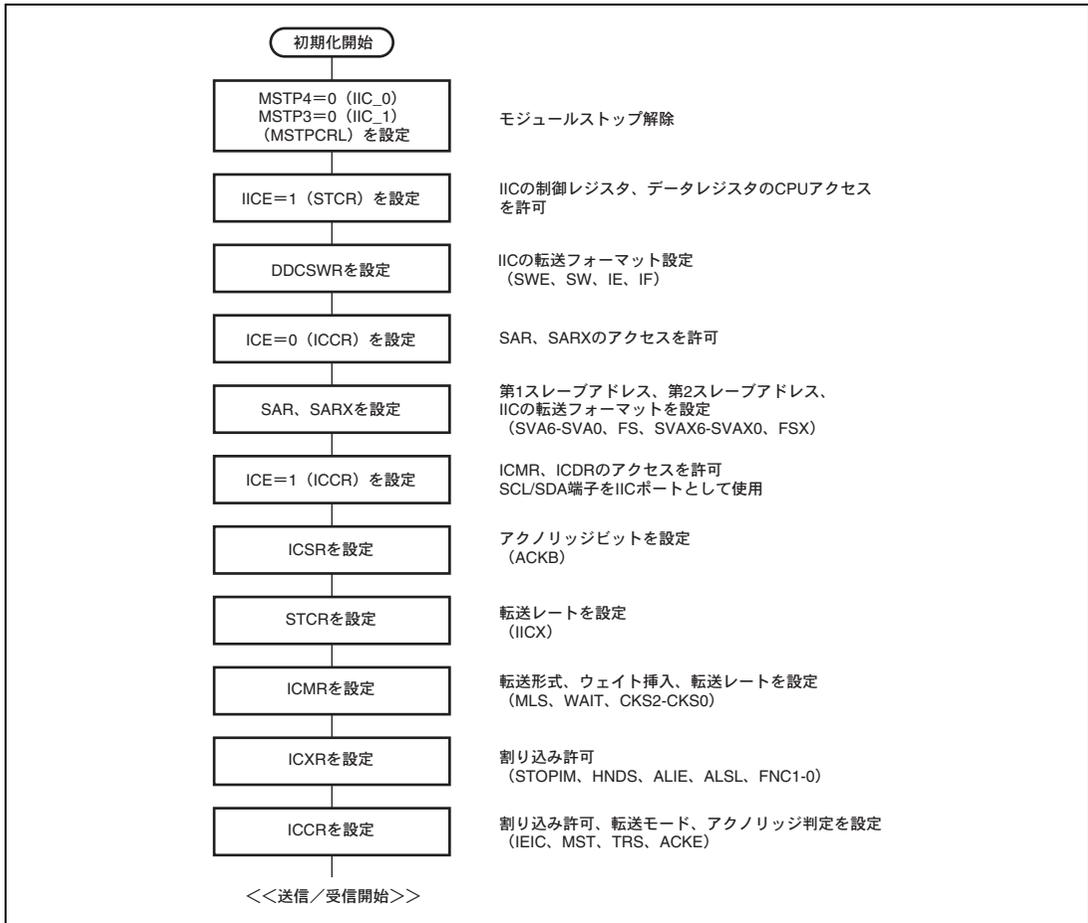


図 16.6 IIC の初期化フローチャートの例

- 【注】 ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。  
送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2-BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

### 16.4.3 マスタ送信動作

I<sup>2</sup>C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。

図 16.7 にマスタ送信モードのフローチャート例を示します。

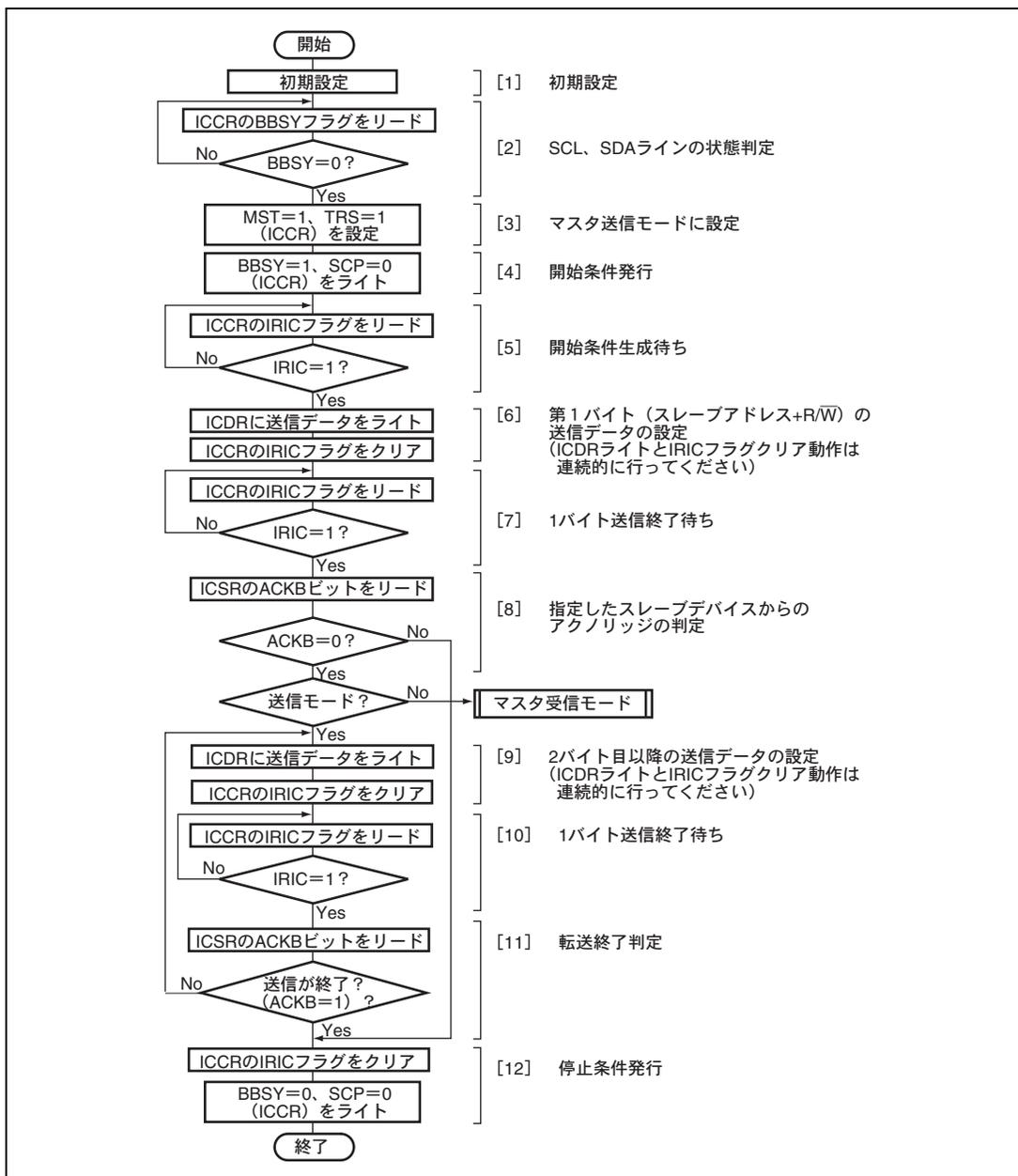


図 16.7 マスタ送信モードフローチャート例

以下に ICDR (ICDRT) のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「16.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス+R $\bar{W}$ ) をライトします。  
I<sup>2</sup>Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信/受信の方向(R $\bar{W}$ )を示します。  
次に転送終了を判断するためIRICフラグを0にクリアします。  
ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。  
マスタデバイスは送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされず。  
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB=0であることを確認します。  
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。  
次に転送終了を判断するためIRICフラグを0にクリアします。  
ここで6.同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。  
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされず。  
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、9に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行います。

### 12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

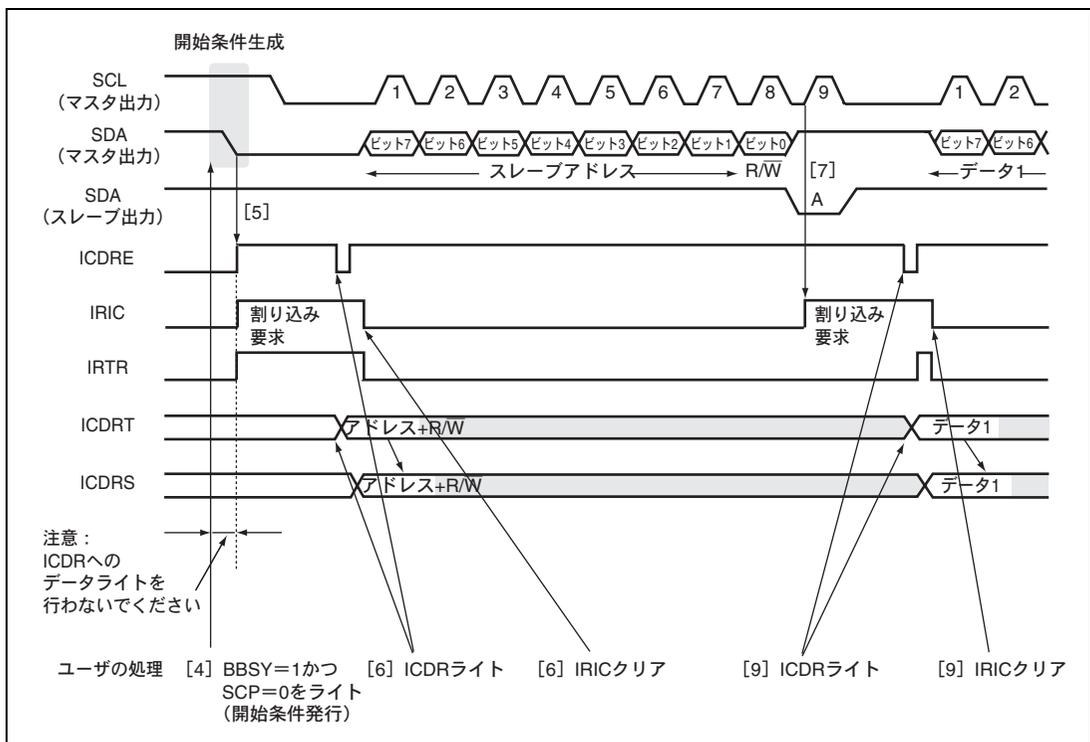


図 16.8 マスタ送信モード動作タイミング例 (MLS=WAIT=0 のとき)

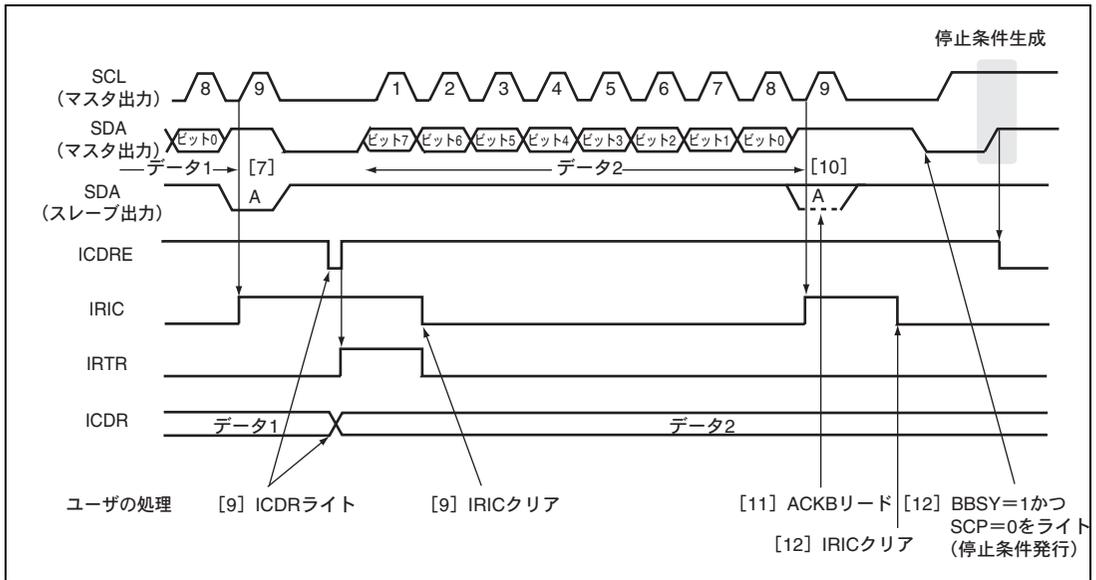


図 16.9 マスタ送信モード停止条件発行動作タイミング例 (MLS=WAIT=0 のとき)

### 16.4.4 マスタ受信動作

I<sup>2</sup>C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アックノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス+R/W (1:リード) のデータを送信し、スレーブデバイスを選択した後、受信動作に切り替えます。

#### (1) HNDS 機能を利用した受信動作 (HNDS=1)

図 16.10 にマスタ受信モードのフローチャート例 (HNDS=1) を示します。

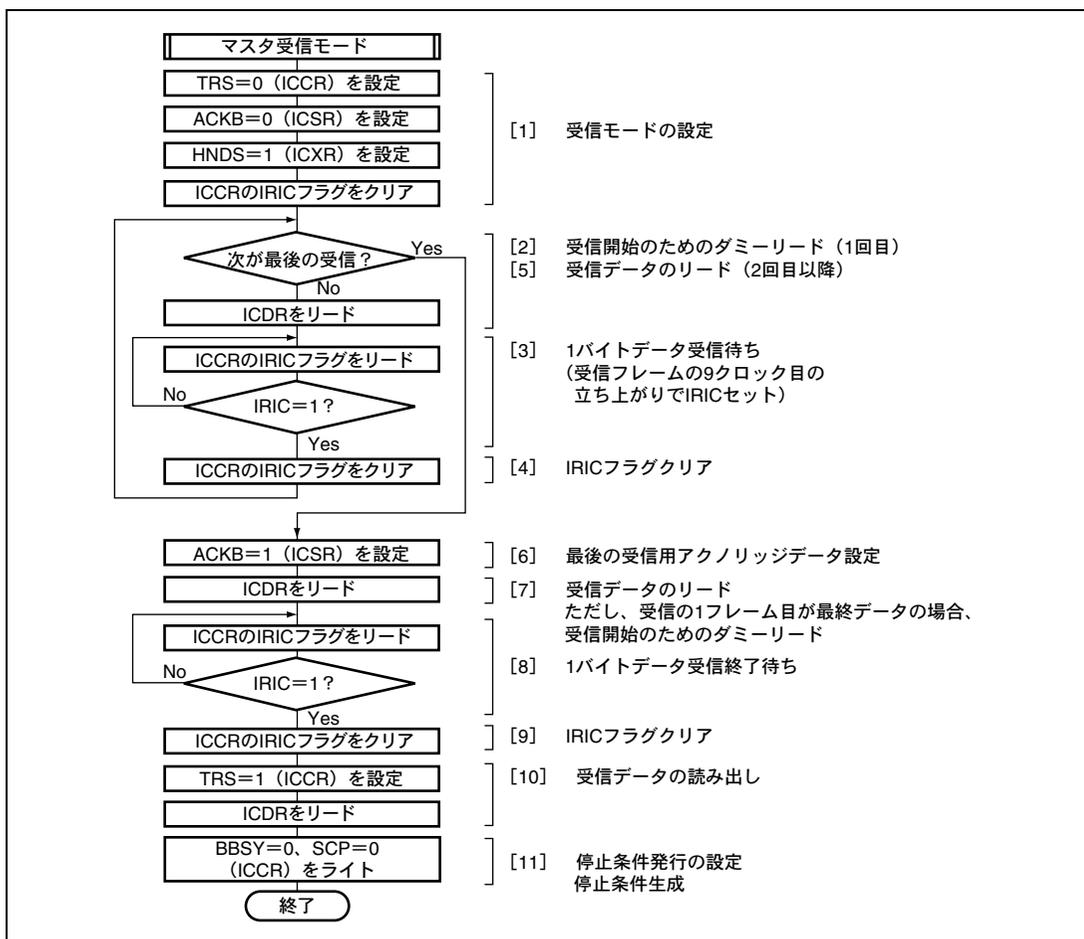


図 16.10 マスタ受信モードフローチャート例 (HNDS=1)

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。  
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)  
ICXRのHNDSビットを1にセットします。  
受信完了を判断するためIRICフラグを0にクリアします。  
受信の1フレーム目が最後の受信データの場合は、6以降の終了処理を行ってください。
2. ICDRをリード(ダミーリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。(受信クロックの立ち上がりに同期してSDA端子のデータをICDRSに順次格納します。)
3. 受信フレームの9クロック目でマスタデバイスはSDAをLowレベルにし、アクノリッジを返します。受信データは9クロック目の立ち上がりでICDRSからICDRRに転送され、ICDRF、IRIC、IRTRの各フラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。  
マスタデバイスは受信クロックの9クロック目の立ち下がりからICDRのデータをリードするまでSCLをLowレベルにします。
4. 次の割り込みを判断するためIRICフラグを0にクリアします。  
次のフレームが最後の受信データの場合は、6以降の終了処理を行ってください。
5. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスは次のデータ受信のため、引き続き受信クロックを出力します。  
  
3から5を繰り返し行うことにより、データを受信することができます。
6. ACKBビットを1にセットします。(最後の受信用アクノリッジデータの設定)
7. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスはデータ受信のため、受信クロックを出力します。
8. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICDRF、IRIC、IRTRの各フラグが1にセットされます。
9. IRICフラグを0にクリアします。
10. TRSビットを1にセット後、ICDRの受信データをリードします。このとき、ICDRFフラグが0にクリアされます。
11. 停止条件生成のため、ICCRにBBSY=0かつSCP=0をライトします。  
これによりSCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

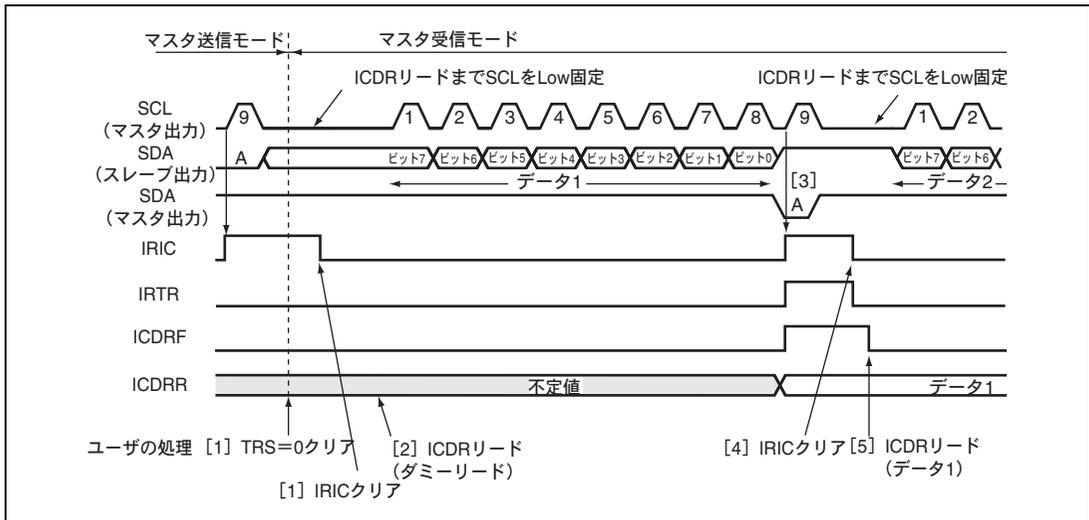


図 16.11 マスタ受信モード動作タイミング例 (MLS=WAIT=0、HNDS=1 のとき)

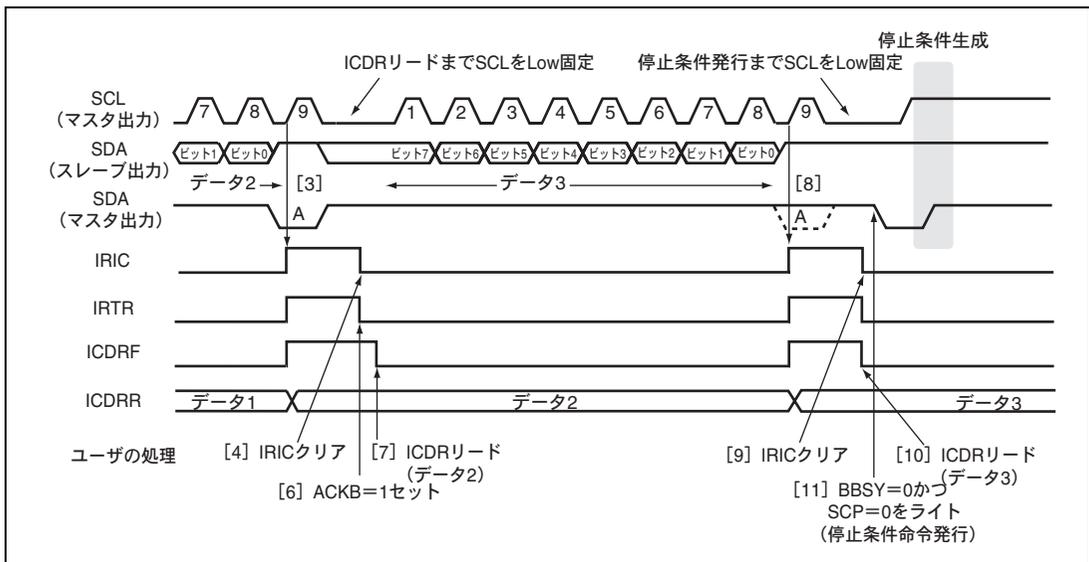


図 16.12 マスタ受信モード動作停止条件発行タイミング例 (MLS=WAIT=0、HNDS=1 のとき)

## (2) ウェイトを利用した受信動作

図 16.13、図 16.14 にマスタ受信モードのフローチャート例 (WAIT=1) を示します。

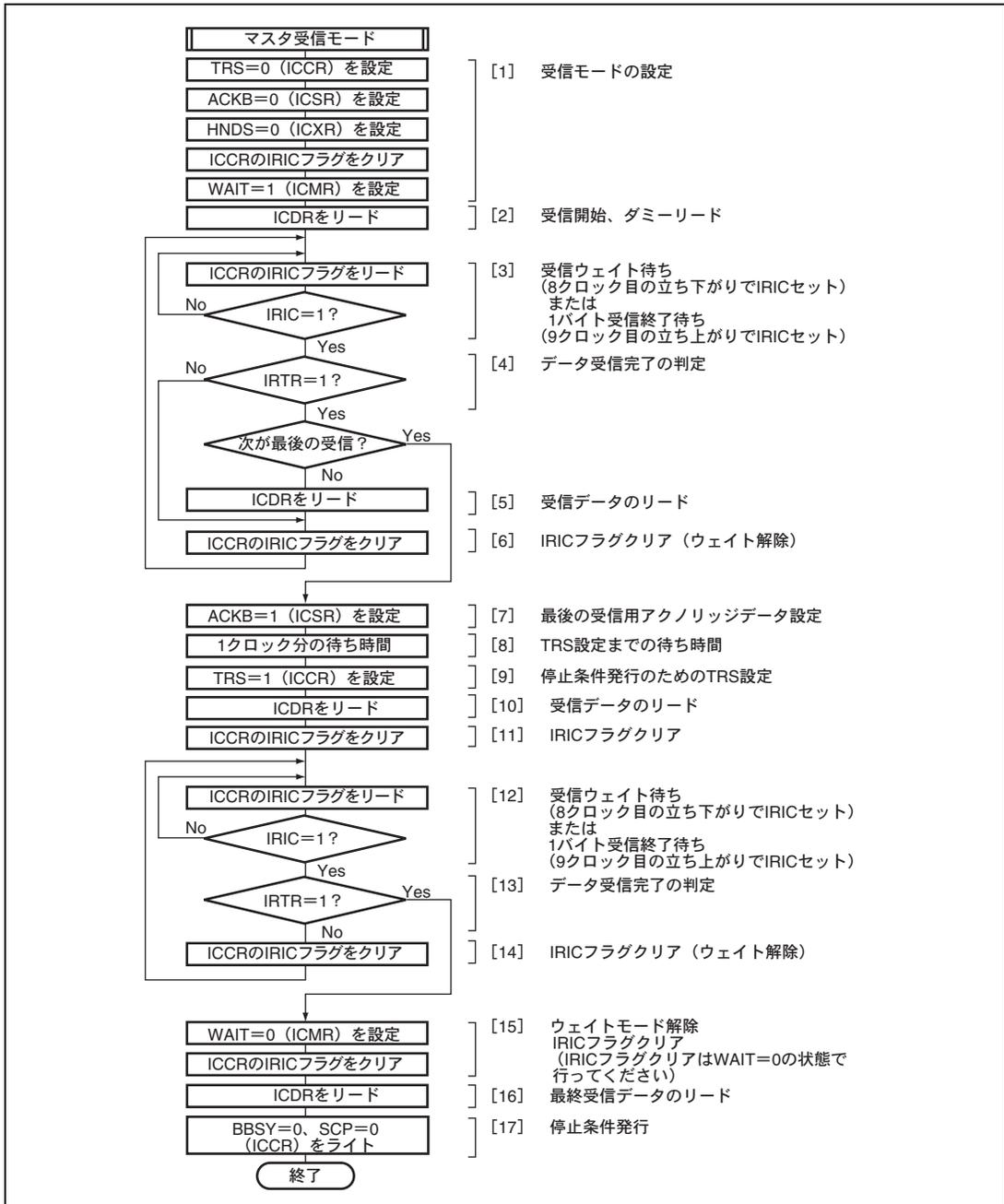


図 16.13 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

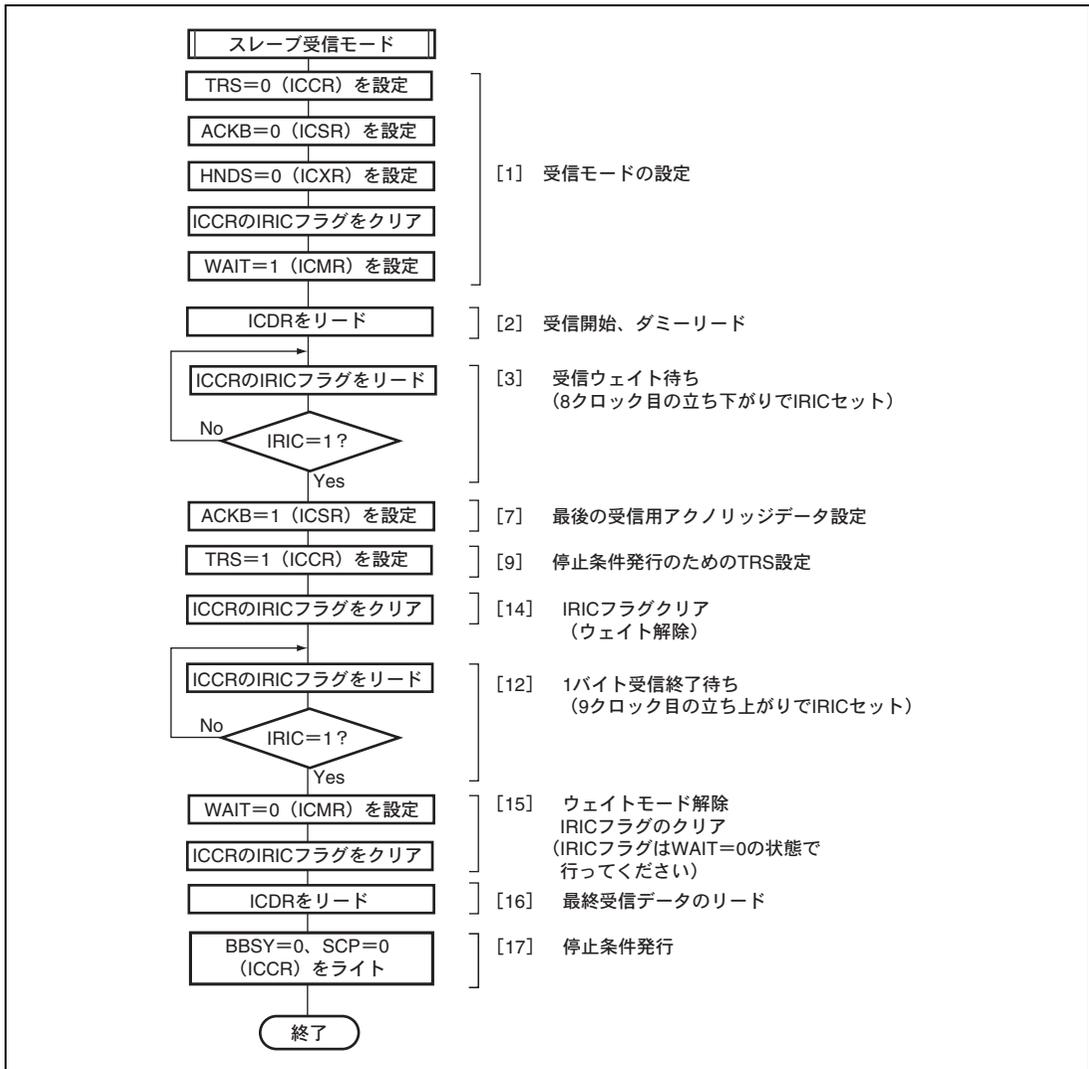


図 16.14 マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1 バイトのみ受信の場合は一部手順が省略されていますので、図 16.14 のフローチャートに従って動作を行ってください。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。  
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)  
ICXRのHNDSビットを0にクリアします。(ハンドシェイク機能の解除)  
IRICフラグを0にクリアし、その後にICMRのWAITビットを1にセットします。
2. ICDRをリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
  - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。  
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
  - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。  
IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。  
マスタデバイスは引き続き次の受信データの受信クロックを出力します。
4. ICSRのIRTRフラグをリードします。  
IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。  
IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。
5. IRTRフラグが1の場合は、ICDRの受信データをリードします。
6. IRICフラグを0にクリアします。3. (1) の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。  
  
3.から6.を繰り返し行うことにより、データを受信することができます。
7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。
9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。
10. ICDRの受信データをリードします。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

11. IRICフラグを0にクリアします。

12. IRICフラグが以下の2条件で1にセットされます。

- (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

- (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。

マスタデバイスは引き続き次の受信データの受信クロックを出力します。

13. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で受信動作が完了している場合は、15.の停止条件発行処理を行ってください。

14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。

受信動作の完了を検出するため12.のIRICフラグリードに戻ります。

15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

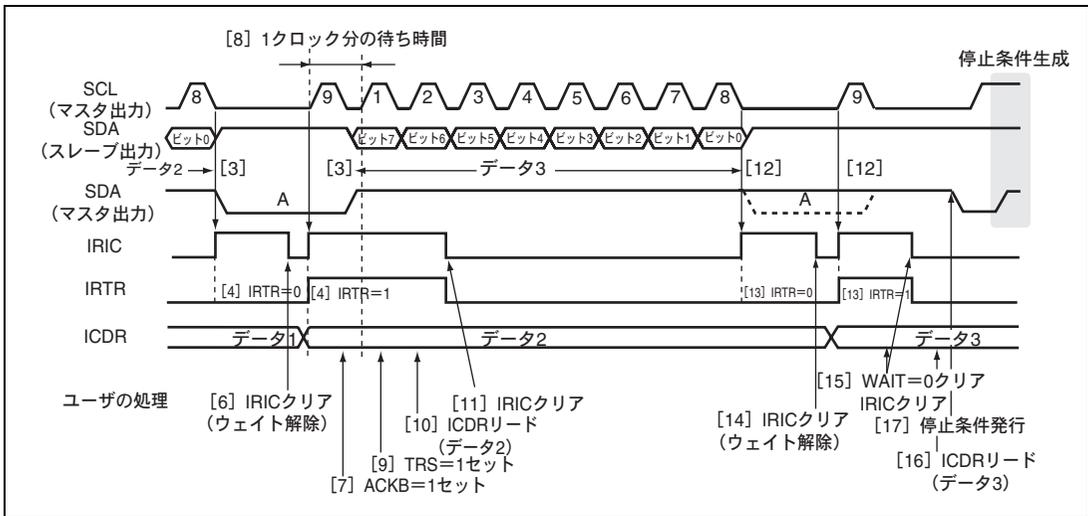
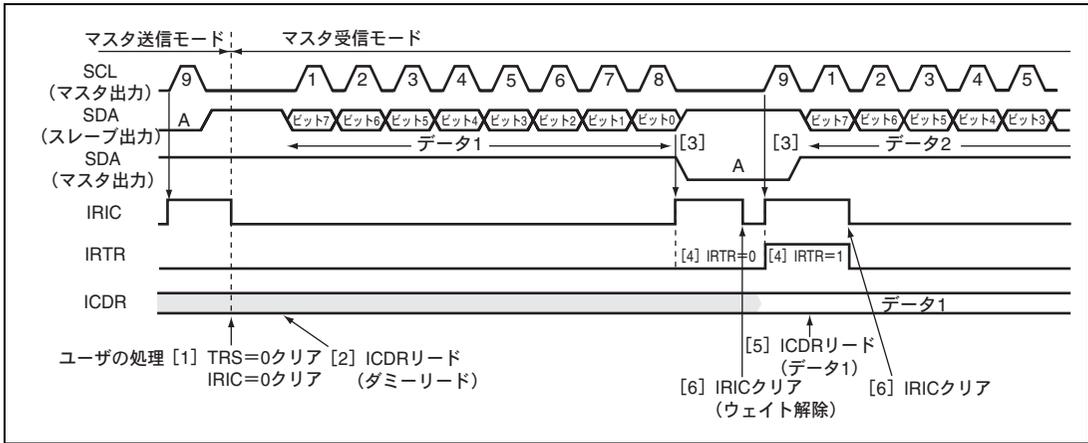
その後、IRICフラグを0にクリアします。

IRICフラグのクリアはWAIT=0の状態で行ってください。

(IRICフラグを0にクリアした後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

16. ICDRにある最終受信データをリードします。

17. ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。



### 16.4.5 スレーブ受信動作

I<sup>2</sup>C バスフォーマットによるスレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

スレーブデバイスは、マスタが発行する開始条件後の第 1 フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

#### (1) HNDS 機能を利用した受信動作 (HNDS=1)

図 16.17 にスレーブ受信モードのフローチャート例 (HNDS=1) を示します。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

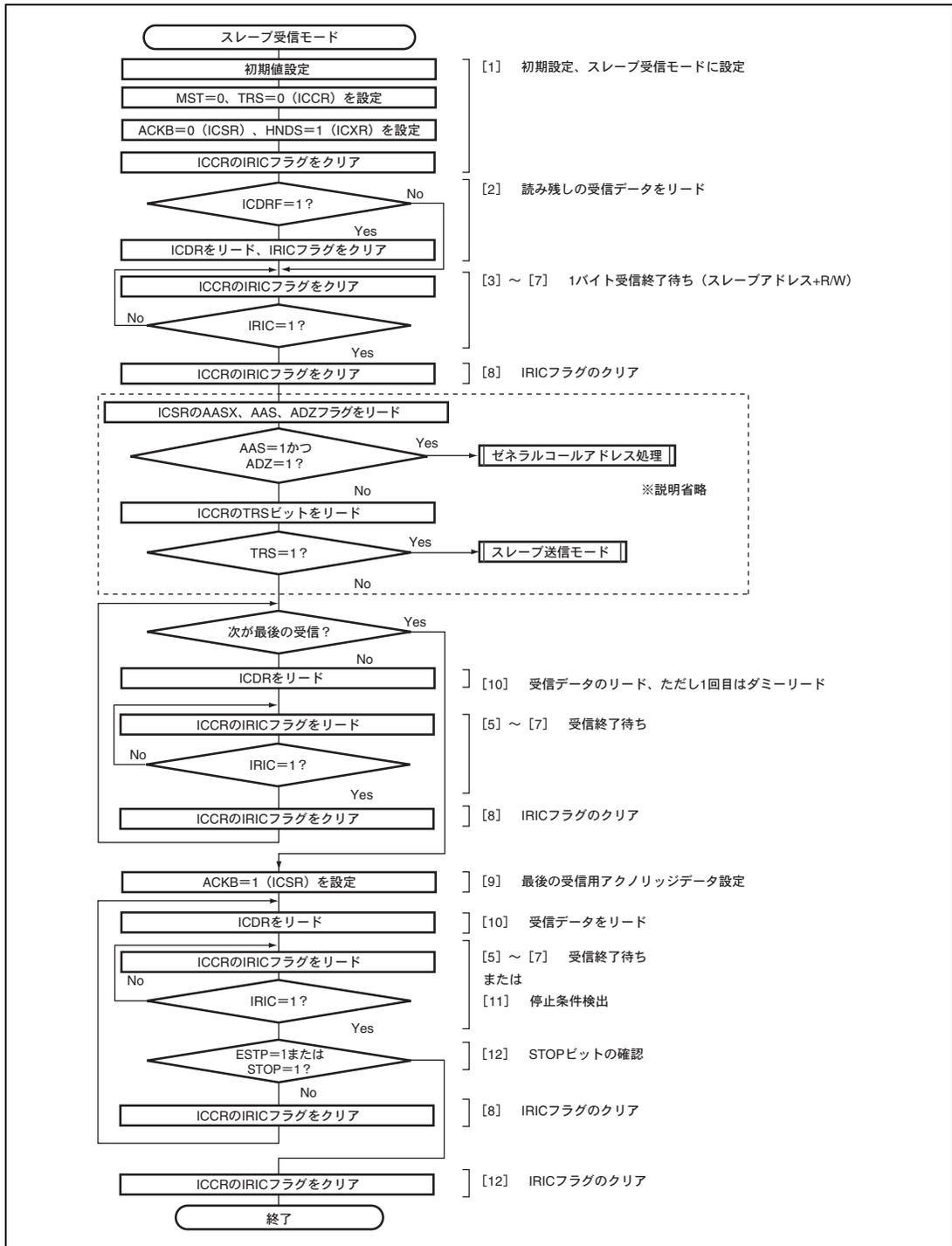


図 16.17 スレープ受信モードのフローチャート例 (HNSD=1)

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. 「16.4.2 初期設定」に従い初期設定を行います。

MST、TRS ビットをそれぞれ 0 にクリアしてスレーブ受信モードに設定します。また、HNDS ビットを 1 にセットし、ACKB ビットを 0 に設定します。受信完了を判断するため、ICCR の IRIC フラグを 0 にクリアします。

2. ICDRF フラグが 0 であることを確認します。もし ICDRF フラグが 1 にセットされているときは、ICDR をリードし、その後で IRIC フラグを 0 にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCR の BBSY フラグが 1 にセットされます。マスタデバイスは、開始条件に引き続き 7 ビットのスレーブアドレスと送受信の方向 ( $R/\bar{W}$ ) のデータを送信クロックに合わせ順次出力します。
4. 開始条件後の第 1 フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8 ビット目のデータ ( $R/\bar{W}$ ) が 0 のとき TRS ビットは 0 のまま変化せず、スレーブ受信動作を行います。8 ビット目のデータ ( $R/\bar{W}$ ) が 1 のとき TRS ビットは 1 にセットされ、スレーブ送信動作を行います。

なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。

5. 受信フレームの 9 クロック目でスレーブデバイスは ACKB ビットに設定したデータをアクノリッジとして返します。
6. 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。このとき、IEIC ビットが 1 にセットされていると、CPU に対し割り込み要求を発生します。  
また、AASX ビットが 1 にセットされていると IRTR フラグも 1 にセットされます。
7. 9 クロック目の立ち上がりで、受信データは ICDRS から ICDRR に転送され、ICDRF フラグが 1 にセットされます。スレーブデバイスは受信クロックの 9 クロック目の立ち下がりから ICDR のデータをリードするまで SCL を Low レベルにします。
8. STOP ビットが 0 にクリアされていることを確認し、IRIC フラグを 0 にクリアします。
9. 次のフレームが最後の受信フレームのときは ACKB ビットを 1 にセットしておきます。
10. ICDR をリードすると、ICDRF フラグが 0 にクリアされ、SCL バスラインを開放します。これによりマスタデバイスは次のデータの転送が可能となります。

5. から 10. を繰り返し行うことにより、受信動作を継続できます。

11. 停止条件 (SCL が High レベルのとき、SDA が Low レベルから High レベルに変化) が検出されると、BBSY フラグが 0 にクリアされます。また、STOP ビットが 1 にセットされます。このとき STOPIM ビットが 0 にクリアされていると IRIC フラグは 1 にセットされます。
12. STOP ビットが 1 にセットされていることを確認し、IRIC フラグを 0 にクリアします。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

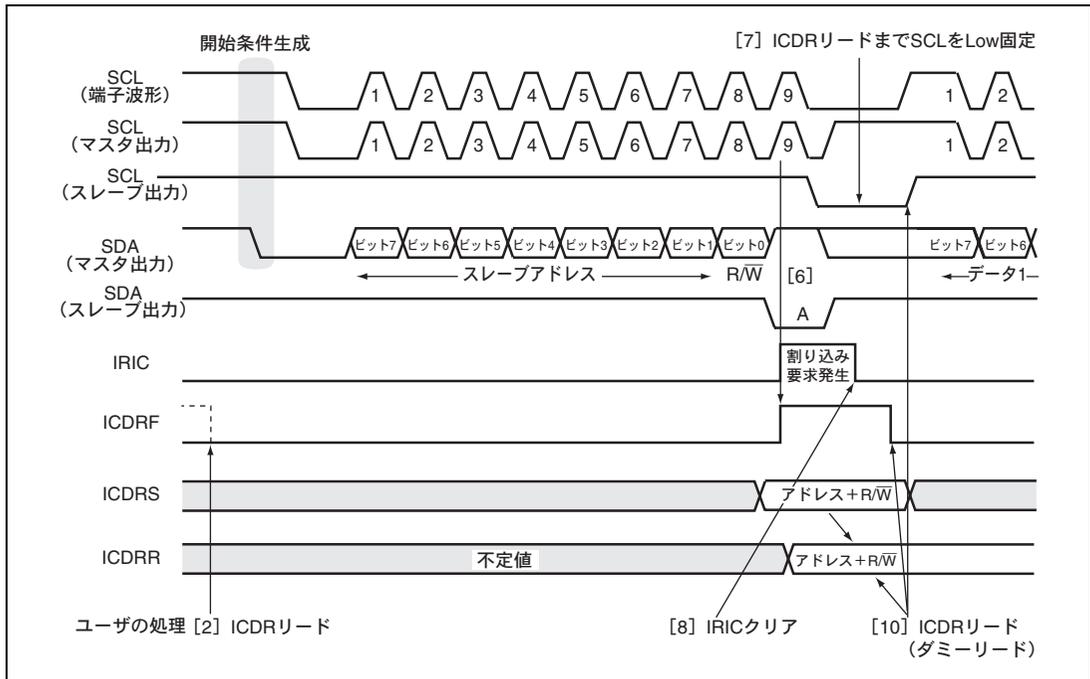


図 16.18 スレーブ受信モード動作タイミング例 1 (MLS=0、HNDS=1 のとき)

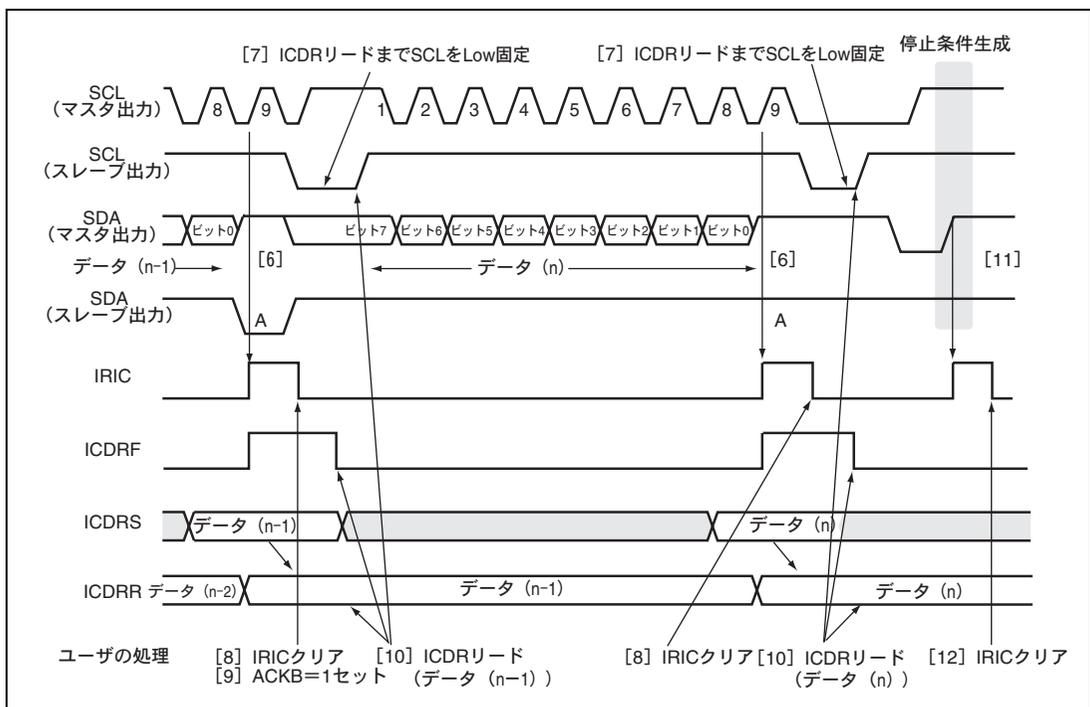


図 16.19 スレーブ受信モード動作タイミング例 2 (MLS=0、HNDS=1 のとき)

(2) 連続受信動作

図 16.20 にスレーブ受信モードのフローチャート例 (HNDS=0) を示します。

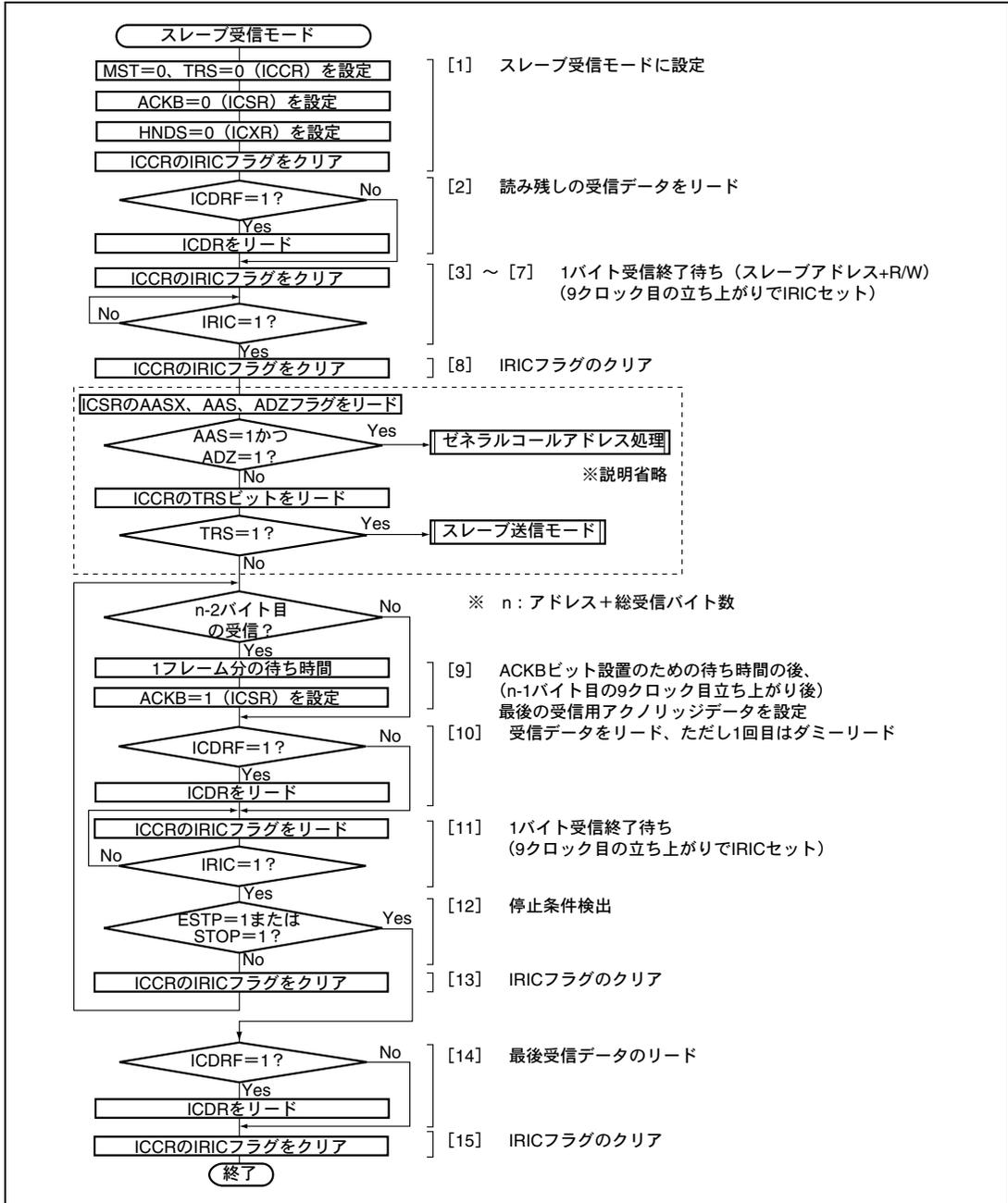


図 16.20 スレーブ受信モードのフローチャート例 (HNDS=0)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

以下にスレーブ受信モードの受信手順と動作を示します。

1. 「16.4.2 初期設定」に従い初期設定を行います。

MST、TRSビットをそれぞれ0にクリアしてスレーブ受信モードに設定します。また、HNDSビットを0にセットし、ACKBビットを0に設定します。受信完了を判断するため、ICCRのIRICフラグを0にクリアします。

2. ICDRFフラグが0であることを確認します。ICDRFフラグが1にセットされているときは、ICDRをリードし、その後でIRICフラグを0にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。マスタデバイスは、開始条件に引き続き7ビットのスレーブアドレスと送受信の方向 (R/W) のデータを送信クロックに合せ順次出力します。
4. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/W) が0のときTRSビットは0のまま変化せず、スレーブ受信動作を行います。8ビット目のデータ (R/W) が1のときTRSビットは1にセットされ、スレーブ送信動作を行います。

なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。

5. 受信フレームの9クロック目でスレーブデバイスはACKBビットに設定したデータをアクノリッジとして返します。
6. 9クロック目の立ち上がりでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。  
また、AASXビットが1にセットされているとIRTRフラグも1にセットされます。
7. 9クロック目の立ち上がりで、受信データはICDRSからICDRRに転送され、ICDRFフラグが1にセットされます。
8. STOPビットが0にクリアされていることを確認し、IRICフラグを0にクリアします。
9. 次にリードするデータが最後から2つ前の受信フレームのときはACKBビット設定のため最低1フレーム分の待ち時間を設けます。最後から1つ前の受信フレームの9クロック目が立ち上がった後にACKBビットを1にセットしておきます。

10. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。

ICDRをリードすると、ICDRFフラグが0にクリアされます。

11. 9クロック目の立ち上がりまたは、ICDRリード動作により受信データがICDRSからICDRRに転送されるとIRICフラグおよびICDRFフラグが1にセットされます。
12. 停止条件 (SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化) が検出されると、BBSYフラグが0にクリアされます。また、STOPフラグまたは、ESTPフラグが1にセットされます。このときSTOPIMビットが0にクリアされているとIRICフラグは1にセットされます。この場合は14.の最終受信データのリードを行います。

13. IRICフラグを0にクリアします。

9から13を繰り返し行うことにより、受信動作を継続できます。

14. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。

15. IRICフラグを0にクリアします。

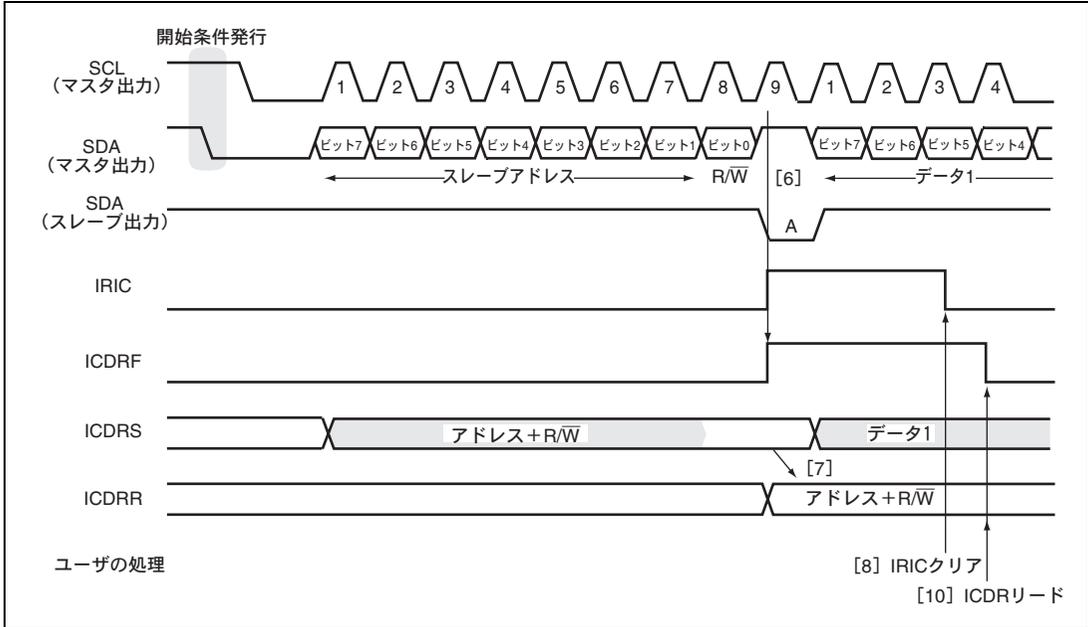


図 16.21 スレーブ受信モード動作タイミング例 1 (MLS=ACKB=0、HNDS=0 のとき)

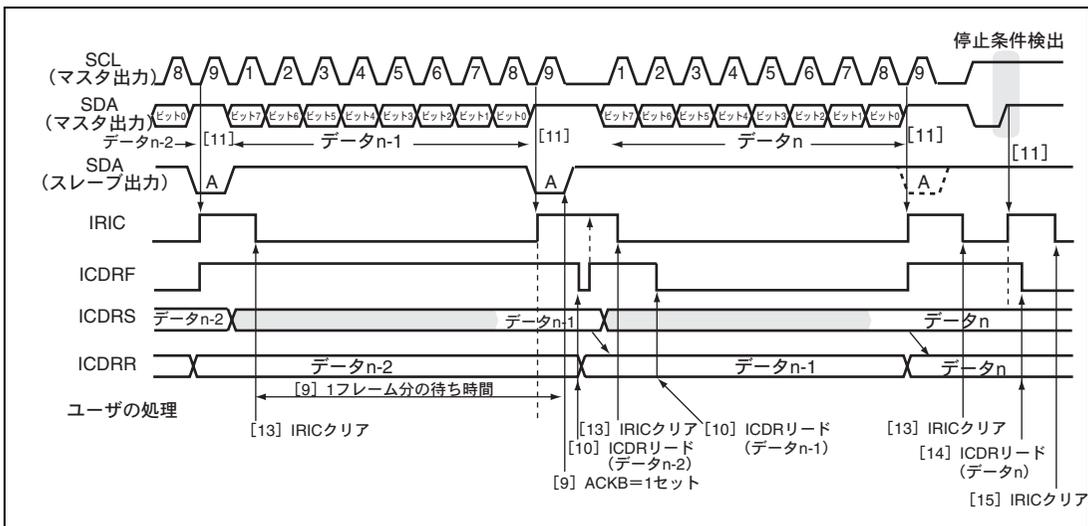


図 16.22 スレーブ受信モード動作タイミング例 2 (MLS=ACKB=0、HNDS=0 のとき)

### 16.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ (R/W) が1（リード）のときに ICCR の TRS ビットが自動的に1にセットされ、スレーブ送信モードになります。

図 16.23 にスレーブ送信モードのフローチャート例を示します。

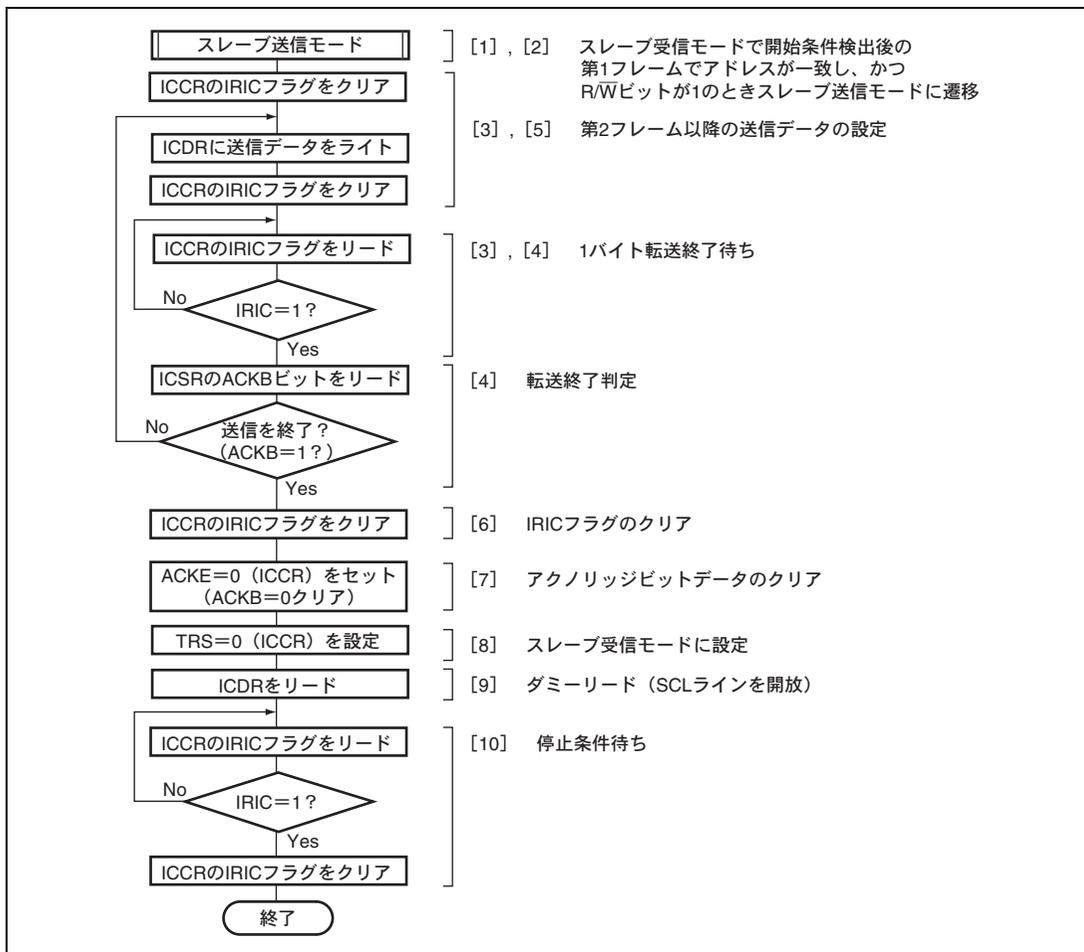


図 16.23 スレーブ送信モードのフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ (R/W) が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロックの立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、ICDREフラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。
3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときICDREフラグは0にクリアされます。ライトされたデータはICDRSに転送され、ICDREフラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。  
送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。ICDREフラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、ICDREフラグとIRICフラグが再び1にセットされます。ICDREフラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。
5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときICDREフラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。  
4から5を繰り返し行うことにより、送信動作を継続できます。
6. IRICフラグを0にクリアします。
7. 送信を終了する場合は、ICCRのACKEビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
9. スレーブ側でSCLを開放するためにICDRをダミーリードします。
10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。ICXRのSTOPIMビットが0の場合は、IRICフラグが1にセットされます。IRICフラグがセットされているときは、IRICフラグを0にクリアします。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

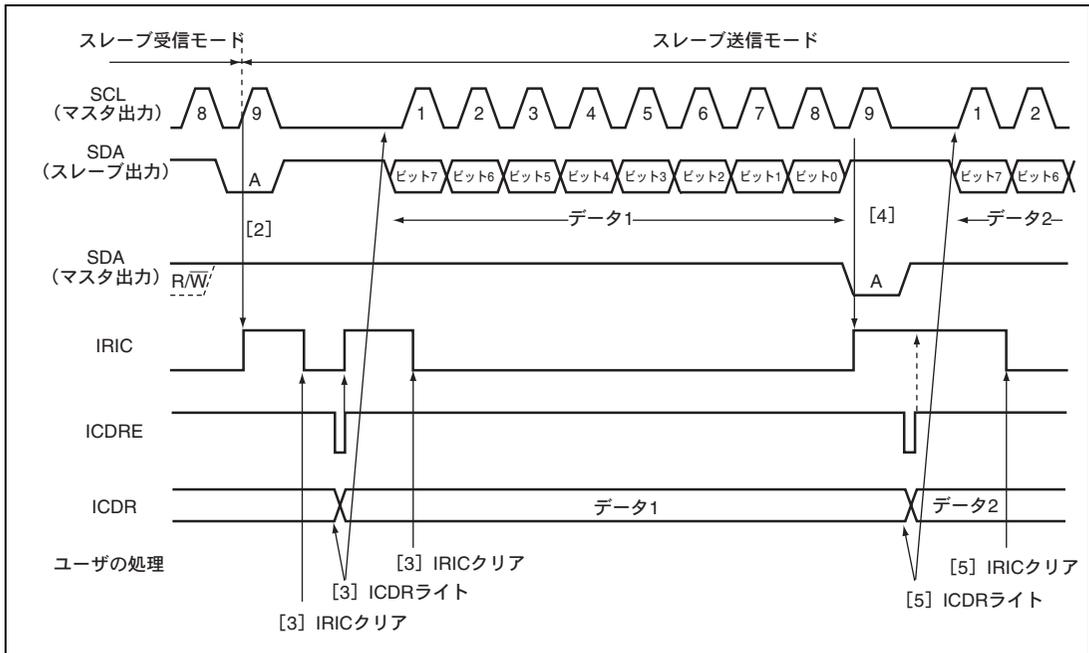


図 16.24 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

## 16.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、ICDRE や ICDRF フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 16.25～図 16.27 に IRIC セットタイミングと SCL 制御を示します。

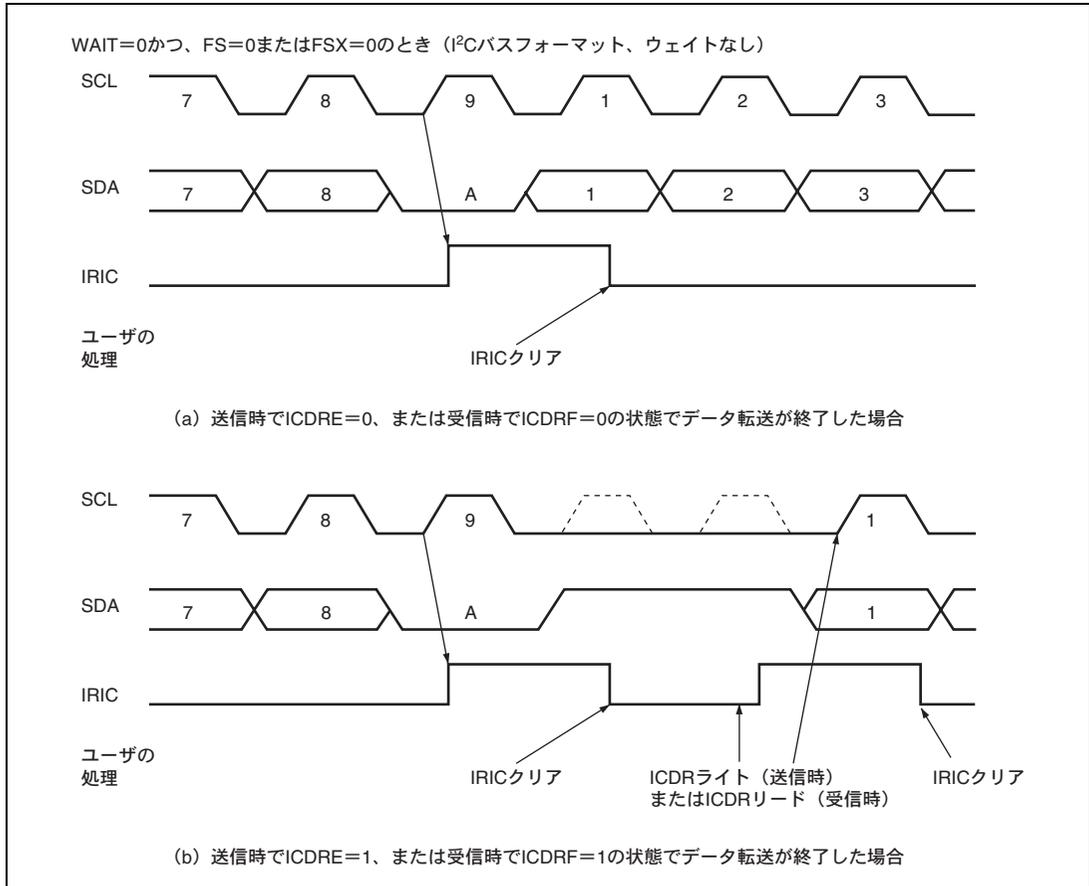


図 16.25 IRIC フラグセットタイミングと SCL 制御 (1)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

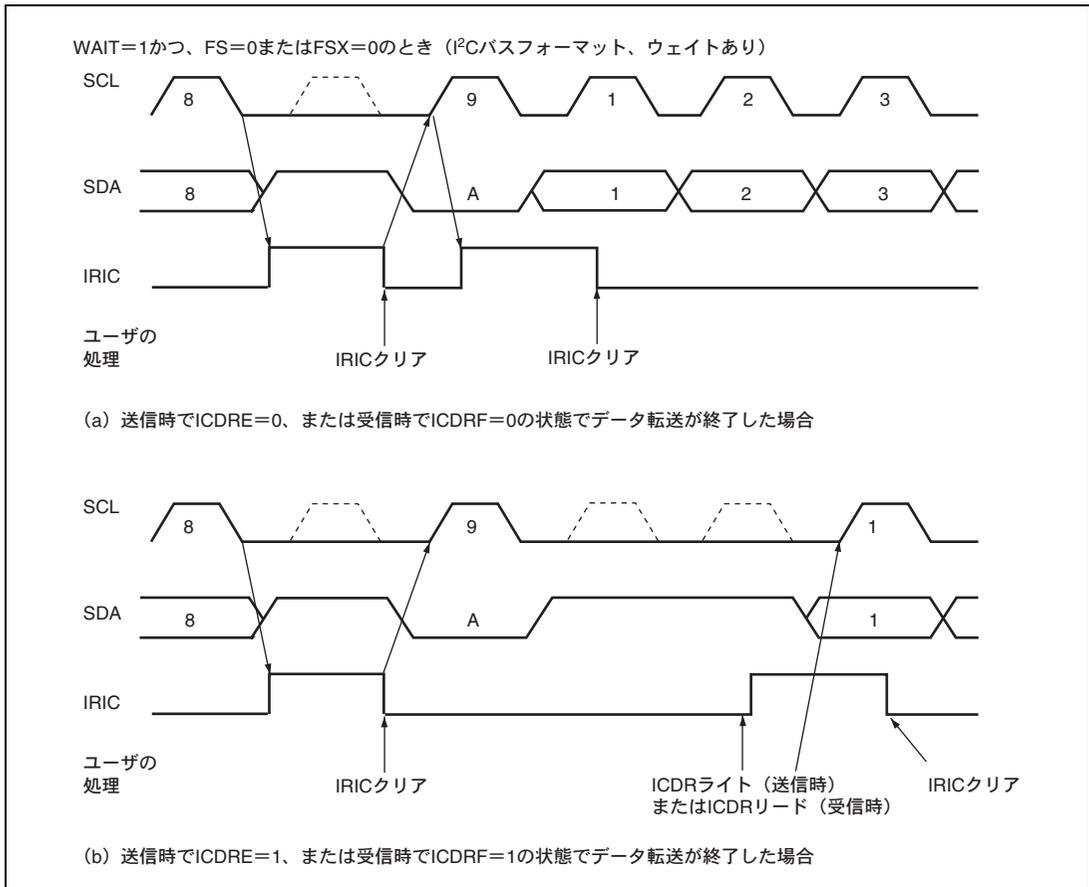


図 16.26 IRIC フラグセットタイミングと SCL 制御 (2)

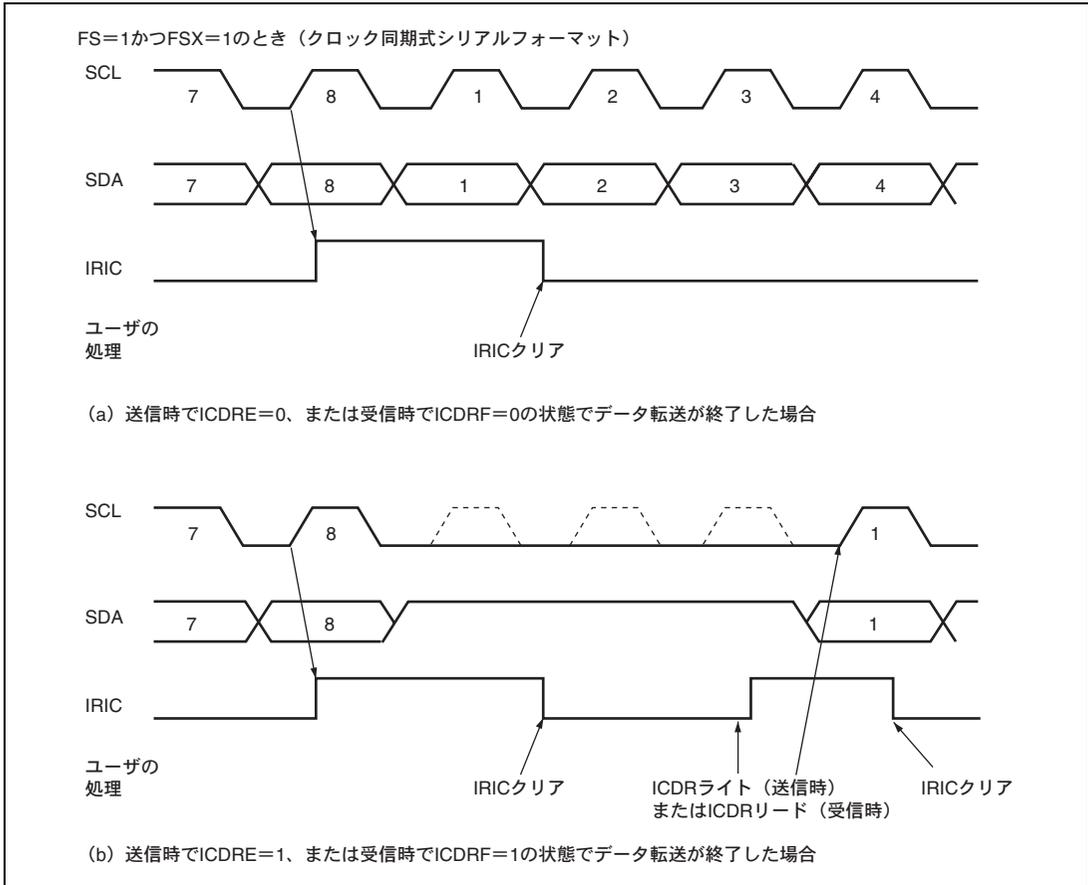


図 16.27 IRIC フラグセットタイミングと SCL 制御 (3)

## 16.4.8 DTC による動作

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に ICDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると ICDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行した後、ICDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、全く意味をもたず 1 固定の場合があります。

I<sup>2</sup>C バスフォーマットでは、スレーブアドレスと R/W ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 16.7 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 16.7 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス+ R/W ビット送信/受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	—	CPU で処理 (ICDR リード)	—	—
本体データ送信/受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	—	—	DTC で処理 (ICDR ライト)	—
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の 転送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で停止条件発行	不要	ダミーデータ (H'FF) 送出中に停止条件を検 出して自動的にクリア	不要
DTC 転送データ フレーム数設定	送信 : 実データ数+1 (+1 は、スレーブアド レス+R/W ビット分)	受信 : 実データ数	送信 : 実データ数+1 (+1 は、ダミーデータ (H'FF) 分)	受信 : 実データ数

### 16.4.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.28 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

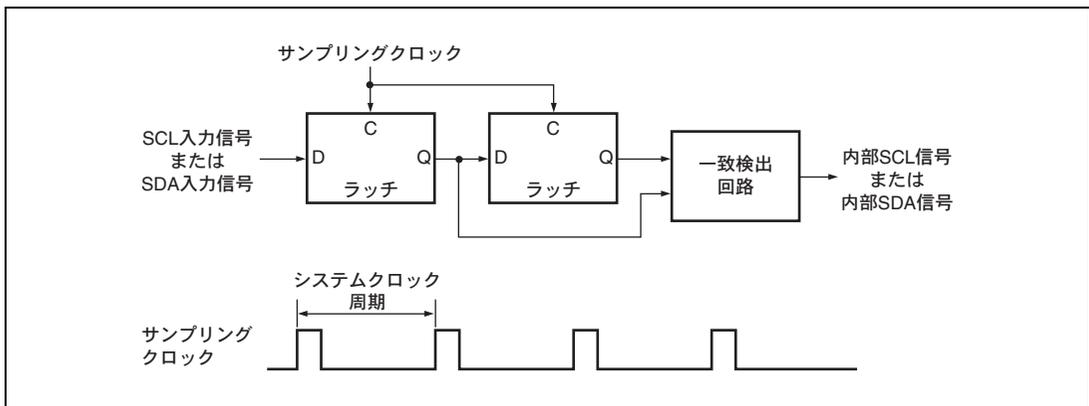


図 16.28 ノイズ除去回路のブロック図

### 16.4.10 内部状態の初期化

本 IIC モジュールは、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能をもっています。

初期化は、(1) DDCSWR レジスタの CLR3~CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3~CLR0 ビットの設定の詳細は、「16.3.7 DDC スイッチレジスタ (DDCSWR)」を参照してください。

#### (1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ICDRE、ICDRF 内部フラグ
- 送信/受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA 端子出力状態を保持するための内部ラッチ（ウェイト、クロック、データ出力など）

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、ICXR (ICDRE、ICDRF フラグ以外))
- ICMR、ICCR、ICSR レジスタのフラグのセット/クリアのためのレジスタリード情報保持用内部ラッチ
- ICMR のビットカウンタ (BC2~BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### (2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- DDCSWRにより初期化を行う場合、CLR3~CLR0ビットのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3~CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。
- また、再度クリアが必要な場合は、同様にすべてのビットとも設定に従い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を開放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、開放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. CLR3~CLR0ビットの設定、またはICEビットによる内部状態の初期化実行
2. BBSYビットを0にクリアするための、停止条件発行命令実行 (BBSY=0かつSCP=0ライト) および、転送レート<sub>2</sub>の2クロック分の期間ウェイト
3. CLR3~CLR0ビットの設定、またはICEビットによる内部状態の初期化の再実行
4. IICの各レジスタの初期化 (再設定)

## 16.5 割り込み要因

IIC の割り込み要因は、IIC1 があります。表 16.8 に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

IIC1 割り込みは、内蔵 DTC の起動要因とすることができます。

表 16.8 IIC 割り込み要因

チャネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	IIC10	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	可	高
1	IIC11	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	可	低

## 16.6 使用上の注意事項

1. マスタモードで、開始条件生成のための命令を発行した際に、実際に開始条件がI<sup>2</sup>Cバスに出力される前に停止条件生成のための命令を発行すると、開始条件も停止条件も正常に出力されなくなります。

開始条件に引き続いて停止条件を出力する\*必要がある場合は、開始条件生成のための命令を発行後、各I<sup>2</sup>Cバス出力端子のDRレジスタをリードし、SCL、SDAが共に、Lowレベルになっていることを確認してください。ICEビットに1が設定された状態でもDRレジスタのリードで、端子状態をモニタすることができます。その後、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。

【注】 \* I<sup>2</sup>Cバスの仕様では、不正なフォーマットです。

2. 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
  - ICE=1かつTRS=1かつICDRにライトしたとき (ICDRT→ICDRSの自動転送を含む)
  - ICE=1かつTRS=0かつICDRをリードしたとき (ICDRS→ICDRRの自動転送を含む)
3. SCL、SDA出力は、内部クロックに同期して表16.9に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 16.9 I<sup>2</sup>C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t <sub>SCLC</sub>	28t <sub>cyc</sub> ~256t <sub>cyc</sub>	ns	図 24.26 (参考)
SCL 出力 High パルス幅	t <sub>SCLH</sub>	0.5t <sub>SCLC</sub>	ns	
SCL 出力 Low パルス幅	t <sub>SCLL</sub>	0.5t <sub>SCLC</sub>	ns	
SDA 出力バスフリー時間	t <sub>BUFO</sub>	0.5t <sub>SCLC</sub> - 1t <sub>cyc</sub>	ns	
開始条件出力ホールド時間	t <sub>STAHO</sub>	0.5t <sub>SCLC</sub> - 1t <sub>cyc</sub>	ns	
再送開始条件出力セットアップ時間	t <sub>STASO</sub>	1t <sub>SCLC</sub>	ns	
停止条件出力セットアップ時間	t <sub>STOSO</sub>	0.5t <sub>SCLC</sub> + 2t <sub>cyc</sub>	ns	
データ出力セットアップ時間 (マスタ時)	t <sub>SDASO</sub>	1t <sub>SCLC</sub> - 3t <sub>cyc</sub>	ns	
データ出力セットアップ時間 (スレーブ時)		1t <sub>SCLL</sub> - (6t <sub>cyc</sub> または 12t <sub>cyc</sub> *)	ns	
データ出力ホールド時間	t <sub>SDAHO</sub>	3t <sub>cyc</sub>	ns	

【注】 \* IICX が 0 のとき 6 t<sub>cyc</sub>、IICX が 1 のとき 12 t<sub>cyc</sub> となります。

4. SCL、SDA入力は、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、「第24章 電気的特性」のI<sup>2</sup>Cバスタイミングに示すように、システムクロック周期t<sub>cyc</sub>に依存しています。システムクロック周波数が5MHzに満たないと、I<sup>2</sup>CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

5. SCLの立ち上がり時間 $t_{sr}$ は、I<sup>2</sup>Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I<sup>2</sup>Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごと同期をとりながら通信を行います。そのためSCLの立ち上がり時間 $t_{sr}$ （Lowレベルから $V_{IH}$ まで変化する時間）が、I<sup>2</sup>Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表16.10に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 16.10 SCL 立ち上がり時間 ( $t_{sr}$ ) の許容範囲

IICX	$t_{cyc}$ 表示	時間表示 [ns]					
		I <sup>2</sup> C バス仕様(max.)	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$	
0	7.5 $t_{cyc}$	標準モード	1000	937	750	468	375
		高速モード	300	←	←	←	←
1	17.5 $t_{cyc}$	標準モード	1000	←	←	←	875
		高速モード	300	←	←	←	←

6. SCL、SDAの立ち上がり、立ち下がり時間は、I<sup>2</sup>Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I<sup>2</sup>CバスインタフェースのSCL、SDA出力タイミングは、表16.9に示すように $t_{cyc}$ によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI<sup>2</sup>Cバスインタフェースの仕様を満足しない場合があります。表16.11は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

$t_{BUFO}$ はどの周波数でもI<sup>2</sup>Cバスインタフェースの仕様を満足しません。これに対しては、(a) 停止条件発行後、開始条件の発行まで必要なインターバル（1 $\mu$ s程度）を確保するようプログラムする必要があります。あるいは、(b) I<sup>2</sup>Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の $t_{SCLLO}$ 、標準モード時の $t_{STASO}$ では、 $t_{sr}/t_{sr}$ をワーストケースとして計算した場合にI<sup>2</sup>Cバスインタフェースの仕様を満足しません。(a) プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b) 転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c) I<sup>2</sup>Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 16.11 I<sup>2</sup>C バスタイミング ( $t_{sr}/t_{sf}$  影響最大の場合)

項目	t <sub>cyc</sub> 表示	時間表示 (最大転送レート時) [ns]						
			$t_{sr}/t_{sf}$ 影響(max.)	I <sup>2</sup> C バス 仕様(min.)	φ = 8MHz	φ = 10MHz	φ = 16MHz	φ = 20MHz
t <sub>SCLHO</sub>	0.5t <sub>SCLO</sub> (-t <sub>sr</sub> )	標準モード	-1000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950
t <sub>SCLLO</sub>	0.5t <sub>SCLO</sub> (-t <sub>sr</sub> )	標準モード	-250	4700	4750	4750	4750	4750
		高速モード	-250	1300	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>
t <sub>SUFO</sub>	0.5t <sub>SCLO</sub> -1t <sub>cyc</sub> (-t <sub>sr</sub> )	標準モード	-1000	4700	3875* <sup>1</sup>	3900* <sup>1</sup>	3939* <sup>1</sup>	3950* <sup>1</sup>
		高速モード	-300	1300	825* <sup>1</sup>	850* <sup>1</sup>	888* <sup>1</sup>	900* <sup>1</sup>
t <sub>STAHO</sub>	0.5t <sub>SCLO</sub> -1t <sub>cyc</sub> (-t <sub>sr</sub> )	標準モード	-250	4000	4625	4650	4688	4700
		高速モード	-250	600	875	900	938	950
t <sub>STASO</sub>	1t <sub>SCLO</sub> (-t <sub>sr</sub> )	標準モード	-1000	4700	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200
t <sub>STOSO</sub>	0.5t <sub>SCLO</sub> +2t <sub>cyc</sub> (-t <sub>sr</sub> )	標準モード	-1000	4000	4250	4200	4125	4100
		高速モード	-300	600	1200	1150	1075	1050
t <sub>SDASO</sub> マスタ時	1t <sub>SCLLO</sub> * <sup>3</sup> -3t <sub>cyc</sub> (-t <sub>sr</sub> )	標準モード	-1000	250	3325	3400	3513	3550
		高速モード	-300	100	625	700	813	850
t <sub>SDASO</sub> スレーブ時	1t <sub>SCLL</sub> * <sup>3</sup> -12t <sub>cyc</sub> * <sup>2</sup> (-t <sub>sr</sub> )	標準モード	-1000	250	2200	2500	2950	3100
		高速モード	-300	100	-500* <sup>1</sup>	-200* <sup>1</sup>	250	400
t <sub>SDAHO</sub>	3t <sub>cyc</sub>	標準モード	0	0	375	300	188	150
		高速モード	0	0	375	300	188	150

【注】 \*1 I<sup>2</sup>C バスインタフェースの仕様を満足しません。以下の4つの対応などが必要です。

- (1) 開始/停止条件発行のインターバルを確保する。
- (2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。
- (3) 転送レートを下げて調整する。
- (4) 入カタイミングが本出カタイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合せ、I<sup>2</sup>C バスインタフェースの仕様を満足するか検討してください。

\*2 IICX ビットが1のときです。IICX ビットを0に設定すると、(t<sub>SCLL</sub>-6t<sub>cyc</sub>) となります。

\*3 I<sup>2</sup>C バス仕様値 (標準モード : 4700ns min.、高速モード : 1300ns min.) で計算しています。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 7. マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。この後で受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDR (ICDRR) に転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRSビットが0の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態(ICDR)をリードしてください。

このとき、停止条件発行のための命令実行 (ICCRのBBSY=0かつSCP=0をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDRのデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図16.29 (a) の期間中 (ICCRのBBSYビットの0クリア確認後) に行ってください。

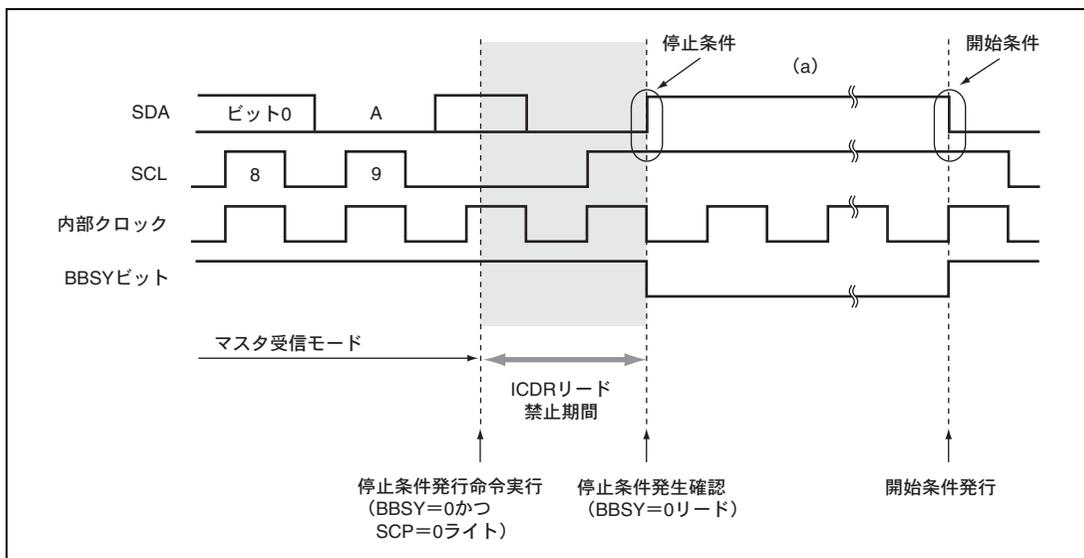


図 16.29 マスタ受信データの読み出しにおける注意

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

## 8. 再送のための開始条件発行時の注意事項

図16.30に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成した後でICDRに送信データをライトしてください。

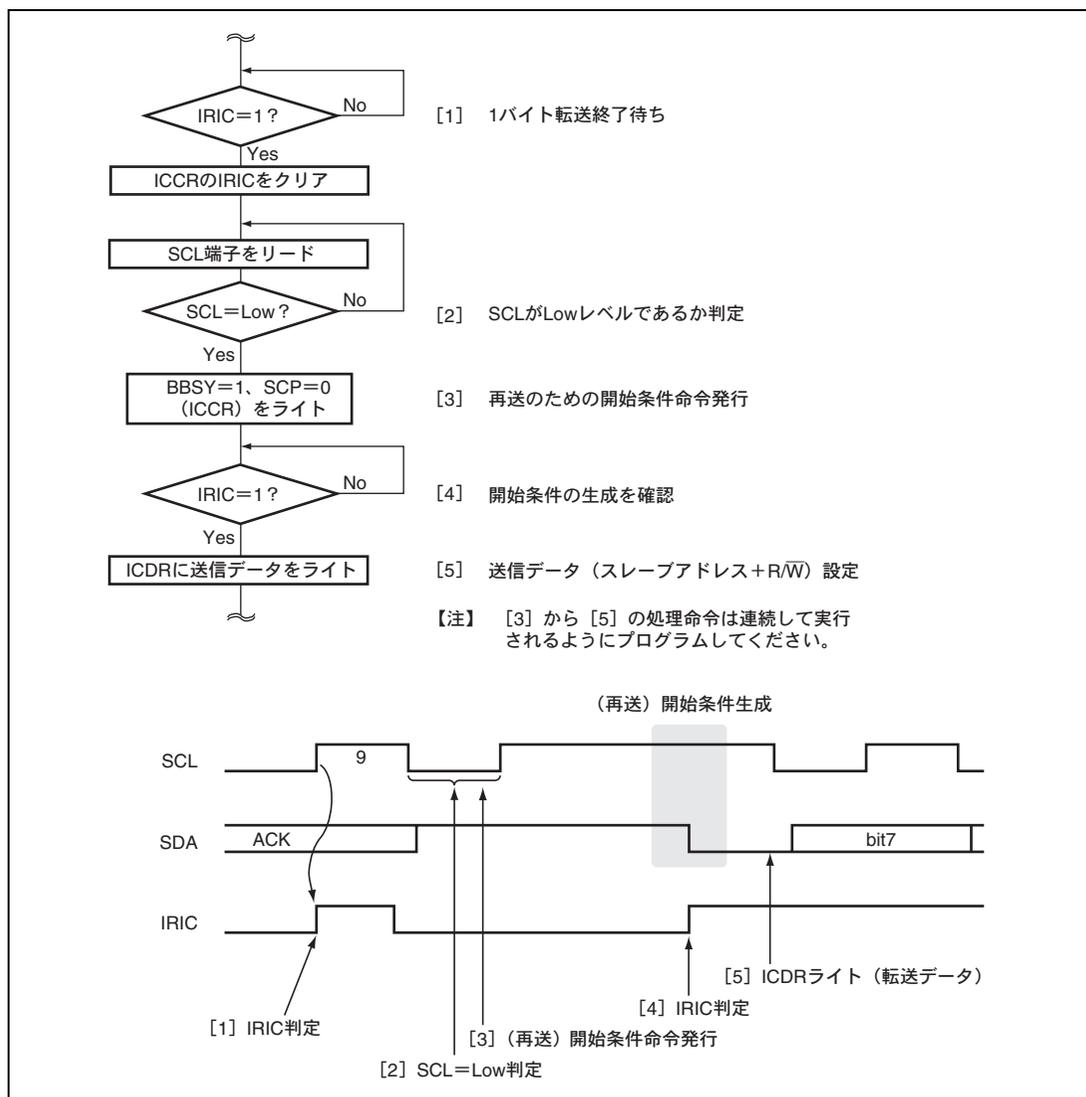


図 16.30 再送のための開始条件命令発行フローチャートおよびタイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 9. I<sup>2</sup>Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

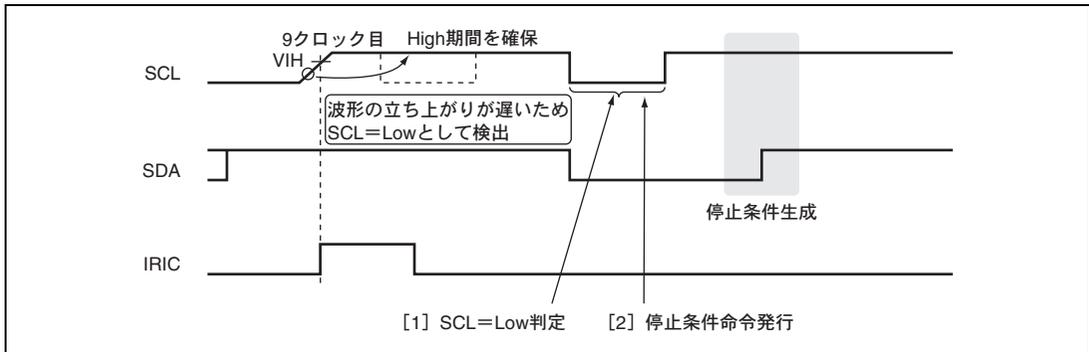


図 16.31 停止条件発行タイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

### 10. ウェイト機能使用時のIRICフラグクリアの注意事項

I<sup>2</sup>Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を越えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

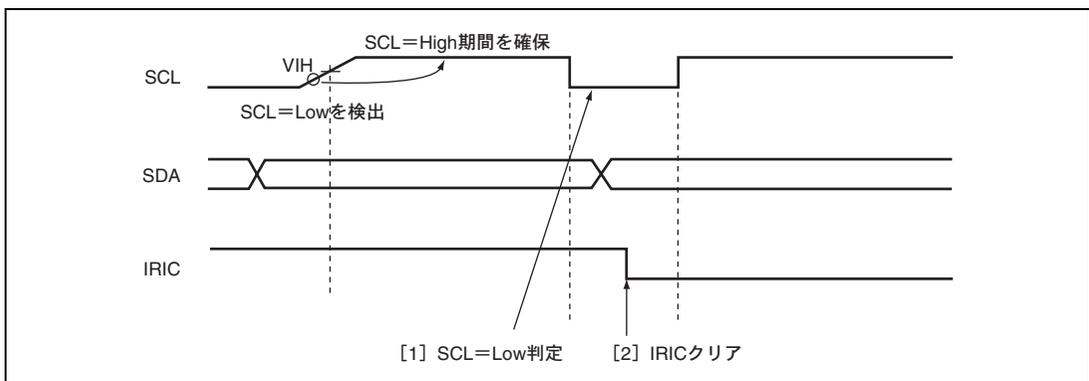


図 16.32 WAIT=1 状態での IRIC フラグクリアタイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

## 11. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I<sup>2</sup>Cバスインタフェースのスレーブモード送信動作では、図16.33の網がけ期間中にICDRのリードまたは、ICCRのリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRのリード動作および、ICCRのリード/ライト動作を完了させるようにしてください。
- ICMRのBC2~BC0ビットカウンタをモニタし、BC2~BC0=B'000（8クロック目または9クロック目）の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRのリードまたは、ICCRのリード/ライト動作を行ってください。

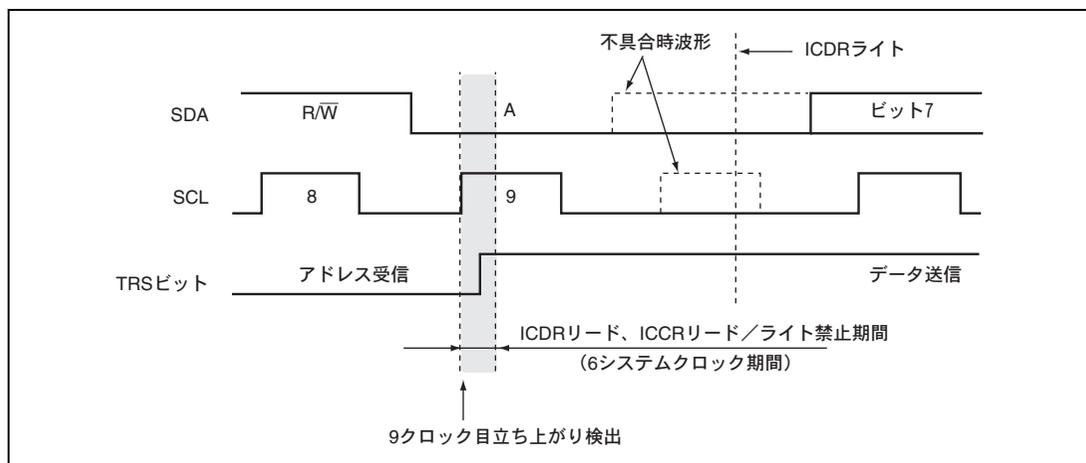


図 16.33 スレーブ送信モードでのICDRリード、ICCRアクセスタイミング

【注】 本使用上の制限はICXRレジスタのFNC1、FNC0ビットにB'11を設定することで解除することができます。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 12. スレープモードでのTRSビット設定の注意事項

I<sup>2</sup>Cバスインタフェースのスレープモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（図16.34 (a) の期間）は、ICCRのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（図16.34 (b) の期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレープモードのアドレス受信を行う場合は、図16.34 (a) の期間中に、TRSビットを0クリアしてください。スレープモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRのダミーリードにより行います。

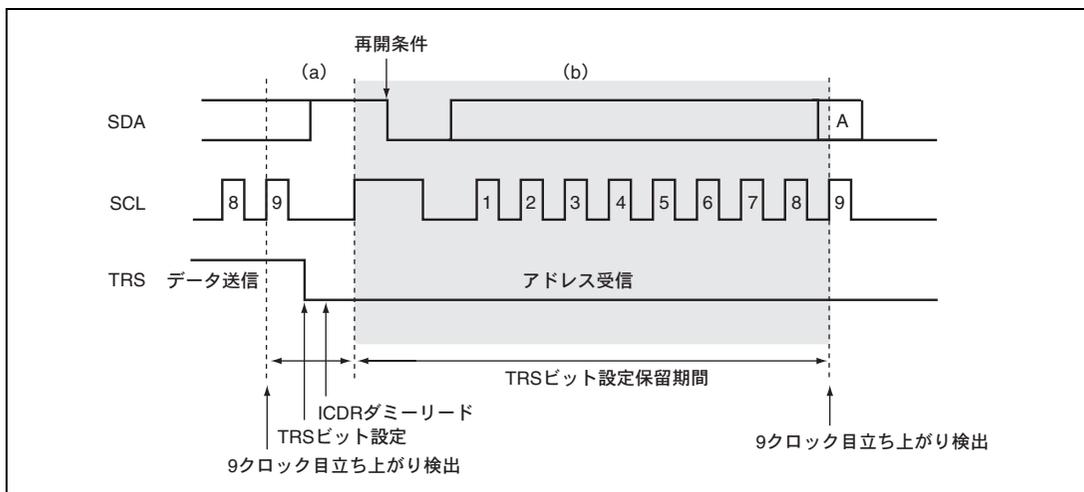


図 16.34 スレープモードでの TRS ビット設定タイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

### 13. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード（TRS=1）でのICDRリード動作または、受信モード（TRS=0）でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRのアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

## 14. スレーブモードでのACKビットとTRSビットの注意事項

I<sup>2</sup>Cバスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDREフラグセットおよびアクノリッジビットとして1を受信 (ACKB=1) することでIRICフラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I<sup>2</sup>Cバスインタフェースモジュールでスレーブモード動作を行う際は、下記の処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRのACKビットをいったん0にクリアすることで、ACKビットを0に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。  
スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、**図16.23**に従って送信を終了してください。

## 15. マスタモードでのアービトレーションロスト発生時の注意事項

I<sup>2</sup>Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I<sup>2</sup>Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。(図15.35参照)

マルチマスタ環境でバス権の競合が起り得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

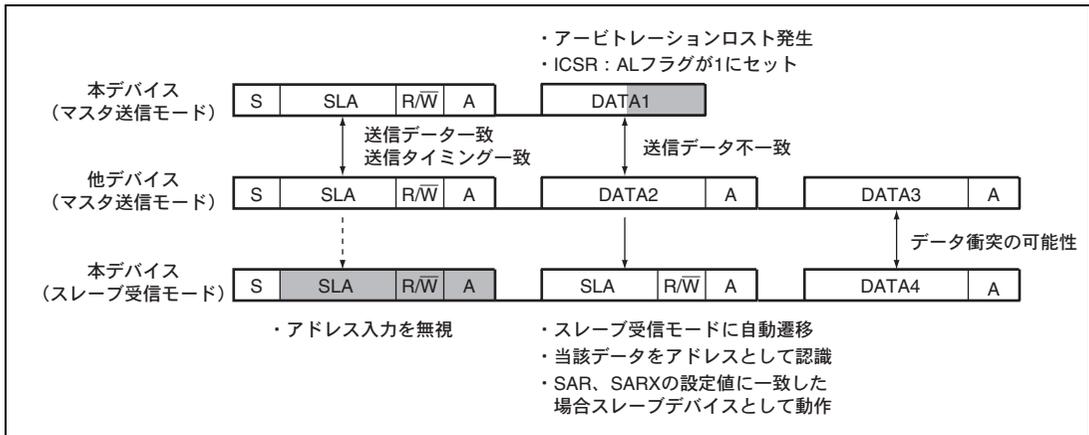


図 16.35 アービトレーションロスト時の動作模式図

本来のI<sup>2</sup>Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

- (1) MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。
- (2) MSTビットに1を設定する。
- (3) MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後も、ICCRのBBSYフラグが0であることを確認する。

【注】 本使用上の制限は ICXR の FNC1、FNC0 ビットに B'11 を設定することで解除できます。

### 16.6.1 マスタモードでのウェイト動作に関する注意点

マスタモード動作で ICMR レジスタの WAIT ビットに 1 を設定してウェイト動作を行っているときに、割り込みフラグ IRIC ビットを 7 クロック目の立ち下がりから 8 クロック目の立ち下がりの間の期間に 1 から 0 にクリアした場合、8 クロック目の立ち下がり後にウェイトが入らず、9 クロック目のクロックパルスが連続的に出力されることがあります。

マスタモードでウェイトを行う場合は、9 クロック目の立ち下がり時に IRIC フラグが 1 にセットされた後、7 クロック目が立ち上がる前 (BC2~BC0 カウンタの値が 2 以上のとき) に IRIC フラグをクリアしてください。

もし割り込み処理などで IRIC フラグクリアが遅れて RC カウンタの値が 1 または 0 になった場合は、BC2~BC0 カウンタが 0 になった後 SCL 端子が L 状態になったことを確認してから IRIC フラグをクリアしてください (図 16.36 参照)。

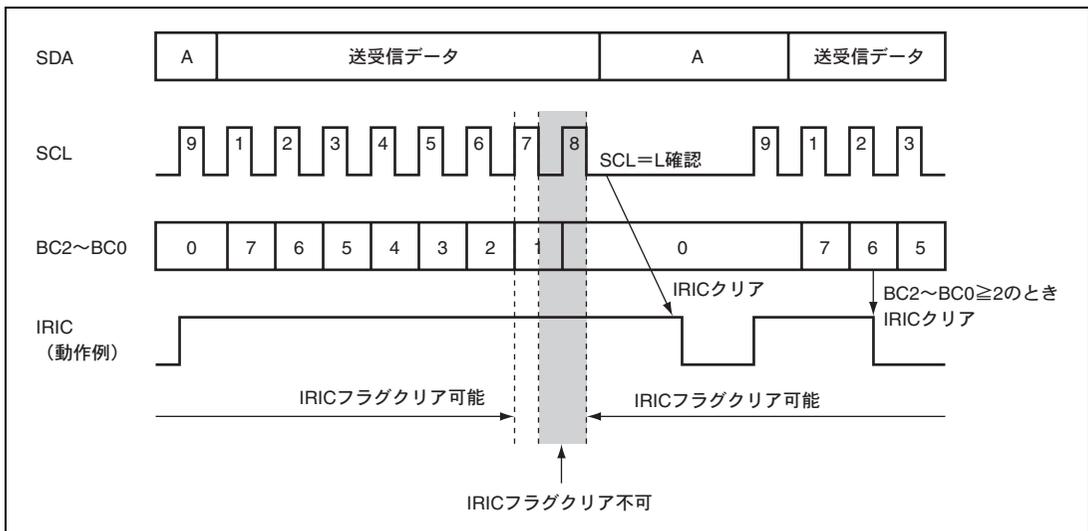


図 16.36 ウェイト動作時 IRIC フラグクリアタイミング

【注】 本使用上の制限事項は、ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

### 16.6.2 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IIC の動作停止/許可を設定することが可能です。初期値では IIC の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。



---

## 17. A/D 変換器

---

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力ができます。

### 17.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネルのアナログ入力
- アナログ電源電圧端子（AVCC）をアナログ基準電圧として、アナログ変換電圧範囲を設定します
- 変換時間：1チャンネル当たり13.4  $\mu$ s（20MHz動作時）
- 動作モード：2種類
  - シングルモード：1チャンネルのA/D変換
  - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
  - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
  - ソフトウェア
  - タイマ（8ビットタイマ）の変換開始トリガ
  - 外部トリガ信号（ $\overline{\text{ADTRG}}$ ）
- 割り込み要因
  - A/D変換終了割り込み要求（ADI）を発生

## 17. A/D 変換器

A/D 変換器のブロック図を図 17.1 に示します。

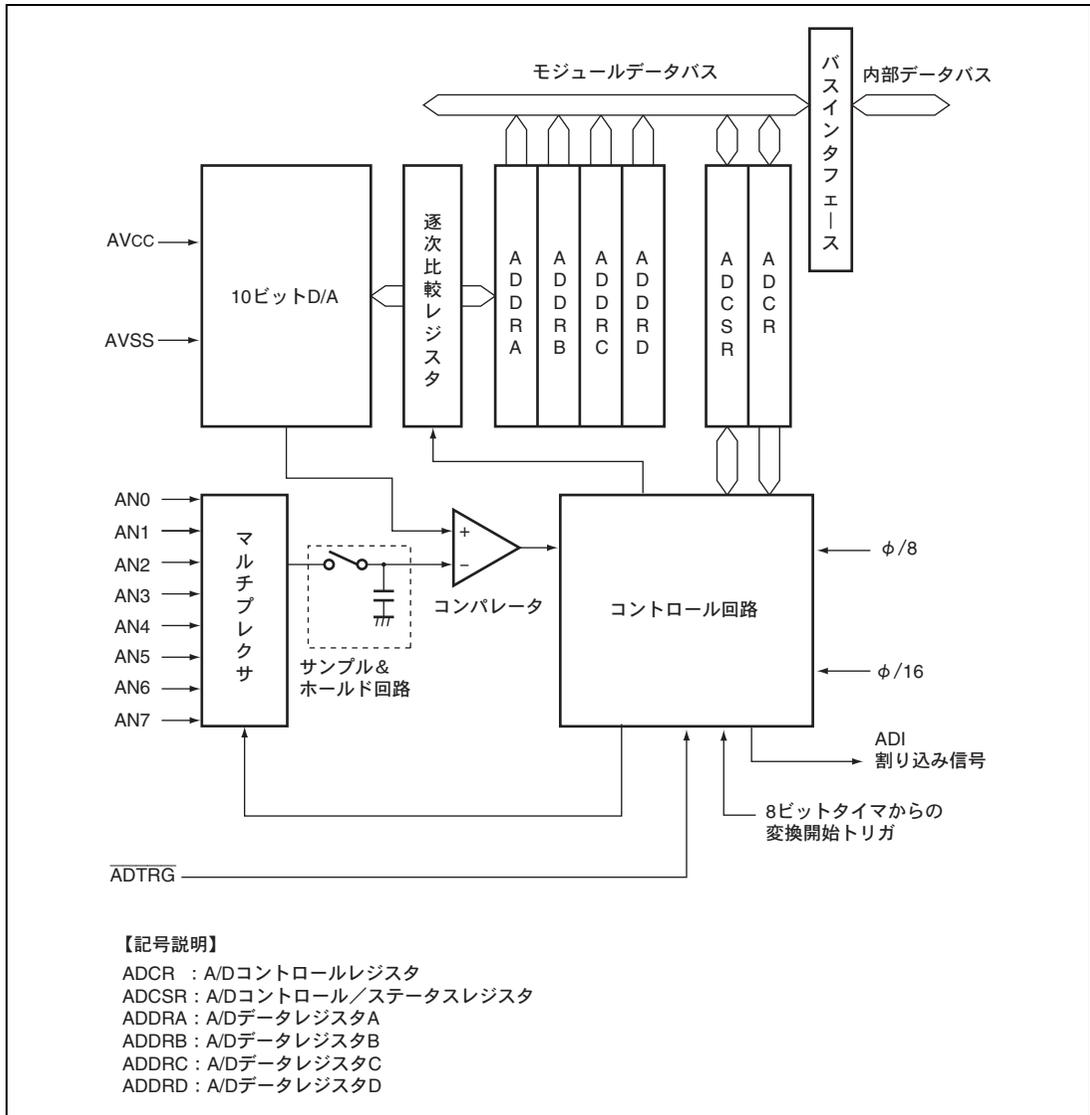


図 17.1 A/D 変換器のブロック図

## 17.2 入出力端子

A/D 変換器で使用する端子を表 17.1 に示します。8 本のアナログ入力端子は 4 チャンネル×2 グループに分割されています。アナログ入力端子 0~3 (AN0~AN3) がグループ 0、アナログ入力端子 4~7 (AN4~AN7) がグループ 1 になっています。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 17.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力端子

## 17.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

### 17.3.1 A/D データレジスタ A～D (ADDRA～ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。各アナログ入力チャネルの変換結果が格納される ADDR は表 17.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイト、下位バイトの順でアクセスしてください。

表 17.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		変換結果が格納される A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

## 17.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説 明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> <li>• シングルモードで A/D 変換が終了したとき</li> <li>• スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• ADI 割り込みにより DTC が起動され、ADDR をリードしたとき</li> </ul>
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 0 : シングルモード 1 : スキャンモード 動作モードの切り替えは、ADST=0 の状態で行ってください。
3	CKS	0	R/W	クロックセレクト A/D 変換時間を設定します。 0 : 変換時間=266 ステート (Max) 1 : 変換時間=134 ステート (Max) (システムクロック (φ) が 16MHz 以下) 変換時間の切り替えは、ADST=0 の状態で行ってください。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャンネルセレクト 2~0 アナログ入力チャンネルを選択します。 SCAN=0 のとき 000 : AN0 001 : AN1 010 : AN2 011 : AN3 100 : AN4 101 : AN5 110 : AN6 111 : AN7 SCAN=1 のとき 000 : AN0 001 : AN0、AN1 010 : AN0~AN2 011 : AN0~AN3 100 : AN4 101 : AN4、AN5 110 : AN4~AN6 111 : AN4~AN7 入力チャンネルの切り替えは、ADST=0 の状態で行ってください。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 17. A/D 変換器

---

### 17.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説 明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時 (ADST=0) に行ってください。 00 : 外部トリガによる A/D 変換の開始を禁止 01 : 設定禁止 10 : TMR からの変換トリガによる A/D 変換の開始 11 : $\overline{\text{ADTRG}}$ による A/D 変換の開始
5~0	—	すべて 1	R/W	リザーブビット 初期値を変更しないでください。

## 17.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

### 17.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

### 17.4.2 スキャンモード

スキャンモードは指定された最大 4 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、グループの第 1 チャンネル（ADCSR の CH2 ビットが 0 のとき AN0、CH2 ビットが 1 のとき AN4）から A/D 変換を開始します。
2. それぞれのチャンネルの A/D 変換が終了すると A/D 変換結果は順次そのチャンネルに対応する A/D データレジスタに転送されます。
3. 選択されたすべてのチャンネルの A/D 変換が終了すると ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びグループの第 1 チャンネルから A/D 変換を開始します。
4. ADST ビットは自動的にクリアされず、1 にセットされている間は 2.~3. を繰り返します。ADST ビットを 0 にクリアすると A/D 変換は停止します。

### 17.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間( $t_D$ )経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 17.2 に示します。また、A/D 変換時間を表 17.3 に示します。

A/D 変換時間( $t_{CONV}$ )は、図 17.2 に示すように、 $t_D$ と入力サンプリング時間( $t_{SPL}$ )を含めた時間となります。ここで  $t_D$  は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 17.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 17.3 に示す値が 1 回目の変換時間となります。2 回目以降は CKS=0 の場合は 266 ステート (固定)、CKS=1 の場合は 134 ステート (固定) となります。134 ステートの変換時間はシステムクロック ( $\phi$ ) が 16MHz 以下のときのみ使用してください。

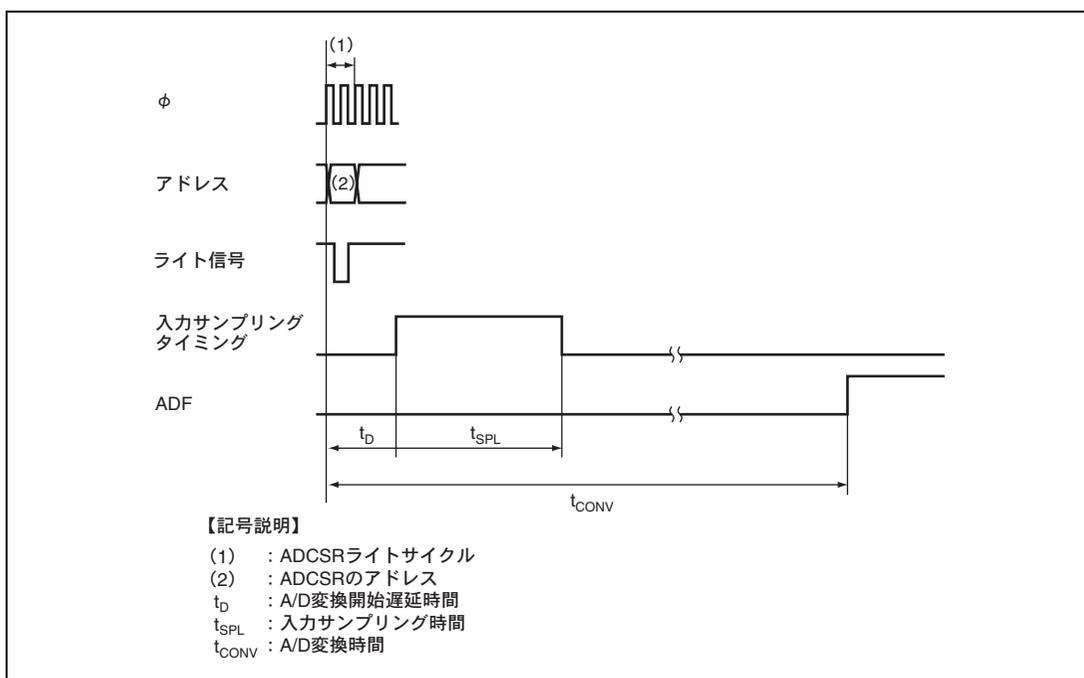


図 17.2 A/D 変換タイミング

表 17.3 A/D 変換時間 (シングルモード)

項目	記号	CKS=0			CKS=1*		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_D$	10	—	17	6	—	9
入力サンプリング時間	$t_{SPL}$	—	63	—	—	31	—
A/D 変換時間	$t_{CONV}$	259	—	266	131	—	134

【注】 表中の数値の単位はステートです。

\* システムクロック ( $\phi$ ) が 16MHz 以下

#### 17.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 $\overline{\text{ADTRG}}$  端子から入力されます。 $\overline{\text{ADTRG}}$  の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 17.3 に示します。

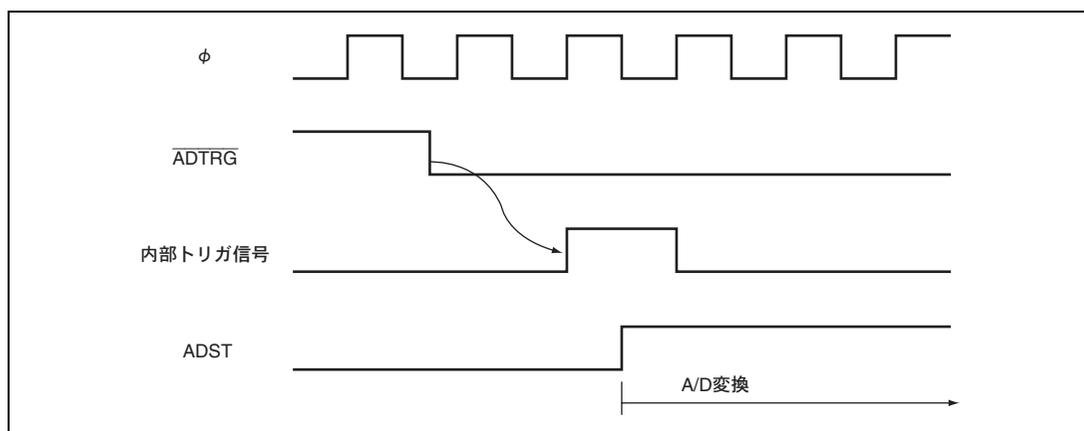


図 17.3 外部トリガ入力タイミング

#### 17.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み（ADI）を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みは、内蔵 DTC の起動要因とすることができます。

表 17.4 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI 割り込み	A/D 変換終了	ADF	可

## 17.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図17.4)

- オフセット誤差

デジタル出力が最小電圧値B'00 0000 0000 (H'000) からB'00 0000 0001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図17.5)

- フルスケール誤差

デジタル出力がB'11 1111 1110 (H'3FE) からB'11 1111 1111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図17.5)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図17.5)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

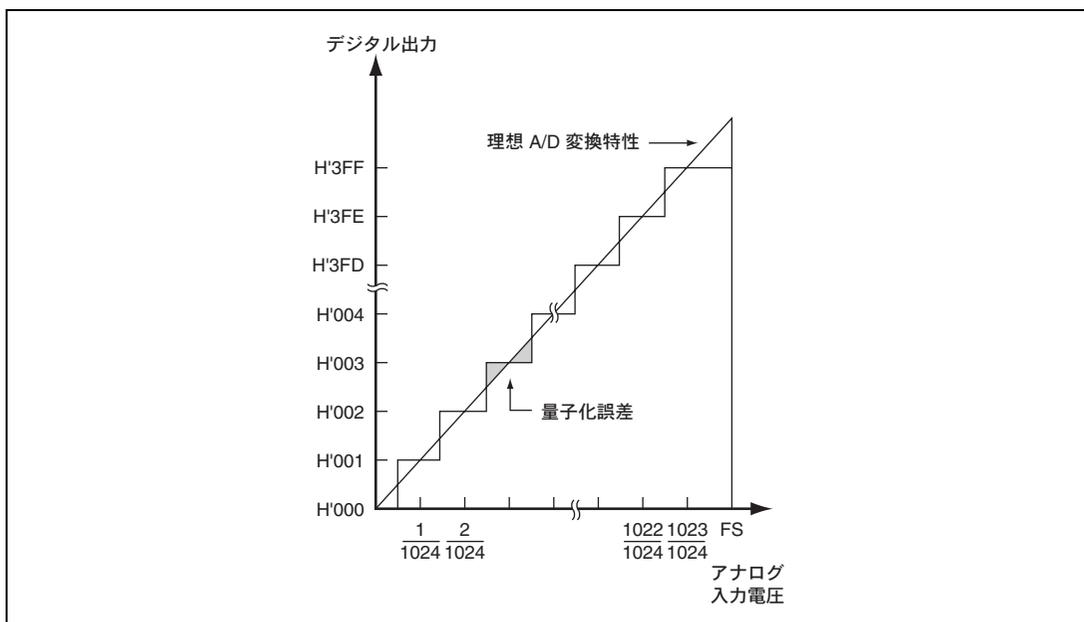


図 17.4 A/D 変換精度の定義

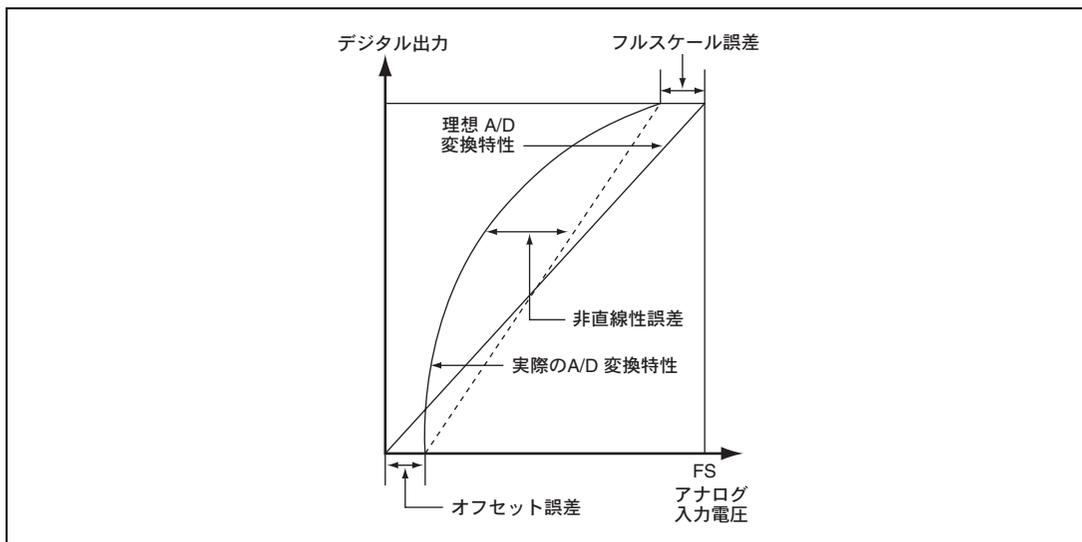


図 17.5 A/D 変換精度の定義

## 17.7 使用上の注意事項

### 17.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力、信号源インピーダンスが  $5\text{k}\Omega$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが  $5\text{k}\Omega$  を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $10\text{k}\Omega$  だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が  $5\text{mV}/\mu\text{s}$  以上）には追従できないことがあります（図 17.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

### 17.7.2 絶対精度への影響

容量を付加することにより、グラウンドとのカップリングを受けることになりますので、グラウンドにノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS 等の電氣的に安定なグラウンドに接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

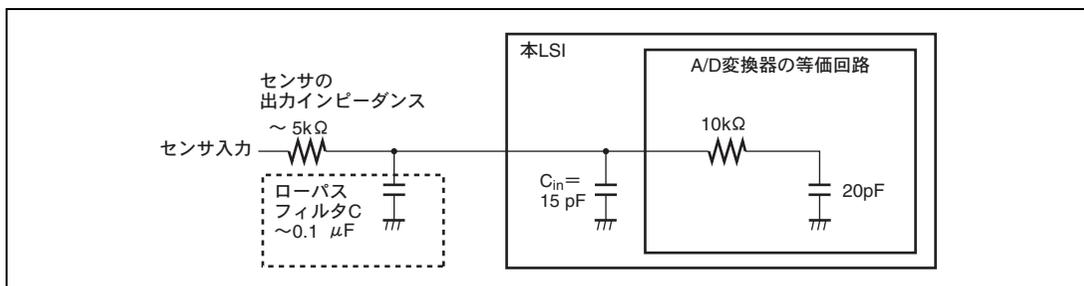


図 17.6 アナログ入力回路の例

### 17.7.3 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子AN<sub>n</sub>に印加する電圧は $AVSS \leq AN_n \leq AVCC$ の範囲としてください。(n=0~7)

- AVCC、VSSとVCC、VSSの関係

AVCC、AVSSとVCC、VSSとの関係は $AVSS = VSS$ 、AVCCとVCCは等しくなくてもよく、大小関係は不問です。また、A/D変換器を使用しないときもACC、AVSS端子をオープンにしないでください。

### 17.7.4 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子 (AN0~AN7)、アナログ電源電圧 (AVCC) は、アナロググラウンド (AVSS) で、デジタル回路と分離してください。さらに、アナロググラウンド (AVSS) は、ボード上の安定したグラウンド (VSS) に一点接続してください。

### 17.7.5 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (AN0~AN7) の破壊を防ぐために、図 17.7 に示すように AVCC-AVSS 間に保護回路を接続してください。AVCC に接続するバイパスコンデンサ、AN0~AN7 に接続するフィルタ用のコンデンサは、必ず AVSS に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス ( $R_{in}$ ) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

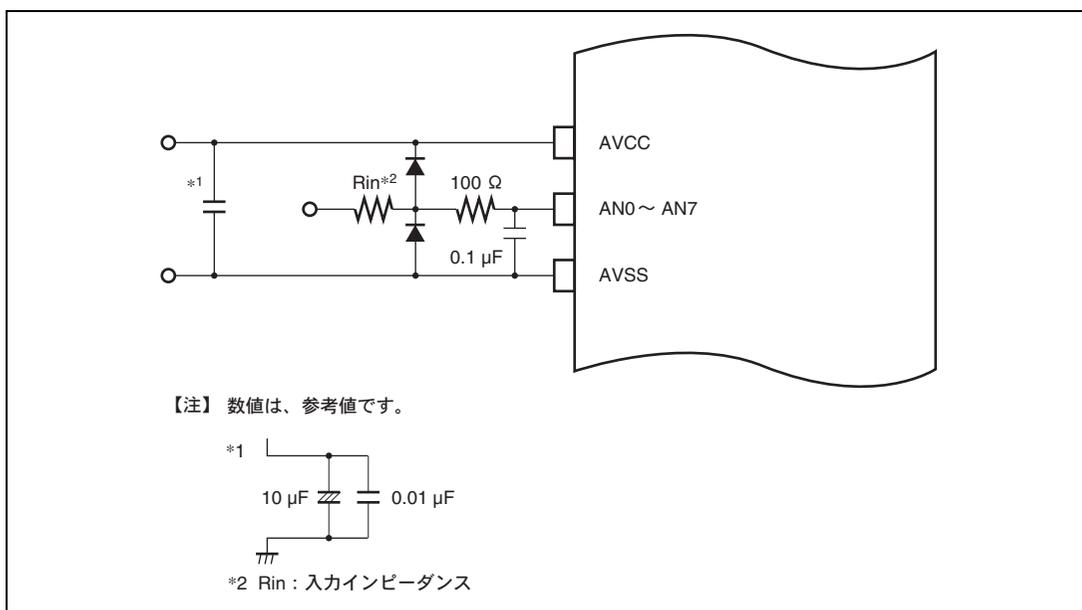


図 17.7 アナログ入力保護回路の例

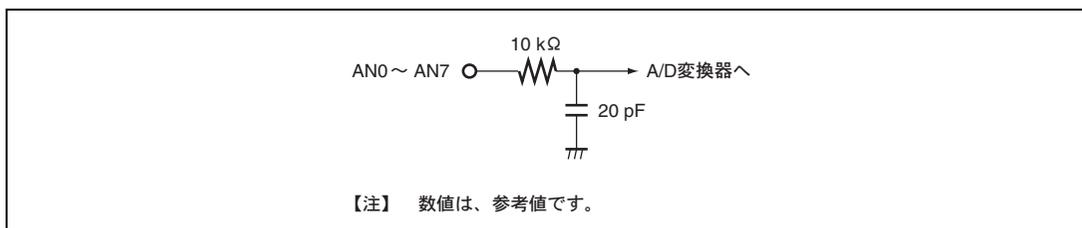


図 17.8 アナログ入力端子等価回路

### 17.7.6 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作停止／許可を設定することが可能です。初期値では A/D 変換器の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

---

## 18. RAM

---

本 LSI は 8K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。



---

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 19.1 に示します。

### 19.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2125	R4F2125	512K バイト	H'000000~H'07FFFF (モード 2) H'0000~H'DFFF (モード 3)

- LSI起動モードに合わせた2種類のフラッシュメモリマット

内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間（以下メモリマットと呼びます）があり、起動時のモード設定により、どちらのメモリマットから起動するかを選択できます。また、起動後もバンク切り替え方式でマットを切り替えることも可能です。

ユーザモードでパワーオンリセット時に起動するユーザメモリマット：512Kバイト

ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマット：8Kバイト

- 内蔵プログラムのダウンロードによる書き込み／消去インタフェース

本LSIでは専用の書き込み／消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み／消去が可能です。

- 書き込み／消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて3ms (typ)、1バイト当たり換算にて約25 $\mu$ s、消去時間は64KBブロックあたり1000ms (typ) です。

- 書き換え回数

フラッシュメモリの書き換えは、100回 (min.回数) 可能です (保証は1~100回の範囲)。

- オンボードプログラミングモード：3種類

ブートモード：

内蔵SCIインタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード：

任意のインタフェースで、ユーザマットの書き換えができます。

ユーザブートモード：

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

- 書き込み/消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。

- ライターモード

PROMライターを用いたライターモードで、ユーザマットとユーザブートマットの書き換えが可能です。

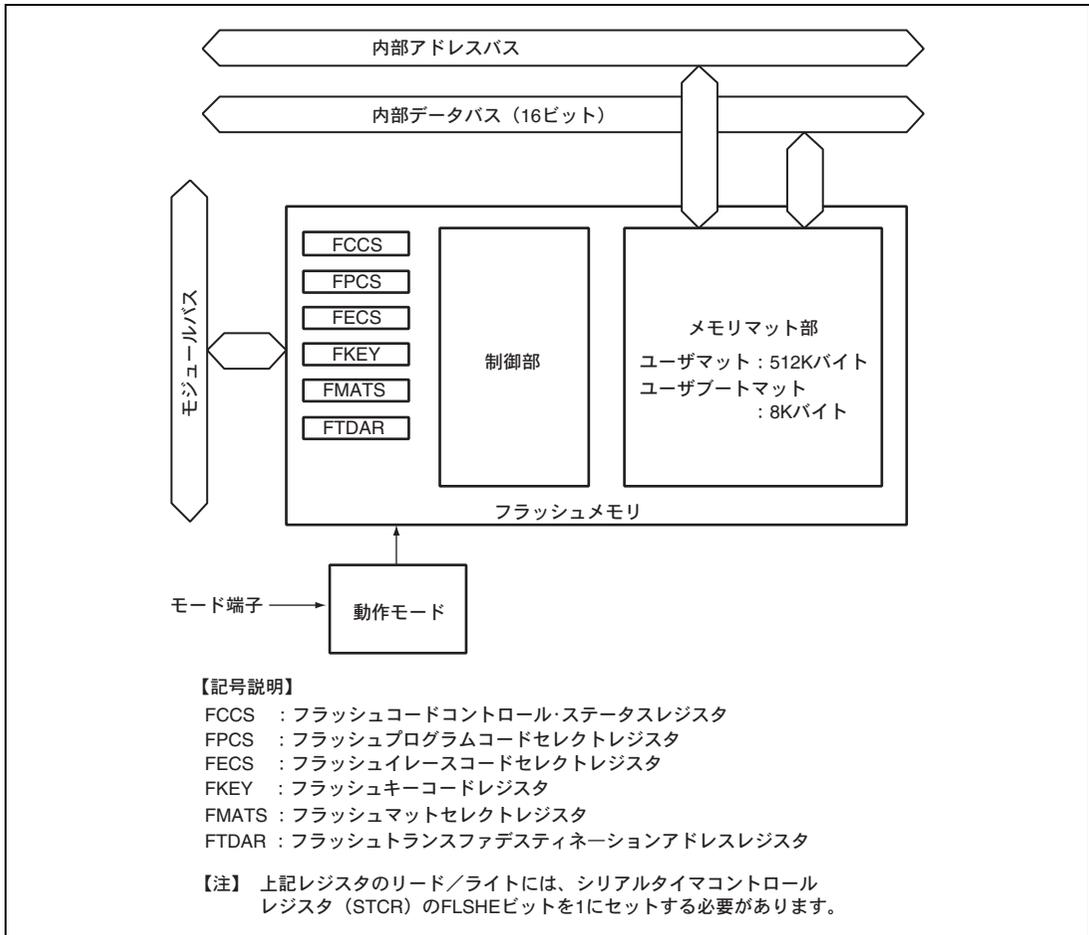


図 19.1 フラッシュメモリのブロック図

### 19.1.1 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は図 19.2 に示すような動作モードへ遷移します。

1. ユーザモードではフラッシュメモリの読み出しはできますが、書き込み/消去はできません。
2. オンボードでフラッシュメモリの読み出し/書き込み/消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
3. ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し/書き込み/消去を行います。

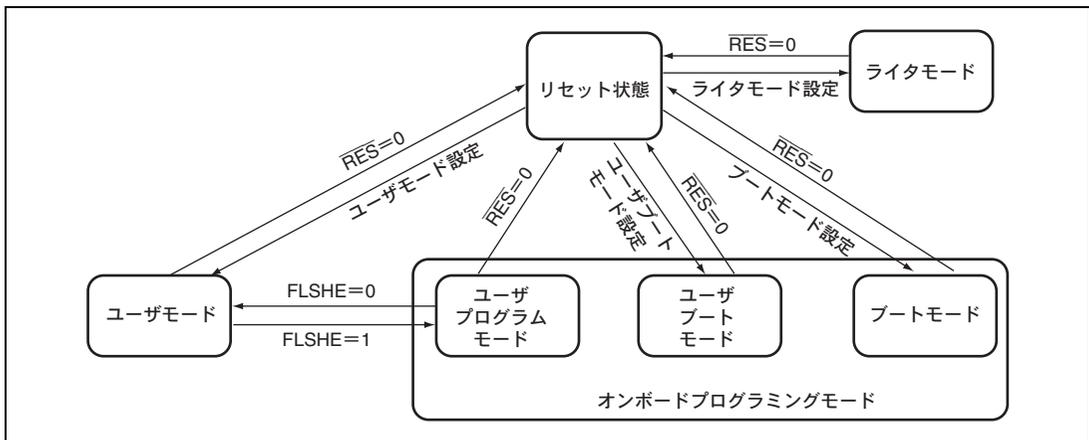


図 19.2 フラッシュメモリに関するモード遷移図

### 19.1.2 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み/消去関連項目の比較表を表 19.1 に示します。

表 19.1 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み/消去環境	オンボード			PROMライター
書き込み/消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
全面消去	○ (自動)	○	○	○ (自動)
ブロック分割消去	○*1	○	○	×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス経由	任意のデバイス経由	ライター経由
リセット起動マット	組み込みプログラム格納マット	ユーザマット	ユーザブートマット*2	—
ユーザモードへの遷移	モード設定変更 & リセット	FLSHE ビット設定変更	モード設定変更 & リセット	—

【注】 \*1 一旦全面消去が行われます。その後、特定ブロックの消去を行うことができます。

\*2 一旦組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み/消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、一旦ユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。

ユーザブートマットだけ書き込んでユーザマットの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。

- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

### 19.1.3 フラッシュメモリマット構成

本 LSI のフラッシュメモリは、512K バイトのユーザマットと 8K バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS によるマット切り替えが必要です。

ユーザマット/ユーザブートマットの読み出しはどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライタモードでのみ可能です。

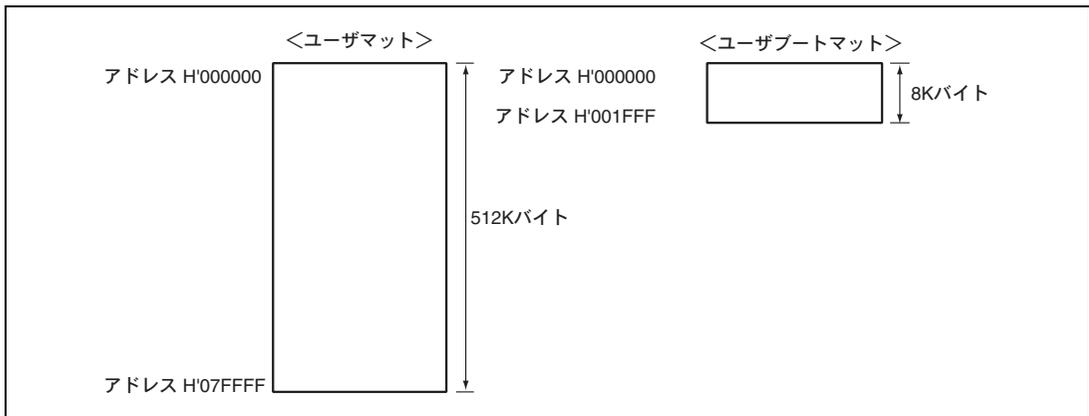


図 19.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8K バイト空間以上のユーザブートマットをアクセスしないようにしてください。8K バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

### 19.1.4 ブロック分割

ユーザマツトは、図 19.4 に示すように 64K バイト (7 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0~EB15 の消去ブロック番号で指定します。

EB0 消去単位4Kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000F80	H'000F81	H'000F82	-----	H'000FFF
EB1 消去単位4Kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'001F80	H'001F81	H'001F82	-----	H'001FFF
EB2 消去単位4Kバイト	H'002000	H'002001	H'002002	←書き込み単位 128バイト→	H'00207F
	H'002F80	H'002F81	H'002F82	-----	H'002FFF
EB3 消去単位4Kバイト	H'003000	H'003001	H'003002	←書き込み単位 128バイト→	H'00307F
	H'003F80	H'003F81	H'003F82	-----	H'003FFF
EB4 消去単位32Kバイト	H'004000	H'004001	H'004002	←書き込み単位 128バイト→	H'00407F
	H'00BF80	H'00BF81	H'00BF82	-----	H'00BFFF
EB5 消去単位4Kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00CF80	H'00CF81	H'00CF82	-----	H'00CFFF
EB6 消去単位4Kバイト	H'00D000	H'00D001	H'00D002	←書き込み単位 128バイト→	H'00D07F
	H'00DF80	H'00DF81	H'00DF82	-----	H'00DFFF
EB7 消去単位4Kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00EF80	H'00EF81	H'00EF82	-----	H'00EFFF
EB8 消去単位4Kバイト	H'00F000	H'00F001	H'00F002	←書き込み単位 128バイト→	H'00F07F
	H'00FF80	H'00FF81	H'00FF82	-----	H'00FFFF
EB9 消去単位64Kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'01FF80	H'01FF81	H'01FF82	-----	H'01FFFF
EB10 消去単位64Kバイト	H'020000	H'020001	H'020002	←書き込み単位 128バイト→	H'02007F
	H'02FF80	H'02FF81	H'02FF82	-----	H'02FFFF
EB11 消去単位64Kバイト	H'030000	H'030001	H'030002	←書き込み単位 128バイト→	H'03007F
	H'03FF80	H'03FF81	H'03FF82	-----	H'03FFFF

図 19.4 ユーザマツトのブロック分割 (1)

EB12 消去単位64Kバイト	H'040000	H'040001	H'040002	←書き込み単位 128バイト→	H'04007F
	H'04FF80	H'04FF81	H'04FF82	-----	H'04FFFF
EB13 消去単位64Kバイト	H'050000	H'050001	H'050002	←書き込み単位 128バイト→	H'05007F
	H'05FF80	H'05FF81	H'05FF82	-----	H'05FFFF
EB14 消去単位64Kバイト	H'060000	H'060001	H'060002	←書き込み単位 128バイト→	H'06007F
	H'06FF80	H'06FF81	H'06FF82	-----	H'06FFFF
EB15 消去単位64Kバイト	H'070000	H'070001	H'070002	←書き込み単位 128バイト→	H'07007F
	H'07FF80	H'07FF81	H'07FF82	-----	H'07FFFF

図 19.4 ユーザマットのブロック分割 (2)

### 19.1.5 書き込み/消去インタフェース

書き込み/消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス/データ、消去ブロックなどをインタフェースレジスタ/パラメータで指定して行います。

ユーザプログラムモード/ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「19.4.2 ユーザプログラムモード」で説明します。

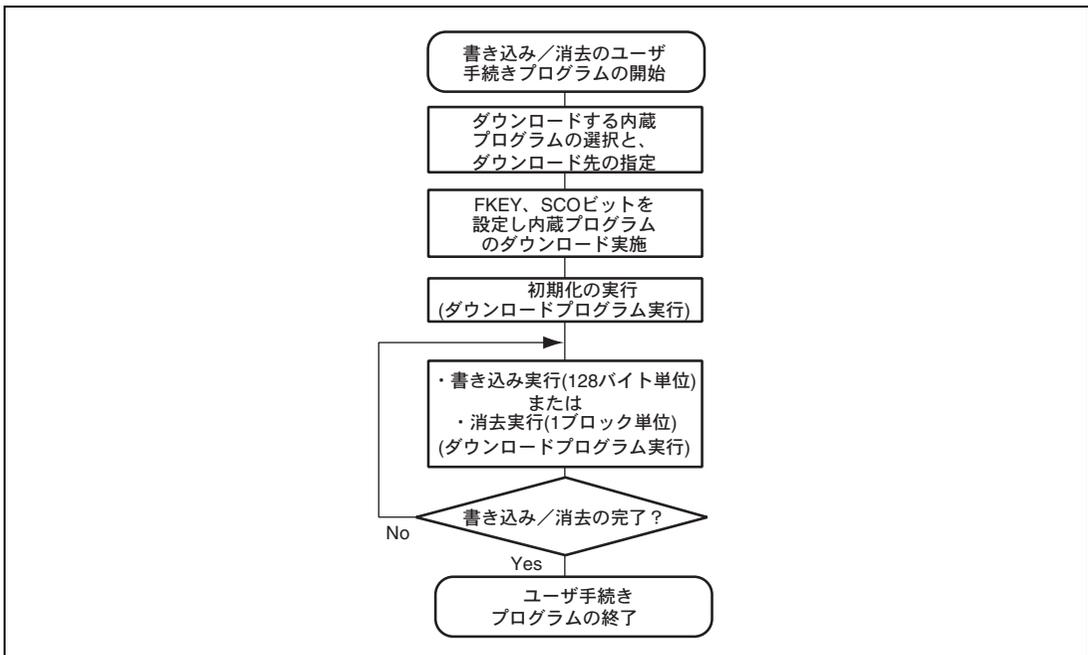


図 19.5 ユーザの手続きプログラムの概要

### (1) ダウンロードする内蔵プログラムの選択

書き込み/消去を実施するためには、STCR の FLSHE ビットを 1 に設定しユーザプログラムモードにする必要があります。

本 LSI には、書き込み/消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み/消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスはフラッシュトランスファデスティネーションアドレスレジスタ (FTDAR) で指定することができます。

### (2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み/消去インタフェースレジスタのフラッシュキーレジスタ (FKEY) と、フラッシュコードステータスレジスタ (FCCS) の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み/消去時はフラッシュメモリマットの読み出しはできないため、ダウンロード以降書き込み/消去完了までの一連の手続きプログラムはフラッシュメモリ以外 (内蔵 RAM 上など) で実行するようにしてください。

ダウンロードの結果は、書き込み/消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

### (3) 書き込み/消去の初期化

書き込み/消去の実行前に、動作周波数の設定を行います。この設定は書き込み/消去インタフェースパラメータで行います。

### (4) 書き込み/消去の実行

書き込み/消去を行うためには、STCR の FLSHE ビットを 1 にセットしユーザプログラムモードにしてください。

書き込みでは書き込みデータ/書き込み先アドレスの指定を 128 バイト単位で行います。消去では消去ブロックの指定を消去ブロック単位で行います。

これらの指定を書き込み/消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み/消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。書き込み/消去処理中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で、割り込みが入らないようにしてください。

### (5) 引き続き、書き込み/消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス/データ、消去ブロック番号を更新して書き込み/消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

## 19.2 入出力端子

フラッシュメモリは表 19.2 に示す端子により制御されます。

表 19.2 端子構成

端子名	入出力	機能
RES	入力	リセット
MD2*	入力	本 LSI の動作モードを設定
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
TxD1	出力	シリアル送信データ出力 (ブートモードで使用)
RxD1	入力	シリアル受信データ入力 (ブートモードで使用)

【注】 \* SDIP-64、QFP-64 ではサポートしません。

## 19.3 レジスタの説明

フラッシュメモリをコントロールするレジスタ/パラメータを以下に示します。これらのレジスタをアクセスするためには、STCR の FLSHE ビットを 1 セットする必要があります。STCR については「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- フラッシュコードコントロール・ステータスレジスタ (FCCS)
- フラッシュプログラムコードセレクトレジスタ (FPCS)
- フラッシュイレースコードセレクトレジスタ (FECS)
- フラッシュキーコードレジスタ (FKEY)
- フラッシュマットセレクトレジスタ (FMATS)
- フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)
- ダウンロードパス・フェイルリザルト (DPFR)
- フラッシュバス・フェイルリザルト (FPFR)
- フラッシュマルチパーバスアドレスエリア (FMPAR)
- フラッシュマルチパーバスデータデスティネーションエリア (FMPDR)
- フラッシュイレースブロックセレクト (FEBS)
- フラッシュプログラム・イレース周波数コントロール (FPEFEQ)

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

フラッシュメモリのアクセスには読み出しモード／書き込みモードなどいくつかの動作モードがあります。

また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ／パラメータが割り当てられています。動作モードと使用レジスタ／パラメータの対応表を表 19.3 に示します。

表 19.3 使用レジスタ／パラメータと対象モード

		ダウンロード	初期化	書き込み	消去	読み出し
書き込み／ 消去インタ フェース	FCCS	○	—	—	—	—
	FPCS	○	—	—	—	—
	FECS	○	—	—	—	—
レジスタ	FKEY	○	—	○	○	—
	FMATS	—	—	○ (*1)	○ (*1)	○ (*2)
	FTDAR	○	—	—	—	—
書き込み／ 消去インタ フェース	DPFR	○	—	—	—	—
	FPFR	—	○	○	○	—
	FPEFEQ	—	○	—	—	—
パラメータ	FMPAR	—	—	○	—	—
	FMPDR	—	—	○	—	—
	FEBS	—	—	—	○	—

【注】 \*1 ユーザブートモードでの、ユーザマットへの書き込み／消去時に設定が必要です。

\*2 起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

### 19.3.1 書き込み／消去インタフェースレジスタ

書き込み／消去インタフェースレジスタは8ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタはリセットとハードウェアスタンバイモードで初期化されます。

#### (1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCS はフラッシュメモリの書き込み／消去実行中のエラー発生のモニタ、および内蔵プログラムのダウンロードを要求します。

ビット	ビット名	初期値	R/W	説明
7	FWE	1	R	フラッシュライトイネーブル リードすると常に1が読み出されます。ライトは無効です。
6	—	0	R/W	リザーブビット
5	—	0	R/W	初期値を変更しないでください。

19. フラッシュメモリ (0.18 μm F-ZTAT 版)

ビット	ビット名	初期値	R/W	説 明
4	FLER	0	R	<p>フラッシュメモリエラー</p> <p>フラッシュメモリへの書き込み/消去実行中にエラーが発生したことを示します。FLER=1にセットされると、フラッシュメモリはエラープロテクト状態に遷移します。なお、FLER=1になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い100 μsのリセット入力期間の後にリセットリリースしてください。</p> <p>0: フラッシュメモリは正常に動作            フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト) は無効</p> <p>[クリア条件] リセットまたはハードウェアスタンバイモードのとき</p> <p>1: フラッシュメモリへの書き込み/消去中にエラーが発生            フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト) が有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>書き込み/消去中に NMI などの割り込みが発生したとき</li> <li>書き込み/消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)</li> <li>書き込み/消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイを含む)</li> <li>書き込み/消去中に CPU 以外のバスマスタ (DTC) が、バス権を確保したとき</li> </ul>
3~1	—	すべて 0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
0	SCO	0	(R)W*	<p>ソースプログラムコピーオペレーション</p> <p>内蔵書き込み/消去プログラムを内蔵 RAM にダウンロードする要求ビットです。本ビットを 1 にセットすると、FPCS/F ECS で選択した内蔵プログラムが、FTDAR で指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットを 1 にセットするためには、FKEY への H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。</p> <p>本ビットを 1 にセットした直後には、4 個の NOP 命令を必ず実行するようにしてください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。ダウンロード中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。</p> <p>0: 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードは行いません</p> <p>[クリア条件] ダウンロードが完了したとき</p> <p>1: 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。</p> <p>[セット条件] 以下の条件がすべて満足されている状態で、1 をセットしたとき</p> <ul style="list-style-type: none"> <li>FKEY に H'A5 が書かれていること</li> <li>内蔵 RAM 上で実行中であること</li> </ul>

【注】 \* ライトのみ可能です。リードすると常に 0 が読み出されます。

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~1	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	PPVS	0	R/W	プログラムバルスベリファイ 書き込みプログラムを選択します。 0 : 内蔵の書き込みプログラムを選択しない [クリア条件] 転送が終了したとき 1 : 内蔵の書き込みプログラムを選択する

### (3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~1	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	EPVB	0	R/W	イレースバルスベリファイブロック 消去プログラムを選択します。 0 : 内蔵消去プログラムを選択しない [クリア条件] 転送が終了したとき 1 : 内蔵消去プログラムを選択する

### (4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み/消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のため、SCO ビットを 1 にセットする前、およびダウンロードした書き込み/消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット	ビット名	初期値	R/W	説 明
7	K7	0	R/W	キーコード H'A5 を書き込んだ場合にのみ、SCO ビットの書き込みが有効になります。H' A5 以外の値が FKEY に書かれている場合、SCO ビットを 1 にセットすることができないため、内蔵 RAM へのダウンロードができません。また、H'5A を書き込んだ場合のみ、書き込み/消去が可能になります。内蔵の書き込み/消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み/消去はできません。 H'A5 : SCO ビットの書き込みを許可 (H'A5 以外では SCO ビットのセットはできません) H'5A : 書き込み/消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00 : 初期値
6	K6	0	R/W	
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	

## (5) フラッシュマツトセレクトレジスタ (FMATS)

FMATS は、ユーザマツト/ユーザブツトマツトのどちらを選択するかを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1*	R/W	マツトセレクト
6	MS6	0	R/W	H'AA 以外の場合はユーザマツト選択状態、H'AA が書かれている状態はユーザブツトマツト選択状態です。FMATS に値を書き込みことによりマツト切り替えが発生します。マツト切り替えは、必ず「19.6 ユーザマツトとユーザブツトマツトの切り替え」に従ってください (ユーザプログラミングモードでのユーザブツトマツトの書き換えは、FMATS でユーザブツトマツトを選択してもできません。ユーザブツトマツトの書き換えは、ブツトモードかライタモードで実施してください)。 H'AA : ユーザブツトマツトを選択 (H'AA 以外ではユーザマツト選択状態となります)。 ユーザブツトモードで立ち上がった場合の初期値です。 H'00 : ユーザブツトモード以外で立ち上がった場合の初期値 (ユーザマツト選択状態です)。 [書き込み可能条件] 内蔵 RAM 上での実行状態であること
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】 \* ユーザブツトモードのときは 1 になります。それ以外のときは 0 となります。

## (6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。FCCS の SCO ビットを 1 にセツトする前に、本レジスタの設定を行ってください。

ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	トランスファデスティネーションアドレス設定エラー TDA6~TDA0 ビットで指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセツトされます。アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセツトして、ダウンロード処理が実行されたときに、TDA6~TDA0 の値が H'00~H'02 の範囲にあるかどうかを判定します。SCO ビットを 1 にセツトする前に、本ビットの値を 0 にすることも含めて、FTDAR の値を H'00~H'02 の範囲に設定してください。 0 : TDA6~TDA0 の設定は、正常値です。 1 : TDER、TDA6~TDA0 の設定値が H'03~H'7F であり、ダウンロードは中断したことを示します。
6	TDA6	0	R/W	トランスファデスティネーションアドレス ダウンロード先頭アドレスを指定します。設定可能な値は H'00 で、内蔵 RAM 上のダウンロード先頭アドレスを指定できます。 H'00 : ダウンロード先頭アドレスを H'FFD080 に設定 H'01 : ダウンロード先頭アドレスを H'FFD880 に設定 H'02 : ダウンロード先頭アドレスを H'FFE080 に設定 H'03~H'7F : 設定しないでください。この値が設定された場合、ダウンロード処理において、TDER ビットが 1 になり、内蔵プログラムのダウンロード処理は中断されます。
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

### 19.3.2 書き込み/消去インタフェースパラメータ

書き込み/消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果のやりとりをするものです。このパラメータは、CPU の汎用レジスタ (ER0、ER1) や内蔵 RAM 領域を使用します。リセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、R0L 以外の CPU のレジスタは保存されます。R0L は、処理結果の戻り値が記入されます。R0L 以外のレジスタ保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をしてください (使用スタック領域サイズは、最大 128 バイトです)。

書き込み/消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み/消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれ使用するパラメータは異なります。対応表を、表 19.4 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 19.4 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードバス・フェイルリザルト	DPFR	○	—	—	—	R/W	不定	内蔵 RAM*
フラッシュバス・フェイルリザルト	FPFR	—	○	○	○	R/W	不定	CPU の R0L
フラッシュプログラムイレース周波数 コントロール	FPEFEQ	—	○	—	—	R/W	不定	CPU の ER0
フラッシュマルチバースアドレスエリア	FMPAR	—	—	○	—	R/W	不定	CPU の ER1
フラッシュマルチバースデータ デスティネーションエリア	FMPDR	—	—	○	—	R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS	—	—	—	○	R/W	不定	CPU の R0L

【注】 \* FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

## (1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 2K バイト分の領域です。

ダウンロード制御は書き込み/消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

## (a) ダウンロードパス・フェイルリザルトパラメータ (DPFR : FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断します。SCO ビットを 1 にセットできたかの確認が困難のため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR で指定した内蔵 RAM の先頭アドレス 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	未使用ビット 値 0 が戻されます
2	SS	-	R/W	ソースセレクトエラー検出ビット ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0 : ダウンロードプログラムの選択関係は正常 1 : ダウンロードエラー発生 (多重選択または、マッピングされていないプログラム選択)
1	FK	-	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0 : FKEY の設定は正常 (FKEY=H'A5) 1 : FKEY の設定値エラー (FKEY は、H'A5 以外の値)
0	SF	-	R/W	サクセス/フェイルビット ダウンロードが正常に終了したかどうかを返すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。 0 : 内蔵プログラムのダウンロードは正常終了 (エラーなし) 1 : 内蔵プログラムのダウンロードが異常終了 (エラーが発生している)

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (2) 書き込み/消去の初期化

ダウンロードされる書き込み/消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み/消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み/消去プログラムのパラメータとして設定するのが初期化プログラムです。

#### (a) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ : CPU の汎用レジスタ ER0)

CPU の動作周波数を設定するパラメータです。本 LSI の動作周波数範囲は 8MHz~20MHz です。

ビット	ビット名	初期値	R/W	説明
31~16	—	—	—	未使用ビット 値 0 を設定してください。
15~0	F15~F0	—	R/W	周波数設定ビット CPU の動作周波数を設定します。設定値は以下のように算出してください。 <ul style="list-style-type: none"> <li>• MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。</li> <li>• 100 倍した値を 16 進数に変換し、FPEFEQ パラメータ (汎用レジスタ ER0) に書き込む。</li> </ul> 具体例として、CPU の動作周波数が 20.000MHz の場合には、以下のようになります。 <ul style="list-style-type: none"> <li>• 20.000 の小数点第 3 位を四捨五入し、20.00。</li> <li>• 20.00×100=2000 を 16 進数変換し、H'07D0 を ER0 に設定。</li> </ul>

#### (b) フラッシュパス/フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

初期化結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7~2	—	—	—	未使用ビット 値 0 が戻されます
1	FQ	—	R/W	周波数エラー検出ビット 指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。 0 : 動作周波数の設定は正常値 1 : 動作周波数の設定が異常値
0	SF	—	R/W	サクセス/フェイルビット 初期化が正常に終了したかどうかを戻すビットです。 0 : 初期化は正常終了 (エラーなし) 1 : 初期化が異常終了 (エラーが発生している)

**(3) 書き込み実行**

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡すことが必要です。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタER1に設定してください。このパラメータをフラッシュマルチパースアドレスエリアパラメータ (FMPAR) と呼びます。

書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット (A7~A0) が、H'00またはH'80のいずれかとしてください。

2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

書き込みたいデータが128バイトに満たない場合でも、ダミーコード (H'FF) を埋め込んで128バイトの書き込みデータを準備してください。

準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタER0に設定してください。

このパラメータをフラッシュマルチパースデータデスティネーションエリアパラメータ (FMPDR) と呼びます。

書き込み処理の手続きの詳細については、「19.4.2 ユーザプログラムモード」を参照してください。

**(a) フラッシュマルチパースアドレスエリアパラメータ (FMPAR : CPUの汎用レジスタ ER1)**

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外の領域のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは128バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーはFPFRパラメータのビット1: WA ビットに反映されます。

ビット	ビット名	初期値	R/W	説明
31~0	MOA31 ~ MOA0	—	R/W	ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続128バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは128バイト境界となり、MOA6~MOA0は常に0になります。

**(b) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR : CPUの汎用レジスタ ER0)**

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーはFPFRパラメータのWDビットに反映されます。

ビット	ビット名	初期値	R/W	説明
31~0	MOD31 ~ MODA0	—	R/W	ユーザマットへの書き込みデータが格納されている領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続128バイトのデータが、ユーザマットに対して書き込まれます。

## 19. フラッシュメモリ (0.18μm F-ZTAT 版)

### (c) フラッシュバス/フェイルパラメータ (FPFR: CPU の汎用レジスタ R0L)

書き込み処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値 0 が戻されます
6	MD	—	R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態でないことのチェック結果を返します。エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS の FLER ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「19.5.3 エラープロテクト」を参照してください。 0: FLER 状態は正常 (FLER=0) 1: FLER=1 であり、書き込みできない状態
5	EE	—	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかった場合に、本ビットには 1 が返されます。これらが原因で、本ビットが 1 になった場合、ユーザマットは途中で書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施し直してください。また、FMATS の値が H'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。ユーザブートマットの書き込みはブートモードまたはライトモードで実施してください。 0: 書き込み処理は正常終了 1: 書き込み処理が異常終了し、書き込み結果は保証できない
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前に FKEY の値をチェックした結果を返します。 0: FKEY の設定は正常 (FKEY=H'5A) 1: FKEY の設定値エラー (FKEY は、H'5A 以外の値)
3	—	—	—	未使用ビット 値 0 が戻されます
2	WD	—	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。 0: 書き込みデータアドレス設定は正常値 1: 書き込みデータアドレス設定が異常値
1	WA	—	R/W	ライトアドレスエラー検出ビット 書き込み先アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域外が書き込み先アドレスとして指定された場合 • 指定されたアドレスが 128 バイト境界でない場合 (アドレスの下位 8 ビットが H'00 か H'80 以外) 0: 書き込み先アドレス設定は正常値 1: 書き込み先アドレス設定が異常値

ビット	ビット名	初期値	R/W	説 明
0	SF	—	R/W	サクセス/フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0 : 書き込みは正常終了 (エラーなし) 1 : 書き込みが異常終了 (エラーが発生している)

**(4) 消去実行**

フラッシュメモリの消去実行においては、ユーザマツト上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ (汎用レジスタ ER0) に設定します。

0~23 のブロック番号から 1 ブロックを指定します。

消去処理の手続きの詳細については、「19.4.2 ユーザプログラムモード」を参照してください。

**(a) フラッシュイレースブロックセレクトパラメータ (FEBS : CPU の汎用レジスタ ER0)**

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット	ビット名	初期値	R/W	説 明
31~8	—	—	—	未使用ビット 値 0 を設定してください。
7	EB7	—	R/W	イレースブロック 0~15 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、15 は EB15 ブロックに対応します。0~15 (H'00~H'0F) 以外の設定ではエラーになります。
6	EB6	—	R/W	
5	EB5	—	R/W	
4	EB4	—	R/W	
3	EB3	—	R/W	
2	EB2	—	R/W	
1	EB1	—	R/W	
0	EB0	—	R/W	

## 19. フラッシュメモリ (0.18μm F-ZTAT 版)

### (b) フラッシュバス/フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

消去処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値0が戻されます
6	MD	—	R/W	消去モード関連設定エラー検出ビット エラープロテクト状態でないことのチェック結果を返します。エラープロテクト状態になっている場合、1が書き込まれます。この状態は、FCCSのFLERビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「19.5.3 エラープロテクト」を参照してください。 0 : FLER 状態は正常 (FLER=0) 1 : FLER=1 であり、消去できない状態
5	EE	—	R/W	消去実行時エラー検出ビット ユーザマットの消去ができなかったり、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施し直してください。また、FMATSレジスタの値がH'AAとなっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはなりません。ユーザブートマットの消去はブートモードまたはライトモードで実施してください。
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 消去処理開始前にFKEYの値をチェックした結果を返します。 0 : FKEY の設定は正常 (FKEY=H'5A) 1 : FKEY の設定値エラー (FKEY は、H'5A 以外の値)
3	EB	—	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。 0 : 消去ブロック番号の設定は正常値 1 : 消去ブロック番号の設定が異常値
2	—	—	—	未使用ビット
1	—	—	—	値0が戻されます
0	SF	—	R/W	サクセス/フェイルビット 消去処理が正常に終了したかどうかを戻すビットです。 0 : 消去は正常終了 (エラー無し) 1 : 消去が異常終了 (エラーが発生している)

## 19.4 オンボードプログラミング

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモード、ユーザプログラムモードとユーザブートモードの3種類の動作モードがあります。

各モードへの設定方法は、表 19.5 を参照してください。また、フラッシュメモリに対する各モードへの状態遷移図は図 19.2 を参照してください。

表 19.5 オンボードプログラミングモードの設定方法

モード設定	MD2* <sup>2</sup>	MD1	MD0	NMI	P42	P41	P40
ブートモード	0	0	0	1	1	1	1
ユーザプログラムモード* <sup>1</sup>	0	1	0/1	0/1	—	—	—
ユーザブートモード	0	0	0	0	1	1	1

【注】 \*1 書き込み/消去プログラムのダウンロードを行う前に FLSHE ビットを 1 に設定し、ユーザプログラムモードに遷移してください。

\*2 SDIP-64、QFP-64 ではサポートしません。

### 19.4.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み/消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 19.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 19.5 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

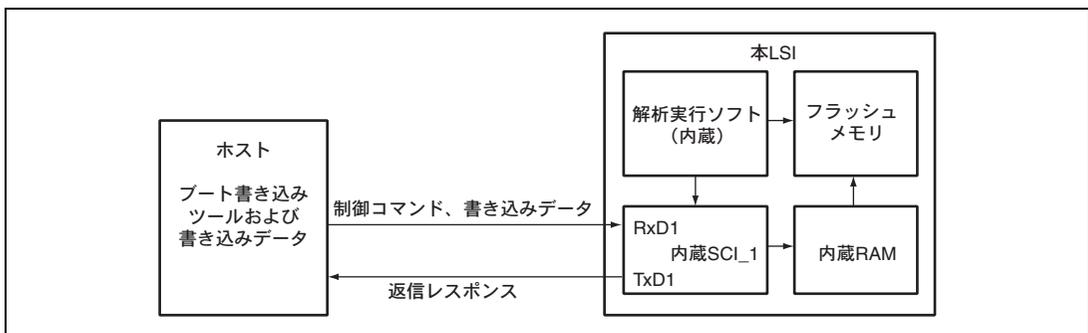


図 19.6 ブートモード時のシステム構成図

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

### (1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信/受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4,800bps、9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を、表 19.6 に示します。このシステムクロックの範囲内でブートモードを起動してください。



図 19.7 SCI ビットレートの自動合わせ込み動作

表 19.6 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロック周波数
4,800 bps	8~20 MHz
9,600 bps	8~20 MHz
19,200 bps	8~20 MHz

### (2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 19.8 に示します。

#### 1. ビットレート合わせ込み

ブートモード起動後、ホストとの SCI インタフェースのビットレート合わせ込みを行います。

#### 2. 問い合わせ設定コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

#### 3. 全ユーザマットおよびユーザブートマットの自動消去

問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

4. 書き込み/消去コマンド待ち

- 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスをH'FFFFFFと設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。
- 「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号をH'FFと設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードで一旦書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み/消去/他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み/消去以外に、ユーザマット/ユーザブートマットのサムチェック、ユーザマット/ユーザブートマットのブランクチェック（消去チェック）、ユーザマット/ユーザブートマットのメモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマット/ユーザブートマットのメモリ読み出しは、すべてのユーザマット/ユーザブートマットを自動消去した後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができませんので、ご注意ください。

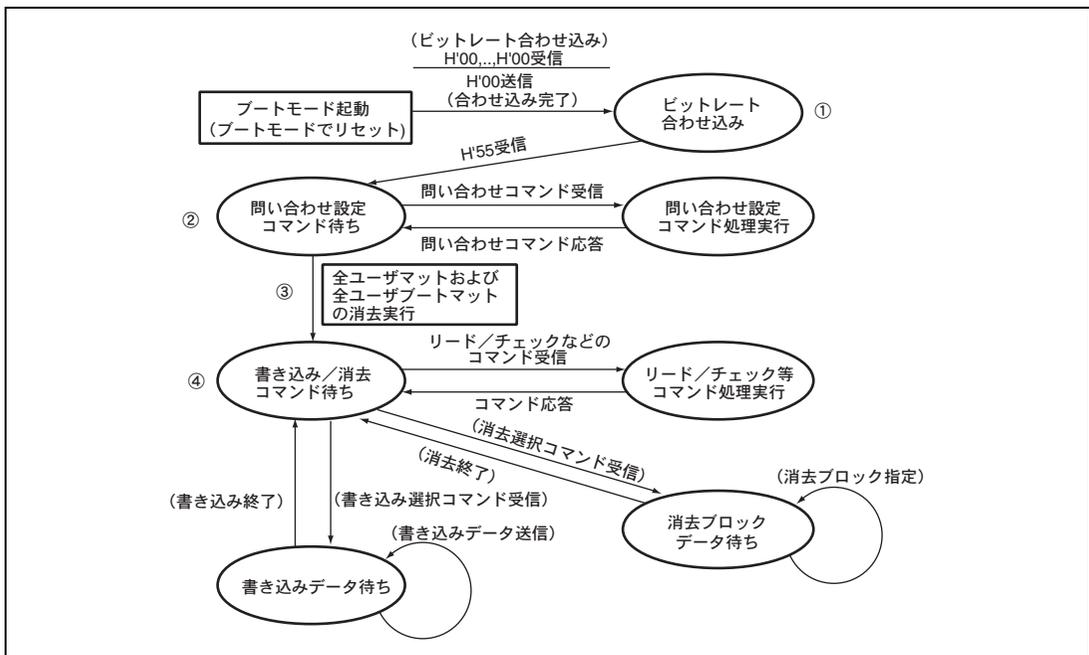


図 19.8 ブートモードの状態遷移の概略図

### 19.4.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み/消去ができます（ユーザブートマットの書き込み/消去はできません）。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み/消去を実施します。

書き込み/消去概略フローを図 19.9 に示します。

なお、書き込み/消去処理中はフラッシュメモリ内部に高電圧が印加されていますので、書き込み/消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μs の通常より長いリセット入力期間のあとにリセットリリースしてください。

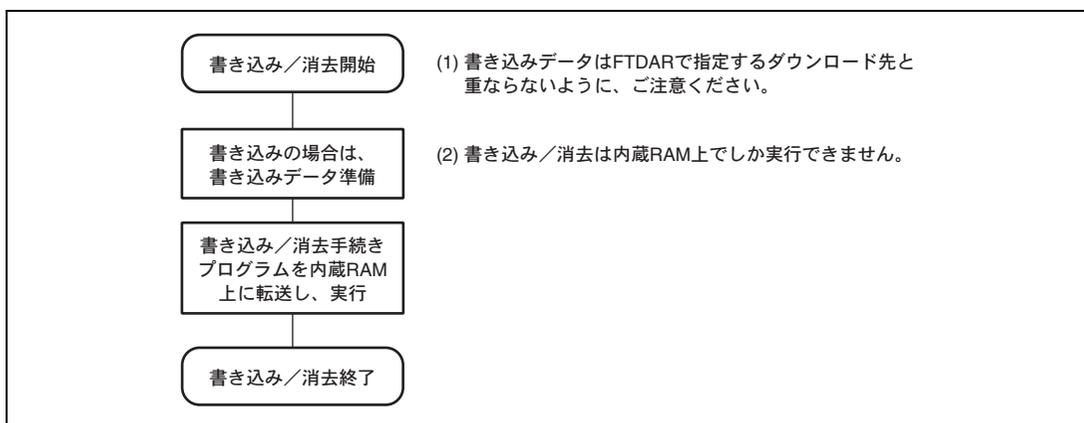


図 19.9 書き込み/消去概略フロー

## (1) 書き込み/消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み/消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 19.10 にダウンロードされるプログラムの領域を示します。

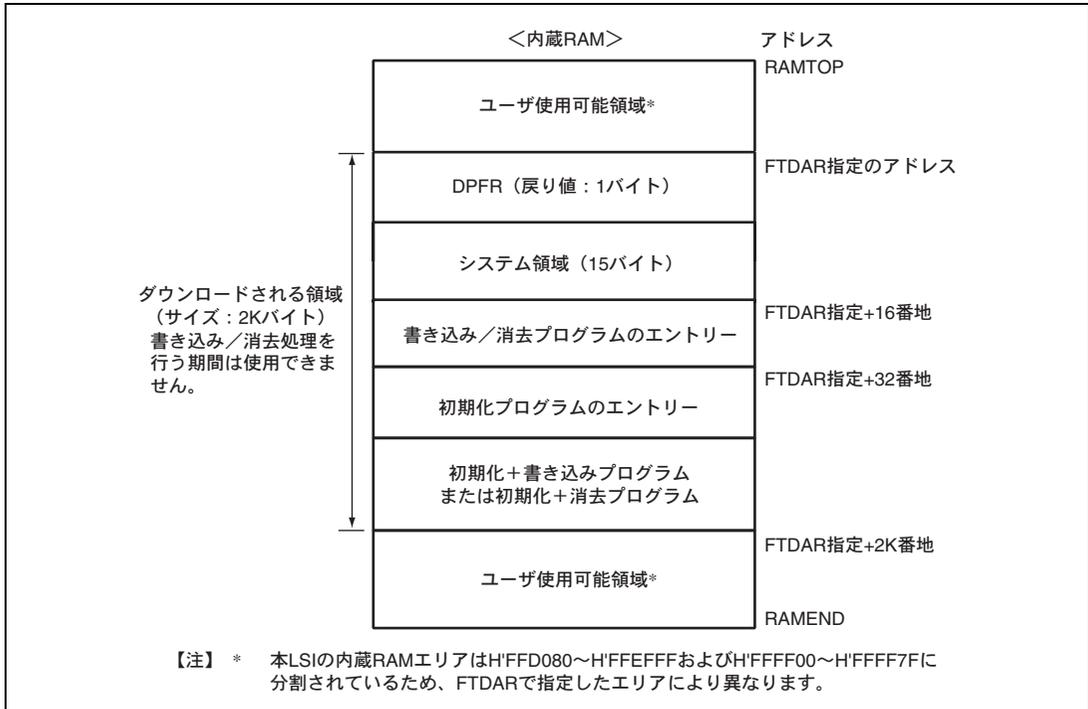


図 19.10 書き込み/消去実施時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 19.11 に示します。

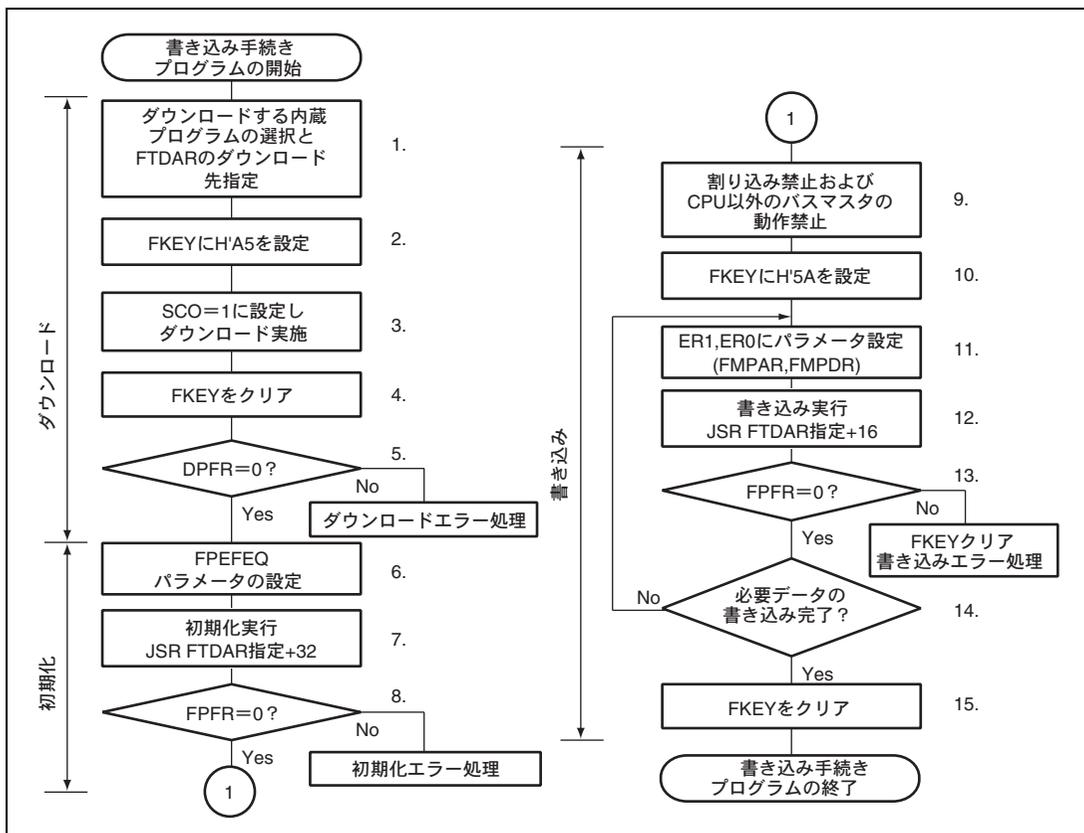


図 19.11 書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS の SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマツト) を「19.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマツト上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス/書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

1. ダウンロードする内蔵プログラムの選択とダウンロード先を選択します。

FPCSのPPVSビットを1にセットすると書き込みプログラムが選択されます。

書き込み/消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータにのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の先頭アドレスを指定します。

2. FKEYにH'A5を書き込みます。

プロテクトのためにFKEYにH'A5を書き込まないとダウンロード要求のSCOビットに1をセットすることができません。

3. FCCSのSCOビットを1にセットし、ダウンロードを実行します。

SCOビットに1をセットするためには、以下の条件がすべて満足されている必要があります。

- (1) FKEYにH'A5が書き込まれていること。
- (2) SCOビット書き込みが内蔵RAM上で実行されていること。

SCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCOビットが0にクリアされていますので、ユーザ手続きプログラムではSCOビットが1であることの確認ができません。

ダウンロード結果の確認は、DPFRパラメータの戻り値での確認となりますので、SCOビットを1にセットする前に、DPFRパラメータとなる、FTDARで指定した内蔵RAMの先頭1バイトを、戻り値以外 (H'FFなど) に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCOビットを1にセットする命令の直後には4つのNOP命令を実行してください。

- ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- ダウンロードプログラム選択条件とFTDARでの指定アドレスをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
- FPCS、FECS、FCCSのSCOビットを0クリアします。
- DPFRパラメータに戻り値を設定します。
- 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。
- ダウンロード処理では、CPUの汎用レジスタは値が保存されます。
- ダウンロード処理中は、すべての割り込みは受け付けられません。NMI以外の割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込みが発生することになります。
- レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込みを入れておく必要があります。
- ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵RAM上への正常ダウンロードの保証はできませんので、再度ダウンロードから実行してください。
- 最大128バイトのスタック領域を使用しますので、SCOビットを1にセットする前に確保しておいてください。

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

- ダウンロード中にDTCによるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DTCによるアクセスが発生しないようご注意ください。
- プロテクトのために、FKEYをH'00にクリアします。
  - DPFRパラメータの値をチェックしダウンロード結果を確認します。
    - DPFRパラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
    - DPFRパラメータの値が、ダウンロード実行前に設定した値 (H'FFなど) と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのTDERビットを確認してください。
    - DPFRパラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットや、FKビットにて、ダウンロードプログラムの選択やFKEYの設定が正常であったかの確認をしてください。
  - 初期化のためにFPEFEQパラメータに動作周波数を設定します。
    - FPEFEQパラメータ (汎用レジスタ : ER0) に、現在のCPUクロックの周波数を設定します。  
FPEFEQパラメータの設定可能範囲は8MHz~20MHzです。この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「19.3.2 (2) (a) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ : CPUの汎用レジスタER0) 」を参照してください。
  - 初期化を実行します。

初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス+32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32, ER2	; エントリーアドレスを ER2 に設定
JSR	@ER2	; 初期化ルーチンをコール
NOB		

- 初期化プログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
- 初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

8. 初期化プログラムの戻り値FPFR (汎用レジスタR0L) を判定します。
9. すべての割り込みと、CPU以外のバスマスタの使用を禁止してください。

書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されるとフラッシュメモリにダメージを与える可能性がありますので、必ず割り込みとCPU以外のDTCへのバス権を禁止としてください。

割り込み処理禁止の設定は、割り込み制御モード0のときはCPUのコンディションコードレジスタ (CCR) のビット7 (I) をB'1に設定し、割り込み制御モード1のときはCPUのコンディションコードレジスタ (CCR) のビット7、6 (I, UI) をB'11に設定することで行います。こうするとNMI以外の割り込みは保持され、実行はされなくなります。

NMI割り込みは、ユーザシステム上で発生しないようにしてください。

保持した割り込みは、すべての書き込み処理後に実行するようにしてください。

また、CPU以外のバスマスタ (DTC) へのバス権の移動が発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様にDTCによるバス権確保も発生しないようにしておいてください。

10. FKEYにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
11. 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタER1に、書き込みデータ領域の先頭アドレス (FMPDR) の先頭アドレスを汎用レジスタのER0に設定します。

- FMPAR設定例

FMPARは書き込み先アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですのでアドレスの下位8ビットが、H'00かH'80の128バイト境界である必要があります。

- FMPDR設定例

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

### 12. 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16, ER2	; エントリーアドレスを ER2 に設定
JSR	@ER2	; 書き込みルーチンをコール
NOP		

- 書き込みプログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

### 13. 書き込みプログラムの戻り値FPFR（汎用レジスタR0L）を判定します。

### 14. 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定を行い上記12.~14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポイントの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

### 15. 書き込みが終了したらFKEYをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットへの書き込み完了直後、リセットで再起動する場合は通常より長い100 $\mu$ s以上のリセット実施期間（RES=0の期間）を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 19.12 に示します。

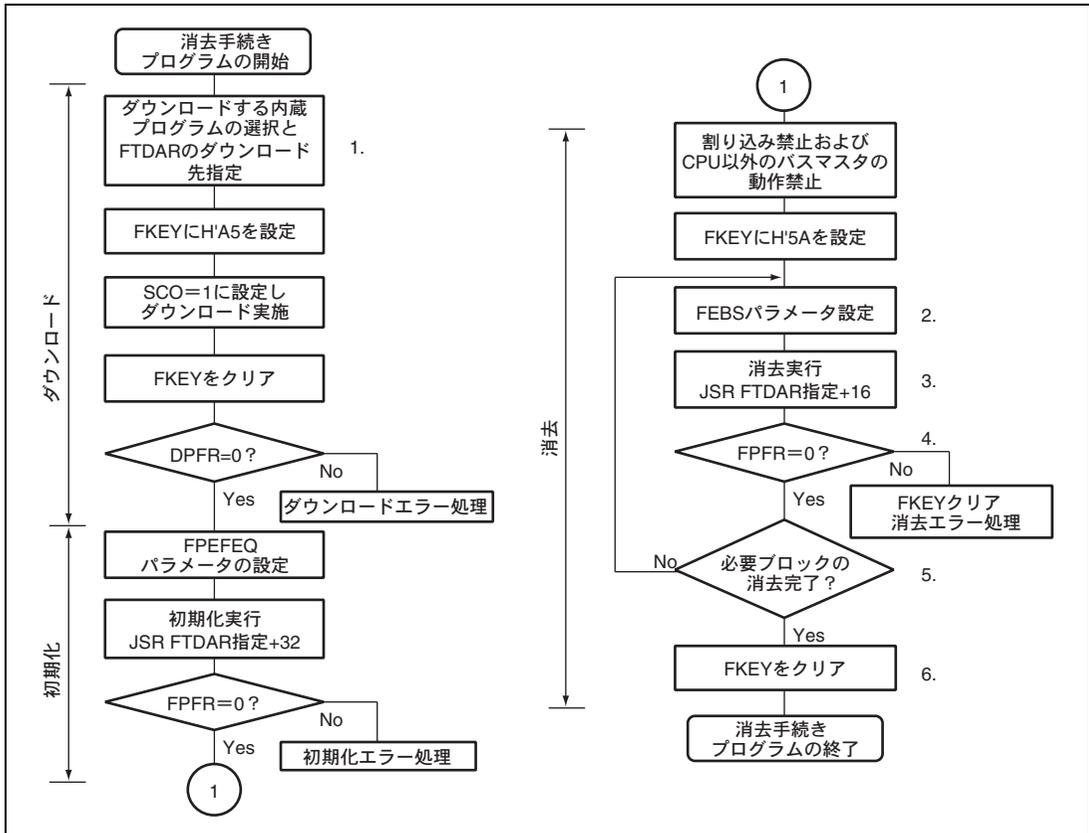


図 19.12 消去手順

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

手順プログラムは、消去対象のユーザマツト以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト）を「19.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 19.10 を参照してください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 19.4 を参照してください。

2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

1. ダウンロードする内蔵プログラムを選択します。

FECSのEPVBビットを1にセットします。

書き込み／消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータのSSビットにダウンロードエラーが報告されます。

FTDAR レジスタで、ダウンロード先の先頭アドレスを指定します。

FKEY の設定以降のダウンロード、初期化、などの手続きは、書き込み手順と同じですので、「19.4.2 (2) ユーザプログラムモードでの書き込み手順」を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

2. 消去に必要なFEBSパラメータの設定を行います。

ユーザマツトの消去ブロック番号をフラッシュイレースブロックセレクトパラメータFEBS（汎用レジスタER0）に設定します。ユーザマツトの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータFPFRにはエラーが報告されます。

3. 消去処理を実行します。

書き込みと同様に、FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリーアドレスを ER2 に設定
JSR	@ER2	; 消去ルーチンをコール
NOP		

- 消去プログラムではR0L以外の汎用レジスタは保存されます。
  - R0LはFPFRパラメータの戻り値です。
  - 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
4. 消去プログラムの戻り値FPFR（汎用レジスタR0L）を判定します。

5. 必要ブロックの消去が完了したかを判断します。  
 複数ブロックの消去を実施する場合、FEBSパラメータの更新設定を行い上記2.~5.の処理を繰り返します。  
 消去済みブロックに対しての消去は可能です。
6. 消去が終了したらFKEYをクリアして、ソフトウェアプロテクトを掛けてください。  
 ユーザマットへの消去完了直後、リセットで再起動する場合は通常より長い100 μs以上のリセット実施期間  
 ( $\overline{RES}=0$ の期間) を設けてください。

(4) ユーザプログラムモードでの消去／書き込み手順

FTDARレジスタで、ダウンロード先の内蔵RAMアドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵RAM領域にダウンロードしておくことが可能です。

消去、書き込みを繰り返し実行する場合の手順を図 19.13 に示します。

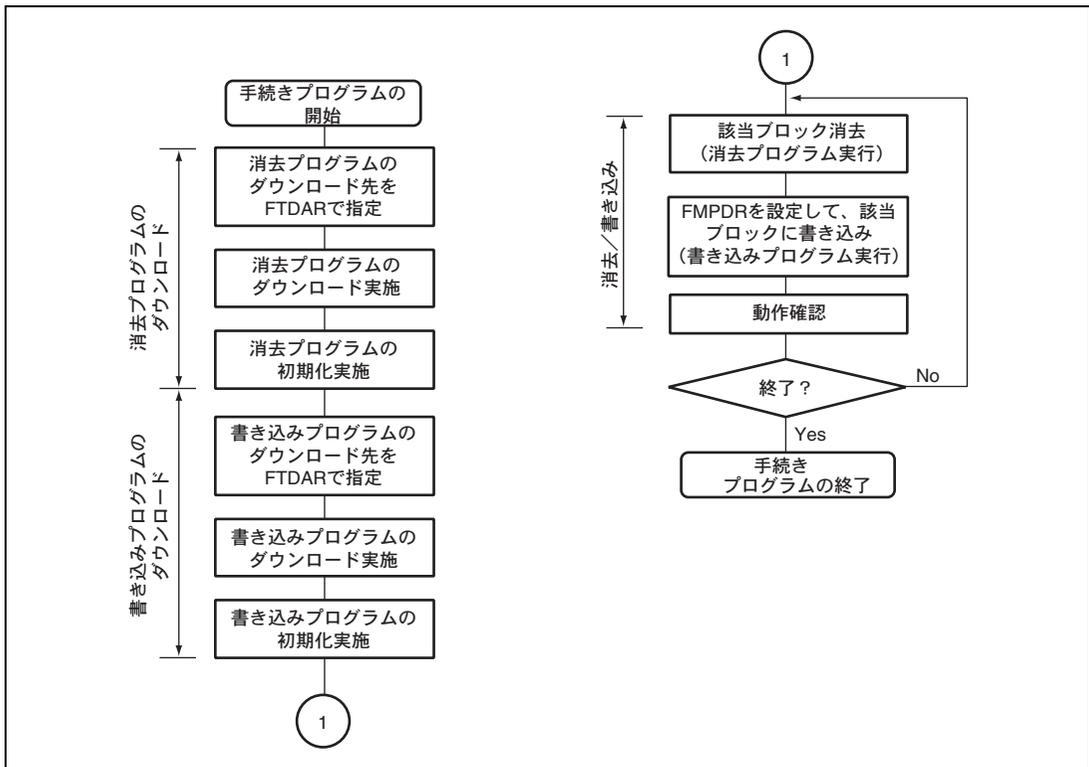


図 19.13 消去、書き込みの繰り返し手順

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

---

本手順では、ダウンロードと初期化は最初の1回だけ実施するようにしています。本手順のような手続きを行う場合、以下にご注意ください。

- 内蔵RAM領域の重複破壊にご注意ください。

消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。

- 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

FPEFEQパラメータを設定する初期化は、必ず、消去プログラム／書き込みプログラムの両方に実行してください。初期化のエントリアドレスは、消去プログラムのダウンロード先頭+32番地、書き込みプログラムのダウンロード先頭+32番地の両方に対して初期化してください。

### 19.4.3 ユーザブートモード

本LSIにはブートモード、ユーザプログラムモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵SCIを使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み／消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み／消去は、ブートモードまたはライターモードで行ってください。

#### (1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 19.5 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、ユーザブートマットの状態チェックが行われます。

この間のNMIおよびその他の割り込みは受けつけられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、FMATSレジスタにはH'AAが設定されています。

#### (2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATSによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 19.14 に示します。

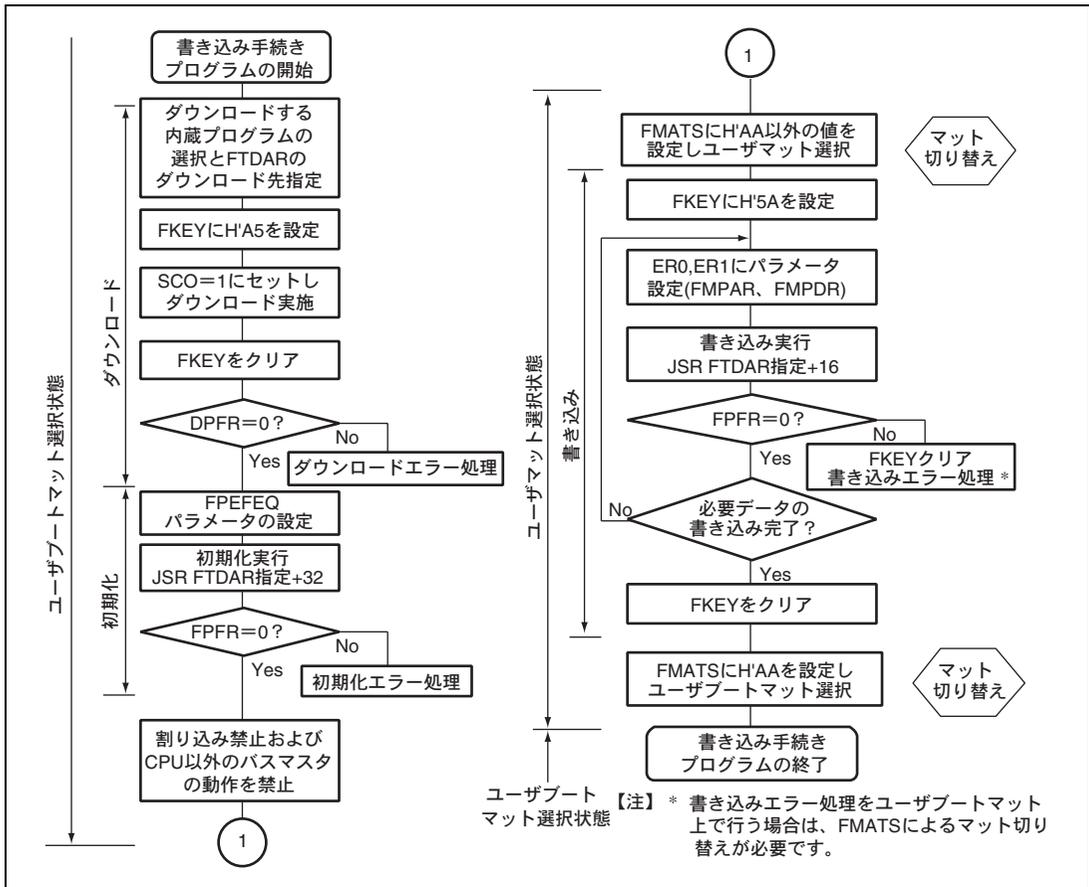


図 19.14 ユーザブートモードでのユーザマットへの書き込み手順

図 19.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS へ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「19.6 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット）については「19.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 19.15 に示します。

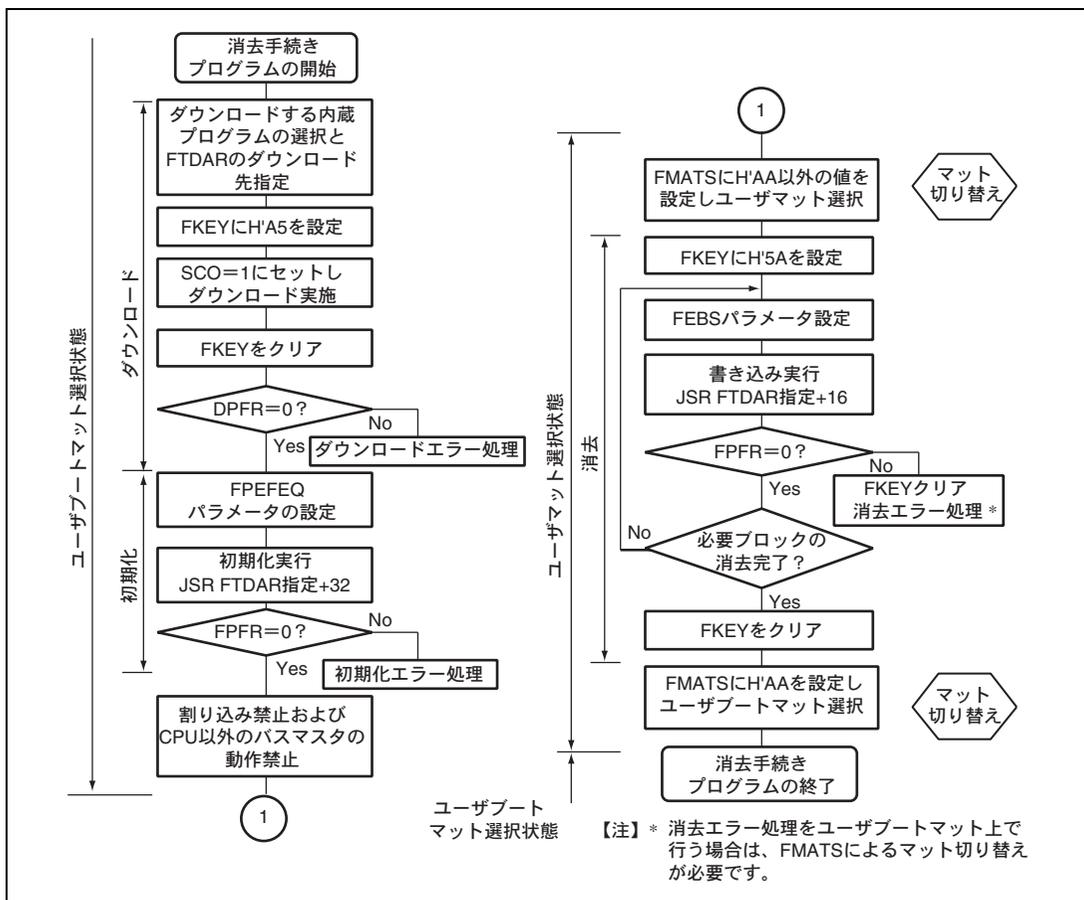


図 19.15 ユーザブートモードでのユーザマットの消去手順

図 19.15 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS へ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「19.6 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット）については「19.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

#### 19.4.4 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み/消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件により他の領域（書き込み/消去対象外のフラッシュメモリ）で実行することができます。

##### (1) 書き込み/消去の条件

1. 内蔵の書き込み/消去実行プログラムはFTDARで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み/消去実行プログラムでは、スタック領域を最大128バイト使用するので、確保してください。
3. SCOビットを1にセットしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
4. 書き込み/消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。この時点までに必要な手続きプログラム、NMI処理ベクタとNMI処理ルーチンなどを内蔵RAMに転送してください。
5. 書き込み/消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、およびNMI割り込みのベクタテーブルとNMI割り込み処理プログラムの実行領域も、内蔵RAMにある必要があります。
6. 書き込み/消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。  
書き込み/消去完了後に、LSIモードを変更してリセット動作をさせる場合には、100  $\mu$ s以上のリセット期間（RES=0とする期間）を設けてください。  
なお、書き込み/消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100  $\mu$ sの通常より長いリセット期間の後に、リセットリリースしてください。
7. ユーザブートモードでのユーザマットへの書き込み/消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。

（「19.6 ユーザマットとユーザブートマットの切り替え」を参照してください）

マットの切り替えにおいて、現在どちらのマットが選択されているかにご注意ください。

8. 通常書き込みのデータであっても、書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上であるとエラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード/ユーザマットのバンク構成/処理内容ごとの組み合わせでの、書き込みデータ格納および実行が可能なエリアを表に示します。

19. フラッシュメモリ (0.18 μm F-ZTAT 版)

表 19.7 実行可能マトまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 19.8 (1)	表 19.8 (3)
消去	表 19.8 (2)	表 19.8 (4)

【注】 \* ユーザマットに対しての書き込み/消去が可能です。

表 19.8 (1) ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマット	
	内蔵 RAM	ユーザマット	ユーザマット	組み込みプログラム格納マット
書き込みデータの格納領域	○	×*	—	—
ダウンロードする内蔵プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SC0=1 書き込み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
書き込みパラメータの設定処置	○	×	○	
書き込み実行	○	×	○	
書き込み結果の判定	○	×	○	
書き込みエラー処理	○	×	○	
FKEY クリア処理	○	×	○	

【注】 \* 事前に内蔵 RAM に転送しておけば可能です。

表 19.8 (2) ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマツ	
	内蔵 RAM	ユーザマツ	ユーザマツ	組み込みプログラム 格納マツ
ダウンロードする内蔵 プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み 処理	○	○	○	
FCCS の SC0=1 書き込 み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定 処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み 処理	○	○	○	
消去パラメータの設定 処置	○	×	○	
消去実行	○	×	○	
消去結果の判定	○	×	○	
消去エラー処理	○	×	○	
FKEY クリア処理	○	×	○	

19. フラッシュメモリ (0.18 μm F-ZTAT 版)

表 19.8 (3) ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブート マット	ユーザマット	ユーザブート マット	組み込みプログラム 格納マット
書き込みデータの格納領域	○	×* <sup>1</sup>	—	—	—
ダウンロードする内蔵プログラムの選択処理	○	○		○	
FKEY への H'5A 書き込み処理	○	○		○	
FCCS の SC0=1 書き込み実行 (ダウンロード)	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマット切り替え	○	×	○		
FKEY への H'5A 書き込み処理	○	×	○		
書き込みパラメータの設定処置	○	×	○		
書き込み実行	○	×	○		
書き込み結果の判定	○	×	○		
書き込みエラー処理	○	×* <sup>2</sup>	○		
FKEY クリア処理	○	×	○		
FMATS によるマット切り替え	○	×		○	

【注】 \*1 事前に内蔵 RAM に転送しておけば可能です。

\*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

表 19.8 (4) ユーザブートモードでの消去処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブート マット	ユーザ マット	ユーザブート マット	組み込みプログラム 格納マット
ダウンロードする内蔵プログラムの選択処理	○	○		○	
FKEY への H'A5 書き込み処理	○	○		○	
FCCS の SC0=1 書き込み実行 (ダウンロード)	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマット切り替え	○	×		○	
FKEY への H'5A 書き込み処理	○	×	○		
消去パラメータの設定処置	○	×	○		
消去実行	○	×	○		
消去結果の判定	○	×	○		
消去エラー処理	○	×*	○		
FKEY クリア処理	○	×	○		
FMATS によるマット切り替え	○	×	○		

【注】 \* 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

## 19.5 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトの2種類あります。

### 19.5.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み/消去プログラムを起動してもユーザマットの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータで報告されます。

表 19.9 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> <li>リセット (WDT によるリセットも含む) およびハードウェアスタンバイ時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。</li> <li>RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。</li> </ul>	○	○

### 19.5.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクトがあります。

表 19.10 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	<ul style="list-style-type: none"> <li>FCSS の SCO ビットを 0 にクリアすることにより、書き込み/消去プログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。</li> </ul>	○	○
FKEY プロテクト	<ul style="list-style-type: none"> <li>FKEY にキーコードを書き込まないと、ダウンロードと書き込み/消去ができません。ダウンロードと書き込み/消去では、異なったキーコードの設定が必要です。</li> </ul>	○	○

### 19.5.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や規定の書き込み/消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FCCS の FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み/消去は中断されます。

FLER ビットのセット条件を以下に示します。

1. 書き込み/消去中にNMIなどの割り込みが発生したとき
2. 書き込み/消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
3. 書き込み/消去中にSLEEP命令を実行したとき（ソフトウェアスタンバイを含む）
4. 書き込み/消去中にCPU以外のバスマスタ（DTC）が、バス権を確保したとき

エラープロテクトの解除は、リセットまたはハードウェアスタンバイで行われます。

なお、この場合のリセット入力期間は、通常より長い 100μs の期間のあとにリセットリリースしてください。フラッシュメモリには書き込み/消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 19.16 にエラープロテクト状態への状態遷移図を示します。

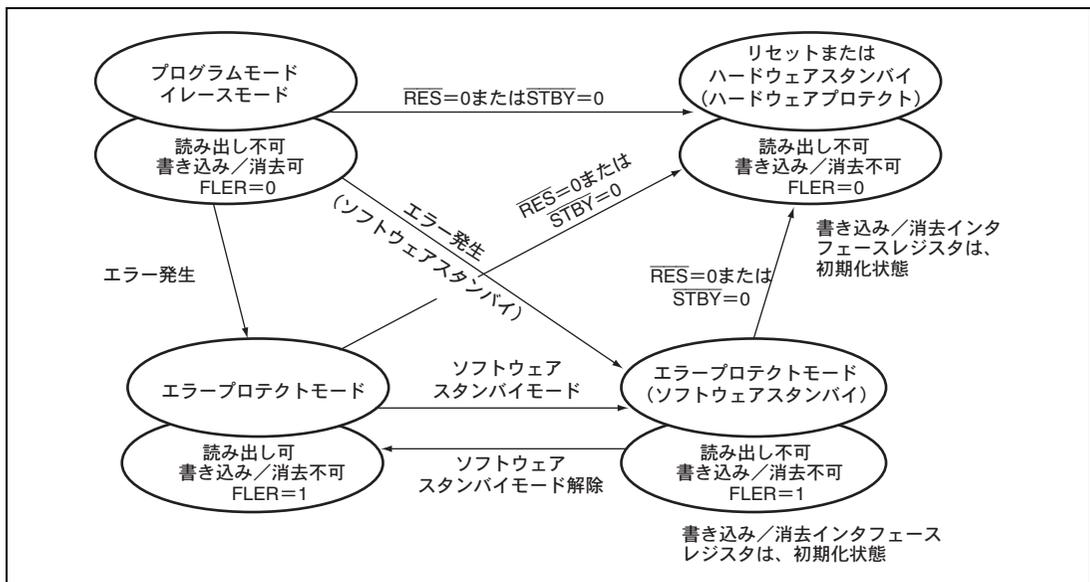


図 19.16 エラープロテクト状態への状態遷移図

## 19.6 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

1. FMATSによるマット切り替えは、必ず内蔵RAM上で実行してください。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATS書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。  
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。  
必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクタテーブルも切り替わっていますので注意してください。  
マット切り替え前後で同じ割り込み処理を実施する場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクタテーブルもFCCSのWEINTEビットをセットすることにより内蔵RAM上に設定するなどをお願いします。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。8Kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。8Kバイト空間以上をアクセスした場合、不定値が読み出されます。

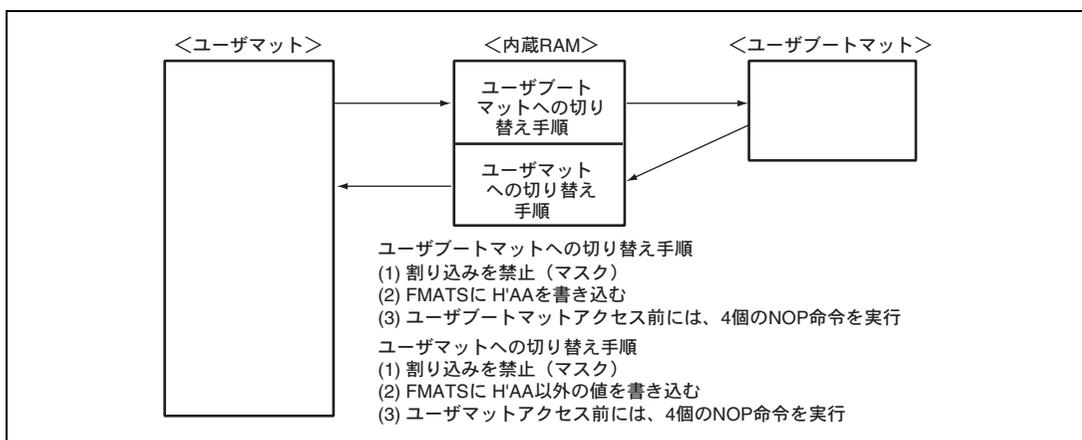


図 19.17 ユーザマット/ユーザブートマットの切り替え

## 19.7 ライタモード

プログラム/データの書き込み/消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではルネサス テクノロジ 512K バイトフラッシュメモリ内蔵マイコンのデバイスタイプ\*<sup>1</sup>をサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み/消去対象マツトは、ユーザマツトとユーザブートマツト\*<sup>2</sup>です。図 19.18 にライタモード時のメモリマップを示します。

自動書き込み/自動消去/ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後、その詳細な内部信号を出力します。ライタモードでは、入力クロックとして 12MHz を入力してください。

**【注】** \*<sup>1</sup> 本 LSI は、PROM ライタの書き込み電圧を 3.3V に設定して使用してください。

\*<sup>2</sup> 対応する PROM ライタおよびプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。



図 19.18 ライタモード時のメモリマップ

## 19.8 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストパソコンと LSI 内蔵の SCI を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

### (1) ステータス

ブートプログラムは 3 つのステータスを持ちます。

#### 1. ビットレート合わせ込みステータス

ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

#### 2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマツトとユーザブートマツトを消去します。

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

### 3. 書き込み消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って、書き込み/消去プログラムをRAMに転送し、書き込み/消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。ブートプログラムのステータスを図 19.19 に示します。

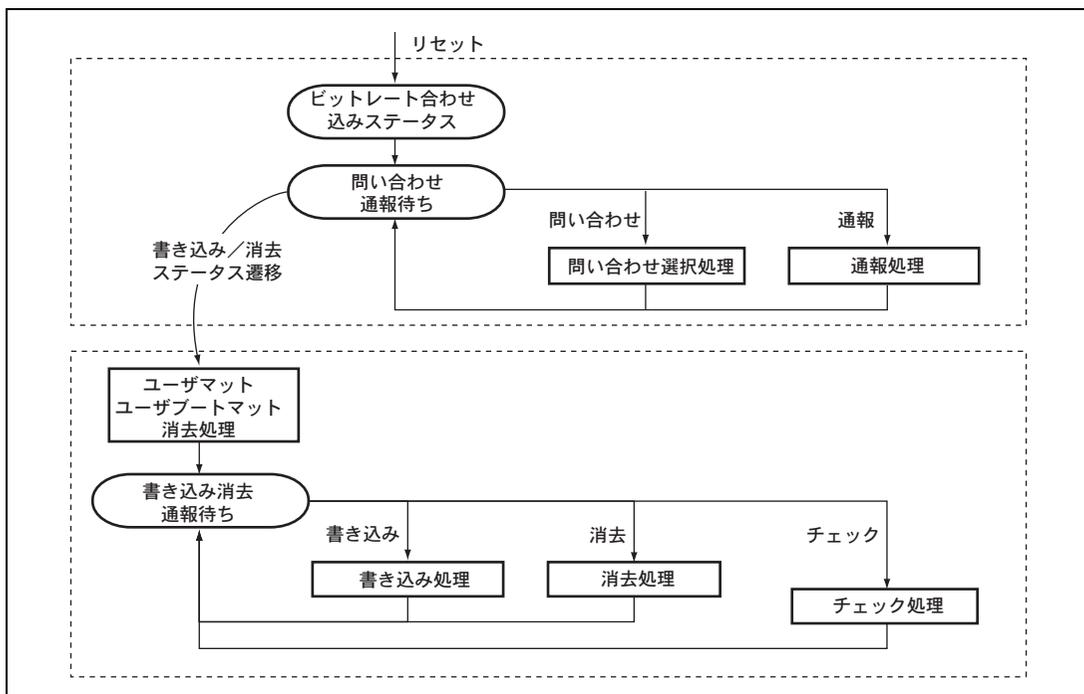


図 19.19 ブートプログラムのステータス

#### (2) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 19.20 に示します。

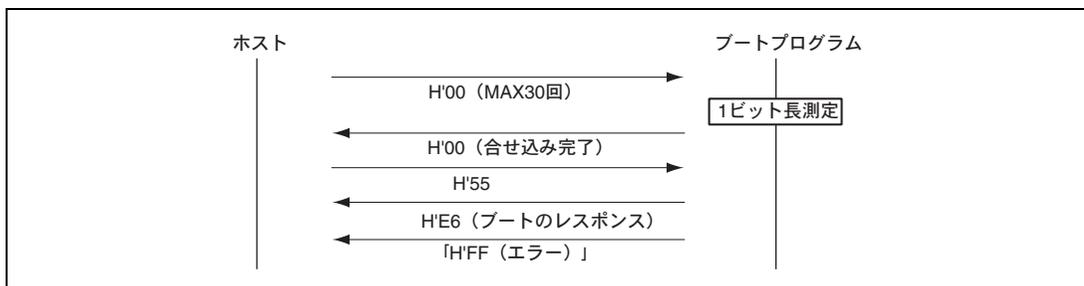


図 19.20 ビットレート合わせ込みのシーケンス

**(3) 通信プロトコル**

ビットレート合わせ込みが完了した後の、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

## 1. 1文字コマンドまたは1文字レスポンス

コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

## 2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。

書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

## 3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

## 4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

## 5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

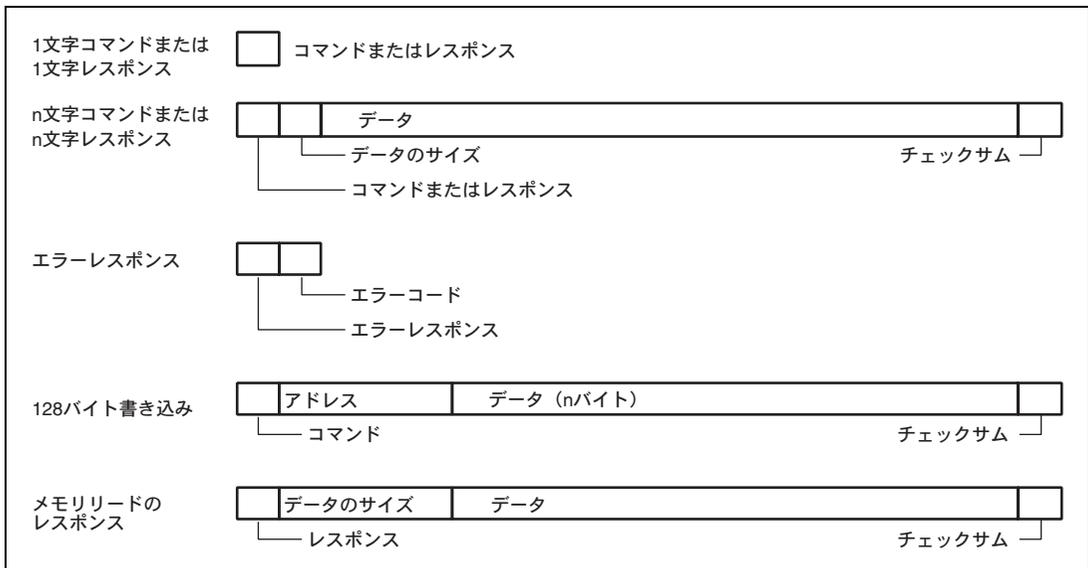


図 19.21 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長

### (4) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を下表に示します。

表 19.11 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	分周比問い合わせ	分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとベリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受付け後も有効です。

## (a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド 

H'20
------

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ (1バイト)：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数 (1バイト)：マイコン内のブートプログラムがサポートする品種数
- 文字数 (1バイト)：デバイスコードとブートプログラム品名の文字数
- デバイスコード (4バイト)：サポートする品名のASCIIコード
- 品名 (nバイト)：ブートプログラム型名、ASCIIコード
- SUM (1バイト)：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

## (b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド 

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ (1バイト)：デバイスコードの文字数、固定値で4
- デバイスコード (4バイト)：サポートデバイス問い合わせで応答したデバイスコード (ASCIIコード)
- SUM (1バイト)：サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACKエラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：(1バイト)：エラーコード
  - H'11：サムチェックエラー
  - H'21：デバイスコードエラー、デバイスコードが一致しない

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

---

### (c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21
------

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数  
H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

### (d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06
------

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK  
エラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード  
H'11：サムチェックエラー  
H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

## (e) 分周比問い合わせ

分周比問い合わせに対して、ブートプログラムは選択可能な分周比を応答します。

コマンド 

H'22
------

- コマンド「H'22」（1バイト）：分周比問い合わせ

レスポンス	H'32	サイズ	種別数					
	分周比数	分周比	...					
	...							
	SUM							

- レスポンス「H'32」（1バイト）：分周比問い合わせに対する応答
- サイズ（1バイト）：種別数、分周比数、分周比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な分周比の種別の数  
（メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02）
- 分周比数（1バイト）：各動作周波数で選択可能な分周比数  
メインモジュール、周辺モジュールで選択可能な分周比数
- 分周比（1バイト）  
分周比： 分周する数値、負の数（例 2分周：H'FE[-2]）  
分周比を分周比数の数だけ繰り返し、分周比数と分周比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

## (f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド 

H'23
------

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値	動作周波数最大値	
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスに必要な動作周波数の種類数、  
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：分周されたクロックの最小値、  
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値、  
（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：分周されたクロックの最大値、  
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM（1バイト）：サムチェック

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド 

H'24
------

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザブートマットのエリアの数、ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

### (h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド 

H'25
------

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザマットのエリアの数、ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

## (i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド 

H'26
------

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス、  
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

## (j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド 

H'27
------

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ、  
このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	分周比数	分周比 1	分周比 2	
	SUM			

- コマンド「H'3F」(1バイト) : 新ビットレート選択
- サイズ(1バイト) : ビットレート、入力周波数、分周比数、分周比の合計サイズ
- ビットレート(2バイト) : 新ビットレート、  
1/100の値とする、(たとえば、19200bpsのときは192とし、H'00C0とする)
- 入力周波数(2バイト) : ブートプログラムに入力されるクロック周波数、  
周波数(MHz)の小数点2位までの値とする(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)。
- 分周比数(1バイト) : デバイスで選択可能な分周比  
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 分周比1(1バイト) : メイン動作周波数の分周比  
分周比 : 分周する数値、負の数値(例 2分周 : H'FE[-2])
- 分周比2(1バイト) : 周辺動作周波数の分周比  
分周比 : 分周する数値、負の数値(例 2分周 : H'FE[-2])
- SUM(1バイト) : サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : 新ビットレート選択に対する応答、選択可能なときACK  
エラー

レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」(1バイト) : 新ビットレート選択に対するエラー応答
- ERROR : (1バイト) : エラーコード  
H'11 : サムチェックエラー  
H'24 : ビットレート選択不可エラー、指定されたビットレートが選択できない  
H'25 : 入力周波数エラー、入力周波数が最小値と最大値の範囲にない  
H'26 : 分周比エラー、分周比が一致しない  
H'27 : 動作周波数エラー、動作周波数が最小値と最大値の範囲にない

**(5) 受信データのチェック**

受信したデータのチェック方法を以下に示します。

## 1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

## 2. 分周比

受信した分周比の値が、すでに選択されたデバイスのクロックモードに対する分周比と一致するかどうかをチェックします。一致しなければ分周比エラーです。

## 3. 動作周波数

受信した入力周波数と分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

$$\text{動作周波数} = \text{入力周波数} \div \text{分周比}$$

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

## 4. ビットレート

ペリフェラル動作周波数 (φ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{(2 \times n - 1)}} \right] - 1 \right\} \times 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストがACKを送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」(1バイト) : 新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレートの確認に対する応答

## 19. フラッシュメモリ (0.18μm F-ZTAT 版)

新ビットレート選択のシーケンスを図 19.22 に示します。

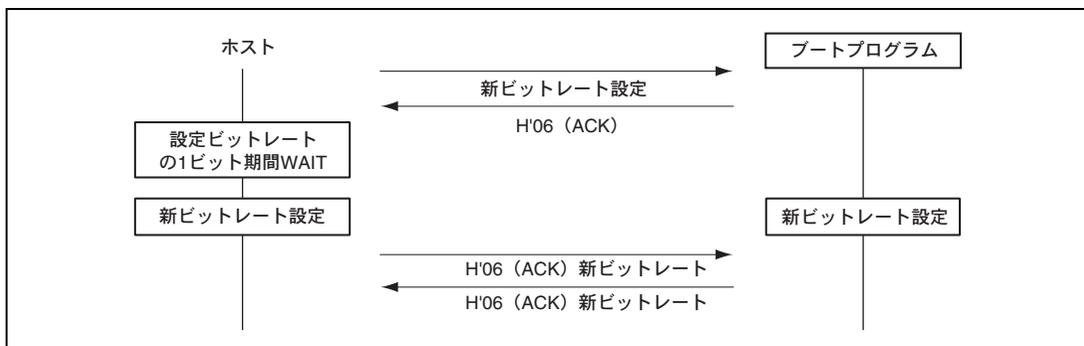


図 19.22 新ビットレート選択のシーケンス

### (6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドでLSIのデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド 

H'40
------

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス 

H'06
------

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、

消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラー

レスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

### (7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

### (8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択が終わったら、分周比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 分周比、動作周波数の情報に従って、新ビットレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

## (9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を下表に示します。

表 19.12 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

- 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと128バイト書き込みコマンドのシーケンスを図 19.23 に示します。

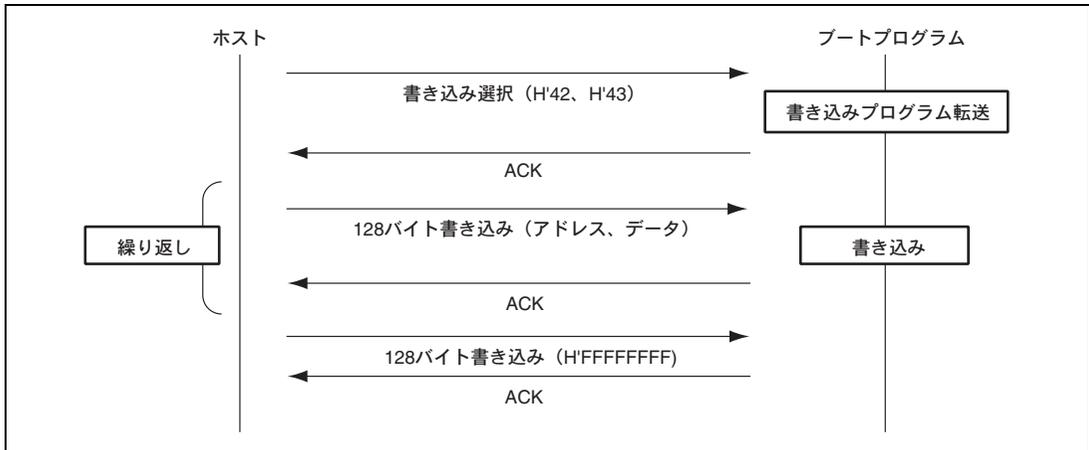


図 19.23 書き込みシーケンス

#### (a) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド H'42

- コマンド「H'42」（1バイト）：ユーザブートマット書き込み選択

レスポンス H'06

- レスポンス「H'06」（1バイト）：ユーザブートマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス H'C2 ERROR

- エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

### • ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド 

H'43
------

- コマンド「H'43」（1バイト）：ユーザマット書き込み選択

レスポンス 

H'06
------

- レスポンス「H'06」（1バイト）：ユーザマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス 

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

### (b) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
		...						
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数

例) H'00,H'01,H'00,H'00：H'010000

- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ

- SUM（1バイト）：サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラー

レスポンス 

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答

- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」(1バイト) : 128バイト書き込み
- 書き込みアドレス(4バイト) : 終了コード (H'FF,H'FF,H'FF,H'FF)
- SUM (1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト) : 128バイト書き込みに対する応答、書き込み処理が完了したときACKエラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」(1バイト) : 128バイト書き込みに対するエラー応答
- ERROR : (1バイト) : エラーコード
  - H'11 : サムチェックエラー
  - H'2A : アドレスエラー
  - H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

(10) 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドとブロック消去コマンドのシーケンスを図 19.24 に示します。

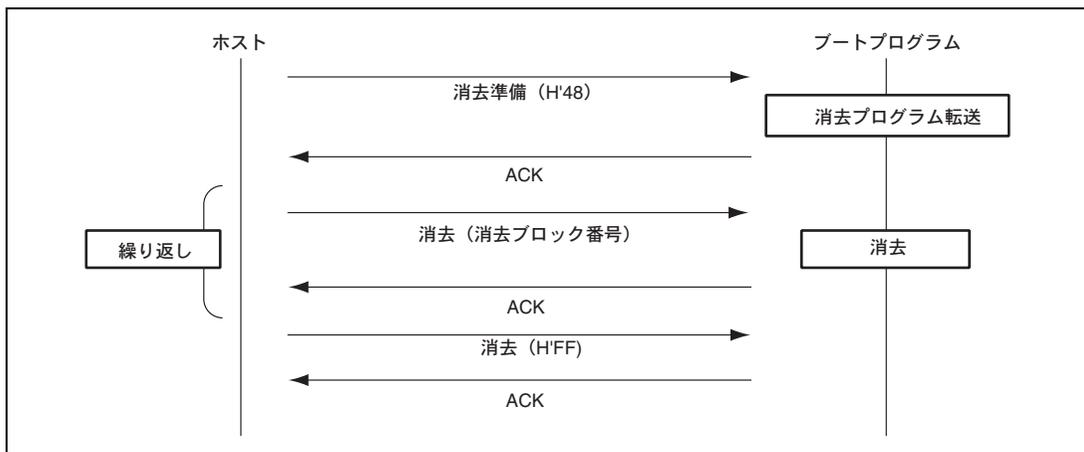


図 19.24 消去シーケンス

(a) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答、消去プログラムを転送したときACK

エラー

レスポンス H'C8 ERROR

- エラーレスポンス「H'C8」（1バイト）：消去選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

## (b) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

## エラー

レスポンス	H'D8	ERROR
-------	------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
  - H'11：サムチェックエラー
  - H'29：ブロック番号エラー、ブロック番号が正しくない
  - H'51：消去エラー、消去中にエラー発生

ブロック番号がH'FFに対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号をH'FFで指定した後、再度、消去を行う場合は、消去選択から実行します。

## 19. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (11) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス			
	読み出しサイズ			SUM			

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）

H'00：ユーザブートマット

H'01：ユーザマット

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス	H'52	読み出しアドレス					
	データ	...					
	SUM						

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：サムチェック

### エラー

レスポンス	H'D2	ERROR
-------	------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー

読み出しアドレスがマットの範囲にない

H'2B：サイズエラー

読み出しサイズがマットの範囲を超えている

**(12) ユーザブートマットのサムチェック**

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド 

H'4A
------

- コマンド「H'4A」(1バイト) : ユーザブートマットのサムチェック

レスポンス 

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートマットのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- マットのサムチェック(4バイト) : ユーザブートマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

**(13) ユーザマットのサムチェック**

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド 

H'4B
------

- コマンド「H'4B」(1バイト) : ユーザマットのサムチェック

レスポンス 

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザマットのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

**(14) ユーザブートマットのブランクチェック**

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド 

H'4C
------

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CC	H'52
------	------

## 19. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

- エラーレスポンス「H'CC」 (1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」 (1バイト) : 未消去エラー

### (15) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド 

H'4D
------

- コマンド「H'4D」 (1バイト) : ユーザマットのブランクチェック

レスポンス 

H'06
------

- レスポンス「H'06」 (1バイト) : ユーザマットのブランクチェックに対する応答、エリアがすべてブランク (H'FF) のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」 (1バイト) : ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」 (1バイト) : 未消去エラー

### (16) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド 

H'4F
------

- コマンド「H'4F」 (1バイト) : ブートプログラムステータス問い合わせ

レスポンス 

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」 (1バイト) : ブートプログラムステータス問い合わせに対する応答
- サイズ (1バイト) : データの文字数、固定値で2
- STATUS (1バイト) : 標準ブートプログラムのステータス
- ERROR (1バイト) : エラー状態  
ERROR=0で正常  
ERRORが0以外で異常
- SUM (1バイト) : サムチェック

表 19.13 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち (ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち (消去完了)
H'4F	書き込みデータ受信待ち (書き込み完了)
H'5F	消去ブロック指定待ち (消去完了)

表 19.14 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	分周比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

## 19.9 使用上の注意事項

1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
2. 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。
3. PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
4. 定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROMライターは、ルネサス テクノロジ512Kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。ライターの設定をHN28F101や書き込み電圧を5.0Vにセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
5. 書き込み／消去実行中に、マイコンチップをPROMライターから取り外したり、リセットを入力することはやめてください。書き込み／消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。もし、誤ってリセット入力してしまった場合は、100  $\mu\text{s}$ の通常より長いリセット期間の後にリセットリリースしてください。
6. 書き込み／消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。書き込み／消去完了直後に、LSIモードを変更してリセット動作をさせる場合には、100  $\mu\text{s}$ 以上のリセット期間（RES=0とする期間）を設けてください。なお、書き込み／消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100  $\mu\text{s}$ の通常より長いリセット期間の後に、リセットリリースしてください。
7.  $V_{CC}$ 電源の印加／切断時はRES端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。
8. オンボードプログラミングでは128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
9. オンボードプログラミングモードにて書き込み／消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。

10. フラッシュメモリへの書き込みを行う場合は、書き込みデータ、およびプログラムは外部割り込みベクタテーブル以降（ノーマルモード：H'0020、アドバンスモード：H'000040）に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H'FFを配置してください。
11. フラッシュメモリのキーコードエリア（ノーマルモード：H'001E～1F、アドバンスモード：H'00003C～3F）にall H'FF（4バイト）以外のデータを書き込むと、ライターモードでの読み出しができなくなります（H'00が読み出される。消去→書き換えは可能）。ライターモードによる読み出しを行う場合は、必ずキーコードエリアにall H'FFを書き込むようにしてください。  
  
ライターモードでキーコードエリアにall H'FF以外のデータを書き込む場合、PROMライターおよびプログラムバージョンが対応されていないと書き込み時にペリファイエラーになります。
12. 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ2Kバイト以内です。よって、CPUクロック周波数が20MHzの場合、200 μsのダウンロード時間となります。
13. ダウンロード要求のFCCSのSCOビットや、マット切り替えのFMATSは、内蔵RAM上で命令実行中ならば、DTCからでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAMを破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、DTCでのフラッシュ関連レジスタへの書き込みを行わないでください。
14. SCO転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来のH8S F-ZTATマイコンで使用していたフラッシュメモリの書き込み/消去プログラムは、本LSIでは動作しません。本LSIでのフラッシュメモリへの書き込み/消去は、必ず内蔵プログラムをダウンロードして実施してください。
15. 従来のH8S F-ZTATマイコンと異なり、書き込み/消去中はWDTによる暴走などへの対応は、実施していません。必要に応じて、書き込み/消去の実行時間を考慮したWDTでの対応を実施してください（定期的なタイマ割り込みの使用など）。



## 20. PROM (OTP 版)

R4P2125 は 512K バイトの 1 回限り書き込み可能なフラッシュメモリを内蔵しています。PROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 PROM の有効または無効の設定は、モード端子 (MD2\*、MD1、MD0) および MDCR の EXPE ビットにより行います。MDCR については「3.2.1 モードコントロールレジスタ (MDCR)」を参照してください。

R4P2125 は、PROM ライタを用いて書き込みが可能です。

**【注】** \* SDIP-64、QFP-64 ではサポートしません。

PROM のブロック図を図 20.1 に示します。

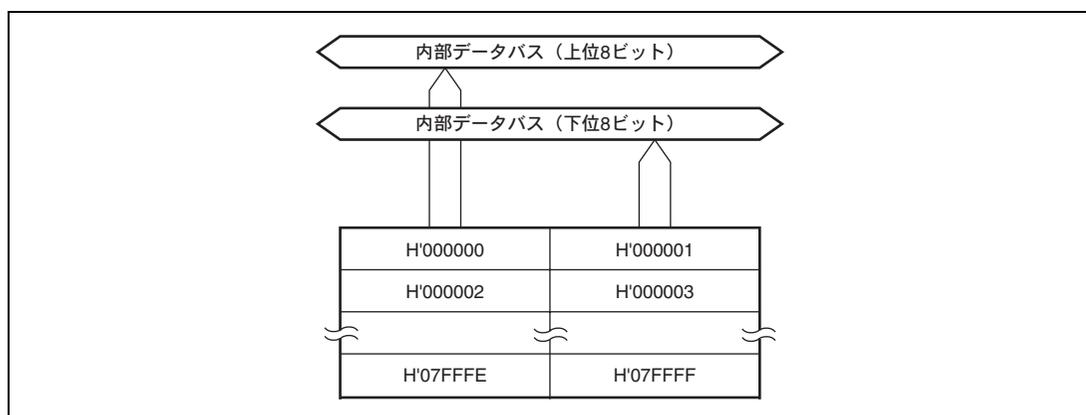


図 20.1 PROM のブロック図 (R4P2125)

## 20.1 ライタモード

### 20.1.1 ライタモードの設定

プログラム/データの書き込みモードとして、ライタモードがあります。ライタモードではルネサス 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを用いて内蔵 PROM に自由にプログラムを書き込むことができます。

### 20.1.2 ソケットアダプタとメモリマップ

このライタモードでは、PROM ライタに各パッケージに対応したソケットアダプタを取り付けて行います。ソケットアダプタは、ルネサス 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライタメーカーに確認してください。

図 20.2 にライタモード時のメモリマップを示します。ライタモード時の端子名は表 1.1 を参照してください。

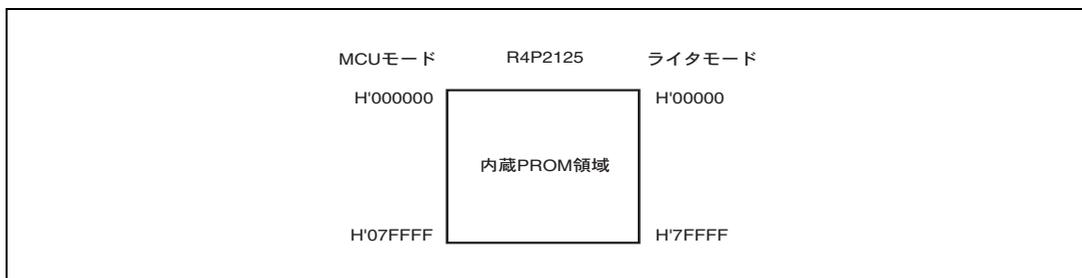


図 20.2 ライタモード時のメモリマップ

## 20.2 使用上の注意事項

1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
2. 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。
3. PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
4. 定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROMライターは、ルネサス テクノロジ512Kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。ライターの設定をHN28F101や書き込み電圧を5.0Vにセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
5. 書き込み／消去実行中に、マイコンチップをPROMライターから取り外したり、リセットを入力することはやめてください。書き込み／消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。もし、誤ってリセット入力してしまった場合は、100 $\mu$ sの通常より長いリセット期間の後にリセットリリースしてください。



## 21. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック ( $\phi$ )、内部クロック、バスマスタクロック、およびサブクロック ( $\phi$  SUB) を生成します。クロック発振器は、発振回路、デューティ補正回路、システムクロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、サブクロック波形形成回路で構成されます。クロック発振器のブロック図を図 21.1 に示します。

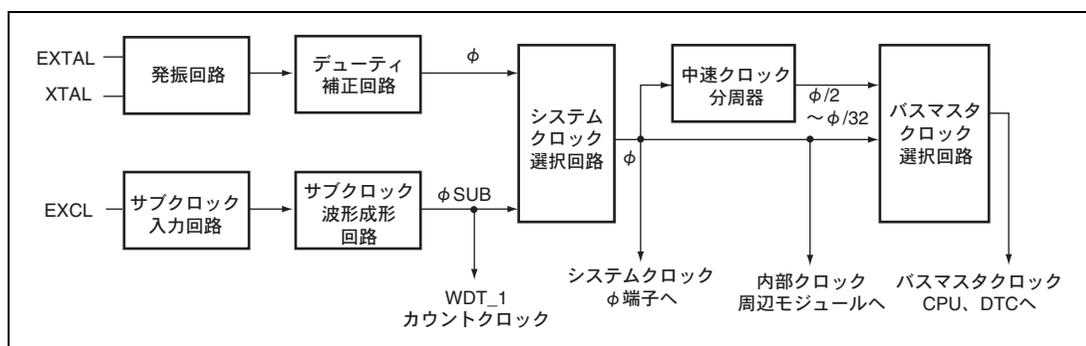


図 21.1 クロック発振器のブロック図

高速モード、中速モードでのバスマスタクロックの選択は、スタンバイコントロールレジスタの SCK2~SCK0 ビットの設定によりソフトウェアで行います。スタンバイコントロールレジスタについては、「22.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

サブクロック入力は、ローパワーコントロールレジスタの EXCLE ビットの設定によりソフトウェアで制御します。ローパワーコントロールレジスタについては「22.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

## 21. クロック発振器

### 21.1 発振回路

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

#### 21.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 21.2 に示します。ダンピング抵抗  $R_d$  は、表 21.1 に示すものを使用してください。水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子の等価回路を図 21.3 に示します。水晶発振子は表 21.2 に示す特性のものを使用してください。

水晶発振子は、システムクロック ( $\phi$ ) と同一周波数のものを使用してください。

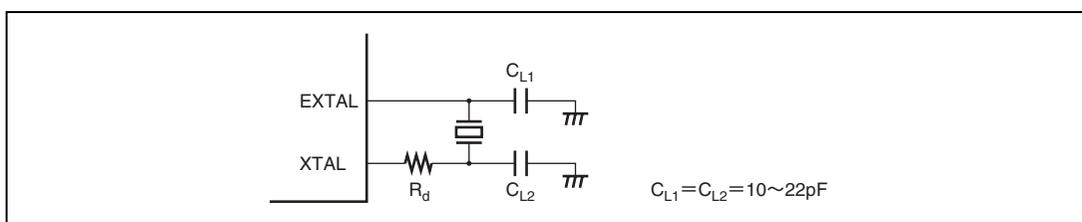


図 21.2 水晶発振子の接続例

表 21.1 ダンピング抵抗値

周波数 (MHz)	8	10	12	16	20
$R_d$ ( $\Omega$ )	200	0	0	0	0

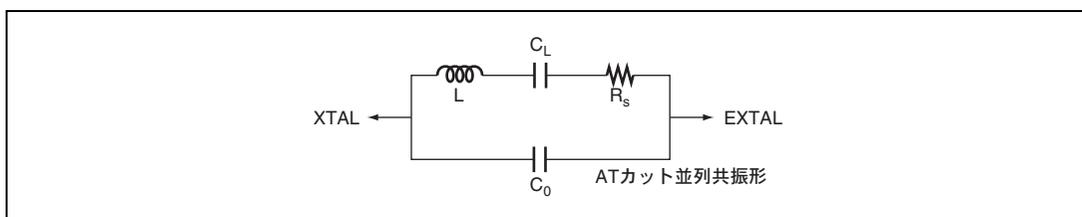


図 21.3 水晶発振子の等価回路

表 21.2 水晶発振子の特性

周波数 (MHz)	8	10	12	16	20
$R_s$ max ( $\Omega$ )	80	70	60	50	40
$C_0$ max (pF)	7				

### 21.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 21.4 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時は外部クロックを High レベルにしてください。外部クロックの入力条件を表 21.3 に示します。外部クロックは、システムクロック ( $\phi$ ) と同一周波数としてください。

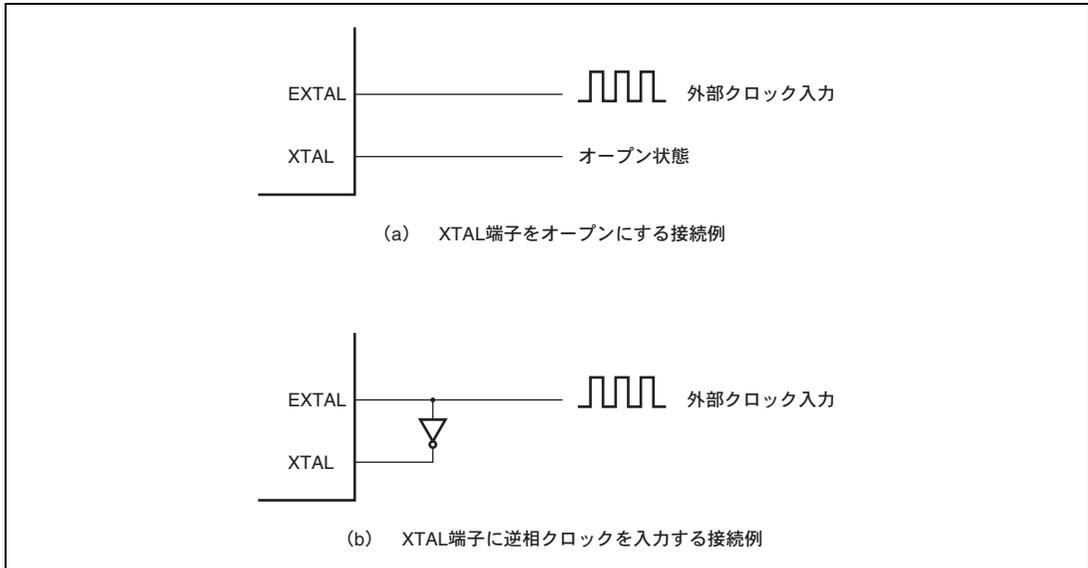


図 21.4 外部クロックの接続例

表 21.3 外部クロック入力条件

項目	記号	VCC=3.0~3.6V		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	$t_{EXL}$	20	—	ns	図 21.5
外部クロック入力パルス幅 High レベル	$t_{EXH}$	20	—	ns	
外部クロック立ち上がり時間	$t_{EXr}$	—	5	ns	
外部クロック立ち下がり時間	$t_{EXf}$	—	5	ns	
クロックパルス幅 Low レベル	$t_{CL}$	0.4	0.6	$t_{cyc}$	図 24.4
クロックパルス幅 High レベル	$t_{CH}$	0.4	0.6	$t_{cyc}$	

## 21. クロック発振器

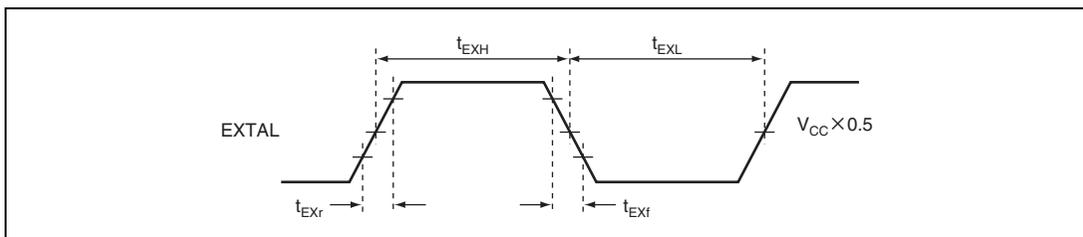


図 21.5 外部クロック入力カタイミング

発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。

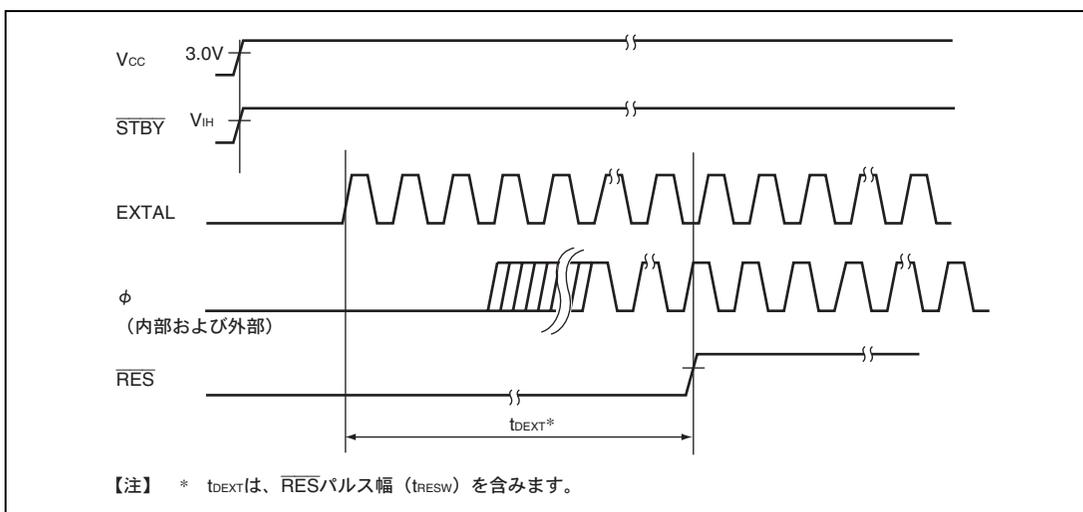
EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 ( $t_{\text{DEXT}}$ ) 経過後に内部クロック信号出力が確定します。 $t_{\text{DEXT}}$  期間中はクロック信号出力が確定していませんので、リセット信号を Low レベルにしリセット状態を保持してください。表 21.4 に外部クロック出力安定遅延時間、図 21.6 に外部クロック出力安定遅延時間タイミングを示します。

表 21.4 外部クロック出力安定遅延時間

条件 :  $V_{\text{CC}}=3.0\text{V}\sim 3.6\text{V}$ 、 $AV_{\text{CC}}=3.0\text{V}\sim 3.6\text{V}$ 、 $V_{\text{SS}}=AV_{\text{SS}}=0\text{V}$

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	$t_{\text{DEXT}}^*$	500	—	$\mu\text{s}$	図 21.6

【注】 \*  $t_{\text{DEXT}}$  は、 $\overline{\text{RES}}$  パルス幅 ( $t_{\text{RESW}}$ ) を含みます。



【注】 \*  $t_{\text{DEXT}}$  は、 $\overline{\text{RES}}$  パルス幅 ( $t_{\text{RESW}}$ ) を含みます。

図 21.6 外部クロック出力安定遅延時間タイミング

## 21.2 デューティ補正回路

デューティ補正回路は発振器の出力するクロックのデューティを補正してシステムクロック ( $\phi$ ) を生成します。

## 21.3 中速クロック分周器

中速クロック分周器は、システムクロック ( $\phi$ ) を分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$  を生成します。

## 21.4 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SBYCR の SCK2~SCK0 ビットによりシステムクロック ( $\phi$ )、または中速クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) から選択します。

## 21.5 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。サブクロックを使用する場合は、EXCL 端子から 32.768kHz の外部クロックを入力してください。

EXCL 端子入力関係を図 21.7 に示します。

サブクロック入力を使用する場合は、入力に使用する端子の DDR ビットを 0 にクリアし、入力端子状態にしてください。LPWRCR の EXCLE ビットを 1 にセットすることでサブクロック入力がいネーブルになります。

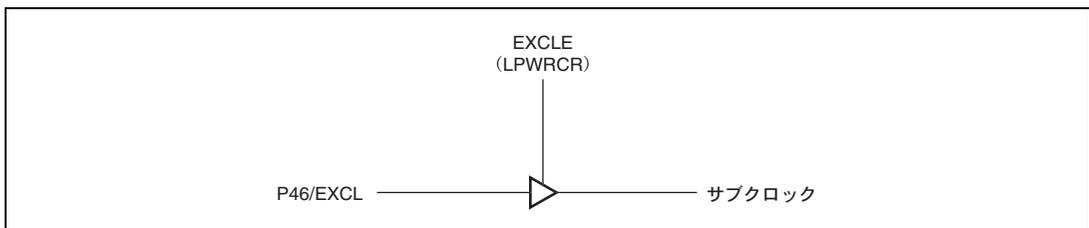


図 21.7 EXCL 端子からのサブクロック入力

## 21. クロック発振器

サブクロックの入力条件を表 21.5 に示します。サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

表 21.5 サブクロック入力条件

項目	記号	VCC=3.0~3.6V			単位	測定条件
		Min	typ	Max		
サブクロック入力パルス幅 Low レベル	$t_{EXCLL}$	—	15.26	—	$\mu s$	図 21.8
サブクロック入力パルス幅 High レベル	$t_{EXCLH}$	—	15.26	—	$\mu s$	
サブクロック入力立ち上がり時間	$t_{EXCLr}$	—	—	10	ns	
サブクロック入力立ち下がり時間	$t_{EXCLf}$	—	—	10	ns	

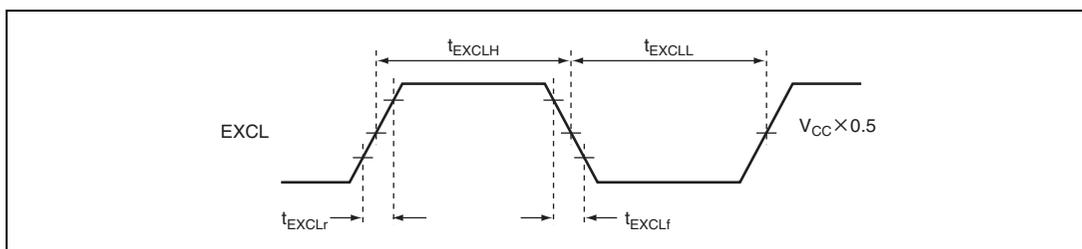


図 21.8 サブクロック入力タイミング

## 21.6 サブクロック波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、 $\phi$ クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

## 21.7 クロック選択回路

LSI 内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には XTAL、EXTAL 端子の発振器で生成されるクロックをシステムクロック ( $\phi$ ) として選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、LPWRCR の EXCLE=1 のときは、EXCL 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR\_0、TMR\_1、WDT\_0、WDT\_1、ポート、割り込みコントローラなどのモジュールおよび機能は  $\phi_{SUB}$  により動作し、各タイマのカウントクロックやサンプリングクロックも  $\phi_{SUB}$  を分周したクロックとなります。

## 21.8 使用上の注意事項

### 21.8.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本書で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 21.8.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。また、図 21.9 に示すように発振回路の近くには他の信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

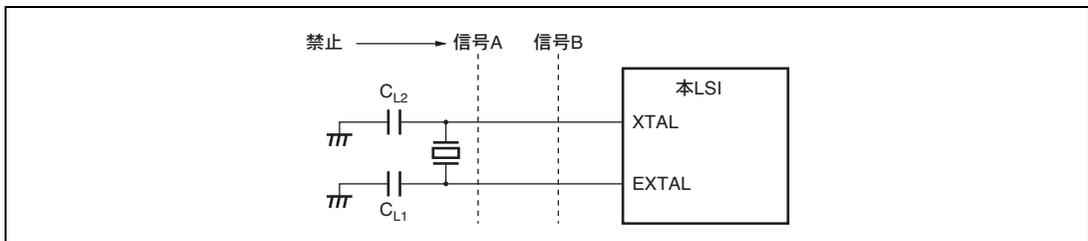


図 21.9 発振回路部のボード設計に関する注意事項



---

## 22. 低消費電力状態

---

リセット解除後の動作モードには、通常の高速モードでのプログラム実行状態のほかに消費電力を著しく低下させる7種類の低消費電力モードがあります。このほか、内蔵周辺モジュールを選択的に停止させて消費電力を低下させるモジュールストップモードがあります。

- 中速モード  
CPUを動作させるシステムクロックの周波数は $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ の中から選択できます。
- サブアクティブモード  
CPUはサブクロックで動作します。内蔵周辺モジュールはTMR\_0、TMR\_1、WDT\_0、WDT\_1のみ動作します。
- スリープモード  
CPUは動作を停止します。内蔵周辺モジュールは動作します。
- サブスリープモード  
CPUは動作を停止します。内蔵周辺モジュールはTMR\_0、TMR\_1、WDT\_0、WDT\_1のみ動作します。
- ウォッチモード  
CPUは動作を停止します。内蔵周辺モジュールはWDT\_1のみ動作します。
- ソフトウェアスタンバイモード  
クロック発振器が停止し、CPUおよび内蔵周辺モジュールは動作を停止します。
- ハードウェアスタンバイモード  
クロック発振器が停止し、CPUおよび内蔵周辺モジュールはリセット状態になります。
- モジュールストップモード  
上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることができます。

## 22.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。TSCR\_1 (WDT\_1) の PSS ビットについては「14.3.2 タイマコントロール/ステータスレジスタ (TCSR)」の TCSR\_1 を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- ローパワーコントロールレジスタ (LPWRCR)
- モジュールストップコントロールレジスタH (MSTPCRH)
- モジュールストップコントロールレジスタL (MSTPCRL)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)

### 22.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0: スリープモードに遷移 1: ソフトウェアスタンバイモード、サブアクティブモードまたはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0: サブスリープモードに遷移 1: ウォッチモードまたは高速モードに遷移 割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0
5	STS1	0	R/W	ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機ステート数を設定します。動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように設定してください。設定値と待機ステート数の関係は表 22.1 のとおりです。 外部クロックを使用する場合は任意の選択が可能です。通常の場合は最小値を推奨します。
4	STS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	—	0	R/W	リザーブビット 初期値を変更しないでください
2	SCK2	0	R/W	システムクロックセレクト 2~0 高速モードおよび中速モードでのバスマスタのクロックを選択します。 なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には SCK2~SCK0 を B'000 にしてください。  000 : 高速モード 001 : 中速クロックは $\phi/2$ 010 : 中速クロックは $\phi/4$ 011 : 中速クロックは $\phi/8$ 100 : 中速クロックは $\phi/16$ 101 : 中速クロックは $\phi/32$ 11X : 設定しないでください
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【注】 X : Don't care

表 22.1 動作周波数と待機時間

STS2	STS1	STS0	待機時間	20MHz	10MHz	8MHz	単位
0	0	0	8192 ステート	0.4	0.8	1.0	ms
0	0	1	16384 ステート	0.8	1.6	2.0	
0	1	0	32768 ステート	1.6	3.3	4.1	
0	1	1	65536 ステート	3.3	6.6	8.2	
1	0	0	131072 ステート	6.6	13.1	16.4	
1	0	1	262144 ステート	13.1	26.2	32.8	
1	1	0	リザーブ	—	—	—	—
1	1	1	16 ステート*	0.8	1.6	2.0	$\mu$ s

: 推奨設定時間

【注】 \* 本設定は使用しないでください。

## 22. 低消費電力状態

### 22.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	<p>ダイレクトトランスファオンフラグ</p> <p>SLEEP 命令実行後の遷移先を指定します。</p> <p>高速モードまたは中速モードで SLEEP 命令を実行したとき</p> <p>0: スリープモード、ソフトウェアスタンバイモードまたはウォッチモードに遷移</p> <p>1: サブアクティブモードに直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移</p> <p>サブアクティブモードで SLEEP 命令を実行したとき</p> <p>0: サブスリープモードまたはウォッチモードに遷移</p> <p>1: 高速モードに直接遷移、またはサブスリープモードに遷移</p>
6	LSON	0	R/W	<p>ロースピードオンフラグ</p> <p>SLEEP 命令実行後の遷移先を指定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。</p> <p>高速モードまたは中速モードで SLEEP 命令を実行したとき</p> <p>0: スリープモード、ソフトウェアスタンバイモード、またはウォッチモードに遷移</p> <p>1: ウォッチモード、またはサブアクティブモードに遷移</p> <p>サブアクティブモードで SLEEP 命令を実行したとき</p> <p>0: ウォッチモードまたは高速モードに直接遷移</p> <p>1: サブスリープモードまたはウォッチモードに遷移</p> <p>ウォッチモードを解除したとき</p> <p>0: 高速モードに遷移</p> <p>1: サブアクティブモードに遷移</p>
5	NESEL	0	R/W	<p>ノイズ除去サンプリング周波数選択</p> <p>EXCL 端子から入力されたサブクロック (<math>\phi</math> SUB) を、システムクロック発振器で生成されたクロック (<math>\phi</math>) により、サンプリングする周波数を選択します。</p> <p>0: <math>\phi</math> の 32 分周クロックでサンプリング</p> <p>1: <math>\phi</math> の 4 分周クロックでサンプリング</p>
4	EXCLE	0	R/W	<p>サブクロック入力カインェーブル</p> <p>EXCL 端子からのサブクロック入力を制御します。</p> <p>0: EXCL 端子からのサブクロック入力禁止</p> <p>1: EXCL 端子からのサブクロック入力許可</p>
3~0	—	すべて 0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

### 22.1.3 モジュールストップコントロールレジスタ H、L、A、B (MSTPCR<sub>H</sub>、MSTPCR<sub>L</sub>、MSTPCR<sub>A</sub>、MSTPCR<sub>B</sub>)

MSTPCR は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールストップモードになります。

#### • MSTPCR<sub>H</sub>

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP15	0	R/W	リザーブビット 初期値を変更しないでください。
6	MSTP14	0	R/W	データトランスファコントローラ (DTC)
5	MSTP13	1	R/W	16 ビットフリーランニングタイム (FRT)
4	MSTP12	1	R/W	8 ビットタイマ (TMR <sub>0</sub> 、TMR <sub>1</sub> )
3	MSTP11	1	R/W	8 ビット PWM タイマ (PWM) 、14 ビット PWM タイマ (PWMX)
2	MSTP10	1	R/W	リザーブビット 初期値を変更しないでください。
1	MSTP9	1	R/W	A/D 変換器
0	MSTP8	1	R/W	8 ビットタイマ (TMR <sub>X</sub> 、TMR <sub>Y</sub> )

#### • MSTPCR<sub>L</sub>

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI <sub>0</sub> )
6	MSTP6	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI <sub>1</sub> )
5	MSTP5	1	R/W	リザーブビット 初期値を変更しないでください。
4	MSTP4	1	R/W	I <sup>2</sup> C バスインタフェース チャンネル 0 (IIC <sub>0</sub> )
3	MSTP3	1	R/W	I <sup>2</sup> C バスインタフェース チャンネル 1 (IIC <sub>1</sub> )
2	MSTP2	1	R/W	リザーブビット 初期値を変更しないでください。
1	MSTP1	1	R/W	リザーブビット 初期値を変更しないでください。
0	MSTP0	1	R/W	リザーブビット 初期値を変更しないでください。

## 22. 低消費電力状態

### • MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7	0	R/W	リザーブビット 初期値を変更しないでください。
6	MSTPA6	0	R/W	リザーブビット 初期値を変更しないでください。
5	MSTPA5	0	R/W	リザーブビット 初期値を変更しないでください。
4	MSTPA4	0	R/W	リザーブビット 初期値を変更しないでください。
3	MSTPA3	0	R/W	リザーブビット 初期値を変更しないでください。
2	MSTPA2	0	R/W	リザーブビット 初期値を変更しないでください。
1	MSTPA1	0	R/W	14 ビット PWM タイマ (PWMX)
0	MSTPA0	0	R/W	8 ビット PWM タイマ (PWM)

MSTPCRA はビットの組み合わせにより以下のとおり動作と停止を設定します。

MSTPCRH MSTP11	MSTPCRA MSTPA1	機 能
0	0	14 ビット PWM タイマ (PWMX) 動作
0	1	14 ビット PWM タイマ (PWMX) 停止
1	0	14 ビット PWM タイマ (PWMX) 停止
1	1	14 ビット PWM タイマ (PWMX) 停止

MSTPCRH MSTP11	MSTPCRA MSTPA0	機 能
0	0	8 ビット PWM タイマ (PWM) 動作
0	1	8 ビット PWM タイマ (PWM) 停止
1	0	8 ビット PWM タイマ (PWM) 停止
1	1	8 ビット PWM タイマ (PWM) 停止

【注】 MSTPCRH の MSTP11 ビットは PWM、PWMX のモジュールストップビットです。

## • MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	リザーブビット 初期値を変更しないでください。
6	MSTPB6	1	R/W	リザーブビット 初期値を変更しないでください。
5	MSTPB5	1	R/W	リザーブビット 初期値を変更しないでください。
4	MSTPB4	1	R/W	リザーブビット 初期値を変更しないでください。
3	MSTPB3	1	R/W	リザーブビット 初期値を変更しないでください。
2	MSTPB2	1	R/W	リザーブビット 初期値を変更しないでください。
1	MSTPB1	1	R/W	16 ビットサイクルメジャーメントタイマ 1 (TCM_1)
0	MSTPB0	1	R/W	16 ビットサイクルメジャーメントタイマ 0 (TCM_0)

## 22.2 モード間遷移と LSI の状態

図 22.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。 $\overline{STBY}$  入力によりすべてのモードからハードウェアスタンバイモードに遷移します。また、 $\overline{RES}$  入力によりハードウェアスタンバイモードを除くすべてのモードからリセット状態に遷移します。表 22.2 に各動作モードでの LSI の内部状態を示します。

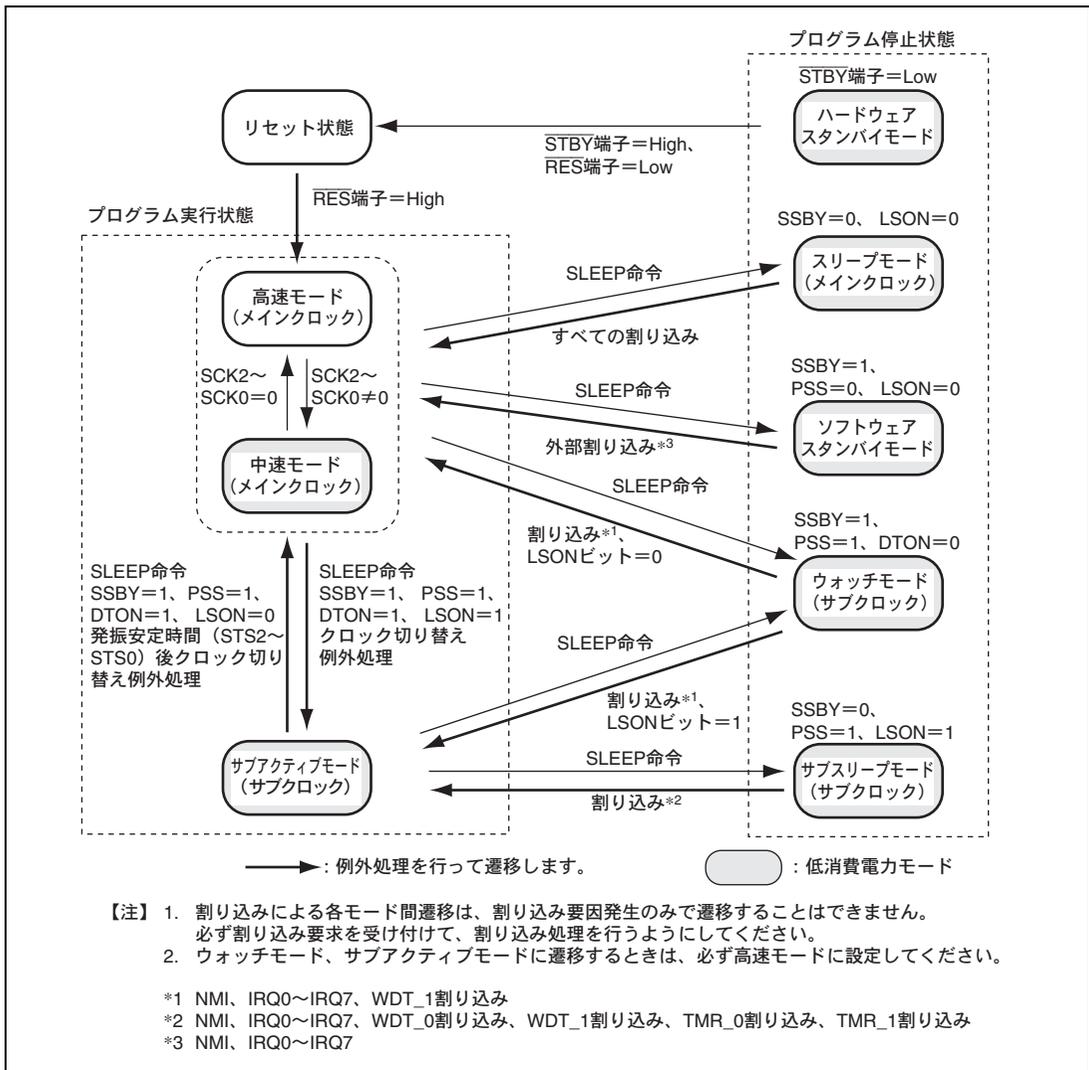


図 22.1 モード遷移図

表 22.2 各動作モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ			
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止			
サブクロック入力		動作	動作	動作	動作	動作	動作	動作	停止	停止			
CPU 動作	命令実行	動作	中速動作	停止	動作	停止	サブクロック	停止	停止	停止			
	レジスタ			保持		保持		動作			保持	不定	
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	停止			
	IRQ0~7												
周辺 モジュール	DTC	動作	中速動作 ／動作	動作	動作／停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)			
	WDT_1				動作	動作	動作	動作	サブクロック 動作	サブクロック 動作	サブクロック 動作	停止 (保持)	停止 (リセット)
	WDT_0				動作／停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	
	TMR_0、1												
	FRT				停止 (保持)	停止 (保持)							
	TCM				動作／停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)		
	TMR_X、Y												
	IIC_0												
	IIC_1												
	PWM												
	PWMX												
	SCI_0												
	SCI_1												
	A/D 変換器												
	RAM				動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
I/O	動作	動作	動作	動作	保持	動作	動作	保持	ハイインピー ダンス				

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作停止。

停止（リセット）は、内部レジスタおよび内部状態を初期化。

モジュールストップモードは、対象モジュールのみ停止（リセットまたは保持）。

### 22.3 中速モード

SBYCR の SCK2～SCK0 ビットの設定により、そのバスサイクルの終了時点で中速モードになります。動作クロックは  $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$  から選択できます。バスマスタ以外の内蔵周辺機能はシステムクロック ( $\phi$ ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとして  $\phi/4$  を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードは、SCK2～SCK0 ビットをいずれも 0 にクリアすると、そのバスサイクルの終了時点で高速モードに遷移します。

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR (WDT\_1) の PSS ビットが 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$  端子を Low レベルにすると中速モードは解除されリセット状態に遷移します。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

図 22.2 に中速モードのタイミングを示します。

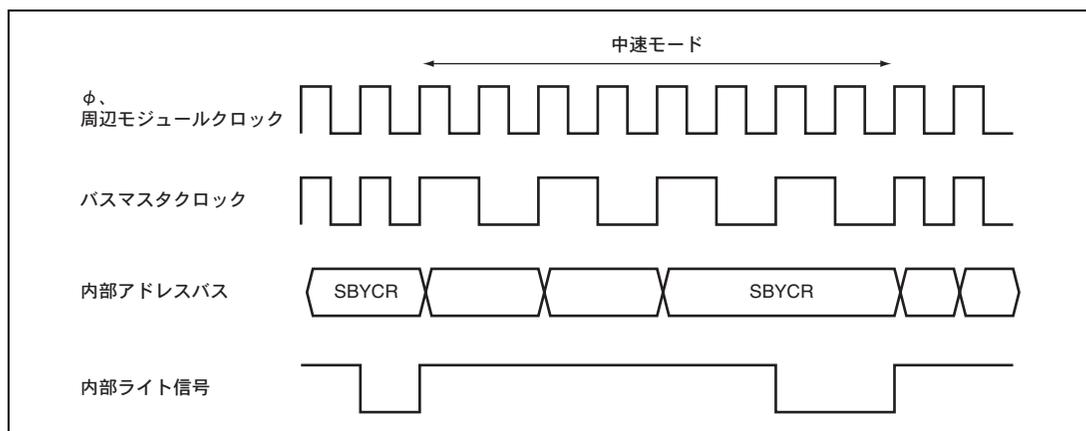


図 22.2 中速モードのタイミング

## 22.4 スリープモード

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは動作します。CPU の内部レジスタの内容は保持されます。

スリープモードは、割り込み、 $\overline{\text{RES}}$  端子、または  $\overline{\text{STBY}}$  端子によって解除されます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されているとき、または NMI 以外の割り込みが CPU でマスクされているとスリープモードは解除できません。

$\overline{\text{RES}}$  端子を Low レベルにすると、スリープモードは解除されリセット状態になります。規定のリセット入力期間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 22.5 ソフトウェアスタンバイモード

SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR (WDT\_1) の PSS が 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、クロック発振器が停止し、CPU および内蔵周辺機能が停止します。ただし、規定の電圧が与えられているかぎり、CPU のレジスタと内蔵 RAM のデータおよび SCI、PWM、PWMX、A/D 変換器を除く内蔵周辺機能と I/O ポートの状態は保持されます。

ソフトウェアスタンバイモードは、外部割り込み (NMI、IRQ0~IRQ7)、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

外部割り込み要求信号が入力されると、システムクロック発振器が発振を開始します。SBYCR の STS2~STS0 ビットによって設定された時間が経過するとソフトウェアスタンバイモードが解除され、割り込み例外処理を開始します。IRQ0~IRQ7 割り込みでソフトウェアスタンバイモードを解除するときには対応するイネーブルビットを 1 にセットしてください。なお、IRQ0~IRQ7 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、または割り込みが CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ソフトウェアスタンバイモードは解除されハードウェアスタンバイモードに遷移します。

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

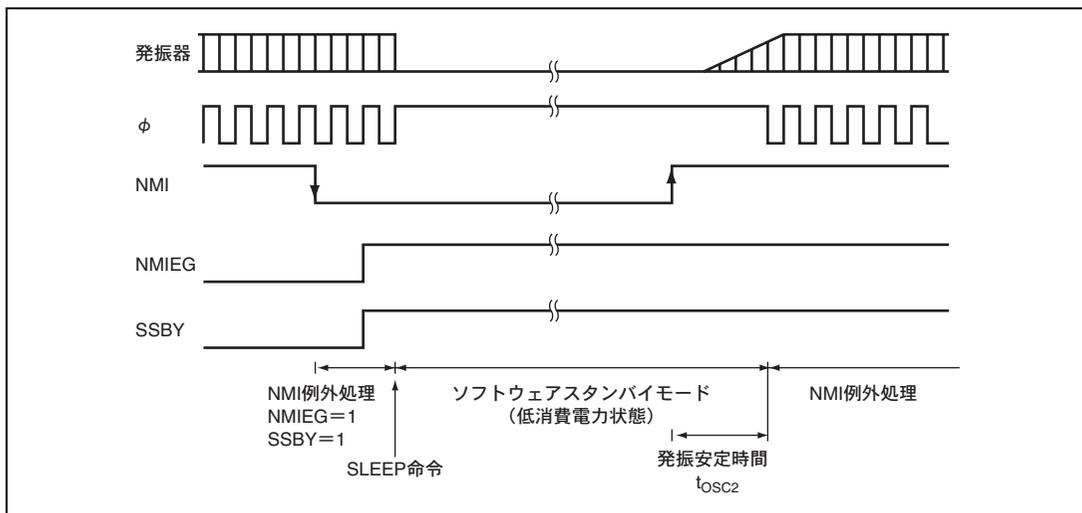


図 22.3 ソフトウェアスタンバイモードの応用例

## 22.6 ハードウェアスタンバイモード

$\overline{\text{STBY}}$  端子を Low レベルにすると、どのモードからでもハードウェアスタンバイモードに移ります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になります。規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中に、モード端子 (MD2\*, MD1, MD0) の状態を変化させないでください。

ハードウェアスタンバイモードは、 $\overline{\text{RES}}$  入力と  $\overline{\text{STBY}}$  入力によって解除されます。

$\overline{\text{RES}}$  端子を Low レベルの状態、 $\overline{\text{STBY}}$  端子を High レベルにするとクロック発振器が発振を開始します。 $\overline{\text{RES}}$  端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理を開始します。

図 22.4 にハードウェアスタンバイモードのタイミング例を示します。

【注】 \* SDIP-64、QFP-64 ではサポートしません。

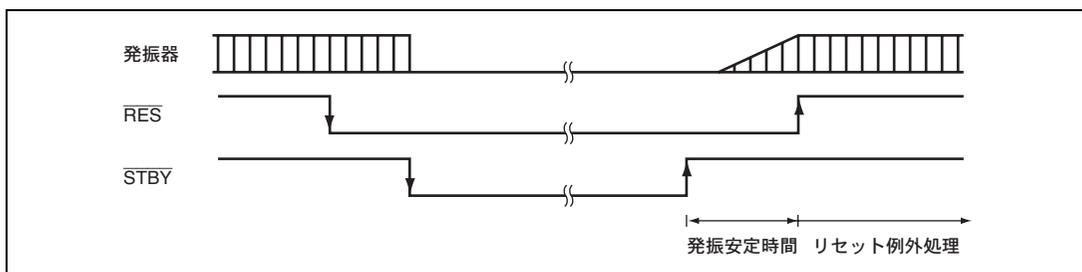


図 22.4 ハードウェアスタンバイモードのタイミング

## 22.7 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモードでは、CPU および WDT\_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは、割り込み (WOV11、NMI、IRQ0~IRQ7)、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

割り込みが発生するとウォッチモードは解除され、LPWRCR の LSON ビットが 0 のときは高速モードあるいは中速モードに、LSON ビットが 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2~STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0~IRQ7 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 22.8 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR (WDT\_1) の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR\_0、TMR\_1、WDT\_0、WDT\_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは、割り込み (内蔵周辺機能からの割り込み、NMI、IRQ0~IRQ7)、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ0~IRQ7 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

### 22.9 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 1、TCSR (WDT\_1) の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビットが 1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR\_0、TMR\_1、WDT\_0、WDT\_1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2~SCK0 の各ビットを必ず 0 としてください。

サブアクティブモードは、SLEEP 命令、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR (WDT\_1) の PSS ビット 1 のとき SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 0、TCSR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は「22.11 直接遷移」を参照してください。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

### 22.10 モジュールストップモード

モジュールストップモードは内蔵周辺モジュール単位で設定できます。

MSTPCR の各モジュールに対応した MSTP ビットを 1 にセットすると、そのモジュールはバスサイクルの終了時点でモジュールストップモードへ遷移します。0 にクリアするとモジュールストップモードは解除され、バスサイクルの終了時点で動作を再開します。モジュールストップモードでは、SCI、PWM、PWMX、A/D 変換器を除く周辺モジュールの内部状態は保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

## 22.11 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

高速モードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 1、DTON ビットが 1、TSCR (WDT\_1) の PSS ビットが 1 にセットした状態で SLEEP 命令を実行すると、サブアクティブモードに遷移します。

サブアクティブモードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、DTON ビットが 1、TSCR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、SBYCR の STS2~STS0 により設定された時間を経過した後、直接高速モードに遷移します。

## 22.12 使用上の注意事項

### 22.12.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、またはプルアップ MOS がオン状態では出力電流分の消費電流は低減されません。

### 22.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

### 22.12.3 DTC のモジュールストップモードの設定

DTC のモジュールストップモードの設定と、DTC のバス権要求が競合すると、バス権要求が優先され、MSTP ビットは 1 にセットされません。

DTC のバスサイクル終了後に再び MSTP ビットに 1 をライトしてください。



---

## 23. レジスタ一覧

---

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成、動作モード別の状態、選択条件およびモジュール別のアドレスに関する情報をまとめています。表記方法は下記のとおりです。

### 1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

### 2. レジスタビット一覧

- 「23.1 レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、8ビットずつ2段で記載しています。

### 3. 各動作モードにおけるレジスタの状態

- 「23.1 レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

### 4. レジスタ選択条件

- 「23.1 レジスタアドレス一覧（アドレス順）」の順序で、レジスタの選択条件を記載しています。
- レジスタの選択条件については「3.2.2 システムコントロールレジスタ（SYSCR）」、「3.2.3 シリアルタイムコントロールレジスタ（STCR）」、「22.1.3 モジュールストップコントロールレジスタH、L、A、B（MSTPCR<sub>H</sub>、MSTPCR<sub>L</sub>、MSTPCR<sub>A</sub>、MSTPCR<sub>B</sub>）」および各モジュールのレジスタ説明を参照してください。

### 5. 各モジュール別レジスタアドレス一覧

- 各モジュールごとにアドレスを記載しています。
- 複数のチャンネルを持つモジュールは、チャンネル順に記載しています。

## 23. レジスタ一覧

### 23.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
TCM タイマカウンタ_0	TCMCNT_0	16	H'FBC0	TCM_0	16	2
TCM 周期上限レジスタ_0	TCMMLCM_0	16	H'FBC2	TCM_0	16	2
TCM インพุットキャプチャレジスタ_0	TCMICR_0	16	H'FBC4	TCM_0	16	2
TCM インพุットキャプチャバッファレジスタ_0	TCMICRF_0	16	H'FBC6	TCM_0	16	2
TCM ステータスレジスタ_0	TCMCSR_0	8	H'FBC8	TCM_0	8	2
TCM コントロールレジスタ_0	TCMCR_0	8	H'FBC9	TCM_0	8	2
TCM インタラプトイネーブルレジスタ_0	TCMIER_0	8	H'FBCA	TCM_0	8	2
TCM タイマカウンタ_1	TCMCNT_1	16	H'FBD0	TCM_1	16	2
TCM 周期上限レジスタ_1	TCMMLCM_1	16	H'FBD2	TCM_1	16	2
TCM インพุットキャプチャレジスタ_1	TCMICR_1	16	H'FBD4	TCM_1	16	2
TCM インพุットキャプチャバッファレジスタ_1	TCMICRF_1	16	H'FBD6	TCM_1	16	2
TCM ステータスレジスタ_1	TCMCSR_1	8	H'FBD8	TCM_1	8	2
TCM コントロールレジスタ_1	TCMCR_1	8	H'FBD9	TCM_1	8	2
TCM インタラプトイネーブルレジスタ_1	TCMIER_1	8	H'FBDA	TCM_1	8	2
ポート 6 ノイズキャンセライネーブルレジスタ	P6NCE	8	H'FE00	PORT	8	2
ポート 6 ノイズキャンセラ判定制御レジスタ	P6NMC	8	H'FE01	PORT	8	2
ポート 6 ノイズキャンセル周期設定レジスタ	P6NCCS	8	H'FE02	PORT	8	2
ポート 4 ノイズキャンセライネーブルレジスタ	P4NCE	8	H'FE09	PORT	8	2
ポート 4 ノイズキャンセラ判定制御レジスタ	P4NMC	8	H'FE0A	PORT	8	2
ポート 4 ノイズキャンセル周期設定レジスタ	P4NCCS	8	H'FE0B	PORT	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FE7E	SESTEM	8	2
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FE7F	SESTEM	8	2
インタラプトコントロールレジスタ D	ICRD	8	H'FE87	INT	8	2
フラッシュコードコントロールステータスレジスタ	FCCS	8	H'FEA8	ROM	8	2
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FEA9	ROM	8	2
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FEAA	ROM	8	2
フラッシュキークードレジスタ	FKEY	8	H'FEAC	ROM	8	2
フラッシュマットセレクトレジスタ	FMATS	8	H'FEAD	ROM	8	2
フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	8	H'FEAE	ROM	8	2
タイマ XY コントロールレジスタ	TCRXY	8	H'FEC6	TMR_XY	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
I <sup>2</sup> C バスコントロール拡張レジスタ_0	ICXR_0	8	H'FED4	IIC_0	8	2
I <sup>2</sup> C バスコントロール拡張レジスタ_1	ICXR_1	8	H'FED5	IIC_1	8	2
DDC スイッチレジスタ	DDCSWR	8	H'FEE6	IIC_0、 IIC_1	8	2
インタラプトコントロールレジスタ A	ICRA	8	H'FEE8	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FEE9	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FEEA	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FEEB	INT	8	2
IRQ センسコントロールレジスタ H	ISCRH	8	H'FEEC	INT	8	2
IRQ センسコントロールレジスタ L	ISCR_L	8	H'FEED	INT	8	2
DTC イネーブルレジスタ A	DTCERA	8	H'FEEE	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FEEF	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FEF0	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FEF1	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FEF2	DTC	8	2
DTC ベクタレジスタ	DTVECR	8	H'FEF3	DTC	8	2
アドレスブレイクコントロールレジスタ	ABRKCR	8	H'FEF4	INT	8	2
ブレイクアドレスレジスタ A	BARA	8	H'FEF5	INT	8	2
ブレイクアドレスレジスタ B	BARB	8	H'FEF6	INT	8	2
ブレイクアドレスレジスタ C	BARC	8	H'FEF7	INT	8	2
周辺クロックセレクトレジスタ	PCSR	8	H'FF82	PWM、 PWMX	8	2
スタンドバイコントロールレジスタ	SBYCR	8	H'FF84	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FF85	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCR_H	8	H'FF86	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCR_L	8	H'FF87	SYSTEM	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF88	SCI_1	8	2
I <sup>2</sup> C バスコントロールレジスタ_1	ICCR_1	8	H'FF88	IIC_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF89	SCI_1	8	2
I <sup>2</sup> C バスステータスレジスタ_1	ICSR_1	8	H'FF89	IIC_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF8A	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF8B	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF8C	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF8D	SCI_1	8	2
シリアルインタフェースモードレジスタ_1	SCMR_1	8	H'FF8E	SCI_1	8	2
I <sup>2</sup> C バスデータレジスタ_1	ICDR_1	8	H'FF8E	IIC_1	8	2
第2スレーブアドレスレジスタ_1	SARX_1	8	H'FF8E	IIC_1	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
I <sup>2</sup> C バスモードレジスタ_1	ICMR_1	8	H'FF8F	IIC_1	8	2
スリープアドレスレジスタ_1	SAR_1	8	H'FF8F	IIC_1	8	2
タイマインタラプトイネーブルレジスタ	TIER	8	H'FF90	FRT	8	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF91	FRT	8	2
フリーランニングカウンタ	FRC	16	H'FF92	FRT	16	2
アウトプットコントロールレジスタ A	OCRA	16	H'FF94	FRT	16	2
アウトプットコントロールレジスタ B	OCRB	16	H'FF94	FRT	16	2
タイマコントロールレジスタ	TCR	8	H'FF96	FRT	8	2
タイマアウトプットコンペアコントロール レジスタ	TOCR	8	H'FF97	FRT	8	2
インプットキャプチャレジスタ A	ICRA	16	H'FF98	FRT	16	2
アウトプットコントロールレジスタ AR	OCRAR	16	H'FF98	FRT	16	2
インプットキャプチャレジスタ B	ICRB	16	H'FF9A	FRT	16	2
アウトプットコントロールレジスタ AF	OCRAF	16	H'FF9A	FRT	16	2
インプットキャプチャレジスタ C	ICRC	16	H'FF9C	FRT	16	2
アウトプットコンペアレジスタ DM	OCRDM	16	H'FF9C	FRT	16	2
インプットキャプチャレジスタ D	ICRD	16	H'FF9E	FRT	16	2
PWMX(D/A)コントロールレジスタ	DACR	8	H'FFA0	PWMX	8	2
PWMX(D/A)データレジスタ AH	DADRAH	8	H'FFA0	PWMX	8	2
PWMX(D/A)データレジスタ AL	DADRAL	8	H'FFA1	PWMX	8	2
PWMX(D/A)カウンタ H	DACNTH	8	H'FFA6	PWMX	8	2
PWMX(D/A)データレジスタ BH	DADRBH	8	H'FFA6	PWMX	8	2
PWMX(D/A)カウンタ L	DACNTL	8	H'FFA7	PWMX	8	2
PWMX(D/A)データレジスタ BL	DADRBL	8	H'FFA7	PWMX	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8 (ライト時)	WDT_0	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8 (リード時)	WDT_0	8	2
タイマカウンタ_0	TCNT_0	8	H'FFA8 (ライト時)	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FFA9 (リード時)	WDT_0	8	2
ポート 1 ブルアップ MOS コントロールレジスタ	P1PCR	8	H'FFAC	PORT	8	2
ポート 2 ブルアップ MOS コントロールレジスタ	P2PCR	8	H'FFAD	PORT	8	2
ポート 3 ブルアップ MOS コントロールレジスタ	P3PCR	8	H'FFAE	PORT	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FFB0	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FFB1	PORT	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート1データレジスタ	P1DR	8	H'FFB2	PORT	8	2
ポート2データレジスタ	P2DR	8	H'FFB3	PORT	8	2
ポート3データディレクションレジスタ	P3DDR	8	H'FFB4	PORT	8	2
ポート4データディレクションレジスタ	P4DDR	8	H'FFB5	PORT	8	2
ポート3データレジスタ	P3DR	8	H'FFB6	PORT	8	2
ポート4データレジスタ	P4DR	8	H'FFB7	PORT	8	2
ポート5データディレクションレジスタ	P5DDR	8	H'FFB8	PORT	8	2
ポート6データディレクションレジスタ	P6DDR	8	H'FFB9	PORT	8	2
ポート5データレジスタ	P5DR	8	H'FFBA	PORT	8	2
ポート6データレジスタ	P6DR	8	H'FFBB	PORT	8	2
ポート7入力データレジスタ	P7PIN	8	H'FFBE	PORT	8	2
インタラプティネーブルレジスタ	IER	8	H'FFC2	INT	8	2
シリアルタイムコントロールレジスタ	STCR	8	H'FFC3	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FFC4	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FFC5	SYSTEM	8	2
バスコントロールレジスタ	BCR	8	H'FFC6	BSC	8	2
ウェイトステートコントロールレジスタ	WSCR	8	H'FFC7	BSC	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFC8	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFC9	TMR_1	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFCA	TMR_0	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFCB	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFCC	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFCD	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFCE	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFCF	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFD0	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFD1	TMR_1	16	2
PWM アウトプットイネーブルレジスタ B	PWOERB	8	H'FFD2	PWM	8	2
PWM アウトプットイネーブルレジスタ A	PWOERA	8	H'FFD3	PWM	8	2
PWM データポラリティレジスタ B	PWDPRB	8	H'FFD4	PWM	8	2
PWM データポラリティレジスタ A	PWDPRA	8	H'FFD5	PWM	8	2
PWM レジスタセレクト	PWSL	8	H'FFD6	PWM	8	2
PWM データレジスタ 15~0	PWDR15~0	8	H'FFD7	PWM	8	2
シリアルモードレジスタ_0	SMR_0	8	H'FFD8	SCI_0	8	2
I <sup>2</sup> C バスコントロールレジスタ_0	ICCR_0	8	H'FFD8	IIC_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FFD9	SCI_1	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
I <sup>2</sup> C バステータスレジスタ_0	ICSR_0	8	H'FFD9	IIC_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FFDA	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FFDB	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FFDC	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FFDD	SCI_0	8	2
シリアルインタフェースモードレジスタ_0	SCMR_0	8	H'FFDE	SCI_0	8	2
I <sup>2</sup> C バスデータレジスタ_0	ICDR_0	8	H'FFDE	IIC_0	8	2
第2スレーブアドレスレジスタ_0	SARX_0	8	H'FFDE	IIC_0	8	2
I <sup>2</sup> C バスモードレジスタ_0	ICMR_0	8	H'FFDF	IIC_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FFDF	IIC_0	8	2
A/D データレジスタ AH	ADDRAH	8	H'FFE0	A/D 変換器	8	2
A/D データレジスタ AL	ADDRAL	8	H'FFE1	A/D 変換器	8	2
A/D データレジスタ BH	ADDRBH	8	H'FFE2	A/D 変換器	8	2
A/D データレジスタ BL	ADDRBL	8	H'FFE3	A/D 変換器	8	2
A/D データレジスタ CH	ADDRCH	8	H'FFE4	A/D 変換器	8	2
A/D データレジスタ CL	ADDRCL	8	H'FFE5	A/D 変換器	8	2
A/D データレジスタ DH	ADDRDH	8	H'FFE6	A/D 変換器	8	2
A/D データレジスタ DL	ADDRDL	8	H'FFE7	A/D 変換器	8	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFE8	A/D 変換器	8	2
A/D コントロールレジスタ	ADCR	8	H'FFE9	A/D 変換器	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFEA (ライト時)	WDT_1	16	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFEA (リード時)	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEA (ライト時)	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFEB (リード時)	WDT_1	8	2
タイマコントロールレジスタ_X	TCR_X	8	H'FFF0	TMR_X	8	2
タイマコントロールレジスタ_Y	TCR_Y	8	H'FFF0	TMR_Y	8	2
タイマコントロール/ステータスレジスタ_X	TCSR_X	8	H'FFF1	TMR_X	8	2
タイマコントロール/ステータスレジスタ_Y	TCSR_Y	8	H'FFF1	TMR_Y	8	2
インプットキャプチャレジスタ R	TICRR	8	H'FFF2	TMR_X	8	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FFF2	TMR_Y	8	2
インプットキャプチャレジスタ F	TICRF	8	H'FFF3	TMR_X	8	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FFF3	TMR_Y	8	2
タイマカウンタ_X	TCNT_X	8	H'FFF4	TMR_X	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_Y	TCNT_Y	8	H'FFF4	TMR_Y	8	2
タイムコンスタントレジスタ C	TCORC	8	H'FFF5	TMR_X	8	2
タイムコンスタントレジスタ A_X	TCORA_X	8	H'FFF6	TMR_X	8	2
タイムコンスタントレジスタ B_X	TCORB_X	8	H'FFF7	TMR_X	8	2
タイマコネクションレジスタ I	TCONRI	8	H'FFFC	TMR_X	8	2
タイマコネクションレジスタ S	TCONRS	8	H'FFFE	TMR_X, TMR_Y	8	2

## 23. レジスタ一覧

### 23.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCMCNT_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	TCM_0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMMLCM_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICR_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICRF_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMCSR_0	OVF	MAXOVF	CMF	CKSEG	ICPF	—	—	—	
TCMCR_0	CST	POCTL	CPSPE	IEDG	TCMMDS	CKS2	CKS1	CKS0	
TCMIER_0	OVIE	MAXOVIE	CMIE	TCMIPE	ICPIE	—	—	—	
TCMCNT_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	TCM_1
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMMLCM_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICR_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICRF_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMCSR_1	OVF	MAXOVF	CMF	CKSEG	ICPF	—	—	—	
TCMCR_1	CST	POCTL	CPSPE	IEDG	TCMMDS	CKS2	CKS1	CKS0	
TCMIER_1	OVIE	MAXOVIE	CMIE	TCMIPE	ICPIE	—	—	—	
P6NCE	P67NCE	P66NCE	P65NCE	P64NCE	P63NCE	P62NCE	P61NCE	P60NCE	PORT
P6NCMC	P67NCMC	P66NCMC	P65NCMC	P64NCMC	P63NCMC	P62NCMC	P61NCMC	P60NCMC	
P6NCCS	—	—	—	—	—	P6NCCK2	P6NCCK1	P6NCCK0	
P4NCE	P47NCE	P46NCE	P45NCE	P44NCE	P43NCE	P42NCE	P41NCE	P40NCE	
P4NCMC	P47NCMC	P46NCMC	P45NCMC	P44NCMC	P43NCMC	P42NCMC	P41NCMC	P40NCMC	
P4NCCS	—	—	—	—	—	P4NCCK2	P4NCCK1	P4NCCK0	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	SYSTEM
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
ICRD	ICRD7	ICRD6	ICRD5	ICRD4	ICRD3	ICRD2	ICRD1	ICRD0	INT
FCCS	FWE	—	—	FLER	—	—	—	SCO	ROM

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FPCS	–	–	–	–	–	–	–	PPVS	ROM
FECS	–	–	–	–	–	–	–	EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
TCRXY	–	–	CKSX	CKSY	–	–	–	–	TMR_XY
ICXR_0	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_0
ICXR_1	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_1
DDCSWR	–	–	–	–	CLR3	CLR2	CLR1	CLR0	IIC_0, IIC_1
ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	INT
ICRB	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0	
ICRC	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
ISCR_L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	
DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
ABRKCR	CMF	–	–	–	–	–	–	BIE	INT
BARA	A23	A22	A21	A20	A19	A18	A17	A16	
BARB	A15	A14	A13	A12	A11	A10	A9	A8	
BARC	A7	A6	A5	A4	A3	A2	A1	–	
PCSR	–	–	PWCKXB	PWCKXA	–	PWCKB	PWCKA	PWCKXC	PWM, PWMX
SBYCR	SSBY	STS2	STS1	STS0	–	SCK2	SCK1	SCK0	SYSTEM
LPWRCR	DTON	LSON	NESEL	EXCLE	–	–	–	–	
MSTPCR_H	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCR_L	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
SMR_1	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI_1
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_1
BRR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCI_1
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_1
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_1
TDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
RDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCI_1
SCMR_1	—	—	—	—	SDIR	SINV	—	SMIF	
ICDR_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_1
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—	FRT
TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
FRC	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRA/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRB	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
TOCR	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB	
ICRA/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRB/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRC/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRDM	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRD	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
DACR	—	PWME	—	—	OEB	OEA	OS	CKS	PWMX
DADRAH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
DADRAL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	—	
DACNTH	DACNT7	DACNT6	DACNT5	DACNT4	DACNT3	DACNT2	DACNT1	DACNT0	
DADRBH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
DACNTL	DACNT8	DACNT9	DACNT10	DACNT11	DACNT12	DACNT13	—	REGS	
DADRBL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS	
TCSR_0	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0	WDT_0
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	PORT
P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	PORT	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR		
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR		
P5DDR	—	—	—	—	—	P52DDR	P51DDR	P50DDR		
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR		
P5DR	—	—	—	—	—	P52DR	P51DR	P50DR		
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN		
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		INT
STCR	—	IICX1	IICX0	IICE	FLSHE	—	ICKS1	ICKS0		SYSTEM
SYSCR	—	IOSE	INTM1	INTM0	XRST	NMIEG	—	RAME		
MDCR	EXPE	—	—	—	—	MDS2	MDS1	MDS0		
BCR	—	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	IOS1	IOS0	BSC	
WSCR	—	—	ABW	AST	WMS1	WMS0	WC1	WC0		
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0,	
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1	
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
TCSR_1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0		
TCORA_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORA_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORB_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORB_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM	
PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0		
PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8		
PWDPRB	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0		
PWSL	PWCKE	PWCKS	—	—	RS3	RS2	RS1	RS0		
PWDR15~0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
SMR_0	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0		SCI_0
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0	
BRR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCI_0	
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_0	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_0	
TDR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
SSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
RDR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
SCMR_0	—	—	—	—	SDIR	SINV	—	SMIF		
ICDR_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_0	
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX		
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0		
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS		
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		A/D 変換器
ADDRAL	AD1	AD0	—	—	—	—	—	—		
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRBL	AD1	AD0	—	—	—	—	—	—		
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRCL	AD1	AD0	—	—	—	—	—	—		
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRDL	AD1	AD0	—	—	—	—	—	—		
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		
ADCR	TRGS1	TRGS0	—	—	—	—	—	—		
TCSR_1	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0	WDT_1	
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCR_X	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_X, TMR_Y	
TCR_Y	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
TCSR_X	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0		
TCSR_Y	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0		
TICRR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORA_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TICRF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORB_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCNT_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCNT_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORC	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORA_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCORB_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCONRI	—	—	—	ICST	—	—	—	—		
TCONRS	TMRX/Y	—	—	—	—	—	—	—		

## 23.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCMCNT_0	初期化	-	-	-	-	-	-	-	初期化	TCM_0
TCMMLCM_0	初期化	-	-	-	-	-	-	-	初期化	
TCMICR_0	初期化	-	-	-	-	-	-	-	初期化	
TCMICRF_0	初期化	-	-	-	-	-	-	-	初期化	
TCMCSR_0	初期化	-	-	-	-	-	-	-	初期化	
TCMCR_0	初期化	-	-	-	-	-	-	-	初期化	
TCMIER_0	初期化	-	-	-	-	-	-	-	初期化	
TCMCNT_1	初期化	-	-	-	-	-	-	-	初期化	TCM_1
TCMMLCM_1	初期化	-	-	-	-	-	-	-	初期化	
TCMICR_1	初期化	-	-	-	-	-	-	-	初期化	
TCMICRF_1	初期化	-	-	-	-	-	-	-	初期化	
TCMCSR_1	初期化	-	-	-	-	-	-	-	初期化	
TCMCR_1	初期化	-	-	-	-	-	-	-	初期化	
TCMIER_1	初期化	-	-	-	-	-	-	-	初期化	
P6NCE	初期化	-	-	-	-	-	-	-	初期化	PORT
P6NCMC	初期化	-	-	-	-	-	-	-	初期化	
P6NCCS	初期化	-	-	-	-	-	-	-	初期化	
P4NCE	初期化	-	-	-	-	-	-	-	初期化	
P4NCMC	初期化	-	-	-	-	-	-	-	初期化	
P4NCCS	初期化	-	-	-	-	-	-	-	初期化	
MSTPCRA	初期化	-	-	-	-	-	-	-	初期化	SYSTEM
MSTPCRB	初期化	-	-	-	-	-	-	-	初期化	
ICRD	初期化	-	-	-	-	-	-	-	初期化	INT
FCCS	初期化	-	-	-	-	-	-	-	初期化	ROM
FPCS	初期化	-	-	-	-	-	-	-	初期化	
FECS	初期化	-	-	-	-	-	-	-	初期化	
FKEY	初期化	-	-	-	-	-	-	-	初期化	
FMATS	初期化	-	-	-	-	-	-	-	初期化	
FTDAR	初期化	-	-	-	-	-	-	-	初期化	
TCRXY	初期化	-	-	-	-	-	-	-	初期化	TMR_XY
ICXR_0	初期化	-	-	-	-	-	-	-	初期化	IIC_0
ICXR_1	初期化	-	-	-	-	-	-	-	初期化	IIC_1
DDCSWR	初期化	-	-	-	-	-	-	-	初期化	IIC_0、 IIC_1

## 23. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
ICRA	初期化	-	-	-	-	-	-	-	初期化	INT
ICRB	初期化	-	-	-	-	-	-	-	初期化	
ICRC	初期化	-	-	-	-	-	-	-	初期化	
ISR	初期化	-	-	-	-	-	-	-	初期化	
ISCRH	初期化	-	-	-	-	-	-	-	初期化	
ISCR_L	初期化	-	-	-	-	-	-	-	初期化	
DTCERA	初期化	-	-	-	-	-	-	-	初期化	DTC
DTCERB	初期化	-	-	-	-	-	-	-	初期化	
DTCERC	初期化	-	-	-	-	-	-	-	初期化	
DTCERD	初期化	-	-	-	-	-	-	-	初期化	
DTCERE	初期化	-	-	-	-	-	-	-	初期化	
DTVECR	初期化	-	-	-	-	-	-	-	初期化	
ABRKCR	初期化	-	-	-	-	-	-	-	初期化	INT
BARA	初期化	-	-	-	-	-	-	-	初期化	
BARB	初期化	-	-	-	-	-	-	-	初期化	
BARC	初期化	-	-	-	-	-	-	-	初期化	
PCSR	初期化	-	-	-	-	-	-	-	初期化	PWM、 PWMX
SBYCR	初期化	-	-	-	-	-	-	-	初期化	SYSTEM
LPWRCR	初期化	-	-	-	-	-	-	-	初期化	
MSTPCR_H	初期化	-	-	-	-	-	-	-	初期化	
MSTPCR_L	初期化	-	-	-	-	-	-	-	初期化	
SMR_1	初期化	-	-	-	-	-	-	-	初期化	SCI_1
ICCR_1	初期化	-	-	-	-	-	-	-	初期化	IIC_1
BRR_1	初期化	-	-	-	-	-	-	-	初期化	SCI_1
ICSR_1	初期化	-	-	-	-	-	-	-	初期化	IIC_1
SCR_1	初期化	-	-	-	-	-	-	-	初期化	SCI_1
TDR_1	初期化	-	-	-	-	-	-	-	初期化	
SSR_1	初期化	-	-	-	-	-	-	-	初期化	
RDR_1	初期化	-	-	-	-	-	-	-	初期化	
SCMR_1	初期化	-	-	-	-	-	-	-	初期化	
ICDR_1	-	-	-	-	-	-	-	-	-	IIC_1
SARX_1	初期化	-	-	-	-	-	-	-	初期化	
ICMR_1	初期化	-	-	-	-	-	-	-	初期化	
SAR_1	初期化	-	-	-	-	-	-	-	初期化	

## 23. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TIER	初期化	-	-	-	-	-	-	-	初期化	FRT
TCSR	初期化	-	-	-	-	-	-	-	初期化	
FRC	初期化	-	-	-	-	-	-	-	初期化	
OCRA	初期化	-	-	-	-	-	-	-	初期化	
OCRB	初期化	-	-	-	-	-	-	-	初期化	
TCR	初期化	-	-	-	-	-	-	-	初期化	
TOCR	初期化	-	-	-	-	-	-	-	初期化	
ICRA	初期化	-	-	-	-	-	-	-	初期化	
OCRAR	初期化	-	-	-	-	-	-	-	初期化	
ICRB	初期化	-	-	-	-	-	-	-	初期化	
OCRAF	初期化	-	-	-	-	-	-	-	初期化	
ICRC	初期化	-	-	-	-	-	-	-	初期化	
OCRDM	初期化	-	-	-	-	-	-	-	初期化	
ICRD	初期化	-	-	-	-	-	-	-	初期化	
DACR	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	PWMX
DADRA	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	
DACNT	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	
DADRB	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	
TCSR_0	初期化	-	-	-	-	-	-	-	初期化	WDT_0
TCNT_0	初期化	-	-	-	-	-	-	-	初期化	
P1PCR	初期化	-	-	-	-	-	-	-	初期化	PORT
P2PCR	初期化	-	-	-	-	-	-	-	初期化	
P3PCR	初期化	-	-	-	-	-	-	-	初期化	
P1DDR	初期化	-	-	-	-	-	-	-	初期化	
P2DDR	初期化	-	-	-	-	-	-	-	初期化	
P1DR	初期化	-	-	-	-	-	-	-	初期化	
P2DR	初期化	-	-	-	-	-	-	-	初期化	
P3DDR	初期化	-	-	-	-	-	-	-	初期化	
P4DDR	初期化	-	-	-	-	-	-	-	初期化	
P3DR	初期化	-	-	-	-	-	-	-	初期化	
P4DR	初期化	-	-	-	-	-	-	-	初期化	
P5DDR	初期化	-	-	-	-	-	-	-	初期化	
P6DDR	初期化	-	-	-	-	-	-	-	初期化	
P5DR	初期化	-	-	-	-	-	-	-	初期化	
P6DR	初期化	-	-	-	-	-	-	-	初期化	
P7PIN	-	-	-	-	-	-	-	-	-	
IER	初期化	-	-	-	-	-	-	-	初期化	INT

## 23. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
STCR	初期化	-	-	-	-	-	-	-	初期化	SYSTEM
SYSCR	初期化	-	-	-	-	-	-	-	初期化	
MDCR	初期化	-	-	-	-	-	-	-	初期化	
BCR	初期化	-	-	-	-	-	-	-	初期化	BSC
WSCR	初期化	-	-	-	-	-	-	-	初期化	
TCR_0	初期化	-	-	-	-	-	-	-	初期化	TMR_0、
TCR_1	初期化	-	-	-	-	-	-	-	初期化	TMR_1
TCSR_0	初期化	-	-	-	-	-	-	-	初期化	
TCSR_1	初期化	-	-	-	-	-	-	-	初期化	
TCORA_0	初期化	-	-	-	-	-	-	-	初期化	
TCORA_1	初期化	-	-	-	-	-	-	-	初期化	
TCORB_0	初期化	-	-	-	-	-	-	-	初期化	
TCORB_1	初期化	-	-	-	-	-	-	-	初期化	
TCNT_0	初期化	-	-	-	-	-	-	-	初期化	
TCNT_1	初期化	-	-	-	-	-	-	-	初期化	
POWERB	初期化	-	-	-	-	-	-	-	初期化	PWM
POWERA	初期化	-	-	-	-	-	-	-	初期化	
PWDPRB	初期化	-	-	-	-	-	-	-	初期化	
PWDPRA	初期化	-	-	-	-	-	-	-	初期化	
PWSL	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	
PWDR 15~0	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	
SMR_0	初期化	-	-	-	-	-	-	-	初期化	SCI_0
ICCR_0	初期化	-	-	-	-	-	-	-	初期化	IIC_0
BRR_0	初期化	-	-	-	-	-	-	-	初期化	SCI_0
ICSR_0	初期化	-	-	-	-	-	-	-	初期化	IIC_0
SCR_0	初期化	-	-	-	-	-	-	-	初期化	SCI_0
TDR_0	初期化	-	-	-	-	-	-	-	初期化	
SSR_0	初期化	-	-	-	-	-	-	-	初期化	
RDR_0	初期化	-	-	-	-	-	-	-	初期化	
SCMR_0	初期化	-	-	-	-	-	-	-	初期化	
ICDR_0	-	-	-	-	-	-	-	-	-	IIC_0
SARX_0	初期化	-	-	-	-	-	-	-	初期化	
ICMR_0	初期化	-	-	-	-	-	-	-	初期化	
SAR_0	初期化	-	-	-	-	-	-	-	初期化	
ADDRAH	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	A/D 変換器
ADDRAL	初期化	-	初期化	-	初期化	初期化	初期化	初期化	初期化	

## 23. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
ADDRBH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	A/D 変換器
ADDRBL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	—	—	—	—	—	—	—	初期化	WDT_1
TCNT_1	初期化	—	—	—	—	—	—	—	初期化	
TCR_X	初期化	—	—	—	—	—	—	—	初期化	TMR_X、
TCR_Y	初期化	—	—	—	—	—	—	—	初期化	TMR_Y
TCSR_X	初期化	—	—	—	—	—	—	—	初期化	
TCSR_Y	初期化	—	—	—	—	—	—	—	初期化	
TICRR	初期化	—	—	—	—	—	—	—	初期化	
TCORA_Y	初期化	—	—	—	—	—	—	—	初期化	
TICRF	初期化	—	—	—	—	—	—	—	初期化	
TCORB_Y	初期化	—	—	—	—	—	—	—	初期化	
TCNT_X	初期化	—	—	—	—	—	—	—	初期化	
TCNT_Y	初期化	—	—	—	—	—	—	—	初期化	
TCORC	初期化	—	—	—	—	—	—	—	初期化	
TCORA_X	初期化	—	—	—	—	—	—	—	初期化	
TCORB_X	初期化	—	—	—	—	—	—	—	初期化	
TCONRI	初期化	—	—	—	—	—	—	—	初期化	
TCONRS	初期化	—	—	—	—	—	—	—	初期化	

## 23.4 レジスタ選択条件

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FBC0	TCMCNT_0	MSTPB0=0	TCM_0
H'FBC2	TCMMLCM_0		
H'FBC4	TCMICR_0		
H'FBC6	TCMICRF_0		
H'FBC8	TCMCSR_0		
H'FBC9	TCMCR_0		
H'FBCA	TCMIER_0		
H'FBD0	TCMCNT_1	MSTPB1=0	TCM_1
H'FBD2	TCMMLCM_1		
H'FBD4	TCMICR_1		
H'FBD6	TCMICRF_1		
H'FBD8	TCMCSR_1		
H'FBD9	TCMCR_1		
H'FBDA	TCMIER_1		
H'FE00	P6NCE	条件なし	PORT
H'FE01	P6NCMC		
H'FE02	P6NCCS		
H'FE09	P4NCE		
H'FE0A	P4NCMC		
H'FE0B	P4NCCS		
H'FE7E	MSTPCRA	条件なし	SYSTEM
H'FE7F	MSTPCRB		
H'FE87	ICRD	条件なし	INT
H'FEA8	FCCS	FLSHE=1	ROM
H'FEA9	FPCS		
H'FEAA	FECS		
H'FEAC	FKEY		
H'FEAD	FMATS		
H'FEAE	FTDAR		
H'FEC6	TCRXY		
H'FED4	ICXR_0	MSTP4=0	IIC_0
H'FED5	ICXR_1	MSTP3=0	IIC_1
H'FEE6	DDCSWR	MSTP4=0、STCR の IICE=1	IIC_0、IIC_1
H'FEE8	ICRA	条件なし	INT
H'FEE9	ICRB		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FEEA	ICRC	条件なし	INT
H'FEEB	ISR		
H'FEEC	ISCRH		
H'FEED	ISCL		
H'FEEE	DTCERA	条件なし	DTC
H'FEEF	DTCERB		
H'FEF0	DTCERC		
H'FEF1	DTCERD		
H'FEF2	DTCERE		
H'FEF3	DTVECR		
H'FEF4	ABRKCR		
H'FEF5	BARA		
H'FEF6	BARB		
H'FEF7	BARC		
H'FF82	PCSR	条件なし	PWM、PWMX
H'FF84	SBYCR	STCR の FLSHE=0	SYSTEM
H'FF85	LPWRCR		
H'FF86	MSTPCRH		
H'FF87	MSTPCRL		
H'FF88	SMR_1	MSTP6=0、STCR の IICE=0	SCL_1
	ICCR_1	MSTP3=0、STCR の IICE=1	IIC_1
H'FF89	BRR_1	MSTP6=0、STCR の IICE=0	SCL_1
	ICSR_1	MSTP3=0、STCR の IICE=1	IIC_1
H'FF8A	SCR_1	MSTP6=0	SCL_1
H'FF8B	TDR_1		
H'FF8C	SSR_1		
H'FF8D	RDR_1		
H'FF8E	SCMR_1	MSTP6=0、STCR の IICE=0	IIC_1
	ICDR_1	MSTP3=0、STCR の IICE=1	
	SARX_1		
H'FF8F	ICMR_1	MSTP13=0	FRT
	SAR_1		
H'FF90	TIER	MSTP13=0	FRT
H'FF91	TCSR		
H'FF92	FRC		
H'FF94	OCRA		
	OCRB		
H'FF96	TCR		

## 23. レジスタ一覧

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FF97	TOCR	MSTP13=0	FRT
H'FF98	ICRA		
	OCRAR		
H'FF9A	ICRB		
	OCRAF		
H'FF9C	ICRC		
	OCRDM		
H'FF9E	ICRD		
H'FEA0	DACR	MSTP11=0、MSTPA0=1	PWMX
	DADRAH		
H'FEA1	DADRAL		
H'FEA6	DADRBH		
	DACNTH		
H'FEA7	DADRBL		
	DACNTL		
H'FFA8	TCSR_0	条件なし	WDT_0
	TCNT_0 (ライト)		
H'FFA9	TCNT_0 (リード)		
H'FFAC	P1PCR	条件なし	PORT
H'FFAD	P2PCR		
H'FFAE	P3PCR		
H'FFB0	P1DDR		
H'FFB1	P2DDR		
H'FFB2	P1DR		
H'FFB3	P2DR		
H'FFB4	P3DDR		
H'FFB5	P4DDR		
H'FFB6	P3DR		
H'FFB7	P4DR		
H'FFB8	P5DDR		
H'FFB9	P6DDR		
H'FFBA	P5DR		
H'FFBB	P6DR		
H'FFBE	P7PIN		
H'FFC2	IER		
H'FFC3	STCR	条件なし	SYSTEM
H'FFC4	SYSCR		
H'FFC5	MDCR		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FFC6	BCR	条件なし	BSC
H'FFC7	WSCR		
H'FFC8	TCR_0	MSTP12=0	TMR_0, TMR_1
H'FFC9	TCR_1		
H'FFCA	TCSR_0		
H'FFCB	TCSR_1		
H'FFCC	TCORA_0		
H'FFCD	TCORA_1		
H'FFCE	TCORB_0		
H'FFCF	TCORB_1		
H'FFD0	TCNT_0		
H'FFD1	TCNT_1		
H'FFD2	PWOERB		
H'FFD3	PWOERA		
H'FFD4	PWDPRB		
H'FFD5	PWDPRA		
H'FFD6	PWSL		
H'FFD7	PWDR15~0		
H'FFD8	SMR_0	MSTP7=0、STCR の IICE=0	SCI_0
	ICCR_0	MSTP4=0、STCR の IICE=1	IIC_0
H'FFD9	BRR_0	MSTP7=0、STCR の IICE=0	SCI_0
	ICSR_0	MSTP4=0、STCR の IICE=1	IIC_0
H'FFDA	SCR_0	MSTP7=0	SCI_0
H'FFDB	TDR_0		
H'FFDC	SSR_0		
H'FFDD	RDR_0		
H'FFDE	SCMR_0		
	ICDR_0	MSTP4=0、STCR の IICE=1	
	SARX_0		
H'FFDF	ICMR_0		
	SAR_0		
H'FFE0	ADDRAH	MSTP9=0	A/D 変換器
H'FFE1	ADDRAL		
H'FFE2	ADDRBH		
H'FFE3	ADDRBL		
H'FFE4	ADDRCH		
H'FFE5	ADDRCL		
H'FFE6	ADDRDH		
H'FFE7	ADDRDL		

## 23. レジスタ一覧

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FFE8	ADCSR	MSTP9=0	A/D 変換器
H'FFE9	ADCR		
H'FFEA	TCSR_1	条件なし	WDT_1
	TCNT_1 (ライト)		
H'FFEB	TCNT_1 (リード)		
H'FFF0	TCR_X	MSTP8=0	TMR_X、TMR_Y
	TCR_Y		
H'FFF1	TCSR_X		
	TCSR_Y		
H'FFF2	TICRR		
	TCORA_Y		
H'FFF3	TICRF		
	TCORB_Y		
H'FFF4	TCNT_X		
	TCNT_Y		
H'FFF5	TCORC		
H'FFF6	TCORA_X		
H'FFF7	TCORB_X		
H'FFFC	TCONRI		
H'FFFE	TCONRS		

## 23.5 レジスタアドレス一覧 (モジュール別)

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセス ステート数
INT	ICRD	8	H'FE87	H'00	8	2
INT	ICRA	8	H'FEE8	H'00	8	2
INT	ICRB	8	H'FEE9	H'00	8	2
INT	ICRC	8	H'FEEA	H'00	8	2
INT	ISR	8	H'FEEB	H'00	8	2
INT	ISCRH	8	H'FEEC	H'00	8	2
INT	ISURL	8	H'FEED	H'00	8	2
INT	ABRKCR	8	H'FEF4	—	8	2
INT	BARA	8	H'FEF5	H'00	8	2
INT	BARB	8	H'FEF6	H'00	8	2
INT	BARC	8	H'FEF7	H'00	8	2
INT	IER	8	H'FFC2	H'00	8	2
BSC	BCR	8	H'FFC6	H'D3	8	2
BSC	WSCR	8	H'FFC7	H'F3	8	2
DTC	DTCERA	8	H'FEEE	H'00	8	2
DTC	DTCERB	8	H'FEEF	H'00	8	2
DTC	DTCERC	8	H'FEF0	H'00	8	2
DTC	DTCERD	8	H'FEF1	H'00	8	2
DTC	DTCERE	8	H'FEF2	H'00	8	2
DTC	DTVECR	8	H'FEF3	H'00	8	2
PORT	P1PCR	8	H'FFAC	H'00	8	2
PORT	P1DDR	8	H'FFB0	H'00	8	2
PORT	P1DR	8	H'FFB2	H'00	8	2
PORT	P2PCR	8	H'FFAD	H'00	8	2
PORT	P2DDR	8	H'FFB1	H'00	8	2
PORT	P2DR	8	H'FFB3	H'00	8	2
PORT	P3PCR	8	H'FFAE	H'00	8	2
PORT	P3DDR	8	H'FFB4	H'00	8	2
PORT	P3DR	8	H'FFB6	H'00	8	2
PORT	P4NCE	8	H'FE09	H'00	8	2
PORT	P4NMC	8	H'FE0A	H'00	8	2
PORT	P4NCCS	8	H'FE0B	H'00	8	2
PORT	P4DDR	8	H'FFB5	H'40/H'00	8	2
PORT	P4DR	8	H'FFB7	H'00	8	2

## 23. レジスタ一覧

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセス ステート数
PORT	P5DR	8	H'FFBA	H'F8	8	2
PORT	P5DDR	8	H'FFB8	H'00	8	2
PORT	P6NCE	8	H'FE00	H'00	8	2
PORT	P6NCMC	8	H'FE01	H'00	8	2
PORT	P6NCCS	8	H'FE02	H'00	8	2
PORT	P6DR	8	H'FFBB	H'00	8	2
PORT	P6DDR	8	H'FFB9	H'00	8	2
PORT	P7PIN	8	H'FFBE	—	8	2
PWM	PWOERB	8	H'FFD2	H'00	8	2
PWM	PWOERA	8	H'FFD3	H'00	8	2
PWM	PWDPRB	8	H'FFD4	H'00	8	2
PWM	PWDpra	8	H'FFD5	H'00	8	2
PWM	PWSL	8	H'FFD6	H'20	8	2
PWM	PWDR15~0	8	H'FFD7	H'00	8	2
PWM	PCSR	8	H'FF82	H'00	8	2
PWMX	DACR	8	H'FEA0	H'30	8	2
PWMX	DACR	8	H'FFA0	H'FF	8	2
PWMX	DADRAH	8	H'FEA0	H'00	8	2
PWMX	DADRAH	8	H'FFA0	H'FF	8	2
PWMX	DADRAL	8	H'FEA1	H'FF	8	2
PWMX	DADRAL	8	H'FFA1	H'FF	8	2
PWMX	DACNTH	8	H'FEA6	H'FF	8	2
PWMX	DACNTH	8	H'FFA6	H'00	8	2
PWMX	DADRBH	8	H'FEA6	H'FF	8	2
PWMX	DADRBH	8	H'FFA6	H'FF	8	2
PWMX	DACNTL	8	H'FEA7	H'03	8	2
PWMX	DACNTL	8	H'FFA7	H'03	8	2
PWMX	DADRBL	8	H'FEA7	H'FF	8	2
PWMX	DADRBL	8	H'FFA7	H'FF	8	2
PWMX	PCSR	8	H'FF82	H'00	8	2
FRT	TIER	8	H'FF90	H'01	8	2
FRT	TCSR	8	H'FF91	H'00	8	2
FRT	FRC	16	H'FF92	H'0000	16	2
FRT	OCRA	16	H'FF94	H'FFFF	16	2
FRT	OCRB	16	H'FF94	H'FFFF	16	2
FRT	TCR	8	H'FF96	H'00	8	2

## 23. レジスタ一覧

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセス ステート数
FRT	TOCR	8	H'FF97	H'00	8	2
FRT	ICRA	16	H'FF98	H'0000	16	2
FRT	OCRAR	16	H'FF98	H'FFFF	16	2
FRT	ICRB	16	H'FF9A	H'0000	16	2
FRT	OCRAF	16	H'FF9A	H'FFFF	16	2
FRT	ICRC	16	H'FF9C	H'0000	16	2
FRT	OCRDM	16	H'FF9C	H'0000	16	2
FRT	ICRD	16	H'FF9E	H'0000	16	2
TCM_0	TCMCNT_0	16	H'FBC0	H'0000	16	2
TCM_0	TCMMLCM_0	16	H'FBC2	H'FFFF	16	2
TCM_0	TCMICR_0	16	H'FBC4	—	16	2
TCM_0	TCMICRF_0	16	H'FBC6	H'0000	16	2
TCM_0	TCMCSR_0	8	H'FBC8	H'00	8	2
TCM_0	TCMCR_0	8	H'FBC9	H'00	8	2
TCM_0	TCMIER_0	8	H'FBCA	H'00	8	2
TCM_1	TCMCNT_1	16	H'FBD0	H'0000	16	2
TCM_1	TCMMLCM_1	16	H'FBD2	H'FFFF	16	2
TCM_1	TCMICR_1	16	H'FBD4	—	16	2
TCM_1	TCMICRF_1	16	H'FBD6	H'0000	16	2
TCM_1	TCMCSR_1	8	H'FBD8	H'00	8	2
TCM_1	TCMCR_1	8	H'FBD9	H'00	8	2
TCM_1	TCMIER_1	8	H'FBDA	H'00	8	2
TMR_0	TCR_0	8	H'FFC8	H'00	8	2
TMR_0	TCSR_0	8	H'FFCA	H'00	8	2
TMR_0	TCORA_0	8	H'FFCC	H'FF	16	2
TMR_0	TCORB_0	8	H'FFCE	H'FF	16	2
TMR_0	TCNT_0	8	H'FFD0	H'00	16	2
TMR_1	TCR_1	8	H'FFC9	H'00	8	2
TMR_1	TCSR_1	8	H'FFCB	H'FF	16	2
TMR_1	TCORA_1	8	H'FFCD	H'FF	16	2
TMR_1	TCORB_1	8	H'FFCF	H'FF	16	2
TMR_1	TCNT_1	8	H'FFD1	H'00	16	2
TMR_X	TCR_X	8	H'FFF0	H'00	8	2
TMR_X	TCSR_X	8	H'FFF1	H'00	8	2
TMR_X	TICRR	8	H'FFF2	H'00	8	2
TMR_X	TICRF	8	H'FFF3	H'00	8	2

## 23. レジスタ一覧

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセス ステート数
TMR_X	TCNT_X	8	H'FFF4	H'00	8	2
TMR_X	TCORC	8	H'FFF5	H'FF	8	2
TMR_X	TCORA_X	8	H'FFF6	H'FF	8	2
TMR_X	TCORB_X	8	H'FFF7	H'FF	8	2
TMR_X	TCONRI	8	H'FFFC	H'00	8	2
TMR_Y	TCR_Y	8	H'FEC8	H'00	8	2
TMR_Y	TCR_Y	8	H'FFF0	H'00	8	2
TMR_Y	TCSR_Y	8	H'FEC9	H'10	8	2
TMR_Y	TCSR_Y	8	H'FFF1	H'00	8	2
TMR_Y	TCORA_Y	8	H'FECA	H'FF	8	2
TMR_Y	TCORA_Y	8	H'FFF2	H'FF	8	2
TMR_Y	TCORB_Y	8	H'FECB	H'FF	8	2
TMR_Y	TCORB_Y	8	H'FFF3	H'FF	8	2
TMR_Y	TCNT_Y	8	H'FECC	H'00	8	2
TMR_Y	TCNT_Y	8	H'FFF4	H'00	8	2
TMR_X, TMR_Y	TCONRS	8	H'FFFE	H'00	8	2
TMR_XY	TCRXY	8	H'FEC6	H'00	8	2
WDT_0	TCSR_0	8	H'FFA8 (ライト時)	H'00	16	2
WDT_0	TCSR_0	8	H'FFA8 (リード時)	H'00	8	2
WDT_0	TCNT_0	8	H'FFA8 (ライト時)	H'00	16	2
WDT_0	TCNT_0	8	H'FFA9 (リード時)	H'00	8	2
WDT_1	TCSR_1	8	H'FFEA (ライト時)	H'00	16	2
WDT_1	TCSR_1	8	H'FFEA (リード時)	H'00	8	2
WDT_1	TCNT_1	8	H'FFEA (ライト時)	H'00	16	2
WDT_1	TCNT_1	8	H'FFEB (リード時)	H'00	8	2
SCI_0	SMR_0	8	H'FFD8	H'00	8	2
SCI_0	BRR_0	8	H'FFD9	H'FF	8	2
SCI_0	SCR_0	8	H'FFDA	H'00	8	2
SCI_0	TDR_0	8	H'FFDB	H'FF	8	2

## 23. レジスタ一覧

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセス ステート数
SCI_0	SSR_0	8	H'FFDC	H'84	8	2
SCI_0	RDR_0	8	H'FFDD	H'00	8	2
SCI_0	SCMR_0	8	H'FFDE	H'F2	8	2
SCI_1	SMR_1	8	H'FF88	H'00	8	2
SCI_1	BRR_1	8	H'FF89	H'FF	8	2
SCI_1	SCR_1	8	H'FF8A	H'00	8	2
SCI_1	TDR_1	8	H'FF8B	H'FF	8	2
SCI_1	SSR_1	8	H'FF8C	H'84	8	2
SCI_1	RDR_1	8	H'FF8D	H'00	8	2
SCI_1	SCMR_1	8	H'FF8E	H'F2	8	2
IIC_0	ICXR_0	8	H'FED4	H'00	8	2
IIC_0	ICCR_0	8	H'FFD8	H'01	8	2
IIC_0	ICSR_0	8	H'FFD9	H'00	8	2
IIC_0	ICDR_0	8	H'FFDE	—	8	2
IIC_0	SARX_0	8	H'FFDE	H'01	8	2
IIC_0	ICMR_0	8	H'FFDF	H'00	8	2
IIC_0	SAR_0	8	H'FFDF	H'00	8	2
IIC_1	ICDR_1	8	H'FECE	—	8	2
IIC_1	SARX_1	8	H'FECE	H'01	8	2
IIC_1	ICMR_1	8	H'FECE	H'00	8	2
IIC_1	SAR_1	8	H'FECE	H'00	8	2
IIC_1	ICCR_1	8	H'FED0	H'01	8	2
IIC_1	ICSR_1	8	H'FED1	H'00	8	2
IIC_1	ICXR_1	8	H'FED5	H'00	8	2
IIC_1	ICCR_1	8	H'FF88	H'01	8	2
IIC_1	ICSR_1	8	H'FF89	H'00	8	2
IIC_1	ICDR_1	8	H'FF8E	—	8	2
IIC_1	SARX_1	8	H'FF8E	H'01	8	2
IIC_1	ICMR_1	8	H'FF8F	H'00	8	2
IIC_1	SAR_1	8	H'FF8F	H'00	8	2
IIC_0、IIC_1	DDCSWR	8	H'FEE6	H'0F	8	2
A/D 変換器	ADDRAH	8	H'FFE0	H'00	8	2
A/D 変換器	ADDRAL	8	H'FFE1	H'00	8	2
A/D 変換器	ADDRBH	8	H'FFE2	H'00	8	2
A/D 変換器	ADDRBL	8	H'FFE3	H'00	8	2
A/D 変換器	ADDRCH	8	H'FFE4	H'00	8	2
A/D 変換器	ADDRCL	8	H'FFE5	H'00	8	2

## 23. レジスタ一覧

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセス ステート数
A/D 変換器	ADDRDH	8	H'FFE6	H'00	8	2
A/D 変換器	ADDRDL	8	H'FFE7	H'00	8	2
A/D 変換器	ADCSR	8	H'FFE8	H'00	8	2
A/D 変換器	ADCR	8	H'FFE9	H'3F	8	2
ROM	FCCS	8	H'FEA8	—	8	2
ROM	FPCS	8	H'FEA9	H'00	8	2
ROM	FECS	8	H'FEAA	H'00	8	2
ROM	FKEY	8	H'FEAC	H'00	8	2
ROM	FMATS	8	H'FEAD	—	8	2
ROM	FTDAR	8	H'FEAE	H'00	8	2
SYSTEM	MSTPCRA	8	H'FE7E	H'00	8	2
SYSTEM	MSTPCRB	8	H'FE7F	H'00	8	2
SYSTEM	SBYCR	8	H'FF84	H'01	8	2
SYSTEM	LPWRCR	8	H'FF85	H'00	8	2
SYSTEM	MSTPCRH	8	H'FF86	H'3F	8	2
SYSTEM	MSTPCRL	8	H'FF87	H'FF	8	2
SYSTEM	STCR	8	H'FFC3	H'00	8	2
SYSTEM	SYSCR	8	H'FFC4	H'09	8	2
SYSTEM	MDCR	8	H'FFC5	—	8	2

---

## 24. 電気的特性

---

### 24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

表 24.1 絶対最大定格

項目	記号	定格値	単位
電源電圧*	$V_{CC}$	-0.3~+4.3	V
入力電圧 ポート 7、P47、P52 以外	$V_{in}$	-0.3~ $V_{CC} + 0.3$	
入力電圧 P47、P52	$V_{in}$	-0.3~+7.0	
入力電圧 (ポート 7)	$V_{in}$	-0.3~ $AV_{CC} + 0.3$	
アナログ電源電圧	$AV_{CC}$	-0.3~+4.3	
アナログ入力電圧	$V_{AN}$	-0.3~ $AV_{CC} + 0.3$	
動作温度	$T_{opr}$	-20~+75	°C
動作温度 (FLASH メモリ書き込み/消去時)	$T_{opr}$	-20~+75	
保存温度	$T_{stg}$	-55~+125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

印加電圧が 4.3V を超えないように注意してください。

【注】 \*  $V_{CC}$  端子への印加電圧です。

$V_{CL}$  端子には電圧を印加しないでください。

## 24. 電気的特性

### 24.2 DC 特性

DC 特性を表 24.2 に示します。また、出力許容電流値、バス駆動特性を表 24.3、表 24.4 に示します。

表 24.2 DC 特性

条件： $V_{CC}=3.0V\sim 3.6V$ 、 $AV_{CC}^*=3.0V\sim 3.6V$ 、 $V_{SS}=AV_{SS}^*=0V$

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67~P60*2、 $\overline{IRQ7}\sim\overline{IRQ0}^*3$ 、	(1)	$V_T^-$	$V_{CC}\times 0.2$	—	—	V	
			$V_T^+$	—	—	$V_{CC}\times 0.7$		
			$V_T^+ - V_T^-$	$V_{CC}\times 0.05$	—	—		
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、NMI、MD2、MD1、 MD0、 $\overline{ETRST}$	(2)	$V_{IH}$	$V_{CC}\times 0.9$	—	$V_{CC} + 0.3$		
	EXTAL			$V_{CC}\times 0.7$	—	$V_{CC} + 0.3$		
	ポート 7			$V_{CC}\times 0.7$	—	$AV_{CC} + 0.3$		
	P47、P52			$V_{CC}\times 0.7$	—	5.5		
	上記(1)(2)以外の入力端子			$V_{CC}\times 0.7$	—	$V_{CC} + 0.3$		
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、MD2、MD1、 MD0、 $\overline{ETRST}$	(3)	$V_{IL}$	- 0.3	—	$V_{CC}\times 0.1$		
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			- 0.3	—	$V_{CC}\times 0.2$		
出力 High レベル電圧	全出力端子		$V_{OH}$	$V_{CC} - 0.5$	—	—		$I_{OH} = - 200 \mu A$
	P47、P52 を除く			$V_{CC} - 1.0$	—	—		$I_{OH} = - 1mA$
	P47、P52*4			0.5	—	—		$I_{OH} = - 200 \mu A$
出力 Low レベル電圧	全出力端子*5		$V_{OL}$	—	—	0.4		$I_{OL} = 1.6mA$
	ポート 1、2、3			—	—	1.0		$I_{OL} = 5mA$
入力リーク	$\overline{RES}$		$ I_{in} $	—	—	10.0	$\mu A$	$V_{in} = 0.5\sim$ $V_{CC} - 0.5V$
	$\overline{STBY}$ 、NMI、MD2、MD1、MD0			—	—	1.0		$V_{in} = 0.5\sim$ $AV_{CC} - 0.5V$
	ポート 7			—	—	1.0		
スリーステート リーク電流 (オフ状態)	ポート1~6		$ I_{TSI} $	—	—	1.0		$V_{in} = 0.5\sim$ $V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1~3		$-I_p$	5	—	150		$V_{in} = 0V$
入力容量	全端子		$C_{in}$	—	—	15	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25^\circ C$

項目		記号	min	typ	max	単位	測定条件
消費電流 <sup>*6</sup>	通常動作時	$I_{CC}$	—	20	30	mA	$V_{CC}=3.0V\sim 3.6V$ f=20MHz、全モジュール動作時、高速モード
	スリープ時		—	14	20		$V_{CC}=3.0V\sim 3.6V$ f=20MHz
	スタンバイ時		—	10	40	$\mu A$	$T_a\leq 50^\circ C$
			—	—	80		$50^\circ C < T_a$
アナログ電源電流	A/D 変換中	$AI_{CC}$	—	2	4	mA	$AV_{CC}=3.0V\sim 3.6V$
	A/D 変換待機時		—	0.02	10		
VCC 開始電圧		$V_{CCSTART}$	—	0	0.8	V	
VCC 立ち上がり勾配		$SV_{CC}$	—	—	20	ms/V	

- 【注】 \*1 A/D 変換器を使用しない場合でも、AVCC、AVSS 端子は開放しないでください。  
A/D 変換器を使用しない場合でも、AVCC 端子は電源 ( $V_{CC}$ ) に接続し、3.0V~3.6V の範囲の電圧を印加してください。
- \*2 兼用の周辺機能入力端子を含みます。
- \*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  入力端子を含みます。
- \*4 ポート P47、P52 およびこれらの端子と兼用の周辺機能出力端子は、NMOS プッシュプル出力です。  
SCL0、SCL1 (ICCR の ICE=1) から High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。  
P47、P52/SCK0 (ICCR の ICE=0) の High レベルは、NMOS で駆動されます。出力として使用する場合は、High レベルを出力するためプルアップ抵抗を外付けする必要があります。
- \*5 ICE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別に定めます。
- \*6 消費電流値は  $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{IL\ max}=0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

表 24.3 出力許容電流値

条件： $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL0、SDA0 (バス駆動機能選択)	$I_{OL}$	—	—	8	mA
	ポート 1、2、3		—	—	5	
	上記以外の出力端子		—	—	2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	$\Sigma I_{OL}$	—	—	40	
	上記を含む、全出力端子の総和		—	—	60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	30	

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 24.3 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 24.1、図 24.2 に示すように出力に必ず電流制限抵抗を挿入してください。

## 24. 電気的特性

表 24.4 バス駆動特性

条件 :  $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

対象端子 : SCL0、SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	$V_T^-$	$V_{CC}\times 0.3$	-	-	V	
	$V_T^+$	-	-	$V_{CC}\times 0.7$		
	$V_T^+ - V_T^-$	$V_{CC}\times 0.05$	-	-		
入力 High レベル電圧	$V_{IH}$	$V_{CC}\times 0.7$	-	5.5		
入力 Low レベル電圧	$V_{IL}$	- 0.5	-	$V_{CC}\times 0.3$		
出力 Low レベル電圧	$V_{OL}$	-	-	0.5		$I_{OL}=8mA$
		-	-	0.4		$I_{OL}=3mA$
入力容量	$C_{in}$	-	-	10	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25^\circ C$
スリーステートリーク 電流 (オフ状態)	$ I_{TSI} $	-	-	1.0	$\mu A$	$V_{in}=0.5\sim V_{CC} - 0.5V$

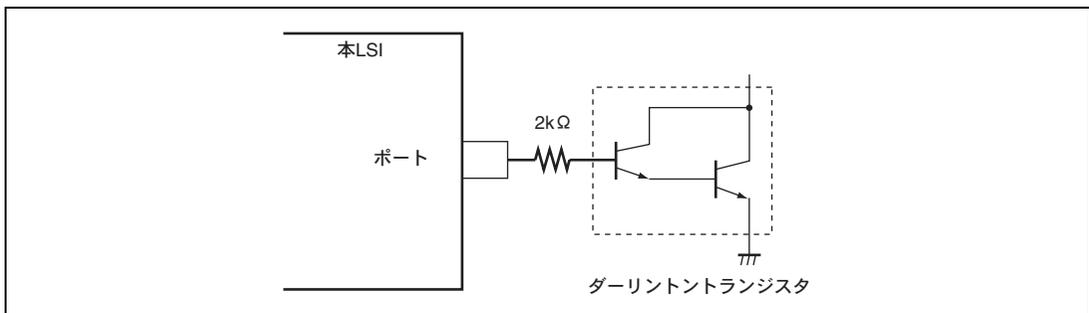


図 24.1 ダーリントトランジスタ駆動回路例

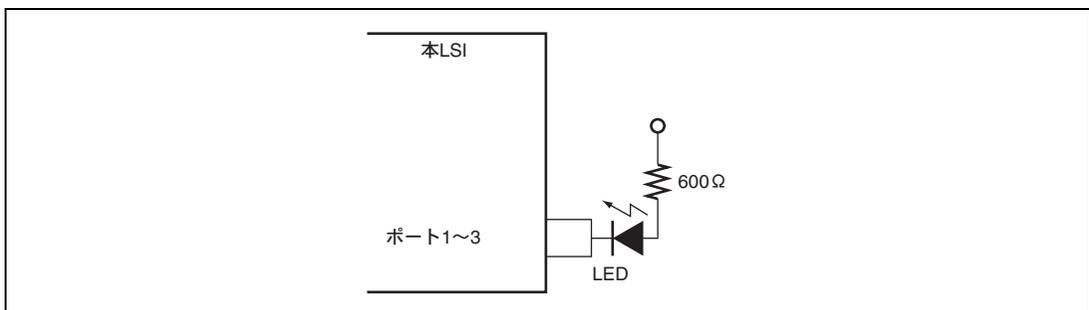


図 24.2 LED 駆動回路例

## 24.3 AC 特性

図 24.3 に AC 特性測定条件を示します。

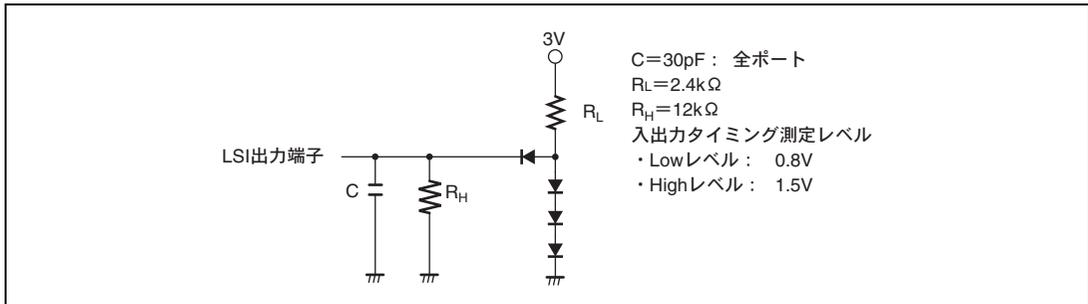


図 24.3 出力負荷回路

### 24.3.1 クロックタイミング

表 24.5 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック出力 ( $\phi$ ) と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 21 章 クロック発振器」を参照してください。

表 24.5 クロックタイミング

条件 A :  $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=8MHz\sim 10MHz$

条件 B :  $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=8MHz\sim 20MHz$

項目	記号	条件 A		条件 B		単位	参照図
		min	max	min	max		
クロックサイクル時間	$t_{cyc}$	100	125	50	125	ns	図 24.4
クロック High レベルパルス幅	$t_{CH}$	30	—	20	—		
クロック Low レベルパルス幅	$t_{CL}$	30	—	20	—		
クロック立ち上がり時間	$t_{Cr}$	—	20	—	5		
クロック立ち下がり時間	$t_{Cf}$	—	20	—	5		
リセット発振安定時間 (水晶)	$t_{OSC1}$	20	—	20	—	ms	図 24.5
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8	—	8	—		図 24.6
外部クロック出力安定遅延時間	$t_{DEXT}$	500	—	500	—	$\mu s$	図 24.5

## 24. 電気的特性

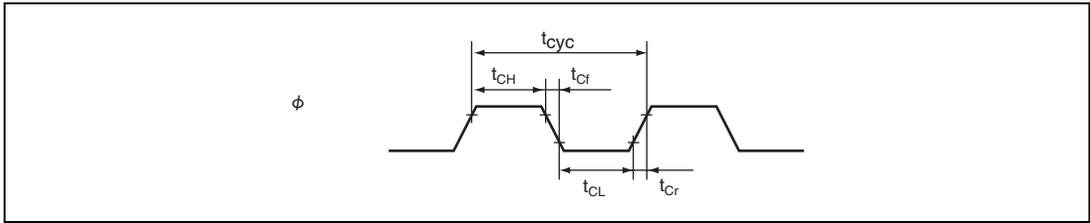


図 24.4 システムクロックタイミング

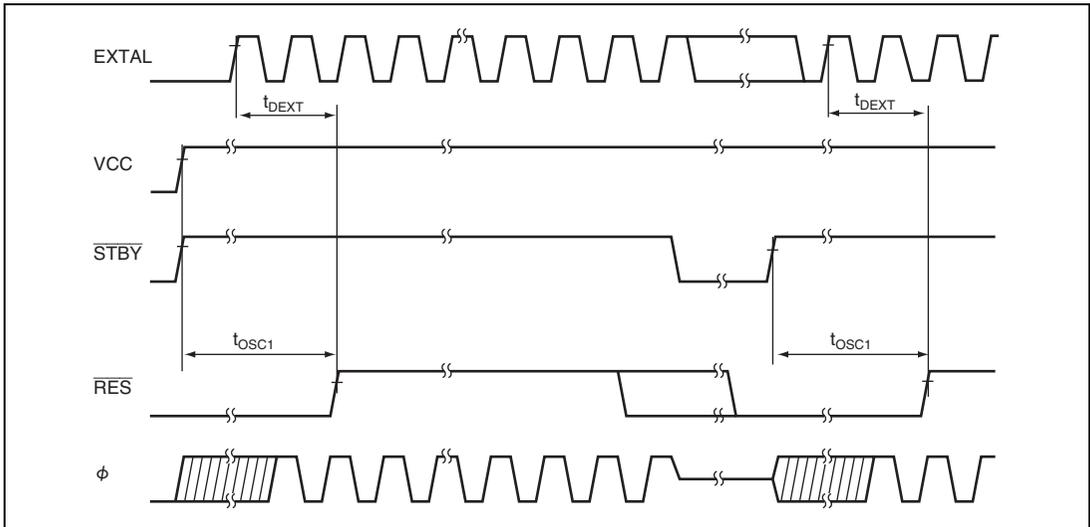


図 24.5 発振安定時間タイミング

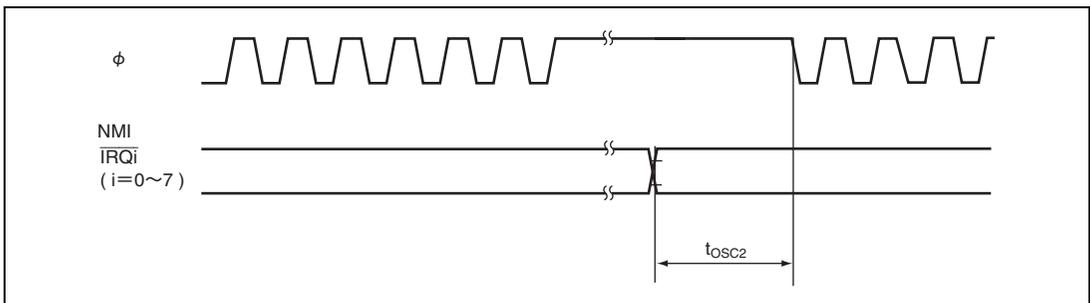


図 24.6 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

### 24.3.2 制御信号タイミング

表 24.6 に制御信号タイミングを示します。サブクロック ( $\phi = 32.768\text{kHz}$ ) で動作可能な外部割り込みは、NMI、IRQ0～IRQ7 のみです。

表 24.6 制御信号タイミング

条件 :  $V_{CC} = 3.0\text{V} \sim 3.6\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $8\text{MHz} \sim 20\text{MHz}$

項目	記号	min	max	単位	測定条件
RES セットアップ時間	$t_{RESS}$	200	—	ns	図 24.7
RES パルス幅	$t_{RESW}$	20	—	$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	150	—	ns	図 24.8
NMI ホールド時間	$t_{NMIH}$	10	—		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200	—		
IRQ セットアップ時間 (IRQ7～IRQ0)	$t_{IRQS}$	150	—		
IRQ ホールド時間 (IRQ7～IRQ0)	$t_{IRQH}$	10	—		
IRQ パルス幅 (IRQ7～IRQ0) (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200	—		

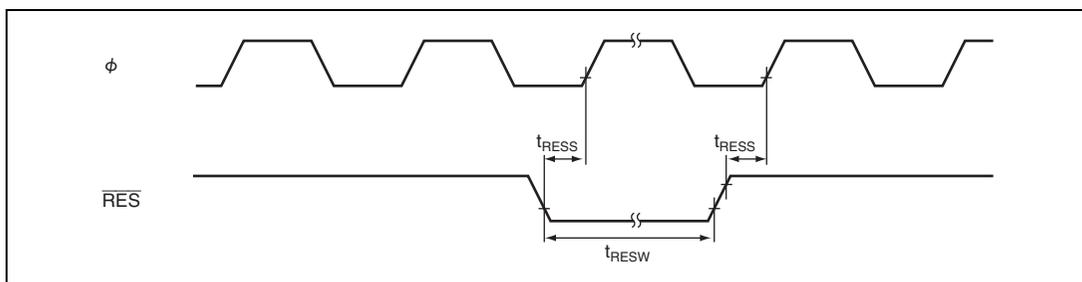


図 24.7 リセット入力タイミング

## 24. 電気的特性

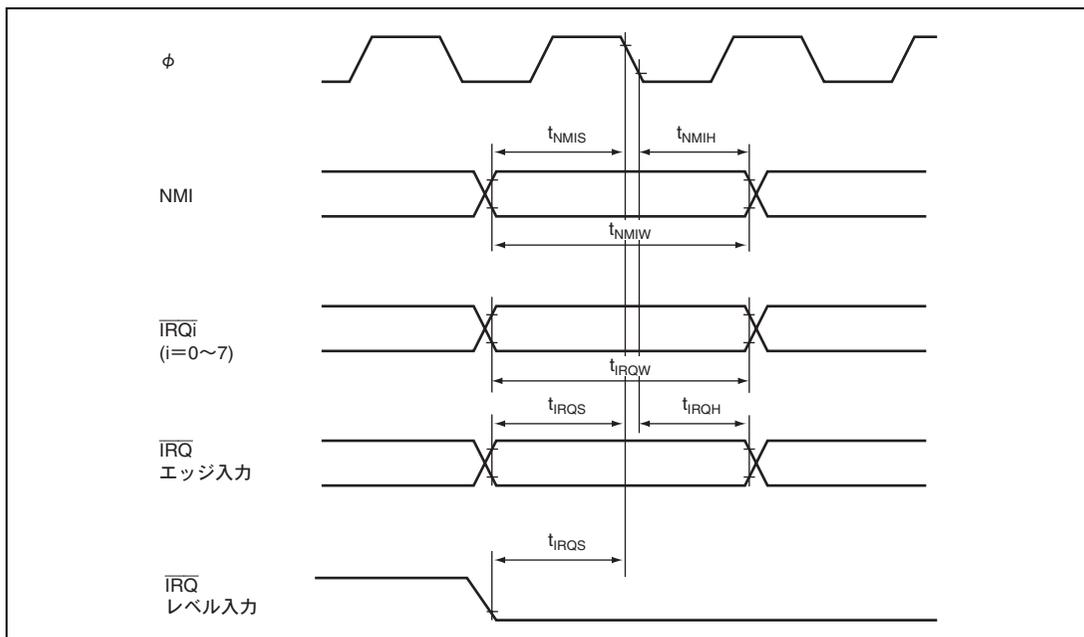


図 24.8 割り込み入力タイミング

### 24.3.3 バスタイミング

表 24.7 にバスタイミングを示します。サブクロック ( $\phi=32.768\text{kHz}$ ) 動作では、外部拡張モードの動作は保証されません。

表 24.7 バスタイミング

条件 :  $V_{CC}=3.0\text{V}\sim3.6\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $8\text{MHz}\sim20\text{MHz}$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	—	20	ns	図 24.9 ～ 図 24.13
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 15$	—	ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 10$	—	ns	
$\overline{CS}$ 遅延時間 ( $t_{OS}$ )	$t_{CSD}$	—	20	ns	
$\overline{AS}$ 遅延時間	$t_{ASD}$	—	30	ns	
$\overline{RD}$ 遅延時間 1	$t_{RSD1}$	—	30	ns	
$\overline{RD}$ 遅延時間 2	$t_{RSD2}$	—	30	ns	
リードデータセットアップ時間	$t_{RDS}$	15	—	ns	
リードデータホールド時間	$t_{RDH}$	0	—	ns	
リードデータアクセス時間 1	$t_{ACC1}$	—	$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	$t_{ACC2}$	—	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{ACC3}$	—	$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	$t_{ACC4}$	—	$2.5 \times t_{cyc} - 25$	ns	

項目	記号	min	max	単位	測定条件
リードデータアクセス時間 5	$t_{ACC5}$	—	$3.0 \times t_{cyc} - 30$	ns	図 24.9 ~ 図 24.13
WR 遅延時間 1	$t_{WRD1}$	—	30	ns	
WR 遅延時間 2	$t_{WRD2}$	—	30	ns	
$\overline{WR}$ パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 20$	—	ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 20$	—	ns	
ライトデータ遅延時間	$t_{WDD}$	—	30	ns	
ライトデータセットアップ時間	$t_{WDS}$	0	—	ns	
ライトデータホールド時間	$t_{WDH}$	10	—	ns	
WAIT セットアップ時間	$t_{WTS}$	30	—	ns	
WAIT ホールド時間	$t_{WTH}$	5	—	ns	

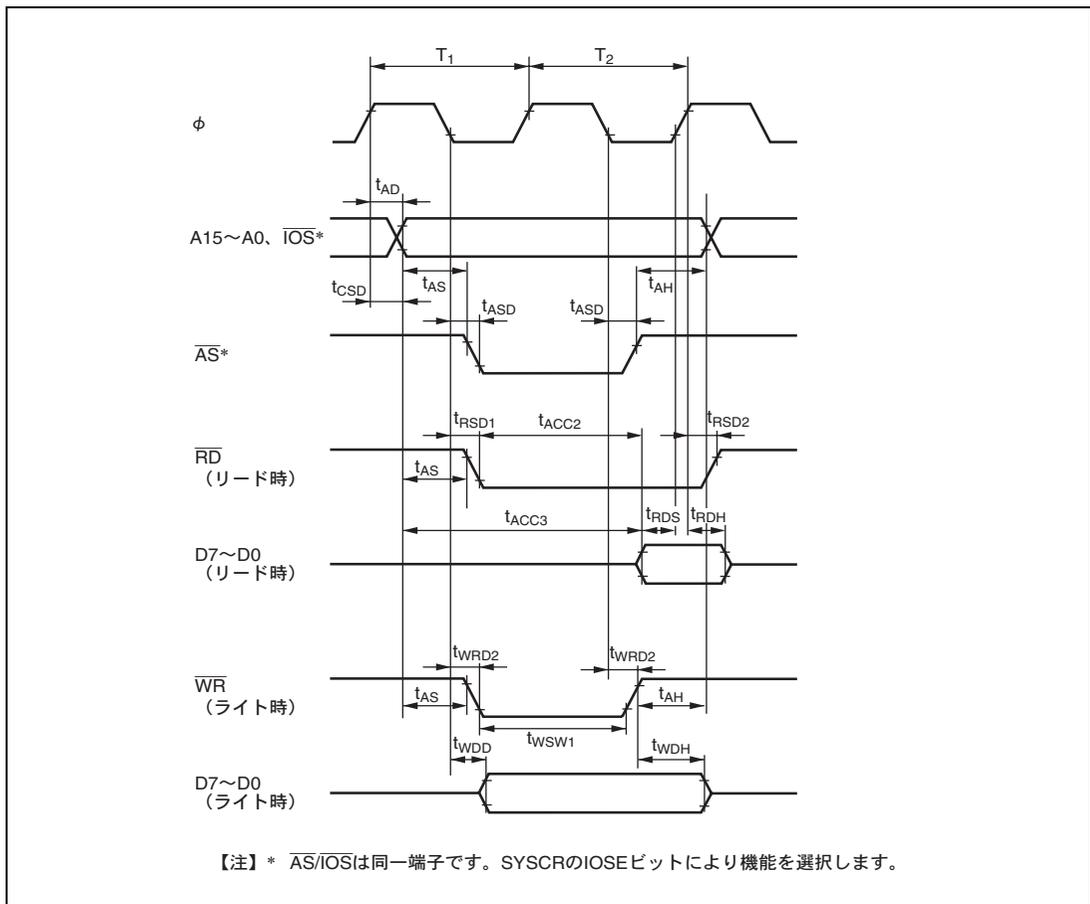


図 24.9 基本バスタイミング/2 ステートアクセス

## 24. 電気的特性

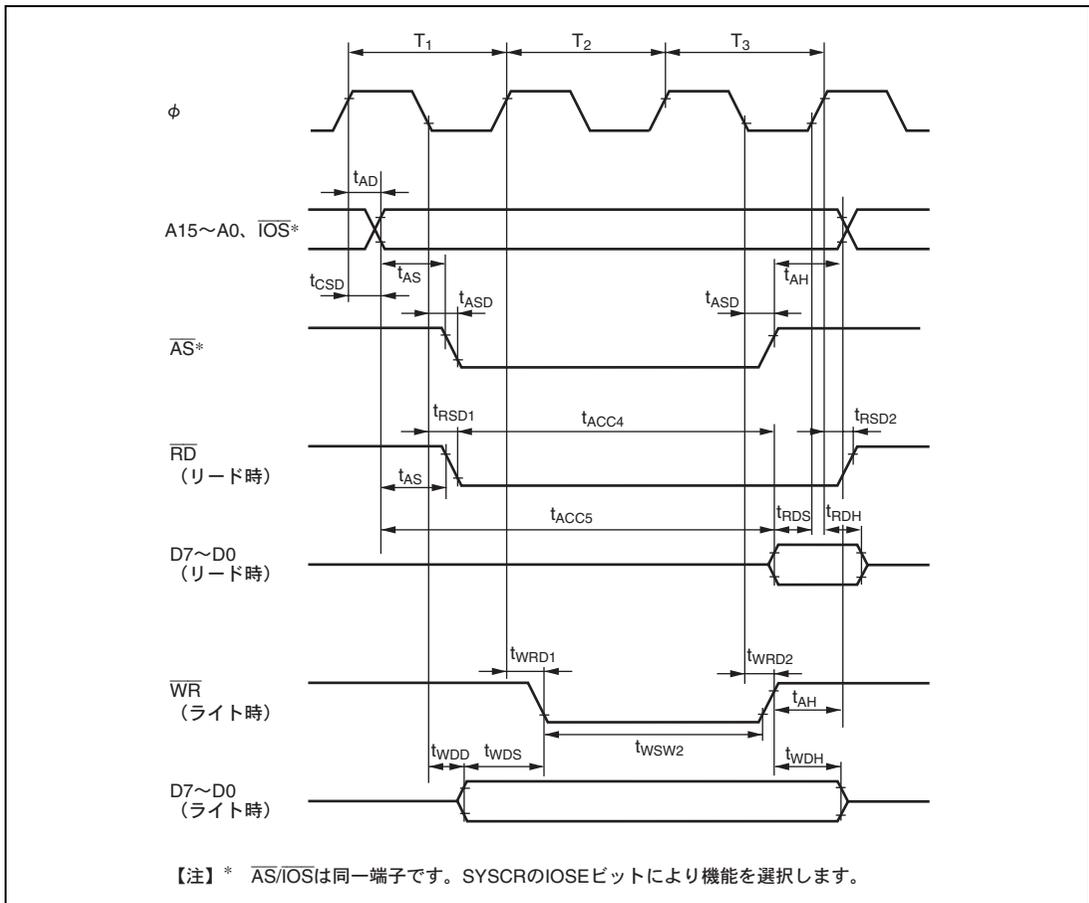


図 24.10 基本バスタイミング/3 ステートアクセス

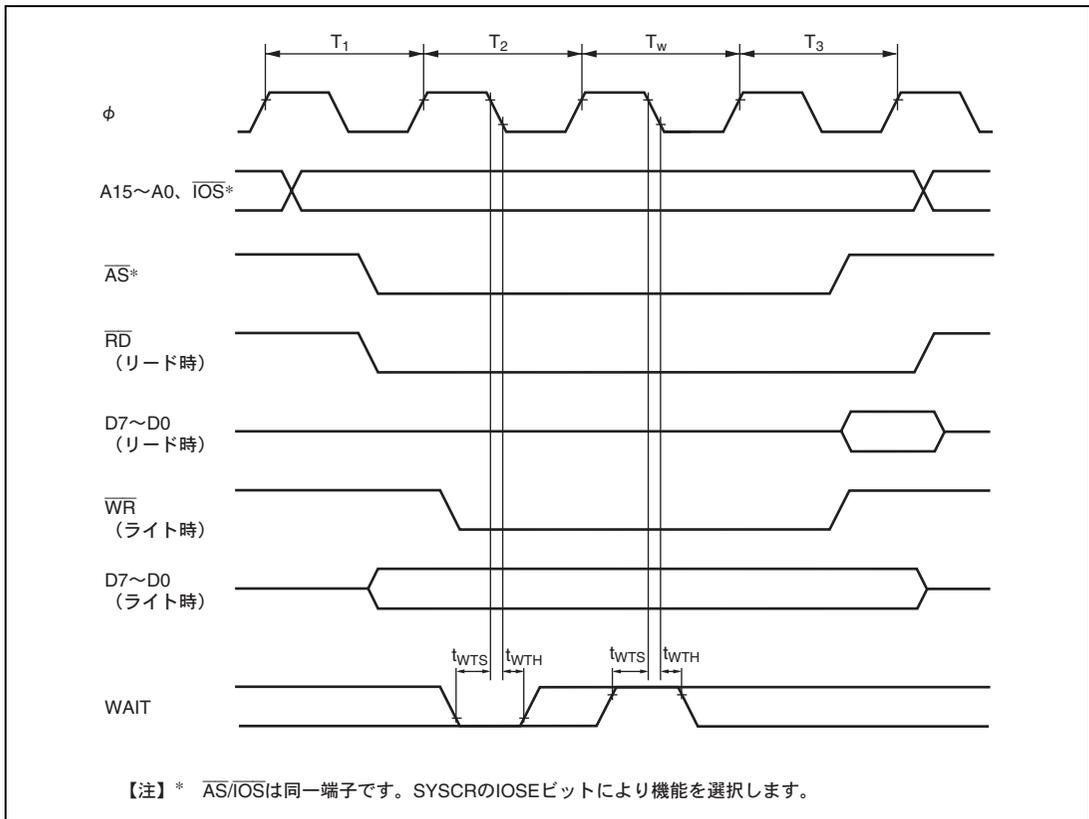


図 24.11 基本バスタイミング/3 ステートアクセス1 ウェイト

## 24. 電気的特性

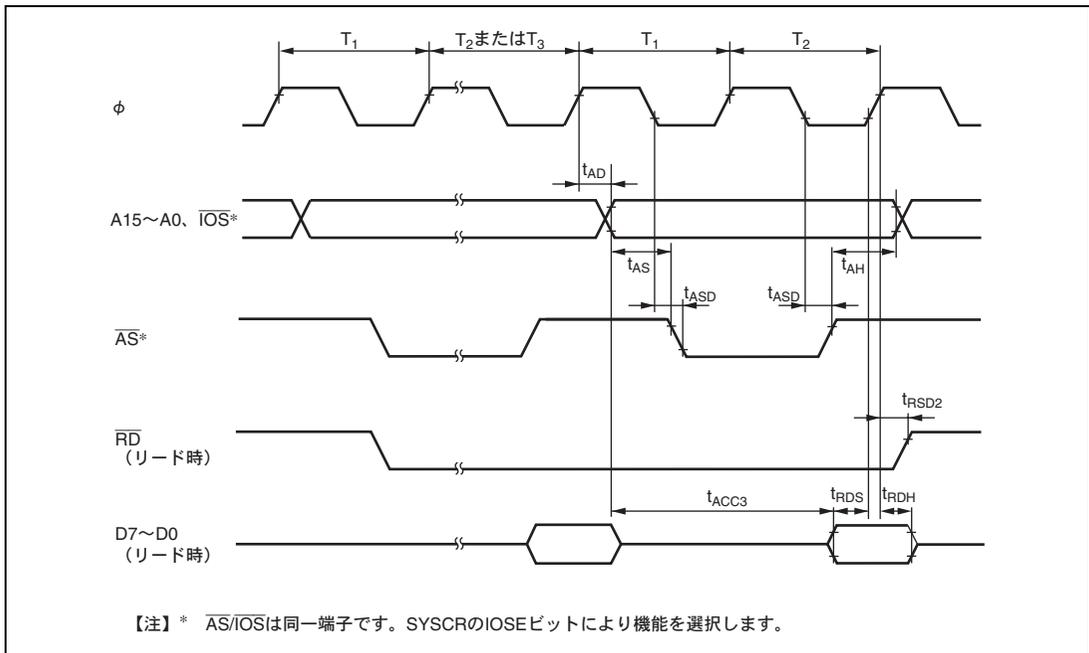


図 24.12 バースト ROM アクセスタイミング / 2 ステートアクセス

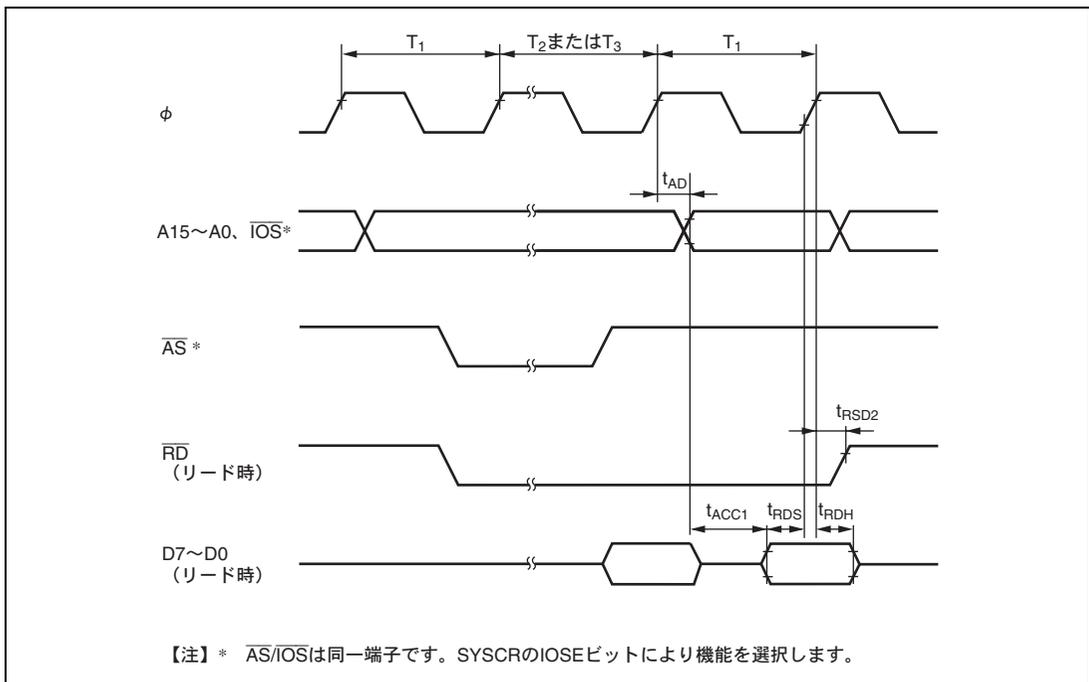


図 24.13 バースト ROM アクセスタイミング / 1 ステートアクセス

## 24.3.4 内蔵周辺モジュールタイミング

表 24.8～表 24.10 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ( $\phi=32.768\text{kHz}$ ) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0～IRQ7)、ウォッチドッグタイマ、8 ビットタイマ (チャンネル 0, 1) のみです。

表 24.8 内蔵周辺モジュールタイミング

条件 :  $V_{CC}=3.0\text{V}\sim 3.6\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $\phi=32.768\text{kHz}^*$ 、 $\phi=8\text{MHz}\sim 20\text{MHz}$

項目		記号	min	max	単位	測定条件		
I/O ポート	出力データ遅延時間	$t_{\text{PWD}}$	–	50	ns	図 24.14		
	入力データセットアップ時間	$t_{\text{PRS}}$	30	–				
	入力データデータホールド時間	$t_{\text{PRH}}$	30	–				
FRT	タイマ出力遅延時間	$t_{\text{FTOD}}$	–	50	ns	図 24.15		
	タイマ入力セットアップ時間	$t_{\text{FTIS}}$	30	–				
	タイマクロック入力セットアップ時間	$t_{\text{FTCS}}$	30	–				
	タイマクロック	単エッジ指定	$t_{\text{FTCWH}}$	1.5	–	$t_{\text{cyc}}$	図 24.16	
		両エッジ指定	$t_{\text{FTCWL}}$	2.5	–			
TCM	タイマ入力セットアップ時間	$t_{\text{TCMIS}}$	30	–	ns	図 24.17		
	タイマクロック入力セットアップ時間	$t_{\text{TCMCKS}}$	30	–				
	タイマクロックパルス幅	$t_{\text{TCMCKW}}$	1.5	–	$t_{\text{cyc}}$	図 24.18		
TMR	タイマ出力遅延時間	$t_{\text{TMOD}}$	–	50	ns	図 24.19		
	タイマリセット入力セットアップ時間	$t_{\text{TMRIS}}$	30	–				
	タイマクロック入力セットアップ時間	$t_{\text{TMCS}}$	30	–				
	タイマクロック	単エッジ指定	$t_{\text{TMCWH}}$	1.5	–	$t_{\text{cyc}}$	図 24.20	
		両エッジ指定	$t_{\text{TMCWL}}$	2.5	–			
PWM、PWMX	パルス出力遅延時間	$t_{\text{PWOD}}$	–	50	ns	図 24.22		
SCI	入クロック	単エッジ指定	$t_{\text{Scyc}}$	4	–	$t_{\text{cyc}}$	図 24.23	
		両エッジ指定		6	–			
	入クロックパルス幅		$t_{\text{SCKW}}$	0.4	0.6	$t_{\text{Scyc}}$		
	入クロック立ち上がり時間		$t_{\text{SCKr}}$	–	1.5	$t_{\text{cyc}}$		
	入クロック立ち下がり時間		$t_{\text{SCKf}}$	–	1.5	$t_{\text{cyc}}$		
	送信データ遅延時間 (クロック同期)		$t_{\text{TXD}}$	–	50	ns		図 24.24
	受信データセットアップ時間 (クロック同期)		$t_{\text{RXS}}$	50	–			
受信データホールド時間 (クロック同期)		$t_{\text{RXH}}$	50	–				
A/D 変換器	トリガ入力セットアップ時間	$t_{\text{TRGS}}$	30	–		図 24.25		

【注】 \* サブクロック動作時に使用可能な内蔵周辺モジュールのみ

## 24. 電気的特性

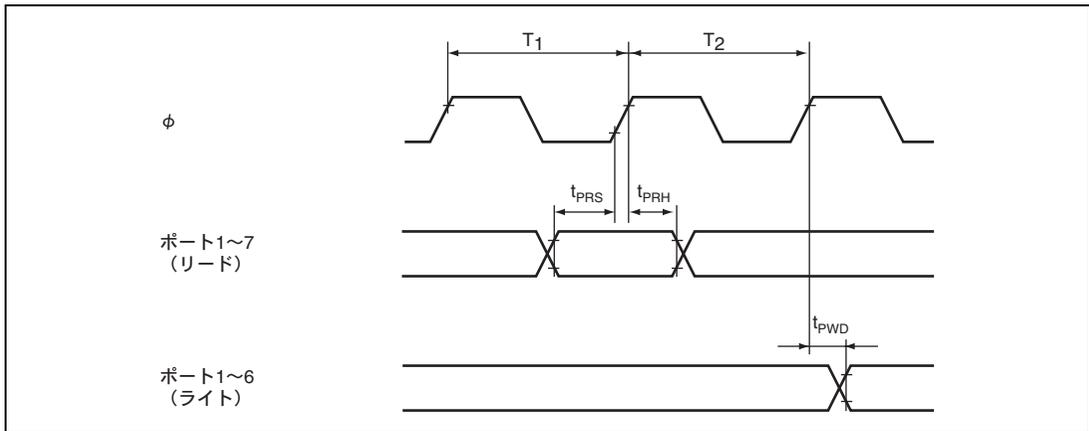


図 24.14 I/O ポート入出力タイミング

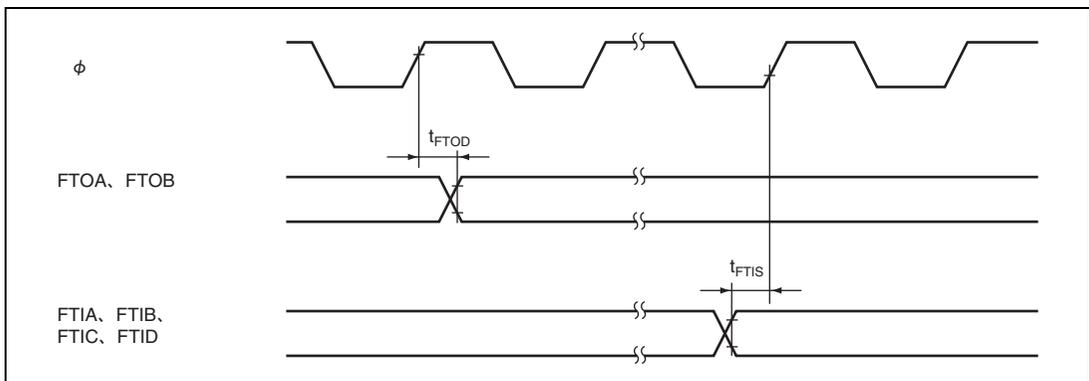


図 24.15 FRT 入出力タイミング

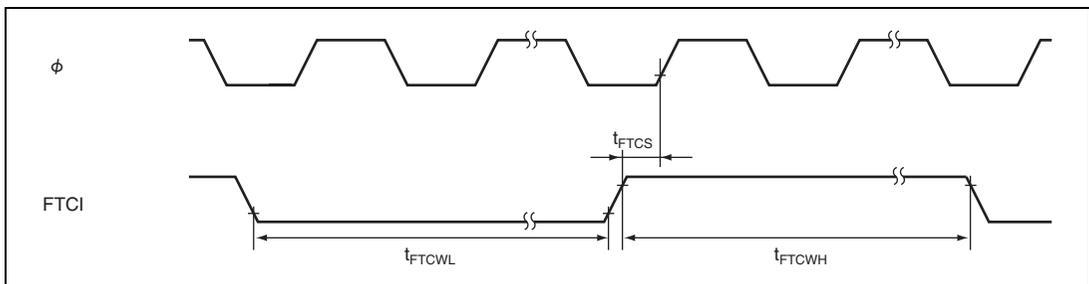


図 24.16 FRT クロック入力タイミング

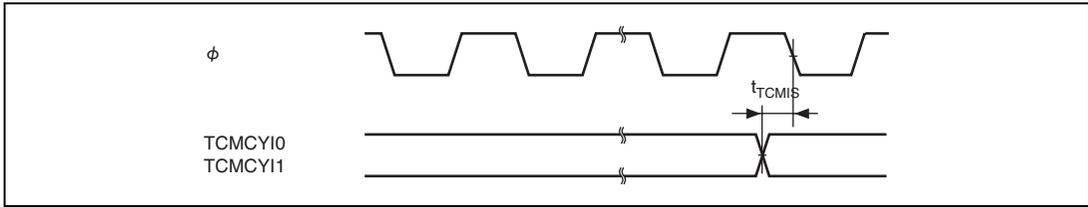


図 24.17 TCM 入出力タイミング

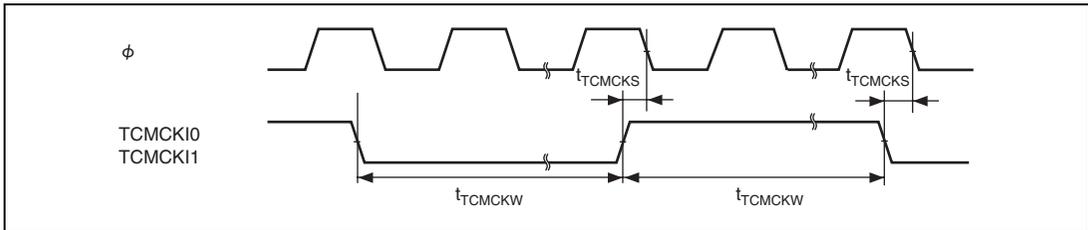


図 24.18 TCM クロック入力タイミング

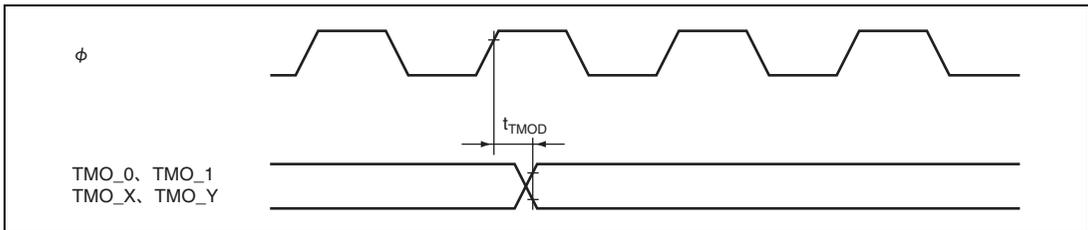


図 24.19 8ビットタイマ出力タイミング

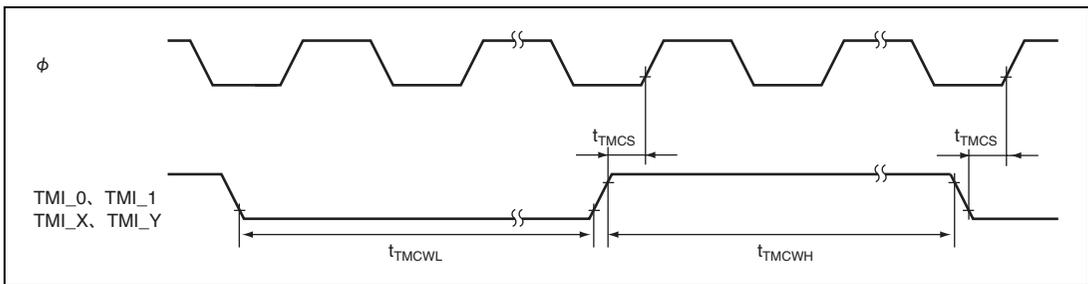


図 24.20 8ビットタイマクロック入力タイミング

## 24. 電気的特性

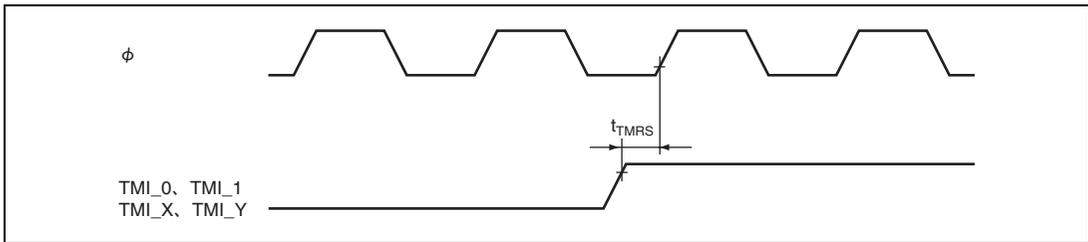


図 24.21 8ビットタイマリセット入カタイミング

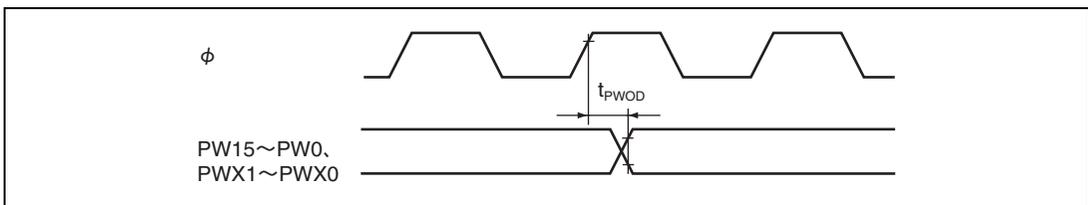


図 24.22 PWM、PWMX 出カタイミング

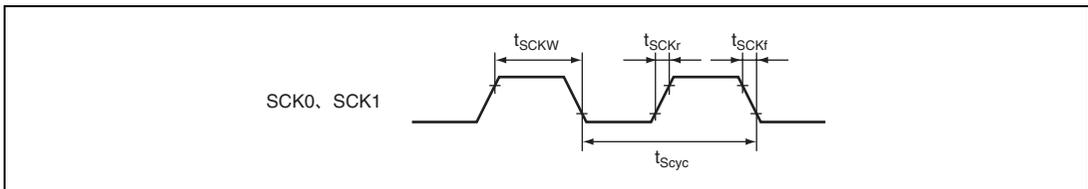


図 24.23 SCK クロック入カタイミング

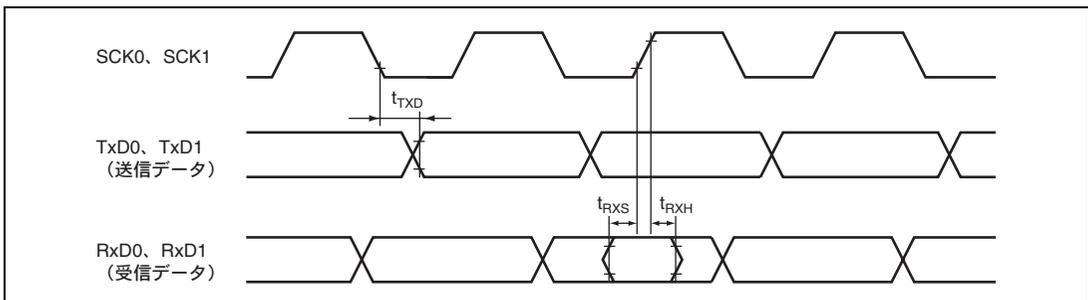


図 24.24 SCI 入出カタイミング/クロック同期式モード

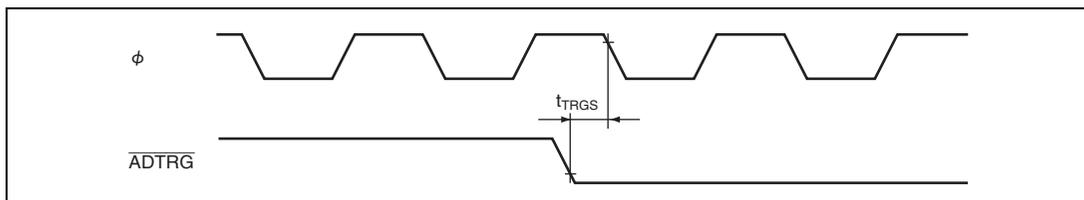


図 24.25 A/D 変換器外部トリガ入力タイミング

表 24.9 I<sup>2</sup>C バスタイミング条件 :  $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=8MHz\sim$ 最大動作周波数

項目	記号	min	typ	max	単位	測定条件
SCL 入力サイクル時間	$t_{SCL}$	12	—	—	$t_{cyc}$	図 24.26
SCL 入力 High パルス幅	$t_{SCLH}$	3	—	—		
SCL 入力 Low パルス幅	$t_{SCLL}$	5	—	—		
SCL、SDA 入力立ち上がり時間	$t_{Sr}$	—	—	7.5*	ns	
SCL、SDA 入力立ち下がり時間	$t_{Sf}$	—	—	300		
SCL、SDA 出力立ち下がり時間	$t_{Of}$	—	—	250	$t_{cyc}$	
SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$	—	—	1		
SDA 入カバスフリー時間	$t_{BUF}$	5	—	—		
開始条件入カホールド時間	$t_{STAH}$	3	—	—		
再送開始条件入カセットアップ時間	$t_{STAS}$	3	—	—		
停止条件入カセットアップ時間	$t_{STOS}$	3	—	—		
データ入カセットアップ時間	$t_{SDAS}$	0.5	—	—		
データ入カホールド時間	$t_{SDAH}$	0	—	—		
SCL、SDA の容量性負荷	$C_b$	—	—	400	pF	

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$  とすることが可能です。

## 24. 電気的特性

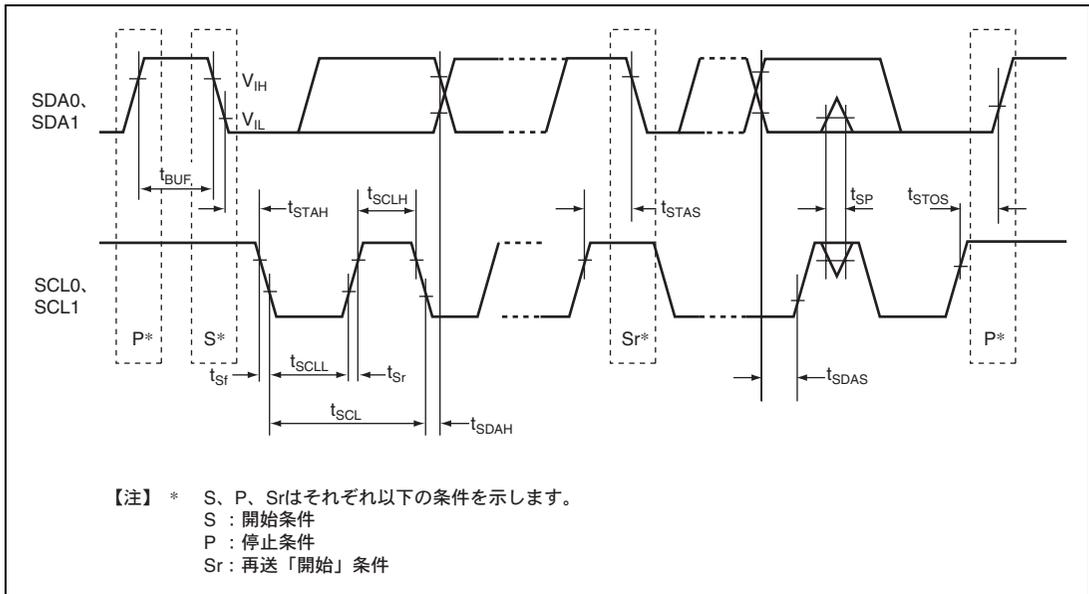


図 24.26 I<sup>2</sup>C バスインタフェース入出力タイミング

表 24.10 H-UDI タイミング

条件 :  $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=8MHz\sim 20MHz$

項目	記号	min	max	単位	測定条件
ETCK クロックサイクル時間	$t_{TCKcyc}$	50*	125*	ns	図 24.27
ETCK クロック High レベルパルス幅	$t_{TCKH}$	20	—		
ETCK クロック Low レベルパルス幅	$t_{TCKL}$	20	—		
ETCK クロック立ち上がり時間	$t_{TCKr}$	—	5		
ETCK クロック立ち下がり時間	$t_{TCKf}$	—	5		
ETRST パルス幅	$t_{RSTW}$	20	—	$t_{cyc}$	図 24.28
リセットホールド遷移パルス幅	$t_{RSTHW}$	3	—	ns	図 24.29
ETMS セットアップ時間	$t_{TMSS}$	20	—		
ETMS ホールド時間	$t_{TMSH}$	20	—		
ETDI セットアップ時間	$t_{TDIS}$	20	—		
ETDI ホールド時間	$t_{TDIH}$	20	—		
ETDO データ遅延時間	$t_{TDOD}$	—	20		

【注】 \* ただし、 $t_{cyc} \leq t_{TCKcyc}$

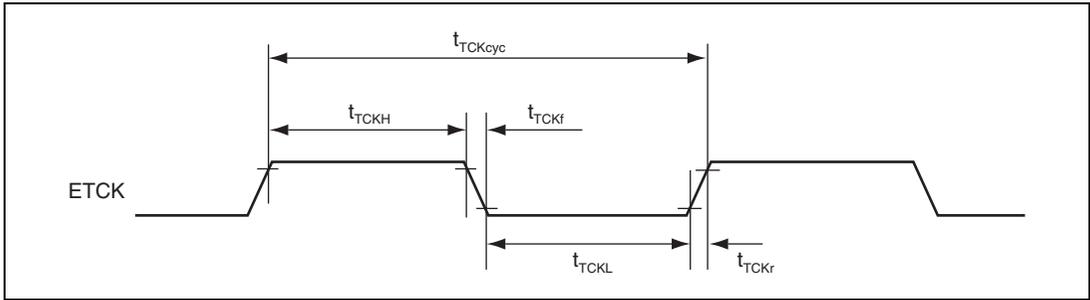


図 24.27 ETCK タイミング

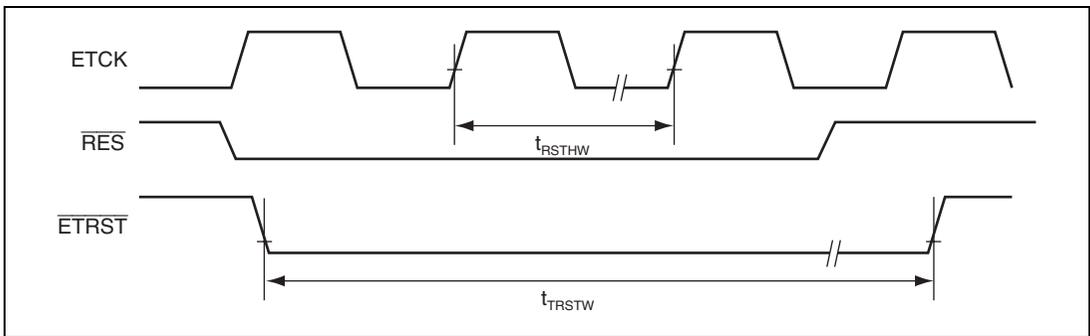


図 24.28 リセットホールドタイミング

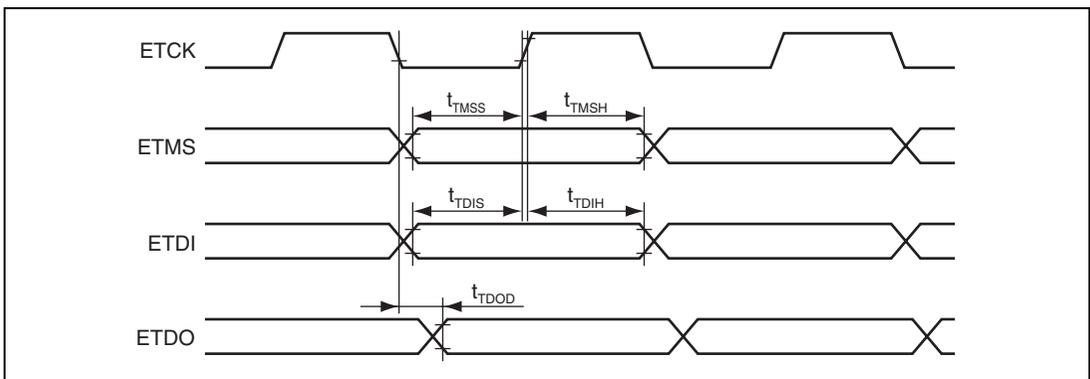


図 24.29 H-UDI 入出カタイミング

## 24. 電気的特性

### 24.4 A/D 変換特性

A/D 変換特性を表 24.11 に示します。

表 24.11 A/D 変換特性 (AN7~AN0 入力: 134/266 ステート変換)

条件 A:  $V_{CC}=3.0V\sim 3.6V$ ,  $AV_{CC}=3.0V\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $\phi=8MHz\sim 16MHz$

条件 B:  $V_{CC}=3.0V\sim 3.6V$ ,  $AV_{CC}=3.0V\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$ ,  $\phi=8MHz\sim 20MHz$

項目	条件 A			条件 B			単位
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間	—	—	8.38* <sup>1</sup>	—	—	13.4* <sup>2</sup>	$\mu s$
アナログ入力容量	—	—	20	—	—	20	pF
許容信号源インピーダンス	—	—	5	—	—	5	k $\Omega$
非直線性誤差	—	—	$\pm 7.0$	—	—	$\pm 7.0$	LSB
オフセット誤差	—	—	$\pm 7.5$	—	—	$\pm 7.5$	
フルスケール誤差	—	—	$\pm 7.5$	—	—	$\pm 7.5$	
量子化誤差	—	—	$\pm 0.5$	—	—	$\pm 0.5$	
絶対精度	—	—	$\pm 8.0$	—	—	$\pm 8.0$	

【注】 \*1 134 ステートで最大動作周波数のとき

\*2 266 ステートで最大動作周波数のとき

### 24.5 フラッシュメモリ特性

表 24.12 にフラッシュメモリ特性を示します。

表 24.12 フラッシュメモリ特性

条件:  $V_{CC}=3.0V\sim 3.6V$ ,  $AV_{CC}=3.0V\sim 3.6V$ ,  $V_{SS}=AV_{SS}=0V$

$T_a=0\sim +75^\circ C$  (書き込み/消去時の動作温度範囲)

項目	記号	min.	typ.	max.	単位	測定条件
書き込み時間* <sup>1</sup> * <sup>2</sup> * <sup>4</sup>	$t_P$	—	3	30	ms/128 バイト	
消去時間* <sup>1</sup> * <sup>2</sup> * <sup>4</sup>	$t_E$	—	80	800	ms/4K バイト	
		—	500	5000	ms/32K バイト	
		—	1000	10000	ms/64K バイト	
書き込み時間 (総和) * <sup>1</sup> * <sup>2</sup> * <sup>4</sup>	$\Sigma t_P$	—	10	30	s/512K バイト	$T_a=25^\circ C$
消去時間 (総和) * <sup>1</sup> * <sup>2</sup> * <sup>4</sup>	$\Sigma t_E$	—	10	30	s/512K バイト	$T_a=25^\circ C$
書き込み、消去時間 (総和) * <sup>1</sup> * <sup>2</sup> * <sup>4</sup>	$\Sigma t_{PE}$	—	20	60	s/512K バイト	$T_a=25^\circ C$
書き換え回数	$N_{WEC}$	100* <sup>3</sup>	—	—	回	
データ保持時間* <sup>4</sup>	$t_{DRP}$	10	—	—	年	

【注】 \*1 書き込み、消去時間はデータに依存します。

\*2 書き込み、消去時間にはデータ転送時間は含みません。

\*3 書き換え後のすべての特性を保証する min.回数です。(保証は 1~min.値の範囲)

\*4 書き換えが min.値を含む仕様範囲内で行われたときの特性です。

## 24.6 使用上の注意事項

VCC 端子と VSS 端子の間にはバイパスコンデンサ、VCL 端子と VSS 端子の間には内部降圧安定化用のコンデンサを接続する必要があります。図 24.30 に接続例を示します。

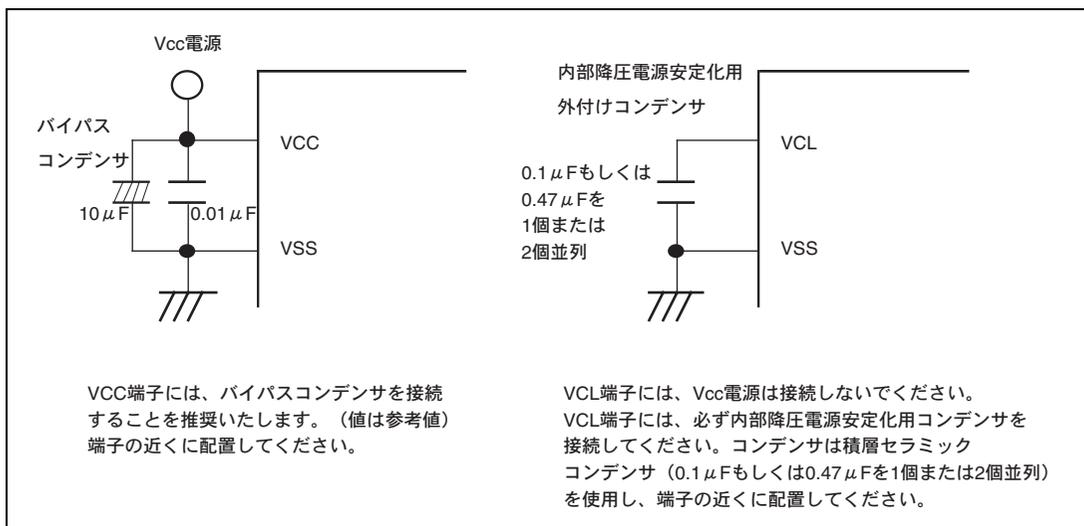


図 24.30 VCC 端子と VCL 端子のコンデンサ接続方法



# 付録

## A. 各処理状態における I/O ポートの状態

表 A.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	ウォッチ モード	スリープ モード	サブスリープ モード	サブアクティブ モード	プログラム 実行状態						
ポート 1 A7~A0	1	L	T	keep*	keep*	keep*	keep*	A7~A0	A7~A0						
	2, 3 (EXPE=1)	T						アドレス出力/ 入力ポート	アドレス出力/ 入力ポート						
	2, 3 (EXPE=0)							入出力ポート	入出力ポート						
ポート 2 A15~A8	1	L	T	keep*	keep*	keep*	keep*	A15~A8	A15~A8						
	2, 3 (EXPE=1)	T						アドレス出力/ 入力ポート	アドレス出力/ 入力ポート						
	2, 3 (EXPE=0)							入出力ポート	入出力ポート						
ポート 3 D7~D0	1	T	T	T	T	T	T	D7~D0	D7~D0						
	2, 3 (EXPE=1)														
	2, 3 (EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート						
ポート 47 WAIT	1	T	T	T/keep	T/keep	T/keep	T/keep	WAIT/ 入出力ポート	WAIT/ 入出力ポート						
	2, 3 (EXPE=1)														
	2, 3 (EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート						
ポート 46 φ EXCL	1	クロック出力	T	[DDR=1] H	EXCL 入力	[DDR=1]	EXCL 入力	EXCL 入力	クロック出力/ EXCL 入力/ 入力ポート						
	2, 3 (EXPE=1)	T		[DDR=0] T		クロック出力									
	2, 3 (EXPE=0)				[DDR=0] T										
ポート 45~43 AS, WR, RD	1	H	T	H	H	H	H	AS, WR, RD	AS, WR, RD						
	2, 3 (EXPE=1)	T													
	2, 3 (EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート						
ポート 42~40	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート						
	2, 3 (EXPE=1)														
	2, 3 (EXPE=0)														
ポート 5	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート						
	2, 3 (EXPE=1)														
	2, 3 (EXPE=0)														
ポート 6	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート						
	2, 3 (EXPE=1)														
	2, 3 (EXPE=0)														

## 付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	ウォッチ モード	スリープ モード	サブスリープ モード	サブアクティブ モード	プログラム 実行状態
ポート7	1	T	T	T	T	T	T	入力ポート	入力ポート
	2, 3 (EXPE=1)								
	2, 3 (EXPE=0)								

### 【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は、ON 状態を保持)

出力ポートは保持

なお、端子により、内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

【注】 \* アドレス出力の場合、最後にアクセスしたアドレスを保持。

## B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2125	F-ZTAT 版	R4F2125	F2125VPS20	PRDP0064BB-A (DP-64S)
			F2125VFA20	PRQP0064GB-A (FP-64A)
			F2125VTF20	PTQP0080KC-A (TFP-80C)
	PROM (OTP 版)	R4P2125	P2125VPS20	PRDP0064BB-A (DP-64S)



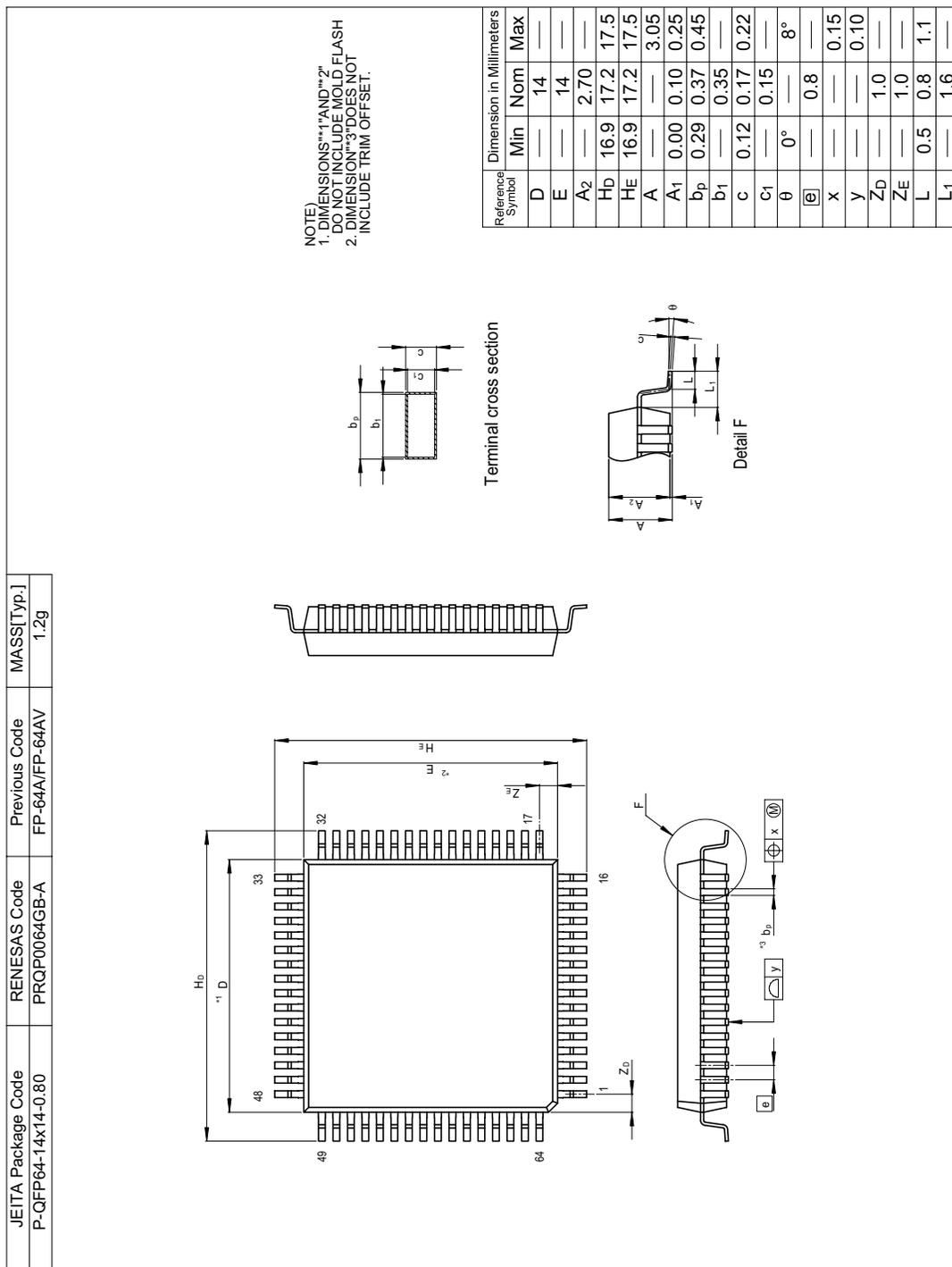


図 C.2 QFP-64 外形寸法図

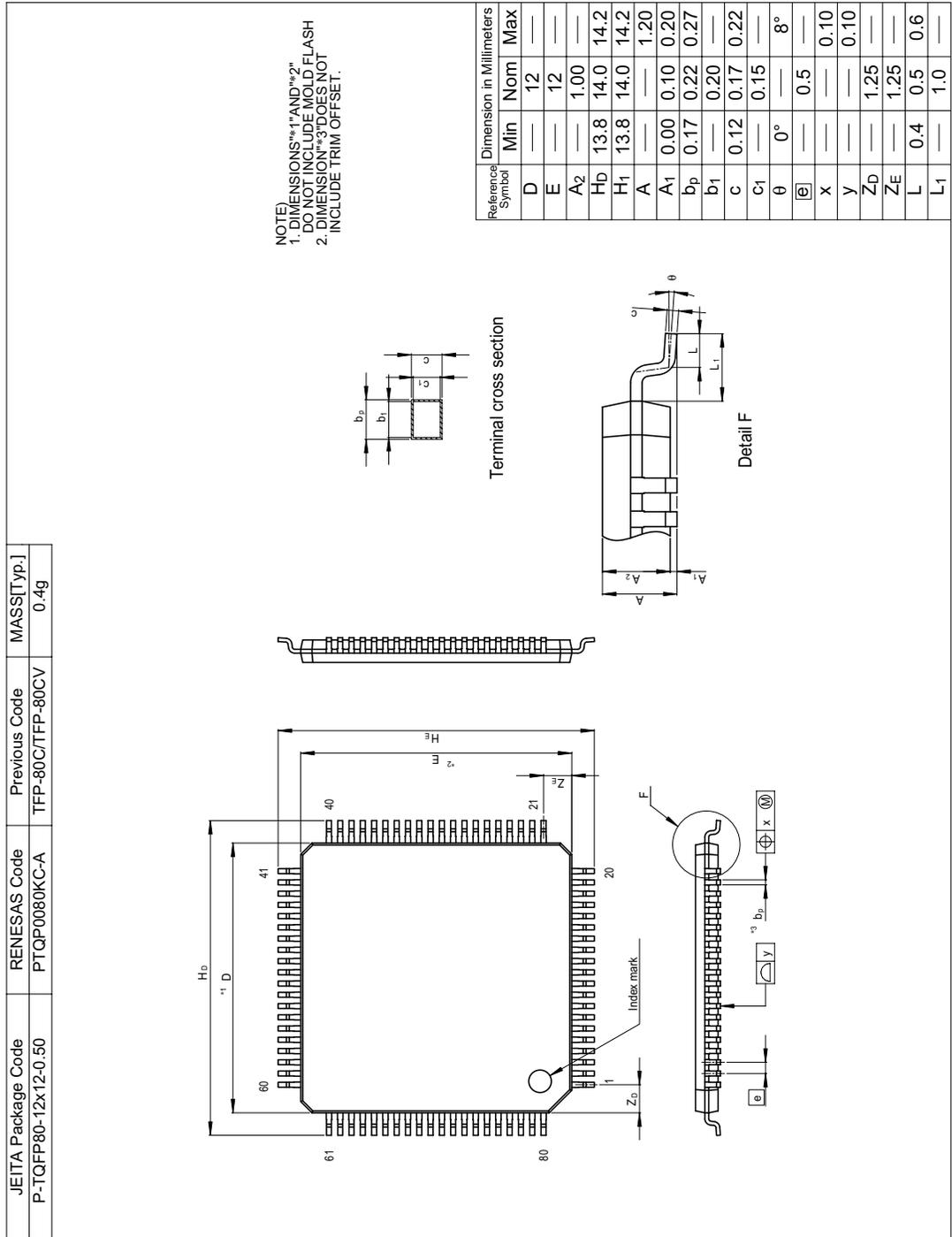


図 C.3 TQFP-80 外形寸法図

## 本版で修正または追加された箇所

H8S/2125 グループ ハードウェアマニュアル第2版 (RJ09B0326-0200) におきまして、修正および追加した箇所がありますのでご連絡させていただきます。

項 目	ページ	修正箇所												
表 1.1 動作モード別端子機能一覧	1-8	<table border="1"> <thead> <tr> <th colspan="3">ピン番号</th> <th>端子名</th> </tr> </thead> <tbody> <tr> <td>SDIP-64</td> <td>QFP-64</td> <td>TQFP-80</td> <td>フラッシュメモリ ライターモード</td> </tr> <tr> <td>—</td> <td>—</td> <td>51</td> <td>VSS</td> </tr> </tbody> </table>	ピン番号			端子名	SDIP-64	QFP-64	TQFP-80	フラッシュメモリ ライターモード	—	—	51	VSS
	ピン番号			端子名										
SDIP-64	QFP-64	TQFP-80	フラッシュメモリ ライターモード											
—	—	51	VSS											
1-13	<p>【注】*1 SDIP-64、QFP-64 ではサポートしません。そのときの MD2 と ETRST の入力値は 0 固定となります。</p>													
表 6.5 アイドルサイクルでの端子状態	6-16	<table border="1"> <thead> <tr> <th>端子名</th> <th>端子の状態</th> </tr> </thead> <tbody> <tr> <td>A15~A0、IOS</td> <td>直後のバスサイクルの内容</td> </tr> </tbody> </table>	端子名	端子の状態	A15~A0、IOS	直後のバスサイクルの内容								
端子名	端子の状態													
A15~A0、IOS	直後のバスサイクルの内容													
15.3.5 シリアルモードレジスタ (SMR)	15-5	<p>SMR は通信フォーマットと内蔵ポーレートジェネレータのクロックソースを選択するためのレジスタです。</p> <p>SMR は、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。</p>												
15.3.6 シリアルコントロールレジスタ (SCR)	15-6	<p>SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。</p> <p>SCR は、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。各割り込み要求については「15.7 割り込み要因」を参照してください。</p>												
15.3.8 シリアルインタフェースモードレジスタ (SCMR)	15-9	<p>SCMR は SCI 機能およびそのフォーマットを選択するためのレジスタです。</p> <p>SCMR は、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。</p>												
15.3.9 ビットレートレジスタ (BRR)	15-10	<p>……BRR の初期値は H'FF で、常に CPU による読み出しが可能です。CPU による書き込みは初期設定時のみとし、送信、受信、および送受信動作時は書き込みを行わないでください。</p>												

項 目	ページ	修正箇所
図 15.7 シリアル送信の フローチャートの例	15-20	<p>【注】送信開始から送信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [5] の処理は除きます。</p>
図 15.9 シリアル受信データ フローチャートの例 (1)	15-22	<p>【記号説明】        V : 論理和 (OR)        【注】受信開始から受信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [6] の処理は除きます。</p>
図 15.9 シリアル受信データ フローチャートの例 (2)	15-23	
図 15.11 マルチプロセッサ シリアル送信の フローチャートの例	15-25	<p>【注】送信開始から送信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [5] の処理は除きます。</p>

項目	ページ	修正箇所
<p>図 15.13 マルチプロセッサ シリアル受信の フローチャートの例 (1)</p>	15-27	<p>【記号説明】 V：論理和 (OR)</p> <p>【注】受信開始から受信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [6] の処理は除きます。</p>
<p>図 15.13 マルチプロセッサ シリアル受信の フローチャートの例 (2)</p>	15-28	
<p>図 15.17 シリアル送信の フローチャートの例</p>	15-32	<p>【注】送信開始から送信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [4] の処理は除きます。</p>

項目	ページ	修正箇所																							
図 15.19 シリアルデータ受信 フローチャートの例	15-34	<p>【注】受信開始から受信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [6] の処理は除きます。</p>																							
図 15.20 シリアル送受信 同時動作の フローチャートの例	15-35	<p>【注】送信、または受信動作から同時送受信に切り替えるときには、TEビットとREビットを0にクリアしてからTEビットとREビットを同時に1にセットしてください。送受信開始から送受信終了までの間は、SMR、SCR、SCMR、BRRへの書き込みは行わないでください。ただし [6] の処理は除きます。</p>																							
15.8.9 送信、受信、 送受信中のレジスタ 書き込みの注意事項	15-43	追加																							
(4) 問い合わせ 選択ステータス (b) デバイス選択	19-49	<ul style="list-style-type: none"> <li>• サイズ (1 バイト) : デバイスコードの文字数、固定値で 4</li> </ul>																							
23.4 レジスタ選択 条件	23-21	<table border="1"> <thead> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th>レジスタ選択条件</th> <th>モジュール名</th> </tr> </thead> <tbody> <tr> <td>H'FFD2</td> <td>PWOERB</td> <td>MSTP11=0</td> <td rowspan="6">PWM</td> </tr> <tr> <td>H'FFD3</td> <td>PWOERA</td> <td>MSTPA0=0</td> </tr> <tr> <td>H'FFD4</td> <td>PWDPRB</td> <td></td> </tr> <tr> <td>H'FFD5</td> <td>PWDPRA</td> <td></td> </tr> <tr> <td>H'FFD6</td> <td>PWSL</td> <td></td> </tr> <tr> <td>H'FFD7</td> <td>PWDR15~0</td> <td></td> </tr> </tbody> </table>	下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名	H'FFD2	PWOERB	MSTP11=0	PWM	H'FFD3	PWOERA	MSTPA0=0	H'FFD4	PWDPRB		H'FFD5	PWDPRA		H'FFD6	PWSL		H'FFD7	PWDR15~0	
下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名																						
H'FFD2	PWOERB	MSTP11=0	PWM																						
H'FFD3	PWOERA	MSTPA0=0																							
H'FFD4	PWDPRB																								
H'FFD5	PWDPRA																								
H'FFD6	PWSL																								
H'FFD7	PWDR15~0																								

項 目	ページ	修正箇所				
表 24.2 DC 特性	24-2					
		項 目		min	typ	max
		入力容量	全端子	—	—	15
B. 型名一覧	付録-3					
		製品分類		製品型名	マーク型名	パッケージ (コード)
		H8S/2125	F-ZTAT 版	R4F2125	F2125VPS20	PRDP0064BB-A (DP-64S)
					F2125VFA20	PRQP0064GB-A (FP-64A)
					F2125VTF20	PTQP0080KC-A (TFP-80C)
	PROM (OTP 版)	R4P2125	P2125VPS20	PRDP0064BB-A (DP-64S)		



---

# 索引

---

## 【数字／記号】

14 ビット PWM タイマ (PWMX) .....	10-1
16 ビットカウントモード.....	13-19
16 ビットサイクルメジャーメントタイマ (TCM) ....	12-1
8 ビット PWM タイマ .....	9-1
8 ビットタイマ (TMR) .....	13-1

## 【A～Z】

A/D 変換器 .....	17-1
A/D 変換時間 .....	17-8
ADI 割り込み .....	17-9
Bcc .....	2-23
CMIA .....	13-22
CMIA Y .....	13-22
CMIB .....	13-22
CMIB Y .....	13-22
DTC ベクタテーブル .....	7-8
DTC 実行ステート数 .....	7-16
EA 拡張部 .....	2-25
EEPMOV 命令 .....	2-34
ERI .....	15-36
FOVI .....	11-19, 12-17
I <sup>2</sup> C バスインタフェース (IIC) .....	16-1
I <sup>2</sup> C バスデータフォーマット .....	16-21
ICIA .....	11-19, 12-17
ICIB .....	11-19
ICIC .....	11-19
ICID .....	11-19
ICIX .....	13-22
IICI .....	16-50
OCIA .....	11-19, 12-17
OCIB .....	11-19, 12-17
OVI .....	13-22
OVI Y .....	13-22
PHY インタフェース (PHY-IF) .....	12-1
RAM .....	18-1
RXI .....	15-36
SWDTEND .....	7-15
TEI .....	15-36
TRAPA 命令 .....	4-5

TXI .....	15-36
WOVI .....	14-9

## 【あ】

アイドルサイクル .....	6-16
アウトプットコンペア .....	11-13
アドレスマップ .....	3-7
アドレス空間 .....	2-7
アドレッシングモード .....	2-26
イミディエイト .....	2-28
インターバルタイマモード .....	14-8
インプットキャプチャ .....	11-14
インプットキャプチャ動作 .....	13-20
ウェイト制御 .....	6-12
ウォッチドッグタイマ (WDT) .....	14-1
ウォッチドッグタイマモード .....	14-7
ウォッチモード .....	22-13
エクステンドレジスタ .....	2-10
エラープロテクト .....	19-43
オーバフロー .....	14-7
オーバランエラー .....	15-21
オペレーションフィールド .....	2-25
オンボードプログラミング .....	19-21
オンボードプログラミングモード .....	19-1

## 【か】

外部クロック .....	21-3
外部トリガ .....	17-9
書き込み／消去インタフェースパラメータ .....	19-14
書き込み／消去インタフェースレジスタ .....	19-10
各動作モードでの LSI の内部状態 .....	22-9
カスケード接続 .....	13-19
基本周期 .....	10-9
クロック同期式モード .....	15-29
クロック発振器 .....	21-1
コンディションコードレジスタ .....	2-10
コンディションフィールド .....	2-25
コンペアマッチカウントモード .....	13-20

## 【さ】

サブアクティブモード .....	22-14
------------------	-------

サブスリープモード	22-13
算術演算命令	2-18
システム制御命令	2-24
実効アドレス	2-26, 2-29
シフト命令	2-20
シリアルコミュニケーションインタフェース	15-1
シリアルフォーマット	16-22
シングルモード	17-7
水晶発振子	21-2
スキャンモード	17-7
スタックの状態	4-5
スタックポインタ	2-9
スピード測定モード	12-11
スリープモード	22-11
絶対アドレス	2-27
ソフトウェアスタンバイモード	22-11
ソフトウェアによる起動	7-17
ソフトウェアプロテクト	19-42
ソフトウェア起動割り込み用ベクタ番号	7-6

#### 【た】

ダウンロードパス・フェイルリザルトパラメータ	19-15
端子機能	1-10
チェーン転送	7-14
中速モード	22-10
調歩同期式モード	15-14
直接遷移	22-15
通信プロトコル	19-47
低消費電力状態	22-1
ディスプレイメント付きレジスタ間接	2-26
データトランスファコントローラ (DTC)	7-1
データ転送命令	2-17
手順プログラム	19-37
動作モード別端子機能一覧	1-7
トラップ命令例外処理	4-5

#### 【な】

内部ブロック図	1-3
ノイズ除去回路	16-49
ノーマルモード	7-11

#### 【は】

バースト ROM インタフェース	6-14
ハードウェアスタンバイモード	22-12
ハードウェアプロテクト	19-42
バスアービトラージョン	6-17
バスアドレスエリアパラメータ	19-17

パリティエラー	15-21
汎用レジスタ	2-9
ビットレート	15-10
ビット操作命令	2-21, 2-33
標準シリアル通信インタフェース仕様	19-45
ピン配置図	1-4
ブートモード	19-21
フラッシュイレースブロックセレクトパラメータ	19-19
フラッシュバス/フェイルパラメータ	19-20
フラッシュプログラム/イレース周波数 パラメータ	19-16
フラッシュマット構成	19-5
フラッシュマルチパースデータデスティネーション パラメータ	19-17
フラッシュメモリ	19-1
プリデクリメントレジスタ間接	2-27
ブレイク	15-37
フレーミングエラー	15-21
プログラムカウンタ	2-10
プログラムカウンタ相対	2-28
ブロック転送モード	7-13
ブロック転送命令	2-24
プロテクト	19-42
分解能	10-9
分岐命令	2-23
変換周期	10-9
ポストインクリメントレジスタ間接	2-27

#### 【ま】

マーク状態	15-37
マルチプロセッサ通信機能	15-24
命令セット	2-15
メモリ間接	2-28
モード遷移図	22-8
モード比較	19-4
モジュールストップモード	22-14

#### 【や】

ユーザブートマット	19-44
ユーザブートモード	19-34
ユーザプログラムモード	19-24
ユーザマット	19-44
ユーザメモリマット	19-1

#### 【ら】

ライターモード	19-45
リセット	4-3

リセット例外処理.....	4-3	P2DR.....	8-6
リピートモード.....	7-12	P2PCR.....	8-7
レジスタ		P3DDR.....	8-10
ABRKCR.....	5-4	P3DR.....	8-10
ADCR.....	17-6	P3PCR.....	8-11
ADCSR.....	17-5	P4DDR.....	8-12
ADDR.....	17-4	P4DR.....	8-13
BAR.....	5-4	P4NCCS.....	8-14
BCR.....	6-3	P4NCE.....	8-13
BRR.....	15-10	P4NCMC.....	8-14
CRA.....	7-4	P5DDR.....	8-17
CRB.....	7-5	P5DR.....	8-17
DACNT.....	10-2	P6DDR.....	8-19
DACR.....	10-5	P6DR.....	8-20
DADR.....	10-3	P6NCCS.....	8-21
DAR.....	7-4	P6NCE.....	8-20
DDCSWR.....	16-18	P6NCMC.....	8-21
DTCER.....	7-5	P7PIN.....	8-25
DTVECR.....	7-6	P9PCR.....	8-13
FCCS.....	19-10	PCSR.....	9-6
FECS.....	19-12	PWDPR.....	9-5
FKEY.....	19-12	PWDR.....	9-4
FMATS.....	19-13	PWOER.....	9-5
FPCS.....	19-12	PWSL.....	9-3
FRC.....	11-4	RDR.....	15-4
FTDAR.....	19-13	RSR.....	15-4
ICCR.....	16-8	SAR.....	16-5
ICDR.....	16-4	SARX.....	16-5
ICMR.....	16-7	SBYCR.....	22-2
ICR.....	5-3, 11-4	SCMR.....	15-9
ICSR.....	16-15	SCR.....	15-6
ICXR.....	16-18	SMR.....	15-5
IER.....	5-6	SSR.....	15-7
ISR.....	5-6	STCR.....	3-4
LPWRCR.....	22-4	SYSCR.....	3-3
MDCR.....	3-2	TCMCNT.....	12-4
MRA.....	7-3	TCMCR.....	12-6
MRB.....	7-4	TCMCSR.....	12-5
MSTPCR.....	22-5	TCMICR.....	12-4
OCRA.....	11-4	TCMICRF.....	12-5
OCRAF.....	11-5	TCMIER.....	12-8
OCRAR.....	11-5	TCMMLCM.....	12-4
OCRDM.....	11-5	TCNT.....	13-6, 14-3
P1DDR.....	8-3	TCONRI.....	13-13
P1DR.....	8-3	TCONRS.....	13-14
P1PCR.....	8-4	TCOR.....	13-6
P2DDR.....	8-6	TCR.....	11-9, 13-6

TCSR .....	11-7, 13-9
TDR.....	15-4
TICRF .....	13-13
TICRR .....	13-13
TIER.....	11-6
TOCR.....	11-10
TSR.....	15-4
WSCR .....	6-4
例外処理.....	4-1
例外処理ベクタテーブル .....	4-2
レジスタフィールド .....	2-25

レジスタ間接 .....	2-26
レジスタ直接 .....	2-26
論理演算命令 .....	2-20

#### 【わ】

割り込みコントローラ .....	5-1
割り込みによる起動 .....	7-17
割り込みマスクビット .....	2-10
割り込み例外処理 .....	4-4
割り込み例外処理ベクタテーブル .....	5-9

---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8S/2125グループ

発行年月日 2006年3月17日 Rev.1.00  
2006年9月13日 Rev.2.00

発行 株式会社ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

---

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



# H8S/2125 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0326-0200