

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については  
必ず本文の内容をご確認ください。

# H8S/2128グループ、H8S/2128Sグループ、 H8S/2124グループ、H8S/2128F-ZTAT™

## ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2100シリーズ

H8S/2128	HD64F2128
	HD6432127R
	HD6432127RW
	HD6432126R
	HD6432126RW
H8S/2128S	HD6432128S
	HD6432128SW
	HD6432127S
H8S/2124	HD6432127SW
	HD6432122
	HD6432120

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# はじめに

---

H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループは、内部 32 ビット構成の H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

H8S/2000 CPU は、基本命令を 1 ステートで実行でき、内部 32 ビット構成の 16 ビット × 16 本の汎用レジスタと簡潔で最適化された命令セットを備えています。また、16M バイトのリニアなアドレス空間を扱うことができます（アーキテクチャとしては 4G バイト）。高級言語 C をベースとしたプログラムも効率的に実行できます。

内蔵 ROM は、単一電源フラッシュメモリ版（F-ZTAT™\*）、マスク ROM 版があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

周辺機能として、16 ビットフリーランニングタイマ（FRT）、8 ビットタイマ（TMR）、ウォッチドックタイマ（WDT）、2 種類の PWM タイマ（PWM、PWMX）、シリアルコミュニケーションインタフェース（SCI）、A/D 変換器（ADC）、I/O ポートなどを内蔵しています。さらに、オプションとして、I<sup>2</sup>C バスインタフェース（IIC）を内蔵することができます。

また、データトランスファコントローラ（DTC）を内蔵し、CPU に代わって高速のデータ転送を行うことができます。

H8S/2128 グループ、H8S/2128S グループは上記の周辺機能をすべて内蔵し、IIC のオプション内蔵が可能です。H8S/2124 グループは、TMR のチャンネル数、PWM、IIC、DTC などを削減した機能スリム版です。

H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループを用いることにより、高性能かつ小型のシステムを容易に実現することができます。豊富なタイマ機能とその相互接続（タイマコネクション）、および、IIC と DTC の連携動作は、PC モニタなどの応用に最適です。また、F-ZTAT と機能スリム版の組み合わせは、性能要求を満たすためにはプログラムメモリ内蔵が必須で、製品立ち上げ期間が短く機器組立て後もプログラム変更があるようなシステムへの応用に最適です。

本マニュアルは、H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループのハードウェアについて説明しています。命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ プログラミングマニュアル」を合わせてご覧ください。

【注】 \* F-ZTAT™（Flexible-ZTAT）は（株）ルネサス テクノロジーの商標です。

内蔵周辺機能一覧

グループ名	H8S/2128 グループ、 H8S/2128S グループ	H8S/2124 グループ
製品名	H8S/2128、H8S/2127、 H8S/2126	H8S/2122、H8S/2120
バスコントローラ (BSC)	(8ビット)	(8ビット)
データトランスファコントローラ (DTC)		-
8ビットPWMタイマ (PWM)	×16	-
14ビットPWMタイマ (PWMX)	×2	-
16ビットフリーランニングタイマ (FRT)	×1	×1
8ビットタイマ (TMR)	×4	×3
タイマコネクション		-
ウォッチドッグタイマ (WDT)	×2	×2
シリアルコミュニケーションインタフェース (SCI)	×2	×2
I <sup>2</sup> Cバスインタフェース (IIC)	×2 (オプション)	-
A/D変換器	×8 (アナログ入力)	×8 (アナログ入力)
	×8 (拡張A/D入力)	×8 (拡張A/D入力)

# 本版で修正または追加された箇所

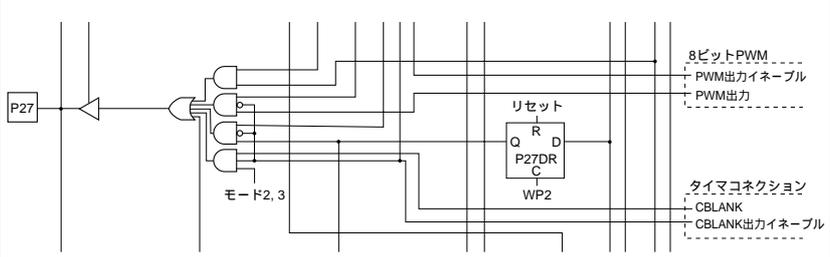
修正項目	ページ	修正箇所																							
全体	-	(修正前) H8S/2128 シリーズ H8S/2124 シリーズ	(修正後) H8S/2128 グループ、H8S/2128S グループ H8S/2124 グループ																						
1.1 概要 表 1.1 概要	7	製品ラインアップに H8S/2128S を追加																							
		<table border="1"> <thead> <tr> <th rowspan="2">グループ名</th> <th colspan="2">製品型名</th> <th rowspan="2">ROM / RAM (バイト)</th> <th rowspan="2">パッケージ</th> </tr> <tr> <th>マスクROM版</th> <th>F-ZTAT™版</th> </tr> </thead> <tbody> <tr> <td rowspan="4">H8S/2128S</td> <td>HD6432128S</td> <td>-</td> <td>128k / 4k</td> <td rowspan="4">DP-64S、 FP-64A、 TFP-80C</td> </tr> <tr> <td>HD6432128SW</td> <td></td> <td></td> </tr> <tr> <td>HD6432127S</td> <td>-</td> <td>64k / 2k</td> </tr> <tr> <td>HD6432127SW</td> <td></td> <td></td> </tr> </tbody> </table>			グループ名	製品型名		ROM / RAM (バイト)	パッケージ	マスクROM版	F-ZTAT™版	H8S/2128S	HD6432128S	-	128k / 4k	DP-64S、 FP-64A、 TFP-80C	HD6432128SW			HD6432127S	-	64k / 2k	HD6432127SW		
グループ名	製品型名		ROM / RAM (バイト)	パッケージ																					
	マスクROM版	F-ZTAT™版																							
H8S/2128S	HD6432128S	-	128k / 4k	DP-64S、 FP-64A、 TFP-80C																					
	HD6432128SW																								
	HD6432127S	-	64k / 2k																						
	HD6432127SW																								
1.3.1 ピン配置図 図 1.3 H8S/2128 グループ、 H8S/2128S グループのピン配置 図 (DP-64S : 上面図)	10	(修正前) VCC2	(修正後) VCC2 (VCL)																						
図 1.4 H8S/2128 グループ、 H8S/2128S グループのピン配置 図 (FP-64A : 上面図)	11	(修正前) VCC2	(修正後) VCC2 (VCL)																						
図 1.5 H8S/2128 グループ、 H8S/2128S グループのピン配置 図 (TFP-80C : 上面図)	12	(修正前) VCC2	(修正後) VCC2 (VCL)																						
1.3.2 動作モード別端子機能一 覧 表 1.2 H8S/2128 グループ、 H8S/2128S グループ動作モード 別端子機能一覧	16	(修正前) VCC2	(修正後) VCC2 (VCL)																						

修正項目	ページ	修正箇所															
1.3.3 端子機能 表 1.4 端子機能	22	<p>電源に VCL を追加</p> <table border="1"> <thead> <tr> <th rowspan="2">記号</th> <th colspan="3">ピン番号</th> <th rowspan="2">入出力</th> <th rowspan="2">名称および機能</th> </tr> <tr> <th>DP-64S</th> <th>FP-64A</th> <th>TFP-80C</th> </tr> </thead> <tbody> <tr> <td>VCL</td> <td>14</td> <td>6</td> <td>6</td> <td>入力</td> <td>内部降圧端子 内部降圧品の電源端子です。5V、4V 品は、本端子と VSS 端子との間に内部降圧安定化のための外付けコンデンサを接続し、VCC と接続しないでください。詳細は「第 22 章 電気的特性」を参照してください。</td> </tr> </tbody> </table>	記号	ピン番号			入出力	名称および機能	DP-64S	FP-64A	TFP-80C	VCL	14	6	6	入力	内部降圧端子 内部降圧品の電源端子です。5V、4V 品は、本端子と VSS 端子との間に内部降圧安定化のための外付けコンデンサを接続し、VCC と接続しないでください。詳細は「第 22 章 電気的特性」を参照してください。
記号	ピン番号			入出力	名称および機能												
	DP-64S	FP-64A	TFP-80C														
VCL	14	6	6	入力	内部降圧端子 内部降圧品の電源端子です。5V、4V 品は、本端子と VSS 端子との間に内部降圧安定化のための外付けコンデンサを接続し、VCC と接続しないでください。詳細は「第 22 章 電気的特性」を参照してください。												
2.6.1 概要 表 2.1 命令の分類	47	<p>TAS 命令および STM/LDM 命令の注記を追加</p> <p>【注】*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。</p> <p>*5 STM/LDM 命令においては、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。</p>															
表 2.2 命令とアドレッシングモードの組み合わせ	47	<p>【注】*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。</p> <p>*3 STM/LDM 命令においては、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。</p>															
2.6.3 命令の機能別一覧 表 2.3 データ転送命令	49	<p>STM/LDM 命令の注記を追加</p> <p>【注】*2 STM/LDM 命令においては、ER0 レジスタ ~ ER6 レジスタを使用してください。また、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。</p>															
表 2.4 算術演算命令	51	<p>TAS 命令の注記を追加</p> <p>【注】*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。</p>															
2.10 使用上の注意	75 ~ 76	追加															
4.6 スタック使用上の注意 図 4.6 SP を奇数に設定したときの動作	106	<table border="0"> <tr> <td>(修正前)</td> <td>(修正後)</td> </tr> <tr> <td>H'FFFEFA</td> <td>H'FFFEFA</td> </tr> <tr> <td>H'FFFEFB</td> <td>H'FFFEFB</td> </tr> <tr> <td>H'FFFEFC</td> <td>H'FFFEFC</td> </tr> <tr> <td>H'FFFEFD</td> <td>H'FFFEFD</td> </tr> <tr> <td>H'FFFEFF</td> <td>H'FFFEFF</td> </tr> </table>	(修正前)	(修正後)	H'FFFEFA	H'FFFEFA	H'FFFEFB	H'FFFEFB	H'FFFEFC	H'FFFEFC	H'FFFEFD	H'FFFEFD	H'FFFEFF	H'FFFEFF			
(修正前)	(修正後)																
H'FFFEFA	H'FFFEFA																
H'FFFEFB	H'FFFEFB																
H'FFFEFC	H'FFFEFC																
H'FFFEFD	H'FFFEFD																
H'FFFEFF	H'FFFEFF																
5.1.2 ブロック図 図 5.1 割り込みコントローラのブロック図	110	<table border="0"> <tr> <td>(修正前)</td> <td>(修正後)</td> </tr> <tr> <td>内部割り込み要因</td> <td>内部割り込み要因</td> </tr> <tr> <td>WOVI ~ IIC11</td> <td>SWDTEND ~ IIC11</td> </tr> </table>	(修正前)	(修正後)	内部割り込み要因	内部割り込み要因	WOVI ~ IIC11	SWDTEND ~ IIC11									
(修正前)	(修正後)																
内部割り込み要因	内部割り込み要因																
WOVI ~ IIC11	SWDTEND ~ IIC11																

修正項目	ページ	修正箇所																																																
5.6.4 IRQ ステータスレジスタ (ISR) について	137	追加																																																
7.3.3 DTC ベクタテーブル 表 7.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE	183	DTVECR へのライト、DC1B のベクタ番号を修正 <table border="1"> <thead> <tr> <th>割り込み要因</th> <th>要因発生元</th> <th>ベクタ番号</th> <th>ベクタアドレス</th> <th>DTCE*</th> <th>優先順位</th> </tr> </thead> <tbody> <tr> <td>DTVECR へのライト</td> <td>ソフトウェア</td> <td>DTVECR (10進数表示)</td> <td>H'0400 + (DTVECR[6:0] &lt;&lt; 1)</td> <td>-</td> <td>高 ↑</td> </tr> <tr> <td>IRQ0</td> <td rowspan="3">外部端子</td> <td>16</td> <td>H'0420</td> <td>DTCEA7</td> <td rowspan="7"></td> </tr> <tr> <td>IRQ1</td> <td>17</td> <td>H'0422</td> <td>DTCEA6</td> </tr> <tr> <td>IRQ2</td> <td>18</td> <td>H'0424</td> <td>DTCEA5</td> </tr> <tr> <td>ADI (A/D 変換終了)</td> <td>A/D</td> <td>28</td> <td>H'0438</td> <td>DTCEA3</td> </tr> <tr> <td>ICIA (FRT インพุットキャプチャ A)</td> <td rowspan="4">FRT</td> <td>48</td> <td>H'0460</td> <td>DTCEA2</td> </tr> <tr> <td>ICIB (FRT インพุットキャプチャ B)</td> <td>49</td> <td>H'0462</td> <td>DTCEA1</td> </tr> <tr> <td>OCIA (FRT アウトプットコンペア A)</td> <td>52</td> <td>H'0468</td> <td>DTCEA0</td> </tr> <tr> <td>OCIB (FRT アウトプットコンペア B)</td> <td>53</td> <td>H'046A</td> <td>DTCEB7</td> </tr> </tbody> </table>	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位	DTVECR へのライト	ソフトウェア	DTVECR (10進数表示)	H'0400 + (DTVECR[6:0] << 1)	-	高 ↑	IRQ0	外部端子	16	H'0420	DTCEA7		IRQ1	17	H'0422	DTCEA6	IRQ2	18	H'0424	DTCEA5	ADI (A/D 変換終了)	A/D	28	H'0438	DTCEA3	ICIA (FRT インพุットキャプチャ A)	FRT	48	H'0460	DTCEA2	ICIB (FRT インพุットキャプチャ B)	49	H'0462	DTCEA1	OCIA (FRT アウトプットコンペア A)	52	H'0468	DTCEA0	OCIB (FRT アウトプットコンペア B)	53	H'046A	DTCEB7
割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位																																													
DTVECR へのライト	ソフトウェア	DTVECR (10進数表示)	H'0400 + (DTVECR[6:0] << 1)	-	高 ↑																																													
IRQ0	外部端子	16	H'0420	DTCEA7																																														
IRQ1		17	H'0422	DTCEA6																																														
IRQ2		18	H'0424	DTCEA5																																														
ADI (A/D 変換終了)	A/D	28	H'0438	DTCEA3																																														
ICIA (FRT インพุットキャプチャ A)	FRT	48	H'0460	DTCEA2																																														
ICIB (FRT インพุットキャプチャ B)		49	H'0462	DTCEA1																																														
OCIA (FRT アウトプットコンペア A)		52	H'0468	DTCEA0																																														
OCIB (FRT アウトプットコンペア B)		53	H'046A	DTCEB7																																														
10.4 動作説明	260 ~ 264	図の差し替え、付加パルスの説明追加																																																
11.2.3 インพุットキャプチャレジスタ A ~ D (ICRA ~ ICRD)	273	説明修正 インพุットキャプチャ動作を確実にを行うために、インพุットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック以上、両エッジの場合 2.5 システムクロック以上にしてください。																																																
13.3.3 8 ビットタイマ分周波形周期測定	360	説明修正 TMR1 は、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアすることができるため、IHI 信号分周波形の立ち上がり / 立ち下がり をIVI 信号にほぼ同期化することができます。これにより、周期判定を効率的に行うことが可能です。 IHI 信号分周波形の周期を測定する場合、TMR1 の TCNT は、外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるよう設定します。																																																
表 13.5 TCR と TCSR の設定例	361	TMR1 の TCR のビット 4、3 の説明を修正 <table border="1"> <thead> <tr> <th>レジスタ</th> <th>ビット</th> <th>略称</th> <th>内容</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="4">TMR1 の TCR</td> <td>7</td> <td>CMIEB</td> <td>0</td> <td rowspan="3">コンペアマッチ、オーバーフローによる割り込みを禁止</td> </tr> <tr> <td>6</td> <td>CMIEA</td> <td>0</td> </tr> <tr> <td>5</td> <td>OVIE</td> <td>0</td> </tr> <tr> <td>4、3</td> <td>CCLR</td> <td>11</td> <td>外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ ( ) により TCNT をクリア</td> </tr> </tbody> </table>	レジスタ	ビット	略称	内容	説明	TMR1 の TCR	7	CMIEB	0	コンペアマッチ、オーバーフローによる割り込みを禁止	6	CMIEA	0	5	OVIE	0	4、3	CCLR	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ ( ) により TCNT をクリア																												
レジスタ	ビット	略称	内容	説明																																														
TMR1 の TCR	7	CMIEB	0	コンペアマッチ、オーバーフローによる割り込みを禁止																																														
	6	CMIEA	0																																															
	5	OVIE	0																																															
	4、3	CCLR	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ ( ) により TCNT をクリア																																														
14.2.2 タイマコントロール/ステータスレジスタ (TCSR)	378	ビット 7 注記の追加 【注】* インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。																																																
14.5.5 OVF フラグのクリア	387	追加																																																

修正項目	ページ	修正箇所
15.1.1 特長	392	<p>説明追加</p> <p>送受信クロックを出力可能</p> <ul style="list-style-type: none"> <li>・ P86/SCK1 端子、P42/SCK2 端子は CMOS 出力</li> <li>・ P52/SCK0 端子は NMOS プッシュプル出力</li> </ul> <p>(出力で使用する場合は、High レベルを出力するために必ず外部にプルアップ MOS を接続してください。)</p>
16. I <sup>2</sup> C バスインタフェース (IIC) 【オプション】	455 ~ 514	全面差し替え
17.2.3 A/D コントロールレジスタ (ADCR)	525	<p>ビット 5~0 注記の追加</p> <p>【注】* H8S/2128S グループではライトするときは必ず 1 をライトしてください。</p>
18.3.2 シングルチップモード (モード 2、3 (EXPE=0))	543	<p>説明修正</p> <p>また、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると不定値がリードされ、ライトは無効です。</p>
19.4.3 フラッシュメモリの動作モード (1) モード遷移図 図 19.3 フラッシュメモリに関する状態遷移	552	<p>図を修正</p>
19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)	560	<p>ビット 6~2 説明修正</p> <p>リザーブビットです。ライトするときは必ず 0 をライトしてください。</p>

修正項目	ページ	修正箇所
19.11 フラッシュメモリの書き込み / 消去時の注意	593	<p>説明修正</p> <p>(1) 規定された電圧、タイミングで書き込み / 消去を行ってください。定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROM ライタは、ルネサス テクノロジ 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧 5.0V をサポートしているものを使用してください。</p> <p>ライタの設定を HN28F101 や書き込み電圧 3.3V にセットしないでください。</p>
19.12 F-ZTAT マイコンのマスク ROM 化時の注意事項	595	追加
21.1.1 レジスタ構成 表 21.3 レジスタ構成	615	<p>【注】*2 の説明修正</p> <p>*2 低消費電力状態の制御レジスタの一部は、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の FLSHE ビットで行います。</p>
21.2.1 スタンバイコントロールレジスタ (SBYCR)	617	<p>ビット 6 ~ 4 のビット表の【注】* の説明修正</p> <p>【注】* フラッシュメモリ内蔵版および、H8S/2128S グループでは、本設定は使用しないでください。</p>
22. 電気的特性 (H8S/2128 シリーズ、H8S/2128 F-ZTAT) 23. 電気的特性 (H8S/2124 シリーズ)	635 ~ 714	「22. 電気的特性」として全面差し替え
A.1 命令セット一覧 表 A.1 命令セット一覧	719、 720、 727	<p>TAS 命令および STM/LDM 命令の注記を追加</p> <p>【注】*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。</p> <p>*4 STM/LDM 命令においては、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。</p>
A.2 命令コード一覧	732、 735、 736	<p>TAS 命令および STM/LDM 命令の注記を追加</p> <p>【注】*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。</p> <p>*3 STM/LDM 命令においては、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。</p>

修正項目	ページ	修正箇所
A.4 命令実行ステート数 表 A.5 命令実行状態 (サイクル数)	747、 750、 751	TAS 命令および STM/LDM 命令の注記を追加 【注】*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。 *4 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。
A.5 命令実行中のバス状態 表 A.6 命令の実行状態	757、 760、 761	TAS 命令および STM/LDM 命令の注記を追加 【注】*8 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。 *9 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。
B.3 機能一覧	786	スタンバイコントロールレジスタ SBYCR : システム スタンバイタイマセレクト 2~0 の【注】*を修正 【注】* フラッシュメモリ内蔵版および、H8S/2128S グループでは、本設定は使用しないでください。
C.2 ポート 2 ブロック図 図 C.8 ポート 2 ブロック図 (P27 端子)	845	図を修正 
付録 G. 型名一覧	865	全面差し替え

---

# 目次

---

## 第1章 概要

1.1	概要	3
1.2	内部ブロック図	8
1.3	端子説明	10
1.3.1	ピン配置図	10
1.3.2	動作モード別端子機能一覧	16
1.3.3	端子機能	22

## 第2章 CPU

2.1	概要	29
2.1.1	特長	29
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	30
2.1.3	H8/300 CPU との相違点	31
2.1.4	H8/300H CPU との相違点	31
2.2	CPU 動作モード	32
2.3	アドレス空間	37
2.4	レジスタ構成	38
2.4.1	概要	38
2.4.2	汎用レジスタ	39
2.4.3	コントロールレジスタ	40
2.4.4	CPU 内部レジスタの初期値	42
2.5	データ構成	43
2.5.1	汎用レジスタのデータ構成	43
2.5.2	メモリ上でのデータ構成	45
2.6	命令セット	46
2.6.1	概要	46
2.6.2	命令とアドレッシングモードの組み合わせ	47

	2.6.3	命令の機能別一覧.....	48
	2.6.4	命令の基本フォーマット.....	57
	2.6.5	ビット操作命令使用上の注意.....	58
2.7		アドレッシングモードと実効アドレスの計算方法.....	59
	2.7.1	アドレッシングモード.....	59
	2.7.2	実効アドレスの計算方法.....	63
2.8		処理状態.....	67
	2.8.1	概要.....	67
	2.8.2	リセット状態.....	68
	2.8.3	例外処理状態.....	69
	2.8.4	プログラム実行状態.....	70
	2.8.5	バス権解放状態.....	71
	2.8.6	低消費電力状態.....	71
2.9		基本動作タイミング.....	72
	2.9.1	概要.....	72
	2.9.2	内蔵メモリ (ROM、RAM).....	72
	2.9.3	内蔵周辺モジュールアクセスタイミング.....	73
	2.9.4	外部アドレス空間アクセスタイミング.....	74
2.10		使用上の注意.....	75
	2.10.1	TAS 命令使用上の注意.....	75
	2.10.2	STM/LDM 命令使用上の注意.....	75
	2.10.3	ビット操作命令使用上の注意事項.....	75
	2.10.4	EEPMOV 命令.....	76

### 第3章 MCU 動作モード

3.1		概要.....	79
	3.1.1	動作モードの選択.....	79
	3.1.2	レジスタ構成.....	80
3.2		各レジスタの説明.....	81
	3.2.1	モードコントロールレジスタ (MDCR).....	81
	3.2.2	システムコントロールレジスタ (SYSCR).....	82
	3.2.3	バスコントロールレジスタ (BCR).....	84
	3.2.4	シリアルタイマコントロールレジスタ (STCR).....	85
3.3		各動作モードの説明.....	87
	3.3.1	モード 1.....	87
	3.3.2	モード 2.....	87
	3.3.3	モード 3.....	87

3.4	各動作モードにおける端子機能.....	88
3.5	各動作モードのアドレスマップ.....	89

## 第4章 例外処理

4.1	概要.....	97
	4.1.1 例外処理の種類と優先度.....	97
	4.1.2 例外処理の動作.....	98
	4.1.3 例外処理要因とベクタテーブル.....	98
4.2	リセット.....	100
	4.2.1 概要.....	100
	4.2.2 リセットシーケンス.....	100
	4.2.3 リセット直後の割り込み.....	102
4.3	割り込み.....	103
4.4	トラップ命令.....	104
4.5	例外処理後のスタックの状態.....	105
4.6	スタック使用上の注意.....	106

## 第5章 割り込みコントローラ

5.1	概要.....	109
	5.1.1 特長.....	109
	5.1.2 ブロック図.....	110
	5.1.3 端子構成.....	110
	5.1.4 レジスタ構成.....	111
5.2	各レジスタの説明.....	112
	5.2.1 システムコントロールレジスタ (SYSCR).....	112
	5.2.2 インタラプトコントロールレジスタ A~C (ICRA~ICRC).....	113
	5.2.3 IRQ イネーブルレジスタ (IER).....	114
	5.2.4 IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL).....	115
	5.2.5 IRQ ステータスレジスタ (ISR).....	116
	5.2.6 アドレスブレイクコントロールレジスタ (ABRKCR).....	117
	5.2.7 ブレイクアドレスレジスタ A、B、C (BARA、BARB、BARC).....	118
5.3	割り込み要因.....	119
	5.3.1 外部割り込み.....	119
	5.3.2 内部割り込み.....	120
	5.3.3 割り込み例外処理ベクタテーブル.....	121
5.4	アドレスブレイク.....	123

	5.4.1	特長.....	123
	5.4.2	ブロック図.....	123
	5.4.3	動作説明.....	124
	5.4.4	使用上の注意.....	124
5.5		割り込み動作.....	126
	5.5.1	割り込み制御モードと割り込み動作.....	126
	5.5.2	割り込み制御モード0.....	129
	5.5.3	割り込み制御モード1.....	131
	5.5.4	割り込み例外処理シーケンス.....	134
	5.5.5	割り込み応答時間.....	135
5.6		使用上の注意.....	136
	5.6.1	割り込みの発生とディスエーブルとの競合.....	136
	5.6.2	割り込みを禁止している命令.....	137
	5.6.3	EEPMOV 命令実行中の割り込み.....	137
	5.6.4	IRQ ステータスレジスタ (ISR) について.....	137
5.7		割り込みによる DTC の起動.....	138
	5.7.1	概要.....	138
	5.7.2	ブロック図.....	138
	5.7.3	動作説明.....	139

## 第6章 バスコントローラ

6.1		概要.....	143
	6.1.1	特長.....	143
	6.1.2	ブロック図.....	144
	6.1.3	端子構成.....	145
	6.1.4	レジスタ構成.....	145
6.2		各レジスタの説明.....	146
	6.2.1	バスコントロールレジスタ (BCR).....	146
	6.2.2	ウェイトステートコントロールレジスタ (WSCR).....	147
6.3		バス制御の概要.....	150
	6.3.1	バス仕様.....	150
	6.3.2	アドバンストモード.....	151
	6.3.3	ノーマルモード.....	151
	6.3.4	I/O セレクト信号.....	152
6.4		基本バスインタフェース.....	153
	6.4.1	概要.....	153
	6.4.2	データサイズとデータアライメント.....	153

6.4.3	有効ストロープ	155
6.4.4	基本タイミング	156
6.4.5	ウェイト制御	158
6.5	バーストROMインタフェース	160
6.5.1	概要	160
6.5.2	基本タイミング	160
6.5.3	ウェイト制御	161
6.6	アイドルサイクル	162
6.6.1	動作説明	162
6.6.2	アイドルサイクルでの端子状態	163
6.7	バスアービトレーション	164
6.7.1	概要	164
6.7.2	動作説明	164
6.7.3	バス権移行タイミング	165

## 第7章 データトランスファコントローラ (DTC) 【H8S/2128 グループ、H8S/2128S グループに内蔵】

7.1	概要	169
7.1.1	特長	169
7.1.2	ブロック図	169
7.1.3	レジスタ構成	171
7.2	各レジスタの説明	172
7.2.1	DTC モードレジスタ A (MRA)	172
7.2.2	DTC モードレジスタ B (MRB)	174
7.2.3	DTC ソースアドレスレジスタ (SAR)	175
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	175
7.2.5	DTC 転送カウントレジスタ A (CRA)	175
7.2.6	DTC 転送カウントレジスタ B (CRB)	176
7.2.7	DTC イネーブルレジスタ (DTCER)	176
7.2.8	DTC ベクタレジスタ (DTVECR)	177
7.2.9	モジュールストップコントロールレジスタ (MSTPCR)	178
7.3	動作説明	179
7.3.1	概要	179
7.3.2	起動要因	180
7.3.3	DTC ベクタテーブル	182
7.3.4	アドレス空間上でのレジスタ情報の配置	184
7.3.5	ノーマルモード	185

	7.3.6	リピートモード .....	186
	7.3.7	ブロック転送モード .....	187
	7.3.8	チェイン転送 .....	188
	7.3.9	動作タイミング .....	189
	7.3.10	DTC 実行ステート数 .....	190
	7.3.11	DTC 使用手順 .....	191
	7.3.12	DTC 使用例 .....	192
7.4		割り込み .....	194
7.5		使用上の注意 .....	194

## 第8章 I/Oポート

8.1		概要 .....	197
8.2		ポート 1 .....	201
	8.2.1	概要 .....	201
	8.2.2	レジスタ構成 .....	202
	8.2.3	モード別端子機能 .....	204
	8.2.4	入力プルアップ MOS .....	205
8.3		ポート 2 .....	206
	8.3.1	概要 .....	206
	8.3.2	レジスタ構成 .....	207
	8.3.3	モード別端子機能 .....	209
	8.3.4	入力プルアップ MOS .....	211
8.4		ポート 3 .....	212
	8.4.1	概要 .....	212
	8.4.2	レジスタ構成 .....	213
	8.4.3	モード別端子機能 .....	215
	8.4.4	入力プルアップ MOS .....	216
8.5		ポート 4 .....	217
	8.5.1	概要 .....	217
	8.5.2	レジスタ構成 .....	218
	8.5.3	端子機能 .....	219
8.6		ポート 5 .....	222
	8.6.1	概要 .....	222
	8.6.2	レジスタ構成 .....	222
	8.6.3	端子機能 .....	224
8.7		ポート 6 .....	225
	8.7.1	概要 .....	225

	8.7.2	レジスタ構成 .....	225
	8.7.3	端子機能 .....	226
8.8	ポート7 .....		229
	8.8.1	概要 .....	229
	8.8.2	レジスタ構成 .....	229
	8.8.3	端子機能 .....	230

## 第9章 8ビットPWMタイマ (PWM) 【H8S/2128グループ、H8S/2128Sグループに内蔵】

9.1	概要 .....		233
	9.1.1	特長 .....	233
	9.1.2	ブロック図 .....	234
	9.1.3	端子構成 .....	235
	9.1.4	レジスタ構成 .....	235
9.2	各レジスタの説明 .....		236
	9.2.1	PWMレジスタセレクト (PWSL) .....	236
	9.2.2	PWMデータレジスタ (PWDR0~PWDR15) .....	239
	9.2.3	PWMデータポラリティレジスタ (PWDPRA、PWDPRB) .....	239
	9.2.4	PWMアウトプットイネーブルレジスタ (PWOERA、PWOERB) .....	240
	9.2.5	周辺クロックセレクトレジスタ (PCSR) .....	241
	9.2.6	ポート1データディレクションレジスタ (P1DDR) .....	242
	9.2.7	ポート2データディレクションレジスタ (P2DDR) .....	242
	9.2.8	ポート1データレジスタ (P1DR) .....	242
	9.2.9	ポート2データレジスタ (P2DR) .....	243
	9.2.10	モジュールストップコントロールレジスタ (MSTPCR) .....	243
9.3	PWMタイマの動作 .....		244
	9.3.1	PWMデータレジスタの内容と出力波形の対応 .....	244

## 第10章 14ビットPWMタイマ (PWMX) 【H8S/2128グループ、H8S/2128Sグループに内蔵】

10.1	概要 .....		249
	10.1.1	特長 .....	249
	10.1.2	ブロック図 .....	249
	10.1.3	端子構成 .....	250
	10.1.4	レジスタ構成 .....	250
10.2	各レジスタの説明 .....		251

10.2.1	PWM (D/A) カウンタ (DACNT) .....	251
10.2.2	D/A データレジスタ A、B (DADRA、B) .....	252
10.2.3	PWM (D/A) コントロールレジスタ (DACR) .....	253
10.2.4	モジュールストップコントロールレジスタ (MSTPCR) .....	255
10.3	バスマスタとのインタフェース.....	257
10.4	動作説明.....	260

## 第 11 章 16 ビットフリーランニングタイマ (FRT)

11.1	概要.....	267
11.1.1	特長.....	267
11.1.2	ブロック図.....	268
11.1.3	端子構成.....	269
11.1.4	レジスタ構成 .....	270
11.2	各レジスタの説明.....	271
11.2.1	フリーランニングカウンタ (FRC) .....	271
11.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB) .....	271
11.2.3	インプットキャプチャレジスタ A ~ D (ICRA ~ ICRD) .....	272
11.2.4	アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF) .....	273
11.2.5	アウトプットコンペアレジスタ DM (OCRDM) .....	274
11.2.6	タイマインタラプトイネーブルレジスタ (TIER) .....	274
11.2.7	タイマコントロール/ステータスレジスタ (TCSR) .....	277
11.2.8	タイマコントロールレジスタ (TCR) .....	281
11.2.9	タイマアウトプットコンペアコントロールレジスタ (TOCR) .....	284
11.2.10	モジュールストップコントロールレジスタ (MSTPCR) .....	287
11.3	動作説明.....	288
11.3.1	FRC のカウントタイミング.....	288
11.3.2	アウトプットコンペア出力タイミング.....	289
11.3.3	FRC のクリアタイミング .....	290
11.3.4	インプットキャプチャ入力タイミング.....	290
11.3.5	インプットキャプチャフラグ (ICFA ~ D) のセットタイミング .....	293
11.3.6	アウトプットコンペアフラグ (OCFA、B) のセットタイミング.....	293
11.3.7	タイマオーバフローフラグ (OVF) のセットタイミング .....	294
11.3.8	OCRA と OCRAR / OCRAF の自動加算タイミング.....	294
11.3.9	ICRD と OCRDM のマスク信号生成タイミング .....	295
11.4	割り込み要因 .....	296
11.5	FRT の使用例 .....	297
11.6	使用上の注意 .....	298

## 第12章 8ビットタイマ (TMR)

12.1	概要.....	307
	12.1.1	特長..... 307
	12.1.2	ブロック図..... 308
	12.1.3	端子構成..... 309
	12.1.4	レジスタ構成..... 310
12.2	各レジスタの説明.....	311
	12.2.1	タイマカウンタ (TCNT)..... 311
	12.2.2	タイムコンスタントレジスタ A (TCORA)..... 312
	12.2.3	タイムコンスタントレジスタ B (TCORB)..... 313
	12.2.4	タイマコントロールレジスタ (TCR)..... 314
	12.2.5	タイマコントロール/ステータスレジスタ (TCSR)..... 317
	12.2.6	シリアルタイマコントロールレジスタ (STCR)..... 321
	12.2.7	システムコントロールレジスタ (SYSCR)..... 322
	12.2.8	タイマコネクションレジスタ S (TCNRS)..... 323
	12.2.9	インプットキャプチャレジスタ (TICR) 【TMRX 追加機能】..... 323
	12.2.10	タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】..... 324
	12.2.11	インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】..... 324
	12.2.12	タイマインプットセレクトレジスタ (TISR) 【TMRX 追加機能】..... 325
	12.2.13	モジュールストップコントロールレジスタ (MSTPCR)..... 326
12.3	動作説明.....	327
	12.3.1	TCNT のカウントタイミング..... 327
	12.3.2	コンペアマッチタイミング..... 328
	12.3.3	TCNT の外部リセットタイミング..... 330
	12.3.4	オーバフローフラグ (OVF) のセットタイミング..... 330
	12.3.5	カスケード接続時の動作..... 330
	12.3.6	インプットキャプチャ動作..... 332
12.4	割り込み要因.....	334
12.5	8ビットタイマの使用例.....	335
12.6	使用上の注意.....	336
	12.6.1	TCNT のライトとカウンタクリアの競合..... 336
	12.6.2	TCNT のライトとカウントアップの競合..... 337
	12.6.3	TCOR のライトとコンペアマッチの競合..... 337
	12.6.4	コンペアマッチ A、B の競合..... 338
	12.6.5	内部クロックの切り替えと TCNT の動作..... 339

## 第 13 章 タイマコネクション 【H8S/2128 グループ、H8S/2128S グループに内蔵】

13.1	概要	343
13.1.1	特長	343
13.1.2	ブロック図	344
13.1.3	端子構成	345
13.1.4	レジスタ構成	346
13.2	各レジスタの説明	347
13.2.1	タイマコネクションレジスタ I ( TCONRI )	347
13.2.2	タイマコネクションレジスタ O ( TCONRO )	349
13.2.3	タイマコネクションレジスタ S ( TCONRS )	351
13.2.4	エッジセンスレジスタ ( SEDGR )	353
13.2.5	モジュールストップコントロールレジスタ ( MSTPCR )	356
13.3	動作説明	358
13.3.1	PWM デコード ( PDC 信号生成 )	358
13.3.2	クランプ波形生成 ( CL1・CL2・CL3 信号生成 )	359
13.3.3	8 ビットタイマ分周波形周期測定	360
13.3.4	IHI 信号の 2fH モディファイ	362
13.3.5	IVI 信号の立ち下がりモディファイ・IHI 同期	363
13.3.6	内部同期信号の生成 ( IHG 信号、IVG 信号、CL4 信号の生成 )	365
13.3.7	HSYNCO 出力	367
13.3.8	VSYNCO 出力	368
13.3.9	CBLANK 出力	369

## 第 14 章 ウォッチドッグタイマ ( WDT )

14.1	概要	373
14.1.1	特長	373
14.1.2	ブロック図	374
14.1.3	端子構成	376
14.1.4	レジスタ構成	376
14.2	各レジスタの説明	377
14.2.1	タイマカウンタ ( TCNT )	377
14.2.2	タイマコントロール/ステータスレジスタ ( TCSR )	377
14.2.3	システムコントロールレジスタ ( SYSCR )	381
14.2.4	レジスタアクセス時の注意	381
14.3	動作説明	383
14.3.1	ウォッチドッグタイマモード時の動作	383

14.3.2	インターバルタイマモード時の動作	385
14.3.3	オーバフローフラグ (OVF) のセットタイミング	385
14.4	割り込み	386
14.5	使用上の注意	386
14.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	386
14.5.2	CKS2~CKS0 ビットの書き換え	386
14.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	387
14.5.4	高速モード、サブアクティブモード、ウォッチモード間遷移時の カウンタ値	387
14.5.5	OVF フラグのクリア	387

## 第 15 章 シリアルコミュニケーションインタフェース (SCI)

15.1	概要	391
15.1.1	特長	391
15.1.2	ブロック図	392
15.1.3	端子構成	394
15.1.4	レジスタ構成	395
15.2	各レジスタの説明	396
15.2.1	レシーブシフトレジスタ (RSR)	396
15.2.2	レシーブデータレジスタ (RDR)	396
15.2.3	トランスミットシフトレジスタ (TSR)	397
15.2.4	トランスミットデータレジスタ (TDR)	397
15.2.5	シリアルモードレジスタ (SMR)	398
15.2.6	シリアルコントロールレジスタ (SCR)	401
15.2.7	シリアルステータスレジスタ (SSR)	405
15.2.8	ビットレートレジスタ (BRR)	409
15.2.9	シリアルインタフェースモードレジスタ (SCMR)	418
15.2.10	モジュールストップコントロールレジスタ (MSTPCR)	420
15.3	動作説明	421
15.3.1	概要	421
15.3.2	調歩同期式モード時の動作	423
15.3.3	マルチプロセッサ通信機能	434
15.3.4	クロック同期式モード時の動作	441
15.4	SCI 割り込み	450
15.5	使用上の注意	451

## 第 16 章 I<sup>2</sup>C バスインタフェース (IIC) 【オプション】 【H8S/2128 グループ、H8S/2128S グループに内蔵】

16.1	概要.....	457
16.1.1	特長.....	457
16.1.2	ブロック図.....	458
16.1.3	端子構成.....	460
16.1.4	レジスタ構成.....	461
16.2	各レジスタの説明.....	462
16.2.1	I <sup>2</sup> C バスデータレジスタ (ICDR).....	462
16.2.2	スレーブアドレスレジスタ (SAR).....	464
16.2.3	第 2 スレーブアドレスレジスタ (SARX).....	466
16.2.4	I <sup>2</sup> C バスモードレジスタ (ICMR).....	467
16.2.5	I <sup>2</sup> C バスコントロールレジスタ (ICCR).....	470
16.2.6	I <sup>2</sup> C バスステータスレジスタ (ICSR).....	476
16.2.7	シリアルタイムコントロールレジスタ (STCR).....	482
16.2.8	DDC スイッチレジスタ (DDCSWR).....	483
16.2.9	モジュールストップコントロールレジスタ (MSTPCR).....	486
16.3	動作説明.....	487
16.3.1	I <sup>2</sup> C バスデータフォーマット.....	487
16.3.2	マスタ送信動作.....	489
16.3.3	マスタ受信動作.....	491
16.3.4	スレーブ受信動作.....	493
16.3.5	スレーブ送信動作.....	495
16.3.6	IRIC セットタイミングと SCL 制御.....	497
16.3.7	フォーマットレスから I <sup>2</sup> C バスフォーマットへの自動切り替え.....	498
16.3.8	DTC による動作.....	499
16.3.9	ノイズ除去回路.....	500
16.3.10	使用例.....	501
16.3.11	内部状態の初期化.....	504
16.4	使用上の注意事項.....	506

## 第 17 章 A/D 変換器

17.1	概要.....	517
17.1.1	特長.....	517
17.1.2	ブロック図.....	518
17.1.3	端子構成.....	519
17.1.4	レジスタ構成.....	520

17.2	各レジスタの説明.....	521
17.2.1	A/D データレジスタ A~D ( ADDR <sub>A</sub> ~ ADDR <sub>D</sub> ) .....	521
17.2.2	A/D コントロール/ステータスレジスタ ( ADCSR ) .....	522
17.2.3	A/D コントロールレジスタ ( ADCR ) .....	524
17.2.4	キーボードコンパレータコントロールレジスタ ( KBCOMP ) .....	525
17.2.5	モジュールストップコントロールレジスタ ( MSTPCR ) .....	526
17.3	バスマスタとのインタフェース.....	527
17.4	動作説明.....	528
17.4.1	シングルモード ( SCAN = 0 ) .....	528
17.4.2	スキャンモード ( SCAN = 1 ) .....	530
17.4.3	入力サンプリングと A/D 変換時間.....	532
17.4.4	外部トリガ入力タイミング .....	533
17.5	割り込み.....	534
17.6	使用上の注意 .....	534

## 第 18 章 RAM

18.1	概要.....	541
18.1.1	ブロック図.....	541
18.1.2	レジスタ構成 .....	541
18.2	システムコントロールレジスタ ( SYSCR ) .....	542
18.3	動作説明.....	543
18.3.1	拡張モード ( モード 1、2、3 ( EXPE = 1 ) ) .....	543
18.3.2	シングルチップモード ( モード 2、3 ( EXPE = 0 ) ) .....	543

## 第 19 章 ROM

19.1	概要.....	547
19.1.1	ブロック図.....	547
19.1.2	レジスタ構成 .....	547
19.2	レジスタの説明.....	548
19.2.1	モードコントロールレジスタ ( MDCR ) .....	548
19.3	動作説明.....	549
19.4	フラッシュメモリの概要.....	550
19.4.1	特長.....	550
19.4.2	ブロック図.....	551
19.4.3	フラッシュメモリの動作モード.....	552
19.4.4	端子構成 .....	556

	19.4.5	レジスタ構成 .....	556
19.5		フラッシュメモリのレジスタの説明 .....	557
	19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1) .....	557
	19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2) .....	560
	19.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2) .....	562
	19.5.4	シリアルタイマコントロールレジスタ (STCR) .....	563
19.6		オンボードプログラミングモード .....	565
	19.6.1	ブートモード .....	566
	19.6.2	ユーザプログラムモード .....	572
19.7		フラッシュメモリの書き込み / 消去 .....	573
	19.7.1	プログラムモード .....	573
	19.7.2	プログラムベリファイモード .....	574
	19.7.3	イレースモード .....	576
	19.7.4	イレースベリファイモード .....	576
19.8		フラッシュメモリのプロテクト .....	578
	19.8.1	ハードウェアプロテクト .....	578
	19.8.2	ソフトウェアプロテクト .....	578
	19.8.3	エラープロテクト .....	579
19.9		フラッシュメモリの書き込み / 消去時の割り込み処理 .....	580
19.10		フラッシュメモリのライターモード .....	581
	19.10.1	ライターモードの設定 .....	581
	19.10.2	ソケットアダプタとメモリマップ .....	581
	19.10.3	ライターモードの動作 .....	582
	19.10.4	メモリ読み出しモード .....	584
	19.10.5	自動書き込みモード .....	587
	19.10.6	自動消去モード .....	589
	19.10.7	ステータス読み出しモード .....	590
	19.10.8	ステータスポーリング .....	591
	19.10.9	ライターモードへの遷移時間 .....	592
	19.10.10	メモリ書き込み注意事項 .....	592
19.11		フラッシュメモリの書き込み / 消去時の注意 .....	593
19.12		F-ZTAT マイコンのマスク ROM 化時の注意事項 .....	595

## 第 20 章 クロック発振器

20.1		概要 .....	599
	20.1.1	ブロック図 .....	599
	20.1.2	レジスタ構成 .....	599

20.2	各レジスタの説明.....	600
	20.2.1    スタンバイコントロールレジスタ (SBYCR) .....	600
	20.2.2    ローパワーコントロールレジスタ (LPWRCR) .....	601
20.3	発振器 .....	602
	20.3.1    水晶発振子を接続する方法 .....	602
	20.3.2    外部クロックを入力する方法 .....	604
20.4	デューティ補正回路 .....	607
20.5	中速クロック分周器 .....	607
20.6	バスマスタクロック選択回路 .....	607
20.7	サブクロック入力回路 .....	607
20.8	サブクロック波形形成回路 .....	608
20.9	クロック選択回路.....	608

## 第 21 章 低消費電力状態

21.1	概要.....	611
	21.1.1    レジスタ構成 .....	615
21.2	各レジスタの説明.....	616
	21.2.1    スタンバイコントロールレジスタ (SBYCR) .....	616
	21.2.2    ローパワーコントロールレジスタ (LPWRCR) .....	618
	21.2.3    タイマコントロール/ステータスレジスタ (TCSR) .....	620
	21.2.4    モジュールストップコントロールレジスタ (MSTPCR) .....	621
21.3	中速モード.....	622
21.4	スリープモード .....	623
	21.4.1    スリープモード .....	623
	21.4.2    スリープモードの解除 .....	623
21.5	モジュールストップモード .....	624
	21.5.1    モジュールストップモード .....	624
	21.5.2    使用上の注意 .....	625
21.6	ソフトウェアスタンバイモード.....	626
	21.6.1    ソフトウェアスタンバイモード.....	626
	21.6.2    ソフトウェアスタンバイモードの解除.....	626
	21.6.3    ソフトウェアスタンバイモード解除後の発振安定時間の設定 .....	627
	21.6.4    ソフトウェアスタンバイモードの応用例 .....	627
	21.6.5    使用上の注意 .....	628
21.7	ハードウェアスタンバイモード.....	629
	21.7.1    ハードウェアスタンバイモード.....	629
	21.7.2    ハードウェアスタンバイモードのタイミング.....	629

21.8	ウォッチモード .....	630
	21.8.1    ウォッチモード .....	630
	21.8.2    ウォッチモードの解除 .....	630
21.9	サブスリープモード .....	631
	21.9.1    サブスリープモード .....	631
	21.9.2    サブスリープモードの解除 .....	631
21.10	サブアクティブモード .....	632
	21.10.1    サブアクティブモード .....	632
	21.10.2    サブアクティブモードの解除 .....	632
21.11	直接遷移 .....	633
	21.11.1    直接遷移の概要 .....	633

## 第 22 章 電気的特性

22.1	電源電圧と動作範囲 .....	637
22.2	H8S/2128 グループ ( H8S/2127R、H8S/2126R マスク ROM 品 )、H8S/2128 F-ZTAT .....	639
	22.2.1    絶対最大定格 .....	639
	22.2.2    DC 特性 .....	640
	22.2.3    AC 特性 .....	648
	22.2.4    A/D 変換特性 .....	662
	22.2.5    フラッシュメモリ特性 .....	664
	22.2.6    使用上の注意 .....	665
22.3	H8S/2128S グループ ( H8S/2128S マスク ROM 品、H8S/2127S マスク ROM 品 ) .....	666
	22.3.1    絶対最大定格 .....	666
	22.3.2    DC 特性 .....	667
	22.3.3    AC 特性 .....	673
	22.3.4    A/D 変換特性 .....	687
	22.3.5    使用上の注意 .....	689
22.4	H8S/2124 グループ ( H8S/2122、H8S/2120 マスク ROM 品 ) .....	690
	22.4.1    絶対最大定格 .....	690
	22.4.2    DC 特性 .....	691
	22.4.3    AC 特性 .....	699
	22.4.4    A/D 変換特性 .....	712
	22.4.5    使用上の注意 .....	714

## 付録

A.	命令.....	717
	A.1    命令セット一覧.....	717
	A.2    命令コード一覧.....	728
	A.3    オペレーションコードマップ.....	738
	A.4    命令実行ステート数.....	742
	A.5    命令実行中のバス状態.....	752
B.	内部 I/O レジスタ.....	762
	B.1    アドレス一覧.....	762
	B.2    レジスタ選択条件.....	767
	B.3    機能一覧.....	772
C.	I/O ポートのブロック図.....	838
	C.1    ポート 1 ブロック図.....	838
	C.2    ポート 2 ブロック図.....	840
	C.3    ポート 3 ブロック図.....	846
	C.4    ポート 4 ブロック図.....	847
	C.5    ポート 5 ブロック図.....	852
	C.6    ポート 6 ブロック図.....	855
	C.7    ポート 7 ブロック図.....	860
D.	端子状態.....	861
	D.1    各処理状態におけるポートの状態.....	861
E.	ハードウェアスタンバイモード遷移 / 復帰時の タイミングについて.....	862
	E.1    ハードウェアスタンバイモードの遷移タイミング.....	862
	E.2    ハードウェアスタンバイモードからの復帰タイミング.....	862
F.	ROM 発注手順.....	863
	F.1    ROM 書き換え品開発の流れ (発注手順).....	863
	F.2    ROM 発注時の注意事項.....	864
G.	型名一覧.....	865
H.	外形寸法図.....	866



---

# 1. 概要

---

## 第1章 目次

1.1	概要.....	3
1.2	内部ブロック図.....	8
1.3	端子説明.....	10
	1.3.1	ピン配置図.....10
	1.3.2	動作モード別端子機能一覧.....16
	1.3.3	端子機能.....22



## 1.1 概要

H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループは、ルネサス テクノロジ オリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM のメモリ、16 ビットフリーランニングタイマ (FRT)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、2 種類の PWM タイマ (PWM、PWMX)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器 (ADC)、I/O ポートの周辺機能などを内蔵しています。さらに、オプションとして、I<sup>2</sup>C バスインタフェース (IIC) を内蔵することができます。

内蔵 ROM は、フラッシュメモリ (F-ZTAT<sup>TM</sup>\*) またはマスク ROM であり、64k / 32k バイト (H8S/2128 F-ZTAT は 128k バイト) の容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 1~3 があり、アドレス空間やシングルチップモード / 外部拡張モードの選択ができます。

H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループの特長を表 1.1 に示します。

【注】 \* F-ZTAT は (株) ルネサス テクノロジの商標です。

表 1.1 概要

項 目	仕 様																										
CPU	<p>汎用レジスタマシン</p> <ul style="list-style-type: none"> <li>・ 16 ビット×16 本の汎用レジスタ ( 8 ビット×16 本、32 ビット×8 本としても使用可能 )</li> <li>リアルタイム制御向き的高速動作</li> <li>・ 最高動作周波数 : 20MHz / 5V、10MHz / 3V</li> <li>・ 高速演算 8 / 16 / 32 ビットレジスタ間加減算 : 50ns ( 20MHz 動作時 ) 16 × 16 ビットレジスタ間乗算 : 1000ns ( 20MHz 動作時 ) 32 ÷ 16 ビットレジスタ間除算 : 1000ns ( 20MHz 動作時 )</li> <li>高速動作に適した命令セット</li> <li>・ 65 種類の基本命令</li> <li>・ 8 / 16 / 32 ビット転送 / 演算命令</li> <li>・ 符号なし / 符号付き乗除算命令</li> <li>・ 強力なビット操作命令</li> <li>2 種類の CPU 動作モード</li> <li>・ ノーマルモード : アドレス空間 64k バイト</li> <li>・ アドバンスモード : アドレス空間 16M バイト</li> </ul>																										
動作モード	<ul style="list-style-type: none"> <li>・ 3 種類の MCU 動作モード</li> </ul> <table border="1" data-bbox="670 1310 1401 1534" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2">モード</th> <th rowspan="2">CPU 動作モード</th> <th rowspan="2">内 容</th> <th rowspan="2">内蔵 ROM</th> <th colspan="2">外部データバス</th> </tr> <tr> <th>初期値</th> <th>最大値</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>ノーマル</td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>8ビット</td> <td>8ビット</td> </tr> <tr> <td>2</td> <td>アドバンス</td> <td>内蔵ROM有効拡張モード シングルチップモード</td> <td>有効</td> <td>8ビット なし</td> <td>8ビット</td> </tr> <tr> <td>3</td> <td>ノーマル</td> <td>内蔵ROM有効拡張モード シングルチップモード</td> <td>有効</td> <td>8ビット なし</td> <td>8ビット</td> </tr> </tbody> </table>	モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス		初期値	最大値	1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	8ビット	2	アドバンス	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	8ビット	3	ノーマル	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	8ビット
モード	CPU 動作モード					内 容	内蔵 ROM	外部データバス																			
		初期値	最大値																								
1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	8ビット																						
2	アドバンス	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	8ビット																						
3	ノーマル	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	8ビット																						
バスコントローラ	<ul style="list-style-type: none"> <li>・ 外部拡張エリアを 2 ステートまたは 3 ステートアクセス空間に設定可能</li> <li>・ 外部拡張エリアにプログラムウェイトのステート数を設定可能</li> </ul>																										
データ転送コントローラ ( DTC ) 【 H8S/2128 グループ、 H8S/2128S グループに 内蔵 】	<ul style="list-style-type: none"> <li>・ 内部割り込み / ソフトウェアによる起動</li> <li>・ 1 つの起動要因に対して、複数回・複数種類の転送が可能</li> <li>・ リピートモード / ブロック転送モードなどの転送可能</li> <li>・ DTC を起動した割り込みを CPU に要求可能</li> </ul>																										

項目	仕様
16ビットフリーランニングタイマ (FRT) ×1チャンネル	<ul style="list-style-type: none"> <li>・16ビットフリーランニングカウンタ×1 (外部イベントカウント可能)</li> <li>・アウトプットコンペア出力×2</li> <li>・インプットキャプチャ入力×4 (バッファ動作可能)</li> </ul>
8ビットタイマ (TMR) ×2チャンネル (TMR0、TMR1)	1チャンネル当たり <ul style="list-style-type: none"> <li>・8ビットアップカウンタ (外部イベントカウント可能)</li> <li>・タイムコンスタントレジスタ×2</li> <li>・2チャンネルの接続が可能</li> </ul>
タイマコネクション および 8ビットタイマ (TMR) ×2チャンネル (TMRX、TMR Y) 【タイマコネクションと TMRX は、H8S/2128 グ ループ、H8S/2128S グ ループに内蔵】	<p>入出力および FRT、TMR1、TMRX、TMR Y を相互に接続可能</p> <ul style="list-style-type: none"> <li>・入力信号またはその分周波形のパルス幅や周期を測定 (FRT、TMR1)</li> <li>・入力信号のエッジをモディファイした波形の出力が可能 (FRT、TMR1)</li> <li>・入力信号のデューティの判定が可能 (TMRX)</li> <li>・入力信号に同期した波形の出力が可能 (FRT、TMRX、TMR Y)</li> <li>・周期的波形の自動生成が可能 (FRT、TMR Y)</li> </ul>
ウォッチドッグタイマ (WDT) ×2チャンネル	<ul style="list-style-type: none"> <li>・ウォッチドッグタイマ/インターバルタイマの選択が可能</li> <li>・サブクロックによる動作が可能 (1チャンネルのみ)</li> </ul>
8ビットPWMタイマ (PWM) 【H8S/2128 グループ、 H8S/2128S グループに 内蔵】	<ul style="list-style-type: none"> <li>・最大16出力</li> <li>・デューティ: 0~100%デューティのパルスを設定可能</li> <li>・分解能: 1/256</li> <li>・最大キャリア周波数: 1.25MHz (20MHz動作時)</li> </ul>
14ビットPWMタイマ (PWMX) 【H8S/2128 グループ、 H8S/2128S グループに 内蔵】	<ul style="list-style-type: none"> <li>・最大2出力</li> <li>・分解能: 1/16384</li> <li>・最大キャリア周波数: 312.5kHz (20MHz動作時)</li> </ul>
シリアルコミュニケーション インタフェース (SCI) ×2チャンネル (SCI0、SCI1)	<ul style="list-style-type: none"> <li>・調歩同期式モード/クロック同期式モードの選択が可能</li> <li>・マルチプロセッサ通信機能</li> </ul>

1. 概要

項目	仕様												
A/D 変換器	<ul style="list-style-type: none"> <li>・分解能：10 ビット</li> <li>・入力：8 チャンネル（アナログ専用入力端子） 8 チャンネル（拡張 A/D 入力端子）</li> <li>・高速変換：最小変換時間 6.7 <math>\mu</math>s（20MHz 動作時）</li> <li>・シングル / スキャンモードの選択が可能</li> <li>・サンプル &amp; ホールド機能</li> <li>・外部トリガ / タイマトリガによる A/D 変換の起動が可能</li> </ul>												
I/O ポート	<ul style="list-style-type: none"> <li>・入出力端子 43 本（内 24 本は、LED 駆動可能）</li> <li>・入力専用端子 8 本</li> </ul>												
メモリ	<ul style="list-style-type: none"> <li>・フラッシュメモリまたはマスク ROM</li> <li>・高速スタティック RAM</li> </ul> <table border="1" style="margin-left: 40px;"> <thead> <tr> <th>製品名</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>H8S/2128、H8S/2128S</td> <td>128kバイト</td> <td>4kバイト</td> </tr> <tr> <td>H8S/2127、H8S/2127S、H8S/2122</td> <td>64kバイト</td> <td>2kバイト</td> </tr> <tr> <td>H8S/2126、H8S/2120</td> <td>32kバイト</td> <td>2kバイト</td> </tr> </tbody> </table>	製品名	ROM	RAM	H8S/2128、H8S/2128S	128kバイト	4kバイト	H8S/2127、H8S/2127S、H8S/2122	64kバイト	2kバイト	H8S/2126、H8S/2120	32kバイト	2kバイト
製品名	ROM	RAM											
H8S/2128、H8S/2128S	128kバイト	4kバイト											
H8S/2127、H8S/2127S、H8S/2122	64kバイト	2kバイト											
H8S/2126、H8S/2120	32kバイト	2kバイト											
割り込みコントローラ	<ul style="list-style-type: none"> <li>・外部割り込み端子 4 本（NMI、<math>\overline{\text{IRQ0}}</math> ~ <math>\overline{\text{IRQ2}}</math>）</li> <li>・内部割り込み要因 33 要因</li> <li>・3 レベルの優先順位設定が可能</li> </ul>												
低消費電力状態	<ul style="list-style-type: none"> <li>・中速モード</li> <li>・スリープモード</li> <li>・モジュールストップモード</li> <li>・ソフトウェアスタンバイモード</li> <li>・ハードウェアスタンバイモード</li> <li>・サブクロック動作</li> </ul>												
クロック発振器	<ul style="list-style-type: none"> <li>・デューティ補正回路内蔵</li> </ul>												
パッケージ	<ul style="list-style-type: none"> <li>・64 ピンプラスチック DIP（DP-64S）</li> <li>・64 ピンプラスチック QFP（FP-64A）</li> <li>・80 ピンプラスチック TQFP（TFP-80C）</li> </ul>												

項 目	仕 様				
I <sup>2</sup> C バスインタフェース (IIC) ×2 チャンネル <b>【オプション】</b> <b>【H8S/2128 グループ、            H8S/2128S グループに            内蔵】</b>	<ul style="list-style-type: none"> <li>・ Philips 社提唱の I<sup>2</sup>C バスインタフェース方式準拠</li> <li>・ シングルマスタモード / スレーブモード内蔵</li> <li>・ アビトレーションロスト条件の判定が可能</li> <li>・ 2つのスレーブアドレスをサポート</li> </ul>				
製品ラインアップ	製品型名			ROM / RAM (バイト)	パッケージ
	グループ名	マスクROM版	F-ZTAT™版		
	H8S/2128	-	HD64F2128	128k / 4k	
		HD6432127R	-	64k / 2k	
		HD6432127RW*	-	32k / 2k	
		HD6432126R HD6432126RW*	-	32k / 2k	
	H8S/2128S	HD6432128S	-	128k / 4k	
		HD6432128SW*	-	64k / 2k	
		HD6432127S	-	64k / 2k	
		HD6432127SW*	-	64k / 2k	
H8S/2124	HD6432122	-	64k / 2k		
	HD6432120	-	32k / 2k		
<b>【注】*</b> WはI <sup>2</sup> Cバスオプションを表します。					

## 1.2 内部ブロック図

H8S/2128 グループ、H8S/2128S グループの内部ブロック図を図 1.1 に、H8S/2124 グループの内部ブロック図を図 1.2 に示します。

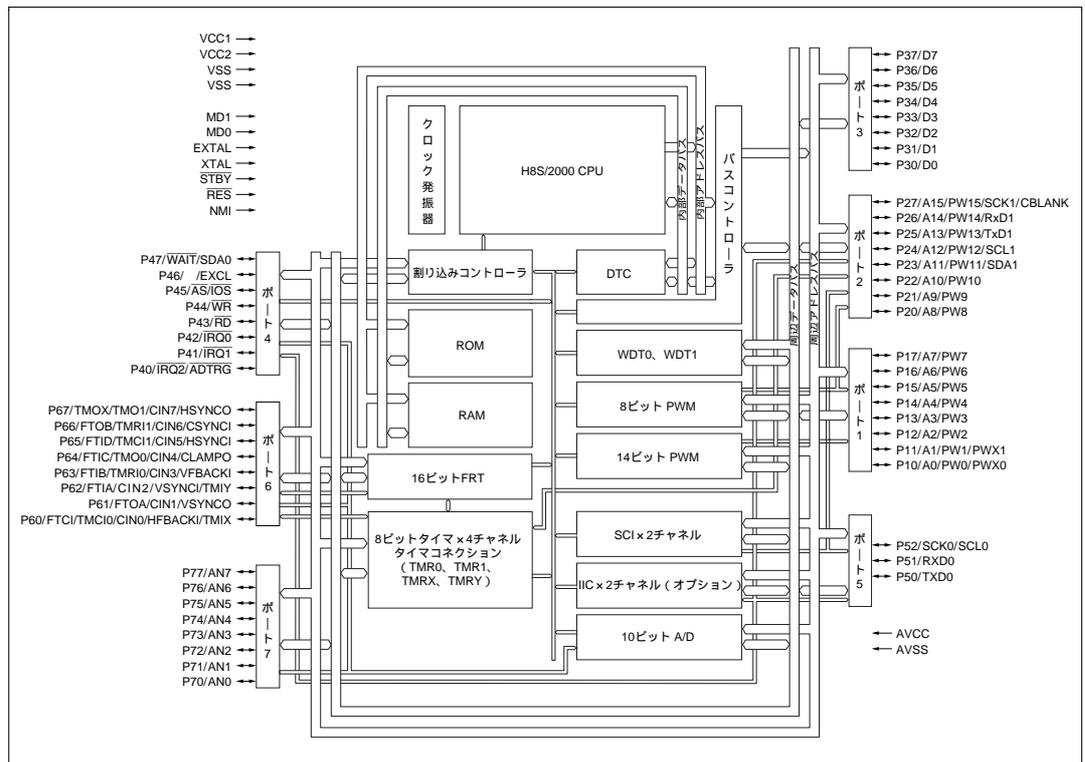


図 1.1 H8S/2128 グループ、H8S/2128S グループの内部ブロック図

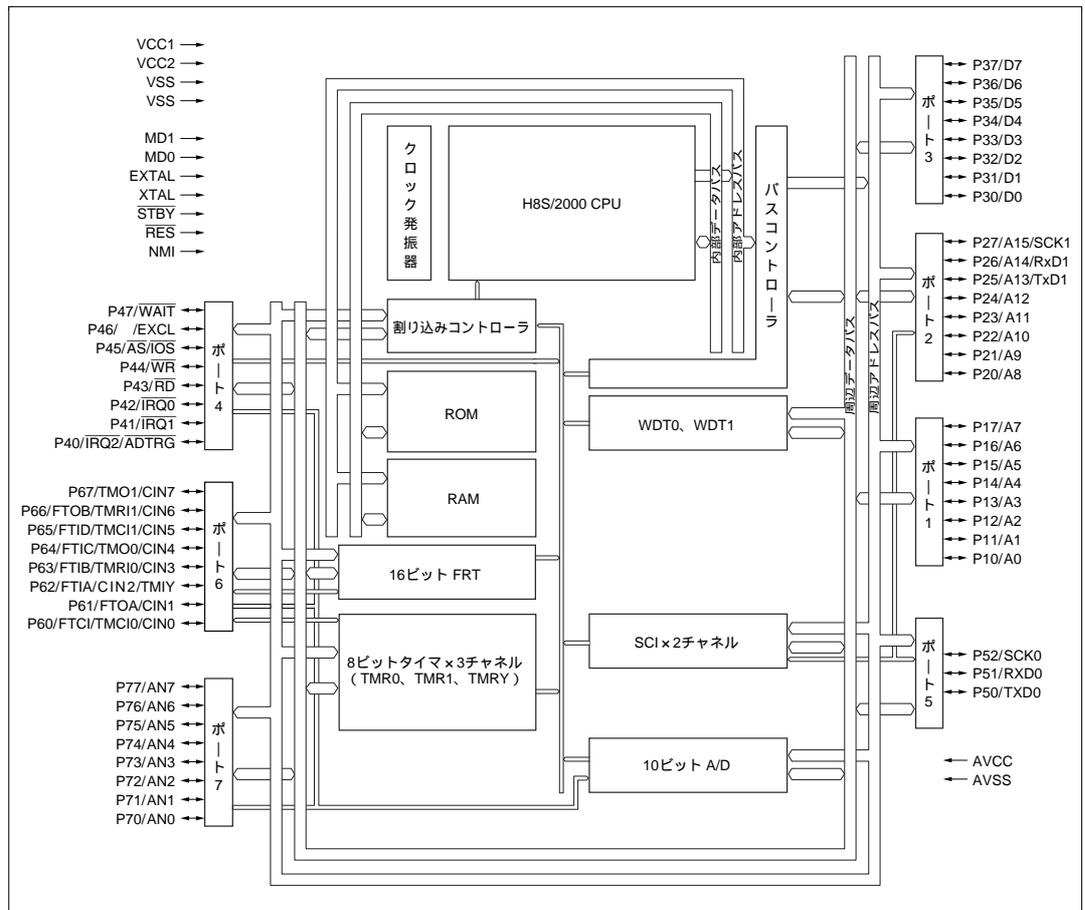


図 1.2 H8S/2124 グループの内部ブロック図

## 1.3 端子説明

### 1.3.1 ピン配置図

H8S/2128 グループ、H8S/2128S グループのピン配置図を図 1.3 ~ 図 1.5 に、H8S/2124 グループのピン配置図を図 1.6 ~ 図 1.8 に示します。

ADTRG/IRQ2/P40	<input type="checkbox"/>	1	<input type="checkbox"/>	64	P37/D7
IRQ1/P41	<input type="checkbox"/>	2	<input type="checkbox"/>	63	P36/D6
IRQ0/P42	<input type="checkbox"/>	3	<input type="checkbox"/>	62	P35/D5
RD/P43	<input type="checkbox"/>	4	<input type="checkbox"/>	61	P34/D4
WR/P44	<input type="checkbox"/>	5	<input type="checkbox"/>	60	P33/D3
IOS/AS/P45	<input type="checkbox"/>	6	<input type="checkbox"/>	59	P32/D2
EXCL/ /P46	<input type="checkbox"/>	7	<input type="checkbox"/>	58	P31/D1
SDA0/WAIT/P47	<input type="checkbox"/>	8	<input type="checkbox"/>	57	P30/D0
TxD0/P50	<input type="checkbox"/>	9	<input type="checkbox"/>	56	P10/A0/PW0/PWX0
RxD0/P51	<input type="checkbox"/>	10	<input type="checkbox"/>	55	P11/A1/PW1/PWX1
SCL0/SCK0/P52	<input type="checkbox"/>	11	<input type="checkbox"/>	54	P12/A2/PW2
RES	<input type="checkbox"/>	12	<input type="checkbox"/>	53	P13/A3/PW3
NMI	<input type="checkbox"/>	13	<input type="checkbox"/>	52	P14/A4/PW4
VCC2 (VCL)	<input type="checkbox"/>	14	<input type="checkbox"/>	51	P15/A5/PW5
STBY	<input type="checkbox"/>	15	<input type="checkbox"/>	50	P16/A6/PW6
VSS	<input type="checkbox"/>	16	<input type="checkbox"/>	49	P17/A7/PW7
XTAL	<input type="checkbox"/>	17	<input type="checkbox"/>	48	VSS
EXTAL	<input type="checkbox"/>	18	<input type="checkbox"/>	47	P20/A8/PW8
MD1	<input type="checkbox"/>	19	<input type="checkbox"/>	46	P21/A9/PW9
MD0	<input type="checkbox"/>	20	<input type="checkbox"/>	45	P22/A10/PW10
AVSS	<input type="checkbox"/>	21	<input type="checkbox"/>	44	P23/A11/PW11/SDA1
AN0/P70	<input type="checkbox"/>	22	<input type="checkbox"/>	43	P24/A12/PW12/SCL1
AN1/P71	<input type="checkbox"/>	23	<input type="checkbox"/>	42	P25/A13/PW13/TxD1
AN2/P72	<input type="checkbox"/>	24	<input type="checkbox"/>	41	P26/A14/PW14/RxD1
AN3/P73	<input type="checkbox"/>	25	<input type="checkbox"/>	40	P27/A15/PW15/SCK1/CBLANK
AN4/P74	<input type="checkbox"/>	26	<input type="checkbox"/>	39	VCC1
AN5/P75	<input type="checkbox"/>	27	<input type="checkbox"/>	38	P67/TMOX/TMO1/CIN7/HSYNCO
AN6/P76	<input type="checkbox"/>	28	<input type="checkbox"/>	37	P66/FTOB/TMR11/CIN6/CSYNCI
AN7/P77	<input type="checkbox"/>	29	<input type="checkbox"/>	36	P65/FTID/TMC11/CIN5/HSYNCI
AVCC	<input type="checkbox"/>	30	<input type="checkbox"/>	35	P64/FTIC/TMO0/CIN4/CLAMPO
TMIX/HFBACKI/CIN0/TMC10/FTCI/P60	<input type="checkbox"/>	31	<input type="checkbox"/>	34	P63/FTIB/TMRI0/CIN3/VFBACKI
VSYNCO/CIN1/FTOA/P61	<input type="checkbox"/>	32	<input type="checkbox"/>	33	P62/FTIA/CIN2/VSYNCI/TMIY

図 1.3 H8S/2128 グループ、H8S/2128S グループのピン配置図 (DP-64S : 上面図)

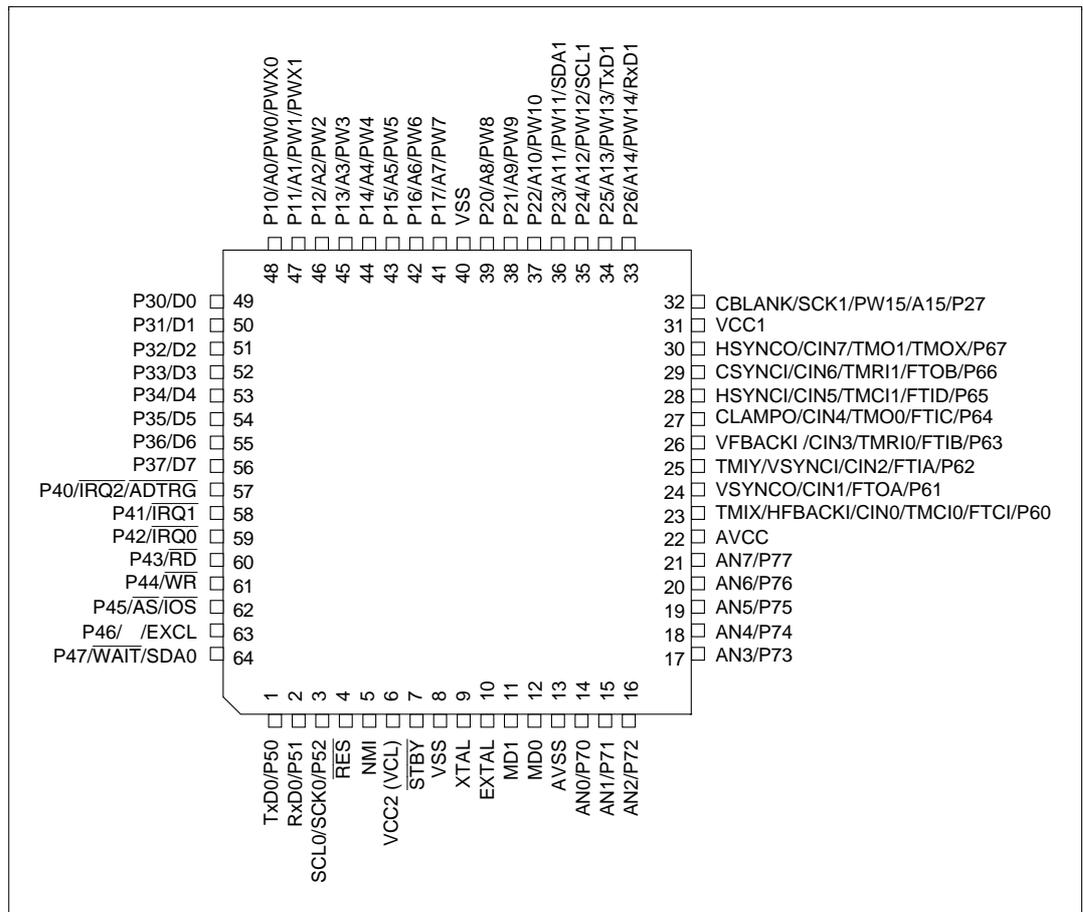


図 1.4 H8S/2128 グループ、H8S/2128S グループのピン配置図 (FP-64A : 上面図)

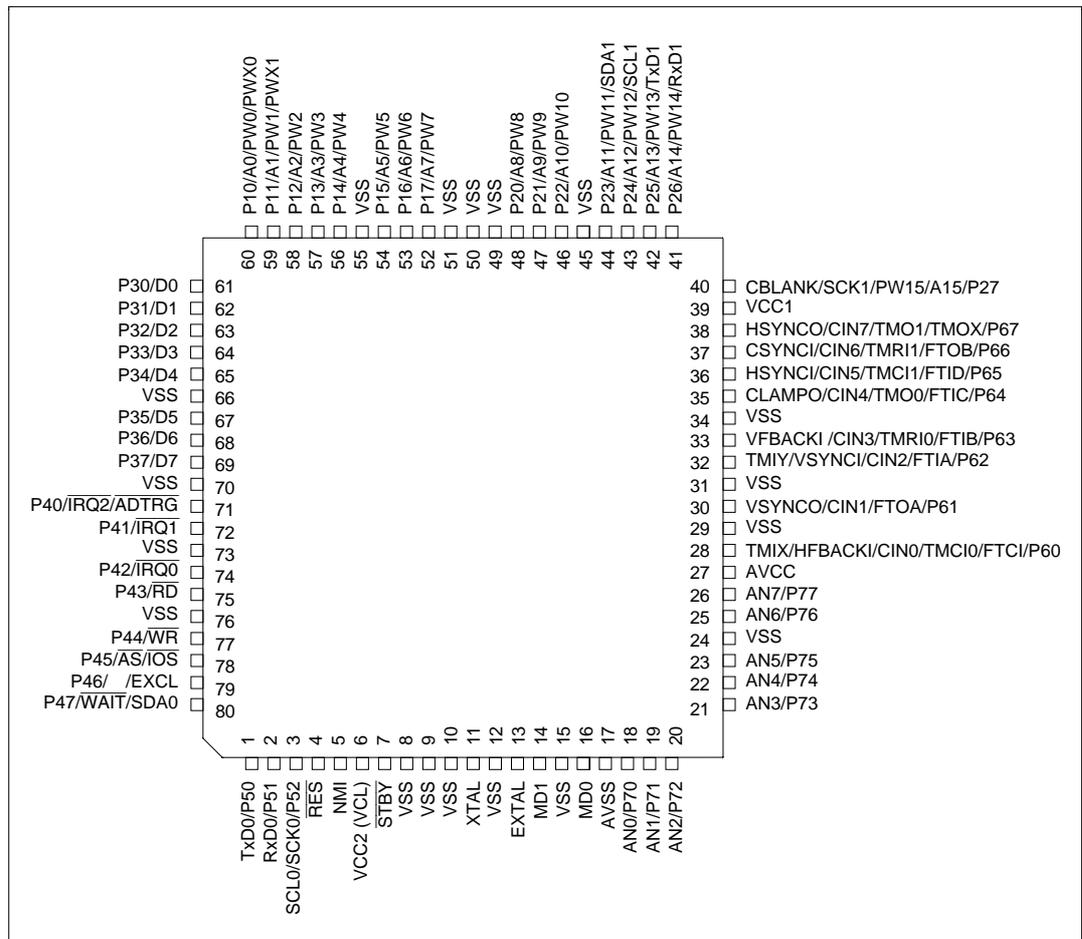


図 1.5 H8S/2128 グループ、H8S/2128S グループのピン配置図 (TFP-80C : 上面図)

ADTRG/IRQ2/P40	<input type="checkbox"/>	1	64	<input type="checkbox"/>	P37/D7
IRQ1/P41	<input type="checkbox"/>	2	63	<input type="checkbox"/>	P36/D6
IRQ0/P42	<input type="checkbox"/>	3	62	<input type="checkbox"/>	P35/D5
RD/P43	<input type="checkbox"/>	4	61	<input type="checkbox"/>	P34/D4
WR/P44	<input type="checkbox"/>	5	60	<input type="checkbox"/>	P33/D3
IOS/AS/P45	<input type="checkbox"/>	6	59	<input type="checkbox"/>	P32/D2
EXCL/ /P46	<input type="checkbox"/>	7	58	<input type="checkbox"/>	P31/D1
WAIT/P47	<input type="checkbox"/>	8	57	<input type="checkbox"/>	P30/D0
TxD0/P50	<input type="checkbox"/>	9	56	<input type="checkbox"/>	P10/A0
RxD0/P51	<input type="checkbox"/>	10	55	<input type="checkbox"/>	P11/A1
SCK0/P52	<input type="checkbox"/>	11	54	<input type="checkbox"/>	P12/A2
RES	<input type="checkbox"/>	12	53	<input type="checkbox"/>	P13/A3
NMI	<input type="checkbox"/>	13	52	<input type="checkbox"/>	P14/A4
VCC2	<input type="checkbox"/>	14	51	<input type="checkbox"/>	P15/A5
STBY	<input type="checkbox"/>	15	50	<input type="checkbox"/>	P16/A6
VSS	<input type="checkbox"/>	16	49	<input type="checkbox"/>	P17/A7
XTAL	<input type="checkbox"/>	17	48	<input type="checkbox"/>	VSS
EXTAL	<input type="checkbox"/>	18	47	<input type="checkbox"/>	P20/A8
MD1	<input type="checkbox"/>	19	46	<input type="checkbox"/>	P21/A9
MD0	<input type="checkbox"/>	20	45	<input type="checkbox"/>	P22/A10
AVSS	<input type="checkbox"/>	21	44	<input type="checkbox"/>	P23/A11
AN0/P70	<input type="checkbox"/>	22	43	<input type="checkbox"/>	P24/A12
AN1/P71	<input type="checkbox"/>	23	42	<input type="checkbox"/>	P25/A13/TxD1
AN2/P72	<input type="checkbox"/>	24	41	<input type="checkbox"/>	P26/A14/RxD1
AN3/P73	<input type="checkbox"/>	25	40	<input type="checkbox"/>	P27/A15/SCK1
AN4/P74	<input type="checkbox"/>	26	39	<input type="checkbox"/>	VCC1
AN5/P75	<input type="checkbox"/>	27	38	<input type="checkbox"/>	P67/TMO1/CIN7
AN6/P76	<input type="checkbox"/>	28	37	<input type="checkbox"/>	P66/FTOB/TMRI1/CIN6
AN7/P77	<input type="checkbox"/>	29	36	<input type="checkbox"/>	P65/FTID/TMCI1/CIN5
AVCC	<input type="checkbox"/>	30	35	<input type="checkbox"/>	P64/FTIC/TMO0/CIN4
CIN0/TMCI0/FTCI/P60	<input type="checkbox"/>	31	34	<input type="checkbox"/>	P63/FTIB/TMRI0/CIN3
CIN1/FTOA/P61	<input type="checkbox"/>	32	33	<input type="checkbox"/>	P62/FTIA/CIN2/TMIY

図 1.6 H8S/2124 グループのピン配置図 (DP-64S : 上面図)

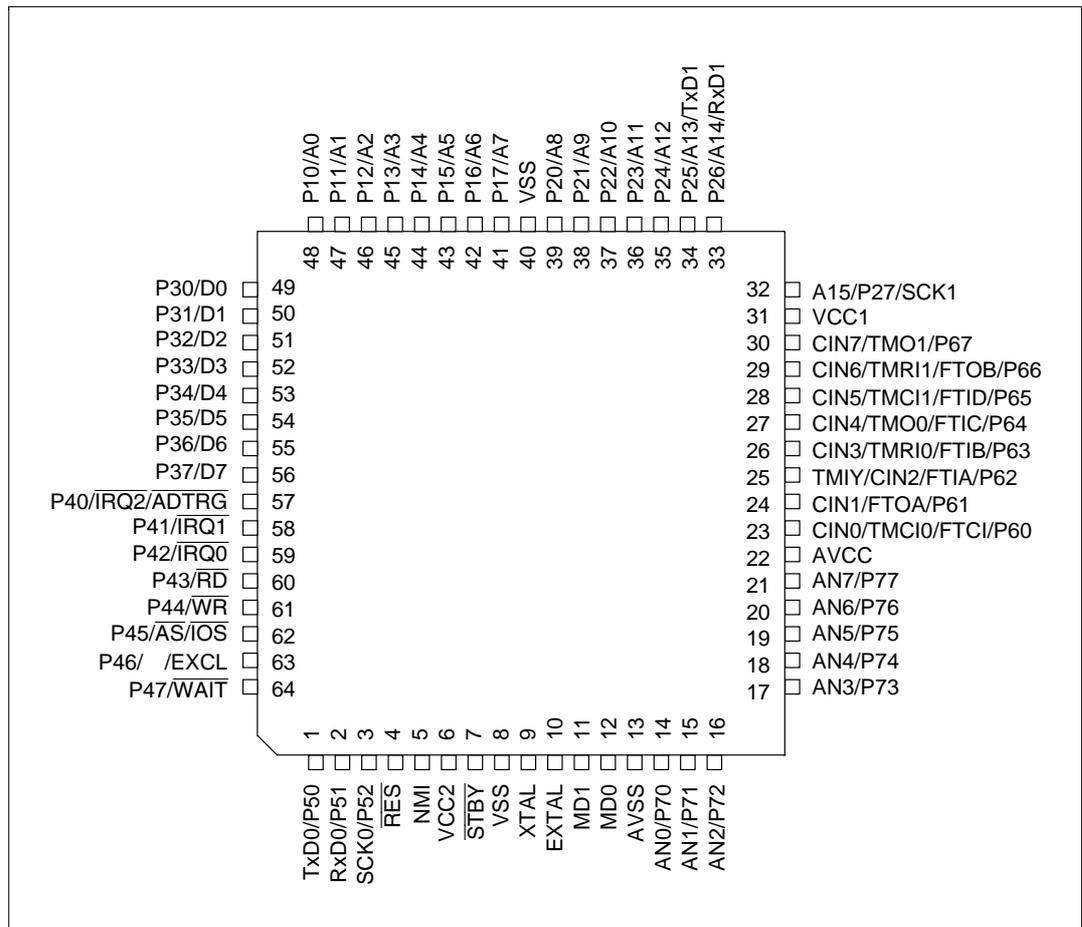


図 1.7 H8S/2124 グループのピン配置図 (FP-64A : 上面図)

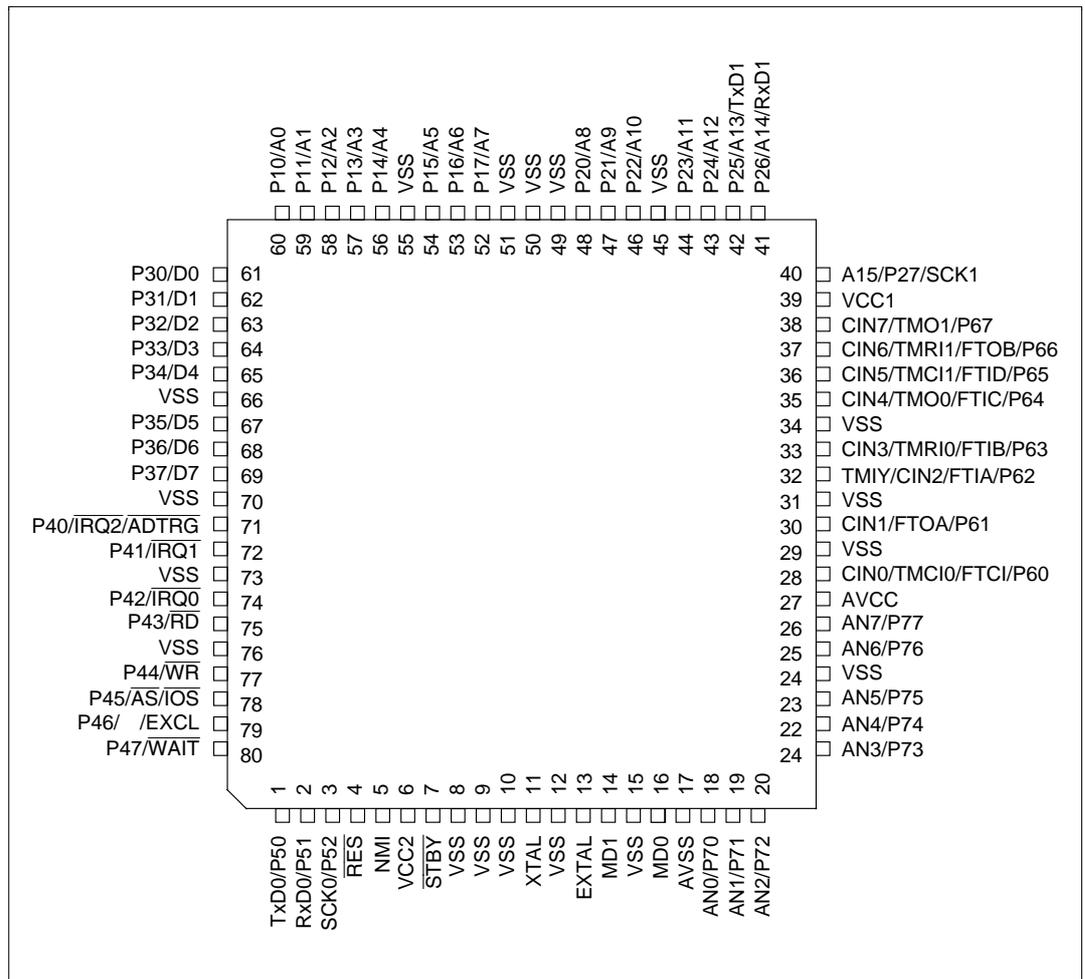


図 1.8 H8S/2124 グループのピン配置図 (TFP-80C : 上面図)

## 1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2、表 1.3 に示します。

表 1.2 H8S/2128 グループ、H8S/2128S グループ動作モード別端子機能一覧

ピン番号			端子名			
DP-64S	FP-64A	TFP-80C	拡張モード		シングルチップモード	フラッシュメモリ ライター モード
			モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
1	57	71	P40/ $\overline{\text{IRQ2}}/\text{ADTRG}$	P40/ $\overline{\text{IRQ0}}/\text{ADTRG}$	P40/ $\overline{\text{IRQ2}}/\text{ADTRG}$	VCC
2	58	72	P41/ $\overline{\text{IRQ1}}$	P41/ $\overline{\text{IRQ1}}$	P41/ $\overline{\text{IRQ1}}$	VCC
		73	VSS	VSS	VSS	VSS
3	59	74	P42/ $\overline{\text{IRQ0}}$	P42/ $\overline{\text{IRQ0}}$	P42/ $\overline{\text{IRQ0}}$	VSS
4	60	75	$\overline{\text{RD}}$	$\overline{\text{RD}}$	P43	$\overline{\text{WE}}$
		76	VSS	VSS	VSS	VSS
5	61	77	$\overline{\text{WR}}$	$\overline{\text{WR}}$	P44	FA15
6	62	78	$\overline{\text{AS}}/\overline{\text{IOS}}$	$\overline{\text{AS}}/\overline{\text{IOS}}$	P45	FA16
7	63	79	/P46/EXCL	P46/ /EXCL	P46/ /EXCL	NC
8	64	80	P47/ $\overline{\text{WAIT}}/\text{SDA0}$	P47/ $\overline{\text{WAIT}}/\text{SDA0}$	P47/SDA0	VCC
9	1	1	P50/TxD0	P50/TxD0	P50/TxD0	NC
10	2	2	P51/RxD0	P51/RxD0	P51/RxD0	FA17
11	3	3	P52/SCK0/SCL0	P52/SCK0/SCL0	P52/SCK0/SCL0	NC
12	4	4	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
13	5	5	NMI	NMI	NMI	FA9
14	6	6	VCC2 ( VCL )	VCC2 ( VCL )	VCC2 ( VCL )	VCC
15	7	7	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
16	8	8	VSS	VSS	VSS	VSS
		9	VSS	VSS	VSS	VSS
		10	VSS	VSS	VSS	VSS
17	9	11	XTAL	XTAL	XTAL	XTAL
		12	VSS	VSS	VSS	VSS
18	10	13	EXTAL	EXTAL	EXTAL	EXTAL
19	11	14	MD1	MD1	MD1	VSS
		15	VSS	VSS	VSS	VSS
20	12	16	MD0	MD0	MD0	VSS

ピン番号			端子名			
DP-64S	FP-64A	TFP-80C	拡張モード		シングルチップモード	フラッシュメモリ ライター モード
			モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
21	13	17	AVSS	AVSS	AVSS	VSS
22	14	18	P70/AN0	P70/AN0	P70/AN0	NC
23	15	19	P71/AN1	P71/AN1	P71/AN1	NC
24	16	20	P72/AN2	P72/AN2	P72/AN2	NC
25	17	21	P73/AN3	P73/AN3	P73/AN3	NC
26	18	22	P74/AN4	P74/AN4	P74/AN4	NC
27	19	23	P75/AN5	P75/AN5	P75/AN5	NC
		24	VSS	VSS	VSS	VSS
28	20	25	P76/AN6	P76/AN6	P76/AN6	NC
29	21	26	P77/AN7	P77/AN7	P77/AN7	NC
30	22	27	AVCC	AVCC	AVCC	VCC
31	23	28	P60/FTCI/TMCI0/ CIN0/HFBACKI/ TMIX	P60/FTCI/TMCI0/ CIN0/HFBACKI/ TMIX	P60/FTCI/TMCI0/ CIN0/HFBACKI/ TMIX	NC
		29	VSS	VSS	VSS	VSS
32	24	30	P61/FTOA/CIN1/ VSYNCO	P61/FTOA/CIN1/ VSYNCO	P61/FTOA/CIN1/ VSYNCO	NC
		31	VSS	VSS	VSS	VSS
33	25	32	P62/FTIA/CIN2/ VSYNCI/TMIY	P62/FTIA/CIN2/ VSYNCI/TMIY	P62/FTIA/CIN2/ VSYNCI/TMIY	NC
34	26	33	P63/FTIB/TMRI0/ CIN3/VFBACKI	P63/FTIB/TMRI0/ CIN3/VFBACKI	P63/FTIB/TMRI0/ CIN3/VFBACKI	NC
		34	VSS	VSS	VSS	VSS
35	27	35	P64/FTIC/TMO0/ CIN4/CLAMPO	P64/FTIC/TMO0/ CIN4/CLAMPO	P64/FTIC/TMO0/ CIN4/CLAMPO	NC
36	28	36	P65/FTID/TMCI1/ CIN5/HSYNCI	P65/FTID/TMCI1/ CIN5/HSYNCI	P65/FTID/TMCI1/ CIN5/HSYNCI	NC
37	29	37	P66/FTOB/TMRI1/ CIN6/CSYNCI	P66/FTOB/TMRI1/ CIN6/CSYNCI	P66/FTOB/TMRI1/ CIN6/CSYNCI	NC
38	30	38	P67/TMO1/TMOX/ CIN7/HSYNCO	P67/TMO1/TMOX/ CIN7/HSYNCO	P67/TMO1/TMOX/ CIN7/HSYNCO	VSS
39	31	39	VCC1	VCC1	VCC1	VCC
40	32	40	A15	A15/P27/PW15/SCK1/ CBLANK	P27/PW15/SCK1/ CBLANK	CE

1. 概要

ピン番号			端子名			
DP-64S	FP-64A	TFP-80C	拡張モード		シングルチップモード	フラッシュメモリ
			モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライター モード
41	33	41	A14	A14/P26/PW14/RxD1	P26/PW14/RxD1	FA14
42	34	42	A13	A13/P25/PW13/TxD1	P25/PW13/TxD1	FA13
43	35	43	A12	A12/P24/PW12/SCL1	P24/PW12/SCL1	FA12
44	36	44	A11	A11/P23/PW11/SDA1	P23/PW11/SDA1	FA11
		45	VSS	VSS	VSS	VSS
45	37	46	A10	A10/P22/PW10	P22/PW10	FA10
46	38	47	A9	A9/P21/PW9	P21/PW9	OE
47	39	48	A8	A8/P20/PW8	P20/PW8	FA8
		49	VSS	VSS	VSS	VSS
48	40	50	VSS	VSS	VSS	VSS
		51	VSS	VSS	VSS	VSS
49	41	52	A7	A7/P17/PW7	P17/PW7	FA7
50	42	53	A6	A6/P16/PW6	P16/PW6	FA6
51	43	54	A5	A5/P15/PW5	P15/PW5	FA5
		55	VSS	VSS	VSS	VSS
52	44	56	A4	A4/P14/PW4	P14/PW4	FA4
53	45	57	A3	A3/P13/PW3	P13/PW3	FA3
54	46	58	A2	A2/P12/PW2	P12/PW2	FA2
55	47	59	A1	A1/P11/PW1/PWX1	P11/PW1/PWX1	FA1
56	48	60	A0	A0/P10/PW0/PWX0	P10/PW0/PWX0	FA0
57	49	61	D0	D0	P30	FO0
58	50	62	D1	D1	P31	FO1
59	51	63	D2	D2	P32	FO2
60	52	64	D3	D3	P33	FO3
61	53	65	D4	D4	P34	FO4
		66	VSS	VSS	VSS	VSS
62	54	67	D5	D5	P35	FO5
63	55	68	D6	D6	P36	FO6
64	56	69	D7	D7	P37	FO7
		70	VSS	VSS	VSS	VSS

表 1.3 H8S/2124 グループ動作モード別端子機能一覧

ピン番号			端子名			
DP-64S	FP-64A	TFP-80C	拡張モード		シングルチップモード	フラッシュメモリ
			モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライター モード
1	57	71	P40/ $\overline{\text{IRQ2}}/\text{ADTRG}$	P40/ $\overline{\text{IRQ0}}/\text{ADTRG}$	P40/ $\overline{\text{IRQ2}}/\text{ADTRG}$	VCC
2	58	72	P41/ $\overline{\text{IRQ1}}$	P41/ $\overline{\text{IRQ1}}$	P41/ $\overline{\text{IRQ1}}$	VCC
		73	VSS	VSS	VSS	VSS
3	59	74	P42/ $\overline{\text{IRQ0}}$	P42/ $\overline{\text{IRQ0}}$	P42/ $\overline{\text{IRQ0}}$	VSS
4	60	75	$\overline{\text{RD}}$	$\overline{\text{RD}}$	P43	$\overline{\text{WE}}$
		76	VSS	VSS	VSS	VSS
5	61	77	$\overline{\text{WR}}$	$\overline{\text{WR}}$	P44	FA15
6	62	78	$\overline{\text{AS}}/\overline{\text{IOS}}$	$\overline{\text{AS}}/\overline{\text{IOS}}$	P45	FA16
7	63	79	/P46/EXCL	/P46/EXCL	P46/ /EXCL	NC
8	64	80	P47/ $\overline{\text{WAIT}}$	P47/ $\overline{\text{WAIT}}$	P47	VCC
9	1	1	P50/TxD0	P50/TxD0	P50/TxD0	NC
10	2	2	P51/RxD0	P51/RxD0	P51/RxD0	FA17
11	3	3	P52/SCK0	P52/SCK0	P52/SCK0	NC
12	4	4	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
13	5	5	NMI	NMI	NMI	FA9
14	6	6	VCC2	VCC2	VCC2	VCC
15	7	7	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
16	8	8	VSS	VSS	VSS	VSS
		9	VSS	VSS	VSS	VSS
		10	VSS	VSS	VSS	VSS
17	9	11	XTAL	XTAL	XTAL	XTAL
		12	VSS	VSS	VSS	VSS
18	10	13	EXTAL	EXTAL	EXTAL	EXTAL
19	11	14	MD1	MD1	MD1	VSS
		15	VSS	VSS	VSS	VSS
20	12	16	MD0	MD0	MD0	VSS

1. 概要

ピン番号			端子名			
DP-64S	FP-64A	TFP-80C	拡張モード		シングルチップモード	フラッシュメモリ
			モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライター モード
21	13	17	AVSS	AVSS	AVSS	VSS
22	14	18	P70/AN0	P70/AN0	P70/AN0	NC
23	15	19	P71/AN1	P71/AN1	P71/AN1	NC
24	16	20	P72/AN2	P72/AN2	P72/AN2	NC
25	17	21	P73/AN3	P73/AN3	P73/AN3	NC
26	18	22	P74/AN4	P74/AN4	P74/AN4	NC
27	19	23	P75/AN5	P75/AN5	P75/AN5	NC
		24	VSS	VSS	VSS	VSS
28	20	25	P76/AN6	P76/AN6	P76/AN6	NC
29	21	26	P77/AN7	P77/AN7	P77/AN7	NC
30	22	27	AVCC	AVCC	AVCC	VCC
31	23	28	P60/FTCI/TMCI0/ CIN0	P60/FTCI/TMCI0/ CIN0	P60/FTCI/TMCI0/ CIN0	NC
		29	VSS	VSS	VSS	VSS
32	24	30	P61/FTOA/CIN1	P61/FTOA/CIN1	P61/FTOA/CIN1	NC
		31	VSS	VSS	VSS	VSS
33	25	32	P62/FTIA/CIN2/ TMIY	P62/FTIA/CIN2/ TMIY	P62/FTIA/CIN2/ TMIY	NC
34	26	33	P63/FTIB/TMRI0/ CIN3	P63/FTIB/TMRI0/ CIN3	P63/FTIB/TMRI0/ CIN3	NC
		34	VSS	VSS	VSS	VSS
35	27	35	P64/FTIC/TMO0/ CIN4	P64/FTIC/TMO0/ CIN4	P64/FTIC/TMO0/ CIN4	NC
36	28	36	P65/FTID/TMCI1/ CIN5	P65/FTID/TMCI1/ CIN5	P65/FTID/TMCI1/ CIN5	NC
37	29	37	P66/FTOB/TMRI1/ CIN6	P66/FTOB/TMRI1/ CIN6	P66/FTOB/TMRI1/ CIN6	NC
38	30	38	P67/TMO1/CIN7	P67/TMO1/CIN7	P67/TMO1/CIN7	VSS
39	31	39	VCC1	VCC1	VCC1	VCC
40	32	40	A15	A15/P27/SCK1	P27/SCK1	$\overline{CE}$

ピン番号			端子名			
DP-64S	FP-64A	TFP-80C	拡張モード		シングルチップモード	フラッシュメモリ
			モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	ライター モード
41	33	41	A14	A14/P26/RxD1	P26/RxD1	FA14
42	34	42	A13	A13/P25/TxD1	P25/TxD1	FA13
43	35	43	A12	A12/P24	P24	FA12
44	36	44	A11	A11/P23	P23	FA11
		45	VSS	VSS	VSS	VSS
45	37	46	A10	A10/P22	P22	FA10
46	38	47	A9	A9/P21	P21	OE
47	39	48	A8	A8/P20	P20	FA8
		49	VSS	VSS	VSS	VSS
48	40	50	VSS	VSS	VSS	VSS
		51	VSS	VSS	VSS	VSS
49	41	52	A7	A7/P17	P17	FA7
50	42	53	A6	A6/P16	P16	FA6
51	43	54	A5	A5/P15	P15	FA5
		55	VSS	VSS	VSS	VSS
52	44	56	A4	A4/P14	P14	FA4
53	45	57	A3	A3/P13	P13	FA3
54	46	58	A2	A2/P12	P12	FA2
55	47	59	A1	A1/P11	P11	FA1
56	48	60	A0	A0/P10	P10	FA0
57	49	61	D0	D0	P30	FO0
58	50	62	D1	D1	P31	FO1
59	51	63	D2	D2	P32	FO2
60	52	64	D3	D3	P33	FO3
61	53	65	D4	D4	P34	FO4
		66	VSS	VSS	VSS	VSS
62	54	67	D5	D5	P35	FO5
63	55	68	D6	D6	P36	FO6
64	56	69	D7	D7	P37	FO7
		70	VSS	VSS	VSS	VSS

## 1.3.3 端子機能

各端子の機能について表 1.4 に示します。

表 1.4 端子機能

分類	記号	ピン番号			入出力	名称および機能
		DP-64S	FP-64A	TFP-80C		
電源	VCC1	39	31	39	入力	電源 電源に接続します。VCC1、VCC2 端子は、全端子をシステムの電源に接続してください。
	VCC2	14	6	6		
	VCL	14	6	6	入力	内部降圧端子 内部降圧品の電源端子です。5V、4V 品は、本端子と VSS 端子との間に内部降圧安定化のための外付けコンデンサを接続し、VCC と接続しないでください。詳細は「第 22 章 電気的特性」を参照してください。
	VSS	16、48	8、40	8、9、10、12、15、24、29、31、34、45、49、50、51、55、66、70、73、76	入力	グランド 電源(0V)に接続します。VSS 端子は、全端子をシステムの電源(0V)に接続してください。
クロック	XTAL	17	9	11	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 20 章 クロック発振器」を参照してください。
	EXTAL	18	10	13	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 20 章 クロック発振器」を参照してください。
		7	63	79	出力	システムクロック 外部デバイスにシステムクロックを供給します。
	EXCL	7	63	79	入力	外部サブクロック入力 32.768kHz の外部サブクロックを入力してください。

分類	記号	ピン番号			入出力	名称および機能																
		DP-64S	FP-64A	TFP-80C																		
動作モード コント ロール	MD1	19	11	14	入力	<p><u>モード端子</u> 動作モードを設定します。MD1、MD0端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。</p> <table border="1"> <thead> <tr> <th>MD1</th> <th>MD0</th> <th>動作モード</th> <th>内 容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>モード1</td> <td>ノーマル 内蔵ROM無効拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> <td>アドバンスト 内蔵ROM有効拡張モード シングルチップモード</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード3</td> <td>ノーマル 内蔵ROM有効拡張モード シングルチップモード</td> </tr> </tbody> </table>	MD1	MD0	動作モード	内 容	0	1	モード1	ノーマル 内蔵ROM無効拡張モード	1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード	1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード
	MD1	MD0	動作モード	内 容																		
0	1	モード1	ノーマル 内蔵ROM無効拡張モード																			
1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード																			
1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード																			
	MD0	20	12	16																		
システム 制御	$\overline{\text{RES}}$	12	4	4	入力	<p><u>リセット入力</u> この端子が Low レベルになると、リセット状態となります。</p>																
	$\overline{\text{STBY}}$	15	7	7	入力	<p><u>スタンバイ</u> この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。</p>																
アドレス バス	A15 ~ A0	40 ~ 47、 49 ~ 56	32 ~ 39、 41 ~ 48	40 ~ 44、 46 ~ 48、 52 ~ 54、 56 ~ 60	出力	<p><u>アドレスバス</u> アドレスを出力します。</p>																
データバス	D7 ~ D0	64 ~ 57	56 ~ 49	69 ~ 67、 65 ~ 61	入出力	<p><u>データバス</u> 双方向データバスです。</p>																
バス 制御	$\overline{\text{WAIT}}$	8	64	80	入力	<p><u>ウェイト</u> 外部3ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。</p>																
	$\overline{\text{RD}}$	4	60	75	出力	<p><u>リード</u> この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。</p>																
	$\overline{\text{WR}}$	5	61	77	出力	<p><u>ライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。</p>																
	$\overline{\text{AS}}$ $\overline{\text{IOS}}$	6	62	78	出力	<p><u>アドレスストロープ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。</p>																
割り込み	NMI	13	5	5	入力	<p><u>ノンマスクابل割り込み</u> マスク不可能な割り込みを要求します。</p>																
	$\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ2}}$	1 ~ 3	57 ~ 59	71、72、74	入力	<p><u>割り込み要求0~2</u> マスク可能な割り込みを要求します。</p>																

1. 概要

分類	記号	ピン番号			入出力	名称および機能
		DP-64S	FP-64A	TFP-80C		
16ビット フリー ランニング タイマ (FRT)	FTCI	31	23	28	入力	<u>FRT カウンタクロック入力</u> フリーランニングカウンタ (FRC) に入力する外部クロック入力端子です。
	FTOA	32	24	30	出力	<u>FRT アウトプットコンペア A 出力</u> アウトプットコンペア A の出力端子です。
	FTOB	37	29	37	出力	<u>FRT アウトプットコンペア B 出力</u> アウトプットコンペア B の出力端子です。
	FTIA	33	25	32	入力	<u>FRT インプットキャプチャ A 入力</u> インプットキャプチャ A の入力端子です。
	FTIB	34	26	33	入力	<u>FRT インプットキャプチャ B 入力</u> インプットキャプチャ B の入力端子です。
	FTIC	25	27	35	入力	<u>FRT インプットキャプチャ C 入力</u> インプットキャプチャ C の入力端子です。
	FTID	36	28	36	入力	<u>FRT インプットキャプチャ D 入力</u> インプットキャプチャ D の入力端子です。
8ビット タイマ (TMR0、 TMR1、 TMRX、 TMR Y)	TMO0	35	27	35	出力	<u>コンペアマッチ出力</u> TMR0、TMR1 および TMRX のコンペアマッチ出力端子です。
	TMO1	38	30	38		
	TMOX	38	30	38		
	TMCI0	31	23	28	入力	<u>カウンタ外部クロック入力</u> TMR0 および TMR1 のカウンタに入力する外部クロックの入力端子です。
	TMCI1	36	28	36		
	TMRI0	34	26	33	入力	<u>カウンタ外部リセット入力</u> TMR0 および TMR1 のカウンタリセット入力端子です。
TMRI1	37	29	37			
TMIX	31	23	28	入力	<u>カウンタ外部クロック入力兼リセット入力</u> TMRX および TMR Y のカウンタクロック入力端子兼リセット入力端子です。	
TMIY	33	25	32			
シリアル コミュニケー ションインタ フェース (SCI0、 SCI1)	TxD0	9	1	1	出力	<u>トランスミットデータ</u> データ出力端子です。
	TxD1	42	34	42		
	RxD0	10	2	2	入力	<u>レシーブデータ</u> データ入力端子です。
	RxD1	41	33	41		
SCK0	11	3	3	入出力	<u>シリアルクロック</u> クロック入出力端子です。SCK0 の出力形式は H8S/2128 グループ、H8S/2128S グループのみ NMOS プッシュプルとなります。	
SCK1	40	32	40			
A/D 変換器	AN7 ~ AN0	29 ~ 22	21 ~ 14	26、25、23 ~ 18	入力	<u>アナログ 7~0</u> アナログ入力端子です。
	CIN0 ~ CIN7	31 ~ 38	23 ~ 30	28、30、32 ~ 33、35 ~ 38	入力	<u>拡張 A/D 入力</u> 拡張 A/D 入力端子を A/D 変換器に接続可能です。ただし、デジタル入出力端子と兼用であるため、精度が低下し、6 ビット分解能相当となります。
	ADTRG	1	57	71	入力	<u>A/D 変換外部トリガ入力</u> A/D 変換開始のための外部トリガ入力端子です。

分類	記号	ピン番号			入出力	名称および機能
		DP-64S	FP-64A	TFP-80C		
A/D 変換器	AVCC	30	22	27	入力	<u>アナログ電源</u> A/D 変換器の基準電源端子です。 A/D 変換器を使用しない場合、システムの電源 (+5V または +3V) に接続してください。
	AVSS	21	13	17	入力	<u>アナロググランド</u> A/D 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
PWM タイマ (PWM)	PW15 ~ PW0	40 ~ 47、 49 ~ 56、	32 ~ 39、 41 ~ 48、	40 ~ 44、 46 ~ 48、 52 ~ 54、 56 ~ 60	出力	<u>PWM タイマ出力</u> PWM タイマのパルス出力端子です。
14 ビット PWM タイマ (PWMX)	PWX0 PWX1	56 55	48 47	60 59	出力	<u>PWMX タイマ出力</u> PWM D/A のパルス出力端子です。
タイマ コネクション	VSYNCI	33	25	32	入力	<u>タイマコネクション入力</u> タイマコネクションの同期信号入力端子です。
	HSYNCI	36	28	36		
CSYNCI	37	29	37			
VFBACKI	34	26	33			
HFBACKI	31	23	28			
	VSYNCO	32	24	30	出力	<u>タイマコネクション出力</u> タイマコネクションの同期信号出力端子です。
	HSYNCO	38	30	38		
	CLAMPO	35	27	35		
	CBLANK	40	32	40		
I <sup>2</sup> C バスインタ フェース (IIC) 【オプション】	SCL0	11	3	3	入出力	<u>I<sup>2</sup>C クロック入出力 (チャンネル 0、1)</u> I <sup>2</sup> C クロック入出力端子です。 バス駆動機能を持っています。 SCL0 の出力形式は NMOS オープンドレインです。
	SCL1	43	35	43		
	SDA0 SDA1	8 44	64 36	80 44	入出力	<u>I<sup>2</sup>C データ入出力 (チャンネル 0、1)</u> I <sup>2</sup> C のデータ入出力端子です。 バス駆動機能を持っています。 SDA0 の出力形式は NMOS オープンドレインです。

## 1. 概要

分類	記号	ピン番号			入出力	名称および機能
		DP-64S	FP-64A	TFP-80C		
I/O ポート	P17~P10	49~56	41~48	52~54、 56~60	入出力	<u>ポート 1</u> 8ビットの入出力端子です。P1DDRによって1ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。
	P27~P20	40~47	32~39	40~44、 46~48	入出力	<u>ポート 2</u> 8ビットの入出力端子です。P2DDRによって1ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。
	P37~P30	64~57	56~49	69~67、 65~61	入出力	<u>ポート 3</u> 8ビットの入出力端子です。P3DDRによって1ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。
	P47~P40	8~1	64~57	80~77、 75~74、 72~71	入出力	<u>ポート 4</u> 8ビットの入出力端子です。P4DDRによって1ビットごとに入出力を指定できません（P46を除く）。P47はH8S/2128グループ、H8S/2128SグループのみNMOSプッシュプル出力となります。
	P52~P50	11~9	3~1	3~1	入出力	<u>ポート 5</u> 3ビットの入出力端子です。P5DDRによって1ビットごとに入出力を指定できます。P52はH8S/2128グループ、H8S/2128SグループのみNMOSプッシュプル出力となります。
	P67~P60	38~31	30~23	38~35、 33~32、 30、28	入出力	<u>ポート 6</u> 8ビットの入出力端子です。P6DDRによって1ビットごとに入出力を指定できません。
	P77~P70	29~22	21~14	26~25、 23~18	入力	<u>ポート 7</u> 8ビットの入力端子です。

---

# 2. CPU

---

## 第2章 目次

2.1	概要.....	29
	2.1.1 特長.....	29
	2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点.....	30
	2.1.3 H8/300 CPU との相違点.....	31
	2.1.4 H8/300H CPU との相違点.....	31
2.2	CPU 動作モード.....	32
2.3	アドレス空間.....	37
2.4	レジスタ構成.....	38
	2.4.1 概要.....	38
	2.4.2 汎用レジスタ.....	39
	2.4.3 コントロールレジスタ.....	40
	2.4.4 CPU 内部レジスタの初期値.....	42
2.5	データ構成.....	43
	2.5.1 汎用レジスタのデータ構成.....	43
	2.5.2 メモリ上でのデータ構成.....	45
2.6	命令セット.....	46
	2.6.1 概要.....	46
	2.6.2 命令とアドレッシングモードの組み合わせ.....	47
	2.6.3 命令の機能別一覧.....	48
	2.6.4 命令の基本フォーマット.....	57
	2.6.5 ビット操作命令使用上の注意.....	58
2.7	アドレッシングモードと実効アドレスの計算方法.....	59
	2.7.1 アドレッシングモード.....	59
	2.7.2 実効アドレスの計算方法.....	63
2.8	処理状態.....	67
	2.8.1 概要.....	67
	2.8.2 リセット状態.....	68

2.8.3	例外処理状態 .....	69
2.8.4	プログラム実行状態 .....	70
2.8.5	バス権解放状態 .....	71
2.8.6	低消費電力状態 .....	71
2.9	基本動作タイミング .....	72
2.9.1	概要 .....	72
2.9.2	内蔵メモリ (ROM、RAM) .....	72
2.9.3	内蔵周辺モジュールアクセスタイミング .....	73
2.9.4	外部アドレス空間アクセスタイミング .....	74
2.10	使用上の注意 .....	75
2.10.1	TAS 命令使用上の注意 .....	75
2.10.2	STM/LDM 命令使用上の注意 .....	75
2.10.3	ビット操作命令使用上の注意事項 .....	75
2.10.4	EEPMOV 命令 .....	76

## 2.1 概要

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

### 2.1.1 特長

本 CPU には、次の特長があります。

H8/300 CPU および H8/300H CPU の上位互換

- ・ H8/300 および H8/300H CPU オブジェクトプログラムを実行可能

汎用レジスタ方式

- ・ 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）

65 種類の基本命令

- ・ 8 / 16 / 32 ビット演算命令
- ・ 乗除算命令
- ・ 強力なビット操作命令

8 種類のアドレッシングモード

- ・ レジスタ直接 (Rn)
- ・ レジスタ間接 (@ERn)
- ・ ディスプレースメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
- ・ ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
- ・ 絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
- ・ イミディエイト (#xx:8 / #xx:16 / #xx:32)
- ・ プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
- ・ メモリ間接 (@@aa:8)

16M バイトのアドレス空間

- ・ プログラム : 16M バイト
- ・ データ : 16M バイト（アーキテクチャ上は 4G バイト）

### 高速動作

- ・ 頻出命令をすべて1~2ステートで実行
- ・ 最高動作周波数 : 20MHz
- ・ 8 / 16 / 32 ビットレジスタ間加減算 : 50ns
- ・ 8×8 ビットレジスタ間乗算 : 600ns
- ・ 16÷8 ビットレジスタ間除算 : 600ns
- ・ 16×16 ビットレジスタ間乗算 : 1000ns
- ・ 32÷16 ビットレジスタ間除算 : 1000ns

### 2種類のCPU動作モード

- ・ ノーマルモード / アドバンスモード

### 低消費電力状態

- ・ SLEEP 命令により低消費電力状態に遷移
- ・ CPU 動作クロックを選択可能

## 2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下のとおりです。

### レジスタ構成

- ・ MAC レジスタは、H8S/2600 CPU のみサポートしています。

### 基本命令

- ・ MAC、CLRMAC、LDMAC、STMAC の4命令は、H8S/2600 CPU のみサポートしています。

### 実行ステート数

- ・ MULXU、MULXS 命令の実行ステート数

命令	二ーモニック	実行ステート数	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や EXR レジスタの機能、低消費電力状態などが異なる場合があります。

### 2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

汎用レジスタ、コントロールレジスタを拡張

- ・ 16 ビット×8 本の拡張レジスタ、および 8 ビット×1 本のコントロールレジスタを追加

アドレス空間を拡張

- ・ ノーマルモードのとき、H8/300 CPU と同一の 64k バイトのアドレス空間を使用可能
- ・ アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能

アドレッシングモードを強化

- ・ 16M バイトのアドレス空間を有効に使用可能

命令強化

- ・ ビット操作命令のアドレッシングモードを強化
- ・ 符号付き乗除算命令などを追加
- ・ 2 ビットシフト命令を追加
- ・ 複数レジスタの退避 / 復帰命令を追加
- ・ テストアンドセット命令を追加

高速化

- ・ 基本的な命令を 2 倍に高速化

### 2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

コントロールレジスタを拡張

- ・ 8 ビット×1 本のコントロールレジスタを追加

命令強化

- ・ ビット操作命令のアドレッシングモードを強化
- ・ 2 ビットシフト命令を追加
- ・ 複数レジスタの退避 / 復帰命令を追加
- ・ テストアンドセット命令を追加

高速化

- ・ 基本的な命令を 2 倍に高速化

## 2.2 CPU 動作モード

本CPUは、ノーマルモードおよびアドバンスモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大64kバイト、アドバンスモードの場合16Mバイト（アーキテクチャ上はプログラム領域最大16Mバイト、データ領域最大4Gバイト、合計で最大4Gバイト）となります。

各モードはLSIのモード端子によって選択されます。

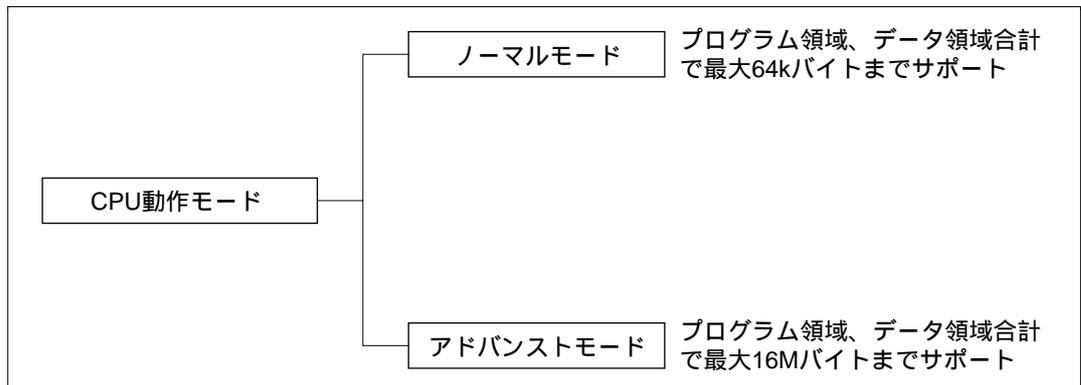


図 2.1 CPU 動作モード

### (1) ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造がH8/300 CPUと同一になります。

#### (a) アドレス空間

最大64kバイトをアクセス可能です。

#### (b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

## (c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

## (d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

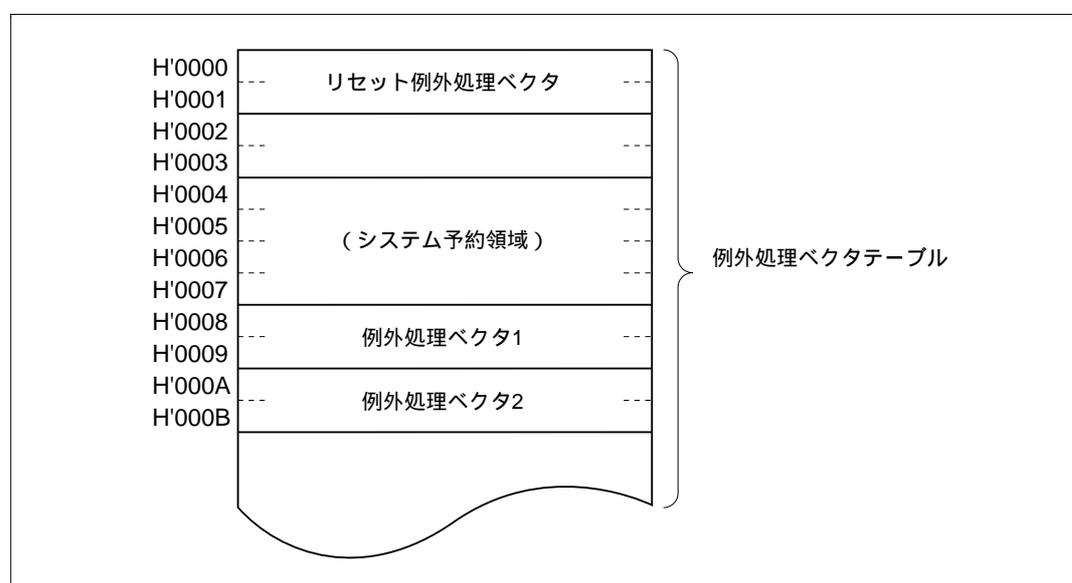


図 2.2 例外処理ベクタテーブル (ノーマルモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

## (e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.3 に示します。EXR はスタックされません。詳細は「第 4 章 例外処理」を参照してください。

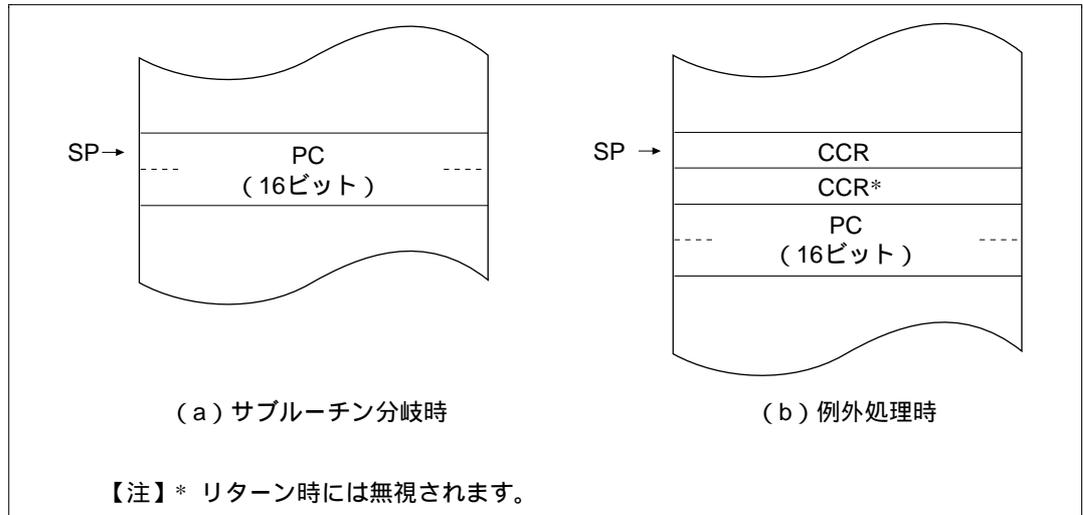


図 2.3 ノーマルモードのスタック構造

## (2) アドバンストモード

### (a) アドレス空間

最大 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト）をリニアにアクセス可能です。

### (b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

### (c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

### (d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します（図 2.4 参照）。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

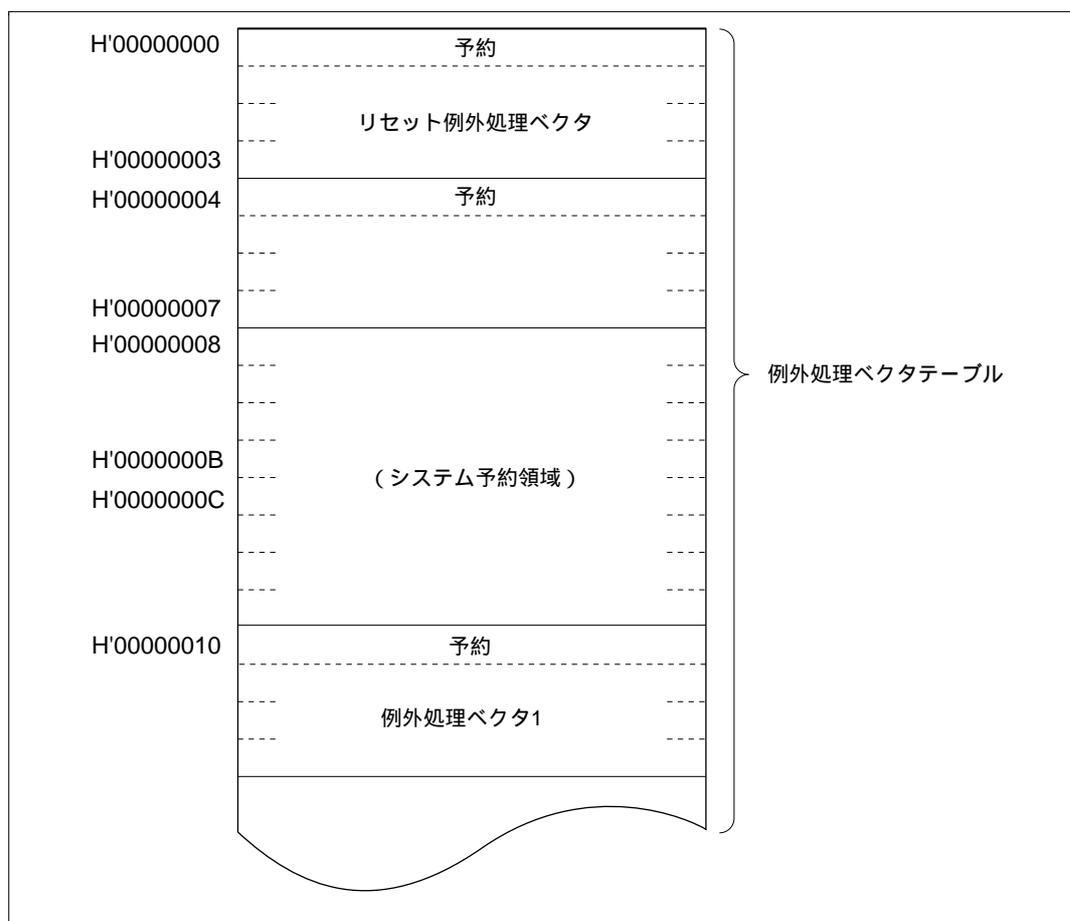


図 2.4 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

#### (e) スタック構造

アドバンスモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.5 に示します。EXR はスタックされません。詳細は「第 4 章 例外処理」を参照してください。

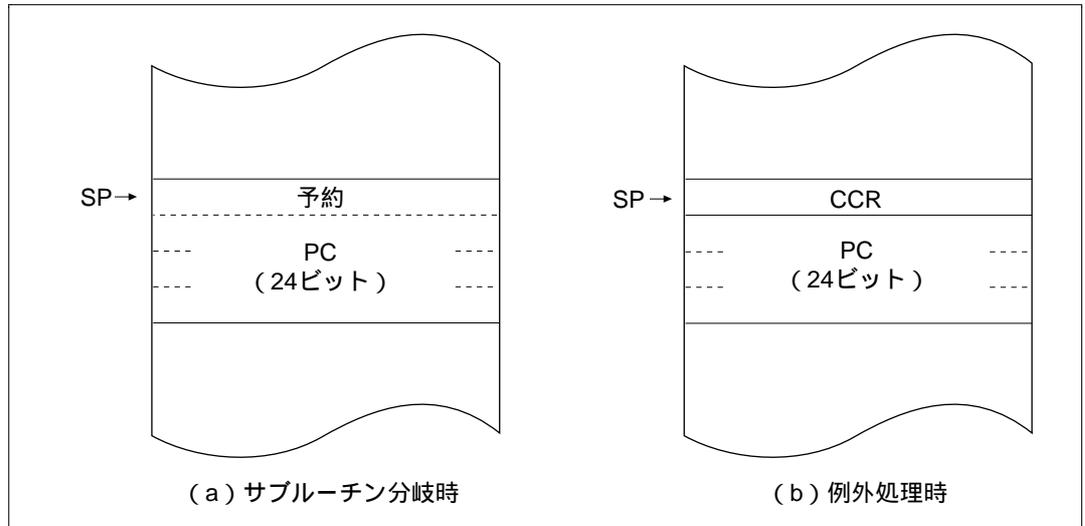


図 2.5 アドバンスモードのスタック構造

## 2.3 アドレス空間

本CPUのメモリマップを図2.6に示します。本CPUは、ノーマルモードのとき最大64kバイト、またアドバンスモードのとき最大16Mバイト(アーキテクチャ上は4Gバイト)のアドレス空間をリニアに使用することができます。

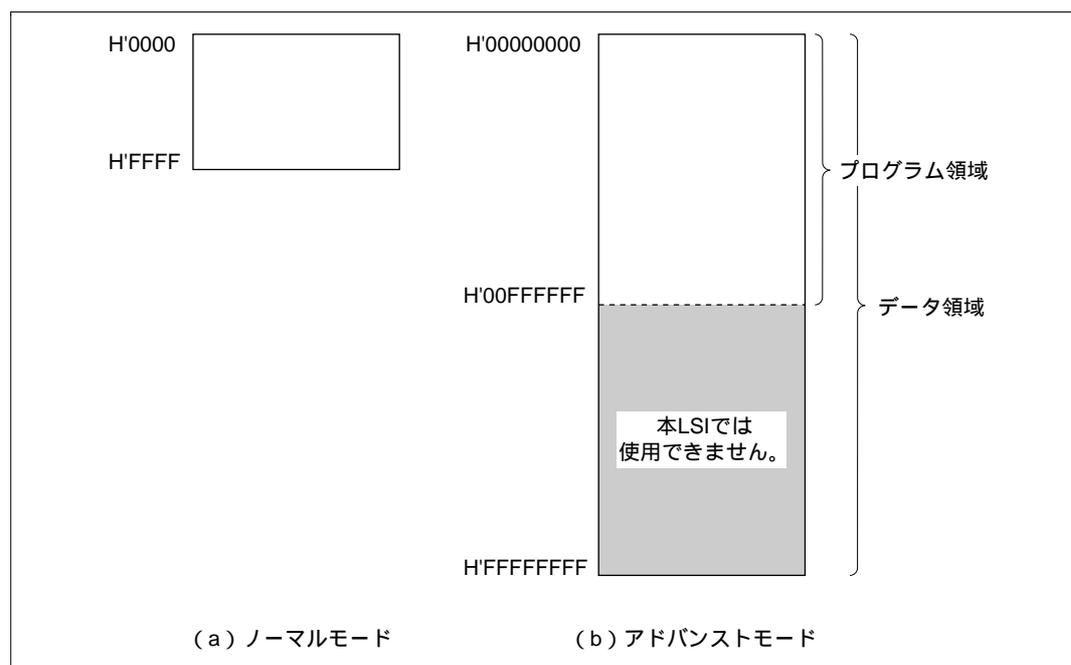


図2.6 メモリマップ

## 2.4 レジスタ構成

### 2.4.1 概要

本CPUの内部レジスタ構成を図2.7に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

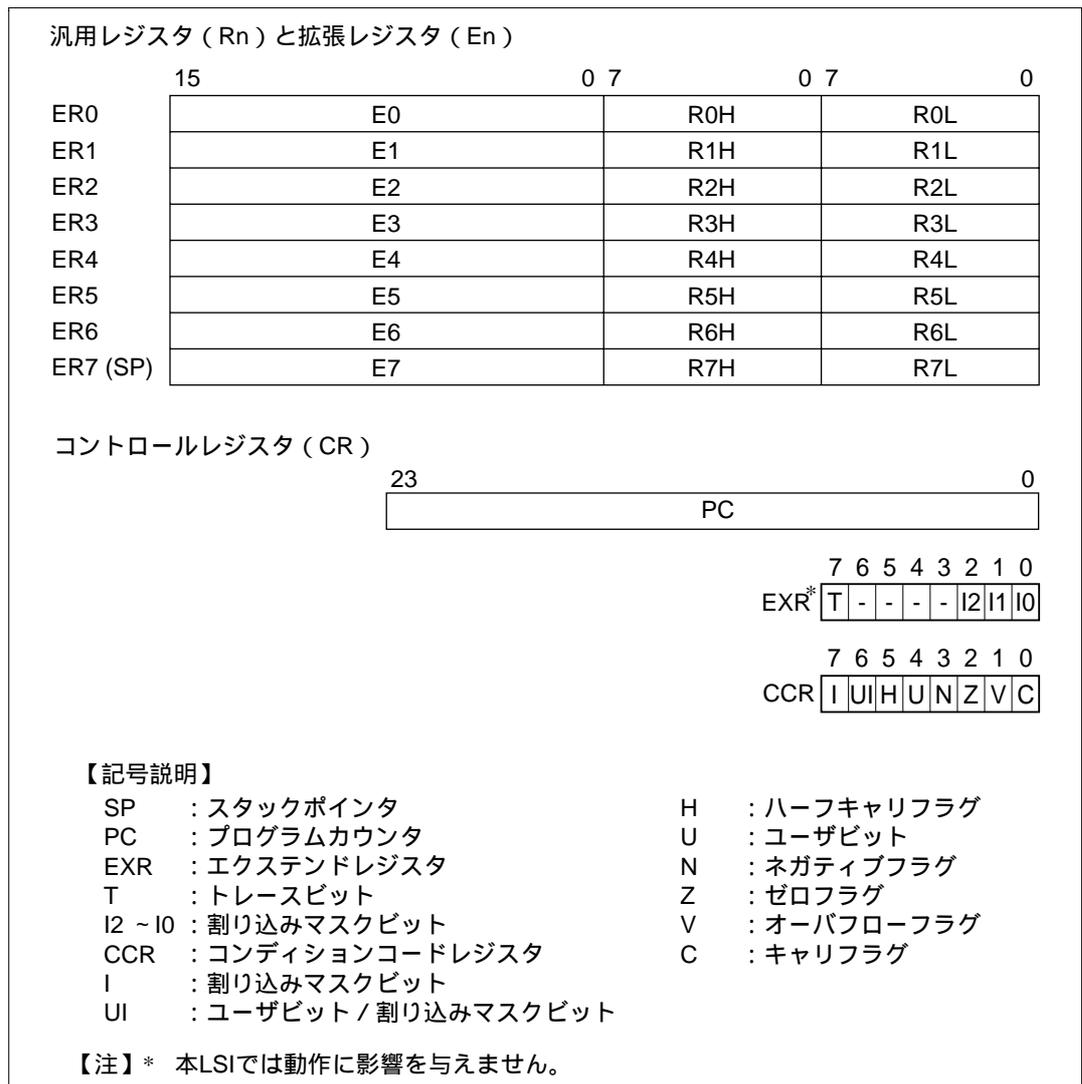


図2.7 CPU 内部レジスタ構成

## 2.4.2 汎用レジスタ

本 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタもしくはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、および 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタの場合、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタの場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

汎用レジスタの使用方法を図 2.8 に示します。各レジスタ独立に使用方法を選択することができます。

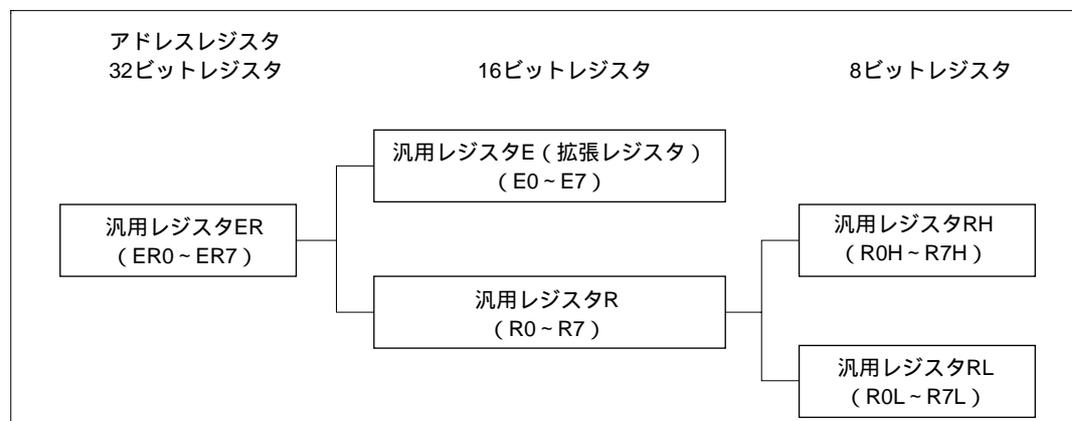


図 2.8 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.9 に示します。

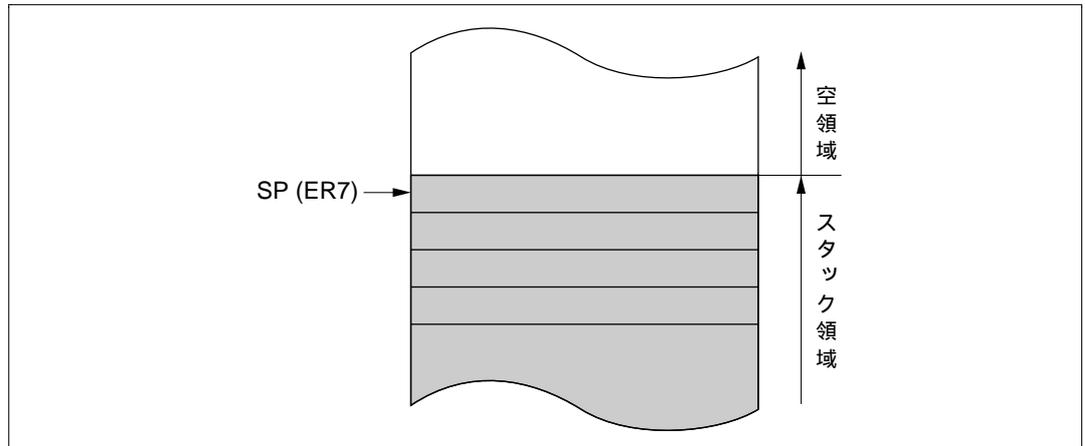


図 2.9 スタックの状態

### 2.4.3 コントロールレジスタ

コントロールレジスタには、24ビットのプログラムカウンタ(PC)、8ビットのエクステンドレジスタ(EXR)、8ビットのコンディションコードレジスタ(CCR)があります。

#### (1) プログラムカウンタ(PC)

24ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて2バイト(ワード)を単位としているため、最下位ビットは無効です(命令コードのリード時には最下位ビットは0とみなされます)。

#### (2) エクステンドレジスタ(EXR)

8ビットのレジスタです。本LSIでは動作に影響を与えません。

##### ビット7: トレースビット(T)

リザーブビットです。本LSIでは動作に影響を与えません。

##### ビット6~3: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。

##### ビット2~0: 割り込みマスクビット(I2~I0)

リザーブビットです。本LSIでは動作に影響を与えません。

### (3) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。

#### ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIおよびアドレスブレーク割り込みはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。

#### ビット6：ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第5章 割り込みコントローラ」を参照してください。

#### ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

#### ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

#### ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

#### ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

#### ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

#### ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1. 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

### 2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

## 2.5 データ構成

本CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0, 1, 2, \dots, 7$ ）という形式でアクセスされます。

なお、DAA および DAS の10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

### 2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.10に示します。

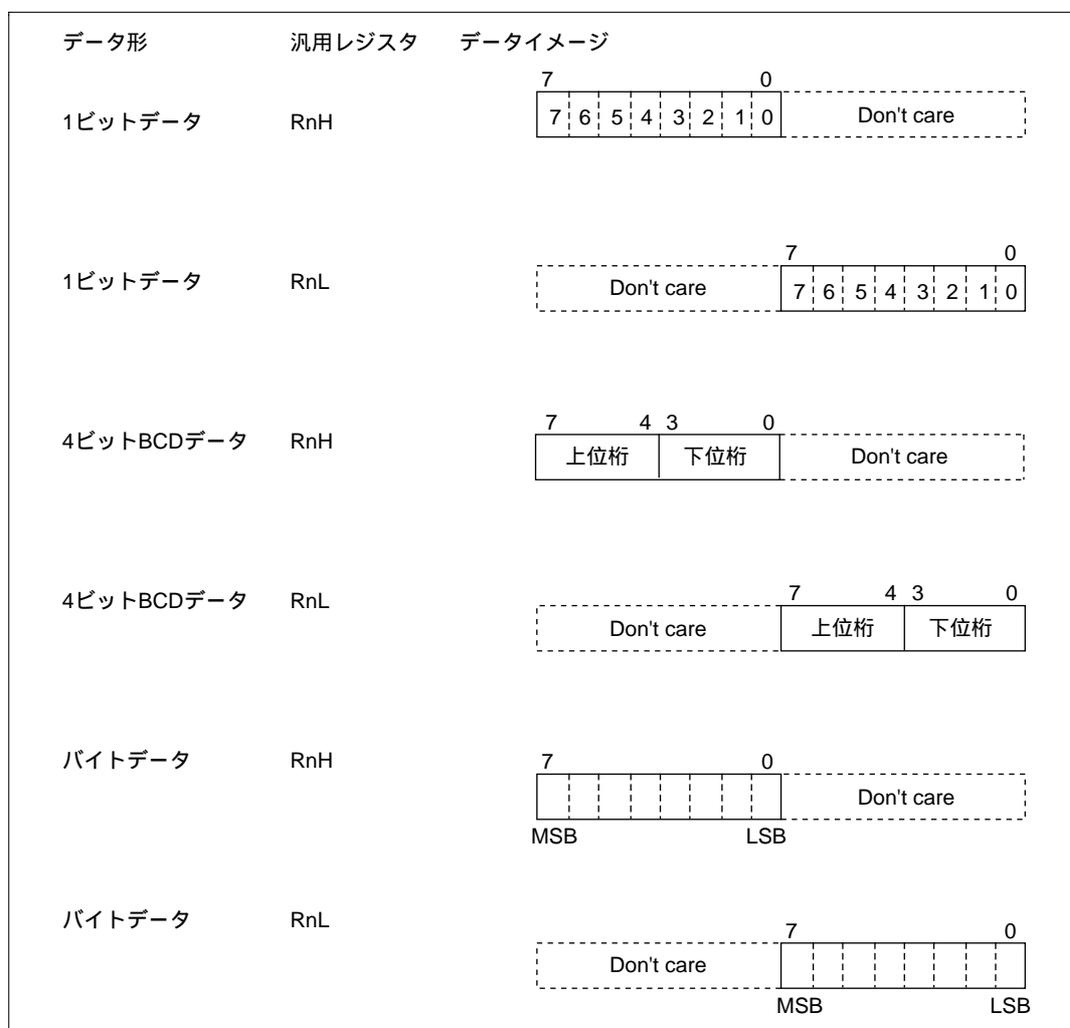


図2.10(1) 汎用レジスタのデータ構成

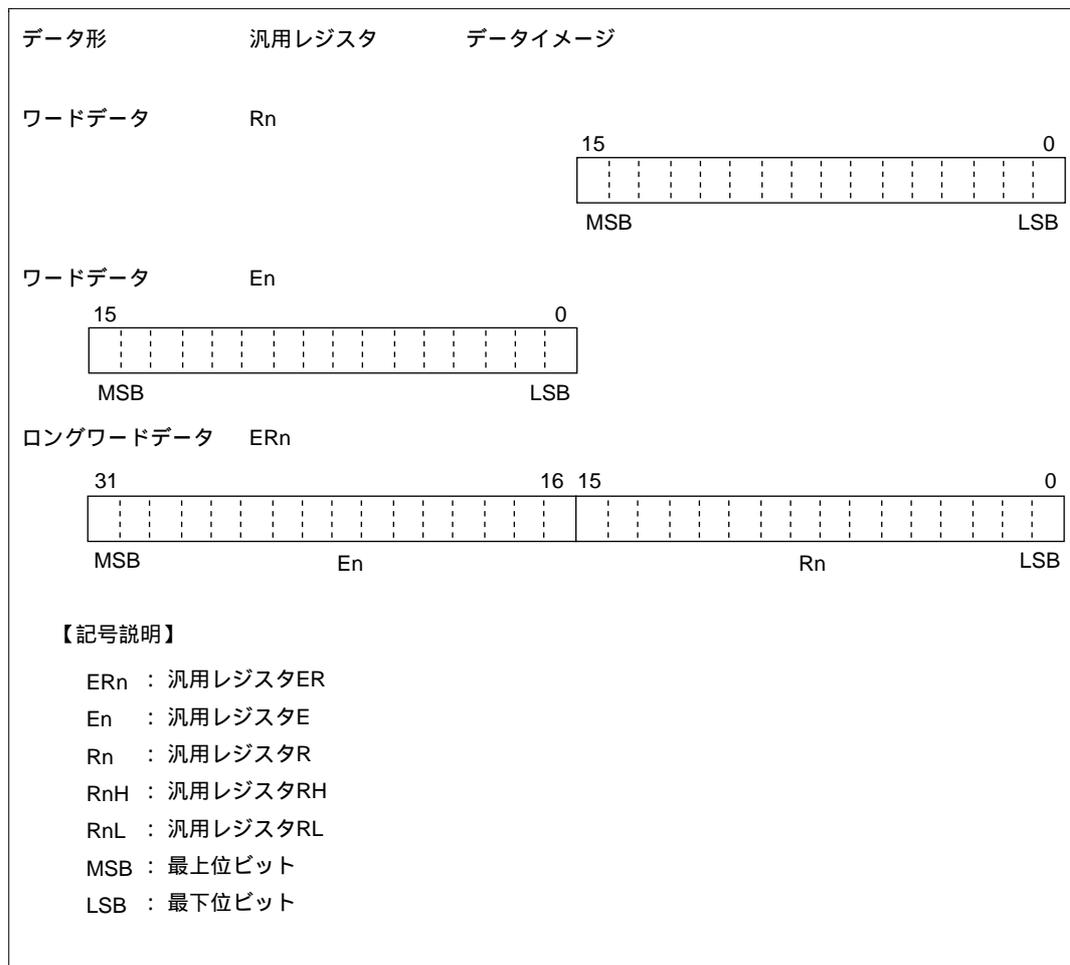


図 2.10 ( 2 ) 汎用レジスタのデータ構成

## 2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.11に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

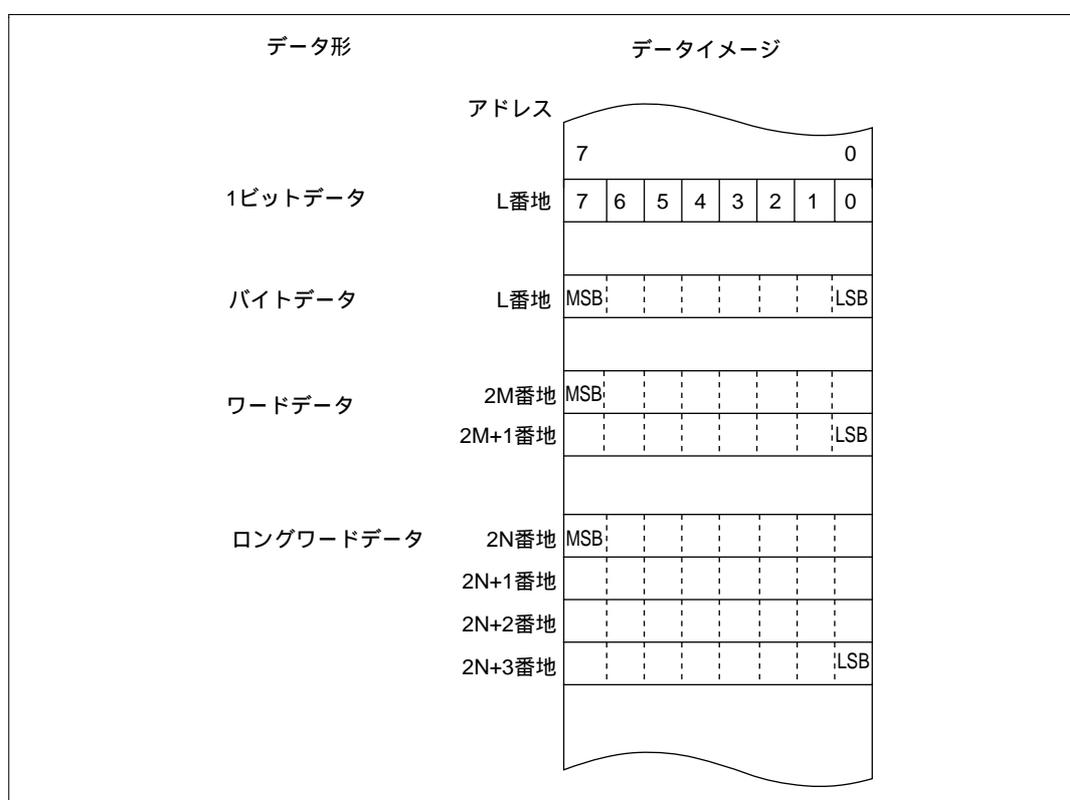


図 2.11 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

## 2.6 命令セット

### 2.6.1 概要

本 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP * <sup>1</sup> 、PUSH * <sup>1</sup>	WL	
	LDM、STM * <sup>5</sup>	L	
	MOVFP * <sup>3</sup> 、MOVTPE* <sup>3</sup>	B	
算術演算命令	ADD、SUB、CMP、NEG	BWL	19
	ADDX、SUBX、DAA、DAS	B	
	INC、DEC	BWL	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	BW	
	EXTU、EXTS	WL	
	TAS * <sup>4</sup>	B	
論理演算命令	AND、OR、XOR、NOT	BWL	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、 ROTXL、ROTXR	BWL	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BLD、BILD、BST、 BIST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR	B	14
分岐命令	Bcc * <sup>2</sup> 、JMP、BSR、JSR、RTS	-	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、 XORC、NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

\*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@ - SP と同一です。

また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@ - SP と同一です。

\*2 Bcc は条件分岐命令の総称です。

\*3 本 LSI では使用できません。

\*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

\*5 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避(STM) / 復帰(LDM) できるレジスタとしては使えません。

## 2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(t:16, ERn)	@(t:32, ERn)	@-ERn/@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(t:8, PC)	@(t:16, PC)	@@aa:8	
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM, STM*3	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFP*1, MOVTP*1	—	—	—	—	—	—	—	B	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	XTU, EXTs	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
TAS*2	—	—	B	—	—	—	—	—	—	—	—	—	—	—	
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令	—	B	B	—	—	—	—	B	B	—	B	—	—	—	—
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

### 【記号説明】

B : バイト

W : ワード

L : ロングワード

【注】 \*1 本 LSI では使用できません。

\*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

\*3 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避(STM) / 復帰(LDM) できるレジスタとしては使えません。

### 2.6.3 命令の機能別一覧

各命令の機能について表 2.3 ~ 表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

#### 《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 \* 汎用レジスタは、8 ビット (R0H ~ R7H、R0L ~ R7L)、16 ビット (R0 ~ R7、E0 ~ E7)、または 32 ビットレジスタ (ER0 ~ ER7) です。

表 2.3 データ転送命令

命令	サイズ* <sup>1</sup>	機 能
MOV	B / W / L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、 POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* <sup>2</sup>	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* <sup>2</sup>	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 STM/LDM 命令においては、ER0 レジスタ ~ ER6 レジスタを使用してください。また、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

表 2.4 算術演算命令

命令	サイズ* <sup>1</sup>	機 能
ADD SUB	B / W / L	$Rd \pm Rs$ $Rd$ , $Rd \pm \#IMM$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C$ $Rd$ , $Rd \pm \#IMM \pm C$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ , $Rd \pm 4$ $Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10$ 進補正) $Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット 商 8 ビット余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
DIVXS	B / W	$Rd \div Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット 商 8 ビット余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

命令	サイズ* <sup>1</sup>	機 能
CMP	B/W/L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	0 - Rd Rd 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) Rd 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS	B	@ERd - 0、1 (<ビット7> of @ERd)* <sup>2</sup> メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。

【注】 \*1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

\*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd、Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数(論理的補数)をとります。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [ ~(<ビット番号>of<EAd>) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [ ~(<ビット番号>of<EAd>)) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BXOR	B	$C \oplus (\text{ビット番号} \text{ of } \text{EAd})$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim(\text{ビット番号} \text{ of } \text{EAd})]$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	$(\text{ビット番号} \text{ of } \text{EAd})$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim(\text{ビット番号} \text{ of } \text{EAd})$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C ( $\text{ビット番号} \text{ of } \text{EAd}$ ) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C$ ( $\text{ビット番号} \text{ of } \text{EAd}$ ) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。 分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td><math>N \oplus V = 0</math></td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td><math>N \oplus V = 1</math></td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N<math>\oplus</math>V) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N<math>\oplus</math>V) = 1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOW)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	Z (N $\oplus$ V) = 0	BLE	Less or Equal	Z (N $\oplus$ V) = 1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOW)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	Z (N $\oplus$ V) = 0																																																			
BLE	Less or Equal	Z (N $\oplus$ V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機 能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then   Repeat @ER5+ @ER6+     R4L - 1 R4L   Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then   Repeat @ER5+ @ER6+     R4 - 1 R4   Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

## 2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.12 に命令フォーマットの例を示します。

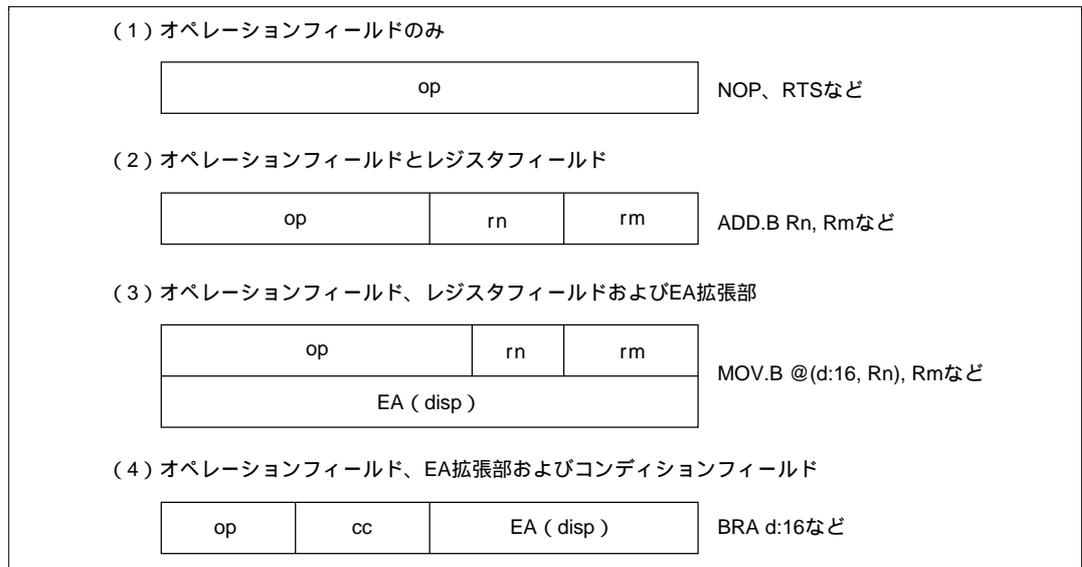


図 2.12 命令フォーマットの例

### (1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

### (2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

### (3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

### (4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

## 2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部 I/O レジスタのフラグを0にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが1にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

## 2.7 アドレッシングモードと実効アドレスの計算方法

### 2.7.1 アドレッシングモード

本CPUは表2.11に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

#### (1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0(H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に命令コード中に含まれる 16 ビットディスプレースメントまたは 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数になるようにしてください。

**(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32**

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32) です。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32) を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24) を使用します。上位8ビットはすべて0 (H'00) となります。

絶対アドレスのアクセス範囲を表2.12に示します。

表2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンスドモード
データ領域	8ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF, H'FF8000 ~ H'FFFFFF
	32ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24ビット (@aa:24)		

**(6) イミディエイト #xx:8 / #xx:16 / #xx:32**

命令コード中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コードの中に含まれます。

## (7) プログラムカウンタ相対 @ ( d:8, PC ) / @ ( d:16, PC )

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト ( - 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト ( - 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

## (8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 ( ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 4 章 例外処理」を参照してください。

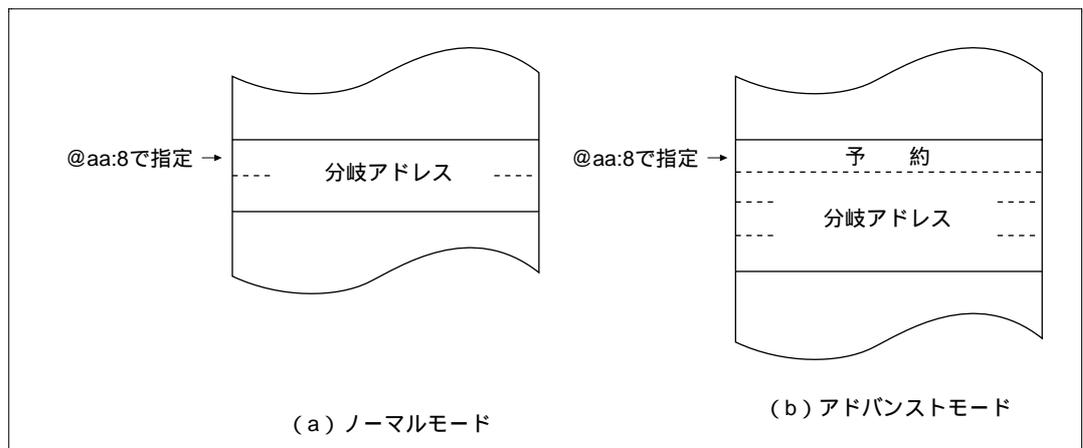


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

## 2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表2.13に示します。

ノーマルモードの場合、実効アドレスの上位8ビットは無視され、16ビットのアドレスとなります。

表2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
1	レジスタ直接 (Rn) <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">rm</div> <div style="border: 1px solid black; padding: 2px;">m</div> </div>		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	汎用レジスタの内容 <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">31</div> <div style="border: 1px solid black; padding: 2px;">汎用レジスタの内容</div> <div style="border: 1px solid black; padding: 2px;">0</div> </div>	31 24 23 Don't care 0
3	ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> <div style="border: 1px solid black; padding: 2px;">disp</div> </div>	汎用レジスタの内容 + 符号拡張 disp <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">31</div> <div style="border: 1px solid black; padding: 2px;">汎用レジスタの内容</div> <div style="border: 1px solid black; padding: 2px;">0</div> <div style="border: 1px solid black; padding: 2px;">+</div> <div style="border: 1px solid black; padding: 2px;">0</div> <div style="border: 1px solid black; padding: 2px;">disp</div> <div style="border: 1px solid black; padding: 2px;">31</div> </div>	31 24 23 Don't care 0
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ ・プリデクリメントレジスタ間接 @-ERn <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	汎用レジスタの内容 ± 1, 2または4 disp <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px;">31</div> <div style="border: 1px solid black; padding: 2px;">汎用レジスタの内容</div> <div style="border: 1px solid black; padding: 2px;">0</div> <div style="border: 1px solid black; padding: 2px;">±</div> <div style="border: 1px solid black; padding: 2px;">0</div> <div style="border: 1px solid black; padding: 2px;">1, 2または4</div> <div style="border: 1px solid black; padding: 2px;">disp</div> <div style="border: 1px solid black; padding: 2px;">31</div> </div>	31 24 23 Don't care 0

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op    abs		31    24 23    8 7    0 Don't care    HFFFFFF
	@aa:16 op    abs		31    24 23    16 15    0 Don't care    符号拡張
	@aa:24 op    abs		31    24 23    0 Don't care
	@aa:32 op    abs		31    24 23    0 Don't care
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op    IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	<p>プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)</p>		
8	<p>メモリ間接 @aa:8 ・ノーマルモード</p>		
	<p>・アドバンストモード</p>		

## 2.8 処理状態

### 2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.14 に、処理状態間の遷移を図 2.15 に示します。

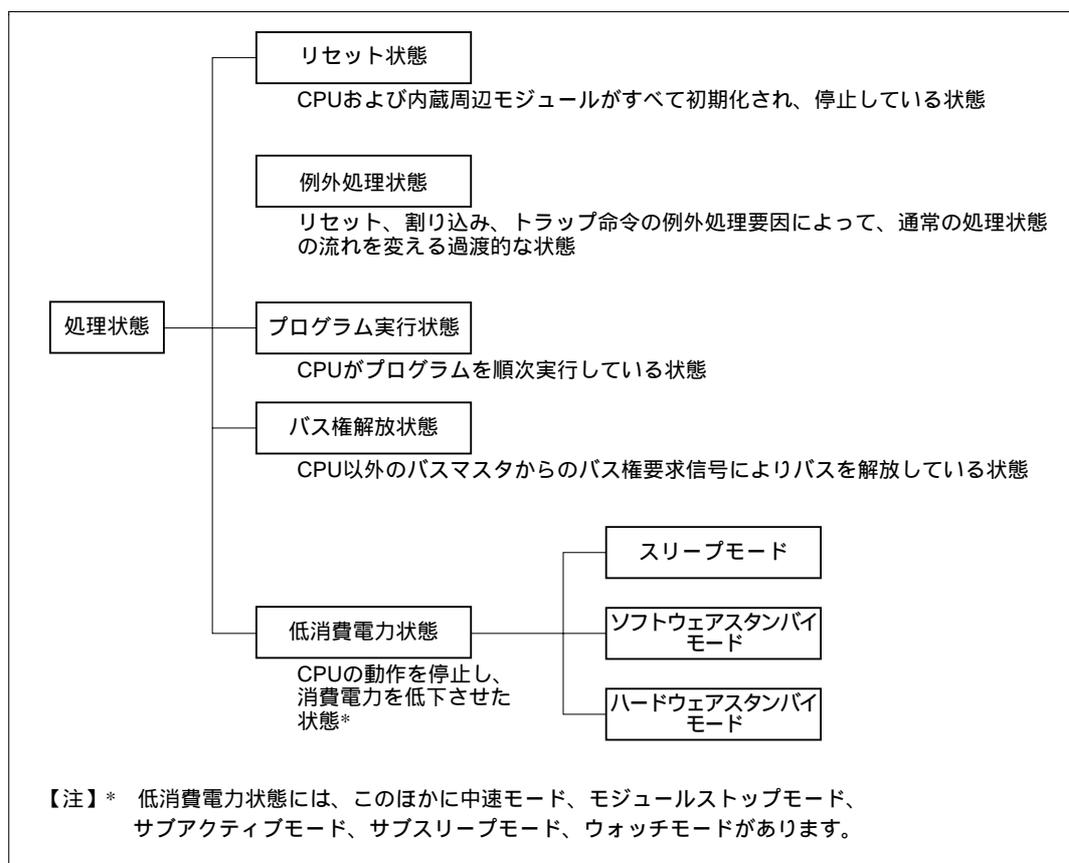


図 2.14 処理状態の分類

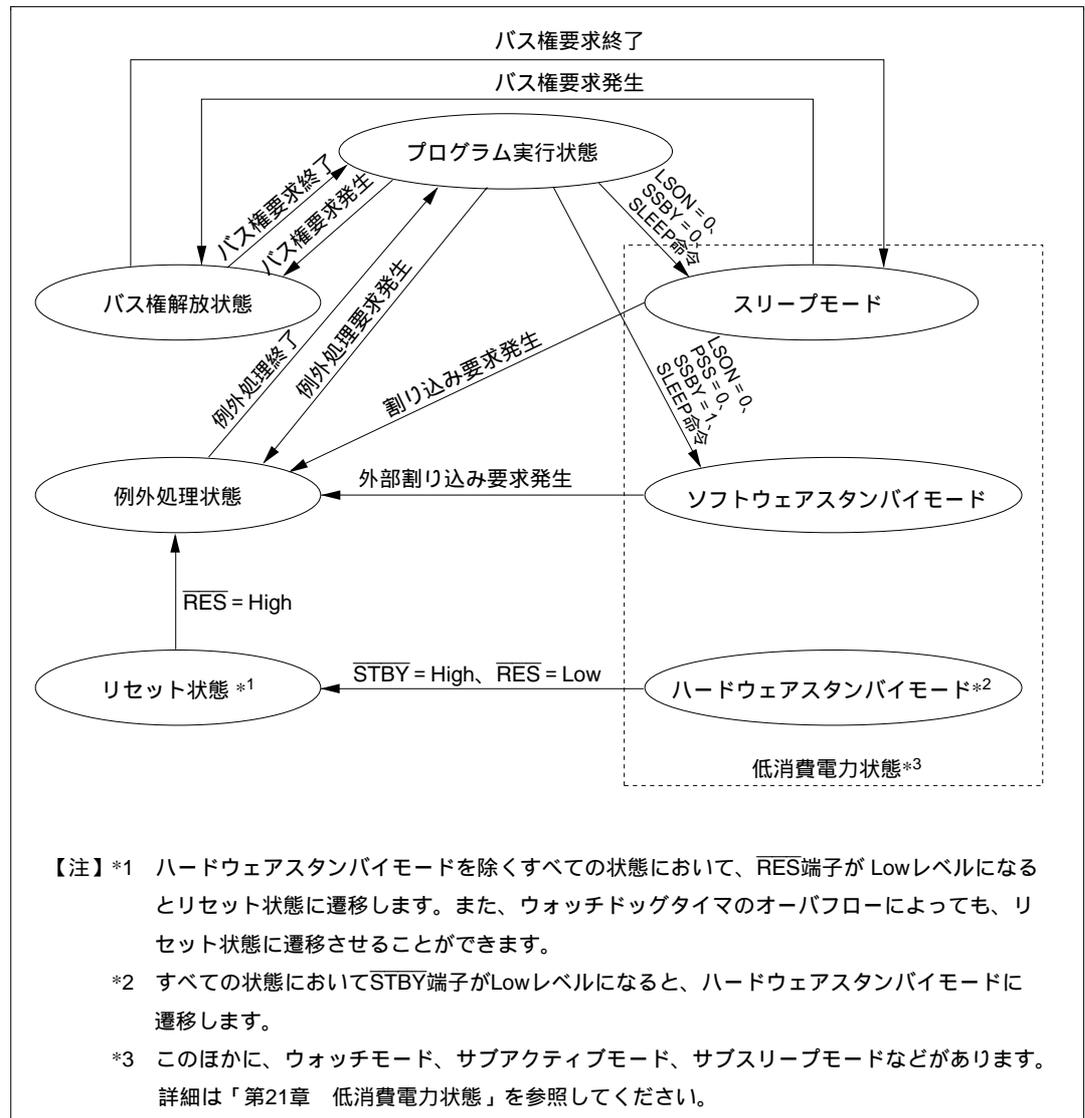


図 2.15 状態遷移図

## 2.8.2 リセット状態

$\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$  端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

### 2.8.3 例外処理状態

例外処理状態は、リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

#### (1) 例外処理の種類と優先度

例外処理要因には、リセット、割り込み、およびトラップ命令があります。表2.14に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑	リセット	クロック同期	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドックタイマのオーバフローにより例外処理を開始します。
	割り込み	命令実行終了時または例外処理終了時* <sup>1</sup>	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
低	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。* <sup>2</sup>

【注】 \*1 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

\*2 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

## (2) リセット例外処理

$\overline{\text{RES}}$  端子を Low レベルにして、リセット状態とした後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理を開始します。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

## (3) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

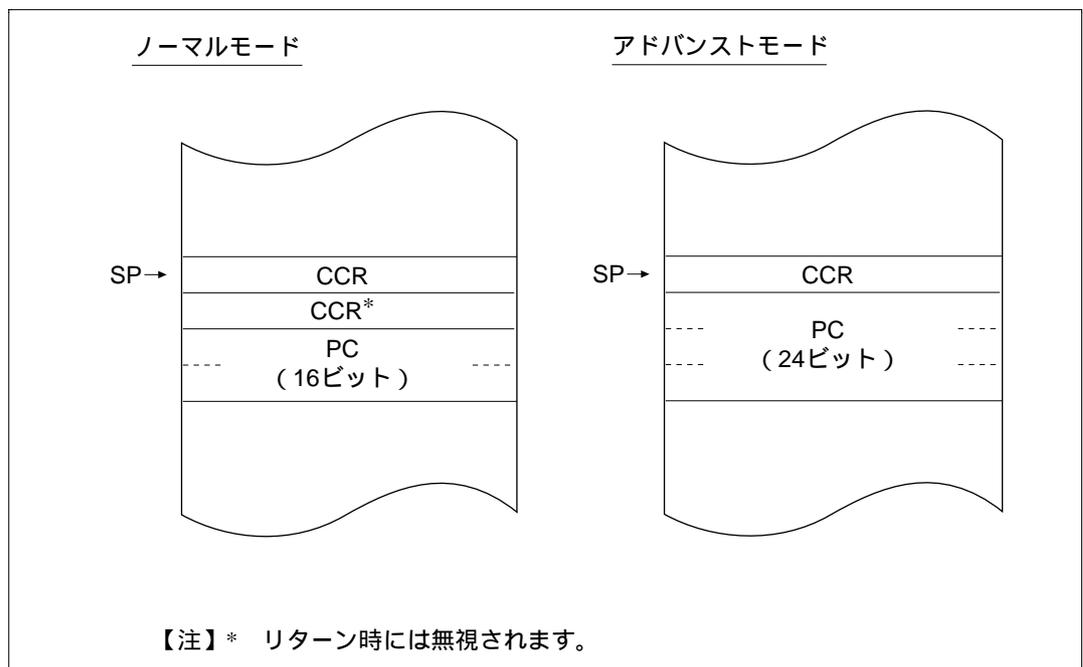


図 2.16 例外処理終了後のスタックの状態（例）

## 2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

## 2.8.5 バス権解放状態

CPU以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPUは内部動作を除き動作を停止します。

なお、CPU以外のバスマスタにはデータトランスファコントローラ(DTC)があります。詳細は、「第6章 バスコントローラ」を参照してください。

## 2.8.6 低消費電力状態

低消費電力状態には、CPUの動作を停止した状態と、CPUの動作を停止しない状態があります。CPUの動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモード、サブスリープモード、ウォッチモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモード、サブアクティブモードがあります。中速モードではCPUおよびその他のバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU以外のモジュールの動作を停止します。サブアクティブモード、サブスリープモード、ウォッチモードはサブクロック入力を利用した低消費電力状態です。詳細は「第21章 低消費電力状態」を参照してください。

### (1) スリープモード

スリープモードには、SBYCRのSSBYビット=0、LPWRCRのLSONビット=0の状態です。SLEEP命令を実行することによって遷移します。スリープモードでは、CPUの動作はSLEEP命令実行直後で停止します。CPUの内部レジスタの内容は保持されます。

### (2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCRのSSBYビット=1、LPWRCRのLSONビット=0、TCSR(WDT1)のPSSビット=0の状態です。SLEEP命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPUおよびクロックをはじめMCUのすべての動作が停止します。規定の電圧が与えられている限り、CPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

### (3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$ 端子をLowレベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPUおよびクロックをはじめMCUのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

## 2.9 基本動作タイミング

### 2.9.1 概要

本 CPU は、システムクロック ( ) を基準に動作しています。 の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

### 2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは1ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアccessサイクルを図 2.17 に、端子状態を図 2.18 に示します。

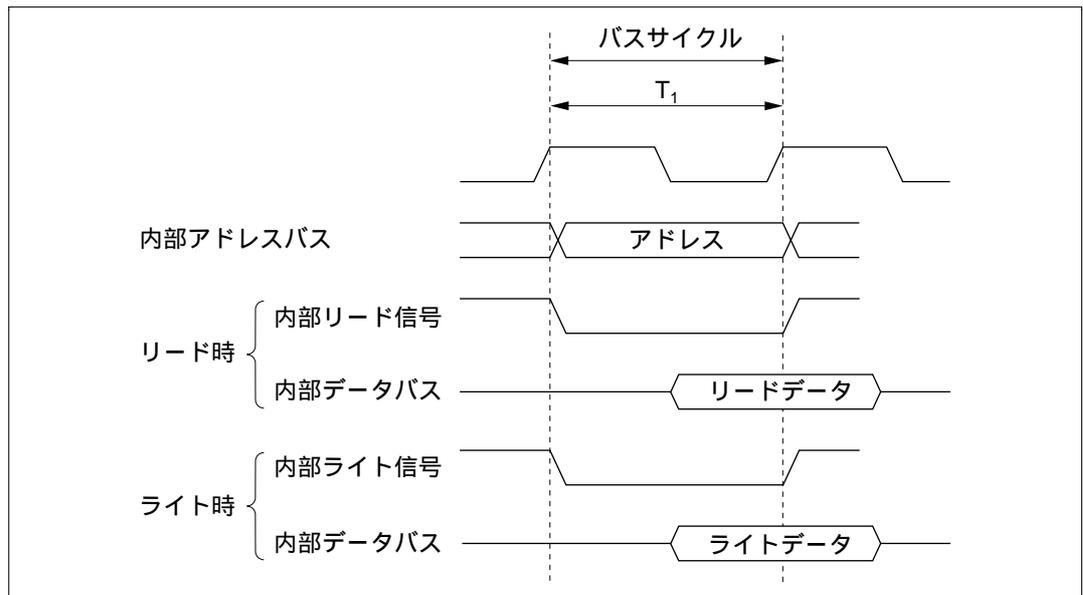


図 2.17 内蔵メモリアccessサイクル

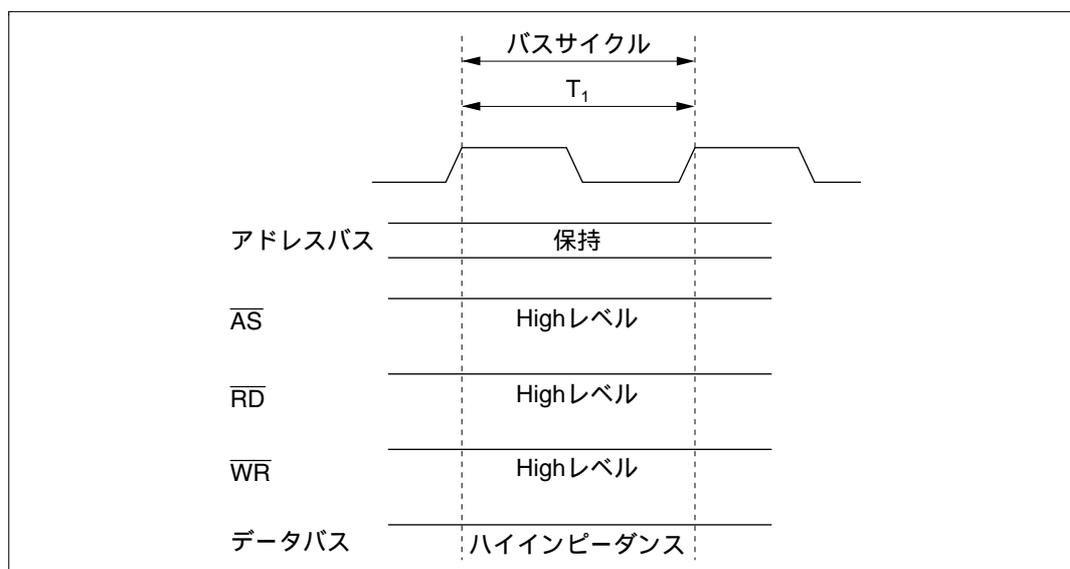


図 2.18 内蔵メモリアクセス時の端子状態

### 2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.19、端子状態を図2.20に示します。

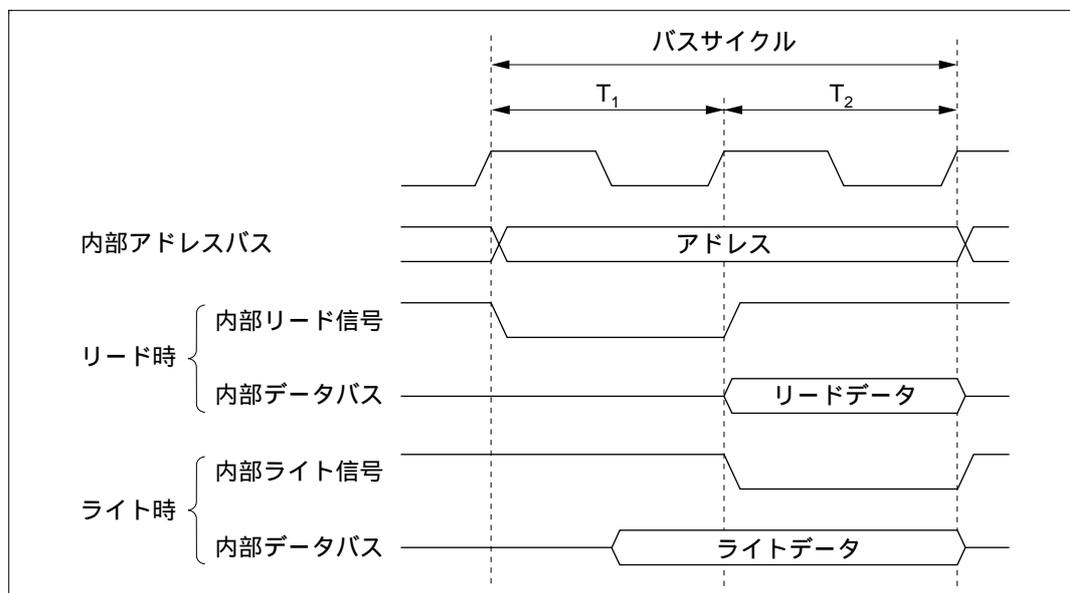


図 2.19 内蔵周辺モジュールアクセスサイクル

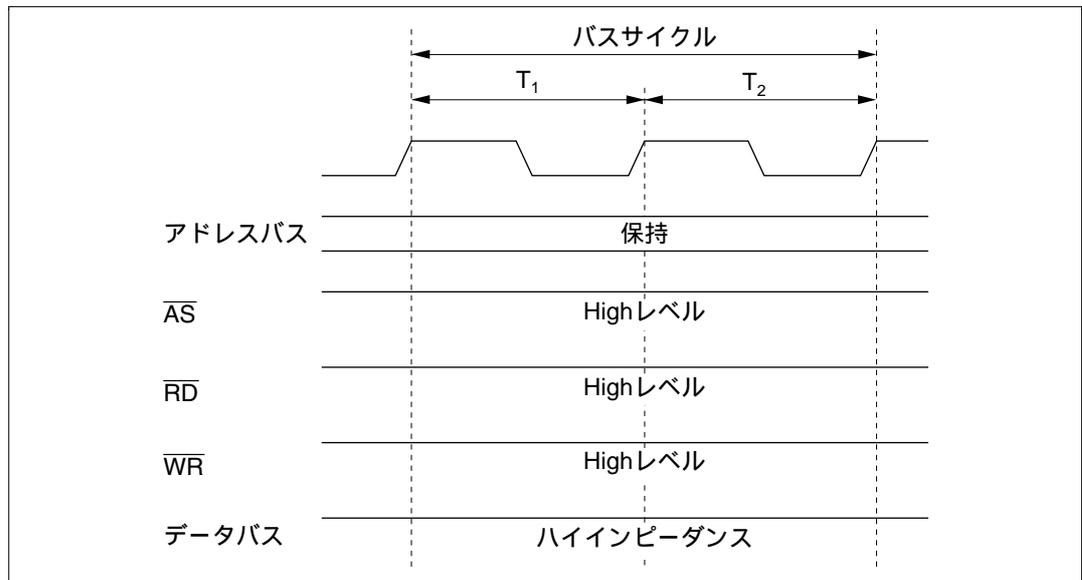


図 2.20 内蔵周辺モジュールアクセス時の端子状態

#### 2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は8ビット、バスサイクルは2ステートまたは3ステートです。3ステートアクセスではウェイトステートを挿入することができます。詳細は「第6章 バスコントローラ」を参照してください。

## 2.10 使用上の注意

### 2.10.1 TAS 命令使用上の注意

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

### 2.10.2 STM/LDM 命令使用上の注意

STM/LDM 命令において、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサス製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

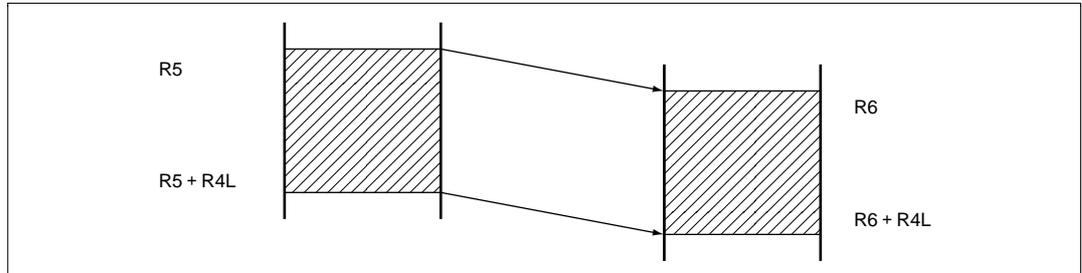
### 2.10.3 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

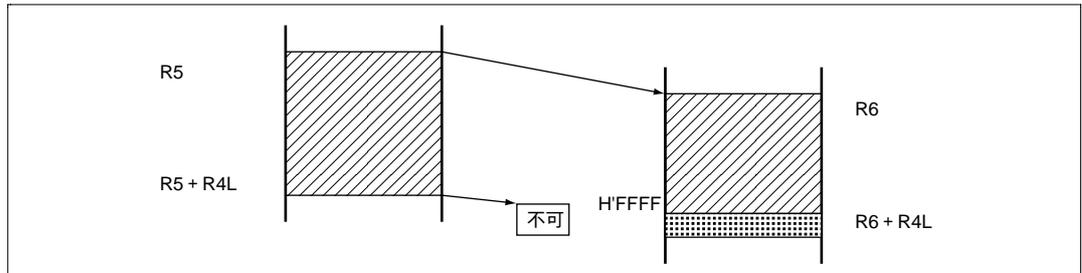
また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

## 2.10.4 EEPMOV 命令

(1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



(2) 転送先の最終アドレス (R6 + R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4L、R6 を設定してください。



---

# 3. MCU 動作モード

---

## 第3章 目次

3.1	概要.....	79
	3.1.1 動作モードの選択.....	79
	3.1.2 レジスタ構成.....	80
3.2	各レジスタの説明.....	81
	3.2.1 モードコントロールレジスタ (MDCR) .....	81
	3.2.2 システムコントロールレジスタ (SYSCR) .....	82
	3.2.3 バスコントロールレジスタ (BCR) .....	84
	3.2.4 シリアルタイマコントロールレジスタ (STCR) .....	85
3.3	各動作モードの説明.....	87
	3.3.1 モード1 .....	87
	3.3.2 モード2 .....	87
	3.3.3 モード3 .....	87
3.4	各動作モードにおける端子機能.....	88
3.5	各動作モードのアドレスマップ.....	89



## 3.1 概要

### 3.1.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1~3）があります。これらのモードは、モード端子（MD1~MD0）の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効/無効を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD1	MD0	CPU 動作モード	内容	内蔵 ROM
0	0	0	-	-	-
1		1	ノーマル	内蔵 ROM 無効拡張モード	無効
2	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	有効
3		1	ノーマル	内蔵 ROM 有効拡張モード シングルチップモード	

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。ただし、外部アドレス出力端子は 16 本であるため、アドバンスモードは、シングルチップモード、または内蔵 ROM 有効拡張モードで、 $\overline{IOS}$  を利用して外部アドレス空間の特定エリアをアクセスする場合でのみ有効です。また、外部データバス幅は 8 ビットです。

モード 1 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。モード 2、3 は、リセット解除後シングルチップモードで動作を開始しますが、MDCR の EXPE ビットをセットすることにより、外部拡張モードに移行することができます。

モード 1~3 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 1~3 になるように設定してください。

モード端子は、動作中に変化させないでください。

### 3.1.2 レジスタ構成

本 LSI にはモード端子 (MD1 ~ MD0) の状態が反映されるモードコントロールレジスタ (MDCR) と、本 LSI の動作を制御するシステムコントロールレジスタ (SYSCR)、バスコントロールレジスタ (BCR) および周辺機能の動作を制御するシリアルタイムコントロールレジスタ (STCR) があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FFC5
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4
バスコントロールレジスタ	BCR	R/W	H'D7	H'FFC6
シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 \* アドレスの下位 16 ビットを示しています。

## 3.2 各レジスタの説明

### 3.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	EXPE	-	-	-	-	-	MDS1	MDS0
初期値：	-*	0	0	0	0	0	-*	-*
R/W	R/W*	-	-	-	-	-	R	R

【注】\* MD1～MD0端子により決定されます。

MDCRは8ビットのリード専用レジスタで、本LSIの動作モードの設定および現在の動作モードをモニタするのに用います。

EXPEビットは、リセットまたはハードウェアスタンバイモード時に、モード端子の状態に関連付けられて初期化されます。

#### ビット7：拡張モードイネーブル (EXPE)

拡張モードを設定します。モード1の場合、1に固定されており、ライトは無効です。モード2、3の場合、初期値は0で、リード/ライト可能です。

ビット7	説明
EXPE	
0	シングルチップモードを選択
1	拡張モードを選択

#### ビット6～2：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

#### ビット1～0：モードセレクト1～0 (MDS1～MDS0)

モード端子 (MD1～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1～MDS0ビットはMD1～MD0端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCRをリードすると、モード端子 (MD1～MD0) の入力レベルがこれらのビットにラッチされます。

## 3.2.2 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、システム端子機能の選択、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ここでは、ビット 7、6、3、1、0 についてのみ説明します。これらのビットの詳細については、関連するモジュール（バスコントローラ、ウォッチドッグタイマ、RAM など）の説明をあわせて参照してください。ビット 5、4、2 の詳細については「5.2.1 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## ビット 7：チップセレクト 2 イネーブル (CS2E)

ホストインタフェースの制御端子の配置を指定します。本 LSI にはホストインタフェースは内蔵されていないので、1 にセットしないでください。

## ビット 6：IOS イネーブル (IOSE)

拡張モード時の  $\overline{AS}/\overline{IOS}$  端子の機能を制御します。

ビット 6	説明
IOSE	
0	$\overline{AS}/\overline{IOS}$ 端子はアドレスストロブ端子 ( $\overline{AS}$ ) (外部エリアアクセス時に Low 出力) (初期値)
1	$\overline{AS}/\overline{IOS}$ 端子は I/O ストロブ端子 ( $\overline{IOS}$ ) (アドレス H'(FF)F000 ~ H'(FF)FE4F の指定アドレスアクセス時に Low 出力)

## ビット3：外部リセット (XRST)

XRST はリセット要因を表すビットです。リセットは外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生できます。XRST ビットはリード専用です。外部リセットにより1にセット、ウォッチドッグタイマオーバフローにより0にクリアされます。

ビット3	説明
XRST	
0	リセットがウォッチドッグタイマオーバフローで発生
1	リセットが外部リセットで発生 (初期値)

## ビット1：ホストインタフェースイネーブル (HIE)

周辺モジュール制御レジスタのCPUアクセスを許可または禁止します。

8ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ (TCRX/TCRY、TCSRX/TCSRY、TICRR/TCORAY、TICRF/TCORBY、TCNTX/TCNTY、TCORC/TISR、TCORAX、TCORBX)、タイマコネクシオンの制御レジスタ (TCONRI、TCONRO、TCONRS、SEDGR) のCPUアクセスを制御します。

ビット1	説明
HIE	
0	アドレス H'(FF)FFF0~H'(FF)FFF7、H'(FF)FFFC~H'(FF)FFFF のエリアは、8ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、およびタイマコネクシオンの制御レジスタのCPUアクセスを許可 (初期値)
1	アドレス H'(FF)FFF0~H'(FF)FFF7、H'(FF)FFFC~H'(FF)FFFF のエリアは、8ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、およびタイマコネクシオンの制御レジスタのCPUアクセスを禁止

ビット0：RAMイネーブル（RAME）

内蔵RAMの有効または無効を選択します。RAMEビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

### 3.2.3 バスコントロールレジスタ（BCR）

ビット：	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0		IOS1	IOS0
初期値：	1	1	0	1	0	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRは8ビットのリード/ライト可能なレジスタで、外部メモリ空間のアクセスモード、 $\overline{AS}$ 端子をI/Oストロブ機能に設定した場合のI/O領域の範囲を設定します。ビット7~2の詳細は「6.2.1 バスコントロールレジスタ（BCR）」を参照してください。

BCRは、リセットおよびハードウェアスタンバイモード時に、H'D7に初期化されます。

ビット1~0：IOSセレクト1、0（IOS1,0）

IOSE = 1の場合に、 $\overline{AS}/\overline{IOS}$ 端子をLow出力とするアドレスを指定します。

BCR		説明
ビット1	ビット0	
IOS1	IOS0	
0	0	アドレス H'(FF)F000 ~ H'(FF)F03F アクセス時に Low 出力
	1	アドレス H'(FF)F000 ~ H'(FF)F0FF アクセス時に Low 出力
1	0	アドレス H'(FF)F000 ~ H'(FF)F3FF アクセス時に Low 出力
	1	アドレス H'(FF)F000 ~ H'(FF)FE4F アクセス時に Low 出力 (初期値)

### 3.2.4 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	-	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御(IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御(F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。レジスタアクセスの制御以外の詳細は、各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 にイニシャライズされます。

#### ビット7 : リザーブビット

リザーブビットです。1 にセットしないでください。

#### ビット6、5 : I<sup>2</sup>C トランスファレートセレクト 1、0 (IICX1、IICX0)

IIC 内蔵オプションの場合、I<sup>2</sup>C バスインタフェースの動作を制御するビットです。詳しくは「16.2.7 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

#### ビット4 : I<sup>2</sup>C マスタイネーブル (IICE)

I<sup>2</sup>C バスインタフェースのデータレジスタと制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR)、PWMX のデータレジスタと制御レジスタ (DADRAH/DACR、DADRAL、DADRBH/DACNTH、DADRBL/DACNTL)、SCI の制御レジスタ (SMR、BRR、SCMR) の CPU アクセスを制御します。

ビット4	説明
IICE	
0	アドレス H'(FF)FF88 ~ H'(FF)FF89、H'(FF)FF8E ~ H'(FF)FF8F のエリアは、SCI1 の制御レジスタをアクセス アドレス H'(FF)FFD8 ~ H'(FF)FFD9、H'(FF)FFDE ~ H'(FF)FFDF のエリアは、SCI0 の制御レジスタをアクセス (初期値)
1	アドレス H'(FF)FF88 ~ H'(FF)FF89、H'(FF)FF8E ~ H'(FF)FF8F のエリアは、IIC1 のデータレジスタおよび制御レジスタをアクセス アドレス H'(FF)FFA0 ~ H'(FF)FFA1、H'(FF)FFA6 ~ H'(FF)FFA7 のエリアは、PWMX のデータレジスタおよび制御レジスタをアクセス アドレス H'(FF)FFD8 ~ H'(FF)FFD9、H'(FF)FFDE ~ H'(FF)FFDF のエリアは、IIC0 のデータレジスタおよび制御レジスタをアクセス

#### ビット3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2)、低消費電力状態の制御レジスタ (SBYCR、LPWRCR、MSTPCRH、MSTPCRL)、および周辺モジュールの制御レジスタ (PCSR) の CPU アクセスを制御します。

ビット3	説明
FLSHE	
0	アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、低消費電力状態の制御レジスタおよび周辺モジュールの制御レジスタをアクセス (初期値)
1	アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、フラッシュメモリの制御レジスタをアクセス (F-ZTAT 版のみ)

#### ビット2：リザーブビット

リザーブビットです。1 にセットしないでください。

#### ビット1、0：インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

TCR の CKS2 ~ CKS0 ビットとともに、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

## 3.3 各動作モードの説明

### 3.3.1 モード 1

CPUはノーマルモードでアドレス空間は64kバイトです。内蔵ROMは無効です。

ポート1、2がアドレスバス、ポート3がデータバス、ポート4の一部がバス制御信号となります。

### 3.3.2 モード 2

CPUはアドバンスモードでアドレス空間は16Mバイトです。内蔵ROMは有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためにはMDCRのEXPEビットを1にセットする必要があります。ただし、本LSIのアドレス出力は最大16本であるため、 $\overline{AS}/\overline{IOS}$ 端子のI/Oストロブ機能を利用する場合のみ外部アドレスを正確に指定することができます。

MDCRのEXPEビットを1にセットすると、ポート1、2のリセット後は入力ポートになっていますが、対応するDDR（データディレクションレジスタ）を1にセットすることにより、アドレスを出力することができます。ポート3がデータバス、ポート4の一部がバス制御信号となります。

### 3.3.3 モード 3

CPUはノーマルモードでアドレス空間は64kバイトです。内蔵ROMは有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためにはMDCRのEXPEビットを1にセットする必要があります。

MDCRのEXPEビットを1にセットすると、ポート1、2はリセット後は入力ポートになっていますが、対応するDDR（データディレクションレジスタ）を1にセットすることにより、アドレスを出力することができます。ポート3がデータバス、ポート4の一部がバス制御信号となります。

本動作モードでは、内蔵ROM容量が64kバイト以上の製品で使用できる内蔵ROM容量は56kバイトに制限されます。

## 3.4 各動作モードにおける端子機能

動作モードにより、ポート1~4の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表3.3に示します。

表3.3 各動作モードにおける端子機能

ポート		モード1	モード2	モード3
ポート1		A	P*/A	P*/A
ポート2		A	P*/A	P*/A
ポート3		D	P*/D	P*/D
ポート4	P47	P*/C	P*/C	P*/C
	P46	C*/P	P*/C	P*/C
	P45~P43	C	P*/C	P*/C
	P42~P40	P	P	P

**【記号説明】**

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- \* : リセット直後

### 3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図3.1～図3.3に示します。

アドレス空間はモード1、3(ノーマルモード)では64kバイトです。また、モード2(アドバンスモード)では16Mバイトです。

本LSIの内蔵ROMの容量は32kバイト(H8S/2126、H8S/2120)、64kバイト(H8S/2127、H8S/2122)または128kバイト(H8S/2128)ですが、モード3(ノーマルモード)では、64kバイト以上の容量の製品では使用できる内蔵ROMの容量は56kバイトになります。

リザーブエリアおよび内部I/Oレジスタ空間で、製品でサポートしていないモジュールのレジスタアドレスは、アクセスしないでください。

詳細は、「第6章 バスコントローラ」を参照してください。

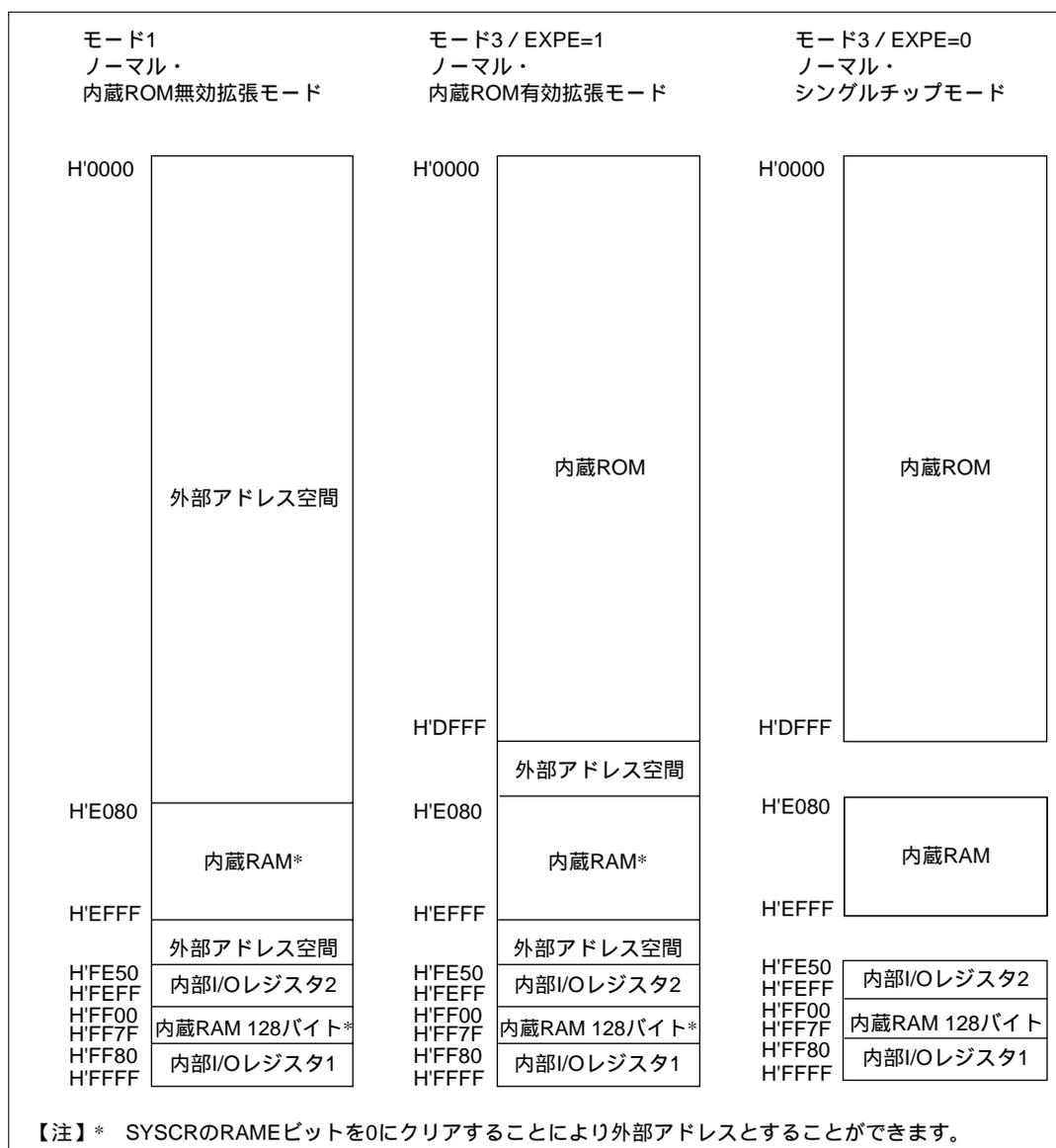


図3.1 H8S/2128の各動作モードのアドレスマップ(1)

### 3. MCU動作モード

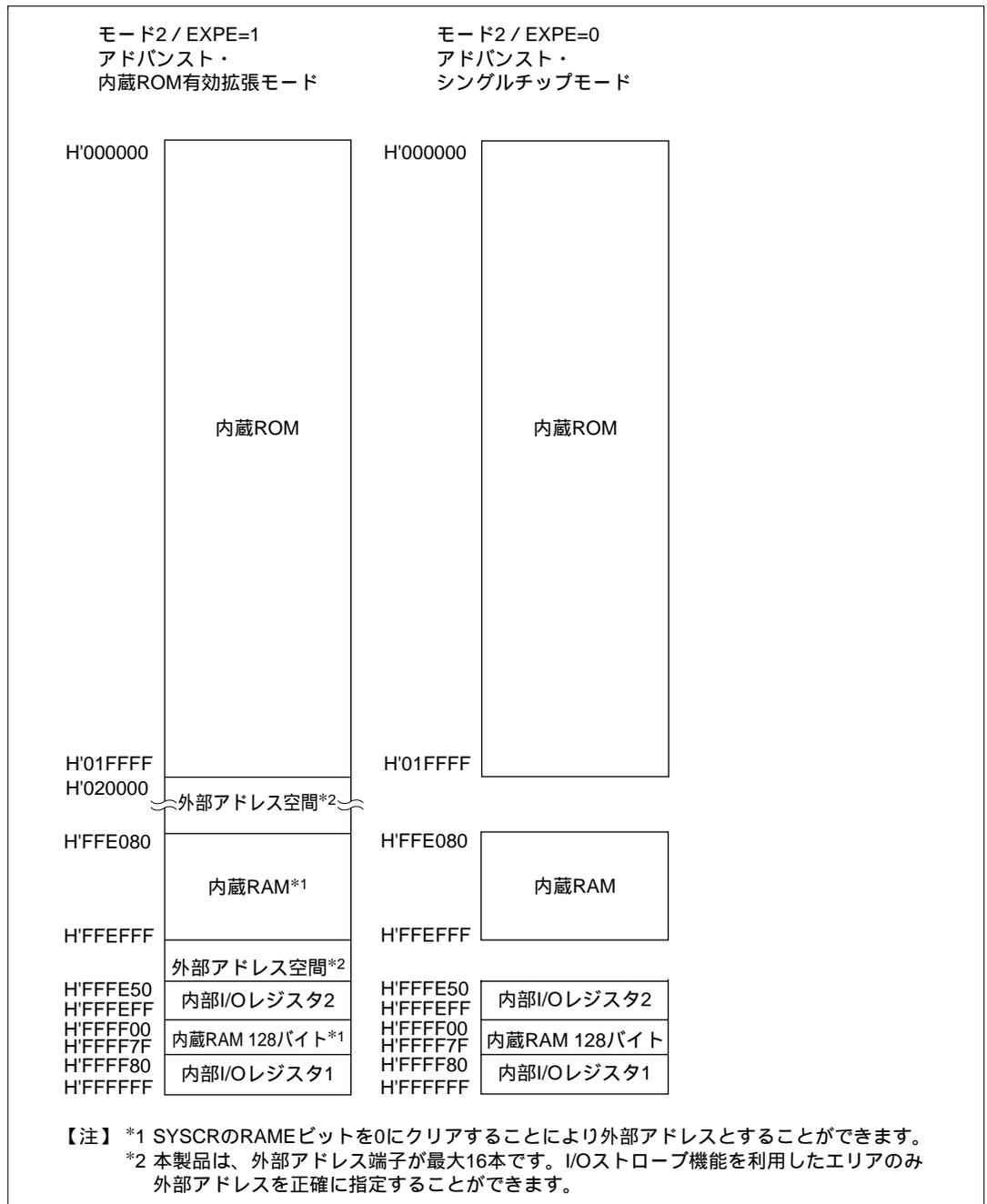


図 3.1 H8S/2128 の各動作モードのアドレスマップ (2)



図 3.2 H8S/2127、H8S/2122 の各動作モードのアドレスマップ (1)

### 3. MCU動作モード

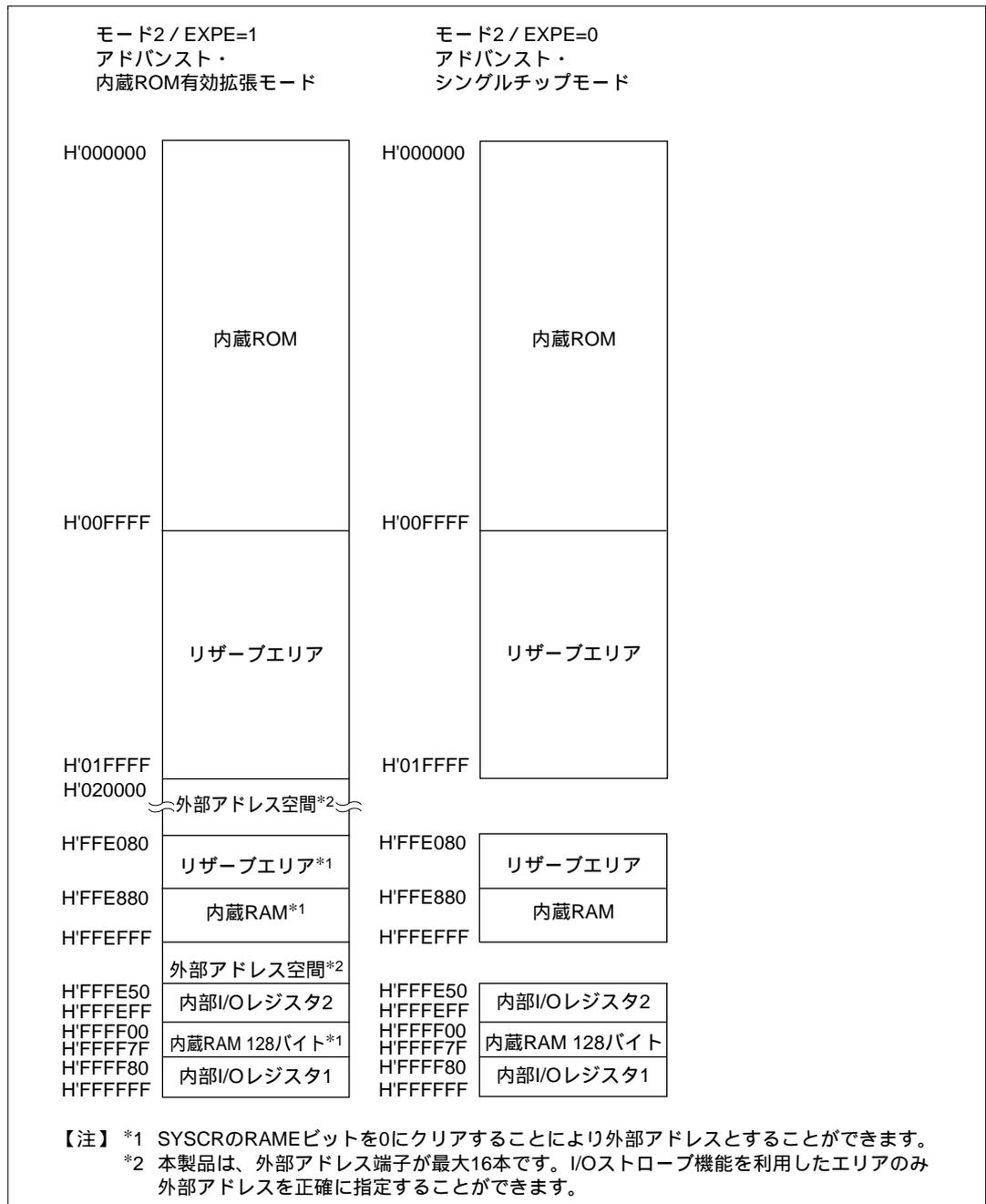


図 3.2 H8S/2127、H8S/2122 の各動作モードのアドレスマップ (2)

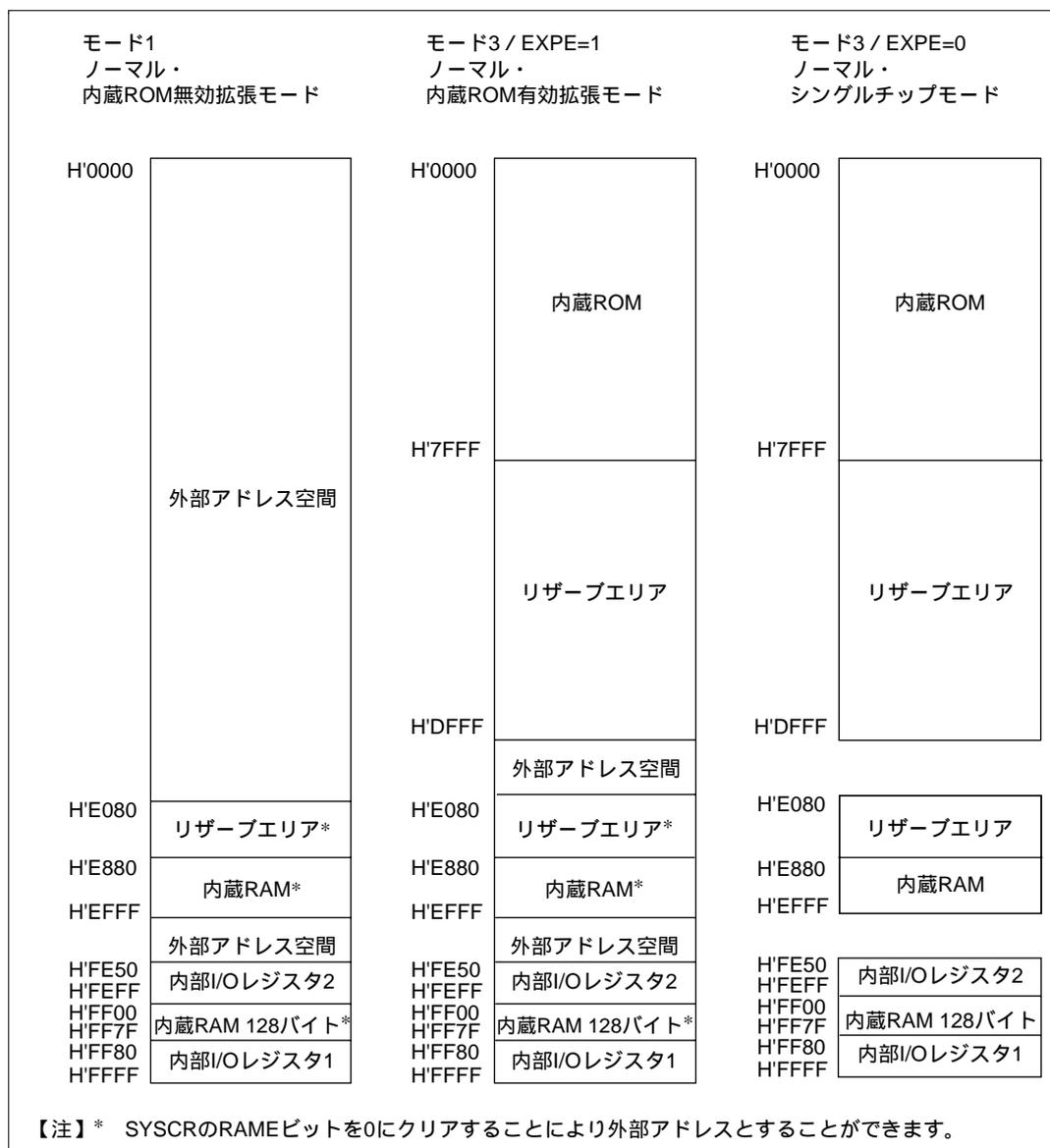


図 3.3 H8S/2126、H8S/2120 の各動作モードのアドレスマップ (1)

### 3. MCU動作モード

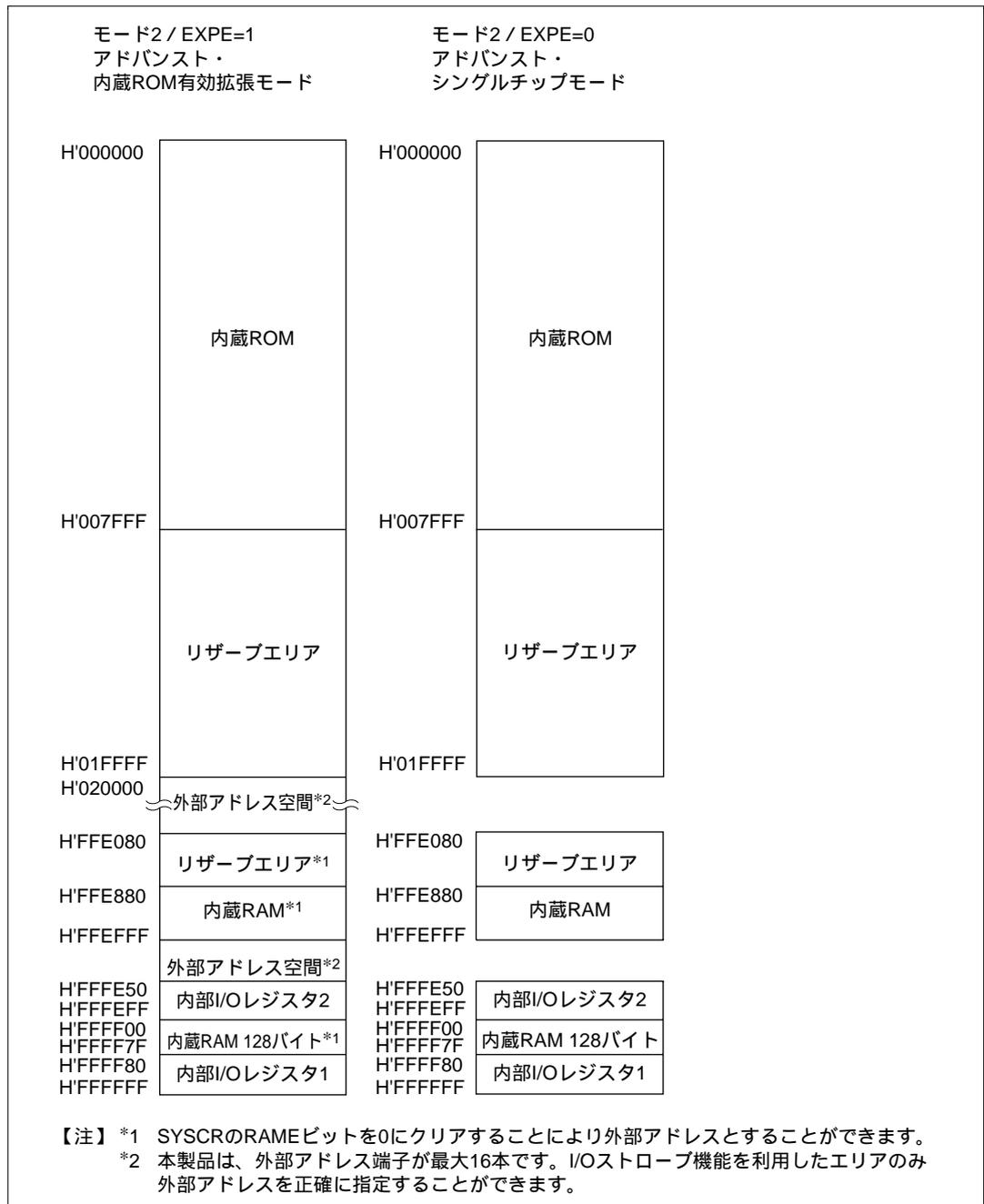


図 3.3 H8S/2126、H8S/2120 の各動作モードのアドレスマップ (2)

---

# 4. 例外処理

---

## 第4章 目次

4.1	概要	97
4.1.1	例外処理の種類と優先度	97
4.1.2	例外処理の動作	98
4.1.3	例外処理要因とベクタテーブル	98
4.2	リセット	100
4.2.1	概要	100
4.2.2	リセットシーケンス	100
4.2.3	リセット直後の割り込み	102
4.3	割り込み	103
4.4	トラップ命令	104
4.5	例外処理後のスタックの状態	105
4.6	スタック使用上の注意	106



## 4.1 概要

### 4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、直接遷移、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。
	トレース	トレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。(本 LSI では使用できません。)
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。*1
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	トラップ命令*2 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 \*1 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

\*2 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

### 4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- [1] プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）をスタックに退避します。
- [2] 割り込みマスクビットを更新します。Tビットを0にクリアします。
- [3] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [2]、[3] の動作を行います。

### 4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

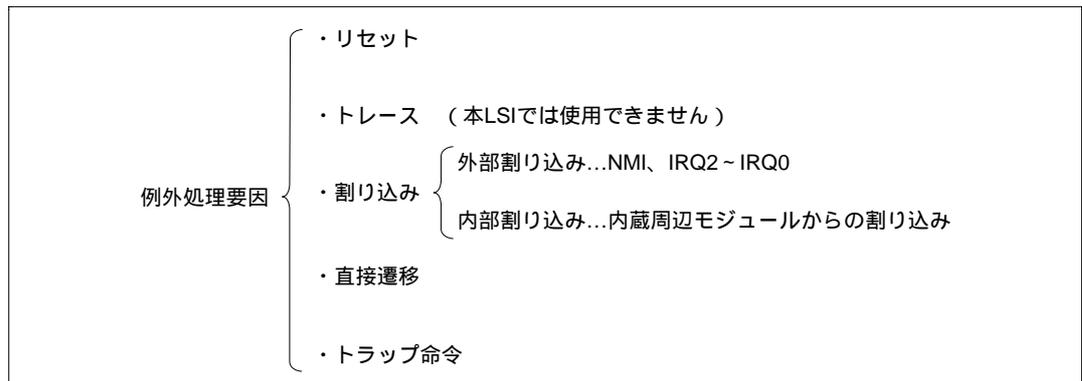


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1	
			ノーマルモード	アドバンスモード
リセット		0	H'0000 ~ H'0001	H'0000 ~ H'0003
システム予約		1	H'0002 ~ H'0003	H'0004 ~ H'0007
		2	H'0004 ~ H'0005	H'0008 ~ H'000B
		3	H'0006 ~ H'0007	H'000C ~ H'000F
		4	H'0008 ~ H'0009	H'0010 ~ H'0013
		5	H'000A ~ H'000B	H'0014 ~ H'0017
直接遷移		6	H'000C ~ H'000D	H'0018 ~ H'001B
外部割り込み	NMI	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0010 ~ H'0011	H'0020 ~ H'0023
		9	H'0012 ~ H'0013	H'0024 ~ H'0027
		10	H'0014 ~ H'0015	H'0028 ~ H'002B
		11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約		12	H'0018 ~ H'0019	H'0030 ~ H'0033
		13	H'001A ~ H'001B	H'0034 ~ H'0037
		14	H'001C ~ H'001D	H'0038 ~ H'003B
		15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み	IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
	IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
	IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
リザーブ		19	H'0026 ~ H'0027	H'004C ~ H'004F
		20	H'0028 ~ H'0029	H'0050 ~ H'0053
		21	H'002A ~ H'002B	H'0054 ~ H'0057
		22	H'002C ~ H'002D	H'0058 ~ H'005B
		23	H'002E ~ H'002F	H'005C ~ H'005F
内部割り込み*2		24	H'0030 ~ H'0031	H'0060 ~ H'0063
		103	H'00CE ~ H'00CF	H'019C ~ H'019F

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

## 4.2 リセット

### 4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$  端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

### 4.2.2 リセットシーケンス

$\overline{\text{RES}}$  端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は最低 20 ステートの間、Low レベルにしてください。リセット時の各端子の状態は「付録 D.1. 各処理状態におけるポートの状態」を参照してください。

$\overline{\text{RES}}$  端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- [ 1 ] CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
- [ 2 ] リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

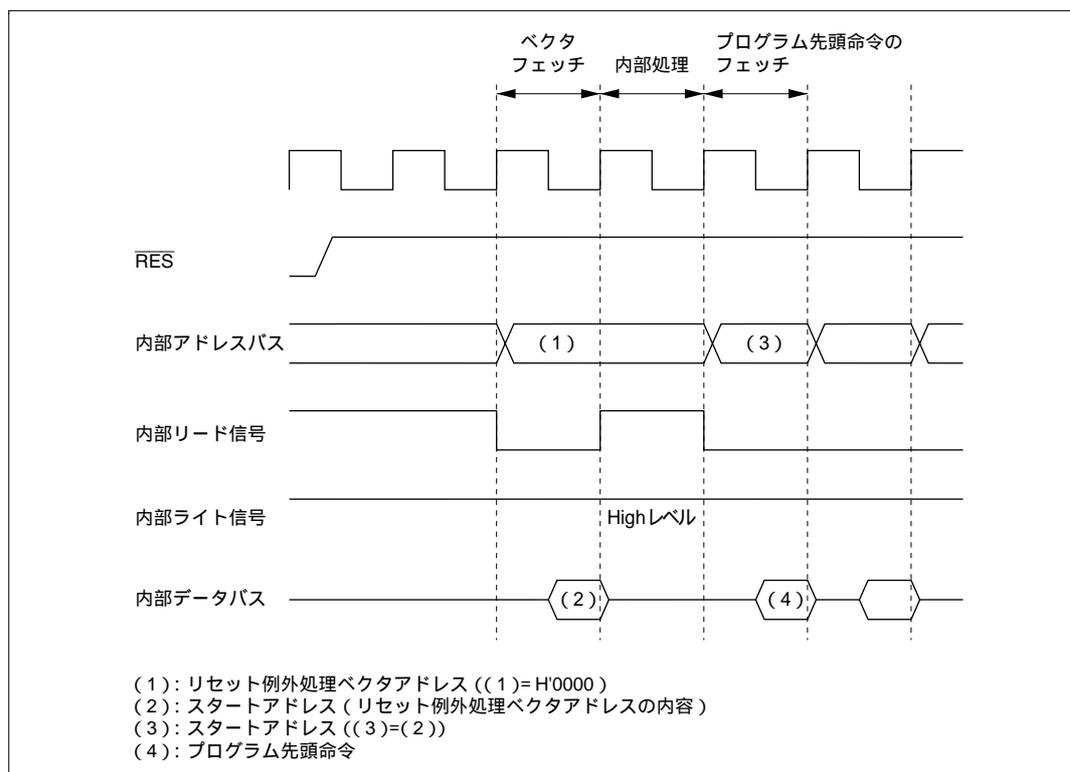


図 4.2 リセットシーケンス (モード3)

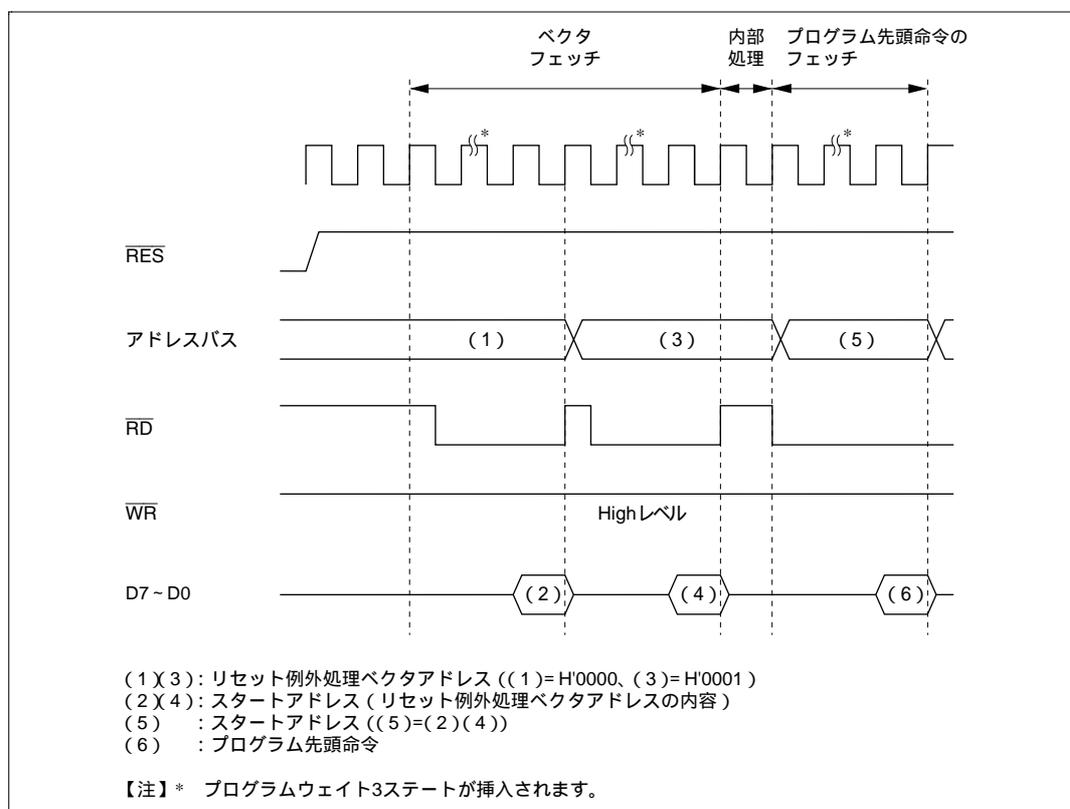


図 4.3 リセットシーケンス (モード1)

### 4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例 : `MOV.L #xx : 32, SP`)。

## 4.3 割り込み

割り込み例外処理を開始させる要因には、4本の外部割り込み（NMI、IRQ2～IRQ0）と、内蔵周辺モジュールからの要求による内部要因があります。割り込み要因と要因数を図4.4に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、16ビットフリーランニングタイマ（FRT）、8ビットタイマ（TMR）、シリアルコミュニケーションインタフェース（SCI）、データトランスファコントローラ（DTC）、A/D変換器（ADC）、I<sup>2</sup>Cバスインタフェース【オプション】などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMIは最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMIとアドレスブレーク以外の割り込みに3レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

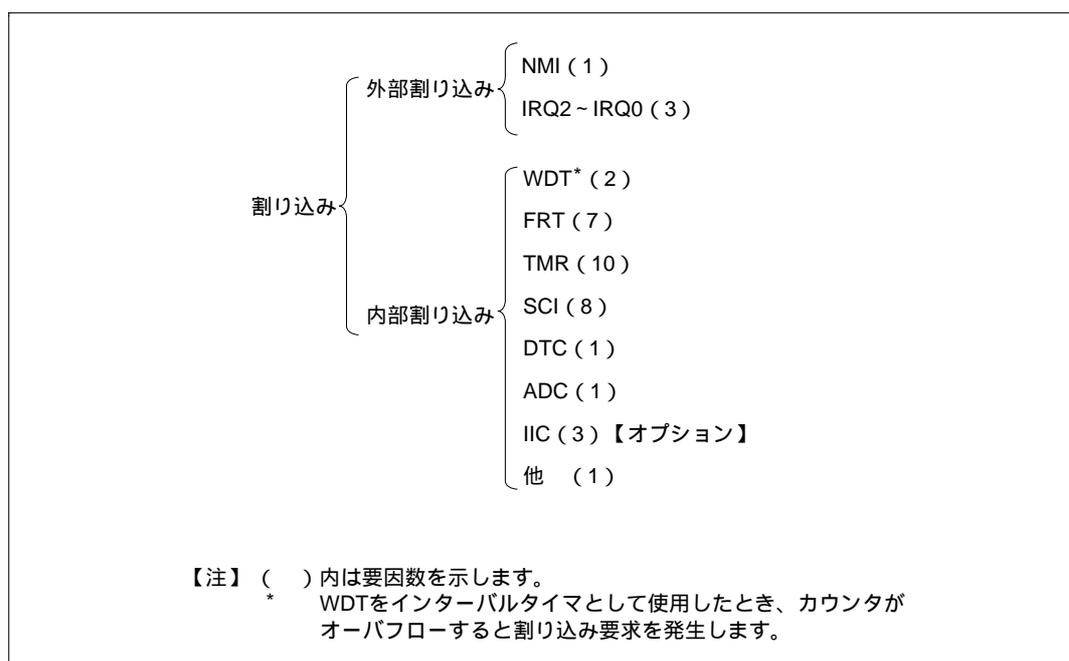


図4.4 割り込み要因と要因数

## 4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2 ~ I0	T
0	1	-	-	-
1	1	1	-	-

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

## 4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

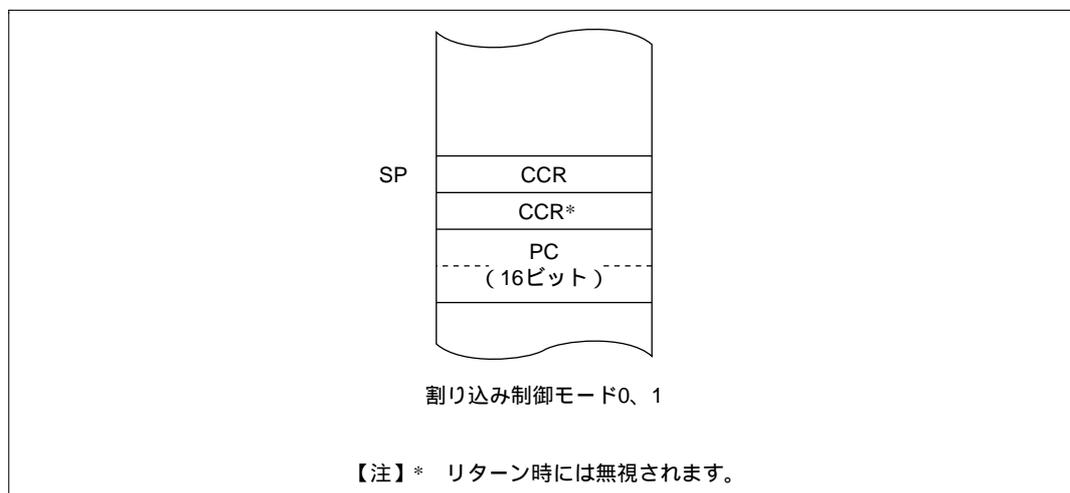


図 4.5 (1) 例外処理終了後のスタックの状態 (ノーマルモード)

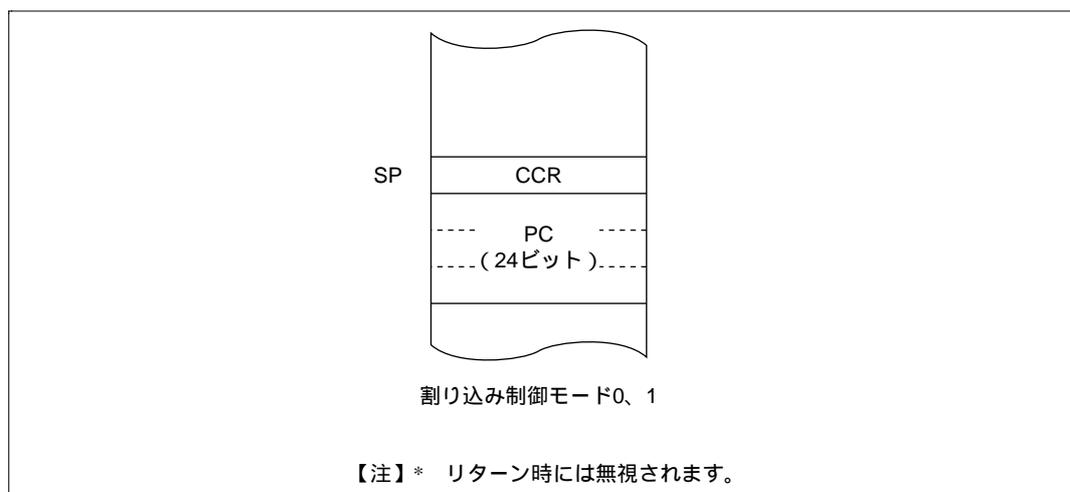


図 4.5 (2) 例外処理終了後のスタックの状態 (アドバンスモード)

## 4.6 スタック使用上の注意

本LSIでは、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.6に示します。

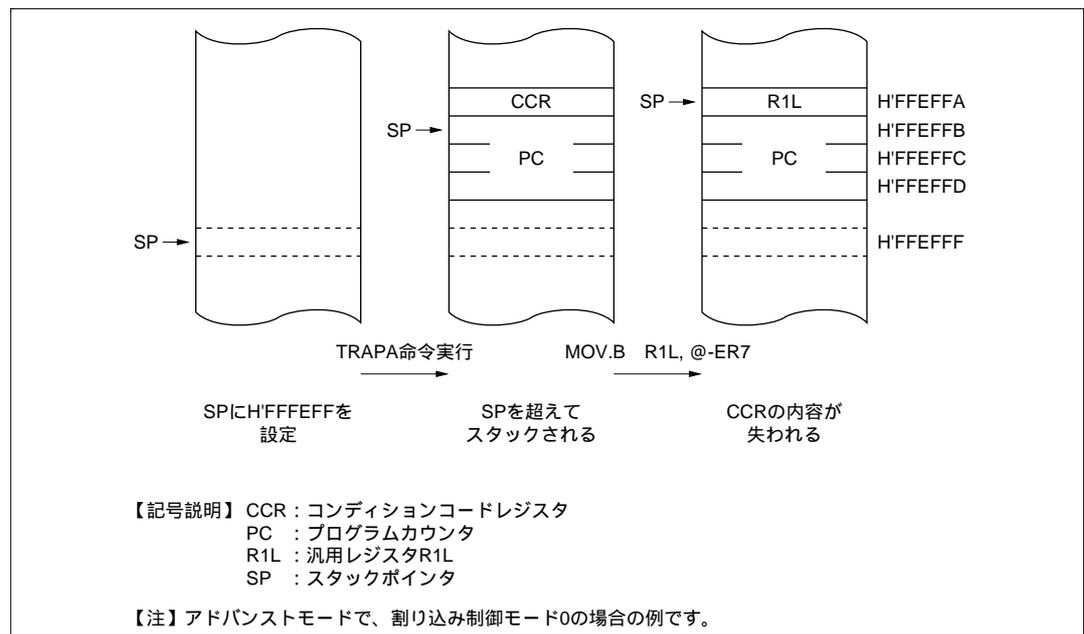


図 4.6 SP を奇数に設定したときの動作

---

# 5. 割り込みコントローラ

---

## 第5章 目次

5.1	概要	109
5.1.1	特長	109
5.1.2	ブロック図	110
5.1.3	端子構成	110
5.1.4	レジスタ構成	111
5.2	各レジスタの説明	112
5.2.1	システムコントロールレジスタ (SYSCR)	112
5.2.2	インタラプトコントロールレジスタ A~C (ICRA ~ ICRC)	113
5.2.3	IRQ イネーブルレジスタ (IER)	114
5.2.4	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	115
5.2.5	IRQ ステータスレジスタ (ISR)	116
5.2.6	アドレスブレイクコントロールレジスタ (ABRKCR)	117
5.2.7	ブレイクアドレスレジスタ A、B、C (BARA、BARB、BARC)	118
5.3	割り込み要因	119
5.3.1	外部割り込み	119
5.3.2	内部割り込み	120
5.3.3	割り込み例外処理ベクタテーブル	121
5.4	アドレスブレイク	123
5.4.1	特長	123
5.4.2	ブロック図	123
5.4.3	動作説明	124
5.4.4	使用上の注意	124
5.5	割り込み動作	126
5.5.1	割り込み制御モードと割り込み動作	126
5.5.2	割り込み制御モード 0	129
5.5.3	割り込み制御モード 1	131
5.5.4	割り込み例外処理シーケンス	134

## 5. 割り込みコントローラ

---

5.5.5	割り込み応答時間.....	135
5.6	使用上の注意.....	136
5.6.1	割り込みの発生とディスエーブルとの競合 .....	136
5.6.2	割り込みを禁止している命令 .....	137
5.6.3	EEPMOV 命令実行中の割り込み.....	137
5.6.4	IRQ ステータスレジスタ (ISR) について .....	137
5.7	割り込みによる DTC の起動 .....	138
5.7.1	概要.....	138
5.7.2	ブロック図.....	138
5.7.3	動作説明 .....	139

## 5.1 概要

### 5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

#### 2 種類の割り込み制御モード

- ・システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。

#### ICR により、優先順位を設定可能

- ・割り込み優先順位を設定するインタラプトコントロールレジスタ (ICR) を備えており、NMI とアドレスブレイク以外の割り込みに、モジュールごとに 3 レベルの優先順位を設定できます。

#### 独立したベクタアドレス

- ・すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

#### 4 本の外部割り込み端子

- ・NMI は最優先の割り込みで常に受け付けられます。NMI 割り込みは、NMI 端子の立ち上がりエッジまたは立ち下がりエッジを選択できます。
- ・IRQ2 ~ IRQ0 割り込みは、 $\overline{\text{IRQ2}}$  ~  $\overline{\text{IRQ0}}$  端子の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

#### DTC の制御

- ・割り込みによる DTC の起動の制御を行います。

### 5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

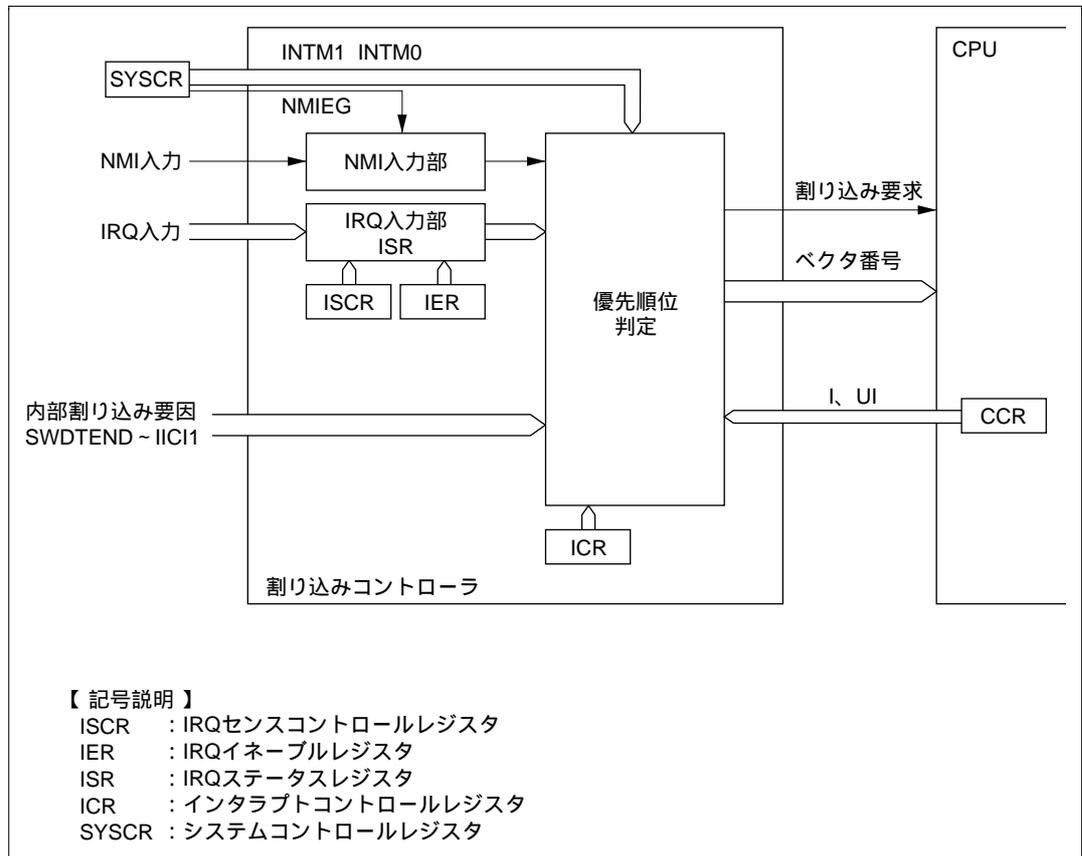


図 5.1 割り込みコントローラのブロック図

### 5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	記号	入出力	機 能
ノンマスクブル 割り込み	NMI	入力	マスク不可能な外部割り込み。 立ち上がりエッジまたは立ち下がりエッジを選択可能
外部割り込み要求 2~0	$\overline{\text{IRQ2}} \sim$ $\overline{\text{IRQ0}}$	入力	マスク可能な外部割り込み。 立ち下がりエッジ、立ち上がりエッジ、両エッジ、 レベルセンスのいずれかを選択可能

### 5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 割り込みコントローラのレジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4
IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FEEC
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FEED
IRQ イネーブルレジスタ	IER	R/W	H'F8	H'FFC2
IRQ ステータスレジスタ	ISR	R/(W)* <sup>2</sup>	H'00	H'FEEB
インタラプトコントロールレジスタ A	ICRA	R/W	H'00	H'FEE8
インタラプトコントロールレジスタ B	ICRB	R/W	H'00	H'FEE9
インタラプトコントロールレジスタ C	ICRC	R/W	H'00	H'FEEA
アドレスブレイクコントロールレジスタ	ABRKCR	R/W	H'00	H'FEF4
ブレイクアドレスレジスタ A	BARA	R/W	H'00	H'FEF5
ブレイクアドレスレジスタ B	BARB	R/W	H'00	H'FEF6
ブレイクアドレスレジスタ C	BARC	R/W	H'00	H'FEF7

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 5.2 各レジスタの説明

### 5.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 5、4、2 は割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5、4、2 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5、4 : 割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 4 つのモードの中から選択します。

INTM1 ビットは、1 にセットしないでください。

ビット 5	ビット 4	割り込み 制御モード	説 明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御します。 (初期値)
	1	1	I、UI ビットと ICR で、割り込みを制御します。
1	0	2	本 LSI では使用できません
	1	3	本 LSI では使用できません

ビット 2 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 2	説 明
NMIEG	
0	NMI 入力 of 立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力 of 立ち上がりエッジで割り込み要求を発生

## 5.2.2 インタラプトコントロールレジスタ A~C (ICRA~ICRC)

ビット :	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ICR は 8 ビットのリード/ライト可能な 3 本のレジスタで、NMI とアドレスブレイクを除く割り込みの割り込みコントロールレベルの設定をします。

各割り込み要因と ICR の対応を表 5.3 に示します。

ICR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n : 割り込みコントロールレベル (ICRn)

対応する割り込み要因のコントロールレベルを設定します。

ビット n	説明
ICRn	
0	対応する割り込み要因はコントロールレベル 0 (非優先) (初期値)
1	対応する割り込み要因はコントロールレベル 1 (優先)

(n=7~0)

表 5.3 各割り込み要因と ICR の対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ0	IRQ1	IRQ2	-	-	DTC	ウォッチ ドッグ タイマ 0	ウォッチ ドッグ タイマ 1
ICRB	A/D 変換器	フリーラ ンニング タイマ	-	-	8 ビット タイマ チャンネル 0	8 ビット タイマ チャンネル 1	8 ビット タイマ チャンネル X、Y	-
ICRC	SCI チャンネル 0	SCI チャンネル 1	-	IIC チャンネル 0 (オプション)	IIC チャンネル 1 (オプション)	-	-	-

## 5.2.3 IRQ イネーブルレジスタ (IER)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	IRQ2E	IRQ1E	IRQ0E
初期値 :	1	1	1	1	1	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ2~IRQ0 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、HF8 に初期化されます。

ビット7~3 : リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2~0 : IRQ2~IRQ0 イネーブル (IRQ2E ~ IRQ0E)

IRQ2~IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n=2~0)

## 5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット :	15	14	13	12	11	10	9	8
	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ISCRL

ビット :	7	6	5	4	3	2	1	0
	-	-	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、 $\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$  端子の入力の立ち上がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、それぞれ H'00 に初期化されます。

ISCRH ビット 7~0、ISCRL ビット 7~6 : リザーブビット

リザーブビットです。1 をライトしないでください。

ISCRL ビット 5~0 : IRQ2 センスコントロール A、B (IRQ2SCA、IRQ2SCB)

~IRQ0 センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ISCRL ビット5~0		説明
IRQ2SCB ~ IRQ0SCB	IRQ2SCA ~ IRQ0SCA	
0	0	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 (初期値)
	1	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生
1	0	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生
	1	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がり、立ち下がり両エッジで割り込み要求を発生

## 5.2.5 IRQ ステータスレジスタ (ISR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】\* フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ2~IRQ0 割り込み要求のステータス表示を行います。

ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7~3 : リザーブビット

リザーブビットです。

ビット2~0 : IRQ2~IRQ0 フラグ (IRQ2F~IRQ0F)

IRQ2~IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	<p>[ クリア条件 ] (初期値)</p> <p>(1) IRQnF = 1 をリードした後、0 をライトしたとき</p> <p>(2) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ <math>\overline{\text{IRQn}}</math> 入力が高レベルの状態、割り込み例外処理を実行したとき</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、または IRQnSCA = 1) の状態で IRQn 割り込み例外処理を実行したとき</p>
1	<p>[ セット条件 ]</p> <p>(1) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で <math>\overline{\text{IRQn}}</math> 入力が Low レベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で <math>\overline{\text{IRQn}}</math> 入りに立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で <math>\overline{\text{IRQn}}</math> 入りに立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で <math>\overline{\text{IRQn}}</math> 入りに立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 2~0)

## 5.2.6 アドレスブレイクコントロールレジスタ (ABRKCR)

ビット:	7	6	5	4	3	2	1	0
	CMF	-	-	-	-	-	-	BIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	-	-	-	-	-	-	R/W

ABRKCR は、8ビットのリードライト可能なレジスタで、アドレスブレイクの制御を行います。

ABRKCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されません。ソフトウェアスタンバイモードでは初期化されません。

### ビット7: コンディションマッチフラグ (CMF)

アドレスブレイク要因フラグです。BAR で設定したアドレスをプリフェッチしたことを示します。CMF フラグ、BIE フラグがいずれも 1 にセットされると、アドレスブレイクが要求されます。

ビット7	説明
CMF	
0	[クリア条件] アドレスブレイク割り込み例外処理を実行したとき (初期値)
1	[セット条件] BIE=1 の状態で、BARA ~ BARC で設定したアドレスのプリフェッチを実行したとき

### ビット6~1: リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

### ビット0: ブレイク割り込みイネーブル (BIE)

アドレスブレイクの許可/禁止を選択します。

ビット0	説明
BIE	
0	アドレスブレイク禁止 (初期値)
1	アドレスブレイク許可

## 5.2.7 ブレークアドレスレジスタ A、B、C (BARA、BARB、BARC)

ビット :	7	6	5	4	3	2	1	0
BARA	A23	A22	A21	A20	A19	A18	A17	A16
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							
ビット :	7	6	5	4	3	2	1	0
BARB	A15	A14	A13	A12	A11	A10	A9	A8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							
ビット :	7	6	5	4	3	2	1	0
BARC	A7	A6	A5	A4	A3	A2	A1	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	-						

BAR は、8 ビットのリード/ライト可能な 3 本のレジスタ (BARA、B、C) で構成されています。BAR はアドレスブレークを発生させるアドレスを指定します。

BAR は、リセットまたはハードウェアスタンバイモード時にそれぞれ H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

BARA ビット 7~0 : アドレス 23~16 (A23~A16)

BARB ビット 7~0 : アドレス 15~8 (A15~A8)

BARC ビット 7~1 : アドレス 7~1 (A7~A1)

アドレスブレークを発生させるアドレスを指定します。BAR の A23 ビット~A1 ビットは、それぞれ内部アドレスバスの A23~A1 と比較されます。

ブレークアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。その他のアドレスでは、条件成立とみなされない場合があります。

なお、ノーマルモードの場合は、アドレス A23~A16 は比較されません。

BARC ビット 0 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

## 5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ2～IRQ0）と内部割り込みがあります。

### 5.3.1 外部割り込み

外部割り込みには、NMI、IRQ2～IRQ0の4要因があります。NMI、IRQ2～IRQ0はソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI 割り込み

NMIは最優先の割り込みで、割り込み制御モードや、CPUの割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCRのNMIEGビットで選択できます。

NMI割り込み例外処理のベクタ番号は7です。

#### (2) IRQ2～IRQ0 割り込み

IRQ2～IRQ0割り込みは $\overline{\text{IRQ}2}$ ～ $\overline{\text{IRQ}0}$ 端子の入力信号により要求されます。IRQ2～IRQ0割り込みには次の特長があります。

- (a)  $\overline{\text{IRQ}2}$ ～ $\overline{\text{IRQ}0}$ 端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCRで選択できます。
- (b) IRQ2～IRQ0割り込み要求を許可するか禁止するかを、IERで選択できます。
- (c) ICRにより割り込みコントロールレベルを設定できます。
- (d) IRQ2～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ2～IRQ0割り込みのブロック図を図5.2に示します。

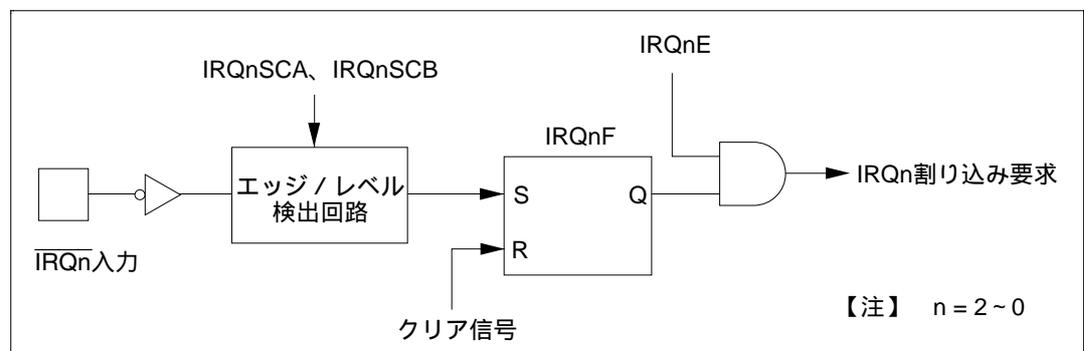


図 5.2 IRQ2～IRQ0 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

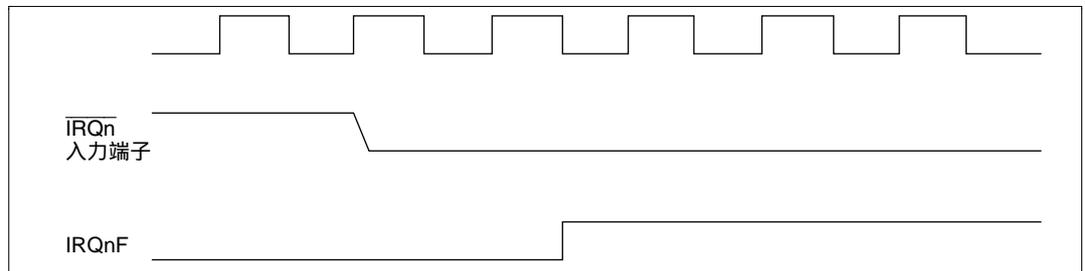


図 5.3 IRQnF のセットタイミング

IRQ2 ~ IRQ0 割り込み例外処理のベクタ番号は、18 ~ 16 です。

IRQ2 ~ IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

また、割り込み要求フラグ IRQ2F ~ IRQ0F は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

### 5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには 32 要因があります。また、ソフトウェアによる割り込み（アドレスブレイク）が 1 要因あります。

- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに要求されます。
- (2) ICR によって割り込みコントロールレベルを設定できます。
- (3) FRT、TMR、SCI などの割り込み要求により DTC の起動ができます。

割り込みにより DTC の起動を行う場合、割り込み制御モードや、CPU の割り込みマスクビットの影響を受けません。

## 5.3.3 割り込み例外処理ベクタテーブル

表 5.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、ICR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.4 のとおり固定です。

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アサシストモード		
NMI	外部端子	7	H'000E	H'00001C		高 ▲
IRQ0		16	H'0020	H'000040	ICRA7	
IRQ1		17	H'0022	H'000044	ICRA6	
IRQ2		18	H'0024	H'000048	ICRA5	
リザーブ	-	19 } 23	H'0026 } H'002E	H'00004C } H'00005C		
SWDTEND (ソフトウェア起動データ転送)	DTC	24	H'0030	H'000060	ICRA2	
WOVI0 (インターバルタイマ)	ウォッチドッグタイマ0	25	H'0032	H'000064	ICRA1	
WOVI1 (インターバルタイマ)	ウォッチドッグタイマ1	26	H'0034	H'000068	ICRA0	
アドレスブレーク (PC ブレーク)	-	27	H'0036	H'00006C		
ADI (A/D 変換終了)	A/D	28	H'0038	H'000070	ICRB7	
リザーブ	-	29 } 47	H'003A } H'005E	H'000074 } H'0000BC		
ICIA (インプットキャプチャA)	フリーランニング タイマ	48	H'0060	H'0000C0	ICRB6	
ICIB (インプットキャプチャB)		49	H'0062	H'0000C4		
ICIC (インプットキャプチャC)		50	H'0064	H'0000C8		
ICID (インプットキャプチャD)		51	H'0066	H'0000CC		
OCIA (アウトプットコンペアA)		52	H'0068	H'0000D0		
OCIB (アウトプットコンペアB)		53	H'006A	H'0000D4		
FOVI (オーバフロー)		54	H'006C	H'0000D8		
リザーブ		55	H'006E	H'0000DC		
リザーブ	-	56 } 63	H'0070 } H'007E	H'0000E0 } H'0000FC		
CMIA0 (コンペアマッチA)	8ビットタイマ チャンネル0	64	H'0080	H'000100	ICRB3	
CMIB0 (コンペアマッチB)		65	H'0082	H'000104		
OVI0 (オーバフロー)		66	H'0084	H'000108		
リザーブ		67	H'0086	H'00010C		
CMIA1 (コンペアマッチA)	8ビットタイマ チャンネル1	68	H'0088	H'000110	ICRB2	
CMIB1 (コンペアマッチB)		69	H'008A	H'000114		
OVI1 (オーバフロー)		70	H'008C	H'000118		
リザーブ		71	H'008E	H'00011C		
CMIA Y (コンペアマッチA)	8ビットタイマ チャンネルY、X	72	H'0090	H'000120	ICRB1	
CMIB Y (コンペアマッチB)		73	H'0092	H'000124		
OVI Y (オーバフロー)		74	H'0094	H'000128		
ICIX (インプットキャプチャX)		75	H'0096	H'00012C		

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アドバンスモード		
リザーブ		76	H'0098	H'000130		高 ↑
		}	}	}		
		79	H'009E	H'00013C		
ERI0 (受信エラー0) RXI0 (受信完了0) TXI0 (送信データエンプティ0) TEI0 (送信終了0)	SCI チャンネル0	80	H'00A0	H'000140	ICRC7	
		81	H'00A2	H'000144		
		82	H'00A4	H'000148		
		83	H'00A6	H'00014C		
ERI1 (受信エラー1) RXI1 (受信完了1) TXI1 (送信データエンプティ1) TEI1 (送信終了1)	SCI チャンネル1	84	H'00A8	H'000150	ICRC6	
		85	H'00AA	H'000154		
		86	H'00AC	H'000158		
		87	H'00AE	H'00015C		
リザーブ		88	H'00B0	H'000160		
		}	}	}		
		91	H'00B6	H'00016C		
IIC10 (1バイト送信 / 受信完了) DDCSWI (フォーマットスイッチ)	IIC チャンネル0 【オプション】	92	H'00B8	H'000170	ICRC4	
		93	H'00BA	H'000174		
IIC11 (1バイト送信 / 受信完了) リザーブ	IIC チャンネル1 【オプション】	94	H'00BC	H'000178	ICRC3	
		95	H'00BE	H'00017C		
リザーブ		96	H'00C0	H'000180		
		}	}	}		
		103	H'00CE	H'00019C		
						低

## 5.4 アドレスブ레이크

### 5.4.1 特長

本 LSI では、ABRKCR、BAR の設定により、CPU による特定アドレスのプリフェッチを判定し、アドレスブ레이크割り込みを発生させることができます。このアドレスブ레이크割り込みが発生すると、アドレスブ레이크割り込み例外処理を実行します。

本機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。

### 5.4.2 ブロック図

アドレスブ레이크のブロック図を図 5.4 に示します。

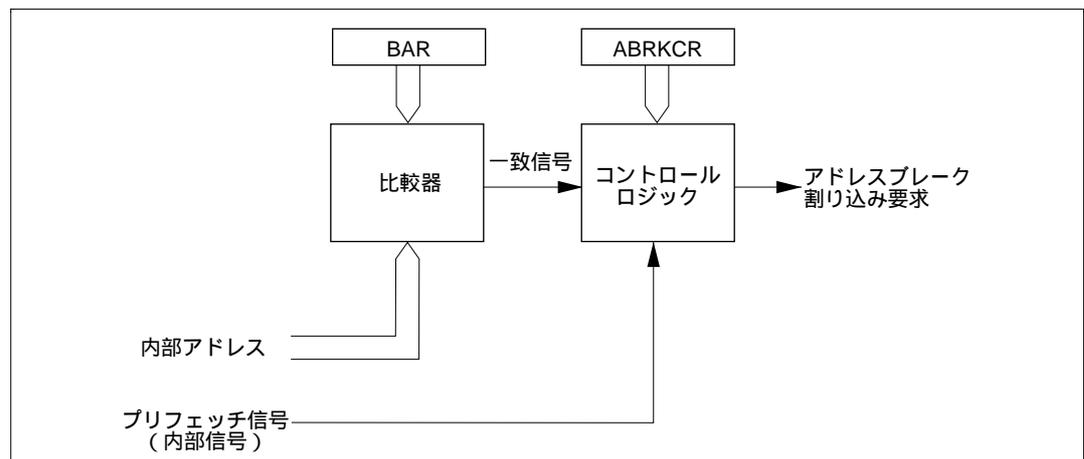


図 5.4 アドレスブ레이크のブロック図

### 5.4.3 動作説明

ABRKCR、BAR の設定により、BAR に設定されたアドレスを CPU がプリフェッチしたときに、アドレスブレーク割り込みを発生させることができます。このアドレスブレーク機能は、プリフェッチした時点で割り込みコントローラに対して、割り込み要求を発生し、割り込みコントローラで優先順位を判定します。割り込みが受け付けられると、そのとき実行中の命令が終了した後、割り込み例外処理を起動します。なお、アドレスブレーク割り込みでは CPU の CCR の I、UI ビットによる割り込みマスク制御は無効です。

アドレスブレークを使用するときは、次に示すように各レジスタを設定します。

- [ 1 ] まず、ブレークアドレスを BAR の A23 ~ A1 ビットに設定します。
- [ 2 ] 次に、ABRKCR の BIE ビットを 1 にセットしてアドレスブレークを許可します。  
BIE ビットを 0 にクリアしている場合、アドレスブレークは要求されません。

設定条件が成立すると、ABRKCR の CMF フラグが 1 にセットされ、割り込みを要求します。割り込み処理ルーチンで、必要に応じて要因の判定を行ってください。

### 5.4.4 使用上の注意

- ( 1 ) アドレスブレークでは、ブレークアドレスを命令の第 1 バイトが存在するアドレスにしてください。その他のアドレスでは、条件成立とみなされない場合があります。
- ( 2 ) ノーマルモードの場合は、アドレス A23 ~ A16 は比較されません。
- ( 3 ) BAR で設定したアドレスの直前の命令にブランチ命令 ( Bcc、BSR )、ジャンプ命令 ( JMP、JSR )、RTS 命令、RTE 命令を配置した場合、これらの命令の実行により当該アドレスに対するプリフェッチ信号が出力され、アドレスブレークが要求される場合があります。これらの命令の直後のアドレスに対するブレークアドレスの設定を行わない、あるいは割り込み処理ルーチンで、本来の条件成立による割り込み処理であったかの判定を行う、などの対策が必要です。
- ( 4 ) アドレスブレーク割り込みは、内部プリフェッチ信号とアドレスの組み合わせにより発生しますので、設定したアドレスの命令および直前の命令の内容、実行サイクルにより、割り込み例外処理の入るタイミングが異なります。

図 5.5 にアドレスブレークタイミング例を示します。

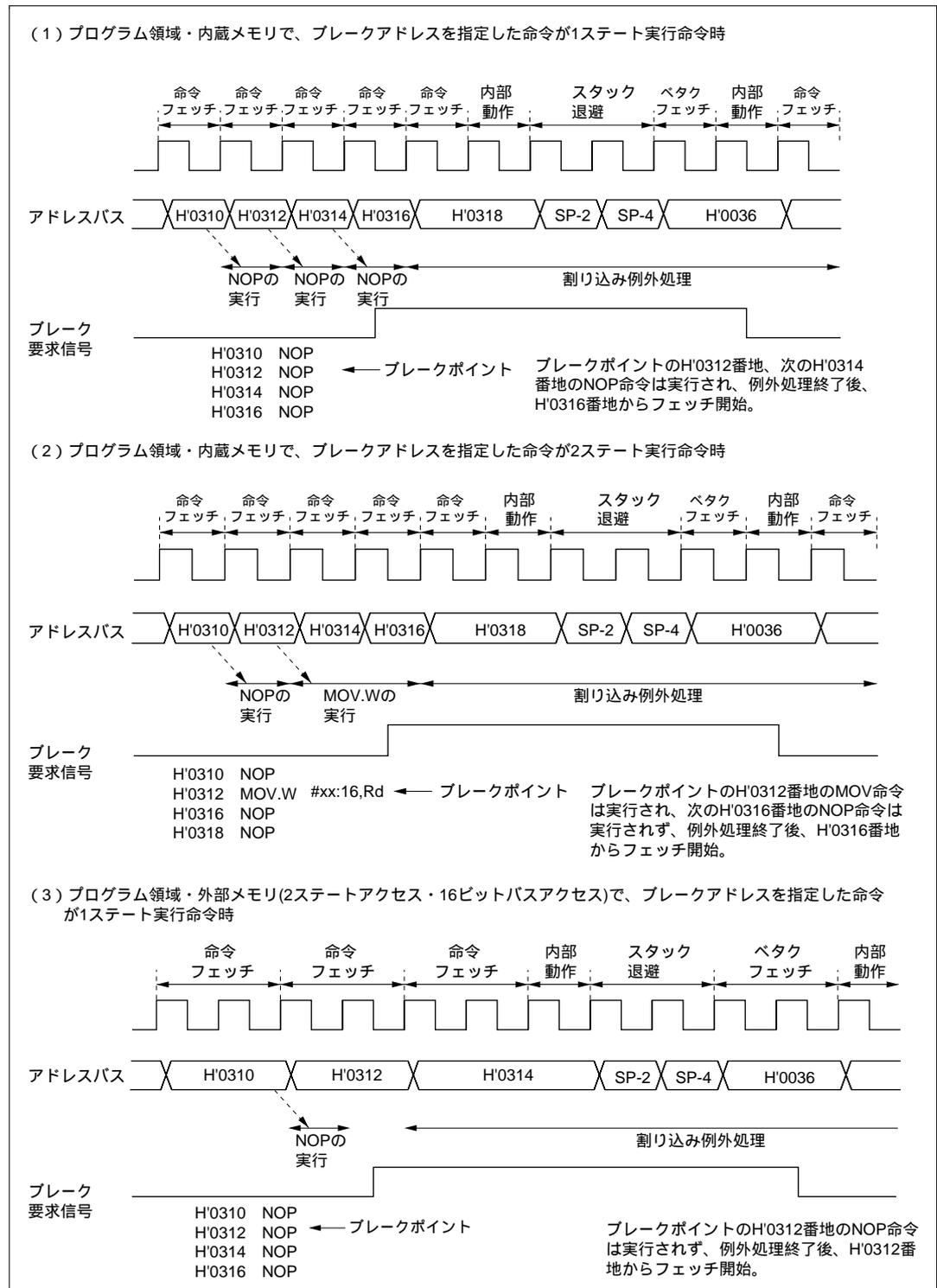


図 5.5 アドレスブレークタイミング例

## 5.5 割り込み動作

### 5.5.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みおよびアドレスブレイク割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込み、および内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、ICR による割り込み優先順位の設定、および CPU の CCR の I、UI ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	I ビットにより、割り込みマスク制御を行います。ICR により、優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより、3 レベルの割り込みマスク制御を行います。 ICR により、優先順位の設定ができます。

図 5.6 に優先順位判定回路のブロック図を示します。

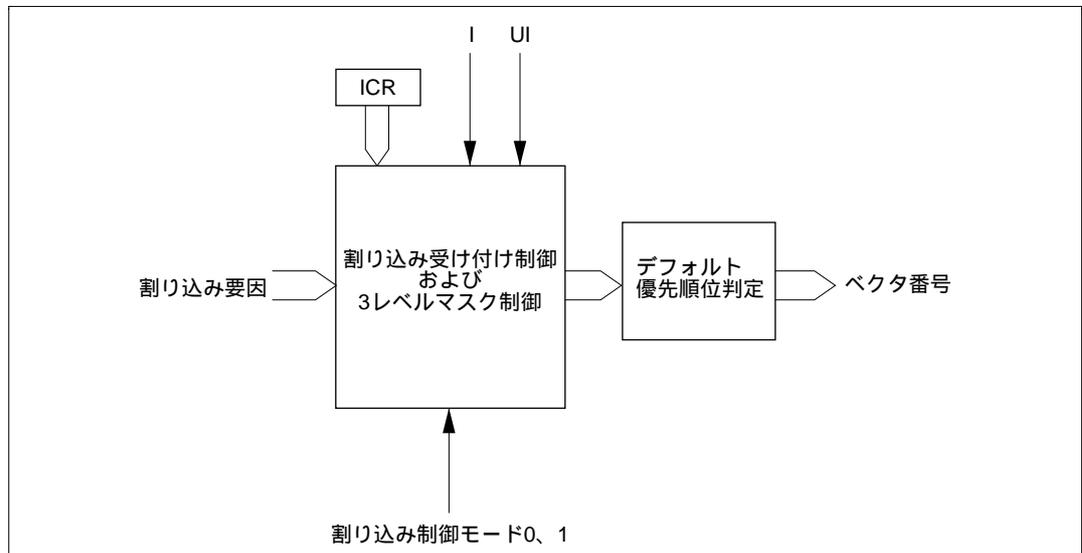


図 5.6 割り込み制御動作のブロック図

### (1) 割り込み受け付け制御および3レベル制御

割り込み制御モード 0、1 のとき、CCR の I、UI ビット、および ICR (コントロールレベル) により割り込み受け付け制御、3レベルのマスク制御を行います。

表 5.6 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	*	すべての割り込み (コントロールレベル 1 を優先)
	1	*	NMI 割り込み、アドレスブレイク割り込み
1	0	*	すべての割り込み (コントロールレベル 1 を優先)
	1	0	NMI、アドレスブレイク割り込みおよびコントロールレベル 1 の割り込み
		1	

【記号説明】

\* : Don't care

## (2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位を持った割り込み要因は保留されません。

表 5.7 に割り込み制御モードと動作および制御信号機能を示します。

表 5.7 割り込み制御モードと動作および制御信号機能

割り込み制御 モード	設 定		割り込み受け付け制御			デフォルト優先順位 判定	T (トレース)
			3レベル制御				
	INTM1	INTM0	I	UI	ICR		
0	0	0	IM	-	PR	-	
1		1	IM	IM	PR	-	

## 【記号説明】

: 割り込み動作制御を行います。

IM : 割り込みマスクビットとして使用。

PR : 優先順位を設定。

: 使用しません。

## 5.5.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビット、および ICR によって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。コントロールレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.7 に示します。

- [ 1 ] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [ 2 ] 割り込みコントローラに対して割り込み要求が送られると、ICR に設定された割り込みコントロールレベルに従ってコントロールレベル 1 の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルを同一に設定した割り込み要求が同時に複数発生したときは、表 5.5 に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [ 3 ] I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI とアドレスブレイク割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [ 4 ] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [ 5 ] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [ 6 ] 次に CCR の I ビットが 1 にセットされます。これにより、NMI とアドレスブレイクを除く割り込みは禁止されます。
- [ 7 ] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

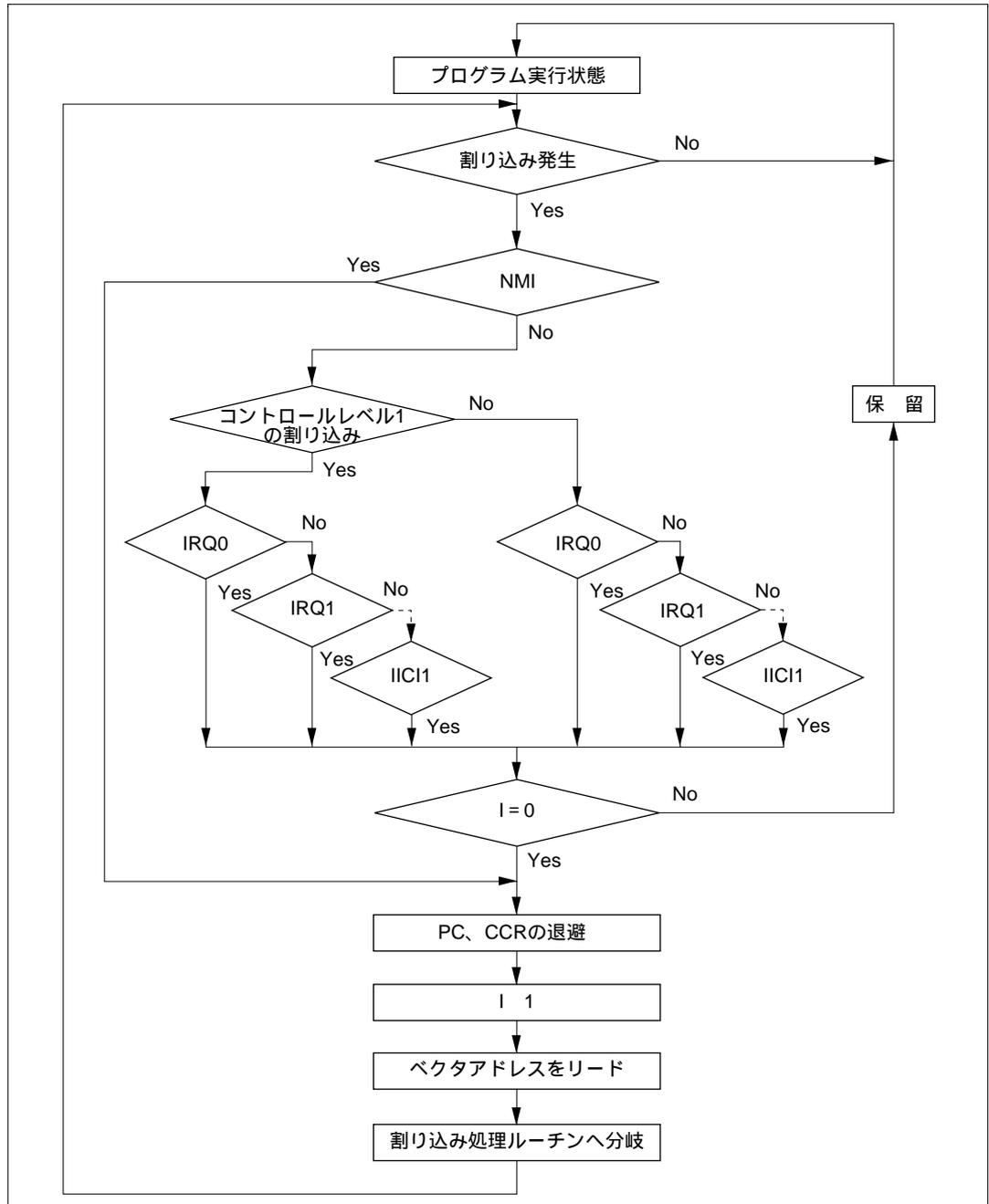


図 5.7 割り込み制御モード 0 の割り込み受け付けまでのフロー

### 5.5.3 割り込み制御モード 1

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって、3 レベルのマスキレベルを実現できます。

- (1) コントロールレベル 0 の割り込み要求は、I ビットが 0 にクリアされているとき許可状態、1 にセットされているとき禁止状態となります。
- (2) コントロールレベル 1 の割り込み要求は、I ビットまたは UI ビットが 0 にクリアされているとき許可状態、I ビット、および UI ビットがいずれも 1 にセットされているとき禁止状態となります。

例えば、各割り込み要求の対応する割り込みイネーブルビットを 1 にセット、ICRA ~ ICRC をそれぞれ H'20、H'00、H'00 に設定した場合 (IRQ2 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定した場合)、次のようになります。

- (1) I=0 のとき、すべての割り込みを許可  
(優先順位 : NMI > IRQ2 > アドレスブレーク > IRQ0 > IRQ1...)
- (2) I=1、UI=0 のとき、NMI、IRQ2、アドレスブレークの割り込みのみを許可
- (3) I=1、UI=1 のとき、NMI とアドレスブレーク割り込みのみを許可

また、このときの状態遷移を図 5.8 に示します。

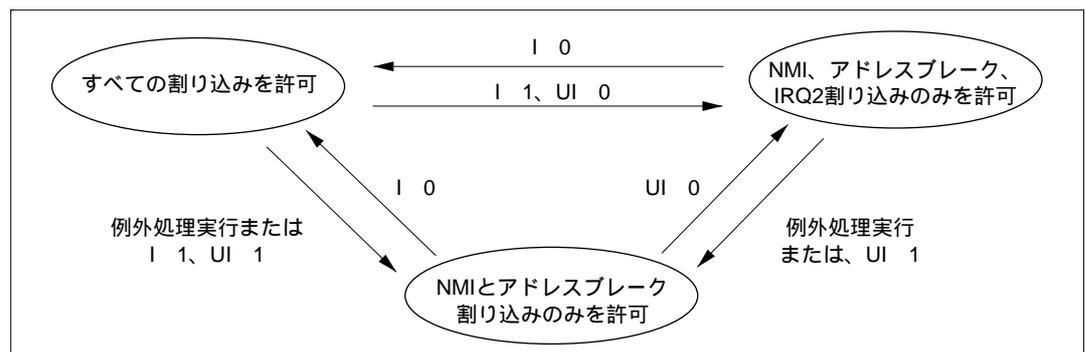


図 5.8 割り込み制御モード 1 の状態遷移例

このときの割り込み受け付けの動作フローチャートを図 5.9 に示します。

- [1] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、ICR に設定された割り込みコントロールレベルに従ってコントロールレベル 1 の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルを同一に設定した割り込み要求が同時に複数発生したときは、表 5.4 に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] I ビットを参照します。I ビットが 0 にクリアされているときは、UI ビットの影響を受けません。  
割り込みコントロールレベル 0 の割り込み要求は、I ビットが 0 にクリアされているときに受け付けられます。I ビットが 1 にセットされているときは NMI とアドレスブレーク割り込みのみ受け付けられ、その他の割り込み要求は保留されます。  
割り込みコントロールレベル 1 の割り込み要求は、割り込みコントロールレベル 0 の割り込み要求よりも優先的に受け付けられ、I ビットが 0 にクリアされているとき、または I ビットが 1 にセットされ、UI ビットが 0 にクリアされているときに受け付けられます。  
I、UI ビットがいずれも 1 にセットされているときは NMI とアドレスブレーク割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次に CCR の I、UI ビットが 1 にセットされます。これにより、NMI とアドレスブレークを除く割り込みは禁止されます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

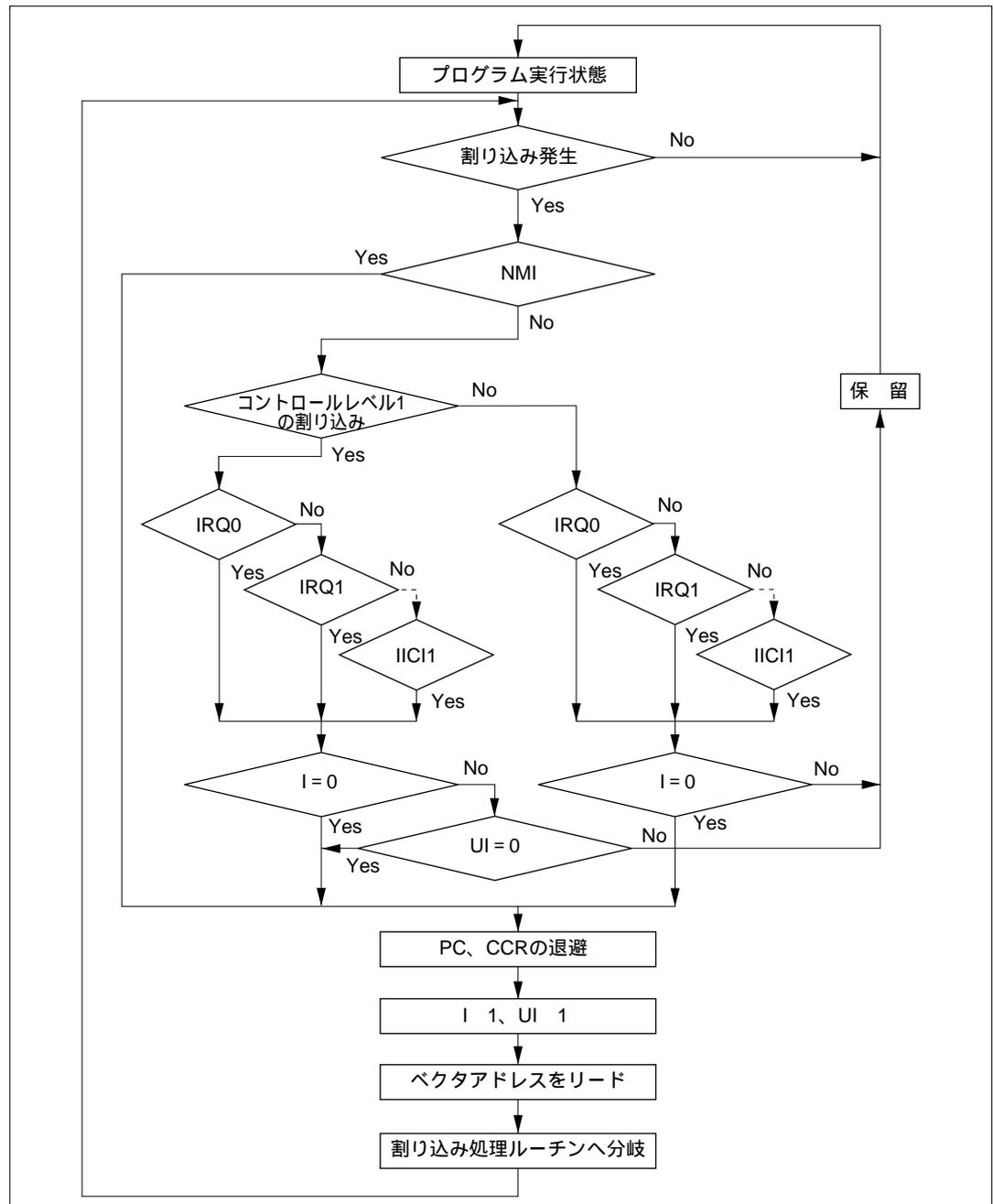


図 5.9 割り込み制御モード 1 の割り込み受け付けまでのフロー

### 5.5.4 割り込み例外処理シーケンス

図 5.10 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード0とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

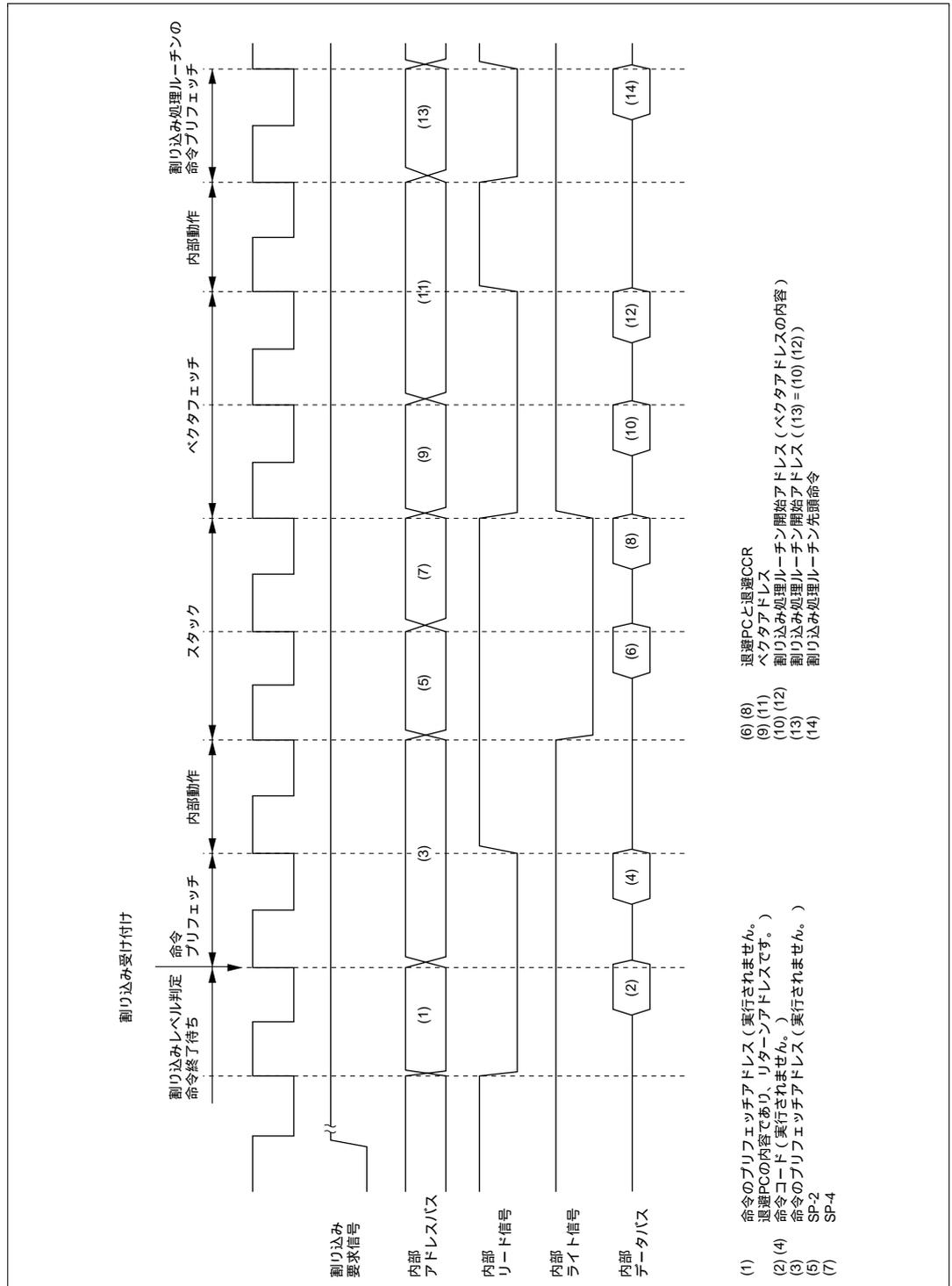


図 5.10 割り込み例外処理

### 5.5.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.8 に示します。表 5.8 の実行状態の記号については表 5.9 を参照してください。

表 5.8 割り込み応答時間

No.	実行状態	ノーマルモード	アドバンスモード
1	割り込み優先順位判定* <sup>1</sup>	3	
2	実行中の命令が終了するまでの待ち状態数* <sup>2</sup>	$1 \sim (19 + 2 \cdot S_i)$	
3	PC、CCR のスタック	$2 \cdot S_k$	$2 \cdot S_k$
4	ベクタフェッチ	$S_i$	$2 \cdot S_i$
5	命令フェッチ* <sup>3</sup>	$2 \cdot S_i$	
6	内部処理* <sup>4</sup>	2	
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32

【注】 \*1 内部割り込みの場合 2 ステートとなります。

\*2 MULXS、DIVXS 命令について示しています。

\*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

\*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.9 割り込み例外処理の実行状態のステート数

記号	アクセス対象		
	内部メモリ	外部デバイス	
		8ビットバス	
		2ステートアクセス	3ステートアクセス
命令フェッチ $S_i$	1	4	$6 + 2m$
分岐アドレスリード $S_j$			
スタック操作 $S_k$			

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

## 5.6 使用上の注意

### 5.6.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.11に示します。

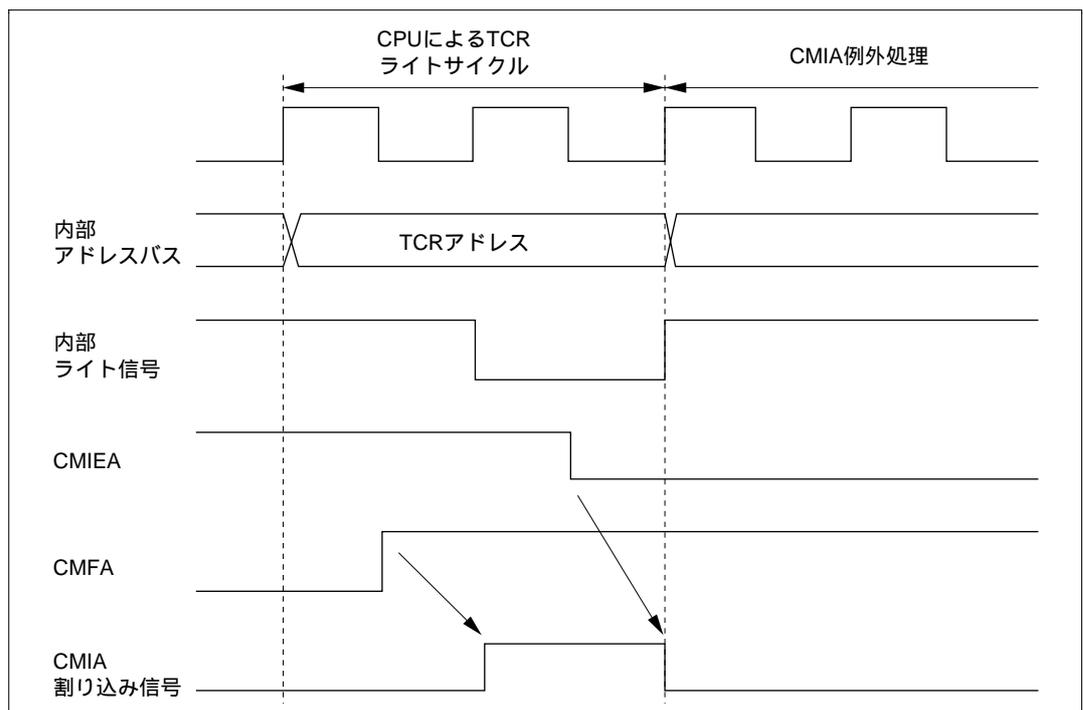


図 5.11 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

## 5.6.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

## 5.6.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1: EEPMOV.W
      MOV.W      R4, R4
      BNE       L1
```

## 5.6.4 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により  $IRQ_nF = 1$  となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。(n = 7 ~ 0)

## 5.7 割り込みによる DTC の起動

### 5.7.1 概要

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPU に対する割り込み要求
- (2) DTC に対する起動要求
- (3) (1) ~ (2) の複数の選択

なお、DTC を起動できる割り込み要求については、「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

### 5.7.2 ブロック図

図 5.12 に、DTC と割り込みコントローラのブロック図を示します。

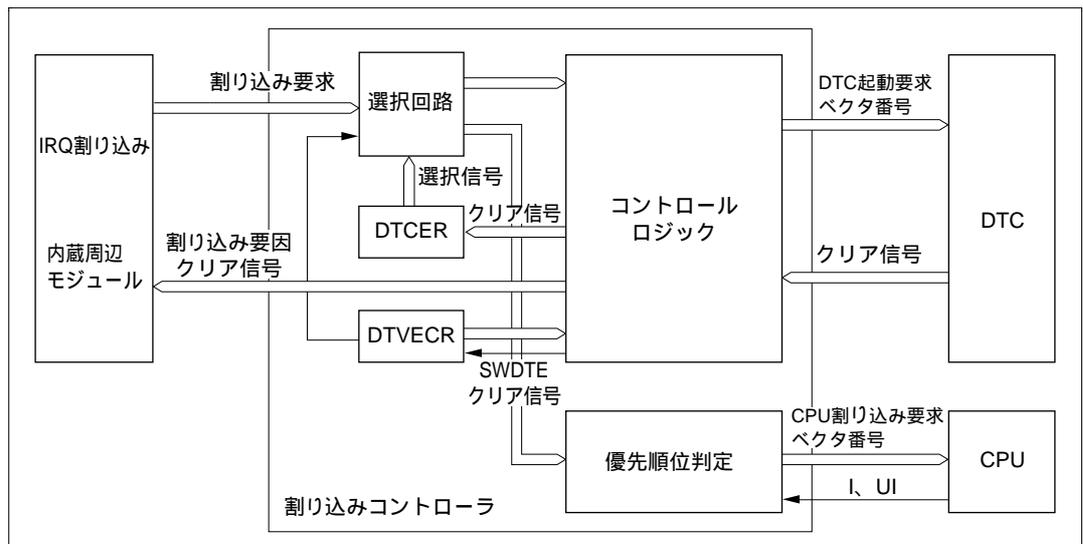


図 5.12 DTC と割り込み制御

### 5.7.3 動作説明

DTC 制御の割り込みコントローラの機能は3つに大別されます。

#### (1) 割り込み要因の選択

割り込み要因は、DTC の DTCERA ~ DTCERE の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを0にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが0になった場合には、DTC のデータ転送後、DTCE ビットを0にクリアして、CPU に割り込みを要求します。

#### (2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスキレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「7.3.3 DTC ベクタテーブル」を参照してください。

#### (3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

表 5.10 に、DTC の DTCERA ~ DTCERE の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.10 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	
1	0		×
	1		

#### 【記号説明】

：当該割り込みを使用します。割り込み要因のクリアを行います。

( CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。 )

：当該割り込みを使用します。割り込み要因をクリアしません。

× : 当該割り込みは使用できません。

\* : Don't care

(4) 使用上の注意

SCI、IIC および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされ、DISEL ビットには依存しません。

---

# 6. バスコントローラ

---

## 第6章 目次

6.1	概要	143
6.1.1	特長	143
6.1.2	ブロック図	144
6.1.3	端子構成	145
6.1.4	レジスタ構成	145
6.2	各レジスタの説明	146
6.2.1	バスコントロールレジスタ (BCR)	146
6.2.2	ウェイトステートコントロールレジスタ (WSCR)	147
6.3	バス制御の概要	150
6.3.1	バス仕様	150
6.3.2	アドバンスモード	151
6.3.3	ノーマルモード	151
6.3.4	I/Oセレクト信号	152
6.4	基本バスインタフェース	153
6.4.1	概要	153
6.4.2	データサイズとデータアライメント	153
6.4.3	有効ストロブ	155
6.4.4	基本タイミング	156
6.4.5	ウェイト制御	158
6.5	バーストROMインタフェース	160
6.5.1	概要	160
6.5.2	基本タイミング	160
6.5.3	ウェイト制御	161
6.6	アイドルサイクル	162
6.6.1	動作説明	162
6.6.2	アイドルサイクルでの端子状態	163
6.7	バスアービトレーション	164

## 6. バスコントローラ

---

6.7.1	概要 .....	164
6.7.2	動作説明 .....	164
6.7.3	バス権移行タイミング .....	165

## 6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間のバス幅、アクセスステート数などのバス仕様を設定することが可能です。

また、バスコントローラはバス調停機能を持っており、内部バスマスタである CPU、データトランスファコントローラ (DTC) の動作を制御します。

### 6.1.1 特長

バスコントローラの特長を以下に示します。

基本バスインタフェース

- ・ 2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- ・ プログラムウェイトステートを挿入可能

バースト ROM インタフェース

- ・ 外部空間をバースト ROM インタフェースに設定可能
- ・ バーストアクセスの 1 または 2 ステートを選択可能

アイドルサイクル挿入

- ・ 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

バス権調停機能 (バスアービトレーション)

- ・ バスアービタを内蔵し、CPU および DTC のバス権を調停

### 6.1.2 ブロック図

バスコントローラのブロック図を図6.1に示します。

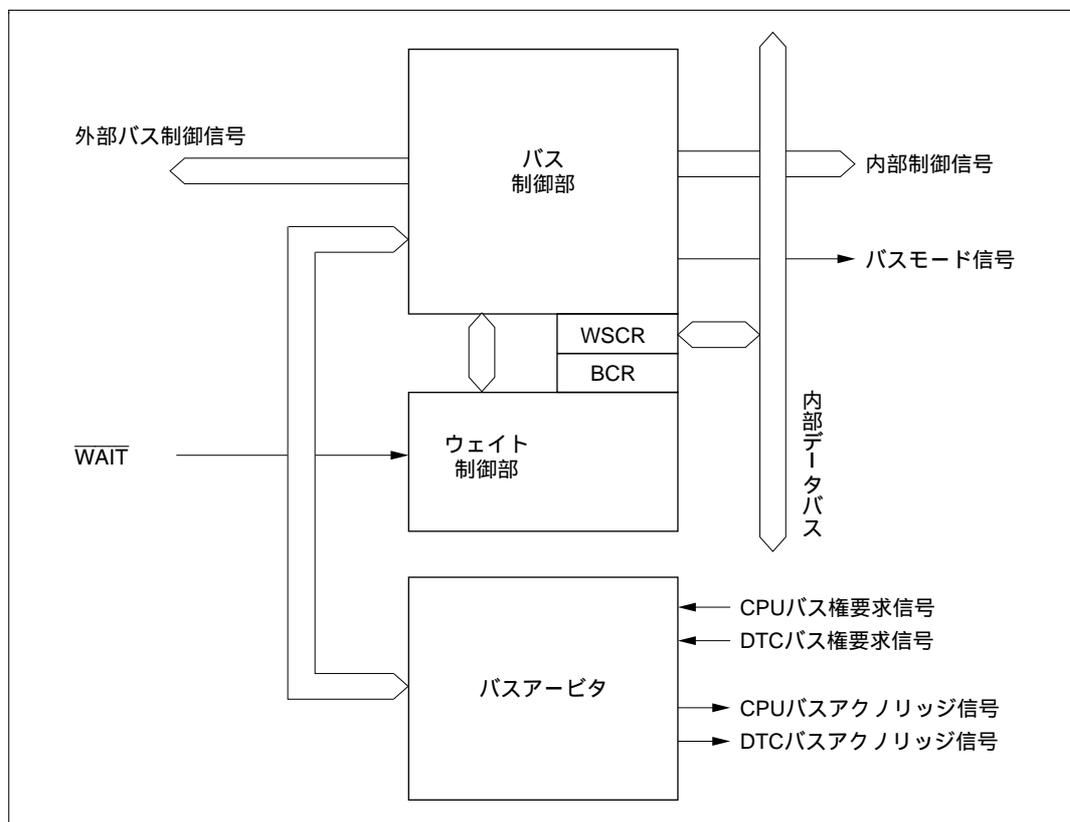


図 6.1 バスコントローラのブロック図

### 6.1.3 端子構成

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名 称	記号	入出力	機 能
アドレスストロブ	$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストロブ信号。 (IOSE ビットが 0 の場合)
I/O セレクト	$\overline{IOS}$	出力	I/O セレクト信号 (IOSE ビットが 1 の場合)
リード	$\overline{RD}$	出力	外部空間をリードしていることを示すストロブ信号。
ライト	$\overline{WR}$	出力	外部空間をライトしていることを示すストロブ信号。
ウェイト	WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。

### 6.1.4 レジスタ構成

表 6.2 にバスコントローラのレジスタ構成を示します。

表 6.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
バスコントロールレジスタ	BCR	R/W	H'D7	H'FFC6
ウェイトステートコントロールレジスタ	WSCR	R/W	H'33	H'FFC7

【注】 \* アドレスの下位 16 ビットを示しています。

## 6.2 各レジスタの説明

### 6.2.1 バスコントロールレジスタ (BCR)

ビット :	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0		IOS1	IOS0
初期値 :	1	1	0	1	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRは8ビットのリード/ライト可能なレジスタで、外部メモリ空間のアクセスモード、 $\overline{AS}$ 端子をI/Oストロブ機能に設定した場合のI/O領域の範囲を設定します。

BCRは、リセットおよびハードウェアスタンバイモード時に、H'D7に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7：アイドルサイクル挿入1 (ICIS1)

リザーブビットです。0をライトしないでください。

ビット6：アイドルサイクル挿入0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット6	説明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット5：バーストROMイネーブル (BRSTRM)

外部空間をバーストROMインタフェースとするかを選択します。すべての外部空間が選択対象になります。

ビット5	説明
BRSTRM	
0	基本バスインタフェース (初期値)
1	バーストROMインタフェース

## ビット4：バーストサイクルセレクト1 (BRSTS1)

バーストROM インタフェースのバーストサイクル数を選択します。

ビット4	説明
BRSTS1	
0	バーストサイクルは1ステート
1	バーストサイクルは2ステート (初期値)

## ビット3：バーストサイクルセレクト0 (BRSTS0)

バーストROM インタフェースのバーストアクセス可能なワード数を選択します。

ビット3	説明
BRSTS0	
0	バーストアクセスは最大4ワード (初期値)
1	バーストアクセスは最大8ワード

## ビット2：リザーブビット

リザーブビットです。0をライトしないでください。

## ビット1、0：IOSセレクト1、0 (IOS1、IOS0)

表6.4を参照してください。

## 6.2.2 ウェイトステートコントロールレジスタ (WSCR)

ビット：	7	6	5	4	3	2	1	0
	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0
初期値：	0	0	1	1	0	0	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WSCRは8ビットのリード/ライト可能なレジスタで、外部メモリ空間のデータバス幅、外部メモリ空間のアクセスステート数、および、外部メモリ空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内部I/Oレジスタのバス幅およびアクセスステート数はWSCRの設定値にかかわらず固定です。

WSCRは、リセットおよびハードウェアスタンバイモード時に、H'33に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7：RAMセレクト (RAMS) / ビット6：RAMエリア設定 (RAM0)  
リザーブビットです。

ビット5：バス幅コントロール (ABW)

外部メモリ空間を8ビットアクセス空間とするか、16ビットアクセス空間とするかを選択します。

ただし、本LSIでは16ビットアクセス空間には設定できません。0をライトしないでください。

ビット5	説明
ABW	
0	外部メモリ空間を16ビットアクセス空間に設定(本LSIでは16ビットアクセス空間に設定できません)
1	外部メモリ空間を8ビットアクセス空間に設定 (初期値)

ビット4：アクセスステートコントロール (AST)

外部メモリ空間を2ステートアクセス空間にするか、3ステートアクセス空間とするかを選択します。

同時に、ウェイトステートの挿入を許可または禁止します。

ビット4	説明
AST	
0	外部メモリ空間を2ステートアクセス空間に設定 外部メモリ空間のアクセスにウェイトステートの挿入を禁止
1	外部メモリ空間アクセスは3ステートアクセス (初期値) 外部メモリ空間アクセスにウェイトステートの挿入を許可

## ビット3、2：ウェイトモードセレクト1、0（WMS1、WMS0）

ASTビットが1にセットされた状態で、外部メモリ空間をアクセスするときの、ウェイトモードを選択します。

ビット3	ビット2	説明
WMS1	WMS0	
0	0	プログラムウェイトモード (初期値)
	1	ウェイト禁止モード
1	0	端子ウェイトモード
	1	端子オートウェイトモード

## ビット1、0：ウェイトカウント1、0（WC1、WC0）

ASTビットが1にセットされた状態で、外部メモリ空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説明
WC1	WC0	
0	0	プログラムウェイトを挿入しない
	1	外部メモリ空間アクセス時、プログラムウェイトを1ステート挿入
1	0	外部メモリ空間アクセス時、プログラムウェイトを2ステート挿入
	1	外部メモリ空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

## 6.3 バス制御の概要

### 6.3.1 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)ウェイトモード・プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部I/Oレジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

#### (1) バス幅

バス幅は、ABWビットにより、8ビットまたは16ビットを選択します。ただし、本LSIでは16ビットアクセス空間には設定できません。

#### (2) アクセスステート数

アクセスステート数は、ASTビットにより、2ステートまたは3ステートを選択します。

2ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

バーストROMインタフェースでは、ASTビットによらず、アクセスステートが決まります。

#### (3) ウェイトモード・プログラムウェイトステート数

ASTビットによって3ステートアクセス空間に設定したとき、WMS1、WMS0、WC1、WC0により、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは0~3ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表6.3に示します。

表 6.3 各エリアのバス仕様（基本バスインタフェース）

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様（基本バスインタフェース）			
						バス幅	アクセス ステート数	プログラム ウェイト ステート数	
0	-	-	-	-	-	本 LSI では設定できません			
1	0	-	-	-	-	8	2	0	
		1	0	1	-	-	8	3	0
	- *	- *	0	0	0	0	3	0	
					1	1			
			1	0	0	0			2
					1	1			

【注】 \* WMS1 = 0 かつ WMS0 = 1 を除く

### 6.3.2 アドバンスモード

本 LSI はアドレス出力端子が 16 本であり、アドバンスモードでの上位アドレス (A16 ~ A23) を出力する端子がありません。 $\overline{AS}$  端子を、I/O ストローブ端子に設定することによって、H'FFF000 ~ H'FFFE4F をアクセスすることは可能です。したがって、アドバンスモードで ROM 有効拡張モードに設定した場合でも、アクセス可能な外部空間は H'FFF000 ~ H'FFFE4F となります。

外部空間の初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。ROM 有効拡張モードでは、内蔵 ROM、内蔵 RAM および内部 I/O レジスタを除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

### 6.3.3 ノーマルモード

外部メモリ空間の初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。ROM 無効拡張モードでは、内蔵 RAM および内部 I/O レジスタを除いた空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM、内蔵 RAM および内部 I/O レジスタを除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

### 6.3.4 I/O セレクト信号

本 LSI は、IO セレクト信号 ( $\overline{\text{IOS}}$ ) を出力することができ、設定された外部空間をアクセスしたとき、Low レベルを出力します。

図 6.2 に、 $\overline{\text{IOS}}$  信号出力タイミング例を示します。

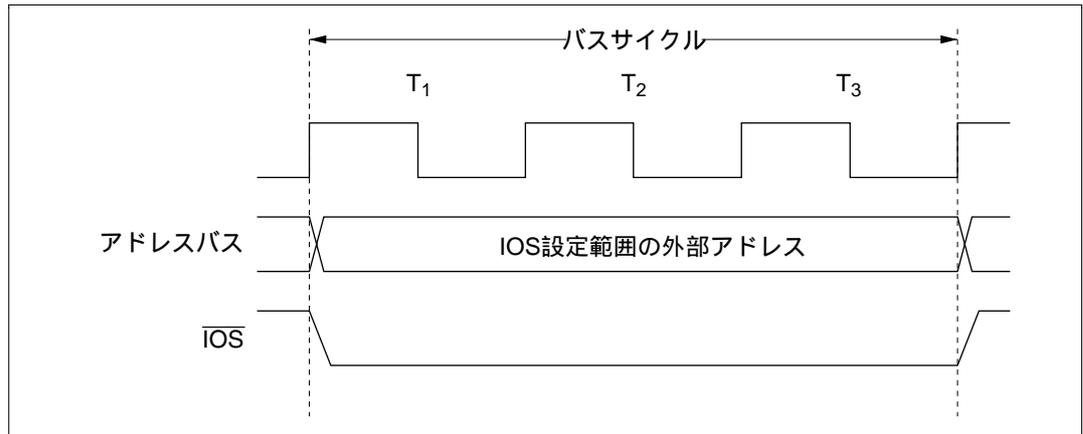


図 6.2  $\overline{\text{IOS}}$  信号出力タイミング

$\overline{\text{IOS}}$  信号の出力の許可または禁止は、SYSCR の IOSE ビットの設定により行います。

拡張モードでは、本端子はリセットにより  $\overline{\text{AS}}$  出力端子として動作しますので、 $\overline{\text{IOS}}$  信号出力として動作させる場合には SYSCR レジスタ IOSE ビットを 1 にセットしてください。

詳細は「第 8 章 I/O ポート」を参照してください。

また、 $\overline{\text{IOS}}$  信号を出力するアドレスの範囲は、BCR の IOS1、IOS0 ビットにより設定することができます。 $\overline{\text{IOS}}$  信号のアドレス範囲を、表 6.4 に示します。

表 6.4  $\overline{\text{IOS}}$  信号出力範囲の設定

IOS1	IOS0	IOS 信号出力範囲
0	0	H'(FF)F000 ~ H'(FF)F03F
	1	H'(FF)F000 ~ H'(FF)F0FF
1	0	H'(FF)F000 ~ H'(FF)F3FF
	1	H'(FF)F000 ~ H'(FF)FE4F (初期値)

## 6.4 基本バスインタフェース

### 6.4.1 概要

基本バスインタフェースは、ROM、SRAMなどの直結が可能です。

ABWビット、ASTビット、WMS1、WMS0、WC1、WC0ビットによってバス仕様を選択できます。表6.3を参照してください。

### 6.4.2 データサイズとデータアライメント

CPUおよびそのほかの内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス(D15~D8)を使用するか、下位側データバス(D7~D0)を使用するかを、アクセスするエリアのバス仕様(8ビットアクセス空間か16ビットアクセス空間)とデータサイズによって制御します。

本LSIには上位側データバスのみがあり、8ビットアクセス空間のアライメントのみが適用されます。本LSIの上位側データバスの端子名はD7~D0です。

#### (1) 8ビットアクセス空間

図6.3に、8ビットアクセス空間のデータアライメント制御を示します。8ビットアクセス空間では、常に上位側データバス(D15~D8)を使ってアクセスを行います。1回にアクセスできるデータ量は1バイトで、ワードアクセスでは2回、ロングワードアクセスは4回のバイトアクセスを実行します。

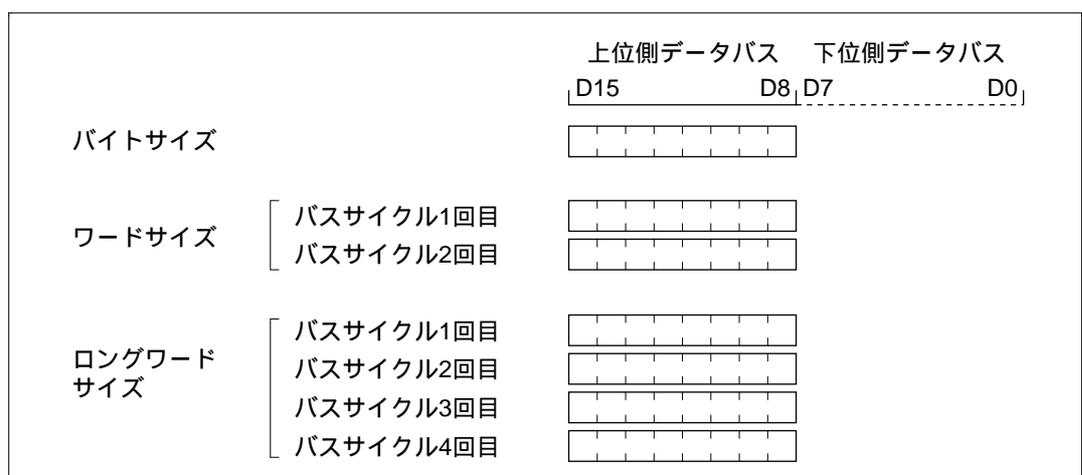


図6.3 アクセスサイズとデータアライメント制御(8ビットアクセス空間)

(2) 16 ビットアクセス空間 (本 LSI では使用できません)

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15 ~ D8) および下位側データバス (D7 ~ D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

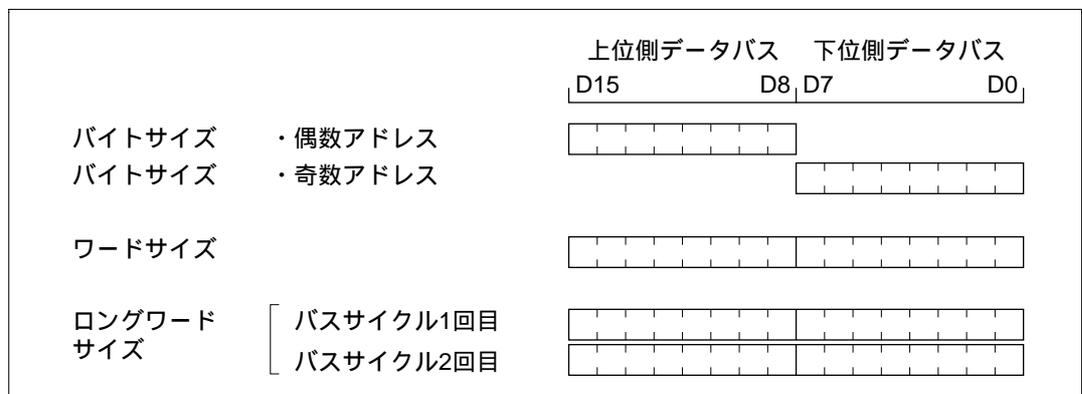


図 6.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

### 6.4.3 有効ストロープ

表 6.5 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 $\overline{RD}$  信号が有効です。

ライト時には、データバスの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。

本 LSI には上位側データバスのみがあり、 $\overline{RD}$  信号、 $\overline{HWR}$  信号のみが有効です。本 LSI の  $\overline{HWR}$  信号の端子名は  $\overline{WR}$  です。

表 6.5 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15 ~ D8) * <sup>1</sup>	データバス下位 (D7 ~ D0) * <sup>3</sup>
8 ビット アクセス空間	バイト	リード	-	$\overline{RD}$	有効	ポート他
		ライト	-	$\overline{HWR}$ * <sup>2</sup>		ポート他
16 ビット アクセス空間 (本 LSI では 使用できませ ん)	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数		無効	有効
		ライト	偶数	$\overline{HWR}$	有効	不定
			奇数	$\overline{LWR}$	不定	有効
ワード	リード	-	$\overline{RD}$	有効		
	ライト	-	$\overline{HWR}$ , $\overline{LWR}$	有効		

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

ポート他：ポートまたは内蔵周辺機能の入出力端子となり、データバスとしては使用されません。

\*1 本 LSI の端子名は D7 ~ D0 です。

\*2 本 LSI の端子名は  $\overline{WR}$  です。

\*3 本 LSI では端子がありません。

## 6.4.4 基本タイミング

## (1) 8 ビット 2 ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することはできません。

本 LSI には、データバス下位側 (D7~D0) および  $\overline{\text{LWR}}$  端子は存在しません。本 LSI のデータバス上位側 (D15~D8) の端子名は D7~D0、 $\overline{\text{HWR}}$  信号の端子名は  $\overline{\text{WR}}$  です。

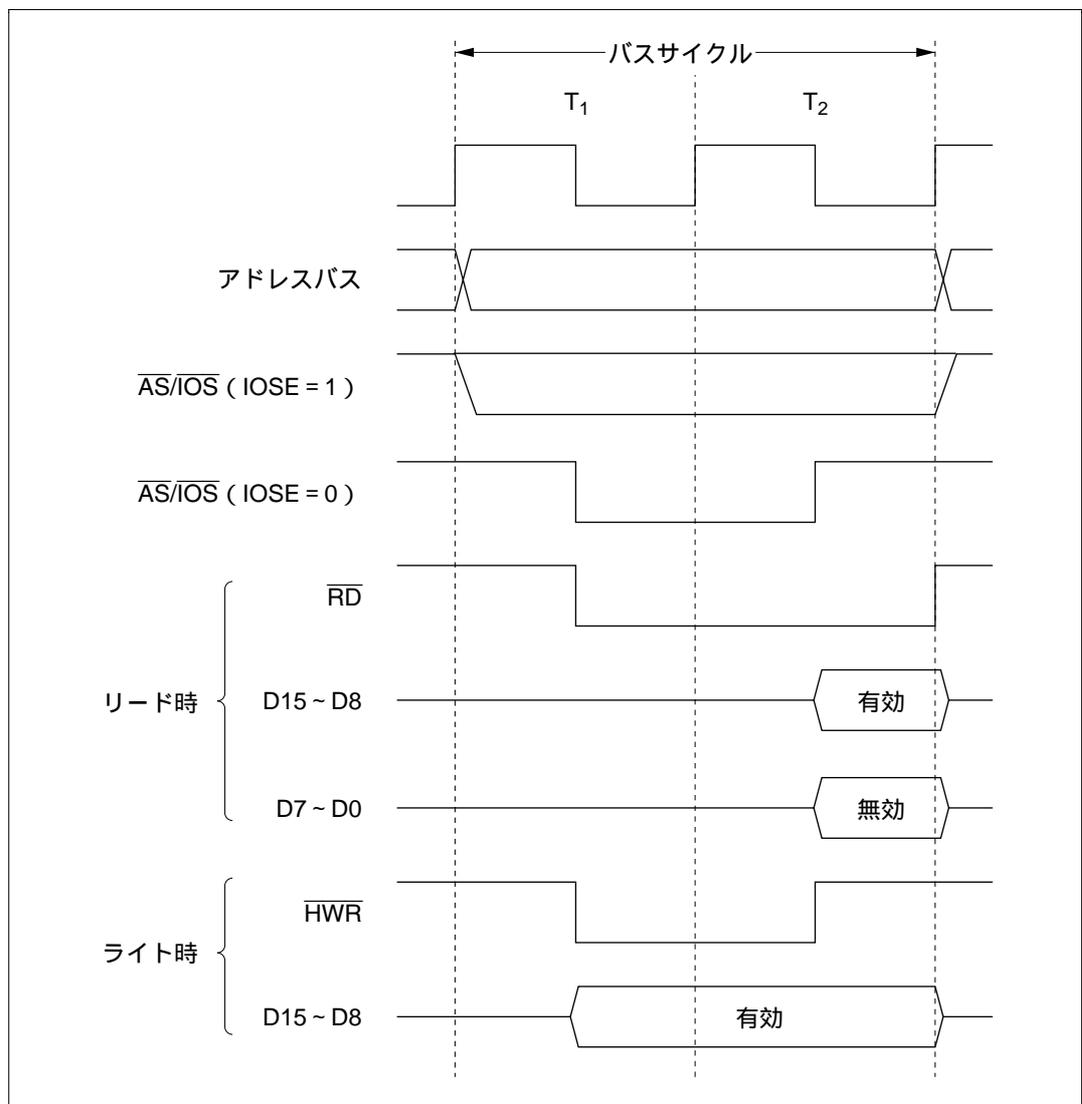


図 6.5 8 ビット 2 ステートアクセス空間のバスタイミング

## (2) 8 ビット 3 ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15 ~ D8) を使用します。

ウェイトステートを挿入することができます。

本 LSI には、データバス下位側 (D7 ~ D0) および  $\overline{\text{LWR}}$  端子は存在しません。本 LSI のデータバス上位側 (D15 ~ D8) の端子名は D7 ~ D0、 $\overline{\text{HWR}}$  信号の端子名は  $\overline{\text{WR}}$  です。

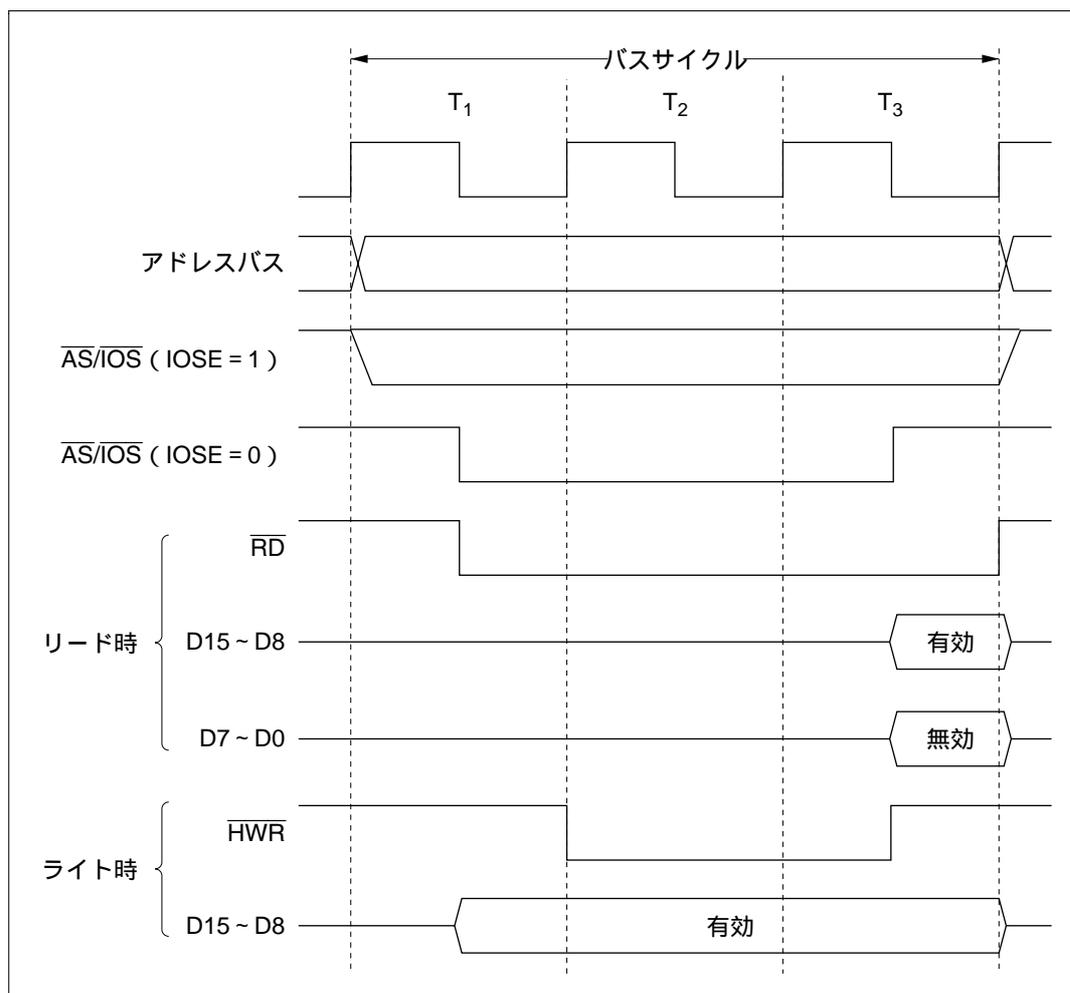


図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング

### 6.4.5 ウェイト制御

本 LSI、外部空間をアクセスするとき、ウェイトステート ( $T_w$ ) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2)  $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、(3) プログラムウェイトと  $\overline{\text{WAIT}}$  端子による端子ウェイトの組み合わせがあります。

#### (1) プログラムウェイトモード

プログラムウェイトモードでは、外部空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけの  $T_w$  が、 $T_2$  ステートと  $T_3$  ステートの間に挿入されます。

#### (2) 端子ウェイトモード

端子ウェイトモードでは、外部空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけの  $T_w$  が、 $T_2$  ステートと  $T_3$  ステートの間に挿入されます。 $T_2$  または  $T_w$  の最後のステートの の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、さらに  $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。

端子ウェイトモードは、4 ステート以上の  $T_w$  を挿入する場合や、外部デバイスごとに挿入する  $T_w$  数を変える場合などに有効です。

#### (3) 端子オートウェイトモード

端子オートウェイトモードでは、外部空間をアクセスしたとき、 $T_2$  の の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数だけの  $T_w$  が、 $T_2$  ステートと  $T_3$  ステートの間に挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されても、設定された数を超える  $T_w$  は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を  $\overline{\text{WAIT}}$  端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

図 6.7 にウェイトステート挿入のタイミング例を示します。

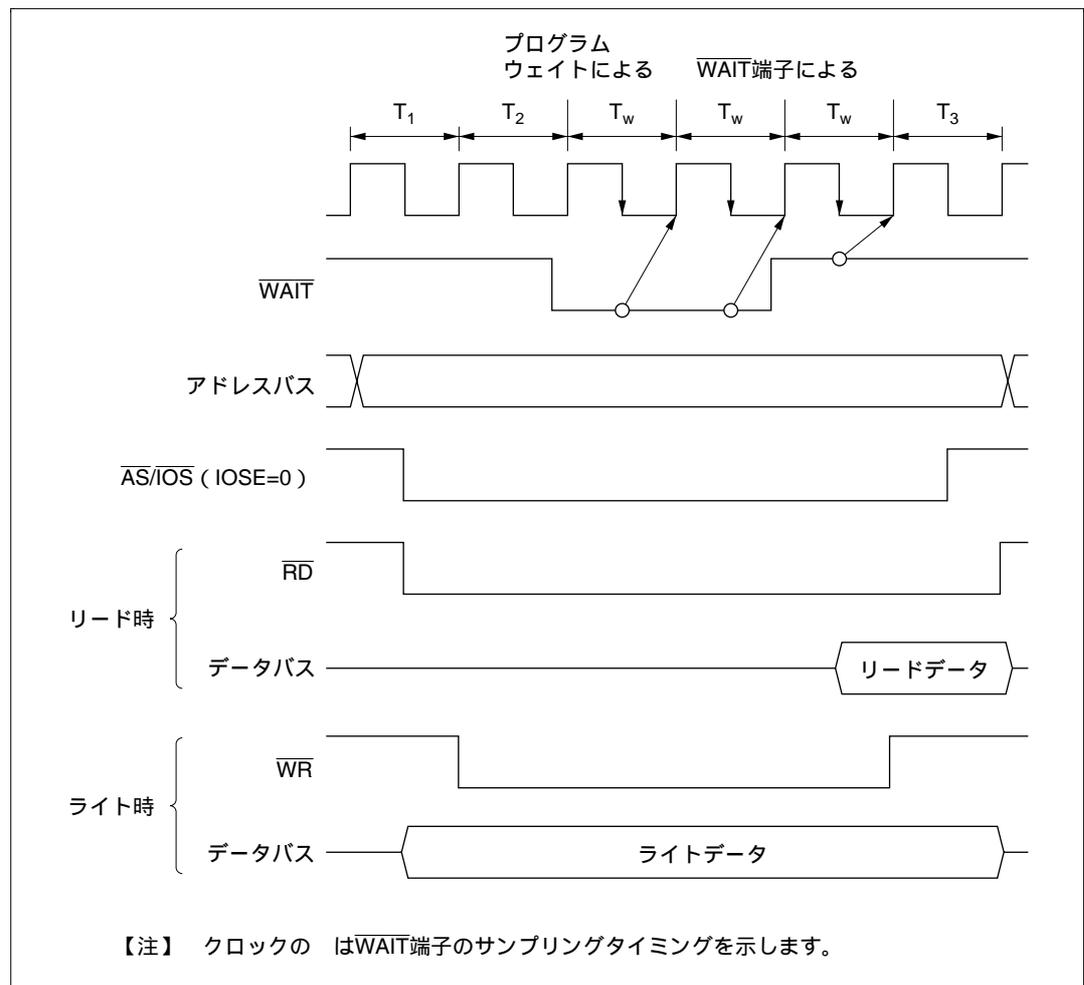


図 6.7 ウェイトステート挿入タイミング例

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、WAIT 入力禁止状態となっています。

## 6.5 バースト ROM インタフェース

### 6.5.1 概要

本 LSI は、外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。

BCR の BRSTRM ビットにより、外部空間をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

### 6.5.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル (フルアクセス) のアクセスステート数は AST ビットの設定に従います。また、AST ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。

また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.8 (a) (b) に示します。

図 6.8 (a) は、AST ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.8 (b) は、AST ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

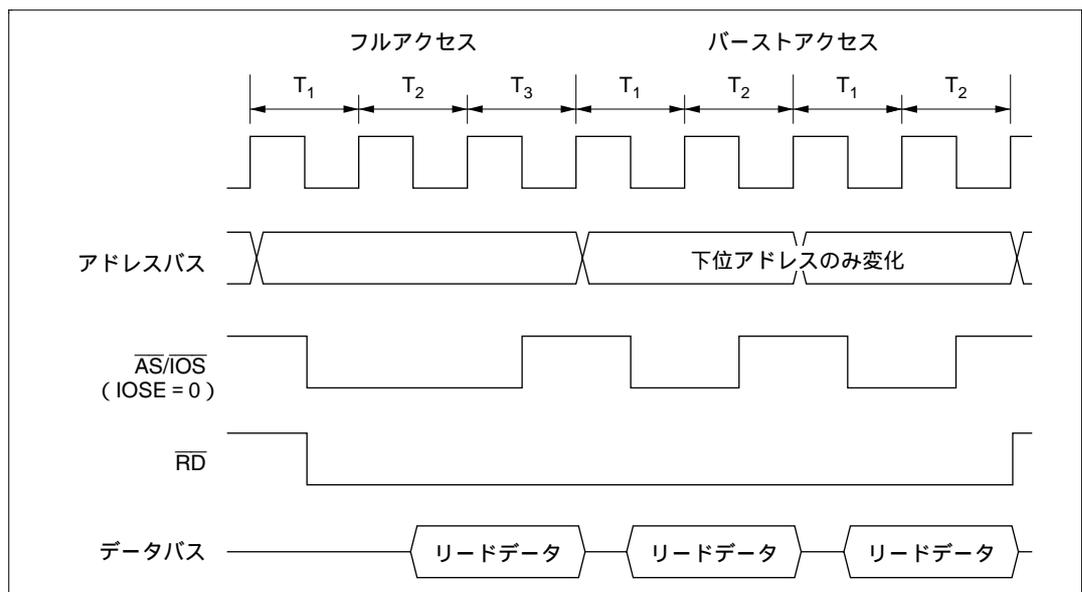


図 6.8 (a) バースト ROM アクセスタイミング例 (AST = BRSTS1 = 1 の場合)

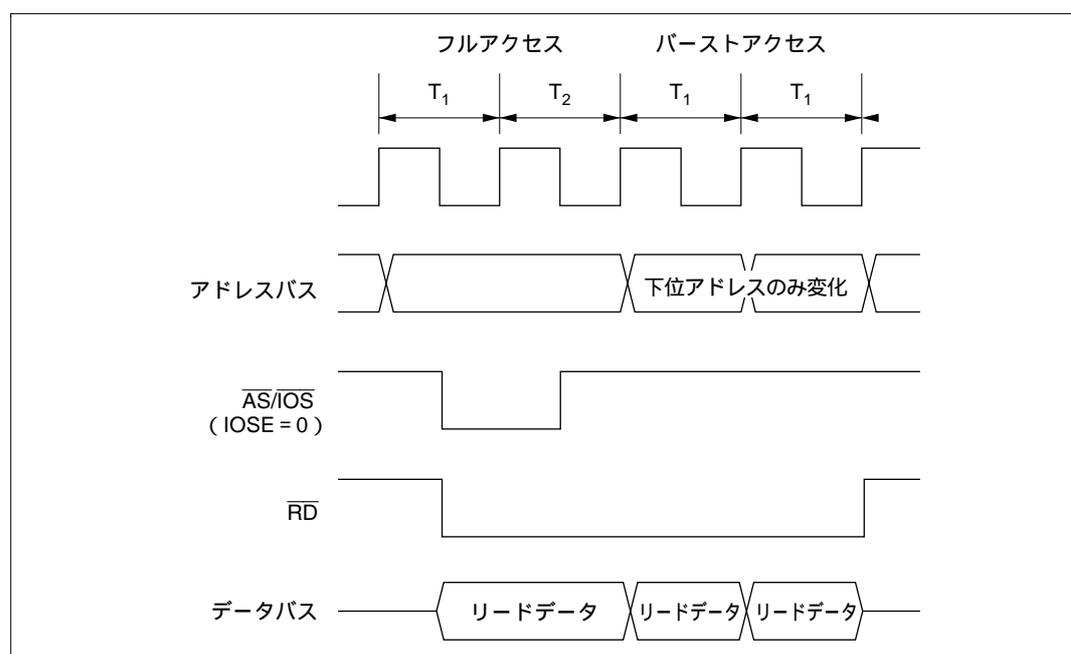


図 6.8 (b) バーストROM アクセスタイミング例 (AST = BRSTS1 = 0 の場合)

### 6.5.3 ウェイト制御

バーストROM インタフェースのインisialサイクル (フルアクセス) には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2)  $\overline{WAIT}$  端子による端子ウェイトの挿入、が可能です。「6.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

## 6.6 アイドルサイクル

### 6.6.1 動作説明

本 LSI は外部空間をアクセスするとき、リードサイクルの直後にライトサイクルが発生した場合に、バスサイクルとバスサイクルの間にアイドルサイクル ( $T_1$ ) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きい ROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

BCR の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。アドバンスモードおよびノーマルモードのとき有効です。

図 6.9 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

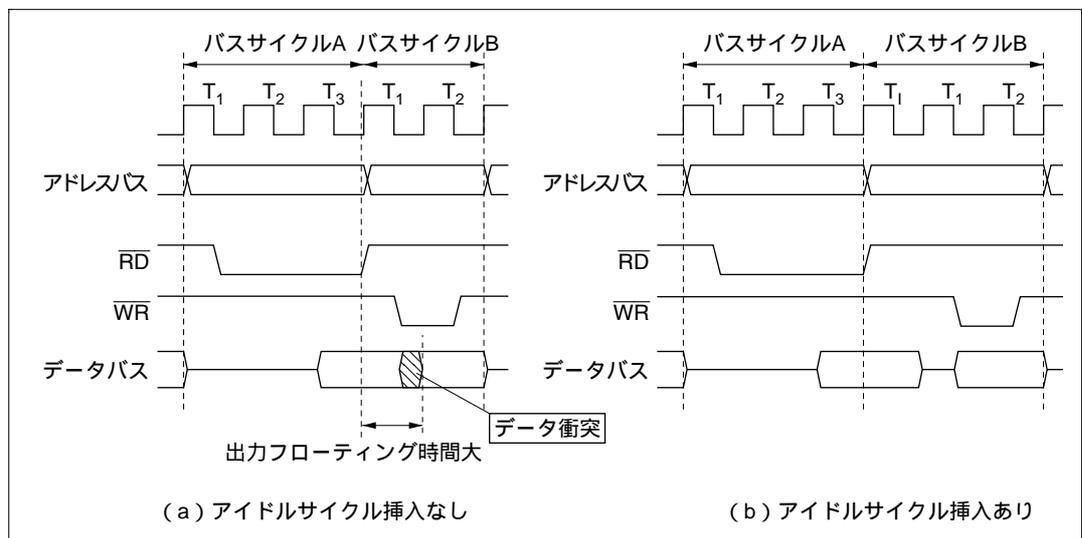


図 6.9 アイドルサイクル動作例

## 6.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
A15 ~ A0、 $\overline{\text{IOS}}$	直後のバスサイクルの内容
D7 ~ D0	ハイインピーダンス
$\overline{\text{AS}}$	High レベル
$\overline{\text{RD}}$	High レベル
$\overline{\text{WR}}$	High レベル

## 6.7 バスアービトレーション

### 6.7.1 概要

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU および DTC の 2 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

### 6.7.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高)      DTC > CPU      (低)

### 6.7.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

#### (1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権を DTC に移行します。バス権が移行するタイミングは次のとおりです。

(a) バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目では、バス権は移行しません。

バス権を移行しないタイミングは「付録 A.5. 命令実行中のバス状態」を参照してください。

(b) CPU がスリープモードの場合、直ちにバス権を移行します。

#### (2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC は、一連の処理が完了するまでバス権を解放しません。



---

# 7. データトランスファ コントローラ (DTC)

---

H8S/2128 グループ、H8S/2128S グループに内蔵しています。  
H8S/2124 グループには内蔵していません。

## 第7章 目次

7.1	概要	169
7.1.1	特長	169
7.1.2	ブロック図	169
7.1.3	レジスタ構成	171
7.2	各レジスタの説明	172
7.2.1	DTC モードレジスタ A (MRA)	172
7.2.2	DTC モードレジスタ B (MRB)	174
7.2.3	DTC ソースアドレスレジスタ (SAR)	175
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	175
7.2.5	DTC 転送カウントレジスタ A (CRA)	175
7.2.6	DTC 転送カウントレジスタ B (CRB)	176
7.2.7	DTC イネーブルレジスタ (DTCER)	176
7.2.8	DTC ベクタレジスタ (DTVECR)	177
7.2.9	モジュールストップコントロールレジスタ (MSTPCR)	178
7.3	動作説明	179
7.3.1	概要	179
7.3.2	起動要因	180
7.3.3	DTC ベクタテーブル	182
7.3.4	アドレス空間上でのレジスタ情報の配置	184
7.3.5	ノーマルモード	185
7.3.6	リピートモード	186
7.3.7	ブロック転送モード	187
7.3.8	チェーン転送	188

## 7. データトランスファコントローラ (DTC)

---

7.3.9	動作タイミング .....	189
7.3.10	DTC 実行ステート数 .....	190
7.3.11	DTC 使用手順 .....	191
7.3.12	DTC 使用例 .....	192
7.4	割り込み .....	194
7.5	使用上の注意 .....	194

## 7.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

### 7.1.1 特長

任意チャネル数の転送可能

- ・メモリ上に転送情報を格納
- ・1つの起動要因に対して複数のデータ転送が可能 (チェーン転送)

豊富な転送モード

- ・ノーマルモード/リピートモード/ブロック転送モードの選択が可能
- ・ソース/デスティネーションアドレスのインクリメント/デクリメント/固定の選択が可能

16Mバイトのアドレス空間を直接指定可能

- ・転送元、転送先アドレスを 24 ビットで指定

転送単位をバイト/ワードに設定可能

DTC を起動した割り込みを CPU に要求可能

- ・1回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- ・指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

ソフトウェアによる起動が可能

モジュールストップモードの設定可能

- ・初期値では DTC のレジスタのアクセスが可能。モジュールストップモードの設定で DTC の動作が停止

### 7.1.2 ブロック図

DTC のブロック図を図 7.1 に示します。

DTC のレジスタ情報は内蔵 RAM に配置されます\*。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行することができます。

【注】 \* DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。

7. データトランスファコントローラ (DTC)

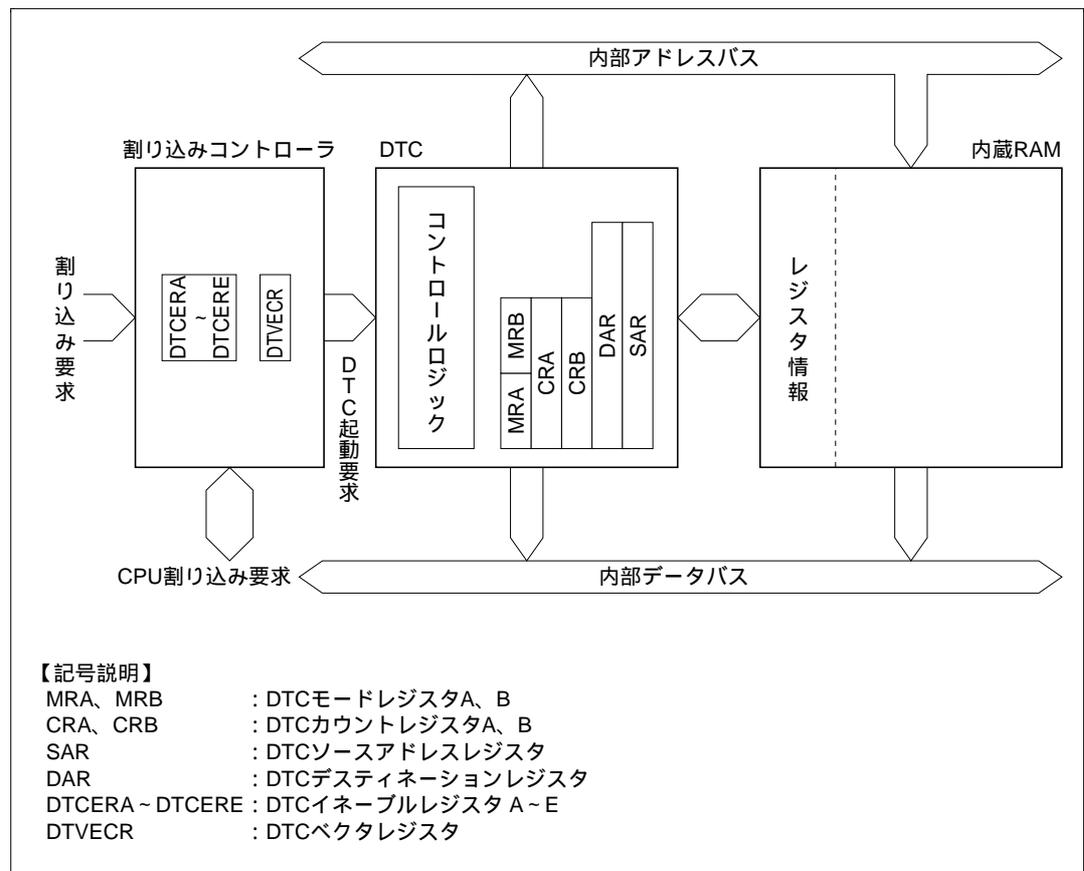


図 7.1 DTC のブロック図

### 7.1.3 レジスタ構成

DTC のレジスタ構成を表 7.1 に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
DTC モードレジスタ A	MRA	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC モードレジスタ B	MRB	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC ソースアドレスレジスタ	SAR	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC デスティネーションアドレスレジスタ	DAR	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC 転送カウントレジスタ A	CRA	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC 転送カウントレジスタ B	CRB	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC イネーブルレジスタ	DTGER* <sup>4</sup>	R/W	H'00	H'FEEE ~ H'FEF2
DTC ベクタレジスタ	DTVECR* <sup>4</sup>	R/W	H'00	H'FEF3
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 DTC 内のレジスタは直接リード/ライトできません。

\*3 内蔵 RAM のアドレス H'EC00 ~ H'FFFF にレジスタ情報として配置します。外部メモリ空間には配置できません。

DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

\*4 H8S/2124 グループは DTC を内蔵していません。H8S/2124 グループでは、DTGER、DTVECR のレジスタアドレス範囲を CPU でアクセスしないでください。

## 7.2 各レジスタの説明

### 7.2.1 DTC モードレジスタ A (MRA)

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定						
R/W :	-	-	-	-	-	-	-	-

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6 : ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説明
SM1	SM0	
0	-	SAR は固定
1	0	SAR は転送後インクリメント (Sz = 0 のとき +1、Sz = 1 のとき +2)
	1	SAR は転送後デクリメント (Sz = 0 のとき -1、Sz = 1 のとき -2)

ビット 5、4 : デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説明
DM1	DM0	
0	-	DAR は固定
1	0	DAR は転送後インクリメント (Sz = 0 のとき +1、Sz = 1 のとき +2)
	1	DAR は転送後デクリメント (Sz = 0 のとき -1、Sz = 1 のとき -2)

## ビット3、2 : DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット3	ビット2	説 明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

## ビット1 : DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット1	説 明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

## ビット0 : DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット0	説 明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

## 7.2.2 DTC モードレジスタ B (MRB)

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

## ビット 7 : DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因のフラグのクリアや DTCER のクリアは行いません。

ビット 7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

## ビット 6 : DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット 6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

## ビット 5 ~ 0 : リザーブビット

本 LSI では、DTC の動作に影響を与えません。0 をライトしてください。

### 7.2.3 DTC ソースアドレスレジスタ (SAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

SARは24ビットのレジスタで、DTCの転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

DARは24ビットのレジスタで、DTCの転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 7.2.5 DTC 転送カウントレジスタ A (CRA)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定															
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

←———— CRAH —————→ ←———— CRAL —————→

CRAは16ビットのレジスタで、DTCのデータ転送の転送回数を指定します。

ノーマルモードでは一括して、16ビットの転送カウンタ(1~65536)として機能します。1回のデータ転送を行うたびに、デクリメント(-1)され、カウンタ値がH'0000になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位8ビットのCRAHと下位8ビットのCRALに分割されます。CRAHは転送回数を保持し、CRALは8ビットの転送カウンタ(1~256)として機能します。CRALは、1回のデータ転送を行うたびに、デクリメント(-1)され、カウンタ値がH'00になると、CRAHの内容が転送されます。この動作を繰り返します。

## 7.2.6 DTC 転送カウントレジスタ B (CRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定															
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

## 7.2.7 DTC イネーブルレジスタ (DTCER)

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

DTCER は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード/ライトが可能な 5 本のレジスタで、DTCERA ~ DTCERE があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n : DTC 起動イネーブル (DTCE<sub>n</sub>)

ビット n	説明
DTCE <sub>n</sub>	
0	割り込みによる DTC 起動を禁止 (初期値) [クリア条件] ・ DISEL ビットが 1 でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき
1	割り込みによる DTC 起動を許可 [保持条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n = 7 ~ 0)

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびそのときに割り込みコントローラが発生するベクタ番号について表 7.4 に示します。

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

## 7.2.8 DTC ベクタレジスタ (DTVECR)

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W						

【注】\* SWDTE ビットは、1 ライトは常時可能ですが、0 ライトは 1 リード後にのみ可能となります。

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されません。

### ビット 7 : DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。

ソフトウェアで SWDTE ビットを 0 にクリアする場合には、SWDTE = 1 の状態をリード後、0 をライトしてください。

ビット 7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき
1	DTC ソフトウェア起動を許可 [保持条件] ・ DISEL ビットが 1 で、データ転送を終了したとき ・ 指定した回数の転送が終了したとき ・ ソフトウェア起動によるデータ転送中

ビット6~0 : DTC ソフトウェア起動ベクタ6~0 (DTVEC6~DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、 $H'0400 + ((\text{ベクタ番号}) \ll 1)$  となります。ここで $\ll 1$  は1ビットの左シフトを表します。たとえば、DTVEC6~DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。

## 7.2.9 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP14 ビットを1にセットすると、バスサイクルの終了時点でDTCは動作を停止してモジュールストップモードへ遷移します。ただし、DTCが起動中の場合、MSTP14ビットに1をライトすることはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

### MSTPCRH ビット6 : モジュールストップ (MSTP14)

DTCのモジュールストップモードを指定します。

MSTPCRH ビット6	説明
MSTP14	
0	DTCのモジュールストップモード解除 (初期値)
1	DTCのモジュールストップモード設定

## 7.3 動作説明

### 7.3.1 概要

DTCは、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャンネル数のデータ転送を行うことができます。また、CHNEビットを1にセットしておくことにより、1つの起動要因で複数の転送を行うことができます。

図7.2にDTCの動作フローチャートを示します。

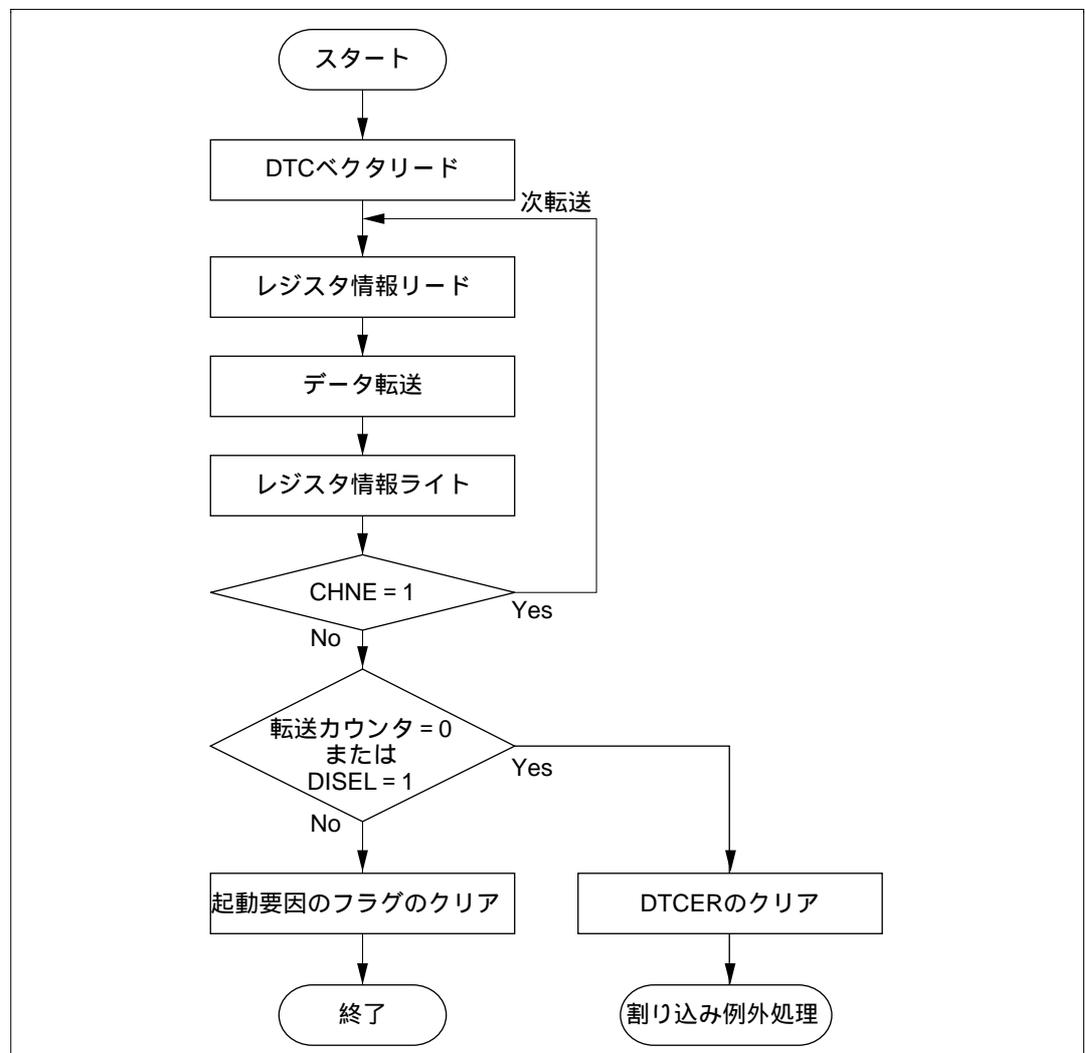


図 7.2 DTC 動作フローチャート

DTCの転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTCは、転送元アドレスを24ビット長のSAR、転送先アドレスを24ビット長のDARで指定します。SAR、DARは転送後、それぞれ独立にインクリメントまたはデクリメントあるいは固定とされます。

表7.2に、DTCの機能概要を示します。

表7.2 DTCの機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード ・1回の転送要求で1バイトまたは1ワードの転送を実行 ・メモリアドレスを1または2増減 ・転送回数は1~65536	・IRQ ・FRTのICI、OCI ・8ビットタイマのCMI ・SCIのTXI、RXI ・A/D変換器のADI	24ビット	24ビット
(2) リピートモード ・1回の転送要求で1バイトまたは1ワードの転送を実行 ・メモリアドレスを1または2増減 ・指定回数(1~256)転送後、初期状態を回復して動作を継続	・IICのIICI ・ソフトウェア		
(3) ブロック転送モード ・1回の転送要求で指定したブロックサイズの転送 ・ブロックサイズ1~256バイトまたはワード ・転送回数は1~65536 ・ソースまたはデスティネーションのいずれかをブロックエリアに指定可能			

### 7.3.2 起動要因

DTCは、割り込み要因、もしくはソフトウェアによるDTVECRへのライト動作(ソフトウェア起動)を起動要因として動作します。割り込み要因を、CPUに対する割り込み要求とするか、DTCの起動要因とするかは、割り込み要因ごとにDTCERの対応するビットで指定します。対応するビットを1にセットするとDTCの起動要因となり、0にクリアすると、CPUの割り込み要因となります。

1回のデータ転送(チェーン転送の場合、連続した最後の転送)終了時に、起動要因ま

たは DTCER の対応するビットをクリアします。表 7.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、たとえば、RXI0 の場合、SCI0 の RDRF フラグになります。

表 7.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア 起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> <li>・ SWDTE ビットは 1 を保持</li> <li>・ CPU に割り込みを要求</li> </ul>
割り込み起動	<ul style="list-style-type: none"> <li>・ DTCER の対応するビットは 1 を保持</li> <li>・ 起動要因フラグは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>・ DTCER の対応するビットは 0 にクリア</li> <li>・ 起動要因フラグは 1 を保持</li> <li>・ 起動要因となった割り込みを CPU に要求</li> </ul>

図 7.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

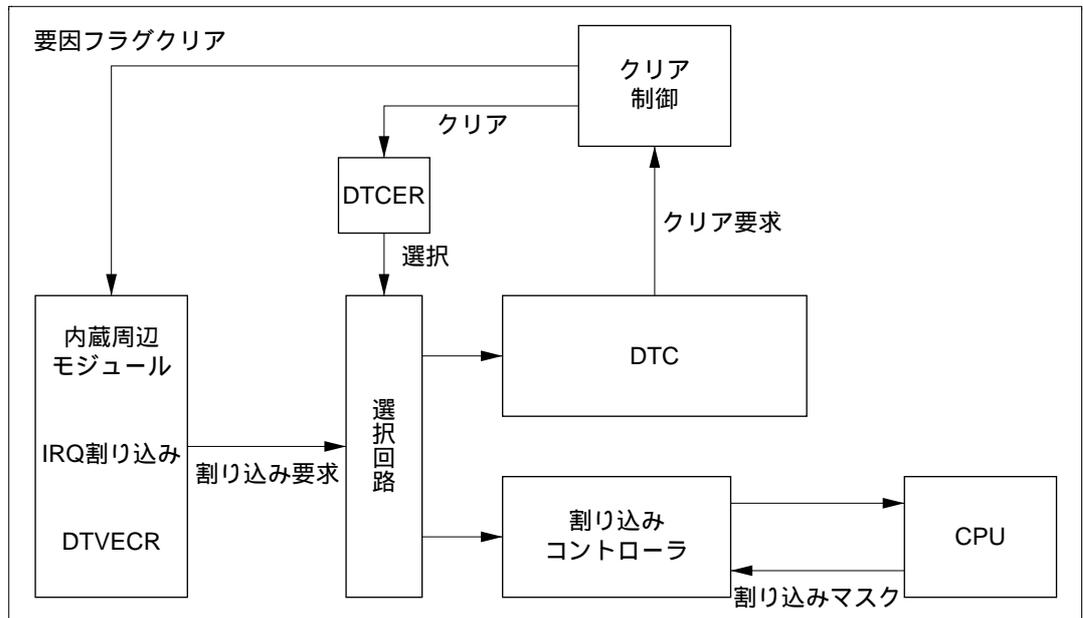


図 7.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位に従って受け付けられ、DTC が起動されます。

### 7.3.3 DTC ベクタテーブル

図 7.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 7.4 に、起動要因とベクタアドレスの対応および DTCER のビットとの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは  $H'0400 + DTVECR[6:0] \ll 1$  で求めます ( $\ll 1$  は 1 ビットの左シフトを表します)。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモードとアドバンスモードとで同じです。ともに 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

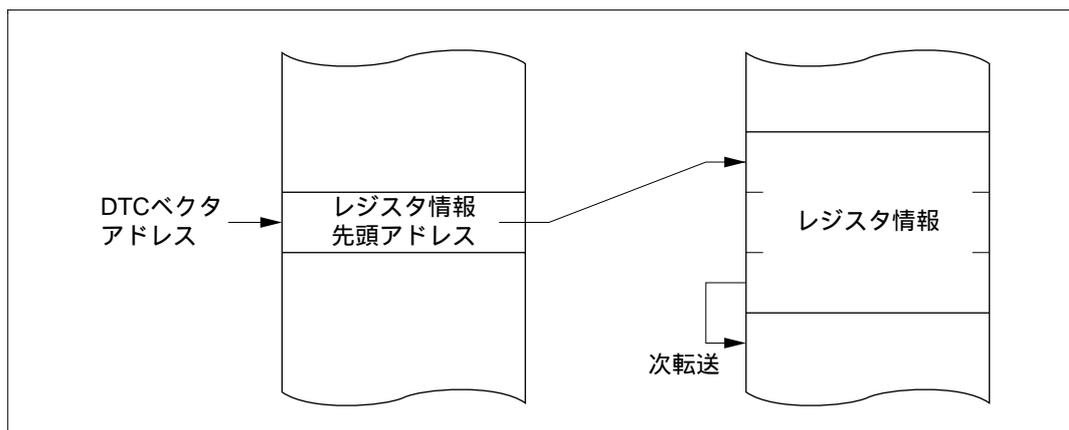


図 7.4 DTC ベクタアドレスとレジスタ情報との対応

表 7.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位
DTVECR へのライト	ソフトウェア	DTVECR (10 進数表示)	H'0400 + (DTVECR[6:0] <<1)	-	高 ▲
IRQ0	外部端子	16	H'0420	DTCEA7	↑
IRQ1		17	H'0422	DTCEA6	
IRQ2		18	H'0424	DTCEA5	
ADI (A/D 変換終了)	A/D	28	H'0438	DTCEA3	
ICIA (FRT インพุットキャプチャ A)	FRT	48	H'0460	DTCEA2	
ICIB (FRT インพุットキャプチャ B)		49	H'0462	DTCEA1	
OCIA (FRT アウトプットコンペア A)		52	H'0468	DTCEA0	
OCIB (FRT アウトプットコンペア B)		53	H'046A	DTCEB7	
CMIA0 (TMR0 コンペアマッチ A)	TMR0	64	H'0480	DTCEB2	
CMIB0 (TMR0 コンペアマッチ B)		65	H'0482	DTCEB1	
CMIA1 (TMR1 コンペアマッチ A)	TMR1	68	H'0488	DTCEB0	
CMIB1 (TMR1 コンペアマッチ B)		69	H'048A	DTCEC7	
CMIA Y (TMR Y コンペアマッチ A)	TMR Y	72	H'0490	DTCEC6	
CMIB Y (TMR Y コンペアマッチ B)		73	H'0492	DTCEC5	
RX10 (受信完了 0)	SCI チャンネル 0	81	H'04A2	DTCEC2	
TX10 (送信データエンプティ 0)		82	H'04A4	DTCEC1	
RX11 (受信完了 1)	SCI チャンネル 1	85	H'04AA	DTCEC0	
TX11 (送信データエンプティ 1)		86	H'04AC	DTCED7	
IIC10 (IIC0 1 バイト送信 / 受信完了)	IIC0 【オプション】	92	H'04B8	DTCED4	
IIC11 (IIC1 1 バイト送信 / 受信完了)	IIC1 【オプション】	94	H'04BC	DTCED3	低

【注】 \* 対応する割り込みのない DTCE ビットは、リザーブビットとなります。0 をライトしてください。

## 7.3.4 アドレス空間上でのレジスタ情報の配置

図 7.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス (ベクタアドレスの内容) から、MRA、SAR、MRB、DAR、CRA、CRB の順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上 (アドレス : H'FFEC00 ~ H'FFEFF) に配置してください。

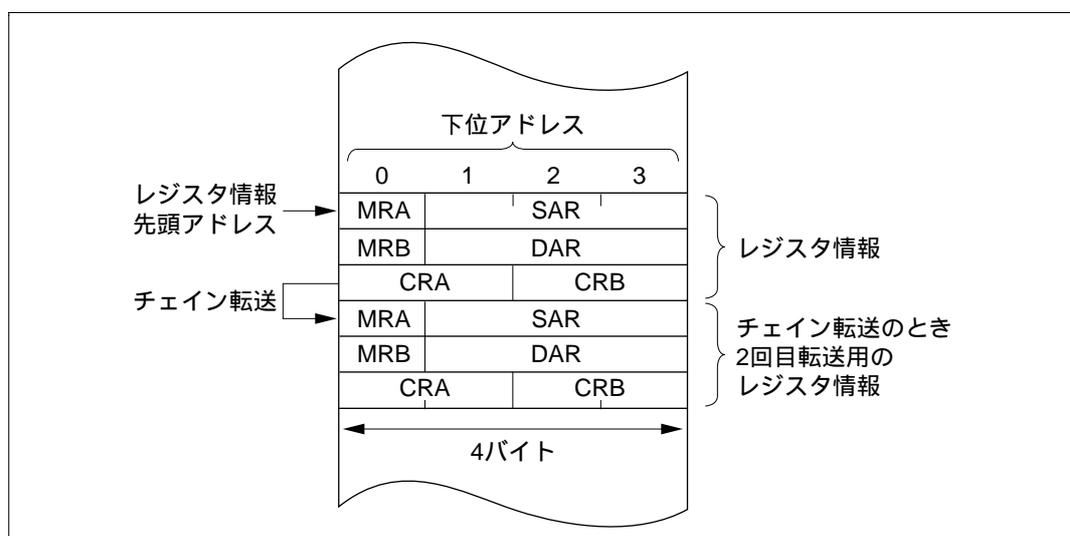


図 7.5 アドレス空間上での DTC レジスタ情報の配置

### 7.3.5 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込みを要求することができます。

表7.5にノーマルモードのレジスタ機能を、図7.6にノーマルモードのメモリマップを示します。

表7.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTCソースアドレスレジスタ	SAR	転送元アドレス
DTCデスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC転送カウントレジスタA	CRA	転送カウント
DTC転送カウントレジスタB	CRB	使用しません

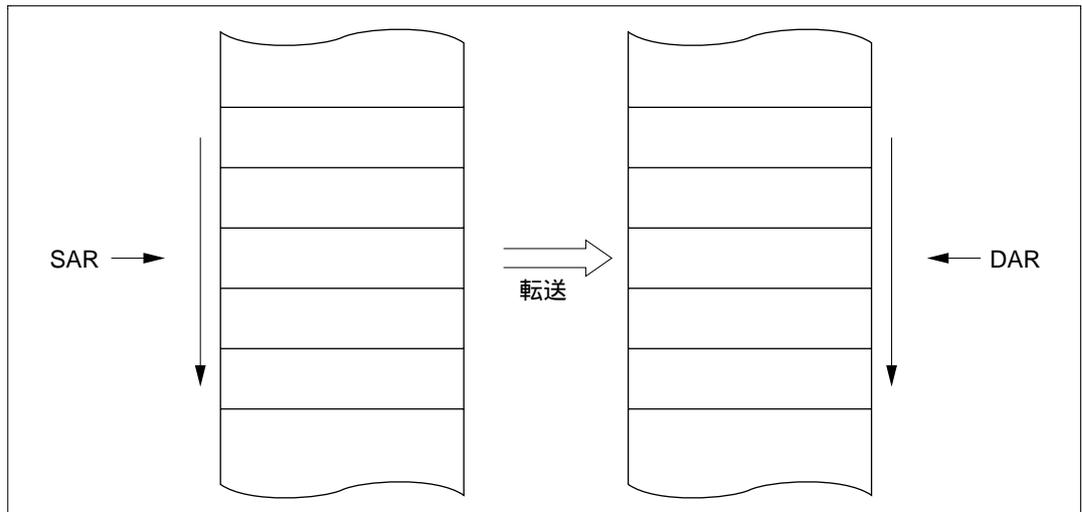


図7.6 ノーマルモードのメモリマップ

### 7.3.6 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~256を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは転送カウンタがH'00になりませんので、DISEL=0の場合、CPUへの割り込みは要求されません。

表 7.6 にリピートモードのレジスタ機能を、図 7.7 にリピートモードのメモリマップを示します。

表 7.6 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

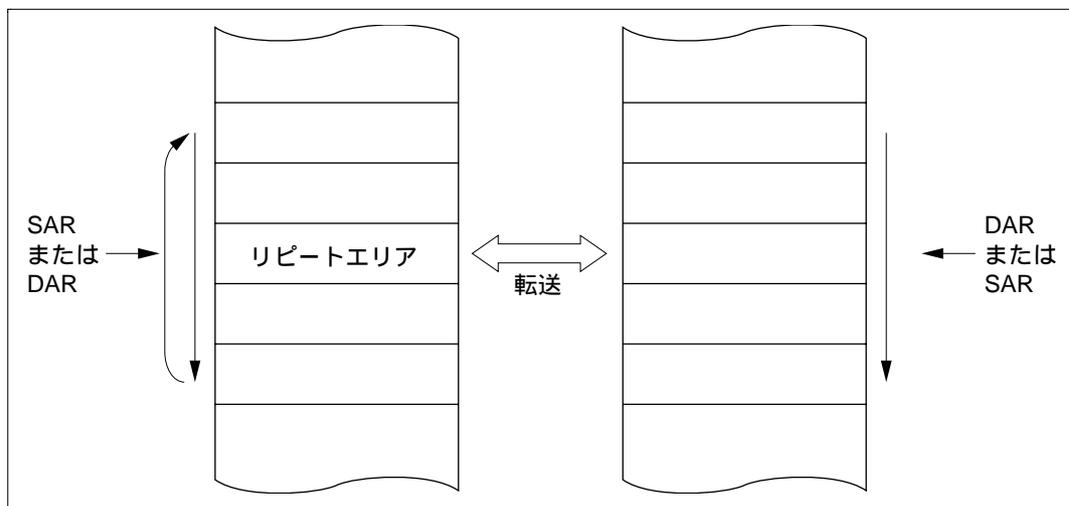


図 7.7 リピートモードのメモリマップ

### 7.3.7 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは1~256です。1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは連続して、インクリメントまたはデクリメントあるいは固定とされます。

転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込みを要求することができます。

表7.7にブロック転送モードのレジスタ機能を、図7.8にブロック転送モードのメモリマップを示します。

表7.7 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTCソースアドレスレジスタ	SAR	転送元アドレス
DTCデスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC転送カウントレジスタAH	CRAH	ブロックサイズ保持
DTC転送カウントレジスタAL	CRAL	ブロックサイズカウンタ
DTC転送カウントレジスタB	CRB	転送カウンタ

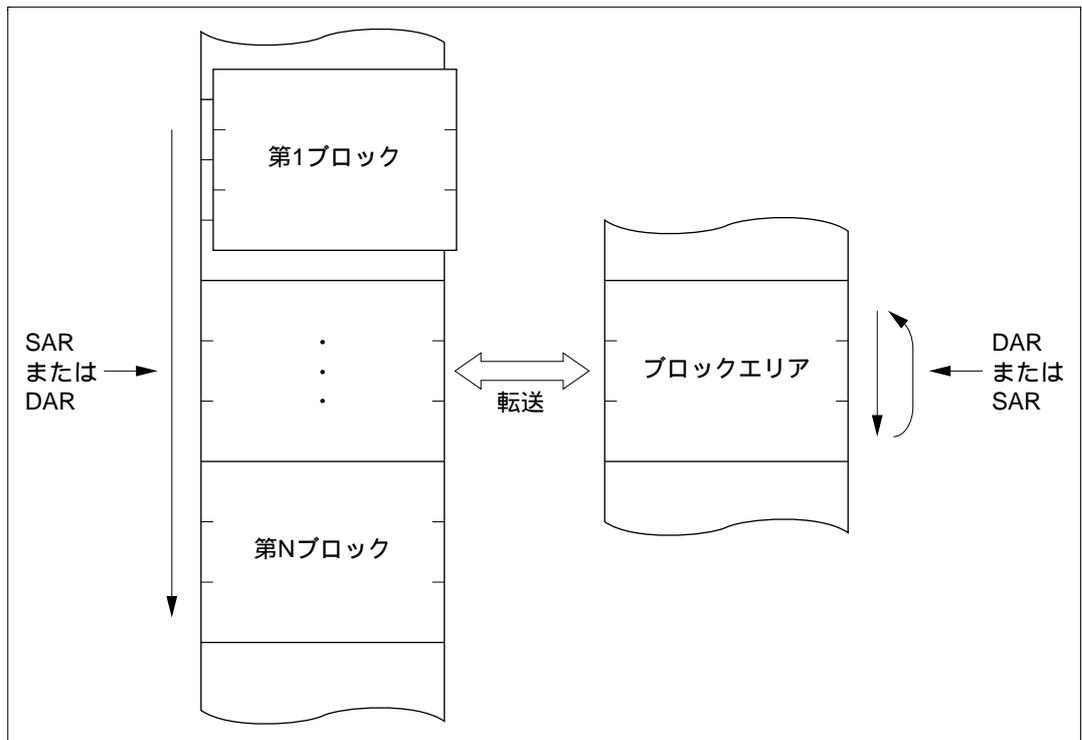


図7.8 ブロック転送モードのメモリマップ

### 7.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 7.9 にチェイン転送のメモリマップを示します。

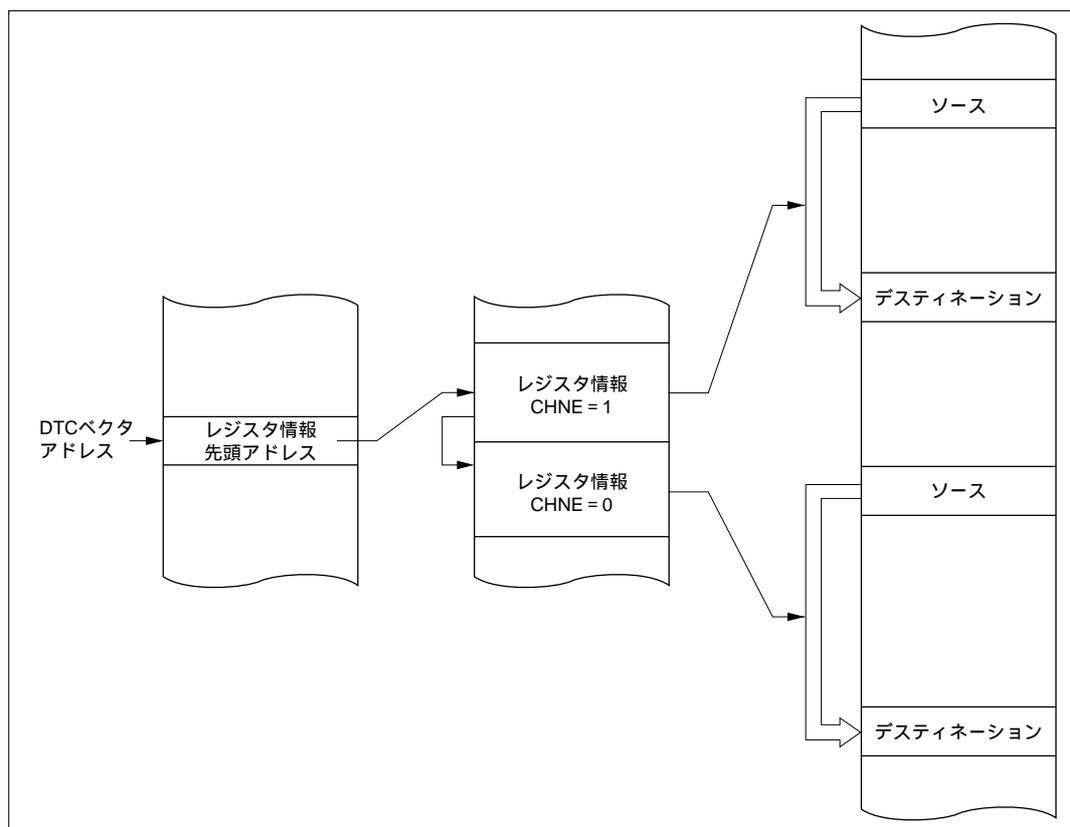


図 7.9 チェイン転送のメモリマップ

CHNE = 1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

## 7.3.9 動作タイミング

図 7.10~図 7.12 に、DTC の動作タイミングの例を示します。

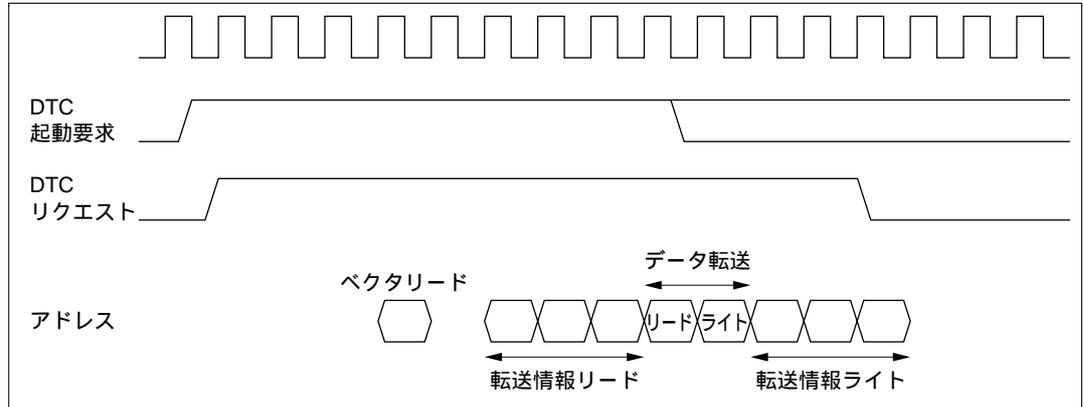


図 7.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

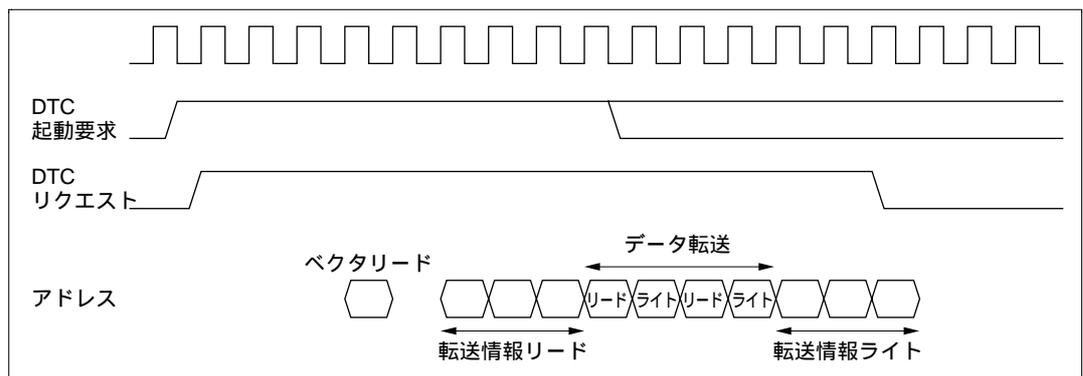


図 7.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2の例)

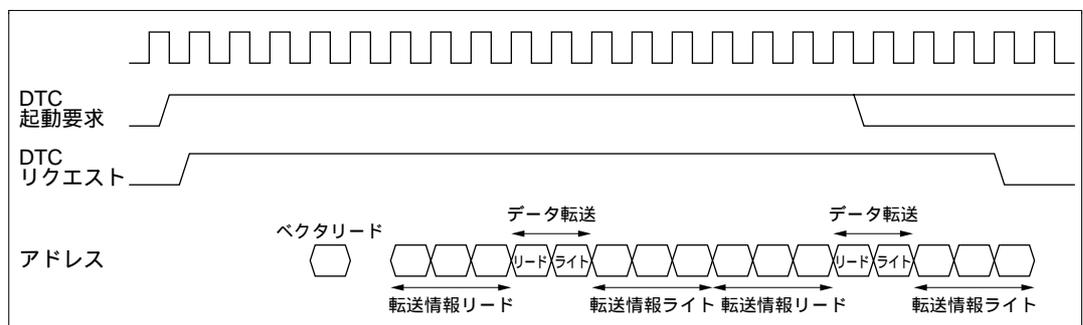


図 7.12 DTC の動作タイミング (チェーン転送の例)

## 7.3.10 DTC 実行ステート数

表 7.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 7.9 に、実行状態に必要なステート数を示します。

表 7.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報	データリード K	データライト L	内部動作 M
		リード/ライト J			
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス	
バス幅		32	16	8	16	8	
アクセスステート		1	1	2	2	2	3
実行 状態	ベクタリード $S_I$	-	1	-	-	4	6+2 m
	レジスタ情報 リード/ライト $S_J$	1	-	-	-	-	-
	バイトデータリード $S_K$	1	1	2	2	2	3+m
	ワードデータリード $S_K$	1	1	4	2	4	6+2 m
	バイトデータライト $S_L$	1	1	2	2	2	3+m
	ワードデータライト $S_L$	1	1	4	2	4	6+2 m
	内部動作 $S_M$	1					

実行ステート数は次の計算式で計算されます。なお、 $S_I$  は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

### 7.3.11 DTC 使用手順

#### (1) 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRB のレジスタ情報を内蔵 RAM 上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTC ベクタアドレスに設定します。
- [3] DTCER の対応するビットを 1 にセットします。
- [4] 起動要因となる割り込み要因のイネーブルビットを 1 にセットします。  
要因となる割り込みが発生すると、DTC が起動されます。
- [5] 1 回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCE ビットが 0 にクリアされ、CPU に割り込みが要求されます。引き続き DTC によるデータ転送を行う場合には、DTCE を 1 にセットしてください。

#### (2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRB のレジスタ情報を内蔵 RAM 上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTC ベクタアドレスに設定します。
- [3] SWDTE = 0 を確認します。
- [4] SWDTE に 1 を、DTVECR にベクタ番号をライトします。
- [5] DTVECR にライトしたベクタ番号を確認します。
- [6] 1 回のデータ転送終了後、DISEL ビットが 0 で、CPU に割り込みを要求しない場合、SWDTE ビットが 0 にクリアされます。引き続き DTC によるデータ転送を行う場合には、SWDTE を 1 にセットしてください。DISEL ビットが 1 の場合または指定した回数のデータ転送終了後、SWDTE ビットは 1 に保持され、CPU に割り込みが要求されず。

### 7.3.12 DTC 使用例

#### (1) ノーマルモード

DTCの使用例として、SCIによる128バイトのデータ受信を行う例を示します。

- [1] MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0)を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0)を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080)を設定します。CRBは任意の値とすることができます。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI)割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
- [5] SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
- [6] 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

#### (2) ソフトウェア起動

DTCの使用例として、ソフトウェア起動による1ブロック128バイトのデータ転送を行う例を示します。転送元アドレスはH'1000、転送先アドレスはH'2000です。ベクタ番号はH'60、したがって、ベクタアドレスはH'04C0です。

- [1] MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0)を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0)を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080)を設定します。CRBは1 (H'0001)をセットします。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0)に設定します。

- [3] DTVECR の SWDTE = 0 を確認します。現在、DTC がソフトウェア起動による転送を行っていないことの確認です。
- [4] SWDTE = 1 とともに、ベクタ番号 H'60 を DTVECR にライトします。ライトデータは HE0 です。
- [5] 再度 DTVECR を読み、ベクタ番号 H'60 が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3] に戻ってください。
- [6] ライトが成功すると、DTC が起動され、128 バイト 1 ブロックの転送を行います。
- [7] 転送後、SWDTEND 割り込みが起動します。割り込み処理ルーチンで SWDTE ビットの 0 クリアなど、終了処理を行ってください。

## 7.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

## 7.5 使用上の注意

### (1) モジュールストップ

MSTPCR の MSTP14 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTP14 ビットに 1 をライトできません。

また、DTC をモジュールストップとする場合、必ず DTCER がすべてクリアされた状態で MSTP14 ビットを 1 にセットしてください。

### (2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

### (3) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

---

# 8. I/O ポート

---

## 第8章 目次

8.1	概要	197
8.2	ポート 1	201
	8.2.1 概要	201
	8.2.2 レジスタ構成	202
	8.2.3 モード別端子機能	204
	8.2.4 入力プルアップ MOS	205
8.3	ポート 2	206
	8.3.1 概要	206
	8.3.2 レジスタ構成	207
	8.3.3 モード別端子機能	209
	8.3.4 入力プルアップ MOS	211
8.4	ポート 3	212
	8.4.1 概要	212
	8.4.2 レジスタ構成	213
	8.4.3 モード別端子機能	215
	8.4.4 入力プルアップ MOS	216
8.5	ポート 4	217
	8.5.1 概要	217
	8.5.2 レジスタ構成	218
	8.5.3 端子機能	219
8.6	ポート 5	222
	8.6.1 概要	222
	8.6.2 レジスタ構成	222
	8.6.3 端子機能	224
8.7	ポート 6	225
	8.7.1 概要	225
	8.7.2 レジスタ構成	225

	8.7.3	端子機能 .....	226
8.8	ポート7 .....		229
	8.8.1	概要 .....	229
	8.8.2	レジスタ構成 .....	229
	8.8.3	端子機能 .....	230

## 8.1 概要

本 LSI には、6 本の入出力ポート（ポート 1～6）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を表 8.1 および表 8.2 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）から構成されています。なお、入力専用ポートには DDR はありません。

ポート 1～3 には、入力プルアップ MOS が内蔵されており、DDR、DR の他に、入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

ポート 1～6 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1、2、3 は LED を駆動する（シンク電流 10mA）ことができます。

なお、H8S/2128 グループ、H8S/2128S グループでは、ポート 5 の P52、ポート 4 の P47 の出力形式は、NMOS プッシュプル出力となっています。

H8S/2124 グループは、一部の周辺機能を内蔵しないサブセットの仕様になっていますので、ご注意ください。ピン機能の異同については、表 8.1 および表 8.2 を参照してください。

表 8.1 H8S/2128 グループ、H8S/2128S グループポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE = 1)	モード2、モード3 (EXPE = 0)
ポート 1	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ MOS内蔵</li> <li>・ LED 駆動可能</li> </ul>	P17 ~ P10/ A7 ~ A0/ PW7 ~ PW0/ PWX1 ~ PWX0	アドレス出力端子 (A7 ~ A0)	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき アドレス出力端子(A7 ~ A0) または PWM タイマ出力端子(PW7 ~ PW0、PWX1、PWX0)	PWM タイマ出力端子 (PW7 ~ PW0、PWX1、PWX0) と入出力ポートの兼用
ポート 2	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ MOS内蔵</li> <li>・ LED 駆動可能</li> </ul>	P27/A15/PW15/ SCK1/CBLANK P26/A14/PW14/RxD1 P25/A13/PW13/TxD1 P24/A12/PW12/ SCL1 P23/A11/PW11/ SDA1 P22/A10/PW10 P21/A9/PW9 P20/A8/PW8	アドレス出力端子 (A15 ~ A8)	DDR = 0 のとき (リセット後) 入力ポート、SCI1 の入出力端子(TxD1、RxD1、SCK1)、タイマコネクシ ョンの出力端子(CBLANK) または I <sup>2</sup> C バスインタフ ェース1【オプション】入出力 端子(SCL1、SDA1) DDR = 1 のとき アドレス出力端子(A15 ~ A8)、PWM タイマ出力端 子(PW15 ~ PW12)、SCI1 の入出力端子(TxD1、 RxD1、SCK1)、タイマコ ネクシ ョンの出力端子 (CBLANK)、または出力ポ ート(P27 ~ P24)	PWM タイマ出力端子 (PW15 ~ PW8)、 SCI1 の入出力端子 (TxD1、RxD1、SCK1) タイマコネクシ ョンの出力 端子(CBLANK)、I <sup>2</sup> C バ スインタフ ェース1【オプション】入出力端子(SCL1、 SDA1) と入出力ポートの兼用
ポート 3	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ MOS内蔵</li> <li>・ LED 駆動可能</li> </ul>	P37 ~ P30/ D7 ~ D0	データバス入出力端子 (D7 ~ D0)		入出力ポート
ポート 4	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> </ul>	P47/WAIT/SDA0	拡張データバス制御入力端子(WAIT)、 I <sup>2</sup> C バスインタフ ェース0【オプション】の入出力 端子(SDA0) と入出力ポートの兼用		I <sup>2</sup> C バスインタフ ェース0 【オプション】の入出力端子 (SDA0)と 入出力ポートの兼用
		P46/ EXCL	DDR = 0 のとき 入力ポートまたは EXCL 入力端子 DDR = 1 のとき (リセット後) 出力端子	DDR = 0 のとき (リセット後) 入力ポートまたは EXCL 入力端子の兼用 DDR = 1 のとき 出力端子	
		P45/AS/ IOS P44/WR P43/RD	拡張データバス制御出力端子 (AS/ IOS、WR、RD)		入出力ポート
		P42/IRQ0 P41/IRQ1	外部割り込み入力端子 (IRQ0、IRQ1) と入出力ポートの兼用		
		P40/IRQ2/ ADTRG	外部割り込み入力端子(IRQ2)、A/D 変換器の外部トリガ入力端子 (ADTRG)、と入出力ポートの兼用		
ポート 5	<ul style="list-style-type: none"> <li>・ 3ビットの入出力ポート</li> </ul>	P52/SCK0/SCL0 P51/RxD0 P50/TxD0	SCI0 の入出力端子(TxD0、RxD0、SCK0)、 I <sup>2</sup> C バスインタフ ェース0【オプション】の入出力端子(SCL0) と入出力ポートの兼用		

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE = 1)	モード2、モード3 (EXPE = 0)
ポート 6	・8ビットの入出力 ポート	P67/TMOX/TMO1/ CIN7/HSYNCO P66/FTOB/TMRI1/ CIN6/CSYNCI P65/FTID/TMCI1/ CIN5/HSYNCI P64/FTIC/TMO0/ CIN4/CLAMPO P63/FTIB/TMRI0/ CIN3/VFBACKI P62/FTIA/TMIY/ /CIN2/ VSYNCI P61/FTOA/ CIN1/VSYNCO P60/FTCI/TMIX/ TMCI0/CIN0/ HFBACKI	FRTの入出力端子(FTCI、FTOA、FTIA、FTIB、FTIC、FTID、FTOB)、 8ビットタイマ0、1の入出力端子(TMCI0、TMRI0、TMO0、TMCI1、 TMRI1、TMO1) 8ビットタイマX、Yの入出力端子(TMOX、TMIX、TMIY)、 タイマコネクションの入出力端子(HSYNCO、CSYNCI、HSYNCI、 CLAMPO、VFBACKI、VSYNCI、VSYNCO、HFBACKI)、 拡張A/D入力端子(CIN7～CIN0) と入出力ポートの兼用		
ポート 7	・8ビットの入力 ポート	P77/AN7 P76/AN6 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0	A/D変換器のアナログ入力(AN7～AN0) と入力ポートの兼用		

表 8.2 H8S/2124 グループポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2、モード3 (EXPE = 1)	モード2、モード3 (EXPE = 0)
ポート 1	・ 8ビットの入出力ポート ・ 入力プルアップMOS内蔵 ・ LED 駆動可能	P17 ~ P10/A7 ~ A0	アドレス出力端子 (A7 ~ A0)	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき アドレス出力端子(A7 ~ A0)	入出力ポート
ポート 2	・ 8ビットの入出力ポート ・ 入力プルアップMOS内蔵 ・ LED 駆動可能	P27/A15/SCK1 P26/A14/RxD1 P25/A13/TxD1 P24/A12 P23/A11 P22/A10 P21/A9 P20/A8	アドレス出力端子 (A15 ~ A8)	DDR = 0 のとき (リセット後) 入力ポートまたは SCI1 の 入出力端子(TxD1、RxD1、 SCK1) DDR = 1 のとき アドレス出力端子(A15 ~ A8)、SCI1 の入出力端子 (TxD1、RxD1、SCK1)、ま たは出力ポート (P27 ~ P24)	SCI1 の入出力端子 (TxD1、RxD1、SCK1)と入 出力ポートの兼用
ポート 3	・ 8ビットの入出力ポート ・ 入力プルアップMOS内蔵 ・ LED 駆動可能	P37 ~ P30/D7 ~ D0	データバス入出力端子 (D7 ~ D0)		入出力ポート
ポート 4	・ 8ビットの入出力ポート	P47/WAIT	拡張データバス制御入力端子(WAIT) と入出力ポートの兼用		入出力ポート
		P46/ /EXCL	DDR = 0 のとき 入力ポートまたは EXCL入力端子 DDR = 1 のとき (リセット後) 出力端子	DDR = 0 のとき (リセット後) 入力ポートまたは EXCL入力端子の兼用 DDR = 1 のとき 出力端子	
		P45/AS/ IOS P44/WR P43/RD	拡張データバス制御出力端子 (AS/ IOS、WR、RD)		入出力ポート
		P42/IRQ0 P41/IRQ1	外部割り込み入力端子 (IRQ0、IRQ1)と入出力ポートの兼用		
		P40/IRQ2/ ADTRG	外部割り込み入力端子 (IRQ2)、 A/D 変換器の外部トリガ入力端子(ADTRG) と入出力ポートの兼用	外部割り込み入力端子 (IRQ2)、A/D 変換器の外部 トリガ入力端子(ADTRG) と入出力ポートの兼用	
ポート 5	・ 3ビットの入出力ポート	P52/SCK0 P51/RxD0 P50/TxD0	SCI0 の入出力端子(TxD0、RxD0、SCK0)と入出力ポートの兼用		
ポート 6	・ 8ビットの入出力ポート	P67/TMO1/CIN7 P66/FTOB/TMR11/CIN6 P65/FTID/TMC11/CIN5 P64/FTIC/TMO0/CIN4 P63/FTIB/TMR10/CIN3 P62/FTIA/TMIY/CIN2 P61/FTOA/CIN1 P60/FTCI/TMC10/CIN0	FRT の入出力端子(FTCI、FTOA、FTIA、FTIB、FTIC、FTID、FTOB)、 8ビットタイマ0、1の入出力端子(TMC10、TMR10、TMO0、TMC11、TMR11、 TMO1) 8ビットタイマYの入力端子 (TMIY)、 拡張A/D入力端子 (CIN7 ~ CIN0) と入出力ポートの兼用		
ポート 7	・ 8ビットの入出力ポート	P77/AN7 P76/AN6 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0	A/D 変換器のアナログ入力 (AN7 ~ AN0) と入力ポートの兼用		

## 8.2 ポート 1

### 8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、アドレスバス出力機能、8 ビット PWM の出力端子 (PW7 ~ PW0) 【H8S/2128 グループ、H8S/2128S グループのみ】、14 ビット PWM の出力端子 (PWX1 ~ PWX0) 【H8S/2128 グループ、H8S/2128S グループのみ】と兼用になっており、動作モードによって端子機能が切り替わります。

ポート 1 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート 1 の各端子の構成を図 8.1 に示します。

ポート1端子	モード1の端子機能
↔ P17/A7/PW7	A7 (出力)
↔ P16/A6/PW6	A6 (出力)
↔ P15/A5/PW5	A5 (出力)
↔ P14/A4/PW4	A4 (出力)
↔ P13/A3/PW3	A3 (出力)
↔ P12/A2/PW2	A2 (出力)
↔ P11/A1/PW1/PWX1	A1 (出力)
↔ P10/A0/PW0/PWX0	A0 (出力)
モード2、3 (EXPE=0) の端子機能	モード2、3 (EXPE=1) の端子機能
P17 (入出力) / PW7 (出力)	A7 (出力) / P17 (入力) / PW7 (出力)
P16 (入出力) / PW6 (出力)	A6 (出力) / P16 (入力) / PW6 (出力)
P15 (入出力) / PW5 (出力)	A5 (出力) / P15 (入力) / PW5 (出力)
P14 (入出力) / PW4 (出力)	A4 (出力) / P14 (入力) / PW4 (出力)
P13 (入出力) / PW3 (出力)	A3 (出力) / P13 (入力) / PW3 (出力)
P12 (入出力) / PW2 (出力)	A2 (出力) / P12 (入力) / PW2 (出力)
P11 (入出力) / PW1 (出力) / PWX1 (出力)	A1 (出力) / P11 (入力) / PW1 (出力) / PWX1 (出力)
P10 (入出力) / PW0 (出力) / PWX0 (出力)	A0 (出力) / P10 (入力) / PW0 (出力) / PWX0 (出力)

図 8.1 ポート 1 の端子機能

## 8.2.2 レジスタ構成

表 8.3 にポート 1 のレジスタ構成を示します。

表 8.3 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データ ディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FFB2
ポート 1 プルアップ MOS コントロールレジスタ	P1PCR	R/W	H'00	H'FFAC

【注】 \* アドレスの下位 16 ビットを示しています。

### (1) ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。ソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持します。

#### (a) モード 1

P1DDR の設定値にかかわらず、対応するポート 1 の各端子はアドレス出力となります。ハードウェアスタンバイモード時は、アドレス出力はハイインピーダンス状態となります。

## (b) モード2、3 (EXPE = 1)

P1DDR を1にセットすると対応するポート1の各端子はアドレス出力またはPWM出力となり、0にクリアすると入力ポートになります。

なお、P10、P11 は、P1DDR にかかわらず PWMX 出力とすることができますが、外部空間のアクセスを正常に行うためには、PWMX 出力に設定しないでください。

## (c) モード2、3 (EXPE = 0)

P1DDR を1にセットすると対応するポート1の各端子は出力ポートまたはPWM出力となり、0にクリアすると入力ポートになります。

P10、P11 は、P1DDR にかかわらず PWMX 出力とすることができます。

## (2) ポート1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P1DR は、8ビットのリード/ライト可能なレジスタで、ポート1の各端子 (P17 ~ P10) の出力データを格納します。P1DDR が1のときポート1のリードを行うと、P1DRの値を直接リードします。そのため端子の状態の影響を受けません。P1DDR が0のときポート1のリードを行うと、端子の状態が読み出されます。

P1DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート1 プルアップ MOS コントロールレジスタ (P1PCR)

ビット :	7	6	5	4	3	2	1	0
	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P1PCR は、8ビットのリード/ライト可能なレジスタで、ポート1に内蔵された入力プルアップ MOS をビットごとに制御します。

モード2、3では、P1DDR を0にクリアした (入力ポート) 状態で、P1PCR を1にセットすると、入力プルアップ MOS はオンします。

P1PCR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

### 8.2.3 モード別端子機能

#### (1) モード 1

モード 1 のとき、ポート 1 は自動的にアドレス出力になります。  
 ポート 1 の端子機能を図 8.2 に示します。

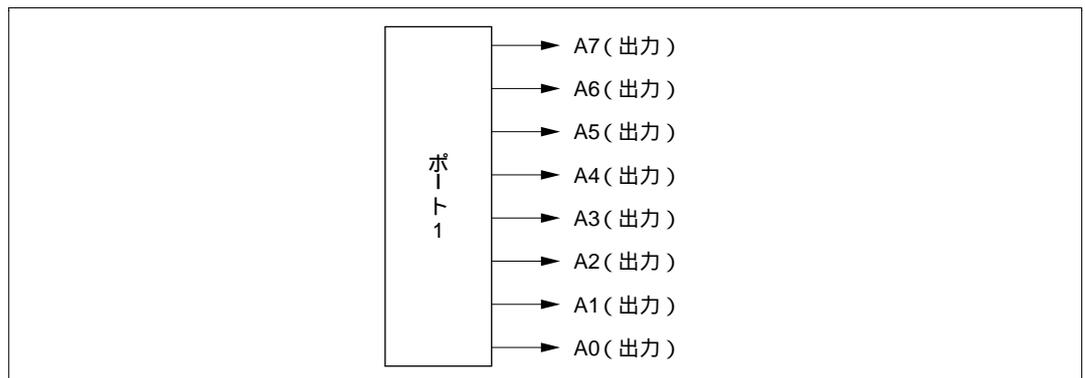


図 8.2 ポート 1 の端子機能 (モード 1)

#### (2) モード 2、3 (EXPE = 1)

モード 2、3 (EXPE = 1) のとき、ポート 1 はアドレス出力、PWM 出力または入力ポートとして機能し、ビット単位で入出力を指定可能です。P1DDR の各ビットを 1 にセットすると対応する端子はアドレス出力または PWM 出力になり、0 にクリアすると入力ポートになります。P10、P11 は、P1DDR にかかわらず PWMX 出力とすることができますが、外部空間のアクセスを正常に行うためには、PWMX 出力に設定しないでください。

ポート 1 の端子機能を図 8.3 に示します。

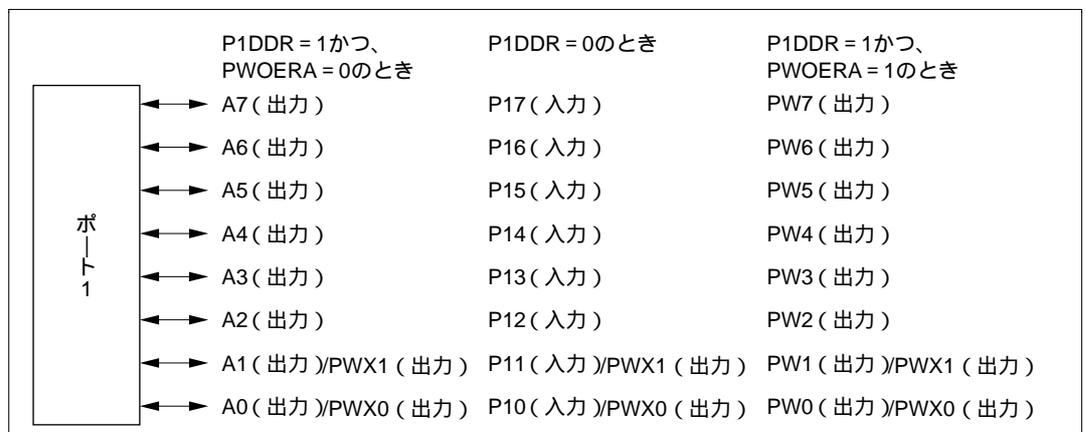


図 8.3 ポート 1 の端子機能 (モード 2、3 (EXPE = 1))

### (3) モード2、3 (EXPE = 0)

モード2、3 (EXPE = 0) のとき、ポート1はPWM出力または入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。P1DDRの各ビットを1にセットすると対応する端子はPWM出力または出力ポートになり、0にクリアすると入力ポートになります。P10、P11は、P1DDRにかかわらずPWMX出力とすることができます。

ポート1の端子機能を図8.4に示します。

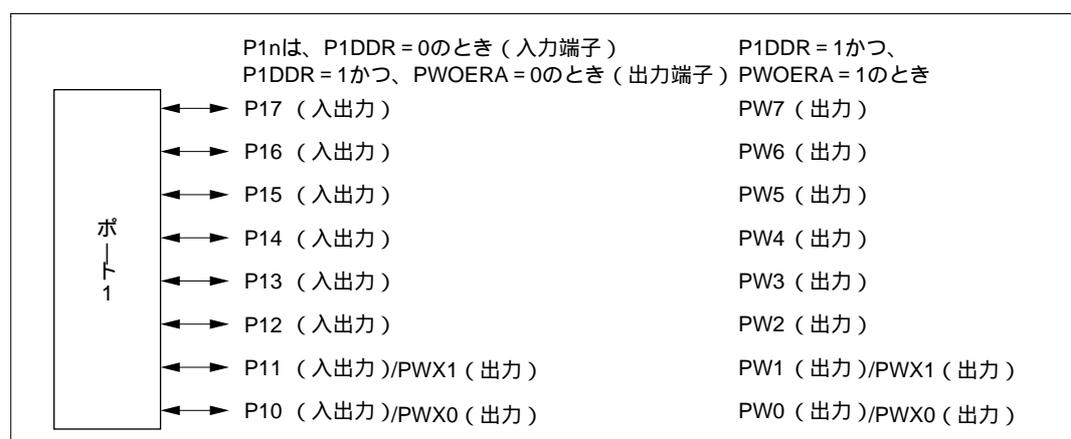


図8.4 ポート1の端子機能 (モード2、3 (EXPE = 0))

## 8.2.4 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはモード2、3のときに使用でき、ビット単位でオン/オフを指定できます。

モード2、3のとき、P1DDRを0にクリアした状態でP1PCRを1にセットすると、入力プルアップMOSはオンとなります。

入力プルアップMOSは、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップMOSの状態を表8.4に示します。

表8.4 入力プルアップMOSの状態 (ポート1)

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1		OFF	OFF	
2、3			ON/OFF	

#### 【記号説明】

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : P1DDR=0かつP1PCR=1のときオン状態、その他のときはオフ状態です。

## 8.3 ポート2

### 8.3.1 概要

ポート2は、8ビットの入出力ポートです。ポート2は、アドレスバス出力機能、8ビットPWMの出力端子(PW15~PW8)【H8S/2128グループ、H8S/2128Sグループのみ】、タイマコネクションの出力端子(CBLANK)【H8S/2128グループ、H8S/2128Sグループのみ】、IIC1の入出力端子(SCL1、SDA1)【H8S/2128グループ、H8S/2128Sグループのみオプション】、SCI1の入出力端子(SCK1、RxD1、TxD1)と兼用になっており、動作モードによって端子機能が切り替わります。

ポート2は、プログラムで制御可能な入力プルアップMOSが内蔵されています。

ポート2の各端子の構成を図8.5に示します。

ポート2端子	モード1の端子機能
← P27/A15 /PW15/SCK1/CBLANK	A15 (出力)
← P26/A14 /PW14/RxD1	A14 (出力)
← P25/A13 /PW13/TxD1	A13 (出力)
← P24/A12 /PW12/SCL1	A12 (出力)
← P23/A11 /PW11/SDA1	A11 (出力)
← P22/A10 /PW10	A10 (出力)
← P21/A9 /PW9	A9 (出力)
← P20/A8 /PW8	A8 (出力)
モード2、3 (EXPE=0) の端子機能	
P27 (入出力) / PW15 (出力) / SCK1 (入出力) / CBLANK (出力)	A15 (出力) / P27 (入出力) / PW15 (出力) / SCK1 (入出力) / CBLANK (出力)
P26 (入出力) / PW14 (出力) / RxD1 (入力)	A14 (出力) / P26 (入出力) / PW14 (出力) / RxD1 (入力)
P25 (入出力) / PW13 (出力) / TxD1 (出力)	A13 (出力) / P25 (入出力) / PW13 (出力) / TxD1 (出力)
P24 (入出力) / PW12 (出力) / SCL1 (入出力)	A12 (出力) / P24 (入出力) / PW12 (出力) / SCL1 (入出力)
P23 (入出力) / PW11 (出力) / SDA1 (入出力)	A11 (出力) / P23 (入力) / PW11 (出力) / SDA1 (入出力)
P22 (入出力) / PW10 (出力)	A10 (出力) / P22 (入力) / PW10 (出力)
P21 (入出力) / PW9 (出力)	A9 (出力) / P21 (入力) / PW9 (出力)
P20 (入出力) / PW8 (出力)	A8 (出力) / P20 (入力) / PW8 (出力)

図8.5 ポート2の端子機能

### 8.3.2 レジスタ構成

表 8.5 にポート 2 のレジスタ構成を示します。

表 8.5 ポート 2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 2 データ ディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FFB3
ポート 2 プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00	H'FFAD

【注】 \* アドレスの下位 16 ビットを示しています。

#### (1) ポート 2 データディレクションレジスタ (P2DDR)

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P2DDR は、8 ビットのライト専用レジスタで、ポート 2 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P2DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。ソフトウェアスタンバイモードでは、P2DDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持します。

##### (a) モード 1

P2DDR の設定値にかかわらず、対応するポート 1 の各端子はアドレス出力となります。ハードウェアスタンバイモード時は、アドレス出力はハイインピーダンス状態となります。

##### (b) モード 2、3 (EXPE = 1)

P2DDR を 1 にセットすると対応するポート 2 の各端子はアドレス出力または PWM 出力となり、0 にクリアすると入力ポートになります。なお、P27 ~ P24 については、IOSE ビット = 1 にすることによりアドレス出力から出力ポートに切り替わります。

また、P23 ~ P27 は、P2DDR にかかわらず周辺機能出力とすることができます。

ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。

## (c) モード2、3 (EXPE = 0)

P2DDR を1にセットすると対応するポート2の各端子は出力ポート、PWM出力または出力ポートとなり、0にクリアすると入力ポートになります。

P23 ~ P27 は、P2DDRにかかわらず周辺機能出力とすることができます。

## (2) ポート2 データレジスタ (P2DR)

ビット:	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P2DRは、8ビットのリード/ライト可能なレジスタで、ポート2の各端子 (P27 ~ P20) の出力データを格納します。P2DDR が1のときポート2のリードを行うと、P2DRの値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が0のときポート2のリードを行うと、端子の状態が読み出されます。

P2DRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート2 プルアップMOSコントロールレジスタ (P2PCR)

ビット:	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P2PCRは、8ビットのリード/ライト可能なレジスタで、ポート2に内蔵された入力プルアップMOSをビットごとに制御します。

モード2、3では、P2DDRを0にクリアした(入力ポート)状態で、P2PCRを1にセットすると、入力プルアップMOSはオンします。

P2PCRは、リセットまたはハードウェアスタンバイモードではH'00に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

### 8.3.3 モード別端子機能

#### (1) モード1

モード1のとき、ポート2は自動的にアドレス出力になります。  
ポート2の端子機能を図8.6に示します。

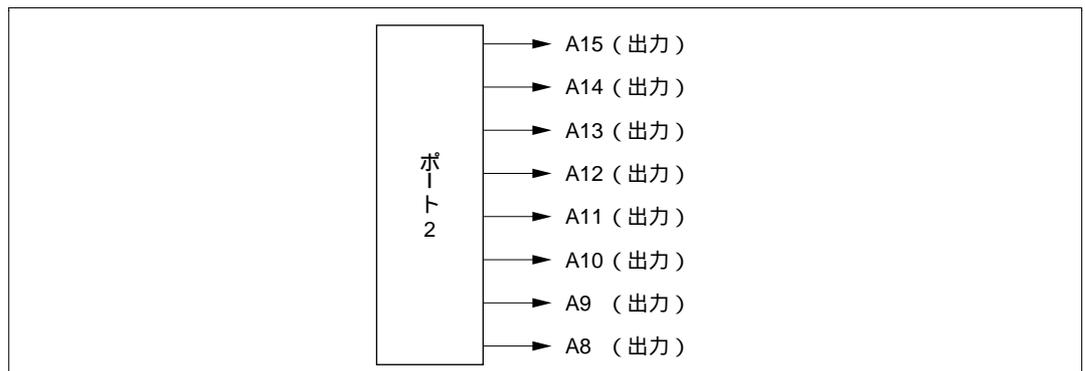


図 8.6 ポート2の端子機能（モード1）

#### (2) モード2、3 (EXPE = 1)

モード2、3 (EXPE = 1) のとき、ポート2はアドレス出力、PWM出力または入出力ポートとして機能し、ビット単位で入出力を指定可能です。P2DDRの各ビットを1にセットすると対応する端子はアドレス出力またはPWM出力になり、0にクリアすると入力ポートになります。なお、P27～P24については、IOSEビット=1にすることによりアドレス出力から出力ポートに切り替わります。また、P27～P23は、P2DDRにかかわらず周辺機能出力とすることができます。ポート2をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。

ポート2の端子機能を図8.7に示します。

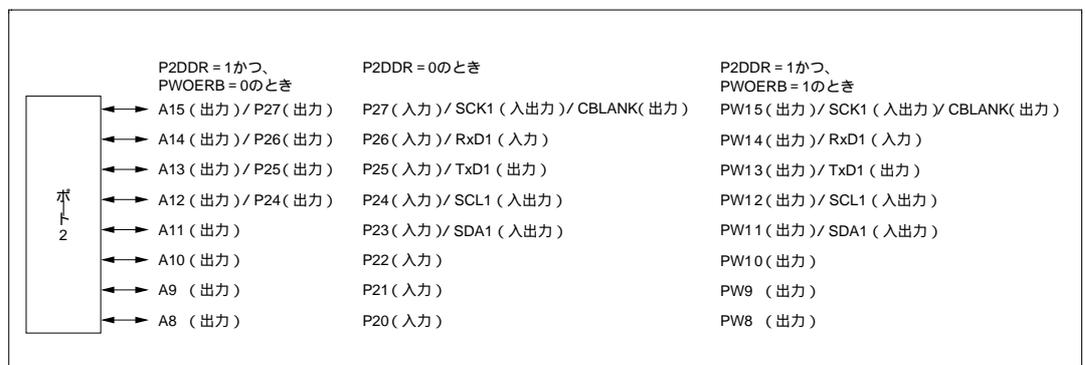


図 8.7 ポート2の端子機能（モード2、3 (EXPE = 1)）

(3) モード 2、3 (EXPE = 0)

モード 2、3 (EXPE=0) のとき、ポート 2 は PWM 出力、タイマコネクション出力 (CBLANK)、IIC1 入出力 (SCL1、SDA1)、SCI1 入出力 (SCK1、RxD1、TxD1) または入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。P2DDR の各ビットを 1 にセットすると対応する端子は PWM 出力または出力ポートになり、0 にクリアすると入力ポートになります。P23 ~ P27 は、P2DDR にかかわらず周辺機能出力とすることができます。

ポート 2 の端子機能を図 8.8 に示します。

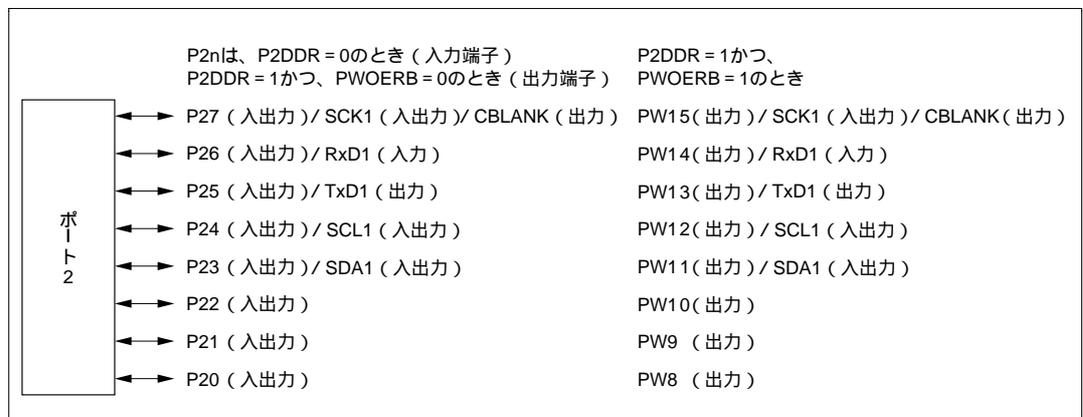


図 8.8 ポート 2 の端子機能 (モード 2、3 (EXPE = 0))

### 8.3.4 入力プルアップMOS

ポート2は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはモード2、3のときに使用でき、ビット単位でオン/オフを指定できます。

モード2、3のとき、P2DDRを0にクリアした状態で、P2PCRを1にセットすると、入力プルアップMOSはオンとなります。

入力プルアップMOSは、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップMOSの状態を表8.6に示します。

表8.6 入力プルアップMOSの状態（ポート2）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1		OFF	OFF	
2、3			ON/OFF	

**【記号説明】**

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : P2DDR = 0 かつ P2PCR = 1 のときオン状態、その他のときはオフ状態です。

## 8.4 ポート3

### 8.4.1 概要

ポート3は、8ビットの入出力ポートです。ポート3はデータバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート3は、プログラムで制御可能な入力プルアップMOSが内蔵されています。

ポート3の各端子の構成を図8.9に示します。

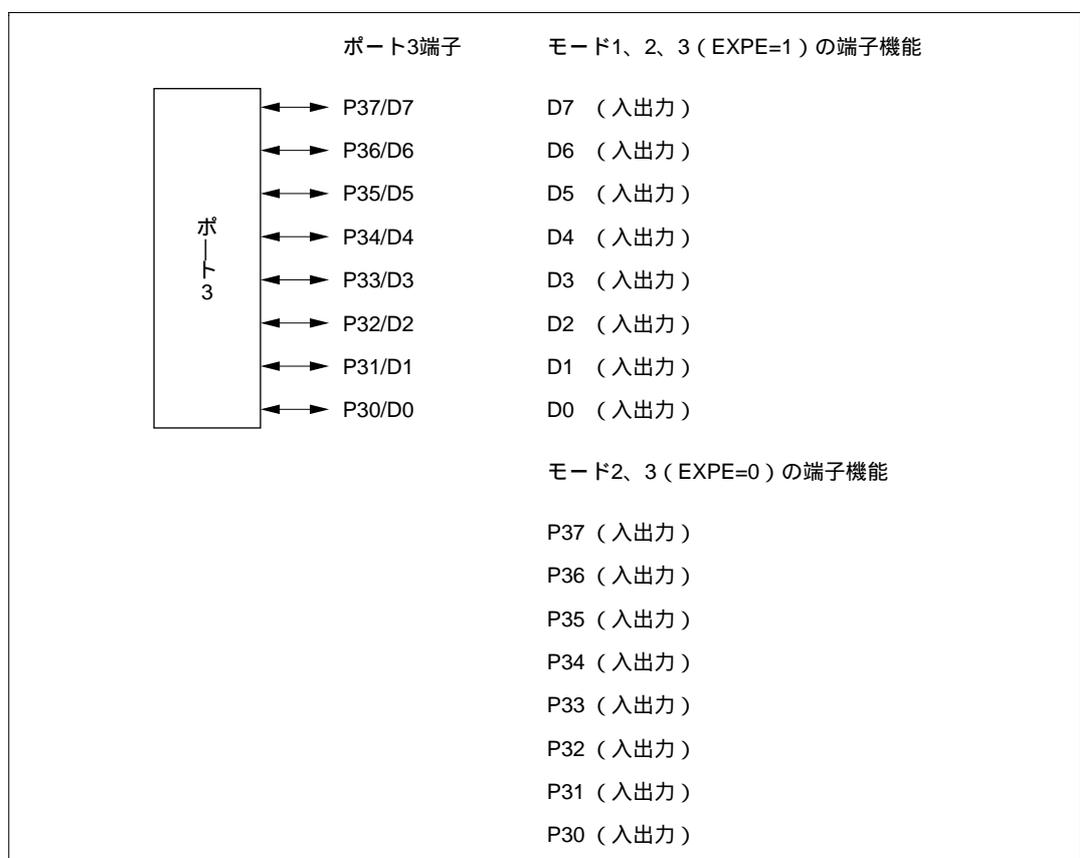


図 8.9 ポート3の端子機能

## 8.4.2 レジスタ構成

表 8.7 にポート 3 のレジスタ構成を示します。

表 8.7 ポート 3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 3 データ ディレクションレジスタ	P3DDR	W	H'00	H'FFB4
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FFB6
ポート 3 ブルアップ MOS コントロールレジスタ	P3PCR	R/W	H'00	H'FFAE

【注】 \* アドレスの下位 16 ビットを示しています。

### (1) ポート 3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P3DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されません。ソフトウェアスタンバイモードでは、P3DDR は直前の状態を保持します。

#### (a) モード 1、2、3 (EXPE = 1)

P3DDR による入出力の方向は無視され、自動的にデータ入出力となります。

また、リセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時には、データ入出力はハイインピーダンス状態になります。

#### (b) モード 2、3 (EXPE = 0)

P3DDR を 1 にセットすると対応するポート 3 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

## (2) ポート 3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 (P37 ~ P30) の出力データを格納します。P3DDR が 1 のときポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。P3DDR が 0 のときポート 3 のリードを行うと、端子の状態が読み出されます。

P3DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート 3 プルアップ MOS コントロールレジスタ (P3PCR)

ビット :	7	6	5	4	3	2	1	0
	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P3PCR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3 (EXPE=0) では、P3DDR を 0 にクリアした (入力ポート) 状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンします。

P3PCR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

### 8.4.3 モード別端子機能

#### (1) モード 1、2、3 (EXPE = 1)

モード 1、2、3 (EXPE = 1) のとき、ポート 3 は自動的にデータ入出力になります。  
ポート 3 の端子機能を図 8.10 に示します。

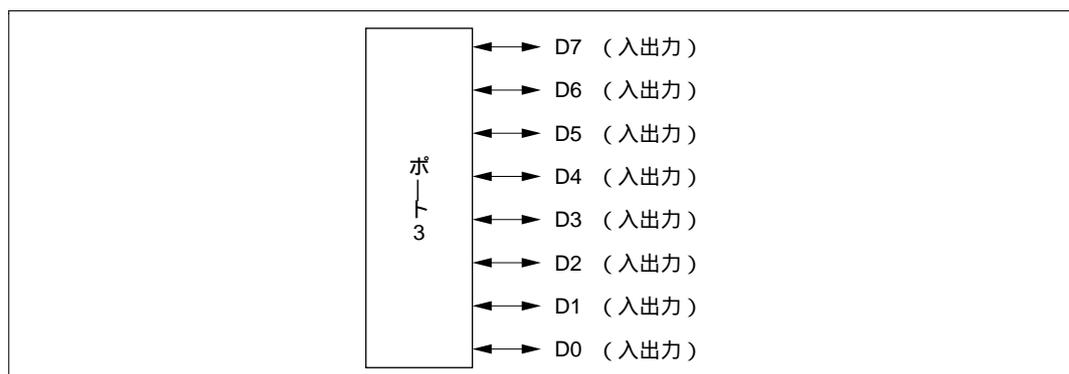


図 8.10 ポート 3 の端子機能 (モード 1、2、3 (EXPE = 1) )

#### (2) モード 2、3 (EXPE = 0)

モード 2、3 (EXPE = 0) のとき、ポート 3 は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。P3DDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート 3 の端子機能を図 8.11 に示します。

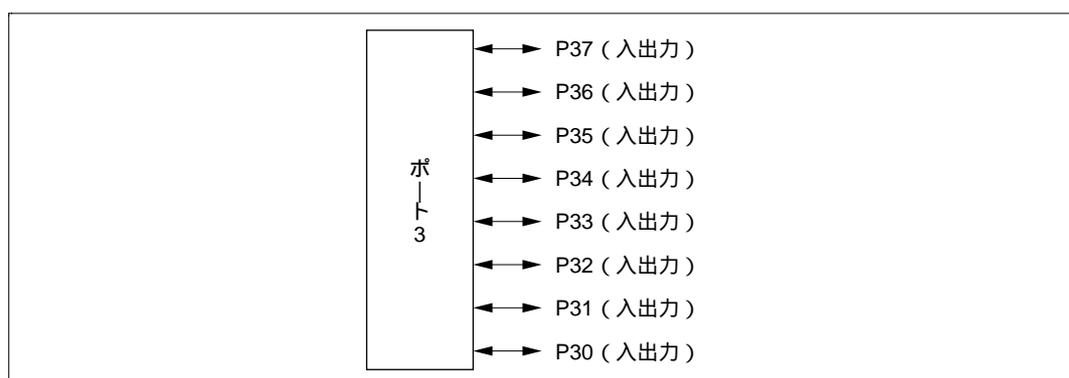


図 8.11 ポート 3 の端子機能 (モード 2、3 (EXPE = 0) )

#### 8.4.4 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3 (EXPE=0) のときに使用でき、ビット単位でオン/オフを指定できます。

モード 2、3 (EXPE=0) のとき、P3DDR を 0 にクリアした状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.8 に示します。

表 8.8 入力プルアップ MOS の状態 (ポート 3)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1)	OFF		OFF	
2、3 (EXPE=0)			ON/OFF	

**【記号説明】**

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : P3DDR = 0 かつ P3PCR = 1 のときオン状態、その他のときはオフ状態です。

## 8.5 ポート4

### 8.5.1 概要

ポート4は、8ビットの入出力ポートです。ポート4は、割り込み入力端子( $\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$ )、A/D変換器の入力端子( $\overline{\text{ADTRG}}$ )、IIC0の入出力端子(SDA0)【H8S/2128グループ、H8S/2128Sグループのみオプション】、サブクロック入力端子(EXCL)、バス制御信号入出力端子( $\overline{\text{AS}}/\overline{\text{IOS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WAIT}}$ )およびシステムクロック( )出力端子と兼用になっています。H8S/2128グループ、H8S/2128Sグループでは、P47の出力形式は、NMOSプッシュプル出力となります。また、SDA0の出力形式は、NMOSオープンドレイン出力となり、直接バス駆動が可能です。

ポート4の各端子の構成を図8.12に示します。

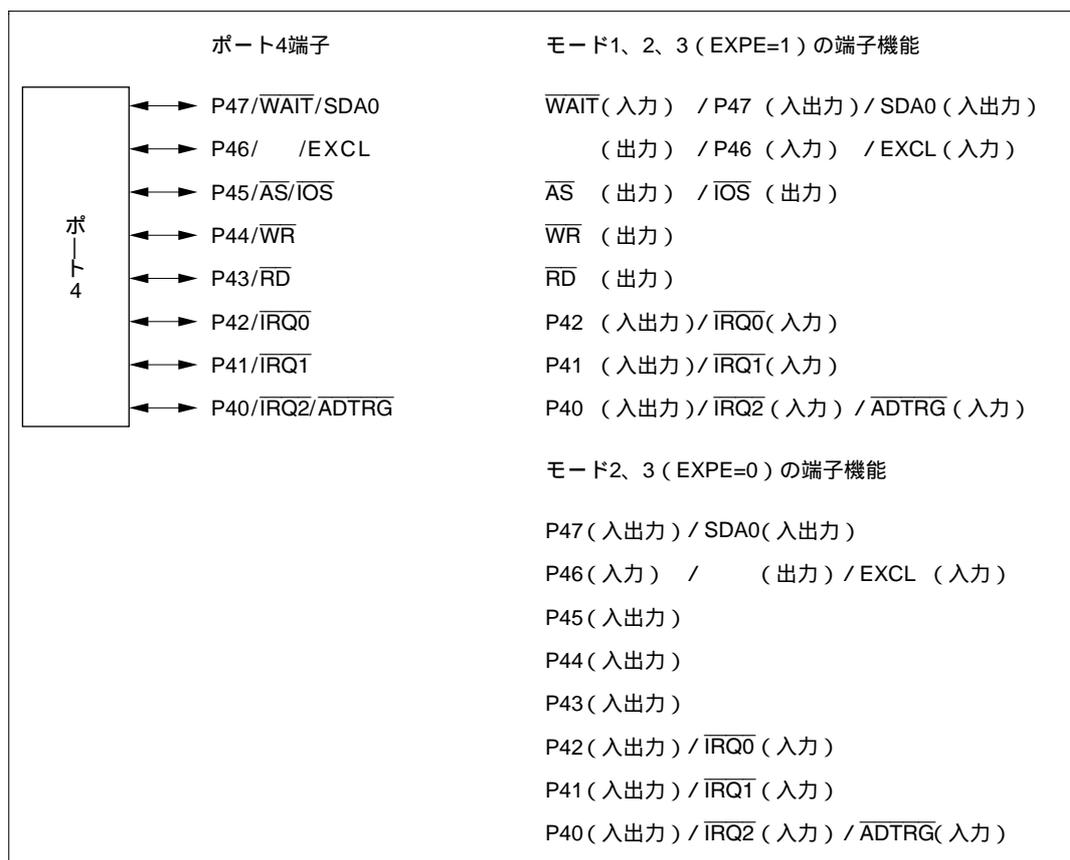


図8.12 ポート4の端子機能

## 8.5.2 レジスタ構成

表 8.9 にポート 4 のレジスタ構成を示します。

表 8.9 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
ポート 4 データディレクションレジスタ	P4DDR	W	H'40 / H'00* <sup>2</sup>	H'FFB5
ポート 4 データレジスタ	P4DR	R/W	H'00	H'FFB7

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 モードによって、初期値が異なります。

### (1) ポート 4 データディレクションレジスタ (P4DDR)

ビット :	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
モード 1								
初期値 :	0	1	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード 2、3								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P4DDR は、8 ビットのライト専用レジスタで、ポート 4 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P4DDR は、リセットまたはハードウェアスタンバイモードでは、モード 1 の場合 H'40 に、モード 2、3 の場合 H'00 に初期化されます。ソフトウェアスタンバイモードでは、P4DDR は直前の状態を保持します。

#### (a) モード 1、2、3 (EXPE = 1)

P47 端子は、ウェイトモードの設定によりバス制御入力 ( $\overline{\text{WAIT}}$ )、IIC0 の入出力端子 (SDA0) または入出力ポートになります。入出力ポートの場合、P47DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

P46 端子は、P46DDR を 1 にセットすると 出力端子、0 にクリアするとサブクロック入力 (EXCL) または入力ポートになります。

P45 ~ P43 端子は、P45DDR ~ P43DDR による入出力の方向は無視され、自動的にバス制御出力 ( $\overline{\text{AS}}/\overline{\text{IOS}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ ) となります。

P42 ~ P40 端子は、P42DDR ~ P40DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 2、3 (EXPE = 0)

P4DDR を 1 にセットすると P46 端子は 出力端子、P47、P45 ~ P40 端子は出力ポートとなります。P4DDR を 0 にクリアすると各端子は入力ポートになります。

## (2) ポート 4 データレジスタ (P4DR)

ビット:	7	6	5	4	3	2	1	0
	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR
初期値:	0	*	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* P46端子の状態により決定されます。

P4DR は、8 ビットのリード/ライト可能なレジスタで、ポート 4 の各端子 (P47 ~ P40) の出力データを格納します。P46 以外では、P4DDR が 1 のときポート 4 のリードを行うと、P4DR の値を直接リードします。そのため端子の状態の影響を受けません。P4DDR が 0 のときポート 4 のリードを行うと、端子の状態が読み出されます。

P4DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

### 8.5.3 端子機能

ポート 4 は、割り込み入力端子 ( $\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$ )、A/D 変換器の入力端子 ( $\overline{\text{ADTRG}}$ )、IIC0 の入出力端子 (SDA0)、サブクロック入力端子 (EXCL)、バス制御信号入出力端子 ( $\overline{\text{AS}}/\overline{\text{IOS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WAIT}}$ ) およびシステムクロック ( ) 出力端子と兼用になっています。モード 1、2、3 (EXPE = 1) の拡張モードとモード 2、3 (EXPE = 0) シングルチップモードでは端子機能が異なります。ポート 4 の端子機能を表 8.10 に示します。

表 8.10 ポート 4 の端子機能

端子	選択方法と端子機能							
P47/ $\overline{\text{WAIT}}$ /SDA0	動作モード、WSCR の WMS1 ビット、IIC0 の ICCR の ICE ビット、および P47DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2、3 (EXPE=1)				モード2、3 (EXPE=0)		
	WMS1	0			1	-		
	ICE	0		1	-	0		1
	P47DDR	0	1	-	-	0	1	-
端子機能	P47 入力端子	P47 出力端子	SDA0 入出力端子	$\overline{\text{WAIT}}$ 入力端子	P47 入力端子	P47 出力端子	SDA0 入出力端子	
H8S/2128 グループ、H8S/2128S グループでは、P47 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。								
P46/ /EXCL	LPWRCR の EXCLE ビットと P46DDR ビットの組み合わせにより、次のように切り替わります。							
	P46DDR	0				1		
	EXCLE	0		1		0		
	端子機能	P46入力端子		EXCL入力端子		出力端子		
EXCL 入力端子として使用する場合は、P46DDR を 0 にクリアしてください。								
P45/ $\overline{\text{AS}}$ / $\overline{\text{IOS}}$	動作モード、SYSCR の IOSE ビット、および P45DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2、3 (EXPE=1)				モード2、3 (EXPE=0)		
	P45DDR	-				0	1	
	IOSE	0		1		-	-	
	端子機能	$\overline{\text{AS}}$ 出力端子		$\overline{\text{IOS}}$ 出力端子		P45入力端子		P45出力端子
P44/ $\overline{\text{WR}}$	動作モード、および P44DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2、3 (EXPE=1)				モード2、3 (EXPE=0)		
	P44DDR	-				0	1	
	端子機能	$\overline{\text{WR}}$ 出力端子				P44入力端子		P44出力端子

端子	選択方法と端子機能		
P43/ $\overline{RD}$ $\overline{IOR}$	動作モード、および P43DDR ビットの組み合わせにより、次のように切り替わります。		
	動作モード	モード1、2、3 (EXPE=1)	モード2、3 (EXPE=0)
	P43DDR	-	0      1
	端子機能	$\overline{RD}$ 出力端子	P43入力端子    P43出力端子
P42/ $\overline{IRQ0}$	P42DDR	0	1
	端子機能	P42入力端子	P42出力端子
	$\overline{IRQ0}$ 入力端子		
	IER の IRQ0E ビットを 1 にセットした場合、 $\overline{IRQ0}$ 入力端子として使用します。		
P41/ $\overline{IRQ1}$	P41DDR	0	1
	端子機能	P41入力端子	P41出力端子
	$\overline{IRQ1}$ 入力端子		
	IER の IRQ1E ビットを 1 にセットした場合、 $\overline{IRQ1}$ 入力端子として使用します。		
P40/ $\overline{IRQ2}$ $\overline{ADTRG}$	P40DDR	0	1
	端子機能	P40入力端子	P40出力端子
	$\overline{IRQ2}$ 入力端子、ADTRG入力端子		
	IER の IRQ2E ビットを 1 にセットした場合、 $\overline{IRQ2}$ 入力端子として使用します。 A/D 変換器の ADCR の TRGS1、TRGS0 ビットをいずれも 1 にセットした場合、 $\overline{ADTRG}$ 入力端子として使用します。		

## 8.6 ポート5

### 8.6.1 概要

ポート5は、3ビットの入出力ポートです。ポート5は、SCI0の入出力端子（TxD0、RxD0、SCK0）、IIC0の入出力端子（SCL0）【H8S/2128グループ、H8S/2128Sグループのみオプション】と兼用になっています。H8S/2128グループ、H8S/2128Sグループでは、P52、SCK0の出力形式は、NMOSプッシュプル出力となっています。また、SCL0の出力形式は、NMOSオープンドレイン出力となっています。ポート5の端子機能はいずれの動作モードでも共通です。ポート5の各端子の構成を図8.13に示します。

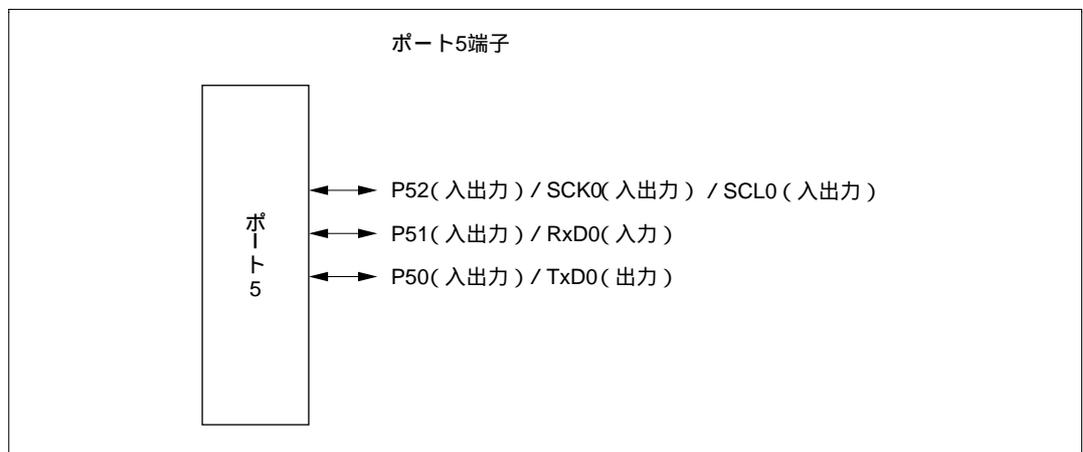


図 8.13 ポート5の端子機能

### 8.6.2 レジスタ構成

表 8.11 にポート5のレジスタ構成を示します。

表 8.11 ポート5レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート5データディレクションレジスタ	P5DDR	W	H'F8	H'FFB8
ポート5データレジスタ	P5DR	R/W	H'F8	H'FFBA

【注】 \* アドレスの下位16ビットを示しています。

## (1) ポート5 データディレクションレジスタ (P5DDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DDR	P51DDR	P50DDR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	W	W	W

P5DDR は、8ビットのライト専用レジスタで、ポート5の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット7~3はリザーブビットです。

P5DDR を1にセットすると対応するポート5の各端子は出力となり、0にクリアすると入力になります。

P5DDR は、リセットまたはハードウェアスタンバイモードではH'F8に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。SCI0は初期化されるため、IIC0のICCR、P5DDR、P5DRの指定によって端子状態が決定されます。

## (2) ポート5 データレジスタ (P5DR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DR	P51DR	P50DR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	R/W

P5DR は、8ビットのリード/ライト可能なレジスタで、ポート5の各端子 (P52~P50) の出力データを格納します。P5DDR が1のときポート5のリードを行うと、P5DRの値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が0のときポート5のリードを行うと、端子の状態が読み出されます。

ビット7~3はリザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

P5DR は、リセットまたはハードウェアスタンバイモードではH'F8に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

## 8.6.3 端子機能

ポート5の各端子は、SCI0の入出力端子（TxD0、RxD0、SCK0）、IIC0の入出力端子（SCL0）と兼用になっています。ポート5の端子機能を表8.12に示します。

表8.12 ポート5の端子機能

端子	選択方法と端子機能						
P52/SCK0 /SCL0	SCI0のSMRのC/Aビット、SCRのCKE0、CKE1ビット、IIC0のICCRのICEビット、およびP52DDRビットの組み合わせにより、次のように切り替わります。						
	ICE	0				1	
	CKE1	0			1	0	
	C/A	0		1	-	0	
	CKE0	0	1	-	-	0	
	P52DDR	0	1	-	-	-	-
	端子機能	P52 入力端子	P52 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子	SCL0 入出力端子
SCL0入出力端子として使用する場合は、SCI0のSCRのCKE1、CKE0ビット、SMRのC/Aビットの各ビットを必ず0にクリアしてください。なお、SCL0の出力形式は、NMOSオープンドレイン出力となり、直接バス駆動が可能です。 また、H8S/2128グループ、H8S/2128Sグループでは、P52出力端子、SCK0出力端子に設定した場合の出力形式は、NMOSプッシュプル出力となります。							
P51/RxD0	SCI0のSCRのREビットとP51DDRビットの組み合わせにより、次のように切り替わります。						
	RE	0				1	
	P51DDR	0		1		-	
	端子機能	P51入力端子		P51出力端子		RxD0入力端子	
P50/TxD0	SCI0のSCRのTEビットとP50DDRビットの組み合わせにより、次のように切り替わります。						
	TE	0				1	
	P50DDR	0		1		-	
	端子機能	P50入力端子		P50出力端子		TxD0出力端子	

## 8.7 ポート 6

### 8.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、16 ビットフリーランニングタイマ (FRT) の入出力端子 (FTOA、FTOB、FTIA ~ FTID、FTCI)、タイマ 0、1 (TMR0、TMR1) の入出力端子 (TMCI0、TMRI0、TMO0、TMCI1、TMRI1、TMO1)、タイマ X (TMRX) の入出力端子 (TMOX、TMIX) 【H8S/2128 グループ、H8S/2128S グループのみ】、タイマ Y (TMR Y) の入力端子 (TMIY)、タイマコネクションの入出力端子 (CSYNCI、HSYNCI、HSYNCO、HFBACKI、VSYNCI、VSYNCO、VFBACKI、CLAMPO) 【H8S/2128 グループ、H8S/2128S グループのみ】、拡張 A/D 入力端子 (CIN7 ~ CIN0) と兼用になっています。ポート 6 の端子機能はいずれの動作モードでも共通です。ポート 6 の各端子の構成を図 8.14 に示します。

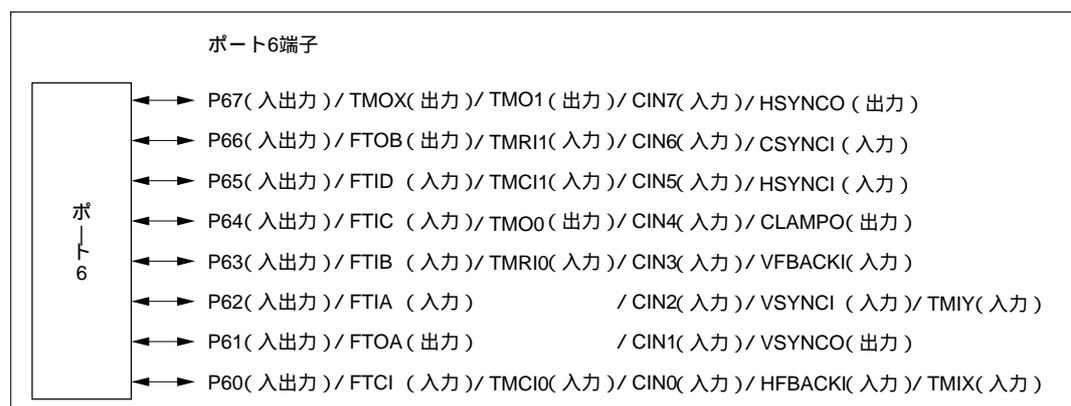


図 8.14 ポート 6 の端子機能

### 8.7.2 レジスタ構成

表 8.13 にポート 6 のレジスタ構成を示します。

表 8.13 ポート 6 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 6 データディレクションレジスタ	P6DDR	W	H'00	H'FFB9
ポート 6 データレジスタ	P6DR	R/W	H'00	H'FFBB

【注】 \* アドレスの下位 16 ビットを示しています。

## (1) ポート 6 データディレクションレジスタ (P6DDR)

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P6DDR は、8 ビットのライト専用レジスタで、ポート 6 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P6DDR を 1 にセットすると対応するポート 6 の各端子は出力となり、0 にクリアすると入力になります。

P6DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

## (2) ポート 6 データレジスタ (P6DR)

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の各端子 (P67 ~ P60) の出力データを格納します。P6DDR が 1 のときポート 6 のリードを行うと、P6DR の値を直接リードします。そのため端子の状態の影響を受けません。P6DDR が 0 のときポート 6 のリードを行うと、端子の状態が読み出されます。

P6DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

## 8.7.3 端子機能

ポート 6 の各端子は、16 ビットフリーランニングタイマ (FRT) の入出力端子 (FTOA、FTOB、FTIA ~ FTID、FTCI)、タイマ 0、1 (TMR0、TMR1) の入出力端子 (TMCIO、TMRI0、TMO0、TMCII、TMRI1、TMO1)、タイマ X (TMRX) の入出力端子 (TMOX、TMIX)、タイマ Y (TMRX) の入力端子 (TMIY)、タイマコネクションの入出力端子 (CSYNCI、HSYNCI、HSYNCO、HFBACKI、VSYNCI、VSYNCO、VFBACKI、CLAMPO)、拡張 A/D 入力端子 (CIN7 ~ CIN0) と兼用になっています。ポート 6 の端子機能を表 8.14 に示します。

表 8.14 ポート 6 の端子機能

端子	選択方法と端子機能				
P67/TMO1 /TMOX /CIN7 /HSYNCO	TMR1 と TMRX の TCSR の OS3 ~ OS0 ビット、タイマコネクションの TCONRO の HOE ビットと P67DDR ビットの組み合わせにより、次のように切り替わります。				
	HOE	0			1
	TMRX: OS3 ~ 0	すべてが0		いずれかが1	-
	TMR1: OS3 ~ 0	すべてが0	いずれかが1	-	-
	P67DDR	0	1	-	-
	端子機能	P67 入力端子	P67 出力端子	TMO1出力端子	TMOX出力端子 HSYNCO出力端子
		CIN7入力端子			
	また、常時 CIN7 入力端子として使用可能です。				
P66/FTOB /TMR11 /CIN6 /CSYNCI	FRT の TOCR の OEB ビットと P66DDR ビットの組み合わせにより、次のように切り替わります。				
	OEB	0			1
	P66DDR	0	1	-	
	端子機能	P66入力端子	P66出力端子	FTOB出力端子	
		TMR11入力端子、CSYNCI入力端子、CIN6入力端子			
	TMR1 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットした場合に、TMR11 入力端子として使用します。				
	また、常時 CSYNCI、CIN6 入力端子として使用可能です。				
P65/FTID /TMCI1 /CIN5 /HSYNCI	P65DDR	0			1
	端子機能	P65入力端子			P65出力端子
		FTID入力端子、TMCI1入力端子、HSYNCI入力端子、CIN5入力端子			
	TMR1 の TCR の CKS2 ~ CKS0 ビットで、外部クロックを選択した場合に、TMCI1 入力端子として使用します。				
	また、常時 FTID、HSYNCI、CIN5 入力端子として使用可能です。				
P64/FTIC /TMO0 /CIN4 /CLAMPO	TMR0 の TCSR の OS3 ~ OS0 ビット、タイマコネクションの TCONRO の CLOE ビットと P64DDR ビットの組み合わせにより、次のように切り替わります。				
	CLOE	0			1
	OS3 ~ 0	すべてが0		いずれかが1	-
	P64DDR	0	1	-	-
	端子機能	P64入力端子	P64出力端子	TMO0出力端子	CLAMPO出力端子
		FTIC入力端子、CIN4入力端子			
	また、常時 FTIC、CIN4 入力端子として使用可能です。				

端子	選択方法と端子機能			
P63/FTIB /TMR10 /CIN3 /VFBACKI	P63DDR	0		1
	端子機能	P63入力端子		P63出力端子
		FTIB入力端子、TMR10入力端子、VFBACKI入力端子、CIN3入力端子		
<p>TMR0のTCRのCCLR1、CCLR0ビットをいずれも1にセットした場合に、TMR10入力端子として使用します。</p> <p>また、常時 FTIB、VFBACKI、CIN3 入力端子として使用可能です。</p>				
P62/FTIA /CIN2 /VSYNCl /TMIY	P62DDR	0		1
	端子機能	P62入力端子		P62出力端子
		FTIA入力端子、VSYNCl入力端子、TMIY入力端子、CIN2入力端子		
<p>また、常時 FTIA、TMIY、VSYNCl、CIN2 入力端子として使用可能です。</p>				
P61/FTOA /CIN1 /VSYNCO	FRTのTOCRのOEAビット、タイマコネクションのTCONROのVOEビットとP61DDRビットの組み合わせにより、次のように切り替わります。			
	VOE	0		1
	OEA	0		1
	P61DDR	0	1	-
	端子機能	P61入力端子	P61出力端子	FTOA0出力端子
CIN1入力端子				
<p>VSYNCO 端子として使用する場合は、FRTのTOCRのDEAビットを必ず0にクリアしてください。</p> <p>また、常時 CIN1 入力端子として使用可能です。</p>				
P60/FTCI /TMCIO /CIN0 /HFBACKI /TMIX	P60DDR	0		1
	端子機能	P60入力端子		P60出力端子
		FTCI入力端子、TMCIO入力端子、HFBACKI入力端子、CIN0入力端子、TMIX入力端子		
<p>FRTのTCRのCKS1、CKS0ビットで外部クロックを選択した場合に、FTCI入力端子として使用します。</p> <p>TMR0のTCRのCKS2～CKS0ビットで外部クロックを選択した場合、TMCIO入力端子として使用します。</p> <p>また、常時 TMIX、HFBACKI、CIN0 入力端子として使用可能です。</p>				

## 8.8 ポート7

### 8.8.1 概要

ポート7は、8ビットの入力専用ポートです。ポート7は、A/D変換器のアナログ入力端子（AN0～AN7）との兼用になっています。ポート7の端子機能はいずれの動作モードでも共通です。ポート7の各端子の構成を図8.15に示します。

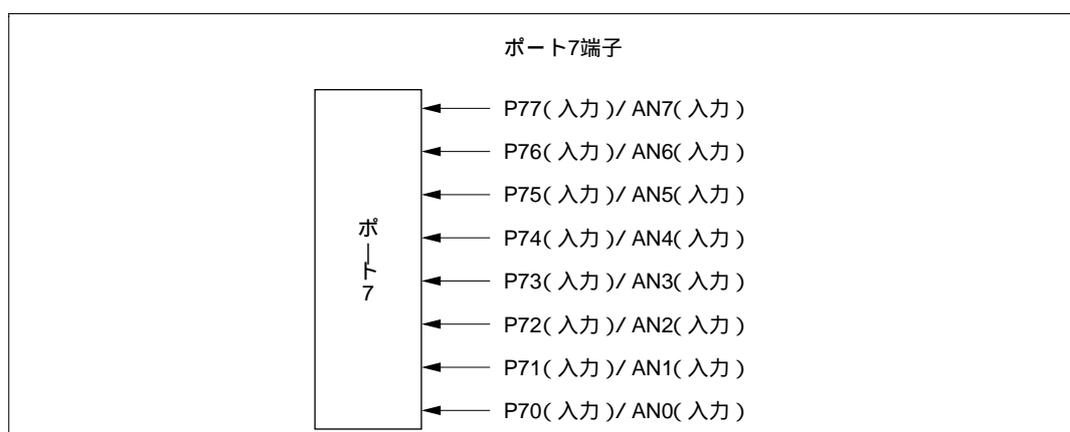


図 8.15 ポート7の端子機能

### 8.8.2 レジスタ構成

表 8.16 にポート7のレジスタ構成を示します。ポート7は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 8.16 ポート7レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート7入力データレジスタ	P7PIN	R	不定	H'FFBE

【注】 \* アドレスの下位 16 ビットを示しています。

## (1) ポート7 入力データレジスタ (P7PIN)

ビット:	7	6	5	4	3	2	1	0
	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN
初期値:	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

【注】\* P77~P70端子の状態により決定されます。

P7PIN のリードを行うと、常に端子の状態が読み出されます。

## 8.8.3 端子機能

ポート7の各端子は、A/D変換器のアナログ入力端子 (AN0~AN7) との兼用になっています。

---

# 9. 8ビット PWM タイマ (PWM)

---

H8S/2128 グループ、H8S/2128S グループに内蔵しています。  
H8S/2124 グループには内蔵していません。

## 第9章 目次

9.1	概要	233
9.1.1	特長	233
9.1.2	ブロック図	234
9.1.3	端子構成	235
9.1.4	レジスタ構成	235
9.2	各レジスタの説明	236
9.2.1	PWM レジスタセレクト (PWSL)	236
9.2.2	PWM データレジスタ (PWDR0 ~ PWDR15)	239
9.2.3	PWM データポラリティレジスタ (PWDPRB)	239
9.2.4	PWM アウトプットイネーブルレジスタ (PWOERA、PWOERB)	240
9.2.5	周辺クロックセレクトレジスタ (PCSR)	241
9.2.6	ポート1 データディレクションレジスタ (P1DDR)	242
9.2.7	ポート2 データディレクションレジスタ (P2DDR)	242
9.2.8	ポート1 データレジスタ (P1DR)	242
9.2.9	ポート2 データレジスタ (P2DR)	243
9.2.10	モジュールストップコントロールレジスタ (MSTPCR)	243
9.3	PWM タイマの動作	244
9.3.1	PWM データレジスタの内容と出力波形の対応	244



## 9.1 概要

本 LSI は、16 本の出力を持つ PWM (Pulse Width Modulation) タイマを内蔵しています。16 本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の PWM 出力が可能です。16 本の 8 ビット PWM データレジスタ (PWDR) を持ち、PWDR およびポートのデータレジスタ (P1DR、P2DR) に設定する値によって、0 ~ 100% の任意の出力を得ることができます。

### 9.1.1 特長

PWM タイマの特長を以下に示します。

パルス分割により、最大 1.25MHz のキャリア周波数での動作可能 (20MHz 動作時)  
デューティ 0 ~ 100% を 1 / 256 の分解能で設定可能 (100% はポート出力で実現)  
PWM 出力のイネーブル / ディスエーブルの切り替え、直接出力 / 反転出力の切り替えが可能

### 9.1.2 ブロック図

PWM タイマのブロック図を図9.1に示します。

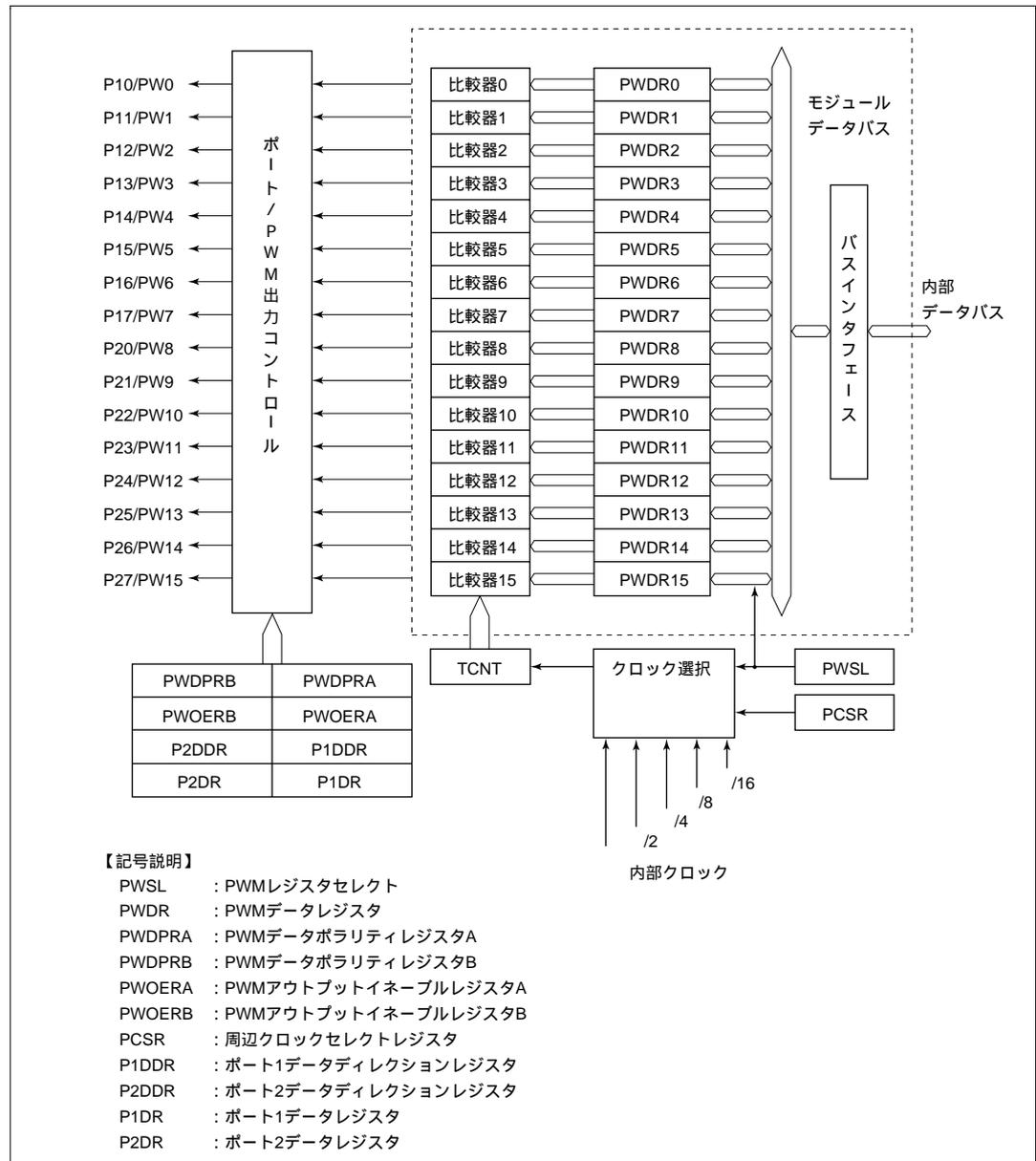


図 9.1 PWM タイマのブロック図

### 9.1.3 端子構成

PWMの出力端子を表9.1に示します。

表9.1 端子構成

名 称	記号	入出力	機 能
PWM出力端子0~15	PW0~PW15	出力	PWMタイマパルス出力0~15

### 9.1.4 レジスタ構成

PWMのレジスタ構成を表9.2に示します。

表9.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
PWMレジスタセレクト	PWSL	R/W	H'20	H'FFD6
PWMデータレジスタ0~15	PWDR0~PWDR15	R/W	H'00	H'FFD7
PWMデータポラリティレジスタA	PWDpra	R/W	H'00	H'FFD5
PWMデータポラリティレジスタB	PWDprb	R/W	H'00	H'FFD4
PWMアウトプットイネーブルレジスタA	PWOera	R/W	H'00	H'FFD3
PWMアウトプットイネーブルレジスタB	PWOerb	R/W	H'00	H'FFD2
ポート1データディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート2データディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート1データレジスタ	P1DR	R/W	H'00	H'FFB2
ポート2データレジスタ	P2DR	R/W	H'00	H'FFB3
周辺クロックセレクトレジスタ	PCSR	R/W	H'00	H'FF82*2
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 \*1 アドレスの下位16ビットを示しています。

\*2 8ビットPWMタイマのレジスタの一部は、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) のFLSHEビットで行います。

## 9.2 各レジスタの説明

### 9.2.1 PWM レジスタセレクト (PWSL)

ビット :	7	6	5	4	3	2	1	0
	PWCKE	PWCKS	-	-	RS3	RS2	RS1	RS0
初期値 :	0	0	1	0	0	0	0	0
R/W :	R/W	R/W	-	-	R/W	R/W	R/W	R/W

PWSL は8ビットのリード/ライト可能なレジスタで、PWM タイマの入力クロックの選択およびPWM データレジスタの選択を行います。

PWSL はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'20 に初期化されます。

ビット7、6 : PWMクロックイネーブル、

PWMクロックセレクト (PWCKE、PWCKS)

PCSR のPWCKA、PWCKB ビットとともに、PWM タイマのTCNT に入力する内部クロックを選択します。

PWSL		PCSR		説 明	
ビット7	ビット6	ビット2	ビット1		
PWCKE	PWCKS	PWCKB	PWCKA		
0	-	-	-	クロック入力禁止 (初期値)	
1	0	-	-	(システムクロック) を選択	
			0	0	/2 を選択
	1	0	0	1	/4 を選択
			0	1	/8 を選択
		1	1	/16 を選択	

PWMの分解能、PWM変換周期、キャリア周波数は、選択した内部クロックにより、次の式で求めることができます。

$$\text{分解能 (最小パルス幅)} = 1 / \text{内部クロック周波数}$$

$$\text{PWM変換周期} = \text{分解能} \times 256$$

$$\text{キャリア周波数} = 16 / \text{PWM変換周期}$$

したがって、システムクロック( )が20MHzの場合の分解能、PWM変換周期、キャリア周波数は表9.3のようになります。

表 9.3 = 20MHz 時の分解能、PWM変換周期、キャリア周波数

内部クロック周波数	分解能	PWM変換周期	キャリア周波数
	50ns	12.8 μs	1250kHz
/ 2	100ns	25.6 μs	625kHz
/ 4	200ns	51.2 μs	312.5kHz
/ 8	400ns	102.4 μs	156.3kHz
/ 16	800ns	204.8 μs	78.1kHz

#### ビット5：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

#### ビット4：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3~0 : レジスタセレクト (RS3~RS0)

PWM データレジスタを選択します。

ビット3	ビット2	ビット1	ビット0	レジスタ選択	
RS3	RS2	RS1	RS0		
0	0	0	0	PWDR0 選択	
			1	PWDR1 選択	
		1	0	PWDR2 選択	
			1	PWDR3 選択	
	1	0	0	0	PWDR4 選択
				1	PWDR5 選択
		1	0	0	PWDR6 選択
				1	PWDR7 選択
1	0	0	0	PWDR8 選択	
			1	PWDR9 選択	
		1	0	0	PWDR10 選択
				1	PWDR11 選択
	1	0	0	0	PWDR12 選択
				1	PWDR13 選択
		1	0	0	PWDR14 選択
				1	PWDR15 選択

### 9.2.2 PWM データレジスタ (PWDR0 ~ PWDR15)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PWDR は、8ビットのリード/ライト可能なレジスタで、出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDR に設定する値が、変換周期内の 0/1 比に対応します。上位 4 ビットは基本パルスのデューティ比を 0/16 ~ 15/16 まで 1/16 の分解能で指定し、下位 4 ビットは、16 基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の 0/1 比は、0/256 ~ 255/256 まで指定可能です。256/256 (100%) を出力する場合は、ポート出力を利用してください。

PWDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00 に初期化されます。

### 9.2.3 PWM データポラリティレジスタ (PWDPRA、PWDPRB)

ビット :	7	6	5	4	3	2	1	0
PWDPRA :	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
PWDPRB :	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDPR は、8ビットのリード/ライト可能な 2 本のレジスタで、PWM 出力の極性を制御します。OS0 ~ OS15 ビットが PW0 ~ PW15 出力にそれぞれ対応します。

PWDPR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されません。

OS	説明
0	PWM 直接出力 (PWDR の値が、出力の High 幅に対応) (初期値)
1	PWM 反転出力 (PWDR の値が、出力の Low 幅に対応)

## 9.2.4 PWM アウトプットイネーブルレジスタ (PWOERA、PWOERB)

ビット :	7	6	5	4	3	2	1	0
PWOERA:	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
PWOERB:	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWOER は、8ビットのリード/ライト可能な2本のレジスタで、PWM出力とポート出力を切り替えます。OE15~OE0ビットがPW15~PW0出力にそれぞれ対応します。端子を出力状態とするためには、さらにポートのデータディレクションレジスタで設定する必要があります。P17DDR~P10DDRビットがPW7~PW0出力に、P27DDR~P20DDRビットがPW15~PW8出力にそれぞれ対応します。

PWOER は、リセットまたはハードウェアスタンバイモード時に、H'00に初期化されません。

DDR	OE	説明
0	0	ポート入力 (初期値)
	1	ポート入力
1	0	ポート出力またはPWMの256/256出力
	1	PWM出力(0~255/256出力)

### 9.2.5 周辺クロックセレクトレジスタ (PCSR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	PWCKB	PWCKA	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	-

PCSRは8ビットのリード/ライト可能なレジスタで、PWMタイマの入力クロックの選択を行います。

PCSRはリセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

#### ビット7~3 : リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

#### ビット2, 1 : PWMクロックセレクト (PWCKB、PWCKA)

PWSLのPWCKE、PWCKSビットとともに、PWMタイマのTCNTに入力する内部クロックを選択します。詳細は「9.2.1 PWMレジスタセレクト (PWSL)」を参照してください。

#### ビット0 : リザーブビット

リザーブビットです。1にセットしないでください。

### 9.2.6 ポート1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
:	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は 8 ビットのライト専用のレジスタで、ポート 1 の各端子の入出力方向および PWM 出力をビット単位に設定します。

ポート 1 は PW0 ~ PW7 端子との兼用端子となっています。PWM 出力を行う端子に対応するビットを 1 にセットしてください。

P1DDR の詳細は、「8.2 ポート 1」を参照してください。

### 9.2.7 ポート2 データディレクションレジスタ (P2DDR)

ビット :	7	6	5	4	3	2	1	0
:	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P2DDR は 8 ビットのライト専用のレジスタで、ポート 2 の各端子の入出力方向および PWM 出力をビット単位に設定します。

ポート 2 は PW8 ~ PW15 端子との兼用端子となっています。PWM 出力を行う端子に対応するビットを 1 にセットしてください。

P2DDR の詳細は、「8.3 ポート 2」を参照してください。

### 9.2.8 ポート1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
:	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P1DR は 8 ビットのリード/ライト可能なレジスタで、PWM 出力の 1 固定 (OS = 0 の場合) または 0 固定 (OS = 1 の場合) に使用します。

P1DR の詳細は、「8.2 ポート 1」を参照してください。

### 9.2.9 ポート2データレジスタ (P2DR)

ビット :	7	6	5	4	3	2	1	0
:	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P2DRは8ビットのリード/ライト可能なレジスタで、PWM出力の1固定(OS=0の場合)または0固定(OS=1の場合)に使用します。

P2DRの詳細は、「8.3 ポート2」を参照してください。

### 9.2.10 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP11ビットを1にセットすると、8ビットPWMタイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### MSTPCRHビット3: モジュールストップ (MSTP11)

PWMのモジュールストップモードを指定します。

MSTPCRH ビット3	説明
MSTP11	
0	PWMのモジュールストップモード解除
1	PWMのモジュールストップモード設定 (初期値)

## 9.3 PWM タイマの動作

### 9.3.1 PWM データレジスタの内容と出力波形の対応

PWDR の上位4ビットは基本パルスのデューティ比を  $0/16 \sim 15/16$  まで  $1/16$  の分解能で次のように指定します。

表9.4 基本パルスのデューティ比

上位4ビット	基本パルス波形 (内部)
0000	0 1 2 3 4 5 6 7 8 9 A B C D E F 0
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1000	
1001	
1010	
1011	
1100	
1101	
1110	
1111	

PWDR の下位4ビットは、16基本パルスに対する付加パルスの付加位置を次のように指定します。付加パルスとしては、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間 (OS = 0 の場合) を付加します。PWDR の上位4ビットが0000の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。

表 9.5 基本パルスに対する付加パルスの位置

下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0000																
0001																
0010																
0011																
0100																
0101																
0110																
0111																
1000																
1001																
1010																
1011																
1100																
1101																
1110																
1111																

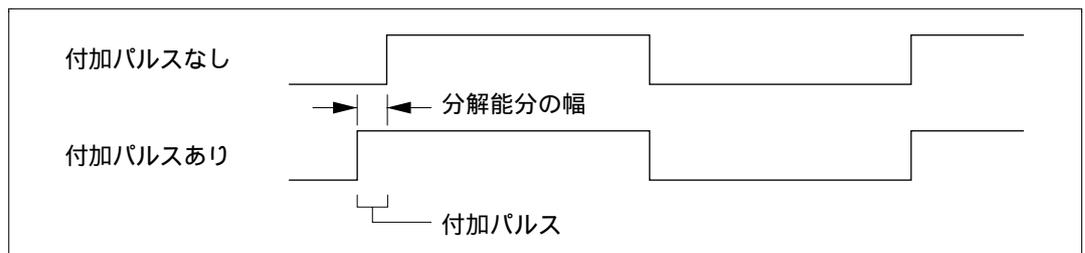


図 9.2 付加パルスタイミング (PWDR 上位 4 ビットが 1000 の例)



---

# 10. 14ビット PWM タイマ (PWMX)

---

H8S/2128 グループ、H8S/2128S グループに内蔵しています。  
H8S/2124 グループには内蔵していません。

## 第 10 章 目次

10.1	概要	249
10.1.1	特長	249
10.1.2	ブロック図	249
10.1.3	端子構成	250
10.1.4	レジスタ構成	250
10.2	各レジスタの説明	251
10.2.1	PWM (D/A) カウンタ (DACNT)	251
10.2.2	D/A データレジスタ A、B (DADRA、B)	252
10.2.3	PWM (D/A) コントロールレジスタ (DACR)	253
10.2.4	モジュールストップコントロールレジスタ (MSTPCR)	255
10.3	バスマスタとのインタフェース	257
10.4	動作説明	260



## 10.1 概要

本LSIは、2チャンネルの14ビットPWM (Pulse Width Modulator) を内蔵しています。LSI外部にローパスフィルタを接続することにより、14ビットD/A変換器として使用できます。

2チャンネルのPWMは、カウンタ (DACNT) とコントロールレジスタ (DACR) を共有しています。

### 10.1.1 特長

14ビットPWM (D/A) の特長を以下に示します。

リップルの少ないパルス分割方式

2種類の分解能、2種類の基本周期を設定可能

分解能は、システムクロック周期とシステムクロック周期×2から選択できます。

また、2種類の基本周期  $T \times 64$ 、 $T \times 256$  ( $T =$  分解能) が選択できます。

4種類の動作速度を設定可能

4種類の動作クロック (基本周期2種類×分解能2種類) が選択できます。

### 10.1.2 ブロック図

PWM (D/A) のブロック図を図10.1に示します。

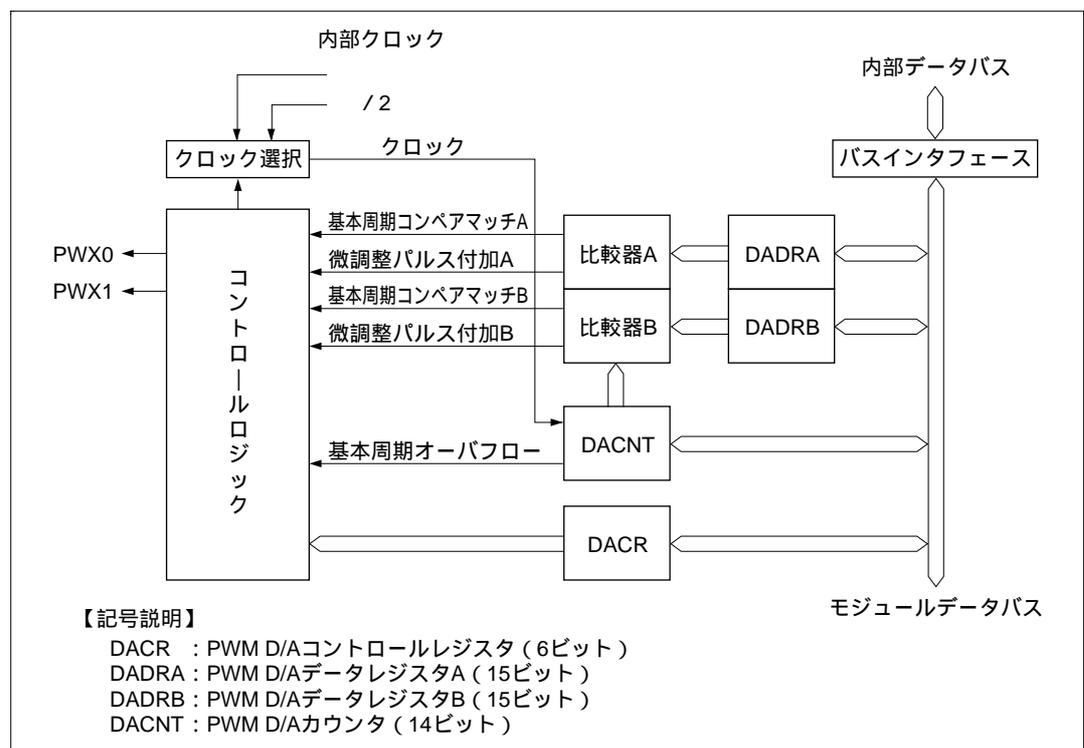


図10.1 PWM (D/A) のブロック図

### 10.1.3 端子構成

PWM (D/A) の入出力端子を表 10.1 に示します。

表 10.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 0	PWX0	出力	チャンネル A の PWM 出力
PWM 出力端子 1	PWX1	出力	チャンネル B の PWM 出力

### 10.1.4 レジスタ構成

PWM (D/A) のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

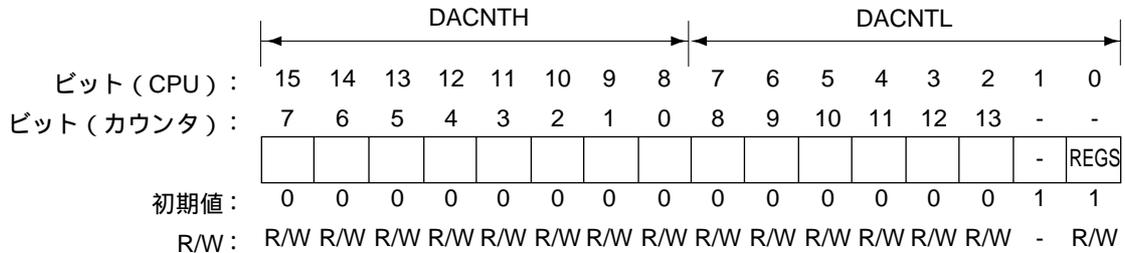
名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
PWM (D/A) コントロールレジスタ	DACR	R/W	H'30	H'FFA0* <sup>2</sup>
PWM (D/A) データレジスタ AH	DADRAH	R/W	H'FF	H'FFA0* <sup>2</sup>
PWM (D/A) データレジスタ AL	DADRAL	R/W	H'FF	H'FFA1* <sup>2</sup>
PWM (D/A) データレジスタ BH	DADRBH	R/W	H'FF	H'FFA6* <sup>2</sup>
PWM (D/A) データレジスタ BL	DADRBL	R/W	H'FF	H'FFA7* <sup>2</sup>
PWM (D/A) カウンタ H	DACNTH	R/W	H'00	H'FFA6* <sup>2</sup>
PWM (D/A) カウンタ L	DACNTL	R/W	H'03	H'FFA7* <sup>2</sup>
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 14 ビット PWM タイマのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。また、DADRAH と DACR、DADRBH と DACNT のアドレスは同一です。これらの切り替えは DACNT または DADRBH の REGS ビットで行います。

## 10.2 各レジスタの説明

### 10.2.1 PWM (D/A) カウンタ (DACNT)



DACNTは、14ビットのリードライト可能なアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、DACRのクロックセレクトビット (CKS) で選択します。DACNTの値は、CPUからリード/ライト可能ですが、16ビット構成になっているため、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.3 バスマスタとのインタフェース」を参照してください。

DACNTは、2チャンネルのPWM (D/A) のタイムベースとして使用されます。14ビット精度で使用する場合には、全ビットを利用し、12ビット精度で使用する場合には、上位2ビット (カウンタ) を無視し、下位12ビット (カウンタ) を利用します。

DACNTは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時、またはPWMEビットにより、H'0003に初期化されます。

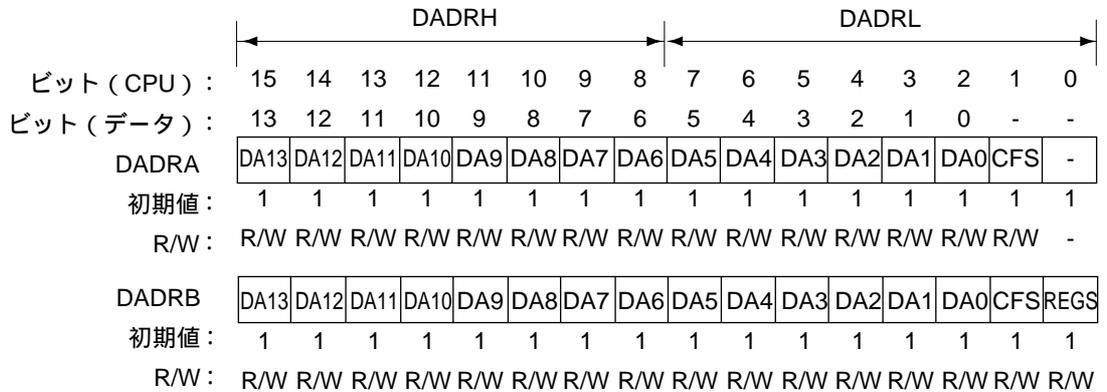
DACNTLのビット1 (CPU) は、未使用で、リードすると1が読み出されます。

#### DACNTL ビット0 : レジスタセレクト (REGS)

DADRAとDACR、DADRBとDACNTは、同一のアドレスに配置されています。REGSビットは、どちらのレジスタをアクセス可能にするかを選択します。REGSビットは、DADRBとDACNTのいずれが選択されていてもアクセス可能です。

ビット0	説 明
REGS	
0	DADRAとDADRBがアクセス可能
1	DACRとDACNTがアクセス可能 (初期値)

### 10.2.2 D/A データレジスタ A、B (DADRA、B)



DADR は、16ビットのリード/ライト可能な2本のレジスタ (DADRA、B) で構成されています。DADRA はPWM (D/A) チャネルAに、DADRB はPWM (D/A) チャネルBにそれぞれ対応します。DADR の値は、CPU からリード/ライト可能ですが、16ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.3 バスマスタとのインタフェース」を参照してください。

DADRA の最下位ビット (CPU) は未使用で、リードすると1が読み出されます。

DADR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'FFFF に初期化されます。

#### ビット 15~3 : D/A データ 13~0 (DA13~0)

DADR の上位 14ビットは、D/A 変換データを設定します。

DADR の上位 14ビットの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを決定し、また分解能幅の付加パルスを出力するか否かを決定します。この動作を可能にするためには、DADR をある範囲の値に設定する必要があります。この範囲はキャリアフリーケンシセレクト (CFS) によって決まります。範囲外の値を DADR に設定すると、PWM 出力は固定されます。

12ビット精度で使用する場合には、下位2ビット (データ) (DA1, 0) を0に固定し、上位 12ビット (データ) が有効とみなします。この下位 2ビット (データ) は DACNT の上位 2ビット (カウンタ) に対応しています。

## ビット1：キャリアフリーケンシセレクト (CFS)

ビット1	説明
CFS	
0	基本周期 = 分解能 (T) × 64 で動作、DADR の値の範囲は H'0401 ~ H'FFFD
1	基本周期 = 分解能 (T) × 256 で動作、DADR の値の範囲は H'0103 ~ H'FFFF (初期値)

## DADRA ビット0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

## DADRB ビット0：レジスタセレクト (REGS)

DADRA と DACR、DADRB と DACNT は、同一のアドレスに配置されています。REGS ビットは、どちらのレジスタをアクセス可能にするかを選択します。REGS ビットは、DADRB と DACNT のいずれが選択されていてもアクセス可能です。

ビット0	説明
REGS	
0	DADRA と DADRB がアクセス可能
1	DACR と DACNT がアクセス可能 (初期値)

## 10.2.3 PWM (D/A) コントロールレジスタ (DACR)

ビット：	7	6	5	4	3	2	1	0
	TEST	PWME	-	-	OEB	OEA	OS	CKS
初期値：	0	0	1	1	0	0	0	0
R/W：	R/W	R/W	-	-	R/W	R/W	R/W	R/W

DACR は8ビットのリード/ライト可能なレジスタで、テストモードの設定、出力の許可、出力位相、および動作速度の選択を行います。

DACR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'30 に初期化されます。

ビット7：テストモード (TEST)

テスト状態を選択します。このビットはLSIのテストのために使用しますので、通常は0に設定してください。

ビット7	説明
TEST	
0	PWM (D/A) はユーザ状態となり、通常の動作をします (初期値)
1	PWM (D/A) はテスト状態となり、正しい変換結果は得られません

ビット6：PWM イネーブル (PWME)

DACNTの動作または停止を選択します。

ビット6	説明
PWME	
0	DACNT は 14 ビットのアップカウンタとして動作 (初期値)
1	DACNT = H'0003 で停止

ビット5、4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3：アウトプットイネーブルB (OEB)

PWM (D/A) チャネルBの出力の許可または禁止を選択します。

ビット3	説明
OEB	
0	PWM (D/A) チャネルB出力 (PWX1 出力端子) を禁止 (初期値)
1	PWM (D/A) チャネルB出力 (PWX1 出力端子) を許可

ビット2：アウトプットイネーブルA (OEA)

PWM (D/A) チャネルAの出力の許可または禁止を選択します。

ビット2	説明
OEA	
0	PWM (D/A) チャネルA出力 (PWX0 出力端子) を禁止 (初期値)
1	PWM (D/A) チャネルA出力 (PWX0 出力端子) を許可

## ビット1: アウトプットセレクト (OS)

PWM (D/A) の出力位相を選択します。

ビット1	説明
OS	
0	PWM 直接出力 (初期値)
1	PWM 反転出力

## ビット0: クロックセレクト (CKS)

PWM (D/A) の分解能を選択します。分解能は、システムクロック ( ) が 10MHz の場合、100ns と 200ns が選択できます。

ビット0	説明
CKS	
0	分解能 (T) = システムクロック周期 ( $t_{cyc}$ ) で動作 (初期値)
1	分解能 (T) = システムクロック周期 ( $t_{cyc}$ ) × 2 で動作

## 10.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP11 ビットを 1 にセットすると、14 ビット PWM タイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 3 : モジュールストップ (MSTP11)

PWMX のモジュールストップモードを指定します。

MSTPCRH ビット 3	説明
MSTP11	
0	PWMX のモジュールストップモード解除
1	PWMX のモジュールストップモード設定 (初期値)

## 10.3 バスマスタとのインタフェース

DACNT、DADRA、B は、16ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間の、データバスは8ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8ビットのテンポラリレジスタ(TEMP)を介して行います。

各レジスタのリード/ライトは次のような動作で行われます(CPUとのインタフェース例)。

### (1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトで、TEMPにある上位バイトの値とあわせて16ビットデータとしてレジスタにライトされます。

### (2) レジスタからのリード時の動作

上位バイトのリードで、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトのリードで、TEMPにある下位バイトの値がCPUに転送されます。

これらのレジスタをアクセスするときは、MOV命令を使用し、常に16ビット単位(バイトアクセスを2回行うことも含みます)で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。なお、ビット操作命令は使用できません。

図10.2にCPUがDACNTをアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。

#### 例1 DACNTへのライト

```
MOV . W R0 , @DACNT      DACNTへR0の内容をライト
```

#### 例2 DADRAのリード

```
MOV . W @DADRA , R0      DADRAの内容をR0に転送
```

表 10.3 16ビットレジスタのリード/ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA, B				×
DACNT		×		×

：許されているアクセスを示します。ワード単位のアクセスとは上位バイト 下位バイトの順序で連続してバイトアクセスすることを含みます。

×：その単位のアクセスでは、結果が保証されないことを示します。

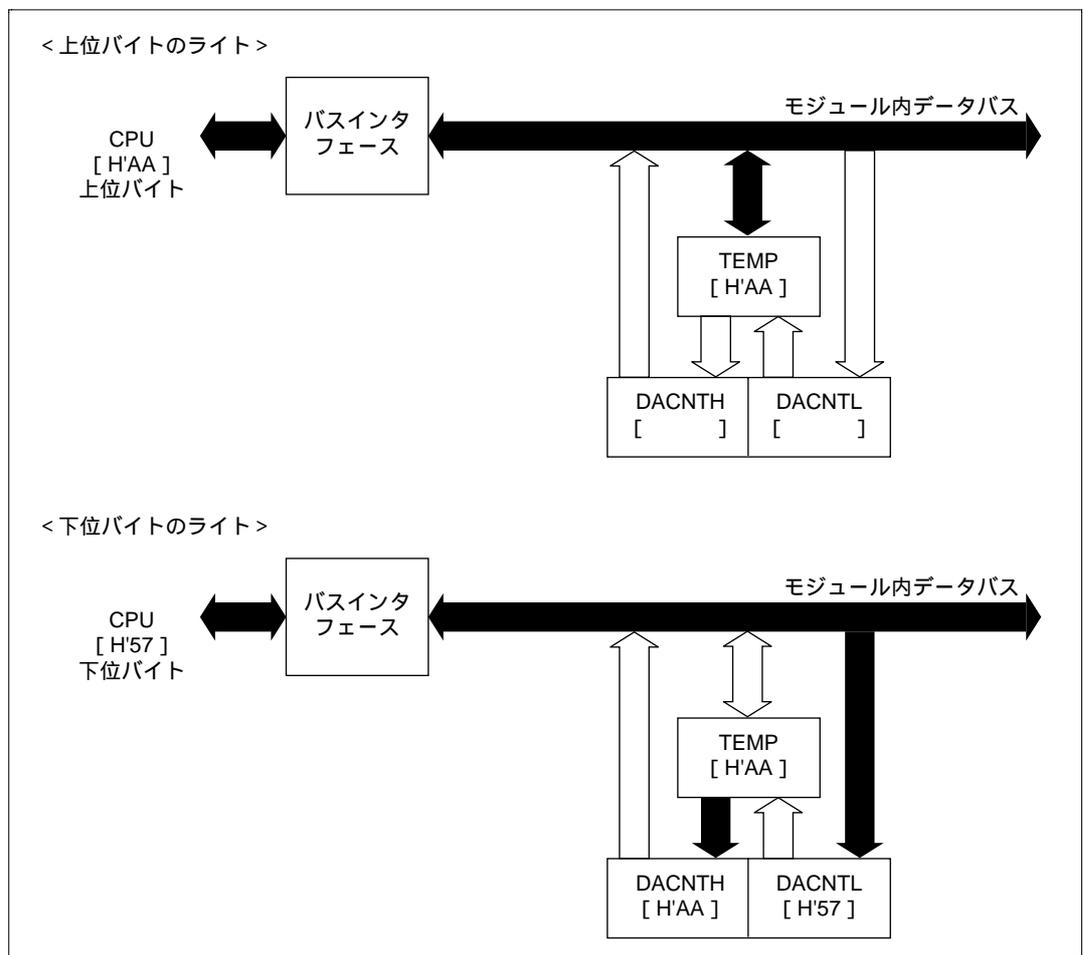


図 10.2 (a) DACNTのアクセス動作 (CPU DACNT [H'AA57] ライト時)

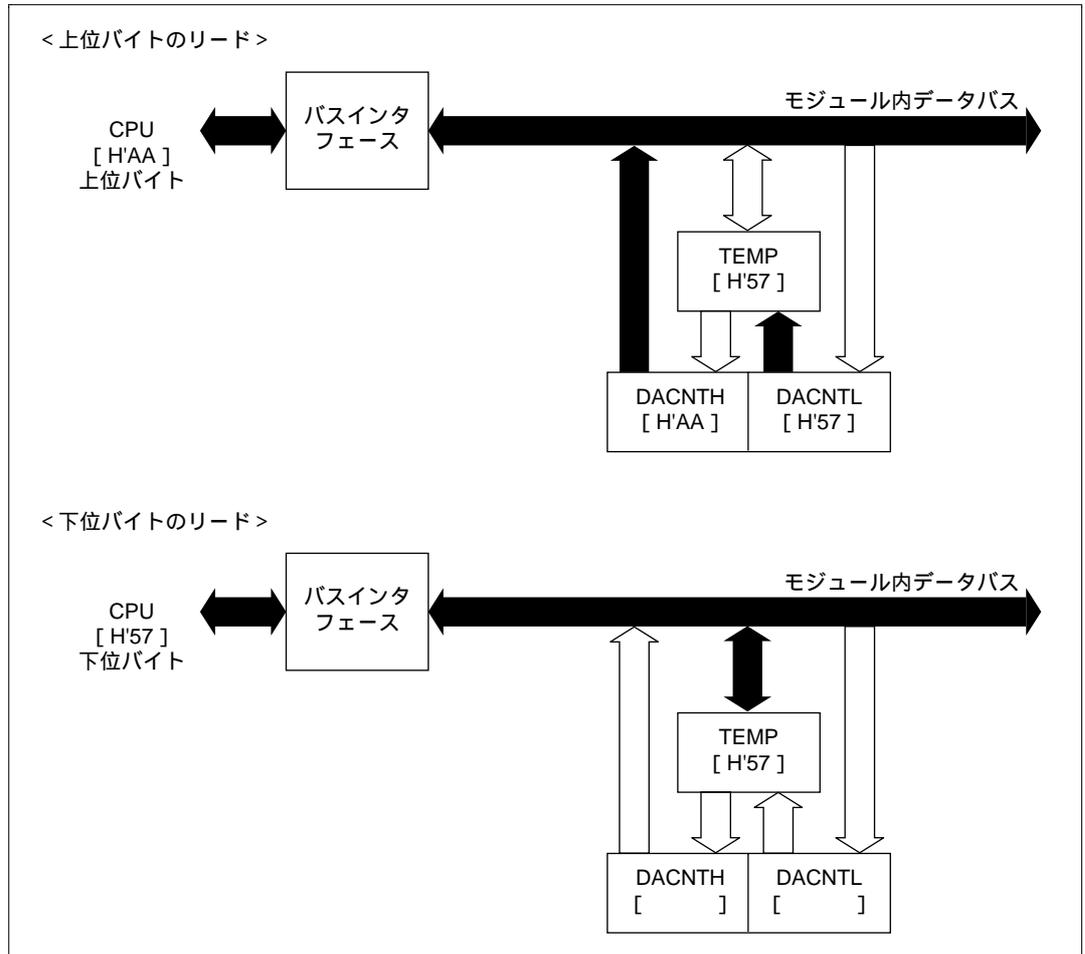


図 10.2 (b) DACNTLのアクセス動作 (DACNTL CPU [H'AA57] リード時)

## 10.4 動作説明

PWMX 端子からは、図 10.3 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS = 0 の場合 256 個、CFS = 1 の場合 64 個) の 0 レベル幅の合計 (TL) が DADR のデータと対応しています。OS = 0 の場合、この波形が直接出力されます。OS = 1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 (TH) が DADR のデータと対応しています。この様子を図 10.4 に示します。

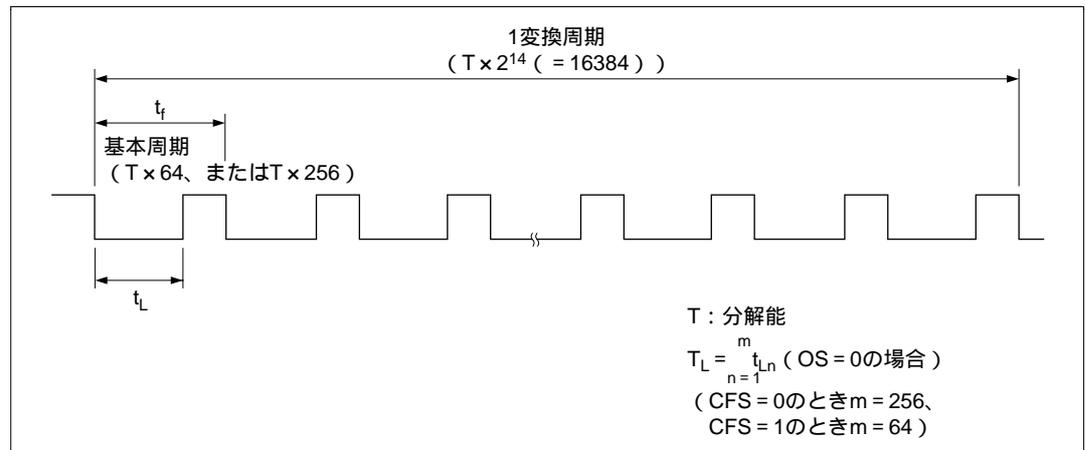


図 10.3 PWM (D/A) の動作

CKS、CFS、OS ビットの設定と、分解能、基本周期、変換周期との関係を表 10.4 に示します。DADR の内容がある値以上ではないと PWM 出力は固定レベルとなります。PWM 出力が図 10.3 で説明した波形となる DADR の設定値と DADR の下位ビットを 0 に固定して、変換精度を 12 ビット、10 ビットとした場合の変換周期などをあわせて表 10.4 に示します。また、OS ビットと出力波形の関係を図 10.4 に示します。

表 10.4 設定値と動作内容 ( : 10MHz 時の例)

CKS	分解能 T ( $\mu\text{s}$ )	CFS	基本 周期 ( $\mu\text{s}$ )	変換 周期 ( $\mu\text{s}$ )	TL/TH (OS = 0 / OS = 1)	DADR 固定ビット				変換 周期* ( $\mu\text{s}$ )	
						変換精度 (ビット数)	ビットデータ				
							3	2	1		0
0	0.1	0	6.4	1638.4	(1) 常時 Low/High レベル 出力 (DADR = H'0001 ~ H'03FD)	14					1638.4
					(2) (データ値) × T (DADR = H'0401 ~ H'FFFD)	12			0	0	409.6
						10	0	0	0	0	102.4
		1	25.6	1638.4	(1) 常時 Low/High レベル 出力 (DADR = H'0003 ~ H'00FF)	14					1638.4
					(2) (データ値) × T (DADR = H'0103 ~ H'FFFF)	12			0	0	409.6
						10	0	0	0	0	102.4
1	0.2	0	12.8	3276.8	(1) 常時 Low/High レベル 出力 (DADR = H'0001 ~ H'03FD)	14					3276.8
					(2) (データ値) × T (DADR = H'0401 ~ H'FFFD)	12			0	0	819.2
						10	0	0	0	0	204.8
		1	51.2	3276.8	(1) 常時 Low/High レベル 出力 (DADR = H'0003 ~ H'00FF)	14					3276.8
					(2) (データ値) × T (DADR = H'0103 ~ H'FFFF)	12			0	0	819.2
						10	0	0	0	0	204.8

【注】 \* DADR の特定のビットを固定することにより得られる変換周期です。

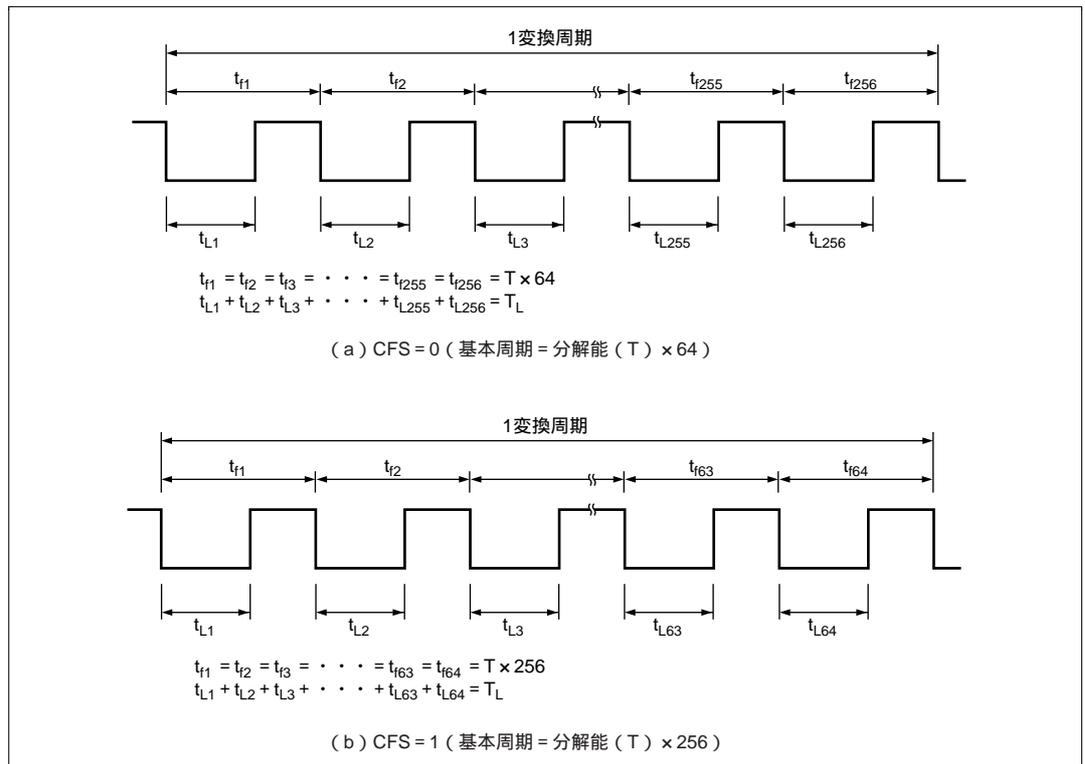


図 10.4 (1) 出力波形 (OS = 0、DADR は  $T_L$  に対応)

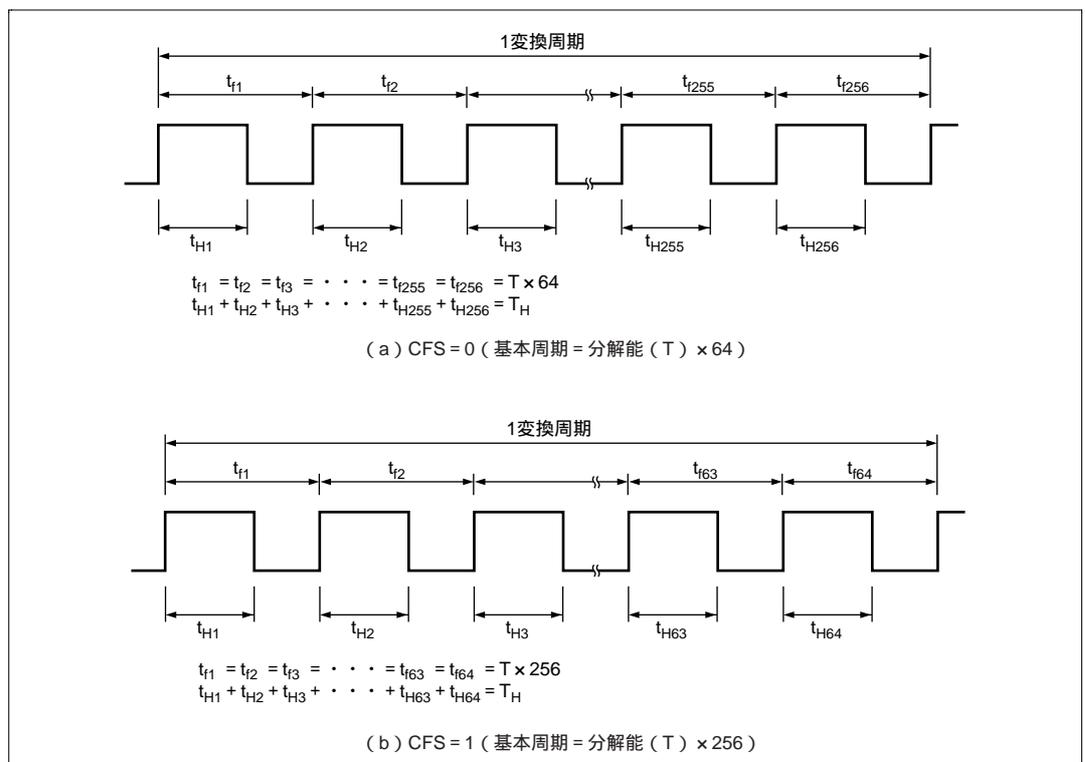


図 10.4 (2) 出力波形 (OS = 1、DADR は  $T_H$  に対応)

付加パルスについては、 $CFS = 1$  (基本周期 = 分解能  $(T) \times 256$ ) かつ  $OS = 1$  (PWM 反転出力) の設定を例に示します。 $CFS = 1$  のとき、図 10.5 に示すように DADR の上位 8 ビット (DA13 ~ DA6) で基本パルスのデューティ比が、次の 6 ビット (DA5 ~ DA0) で付加パルスの位置が決定されます。

表 10.5 に付加パルスの位置を示します。

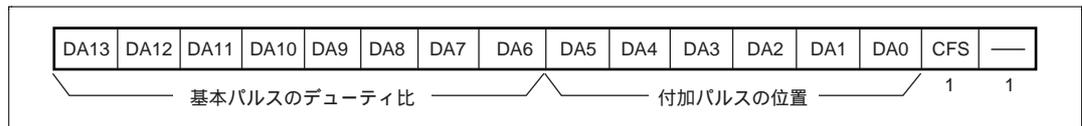


図 10.5  $CFS = 1$  のときの D/A データレジスタの構成

ここでは、 $DADR = H'0207$  ( $B'0000\ 0010\ 0000\ 0111$ ) の場合を考えます。図 10.6 に出力波形を示します。 $CFS = 1$  であり、上位 8 ビットの値が  $B'0000\ 0010$  ですので、基本パルスは High 幅が  $2/256 \times (T)$  のデューティ比となります。

次に続く 6 ビットの値が  $B'0000\ 01$  ですので、表 10.5 より、付加パルスは基本パルス No.63 の位置でのみ出力されます。付加パルスは基本パルスに  $1/256 \times (T)$  だけ追加される形となります。

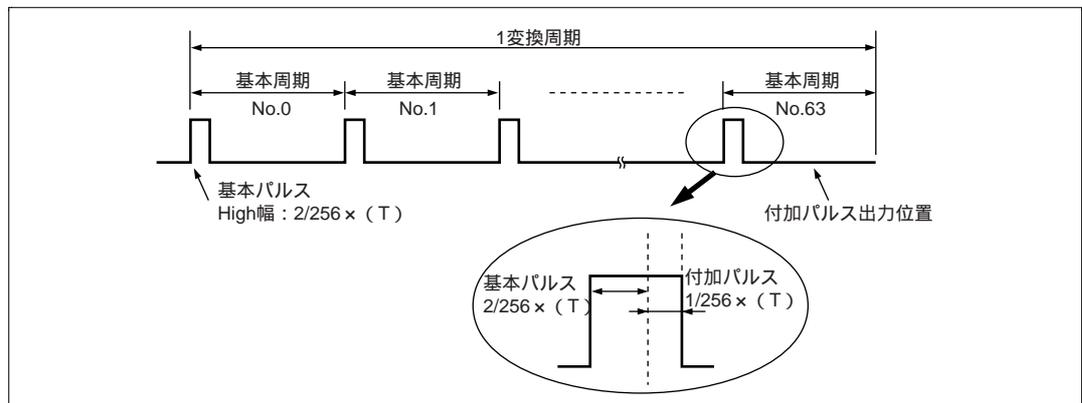


図 10.6  $DADR = H'0207$  のときの出力波形 ( $OS = 1$ )

なお、 $CFS = 0$  (基本周期 = 分解能  $(T) \times 64$ ) の場合、基本パルスのデューティ比は上位 6 ビットで、付加パルスの位置はその次の 8 ビットで決定されるという点以外は、同様な考え方となります。



---

# 11. 16ビットフリーランニングタイム (FRT)

---

## 第11章 目次

11.1	概要	267
11.1.1	特長	267
11.1.2	ブロック図	268
11.1.3	端子構成	269
11.1.4	レジスタ構成	270
11.2	各レジスタの説明	271
11.2.1	フリーランニングカウンタ (FRC)	271
11.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	271
11.2.3	インプットキャプチャレジスタ A~D (ICRA~ICRD)	272
11.2.4	アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)	273
11.2.5	アウトプットコンペアレジスタ DM (OCRDM)	274
11.2.6	タイマインタラプトイネーブルレジスタ (TIER)	274
11.2.7	タイマコントロール/ステータスレジスタ (TCSR)	277
11.2.8	タイマコントロールレジスタ (TCR)	281
11.2.9	タイマアウトプットコンペアコントロールレジスタ (TOCR)	284
11.2.10	モジュールストップコントロールレジスタ (MSTPCR)	287
11.3	動作説明	288
11.3.1	FRCのカウントタイミング	288
11.3.2	アウトプットコンペア出力タイミング	289
11.3.3	FRCのクリアタイミング	290
11.3.4	インプットキャプチャ入力タイミング	290
11.3.5	インプットキャプチャフラグ (ICFA~D)のセットタイミング	293
11.3.6	アウトプットコンペアフラグ (OCFA、B)のセットタイミング	293
11.3.7	タイマオーバフローフラグ (OVF)のセットタイミング	294
11.3.8	OCRAとOCRAR/OCRAFの自動加算タイミング	294

## 11. 16ビットフリーランニングタイム (FRT)

---

11.3.9	ICRD と OCRDM のマスク信号生成タイミング.....	295
11.4	割り込み要因.....	296
11.5	FRT の使用例.....	297
11.6	使用上の注意.....	298

## 11.1 概要

本 LSI は、16 ビットフリーランニングタイマ (FRT : Free Running Timer) を 1 チャンネル内蔵しています。

FRT は、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

### 11.1.1 特長

FRT の特長を以下に示します。

4 種類のカウンタ入力クロックを選択可能

- ・ 3 種類の内部クロック ( /2、 /8、 /32 ) と、外部クロックのうちから選択できます ( 外部イベントのカウントが可能 ) 。

2 本の独立したコンパレータ

- ・ 2 種類の波形出力が可能です。

4 本の独立したインプットキャプチャ

- ・ 立ち上がりエッジ / 立ち下がりエッジの選択が可能です。
- ・ バッファ動作を指定できます。

カウンタのクリア指定が可能

- ・ コンペアマッチ A により、カウンタの値をクリアすることができます。

7 種類の割り込み要因

- ・ コンペアマッチ ×2 要因、インプットキャプチャ ×4 要因、オーバフロー ×1 要因があり、それぞれ独立に要求することができます。

自動加算機能による特殊動作

- ・ OCRA の内容に OCRAR および OCRAF の内容を自動的に加算し、ソフトウェアの介入なしに周期的な波形を生成することができます。
- ・ ICRD の内容と OCRDM の内容 ×2 を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

### 11.1.2 ブロック図

16ビットフリーランニングタイムのブロック図を図11.1に示します。

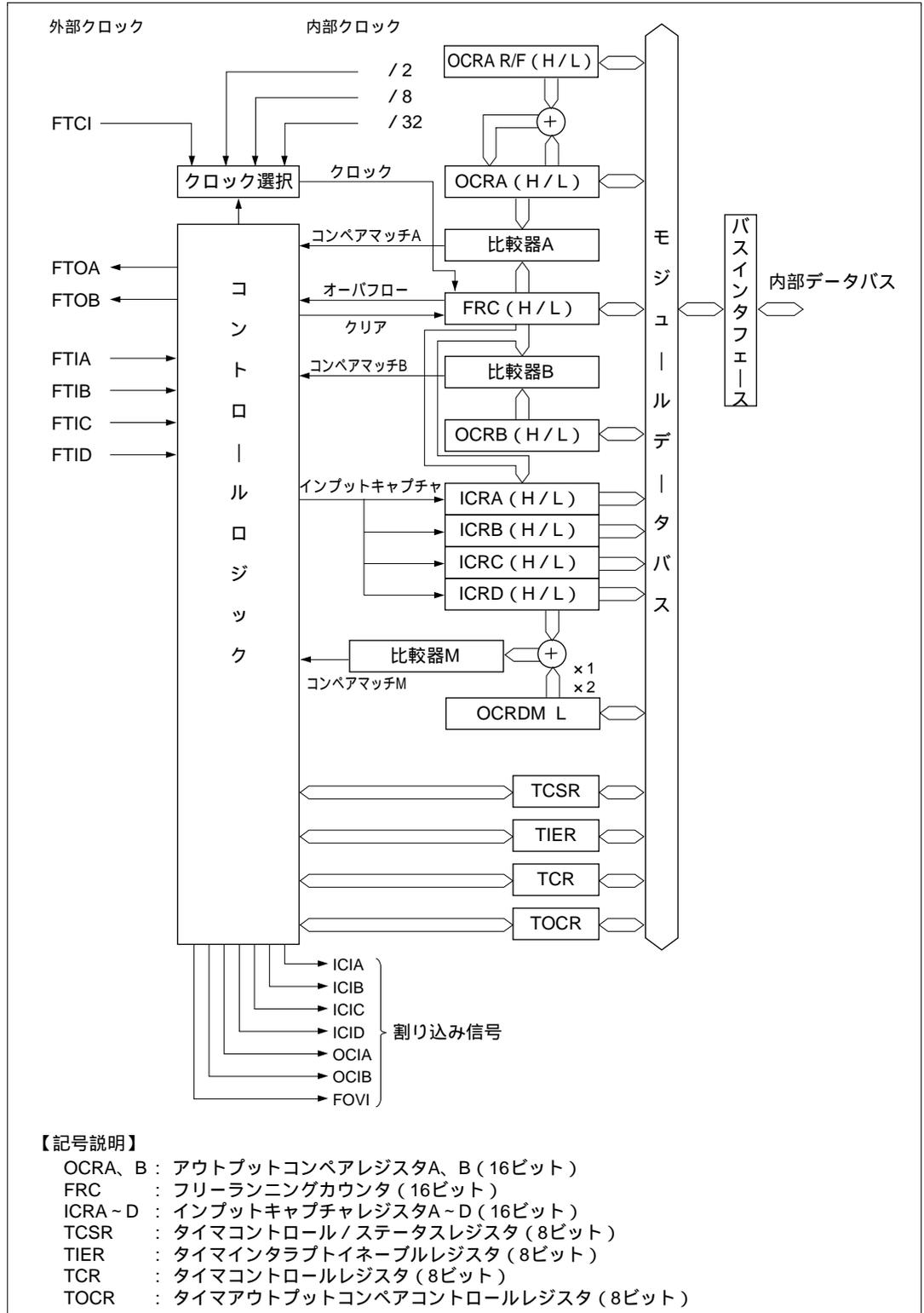


図 11.1 16ビットフリーランニングタイムのブロック図

### 11.1.3 端子構成

FRTの入出力端子を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
カウンタクロック入力端子	FTCI	入力	FRCのカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

## 11.1.4 レジスタ構成

FRTのレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'FF90
タイマコントロール/ステータスレジスタ	TCSR	R/(W) * <sup>2</sup>	H'00	H'FF91
フリーランニングカウンタ	FRC	R/W	H'0000	H'FF92
アウトプットコンペアレジスタ A	OCRA	R/W	H'FFFF	H'FF94* <sup>3</sup>
アウトプットコンペアレジスタ B	OCRB	R/W	H'FFFF	H'FF94* <sup>3</sup>
タイマコントロールレジスタ	TCR	R/W	H'00	H'FF96
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'00	H'FF97
インプットキャプチャレジスタ A	ICRA	R	H'0000	H'FF98* <sup>4</sup>
インプットキャプチャレジスタ B	ICRB	R	H'0000	H'FF9A* <sup>4</sup>
インプットキャプチャレジスタ C	ICRC	R	H'0000	H'FF9C* <sup>4</sup>
インプットキャプチャレジスタ D	ICRD	R	H'0000	H'FF9E
アウトプットコンペアレジスタ AR	OCRAR	R/W	H'FFFF	H'FF98* <sup>4</sup>
アウトプットコンペアレジスタ AF	OCRAF	R/W	H'FFFF	H'FF9A* <sup>4</sup>
アウトプットコンペアレジスタ DM	OCRDM	R/W	H'0000	H'FF9C* <sup>4</sup>
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 ビット 7~1 はリード専用で、フラグをクリアするための 0 ライトのみ可能です。

ビット 0 はリード/ライト可能です

\*3 OCRA と OCRB のアドレスは同一です。これらの切り替えは TOCR の OCRS ビットで行います。

\*4 ICRA、ICRB、ICRC と、OCRAR、OCRAF、OCRDM のアドレスは同一です。これらの切り替えは TOCR の ICRS ビットで行います。

## 11.2 各レジスタの説明

### 11.2.1 フリーランニングカウンタ (FRC)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

FRC は、16 ビットのリード/ライト可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TCR のクロックセレクト1、0 ビット (CKS1、CKS0) で選択します。

また、FRC はコンペアマッチ A によりクリアすることができます。

FRC がオーバーフロー (H'FFFF H'0000) すると、TCSR のオーバーフローフラグ (OVF) が1にセットされます。

FRC は、リセットまたはハードウェアスタンバイモード時に H'0000 に、初期化されま

### 11.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

OCR は、16 ビットのリード/ライト可能な2本のレジスタ (OCRA、OCRB) から構成されます。

OCR の内容は、FRC の値と常に比較されています。両者の値が一致すると、TCSR のアウトプットコンペアフラグ (OCFA、OCFB) が1にセットされます。

さらに、OCR の値と FRC の値が一致した (コンペアマッチ) とき、TOCR のアウトプットイネーブルビット (OEA、OEB) が1にセットされていると、TOCR のアウトプットレベルビット (OLVLA、OLVLB) で設定した出力レベルの値が、アウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、FTOB 出力は0出力です。

OCR は、リセットまたはハードウェアスタンバイモード時に、H'FFFF に初期化されま

### 11.2.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は、16 ビットのリード専用の 4 本のレジスタ (ICRA ~ ICRD) から構成されます。インプットキャプチャ信号入力端子 (FTIA ~ FTID) の立ち上がりまたは立ち下がりエッジが検出されると、そのときの FRC の値が ICRA ~ ICRD に転送されます。このとき同時に、TCSR のインプットキャプチャフラグ (ICFA ~ ICFD) が 1 にセットされます。入力信号のエッジは、TCR のインプットエッジセレクトビット (IEDGA ~ IEDGD) により選択できます。

また、ICRC、ICRD は、TCR のバッファイネーブル A、B ビット (BUFEA、BUFEB) により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRC を ICRA のバッファレジスタとして指定した場合 (BUFEA = 1) の接続を図 11.2 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA IEDGC と設定することにより、立ち上がり / 立ち下がり両方のエッジを指定することができます。IEDGA = IEDGC の場合には立ち上がりまたは立ち下がりエッジのいずれかとなります。表 11.3 を参照してください。

【注】 FRC から ICR への転送は ICF の値にかかわらず行われます。

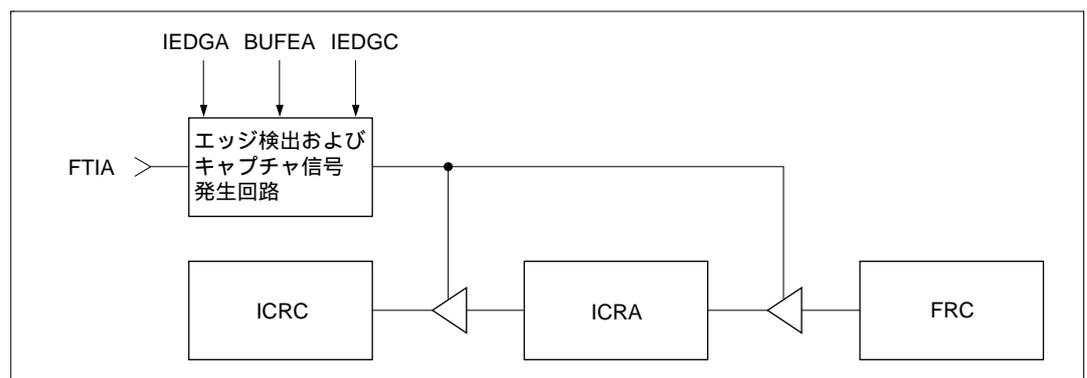


図 11.2 バッファ動作 (例)

表 11.3 バッファ動作時の入力エッジの選択 (例)

IEDGA	IEDGC	説 明
0	0	インプットキャプチャ入力 A (FTIA) の立ち下がりエッジでキャプチャ (初期値)
	1	インプットキャプチャ入力 A (FTIA) の立ち上がり / 立ち下がり
1	0	両方のエッジでキャプチャ
	1	インプットキャプチャ入力 A (FTIA) の立ち上がりエッジでキャプチャ

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック以上、両エッジの場合 2.5 システムクロック以上にしてください。

ICR は、リセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

#### 11.2.4 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

OCRAR、OCRAF は、16 ビットのリード / ライト可能なレジスタです。

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRA の動作は OCRAR、OCRAF を使用した動作に変更されます。OCRAR、OCRAF の内容は、交互に OCRA に自動的に加算され、OCRA に書き込まれます。書き込み動作はコンペアマッチ A のタイミングで行われます。OCRAMS ビットを 1 にセットした後の最初のコンペアマッチ A では、OCRAF が加算されます。

さらに、コンペアマッチ A による動作は、OCRAR、OCRAF のいずれを加算した後のコンペアマッチかによって異なります。TOCR の OLVLA ビットの内容は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力し、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC のカウンタ入力クロックを内部クロック / 2 で、かつ OCRAR (または OCRAF) = H'0001 以下の値に設定しないでください。

OCRAR、OCRAF は、リセットまたはハードウェアスタンバイモード時に、H'FFFF に初期化されます。

### 11.2.5 アウトプットコンペアレジスタ DM (OCRDM)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

OCRDM は、16ビットのリード/ライト可能なレジスタです。OCRDM の上位8ビットはH'00に固定にされています。

TOCR のICRDMS ビットが1にセットされていて、OCRDM の内容がH'0000以外である場合、ICRD の動作はOCRDM を利用した動作に変更されます。インプットキャプチャDが発生した時点をもスク期間の開始とします。続いて、ICRD の内容にOCRDM の内容を2倍して加算した値をFRCと比較し、一致した時点をもスク期間の終了とします。マスク期間中は新たなインプットキャプチャDは禁止されています。

ICRDMS ビットが1にセットされていて、OCRDM の内容がH'0000である場合は、マスク期間は発生しません。

OCRDM は、リセットまたはハードウェアスタンバイモード時に、H'0000に初期化されます。

### 11.2.6 タイマインタラプトイネーブルレジスタ (TIER)

ビット :	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	-
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-

TIER は、8ビットのリード/ライト可能なレジスタで、各割り込み要求の許可を制御します。

TIER は、リセットまたはハードウェアスタンバイモード時に、H'01に初期化されます。

#### ビット7: インプットキャプチャインタラプトAイネーブル (ICIAE)

TCSR のインプットキャプチャフラグA (ICFA) が1にセットされたとき、ICFAによる割り込み (ICIA) の許可または禁止を選択します。

ビット7	説 明
ICIAE	
0	ICFAによる割り込み要求 (ICIA) を禁止 <span style="float: right;">(初期値)</span>
1	ICFAによる割り込み要求 (ICIA) を許可

## ビット6：インプットキャプチャインタラプトBイネーブル (ICIBE)

TCSRのインプットキャプチャフラグB (ICFB) が1にセットされたとき、ICFBによる割り込み (ICIB) の許可または禁止を選択します。

ビット6	説明
ICIBE	
0	ICFBによる割り込み要求 (ICIB) を禁止 (初期値)
1	ICFBによる割り込み要求 (ICIB) を許可

## ビット5：インプットキャプチャインタラプトCイネーブル (ICICE)

TCSRのインプットキャプチャフラグC (ICFC) が1にセットされたとき、ICFCによる割り込み (ICIC) の許可または禁止を選択します。

ビット5	説明
ICICE	
0	ICFCによる割り込み要求 (ICIC) を禁止 (初期値)
1	ICFCによる割り込み要求 (ICIC) を許可

## ビット4：インプットキャプチャインタラプトDイネーブル (ICIDE)

TCSRのインプットキャプチャフラグD (ICFD) が1にセットされたとき、ICFDによる割り込み (ICID) の許可または禁止を選択します。

ビット4	説明
ICIDE	
0	ICFDによる割り込み要求 (ICID) を禁止 (初期値)
1	ICFDによる割り込み要求 (ICID) を許可

## ビット3：アウトプットコンペアインタラプトAイネーブル (OCIAE)

TCSRのアウトプットコンペアフラグA (OCFA) が1にセットされたとき、OCFAによる割り込み要求 (OCIA) の許可または禁止を選択します。

ビット3	説明
OCIAE	
0	OCFAによる割り込み要求 (OCIA) を禁止 (初期値)
1	OCFAによる割り込み要求 (OCIA) を許可

## ビット2：アウトプットコンペアインタラプトB イネーブル (OCIBE)

TCSRのアウトプットコンペアフラグB (OCFB) が1にセットされたとき、OCFBによる割り込み要求 (OCIB) の許可または禁止を選択します。

ビット2	説明
OCIBE	
0	OCFBによる割り込み要求 (OCIB) を禁止 (初期値)
1	OCFBによる割り込み要求 (OCIB) を許可

## ビット1：タイマオーバーフローインタラプトイネーブル (OVIE)

TCSRのオーバーフローフラグ (OVF) が1にセットされたとき、OVFによる割り込み (FOVI) の許可または禁止を選択します。

ビット1	説明
OVIE	
0	OVFによる割り込み要求 (FOVI) を禁止 (初期値)
1	OVFによる割り込み要求 (FOVI) を許可

## ビット0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

## 11.2.7 タイマコントロール/ステータスレジスタ (TCSR)

ビット :	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W						

【注】\* ビット7~1はフラグをクリアするための0ライトのみ可能です。

TCSR は、8 ビットのレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行います。

TCSR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。なお、タイミングについては「11.3 動作説明」を参照してください。

### ビット7：インプットキャプチャフラグ A (ICFA)

インプットキャプチャ信号によって、FRC の値が ICRA に転送されたことを示すステータスフラグです。BUFEA ビットが 1 にセットされているときは、ICFA はインプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
ICFA	
0	[クリア条件] (初期値) ICFA=1 の状態で、ICFA をリードした後、ICFA に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき

### ビット6：インプットキャプチャフラグ B (ICFB)

インプットキャプチャ信号によって、FRC の値が ICRB に転送されたことを示すステータスフラグです。BUFEB ビットが 1 にセットされているときは、ICFB はインプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRD に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
ICFB	
0	[クリア条件] (初期値) ICFB = 1 の状態で、ICFB をリードした後、ICFB に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき

#### ビット5：インプットキャプチャフラグ C (ICFC)

インプットキャプチャ信号によって、FRC の値が ICRC に転送されたことを示すステータスフラグです。BUFEA ビットが 1 にセットされているときは、FTIC に IEDGC ビットで指定された信号変化 (インプットキャプチャ信号) が発生したとき、ICFC はセットされますが、ICRC へのデータ転送は行われません。したがって、バッファ動作では、ICFC は ICICE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明
ICFC	
0	[クリア条件] (初期値) ICFC = 1 の状態で、ICFC をリードした後、ICFC に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

#### ビット4：インプットキャプチャフラグ D (ICFD)

インプットキャプチャ信号によって、FRC の値が ICRD に転送されたことを示すステータスフラグです。BUFEB ビットが 1 にセットされているときは、FTID に IEDGD ビットで指定された信号変化 (インプットキャプチャ信号) が発生したとき、ICFD はセットされますが、ICRD へのデータ転送は行われません。したがって、バッファ動作では、ICFD は ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット4	説 明
ICFD	
0	[ クリア条件 ] (初期値) ICFD = 1 の状態で、ICFD をリードした後、ICFD に 0 をライトしたとき
1	[ セット条件 ] インプットキャプチャ信号が発生したとき

### ビット3 : アウトプットコンペアフラグ A (OCFA)

FRC と OCRA の値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説 明
OCFA	
0	[ クリア条件 ] (初期値) OCFA = 1 の状態で、OCFA をリードした後、OCFA に 0 をライトしたとき
1	[ セット条件 ] FRC = OCRA になったとき

### ビット2 : アウトプットコンペアフラグ B (OCFB)

FRC と OCRB の値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説 明
OCFB	
0	[ クリア条件 ] (初期値) OCFB = 1 の状態で、OCFB をリードした後、OCFB に 0 をライトしたとき
1	[ セット条件 ] FRC = OCRB になったとき

## ビット1：タイマオーバフロー (OVF)

FRCがオーバフロー (H'FFFF H'0000) したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット1	説明
OVF	
0	[クリア条件] (初期値) OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] FRCの値が、H'FFFF H'0000になったとき

## ビット0：カウンタクリアA (CCLRA)

コンペアマッチA (FRCとOCRAの一致信号)により、FRCをクリアするか、しないかを選択します。

ビット0	説明
CCLRA	
0	FRCのクリアを禁止 (初期値)
1	コンペアマッチAによりFRCをクリア

## 11.2.8 タイマコントロールレジスタ (TCR)

ビット:	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRCの入力クロックの選択を行います。

TCRは、リセットまたはハードウェアスタンバイモード時に、H'00に初期化されます。

## ビット7: インプットエッジセレクトA (IEDGA)

インプットキャプチャ入力A (FTIA)の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット7	説明
IEDGA	
0	インプットキャプチャ入力Aの立ち下がりエッジ( )でキャプチャ(初期値)
1	インプットキャプチャ入力Aの立ち上がりエッジ( )でキャプチャ

## ビット6: インプットエッジセレクトB (IEDGB)

インプットキャプチャ入力B (FTIB)の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット6	説明
IEDGB	
0	インプットキャプチャ入力Bの立ち下がりエッジ( )でキャプチャ(初期値)
1	インプットキャプチャ入力Bの立ち上がりエッジ( )でキャプチャ

## ビット5：インプットエッジセレクトC (IEDGC)

インプットキャプチャ入力C (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット5	説明
IEDGC	
0	インプットキャプチャ入力Cの立ち下がりエッジ ( ) でキャプチャ (初期値)
1	インプットキャプチャ入力Cの立ち上がりエッジ ( ) でキャプチャ

## ビット4：インプットエッジセレクトD (IEDGD)

インプットキャプチャ入力D (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット4	説明
IEDGD	
0	インプットキャプチャ入力Dの立ち下がりエッジ ( ) でキャプチャ (初期値)
1	インプットキャプチャ入力Dの立ち上がりエッジ ( ) でキャプチャ

## ビット3：バッファイネーブルA (BUFEA)

ICRC を ICRA のバッファレジスタとして使用するかしないかを選択します。

ビット3	説明
BUFEA	
0	ICRC を ICRA のバッファレジスタとして使用しない (初期値)
1	ICRC を ICRA のバッファレジスタとして使用する

## ビット2：バッファイネーブルB (BUFEB)

ICRD を ICRB のバッファレジスタとして使用するかしないかを選択します。

ビット2	説明
BUFEB	
0	ICRD を ICRB のバッファレジスタとして使用しない (初期値)
1	ICRD を ICRB のバッファレジスタとして使用する

ビット1、0：クロックセレクト(CKS1、0)

FRCに入力するクロックを内部クロック3種類または外部クロックから選択します。

外部クロックは、外部クロック入力端子(FTCI)の立ち上がりエッジでカウントします。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	内部クロック： /2でカウント (初期値)
	1	内部クロック： /8でカウント
1	0	内部クロック： /32でカウント
	1	外部クロック：立ち上がりエッジ( )でカウント

## 11.2.9 タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット :	7	6	5	4	3	2	1	0
	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TOCR は、8 ビットのリード/ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD や OCRA の動作モード、および、インプットキャプチャレジスタ A、B、C のアクセスの切り替え制御を行います。

TOCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

## ビット7 : インプットキャプチャDモードセレクト (ICRDMS)

ICRD を、通常の動作モードとするか、OCRDM を利用した動作モードにするかを選択します。

ビット7	説明
ICRDMS	
0	ICRD を、通常の動作モードに設定 (初期値)
1	ICRD を、OCRDM を利用した動作モードに設定

## ビット6 : アウトプットコンペアAモードセレクト (OCRAMS)

OCRA を、通常の動作モードとするか、OCRAR、OCRAF を利用した動作モードにするかを選択します。

ビット6	説明
OCRAMS	
0	OCRA を、通常の動作モードに設定 (初期値)
1	OCRA を、OCRAR、OCRAF を利用した動作モードに設定

## ビット5：インプットキャプチャレジスタセレクト (ICRS)

ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM、のアドレスは同一です。ICRS ビットは、このアドレスをリード/ライトするときにどちらのレジスタを選択するかを制御します。ICRA、ICRB と ICRC 動作には影響を与えません。

ビット5	説明
ICRS	
0	ICRA、ICRB と ICRC レジスタを選択 (初期値)
1	OCRAR、OCRAF と OCRDM レジスタを選択

## ビット4：アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS ビットは、このアドレスをリード/ライトするときにどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には影響を与えません。

ビット4	説明
OCRS	
0	OCRA レジスタを選択 (初期値)
1	OCRB レジスタを選択

## ビット3：アウトプットイネーブルA (OEA)

アウトプットコンペア A 出力端子 (FTOA) を制御します。

ビット3	説明
OEA	
0	アウトプットコンペア A 出力を禁止 (初期値)
1	アウトプットコンペア A 出力を許可

## ビット2：アウトプットイネーブルB (OEB)

アウトプットコンペア B 出力端子 (FTOB) を制御します。

ビット2	説明
OEB	
0	アウトプットコンペア B 出力を禁止 (初期値)
1	アウトプットコンペア B 出力を許可

ビット1 : アウトプットレベルA (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプットコンペア A 出力端子 (FTOA) に出力する出力レベルを選択します。

OCRAMS ビットが 1 の場合は無視されます。

ビット1	説明
OLVLA	
0	コンペアマッチ A により 0 出力 (初期値)
1	コンペアマッチ A により 1 出力

ビット0 : アウトプットレベルB (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプットコンペア B 出力端子 (FTOB) に出力する出力レベルを選択します

ビット0	説明
OLVLB	
0	コンペアマッチ B により 0 出力 (初期値)
1	コンペアマッチ B により 1 出力

## 11.2.10 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP13ビットを1にセットすると、バスサイクルの終了時点でFRTは動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## MSTPCRHビット5：モジュールストップ (MSTP13)

FRTのモジュールストップモードを指定します

MSTPCRH ビット5	説 明
MSTP13	
0	FRTのモジュールストップモード解除
1	FRTのモジュールストップモード設定 (初期値)

## 11.3 動作説明

### 11.3.1 FRC のカウントタイミング

FRC は、入力されたクロック (内部クロックまたは外部クロック) によりカウントアップされます。

#### (1) 内部クロック動作の場合

TCR の CKS1、0 ビットの設定により、システムクロック ( ) を分周して作られる 3 種類の内部クロック (  $/2$ 、 $/8$ 、 $/32$  ) が選択されます。このときのタイミングを図 11.3 に示します。

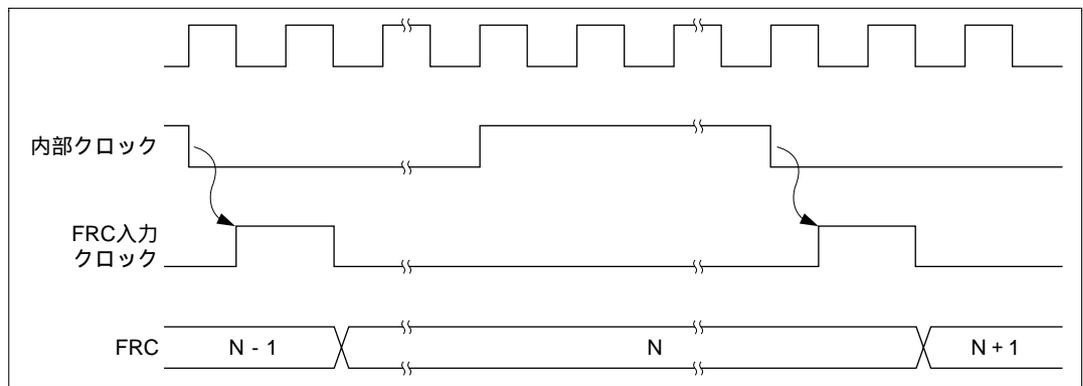


図 11.3 内部クロック動作時のカウントタイミング

#### (2) 外部クロック動作の場合

TCR の CKS1、0 ビットの設定により、外部クロック入力を選択されます。外部クロックは立ち上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5 システムクロック ( ) 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図 11.4 に示します。

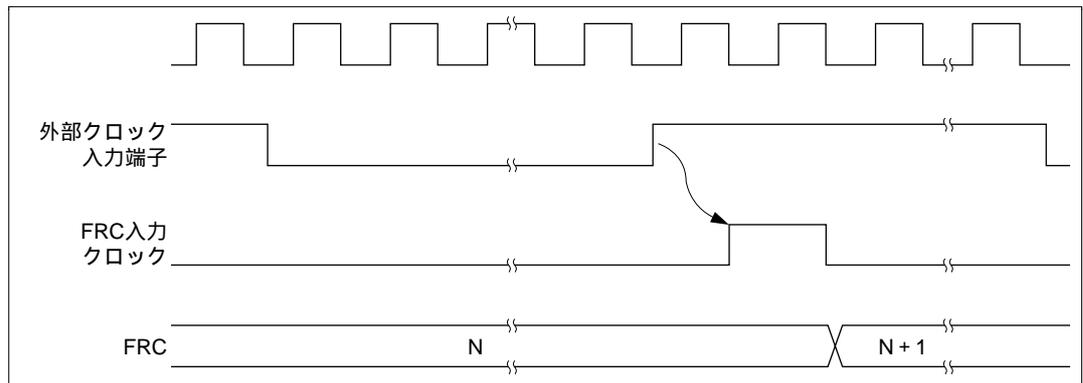


図 11.4 外部クロック動作時のカウントタイミング

### 11.3.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCRのOLVLビットで設定される出力レベルがアウトプットコンペア出力端子(FTOA、FTOB)に出力されます。図 11.5 にアウトプットコンペア A の場合の出力タイミングを示します。

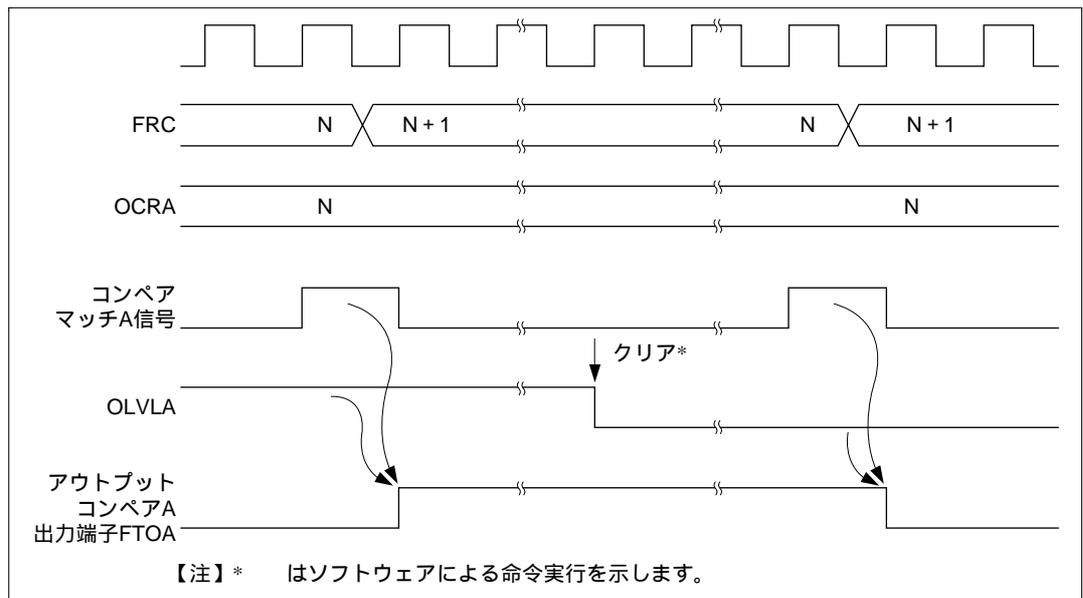


図 11.5 アウトプットコンペア A 出力タイミング

### 11.3.3 FRC のクリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このタイミングを図 11.6 に示します。

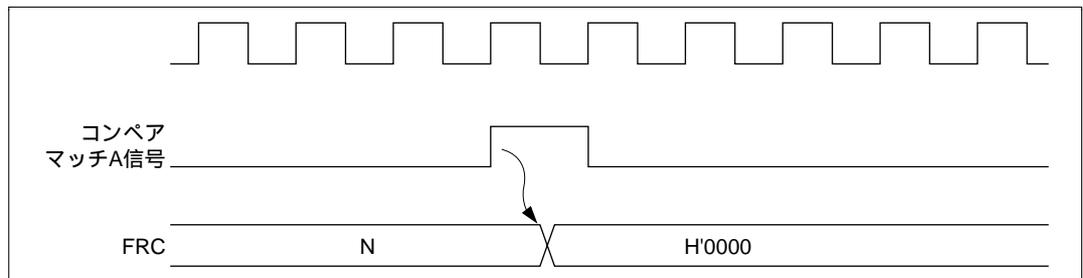


図 11.6 コンペアマッチ A によるクリアタイミング

### 11.3.4 インプットキャプチャ入力タイミング

#### (1) インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TCR の IEDGA ~ D ビットで立ち上がりエッジ / 立ち下がりエッジを選択します。立ち上がりエッジを選択した (IEDGA ~ D = 1) 場合のタイミングを図 11.7 に示します。

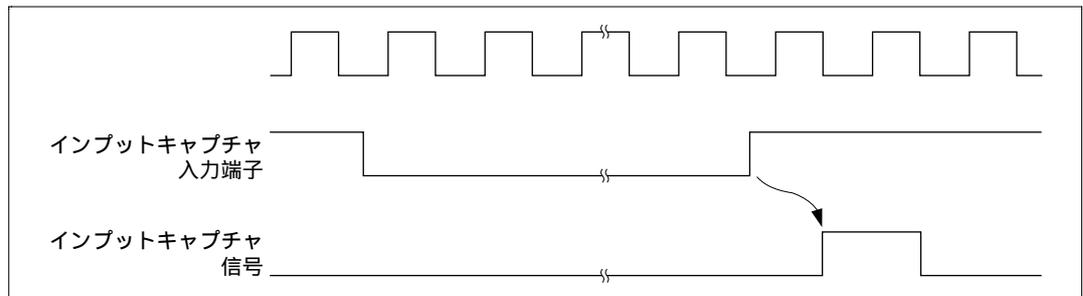


図 11.7 インプットキャプチャ信号タイミング (通常時)

また、ICRA ~ D のリード時に、対応するインプットキャプチャ入力を入力するとインプットキャプチャ信号は 1 システムクロック ( ) 遅延されます。このタイミングを図 11.8 に示します。

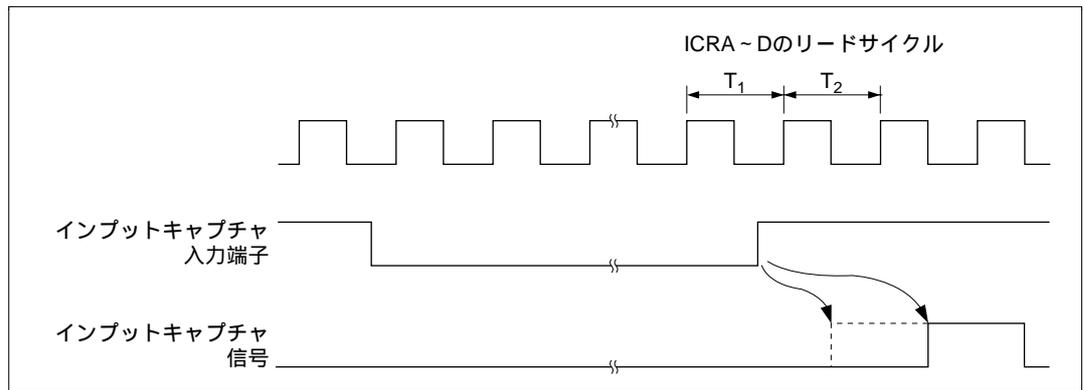


図 11.8 インプットキャプチャ信号タイミング  
(ICRA~Dのリード時に、インプットキャプチャ入力を入力した場合)

(2) バッファ動作時のインプットキャプチャ入力タイミング

ICRCまたはICRDを、ICRAまたはICRBのバッファとして動作させることができます。ICRCをICRAのバッファレジスタとして使用し (BUFEA = 1)、立ち上がり / 立ち下がり両エッジ指定 (IEDGA = 1、IEDGC = 0 または IEDGA = 0、IEDGC = 1) とした場合のインプットキャプチャ入力タイミングを図 11.9 に示します。

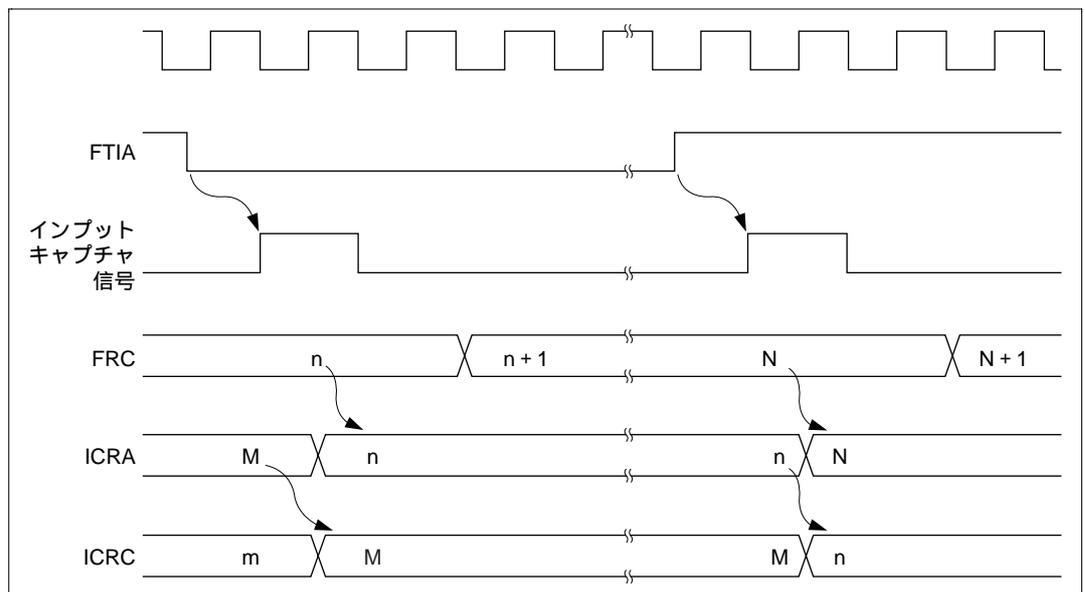


図 11.9 バッファモード時のインプットキャプチャタイミング (通常時)

ICRC または ICRD をバッファレジスタとして使用した場合でも、入力キャプチャフラグは、各入力キャプチャ入力の指定されたエッジ変化に対応してセットされます。たとえば、ICRC を ICRA のバッファレジスタとして使用しているときでも、入力キャプチャ入力に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割り込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

また、バッファ動作の場合も、入力キャプチャ信号が発生するタイミングで、データ転送レジスタ (ICRA と ICRC または ICRB と ICRD) のリードが行われると、入力キャプチャ信号は、1 システムクロック ( ) 遅延されます。BUFEA=1 のときのタイミングを図 11.10 に示します。

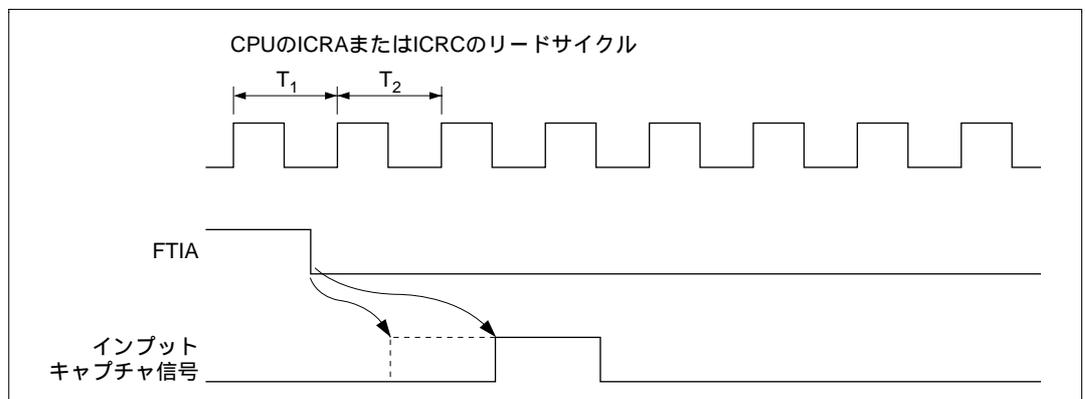


図 11.10 バッファレジスタ動作時の入力キャプチャタイミング  
(ICRA または ICRC のリード時に、入力キャプチャ入力を入力した場合)

### 11.3.5 インพุットキャプチャフラグ (ICFA ~ D) のセットタイミング

インพุットキャプチャ入力により ICFA ~ D は 1 にセットされ、同時に FRC の値が対応する ICRA ~ ICRD に転送されます。このタイミングを図 11.11 に示します。

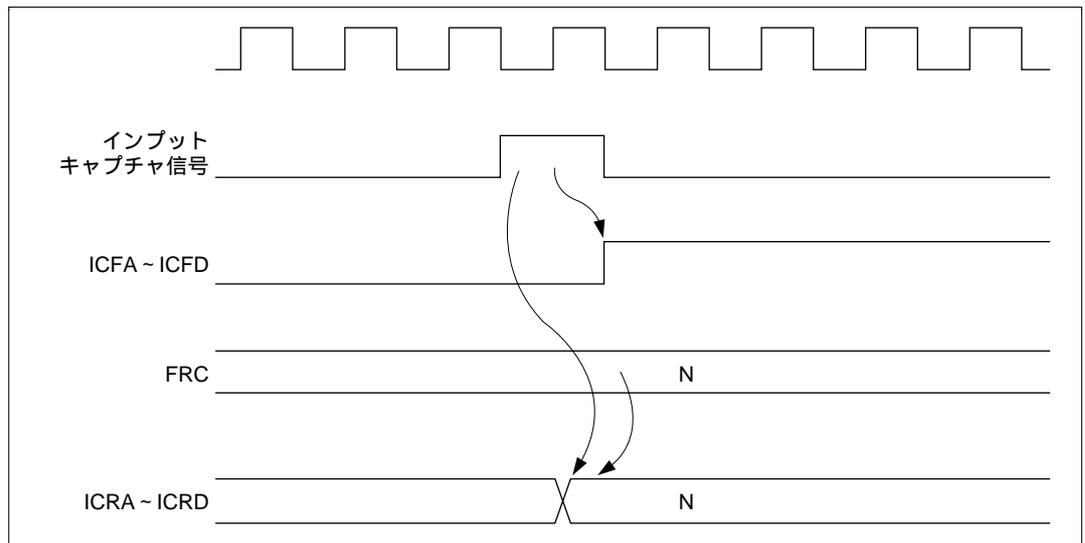


図 11.11 ICFA ~ D のセットタイミング

### 11.3.6 アウトプットコンペアフラグ (OCFA、B) のセットタイミング

OCFA、B は、OCRA、B と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、B が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、B のセットタイミングを図 11.12 に示します。

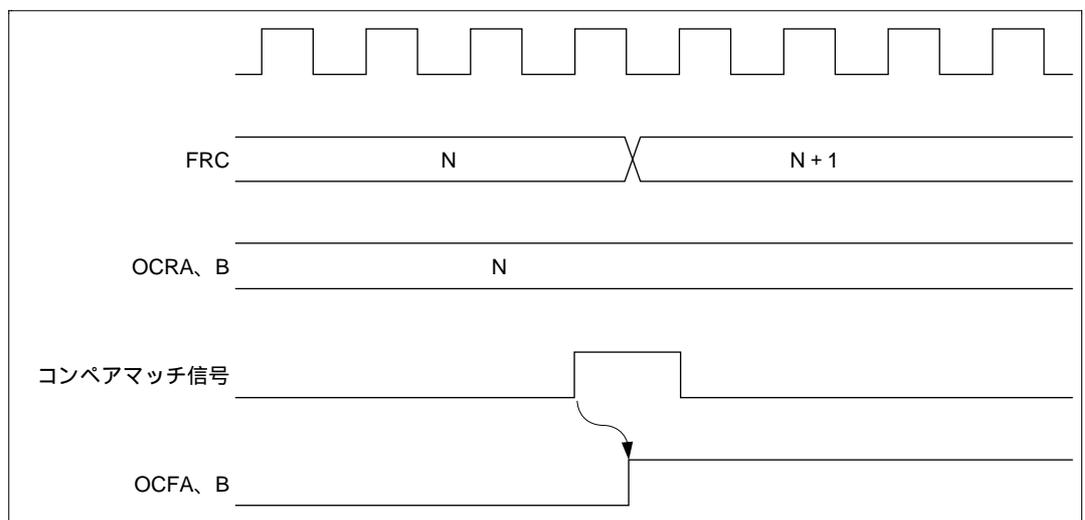


図 11.12 OCF セットタイミング

### 11.3.7 タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバフロー (H'FFFF H'0000) したとき 1 にセットされます。このときのタイミングを図 11.13 に示します。

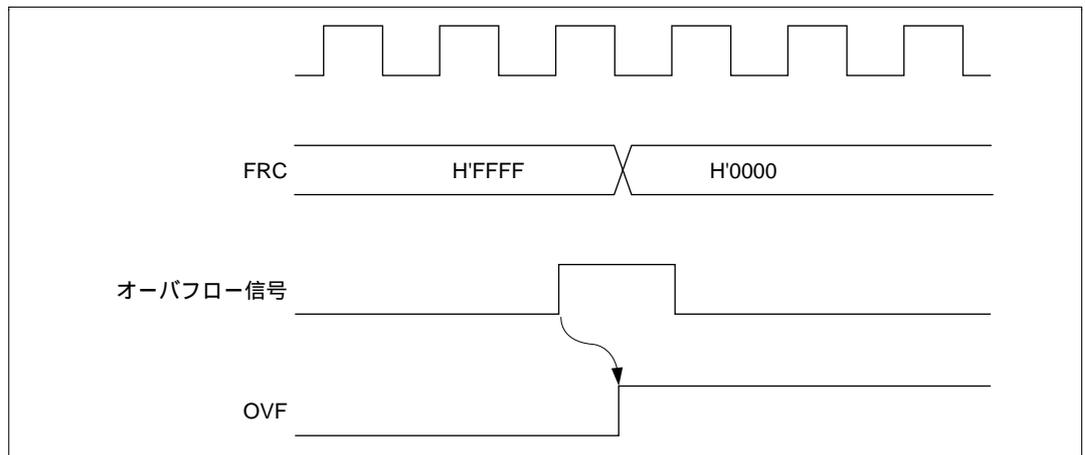


図 11.13 OVF のセットタイミング

### 11.3.8 OCRA と OCRAR / OCRAF の自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 11.14 に示します。

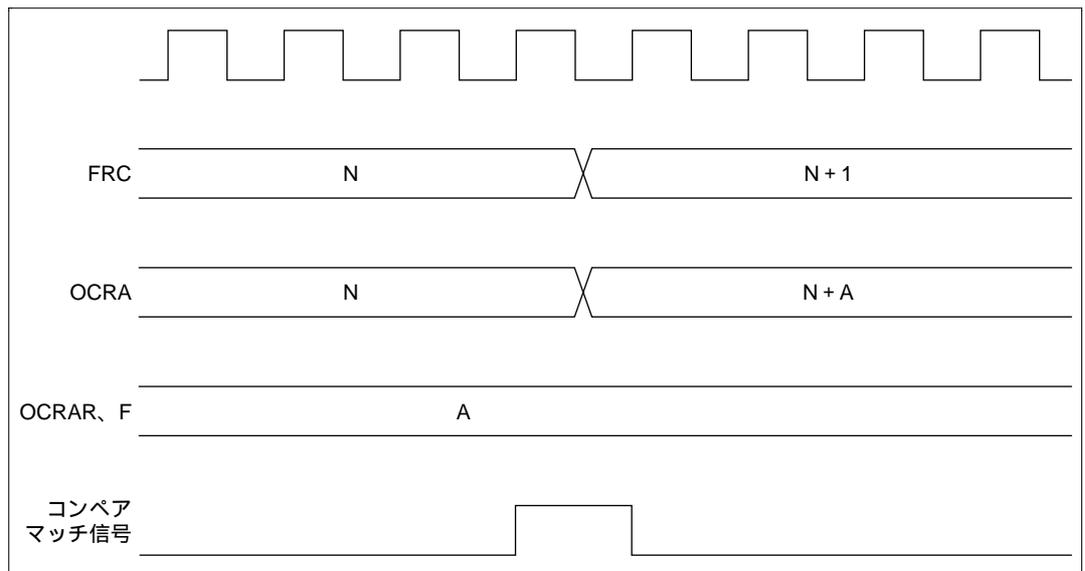


図 11.14 OCRA の自動加算タイミング

### 11.3.9 ICRD と OCRDM のマスク信号生成タイミング

TOCR の ICRDM ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外であると、ICRD の入力キャプチャ機能をマスクする信号が生成されます。

マスク信号は、入力キャプチャ信号によりセットされます。マスク信号のセットタイミングを図 11.15 に示します。

マスク信号は、ICRD の内容と OCRDM の内容の 2 倍の和と、FRC のコンペアマッチによりクリアされます。マスク信号のクリアタイミングを図 11.16 に示します。

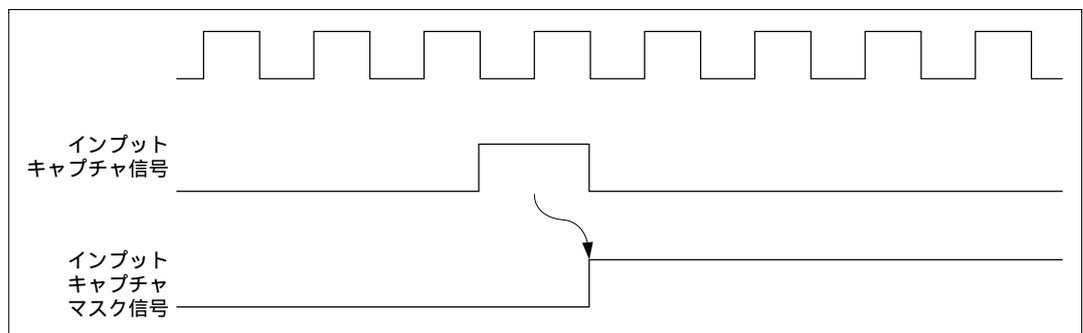


図 11.15 入力キャプチャマスク信号のセットタイミング

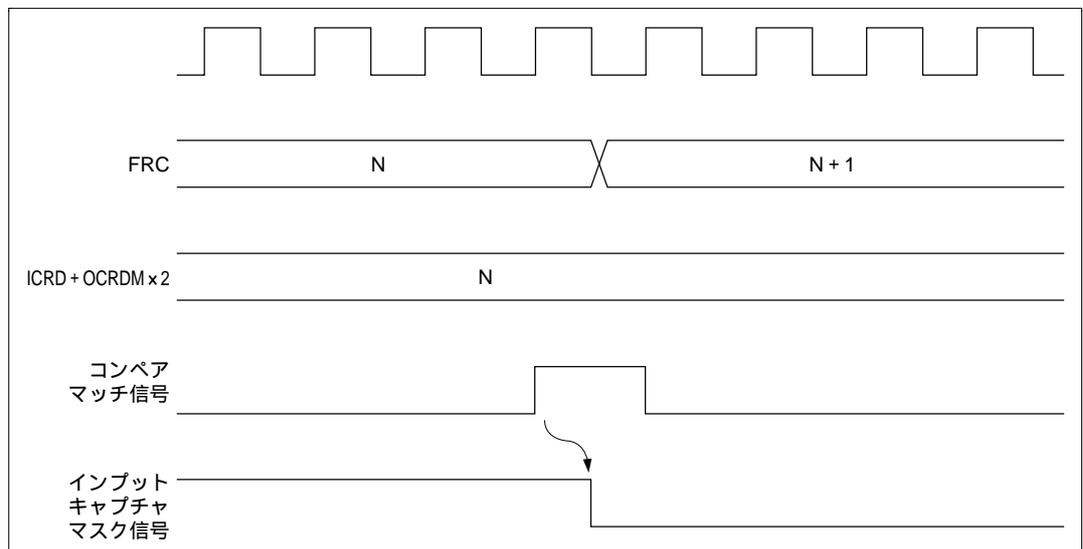


図 11.16 入力キャプチャマスク信号のクリアタイミング

## 11.4 割り込み要因

FRTの割り込み要因は、ICIA～ICID、OCIA、OCIBおよびFOVIの3種類合計7つあります。表11.4に各割り込み要因と優先順位を示します。各割り込み要因は、TIERの各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。

表 11.4 FRT 割り込み要因

割り込み要因	内 容	DTC の起動	優先順位
ICIA	ICFA による割り込み	可	高  低
ICIB	ICFB による割り込み	可	
ICIC	ICFC による割り込み	不可	
ICID	ICFD による割り込み	不可	
OCIA	OCFA による割り込み	可	
OCIB	OCFB による割り込み	可	
FOVI	OVF による割り込み	不可	

## 11.5 FRTの使用例

デューティ 50%のパルスを任意の位相差で出力させた例を図 11.17 に示します。これは次に示すように設定します。

- (1) TCSR の CCLRA ビットを 1 にセットします。
- (2) 各コンペアマッチが発生するたびに OLVLA、B ビットをソフトウェアにより反転させます。

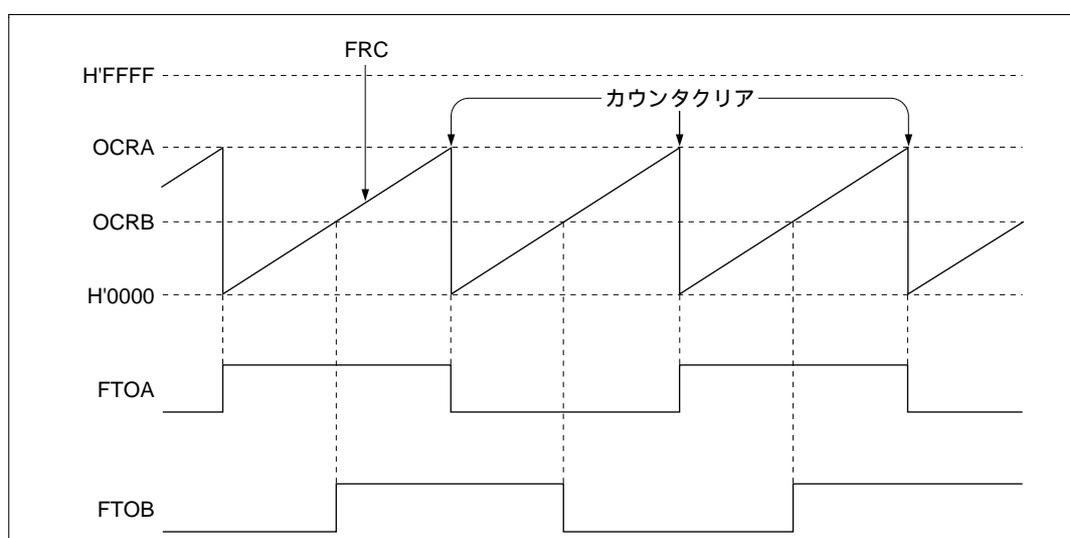


図 11.17 パルス出力例

## 11.6 使用上の注意

FRTの動作中、次のような競合や動作が起こりますので、注意してください。

### (1) FRCのライトとクリアの競合

FRCのライトサイクルの次のステートで、カウンタクリア信号が発生すると、FRCへのライトは行われずFRCのクリアが優先されます。

このタイミングを図11.18に示します。

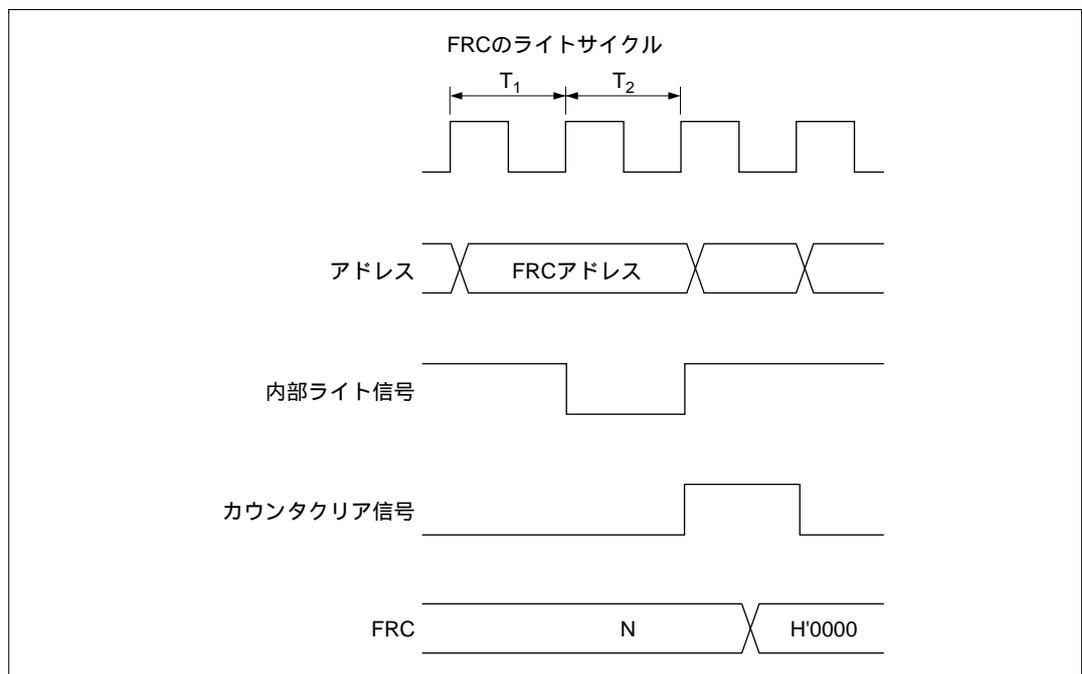


図 11.18 FRC のライトとクリアの競合

## (2) FRC のライトとカウントアップの競合

FRC のライトサイクルの次の状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 11.19 に示します。

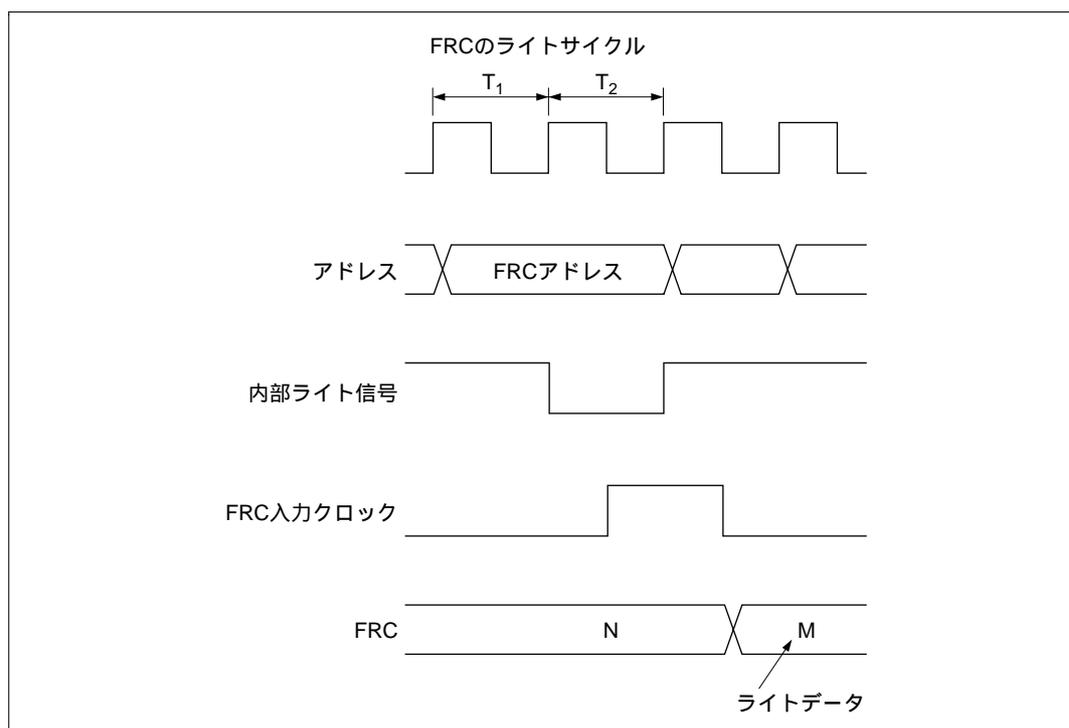


図 11.19 FRC のライトとカウントアップの競合

(3) OCR のライトとコンペアマッチの競合

OCRA、B のライトサイクルの次のステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 11.20 に示します。

OCRA へ、OCRAR / OCRAF の自動加算機能を選択していて、OCRA、OCRAR、OCRAF ライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAF のライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図 11.21 に示します。

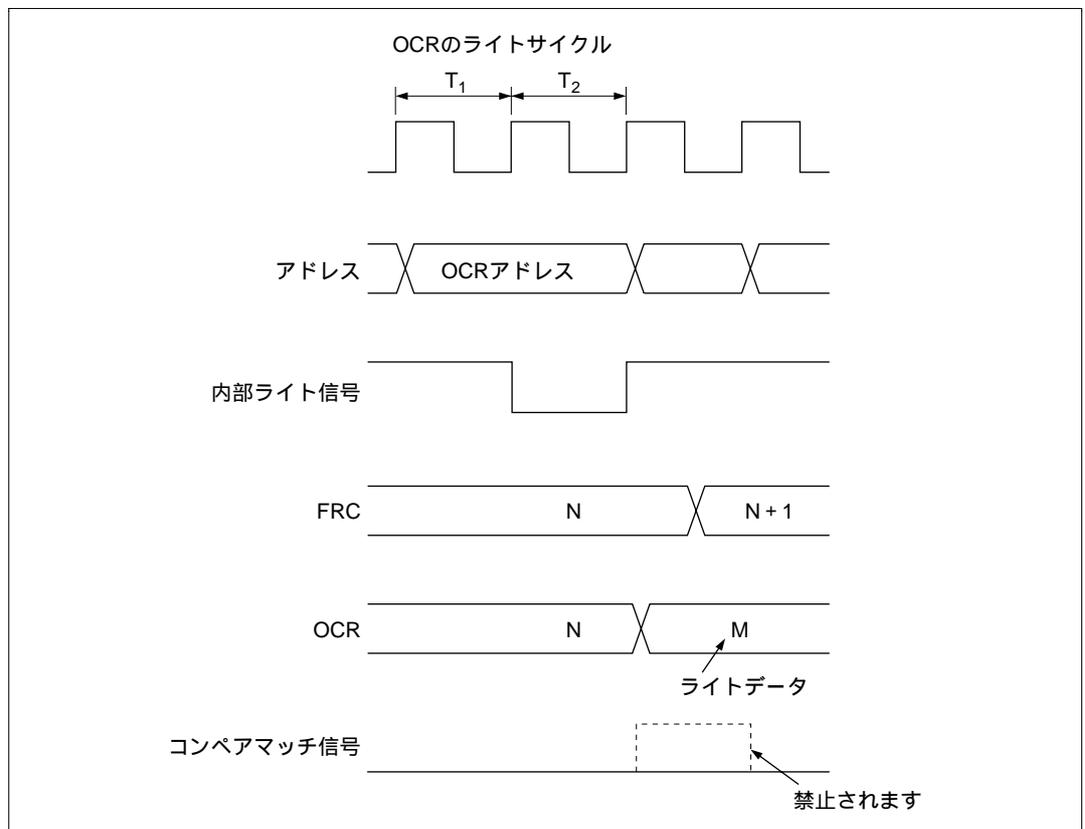


図 11.20 OCR とコンペアマッチの競合 (自動加算機能を使用していない場合)

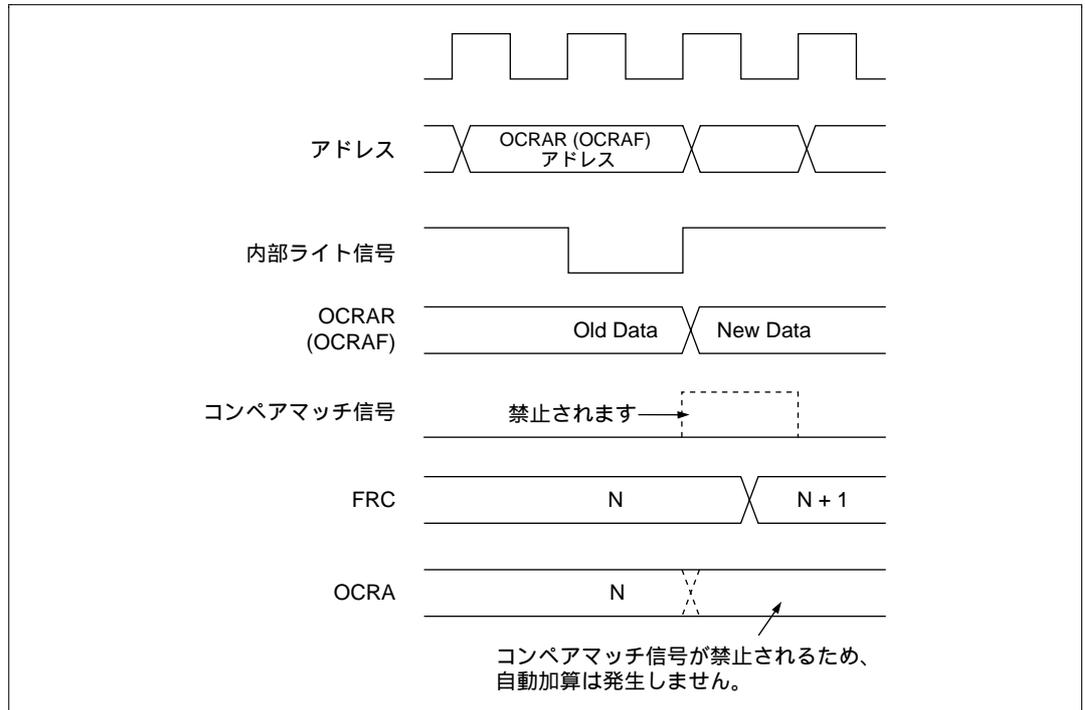


図 11.21 OCRAR / OCRAF のライトとコンペアマッチの競合  
(自動加算機能を使用している場合)

(4) 内部クロックの切り替えとカウンタの動作

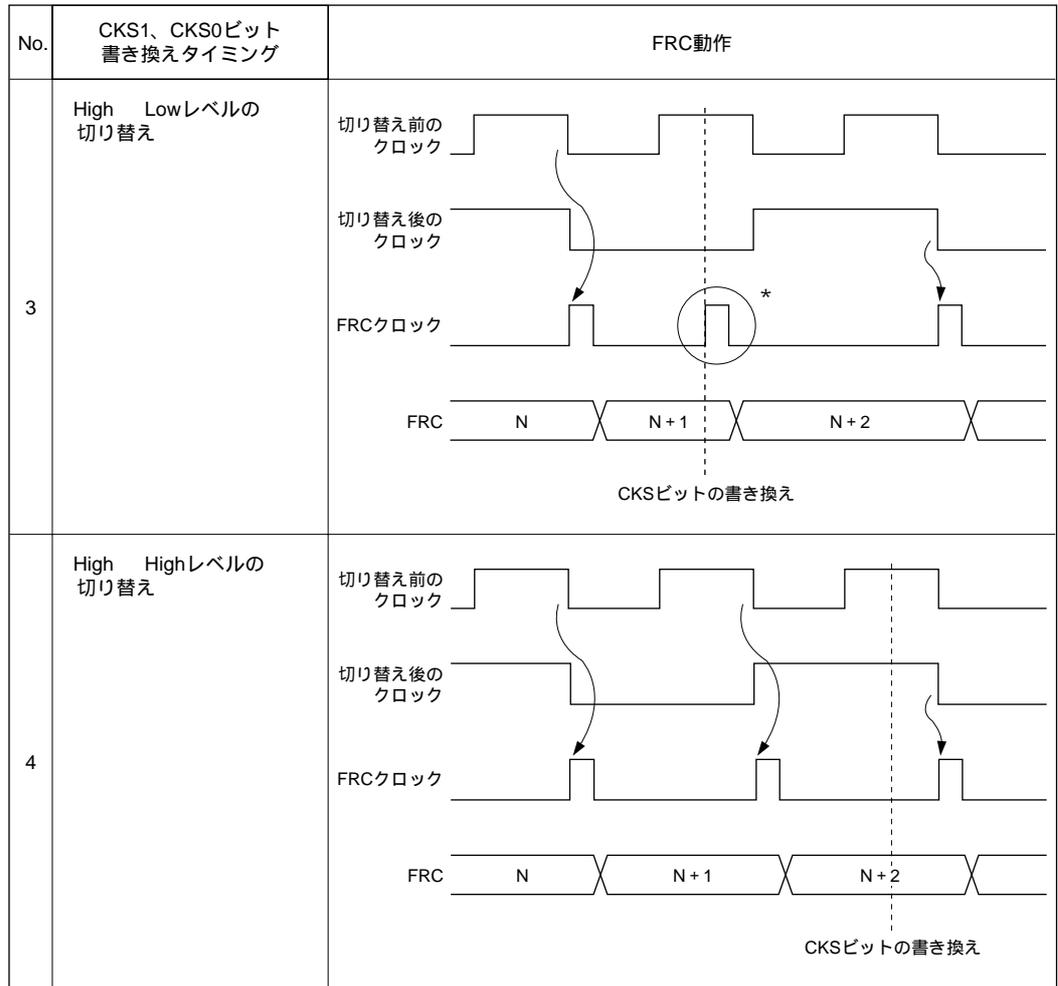
内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、0 ビットの書き換え) と FRC 動作の関係を表 11.5 に示します。

内部クロックを使用する場合、システムクロック ( ) を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため表 11.5 の No.3 のように切り替え前のクロック High 切り替え後のクロック Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 11.5 内部クロックの切り替えと FRC 動作

No.	CKS1、CKS0ビット書き換えタイミング	FRC動作
1	Low Lowレベルの切り替え	
2	Low Highレベルの切り替え	



【注】 \* 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRC はカウントアップされます。



---

# 12. 8ビットタイマ (TMR)

---

## 第12章 目次

12.1	概要	307
12.1.1	特長	307
12.1.2	ブロック図	308
12.1.3	端子構成	309
12.1.4	レジスタ構成	310
12.2	各レジスタの説明	311
12.2.1	タイマカウンタ (TCNT)	311
12.2.2	タイムコンスタントレジスタ A (TCORA)	312
12.2.3	タイムコンスタントレジスタ B (TCORB)	313
12.2.4	タイマコントロールレジスタ (TCR)	314
12.2.5	タイマコントロール/ステータスレジスタ (TCSR)	317
12.2.6	シリアルタイマコントロールレジスタ (STCR)	321
12.2.7	システムコントロールレジスタ (SYSCR)	322
12.2.8	タイマコネクションレジスタ S (TCONRS)	323
12.2.9	インプットキャプチャレジスタ (TICR) 【TMRX 追加機能】	323
12.2.10	タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】	324
12.2.11	インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】	324
12.2.12	タイマインプットセレクトレジスタ (TISR) 【TMRX 追加機能】	325
12.2.13	モジュールストップコントロールレジスタ (MSTPCR)	326
12.3	動作説明	327
12.3.1	TCNT のカウントタイミング	327
12.3.2	コンペアマッチタイミング	328
12.3.3	TCNT の外部リセットタイミング	330
12.3.4	オーバフローフラグ (OVF) のセットタイミング	330
12.3.5	カスケード接続時の動作	330
12.3.6	インプットキャプチャ動作	332

## 12. 8ビットタイマ (TMR)

---

12.4	割り込み要因 .....	334
12.5	8ビットタイマの使用例.....	335
12.6	使用上の注意 .....	336
12.6.1	TCNTのライトとカウンタクリアの競合 .....	336
12.6.2	TCNTのライトとカウントアップの競合 .....	337
12.6.3	TCORのライトとコンペアマッチの競合.....	337
12.6.4	コンペアマッチ A、B の競合.....	338
12.6.5	内部クロックの切り替えと TCNT の動作 .....	339

## 12.1 概要

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR0、TMR1) を内蔵しています。2 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があり、TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

また、本 LSI は、2 チャンネルの類似の 8 ビットタイマ (TMRX、TMR Y) を内蔵しており、タイマコネクシオンに接続して使用できます。TMRX、TMR Y は、TMR0、TMR1 に比べて、入出力や割り込み機能に関して制限があります。

TMRX は、H8S/2128 グループ、H8S/2128S グループに内蔵されていますが、H8S/2124 グループには内蔵されていません。

### 12.1.1 特長

カウンタ入力クロックを選択可能

- ・ TMR0、TMR1 : 6 種類の内部クロックと、外部クロックのうちから選択できます (外部イベントのカウントが可能)。
- ・ TMRX、TMR Y : 3 種類の内部クロックと、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

カウンタのクリア指定が可能

- ・ コンペアマッチ A、B、または外部リセット信号のうちから選択できます。

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- ・ 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。  
(TMR Y にはタイマ出力端子がありません)

2 チャンネルのカスケード接続が可能 (TMR0、TMR1)

- ・ チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
- ・ チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。

複数の割り込み要因

- ・ TMR0、TMR1、TMR Y : コンペアマッチ × 2 要因、オーバフロー × 1 要因があり、それぞれ独立に要求することができます。
- ・ TMRX : インプットキャプチャ × 1 要因があります。

### 12.1.2 ブロック図

8ビットタイマ (TMR0、TMR1) のブロック図を図 12.1 に示します。

TMRX、TMR1 も同様の構成ですが、カスケード接続はできません。また、TMRX にはインプットキャプチャ機能が追加されています。詳細は「第 13 章 タイマコネクション」を参照してください。

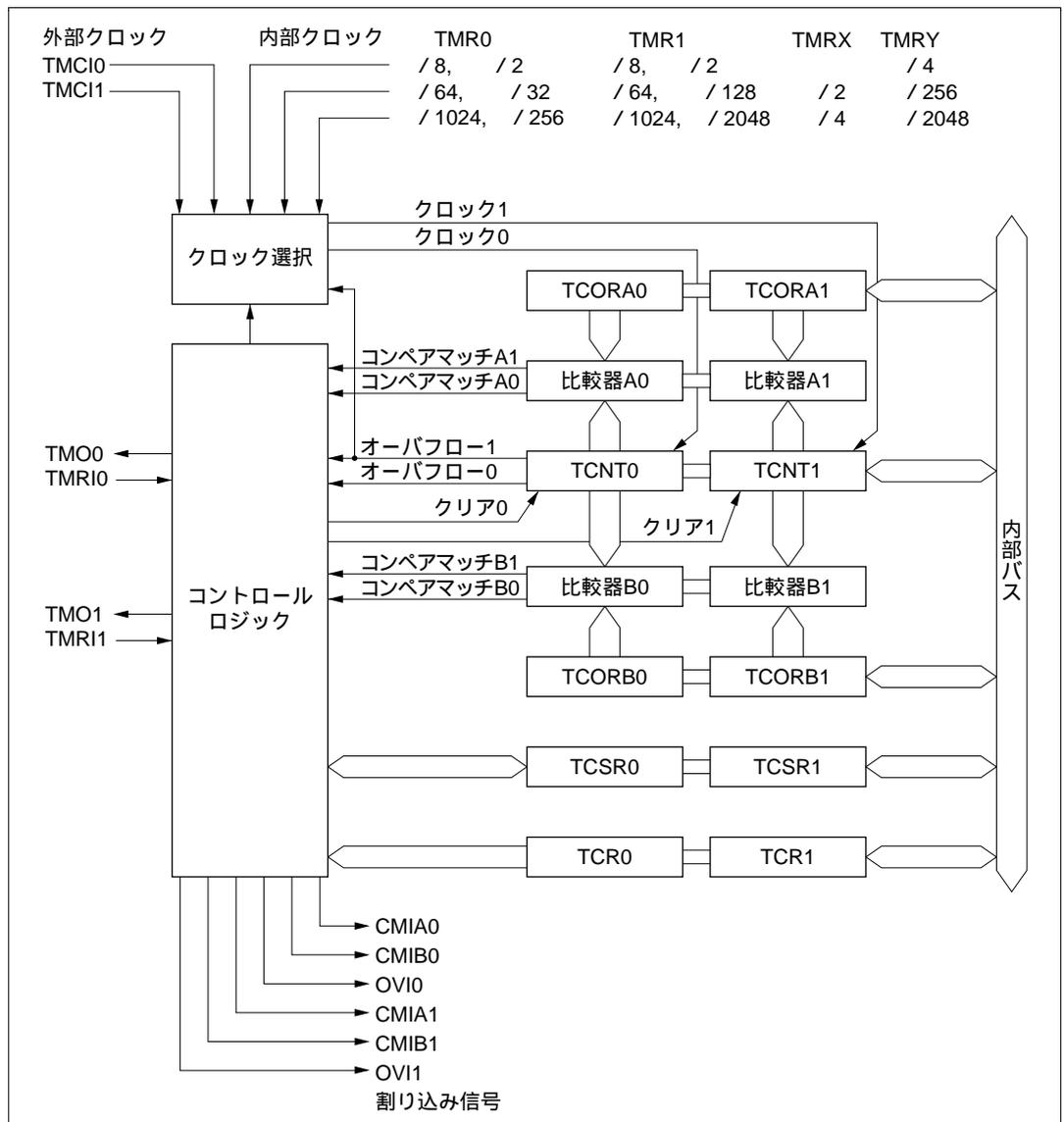


図 12.1 8ビットタイマのブロック図

### 12.1.3 端子構成

8ビットタイマの入出力端子を表 12.1 に示します。

表 12.1 端子構成

チャンネル	名 称	略称*	入出力	機 能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
X	タイマ出力端子	TMOX	出力	コンペアマッチ出力
	タイマクロック /リセット入力端子	HFBACKI/TMIX (TMCIX/TMRIY)	入力	カウンタ外部クロック入力 /リセット入力
Y	タイマクロック /リセット入力端子	VSYNCI/TMIY (TMCIX/TMRIY)	入力	カウンタ外部クロック入力 /リセット入力

【注】 \* 本文中ではチャンネルを省略し、それぞれ TMO、TMCI、TMRI とします。  
チャンネル X、Y の入出力端子も内部的にはチャンネル 0、1 と同様の構成となっていますので、同様に省略します。

## 12.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

チャンネル	名 称	略称*3	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFC8
	タイマコントロール/ステータスレジスタ 0	TCSR0	R/(W) *2	H'00	H'FFCA
	タイムコンスタントレジスタ A0	TCORA0	R/W	H'FF	H'FFCC
	タイムコンスタントレジスタ B0	TCORB0	R/W	H'FF	H'FFCE
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFD0
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFC9
	タイマコントロール/ステータスレジスタ 1	TCSR1	R/(W) *2	H'10	H'FFCB
	タイムコンスタントレジスタ A1	TCORA1	R/W	H'FF	H'FFCD
	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF	H'FFCF
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFD1
共通	シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3
	モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
		MSTPCRL	R/W	H'FF	H'FF87
	タイマコネクションレジスタ S	TCONRS	R/W	H'00	H'FFFE
X	タイマコントロールレジスタ X	TCRX	R/W	H'00	H'FFF0
	タイマコントロール/ステータスレジスタ X	TCSRX	R/(W) *2	H'00	H'FFF1
	タイムコンスタントレジスタ AX	TCORAX	R/W	H'FF	H'FFF6
	タイムコンスタントレジスタ BX	TCORBX	R/W	H'FF	H'FFF7
	タイマカウンタ X	TCNTX	R/W	H'00	H'FFF4
	タイムコンスタントレジスタ C	TCORC	R/W	H'FF	H'FFF5
	インプットキャプチャレジスタ R	TICRR	R	H'00	H'FFF2
	インプットキャプチャレジスタ F	TICRF	R	H'00	H'FFF3
Y	タイマコントロールレジスタ Y	TCRY	R/W	H'00	H'FFF0
	タイマコントロール/ステータスレジスタ Y	TCSRY	R/(W) *2	H'00	H'FFF1
	タイムコンスタントレジスタ AY	TCORAY	R/W	H'FF	H'FFF2
	タイムコンスタントレジスタ BY	TCORBY	R/W	H'FF	H'FFF3
	タイマカウンタ Y	TCNTY	R/W	H'00	H'FFF4
	タイマインプットセレクトレジスタ	TISR	R/W	H'FE	H'FFF5

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

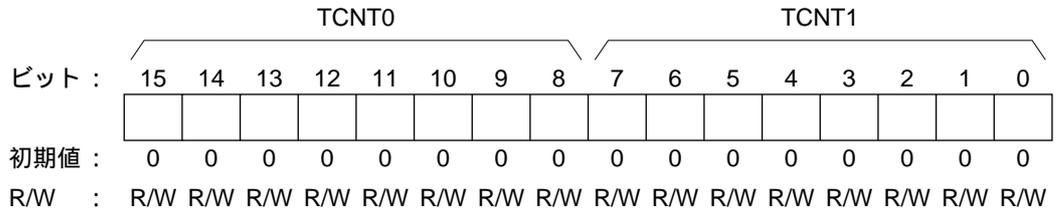
\*3 本文中ではチャンネル(0、1、X、Y)を省略し、それぞれ TCR、TCSR、TCORA、TCORB、TCNT とします。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。(8 ビットアクセス × 2 回に分離されません)

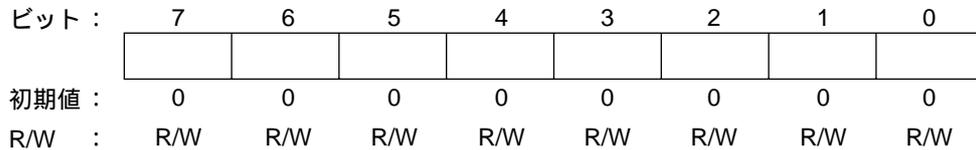
H8S/2128 グループ、H8S/2128S グループでは、チャンネル X とチャンネル Y のレジスタは、一部が同一のアドレスに重なっています。どちらをアクセスするかは、TCONRS の TMRX/Y ビットによって制御されます。

## 12.2 各レジスタの説明

### 12.2.1 タイマカウンタ (TCNT)



TCNTX、TCNTY



TCNTは、8ビットのリード/ライト可能なアップカウンタです。

TCNT0、TCNT1を1本の16ビットレジスタとしてワードアクセスすることも可能です。

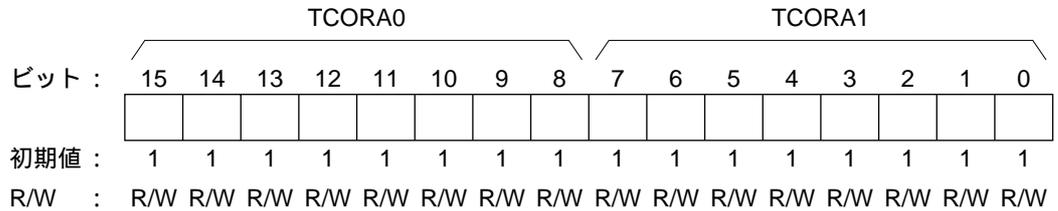
TCNTは、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCRのCKS2~CKS0ビットで選択します。

TCNTは、外部リセット入力信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットで選択します。

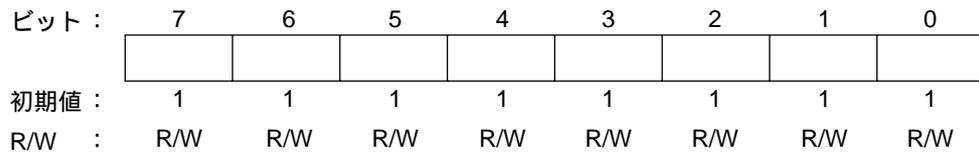
また、TCNTがオーバーフロー (H'FF H'00) すると、TCSRのOVFが1にセットされます。

TCNTは、リセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

## 12.2.2 タイムコンスタントレジスタ A (TCORA)



TCORAX、TCORAY



TCORA は、8ビットのリード/ライト可能なレジスタです。

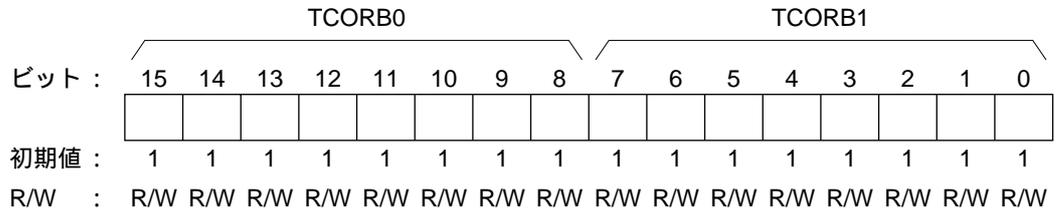
TCORA0、TCORA1 を 1本の 16ビットレジスタとしてワードアクセスすることも可能です。

TCORA と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの  $T_2$  ステートでの比較は禁止されています。

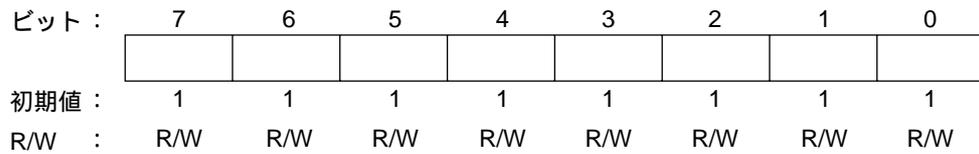
また、この一致による信号 (コンペアマッチ) と TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

## 12.2.3 タイムコンスタントレジスタ B (TCORB)



TCORBX、TCORBY



TCORB は、8 ビットのリード/ライト可能なレジスタです。

TCORB0、TCORB1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFB が 1 にセットされます。ただし、TCOBR へのライトサイクルの  $T_2$  ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR のアウトプットセレクト OS3、OS2 ビットの設定により、タイマ出力を自由に制御することができます。

TCORB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

## 12.2.4 タイマコントロールレジスタ (TCR)

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタで、TCNTの入力クロックの選択、TCNTのクリア指定、および各割り込み要求の許可を制御します。

TCRは、リセットまたはハードウェアスタンバイモード時に、H'00に初期化されます。なお、タイミングについては、「12.3 動作説明」を参照してください。

## ビット7 : コンペアマッチインタラプトイネーブルB (CMIEB)

TCSRのCMFBが1にセットされたとき、CMFBによる割り込み要求 (CMIB) の許可または禁止を選択します。

ただし、TMRXではCMIEBの値にかかわらず、CMIB割り込み要求は発生しません。

ビット7	説明
CMIEB	
0	CMFBによる割り込み要求 (CMIB) を禁止 (初期値)
1	CMFBによる割り込み要求 (CMIB) を許可

## ビット6 : コンペアマッチインタラプトイネーブルA (CMIEA)

TCSRのCMFAが1にセットされたとき、CMFAによる割り込み要求 (CMIA) の許可または禁止を選択します。

ただし、TMRXではCMIEAの値にかかわらず、CMIA割り込み要求は発生しません。

ビット6	説明
CMIEA	
0	CMFAによる割り込み要求 (CMIA) を禁止 (初期値)
1	CMFAによる割り込み要求 (CMIA) を許可

## ビット5：タイマオーバフローインタラプトイネーブル (OVIE)

TCSRのOVFが1にセットされたとき、OVFによる割り込み要求 (OVI) の許可または禁止を選択します。

ただし、TMRX ではOVIEの値にかかわらず、OVI割り込み要求は発生しません。

ビット5	説明
OVIE	
0	OVFによる割り込み要求 (OVI) を禁止 (初期値)
1	OVFによる割り込み要求 (OVI) を許可

## ビット4、3：カウンタクリア1、0 (CCLR1、CCLR0)

TCNTのクリアを指定します。クリアは、コンペアマッチ A、B または外部リセット入力から選択します。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチ A によりクリア
1	0	コンペアマッチ B によりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

## ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

STCRのICKS0、ICKS1ビットとともに、TCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック ( ) を分周した6種類または3種類のクロックから選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力端子 (TMCI) の立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの3種類から選択できます。

チャンネル0およびチャンネル1は、カスケード接続機能のため一部機能が異なります。

12. 8ビットタイマ (TMR)

チャンネル	TCR			STCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	-	0	内部クロック: /8 立ち下がりエッジでカウント
	0	0	1	-	1	内部クロック: /2 立ち下がりエッジでカウント
	0	1	0	-	0	内部クロック: /64 立ち下がりエッジでカウント
	0	1	0	-	1	内部クロック: /32 立ち下がりエッジでカウント
	0	1	1	-	0	内部クロック: /1024 立ち下がりエッジでカウント
	0	1	1	-	1	内部クロック: /256 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT1 のオーバフロー信号でカウント*
1	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	0	-	内部クロック: /8 立ち下がりエッジでカウント
	0	0	1	1	-	内部クロック: /2 立ち下がりエッジでカウント
	0	1	0	0	-	内部クロック: /64 立ち下がりエッジでカウント
	0	1	0	1	-	内部クロック: /128 立ち下がりエッジでカウント
	0	1	1	0	-	内部クロック: /1024 立ち下がりエッジでカウント
	0	1	1	1	-	内部クロック: /2048 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT0 のコンペアマッチ A でカウント*
X	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	-	-	内部クロック: でカウント
	0	1	0	-	-	内部クロック: /2 立ち下がりエッジでカウント
	0	1	1	-	-	内部クロック: /4 立ち下がりエッジでカウント
	1	0	0	-	-	クロック入力を禁止
Y	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	-	-	内部クロック: /4 立ち下がりエッジでカウント
	0	1	0	-	-	内部クロック: /256 立ち下がりエッジでカウント
	0	1	1	-	-	内部クロック: /2048 立ち下がりエッジでカウント
	1	0	0	-	-	クロック入力を禁止
共通	1	0	1	-	-	外部クロック: 立ち上がりエッジでカウント
	1	1	0	-	-	外部クロック: 立ち下がりエッジでカウント
	1	1	1	-	-	外部クロック: 立ち上がり / 立ち下がり両エッジでカウント

【注】 \* チャンネル0のクロック入力を TCNT1 のオーバフロー信号とし、チャンネル1のクロック入力を TCNT0 のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

## 12.2.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

TCSRX

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

TCSRY

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】\* ビット7~5およびTCSRXのビット4は、フラグをクリアするための0ライトのみ可能です。

TCSR は、8 ビットのレジスタで、コンペアマッチやタイマオーバフロー、インプットキャプチャ (TMRX のみ) のステータスの表示、およびコンペアマッチ出力の制御を行います。

リセットまたはハードウェアスタンバイモード時に、TCSR0、TCSRX、TCSRY は H'00 に、TCSR1 は H'10 に初期化されます。

## ビット7：コンペアマッチフラグB (CMFB)

TCNTとTCORBの値が一致したことを示すステータスフラグです。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) (1) CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORBになったとき

## ビット6：コンペアマッチフラグA (CMFA)

TCNTとTCORAの値が一致したことを示すステータスフラグです。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) (1) CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORAになったとき

## ビット5：タイマオーバフローフラグ (OVF)

TCNTがオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット5	説明
OVF	
0	[クリア条件] (初期値) OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

## TCSR0

## ビット4 : A/Dトリガイネーブル (ADTE)

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

ビット4	説明
ADTE	
0	コンペアマッチ A による A/D 変換開始要求を禁止 (初期値)
1	コンペアマッチ A による A/D 変換開始要求を許可

## TCSR1

## ビット4 : リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

## TCSRX

## ビット4 : インพุットキャプチャフラグ (ICF)

TCONRI の ICST ビットが1にセットされた後、外部リセット信号に立ち上がりエッジ立ち下がりエッジの順でエッジが検出されたことを示すステータスフラグです。

ビット4	説明
ICF	
0	[クリア条件] (初期値) ICF=1の状態ではICFをリードした後、ICFに0をライトしたとき
1	[セット条件] TCONRIのICSTビットが1にセットされた後、外部リセット信号に立ち上がりエッジ立ち下がりエッジの順でエッジを検出したとき

## TCSRy

## ビット4 : インพุットキャプチャインタラプトイネーブル (ICIE)

TCSRX の ICF が1にセットされたとき、ICF による割り込み要求 (ICIX) の許可または禁止を選択します。

ビット4	説明
ICIE	
0	ICF による割り込み要求 (ICIX) を禁止 (初期値)
1	ICF による割り込み要求 (ICIX) を許可

ビット3~0 : アウトプットセレクト3~0 (OS3~OS0)

TCOR とTCNTのコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3とOS2 ビットがコンペアマッチBによる出力レベルを選択し、OS1とOS0ビットがコンペアマッチAによる出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力>1 出力>0 出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

なお、OS3~OS0 ビットがすべて0の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は0です。

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチBで変化しない (初期値)
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力(トグル出力)

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチAで変化しない (初期値)
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力(トグル出力)

## 12.2.6 シリアルタイマコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	-	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御 (IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。8 ビットタイマ以外の詳細は、「3.2.4 シリアルタイマコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

### ビット 7 : リザーブビット

リザーブビットです。1 にセットしないでください。

### ビット 6、5 : I<sup>2</sup>C トランスファレートセレクト 1、0 (IICX1、IICX0)

IIC 内蔵オプションの場合、I<sup>2</sup>C バスインタフェースの動作を制御するビットです。詳しくは「16.2.7 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

### ビット 4 : I<sup>2</sup>C マスタイネーブル (IICE)

I<sup>2</sup>C バスインタフェースのデータレジスタと制御レジスタ、PWMX のデータレジスタと制御レジスタ、SCI の制御レジスタの CPU アクセスを制御します。詳しくは「3.2.4 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

### ビット 3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ、低消費電力状態の制御レジスタ、および周辺モジュールの制御レジスタの CPU アクセスを制御するビットです。詳しくは「3.2.4 シリアルタイマコントロールレジスタ」を参照してください。

### ビット 2 : リザーブビット

リザーブビットです。1 にセットしないでください。

### ビット 1、0 : インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

TCR の CKS2 ~ 0 ビットとともに、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

## 12.2.7 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R	R/W	R	R/W	R/W	R/W

ここではビット1のみ説明します。8ビットタイマ以外の詳細は、「3.2.2 システムコントロールレジスタ (SYSCR)」、「5.2.1 システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

ビット1 : ホストインタフェースイネーブル (HIE)

8ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタのCPUアクセスを制御します。

ビット1	説明
HIE	
0	8ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタのCPUアクセスを許可 (初期値)
1	8ビットタイマ (チャンネル X、Y) のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタのCPUアクセスを禁止

## 12.2.8 タイマコネクションレジスタ S ( TCONRS )

ビット :	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TCONRS は 8 ビットのリード/ライト可能なレジスタで、TMRX、TMRY のレジスタアクセスおよびタイマコネクションの動作を制御します。

TCONRS はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

### ビット 7 : TMRX/TMRY アクセス選択 ( TMRX/Y )

TMRX および TMRY のレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。H8S/2128 グループ、H8S/2128S グループでは、TMRX の一部と TMRY はメモリ空間の同一のアドレス (H'FFF0 ~ H'FFF5) に割り当てられており、どちらをアクセスするかを TMRX/Y ビットで制御します。H8S/2124 グループでは、本ビットによる TMRY レジスタのアクセス制御はありません。

ビット 7	アクセス可能なレジスタ							
TMRX/Y	H'FFF0	H'FFF1	H'FFF2	H'FFF3	H'FFF4	H'FFF5	H'FFF6	H'FFF7
0 (初期値)	TCRX (TMRX)	TCSRX (TMRX)	TICRR (TMRX)	TICRF (TMRX)	TCNTX (TMRX)	TCORC (TMRX)	TCORAX (TMRX)	TCORBX (TMRX)
1	TCRY (TMRY)	TCSR (TMRY)	TCORAY (TMRY)	TCORBY (TMRY)	TCNTY (TMRY)	TISR (TMRY)		

## 12.2.9 インพุットキャプチャレジスタ ( TICR ) 【TMRX 追加機能】

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	-	-

TICR は 8 ビットの内部レジスタです。外部リセット入力の立ち下がりで TCNT の内容が TICR に転送されます。CPU から TICR を直接リード/ライトすることはできません。

TICR の機能はタイマコネクションで使用されます。詳細は「第 13 章 タイマコネクション」を参照してください。

## 12.2.10 タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

TCORCは8ビットのリード/ライト可能なレジスタです。

TCORCとTICRの内容の和とTCNTの内容は常に比較されており、両者の値が一致するとコンペアマッチC信号が発生されます。ただし、TCORCへのライトサイクルの $T_2$ ステートとTICRのインプットキャプチャサイクルでの比較は禁止されています。

TCORCは、リセットまたはハードウェアスタンバイモード時にH'FFに初期化されます。

TCORCの機能はタイマコネクシオンで使用されます。詳細は「第13章 タイマコネクシオン」を参照してください。

## 12.2.11 インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TICRR、TICRFは8ビットのリード専用のレジスタです。

TICRR、TICRFは、TCNRIのICSTビットが1にセットされている場合に、外部リセット入力の立ち上がり 立ち下がりの順でTCNTの内容が転送されます。1回のキャプチャ動作が終了するとICSTビットは0にクリアされます。

TICRR、TICRFは、リセットまたはハードウェアスタンバイモード時にH'00に初期化されます。

TICRR、TICRFの機能はタイマコネクシオンで使用されます。詳細は「12.3.6 インプットキャプチャ動作」および「第13章 タイマコネクシオン」を参照してください。

## 12.2.12 タイマインプットセレクトレジスタ (TISR) 【TMR Y 追加機能】

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	IS
初期値 :	1	1	1	1	1	1	1	0
R/W :	-	-	-	-	-	-	-	R/W

TISR は、8ビットのリード/ライト可能なレジスタで、カウンタ外部クロック/リセット入力の信号源を選択します。

TISR は、リセットまたはハードウェアスタンバイモード時に、HFE に初期化されます。

ビット7~1 : リザーブビット

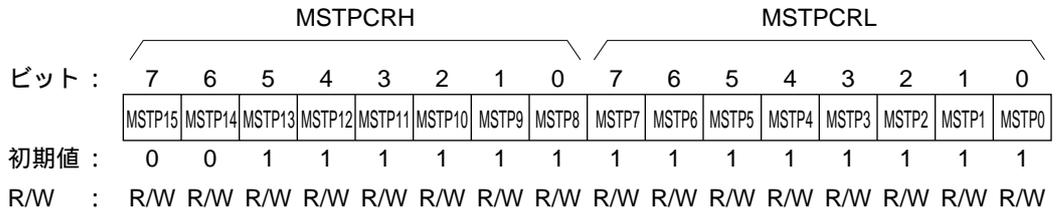
リザーブビットです。0をライトしないでください。

ビット0 : インプットセレクト (IS)

TMR Y のカウンタ外部クロック/リセット入力の信号源として、内部同期信号 (IVG 信号) またはタイマクロック/リセット入力端子 (VSYNCI/TMIY (TMCY/TMRIY)) を選択します。

ビット0	説明
IS	
0	IVG 信号を選択 (H8S/2128 グループ、H8S/2128S グループ) (初期値) 外部クロック/リセット入力禁止 (H8S/2124 グループ)
1	VSYNCI/TMIY (TMCY/TMRIY) を選択

### 12.2.13 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP12ビットおよびMSTP8ビットを1にセットすると、バスサイクルの終了時点で8ビットタイマ(チャンネル0、1)と(チャンネルX、Y)はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### MSTPCRHビット4：モジュールストップ (MSTP12)

8ビットタイマ(チャンネル0、1)のモジュールストップモードを指定します

MSTCRH ビット4	説 明
MSTP12	
0	8ビットタイマ(チャンネル0、1)のモジュールストップモード解除
1	8ビットタイマ(チャンネル0、1)のモジュールストップモード設定 (初期値)

#### MSTPCRHビット0：モジュールストップ (MSTP8)

8ビットタイマ(チャンネルX、Y)とタイマコネクションのモジュールストップモードを指定します

MSTCRH ビット0	説 明
MSTP8	
0	8ビットタイマ(チャンネルX、Y)とタイマコネクションのモジュールストップモード解除
1	8ビットタイマ(チャンネルX、Y)とタイマコネクションのモジュールストップモード設定 (初期値)

## 12.3 動作説明

### 12.3.1 TCNTのカウントタイミング

TCNTは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

#### (1) 内部クロック動作の場合

TCRのCKS2～CKS0ビットの設定により、システムクロック（ ）を分周して作られる内部クロックが選択されます。このタイミングを図12.2に示します。

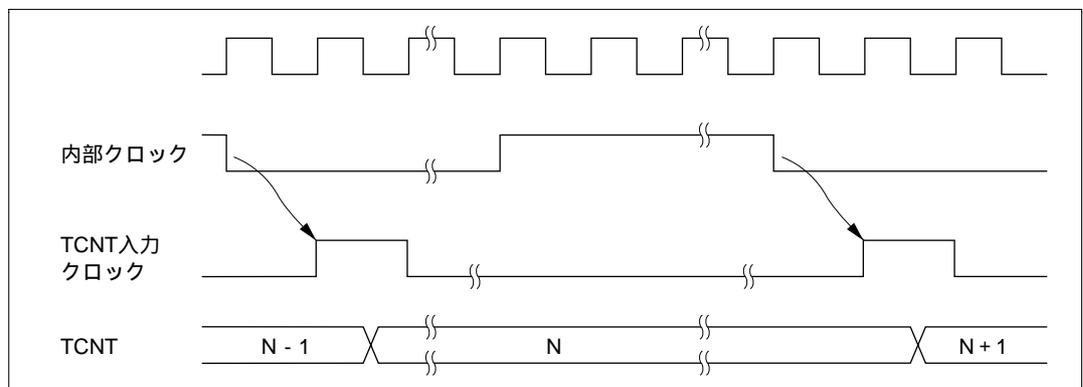


図 12.2 内部クロック動作時のカウントタイミング

#### (2) 外部クロック動作の場合

TCRのCKS2～CKS0ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は1.5ステート以上、両エッジの場合は2.5ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図12.3に、外部クロックとして、立ち上がり/立ち下がり両エッジの場合のタイミングを示します。

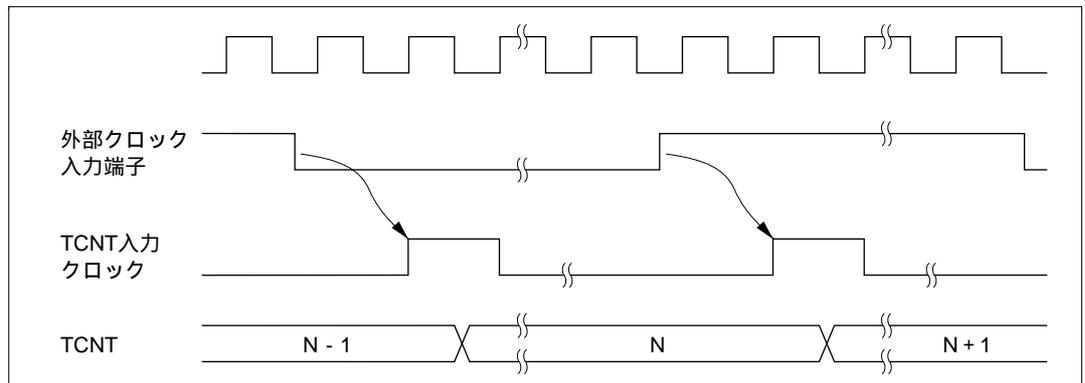


図 12.3 外部クロック動作時のカウントタイミング

### 12.3.2 コンペアマッチタイミング

#### (1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 12.4 に示します。

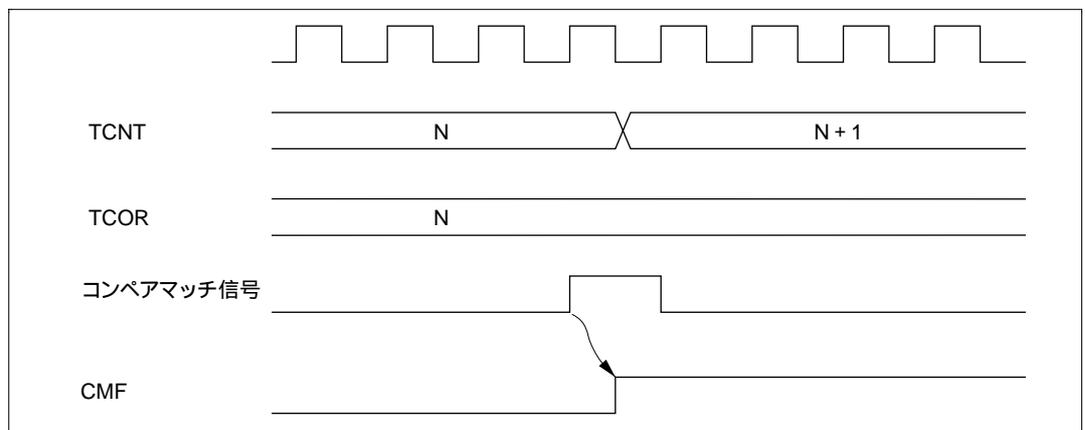


図 12.4 CMF セットタイミング

## (2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 12.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

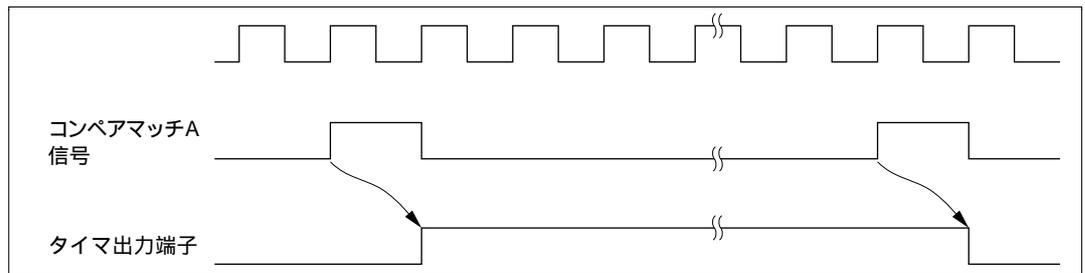


図 12.5 タイマ出力タイミング

## (3) コンペアマッチによるクリア

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 12.6 に示します。

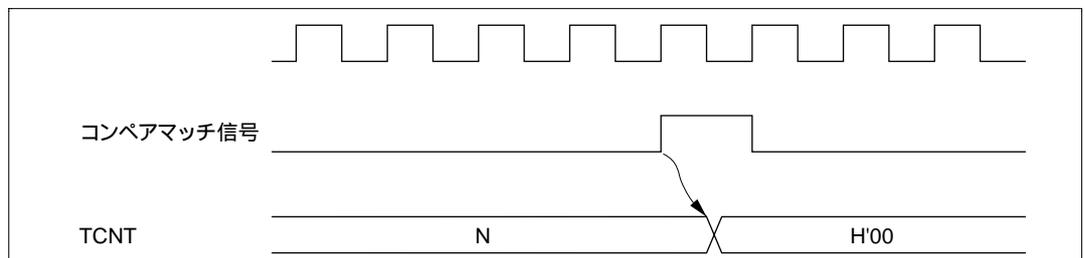


図 12.6 コンペアマッチによるクリアタイミング

### 12.3.3 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアパルスの幅は、1.5 ステート以上必要となります。このクリアされるタイミングを図 12.7 に示します。

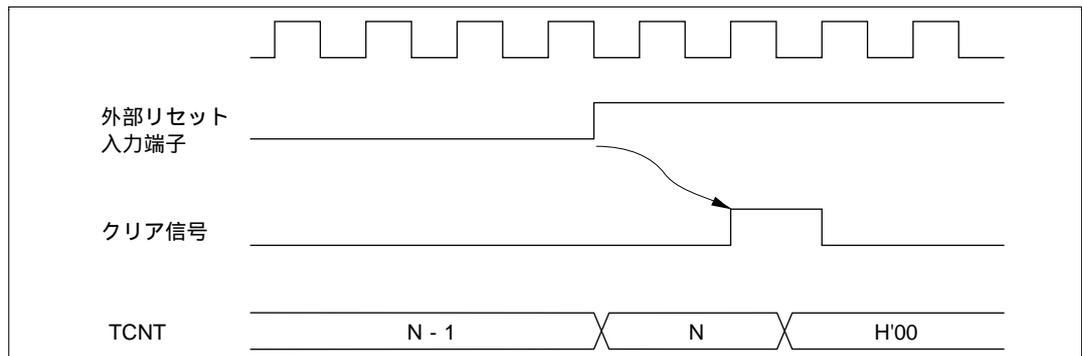


図 12.7 外部リセット入力によるクリアタイミング

### 12.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このときのタイミングを図 12.8 に示します。

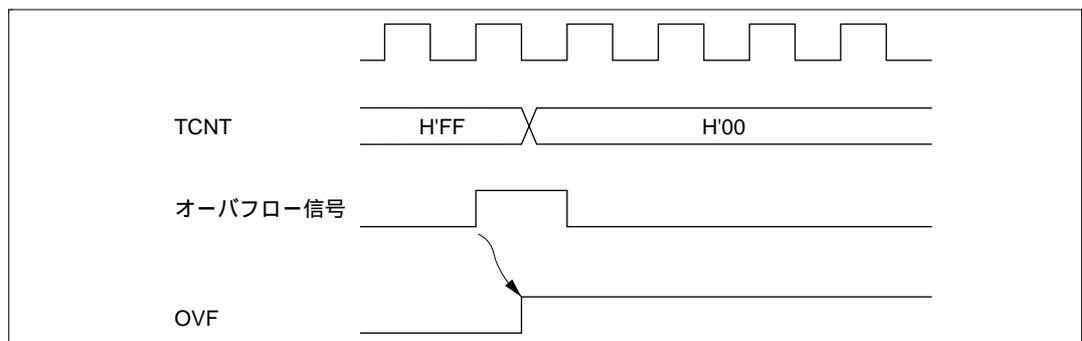


図 12.8 OVF のセットタイミング

### 12.3.5 カスケード接続時の動作

TCR0、TCR1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する (16 ビットタイマモード) が、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウントする (コンペアマッチカウントモード) ことができます。このとき、本タイマは以下のように動作します。

### (1) 16ビットカウントモード

TCR0のCKS2~CKS0ビットがB'100のとき、本タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

#### (a) コンペアマッチフラグのセット

- ・TCSR0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- ・TCSR1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

#### (b) カウンタクリア指定

- ・TCR0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT0、TCNT1の両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT0、TCNT1の両方) がクリアされます。
- ・TCR1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

#### (c) 端子出力

- ・TCSR0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- ・TCSR1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

### (2) コンペアマッチカウントモード

TCR1のCKS2~CKS0ビットがB'100のとき、TCNT1はチャンネル0のコンペアマッチAをカウントします。

チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

### (3) 使用上の注意

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT0、TCNT1の入カロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

### 12.3.6 インพุットキャプチャ動作

TMRX には、インพุットキャプチャレジスタ(TICR、TICRR、TICRF)があります。TICRR と TICRF は、タイマコネクシヨンの TCONRI レジスタの ICST ビットの制御で 1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが 1 にセットされた後、TMRX に立ち上がりエッジ 立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれ転送され、ICST ビットは 0 にクリアされます。

また、TCONRI レジスタのその他のビットの設定により TMRX 入力信号を切り替えることができます。

#### (1) インพุットキャプチャ入力タイミング

インพุットキャプチャ機能を設定した場合の動作タイミングを図 12.9 に示します。

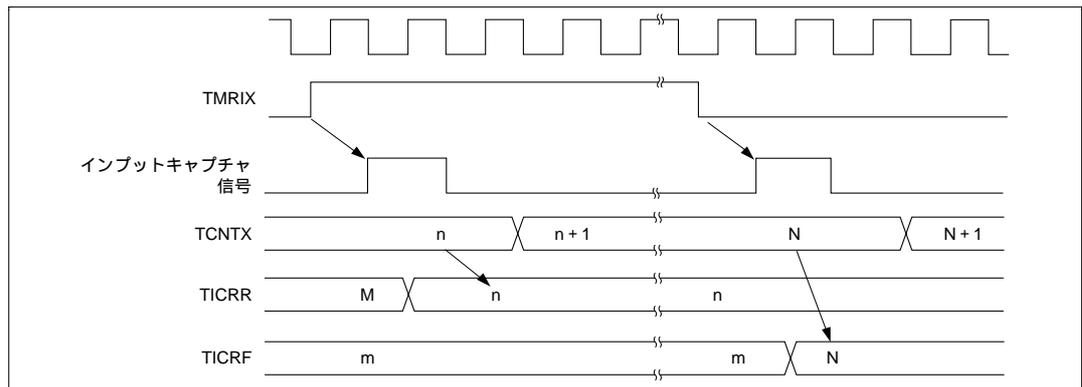


図 12.9 インพุットキャプチャ動作タイミング

また、TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力するとインพุットキャプチャ信号は 1 システムクロック ( ) 遅延されます。このタイミングを図 12.10 に示します。

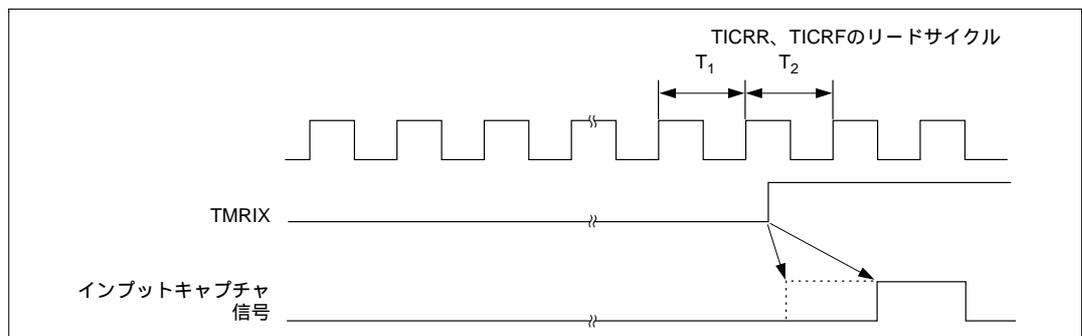


図 12.10 インพุットキャプチャ信号タイミング

( TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力した場合 )

## (2) インพุットキャプチャ入力信号の選択

タイマコネクションの TCONRI レジスタの各ビットの設定により、TMRX のインพุットキャプチャ入力信号(TMRX)を切り替えることができます。

インพุットキャプチャ信号の選択を図 12.11 および表 12.3 に示します。

詳細は「13.2.1 タイマコネクションレジスタ I (TCONRI)」を参照してください。

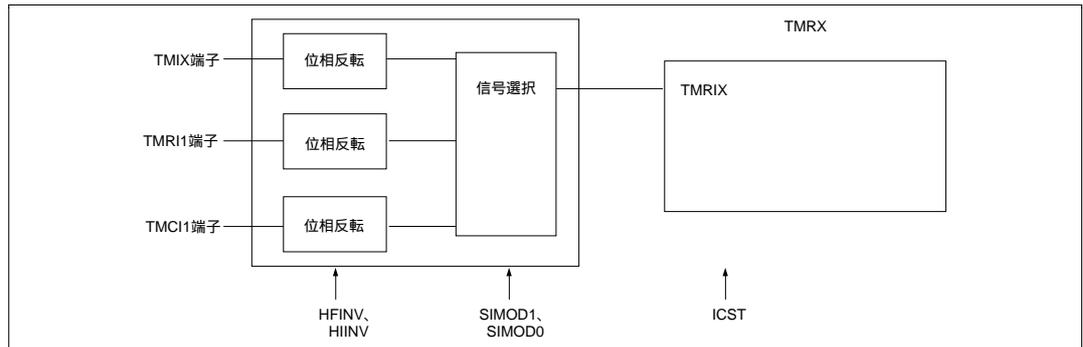


図 12.11 インพุットキャプチャ信号の切り替え

表 12.3 インพุットキャプチャ信号の選択

TCONRI					説明
ビット4	ビット7	ビット6	ビット3	ビット1	
ICST	SIMOD1	SIMOD0	HFINV	HIINV	
0	—	—	—	—	インพุットキャプチャ機能を使用しない
1	0	0	0	—	TMIX 端子の入力信号を選択
			1	—	TMIX 端子入力の反転信号を選択
		1	—	0	TMRI1 端子の入力信号を選択
			—	1	TMRI1 端子入力の反転信号を選択
	1	1	—	0	TMCI1 端子の入力信号を選択
			—	1	TMCI1 端子入力の反転信号を選択

## 12.4 割り込み要因

8ビットタイマ TMR0、TMR1、TMR Y の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。また、TMR X の割り込み要因は、ICIX のみです。表 12.4～表 12.6 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

また、TMR0、TMR1、TMR Y の CMIA、CMIB 割り込みにより DTC を起動することができます。

表 12.4 8ビットタイマ TMR0、TMR1 の割り込み要因

割り込み要因	内 容	DTC の起動	優先順位
CMIA	CMFA による割り込み	可	高 ↑ 低
CMIB	CMFB による割り込み	可	
OVI	OVF による割り込み	不可	

表 12.5 8ビットタイマ TMR X の割り込み要因

割り込み要因	内 容	DTC の起動
ICIX	ICF による割り込み	不可

表 12.6 8ビットタイマ TMR Y の割り込み要因

割り込み要因	内 容	DTC の起動	優先順位
CMIA	CMFA による割り込み	可	高 ↑ 低
CMIB	CMFB による割り込み	可	
OVI	OVF による割り込み	不可	

## 12.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 12.12 に示します。これは次に示すように設定します。

- [1] TCORA のコンペアマッチにより TCNT がクリアされるように、TCR の CCLR1 ビットを 0 にクリア、CCLR0 ビットを 1 にセットします。
- [2] TCORA のコンペアマッチにより 1 出力、TCORB のコンペアマッチにより 0 出力になるように TCSR の OS3 ~ OS0 ビットを B'0110 に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

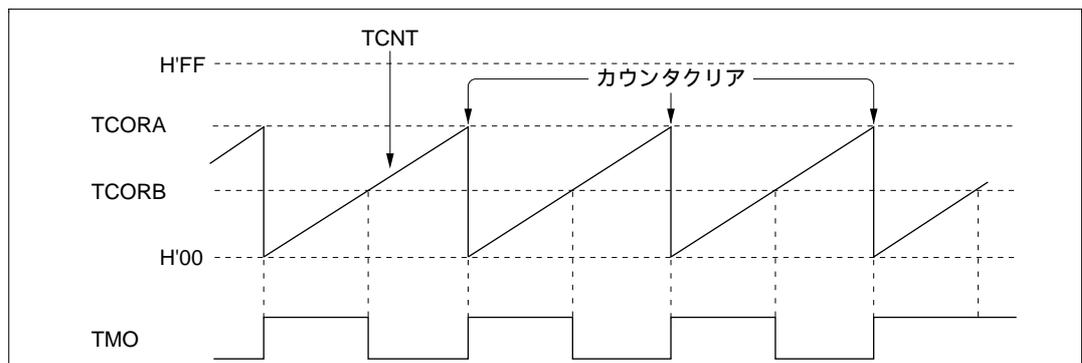


図 12.12 パルス出力例

## 12.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

### 12.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中の $T_2$ 状態で、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図12.13に示します。

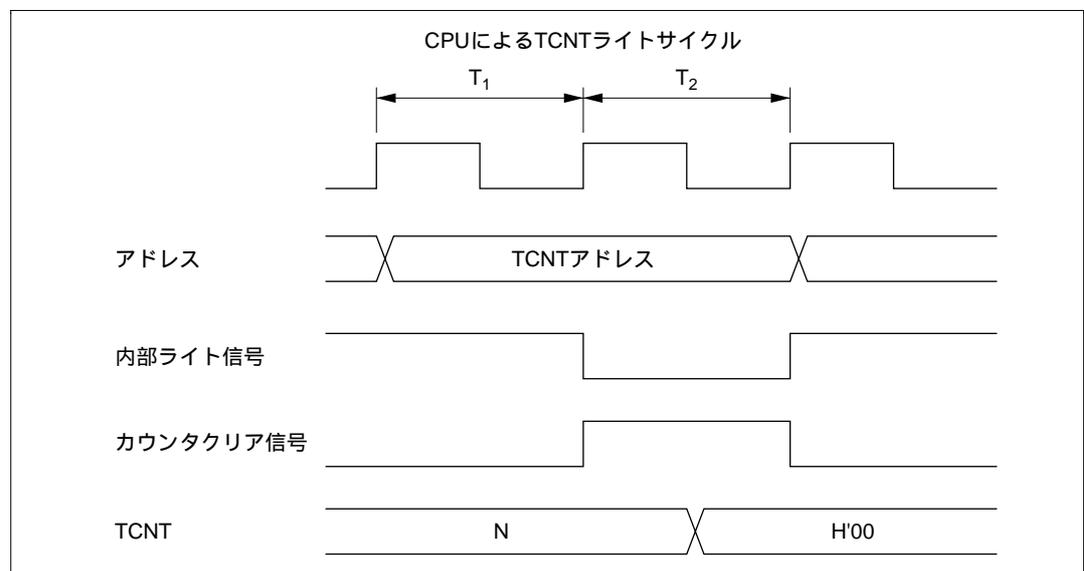


図 12.13 TCNT のライトとクリアの競合

### 12.6.2 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の $T_2$ 状態でカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図12.14に示します。

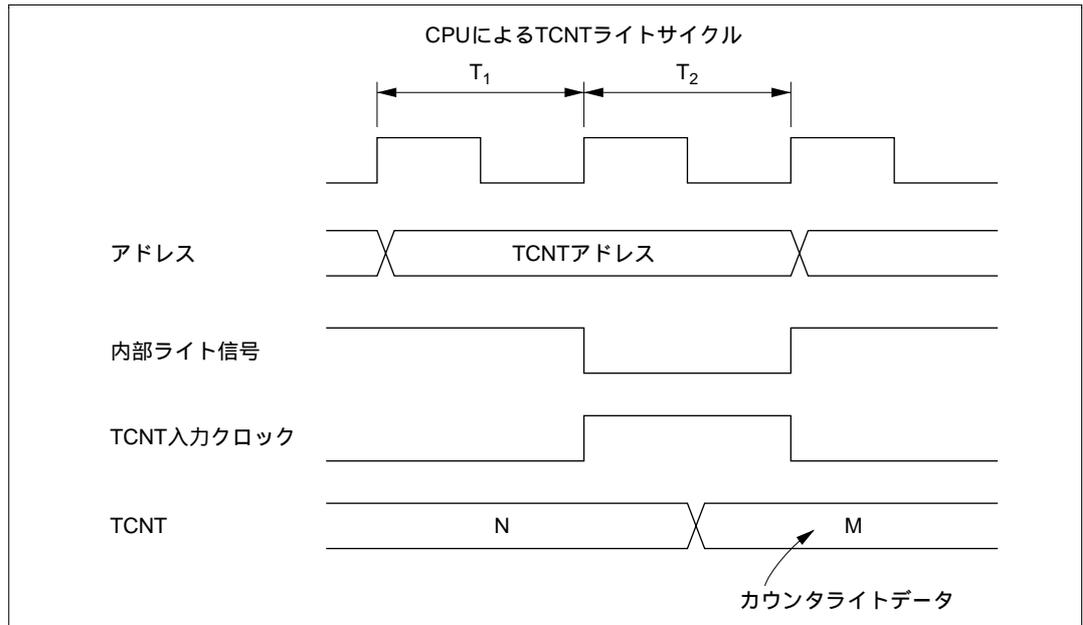


図12.14 TCNTのライトとカウントアップの競合

### 12.6.3 TCORのライトとコンペアマッチの競合

TCORのライトサイクル中の $T_2$ 状態で、コンペアマッチが発生しても、TCORのライトが優先され、コンペアマッチ信号は禁止されます。これを図12.15に示します。

TMRXでは、ICRのインプットキャプチャはTCORCへのライトと同様に、コンペアマッチと競合します。

このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

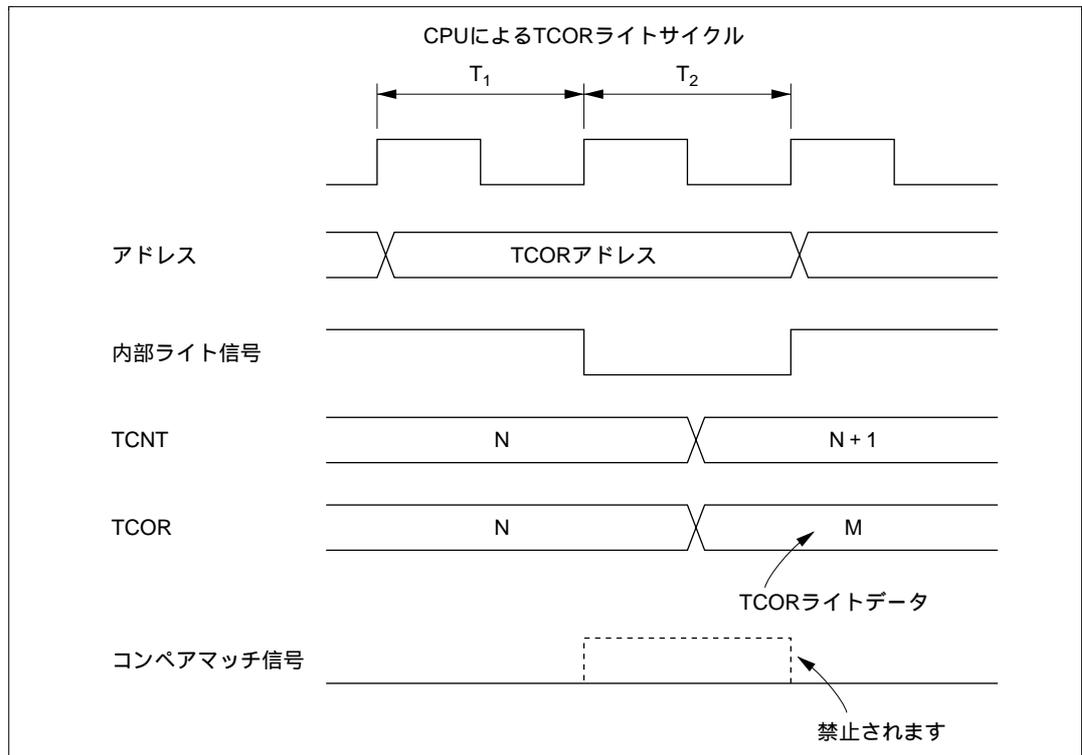


図 12.15 TCOR のライトとコンペアマッチの競合

### 12.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.7 に示すタイマ出力の優先順位に従って動作します。

表 12.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	低

### 12.6.5 内部クロックの切り替えと TCNT の動作

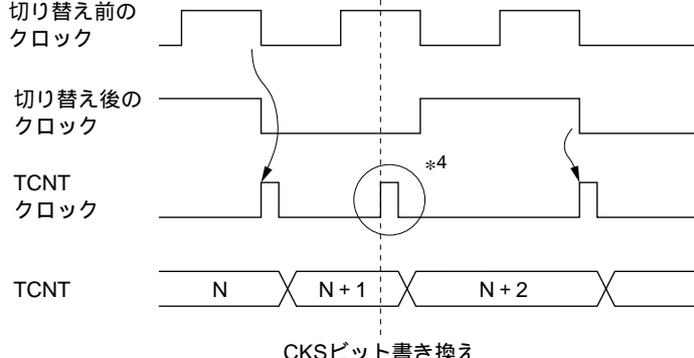
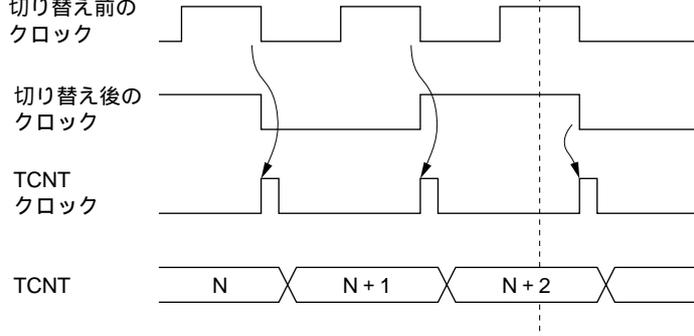
内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 12.8 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 12.8 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.8 内部クロックの切り替えと TCNT の動作

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* <sup>1</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* <sup>2</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル* <sup>3</sup> の切り替え	 <p style="text-align: center;">CKSビット書き換え</p>
4	High High レベル の切り替え	 <p style="text-align: center;">CKSビット書き換え</p>

- 【注】 \*1 Low レベル 停止、および停止 Low レベルの場合を含みます。  
 \*2 停止 High レベルの場合を含みます。  
 \*3 High レベル 停止を含みます。  
 \*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

---

# 13. タイマコネクション

---

H8S/2128 グループ、H8S/2128S グループに内蔵しています。  
H8S/2124 グループには内蔵していません。

## 第 13 章 目次

13.1	概要	343
13.1.1	特長	343
13.1.2	ブロック図	344
13.1.3	端子構成	345
13.1.4	レジスタ構成	346
13.2	各レジスタの説明	347
13.2.1	タイマコネクションレジスタ I ( TCONRI )	347
13.2.2	タイマコネクションレジスタ O ( TCONRO )	349
13.2.3	タイマコネクションレジスタ S ( TCONRS )	351
13.2.4	エッジセンスレジスタ ( SEDGR )	353
13.2.5	モジュールストップコントロールレジスタ ( MSTPCR )	356
13.3	動作説明	358
13.3.1	PWM デコード ( PDC 信号生成 )	358
13.3.2	クランプ波形生成 ( CL1・CL2・CL3 信号生成 )	359
13.3.3	8 ビットタイマ分周波形周期測定	360
13.3.4	IHI 信号の 2fH モディファイ	362
13.3.5	IVI 信号の立ち下がりモディファイ・IHI 同期	363
13.3.6	内部同期信号の生成 ( IHG 信号、IVG 信号、CL4 信号の生成 )	365
13.3.7	HSYNCO 出力	367
13.3.8	VSYNCO 出力	368
13.3.9	CBLANK 出力	369



## 13.1 概要

本 LSI は、入力信号や、1 チャンネルのフリーランニングタイマ (FRT) と 3 チャンネルの 8 ビットタイマ (TMR1、TMRX、TMR Y) の入出力を組み合わせることで相互に接続することができます。また、これを利用して、PWM デコードやクランプ波形生成などの複雑な機能を実現することができます。各タイマは、初期状態では単独のタイマとして動作するように設定されています。

### 13.1.1 特長

タイマコネクションの特長を以下に示します。

5 本の入力端子、4 本の出力端子を持ち、それぞれ位相反転を指定可能です。

タイマコネクション内部で利用する信号は、すべて正論理を前提としています。

入力端子には、信号入力検出を容易にするエッジ検出回路が接続されています。

TMRX で PWM 入力信号のデコードが可能です。

TMRX でクランプ波形生成が可能です。

TMR1 で分周した外部クロック信号を、FRT のキャプチャ入力信号として利用できません。

FRT と TMR Y で内部同期信号を生成できます。

入力信号やタイマコネクションで生成・モディファイした信号を選択して出力できません。

### 13.1.2 ブロック図

タイマコネクシオンのブロック図を図 13.1 に示します。

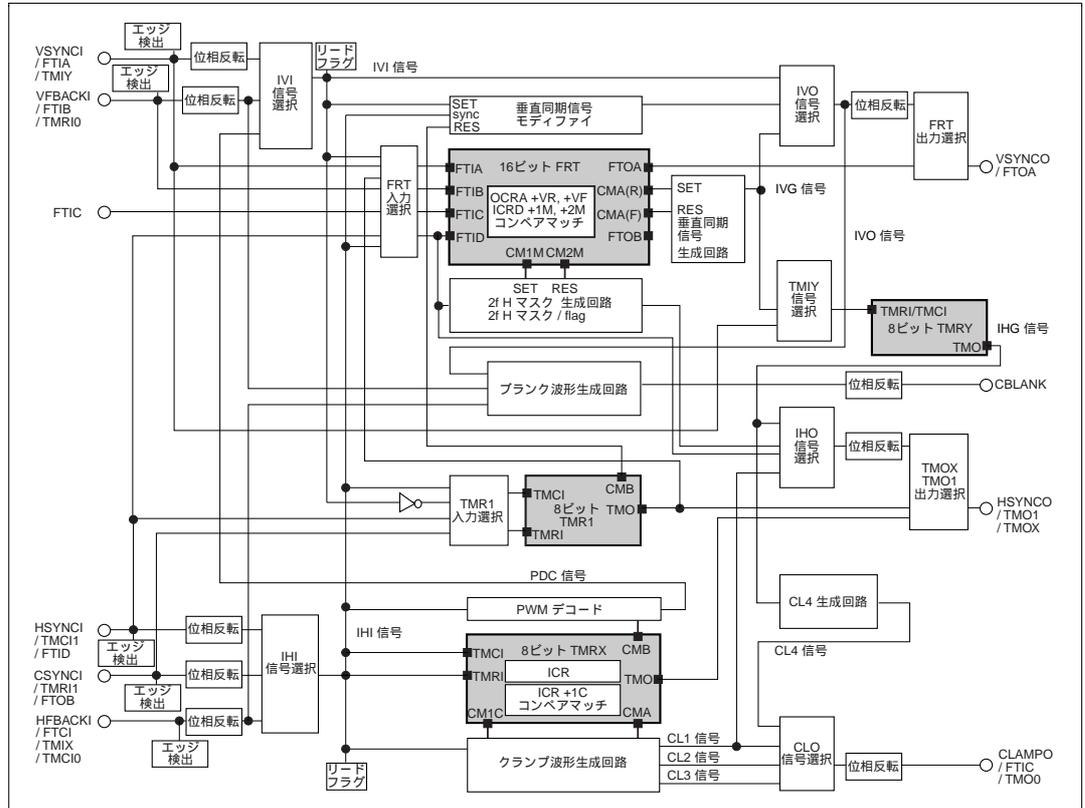


図 13.1 タイマコネクシオンのブロック図

### 13.1.3 端子構成

タイマコネクションの入出力端子を表 13.1 に示します。

表 13.1 端子構成

名 称	略 称	入出力	機 能
垂直同期信号入力端子	VSYNCI	入力	垂直同期信号入力端子 または FTIA 入力端子および TMIY 入力端子
水平同期信号入力端子	HSYNCI	入力	水平同期信号入力端子 または FTID 入力端子および TMCI1 入力端子
複合同期信号入力端子	CSYNCI	入力	複合同期信号入力端子 または TMRI1 入力端子および FTOB 出力端子
予備垂直同期信号入力端子	VFBACKI	入力	予備垂直同期信号入力端子 または FTIB 入力端子および TMRI0 入力端子
予備水平同期信号入力端子	HFBACKI	入力	予備水平同期信号入力端子 または FTIC 入力端子、TMCI0 入力端子、 および TMIX 入力端子
垂直同期信号出力端子	VSYNCO	出力	垂直同期信号出力端子 または FTOA 出力端子
水平同期信号出力端子	HSYNCO	出力	水平同期信号出力端子 または TMO1 出力端子および TMOX 出力端子
クランプ波形出力端子	CLAMPO	出力	クランプ波形出力端子 または TMO0 出力端子および FTIC 入力端子
ブランク波形出力端子	CBLANK	出力	ブランク波形出力端子

### 13.1.4 レジスタ構成

タイマコネクションのレジスタ構成を表 13.2 に示します。タイマコネクションのレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。

表 13.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス* <sup>1</sup>
タイマコネクションレジスタ I	TCONRI	R/W	H'00	H'FFFC
タイマコネクションレジスタ O	TCONRO	R/W	H'00	H'FFFD
タイマコネクションレジスタ S	TCONRS	R/W	H'00	H'FFFE
エッジセンスレジスタ	SEDGR	R/(W)* <sup>2</sup>	H'00* <sup>3</sup>	H'FFFF
モジュールストップコントロールレジスタ	MSTPRH	R/W	H'3F	H'FF86
	MSTPRL	R/W	H'FF	H'FF87

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 ビット 7~2 : フラグをクリアするための 0 ライトのみ可能です。

\*3 ビット 1、0 : 端子の状態を反映しているため、値は不定です。

## 13.2 各レジスタの説明

### 13.2.1 タイマコネクションレジスタ I ( TCONRI )

ビット:	7	6	5	4	3	2	1	0
	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRI は、8 ビットのリード/ライト可能なレジスタで、タイマ相互の接続、同期信号入力の信号源や位相反転などを制御します。

TCONRI は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット7、6：入力同期モード選択 1、0 ( SIMOD1、SIMOD0 )

IHI 信号、IVI 信号の信号源を選択します。

ビット7	ビット6	説 明		
SIMOD1	SIMOD0	モード名称	IHI 信号	IVI 信号
0	0	無信号 (初期値)	HFBACKI 入力	VFBACKI 入力
	1	S オン G モード	CSYNCI 入力	PDC 入力
1	0	コンボジットモード	HSYNCI 入力	PDC 入力
	1	セパレートモード	HSYNCI 入力	VSYNCI 入力

ビット5：同期信号接続イネーブル ( SCONE )

FRT の FTI 入力、TMR1 の TMCI1 / TMRI1 入力の信号源を選択します。

ビット5	説 明						
SCONE	モード名称	FTIA	FTIB	FTIC	FTID	TMCI1	TMRI1
0	通常接続 (初期値)	FTIA 入力	FTIB 入力	FTIC 入力	FTID 入力	TMCI1 入力	TMRI1 入力
1	同期信号接続 モード	IVI 信号	TMO1 信号	VFBACKI 入力	IHI 信号	IHI 信号	IVI 反転信号

## ビット4：インプットキャプチャスタートビット（ICST）

TMRX の外部リセット入力（TMRX）は IHI 信号に接続されています。TMRX にはインプットキャプチャレジスタ（TICR、TICRR、TICRF）があります。TICRR と TICRF は、ICST ビットの制御で 1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが 1 にセットされた後、TMRX に立ち上がりエッジ 立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、ICST ビットはクリアされます。

ビット4	説明
ICST	
0	TICRR、TICRF のインプットキャプチャ機能を停止（初期値） 【クリア条件】 TMRX に、立ち上がりエッジ 立ち下がりエッジの順でエッジを検出
1	TICRR、TICRF のインプットキャプチャ機能が動作中 （TMRX の立ち上がりエッジ 立ち下がりエッジ検出待ち状態） 【セット条件】 ICST=0 のリード後、1 をライトしたとき

## ビット3～0：入力同期信号反転（HFINV、VFINV、HIINV、VIINV）

予備水平同期信号（HFBACKI）、予備垂直同期信号（VFBACKI）、水平同期信号・複合同期信号（HSYNCI、CSYNCI）および垂直同期信号（VSYNCI）の入力位相の反転を選択します。

ビット3	説明
HFINV	
0	HFBACKI 端子の状態をそのまま HFBACKI 入力とする（初期値）
1	HFBACKI 端子の状態を反転して HFBACKI 入力とする

ビット2	説明
VFINV	
0	VFBACKI 端子の状態をそのまま VFBACKI 入力とする（初期値）
1	VFBACKI 端子の状態を反転して VFBACKI 入力とする

ビット1	説明
HIINV	
0	HSYNCI、CSYNCI 端子の状態をそのまま HSYNCI、CSYNCI 入力とする (初期値)
1	HSYNCI、CSYNCI 端子の状態を反転して HSYNCI、CSYNCI 入力とする

ビット0	説明
VIINV	
0	VSYNCI 端子の状態をそのまま VSYNCI 入力とする (初期値)
1	VSYNCI 端子の状態を反転して VSYNCI 入力とする

### 13.2.2 タイマコネクションレジスタ 0 ( TCONRO )

ビット:	7	6	5	4	3	2	1	0
	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRO は、8 ビットのリード / ライト可能なレジスタで、出力信号の出力制御や位相反転などを制御します。

TCONRO は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7 ~ 4 : 出力許可 ( HOE、VOE、CLOE、CBOE )

水平同期信号 ( HSYNCO )、垂直同期信号 ( VSYNCO )、クランプ波形 ( CLAMPO ) およびブランク波形 ( CBLANK ) の出力の許可 / 禁止を制御します。出力を禁止した場合は当該端子の状態は、ポートの DR と DDR や、FRT、TMR および PWM の設定によって決定されます。

出力の許可 / 禁止の制御は、ポート、FRT や TMR の入力機能には影響を与えませんが、FRT や TMR の入力信号源の一部は、TCONRI の SCONE ビットにより決定されます。

ビット7	説明
HOE	
0	P67/TMO1/TMOX/CIN7/HSYNCO 端子は、P67/TMO1/TMOX/CIN7 端子として動作する (初期値)
1	P67/TMO1/TMOX/CIN7/HSYNCO 端子は、HSYNCO 端子として動作する

13. タイマコネクション

ビット6	説明
VOE	
0	P61/FTOA/CIN1/VSYNCO 端子は、P61/FTOA/CIN1 端子として動作する (初期値)
1	P61/FTOA/CIN1/VSYNCO 端子は、VSYNCO 端子として動作する

ビット5	説明
CLOE	
0	P64/FTIC/CIN4/CLAMPO 端子は、P64/FTIC/CIN4 端子として動作する (初期値)
1	P64/FTIC/CIN4/CLAMPO 端子は、CLAMPO 端子として動作する

ビット4	説明
CBOE	
0	P27/A15/PW15/CBLANK 端子は、P27/A15/PW15 端子として動作する (初期値)
1	モード1 (内蔵 ROM 無効拡張モード) の場合： P27/A15/PW15/CBLANK 端子は、A15 端子として動作する モード2、3 (内蔵 ROM 有効モード) の場合： P27/A15/PW15/CBLANK 端子は、CBLANK 端子として動作する

ビット3～0：出力同期信号反転 (HOINV、VOINV、CLOINV、CBOINV)

水平同期信号 (HSYNCO)、垂直同期信号 (VSYNCO)、クランプ波形 (CLAMPO) およびブランク波形 (CBLANK) の出力位相の反転を選択します。

ビット3	説明
HOINV	
0	IHO 信号をそのまま HSYNCO 出力とする (初期値)
1	IHO 信号を反転して HSYNCO 出力とする

ビット2	説明
VOINV	
0	IVO 信号をそのまま VSYNCO 出力とする (初期値)
1	IVO 信号を反転して VSYNCO 出力とする

ビット1	説明
CLOINV	
0	CLO 信号 (CL1、CL2、CL3 または CL4 信号) をそのまま CLAMPO 出力とする (初期値)
1	CLO 信号 (CL1、CL2、CL3 または CL4 信号) を反転して CLAMPO 出力とする

ビット0	説明
CBOINV	
0	CBLANK 信号をそのまま CBLANK 出力とする (初期値)
1	CBLANK 信号を反転して CBLANK 出力とする

### 13.2.3 タイマコネクションレジスタ S ( TCONRS )

ビット:	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

TCONRS は、8ビットのリード/ライト可能なレジスタで、8ビットタイマTMRX、TMRYのアクセスや、同期信号出力の信号源および生成方法を選択します。

TCONRS は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

#### ビット7: TMRX/TMRY アクセス選択 ( TMRX/Y )

TMRX および TMRY のレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。H8S/2128 グループ、H8S/2128S グループでは、TMRX の一部と TMRY はメモリ空間の同一のアドレス (H'FFF0 ~ H'FFF5) に割り当てられており、どちらをアクセスするかを TMRX/Y ビットで制御します。H8S/2124 グループでは、本ビットによる TMRY レジスタのアクセス制御はありません。

ビット7	説明
TMRX/Y	
0	アドレス H'FFF0 ~ H'FFF5 で TMRX のレジスタをアクセスする (初期値)
1	アドレス H'FFF0 ~ H'FFF5 で TMRY のレジスタをアクセスする

#### ビット6: 内部同期信号選択 ( ISGENE )

IHO 信号、IVO 信号および CLO 信号の信号源として、内部同期信号 (IHG 信号、IVG 信号、CL4 信号) を選択します。

ビット5、4：水平同期出力モード選択 1、0 (HOMOD1、HOMOD0)

IHO 信号の信号源および生成方法を選択します。

ビット6	ビット5	ビット4	説明
ISGENE	HOMOD1	HOMOD0	
0	0	0	IHI 信号 (2fH モディファイなし) を選択 (初期値)
		1	IHI 信号 (2fH モディファイあり) を選択
	1	0	CL1 信号を選択
		1	
1	0	0	IHG 信号を選択
		1	
	1	0	
		1	

ビット3、2：垂直同期出力モード選択 1、0 (VOMOD1、VOMOD0)

IVO 信号の信号源および生成方法を選択します。

ビット6	ビット3	ビット2	説明
ISGENE	VOMOD1	VOMOD0	
0	0	0	IVI 信号 (初期値) (立ち下がりモディファイなし、IHI 同期なし) を選択
		1	IVI 信号 (立ち下がりモディファイなし、IHI 同期あり) を選択
	1	0	IVI 信号 (立ち下がりモディファイあり、IHI 同期なし) を選択
		1	IVI 信号 (立ち下がりモディファイあり、IHI 同期あり) を選択
1	0	0	IVG 信号を選択
		1	
	1	0	
		1	

ビット1、0：クランプ波形モード選択1、0（CLMOD1、CLMOD0）

CLO 信号（クランプ波形）の信号源を選択します。

ビット6	ビット1	ビット0	説明
ISGENE	CLMOD1	CLMOD0	
0	0	0	CL1 信号を選択 (初期値)
		1	CL2 信号を選択
	1	0	CL3 信号を選択
		1	
1	0	0	CL4 信号を選択
		1	
	1	0	
		1	

### 13.2.4 エッジセンスレジスタ (SEDGR)

ビット：	7	6	5	4	3	2	1	0
	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREQF	IHI	IVI
初期値：	0	0	0	0	0	0	*2	*2
R/W：	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R

【注】 \*1 フラグをクリアするための0ライトのみ可能です。

\*2 端子の状態によって決まるため、初期値は不定です。

SEDGR は 8 ビットのレジスタで、タイマコネクション入力端子の立ち上がりエッジの検出、2fH モディファイの成立の検出およびIVI 信号 IHI 信号の位相判定に利用します。

SEDGR はリセットまたはハードウェアスタンバイモード時に上位 6 ビットは 0 にイニシャライズされます。下位 2 ビットは端子の状態によって決まるため、初期値は不定です。

ビット7 : VSYNCI エッジ (VEDG)

VSYNCI 端子の立ち上がりエッジを検出します。

ビット7	説明
VEDG	
0	【クリア条件】 (初期値) VEDG=1 の状態で VEDG をリードした後、VEDG に 0 をライトしたとき
1	【セット条件】 VSYNCI 端子の立ち上がりエッジを検出したとき

ビット6 : HSYNCI エッジ (HEDG)

HSYNCI 端子の立ち上がりエッジを検出します。

ビット6	説明
HEDG	
0	【クリア条件】 (初期値) HEDG=1 の状態で HEDG をリードした後、HEDG に 0 をライトしたとき
1	【セット条件】 HSYNCI 端子の立ち上がりエッジを検出したとき

ビット5 : CSYNCI エッジ (CEDG)

CSYNCI 端子の立ち上がりエッジを検出します。

ビット5	説明
CEDG	
0	【クリア条件】 (初期値) CEDG=1 の状態で CEDG をリードした後、CEDG に 0 をライトしたとき
1	【セット条件】 CSYNCI 端子の立ち上がりエッジを検出したとき

## ビット4：HFBACKI エッジ (HFEDG)

HFBACKI 端子の立ち上がりエッジを検出します。

ビット4	説明
HFEDG	
0	【クリア条件】 (初期値) HFEDG=1 の状態で HFEDG をリードした後、HFEDG に 0 をライトしたとき
1	【セット条件】 HFBACKI 端子の立ち上がりエッジを検出したとき

## ビット3：VFBACKI エッジ (VFEDG)

VFBACKI 端子の立ち上がりエッジを検出します。

ビット3	説明
VFEDG	
0	【クリア条件】 (初期値) VFEDG=1 の状態で VFEDG をリードした後、VFEDG に 0 をライトしたとき
1	【セット条件】 VFBACKI 端子の立ち上がりエッジを検出したとき

## ビット2：プリイコライゼーションフラグ (PREQF)

IHI 信号の 2fH モディファイの条件が成立したことを検出します。マスク期間中に IHI 信号に立ち上がり / 立ち下がりエッジが発生したことを、2fH モディファイの条件が成立したと表現します。詳細は「13.3.4 IHI 信号の 2fH モディファイ」を参照してください。

ビット2	説明
PREQF	
0	【クリア条件】 (初期値) PREQF=1 の状態で PREQF をリードした後、PREQF に 0 をライトしたとき
1	【セット条件】 IHI 信号の 2fH モディファイの条件成立を検出したとき

ビット1：IHI 信号レベル (IHI)

IHI 信号の現在のレベルをリードします。IHI 信号は、TCONRI の内容によって信号源および位相反転が選択されます。このビットをリードし入力信号の正負を判定して、TCONRI を書き換えることにより、IHI 信号を正位相に保ってください。

ビット1	説明
IHI	
0	IHI 信号が Low レベル
1	IHI 信号が High レベル

ビット0：IVI 信号レベル (IVI)

IVI 信号の現在のレベルをリードします。IVI 信号は、TCONRI の内容によって信号源および位相反転が選択されます。このビットをリードし入力信号の正負を判定して、TCONRI を書き換えることにより、IVI 信号を正位相に保ってください。

ビット0	説明
IVI	
0	IVI 信号が Low レベル
1	IVI 信号が High レベル

### 13.2.5 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP13、MSTP12、MSTP8 ビットを 1 にセットすると、バスサイクルの終了時点で 16 ビットフリーランニングタイム、8 ビットタイム (チャンネル 0、1)、(チャンネル X、Y) およびタイマコネクションはそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## MSTPCRH ビット 5 : モジュールストップ (MSTP13)

FRT のモジュールストップモードを指定します

MSTPCRH ビット 5	説 明
MSTP13	
0	FRT のモジュールストップモード解除
1	FRT のモジュールストップモード設定 (初期値)

## MSTPCRH ビット 4 : モジュールストップ (MSTP12)

8 ビットタイマ (チャンネル 0、1) のモジュールストップモードを指定します

MSTCRH ビット 4	説 明
MSTP12	
0	8 ビットタイマ (チャンネル 0、1) のモジュールストップモード解除
1	8 ビットタイマ (チャンネル 0、1) のモジュールストップモード設定 (初期値)

## MSTPCRH ビット 0 : モジュールストップ (MSTP8)

8 ビットタイマ (チャンネル X、Y) とタイマコネクションのモジュールストップモードを指定します

MSTCRH ビット 0	説 明
MSTP8	
0	8 ビットタイマ (チャンネル X、Y) とタイマコネクションのモジュールストップモード解除
1	8 ビットタイマ (チャンネル X、Y) とタイマコネクションのモジュールストップモード設定 (初期値)

## 13.3 動作説明

### 13.3.1 PWM デコード (PDC 信号生成)

タイマコネクションと TMRX を利用することにより、パルス幅で 0/1 を表現する PWM 信号をデコードすることができます。これには、立ち上がりエッジが一定周期で発生する信号を IHI 信号として選択する必要があります。

TMRX の TCNT は、内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアされるよう設定します。TCORB には、パルス幅判定のしきい値となる数値をライトします。PWM デコード回路内には、IHI 信号をデータ、コンペアマッチ信号 B (CMB) をクロックとするディレイラッチがあります。PWM デコード回路は、IHI 信号の立ち上がりによる TCNT のリセット後、最初のコンペアマッチ信号 B のタイミングでの IHI 信号の状態 (パルス幅判定結果) を PDC 信号として出力します。

パルス幅判定のしきい値決定のために、TMRX の TICRR と TICRF を用いたパルス幅測定を利用することができます。

TMRX の TCR と TCORB の設定例を表 13.3、表 13.4 に、タイミングチャートを図 13.2 に示します。

表 13.3 TCR 設定例

ビット	略称	内容	説明
7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
6	CMIEA	0	
5	OVIE	0	
4~3	CCLR1~0	11	外部リセット信号 (IHI 信号) の立ち上がりエッジ ( ) により TCNT をクリア
2~0	CKS2~0	001	内部クロック : でカウント

表 13.4 TCORB (パルス幅しきい値) 設定例

	: 10MHz	: 12MHz	: 16MHz	: 20MHz
H'07	0.8 μs	0.67 μs	0.5 μs	0.4 μs
H'0F	1.6 μs	1.33 μs	1 μs	0.8 μs
H'1F	3.2 μs	2.67 μs	2 μs	1.6 μs
H'3F	6.4 μs	5.33 μs	4 μs	3.2 μs
H'7F	12.8 μs	10.67 μs	8 μs	6.4 μs

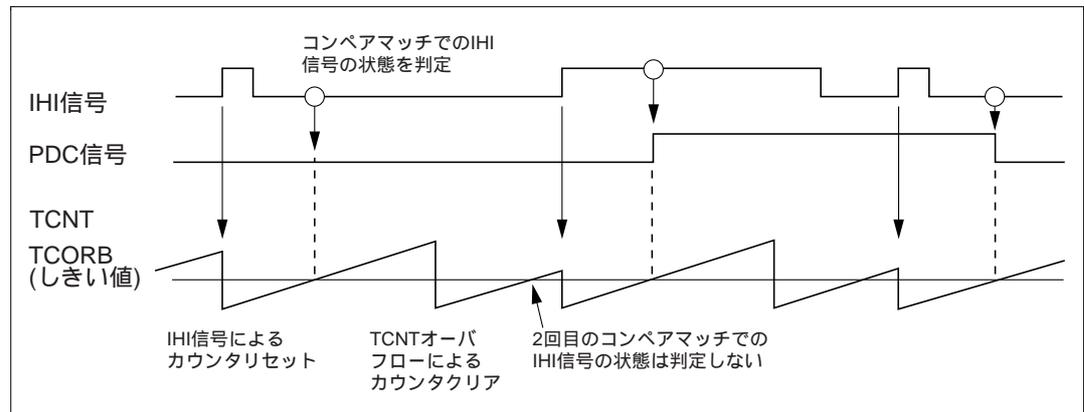


図 13.2 PWM デコードタイミングチャート

### 13.3.2 クランプ波形生成 (CL1・CL2・CL3 信号生成)

タイマコネクションと TMRX を利用することにより、入力信号 (IHI 信号) 波形に同期し、デューティや立ち上がり / 立ち下がりが異なる信号 (クランプ波形) を生成できます。生成できるクランプ波形は、CL1 信号、CL2 信号、CL3 信号の 3 通りです。また、TMRX を利用することにより CL4 信号を生成できます。

CL1 信号は IHI 信号の立ち上がりと同タイミングで立ち上がります。また、CL2 信号は CL1 信号が High の時に IHI 信号の立ち下がりと同タイミングで立ち上がります。CL1 信号と CL2 信号の立ち下がりには TCORA で指定できます。

CL3 信号の立ち上がりは IHI 信号の立ち下がりシステムクロックでサンプリングしたタイミング、立ち下がりには TCORC で指定できます。また、IHI 信号の立ち上がりでも CL3 信号は立ち下げられます。

TMRX の TCNT は、内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアされるよう設定します。

TCORA には CL1 信号のパルス幅となる数値をライトします。なお、TMRX のカウンタクロックを内部クロックの  $\frac{1}{2}$  に設定した場合は、TCORA には  $H'02$  以上の値を、 $\frac{1}{4}$  に設定した場合は  $H'01$  以上の値をライトしてください。内部クロック  $\frac{1}{2}$  に設定した場合の CL1 信号パルス幅は、 $(TCORA \text{ の設定値} + 3 \pm 0.5)$  となります。CL2 信号を使用する場合は、IHI 信号のパルス幅より大きくなるような数値を設定してください。

TCORC には CL3 信号のパルス幅となる数値をライトします。TMRX には TICR があり、TICR は、外部リセット信号の逆のエッジ (この場合 IHI 信号の立ち下がりエッジ) で TCNT の値をキャプチャします。CL3 信号の立ち下がりタイミングは TICR の内容と TCORC の内容を加算した値で決まります。なお、TCORC の内容により設定した立ち下がりタイミングの前に IHI 信号の立ち上がりエッジがきた場合、IHI 信号により CL3 信号は立ち下げられますので注意が必要です。

TMRX の TCR の設定例は表 13.3 と同様です。クランプ波形のタイミングチャートを図 13.3 と図 13.4 に示します。

CL1、CL2 信号は、立ち上がりが IHI 信号のエッジに同期し、立ち下がりがシステムク

ロックに同期するため、パルス幅がシステムクロックの分解能分変動します。

CL3 信号は、立ち上がり / 立ち下がりともシステムクロックに同期しパルス幅は一定ですが、IHI 信号との位相関係がシステムクロックの分解能分変動します。

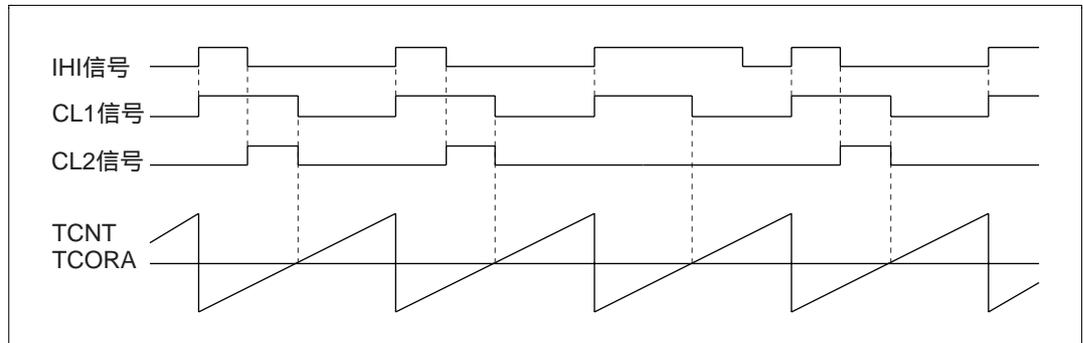


図 13.3 クランプ波形生成タイミングチャート (CL1 信号・CL2 信号)

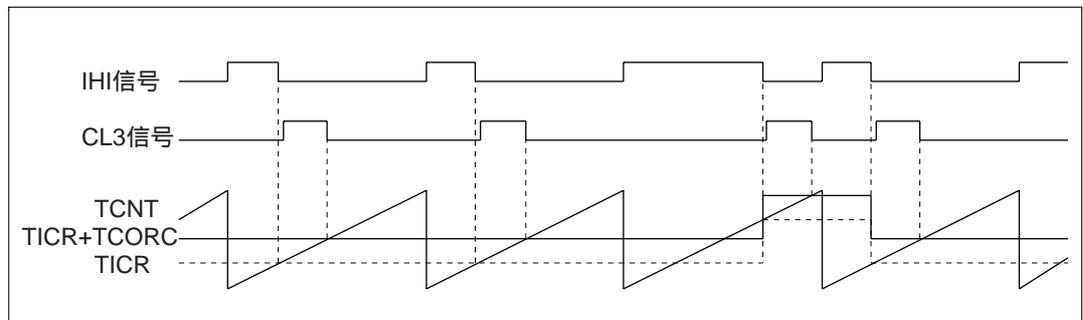


図 13.4 クランプ波形生成タイミングチャート (CL3 信号)

### 13.3.3 8 ビットタイマ分周波形周期測定

タイマコネクションと TMR1、FRT を利用することにより、IHI 信号分周波形の周期を測定できます。TMR1 は、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアすることができるため、IHI 信号分周波形の立ち上がり / 立ち下がりIVI 信号にほぼ同期化することができます。これにより、周期判定を効率的に行うことが可能です。

IHI 信号分周波形の周期を測定する場合、TMR1 の TCNT は、外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるよう設定します。TCORA には分周の倍率となる数値をライトし、TCSR の OS ビットには TMO 出力方式を指定します。

TMR1 の TCR と TCSR の設定例を表 13.5 に、IVI 信号と IHI 信号分周波形の周期測定タイミングチャートを図 13.5 に示します。IHI 信号分周波形の周期は  $(ICRD(3) - ICRD(2)) \times$  分解能で求めることができます。

表 13.5 TCR と TCSR の設定例

レジスタ	ビット	略称	内容	説明
TMR1の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3 1、0	CCLR	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ ( ) により TCNT をクリア
	2~0	CKS2~0	101	外部クロック (IHI 信号) の立ち上がりエッジ ( ) により TCNT をカウントアップ
TMR1の TCSR	3~0	OS3~0	0011  1001	コンペアマッチ B で変化せず、 コンペアマッチ A で反転出力 (トグル出力) : 512 分周 または TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、 コンペアマッチ A で 0 出力 : 256 分周
FRTの TCR	6	IEDGB	0 / 1	0 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち下がりエッジ ( ) で FRC の値を ICRB に転送 1 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち上がりエッジ ( ) で FRC の値を ICRB に転送
	1、0	CKS1、0	01	内部クロック : / 8 で FRC をカウントアップ
FRTの TCSR	0	CCLRA	0	FRC のクリアを禁止

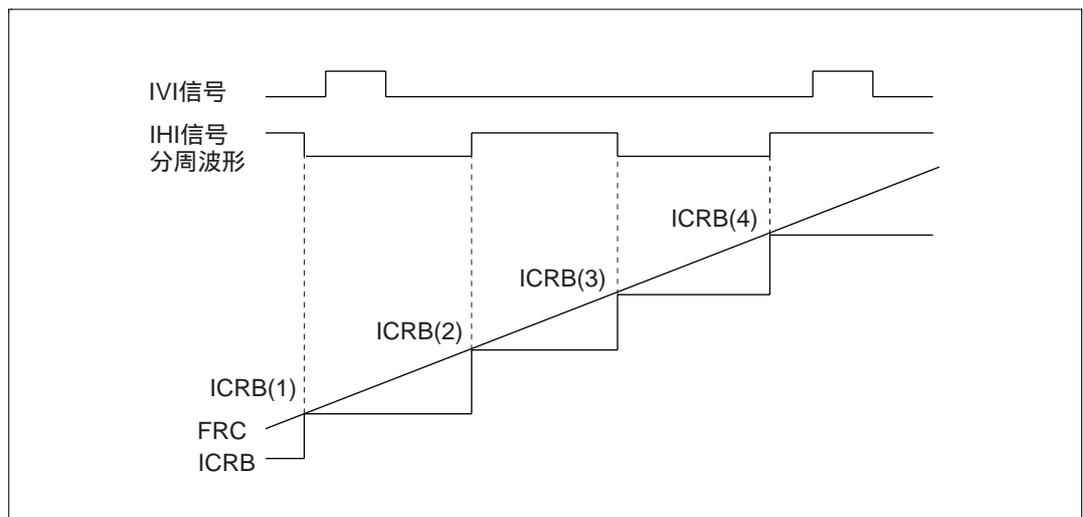


図 13.5 IVI 信号と IHI 信号分周波形の周期測定タイミングチャート

### 13.3.4 IHI 信号の 2fH モディファイ

タイマコネクションの FRT を利用することにより、IHI 信号の一部に 2 倍の周波数を持つ部分が存在していても、これを除去することができます。この機能が正常動作するためには、IHI 信号のデューティは約 30% 以下か約 70% 以上である必要があります。

FRT の ICRD は、キャプチャしたデータに 8 ビットの OCRDM の内容および OCRDM の内容を 2 倍して自動的に加算し、このタイミングでコンペアマッチを発生することができます。この 2 つのコンペアマッチの間の期間をマスク期間とよびます。OCRDM には、IHI 信号の周期の約 1/3 に相当する数値をライトします。ICRD は、IHI 信号の立ち上がりでキャプチャを行うよう設定します。

IHO 信号選択回路に供給される IHI 信号は、通常 IHI 信号の立ち上がりでセットされ立ち下がりでもリセットされるため、波形は元となる IHI 信号と同じです。2fH モディファイを選択すると、マスク期間中の IHI 信号のエッジ検出が禁止されます。また、マスク期間中のキャプチャも禁止されます。

FRT の TCR の設定例を表 13.6 に、2fH モディファイのタイミングチャートを図 13.6 に示します。

表 13.6 TCR、TCSR、TCOR と OCRDM の設定例

レジスタ	ビット	略 称	内 容	説 明
FRT の TCR	4	IEDGD	1	インプットキャプチャ入力 D (IHI 信号) の立ち上がりエッジ ( ) で FRC の値を ICRD に転送
	1、0	CKS1、0	01	内部クロック： /8 で FRC をカウントアップ
FRT の TCSR	0	CCLRA	0	FRC のクリアを禁止
FRT の TCOR	7	ICRDMS	1	ICRD を OCRDM を利用した動作モードに設定
FRT の OCRDM	7~0	OCRDM 7~0	H[]01 ~ H[]FF	ICRD の動作をマスクする期間を設定

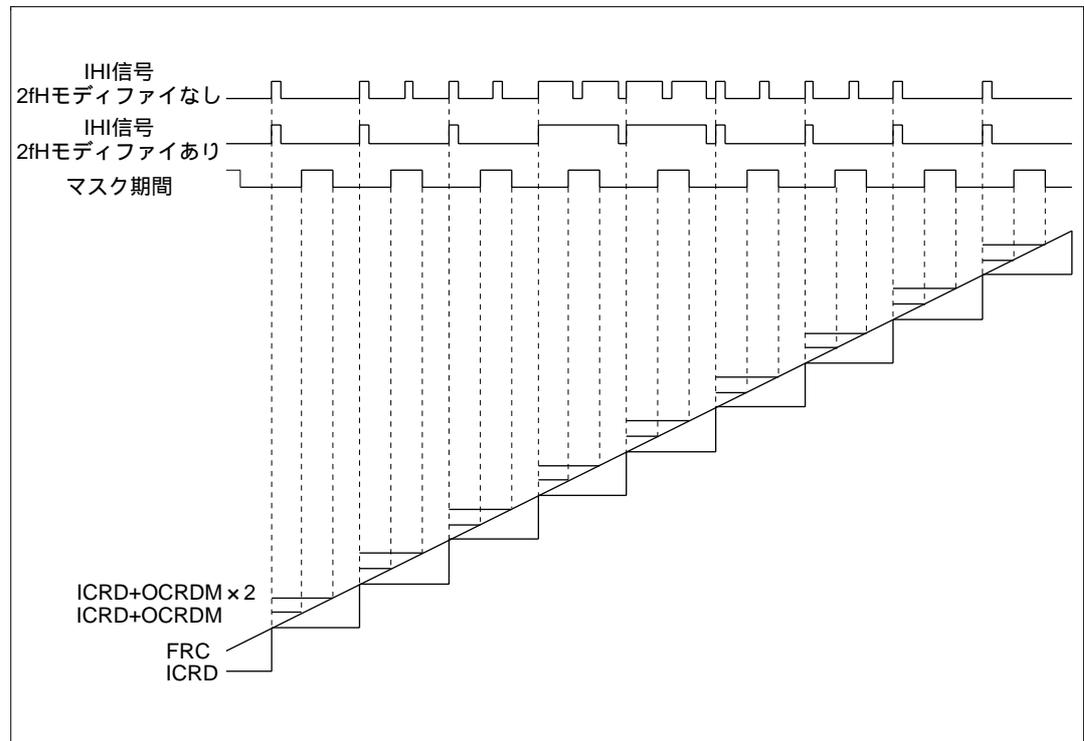


図 13.6 2fH モディファイタイミングチャート

### 13.3.5 IVI 信号の立ち下がりモディファイ・IHI 同期

タイマコネクションの TMR1 を利用することにより、IVI 信号の立ち下がり、IHI 信号波形の指定した個数分後方へ移動することができます。また、IVI 信号の立ち下がり、IHI 信号の立ち上がり同期させることができます。

8 ビットタイマ分周波形周期測定のために、TMR1 の TCNT は、外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるよう設定します。TOCRB には、IVI 信号立ち下げまでの IHI 信号の個数をライトします。

IVO 信号選択回路に供給される IVI 信号は、通常 IVI 信号の立ち上がりでセットされ立ち下がりリセットされるため、波形は元となる IVI 信号と同じです。立ち下がりモディファイを選択すると、リセットは TMR1 の TCORB のコンペアマッチで行われます。

上記のように生成された波形は、立ち下がりモディファイ選択の有無にかかわらず、立ち下がり IHI 信号の立ち上がり同期させることができます。

TMR1 の TCORB、TCR と TCSR の設定例を表 13.7 に、立ち下がりモディファイ・IHI 同期のタイミングチャートを図 13.7 に示します。

表 13.7 TCORB、TCR と TCSR の設定例

レジスタ	ビット	略 称	内 容	説 明
TMR1 の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3	CCLR	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ ( ) により TCNT をクリア
	1、0			
	2~0	CKS2~0	101	外部クロック (IHI 信号) の立ち上がりエッジ ( ) により TCNT をカウントアップ
TMR1 の TCSR	3~0	OS3~0	0011	コンペアマッチ B で変化せず、 コンペアマッチ A で反転出力 (トグル出力) または
			1001	TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、 コンペアマッチ A で 0 出力
TMR1 の TCORB			H'03 (例)	IVI 信号の反転信号立ち上がり後、4 番目 (例) の IHI 信号の立ち上がりでコンペアマッチ

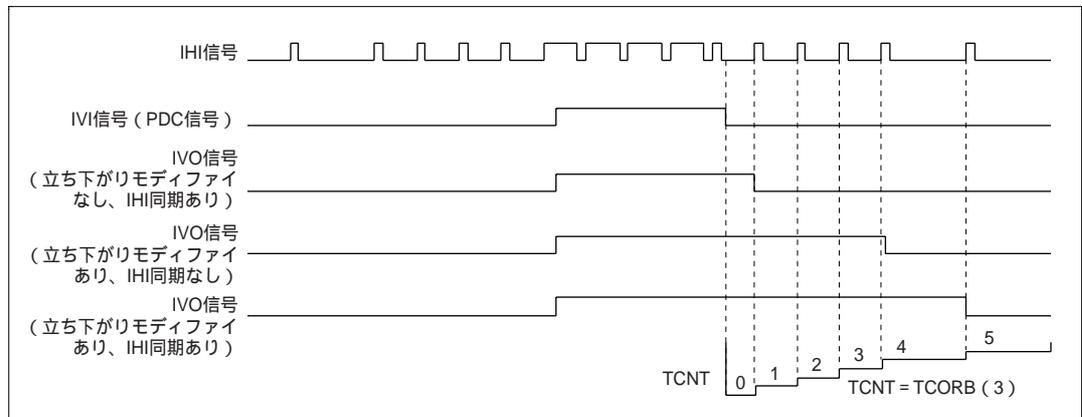


図 13.7 立ち下がりモディファイ・IHI 同期タイミングチャート

### 13.3.6 内部同期信号の生成 (IHG 信号、IVG 信号、CL4 信号の生成)

タイマコネクションの FRT と TMRY を利用することにより、IHI 信号、IVI 信号に相当する内部信号 (IHG 信号、IVG 信号) を自動的に生成することができます。IHG 信号は IVG 信号の立ち上がりに同期しますので、IHG 信号周期を一定に保つためには、IVG 信号周期の約数とする必要があります。また、IHG 信号に同期して CL4 信号を生成することができます。

FRT の OCRA の内容は、コンペアマッチを発生するたびに、OCRAR と OCRAF の内容を交互に、自動的に加算した内容に更新することができます。OCRAR には IVG 信号の 0 期間に相当する値を、また OCRAF には IVG 信号の 1 期間に相当する値をライトします。IVG 信号は、OCRAR 加算後のコンペアマッチでセットされ、OCRAF 加算後のコンペアマッチでリセットされます。

IHG 信号は 8 ビットタイマ TMRY のタイマ出力です。TMRY は内部クロックをカウントし、TCORA のコンペアマッチで TCNT をクリアして周期を定めるとともにタイマ出力をセットするように設定します。TCORB は、タイマ出力をリセットするように設定します。TMRY のリセット入力 (TMRI) としては IVG 信号が接続されており、IVG 信号の立ち上がりを TCORA のコンペアマッチと同様に扱うことができます。

CL4 信号は、IHG 信号の立ち下がりから 1 システムクロック以内の遅れで立ち上がり、6 システムクロックの 1 期間を持つ波形です。

TMRY の TCORA、TCORB、TCR と TCSR、および、FRT の OCRAR、OCRAF と TCR の設定例を表 13.8 に、IHG 信号、IVG 信号のタイミングチャートを図 13.8 に示します。

表 13.8 OCRAR、OCRAF、TOCR、TCORA、TCORB、TCR と TCSR の設定例

レジスタ	ビット	略 称	内 容	説 明	
TMRY の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止	
	6	CMIEA	0		
	5	OVIE	0		
	4、3	CCLR1、0	01	コンペアマッチ A により TCNT をクリア	
	2~0	CKS2~0	001	内部クロック： /4 で TCNT をカウントアップ	
TMRY の TCSR	3~0	OS3~0	0110	コンペアマッチ B で 0 出力 コンペアマッチ A で 1 出力	
TMRY の TOCRA			H'3F (例)	IHG 信号の周期は $\times 256$	
TMRY の TOCRB			H'03 (例)	IHG 信号の 1 の期間は $\times 16$	
FRT の TCR	1、0	CKS1、0	01	内部クロック： /8 で FRC をカウントアップ	
FRT の OCRAR			H'7FEF (例)	IVG 信号の 0 の期間は $\times 262016$	IVG 信号の周期は $\times 262144$ (IHG 信号の 1024 倍)
FRT の OCRAF			H'000F (例)	IVG 信号の 1 の期間は $\times 128$	
FRT の TOCR	6	OCRAMS	1	OCRA を OCRAR、OCRAF を利用した動作モードに設定	

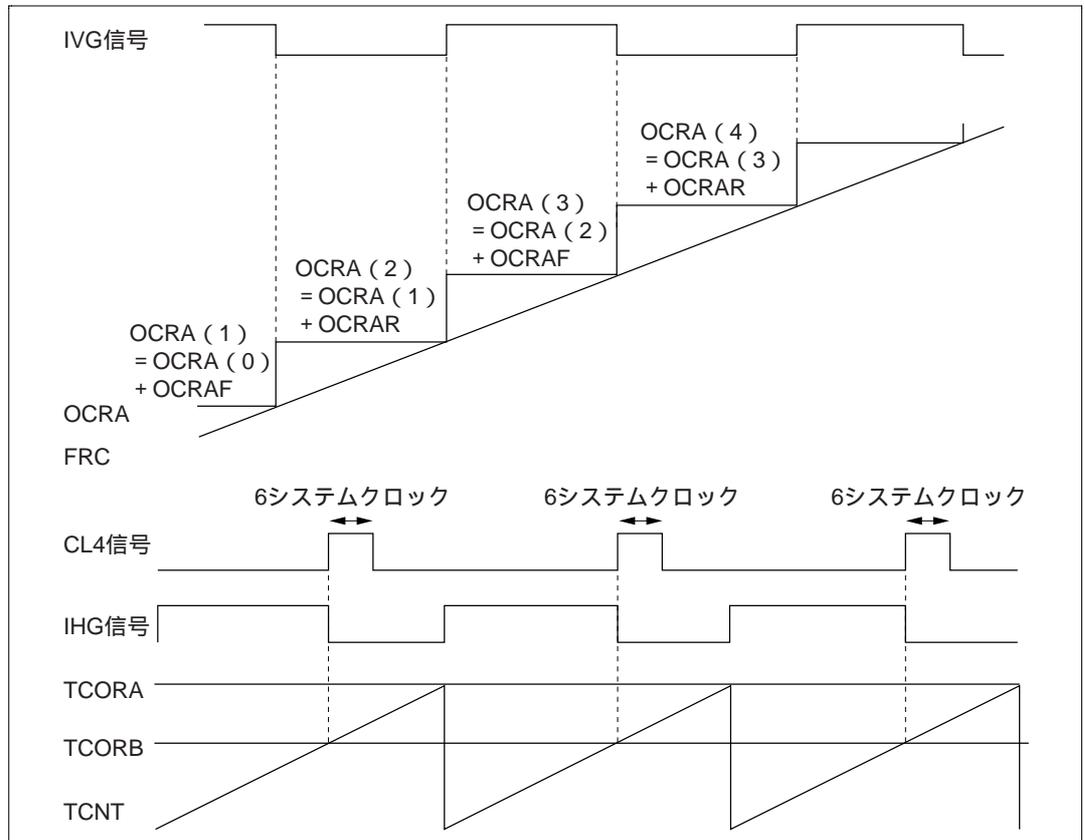


図 13.8 IVG 信号、IHG 信号、CL4 信号のタイミングチャート

### 13.3.7 HSYNCO 出力

HSYNCO 出力は、IHI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。HSYNCO 出力のモード別の意味を表 13.9 に示します。

表 13.9 HSYNCO 出力のモード別の意味

モード名称	IHI 信号	IHO 信号	IHO 信号の意味
無信号	HFBACKI 入力	IHI 信号 (2fH モディファイなし)	HFBACKI 入力をそのまま出力
		IHI 信号 (2fH モディファイあり)	HFBACKI 入力に周波数が倍の部分がない れば意味なし
		CL1 信号	HFBACKI 入力の 1 期間を変更して出力
		IHG 信号	内部同期信号を出力
S オン G モード	CSYNCI 入力	IHI 信号 (2fH モディファイなし)	CSYNCI 入力 (複合同期信号) をそのまま 出力
		IHI 信号 (2fH モディファイあり)	CSYNCI 入力 (複合同期信号) の周波数が 倍の部分除去して出力
		CL1 信号	CSYNCI 入力 (複合同期信号) の水平同期 信号部分を分離して出力
		IHG 信号	内部同期信号を出力
コンボジット モード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (複合同期信号) をそのまま 出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (複合同期信号) の周波数が 倍の部分除去して出力
		CL1 信号	HSYNCI 入力 (複合同期信号) の水平同期 信号部分を分離して出力
		IHG 信号	内部同期信号を出力
セパレート モード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (水平同期信号) をそのまま 出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (水平同期信号) に周波数が 倍の部分がないと意味なし
		CL1 信号	HSYNCI 入力 (水平同期信号) の 1 期間を 変更して出力
		IHG 信号	内部同期信号出力

## 13.3.8 VSYNCO 出力

VSYNCO 出力は、IVI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。VSYNCO 出力のモード別の意味を表 13.10 に示します。

表 13.10 VSYNCO 出力のモード別の意味

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
無信号	VFBACKI 入力	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	VFBACKI 入力をそのまま出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	VFBACKI 入力 HFBACKI 入力に同期していれば意味なし
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	VFBACKI 入力の立ち下がりモディファイして出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	VFBACKI 入力の立ち下がりモディファイし、HFBACKI 入力に同期し出力
		IVG 信号	内部同期信号を出力
S オン G モード、 または コンポジット モード	PDC 信号	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離して出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離し、CSYNCI / HSYNCI 入力に同期して出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離し、立ち下がりモディファイして出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	CSYNCI / HSYNCI 入力 (複合同期信号) の垂直同期信号部分を分離し、立ち下がりモディファイし、CSYNCI / HSYNCI 入力に同期して出力
		IVG 信号	内部同期信号を出力

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
セパレート モード	VSYNCI 入力	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	VSYNCI 入力 (垂直同期信号) をそのまま出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	VSYNCNKI 入力 (垂直同期信号) が HSYNCI 入力 (水平同期信号) に同期していれば意味なし
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	VSYNCNKI 入力 (垂直同期信号) の立ち下がりモディファイして出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	VSYNCNKI 入力 (垂直同期信号) の立ち下がりモディファイし、HSYNCI 入力 (水平同期信号) に同期して出力
		IVG 信号	内部同期信号出力

### 13.3.9 CBLANK 出力

タイマコネクションで生成、選択した信号を用いて、複合同期信号に準じた波形 (ブランキング波形) を生成することができます。

ブランキング波形は 1 種類で、HFBACKI 入力と VFBACKI 入力を TCONRI の HFINV ビットと VFINV ビットで位相の正負を正としたものと、IVO 信号とを合成することによって生成します。

合成の論理を、図 13.9 に示します。

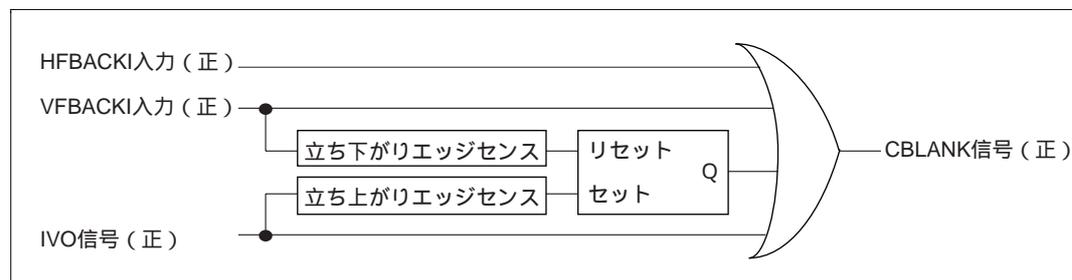


図 13.9 CBLANK 出力波形生成



---

# 14. ウォッチドッグタイマ (WDT)

---

## 第14章 目次

14.1	概要	373
14.1.1	特長	373
14.1.2	ブロック図	374
14.1.3	端子構成	376
14.1.4	レジスタ構成	376
14.2	各レジスタの説明	377
14.2.1	タイマカウンタ (TCNT)	377
14.2.2	タイマコントロール/ステータスレジスタ (TCSR)	377
14.2.3	システムコントロールレジスタ (SYSCR)	381
14.2.4	レジスタアクセス時の注意	381
14.3	動作説明	383
14.3.1	ウォッチドッグタイマモード時の動作	383
14.3.2	インターバルタイマモード時の動作	385
14.3.3	オーバフローフラグ (OVF) のセットタイミング	385
14.4	割り込み	386
14.5	使用上の注意	386
14.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	386
14.5.2	CKS2~CKS0 ビットの書き換え	386
14.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	387
14.5.4	高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値	387
14.5.5	OVF フラグのクリア	387



## 14.1 概要

本 LSI は 2 チャンネルのウォッチドッグタイマ / ウォッチタイマ (WDT0、WDT1) を内蔵しています。ウォッチドッグタイマは、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバフローすると、内部リセット信号または内部 NMI 割り込み信号を発生することができます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードの場合は、カウンタがオーバフローするごとにインターバルタイマ割り込みを発生します。

### 14.1.1 特長

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

- ・インターバルタイマモード時には、WOVI 割り込みを発生

タイマカウンタがオーバフローすると内部リセットまたは内部割り込みを発生

- ・ウォッチドッグタイマモード時には、内部をリセットするか NMI 割り込みを発生するかを選択可能

WDT0 は 8 種類、WDT1 は 16 種類のカウンタ入力クロックを選択可能

- ・WDT の最大インターバルはシステムクロック周期  $\times 131072 \times 256$
- ・WDT1 の入力カウンタにサブクロックを選択可能

サブクロック選択の場合、最大インターバルはサブクロック周期  $\times 256 \times 256$

### 14.1.2 ブロック図

WDTのブロック図を図14.1(a)と図14.1(b)に示します。

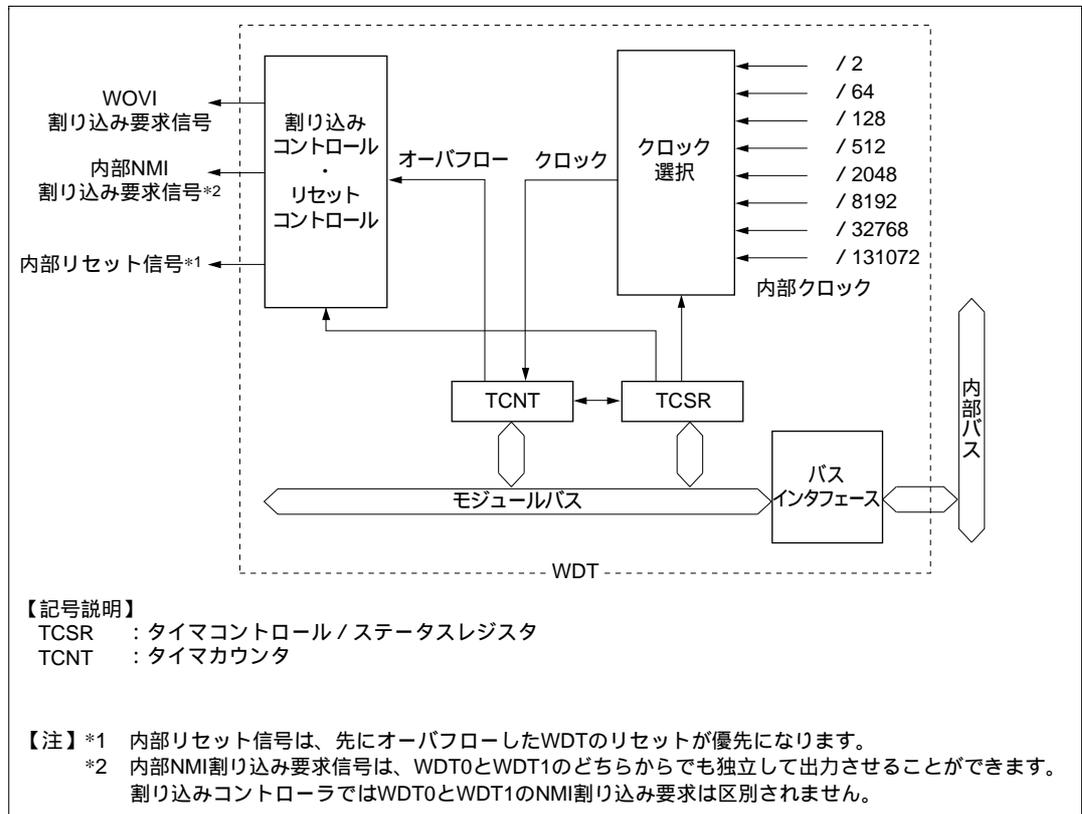


図 14.1 ( a ) WDT0のブロック図

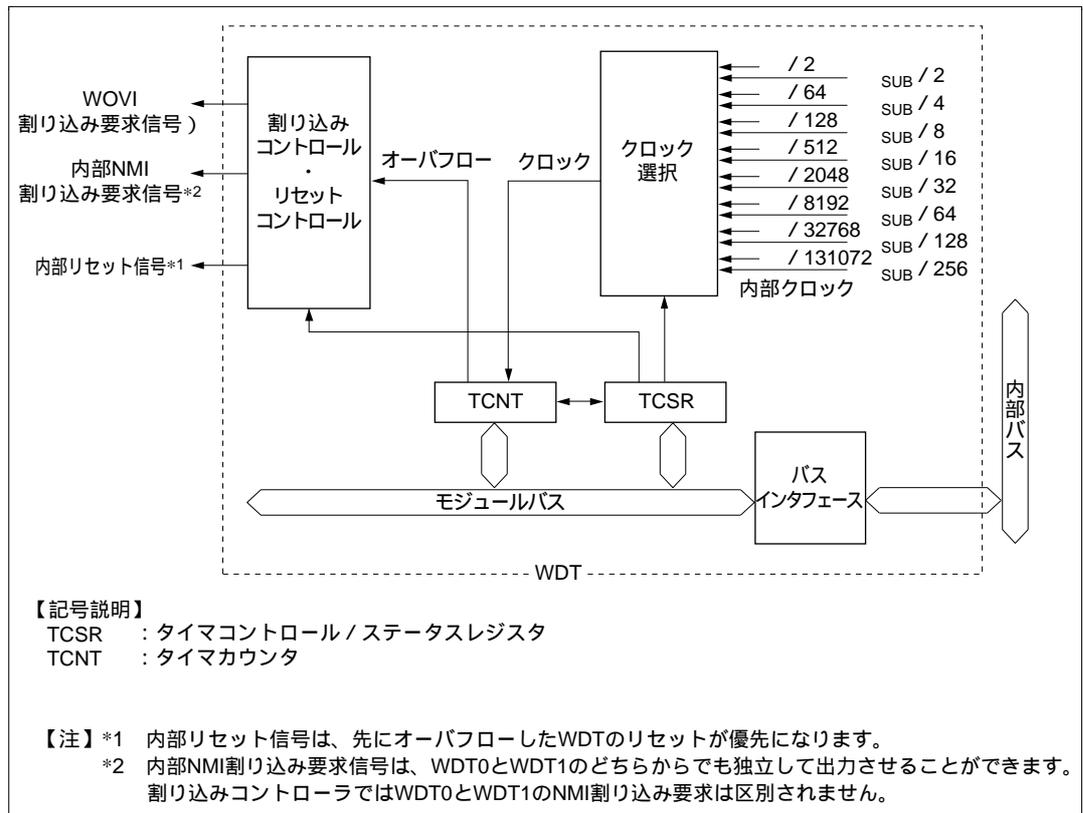


図 14.1 (b) WDT1 のブロック図

### 14.1.3 端子構成

WDT の端子を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
外部サブクロック入力端子	EXCL	入力	WDT1 のプリスケアラの カウンタ入力クロック

### 14.1.4 レジスタ構成

WDT には、表 14.2 に示すように 4 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 14.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス* <sup>1</sup>	
					ライト時* <sup>2</sup>	リード時
0	タイマコントロール/ ステータスレジスタ 0	TCSR0	R/(W)* <sup>3</sup>	H'00	H'FFA8	H'FFA8
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFA8	H'FFA9
1	タイマコントロール/ ステータスレジスタ 1	TCSR1	R/(W)* <sup>3</sup>	H'00	H'FFEA	H'FFEA
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFEA	H'FFEB
共通	システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4	

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 ライトについては、「14.2.4 レジスタアクセス時の注意」を参照してください。

\*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

## 14.2 各レジスタの説明

### 14.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W							

TCNTは、リード/ライト\*可能な8ビットのアップカウンタです。TCSRのTMEビットを1にすると、TCSRのCKS2~CKS0ビットで選択した内部クロックにより、TCNTはカウントアップを開始します。TCNTの値がオーバーフロー (H'FF H'00) すると、TCSRのOVFフラグが1にセットされWT/ITビットおよびRST/NMIビットで選択したモードによって、内部リセット、NMI割り込み、またはインターバルタイマ割り込み (WOVI)などを発生させることができます。

TCNTは、リセット、ハードウェアスタンバイモード、またはTMEビットが0のとき、H'00に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】\* TCNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「14.2.4 レジスタアクセス時の注意」を参照してください。

### 14.2.2 タイマコントロール/ステータスレジスタ (TCSR)

#### TCSR0

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

#### TCSR1

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

TCSR は、リード/ライト\*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】 \* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「14.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7 : オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット 7	説明
OVF	
0	[ クリア条件 ] (初期値) (1) TME ビットに 0 をライトしたとき (2) OVF = 1 の状態で、TCSR をリード後*、OVF に 0 をライトしたとき
1	[ セット条件 ] TCNT がオーバフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

【注】 \* インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF = 1 の状態を 2 回以上リードしてください。

ビット 6 : タイマモードセレクト (WT/ $\bar{W}\bar{T}$ )

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、ウォッチドッグタイマモード時はリセットまたは NMI 割り込みを、インターバルタイマモード時は WOV I 割り込みを、CPU に対して要求します。

ビット 6	説明
WT/ $\bar{W}\bar{T}$	
0	インターバルタイマモード : TCNT がオーバフローしたとき CPU へインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード : TCNT がオーバフローしたとき CPU へリセットまたは NMI 割り込みを要求

## ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	TCNT を H'00 に初期化し、カウント動作を停止 (初期値)
1	TCNT はカウント動作

## TCSR0 のビット4：リセットセレクト (RSTS)

リザーブビットです。1 にセットしないでください。

## TCSR1 のビット4：プリスケラセレクト (PSS)

WDT1 の TCNT の入力クロックソースを選択します。

詳細は、ビット2~0 (CKS2~CKS0) の説明を参照してください。

TCSR1 ビット4	説明
PSS	
0	TCNT は ベースのプリスケラ (PSM) の分周クロックをカウント (初期値)
1	TCNT は SUB ベースのプリスケラ (PSS) の分周クロックをカウント

ビット3：リセットまたはNMI ( $RST/\overline{NMI}$ )

ウォッチドッグタイマモードでの TCNT オーバフロー時に、内部リセットと NMI 割り込み要求のいずれを要求するかを選択します。

ビット3	説明
$RST/\overline{NMI}$	
0	NMI 割り込みを要求 (初期値)
1	内部リセットを要求

## ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

システムクロック ( ) またはサブクロック ( SUB ) を分周して得られる内部クロックから、TCNT に入力するクロックを選択します。

14. ウォッチドッグタイマ (WDT)

WDT0の入力クロック選択

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ( = 20MHzの場合)
0	0	0	/ 2 (初期値)	25.6 μ s
		1	/ 64	819.2 μ s
	1	0	/ 128	1.6ms
		1	/ 512	6.6ms
1	0	0	/ 2048	26.2ms
		1	/ 8192	104.9ms
	1	0	/ 32768	419.4ms
		1	/ 131072	1.68s

【注】 \* オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

WDT1の入力クロック選択

ビット4	ビット2	ビット1	ビット0	説 明	
PSS	CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ( = 20MHzの場合) ( SUB = 32.768kHzの場合)
0	0	0	0	/ 2 (初期値)	25.6 μ s
			1	/ 64	819.2 μ s
		1	0	/ 128	1.6ms
			1	/ 512	6.6ms
	1	0	0	/ 2048	26.2ms
			1	/ 8192	104.9ms
		1	0	/ 32768	419.4ms
			1	/ 131072	1.68s
1	0	0	0	SUB / 2	15.6ms
			1	SUB / 4	31.3ms
		1	0	SUB / 8	62.5ms
			1	SUB / 16	125ms
	1	0	0	SUB / 32	250ms
			1	SUB / 64	500ms
		1	0	SUB / 128	1s
			1	SUB / 256	2s

【注】 \* オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

### 14.2.3 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R	R/W	R	R/W	R/W	R/W

ここではビット3のみ説明します。ウォッチドッグタイマ以外の詳細は、「3.2.2 システムコントロールレジスタ (SYSCR)」、「5.2.1 システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

#### ビット3: 外部リセット (XRST)

XRST はリセット要因を表すビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生できます。

XRST ビットはリード専用です。外部リセットにより1にセット、 $\overline{RST}/\overline{NMI}$  ビットが1のときにウォッチドッグタイマオーバフローによる内部リセットで0にクリアされます。

ビット3	説明
XRST	
0	リセットがウォッチドッグタイマのオーバフローによる内部リセットで発生
1	リセットが外部リセット入力で発生 (初期値)

### 14.2.4 レジスタアクセス時の注意

TCNT、TCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

#### (1) TCNT、TCSR へのライト (WDT0 の例)

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNTとTCSRが同一アドレスに割り当てられています。このため、図 14.2 に示すように、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

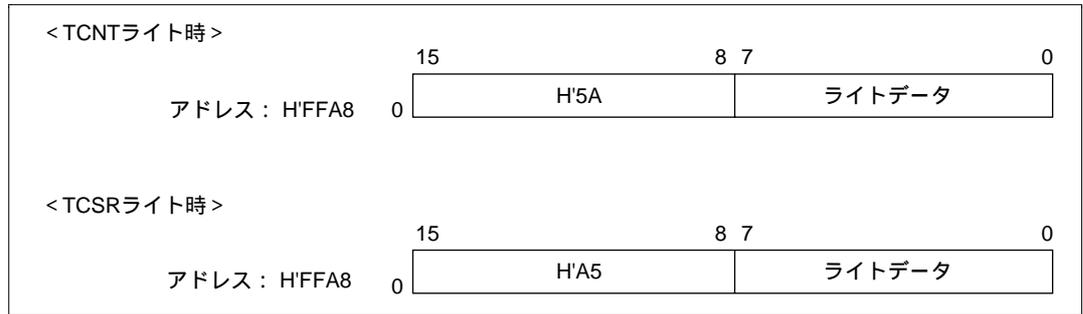


図 14.2 TCNT、TCSR へのライト (WDT0 の例)

### (2) TCNT、TCSR からのリード (WDT0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

## 14.3 動作説明

### 14.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSR の  $WT/\overline{IT}$  ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットまたは NMI 割り込み要求を発生します。

$RST/\overline{NMI}$  ビットを 1 に設定すると、カウンタオーバーフローにより 518 システムクロック (518 ) の間、本 LSI をリセットします。これを図 14.3 に示します。

$RST/\overline{NMI}$  ビットを 0 にクリアすると、カウンタオーバーフローにより NMI 割り込み要求を発生します。

ウォッチドッグタイマからの内部リセット要求と  $\overline{RES}$  端子からのリセット入力は、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。

$\overline{RES}$  端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{RES}$  端子によるリセットが優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

14. ウォッチドッグタイマ (WDT)

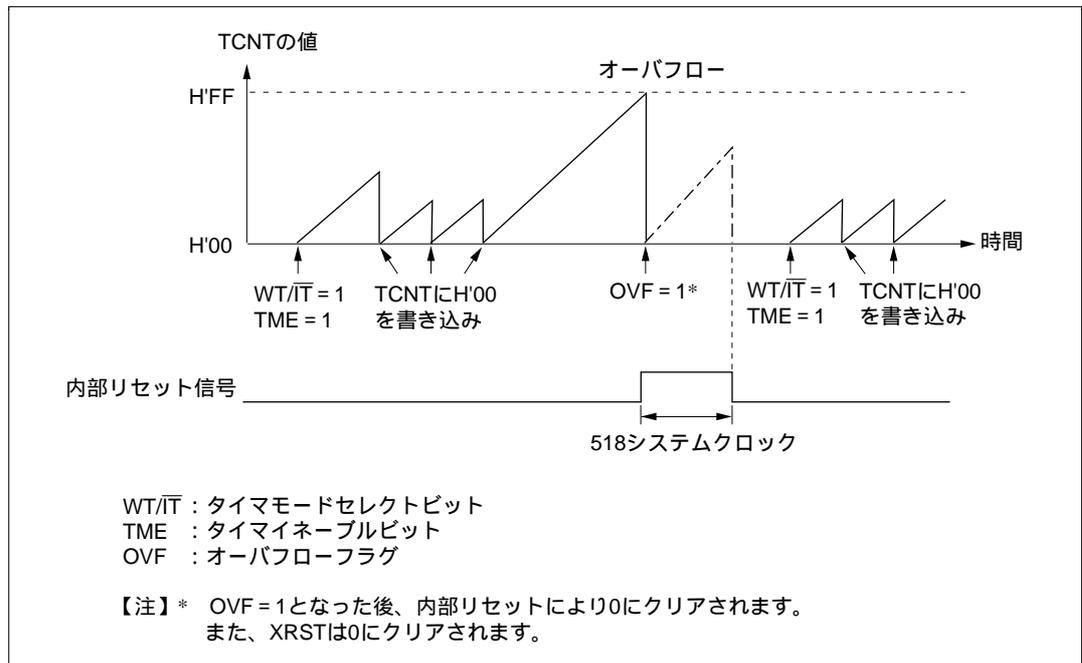


図 14.3 ウォッチドッグタイマモード時 (RST/ $\overline{\text{NMI}}$ =1) の動作

### 14.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するとき、TCSRの $WT/\overline{IT}$ ビットを0に、TMEビットを1に設定してください。インターバルタイマとして動作しているときは、図14.4に示すように、TCNTがオーバーフローするごとにインターバルタイマ割り込み(WOVI)が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

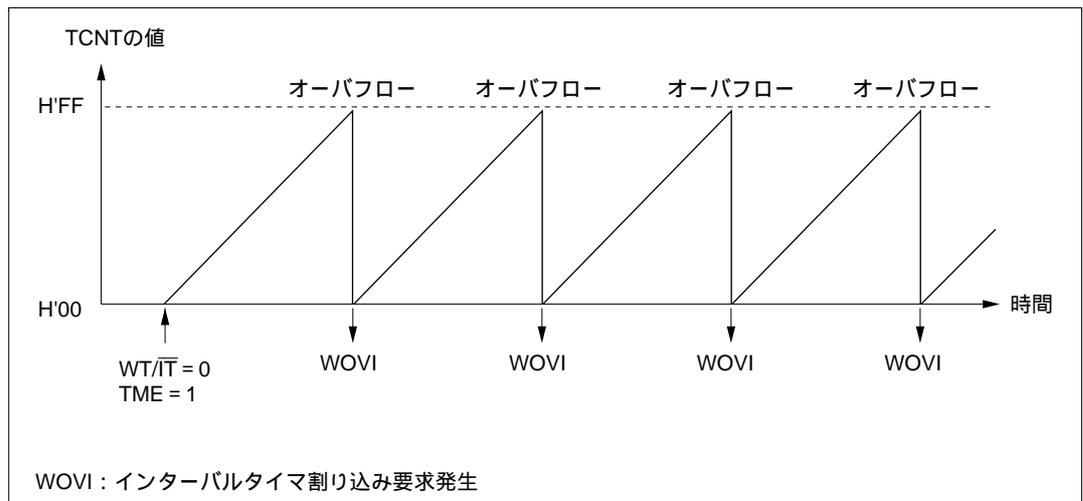


図 14.4 インターバルタイマモード時の動作

### 14.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでTCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にインターバルタイマ割り込み(WOVI)が要求されます。このタイミングを図14.5に示します。

また、ウォッチドッグタイマモードでNMI要求を選択した場合、TCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にNMI割り込みが要求されます。

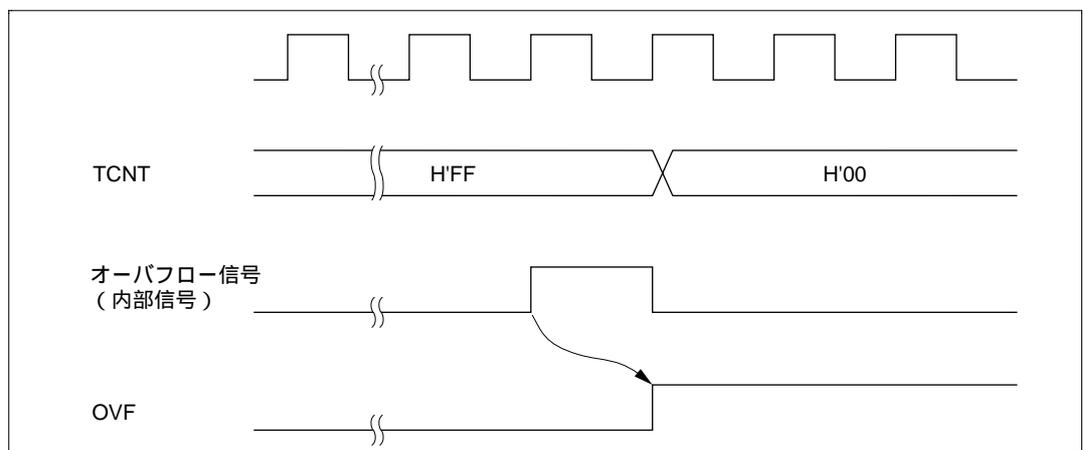


図 14.5 OVF のセットタイミング

## 14.4 割り込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時、オーバーフローにより NMI 割り込み要求が発生します。

## 14.5 使用上の注意

### 14.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.6 に示します。

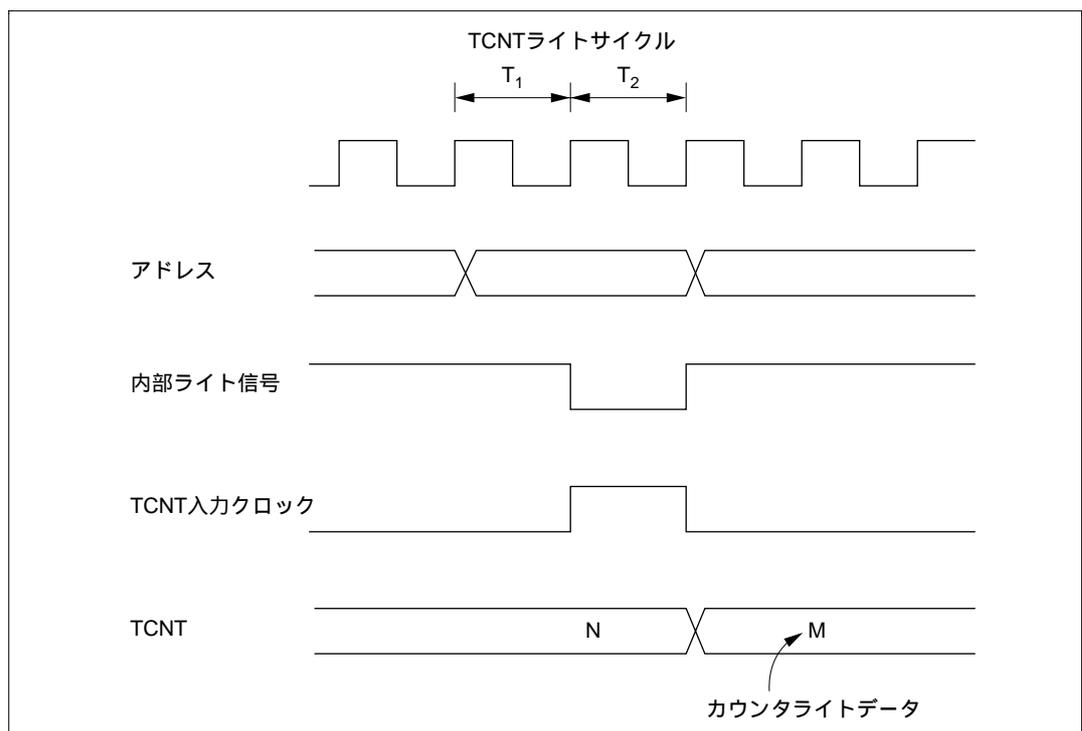


図 14.6 TCNT のライトとカウントアップの競合

### 14.5.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 14.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われないうちがあります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 14.5.4 高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値

WDT1 を時計用クロックのカウンタとして使用し、かつ高速モードとサブアクティブモード間、あるいは高速モードとウォッチモード間を遷移する場合には、内部クロックの切り替えにともなうカウンタ値のずれが生じます、

高速モードからサブアクティブモードあるいはウォッチモードへの遷移時には WDT1 の制御クロックがメインクロックからサブクロックに切り替わるタイミングで約 2~3 クロックサイクル分カウントアップタイミングが遅くなります。

また、サブクロック動作時にはメインクロック発振器がストップするため、ウォッチモードまたはサブアクティブモードから高速モードへ遷移するとき、内部発振が安定するまでの期間、クロックは供給されなくなります。このため、発振を開始し SBYCR の STS2 ~ STS0 ビットで設定された発振安定待機時間はカウントアップを停止し、この期間分のカウンタ値のずれが生じます。

WDT1 を時間用クロックのカウンタとして使用するときは注意してください。

なお、同じモード内で動作している間はカウンタ値のずれは発生しません。

### 14.5.5 OVF フラグのクリア

インターバルタイマ割り込みルーチン内では、OVF フラグのクリア条件にあるとおり、OVF=1 の状態で TCSR をリード後、OVF に 0 をライトすることで OVF フラグをクリアすることができます。

しかし、インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合、OVF フラグのセットされるタイミングと、OVF フラグをリードするタイミングが競合したとき、OVF=1 をリードしたにもかかわらず、OVF=1 をリードしたことを認識しないことがあります。

この場合、OVF=1 の状態を 2 回以上リードすることにより、OVF フラグのクリア条件を確実に満たすことができますので、前途の例のように、OVF=1 の状態を 2 回以上リードしてから OVF フラグをクリアするようにしてください。



---

# 15. シリアルコミュニケーション インタフェース (SCI)

---

## 第 15 章 目次

15.1	概要	391
15.1.1	特長	391
15.1.2	ブロック図	392
15.1.3	端子構成	394
15.1.4	レジスタ構成	395
15.2	各レジスタの説明	396
15.2.1	レシーブシフトレジスタ (RSR)	396
15.2.2	レシーブデータレジスタ (RDR)	396
15.2.3	トランスミットシフトレジスタ (TSR)	397
15.2.4	トランスミットデータレジスタ (TDR)	397
15.2.5	シリアルモードレジスタ (SMR)	398
15.2.6	シリアルコントロールレジスタ (SCR)	401
15.2.7	シリアルステータスレジスタ (SSR)	405
15.2.8	ビットレートレジスタ (BRR)	409
15.2.9	シリアルインタフェースモードレジスタ (SCMR)	418
15.2.10	モジュールストップコントロールレジスタ (MSTPCR)	420
15.3	動作説明	421
15.3.1	概要	421
15.3.2	調歩同期式モード時の動作	423
15.3.3	マルチプロセッサ通信機能	434
15.3.4	クロック同期式モード時の動作	441
15.4	SCI 割り込み	450
15.5	使用上の注意	451



## 15.1 概要

本 LSI は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

### 15.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

#### (a) 調歩同期式モード

- ・キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行  
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- ・複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- ・シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
 

データ長	: 7 ビット / 8 ビット
ストップビット長	: 1 ビット / 2 ビット
パリティ	: 偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット	: 1 / 0
- ・受信エラーの検出: パリティエラー、オーバランエラー、フレーミングエラー
- ・ブレークの検出: フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

#### (b) クロック同期式モード

- ・クロックに同期してシリアルデータ通信を実行  
クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- ・シリアルデータ通信フォーマットは 1 種類
 

データ長	: 8 ビット
------	---------
- ・受信エラーの検出: オーバランエラーを検出

全二重通信が可能

- ・独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- ・送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

LSB ファースト方式 / MSB ファースト方式の選択が可能

- ・通信モードによらず (調歩同期式モード7ビットデータの場合を除く) 選択可能\*

【注】 \* 本章では、LSB ファースト方式の例を説明しています。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

送受信クロックを出力可能

- ・P86/SCK1 端子、P42/SCK2 端子は CMOS 出力

- ・P52/SCK0 端子は NMOS プッシュプル出力

(出力で使用する場合は、High レベルを出力するために必ず外部にプルアップ MOS を接続してください。)

4 種類の割り込み要因

- ・送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求可能
- ・送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントローラ (DTC) を起動させてデータ転送を実行可能

## 15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

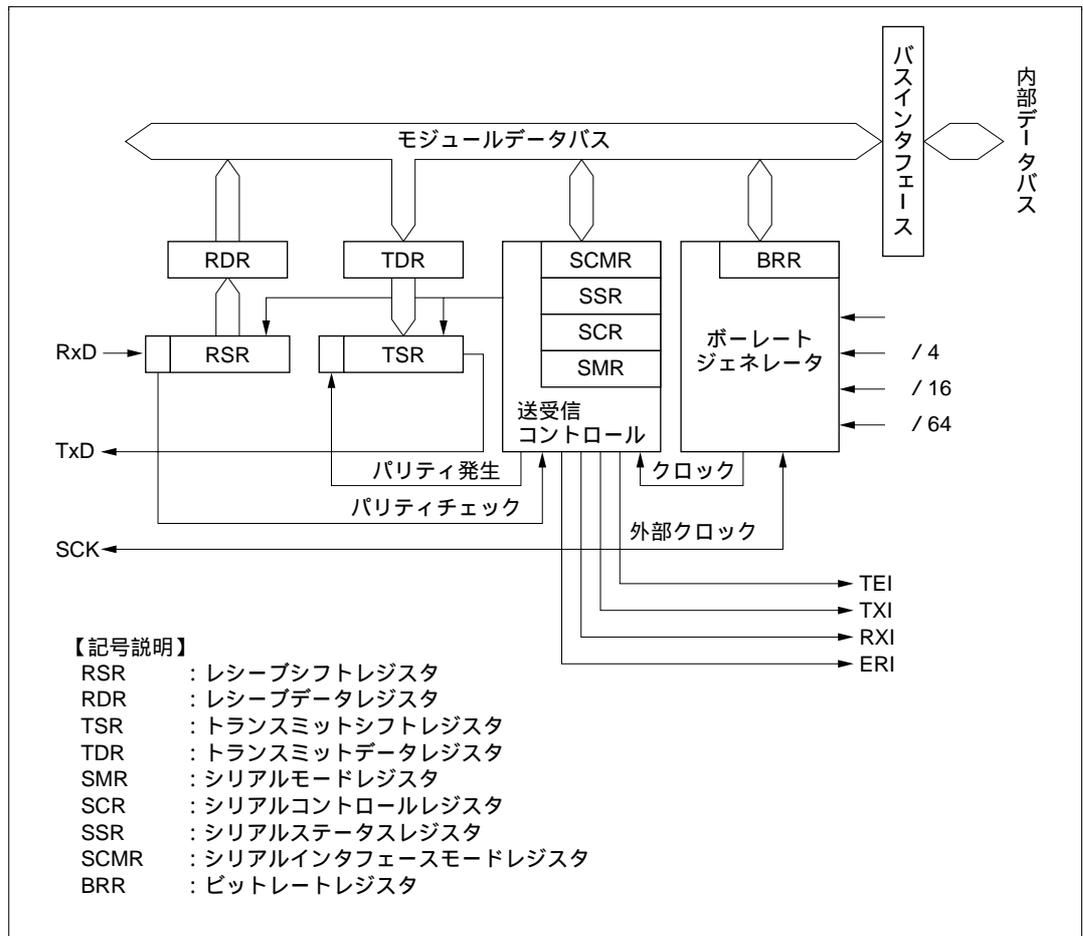


図 15.1 SCI のブロック図

### 15.1.3 端子構成

SCI は、表 15.1 に示すシリアル端子を持っています。

表 15.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力

【注】 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

### 15.1.4 レジスタ構成

SCI には、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 15.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FFD8* <sup>3</sup>
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FFD9* <sup>3</sup>
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FFDA
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FFDB
	シリアルステータスレジスタ 0	SSR0	R/(W)* <sup>2</sup>	H'84	H'FFDC
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FFDD
	シリアルインタフェースモードレジスタ 0	SCMR0	R/W	H'F2	H'FFDE* <sup>3</sup>
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF88* <sup>3</sup>
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF89* <sup>3</sup>
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 1	SSR1	R/(W)* <sup>2</sup>	H'84	H'FF8C
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF8D
	シリアルインタフェースモードレジスタ 1	SCMR1	R/W	H'F2	H'FF8E* <sup>3</sup>
共通	モジュールストップ コントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
		MSTPCRL	R/W	H'FF	H'FF87

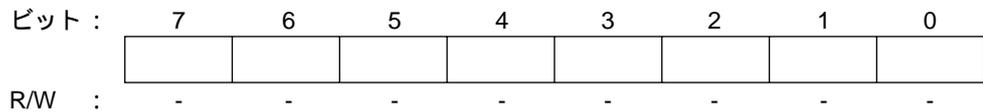
【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 フラグをクリアするための 0 ライトのみ可能です。

\*3 シリアルコミュニケーションインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。

## 15.2 各レジスタの説明

### 15.2.1 レシーブシフトレジスタ (RSR)

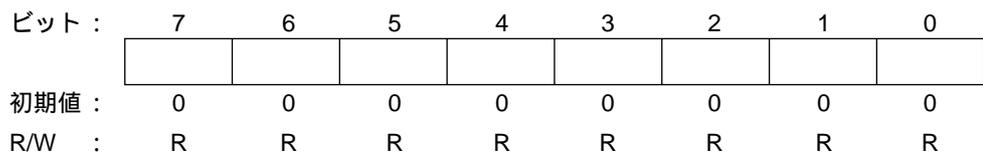


RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

### 15.2.2 レシーブデータレジスタ (RDR)



RDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタです。CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

### 15.2.3 トランスミットシフトレジスタ (TSR)

ビット :	7	6	5	4	3	2	1	0
R/W :	-	-	-	-	-	-	-	-

TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

### 15.2.4 トランスミットデータレジスタ (TDR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

## 15.2.5 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット 7 : コミュニケーションモード (C/ $\bar{A}$ )

SCI の動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ $\bar{A}$	
0	調歩同期式モード (初期値)
1	クロック同期式モード

## ビット 6 : キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 \* 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。  
また、LSB ファースト/MSB ファーストの選択はできません。

## ビット5 : パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードおよびマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 \* PE ビットに 1 をセットすると送信時には、 $O/\bar{E}$  ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが  $O/\bar{E}$  ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4 : パリティモード ( $O/\bar{E}$ )

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。

$O/\bar{E}$  ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合、およびマルチプロセッサフォーマットでは、 $O/\bar{E}$  ビットの指定は無効です。

ビット4	説明
$O/\bar{E}$	
0	偶数パリティ* <sup>1</sup> (初期値)
1	奇数パリティ* <sup>2</sup>

【注】 \*<sup>1</sup> 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

## ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット* <sup>1</sup> (初期値)
1	2ストップビット* <sup>2</sup>

【注】 \*1 送信時には、送信キャラクタの最後尾に1ビットの1 (ストップビット) を付加して送信します。

\*2 送信時には、送信キャラクタの最後尾に2ビットの1 (ストップビット) を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

## ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、および $O\bar{E}$ ビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「15.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定により、 $\times$  / 4、 $\times$  / 16、 $\times$  / 64の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「15.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	クロック (初期値)
	1	/ 4クロック
1	0	/ 16クロック
	1	/ 64クロック

## 15.2.6 シリアルコントロールレジスタ (SCR)

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCRは、SCIの送信/受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCRは、常にCPUによるリード/ライトが可能です。

SCRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'00に初期化されます。

ビット7：トランスミットインタラプトイネーブル (TIE)

TDRからTSRへシリアル送信データが転送されSSRのTDREフラグが1にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット7	説 明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 \* TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル (RIE)

シリアル受信データがRSRからRDRへ転送されてSSRのRDRFフラグが1にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 \* RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

ビット5：トランスミットイネーブル (TE)

SCIのシリアル送信動作の開始を許可または禁止します。

ビット5	説明
TE	
0	送信動作を禁止* <sup>1</sup> (初期値)
1	送信動作を許可* <sup>2</sup>

【注】 \*<sup>1</sup> SSRのTDREフラグは1に固定されます。

\*<sup>2</sup> この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。

なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

## ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット4	説明
RE	
0	受信動作を禁止* <sup>1</sup> (初期値)
1	受信動作を許可* <sup>2</sup>

【注】 \*1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

\*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

## ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の実受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 \* MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

## ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット2	説明	
TEIE		
0	送信終了割り込み (TEI) 要求を禁止*	(初期値)
1	送信終了割り込み (TEI) 要求を許可*	

【注】 \* TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

## ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) の時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを決定する前に、CKE1、CKE0 の設定を行ってください。

SCI のクロックソースの選択についての詳細は「15.3 動作説明」の表 15.9 を参照してください。

ビット1	ビット0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート* <sup>1</sup>
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力* <sup>1</sup>
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* <sup>2</sup>
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* <sup>3</sup>
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* <sup>3</sup>
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 \*1 初期値

\*2 ビットレートと同じ周波数のクロックを出力

\*3 ビットレートの 16 倍の周波数のクロックを入力

## 15.2.7 シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグおよびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'84に初期化されます。

## ビット7: トランスミットデータレジスタエンプティ (TDRE)

TDRからTSRにデータ転送が行われ、TDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI 割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (初期値) (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) RXI 割り込み要求による DTC で RDR のデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。  
RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	[クリア条件] (初期値)* <sup>1</sup> ORER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき* <sup>2</sup>

【注】 \*1 SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

\*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

## ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	[クリア条件] (初期値)* <sup>1</sup> FER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき* <sup>2</sup>

【注】 \*1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

\*2 2ストップビットモードのときは、1ビット目のストップビットのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

## ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	[クリア条件] (初期値)* <sup>1</sup> PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/ $\bar{E}$ ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき* <sup>2</sup>

【注】 \*1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

\*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用です。ライトは無効です。

ビット2	説明
TEND	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット1	説明
MPB	
0	[クリア条件] (初期値)* マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

【注】 \* マルチプロセッサフォーマットで SCR の RE ビットを0にクリアしたときには、以前の状態を保持します。

**ビット0：マルチプロセッサビットトランスファ (MPBT)**

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットではないとき、あるいは送信でないとき、およびクロック同期式モードにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信したとき (初期値)
1	マルチプロセッサビットが1のデータを送信したとき

**15.2.8 ビットレートレジスタ (BRR)**

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 15.3 に調歩同期式モードの BRR の設定例を表 15.4 にクロック同期式モードの BRR の設定例を示します。

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕

ビットレート (bit/s)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

ビットレート (bit/s)	動作周波数 (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

15. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bit/s)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	動作周波数 (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

表 15.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	動作周波数 (MHz)											
	2		4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-								
250	2	124	2	249	3	124	-	-	3	249		
500	1	249	2	124	2	249	-	-	3	124	-	-
1k	1	124	1	249	2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	9
1M			0	0*	0	1			0	3	0	4
2.5M							0	0*			0	1
5M											0	0*

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

\* : 連続送信 / 受信はできません。

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{\text{動作周波数} \times 10^6 - 1}{64 \times 2^{2n-1} \times B}$$

クロック同期式モード

$$N = \frac{\text{動作周波数} \times 10^6 - 1}{8 \times 2^{2n-1} \times B}$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

: 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0 ~ 3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/ 4	0	1
2	/ 16	1	0
3	/ 64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\text{動作周波数} \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6、表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 各周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

## 15.2.9 シリアルインタフェースモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、8 ビットのリード/ライト可能なレジスタで、SCI の機能の選択を行います。

SCMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、HF2 に初期化されます。

ビット7~4 : リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット3 : データトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

ビット2 : データインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR の  $O/\bar{E}$  ビットを反転する必要があります。

ビット2	説明
SINV	
0	TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

## ビット1：リザーブビット

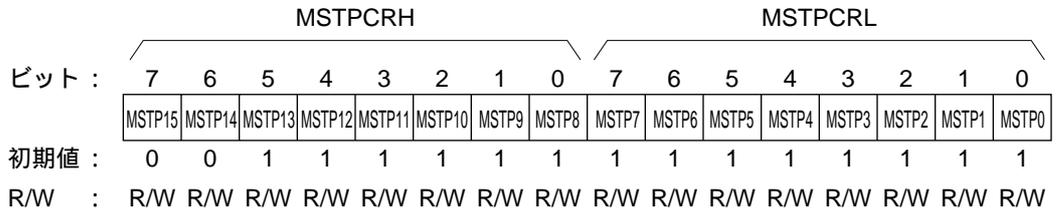
リードすると常に1が読み出されます。ライトは無効です。

## ビット0：シリアルコミュニケーションインタフェースモードセレクト (SMIF)

リザーブビットです。1をライトしないでください。

ビット0	説 明
SMIF	
0	通常 SCI モード (初期値)
1	リザーブモード

### 15.2.10 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP7ビット、MSTP6ビットを1にセットすると、バスサイクルの終了時点でSCI0、SCI1はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット7：モジュールストップ (MSTP7)

SCI0のモジュールストップモードを指定します。

MSTPCRL ビット7	説 明
MSTP7	
0	SCI0のモジュールストップモード解除
1	SCI0のモジュールストップモード設定 (初期値)

#### ビット6：モジュールストップ (MSTP6)

SCI1のモジュールストップモードを指定します。

MSTPCRL ビット6	説 明
MSTP6	
0	SCI1のモジュールストップモード解除
1	SCI1のモジュールストップモード設定 (初期値)

## 15.3 動作説明

### 15.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 15.8 に示します。また、SCI のクロックソースは、SMR の  $C\bar{A}$  ビットおよび SCR の CKE1、CKE0 ビットの組み合わせでまります。これを表 15.9 に示します。

#### (1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能

(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- ・内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能

- ・外部クロックを選択した場合：

ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

#### (2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- ・内部クロックを選択した場合：

SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

- ・外部クロックを選択した場合：

内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 15.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット								
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長					
C/ $\bar{A}$	CHR	MP	PE	STOP										
0	0	0	0	0	調歩同期式	8ビット データ	なし	なし	1ビット					
				1	モード				2ビット					
			1	0					0	あり	1ビット			
				1					2ビット					
			1	0	0				0		7ビット データ	なし	なし	1ビット
									1					2ビット
	1	0	1	-	0	調歩同期式	8ビット データ	あり	なし	1ビット				
				-	1	モード				2ビット				
	1	1	-	-	0	(マルチプロセッサフォーマット)	7ビット データ	なし	なし	1ビット				
				-	1					2ビット				
	1	-	-	-	-	クロック同期式モード	8ビット データ	なし	なし	なし				

表 15.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
ビット 7	ビット 1	ビット 0		クロック ソース	SCK 端子の機能
C/ $\bar{A}$	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

### 15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

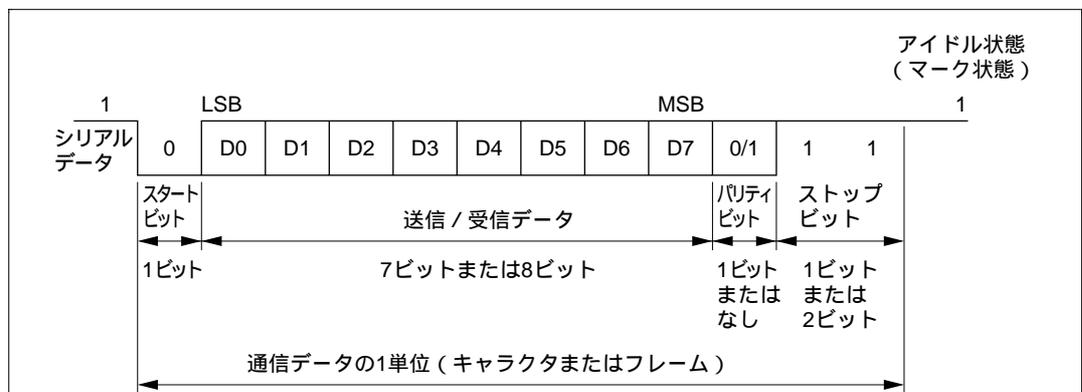


図 15.2 調歩同期式通信のデータフォーマット

(8ビットデータ/パリティあり/2ストップビットの例)

#### (1) 送信/受信フォーマット

調歩同期式モードで設定できる送信/受信フォーマットを、表 15.10 に示します。

送信/受信フォーマットは12種類あり、SMRの選定により選択できます。

表 15.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

## (2) クロック

SCI の送受信クロックは、SMR の  $C/\bar{A}$  ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 15.3 に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

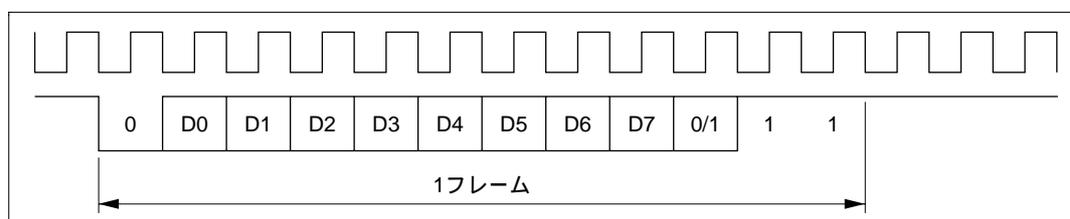


図 15.3 出力クロックと通信データの位相関係 (調歩同期式モード)

## (3) データの送信 / 受信動作

### (a) SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 15.4 に SCI の初期化フローチャートの例を示します。

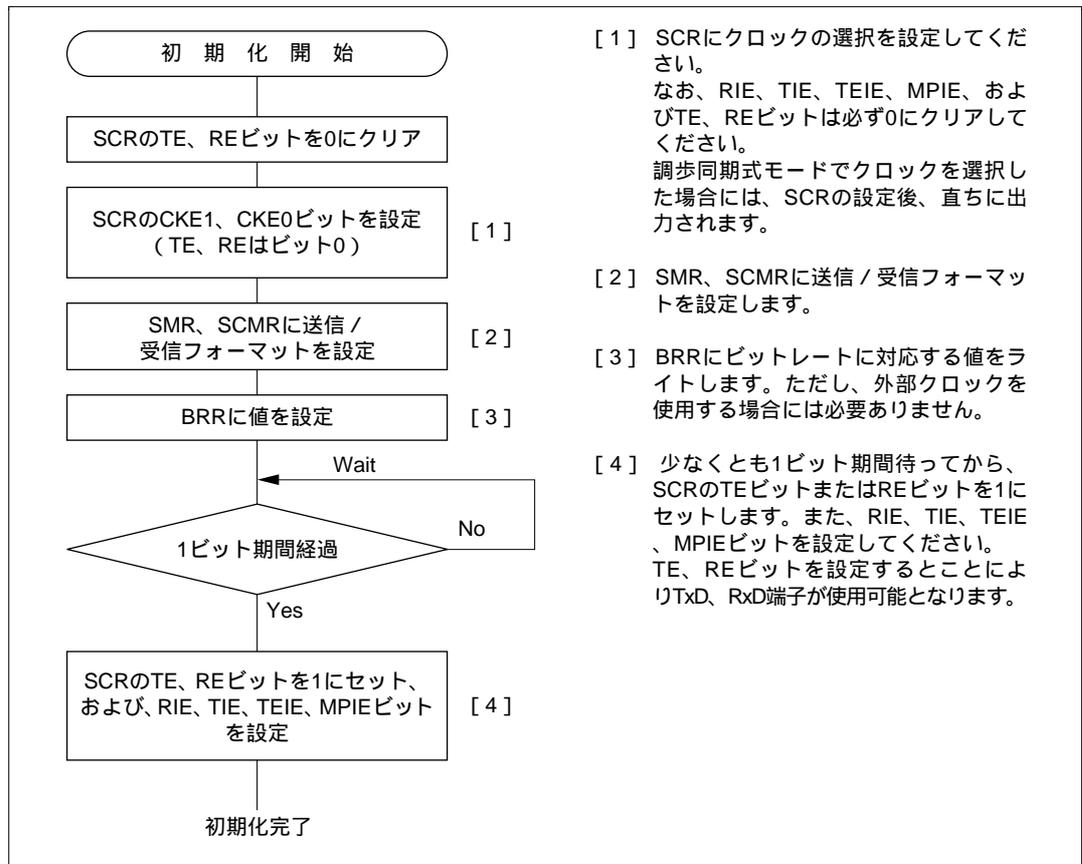


図 15.4 SCI の初期化フローチャートの例

## (b) シリアルデータ送信 (調歩同期式)

図 15.5 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

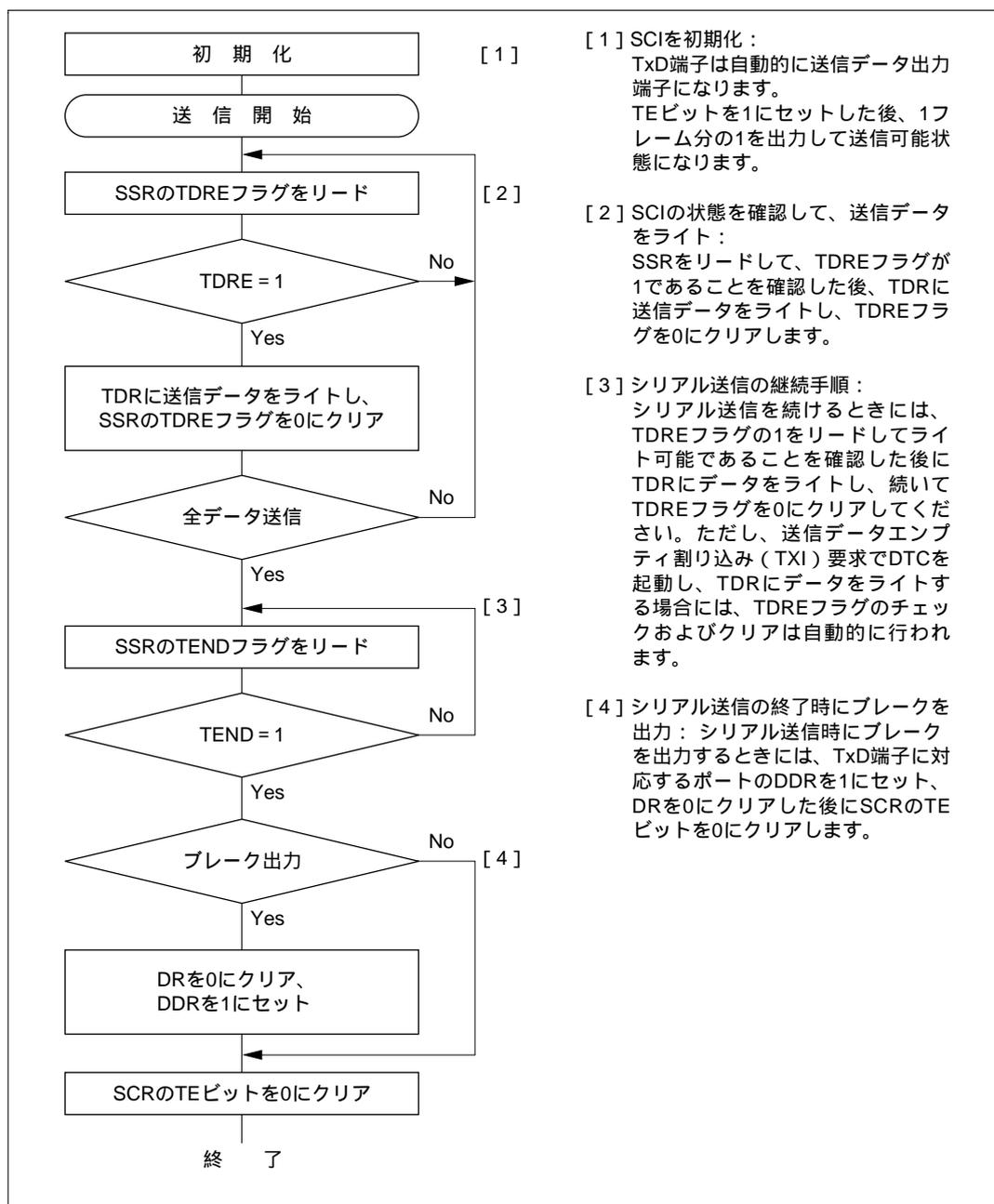


図 15.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [ 1 ] SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。
- [ 2 ] TDR から TSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。  
このとき、SCR の TIE ビットが 1 にセットされていると送信データエンブティ割り込み (TXI) 要求を発生します。  
シリアル送信データは、以下の順に TxD 端子から送り出されます。
  - [ a ] スタートビット：  
1 ビットの 0 が出力されます。
  - [ b ] 送信データ：  
8 ビット、または 7 ビットのデータが LSB から順に出力されます。
  - [ c ] パリティビットまたはマルチプロセッサビット：  
1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。  
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
  - [ d ] ストップビット：  
1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
  - [ e ] マーク状態：  
次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- [ 3 ] SCI は、ストップビットを送出するタイミングで TDRE フラグをチェックします。  
TDRE フラグが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
TDRE フラグが 1 であると SSR の TEND フラグに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると TEI 割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 15.6 に示します。

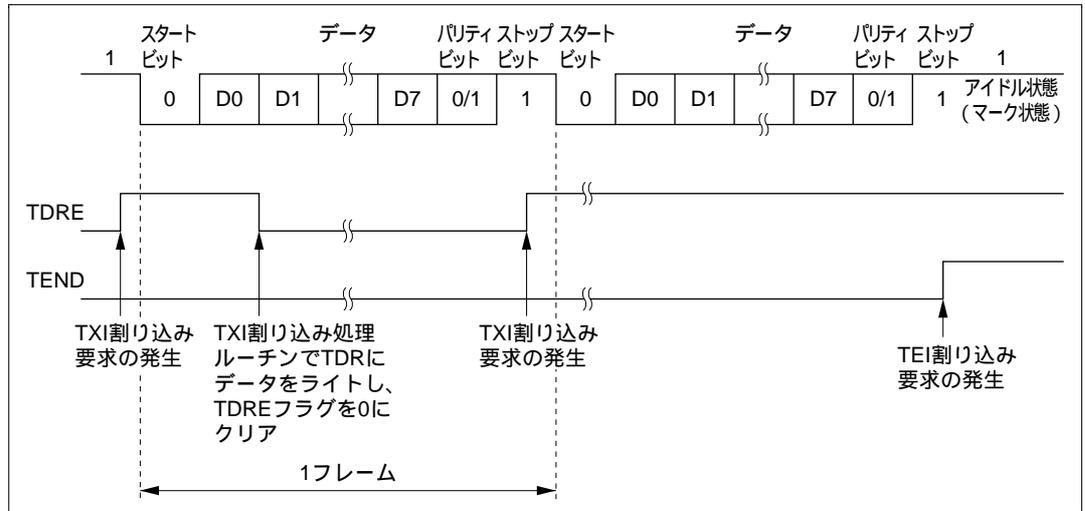


図 15.6 調歩同期式モードでの送信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 15.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

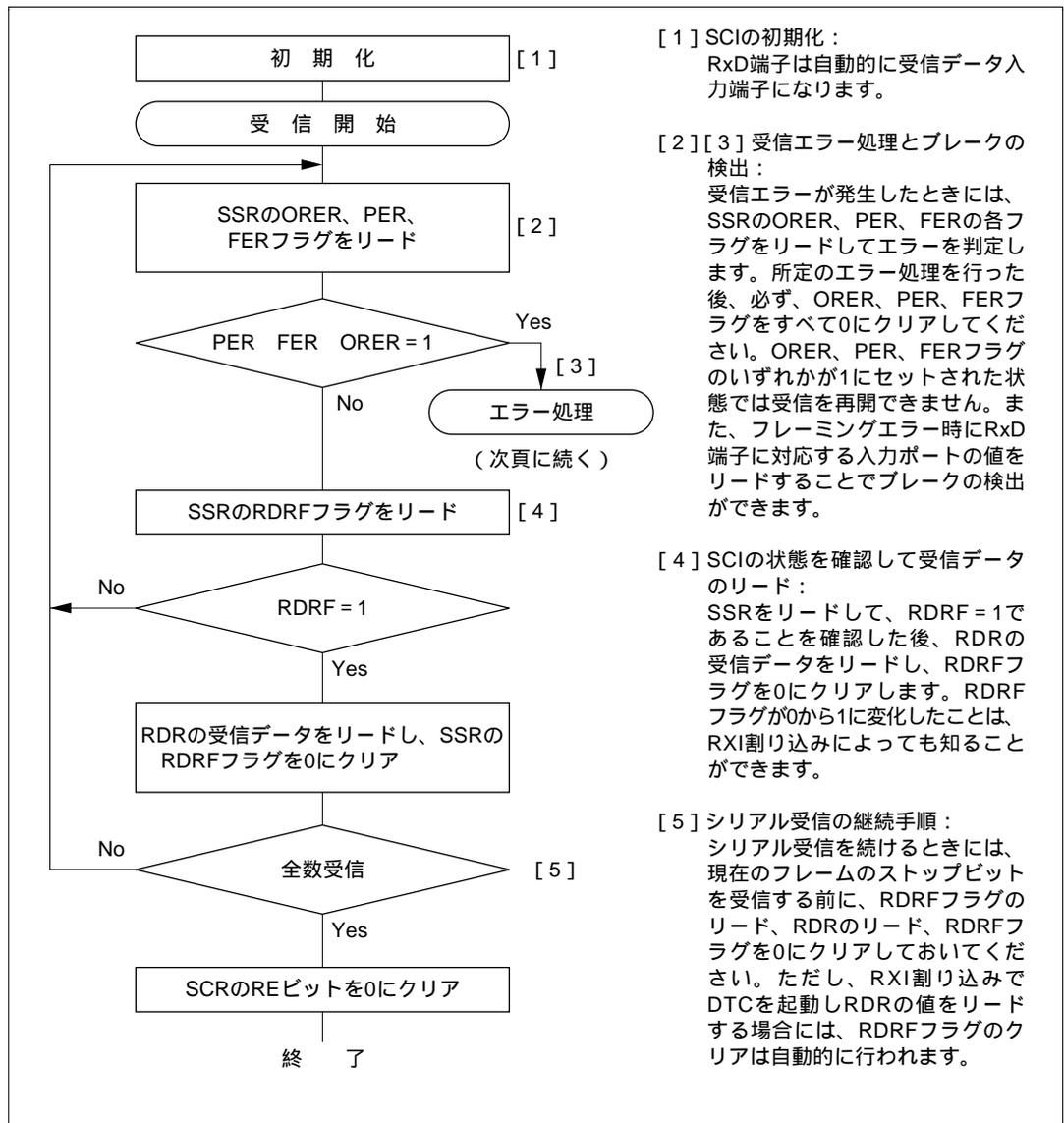


図 15.7 シリアル受信データフローチャートの例 ( 1 )

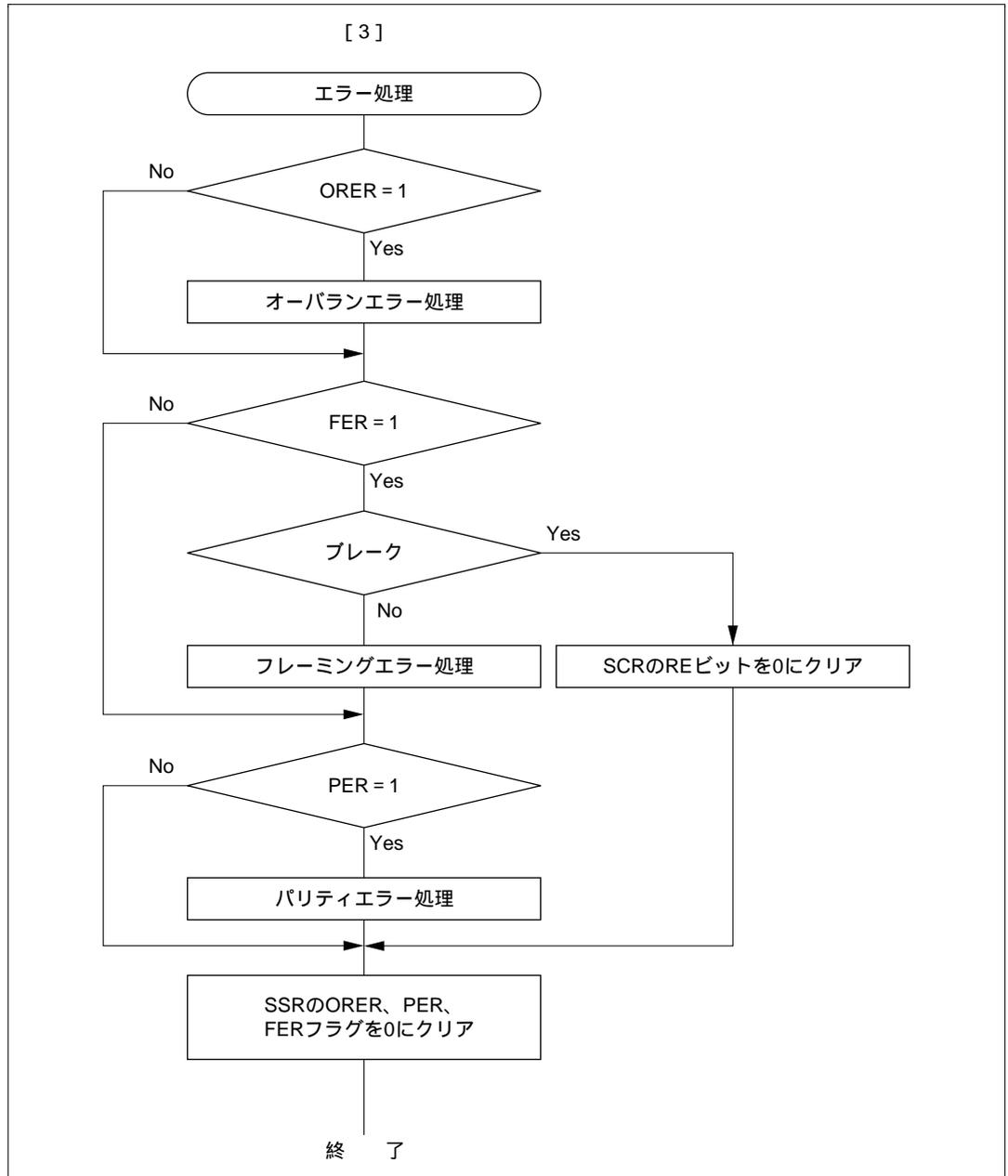


図 15.7 シリアル受信データフローチャートの例 (2)

SCI は受信時に以下のように動作します。

[1] SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。

[2] 受信したデータを RSR の LSB から MSB の順に格納します。

[3] パリティビットおよびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

[a] パリティチェック：

受信データの 1 の数をチェックし、これが SMR の  $O\bar{E}$  ビットで設定した偶数 / 奇数パリティになっているかをチェックします。

[b] ストップビットチェック：

ストップビットが 1 であるかをチェックします。

ただし、2 ストップビットの場合、1 ビット目のみをチェックします。

[c] ステータスチェック：

RDRF フラグが 0 であり、受信データを RSR から RDR に転送できる状態であることをチェックします。

以上のチェックをすべて満足したとき、RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー\*を発生すると表 15.11 のように動作します。

【注】 \* 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

[4] RDRF フラグが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求を発生します。

また、ORER、PER、FER フラグのいずれかが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 15.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 15.8 に示します。

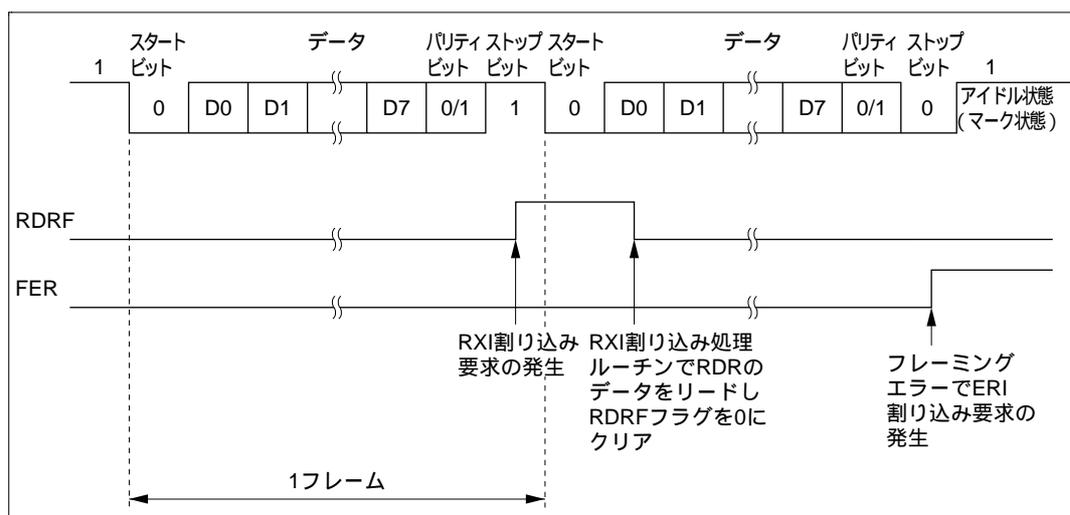


図 15.8 SCI の受信時の動作例

(8 ビットデータ / パリティあり / 1 ストップビットの例)

### 15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの2つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

#### (1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 15.10 を参照してください。

#### (2) クロック

調歩同期式モードの項を参照してください。

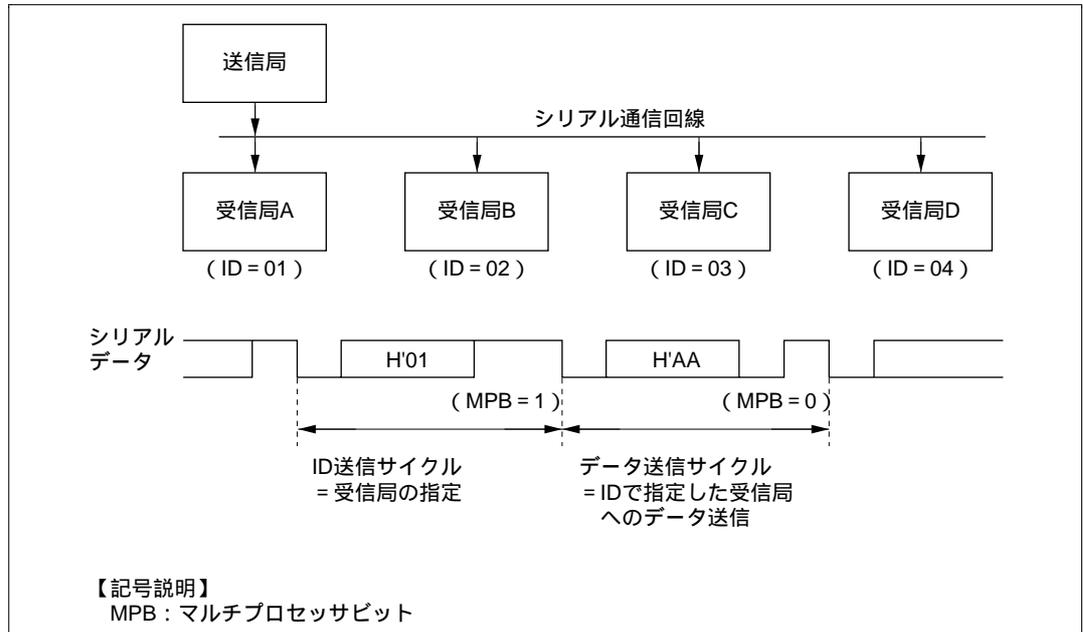


図 15.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H'AA の送信の例)

### (3) データの送信 / 受信動作

#### (a) マルチプロセッサシリアルデータ送信

図 15.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。  
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

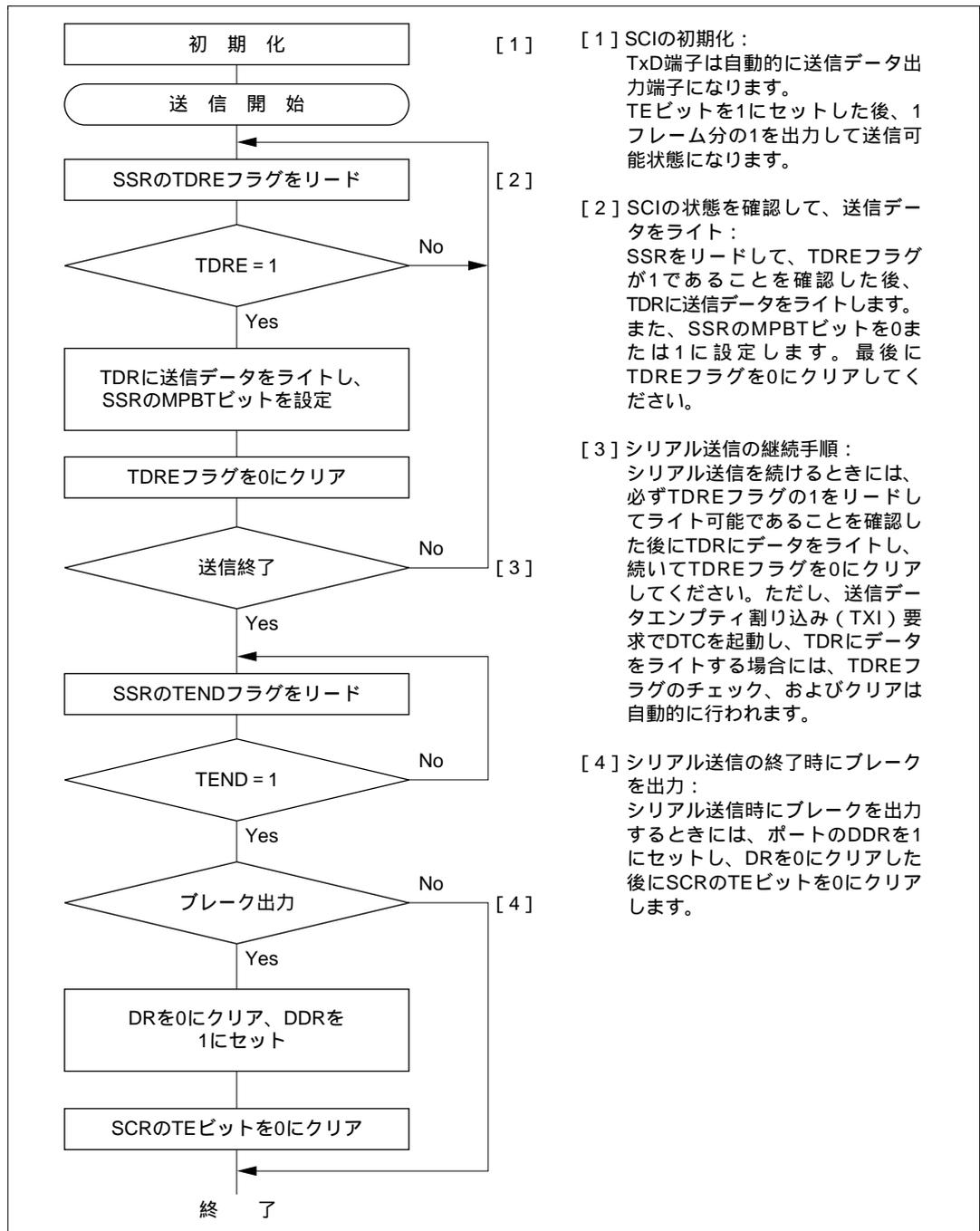


図 15.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- [ 1 ] SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。
- [ 2 ] TDR から TSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。  
このとき、SCR の TIE ビットが 1 にセットされていると送信データエンブティ割り込み (TXI) 要求を発生します。  
シリアル送信データは、以下の順に TxD 端子から送り出されます。
  - [ a ] スタートビット：  
1 ビットの 0 が出力されます。
  - [ b ] 送信データ：  
8 ビット / 7 ビットのデータが LSB から順に出力されます。
  - [ c ] マルチプロセッサビット：  
1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
  - [ d ] ストップビット：  
1 ビット / 2 ビットの 1 (ストップビット) が出力されます。
  - [ e ] マーク状態：  
次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- [ 3 ] SCI は、ストップビットを送り出すタイミングで TDRE フラグをチェックします。  
TDRE フラグが 0 であると TDR から TSR にデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。  
TDRE フラグが 1 であると SSR の TEND フラグを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCR の TEIE ビットが 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 15.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

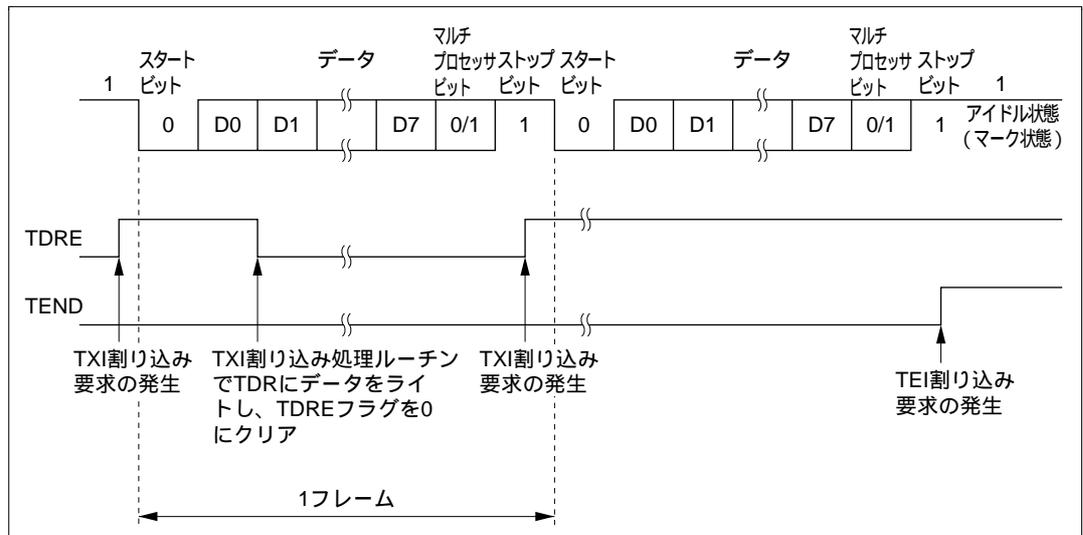


図 15.11 SCI の送信時の動作例  
 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 15.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。  
 マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

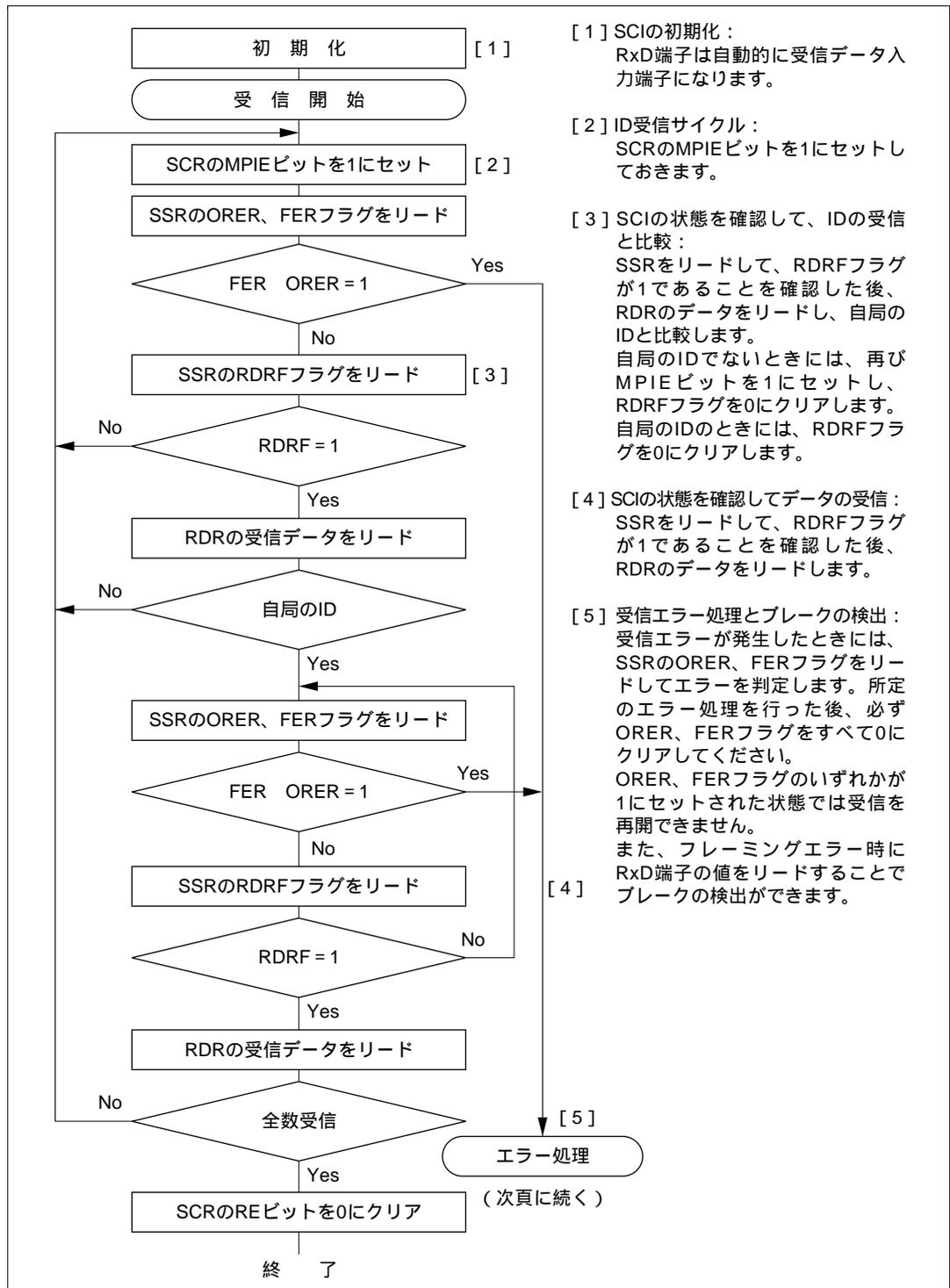


図 15.12 マルチプロセッサシリアル受信のフローチャートの例 ( 1 )

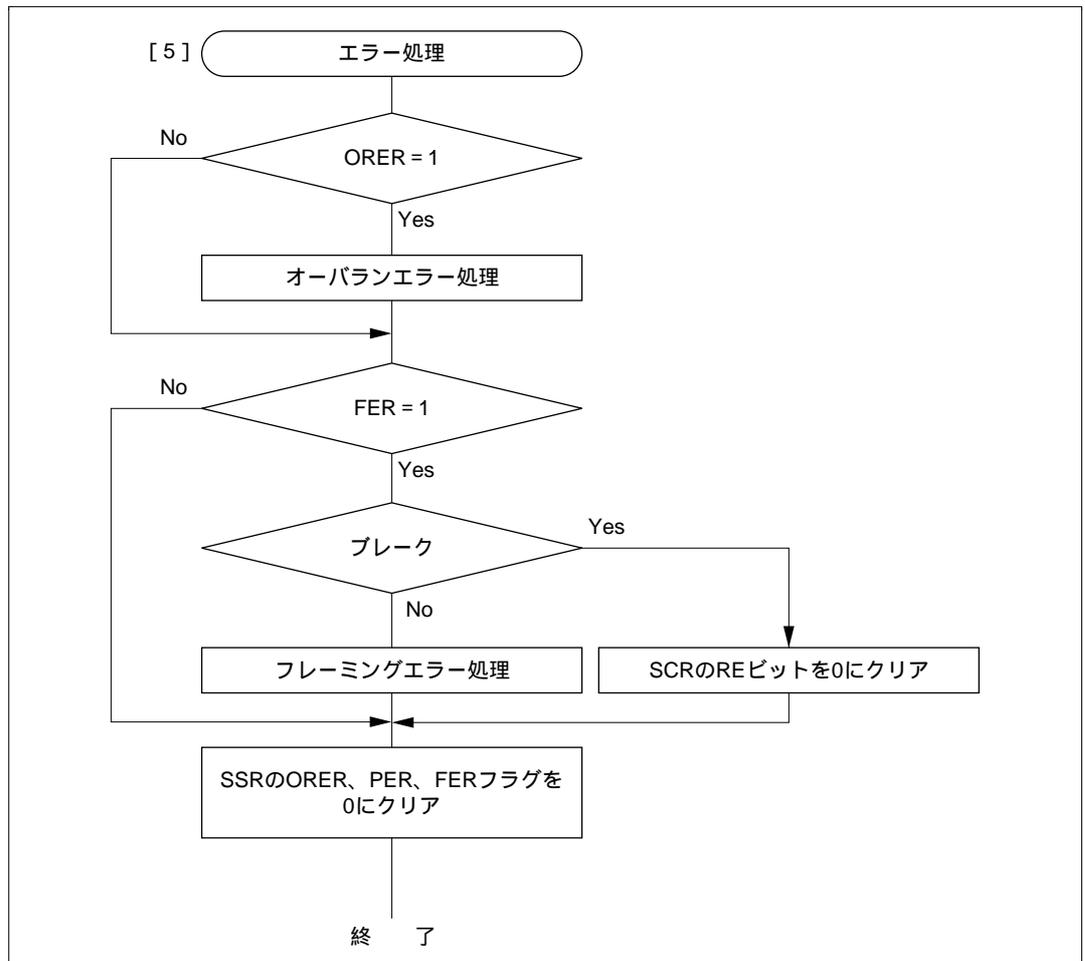


図 15.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 15.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

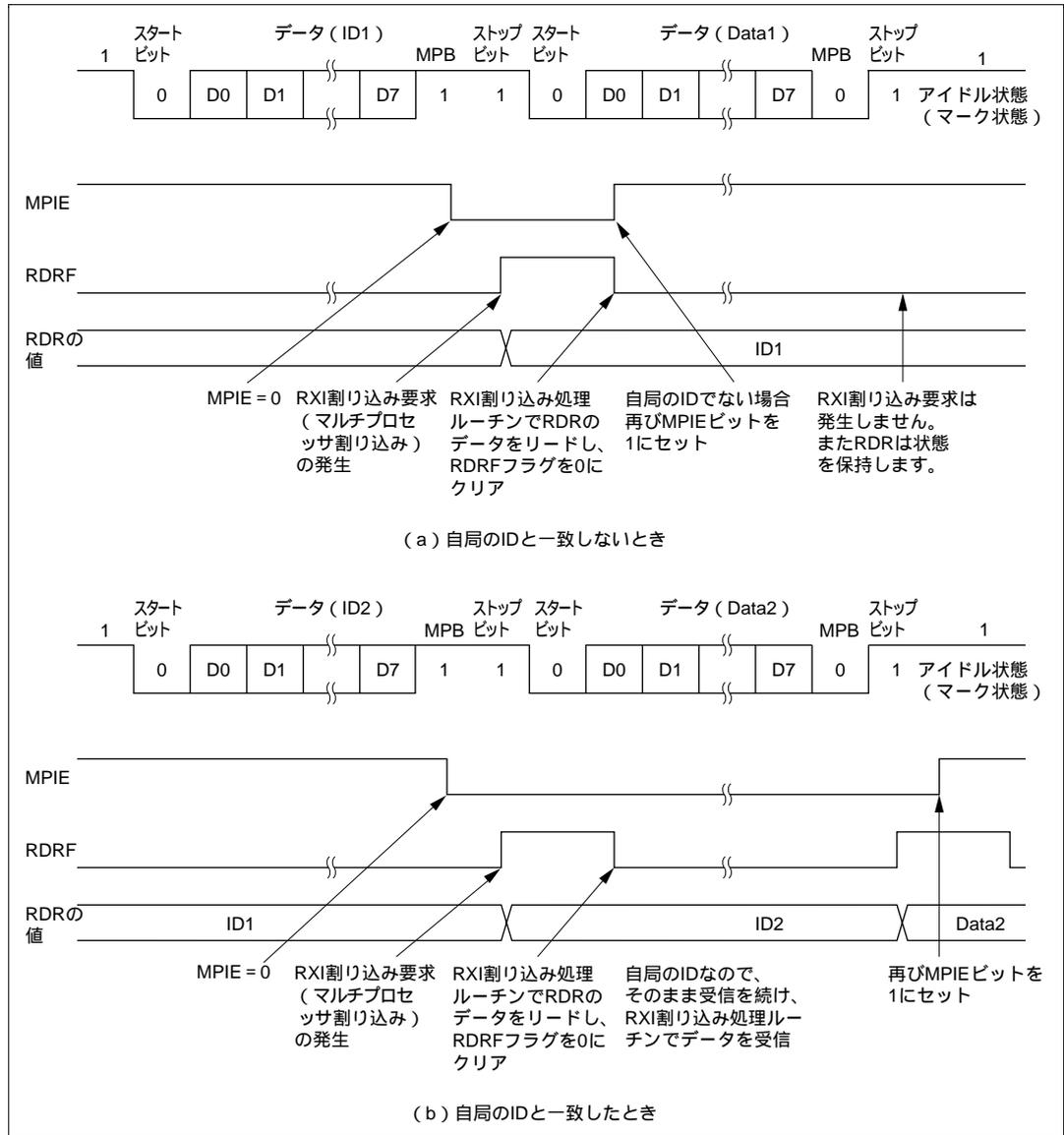


図 15.13 SCI の受信時の動作例

(8ビットデータ / マルチプロセッサビットあり / 1ストップビットの例)

### 15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信および受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.14 に示します。

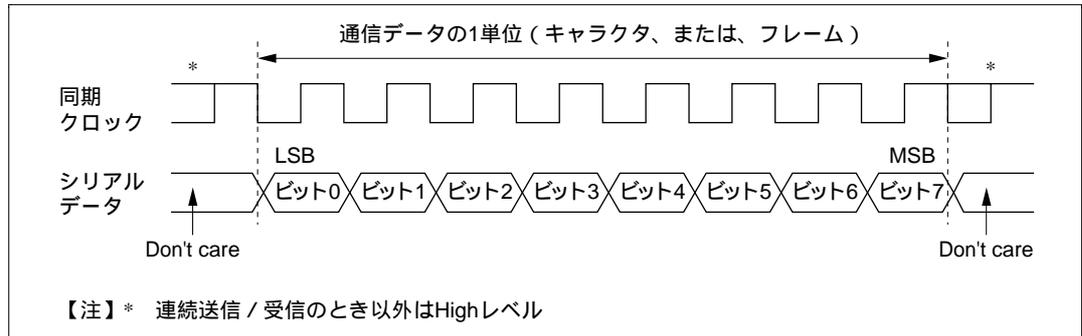


図 15.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

### (1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

### (2) クロック

SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表15.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

## (3) データの送信 / 受信動作

## (a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 15.15 に SCI の初期化フローチャートの例を示します。

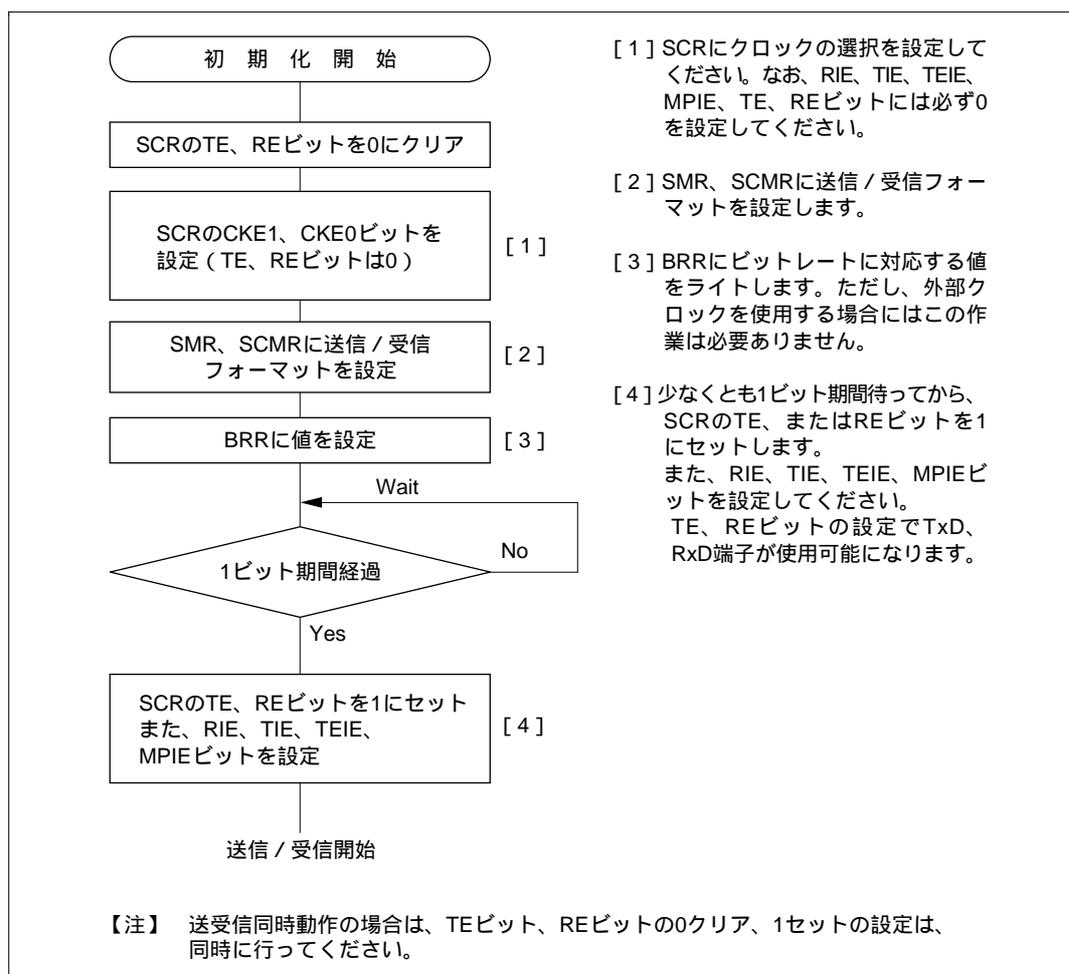


図 15.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 15.16 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

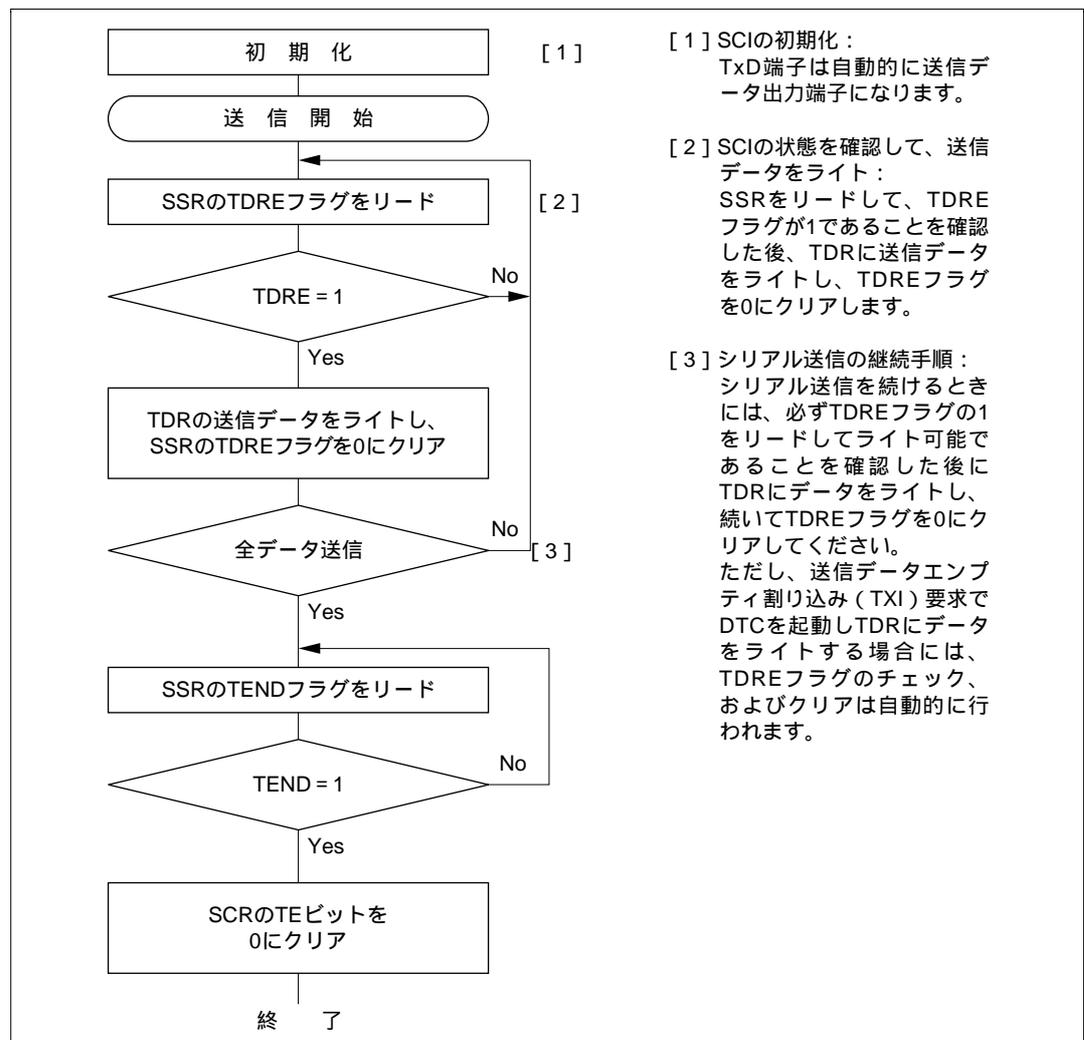


図 15.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [ 1 ] SCI は、SSR の TDRE フラグを監視し、0 であると TDR にデータがライトされたと認識し、TDR から TSR にデータを転送します。
- [ 2 ] TDR から TSR へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。このとき、SCR の TIE ビットが 1 にセットされていると送信データエンブティ割り込み (TXI) 要求を発生します。  
クロック出力モードに設定したときには、SCI は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット 0) から MSB (ビット 7) の順に TxD 端子から送り出されます。
- [ 3 ] SCI は、MSB (ビット 7) を送り出すタイミングで TDRE フラグをチェックします。TDRE フラグが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。  
TDRE フラグが 1 であると SSR の TEND フラグを 1 にセットし、MSB (ビット 7) を送り出した後、TxD 端子は状態を保持します。  
このとき SCR の TEIE ビットが 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。
- [ 4 ] シリアル送信終了後は、SCK 端子は固定になります。

図 15.17 に SCI の送信時の動作例を示します。

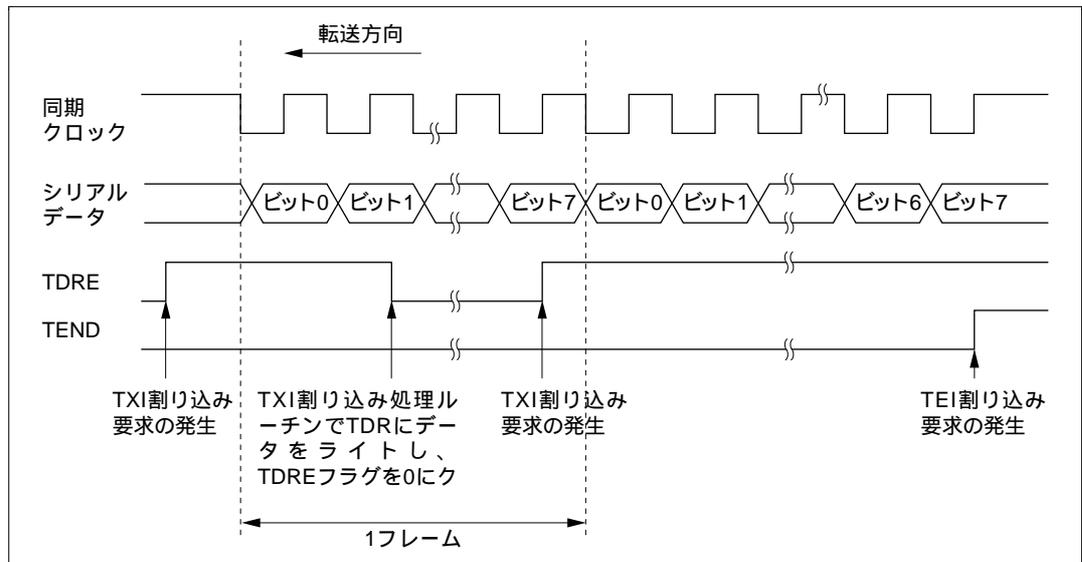


図 15.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 15.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PER フラグが1にセットされているとRDRFフラグがセットされません。また、送信動作および受信動作のいずれも行うことができません。

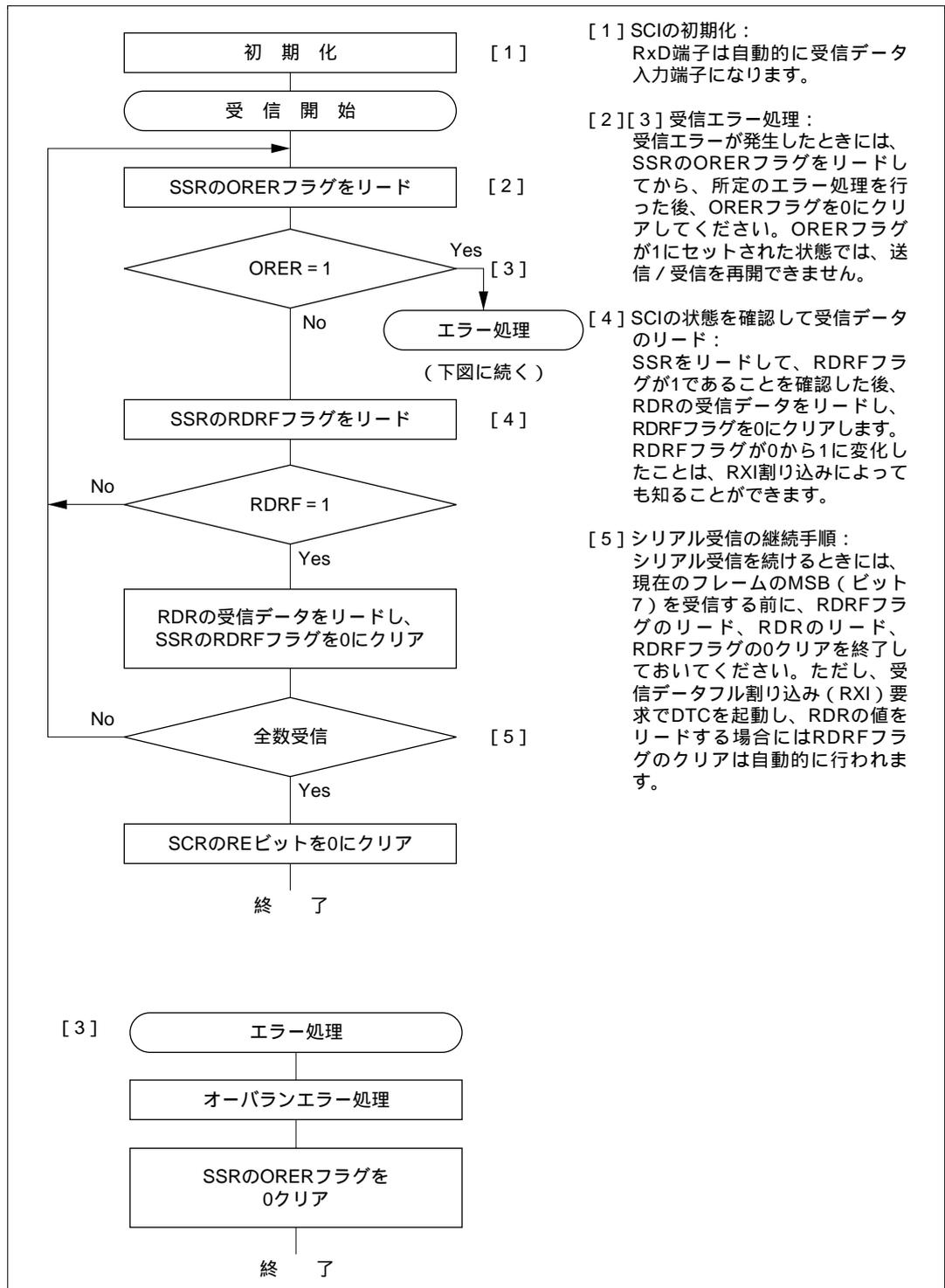


図 15.18 シリアルデータ受信フローチャートの例

SCI は受信時に以下のように動作します。

- [ 1 ] SCI は同期クロックの入力または出力に同期して内部を初期化します。
- [ 2 ] 受信したデータを RSR の LSB から MSB の順に格納します。  
 受信後、SCI は、RDRF フラグが 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。  
 このチェックを満足したとき RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。エラーチェックで受信エラーを発生すると、表 15.11 のように動作します。
- [ 3 ] RDRF フラグが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求を発生します。  
 また、ORER フラグが 1 になったとき、SCR の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 15.19 に SCI の受信時の動作例を示します。

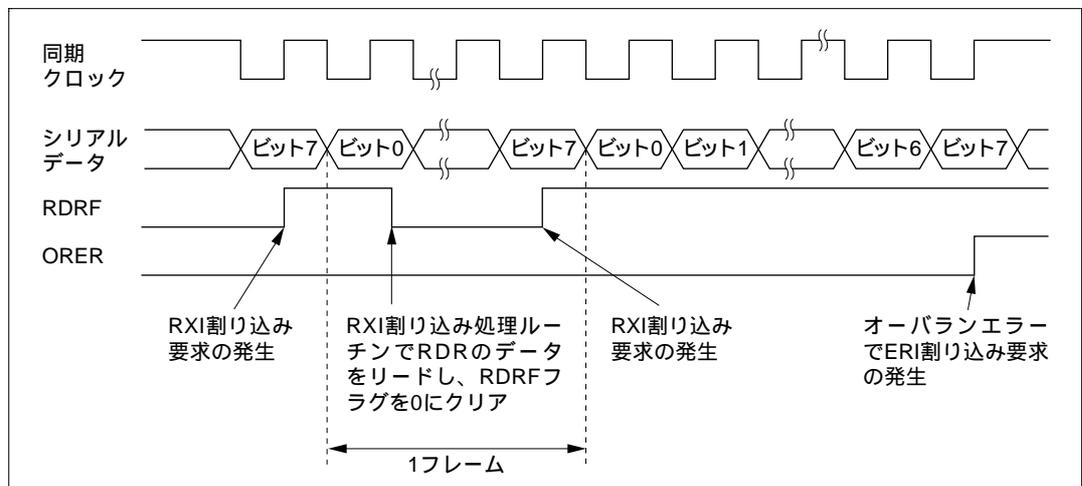


図 15.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にシリアル送受信同時動作のフローチャートの例を示します。  
 シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

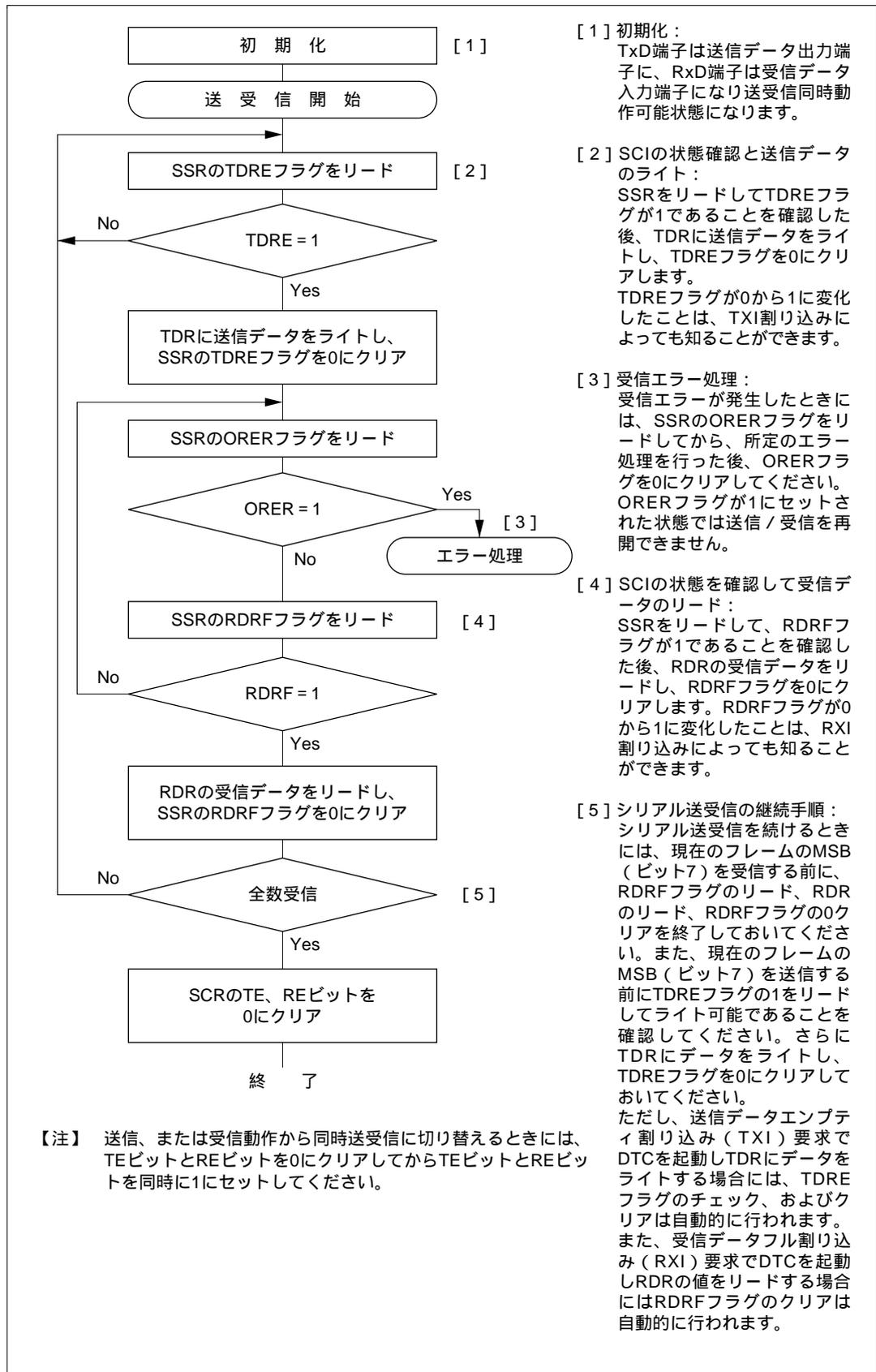


図 15.20 シリアル送受信同時動作のフローチャートの例

## 15.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 15.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DTC の起動はできません。

表 15.13 SCI 割り込み要因

チャンネル	割り込み要因	内 容	DTC の起動	優先順位*
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	↑ 高
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	↓ 低
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	

【注】 \* リセット直後の初期状態について示しています。チャンネル間の優先順位は、割り込みコントローラにより変更可能です。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に行われます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませんので注意してください。

## 15.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

### (1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

### (2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 15.14 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 15.14 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送		受信エラーの状態
RDRF	ORER	FER	PER	RSR	RDR	
1	1	0	0	x		オーバランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバランエラー + フレーミングエラー
1	1	0	1	x		オーバランエラー + パリティエラー
0	0	1	1			フレーミングエラー + パリティエラー
1	1	1	1	x		オーバランエラー + フレーミングエラー + パリティエラー

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

### (4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

### (5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

### (6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 15.23 に示します。

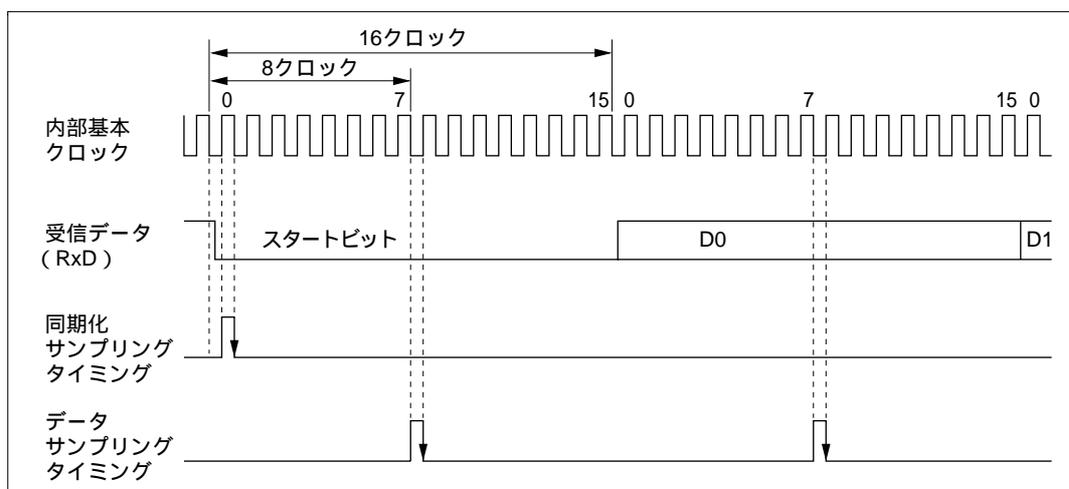


図 15.23 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

...式(1)

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5とすると、受信マージンは式(2)より46.875%となります。

D=0.5、F=0のとき、

$$M = \left( 0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

...式(2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

(7) DTC 使用上の制約事項

(a) 同期クロックに外部クロックソースを使用する場合、DTC による TDR の更新後、クロックで 5 クロック以上経過した後に、送信クロックを入力してください。TDR の更新後 4 クロック以内に送信クロックを入力すると、誤動作することがあります (図 15.24)。

(b) DTC により、RDR のリードを行うときは必ず起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

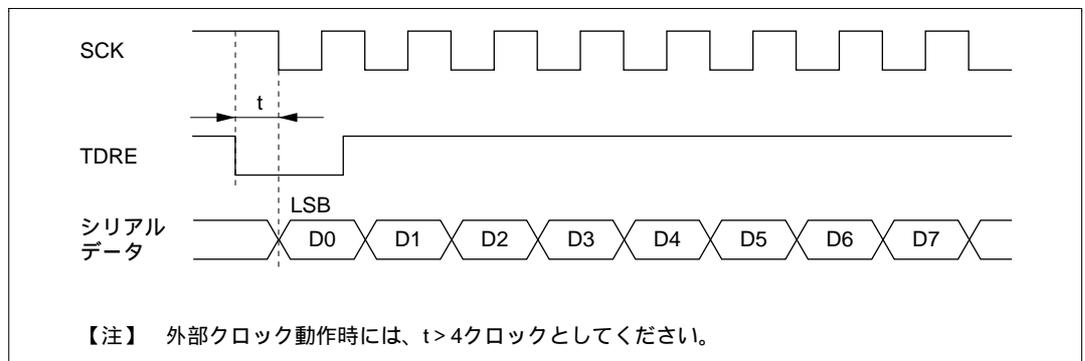


図 15.24 DTC によるクロック同期式送信時の例

---

# 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

---

H8S/2128 グループ、H8S/2128S グループにはオプションとして内蔵可能です。

H8S/2124 グループには内蔵していません。

I<sup>2</sup>C バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。

- 1 マスク ROM 版では、オプション機能を使用する製品型名には“ W ”が付加されます。  
例：HD6432127SWFA 等
- 2 F-ZTAT 版では製品型名は同一ですが、本オプション機能を使用する場合には、必ずその旨当社営業担当者にご連絡をお願いします。

## 第 16 章 目次

16.1	概要.....	457
	16.1.1	特長..... 457
	16.1.2	ブロック図..... 458
	16.1.3	端子構成..... 460
	16.1.4	レジスタ構成..... 461
16.2	各レジスタの説明.....	462
	16.2.1	I <sup>2</sup> C バスデータレジスタ (ICDR)..... 462
	16.2.2	スレーブアドレスレジスタ (SAR)..... 464
	16.2.3	第 2 スレーブアドレスレジスタ (SARX)..... 466
	16.2.4	I <sup>2</sup> C バスモードレジスタ (ICMR)..... 467
	16.2.5	I <sup>2</sup> C バスコントロールレジスタ (ICCR)..... 470
	16.2.6	I <sup>2</sup> C バスステータスレジスタ (ICSR)..... 476
	16.2.7	シリアルタイマコントロールレジスタ (STCR)..... 482
	16.2.8	DDC スイッチレジスタ (DDCSWR)..... 483
	16.2.9	モジュールストップコントロールレジスタ (MSTPCR)..... 486
16.3	動作説明.....	487

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

16.3.1	I <sup>2</sup> C バスデータフォーマット.....	487
16.3.2	マスタ送信動作.....	489
16.3.3	マスタ受信動作.....	491
16.3.4	スレーブ受信動作.....	493
16.3.5	スレーブ送信動作.....	495
16.3.6	IRIC セットタイミングと SCL 制御.....	497
16.3.7	フォーマットレスから I <sup>2</sup> C バスフォーマットへの自動切り替え.....	498
16.3.8	DTC による動作.....	499
16.3.9	ノイズ除去回路.....	500
16.3.10	使用例.....	501
16.3.11	内部状態の初期化.....	504
16.4	使用上の注意事項.....	506

## 16.1 概要

本 LSI は、2 チャンネルの I<sup>2</sup>C バスインタフェースを内蔵しています。

I<sup>2</sup>C バスインタフェースは、Philips 社の提唱している I<sup>2</sup>C バス ( Inter IC Bus ) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I<sup>2</sup>C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

I<sup>2</sup>C バスインタフェースを用いたデータ転送は、各チャンネルで、データライン ( SDA ) 1 本、クロックライン ( SCL ) 1 本で構成され、コネクタやプリント基板の面積などを経済的に使用できます。

### 16.1.1 特長

アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

- ・ I<sup>2</sup>C バスフォーマット : アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
- ・ シリアルフォーマット : ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

I<sup>2</sup>C バスフォーマットは、Philips 社提唱の I<sup>2</sup>C バスインタフェースに準拠

I<sup>2</sup>C バスフォーマットで、スレーブアドレスを 2 通り設定可能

I<sup>2</sup>C バスフォーマットで、マスタモード時、開始、停止条件の自動生成

I<sup>2</sup>C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能

I<sup>2</sup>C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能

I<sup>2</sup>C バスフォーマットで、マスタモード時のウェイト機能

- ・ アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグをクリアすることで解除。

I<sup>2</sup>C バスフォーマットで、スレーブモード時のウェイト機能

- ・ アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

3 種類の割り込み要因

- ・ データ転送終了時 ( I<sup>2</sup>C バスフォーマットで送信モード遷移時、および、マスタ競合負け後のアドレス受信を含む )
- ・ アドレス一致時 : I<sup>2</sup>C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したときまたはゼネラルコールアドレスを受信したとき
- ・ 停止条件検出時

マスタモード時、16 種類の内部クロック選択可能

バスを直接駆動 (SCL/SDA 端子)

- ・ P52/SCL0、P47/SDA0 の 2 端子は、通常時は NMOS プッシュプル出力、バス駆動機能選択時は NMOS オープンドレイン出力。
- ・ P24/SCL1、P23/SDA1 の 2 端子は、通常時は CMOS 端子、バス駆動機能選択時は NMOS のみで出力。

フォーマットレスから I<sup>2</sup>C バスフォーマットへ自動切り替えが可能 (チャンネル 0 のみ)

- ・ スレーブモードのフォーマットレス (開始条件 / 終了条件なし、ノンアドレッシング) の動作
- ・ データ端子共通 (SDA)、クロック端子独立 (VSYNCL、SCL) の端子構成で動作
- ・ SCL の立ち下がりで、自動的にフォーマットレスから I<sup>2</sup>C バスフォーマットに切り替え

### 16.1.2 ブロック図

I<sup>2</sup>C バスインタフェースのブロック図を図 16.1 に示します。

入出力端子の外部回路接続例を、図 16.2 に示します。チャンネル 0 の入出力端子とチャンネル 1 の入出力端子では端子構造が違うため、端子に印加可能な電圧仕様が異なります。

詳細は「第 22 章 電気的特性」を参照してください。

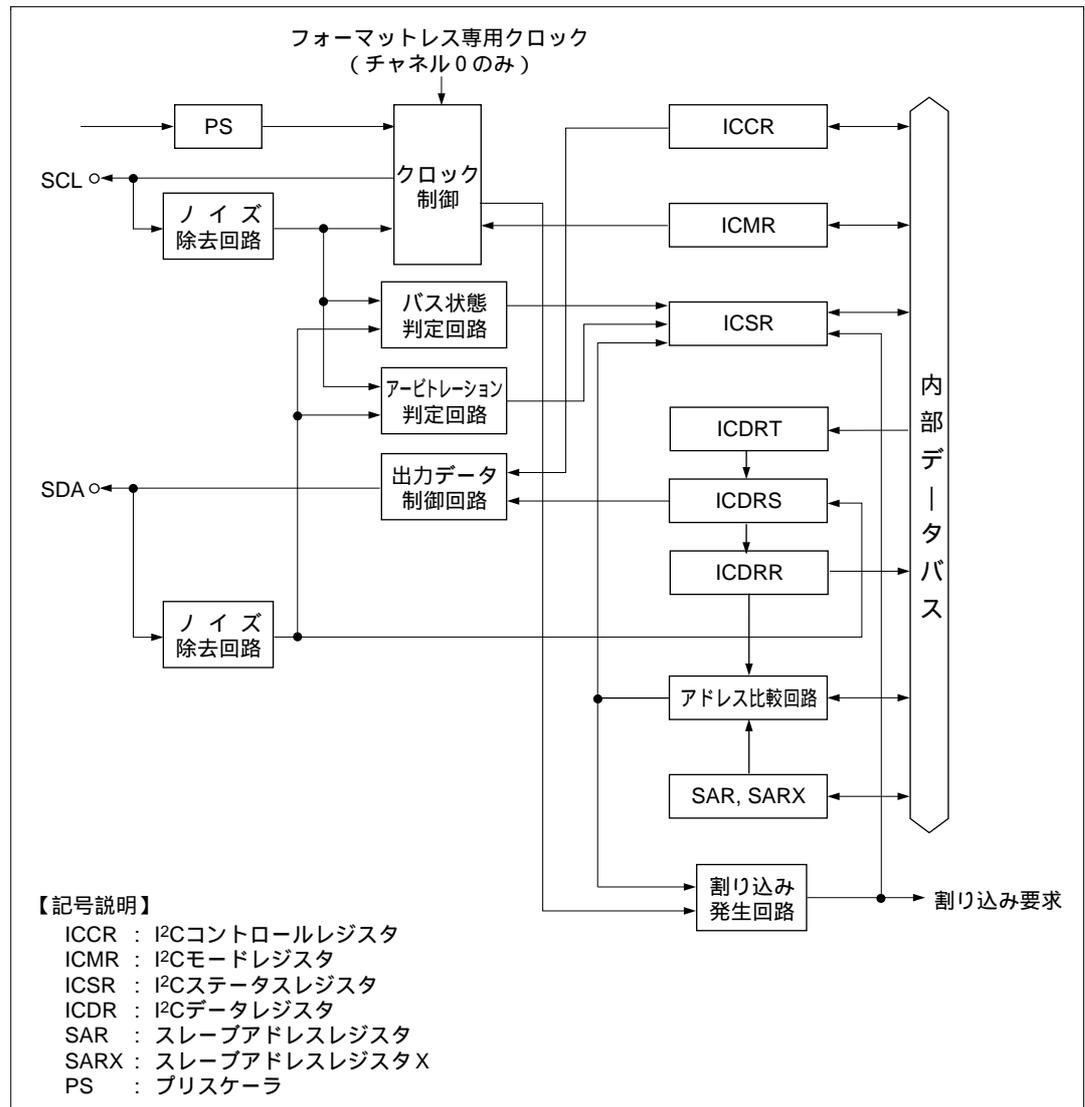


図 16.1 I<sup>2</sup>C バスインタフェースのブロック図

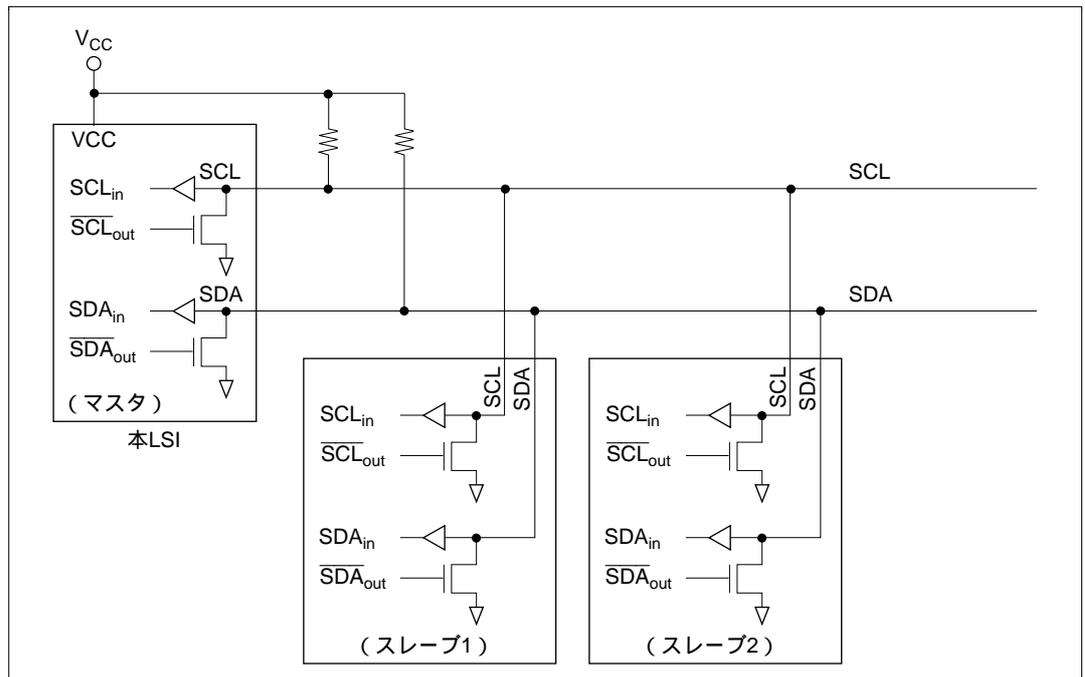


図 16.2 I<sup>2</sup>C バスインタフェース接続例 (本 LSI がマスタの場合)

### 16.1.3 端子構成

I<sup>2</sup>C バスインタフェースで使用する端子を表 16.1 に示します。

表 16.1 端子構成

チャンネル	名 称	記号*	入出力	機 能
0	シリアルクロック端子	SCL0	入出力	IIC0 シリアルクロック入出力端子
	シリアルデータ端子	SDA0	入出力	IIC0 シリアルデータの入出力端子
	フォーマットレス シリアルクロック端子	VSYNCl	入力	IIC0 フォーマットレス シリアルクロック入力端子
1	シリアルクロック端子	SCL1	入出力	IIC1 シリアルクロック入出力端子
	シリアルデータ端子	SDA1	入出力	IIC1 シリアルデータの入出力端子

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

## 16.1.4 レジスタ構成

I<sup>2</sup>C バスインタフェースのレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	I <sup>2</sup> C バスコントロールレジスタ	ICCR0	R/W	H'01	H'FFD8
	I <sup>2</sup> C バスステータスレジスタ	ICSR0	R/W	H'00	H'FFD9
	I <sup>2</sup> C バスデータレジスタ	ICDR0	R/W	-	H'FFDE*2
	I <sup>2</sup> C バスモードレジスタ	ICMR0	R/W	H'00	H'FFDF*2
	スレーブアドレスレジスタ	SAR0	R/W	H'00	H'FFDF*2
	第 2 スレーブアドレスレジスタ	SARX0	R/W	H'01	H'FFDE*2
1	I <sup>2</sup> C バスコントロールレジスタ	ICCR1	R/W	H'01	H'FF88
	I <sup>2</sup> C バスステータスレジスタ	ICSR1	R/W	H'00	H'FF89
	I <sup>2</sup> C バスデータレジスタ	ICDR1	R/W	-	H'FF8E*2
	I <sup>2</sup> C バスモードレジスタ	ICMR1	R/W	H'00	H'FF8F*2
	スレーブアドレスレジスタ	SAR1	R/W	H'00	H'FF8F*2
	第 2 スレーブアドレスレジスタ	SARX1	R/W	H'01	H'FF8E*2
共通	シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3
	DDC スイッチレジスタ	DDCSWR	R/W	H'0F	H'FEE6
	モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
		MSTPCRL	R/W	H'FF	H'FF87

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 I<sup>2</sup>C バスコントロールレジスタの ICE ビットによりリード/ライトできるレジスタが変わります。ICE = 0 のときスレーブアドレスレジスタ、ICE = 1 のとき I<sup>2</sup>C バスモードレジスタとなります。

I<sup>2</sup>C バスインタフェースのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。

## 16.2 各レジスタの説明

### 16.2.1 I<sup>2</sup>C バスデータレジスタ (ICDR)

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W							

#### ICDRR

ビット :	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

#### ICDRS

ビット :	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

#### ICDRT

ビット :	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

#### TDRE、RDRF (内部フラグ)

ビット :		-	-
		TDRE	RDRF
初期値 :		0	0
R/W :		-	-

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可、リード専用およびライト専用となっています。3本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、TDRE や RDRF などの内部フラグの状態に影響を与えます。

送信モードで ICDRT の次のデータがある場合 (TDRE フラグが 0 の場合) ICDRS で 1 フレームのデータを送信後、自動的に ICDRT から ICDRS へデータが転送されます。受信モードで ICDRR に以前のデータがない場合 (RDRF フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS = 0 のとき MSB 側に、MLS = 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS = 0 のとき LSB 側から、MLS = 1 のとき MSB 側から読み出したビットを有効にしてください。

ICDR は、SARX と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICDR のリード/ライトが可能です。

ICDR のリセット時の値は不定です。

TDRE、RDRF フラグは、次のような条件でセット/クリアされます。TDRE、RDRF フラグのセットは、割り込みフラグの状態に影響を与えます。

TDRE	説明
0	送信開始不可、または、ICDR (ICDRT) に次の送信データが存在 (初期値) 〔クリア条件〕 (1) 送信モード (TRS=1) で ICDR (ICDRT) に送信データをライトしたとき (2) I <sup>2</sup> C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき (3) I <sup>2</sup> C バスフォーマットで停止条件を検出したとき (4) 受信モード (TRS=0) のとき (転送中の TRS の 0 ライトは、アクノリッジを含めたフレーム受信後に有効)
1	ICDR (ICDRT) に次の送信データをライト可能 〔セット条件〕 (1) 送信モード (TRS=1) のとき、I <sup>2</sup> C バスフォーマット、シリアルフォーマットのマスタモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき (2) I <sup>2</sup> C バスモードからフォーマットレスに設定を切り替えた後、最初に送信モード (TRS=1) に設定したとき (1 回目のみ) (3) ICDRT から ICDRS にデータが転送されたとき (TRS=1 かつ TDRE=0 で ICDRS が空の場合、ICDRT ICDRS へデータ転送) (4) 受信モード (TRS=0) の状態で開始条件検出後、スレーブ受信モード (TRS=0) から送信モード (TRS=1) に切り替えたとき (1 回目のみ)

RDRF	説明
0	ICDR (ICDRR) にあるデータは無効 (初期値) 〔クリア条件〕 受信モードで ICDR (ICDRR) の受信データをリードしたとき
1	ICDR (ICDRR) の受信データをリード可能 〔セット条件〕 ICDRS から ICDRR にデータが転送されたとき (TRS = 0 かつ RDRF = 0 で受信正常終了の場合、ICDRS ICDRR へデータ転送)

## 16.2.2 スレーブアドレスレジスタ (SAR)

ビット :	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W						

SAR は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は、ICMR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SAR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SAR は H'00 に初期化されます。

ビット 7 ~ 1 : スレーブアドレス (SVA6 ~ SVA0)

SVA6 ~ SVA0 ビットには I<sup>2</sup>C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

## ビット0：フォーマットセレクト (FS)

SARX の FSX ビット、DDCSWR の SW ビットとともに、転送フォーマットを選択します。

- ・I<sup>2</sup>C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり
- ・クロック同期式シリアルフォーマット：  
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用
- ・フォーマットレス (チャンネル0のみ)：  
ノンアドレッシングフォーマットでアクノリッジビットありまたはアクノリッジビットなし、スレーブモード専用、開始条件 / 停止条件の検出しなし

また、FS ビットは、スレーブモード時に SAR のスレーブアドレスの認識を行うか否かを選択します。

DDCSWR ビット6	SAR ビット0	SARX ビット0	動作モード
SW	FS	FSX	
0	0	0	I <sup>2</sup> C バスフォーマット ・ SAR と SARX のスレーブアドレスを認識
		1	I <sup>2</sup> C バスフォーマット (初期値) ・ SAR のスレーブアドレスを認識 ・ SARX のスレーブアドレスを無視
	1	0	I <sup>2</sup> C バスフォーマット ・ SAR のスレーブアドレスを無視 ・ SARX のスレーブアドレスを認識
		1	クロック同期式シリアルフォーマット ・ SAR と SARX のスレーブアドレスを無視
1	0	0	フォーマットレス (開始条件 / 停止条件を検出ししない)
		1	・ アクノリッジビットあり
	1	0	フォーマットレス (開始条件 / 停止条件を検出ししない)
		1	・ アクノリッジビットなし

【注】 \* DDCSWR の設定により I<sup>2</sup>C バスフォーマットへの自動切り替えを行う場合は、本モードに設定しないでください。

## 16.2.3 第2スレーブアドレスレジスタ (SARX)

ビット :	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W						

SARX は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定および第2スレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SARX の上位7ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は、ICDR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SARX のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SARX は H'01 に初期化されます。

ビット7~1 : 第2スレーブアドレス (SVAX6~SVAX0)

SVAX6~SVAX0 ビットには I<sup>2</sup>C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット0 : フォーマットセレクト X (FSX)

SAR の FS ビット、DDCSWR の SW ビットとともに、転送フォーマットを選択します。

- ・ I<sup>2</sup>C バスフォーマット : アドレッシングフォーマットでアクノリッジビットあり
- ・ クロック同期式シリアルフォーマット :  
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用
- ・ フォーマットレス :  
ノンアドレッシングフォーマットでアクノリッジビットありまたはアクノリッジビットなし、スレーブモード専用、開始条件・停止条件の検出なし

また、FSX ビットは、スレーブモード時に SARX のスレーブアドレスの認識を行うか否かを選択します。詳細は SAR の FS ビットの項を参照してください。

16.2.4 I<sup>2</sup>C バスモードレジスタ (ICMR)

ビット:	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICMR は、8 ビットのリード/ライト可能なレジスタで、MSB ファースト/LSB ファーストの選択、マスタモードウェイトの制御、マスタモード転送クロック周波数の選択、転送ビットの数の選択を行います。ICMR は、SAR と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICMR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、ICMR は H'00 に初期化されます。

## ビット 7 : MSB ファースト/LSB ファースト選択 (MLS)

MSB ファーストでデータ転送するか、LSB ファーストでデータ転送するかを選択します。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側から、MLS ビットが 1 のとき MSB 側から読み出したビットを有効にしてください。

なお、I<sup>2</sup>C バスフォーマットで使用するときは、本ビットを 1 にセットしないでください。

ビット 7	説明
MLS	
0	MSB ファースト (初期値)
1	LSB ファースト

ビット6：ウェイト挿入ビット (WAIT)

I<sup>2</sup>C バスフォーマットでマスタモード時に、アクノリッジビットを除いたデータ転送後  
をウェイト状態にするかどうかを設定します。WAIT=1 を設定した場合、データの最終  
ビットのクロックが立ち下がった後、ICCR の IRIC フラグは1 にセットされ、ウェイト状  
態 (SCL=Low レベル) となります。ICCR の IRIC フラグを0 にクリアすることでウェ  
イト状態を解除しアクノリッジの転送を行います。WAIT=0 を設定した場合、ウェイト状  
態を挿入せず、データとアクノリッジを連続的に転送します。ICCR の IRIC フラグは、  
WAIT の設定に関係なく、アクノリッジの転送が完了した時点で1 にセットされます。

スレーブモード時は、本ビットの設定は無効になります。

ビット6	説明
WAIT	
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

ビット5～3：転送クロック選択 (CKS2～CKS0)

CKS2～CKS0 ビットは、STCR レジスタの IICX1 ビット (チャンネル1)、IICX0 ビット (チ  
ャネル0) との組み合わせにより、転送クロックの周波数を選択するビットで、マスタモ  
ード時に使用します。必要な転送レートに合わせて設定をしてください。

STCR ビット5、6	ビット5 CKS2	ビット4 CKS1	ビット3 CKS0	クロック	転送レート				
					=5MHz	=8MHz	=10MHz	=16MHz	=20MHz
0	0	0	0	/28	179kHz	286kHz	357kHz	571kHz*	714kHz*
			1	/40	125kHz	200kHz	250kHz	400kHz	500kHz*
		1	0	/48	104kHz	167kHz	208kHz	333kHz	417kHz*
			1	/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

【注】 \* I<sup>2</sup>C バスインタフェース仕様 (通常モード：最大 100kHz、高速モード：最大 400kHz) の範囲外となります。

## ビット2~0 : ビットカウンタ (BC2~BC0)

BC2~BC0 ビットは、次に転送するデータのビット数を指定します。I<sup>2</sup>C バスフォーマット (SARのFS ビットまたはSARXのFSX ビットが0のとき) では、データにアクノリッジ分1ビットが加算されて転送されます。BC2~BC0ビットの設定は転送フレーム間で行ってください。また、BC2~BC0ビットに000以外を設定する場合は、SCLがLow状態のときに行ってください。

ビットカウンタは、リセット時および開始条件検出時000に初期化されます。また、アクノリッジを含むデータ転送終了後、000に再び戻ります。

ビット2 BC2	ビット1 BC1	ビット0 BC0	ビット/フレーム	
			クロック同期式 シリアルフォーマット	I <sup>2</sup> C バスフォーマット
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

### 16.2.5 I<sup>2</sup>C バスコントロールレジスタ (ICCR)

ビット:	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	W

【注】\* フラグをクリアするための0ライトのみ可能です。

ICCR は、8 ビットのリード/ライト可能なレジスタで、I<sup>2</sup>C バスインタフェースの動作/非動作、割り込みの許可/禁止、マスタモード/スレーブモード、送信/受信、アクリッジの有効/無効の選択、I<sup>2</sup>C バスインタフェースのバス状態の確認、開始/停止条件の発行、および割り込みフラグの確認を行います。

リセットまたはハードウェアスタンバイモード時、ICCR は H'01 に初期化されます。

#### ビット7: I<sup>2</sup>C バスインタフェースイネーブル (ICE)

ICE ビットは、I<sup>2</sup>C バスインタフェースを使用する/使用しないを選択します。ICE ビットを 1 にセットすると、本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICE ビットを 0 にクリアすると、本モジュールは機能を停止し、内部状態をクリアします。

ICE = 0 のとき SAR および SARX が有効になり、ICE = 1 のとき ICMR および ICDR が有効になります。

ビット7	説明
ICE	
0	本モジュールは非動作状態 (SCL/SDA 端子はポート機能) (初期値) IIC モジュールの内部状態の初期化 SAR、SARX がアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA 端子はバス駆動状態) ICMR、ICDR がアクセス可能

#### ビット6: I<sup>2</sup>C バスインタフェース割り込みイネーブル (IEIC)

IEIC ビットは、I<sup>2</sup>C バスインタフェースから CPU に対する割り込みの許可/禁止を選択します。

ビット6	説明
IEIC	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット5：マスタ/スレーブ選択 (MST)

ビット4：送信/受信選択 (TRS)

MST ビットは、I<sup>2</sup>C バスインタフェースをマスタモードで使用するか、スレーブモードで使用するかを選択するビットです。

TRS ビットは、I<sup>2</sup>C バスインタフェースを受信モードで使用するか、送信モードで使用するかを選択するビットです。

I<sup>2</sup>C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット (FS=0 または FSX=0) のとき、開始条件直後の第1フレームの R $\bar{W}$  ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。

転送中の TRS ビットの変更は、アクノリッジを含めたフレーム転送完了まで保留され、転送完了後に切り替わります。

MST と TRS ビットとの組み合わせにより下表のような動作モードになります。

ビット5	ビット4	動作モード
MST	TRS	
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

ビット5	説明
MST	
0	スレーブモード (初期値) 〔クリア条件〕 (1) ソフトウェアにより0をライトしたとき (2) I <sup>2</sup> C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき
1	マスタモード 〔セット条件〕 (1) ソフトウェアにより1をライトしたとき (クリア条件(2)以外の場合) (2) MST=0 をリード後、1をライトしたとき (クリア条件(2)の場合)

ビット4	説明
TRS	
0	受信モード (初期値) [クリア条件] (1) ソフトウェアにより 0 をライトしたとき (セット条件(3)以外の場合) (2) TRS = 1 をリード後、0 をライトしたとき (セット条件(3)の場合) (3) I <sup>2</sup> C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき (4) DDCSWR の SW ビットが 1 から 0 に変化したとき
1	送信モード [セット条件] (1) ソフトウェアにより 1 をライトしたとき (クリア条件(3)(4)以外の場合) (2) TRS = 0 をリード後、1 をライトしたとき (クリア条件(3)(4)の場合) (3) I <sup>2</sup> C バスフォーマットのスレーブモードで第 1 フレームの R $\bar{W}$ ビットとして 1 を受信したとき

#### ビット 3 : アクノリッジビット判定選択 (ACKE)

ACKE ビットは、I<sup>2</sup>C バスフォーマットで受信デバイスから返されるアクノリッジビットの内容を無視して連続的に転送を行うか、アクノリッジビットが 1 ならば転送を中断してエラー処理などを行うかを選択します。ACKE ビットが 0 の場合には、受信したアクノリッジビットの内容は ACKB ビットに反映されず、ACKB ビットは常時 0 となります。

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に TDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると TDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行した後、TDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味を持たせる場合と、全く意味を持たず 1 固定の場合があります。

ビット3	説明
ACKE	
0	アクノリッジビットの内容を無視して、連続的に転送を行う (初期値)
1	アクノリッジビットが1の場合、連続的な転送を中断する

#### ビット2 : バスビジー (BBSY)

BBSY フラグをリードすることにより、I<sup>2</sup>C バス (SCL、SDA) が占有されているか解放されているかを確認できます。また、マスタモードでは開始条件、停止条件を発行する際に使用します。

BBSY フラグは、SCL = High レベルの状態では SDA が High レベルから Low レベルに変化すると開始条件が発行されたと認識し、1 にセットされます。SCL = High レベルの状態では SDA が Low レベルから High レベルに変化すると停止条件が発行されたと認識し、0 にクリアされます。

開始条件を発行する場合、BBSY = 1 かつ SCP = 0 をライトします。開始条件の再送信時にも同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 をライトすることで行います。開始条件 / 停止条件の発行は、MOV 命令を用います。

スレーブモード時の BBSY フラグのライトは無効です。すなわち、開始条件の発行に先立って、I<sup>2</sup>C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY = 1 かつ SCP = 0 をライトする以前に、MST = 1 かつ TRS = 1 を設定してください。

ビット2	説明
BBSY	
0	バス解放状態 (初期値) 〔クリア条件〕・停止条件検出時
1	バス占有状態 〔セット条件〕・開始条件検出時

#### ビット1 : I<sup>2</sup>C バスインタフェース割り込み要求フラグ (IRIC)

IRIC フラグは、I<sup>2</sup>C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。IRIC フラグは、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき、マスタ送信モードでバス競合負けをしたとき、または停止条件検出時に 1 にセットされます。SAR の FS ビットと ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「16.3.6 IRIC セットタイミングと SCL 制御」の項を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。

IRIC フラグのクリアは、IRIC = 1 をリードした後、0 をライトすることで行われます。

また、DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

ビット1	説明
IRIC	
0	<p>転送待ち状態、または転送中 (初期値)</p> <p>〔クリア条件〕</p> <p>(1) IRIC = 1 の状態でリードした後、0 をライトしたとき</p> <p>(2) DTC で ICDR をリード/ライトしたとき (TDRE または RDRF フラグが 0 にクリアされたとき)</p> <p>(クリア条件とならない場合もあるため、詳細は DTC の動作説明参照)</p>
1	<p>割り込みが発生</p> <p>〔セット条件〕</p> <p>I<sup>2</sup>C バスフォーマットでマスタモード</p> <p>(1) 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため TDRE フラグが 1 にセットされたとき)</p> <p>(2) WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき</p> <p>(3) データ転送終了時 (ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりするとき、またはウェイト挿入時の送受信クロックの 8 クロック目の立ち下がりするとき)</p> <p>(4) バス競合負けの後、スレーブアドレスを受信したとき (AL フラグが 1 にセットされたとき)</p> <p>(5) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</p> <p>I<sup>2</sup>C バスフォーマットでスレーブモード</p> <p>(1) スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</p> <p>(2) ゼネラルコールアドレスを検出したとき (FS = 0 かつ ADZ フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</p> <p>(3) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</p> <p>(4) 停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき)</p> <p>クロック同期式シリアルフォーマット、およびフォーマットレス</p> <p>(1) データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</p> <p>(2) シリアルフォーマットで開始条件を検出したとき</p> <p>(3) DDCSWR の SW ビットを 1 にセットしたとき</p> <p>上記のほか、TDRE、RDRF 内部フラグが 1 にセットされる条件が発生したとき</p>

I<sup>2</sup>C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

内部フラグである TDRE または RDRF フラグがセットされたとき、リード可能な IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I<sup>2</sup>C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、内部フラグである TDRE または RDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため TDRE または RDRF フラグはクリアされています。

各フラグと転送状態の関係を表 16.3 に示します。

表 16.3 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送信/受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	アービトレーションロスト
0	0	1	0	0	0	0	0	1	0	0	スレーブモード第1フレームで SAR に一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARX に一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スレーブモード送信/受信終了 (SARX 一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スレーブモード送信/受信終了
0	1	1	0	0	0	1	0	0	0	1	(SARX 一致後)
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

ビット0：開始条件 / 停止条件発行禁止ビット (SCP)

SCPビットは、マスタモードでの開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY = 1 かつ SCP = 0 をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 をライトすることで行います。本ビットは、リードすると常に1が読み出されます。また、1をライトしてもデータは格納されません。

ビット0	説明
SCP	
0	ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に1をリード (初期値) ライト時、無効

### 16.2.6 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ビット：	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値：	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W						

【注】\* フラグをクリアするための0ライトのみ可能です。

ICSR は、8ビットのリード / ライト可能なレジスタで、フラグの確認、アクノリッジの確認および制御を行います。

リセットまたはハードウェアスタンバイモード時、ICSR は H'00 に初期化されます。

## ビット7：エラー停止条件検出フラグ (ESTP)

ESTPフラグは、I<sup>2</sup>Cバスフォーマットのスレーブモードで、フレームの転送の途中で停止条件を検出したことを示します。

ビット7	説明
ESTP	
0	エラー停止条件なし (初期値) 〔クリア条件〕 (1) ESTP = 1の状態をリードした後、0をライトしたとき (2) IRIC フラグが0にクリアされたとき
1	・I <sup>2</sup> Cバスフォーマットでスレーブモードのとき エラー停止条件を検出 〔セット条件〕 フレームの転送の途中で停止条件を検出したとき ・I <sup>2</sup> Cバスフォーマットでスレーブモードのとき以外 意味なし

## ビット6：正常停止条件検出フラグ (STOP)

STOPフラグは、I<sup>2</sup>Cバスフォーマットのスレーブモードで、フレームの転送の完了後に停止条件を検出したことを示します。

ビット6	説明
STOP	
0	正常停止条件なし (初期値) 〔クリア条件〕 (1) STOP = 1の状態をリードした後、0をライトしたとき (2) IRIC フラグが0にクリアされたとき
1	・I <sup>2</sup> Cバスフォーマットでスレーブモードのとき 正常停止条件を検出 〔セット条件〕 フレームの転送の完了後に停止条件を検出したとき ・I <sup>2</sup> Cバスフォーマットでスレーブモードのとき以外 意味なし

ビット5 : I<sup>2</sup>C バスインタフェース連続送受信割り込み要求フラグ (IRTR)

IRTR フラグは、I<sup>2</sup>C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な連続送受信動作の 1 フレーム送受信の完了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。

IRTR フラグのセットは、TDRE または RDRF フラグが 1 にセットされたときに行われます。IRTR フラグのクリアは、IRTR = 1 をリードした後、0 をライトすることで行われます。また、IRIC フラグを 0 にクリアすると IRTR フラグは自動的にクリアされます。

ビット5	説明
IRTR	
0	転送待ち状態、または転送中 (初期値) 〔クリア条件〕 (1) IRTR = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	連続転送状態 〔セット条件〕 ・I <sup>2</sup> C バスインタフェースでスレーブモードのとき AASX = 1 の状態で、TDRE または RDRF フラグが 1 にセットされたとき ・I <sup>2</sup> C バスインタフェースでスレーブモードのとき以外 TDRE または RDRF フラグが 1 にセットされたとき

## ビット4：第2スレーブアドレス認識フラグ (AASX)

AASX フラグは、I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームがSARXのSVAX6~SVAX0と一致した場合、AASX=1となります。

AASXフラグのクリアは、AASX=1をリードした後、0をライトすることで行われます。また、開始条件を検出すると自動的にクリアされます。

ビット4	説明
AASX	
0	第2スレーブアドレスを未認識 (初期値) 〔クリア条件〕 (1) AASX=1の状態をリードした後、0をライトしたとき (2) 開始条件を検出したとき (3) マスタモードのとき
1	第2スレーブアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつFSX=0で第2スレーブアドレスを検出したとき

## ビット3：アービトレーションロストフラグ (AL)

ALフラグは、マスタモード時にバス競合負けをしたことを示します。

複数のマスタがほぼ同時にバスを占有しようとしたときにI<sup>2</sup>CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。

ALフラグのクリアは、AL=1をリードした後、0をライトすることで行われます。また、ICDRをライト(送信時)またはリード(受信時)すると自動的にリセットされます。

ビット3	説明
AL	
0	バスを確保 (初期値) 〔クリア条件〕 (1) ICDRにデータをライト(送信時)、データをリード(受信時)したとき (2) AL=1の状態をリードした後、0をライトしたとき
1	バス競合負け(アービトレーションロスト) 〔セット条件〕 (1) マスタ送信モードでSCLの立ち上がりで内部SDAとSDA端子が不一致のとき (2) マスタ送信モードでSCLの立ち下がりで内部SCLがHighレベルのとき

## ビット2：スレーブアドレス認識フラグ (AAS)

AAS フラグは、I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6 ~ SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出した場合、AAS = 1 となります。

AAS フラグのクリアは、AAS = 1 をリードした後、0 をライトすることで行われます。また ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット 2	説明
AAS	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 (初期値) 〔クリア条件〕 (1) ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき (2) AAS = 1 の状態をリードした後、0 をライトしたとき (3) マスタモードのとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつ FS = 0 でスレーブアドレスまたはゼネラルコールアドレスを検出したとき

## ビット1：ゼネラルコールアドレス認識フラグ (ADZ)

ADZ フラグは、I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス (H'00) を検出した場合、ADZ = 1 となります。

ADZ フラグのクリアは、ADZ = 1 をリードした後、0 をライトすることで行われます。また ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット1	説 明
ADZ	
0	ゼネラルコールアドレスを未認識 (初期値) 〔クリア条件〕 (1) ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき (2) ADZ=1 の状態をリード後、0 をライトしたとき (3) マスタモードのとき
1	ゼネラルコールアドレスを認識 〔セット条件〕 ・スレーブ受信モードかつ (FSX = 0 または FS = 0) でゼネラルコールアドレスを検出したとき

#### ビット0 : アクノリッジビット (ACKB)

ACKB ビットは、アクノリッジデータを格納するビットです。

送信モードでは、受信デバイスがデータを受信した後、アクノリッジデータを返してくるので、そのデータを ACKB ビットにロードします。また、受信モードでは送信デバイスに対し、データを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、送信時 (TRS = 1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS = 0 のとき) には設定した値が読み出されます。

また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。このとき、受信デバイスからロードした値は、そのまま保持されますので、本レジスタをビット操作命令を使用して書き換えるときには注意が必要です。

ビット0	説 明
ACKB	
0	受信時、アクノリッジ出力タイミングで0出力 (初期値) 送信時、受信デバイスからアクノリッジがあった (0だった) ことを示す
1	受信時、アクノリッジ出力タイミングで1出力 送信時、受信デバイスからアクノリッジがなかった (1だった) ことを示す

## 16.2.7 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	-	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御 (IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。I<sup>2</sup>C バスインタフェース以外の詳細は、「3.2.4 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

## ビット 7 : リザーブビット

リザーブビットです。1 にセットしないでください。

ビット 6、5 : I<sup>2</sup>C トランスファレートセレクト 1、0 (IICX1、0)

ICMR の CKS2 ~ CKS0 と組み合わせて、マスタモードでの転送レートを選択します。

転送レートの詳細は「16.2.4 I<sup>2</sup>C バスモードレジスタ (ICMR)」の項を参照してください。

ビット4 : I<sup>2</sup>C マスタイネーブル (IICE)

I<sup>2</sup>C バスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR)、PWMX のデータレジスタと制御レジスタ、SCI の制御レジスタの CPU アクセスを制御します。

ビット4	説明
IICE	
0	I <sup>2</sup> C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを禁止 (初期値) SCI の制御レジスタの CPU アクセスを許可
1	I <sup>2</sup> C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを許可 PWMX のデータレジスタおよび制御レジスタの CPU アクセスを許可

## ビット3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ、低消費電力状態の制御レジスタ、および周辺モジュールの制御レジスタの CPU アクセスを制御するビットです。詳しくは「3.2.4 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

## ビット2 : リザーブビット

リザーブビットです。1 にセットしないでください。

## ビット1、0 : インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

TCR の CKS2 ~ CKS0 ビットとともに、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

## 16.2.8 DDC スイッチレジスタ (DDCSWR)

ビット :	7	6	5	4	3	2	1	0
	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/(W)*1	W*2	W*2	W*2	W*2

【注】 \*1 フラグをクリアするための0ライトのみ可能です。

\*2 リードすると常に1が読み出されます。

DDCSWR は8ビットのリード/ライト可能なレジスタで、IIC チャンネル0のフォーマット自動切り替え機能の制御およびIICの内部ラッチクリアの制御を行います。

DDCSWR はリセットまたはハードウェアスタンバイモード時にH'0Fに初期化されます。

## ビット7 : DDC モードスイッチイネーブル (SWE)

IIC チャンネル0 で、フォーマットレスから I<sup>2</sup>C バスフォーマットへの自動切り替え機能を選択します。

ビット7	説明
SWE	
0	IIC チャンネル0 の、フォーマットレスから I <sup>2</sup> C バスフォーマットへの自動切り替えを禁止する (初期値)
1	IIC チャンネル0 の、フォーマットレスから I <sup>2</sup> C バスフォーマットへの自動切り替えを許可する

## ビット6 : DDC モードスイッチ (SW)

IIC チャンネル0 でフォーマットレスと、I<sup>2</sup>C バスフォーマットを選択します。

ビット6	説明
SW	
0	IIC チャンネル0 を I <sup>2</sup> C バスフォーマットで使用する (初期値) 〔クリア条件〕 (1) ソフトウェアにより 0 をライトしたとき (2) SWE = 1 で、SCL に立ち下がりエッジを検出したとき
1	IIC チャンネル0 をフォーマットレスで使用する 〔セット条件〕 ・SW = 0 の状態をリードした後、1 をライトしたとき

## ビット5 : DDC モードスイッチ割り込み許可ビット (IE)

IIC チャンネル0 でフォーマットの自動切り替えが実行された場合の CPU への割り込み要求を許可 / 禁止します。

ビット5	説明
IE	
0	フォーマット自動切り替え実行時の割り込みを禁止 (初期値)
1	フォーマット自動切り替え実行時の割り込みを許可

## ビット4 : DDC モードスイッチ割り込みフラグ (IF)

IIC チャンネル0 でフォーマット自動切り替えが実行された場合の CPU への割り込み要求フラグです。

ビット4	説明
IF	
0	フォーマット自動切り替え実行時の割り込み要求なし (初期値) 〔クリア条件〕 ・IF=1の状態をリードした後、0をライトしたとき
1	フォーマット自動切り替え実行時の割り込み要求あり 〔セット条件〕 ・SWE=1で、SCLに立ち下がりエッジを検出したとき

## ビット3~0 : IIC クリア3~0 (CLR3~CLR0)

本ビットは IIC0、IIC1 の内部状態の初期化を制御します。

本ビットはライト動作のみ可能で、リードすると常に1が読み出されます。

本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。

なお、本ビットへのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。

再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。

ビット3	ビット2	ビット1	ビット0	説明
CLR3	CLR2	CLR1	CLR0	
0	0	-	-	設定禁止
0	1	0	0	設定禁止
0	1	0	1	IIC0 内部ラッチクリア
0	1	1	0	IIC1 内部ラッチクリア
0	1	1	1	IIC0, 1 内部ラッチクリア
1	-	-	-	設定無効

## 16.2.9 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCRH								MSTPCRL							
ビット :	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード/ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP4、MSTP3 の対応するビットを 1 にセットすると、バスサイクルの終了時点で IIC は動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

### MSTPCRL ビット 4 : モジュールストップ (MSTP4)

IIC チャンネル 0 のモジュールストップモードを指定します。

MSTPCRL ビット 4	説 明
MSTP4	
0	IIC チャンネル 0 のモジュールストップモード解除
1	IIC チャンネル 0 のモジュールストップモード設定 (初期値)

### MSTPCRL ビット 3 : モジュールストップ (MSTP3)

IIC チャンネル 1 のモジュールストップモードを指定します。

MSTPCRL ビット 3	説 明
MSTP3	
0	IIC チャンネル 1 のモジュールストップモード解除
1	IIC チャンネル 1 のモジュールストップモード設定 (初期値)

## 16.3 動作説明

### 16.3.1 I<sup>2</sup>C バスデータフォーマット

I<sup>2</sup>C バスインタフェースには、シリアルフォーマットと I<sup>2</sup>C バスフォーマットがあります。I<sup>2</sup>C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 16.3 (a)、(b) に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

IIC チャンネル 0 のみフォーマットレスでの動作が可能です。これを図 16.4 に示します。シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 16.5 に示します。また、I<sup>2</sup>C バスのタイミングを図 16.6 に示します。

図 16.3~ 図 16.6 の記号説明を表 16.4 に示します。

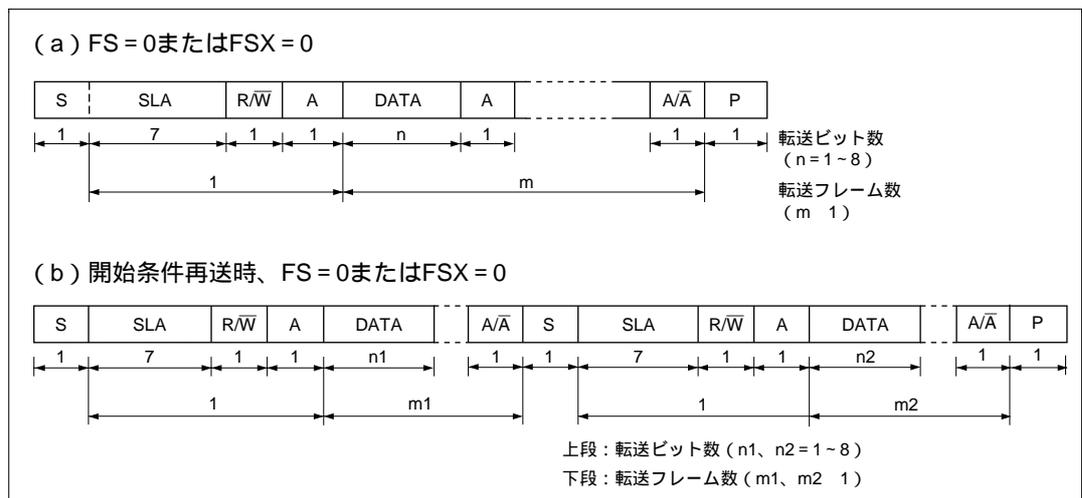


図 16.3 I<sup>2</sup>C バスデータフォーマット (I<sup>2</sup>C バスフォーマット)

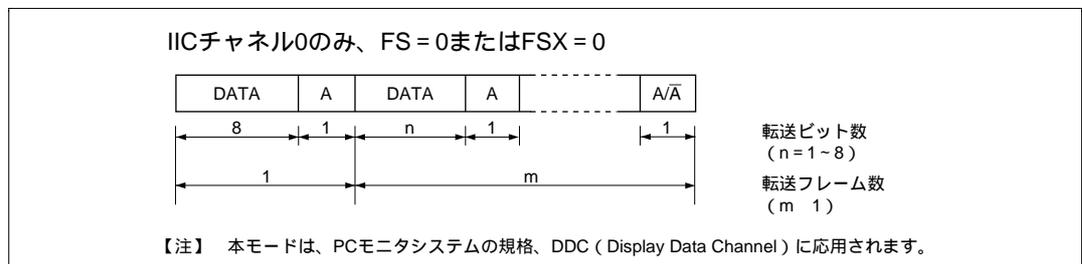


図 16.4 フォーマットレス

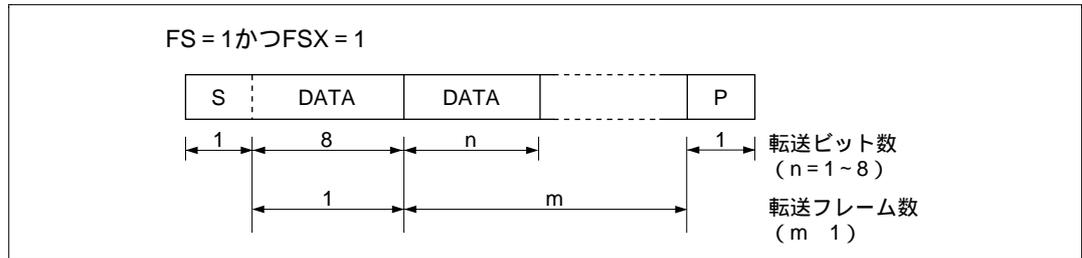


図 16.5 I<sup>2</sup>C バスデータフォーマット (シリアルフォーマット)

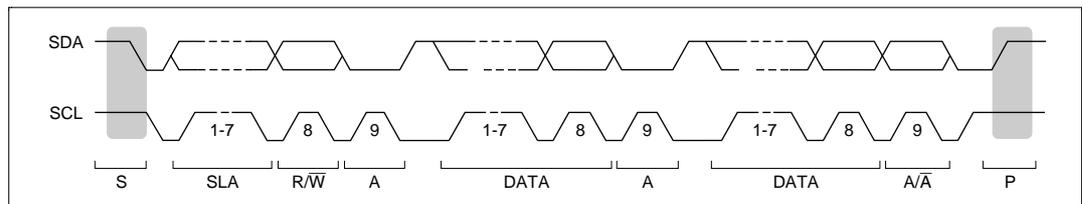


図 16.6 I<sup>2</sup>C バスタイミング

表 16.4 I<sup>2</sup>C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL = High レベルの状態です。SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 ビットで設定します。また MSB ファースト / LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL = High レベルの状態です。SDA を Low レベルから High レベルに変化させます。

### 16.3.2 マスタ送信動作

I<sup>2</sup>C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

以下に ICDR のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

- [1] ICCR の ICE ビットを 1 に設定します。ICMR の MLS、WAIT ビット、CKS2~CKS0 ビット、および STCR の IICX ビットを動作モードに合わせて設定します。
- [2] ICCR の BBSY フラグをリードしバスがフリー状態であることを確認します。
- [3] ICCR の MST、TRS ビットをそれぞれ 1 にセットしてマスタ送信モードに設定します。
- [4] ICCR に BBSY=1 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を High レベルから Low レベルに変化させ、開始条件を生成します。
- [5] 開始条件の生成に伴い IRIC、IRTR フラグが 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対して割り込み要求を発生します。
- [6] ICDR にデータ (スレーブアドレス+R/W) をライトします。

I<sup>2</sup>C バスフォーマット (SAR の FS ビットまたは SARX の FSX ビットが 0 のとき) では、開始条件に続く第 1 フレームデータは 7 ビットのスレーブアドレスと送信 / 受信の方向を示します。

次に転送終了を判断するため IRIC フラグを 0 にクリアします。

ここで ICDR のライトと IRIC フラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。

もし IRIC フラグのクリアまでに 1 バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

マスタデバイスは図 16.7 で示すタイミングで送信クロックと ICDR にライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。

- [7] 1 フレームのデータ送信が終了し、送信クロックの 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。

SCL は 1 フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的に Low レベルに固定されます。

- [8] ICSR の ACKB ビットをリードして ACKB=0 であることを確認します。  
スレーブデバイスがアクノリッジを返さず ACKB=1 となっている場合は、[12] の送信終了処理を行い、再度送信動作をやり直してください。
- [9] ICDR に送信データをライトします。

次に転送終了を判断するため IRIC フラグを 0 にクリアします。

ここで [6] 同様に ICDR のライトと IRIC フラグのクリアは連続的に行ってください。

次フレームの送信は内部クロックに同期して行われます。

[10] 1 フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりで IRIC フラグが1にセットされます。

SCL は 1 フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的に Low レベルに固定されます。

[11] ICSR の ACKB ビットをリードします。

スレーブデバイスがアクノリッジを返し ACKB=0 となっていることを確認します。引き続きデータを送信する場合には、[9]に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さず ACKB=1 となっている場合は、[12]の送信終了処理を行います。

[12] IRIC フラグを0にクリアします。

ICCR に BBSY=0 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

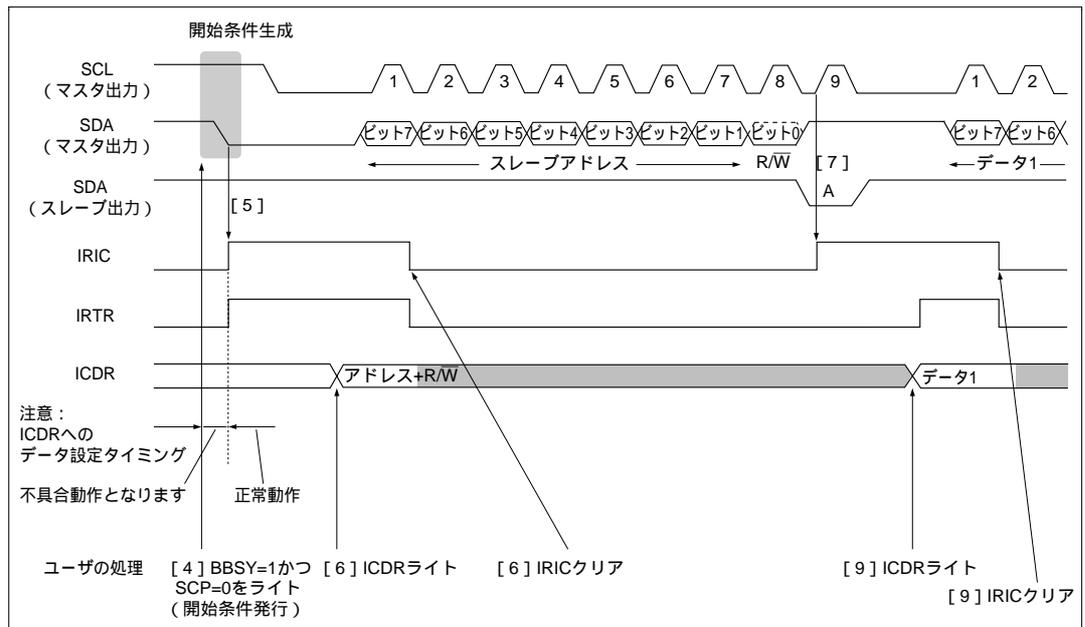


図 16.7 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

### 16.3.3 マスタ受信動作

I<sup>2</sup>C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

以下にウェイト動作を利用し、ICDR のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

- [1] ICCR の TRS ビットを 0 にクリアし、送信モードから受信モードに切り替えます。  
ICMR の WAIT ビットを 1 にセットします。  
ICSR の ACKB ビットを 0 にクリアします。(アクノリッジデータの設定)
- [2] ICDR をリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。  
次にウェイトを判断するため IRIC フラグを 0 にクリアします。  
ここで ICDR のリードと IRIC フラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。  
もし IRIC フラグのクリアまでに 1 バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
- [3] 1 フレームの受信クロックの 8 クロック目の立ち下がりで IRIC フラグが 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対して割り込み要求を発生します。  
SCL は IRIC フラグがクリアされるまで内部クロックに同期して自動的に Low レベルに固定されます。  
1 フレーム目が最後の受信データの場合は、[10]の終了処理を行ってください。
- [4] ウェイトを解除するため IRIC フラグを 0 にクリアします。  
マスタデバイスは受信クロックの 9 クロック目を出力するとともに、SDA を Low レベルにし、アクノリッジを返します。
- [5] 1 フレームのデータ受信が終了し、受信クロックの 9 クロック目の立ち上がりで IRIC フラグ、および IRTR フラグが 1 にセットされます。  
マスタデバイスは引き続き次の受信データの受信クロックを出力します。
- [6] ICDR の受信データをリードします。
- [7] 次のウェイトを判断するため IRIC フラグを 0 にクリアします。  
[4] (または [9]) のウェイト解除のため、IRIC フラグクリアから [5] ~ [7] のデータ受信完了処理までは、1 バイト分の転送時間内で行ってください。
- [8] 1 フレームの受信クロックの 8 クロック目の立ち下がりで IRIC フラグが 1 にセットされます。  
SCL は IRIC フラグがクリアされるまで内部クロックに同期して自動的に Low レベルに固定されます。

このフレームが最後の受信データの場合は、[10]の終了処理を行ってください。

- [9] ウェイトを解除するため IRIC フラグを 0 にクリアします。  
 マスタデバイスは受信クロックの 9 クロック目を出力するとともに、SDA を Low レベルにし、アクノリッジを返します。

[5]から[9]を繰り返し行うことにより、データを受信することができます。

- [10]ICSR の ACKB ビットを 1 にセットし、最後の受信用アクノリッジデータを設定します。

ICCR の TRS ビットを 1 にセットし、受信モードから送信モードに切り替えます。

- [11]ウェイトを解除するため IRIC フラグを 0 にクリアします。
- [12] 1 フレームのデータ受信が終了し、受信クロックの 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。
- [13] ICMR の WAIT ビットを 0 にクリアし、ウェイトモードを解除します。  
 その後、ICDR の受信データをリードし、IRIC フラグを 0 にクリアします。  
 IRIC フラグのクリアは WAIT=0 の状態で行ってください。

( IRIC フラグを 0 にクリア後に WAIT ビットを 0 にクリアし、停止条件発行命令を実行した場合、SDA ラインが Low 固定され、停止条件が発行できなくなります。 )

- [14] ICCR に BBSY=0 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

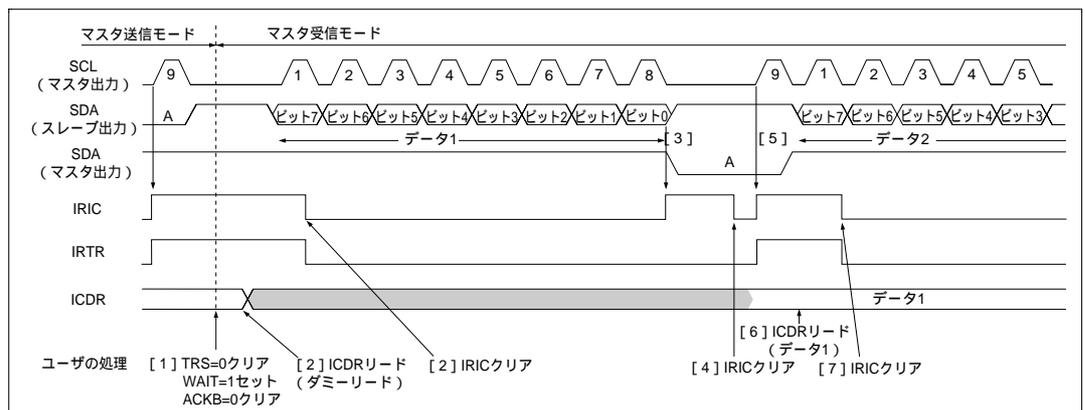


図 16.8 (1) マスタ受信モード動作タイミング例 (MLS=ACKB = 0、WAIT=1 のとき)

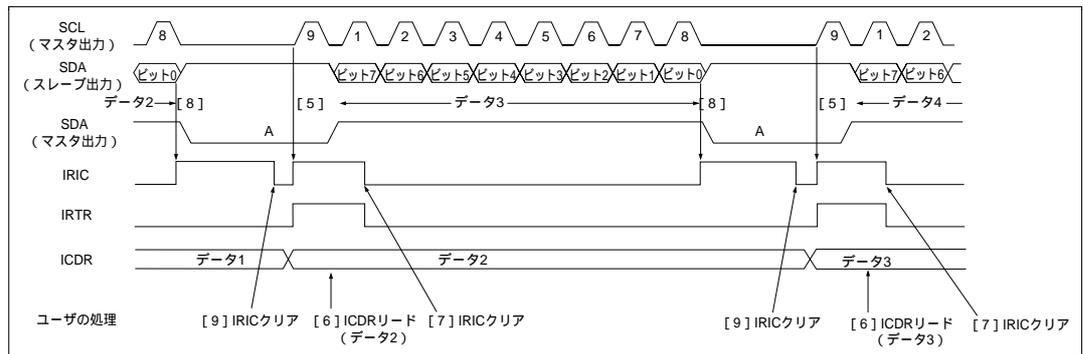


図 16.8 (2) マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

### 16.3.4 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

- [1] ICCR の ICE ビットを 1 にセットします。また、ICMR の MLS ビットおよび ICCR の MST、TRS ビットを動作モードにあわせて設定します。
- [2] マスタデバイスの出力した開始条件を検出すると、ICCR の BBSY フラグが 1 にセットされます。
- [3] 開始条件後の第 1 フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8 ビット目のデータ ( $R\bar{W}$ ) が 0 のとき ICCR の TRS ビットは 0 のまま変化せず、スレーブ受信動作を行います。
- [4] 受信フレームの 9 クロック目でスレーブデバイスは SDA を Low レベルにし、アクノリッジを返します。同時に ICCR の IRIC フラグが 1 にセットされます。このとき、ICCR の IEIC ビットが 1 にセットされていると、CPU に対し割り込み要求を発生します。このとき、RDRF 内部フラグが 0 にクリアされていると、RDRF 内部フラグを 1 にセットして引き続き受信動作を行います。RDRF 内部フラグが 1 にセットされていると、スレーブデバイスは受信クロックの立ち下がりから ICDR にデータをリードするまで SCL を Low レベルにします。
- [5] ICDR をリードし、ICCR の IRIC フラグを 0 にクリアします。このとき RDRF フラグが 0 にクリアされます。

[4] から [5] を繰り返し行うことにより、受信動作を継続できます。SCL が High レベルのとき、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

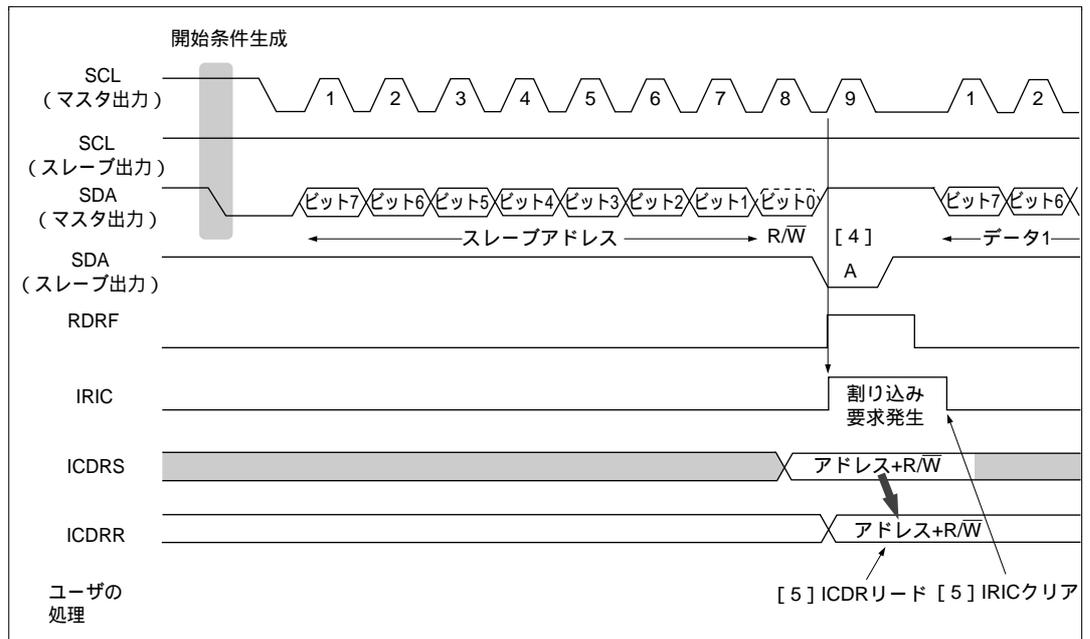


図 16.9 スレープ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき)

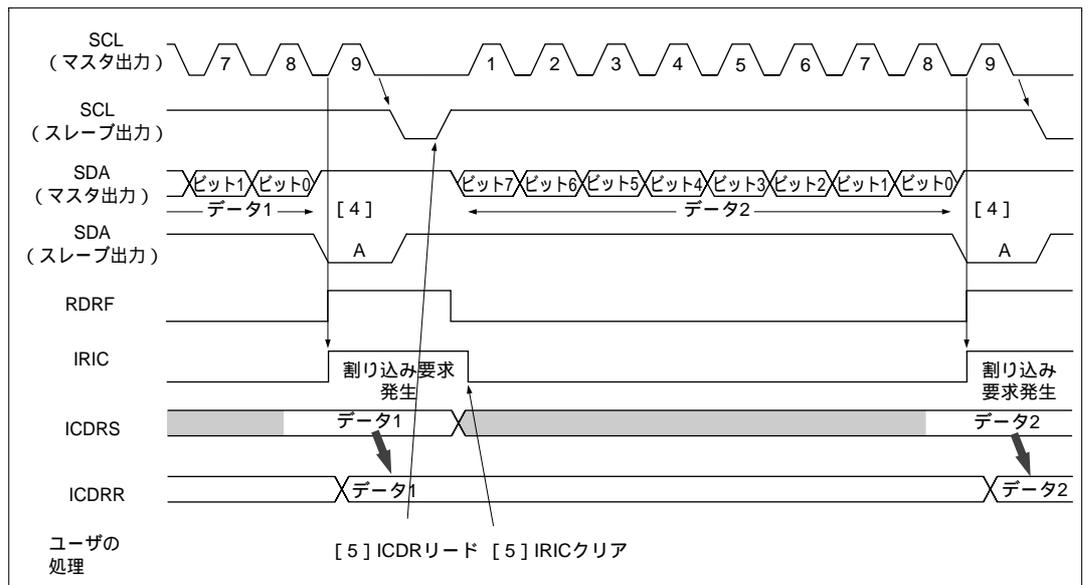


図 16.10 スレープ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき)

### 16.3.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

- [1] ICCR の ICE ビットを 1 にセットします。また、ICMR の MLS ビットおよび ICCR の MST、TRS ビットを動作モードにあわせて設定します。
- [2] 開始条件を検出後の第 1 フレームでスレーブアドレスが一致したとき、9 クロック目でスレーブデバイスは SDA を Low レベルにし、アクノリッジを返します。同時に ICCR の IRIC フラグが 1 にセットされ、このとき、ICCR の IEIC ビットが 1 にセットされていると CPU に対し割り込み要求を発生します。また、8 ビット目のデータ ( $R/\bar{W}$ ) が 1 のとき ICCR の TRS ビットが 1 にセットされ、自動的にスレーブ送信モードに変化します。このとき TDRE 内部フラグが 1 にセットされます。スレーブデバイスは送信クロックの立ち下がりから ICDR データをライトするまで SCL を Low レベルにします。
- [3] IRIC フラグを 0 にクリア後、ICDR にデータをライトします。このとき TDRE 内部フラグは 0 にクリアされます。ライトされたデータは ICDRS に転送され、TDRE 内部フラグおよび IRIC、IRTR フラグが再び 1 にセットされます。IRIC フラグを 0 にクリア後、ICDR に次のデータをライトします。スレーブデバイスは図 16.11 で示すタイミングでマスタデバイスが出力するクロックに従い、ICDR にライトされたデータを順次送出します。
- [4] 1 フレームのデータ送信が終了し、送信クロックの 9 クロック目の立ち上がりで ICCR の IRIC フラグが 1 にセットされます。またこのスレーブデバイスは、TDRE 内部フラグが 1 にセットされていると、送信クロックの立ち下がりから ICDR にデータライトするまで SCL を Low レベルにします。マスタデバイスは 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。このアクノリッジは ICSR の ACKB ビットに格納されるので転送動作が正常に行われたかどうか確認することができます。TDRE 内部フラグが 0 のときは、ICDR にライトされたデータは ICDRS に転送され送信を開始し、TDRE 内部フラグおよび IRIC、IRTR フラグが再び 1 にセットされます。
- [5] 送信を続ける場合は、IRIC フラグを 0 にクリア後、次に送信するデータを ICDR にライトします。このとき TDRE 内部フラグは 0 にクリアされます。

[4] から [5] を繰り返すことにより、送信動作を継続できます。送信を終了する場合は、スレーブ側で SDA を開放するために ICDR に H'FF をライトします。SCL が High レベルのとき SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

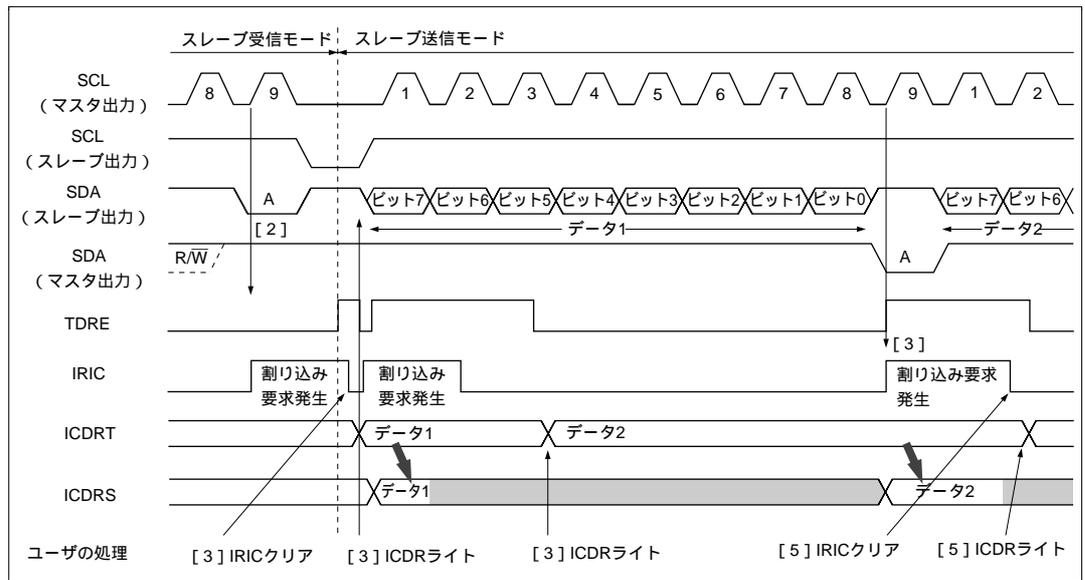


図 16.11 スレーブ送信モード動作タイミング例 (MLS = 0 のとき)

### 16.3.6 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 16.12 に IRIC セットタイミングと SCL 制御を示します。

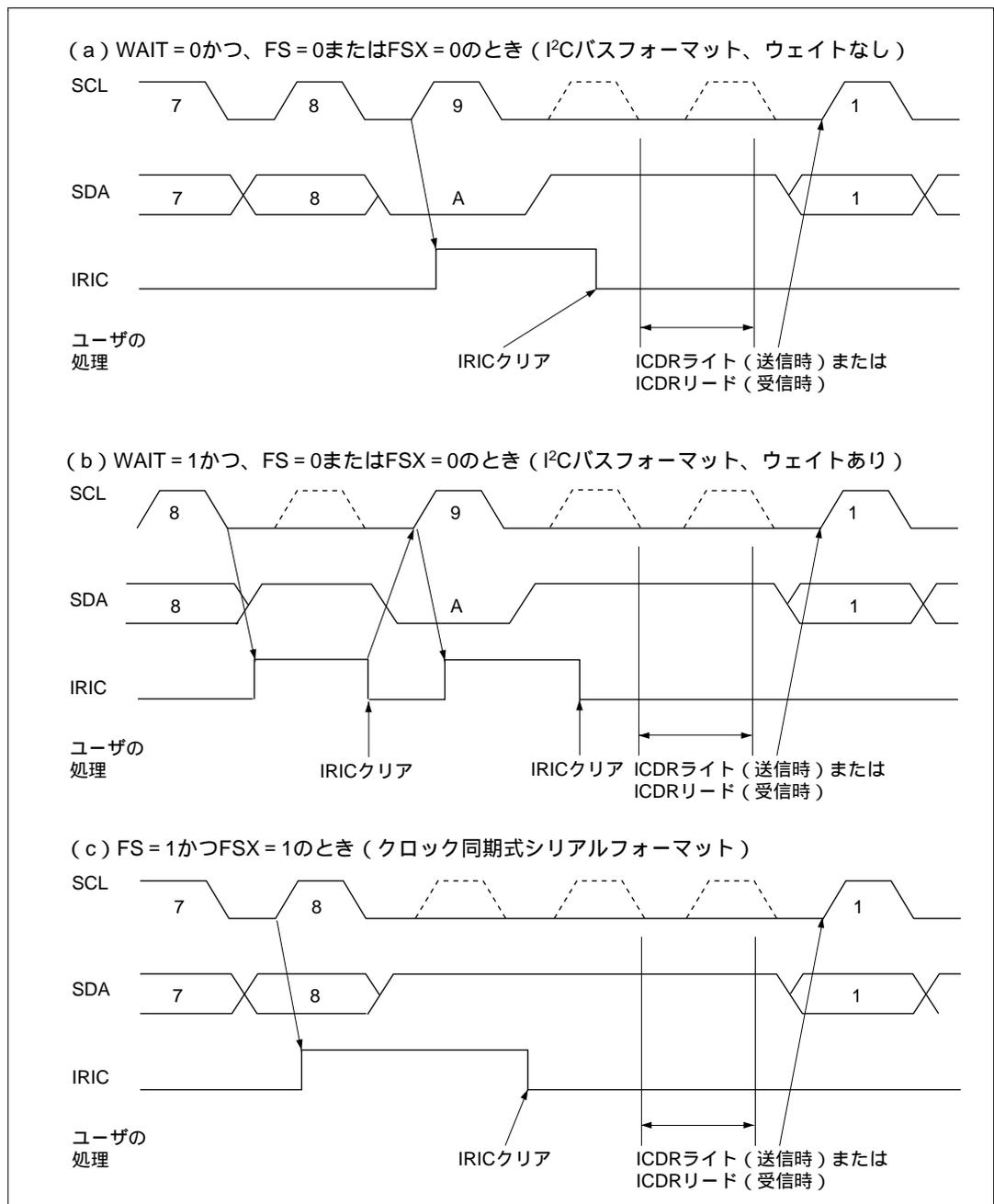


図 16.12 IRIC セットタイミングと SCL 制御

### 16.3.7 フォーマットレスから I<sup>2</sup>C バスフォーマットへの自動切り替え

DDCSWR の SW ビットを 1 にセットすると、IIC0 の動作モードを、フォーマットレスにすることができます。フォーマットレスから I<sup>2</sup>C バスフォーマット (スレーブモード) へは、SCL の立ち下がりを検出すると自動的に切り替えられます。

この動作の前提として、以下の 4 つの条件が必要です。

- (1) フォーマットレスと I<sup>2</sup>C バスフォーマットのデータ端子 (SDA) が共通
- (2) フォーマットレスと I<sup>2</sup>C バスフォーマットのクロック端子が独立  
(フォーマットレス : VSYNCL、I<sup>2</sup>C バスフォーマット : SCL)
- (3) フォーマットレス時には SCL 端子は 1 固定 (Low ドライブしない)
- (4) ICCR の TRS ビット以外が、I<sup>2</sup>C バスフォーマットでの動作可能な設定

自動切り替えは、SCL の立ち下がりエッジを検出して DDCSWR の SW ビットを自動的に 0 にクリアすることにより、フォーマットレス I<sup>2</sup>C バスフォーマットの方向で行われます。I<sup>2</sup>C バスフォーマット フォーマットレスの切り替えは、DDCSWR の SW ビットをソフトウェアで 1 にセットすることによって行います。

フォーマットレス時には、I<sup>2</sup>C バスインタフェースの動作モードを制御するビット (MSL ビット、TRS ビットなど) を書き換えしないでください。I<sup>2</sup>C バスフォーマット フォーマットレスの切り替え時には、フォーマットレスでの転送方向 (送信 / 受信) にあわせて TRS ビットを 1 にセットまたは 0 にクリアした後に SW ビットを 1 にセットしてください。フォーマットレス I<sup>2</sup>C バスフォーマット (スレーブモード) の自動切り替え後はスレーブアドレス受信待ちとするため、TRS ビットは自動的に 0 にクリアされます。

フォーマットレスで動作中に SCL の立ち下がりを検出すると、I<sup>2</sup>C バスインタフェースは、停止条件を待たず、その時点でフォーマットを切り替えます。

### 16.3.8 DTC による動作

I<sup>2</sup>C バスフォーマットでは、スレーブアドレスと R/W ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせる必要があります。

表 16.5 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 16.5 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R/W ビット送信 / 受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	-	CPU で処理 (ICDR リード)	-	-
本体データ送信 / 受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	-	-	DTC で処理 (ICDR ライト)	-
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で終了条件発行	不要	ダミーデータ (H'FF) 送出中に終了条件を検出して自動的にクリア	不要
DTC 転送データフレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R/W ビット分)	受信 : 実データ数	送信 : 実データ数 + 1 (+1 は、ダミーデータ (H'FF) 分)	受信 : 実データ数

### 16.3.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号 (または SDA 端子入力信号) がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

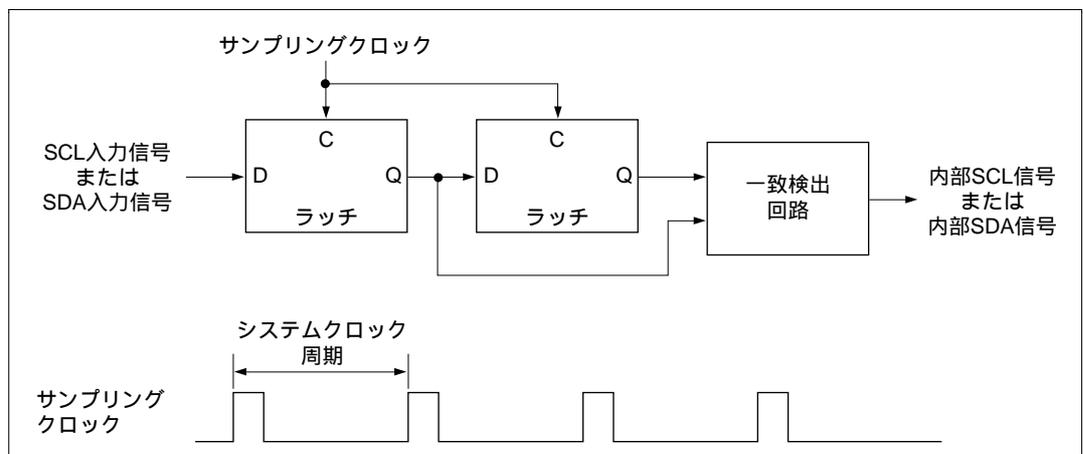
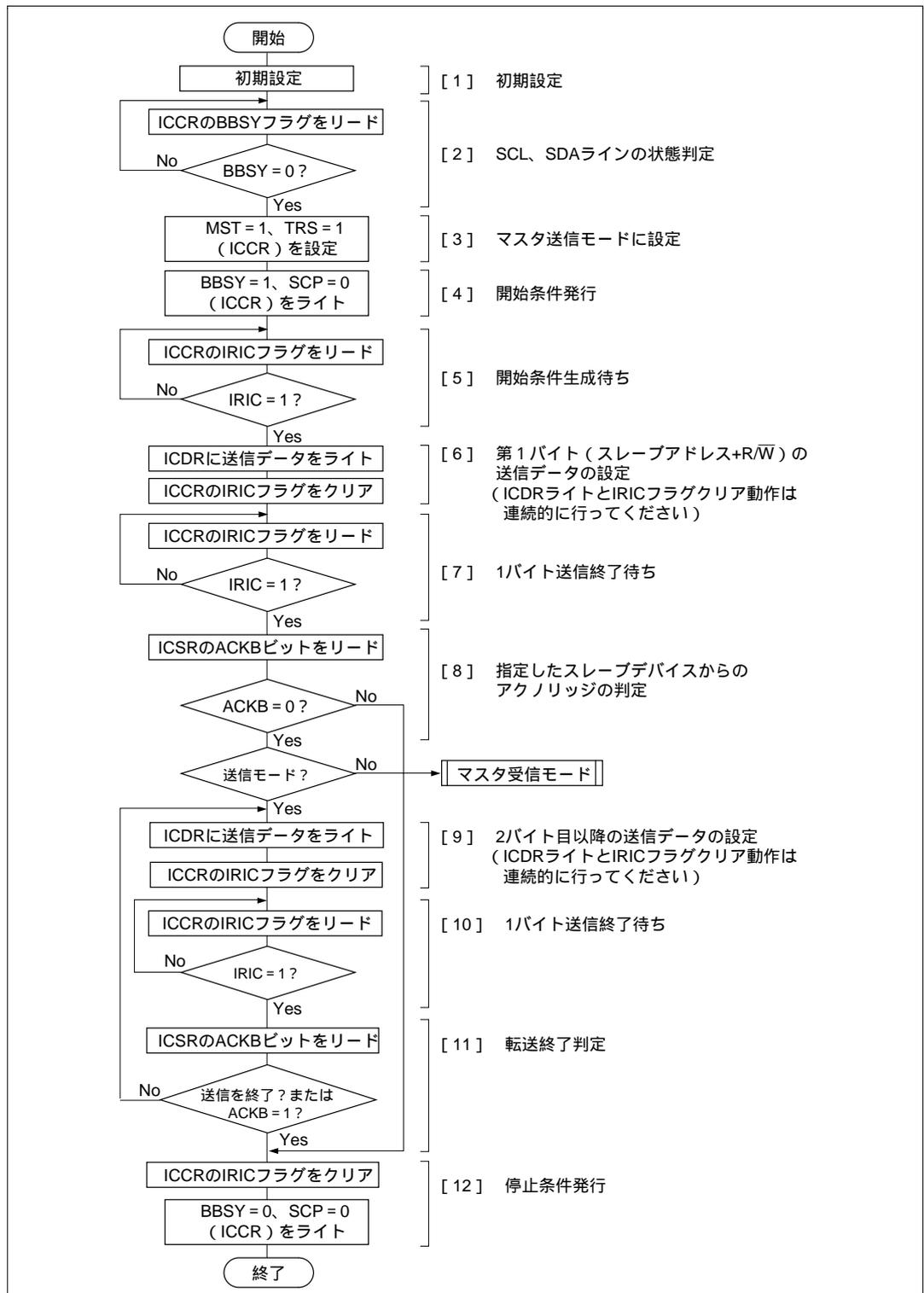


図 16.13 ノイズ除去回路のブロック図

## 16.3.10 使用例

I<sup>2</sup>Cバスインタフェースを使用する場合の各モードでのフローチャート例を図 16.14 ~ 図 16.17 に示します。



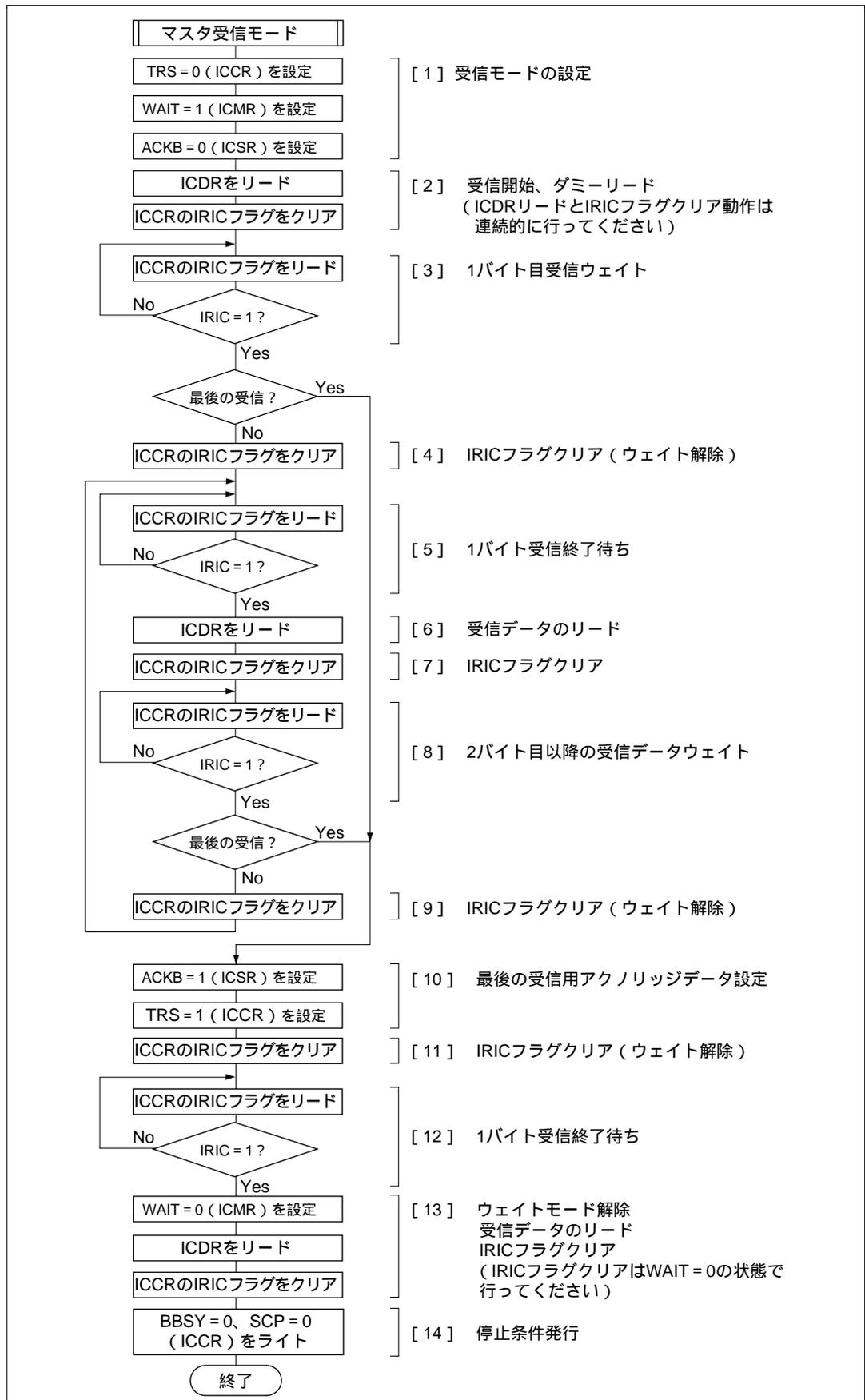


図 16.15 マスタ受信モードのフローチャート例

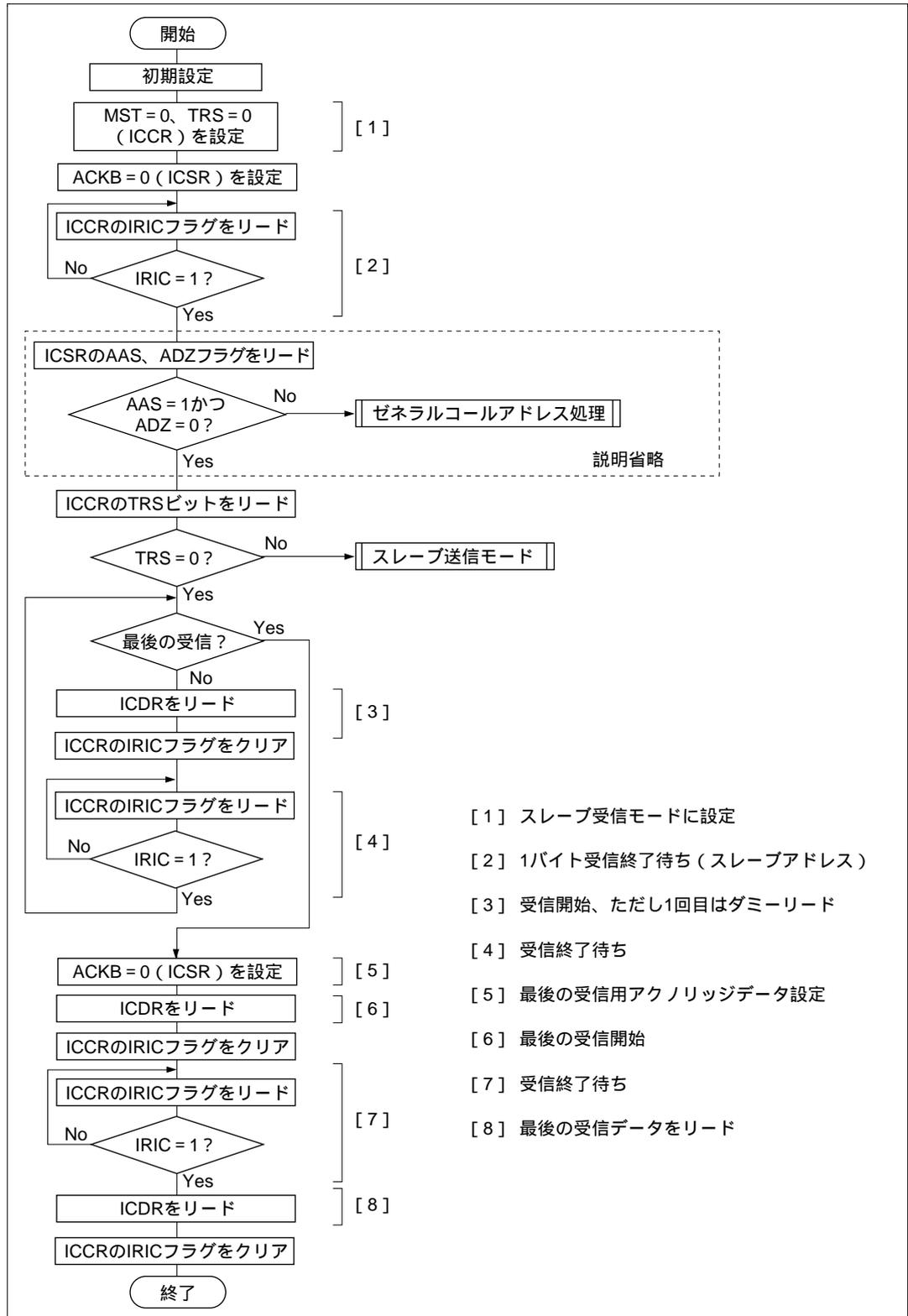


図 16.16 スレーブ受信モードフローチャート例

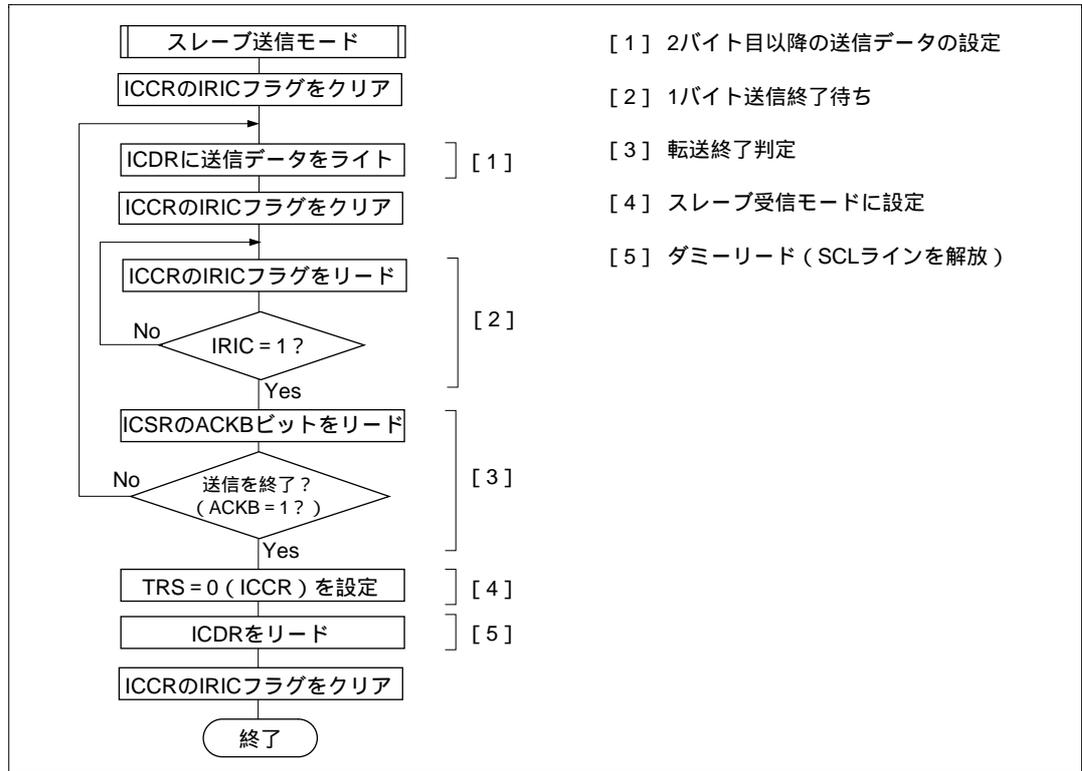


図 16.17 スレーブ送信モードフローチャート例

### 16.3.11 内部状態の初期化

本 IIC は、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能を持っています。

初期化は、(1) DDCSWR レジスタの CLR3~CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3~CLR0 ビットの設定の詳細は、「16.2.8 DDC スイッチレジスタ (DDCSWR)」を参照してください。

#### (1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ・ TDRE、RDRF 内部フラグ
- ・ 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- ・ SCL、SDA 端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)

なお、以下の内容は初期化されません。

- ・ レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、DDCSWR、STCR)
- ・ ICMR、ICCR、ICSR、DDCSWR 各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ
- ・ ICMR レジスタのビットカウンタ (BC2~BC0) の値
- ・ 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

## (2) 初期化における注意事項

- ・ 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- ・ その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- ・ DDCSWR レジスタにより初期化を行う場合、CLR3~CLR0 ビットのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。  
また、再度クリアが必要な場合は、同様にすべてのビットとも設定に従い、同時に書き込みする必要があります。
- ・ 送受信中にフラグのクリア設定を行うと、その時点で IIC モジュールは送受信を中止し SCL、SDA 端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

- (1) CLR3~CLR0 ビットの設定、または ICE ビットによる内部状態の初期化実行
- (2) BBSY ビットを 0 にクリアするための、停止条件発行命令実行 (BBSY = 0 かつ SCP = 0 ライト) および、転送レート of 2 クロック分の期間ウェイト
- (3) CLR3~CLR0 ビットの設定、または ICE ビットによる内部状態の初期化の再実行
- (4) IIC の各レジスタの初期化 (再設定)

## 16.4 使用上の注意事項

1. マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合\*は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDA がともに Low レベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=1 となったタイミングでは、まだ SCL が Low レベルになっていない場合がありますのでご注意ください。

【注】 \* I<sup>2</sup>C バスの仕様上では不正なフォーマットです。

2. 次転送のスタート条件が次の 2 条件となっています。ICDR をリード/ライトする場合は注意してください。
  - ICE = 1 かつ TRS = 1 かつ ICDR にライトしたとき (ICDRT ICDRS の自動転送を含む)
  - ICE = 1 かつ TRS = 0 かつ ICDR をリードしたとき (ICDRS ICDRR の自動転送を含む)
3. SCL、SDA 出力は、内部クロックに同期して表 16.6 に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 16.6 I<sup>2</sup>C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	$t_{SCLO}$	$28t_{cyc} \sim 256t_{cyc}$	ns	図 22.24 (参考)
SCL 出力 High パルス幅	$t_{SCLHO}$	$0.5t_{SCLO}$	ns	
SCL 出力 Low パルス幅	$t_{SCLLO}$	$0.5t_{SCLO}$	ns	
SDA 出力バスフリー時間	$t_{BUFO}$	$0.5t_{SCLO} \quad 1t_{cyc}$	ns	
開始条件出力ホールド時間	$t_{STAHO}$	$0.5t_{SCLO} \quad 1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	$t_{STASO}$	$1t_{SCLO}$	ns	
停止条件出力セットアップ時間	$t_{STOSO}$	$0.5t_{SCLO} + 2t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	$t_{SDASO}$	$1t_{SCLLO} \quad 3t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		$1t_{SCLL} \quad (6t_{cyc} \text{ または } 12t_{cyc}^*)$	ns	
データ出力ホールド時間	$t_{SDAHO}$	$3t_{cyc}$	ns	

【注】 \* IICX が 0 のとき  $6t_{cyc}$ 、IICX が 1 のとき  $12t_{cyc}$  となります。

4. SCL、SDA 入力、内部クロックに同期してサンプリングされます。そのため、AC タイミングは、「第 22 章 電気的特性」の I<sup>2</sup>C バスタイミングに示すように、システムクロック周期  $t_{cyc}$  に依存しています。システムクロック周波数が 5MHz に満たないと、

I<sup>2</sup>C バスインタフェースの AC タイミング仕様を満足しなくなりますのでご注意ください。

5. SCL の立ち上がり時間  $t_{Sr}$  は、I<sup>2</sup>C バスインタフェースの仕様で 1000ns (高速モード時は 300ns) 以内と定められています。本 I<sup>2</sup>C バスインタフェースは、マスタモード時 SCL をモニタし、ビットごとに同期をとりながら通信を行います。そのため SCL の立ち上がり時間  $t_{Sr}$  (Low レベルから  $V_{IH}$  まで変化する時間) が、I<sup>2</sup>C バスインタフェースの入力クロックで決まる時間を超えた場合、SCL の High 期間が延ばされます。SCL の立ち上がり時間は、SCL ラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表 16.7 に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 16.7 SCL 立ち上がり時間 ( $t_{Sr}$ ) の許容範囲

IICX	tcyc 表示		時間表示 [ns]					
			I <sup>2</sup> C バス 仕様(max.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz
0	7.5tcyc	標準モード	1000		937	750	468	375
		高速モード	300					
1	17.5tcyc	標準モード	1000					875
		高速モード	300					

6. SCL、SDA の立ち上がり、立ち下がり時間は、I<sup>2</sup>C バスインタフェースの仕様で 1000ns および 300ns 以内と定められています。一方、本 I<sup>2</sup>C バスインタフェースの SCL、SDA 出力タイミングは、表 16.6 に示すように  $t_{cyc}$  によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートでは I<sup>2</sup>C バスインタフェースの仕様を満足しない場合があります。表 16.8 は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

$t_{BUFO}$  はどの周波数でも I<sup>2</sup>C バスインタフェースの仕様を満足しません。これに対しては、(a) 停止条件発行後、開始条件の発行まで必要なインターバル (1  $\mu$ s 程度) を確保するようプログラムする必要があります。あるいは、(b) I<sup>2</sup>C バスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の  $t_{SCLLO}$ 、標準モード時の  $t_{STASO}$  では、 $t_{Sr}/t_{Sr}$  をワーストケースとして計算した場合に I<sup>2</sup>C バスインタフェースの仕様を満足しません。(a) プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b) 転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c) I<sup>2</sup>C バスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 16.8 I<sup>2</sup>C バスタイミング (t<sub>Sr</sub>/t<sub>Sr</sub> 影響最大の場合)

項目	t <sub>cyc</sub> 表示	時間表示 (最大転送レート時) [ns]							
		t <sub>Sr</sub> /t <sub>Sr</sub> 影響(max.)	I <sup>2</sup> C バス 仕様(min.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz	
t <sub>SCLHO</sub>	0.5t <sub>SCLO</sub> (-t <sub>Sr</sub> )	標準モード	-1000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950
t <sub>SCLLO</sub>	0.5t <sub>SCLO</sub> (-t <sub>Sr</sub> )	標準モード	-250	4700	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>
t <sub>BUFO</sub>	0.5t <sub>SCLO</sub> -1t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-1000	4700	3800* <sup>1</sup>	3875* <sup>1</sup>	3900* <sup>1</sup>	3938* <sup>1</sup>	3950* <sup>1</sup>
		高速モード	-300	1300	750* <sup>1</sup>	825* <sup>1</sup>	850* <sup>1</sup>	888* <sup>1</sup>	900* <sup>1</sup>
t <sub>STAHO</sub>	0.5t <sub>SCLO</sub> -1t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-250	4000	4550	4625	4650	4688	4700
		高速モード	-250	600	800	875	900	938	950
t <sub>STASO</sub>	1t <sub>SCLO</sub> (-t <sub>Sr</sub> )	標準モード	-1000	4700	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200
t <sub>STOSO</sub>	0.5t <sub>SCLO</sub> +2t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-1000	4000	4400	4250	4200	4125	4100
		高速モード	-300	600	1350	1200	1150	1075	1050
t <sub>SDASO</sub> マスタ時	1t <sub>SCLLO</sub> * <sup>3</sup> -3t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
t <sub>SDASO</sub> スレーブ時	1t <sub>SCLL</sub> * <sup>3</sup> -12t <sub>cyc</sub> * <sup>2</sup> (-t <sub>Sr</sub> )	標準モード	-1000	250	1300	2200	2500	2950	3100
		高速モード	-300	100	-1400* <sup>1</sup>	-500* <sup>1</sup>	-200* <sup>1</sup>	250	400
t <sub>SDAHO</sub>	3t <sub>cyc</sub>	標準モード	0	0	600	375	300	188	150
		高速モード	0	0	600	375	300	188	150

【注】 \*1 I<sup>2</sup>C バスインタフェースの仕様を満足しません。以下の4つの対応などが必要です。

- (1) 開始/停止条件発行のインターバルを確保する。
- (2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。
- (3) 転送レートを下げて調整する。
- (4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件にあわせ、I<sup>2</sup>C バスインタフェースの仕様を満足するか検討してください。

\*2 IICX ビットが1のときです。IICX ビットを0に設定すると、(t<sub>SCLL</sub>-6t<sub>cyc</sub>)となります。

\*3 I<sup>2</sup>C バス仕様値 (標準モード: 4700ns min.、高速モード: 1300ns min.) で計算しています。

#### 7. マスタ受信終了時における ICDR リードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRS ビットを1にセットし、ICCR の BBSY = 0 かつ SCP = 0 をライトします。これにより、SCL が High レベルのとき、SDA を Low レベルから High レベルに変化させ、停止条件を生成します。この後で受信データは ICDR のリードにより読み出すことができますが、バッファに

データが残っている場合、ICDRS の受信データは ICDR (ICDRR) に転送されなくなりますので、第 2 バイト目のデータは、読み出すことができなくなります。

第 2 バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRS ビットが 0 の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ず ICCR レジスタの BBSY ビットが 0 になり、停止条件が生成され、バスが開放されていることを確認後に、TRS が 0 の状態で ICDR レジスタをリードしてください。このとき、停止条件発行のための命令実行 (ICCR の BBSY = 0 かつ SCP = 0 をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDR のデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後の MST ビットのクリアなど、送受信の動作モード、設定変更のための IIC 制御ビットの書き換えについては、必ず図 16.18 (a) の期間中 (ICCR レジスタの BBSY ビットの 0 クリア確認後) に行ってください。

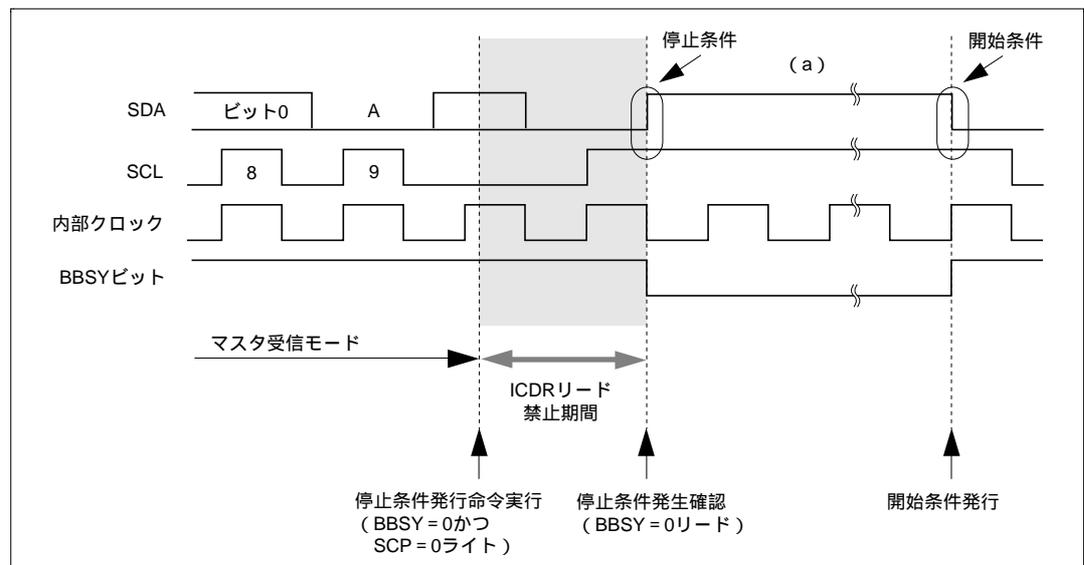


図 16.18 マスタ受信データの読み出しにおける注意

#### 8. 再送のための開始条件発行時の注意事項

図 16.19 に、再送のための開始条件発行のタイミングと、それに連続して ICDR にデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成された後で ICDR に送信データをライトしてください。

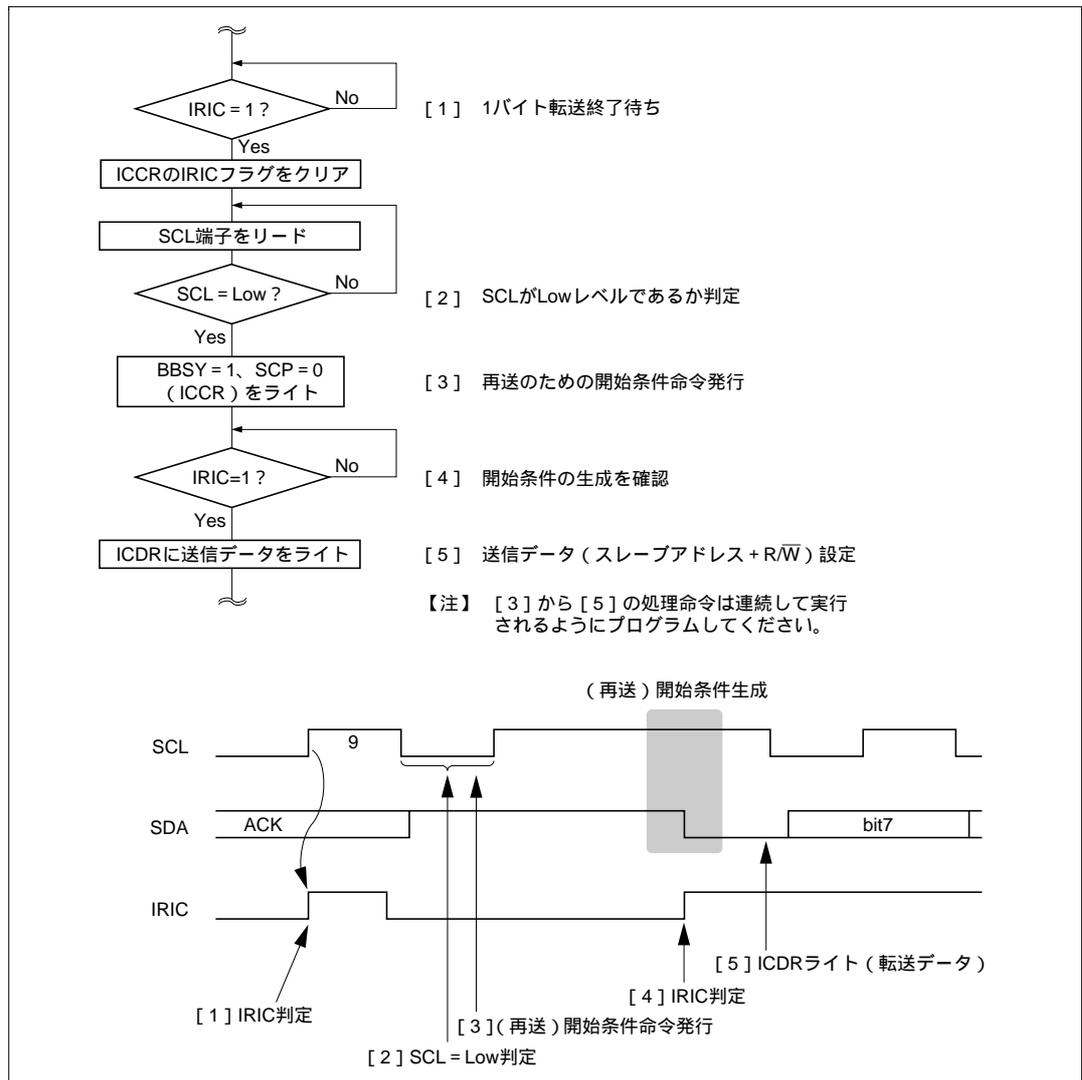


図 16.19 再送のための開始条件命令発行フローチャートおよびタイミング

9. I<sup>2</sup>C バスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を越えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

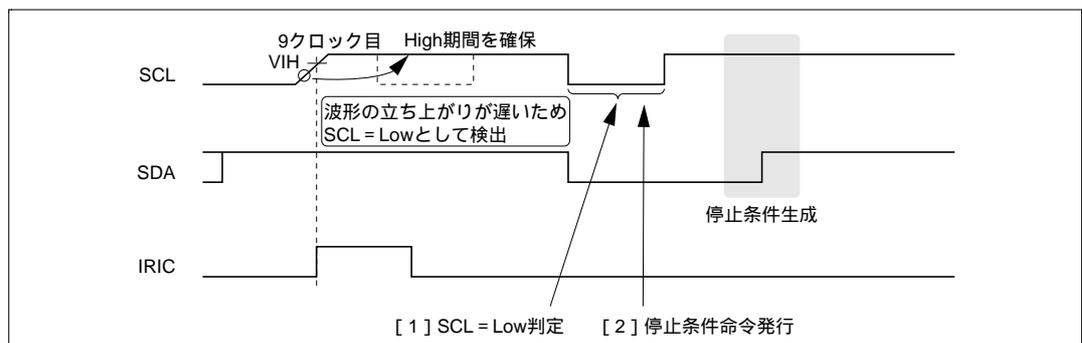


図 16.20 停止条件発行タイミング

## 10. ウェイト機能使用時の IRIC フラグクリアの注意事項

I<sup>2</sup>C バスインタフェースのマスタモードでウェイト機能を使用しているときに、SCL の立ち上がり時間が規定を越えてしまう場合や、SCL を Low にしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように SCL をリードして、SCL が Low に立ち下がったことを判定してから IRIC フラグのクリアをしてください。

SCL が High 期間を引き延ばしている最中に WAIT=1 の状態で IRIC フラグを 0 にクリアすると、SCL が立ち下がる前に SDA の値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

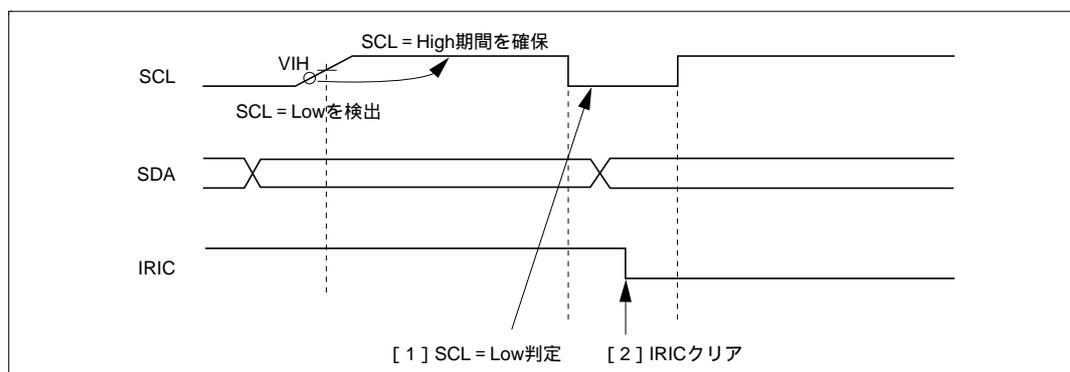


図 16.21 WAIT=1 状態での IRIC フラグクリアタイミング

## 11. スレーブ送信モードでの ICDR リードと ICCR アクセスの注意事項

I<sup>2</sup>C バスインタフェースのスレーブモード送信動作では、図 16.22 の網がけ期間中に ICDR のリードまたは、ICCR のリード/ライト動作を行わないようにしてください。通常 9 クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDR レジスタリードまたは、ICCR レジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信した ICDR のリード動作および、ICCR のリード/ライト動作を完了させるようにしてください。
- ICMR の BC2 ~ BC0 ビットカウンタをモニタし、BC2 ~ BC0=B'000 (8 クロック目または 9 クロック目) の場合は、2 転送クロック期間以上の待ち時間を設けて、問題となる期間を避けて ICDR のリードまたは、ICCR のリード/ライト動作を行ってください。

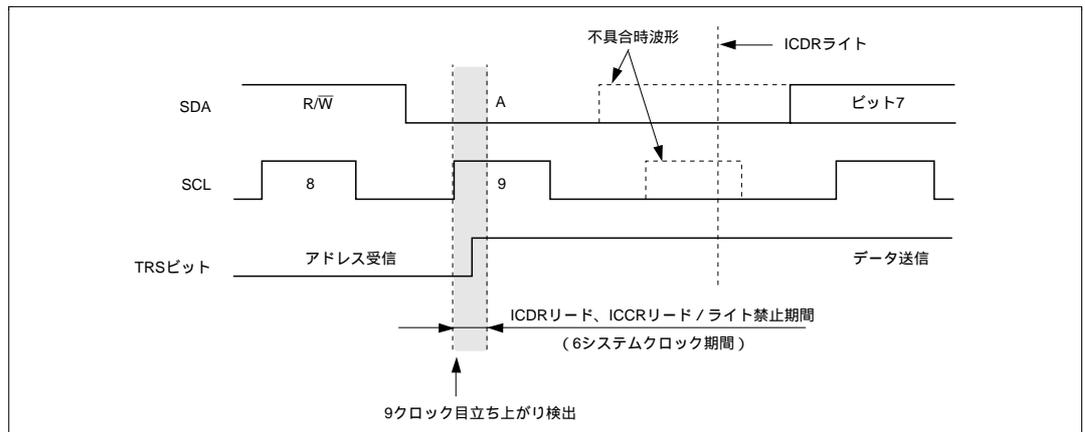


図 16.22 スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング

12. スレーブモードでの TRS ビット設定の注意事項

I<sup>2</sup>C バスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次に SCL 端子に立ち上がりエッジを検出するまで (図 16.23 (a) の期間) は、ICCR の TRS ビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間 (図 16.23 (b) の期間) に設定された TRS ビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的な TRS ビットの実効値は 1 (送信モード) のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレーブモードのアドレス受信を行う場合は、図 16.23 (a) の期間中に、TRS ビットを 0 クリアしてください。

スレーブモード時のウェイト機能による SCL 端子の Low 固定解除については、TRS ビット 0 クリア後 ICDR のダミーリードにより行います。

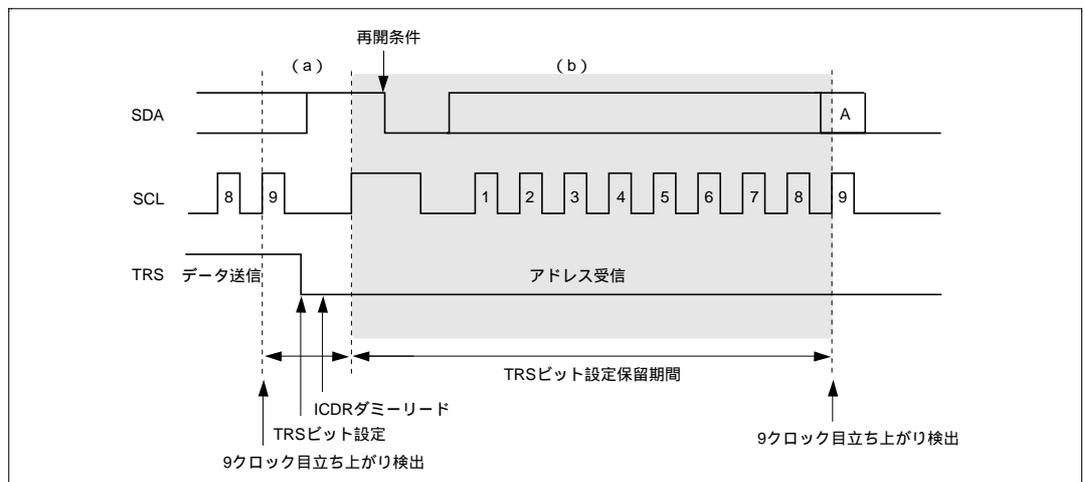


図 16.23 スレーブモードでの TRS ビット設定タイミング

## 13. 送信モードでの ICDR リードと受信モードでの ICDR ライトの注意事項

送信モード (TRS=1) での ICDR リード動作または、受信モード (TRS=0) での ICDR ライト動作を行った場合、条件によっては送受信動作終了後の SCL 端子の Low 固定が行われず、正規の ICDR のアクセス動作以前にクロックが SCL バスラインに出力される場合があります。

ICDR をアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

## 14. スレーブモードでの ACKE ビットと TRS ビットの注意事項

I<sup>2</sup>C バスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして 1 を受信 (ACKB=1) した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも 9 クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDRE フラグセットおよびアクノリッジビットとして 1 を受信 (ACKB=1) することで IRIC フラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I<sup>2</sup>C バスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして 1 を受信した場合には、ICCR の ACKE ビットをいったん 0 にクリアすることで、ACKB ビットを 0 に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。

スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図 16.17 に従って送信を終了してください。



---

# 17. A/D 変換器

---

## 第 17 章 目次

17.1	概要 .....	517
17.1.1	特長 .....	517
17.1.2	ブロック図 .....	518
17.1.3	端子構成 .....	519
17.1.4	レジスタ構成 .....	520
17.2	各レジスタの説明 .....	521
17.2.1	A/D データレジスタ A ~ D ( ADDRA ~ ADDRD ) .....	521
17.2.2	A/D コントロール / ステータスレジスタ ( ADCSR ) .....	522
17.2.3	A/D コントロールレジスタ ( ADCR ) .....	524
17.2.4	キーボードコンパレータコントロールレジスタ ( KBCOMP ) .....	525
17.2.5	モジュールストップコントロールレジスタ ( MSTPCR ) .....	526
17.3	バスマスタとのインタフェース .....	527
17.4	動作説明 .....	528
17.4.1	シングルモード ( SCAN = 0 ) .....	528
17.4.2	スキャンモード ( SCAN = 1 ) .....	530
17.4.3	入力サンプリングと A/D 変換時間 .....	532
17.4.4	外部トリガ入力タイミング .....	533
17.5	割り込み .....	534
17.6	使用上の注意 .....	534



## 17.1 概要

本 LSI は、逐次比較方式で動作する 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力を選択することができます。

8 チャンネルのアナログ端子入力に加え、最大 8 チャンネルのデジタル端子入力を A/D 変換の対象に選択が可能です。デジタル入力を選択した場合、変換精度が低下しますので、デジタル入力は多値入力判定のコンパレータなどの用途が最適です。

### 17.1.1 特長

A/D 変換器の特長を以下に示します。

#### 10 ビット分解能

入力チャンネル：8 チャンネル（アナログ入力端子）、8 チャンネル（デジタル入力端子）

アナログ変換電圧範囲の設定可能

- ・アナログ電源電圧端子（AVCC）をアナログ基準電圧として、アナログ変換電圧範囲を設定します。

#### 高速変換

- ・変換時間：1 チャンネルあたり 6.7  $\mu$ s（20MHz 動作時）

シングルモード / スキャンモードの動作モードから選択可能

- ・シングルモード：1 チャンネルの A/D 変換
- ・スキャンモード：1～4 チャンネルの連続 A/D 変換

4 本のデータレジスタ

- ・変換結果を各チャンネルに対応した 16 ビットデータレジスタに保持

サンプル & ホールド機能

3 種類の変換開始

- ・ソフトウェア、タイマの変換開始トリガ（8 ビットタイマ）または  $\overline{\text{ADTRG}}$  端子の選択が可能

A/D 変換終了割り込み要求発生

- ・A/D 変換終了時に、A/D 変換終了割り込み（ADI）要求を発生可能

### 17.1.2 ブロック図

A/D変換器のブロック図を図17.1に示します。

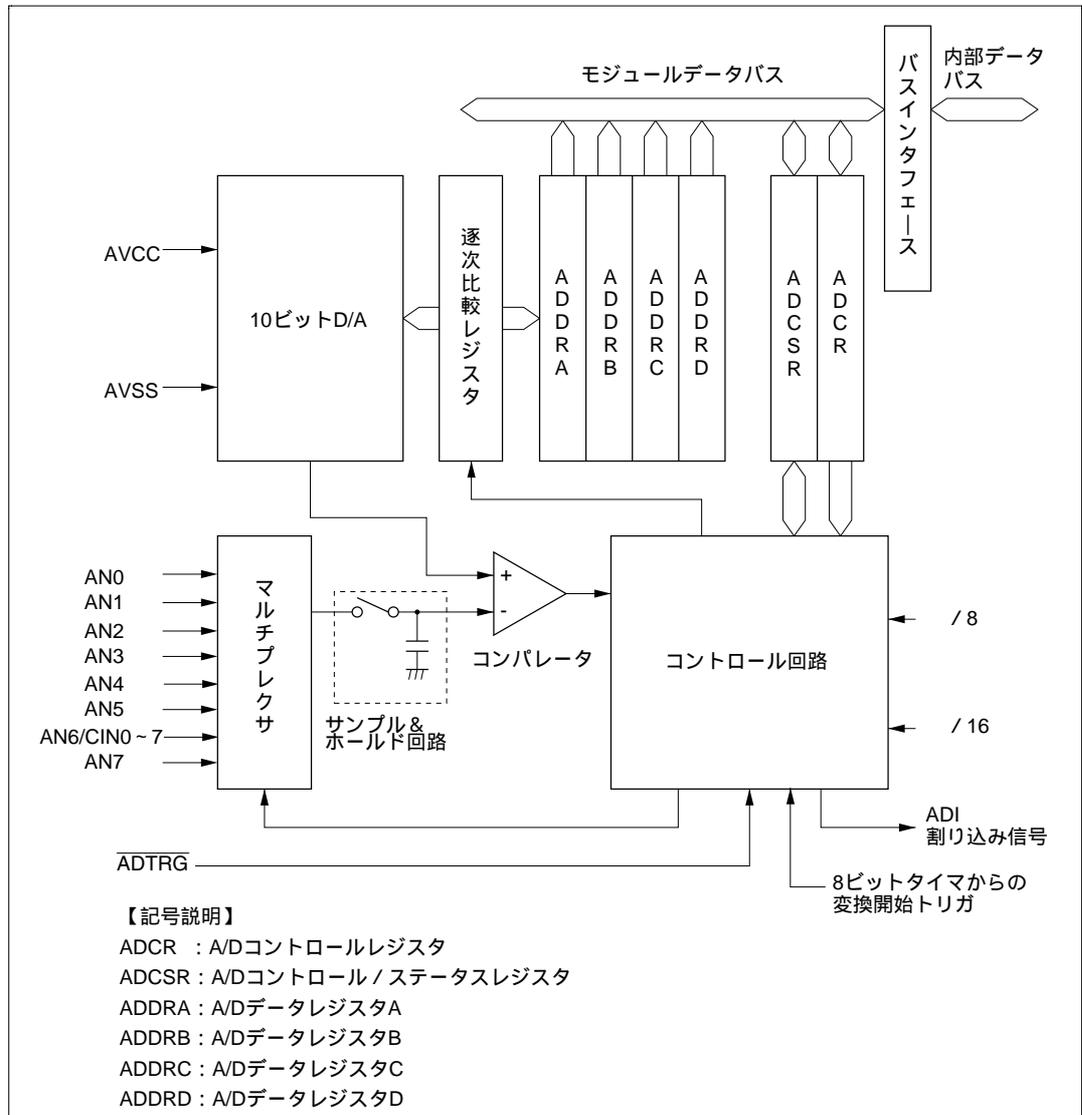


図 17.1 A/D 変換器のブロック図

### 17.1.3 端子構成

A/D 変換器で使用する入力端子を表 17.1 に示します。

AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 17.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力チャンネル 0
アナログ入力端子 1	AN1	入力	アナログ入力チャンネル 1
アナログ入力端子 2	AN2	入力	アナログ入力チャンネル 2
アナログ入力端子 3	AN3	入力	アナログ入力チャンネル 3
アナログ入力端子 4	AN4	入力	アナログ入力チャンネル 4
アナログ入力端子 5	AN5	入力	アナログ入力チャンネル 5
アナログ入力端子 6	AN6	入力	アナログ入力チャンネル 6
アナログ入力端子 7	AN7	入力	アナログ入力チャンネル 7
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力
拡張 A/D 入力端子 0~7	CIN0~ CIN7	入力	拡張 A/D 変換入力 (デジタル入力端子) チャンネル 0~チャンネル 7

### 17.1.4 レジスタ構成

A/D変換器のレジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFE0
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFE1
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFE2
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFE3
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFE4
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFE5
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFE6
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFE7
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)* <sup>2</sup>	H'00	H'FFE8
A/D コントロールレジスタ	ADCR	R/W	H'3F	H'FFE9
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86
	MSTPCRL	R/W	H'FF	H'FF87
キーボードコンパレータコントロールレジスタ	KBCOMP	R/W	H'00	H'FEE4

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

## 17.2 各レジスタの説明

### 17.2.1 A/D データレジスタ A ~ D ( ADDR A ~ ADDR D )

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDR A ~ ADDR D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイト（ビット 15 ~ 8）に、また下位 2 ビットが下位バイト（ビット 7、6）に転送され、保持されます。ビット 5 ~ 0 はリードすると常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 17.3 に示します。ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「17.3 バスマスタとのインタフェース」を参照してください。

ADDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'0000 に初期化されます。

表 17.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDR A
AN1	AN5	ADDR B
AN2	AN6 または CIN0 ~ CIN7	ADDR C
AN3	AN7	ADDR D

## 17.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

ADCSRは、8ビットのリード/ライト可能なレジスタで、A/D変換動作を制御します。

ADCSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00に初期化されます。

## ビット7: A/Dエンドフラグ (ADF)

A/D変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDTCが起動され、ADDRをリードしたとき
1	[セット条件] (1) シングルモード: A/D変換が終了したとき (2) スキャンモード: 指定したすべてのチャンネルのA/D変換が終了したとき

## ビット6: A/Dインタラプトイネーブル (ADIE)

A/D変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D変換の終了による割り込み (ADI) 要求を許可

## ビット5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は1を保持します。

ADST ビットは、ソフトウェア、タイマの変換開始トリガ、または A/D 外部トリガ入力端子 ( $\overline{\text{ADTRG}}$ ) によって1にセットすることができます。

ビット5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に0にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって、0にクリアされるまで選択されたチャンネルを順次連続変換

## ビット4 : スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモード/スキャンモードの動作については、「17.4 動作説明」を参照してください。SCAN ビットの設定は、変換停止中に行ってください。

ビット4	説明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

## ビット3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST = 0 の状態で行ってください。

ビット3	説明
CKS	
0	変換時間 = 266 ステート (Max) (初期値)
1	変換時間 = 134 ステート (Max)

ビット2~0：チャンネルセレクト2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

アナログ入力のうち1チャンネルはデジタル入力に切り替えることができます。

入力チャンネルの設定は、変換停止中に行ってください。

グループ選択	チャンネル選択		説 明	
	CH1	CH0	シングルモード	スキャンモード
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0、AN1、AN2
		1	AN3	AN0、AN1、AN2、AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6 または CIN0~CIN7	AN4、AN5、 AN6 または CIN0~CIN7
		1	AN7	AN4、AN5、 AN6 または CIN0~CIN7、 AN7

### 17.2.3 A/D コントロールレジスタ (ADCR)

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	—	—	—	—
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	—	—	—	—	—	—

ADCR は、8ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ADCR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'3F に初期化されます。

ビット7、6：タイマトリガセレクト1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。

TRGS1、TRGS0 ビットの設定は、変換停止中に行ってください。

ビット7	ビット6	説明
TRGS1	TRGS0	
0	0	外部トリガによる A/D 変換の開始を禁止 (初期値)
	1	外部トリガによる A/D 変換の開始を禁止
1	0	外部トリガ (8 ビットタイマ) による A/D 変換の開始を許可
	1	外部トリガ端子による A/D 変換の開始を許可

ビット5~0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です\*。

【注】\* H8S/2128S グループではライトするときは必ず1をライトしてください。

## 17.2.4 キーボードコンパレータコントロールレジスタ (KBCOMP)

ビット	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KBCOMP は、8 ビットのリード/ライト可能なレジスタで、A/D 変換する CIN 入力チャネルの選択をします。

KBCOMP は、リセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7~4：リザーブビット

リザーブビットです。

ビット3：キーボード A/D イネーブル

A/D 変換器のチャンネル6の入力をアナログ入力端子 (AN6) とデジタル入力端子 (CIN0 ~ CIN7) のいずれかを選択します。なお、デジタル入力端子を選択した場合、A/D 変換器のチャンネル7の入力は正しく変換されません。

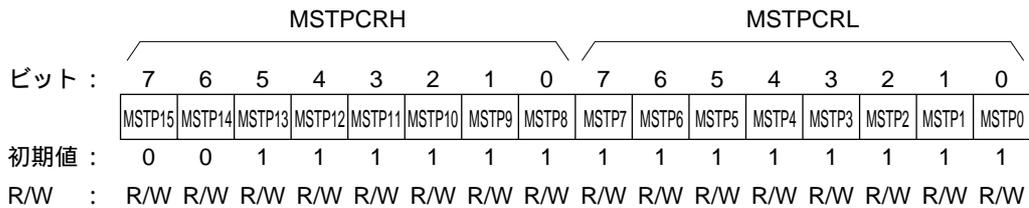
ビット2~0：キーボード A/D チャンネルセレクト2~0

デジタル入力端子から、A/D 変換するチャネルを選択します。

入力チャネルの設定は、変換停止中に行ってください。

ビット3	ビット2	ビット1	ビット0	A/D変換器		
KBADE	KBCH2	KBCH1	KBCH0	チャンネル6入力	チャンネル7入力	
0	-	-	-	AN6	AN7	
1	0	0	0	CIN0	不定	
			1	CIN1		
			0	CIN2		
			1	CIN3		
	1	0	0	0		CIN4
				1		CIN5
				0		CIN6
				1		CIN7

### 17.2.5 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTP9ビットを1にセットすると、バスサイクルの終了時点でA/D変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### MSTPCRH ビット1 : モジュールストップ (MSTP9)

A/D変換器のモジュールストップモードを指定します。

MSTPCRH ビット1	説明
MSTP9	
0	A/D変換器のモジュールストップモード解除
1	A/D変換器のモジュールストップモード設定 (初期値)

## 17.3 バスマスタとのインタフェース

ADDRA ~ ADDR<sub>D</sub> は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 17.2 に、ADDR のアクセス時のデータの流れを示します。

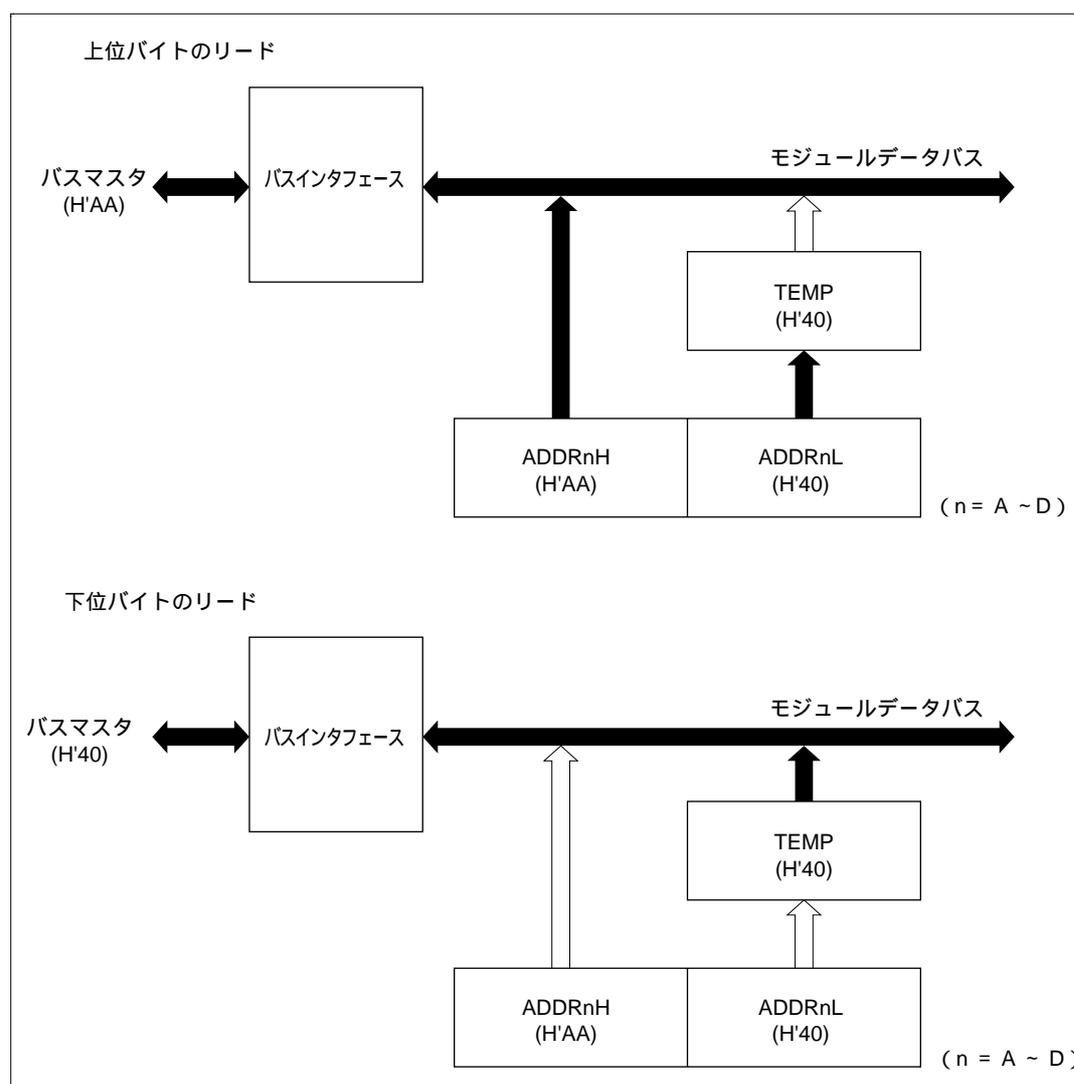


図 17.2 ADDR のアクセス動作 (H'AA40 リード時)

## 17.4 動作説明

A/D変換器は逐次比較方式で動作し、10ビットの分解能を持っています。シングルモードとスキャンモードの各モードの動作について説明します。

### 17.4.1 シングルモード (SCAN = 0)

シングルモードは、1チャンネルのみA/D変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によってADSTビットが1にセットされると、A/D変換を開始します。ADSTビットはA/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了すると、ADFフラグが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生します。

ADFフラグは、ADCSRをリードした後、0をライトするとクリアされます。

動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるためにADCSRのADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを1にセットすると再びA/D変換を開始します。なお、動作モードや入力チャンネルの変更と、ADSTビットのセットは同時に行うことができます。

シングルモードでチャンネル1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図17.3に示します。

- [1] 動作モードをシングルモードに (SCAN = 0)、入力チャンネルをAN1に (CH1 = 0、CH0 = 1) A/D割り込み要求許可 (ADIE = 1) に設定して、A/D変換を開始 (ADST = 1) します。
- [2] A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF = 1、ADST = 0となりA/D変換器は変換待機となります。
- [3] ADF = 1、ADIE = 1となっているため、ADI割り込み要求が発生します。
- [4] A/D割り込み処理ルーチンが開始されます。
- [5] ADCSRをリードした後、ADFに0をライトします。
- [6] A/D変換結果 (ADDRB) をリードして、処理します。
- [7] A/D割り込み処理ルーチンの実行を終了します。

この後、ADSTビットを1にセットするとA/D変換が開始され、[2] ~ [7]を行います。

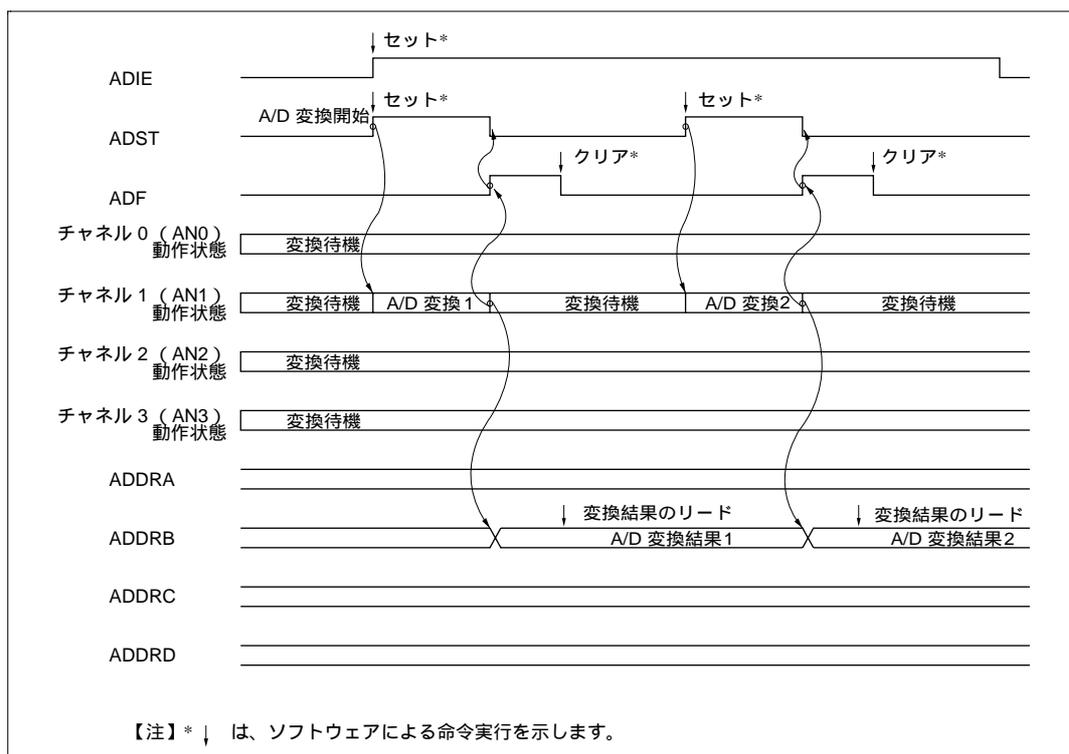


図 17.3 A/D 変換器の動作例 (シングルモード チャンネル1 選択時)

## 17.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニターするような応用に適しています。ソフトウェア、タイマまたは外部トリガ入力によってADSTビットが1にセットされると、グループの第1チャンネル(CH2=0のときAN0、CH2=1のときAN4)からA/D変換は開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、直ちに第2チャンネル(AN1またはAN5)のA/D変換を開始します。

A/D変換は、ADSTビットが0にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるためにADCSRのADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。なお、動作モードや入力チャンネルの変更と、ADSTビットのセットは同時に行うことができます。

スキャンモードで3チャンネル(AN0~AN2)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図17.4に示します。

- [1] 動作モードをスキャンモードに(SCAN=1)、スキャングループを0に(CH2=0)、アナログ入力チャンネルをAN0~AN2(CH1=1、CH0=0)に設定してA/D変換を開始(ADST=1)します。
- [2] 第1チャンネル(AN0)のA/D変換が開始されA/D変換が終了すると、変換結果をADDRAに転送します。  
次に第2チャンネル(AN1)が自動的に選択され、変換を開始します。
- [3] 同様に第3チャンネル(AN2)まで変換を行います。
- [4] 選択されたすべてのチャンネル(AN0~AN2)の変換が終了すると、ADF=1となり、再び第1チャンネル(AN0)を選択し、変換が行われます。  
このときADIEビットが1にセットされているとA/D変換終了後、ADI割り込みが発生します。
- [5] ADSTビットが1にセットされている間は、[2]~[4]を繰り返します。  
ADSTビットを0にクリアするとA/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル(AN0)から変換が行われます。

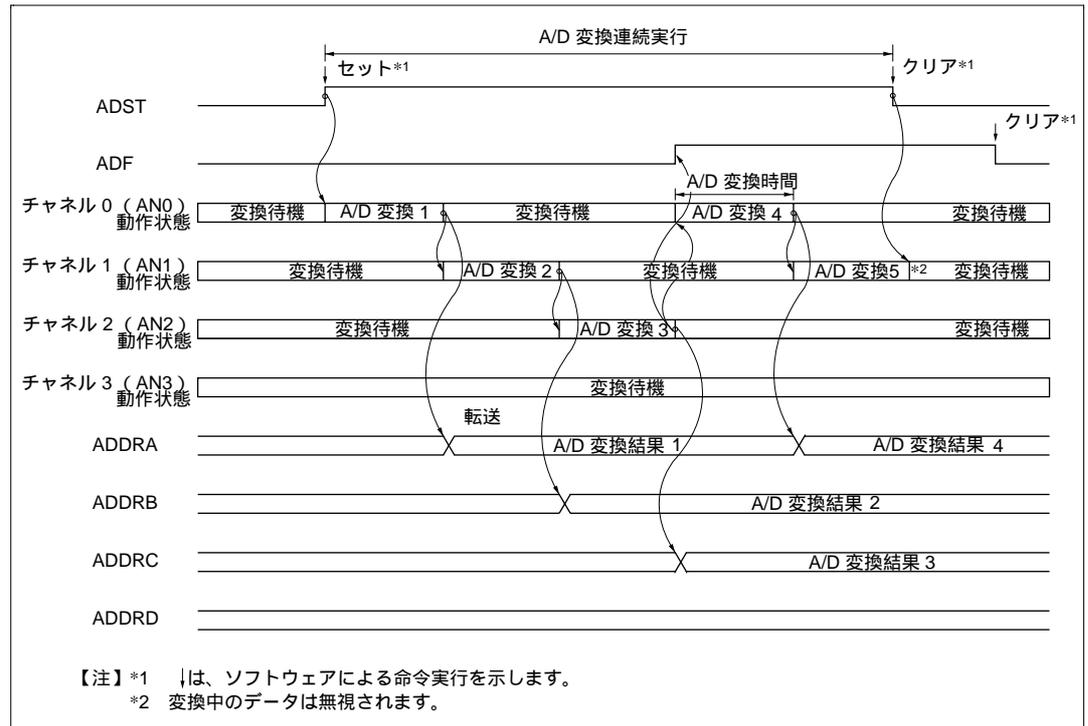


図 17.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)

### 17.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADSTビットが1にセットされてから $t_D$ 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図17.5に示します。また、A/D変換時間を表17.4に示します。

A/D変換時間は、図17.5に示すように、 $t_D$ と入力サンプリング時間を含めた時間となります。ここで $t_D$ は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表17.4に示す範囲で変化します。

スキャンモードの変換時間は、表17.4に示す値が1回目の変換時間となりますが、2回目以降はCKS=0の場合は256ステート（固定）、CKS=1の場合は128ステート（固定）となります。

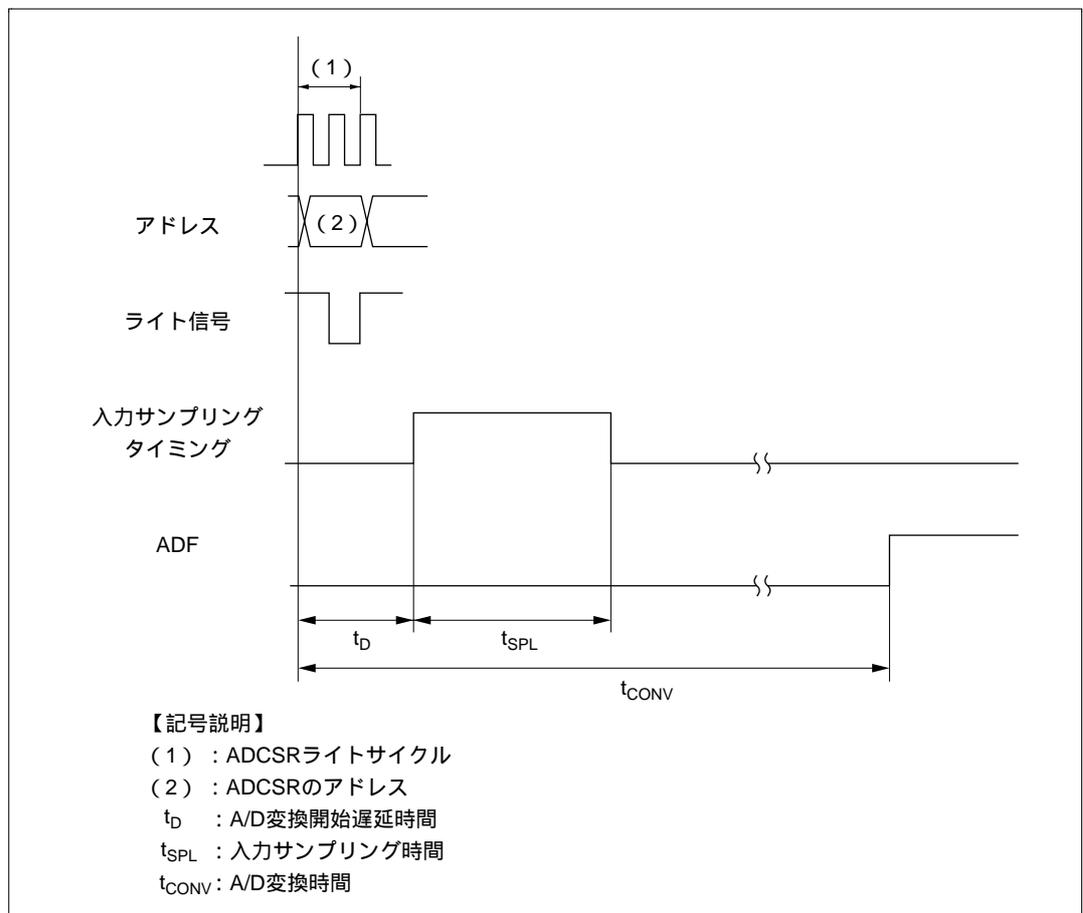


図 17.5 A/D 変換タイミング

表 17.4 A/D 変換時間 (シングルモード)

項目	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_D$	10	-	17	6	-	9
入力サンプリング時間	$t_{SPL}$	-	63	-	-	31	-
A/D 変換時間	$t_{CONV}$	259	-	266	131	-	134

【注】 単位：ステート

#### 17.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{ADTRG}$  端子から入力されます。 $\overline{ADTRG}$  入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 17.6 に示します。

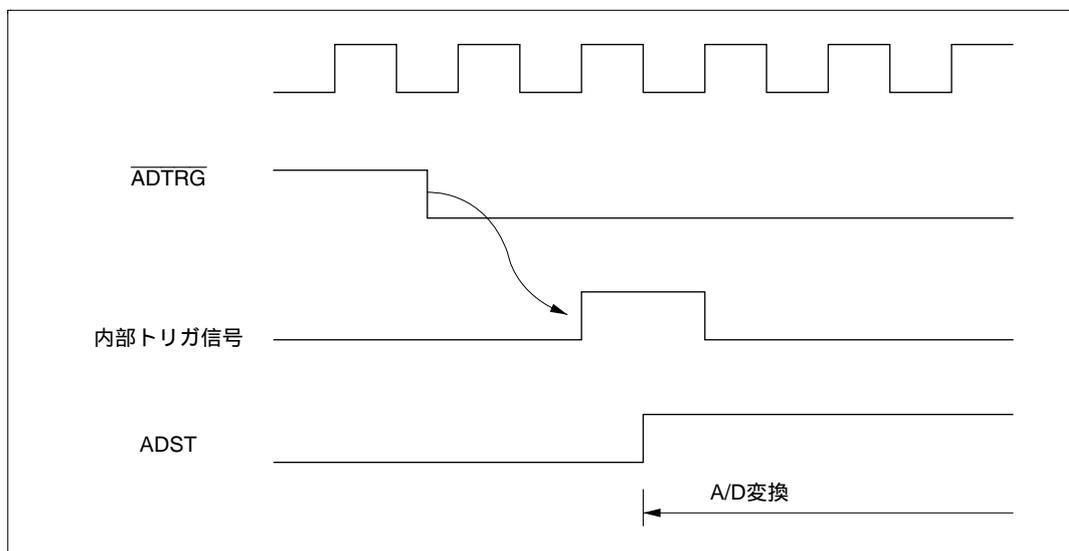


図 17.6 外部トリガ入力タイミング

## 17.5 割り込み

A/D変換器は、A/D変換の終了により、A/D変換終了割り込み（ADI）を発生します。  
ADI割り込み要求は、ADCSRのADIEビットで許可または禁止することができます。

## 17.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

### (1) アナログ電源端子他の設定範囲

#### (a) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN<sub>n</sub>に印加する電圧はAV<sub>SS</sub> AN<sub>n</sub> AV<sub>CC</sub>の範囲として  
ください。（n=0~7）

#### (b) デジタル入力電圧の範囲

デジタル入力端子CIN<sub>n</sub>に印加する電圧はAV<sub>SS</sub> CIN<sub>n</sub> AV<sub>CC</sub>かつV<sub>SS</sub> CIN<sub>n</sub> V<sub>CC</sub>の  
範囲としてください。（n=0~7）

#### (c) AV<sub>CC</sub>、AV<sub>SS</sub>とV<sub>CC</sub>、V<sub>SS</sub>の関係

AV<sub>CC</sub>、AV<sub>SS</sub>とV<sub>CC</sub>、V<sub>SS</sub>との関係はAV<sub>SS</sub>=V<sub>SS</sub>とし、さらに、A/D変換器を使用しない  
ときも、AV<sub>CC</sub>、AV<sub>SS</sub>端子を決してオープンにしないでください。

以上(a)、(b)、(c)が守られない場合、LSIの信頼性に悪影響を及ぼすことがあり  
ます。

### (2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトして  
ください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近  
接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動  
作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力信号（AN0~AN7）、アナログ電源（AV<sub>CC</sub>）は、アナロググラン  
ド（AV<sub>SS</sub>）で、デジタル回路を必ず分離してください。さらに、アナロググランド（AV<sub>SS</sub>）  
は、ボード上の安定したデジタルグランド（V<sub>SS</sub>）に一点接続してください。

### (3) ノイズ対策上の注意

アナログ入力端子 (AN0~AN7) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 17.7 に示すように AVCC - AVSS 間に接続してください。

また、AVCC に接続するバイパスコンデンサ、AN0~AN7 に接続するフィルタのコンデンサは、必ず AVSS に接続してください。

なお、図 17.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN0~AN7) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス ( $R_{in}$ ) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

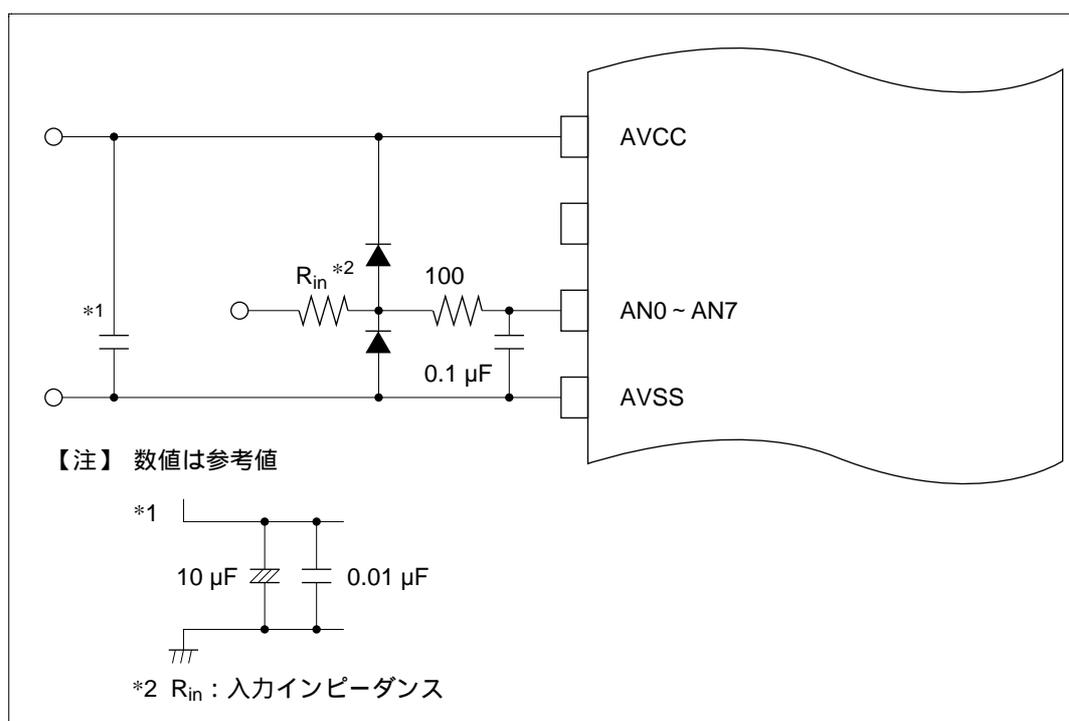


図 17.7 アナログ入力保護回路の例

表 17.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	10*	k

【注】 \*  $V_{CC} = 4.0 \sim 5.5V$ 、12MHz の場合

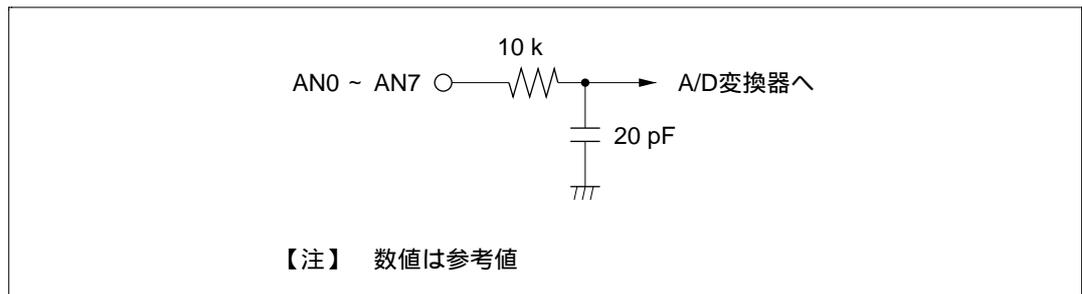


図 17.8 アナログ入力端子等価回路

#### (4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- ・ 分解能  
A/D 変換器のデジタル出力コード数
- ・ オフセット誤差  
デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 17.10)
- ・ フルスケール誤差  
デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 17.10)
- ・ 量子化誤差  
A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる (図 17.9)
- ・ 非直線性誤差  
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- ・ 絶対精度  
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

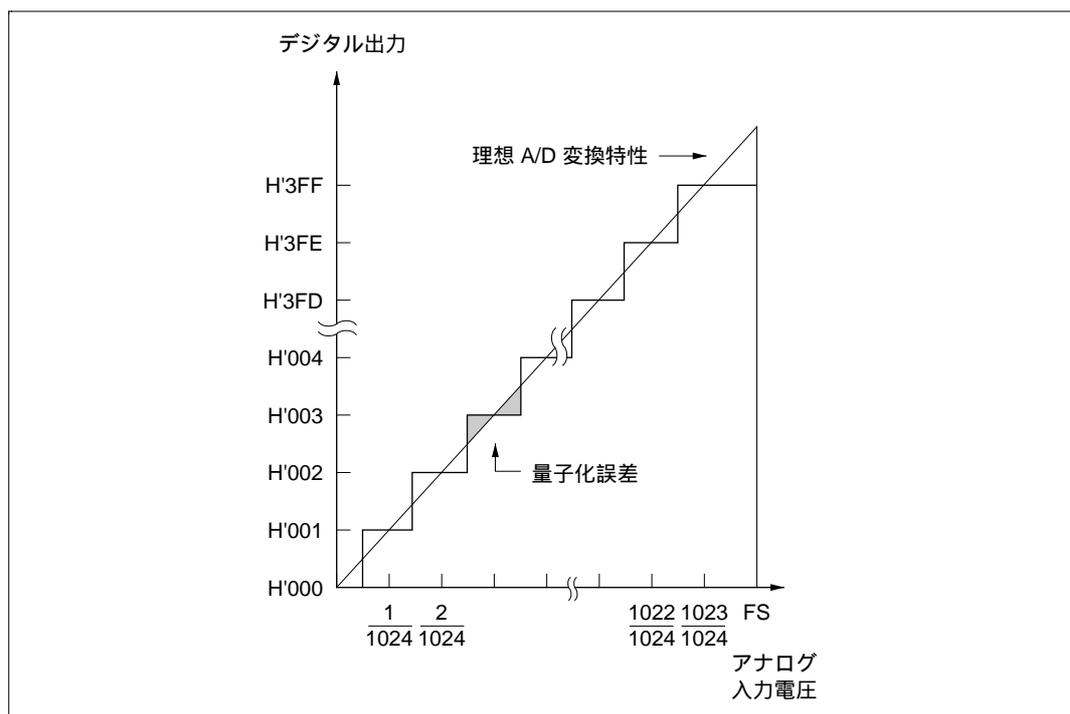


図 17.9 A/D 変換精度の定義 (1)

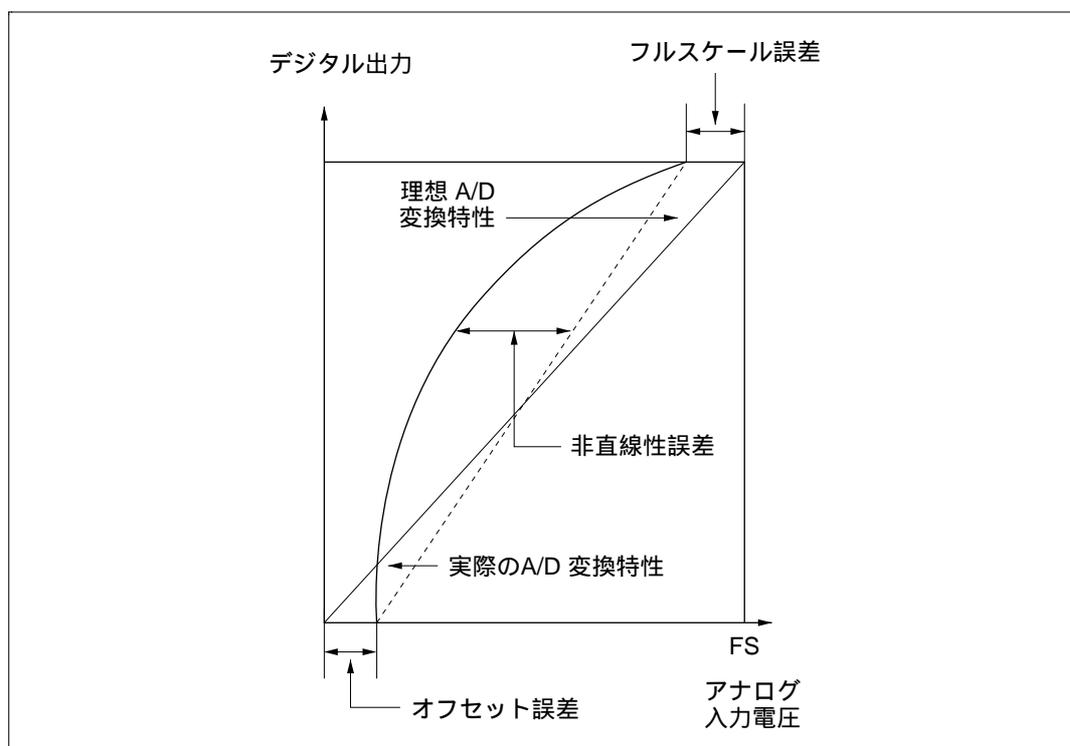


図 17.10 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが  $10\text{k}$  ( $AV_{CC} = 4.0 \sim 5.5\text{V}$ 、 $12\text{MHz}$  または  $CKS=0$  のとき) 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出カインピーダンスが  $10\text{k}$  ( $AV_{CC} = 4.0 \sim 5.5\text{V}$ 、 $12\text{MHz}$  または  $CKS=0$  のとき) を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $10\text{k}$  だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば  $5\text{mV}/\mu\text{s}$  以上)には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず  $AV_{SS}$  などの電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意が必要です。

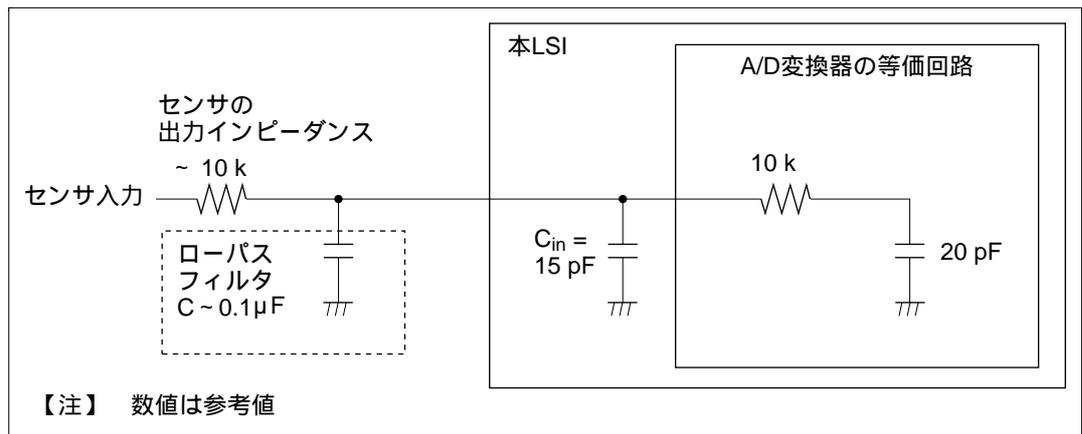


図 17.11 アナログ入力回路の例

---

# 18. RAM

---

## 第 18 章 目次

18.1	概要 .....	541
18.1.1	ブロック図 .....	541
18.1.2	レジスタ構成 .....	541
18.2	システムコントロールレジスタ (SYSCR) .....	542
18.3	動作説明 .....	543
18.3.1	拡張モード (モード 1、2、3 (EXPE = 1)) .....	543
18.3.2	シングルチップモード (モード 2、3 (EXPE = 0)) .....	543



## 18.1 概要

H8S/2128 は 4k バイト、H8S/2127、H8S/2126、H8S/2122、H8S/2120 は 2k バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

### 18.1.1 ブロック図

RAM のブロック図を図 18.1 に示します。

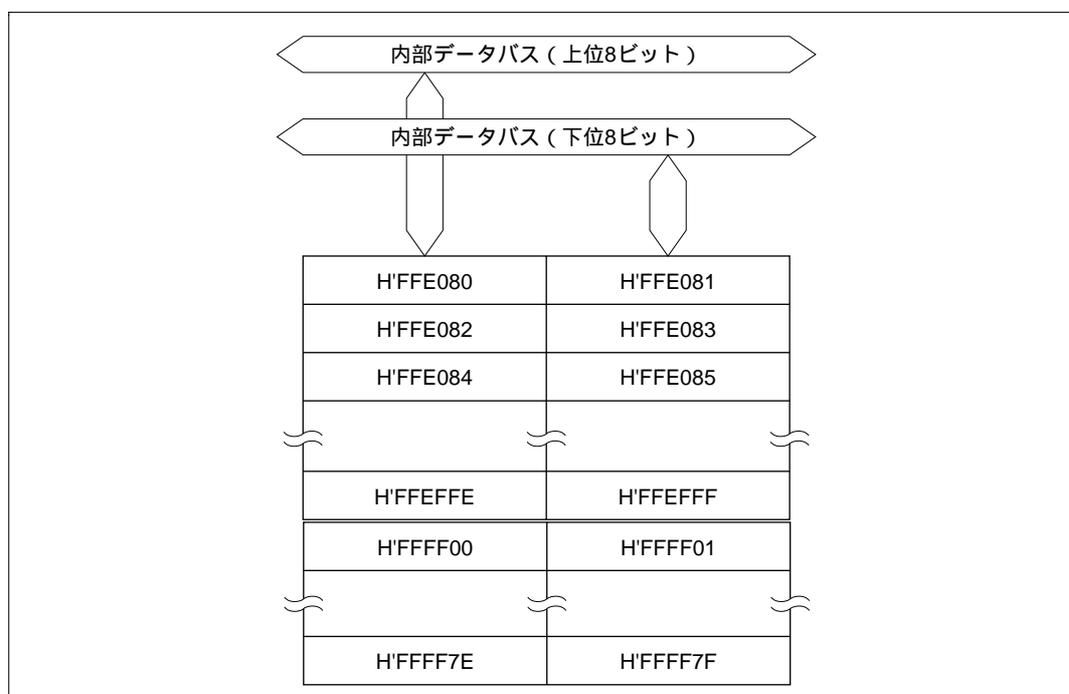


図 18.1 RAM のブロック図 (H8S/2128 の場合)

### 18.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 18.1 に示します。

表 18.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4

【注】 \* アドレスの下位 16 ビットを示しています。

## 18.2 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R	R/W	R	R/W	R/W	R/W

内蔵RAMはSYSCRのRAMEビットにより、有効/無効が選択されます。なお、SYSCRのその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

### ビット0 : RAM イネーブル (RAME)

内蔵RAMの有効または無効を選択します。RAMEビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

## 18.3 動作説明

### 18.3.1 拡張モード（モード 1、2、3（EXPE = 1））

RAME ビットが 1 にセットされているとき、H8S/2128 ではアドレス H'(FF)E080 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F を、H8S/2127、H8S/2126、H8S/2122、H8S/2120 ではアドレス H'(FF)E880 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、アドレス H'(FF)E080 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F をアクセスすると外部アドレス空間がアクセスされます。

内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

### 18.3.2 シングルチップモード（モード 2、3（EXPE = 0））

RAME ビットが 1 にセットされているとき、H8S/2128 ではアドレス H'(FF)E080 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F を、H8S/2127、H8S/2126、H8S/2122、H8S/2120 ではアドレス H'(FF)E880 ~ H'(FF)EFFF および H'(FF)FF00 ~ H'(FF)FF7F をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると不定値がリードされ、ライトは無効です。

内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。



---

# 19. ROM

---

## 第 19 章 目次

19.1	概要.....	547
	19.1.1	ブロック図.....547
	19.1.2	レジスタ構成.....547
19.2	レジスタの説明.....	548
	19.2.1	モードコントロールレジスタ (MDCR) .....548
19.3	動作説明.....	549
19.4	フラッシュメモリの概要.....	550
	19.4.1	特長.....550
	19.4.2	ブロック図.....551
	19.4.3	フラッシュメモリの動作モード.....552
	19.4.4	端子構成.....556
	19.4.5	レジスタ構成.....556
19.5	フラッシュメモリのレジスタの説明.....	557
	19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1) .....557
	19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2) .....560
	19.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2) .....562
	19.5.4	シリアルタイムコントロールレジスタ (STCR) .....563
19.6	オンボードプログラミングモード.....	565
	19.6.1	ブートモード.....566
	19.6.2	ユーザプログラムモード.....572
19.7	フラッシュメモリの書き込み / 消去.....	573
	19.7.1	プログラムモード.....573
	19.7.2	プログラムベリファイモード.....574
	19.7.3	イレースモード.....576
	19.7.4	イレースベリファイモード.....576
19.8	フラッシュメモリのプロテクト.....	578
	19.8.1	ハードウェアプロテクト.....578

---

19.8.2	ソフトウェアプロテクト.....	578
19.8.3	エラープロテクト.....	579
19.9	フラッシュメモリの書き込み / 消去時の割り込み処理.....	580
19.10	フラッシュメモリのライターモード.....	581
19.10.1	ライターモードの設定.....	581
19.10.2	ソケットアダプタとメモリマップ.....	581
19.10.3	ライターモードの動作.....	582
19.10.4	メモリ読み出しモード.....	584
19.10.5	自動書き込みモード.....	587
19.10.6	自動消去モード.....	589
19.10.7	ステータス読み出しモード.....	590
19.10.8	ステータスポーリング.....	591
19.10.9	ライターモードへの遷移時間.....	592
19.10.10	メモリ書き込み注意事項.....	592
19.11	フラッシュメモリの書き込み / 消去時の注意.....	593
19.12	F-ZTAT マイコンのマスク ROM 化時の注意事項.....	595

## 19.1 概要

H8S/2128 F-ZTAT は 128k バイトのフラッシュメモリ、H8S/2127、H8S/2122 は 64k バイト、H8S/2126、H8S/2120 は 32k バイトのマスキング ROM を内蔵しています。ROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定は、モード端子 (MD1、MD0) および MDCR の EXPE ビットにより行います。

H8S/2128 のフラッシュメモリ版は、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

### 19.1.1 ブロック図

ROM のブロック図を図 19.1 に示します。

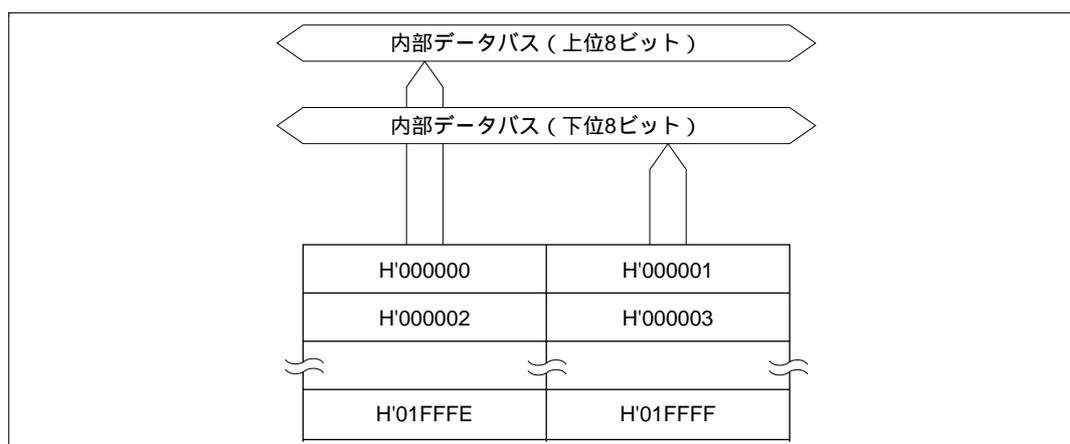


図 19.1 ROM のブロック図 (H8S/2128 の場合)

### 19.1.2 レジスタ構成

本 LSI の動作モードは、モード端子と MDCR で制御されます。レジスタ構成を表 19.1 に示します。

表 19.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定 動作モードにより異なります	H'FFC5

【注】 \* アドレスの下位 16 ビットを示しています。

## 19.2 レジスタの説明

### 19.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	EXPE	-	-	-	-	-	MDS1	MDS0
初期値：	-*	0	0	0	0	0	-*	-*
R/W：	R/W*	-	-	-	-	-	R	R

【注】 \* MD1～MD0端子により決定されます。

MDCRは8ビットのリード専用レジスタで、本LSIの動作モードの設定および現在の動作モードをモニタするのに用います。

EXPEビットは、リセットまたはハードウェアスタンバイモード時に、モード端子の状態に関連付けられて初期化されます。

#### ビット7：拡張モードイネーブル (EXPE)

拡張モードを設定します。モード1の場合、1に固定されており、ライトは無効です。モード2、3の場合、初期値は0で、リード/ライト可能です。

ビット7	説明
EXPE	
0	シングルチップモードを選択
1	拡張モードを選択

#### ビット6～2：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

#### ビット1～0：モードセレクト1～0 (MDS1～MDS0)

モード端子 (MD1～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1～MDS0ビットはMD1～MD0端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCRをリードすると、モード端子 (MD1～MD0) の入力レベルがこれらのビットにラッチされます。

## 19.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD1、MD0) および MDCR の EXPE ビットにより行います。この設定を表 19.2 に示します。

ノーマルモードのとき、使用できる ROM は最大 56k バイトになります。

表 19.2 動作モードと ROM

動作モード			モード端子		MDCR	内蔵 ROM
MCU 動作モード	CPU 動作モード	内容	MD1	MD0	EXPE	
モード 1	ノーマル	内蔵 ROM 無効拡張モード	0	1	1	無効
モード 2	アドバンスト	シングルチップモード	1	0	0	有効*
	アドバンスト	内蔵 ROM 有効拡張モード			1	
モード 3	ノーマル	シングルチップモード	1	1	0	有効 (最大 56k バイト)
	ノーマル	内蔵 ROM 有効拡張モード			1	

【注】 \* H8S/2128 は 128k バイト、H8S/2127、H8S/2122 は 64k バイト、H8S/2126、H8S/2120 は 32k バイトです。

## 19.4 フラッシュメモリの概要

### 19.4.1 特長

フラッシュメモリの特長を以下に示します。

フラッシュメモリの4種類の動作モード

- ・プログラムモード
- ・イレースモード
- ・プログラムベリファイモード
- ・イレースベリファイモード

書き込み/消去方式

書き込みは32バイト同時書き込みを行います。消去はブロック分割消去(1ブロック単位)で行います。複数ブロックを消去する場合は、必ず各ブロック単位で順次消去を行ってください。ブロック分割消去では、1kバイト、28kバイト、16kバイト、8kバイト、32kバイトのブロック単位で任意に設定することができます。

書き込み/消去時間

フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)、1バイトあたり換算にて300  $\mu$ s (typ.)、消去時間は、ブロックあたり100ms (typ.)です。

書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う2種類のモードがあります。

- ・ブートモード
- ・ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動であわせることができます。

プロテクトモード

ハードウェアプロテクトモード、ソフトウェアプロテクトモードとエラープロテクトの3種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にPROMライターを用いたライターモードがあります。

## 19.4.2 ブロック図

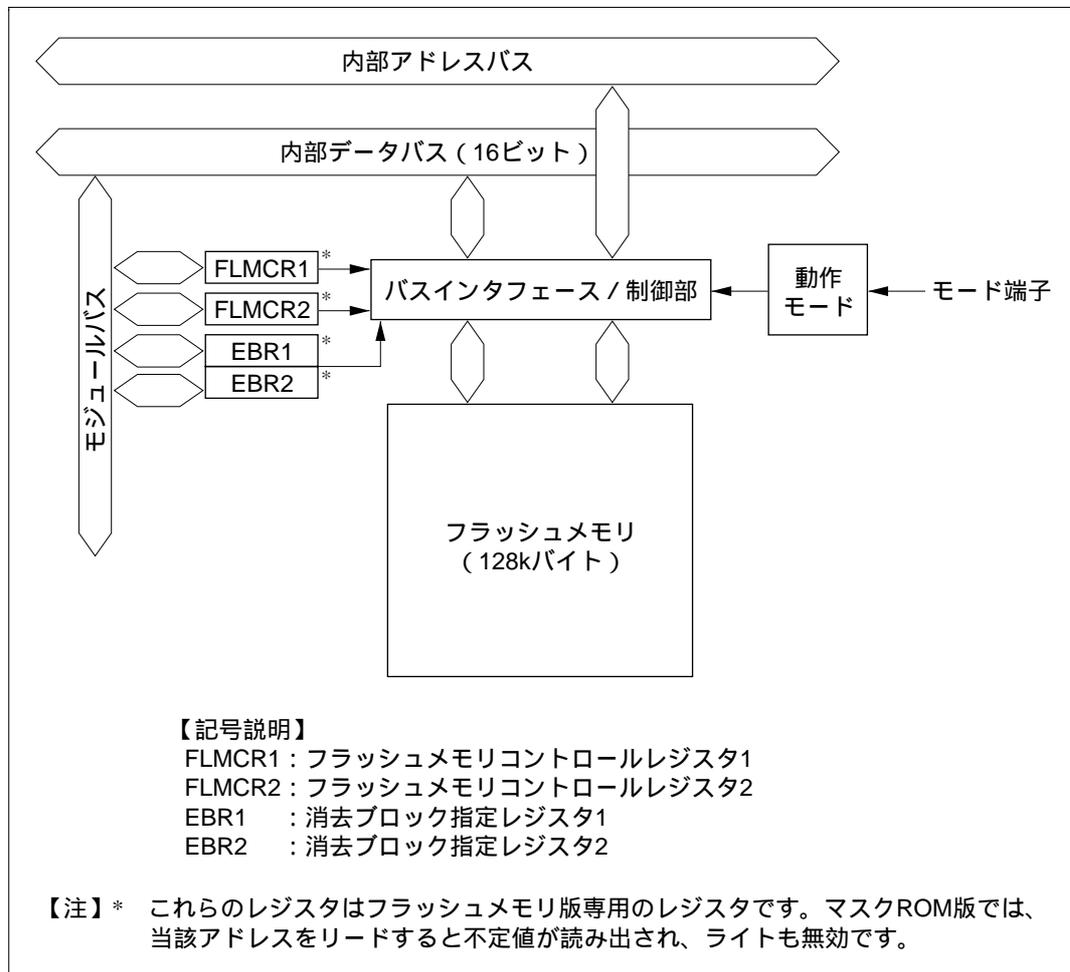


図 19.2 フラッシュメモリのブロック図

### 19.4.3 フラッシュメモリの動作モード

#### (1) モード遷移図

リセット状態で各モード端子を設定し、リセットスタートすると、マイコンは図 19.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。

フラッシュメモリへの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

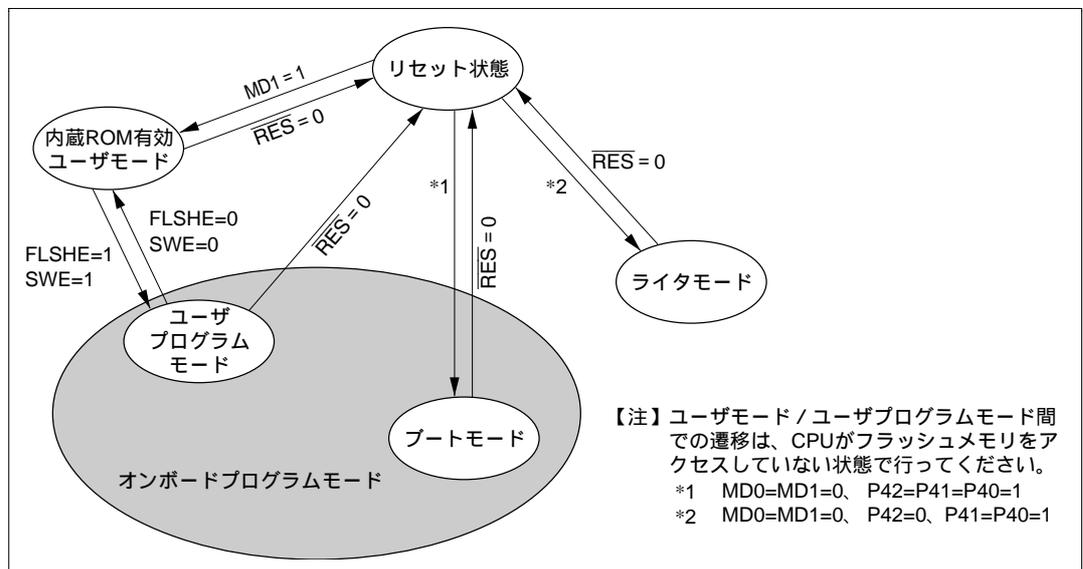


図 19.3 フラッシュメモリに関する状態遷移

## (2) オンボードプログラムモード

## (a) ブートモード

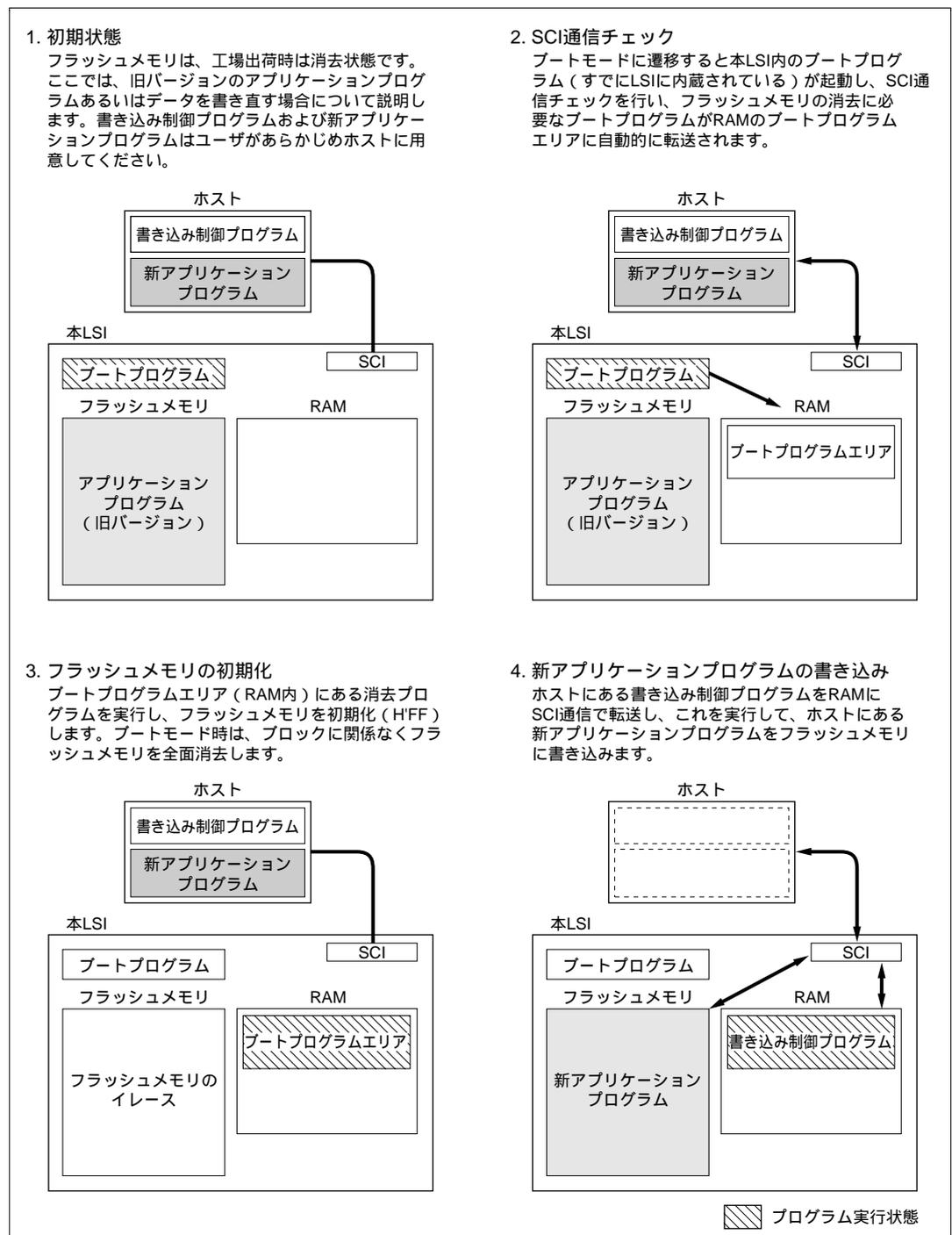


図 19.4 ブートモード

(b) ユーザプログラムモード

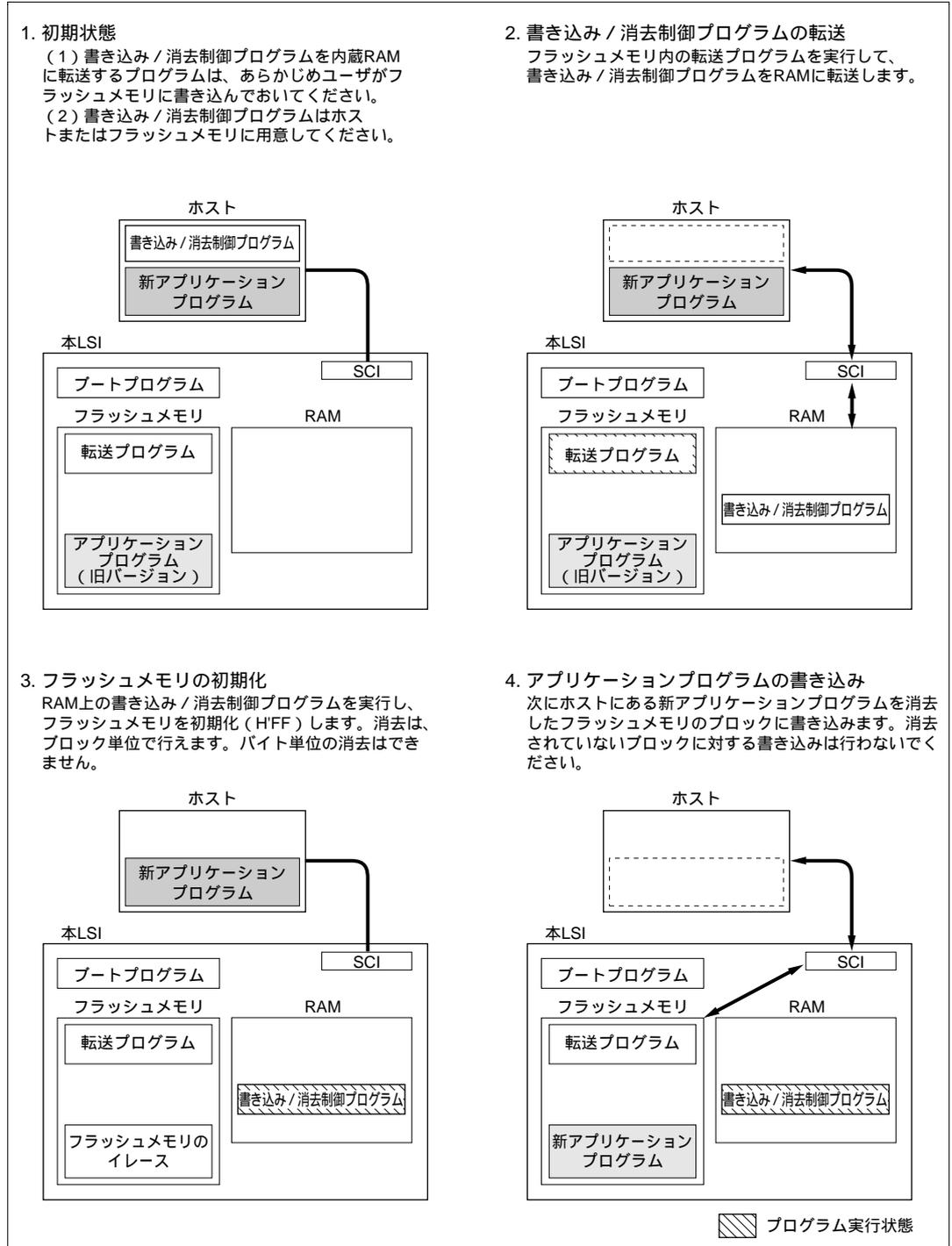


図 19.5 ユーザプログラムモード (例)

## (3) ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御 プログラム*	プログラム / プログラムベリファイ	イレース / イレースベリファイ プログラム / プログラムベリファイ

【注】 \* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

## (4) ブロック分割法

32k バイト (2 ブロック)、8k バイト (2 ブロック)、16k バイト (1 ブロック)、28k バイト (1 ブロック)、1k バイト (4 ブロック) に分割されています。

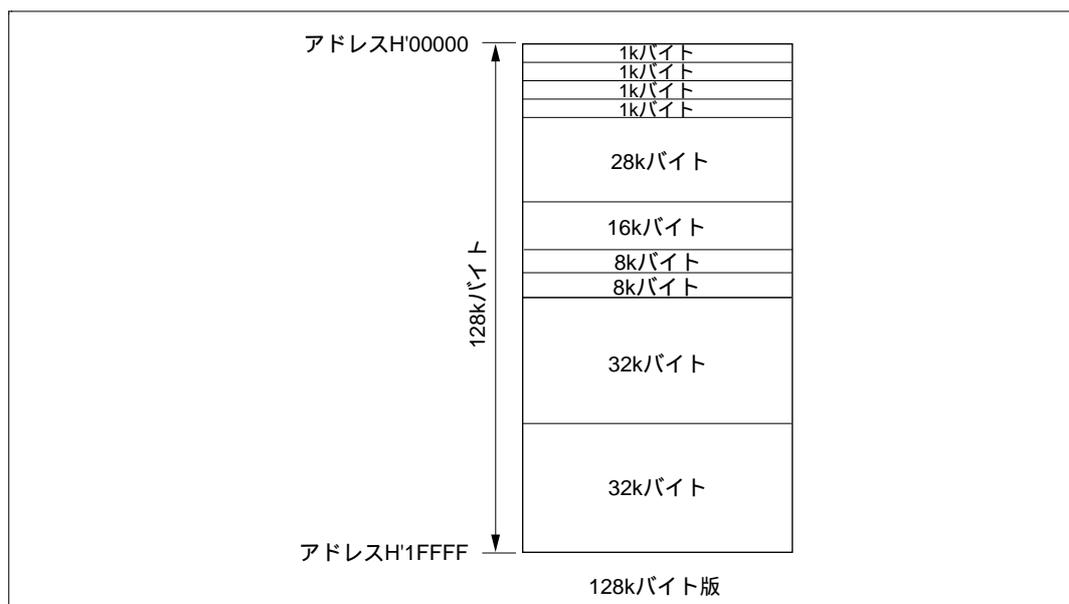


図 19.6 フラッシュメモリのブロック分割

## 19.4.4 端子構成

フラッシュメモリは表 19.3 に示す端子により制御されます。

表 19.3 端子構成

端子名	略 称	入出力	機 能
リセット	$\overline{\text{RES}}$	入力	リセット
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート 42	P42	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 41	P41	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 40	P40	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD0	出力	シリアル送信データ出力
レシーブデータ	RxD0	入力	シリアル受信データ入力

## 19.4.5 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 19.4 に示します。本レジスタをアクセスするためには、STCR の FLSHE ビットを 1 にセットする必要があります。

表 19.4 レジスタ構成

名 称	略 称	R/W	初期値	アドレス*1
フラッシュメモリコントロールレジスタ 1	FLMCR1*5	R/W*3	H'80	H'FF80*2
フラッシュメモリコントロールレジスタ 2	FLMCR2*5	R/W*3	H'00*4	H'FF81*2
消去ブロック指定レジスタ 1	EBR1*5	R/W*3	H'00*4	H'FF82*2
消去ブロック指定レジスタ 2	EBR2*5	R/W*3	H'00*4	H'FF83*2
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 フラッシュメモリのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイマコントロールレジスタ (STCR) の FLSHE ビットで行います。

\*3 内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

\*4 FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

\*5 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。また、これらのレジスタはフラッシュメモリ版専用のレジスタです。マスク ROM 版では、当該アドレスをリードすると不定値が読み出され、ライトも無効です。

## 19.5 フラッシュメモリのレジスタの説明

### 19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	-	-	EV	PV	E	P
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	-	-	R/W	R/W	R/W	R/W

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード、イレースベリファイモードに遷移します。プログラムモードへ遷移するには、SWE=1 にセットし、FLMCR2 の PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移するには、SWE=1 にセットし、FLMCR2 の ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードで H'80 に初期化されます。内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効になります。

また、FLMCR1 の EV、PV ビットへのライトは SWE=1 のとき、E ビットへのライトは SWE=1、ESU=1 のとき、P ビットへのライトは SWE=1、PSU=1 のときのみ有効です。

#### ビット 7：フラッシュライトイネーブル (FWE)

内蔵フラッシュメモリの書き込み/消去を制御するビットです。本製品では、リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット 6：ソフトウェアライトイネーブル (SWE)

フラッシュメモリの書き込みの有効または無効を選択するビットです (ESU、PSU、EV、PV、E、P、EB9~EB0 ビットの設定前にセットしてください。また、これらのビットと同時にクリアしないでください)。

ビット 6	説明	
SWE		
0	書き込み無効	(初期値)
1	書き込み有効	

#### ビット 5、4：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

## ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] SWE = 1 のときにセット可

## ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] SWE = 1 のときにセット可

## ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] SWE = 1、ESU = 1 のときにセット可

## ビット0：プログラム（P）

プログラムモードへの遷移、解除を選択するビットです（SWE、PSU、ESU、EV、PV、Eビットを同時に設定しないでください）。

ビット0	説 明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] SWE = 1、PSU = 1 のときにセット可

## 19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット：	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	ESU	PSU
初期値：	0	0	0	0	0	0	0	0
R/W：	R	-	-	-	-	-	R/W	R/W

FLMCR2 は、フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無のモニタと、フラッシュメモリのプログラム / イレースモードへのセットアップを行う 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモードで H'00 に初期化されます。また、ESU ビット、PSU ビットは、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードでも 0 にクリアされます。

内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

### ビット 7 : フラッシュメモリエラー (FLER)

フラッシュメモリ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット 7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセット、ハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「19.8.3 エラープロテクト」参照

### ビット 6 ~ 2 : リザーブビット

リザーブビットです。ライトするときは必ず 0 をライトしてください。

## ビット1：イレースセットアップ (ESU)

イレースモードへの遷移の準備をするビットです。FLMCR1のEビットを1にセットする前に1にセットしてください。(SWE、PSU、EV、PV、E、Pビットを同時に設定しないでください)

ビット1	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] SWE = 1 のときにセット可

## ビット0：プログラムセットアップ (PSU)

プログラムモードへの遷移の準備をするビットです。FLMCR1のPビットを1にセットする前に1にセットしてください。(SWE、ESU、EV、PV、E、Pビットを同時に設定しないでください)

ビット0	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] SWE = 1 のときにセット可

## 19.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

ビット :	7	6	5	4	3	2	1	0
EBR1	-	-	-	-	-	-	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	R/W*	R/W*

ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W						

【注】\* ノーマルモードの場合は0が読み出され、ライトは無効です。

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、EBR1 のビット 1~0、EBR2 のビット 7~0 について R/W 可能です。EBR1、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードおよび FLMCR1 の SWE ビットが設定されていないときは、それぞれ H'00 に初期化されます。EBR1、EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1、EBR2 は 1 ビットのみ設定してください(2 ビット以上を設定しないでください)。内蔵フラッシュメモリが無効のモードのときは、リードするとそれぞれ H'00 が読み出され、ライトも無効となります。

フラッシュメモリのブロック分割方法は、表 19.5 を参照してください。

表 19.5 消去ブロックの分割

ブロック (サイズ)	アドレス
128k バイト版	
EB0 (1k バイト)	H'(00)0000 ~ H'(00)03FF
EB1 (1k バイト)	H'(00)0400 ~ H'(00)07FF
EB2 (1k バイト)	H'(00)0800 ~ H'(00)0BFF
EB3 (1k バイト)	H'(00)0C00 ~ H'(00)0FFF
EB4 (28k バイト)	H'(00)1000 ~ H'(00)7FFF
EB5 (16k バイト)	H'(00)8000 ~ H'(00)BFFF
EB6 (8k バイト)	H'(00)C000 ~ H'(00)DFFF
EB7 (8k バイト)	H'00E000 ~ H'00FFFF
EB8 (32k バイト)	H'010000 ~ H'017FFF
EB9 (32k バイト)	H'018000 ~ H'01FFFF

### 19.5.4 シリアルタイムコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
		IICX1	IICX0	IICE	FLSHE		ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御(IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御(F-ZTAT 版の場合)、TCNTの入力クロックの選択を行います。内蔵フラッシュメモリ以外の詳細は、「3.2.4 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 にイニシャライズされます。

#### ビット7：リザーブビット

リザーブビットです。1 にセットしないでください。

#### ビット6、5：I<sup>2</sup>C トランスファレートセレクト1、0 (IICX1、IICX0)

IIC 内蔵オプションの場合、I<sup>2</sup>C バスインタフェースの動作を制御するビットです。詳しくは「16.2.7 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

#### ビット4：I<sup>2</sup>C マスタイネーブル (IICE)

I<sup>2</sup>C バスインタフェースのデータレジスタと制御レジスタ、PWMX のデータレジスタと制御レジスタ、SCI の制御レジスタの CPU アクセスを制御します。詳しくは「3.2.4 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

#### ビット3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

FLSHE ビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となり、低消費電力状態の制御レジスタおよび周辺モジュールの制御レジスタの CPU アクセスが選択されます。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説 明
FLSHE	
0	アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、低消費電力状態の制御レジスタおよび周辺モジュールの制御レジスタをアクセス フラッシュメモリの制御レジスタは非選択状態 (初期値) 低消費電力状態の制御レジスタおよび周辺モジュールの制御レジスタは選択状態
1	アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、フラッシュメモリの制御レジスタをアクセス(F-ZTAT 版のみ) 低消費電力状態の制御レジスタおよび周辺モジュールの制御レジスタは非選択状態

#### ビット2：リザーブビット

リザーブビットです。1にセットしないでください。

#### ビット1、0：インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

8ビットタイマの動作を制御するビットです。詳しくは「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

## 19.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法は、表 19.6 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図を図 19.3 に示します。

ブートモードは、アドバンスモードの設定のみ可能です。

ユーザプログラムモードは、MD0 端子の設定により、アドバンスモードまたはノーマルモードの設定が可能です。ノーマルモードでは 56k バイト分のフラッシュメモリの書き換えのみ可能です。

表 19.6 オンボードプログラミングモードの設定方法

モード		端子				
モード名	CPU 動作モード	MD1	MD0	P42	P41	P40
ブートモード	アドバンスモード	0	0	1*	1*	1*
ユーザプログラムモード	アドバンスモード	1	0	-	-	-
	ノーマルモード		1			

【注】 \* ブートモード起動後は I/O ポートとして使用できます。

### 19.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 0 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 19.7 にブートモード時のシステム構成図、図 19.8 にブートモード実行手順を示します。

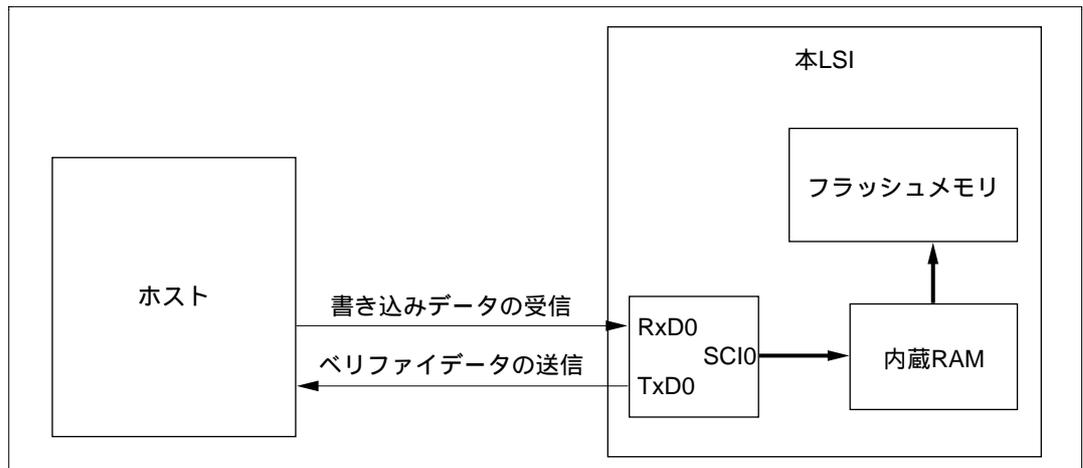


図 19.7 ブートモード時のシステム構成図

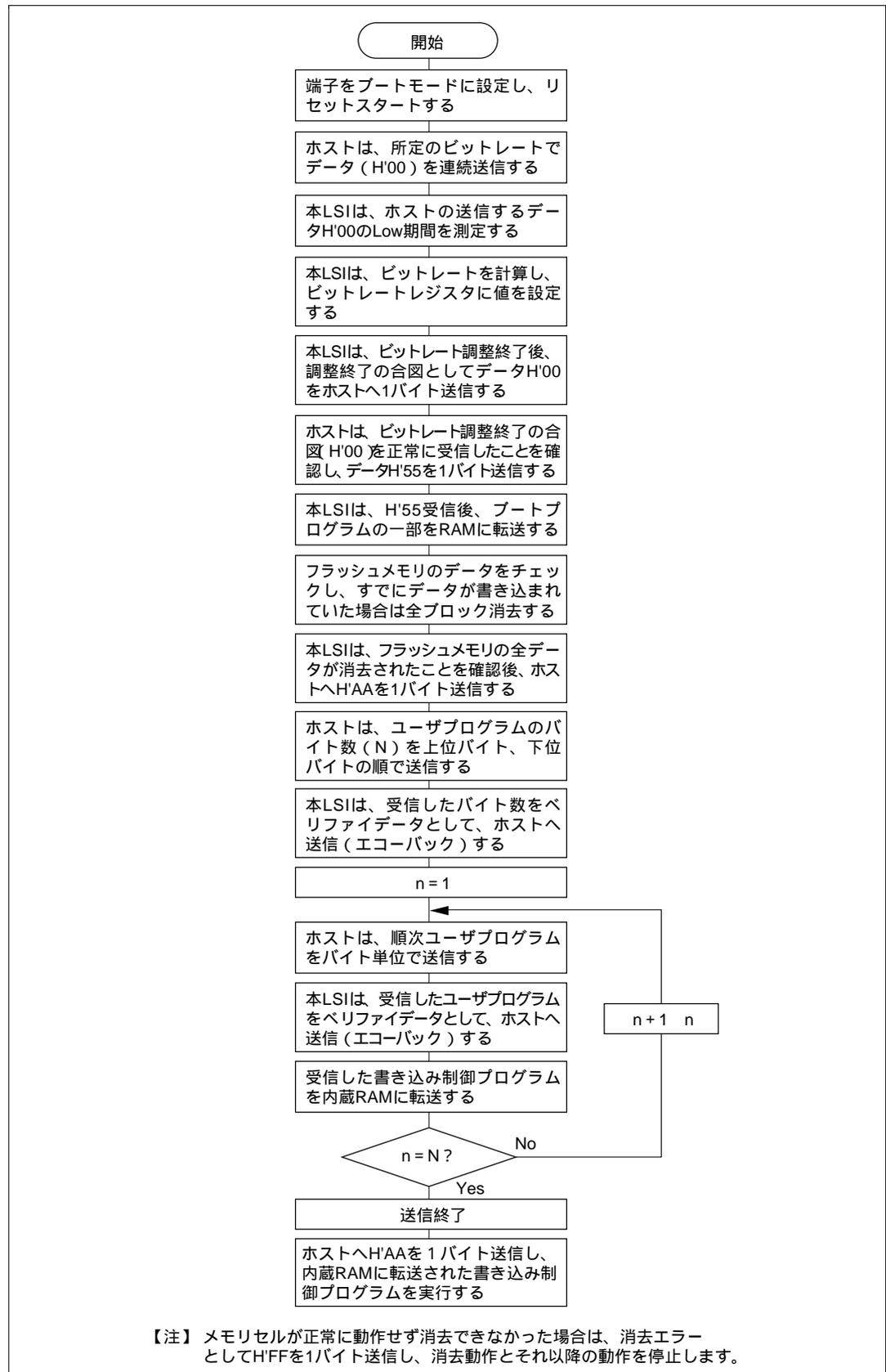


図 19.8 ブートモード実行手順

## (1) SCI ビットレートの自動合わせ込み動作



図 19.9 SCI ビットレート自動合わせ込み時の RxD0 入力信号

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 2400bps、4800bps、9600bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 19.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 19.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9600bps	8MHz ~ 20MHz
4800bps	4MHz ~ 20MHz
2400bps	2MHz ~ 18MHz

## (2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'(FF)FF00 ~ H'(FF)FF7F の 128 バイトは、図 19.10 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアは H'(FF)E080 ~ H'(FF)EFFF の 3968 バイトです。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できません。スタックエリアは必要に応じて設定してください。

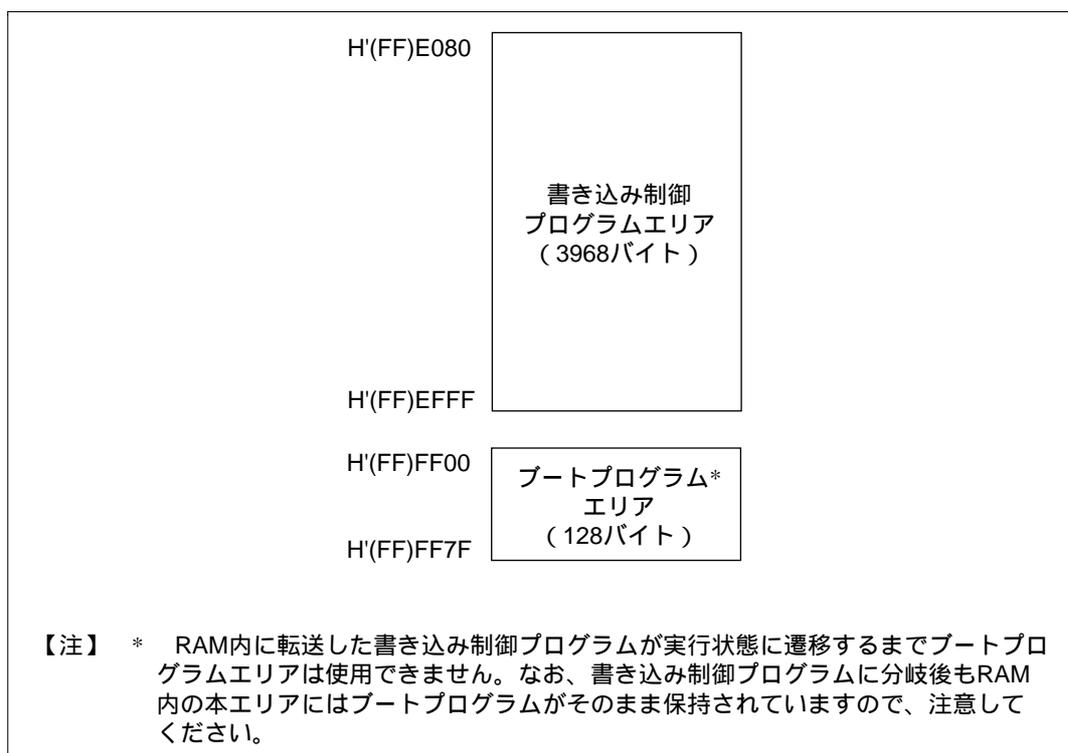


図 19.10 ブートモード時の RAM エリア

### (3) ブートモード使用時の注意事項

- (a) 本 LSI は、ブートモードでリセット解除すると、SCI の RxD0 端子の Low 期間を測定します。RxD0 端子が High の状態でリセット解除してください。リセット解除後、RxD0 端子から入力される Low 期間を測定できるようになるまで、本 LSI は約 100 ステート必要です。
  
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが 1 でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
  
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
  
- (d) RxD0 端子および TxD0 端子は、ボード上でプルアップして使用してください。
  
- (e) 本 LSI は、書き込み制御プログラム（RAM エリアの H'(FF)E080）に分岐するときには内蔵 SCI（チャンネル 0）の送受信動作を終了（SCR の RE=0、TE=0）しますが、BRR には、合わせ込んだビットレートの値を保持しています。  
また、このときトランスミットデータ出力端子 TxD0 は、High レベル出力状態（P50DDR=1、P50DR=1）となっています。  
さらにこのとき、CPU 内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。  
特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。  
上記以外の内蔵レジスタについては、初期値が変更されるものはありません。
  
- (f) ブートモードへの遷移は表 19.6 のモード設定に従って、端子を設定しリセットスタートすることにより可能です。  
本 LSI はリセット解除時<sup>\*1</sup>にブートモードの設定であることを検出すると P42、P41、P40 は I/O ポートとして使用できます。  
ブートモードを解除するには、リセット端子を Low レベルにしてから最低 20 ステート経過後、モード端子を設定し、リセット解除<sup>\*1</sup>してください。また、WDT のオーバフローリセットが発生した場合もブートモードを解除することが可能です。  
ブートモードの途中でモード端子の入力レベルを変化させないでください。

(g) リセット中にモード端子の入力レベルを変化（たとえば Low レベル High レベル）させると、マイコンの動作モードが切り替わるによりアドレス兼用ポート、およびバス制御出力信号（ $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{WR}$ ）の状態が変化\*<sup>2</sup>します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

**【注】** \*1 モード端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間（ $t_{MDS} = 4$  ステート）を満足する必要があります。

\*2 アドレス兼用ポートは、リセット中にモード端子がモード 1 の設定になったとき、アドレスとして Low レベルを出力します。それ以外のモードではハイインピーダンス状態となります。また、バス制御出力信号は、リセット中にモード端子がモード 1 の設定になったとき、High レベルを出力します。それ以外のモードではハイインピーダンス状態となります。

## 19.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み / 消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み / 消去制御プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 2、3 で起動します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 2、3 と同じ動作をします。

フラッシュメモリへの書き込み / 消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み / 消去を行う制御プログラムは、内蔵 RAM / 外部メモリ上で実行するようにしてください。

図 19.11 に書き込み / 消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

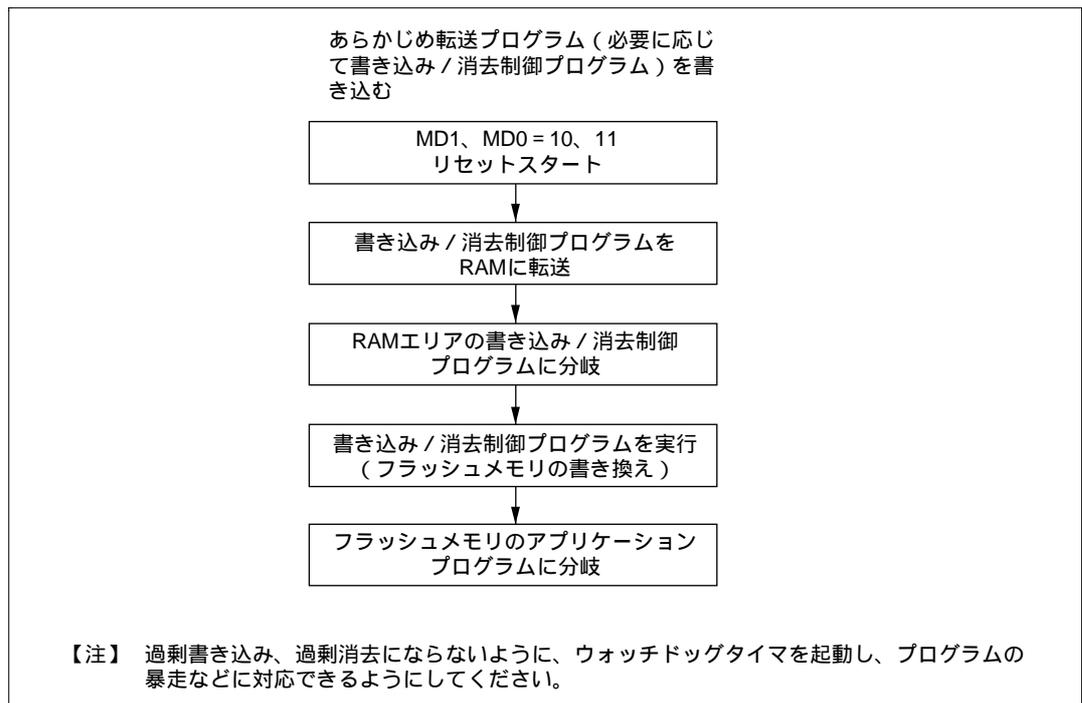


図 19.11 ユーザプログラムモードの実行手順例

## 19.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR2 の PSU、ESU ビット、FLMCR1 の P、E、PV、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM あるいは外部メモリ上に置いて、実行するようにしてください。

- 【注】 1. FLMCR1 の SWE、EV、PV、E、P ビット、FLMCR2 の ESU、PSU ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
2. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

### 19.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 19.12 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット / クリア後のウェイト時間 (x、y、z、 、 、 )、最大書き込み回数 (N) を「22.2.5 フラッシュメモリ特性」の表 22.13 に示します。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x)  $\mu$ s 以上の時間が経過してから、32 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレスに RAM 上の再書き込みデータエリアの 32 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません。データ転送はバイト単位で 32 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+ )  $\mu$ s より大きくしてください。その後、FLMCR2 の PSU ビットをセットし、プログラムモードへの準備 (プログラムセットアップ) を行い、(y)  $\mu$ s 以上の時間が経過してから、FLMCR1

のPビットをセットすることで、動作モードはプログラムモードへ遷移します。Pビットがセットされている時間がフラッシュメモリの書き込み時間となります。1回の書き込み時間を $(z) \mu s$ の範囲に納まるようにプログラムで設定してください。

### 19.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除(FLMCR1のPビットを0にクリア後、 $( ) \mu s$ 以上の時間が経過してからFLMCR2のPSUビットを0にクリア)します。次に、ウォッチドッグタイマを $( ) \mu s$ 以上の時間が経過してから解除し、FLMCR1のPVビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータH'FFをダミーライトしてください。ダミーライトは $( ) \mu s$ 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード(ベリファイデータは16ビットで読み出す)するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 $( ) \mu s$ 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算(図19.12参照)し、再書き込みデータを再書き込みデータエリアに転送します。32バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 $( ) \mu s$ 以上の待機時間をおいて、FLMCR1のSWEビットを0にクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、N回を超えないようにしてください。

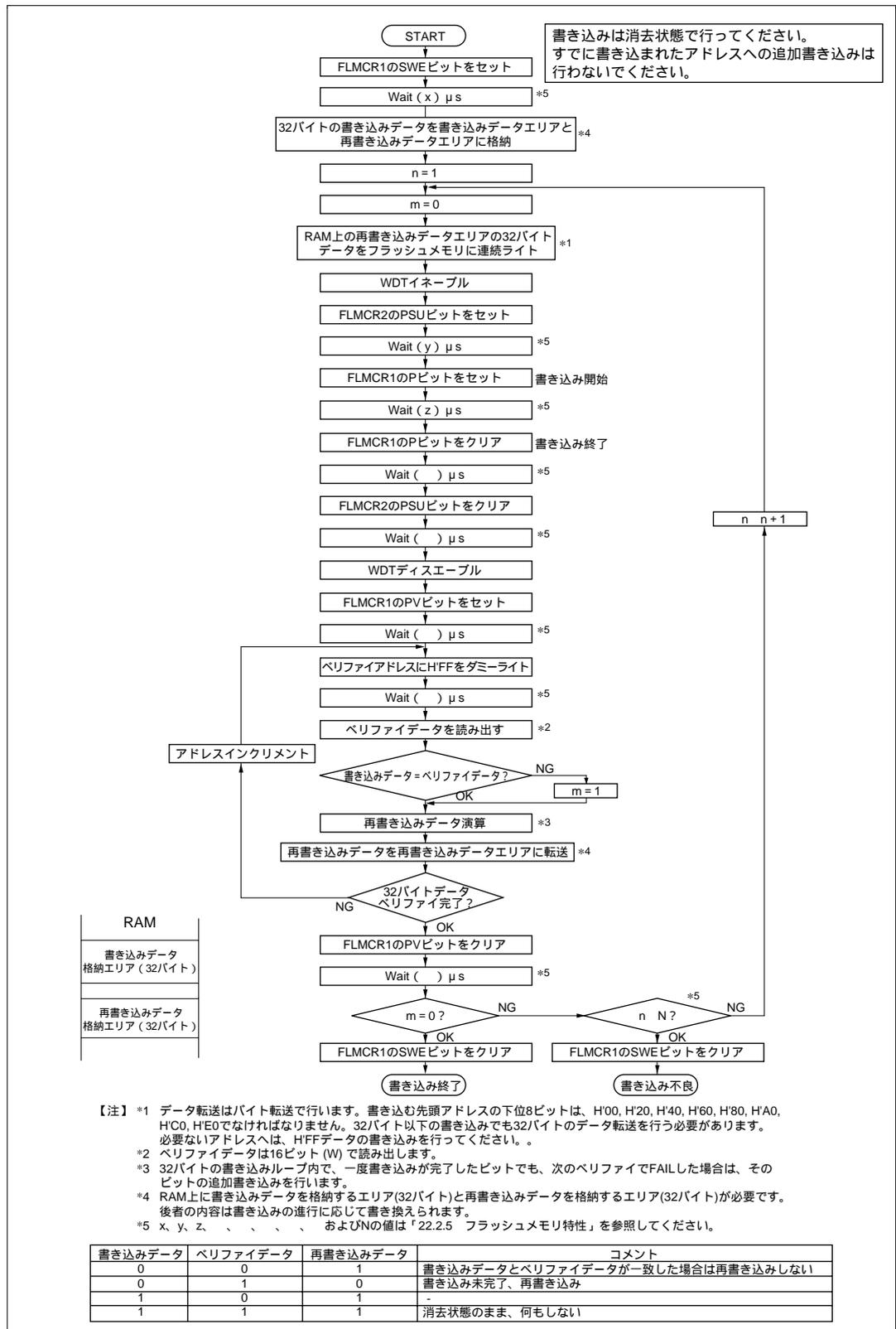


図 19.12 プログラム / プログラムベリファイフロー

### 19.7.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 19.13 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット/クリア後のウェイト時間 ( $x$ 、 $y$ 、 $z$ 、 $\dots$ 、 $\dots$ 、 $\dots$ )、最大消去回数 ( $N$ ) を「22.2.5 フラッシュメモリ特性」の表 22.13 に示します。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、( $x$ )  $\mu$ s 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ( $y+z+\dots$ ) ms より大きく設定してください。その後、FLMCR2 の ESU ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、( $y$ )  $\mu$ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが 1 にセットされている時間が消去時間となり、消去時間は ( $z$ ) ms を超えないようにしてください。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて 0 にする）を行う必要はありません。

### 19.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除（FLMCR1 の E ビットを 0 にクリア後、( $\dots$ )  $\mu$ s 以上の時間が経過してから FLMCR2 の ESU ビットを 0 にクリア) します。次に、ウォッチドッグタイマを ( $\dots$ )  $\mu$ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットを 1 にセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは ( $\dots$ )  $\mu$ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、( $\dots$ )  $\mu$ s おいてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数は  $N$  回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、( $\dots$ )  $\mu$ s 以上の待機時間をおいてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを 0 にクリアしてください。未消去のブロックが存在する場合は、

消去するフラッシュメモリのブロックをEBR1、EBR2で1ビット設定し、同様にイレース  
/イレースベリファイシーケンスを繰り返します。

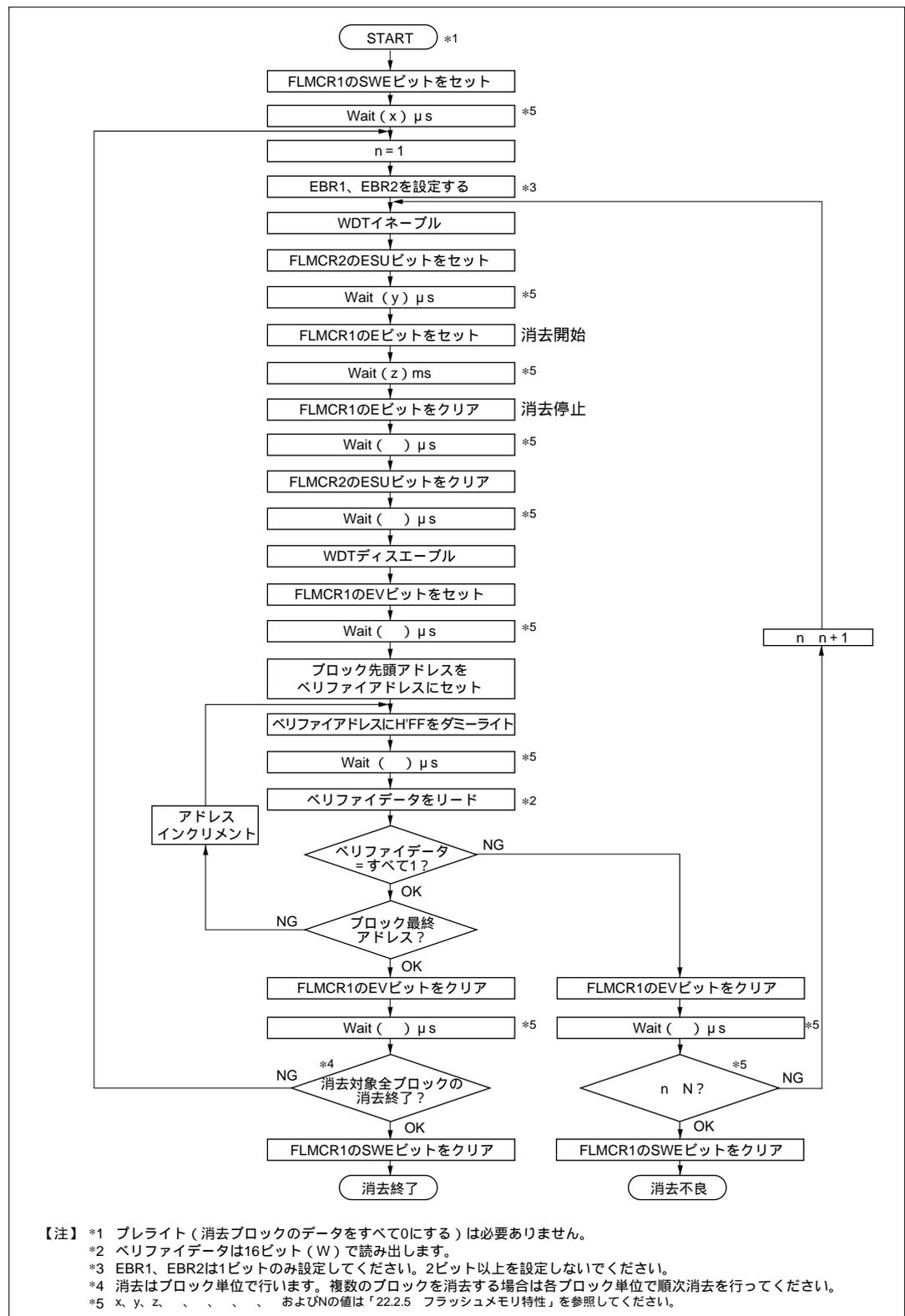


図 19.13 イレース/イレースベリファイフロー（単一ブロック消去）

## 19.8 フラッシュメモリのプロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクトとエラープロテクトの3種類あります。

### 19.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1、2 (FLMCR1、FLMCR2) および消去ブロック指定レジスタ1、2 (EBR1、EBR2) の設定はリセットされます (表 19.8 参照)。

表 19.8 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> <li>リセット (WDT のオーバフローリセットも含む)、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。</li> <li><math>\overline{\text{RES}}</math> 端子によるリセットでは、電源投入後発振が安定するまで <math>\overline{\text{RES}}</math> 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した <math>\overline{\text{RES}}</math> パルス幅の間 <math>\overline{\text{RES}}</math> 端子を Low レベルに保持してください。</li> </ul>		

### 19.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ1、2 (EBR1、EBR2) をセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 19.9 参照)。

表 19.9 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> <li>FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。(内蔵 RAM / 外部メモリ上で実行してください。)</li> </ul>		
ブロック指定プロテクト	<ul style="list-style-type: none"> <li>消去ブロック指定レジスタ1、2 (EBR1、EBR2) の設定により、ブロックごとに消去プロテクトが可能。</li> <li>EBR1 と EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。</li> </ul>	-	

### 19.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や書き込み/消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。Pビット、Eビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PVビット、EVビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLERビットのセット条件は、

- (1) 書き込み/消去中にフラッシュメモリをリードしたとき(ベクタリードおよび命令フェッチを含む)
- (2) 書き込み/消去中の例外処理(リセットは除く)開始直後
- (3) 書き込み/消去中に SLEEP 命令を実行したとき(ソフトウェアスタンバイ、スリープ、サブアクティブ、サブスリープ、ウォッチモードへの遷移)
- (4) 書き込み/消去中にCPUがバス権を失ったとき

エラープロテクト解除は、リセットまたはハードウェアスタンバイモードのみで行われます。

図 19.14 にフラッシュメモリの状態遷移図を示します。

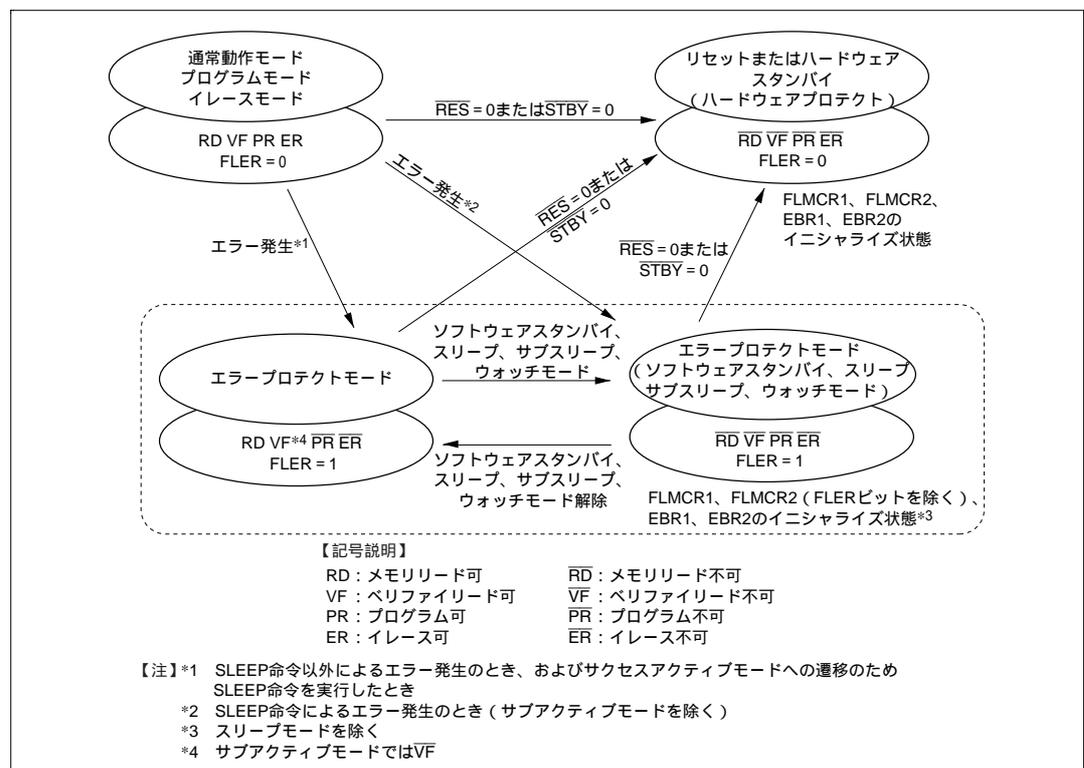


図 19.14 フラッシュメモリの状態遷移図

## 19.9 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P ビットまたは E ビットがセット) およびブートモードでのブートプログラム実行中\*<sup>1</sup> は、書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない\*<sup>2</sup> ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込みを禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合には、マイコンの内部と外部で NMI を含むすべての割り込み要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも割り込みは禁止状態となります。

**【注】** \*<sup>1</sup> 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

\*<sup>2</sup> この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中 (FLMCR1 の P ビットまたは E ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

## 19.10 フラッシュメモリのライターモード

### 19.10.1 ライターモードの設定

プログラム/データの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではルネサス 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

表 19.10 にライターモードの端子設定方法を示します。

表 19.10 ライターモードの端子設定方法

端子名	設定、外付け回路接続
モード端子 : MD1、MD0	MD1、MD0 に Low レベルを入力
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
RES 端子	パワーオンリセット回路
XTAL、EXTAL 端子	発振回路
その他の設定端子 : P47、P42、P41、P40、 P67	P42、P67 に Low レベル、 P47、P41、P40 に High レベルを入力

### 19.10.2 ソケットアダプタとメモリマップ

このライターモードでは、PROM ライタに各パッケージに対応したソケットアダプタを取り付けて行います。ソケットアダプタは、ルネサス 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライターメーカーに確認してください。

図 19.15 にライターモード時のメモリマップを示します。ライターモード時の端子名は「1.3.2 動作モード別端子機能一覧」を参照してください。

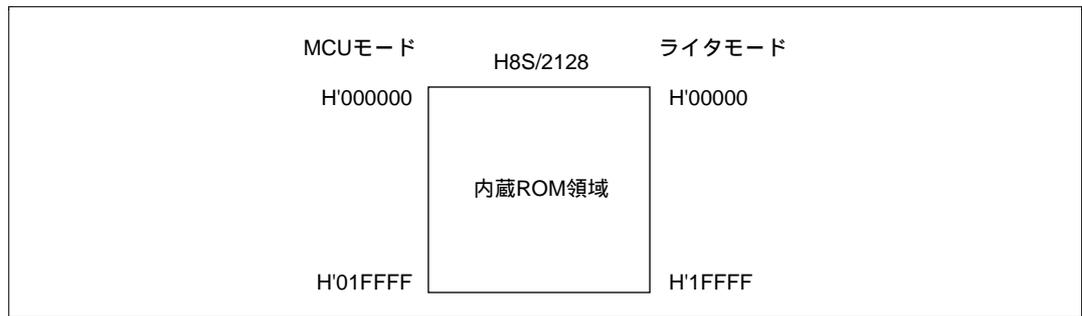


図 19.15 ライタモード時のメモリマップ

### 19.10.3 ライタモードの動作

表 19.11 にライターモード時の各動作モードの設定方法、表 19.12 にライターモード時の各コマンドを示します。また、各モードの詳細情報を以下に示します。

#### メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

#### 自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

#### 自動消去モード

自動消去モードでは、フラッシュメモリマップ全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

#### ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 19.11 ライタモード時の各動作モードの設定方法

モード	ピン名				
	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	FO7 ~ FO0	FA17 ~ FA0
リード	L	L	H	データ出力	Ain
出力ディスエーブル	L	H	H	Hi-Z	X
コマンド書き込み	L	H	L	データ入力	Ain* <sup>2</sup>
チップディスエーブル* <sup>1</sup>	H	X	X	Hi-Z	X

【注】 \*1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

\*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 19.12 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。

2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

### 19.10.4 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合は、コマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 19.13 メモリ読み出しモード時の AC 特性 (1)

(条件:  $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$ )

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
$\overline{CE}$ ホールド時間	$t_{ceh}$	0		ns	
$\overline{CE}$ セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
$\overline{WE}$ 立ち上がり時間	$t_r$		30	ns	
$\overline{WE}$ 立ち下がり時間	$t_f$		30	ns	

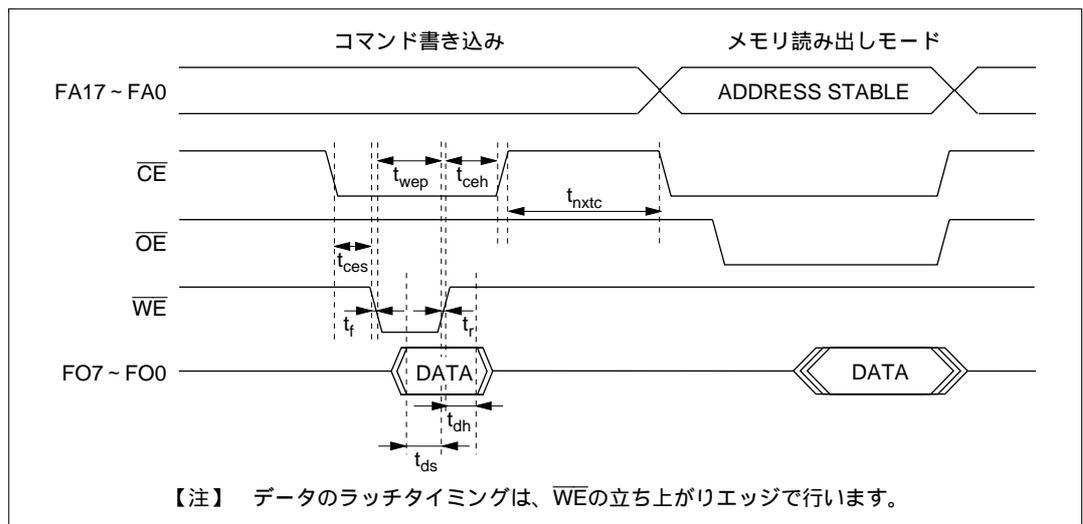


図 19.16 コマンド書き込み後メモリ読み出しタイミング波形

表 19.14 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件:  $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$ )

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
$\overline{CE}$ ホールド時間	$t_{ceh}$	0		ns	
$\overline{CE}$ セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
$\overline{WE}$ 立ち上がり時間	$t_r$		30	ns	
$\overline{WE}$ 立ち下がり時間	$t_f$		30	ns	

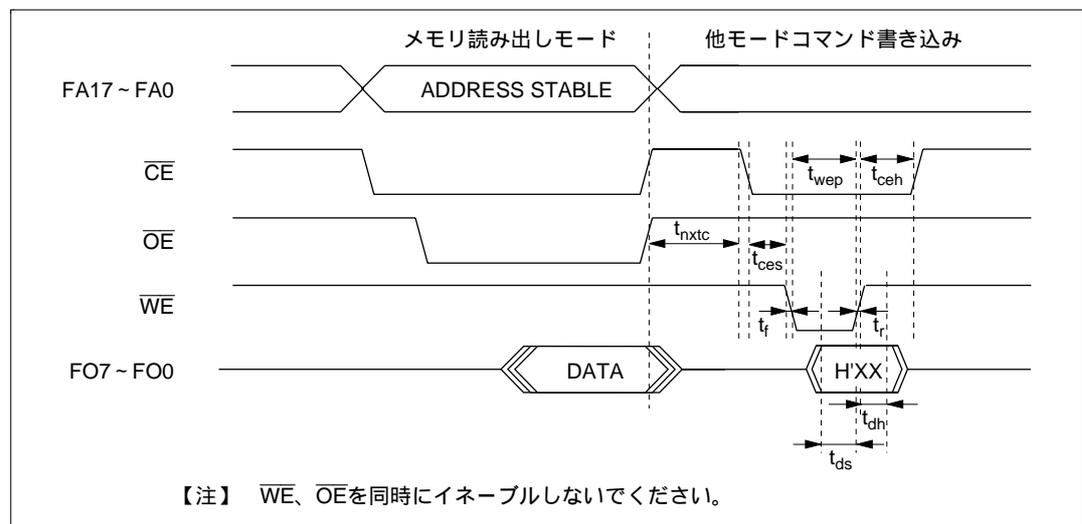


図 19.17 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 19.15 メモリ読み出しモード時の AC 特性 ( 2 )

( 条件 :  $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$  )

項目	記号	MIN	MAX	単位	特記
アクセス時間	$t_{acc}$		20	$\mu s$	
$\overline{CE}$ 出力遅延時間	$t_{ce}$		150	ns	
$\overline{OE}$ 出力遅延時間	$t_{oe}$		150	ns	
出力ディスエイブル遅延時間	$t_{df}$		100	ns	
データ出力ホールド時間	$t_{oh}$	5		ns	

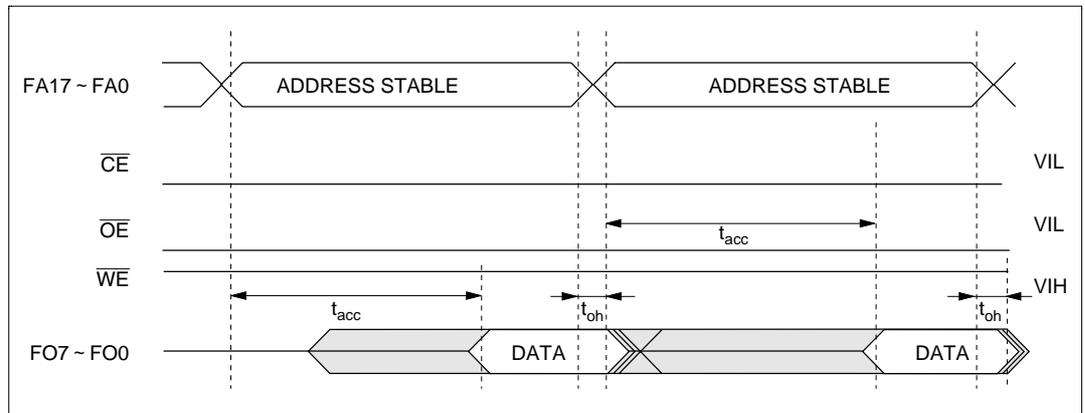


図 19.18  $\overline{CE}$ 、 $\overline{OE}$  イネーブル状態リード時のタイミング波形

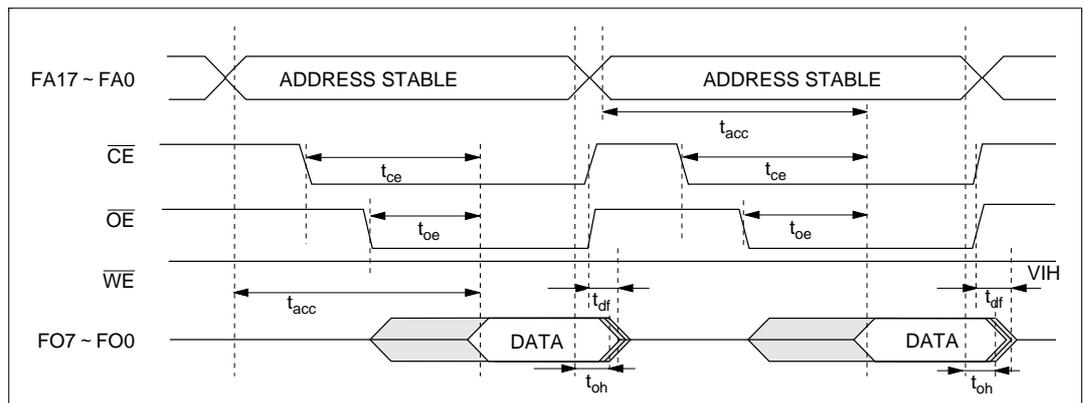


図 19.19  $\overline{CE}$ 、 $\overline{OE}$  クロック方式リード時のタイミング波形

## 19.10.5 自動書き込みモード

## (1) AC 特性

表 19.16 自動書き込みモード時の AC 特性

(条件:  $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$ )

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
$\overline{CE}$ ホールド時間	$t_{ceh}$	0		ns	
$\overline{CE}$ セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
ステータスポーリング開始時間	$t_{wsts}$	1		ms	
ステータスポーリングアクセス時間	$t_{spa}$		150	ns	
アドレスセットアップ時間	$t_{as}$	0		ns	
アドレスホールド時間	$t_{ah}$	60		ns	
メモリ書き込み時間	$t_{write}$	1	3000	ms	
$\overline{WE}$ 立ち上がり時間	$t_r$		30	ns	
$\overline{WE}$ 立ち下がり時間	$t_f$		30	ns	

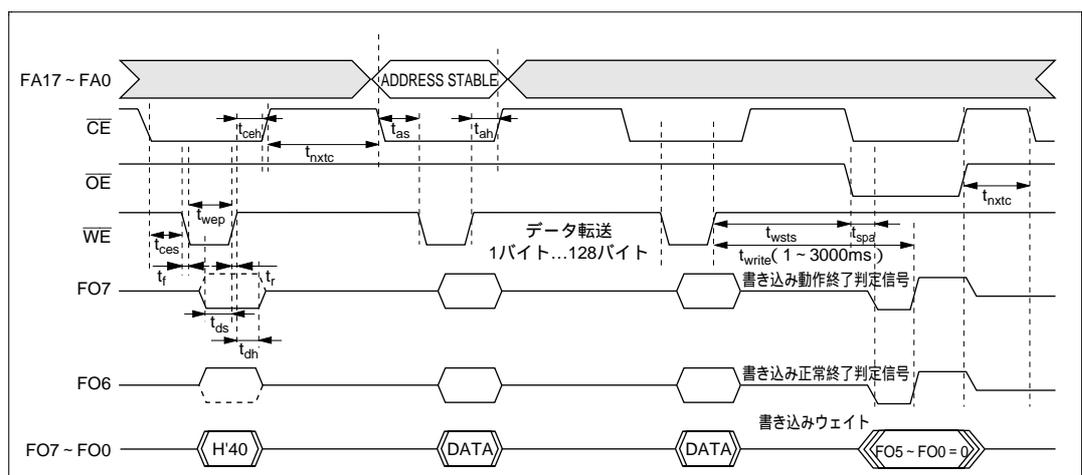


図 19.20 自動書き込みモードのタイミング波形

## (2) 自動書き込みモードにおける注意事項

- (a) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (b) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを H'FF にして書き込みを行う必要があります。
- (c) 転送するアドレスの下位 8 ビットは、H'00、H'80 でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (d) メモリアドレスの転送は、第 2 サイクルで行います (図 19.20)。第 3 サイクル以降では転送しないでください。
- (e) 書き込み動作中は、コマンド書き込みを行わないでください。
- (f) 書き込みは、各アドレスの 128 バイト単位のブロックに対して、1 回の自動書き込みで行ってください。2 回以上の書き込みについては特性保証できません。
- (g) 自動書き込み正常終了の確認には、FO6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (FO7 番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (h) ステータスポーリングの FO6、FO7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{CE}$ 、 $\overline{OE}$  をイネーブルにすることにより読み出し可能となります。

### 19.10.6 自動消去モード

#### (1) AC 特性

表 19.17 自動消去モード時の AC 特性

(条件:  $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$  )

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
$\overline{CE}$ ホールド時間	$t_{ceh}$	0		ns	
$\overline{CE}$ セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
ステータスポーリング開始時間	$t_{ests}$	1		ms	
ステータスポーリングアクセス時間	$t_{spa}$		150	ns	
メモリ消去時間	$t_{erase}$	100	40000	ms	
$\overline{WE}$ 立ち上がり時間	$t_r$		30	ns	
$\overline{WE}$ 立ち下がり時間	$t_f$		30	ns	

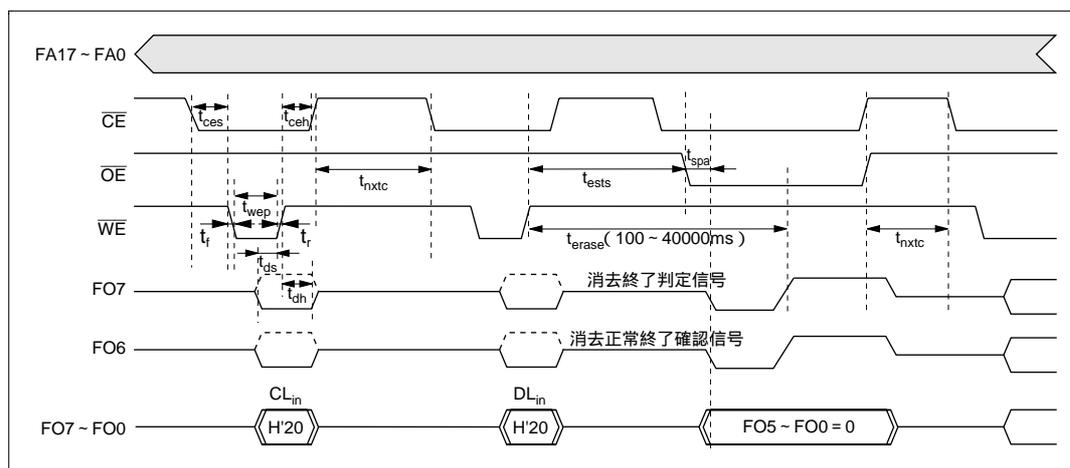


図 19.21 自動消去モードのタイミング波形

## (2) 自動消去モードにおける注意事項

- (a) 自動消去モードは、メモリ全面消去のみサポートします。
- (b) 自動消去中はコマンド書き込みを行わないでください。
- (c) 自動消去正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (d) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{CE}$ 、 $\overline{OE}$ をイネーブルにすることにより読み出し可能となります。

## 19.10.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 19.18 ステータス読み出しモード時の AC 特性

(条件： $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$ )

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	$t_{nxtc}$	20		$\mu s$	
$\overline{CE}$ ホールド時間	$t_{ceh}$	0		ns	
$\overline{CE}$ セットアップ時間	$t_{ces}$	0		ns	
データホールド時間	$t_{dh}$	50		ns	
データセットアップ時間	$t_{ds}$	50		ns	
書き込みパルス幅	$t_{wep}$	70		ns	
$\overline{OE}$ 出力遅延時間	$t_{oe}$		150	ns	
ディスエーブル遅延時間	$t_{df}$		100	ns	
$\overline{CE}$ 出力遅延時間	$t_{ce}$		150	ns	
$\overline{WE}$ 立ち上がり時間	$t_r$		30	ns	
$\overline{WE}$ 立ち下がり時間	$t_f$		30	ns	

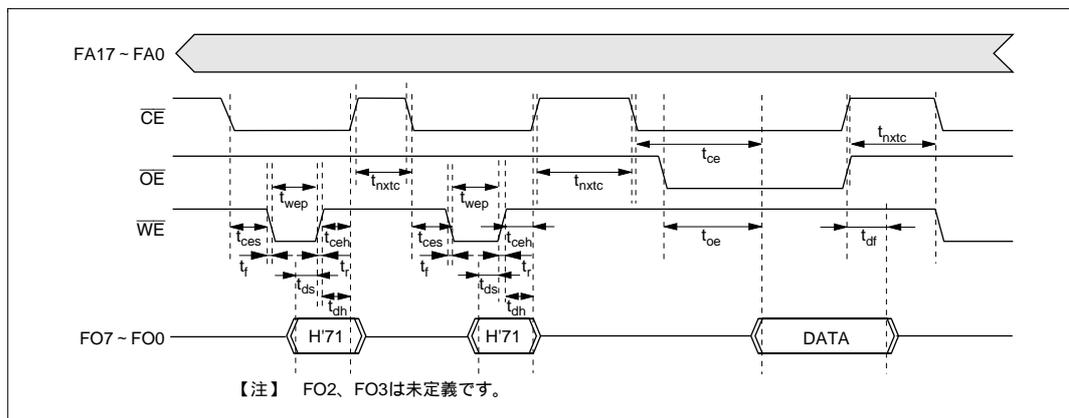


図 19.22 ステータス読み出しモードのタイミング波形

表 19.19 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバー	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了 : 0 異常終了 : 1	コマンド エラー : 1 その他 : 0	書き込み エラー : 1 その他 : 0	消去 エラー : 1 その他 : 0	-	-	回数オーバー 時 : 1 その他 : 0	有効アドレス エラー : 1 その他 : 0

【注】 FO2、FO3 は未定です。

### 19.10.8 ステータスポーリング

- (1) FO7 のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) FO6 のステータスポーリングは、自動書き込み / 自動消去モード時の正常、または異常終了を示すフラグです。

表 19.20 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0 ~ FO5	0	0	0	0

### 19.10.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 19.21 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除(発振安定時間)	$t_{osc1}$	20	-	ms	
ライタモードセットアップ時間	$t_{bmv}$	10	-	ms	
$V_{CC}$ ホールド時間	$t_{dwn}$	0	-	ms	

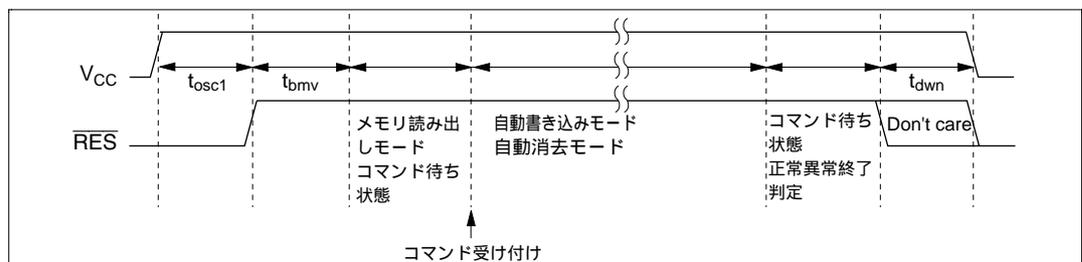


図 19.23 発振安定時間、ライタモードセットアップ、および電源立ち下げシーケンス

### 19.10.10 メモリ書き込み注意事項

- (1) すで書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

【注】 1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化(消去)レベルをチェック、補正するために自動消去実施を推奨します。

2. 同一アドレスブロックへの自動書き込みは、1回のみとします。

## 19.11 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込み / 消去を行ってください。  
定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。  
PROM ライタは、ルネサス テクノロジ 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧 5.0V をサポートしているものを使用してください。  
ライタの設定を HN28F101 や書き込み電圧 3.3V にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
- (2) 電源投入 / 切断時の注意  
 $V_{CC}$  電源の印加 / 切断時は  $\overline{RES}$  端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。  
この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。
- (3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。  
推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。
- (4) SWE ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。  
フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。  
SWE ビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。
- (5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。  
フラッシュメモリへの書き込み / 消去を行う場合は、書き込み / 消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 32 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(7) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(8) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

## 19.12 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 19.22 に F-ZTAT 版に存在して、マスク版に存在しないレジスタを示します。表 19.22 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 19.22 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 19.22 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FF80
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FF81
消去ブロック指定レジスタ 1	EBR1	H'FF82
消去ブロック指定レジスタ 2	EBR2	H'FF83



---

# 20. クロック発振器

---

## 第 20 章 目次

20.1	概要	599
20.1.1	ブロック図	599
20.1.2	レジスタ構成	599
20.2	各レジスタの説明	600
20.2.1	スタンバイコントロールレジスタ (SBYCR)	600
20.2.2	ローパワーコントロールレジスタ (LPWRCR)	601
20.3	発振器	602
20.3.1	水晶発振子を接続する方法	602
20.3.2	外部クロックを入力する方法	604
20.4	デューティ補正回路	607
20.5	中速クロック分周器	607
20.6	バスマスタクロック選択回路	607
20.7	サブクロック入力回路	607
20.8	サブクロック波形形成回路	608
20.9	クロック選択回路	608



## 20.1 概要

本 LSI は、クロック発振器（CPG：Clock Pulse Generator）を内蔵しており、システムクロック（ ）、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、波形成形回路から構成されます。

### 20.1.1 ブロック図

クロック発振器のブロック図を図 20.1 に示します。

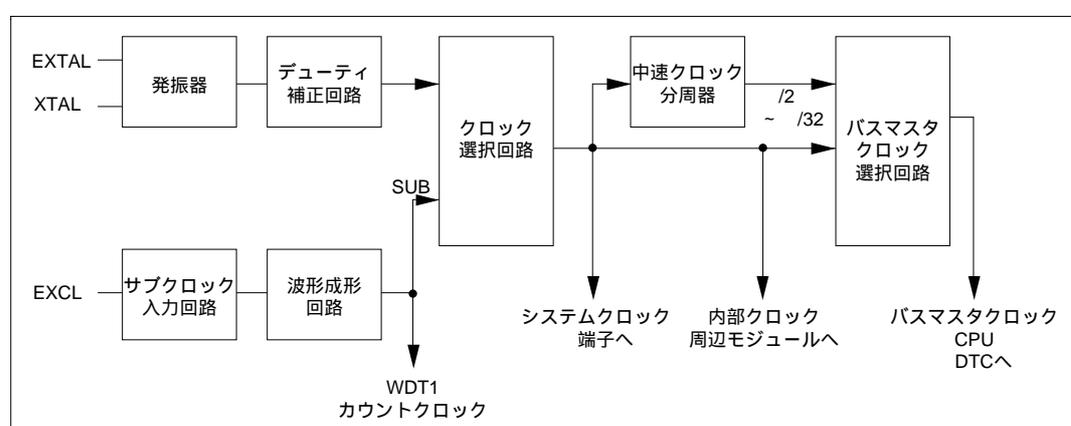


図 20.1 クロック発振器のブロック図

### 20.1.2 レジスタ構成

クロック発振器は、SBYCR、LPWRCR で制御されます。レジスタ構成を表 20.1 に示します。

表 20.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FF84
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FF85

【注】 \* アドレスの下位 16 ビットを示しています。

## 20.2 各レジスタの説明

### 20.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0		SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W		R/W	R/W	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 2~0 についてのみ説明します。その他のビットの詳細については「21.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 2~0：システムクロックセレクト 2~0 (SCK2~SCK0)

高速モード、および中速モードでのバスマスタのクロックを選択します。

なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には、SCK2~SCK0 をすべて 0 としてください。

ビット 2	ビット 1	ビット 0	説 明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

## 20.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット:	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	-	-	-	-

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 4 についてのみ説明します。その他のビットの詳細については「21.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 4 : サブクロック入力イネーブル (EXCLE)

EXCL 端子からのサブクロック入力を制御します。

ビット 4	説明
EXCLE	
0	EXCL 端子からのサブクロック入力禁止 (初期値)
1	EXCL 端子からのサブクロック入力許可

## 20.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

### 20.3.1 水晶発振子を接続する方法

#### (1) 回路構成

水晶発振子を接続する場合の接続例を図 20.2 に示します。ダンピング抵抗  $R_d$  は、表 20.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

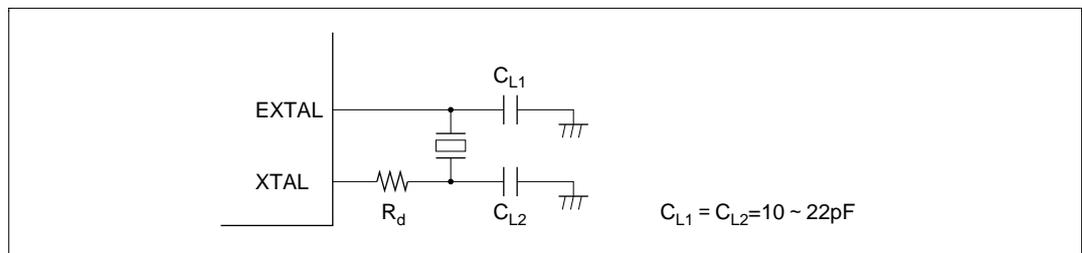


図 20.2 水晶発振子の接続例

表 20.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16	20
$R_d$ ( )	1k	500	200	0	0	0	0

## (2) 水晶発振子

図 20.3 に水晶発振子の等価回路を示します。水晶発振子は表 20.3 に示す特性のものを使用してください。

水晶発振子は、システムクロック ( ) と同一の周波数のものを使用してください。

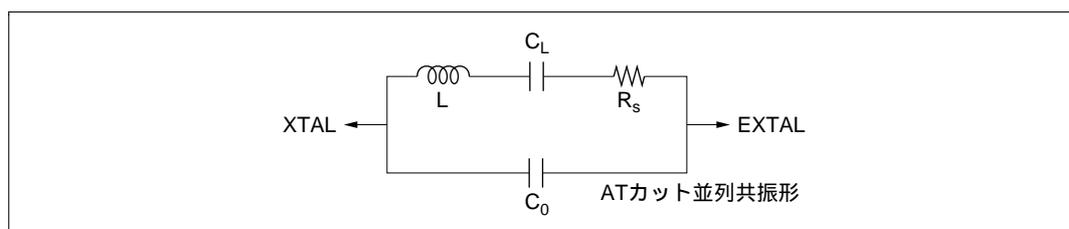


図 20.3 水晶発振子の等価回路

表 20.3 水晶発振子の特性

周波数 (MHz)	2	4	8	10	12	16	20
$R_s$ max ( )	500	120	80	70	60	50	40
$C_0$ max (pF)	7						

## (3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください (図 20.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

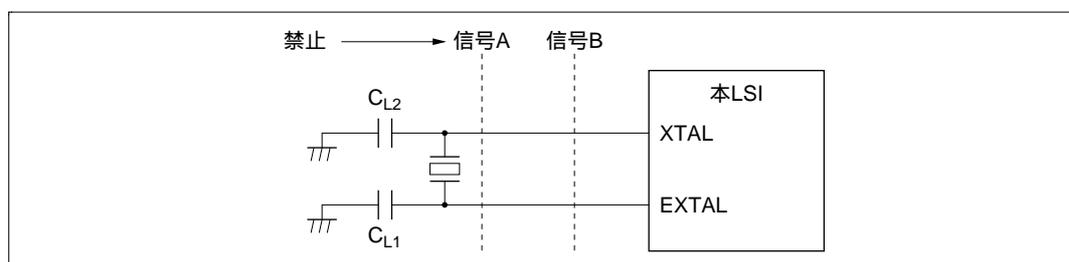


図 20.4 発振回路部のボード設計に関する注意事項

## 20.3.2 外部クロックを入力する方法

### (1) 回路構成

外部クロック入力の接続例を図 20.5 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 20.5 (b) の場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時には外部クロックが High レベルになるようにしてください。

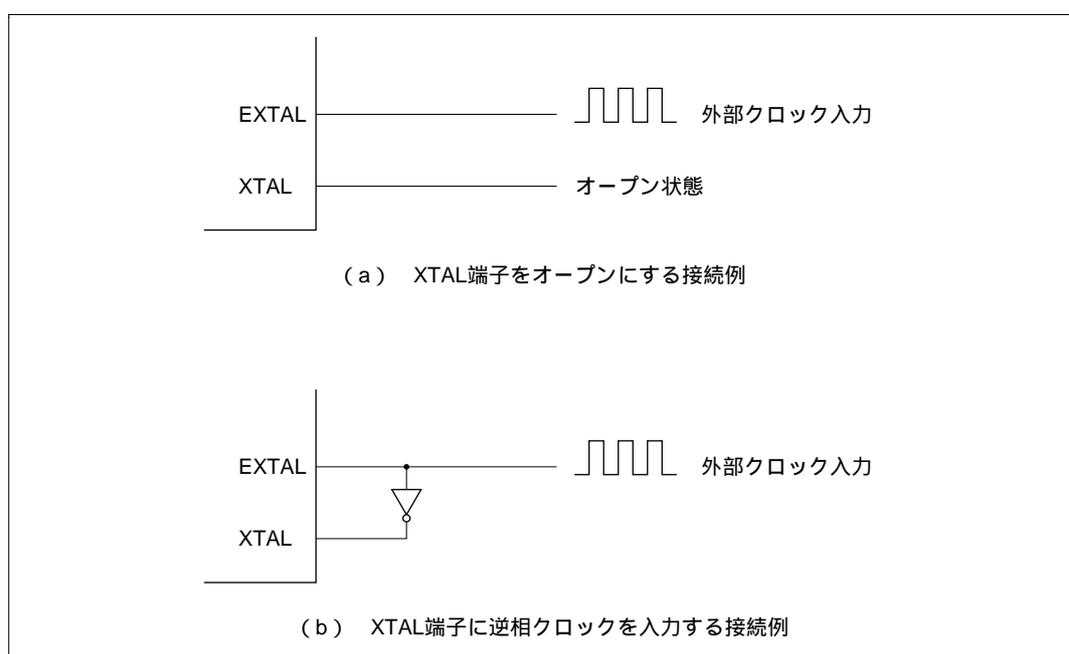


図 20.5 外部クロックの接続例

### (2) 外部クロック

外部クロックは、システムクロック ( ) と同一の周波数としてください。

外部クロックの入力条件を表 20.4 および図 20.6 に示します。

表 20.4 外部クロック入力条件

項目	記号	$V_{CC} = 2.7 \sim 5.5V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック入力 パルス幅 Low レベル	$t_{EXL}$	40	-	20	-	ns	図 20.6	
外部クロック入力 パルス幅 High レベル	$t_{EXH}$	40	-	20	-	ns		
外部クロック 立ち上がり時間	$t_{EXr}$	-	10	-	5	ns		
外部クロック 立ち下がり時間	$t_{EXf}$	-	10	-	5	ns		
クロックパルス幅 Low レベル	$t_{CL}$	0.4	0.6	0.4	0.6	$t_{cyc}$	5MHz	図 22.4
クロックパルス幅 High レベル		80	-	80	-	ns	< 5MHz	
クロックパルス幅 Low レベル	$t_{CH}$	0.4	0.6	0.4	0.6	$t_{cyc}$	5MHz	
クロックパルス幅 High レベル		80	-	80	-	ns	< 5MHz	

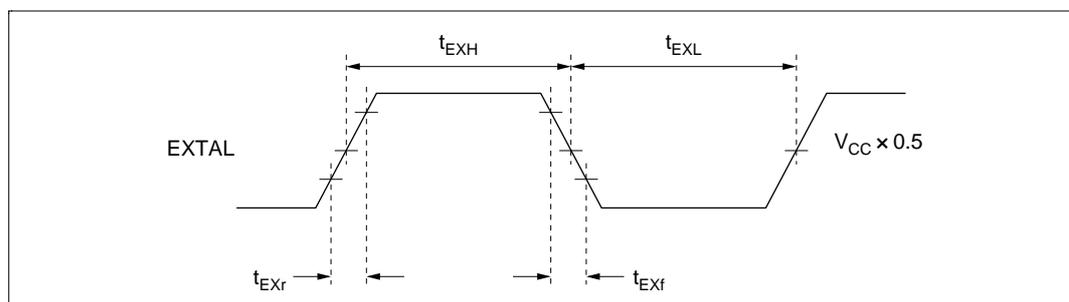


図 20.6 外部クロック入力タイミング

表 20.5 に外部クロック出力安定遅延時間、図 20.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 ( $t_{DEXT}$ ) 経過後に内部クロック信号出力が確定します。 $t_{DEXT}$  期間中はクロック信号出力が確定していないので、リセット信号を Low レベルにし、リセット状態に保持してください。

表 20.5 外部クロック出力安定遅延時間

(条件:  $V_{CC}=2.7V \sim 5.5V$ 、 $AV_{CC}=2.7V \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ )

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	$t_{DEXT}^*$	500	-	$\mu s$	図 20.7

【注】 \*  $t_{DEXT}$  は、 $\overline{RES}$  パルス幅 ( $t_{RESW}$ ) を含みます。

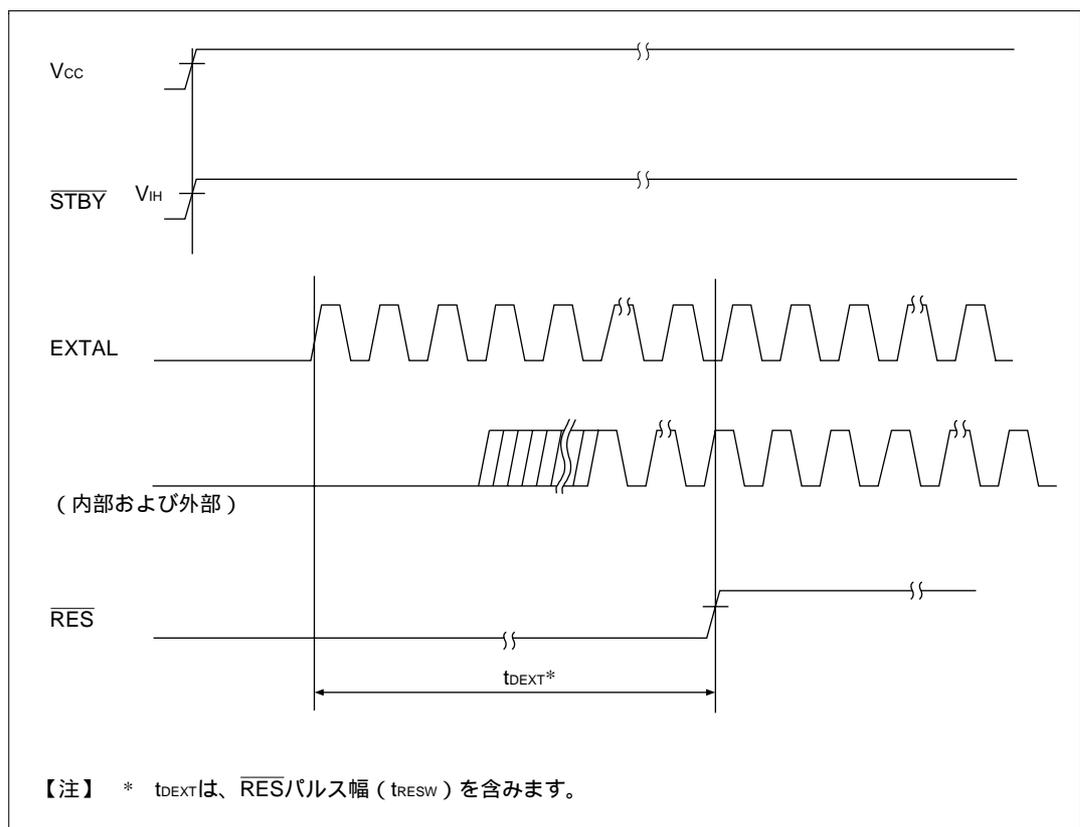


図 20.7 外部クロック出力安定遅延時間タイミング

## 20.4 デューティ補正回路

デューティ補正回路は、発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正し、システムクロック ( ) を生成します。

## 20.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 / 2、 / 4、 / 8、 / 16、 / 32 を生成します。

## 20.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SBYCR の SCK2 ~ SCK0 ビットにしたがって、システムクロック ( )、または中速クロック ( / 2、 / 4、 / 8、 / 16、 / 32 ) から選択します。

## 20.7 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。

### (1) サブクロックを入力する方法

サブクロックを使用する場合は、EXCL 端子から 32.768kHz の外部クロックを入力してください。このとき、P4DDR の P46DDR ビットを 0 にクリアし、LPWRCR の EXCLE ビットを 1 にセットしてください。

サブクロックの入力条件を表 20.6 および図 20.8 に示します。

表 20.6 サブクロック入力条件

項目	記号	$V_{CC} = 2.7 \sim 5.5V$			単位	測定条件
		min	typ	max		
サブクロック入力 パルス幅 Low レベル	$t_{EXCLL}$	-	15.26	-	$\mu s$	図 20.8
サブクロック入力 パルス幅 High レベル	$t_{EXCLH}$	-	15.26	-	$\mu s$	
サブクロック入力 立ち上がり時間	$t_{EXCLr}$	-	-	10	ns	
サブクロック入力 立ち下がり時間	$t_{EXCLf}$	-	-	10	ns	

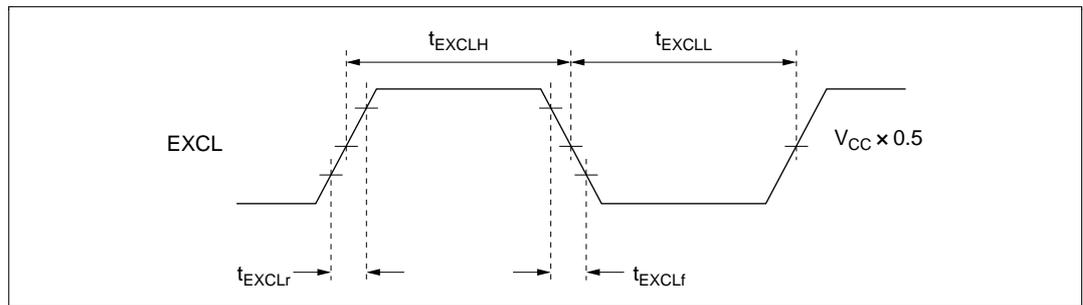


図 20.8 サブクロック入力タイミング

## (2) サブクロックを必要としない場合

サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

## 20.8 サブクロック波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「21.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

## 20.9 クロック選択回路

マイコン内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には、EXTAL、EXTAL 端子の発振器で生成されるクロックをシステムクロックとして選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、EXCL 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR0、1、WDT0、1、ポート、割り込みなどのモジュールおよび機能は  $\text{SUB}$  より動作し、各タイマのカウントクロックも  $\text{SUB}$  を分周したクロックとなります。

---

# 21. 低消費電力状態

---

## 第21章 目次

21.1	概要.....	611
21.1.1	レジスタ構成.....	615
21.2	各レジスタの説明.....	616
21.2.1	スタンバイコントロールレジスタ (SBYCR) .....	616
21.2.2	ローパワーコントロールレジスタ (LPWRCR) .....	618
21.2.3	タイマコントロール/ステータスレジスタ (TCSR) .....	620
21.2.4	モジュールストップコントロールレジスタ (MSTPCR) .....	621
21.3	中速モード.....	622
21.4	スリープモード.....	623
21.4.1	スリープモード.....	623
21.4.2	スリープモードの解除.....	623
21.5	モジュールストップモード.....	624
21.5.1	モジュールストップモード.....	624
21.5.2	使用上の注意.....	625
21.6	ソフトウェアスタンバイモード.....	626
21.6.1	ソフトウェアスタンバイモード.....	626
21.6.2	ソフトウェアスタンバイモードの解除.....	626
21.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定.....	627
21.6.4	ソフトウェアスタンバイモードの応用例.....	627
21.6.5	使用上の注意.....	628
21.7	ハードウェアスタンバイモード.....	629
21.7.1	ハードウェアスタンバイモード.....	629
21.7.2	ハードウェアスタンバイモードのタイミング.....	629
21.8	ウォッチモード.....	630
21.8.1	ウォッチモード.....	630
21.8.2	ウォッチモードの解除.....	630
21.9	サブスリープモード.....	631

## 21. 低消費電力状態

---

21.9.1	サブスリープモード.....	631
21.9.2	サブスリープモードの解除.....	631
21.10	サブアクティブモード.....	632
21.10.1	サブアクティブモード.....	632
21.10.2	サブアクティブモードの解除.....	632
21.11	直接遷移.....	633
21.11.1	直接遷移の概要.....	633

## 21.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) サブアクティブモード
- (4) スリープモード
- (5) サブスリープモード
- (6) ウオッチモード
- (7) モジュールストップモード
- (8) ソフトウェアスタンバイモード
- (9) ハードウェアスタンバイモード

があり、(2) ~ (9) が低消費電力状態です。スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能 (CPU 以外のバスマスタも含む) の状態です。これらは一部組み合わせて設定することができます。

リセット後は、高速モードでモジュールストップモード (DTC を除く) になっています。

表 21.1 に各モードでの LSI の内部状態、表 21.2 に低消費電力モード遷移条件を示します。

また、図 21.1 に、モード遷移図を示します。

表 21.1 各モードでのLSIの内部状態

機能	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ				
システムクロック 発振器	動作	動作	動作	動作	停止	停止	停止	停止	停止				
サブクロック入力	動作	動作	動作	動作	動作	動作	動作	停止	停止				
CPU動作	命令	中速動作	停止	動作	停止	サブ クロック	停止	停止	停止				
	レジスタ		保持		保持		動作			保持	不定		
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作				
	IRQ0												
	IRQ1												
	IRQ2												
周辺機能 の動作	DTC	動作	中速動作	動作	動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)				
	WDT1				動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)				
	WDT0				停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)					
	TMR0,1				動作/停止 (保持)								
	FRT					動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)				
	TMRX,Y												
	タイマ コネクシ ョン				動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)					
	IIC0												
	IIC1												
	SCI0												
	PWM												
	PWMX												
	A/D				動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
	RAM												
I/O	動作	動作	動作	動作	保持	動作	保持	保持	ハイインピー ダンス				

【注】 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。

停止（リセット）は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。

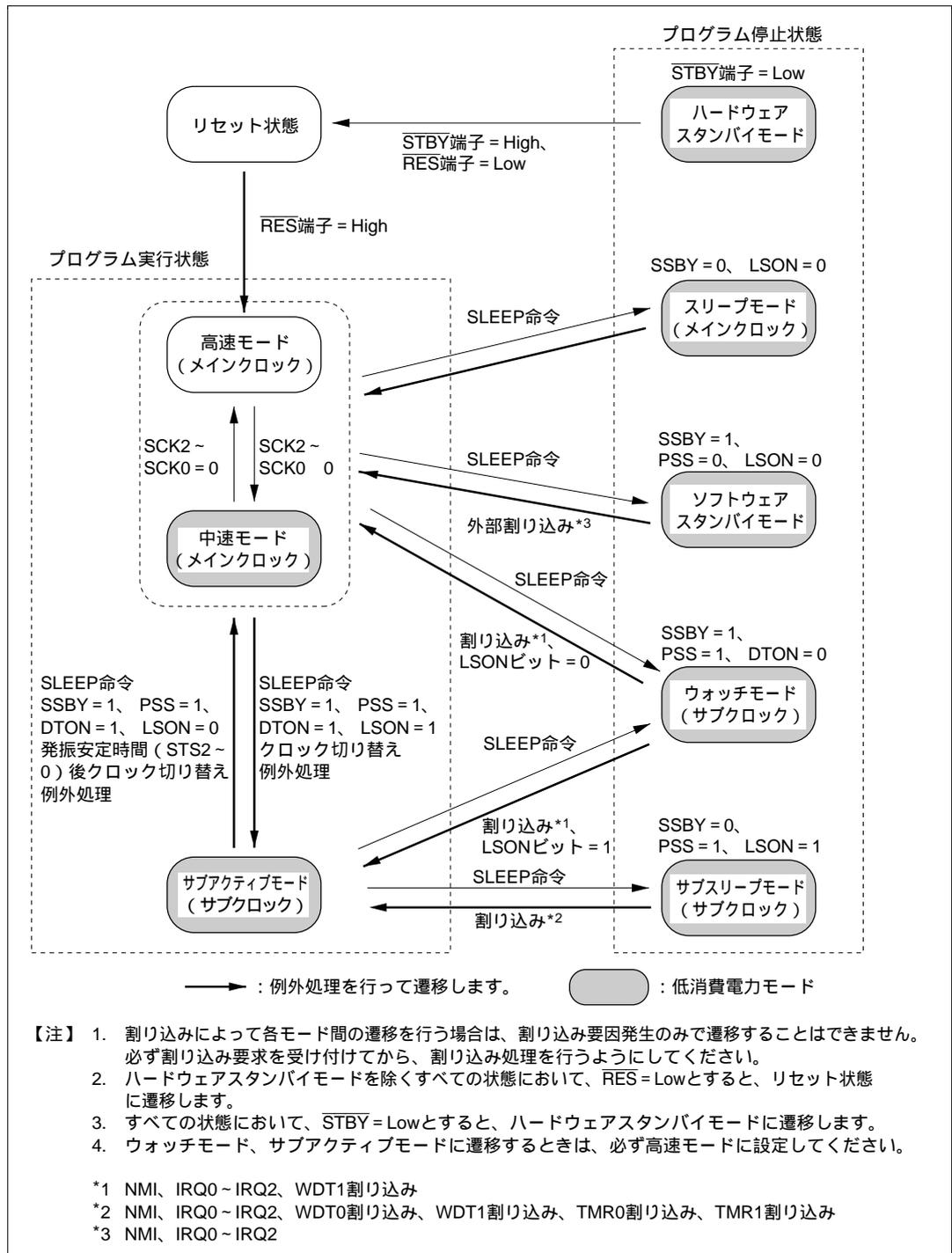


図 21.1 モード遷移図

表 21.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速 / 中速	0	*	0	*	スリープ	高速 / 中速
	0	*	1	*		
	1	0	0	*	ソフトウェアスタンバイ	高速 / 中速
	1	0	1	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1		
	1	1	1	1	サブアクティブ	
サブアクティブ	0	0	*	*		
	0	1	0	*		
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	
	1	1	1	1		

\* : Don't care

: 設定しないでください。

### 21.1.1 レジスタ構成

低消費電力状態は、SBYCR、LPWRCR、TCSR (WDT1)、MSTPCR で制御されます。レジスタ構成を表 21.3 に示します。

表 21.3 レジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FF84* <sup>2</sup>
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FF85* <sup>2</sup>
タイマコントロール/ステータスレジスタ (WDT1)	TCSR	R/W	H'00	H'FFEA
モジュールストップコントロールレジスタ	MSTPCRH	R/W	H'3F	H'FF86* <sup>2</sup>
	MSTPCRL	R/W	H'FF	H'FF87* <sup>2</sup>

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 低消費電力状態の制御レジスタの一部は、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の FLSHE ビットで行います。

## 21.2 各レジスタの説明

### 21.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0		SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W		R/W	R/W	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 7：ソフトウェアスタンバイ (SSBY)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。

なお、割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。

ビット 7	説明
SSBY	
0	高速モードおよび中速モードで SLEEP 命令を実行したとき、スリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードに遷移 (初期値)
1	高速モードおよび中速モードで SLEEP 命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

#### ビット 6～4：スタンバイタイムセレクト 2～0 (STS2～STS0)

特定の割り込みや命令によってソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 21.4 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート*

【注】 \* フラッシュメモリ内蔵版および H8S/2128S グループでは、本設定は使用しないでください。

#### ビット3：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

#### ビット2～0：システムクロックセレクト2～0 (SCK2～SCK0)

高速モード、および中速モードでのバスマスタのクロックを選択します。

なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には、SCK2～SCK0をすべて0としてください。

ビット2	ビット1	ビット0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

## 21.2.2 ローパワーコントロールレジスタ (LPWRCCR)

ビット :	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

LPWRCCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

LPWRCCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

### ビット7 : ダイレクトトランスファオンフラグ (DTON)

SLEEP 命令実行による低消費電力遷移時に、高速モード、中速モードとサブアクティブモードの各モード間を直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット7	説明
DTON	
0	<ul style="list-style-type: none"> <li>・高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移</li> <li>・サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移</li> </ul> <p style="text-align: right;">(初期値)</p>
1	<ul style="list-style-type: none"> <li>・高速モード、あるいは中速モードで SLEEP 命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移</li> <li>・サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移</li> </ul>

【注】 \* ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

### ビット6 : ロースピードオンフラグ (LSON)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。

ビット6	説明
LSON	
0	<ul style="list-style-type: none"> <li>・高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移</li> <li>・サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移</li> <li>・ウォッチモード解除後に高速モードに遷移 (初期値)</li> </ul>
1	<ul style="list-style-type: none"> <li>・高速モードで SLEEP 命令を実行したとき、ウォッチモード、またはサブアクティブモード*に遷移</li> <li>・サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移</li> <li>・ウォッチモード解除後にサブアクティブモードに遷移</li> </ul>

【注】 \* ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

#### ビット5：ノイズ除去サンプリング周波数選択 (NESEL)

EXCL 端子より入力されたサブクロック ( SUB ) を、システムクロック発振器より生成されたクロック ( ) により、サンプリングする周波数を選択します。 = 5MHz 以上のときは、0 をセットしてください。

ビット5	説明
NESEL	
0	の 32 分周クロックでサンプリング (初期値)
1	の 4 分周クロックでサンプリング

#### ビット4：サブクロック入力イネーブル (EXCLE)

EXCL 端子からのサブクロック入力を制御します。

ビット4	説明
EXCLE	
0	EXCL 端子からのサブクロック入力禁止 (初期値)
1	EXCL 端子からのサブクロック入力許可

#### ビット3～0：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

## 21.2.3 タイマコントロール/ステータスレジスタ (TCSR)

## TCSR1

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/ $\bar{IT}$	TME	PSS	RST/ $\bar{NMI}$	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 \* フラグをクリアするための0ライトのみ可能です。

TCSR1 は、リード/ライト可能な8ビットのレジスタで、WDT1 の TCNT に入力するクロック、モードの選択などを行います。

ここでは、ビット4についてのみ説明します。その他のビットの詳細については「14.2.2 タイマコントロール/ステータスレジスタ (TCSR)」を参照してください。

TCSR1 は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

## ビット4: プリスケラセレクト (PSS)

WDT1 の TCNT の入力クロックソースを選択します。

また、低消費電力モード遷移時の動作を制御します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットとの組み合わせで決定します。

詳細は、「14.2.2 タイマコントロール/ステータスレジスタ (TCSR)」のクロックセレクト2~0の説明および本章を参照してください。

ビット4	説明
PSS	
0	<ul style="list-style-type: none"> <li>TCNT は ベースのプリスケラ (PSM) の分周クロックをカウント</li> <li>高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモードに遷移 (初期値)</li> </ul>
1	<ul style="list-style-type: none"> <li>TCNT は SUBベースのプリスケラ (PSS) の分周クロックをカウント</li> <li>高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ウォッチモード*、サブアクティブモード*に遷移</li> <li>サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、ウォッチモード、高速モードに遷移</li> </ul>

【注】 \* ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

## 21.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRは8ビットのリード/ライト可能な2本のレジスタで、モジュールストップモードの制御を行います。

MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'3FFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

### MSTPCRH、MSTPCRL ビット7~0 : モジュールストップ (MSTP15~MSTP0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 21.3 を参照してください。

MSTPCRH、 MSTPCRL ビット7~0	説明
MSTP15~MSTP0	
0	モジュールストップモード解除 (MSTP15、MSTP14の初期値)
1	モジュールストップモード設定 (MSTP13~MSTP0の初期値)

## 21.3 中速モード

高速モード時に SBYCR の SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2~SCK0 ビットで指定した動作クロック (  $/2$ 、  $/4$ 、  $/8$ 、  $/16$ 、  $/32$  ) で動作します。CPU 以外のバスマスタ (DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック ( ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして  $/4$  を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビット = 1、LPWRCR の LSON ビット = 0、TCSR (WDT1) の PSS ビット = 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$  端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 21.2 に示します。

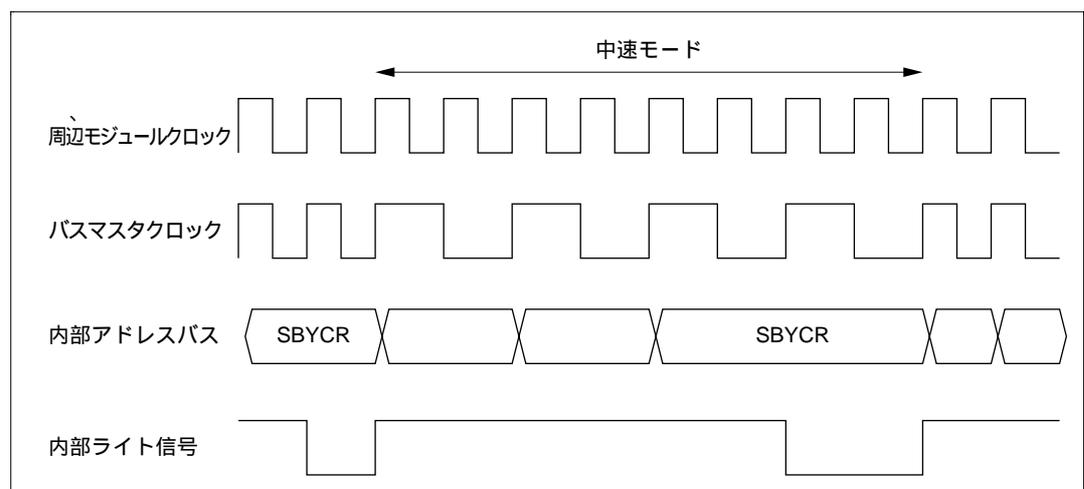


図 21.2 中速モードの遷移・解除タイミング

## 21.4 スリープモード

### 21.4.1 スリープモード

SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

### 21.4.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$  端子、または  $\overline{\text{STBY}}$  端子によって行われます。

#### (1) 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

#### (2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$  端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

#### (3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 21.5 モジュールストップモード

### 21.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 21.4 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI、A/D 変換器、8 ビット PWM、14 ビット PWM を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

表 21.4 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCRH	MSTP15	-
	MSTP14*	データトランスファコントローラ (DTC)
	MSTP13	16 ビットフリーランニングタイマ (FRT)
	MSTP12	8 ビットタイマ (TMR0、TMR1)
	MSTP11*	8 ビット PWM タイマ (PWM)、14 ビット PWM タイマ (PWMX)
	MSTP10*	-
	MSTP9	A/D 変換器
	MSTP8	8 ビットタイマ (TMRX、TMRY)、タイマコネクション
MSTPCRL	MSTP7	シリアルコミュニケーションインタフェース 0 (SCI0)
	MSTP6	シリアルコミュニケーションインタフェース 1 (SCI1)
	MSTP5*	-
	MSTP4*	I <sup>2</sup> C バスインタフェース (IIC) チャンネル 0 【オプション】
	MSTP3*	I <sup>2</sup> C バスインタフェース (IIC) チャンネル 1 【オプション】
	MSTP2*	-
	MSTP1*	-
	MSTP0*	-

【注】 ビット 15 は、1 にセットしないでください。また、ビット 10、5、2、1、0 はリード/ライトできますが、動作に影響を与えません。

\* H8S/2124 グループでは、必ず 1 にセットしてください。

## 21.5.2 使用上の注意

DTC のモジュールストップモードの設定と、DTC のバス権要求が競合すると、バス権要求が優先され、MSTP ビットは 1 にセットされません。

DTC のバスサイクル終了後に再び MSTP ビットに 1 をライトしてください。

H8S/2124 グループを使用する場合、内蔵されないモジュールに対応する MSTP ビットは、必ず 1 にセットしてください。

## 21.6 ソフトウェアスタンバイモード

### 21.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、TCSR (WDT1) の PSS = 0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータおよび SCI、PWM、PWMX を除く内蔵周辺機能と I/O ポートの状態は保持されます。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

### 21.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI 端子、 $\overline{\text{IRQ0}}$  ~  $\overline{\text{IRQ2}}$  端子)、 $\overline{\text{RES}}$  端子、または  $\overline{\text{STBY}}$  端子によって行われます。

#### (1) 割り込みによる解除

NMI、IRQ0 ~ IRQ2 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、IRQ0 ~ IRQ2 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

#### (2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$  端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき  $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

#### (3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

### 21.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

#### (1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。

表 21.5 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

表 21.5 発振安定時間の設定

STS2	STS1	STS0	待機時間	20MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.41	0.51	0.65	0.8	1.0	1.3	2.0	4.1	ms
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	1.6	2.0	2.7	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	3.3	4.1	5.5	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	6.6	8.2	10.9	13.1	16.4	21.8	32.8	65.5	μs
		1	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6	131.2	
	1	0	リザーブ	-	-	-	-	-	-	-	-	
		1	16 ステート*	0.8	1.0	1.3	1.6	2.0	2.7	4.0	8.0	

 : 推奨設定時間

【注】 \* フラッシュメモリ内蔵版では、本設定は使用しないでください。

#### (2) 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

### 21.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 21.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている(立ち下がりエッジ指定)状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット(立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

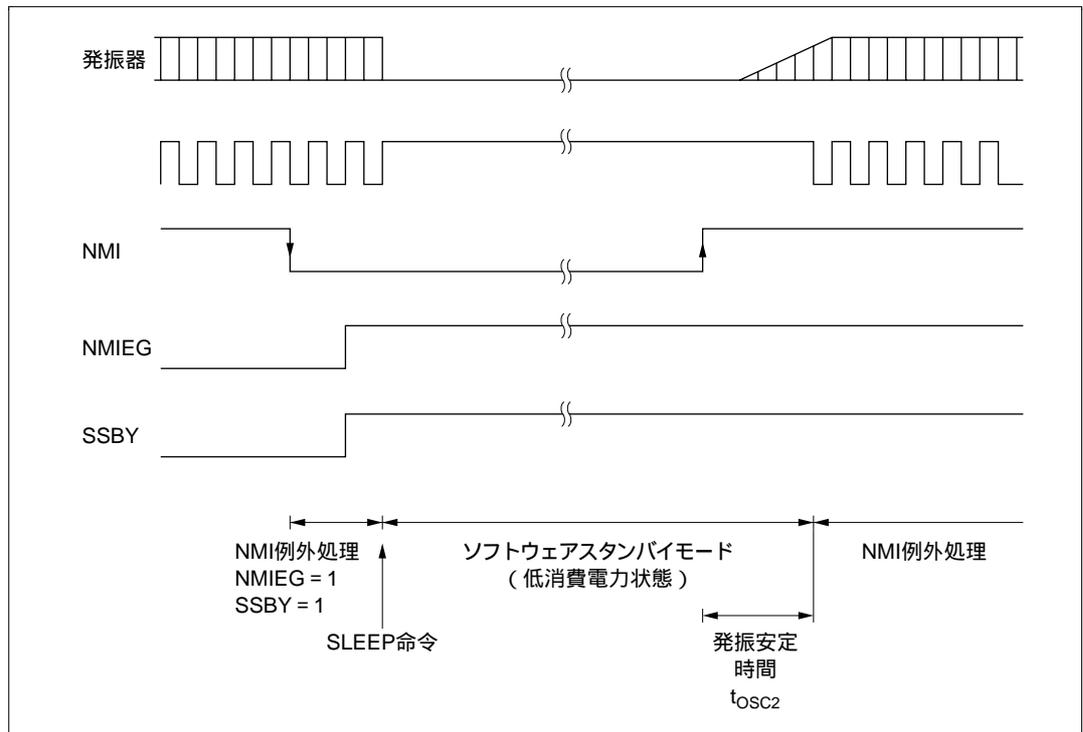


図 21.3 ソフトウェアスタンバイモードの応用例

### 21.6.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

発振安定待機中は消費電流が増加します。

## 21.7 ハードウェアスタンバイモード

### 21.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD1 ~ MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子と  $\overline{\text{RES}}$  端子によって行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 8ms 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

### 21.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 21.4 に示します。

$\overline{\text{RES}}$  端子を Low レベルにした後、 $\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$  端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

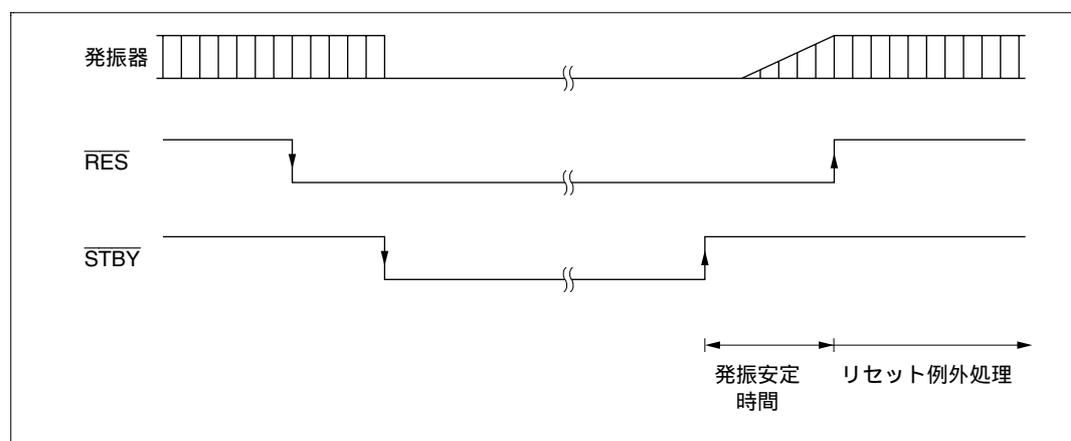


図 21.4 ハードウェアスタンバイモードのタイミング

## 21.8 ウォッチモード

### 21.8.1 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 0、TCSR (WDT1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

### 21.8.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOV11 割り込み、NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$  端子)、 $\overline{\text{RES}}$  端子、または  $\overline{\text{STBY}}$  端子によって行われます。

#### (1) 割り込みによる解除

割り込みが発生すると、ウォッチモードは解除され、LPWRCR の LSON ビット = 0 のときは高速モードあるいは中速モードに、LSON ビット = 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2 ~ STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0 ~ IRQ2 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「21.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

#### (2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$  端子による解除については、「21.6.2 ソフトウェアスタンバイモードの解除 (2)  $\overline{\text{RES}}$  端子による解除」を参照してください。

#### (3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 21.9 サブスリープモード

### 21.9.1 サブスリープモード

サブアクティブモードにおいて、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TCSR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行すると、CPUはサブスリープモードに遷移します。

サブスリープモード時、CPUは動作を停止します。また、TMR0,1、WDT0,1以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺レジスタ、内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

### 21.9.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み(内蔵周辺機能からの割り込み、NMI端子、 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ2}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

#### (1) 割り込みによる解除

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ0~IRQ2割り込みについては、対応するイネーブルビットが0にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、またはCPUでマスクされている場合には、サブスリープモードは解除されません。

#### (2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「21.6.2 ソフトウェアスタンバイモードの解除(2)  $\overline{\text{RES}}$  端子による解除」を参照してください。

#### (3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

## 21.10 サブアクティブモード

### 21.10.1 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビット=1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR0,1、WDT0,1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2~SCK0 の各ビットを必ず0としてください。

### 21.10.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、 $\overline{\text{RES}}$  端子、または  $\overline{\text{STBY}}$  端子によって行われます。

#### (1) SLEEP 命令による解除

SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は「21.11 直接遷移」を参照してください。

#### (2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$  端子による解除については、「21.6.2 ソフトウェアスタンバイモードの解除 (2)  $\overline{\text{RES}}$  端子による解除」を参照してください。

#### (3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 21.11 直接遷移

### 21.11.1 直接遷移の概要

CPUがプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移はLPWRCRのDTONを1にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

#### (1) 高速モードからサブアクティブモードへの直接遷移

高速モードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=1、DTONビット=1、TSCR(WDT1)のPSSビット=1にセットした状態でSLEEP命令を実行すると、サブアクティブモードに遷移します。

#### (2) サブアクティブモードから高速モードへの直接遷移

サブアクティブモードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=0、DTONビット=1、TSCR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行すると、SBYCRのSTS2~STS0により設定された時間を経過した後、直接高速モードに遷移します。



---

# 22. 電気的特性

---

## 第 22 章 目次

22.1	電源電圧と動作範囲.....	637
22.2	H8S/2128 グループ ( H8S/2127R、H8S/2126R マスク ROM 品 )、H8S/2128 F-ZTAT.....	639
	22.2.1 絶対最大定格.....	639
	22.2.2 DC 特性.....	640
	22.2.3 AC 特性.....	648
	22.2.4 A/D 変換特性.....	662
	22.2.5 フラッシュメモリ特性.....	664
	22.2.6 使用上の注意.....	665
22.3	H8S/2128S グループ ( H8S/2128S マスク ROM 品、H8S/2127S マスク ROM 品 ) .....	666
	22.3.1 絶対最大定格.....	666
	22.3.2 DC 特性.....	667
	22.3.3 AC 特性.....	673
	22.3.4 A/D 変換特性.....	687
	22.3.5 使用上の注意.....	689
22.4	H8S/2124 グループ ( H8S/2122、H8S/2120 マスク ROM 品 ) .....	690
	22.4.1 絶対最大定格.....	690
	22.4.2 DC 特性.....	691
	22.4.3 AC 特性.....	699
	22.4.4 A/D 変換特性.....	712
	22.4.5 使用上の注意.....	714



## 22.1 電源電圧と動作範囲

各製品ごとの電源電圧と動作範囲（網掛部）を表 22.1 に示します。

表 22.1 電源電圧と動作範囲（1）（F-ZTAT 品）

製品名 / 電源	5V 版	製品名 / 電源	3V 版
HD64F2128		HD64F2128V	
VCC1 端子	$V_{CC} = 5.0V \pm 10\%$ ( fop = 2 ~ 20MHz )	VCC1 端子	$V_{CC} = 3.0V \sim 5.5V$ ( fop = 2 ~ 10MHz )
VCC2 端子	$V_{CC} = 4.0V \sim 5.5V$ ( fop = 2 ~ 16MHz )	VCC2 端子	
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$ ( fop = 2 ~ 20MHz ) $AV_{CC} = 4.0V \sim 5.5V$ ( fop = 2 ~ 16MHz )	AVCC 端子	$AV_{CC} = 3.0V \sim 5.5V$ ( fop = 2 ~ 10MHz )

表 22.1 電源電圧と動作範囲（2）（マスク ROM 品）

製品名 / 電源	5V 版	4V 版
HD6432128S HD6432128SW HD6432127S HD6432127SW		
VCC1 端子	$V_{CC} = 5.0V \pm 10\%$	$V_{CC} = 4.0V \sim 5.5V$
VCL 端子 ( VCC2 )	$V_{CL} = C$ 接続	$V_{CL} = C$ 接続
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$	$AV_{CC} = 4.0V \sim 5.5V$

表 22.1 電源電圧と動作範囲 (3) (マスク ROM 品)

製品名 / 電源	5V 版	4V 版	3V 版
HD6432127R HD6432127RW HD6432126R HD6432126RW HD6432122 HD6432120	<p>A graph showing the operating range for the 5V version. The vertical axis is labeled Vcc and has tick marks at 4.5V and 5.5V. The horizontal axis is labeled fop and has tick marks at 2MHz and 20MHz. A shaded rectangular area represents the operating range, spanning from 4.5V to 5.5V on the Vcc axis and from 2MHz to 20MHz on the fop axis.</p>	<p>A graph showing the operating range for the 4V version. The vertical axis is labeled Vcc and has tick marks at 4.0V and 5.5V. The horizontal axis is labeled fop and has tick marks at 2MHz and 16MHz. A shaded rectangular area represents the operating range, spanning from 4.0V to 5.5V on the Vcc axis and from 2MHz to 16MHz on the fop axis.</p>	<p>A graph showing the operating range for the 3V version. The vertical axis is labeled Vcc and has tick marks at 2.7V and 5.5V. The horizontal axis is labeled fop and has tick marks at 2MHz and 10MHz. A shaded rectangular area represents the operating range, spanning from 2.7V to 5.5V on the Vcc axis and from 2MHz to 10MHz on the fop axis.</p>
VCC1 端子 VCC2 端子	$V_{CC} = 5.0V \pm 10\%$	$V_{CC} = 4.0V \sim 5.5V$	$V_{CC} = 2.7V \sim 5.5V$
AVCC 端子	$AV_{CC} = 5.0V \pm 10\%$	$AV_{CC} = 4.0V \sim 5.5V$	$AV_{CC} = 2.7V \sim 5.5V$

## 22.2 H8S/2128 グループ (H8S/2127R、H8S/2126R マスク ROM 品)、H8S/2128 F-ZTAT

### 22.2.1 絶対最大定格

絶対最大定格を表 22.2 に示します。

表 22.2 絶対最大定格

項 目	記号	定格値	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
入力電圧 (ポート 6、7 以外)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート 7)	$V_{in}$	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
動作温度 (FLASH メモリ書き込み / 消去時)	$T_{opr}$	通常仕様品 : 0 ~ +75 広温度範囲仕様品 : 0 ~ +85	
保存温度	$T_{stg}$	-55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 22.2.2 DC 特性

DC 特性を表 22.3 に示します。また、出力許容電流値を表 22.4 に示します。

表 22.3 DC 特性 (1)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  \*<sup>6</sup> (通常仕様品)、 $T_a = -40 \sim +85$  \*<sup>6</sup> (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60* <sup>2</sup> * <sup>5</sup> 、 $\overline{IRQ2} \sim \overline{IRQ0}$ * <sup>3</sup>	(1) $V_T^-$	1.0			V		
		$V_T^+$			$V_{CC} \times 0.7$			
		$V_T^+ - V_T^-$	0.4					
入力 High レベル電圧	RES、 $\overline{STBY}$ 、NMI、 MD1 ~ MD0	(2) $V_{IH}$			$V_{CC} - 0.7$	V		
	EXTAL				$V_{CC} \times 0.7$			$V_{CC} + 0.3$
	ポート 7				2.0			$AV_{CC} + 0.3$
	上記(1)(2)以外の入力端子				2.0			$V_{CC} + 0.3$
入力 Low レベル電圧	RES、 $\overline{STBY}$ 、MD1 ~ MD0	(3) $V_{IL}$			-0.3	V		
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子				-0.3			0.8
出力 High レベル電圧	全出力端子 (P47、P52 を除く* <sup>4</sup> )	$V_{OH}$			$V_{CC} - 0.5$	V	$I_{OH} = -200 \mu A$	
	P47、P52* <sup>4</sup>				3.5		V	$I_{OH} = -1mA$
					2.5		V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$	
	ポート 1、2、3				1.0		V	$I_{OL} = 10mA$

【注】\*1 A/D 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。

\*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。

\*4 H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0/SCL0、P47/SDA0 は NMOS プッシュプル出力です。

SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0、P47 (ICE=0) の High レベルは NMOS で駆動されます。

\*5 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC} + 0.3V$ 、CIN 入力選択時は  $V_{CC} + 0.3V$  と  $AV_{CC} + 0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

\*6 フラッシュメモリへの書き込み / 消去動作は、 $T_a = 0 \sim +75$  (通常仕様品)、 $T_a = 0 \sim +85$  (広温度範囲仕様品) の範囲としてください。

表 22.3 DC 特性 (2)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$  \*<sup>4</sup> (通常仕様品)、 $T_a = -40 \sim +85$  \*<sup>4</sup> (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	$\overline{STBY}$ 、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	$\mu A$	$V_{in} = 0V$	
入力容量	RES	(4)	$C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P47、P24、P23					20		
	上記(4)以外の入力端子					15		
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$		70	90	$mA$	$f = 20MHz$	
	スリープ時			55	75	$mA$	$f = 20MHz$	
	スタンバイ時* <sup>3</sup>			0.01	5.0	$\mu A$	$T_a = 50$	
			20.0	$50 < T_a$				
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	$mA$		
	A/D 変換待機時			0.01	5.0	$\mu A$	$AV_{CC} = 2.0V \sim 5.5V$	
アナログ電源電圧* <sup>1</sup>		$AV_{CC}$	4.5		5.5	V	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V		

【注】\*<sup>1</sup> A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。\*<sup>2</sup> 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。\*<sup>3</sup>  $V_{RAM}$   $V_{CC} < 4.5V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。\*<sup>4</sup> フラッシュメモリへの書き込み / 消去動作は、 $T_a = 0 \sim +75$  (通常仕様品)、 $T_a = 0 \sim +85$  (広温度範囲仕様品) の範囲としてください。

表 22.3 DC 特性 (3)

条件:  $V_{CC} = 4.0V \sim 5.5V^{*6}$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$   $^{*6}$  (通常仕様品)、 $T_a = -40 \sim +85$   $^{*6}$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60 $^{*2*5}$ 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$	(1)	$V_T^-$	1.0			V $V_{CC} = 4.5V \sim 5.5V$	
			$V_T^+$			$V_{CC} \times 0.7$		
				$V_T^+ - V_T^-$	0.4			V $V_{CC} < 4.5V$
				$V_T^-$	0.8			
				$V_T^+$			$V_{CC} \times 0.7$	
				$V_T^+ - V_T^-$	0.3			
入力 High レベル電圧	RES、 $\overline{STBY}$ 、NMI、 MD1 ~ MD0	(2)	$V_{IH}$	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
	EXTAL			$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
	ポート 7			2.0		$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子			2.0		$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、 $\overline{STBY}$ 、 MD1 ~ MD0	(3)	$V_{IL}$	-0.3		0.5	V	
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3		0.8		
出力 High レベル電圧	全出力端子 (P47、P52 を除く $^{*4}$ )		$V_{OH}$	$V_{CC} - 0.5$			V $I_{OH} = -200 \mu A$	
				3.5			V $I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$	
				3.0			V $I_{OH} = -1mA$ 、 $V_{CC} < 4.5V$	
	P47、P52 $^{*4}$			2.0			V $I_{OH} = -1mA$	
出力 Low レベル電圧	全出力端子		$V_{OL}$			0.4	V $I_{OL} = 1.6mA$	
	ポート 1、2、3					1.0	V $I_{OL} = 10mA$	

【注】\*1 A/D 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。

\*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。

\*4 H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0/SCL0、P47/SDA0 は NMOS プッシュプル出力です。

SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0、P47 (ICE=0) の High レベルは NMOS で駆動されます。

\*5 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC} + 0.3V$ 、CIN 入力選択時は  $V_{CC} + 0.3V$  と  $AV_{CC} + 0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。\*6 フラッシュメモリへの書き込み/消去動作は、 $V_{CC} = 4.5V \sim 5.5V$ 、 $T_a = 0 \sim +75$  (通常仕様品)、 $T_a = 0 \sim +85$  (広温度範囲仕様品) の範囲としてください。

表 22.3 DC 特性 (4)

条件:  $V_{CC} = 4.0V \sim 5.5V^{*4}$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$   $^{*4}$  (通常仕様品)、 $T_a = -40 \sim +85$   $^{*4}$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	$\overline{STBY}$ 、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$
			30		200	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} < 4.5V$
入力容量	RES	(4)	$C_{in}$		80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI			50			
	P52、P47、P24、P23			20			
	上記(4)以外の入力端子			15			
消費電流 $^{*2}$	通常動作時	$I_{CC}$		55	75	mA	$f = 16MHz$
	スリープ時			42	62		$f = 16MHz$
	スタンバイ時 $^{*3}$			0.01	5.0	$\mu A$	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	mA	
	A/D 変換待機時			0.01	5.0		$\mu A$
アナログ電源電圧 $^{*1}$		$AV_{CC}$	4.0		5.5	V	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。\*3  $V_{RAM}$   $V_{CC} < 4.0V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。\*4 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC} = 4.5V \sim 5.5V$ 、 $T_a = 0 \sim +75$  (通常仕様品)、 $T_a = 0 \sim +85$  (広温度範囲仕様品) の範囲としてください。

表 22.3 DC 特性 (5)

条件 (マスクROM品) :  $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$ 条件 (フラッシュメモリ品) :  $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$  \*6

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60*2*5、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$	(1)	$V_T^-$	$V_{CC} \times 0.2$		V		
			$V_T^+$		$V_{CC} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
入力 High レベル電圧	RES、 $\overline{STBY}$ 、NMI、 MD1 ~ MD0	(2)	$V_{IH}$	$V_{CC} \times 0.9$	$V_{CC} + 0.3$	V		
	EXTAL			$V_{CC} \times 0.7$	$V_{CC} + 0.3$			
	ポート 7			$V_{CC} \times 0.7$	$AV_{CC} + 0.3$			
	上記(1)(2)以外の入力端子			$V_{CC} \times 0.7$	$V_{CC} + 0.3$			
入力 Low レベル電圧	RES、 $\overline{STBY}$ 、 MD1 ~ MD0	(3)	$V_{IL}$	-0.3	$V_{CC} \times 0.1$	V		
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3	$V_{CC} \times 0.2$			$V_{CC} < 4.0V$
					0.8			$V_{CC} = 4.0V \sim 5.5V$
出力 High レベル電圧	全出力端子 (P47、P52 を除く*4)		$V_{OH}$	$V_{CC} - 0.5$		V	$I_{OH} = -200 \mu A$	
	P47、P52*4			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$ ( $V_{CC} < 4.0V$ )	
					1.0		V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子		$V_{OL}$		0.4	V	$I_{OL} = 1.6mA$	
	ポート 1、2、3				1.0	V	$I_{OL} = 5mA (V_{CC} < 4.0V)$ $I_{OL} = 10mA$ ( $4.0V \leq V_{CC} \leq 5.5V$ )	

【注】\*1 A/D 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。

\*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。

\*4 H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0/SCL0、P47/SDA0 は NMOS プッシュプル出力です。

SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0、P47 (ICE=0) の High レベルは NMOS で駆動されます。

\*5 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC} + 0.3V$ 、CIN 入力選択時は  $V_{CC} + 0.3V$  と  $AV_{CC} + 0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。\*6 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC} = 3.0V \sim 3.6V$ 、 $T_a = 0 \sim +75$  の範囲としてください。

表 22.3 DC 特性 (6)

条件 (マスクROM品) :  $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$   
 $T_a = -20 \sim +75$

条件 (フラッシュメモリ品) :  $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 3.0V \sim 5.5V$ 、  
 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$  \*4

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	10		150	$\mu A$	$V_{in} = 0V$ $V_{CC} = 2.7V \sim 3.6V$
入力容量	RES	(4)	$C_{in}$		80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50		
	P52、P47、P24、P23				20		
	上記(4)以外の入力端子				15		
消費電流*2	通常動作時	$I_{CC}$		40	52	$mA$	$f = 10MHz$
	スリープ時			30	42		$f = 10MHz$
	スタンバイ時*3			0.01	5.0	$\mu A$	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	$mA$	
	A/D 変換待機時			0.01	5.0		$\mu A$
アナログ電源電圧*1		$AV_{CC}$	2.7		5.5	$V$	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		$V_{RAM}$	2.0			$V$	

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

\*4 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC} = 3.0V \sim 3.6V$ 、 $T_a = 0 \sim +75$  の範囲としてください。

表 22.4 出力許容電流値

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0	$I_{OL}$			20	mA
	ポート 1、2、3				10	
	上記以外の出力端子				2.0	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	$I_{OL}$			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

条件:  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$  $T_a = -20 \sim +75$ 

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0	$I_{OL}$			10	mA
	ポート 1、2、3				2.0	
	上記以外の出力端子				1.0	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	$I_{OL}$			40	mA
	上記を含む、全出力端子の総和				60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 22.4 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 22.1、図 22.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

表 22.5 バス駆動特性

条件:  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 

対象端子: SCL1 ~ SCL0、SDA1 ~ SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット	$V_T^-$	$V_{CC} \times 0.3$			V	$V_{CC} = 2.7V \sim 5.5V$
トリガ入力電圧	$V_T^+$			$V_{CC} \times 0.7$		$V_{CC} = 2.7V \sim 5.5V$
	$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				$V_{CC} = 2.7V \sim 5.5V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	$V_{CC} = 2.7V \sim 5.5V$
入力 Low レベル電圧	$V_{IL}$	-0.5		$V_{CC} \times 0.3$	V	$V_{CC} = 2.7V \sim 5.5V$
出力 Low レベル電圧	$V_{OL}$			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステート リーク電流 (オフ状態)	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	$t_{of}$	$20 + 0.1Cb$		250	ns	$V_{CC} = 2.7V \sim 5.5V$

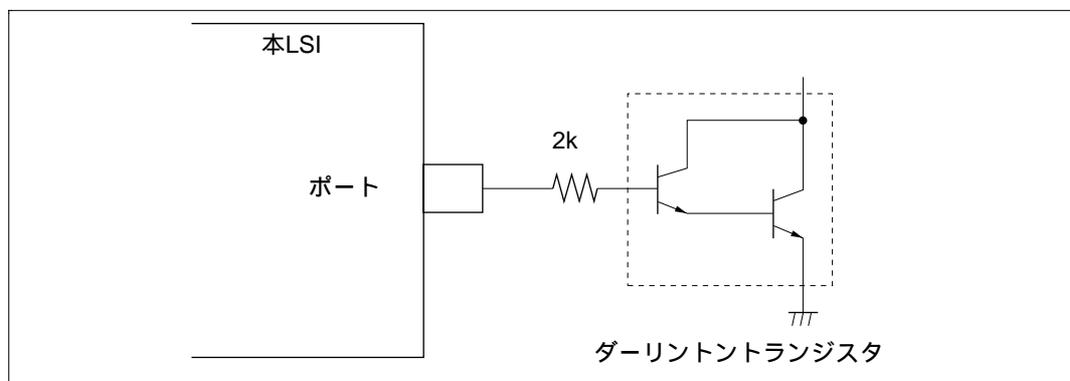


図 22.1 ダーリントトランジスタ駆動回路例

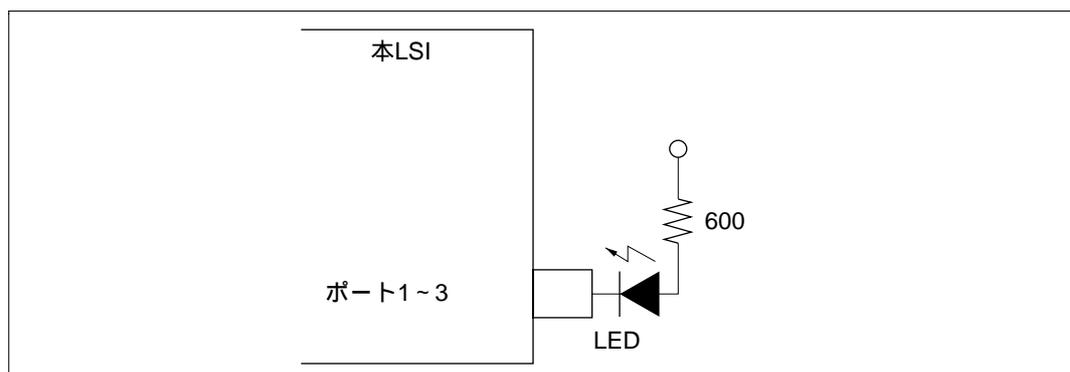


図 22.2 LED 駆動回路例

### 22.2.3 AC 特性

図 22.3 に AC 特性測定条件を示します。

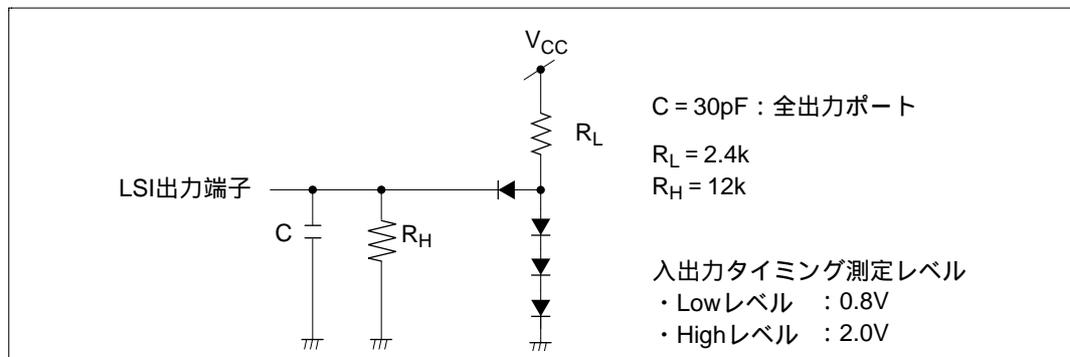


図 22.3 出力負荷回路

#### (1) クロックタイミング

表 22.6 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック ( ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 20 章 クロック発振器」を参照してください。

表 22.6 クロックタイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$  最大動作周波数  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)  
 条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$  最大動作周波数  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)  
 条件 C :  $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$  最大動作周波数  
 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	参照図
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
クロックサイクル時間	$t_{cyc}$	100	500	62.5	500	50	500	ns	図 22.4
クロックハイレベルパルス幅	$t_{CH}$	30		20		17		ns	図 22.4
クロックローレベルパルス幅	$t_{CL}$	30		20		17		ns	
クロック立ち上がり時間	$t_{Cr}$		20		10		8	ns	
クロック立ち下がり時間	$t_{Cf}$		20		10		8	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20		10		10		ms	図 22.5
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8		8		8		ms	図 22.6
外部クロック出力安定遅延時間	$t_{DEXT}$	500		500		500		$\mu s$	

【注】 \* F-ZTAT 版の低電圧品は、 $V_{CC} = 3.0V \sim 5.5V$  となります。

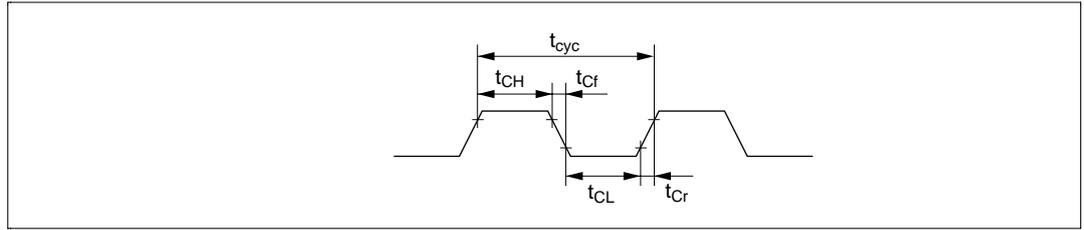


図 22.4 システムクロックタイミング

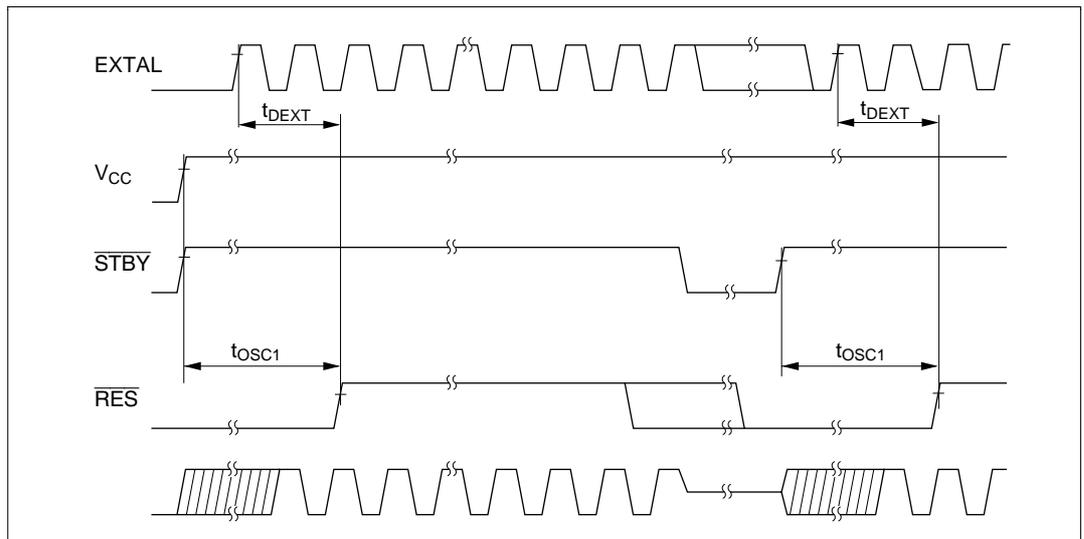


図 22.5 発振安定時間タイミング

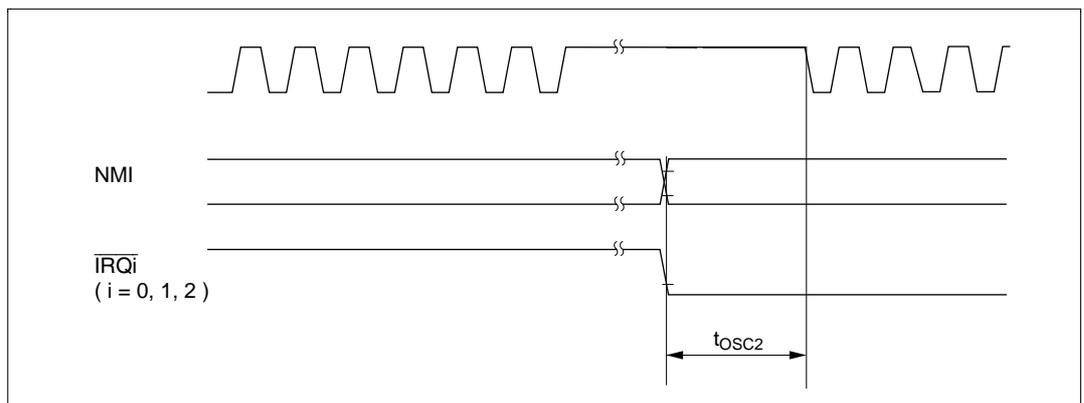


図 22.6 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

## (2) 制御信号タイミング

表 22.7 に制御信号タイミングを示します。サブクロック ( = 32.768kHz ) で動作可能な外部割り込みは、NMI、IRQ0 ~ IRQ2 のみです。

表 22.7 制御信号タイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)  
 条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)  
 条件 C :  $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数  
 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
RES セットアップ時間	$t_{RESS}$	300		200		200		ns	図 22.7
RES パルス幅	$t_{RESW}$	20		20		20		$t_{cyc}$	
NMI セットアップ時間 (NMI)	$t_{NMIS}$	250		150		150		ns	図 22.8
NMI ホールド時間 (NMI)	$t_{NMIH}$	10		10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		200		200		ns	
IRQ セットアップ時間 ( $\overline{IRQ2} \sim \overline{IRQ0}$ )	$t_{IRQS}$	250		150		150		ns	
IRQ ホールド時間 ( $\overline{IRQ2} \sim \overline{IRQ0}$ )	$t_{IRQH}$	10		10		10		ns	
IRQ パルス幅 ( $\overline{IRQ2} \sim \overline{IRQ0}$ ) (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		200		200		ns	

【注】 \* F-ZTAT 版の低電圧品は、 $V_{CC} = 3.0V \sim 5.5V$  となります。

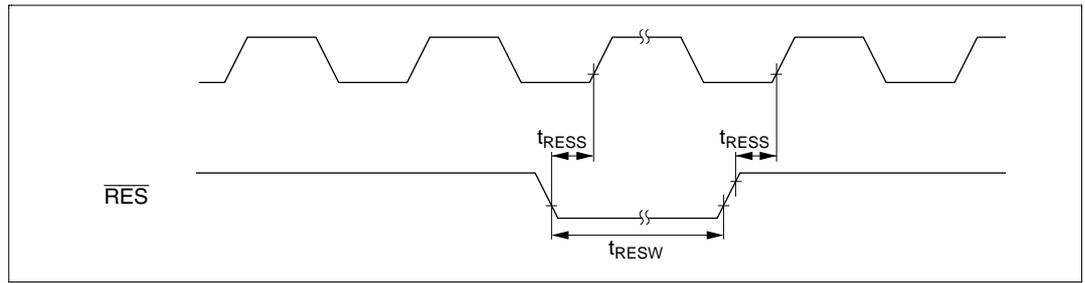


図 22.7 リセット入力タイミング

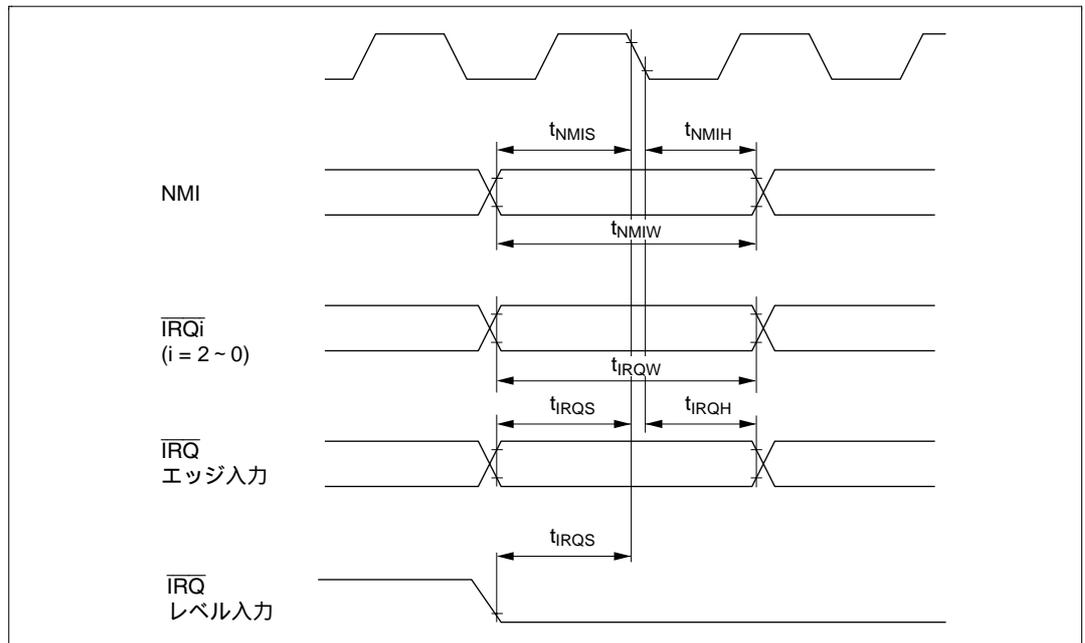


図 22.8 割り込み入力タイミング

## (3) バスタイミング

表 22.8 にバスタイミングを示します。サブクロック ( = 32.768kHz ) 動作では、外部拡張モードの動作は保証されません。

表 22.8 バスタイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
アドレス遅延時間	$t_{AD}$		40		30		20	ns	図 22.9 ~
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	図 22.13
CS 遅延時間 ( $\overline{IOS}$ )	$t_{CSD}$		40		30		20	ns	
AS 遅延時間	$t_{ASD}$		60		45		30	ns	
$\overline{RD}$ 遅延時間 1	$t_{RSD1}$		60		45		30	ns	
$\overline{RD}$ 遅延時間 2	$t_{RSD2}$		60		45		30	ns	
リードデータセットアップ時間	$t_{RDS}$	35		20		15		ns	
リードデータホールド時間	$t_{RDH}$	0		0		0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
$\overline{WR}$ 遅延時間 1	$t_{WRD1}$		60		45		30	ns	
$\overline{WR}$ 遅延時間 2	$t_{WRD2}$		60		45		30	ns	
$\overline{WR}$ パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
$\overline{WR}$ パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	$t_{WDD}$		60		45		30	ns	
ライトデータセットアップ時間	$t_{WDS}$	0		0		0		ns	
ライトデータホールド時間	$t_{WDH}$	20		15		10		ns	
$\overline{WAIT}$ セットアップ時間	$t_{WTS}$	60		45		30		ns	
$\overline{WAIT}$ ホールド時間	$t_{WTH}$	10		5		5		ns	

【注】 \* F-ZTAT 版の低電圧品は、 $V_{CC} = 3.0V \sim 5.5V$  となります。

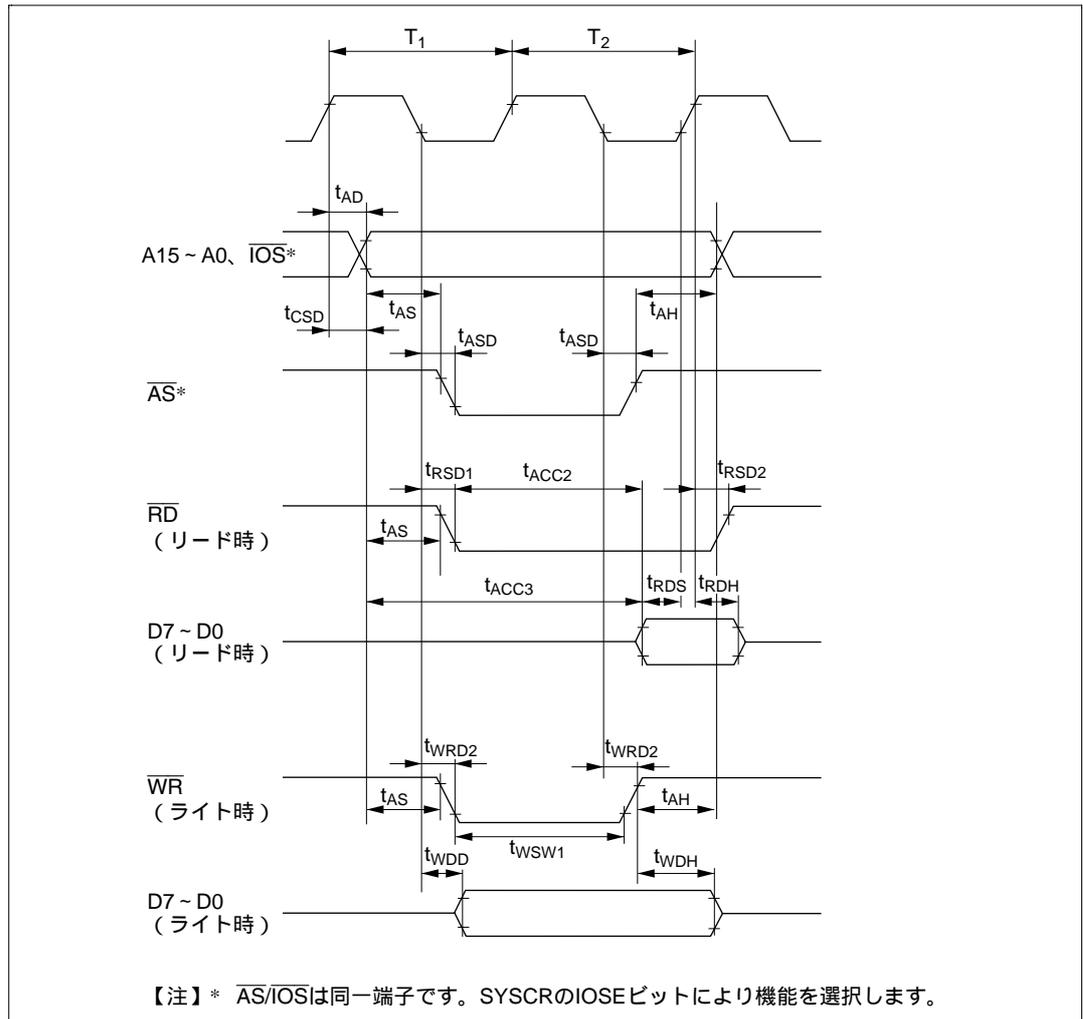


図 22.9 基本バスタイミング / 2 ステートアクセス

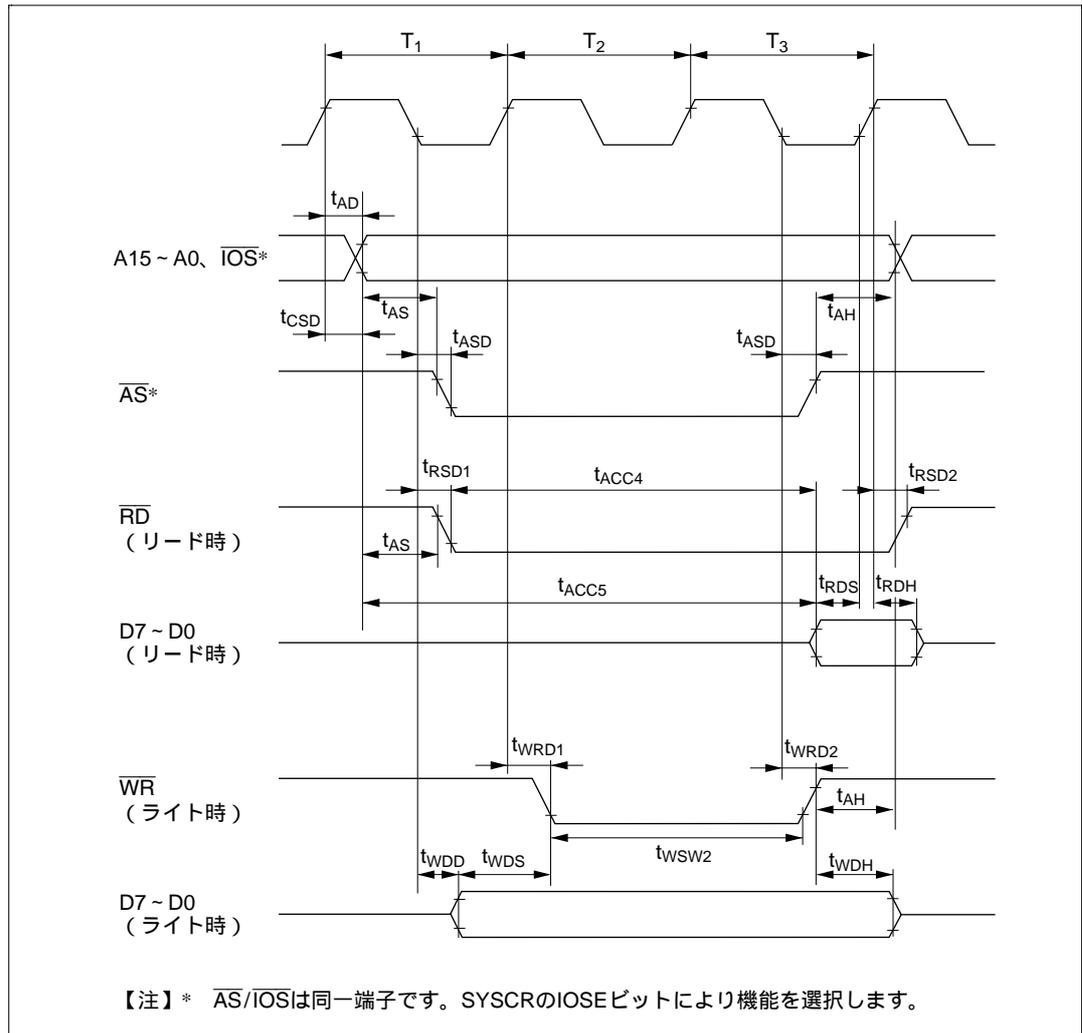


図 22.10 基本バスタイミング / 3 ステートアクセス

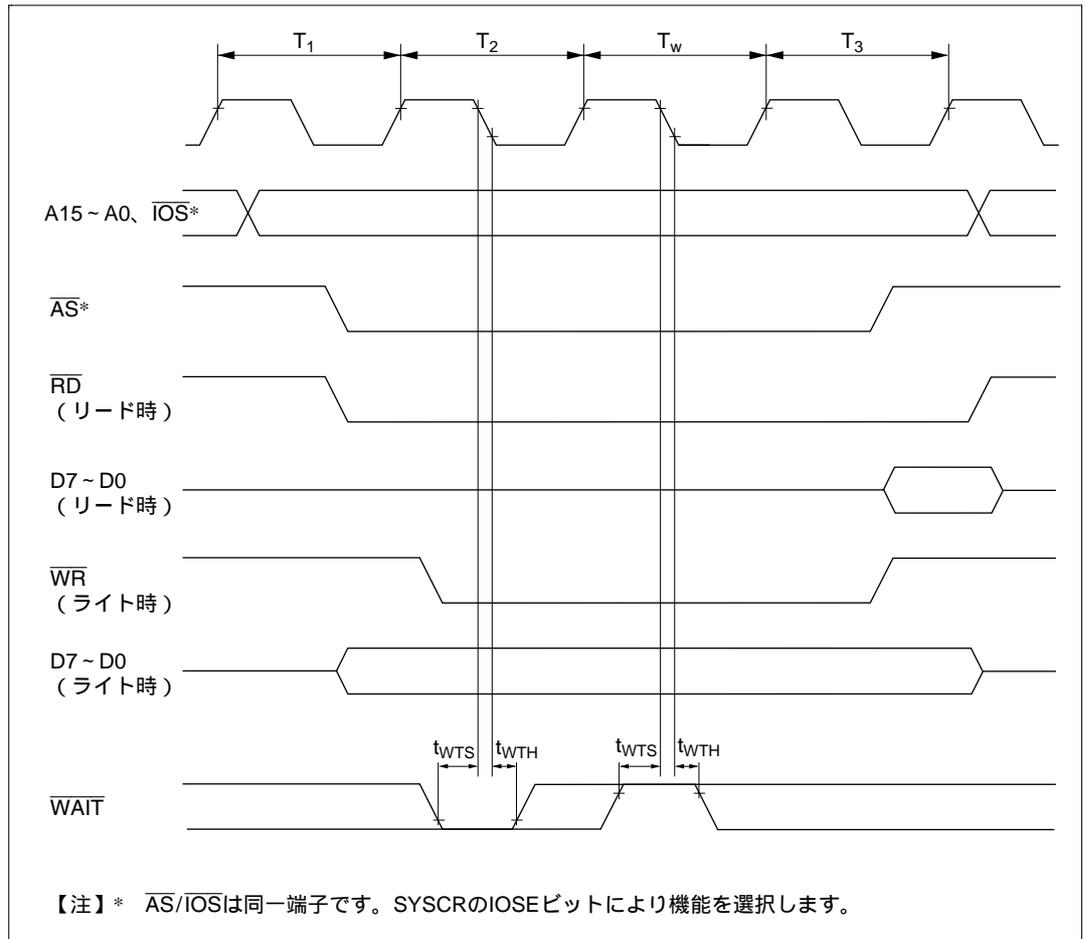


図 22.11 基本バスタイミング / 3 ステートアクセス 1 ウェイト

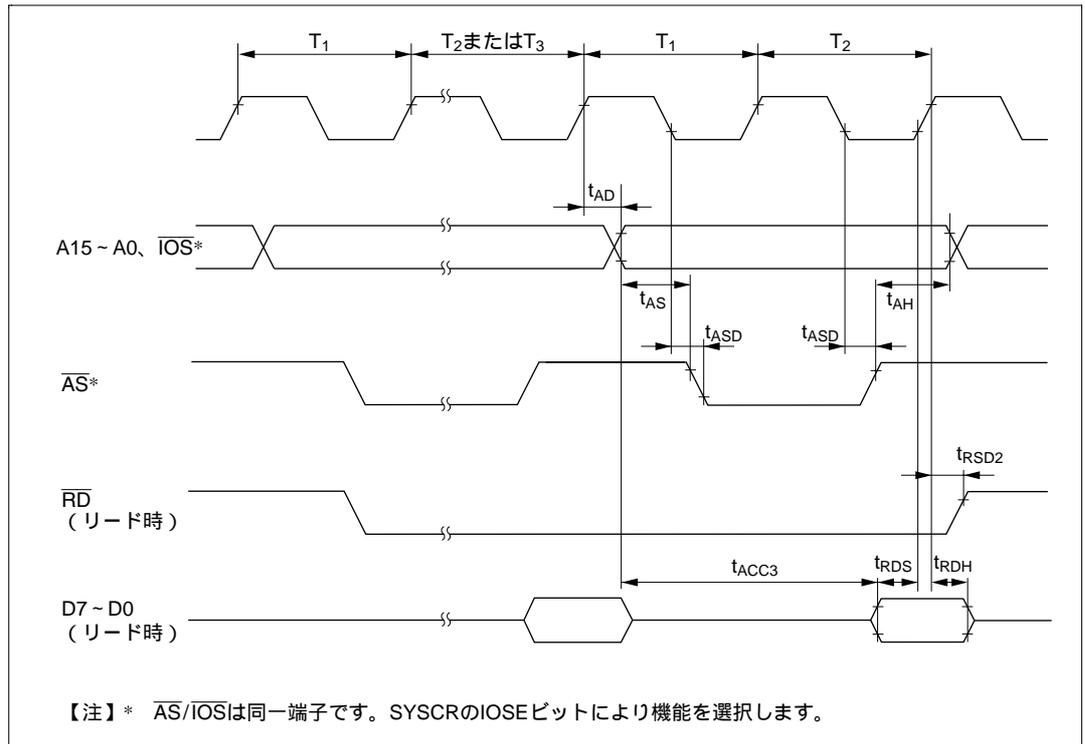


図 22.12 バーストROMアクセスタイミング / 2 ステートアクセス

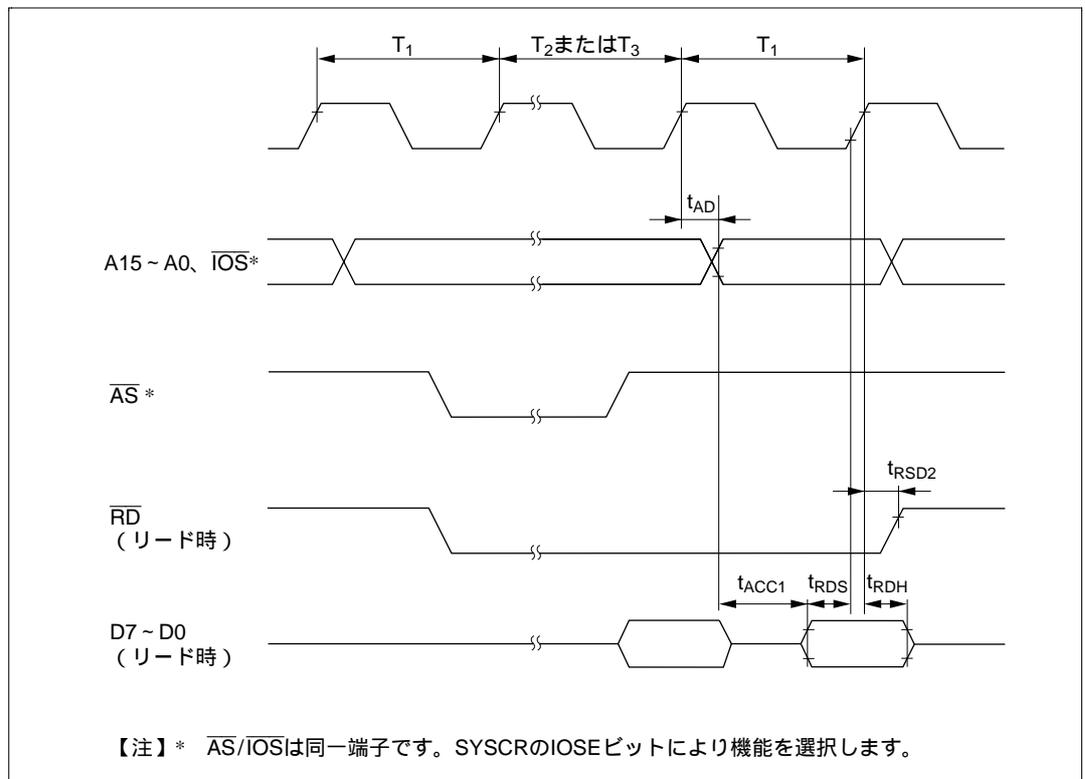


図 22.13 バーストROMアクセスタイミング / 1 ステートアクセス

(4) 内蔵周辺モジュールタイミング

表 22.9、表 22.10 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ( = 32.768kHz ) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0~IRQ2)、ウォッチドッグタイマ、8ビットタイマ (チャンネル0,1) のみです。

表 22.9 内蔵周辺モジュールタイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz\*1、2MHz~最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz\*1、2MHz~最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 5.5V$ \*2、 $V_{SS} = 0V$ 、 = 32.768kHz\*1、2MHz~最大動作周波数

$T_a = -20 \sim +75$

項目		記号	条件 C		条件 B		条件 A		単位	測定条件		
			10MHz		16MHz		20MHz					
			min	max	min	max	min	max				
I/O ポート	出力データ遅延時間	$t_{PWD}$		100		50		50	ns	図 22.14		
	入力データセットアップ時間	$t_{PRS}$	50		30		30					
	入力データデータホールド時間	$t_{PRH}$	50		30		30					
FRT	タイマ出力遅延時間	$t_{FTOD}$		100		50		50	ns	図 22.15		
	タイマ入力セットアップ時間	$t_{FTIS}$	50		30		30					
	タイマクロック	単エッジ指定	$t_{FTCWH}$	1.5		1.5		1.5	$t_{cyc}$	図 22.16		
	パルス幅		両エッジ指定	$t_{FTCWL}$	2.5		2.5				2.5	
TMR	タイマ出力遅延時間	$t_{TMOD}$		100		50		50			ns	図 22.17
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50		30		30					
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		30		30					
	タイマクロック	単エッジ指定	$t_{TMCWH}$	1.5		1.5		1.5	$t_{cyc}$	図 22.18		
パルス幅	両エッジ指定	$t_{TMCWL}$	2.5		2.5		2.5					
PWM、 PWMX	パルス出力遅延時間	$t_{PWOD}$		100		50		50	ns	図 22.20		
SCI	入力クロック サイクル	調歩同期	$t_{Scyc}$	4		4		4	$t_{cyc}$	図 22.21		
		クロック同期		6		6		6				
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	0.4	0.6	$t_{Scyc}$			
	入力クロック立ち上がり時間	$t_{SCKr}$		1.5		1.5		1.5	$t_{cyc}$			
	入力クロック立ち下がり時間	$t_{SCKf}$		1.5		1.5		1.5	$t_{cyc}$			
	送信データ遅延時間 (クロック同期)	$t_{TXD}$		100		50		50	ns		図 22.22	
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	100		50		50					
受信データホールド時間 (クロック同期)	$t_{RXH}$	100		50		50						
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	50		30		30	ns	図 22.23			

- 【注】 \*1 サブクロック動作時に使用可能な周辺モジュールのみ  
 \*2 F-ZTAT 版の低電圧品は、 $V_{CC} = 3.0V \sim 5.5V$  となります。

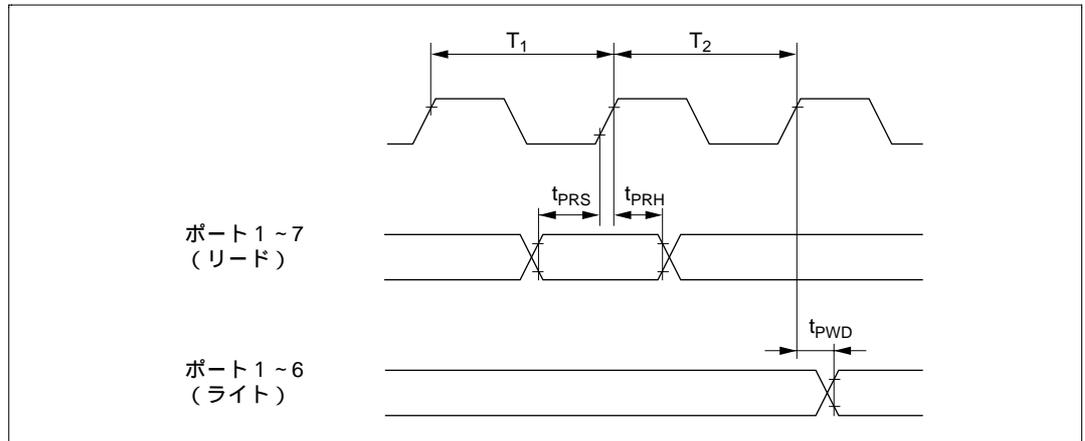


図 22.14 I/O ポート入出力タイミング

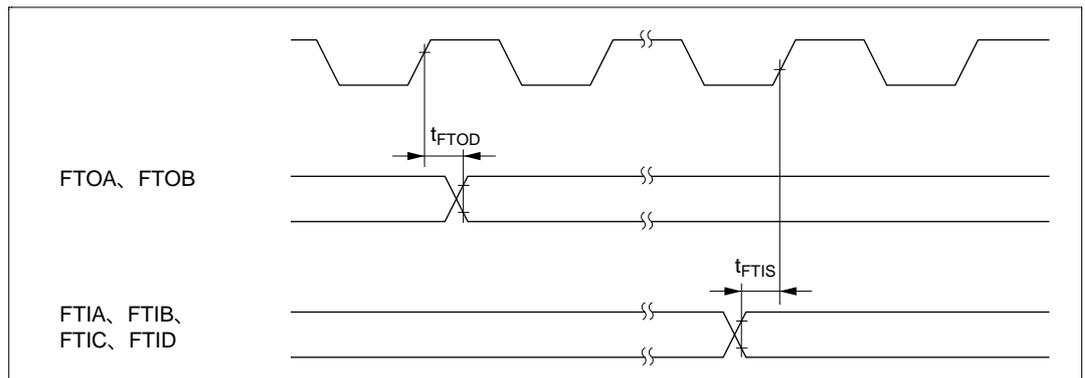


図 22.15 FRT 入出力タイミング

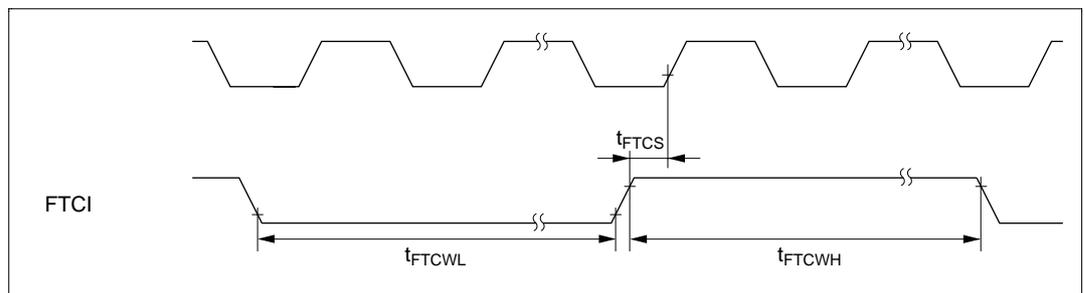


図 22.16 FRT クロック入力タイミング

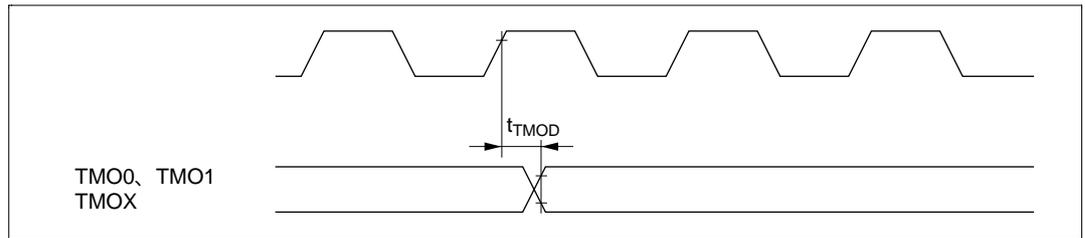


図 22.17 8ビットタイマ出力タイミング

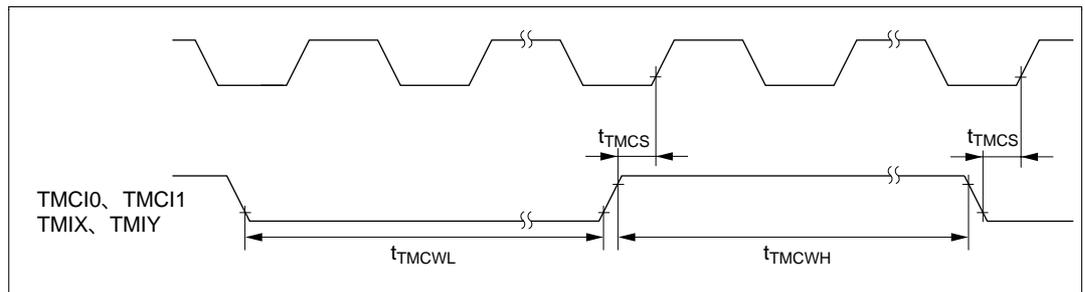


図 22.18 8ビットタイマクロック入力タイミング

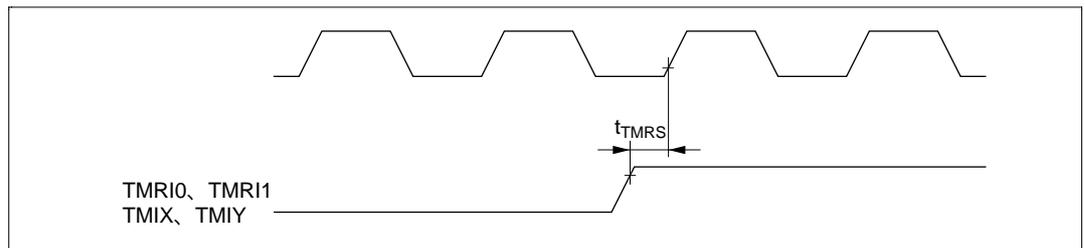


図 22.19 8ビットタイマリセット入力タイミング

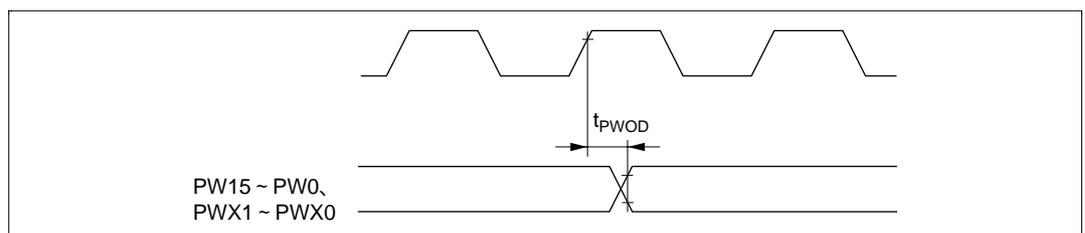


図 22.20 PWM、PWMX 出力タイミング

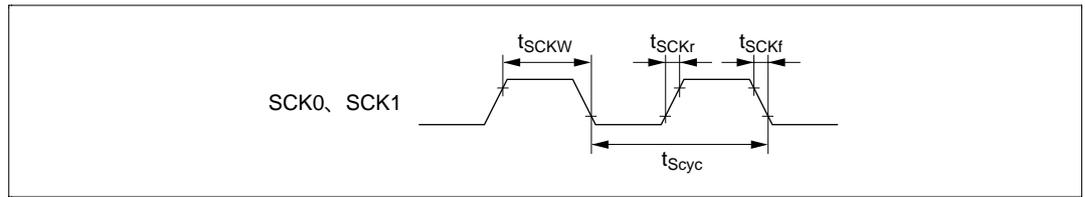


図 22.21 SCK クロック入力タイミング

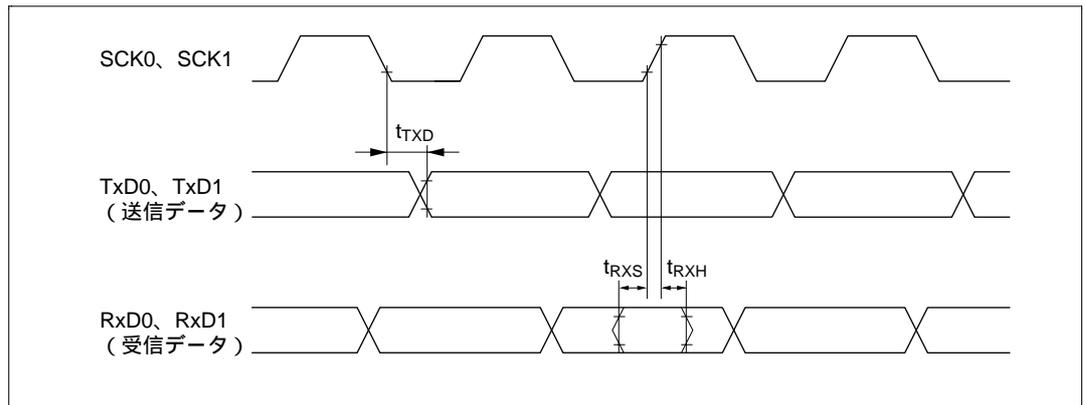


図 22.22 SCI 入出力タイミング / クロック同期式モード

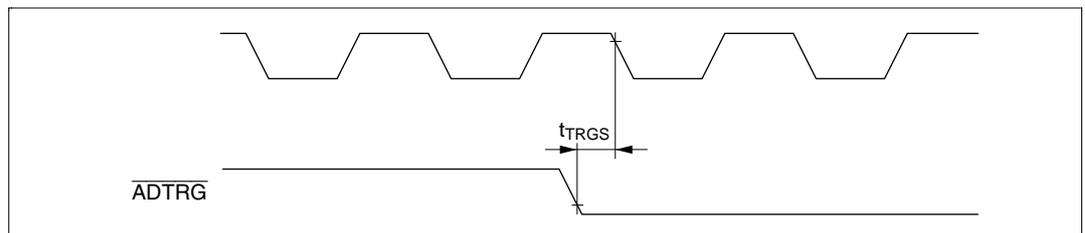
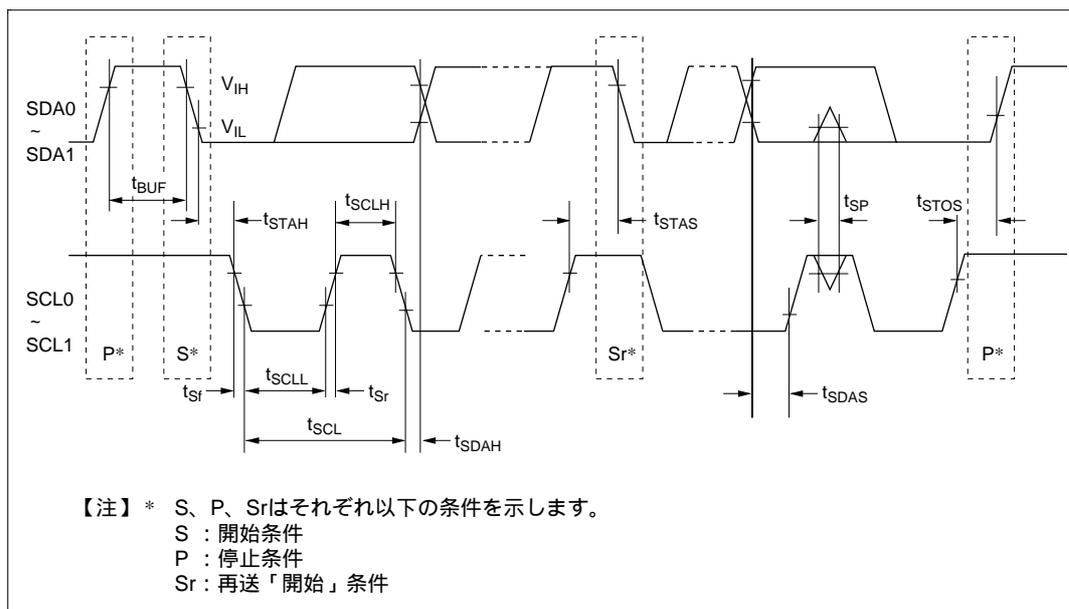


図 22.23 A/D 変換器外部トリガ入力タイミング

表 22.10 I<sup>2</sup>C バスタイミング条件:  $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 5MHz \sim$  最大動作周波数

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	$t_{SCL}$	12			$t_{cyc}$	図 22.24	
SCL 入力 High パルス幅	$t_{SCLH}$	3			$t_{cyc}$		
SCL 入力 Low パルス幅	$t_{SCLL}$	5			$t_{cyc}$		
SCL、SDA 入力立ち上がり時間	$t_{Sr}$			7.5*	$t_{cyc}$		
SCL、SDA 入力立ち下がり時間	$t_{Sf}$			300	ns		
SCL、SDA 入力スパイクパルス除去時間	$t_{SP}$			1	$t_{cyc}$		
SDA 入力バスフリー時間	$t_{BUF}$	5			$t_{cyc}$		
開始条件入力ホールド時間	$t_{STAH}$	3			$t_{cyc}$		
再送開始条件入力セットアップ時間	$t_{STAS}$	3			$t_{cyc}$		
停止条件入力セットアップ時間	$t_{STOS}$	3			$t_{cyc}$		
データ入力セットアップ時間	$t_{SDAS}$	0.5			$t_{cyc}$		
データ入力ホールド時間	$t_{SDAH}$	0			ns		
SCL、SDA の容量性負荷	$C_b$			400	pF		

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$  とすることが可能です。詳細は「16.4 使用上の注意事項」を参照してください。

図 22.24 I<sup>2</sup>C バスインタフェース入出力タイミング【オプション】

## 22.2.4 A/D 変換特性

A/D 変換特性を表 22.11、表 22.12 に示します。

表 22.11 A/D 変換特性 (AN7 ~ AN0 入力 : 134/266 ステート変換)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*6			13.4			8.4			6.7	$\mu s$
アナログ入力容量			20			20			20	pF
許容信号源			$10^{*1}$			$10^{*3}$			$10^{*3}$	k
インピーダンス			$5^{*2}$			$5^{*4}$			$5^{*4}$	
非直線性誤差			$\pm 7.0$			$\pm 3.0$			$\pm 3.0$	LSB
オフセット誤差			$\pm 7.5$			$\pm 3.5$			$\pm 3.5$	LSB
フルスケール誤差			$\pm 7.5$			$\pm 3.5$			$\pm 3.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 4.0$			$\pm 4.0$	LSB

【注】 \*1 4.0V  $AV_{CC} = 5.5V$  のとき

\*2 2.7V  $AV_{CC} < 4.0V$  のとき

\*3 変換時間  $11.17 \mu s$  (CKS = 1 で 12MHz、または CKS = 0) のとき

\*4 変換時間  $< 11.17 \mu s$  (CKS = 1 で  $> 12MHz$ ) のとき

\*5 F-ZTAT 版の低電圧品は、 $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$  となります。

\*6 シングルモードで最大動作周波数のとき

表 22.12 A/D 変換特性 (CIN7 ~ CIN0 入力 : 134/266 ステート変換)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*6			13.4			8.4			6.7	$\mu s$
アナログ入力容量			20			20			20	pF
許容信号源			$10^{*1}$			$10^{*3}$			$10^{*3}$	k
インピーダンス			$5^{*2}$			$5^{*4}$			$5^{*4}$	
非直線性誤差			$\pm 11.0$			$\pm 5.0$			$\pm 5.0$	LSB
オフセット誤差			$\pm 11.5$			$\pm 5.5$			$\pm 5.5$	LSB
フルスケール誤差			$\pm 11.5$			$\pm 5.5$			$\pm 5.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 12$			$\pm 6.0$			$\pm 6.0$	LSB

【注】 \*1 4.0V  $AV_{CC} = 5.5V$  のとき

\*2 2.7V  $AV_{CC} < 4.0V$  のとき

\*3 変換時間  $11.17 \mu s$  (CKS = 1 で 12MHz、または CKS = 0) のとき

\*4 変換時間  $< 11.17 \mu s$  (CKS = 1 で  $> 12MHz$ ) のとき

\*5 F-ZTAT 版の低電圧品は、 $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$  となります。

\*6 シングルモードで最大動作周波数のとき

## 22.2.5 フラッシュメモリ特性

表 22.13 にフラッシュメモリ特性を示します。

表 22.13 フラッシュメモリ特性

5V 版条件：  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 0 \sim +75$  (通常仕様品)、

$T_a = 0 \sim +85$  (広温度範囲仕様品)

低電圧版条件：  $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 0 \sim +75$

(書き込み / 消去時の動作温度範囲)

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 <sup>*1*2*4</sup>		tP		10	200	ms/ 32 バイト	
消去時間 <sup>*1*3*5</sup>		tE		100	1200	ms/ブロック	
書き換え回数		NWEC			100	回	
書き込み時	SWE-bit セット後のウェイト時間 <sup>*1</sup>	x	10			$\mu s$	
	PSU-bit セット後のウェイト時間 <sup>*1</sup>	y	50			$\mu s$	
	P-bit セット後のウェイト時間 <sup>*1*4</sup>	z	150		200	$\mu s$	
	P-bit クリア後のウェイト時間 <sup>*1</sup>		10			$\mu s$	
	PSU-bit クリア後のウェイト時間 <sup>*1</sup>		10			$\mu s$	
	PV-bit セット後のウェイト時間 <sup>*1</sup>		4			$\mu s$	
	ダミーライト後のウェイト時間 <sup>*1</sup>		2			$\mu s$	
	PV-bit クリア後のウェイト時間 <sup>*1</sup>		4			$\mu s$	
	最大書き込み回数 <sup>*1*4*5</sup>	N			1000	回	z = 200 $\mu s$ のとき
消去時	SWE-bit セット後のウェイト時間 <sup>*1</sup>	x	10			$\mu s$	
	ESU-bit セット後のウェイト時間 <sup>*1</sup>	y	200			$\mu s$	
	E-bit セット後のウェイト時間 <sup>*1*6</sup>	z	5		10	ms	
	E-bit クリア後のウェイト時間 <sup>*1</sup>		10			$\mu s$	
	ESU-bit クリア後のウェイト時間 <sup>*1</sup>		10			$\mu s$	
	EV-bit セット後のウェイト時間 <sup>*1</sup>		20			$\mu s$	
	ダミーライト後のウェイト時間 <sup>*1</sup>		2			$\mu s$	
	EV-bit クリア後のウェイト時間 <sup>*1</sup>		5			$\mu s$	
	最大消去回数 <sup>*1*6*7</sup>	N			120	回	z = 10ms のとき

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い行ってください。

\*2 32 バイトあたりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の P-bit をセットしているトータル期間を示します。書き込みペリファイ時間は含まれません。)

- \*3 1 ブロックを消去する時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の E-bit をセットしているトータル期間を示します。消去ベリファイ時間は含まれません。)
- \*4 書き込み時間の最大値 ( $t_P(\max)$ ) = P-bit セット後のウェイト時間 ( $z$ ) × 最大書き込み回数 ( $N$ )
- \*5 P-bit セット後のウェイト時間 ( $z$ ) = 200  $\mu$  s 時の回数です。書き込み回数は、実際の ( $z$ ) の設定値にあわせ、書き込み時間の最大値 ( $t_P$ ) でも書き込みできるように設定してください。
- \*6 消去時間の最大値 ( $t_E(\max)$ ) = E-bit セット後のウェイト時間 ( $z$ ) × 最大消去回数 ( $N$ )
- \*7 E-bit セット後のウェイト時間 ( $z$ ) = 10ms 時の回数です。消去回数は、実際の ( $z$ ) の設定値にあわせ、消去時間の最大値 ( $t_E$ ) でも消去できるように設定してください。

### 22.2.6 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

## 22.3 H8S/2128S グループ (H8S/2128S マスク ROM 品、H8S/2127S マスク ROM 品)

### 22.3.1 絶対最大定格

絶対最大定格を表 22.14 に示します。

表 22.14 絶対最大定格

項目	記号	定格値	単位
電源電圧* <sup>1</sup>	$V_{CC}$	-0.3 ~ +7.0	V
電源電圧 (VCL 端子)* <sup>2</sup>	$V_{CL}$	-0.3 ~ +4.3	V
入力電圧 (ポート 6、7 以外)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート 7)	$V_{in}$	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	通常仕様品: -20 ~ +75 広温度範囲仕様品: -40 ~ +85	
保存温度	$T_{stg}$	-55 ~ +125	

#### 【使用上の注意】

- 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
- 5V 品 / 4V 品の入力端子への印加電圧は、最大でも 7.0V 以下としてください。

【注】 \*1 VCC1 端子への印加電圧です。

\*2 チップ内部の動作電源電圧端子です。

5V 品 / 4V 品では VCL 端子には電源電圧を印加しないでください。VCL 端子と GND との間には、内部電圧安定化のため必ず外付けのコンデンサを接続してください。

## 22.3.2 DC 特性

DC 特性を表 22.15 に示します。また、出力許容電流値を表 22.16 に示します。

表 22.15 DC 特性 (1)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60 <sup>*2*5</sup> 、 IRQ2 ~ IRQ0 <sup>*3*6</sup>	(1) $V_T^-$	1.0			V	
		$V_T^+$			$V_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	0.4				
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2) $V_{IH}$	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
	ポート 7		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子		$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、MD1 ~ MD0 NMI、EXTAL	(3) $V_{IL}$	-0.3		0.5	V	
			-0.3		0.8		
	上記(1)(3)以外の入力端子		-0.3		$V_{CC} \times 0.2$		
出力 High レベル電圧	全出力端子 (P47、P52 を除く <sup>*4</sup> )	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			3.5			V	$I_{OH} = -1mA$
	P47、P52 <sup>*4</sup>		2.0			V	$I_{OH} = -200 \mu A$
出力 Low レベル電圧	全出力端子	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3				1.0	V	$I_{OL} = 10mA$

【注】\*1 A/D 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。

\*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。

\*4 H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0/SCL0、P47/SDA0 は NMOS プッシュプル出力です。

SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0、P47 (ICE=0) の High レベルは NMOS で駆動されます。

\*5 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC} + 0.3V$ 、CIN 入力選択時は  $V_{CC} + 0.3V$  と  $AV_{CC} + 0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

\*6  $\overline{IRQ2}$  ( $\overline{ADTRG}$ ) ~  $\overline{IRQ0}$  は  $V_T^+ - V_T^-$  を除きます。

22. 電気的特性 (H8S/2128S グループ)

表 22.15 DC 特性 (2)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5V$	
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	30		300	$\mu A$	$V_{in} = 0V$	
入力容量	RES	(4)	$C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P47、P24、P23					20		
	上記(4)以外の入力端子					15		
消費電流*2	通常動作時	$I_{CC}$		45	55	$mA$	$f = 20MHz$	
	スリープ時			30	41	$mA$	$f = 20MHz$	
	スタンバイ時*3			1.0	5.0	$\mu A$	$T_a = 50$	
					20.0		$50 < T_a$	
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	$mA$		
	A/D 変換待機時			0.01	5.0	$\mu A$	$AV_{CC} = 2.0V \sim 5.5V$	
アナログ電源電圧*1		$AV_{CC}$	4.5		5.5	V	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V		

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM} \ V_{CC} < 4.5V$  のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。

表 22.15 DC 特性 (3)

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60 <sup>*2*5</sup> 、 IRQ2 ~ IRQ0 <sup>*3*6</sup>	(1) $V_T^-$	1.0			V	$V_{CC} = 4.5V \sim 5.5V$
		$V_T^+$			$V_{CC} \times 0.7$		
	$V_T^+ - V_T^-$	0.4					
	上記(1)以外の入力端子	$V_T^-$	0.8			V	$V_{CC} < 4.5V$
		$V_T^+$			$V_{CC} \times 0.7$		
$V_T^+ - V_T^-$		0.3					
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2) $V_{IH}$	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
	ポート 7		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子		$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、 MD1 ~ MD0	(3) $V_{IL}$	-0.3		0.5	V	
	NMI、EXTAL		-0.3		0.8		
	上記(1)(3)以外の入力端子		-0.3		$V_{CC} \times 0.2$		
出力 High レベル電圧	全出力端子 (P47、P52 を除く <sup>*4</sup> )	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			3.5			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
			3.0			V	$I_{OH} = -1mA$ 、 $V_{CC} < 4.5V$
	P47、P52 <sup>*4</sup>		1.5			V	$I_{OH} = -200 \mu A$
出力 Low レベル電圧	全出力端子	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3				1.0	V	$I_{OL} = 10mA$

【注】\*1 A/D 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。

\*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

\*3 IRQ2 には、それと兼用の ADTRG 端子を含みます。

\*4 H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0/SCL0、P47/SDA0 は NMOS プッシュプル出力です。

SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

H8S/2128 グループ、H8S/2128S グループでは、P52/SCK0、P47 (ICE=0) の High レベルは NMOS で駆動されます。

\*5 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC} + 0.3V$ 、CIN 入力選択時は  $V_{CC} + 0.3V$  と  $AV_{CC} + 0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。\*6 IRQ2 (ADTRG) ~ IRQ0 は  $V_T^+ - V_T^-$  を除きます。

22. 電気的特性 (H8S/2128S グループ)

表 22.15 DC 特性 (4)

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5V$	
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSL} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	30		300	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$	
			20		200	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} < 4.5V$	
入力容量	RES	(4)	$C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P47、P24、P23					20		
	上記(4)以外の入力端子					15		
消費電流*2	通常動作時	$I_{CC}$		35	44	$mA$	$f = 16MHz$	
	スリープ時			25	34		$f = 16MHz$	
	スタンバイ時*3			1.0	5.0	$\mu A$	$T_a = 50$	
			20.0	$50 < T_a$				
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	$mA$		
	A/D 変換待機時			0.01	5.0		$AV_{CC} = 2.0V \sim 5.5V$	
アナログ電源電圧*1		$AV_{CC}$	4.0		5.5	$V$	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			$V$		

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 4.0V$  のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。

表 22.16 出力許容電流値

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1 ~ SCL0、SDA1 ~ SDA0	$I_{OL}$			20	mA
	ポート 1、2、3				10	
	上記以外の出力端子				2.0	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	$I_{OL}$			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

表 22.17 バス駆動特性

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 

対象端子: SCL1 ~ SCL0、SDA1 ~ SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット	$V_T^-$	$V_{CC} \times 0.3$			V	
トリガ入力電圧	$V_T^+$			$V_{CC} \times 0.7$		
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	
入力 Low レベル電圧	$V_{IL}$	-0.5		$V_{CC} \times 0.3$	V	
出力 Low レベル電圧	$V_{OL}$			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステート リーク電流 (オフ状態)	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	$t_{of}$	$20 + 0.1Cb$		250	ns	

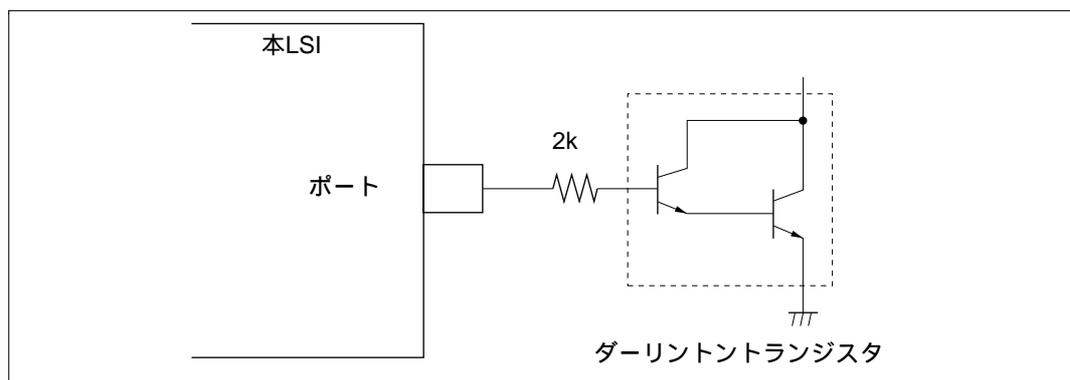


図 22.25 ダーリントントランジスタ駆動回路例

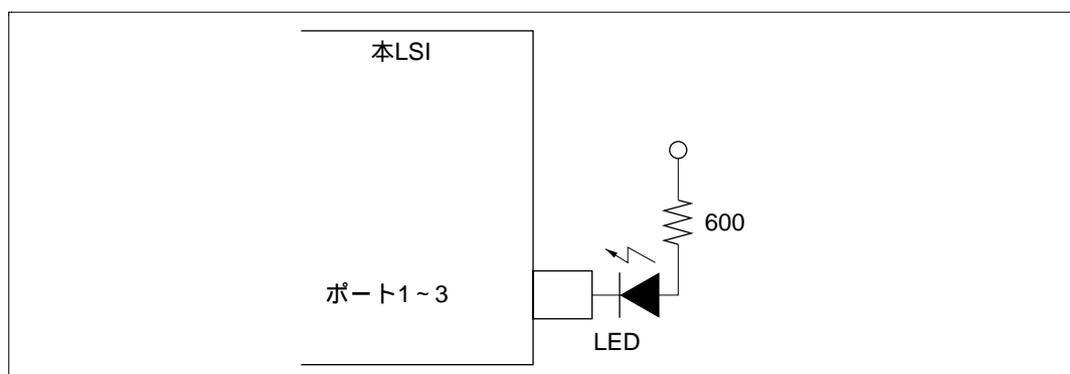


図 22.26 LED 駆動回路例

### 22.3.3 AC 特性

図 22.27 に AC 特性測定条件を示します。

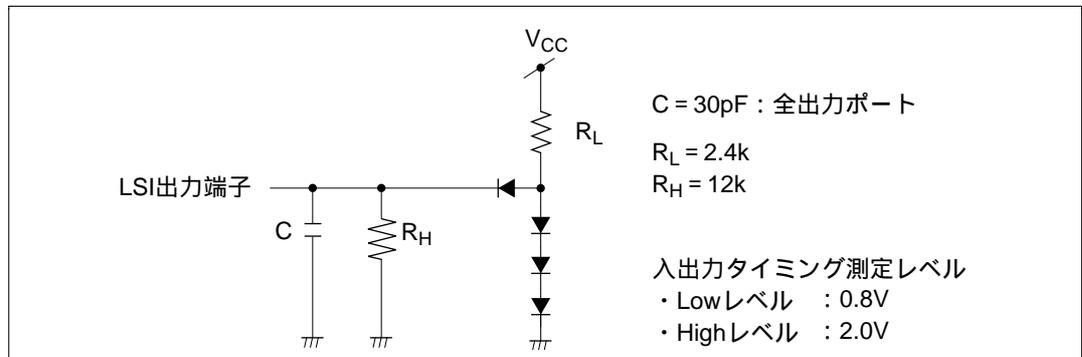


図 22.27 出力負荷回路

#### (1) クロックタイミング

表 22.18 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック ( ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 20 章 クロック発振器」を参照してください。

表 22.18 クロックタイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	参照図
		16MHz		20MHz			
		min	max	min	max		
クロックサイクル時間	$t_{cyc}$	62.5	500	50	500	ns	図 22.28
クロックハイレベルパルス幅	$t_{CH}$	20		17		ns	図 22.28
クロックローレベルパルス幅	$t_{CL}$	20		17		ns	
クロック立ち上がり時間	$t_{Cr}$		10		8	ns	
クロック立ち下がり時間	$t_{Cf}$		10		8	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	10		10		ms	
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8		8		ms	図 22.30
外部クロック出力安定遅延時間	$t_{DEXT}$	500		500		$\mu s$	

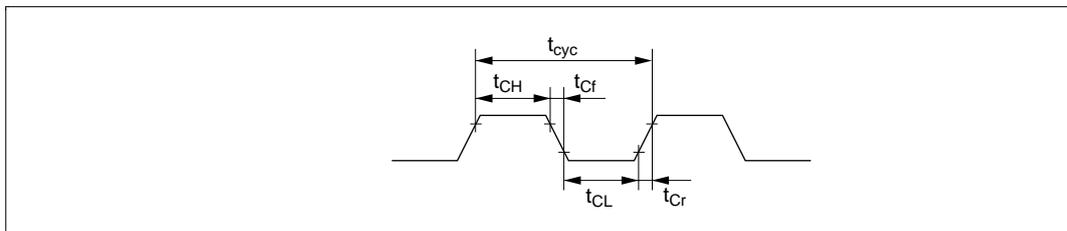


図 22.28 システムクロックタイミング

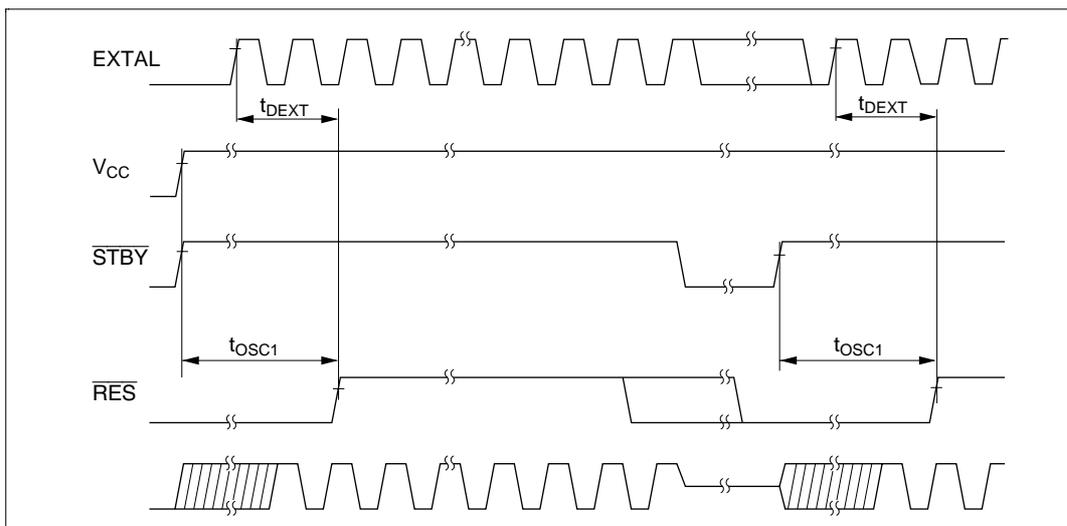


図 22.29 発振安定時間タイミング

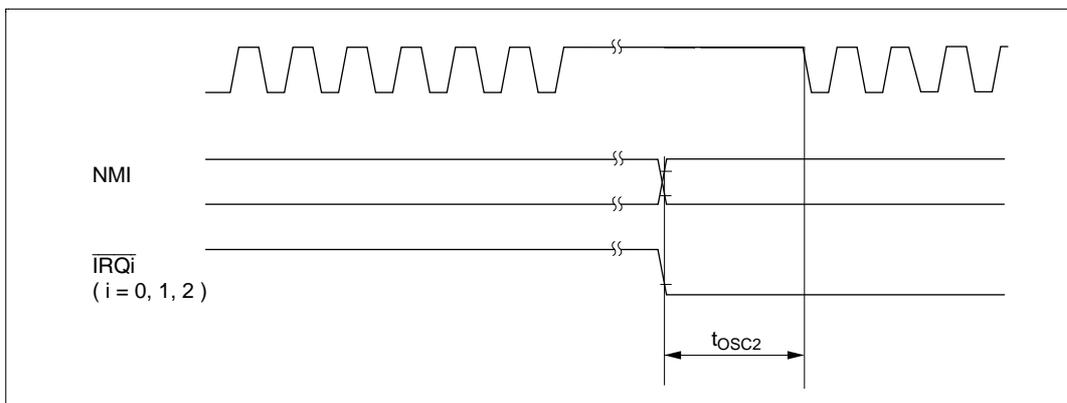


図 22.30 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

## (2) 制御信号タイミング

表 22.19 に制御信号タイミングを示します。サブクロック ( = 32.768kHz) で動作可能な外部割り込みは、NMI、IRQ0 ~ IRQ2 のみです。

表 22.19 制御信号タイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
RES セットアップ時間	$t_{RESS}$	200		200		ns	図 22.7
RES パルス幅	$t_{RESW}$	20		20		$t_{cyc}$	
NMI セットアップ時間 (NMI)	$t_{NMIS}$	150		150		ns	図 22.8
NMI ホールド時間 (NMI)	$t_{NMIH}$	10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		200		ns	
IRQ セットアップ時間 ( $\overline{IRQ2} \sim \overline{IRQ0}$ )	$t_{IRQS}$	150		150		ns	
IRQ ホールド時間 ( $\overline{IRQ2} \sim \overline{IRQ0}$ )	$t_{IRQH}$	10		10		ns	
IRQ パルス幅 ( $\overline{IRQ2} \sim \overline{IRQ0}$ ) (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		200		ns	

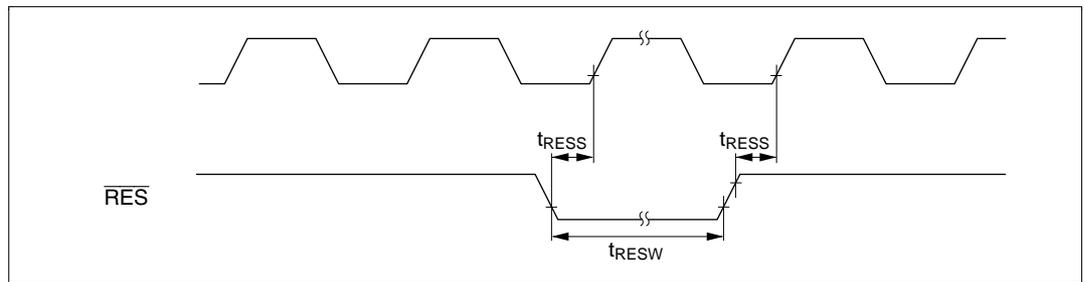


図 22.31 リセット入力タイミング

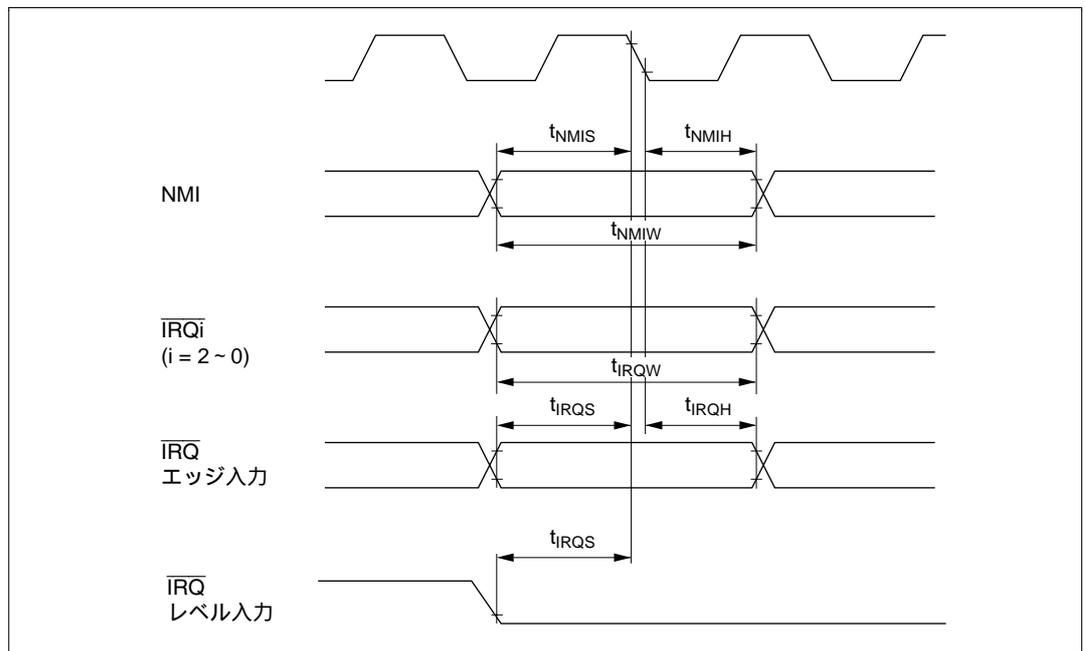


図 22.32 割り込み入力タイミング

## (3) バスタイミング

表 22.20 にバスタイミングを示します。サブクロック ( = 32.768kHz) 動作では、外部拡張モードの動作は保証されません。

表 22.20 バスタイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件
		16MHz		20MHz			
		min	max	min	max		
アドレス遅延時間	$t_{AD}$		30		20	ns	図 22.33 ~
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	図 22.37
CS 遅延時間 (IOS)	$t_{CSD}$		30		20	ns	
AS 遅延時間	$t_{ASD}$		45		30	ns	
RD 遅延時間 1	$t_{RSD1}$		45		30	ns	
RD 遅延時間 2	$t_{RSD2}$		45		30	ns	
リードデータセットアップ時間	$t_{RDS}$	20		15		ns	
リードデータホールド時間	$t_{RDH}$	0		0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
WR 遅延時間 1	$t_{WRD1}$		45		30	ns	
WR 遅延時間 2	$t_{WRD2}$		45		30	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	$t_{WDD}$		45		30	ns	
ライトデータセットアップ時間	$t_{WDS}$	0		0		ns	
ライトデータホールド時間	$t_{WDH}$	15		10		ns	
WAIT セットアップ時間	$t_{WTS}$	45		30		ns	
WAIT ホールド時間	$t_{WTH}$	5		5		ns	

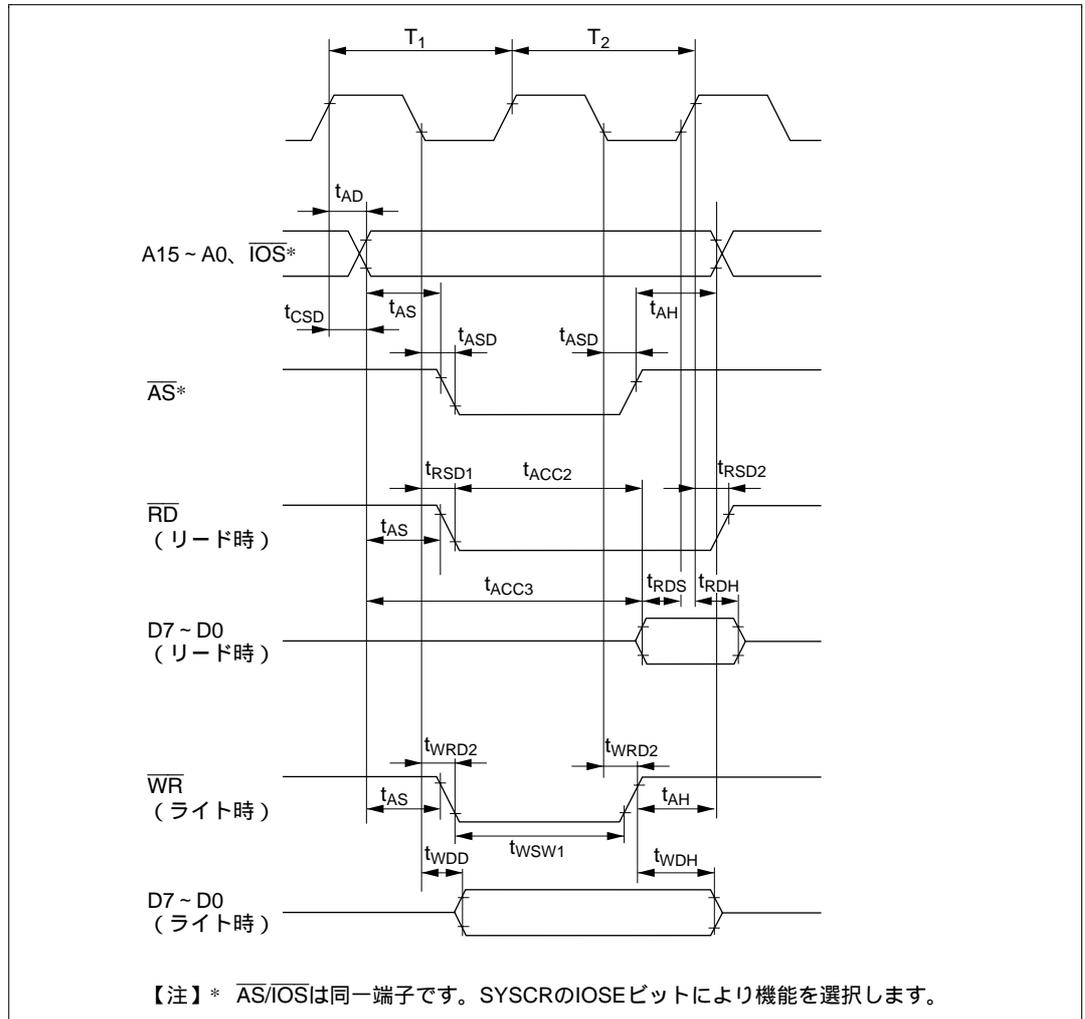


図 22.33 基本バスタイミング / 2 ステートアクセス

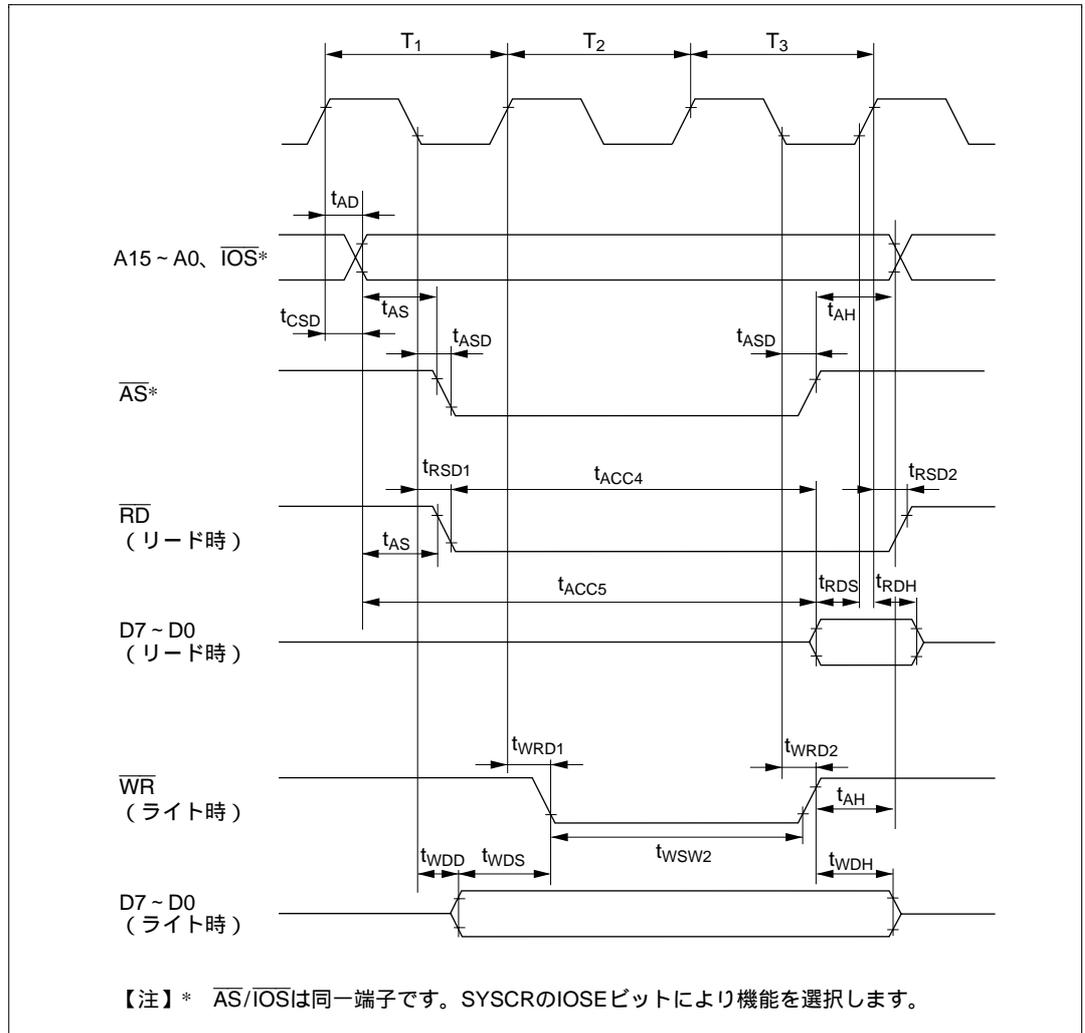


図 22.34 基本バスタイミング / 3 ステートアクセス

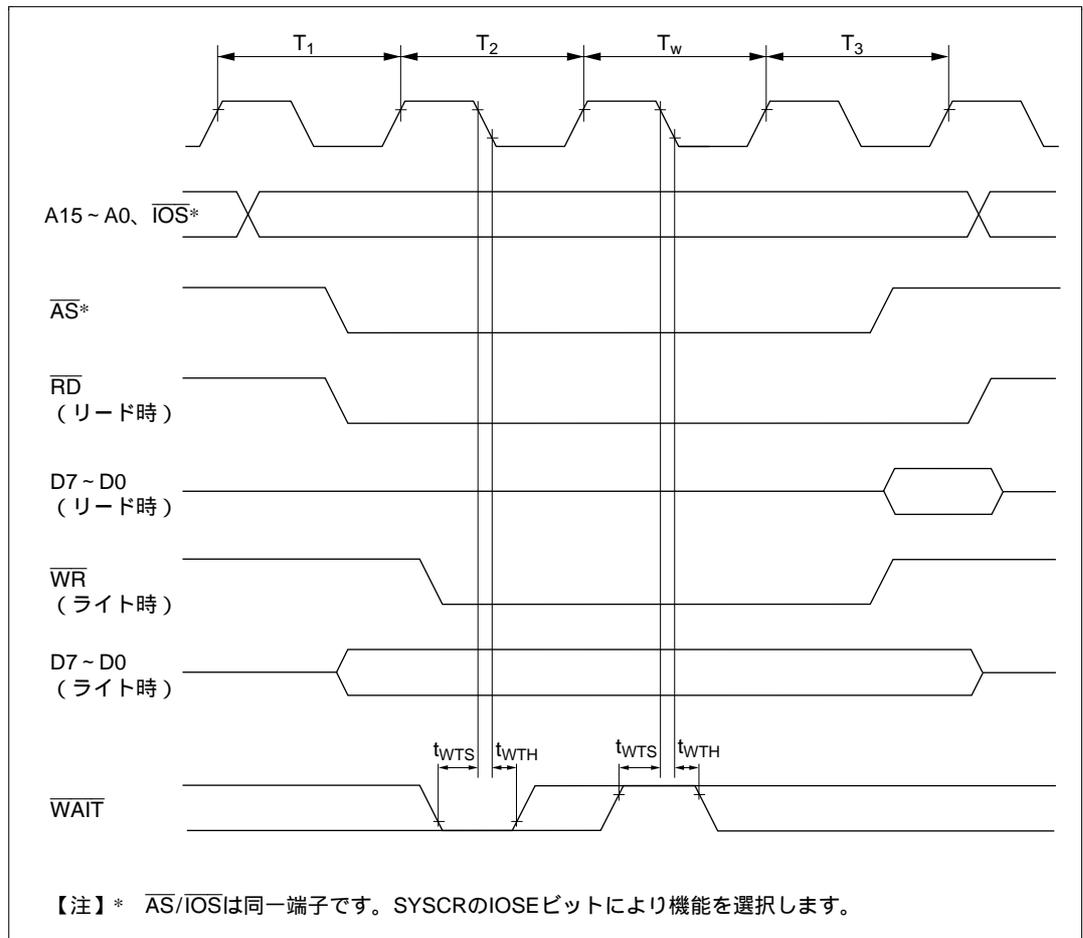


図 22.35 基本バスタイミング / 3 ステートアクセス 1 ウェイト

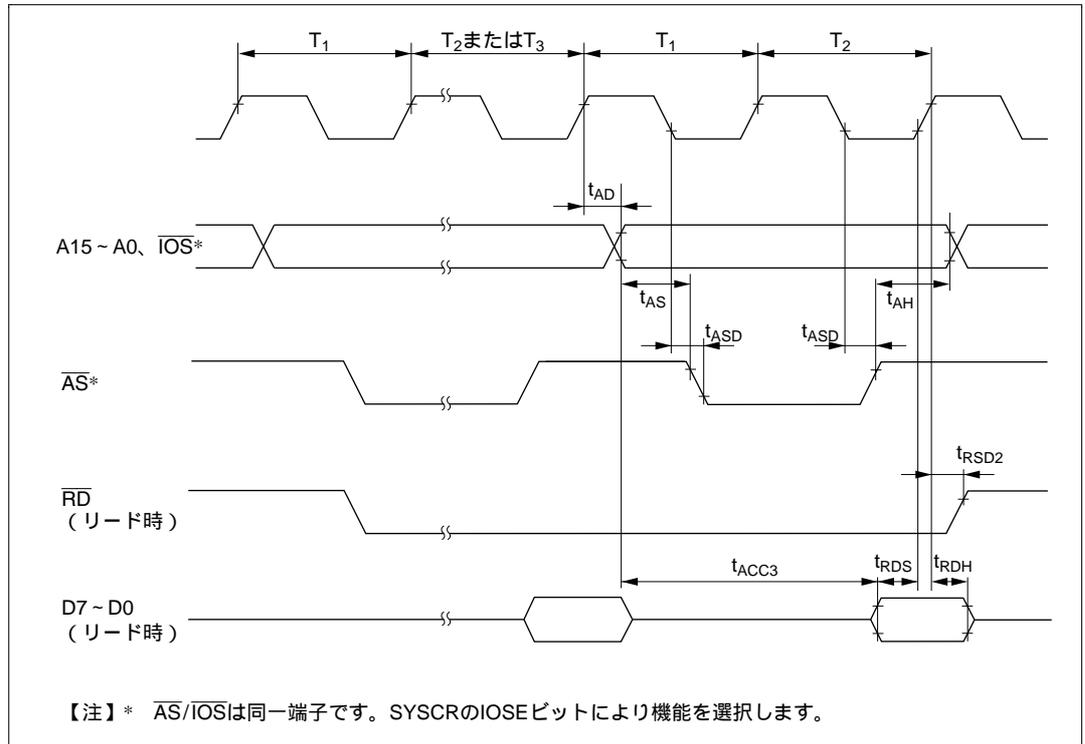


図 22.36 バーストROMアクセスタイミング / 2 ステートアクセス

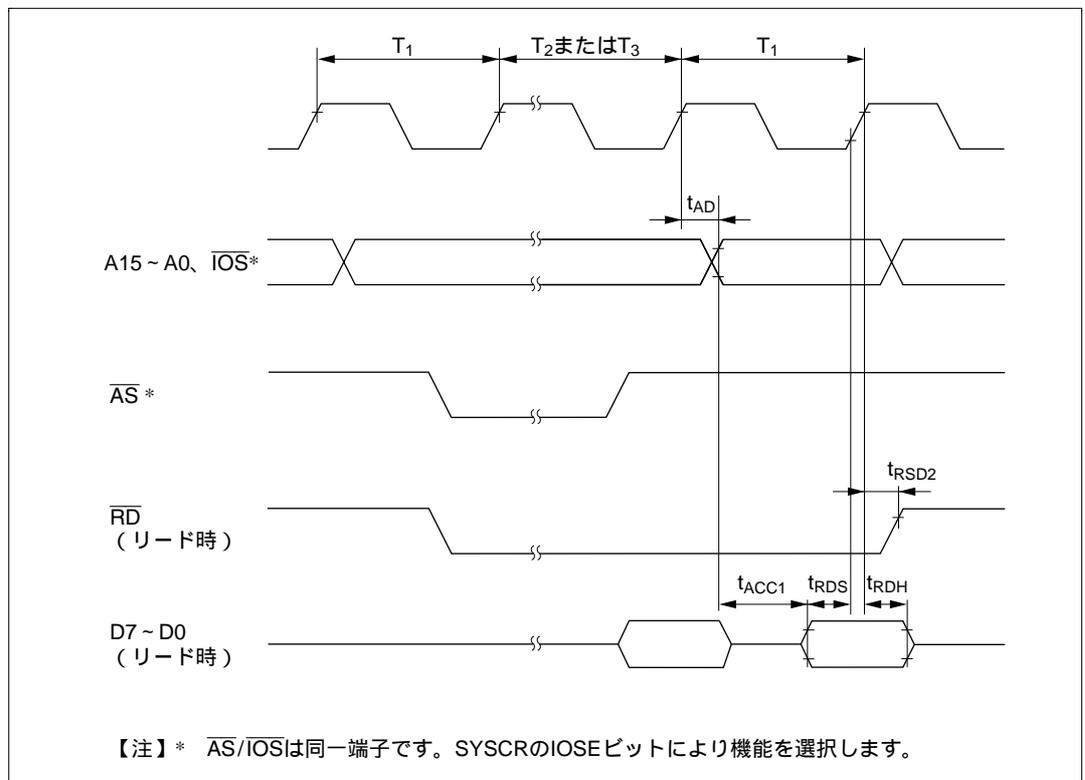


図 22.37 バーストROMアクセスタイミング / 1 ステートアクセス

## (4) 内蔵周辺モジュールタイミング

表 22.21、表 22.22 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ( $f_{clk} = 32.768\text{kHz}$ ) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0~IRQ2)、ウォッチドッグタイマ、8ビットタイマ (チャンネル0,1) のみです。

表 22.21 内蔵周辺モジュールタイミング

条件 A :  $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $f_{clk} = 32.768\text{kHz}^*$ 、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $f_{clk} = 32.768\text{kHz}^*$ 、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 B		条件 A		単位	測定条件		
		16MHz		20MHz					
		min	max	min	max				
I/O ポート	出力データ遅延時間	$t_{PWD}$		50		ns	☒ 22.38		
	入力データセットアップ時間	$t_{PRS}$	30		30				
	入力データデータホールド時間	$t_{PRH}$	30		30				
FRT	タイマ出力遅延時間	$t_{FTOD}$		50		ns	☒ 22.39		
	タイマ入力セットアップ時間	$t_{FTIS}$	30		30				
	タイマクロック	$t_{FTCS}$	30		30		☒ 22.40		
	単エッジ指定		$t_{FTCWH}$	1.5		1.5		$t_{cyc}$	
パルス幅	両エッジ指定	$t_{FTCWL}$	2.5		2.5				
TMR	タイマ出力遅延時間	$t_{TMOD}$		50		ns		☒ 22.41	
	タイマリセット入力セットアップ時間	$t_{TMRS}$	30		30				
	タイマクロック入力セットアップ時間	$t_{TMCS}$	30		30				
	タイマクロック	単エッジ指定	$t_{TMCWH}$	1.5		1.5	$t_{cyc}$		
	パルス幅	両エッジ指定	$t_{TMCWL}$	2.5		2.5			
PWM、PWMX	パルス出力遅延時間	$t_{PWOD}$		50		ns	☒ 22.44		
SCI	入力クロック	調歩同期	$t_{Scyc}$	4		4	$t_{cyc}$	☒ 22.45	
		サイクル		6		6			
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	$t_{Scyc}$		
	入力クロック立ち上がり時間	$t_{SCKr}$		1.5		1.5	$t_{cyc}$		
	入力クロック立ち下がり時間	$t_{SCKf}$		1.5		1.5			
	送信データ遅延時間 (クロック同期)	$t_{TXD}$		50		50	ns		☒ 22.46
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	50		50				
受信データホールド時間 (クロック同期)	$t_{RXH}$	50		50					
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	30		30	ns	☒ 22.47		

【注】 \* サブクロック動作時に使用可能な周辺モジュールのみ

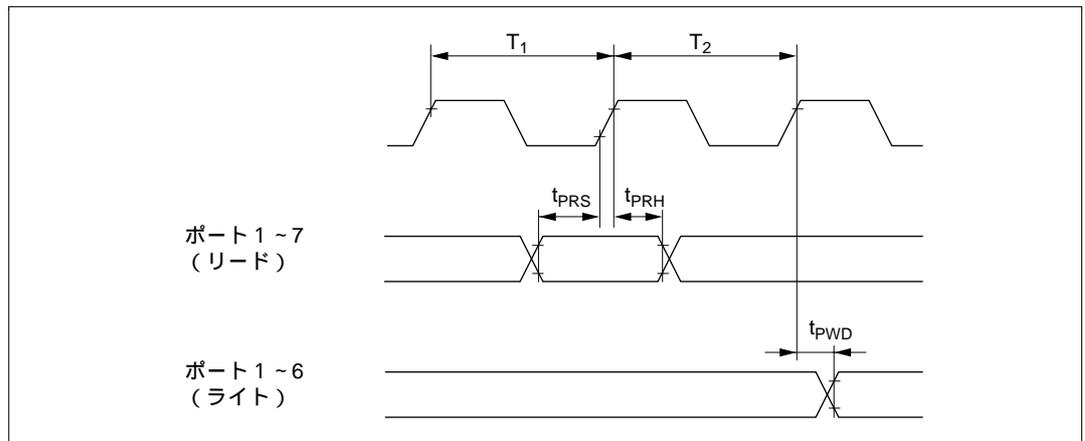


図 22.38 I/O ポート入出力タイミング

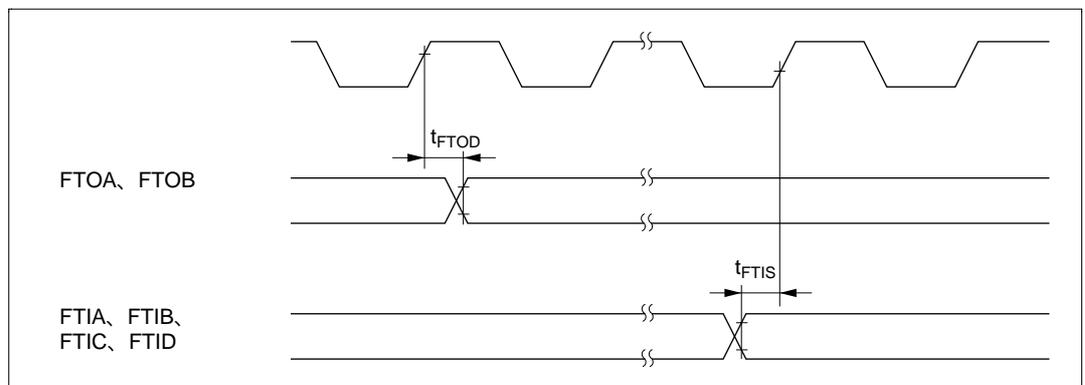


図 22.39 FRT 入出力タイミング

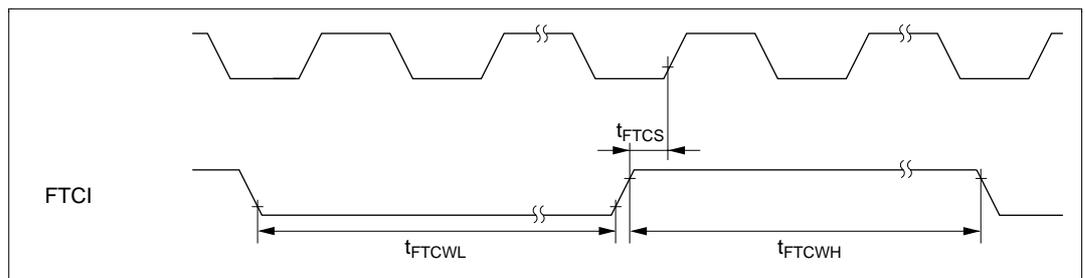


図 22.40 FRT クロック入力タイミング

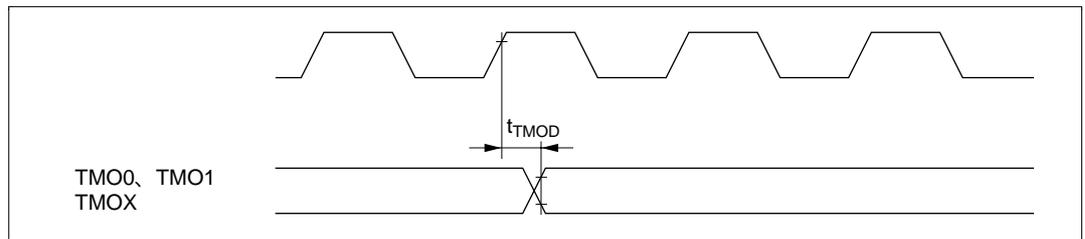


図 22.41 8ビットタイマ出力タイミング

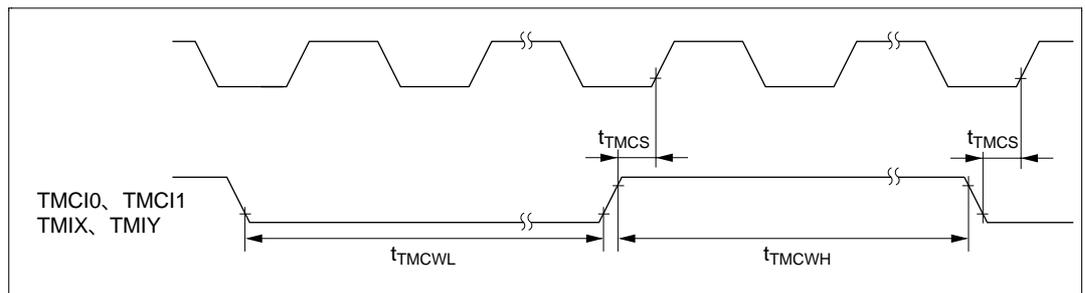


図 22.42 8ビットタイマクロック入力タイミング

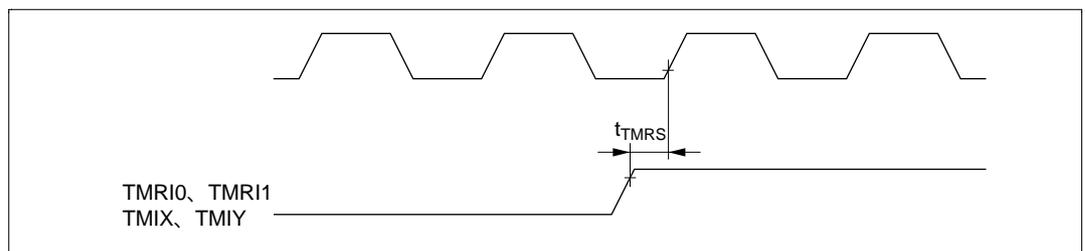


図 22.43 8ビットタイマリセット入力タイミング

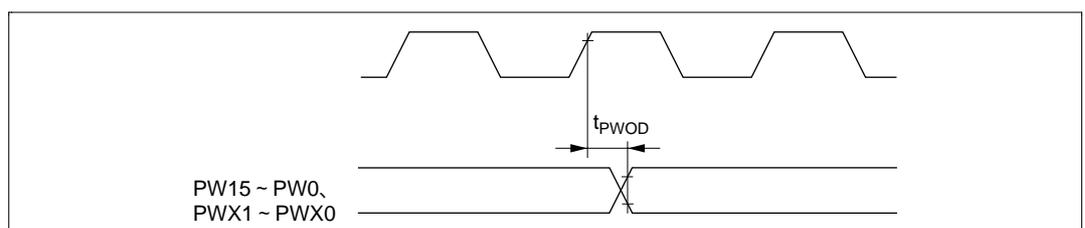


図 22.44 PWM、PWMX 出力タイミング

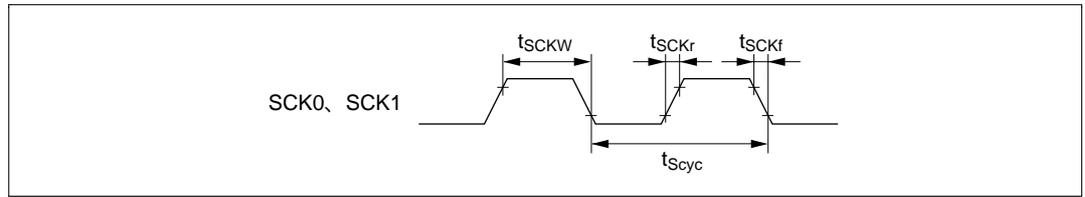


図 22.45 SCK クロック入力タイミング

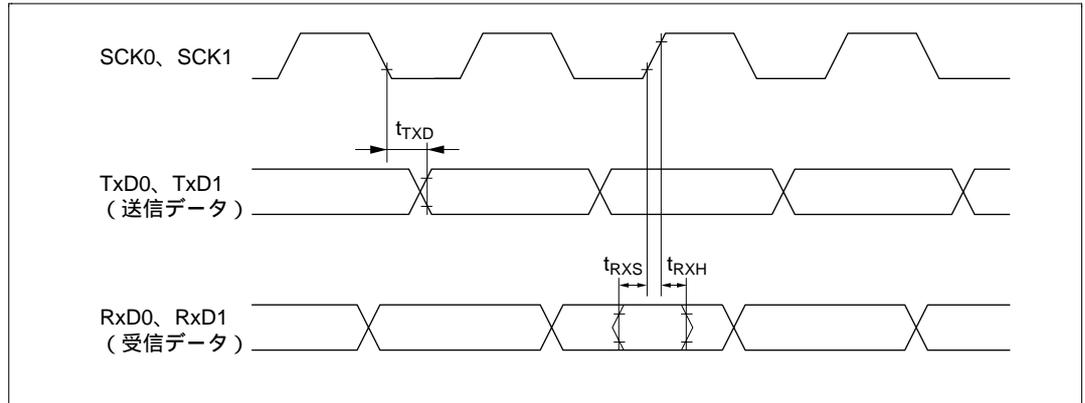


図 22.46 SCI 入出力タイミング / クロック同期式モード

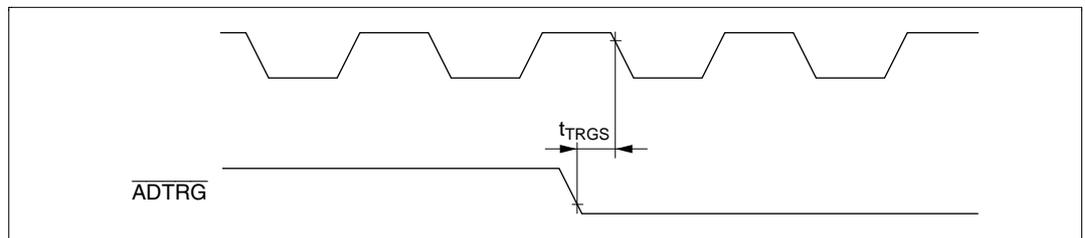


図 22.47 A/D 変換器外部トリガ入力タイミング

表 22.22 I<sup>2</sup>C バスタイミング

条件 : V<sub>CC</sub> = 4.0V ~ 5.5V、V<sub>SS</sub> = 0V、 f = 5MHz ~ 最大動作周波数

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	t <sub>SCL</sub>	12			t <sub>cyc</sub>		図 22.48
SCL 入力 High パルス幅	t <sub>SCLH</sub>	3			t <sub>cyc</sub>		
SCL 入力 Low パルス幅	t <sub>SCLL</sub>	5			t <sub>cyc</sub>		
SCL、SDA 入力立ち上がり時間	t <sub>Sr</sub>			7.5*	t <sub>cyc</sub>		
SCL、SDA 入力立ち下がり時間	t <sub>Sf</sub>			300	ns		
SCL、SDA 入力スパイクパルス除去時間	t <sub>SP</sub>			1	t <sub>cyc</sub>		
SDA 入力バスフリー時間	t <sub>BUF</sub>	5			t <sub>cyc</sub>		
開始条件入力ホールド時間	t <sub>STAH</sub>	3			t <sub>cyc</sub>		
再送開始条件入力セットアップ時間	t <sub>STAS</sub>	3			t <sub>cyc</sub>		
停止条件入力セットアップ時間	t <sub>STOS</sub>	3			t <sub>cyc</sub>		
データ入力セットアップ時間	t <sub>SDAS</sub>	0.5			t <sub>cyc</sub>		
データ入力ホールド時間	t <sub>SDAH</sub>	0			ns		
SCL、SDA の容量性負荷	C <sub>b</sub>			400	pF		

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、17.5t<sub>cyc</sub> とすることが可能です。詳細は「16.4 使用上の注意事項」を参照してください。

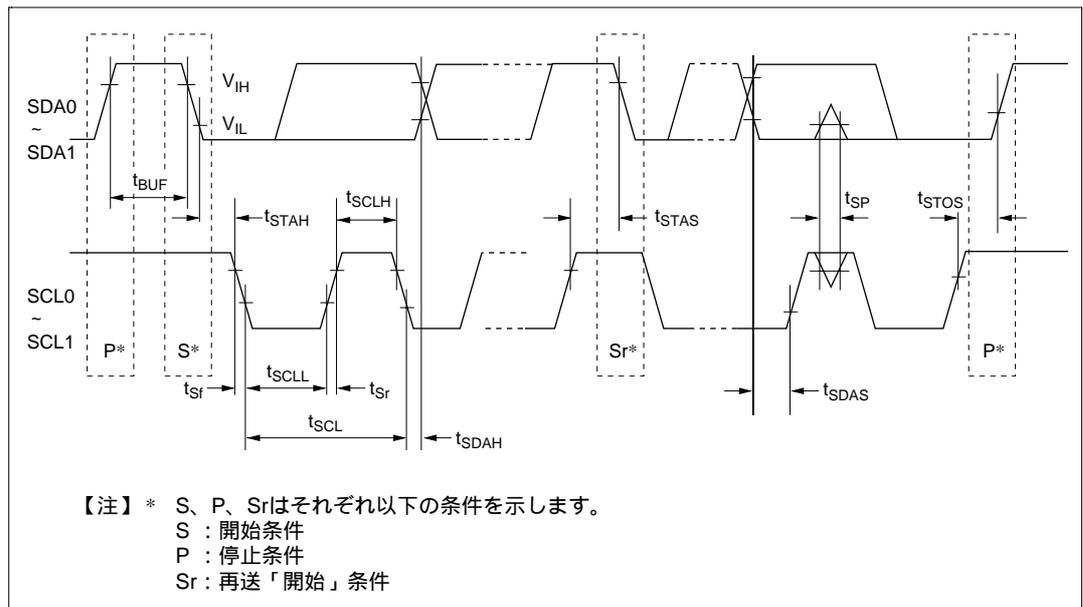


図 22.48 I<sup>2</sup>C バスインタフェース入出力タイミング【オプション】

## 22.3.4 A/D 変換特性

A/D 変換特性を表 22.23、表 22.24 に示します。

表 22.23 A/D 変換特性 (AN7 ~ AN0 入力 : 134/266 ステート変換)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 B			条件 A			単位
	16MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間*3			8.4			6.7	$\mu s$
アナログ入力容量			20			20	pF
許容信号源			$10^{*1}$			$10^{*1}$	k
インピーダンス			$5^{*2}$			$5^{*2}$	
非直線性誤差			$\pm 3.0$			$\pm 3.0$	LSB
オフセット誤差			$\pm 3.5$			$\pm 3.5$	LSB
フルスケール誤差			$\pm 3.5$			$\pm 3.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 4.0$			$\pm 4.0$	LSB

【注】 \*1 変換時間 11.17  $\mu s$  (CKS = 1 で 12MHz、または CKS = 0) のとき

\*2 変換時間 < 11.17  $\mu s$  (CKS = 1 で > 12MHz) のとき

\*3 シングルモードで最大動作周波数のとき

表 22.24 A/D 変換特性 (CIN7 ~ CIN0 入力 : 134/266 ステート変換)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 B			条件 A			単位
	16MHz			20MHz			
	min	typ	max	min	typ	max	
分解能	10			10			ビット
変換時間*3			8.4			6.7	$\mu s$
アナログ入力容量			20			20	pF
許容信号源			$10^{*1}$			$10^{*1}$	k
インピーダンス			$5^{*2}$			$5^{*2}$	
非直線性誤差			$\pm 5.0$			$\pm 5.0$	LSB
オフセット誤差			$\pm 5.5$			$\pm 5.5$	LSB
フルスケール誤差			$\pm 5.5$			$\pm 5.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 6.0$			$\pm 6.0$	LSB

【注】 \*1 変換時間  $11.17 \mu s$  (CKS = 1 で 12MHz、または CKS = 0) のとき

\*2 変換時間  $< 11.17 \mu s$  (CKS = 1 で  $> 12MHz$ ) のとき

\*3 シングルモードで最大動作周波数のとき

### 22.3.5 使用上の注意

(1) F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

#### (2) 内部降圧品への切り替え

H8S/2128 F-ZTAT は、内部降圧機能はサポートしていません。

内部降圧対応の F-ZTAT 版あるいは内部降圧対応のマスク ROM 版に切り替えを行う場合には、VCC2 端子は、内部降圧品の VCL 端子と同じピン配置になります。このため、基板パターンを設計する場合には切り替え前後の回路の違いを考慮する必要がありますので、ご注意願います。

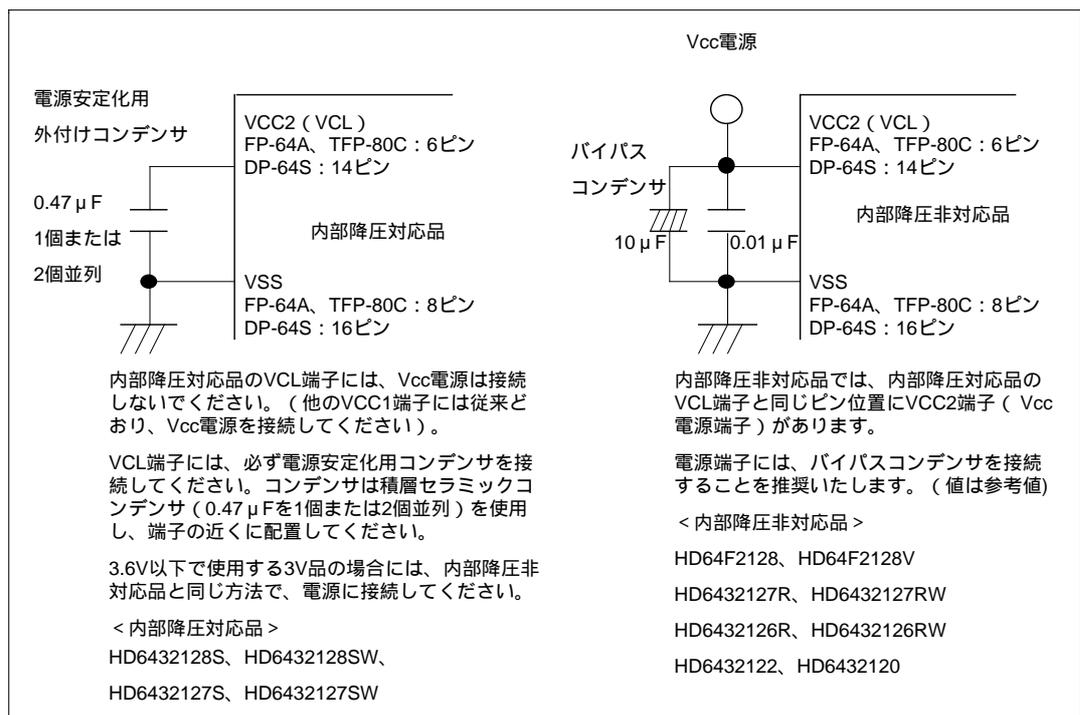


図 22.49 内部降圧対応マスク ROM 品の VCL コンデンサ接続方法と内部降圧非対応品との違い

## 22.4 H8S/2124 グループ (H8S/2122、H8S/2120 マスク ROM 品)

### 22.4.1 絶対最大定格

絶対最大定格を表 22.25 に示します。

表 22.25 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
入力電圧 (ポート 6、7 以外)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート 7)	$V_{in}$	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	通常仕様品 : -20 ~ +75	
		広温度範囲仕様品 : -40 ~ +85	
保存温度	$T_{stg}$	-55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 22.4.2 DC 特性

DC 特性を表 22.26 に示します。また、出力許容電流値を表 22.27 に示します。

表 22.26 DC 特性 (1)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60 <sup>*2*4</sup> 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$	(1)	$V_T^-$	1.0			V
			$V_T^+$			$V_{CC} \times 0.7$	
			$V_T^+ - V_T^-$	0.4			
入力 High レベル電圧	RES、 $\overline{STBY}$ 、NMI、 MD1 ~ MD0	(2)	$V_{IH}$	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V
	EXTAL			$V_{CC} \times 0.7$		$V_{CC} + 0.3$	
	ポート 7			2.0		$AV_{CC} + 0.3$	
	上記(1)(2)以外の入力端子			2.0		$V_{CC} + 0.3$	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、MD1 ~ MD0	(3)	$V_{IL}$	-0.3		0.5	V
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3		0.8	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			3.5			V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、3				1.0	V	$I_{OL} = 10mA$

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。

\*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。

\*4 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC} + 0.3V$ 、CIN 入力選択時は  $V_{CC} + 0.3V$  と  $AV_{CC} + 0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

表 22.26 DC 特性 (2)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5V$	
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSL} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	$\mu A$	$V_{in} = 0V$	
入力容量	RES	(4)	$C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P47、P24、P23					20		
	上記(4)以外の入力端子					15		
消費電流*2	通常動作時	$I_{CC}$		70	90	$mA$	$f = 20MHz$	
	スリープ時			55	75	$mA$	$f = 20MHz$	
	スタンバイ時*3			0.01	5.0	$\mu A$	$T_a = 50$ $50 < T_a$	
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	$mA$		
	A/D 変換待機時			0.01	5.0	$\mu A$	$AV_{CC} = 2.0V \sim 5.5V$	
アナログ電源電圧*1		$AV_{CC}$	4.5		5.5	V	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V		

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。\*3  $V_{RAM} \ V_{CC} < 4.5V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

表 22.26 DC 特性 (3)

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件			
シュミット トリガ入力電圧	P67 ~ P60 <sup>*2*4</sup> 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$	(1)	$V_T^-$	1.0			V	$V_{CC} = 4.5V \sim 5.5V$		
			$V_T^+$			$V_{CC} \times 0.7$				
			$V_T^+ - V_T^-$	0.4						
				(2)	$V_T^-$	0.8			V	$V_{CC} < 4.5V$
					$V_T^+$			$V_{CC} \times 0.7$		
					$V_T^+ - V_T^-$	0.3				
入力 High レベル電圧	RES、 $\overline{STBY}$ 、NMI、 MD1 ~ MD0	(2)	$V_{IH}$	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V			
	EXTAL			$V_{CC} \times 0.7$		$V_{CC} + 0.3$				
	ポート 7			2.0		$AV_{CC} + 0.3$				
	上記(1)(2)以外の入力端子			2.0		$V_{CC} + 0.3$				
入力 Low レベル電圧	RES、 $\overline{STBY}$ 、 MD1 ~ MD0	(3)	$V_{IL}$	-0.3		0.5	V			
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3		0.8				
出力 High レベル電圧	全出力端子		$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$		
				3.5			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$		
				3.0			V	$I_{OH} = -1mA$ 、 $V_{CC} < 4.5V$		
出力 Low レベル電圧	全出力端子		$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$		
	ポート 1、2、3					1.0	V	$I_{OL} = 10mA$		

【注】\*1 A/D変換器を使用しない場合でも、AVCC、AVSS端子を開放しないでください。

A/D変換器を使用しない場合でも、AVCC端子は電源( $V_{CC}$ )に接続するなどの方法で2.0V~5.5Vの範囲の電圧を印加してください。

\*2 P67~P60にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$ には、それと兼用の $\overline{ADTRG}$ 端子を含みます。\*4 ポート6の印加電圧の上限は、CIN入力非選択時は $V_{CC}+0.3V$ 、CIN入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

表 22.26 DC 特性 (4)

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1 ~ MD0				1.0		
	ポート 7				1.0		
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSL} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	50		300	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$
			30		200	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} < 4.5V$
入力容量	RES	(4)	$C_{in}$		80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50		
	P52、P47、P24、P23				20		
	上記(4)以外の入力端子				15		
消費電流*2	通常動作時	$I_{CC}$		55	75	mA	$f = 16MHz$
	スリープ時			42	62		$f = 16MHz$
	スタンバイ時*3			0.01	5.0	$\mu A$	$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	mA	
	A/D 変換待機時			0.01	5.0		$\mu A$
アナログ電源電圧*1		$AV_{CC}$	4.0		5.5	V	動作時
			2.0		5.5		待機時、非使用時
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。\*3  $V_{RAM}$   $V_{CC} < 4.0V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

表 22.26 DC 特性 (5)

条件:  $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$ 

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60 <sup>*2*4</sup> 、 $\overline{IRQ2} \sim \overline{IRQ0}^{*3}$	(1)	$V_T^-$	$V_{CC} \times 0.2$		V	
			$V_T^+$		$V_{CC} \times 0.7$		
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$			
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0	(2)	$V_{IH}$	$V_{CC} \times 0.9$	$V_{CC} + 0.3$	V	
	EXTAL			$V_{CC} \times 0.7$	$V_{CC} + 0.3$		
	ポート 7			$V_{CC} \times 0.7$	$AV_{CC} + 0.3$		
	上記(1)(2)以外の入力端子			$V_{CC} \times 0.7$	$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、 MD1 ~ MD0	(3)	$V_{IL}$	-0.3	$V_{CC} \times 0.1$	V	
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3	$V_{CC} \times 0.2$		
					0.8		
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$		V	$I_{OH} = -200 \mu A$	
			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$ ( $V_{CC} < 4.0V$ )	
出力 Low レベル電圧	全出力端子	$V_{OL}$			V	$I_{OL} = 1.6mA$	
	ポート 1、2、3				V	$I_{OL} = 5mA (V_{CC} < 4.0V)$ $I_{OL} = 10mA$ ( $4.0V \leq V_{CC} \leq 5.5V$ )	

【注】\*1 A/D 変換器を使用しない場合でも、AVCC、AVSS 端子を開放しないでください。

A/D 変換器を使用しない場合でも、AVCC 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。

\*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。\*4 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC} + 0.3V$ 、CIN 入力選択時は  $V_{CC} + 0.3V$  と  $AV_{CC} + 0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

表 22.26 DC 特性 (6)

条件:  $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$  $T_a = -20 \sim +75$ 

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5V$	
スリープ状態 リーク電流 (オフ状態)	ポート 1 ~ 6	$ I_{TSL} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	10		150	$\mu A$	$V_{in} = 0V$ $V_{CC} = 2.7V \sim 3.6V$	
入力容量	RES	(4)	$C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P47、P24、P23					20		
	上記(4)以外の入力端子					15		
消費電流*2	通常動作時	$I_{CC}$		40	52	$mA$	$f = 10MHz$	
	スリープ時			30	42		$f = 10MHz$	
	スタンバイ時*3			0.01	5.0	$\mu A$	$T_a = 50$ $50 < T_a$	
アナログ 電源電流	A/D 変換中	$AI_{CC}$		1.5	3.0	$mA$	$AV_{CC} = 2.0V \sim 5.5V$	
	A/D 変換待機時			0.01	5.0			$\mu A$
アナログ電源電圧*1		$AV_{CC}$	2.7		5.5	$V$	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			$V$		

【注】\*1 A/D 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器を使用しない場合でも、 $AV_{CC}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。\*3  $V_{RAM} \ V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

表 22.27 出力許容電流値

条件 :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2、3	$I_{OL}$			10	mA
	上記以外の出力端子				2.0	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	$I_{OL}$			80	mA
	上記を含む、全出力端子の総和				120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			40	mA

条件 :  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$  $T_a = -20 \sim +75$ 

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2、3	$I_{OL}$			2.0	mA
	上記以外の出力端子				1.0	
出力 Low レベル許容電流 (総和)	ポート 1、2、3 の総和	$I_{OL}$			40	mA
	上記を含む、全出力端子の総和				60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 22.27 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 22.50、図 22.51 に示すように、出力に必ず電流制限抵抗を挿入してください。

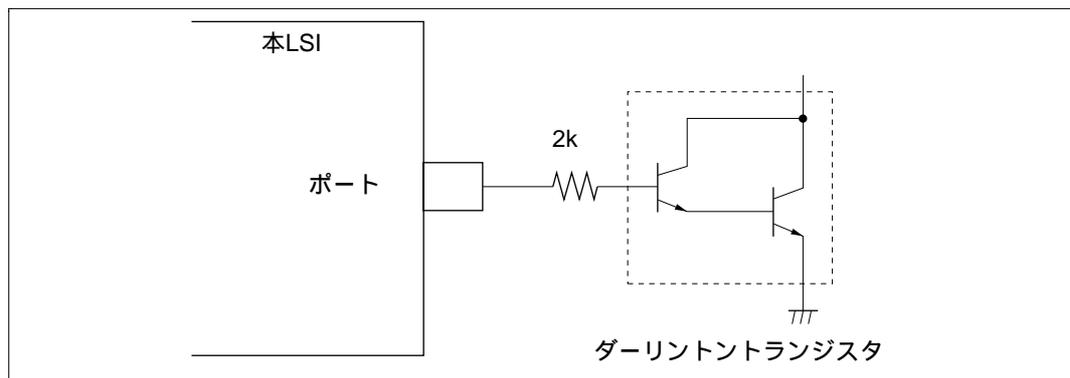


図 22.50 ダーリントトランジスタ駆動回路例

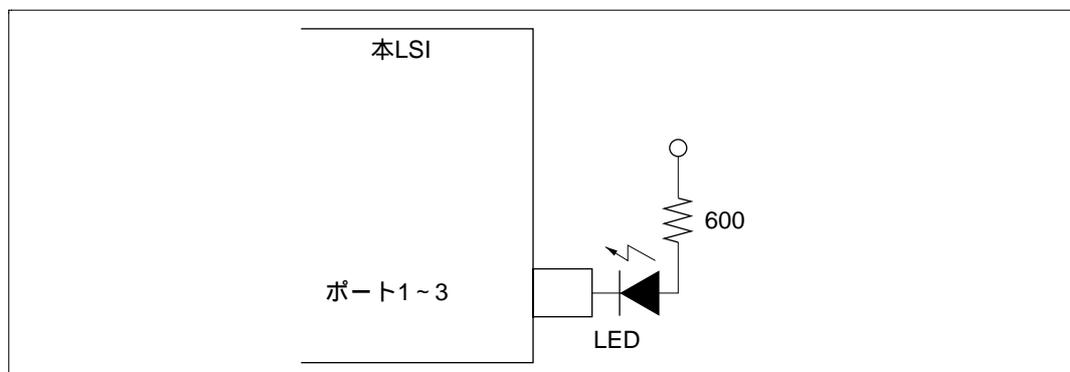


図 22.51 LED 駆動回路例

### 22.4.3 AC 特性

図 22.52 に AC 特性測定条件を示します。

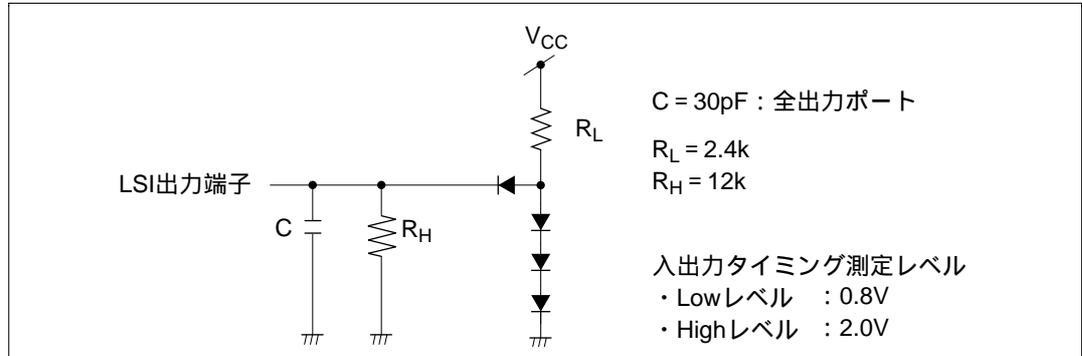


図 22.52 出力負荷回路

#### (1) クロックタイミング

表 22.28 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック ( ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 20 章 クロック発振器」を参照してください。

表 22.28 クロックタイミング

条件 A :  $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $f = 2\text{MHz} \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $f = 2\text{MHz} \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $f = 2\text{MHz} \sim$  最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	参照図
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
クロックサイクル時間	$t_{cyc}$	100	500	62.5	500	50	500	ns	図 22.53
クロックハイレベルパルス幅	$t_{CH}$	30		20		17		ns	図 22.54
クロックローレベルパルス幅	$t_{CL}$	30		20		17		ns	
クロック立ち上がり時間	$t_{Cr}$		20		10		8	ns	
クロック立ち下がり時間	$t_{Cf}$		20		10		8	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20		10		10		ms	図 22.55
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8		8		8		ms	図 22.56
外部クロック出力安定遅延時間	$t_{DEXT}$	500		500		500		$\mu\text{s}$	

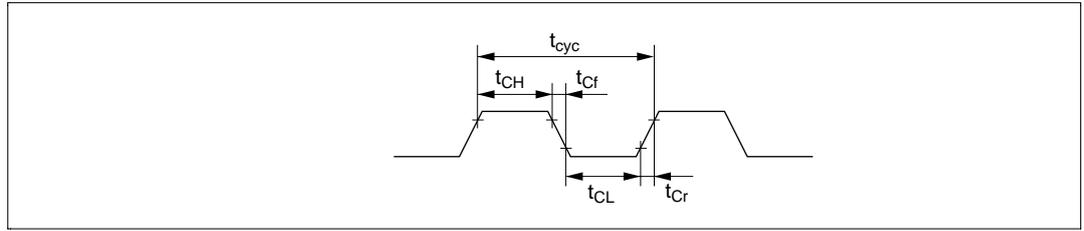


図 22.53 システムクロックタイミング

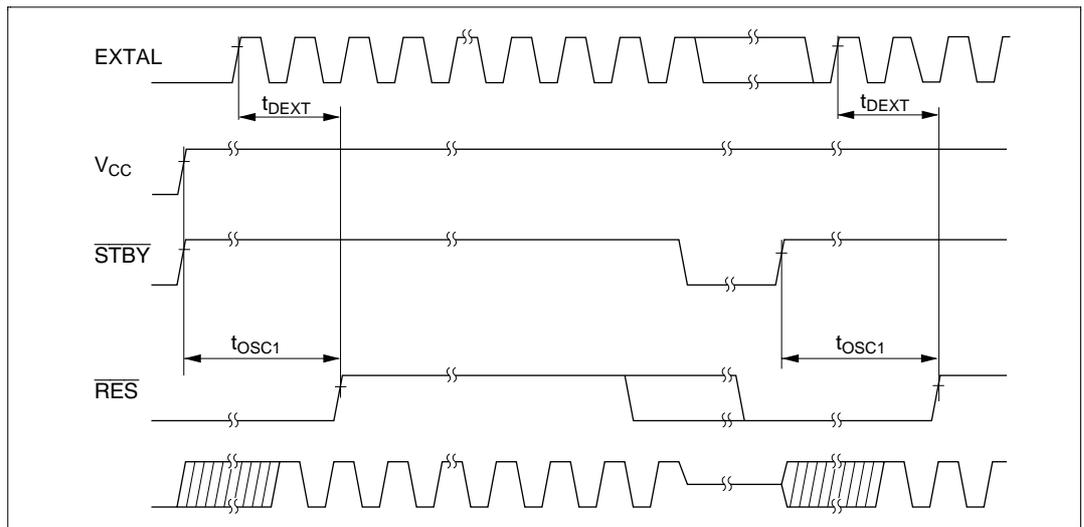


図 22.54 発振安定時間タイミング

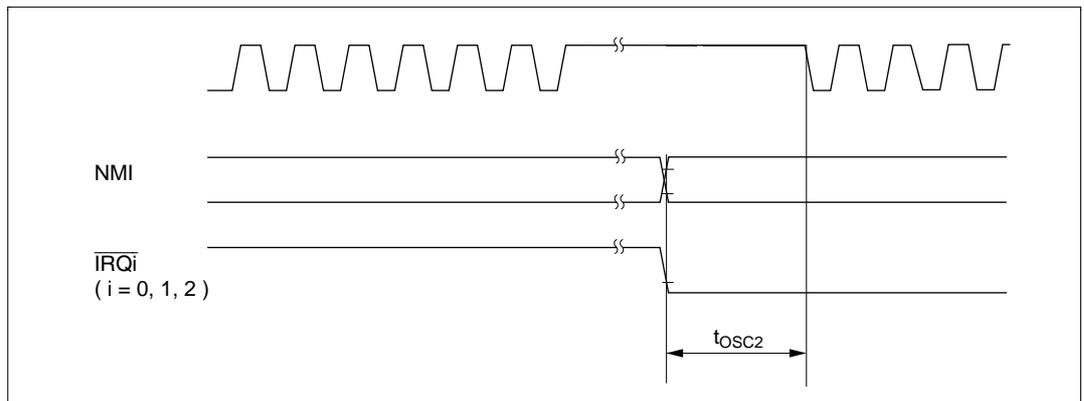


図 22.55 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

## (2) 制御信号タイミング

表 22.29 に制御信号タイミングを示します。サブクロック ( = 32.768kHz) で動作可能な外部割り込みは、NMI、IRQ0 ~ IRQ2 のみです。

表 22.29 制御信号タイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
RES セットアップ時間	$t_{RESS}$	300		200		200		ns	図 22.56
RES パルス幅	$t_{RESW}$	20		20		20		$t_{cyc}$	
NMI セットアップ時間 (NMI)	$t_{NMIS}$	250		150		150		ns	図 22.57
NMI ホールド時間 (NMI)	$t_{NMIH}$	10		10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		200		200		ns	
IRQ セットアップ時間 (IRQ2 ~ IRQ0)	$t_{IRQS}$	250		150		150		ns	
IRQ ホールド時間 (IRQ2 ~ IRQ0)	$t_{IRQH}$	10		10		10		ns	
IRQ パルス幅 (IRQ2 ~ IRQ0) (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		200		200		ns	

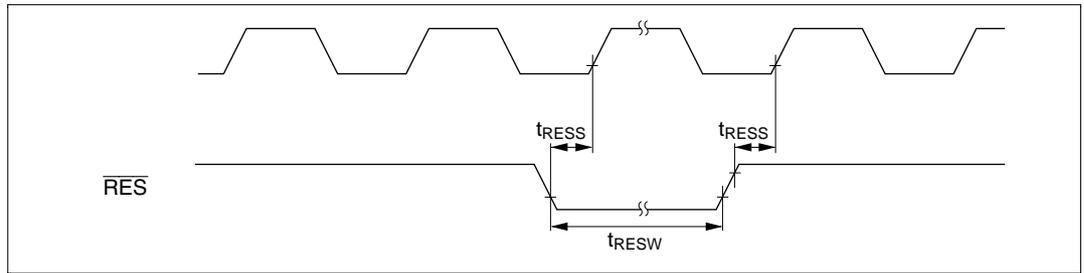


図 22.56 リセット入力タイミング

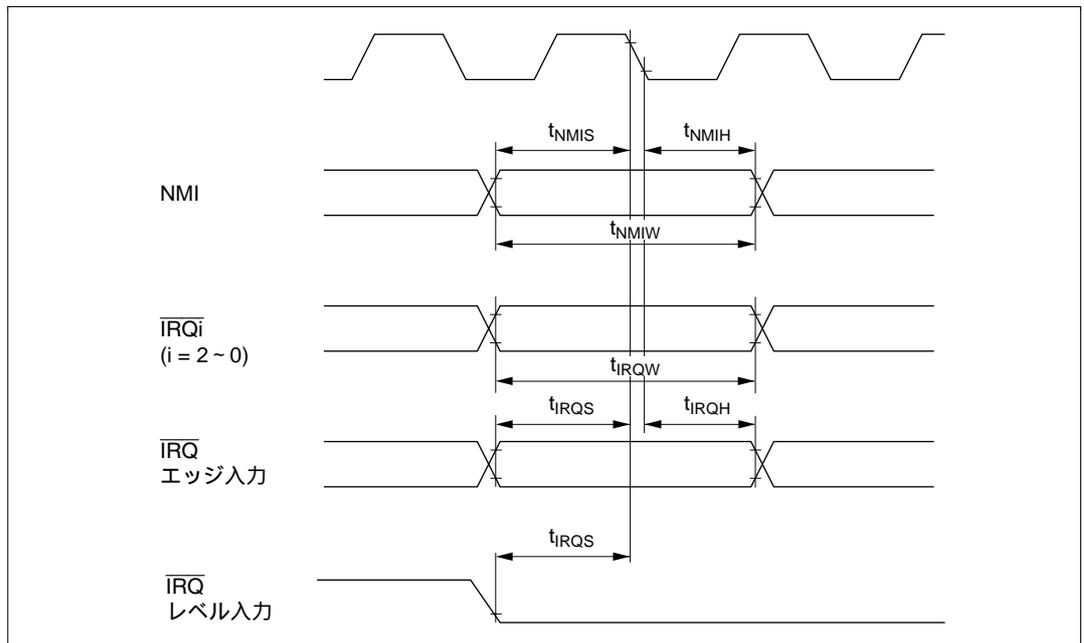


図 22.57 割り込み入力タイミング

## (3) バスタイミング

表 22.30 にバスタイミングを示します。サブクロック ( = 32.768kHz ) 動作では、外部拡張モードの動作は保証されません。

表 22.30 バスタイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
アドレス遅延時間	$t_{AD}$		40		30		20	ns	図 22.58 ~ 図 22.62
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
CS 遅延時間 ( $\overline{IOS}$ )	$t_{CSD}$		40		30		20	ns	
AS 遅延時間	$t_{ASD}$		60		45		30	ns	
RD 遅延時間 1	$t_{RSD1}$		60		45		30	ns	
RD 遅延時間 2	$t_{RSD2}$		60		45		30	ns	
リードデータセットアップ時間	$t_{RDS}$	35		20		15		ns	
リードデータホールド時間	$t_{RDH}$	0		0		0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
WR 遅延時間 1	$t_{WRD1}$		60		45		30	ns	
WR 遅延時間 2	$t_{WRD2}$		60		45		30	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	$t_{WDD}$		60		45		30	ns	
ライトデータセットアップ時間	$t_{WDS}$	0		0		0		ns	
ライトデータホールド時間	$t_{WDH}$	20		15		10		ns	
WAIT セットアップ時間	$t_{WTS}$	60		45		30		ns	
WAIT ホールド時間	$t_{WTH}$	10		5		5		ns	

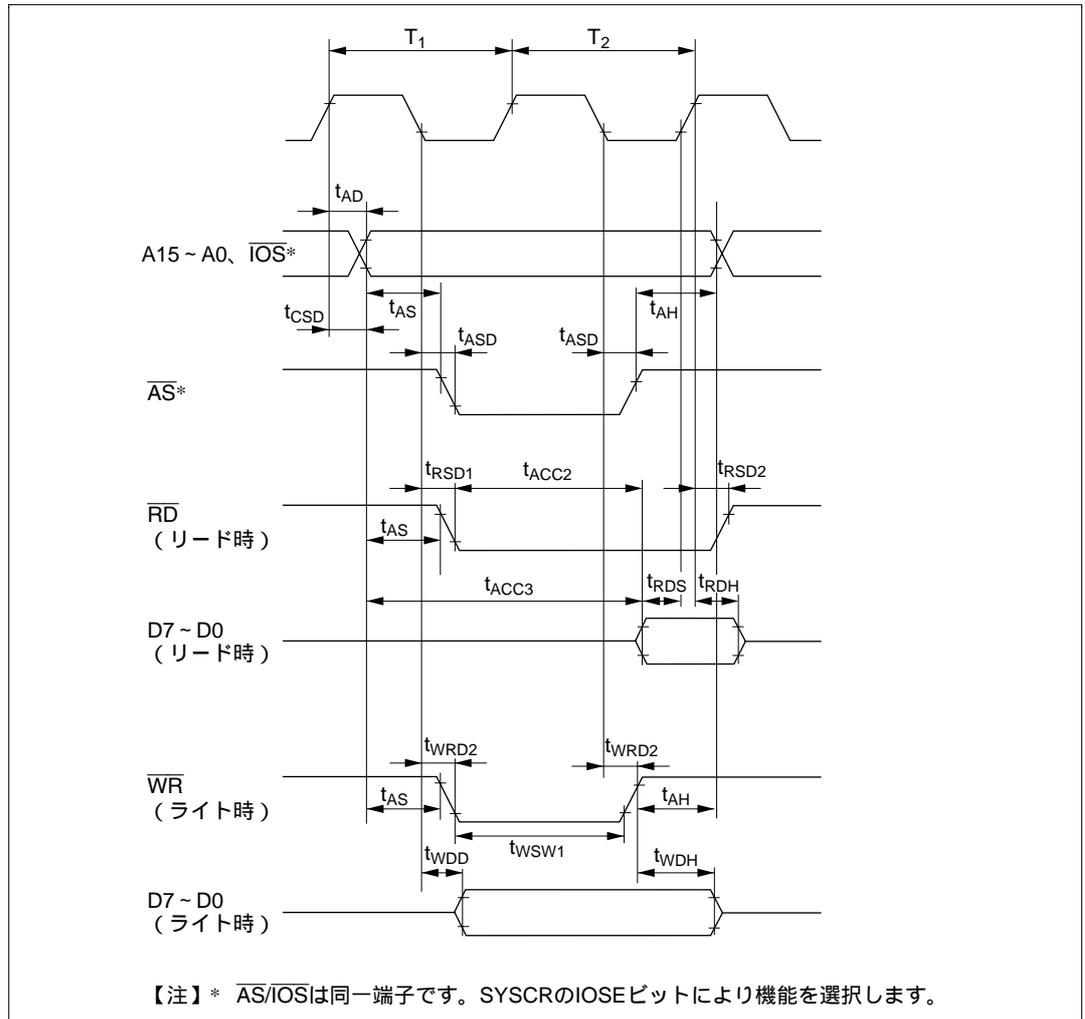


図 22.58 基本バスタイミング / 2 ステートアクセス

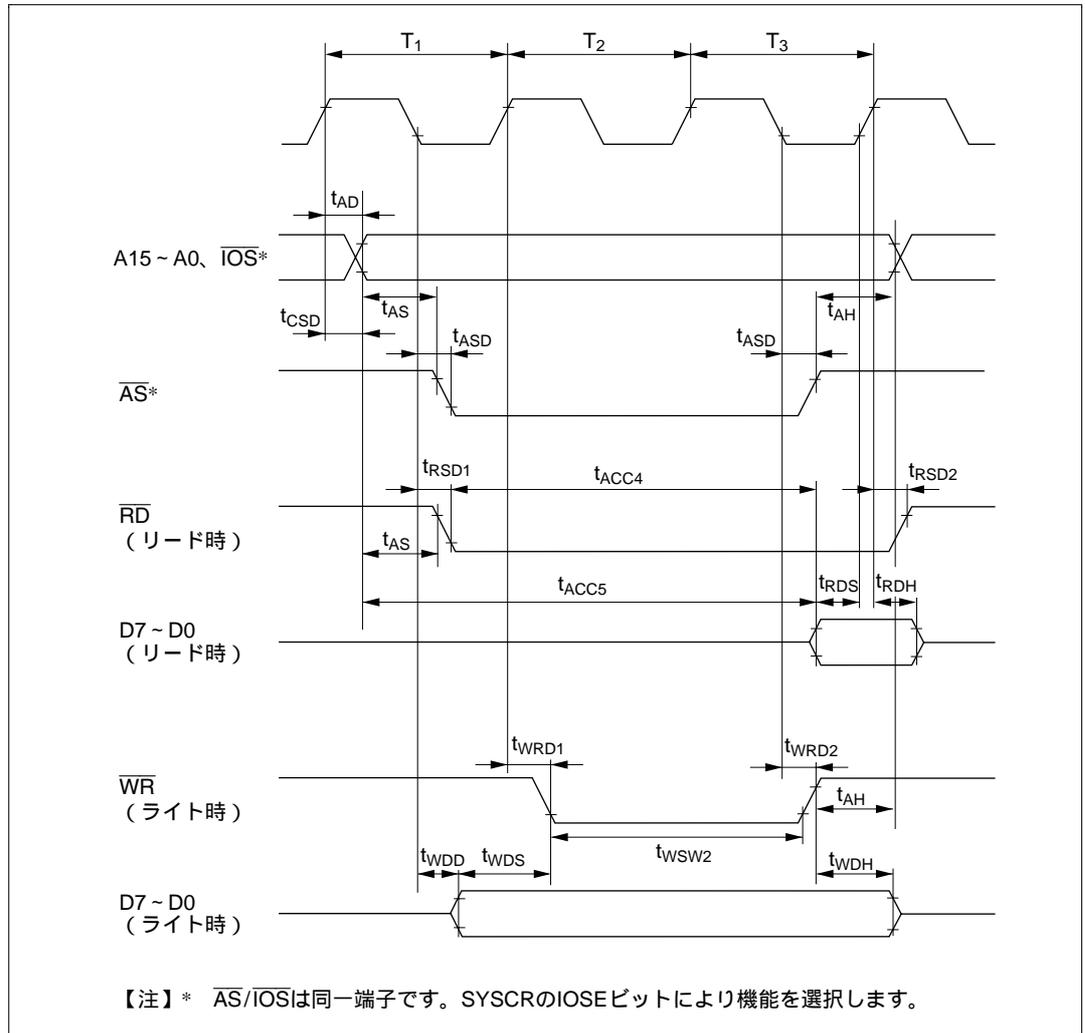


図 22.59 基本バスタイミング / 3 ステートアクセス

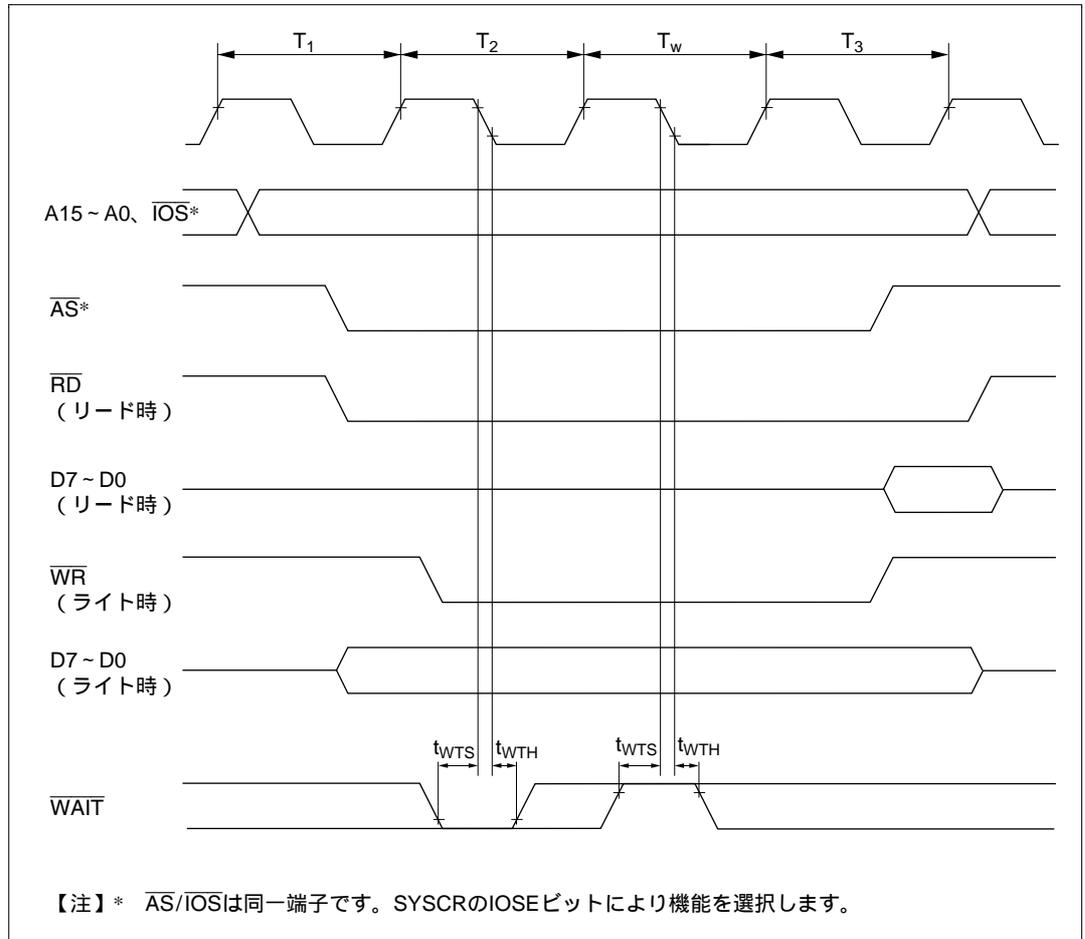


図 22.60 基本バスタイミング / 3 ステートアクセス 1 ウェイト

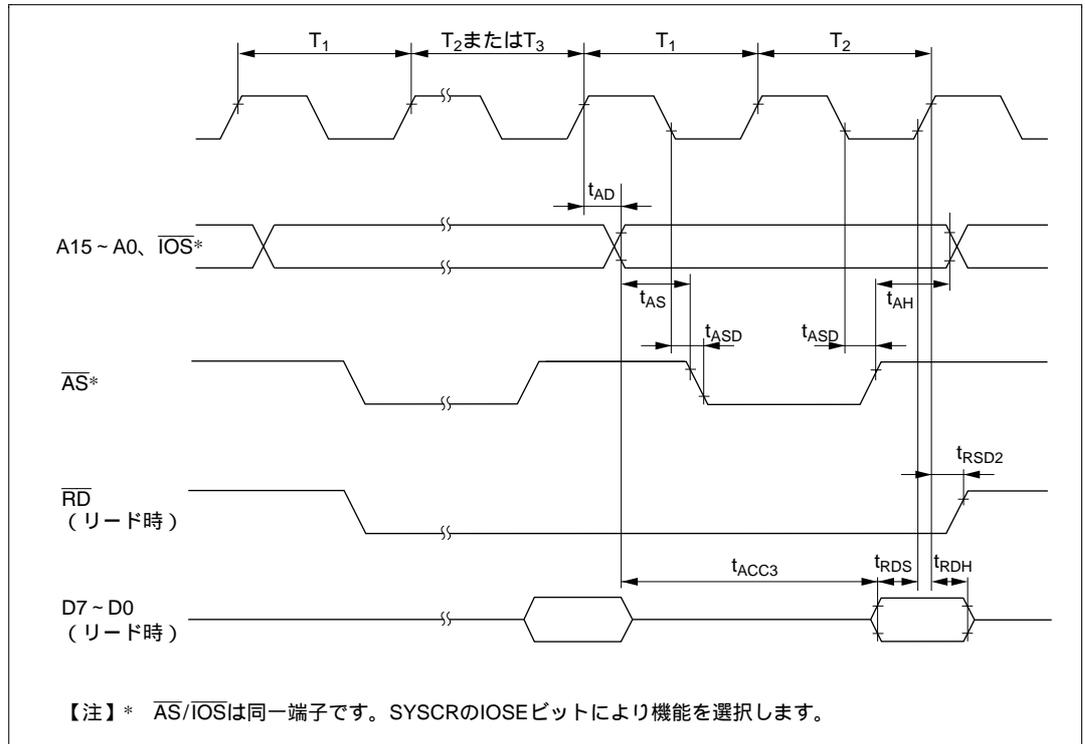


図 22.61 バースト ROM アクセスタイミング / 2 ステートアクセス

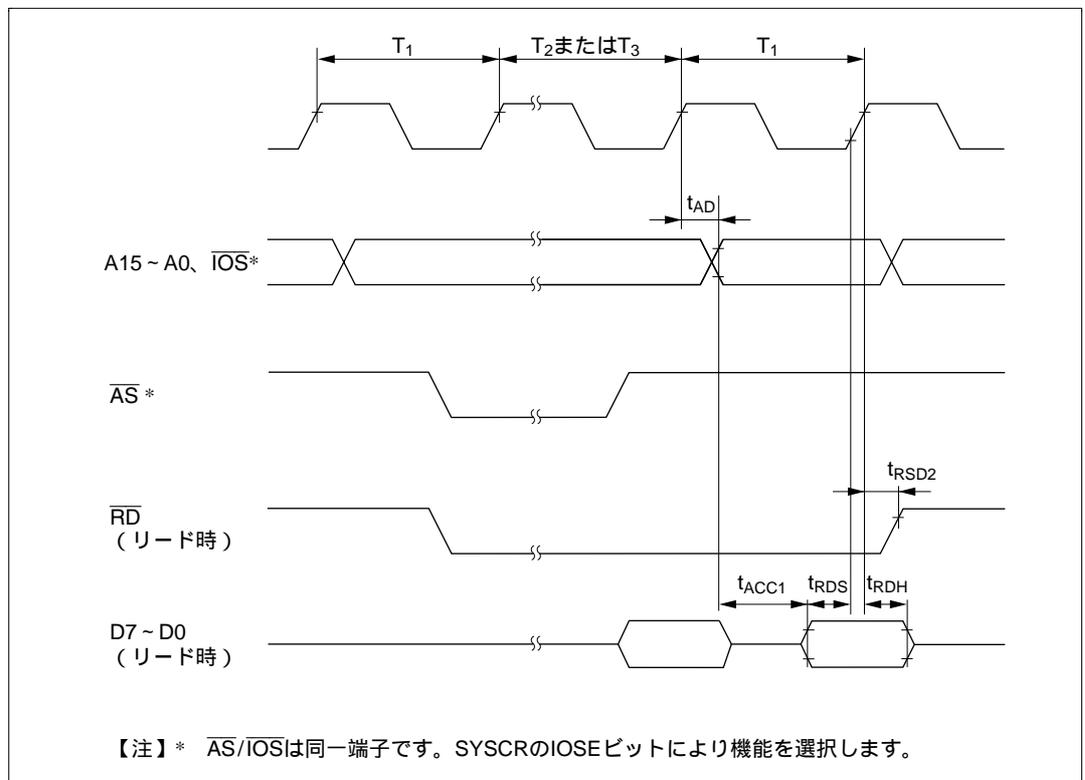


図 22.62 バースト ROM アクセスタイミング / 1 ステートアクセス

(4) 内蔵周辺モジュールタイミング

表 22.31 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ( = 32.768kHz ) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み ( NMI、IRQ0 ~ IRQ2 )、ウォッチドッグタイマ、8ビットタイマ ( チャネル0、1 ) のみです。

表 22.31 内蔵周辺モジュールタイミング

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 = 32.768kHz\*、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz\*、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$  ( 通常仕様品 )、 $T_a = -40 \sim +85$  ( 広温度範囲仕様品 )

条件 C :  $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 = 32.768kHz\*、2MHz ~ 最大動作周波数

$T_a = -20 \sim +75$

項目		記号	条件 C		条件 B		条件 A		単位	測定条件
			10MHz		16MHz		20MHz			
			min	max	min	max	min	max		
I/O ポート	出力データ遅延時間	$t_{PWD}$		100		50		50	ns	図 22.63
	入力データセットアップ時間	$t_{PRS}$	50		30		30			
	入力データデータホールド時間	$t_{PRH}$	50		30		30			
FRT	タイマ出力遅延時間	$t_{FTOD}$		100		50		50	ns	図 22.64
	タイマ入力セットアップ時間	$t_{FTIS}$	50		30		30			
	タイマクロック 入力セットアップ時間	$t_{FTCS}$	50		30		30		$t_{cyc}$	図 22.65
	単エッジ指定	$t_{FTCWH}$	1.5		1.5		1.5			
	パルス幅 両エッジ指定	$t_{FTCWL}$	2.5		2.5		2.5			
TMR	タイマ出力遅延時間	$t_{TMOD}$		100		50		50	ns	図 22.66
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50		30		30			
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		30		30			
	単エッジ指定	$t_{TMCWH}$	1.5		1.5		1.5		$t_{cyc}$	図 22.67
	パルス幅 両エッジ指定	$t_{TMCWL}$	2.5		2.5		2.5			
SCI	入カクロック サイクル	調歩同期	$t_{Scyc}$	4		4		4	$t_{cyc}$	図 22.69
		クロック同期		6		6		6		
	入カクロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	0.4	0.6	$t_{Scyc}$	
	入カクロック立ち上がり時間	$t_{SCKr}$		1.5		1.5		1.5	$t_{cyc}$	
	入カクロック立ち下がり時間	$t_{SCKf}$		1.5		1.5		1.5		
	送信データ遅延時間 ( クロック同期 )	$t_{TXD}$		100		50		50	ns	図 22.70
	受信データセットアップ時間 ( クロック同期 )	$t_{RXS}$	100		50		50			
	受信データホールド時間 ( クロック同期 )	$t_{RXH}$	100		50		50			
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	50		30		30	ns	図 22.71	

【注】 \* サブクロック動作時に使用可能な周辺モジュールのみ

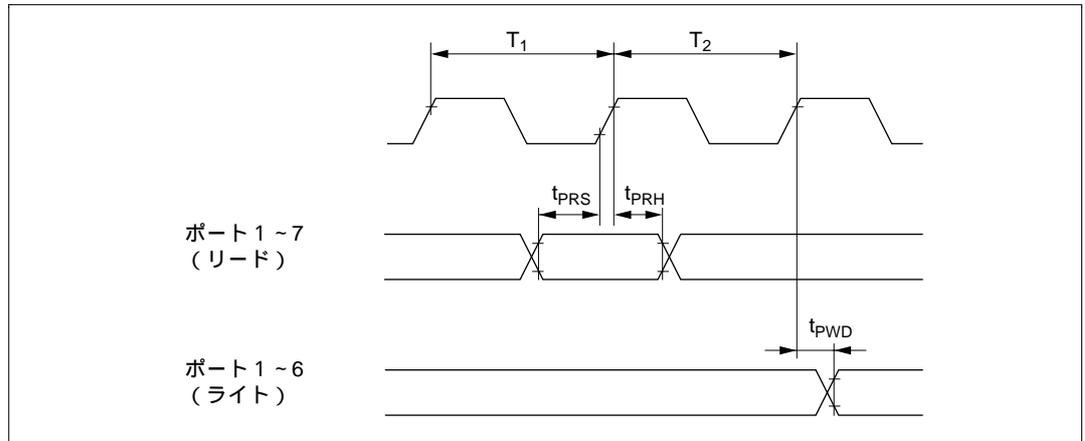


図 22.63 I/O ポート入出力タイミング

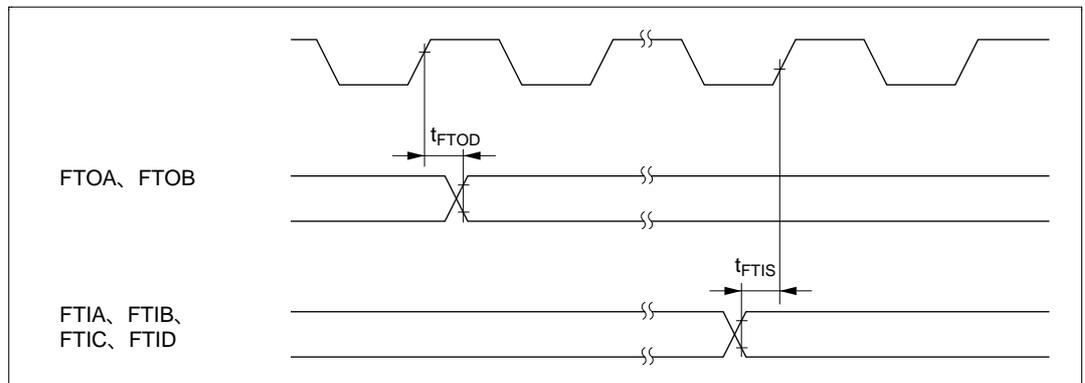


図 22.64 FRT 入出力タイミング

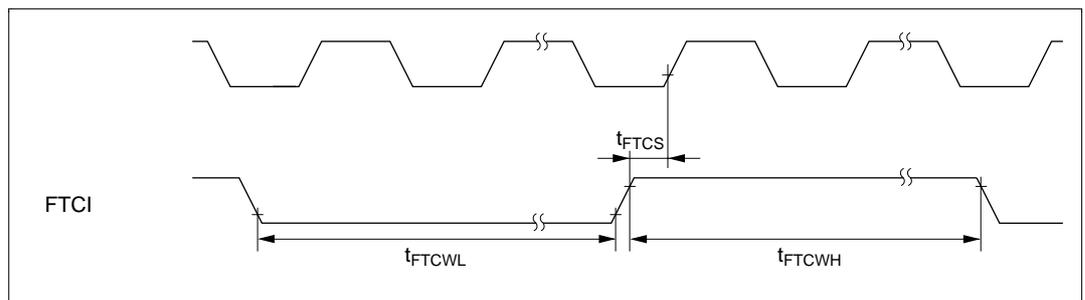


図 22.65 FRT クロック入力タイミング

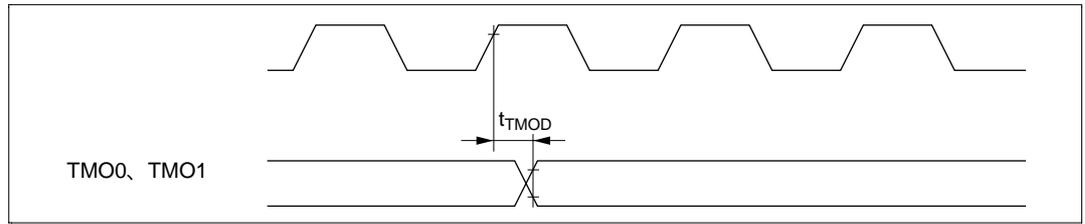


図 22.66 8 ビットタイマ出力タイミング

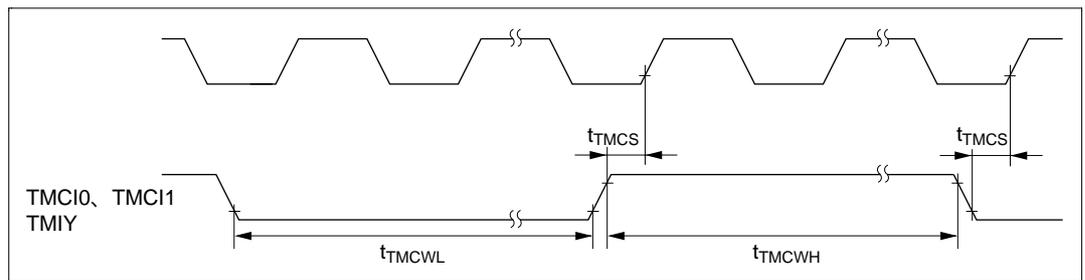


図 22.67 8 ビットタイマクロック入力タイミング

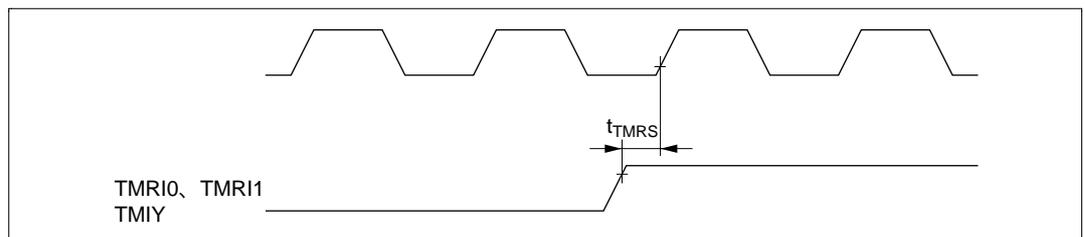


図 22.68 8 ビットタイマリセット入力タイミング

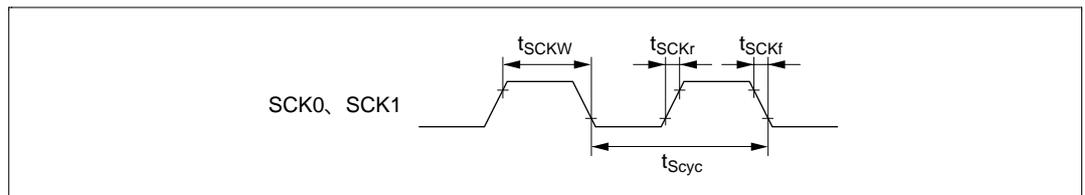


図 22.69 SCK クロック入力タイミング

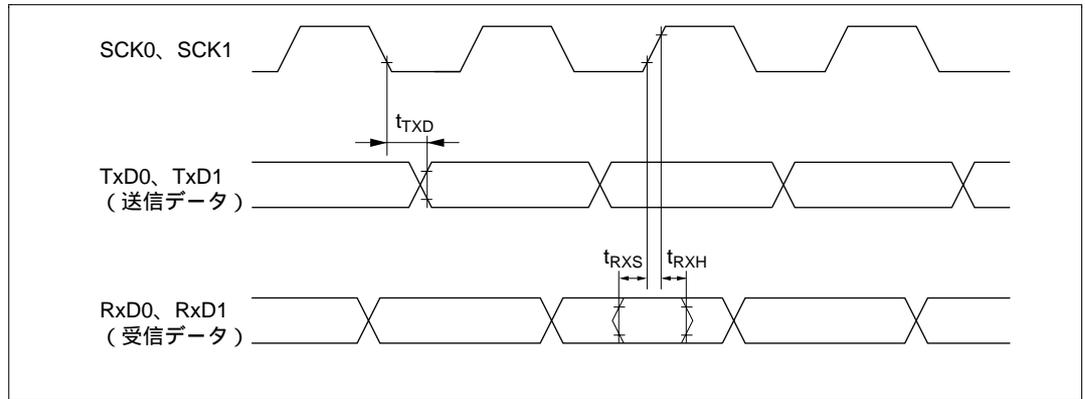


図 22.70 SCI 入出力タイミング/クロック同期式モード

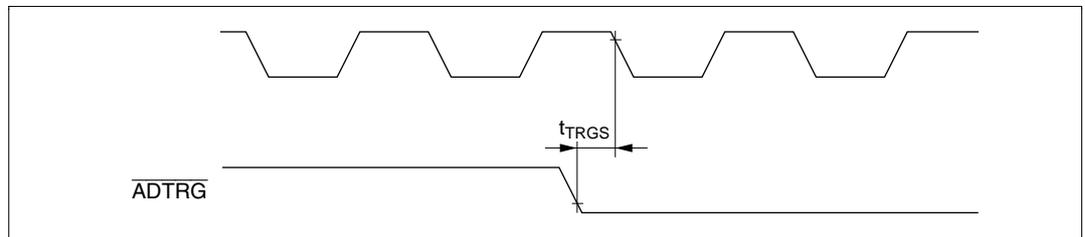


図 22.71 A/D 変換器外部トリガ入力タイミング

## 22.4.4 A/D 変換特性

A/D 変換特性を表 22.32、表 22.33 に示します。

表 22.32 A/D 変換特性 (AN7~AN0 入力: 134/266 ステート変換)

条件 A:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B:  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C:  $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*5			13.4			8.4			6.7	$\mu s$
アナログ入力容量			20			20			20	pF
許容信号源			$10^{*1}$			$10^{*3}$			$10^{*3}$	k
インピーダンス			$5^{*2}$			$5^{*4}$			$5^{*4}$	
非直線性誤差			$\pm 7.0$			$\pm 3.0$			$\pm 3.0$	LSB
オフセット誤差			$\pm 7.5$			$\pm 3.5$			$\pm 3.5$	LSB
フルスケール誤差			$\pm 7.5$			$\pm 3.5$			$\pm 3.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 4.0$			$\pm 4.0$	LSB

【注】 \*1 4.0V  $AV_{CC} = 5.5V$  のとき

\*2 2.7V  $AV_{CC} < 4.0V$  のとき

\*3 変換時間  $11.17 \mu s$  (CKS = 1 で 12MHz、または CKS = 0) のとき

\*4 変換時間  $< 11.17 \mu s$  (CKS = 1 で  $> 12MHz$ ) のとき

\*5 シングルモードで最大動作周波数のとき

表 22.33 A/D 変換特性 (CIN7 ~ CIN0 入力 : 134/266 ステート変換)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
= 2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*5			13.4			8.4			6.7	$\mu s$
アナログ入力容量			20			20			20	pF
許容信号源			$10^{*1}$			$10^{*3}$			$10^{*3}$	k
インピーダンス			$5^{*2}$			$5^{*4}$			$5^{*4}$	
非直線性誤差			$\pm 11.0$			$\pm 5.0$			$\pm 5.0$	LSB
オフセット誤差			$\pm 11.5$			$\pm 5.5$			$\pm 5.5$	LSB
フルスケール誤差			$\pm 11.5$			$\pm 5.5$			$\pm 5.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 12$			$\pm 6.0$			$\pm 6.0$	LSB

【注】 \*1 4.0V  $AV_{CC} = 5.5V$  のとき

\*2 2.7V  $AV_{CC} < 4.0V$  のとき

\*3 変換時間 11.17  $\mu s$  (CKS = 1 で 12MHz、または CKS = 0) のとき

\*4 変換時間 < 11.17  $\mu s$  (CKS = 1 で > 12MHz) のとき

\*5 シングルモードで最大動作周波数のとき

#### 22.4.5 使用上の注意

H8S/2128 F-ZTAT 版と H8S/2124 グループのマスク ROM 版は、内蔵モジュール機能の有無、ポート部 (P47、P52) の出力仕様の違いなど、製品仕様の相違があります。また、それぞれの F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

H8S/2128 F-ZTAT 版を使用してシステムの評価試験を行う場合には、上記の相違に注意してシステム的设计を行うとともに、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

---

# 付録

---

## 付録 目次

A.	命令	717
	A.1	命令セット一覧 717
	A.2	命令コード一覧 728
	A.3	オペレーションコードマップ 738
	A.4	命令実行ステート数 742
	A.5	命令実行中のバス状態 752
B.	内部 I/O レジスタ	762
	B.1	アドレス一覧 762
	B.2	レジスタ選択条件 767
	B.3	機能一覧 772
C.	I/O ポートのブロック図	838
	C.1	ポート 1 ブロック図 838
	C.2	ポート 2 ブロック図 840
	C.3	ポート 3 ブロック図 846
	C.4	ポート 4 ブロック図 847
	C.5	ポート 5 ブロック図 852
	C.6	ポート 6 ブロック図 855
	C.7	ポート 7 ブロック図 860
D.	端子状態	861
	D.1	各処理状態におけるポートの状態 861
E.	ハードウェアスタンバイモード遷移 / 復帰時の タイミングについて	862
	E.1	ハードウェアスタンバイモードの遷移タイミング 862
	E.2	ハードウェアスタンバイモードからの復帰タイミング 862
F.	ROM 発注手順	863
	F.1	ROM 書き換え品開発の流れ（発注手順） 863
	F.2	ROM 発注時の注意事項 864
G.	型名一覧	865

H. 外形寸法図.....866

## A. 命令

### A.1 命令セット一覧

#### 《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側) * <sup>1</sup>
Rs	汎用レジスタ (ソース側) * <sup>1</sup>
Rn	汎用レジスタ* <sup>1</sup>
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ) * <sup>2</sup>
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
( ) < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 \*<sup>1</sup> 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L)、16 ビット (R0~R7、E0~E7) または 32 ビット (ER0~ER7) です。

\*<sup>2</sup> MAC レジスタは本 LSI では使用できません。

## 《コンディションコード》

記 号	内 容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

(1) データ転送命令

二一モニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
MOV	MOV.B #xx:8,Rd	B	2								#xx:8 Rd8							1
	MOV.B Rs,Rd	B		2							Rs8 Rd8							1
	MOV.B @ERs,Rd	B			2						@ERs Rd8							2
	MOV.B @(d:16,ERs),Rd	B				4					@(d:16,ERs) Rd8							3
	MOV.B @(d:32,ERs),Rd	B					8				@(d:32,ERs) Rd8							5
	MOV.B @ERs+,Rd	B						2			@ERs Rd8,ERs32+1 ERs32							3
	MOV.B @aa:8,Rd	B							2		@aa:8 Rd8							2
	MOV.B @aa:16,Rd	B								4	@aa:16 Rd8							3
	MOV.B @aa:32,Rd	B								6	@aa:32 Rd8							4
	MOV.B Rs,@ERd	B			2						Rs8 @ERd							2
	MOV.B Rs,@(d:16,ERd)	B				4					Rs8 @(d:16,ERd)							3
	MOV.B Rs,@(d:32,ERd)	B					8				Rs8 @(d:32,ERd)							5
	MOV.B Rs,@-ERd	B						2			ERd32-1 ERd32,Rs8 @ERd							3
	MOV.B Rs,@aa:8	B							2		Rs8 @aa:8							2
	MOV.B Rs,@aa:16	B								4	Rs8 @aa:16							3
	MOV.B Rs,@aa:32	B								6	Rs8 @aa:32							4
	MOV.W #xx:16,Rd	W	4								#xx:16 Rd16							2
	MOV.W Rs,Rd	W		2							Rs16 Rd16							1
	MOV.W @ERs,Rd	W			2						@ERs Rd16							2
	MOV.W @(d:16,ERs),Rd	W				4					@(d:16,ERs) Rd16							3
	MOV.W @(d:32,ERs),Rd	W					8				@(d:32,ERs) Rd16							5
	MOV.W @ERs+,Rd	W						2			@ERs Rd16,ERs32+2 ERs32							3
	MOV.W @aa:16,Rd	W							4		@aa:16 Rd16							3
	MOV.W @aa:32,Rd	W								6	@aa:32 Rd16							4
	MOV.W Rs,@ERd	W			2						Rs16 @ERd							2
	MOV.W Rs,@(d:16,ERd)	W				4					Rs16 @(d:16,ERd)							3
	MOV.W Rs,@(d:32,ERd)	W					8				Rs16 @(d:32,ERd)							5
	MOV.W Rs,@-ERd	W						2			ERd32-2 ERd32,Rs16 @ERd							3
	MOV.W Rs,@aa:16	W							4		Rs16 @aa:16							3
	MOV.W Rs,@aa:32	W								6	Rs16 @aa:32							4
	MOV.L #xx:32,ERd	L	6								#xx:32 ERd32							3
	MOV.L ERs,ERd	L		2							ERs32 ERd32							1
MOV.L @ERs,ERd	L			4						@ERs ERd32							4	
MOV.L @(d:16,ERs),ERd	L				6					@(d:16,ERs) ERd32							5	
MOV.L @(d:32,ERs),ERd	L					10				@(d:32,ERs) ERd32							7	
MOV.L @ERs+,ERd	L						4			@ERs ERd32,ERs32+4 ERs32							5	
MOV.L @aa:16,ERd	L							6		@aa:16 ERd32							5	
MOV.L @aa:32,ERd	L								8	@aa:32 ERd32							6	
MOV.L ERs,@ERd	L			4						ERs32 @ERd							4	
MOV.L ERs,@(d:16,ERd)	L				6					ERs32 @(d:16,ERd)							5	
MOV.L ERs,@(d:32,ERd)	L					10				ERs32 @(d:32,ERd)							7	
MOV.L ERs,@-ERd	L						4			ERd32-4 ERd32,ERs32 @ERd							5	
MOV.L ERs,@aa:16	L							6		ERs32 @aa:16							5	
MOV.L ERs,@aa:32	L								8	ERs32 @aa:32							6	
POP	POP.W Rn	W						2	@SP Rn16,SP+2 SP								3	
	POP.L ERn	L						4	@SP ERn32,SP+4 SP								5	
PUSH	PUSH.W Rn	W						2	SP-2 SP,Rn16 @SP								3	
	PUSH.L ERn	L						4	SP-4 SP,ERn32 @SP								5	
LDM**4	LDM @SP+,(ERm-ERn)	L						4	(@SP ERn32,SP+4 SP) 復帰本数分繰り返し								7/9/11 [ 1 ]	
STM**4	STM (ERm-ERn),@-SP	L						4	(SP-4 SP,ERn32 @SP) 退避本数分繰り返し								7/9/11 [ 1 ]	
MOVFPE	MOVFPE @aa:16,Rd																[ 2 ]	
MOVTPPE	MOVTPPE Rs,@aa:16																[ 2 ]	
本LSIでは使用できません。																		

(2) 算術演算命令

二ノミック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行ステート数*1			
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンス	
ADD	ADD.B #xx:8,Rd	B	2							Rd8+#xx:8 Rd8		↑	↑	↑	↑	↑	↑	1	
	ADD.B Rs,Rd	B	2							Rd8+Rs8 Rd8		↑	↑	↑	↑	↑	↑	1	
	ADD.W #xx:16,Rd	W	4							Rd16+#xx:16 Rd16		3	↑	↑	↑	↑	↑	2	
	ADD.W Rs,Rd	W	2							Rd16+Rs16 Rd16		3	↑	↑	↑	↑	↑	1	
	ADD.L #xx:32,ERd	L	6							ERd32+#xx:32 ERd32		4	↑	↑	↑	↑	↑	3	
ADDX	ADD.L ERs,ERd	L	2							ERd32+ERs32 ERd32		4	↑	↑	↑	↑	↑	1	
	ADDX #xx:8,Rd	B	2							Rd8+#xx:8+C Rd8		↑	↑	5	↑	↑	↑	1	
ADDS	ADDX Rs,Rd	B	2							Rd8+Rs8+C Rd8		↑	↑	5	↑	↑	↑	1	
	ADDS #1,ERd	L	2							ERd32+1 ERd32								1	
	ADDS #2,ERd	L	2							ERd32+2 ERd32								1	
INC	ADDS #4,ERd	L	2							ERd32+4 ERd32								1	
	INC.B Rd	B	2							Rd8+1 Rd8		↑	↑	↑	↑	↑	↑	1	
	INC.W #1,Rd	W	2							Rd16+1 Rd16		↑	↑	↑	↑	↑	↑	1	
	INC.W #2,Rd	W	2							Rd16+2 Rd16		↑	↑	↑	↑	↑	↑	1	
DAA	INC.L #1,ERd	L	2							ERd32+1 ERd32		↑	↑	↑	↑	↑	↑	1	
	INC.L #2,ERd	L	2							ERd32+2 ERd32		↑	↑	↑	↑	↑	↑	1	
	DAA Rd	B	2							Rd8 10進補正 Rd8		*	↑	↑	*	↑	↑	1	
	SUB	SUB.B Rs,Rd	B	2							Rd8-Rs8 Rd8		↑	↑	↑	↑	↑	↑	1
SUB.W #xx:16,Rd		W	4							Rd16-#xx:16 Rd16		3	↑	↑	↑	↑	↑	2	
SUB.W Rs,Rd		W	2							Rd16-Rs16 Rd16		3	↑	↑	↑	↑	↑	1	
SUB.L #xx:32,ERd		L	6							ERd32-#xx:32 ERd32		4	↑	↑	↑	↑	↑	3	
SUB.L ERs,ERd		L	2							ERd32-ERs32 ERd32		4	↑	↑	↑	↑	↑	1	
SUBX	SUBX #xx:8,Rd	B	2							Rd8-#xx:8-C Rd8		↑	↑	5	↑	↑	↑	1	
	SUBX Rs,Rd	B	2							Rd8-Rs8-C Rd8		↑	↑	5	↑	↑	↑	1	
SUBS	SUBS #1,ERd	L	2							ERd32-1 ERd32								1	
	SUBS #2,ERd	L	2							ERd32-2 ERd32								1	
	SUBS #4,ERd	L	2							ERd32-4 ERd32								1	
DEC	DEC.B Rd	B	2							Rd8-1 Rd8		↑	↑	↑	↑	↑	↑	1	
	DEC.W #1,Rd	W	2							Rd16-1 Rd16		↑	↑	↑	↑	↑	↑	1	
	DEC.W #2,Rd	W	2							Rd16-2 Rd16		↑	↑	↑	↑	↑	↑	1	
	DEC.L #1,ERd	L	2							ERd32-1 ERd32		↑	↑	↑	↑	↑	↑	1	
	DEC.L #2,ERd	L	2							ERd32-2 ERd32		↑	↑	↑	↑	↑	↑	1	
DAS	DAS Rd	B	2							Rd8 10進補正 Rd8		*	↑	↑	*	↑	↑	1	
MULXU	MULXU.B Rs,Rd	B	2							Rd8 × Rs8 Rd16 (符号なし乗算)								12	
	MULXU.W Rs,ERd	W	2							Rd16 × Rs16 ERd32 (符号なし乗算)								20	
MULXS	MULXS.B Rs,Rd	B	4							Rd8 × Rs8 Rd16 (符号付き乗算)		↑	↑					13	
	MULXS.W Rs,ERd	W	4							Rd16 × Rs16 ERd32 (符号付き乗算)		↑	↑					21	
DIVXU	DIVXU.B Rs,Rd	B	2							Rd16 ÷ Rs8 Rd16 (RdH: 余り, RdL: 商) (符号なし除算)		6	↑	7				12	
	DIVXU.W Rs,ERd	W	2							ERd32 ÷ Rs16 ERd32 (Ed: 余り, Rd: 商) (符号なし除算)		6	↑	7				20	
DIVXS	DIVXS.B Rs,Rd	B	4							Rd16 ÷ Rs8 Rd16 (RdH: 余り, RdL: 商) (符号付き除算)		8	↑	7				13	
	DIVXS.W Rs,ERd	W	4							ERd32 ÷ Rs16 ERd32 (Ed: 余り, Rd: 商) (符号付き除算)		8	↑	7				21	
CMP	CMP.B #xx:8,Rd	B	2							Rd8-#xx:8		↑	↑	↑	↑	↑	↑	1	
	CMP.B Rs,Rd	B	2							Rd8-Rs8		↑	↑	↑	↑	↑	↑	1	
	CMP.W #xx:16,Rd	W	4							Rd16-#xx:16		3	↑	↑	↑	↑	↑	2	
	CMP.W Rs,Rd	W	2							Rd16-Rs16		3	↑	↑	↑	↑	↑	1	
	CMP.L #xx:32,ERd	L	6							ERd32-#xx:32		4	↑	↑	↑	↑	↑	3	
NEG	CMP.L ERs,ERd	L	2							ERd32-ERs32		4	↑	↑	↑	↑	↑	1	
	NEG.B Rd	B	2							0-Rd8 Rd8		↑	↑	↑	↑	↑	↑	1	
	NEG.W Rd	W	2							0-Rd16 Rd16		↑	↑	↑	↑	↑	↑	1	
EXTU	NEG.L ERd	L	2							0-ERd32 ERd32		↑	↑	↑	↑	↑	↑	1	
	EXTU.W Rd	W	2							0 (<ビット15-8> of Rd16)		0	↑	0				1	
EXTS	EXTU.L ERd	L	2							0 (<ビット31-16> of ERd32)		0	↑	0				1	
	EXTS.W Rd	W	2							<ビット7> of Rd16 <ビット15-8> of Rd16		↑	↑	0				1	
	EXTS.L ERd	L	2							<ビット15> of ERd32 <ビット31-16> of ERd32		↑	↑	0				1	
TAS	TAS @ERd <sup>es</sup>	B			4					@ERd-0 CCRセット, (1) <ビット7> of @ERd		↑	↑	0				4	
MAC	MAC @ERn+,@ERm+																	[ 2 ]	
CLRMAC	CLRMAC	本LSIでは使用できません。																	
LDMAC	LDMAC ERs,MACH																		
	LDMAC ERs,MACL																		
STMAC	STMAC MACH,ERd																		

## (3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行 ステート数*1		
		#xx	Rn	@ERn	@(t,ERn)	@-ERn/@ERn+	@aa	@(t,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
AND	AND.B #xx:8,Rd	B	2								Rd8^#xx:8 Rd8			↑	↑	0		1
	AND.B Rs,Rd	B	2								Rd8^Rs8 Rd8			↑	↑	0		1
	AND.W #xx:16,Rd	W	4								Rd16^#xx:16 Rd16			↑	↑	0		2
	AND.W Rs,Rd	W	4								Rd16^Rs16 Rd16			↑	↑	0		1
	AND.L #xx:32,ERd	L	6								ERd32^#xx:32 ERd32			↑	↑	0		3
	AND.L ERs,ERd	L	6	4							ERd32^ERs32 ERd32			↑	↑	0		2
OR	OR.B #xx:8,Rd	B	2								Rd8v#xx:8 Rd8			↑	↑	0		1
	OR.B Rs,Rd	B	2								Rd8vRs8 Rd8			↑	↑	0		1
	OR.W #xx:16,Rd	W	4								Rd16v#xx:16 Rd16			↑	↑	0		2
	OR.W Rs,Rd	W	4								Rd16vRs16 Rd16			↑	↑	0		1
	OR.L #xx:32,ERd	L	6								ERd32v#xx:32 ERd32			↑	↑	0		3
	OR.L ERs,ERd	L	6	4							ERd32vERs32 ERd32			↑	↑	0		2
XOR	XOR.B #xx:8,Rd	B	2								Rd8@#xx:8 Rd8			↑	↑	0		1
	XOR.B Rs,Rd	B	2								Rd8@Rs8 Rd8			↑	↑	0		1
	XOR.W #xx:16,Rd	W	4								Rd16@#xx:16 Rd16			↑	↑	0		2
	XOR.W Rs,Rd	W	4								Rd16@Rs16 Rd16			↑	↑	0		1
	XOR.L #xx:32,ERd	L	6								ERd32@#xx:32 ERd32			↑	↑	0		3
	XOR.L ERs,ERd	L	6	4							ERd32@ERs32 ERd32			↑	↑	0		2
NOT	NOT.B Rd	B	2								~Rd8 Rd8			↑	↑	0		1
	NOT.W Rd	W	4								~Rd16 Rd16			↑	↑	0		1
	NOT.L ERd	L	6								~ERd32 ERd32			↑	↑	0		1

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
SHAL	SHAL.B Rd	B	2								↑	↑	↑	↑	↑		1	
	SHAL.B #2,Rd	B	2									↑	↑	↑	↑	↑		1
	SHAL.W Rd	W	2									↑	↑	↑	↑	↑		1
	SHAL.W #2,Rd	W	2									↑	↑	↑	↑	↑		1
	SHAL.L ERd	L	2									↑	↑	↑	↑	↑		1
SHAL.L #2,ERd	L	2									↑	↑	↑	↑	↑		1	
SHAR	SHAR.B Rd	B	2								↑	↑	↑	0	↑		1	
	SHAR.B #2,Rd	B	2									↑	↑	0	↑		1	
	SHAR.W Rd	W	2									↑	↑	0	↑		1	
	SHAR.W #2,Rd	W	2									↑	↑	0	↑		1	
	SHAR.L ERd	L	2									↑	↑	0	↑		1	
SHAR.L #2,ERd	L	2									↑	↑	0	↑		1		
SHLL	SHLL.B Rd	B	2								↑	↑	↑	0	↑		1	
	SHLL.B #2,Rd	B	2									↑	↑	0	↑		1	
	SHLL.W Rd	W	2									↑	↑	0	↑		1	
	SHLL.W #2,Rd	W	2									↑	↑	0	↑		1	
	SHLL.L ERd	L	2									↑	↑	0	↑		1	
SHLL.L #2,ERd	L	2									↑	↑	0	↑		1		
SHLR	SHLR.B Rd	B	2								0	↑	0	↑			1	
	SHLR.B #2,Rd	B	2									0	↑	0	↑		1	
	SHLR.W Rd	W	2									0	↑	0	↑		1	
	SHLR.W #2,Rd	W	2									0	↑	0	↑		1	
	SHLR.L ERd	L	2									0	↑	0	↑		1	
SHLR.L #2,ERd	L	2									0	↑	0	↑		1		
ROTXL	ROTXL.B Rd	B	2								↑	↑	↑	0	↑		1	
	ROTXL.B #2,Rd	B	2									↑	↑	0	↑		1	
	ROTXL.W Rd	W	2									↑	↑	0	↑		1	
	ROTXL.W #2,Rd	W	2									↑	↑	0	↑		1	
	ROTXL.L ERd	L	2									↑	↑	0	↑		1	
ROTXL.L #2,ERd	L	2									↑	↑	0	↑		1		
ROTXR	ROTXR.B Rd	B	2								↑	↑	↑	0	↑		1	
	ROTXR.B #2,Rd	B	2									↑	↑	0	↑		1	
	ROTXR.W Rd	W	2									↑	↑	0	↑		1	
	ROTXR.W #2,Rd	W	2									↑	↑	0	↑		1	
	ROTXR.L ERd	L	2									↑	↑	0	↑		1	
ROTXR.L #2,ERd	L	2									↑	↑	0	↑		1		
ROTL	ROTL.B Rd	B	2								↑	↑	↑	0	↑		1	
	ROTL.B #2,Rd	B	2									↑	↑	0	↑		1	
	ROTL.W Rd	W	2									↑	↑	0	↑		1	
	ROTL.W #2,Rd	W	2									↑	↑	0	↑		1	
	ROTL.L ERd	L	2									↑	↑	0	↑		1	
ROTL.L #2,ERd	L	2									↑	↑	0	↑		1		
ROTR	ROTR.B Rd	B	2								↑	↑	↑	0	↑		1	
	ROTR.B #2,Rd	B	2									↑	↑	0	↑		1	
	ROTR.W Rd	W	2									↑	↑	0	↑		1	
	ROTR.W #2,Rd	W	2									↑	↑	0	↑		1	
	ROTR.L ERd	L	2									↑	↑	0	↑		1	
ROTR.L #2,ERd	L	2									↑	↑	0	↑		1		

## (5) ビット操作命令

二一モニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@d,ERn	@-ERn/@ERn+	@aa	@d,PC	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
BSET	BSET #xx:3,Rd	B	2							(#xx:3 of Rd8) 1							1	
	BSET #xx:3,@ERd	B		4						(#xx:3 of @ERd) 1							4	
	BSET #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) 1							4	
	BSET #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) 1							5	
	BSET #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) 1							6	
	BSET Rn,Rd	B	2								(Rn8 of Rd8) 1						1	
	BSET Rn,@ERd	B		4							(Rn8 of @ERd) 1						4	
	BSET Rn,@aa:8	B					4				(Rn8 of @aa:8) 1						4	
	BSET Rn,@aa:16	B					6				(Rn8 of @aa:16) 1						5	
BSET Rn,@aa:32	B					8				(Rn8 of @aa:32) 1						6		
BCLR	BCLR #xx:3,Rd	B	2							(#xx:3 of Rd8) 0							1	
	BCLR #xx:3,@ERd	B		4						(#xx:3 of @ERd) 0							4	
	BCLR #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) 0							4	
	BCLR #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) 0							5	
	BCLR #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) 0							6	
	BCLR Rn,Rd	B	2								(Rn8 of Rd8) 0						1	
	BCLR Rn,@ERd	B		4							(Rn8 of @ERd) 0						4	
	BCLR Rn,@aa:8	B					4				(Rn8 of @aa:8) 0						4	
	BCLR Rn,@aa:16	B					6				(Rn8 of @aa:16) 0						5	
BCLR Rn,@aa:32	B					8				(Rn8 of @aa:32) 0						6		
BNOT	BNOT #xx:3,Rd	B	2							(#xx:3 of Rd8) [-#xx:3 of Rd8]							1	
	BNOT #xx:3,@ERd	B		4						(#xx:3 of @ERd) [-#xx:3 of @ERd]							4	
	BNOT #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) [-#xx:3 of @aa:8]							4	
	BNOT #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) [-#xx:3 of @aa:16]							5	
	BNOT #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) [-#xx:3 of @aa:32]							6	
	BNOT Rn,Rd	B	2							(Rn8 of Rd8) [- (Rn8 of Rd8)]							1	
	BNOT Rn,@ERd	B		4						(Rn8 of @ERd) [- (Rn8 of @ERd)]							4	
	BNOT Rn,@aa:8	B					4			(Rn8 of @aa:8) [- (Rn8 of @aa:8)]							4	
	BNOT Rn,@aa:16	B					6			(Rn8 of @aa:16) [- (Rn8 of @aa:16)]							5	
BNOT Rn,@aa:32	B					8			(Rn8 of @aa:32) [- (Rn8 of @aa:32)]							6		
BTST	BTST #xx:3,Rd	B	2							~(#xx:3 of Rd8) Z							1	
	BTST #xx:3,@ERd	B		4						~(#xx:3 of @ERd) Z							3	
	BTST #xx:3,@aa:8	B					4			~(#xx:3 of @aa:8) Z							3	
	BTST #xx:3,@aa:16	B					6			~(#xx:3 of @aa:16) Z							4	
	BTST #xx:3,@aa:32	B					8			~(#xx:3 of @aa:32) Z							5	
	BTST Rn,Rd	B	2							~ (Rn8 of Rd8) Z							1	
	BTST Rn,@ERd	B		4						~ (Rn8 of @ERd) Z							3	
	BTST Rn,@aa:8	B					4			~ (Rn8 of @aa:8) Z							3	
	BTST Rn,@aa:16	B					6			~ (Rn8 of @aa:16) Z							4	
BTST Rn,@aa:32	B					8			~ (Rn8 of @aa:32) Z							5		
BLD	BLD #xx:3,Rd	B	2							(#xx:3 of Rd8) C							1	
	BLD #xx:3,@ERd	B		4						(#xx:3 of @ERd) C							3	
	BLD #xx:3,@aa:8	B					4			(#xx:3 of @aa:8) C							3	
	BLD #xx:3,@aa:16	B					6			(#xx:3 of @aa:16) C							4	
	BLD #xx:3,@aa:32	B					8			(#xx:3 of @aa:32) C							5	
BILD	BILD #xx:3,Rd	B	2							~(#xx:3 of Rd8) C							1	
	BILD #xx:3,@ERd	B		4						~(#xx:3 of @ERd) C							3	
	BILD #xx:3,@aa:8	B					4			~(#xx:3 of @aa:8) C							3	
	BILD #xx:3,@aa:16	B					6			~(#xx:3 of @aa:16) C							4	
	BILD #xx:3,@aa:32	B					8			~(#xx:3 of @aa:32) C							5	
BST	BST #xx:3,Rd	B	2							C (#xx:3 of Rd8)							1	
	BST #xx:3,@ERd	B		4						C (#xx:3 of @ERd)							4	
	BST #xx:3,@aa:8	B					4			C (#xx:3 of @aa:8)							4	
	BST #xx:3,@aa:16	B					6			C (#xx:3 of @aa:16)							5	
	BST #xx:3,@aa:32	B					8			C (#xx:3 of @aa:32)							6	
BIST	BIST #xx:3,Rd	B	2							~ C (#xx:3 of Rd8)							1	
	BIST #xx:3,@ERd	B		4						~ C (#xx:3 of @ERd)							4	
	BIST #xx:3,@aa:8	B					4			~ C (#xx:3 of @aa:8)							4	
	BIST #xx:3,@aa:16	B					6			~ C (#xx:3 of @aa:16)							5	
BIST #xx:3,@aa:32	B					8			~ C (#xx:3 of @aa:32)							6		
BAND	BAND #xx:3,Rd	B	2							C^(#xx:3 of Rd8) C							1	
	BAND #xx:3,@ERd	B		4						C^(#xx:3 of @ERd) C							3	
	BAND #xx:3,@aa:8	B					4			C^(#xx:3 of @aa:8) C							3	
	BAND #xx:3,@aa:16	B					6			C^(#xx:3 of @aa:16) C							4	
	BAND #xx:3,@aa:32	B					8			C^(#xx:3 of @aa:32) C							5	

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@d(ERn)	@-ERn/@ERn+	@aa	@d(PC)	@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
BIAND	BIAND #xx:3,Rd	B		2														1
	BIAND #xx:3,@ERd	B			4													3
	BIAND #xx:3,@aa:8	B						4										3
	BIAND #xx:3,@aa:16	B						6										4
	BIAND #xx:3,@aa:32	B						8										5
BOR	BOR #xx:3,Rd	B		2														1
	BOR #xx:3,@ERd	B			4													3
	BOR #xx:3,@aa:8	B						4										3
	BOR #xx:3,@aa:16	B						6										4
	BOR #xx:3,@aa:32	B						8										5
BIOR	BIOR #xx:3,Rd	B		2														1
	BIOR #xx:3,@ERd	B			4													3
	BIOR #xx:3,@aa:8	B						4										3
	BIOR #xx:3,@aa:16	B						6										4
	BIOR #xx:3,@aa:32	B						8										5
BXOR	BXOR #xx:3,Rd	B		2														1
	BXOR #xx:3,@ERd	B			4													3
	BXOR #xx:3,@aa:8	B						4										3
	BXOR #xx:3,@aa:16	B						6										4
	BXOR #xx:3,@aa:32	B						8										5
BIXOR	BIXOR #xx:3,Rd	B		2														1
	BIXOR #xx:3,@ERd	B			4													3
	BIXOR #xx:3,@aa:8	B						4										3
	BIXOR #xx:3,@aa:16	B						6										4
	BIXOR #xx:3,@aa:32	B						8										5

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード						実行ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn@ERn+	@aa	@ (d,PC)	@@aa		分岐条件	I	H	N	Z	V	C	ノーマル	アドバンスト
Bcc	BRA d:8(BT d:8)							2		if condition is true then PC PC + d else next;	Always							2	
	BRA d:16(BT d:16)							4			Never							2	
	BRN d:8(BF d:8)							2			CvZ=0							2	
	BRN d:16(BF d:16)							4			CvZ=1							2	
	BHI d:8							2			C=0							2	
	BHI d:16							4			C=1							2	
	BLS d:8							2			Z=0							2	
	BLS d:16							4			Z=1							2	
	BCC d:8(BHS d:8)							2			V=0							2	
	BCC d:16(BHS d:16)							4			V=1							2	
	BCC d:8(BLO d:8)							2			N=0							2	
	BCC d:16(BLO d:16)							4			N=1							2	
	BNE d:8							2			N@V=0							2	
	BNE d:16							4			N@V=1							2	
	BEQ d:8							2			Zv(N@V)=0							2	
	BEQ d:16							4			Zv(N@V)=1							2	
	BVC d:8							2										2	
	BVC d:16							4										2	
	BVS d:8							2										2	
	BVS d:16							4										2	
	BPL d:8							2										2	
	BPL d:16							4										2	
	BMI d:8							2										2	
	BMI d:16							4										2	
	BGE d:8							2										2	
	BGE d:16							4										2	
	BLT d:8							2										2	
	BLT d:16							4										2	
	BGT d:8							2										2	
	BGT d:16							4										2	
	BLE d:8							2										2	
	BLE d:16							4										2	
JMP	JMP @ERn			2						PC ERn							2		
	JMP @aa:24						4			PC aa:24							3		
	JMP @@aa:8							2		PC @aa:8						4	5		
BSR	BSR d:8						2			PC @-SP,PC PC+d:8						3	4		
	BSR d:16						4			PC @-SP,PC PC+d:16						4	5		
JSR	JSR @ERn			2						PC @-SP,PC ERn						3	4		
	JSR @aa:24						4			PC @-SP,PC aa:24						4	5		
	JSR @@aa:8							2		PC @-SP,PC @aa:8						4	6		
RTS	RTS							2		PC @SP+						4	5		

(7) システム制御命令

二一モニツク	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@ (d.ERn)	@.ERn/@ERn+	@aa	@ (d.PC)	@@aa		I	H	N	Z	V	C	ノ一マル	アドバンスト
TRAPA	TRAPA #xx:2									PC @-SP,CCR @-SP, EXR @-SP,<ベクタ> PC	1						7 [9]	8 [9]
RTE	RTE									EXR @SP+,CCR @SP+, PC @SP+	↑	↑	↑	↑	↑	↑	5 [9]	
SLEEP	SLEEP									低消費電力状態に遷移								2
LDC	LDC #xx:8,CCR	B	2							#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	LDC #xx:8,EXR	B	4							#xx:8 EXR								2
	LDC Rs,CCR	B		2						Rs8 CCR	↑	↑	↑	↑	↑	↑		1
	LDC Rs,EXR	B		2						Rs8 EXR								1
	LDC @ERs,CCR	W			4					@ERs CCR	↑	↑	↑	↑	↑	↑		3
	LDC @ERs,EXR	W			4					@ERs EXR								3
	LDC @ (d:16,ERs),CCR	W				6				@ (d:16,ERs) CCR	↑	↑	↑	↑	↑	↑		4
	LDC @ (d:16,ERs),EXR	W				6				@ (d:16,ERs) EXR								4
	LDC @ (d:32,ERs),CCR	W				10				@ (d:32,ERs) CCR	↑	↑	↑	↑	↑	↑		6
	LDC @ (d:32,ERs),EXR	W				10				@ (d:32,ERs) EXR								6
	LDC @ERs+,CCR	W					4			@ERs CCR,ERs32+2 ERs32	↑	↑	↑	↑	↑	↑		4
	LDC @ERs+,EXR	W					4			@ERs EXR,ERs32+2 ERs32								4
	LDC @aa:16,CCR	W						6		@aa:16 CCR	↑	↑	↑	↑	↑	↑		4
	LDC @aa:16,EXR	W						6		@aa:16 EXR								4
LDC @aa:32,CCR	W							8	@aa:32 CCR	↑	↑	↑	↑	↑	↑		5	
LDC @aa:32,EXR	W							8	@aa:32 EXR								5	
STC	STC CCR,Rd	B		2						CCR Rd8								1
	STC EXR,Rd	B		2						EXR Rd8								1
	STC CCR,@ERd	W			4					CCR @ERd								3
	STC EXR,@ERd	W			4					EXR @ERd								3
	STC CCR,@ (d:16,ERd)	W				6				CCR @ (d:16,ERd)								4
	STC EXR,@ (d:16,ERd)	W				6				EXR @ (d:16,ERd)								4
	STC CCR,@ (d:32,ERd)	W				10				CCR @ (d:32,ERd)								6
	STC EXR,@ (d:32,ERd)	W				10				EXR @ (d:32,ERd)								6
	STC CCR,@-ERd	W					4			ERd32-2 ERd32,CCR @ERd								4
	STC EXR,@-ERd	W					4			ERd32-2 ERd32,EXR @ERd								4
	STC CCR,@aa:16	W						6		CCR @aa:16								4
	STC EXR,@aa:16	W						6		EXR @aa:16								4
	STC CCR,@aa:32	W							8	CCR @aa:32								5
	STC EXR,@aa:32	W							8	EXR @aa:32								5
ANDC	ANDC #xx:8,CCR	B	2							CCR^#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	ANDC #xx:8,EXR	B	4							EXR^#xx:8 EXR								2
ORC	ORC #xx:8,CCR	B	2							CCR v#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	ORC #xx:8,EXR	B	4							EXR v#xx:8 EXR								2
XORC	XORC #xx:8,CCR	B	2							CCR @#xx:8 CCR	↑	↑	↑	↑	↑	↑		1
	XORC #xx:8,EXR	B	4							EXR @#xx:8 EXR								2
NOP	NOP								2	PC PC+2								1

## (8) ブロック転送命令

二 ー モ ニ ッ ク	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
		EEPMOV	EEPMOV.B									4	if R4L≠0 Repeat @ER5 @ER6 R5+1 R5 R6+1 R6 R4-1 R4L Until R4L=0 else next;					
	EEPMOV.W								4	if R4≠0 Repeat @ER5 @ER6 R5+1 R5 R6+1 R6 R4-1 R4 Until R4=0 else next;							4+2n *2	

【注】 \*1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

\*2 nはR4LまたはR4の初期設定値です。

\*3 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

\*4 STM/LDM命令においては、ER7レジスタはスタックポインタであるため、退避(STM) / 復帰(LDM) できるレジスタとしては使えません。

[1] 復帰/退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。

[2] 本LSIでは使用できません。

[3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[5] 演算結果が0(ゼロ)のとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数が0(ゼロ)のとき1にセットされ、それ以外のとき0にクリアされます。

[8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

[9] EXRが有効のとき、実行ステート数は1ステート多くなります。

## A.2 命令コード一覧

A.2 命令コード一覧

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
ADD	ADD.B #xx:8,Rd	B	8	rd	IMM																
	ADD.B Rs,Rd	B	0	8	rs	rd															
	ADD.W #xx:16,Rd	W	7	9	1	rd	IMM														
	ADD.W Rs,Rd	W	0	9	rs	rd															
ADDS	ADD.L #xx:32,ERd	L	7	A	1	0:erd				IMM											
	ADD.L ERs,ERd	L	0	A	1:ers	0:erd															
	ADDS#1,ERd	L	0	B	0	0:erd															
	ADDS#2,ERd	L	0	B	8	0:erd															
ADDX	ADDS#4,ERd	L	0	B	9	0:erd															
	ADDX #xx:8,Rd	B	9	rd	IMM																
	ADDX Rs,Rd	B	0	E	rs	rd															
	AND.B #xx:8,Rd	B	E	rd	IMM																
AND	AND.B Rs,Rd	B	1	6	rs	rd															
	AND.W #xx:16,Rd	W	7	9	6	rd	IMM														
	AND.W Rs,Rd	W	6	6	rs	rd															
	AND.L #xx:32,ERd	L	7	A	6	0:erd				IMM											
ANDC	AND.L ERs,ERd	L	0	1	F	0	6	6	0:ers	0:erd											
	ANDC #xx:8,CCR	B	0	6	IMM																
	ANDC #xx:8,EXR	B	0	1	4	1	0	6	IMM												
	BAND #xx:3,Rd	B	7	6	0:IMM	rd															
BAND	BAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	0:IMM	0											
	BAND #xx:3,@aa8	B	7	E	abs	0	7	6	0:IMM	0											
	BAND #xx:3,@aa:16	B	6	A	1	0	abs	7	6	0:IMM	0										
	BAND #xx:3,@aa:32	B	6	A	3	0	abs	7	6	0:IMM	0										
Bcc	BRA d:8 (BT d:8)	-	4	0	disp																
	BRA d:16 (BT d:16)	-	5	8	0	0	disp														
	BRN d:8 (BF d:8)	-	4	1	disp																
	BRN d:16 (BF d:16)	-	5	8	1	0	disp														
	BHI d:8	-	4	2	disp																
	BHI d:16	-	5	8	2	0	disp														
	BLS d:8	-	4	3	disp																
	BLS d:16	-	5	8	3	0	disp														
	BCC d:8 (BHS d:8)	-	4	4	disp																
	BCC d:16 (BHS d:16)	-	5	8	4	0	disp														
	BCS d:8 (BLO d:8)	-	4	5	disp																
	BCS d:16 (BLO d:16)	-	5	8	5	0	disp														
	BNE d:8	-	4	6	disp																
	BNE d:16	-	5	8	6	0	disp														
	BEQ d:8	-	4	7	disp																
	BEQ d:16	-	5	8	7	0	disp														
BVC d:8	-	4	8	disp																	
BVC d:16	-	5	8	8	0	disp															
BVS d:8	-	4	9	disp																	
BVS d:16	-	5	8	9	0	disp															

命令	二 ー モ ニ ッ ク	サ イ ズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
Bcc ( 続 き )	BPL d:8	- 4	A	disp																	
	BPL d:16	- 5	8	A	0	disp															
	BMI d:8	- 4	B	disp																	
	BMI d:16	- 5	8	B	0	disp															
	BGE d:8	- 4	C	disp																	
	BGE d:16	- 5	8	C	0	disp															
	BLT d:8	- 4	D	disp																	
	BLT d:16	- 5	8	D	0	disp															
	BGT d:8	- 4	E	disp																	
	BGT d:16	- 5	8	E	0	disp															
	BLE d:8	- 4	F	disp																	
	BLE d:16	- 5	8	F	0	disp															
	BCLR	BCLR #xx:3,Rd	B 7	2	0:IMM; rd																
		BCLR #xx:3,@ERd	B 7	D	0:erd; 0	7	2	0:IMM; 0													
		BCLR #xx:3,@aa:8	B 7	F	abs	7	2	0:IMM; 0													
		BCLR #xx:3,@aa:16	B 6	A	1	8	abs	7	2	0:IMM; 0											
BCLR #xx:3,@aa:32		B 6	A	3	8	abs															
BCLR Rn,Rd		B 6	2	rn	rd																
BCLR Rn,@ERd		B 7	D	0:erd; 0	6	2	rn	0													
BCLR Rn,@aa:8		B 7	F	abs	6	2	rn	0													
BCLR Rn,@aa:16		B 6	A	1	8	abs	6	2	rn	0											
BCLR Rn,@aa:32		B 6	A	3	8	abs															
BIAND	BIAND #xx:3,Rd	B 7	6	1:IMM; rd																	
	BIAND #xx:3,@ERd	B 7	C	0:erd; 0	7	6	1:IMM; 0														
	BIAND #xx:3,@aa:8	B 7	E	abs	7	6	1:IMM; 0														
	BIAND #xx:3,@aa:16	B 6	A	1	0	abs	7	6	1:IMM; 0												
	BIAND #xx:3,@aa:32	B 6	A	3	0	abs															
	BILD #xx:3,Rd	B 7	7	1:IMM; rd																	
	BILD #xx:3,@ERd	B 7	C	0:erd; 0	7	7	1:IMM; 0														
	BILD #xx:3,@aa:8	B 7	E	abs	7	7	1:IMM; 0														
BIOR	BILD #xx:3,@aa:16	B 6	A	1	0	abs	7	7	1:IMM; 0												
	BILD #xx:3,@aa:32	B 6	A	3	0	abs															
	BIOR #xx:3,Rd	B 7	4	1:IMM; rd																	
	BIOR #xx:3,@ERd	B 7	C	0:erd; 0	7	4	1:IMM; 0														
	BIOR #xx:3,@aa:8	B 7	E	abs	7	4	1:IMM; 0														
	BIOR #xx:3,@aa:16	B 6	A	1	0	abs	7	4	1:IMM; 0												
	BIOR #xx:3,@aa:32	B 6	A	3	0	abs															
	BIST #xx:3,Rd	B 6	7	1:IMM; rd																	
	BIST #xx:3,@ERd	B 7	D	0:erd; 0	6	7	1:IMM; 0														
	BIST #xx:3,@aa:8	B 7	F	abs	6	7	1:IMM; 0														
BIST	BIST #xx:3,@aa:16	B 6	A	1	8	abs	6	7	1:IMM; 0												
	BIST #xx:3,@aa:32	B 6	A	3	8	abs															

命令	二モニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BIXOR	BIXOR #xx:3,Rd	B 7	5	1:IMM; rd																
	BIXOR #xx:3,@ERd	B 7	C	0:; erd 0	7	5	1:IMM; 0													
	BIXOR #xx:3,@aa:8	B 7	E	abs	7	5	1:IMM; 0													
	BIXOR #xx:3,@aa:16	B 6	A	1	0	abs	7	5	1:IMM; 0											
	BIXOR #xx:3,@aa:32	B 6	A	3	0	abs														
BLD	BLD #xx:3,Rd	B 7	7	0:IMM; rd																
	BLD #xx:3,@ERd	B 7	C	0:; erd 0	7	7	0:IMM; 0													
	BLD #xx:3,@aa:8	B 7	E	abs	7	7	0:IMM; 0													
	BLD #xx:3,@aa:16	B 6	A	1	0	abs	7	7	0:IMM; 0											
	BLD #xx:3,@aa:32	B 6	A	3	0	abs														
BNOT	BNOT #xx:3,Rd	B 7	1	0:IMM; rd																
	BNOT #xx:3,@ERd	B 7	D	0:; erd 0	7	1	0:IMM; 0													
	BNOT #xx:3,@aa:8	B 7	F	abs	7	1	0:IMM; 0													
	BNOT #xx:3,@aa:16	B 6	A	1	8	abs	7	1	0:IMM; 0											
	BNOT #xx:3,@aa:32	B 6	A	3	8	abs														
	BNOT Rn,Rd	B 6	1	rd																
	BNOT Rn,@ERd	B 7	D	0:; erd 0	6	1	rd 0													
	BNOT Rn,@aa:8	B 7	F	abs	6	1	rd 0													
	BNOT Rn,@aa:16	B 6	A	1	8	abs	6	1	rd 0											
	BNOT Rn,@aa:32	B 6	A	3	8	abs														
BOR	BOR #xx:3,Rd	B 7	4	0:IMM; rd																
	BOR #xx:3,@ERd	B 7	C	0:; erd 0	7	4	0:IMM; 0													
	BOR #xx:3,@aa:8	B 7	E	abs	7	4	0:IMM; 0													
	BOR #xx:3,@aa:16	B 6	A	1	0	abs	7	4	0:IMM; 0											
	BOR #xx:3,@aa:32	B 6	A	3	0	abs														
BSET	BSET #xx:3,Rd	B 7	0	0:IMM; rd																
	BSET #xx:3,@ERd	B 7	D	0:; erd 0	7	0	0:IMM; 0													
	BSET #xx:3,@aa:8	B 7	F	abs	7	0	0:IMM; 0													
	BSET #xx:3,@aa:16	B 6	A	1	8	abs	7	0	0:IMM; 0											
	BSET #xx:3,@aa:32	B 6	A	3	8	abs														
	BSET Rn,Rd	B 6	0	rd																
	BSET Rn,@ERd	B 7	D	0:; erd 0	6	0	rd 0													
	BSET Rn,@aa:8	B 7	F	abs	6	0	rd 0													
	BSET Rn,@aa:16	B 6	A	1	8	abs	6	0	rd 0											
	BSET Rn,@aa:32	B 6	A	3	8	abs														
BSR	BSR d:8	-	5	5	disp															
	BSR d:16	-	5	C	0	0	disp													
BST	BST #xx:3,Rd	B 6	7	0:IMM; rd																
	BST #xx:3,@ERd	B 7	D	0:; erd 0	6	7	0:IMM; 0													
	BST #xx:3,@aa:8	B 7	F	abs	6	7	0:IMM; 0													
	BST #xx:3,@aa:16	B 6	A	1	8	abs	6	7	0:IMM; 0											
BST #xx:3,@aa:32	B 6	A	3	8	abs															

命令	二一モ一ニック	サイズ	インストラククションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BTST	BTST #xx:3,Rd	B	7	3	0:IMM#	rd														
	BTST #xx:3,@ERd	B	7	C	0:erd	0	7	3	0:IMM#	0										
	BTST #xx:3,@aa:8	B	7	E	abs		7	3	0:IMM#	0										
	BTST #xx:3,@aa:16	B	6	A	1	0	abs													
	BTST #xx:3,@aa:32	B	6	A	3	0	abs													
	BTST Rn,Rd	B	6	3	rm	rd														
	BTST Rn,@ERd	B	7	C	0:erd	0	6	3	rm	0										
BXOR	BTST Rn,@aa:8	B	7	E	abs		6	3	rm	0										
	BTST Rn,@aa:16	B	6	A	1	0	abs													
	BTST Rn,@aa:32	B	6	A	3	0	abs													
	BXOR #xx:3,Rd	B	7	5	0:IMM#	rd														
	BXOR #xx:3,@ERd	B	7	C	0:erd	0	7	5	0:IMM#	0										
	BXOR #xx:3,@aa:8	B	7	E	abs		7	5	0:IMM#	0										
	BXOR #xx:3,@aa:16	B	6	A	1	0	abs													
CLRRMAC		B	6	A	3	0	abs													
CMP	CLRRMAC	-	本LSIでは使用できません。																	
	CMP.B #xx:8,Rd	B	A	rd	IMM															
	CMP.B Rs,Rd	B	1	C	rs	rd														
	CMP.W #xx:16,Rd	W	7	9	2	rd	IMM													
	CMP.W Rs,Rd	W	1	D	rs	rd														
	CMP.L #xx:32,ERd	L	7	A	2	0:erd														
	CMP.L ERs,ERd	L	1	F	1:ers	0:erd														
	DAA Rd	B	0	F	0	rd														
	DAS Rd	B	1	F	0	rd														
	DEC.B Rd	B	1	A	0	rd														
	DEC.W #1,Rd	W	1	B	5	rd														
	DEC.W #2,Rd	W	1	B	D	rd														
	DEC.L #1,ERd	L	1	B	7	0:erd														
	DEC.L #2,ERd	L	1	B	F	0:erd														
DIVXS	DIVXS.B Rs,Rd	B	0	1	D	0	5	1	rs	rd										
	DIVXS.W Rs,ERd	W	0	1	D	0	5	3	rs	0:erd										
DIVXU	DIVXU.B Rs,Rd	B	5	1	rs	rd														
	DIVXU.W Rs,ERd	W	5	3	rs	0:erd														
EEMOV	EEMOV.B	-	7	B	5	C	5	9	8	F										
	EEMOV.W	-	7	B	D	4	5	9	8	F										
EXTS	EXTS.W Rd	W	1	7	D	rd														
	EXTS.L ERd	L	1	7	F	0:erd														
EXTU	EXTU.W Rd	W	1	7	5	rd														
	EXTU.L ERd	L	1	7	0:erd															

命令	二モニック	サ ー ス	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
INC	INC.BRd	B	0	A	0		rd														
	INC.W #1,Rd	W	0	B	5		rd														
	INC.W #2,Rd	W	0	B	D		rd														
	INC.L #1,ERd	L	0	B	7	0	:erd														
	INC.L #2,ERd	L	0	B	F	0	:erd														
	JMP	JMP @ERn	-	5	9	0	:erm	0													
		JMP @aa:24	-	5	A			abs													
		JMP @aa:8	-	5	B			abs													
		JMP @aa:24	-	5	D	0	:erm	0													
	JSR	JSR @ERn	-	5	E			abs													
JSR @aa:24		-	5	E			abs														
LDC	JSR @aa:8	-	5	F			abs														
	LDC #xx:8,CCR	B	0	7	IMM																
	LDC #xx:8,EXR	B	0	1	4	1	0	7	IMM												
	LDC Rs,CCR	B	0	3	0	rs															
	LDC Rs,EXR	B	0	3	1	rs															
	LDC @ERs,CCR	W	0	1	4	0	6	9	0	ers	0										
	LDC @ERs,EXR	W	0	1	4	1	6	9	0	ers	0										
	LDC @(d:16,ERs),CCR	W	0	1	4	0	6	F	0	ers	0										
	LDC @(d:16,ERs),EXR	W	0	1	4	1	6	F	0	ers	0										
	LDC @(d:32,ERs),CCR	W	0	1	4	0	7	8	0	ers	0										
	LDC @(d:32,ERs),EXR	W	0	1	4	1	7	8	0	ers	0										
	LDC @ERs+,CCR	W	0	1	4	0	6	D	0	ers	0										
	LDC @ERs+,EXR	W	0	1	4	1	6	D	0	ers	0										
	LDC @aa:16,CCR	W	0	1	4	0	6	B	0	0											
	LDC @aa:16,EXR	W	0	1	4	1	6	B	0	0											
	LDC @aa:32,CCR	W	0	1	4	0	6	B	2	0											
LDC @aa:32,EXR	W	0	1	4	1	6	B	2	0												
LDM <sup>13</sup>	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0	ern+1										
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0	ern+2										
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0	ern+3										
LDMAC	LDMAC ERs, MACH	L																			
	LDMAC ERs, MACL	L																			
MAC	MAC @ERn+, @ERm+	-																			
	MOV.B #xx:8,Rd	B	F	rd	IMM																
	MOV.B Rs,Rd	B	0	C	rs	rd															
	MOV.B @ERs,Rd	B	6	8	0	:ers	rd														
	MOV.B @(d:16,ERs),Rd	B	6	E	0	:ers	rd														
	MOV.B @(d:32,ERs),Rd	B	7	8	0	:ers	0	6	A	2	rd										
	MOV.B @ERs+,Rd	B	6	C	0	:ers	rd														
	MOV.B @aa:8,Rd	B	2	rd	abs																
	MOV.B @aa:16,Rd	B	6	A	0	rd															
	MOV.B @aa:32,Rd	B	6	A	2	rd															
	MOV.B Rs,@ERd	B	6	8	1	:erd	rs														
	MOV.B Rs,@(d:16,ERd)	B	6	E	1	:erd	rs														
	MOV.B Rs,@(d:32,ERd)	B	7	8	0	:erd	0	6	A	A	rs										

本LSIでは使用できません。

命令	二モニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
MOV (続き)	MOV.B Rs,@ERd	B	6	C	1:erd																
	MOV.B Rs,@aa:8	B	3	rs	abs																
	MOV.B Rs,@aa:16	B	6	A	8	rs															
	MOV.B Rs,@aa:32	B	6	A	A	rs															
	MOV.W #xx:16,Rd	W	7	9	0	rd															
	MOV.W Rs,Rd	W	0	D	rs	rd															
	MOV.W @ERS,Rd	W	6	9	0:ers	rd															
	MOV.W @(d:16,ERS),Rd	W	6	F	0:ers	rd															
	MOV.W @(d:32,ERS),Rd	W	7	8	0:ers	0	6	B	2	rd											
	MOV.W @ERS+,Rd	W	6	D	0:ers	rd															
	MOV.W @aa:16,Rd	W	6	B	0	rd															
	MOV.W @aa:32,Rd	W	6	B	2	rd															
	MOV.W Rs,@ERd	W	6	9	1:erd	rs															
	MOV.W Rs,@(d:16,ERd)	W	6	F	1:erd	rs															
	MOV.W Rs,@(d:32,ERd)	W	7	8	0:erd	0	6	B	A	rs											
	MOV.W Rs,@ERd	W	6	D	1:erd	rs															
	MOV.W Rs,@aa:16	W	6	B	8	rs															
	MOV.W Rs,@aa:32	W	6	B	A	rs															
	MOV.L #xx:32,Rd	L	7	A	0	0:erd															
	MOV.L ERs,ERd	L	0	F	1:ers	0:erd															
MOV.L @ERS,ERd	L	0	1	0	0	6	9	0	ers	0:erd											
MOV.L @(d:16,ERS),ERd	L	0	1	0	0	6	F	0	ers	0:erd											
MOV.L @(d:32,ERS),ERd	L	0	1	0	0	7	8	0	ers	0											
MOV.L @ERS+,ERd	L	0	1	0	0	6	D	0	ers	0:erd											
MOV.L @aa:16,ERd	L	0	1	0	0	6	B	0	0	erd											
MOV.L @aa:32,ERd	L	0	1	0	0	6	B	2	0:erd												
MOV.L ERs,@ERd	L	0	1	0	0	6	9	1	erd	0:ers											
MOV.L ERs,@(d:16,ERd)	L	0	1	0	0	6	F	1	erd	0:ers											
MOV.L ERs,@(d:32,ERd)*1	L	0	1	0	0	7	8	0	erd	0											
MOV.L ERs,@-ERd	L	0	1	0	0	6	D	1	erd	0:ers											
MOV.L ERs,@aa:16	L	0	1	0	0	6	B	8	0:ers												
MOV.L ERs,@aa:32	L	0	1	0	0	6	B	A	0:ers												
MOVFP	MOVFP	B																			
MOVFP	MOVFP	B																			
MULXS	MULXS B Rs,Rd	B	0	1	C	0	5	0	rs	rd											
MULXS	MULXS W Rs,Rd	W	0	1	C	0	5	2	rs	0:erd											
MULXU	MULXU B Rs,Rd	B	5	0	rs	rd															
MULXU	MULXU W Rs,Rd	W	5	2	rs	0:erd															
NEG	NEG B Rd	B	1	7	8	rd															
NEG	NEG W Rd	W	1	7	9	rd															
NEG	NEG L ERd	L	1	7	B	0:erd															
NOP	NOP	-	0	0	0	0															

本LSIでは使用できません。

命令	二一モニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B 1 7 0	rd																	
	NOT.W Rd	W 1 7 1	rd																	
	NOT.L ERd	L 1 7 3	0 : erd																	
	OR.B #xx:8,Rd	B C rd	IMM																	
OR	OR.B Rs,Rd	B 1 4 4	rs rd																	
	OR.W #xx:16,Rd	W 7 9 4	rd																	
	OR.W Rs,Rd	W 6 4 4	rs rd																	
	OR.L #xx:32,ERd	L 7 A 4	0 : erd																	
ORC	OR.L ERs,ERd	L 0 1 1	F 0	6 4	0 : ers : 0 : erd															
	ORC #xx:8,CCR	B 0 4 4	IMM																	
	ORC #xx:8,EXR	B 0 1 4	1	0 4	IMM															
	POP.W Rn	W 6 D 7	m																	
PUSH	POP.L ERn	L 0 1 0	0 0	6 D	7 : 0 : em															
	PUSH.W Rn	W 6 D 7	m																	
	PUSH.L ERn	L 0 1 0	0 0	6 D	F : 0 : em															
	ROTL.B Rd	B 1 2 8	rd																	
ROTL	ROTL.B #2, Rd	B 1 2 2	C rd																	
	ROTL.W Rd	W 1 2 9	rd																	
	ROTL.W #2, Rd	W 1 2 2	D rd																	
	ROTL.L ERd	L 1 2 2	B 0 : erd																	
	ROTL.L #2, ERd	L 1 2 2	F 0 : erd																	
	ROTR.B Rd	B 1 3 8	rd																	
	ROTR.B #2, Rd	B 1 3 3	C rd																	
	ROTR.W Rd	W 1 3 9	rd																	
ROTR	ROTR.W #2, Rd	W 1 3 3	D rd																	
	ROTR.L ERd	L 1 3 3	B 0 : erd																	
	ROTR.L #2, ERd	L 1 3 3	F 0 : erd																	
	ROTXL.B Rd	B 1 2 0	rd																	
	ROTXL.B #2, Rd	B 1 2 2	4 rd																	
	ROTXL.W Rd	W 1 2 1	rd																	
	ROTXL.W #2, Rd	W 1 2 2	5 rd																	
	ROTXL.L ERd	L 1 2 3	0 : erd																	
ROTXR	ROTXL.L #2, ERd	L 1 2 7	0 : erd																	
	ROTXR.B Rd	B 1 3 0	rd																	
	ROTXR.B #2, Rd	B 1 3 3	4 rd																	
	ROTXR.W Rd	W 1 3 1	rd																	
	ROTXR.W #2, Rd	W 1 3 3	5 rd																	
	ROTXR.L ERd	L 1 3 3	0 : erd																	
	ROTXR.L #2, ERd	L 1 3 7	0 : erd																	
	RTE		- 5 6 7 0																	
RTS		- 5 4 7 0																		

命令	二 ー モ ニ ッ ク	サ イ ズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
SHAL	SHALB Rd	B	1	0 8																	
	SHALB #2, Rd	B	1	0	C	rd															
	SHALW Rd	W	1	0	9	rd															
	SHALW #2, Rd	W	1	0	D	rd															
	SHALL ERd	L	1	0	B	0 : erd															
	SHALL #2, ERd	L	1	0	F	0 : erd															
	SHARB Rd	B	1	1	8	rd															
	SHARB #2, Rd	B	1	1	C	rd															
	SHARW Rd	W	1	1	9	rd															
	SHARW #2, Rd	W	1	1	D	rd															
SHLL	SHARL ERd	L	1	1	B	0 : erd															
	SHARL #2, ERd	L	1	1	F	0 : erd															
	SHLLB Rd	B	1	0	0	rd															
	SHLLB #2, Rd	B	1	0	4	rd															
	SHLLW Rd	W	1	0	1	rd															
	SHLLW #2, Rd	W	1	0	5	rd															
	SHLLL ERd	L	1	0	3	0 : erd															
	SHLLL #2, ERd	L	1	0	7	0 : erd															
	SHLRL ERd	B	1	1	0	rd															
	SHLRL #2, ERd	B	1	1	4	rd															
SHLR	SHLRW Rd	W	1	1	1	rd															
	SHLRW #2, Rd	W	1	1	5	rd															
	SHLRL ERd	L	1	1	3	0 : erd															
	SHLRL #2, ERd	L	1	1	7	0 : erd															
	SLEEP	-	0	1	8	0															
	STC	B	0	2	0	rd															
	STC.B COR Rd	B	0	2	1	rd															
	STC.B EXR Rd	B	0	2	1	rd															
	STC.W CCR, @ERd	W	0	1	4	0			6	9	1	erd	0								
	STC.W EXR, @ERd	W	0	1	4	1	rd			6	9	1	erd	0							
STC.W CCR, @(d:16, ERd)	W	0	1	4	0			6	F	1	erd	0									
STC.W EXR, @(d:16, ERd)	W	0	1	4	1	rd			6	F	1	erd	0								
STC.W CCR, @(d:32, ERd)	W	0	1	4	0			7	8	0	erd	0			6	B	A	0			
STC.W EXR, @(d:32, ERd)	W	0	1	4	1	rd			7	8	0	erd	0		6	B	A	0			
STC.W CCR, @-ERd	W	0	1	4	0			6	D	1	erd	0									
STC.W EXR, @-ERd	W	0	1	4	1	rd			6	D	1	erd	0								
STC.W CCR, @aa:16	W	0	1	4	0			6	B	8	0										
STC.W EXR, @aa:16	W	0	1	4	1	rd			6	B	8	0									
STC.W CCR, @aa:32	W	0	1	4	0			6	B	A	0										
STC.W EXR, @aa:32	W	0	1	4	1	rd			6	B	A	0									
STM*3	STM.L (ERn, ERn+1), @-SP	L	0	1	1	0			6	D	F	0: erm									
	STM.L (ERn, ERn+2), @-SP	L	0	1	2	0			6	D	F	0: erm									
	STM.L (ERn, ERn+3), @-SP	L	0	1	3	0			6	D	F	0: erm									
STMAC	STMAC WACH, ERd	L																			
	STMAC MACLR, ERd	L																			

本LSIでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SUB	SUB.B Rs,Rd	B	1	8	rs	rd														
	SUB.W #xx:16,Rd	W	7	9	3	rd		IMM												
	SUB.W Rs,Rd	W	1	9	rs	rd														
	SUB.L #xx:32,ERd	L	7	A	3	0	erd				IMM									
	SUB.L ERs,ERd	L	1	A	1	ers	0	erd												
SUBS	SUBS #1,ERd	L	1	B	0	0	erd													
	SUBS #2,ERd	L	1	B	8	0	erd													
	SUBS #4,ERd	L	1	B	9	0	erd													
	SUBS #xx:8,Rd	B	B	rd	IMM															
SUBX	SUBX Rs,Rd	B	1	E	rs	rd														
	SUBX #xx:8,Rd	B	0	1	E	0	7	B	0	erd	C									
TAS	@ERd*	B	0	1	E	0	7	B	0	erd	C									
TRAPA	#x:2	-	5	7	00	IMM	0													
XOR	XOR.B #xx:8,Rd	B	D	rd	IMM															
	XOR.B Rs,Rd	B	1	5	rs	rd														
	XOR.W #xx:16,Rd	W	7	9	5	rd														
	XOR.W Rs,Rd	W	6	5	rs	rd														
	XOR.L #xx:32,ERd	L	7	A	5	0	erd													
	XOR.L ERs,ERd	L	0	1	F	0	6	5	0	ers	0	erd								
XORC	XORC #xx:8,CCR	B	0	5	IMM															
	XORC #xx:8,EXR	B	0	1	4	1	0	5	IMM											

【注】 \*1 MOV.L ERs, @ (d : 32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。

\*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

\*3 STM/LDM命令においては、ER7レジスタはスタックポインタであるため、復帰 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

## 《記号説明》

IMM :	イミディエイトデータ (2、3、8、16、32 ビット)
abs :	絶対アドレス (8、16、24、32 ビット)
disp :	ディスプレイースメント (8、16、32 ビット)
rs、rd、m :	レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、m はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
ers、erd、ern、erm :	レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

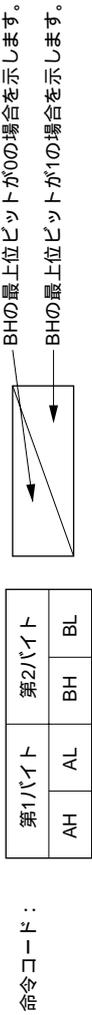
レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

### A.3 オペレーションコードマップ

表A.3 にオペレーションコードマップを示します。

表A.3 オペレーションコードマップ(1)



AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.3(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	ADDX	表A.3(2)
1	表A.3(2)	表A.3(2)	STM*	LDMAC*	OR	XOR	AND	表A.3(2)	SUB	SUB	表A.3(2)	表A.3(2)	CMP	CMP	SUBX	表A.3(2)
2	MOV.B															
3	MOV.B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)	JMP	JMP	BSR	BSR	JSR	JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV	MOV	表A.3(2)	MOV	MOV	MOV		
7					BOR	BXOR	BAND	BLD	MOV	MOV	表A.3(2)	EPMOV	表A.3(3)			
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】 \* 本LSIでは使用できません。

表A.3 オペレーションコードマップ (2)

第1バイト		第2バイト	
AH	AL	BH	BL

命令コード：

BH/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
MOV	LDM		STM	LDC	STC		MAC*		SLEEP		CLR/MAC*		表A.3(3)	表A.3(3)	TAS	表A.3(3)
INC													ADD			
ADDS						INC		INC	ADDS					INC		INC
DAA													MOV			
SHLL					SHLL			SHLL	SHAL				SHAL			SHAL
SHLR					SHLR			SHLR	SHAR				SHAR			SHAR
ROTXL					ROTXL			ROTXL	ROTL				ROTL			ROTL
ROTXR					ROTXR			ROTXR	ROTR				ROTR			ROTR
NOT						EXTU		EXTU	NEG			NEG		EXTS		EXTS
DEC													SUB			
SUBS						DEC		DEC	SUBS					DEC		DEC
DAS													CMP			
BRA	BRN	BHI	BLS	BCC	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
MOV	表A.3(4)	MOV	表A.3(4)	MOVFP*					MOV		MOV		MOVTP*			
MOV	ADD	CMP	SUB	OR	OR	XOR	AND									
MOV	ADD	CMP	SUB	OR	OR	XOR	AND									

【注】 \* 本LSIでは使用できません。

表A.3 オペレーションコードマップ(3)

命令コード:	第1バイト		第2バイト			第3バイト			第4バイト							
	AH	AL	BH	BL	CH	CL	DH	DL								
AH-ALBH-CH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01C05	MULXS		MULXS													
01D05		DIVXS		DIVXS												
01F06					OR	XOR	AND									
7Cr06 *1				BTST												
7Cr07 *1				BTST	BOR	BXOR	BAND	BLD								
7Dr06 *1	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD								
7Dr07 *1	BSET	BNOT	BCLR					BST								
7Eaa6 *2				BTST												
7Eaa7 *2				BTST	BOR	BXOR	BAND	BLD								
7Faa6 *2	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD								
7Faa7 *2	BSET	BNOT	BCLR					BST								



【注】 \*1 rはレジスタ指定部  
 \*2 aaは絶対アドレス指定

表A.3 オペレーションコードマップ(4)

命令コード:

	第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト					
	AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL				
EL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHALBHLCIHLIHLER																
6A10aaaa6*				BTST												
6A10aaaa7*					BOR	BXOR	BAND	BLD								
6A18aaaa6*					BIOR	BIXOR	BIAND	BILD	BST							
6A18aaaa7*									BIST							
	BSET	BNOT	BCLR													

命令コード:

	第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト	
	AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL
GL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHALHBL...FHFLGH																
6A30aaaaaa6*				BTST												
6A30aaaaaa7*					BOR	BXOR	BAND	BLD								
6A38aaaaaa6*					BIOR	BIXOR	BIAND	BILD	BST							
6A38aaaaaa7*									BIST							
	BSET	BNOT	BCLR													

【注】 \* aaは絶対アドレス指定

## A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.4 に各々のサイズに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

### 実行ステート数計算例

アドバンスモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 8 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFC7:8

表 A.5 より

$$I = L = 2, J = K = M = N = 0$$

表 A.4 より

$$S_I = 8, S_L = 2$$

$$\text{実行ステート数} = 2 \times 8 + 2 \times 2 = 20$$

2. JSR @@30

表 A.5 より

$$I = J = K = 2, L = M = N = 0$$

表 A.4 より

$$S_I = S_J = S_K = 8$$

$$\text{実行ステート数} = 2 \times 8 + 2 \times 8 + 2 \times 8 = 48$$

表 A.4 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺 モジュール		外部デバイス			
		8ビット バス	16ビット バス	8ビットバス		16ビットバス*	
				2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ $S_i$	1	4	2	4	6+2m	2	3+m
分岐アドレスリード $S_j$							
スタック操作 $S_k$							
バイトデータアクセス $S_l$		2		2	3+m		
ワードデータアクセス $S_m$		4		4	6+2m		
内部動作 $S_n$	1						

《記号説明》

m：外部デバイスアクセス時のウェイトステート数。

【注】 \* 本 LSI では使用できません。

表 A.5 命令実行状態 (サイクル数)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					1
	BRN d:8 (BF d:8)	2					1
	BHI d:8	2					1
	BLS d:8	2					1
	BCC d:8 (BHS d:8)	2					1
	BCS d:8 (BLO d:8)	2					1
	BNE d:8	2					1
	BEQ d:8	2					1
	BVC d:8	2					1
	BVS d:8	2					1
	BPL d:8	2					1
	BMI d:8	2					1
	BGE d:8	2					1
	BLT d:8	2					1
	BGT d:8	2					1
	BLE d:8	2					1
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
BGE d:16	2					1	
BLT d:16	2					1	

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
BCLR Rn,@aa:32	4			2			
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		

命令	ニーモニック		命令フェッチ	分岐アドレス	スタック操作	バイトデータ	ワードデータ	内部動作
			I	J	K	アクセス	アクセス	
						L	M	N
BNOT	BNOT Rn,@aa:32		4			2		
BOR	BOR #xx:3,Rd		1					
	BOR #xx:3,@ERd		2			1		
	BOR #xx:3,@aa:8		2			1		
	BOR #xx:3,@aa:16		3			1		
	BOR #xx:3,@aa:32		4			1		
BSET	BSET #xx:3,Rd		1					
	BSET #xx:3,@ERd		2			2		
	BSET #xx:3,@aa:8		2			2		
	BSET #xx:3,@aa:16		3			2		
	BSET #xx:3,@aa:32		4			2		
	BSET Rn,Rd		1					
	BSET Rn,@ERd		2			2		
	BSET Rn,@aa:8		2			2		
	BSET Rn,@aa:16		3			2		
	BSET Rn,@aa:32		4			2		
BSR	BSR d:8	ノーマル	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル	2		1			1
		アドバンスト	2		2			1
BST	BST #xx:3,Rd		1					
	BST #xx:3,@ERd		2			2		
	BST #xx:3,@aa:8		2			2		
	BST #xx:3,@aa:16		3			2		
	BST #xx:3,@aa:32		4			2		
BTST	BTST #xx:3,Rd		1					
	BTST #xx:3,@ERd		2			1		
	BTST #xx:3,@aa:8		2			1		
	BTST #xx:3,@aa:16		3			1		
	BTST #xx:3,@aa:32		4			1		
	BTST Rn,Rd		1					
	BTST Rn,@ERd		2			1		
	BTST Rn,@aa:8		2			1		
	BTST Rn,@aa:16		3			1		
	BTST Rn,@aa:32		4			1		
BXOR	BXOR #xx:3,Rd		1					
	BXOR #xx:3,@ERd		2			1		
	BXOR #xx:3,@aa:8		2			1		
	BXOR #xx:3,@aa:16		3			1		
	BXOR #xx:3,@aa:32		4			1		
CLRMAC	CLRMAC		本 LSI では使用できません。					
CMP	CMP.B #xx:8,Rd		1					
	CMP.B Rs,Rd		1					
	CMP.W #xx:16,Rd		2					
	CMP.W Rs,Rd		1					
	CMP.L #xx:32,ERd		3					
	CMP.L ERs,ERd		1					
DAA	DAA Rd		1					
DAS	DAS Rd		1					

命令	二一モニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	
		I	J	K	L	M		N
DEC	DEC.B Rd	1						
	DEC.W #1/2,Rd	1						
	DEC.L #1/2,ERd	1						
DIVXS	DIVXS.B Rs,Rd	2					11	
	DIVXS.W Rs,ERd	2					19	
DIVXU	DIVXU.B Rs,Rd	1					11	
	DIVXU.W Rs,ERd	1					19	
EEPMOV	EEPMOV.B	2			2n+2 *2			
	EEPMOV.W	2			2n+2 *2			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						
INC	INC.B Rd	1						
	INC.W #1/2,Rd	1						
	INC.L #1/2,ERd	1						
JMP	JMP @ERn	2						
	JMP @aa:24	2					1	
	JMP @@aa:8							
	ノーマル	2	1				1	
	アドバンスト	2	2				1	
JSR	JSR @ERn	ノーマル		1				
		アドバンスト	2	2				
	JSR @aa:24	ノーマル	2		1			1
		アドバンスト	2		2			1
	JSR @@aa:8	ノーマル	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8,CCR	1						
	LDC #xx:8,EXR	2						
	LDC Rs,CCR	1						
	LDC Rs,EXR	1						
	LDC @ERs,CCR	2				1		
	LDC @ERs,EXR	2				1		
	LDC @(d:16,ERs),CCR	3				1		
	LDC @(d:16,ERs),EXR	3				1		
	LDC @(d:32,ERs),CCR	5				1		
	LDC @(d:32,ERs),EXR	5				1		
	LDC @ERs+,CCR	2				1	1	
	LDC @ERs+,EXR	2				1	1	
	LDC @aa:16,CCR	3				1		
	LDC @aa:16,EXR	3				1		
	LDC @aa:32,CCR	4				1		
LDC @aa:32,EXR	4				1			
LDM*4	LDM.L @SP+, (ERn-ERn+1)	2		4			1	
	LDM.L @SP+, (ERn-ERn+2)	2		6			1	
	LDM.L @SP+, (ERn-ERn+3)	2		8			1	
LDMAC	LDMAC ERs, MACH	本 LSI では使用できません。						
	LDMAC ERs, MACL							
MAC	MAC @ERn+, @ERm+							

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	
		I	J	K	L	M	N	
MOV	MOV.B #xx:8,Rd	1						
	MOV.B Rs,Rd	1						
	MOV.B @ERs,Rd	1			1			
	MOV.B @(d:16,ERs),Rd	2			1			
	MOV.B @(d:32,ERs),Rd	4			1			
	MOV.B @ERs+,Rd	1			1		1	
	MOV.B @aa:8,Rd	1			1			
	MOV.B @aa:16,Rd	2			1			
	MOV.B @aa:32,Rd	3			1			
	MOV.B Rs,@ERd	1			1			
	MOV.B Rs,@(d:16,ERd)	2			1			
	MOV.B Rs,@(d:32,ERd)	4			1			
	MOV.B Rs,@-ERd	1			1		1	
	MOV.B Rs,@aa:8	1			1			
	MOV.B Rs,@aa:16	2			1			
	MOV.B Rs,@aa:32	3			1			
	MOV.W #xx:16,Rd	2						
	MOV.W Rs,Rd	1						
	MOV.W @ERs,Rd	1					1	
	MOV.W @(d:16,ERs),Rd	2					1	
	MOV.W @(d:32,ERs),Rd	4					1	
	MOV.W @ERs+,Rd	1					1	1
	MOV.W @aa:16,Rd	2					1	
	MOV.W @aa:32,Rd	3					1	
	MOV.W Rs,@ERd	1					1	
	MOV.W Rs,@(d:16,ERd)	2					1	
	MOV.W Rs,@(d:32,ERd)	4					1	
	MOV.W Rs,@-ERd	1					1	1
	MOV.W Rs,@aa:16	2					1	
	MOV.W Rs,@aa:32	3					1	
	MOV.L #xx:32,ERd	3						
	MOV.L ERs,ERd	1						
	MOV.L @ERs,ERd	2					2	
	MOV.L @(d:16,ERs),ERd	3					2	
	MOV.L @(d:32,ERs),ERd	5					2	
	MOV.L @ERs+,ERd	2					2	1
	MOV.L @aa:16,ERd	3					2	
	MOV.L @aa:32,ERd	4					2	
	MOV.L ERs,@ERd	2					2	
	MOV.L ERs,@(d:16,ERd)	3					2	
	MOV.L ERs,@(d:32,ERd)	5					2	
	MOV.L ERs,@-ERd	2					2	1
MOV.L ERs,@aa:16	3					2		
MOV.L ERs,@aa:32	4					2		
MOVFPPE @:aa:16,Rd	本 LSI では使用できません。							
MOVTPE Rs,@:aa:16	本 LSI では使用できません。							
MULXS	MULXS.B Rs,Rd	2					11	
	MULXS.W Rs,ERd	2					19	
MULXU	MULXU.B Rs,Rd	1					11	
	MULXU.W Rs,ERd	1					19	

命令	二一モニツク	命令フェツチ	分岐アドレス リード	スタツク操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
RTE	RTE	2		2/3 <sup>*1</sup>			1
RTS	RTS	ノ一マル	2		1		1
		アドバンスト	2		2		1

命令	二一モニツク	命令フェツチ	分岐アドレス	スタツク操作	バイトデータ	ワードデータ	内部動作
		I	J	K	L	M	
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
STC.W CCR,@aa:32	4				1		
STC.W EXR,@aa:32	4				1		
STM <sup>*4</sup>	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					

命令	二モニック		命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
			I	J	K	L	M	N
TAS	TAS @ERd* <sup>3</sup>		2			2		
TRAPA	TRAPA #x:2	ノーマル	2	1	2/3* <sup>1</sup>			2
		アドバンスト	2	2	2/3* <sup>1</sup>			2
XOR	XOR.B #xx:8,Rd		1					
	XOR.B Rs,Rd		1					
	XOR.W #xx:16,Rd		2					
	XOR.W Rs,Rd		1					
	XOR.L #xx:32,ERd		3					
	XOR.L ERs,ERd		2					
XORC	XORC #xx:8,CCR		1					
	XORC #xx:8,EXR		2					

【注】 \*1 EXR が無効なとき 2、有効なとき 3 になります。

\*2 転送データが n バイトのとき

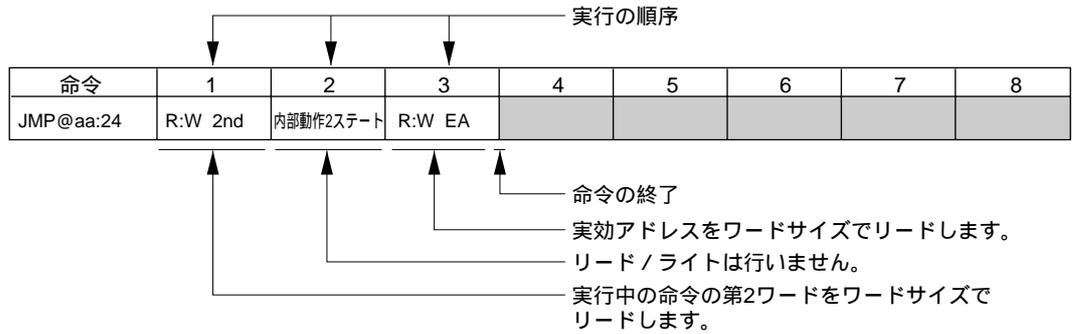
\*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

\*4 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避(STM) / 復帰(LDM) できるレジスタとしては使えません。

## A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステータス数に関しては、表 A.4 を参照してください。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード(第3・第4バイト)のアドレスです。
3rd	第3ワード(第5・第6バイト)のアドレスです。
4th	第4ワード(第7・第8バイト)のアドレスです。
5th	第5ワード(第9・第10バイト)のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8ビットバス・3ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 $\overline{RD}$ 、 $\overline{WR}$ のタイミングを図A.1に示します。

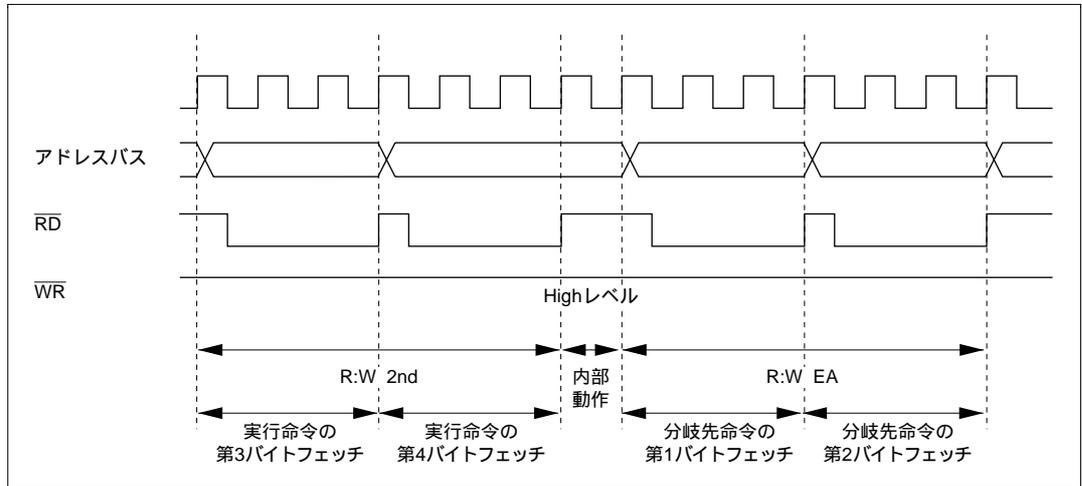


図 A.1 アドレスバス、 $\overline{RD}$ 、 $\overline{WR}$ のタイミング  
(8ビットバス・3ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8 (BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BHI d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BLS d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BCC d:16 (BHS d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BCS d:16 (BLO d:16)	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BNE d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BVC d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BVS d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BPL d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BMI d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						
BGE d:16	R:W 2nd	内部動作 1ｽﾀｰﾄ	R:W EA						

命令	1	2	3	4	5	6	7	8	9
BLT d:16	R:W 2nd	内部動作 157-1	R:W EA						
BGT d:16	R:W 2nd	内部動作 157-1	R:W EA						
BLE d:16	R:W 2nd	内部動作 157-1	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

付 録

命令	1	2	3	4	5	6	7	8	9
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	7ド ビ ン ス ト	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BSR d:16	7ド ビ ン ス ト	R:W 2nd	内部動作 157-ト	R:W EA	W:W:M スタック(H)	W:W スタック(L)			
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	本 LSI では使用できません。								
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEPMOV.B	R:W 2nd	R:B EAs * <sup>1</sup>	R:B EAd * <sup>1</sup>	R:B EAs * <sup>2</sup>	W:B EAd * <sup>2</sup>	R:W NEXT			
EEPMOV.W	R:W 2nd	R:B EAs * <sup>1</sup>	R:B EAd * <sup>1</sup>	R:B EAs * <sup>2</sup>	W:B EAd * <sup>2</sup>	R:W NEXT			
EXTS.W Rd	R:W NEXT			n回繰り返し返す * <sup>2</sup>					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1ステート	R:W EA						
JMP @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1ステート	R:W EA				
JSR @ERn	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
JSR @aa:24	R:W 2nd	内部動作 1ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC @(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1ステート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1ステート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1) <sup>*9</sup>	R:W 2nd	R:W:M NEXT	内部動作 1ステート	R:W:M スタック(H) <sup>*3</sup>	R:W スタック(L) <sup>*3</sup>				
LDM.L @SP+, (ERn-ERn+2) <sup>*9</sup>	R:W 2nd	R:W:M NEXT	内部動作 1ステート	R:W:M スタック(H) <sup>*3</sup>	R:W スタック(L) <sup>*3</sup>				
LDM.L @SP+, (ERn-ERn+3) <sup>*9</sup>	R:W 2nd	R:W:M NEXT	内部動作 1ステート	R:W:M スタック(H) <sup>*3</sup>	R:W スタック(L) <sup>*3</sup>				
LDMAC ERs,MACH	本 LSI では使用できません。								
LDMAC ERs,MACL									
MAC @ERn+, @ERm+									

付 録

命令	1	2	3	4	5	6	7	8	9
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1ｽﾀｰﾄ	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1ｽﾀｰﾄ	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1ｽﾀｰﾄ	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1ｽﾀｰﾄ	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｰﾄ	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs,@(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｰﾄ	W:W:M EA	W:W EA+2				

命令	1	2	3	4	5	6	7	8	9
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1ｽﾀｯﾄ	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｯﾄ	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1ｽﾀｯﾄ	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1ｽﾀｯﾄ	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXLL ERd	R:W NEXT								
ROTXLL #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:W ﾏｯｸ(EXR)	R:W ﾏｯｸ(H)	R:W ﾏｯｸ(L)	内部動作 1ｽﾀｯﾄ	R:W *4			
RTS	ﾌﾞﾗﾝｸ	R:W:M ﾏｯｸ(H)	R:W ﾏｯｸ(L)	内部動作 1ｽﾀｯﾄ	R:W *4				

付 録

命令	1	2	3	4	5	6	7	8	9
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR,@(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1ステート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1ステート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1),@-SP* <sup>3</sup>	R:W 2nd	R:W:M NEXT	内部動作 1ステート	W:W:M スタック(H) * <sup>3</sup>	W:W スタック(L) * <sup>3</sup>				
STM.L (ERn-ERn+2),@-SP* <sup>3</sup>	R:W 2nd	R:W:M NEXT	内部動作 1ステート	W:W:M スタック(H) * <sup>3</sup>	W:W スタック(L) * <sup>3</sup>				
STM.L (ERn-ERn+3),@-SP* <sup>3</sup>	R:W 2nd	R:W:M NEXT	内部動作 1ステート	W:W:M スタック(H) * <sup>3</sup>	W:W スタック(L) * <sup>3</sup>				
STMAC MACH,ERd	本 LSI では使用できません。								
STMAC MACL,ERd									
SUB.B Rs,Rd	R:W NEXT								
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						

命令	1	2	3	4	5	6	7	8	9	
SUB.L ERs,ERd	R:W NEXT									
SUBS #1/2/4,ERd	R:W NEXT									
SUBX #xx:8,Rd	R:W NEXT									
SUBX Rs,Rd	R:W NEXT									
TAS @ERd <sup>*8</sup>	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA						
TRAPA #x:2 アドレス	R:W NEXT	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック (EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W <sup>*7</sup>	
XOR.B #xx:8,Rd	R:W NEXT									
XOR.B Rs,Rd	R:W NEXT									
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT								
XOR.W Rs,Rd	R:W NEXT									
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT							
XOR.L ERs,ERd	R:W 2nd	R:W NEXT								
XORC #xx:8,CCR	R:W NEXT									
XORC #xx:8,EXR	R:W 2nd	R:W NEXT								
リセット 例外処理	アドレス	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W <sup>*5</sup>					
割り込み 例外処理	アドレス	R:W <sup>*6</sup>	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック (EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W <sup>*7</sup>

【注】 \*1 EAs は ER5、EAd は ER6 の内容です。

\*2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。

また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。

\*3 2本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。

\*4 リターン後の先頭アドレスです。

\*5 プログラムのスタートアドレスです。

\*6 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。

また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。

\*7 割り込み処理ルーチンの先頭アドレスです。

\*8 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

\*9 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

## B. 内部 I/O レジスタ

### B.1 アドレス一覧

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'EC00 ~ H'FFFF	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	16 / 32* ビット
	SAR										
	MRB	CHNE	DISEL	-	-	-	-	-	-		
	DAR										
	CRA										
	CRB										
H'FEE4	KBCOMP	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0	拡張 A/D	8
H'FEE6	DDCSWR	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0	IIC0	8
H'FEE8	ICRA	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0	割り込み コント ローラ	8
H'FEE9	ICRB	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0		
H'FEEA	ICRC	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0		
H'FEEB	ISR	-	-	-	-	-	IRQ2F	IRQ1F	IRQ0F		
H'FEEC	ISCRH	-	-	-	-	-	-	-	-		
H'FEED	ISURL	-	-	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA		
H'FEEE	DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0		
H'FEEF	DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0		
H'FEF0	DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0		
H'FEF1	DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0		
H'FEF2	DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0		
H'FEF3	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0		
H'FEF4	ABRKCR	CMF	-	-	-	-	-	-	BIE	割り込み コント ローラ	8
H'FEF5	BARA	A23	A22	A21	A20	A19	A18	A17	A16		
H'FEF6	BARB	A15	A14	A13	A12	A11	A10	A9	A8		
H'FEF7	BARC	A7	A6	A5	A4	A3	A2	A1	-		
H'FF80	FLMCR1	FWE	SWE	-	-	EV	PV	E	P	FLASH	8
H'FF81	FLMCR2	FLER	-	-	-	-	-	ESU	PSU		

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅		
H'FF82	PCSR	-	-	-	-	-	PWCKB	PWCKA	-	PWM	8		
	EBR1	-	-	-	-	-	-	EB9	EB8	FLASH			
H'FF83	EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	システム	8		
H'FF84	SBYCR	SSBY	STS2	STS1	STS0	-	SCK2	SCK1	SCK0				
H'FF85	LPWRCR	DTON	LSON	NESEL	EXCLE	-	-	-	-				
H'FF86	MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8				
H'FF87	MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0				
H'FF88	SMR1	C $\bar{A}$	CHR	PE	O $\bar{E}$	STOP	MP	CKS1	CKS0			SCI1	8
	ICCR1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC1			
H'FF89	BRR1									SCI1	8		
	ICSR1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC1			
H'FF8A	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI1	8		
H'FF8B	TDR1												
H'FF8C	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT				
H'FF8D	RDR1												
H'FF8E	SCMR1	-	-	-	-	SDIR	SINV	-	SMIF			IIC1	8
	ICDR1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0				
	SARX1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX				
H'FF8F	ICMR1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0				
	SAR1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS				
H'FF90	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	-	FRT	16		
H'FF91	TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA				
H'FF92	FRCH												
H'FF93	FRCL												
H'FF94	OCRAH												
	OCRBH												
H'FF95	OCRAL												
	OCRBL												
H'FF96	TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0				
H'FF97	TOCR	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB				
H'FF98	ICRAH												
	OCRARH												
H'FF99	ICRAL												
	OCRARL												
H'FF9A	ICRBH												
	OCRAFH												
H'FF9B	ICRBL												
	OCRAFL												
H'FF9C	ICRCH												
	OCRDMH	0	0	0	0	0	0	0	0				

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅		
H'FF9D	ICRCL									FRT	16		
	OCRDML												
H'FF9E	ICRDH												
H'FF9F	ICRDL												
H'FFA0	DADRAH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	PWMX	8		
	DACR	TEST	PWME	-	-	OEB	OEA	OS	CKS				
H'FFA1	DADRAL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	-				
H'FFA6	DADRBH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6				
	DACNTH												
H'FFA7	DADRBL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS				
	DACNTL							-	REGS				
H'FFA8	TCSR0	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0	WDT0	16		
	TCNT0 (write)												
H'FFA9	TCNT0 (read)												
H'FFAC	P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	ポート	8		
H'FFAD	P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR				
H'FFAE	P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR				
H'FFB0	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR				
H'FFB1	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR				
H'FFB2	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR				
H'FFB3	P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR				
H'FFB4	P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR				
H'FFB5	P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR				
H'FFB6	P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR				
H'FFB7	P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR				
H'FFB8	P5DDR	-	-	-	-	-	P52DDR	P51DDR	P50DDR				
H'FFB9	P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR				
H'FFBA	P5DR	-	-	-	-	-	P52DR	P51DR	P50DR				
H'FFBB	P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR				
H'FFBE	P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN				
H'FFC2	IER	-	-	-	-	-	IRQ2E	IRQ1E	IRQ0E			割り込み	8
H'FFC3	STCR	IICS	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0			システム	8
H'FFC4	SYSCR	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME				
H'FFC5	MDCR	EXPE	-	-	-	-	-	MDS1	MDS0				
H'FFC6	BCR	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	IOS1	IOS0			バスコン	8
H'FFC7	WSCR	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0			トローラ	
H'FFC8	TCR0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0			TMR0、	16
H'FFC9	TCR1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0			TMR1	

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FFCA	TCSR0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR0、 TMR1	16
H'FFCB	TCSR1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		
H'FFCC	TCORA0										
H'FFCD	TCORA1										
H'FFCE	TCORB0										
H'FFCF	TCORB1										
H'FFD0	TCNT0										
H'FFD1	TCNT1										
H'FFD2	PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM	8
H'FFD3	PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0		
H'FFD4	PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8		
H'FFD5	PWDpra	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0		
H'FFD6	PWSL	PWCKE	PWCKS	-	-	RS3	RS2	RS1	RS0		
H'FFD7	PWDR0 ~ PWDR15										
H'FFD8	SMR0	C $\bar{A}$	CHR	PE	O $\bar{E}$	STOP	MP	CKS1	CKS0	SCI0	8
	ICCR0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC0	
H'FFD9	BRR0									SCI0	
	ICSR0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC0	
H'FFDA	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI0	
H'FFDB	TDR0										
H'FFDC	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFDD	RDR0										
H'FFDE	SCMR0	-	-	-	-	SDIR	SINV	-	SMIF		IIC0
	ICDR0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0		
	SARX0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX		
H'FFDF	ICMR0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	IIC0	
	SAR0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS		
H'FFE0	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	8
H'FFE1	ADDRAL	AD1	AD0	-	-	-	-	-	-		
H'FFE2	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFE3	ADDRBL	AD1	AD0	-	-	-	-	-	-		
H'FFE4	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFE5	ADDRCL	AD1	AD0	-	-	-	-	-	-		
H'FFE6	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFE7	ADDRDL	AD1	AD0	-	-	-	-	-	-		
H'FFE8	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		
H'FFE9	ADCR	TRGS1	TRGS0	-	-	-	-	-	-		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FFEA	TCSR1	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0	WDT1	16
	TCNT1 (write)										
H'FFEB	TCNT1(read)										
H'FFF0	TCRX	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMRX	8
	TCRY	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMRX	
H'FFF1	TCSRX	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0	TMRX	
	TCSRY	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	TMRX	
H'FFF2	TICRR									TMRX	
	TCORAY									TMRX	
H'FFF3	TICRF									TMRX	
	TCORBY									TMRX	
H'FFF4	TCNTX									TMRX	
	TCNTY									TMRX	
H'FFF5	TCORC									TMRX	
	TISR	-	-	-	-	-	-	-	IS	TMRX	
H'FFF6	TCORAX									TMRX	
H'FFF7	TCORBX									TMRX	
H'FFFC	TCONRI	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV	タイマコネクション	
H'FFFD	TCONRO	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV		
H'FFFE	TCONRS	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0		
H'FFFF	SEDGR	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREQF	IHI	IVI		

## B.2 レジスタ選択条件

下位アドレス	レジスタ名称	H8S/2128グループ、H8S/2128Sグループ レジスタ選択条件	H8S/2124グループレジスタ選択条件	モジュール 名
H11EC00 ~ H1EFFF	MRA	SYSCRのRAME=1		DTC
	SAR			
	MRB			
	DAR			
	CRA			
	CRB			
H1FEE4	KBCOMP	条件なし	条件なし	コンパレータ
H1FEE6	DDCSWR	MSTP4=0		IIC0
H1FEE8	ICRA	条件なし	条件なし	割り込み コント ローラ
H1FEE9	ICRB			
H1FEEA	ICRC			
H1FEEB	ISR			
H1FEEC	ISCRH			
H1FEED	ISCLR			
H1FEEE	DTCERA			
H1FEEF	DTCERB			
H1FEF0	DTCERC			
H1FEF1	DTCERD			
H1FEF2	DTCERE			
H1FEF3	DTVECR			
H1FEF4	ABRKCR	条件なし	条件なし	割り込み コント ローラ
H1FEF5	BARA			
H1FEF6	BARB			
H1FEF7	BARC			
H1FF80	FLMCR1	STCRのFLSHE=1	STCRのFLSHE=1	FLASH
H1FF81	FLMCR2			
H1FF82	PCSR	STCRのFLSHE=0		PWM
	EBR1	STCRのFLSHE=1	STCRのFLSHE=1	FLASH
H1FF83	EBR2			
H1FF84	SBYCR	STCRのFLSHE=0	STCRのFLSHE=0	システム
H1FF85	LPWRCR			
H1FF86	MSTPCRH			
H1FF87	MSTPCRL			

下位アドレス	レジスタ名称	H8S/2128グループ、H8S/2128Sグループ レジスタ選択条件		H8S/2124グループレジスタ選択条件	モジュール 名	
H'FF88	SMR1	MSTP6=0 STCRのIICE=0		MSTP6=0 STCRのIICE=0	SCI1	
	ICCR1	MSTP3=0 STCRのIICE=1			IIC1	
H'FF89	BRR1	MSTP6=0 STCRのIICE=0		MSTP6=0 STCRのIICE=0	SCI1	
	ICSR1	MSTP3=0 STCRのIICE=1			IIC1	
H'FF8A	SCR1	MSTP6=0		MSTP6=0	SCI1	
H'FF8B	TDR1					
H'FF8C	SSR1					
H'FF8D	RDR1					
H'FF8E	SCMR1	MSTP6=0 STCRのIICE=0		MSTP6=0 STCRのIICE=0		
H'FF8E	ICDR1	MSTP3=0 STCRのIICE=1			IIC1	
	SARX1					
H'FF8F	ICMR1					ICCR1のICE=1
	SAR1					ICCR1のICE=0
H'FF90	TIER	MSTP13=0		MSTP13=0	FRT	
H'FF91	TCSR					
H'FF92	FRCH					
H'FF93	FRCL					
H'FF94	OCRAH			TOCRのOCRS=0		TOCRのOCRS=0
	OCRBH			TOCRのOCRS=1		TOCRのOCRS=1
H'FF95	OCRAL			TOCRのOCRS=0		TOCRのOCRS=0
	OCRBL			TOCRのOCRS=1		TOCRのOCRS=1
H'FF96	TCR					
H'FF97	TOCR					
H'FF98	ICRAH			TOCRのICRS=0		TOCRのICRS=0
	OCRARH			TOCRのICRS=1		TOCRのICRS=1
H'FF99	ICRAL			TOCRのICRS=0		TOCRのICRS=0
	OCRARL			TOCRのICRS=1		TOCRのICRS=1
H'FF9A	ICRBH			TOCRのICRS=0		TOCRのICRS=0
	OCRAFH			TOCRのICRS=1		TOCRのICRS=1
H'FF9B	ICRBL			TOCRのICRS=0		TOCRのICRS=0
	OCRAFL			TOCRのICRS=1		TOCRのICRS=1
H'FF9C	ICRCH			TOCRのICRS=0		TOCRのICRS=0
	OCRDMH			TOCRのICRS=1		TOCRのICRS=1
H'FF9D	ICRCL			TOCRのICRS=0		TOCRのICRS=0
	OCRDML			TOCRのICRS=1		TOCRのICRS=1
H'FF9E	ICRDH					
H'FF9F	ICRDL					

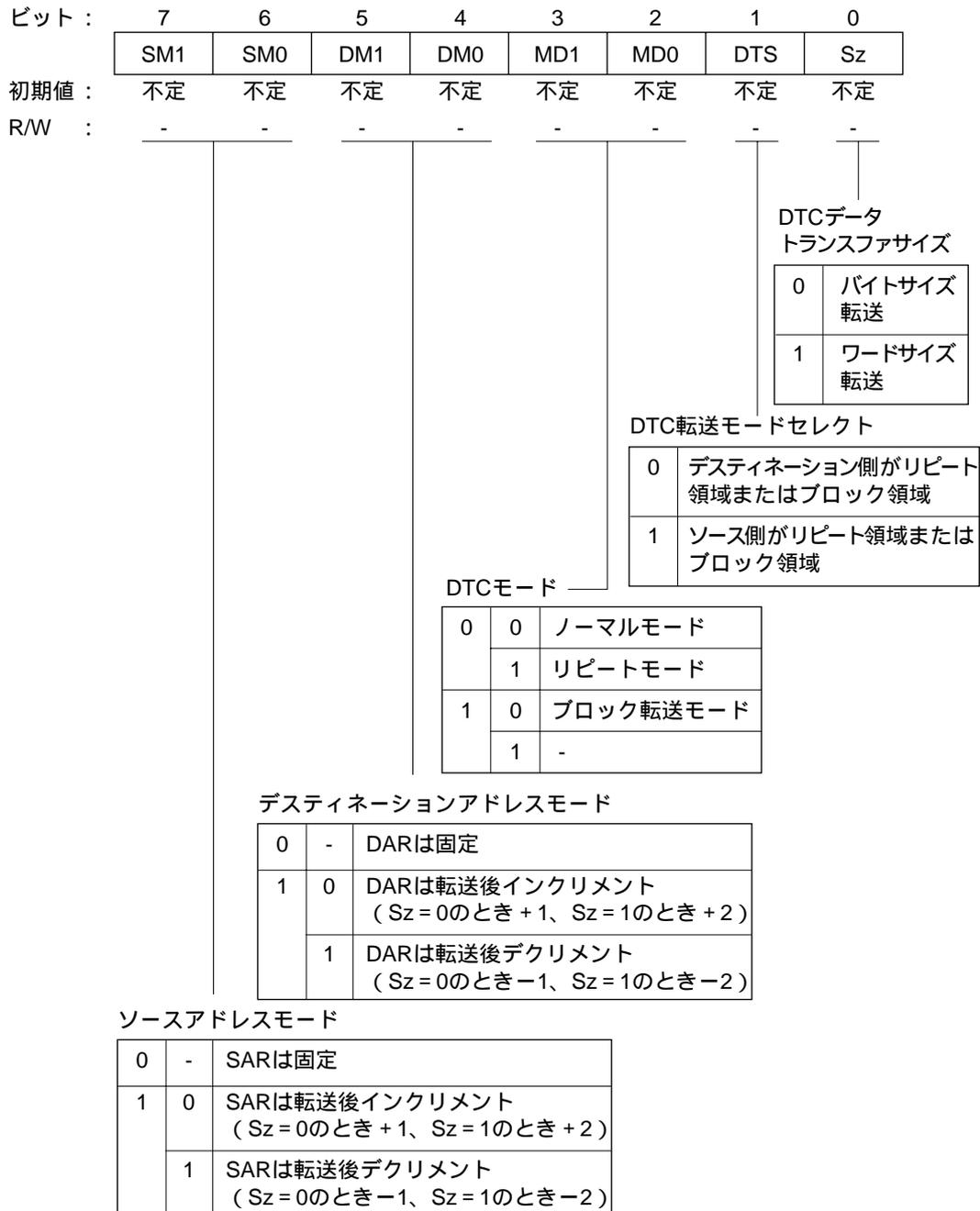
下位アドレス	レジスタ名称	H8S/2128グループ、H8S/2128Sグループ レジスタ選択条件	H8S/2124グループレジスタ選択条件	モジュール 名
H'FFA0	DADRAH	MSTP11=0 STCRのIICE=1	DACNT/DADRBの REGS=0	
	DACR		DACNT/DADRBの REGS=1	
H'FFA1	DADRAL	MSTP11=0 STCRのIICE=1	DACNT/DADRBの REGS=0	
H'FFA6	DADRBH	MSTP11=0 STCRのIICE=1	DACNT/DADRBの REGS=0	
	DACNTH		DACNT/DADRBの REGS=1	
H'FFA7	DADRBL		DACNT/DADRBの REGS=0	
	DACNTL		DACNT/DADRBの REGS=1	
H'FFA8	TCSR0	条件なし	条件なし	WDT0
	TCNT0 (write)			
H'FFA9	TCNT0 (read)			
H'FFAC	P1PCR	条件なし	条件なし	ポート
H'FFAD	P2PCR			
H'FFAE	P3PCR			
H'FFB0	P1DDR			
H'FFB1	P2DDR			
H'FFB2	P1DR			
H'FFB3	P2DR			
H'FFB4	P3DDR			
H'FFB5	P4DDR			
H'FFB6	P3DR			
H'FFB7	P4DR			
H'FFB8	P5DDR			
H'FFB9	P6DDR			
H'FFBA	P5DR			
H'FFBB	P6DR			
H'FFBE	P7PIN			
H'FFC2	IER	条件なし	条件なし	割り込み
H'FFC3	STCR	条件なし	条件なし	システム
H'FFC4	SYSCR			
H'FFC5	MDCR			

下位アドレス	レジスタ名称	H8S/2128グループ、H8S/2128Sグループ レジスタ選択条件	H8S/2124グループレジスタ選択条件	モジュール 名			
H'FFC6	BCR	条件なし	条件なし	バスコント ローラ			
H'FFC7	WSCR						
H'FFC8	TCR0	MSTP12=0	MSTP12=0	TMR0、 TMR1			
H'FFC9	TCR1						
H'FFCA	TCSR0						
H'FFCB	TCSR1						
H'FFCC	TCORA0						
H'FFCD	TCORA1						
H'FFCE	TCORB0						
H'FFCF	TCORB1						
H'FFD0	TCNT0						
H'FFD1	TCNT1						
H'FFD2	PWOERB				条件なし		PWM
H'FFD3	PWOERA						
H'FFD4	PWDPRB						
H'FFD5	PWDPRA						
H'FFD6	PWSL						
H'FFD7	PWDR0 ~ 15	MSTP11=0					
H'FFD8	SMR0	MSTP7=0 STCRのIICE=0	MSTP7=0 STCRのIICE=0	SCI0			
	ICCR0	MSTP4=0 STCRのIICE=1		IIC0			
H'FFD9	BRR0	MSTP7=0 STCRのIICE=0	MSTP7=0 STCRのIICE=0	SCI0			
	ICSR0	MSTP4=0 STCRのIICE=1		IIC0			
H'FFDA	SCR0	MSTP7=0	MSTP7=0	SCI0			
H'FFDB	TDR0						
H'FFDC	SSR0						
H'FFDD	RDR0						
H'FFDE	SCMR0	MSTP7=0 STCRのIICE=0	MSTP7=0 STCRのIICE=0	IIC0			
	ICDR0	MSTP4=0 STCRのIICE=1	ICCR0のICE=1				
	SARX0		ICCR0のICE=0				
H'FFDF	ICMR0	MSTP4=0 STCRのIICE=1	ICCR0のICE=1				
	SAR0		ICCR0のICE=0				
H'FFE0	ADDRAH	MSTP9=0	MSTP9=0	A/D			
H'FFE1	ADDRAL						
H'FFE2	ADDRBH						
H'FFE3	ADDRBL						

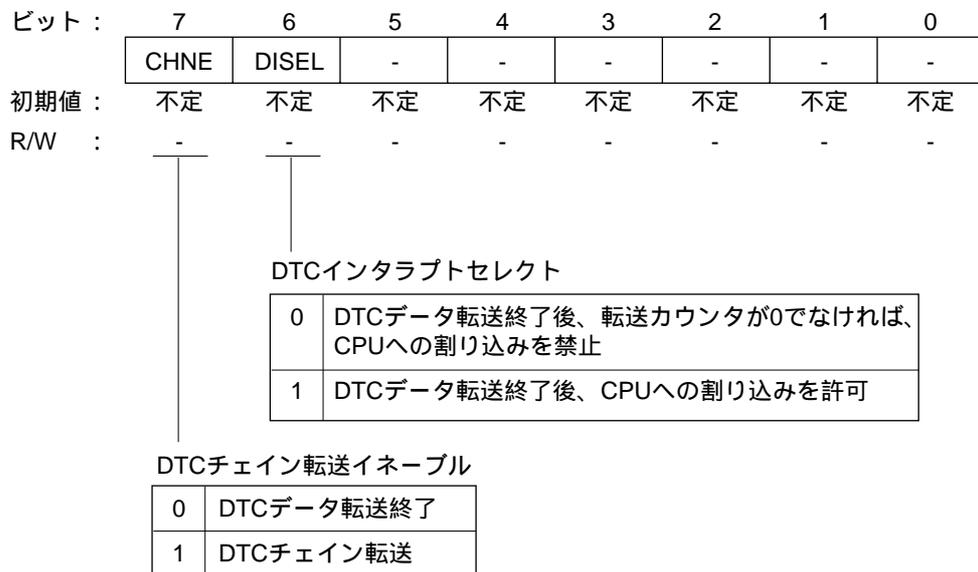
下位アドレス	レジスタ名称	H8S/2128グループ、H8S/2128Sグループ レジスタ選択条件		H8S/2124グループレジスタ選択条件	モジュール 名
H'FFE4	ADDRCH	MSTP9=0		MSTP9=0	A/D
H'FFE5	ADDRCL				
H'FFE6	ADDRDH				
H'FFE7	ADDRDL				
H'FFE8	ADCSR				
H'FFE9	ADCR				
H'FFEA	TCSR1	条件なし		条件なし	WDT1
	TCNT1 (write)				
H'FFEB	TCNT1 (read)				
H'FFF0	TCRX	MSTP8=0 SYSCRのHIE=0	TCONRSの TMRX/Y=0	MSTP8=0 SYSCRのHIE=0	TMRX
	TCRY		TCONRSの TMRX/Y=1		TMRX
H'FFF1	TCSRX	MSTP8=0 SYSCRのHIE=0	TCONRSの TMRX/Y=0	MSTP8=0 SYSCRのHIE=0	TMRX
	TCSRY		TCONRSの TMRX/Y=1		TMRX
H'FFF2	TICRR	MSTP8=0 SYSCRのHIE=0	TCONRSの TMRX/Y=0	MSTP8=0 SYSCRのHIE=0	TMRX
	TCORAY		TCONRSの TMRX/Y=1		TMRX
H'FFF3	TICRF	MSTP8=0 SYSCRのHIE=0	TCONRSの TMRX/Y=0	MSTP8=0 SYSCRのHIE=0	TMRX
	TCORBY		TCONRSの TMRX/Y=1		TMRX
H'FFF4	TCNTX	MSTP8=0 SYSCRのHIE=0	TCONRSの TMRX/Y=0	MSTP8=0 SYSCRのHIE=0	TMRX
	TCNTY		TCONRSの TMRX/Y=1		TMRX
H'FFF5	TCORC	MSTP8=0 SYSCRのHIE=0	TCONRSの TMRX/Y=0	MSTP8=0 SYSCRのHIE=0	TMRX
	TISR		TCONRSの TMRX/Y=1		TMRX
H'FFF6	TCORAX	MSTP8=0 SYSCRのHIE=0	TCONRSの TMRX/Y=0	MSTP8=0 SYSCRのHIE=0	TMRX
H'FFF7	TCORBX				
H'FFFC	TCONRI	MSTP8=0 SYSCRのHIE=0			タイマコネ クション
H'FFFD	TCONRO				
H'FFFE	TCONRS				
H'FFFF	SEDGR				

### B.3 機能一覧

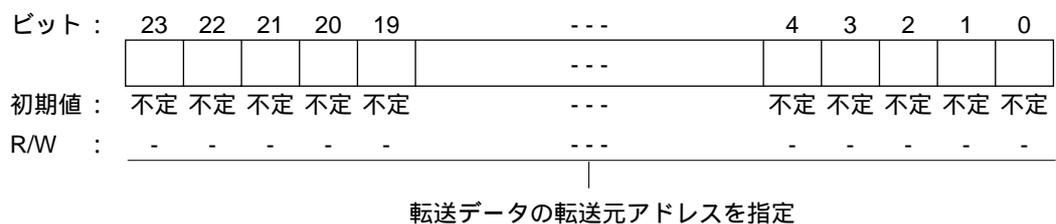
#### H'EC00 ~ H'EFFF : DTC モードレジスタ A MRA : DTC



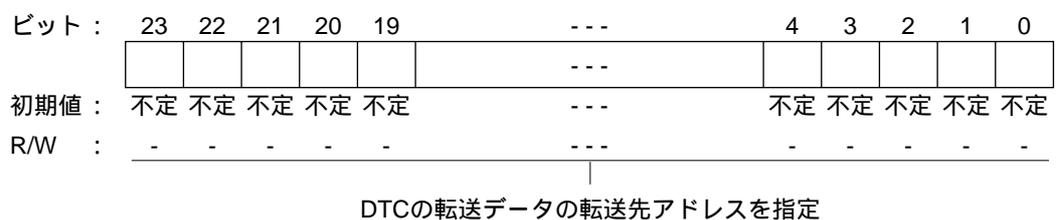
## H'EC00 ~ H'FFFF : DTC モードレジスタ B MRB : DTC



## H'EC00 ~ H'FFFF : DTC ソースアドレスレジスタ SAR : DTC



## H'EC00 ~ H'FFFF : DTC デスティネーションアドレスレジスタ DAR : DTC



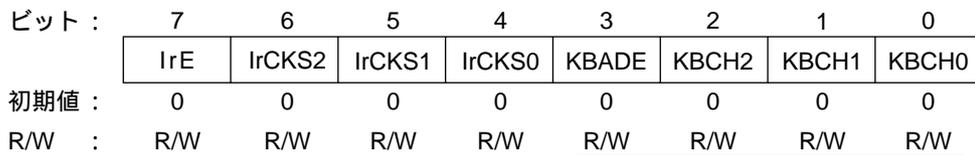
### H'EC00 ~ H'FFFF : DTC 転送カウントレジスタ A CRA : DTC



### H'EC00 ~ H'FFFF : DTC 転送カウントレジスタ B CRB : DTC



### H'FEE4 : キーボードコンパレータコントロールレジスタ KBCOMP : 拡張 A/D



キーボードコンパレータコントロール

ビット3	ビット2	ビット1	ビット0	A/D変換器	A/D変換器
KBADE	KBCH2	KBCH1	KBCH0	チャンネル6入力	チャンネル7入力
0				AN6	AN7
1	0	0	0	CIN0	不定
			1	CIN1	
		1	0	CIN2	
			1	CIN3	
	1	0	0	CIN4	
				1	
		1	0	CIN6	
				1	

リザーブ

## H'FEE6 : DDC スイッチレジスタ DDCSWR : IIC0

ビット :	7	6	5	4	3	2	1	0
	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/(W)*	W	W	W	W

IICクリアビット

DDCモードスイッチ割り込みフラグ

0	フォーマット自動切り替え実行時の割り込み要求なし [クリア条件] ・IF = 1の状態をリードした後、0をライトしたとき
1	フォーマット自動切り替え実行時の割り込み要求あり [セット条件] ・SWE = 1で、SCLに立ち下がりエッジを検出したとき

DDCモードスイッチ割り込み許可ビット

0	フォーマット自動切り替え実行時の割り込みを禁止
1	フォーマット自動切り替え実行時の割り込みを許可

DDCモードスイッチ

0	IICチャンネル0をI <sup>2</sup> Cバスフォーマットで使用する [クリア条件] (1) ソフトウェアにより0をライトしたとき (2) SWE = 1で、SCLに立ち下がりエッジを検出したとき
1	IICチャンネル0をフォーマットレスで使用する [セット条件] ・SW = 0の状態をリードした後、1をライトしたとき

DDCモードスイッチイネーブル

0	IICチャンネル0の、フォーマットレスからI <sup>2</sup> Cバスフォーマットへの自動切り替えを禁止する
1	IICチャンネル0の、フォーマットレスからI <sup>2</sup> Cバスフォーマットへの自動切り替えを許可する

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FEE8 : インタラプトコントロールレジスタ A ICRA :  
 H'FEE9 : インタラプトコントロールレジスタ B ICRB :  
 H'FEEA : インタラプトコントロールレジスタ C ICRC :

割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

割り込みコントロールレベル

0	対応する割り込み要因はコントロールレベル0 (非優先)
1	対応する割り込み要因はコントロールレベル1 (優先)

各割り込み要因とICRの対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ0	IRQ1	IRQ2			DTC	ウォッチ ドッグ タイマ0	ウォッチ ドッグ タイマ1
ICRB	A/D 変換器	フリー ランニング タイマ			8ビット タイマ チャンネル0	8ビット タイマ チャンネル1	8ビット タイマ チャンネル X、Y	
ICRC	SCI チャンネル0	SCI チャンネル1		IIC チャンネル0 (オプション)	IIC チャンネル1 (オプション)			

## H'FEEB : IRQ ステータスレジスタ ISR : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
						IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

IRQ2 ~ IRQ0フラグ

0	<p>[ クリア条件 ]</p> <p>(1) IRQnF = 1をリードした後、0をライトしたとき</p> <p>(2) Lowレベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ<math>\overline{\text{IRQn}}</math>入力がHighレベルの状態、割り込み例外処理を実行したとき</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、またはIRQnSCA = 1) の状態でIRQn割り込み例外処理を実行したとき</p>
1	<p>[ セット条件 ]</p> <p>(1) Lowレベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で<math>\overline{\text{IRQn}}</math>入力がLowレベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で<math>\overline{\text{IRQn}}</math>入元に立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で<math>\overline{\text{IRQn}}</math>入元に立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で<math>\overline{\text{IRQn}}</math>入元に立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 2 ~ 0)

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FEEC : IRQ センスコントロールレジスタ H    ISCRH :

H'FEED : IRQ センスコントロールレジスタ L    ISCR L :

割り込みコントローラ

ISCRH

ビット :	15	14	13	12	11	10	9	8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

リザーブ

ISCR L

ビット :	7	6	5	4	3	2	1	0
			IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ2 ~ IRQ0 センスコントロール A、B

ISCR L ビット5~0		説 明
IRQ2SCB ~ IRQ0SCB	IRQ2SCA ~ IRQ0SCA	
0	0	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生
	1	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生
1	0	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生
	1	$\overline{\text{IRQ2}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

## H'FEEE ~ H'FEF2 : DTC イネーブルレジスタ DTCE7 : DTCE0

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

## DTC起動イネーブル

0	割り込みによるDTC起動を禁止 [ クリア条件 ] ・ DISELビットが1でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき
1	割り込みによるDTC起動を許可 [ 保持条件 ] DISELビットが0で、指定した回数の転送が終了して いないとき

## H'FEF3 : DTC ベクタレジスタ DTVEC7 : DTVEC0

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W						

## DTCソフトウェア起動のベクタ番号を設定

## DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [ クリア条件 ] DISELビットが0で、指定した回数の転送が終了していないとき
1	DTCソフトウェア起動を許可 [ 保持条件 ] ・ DISELビットが1で、データ転送を終了したとき ・ 指定した回数の転送が終了したとき ・ ソフトウェア起動によるデータ転送中

【注】\* SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

H'FEF4 : アドレスブレイクコントロールレジスタ    ABRKCR :  
 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	CMF	-	-	-	-	-	-	BIE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	-	-	-	R/W

ブレイク割り込みイネーブル

0	アドレスブレイク禁止
1	アドレスブレイク許可

コンディションマッチフラグ

0	[ クリア条件 ] アドレスブレイク割り込み例外処理を実行したとき
1	[ セット条件 ] BIE=1の状態、BARA ~ BARCで設定したアドレスのプリフェッチを実行したとき

H'FEF5 : ブレークアドレスレジスタ A    BARA : 割り込みコントローラ  
H'FEF6 : ブレークアドレスレジスタ B    BARB : 割り込みコントローラ  
H'FEF7 : ブレークアドレスレジスタ C    BARC : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
BARA	A23	A22	A21	A20	A19	A18	A17	A16
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

アドレスブレークを発生させるアドレス (ビット23~16) を指定

ビット :	7	6	5	4	3	2	1	0
BARB	A15	A14	A13	A12	A11	A10	A9	A8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

アドレスブレークを発生させるアドレス (ビット15~8) を指定

ビット :	7	6	5	4	3	2	1	0
BARC	A7	A6	A5	A4	A3	A2	A1	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	-						

アドレスブレークを発生させるアドレス (ビット7~1) を指定

## H'FF80 : フラッシュメモリコントロールレジスタ1 FLMCR1 : FLASH

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	-	-	EV	PV	E	P
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R/W	-	-	R/W	R/W	R/W	R/W

プログラム

0	プログラムモードを解除
1	プログラムモードに遷移 [セット条件] SWE = 1、PSU = 1のとき

イレース

0	イレースモードを解除
1	イレースモードに遷移 [セット条件] SWE = 1、ESU = 1のとき

プログラムベリファイ

0	プログラムベリファイモードを解除
1	プログラムベリファイモードに遷移 [セット条件] SWE = 1のとき

イレースベリファイ

0	イレースベリファイモードを解除
1	イレースベリファイモードに遷移 [セット条件] SWE = 1のとき

ソフトウェアライトイネーブル

0	書き込み無効
1	書き込み有効

リザーブ

## H'FF81 : フラッシュメモリコントロールレジスタ2 FLMCR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	ESU	PSU
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	-	-	R/W	R/W

プログラムセットアップ	
0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] SWE = 1のとき

イレースセットアップ	
0	イレースセットアップ解除
1	イレースセットアップ [セット条件] SWE = 1のとき

フラッシュメモリエラー	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト)が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み/消去中にエラーが発生 したことを示します。 フラッシュメモリへの書き込み/消去プロテクト (エラープロテクト)が有効 [セット条件] 「19.8.3 エラープロテクト」参照

### H'FF82 : 周辺クロックセレクトレジスタ PCSR : PWM

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	PWCKB	PWCKA	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	-

PWMクロックセレクト

PWSL		PCSR		説 明
ビット7	ビット6	ビット2	ビット1	
PWCKE	PWCKS	PWCKB	PWCKA	
0				クロック入力禁止
1	0	0	0	(システムクロック)を選択
			1	/2を選択
	1	0	0	/4を選択
			1	/8を選択
			1	/16を選択

H'FF82 : 消去ブロック指定レジスタ1 EBR1 : FLASH

H'FF83 : 消去ブロック指定レジスタ2 EBR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
EBR1	-	-	-	-	-	-	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	R/W*	R/W*

ビット :	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W						

【注】\* ノーマルモードの場合は0が読み出され、ライトは無効です。

#### 消去ブロックの分割

ブロック (サイズ)	アドレス
128kバイト版	
EB0 (1kバイト)	H'(00)0000 ~ H'(00)03FF
EB1 (1kバイト)	H'(00)0400 ~ H'(00)07FF
EB2 (1kバイト)	H'(00)0800 ~ H'(00)0BFF
EB3 (1kバイト)	H'(00)0C00 ~ H'(00)0FFF
EB4 (28kバイト)	H'(00)1000 ~ H'(00)7FFF
EB5 (16kバイト)	H'(00)8000 ~ H'(00)BFFF
EB6 (8kバイト)	H'(00)C000 ~ H'(00)DFFF
EB7 (8kバイト)	H'00E000 ~ H'00FFFF
EB8 (32kバイト)	H'010000 ~ H'017FFF
EB9 (32kバイト)	H'018000 ~ H'01FFFF

## H'FF84 : スタンバイコントロールレジスタ SBYCR : システム

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0		SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W		R/W	R/W	R/W

システムクロックセレクト2~0

0	0	0	バスマスタは高速モード
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1		

スタンバイタイムセレクト2~0

0	0	0	待機時間 = 8192 ステート
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート*

【注】\* フラッシュメモリ内蔵版および、H8S/2128Sグループでは、本設定は使用しないでください。

### ソフトウェアスタンバイ

0	高速モードおよび中速モードでSLEEP命令を実行したとき、スリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、サブスリープモードに遷移
1	高速モードおよび中速モードでSLEEP命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

## H'FF85 : ローパワーコントロールレジスタ LPWRCR : システム

ビット :	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

サブクロック入力カインェブル

0	EXCL端子からのサブクロック入力禁止
1	EXCL端子からのサブクロック入力許可

ノイズ除去サンプリング周波数選択

0	の32分周クロックでサンプリング
1	の4分周クロックでサンプリング

ロースピードオンフラグ

0	<ul style="list-style-type: none"> <li>・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移</li> <li>・ウォッチモード解除後に高速モードに遷移</li> </ul>
1	<ul style="list-style-type: none"> <li>・高速モードでSLEEP命令を実行したとき、ウォッチモード、またはサブアクティブモード*に遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移</li> <li>・ウォッチモード解除後にサブアクティブモードに遷移</li> </ul>

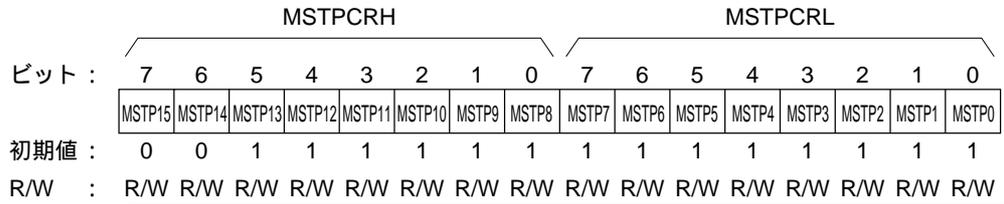
【注】 \* ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ダイレクトトランスファオンフラグ

0	<ul style="list-style-type: none"> <li>・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移</li> </ul>
1	<ul style="list-style-type: none"> <li>・高速モード、あるいは中速モードでSLEEP命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移</li> <li>・サブアクティブモードでSLEEP命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移</li> </ul>

【注】 \* ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

H'FF86 : モジュールストップコントロールレジスタH    MSTPCRH : システム  
 H'FF87 : モジュールストップコントロールレジスタL    MSTPCRL : システム



モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

各ビットと内蔵周辺機能の対応は以下のとおりです。

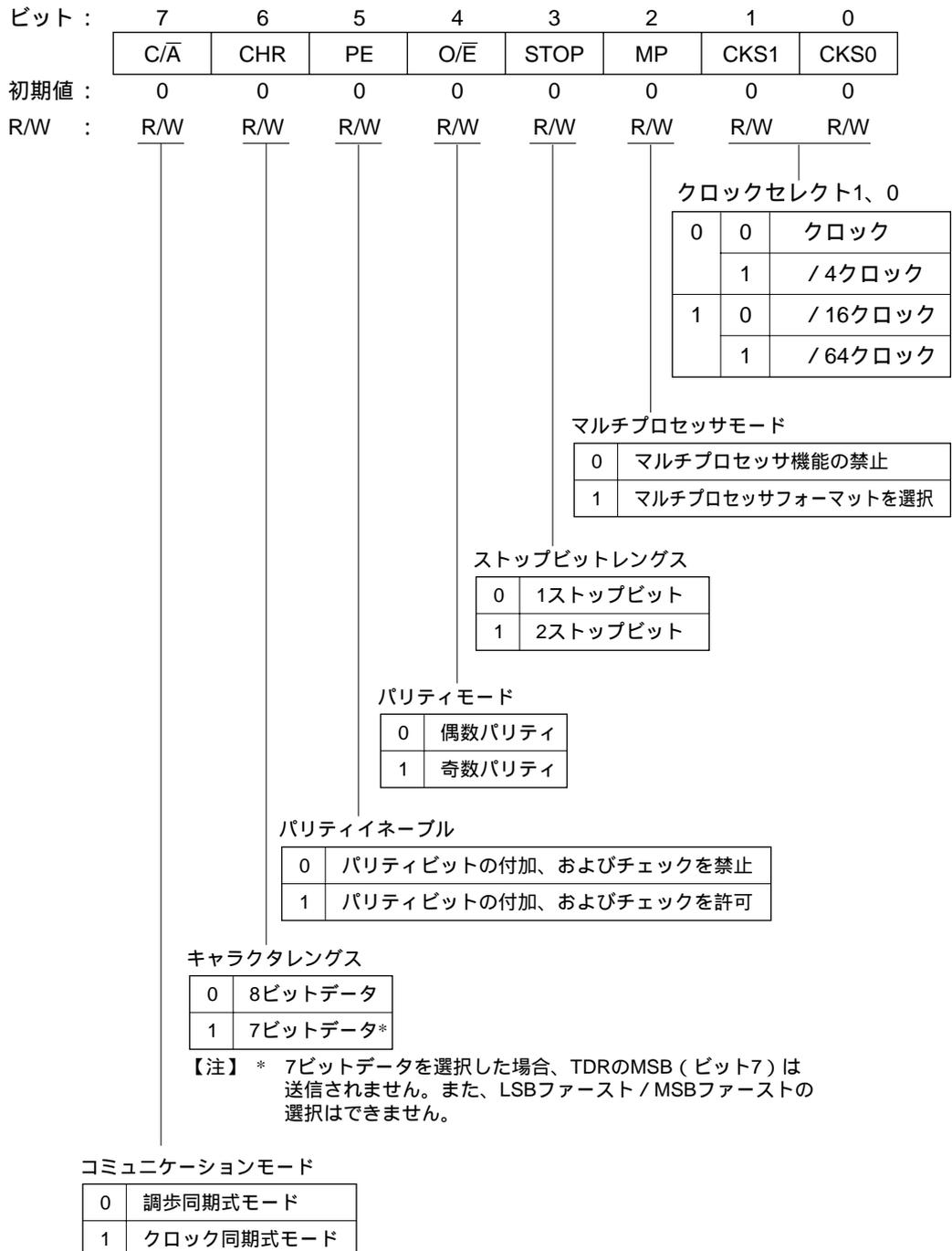
レジスタ	ビット	モジュール
MSTPCRH	MSTP15	-
	MSTP14*	データトランスファコントローラ (DTC)
	MSTP13	16ビットフリーランニングタイマ (FRT)
	MSTP12	8ビットタイマ (TMR0、TMR1)
	MSTP11*	8ビットPWMタイマ (PWM)、14ビットPWMタイマ (PWMX)
	MSTP10*	-
	MSTP9	A/D変換器
	MSTP8	8ビットタイマ (TMRX、TMRY)、タイマコネクション
MSTPCRL	MSTP7	シリアルコミュニケーションインタフェース0 (SCI0)
	MSTP6	シリアルコミュニケーションインタフェース1 (SCI1)
	MSTP5*	-
	MSTP4*	I <sup>2</sup> Cバスインタフェース (IIC) チャンネル0【オプション】
	MSTP3*	I <sup>2</sup> Cバスインタフェース (IIC) チャンネル1【オプション】
	MSTP2*	-
	MSTP1*	-
	MSTP0*	-

【注】 ビット15は、1にセットしないでください。また、ビット10、5、2、1、0はリード/ライトできますが、動作に影響を与えません。

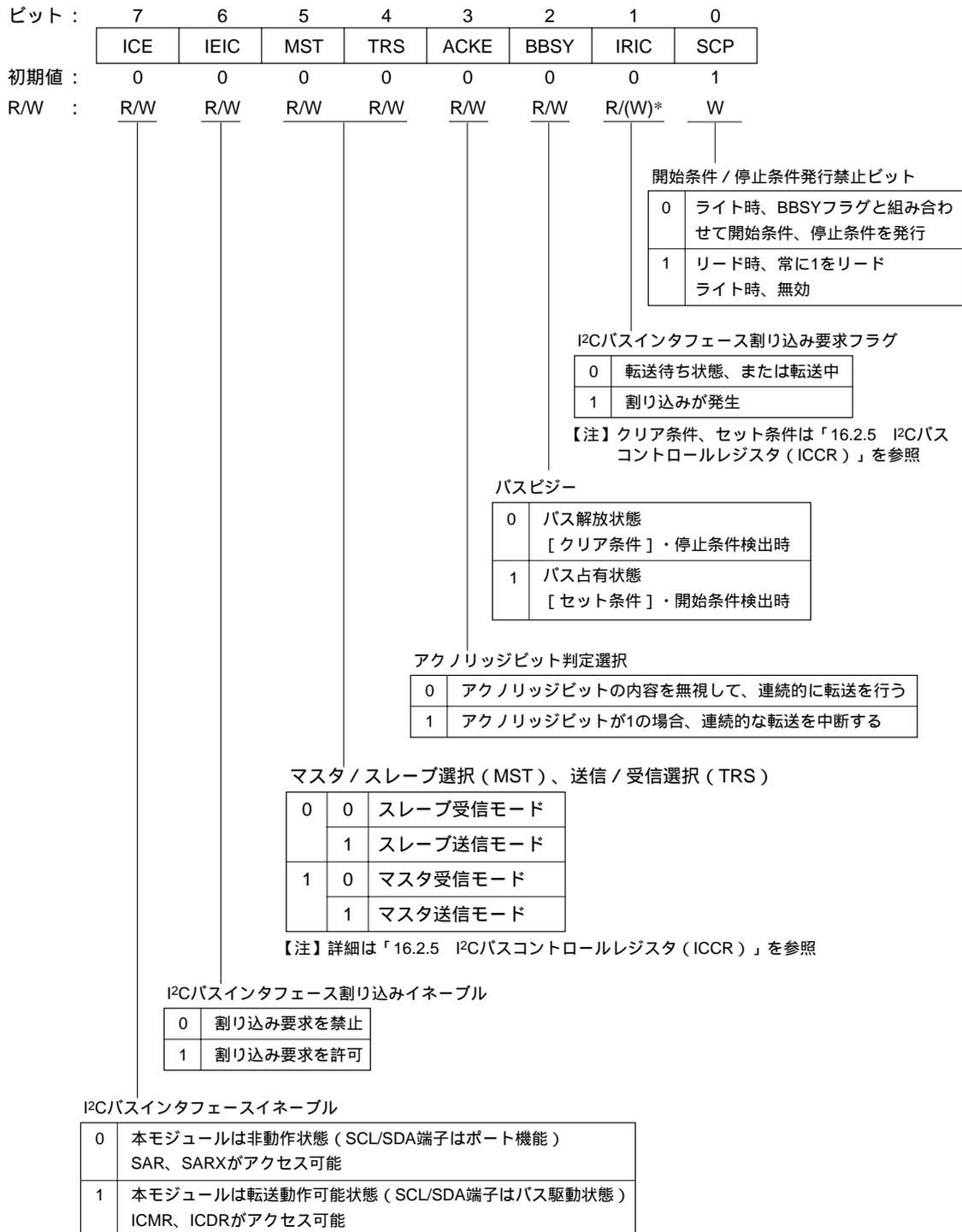
\* H8S/2124グループでは、必ず1にセットしてください。

H'FF88 : シリアルモードレジスタ1 SMR1 : SCI1

H'FFD8 : シリアルモードレジスタ0 SMR0 : SCI0



H'FF88 : I<sup>2</sup>C バスコントロールレジスタ 1 ICCR1 : IIC1  
 H'FFD8 : I<sup>2</sup>C バスコントロールレジスタ 0 ICCR0 : IIC0



【注】\* フラグをクリアするための0ライトのみ可能です。

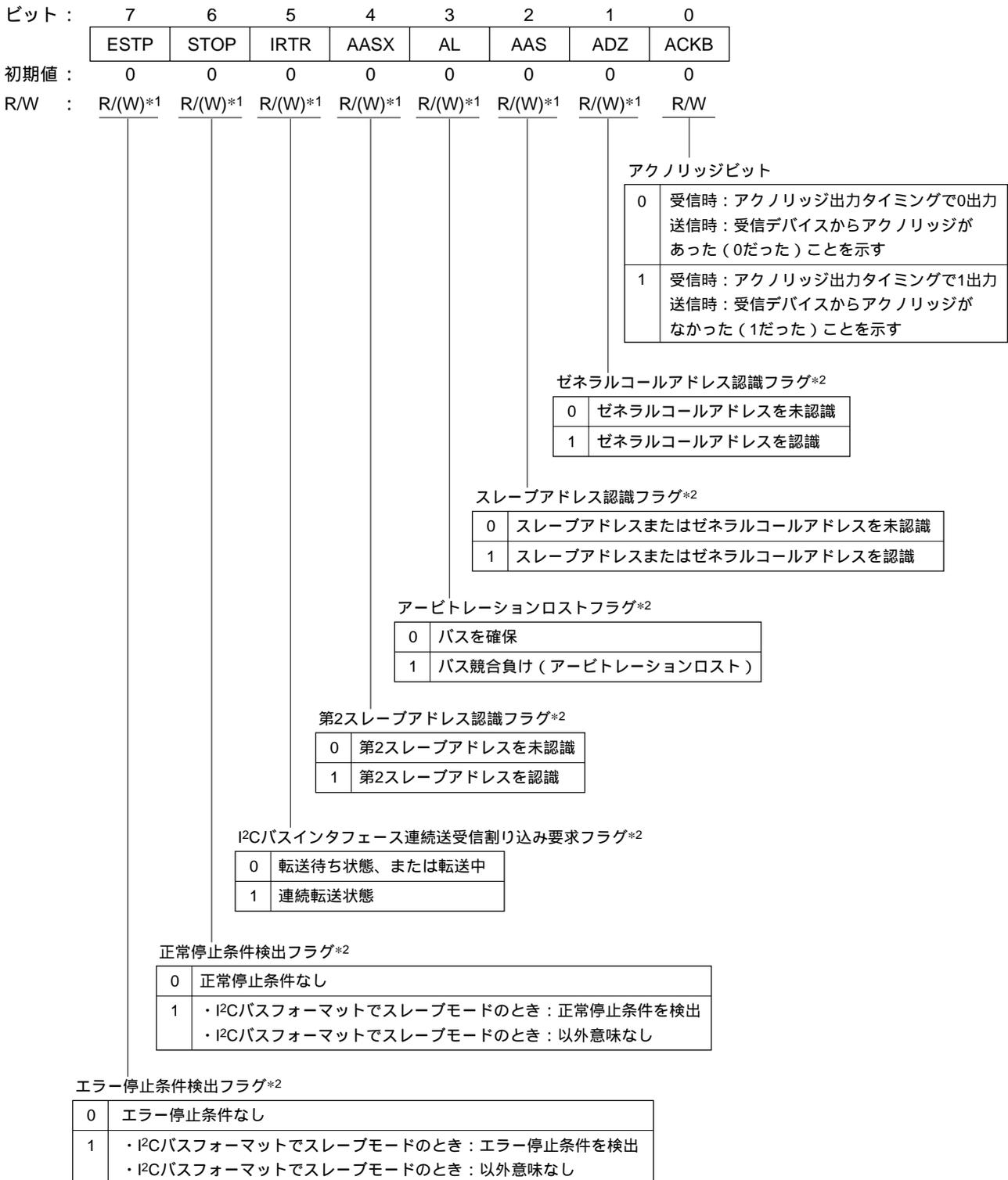
H'FF89 : ビットレートレジスタ 1 BRR1 : SCI1

H'FFD9 : ビットレートレジスタ 0 BRR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

シリアル送信 / 受信のビットレートを設定

H'FF89 : I<sup>2</sup>C バスステータスレジスタ 1 ICSR1 : IIC1  
 H'FFD9 : I<sup>2</sup>C バスステータスレジスタ 0 ICSR0 : IIC0



【注】\*1 フラグをクリアするための0ライトのみ可能です。

\*2 クリア/セット条件については「16.2.6 I<sup>2</sup>Cバスステータスレジスタ（ICSR）」を参照

H'FF8A : シリアルコントロールレジスタ 1    SCR1 : SCI1  
H'FFDA : シリアルコントロールレジスタ 0    SCR0 : SCI0

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
	1	調歩同期式モード	内部クロック / SCK端子はクロック出力
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK端子はクロック入力
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

0	マルチプロセッサ割り込み禁止状態 (通常の受信動作) [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで、受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止

0	受信動作を禁止
1	受信動作を許可

0	送信動作を禁止
1	送信動作を許可

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF8D : レシーブデータレジスタ 1 RDR1 : SCI1

H'FFDD : レシーブデータレジスタ 0 RDR0 : SCI0



H'FF8B : トランスミットデータレジスタ 1 TDR1 : SCI1

H'FFDB : トランスミットデータレジスタ 0 TDR0 : SCI0



H'FF8C : シリアルステータスレジスタ 1    SSR1 : SCI1  
H'FFDC : シリアルステータスレジスタ 0    SSR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信したとき
1	マルチプロセッサビットが1のデータを送信したとき

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき

パリティエラー	
0	[クリア条件] PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせて1の数が、SMRのO/Eビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

フレーミングエラー	
0	[クリア条件] FER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF = 1の状態ですぐ次のシリアル受信を完了したとき

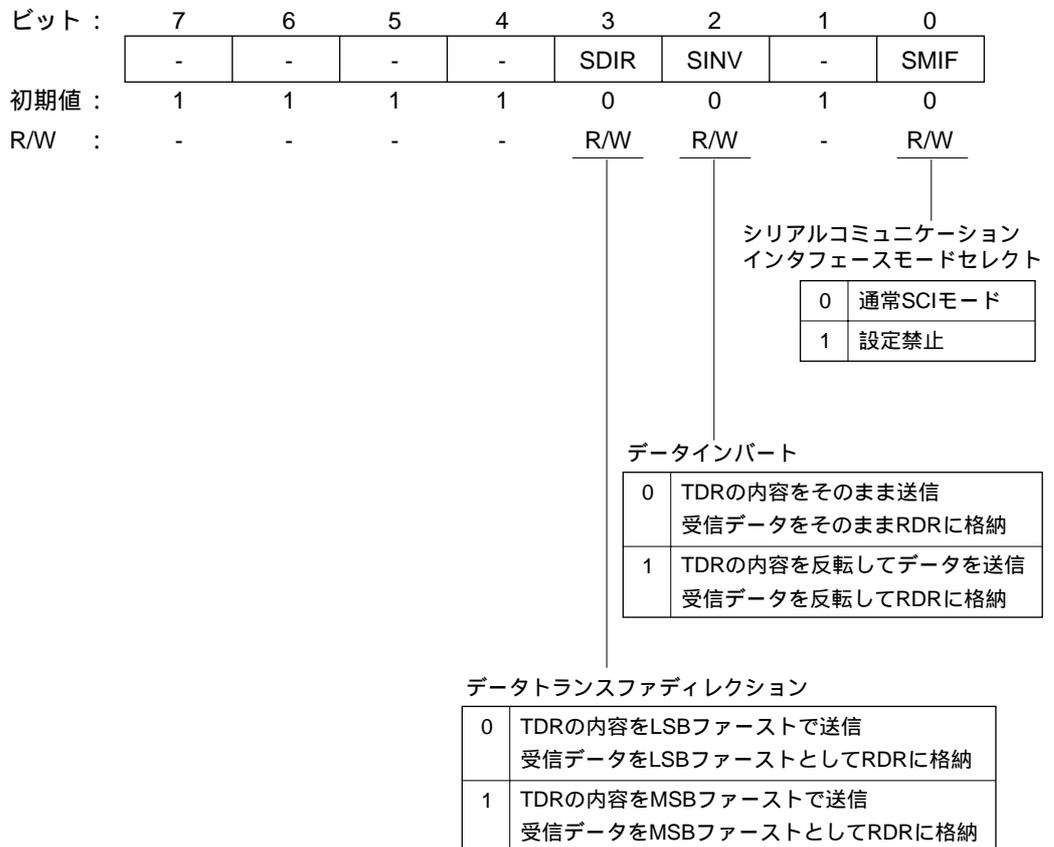
レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF = 1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FF8E : シリアルインタフェースモードレジスタ1 SCMR1 : SCI1  
 H'FFDE : シリアルインタフェースモードレジスタ0 SCMR0 : SCI0



H'FF8E : I<sup>2</sup>C バスデータレジスタ 1 ICDR1 : IIC1H'FFDE : I<sup>2</sup>C バスデータレジスタ 0 ICDR0 : IIC0

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W							

## ICDRR

ビット :	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

## ICDRS

ビット :	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

## ICDRT

ビット :	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

## TDRE、RDRF (内部フラグ)

ビット :	-	-
	TDRE	RDRF
初期値 :	0	0
R/W :	-	-

【注】詳細は「16.2.1 I<sup>2</sup>Cバスデータレジスタ (ICDR)」を参照。

H'FF8E : 第2スレーブアドレスレジスタ 1      SARX1 : IIC1  
 H'FF8F : スレーブアドレスレジスタ 1      SAR1 : IIC1  
 H'FFDE : 第2スレーブアドレスレジスタ 0      SARX0 : IIC0  
 H'FFDF : スレーブアドレスレジスタ 0      SAR0 : IIC0

SAR

ビット :

	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W						

スレーブアドレス
フォーマットセレクト

SARX

ビット :

	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W						

第2スレーブアドレス
フォーマットセレクト

DDCSWR	SAR	SARX	動作モード
ビット6	ビット0	ビット0	
SW	FS	FSX	
0	0	0	I <sup>2</sup> Cバスフォーマット ・ SARとSARXのスレーブアドレスを認識
		1	I <sup>2</sup> Cバスフォーマット ・ SARのスレーブアドレスを認識 ・ SARXのスレーブアドレスを無視
	1	0	I <sup>2</sup> Cバスフォーマット ・ SARのスレーブアドレスを無視 ・ SARXのスレーブアドレスを認識
		1	クロック同期式シリアルフォーマット ・ SARとSARXのスレーブアドレスを無視
1	0	0	フォーマットレス (開始条件/停止条件を検出しない)
		1	・ アクノリッジビットあり
	1	0	フォーマットレス*
		1	(開始条件/停止条件を検出しない) ・ アクノリッジビットなし

【注】 \* DDCSWRの設定によりI<sup>2</sup>Cバスフォーマットへの自動切り替えを行う場合は、本モードに設定しないでください。

H'FF8F : I<sup>2</sup>C バスモードレジスタ 1 ICMR1 : IIC1H'FFDF : I<sup>2</sup>C バスモードレジスタ 0 ICMR0 : IIC0

ビット:	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットカウンタ

BC2	BC1	BC0	クロック同期式 シリアルフォーマット	I <sup>2</sup> Cバス フォーマット
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

転送クロック選択

IICX	CKS2	CKS1	CKS0	クロック
0	0	0	0	/28
			1	/40
		1	0	/48
			1	/64
	1	0	0	/80
			1	/100
		1	0	/112
			1	/128
1	0	0	0	/56
			1	/80
		1	0	/96
			1	/128
	1	0	0	/160
			1	/200
		1	0	/224
			1	/256

ウェイト挿入ビット

0	データとアクノリッジを連続的に転送
1	データとアクノリッジの間にウェイトを挿入

MSBファースト / LSBファースト選択\*

0	MSBファースト
1	LSBファースト

【注】 \* I<sup>2</sup>Cバスフォーマットで使用するときは、本ビットを1にセットしないでください。

## H'FF90 : タイマインタラプトイネーブルレジスタ TIER : FRT

ビット :	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	-
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-

タイマオーバフロー  
インタラプトイネーブル

0	OVFによる割り込み要求 (FOVI) を禁止
1	OVFによる割り込み要求 (FOVI) を許可

アウトプットコンペア  
インタラプトBイネーブル

0	OCFBによる割り込み要求 (OCIB) を禁止
1	OCFBによる割り込み要求 (OCIB) を許可

アウトプットコンペアインタラプトAイネーブル

0	OCFAによる割り込み要求 (OCIA) を禁止
1	OCFAによる割り込み要求 (OCIA) を許可

インプットキャプチャインタラプトDイネーブル

0	ICFDによる割り込み要求 (ICID) を禁止
1	ICFDによる割り込み要求 (ICID) を許可

インプットキャプチャインタラプトCイネーブル

0	ICFCによる割り込み要求 (ICIC) を禁止
1	ICFCによる割り込み要求 (ICIC) を許可

インプットキャプチャインタラプトBイネーブル

0	ICFBによる割り込み要求 (ICIB) を禁止
1	ICFBによる割り込み要求 (ICIB) を許可

インプットキャプチャインタラプトAイネーブル

0	ICFAによる割り込み要求 (ICIA) を禁止
1	ICFAによる割り込み要求 (ICIA) を許可

## H'FF91 : タイマコントロール/ステータスレジスタ TCSR : FRT

ビット :	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W						

カウンタクリアA	
0	FRCのクリアを禁止
1	コンペアマッチAによりFRCをクリア

タイマオーバーフロー	
0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] FRCの値が、H'FFFF H'0000になったとき

アウトプットコンペアフラグB	
0	[クリア条件] OCFB=1の状態、OCFBをリードした後、OCFBに0をライトしたとき
1	[セット条件] FRC=OCRBになったとき

アウトプットコンペアフラグA	
0	[クリア条件] OCFA=1の状態、OCFAをリードした後、OCFAに0をライトしたとき
1	[セット条件] FRC=OCRAになったとき

インプットキャプチャフラグD	
0	[クリア条件] ICFD=1の状態、ICFDをリードした後、ICFDに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

インプットキャプチャフラグC	
0	[クリア条件] ICFC=1の状態、ICFCをリードした後、ICFCに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

インプットキャプチャフラグB	
0	[クリア条件] ICFB=1の状態、ICFBをリードした後、ICFBに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRBに転送されたとき

インプットキャプチャフラグA	
0	[クリア条件] ICFA=1の状態、ICFAをリードした後、ICFAに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRAに転送されたとき

【注】\* ビット7~1はフラグをクリアするための0ライトのみ可能です。

H'FF92 : フリーランニングカウンタ FRC : FRT



H'FF94 : アウトプットコンペアレジスタ A、B OCRA、OCRB : FRT



## H'FF96 : タイマコントロールレジスタ TCR : FRT

ビット :	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	0	内部クロック： /2でカウント
	1	内部クロック： /8でカウント
1	0	内部クロック： /32でカウント
	1	外部クロック： 立ち上がりエッジ ( )でカウント

0	ICRDをICRBのバッファレジスタとして使用しない
1	ICRDをICRBのバッファレジスタとして使用する

0	ICRCをICRAのバッファレジスタとして使用しない
1	ICRCをICRAのバッファレジスタとして使用する

0	インプットキャプチャ入力Dの立ち下がりエッジ( )でキャプチャ
1	インプットキャプチャ入力Dの立ち上がりエッジ( )でキャプチャ

0	インプットキャプチャ入力Cの立ち下がりエッジ( )でキャプチャ
1	インプットキャプチャ入力Cの立ち上がりエッジ( )でキャプチャ

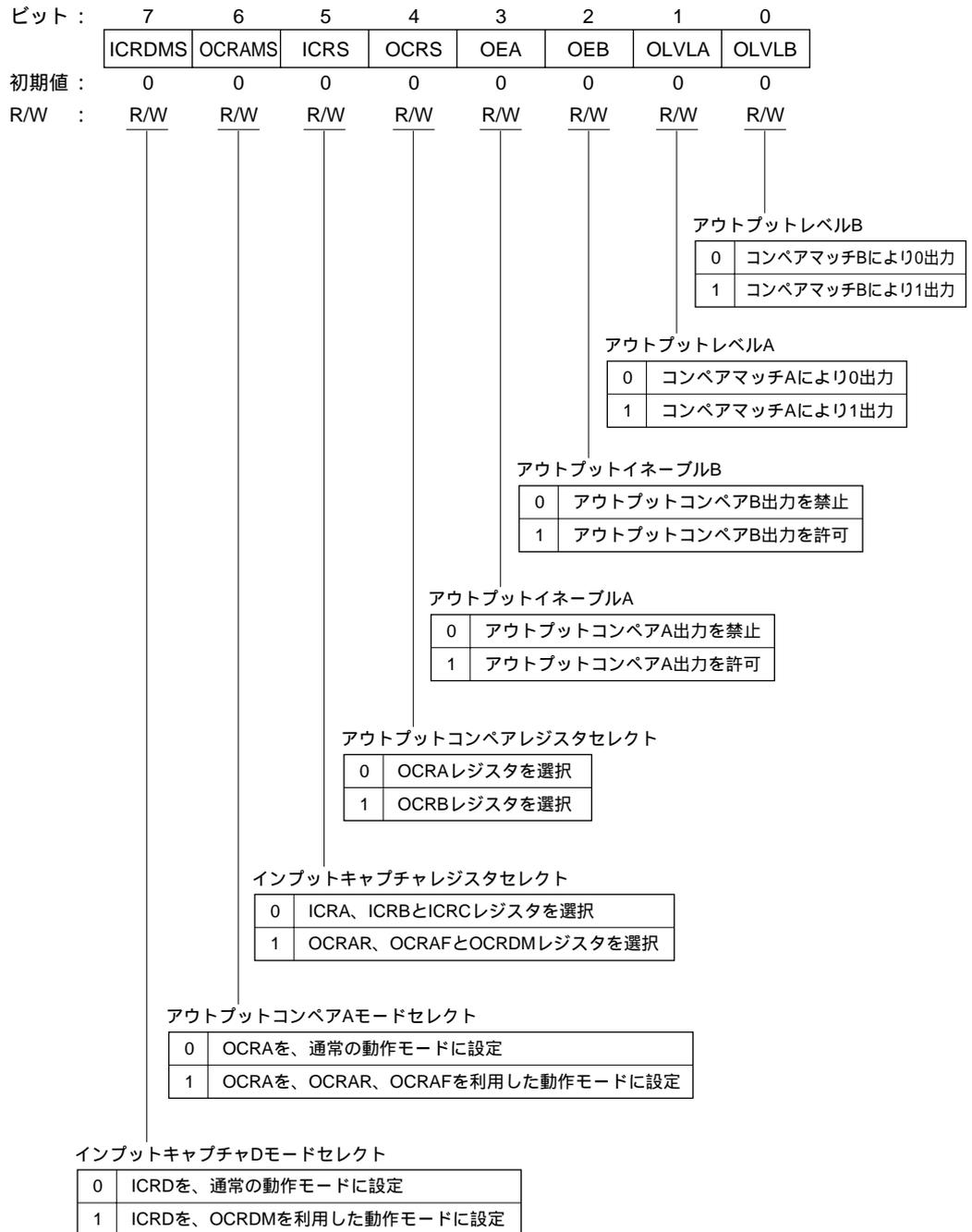
  

0	インプットキャプチャ入力Bの立ち下がりエッジ( )でキャプチャ
1	インプットキャプチャ入力Bの立ち上がりエッジ( )でキャプチャ

0	インプットキャプチャ入力Aの立ち下がりエッジ( )でキャプチャ
1	インプットキャプチャ入力Aの立ち上がりエッジ( )でキャプチャ

## H'FF97 : タイマアウトプットコンペアコントロールレジスタ TOCR : FRT



H'FF98 : アウトプットコンペアレジスタ AR    OCRAR : FRT  
 H'FF9A : アウトプットコンペアレジスタ AF    OCRAF : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

TOCRのOCRAMS = 1のとき、OCRAの動作に使用  
 (詳細は「11.2.4 アウトプットコンペアレジスタAR、AF  
 (OCRAR、OCRAF)」を参照)

H'FF9C : アウトプットコンペアレジスタ DM    OCRDM : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

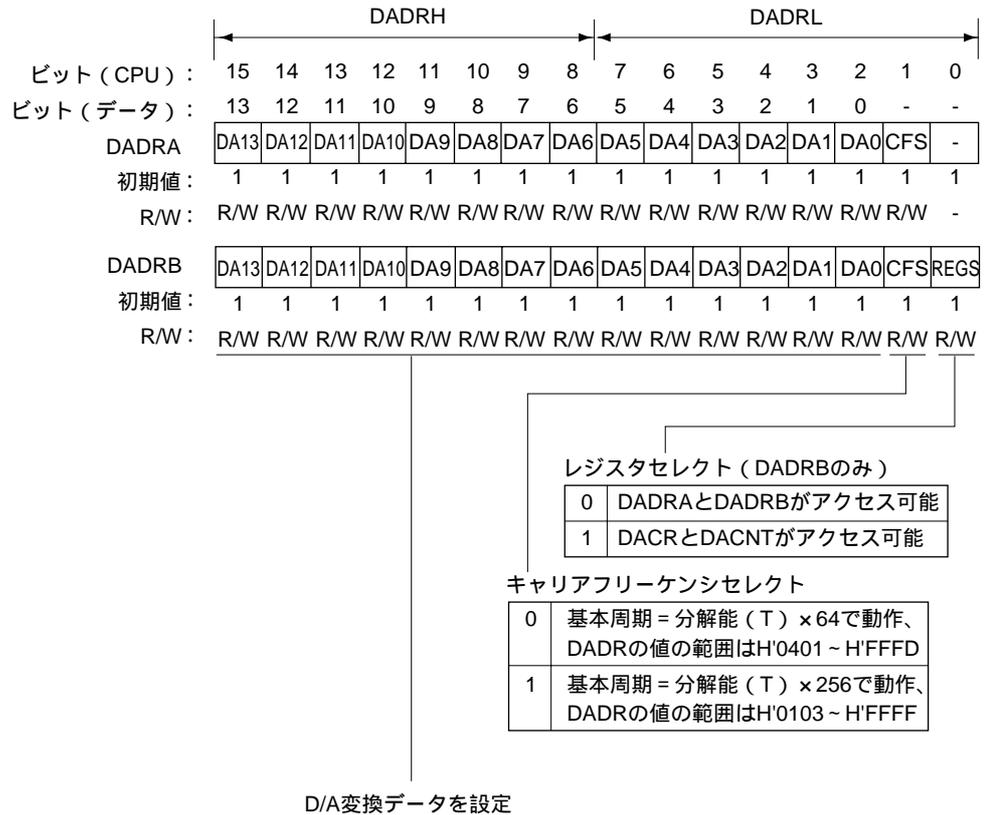
TOCRのICRDMS = 1のとき、ICRDの動作に使用  
 (詳細は「11.2.5 アウトプットコンペアレジスタDM (OCRDM)」を参照)

H'FF98 : インプットキャプチャレジスタ A    ICRA : FRT  
 H'FF9A : インプットキャプチャレジスタ B    ICRB : FRT  
 H'FF9C : インプットキャプチャレジスタ C    ICRC : FRT  
 H'FF9E : インプットキャプチャレジスタ D    ICRD : FRT

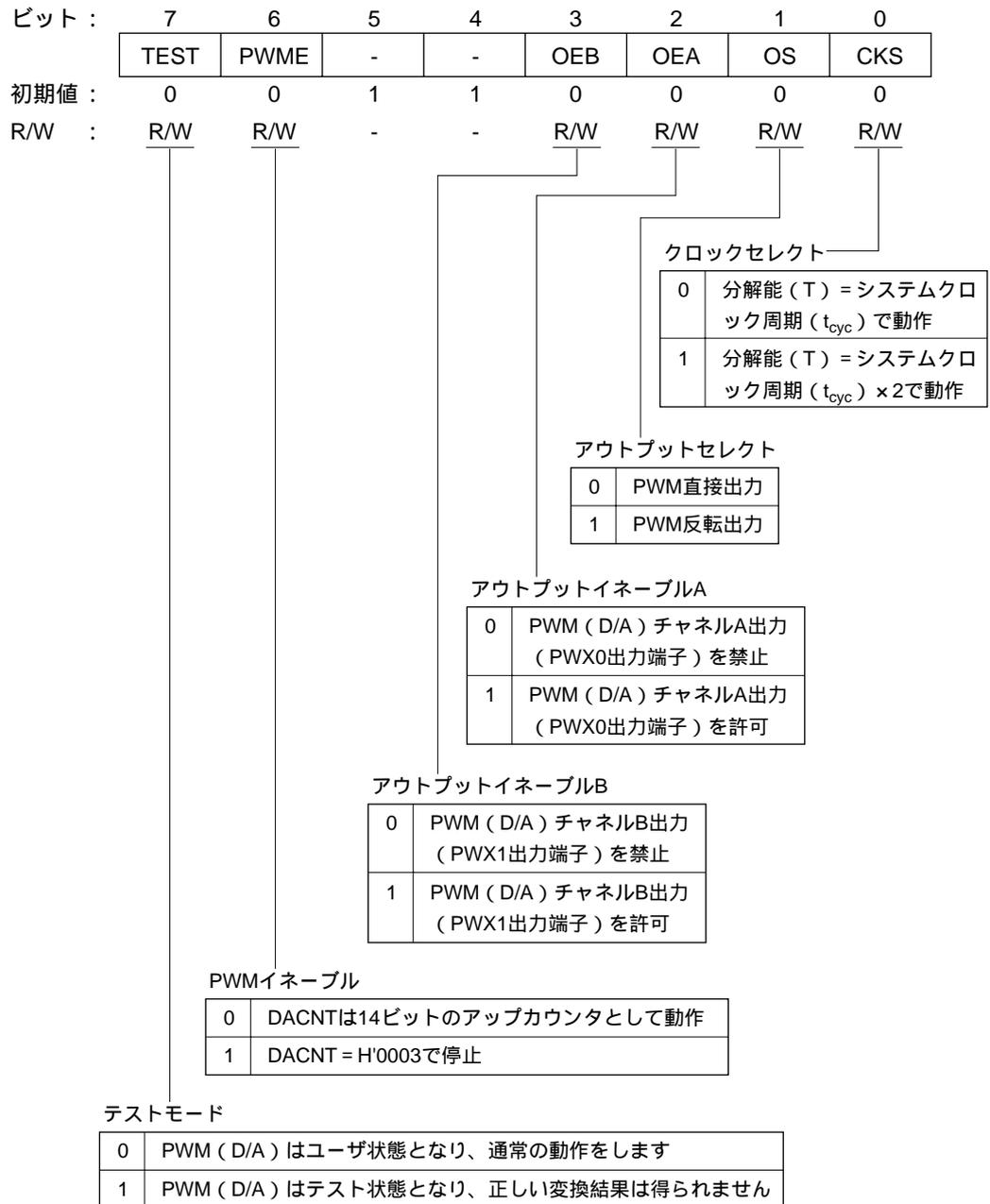
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

インプットキャプチャ信号入力時、FRCの値を格納  
 (ICRC、Dはバッファ動作が可能です。詳細は「11.2.3 インプット  
 キャプチャレジスタA~D (ICRA~ICRD)」を参照)

H'FFA0 : PWM ( D/A ) データレジスタ AH    DADRAH : PWMX  
 H'FFA1 : PWM ( D/A ) データレジスタ AL    DADRAL : PWMX  
 H'FFA6 : PWM ( D/A ) データレジスタ BH    DADRBH : PWMX  
 H'FFA7 : PWM ( D/A ) データレジスタ BL    DADRBL : PWMX



## H'FFA0 : PWM ( D/A ) コントロールレジスタ DACR : PWMX





## H'FFA8 : タイマコントロール/ステータスレジスタ 0 TCSR0 : WDT0

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト2~0

CKS2	CKS1	CKS0	クロック
0	0	0	/ 2
		1	/ 64
	1	0	/ 128
		1	/ 512
1	0	0	/ 2048
		1	/ 8192
	1	0	/ 32768
		1	/ 131072

リセットまたはNMI

0	NMI割り込みを要求
1	内部リセットを要求

リザーブ

タイマイネーブル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード : TCNTがオーバーフローしたとき CPUへインターバルタイマ割り込み (WOVI) を要求
1	ウォッチドッグタイマモード : TCNTがオーバーフローしたとき CPUへリセットまたはNMI割り込みを要求

オーバーフローフラグ

0	[クリア条件] (1) TMEビットに0をライトしたとき (2) OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき
1	[セット条件] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FFA8 (W) H'FFA9 (R) : タイマカウンタ0 TCNT0 : WDT0

H'FFEA (W) H'FFEB (R) : タイマカウンタ1 TCNT1 : WDT1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

↑  
アップカウンタ

H'FFAC : ポート1 プルアップMOS コントロールレジスタ P1PCR : ポート1

ビット :	7	6	5	4	3	2	1	0
	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

↑  
ポート1に内蔵された入力プルアップMOSを制御

H'FFAD : ポート2 プルアップMOS コントロールレジスタ P2PCR : ポート2

ビット :	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

↑  
ポート2に内蔵された入力プルアップMOSを制御

H'FFAE : ポート3 プルアップMOS コントロールレジスタ P3PCR : ポート3

ビット :	7	6	5	4	3	2	1	0
	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

↑  
ポート3に内蔵された入力プルアップMOSを制御

## H'FFB0 : ポート 1 データディレクションレジスタ P1DDR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート1の各端子の入出力を指定

## H'FFB1 : ポート 2 データディレクションレジスタ P2DDR : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート2の各端子の入出力を指定

## H'FFB2 : ポート 1 データレジスタ P1DR : ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート1の各端子の出力データを格納

## H'FFB3 : ポート 2 データレジスタ P2DR : ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート2の各端子の出力データを格納

## H'FFB4 : ポート 3 データディレクションレジスタ P3DDR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート3の各端子の入出力を指定

## H'FFB5 : ポート 4 データディレクションレジスタ P4DDR : ポート 4

ビット :	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
モード1								
初期値 :	0	1	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード2、3								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4の各端子の入出力を指定

## H'FFB6 : ポート 3 データレジスタ P3DR : ポート 3

ビット :	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート3の各端子の出力データを格納

## H'FFB7 : ポート 4 データレジスタ P4DR : ポート 4

ビット :	7	6	5	4	3	2	1	0
	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR
初期値 :	0	*	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ポート4の各端子の出力データを格納

【注】\* P46端子の状態により決定されます。

## H'FFB8 : ポート 5 データディレクションレジスタ P5DDR : ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DDR	P51DDR	P50DDR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	W	W	W

ポート5の各端子の入出力を指定

## H'FFB9 : ポート 6 データディレクションレジスタ P6DDR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート6の各端子の入出力を指定

## H'FFBA : ポート 5 データレジスタ P5DR : ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	P52DR	P51DR	P50DR
初期値 :	1	1	1	1	1	0	0	0
R/W :	-	-	-	-	-	R/W	R/W	R/W

ポート5の各端子の出力データを格納

H'FFBB : ポート 6 データレジスタ P6DR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ポート6の各端子の出力データを格納

H'FFBE : ポート 7 入力データレジスタ P7PIN : ポート 7

ビット :	7	6	5	4	3	2	1	0
	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN
初期値 :	*	*	*	*	*	*	*	*
R/W :	R	R	R	R	R	R	R	R

ポート7の各端子の状態

【注】\* P77 ~ P70端子の状態により決定されます。

H'FFC2 : IRQ イネーブルレジスタ IER : 割り込み

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	IRQ2E	IRQ1E	IRQ0E
初期値 :	1	1	1	1	1	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

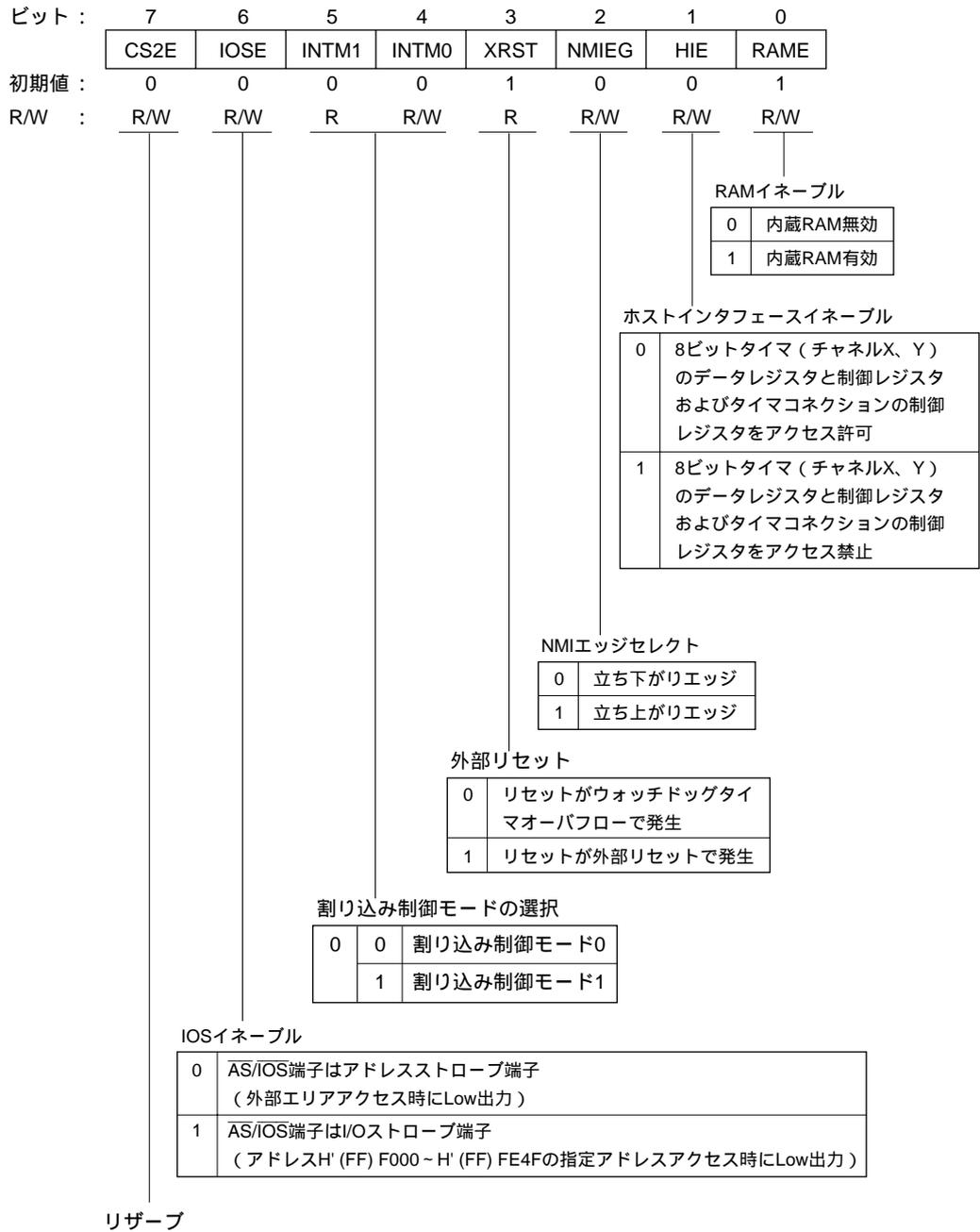
IRQ2 ~ IRQ0イネーブル

0	IRQn割り込みを禁止
1	IRQn割り込みを許可

(n = 2 ~ 0)



## H'FFC4 : システムコントロールレジスタ SYSCR : システム



## H'FFC5 : モードコントロールレジスタ MDCR : システム

ビット :	7	6	5	4	3	2	1	0
	EXPE	-	-	-	-	-	MDS1	MDS0
初期値 :	- *	0	0	0	0	0	- *	- *
R/W :	R/W*	-	-	-	-	-	R	R

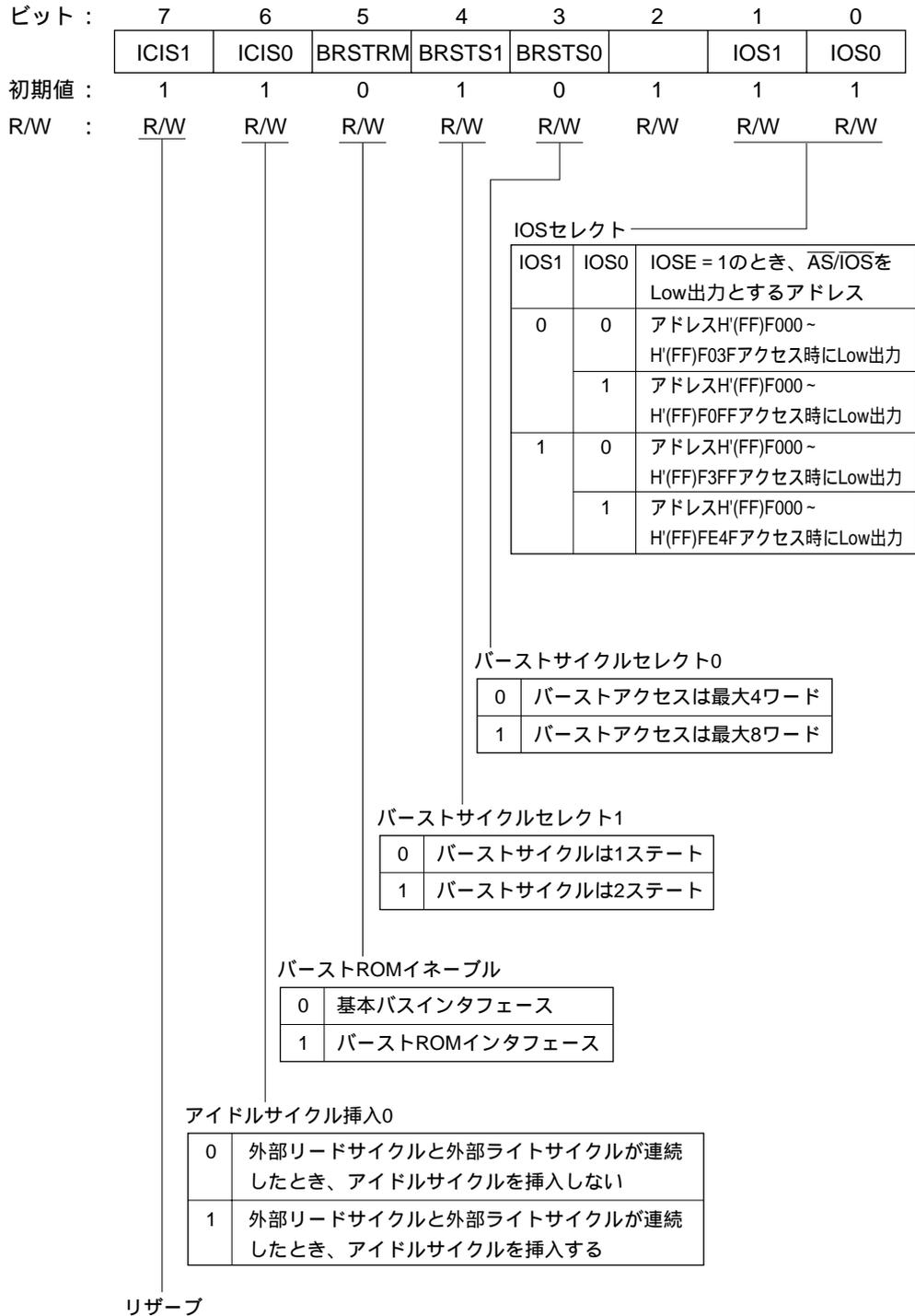
拡張モードイネーブル

0	シングルチップモードを選択
1	拡張モードを選択

モード端子の状態

【注】\* MD1 ~ MD0端子により決定されます。

## H'FFC6 : バスコントロールレジスタ BCR : バスコントローラ



## H'FFC7 : ウェイトステートコントロールレジスタ WSCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0
初期値 :	0	0	1	1	0	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブ

ウェイトカウント1、0

0	0	プログラムウェイトを挿入しない
	1	外部メモリ空間アクセス時、 プログラムウェイトを1ステート挿入
1	0	外部メモリ空間アクセス時、 プログラムウェイトを2ステート挿入
	1	外部メモリ空間アクセス時、 プログラムウェイトを3ステート挿入

ウェイトモードセレクト1、0

0	0	プログラムウェイトモード
	1	ウェイト禁止モード
1	0	端子ウェイトモード
	1	端子オートウェイトモード

アクセスステートコントロール

0	外部メモリ空間を2ステートアクセス空間に設定 外部メモリ空間のアクセスにウェイトステートの挿入を禁止
1	外部メモリ空間アクセスは3ステートアクセス 外部メモリ空間アクセスにウェイトステートの挿入を許可

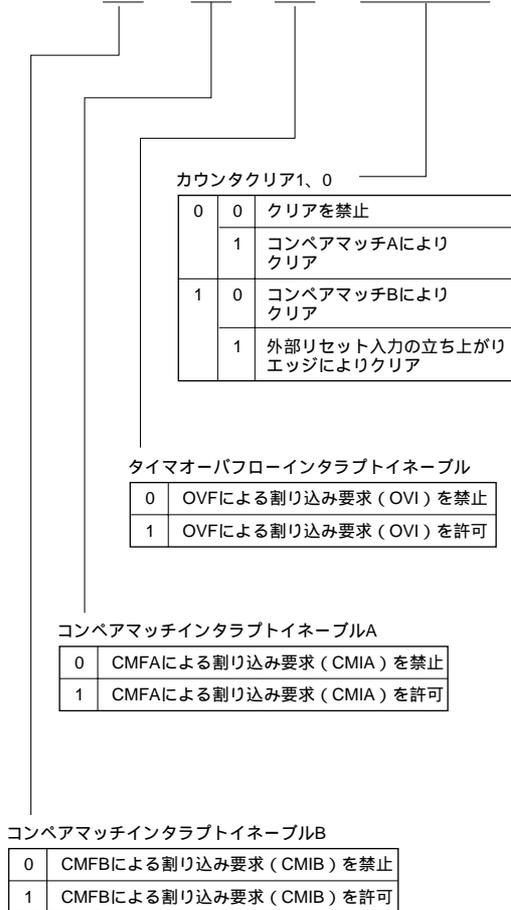
バス幅コントロール

0	外部メモリ空間を16ビットアクセス空間に設定
1	外部メモリ空間を8ビットアクセス空間に設定

H'FFC8 : タイマコントロールレジスタ0 TCR0 : TMR0  
 H'FFC9 : タイマコントロールレジスタ1 TCR1 : TMR1  
 H'FFF0 : タイマコントロールレジスタX TCRX : TMRX  
 H'FFF0 : タイマコントロールレジスタY TCRY : TMRX

ビット :

7	6	5	4	3	2	1	0
CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W



クロックセレクト2-0

チャンネル	クロックセレクト2-0			説明
	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	
0	0	0	0	クロック入力を禁止
			1*1	内部クロック : /8立ち下がりエッジでカウント
			1*1	内部クロック : /2立ち下がりエッジでカウント
	1	0*1	0	内部クロック : /64立ち下がりエッジでカウント
			1*1	内部クロック : /32立ち下がりエッジでカウント
			1*1	内部クロック : /1024立ち下がりエッジでカウント
1	0	0	内部クロック : /256立ち下がりエッジでカウント	
1	0	0	0	クロック入力を禁止
			1*1	内部クロック : /8立ち下がりエッジでカウント
			1*1	内部クロック : /2立ち下がりエッジでカウント
	1	0*1	0	内部クロック : /64立ち下がりエッジでカウント
			1*1	内部クロック : /128立ち下がりエッジでカウント
			1*1	内部クロック : /1024立ち下がりエッジでカウント
1	0	0	内部クロック : /2048立ち下がりエッジでカウント	
X	0	0	0	クロック入力を禁止
			1	内部クロック : でカウント
			1	内部クロック : /2立ち下がりエッジでカウント
	1	0	0	内部クロック : /4立ち下がりエッジでカウント
Y	0	0	0	クロック入力を禁止
			1	内部クロック : /4立ち下がりエッジでカウント
			1	内部クロック : /256立ち下がりエッジでカウント
	1	0	0	内部クロック : /2048立ち下がりエッジでカウント
			1	内部クロック : /4立ち下がりエッジでカウント
			1	内部クロック : /256立ち下がりエッジでカウント
共通	1	0	1	クロック入力を禁止
			1	外部クロック : 立ち上がりエッジでカウント
			1	外部クロック : 立ち下がりエッジでカウント
1	1	1	外部クロック : 立ち上がり / 立ち下がり両エッジでカウント	

【注】 \*1 STCRのICKS1、ICKS0で選択します。詳細は「12.2.4 タイマコントロールステータスレジスタ (TCR)」を参照してください。  
 \*2 チャンネル0のクロック入力をTCNT1のオーバフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

## H'FFCA : タイマコントロール/ステータスレジスタ0 TCSR0 : TMR0

TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

A/Dトリガイネーブル

0	コンペアマッチAによるA/D変換開始要求を禁止
1	コンペアマッチAによるA/D変換開始要求を許可

タイマオーバフローフラグ

0	[ クリア条件 ] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[ セット条件 ] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

0	[ クリア条件 ] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[ セット条件 ] TCNT = TCORAになったとき

コンペアマッチフラグB

0	[ クリア条件 ] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[ セット条件 ] TCNT = TCORBになったとき

【注】\* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

H'FFCB : タイマコントロール/ステータスレジスタ1 TCSR1 : TMR1

TCSR1

ビット :	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

タイマオーバフローフラグ

0	[ クリア条件 ] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[ セット条件 ] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

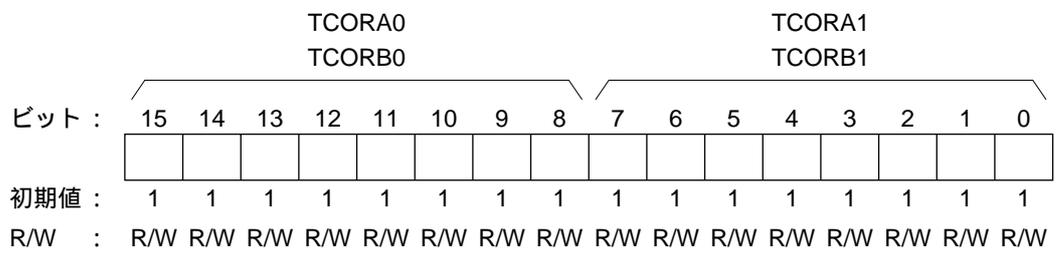
0	[ クリア条件 ] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[ セット条件 ] TCNT = TCORAになったとき

コンペアマッチフラグB

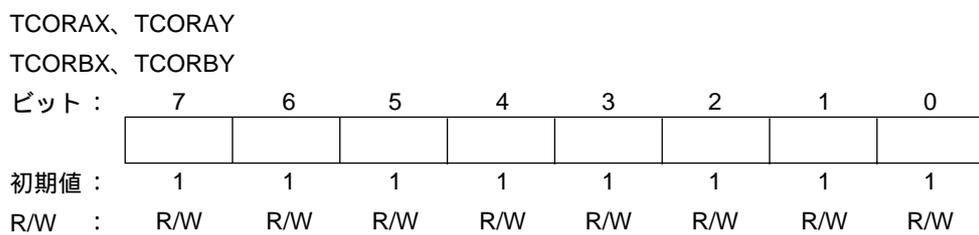
0	[ クリア条件 ] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[ セット条件 ] TCNT = TCORBになったとき

【注】\* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

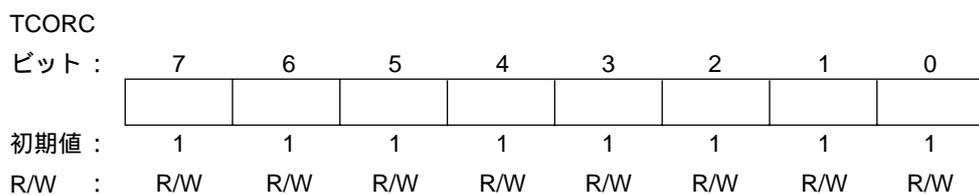
H'FFCC : タイムコンスタントレジスタ A0 TCORA0 : TMR0  
 H'FFCD : タイムコンスタントレジスタ A1 TCORA1 : TMR1  
 H'FFCE : タイムコンスタントレジスタ B0 TCORB0 : TMR0  
 H'FFCF : タイムコンスタントレジスタ B1 TCORB1 : TMR1  
 H'FFF2 : タイムコンスタントレジスタ AY TCORAY : TMR Y  
 H'FFF3 : タイムコンスタントレジスタ BY TCORBY : TMR Y  
 H'FFF5 : タイムコンスタントレジスタ C TCORC : TMR X  
 H'FFF6 : タイムコンスタントレジスタ AX TCORAX : TMR X  
 H'FFF7 : タイムコンスタントレジスタ BX TCORBX : TMR X



TCORとTCNTの値の一致時にコンペアマッチフラグ (CMF) をセット

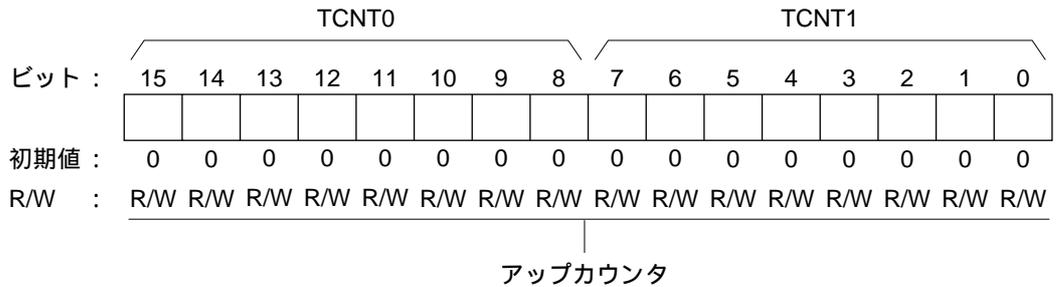


TCORとTCNTの値の一致時にコンペアマッチフラグ (CMF) をセット

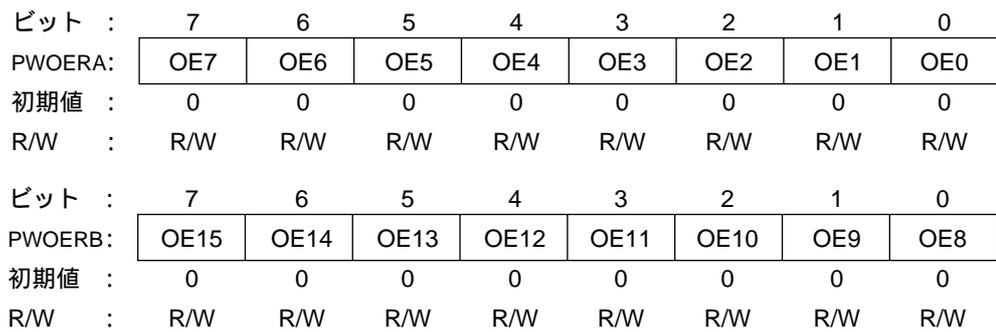


TCORCとTICRの内容の和と、TCNTの一致時にコンペアマッチC信号が発生

H'FFD0 : タイマカウンタ 0 TCNT0 : TMR0  
 H'FFD1 : タイマカウンタ 1 TCNT1 : TMR1  
 H'FFF4 : タイマカウンタ X TCNTX : TMRX  
 H'FFF4 : タイマカウンタ Y TCNTY : TMR Y



H'FFD3 : PWM アウトプットイネーブルレジスタ A PWOERA : PWM  
 H'FFD2 : PWM アウトプットイネーブルレジスタ B PWOERB : PWM



PWM出力とポート出力を切り替え

DDR	OE	説明
0	0	ポート入力
	1	ポート入力
1	0	ポート出力またはPWMの256 / 256出力
	1	PWM出力 ( 0 ~ 255 / 256出力 )

H'FFD5 : PWM データポラリティレジスタ A    PWDPRB : PWM  
H'FFD4 : PWM データポラリティレジスタ B    PWDPRB : PWM

ビット :	7	6	5	4	3	2	1	0
PWDPRB:	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
PWDPRB:	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM出力の極性を制御

0	PWM直接出力 (PWDRの値が、出力のHigh幅に対応)
1	PWM反転出力 (PWDRの値が、出力のLow幅に対応)

## H'FFD6 : PWM レジスタセレクト PWSL : PWM

ビット :	7	6	5	4	3	2	1	0
	PWCKE	PWCKS	-	-	RS3	RS2	RS1	RS0
初期値 :	0	0	1	0	0	0	0	0
R/W :	R/W	R/W	-	-	R/W	R/W	R/W	R/W

レジスタセレクト

0	0	0	0	PWDR0選択
			1	PWDR1選択
		1	0	PWDR2選択
			1	PWDR3選択
	1	0	0	PWDR4選択
			1	PWDR5選択
	1	1	0	PWDR6選択
			1	PWDR7選択
1	0	0	0	PWDR8選択
			1	PWDR9選択
		1	0	PWDR10選択
			1	PWDR11選択
	1	0	0	PWDR12選択
			1	PWDR13選択
		1	0	PWDR14選択
			1	PWDR15選択

PWMクロックイネーブル、PWMクロックセレクト

PWSL		PCSR		説明
ビット7	ビット6	ビット2	ビット1	
PWCKE	PWCKS	PWCKB	PWCKA	
0	-	-	-	クロック入力禁止
1	0	-	-	(システムクロック)を選択
				1
	1	1	/4を選択	
	1	0	1	0
1				1

## H'FFD7 : PWM データレジスタ PWDR0 ~ PWDR15 : PWM

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

出力する基本パルスのデューティ比および付加パルス個数の指定

H'FFE0 : A/D データレジスタ AH    ADDR AH : A/D  
H'FFE1 : A/D データレジスタ AL    ADDR AL : A/D  
H'FFE2 : A/D データレジスタ BH    ADDR BH : A/D  
H'FFE3 : A/D データレジスタ BL    ADDR BL : A/D  
H'FFE4 : A/D データレジスタ CH    ADDR CH : A/D  
H'FFE5 : A/D データレジスタ CL    ADDR CL : A/D  
H'FFE6 : A/D データレジスタ DH    ADDR DH : A/D  
H'FFE7 : A/D データレジスタ DL    ADDR DL : A/D

	ADDRH									ADDRL						
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

A/Dデータを格納

アナログ入力チャンネルとADDRの対応

アナログ入力チャンネル		A/Dデータレジスタ
グループ0	グループ1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6またはCIN0 ~ CIN7	ADDRC
AN3	AN7	ADDRD

## H'FFE8 : A/D コントロール / ステータスレジスタ ADCSR : A/D

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ 選択	チャンネル 選択			説 明	
CH2	CH1	CH0	シングルモード	スキャンモード	
0	0	0	AN0	AN0	
		1	AN1	AN0、AN1	
	1	0	AN2	AN0、AN1、AN2	
		1	AN3	AN0、AN1、AN2、AN3	
1	0	0	AN4	AN4	
		1	AN5	AN4、AN5	
	1	0	AN6または CIN0 ~ 7	AN4、AN5、AN6またはCIN0 ~ 7	
		1	AN7	AN4、AN5、AN6またはCIN0 ~ 7、AN7	

0	変換時間 = 266ステート (Max)
1	変換時間 = 134ステート (Max)

0	シングルモード
1	スキャンモード

0	A/D変換を停止
1	(1) シングルモード : A/D変換を開始。指定したチャンネルの変換が終了すると自動的に0にクリア (2) スキャンモード : A/D変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって、0にクリアされるまで選択されたチャンネルを順次連続変換

0	A/D変換の終了による割り込み (ADI) 要求を禁止
1	A/D変換の終了による割り込み (ADI) 要求を許可

0	[ クリア条件 ] (1) ADF = 1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDTCが起動され、ADDRをリードしたとき
1	[ セット条件 ] (1) シングルモード : A/D変換が終了したとき (2) スキャンモード : 指定したすべてのチャンネルのA/D変換が終了したとき

【注】\* フラグをクリアするための0ライトのみ可能です。

## H'FFE9 : A/D コントロールレジスタ ADCR : A/D

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	—	—	—	—
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	—	—	—	—	—	—

## タイマトリガセレクト

0	0	外部トリガによるA/D変換の開始を禁止
	1	外部トリガによるA/D変換の開始を禁止
1	0	外部トリガ(8ビットタイマ)によるA/D変換の開始を許可
	1	外部トリガ端子によるA/D変換の開始を許可

## H'FFEA : タイマコントロール/ステータスレジスタ1 TCSR1 : WDT1

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PSS	CKS2	CKS1	CKS0	クロック
0	0	0	0	/ 2
			1	/ 64
		1	0	0
	1			/ 512
	1		0	0
		1		/ 8192
1		/ 32768		
1	0	0	0	SUB / 2
			1	SUB / 4
		1	0	0
	1			SUB / 16
	1		0	0
		1		SUB / 64
1		SUB / 128		
			1	SUB / 256

	0	1
	NMI割り込みを要求	内部リセットを要求

	0	1
	TCNTは ベースのプリスケラ (PSM) の分周クロックをカウント	TCNTは SUBベースのプリスケラ (PSS) の分周クロックをカウント

	0	1
	TCNTをH'00に初期化し、カウント動作を停止	TCNTはカウント動作

	0	1
	インターバルタイマモード : TCNTがオーバーフローしたとき CPUへインターバルタイマ割り込み (WOVI) を要求	ウォッチドッグタイマモード : TCNTがオーバーフローしたとき CPUへリセットまたはNMI割り込みを要求

	0	1
	[ クリア条件 ] (1) TMEビットに0をライトしたとき (2) OVF = 1の状態、TCSRをリード後、OVFに0をライトしたとき	[ セット条件 ] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後に内部リセットにより自動的にクリアされます。

【注】 \*1 フラグをクリアするための0ライトのみ可能です。

\*2 低消費電力モード遷移時の動作制御については、「21.2.3 タイマコントロール/ステータスレジスタ (TCSR)」を参照してください。

## H'FFF1 : タイマコントロール/ステータスレジスタ X TCSR\_X : TMRX

TCSR\_X

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

インプットキャプチャフラグ

0	[クリア条件] ICF = 1の状態、ICFをリードした後、ICFに0をライトしたとき
1	[セット条件] TCONRIのICSTビットが1にセットされた後、外部リセット信号に立ち上がりエッジ 立ち下がりエッジの順でエッジを検出したとき

タイマオーバーフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORBになったとき

【注】\* ビット7~4は、フラグをクリアするための0ライトのみ可能です。

H'FFF1 : タイマコントロール/ステータスレジスタ Y TCSRY : TMR Y

TCSRY

ビット :	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0

初期値 : 0 0 0 0 0 0 0 0

R/W : R/(W)\* R/(W)\* R/(W)\* R/W R/W R/W R/W R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

インプットキャプチャインタラプトイネーブル

0	ICFによる割り込み要求 (ICIX) を禁止
1	ICFによる割り込み要求 (ICIX) を許可

タイマオーバフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT = TCORBになったとき

【注】\* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

H'FFF2 : インพุットキャプチャレジスタ R    TICRR : TMRX  
 H'FFF3 : インพุットキャプチャレジスタ F    TICRF : TMRX

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

外部リセット入力の立ち下がり時、TCNTの値を格納

H'FFF5 : タイマインพุットセレクトレジスタ    TISR : TMR Y

ビット :	7	6	5	4	3	2	1	0
								IS
初期値 :	1	1	1	1	1	1	1	0
R/W :								R/W

インพุットセレクト

0	IVG信号を選択 (H8S/2128グループ、H8S/2128Sグループ) 外部クロック/リセット入力禁止 (H8S/2124グループ)
1	VSYNCl/TMIY (TMCiY/TMRIY) を選択

## H'FFFC : タイマコネクションレジスタ TCONRI : タイマコネクション

ビット:	7	6	5	4	3	2	1	0
	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

入力同期信号反転

0	VSYNCI端子の状態をそのままVSYNCI入力とする
1	VSYNCI端子の状態を反転してVSYNCI入力とする

入力同期信号反転

0	HSYNCI、CSYNCI端子の状態をそのままHSYNCI、CSYNCI入力とする
1	HSYNCI、CSYNCI端子の状態を反転してHSYNCI、CSYNCI入力とする

入力同期信号反転

0	VFBACKI端子の状態をそのままVFBACKI入力とする
1	VFBACKI端子の状態を反転してVFBACKI入力とする

入力同期信号反転

0	HFBACKI端子の状態をそのままHFBACKI入力とする
1	HFBACKI端子の状態を反転してHFBACKI入力とする

インプットキャプチャスタートビット

0	TICRR、TICRFのインプットキャプチャ機能を停止 [クリア条件] TMR1Xに、立ち上がりエッジ 立ち下がりエッジの順でエッジを検出
1	TICRR、TICRFのインプットキャプチャ機能が動作中 (TMR1Xの立ち上がりエッジ 立ち下がりエッジ検出待ち状態) [セット条件] ICST = 0のリード後、1をライトしたとき

同期信号接続イネーブル

SCONE	モード名称	FTIA	FTIB	FTIC	FTID	TMC11	TMR11
0	通常接続	FTIA入力	FTIB入力	FTIC入力	FTID入力	TMC11 入力	TMR11 入力
1	同期信号接続 モード	IVI信号	TMO1 信号	VFBACKI 入力	IHI信号	IHI信号	IVI 反転信号

入力同期モード選択1、0

SIMOD1	SIMOD0	モード名称	IHI信号	IVI信号
0	0	無信号	HFBACKI入力	VFBACKI入力
	1	SオンGモード	CSYNCI入力	PDC入力
1	0	コンビジットモード	HSYNCI入力	PDC入力
	1	セバレートモード	HSYNCI入力	VSYNCI入力

## H'FFFD : タイマコネクションレジスタ 0 TCONRO : タイマコネクション

ビット:	7	6	5	4	3	2	1	0
	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力同期信号反転	
0	CBLANK信号をそのままCBLANK出力とする
1	CBLANK信号を反転してCBLANK出力とする

出力同期信号反転	
0	CLO信号 (CL1、CL2、CL3またはCL4信号) をそのままCLAMPO出力とする
1	CLO信号 (CL1、CL2、CL3またはCL4信号) を反転してCLAMPO出力とする

出力同期信号反転	
0	IVO信号をそのままVSYNC出力とする
1	IVO信号を反転してVSYNC出力とする

出力同期信号反転	
0	IHO信号をそのままHSYNCO出力とする
1	IHO信号を反転してHSYNCO出力とする

出力許可	
0	P27/A15/PW15/CBLANK端子は、P27/A15/PW15端子として動作する
1	モード1 (内蔵ROM無効拡張モード) の場合： P27/A15/PW15/CBLANK端子は、A15端子として動作する モード2、3 (内蔵ROM有効モード) の場合： P27/A15/PW15/CBLANK端子は、CBLANK端子として動作する

出力許可	
0	P64/FTIC/CIN4/CLAMPO端子は、P64/FTIC/CIN4端子として動作する
1	P64/FTIC/CIN4/CLAMPO端子は、CLAMPO端子として動作する

出力許可	
0	P61/FTOA/CIN1/VSYNC端子は、P61/FTOA/CIN1端子として動作する
1	P61/FTOA/CIN1/VSYNC端子は、VSYNC端子として動作する

出力許可	
0	P67/TMO1/TMOX/CIN7/HSYNCO端子は、P67/TMO1/TMOX/CIN7端子として動作する
1	P67/TMO1/TMOX/CIN7/HSYNCO端子は、HSYNCO端子として動作する

## H'FFFE : タイマコネクションレジスタ S TCONRS : タイマコネクション

ビット :	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

クランプ波形モード選択1、0

ISGENE	CLMOD1	CLMOD0	説 明
0	0	0	CL1信号を選択
		1	CL2信号を選択
	1	0	CL3信号を選択
1	0	0	CL4信号を選択
		1	
	1	0	
		1	

垂直同期出力モード選択1、0

ISGENE	VOMOD1	VOMOD0	説 明
0	0	0	IVI信号 (立ち下がりモディファイなし、IHI同期なし)を選択
		1	IVI信号 (立ち下がりモディファイなし、IHI同期あり)を選択
	1	0	IVI信号 (立ち下がりモディファイあり、IHI同期なし)を選択
		1	IVI信号 (立ち下がりモディファイあり、IHI同期あり)を選択
1	0	0	IVG信号を選択
		1	
	1	0	
		1	

水平同期出力モード選択1、0

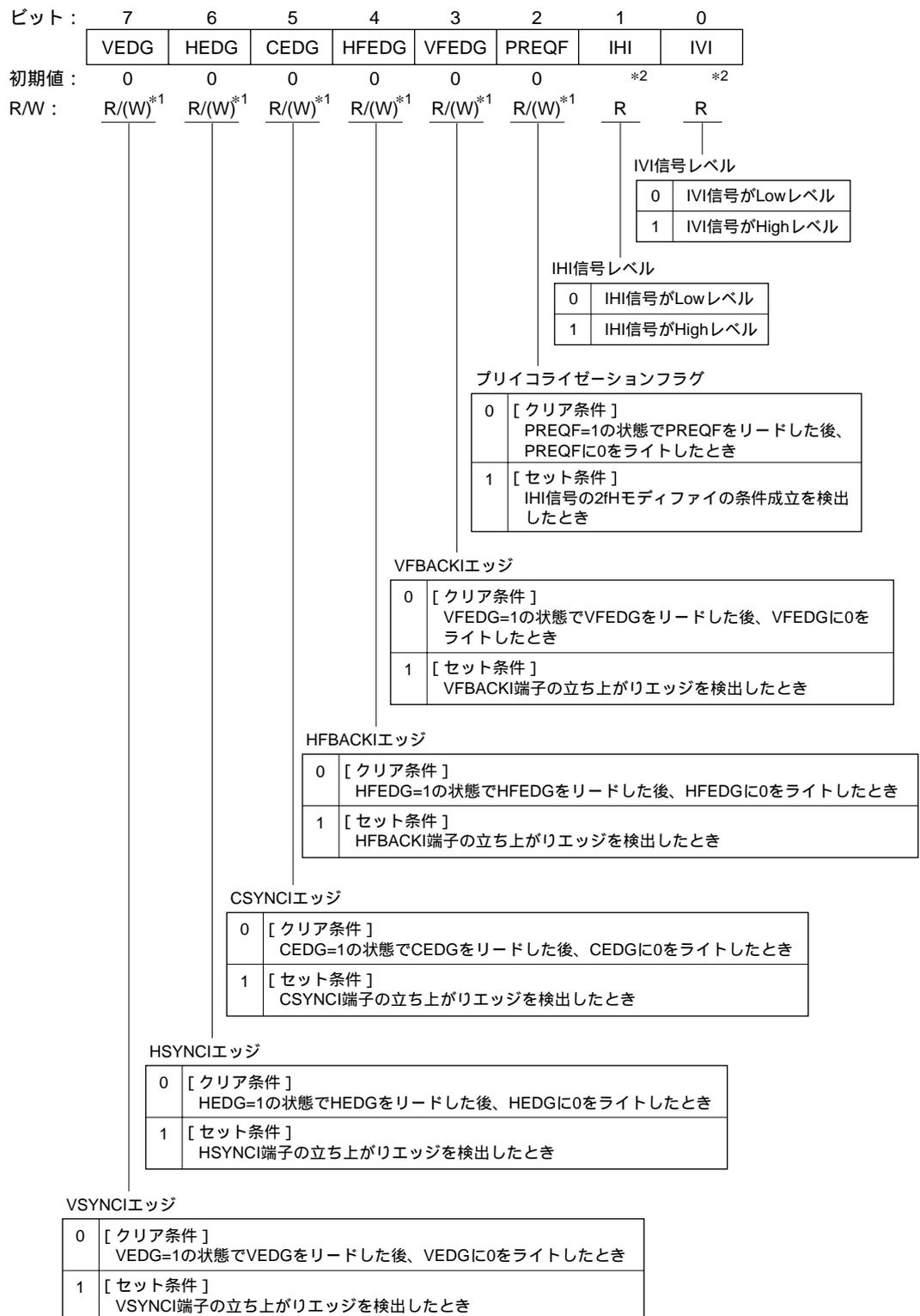
ISGENE	HOMOD1	HOMOD0	説 明
0	0	0	IHI信号 (2fHモディファイなし)を選択
		1	IHI信号 (2fHモディファイあり)を選択
	1	0	CL1信号を選択
1	0	0	IHG信号を選択
		1	
	1	0	
		1	

内部同期信号選択

8ビットタイマアクセス選択

0	アドレスH'FFF0 ~ H'FFF5でTMRXのレジスタをアクセスする
1	アドレスH'FFF0 ~ H'FFF5でTMRXのレジスタをアクセスする

## H'FFFF : エッジセンスレジスタ SEDGR : タイマコネクション



【注】\*1 フラグをクリアするための0ライトのみ可能です。

\*2 端子の状態によって決まるため、初期値は不定です。

## C. I/O ポートのブロック図

### C.1 ポート1ブロック図

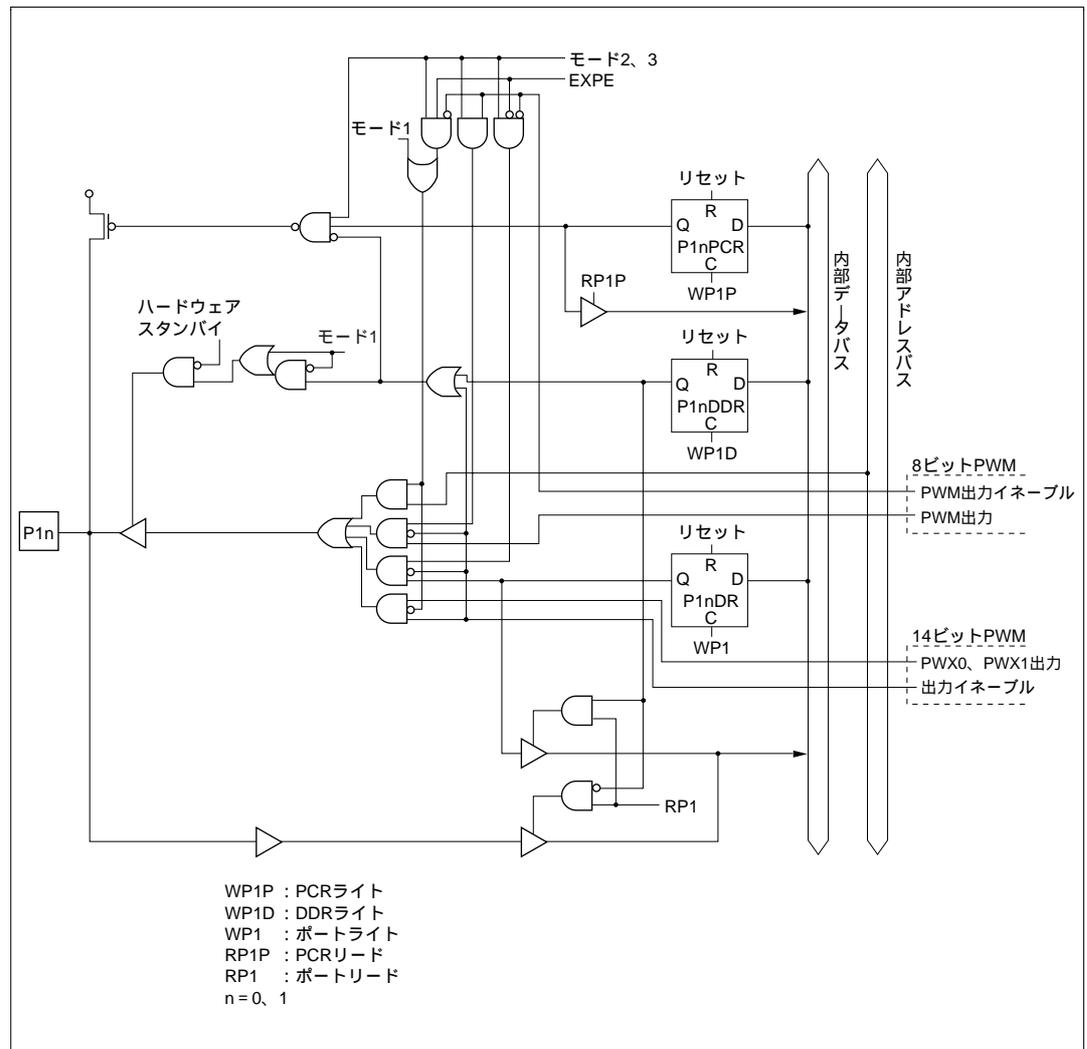


図 C.1 ポート1ブロック図 (P10、P11 端子)



## C.2 ポート2ブロック図

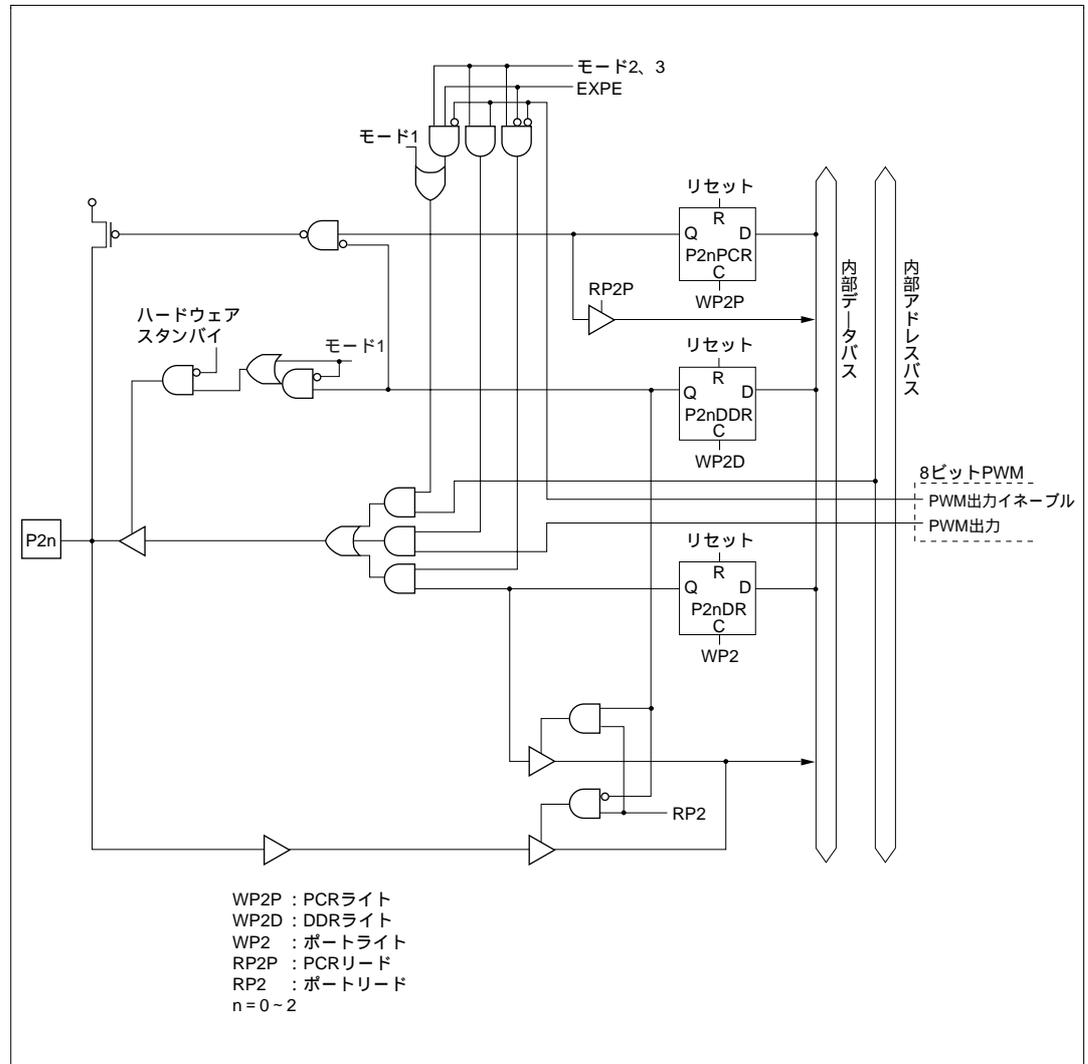


図 C.3 ポート2ブロック図 (P20 ~ P22 端子)

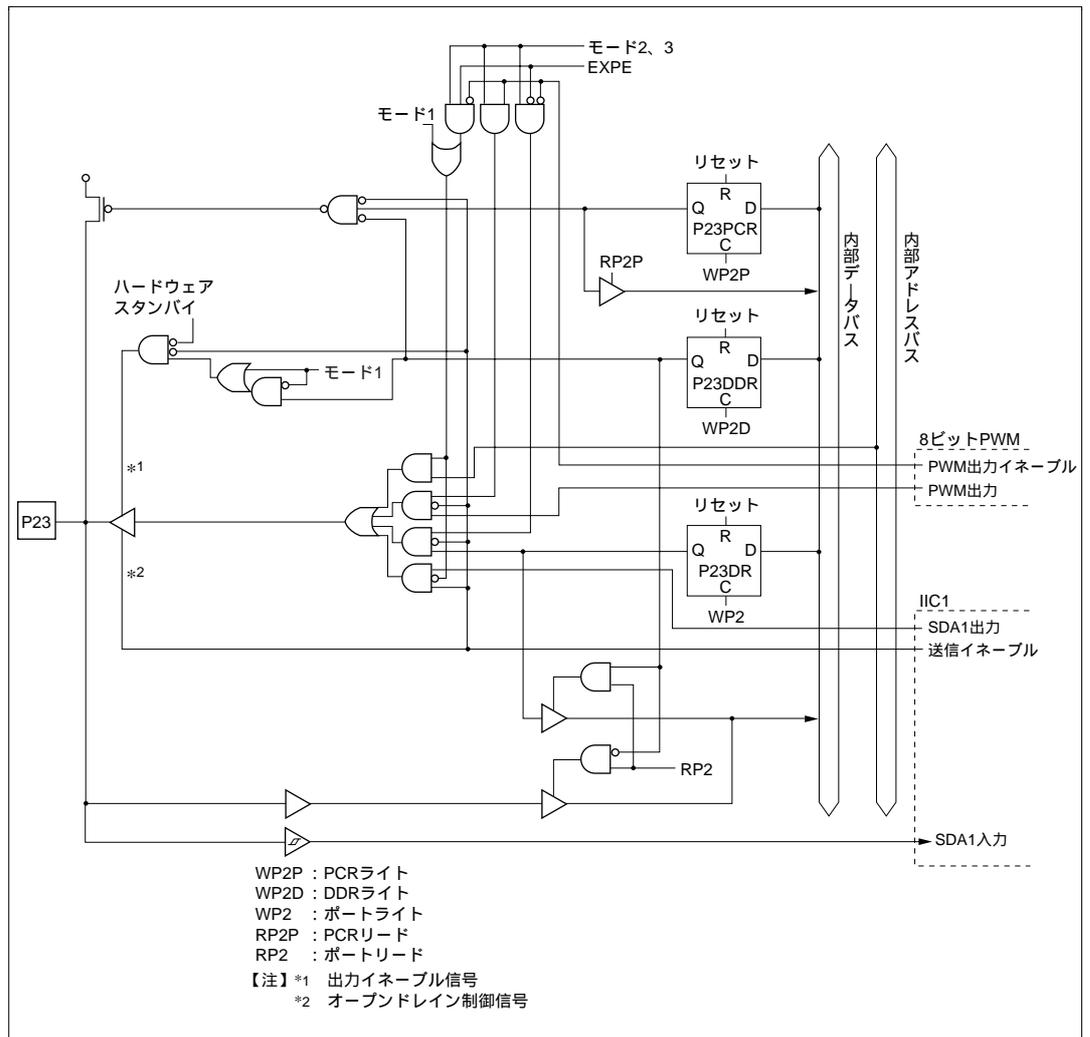


図 C.4 ポート 2 ブロック図 (P23 端子)

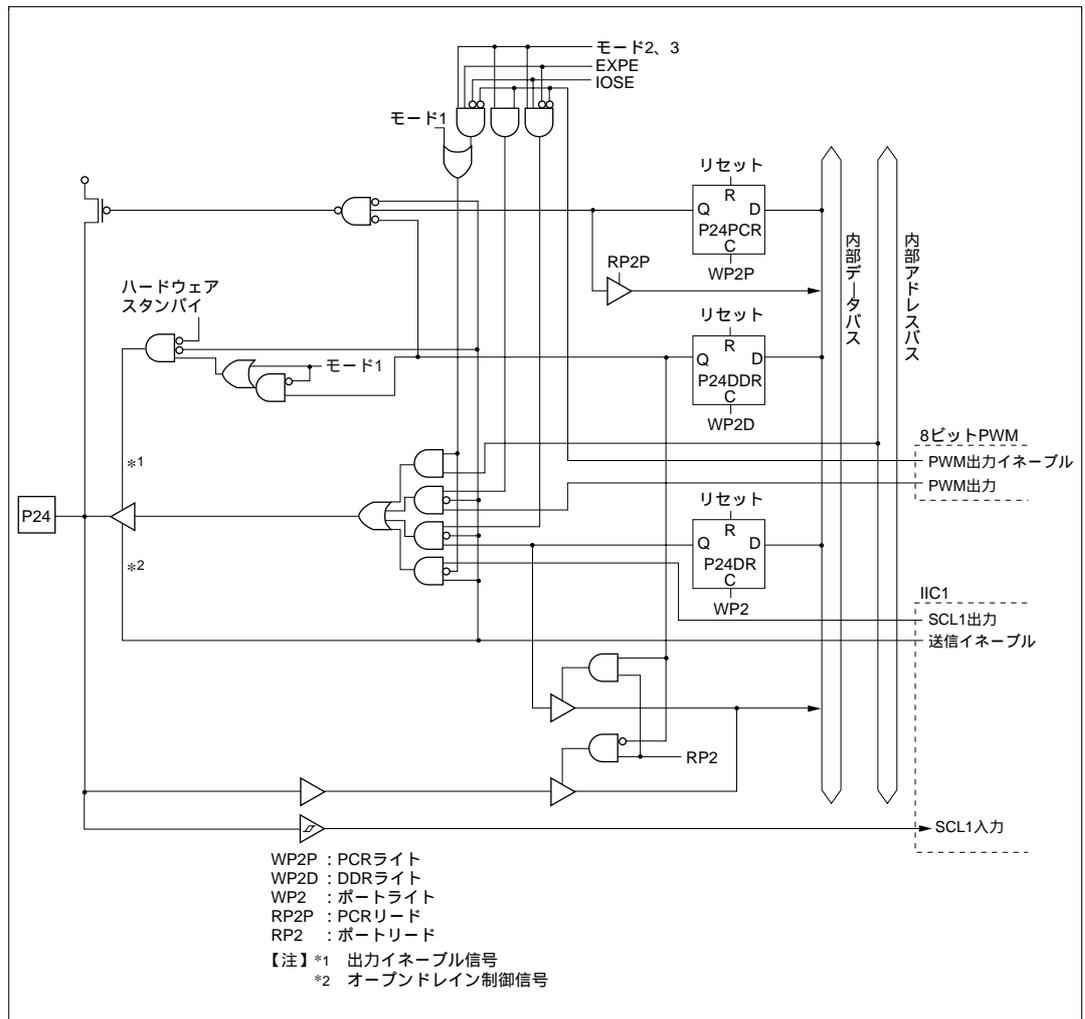


図 C.5 ポート2 ブロック図 (P24 端子)

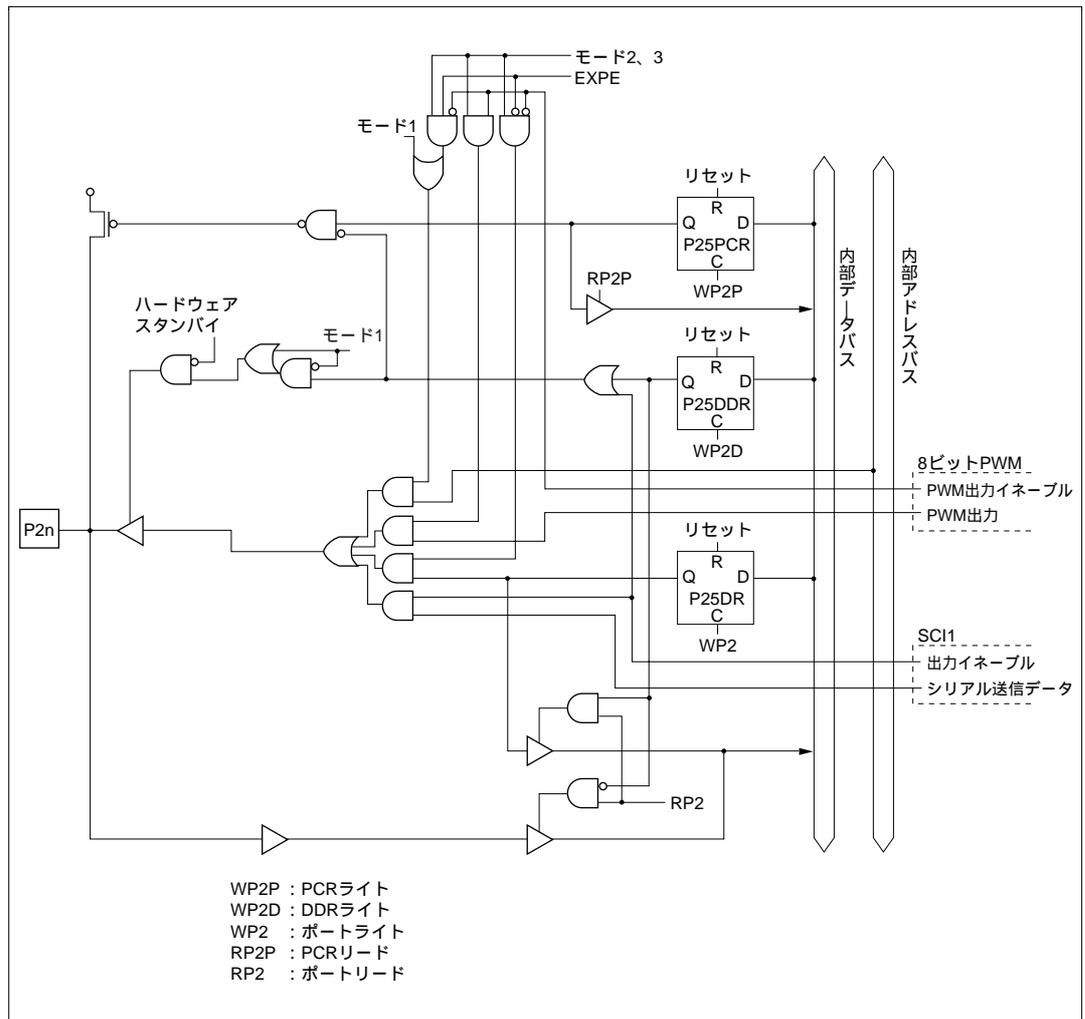


図 C.6 ポート2 ブロック図 (P25 端子)

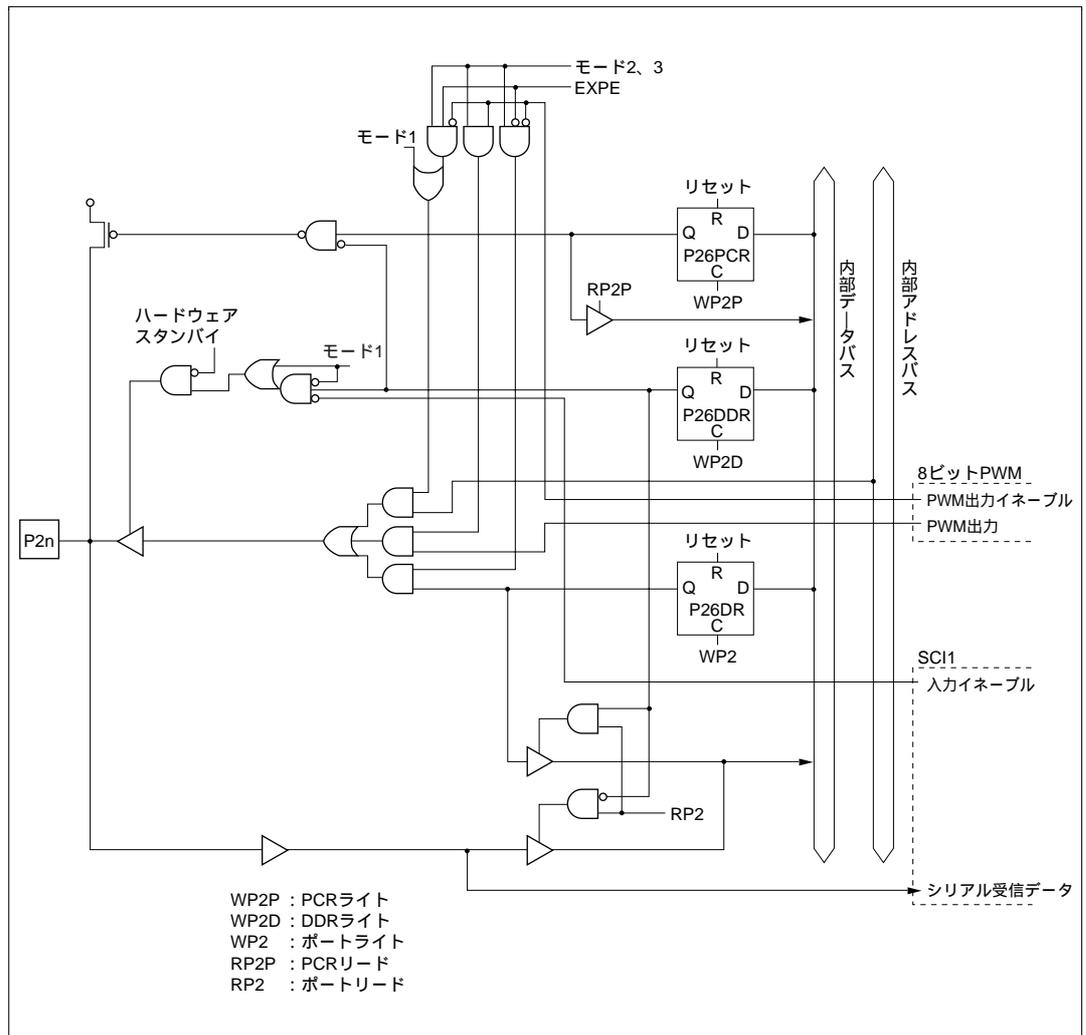


図 C.7 ポート2 ブロック図 (P26 端子)

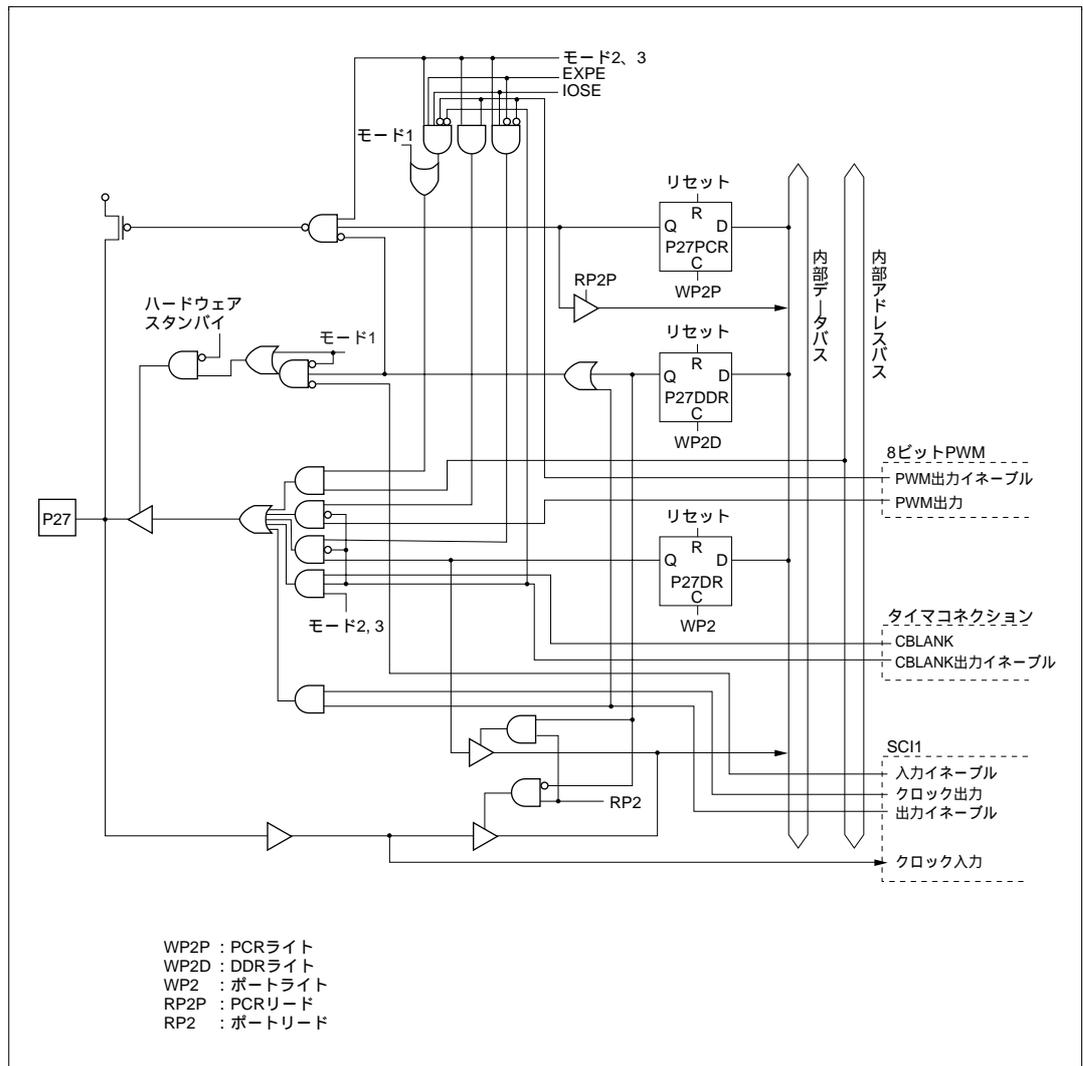


図 C.8 ポート2 ブロック図 (P27 端子)

### C.3 ポート3ブロック図

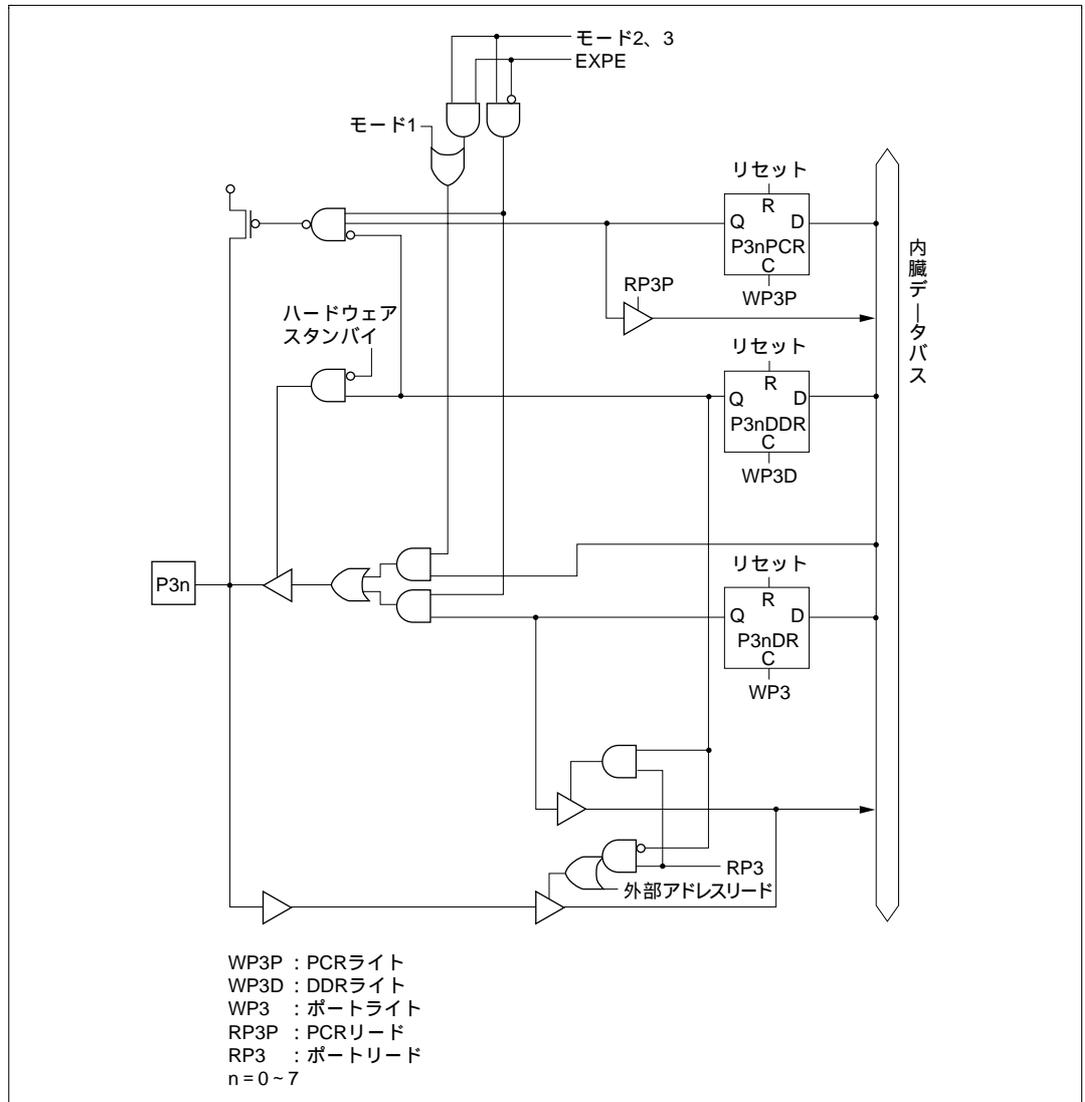


図 C.9 ポート3ブロック図

### C.4 ポート4ブロック図

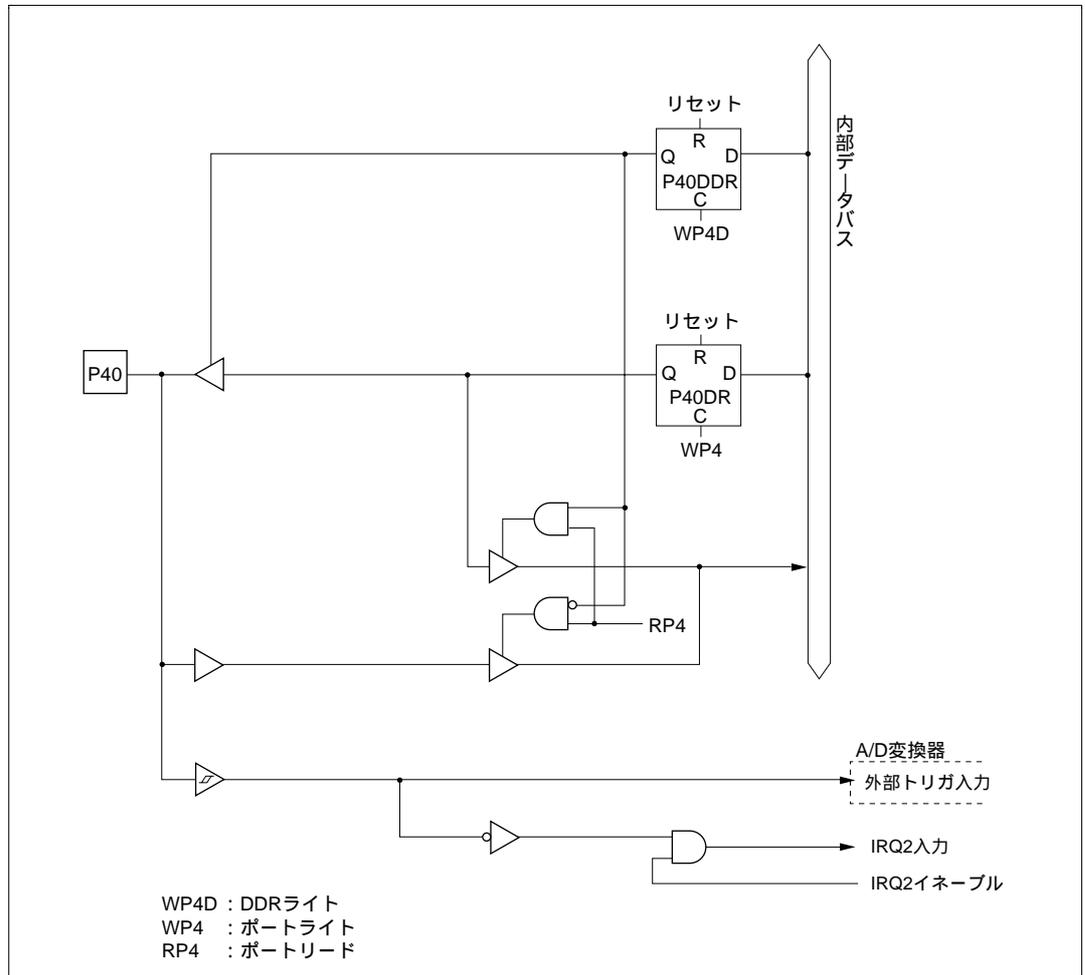


図 C.10 ポート4 ブロック図 (P40 端子)

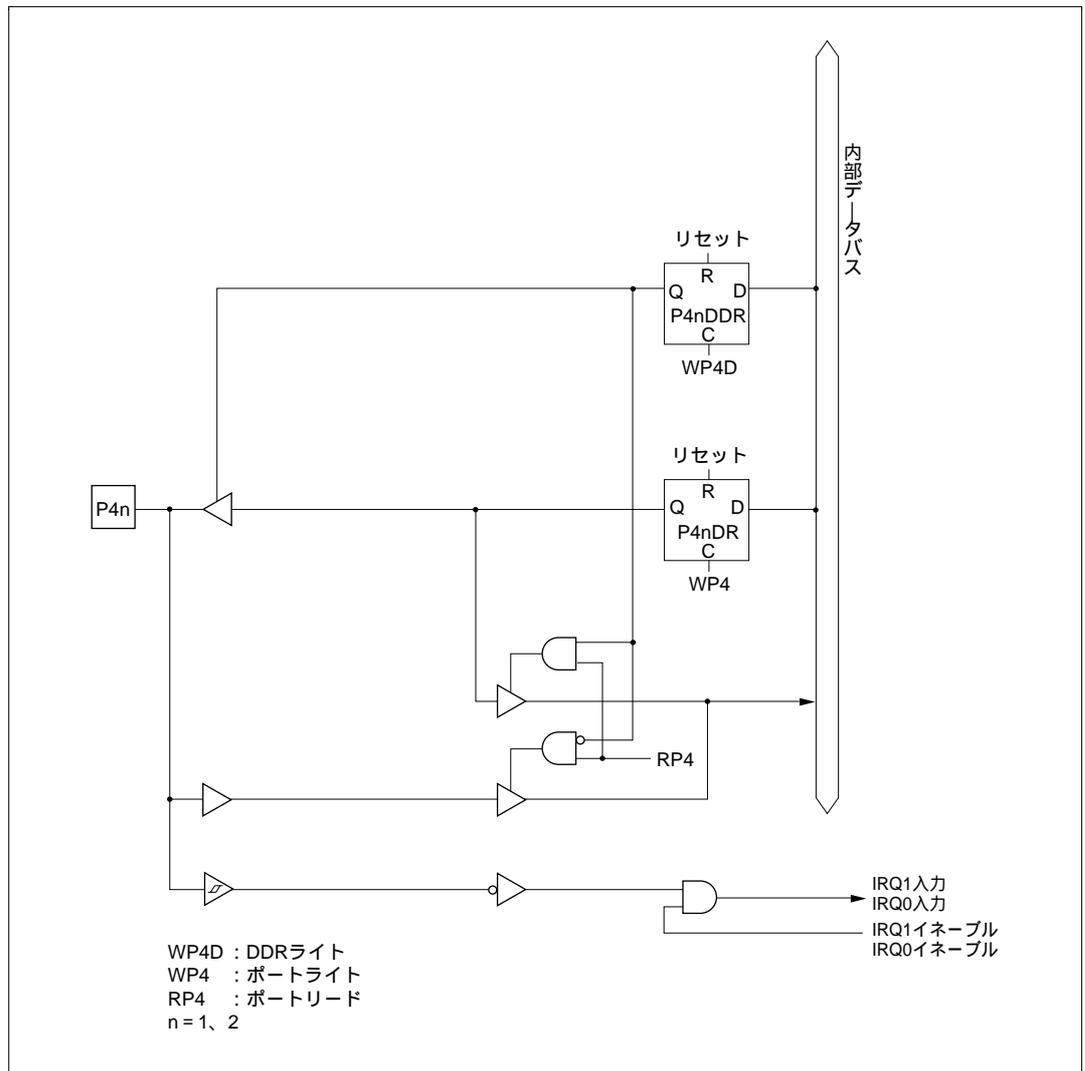


図 C.11 ポート4 ブロック図 (P41、P42 端子)

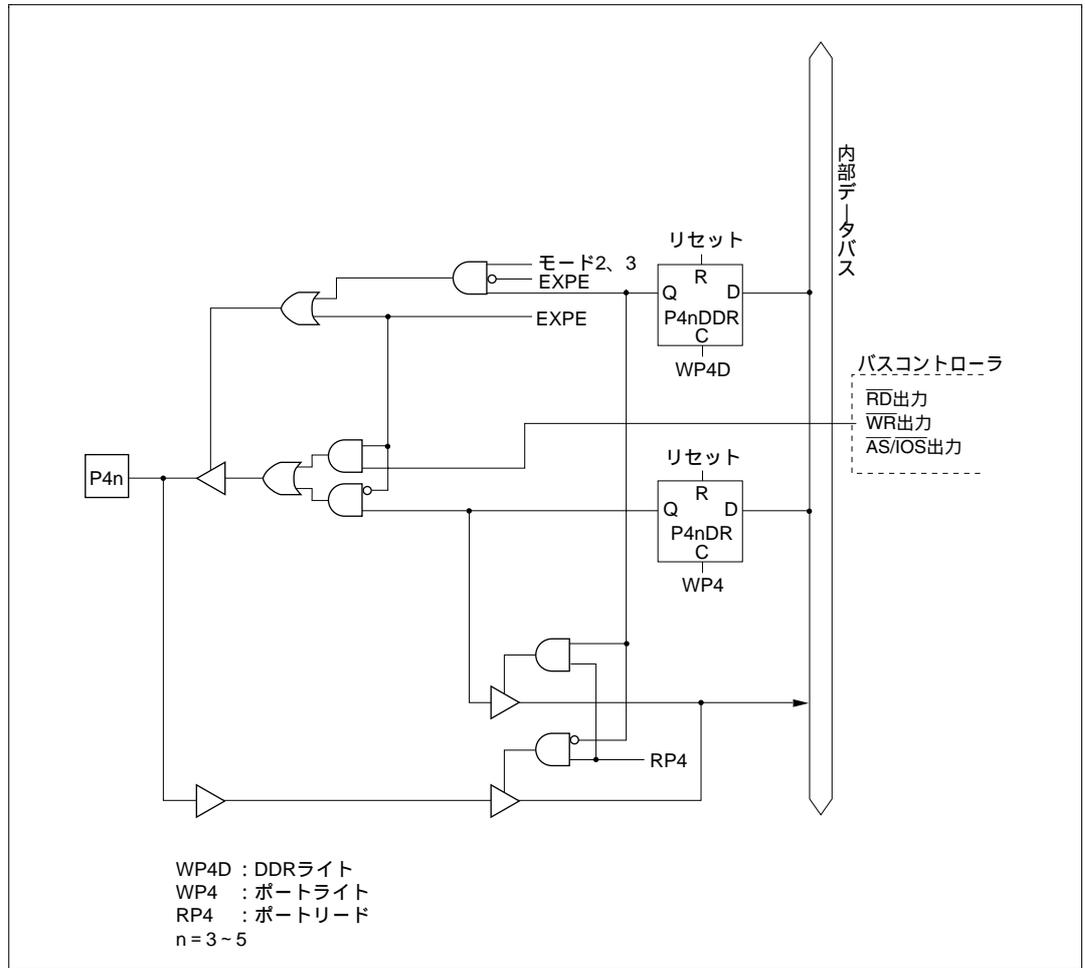


図 C.12 ポート 4 ブロック図 ( P43 ~ P45 端子 )

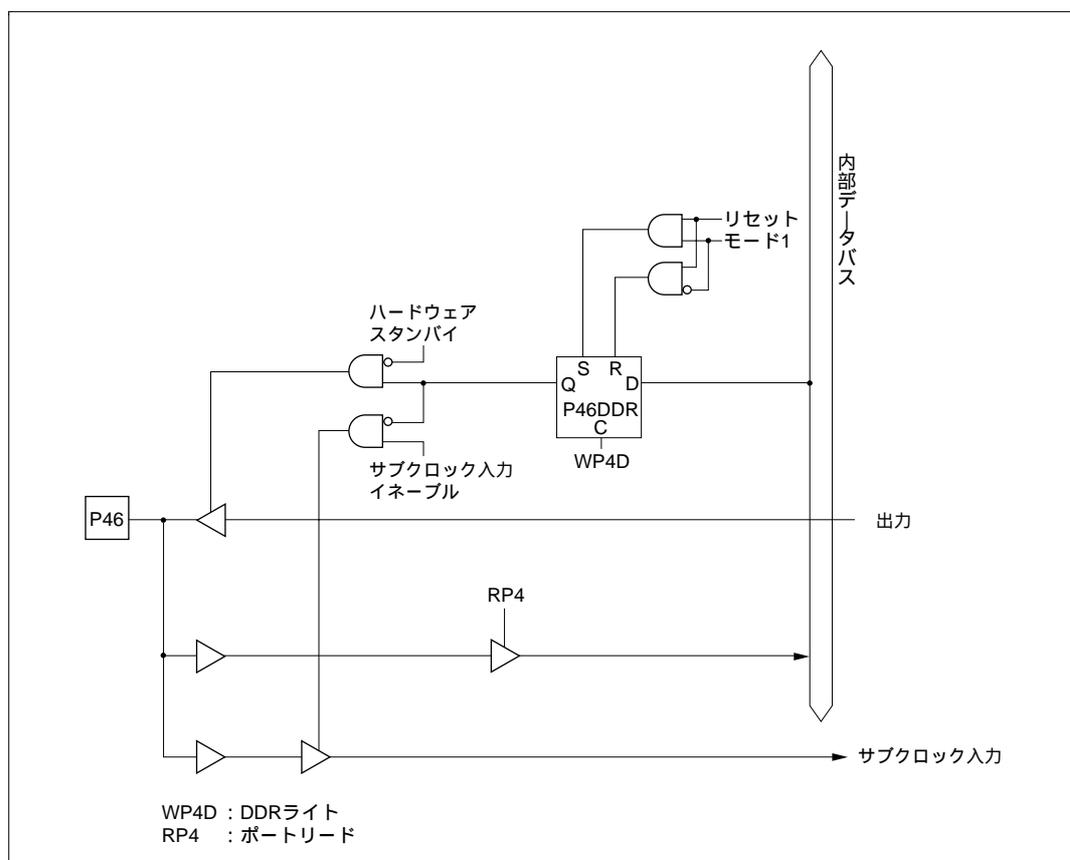


図 C.13 ポート4 ブロック図 (P46 端子)

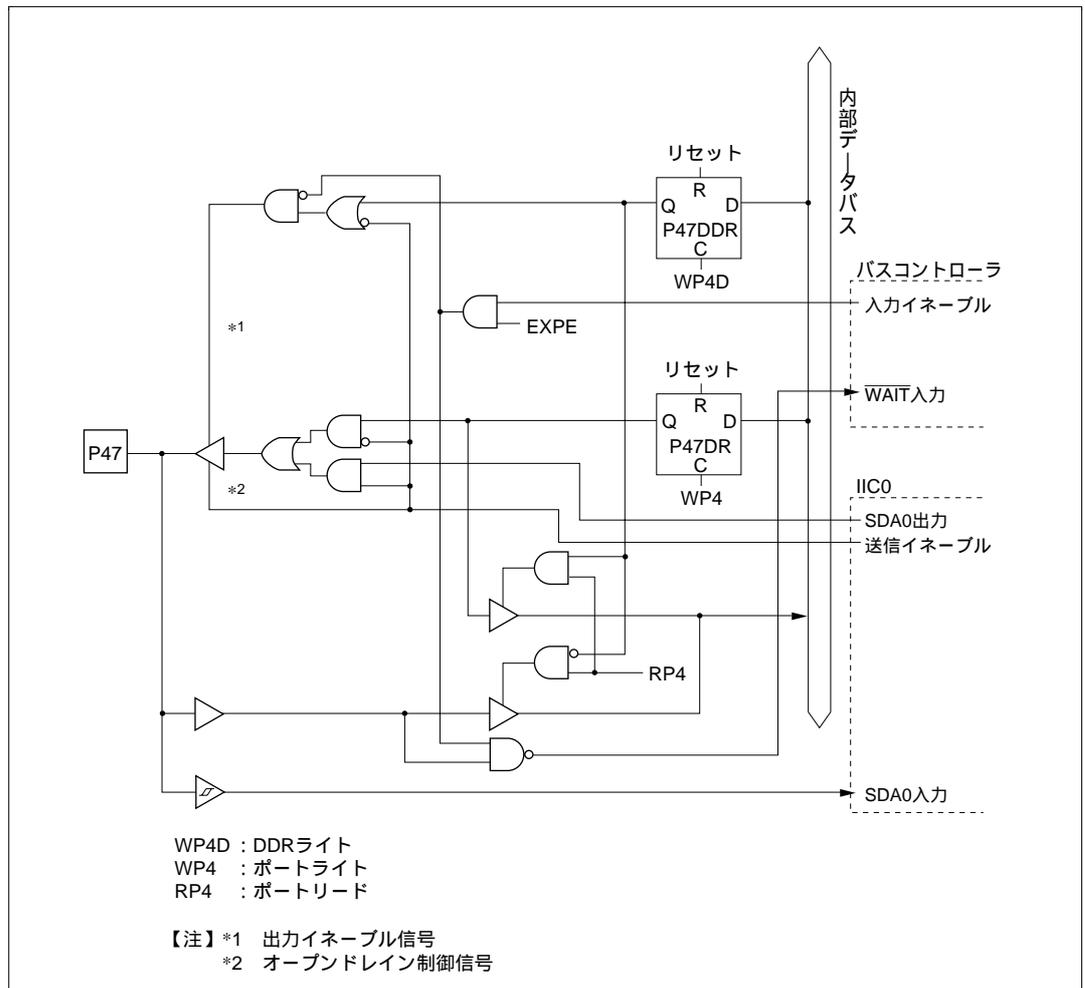


図 C.14 ポート4 ブロック図 (P47 端子)

### C.5 ポート5ブロック図

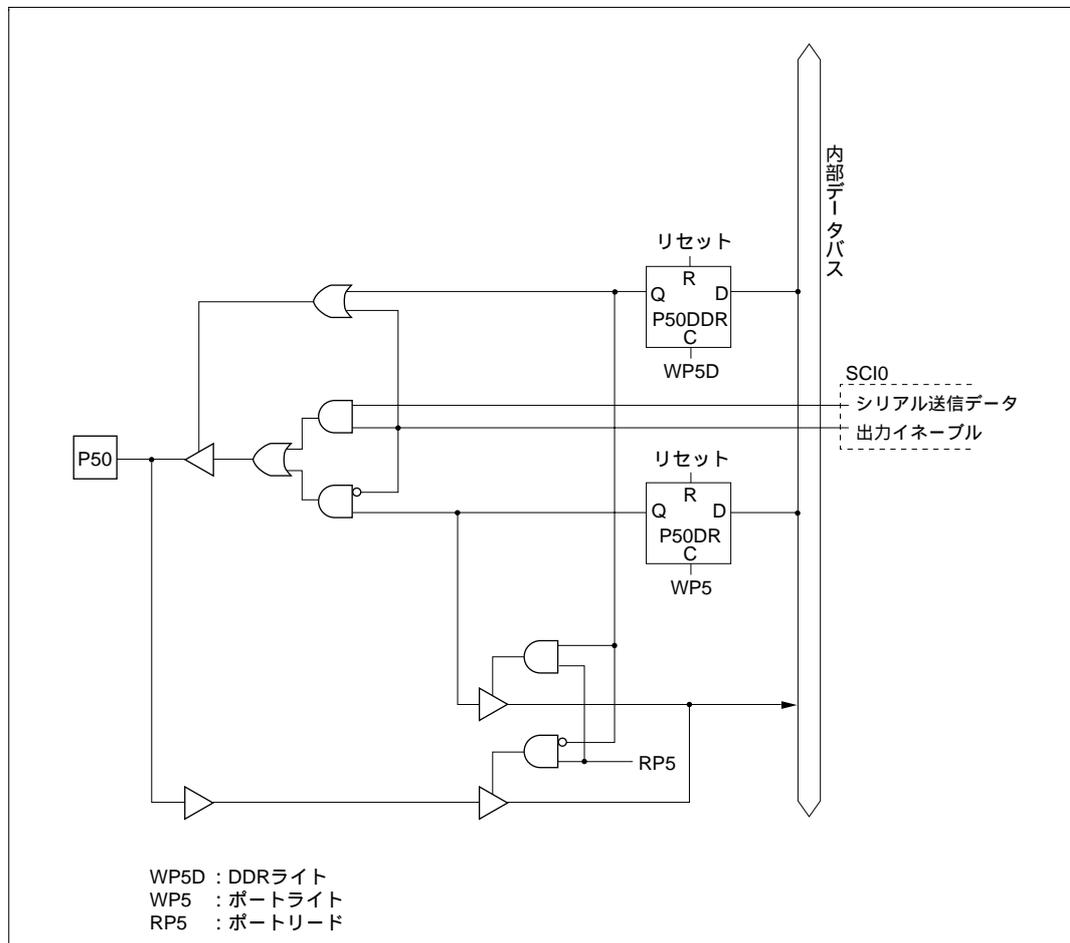


図 C.15 ポート5ブロック図 (P50 端子)



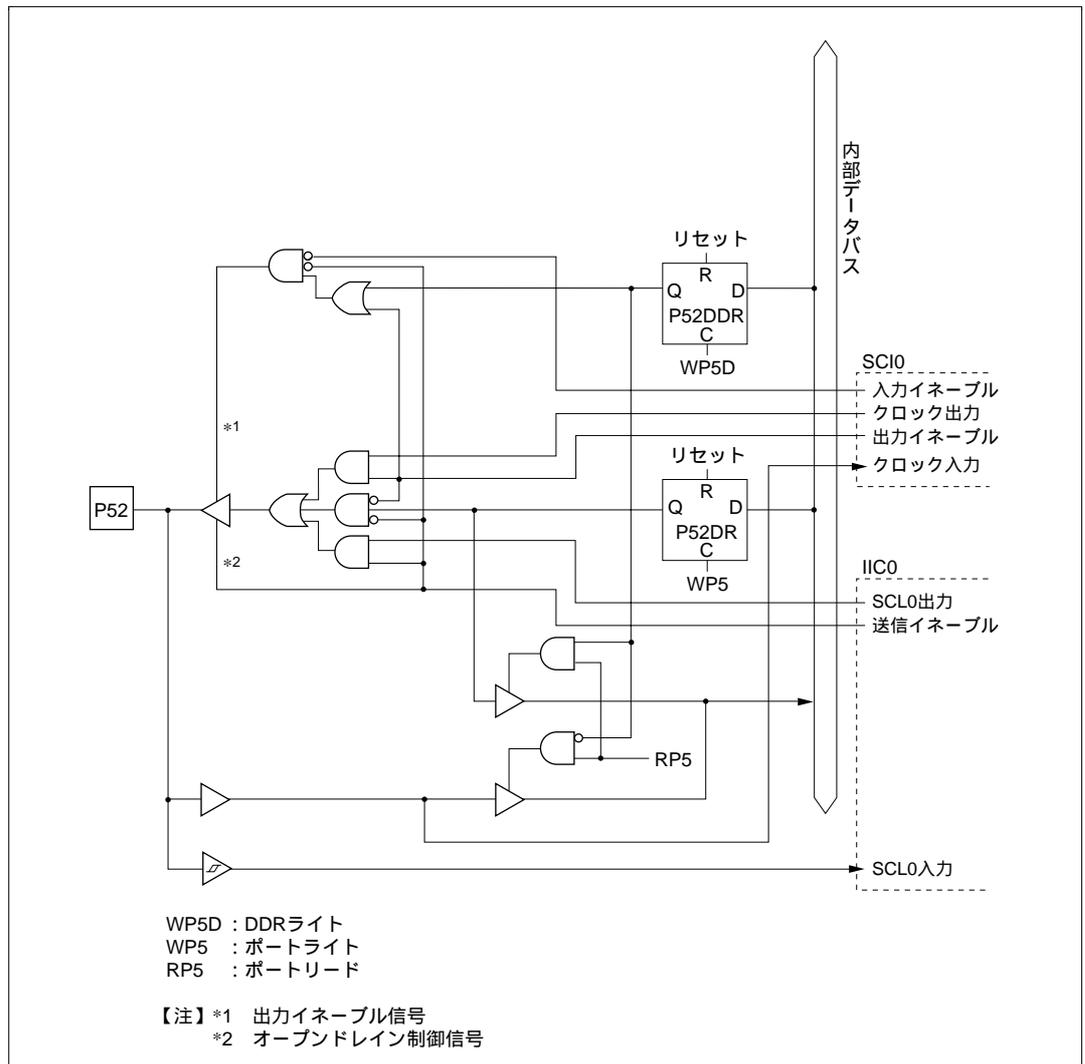


図 C.17 ポート5 ブロック図 (P52 端子)

## C.6 ポート6ブロック図

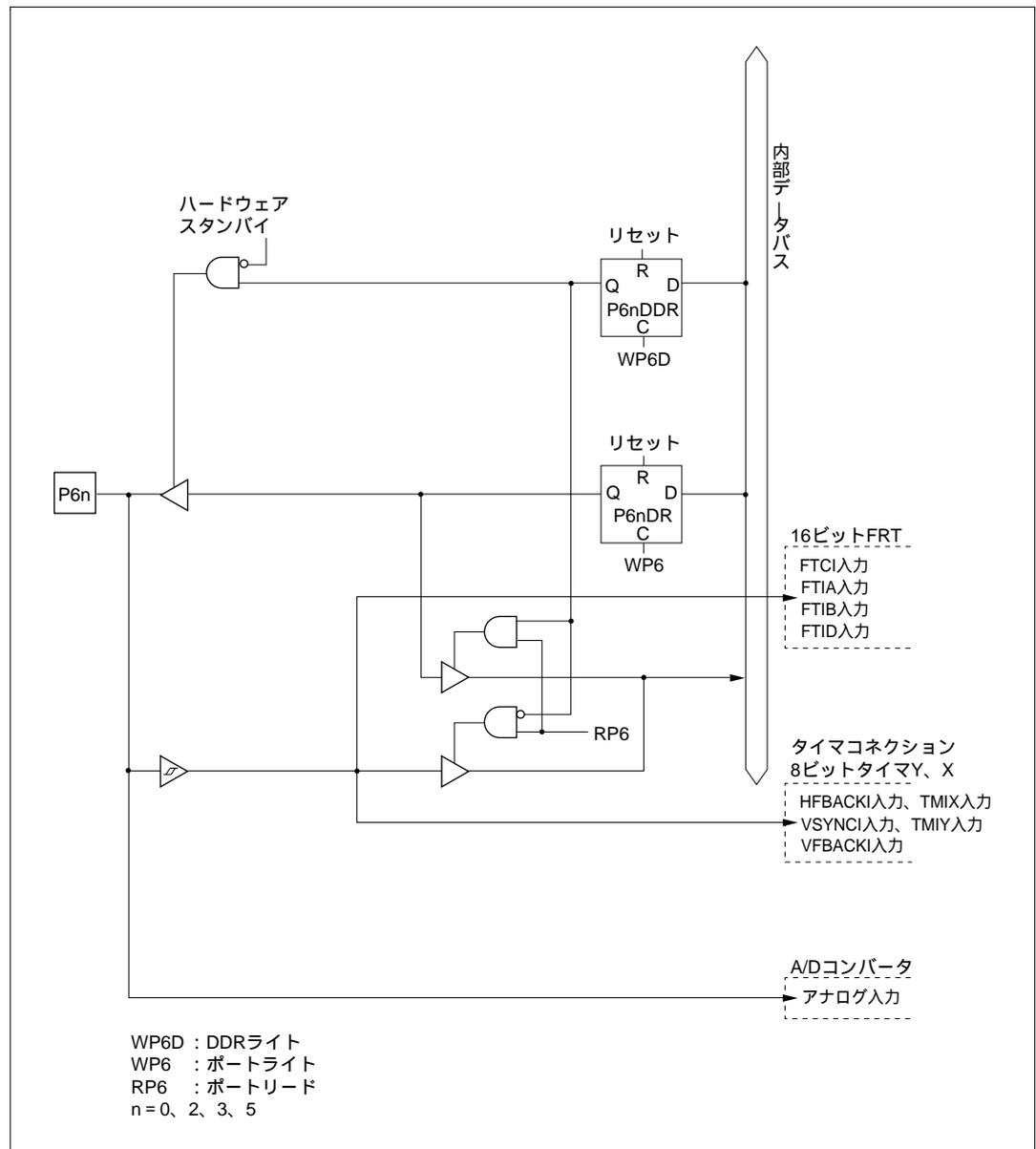


図 C.18 ポート6ブロック図 (P60、P62、P63、P65 端子)

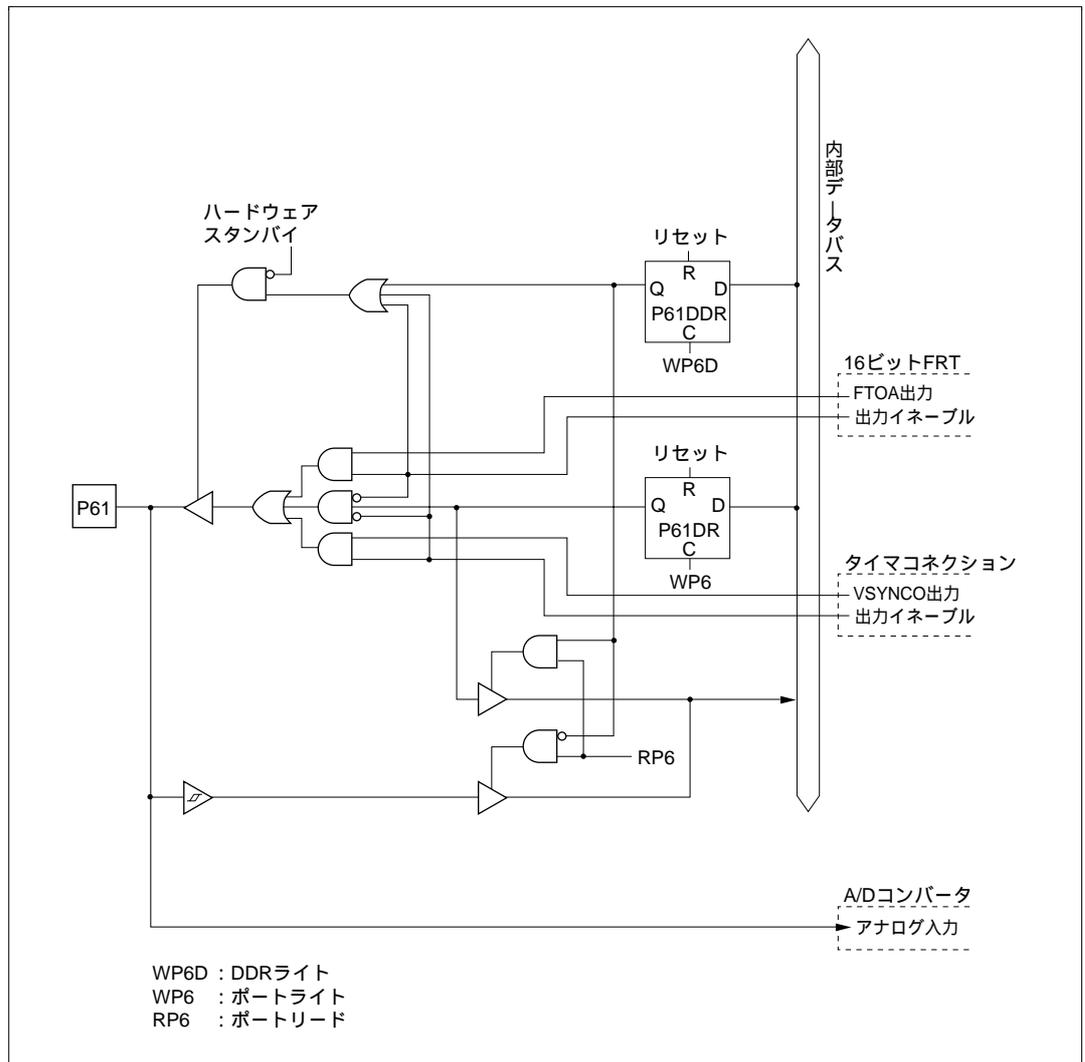


図 C.19 ポート 6 ブロック図 ( P61 端子 )

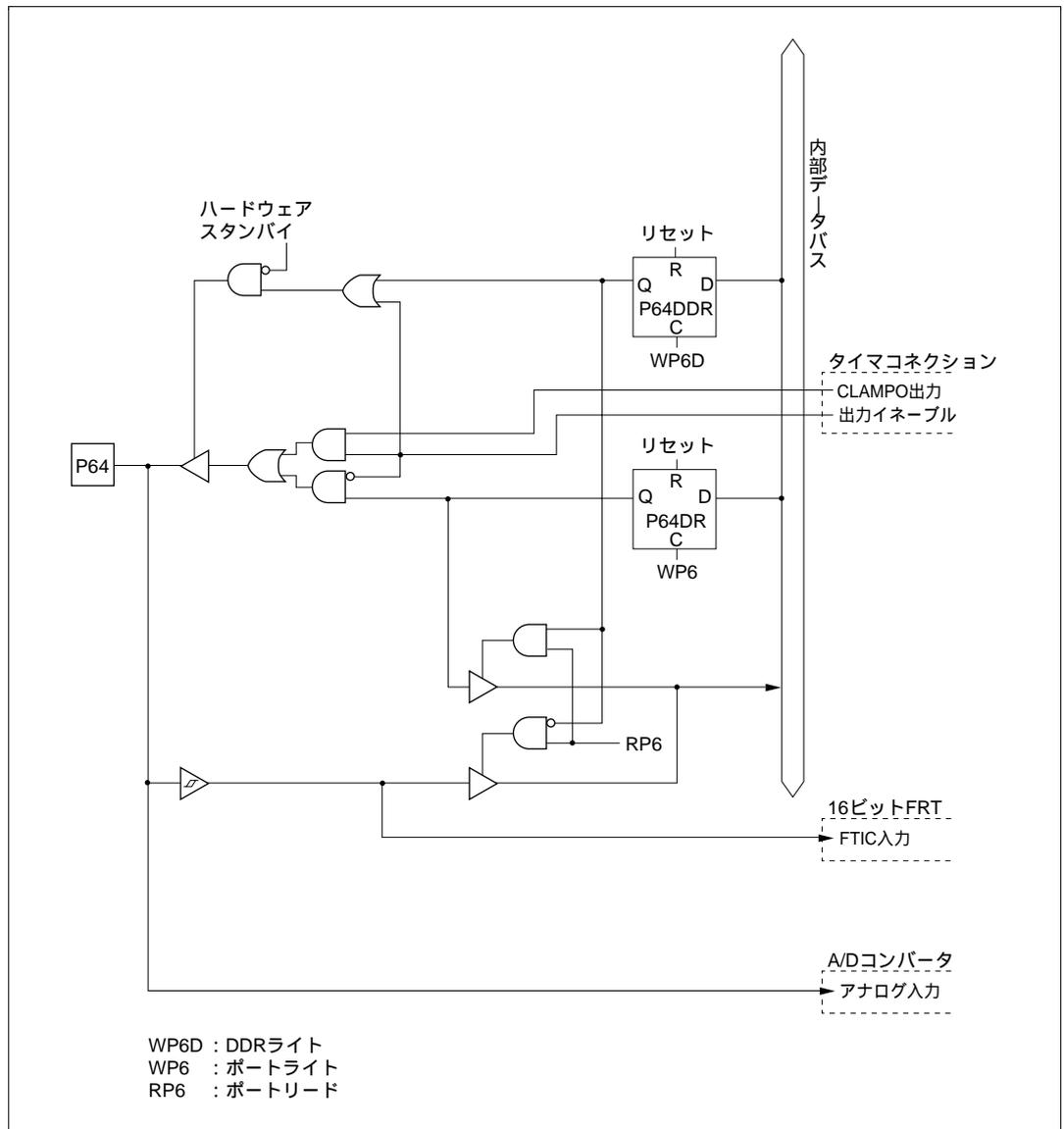


図 C.20 ポート6 ブロック図 (P64 端子)

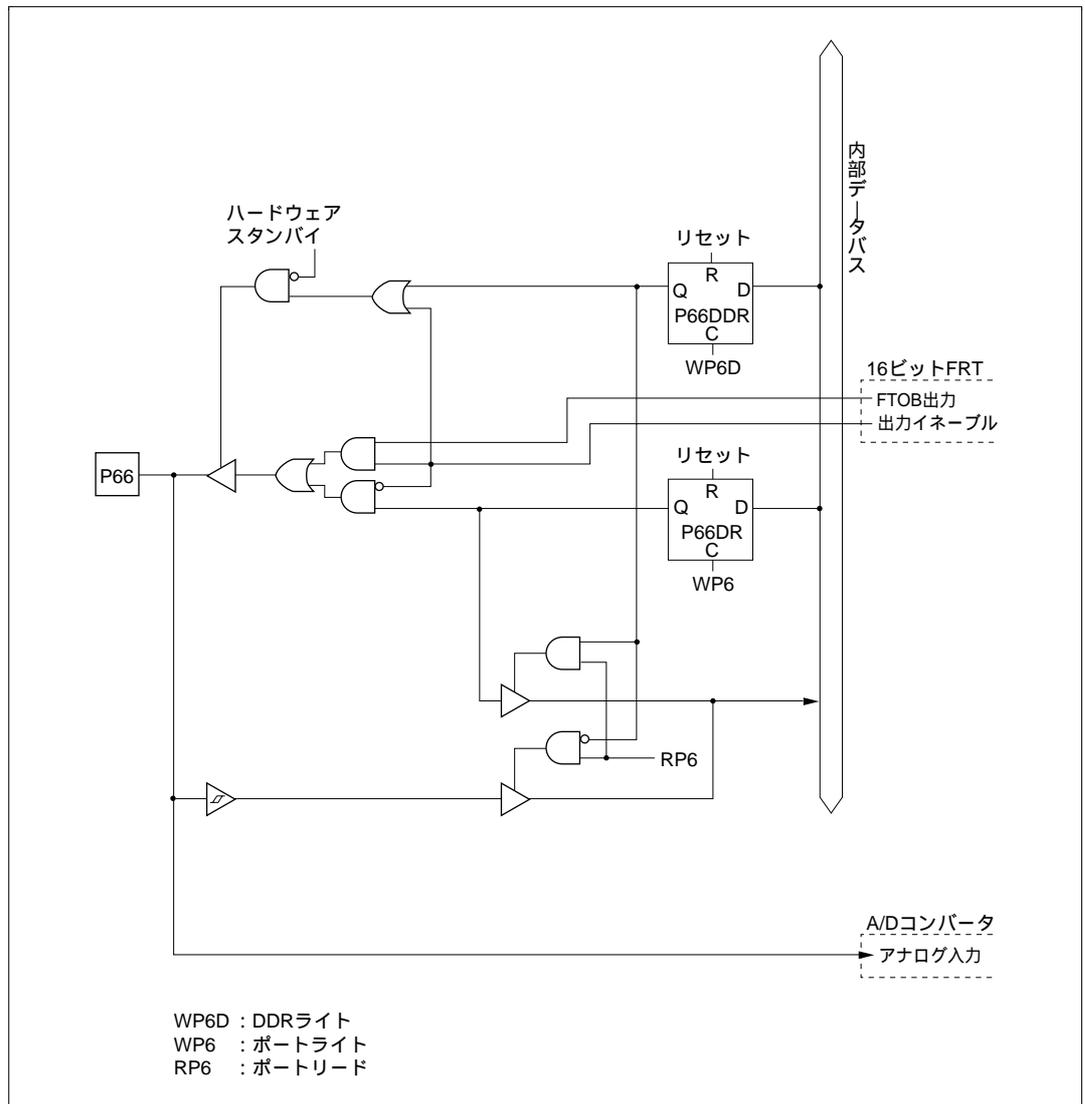


図 C.21 ポート 6 ブロック図 (P66 端子)

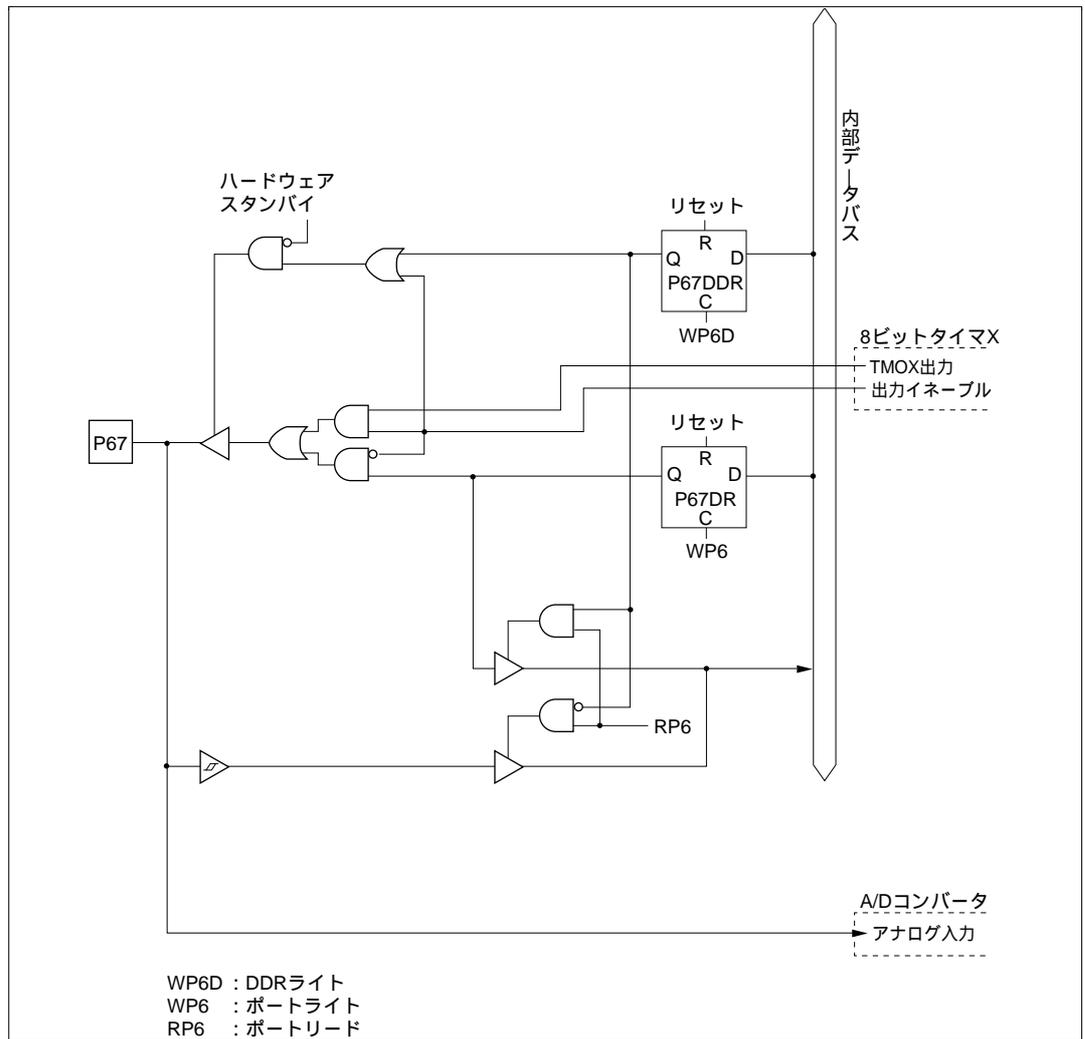


図 C.22 ポート 6 ブロック図 (P67 端子)

### C.7 ポート7ブロック図

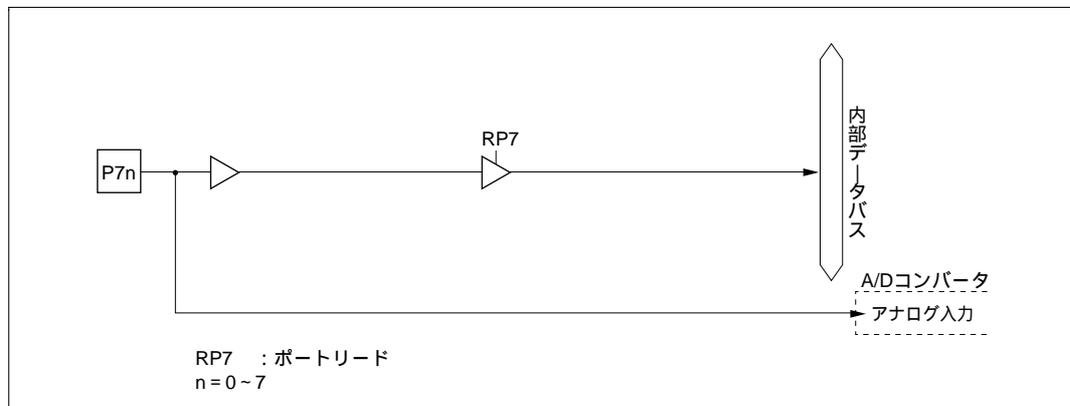


図 C.23 ポート7ブロック図 (P70~P77 端子)

## D. 端子状態

### D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイモ ード	ウォッチ モード	スリープ モード	サブスリープ モード	サブアクティブ モード	プログラム 実行状態	
ポート1 A7 ~ A0	1	L	T	keep*	keep*	keep*	keep*	A7 ~ A0	A7 ~ A0	
	2、3 (EXPE=1)	T						アドレス出力/ 入力ポート	アドレス出力/ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート2 A15 ~ A8	1	L	T	keep*	keep*	keep*	keep*	A15 ~ A8	A15 ~ A8	
	2、3 (EXPE=1)	T						アドレス出力/ 入力ポート	アドレス出力/ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート3 D7 ~ D0	1	T	T	T	T	T	T	D7 ~ D0	D7 ~ D0	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート47 WAIT	1	T	T	T / keep	T / keep	T / keep	T / keep	WAIT / 入出力ポート	WAIT / 入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート46 EXCL	1	クロック出力	T	[DDR=1] H	EXCL入力	[DDR=1]	EXCL入力	EXCL入力	クロック出力/ EXCL入力/ 入力ポート	
	2、3 (EXPE=1)	T		[DDR=0] T	[DDR=0] クロック出力	[DDR=0] T	EXCL入力	EXCL入力	EXCL入力	
	2、3 (EXPE=0)									
ポート45 ~ 43 AS、WR、RD	1	H	T	H	H	H	H	AS、WR、RD	AS、WR、RD	
	2、3 (EXPE=1)	T		keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート42 ~ 40	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート5	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート6	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									
ポート7	1	T	T	T	T	T	T	入力ポート	入力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)									

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は、ON 状態を保持)

出力ポートは保持

なお、端子により、内蔵周辺モジュールがイニシャライズされ、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

【注】 \* アドレス出力の場合、最後にアクセスしたアドレスを保持。

## E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

### E.1 ハードウェアスタンバイモードの遷移タイミング

#### (1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 E.1 に示すように  $\overline{\text{STBY}}$  信号の立ち下がりに対し、10 システムクロック前に  $\overline{\text{RES}}$  信号を Low としてください。

また、 $\overline{\text{RES}}$  信号の立ち上がりは、 $\overline{\text{STBY}}$  信号の立ち下がりに対し、0ns 以上としてください。

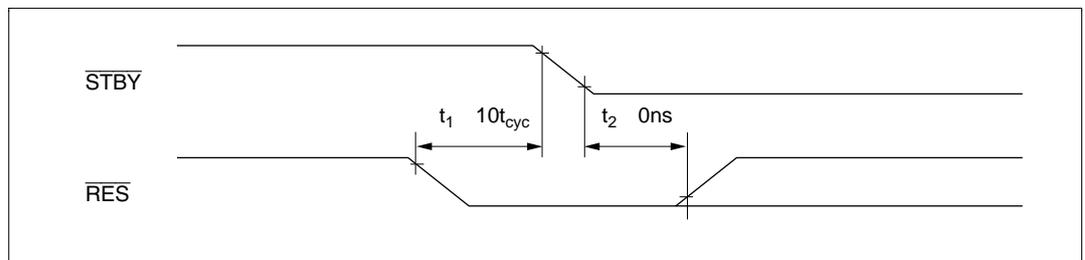


図 E.1 ハードウェアスタンバイモードの遷移タイミング

#### (2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように  $\overline{\text{RES}}$  信号を Low にする必要はありません。

### E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$  信号の立ち上がりに対し、100ns 以上前に  $\overline{\text{RES}}$  信号を Low にしてください。

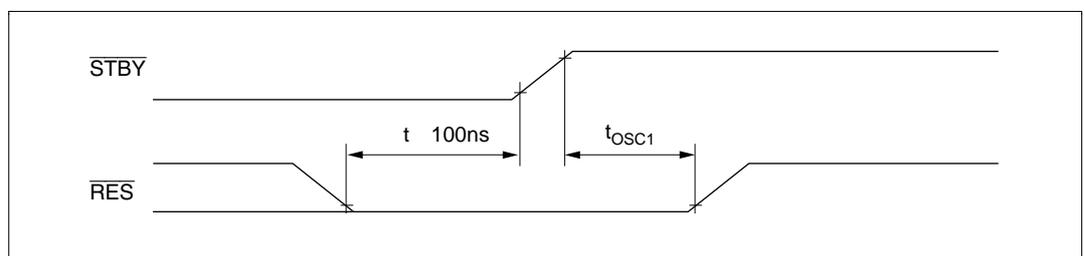


図 E.2 ハードウェアスタンバイモードからの復帰タイミング

## F. ROM 発注手順

### F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

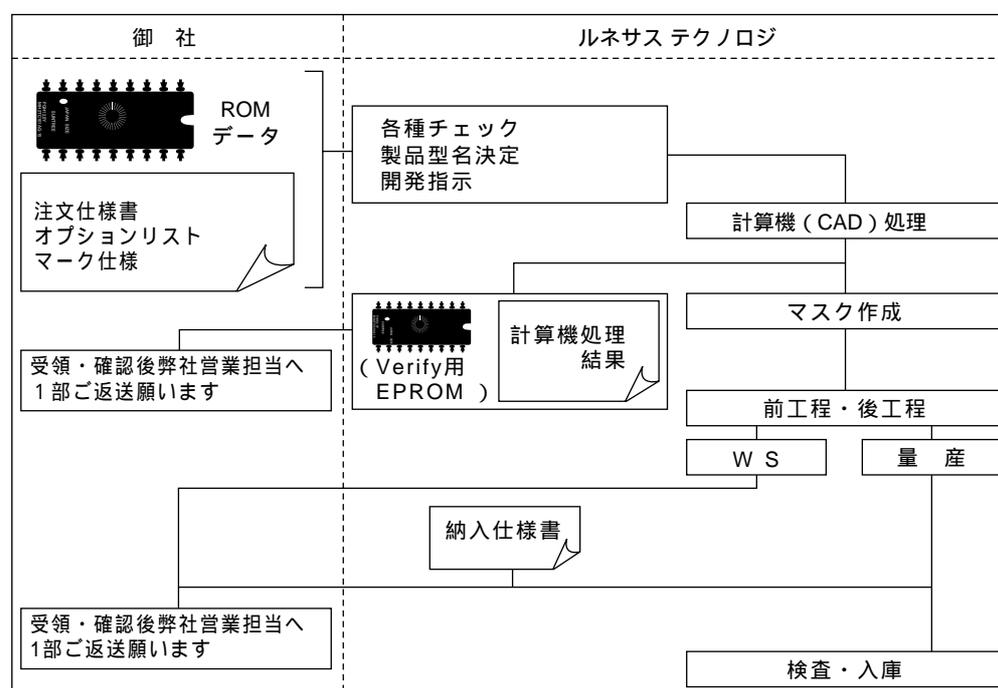


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM、または F-ZTAT™
提出物	ROM データ
	注文仕様書
	オプションリスト* <sup>1</sup>
	マーク仕様例* <sup>2</sup>

【注】 \*1 製品シリーズにより必要ないものがあります。また、内容も異なります。

\*2 特別仕様の場合には、提出してください。

## F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM、または F-ZTAT™ マイコンで提出してください。なお、EPROM、または F-ZTAT™ マイコン以外の媒体（フロッピーディスクなど）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず 'FF' を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロールなどは不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

## G. 型名一覧

表 G.1 H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)	備考
H8S/2128 グループ	H8S/2128	F-ZTAT™ 版	標準品 (5V/4V 版)	HD64F2128	HD64F2128PS20	64 ピンシュリンク DIP (DP-64S)
					HD64F2128FA20	64 ピン QFP (FP-64A)
					HD64F2128TF20	80 ピン TQFP (TFP-80C)
		低電圧版 (3V 版)	HD64F2128V	HD64F2128VPS10	64 ピンシュリンク DIP (DP-64S)	
				HD64F2128VFA10	64 ピン QFP (FP-64A)	
				HD64F2128VTF10	80 ピン TQFP (TFP-80C)	
	H8S/2127	マスク ROM 版	標準品 (5V 版,4V 版,3V 版)	HD6432127R	HD6432127R (***) PS	64 ピンシュリンク DIP (DP-64S)
					HD6432127R (***) FA	64 ピン QFP (FP-64A)
					HD6432127R (***) TF	80 ピン TQFP (TFP-80C)
		i <sup>2</sup> C バスインタフェース 内蔵版 (5V 版,4V 版,3V 版)	HD6432127RW	HD6432127RW (***) PS	64 ピンシュリンク DIP (DP-64S)	
				HD6432127RW (***) FA	64 ピン QFP (FP-64A)	
				HD6432127RW (***) TF	80 ピン TQFP (TFP-80C)	
H8S/2126	マスク ROM 版	標準品 (5V 版,4V 版,3V 版)	HD6432126R	HD6432126R (***) PS	64 ピンシュリンク DIP (DP-64S)	
				HD6432126R (***) FA	64 ピン QFP (FP-64A)	
				HD6432126R (***) TF	80 ピン TQFP (TFP-80C)	
	i <sup>2</sup> C バスインタフェース 内蔵版 (5V 版,4V 版,3V 版)	HD6432126RW	HD6432126RW (***) PS	64 ピンシュリンク DIP (DP-64S)		
			HD6432126RW (***) FA	64 ピン QFP (FP-64A)		
			HD6432126RW (***) TF	80 ピン TQFP (TFP-80C)		
H8S/2128S グループ	H8S/2128S	マスク ROM 版	標準品 (5V,4V 版)	HD6432128S	HD6432128S (***) PS	64 ピンシュリンク DIP (DP-64S)
					HD6432128S (***) FA	64 ピン QFP (FP-64A)
					HD6432128S (***) TF	80 ピン TQFP (TFP-80C)
		i <sup>2</sup> C バスインタフェース 内蔵標準品 (5V,4V 版)	HD6432128SW	HD6432128SW (***) PS	64 ピンシュリンク DIP (DP-64S)	
				HD6432128SW (***) FA	64 ピン QFP (FP-64A)	
				HD6432128SW (***) TF	80 ピン TQFP (TFP-80C)	
	H8S/2127S	マスク ROM 版	標準品 (5V,4V 版)	HD6432127S	HD6432127S (***) PS	64 ピンシュリンク DIP (DP-64S)
					HD6432127S (***) FA	64 ピン QFP (FP-64A)
					HD6432127S (***) TF	80 ピン TQFP (TFP-80C)
		i <sup>2</sup> C バスインタフェース 内蔵標準品 (5V,4V 版)	HD6432127SW	HD6432127SW (***) PS	64 ピンシュリンク DIP (DP-64S)	
				HD6432127SW (***) FA	64 ピン QFP (FP-64A)	
				HD6432127SW (***) TF	80 ピン TQFP (TFP-80C)	
H8S/2124 グループ	H8S/2122	マスク ROM 版	標準品 (5V 版,4V 版,3V 版)	HD6432122	HD6432122 (***)PS	64 ピンシュリンク DIP (DP-64S)
					HD6432122 (***)FA	64 ピン QFP (FP-64A)
					HD6432122 (***)TF	80 ピン TQFP (TFP-80C)
	H8S/2120	マスク ROM 版	標準品 (5V 版,4V 版,3V 版)	HD6432120	HD6432120 (***)PS	64 ピンシュリンク DIP (DP-64S)
					HD6432120 (***)FA	64 ピン QFP (FP-64A)
					HD6432120 (***)TF	80 ピン TQFP (TFP-80C)

【注】 (\*\*\*) は ROM コードです。

H8S/2128 の F-ZTAT 版には i<sup>2</sup>C バスインタフェースを標準で内蔵しています。

F-ZTAT 版の 5V/4V 版は 5V 版と 4V 版の動作範囲をサポートしています。

F-ZTAT 版の低電圧版の動作範囲は別途定めます。

上記製品は開発中、計画中の製品も含まれます。各製品の状況につきましては当社営業担当者に確認してください。

## H. 外形寸法図

H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループの外形寸法図を図 H.1、図 H.2、図 H.3 に示します。

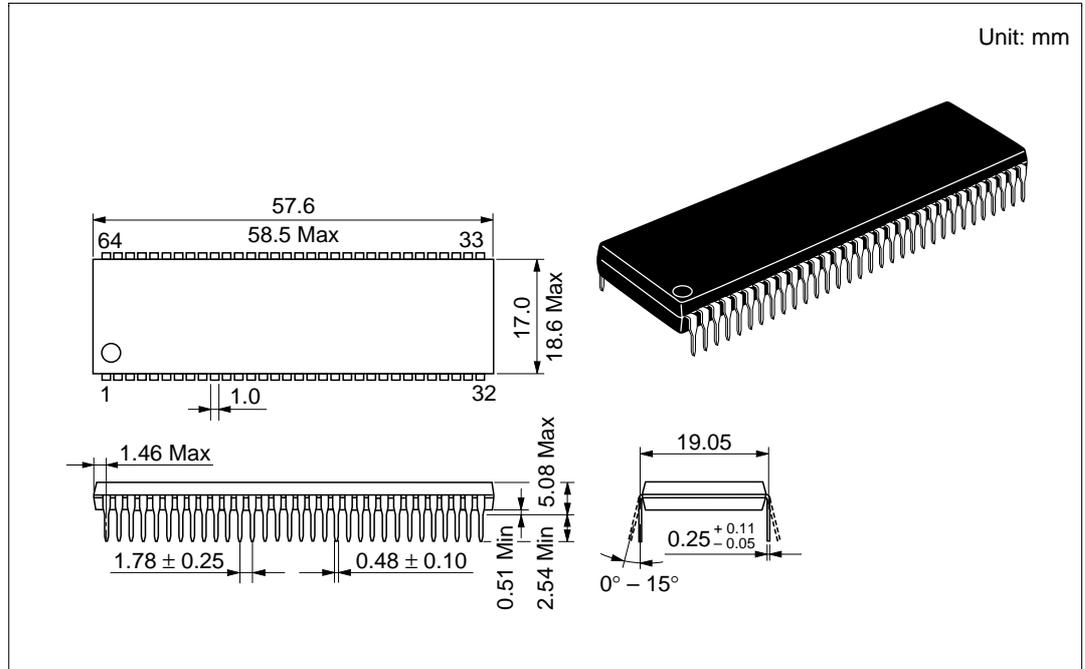


図 H.1 DP-64S の外形寸法図

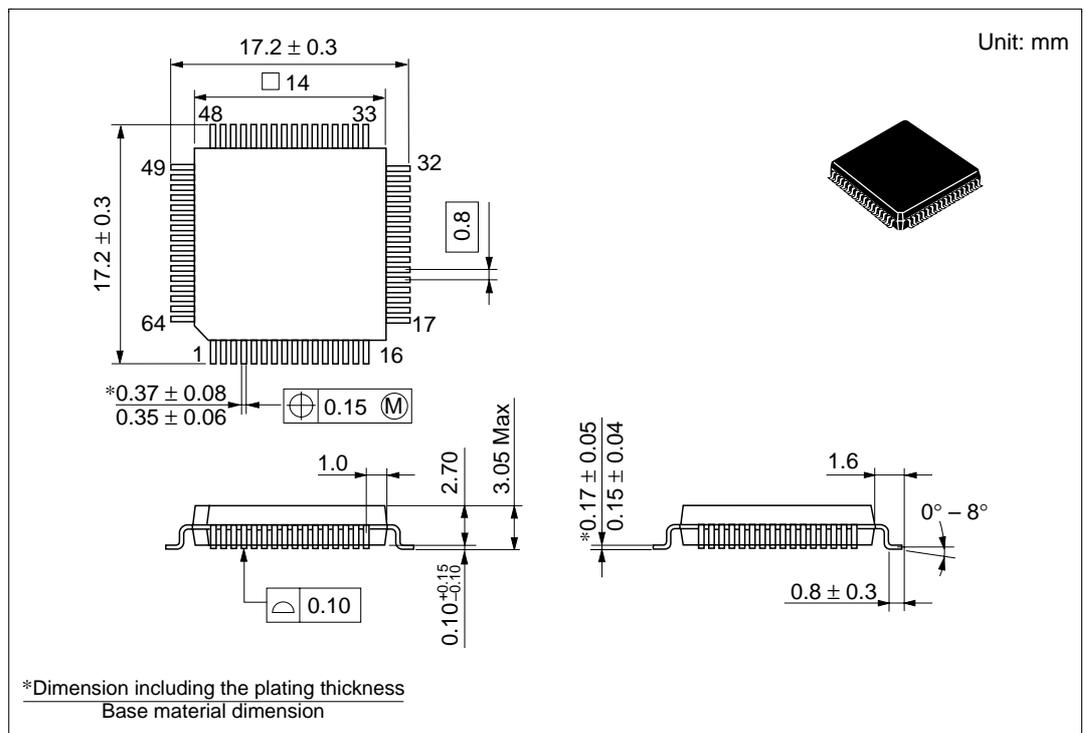


図 H.2 FP-64A の外形寸法図





---

H8S/2128グループ、H8S/2128Sグループ、  
H8S/2124グループ、H8S/2128F-ZTAT™ ハードウェアマニュアル

発行年月 1997年9月 第1版

2003年8月22日 Rev.4.00

発行 株式会社ルネサステクノロジ 営業企画統括部

〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部

---

©1997, 2003 Renesas Technology Corp. All rights reserved. Printed in Japan.



<http://www.renesas.com>

営業お問合せ窓口

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



H8S/2128 グループ、H8S/2128S グループ、H8S/2124 グループ、H8S/2128F-ZTAT™  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0059-0400H