

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/2218グループ、 H8S/2212グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ / H8S/2200シリーズ

H8S/2218	HD64F2218 HD64F2218U HD6432217
H8S/2218C	HD64F2218CU HD64F2217CU
H8S/2212	HD64F2212 HD64F2212U HD64F2211 HD64F2211U HD6432211 HD6432210 HD6432210S
H8S/2212C	HD64F2212CU HD64F2211CU HD64F2210CU

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 本版で改訂された箇所（改訂版のみ適用）

改訂履歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

5. 目次
6. 概要
7. 各機能モジュールの説明
 - ・CPU およびシステム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、入出力端子、レジスタの説明、動作説明、使用上の注意事項、などの節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。（使用上の注意事項は必要により記載されます。）

8. レジスタ一覧
9. 電気的特性
10. 付録
11. 索引

はじめに

本 LSI は、ルネサス テクノロジオリジナルアーキテクチャを採用した H8S/2000CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

システム構成に必要な機能としては、ROM、RAM、DMA コントローラ (DMAC) のバスマスタ、16 ビットタイマパルスユニット (TPU)、ウォッチドッグタイマ (WDT)、リアルタイムクロック (RTC)、ユニバーサルシリアルバス (USB)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、I/O ポートなどの周辺機能を内蔵しています。

内蔵 ROM は、フラッシュメモリ (F-ZTATTM*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。

このマニュアルは、本 LSI のハードウェアについて記載しています。

【注】 * F-ZTAT は (株)ルネサス テクノロジの商標です。

対象者 このマニュアルは、H8S/2218 グループ、H8S/2212 グループを用いた応用システムを設計するユーザを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2218 グループ、H8S/2212 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますのであわせてご覧ください。

読み方

- 機能全体を理解しようとするとき

→ 目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

→ 別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名が分かっていて、詳細機能を知りたいとき

→ 本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第21章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例 レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。
 XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)
- ビット表記順 : 左側が上位ビット、右側が下位ビット
- 数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX
- 信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

- H8S/2218グループ、H8S/2212グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2218 グループ、H8S/2212 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

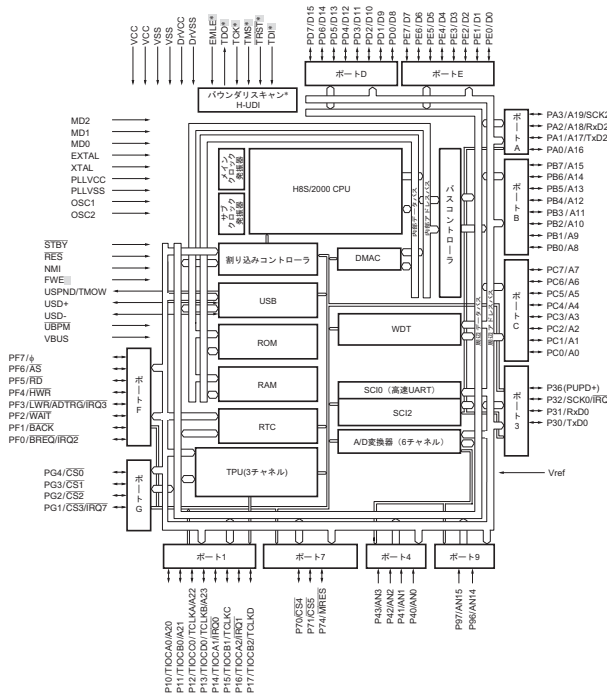
資料名	資料番号
H8S、H8/300 シリーズ C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ Ver.6.01 ユーザーズマニュアル	RJJ10B0166
H8S、H8/300 シリーズ High-performance Embedded Workshop 3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop 3 ユーザーズマニュアル	RJJ10B0029
High-performance Embedded Workshop V.4.04 ユーザーズマニュアル	RJJ10J2060

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++ コンパイラ アプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

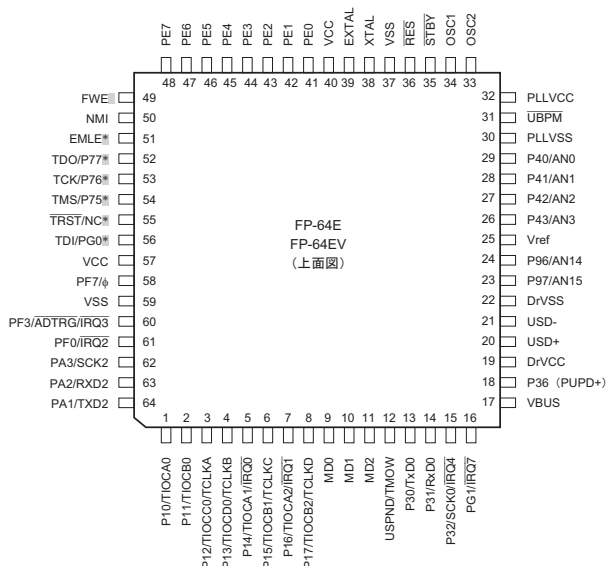
本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																												
1.1 特長	1-2	<p>表を修正</p> <ul style="list-style-type: none"> 内蔵メモリ <p>H8S/2218グループ</p> <table border="1"> <thead> <tr> <th>ROM</th> <th>型名</th> <th>ROM</th> <th>RAM</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td rowspan="4">フラッシュメモリ版</td> <td>HD64F2218</td> <td>128K バイト</td> <td>12K バイト</td> <td>SCI ブート版</td> </tr> <tr> <td>HD64F2218U</td> <td>128K バイト</td> <td>12K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>HD64F2218CU</td> <td>128K バイト</td> <td>12K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>HD64F2217CU</td> <td>64K バイト</td> <td>12K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>マスク ROM 版</td> <td>HD6432217</td> <td>64K バイト</td> <td>8K バイト</td> <td></td> </tr> </tbody> </table> <ul style="list-style-type: none"> H8S/2212グループ <table border="1"> <thead> <tr> <th>ROM</th> <th>型名</th> <th>ROM</th> <th>RAM</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td rowspan="7">フラッシュメモリ版</td> <td>HD64F2212</td> <td>128K バイト</td> <td>12K バイト</td> <td>SCI ブート版</td> </tr> <tr> <td>HD64F2212U</td> <td>128K バイト</td> <td>12K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>HD64F2212CU</td> <td>128K バイト</td> <td>12K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>HD64F2211</td> <td>64K バイト</td> <td>8K バイト</td> <td>SCI ブート版</td> </tr> <tr> <td>HD64F2211U</td> <td>64K バイト</td> <td>8K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>HD64F2211CU</td> <td>64K バイト</td> <td>8K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>HD64F2210CU</td> <td>32K バイト</td> <td>8K バイト</td> <td>USB ブート版</td> </tr> <tr> <td>マスク ROM 版</td> <td>HD6432211</td> <td>64K バイト</td> <td>8K バイト</td> <td></td> </tr> <tr> <td></td> <td>HD6432210</td> <td>32K バイト</td> <td>4K バイト</td> <td></td> </tr> <tr> <td></td> <td>HD6432210S</td> <td>32K バイト</td> <td>4K バイト</td> <td></td> </tr> </tbody> </table>	ROM	型名	ROM	RAM	備考	フラッシュメモリ版	HD64F2218	128K バイト	12K バイト	SCI ブート版	HD64F2218U	128K バイト	12K バイト	USB ブート版	HD64F2218CU	128K バイト	12K バイト	USB ブート版	HD64F2217CU	64K バイト	12K バイト	USB ブート版	マスク ROM 版	HD6432217	64K バイト	8K バイト		ROM	型名	ROM	RAM	備考	フラッシュメモリ版	HD64F2212	128K バイト	12K バイト	SCI ブート版	HD64F2212U	128K バイト	12K バイト	USB ブート版	HD64F2212CU	128K バイト	12K バイト	USB ブート版	HD64F2211	64K バイト	8K バイト	SCI ブート版	HD64F2211U	64K バイト	8K バイト	USB ブート版	HD64F2211CU	64K バイト	8K バイト	USB ブート版	HD64F2210CU	32K バイト	8K バイト	USB ブート版	マスク ROM 版	HD6432211	64K バイト	8K バイト			HD6432210	32K バイト	4K バイト			HD6432210S	32K バイト	4K バイト	
ROM	型名	ROM	RAM	備考																																																																										
フラッシュメモリ版	HD64F2218	128K バイト	12K バイト	SCI ブート版																																																																										
	HD64F2218U	128K バイト	12K バイト	USB ブート版																																																																										
	HD64F2218CU	128K バイト	12K バイト	USB ブート版																																																																										
	HD64F2217CU	64K バイト	12K バイト	USB ブート版																																																																										
マスク ROM 版	HD6432217	64K バイト	8K バイト																																																																											
ROM	型名	ROM	RAM	備考																																																																										
フラッシュメモリ版	HD64F2212	128K バイト	12K バイト	SCI ブート版																																																																										
	HD64F2212U	128K バイト	12K バイト	USB ブート版																																																																										
	HD64F2212CU	128K バイト	12K バイト	USB ブート版																																																																										
	HD64F2211	64K バイト	8K バイト	SCI ブート版																																																																										
	HD64F2211U	64K バイト	8K バイト	USB ブート版																																																																										
	HD64F2211CU	64K バイト	8K バイト	USB ブート版																																																																										
	HD64F2210CU	32K バイト	8K バイト	USB ブート版																																																																										
マスク ROM 版	HD6432211	64K バイト	8K バイト																																																																											
	HD6432210	32K バイト	4K バイト																																																																											
	HD6432210S	32K バイト	4K バイト																																																																											
1.2 内部ブロック図	1-3	<p>説明を修正</p> <p>HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU の内部ブロック図を図 1.1 に、HD6432217 の内部ブロック図を図 1.2 に、HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU の内部ブロック図を図 1.3 に、HD6432211、HD6432210、HD6432210S の内部ブロック図を図 1.4 に示します。</p>																																																																												

修正項目	ページ	修正内容 (詳細はマニュアル参照)
<p>1.2 内部ブロック図</p> <p>図 1.1 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU の内部ブロック図</p>	1-3	<p>図を修正</p>  <p>【注】 *1 EMLE=0のとき、ハウンダリスキャン機能有効 (TDO、TCK、TMS、TRST、TDI) EMLE=1のとき、H-UDI機能有効 (TDO、TCK、TMS、TRST、TDI)</p>
<p>図 1.2 HD6432217 の内部ブロック図</p>	1-4	<p>注を修正</p> <p>【注】 *1 FWE 端子は、フラッシュメモリ版のみ対応します。Low に固定してください。</p>

修正項目	ページ	修正内容 (詳細はマニュアル参照)
<p>1.2 内部ブロック図</p> <p>図 1.3 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU の内部ブロック図</p>	1-5	<p>図を修正</p> <p>【注】 ■ EML=0のとき、ポート機能有効 (P77、P76、P75、NC、PG0) EML=1のとき、H-UD機能有効 (TDO、TCK、TMS、TRST、TDI)</p>
<p>図 1.4 HD6432211、HD6432210、HD6432210S の内部ブロック図</p>	1-6	<p>注を修正</p> <p>【注】 NC (No Connection) : 何も接続せず、Open で使用してください。</p> <p>*1 FWE 端子は、フラッシュメモリ版のみ対応します。Low に固定してください。</p>
<p>1.3 ピン配置図</p>	1-7	<p>説明を修正</p> <p>HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図を図 1.5、図 1.6 に、HD6432217 のピン配置図を図 1.7、図 1.8 に、HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU のピン配置図を図 1.9、図 1.11 に、HD6432211、HD6432210、HD6432210S のピン配置図を図 1.10、図 1.12 に示します。</p>

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																																											
<p>1.3 ピン配置図</p> <p>図 1.5 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図 (TFP-100G、TFP-100GV)</p>	1-7	<p>図を修正</p> <p>TFP-100G TFP-100GV (上面図)</p> <p>【注】* EMLE=0のとき、ハウンドリスキャン機能有効 (TDO、TCK、TMS、TRST、TDI) EMLE=1のとき、H-UDI機能有効 (TDO、TCK、TMS、TRST、TDI)</p>																																																																																																																																											
<p>図 1.6 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図 (BP-112、BP-112V)</p>	1-8	<p>図を修正</p> <table border="1" data-bbox="610 1033 1214 1613"> <thead> <tr> <th></th> <th>A</th> <th>B</th> <th>C</th> <th>D</th> <th>E</th> <th>F</th> <th>G</th> <th>H</th> <th>J</th> <th>K</th> <th>L</th> </tr> </thead> <tbody> <tr> <td>11</td> <td>NC</td> <td>PD3/D11</td> <td>PD0/D8</td> <td>PE5/D5</td> <td>PE2/D2</td> <td>P70/CS4</td> <td>XTAL</td> <td>STBY</td> <td>OSC1</td> <td>PB7/A15</td> <td>NC</td> </tr> <tr> <td>10</td> <td>PD5/D13</td> <td>PD4/D12</td> <td>PD2/D10</td> <td>PE7/D7</td> <td>PE3/D3</td> <td>PE0/D0</td> <td>EXTAL</td> <td>P71/CS5</td> <td>OSC2</td> <td>PB6/A14</td> <td>PB5/A13</td> </tr> <tr> <td>9</td> <td>FWE</td> <td>PD7/D15</td> <td>NC</td> <td>PD1/D9</td> <td>PE4/D4</td> <td>VCC</td> <td>VSS</td> <td>P74/MRES</td> <td>NC</td> <td>PB4/A12</td> <td>UBPM</td> </tr> <tr> <td>8</td> <td>TDO</td> <td>EMLE</td> <td>NMI</td> <td>PD6/D14</td> <td>PE6/D6</td> <td>PE1/D1</td> <td>RES</td> <td>NC</td> <td>PLLVCC</td> <td>PLLSS</td> <td>P41/AN1</td> </tr> <tr> <td>7</td> <td>TRST</td> <td>TD</td> <td>TMS</td> <td>TCK</td> <td colspan="4" rowspan="2">BP-112 BP-112V (上面図)</td> <td>P40/AN0</td> <td>P42/AN2</td> <td>P43/AN3</td> <td>NC</td> </tr> <tr> <td>6</td> <td>PF7/4</td> <td>VSS</td> <td>VCC</td> <td>PF6/AS</td> <td>Vref</td> <td>PB1/A9</td> <td>PB3/A11</td> <td>PB2/A10</td> </tr> <tr> <td>5</td> <td>PF5/RD</td> <td>PF4/HWR</td> <td>PF3/LWR/ADTRG/IRQ3</td> <td>PF1/BACK</td> <td>DrVSS</td> <td>PB7/AN15</td> <td>PB0/A8</td> <td>PB6/AN14</td> </tr> <tr> <td>4</td> <td>PF2/WAIT</td> <td>PF0/BREQ/IRQ2</td> <td>PA2/A18/RxD2</td> <td>P11/TIOC/B0/AZ1</td> <td>P17/TIOC/B2/TCLKD</td> <td>MD2</td> <td>USPND/TMOW</td> <td>PG4/CS0</td> <td>DrVCC</td> <td>USD+</td> <td>USD-</td> </tr> <tr> <td>3</td> <td>PA3/A19/SCK2</td> <td>PA1/A17/TxD2</td> <td>NC</td> <td>P14/TIOC/A1/IRQ0</td> <td>PC0/A0</td> <td>PC3/A3</td> <td>PC6/A6</td> <td>P32/SCK0/IRQ4</td> <td>NC</td> <td>VBUS</td> <td>P36(PUPD+)</td> </tr> <tr> <td>2</td> <td>NC</td> <td>PA0/A16</td> <td>P12/TIOC/C3/TCLK/A22</td> <td>P15/TIOC/B1/TCLK</td> <td>PC2/A2</td> <td>MD1</td> <td>PC5/A5</td> <td>P30/TxD0</td> <td>PG1/CS3/IRQ7</td> <td>PG2/CS2</td> <td>PG3/CS1</td> </tr> <tr> <td>1</td> <td>NC</td> <td>P10/TIOC/A0/A20</td> <td>P13/TIOC/D2/TCLK/B/A23</td> <td>P16/TIOC/A2/IRQ1</td> <td>PC1/A1</td> <td>MD0</td> <td>PC4/A4</td> <td>PC7/A7</td> <td>P31/RxD0</td> <td>NC</td> <td>NC</td> </tr> </tbody> </table> <p>INDEX</p> <p>【注】 NC (No Connection) : 何も接続せず、Openで使用してください。 * EMLE=0のとき、ハウンドリスキャン機能有効 (TDO、TCK、TMS、TRST、TDI) EMLE=1のとき、H-UDI機能有効 (TDO、TCK、TMS、TRST、TDI)</p>		A	B	C	D	E	F	G	H	J	K	L	11	NC	PD3/D11	PD0/D8	PE5/D5	PE2/D2	P70/CS4	XTAL	STBY	OSC1	PB7/A15	NC	10	PD5/D13	PD4/D12	PD2/D10	PE7/D7	PE3/D3	PE0/D0	EXTAL	P71/CS5	OSC2	PB6/A14	PB5/A13	9	FWE	PD7/D15	NC	PD1/D9	PE4/D4	VCC	VSS	P74/MRES	NC	PB4/A12	UBPM	8	TDO	EMLE	NMI	PD6/D14	PE6/D6	PE1/D1	RES	NC	PLLVCC	PLLSS	P41/AN1	7	TRST	TD	TMS	TCK	BP-112 BP-112V (上面図)				P40/AN0	P42/AN2	P43/AN3	NC	6	PF7/4	VSS	VCC	PF6/AS	Vref	PB1/A9	PB3/A11	PB2/A10	5	PF5/RD	PF4/HWR	PF3/LWR/ADTRG/IRQ3	PF1/BACK	DrVSS	PB7/AN15	PB0/A8	PB6/AN14	4	PF2/WAIT	PF0/BREQ/IRQ2	PA2/A18/RxD2	P11/TIOC/B0/AZ1	P17/TIOC/B2/TCLKD	MD2	USPND/TMOW	PG4/CS0	DrVCC	USD+	USD-	3	PA3/A19/SCK2	PA1/A17/TxD2	NC	P14/TIOC/A1/IRQ0	PC0/A0	PC3/A3	PC6/A6	P32/SCK0/IRQ4	NC	VBUS	P36(PUPD+)	2	NC	PA0/A16	P12/TIOC/C3/TCLK/A22	P15/TIOC/B1/TCLK	PC2/A2	MD1	PC5/A5	P30/TxD0	PG1/CS3/IRQ7	PG2/CS2	PG3/CS1	1	NC	P10/TIOC/A0/A20	P13/TIOC/D2/TCLK/B/A23	P16/TIOC/A2/IRQ1	PC1/A1	MD0	PC4/A4	PC7/A7	P31/RxD0	NC	NC
	A	B	C	D	E	F	G	H	J	K	L																																																																																																																																		
11	NC	PD3/D11	PD0/D8	PE5/D5	PE2/D2	P70/CS4	XTAL	STBY	OSC1	PB7/A15	NC																																																																																																																																		
10	PD5/D13	PD4/D12	PD2/D10	PE7/D7	PE3/D3	PE0/D0	EXTAL	P71/CS5	OSC2	PB6/A14	PB5/A13																																																																																																																																		
9	FWE	PD7/D15	NC	PD1/D9	PE4/D4	VCC	VSS	P74/MRES	NC	PB4/A12	UBPM																																																																																																																																		
8	TDO	EMLE	NMI	PD6/D14	PE6/D6	PE1/D1	RES	NC	PLLVCC	PLLSS	P41/AN1																																																																																																																																		
7	TRST	TD	TMS	TCK	BP-112 BP-112V (上面図)				P40/AN0	P42/AN2	P43/AN3	NC																																																																																																																																	
6	PF7/4	VSS	VCC	PF6/AS					Vref	PB1/A9	PB3/A11	PB2/A10																																																																																																																																	
5	PF5/RD	PF4/HWR	PF3/LWR/ADTRG/IRQ3	PF1/BACK	DrVSS	PB7/AN15	PB0/A8	PB6/AN14																																																																																																																																					
4	PF2/WAIT	PF0/BREQ/IRQ2	PA2/A18/RxD2	P11/TIOC/B0/AZ1	P17/TIOC/B2/TCLKD	MD2	USPND/TMOW	PG4/CS0	DrVCC	USD+	USD-																																																																																																																																		
3	PA3/A19/SCK2	PA1/A17/TxD2	NC	P14/TIOC/A1/IRQ0	PC0/A0	PC3/A3	PC6/A6	P32/SCK0/IRQ4	NC	VBUS	P36(PUPD+)																																																																																																																																		
2	NC	PA0/A16	P12/TIOC/C3/TCLK/A22	P15/TIOC/B1/TCLK	PC2/A2	MD1	PC5/A5	P30/TxD0	PG1/CS3/IRQ7	PG2/CS2	PG3/CS1																																																																																																																																		
1	NC	P10/TIOC/A0/A20	P13/TIOC/D2/TCLK/B/A23	P16/TIOC/A2/IRQ1	PC1/A1	MD0	PC4/A4	PC7/A7	P31/RxD0	NC	NC																																																																																																																																		

修正項目	ページ	修正内容 (詳細はマニュアル参照)
1.3 ピン配置図 図 1.7 HD6432217 のピン配置図 (TFP-100G、TFP-100GV)	1-9	注を修正 【注】 NC (No Connection) : 何も接続せず、Open で使用してください。 *1 FWE 端子は、フラッシュメモリ版のみ対応します。Low に固定してください。
図 1.8 HD6432217 のピン配置図 (BP-112、BP-112V)	1-10	注を修正 【注】 NC (No Connection) : 何も接続せず、Open で使用してください。 *1 FWE 端子は、フラッシュメモリ版のみ対応します。Low に固定してください。
図 1.9 HD64F2212、HD64F2212U、 HD64F2212CU、HD64F2211、 HD64F2211U、HD64F2211CU、 HD64F2210CU のピン配置図 (FP-64E、FP-64EV)	1-11	図を修正  <p>【注】 NC (No Connection) : 何も接続せず、Open で使用してください。 *1 EMLE=0 のとき、ポート機能有効 (P77、P76、P75、NC、PG0) EMLE=1 のとき、H-UDI機能有効 (TDO、TCK、TMS、TRST、TDI)</p>
図 1.10 HD6432211、HD6432210、 HD6432210S のピン配置図 (FP-64E、FP-64EV)	1-12	注を修正 【注】 NC (No Connection) : 何も接続せず、Open で使用してください。 *1 FWE 端子は、フラッシュメモリ版のみ対応します。Low に固定してください。

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																												
1.3 ピン配置図 図 1.11 HD64F2212、 HD64F2212U、HD64F2212CU、 HD64F2211、HD64F2211U、 HD64F2211CU、HD64F2210CU の ピン配置図 (TNP-64B、TNP-64BV)	1-13	図を修正 <p>【注】 NC (No Connection) : 何も接続せず、Open で使用してください。 * EMLE=0のとき、ポート機能有効 (P77、P76、P75、NC、PG0) EMLE=1のとき、H-UDI機能有効 (TDO、TCK、TMS、TRST、TD1)</p>																																												
図 1.12 HD6432211、HD6432210、 HD6432210S のピン配置図 (TNP-64B、TNP-64BV)	1-14	注を修正 【注】 NC (No Connection) : 何も接続せず、Open で使用してください。 *1 FWE 端子は、フラッシュメモリ版のみ対応します。Low に固 定してください。																																												
1.5 端子機能	1-23	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">記号</th> <th colspan="2">ピン番号</th> <th rowspan="2">入出力</th> <th rowspan="2">機能</th> </tr> <tr> <th>TFP-100G、 TFP-100GV</th> <th>BP-112、 BP-112V</th> <th>FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV</th> </tr> </thead> <tbody> <tr> <td>バウンダリス キャン</td> <td>TMS</td> <td>85</td> <td>C7</td> <td>54</td> <td>入力</td> <td>バウンダリスキャン用の制御信号入力端子です。</td> </tr> <tr> <td></td> <td>TCK</td> <td>84</td> <td>D7</td> <td>53</td> <td>入力</td> <td>バウンダリスキャン用のクロック入力端子です。</td> </tr> <tr> <td>(HD64F2210、 HD64F2218U、 HD64F2218CU、 HD64F2217CU のみ)</td> <td>TDO</td> <td>83</td> <td>A8</td> <td>52</td> <td>出力</td> <td>バウンダリスキャン用のデータ出力端子です。</td> </tr> <tr> <td></td> <td>TDI</td> <td>87</td> <td>B7</td> <td>56</td> <td>入力</td> <td>バウンダリスキャン用のデータ入力端子です。</td> </tr> <tr> <td></td> <td>TRST</td> <td>86</td> <td>A7</td> <td>55</td> <td>入力</td> <td>TAP コントローラのリセット端子です。</td> </tr> </tbody> </table>	分類	記号	ピン番号		入出力	機能	TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV	バウンダリス キャン	TMS	85	C7	54	入力	バウンダリスキャン用の制御信号入力端子です。		TCK	84	D7	53	入力	バウンダリスキャン用のクロック入力端子です。	(HD64F2210、 HD64F2218U、 HD64F2218CU、 HD64F2217CU のみ)	TDO	83	A8	52	出力	バウンダリスキャン用のデータ出力端子です。		TDI	87	B7	56	入力	バウンダリスキャン用のデータ入力端子です。		TRST	86	A7	55	入力	TAP コントローラのリセット端子です。
分類	記号	ピン番号			入出力	機能																																								
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV																																										
バウンダリス キャン	TMS	85	C7	54	入力	バウンダリスキャン用の制御信号入力端子です。																																								
	TCK	84	D7	53	入力	バウンダリスキャン用のクロック入力端子です。																																								
(HD64F2210、 HD64F2218U、 HD64F2218CU、 HD64F2217CU のみ)	TDO	83	A8	52	出力	バウンダリスキャン用のデータ出力端子です。																																								
	TDI	87	B7	56	入力	バウンダリスキャン用のデータ入力端子です。																																								
	TRST	86	A7	55	入力	TAP コントローラのリセット端子です。																																								
3.4 各動作モードのアドレスマッ プ 図 3.1 HD64F2218、HD64F2218U、 HD64F2218CU のアドレスマップ 図 3.2 HD64F2217CU のアドレス マップ	3-6	図タイトルを修正																																												
	3-7	図を追加																																												

修正項目	ページ	修正内容 (詳細はマニュアル参照)
<p>3.4 各動作モードのアドレスマップ</p> <p>図 3.4 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU、HD6432211、HD6432210、HD6432210S のアドレスマップ</p>	3-9	<p>図を修正</p> <p>・HD64F2212、HD64F2212U、HD64F2212CU ROM : 128Kバイト RAM : 12Kバイト</p> <p>モード7 アドバンスト・ シングルチップモード</p> <p>・HD64F2211、HD64F2211U、HD64F2211CU、HD6432211 ROM : 64Kバイト RAM : 8Kバイト</p> <p>モード7 アドバンスト・ シングルチップモード</p> <p>・HD64F2210CU ROM : 32Kバイト RAM : 8Kバイト</p> <p>モード7 アドバンスト・ シングルチップモード</p> <p>・HD6432210、HD6432210S ROM : 32Kバイト RAM : 4Kバイト</p> <p>モード7 アドバンスト・ シングルチップモード</p> <p>【注】* リザーブ領域はアクセスしないでください。</p>
4.3 リセット	4-3	<p>注を修正</p> <p>【注】 バウンダリスキャン機能を持つ HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU は、電源投入時に TRST も Low にしてください。詳細は「第 13 章 バウンダリスキャン」を参照してください。</p>
8.1.4 端子機能 表 8.9 P11 の端子機能	8-9	<p>注を追加</p> <p>【注】*1 TPU チャネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。</p> <p>*2 モード 4、5、6 のときに有効です。</p>

修正項目	ページ	修正内容 (詳細はマニュアル参照)																				
12.3.7 シリアルステータスレジスタ (SSR) ● 通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)	12-13	表を修正 <table border="1" data-bbox="614 343 1218 996"> <thead> <tr> <th data-bbox="614 343 669 363">ビット</th> <th data-bbox="669 343 731 363">ビット名</th> <th data-bbox="731 343 786 363">初期値</th> <th data-bbox="786 343 841 363">R/W</th> <th data-bbox="841 343 1218 363">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="614 363 669 546">7</td> <td data-bbox="669 363 731 546">TDRE</td> <td data-bbox="731 363 786 546">1</td> <td data-bbox="786 363 841 546">R/(W)¹⁾</td> <td data-bbox="841 363 1218 546"> トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき [クリア条件] TDRE=1 の状態をリードしたあと、0 をライトしたとき²⁾ TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき </td> </tr> <tr> <td data-bbox="614 546 669 768">6</td> <td data-bbox="669 546 731 768">RDRF</td> <td data-bbox="731 546 786 768">0</td> <td data-bbox="786 546 841 768">R/(W)¹⁾</td> <td data-bbox="841 546 1218 768"> レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] ● 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] ● RDRF=1 の状態をリードしたあと、0 をライトしたとき²⁾ ● RXI 割り込みにより DMAC で RDR から受信データを転送したとき SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。 </td> </tr> <tr> <td data-bbox="614 768 669 996">5</td> <td data-bbox="669 768 731 996">ORER</td> <td data-bbox="731 768 786 996">0</td> <td data-bbox="786 768 841 996">R/(W)¹⁾</td> <td data-bbox="841 768 1218 996"> オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] ● RDRF=1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。 [クリア条件] ● ORER=1 の状態をリードしたあと、0 をライトしたとき²⁾ SCR の RE をクリアしても、ORER は影響を受けず状態を保持します。 </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	TDRE	1	R/(W) ¹⁾	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき [クリア条件] TDRE=1 の状態をリードしたあと、0 をライトしたとき ²⁾ TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき	6	RDRF	0	R/(W) ¹⁾	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] ● 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] ● RDRF=1 の状態をリードしたあと、0 をライトしたとき ²⁾ ● RXI 割り込みにより DMAC で RDR から受信データを転送したとき SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。	5	ORER	0	R/(W) ¹⁾	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] ● RDRF=1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。 [クリア条件] ● ORER=1 の状態をリードしたあと、0 をライトしたとき ²⁾ SCR の RE をクリアしても、ORER は影響を受けず状態を保持します。
ビット	ビット名	初期値	R/W	説明																		
7	TDRE	1	R/(W) ¹⁾	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき [クリア条件] TDRE=1 の状態をリードしたあと、0 をライトしたとき ²⁾ TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき																		
6	RDRF	0	R/(W) ¹⁾	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] ● 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] ● RDRF=1 の状態をリードしたあと、0 をライトしたとき ²⁾ ● RXI 割り込みにより DMAC で RDR から受信データを転送したとき SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。																		
5	ORER	0	R/(W) ¹⁾	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] ● RDRF=1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。 [クリア条件] ● ORER=1 の状態をリードしたあと、0 をライトしたとき ²⁾ SCR の RE をクリアしても、ORER は影響を受けず状態を保持します。																		

修正項目	ページ	修正内容 (詳細はマニュアル参照)																														
12.3.7 シリアルステータスレジスタ (SSR) ● 通常のシリアルコミュニケーションインタフェースモード (SCMR) の SMIF = 0 のとき	12-14	表を修正 <table border="1" data-bbox="614 343 1218 1182"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>FER</td> <td>0</td> <td>R(W)*1</td> <td> <p>フレーミングエラー</p> <p>読歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき <p>SCR の RE をクリアしても、FER は影響を受けず以前の状態を保持します。</p> </td> </tr> <tr> <td>3</td> <td>PER</td> <td>0</td> <td>R(W)*1</td> <td> <p>パリティエラー</p> <p>読歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> PER=1の状態をリードしたあと、0をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p> </td> </tr> <tr> <td>2</td> <td>TEND</td> <td>1</td> <td>R</td> <td> <p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が0のとき 送信キャラクタの最後尾ビットの送信時、TDRE が1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードしたあと、TDREに0をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき </td> </tr> <tr> <td>1</td> <td>MPB</td> <td>0</td> <td>R</td> <td> <p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE をクリアしても、以前の状態を保持します。</p> </td> </tr> <tr> <td>0</td> <td>MPBT</td> <td>0</td> <td>R/W</td> <td> <p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	4	FER	0	R(W)*1	<p>フレーミングエラー</p> <p>読歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき <p>SCR の RE をクリアしても、FER は影響を受けず以前の状態を保持します。</p> 	3	PER	0	R(W)*1	<p>パリティエラー</p> <p>読歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> PER=1の状態をリードしたあと、0をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>	2	TEND	1	R	<p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が0のとき 送信キャラクタの最後尾ビットの送信時、TDRE が1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードしたあと、TDREに0をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき 	1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE をクリアしても、以前の状態を保持します。</p>	0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>
ビット	ビット名	初期値	R/W	説明																												
4	FER	0	R(W)*1	<p>フレーミングエラー</p> <p>読歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき <p>SCR の RE をクリアしても、FER は影響を受けず以前の状態を保持します。</p> 																												
3	PER	0	R(W)*1	<p>パリティエラー</p> <p>読歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> PER=1の状態をリードしたあと、0をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>																												
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が0のとき 送信キャラクタの最後尾ビットの送信時、TDRE が1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードしたあと、TDREに0をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき 																												
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE をクリアしても、以前の状態を保持します。</p>																												
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>																												
	12-14、12-15	注を修正 【注】 *1 フラグをクリアするための0ライトのみ可能です。 *2 HD6432210S では、CPU によりフラグをクリアする場合、0をライトした後に、再度フラグをリードしてください。																														

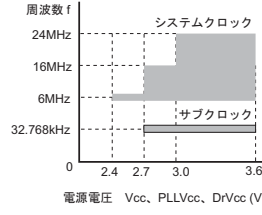
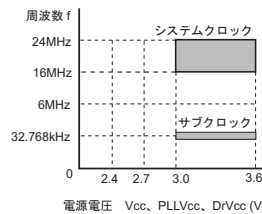
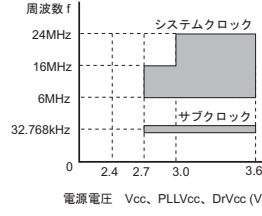
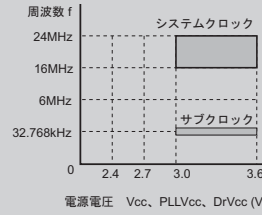
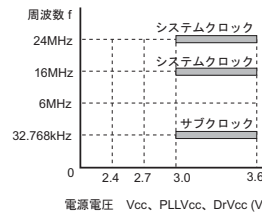
修正項目	ページ	修正内容 (詳細はマニュアル参照)																									
12.3.7 シリアルステータスレジスタ (SSR) ● スマートカードインタフェース (SCMR の SMIF = 1 のとき)	12-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th data-bbox="618 349 669 369">ビット</th> <th data-bbox="669 349 732 369">ビット名</th> <th data-bbox="732 349 787 369">初期値</th> <th data-bbox="787 349 842 369">R/W</th> <th data-bbox="842 349 1223 369">説明</th> </tr> </thead> <tbody> <tr> <td data-bbox="618 369 669 537">7</td> <td data-bbox="669 369 732 537">TDRE</td> <td data-bbox="732 369 787 537">1</td> <td data-bbox="787 369 842 537">R/(W)*</td> <td data-bbox="842 369 1223 537"> トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送されたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき ● TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき </td> </tr> <tr> <td data-bbox="618 537 669 739">6</td> <td data-bbox="669 537 732 739">RDRF</td> <td data-bbox="732 537 787 739">0</td> <td data-bbox="787 537 842 739">R/(W)*</td> <td data-bbox="842 537 1223 739"> レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき ● RXI 割り込みにより DMAC で RDR からデータが転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。 </td> </tr> <tr> <td data-bbox="618 739 669 977">5</td> <td data-bbox="669 739 732 977">ORER</td> <td data-bbox="732 739 787 977">0</td> <td data-bbox="787 739 842 977">R/(W)*</td> <td data-bbox="842 739 1223 977"> オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。 [セット条件] ● RDRF=1 の状態で次のデータを受信したとき RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。 [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。 </td> </tr> <tr> <td data-bbox="618 977 669 1151">4</td> <td data-bbox="669 977 732 1151">ERS</td> <td data-bbox="732 977 787 1151">0</td> <td data-bbox="787 977 842 1151">R/(W)*</td> <td data-bbox="842 977 1223 1151"> エラーシグナルステータス 送信時に受信側から送り返されるエラーシグナルのステータスを表示します。 [セット条件] ● エラーシグナル Low をサンプリングしたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき SCR の TE をクリアしても ERS は影響を受けず状態を保持します。 </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送されたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき ● TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき	6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき ● RXI 割り込みにより DMAC で RDR からデータが転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。	5	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。 [セット条件] ● RDRF=1 の状態で次のデータを受信したとき RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。 [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。	4	ERS	0	R/(W)*	エラーシグナルステータス 送信時に受信側から送り返されるエラーシグナルのステータスを表示します。 [セット条件] ● エラーシグナル Low をサンプリングしたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき SCR の TE をクリアしても ERS は影響を受けず状態を保持します。
ビット	ビット名	初期値	R/W	説明																							
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送されたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき ● TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき																							
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき ● RXI 割り込みにより DMAC で RDR からデータが転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。																							
5	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。 [セット条件] ● RDRF=1 の状態で次のデータを受信したとき RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。 [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。																							
4	ERS	0	R/(W)*	エラーシグナルステータス 送信時に受信側から送り返されるエラーシグナルのステータスを表示します。 [セット条件] ● エラーシグナル Low をサンプリングしたとき [クリア条件] ● 1 の状態をリードしたあと、0 をライトしたとき SCR の TE をクリアしても ERS は影響を受けず状態を保持します。																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																																																																																								
12.3.7 シリアルステータスレジスタ (SSR) • スマートカードインタフェース (SCMR の SMIF=1 のとき)	12-16	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>PER</td> <td>0</td> <td>R(W)*1</td> <td> <p>パリティエラー</p> <p>誤歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p> </td> </tr> <tr> <td>2</td> <td>TEND</td> <td>1</td> <td>R</td> <td> <p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE=0 かつ ERS=0 のとき 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 12.5etu 後 GM=0、BLK=1 のとき、送信開始から 11.5etu 後 GM=1、BLK=0 のとき、送信開始から 11.0etu 後 GM=1、BLK=1 のとき、送信開始から 11.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき </td> </tr> <tr> <td>1</td> <td>MPB</td> <td>0</td> <td>R</td> <td> <p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p> </td> </tr> <tr> <td>0</td> <td>MPBT</td> <td>0</td> <td>R/W</td> <td> <p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	PER	0	R(W)*1	<p>パリティエラー</p> <p>誤歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>	2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE=0 かつ ERS=0 のとき 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 12.5etu 後 GM=0、BLK=1 のとき、送信開始から 11.5etu 後 GM=1、BLK=0 のとき、送信開始から 11.0etu 後 GM=1、BLK=1 のとき、送信開始から 11.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき 	1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>	0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>																																																																																																															
ビット	ビット名	初期値	R/W	説明																																																																																																																																						
3	PER	0	R(W)*1	<p>パリティエラー</p> <p>誤歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>																																																																																																																																						
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE=0 かつ ERS=0 のとき 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 12.5etu 後 GM=0、BLK=1 のとき、送信開始から 11.5etu 後 GM=1、BLK=0 のとき、送信開始から 11.0etu 後 GM=1、BLK=1 のとき、送信開始から 11.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき 																																																																																																																																						
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>																																																																																																																																						
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>																																																																																																																																						
	12-16	注を修正 【注】 *1 フラグをクリアするための 0 ライトのみ可能です。 *2 HD6432210S では、CPU によりフラグをクリアする場合、0 をライトした後に、再度フラグをリードしてください。																																																																																																																																								
12.3.11 ビットレートレジスタ (BRR) 表 12.6 ビットレートに対する BRR の設定例(クロック同期モード)	12-33	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">ビットレート (bps)</th> <th colspan="12">動作周波数 (MHz)</th> </tr> <tr> <th colspan="2">2</th> <th colspan="2">4</th> <th colspan="2">6</th> <th colspan="2">8</th> <th colspan="2">10</th> <th colspan="2">16</th> <th colspan="2">20</th> <th colspan="2">24</th> </tr> <tr> <th></th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>2M</td> <td></td><td></td><td></td><td></td><td></td><td></td><td>0</td><td>0*</td><td></td><td></td><td>0</td><td>1</td><td></td><td></td><td></td><td>0</td><td>2</td> </tr> <tr> <td>2.5M</td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>0</td><td>0*</td><td></td><td></td><td>0</td><td>1</td><td></td><td></td><td></td> </tr> <tr> <td>4M</td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>0</td><td>0*</td><td></td><td></td><td></td><td></td><td></td> </tr> <tr> <td>5M</td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>0</td><td>0*</td><td></td><td></td><td></td> </tr> <tr> <td>6M</td> <td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td>0</td><td>0*</td><td></td> </tr> </tbody> </table>	ビットレート (bps)	動作周波数 (MHz)												2		4		6		8		10		16		20		24			n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	2M							0	0*			0	1				0	2	2.5M									0	0*			0	1				4M											0	0*						5M													0	0*				6M															0	0*	
ビットレート (bps)	動作周波数 (MHz)																																																																																																																																									
	2		4		6		8		10		16		20		24																																																																																																																											
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N																																																																																																																										
2M							0	0*			0	1				0	2																																																																																																																									
2.5M									0	0*			0	1																																																																																																																												
4M											0	0*																																																																																																																														
5M													0	0*																																																																																																																												
6M															0	0*																																																																																																																										
13. バウンダリスキャン	13-1	説明を修正 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU は、バウンダリスキャン機能を内蔵しています。バウンダリスキャンは、JTAG (Joint Test Action Group, IEEE Std. 1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に準拠したシリアル入出力インタフェースです。																																																																																																																																								

修正項目	ページ	修正内容 (詳細はマニュアル参照)																												
13.3.2 IDCODE レジスタ (IDCODE)	13-5	<p>説明を修正</p> <p>インストラクションレジスタを IDCODE モードにセットすると、IDCODE レジスタは TDI と TDO の間に接続され、固定コード (HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU は H'002A200F) を TDO より出力します。シリアルデータを TDI を通じて IDCODE レジスタに書き込むことはできません。</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>31...28</th> <th>27</th> <th>.....</th> <th>12</th> <th>11</th> <th>.....</th> <th>1</th> <th>0</th> </tr> </thead> <tbody> <tr> <td>HD64F2218、 HD64F2218U、 HD64F2218CU、 HD64F2217CU のコード</td> <td>0 0 0 0</td> <td>0 0 0 0</td> <td>0 0 1 0</td> <td>1 0 1 0</td> <td>0 0 1 0</td> <td>0 0 0 0</td> <td>0 0 0 0</td> <td>1 1 1</td> <td>1</td> </tr> <tr> <td>内容</td> <td>バージョン (4 ビット)</td> <td colspan="2">部品番号 (16 ビット)</td> <td colspan="2">製造者番号 (11 ビット)</td> <td colspan="3">固定コード (1 ビット)</td> </tr> </tbody> </table>	ビット	31...28	27	12	11	1	0	HD64F2218、 HD64F2218U、 HD64F2218CU、 HD64F2217CU のコード	0 0 0 0	0 0 0 0	0 0 1 0	1 0 1 0	0 0 1 0	0 0 0 0	0 0 0 0	1 1 1	1	内容	バージョン (4 ビット)	部品番号 (16 ビット)		製造者番号 (11 ビット)		固定コード (1 ビット)		
ビット	31...28	27	12	11	1	0																						
HD64F2218、 HD64F2218U、 HD64F2218CU、 HD64F2217CU のコード	0 0 0 0	0 0 0 0	0 0 1 0	1 0 1 0	0 0 1 0	0 0 0 0	0 0 0 0	1 1 1	1																					
内容	バージョン (4 ビット)	部品番号 (16 ビット)		製造者番号 (11 ビット)		固定コード (1 ビット)																								
14.3.5 USB FIFO クリアレジスタ 0 (UFCLR0)	14-10	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7、6</td> <td>-</td> <td>すべて 0</td> <td>R</td> <td>リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。</td> </tr> <tr> <td>5</td> <td>EP2CLR</td> <td>0</td> <td>W</td> <td>EP2 クリア* 0：何も行われません。 1：EP2 の OUT FIFO をクリアします。</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】* DMA 転送をイネーブルにしている時 (UDMAR/EP2T1=1、EP2T0=0 または 1) は、EP2CLR に 1 をライトしても FIFO 内のデータをクリアすることができません。クリアを行う場合は、DMA 転送を解除してから (UDMAR/EP2T1=0、EP2T0=0) EP2CLR に 1 をライトしてください。</p>	ビット	ビット名	初期値	R/W	説 明	7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。	5	EP2CLR	0	W	EP2 クリア* 0：何も行われません。 1：EP2 の OUT FIFO をクリアします。													
ビット	ビット名	初期値	R/W	説 明																										
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。																										
5	EP2CLR	0	W	EP2 クリア* 0：何も行われません。 1：EP2 の OUT FIFO をクリアします。																										
14.8 使用上の注意事項 (16)DMA 転送設定時の FIFO クリアについて	14-59	説明を追加																												
16. RAM	16-1	<p>説明を修正</p> <p>HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU、HD64F2212、HD64F2212U、HD64F2212CU は 12K バイト、HD6432217、HD64F2211、HD64F2211U、HD6432211、HD64F2210CU は 8K バイト、HD6432210、HD6432210S は 4K バイトの高速スタティック RAM を内蔵しています。</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>製品区分</th> <th>ROM タイプ</th> <th>RAM 容量</th> <th>RAM アドレス</th> </tr> </thead> <tbody> <tr> <td rowspan="4">H8S/2218 グループ</td> <td>HD64F2218 HD64F2218U HD64F2218CU HD64F2217CU</td> <td>フラッシュメモリ版</td> <td>12K バイト H'FFFC000~H'FFFEFBF H'FFFFC00~H'FFFFFFF</td> </tr> <tr> <td>HD6432217</td> <td>マスク ROM 版</td> <td>8K バイト H'FFD0000~H'FFFEFBF H'FFFFC00~H'FFFFFFF</td> </tr> <tr> <td rowspan="4">H8S/2212 グループ</td> <td>HD64F2212 HD64F2212U HD64F2212CU</td> <td>フラッシュメモリ版</td> <td>12K バイト H'FFFC000~H'FFFEFBF H'FFFFC00~H'FFFFFFF</td> </tr> <tr> <td>HD64F2211 HD64F2211U HD64F2211CU HD64F2210CU</td> <td></td> <td>8K バイト H'FFD0000~H'FFFEFBF H'FFFFC00~H'FFFFFFF</td> </tr> </tbody> </table>	製品区分	ROM タイプ	RAM 容量	RAM アドレス	H8S/2218 グループ	HD64F2218 HD64F2218U HD64F2218CU HD64F2217CU	フラッシュメモリ版	12K バイト H'FFFC000~H'FFFEFBF H'FFFFC00~H'FFFFFFF	HD6432217	マスク ROM 版	8K バイト H'FFD0000~H'FFFEFBF H'FFFFC00~H'FFFFFFF	H8S/2212 グループ	HD64F2212 HD64F2212U HD64F2212CU	フラッシュメモリ版	12K バイト H'FFFC000~H'FFFEFBF H'FFFFC00~H'FFFFFFF	HD64F2211 HD64F2211U HD64F2211CU HD64F2210CU		8K バイト H'FFD0000~H'FFFEFBF H'FFFFC00~H'FFFFFFF										
製品区分	ROM タイプ	RAM 容量	RAM アドレス																											
H8S/2218 グループ	HD64F2218 HD64F2218U HD64F2218CU HD64F2217CU	フラッシュメモリ版	12K バイト H'FFFC000~H'FFFEFBF H'FFFFC00~H'FFFFFFF																											
	HD6432217	マスク ROM 版	8K バイト H'FFD0000~H'FFFEFBF H'FFFFC00~H'FFFFFFF																											
	H8S/2212 グループ	HD64F2212 HD64F2212U HD64F2212CU	フラッシュメモリ版	12K バイト H'FFFC000~H'FFFEFBF H'FFFFC00~H'FFFFFFF																										
		HD64F2211 HD64F2211U HD64F2211CU HD64F2210CU		8K バイト H'FFD0000~H'FFFEFBF H'FFFFC00~H'FFFFFFF																										

修正項目	ページ	修正内容 (詳細はマニュアル参照)																		
17.1 特長	17-1	<p>表を修正</p> <table border="1"> <thead> <tr> <th>製品区分</th> <th>ROM容量</th> <th>ROMアドレス</th> </tr> </thead> <tbody> <tr> <td>H8S/2218 グループ HD64F2218、 HD64F2218U HD64F2218CU</td> <td>128K バイト</td> <td>H'000000 - H'01FFFF (モード 6、7)</td> </tr> <tr> <td>HD64F2217CU</td> <td>64K バイト</td> <td>H'000000 - H'00FFFF (モード 6、7)</td> </tr> <tr> <td>H8S/2212 グループ HD64F2212、 HD64F2212U HD64F2212CU</td> <td>128K バイト</td> <td>H'000000 - H'01FFFF (モード 7)</td> </tr> <tr> <td>HD64F2211、 HD64F2211U HD64F2211CU</td> <td>64K バイト</td> <td>H'000000 - H'00FFFF (モード 7)</td> </tr> <tr> <td>HD64F2210CU</td> <td>32K バイト</td> <td>H'000000 - H'007FFF (モード 7)</td> </tr> </tbody> </table> <p>説明を修正</p> <ul style="list-style-type: none"> オンボードプログラミングモード：2種類 <p>ブートモード</p> <p>SCI ブートモード：HD64F2218、HD64F2212、HD64F2211</p> <p>USB ブートモード：HD64F2218U、HD64F2218CU、HD64F2217CU、 HD64F2212U、HD64F2212CU、HD64F2211U、 HD64F2211CU、HD64F2210CU</p>	製品区分	ROM容量	ROMアドレス	H8S/2218 グループ HD64F2218、 HD64F2218U HD64F2218CU	128K バイト	H'000000 - H'01FFFF (モード 6、7)	HD64F2217CU	64K バイト	H'000000 - H'00FFFF (モード 6、7)	H8S/2212 グループ HD64F2212、 HD64F2212U HD64F2212CU	128K バイト	H'000000 - H'01FFFF (モード 7)	HD64F2211、 HD64F2211U HD64F2211CU	64K バイト	H'000000 - H'00FFFF (モード 7)	HD64F2210CU	32K バイト	H'000000 - H'007FFF (モード 7)
製品区分	ROM容量	ROMアドレス																		
H8S/2218 グループ HD64F2218、 HD64F2218U HD64F2218CU	128K バイト	H'000000 - H'01FFFF (モード 6、7)																		
HD64F2217CU	64K バイト	H'000000 - H'00FFFF (モード 6、7)																		
H8S/2212 グループ HD64F2212、 HD64F2212U HD64F2212CU	128K バイト	H'000000 - H'01FFFF (モード 7)																		
HD64F2211、 HD64F2211U HD64F2211CU	64K バイト	H'000000 - H'00FFFF (モード 7)																		
HD64F2210CU	32K バイト	H'000000 - H'007FFF (モード 7)																		
7.1 特長 図 17.1 フラッシュメモリのブロック図	17-2	<p>注を修正</p> <p>【注】 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2212、 HD64F2212U、HD64F2212CU は 128K バイト</p> <p>HD64F2217CU、HD64F2211、HD64F2211U、HD64F2211CU は 64K バイト</p> <p>HD64F2210CU は 32K バイト</p>																		
17.3 ブロック構成	17-6	<p>説明を修正</p> <p>図 17.5 に HD64F2218、HD64F2218U、HD64F2218CU、HD64F2212、 HD64F2212U、HD64F2212CU の 128K バイトフラッシュメモリのブ ロック構成を示します。</p> <p>図タイトルを修正</p>																		
図 17.5 フラッシュメモリのブ ロック構成 (HD64F2218、HD64F2218U、 HD64F2218CU、HD64F2212、 HD64F2212U、HD64F2212CU)	17-7	<p>説明を修正</p> <p>図 17.6 に HD64F2217CU、HD64F2211、HD64F2211U、HD64F2212CU の 64K バイトフラッシュメモリのブロック構成を示します。</p> <p>図タイトルを修正</p>																		
図 17.6 フラッシュメモリのブ ロック構成 (HD64F2217CU、HD64F2211、 HD64F2211U、HD64F2211CU)	17-8	<p>説明、図を追加</p>																		
図 17.7 フラッシュメモリのブ ロック構成 (HD64F2210CU)																				

修正項目	ページ	修正内容 (詳細はマニュアル参照)																								
17.4 入出力端子	17-9	<p>表を修正</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>入出力</th> <th>機能</th> <th></th> </tr> </thead> <tbody> <tr> <td>USD+, USD-</td> <td>入出力</td> <td>USB データ入出力</td> <td>HD64F2218U</td> </tr> <tr> <td>VBUS</td> <td>入力</td> <td>USB ケーブルの接続 / 切断検出</td> <td>HD64F2218CU</td> </tr> <tr> <td>UBPM</td> <td>入力</td> <td>USB バスパワーモード / セルファパワーモード設定</td> <td>HD64F2217CU</td> </tr> <tr> <td>USPND</td> <td>出力</td> <td>USB サスペンド出力</td> <td>HD64F2212U</td> </tr> <tr> <td>P36 (PUPD+)</td> <td>出力</td> <td>D+プルアップ制御</td> <td>HD64F2212CU HD64F2211U HD64F2211CU HD64F2212CU</td> </tr> </tbody> </table>	端子名	入出力	機能		USD+, USD-	入出力	USB データ入出力	HD64F2218U	VBUS	入力	USB ケーブルの接続 / 切断検出	HD64F2218CU	UBPM	入力	USB バスパワーモード / セルファパワーモード設定	HD64F2217CU	USPND	出力	USB サスペンド出力	HD64F2212U	P36 (PUPD+)	出力	D+プルアップ制御	HD64F2212CU HD64F2211U HD64F2211CU HD64F2212CU
端子名	入出力	機能																								
USD+, USD-	入出力	USB データ入出力	HD64F2218U																							
VBUS	入力	USB ケーブルの接続 / 切断検出	HD64F2218CU																							
UBPM	入力	USB バスパワーモード / セルファパワーモード設定	HD64F2217CU																							
USPND	出力	USB サスペンド出力	HD64F2212U																							
P36 (PUPD+)	出力	D+プルアップ制御	HD64F2212CU HD64F2211U HD64F2211CU HD64F2212CU																							
17.6 オンボードプログラミングモード 表 17.3 オンボードプログラミングモード設定方法	17-13	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="2">モード設定</th> <th>EMLE</th> <th>FWE</th> <th>MD2</th> <th>MD1</th> <th>MD0</th> </tr> </thead> <tbody> <tr> <td>USB ブートモード (HD64F2218U、HD64F2218CU、 HD64F2217CU、HD64F2212U、 HD64F2212CU、HD64F2211U、 HD64F2211CU、HD64F2210CU)</td> <td>アドバンスド・シングルチップモード システムクロック 24MHz時</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td></td> <td>アドバンスド・シングルチップモード システムクロック 16MHz時</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	モード設定		EMLE	FWE	MD2	MD1	MD0	USB ブートモード (HD64F2218U、HD64F2218CU、 HD64F2217CU、HD64F2212U、 HD64F2212CU、HD64F2211U、 HD64F2211CU、HD64F2210CU)	アドバンスド・シングルチップモード システムクロック 24MHz時	0	1	0	1	0		アドバンスド・シングルチップモード システムクロック 16MHz時	0	1	0	1	1			
モード設定		EMLE	FWE	MD2	MD1	MD0																				
USB ブートモード (HD64F2218U、HD64F2218CU、 HD64F2217CU、HD64F2212U、 HD64F2212CU、HD64F2211U、 HD64F2211CU、HD64F2210CU)	アドバンスド・シングルチップモード システムクロック 24MHz時	0	1	0	1	0																				
	アドバンスド・シングルチップモード システムクロック 16MHz時	0	1	0	1	1																				
17.6.1 SCI ブートモード (HD64F2218、HD64F2212、 HD64F2211)	17-15	<p>説明を修正</p> <p>5. ブートモードでは内蔵 RAM の 4K バイト (H'FFE000 ~ H'FFEFBF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは HD64F2218、 HD64F2212 では、8K バイト (H'FFC000 ~ H'FFDFFF)、 HD64F2211 では、4K バイト (H'FFD000 ~ H'FFDFFF) です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。</p>																								
17.6.2 USB ブートモード (HD64F2218U、HD64F2212U、 HD64F2211U) (3) 概要	17-18	<p>説明を修正</p> <p>4. ブートモードでは内蔵 RAM の 4K バイト (H'FFE000 ~ H'FFEFBF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは HD64F2218U、 HD64F2218CU、HD64F2217CU、HD64F2212U、HD64F2212CU で は、8K バイト (H'FFC000 ~ H'FFDFFF)、HD64F2211U、 HD64F2211CU、HD64F2210CU では、4K バイト (H'FFD000 ~ H'FFDFFF) です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。</p>																								

修正項目	ページ	修正内容 (詳細はマニュアル参照)
<p>22.2 電源電圧と動作周波数範囲</p> <p>図 22.1 電源電圧と動作範囲</p>	<p>22-2</p>	<p>図を修正</p> <p>(1) マスクROM版 (HD6432210Sを除く)</p>  <p>条件A: $V_{cc}=PLL_{Vcc}=DrV_{cc}=2.4\sim 3.6V$ $V_{ref}=2.4V\sim V_{cc}$ $V_{ss}=PLL_{Vss}=DrV_{ss}=0V$ $f=32.768kHz, 6MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品) $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)</p> <p>条件B: $V_{cc}=PLL_{Vcc}=DrV_{cc}=2.7\sim 3.6V$ $V_{ref}=2.7V\sim V_{cc}$ $V_{ss}=PLL_{Vss}=DrV_{ss}=0V$ $f=32.768kHz, 6\sim 16MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品) $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)</p> <p>条件C: $V_{cc}=PLL_{Vcc}=DrV_{cc}=3.0\sim 3.6V$ $V_{ref}=3.0V\sim V_{cc}$ $V_{ss}=PLL_{Vss}=DrV_{ss}=0V$ $f=32.768kHz, 6\sim 24MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品) $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)</p> <p>(2) マスクROM版 (HD6432210S)</p>  <p>条件D: $V_{cc}=PLL_{Vcc}=DrV_{cc}=3.0\sim 3.6V$ $V_{ref}=3.0V\sim V_{cc}$ $V_{ss}=PLL_{Vss}=DrV_{ss}=0V$ $f=32.768kHz, 16\sim 24MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品) $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)</p> <p>(3) F-ZTAT版 (H8S/2218C、H8S/2212Cを除く)</p>  <p>条件A: なし</p> <p>条件B: $V_{cc}=PLL_{Vcc}=DrV_{cc}=2.7\sim 3.6V$ $V_{ref}=2.7V\sim V_{cc}$ $V_{ss}=PLL_{Vss}=DrV_{ss}=0V$ $f=32.768kHz, 6\sim 16MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品) $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)</p> <p>条件C: $V_{cc}=PLL_{Vcc}=DrV_{cc}=3.0\sim 3.6V$ $V_{ref}=3.0V\sim V_{cc}$ $V_{ss}=PLL_{Vss}=DrV_{ss}=0V$ $f=32.768kHz, 6\sim 24MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品) $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)</p> <p>(4) F-ZTAT版 (H8S/2218C、H8S/2212C)</p>  <p>条件D: $V_{cc}=PLL_{Vcc}=DrV_{cc}=3.0\sim 3.6V$ $V_{ref}=3.0V\sim V_{cc}$ $V_{ss}=PLL_{Vss}=DrV_{ss}=0V$ $f=32.768kHz, 16\sim 24MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品) $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)</p> <p>(5) 内蔵USB使用時</p> 
<p>B. 型名一覧</p>	<p>付録-5、 付録-6</p>	<p>表を差し替え</p>

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-3
1.3	ピン配置図	1-7
1.4	動作モード別端子機能一覧	1-15
1.5	端子機能	1-20
2.	CPU	2-1
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-9
2.4.1	汎用レジスタ	2-10
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-12
2.4.5	CPU 内部レジスタの初期値	2-13
2.5	データ形式	2-13
2.5.1	汎用レジスタのデータ形式	2-14
2.5.2	メモリ上でのデータ形式	2-16
2.6	命令セット	2-17
2.6.1	命令の機能別一覧	2-18
2.6.2	命令の基本フォーマット	2-27
2.7	アドレッシングモードと実効アドレスの計算方法	2-28
2.7.1	レジスタ直接 Rn	2-29
2.7.2	レジスタ間接 @ERn	2-29
2.7.3	ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)	2-29
2.7.4	ポストインクリメントレジスタ間接@ERn+ / プリデクリメントレジスタ間接@-ERn	2-29
2.7.5	絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32	2-30

2.7.6	イミディエイト #xx:8 / #xx:16 / #xx:32.....	2-30
2.7.7	プログラムカウンタ相対 @(d:8, PC) / @ (d:16, PC)	2-30
2.7.8	メモリ間接 @@aa:8	2-31
2.7.9	実効アドレスの計算方法.....	2-31
2.8	処理状態.....	2-33
2.9	使用上の注意事項.....	2-35
2.9.1	TAS 命令使用上の注意事項.....	2-35
2.9.2	STM/LDM 命令使用上の注意事項.....	2-35
2.9.3	ビット操作命令使用上の注意.....	2-36
2.9.4	ライト専用ビットを含むレジスタのアクセス方法.....	2-37
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択.....	3-1
3.2	レジスタの説明.....	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	各動作モードの説明.....	3-4
3.3.1	モード4 (H8S/2218 グループのみ)	3-4
3.3.2	モード5 (H8S/2218 グループのみ)	3-4
3.3.3	モード6 (H8S/2218 グループのみ)	3-4
3.3.4	モード7.....	3-5
3.3.5	端子機能.....	3-5
3.4	各動作モードのアドレスマップ.....	3-6
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット.....	4-3
4.3.1	リセットの種類.....	4-3
4.3.2	リセット例外処理.....	4-4
4.3.3	リセット直後の割り込み.....	4-5
4.3.4	リセット解除後の内蔵周辺機能.....	4-5
4.4	トレース例外処理.....	4-6
4.5	割り込み例外処理.....	4-6
4.6	トラップ命令例外処理.....	4-7
4.7	例外処理後のスタックの状態.....	4-8
4.8	使用上の注意事項.....	4-9
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1

5.2	入出力端子	5-2
5.3	レジスタの説明	5-3
5.3.1	インタラプトプライオリティレジスタ A~G、J、K、M (IPRA~IPRG、IPRJ、IPRK、IPRM)	5-4
5.3.2	IRQ イネーブルレジスタ (IER)	5-5
5.3.3	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-5
5.3.4	IRQ ステータスレジスタ (ISR)	5-7
5.4	割り込み要因	5-7
5.4.1	外部割り込み要因	5-7
5.4.2	内部割り込み	5-8
5.5	割り込み例外処理ベクタテーブル	5-9
5.6	割り込み制御モードと割り込み動作	5-10
5.6.1	割り込み制御モード 0	5-10
5.6.2	割り込み制御モード 2	5-12
5.6.3	割り込み例外処理シーケンス	5-14
5.6.4	割り込み応答時間	5-15
5.6.5	割り込みによる DMAC の起動	5-16
5.7	使用上の注意事項	5-18
5.7.1	割り込みの発生とディスエーブルとの競合	5-18
5.7.2	割り込みを禁止している命令	5-19
5.7.3	割り込み禁止期間	5-19
5.7.4	EPMOV 命令実行中の割り込み	5-19
5.7.5	IRQ 割り込み	5-19
5.7.6	NMI 割り込み使用上の注意	5-19
6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-3
6.3.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.3.2	アクセスステートコントロールレジスタ (ASTCR)	6-4
6.3.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	6-5
6.3.4	バスコントロールレジスタ H (BCRH)	6-7
6.3.5	バスコントロールレジスタ L (BCRL)	6-8
6.3.6	端子機能コントロールレジスタ (PFCR)	6-9
6.4	バス制御	6-10
6.4.1	エリア分割	6-10
6.4.2	バス仕様	6-11
6.4.3	各エリアのバスインタフェース	6-12
6.4.4	チップセレクト信号	6-13
6.5	基本動作タイミング	6-14

6.5.1	内蔵メモリ (ROM、RAM) アクセスタイミング	6-14
6.5.2	内蔵周辺モジュールアクセスタイミング	6-15
6.5.3	外部アドレス空間アクセスタイミング	6-16
6.6	基本バスインタフェース	6-16
6.6.1	データサイズとデータアライメント (H8S/2218 グループのみ)	6-16
6.6.2	有効ストロープ	6-17
6.6.3	基本タイミング	6-18
6.6.4	ウェイト制御	6-27
6.7	バーストROMインタフェース	6-28
6.7.1	基本タイミング	6-28
6.7.2	ウェイト制御	6-29
6.8	アイドルサイクル	6-30
6.9	バス解放	6-33
6.9.1	バス権解放の使用上の注意事項	6-34
6.10	バスアービトラージョン	6-35
6.10.1	動作説明	6-35
6.10.2	バス権移行タイミング	6-35
6.10.3	外部バス権解放使用上の注意	6-36
6.11	リセットとバスコントローラ	6-36
7.	DMA コントローラ (DMAC)	7-1
7.1	特長	7-1
7.2	レジスタの説明	7-3
7.3	各レジスタの説明	7-4
7.3.1	メモリアドレスレジスタ (MAR)	7-4
7.3.2	I/O アドレスレジスタ (IOAR)	7-5
7.3.3	転送カウントレジスタ (ETCR)	7-5
7.3.4	DMA コントロールレジスタ (DMACR)	7-6
7.3.5	DMA バンドコントロールレジスタ (DMABCR)	7-11
7.4	動作説明	7-17
7.4.1	転送モード	7-17
7.4.2	シーケンシャルモード	7-17
7.4.3	アイドルモード	7-20
7.4.4	リピートモード	7-22
7.4.5	ノーマルモード	7-25
7.4.6	ブロック転送モード	7-28
7.4.7	DMAC の起動要因	7-33
7.4.8	DMAC の基本バスサイクル	7-34
7.4.9	DMAC のバスサイクル (デュアルアドレスモード)	7-35
7.4.10	DMAC 複数チャネルの動作	7-39

7.4.11	DMAC と外部バス権要求の関係	7-40
7.4.12	NMI 割り込みと DMAC	7-40
7.4.13	DMAC 動作の強制終了	7-41
7.4.14	フルアドレスモードの解除	7-41
7.5	割り込み要因	7-42
7.6	使用上の注意事項	7-43
7.6.1	動作中の DMAC レジスタアクセス	7-43
7.6.2	モジュールストップ	7-44
7.6.3	中速モード	7-44
7.6.4	起動要因の受け付け	7-45
7.6.5	転送終了後の内部割り込み	7-45
7.6.6	チャンネルの再設定	7-45
8.	I/O ポート	8-1
8.1	ポート1	8-6
8.1.1	ポート1 データディレクションレジスタ (PIDDR)	8-6
8.1.2	ポート1 データレジスタ (PIDR)	8-7
8.1.3	ポート1 レジスタ (PORT1)	8-7
8.1.4	端子機能	8-8
8.2	ポート3	8-12
8.2.1	ポート3 データディレクションレジスタ (P3DDR)	8-12
8.2.2	ポート3 データレジスタ (P3DR)	8-13
8.2.3	ポート3 レジスタ (PORT3)	8-13
8.2.4	ポート3 オープンドレインコントロールレジスタ (P3ODR)	8-14
8.2.5	端子機能	8-14
8.3	ポート4	8-15
8.3.1	ポート4 レジスタ (PORT4)	8-15
8.3.2	端子機能	8-15
8.4	ポート7	8-15
8.4.1	ポート7 データディレクションレジスタ (P7DDR)	8-16
8.4.2	ポート7 データレジスタ (P7DR)	8-17
8.4.3	ポート7 レジスタ (PORT7)	8-18
8.4.4	端子機能	8-19
8.5	ポート9	8-20
8.5.1	ポート9 レジスタ (PORT9)	8-20
8.5.2	端子機能	8-20
8.6	ポートA	8-20
8.6.1	ポートA データディレクションレジスタ (PADDR)	8-21
8.6.2	ポートA データレジスタ (PADR)	8-21
8.6.3	ポートA レジスタ (PORTA)	8-22

8.6.4	ポート A プルアップ MOS コントロールレジスタ (PAPCR)	8-22
8.6.5	ポート A オープンドレインコントロールレジスタ (PAODR)	8-22
8.6.6	端子機能	8-23
8.6.7	ポート A 入力プルアップ MOS の状態	8-25
8.7	ポート B (H8S/2218グループのみ)	8-25
8.7.1	ポート B データディレクションレジスタ (PBDDR)	8-26
8.7.2	ポート B データレジスタ (PBDR)	8-26
8.7.3	ポート B レジスタ (PORTB)	8-27
8.7.4	ポート B プルアップ MOS コントロールレジスタ (PBPCR)	8-27
8.7.5	端子機能	8-28
8.7.6	ポート B 入力プルアップ MOS の状態	8-29
8.8	ポート C (H8S/2218グループのみ)	8-30
8.8.1	ポート C データディレクションレジスタ (PCDDR)	8-30
8.8.2	ポート C データレジスタ (PCDR)	8-30
8.8.3	ポート C レジスタ (PORTC)	8-31
8.8.4	ポート C プルアップ MOS コントロールレジスタ (PCPCR)	8-31
8.8.5	端子機能	8-32
8.8.6	ポート C 入力プルアップ MOS の状態	8-33
8.9	ポート D (H8S/2218グループのみ)	8-33
8.9.1	ポート D データディレクションレジスタ (PDDDR)	8-34
8.9.2	ポート D データレジスタ (PDDR)	8-34
8.9.3	ポート D レジスタ (PORTD)	8-35
8.9.4	ポート D プルアップ MOS コントロールレジスタ (PDPCR)	8-35
8.9.5	端子機能	8-35
8.9.6	ポート D 入力プルアップ MOS の状態	8-37
8.10	ポート E	8-38
8.10.1	ポート E データディレクションレジスタ (PEDDR)	8-38
8.10.2	ポート E データレジスタ (PEDR)	8-39
8.10.3	ポート E レジスタ (PORTE)	8-39
8.10.4	ポート E プルアップ MOS コントロールレジスタ (PEPCR)	8-40
8.10.5	端子機能	8-40
8.10.6	ポート E 入力プルアップ MOS の状態	8-43
8.11	ポート F	8-43
8.11.1	ポート F データディレクションレジスタ (PFDDR)	8-44
8.11.2	ポート F データレジスタ (PFDR)	8-44
8.11.3	ポート F レジスタ (PORTF)	8-45
8.11.4	クロック出力コントロールレジスタ (OUTCR)	8-45
8.11.5	端子機能	8-46
8.12	ポート G	8-48
8.12.1	ポート G データディレクションレジスタ (PGDDR)	8-48
8.12.2	ポート G データレジスタ (PGDR)	8-49

8.12.3	ポート G レジスタ (PORTG)	8-49
8.12.4	端子機能	8-50
8.13	未使用端子の処理	8-51
9.	16 ビットタイマパルスユニット (TPU)	9-1
9.1	特長	9-1
9.2	入出力端子	9-4
9.3	レジスタの説明	9-5
9.3.1	タイマコントロールレジスタ (TCR)	9-6
9.3.2	タイマモードレジスタ (TMDR)	9-9
9.3.3	タイマ I/O コントロールレジスタ (TIOR)	9-10
9.3.4	タイマインタラプトイネーブルレジスタ (TIER)	9-19
9.3.5	タイマステータスレジスタ (TSR)	9-20
9.3.6	タイマカウンタ (TCNT)	9-22
9.3.7	タイマジェネラルレジスタ (TGR)	9-22
9.3.8	タイマスタートレジスタ (TSTR)	9-23
9.3.9	タイマシンクロレジスタ (TSYR)	9-23
9.4	バスマスタとのインタフェース	9-24
9.4.1	16 ビットレジスタ	9-24
9.4.2	8 ビットレジスタ	9-24
9.5	動作説明	9-26
9.5.1	基本動作	9-26
9.5.2	同期動作	9-31
9.5.3	バッファ動作	9-32
9.5.4	PWM モード	9-35
9.5.5	位相計数モード	9-40
9.6	割り込み要因	9-45
9.6.1	割り込み要因と優先順位	9-45
9.6.2	DMAC の起動	9-46
9.6.3	A/D 変換器の起動	9-46
9.7	動作タイミング	9-47
9.7.1	入出力タイミング	9-47
9.7.2	割り込み信号タイミング	9-51
9.8	使用上の注意事項	9-54
10.	ウォッチドッグタイマ (WDT)	10-1
10.1	特長	10-1
10.2	レジスタの説明	10-2
10.2.1	タイマカウンタ (TCNT)	10-2
10.2.2	タイマコントロール/ステータスレジスタ (TCSR)	10-3

10.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	10-4
10.3	動作説明	10-5
10.3.1	ウォッチドッグタイマモード	10-5
10.3.2	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	10-6
10.3.3	インターバルタイマモード時	10-6
10.3.4	オーバフローフラグ (OVF) のセットタイミング	10-7
10.4	割り込み要因	10-7
10.5	使用上の注意事項	10-8
10.5.1	レジスタアクセス時の注意事項	10-8
10.5.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	10-9
10.5.3	CKS2 ~ CKS0 ビットの書き換え	10-10
10.5.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	10-10
10.5.5	ウォッチドッグタイマモードでの内部リセット	10-10
10.5.6	インターバルタイマモードでの OVF フラグのクリア	10-10
11.	リアルタイムクロック (RTC)	11-1
11.1	特長	11-1
11.2	入出力端子	11-2
11.3	レジスタの説明	11-2
11.3.1	秒データレジスタ (RSECDR)	11-2
11.3.2	分データレジスタ (RMINDR)	11-3
11.3.3	時データレジスタ (RHRDR)	11-4
11.3.4	曜日データレジスタ (RWKDR)	11-5
11.3.5	RTC コントロールレジスタ 1 (RTCCR1)	11-6
11.3.6	RTC コントロールレジスタ 2 (RTCCR2)	11-7
11.3.7	クロックソースセレクトレジスタ (RTCCSR)	11-8
11.3.8	拡張モジュールストップレジスタ (EXMDLSTP)	11-9
11.4	RTCの動作	11-9
11.4.1	電源投入後のレジスタの初期設定および再設定手順	11-9
11.4.2	時刻読み出し手順	11-10
11.5	割り込み要因	11-10
11.6	各モードでの動作状態	11-12
11.7	使用上の注意事項	11-12
12.	シリアルコミュニケーションインタフェース (SCI)	12-1
12.1	特長	12-1
12.1.1	ブロック図	12-3
12.2	入出力端子	12-4
12.3	レジスタの説明	12-5
12.3.1	レシープシフトレジスタ (RSR)	12-5

12.3.2	レシーブデータレジスタ (RDR)	12-5
12.3.3	トランスミットデータレジスタ (TDR)	12-5
12.3.4	トランスミットシフトレジスタ (TSR)	12-6
12.3.5	シリアルモードレジスタ (SMR)	12-6
12.3.6	シリアルコントロールレジスタ (SCR)	12-9
12.3.7	シリアルステータスレジスタ (SSR)	12-13
12.3.8	スマートカードモードレジスタ (SCMR)	12-17
12.3.9	シリアル拡張モードレジスタ A_0 (SEMRA_0)	12-18
12.3.10	シリアル拡張モードレジスタ B_0 (SEMRB_0)	12-20
12.3.11	ビットレートレジスタ (BRR)	12-28
12.4	調歩同期式モードの動作	12-35
12.4.1	通信フォーマット	12-35
12.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	12-37
12.4.3	クロック	12-38
12.4.4	SCIの初期化 (調歩同期式)	12-39
12.4.5	シリアルデータ送信 (調歩同期式)	12-40
12.4.6	シリアルデータ受信 (調歩同期式)	12-42
12.5	マルチプロセッサ通信機能	12-45
12.5.1	マルチプロセッサシリアルデータ送信	12-46
12.5.2	マルチプロセッサシリアルデータ受信	12-47
12.6	クロック同期式モードの動作	12-50
12.6.1	クロック	12-50
12.6.2	SCIの初期化 (クロック同期式)	12-51
12.6.3	シリアルデータ送信 (クロック同期式)	12-52
12.6.4	シリアルデータ受信 (クロック同期式)	12-54
12.6.5	シリアルデータ送受信同時動作 (クロック同期式)	12-56
12.7	スマートカードインタフェースの動作説明	12-57
12.7.1	接続例	12-57
12.7.2	データフォーマット (ブロック転送モード時を除く)	12-57
12.7.3	クロック	12-59
12.7.4	ブロック転送モード	12-59
12.7.5	受信データサンプリングタイミングと受信マージン	12-59
12.7.6	初期設定	12-60
12.7.7	シリアルデータ送信 (ブロック転送モードを除く)	12-61
12.7.8	シリアルデータ受信 (ブロック転送モードを除く)	12-64
12.7.9	クロック出力制御	12-65
12.8	SCIセレクト機能 (クロック同期式)	12-67
12.9	割り込み要因	12-69
12.9.1	シリアルコミュニケーションインタフェースにおける割り込み	12-69
12.9.2	スマートカードインタフェースモードにおける割り込み	12-70
12.10	使用上の注意事項	12-70

12.10.1	モジュールストップモードの設定	12-70
12.10.2	ブレークの検出と処理について（調歩同期式モードのみ）	12-70
12.10.3	マーク状態とブレークの送出（調歩同期式モードのみ）	12-70
12.10.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	12-71
12.10.5	DMAC 使用上の注意事項	12-71
12.10.6	モード遷移時の動作について	12-71
12.10.7	SCK 端子からポート端子へ切り替えるときの注意事項	12-74
13.	バウンダリスキャン	13-1
13.1	特長	13-1
13.2	入出力端子	13-2
13.3	レジスタの説明	13-3
13.3.1	インストラクションレジスタ（INSTR）	13-3
13.3.2	IDCODE レジスタ（IDCODE）	13-5
13.3.3	BYPASS レジスタ（BYPASS）	13-5
13.3.4	バウンダリスキャンレジスタ（BSCANR）	13-5
13.4	動作説明	13-12
13.4.1	TAP コントローラ	13-12
13.5	使用上の注意事項	13-13
14.	ユニバーサルシリアルバス（USB）	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	USB コントロールレジスタ（UCTLR）	14-5
14.3.2	USB DMAC 転送要求レジスタ（UDMAR）	14-7
14.3.3	USB デバイスレジュームレジスタ（UDRR）	14-8
14.3.4	USB トリガレジスタ 0（UTRG0）	14-9
14.3.5	USB FIFO クリアレジスタ 0（UFCLR0）	14-10
14.3.6	USB エンドポイントストールレジスタ 0（UESTL0）	14-11
14.3.7	USB エンドポイントストールレジスタ 1（UESTL1）	14-11
14.3.8	USB エンドポイントデータレジスタ 0s（UEDR0s）	14-12
14.3.9	USB エンドポイントデータレジスタ 0i（UEDR0i）	14-12
14.3.10	USB エンドポイントデータレジスタ 0o（UEDR0o）	14-12
14.3.11	USB エンドポイントデータレジスタ 3（UEDR3）	14-13
14.3.12	USB エンドポイントデータレジスタ 1（UEDR1）	14-13
14.3.13	USB エンドポイントデータレジスタ 2（UEDR2）	14-13
14.3.14	USB エンドポイント受信データサイズレジスタ 0o（UESZ0o）	14-14
14.3.15	USB エンドポイント受信データサイズレジスタ 2（UESZ2）	14-14
14.3.16	USB 割り込みフラグレジスタ 0（UIFR0）	14-15

14.3.17	USB 割り込みフラグレジスタ 1 (UIFR1)	14-16
14.3.18	USB 割り込みフラグレジスタ 3 (UIFR3)	14-17
14.3.19	USB 割り込みイネーブルレジスタ 0 (UIER0)	14-18
14.3.20	USB 割り込みイネーブルレジスタ 1 (UIER1)	14-18
14.3.21	USB 割り込みイネーブルレジスタ 3 (UIER3)	14-19
14.3.22	USB 割り込み選択レジスタ 0 (UISR0)	14-19
14.3.23	USB 割り込み選択レジスタ 1 (UISR1)	14-20
14.3.24	USB 割り込み選択レジスタ 3 (UISR3)	14-20
14.3.25	USB データステータスレジスタ (UDSR)	14-21
14.3.26	USB コンフィグレーションバリュージェスタ (UCVR)	14-21
14.3.27	USB テストレジスタ 0 (UTSTR0)	14-22
14.3.28	USB テストレジスタ 1 (UTSTR1)	14-23
14.3.29	USB テストレジスタ 2、A～F (UTSTR2、UTSTRA～UTSTRF)	14-24
14.3.30	モジュールストップコントロールレジスタ B (MSTPCRB)	14-24
14.3.31	拡張モジュールストップレジスタ (EXMDLSTP)	14-25
14.4	割り込み要因	14-25
14.5	通信動作説明	14-27
14.5.1	初期設定	14-27
14.5.2	USB ケーブル接続 / 切断	14-28
14.5.3	サスペンド / レジューム	14-32
14.5.4	コントロール転送	14-36
14.5.5	インタラプトイン転送 エンドポイント 3—	14-41
14.5.6	バルクイン転送 (2 面 FIFO) エンドポイント 1—	14-42
14.5.7	バルクアウト転送 (2 面 FIFO) エンドポイント 2—	14-43
14.5.8	USB 標準コマンドとクラス / ベンダーコマンドの処理	14-44
14.5.9	ストール動作	14-45
14.6	DMA転送仕様	14-48
14.6.1	USB リクエストによる DMA 転送	14-48
14.6.2	オートリクエストによる DMA 転送	14-50
14.7	USB外部回路例	14-52
14.8	使用上の注意事項	14-54
15.	A/D 変換器	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	A/D データレジスタ A～D (ADDRA～ADDRD)	15-3
15.3.2	A/D コントロール / ステータスレジスタ (ADCSR)	15-4
15.3.3	A/D コントロールレジスタ (ADCR)	15-6
15.4	バスマスタとのインタフェース	15-7

15.5	動作説明	15-8
15.5.1	シングルモード	15-8
15.5.2	スキャンモード	15-9
15.5.3	入力サンプリングと A/D 変換時間	15-10
15.5.4	外部トリガ入力タイミング	15-11
15.6	割り込み要因	15-12
15.7	A/D変換精度の定義	15-12
15.8	使用上の注意事項	15-14
15.8.1	モジュールストップモードの設定	15-14
15.8.2	許容信号源インピーダンスについて	15-14
15.8.3	絶対精度への影響	15-14
15.8.4	アナログ電源端子他の設定範囲	15-15
15.8.5	ボード設計上の注意事項	15-15
16.	RAM	16-1
17.	フラッシュメモリ (F-ZTAT 版)	17-1
17.1	特長	17-1
17.2	モード遷移図	17-3
17.3	ブロック構成	17-6
17.4	入出力端子	17-9
17.5	レジスタの説明	17-9
17.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	17-10
17.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	17-11
17.5.3	消去ブロック指定レジスタ 1 (EBR1)	17-11
17.5.4	消去ブロック指定レジスタ 2 (EBR2)	17-12
17.5.5	RAM エミュレーションレジスタ (RAMER)	17-12
17.5.6	シリアルコントロールレジスタ X (SCRX)	17-13
17.6	オンボードプログラミングモード	17-13
17.6.1	SCI ブートモード (HD64F2218、HD64F2212、HD64F2211)	17-14
17.6.2	USB ブートモード (HD64F2218U、HD64F2218CU、HD64F2217CU、HD64F2212U、 HD64F2212CU、HD64F2211U、HD64F2211CU、HD64F2210CU)	17-17
17.6.3	ユーザプログラムモード	17-21
17.7	RAMによるフラッシュメモリのエミュレーション	17-22
17.8	フラッシュメモリの書き込み/消去	17-24
17.8.1	プログラム/プログラムベリファイ	17-24
17.8.2	イレース/イレースベリファイ	17-26
17.9	書き込み/消去プロテクト	17-28
17.9.1	ハードウェアプロテクト	17-28
17.9.2	ソフトウェアプロテクト	17-28

17.9.3	エラープロテクト	17-28
17.10	フラッシュメモリの書き込み / 消去時の割り込み	17-29
17.11	ライタモード	17-29
17.12	フラッシュメモリの低消費電力状態の注意	17-30
17.13	フラッシュメモリの書き込み / 消去時の注意	17-30
17.14	F-ZTATマイコンのマスクROM化時の注意事項	17-36
18.	マスク ROM	18-1
18.1	特長	18-1
19.	クロック発振器	19-1
19.1	レジスタの説明	19-2
19.1.1	システムクロックコントロールレジスタ (SCKCR)	19-2
19.1.2	ローパワーコントロールレジスタ (LPWRCR)	19-3
19.2	システムクロック発振器	19-5
19.2.1	水晶発振子を接続する方法	19-5
19.2.2	外部クロックを入力する方法	19-6
19.3	デューティ補正回路	19-7
19.4	中速クロック分周器	19-7
19.5	バスマスタクロック選択回路	19-7
19.6	サブクロック発振器	19-8
19.6.1	32.768kHz 水晶発振子を接続する方法	19-8
19.6.2	サブクロックを使用しない場合の端子処理	19-9
19.7	サブクロック波形形成回路	19-9
19.8	USB専用PLL回路	19-10
19.9	使用上の注意事項	19-11
19.9.1	発振子に関する注意事項	19-11
19.9.2	ボード設計上の注意事項	19-11
19.9.3	外部クロック切り替え時の注意事項	19-11
20.	低消費電力状態	20-1
20.1	レジスタの説明	20-4
20.1.1	スタンバイコントロールレジスタ (SBYCR)	20-5
20.1.2	タイマコントロール / ステータスレジスタ (TCSR_1)	20-6
20.1.3	モジュールストップコントロールレジスタ A ~ C (MSTPCRA ~ MSTPCRC)	20-6
20.1.4	拡張モジュールストップレジスタ (EXMDLSTP)	20-9
20.2	中速モード	20-9
20.3	スリープモード	20-10
20.3.1	スリープモードへの遷移	20-10
20.3.2	スリープモードの解除	20-10

20.4	ソフトウェアスタンバイモード	20-10
20.4.1	ソフトウェアスタンバイモードへの遷移	20-10
20.4.2	ソフトウェアスタンバイモードの解除	20-11
20.4.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	20-11
20.4.4	ソフトウェアスタンバイモードの応用例	20-12
20.5	ハードウェアスタンバイモード	20-13
20.5.1	ハードウェアスタンバイモードへの遷移	20-13
20.5.2	ハードウェアスタンバイモードの解除	20-13
20.5.3	ハードウェアスタンバイモードのタイミング	20-13
20.5.4	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	20-14
20.6	モジュールストップモード	20-14
20.7	ウォッチモード	20-15
20.7.1	ウォッチモードへの遷移	20-15
20.7.2	ウォッチモードの解除	20-15
20.8	サブスリープモード	20-16
20.8.1	サブスリープモードへの遷移	20-16
20.8.2	サブスリープモードの解除	20-16
20.9	サブアクティブモード	20-16
20.9.1	サブアクティブモードへの遷移	20-16
20.9.2	サブアクティブモードの解除	20-17
20.10	直接遷移	20-17
20.10.1	高速モードからサブアクティブモードへの直接遷移	20-17
20.10.2	サブアクティブモードから高速モードへの直接遷移	20-17
20.11	ϕ クロック出力制御	20-18
20.12	使用上の注意事項	20-18
20.12.1	I/O ポートの状態	20-18
20.12.2	発振安定待機中の消費電流	20-18
20.12.3	フラッシュメモリのモジュールストップ	20-18
20.12.4	DMAC のモジュールストップ	20-18
20.12.5	内蔵周辺モジュールの割り込み	20-19
20.12.6	サブアクティブモード/ウォッチモード遷移と DMAC のモジュールストップ	20-19
20.12.7	MSTPCR のライト	20-19
21.	レジスタ一覧	21-1
21.1	レジスタアドレス一覧 (アドレス順)	21-2
21.2	レジスタビット一覧	21-9
21.3	各動作モードにおけるレジスタの状態	21-16
22.	電氣的特性	22-1
22.1	絶対最大定格	22-1

22.2	電源電圧と動作周波数範囲.....	22-2
22.3	DC特性.....	22-3
22.4	AC特性.....	22-5
22.4.1	クロックタイミング.....	22-6
22.4.2	制御信号タイミング.....	22-7
22.4.3	バスタイミング.....	22-9
22.4.4	内蔵周辺モジュールタイミング.....	22-15
22.5	USB特性.....	22-18
22.6	A/D変換特性.....	22-20
22.7	フラッシュメモリ特性.....	22-21
22.8	使用上の注意事項.....	22-22
付録	付録-1
A.	各端子状態におけるI/Oポートの状態.....	付録-1
B.	型名一覧.....	付録-5
C.	外形寸法図.....	付録-7
索引	索引-1

図目次

1. 概要	1-1
図 1.1 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU の内部ブロック図	1-3
図 1.2 HD6432217 の内部ブロック図	1-4
図 1.3 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、 HD64F2210CU の内部ブロック図	1-5
図 1.4 HD6432211、HD6432210、HD6432210S の内部ブロック図	1-6
図 1.5 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図 (TFP-100G、TFP-100GV)	1-7
図 1.6 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図 (BP-112、BP-112V)	1-8
図 1.7 HD6432217 のピン配置図 (TFP-100G、TFP-100GV)	1-9
図 1.8 HD6432217 のピン配置図 (BP-112、BP-112V)	1-10
図 1.9 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、 HD64F2210CU のピン配置図 (FP-64E、FP-64EV)	1-11
図 1.10 HD6432211、HD6432210、HD6432210S のピン配置図 (FP-64E、FP-64EV)	1-12
図 1.11 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、 HD64F2210CU のピン配置図 (TNP-64B、TNP-64BV)	1-13
図 1.12 HD6432211、HD6432210、HD6432210S のピン配置図 (TNP-64B、TNP-64BV)	1-14
2. CPU	2-1
図 2.1 例外処理ベクタテーブル (ノーマルモード)	2-5
図 2.2 ノーマルモードのスタック構造	2-5
図 2.3 例外処理ベクタテーブル (アドバンストモード)	2-6
図 2.4 アドバンストモードのスタック構造	2-7
図 2.5 アドレス空間	2-8
図 2.6 CPU 内部レジスタ構成	2-9
図 2.7 汎用レジスタの使用方法	2-10
図 2.8 スタックの状態	2-11
図 2.9 汎用レジスタのデータ形式 (1)	2-14
図 2.9 汎用レジスタのデータ形式 (2)	2-15
図 2.10 メモリ上でのデータ形式	2-16
図 2.11 命令フォーマットの例	2-28
図 2.12 メモリ間接による分岐アドレスの指定	2-31
図 2.13 状態遷移図	2-34
図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例	2-38

3.	MCU 動作モード.....	3-1
図 3.1	HD64F2218、HD64F2218U、HD64F2218CU のアドレスマップ.....	3-6
図 3.2	HD64F2217CU のアドレスマップ.....	3-7
図 3.3	HD6432217 のアドレスマップ.....	3-8
図 3.4	HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、 HD6432211、HD64F2210CU、HD6432210、HD6432210S のアドレスマップ.....	3-9
4.	例外処理.....	4-1
図 4.1	リセットシーケンス (モード 4).....	4-4
図 4.2	リセットシーケンス (モード 6、7).....	4-5
図 4.3	例外処理終了後のスタックの状態.....	4-8
図 4.4	SP を奇数に設定したときの動作.....	4-9
5.	割り込みコントローラ.....	5-1
図 5.1	割り込みコントローラのブロック図.....	5-2
図 5.2	IRQn 割り込みのブロック図.....	5-8
図 5.3	IRQnF のセットタイミング.....	5-8
図 5.4	割り込み制御モード 0 の割り込み受け付けまでのフロー.....	5-11
図 5.5	割り込み制御モード 2 の割り込み受け付けまでのフロー.....	5-13
図 5.6	割り込み例外処理.....	5-14
図 5.7	DMAC と割り込み制御.....	5-16
図 5.8	割り込みの発生とディスエーブルの競合.....	5-18
6.	バスコントローラ (BSC).....	6-1
図 6.1	バスコントローラのブロック図.....	6-2
図 6.2	エリア分割の様子.....	6-10
図 6.3	\overline{CS}_n 信号出力タイミング (n=0~5).....	6-13
図 6.4	内蔵メモリアクセスサイクル.....	6-14
図 6.5	内蔵メモリアクセス時の端子状態.....	6-14
図 6.6	内蔵周辺モジュールアクセスサイクル.....	6-15
図 6.7	内蔵周辺モジュールアクセス時の端子状態.....	6-15
図 6.8	アクセスサイズとデータアライメント制御 (8 ビットアクセス空間).....	6-16
図 6.9	アクセスサイズとデータアライメント制御 (16 ビットアクセス空間).....	6-17
図 6.10	8 ビット 2 ステートアクセス空間のバスタイミング.....	6-18
図 6.11	8 ビット 3 ステートアクセス空間のバスタイミング (エリア 6 以外).....	6-19
図 6.12	エリア 6 および RTC のバスタイミング.....	6-20
図 6.13	16 ビット 2 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス).....	6-21
図 6.14	16 ビット 2 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス).....	6-22
図 6.15	16 ビット 2 ステートアクセス空間のバスタイミング (3) (ワードアクセス).....	6-23
図 6.16	16 ビット 3 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス).....	6-24

図 6.17	16 ビット 3 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス).....	6-25
図 6.18	16 ビット 3 ステートアクセス空間のバスタイミング (3) (ワードアクセス).....	6-26
図 6.19	ウェイトステート挿入タイミング例.....	6-27
図 6.20	バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合).....	6-28
図 6.21	バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合).....	6-29
図 6.22	アイドルサイクル動作例 (1).....	6-30
図 6.23	アイドルサイクル動作例 (2).....	6-31
図 6.24	チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係.....	6-32
図 6.25	バス権解放状態遷移タイミング.....	6-34
7.	DMA コントローラ (DMAC).....	7-1
図 7.1	DMAC のブロック図.....	7-2
図 7.2	シーケンシャルモードの動作.....	7-18
図 7.3	シーケンシャルモードの設定手順例.....	7-19
図 7.4	アイドルモードの動作.....	7-20
図 7.5	アイドルモードの設定手順例.....	7-21
図 7.6	リピートモードの動作図.....	7-23
図 7.7	リピートモードの設定手順例.....	7-24
図 7.8	ノーマルモードの動作.....	7-26
図 7.9	ノーマルモードの設定手順例.....	7-27
図 7.10	ブロック転送モードの動作 (BLKDIR = 0).....	7-29
図 7.11	ブロック転送モードの動作 (BLKDIR = 1).....	7-30
図 7.12	ブロック転送モードの動作フロー.....	7-31
図 7.13	ブロック転送モードの設定手順例.....	7-32
図 7.14	DMA 転送バスタイミング例.....	7-34
図 7.15	ショートアドレスモード転送例.....	7-35
図 7.16	フルアドレスモード (サイクルスチール) 転送例.....	7-36
図 7.17	フルアドレスモード (バーストモード) 転送例.....	7-36
図 7.18	フルアドレスモード (ブロック転送モード) 転送例.....	7-37
図 7.19	\overline{DREQ} レベル起動のノーマルモード転送例.....	7-38
図 7.20	複数チャンネル転送例.....	7-39
図 7.21	NMI 割り込みにより中断したチャンネルの転送継続手順例.....	7-40
図 7.22	DMAC 動作の強制終了手順例.....	7-41
図 7.23	フルアドレスモード解除手順例.....	7-41
図 7.24	転送終了 / 転送中断割り込みのブロック図.....	7-42
図 7.25	DMAC レジスタの更新タイミング.....	7-43
図 7.26	DMAC レジスタの更新と CPU リードの競合.....	7-44
9.	16 ビットタイマパルスユニット (TPU).....	9-1
図 9.1	TPU のブロック図.....	9-2
図 9.2	16 ビットレジスタのアクセス動作 (バスマスタ ↔ TCNT (16 ビット)).....	9-24

図 9.3	8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCR (上位 8 ビット))	9-24
図 9.4	8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TMDR (下位 8 ビット))	9-25
図 9.5	8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCR、TMDR (16 ビット))	9-25
図 9.6	カウンタ動作設定手順例	9-26
図 9.7	フリーランニングカウンタの動作	9-27
図 9.8	周期カウンタの動作	9-27
図 9.9	コンペアマッチによる波形出力動作例	9-28
図 9.10	0 出力 / 1 出力の動作例	9-28
図 9.11	トグル出力の動作例	9-29
図 9.12	インプットキャプチャ動作の設定例	9-29
図 9.13	インプットキャプチャ動作例	9-30
図 9.14	同期動作の設定手順例	9-31
図 9.15	同期動作の動作例	9-32
図 9.16	コンペアマッチバッファ動作	9-33
図 9.17	インプットキャプチャバッファ動作	9-33
図 9.18	バッファ動作の設定手順例	9-34
図 9.19	バッファ動作例 (1)	9-34
図 9.20	バッファ動作例 (2)	9-35
図 9.21	PWM モードの設定手順例	9-37
図 9.22	PWM モードの動作例 (1)	9-37
図 9.23	PWM モードの動作例 (2)	9-38
図 9.24	PWM モード動作例 (3)	9-39
図 9.25	位相計数モードの設定手順例	9-40
図 9.26	位相計数モード 1 の動作例	9-41
図 9.27	位相計数モード 2 の動作例	9-42
図 9.28	位相計数モード 3 の動作例	9-43
図 9.29	位相計数モード 4 の動作例	9-44
図 9.30	内部クロック動作時のカウントタイミング	9-47
図 9.31	外部クロック動作時のカウントタイミング	9-47
図 9.32	アウトプットコンペア出力タイミング	9-48
図 9.33	インプットキャプチャ入力信号タイミング	9-48
図 9.34	カウンタクリアタイミング (コンペアマッチ)	9-49
図 9.35	カウンタクリアタイミング (インプットキャプチャ)	9-49
図 9.36	バッファ動作タイミング (コンペアマッチ)	9-50
図 9.37	バッファ動作タイミング (インプットキャプチャ)	9-50
図 9.38	TGI 割り込みタイミング (コンペアマッチ)	9-51
図 9.39	TGI 割り込みタイミング (インプットキャプチャ)	9-52
図 9.40	TCIV 割り込みのセットタイミング	9-52
図 9.41	TCIU 割り込みのセットタイミング	9-53
図 9.42	CPU によるステータスフラグのクリアタイミング	9-53
図 9.43	DMAC の起動によるステータスフラグのクリアタイミング	9-54

図 9.44	位相計数モード時の位相差、オーバーラップ、およびパルス幅	9-54
図 9.45	TCNT のライトとクリアの競合	9-55
図 9.46	TCNT のライトとカウントアップの競合	9-56
図 9.47	TGR のライトとコンペアマッチの競合	9-56
図 9.48	バッファレジスタのライトとコンペアマッチの競合	9-57
図 9.49	TGR のリードとインプットキャプチャの競合	9-57
図 9.50	TGR のライトとインプットキャプチャの競合	9-58
図 9.51	バッファレジスタのライトとインプットキャプチャの競合	9-58
図 9.52	オーバフローとカウンタクリアの競合	9-59
図 9.53	TCNT のライトとオーバフローの競合	9-59
10.	ウォッチドッグタイマ (WDT)	10-1
図 10.1	WDT のブロック図	10-2
図 10.2	ウォッチドッグタイマモード時の動作	10-5
図 10.3	WOVF のセットタイミング	10-6
図 10.4	インターバルタイマモード時の動作	10-6
図 10.5	OVF のセットタイミング	10-7
図 10.6	TCNT、TCSR へのライト	10-8
図 10.7	RSTCSR へのライト	10-9
図 10.8	TCNT のライトとカウントアップの競合	10-9
11.	リアルタイムクロック (RTC)	11-1
図 11.1	RTC のブロック図	11-1
図 11.2	時間表現の定義	11-6
図 11.3	初期設定手順	11-9
図 11.4	正しい時刻を得られない場合の例	11-10
図 11.5	RTC 割り込みを使用する場合の初期値手順	11-11
図 11.6	RTC 割り込み処理ルーチンの例	11-11
12.	シリアルコミュニケーションインタフェース (SCI)	12-1
図 12.1	SCI_0 のブロック図	12-3
図 12.2	SCI_2 のブロック図	12-4
図 12.3	平均転送レートが選択されたときの基本クロック例 (1)	12-21
図 12.3	平均転送レートが選択されたときの基本クロック例 (2)	12-22
図 12.3	平均転送レートが選択されたときの基本クロック例 (3)	12-23
図 12.4	TPU クロック入力時の平均転送レート設定例 (1)	12-24
図 12.4	TPU クロック入力時の平均転送レート設定例 (2)	12-25
図 12.4	TPU クロック入力時の平均転送レート設定例 (3)	12-26
図 12.4	TPU クロック入力時の平均転送レート設定例 (4)	12-27
図 12.5	調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例)	12-35

図 12.6	調歩同期式モードの受信データサンプリングタイミング	12-37
図 12.7	出力クロックと送信データの位相関係 (調歩同期式モード)	12-38
図 12.8	SCI の初期化フローチャートの例	12-39
図 12.9	調歩同期式モードの送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	12-40
図 12.10	シリアル送信のフローチャートの例	12-41
図 12.11	SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	12-42
図 12.12	シリアル受信データフローチャートの例 (1)	12-43
図 12.12	シリアル受信データフローチャートの例 (2)	12-44
図 12.13	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	12-45
図 12.14	マルチプロセッサシリアル送信のフローチャートの例	12-46
図 12.15	SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)	12-47
図 12.16	マルチプロセッサシリアル受信のフローチャートの例 (1)	12-48
図 12.16	マルチプロセッサシリアル受信のフローチャートの例 (2)	12-49
図 12.17	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	12-50
図 12.18	SCI の初期化フローチャートの例	12-51
図 12.19	クロック同期式モードの送信時の動作例	12-52
図 12.20	シリアル送信のフローチャートの例	12-53
図 12.21	SCI の受信時の動作例	12-54
図 12.22	シリアルデータ受信フローチャートの例	12-55
図 12.23	シリアル送受信同時動作のフローチャートの例	12-56
図 12.24	スマートカードインタフェース端子接続概要	12-57
図 12.25	通常のスマートカードインタフェースのデータフォーマット	12-58
図 12.26	ダイレクトコンベンション ($SDIR = SINV = O\bar{E} = 0$)	12-58
図 12.27	インバースコンベンション ($SDIR = SINV = O\bar{E} = 1$)	12-58
図 12.28	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	12-60
図 12.29	SCI 送信モードの場合の再転送動作	12-62
図 12.30	送信動作時の TEND フラグ発生タイミング	12-62
図 12.31	送信処理フローの例	12-63
図 12.32	SCI 受信モードの場合の再転送動作	12-64
図 12.33	受信フローの例	12-65
図 12.34	クロック出力固定タイミング	12-65
図 12.35	クロック停止・再起動手順	12-66
図 12.36	SCI セレクト機能による通信例	12-67
図 12.37	SCI セレクト機能の動作概要	12-68
図 12.38	DMAC によるクロック同期式送信時の例	12-71
図 12.39	送信時のモード遷移フローチャートの例	12-72
図 12.40	内部クロック、調歩同期送信の場合のポート端子状態	12-72
図 12.41	内部クロック、クロック同期送信の場合のポート端子状態	12-73

図 12.42	受信時のモード遷移フローチャートの例.....	12-74
図 12.43	SCK 端子からポート端子へ切り替えるときの動作	12-75
図 12.44	SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)	12-75
13.	バウンダリスキャン	13-1
図 13.1	バウンダリスキャンのブロック図.....	13-2
図 13.2	バウンダリスキャンレジスタの簡略図 (入出力端子の例)	13-6
図 13.3	TAP コントローラ状態遷移図.....	13-12
図 13.4	相互干渉しないリセット系信号の設計例.....	13-13
図 13.5	シリアルデータ入出力	13-13
14.	ユニバーサルシリアルバス (USB)	14-1
図 14.1	USB のブロック図	14-2
図 14.2	初期設定の動作	14-27
図 14.3	USB ケーブル接続時の動作 (USB モジュールストップ、各種低消費電力モードを使用しない場合)	14-28
図 14.4	USB ケーブル接続時の動作 (USB モジュールストップ、各種低消費電力モードを使用する場合)	14-29
図 14.5	USB ケーブル切断時の動作 (USB モジュールストップ、各種低消費電力モードを使用しない場合)	14-30
図 14.6	USB ケーブル切断時の動作 (USB モジュールストップ、各種低消費電力モードを使用する場合)	14-31
図 14.7	サスペンド/レジューム処理のフローチャート例.....	14-32
図 14.8	サスペンド/レジューム時の割り込み処理フローチャート図.....	14-33
図 14.9	サスペンド/リモートウェイクアップ処理のフローチャート例.....	14-34
図 14.10	リモートウェイクアップ割り込み処理のフローチャート例.....	14-35
図 14.11	各転送ステージの構成	14-36
図 14.12	セットアップステージの動作.....	14-36
図 14.13	データステージ (コントロールイン時) の動作	14-37
図 14.14	データステージ (コントロールアウト時) の動作	14-38
図 14.15	ステータスステージ (コントロールイン時) の動作	14-39
図 14.16	ステータスステージ (コントロールアウト時) の動作	14-40
図 14.17	EP3 インタラプトイン転送の動作	14-41
図 14.18	EP1 バルクイン転送の動作.....	14-42
図 14.19	EP2 バルクアウト転送の動作.....	14-43
図 14.20	ファームウェアで強制的にストールさせたい場合	14-46
図 14.21	USB ファンクションモジュールが自動的にストールさせた場合.....	14-47
図 14.22	UTRG0 レジスタの EP1PKTE 動作	14-49
図 14.23	UTRG0 レジスタの EP2RDFN 動作	14-50
図 14.24	UTRG0 レジスタの EP1PKTE 動作 (オートリクエスト)	14-51
図 14.25	UTRG0 レジスタの EP2RDFN 動作 (オートリクエスト)	14-52

図 14.26	バスパワーモード時の回路例.....	14-52
図 14.27	セルフパワーモード時の回路例.....	14-53
図 14.28	フロー図.....	14-57
図 14.29	タイミング図.....	14-58
図 14.30	TR 割り込みフラグのセットタイミング.....	14-59
15.	A/D 変換器.....	15-1
図 15.1	A/D 変換器のブロック図.....	15-2
図 15.2	ADDR のアクセス動作 (H'AA40 リード時).....	15-7
図 15.3	A/D 変換器の動作例 (シングルモード チャンネル 1 選択時).....	15-8
図 15.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時).....	15-9
図 15.5	A/D 変換タイミング.....	15-10
図 15.6	外部トリガ入力タイミング.....	15-11
図 15.7	A/D 変換精度の定義 (1).....	15-13
図 15.8	A/D 変換精度の定義 (2).....	15-13
図 15.9	アナログ入力回路の例.....	15-14
図 15.10	アナログ入力端子等価回路.....	15-15
17.	フラッシュメモリ (F-ZTAT 版).....	17-1
図 17.1	フラッシュメモリのブロック図.....	17-2
図 17.2	フラッシュメモリに関する状態遷移.....	17-3
図 17.3	ブートモード (例).....	17-4
図 17.4	ユーザプログラムモード (例).....	17-5
図 17.5	フラッシュメモリのブロック構成 (HD64F2218、HD64F2218U、HD64F2218CU、HD64F2212、HD64F2212U、HD64F2212CU).....	17-6
図 17.6	フラッシュメモリのブロック構成 (HD64F2217CU、HD64F2211、HD64F2211U、HD64F2211CU).....	17-7
図 17.7	フラッシュメモリのブロック構成 (HD64F2210CU).....	17-8
図 17.8	SCI ブートモード時のシステム構成図.....	17-14
図 17.9	USB ブートモード時のシステム構成図.....	17-18
図 17.10	ユーザモードにおける書き込み / 消去例.....	17-21
図 17.11	RAM によるエミュレーションフロー.....	17-22
図 17.12	RAM のオーバーラップ例.....	17-23
図 17.13	プログラム / プログラムベリファイフロー.....	17-25
図 17.14	イレース / イレースベリファイフロー.....	17-27
図 17.15	ライターモード時のメモリマップ.....	17-29
図 17.16	電源投入 / 切断タイミング (ブートモード).....	17-33
図 17.17	電源投入 / 切断タイミング (ユーザプログラムモード).....	17-34
図 17.18	モード遷移タイミング (例: ブートモード → ユーザモード ↔ ユーザプログラムモード).....	17-35

18. マスク ROM	18-1
図 18.1 マスク ROM のブロック図 (64K バイトの例)	18-1
19. クロック発振器	19-1
図 19.1 クロック発振器のブロック図	19-1
図 19.2 水晶発振子の接続例	19-5
図 19.3 水晶発振子の等価回路	19-5
図 19.4 外部クロックの接続例	19-6
図 19.5 外部クロック入力タイミング	19-7
図 19.6 32.768kHz 水晶発振子の接続例	19-8
図 19.7 32.768kHz 水晶発振子の等価回路	19-8
図 19.8 サブクロックを使用しない場合の端子処理	19-9
図 19.9 PLL 周りの外部回路例	19-10
図 19.10 発振回路部のボード設計に関する注意事項	19-11
図 19.11 外部クロック切り替え回路例	19-11
図 19.12 外部クロック切り替えタイミング例	19-12
20. 低消費電力状態	20-1
図 20.1 モード遷移図	20-3
図 20.2 フラッシュメモリモジュールストップモードの使用例	20-8
図 20.3 中速モードの遷移・解除タイミング	20-10
図 20.4 ソフトウェアスタンバイモードの応用例	20-12
図 20.5 ハードウェアスタンバイモードのタイミング	20-13
図 20.6 ハードウェアスタンバイモードの遷移タイミング	20-14
図 20.7 ハードウェアスタンバイモードからの復帰タイミング	20-14
22. 電気的特性	22-1
図 22.1 電源電圧と動作範囲	22-2
図 22.2 出力負荷回路	22-5
図 22.3 システムクロックタイミング	22-6
図 22.4 発振安定時間タイミング	22-7
図 22.5 リセット入力タイミング	22-8
図 22.6 割り込み入力タイミング	22-8
図 22.7 基本バスタイミング / 2 ステートアクセス	22-11
図 22.8 基本バスタイミング / 3 ステートアクセス	22-12
図 22.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト	22-13
図 22.10 バースト ROM アクセスタイミング / 2 ステートアクセス	22-14
図 22.11 外部バス権解放タイミング	22-14
図 22.12 I/O ポート入出力タイミング	22-16
図 22.13 TPU 入出力タイミング	22-16

図 22.14	TPU クロック入力タイミング	22-16
図 22.15	SCK クロック入力タイミング	22-16
図 22.16	SCI 入出力タイミング/クロック同期式モード	22-17
図 22.17	A/D 変換器外部トリガ入力タイミング	22-17
図 22.18	バウンダリスキャン TCK 入力タイミング	22-17
図 22.19	バウンダリスキャン $\overline{\text{TRST}}$ 入力タイミング (リセットホールド時)	22-17
図 22.20	バウンダリスキャンデータ転送タイミング	22-18
図 22.21	データ信号タイミング	22-19
図 22.22	負荷条件	22-19
付録		付録-1
図 C.2	外形寸法図 (BP-112、BP-112V)	付録-8
図 C.3	外形寸法図 (FP-64E、FP-64EV)	付録-9
図 C.4	外形寸法図 (TNP-64B、TNP-64BV)	付録-10

表目次

1. 概要.....	1-1
表 1.1 H8S/2218 グループの動作モード別端子機能一覧.....	1-15
表 1.2 H8S/2212 グループの動作モード別端子機能一覧.....	1-18
2. CPU.....	2-1
表 2.1 命令の分類.....	2-17
表 2.2 オペレーションの記号.....	2-18
表 2.3 データ転送命令.....	2-19
表 2.4 算術演算命令.....	2-20
表 2.5 論理演算命令.....	2-22
表 2.6 シフト命令.....	2-22
表 2.7 ビット操作命令.....	2-23
表 2.8 分岐命令.....	2-25
表 2.9 システム制御命令.....	2-26
表 2.10 ブロック転送命令.....	2-27
表 2.11 アドレッシングモード一覧表.....	2-28
表 2.12 絶対アドレスのアクセス範囲.....	2-30
表 2.13 実行アドレスの計算方法.....	2-32
3. MCU 動作モード.....	3-1
表 3.1 MCU 動作モードの選択.....	3-1
表 3.2 各動作モードにおける端子機能.....	3-5
4. 例外処理.....	4-1
表 4.1 例外処理の種類と優先度.....	4-1
表 4.2 例外処理要因とベクタアドレスとの対応.....	4-2
表 4.3 リセットの種類.....	4-3
表 4.4 トレース例外処理後の CCR、EXR の状態.....	4-6
表 4.5 トラップ命令例外処理後の CCR、EXR の状態.....	4-7
5. 割り込みコントローラ.....	5-1
表 5.1 端子構成.....	5-2
表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧.....	5-9
表 5.3 割り込み制御モード.....	5-10

表 5.4	割り込み応答時間.....	5-15
表 5.5	割り込み例外処理の実行状態のステート数.....	5-15
表 5.6	割り込み要因の選択とクリア制御.....	5-17
6.	バスコントローラ (BSC)	6-1
表 6.1	端子構成.....	6-3
表 6.2	各エリアのバス仕様 (基本バスインタフェース)	6-11
表 6.3	使用するデータバスと有効ストロブ.....	6-17
表 6.4	アイドルサイクルでの端子状態.....	6-32
表 6.5	バス権解放状態での端子状態	6-33
7.	DMA コントローラ (DMAC)	7-1
表 7.1	ショートアドレスモードとフルアドレスモード (1チャンネル分: チャンネル0の例)	7-4
表 7.2	DMAC の転送モード.....	7-17
表 7.3	シーケンシャルモード時のレジスタの機能.....	7-18
表 7.4	アイドルモード時のレジスタの機能.....	7-20
表 7.5	リピートモード時のレジスタの機能.....	7-22
表 7.6	ノーマルモード時のレジスタの機能.....	7-25
表 7.7	ブロック転送モード時のレジスタの機能.....	7-28
表 7.8	DMAC の起動要因.....	7-33
表 7.9	DMAC のチャンネル間優先順位.....	7-39
表 7.10	割り込み要因と優先度.....	7-42
8.	I/O ポート.....	8-1
表 8.1	H8S/2218 グループのポートの機能一覧.....	8-1
表 8.2	H8S/2212 グループのポートの機能一覧.....	8-5
表 8.3	P17 の端子機能.....	8-8
表 8.4	P16 の端子機能.....	8-8
表 8.5	P15 の端子機能.....	8-8
表 8.6	P14 の端子機能.....	8-9
表 8.7	P13 の端子機能.....	8-9
表 8.8	P12 の端子機能.....	8-9
表 8.9	P11 の端子機能.....	8-9
表 8.10	P10 の端子機能.....	8-10
表 8.11	P17 の端子機能.....	8-10
表 8.12	P16 の端子機能.....	8-10
表 8.13	P15 の端子機能.....	8-11
表 8.14	P14 の端子機能.....	8-11
表 8.15	P13 の端子機能.....	8-11
表 8.16	P12 の端子機能.....	8-11
表 8.17	P11 の端子機能.....	8-12

表 8.18	P10 の端子機能	8-12
表 8.19	P36 の端子構成	8-14
表 8.20	P32 の端子機能	8-14
表 8.21	P31 の端子機能	8-14
表 8.22	P30 の端子機能	8-15
表 8.23	P74 の端子機能	8-19
表 8.24	P71 の端子機能	8-19
表 8.25	P70 の端子機能	8-19
表 8.26	P77 の端子機能	8-19
表 8.27	P76 の端子機能	8-19
表 8.28	P75 の端子機能	8-19
表 8.29	PA3 の端子機能	8-23
表 8.30	PA2 の端子機能	8-23
表 8.31	PA1 の端子機能	8-23
表 8.32	PA0 の端子機能	8-24
表 8.33	PA3 の端子機能	8-24
表 8.34	PA2 の端子機能	8-24
表 8.35	PA1 の端子機能	8-24
表 8.36	ポート A 入力プルアップ MOS の状態	8-25
表 8.37	PB7 の端子機能	8-28
表 8.38	PB6 の端子機能	8-28
表 8.39	PB5 の端子機能	8-28
表 8.40	PB4 の端子機能	8-28
表 8.41	PB3 の端子機能	8-28
表 8.42	PB2 の端子機能	8-29
表 8.43	PB1 の端子機能	8-29
表 8.44	PB0 の端子機能	8-29
表 8.45	ポート B 入力プルアップ MOS の状態	8-29
表 8.46	PC7 の端子機能	8-32
表 8.47	PC6 の端子機能	8-32
表 8.48	PC5 の端子機能	8-32
表 8.49	PC4 の端子機能	8-32
表 8.50	PC3 の端子機能	8-32
表 8.51	PC2 の端子機能	8-32
表 8.52	PC1 の端子機能	8-33
表 8.53	PC0 の端子機能	8-33
表 8.54	ポート C 入力プルアップ MOS の状態	8-33
表 8.55	PD7 の端子機能	8-35
表 8.56	PD6 の端子機能	8-36
表 8.57	PD5 の端子機能	8-36
表 8.58	PD4 の端子機能	8-36

表 8.59	PD3 の端子機能	8-36
表 8.60	PD2 の端子機能	8-36
表 8.61	PD1 の端子機能	8-36
表 8.62	PD0 の端子機能	8-36
表 8.63	ポート D 入力プルアップの状態	8-37
表 8.64	PE7 の端子機能	8-40
表 8.65	PE6 の端子機能	8-40
表 8.66	PE5 の端子機能	8-40
表 8.67	PE4 の端子機能	8-41
表 8.68	PE3 の端子機能	8-41
表 8.69	PE2 の端子機能	8-41
表 8.70	PE1 の端子機能	8-41
表 8.71	PE0 の端子機能	8-41
表 8.72	PE7 の端子機能	8-42
表 8.73	PE6 の端子機能	8-42
表 8.74	PE5 の端子機能	8-42
表 8.75	PE4 の端子機能	8-42
表 8.76	PE3 の端子機能	8-42
表 8.77	PE2 の端子機能	8-42
表 8.78	PE1 の端子機能	8-42
表 8.79	PE0 の端子機能	8-42
表 8.80	ポート E 入力プルアップの状態	8-43
表 8.81	PF7 の端子機能	8-46
表 8.82	PF6 の端子機能	8-46
表 8.83	PF5 の端子機能	8-46
表 8.84	PF4 の端子機能	8-46
表 8.85	PF3 の端子機能	8-46
表 8.86	PF2 の端子機能	8-47
表 8.87	PF1 の端子機能	8-47
表 8.88	PF0 の端子機能	8-47
表 8.89	PF7 の端子機能	8-47
表 8.90	PF3 の端子機能	8-47
表 8.91	PF0 の端子機能	8-48
表 8.92	PG4 の端子機能	8-50
表 8.93	PG3 の端子機能	8-50
表 8.94	PG2 の端子機能	8-50
表 8.95	PG1 の端子機能	8-50
表 8.96	PG1 の端子機能	8-51
表 8.97	PG0 の端子機能	8-51
表 8.98	未使用の入力端子の処理例	8-52

9.	16ビットタイマパルスユニット (TPU)	9-1
表 9.1	TPU の機能一覧	9-3
表 9.2	TPU の端子構成	9-4
表 9.3	CCLR2 ~ CCLR0 (チャンネル 0)	9-7
表 9.4	CCLR2 ~ CCLR0 (チャンネル 1、2)	9-7
表 9.5	TPSC2 ~ TPSC0 (チャンネル 0)	9-8
表 9.6	TPSC2 ~ TPSC0 (チャンネル 1)	9-8
表 9.7	TPSC2 ~ TPSC0 (チャンネル 2)	9-8
表 9.8	MD3 ~ MD0	9-10
表 9.9	TIORH_0 (チャンネル 0)	9-11
表 9.10	TIORH_0 (チャンネル 0)	9-12
表 9.11	TIORL_0 (チャンネル 0)	9-13
表 9.12	TIORL_0 (チャンネル 0)	9-14
表 9.13	TIOR_1 (チャンネル 1)	9-15
表 9.14	TIOR_1 (チャンネル 1)	9-16
表 9.15	TIOR_2 (チャンネル 2)	9-17
表 9.16	TIOR_2 (チャンネル 2)	9-18
表 9.17	レジスタの組み合わせ	9-32
表 9.18	各 PWM 出力のレジスタと出力端子	9-36
表 9.19	位相計数モードクロック入力端子	9-40
表 9.20	位相計数モード 1 のアップ / ダウンカウント条件	9-41
表 9.21	位相計数モード 2 のアップ / ダウンカウント条件	9-42
表 9.22	位相計数モード 3 のアップ / ダウンカウント条件	9-43
表 9.23	位相計数モード 4 のアップ / ダウンカウント条件	9-44
表 9.24	TPU 割り込み一覧	9-45
10.	ウォッチドッグタイマ (WDT)	10-1
表 10.1	WDT の割り込み要因	10-7
11.	リアルタイムクロック (RTC)	11-1
表 11.1	端子構成	11-2
表 11.2	割り込み要因	11-11
表 11.3	各モードでの動作状態	11-12
12.	シリアルコミュニケーションインタフェース (SCI)	12-1
表 12.1	端子構成	12-4
表 12.2	BRR の設定値 N とビットレート B の関係	12-28
表 12.3	ビットレートに対する BRR の設定例 (調歩同期式モード)	12-29
表 12.4	各動作周波数における最大ビットレート (調歩同期式モード)	12-32
表 12.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	12-32

表 12.6	ビットレートに対する BRR の設定例 (クロック同期式モード)	12-33
表 12.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	12-33
表 12.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)	12-34
表 12.9	各動作周波数における最大ビットレート (スマートカードインタフェースモード)	12-34
表 12.10	シリアル送信 / 受信フォーマット (調歩同期式モード)	12-36
表 12.11	SSR のステータスフラグの状態と受信データの処理	12-43
表 12.12	SCI 割り込み要因	12-69
表 12.13	スマートカードインタフェースモードの割り込み要因	12-70
13.	バウンダリスキャン	13-1
表 13.1	端子構成	13-2
表 13.2	インストラクション構成	13-4
表 13.3	IDCODE レジスタ構成	13-5
表 13.4	本 LSI の端子とバウンダリスキャンレジスタの対応	13-6
14.	ユニバーサルシリアルバス (USB)	14-1
表 14.1	端子構成	14-3
表 14.2	UTSTR0 設定と端子出力値の関係	14-22
表 14.3	端子入力値と UTSTR1 モニタの関係	14-23
表 14.4	割り込み信号一覧	14-25
表 14.5	ファームウェアでのコマンドデコード	14-44
15.	A/D 変換器	15-1
表 15.1	端子構成	15-3
表 15.2	アナログ入力チャネルと ADDR の対応	15-4
表 15.3	A/D 変換時間 (シングルモード)	15-11
表 15.4	A/D 変換時間 (スキャンモード)	15-11
表 15.5	A/D 変換器の割り込み要因	15-12
表 15.6	アナログ端子の規格	15-15
17.	フラッシュメモリ (F-ZTAT 版)	17-1
表 17.1	ブートモードとユーザプログラムモードの相違点	17-3
表 17.2	端子構成	17-9
表 17.3	オンボードプログラミングモード設定方法	17-13
表 17.4	ブートモードの動作	17-16
表 17.5	ビットレート自動合わせ込みが可能なシステムクロック周波数	17-16
表 17.6	エニユメレーション情報	17-17
表 17.7	USB ブートモードの動作	17-20
表 17.8	フラッシュメモリの動作状態	17-30
表 17.9	F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ	17-36

19. クロック発振器	19-1
表 19.1 ダンピング抵抗値	19-5
表 19.2 水晶発振子の特性	19-5
表 19.3 外部クロック入力条件	19-6
表 19.4 外部クロック入力条件（デューティ補正回路未使用）	19-7
20. 低消費電力状態	20-1
表 20.1 各モードでの本 LSI の内部状態	20-2
表 20.2 低消費電力モード遷移条件	20-4
表 20.3 発振安定時間の設定	20-12
表 20.4 各処理状態におけるφ端子の状態	20-18
22. 電気的特性	22-1
表 22.1 絶対最大定格	22-1
表 22.2 DC 特性	22-3
表 22.3 出力許容電流	22-5
表 22.4 クロックタイミング	22-6
表 22.5 制御信号タイミング	22-7
表 22.6 バスタイミング	22-9
表 22.7 内蔵周辺タイミング	22-15
表 22.8 内蔵 USB トランシーバ使用時の USB 特性（USD+、USD-端子特性）	22-18
表 22.9 A/D 変換特性	22-20
表 22.10 フラッシュメモリ特性	22-21

1. 概要

1.1 特長

- 16ビット高速H8S/2000CPU
H8/300CPU、H8/300HCPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：65種類
- 豊富な周辺機能
DMAコントローラ (DMAC)
16ビットタイムパルスユニット (TPU)
ウォッチドッグタイマ (WDT)
リアルタイムクロック (RTC)
シリアルコミュニケーションインタフェース (SCI)
バウンダリスキャン
ユニバーサルシリアルバス (USB)
10ビットA/D変換器
ユーザデバッグインタフェース (H-UDI)
クロック発振器

1. 概要

- 内蔵メモリ

H8S/2218グループ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2218	128K バイト	12K バイト	SCI ブート版
	HD64F2218U	128K バイト	12K バイト	USB ブート版
	HD64F2218CU	128K バイト	12K バイト	USB ブート版
	HD64F2217CU	64K バイト	12K バイト	USB ブート版
マスク ROM 版	HD6432217	64K バイト	8K バイト	

H8S/2212グループ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2212	128K バイト	12K バイト	SCI ブート版
	HD64F2212U	128K バイト	12K バイト	USB ブート版
	HD64F2212CU	128K バイト	12K バイト	USB ブート版
	HD64F2211	64K バイト	8K バイト	SCI ブート版
	HD64F2211U	64K バイト	8K バイト	USB ブート版
	HD64F2211CU	64K バイト	8K バイト	USB ブート版
	HD64F2210CU	32K バイト	8K バイト	USB ブート版
マスク ROM 版	HD6432211	64K バイト	8K バイト	
	HD6432210	32K バイト	4K バイト	
	HD6432210S	32K バイト	4K バイト	

- 汎用入出力ポート

入出力ポート

H8S/2218グループ：69本

H8S/2212グループ：37本

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	コード*	ボディサイズ	ピンピッチ	備考
TQFP-100	TFP-100G、TFP-100GV	12.0×12.0mm	0.4mm	H8S/2218 グループ
P-LFBGA-112	BP-112、BP-112V	10.0×10.0mm	0.8mm	
LQFP-64	FP-64E、FP-64EV	10.0×10.0mm	0.5mm	H8S/2212 グループ
VQFN-64	TNP-64B、TNP-64BV	8.0×8.0mm	0.4mm	

【注】 * パッケージコードの末尾がVのパッケージは鉛フリー対応品です。

1.2 内部ブロック図

HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU の内部ブロック図を図 1.1 に、HD6432217 の内部ブロック図を図 1.2 に、HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU の内部ブロック図を図 1.3 に、HD6432211、HD6432210、HD6432210S の内部ブロック図を図 1.4 に示します。

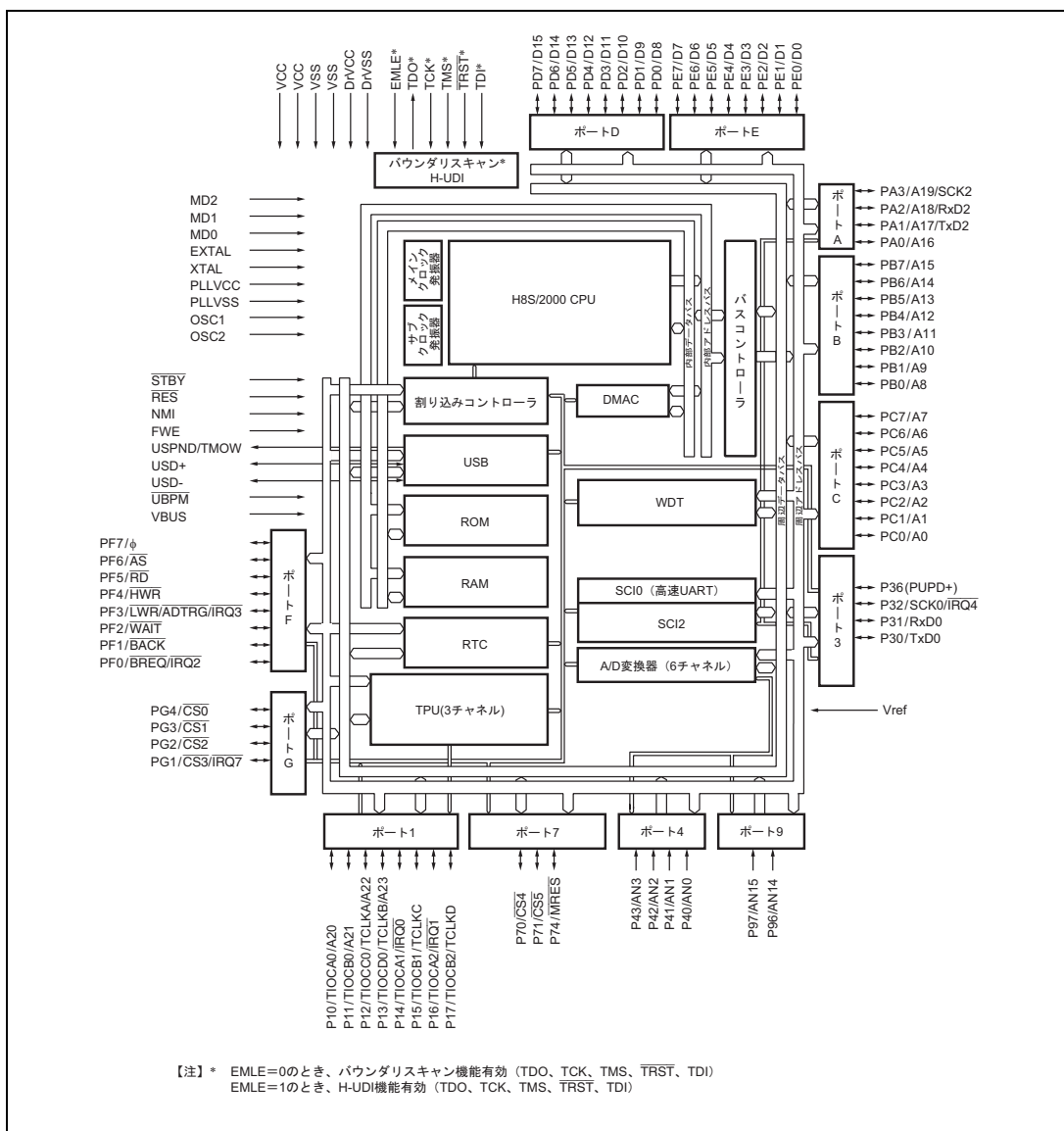


図 1.1 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU の内部ブロック図

1. 概要

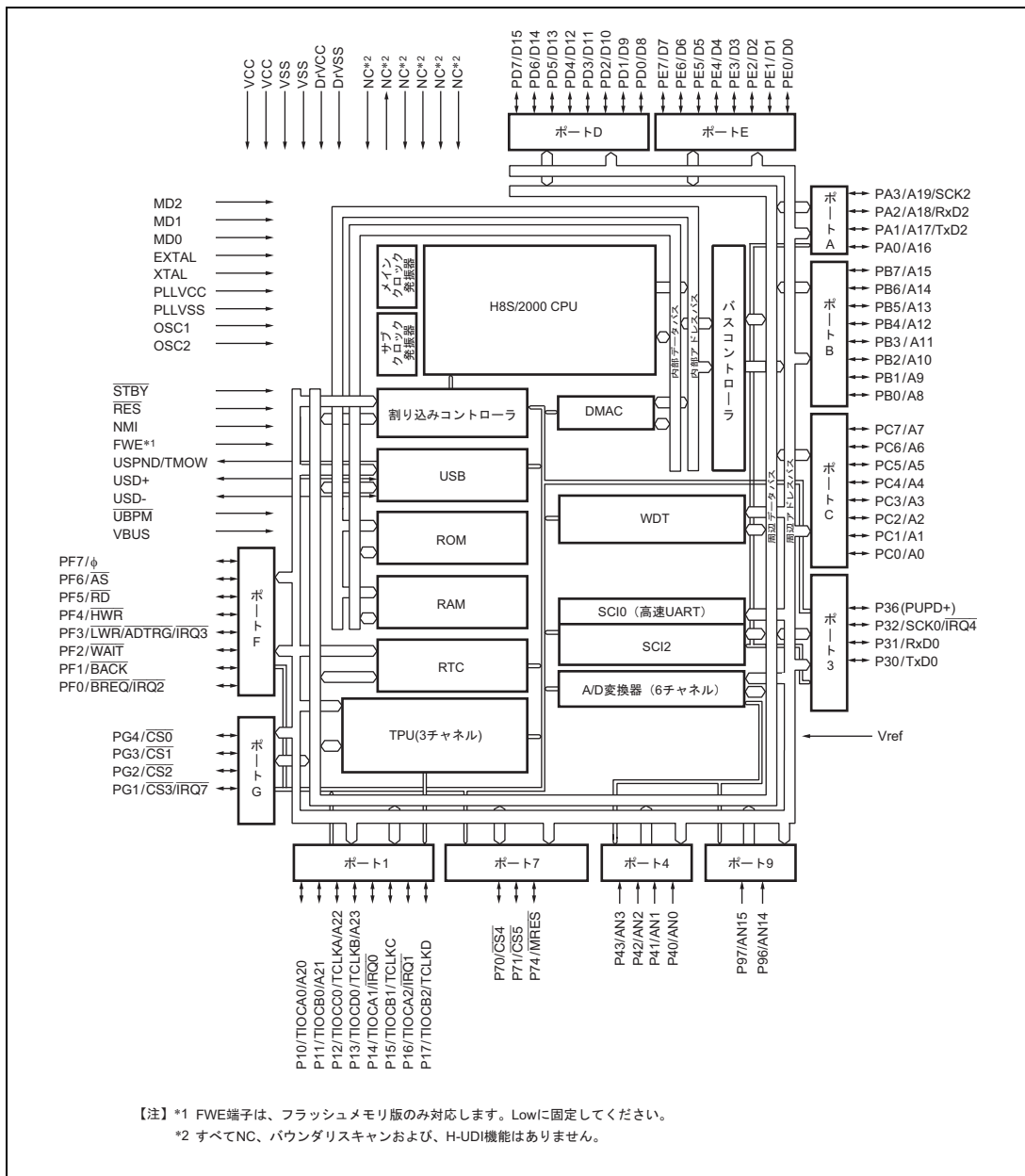


図 1.2 HD6432217 の内部ブロック図

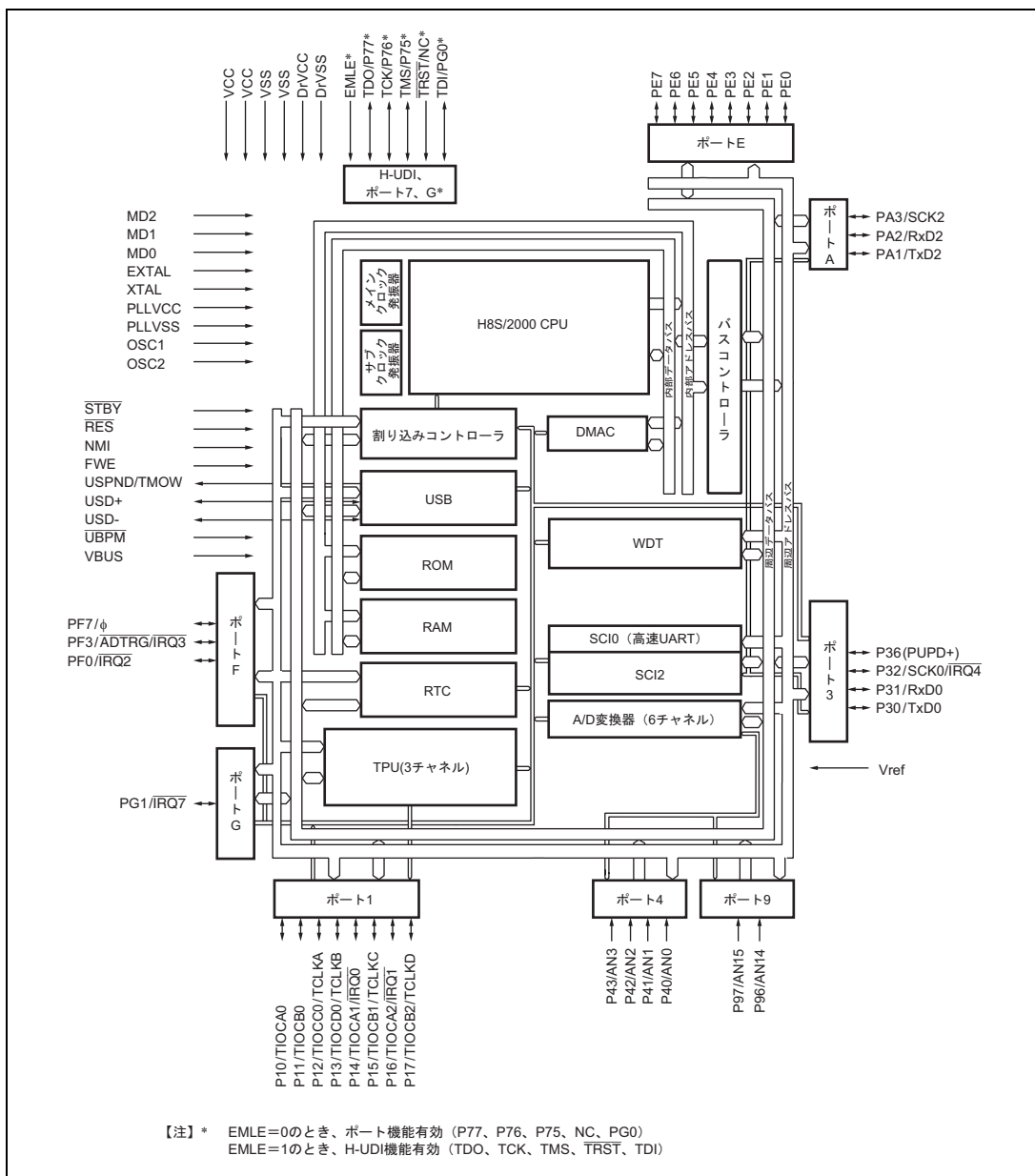


図 1.3 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU
の内部ブロック図

1. 概要

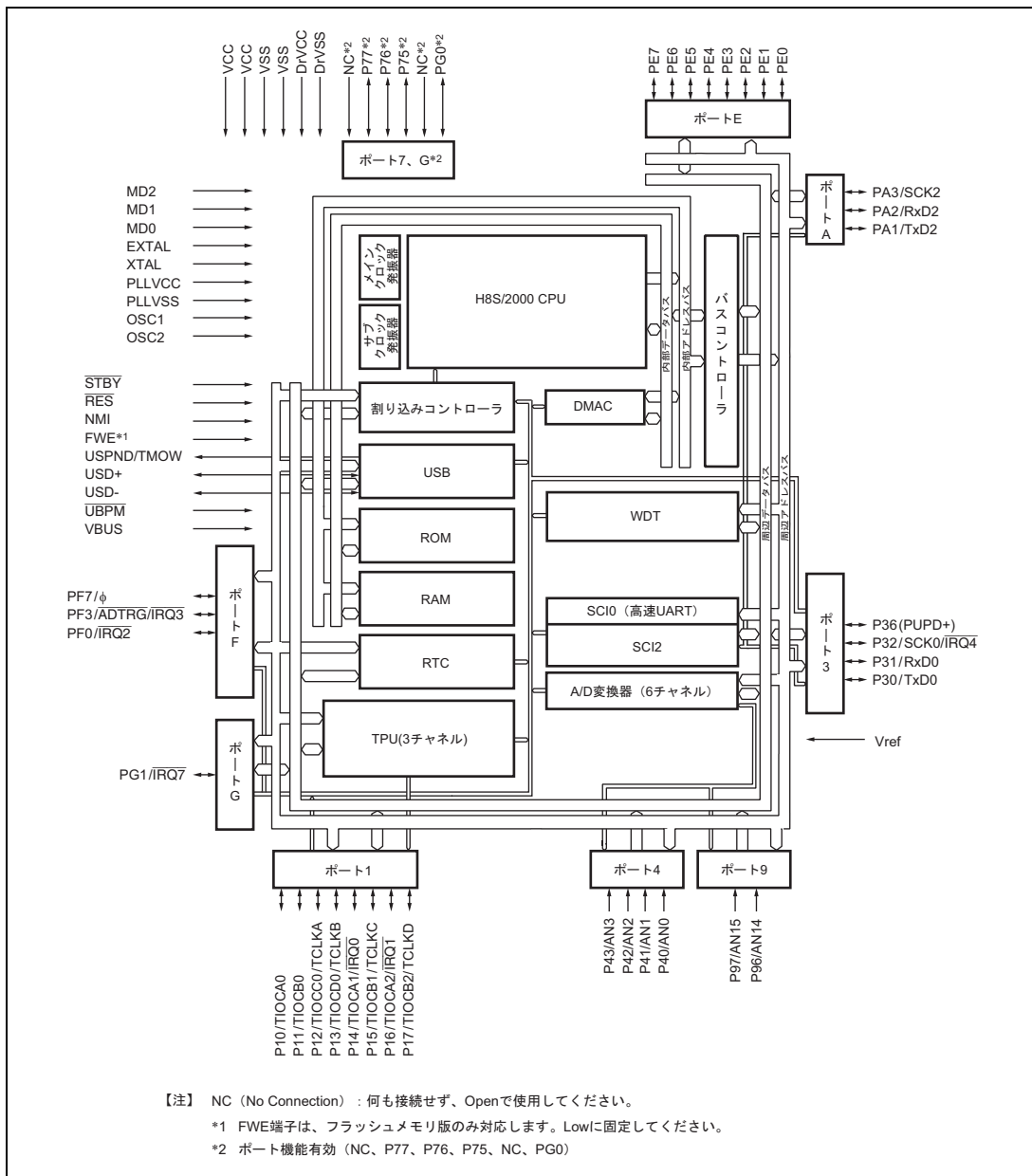


図 1.4 HD6432211、HD6432210、HD6432210S の内部ブロック図

1.3 ピン配置図

HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図を図 1.5、図 1.6 に、HD6432217 のピン配置図を図 1.7、図 1.8 に、HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU のピン配置図を図 1.9、図 1.11 に、HD6432211、HD6432210、HD6432210S のピン配置図を図 1.10、図 1.12 に示します。

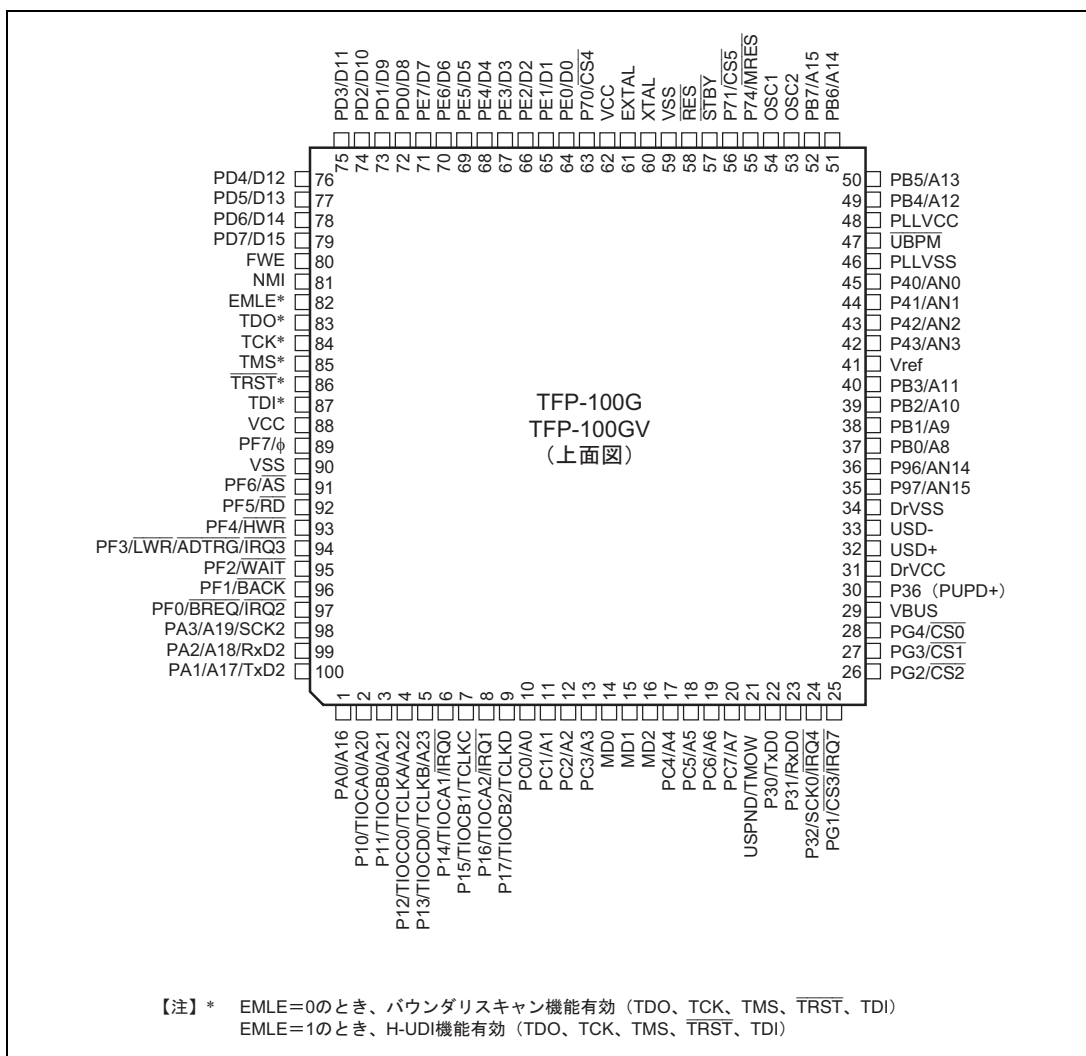


図 1.5 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図 (TFP-100G、TFP-100GV)

1. 概要

	A	B	C	D	E	F	G	H	J	K	L
11	NC	PD3/D11	PD0/D8	PE5/D5	PE2/D2	P70/CS4	XTAL	STBY	OSC1	PB7/A15	NC
10	PD5/D13	PD4/D12	PD2/D10	PE7/D7	PE3/D3	PE0/D0	EXTAL	P71/CS5	OSC2	PB6/A14	PB5/A13
9	FWE	PD7/D15	NC	PD1/D9	PE4/D4	VCC	VSS	P74/MRES	NC	PB4/A12	UBPM
8	TDO*	EMLE*	NMI	PD6/D14	PE6/D6	PE1/D1	RES	NC	PLLVC	PLLVS	P41/AN1
7	TRST*	TDI*	TMS*	TCK*	BP-112 BP-112V (上面図)			P40/AN0	P42/AN2	P43/AN3	NC
6	PF7/φ	VSS	VCC	PF6/AS				Vref	PB1/A9	PB3/A11	PB2/A10
5	PF5/RD	PF4/HWR	PF3/LWR/ ADTRG/ IRQ3	PF1/ BACK				DrVSS	P97/ AN15	PB0/A8	P96/ AN14
4	PF2/WAIT	PF0/ BREQ/ IRQ2	PA2/A18/ RxD2	P11/ TIOCB0/ A21	P17/ TIOCB2/ TCLKD	MD2	USPND/ TMOW	PG4/CS0	DrVCC	USD+	USD-
3	PA3/A19/ SCK2	PA1/A17/ TxD2	NC	P14/ TIOCA1/ IRQ0	PC0/A0	PC3/A3	PC6/A6	P32/ SCK0/ IRQ4	NC	VBUS	P36 (PUDP+)
2	NC	PA0/A16	P12/ TIOCC0/ TCLKA/ A22	P15/ TIOCB1/ TCLKC	PC2/A2	MD1	PC5/A5	P30/TxD0	PG1/ CS3/ IRQ7	PG2/CS2	PG3/CS1
1	NC	P10/ TIOCA0/ A20	P13/ TIOCD0/ TCLKB/ A23	P16/ TIOCA2/ IRQ1	PC1/A1	MD0	PC4/A4	PC7/A7	P31/RxD0	NC	NC
	A	B	C	D	E	F	G	H	J	K	L

INDEX ↗

【注】 NC (No Connection) : 何も接続せず、Openで使用してください。
 * EMLE=0のとき、バウンダリスキャン機能有効 (TDO、TCK、TMS、TRST、TDI)
 EMLE=1のとき、H-UDI機能有効 (TDO、TCK、TMS、TRST、TDI)

図 1.6 HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU のピン配置図 (BP-112、BP-112V)

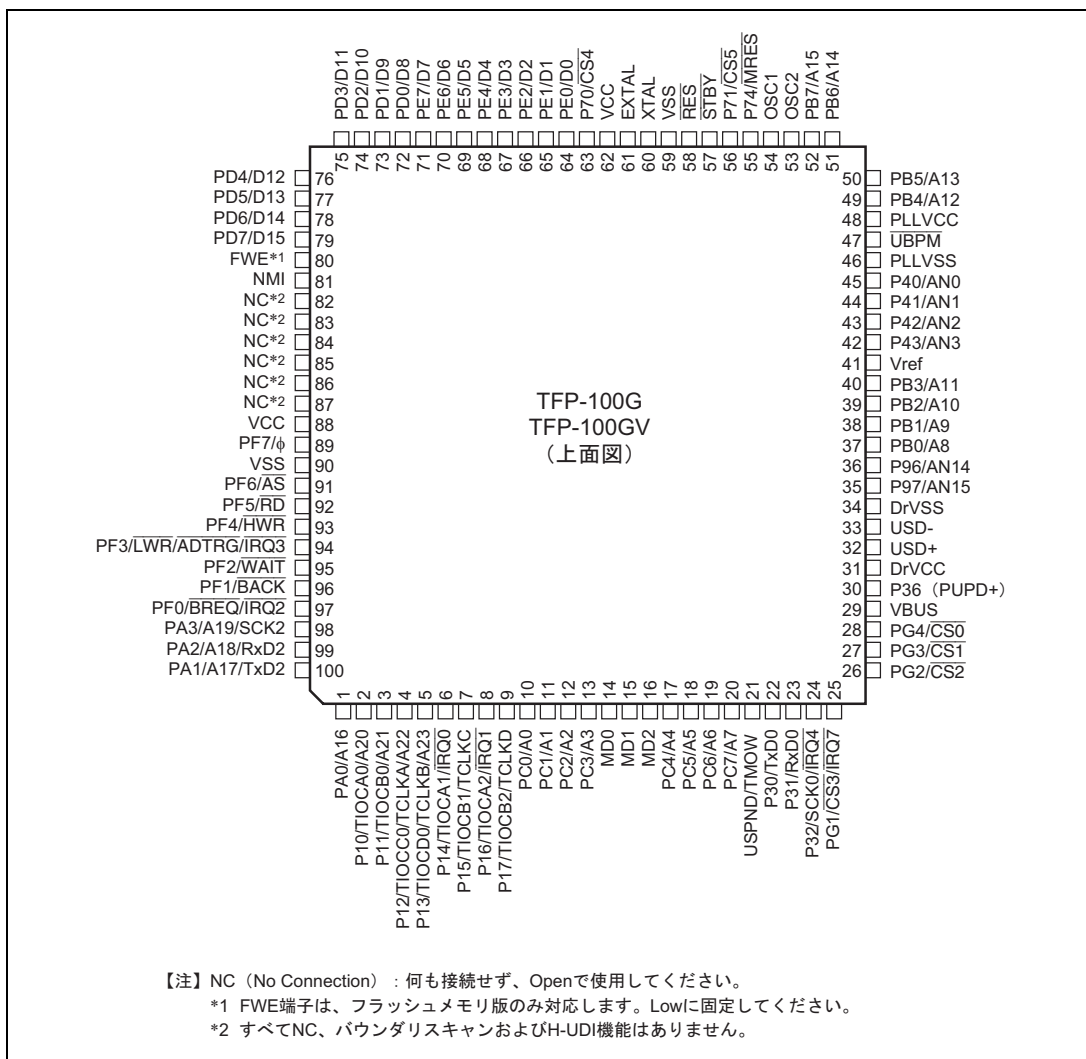


図 1.7 HD6432217 のピン配置図 (TFP-100G、TFP-100GV)

1. 概要

	A	B	C	D	E	F	G	H	J	K	L
11	NC	PD3/D11	PD0/D8	PE5/D5	PE2/D2	P70/CS4	XTAL	STBY	OSC1	PB7/A15	NC
10	PD5/D13	PD4/D12	PD2/D10	PE7/D7	PE3/D3	PE0/D0	EXTAL	P71/CS5	OSC2	PB6/A14	PB5/A13
9	FWE*1	PD7/D15	NC	PD1/D9	PE4/D4	VCC	VSS	P74/MRES	NC	PB4/A12	UBPM
8	NC*2	NC*2	NMI	PD6/D14	PE6/D6	PE1/D1	RES	NC	PLLVC	PLLVS	P41/AN1
7	NC*2	NC*2	NC*2	NC*2	BP-112 BP-112V (上面図)			P40/AN0	P42/AN2	P43/AN3	NC
6	PF7/φ	VSS	VCC	PF6/AS				Vref	PB1/A9	PB3/A11	PB2/A10
5	PF5/RD	PF4/HWR	PF3/LWR/ ADTRG/ IRQ3	PF1/ BACK				DrVSS	P97/ AN15	PB0/A8	P96/ AN14
4	PF2/WAIT	PF0/ BREQ/ IRQ2	PA2/A18/ RxD2	P11/ TIOCB0/ A21	P17/ TIOCB2/ TCLKD	MD2	USPND/ TMOW	PG4/CS0	DrVCC	USD+	USD-
3	PA3/A19/ SCK2	PA1/A17/ TxD2	NC	P14/ TIOCA1/ IRQ0	PC0/A0	PC3/A3	PC6/A6	P32/ SCK0/ IRQ4	NC	VBUS	P36 (PUDP+)
2	NC	PA0/A16	P12/ TIOCC0/ TCLKA/ A22	P15/ TIOCB1/ TCLKC	PC2/A2	MD1	PC5/A5	P30/TxD0	PG1/ CS3/ IRQ7	PG2/CS2	PG3/CS1
1	NC	P10/ TIOCA0/ A20	P13/ TIOCD0/ TCLKB/ A23	P16/ TIOCA2/ IRQ1	PC1/A1	MD0	PC4/A4	PC7/A7	P31/RxD0	NC	NC
	A	B	C	D	E	F	G	H	J	K	L

INDEX ↗

【注】 NC (No Connection) : 何も接続せず、Openで使用してください。
 *1 FWE端子は、フラッシュメモリ版のみ対応します。Lowに固定してください。
 *2 すべてNC、パウンダリスキャンおよびH-UDI機能はありません。

図 1.8 HD6432217 のピン配置図 (BP-112、BP-112V)

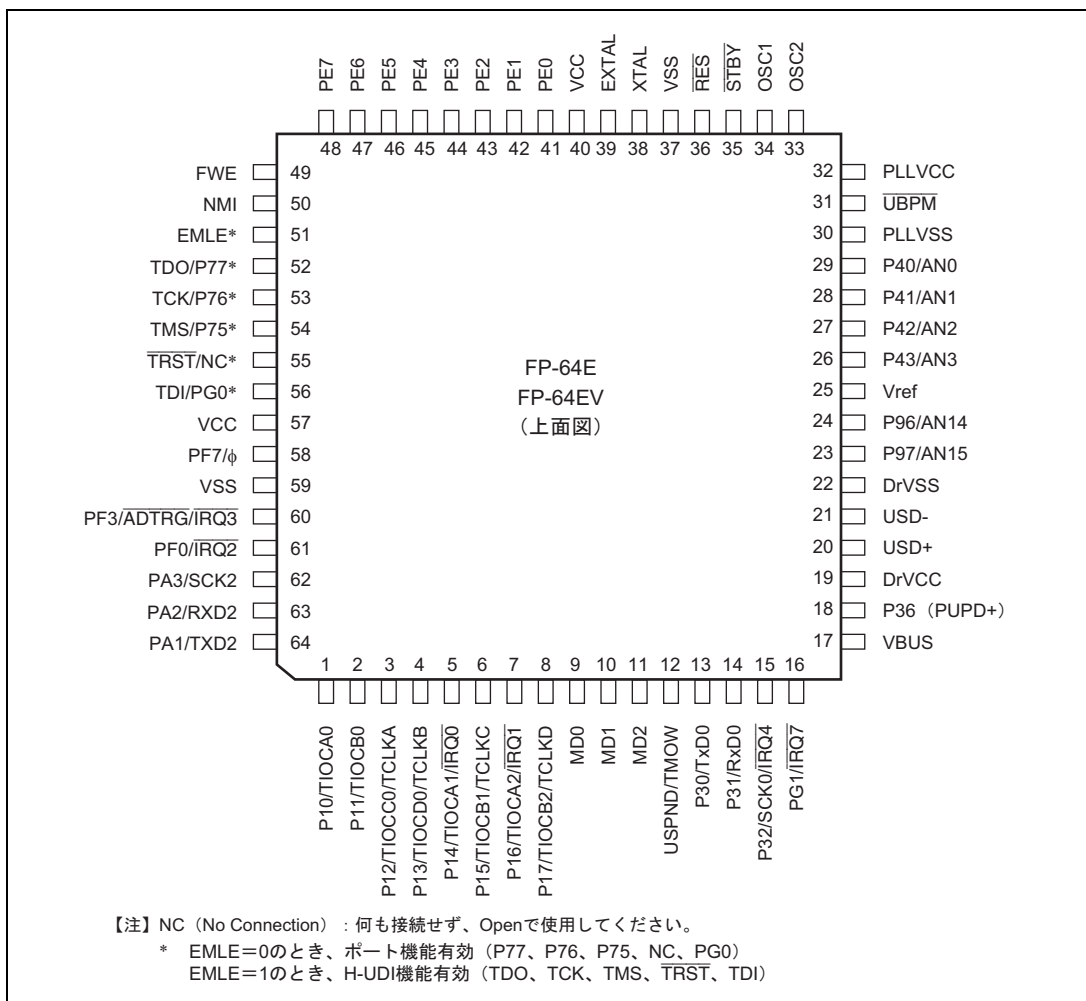


図 1.9 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU
のピン配置図 (FP-64E、FP-64EV)

1. 概要

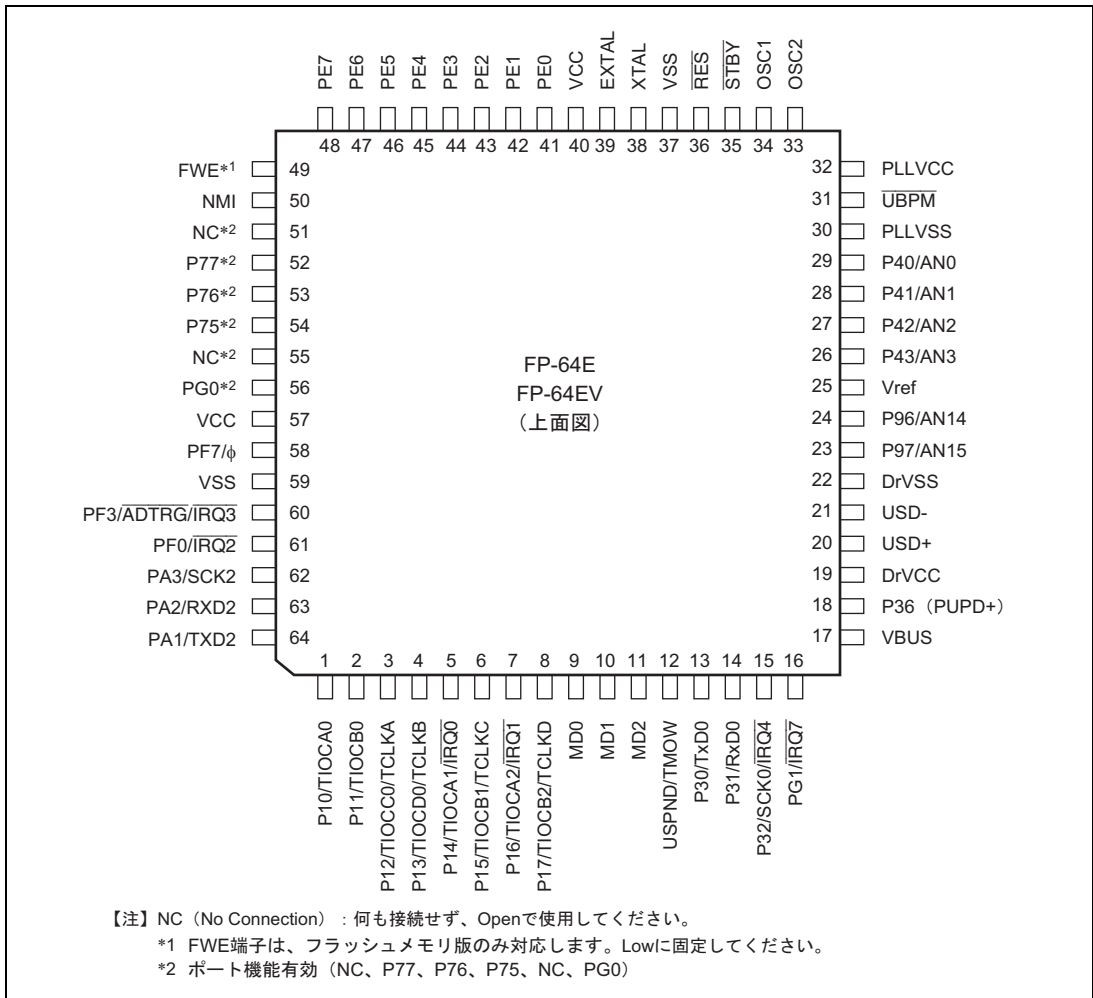


図 1.10 HD6432211、HD6432210、HD6432210S のピン配置図 (FP-64E、FP-64EV)

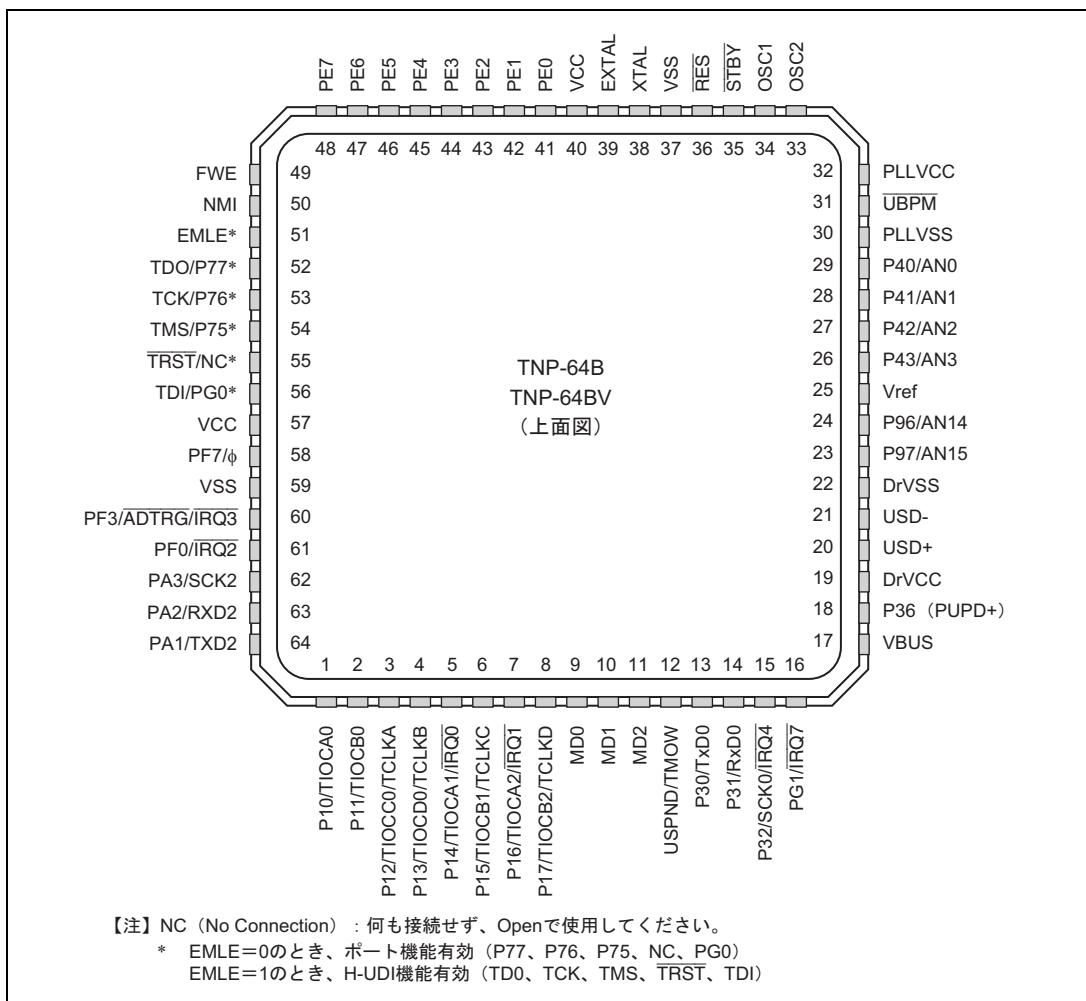


図 1.11 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD64F2210CU のピン配置図 (TNP-64B、TNP-64BV)

1. 概要

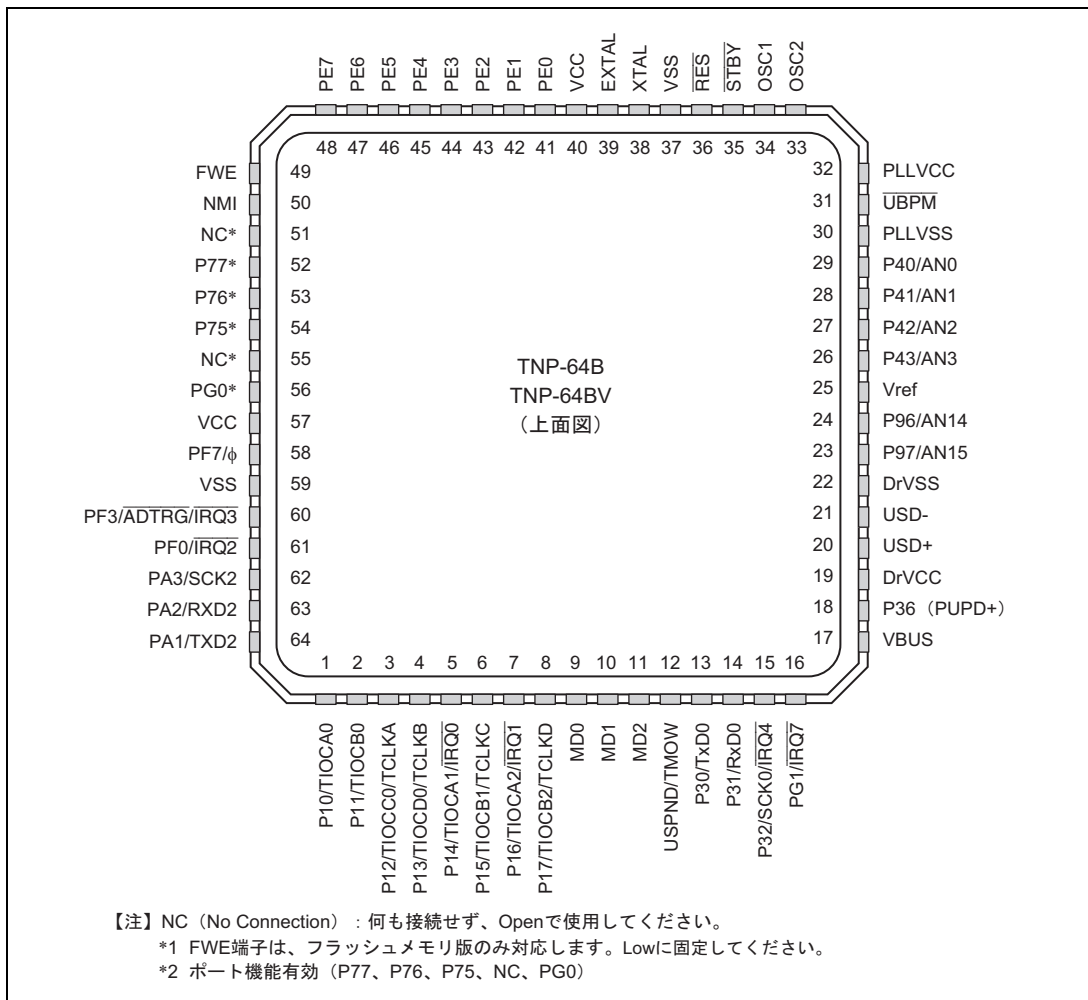


図 1.12 HD6432211、HD6432210、HD6432210S のピン配置図 (TNP-64B、TNP-64BV)

1.4 動作モード別端子機能一覧

H8S/2218 グループの端子機能一覧を表 1.1 に、H8S/2212 グループの端子機能一覧を表 1.2 に示します。

表 1.1 H8S/2218 グループの動作モード別端子機能一覧

ピン番号		端子名*			
TFP-100G、 TFP-100GV	BP-112、 BP-112V	モード 4、5	モード 6	モード 7	フラッシュメモリ ライターモード
1	B2	PA0/A16	PA0/A16	PA0	NC
2	B1	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0	A2
3	D4	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0	A3
4	C2	P12/TIOCC0/TCLKA/A22	P12/TIOCC0/TCLKA/A22	P12/TIOCC0/TCLKA	A4
5	C1	P13/TIOCD0/TCLKB/A23	P13/TIOCD0/TCLKB/A23	P13/TIOCD0/TCLKB	A5
6	D3	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	VSS
7	D2	P15/TIOCB1/TCLKC	P15/TIOCB1/TCLKC	P15/TIOCB1/TCLKC	$\overline{\text{WE}}$
8	D1	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	VSS
9	E4	P17/TIOCB2/TCLKD	P17/TIOCB2/TCLKD	P17/TIOCB2/TCLKD	$\overline{\text{CE}}$
10	E3	A0	PC0/A0	PC0	NC
11	E1	A1	PC1/A1	PC1	NC
12	E2	A2	PC2/A2	PC2	NC
13	F3	A3	PC3/A3	PC3	NC
14	F1	MD0	MD0	MD0	VSS
15	F2	MD1	MD1	MD1	VSS
16	F4	MD2	MD2	MD2	VSS
17	G1	A4	PC4/A4	PC4	NC
18	G2	A5	PC5/A5	PC5	NC
19	G3	A6	PC6/A6	PC6	NC
20	H1	A7	PC7/A7	PC7	NC
21	G4	USPND/TMOW	USPND/TMOW	USPND/TMOW	NC
22	H2	P30/TxD0	P30/TxD0	P30/TxD0	A10
23	J1	P31/RxD0	P31/RxD0	P31/RxD0	A11
24	H3	P32/SCK0/ $\overline{\text{IRQ4}}$	P32/SCK0/ $\overline{\text{IRQ4}}$	P32/SCK0/ $\overline{\text{IRQ4}}$	A12
25	J2	PG1/CS3/ $\overline{\text{IRQ7}}$	PG1/CS3/ $\overline{\text{IRQ7}}$	PG1/ $\overline{\text{IRQ7}}$	A15
26	K2	PG2/ $\overline{\text{CS2}}$	PG2/ $\overline{\text{CS2}}$	PG2	NC
27	L2	PG3/ $\overline{\text{CS1}}$	PG3/ $\overline{\text{CS1}}$	PG3	NC
28	H4	PG4/CS0	PG4/CS0	PG4	NC
29	K3	VBUS	VBUS	VBUS	VSS
30	L3	P36 (PUDP+)	P36 (PUDP+)	P36 (PUDP+)	A16

1. 概要

ピン番号		端子名*			
TFP-100G、 TFP-100GV	BP-112、 BP-112V	モード 4、5	モード 6	モード 7	フラッシュメモリ ライターモード
31	J4	DrVCC	DrVCC	DrVCC	VCC
32	K4	USD+	USD+	USD+	NC
33	L4	USD-	USD-	USD-	NC
34	H5	DrVSS	DrVSS	DrVSS	VSS
35	J5	P97/AN15	P97/AN15	P97/AN15	A7
36	L5	P96/AN14	P96/AN14	P96/AN14	A6
37	K5	PB0/A8	PB0/A8	PB0	NC
38	J6	PB1/A9	PB1/A9	PB1	NC
39	L6	PB2/A10	PB2/A10	PB2	NC
40	K6	PB3/A11	PB3/A11	PB3	NC
41	H6	Vref	Vref	Vref	VCC
42	K7	P43/AN3	P43/AN3	P43/AN3	A14
43	J7	P42/AN2	P42/AN2	P42/AN2	A13
44	L8	P41/AN1	P41/AN1	P41/AN1	A9
45	H7	P40/AN0	P40/AN0	P40/AN0	A8
46	K8	PLLVSS	PLLVSS	PLLVSS	VSS
47	L9	UBPM	UBPM	UBPM	A17
48	J8	PLLVCC	PLLVCC	PLLVCC	VCC
49	K9	PB4/A12	PB4/A12	PB4	NC
50	L10	PB5/A13	PB5/A13	PB5	NC
51	K10	PB6/A14	PB6/A14	PB6	NC
52	K11	PB7/A15	PB7/A15	PB7	NC
53	J10	OSC2	OSC2	OSC2	NC
54	J11	OSC1	OSC1	OSC1	VCC
55	H9	P74/MRES	P74/MRES	P74/MRES	NC
56	H10	P71/CS5	P71/CS5	P71	NC
57	H11	STBY	STBY	STBY	VCC
58	G8	RES	RES	RES	RES
59	G9	VSS	VSS	VSS	VSS
60	G11	XTAL	XTAL	XTAL	XTAL
61	G10	EXTAL	EXTAL	EXTAL	EXTAL
62	F9	VCC	VCC	VCC	VCC
63	F11	P70/CS4	P70/CS4	P70	NC
64	F10	PE0/D0	PE0/D0	PE0	D0
65	F8	PE1/D1	PE1/D1	PE1	D1

ピン番号		端子名*			
TFP-100G、 TFP-100GV	BP-112、 BP-112V	モード 4、5	モード 6	モード 7	フラッシュメモリ ライターモード
66	E11	PE2/D2	PE2/D2	PE2	D2
67	E10	PE3/D3	PE3/D3	PE3	D3
68	E9	PE4/D4	PE4/D4	PE4	D4
69	D11	PE5/D5	PE5/D5	PE5	D5
70	E8	PE6/D6	PE6/D6	PE6	D6
71	D10	PE7/D7	PE7/D7	PE7	D7
72	C11	D8	D8	PD0	NC
73	D9	D9	D9	PD1	NC
74	C10	D10	D10	PD2	NC
75	B11	D11	D11	PD3	NC
76	B10	D12	D12	PD4	NC
77	A10	D13	D13	PD5	NC
78	D8	D14	D14	PD6	NC
79	B9	D15	D15	PD7	NC
80	A9	FWE	FWE	FWE	FWE
81	C8	NMI	NMI	NMI	VCC
82	B8	EMLE/NC	EMLE/NC	EMLE/NC	VSS
83	A8	TDO/NC	TDO/NC	TDO/NC	NC
84	D7	TCK/NC	TCK/NC	TCK/NC	VCC
85	C7	TMS/NC	TMS/NC	TMS/NC	VCC
86	A7	$\overline{\text{TRST}}/\text{NC}$	$\overline{\text{TRST}}/\text{NC}$	$\overline{\text{TRST}}/\text{NC}$	$\overline{\text{RES}}$
87	B7	TDI/NC	TDI/NC	TDI/NC	VSS
88	C6	VCC	VCC	VCC	VCC
89	A6	PF7/ ϕ	PF7/ ϕ	PF7/ ϕ	NC
90	B6	VSS	VSS	VSS	VSS
91	D6	$\overline{\text{AS}}$	$\overline{\text{AS}}$	PF6	NC
92	A5	$\overline{\text{RD}}$	$\overline{\text{RD}}$	PF5	NC
93	B5	$\overline{\text{HWR}}$	$\overline{\text{HWR}}$	PF4	NC
94	C5	PF3/LWR/ADTRG/IRQ3	PF3/LWR/ADTRG/IRQ3	PF3/ADTRG/IRQ3	VCC
95	A4	PF2/ $\overline{\text{WAIT}}$	PF2/ $\overline{\text{WAIT}}$	PF2	NC
96	D5	PF1/ $\overline{\text{BACK}}$	PF1/ $\overline{\text{BACK}}$	PF1	NC
97	B4	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/IRQ2	VCC
98	A3	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2	A1
99	C4	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2	A0
100	B3	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2	$\overline{\text{OE}}$

【注】 * NCは開放としてください。

1. 概要

表 1.2 H8S/2212 グループの動作モード別端子機能一覧

ピン番号	端子名*	
	モード7	フラッシュメモリライトモード
FP-64E、FP-64EV、 TNP-64B、TNP-64BV		
1	P10/TIOCA0	A2
2	P11/TIOCB0	A3
3	P12/TIOCC0/TCLKA	A4
4	P13/TIOCD0/TCLKB	A5
5	P14/TIOCA1/ $\overline{\text{IRQ0}}$	VSS
6	P15/TIOCB1/TCLKC	WE
7	P16/TIOCA2/ $\overline{\text{IRQ1}}$	VSS
8	P17/TIOCB2/TCLKD	CE
9	MD0	VSS
10	MD1	VSS
11	MD2	VSS
12	USPND/TMOW	NC
13	P30/TxD0	A10
14	P31/RxD0	A11
15	P32/SCK0/ $\overline{\text{IRQ4}}$	A12
16	PG1/ $\overline{\text{IRQ7}}$	A15
17	VBUS	VSS
18	P36 (PUPD+)	A16
19	DrVCC	VCC
20	USD+	NC
21	USD-	NC
22	DrVSS	VSS
23	P97/AN15	A7
24	P96/AN14	A6
25	Vref	VCC
26	P43/AN3	A14
27	P42/AN2	A13
28	P41/AN1	A9
29	P40/AN0	A8
30	PLL $\overline{\text{VSS}}$	VSS
31	$\overline{\text{UBPM}}$	A17
32	PLL $\overline{\text{VCC}}$	VCC
33	OSC2	NC
34	OSC1	VCC

ピン番号	端子名*	
	モード7	フラッシュメモリライトモード
FP-64E、FP-64EV、 TNP-64B、TNP-64BV		
35	STBY	VCC
36	RES	RES
37	VSS	VSS
38	XTAL	XTAL
39	EXTAL	EXTAL
40	VCC	VCC
41	PE0	D0
42	PE1	D1
43	PE2	D2
44	PE3	D3
45	PE4	D4
46	PE5	D5
47	PE6	D6
48	PE7	D7
49	FWE	FWE
50	NMI	VCC
51	EMLE/NC	VSS
52	TDO/P77	NC
53	TCK/P76	VCC
54	TMS/P75	VCC
55	TRST/NC	RES
56	TDI/PG0	VSS
57	VCC	VCC
58	PF7/ ϕ	NC
59	VSS	VSS
60	PF3/ADTRG/IRQ3	VCC
61	PF0/IRQ2	VCC
62	PA3/SCK2	A1
63	PA2/RxD2	A0
64	PA1/TxD2	OE

【注】 * NCは開放としてください。

1. 概要

1.5 端子機能

分類	記号	ピン番号			入出力	機能
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV		
電源	VCC	62 88	F9 C6	40 57	入力	電源端子です。システムの電源に接続してください。
	VSS	59 90	G9 B6	37 59	入力	グラウンド端子です。システム電源 (0V) に接続してください。
	PLLVCC	48	J8	32	入力	内蔵 PLL 発振器用の電源端子です。システムの電源に接続してください。
	PLLVSS	46	K8	30	入力	内蔵 PLL 発振器用のグラウンド端子です。
クロック	XTAL	60	G11	38	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。
	EXTAL	61	G10	39	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。
	OSC1 OSC2	54 53	J11 J10	34 33	入力	32.768KHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については、「第 19 章 クロック発振器」を参照してください。
	φ	89	A6	58	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2	16	F4	11	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。 モード端子 (MD2~MD0) は、モード切り替え以外はパワーオフまでプルダウンまたはプルアップしてレベルを必ず固定してください。
	MD1	15	F2	10		
	MD0	14	F1	9		
システム制御	RES*	58	G8	36	入力	リセット端子です。この端子が Low レベルになると、リセット状態になります。
	STBY*	57	H11	35	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	MRES	55	H9	-	入力	この端子が Low レベルになると、マニュアルリセット状態になります。(H8S/2218 グループのみ)
	BREQ	97	B4	-	入力	本 LSI に対し、外部バスマスタがバス権を要求します。(H8S/2218 グループのみ)
	BACK	96	D5	-	出力	バス権を外部バスマスタに開放したことを示します。(H8S/2218 グループのみ)

1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV		
システム制御	FWE	80	A9	49	入力	フラッシュメモリ用の端子です。フラッシュメモリ版のみとなります。マスク ROM 版はシステム電源 (0V) に接続してください。
	EMLE	82	B8	51	入力	エミュレータイネーブルです。E10A 未使用時はシステム電源 (0V) に接続してください。 E10A 使用時のみ High レベルにしてください。
割り込み	NMI*	81	C8	50	入力	ノンマスクブル割り込み要求端子です。使用しない場合は High レベルに固定してください。
	$\overline{\text{IRQ7}}$	25	J2	16	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ4}}$	24	H3	15		
	$\overline{\text{IRQ3}}$	94	C5	60		
	$\overline{\text{IRQ2}}$	97	B4	61		
	$\overline{\text{IRQ1}}$	8	D1	7		
$\overline{\text{IRQ0}}$	6	D3	5			
アドレスバス	A23	5	C1	-	出力	アドレスを出力します。 (H8S/2218 グループのみ)
	A22	4	C2	-		
	A21	3	D4	-		
	A20	2	B1	-		
	A19	98	A3	-		
	A18	99	C4	-		
	A17	100	B3	-		
	A16	1	B2	-		
	A15	52	K11	-		
	A14	51	K10	-		
	A13	50	L10	-		
	A12	49	K9	-		
	A11	40	K6	-		
	A10	39	L6	-		
	A9	38	J6	-		
	A8	37	K5	-		
	A7	20	H1	-		
	A6	19	G3	-		
	A5	18	G2	-		
	A4	17	G1	-		
	A3	13	F3	-		
A2	12	E2	-			
A1	11	E1	-			
A0	10	E3	-			

1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV		
データバス	D15	79	B9	-	入出力	双方向データバスです。 (H8S/2218 グループのみ)
	D14	78	D8	-		
	D13	77	A10	-		
	D12	76	B10	-		
	D11	75	B11	-		
	D10	74	C10	-		
	D9	73	D9	-		
	D8	72	C11	-		
	D7	71	D10	-		
	D6	70	E8	-		
	D5	69	D11	-		
	D4	68	E9	-		
	D3	67	E10	-		
	D2	66	E11	-		
	D1	65	F8	-		
	D0	64	F10	-		
バス制御	CS5	56	H10	-	出力	外部アドレス空間の分割エリア 5~0 の選択信号です。 (H8S/2218 グループのみ)
	CS4	63	F11	-		
	CS3	25	J2	-		
	CS2	26	K2	-		
	CS1	27	L2	-		
	CS0	28	H4	-		
	AS	91	D6	-	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。 (H8S/2218 グループのみ)
	RD	92	A5	-	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。 (H8S/2218 グループのみ)
	HWR	93	B5	-	出力	外部アドレス空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロープ信号です。 (H8S/2218 グループのみ)
	LWR	94	C5	-	出力	外部アドレス空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロープ信号です。 (H8S/2218 グループのみ)
WAIT	95	A4	-	入力	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。(H8S/2218 グループのみ)	

分類	記号	ピン番号			入出力	機能
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV		
16ビット タイマパルス ユニット (TPU)	TCLKA	4	C2	3	入力	TPUの外部クロック入力端子です。
	TCLKB	5	C1	4		
	TCLKC	7	D2	6		
	TCLKD	9	E4	8		
	TIOCA0	2	B1	1	入出力	TGRA_0~TGRD_0インプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB0	3	D4	2		
	TIOCC0	4	C2	3		
	TIOCD0	5	C1	4		
	TIOCA1	6	D3	5	入出力	TGRA_1、TGRB_1のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB1	7	D2	6		
TIOCA2	8	D1	7	入出力	TGRA_2、TGRB_2のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。	
TIOCB2	9	E4	8			
リアルタイム クロック (RTC)	TMOW	21	G4	12	出力	分周クロック出力端子です。
シリアルコミ ュニケーショ ンインタフェ ース(SCI)	TxD2	100	B3	64	出力	データ出力端子です。
	TxD0	22	H2	13		
	RxD2	99	C4	63	入力	データ入力端子です。
	RxD0	23	J1	14		
SCK2	98	A3	62	入出力	クロック入出力端子です。	
SCK0	24	H3	15			
A/D変換器	AN15	35	J5	23	入力	A/D変換器のアナログ入力端子です。
	AN14	36	L5	24		
	AN3	42	K7	26		
	AN2	43	J7	27		
	AN1	44	L8	28		
	AN0	45	H7	29		
	ADTRG	94	C5	60	入力	A/D変換開始のための外部トリガ入力端子です。
Vref	41	H6	25	入力	A/D変換器の基準電圧入力端子です。A/D変換器を 使用しない場合はシステム電源(VCC)に接続して ください。	
バウンダリス キャン (HD64F2218、 HD64F2218U、 HD64F2218CU、 HD64F2217CU のみ)	TMS	85	C7	54	入力	バウンダリスキャン用の制御信号入力端子です。
	TCK	84	D7	53	入力	バウンダリスキャン用のクロック入力端子です。
	TDO	83	A8	52	出力	バウンダリスキャン用のデータ出力端子です。
	TDI	87	B7	56	入力	バウンダリスキャン用のデータ入力端子です。
	TRST	86	A7	55	入力	TAPコントローラのリセット端子です。

1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV		
USB	DrVCC	31	J4	19	入力	内蔵トランシーバの電源端子です。システムの電源に接続してください。
	DrVSS	34	H5	22	入力	内蔵トランシーバのグランド端子です。
	USD+*	32	K4	20	入出力	USB データ入出力端子です。
	USD - *	33	L4	21		
	VBUS*	29	K3	17	入力	USB ケーブルの接続 / 切断検出入力端子です。
	USPND	21	G4	12	出力	USB サスペンド出力 サスペンド状態に遷移すると High レベルになります。
	UBPM	47	L9	31	入力	バスパワー / セルフパワーモード設定入力端子です。 バスパワーモードで使用するときには 0 に固定してください。セルフパワーモードで使用するときには 1 に固定してください。
P36 (PUPD+)	30	L3	18	入出力	D+信号のプルアップ制御として使用してください。	
I/O ポート	P17	9	E4	8	入出力	8 ビットの入出力端子です。
	P16	8	D1	7		
	P15	7	D2	6		
	P14	6	D3	5		
	P13	5	C1	4		
	P12	4	C2	3		
	P11	3	D4	2		
	P10	2	B1	1		
	P36	30	L3	18	入出力	4 ビットの入出力端子です。 (P36 は USB の D+プルアップ制御として使用してください。)
	P32	24	H3	15		
	P31	23	J1	14		
	P30	22	H2	13		
	P43	42	K7	26	入力	4 ビットの入力端子です。
	P42	43	J7	27		
P41	44	L8	28			
P40	45	H7	29			
P77	-	-	52	入出力	3 ビットの入出力端子です。	
P76	-	-	53			
P75	-	-	54			
P74	55	H9	-			
P71	56	H10	-			
P70	63	F11	-			

1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV		
I/O ポート	P97	35	J5	23	入力	2 ビットの入力端子です。
	P96	36	L5	24		
	PA3	98	A3	62	入出力	H8S/2218 グループは 4 ビットの入出力端子です。 H8S/2212 グループは 3 ビットの入出力端子です。
	PA2	99	C4	63		
	PA1	100	B3	64		
	PA0	1	B2	-		
	PB7	52	K11	-	入出力	8 ビットの入出力端子です。 (H8S/2218 グループのみ)
	PB6	51	K10	-		
	PB5	50	L10	-		
	PB4	49	K9	-		
	PB3	40	K6	-		
	PB2	39	L6	-		
	PB1	38	J6	-		
	PB0	37	K5	-		
	PC7	20	H1	-	入出力	8 ビットの入出力端子です。 (H8S/2218 グループのみ)
	PC6	19	G3	-		
	PC5	18	G2	-		
	PC4	17	G1	-		
	PC3	13	F3	-		
	PC2	12	E2	-		
PC1	11	E1	-			
PC0	10	E3	-			
PD7	79	B9	-	入出力	8 ビットの入出力端子です。 (H8S/2218 グループのみ)	
PD6	78	D8	-			
PD5	77	A10	-			
PD4	76	B10	-			
PD3	75	B11	-			
PD2	74	C10	-			
PD1	73	D9	-			
PD0	72	C11	-			
PE7	71	D10	48	入出力	8 ビットの入出力端子です。	
PE6	70	E8	47			
PE5	69	D11	46			
PE4	68	E9	45			
PE3	67	E10	44			
PE2	66	E11	43			
PE1	65	F8	42			
PE0	64	F10	41			

1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100G、 TFP-100GV	BP-112、 BP-112V	FP-64E、 FP-64EV、 TNP-64B、 TNP-64BV		
I/O ポート	PF7	89	A6	58	入出力	H8S/2218 グループは 8 ビットの入出力端子です。 H8S/2212 グループは 3 ビットの入出力端子です。
	PF6	91	D6	-		
	PF5	92	A5	-		
	PF4	93	B5	-		
	PF3	94	C5	60		
	PF2	95	A4	-		
	PF1	96	D5	-		
	PF0	97	B4	61		
	PG4	28	H4	-	入出力	
	PG3	27	L2	-		
	PG2	26	K2	-		
	PG1	25	J2	16		
	PG0	-	-	56		

【注】 * 誤動作の要因となることがありますのでノイズ対策を行ってください。

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：65 種類
8 / 16 / 32 ビット演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
イミディエイト (#xx:8 / #xx:16 / #xx:32)
プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作

頻出命令をすべて1、2ステートで実行

8 / 16 / 32ビットレジスタ間加減算 : 1ステート

8×8ビットレジスタ間乗算 : 12ステート

16÷8ビットレジスタ間除算 : 12ステート

16×16ビットレジスタ間乗算 : 20ステート

32÷16ビットレジスタ間除算 : 20ステート

- CPU動作モード : 2種類

ノーマルモード* / アドバンスモード

【注】 * 本LSIではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避 / 復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避 / 復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの 2 つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64K バイト、アドバンスモードでは 16M バイトです。動作モードはモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大 64K バイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.1 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.2 に示します。EXR は割り込み制御モード 0 ではスタックされません。割り込み制御モードの詳細は「第 4 章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

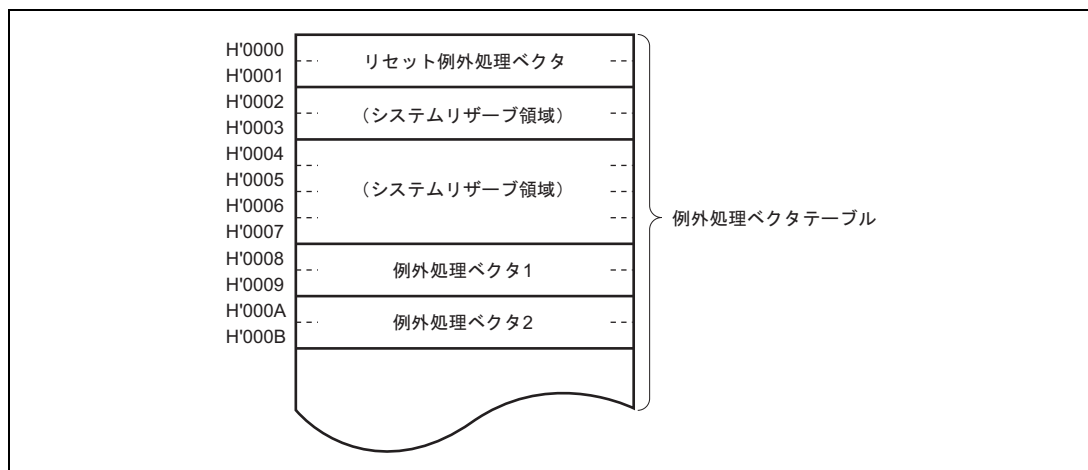


図 2.1 例外処理ベクタテーブル (ノーマルモード)

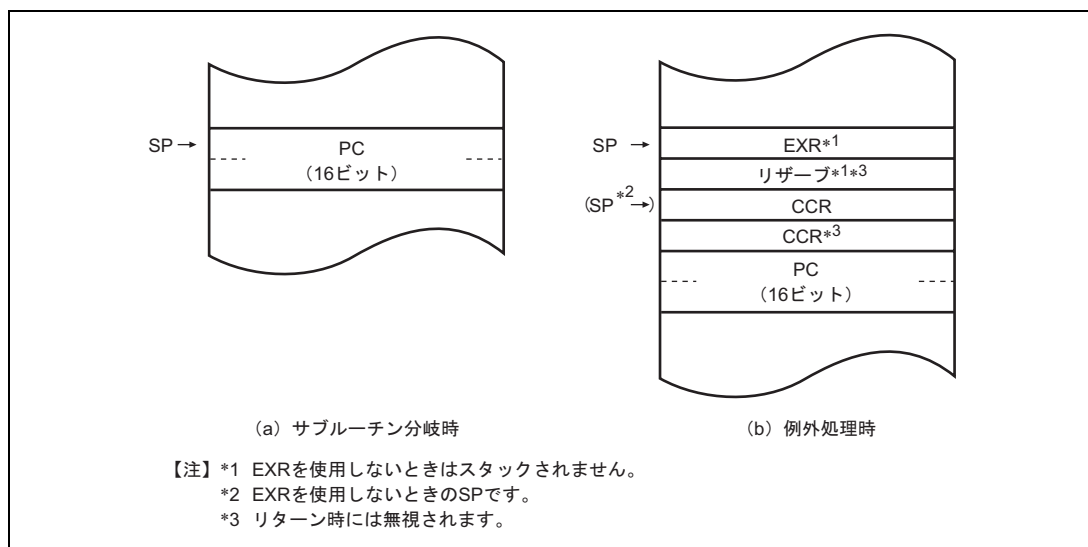


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンスモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

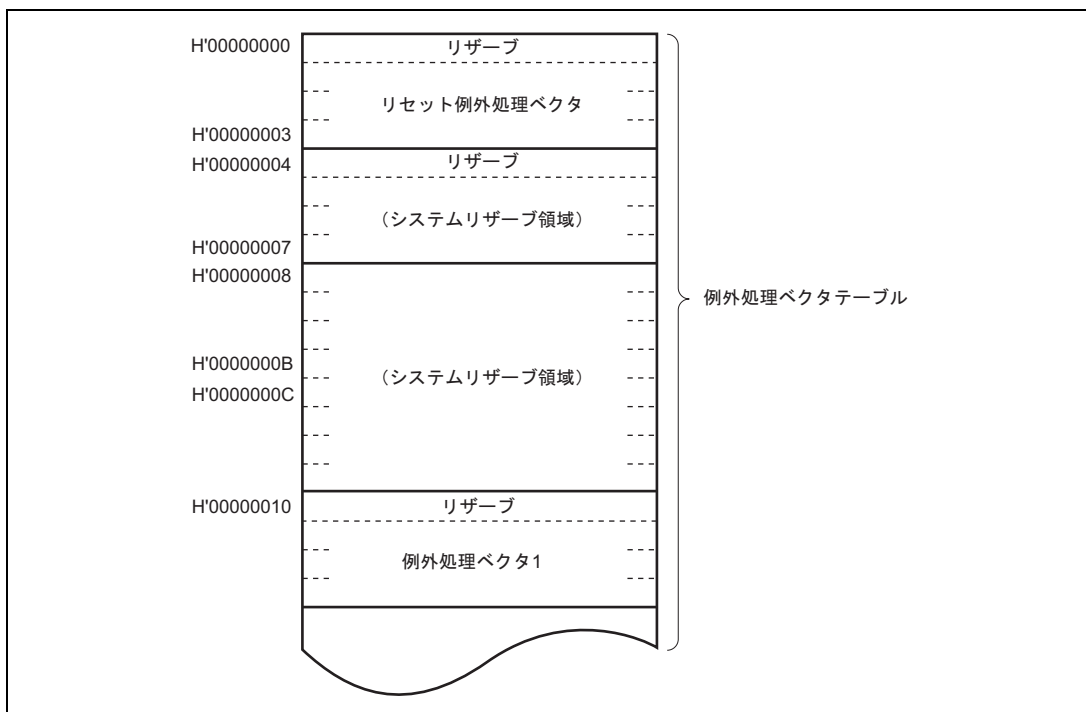


図 2.3 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットはリザーブ領域となっておりH'00とみなされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

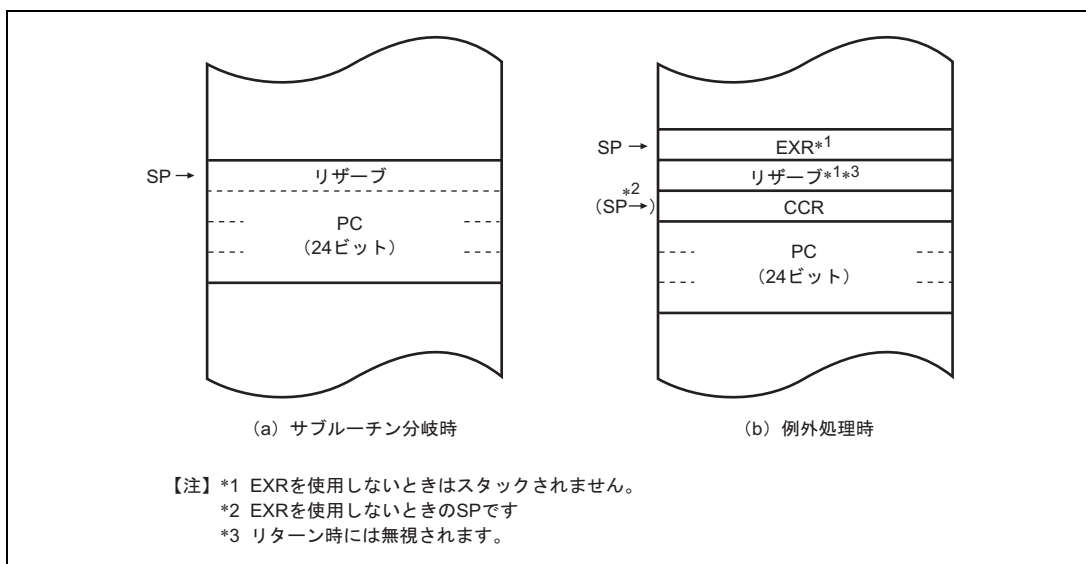


図 2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

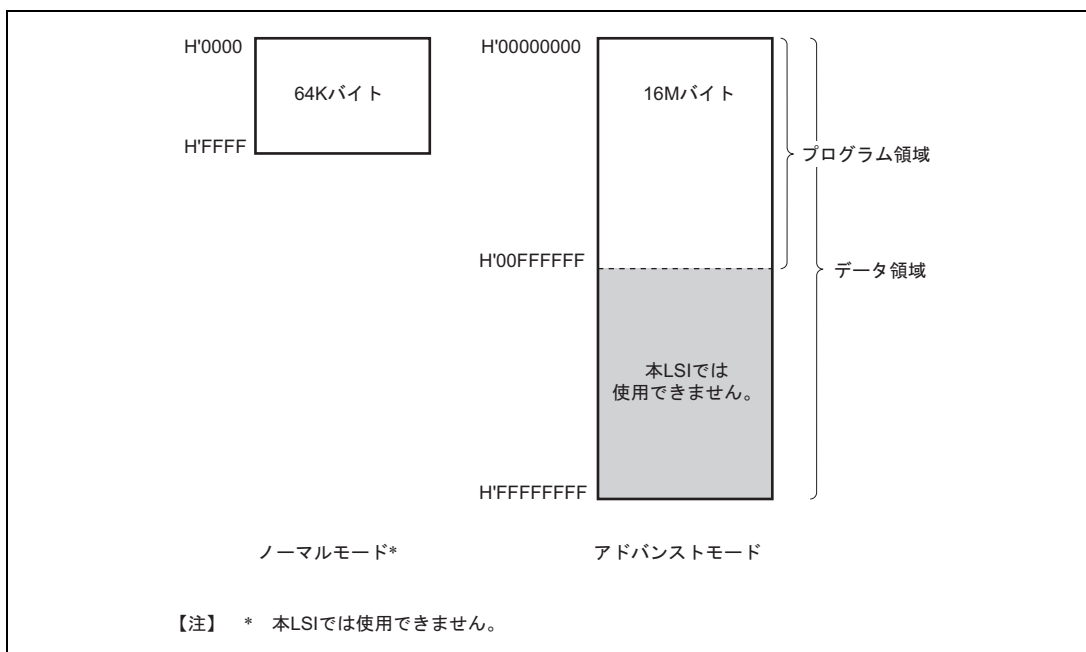


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

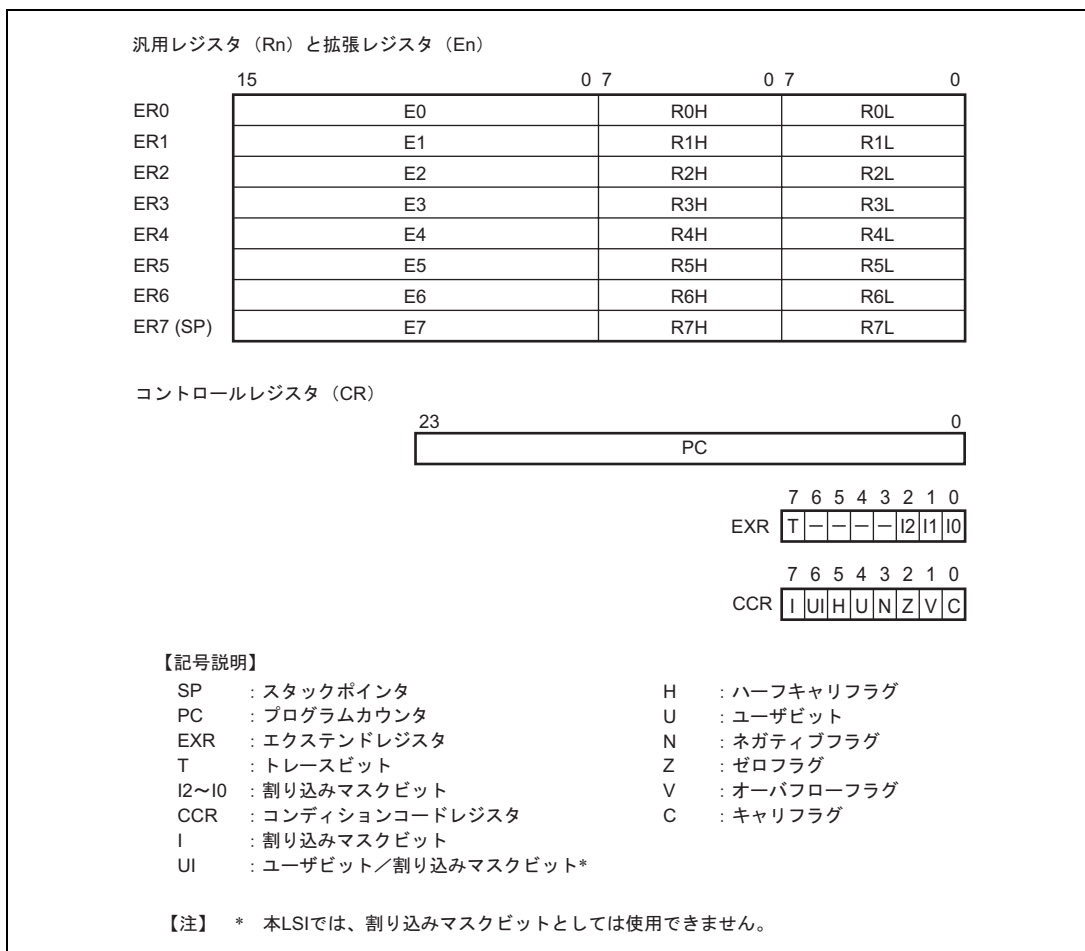


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタとよぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

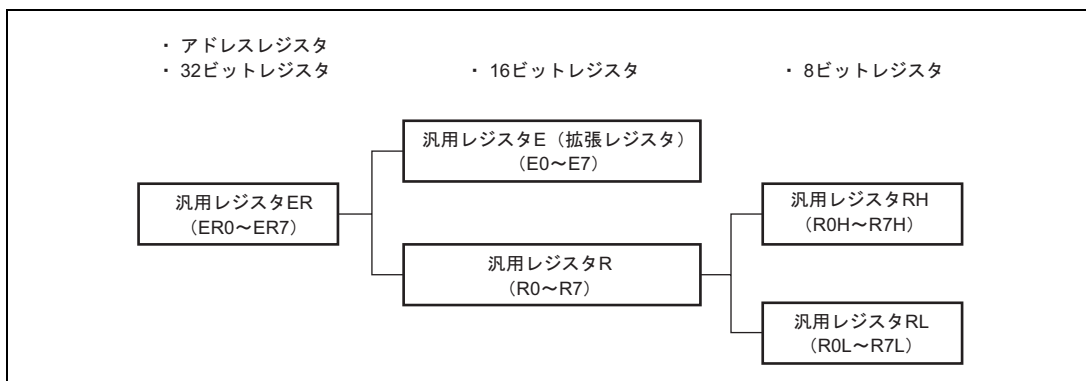


図 2.7 汎用レジスタの使用方法

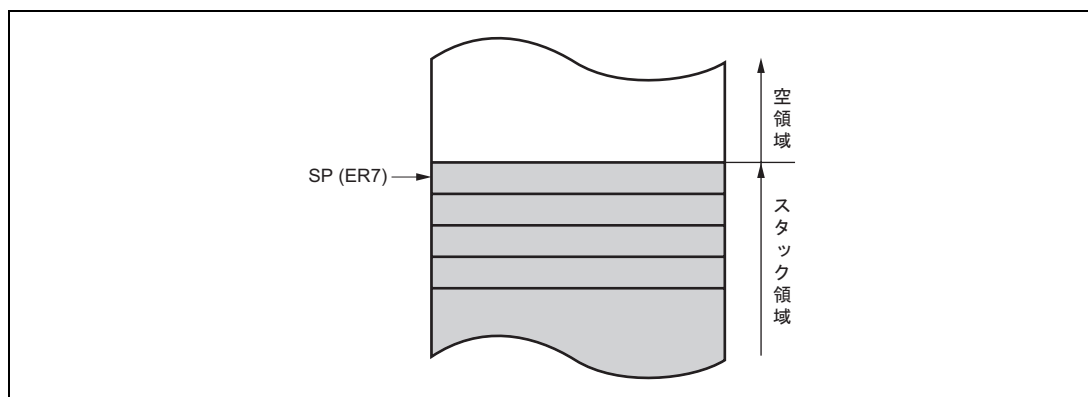


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> • 加算結果のキャリ • 減算結果のポロー • シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット (n=0,1,2,...,7) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

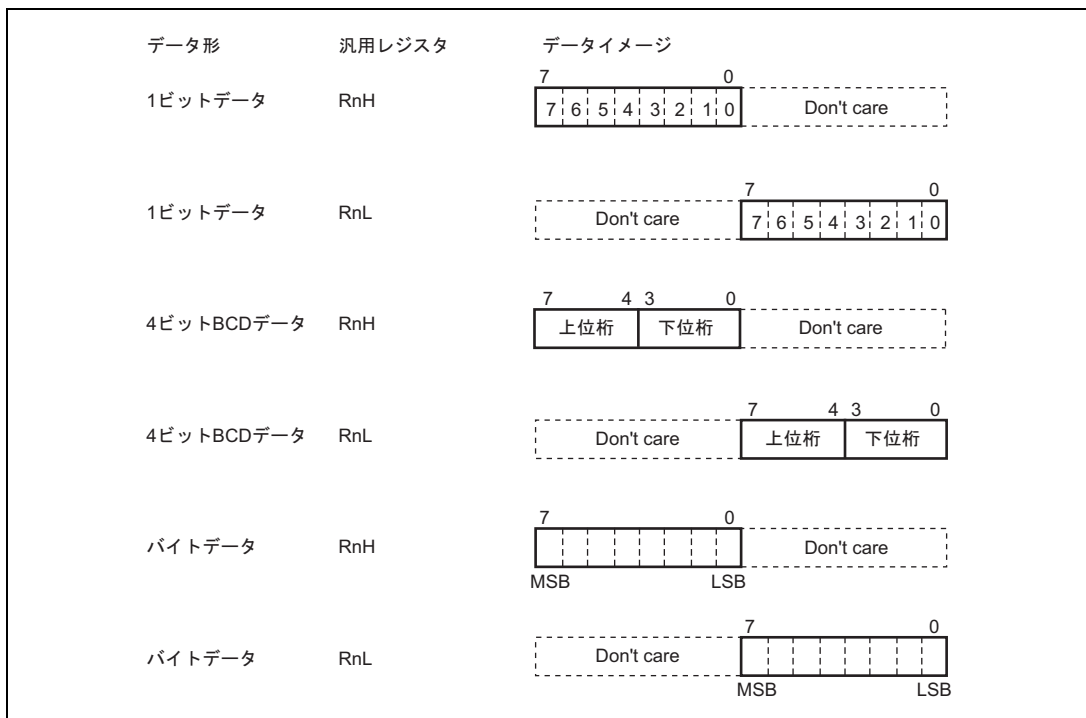


図 2.9 汎用レジスタのデータ形式 (1)

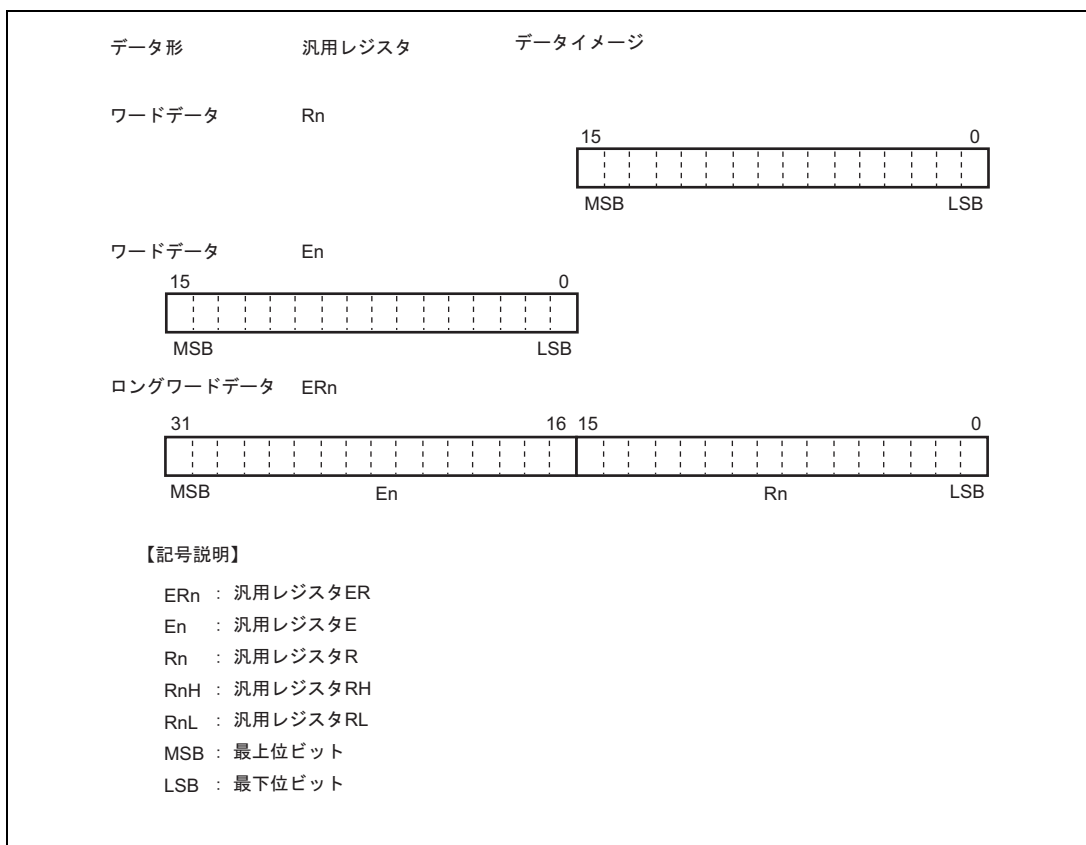


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

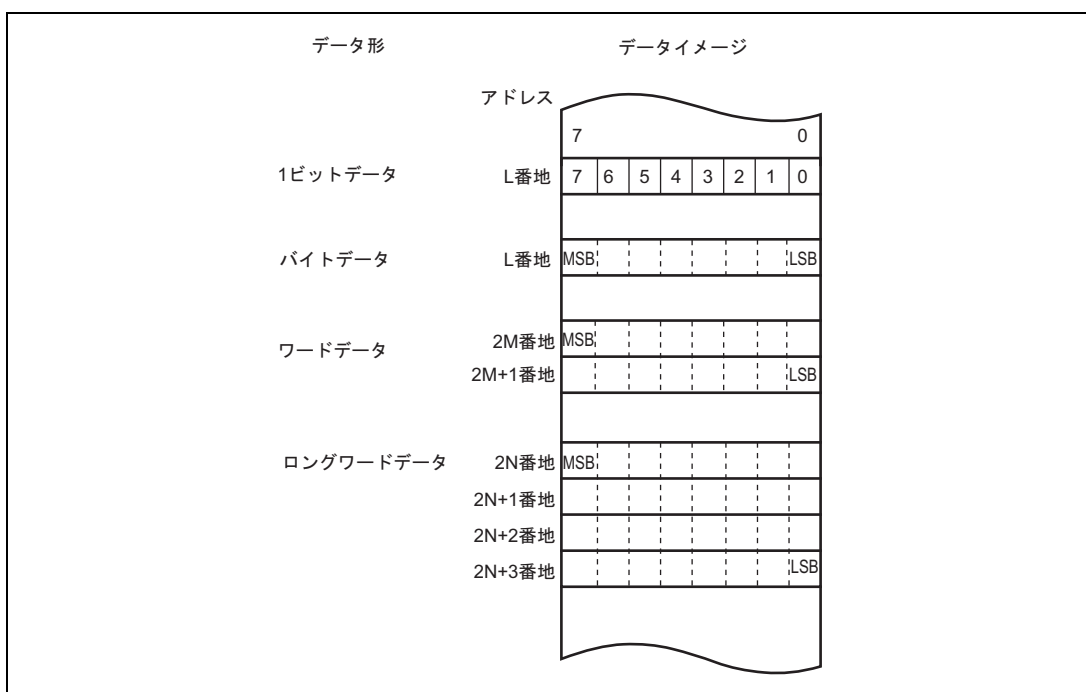


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命 令	サイズ	種類
データ転送命令	MOV	B / W / L	5
	POP* ¹ , PUSH* ¹	W / L	
	LDM* ⁵ , STM* ⁵	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B / W / L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B / W / L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B / W	
	EXTU, EXTS	W / L	
	TAS* ⁴	B	
論理演算命令	AND, OR, XOR, NOT	B / W / L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B / W / L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【記号説明】

B : バイトサイズ

W : ワードサイズ

L : ロングワードサイズ

- 【注】 *1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

2. CPU

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ* ¹	機 能
MOV	B / W / L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPE	B	本 LSI では使用できません。
POP	W / L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* ²	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* ²	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

表 2.4 算術演算命令

命令	サイズ ^{*1}	機能
ADD SUB	B / W / L	$Rd \pm Rs \rightarrow Rd$, $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$, $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット余り 16 ビットの除算が可能です。

命令	サイズ*1	機 能
DIVXS	B / W	Rd ÷ Rs → Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビット、 32 ビット ÷ 16 ビット → 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B / W / L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	0 - Rd → Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W / L	Rd(ゼロ拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	Rd(符号拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1 → (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B： バイト

W： ワード

L： ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B / W / L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B / W / L	~Rd→Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B / W / L	Rd(シフト処理)→Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B / W / L	Rd(シフト処理)→Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B / W / L	Rd(ローテート処理)→Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B / W / L	Rd(ローテート処理)→Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定 します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定 します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定 されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映 します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定 されます。
BAND	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をと り、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論 理積をと、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をと り、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論 理和をと、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

2. CPU

命令	サイズ*	機能
BXOR	B	$C \oplus (\text{ビット番号} \rightarrow \text{EAd}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim(\text{ビット番号} \rightarrow \text{EAd})] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(\text{ビット番号} \rightarrow \text{EAd}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim(\text{ビット番号} \rightarrow \text{EAd}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow (\text{ビット番号} \rightarrow \text{EAd})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow (\text{ビット番号} \rightarrow \text{EAd})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z (N⊕V)=0	BLE	Less or Equal	Z (N⊕V)=1
ニーモニック	説 明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z (N⊕V)=0																																																			
BLE	Less or Equal	Z (N⊕V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then Repeat @ER5+→@ER6+ R4L - 1→R4L Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then Repeat @ER5+→@ER6+ R4 - 1→R4 Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

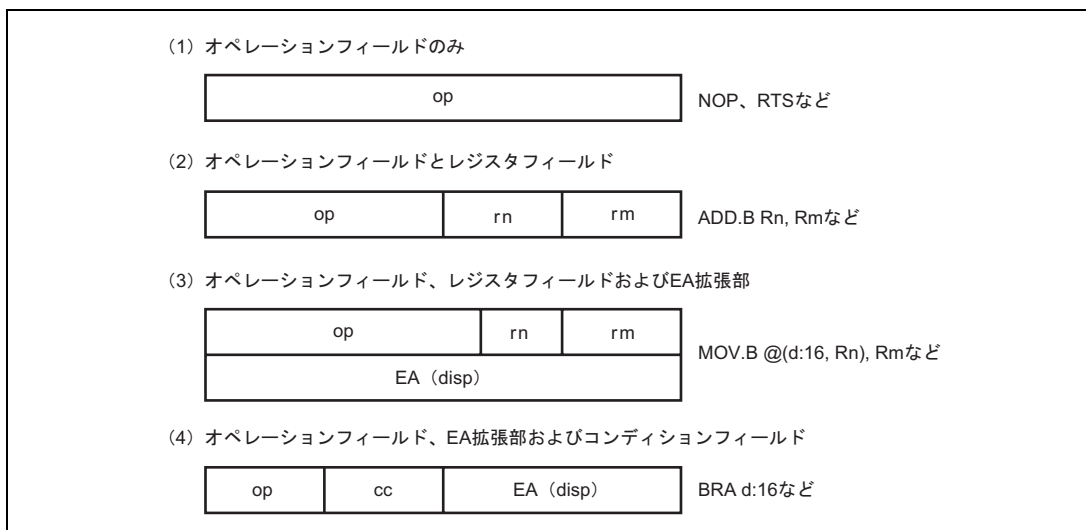


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレイメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8ビット、16ビット、または32ビット）がオペランドとなります。8ビットレジスタとしてはR0H~R7H、R0L~R7Lを指定可能です。16ビットレジスタとしてはR0~R7、E0~E7を指定可能です。32ビットレジスタとしてはER0~ER7を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位24ビットが有効になり、上位8ビットはすべて0（H'00）とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容に、命令コード中に含まれる16ビットディスプレースメント、または32ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+ / プリデクリメントレジスタ間接@-ERn

（1）ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2、または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズまたはロングワードサイズの時、アドレスレジスタの内容が偶数となるようにしてください。

（2）プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から、1、2、または4を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズまたはロングワードサイズの時、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは8ビット (@aa:8) 16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32) を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24) を使用します。上位8ビットはすべて0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスドモード
データ領域	8ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

2.7.6 イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための2ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレースメントを加算して24ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは24ビットに符号拡張されます。加算結果は下位24ビットが有効になり、上位8ビットはすべて0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0~255 (ノーマルモード*のとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットに分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照) 。

【注】 * 本 LSI では使用できません。

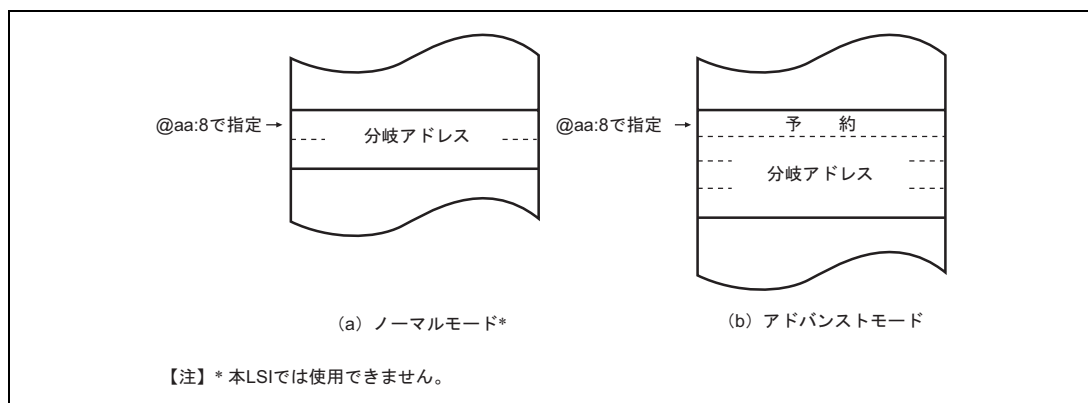


図 2.12 メモリ間接による分岐アドレスの指定

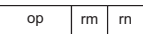
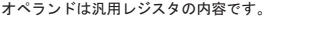

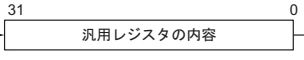
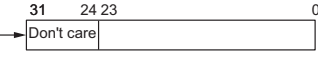
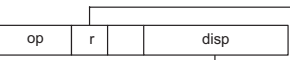
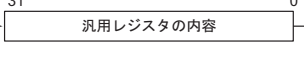




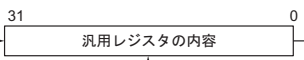

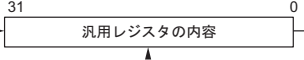

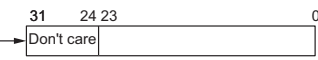


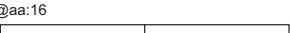



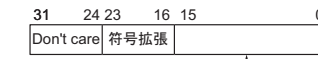


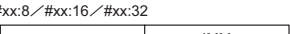
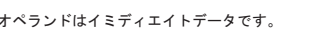
2.7.9 実効アドレスの計算方法

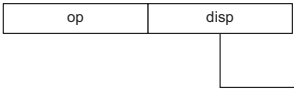
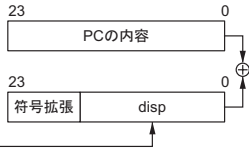

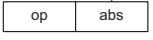

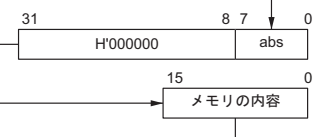
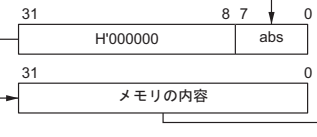
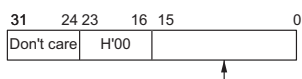

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

2. CPU

表 2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)								
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。 								
2	レジスタ間接 (@ERn) 	汎用レジスタの内容 									
3	ディスプレースメント付きレジスタ間接 @d:16,ERn / @(d:32,ERn) 	汎用レジスタの内容  符号拡張 disp 									
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	汎用レジスタの内容  1、2、または4  汎用レジスタの内容  1、2、または4  <table border="1" data-bbox="569 994 816 1081"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	 
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										
5	絶対アドレス @aa:8  @aa:16  @aa:24  @aa:32 		   								
6	イミディエイト #xx:8 / #xx:16 / #xx:32 		オペランドはイミディエイトデータです。 								

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @@aa:8 ・ノーマルモード*  ・アドバンストモード 	 	 

【注】* 本LSIでは使用できません。

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

• リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバーフローによってもリセットすることもできます。

• 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス(ベクタ)を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

• プログラム実行状態

CPUがプログラムを順次実行している状態です。

• バス権解放状態

DMAコントローラ(DMAC)やデータ転送ファコンローラ(DTC)を内蔵している製品で、これらCPU

2. CPU

以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- 低消費電力状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第20章 低消費電力状態」を参照してください。

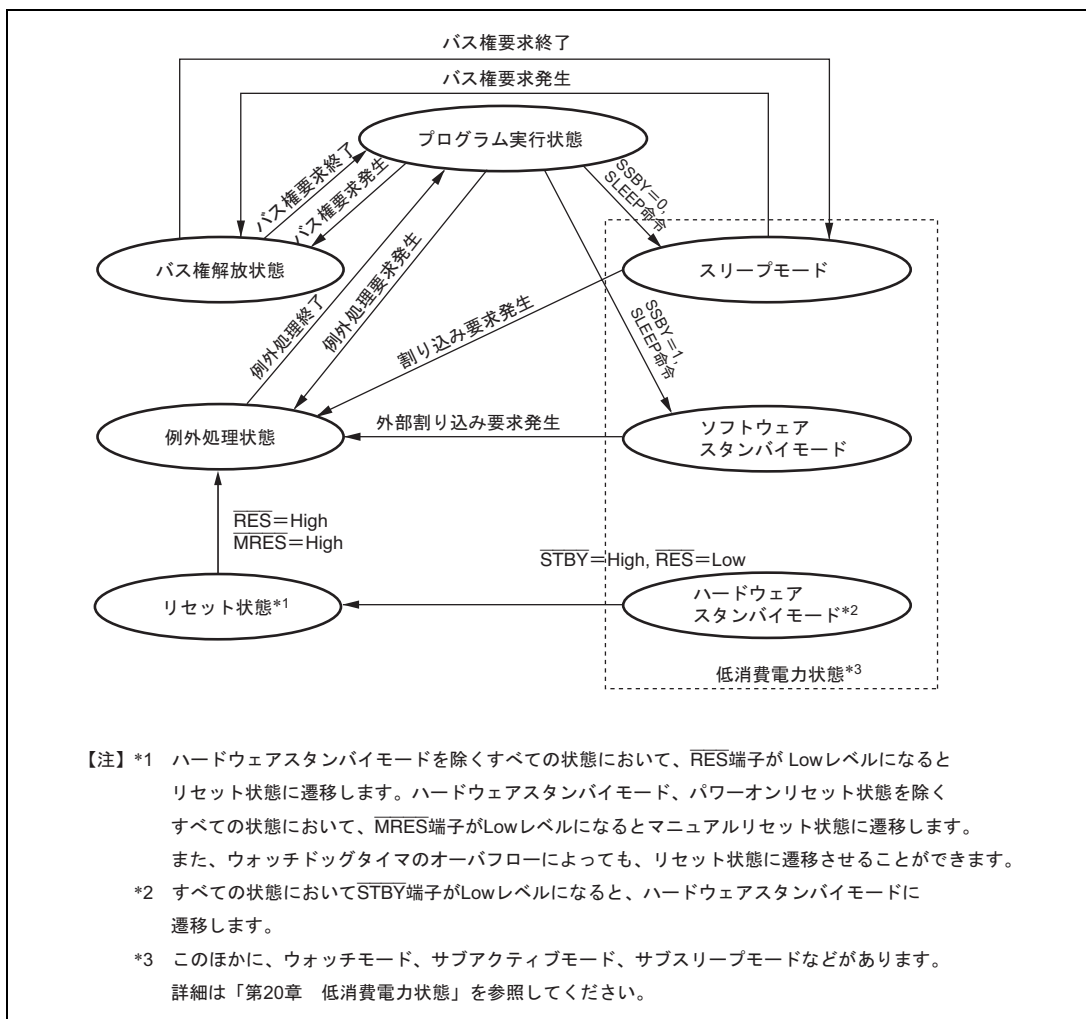


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 TAS 命令使用上の注意事項

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサステクノロジ製 H8S、H8/300 シリーズ C/C++ コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

2.9.2 STM/LDM 命令使用上の注意事項

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。

そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサステクノロジ製 H8S、H8/300 シリーズ C/C++ コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

2.9.3 ビット操作命令使用上の注意

ライト専用ビットを含むレジスタに対してビット操作命令を使用すると、本来操作すべきビットが正しく操作されないことや、ビット操作に無関係のビットが変化することがあります。

ライト専用ビットを含むレジスタをリードすると固定値や不定値をリードします。したがって、リードした値を演算に使用するビット操作命令 (BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD) は正しいビット操作がされません。

また、演算したあとにリードしたデータに対してライトを伴うビット操作命令 (BSET、BCLR、BNOT、BST、BIST) はビット操作に無関係のビットが変化することがありますので、ライト専用ビットを含むレジスタに対してビット操作命令を行う場合は注意が必要です。

BSET、BCLR、BNOT、BST、BIST の各命令は、

1. バイト単位でデータをリード
2. リードしたデータを命令に従いビット操作
3. 再びバイト単位でデータをライト

の順番で動作を行います。

例 ポート 1 の PIDDR の P14 のみをクリアするのに BCLR 命令を実行した場合

PIDDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。現時点では、P17~P14 は出力端子に、P13~P10 は入力端子に設定されているとします。この時点で、PIDDR の値は HF0 です。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
PIDDR	1	1	1	1	0	0	0	0

P14 を出力端子から入力端子に切り替えるには、PIDDR のビット 4 の値を"1"から"0" (HF0→HE0) に変えなければなりません。ここで BCLR 命令を使って PIDDR のビット 4 をクリアするとします。

```
BCLR    #4, @PIDDR
```

しかし、ライト専用レジスタである PIDDR に対して上記のようにビット操作命令を行うと以下のような不具合が発生する場合があります。

PIDDR に対して、最初にバイト単位でデータをリードしますが、このとき、リードされる値は不定値です。不定値は、レジスタ上では"0"または"1"となりますが、どちらの値がリードされるかわかりません。PIDDR はすべてライト専用ビットなので、どのビットでも不定値をリードします。ここでは、本来の PIDDR の値は HF0 ですが、ビット 3 が"1"となる HF8 がリードされたとします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
リード値	1	1	1	1	1	0	0	0

ビット操作は、このリードされた値に対して行われます。この例では H'F8 に対してビット 4 をクリアします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
ビット操作後	1	1	1	0	1	0	0	0

ビット操作を行ったあと、そのデータを P1DDR にライトして BCLR 命令を終了します。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	出力	入力	入力	入力
P1DDR	1	1	1	0	1	0	0	0
ライト値	1	1	1	0	1	0	0	0

本来は P1DDR の値を H'E0 に書き変えるはずでしたが、実際は H'E8 がライトされ、入力端子であるはずの P13 が出力端子に変化してしまいます。ここではリードしたときに P1DDR のビット 3 が "1" の場合について説明しましたが、P1DDR のビット 7~0 をリードした場合にはリード値は不定ですので、ビット操作命令終了後は "0" が "1" に変化したり、"1" が "0" に変化したりしますので注意してください。このような事態を避けるために、ライト専用ビットを含むレジスタの値を変更する場合は、「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

また、内部 I/O レジスタのフラグを "0" にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが "1" にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.9.4 ライト専用ビットを含むレジスタのアクセス方法

ライト専用ビットを含むレジスタからのデータ転送命令、またはライト専用ビットを含むレジスタに対してビット操作命令を行うと不定値をリードします。不定値をリードしないために、以下のような方法を用いてライト専用ビットを含むレジスタにアクセスしてください。

ライト専用ビットを含むレジスタにライトする際は、内蔵 RAM などのメモリ上にワークエリアを設け、そこに一度データをライトしてから、そのメモリに対してアクセスを行い、そのメモリのデータをライト専用ビットを含むレジスタにライトするようにしてください。

2. CPU

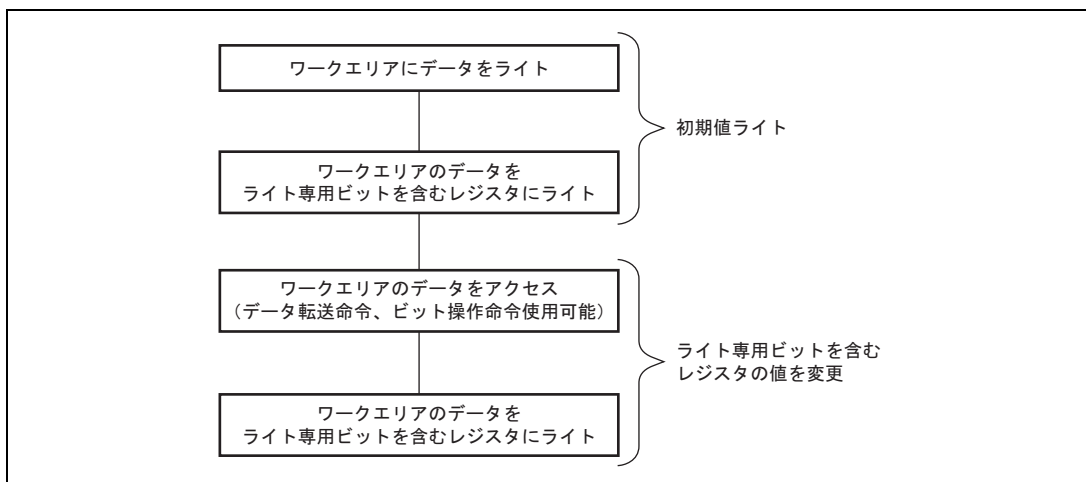


図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例

例 ポート 1 の P1DDR の P14 のみをクリアする場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。まず P1DDR にライトする初期値 H'F0 をあらかじめメモリ上のワークエリア (RAM0) にライトしておきます。

```

MOV.B  #H'F0, R0L
MOV.B  R0L,   @RAM0
MOV.B  R0L,   @P1DDR
  
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	1	0	0	0	0
------	---	---	---	---	---	---	---	---

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を "1" から "0" (H'F0→H'E0) に変えなければなりません。ここで BCLR 命令を RAM0 に対して行います。

```

BCLR  #4, @RAM0
  
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

RAM0 はリード/ライト可能なので、ビット操作命令を行うと、RAM0 のビット 4 のみがクリアされます。この RAM0 の値を P1DDR にライトします。

```
MOV.B @RAM0, R0L
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	入力	入力	入力	入力
P1DDR	1	1	1	0	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

この手順でライト専用ビットを含むレジスタのアクセスを行えば、命令の種類に依存せずにプログラムを作ることができます。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI は、4 種類の動作モード（モード 4～7）があります。各動作モードによって端子の機能が切り替わりま
す。動作モードはモード端子（MD2～MD0）の設定で決まります。モード 4～6 は、外部メモリおよび周辺デバイ
スをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラによ
り、エリアごとに 8 ビットまたは 16 ビットアドレス空間にできます。また、いずれかの 1 つのエリアを 16 ビッ
トアドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると、8 ビッ
トバスモードとなります。

モード 7 は、外部アドレス空間を使用できません。また、モード端子は動作中に変化させないでください。
H8S/2212 グループは、モード 7 のみ使用できます。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
4	1	0	0	アドバンスモード	内蔵ROM無効拡張モード	無効	16 ビット	16 ビット
5	1	0	1	アドバンスモード	内蔵ROM無効拡張モード	無効	8 ビット	16 ビット
6	1	1	0	アドバンスモード	内蔵ROM有効拡張モード	有効	8 ビット	16 ビット
7	1	1	1	アドバンスモード	シングルチップモード	有効	-	-

【注】 E6000 エミュレータを使用する場合について

1. H8S/2218 グループではモード 7 は使用できません。（E6000 エミュレータではサポートしていません。）
2. モード 6 は RTC と USB を使用するにあたり、下記の制約があります。
 - ・ PB1、PBO 端子の A9、A8 が出力されるよう、PFCR レジスタをセットする
 - ・ PC7～PC0 端子の A7～A0 が出力されるよう、PCDDR レジスタに H'FF をセットするとなりますので、ご注意ください。

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は本 LSI の現在の動作モードをモニタするのに用います。ライトはしないでください。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。ライトはしないでください。
3	FWE	* ¹	R	フラッシュライトイネーブル FWE 端子の入カレベルが反映されます。FLMCR1 レジスタの FWE ビットと同等です。
2	MDS2	* ¹	R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2~MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセット* ² では保持されます。
1	MDS1	* ¹	R	
0	MDS0	* ¹	R	

【注】 *¹ FWE、MD2~MD0 端子の設定により決定されます。

*² H8S/2218 グループのみです。

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は割り込み制御モードの選択、NMI の検出エッジの選択、 $\overline{\text{MRES}}$ 端子*入力の許可 / 禁止の選択、内蔵 RAM の有効 / 無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット ライトするときは0をライトしてください。
6		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00: 割り込み制御モード 0 01: 設定禁止 10: 割り込み制御モード 2 11: 設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0: NMI 入力の立ち上がりエッジで割り込み要求を発生 1: NMI 入力の立ち上がりエッジで割り込み要求を発生
2	MRESE	0	R/W	マニュアルリセット選択ビット $\overline{\text{MRES}}$ 端子*の入力許可 / 禁止を選択します。 0: マニュアルリセットを禁止 1: マニュアルリセットを許可 $\overline{\text{MRES}}$ 入力端子*として使用できます。
1		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したとき初期化されます。 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効

【注】 * H8S/2218 グループのみです。

3.3 各動作モードの説明

3.3.1 モード 4 (H8S/2218 グループのみ)

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13~P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。リセット直後、P13~P11 端子は入力ポートに、P10 端子、ポート A、B はアドレス (A20~A8) 出力になります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A21) 出力の許可 / 禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。ポート C は常にアドレス (A7~A0) 出力です。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合は、8 ビットバスモードとなります。

3.3.2 モード 5 (H8S/2218 グループのみ)

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13~P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。リセット直後、P13~P11 端子は入力ポートに、P10 端子、ポート A、B はアドレス (A20~A8) 出力になります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A21) 出力の許可 / 禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。ポート C は常にアドレス (A7~A0) 出力です。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合は、16 ビットバスモードとなりポート E がデータバスとなります。

3.3.3 モード 6 (H8S/2218 グループのみ)

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。リセット直後、P13~P10 端子、ポート A、B、C は入力ポートになります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A8) 出力の許可 / 禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。

ポート C では対応する DDR を 1 にセットするとアドレス (A7~A0) は出力になります。

ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合は、16 ビットバスモードとなりポート E がデータバスとなります。

3.3.4 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレス空間は使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

3.3.5 端子機能

動作モードにより、ポート 1、A~F の端子機能が切り替わります。

モード 4~7 における端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 6	モード 7
ポート 1	P11~P13	P*/A	P*/A	P*/A	P
	P10	P/A*	P/A*	P*/A	P
ポート A	PA3~PA0	P/A*	P/A*	P*/A	P
ポート B		P/A*	P/A*	P*/A	P
ポート C		A	A	P*/A	P
ポート D		D	D	D	P
ポート E		P/D*	P*/D	P*/D	P
ポート F	PF7	P/C*	P/C*	P/C*	P*/C
	PF6~PF4	C	C	C	
	PF3	P/C*	P*/C	P*/C	
	PF2~PF0	P*/C	P*/C	P*/C	

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3. MCU 動作モード

3.4 各動作モードのアドレスマップ

各製品のアドレスマップを図 3.1 - 図 3.3 に示します。

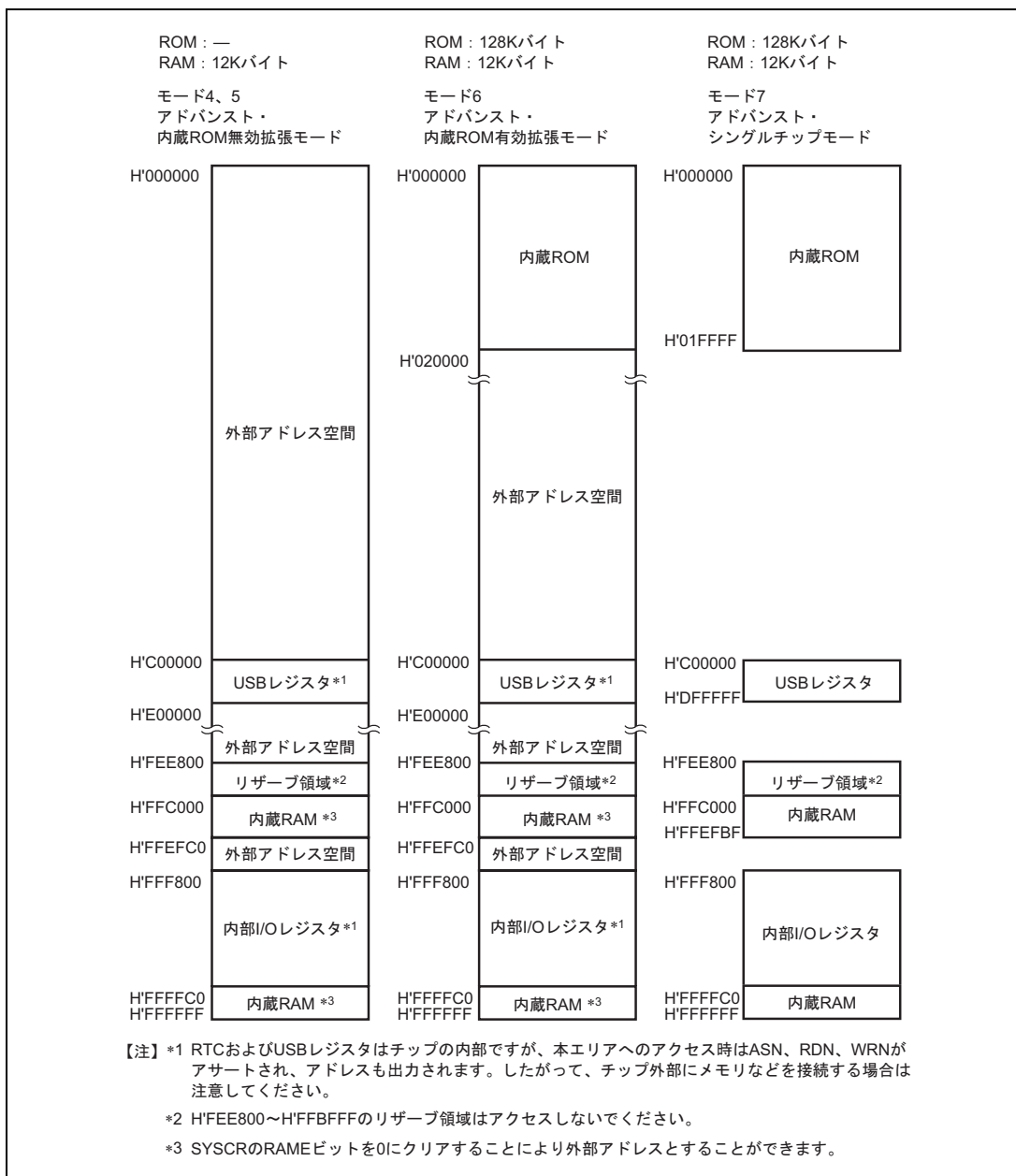


図 3.1 HD64F2218、HD64F2218U、HD64F2218CU のアドレスマップ

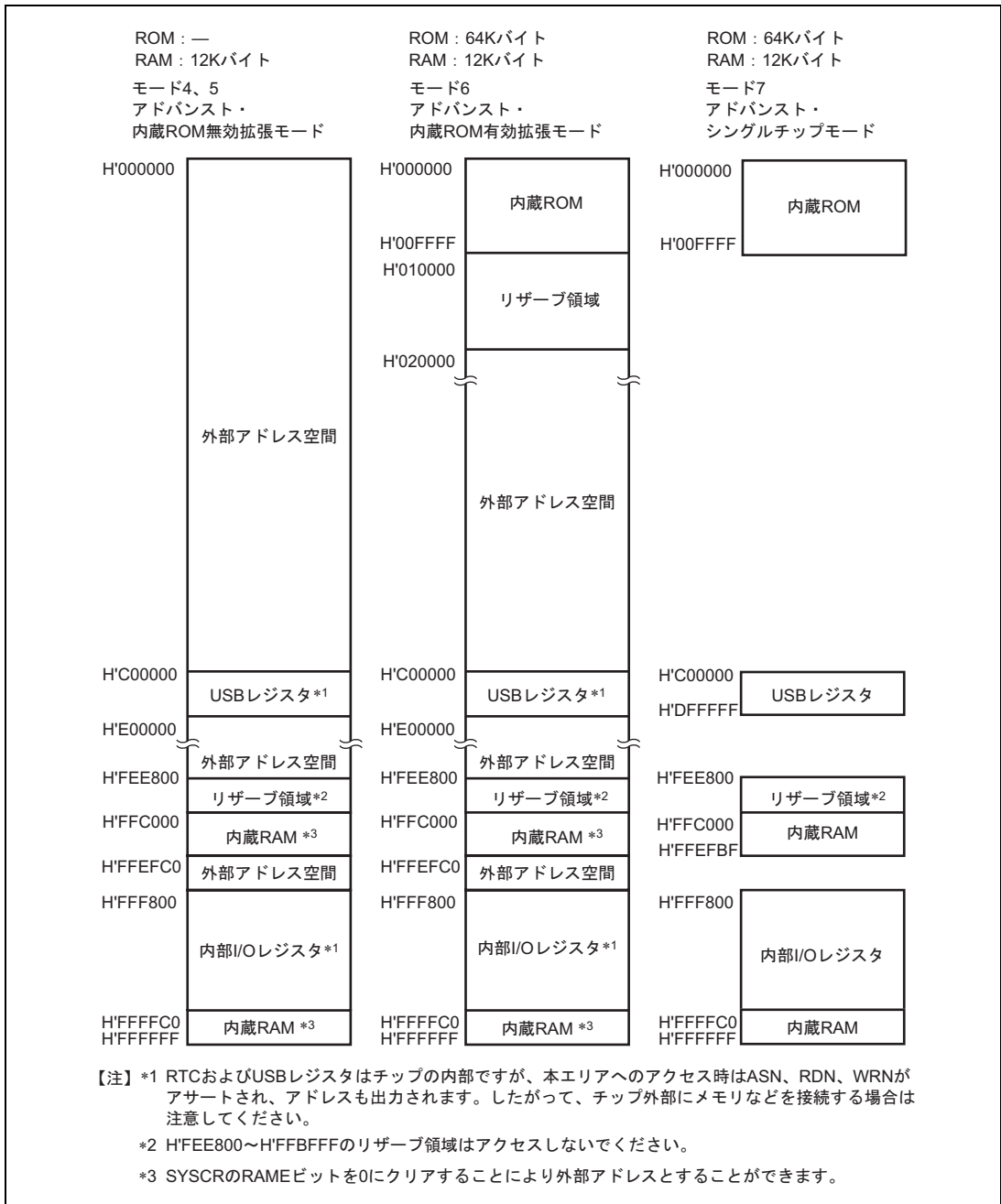


図 3.2 HD64F2217CU のアドレスマップ

3. MCU 動作モード

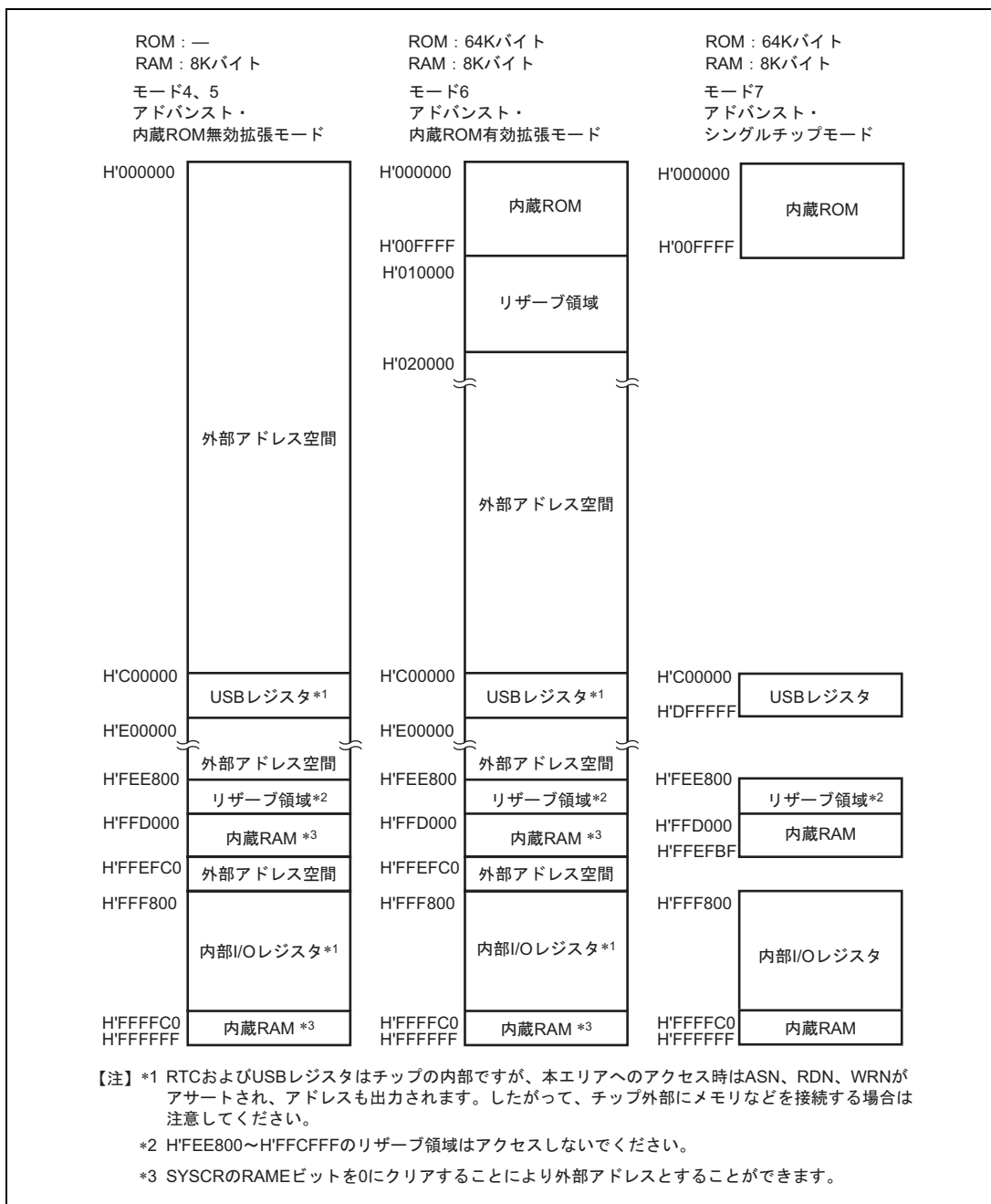


図 3.3 HD6432217 のアドレスマップ

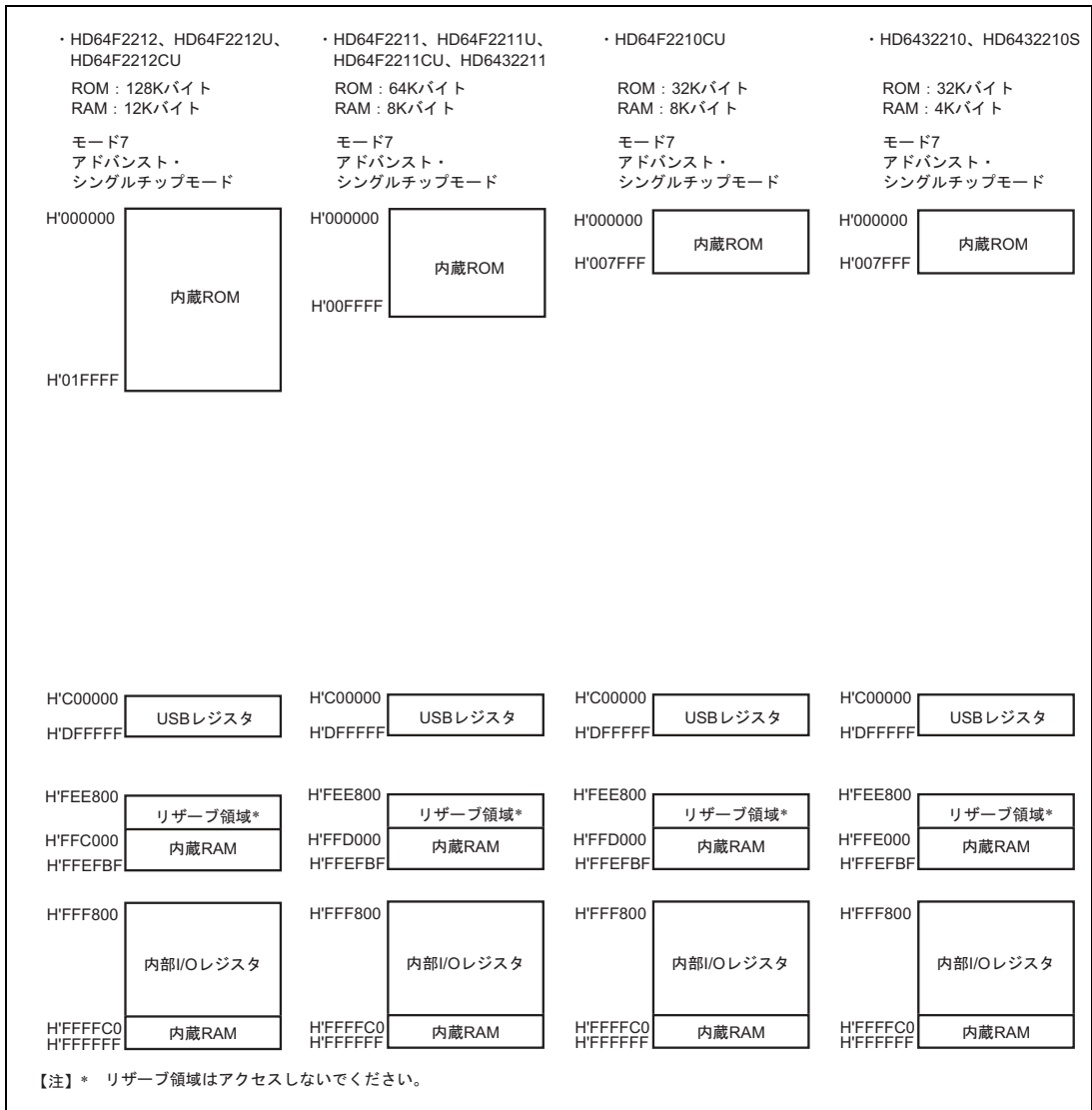


図 3.4 HD64F2212、HD64F2212U、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2211CU、HD6432211、HD64F2210CU、HD6432210、HD6432210S のアドレスマップ

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

表 4.2 例外処理要因とベクタアドレスとの対応

例外処理要因	ベクタ番号	ベクタアドレス* ¹	
		ノーマルモード* ⁴	アドバンスモード
パワーオンリセット	0	H'0000 ~ H'0001	H'0000 ~ H'0003
マニュアルリセット	1	H'0002 ~ H'0003	H'0004 ~ H'0007
システム予約	2	H'0004 ~ H'0005	H'0008 ~ H'000B
	3	H'0006 ~ H'0007	H'000C ~ H'000F
	4	H'0008 ~ H'0019	H'0010 ~ H'0013
トレース	5	H'000A ~ H'000B	H'0014 ~ H'0017
直接遷移* ²	6	H'000C ~ H'000D	H'0018 ~ H'001B
外部割り込み NMI	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (#0)	8	H'0010 ~ H'0011	H'0020 ~ H'0023
トラップ命令 (#1)	9	H'0012 ~ H'0013	H'0024 ~ H'0027
トラップ命令 (#2)	10	H'0014 ~ H'0015	H'0028 ~ H'002B
トラップ命令 (#3)	11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約	12	H'0018 ~ H'0019	H'0030 ~ H'0033
	13	H'001A ~ H'001B	H'0034 ~ H'0037
	14	H'001C ~ H'001D	H'0038 ~ H'003B
	15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
外部割り込み IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
RTC 割り込み IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
USB 割り込み IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
外部割り込み IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F
内部割り込み* ³	24	H'0030 ~ H'0031	H'0060 ~ H'0063
	127	H'00FE ~ H'00FF	H'01FC ~ H'01FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 直接遷移については「20.10 直接遷移」を参照してください。

*3 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

*4 本 LSI では使用できません。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子*が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子が $\overline{\text{MRES}}$ 端子*を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 10 章 ウォッチドッグタイマ (WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

【注】 バウンダリスキャン機能を持つ HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU は、電源投入時に $\overline{\text{TRST}}$ も Low にしてください。詳細は「第 13 章 バウンダリスキャン」を参照してください。

* H8S/2218 グループのみです。

4.3.1 リセットの種類

H8S/2218 グループのリセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。H8S/2212 グループは、パワーオンリセットの 1 種類です。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

表 4.3 リセットの種類

種類	リセットへの遷移条件		内部状態	
	$\overline{\text{MRES}}$	$\overline{\text{RES}}$	CPU	内蔵周辺モジュール
パワーオンリセット	x	Low	初期化	初期化
マニュアルリセット	Low	High	初期化	バスコントローラ、I/O ポート以外初期化

【記号説明】

x : Don't care

ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの 2 種類があります。なお、 $\overline{\text{MRES}}$ 端子*を使用する場合は、SYSCR の MRESE ビットで、 $\overline{\text{MRES}}$ 端子*を入力許可 (MRESE=1) に設定してください。

【注】 * H8S/2218 グループのみです。

4. 例外処理

4.3.2 リセット例外処理

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子*が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子が $\overline{\text{MRES}}$ 端子*を最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子*が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送したあと、PCで示されるアドレスからプログラムの実行を開始します。

【注】 * H8S/2218 グループのみです。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

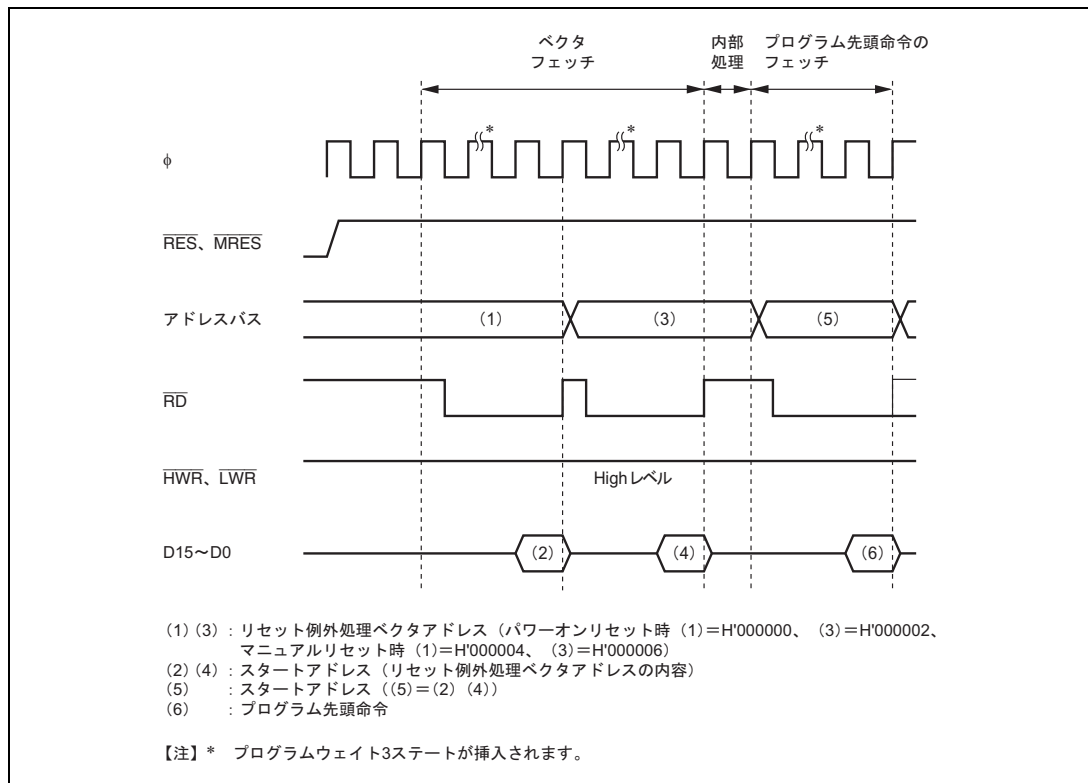


図 4.1 リセットシーケンス (モード 4)

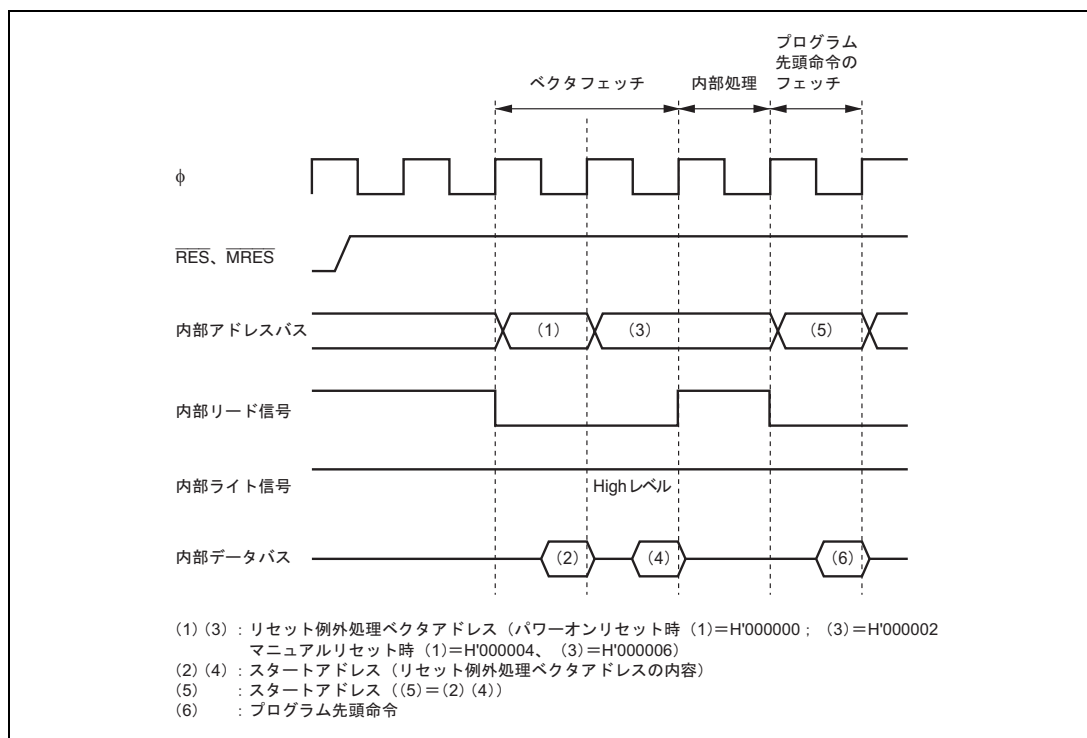


図 4.2 リセットシーケンス (モード 6、7)

4.3.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx :32, SP)。

4.3.4 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA、MSTPCRB、MSTPCRC は初期化され、フラッシュメモリと DMAC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4. 例外処理

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが命令を実行するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.4にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰したあとは再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

1 : 1にセットされます。

0 : 0にクリアされます。

- : 実行前の値が保持されます。

4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ(PC)とコンディションコードレジスタ(CCR)、エクステンドレジスタ(EXR)の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

1 : 1 にセットされます。

0 : 0 にクリアされます。

- : 実行前の値が保持されます。

4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

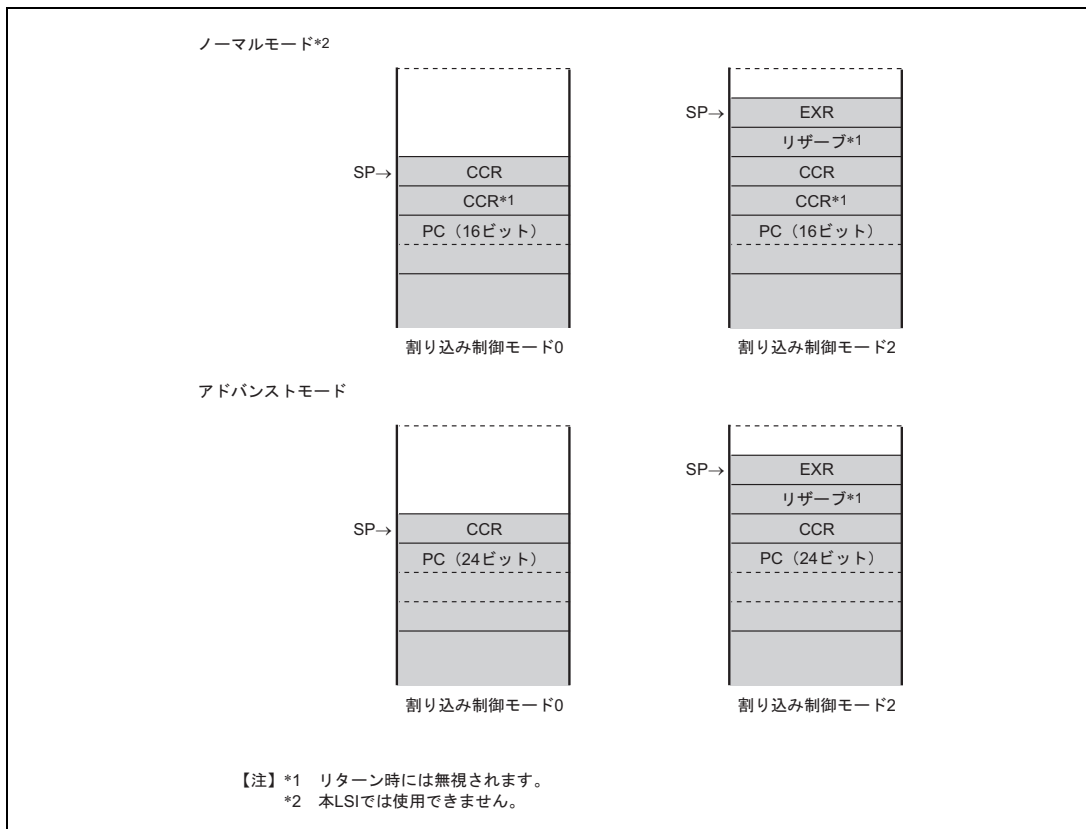


図 4.3 例外処理終了後のスタックの状態

4.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn      (MOV.W Rn, @-SP)
```

```
PUSH.L ERn     (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn     (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.4 に示します。

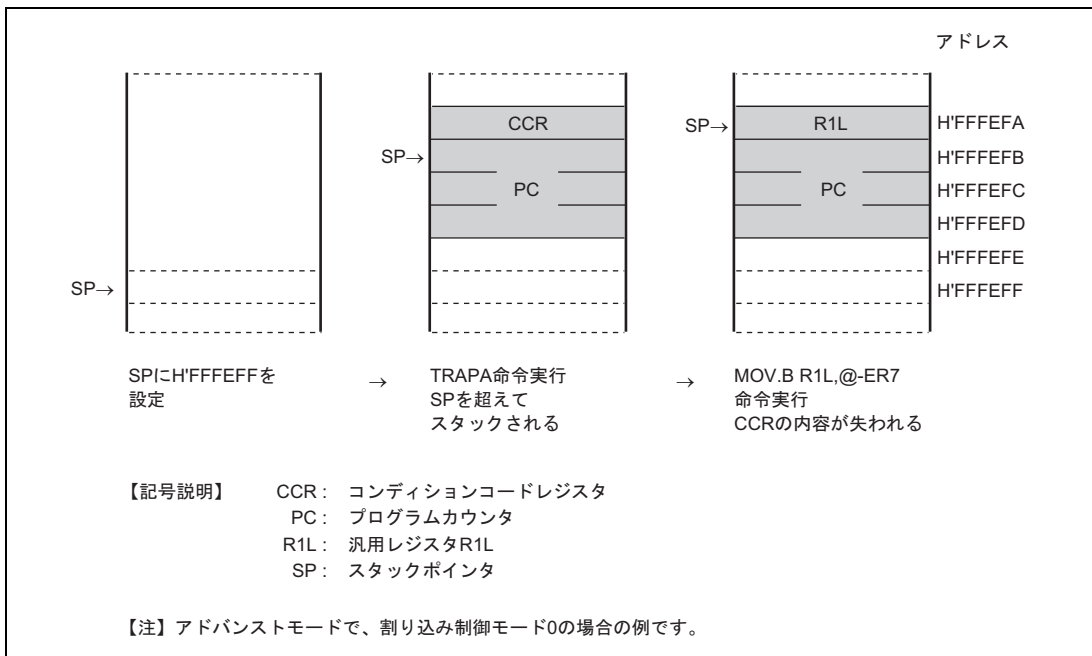


図 4.4 SP を奇数に設定したときの動作

4. 例外处理

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードをサポートしています。

- IPRにより、優先順位を設定可能

インタラプトプライオリティレジスタ (IPR) により、NMI以外の割り込み要求にはモジュールごとに8レベルの優先順位を設定できます。NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。

- 独立したベクタアドレス

すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 7本の外部割り込み端子 (NMI、 $\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ4}} \sim \overline{\text{IRQ0}}$)

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ4}} \sim \overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。 $\overline{\text{IRQ6}}$ は内蔵USB専用割り込みです。 $\overline{\text{IRQ5}}$ は内蔵RTC専用割り込みです。

- DMACの制御

割り込み要求によりDMACを起動することができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

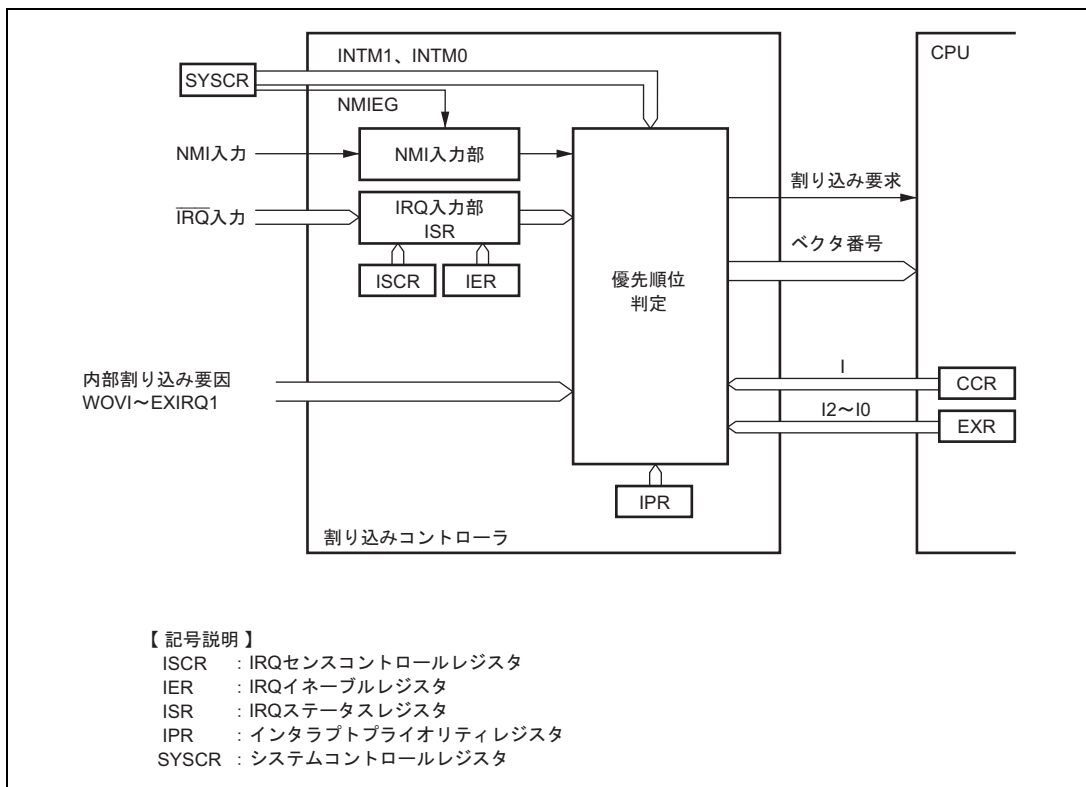


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	入出力	機能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
$\overline{\text{IRQ}}7$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能。($\overline{\text{IRQ}}6$ は内蔵 USB 専用の内部信号です。 $\overline{\text{IRQ}}5$ は内蔵 RTC 専用の内部信号です。)
$\overline{\text{IRQ}}4$	入力	
$\overline{\text{IRQ}}3$	入力	
$\overline{\text{IRQ}}2$	入力	
$\overline{\text{IRQ}}1$	入力	
$\overline{\text{IRQ}}0$	入力	

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- システムコントロールレジスタ (SYSCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)
- インタラプトプライオリティレジスタM (IPRM)

5. 割り込みコントローラ

5.3.1 インタラプトプライオリティレジスタ A~G、J、K、M (IPRA~IPRG、IPRJ、IPRK、IPRM)

IPR は NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。各割り込み要因と IPR の対応については「5.5 割り込み例外処理ベクタテーブル」を参照してください。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット リードすると常に 0 が読み出されます。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3		0		リザーブビット リードすると常に 0 が読み出されます。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

5.3.2 IRQ イネーブルレジスタ (IER)

IER は IRQ7 ~ IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが 1 のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル ^{*1} このビットが 1 のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル ^{*2} このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります。

【注】 *1 IRQ6 は内蔵 USB 専用割り込みです。

*2 IRQ5 は内蔵 RTC 専用割り込みです。

5.3.3 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B IRQ7 センスコントロール A 00 : $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ7}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10 : $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SCA	0	R/W	
13	IRQ6SCB	0	R/W	
12	IRQ6SCA	0	R/W	
				IRQ6 ^{*1} センスコントロール B IRQ6 ^{*1} センスコントロール A 00 : 内蔵 USB のサスペンド / レジューム割り込みを使用するときは設定禁止 01 : $\overline{\text{IRQ6}}$ 入力の立ち下がりがエッジで割り込み要求を発生 1X : 設定禁止

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
11	IRQ5SCB	0	R/W	IRQ5*2 センスコントロール B IRQ5*2 センスコントロール A 00 : RTC 割り込みを使用するときは設定禁止 01 : $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 1X : 設定禁止
10	IRQ5SCA	0	R/W	
9	IRQ4SCB	0	R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00 : IRQ4 入力の Low レベルで割り込み要求を発生 01 : IRQ4 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ4SCA	0	R/W	
7	IRQ3SCB	0	R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00 : $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00 : $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ0SCA	0	R/W	

【記号説明】

X : Don't care

【注】 *1 IRQ6 は内蔵 USB 専用割り込みです。

*2 IRQ5 は内蔵 RTC 専用割り込みです。

5.3.4 IRQ ステータスレジスタ (ISR)

ISR は IRQ7 ~ IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)*	[セット条件]
6	IRQ6F	0	R/(W)*	ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/(W)*	[クリア条件]
4	IRQ4F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	• 立ち上がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn
0	IRQ0F	0	R/(W)*	割り込み例外処理を実行したとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ7、IRQ4 ~ IRQ0 の 7 要因があります。外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。IRQ5 は内蔵 RTC 専用、IRQ6 は内蔵 USB 専用の割り込みですが、ソフトウェアスタンバイモードからの復帰に使用できます。また、他の IRQ7、IRQ4 ~ IRQ0 と同等機能となります。

(1) NMI 割り込み

ノンマスクブル割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれかで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

(2) IRQ7 ~ IRQ0 割り込み

IRQ7 ~ IRQ0 割り込みは $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ7 ~ IRQ0 割り込みには以下の特長があります。

- $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジ、および両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ7 ~ IRQ0 割り込み要求は IER によりマスクできます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ7 ~ IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

5. 割り込みコントローラ

IRQn 割り込みのブロック図を図 5.2 に示します。

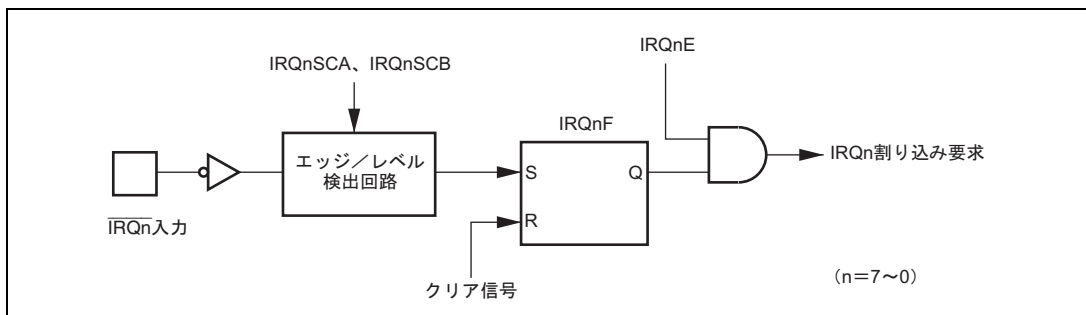


図 5.2 IRQn 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

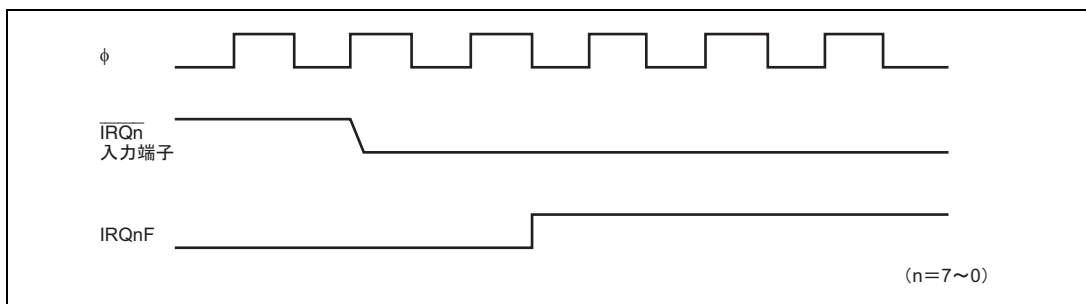


図 5.3 IRQnF のセットタイミング

IRQn 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてその他の機能の入出力端子としては使用しないでください。また、割り込み要求フラグ IRQnF は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- TPU、SCIなどの割り込み要求によりDMACを起動することができます。
- 割り込み要求によりDMACを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスモード		
SCI チャンネル 0	ERI0	80	H'0140	IPRJ2 ~ IPRJ0	高 ↑
	RXI0	81	H'0144		
	TXI0	82	H'0148		
	TEI0	83	H'014C		
SCI チャンネル 2	ERI2	88	H'0160	IPRK2 ~ IPRK0	↑ 低
	RXI2	89	H'0164		
	TXI2	90	H'0168		
	TEI2	91	H'016C		
USB	EXIRQ0	104	H'01A0	IPRM6 ~ IPRM4	↑ 低
	EXIRQ1	105	H'01A4		

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード 0 と割り込み制御モード 2 の 2 種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択は SYSCR で行います。表 5.3 に割り込み制御モード 0 と割り込み制御モード 2 の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御 モード	割り込み優先 順位	割り込み マスクビット	説 明
0	デフォルト	I	各割り込み要因の優先順位はデフォルトで固定されています。 NMI を除く割り込み要因は 1 ビットによりマスクされます。
2	IPR	I2 ~ I0	IPR により NMI を除く各割り込み要因に 8 レベルの優先順位を設定できます。 I2 ~ I0 ビットにより、8 レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード 0

割り込み制御モード 0 では NMI を除く割り込み要求は CPU の CCR の I ビットによってマスクされます。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが 1 にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPU の I ビットが 1 にセットされているときは、割り込みコントローラは NMI 以外の割り込み要求を保留します。I ビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択して CPU に対して割り込み処理を要求し、その他は保留します。

4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了したあと、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

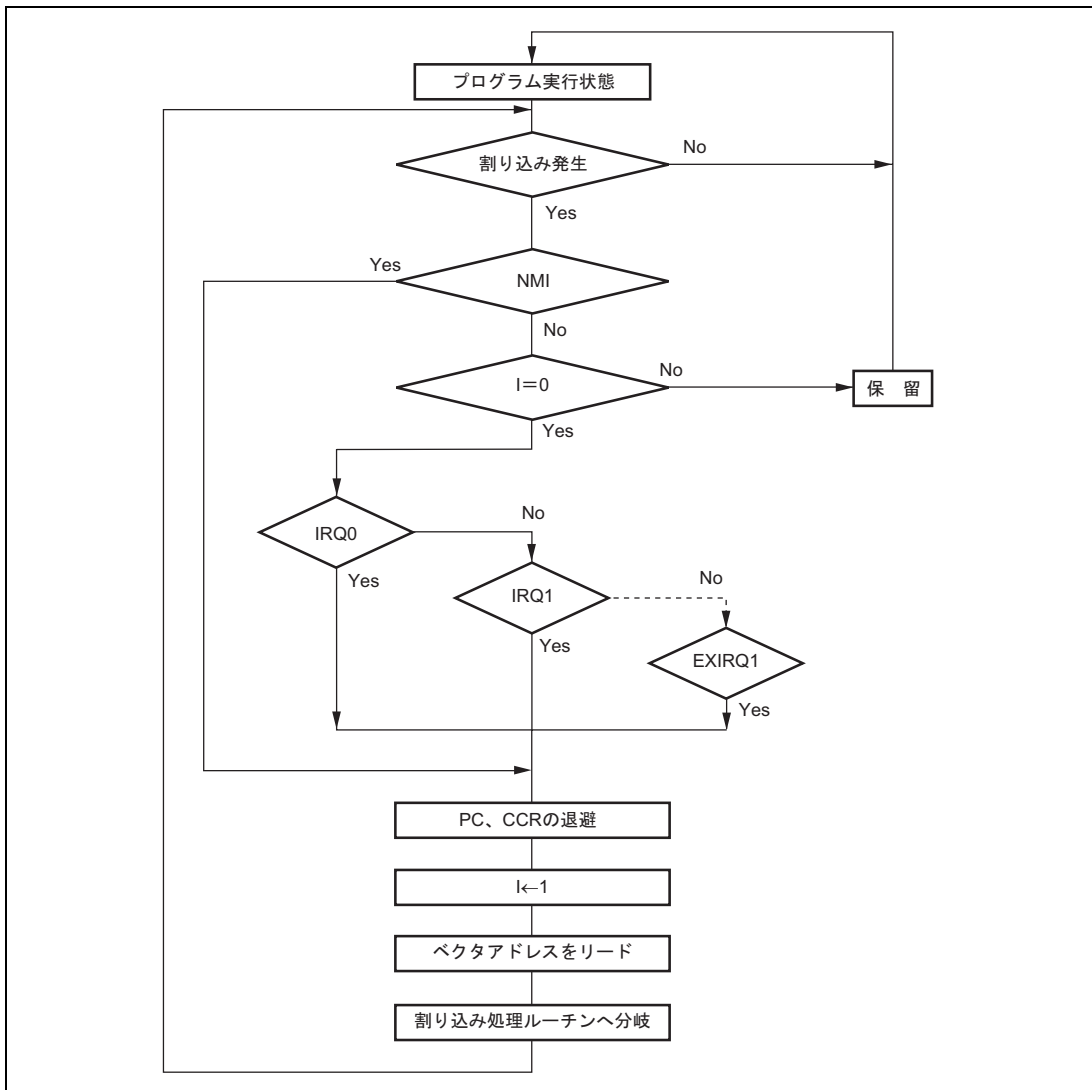


図 5.4 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード 2

割り込み制御モード 2 では NMI を除く割り込み要求は CPU の EXR の割り込みマスクレベル (I2 ~ I0 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.5 に示します。

1. 割り込みイネーブルビットが 1 にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラは IPR に設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表 5.2 に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位と EXR の割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければ CPU に対して割り込み処理を要求します。
4. CPU は割り込み要求を受け付けると、実行中の命令の処理が終了したあと、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、および EXR がスタック領域に退避されます。PC にはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXR の T ビットが 0 にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みが NMI のときは割り込みマスクレベルは H7 に設定されます。
7. CPU は受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

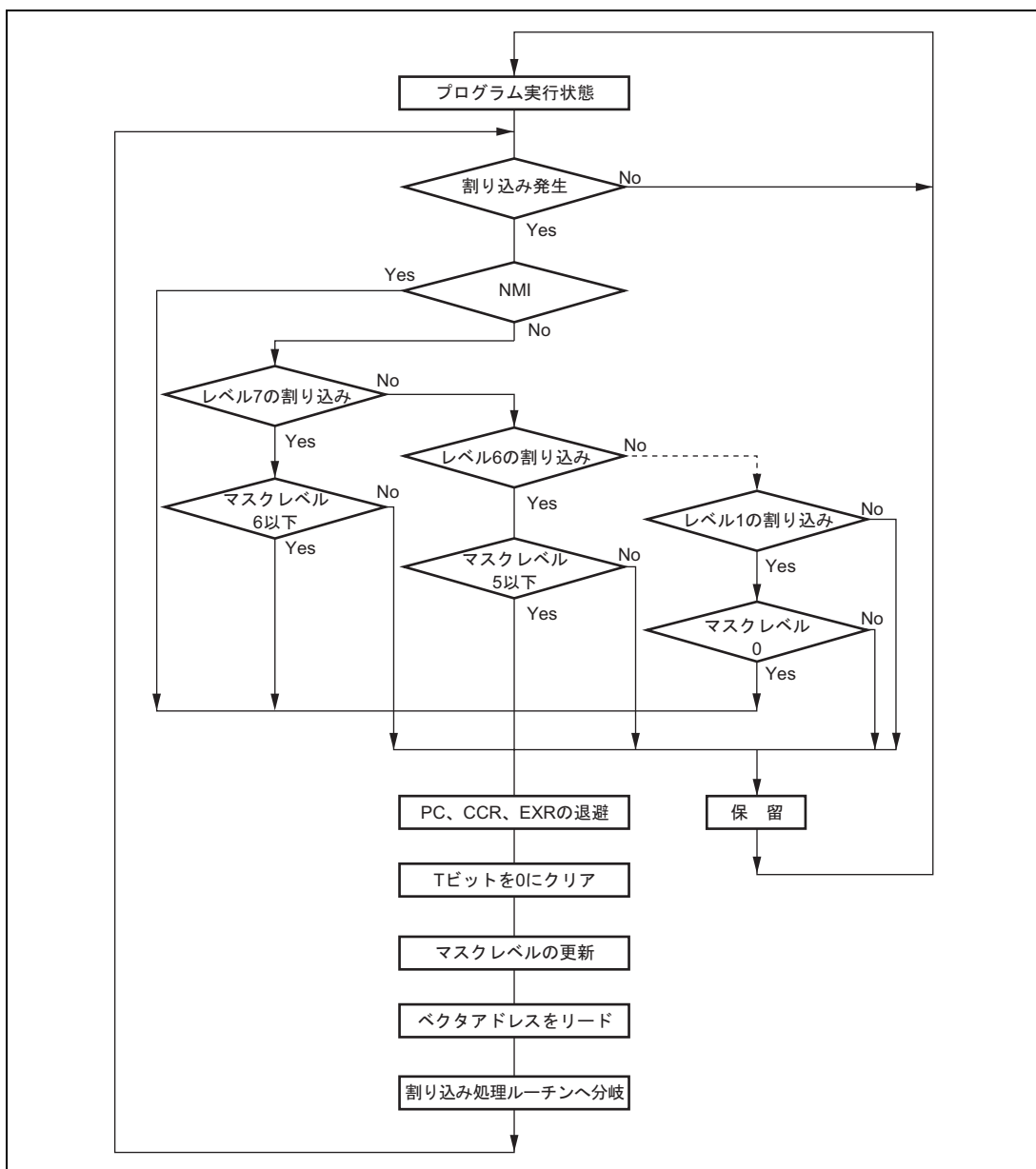


図 5.5 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

図 5.6 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0、かつプログラム領域およびスタック領域が内蔵メモリの場合の例です。

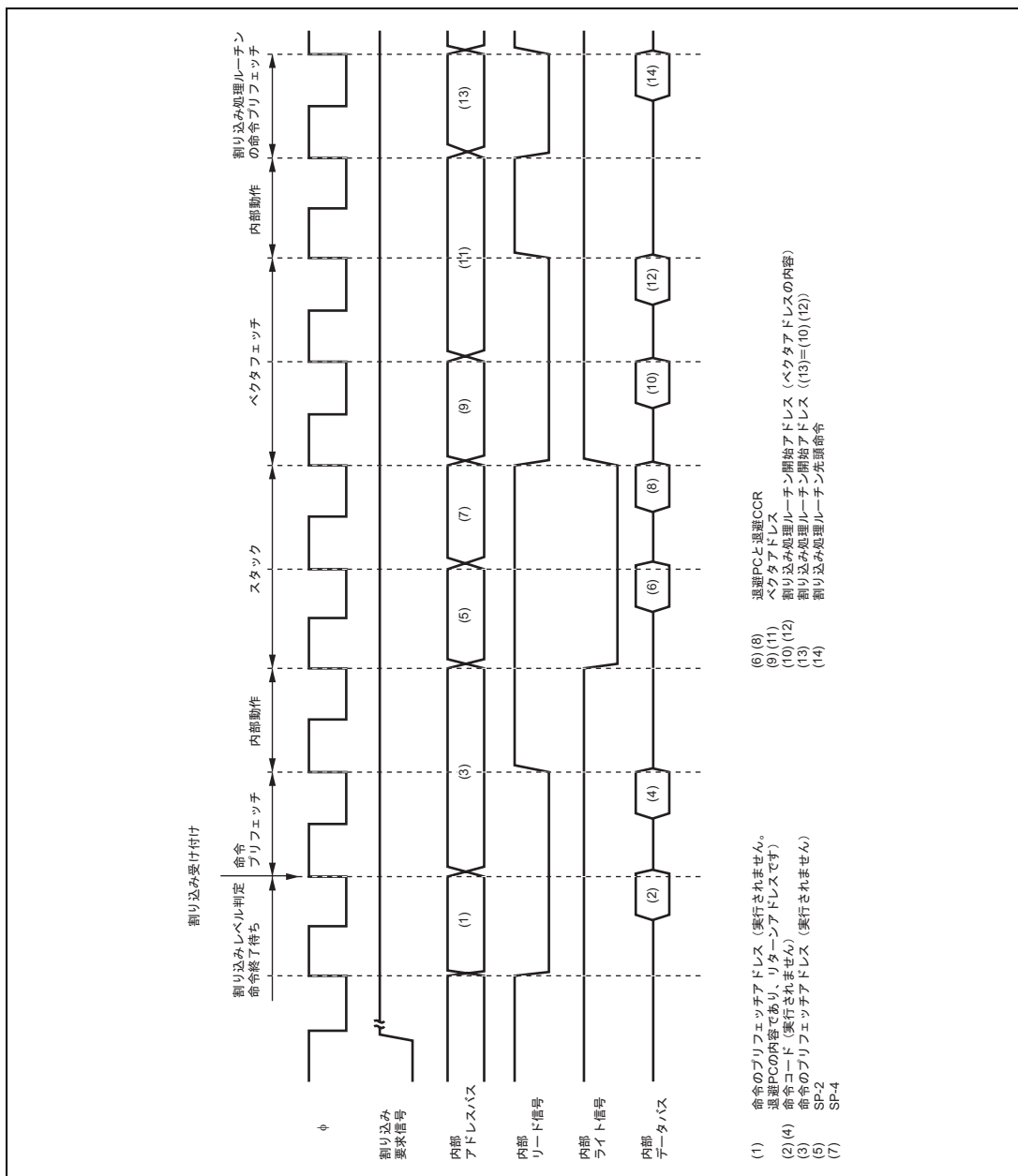


図 5.6 割り込み例外処理

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	$(1 \sim 19) + 2 \cdot S_i$			
3	PC、CCR、および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

*5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部 メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステートアクセス	3 ステートアクセス	2 ステートアクセス	3 ステートアクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5. 割り込みコントローラ

5.6.5 割り込みによる DMAC の起動

割り込みにより、DMAC を起動することができます。この場合、以下の選択を行うことができます。

1. CPU に対する割り込み要求
2. DMAC に対する起動要求
3. 1.、2. の複数の選択

なお、DMAC を起動できる割り込み要求については「第 7 章 DMA コントローラ (DMAC)」を参照してください。

図 5.7 に、DMAC と割り込みコントローラのブロック図を示します。

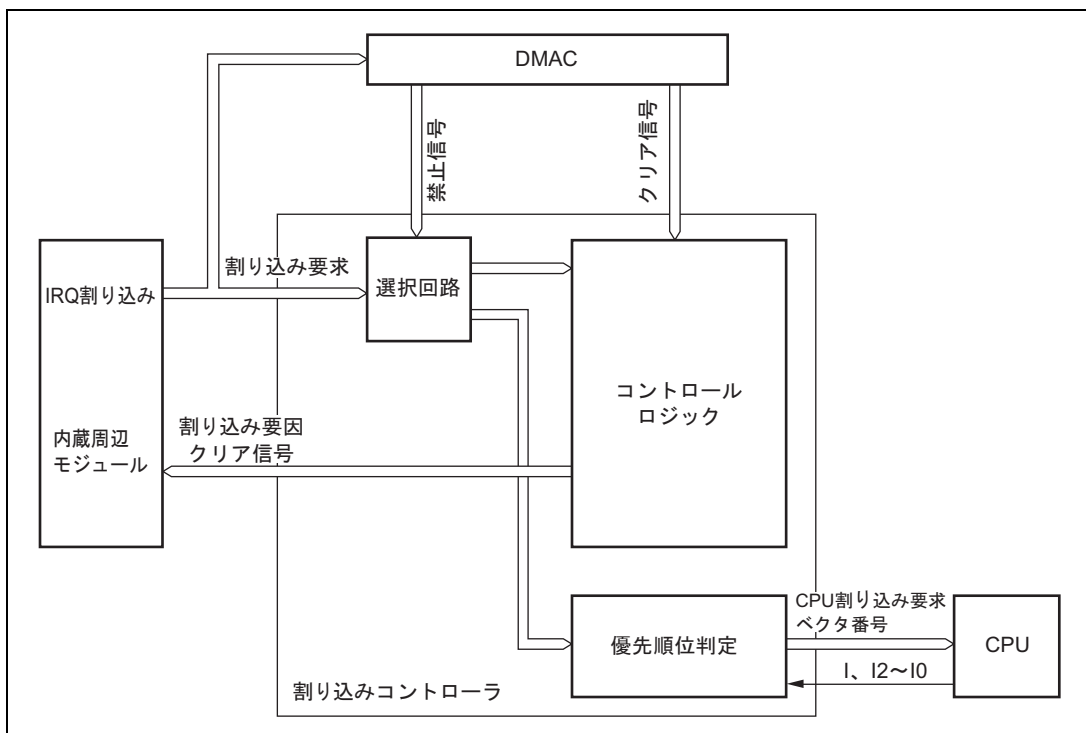


図 5.7 DMAC と割り込み制御

(1) 割り込み要因の選択

DMAC は、各チャンネルに直接、起動要因が入力されます。DMAC の各チャンネルの起動要因は DMACR の DTF3 ~ DTF0 ビットにより選択します。選択した起動要因を DMAC が管理するかを、DMABCR の DTA ビットによって選択することができます。DTA ビットを 1 にセットすると、その DMAC の起動要因になった割り込み要因は、CPU の割り込み要因にはなりません。

DMAC に管理されている割り込み以外の割り込み要因は、CPU 割り込み要求となります。

(2) 優先順位判定

DMAC は、各チャンネルに直接起動要因が入力されます。

(3) 動作順序

同一の割り込みを、DMAC の起動要因または CPU の割り込み要因に選択した場合、これらは独立に動作を行います。それぞれの動作状態およびバス権の優先順位に従います。

表 5.6 に、DMAC の DMABCR の DTA ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.6 割り込み要因の選択とクリア制御

設定内容	割り込み要因選択・クリア制御	
	DMAC	CPU
DTA	DMAC	CPU
0		
1		x

【記号説明】

: 当該割り込みを使用します。割り込み要因のクリアを行います。

(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)

: 当該割り込みを使用します。割り込み要因をクリアしません。

x : 当該割り込みは使用できません。

(4) 使用上の注意事項

SCI および A/D 変換器の割り込み要因は、DMAC が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビットには依存しません。

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER_0 の TGIEA を 0 にクリアする場合の例を図 5.8 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

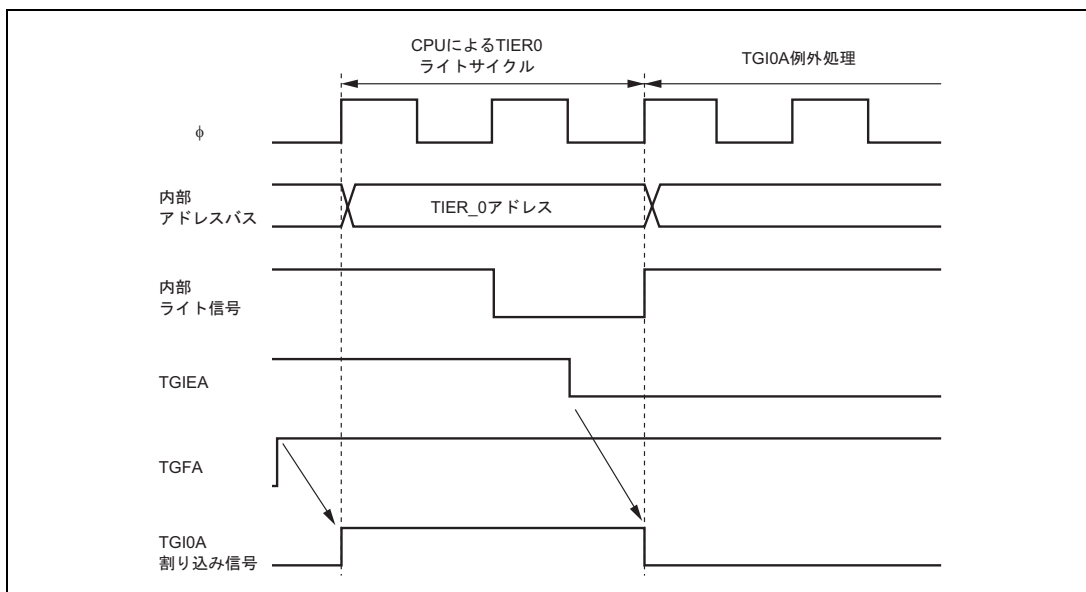


図 5.8 割り込みの発生とディスエーブルの競合

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新したあとの 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W      R4, R4
      BNE       L1
```

5.7.5 IRQ 割り込み

クロック動作時、IRQ はクロック同期で入力を受け付けます。

ソフトウェアスタンバイ、ウォッチモード時は非同期で入力を受け付けます。

入力条件については「22.4.2 制御信号タイミング」を参照してください。

5.7.6 NMI 割り込み使用上の注意

NMI 割り込みは、電気的特性で規定された条件下で正常に動作している場合に、本 LSI に内蔵している割り込みコントローラ、CPU の連携で実行される例外処理です。ソフトウェアの不具合や、LSI 端子への異常入力などで正常動作を行っていない場合（暴走状態）は、NMI 割り込みを含めすべての動作は保証されません。本ケースにおいては、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。また、バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU、DMA コントローラ (DMAC) の動作を制御します。

6.1 特長

- 外部アドレス空間をエリア単位で管理
 - 外部 アドレス空間を 2M バイト単位の 8 エリアに分割して管理
 - エリアごとにバス仕様を設定可能
 - バーストROM インタフェースを設定可能
- 基本バスインタフェース*¹
 - エリア 0 ~ 5 に対してチップセレクト ($\overline{CS0} \sim \overline{CS5}$) を出力可能*²
 - エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
 - エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
 - エリアごとに、プログラムウェイトステートを挿入可能
- バーストROM インタフェース*²
 - エリア 0 に対してバーストROM インタフェースを設定可能
 - バーストアクセスの 1 または 2 ステートを選択可能
- アイドルサイクル挿入*²
 - 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
 - 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能
- バス権調停機能 (バスアービトレーション)
 - バスアービタを内蔵し、CPU、DMAC のバス権を調停
- その他
 - 外部バス権解放機能*²

【注】 *1 エリア 6 のチップセレクト $\overline{CS6}$ は内蔵 USB 用ですので外部エリアとして使用できません。
エリア 6 は 8 ビットアクセス / 3 ステートアクセス / プログラムウェイトなしに設定してください。
また、RTC 関連レジスタ (アドレス = H'FFFF40 ~ H'FFFF5F) へのアクセスはエリア 7 の設定に従います。本チップではエリア 7 は、8 ビットアクセス / 3 ステートアクセス / プログラムウェイトなしに設定してください。

*2 H8S/2212 グループではこれらの機能は使用できません。

6. バスコントローラ (BSC)

バスコントローラのブロック図を図 6.1 に示します。

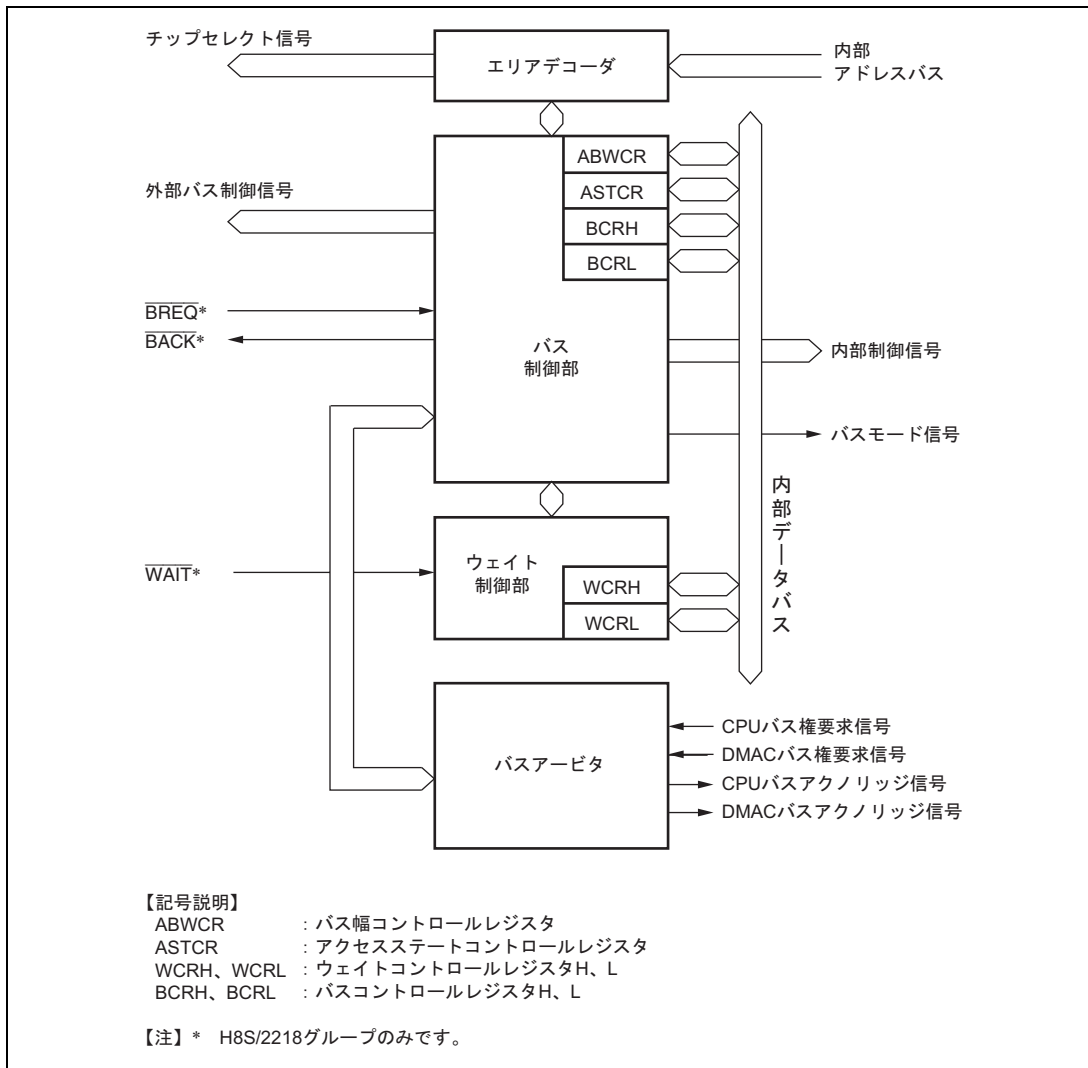


図 6.1 バスコントローラのブロック図

6.2 入出力端子

表 6.1 にバスコントローラの端子構成を示します。

これらの端子は H8S/2218 グループのみです。

表 6.1 端子構成

名称	記号	入出力	機能
アドレスストロープ	AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号。
リード	RD	出力	外部アドレス空間をリードしていることを示すストロープ信号。
ハイライト	HWR	出力	外部アドレス空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロープ信号。
ローライト	LWR	出力	外部アドレス空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロープ信号。
チップセレクト 0~5	CS0~CS5	出力	エリア 0~5 が選択されていることを示すストロープ信号。
ウェイト	WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。
バス権要求	BREQ	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	BACK	出力	バス権を解放したことを示すアクノリッジ信号。

6.3 レジスタの説明

以下にバスコントローラのレジスタ構成を示します。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタH (WCRH)
- ウェイトコントロールレジスタL (WCRL)
- バスコントロールレジスタH (BCRH)
- バスコントロールレジスタL (BCRL)
- 端子機能コントロールレジスタ (PFCR)

6. バスコントローラ (BSC)

6.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。USB および RTC 以外の内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	ABW7* ²	1/0* ¹	R/W	エリア 7~0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。 0 : エリア n を 16 ビットアクセス空間に設定 1 : エリア n を 8 ビットアクセス空間に設定 【注】 n = 7~0
6	ABW6* ²	1/0* ¹	R/W	
5	ABW5	1/0* ¹	R/W	
4	ABW4	1/0* ¹	R/W	
3	ABW3	1/0* ¹	R/W	
2	ABW2	1/0* ¹	R/W	
1	ABW1	1/0* ¹	R/W	
0	ABW0	1/0* ¹	R/W	

【注】 *1 モード 5~7 では 1、モード 4 では 0 となります。H8S/2212 グループではこれらのビットは必ず 1 に設定してください。

*2 エリア 6 には内蔵 USB が、エリア 7 には内蔵 RTC がそれぞれ割り付けられているため必ず ABW7 = ABW6 = 1 に設定してください。

6.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵 USB 以外の内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	AST7*	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。 同時に、ウェイトステートの挿入を許可または禁止します。 0 : エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1 : エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 【注】 n = 7~0
6	AST6*	1	R/W	
5	AST5	1	R/W	
4	AST4	1	R/W	
3	AST3	1	R/W	
2	AST2	1	R/W	
1	AST1	1	R/W	
0	AST0	1	R/W	

【注】 * エリア 6 には内蔵 USB が、エリア 7 には内蔵 RTC がそれぞれ割り付けられているため必ず AST7 = AST6 = 1 に設定してください。

6.3.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、各エリアのプログラムウェイトステート数を選択します。

内蔵 USB 以外の内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

• WCRH

ビット	ビット名	初期値	R/W	説明
7	W71*	1	R/W	エリア7ウェイトコントロール1、0
6	W70*	1	R/W	ASTCRのAST7=1のとき、エリア7をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
5	W61*	1	R/W	エリア6ウェイトコントロール1、0
4	W60*	1	R/W	ASTCRのAST6=1のときでエリア6をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
3	W51	1	R/W	エリア5ウェイトコントロール1、0
2	W50	1	R/W	ASTCRのAST5=1のとき、エリア5をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
1	W41	1	R/W	エリア4ウェイトコントロール1、0
0	W40	1	R/W	ASTCRのAST4=1のとき、エリア4をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入

【注】 * エリア6には内蔵USBが、エリア7には内蔵RTCがそれぞれ割り付けられているため必ずW71=W70=0、W61=W60=0に設定してください。

6. バスコントローラ (BSC)

• WCRL

ビット	ビット名	初期値	R/W	説明
7 6	W31 W30	1 1	R/W R/W	<p>エリア3ウェイトコントロール1、0</p> <p>ASTCRのAST3=1のとき、エリア3をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
5 4	W21 W20	1 1	R/W R/W	<p>エリア2ウェイトコントロール1、0</p> <p>ASTCRのAST2=1のとき、エリア2をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
3 2	W11 W10	1 1	R/W R/W	<p>エリア1ウェイトコントロール1、0</p> <p>ASTCRのAST1=1のとき、エリア1をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
1 0	W01 W00	1 1	R/W R/W	<p>エリア0ウェイトコントロール1、0</p> <p>ASTCRのAST0=1のとき、エリア0をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>

6.3.4 バスコントロールレジスタ H (BCRH)

BCRH はアイドルサイクル挿入の許可または禁止、エリア 0 のメモリインタフェースの選択を行います。
H8S/2212 グループでは、本レジスタは初期値のままとし、ライトはしないでください。

ビット	ビット名	初期値	R/W	説明
7	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない 1: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する
6	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない 1: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する
5	BRSTRM	0	R/W	バースト ROM イネーブル エリア 0 をバースト ROM インタフェースとするかを選択します。 0: エリア 0 は基本バスインタフェース 1: エリア 0 はバースト ROM インタフェース
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0: バーストサイクルは 1 ステート 1: バーストサイクルは 2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: バーストアクセスは最大 4 ワード 1: バーストアクセスは最大 8 ワード
2~0	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

6. バスコントローラ (BSC)

6.3.5 バスコントロールレジスタ L (BCRL)

BCRL は外部バス解放状態のプロトコルの選択、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

本レジスタで選択される機能は H8S/2218 グループのみ有効です。H8S/2212 グループでは本レジスタをライトしないでください。

ビット	ビット名	初期値	R/W	説明
7	BRLE*	0	R/W	バスリリズイネーブル 外部バス権の解放を許可または禁止します。 0 : 外部バス権の解放を禁止。 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ は入出力ポートとして使用可 1 : 外部バス権の解放を許可
6	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
3	-	1	R/W	リザーブビット ライトするときは 1 をライトしてください。
2、1	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。
0	WAITE*	0	R/W	WAIT 端子イネーブル $\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。 0 : WAIT 端子によるウェイト入力を禁止。 $\overline{\text{WAIT}}$ 端子は入出力ポートとして使用可 1 : WAIT 端子によるウェイト入力を許可

【注】 * H8S/2212 グループでは 0 にしてください。

6.3.6 端子機能コントロールレジスタ (PFCR)

PFCR は外部拡張モード時のアドレス出力制御を行います。

E6000 エミュレータで USB を使用する場合は、AE3 ~ AE0 = 0010 などに設定して A8 と A9 の出力を許可してください。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	R/W	リザーブビット ライトするときは0をライトしてください。
3	AE3	1 / 0*	R/W	アドレス出力イネーブル3~0 ROMなし拡張モードとROMありモード時のアドレス出力A8~A23の許可/禁止を選択します。アドレス出力を許可した端子は、対応するDDRに関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応するDDRを1にセットするとポート出力となります。 0000 : A8~A23出力を禁止 (モード6、7の初期値) 0001 : A8出力を許可。A9~A23出力を禁止 0010 : A8、A9出力を許可。A10~A23出力を禁止 0011 : A8~A10出力を許可。A11~A23出力を禁止 0100 : A8~A11出力を許可。A12~A23出力を禁止 0101 : A8~A12出力を許可。A13~A23出力を禁止 0110 : A8~A13出力を許可。A14~A23出力を禁止 0111 : A8~A14出力を許可。A15~A23出力を禁止 1000 : A8~A15出力を許可。A16~A23出力を禁止 1001 : A8~A16出力を許可。A17~A23出力を禁止 1010 : A8~A17出力を許可。A18~A23出力を禁止 1011 : A8~A18出力を許可。A19~A23出力を禁止 1100 : A8~A19出力を許可。A20~A23出力を禁止 1101 : A8~A20出力を許可。A21~A23出力を禁止 (モード4、5の初期値) 1110 : A8~A21出力を許可。A22、A23出力を禁止 1111 : A8~A23出力を許可
2	AE2	1 / 0*	R/W	
1	AE1	0	R/W	
0	AE0	1 / 0*	R/W	

【注】 * モード4、5では1、モード6、7では0となります。

6.4 バス制御

6.4.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 0 ~ 7 の 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。また、ノーマルモード*では、エリア 0 の一部の、64K バイトのアドレス空間を制御します。図 6.2 にメモリマップの概要を示します。

エリア 0 ~ 5 ごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS5}$) を出力することができます。

【注】 * 本 LSI では使用できません。

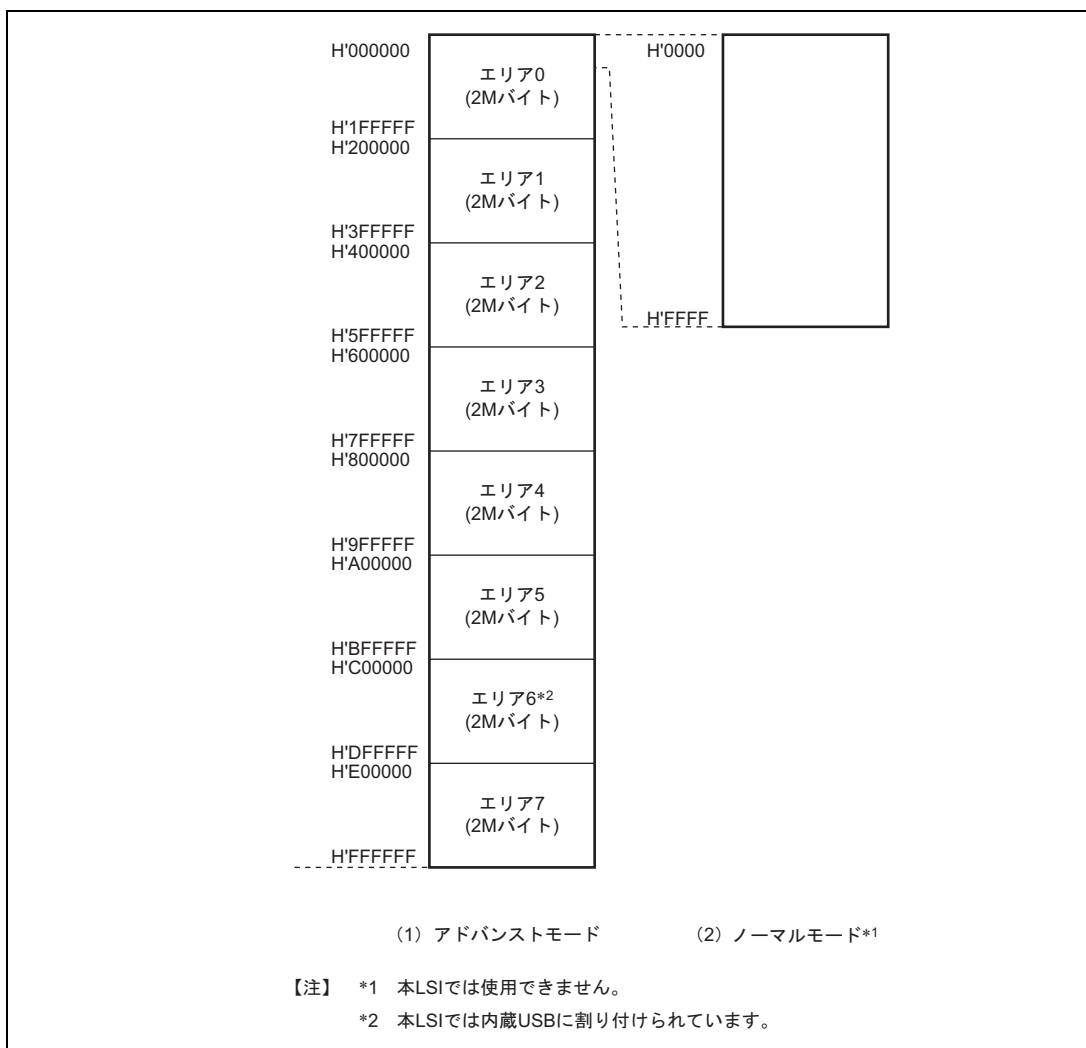


図 6.2 エリア分割の様子

6.4.2 バス仕様

外部アドレス空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。なお、内蔵している USB および RTC 以外のメモリ、内部 I/O レジスタのバス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。本 LSI ではエリア 6 およびエリア 7 を 8 ビットバスモードに設定してください。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

本 LSI ではエリア 6 およびエリア 7 を 3 ステートアクセス空間に設定してください。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

本 LSI ではエリア 6 およびエリア 7 のプログラムウェイトを 0 ステートに設定してください。

表 6.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH、WCRL		バス仕様 (基本バスインタフェース)		
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0			16	2	0
						1
	1	0	1			
		1	0		2	
	1		3			
1	0			8	2	0
						1
	1	0	1			
		1	0		2	
	1		3			

6.4.3 各エリアのバスインタフェース

各エリアの初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「6.6 基本バスインタフェース」、「6.7 バースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。なお、H8S/2212 グループでは、常に ROM 有効であり、外部拡張モードはありません。

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部アドレス空間となります。ROM 有効拡張モードでは、内蔵 ROM を除いた空間が外部アドレス空間となります。

エリア 0 の外部アドレス空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

(2) エリア 1~6

エリア 1~6 は、外部拡張モードのとき、エリア 1~6 のすべての空間が外部アドレス空間となります。エリア 1~5 の外部アドレス空間をアクセスするとき、それぞれ、 $\overline{CS1}$ ~ $\overline{CS5}$ 端子信号を出力することができます。エリア 1~5 は、基本バスインタフェースのみを使用することができます。エリア 6 は、内蔵 USB 専用です。詳細は「第 14 章 ユニバーサルシリアルバス (USB)」を参照してください。

(3) エリア 7

エリア 7 は内蔵 RAM、および内部 I/O レジスタを含んでおり、外部拡張モードのとき、リザーブ領域 (詳細は「3.4 各動作モードのアドレスマップ」) 内蔵 RAM、および内部 RTC を除く I/O レジスタ空間を除いた空間が外部アドレス空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部アドレス空間になります。エリア 7 は、基本バスインタフェースのみを使用することができます。

6.4.4 チップセレクト信号

H8S/2218 グループは、エリア 0~5 に対して、それぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS5}$) を出力することができます。当該エリアの外部アドレス空間をアクセスしたとき、Low レベルを出力します。図 6.3 に \overline{CSn} ($n=0 \sim 5$) 信号出力タイミング例を示します。 \overline{CSn} 信号出力の許可または禁止は各 \overline{CSn} 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

ROM 無効拡張モードでは、 $\overline{CS0}$ 端子は、パワーオンリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS5}$ 端子はパワーオンリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS5}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。

ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS5}$ 端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS0} \sim \overline{CS5}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。詳細は「第 8 章 I/O ポート」を参照してください。

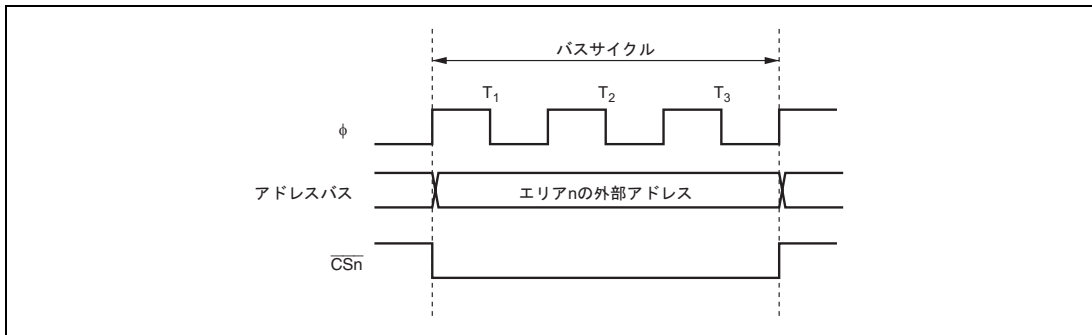


図 6.3 \overline{CSn} 信号出力タイミング ($n=0 \sim 5$)

6.5 基本動作タイミング

本 CPU は、システムクロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートとよびます。メモリサイクルまたはバスサイクルは、1、2、または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

6.5.1 内蔵メモリ (ROM、RAM) アクセスタイミング

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 6.4 に、端子状態を図 6.5 に示します。

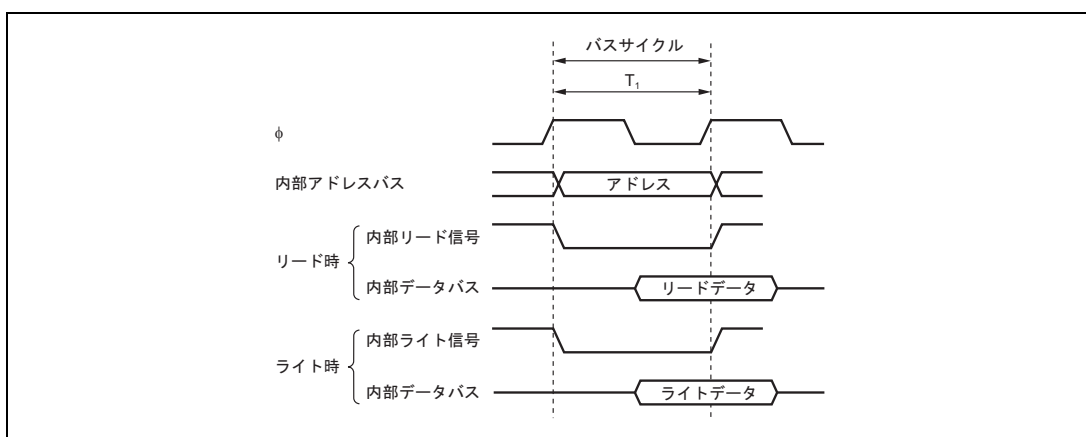
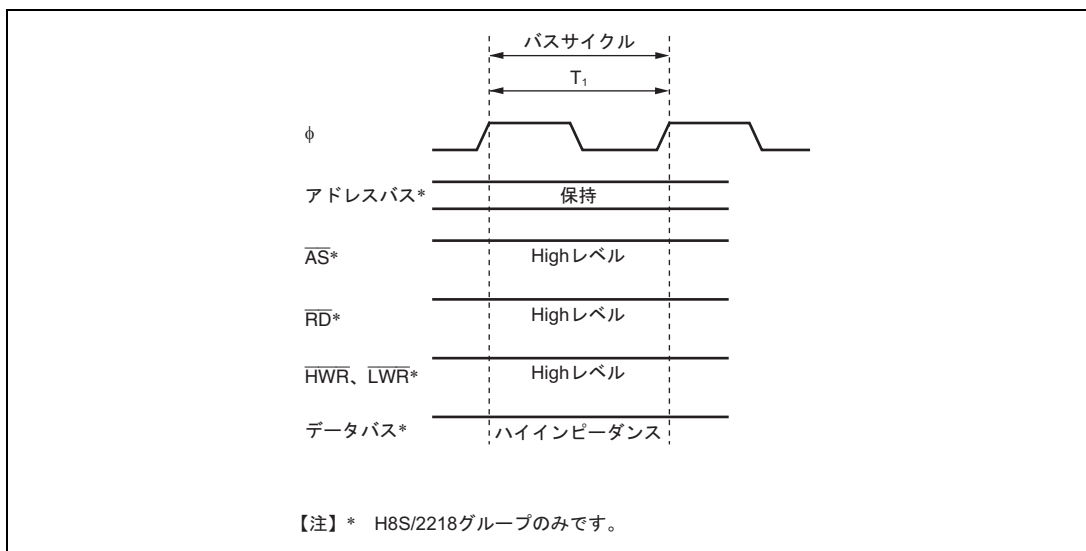


図 6.4 内蔵メモリアクセスサイクル



【注】 * H8S/2218グループのみです。

図 6.5 内蔵メモリアクセス時の端子状態

6.5.2 内蔵周辺モジュールアクセスタイミング

内蔵している USB、RTC 以外の内蔵周辺モジュールのアクセスは 2 ステートで行われます。このとき、データバス幅は 8 ビットまたは 16 ビットで内部 I/O レジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図 6.6、端子状態を図 6.7 に示します。

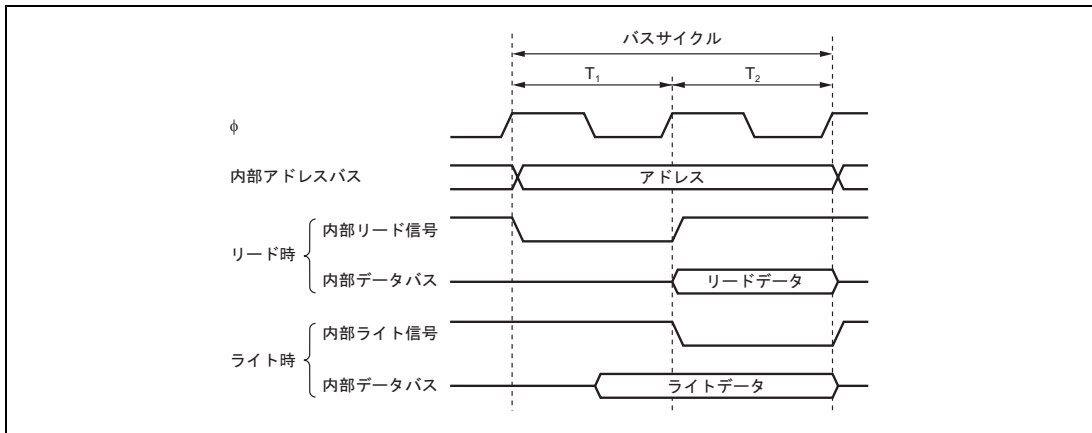


図 6.6 内蔵周辺モジュールアクセスサイクル

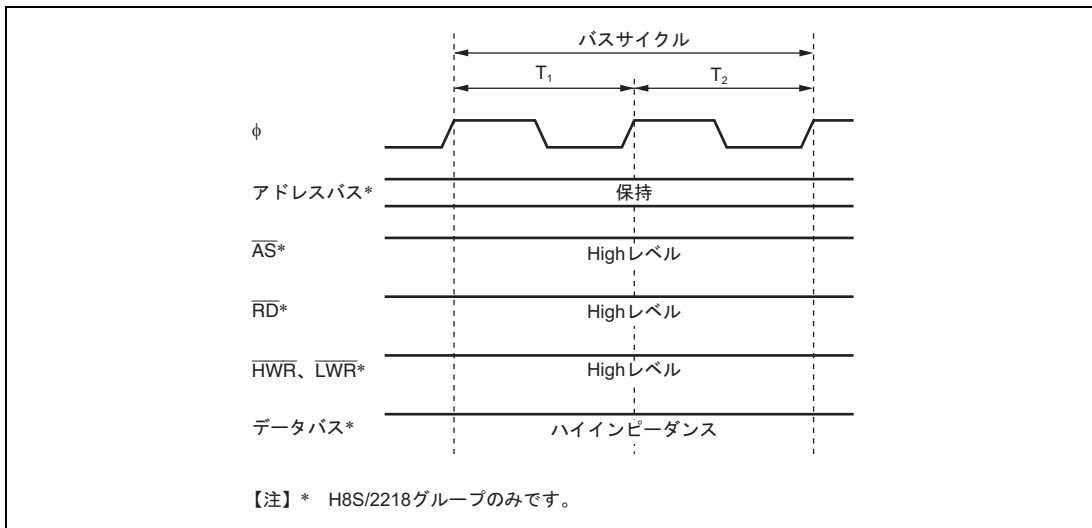


図 6.7 内蔵周辺モジュールアクセス時の端子状態

6. バスコントローラ (BSC)

6.5.3 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8ビットまたは16ビット、バスサイクルは2ステートまたは3ステートです。3ステートアクセスではウェイトステートを挿入することができます。詳細は「6.6.3 基本タイミング」を参照してください。

6.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAMなどの直結が可能です。

6.6.1 データサイズとデータアライメント (H8S/2218 グループのみ)

CPUおよびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス (D15～D8) を使用するか、下位側データバス (D7～D0) を使用するかを、アクセスするエリアのバス仕様 (8ビットアクセス空間か16ビットアクセス空間) とデータサイズによって制御します。

(1) 8ビットアクセス空間

図6.8に8ビットアクセス空間のデータアライメント制御を示します。8ビットアクセス空間では、常に上位側データバス (D15～D8) を使ってアクセスを行います。1回にアクセスできるデータ量は1バイトで、ワードアクセスでは2回、ロングワードアクセスは4回のバイトアクセスを実行します。

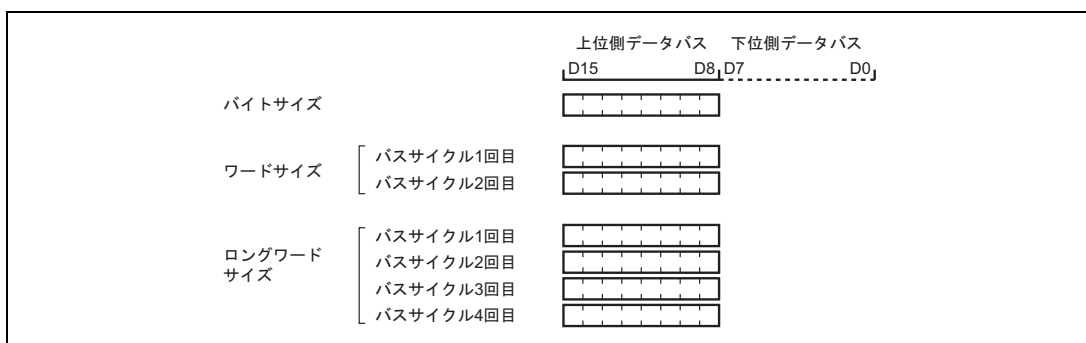


図 6.8 アクセスサイズとデータアライメント制御 (8ビットアクセス空間)

(2) 16ビットアクセス空間

図6.9に16ビットアクセス空間のデータアライメント制御を示します。16ビットアクセス空間では、上位側データバス (D15～D8) および下位側データバス (D7～D0) を使ってアクセスを行います。1回にアクセスできるデータ量は1バイトまたは1ワードで、ロングワードアクセスは、ワードアクセスを2回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

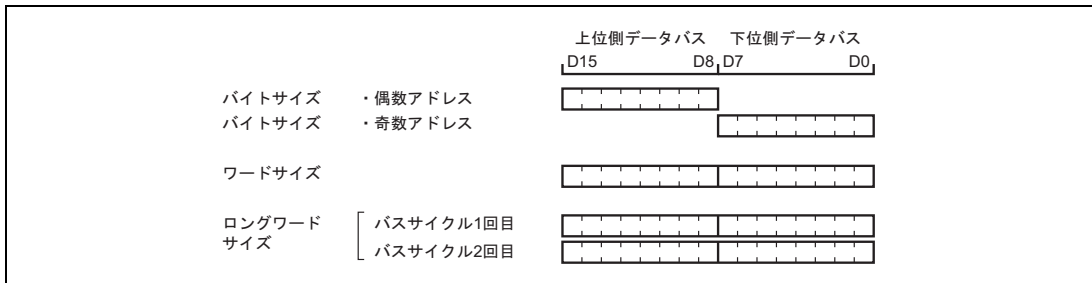


図 6.9 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.6.2 有効ストロープ

表 6.3 に H8S/2218 グループにおけるアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

H8S/2212 グループでは \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 信号はありません。

表 6.3 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15 ~ D8)	データバス下位 (D7 ~ D0)
8 ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}	有効	Hi-Z
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数	\overline{RD}	無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 Hi-Z：ハイインピーダンス状態です。

無効：入力状態であり、入力値は無視されます。

6. バスコントローラ (BSC)

6.6.3 基本タイミング

(1) 8ビット2ステートアクセス空間

図 6.10 に H8S/2218 グループにおける 8ビット2ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することはできません。

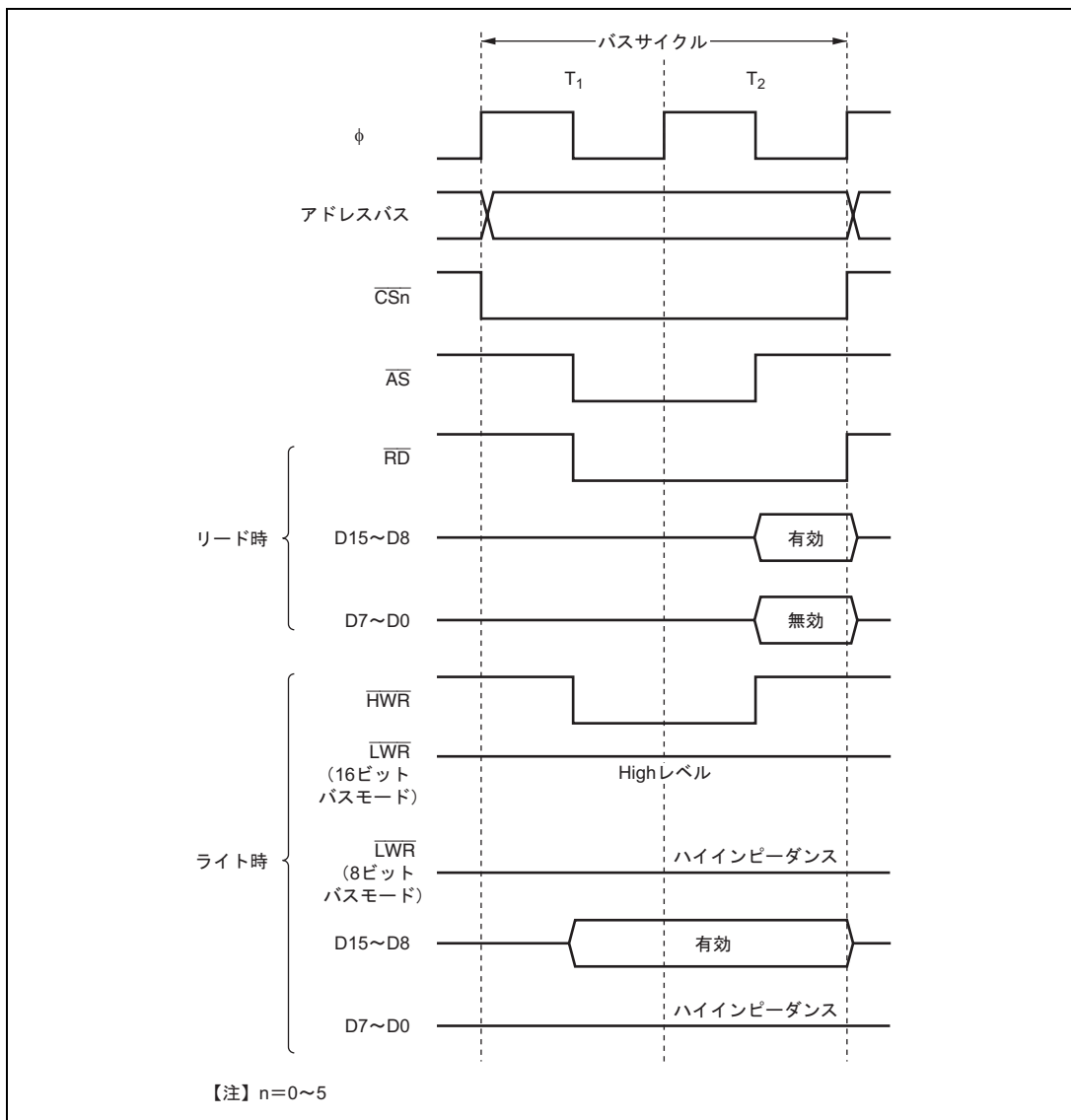


図 6.10 8ビット2ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間 (エリア6以外)

図 6.11 に H8S/2218 グループの 8ビット3ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することができます。

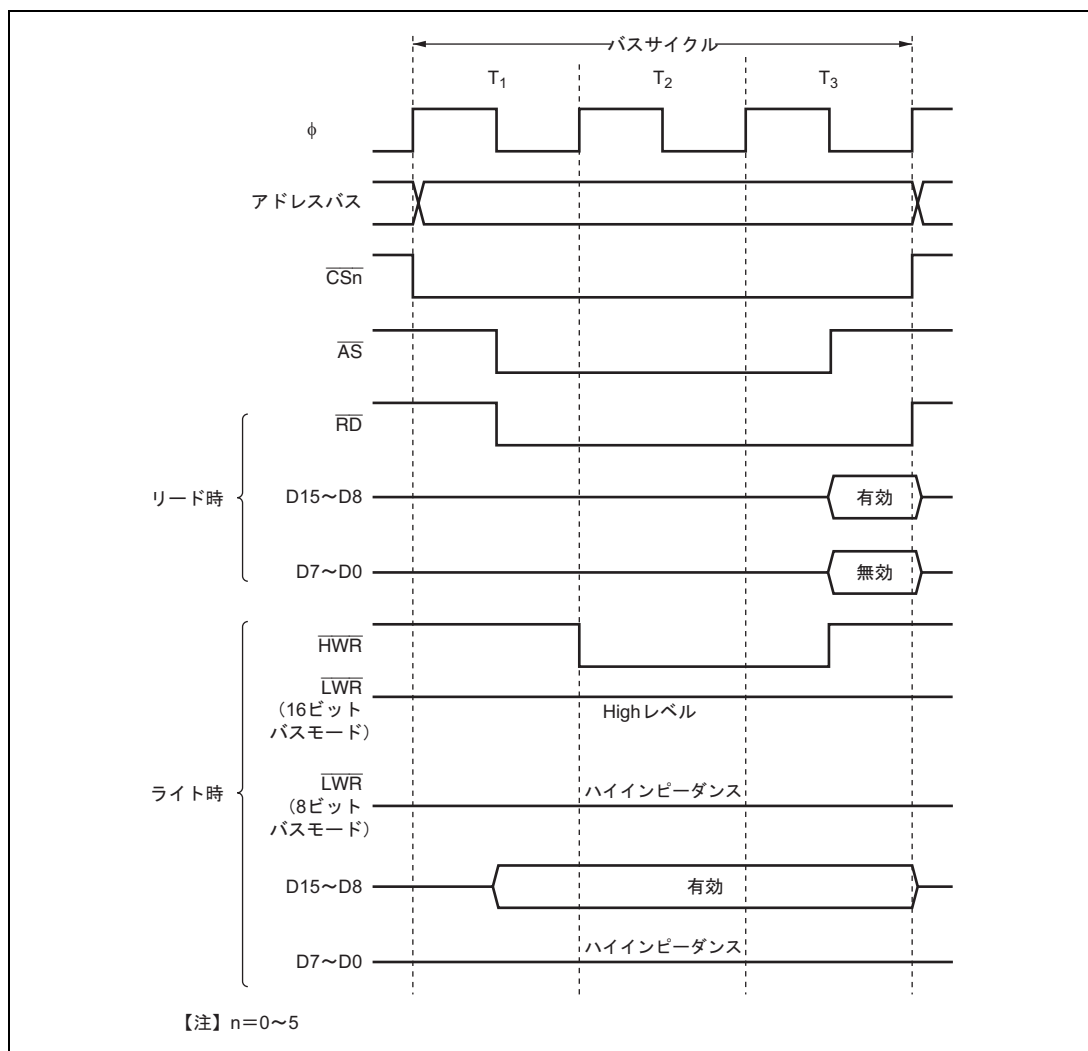


図 6.11 8ビット3ステートアクセス空間のバスタイミング (エリア6以外)

6. バスコントローラ (BSC)

(3) 8ビット3ステートアクセス空間 (エリア6およびRTC)

図 6.12 にエリア6およびRTC 領域 (アドレス = H'FFFF40 ~ H'FFFF5F) のバスタイミングを示します。これらの領域をアクセスするとき、データバスは使用できません。

ウェイトステートを挿入することはできません。

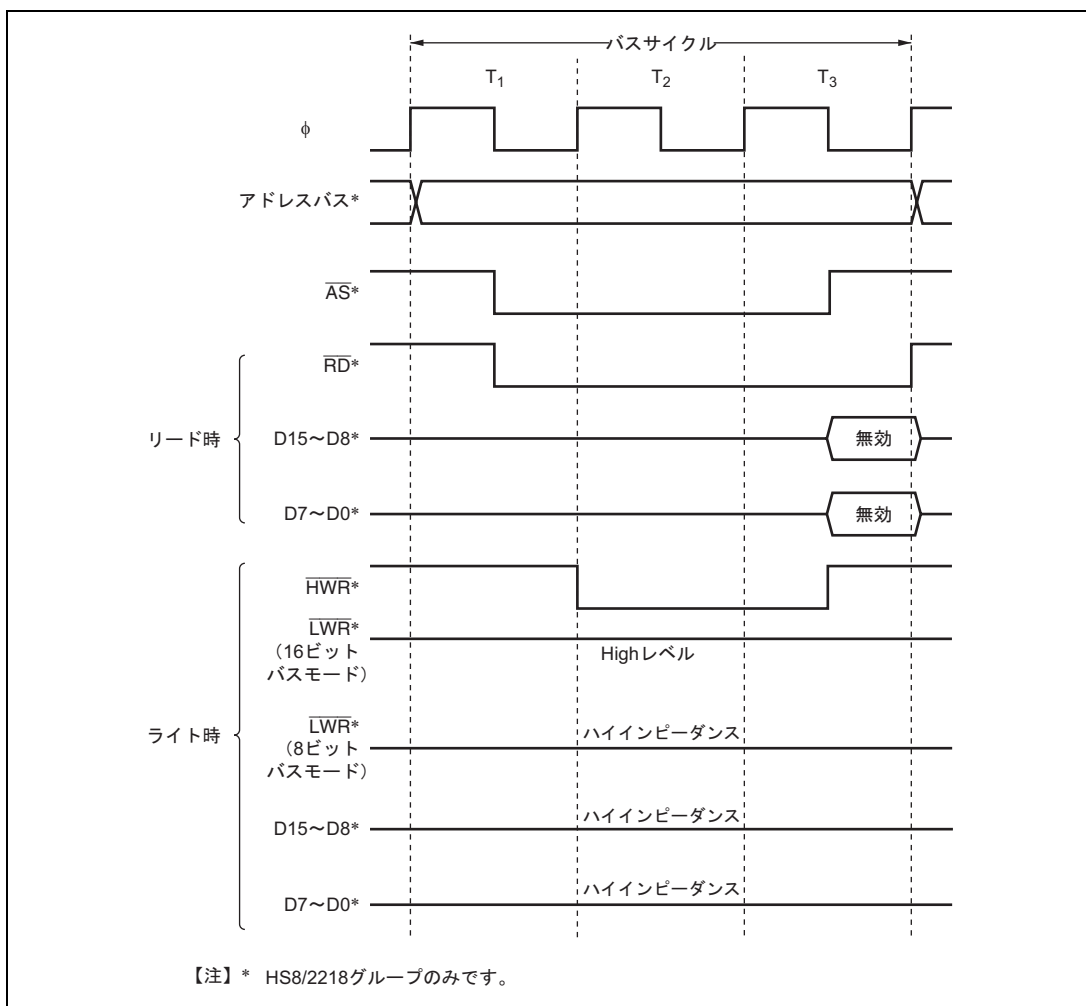


図 6.12 エリア6およびRTC のバスタイミング

(4) 16ビット2ステートアクセス空間

図 6.13~図 6.15 に H8S/2218 グループでの 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。

ウェイトステートを挿入することはできません。

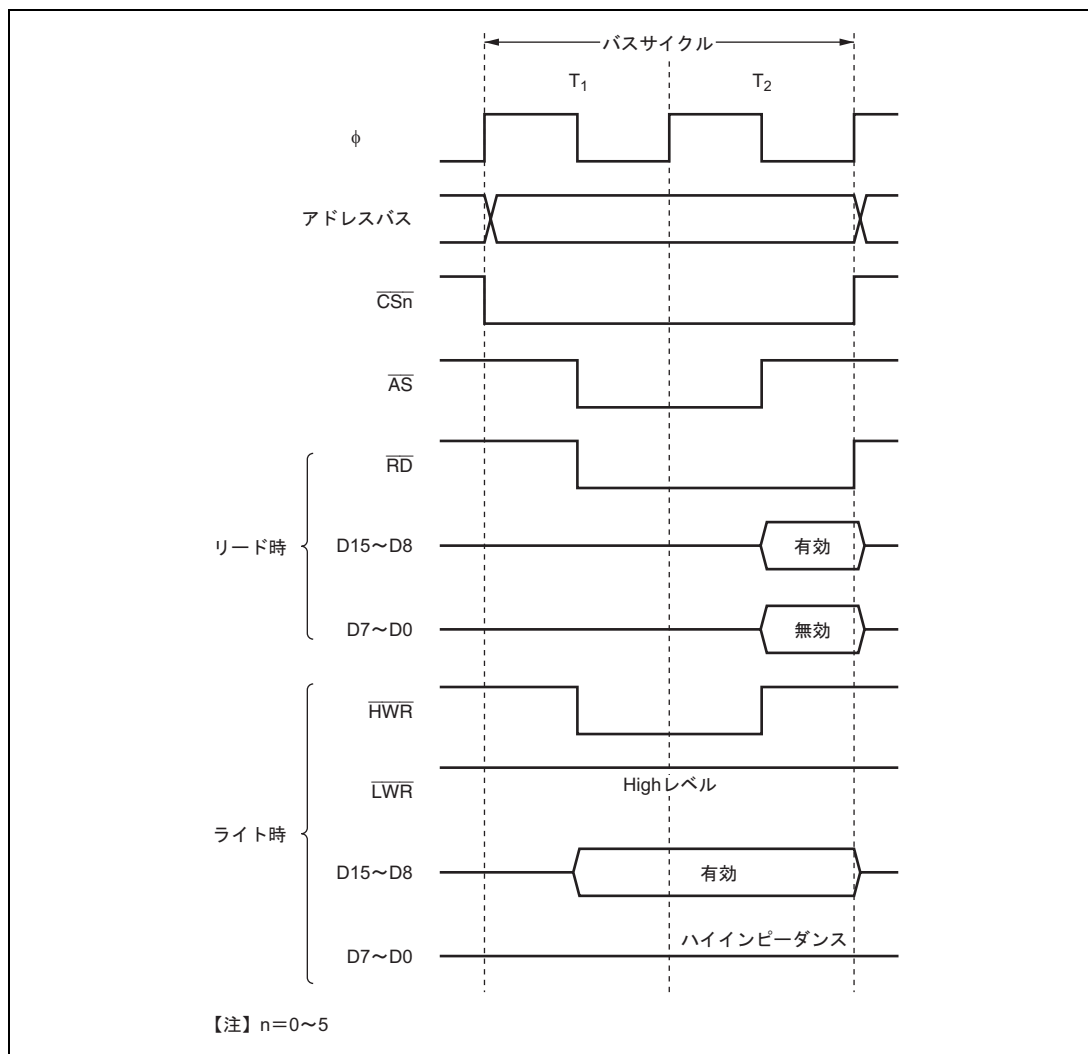


図 6.13 16 ビット 2 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

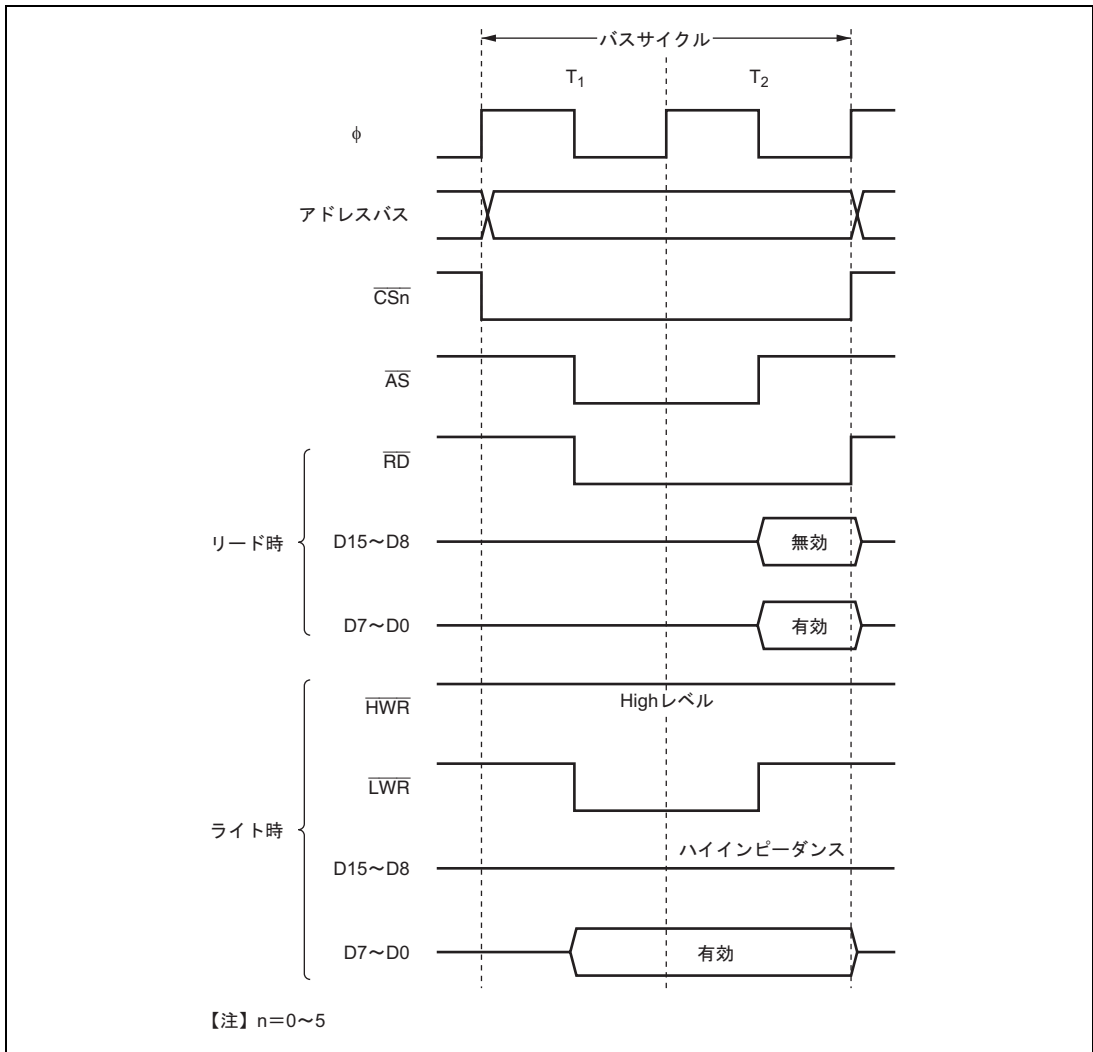


図 6.14 16 ビット 2 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

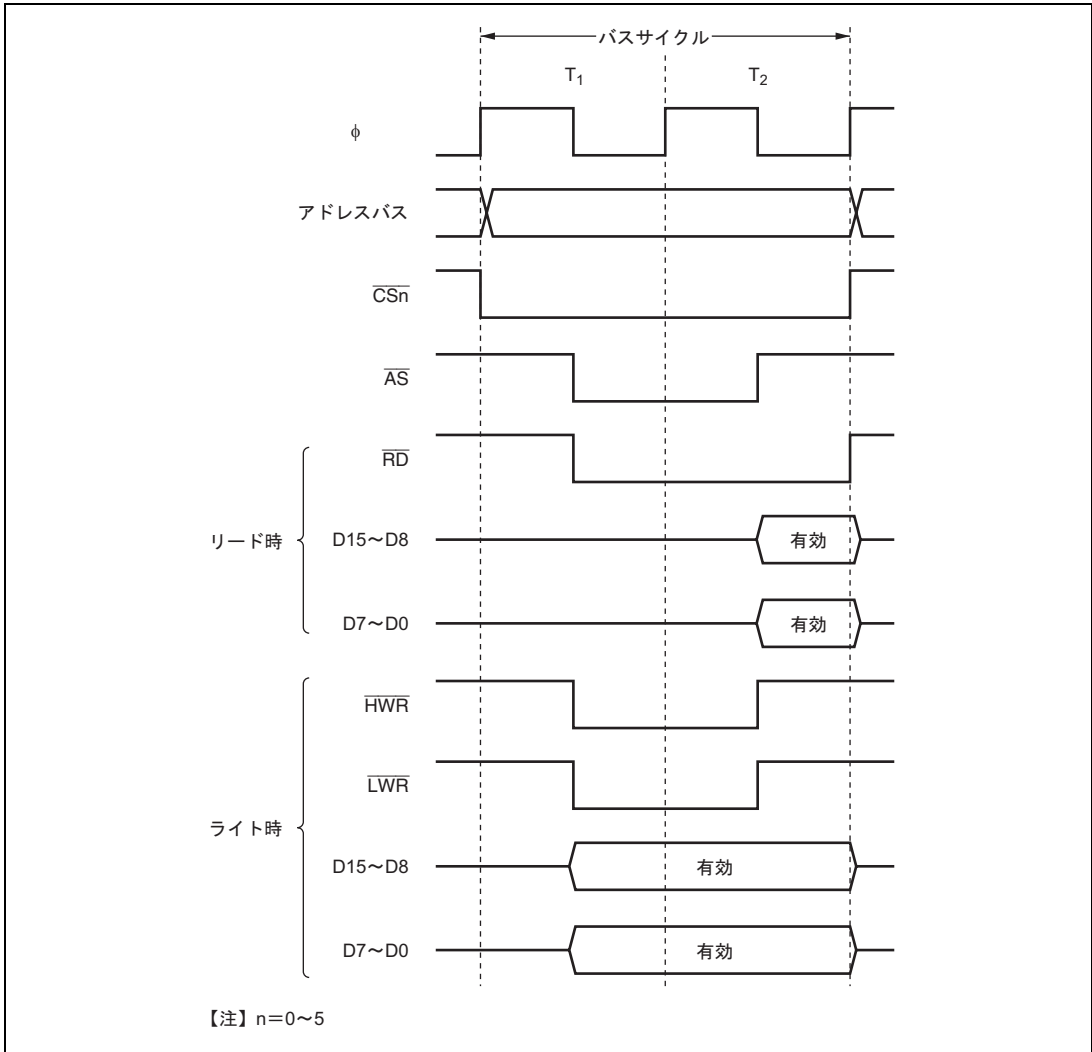


図 6.15 16 ビット 2 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

6. バスコントローラ (BSC)

(5) 16 ビット 3 ステートアクセス空間

図 6.16～図 6.18 に H8S/2218 グループの 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することができます。

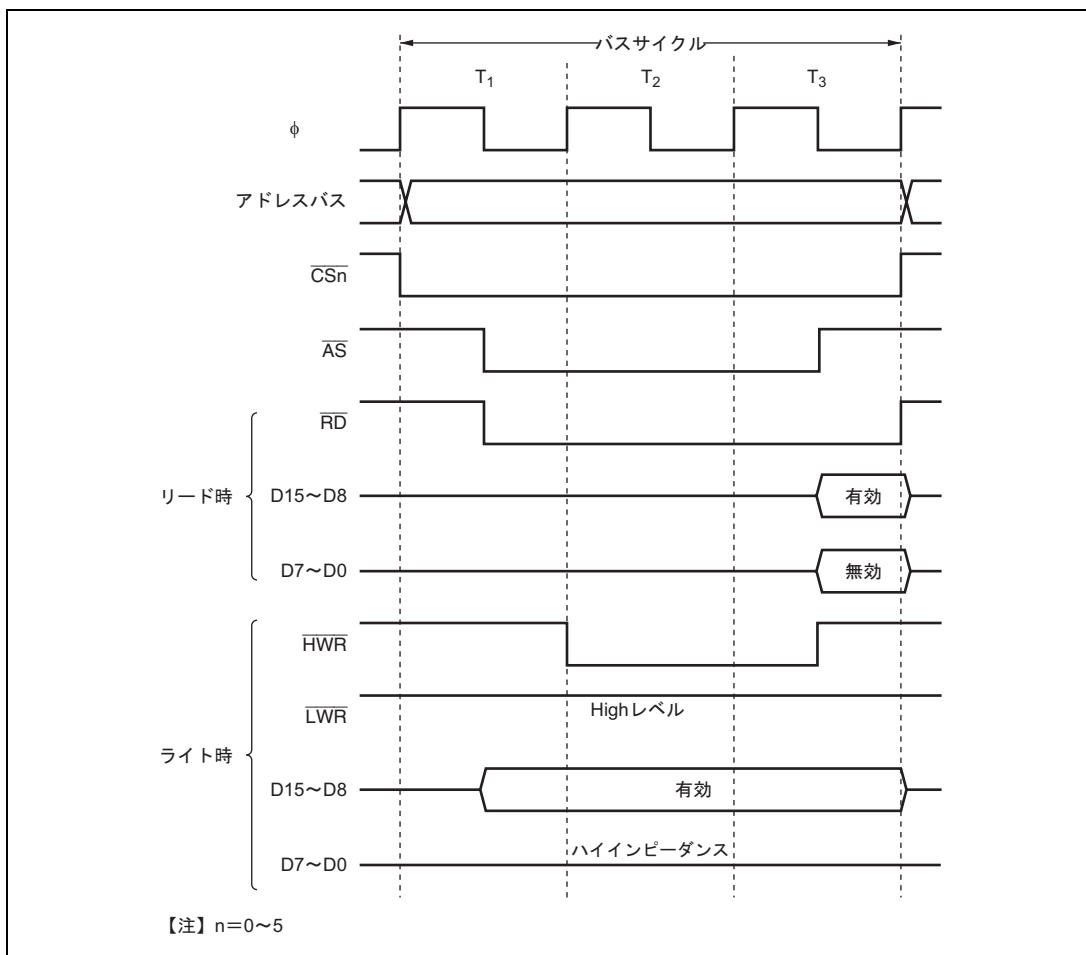


図 6.16 16 ビット 3 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

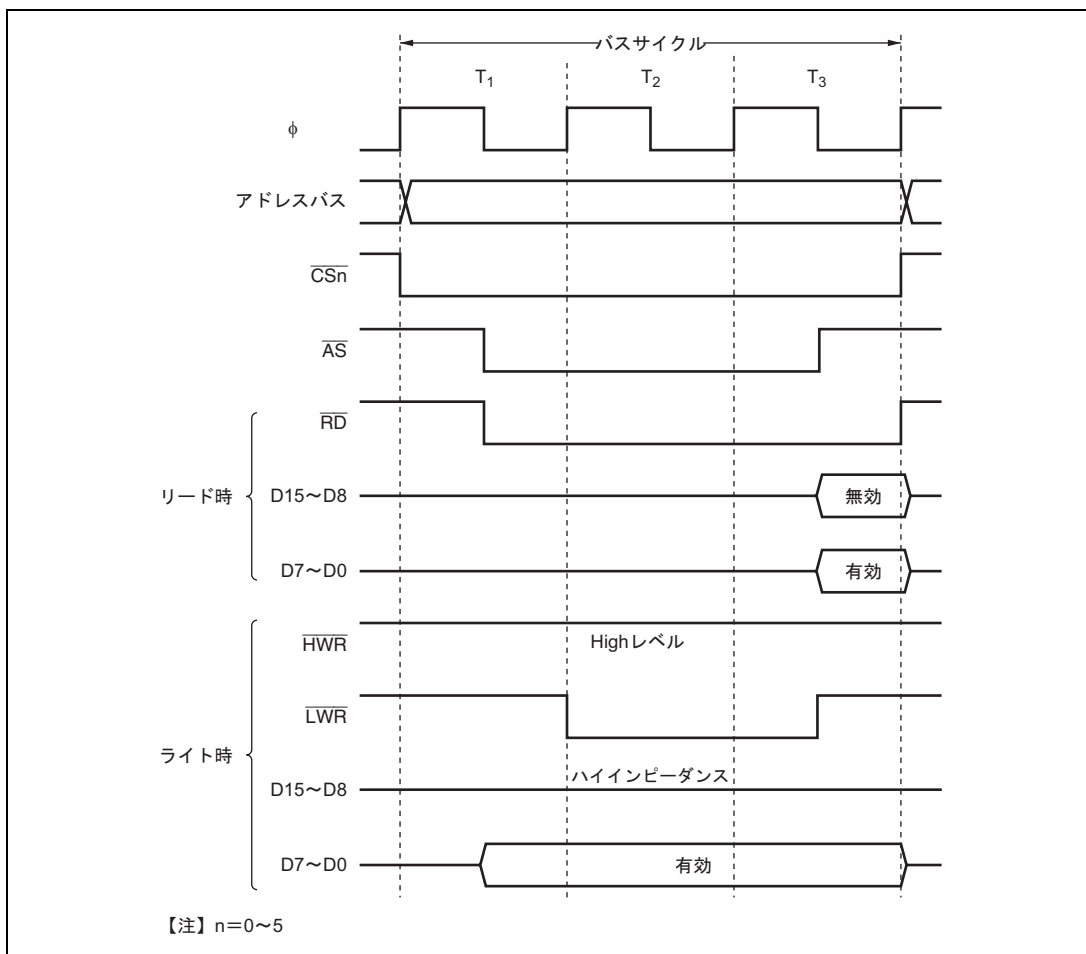


図 6.17 16 ビット 3 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

6. バスコントローラ (BSC)

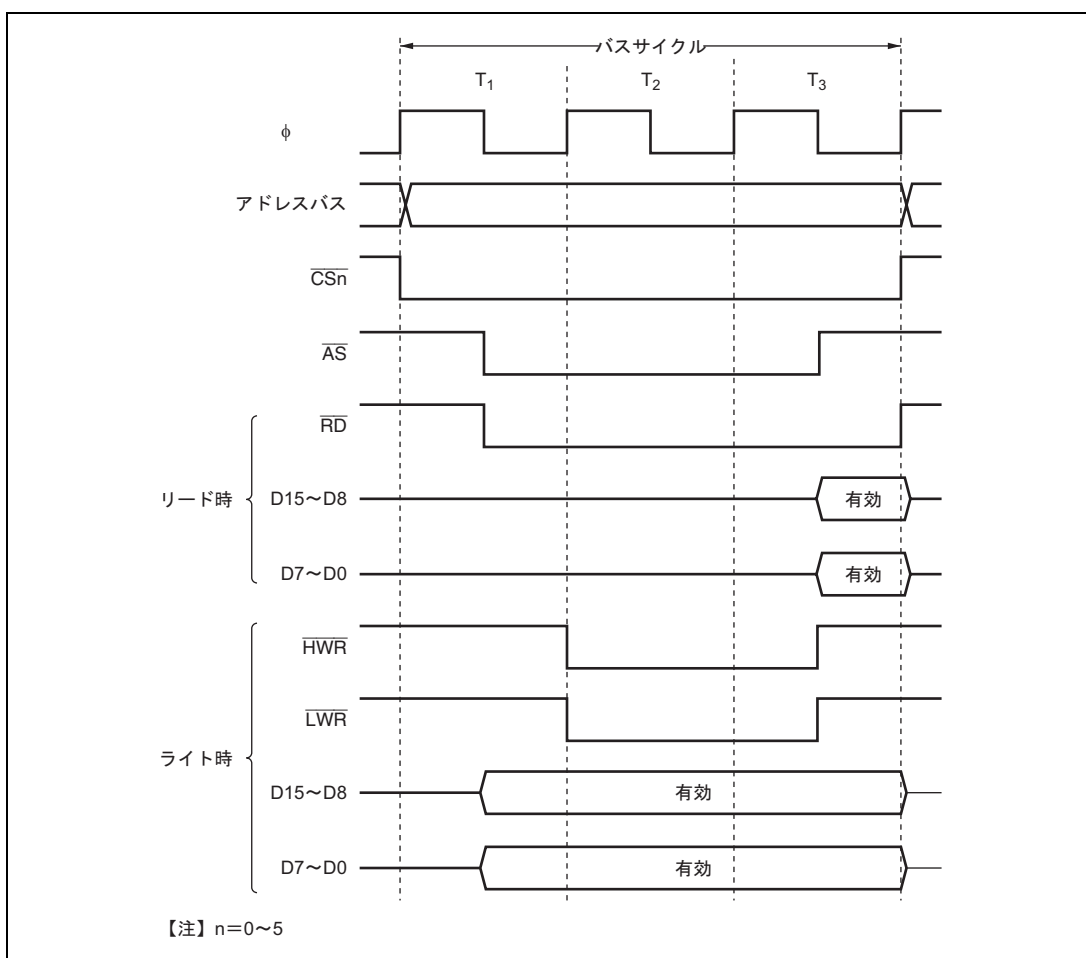


図 6.18 16 ビット 3 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

6.6.4 ウェイト制御

本 LSI は、外部アドレス空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

H8S/2218 グループでは BCRH の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力があります。この状態で、外部アドレス空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの ϕ の立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

図 6.19 にウェイトステート挿入のタイミング例を示します。

H8S/2212 グループでは BCRH の WAITE ビットを 1 にしないでください。

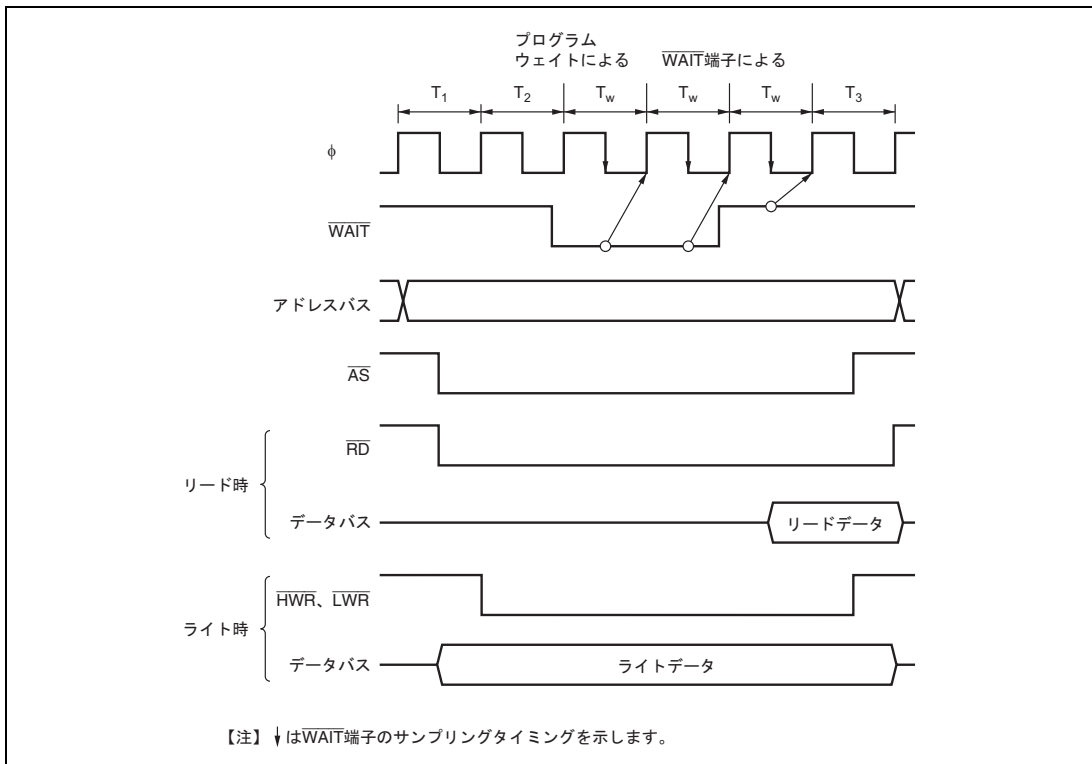


図 6.19 ウェイトステート挿入タイミング例

6.7 バースト ROM インタフェース

H8S/2218 グループでは、エリア 0 の外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.7.1 基本タイミング

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.20、図 6.21 に示します。

図 6.20 は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.21 は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

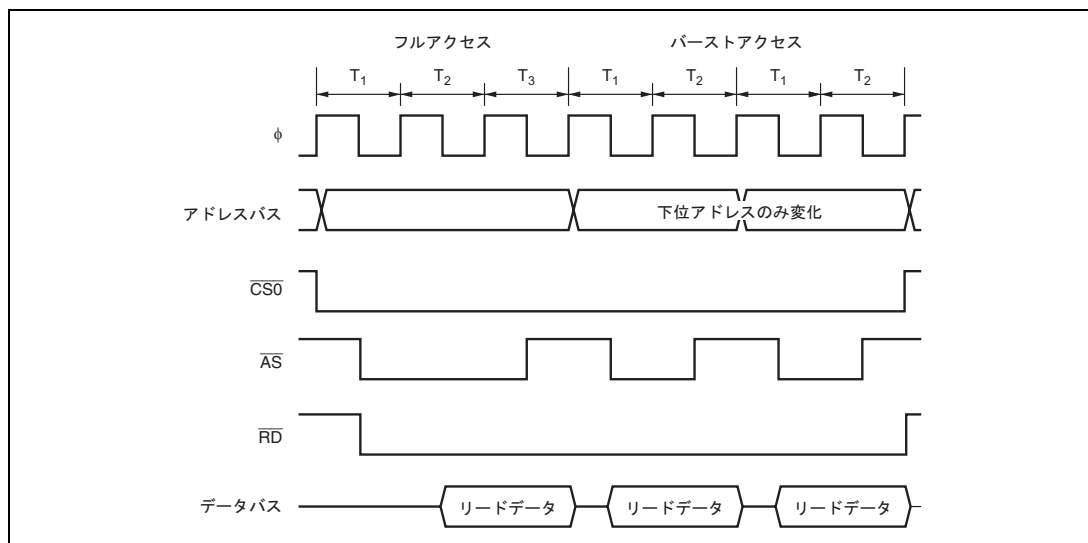


図 6.20 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)

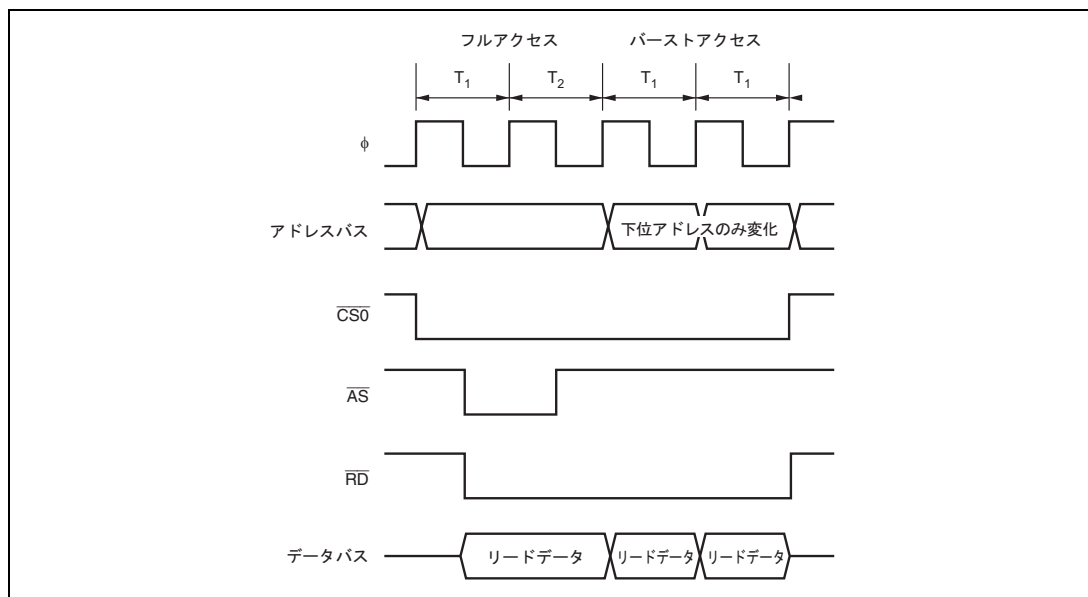


図 6.21 バースト ROM アクセスタイミング例 (AST0=BRSTS1=0の場合)

6.7.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、が可能です。「6.6.4 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

6.8 アイドルサイクル

H8S/2218 グループは外部アドレス空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_1) を1ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きいROMなどと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.22 に動作例を示します。バスサイクル A は、出力フローティング時間の大きいROMからのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

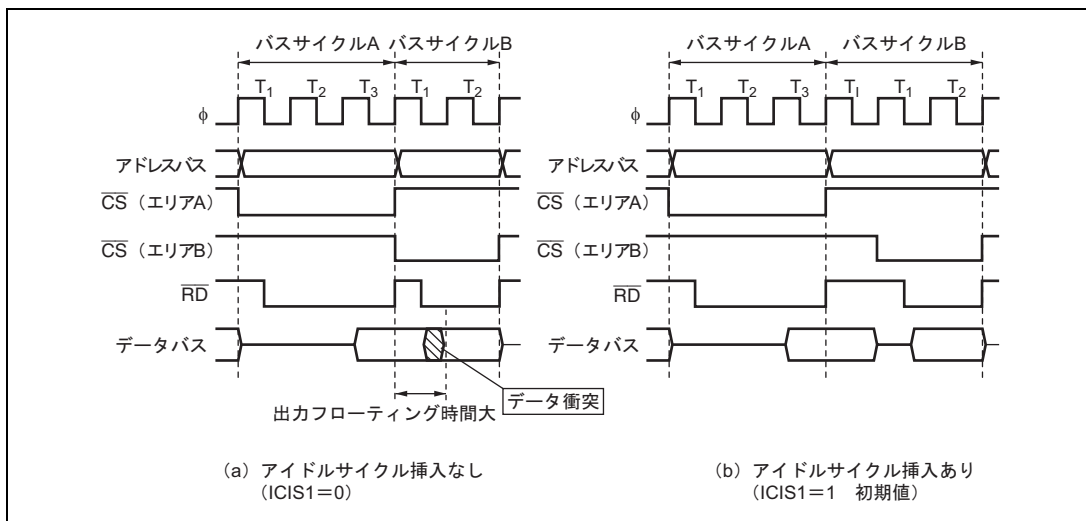


図 6.22 アイドルサイクル動作例 (1)

(2) リード後のライト

BCRHのICIS0ビットを1にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.23 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

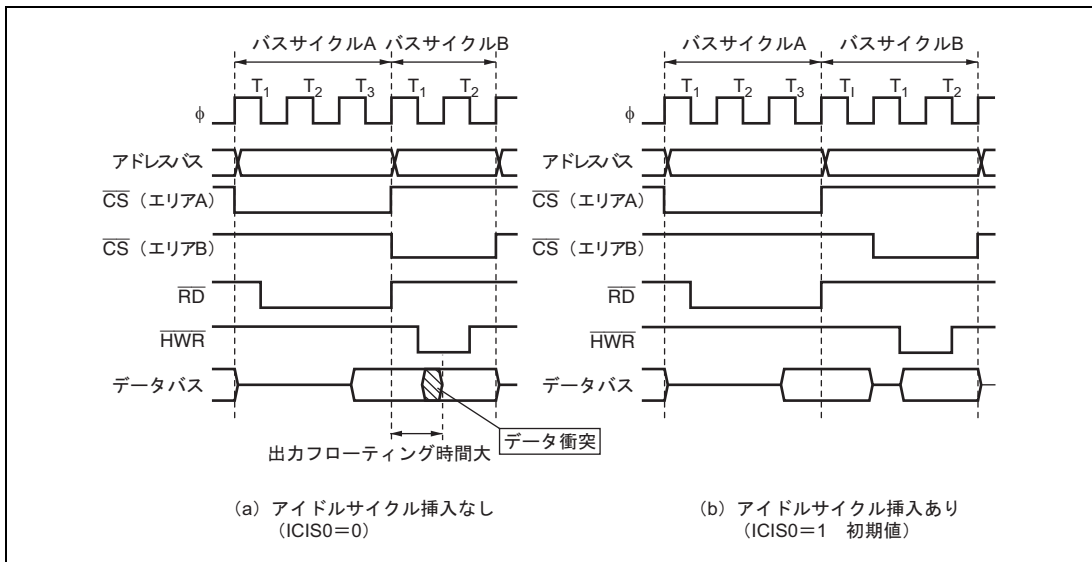


図 6.23 アイドルサイクル動作例 (2)

6. バスコントローラ (BSC)

(3) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 6.24 に例を示します。このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

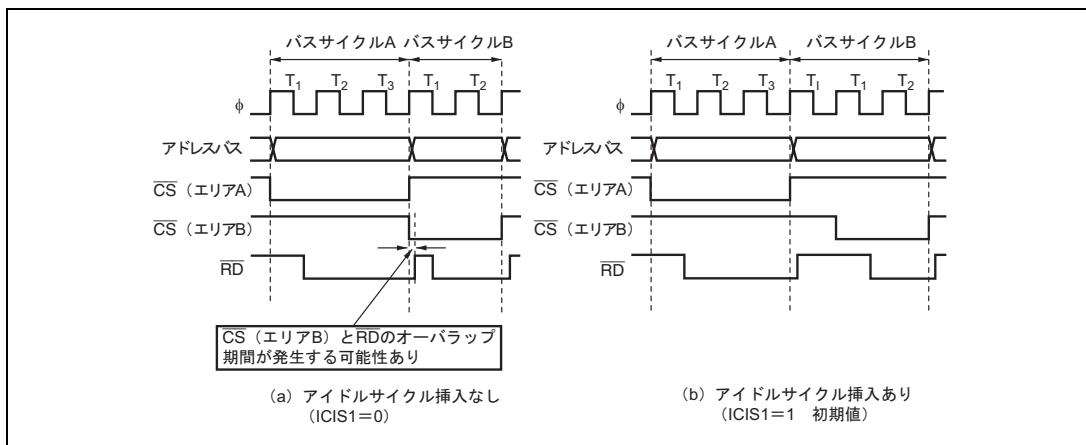


図 6.24 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

アイドルサイクルでの端子状態を表 6.4 に示します。

表 6.4 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
\overline{CS}_n	High レベル
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{HWR}	High レベル
\overline{LWR}	High レベル

6.9 バス解放

H8S/2218 グループは外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しないかぎり、内部バスマスタは動作を継続します。

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで、 $\overline{\text{BACK}}$ 端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとすると、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求と外部アクセスをが同時に発生したときの優先順位：

(高) 外部バス権 > 内部バスマスタの外部アクセス (低)

外部バス権解放状態での端子状態を表 6.5 に示します。

H8S/2212 グループでは BCRL の BRLE ビットを 1 にセットしないでください。

表 6.5 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{\text{CSn}}$	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
$\overline{\text{HWR}}$	ハイインピーダンス
$\overline{\text{LWR}}$	ハイインピーダンス

6. バスコントローラ (BSC)

バス権解放状態への遷移タイミングを図 6.25 に示します。

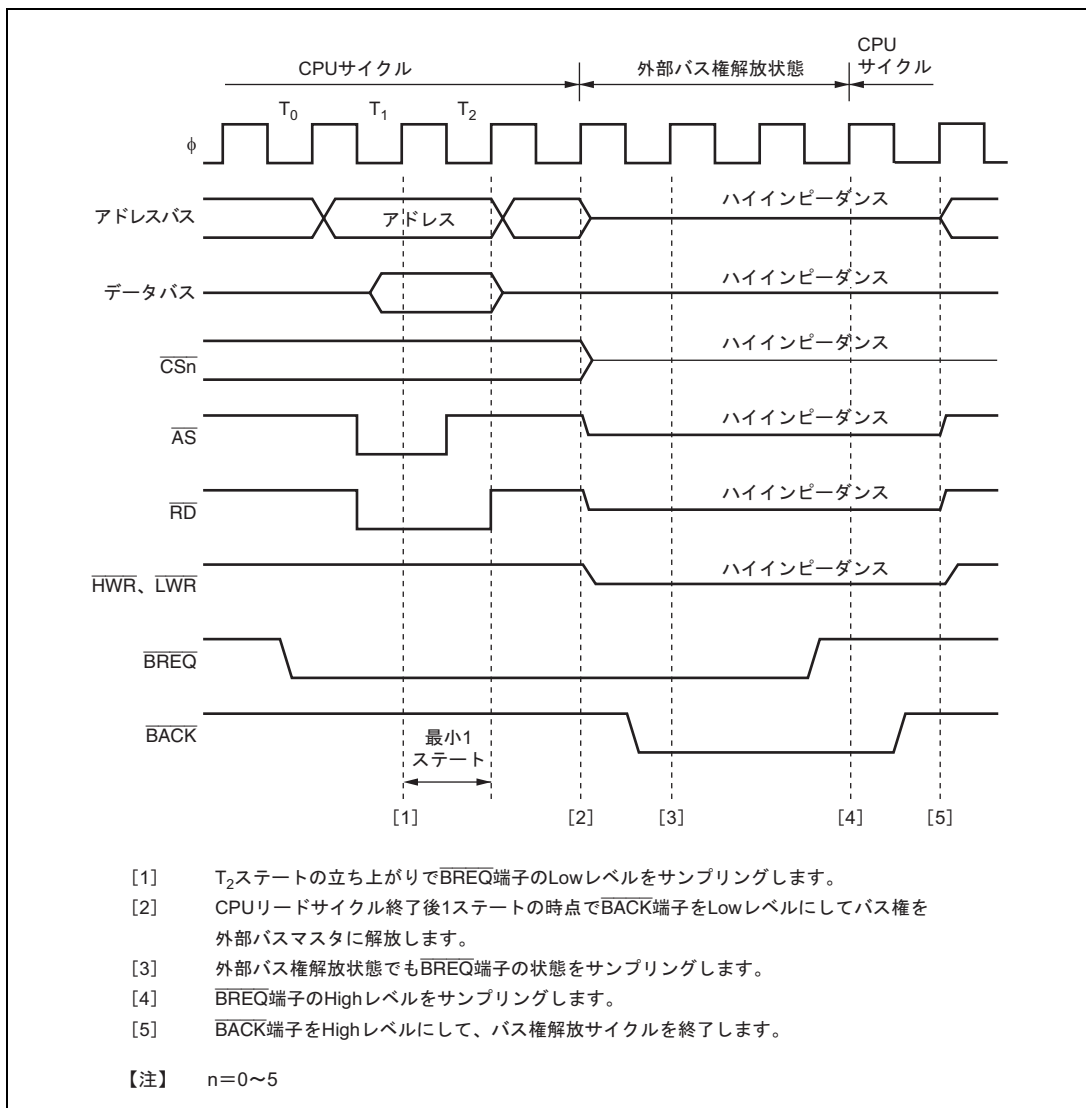


図 6.25 バス権解放状態遷移タイミング

6.9.1 バス権解放の使用上の注意事項

MSTPCR を H'FFFFFF に設定し、かつスリープモードに遷移した状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR には H'FFFFFF を設定しないでください。

6.10 バスアービトレーション

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC の 2 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.10.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DMAC > CPU (低)

なお、H8S/2218 グループでは内部バスマスタの内部バスアクセスと外部バス権解放は並行して実行することができます。

外部バス権解放要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

H8S/2212 グループには外部バス権解放機能はありません。

6.10.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがありません。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DMAC からのバス権要求があると、バスアービタはバス権をバスマスタの要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

1. バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
2. CPU がスリープモードの場合、直ちにバス権を移行します。

6. バスコントローラ (BSC)

(2) DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はショートアドレスモード、ノーマルモードの USB リクエスト、またはサイクルスチールモードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。

6.10.3 外部バス権解放使用上の注意

H8S/2218 グループの外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

\overline{CS} 信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 \overline{CS} 信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

6.11 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセット*では、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 \overline{WAIT} 入力は無視されます。ライトデータは保証されません。

【注】 * H8S/2218 グループのみです。

7. DMA コントローラ (DMAC)

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

7.1 特長

DMAC には次の特長があります。

- ショートアドレスモードとフルアドレスモードを選択可能

(1) ショートアドレスモード

最大4チャンネルを使用可能

デュアルアドレスモード動作

デュアルアドレスモードでは転送元、転送先アドレスの一方を24ビット、他方を16ビットで指定

デュアルアドレスモードでは、シーケンシャルモード/アイドルモード/リピートモードの選択が可能

(2) フルアドレスモード

最大2チャンネルを使用可能

転送元、転送先アドレスを24ビットで指定

ノーマルモード/ブロック転送モードの選択が可能

- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 起動要因は、内部割り込み、USBリクエスト、オートリクエスト (転送モードに依存)
 - 16ビットタイムパルスユニット (TPU) のコンペアマッチ/インプットキャプチャ割り込み×3
 - シリアルコミュニケーションインタフェース (SCI₀) の送信データエンプティ割り込み、受信データフル割り込み
 - A/D変換器の変換終了割り込み
 - USBリクエスト
 - オートリクエスト
- モジュールストップモードの設定が可能

7. DMA コントローラ (DMAC)

DMAC のブロック図を図 7.1 に示します。

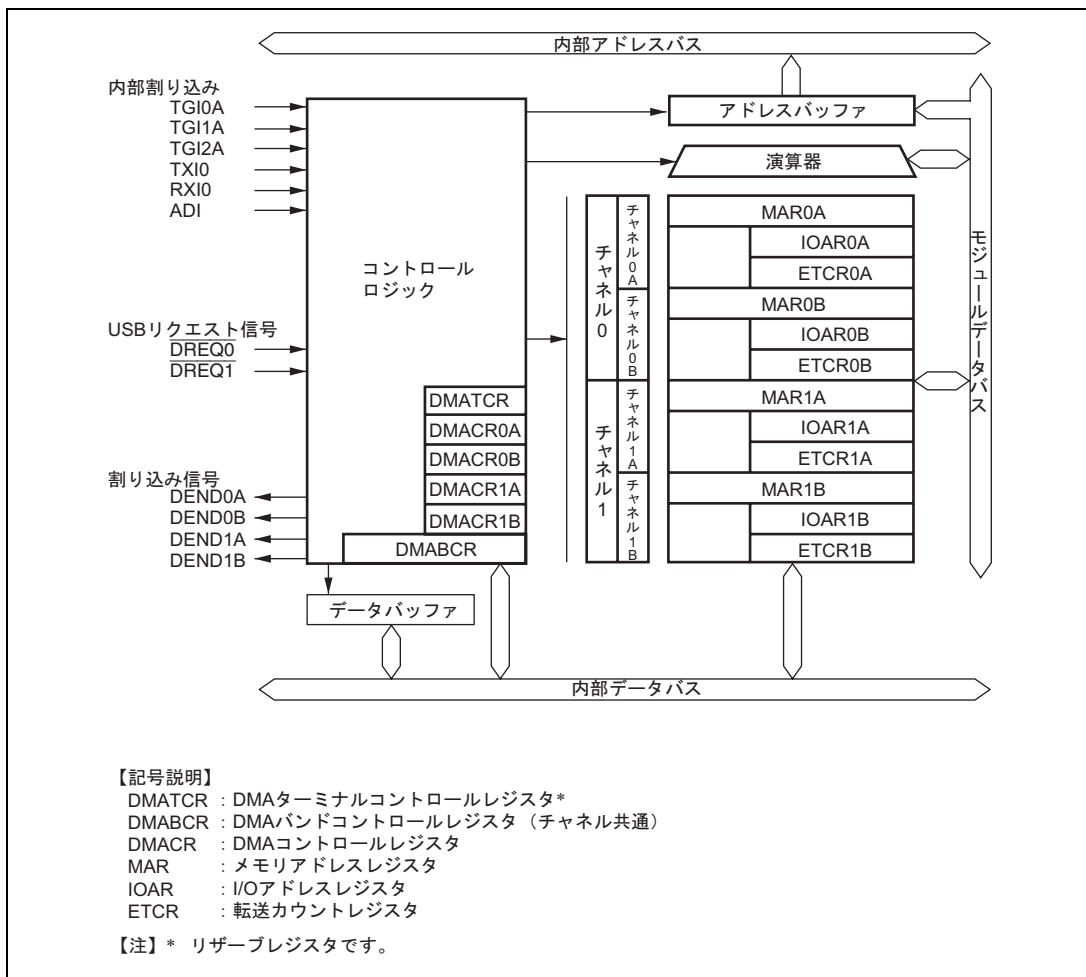


図 7.1 DMAC のブロック図

7.2 レジスタの説明

DMAC には以下のレジスタがあります。

- メモリアドレスレジスタ0A (MAR0A)
- I/Oアドレスレジスタ0A (IOAR0A)
- 転送カウントレジスタ0A (ETCR0A)
- メモリアドレスレジスタ0B (MAR0B)
- I/Oアドレスレジスタ0B (IOAR0B)
- 転送カウントレジスタ0B (ETCR0B)
- メモリアドレスレジスタ1A (MAR1A)
- I/Oアドレスレジスタ1A (IOAR1A)
- 転送カウントレジスタ1A (ETCR1A)
- メモリアドレスレジスタ1B (MAR1B)
- I/Oアドレスレジスタ1B (IOAR1B)
- 転送カウントレジスタ1B (ETCR1B)
- DMAコントロールレジスタ0A (DMACR0A)
- DMAコントロールレジスタ0B (DMACR0B)
- DMAコントロールレジスタ1A (DMACR1A)
- DMAコントロールレジスタ1B (DMACR1B)
- DMAバンドコントロールレジスタ (DMABCR)

レジスタの説明は、ショートアドレスモード、フルアドレスモードにより機能の異なる部分があるため、モード別に説明します。表 7.1 に示すように FAE1、FAE0 ビットにより、チャンネル 1、0 を独立してショートアドレス / フルアドレスモードの選択を行うことができます。

7. DMA コントローラ (DMAC)

表 7.1 ショートアドレスモードとフルアドレスモード (1チャンネル分:チャンネル0の例)

FAE0	説明																
0	<p>ショートアドレスモードを指定 (チャンネルA、Bは独立して動作)</p> <div style="display: flex; align-items: flex-start;"> <div style="border: 1px solid black; padding: 5px; margin-right: 10px; writing-mode: vertical-rl; transform: rotate(180deg);">チャンネル0 A</div> <table border="1" style="border-collapse: collapse;"> <tr><td colspan="2" style="text-align: center;">MAR0A</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">IOAR0A</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">ETCR0A</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">DMACR0A</td></tr> </table> <div style="margin-left: 10px;"> <p>← 転送元/転送先アドレスを指定</p> <p>← 転送先/転送元アドレスを指定</p> <p>← 転送回数を指定</p> <p>← 転送サイズ、モード、起動要因などを指定</p> </div> </div> <div style="display: flex; align-items: flex-start;"> <div style="border: 1px solid black; padding: 5px; margin-right: 10px; writing-mode: vertical-rl; transform: rotate(180deg);">チャンネル0 B</div> <table border="1" style="border-collapse: collapse;"> <tr><td colspan="2" style="text-align: center;">MAR0B</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">IOAR0B</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">ETCR0B</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">DMACR0B</td></tr> </table> <div style="margin-left: 10px;"> <p>← 転送元/転送先アドレスを指定</p> <p>← 転送先/転送元アドレスを指定</p> <p>← 転送回数を指定</p> <p>← 転送サイズ、モード、起動要因などを指定</p> </div> </div>	MAR0A			IOAR0A		ETCR0A		DMACR0A	MAR0B			IOAR0B		ETCR0B		DMACR0B
MAR0A																	
	IOAR0A																
	ETCR0A																
	DMACR0A																
MAR0B																	
	IOAR0B																
	ETCR0B																
	DMACR0B																
1	<p>フルアドレスモードを指定 (チャンネルA、Bは組み合わせて動作)</p> <div style="display: flex; align-items: flex-start;"> <div style="border: 1px solid black; padding: 5px; margin-right: 10px; writing-mode: vertical-rl; transform: rotate(180deg);">チャンネル0</div> <table border="1" style="border-collapse: collapse;"> <tr><td colspan="2" style="text-align: center;">MAR0A</td></tr> <tr><td colspan="2" style="text-align: center;">MAR0B</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">IOAR0A</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">IOAR0B</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">ETCR0A</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">ETCR0B</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">DMACR0A</td></tr> <tr><td style="width: 20px;"></td><td style="text-align: center;">DMACR0B</td></tr> </table> <div style="margin-left: 10px;"> <p>← 転送元アドレスを指定</p> <p>← 転送先アドレスを指定</p> <p>← 未使用</p> <p>← 未使用</p> <p>← 転送回数を指定</p> <p>← 転送回数を指定 (ブロック転送モード時のみ使用)</p> <p>← 転送サイズ、モード、起動要因などを指定</p> </div> </div>	MAR0A		MAR0B			IOAR0A		IOAR0B		ETCR0A		ETCR0B		DMACR0A		DMACR0B
MAR0A																	
MAR0B																	
	IOAR0A																
	IOAR0B																
	ETCR0A																
	ETCR0B																
	DMACR0A																
	DMACR0B																

7.3 各レジスタの説明

7.3.1 メモリアドレスレジスタ (MAR)

(1) ショートアドレスモード

MARは32ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。MARの上位8ビットはリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。MARがソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACRのDTDIRビットにより選択できます。

MARは1回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MARによって指定するアドレスを自動的に更新していきます。詳細は、「7.3.4 DMAコントロールレジスタ (DMACR)」を参照

してください。

(2) フルアドレスモード

MAR は 32 ビットのリード/ライト可能なレジスタで、MARA は転送のソースアドレスレジスタとして、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 2 本の 16 ビットレジスタ MARH、MARL により構成されています。MARH の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

7.3.2 I/O アドレスレジスタ (IOAR)

(1) ショートアドレスモード

IOAR は 16 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスの低位 16 ビットを指定します。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

IOAR は転送のたびにインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

(2) フルアドレスモード

IOAR はフルアドレスモード転送では使用しません。

7.3.3 転送カウントレジスタ (ETCR)

(1) ショートアドレスモード

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定します。このレジスタは、シーケンシャルモードおよびアイドルモードと、リピートモードでは設定が異なります。

ETCR はリセットまたはスタンバイモード時に初期化されません。

シーケンシャルモードとアイドルモードでは、ETCR は 16 ビットの転送カウンタ (1 ~ 65536) として機能します。1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になると DMABCR の DTE ビットをクリアし、転送を終了します。

リピートモードでは、ETCR は 8 ビットの転送カウンタ (1 ~ 256) ETCRL と転送回数保持レジスタ ETCRH として機能します。1 回の転送を行うたびに ETCRL は 1 だけデクリメントされ、H'00 になると、ETCRH の値をロードします。このとき、MAR は転送を開始したときの値に自動的に戻ります。

DMABCR の DTE ビットはクリアされません。このため、DTE ビットがユーザによりクリアされるまで、繰り返し転送が行えます。

7. DMA コントローラ (DMAC)

(2) フルアドレスモード

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定しますが、ノーマルモードとブロック転送モードとでは機能が異なります。ETCR はリセットまたはスタンバイモード時に初期化されません。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。

ETCRB はノーマルモードでは使用しません。

ブロック転送モードでは、ETCRAL は 8 ビットのブロックサイズカウンタとして機能し、ETCRAH はブロックサイズを保持します。ETCRAL は 1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAH の値がロードされます。したがって、ETCRAH、ETCRAL にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、H'0000 になると転送を終了します。

7.3.4 DMA コントロールレジスタ (DMACR)

DMACR は DMAC の各チャンネルの動作を制御します。

• ショートアドレスモード (DMACRA、DMACRB 共通)

ビット	ビット名	初期値	R/W	説明
7	DTSZ	0	R/W	データトランスファサイズ 1 回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
6	DTID	0	R/W	データトランスインクリメント/デクリメント シーケンシャルモードまたはリピートモードの場合、データ転送ごとの MAR のインクリメント/デクリメントを選択します。 アイドルモードの場合、MAR はインクリメントもデクリメントもされません。 0: データ転送後 MAR をインクリメント (1) DTSZ=0 のとき、転送後 MAR を +1 (2) DTSZ=1 のとき、転送後 MAR を +2 1: データ転送後 MAR をデクリメント (1) DTSZ=0 のとき、転送後 MAR を -1 (2) DTSZ=1 のとき、転送後 MAR を -2

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	RPE	0	R/W	<p>リピートイネーブル</p> <p>DMABCR の DTIE ビットと組み合わせて、シーケンシャルモード、アイドルモード、リピートモードのうち、どのモードで転送するかを選択します。</p> <p>RPE DTIE</p> <p>0 0: シーケンシャルモードで転送 (転送終了割り込みなし)</p> <p>0 1: シーケンシャルモードで転送 (転送終了割り込みあり)</p> <p>1 0: リピートモードで転送 (転送終了割り込みなし)</p> <p>1 1: アイドルモードで転送 (転送終了割り込みあり)</p> <p>【注】シーケンシャルモード、アイドルモード、リピートモードの動作については、「7.4.2 シーケンシャルモード」、「7.4.3 アイドルモード」、「7.4.4 リピートモード」を参照してください。</p>
4	DTDIR	0	R/W	<p>データトランスファディレクション</p> <p>データ転送の方向 (ソース、デスティネーション) を指定します。</p> <p>0: MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送</p> <p>1: IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送</p>
3	DTF3	0	R/W	<p>データトランスファファクタ</p> <p>データ転送の起動要因を選択します。</p> <p>0000: -</p> <p>0001: A/D 変換器の変換終了割り込みで起動</p> <p>0010: -</p> <p>0011: -</p> <p>0100: SCI チャンネル 0 の送信データエンプティ割り込みで起動</p> <p>0101: SCI チャンネル 0 の受信データフル割り込みで起動</p> <p>0110: -</p> <p>0111: -</p> <p>1000: TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1001: TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1010: TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1011: -</p> <p>1100: -</p> <p>1101: -</p> <p>1110: -</p> <p>1111: -</p>
2	DTF2	0	R/W	
1	DTF1	0	R/W	
0	DTF0	0	R/W	

7. DMA コントローラ (DMAC)

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.4.10 DMAC 複数チャンネルの動作」を参照してください。

• フルアドレスモード (DMACRA)

ビット	ビット名	初期値	R/W	説明
15	DTSZ	0	R/W	データトランスファサイズ 1回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
14	SAID	0	R/W	ソースアドレスインクリメント/デクリメント ソースアドレスインクリメント/デクリメントイネーブル データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: MARA 固定 01: データ転送後、MARA をインクリメント (1) DTSZ=0 のとき、転送後 MARA を +1 (2) DTSZ=1 のとき、転送後 MARA を +2 10: MARA 固定 11: データ転送後、MARA をデクリメント (1) DTSZ=0 のとき、転送後 MARA を -1 (2) DTSZ=1 のとき、転送後 MARA を -2
13	SAIDE	0	R/W	
12	BLKDIR	0	R/W	ブロックディレクション ブロックイネーブル ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE で指定します。また、ブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR で指定します。 00: ノーマルモードで転送 01: ブロック転送モードで転送、ブロックエリアはデスティネーション側 10: ノーマルモードで転送 11: ブロック転送モードで転送、ブロックエリアはソース側 ノーマルモード、ブロック転送モードの動作については、「7.4 動作説明」を参照してください。
11	BLKE	0	R/W	
10~8	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

• フルアドレスモード (DMACRB)

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6 5	DAID DAIDE	0 0	R/W R/W	デスティネーションアドレスインクリメント/デクリメント デスティネーションアドレスインクリメント/デクリメントイネーブル データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00 : MARB 固定 01 : データ転送後、MARB をインクリメント (1) DTSZ=0 のとき、転送後 MARB を +1 (2) DTSZ=1 のとき、転送後 MARB を +2 10 : MARB 固定 11 : データ転送後 MARB をデクリメント (1) DTSZ=0 のとき、転送後 MARB を -1 (2) DTSZ=1 のとき、転送後 MARB を -2
4	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データトランスファファクタ
2	DTF2	0	R/W	データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	
				0000 : -
				0001 : -
				0010 : -
				0011 : USB からの \overline{DREQ} 信号の Low レベル入力で起動 (USB リクエスト)
				010X : -
				0110 : オートリクエスト (サイクルスチール)
				0111 : オートリクエスト (バースト)
				1XXX : -
				ブロック転送モード
				0000 : -
				0001 : A/D 変換器の変換終了割り込みで起動
				0010 : -
				0011 : -
				0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動
				0101 : SCI チャンネル 0 の受信データフル割り込みで起動
				0110 : -
				0111 : -
				1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1011 : -
				11XX : -
				複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.4.10 DMAC 複数チャンネルの動作」を参照してください。
				【記号説明】 X : Don't care

7.3.5 DMA バンドコントロールレジスタ (DMABCR)

DMABCR は DMAC の各チャンネルの動作を制御します。

• ショートアドレスモード

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	<p>フルアドレスインエプブル 1</p> <p>チャンネル 1 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>ショートアドレスモードでは、チャンネル 1A、1B はそれぞれ独立したチャンネルで使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
14	FAE0	0	R/W	<p>フルアドレスインエプブル 0</p> <p>チャンネル 0 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>ショートアドレスモードでは、チャンネル 0A、0B は、それぞれ独立したチャンネルとして使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
13, 12		すべて 0	R/W	<p>リザーブビット</p> <p>ライトするときは 0 をライトしてください。</p>
11 10 9 8	DTA1B DTA1A DTA0B DTA0A	0 0 0 0	R/W R/W R/W R/W	<p>データトランスファアクノレッジ</p> <p>各チャンネルのデータトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。</p> <p>DTE = 1 のとき DTA = 1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。</p> <p>DTE = 1、DTA = 1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU に割り込みを要求しません。</p> <p>DTE = 1 のとき DTA = 0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU に割り込みを要求することができます。この場合は、CPU で割り込み要因をクリアしてください。</p> <p>DTE = 0 の状態では DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは、CPU に割り込みを要求します。</p> <p>0 : 選択されている内部割り込み要因の DMA 転送時のクリアを禁止 1 : 選択されている内部割り込み要因の DMA 転送時のクリアを許可</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明	
7	DTE1B	0	R/W	データトランスファイネーブル	
6	DTE1A	0	R/W	各チャンネルのデータ転送を許可または禁止するビットです。	
5	DTE0B	0	R/W	<p>DTE ビット=0 の状態はデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU に割り込みが要求されます。また、DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>DTE = 0 となる条件：</p> <ul style="list-style-type: none"> • 初期化されたとき • リピートモードを除いた転送モードで、指定された回数分の転送を終了したとき • 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき <p>DTE = 1 の状態はデータ転送許可の状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。</p> <p>DTE = 1 となる条件：</p> <ul style="list-style-type: none"> • DTE = 0 をリード後、DTE = 1 をライトしたとき <p>0：データ転送を禁止</p> <p>1：データ転送を許可</p>	
4	DTE0A	0	R/W		
3	DTIE1B	0	R/W		データトランスファエンドインタラプトイネーブル
2	DTIE1A	0	R/W		<p>転送終了時の CPU に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>0：転送終了割り込みを禁止</p> <p>1：転送終了割り込みを許可</p>
1	DTIE0B	0	R/W		
0	DTIE0A	0	R/W		

• フルアドレスモード

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	<p>フルアドレスイネーブル 1</p> <p>チャンネル 1 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>フルアドレスモードでは、チャンネル 1A、1B を、組み合わせてチャンネル 1 として使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
14	FAE0	0	R/W	<p>フルアドレスイネーブル 0</p> <p>チャンネル 0 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。</p> <p>フルアドレスモードでは、チャンネル 0A、0B を、組み合わせてチャンネル 0 として使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
13, 12		すべて 0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>
11	DTA1	0	R/W	<p>データトランスファアクノレッジ</p> <p>データトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。</p> <p>DTE = 1 のとき DTA = 1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。</p> <p>DTE = 1、DTA = 1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU に割り込みを要求しません。</p> <p>DTE = 1 のとき DTA = 0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU に割り込みを要求することができます。この場合は、CPU 転送で割り込み要因をクリアしてください。</p> <p>DTE = 0 の状態では、DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは CPU に割り込みを要求します。</p> <p>DTME ビットの状態は、前述の動作に影響を与えません。</p> <p>データトランスファアクノレッジ 1</p> <p>チャンネル 1 のデータトランスファファクタによって選択されている、内部割り込み要因の DMA 転送時のクリアを、許可または禁止するビットです。</p> <p>0 : 選択されている内部割り込み要因の DMA 転送時のクリアを禁止 1 : 選択されている内部割り込み要因の DMA 転送時のクリアを許可</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
10		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
9	DTA0	0	R/W	データトランスファアクノレッジ0 チャンネル0のデータトランスファファクタによって選択されている、内部割り込み要因のDMA転送時のクリアを、許可または禁止するビットです。 0: 選択されている内部割り込み要因のDMA転送時のクリアを禁止 1: 選択されている内部割り込み要因のDMA転送時のクリアを許可
8		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
7	DTME1	0	R/W	データトランスファマスタイネーブル DTE ビットとともに当該チャンネルのデータ転送の許可または禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャンネルは転送許可状態となります。 NMI 割り込みが発生したとき、当該チャンネルがバーストモード転送中である場合には DTME ビットがクリアされ、転送を中断して CPU にバス権を移します。その後、DTME ビットを 1 にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI 割り込みにより DTME ビットがクリアされることはなく、転送を中断することはありません。 DTME ビット=0 となる条件： <ul style="list-style-type: none"> • 初期化されたとき • バーストモードで NMI が入力されたとき • DTME ビットに 0 をライトしたとき DTME ビット=1 となる条件： <ul style="list-style-type: none"> • DTME ビット=0 をリード後、DTME ビットに 1 をライトしたとき データトランスファマスタイネーブル1 チャンネル1のデータ転送を許可または禁止するビットです。 0: データ転送禁止。バーストモード時に、NMI 割り込みが発生すると 0 にクリア 1: データ転送許可

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
6	DTE1	0	R/W	<p>データトランスファイネーブル</p> <p>DTE = 0 のときはデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU に割り込みが要求されます。また、DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>DTE = 0 となる条件：</p> <ul style="list-style-type: none"> • 初期化されたとき • 指定された回数分の転送を終了したとき • 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき <p>DTE = 1 かつ DTME = 1 のときはデータ転送許可状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>DTE = 1 となる条件：</p> <ul style="list-style-type: none"> • DTE = 0 をリード後、DTE ビットに 1 をライトしたとき
5	DTME0	0	R/W	<p>データトランスファマスタイネーブル 0</p> <p>チャンネル 0 のデータ転送を許可または禁止するビットです。</p> <p>0：データ転送禁止。バーストモード時に、NMI 割り込みが発生すると 0 にクリア</p> <p>1：データ転送許可</p>
4	DTE0	0	R/W	<p>データトランスファイネーブル 0</p> <p>チャンネル 0 のデータ転送を許可または禁止するビットです。</p> <p>0：データ転送を禁止</p> <p>1：データ転送を許可</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
3	DTIE1B	0	R/W	<p>データトランスファインタラプトイネーブル B</p> <p>転送中断時の CPU に対する割り込みを許可または禁止するビットです。DTME = 0 のときに DTIEB = 1 となっていると、DMAC は転送中断とみなし、CPU に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIEB ビットを 0 にクリアする方法と、DTME ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>データトランスファインタラプトイネーブル 1B</p> <p>チャンネル 1 の転送中断割り込みを許可または禁止するビットです。</p> <p>0 : 転送中断割り込みを禁止 1 : 転送中断割り込みを許可</p>
2	DTIE1A	0	R/W	<p>データトランスファエンドインタラプトイネーブル A</p> <p>転送終了時の CPU に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIEA = 1 となっていると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIEA ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>データトランスファエンドインタラプトイネーブル 1A</p> <p>チャンネル 1 の転送終了割り込みを許可または禁止するビットです。</p> <p>0 : 転送終了割り込みを禁止 1 : 転送終了割り込みを許可</p>
1	DTIE0B	0	R/W	<p>データトランスファインタラプトイネーブル 0B</p> <p>チャンネル 0 の転送中断割り込みを許可または禁止するビットです。</p> <p>0 : 転送中断割り込みを禁止 1 : 転送中断割り込みを許可</p>
0	DTIE0A	0	R/W	<p>データトランスファエンドインタラプトイネーブル 0A</p> <p>チャンネル 0 の転送終了割り込みを許可または禁止するビットです。</p> <p>0 : 転送終了割り込みを禁止 1 : 転送終了割り込みを許可</p>

7.4 動作説明

7.4.1 転送モード

DMAC のモード一覧を表 7.2 示します。

表 7.2 DMAC の転送モード

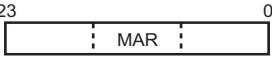
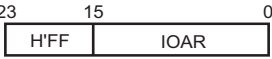

転送モード		転送要因	備考
ショート アドレス モード	デュアル アドレス モード (1) シーケンシャルモード (2) アイドルモード (3) リピートモード	<ul style="list-style-type: none"> • TPU チャンネル 0~2 のコンペア マッチ/インプットキャプチャ A 割り込み • SCI の送信データエンプティ割 り込み • SCI の受信データフル割り込み • A/D 変換器の変換終了割り込み 	<ul style="list-style-type: none"> • 最大 4 チャンネルを独立に動作可 能
フル アドレス モード	(4) ノーマルモード	<ul style="list-style-type: none"> • USB リクエスト • オートリクエスト 	<ul style="list-style-type: none"> • チャンネル A、B を組み合わせて、 最大 2 チャンネル動作可能 • オートリクエストでは、バース トモード転送/サイクルスチー ル転送の選択可能
	(5) ブロック転送モード	<ul style="list-style-type: none"> • TPU チャンネル 0~2 のコンペア マッチ/インプットキャプチャ A 割り込み • SCI の送信データエンプティ割 り込み • SCI の受信データフル割り込み • A/D 変換器の変換終了割り込み 	

7.4.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCR で指定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。シーケンシャルモード時のレジスタの機能を表 7.3 に示します。

7. DMA コントローラ (DMAC)

表 7.3 シーケンシャルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1回の転送ごとにインクリメント/デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1回の転送ごとにデクリメント。H'0000になると、転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 を、インクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。シーケンシャルモードの動作を図 7.2 に示します。

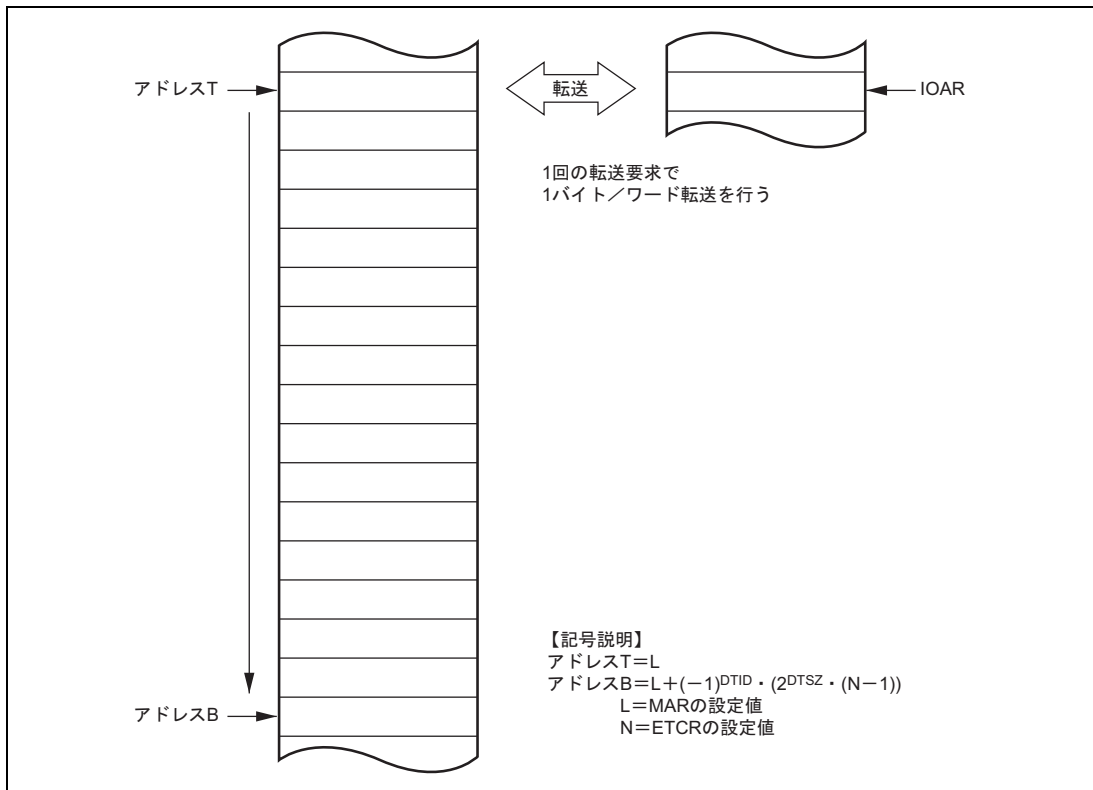


図 7.2 シーケンシャルモードの動作

転送回数はETCRによって16ビットで指定します。ETCRは1回の転送を行うたびに1だけデクリメントされ、H'0000になったときにDTEビットをクリアして転送を終了します。このとき、DTIEビットが1にセットされているとCPUに割り込みを要求します。なお、転送回数の最大値はETCRにH'0000を設定したときで、65536となります。転送要求(起動要因)には、A/D変換器の変換終了割り込み、SCIの送信データエンプティ/受信データフル割り込み、およびTPUチャンネル0~2のコンペアマッチ/インプットキャプチャA割り込みがあります。シーケンシャルモードの設定手順例を図7.3に示します。

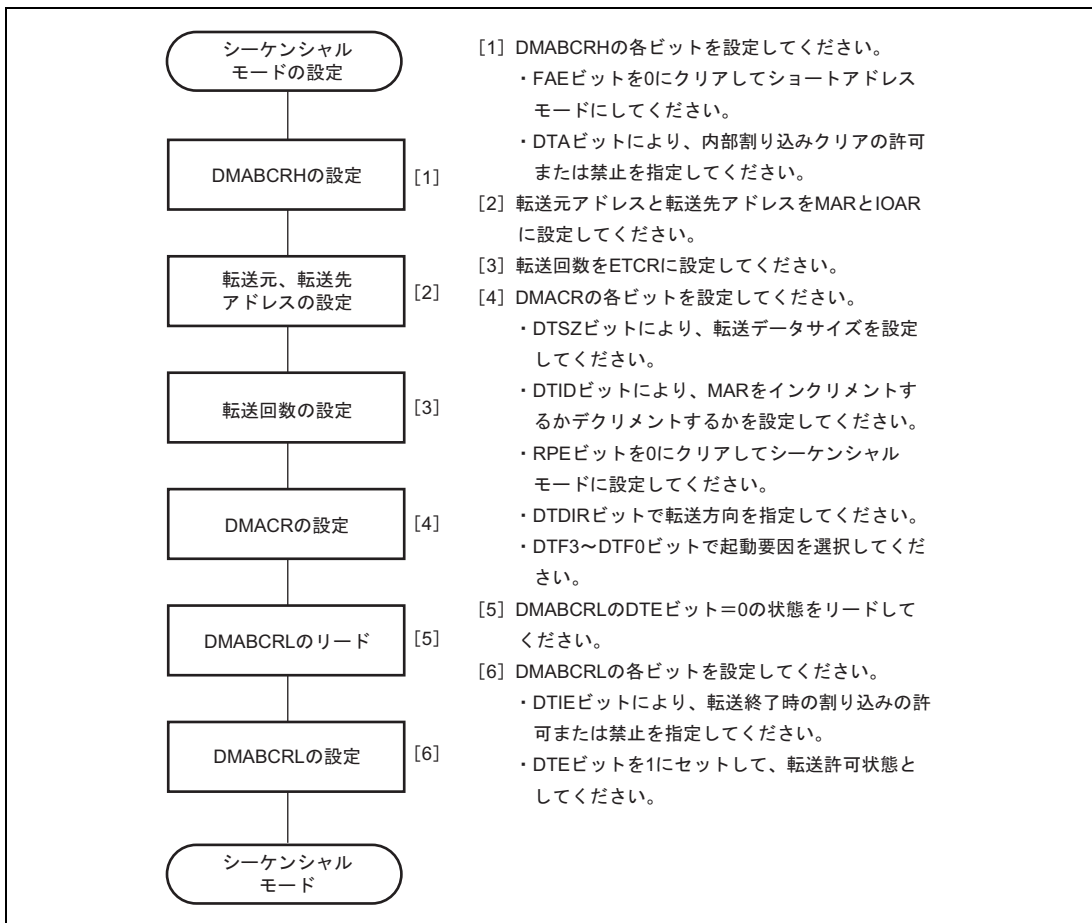
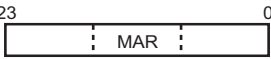
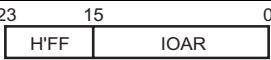



図 7.3 シーケンシャルモードの設定手順例

7.4.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送、これを ETCR で指定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。アイドルモード時のレジスタの機能を表 7.4 に示します。

表 7.4 アイドルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'0000 になると、転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびにインクリメントもデクリメントもされません。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。アイドルモードの動作を図 7.4 に示します。

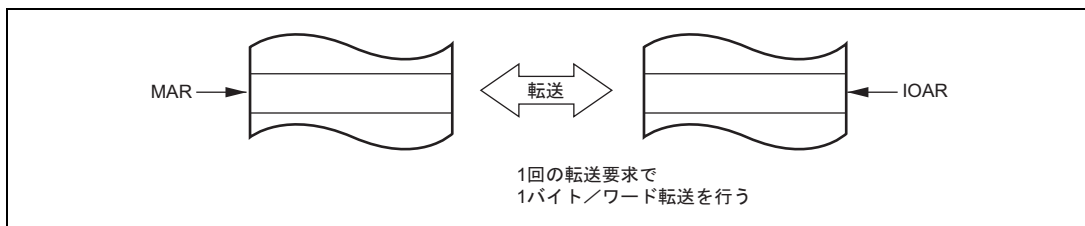


図 7.4 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャネル 0~2 のコンペアマッチ / インプットキャプチャ A 割り込みがあります。アイドルモードの設定手順例を図 7.5 に示します。

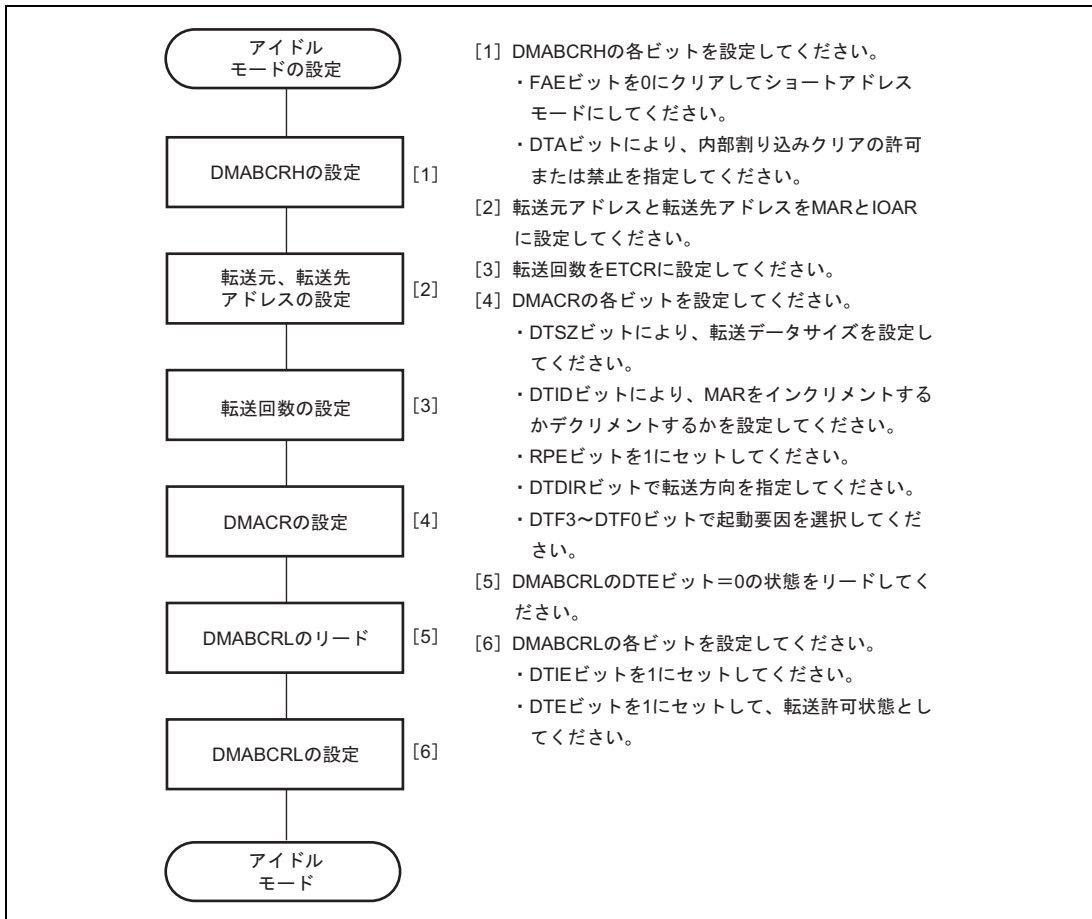
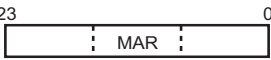
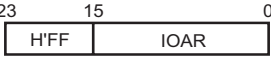




図 7.5 アイドルモードの設定手順例

7.4.4 リpeatモード

リピートモードは、DMACR の RPE ビットを 1、DTIE ビットを 0 に設定することで指定できます。リピートモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRL で指定した回数だけ実行します。指定された回数の転送終了時に、自動的に MAR、ETCRL は設定値に戻り、動作を続けます。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。リピートモード時のレジスタの機能を表 7.5 に示します。

表 7.5 リpeatモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント。H'0000 になると、初期設定値に回復
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'00 になると、ETCRH の値をロード

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は、1 回のバイトまたはワード転送のたびに 1 または 2 をインクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで、256 となります。

リピートモードでは ETCRL を転送カウンタとし、ETCRH は転送回数保持に使用します。ETCRL は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は、同じ値に設定してください。

リピートモードでは、DTE ビットがクリアされるまで動作を継続します。したがって、転送を終了するには DTE ビットを 0 にクリアしてください。CPU に対して転送終了割り込みは要求しません。DTE ビットをクリア後、DTE ビットを再びセットすると、DTE ビットをクリアした時点で終了した転送の続きから再開することができます。リピートモードの動作を図 7.6 に示します。

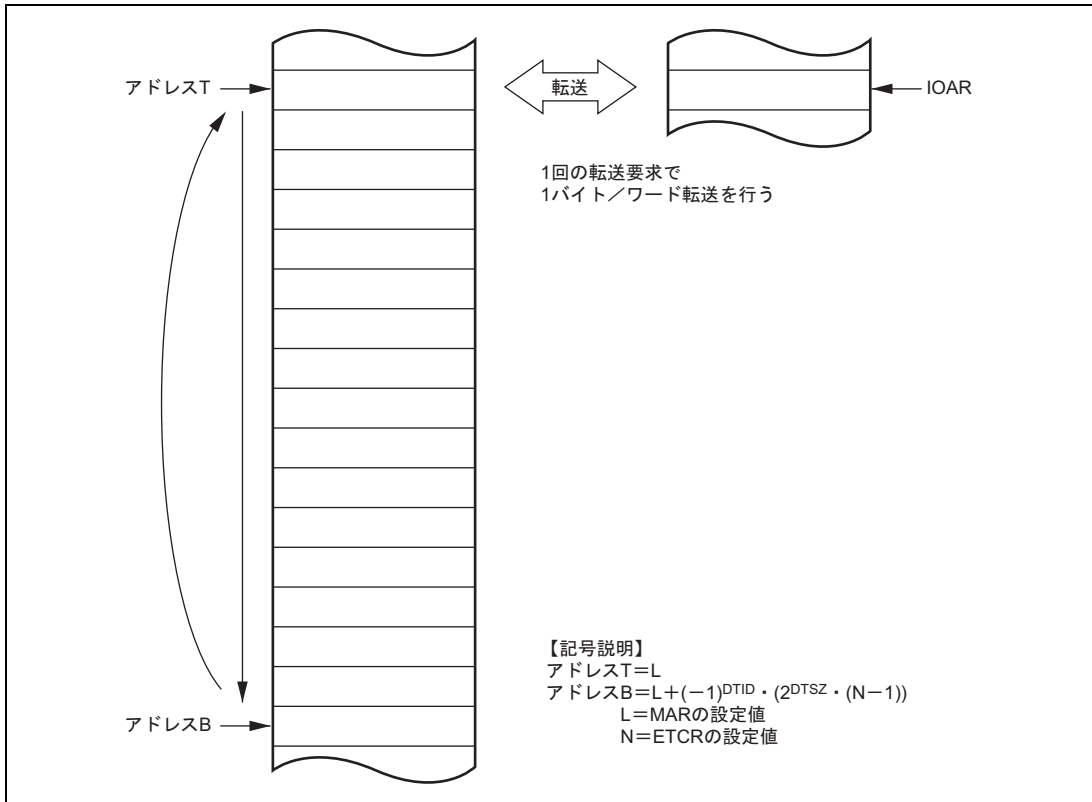


図 7.6 リピートモードの動作図

7. DMA コントローラ (DMAC)

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。リピートモードの設定手順例を図 7.7 に示します。

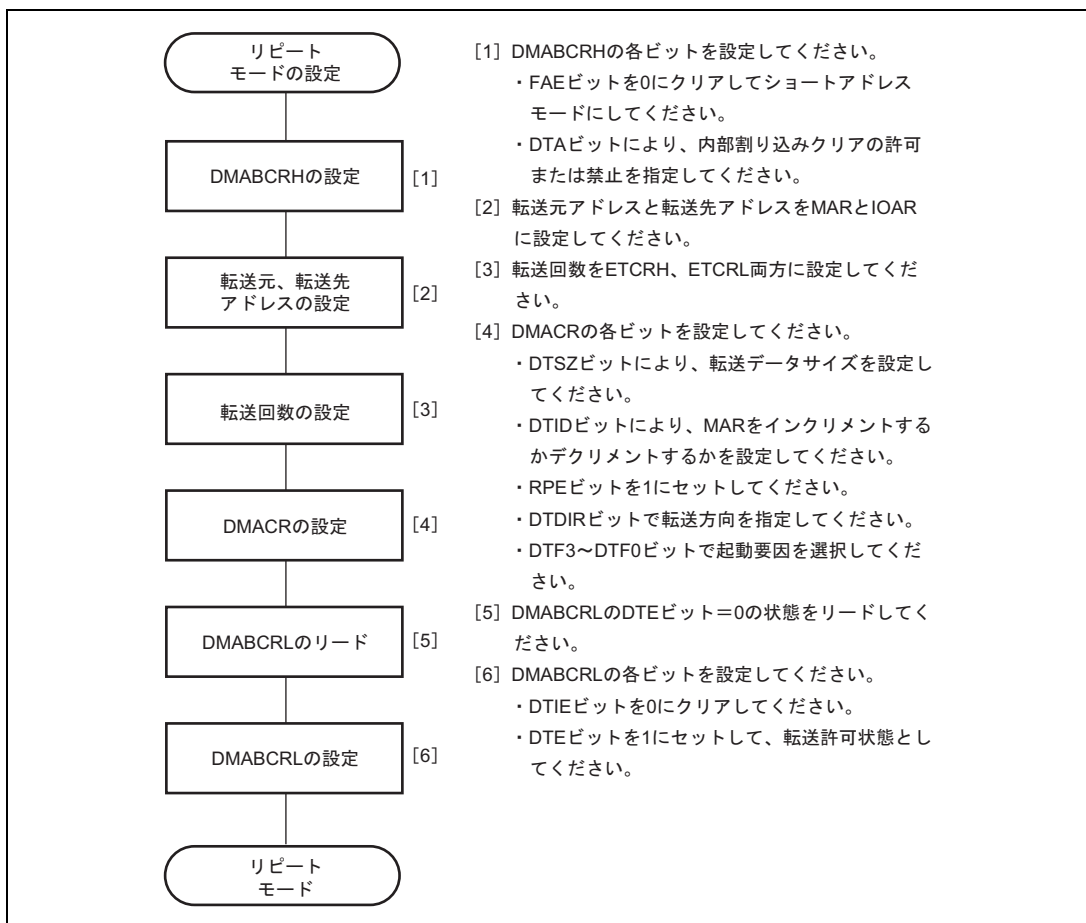





図 7.7 リピートモードの設定手順例

7.4.5 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。ノーマルモードは、DMABCR の FAE ビットを 1、DMACRA の BLKE ビットを 0 に設定することで指定できます。ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRA で指定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。ノーマルモード時のレジスタの機能を表 7.6 に示します。

表 7.6 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
23  0	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
23  0	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
15  0	転送カウンタ	転送回数	1 回の転送ごとにデクリメント、H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに、1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA にて 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割り込みを要求します。なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

7. DMA コントローラ (DMAC)

ノーマルモードの動作を図 7.8 に示します。

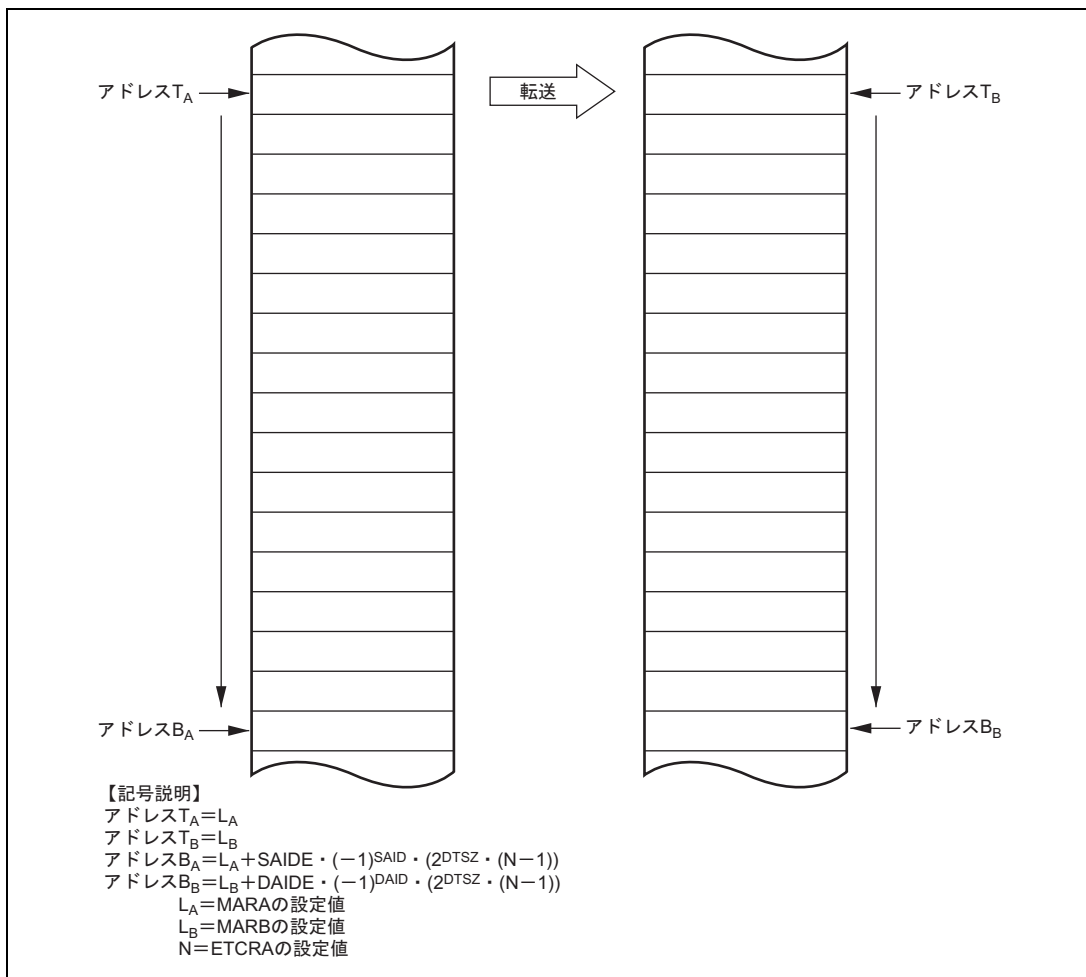


図 7.8 ノーマルモードの動作

転送要求（起動要因）には、USB リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、1回の転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。設定の詳細は「7.3.4 DMA コントローラレジスタ (DMACR)」を参照してください。

ノーマルモードの設定手順例を図 7.9 に示します。

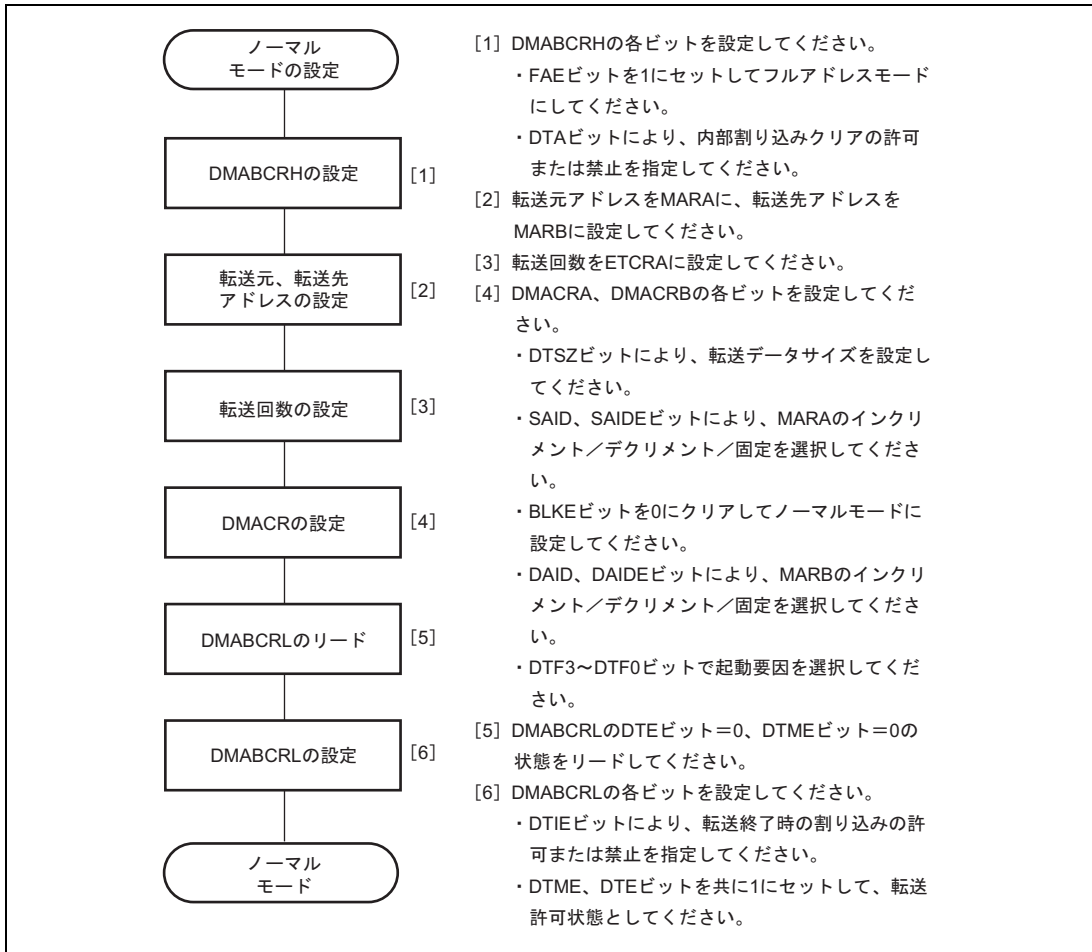


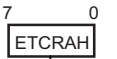
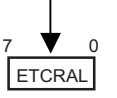



図 7.9 ノーマルモードの設定手順例

7.4.6 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。ブロック転送モードは、DMABCR の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。ブロック転送モードでは、1 回の転送要求に対して指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア（複数バイト/ワードで構成されたエリア）とするかを選択できます。ブロック転送モード時のレジスタの機能を表 7.7 に示します。

表 7.7 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント、H'00 になると ETCRH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント、H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを M ($M = 1 \sim 256$) とし、 N ($N = 1 \sim 65536$) 回の転送を行うとき、ETCRAH、ETCRAL の両方に M を、ETCRB に N を設定します。

MARB をブロックエリアにした場合のブロック転送モードの動作を図 7.10 に示します。

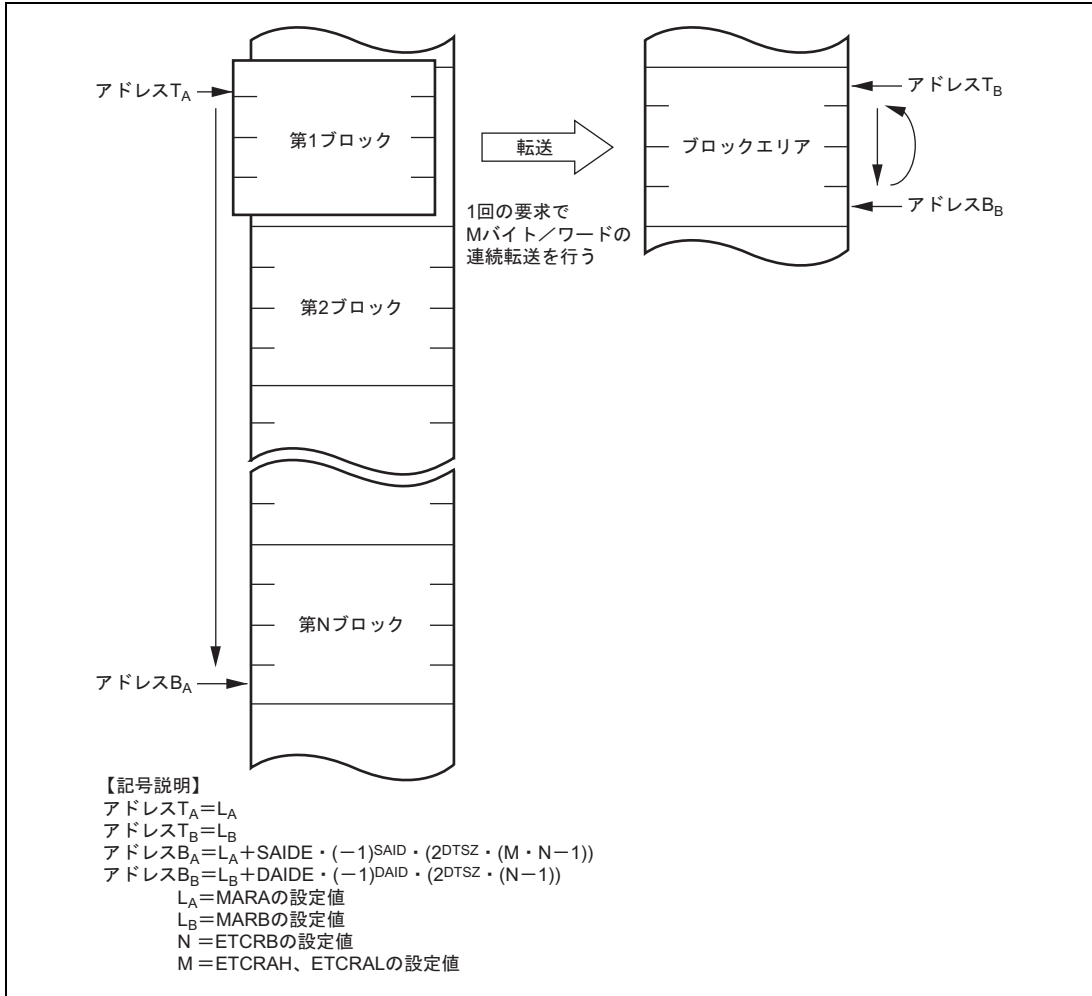


図 7.10 ブロック転送モードの動作 (BLKDIR = 0)

7. DMA コントローラ (DMAC)

MARA をブロックエリアにした場合のブロック転送モードの動作を図 7.11 に示します。

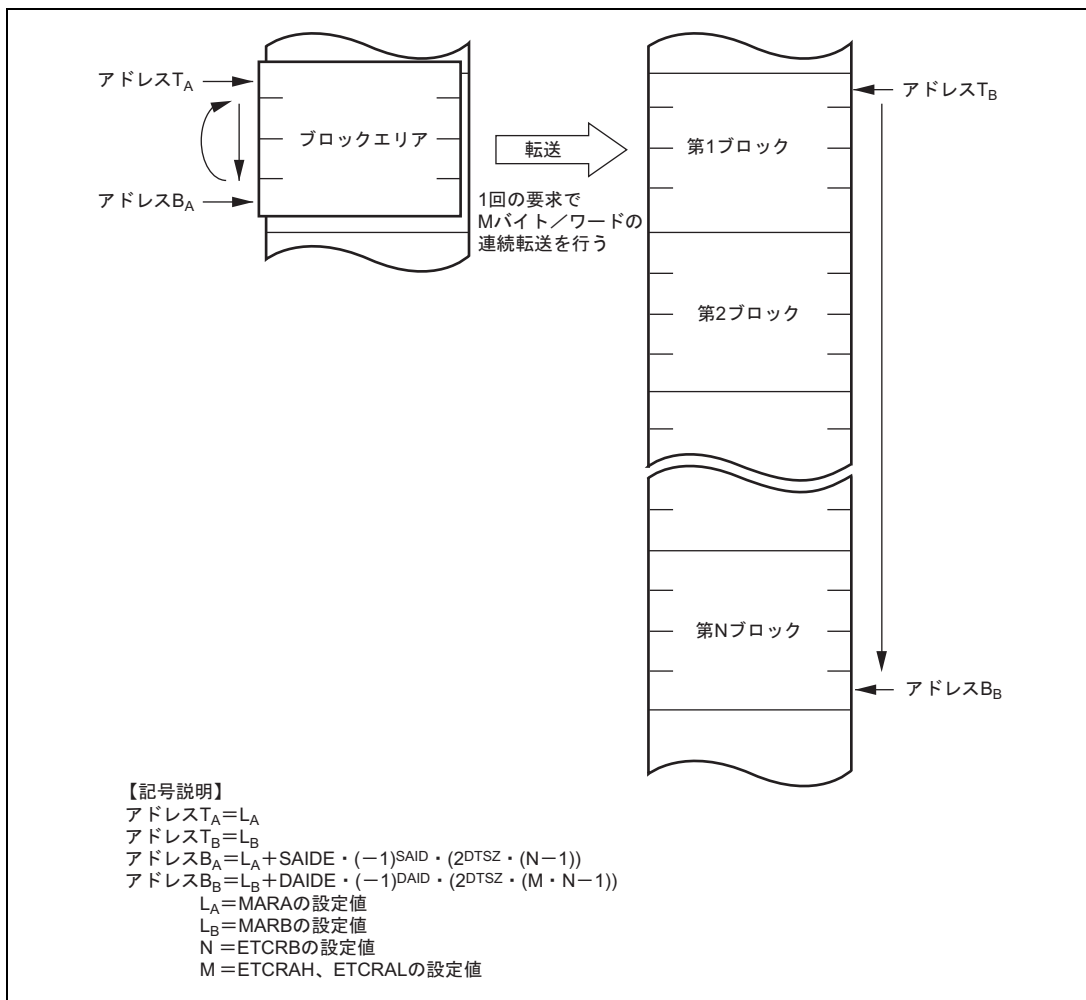


図 7.11 ブロック転送モードの動作 (BLKDIR = 1)

ETCRAL は 1 回のバイトまたはワード転送のたびに 1 だけデクリメントされます。1 回の転送要求に対して、ETCRAL が H'00 になるまでバースト転送が行われます。ETCRAL が H'00 になったときに ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ、SAID/DAID、および SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は 1 回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に対して割り込みを要求します。

図 7.12 にブロック転送モードの動作フローを示します。

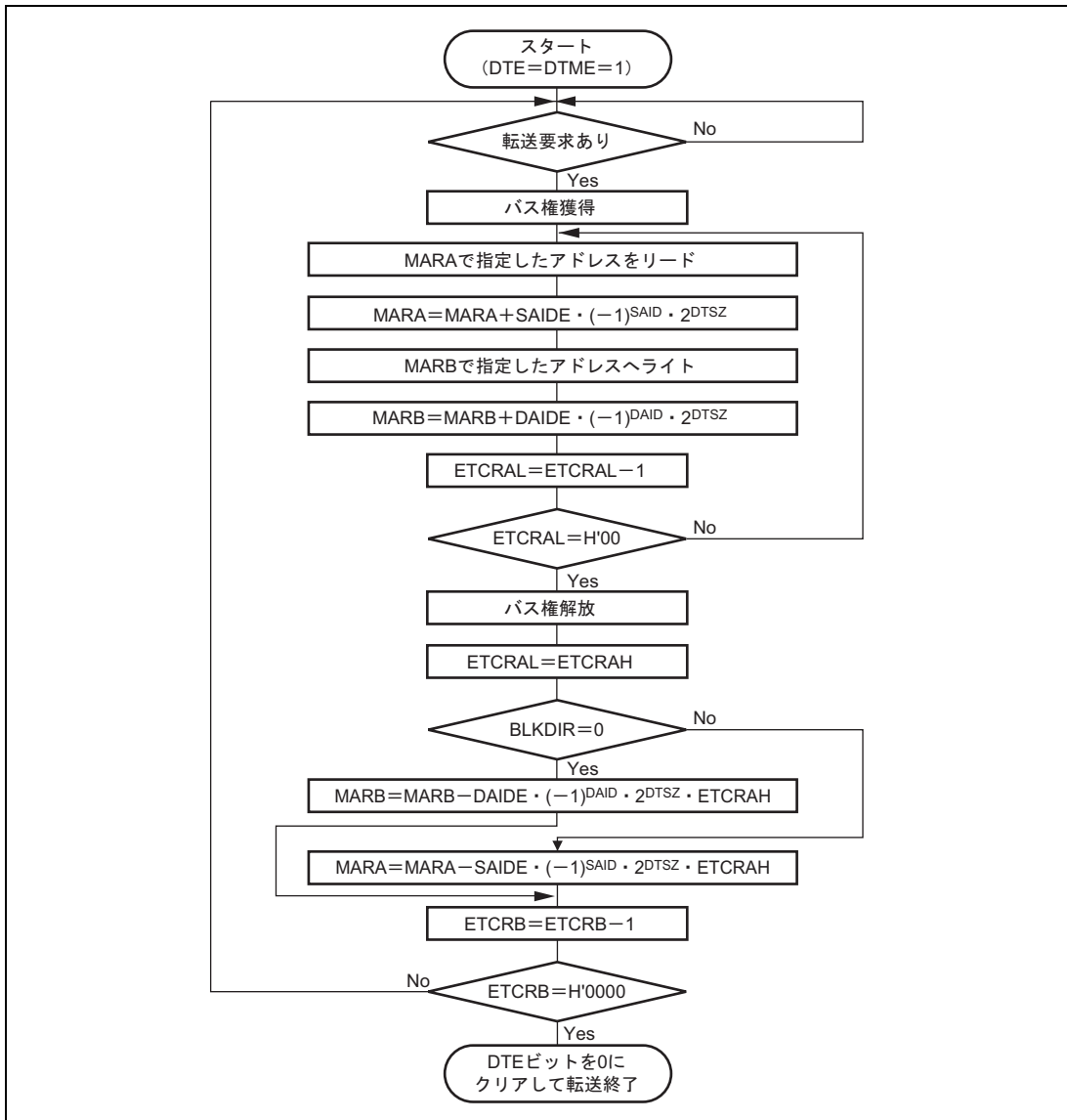


図 7.12 ブロック転送モードの動作フロー

7. DMA コントローラ (DMAC)

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャンネル 0~2 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。設定の詳細は「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。ブロック転送モードの設定手順例を図 7.13 に示します。



図 7.13 ブロック転送モードの設定手順例

7.4.7 DMAC の起動要因

DMAC の起動要因には、内部割り込み USB リクエストおよびオートリクエストがあります。転送モードにより、指定できる要因が表 7.8 に示すように異なります。

表 7.8 DMAC の起動要因

起動要因		ショートアドレスモード	フルアドレスモード	
			ノーマルモード	ブロック転送モード
内部割り込み	ADI		×	
	TXI0		×	
	RXI0		×	
	TGI0A		×	
	TGI1A		×	
	TGI2A		×	
USB リクエスト	\overline{DERQ} 信号の Low レベル入力	×		×
オートリクエスト		×		×

【記号説明】

○ : 指定可能

× : 指定不可

(1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、CPU に対しても同時に要求を発生させることができます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

内部割り込みによる起動では、DMAC は割り込みコントローラとは独立して要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因としない割り込み要求により DMAC が起動される場合 ($DTA = 1$)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みについては、DMA 転送で所定のレジスタをアクセスしないと、割り込み要因フラグはクリアされません。複数のチャンネルで同一の割り込みを起動要因とした場合、最も優先順位の高いチャンネルが最初に起動された時点で、割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

転送終了後などの $DTE = 0$ の状態では、DTA ビットにかかわらず、選択された起動要因は DMAC に要求されません。この場合、当該割り込みは、CPU に要求されます。

CPU の割り込み要因と重なっている場合 ($DTA = 0$)、割り込み要求フラグは DMAC によりクリアされることはありません。

7. DMA コントローラ (DMAC)

(2) USB リクエストによる起動

起動要因として、USB リクエスト ($\overline{\text{DREQ}}$ 信号) を指定できます。USB リクエストはレベルセンスになります。フルアドレスモードのノーマルモード時の USB リクエスト動作は次のようになります。

$\overline{\text{DREQ}}$ 信号が High レベルに保持されている間は、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$ 信号が Low レベルに保持されている間は 1 バイトの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で $\overline{\text{DREQ}}$ 信号が High レベルになった場合は、転送を中断し転送要求待ち状態になります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。バーストモードでは、転送終了までバスを占有し、連続して転送を行います。

7.4.8 DMAC の基本バスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 7.14 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定に従います。

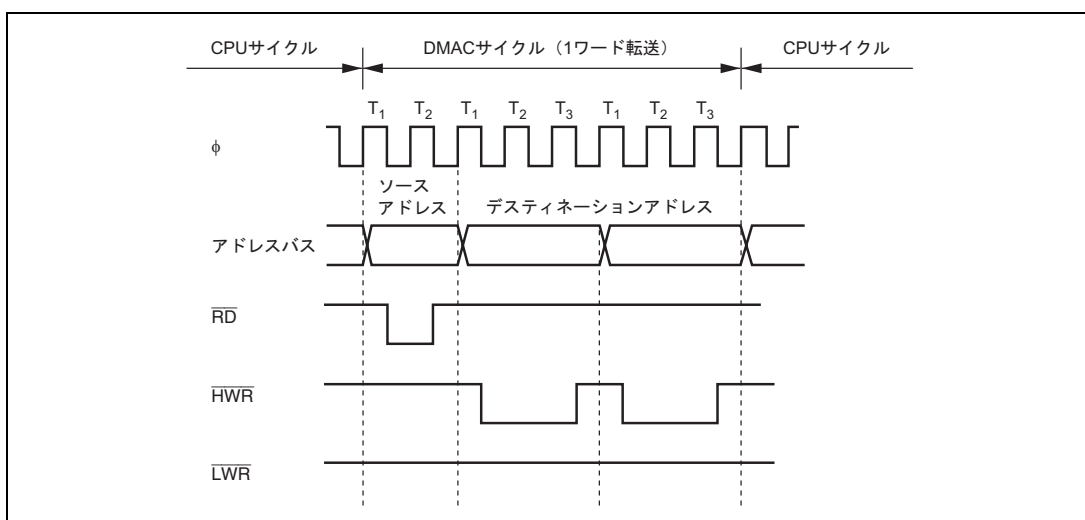


図 7.14 DMA 転送バスタイミング例

なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部のアドレスバスに出力されません。

7.4.9 DMAC のバスサイクル (デュアルアドレスモード)

(1) ショートアドレスモード

図 7.15 に \overline{TEND}^* 出力を許可して、外部 8 ビット 2 ステートアクセス空間から、内部 I/O 空間へバイトサイズでショートアドレスモード転送(シーケンシャル/アイドル/リピートモード)を行った場合の転送例を示します。

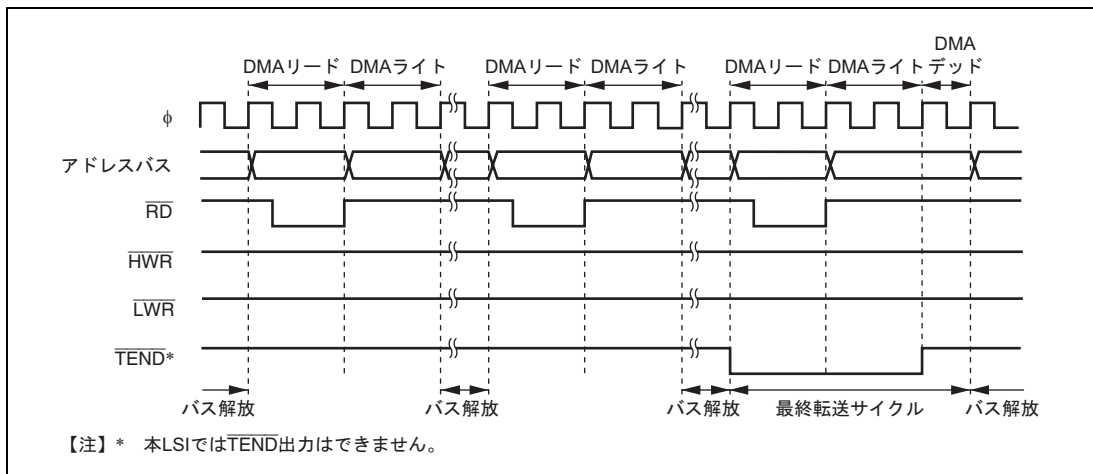


図 7.15 ショートアドレスモード転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

転送終了サイクル(転送カウンタが 0 となったサイクル)では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

リピートモードの場合、 \overline{TEND}^* 出力を許可すると、転送カウンタが 0 となった転送サイクルで \overline{TEND}^* 出力が Low レベルとなります。

(2) フルアドレスモード (サイクルスチールモード)

図 7.16 に \overline{TEND}^* 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送(サイクルスチールモード)を行った場合の転送例を示します。

【注】* 本 LSI では \overline{TEND} 出力はできません。

7. DMA コントローラ (DMAC)

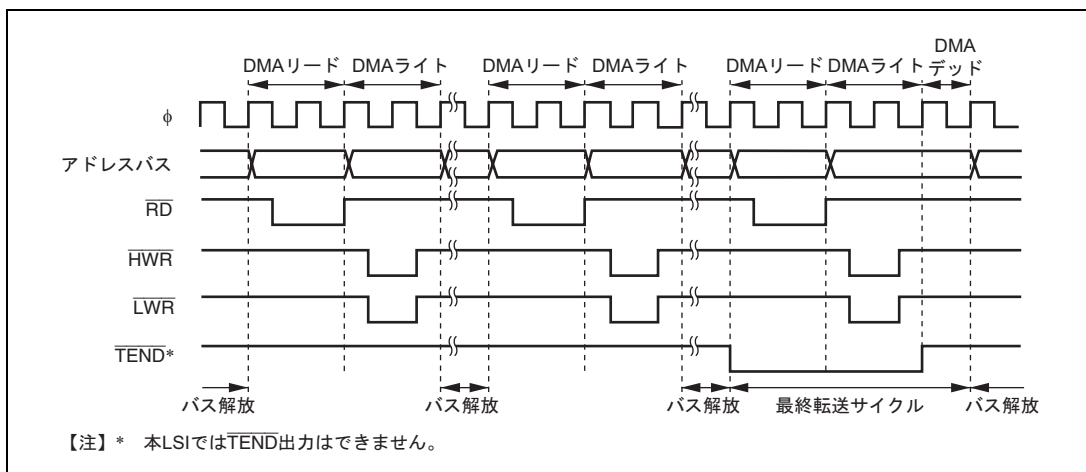


図 7.16 フルアドレスモード (サイクルスチール) 転送例

1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

(3) フルアドレスモード (バーストモード)

図 7.17 に $\overline{\text{TEND}}^*$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

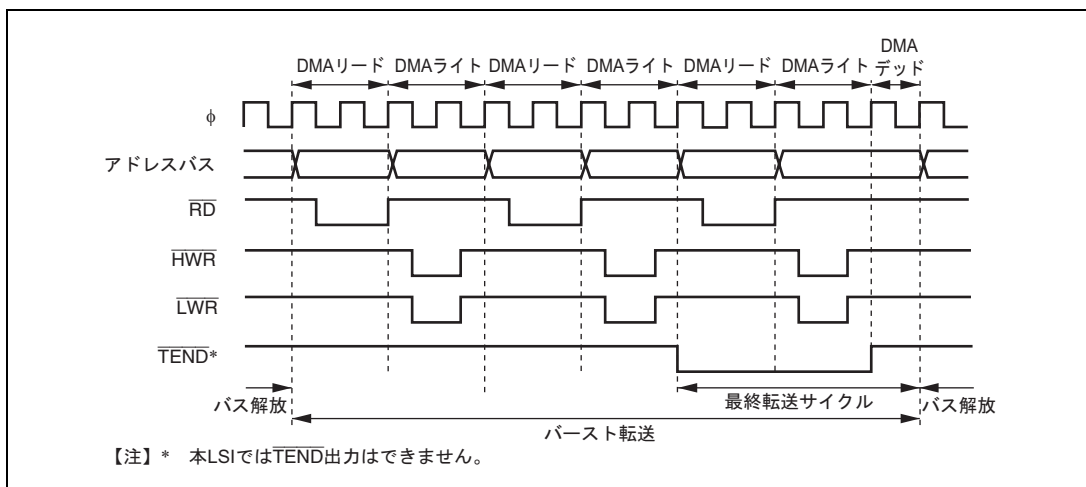


図 7.17 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードの転送を転送が終了するまで継続して実行します。

転送終了サイクル(転送カウンタが 0 となったサイクル)では、DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

【注】 * 本 LSI では $\overline{\text{TEND}}$ 出力はできません。

バースト転送が始まると、他の優先順位の高いチャンネルの要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

(4) フルアドレスモード (ブロック転送モード)

図 7.18 に $\overline{\text{TEND}}$ *出力を許可して、内部 16 ビット 1 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送(ブロック転送モード)を行った場合の転送例を示します。

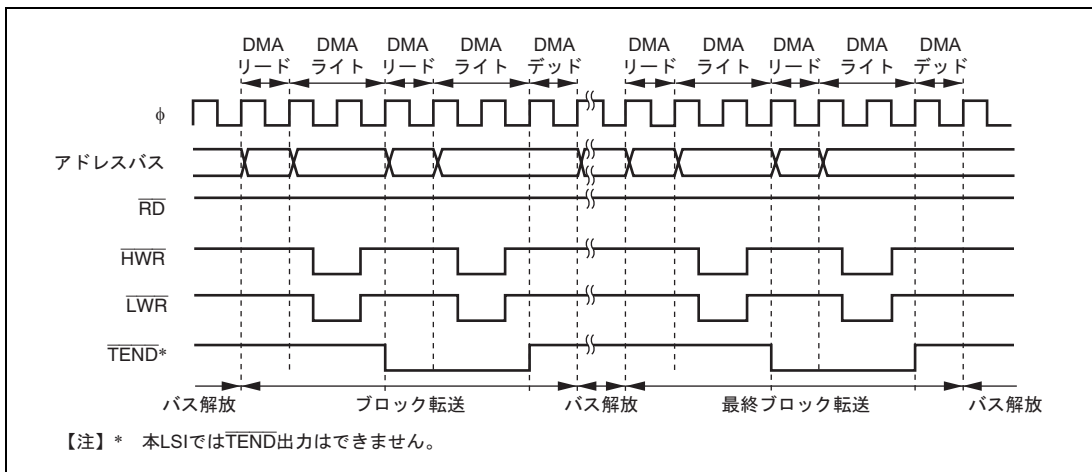


図 7.18 フルアドレスモード (ブロック転送モード) 転送例

1 回の転送要求につき 1 ブロック分の転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU によるバスサイクルが 1 回以上入ります。

各ブロックの転送終了サイクル(転送カウンタが 0 となったサイクル)では DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

1 ブロックは連続して転送を行います。NMI が発生してもブロック転送の動作に影響を与えません。

【注】 * 本 LSI では $\overline{\text{TEND}}$ 出力はできません。

7. DMA コントローラ (DMAC)

(5) $\overline{\text{DREQ}}$ レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$ 信号を選択するチャンネルの DTA ビットは 1 にセットしてください。図 7.19 に $\overline{\text{DREQ}}$ レベル起動のノーマルモード転送例を示します。

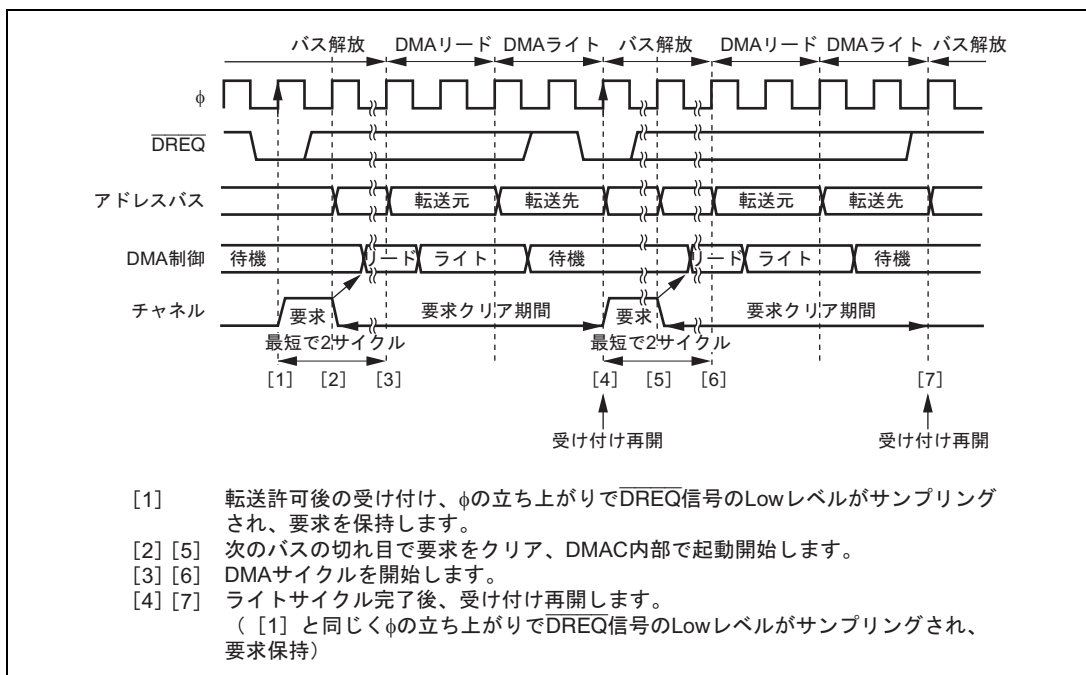


図 7.19 $\overline{\text{DREQ}}$ レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 信号のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 信号による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 信号の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 信号の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

【注】 本 LSI の $\overline{\text{DREQ}}$ 信号は LSI 内部信号であるため、端子出力されません。

7.4.10 DMAC 複数チャンネルの動作

DMAC のチャンネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 7.9 に DMAC のチャンネル間優先順位を示します。

表 7.9 DMAC のチャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑ 低
チャンネル 0B		
チャンネル 1A	チャンネル 1	
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合は、DMAC はバスを解放した時点で、要求の発生しているチャンネルの中から表 7.14 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。バースト転送中、およびブロック転送の 1 ブロック転送中は、転送終了までチャンネルを切り替えて転送することはありません。図 7.20 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

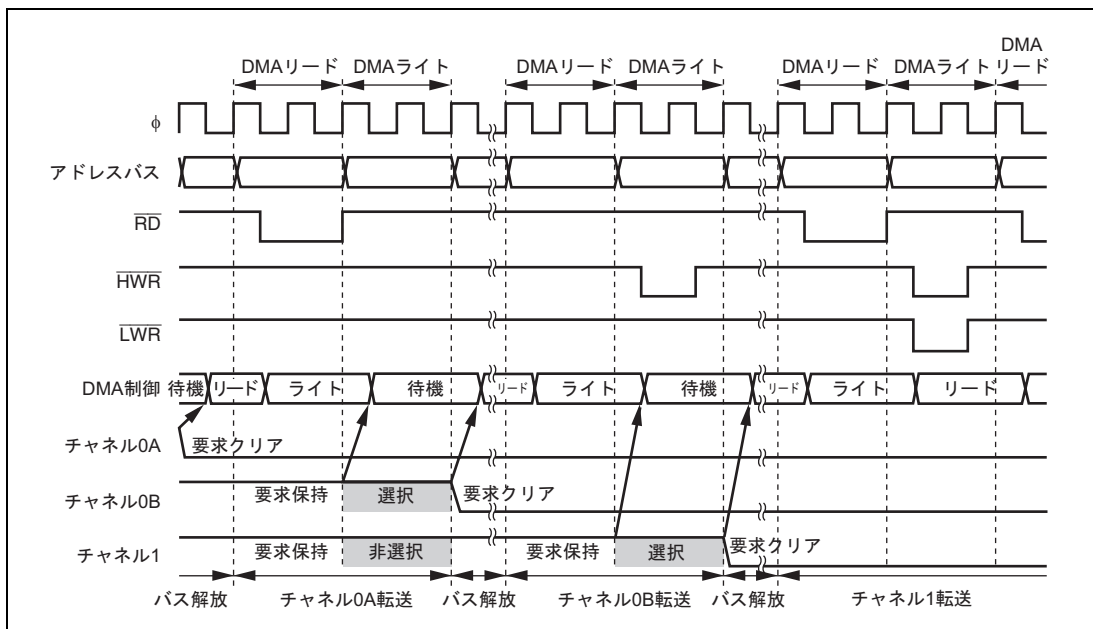


図 7.20 複数チャンネル転送例

7. DMA コントローラ (DMAC)

7.4.11 DMAC と外部バス権要求の関係

DMA サイクルのリードとライトの間は不可分割となっています。このため、DMA サイクルの外部リードと外部ライト間に外部バス解放サイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルのあとに、外部バス解放状態が挿入されることがあります。

DMA サイクルのリードまたはライトが、内蔵メモリアクセスまたは内部 I/O レジスタアクセスの場合には、これらの DMA サイクル、または外部バス解放が同時に行われる場合があります。

7.4.12 NMI 割り込みと DMAC

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードの転送を完了した時点で、転送を中断後バスを解放し、CPU にバス権が移ります。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。バーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を図 7.21 に示します。

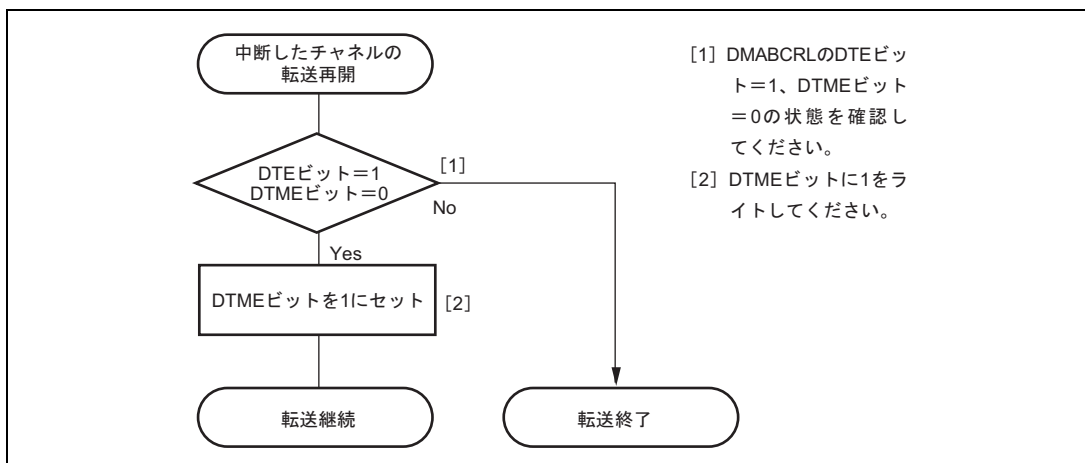


図 7.21 NMI 割り込みにより中断したチャンネルの転送継続手順例

7.4.13 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。このあと、DTE ビットを 1 にセットすると DMAC は動作を再開します。フルアドレスモードの場合、DTME ビットについても同様です。DMAC をソフトウェアで強制終了させる場合の手順を図 7.22 に示します。

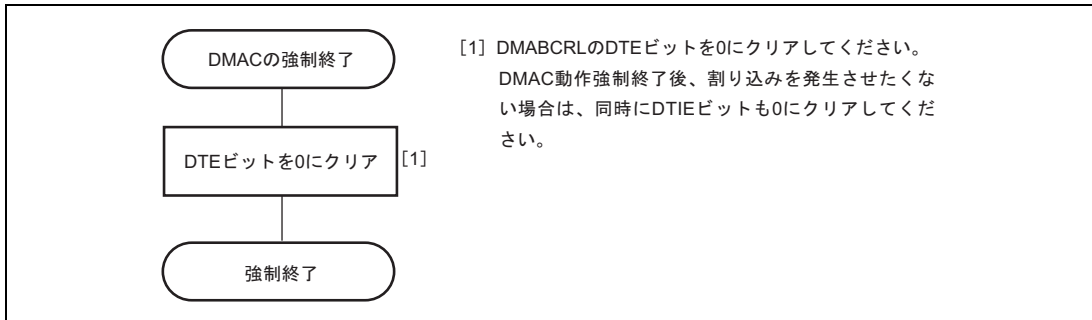


図 7.22 DMAC 動作の強制終了手順例

7.4.14 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 7.23 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

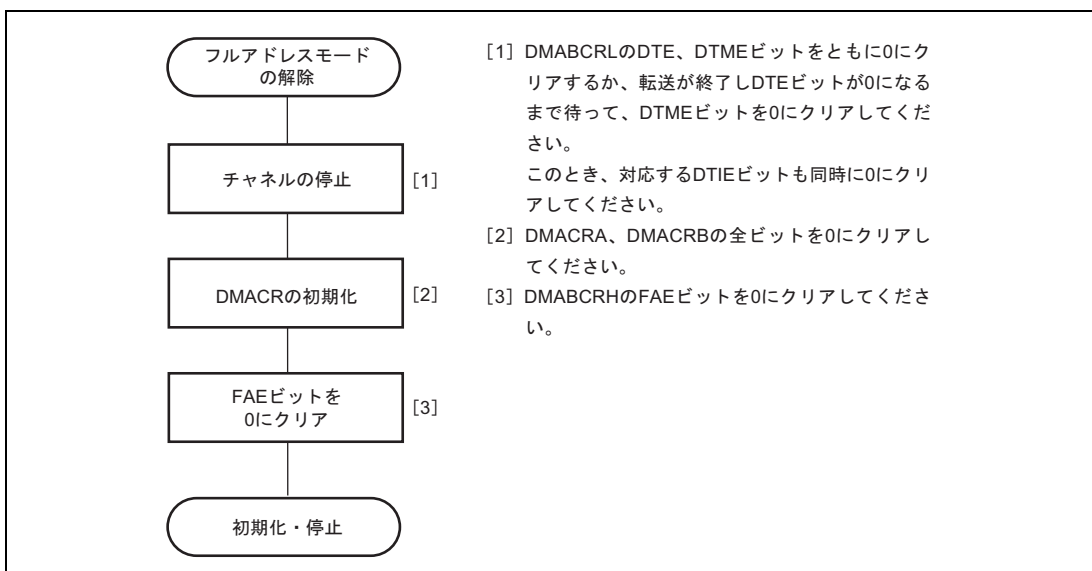


図 7.23 フルアドレスモード解除手順例

7.5 割り込み要因

DMAC が発生する割り込み要因は転送終了、転送中断です。表 7.10 に割り込み要因と優先度を示します。

表 7.10 割り込み要因と優先度

割り込み 名称	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCR の対応するチャンネルの DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 7.10 に示すようになっています。

転送終了 / 転送中断割り込みのブロック図を図 7.24 に示します。DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

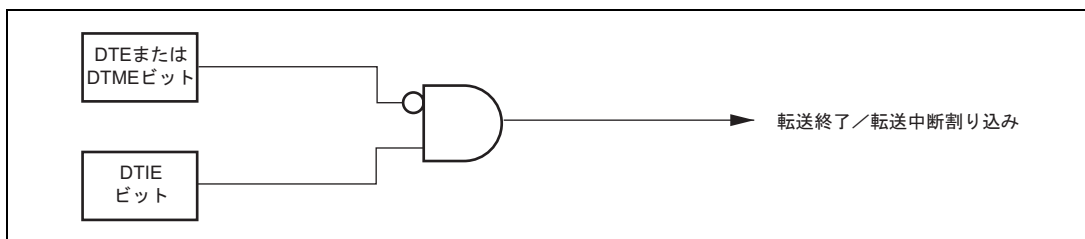


図 7.24 転送終了 / 転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIEB = 1 のとき DTME ビットが 0 にクリアされると発生します。ショートアドレスモード、フルアドレスモードともに、設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

7.6 使用上の注意事項

7.6.1 動作中の DMAC レジスタアクセス

強制終了を除き、動作中（転送待ち状態を含む）のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。また、DMA 転送による DMAC レジスタへのライトは行わないでください。

動作中（転送待ち状態を含む）の DMAC レジスタリードに関しては次のようになります。

- DMAC制御はバスサイクルより進んで起動し、アドレス値を出力します。このためMARは、DMAC転送前のバスサイクルに更新されます。

図7.25にデュアルアドレス転送モードにおける、DMACレジスタの更新タイミング例を示します。

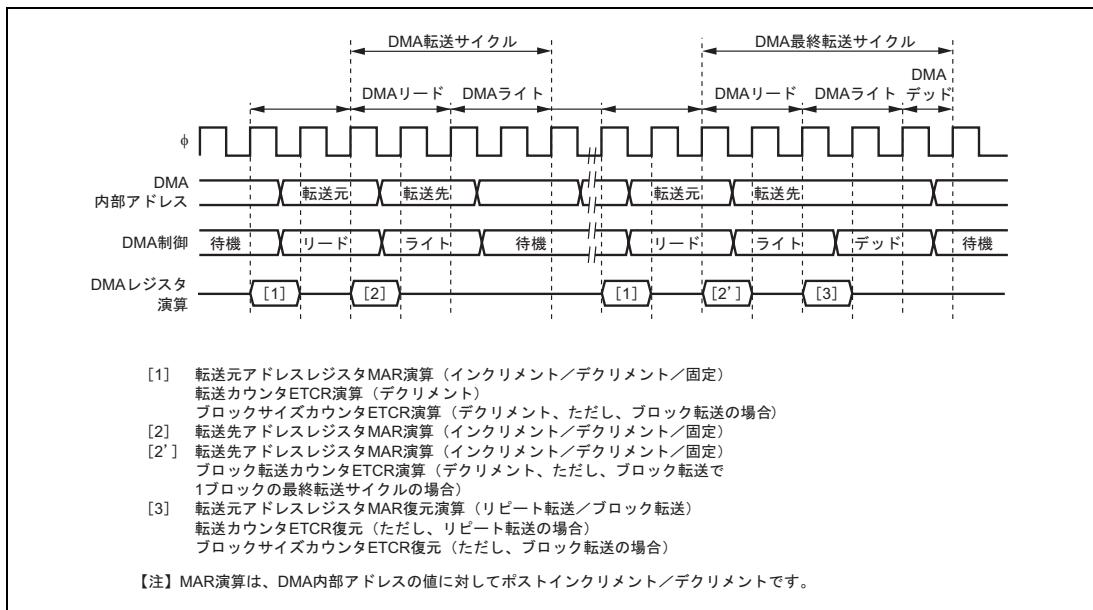


図 7.25 DMAC レジスタの更新タイミング

7. DMA コントローラ (DMAC)

- DMACレジスタリード直後にDMACの転送サイクルが起こる場合、図7.26のようにDMACレジスタがリードされます。

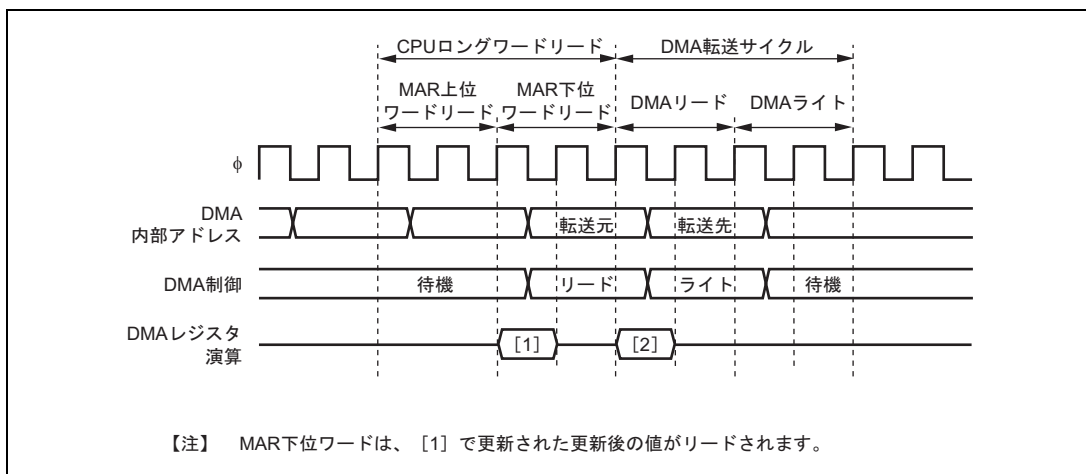


図 7.26 DMAC レジスタの更新と CPU リードの競合

7.6.2 モジュールストップ

MSTPCRA の MSTPA7 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTPA7 ビットに 1 をライトできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

- 転送終了 / 中断割り込み (DTE = 0かつDTIE = 1)
詳細は「第 20 章 低消費電力状態」を参照してください。

7.6.3 中速モード

DTA ビットが 0 にクリアされている場合、DMAC の転送要因に指定された内部割り込み信号は、エッジ検出されています。

中速モードでは、DMAC は中速クロックで動作し、内蔵周辺モジュールは高速クロックで動作します。このため、CPU、または DMAC の他のチャンネルにより当該割り込み要因がクリアされ、次の割り込みが発生する期間が DMAC のクロック (バスマスタクロック) に対し 1 ステート未満だった場合に、エッジ検出できずに無視されることがあります。

7.6.4 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ 信号の Low レベルを検出しています。同様に、内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL ライト実行以前に発生している内部割り込み、または $\overline{\text{DREQ}}$ 信号の Low レベルは、要求を受け付けます。

DMAC の起動時には、必要に応じて、前回の転送終了時などの内部割り込み、または $\overline{\text{DREQ}}$ 信号の Low レベルが残らないようにしてください。

7.6.5 転送終了後の内部割り込み

転送終了または強制終了により、DTE ビットが 0 にクリアされると、DTA = 1 の場合でも選択されている内部割り込みは CPU に割り込みを要求します。

なお、強制終了時にすでに DMAC 内部で起動がかかっている場合には、転送は実行されませんが、DTA = 1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

7.6.6 チャンネルの再設定

複数のチャンネルが転送許可状態にあつて、複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR のコントロールビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行う場合があると、元の処理ルーチンで DMABCR をライトするデータが異なってしまい、ライトにより多重割り込みでの操作結果を無効にしまう場合がありますので注意してください。多重割り込み DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアされた場合と 0 をライトされた場合、DTE / DTME = 0 の状態をいったんリードしないと CPU では 1 をライトできません。

8. I/O ポート

H8S/2218 グループのポート機能一覧を表 8.1 に、H8S/2212 グループのポート機能一覧を表 8.2 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。各ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート A~E には、入力プルアップ MOS が内蔵されており、入力プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。ポート 3 にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン/オフを選択できます。

すべてのポートは 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

表 8.1 H8S/2218 グループのポートの機能一覧

ポート名	概要	モード 4、5	モード 6	モード 7	入出力形態他
ポート 1	TPU 入出力、割り込み入力、アドレスバス出力端子と兼用汎用入出力ポート	P17/TIOCB2/TCLKD P16/TIOCA2/ $\overline{IRQ1}$ P15/TIOCB1/TCLKC P14/TIOCA1/ $\overline{IRQ0}$			シュミットトリガ入力 ($\overline{IRQ1}$ 、 $\overline{IRQ0}$)
		P13/TIOCD0/TCLKB/A23		P13/TIOCD0/TCLKB	
		P12/TIOCC0/TCLKA/A22		P12/TIOCC0/TCLKA	
		P11/TIOCB0/A21		P11/TIOCB0	
		P10/TIOCA0/A20		P10/TIOCA0	
ポート 3	SCI_0 入出力、割り込み入力端子と兼用汎用入出力ポート	P36 P32/SCK0/ $\overline{IRQ4}$ P31/RxD0 P30/TxD0			オープンドレイン出力可能 シュミットトリガ入力 ($\overline{IRQ4}$)
ポート 4	A/D 変換器のアナログ入力端子と兼用汎用入力ポート	P43/AN3 P42/AN2 P41/AN1 P40/AN0			
ポート 7	バス制御出力、マニュアルリセット入力端子と兼用汎用入出力ポート	P74/ \overline{MRES} P71/ $\overline{CS5}$ P70/ $\overline{CS4}$		P74/ \overline{MRES} P71 P70	

8. I/O ポート

ポート名	概要	モード 4、5	モード 6	モード 7	入出力形態ほか
ポート 9	A/D 変換器のアナログ入力端子と兼用汎用入力ポート	P97/AN15 P96/AN14			
ポート A	SCI_2 の入出力端子、アドレスバス出力端子と兼用汎用入出力ポート	PA3/A19/SCK2 PA2/A18/RxD2 PA1/A17/TxD2 PA0/A16		PA3/SCK2 PA2/RxD2 PA1/TxD2 PA0	入力プルアップ MOS 内蔵 オープンドレイン出力可能
ポート B	アドレスバス出力端子と兼用汎用入出力ポート	PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8		PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	入力プルアップ MOS 内蔵
ポート C	アドレスバス出力端子と兼用汎用入出力ポート	A7	DDR = 0 のとき PC7 DDR = 1 のとき A7	PC7	入力プルアップ MOS 内蔵
		A6	DDR = 0 のとき PC6 DDR = 1 のとき A6	PC6	
		A5	DDR = 0 のとき PC5 DDR = 1 のとき A5	PC5	
		A4	DDR = 0 のとき PC4 DDR = 1 のとき A4	PC4	
		A3	DDR = 0 のとき PC3 DDR = 1 のとき A3	PC3	
		A2	DDR = 0 のとき PC2 DDR = 1 のとき A2	PC2	
		A1	DDR = 0 のとき PC1 DDR = 1 のとき A1	PC1	
		A0	DDR = 0 のとき PC0 DDR = 1 のとき A0	PC0	

ポート名	概要	モード 4、5	モード 6	モード 7	入出力形態ほか
ポート D	データバス入出力 端子と汎用入出力 ポート	D15 D14 D13 D12 D11 D10 D9 D8		PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	入力プルアップ MOS 内蔵
ポート E	データバス入出力 端子と兼用汎用入 出力ポート	8 ビットバスモードのとき PE7 16 ビットバスモードのとき D7		PE7	入力プルアップ MOS 内蔵
		8 ビットバスモードのとき PE6 16 ビットバスモードのとき D6		PE6	
		8 ビットバスモードのとき PE5 16 ビットバスモードのとき D5		PE5	
		8 ビットバスモードのとき PE4 16 ビットバスモードのとき D4		PE4	
		8 ビットバスモードのとき PE3 16 ビットバスモードのとき D3		PE3	
		8 ビットバスモードのとき PE2 16 ビットバスモードのとき D2		PE2	
		8 ビットバスモードのとき PE1 16 ビットバスモードのとき D1		PE1	
		8 ビットバスモードのとき PE0 16 ビットバスモードのとき D0		PE0	

8. I/O ポート

ポート名	概要	モード 4、5	モード 6	モード 7	入出力形態ほか
ポート F	バス制御信号入出力、割り込み入力端子と兼用汎用入出力ポート	DDR = 0 のとき PF7 DDR = 1 のとき (リセット後) ϕ		DDR = 0 のとき (リセット後) PF7 DDR = 1 のとき ϕ	シュミットトリガ入力 ($\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ2}}$)
		$\overline{\text{AS}}$		PF6	
		$\overline{\text{RD}}$		PF5	
		$\overline{\text{HWR}}$		PF4	
		8 ビットバスモードのとき PF3/ADTRG/ $\overline{\text{IRQ3}}$ 16 ビットバスモードのとき $\overline{\text{LWR}}$		PF3/ADTRG/ $\overline{\text{IRQ3}}$	
		WAITE = 0 のとき (リセット後) PF2 WAITE = 1 のとき $\overline{\text{WAIT}}$		PF2	
		BRLE = 0 のとき (リセット後) PF1 BRLE = 1 のとき $\overline{\text{BACK}}$		PF1	
		BRLE = 0 のとき (リセット後) PF0/ $\overline{\text{IRQ2}}$ BRLE = 1 のとき $\overline{\text{BREQ/IRQ2}}$		PF0/ $\overline{\text{IRQ2}}$	
		ポート G	バス制御出力、割り込み入力端子と兼用汎用入出力ポート	DDR = 0 のとき PG4 (モード 6 のリセット後) DDR = 1 のとき $\overline{\text{CS0}}$ (モード 4、5 のリセット後)	
DDR = 0 のとき PG3 DDR = 1 のとき $\overline{\text{CS1}}$				PG3	
DDR = 0 のとき PG2 DDR = 1 のとき $\overline{\text{CS2}}$				PG2	
DDR = 0 のとき PG1/ $\overline{\text{IRQ7}}$ DDR = 1 のとき $\overline{\text{CS3/IRQ7}}$				PG1/ $\overline{\text{IRQ7}}$	

表 8.2 H8S/2212 グループのポートの機能一覧

ポート名	概要	モード 7	入出力形態ほか
ポート 1	TPU 入出力、割り込み入力端子と兼用汎用入出力ポート	P17/TIOCB2/TCLKD P16/TIOCA2/ $\overline{\text{IRQ1}}$ P15/TIOCB1/TCLKC P14/TIOCA1/ $\overline{\text{IRQ0}}$ P13/TIOCD0/TCLKB P12/TIOCC0/TCLKA P11/TIOCB0 P10/TIOCA0	シュミットトリガ入力 ($\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$)
ポート 3	SCI_0 入出力、割り込み入力端子と兼用汎用入出力ポート	P36 P32/SCK0/ $\overline{\text{IRQ4}}$ P31/RxD0 P30/TxD0	オープンドレイン出力可能 シュミットトリガ入力 ($\overline{\text{IRQ4}}$)
ポート 4	A/D 変換器のアナログ入力端子と兼用汎用入力ポート	P43/AN3 P42/AN2 P41/AN1 P40/ANO	
ポート 7	汎用入出力ポート	P77* P76* P75*	
ポート 9	A/D 変換器のアナログ入力端子と兼用汎用入力ポート	P97/AN15 P96/AN14	
ポート A	SCI_2 の入出力端子と兼用汎用入出力ポート	PA3/SCK2 PA2/RxD2 PA1/TxD2	入力プルアップ MOS 内蔵 オープンドレイン出力可能
ポート E	汎用入出力ポート	PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0	入力プルアップ MOS 内蔵
ポート F	割り込み入力端子と兼用汎用入出力ポート	DDR = 0 のとき (リセット後) PF7 DDR = 1 のとき ϕ PF3/ADTRG/ $\overline{\text{IRQ3}}$ PF0/ $\overline{\text{IRQ2}}$	シュミットトリガ入力 ($\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ2}}$)
ポート G	割り込み入力端子と兼用汎用入出力ポート	PG1/ $\overline{\text{IRQ7}}$ PG0*	シュミットトリガ入力 ($\overline{\text{IRQ7}}$)

【注】 * EMLE = 0 のときのみ使用可能です。H-UDI 使用時は使用できません。

8. I/O ポート

8.1 ポート 1

H8S/2218 グループでは、ポート 1 はアドレスバス、TPU 入出力、外部割り込み入力兼用の 8 ビットの入出力ポートです。H8S/2212 グループでは、ポート 1 は TPU 入出力、外部割り込み入力兼用の 8 ビットの入出力ポートです。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

8.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR はポート 1 の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	(H8S/2218 グループ)
6	P16DDR	0	W	モード 4~6 のとき
5	P15DDR	0	W	PFCR の AE3~AE0 ビットでアドレス出力を許可すると、P13~P10 端子はアドレス出力となります。P17~P14 端子と、アドレス出力を禁止した場合の P13~P10 端子は、P1DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	モード 7 のとき
1	P11DDR	0	W	
0	P10DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 (H8S/2212 グループ) このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。

8.1.2 ポート1データレジスタ (P1DR)

P1DR はポート1の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

8.1.3 ポート1レジスタ (PORT1)

PORT1 はポート1の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P17	*	R	P1DDR が1にセットされているビットは、ポート1をリードすると、P1DR の値をリードします。P1DDR が0にクリアされているとき、ポート1のリードを行うと端子の状態が読み出されます。
6	P16	*	R	
5	P15	*	R	
4	P14	*	R	
3	P13	*	R	
2	P12	*	R	
1	P11	*	R	
0	P10	*	R	

【注】 * P17～P10の端子の状態により決定されます。

8. I/O ポート

8.1.4 端子機能

(1) H8S/2218 グループの端子機能

ポート 1 は、アドレスバス (A23~A20) 出力、TPU 入出力、外部割り込み入力 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$) と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.3 P17 の端子機能

TPU チャンネル 2 の設定*	出力設定	入力設定または初期値	
P17DDR		0	1
端子機能	TIOCB2 出力端子	P17 入力端子	P17 出力端子
		TIOCB2 入力端子	
	TCLKD 入力端子		

【注】 * TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

表 8.4 P16 の端子機能

TPU チャンネル 2 の設定* ¹	出力設定	入力設定または初期値	
P16DDR		0	1
端子機能	TIOCA2 出力端子	P16 入力端子	P16 出力端子
		TIOCA2 入力端子	
	$\overline{\text{IRQ1}}$ 入力端子* ²		

【注】 *¹ TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*² 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

表 8.5 P15 の端子機能

TPU チャンネル 1 の設定*	出力設定	入力設定または初期値	
P15DDR		0	1
端子機能	TIOCB1 出力端子	P15 入力端子	P15 出力端子
		TIOCB1 入力端子	
	TCLKC 入力端子		

【注】 * TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

表 8.6 P14 の端子機能

TPU チャンネル 1 の設定*1	出力設定	入力設定または初期値	
P14DDR		0	1
端子機能	TIOCA1 出力端子	P14 入力端子	P14 出力端子
		TIOCA1 入力端子	
	$\overline{\text{IRQ0}}$ 入力端子*2		

【注】 *1 TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

表 8.7 P13 の端子機能

AE3 - AE0*2	(B'1111) 以外			B'1111
TPU チャンネル 0 の設定*1	出力設定	入力設定または初期値		
P13DDR		0	1	
端子機能	TIOCD0 出力端子	P13 入力端子	P13 出力端子	A23 出力端子*2
		TIOCD0 入力端子		
	TCLKB 入力端子			

【注】 *1 TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 モード 4、5、6 のときに有効です。

表 8.8 P12 の端子機能

AE3 - AE0*2	(B'1111) 以外			B'1111
TPU チャンネル 0 の設定*1	出力設定	入力設定または初期値		
P12DDR		0	1	
端子機能	TIOCC0 出力端子	P12 入力端子	P12 出力端子	A22 出力端子*2
		TIOCC0 入力端子		
	TCLKA 入力端子			

【注】 *1 TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 モード 4、5、6 のときに有効です。

表 8.9 P11 の端子機能

AE3 - AE0*2	(B'1110 ~ B'1111) 以外			B'1110 ~ B'1111
TPU チャンネル 0 の設定*1	出力設定	入力設定または初期値		
P11DDR		0	1	
端子機能	TIOCB0 出力端子	P11 入力端子	P11 出力端子	A21 出力端子*2
		TIOCB0 入力端子		

【注】 *1 TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 モード 4、5、6 のときに有効です。

8. I/O ポート

表 8.10 P10 の端子機能

AE3 ~ AE0* ²	(B'1101 ~ B'1111) 以外			B'1101 ~ B'1111
TPU チャンネル 0 の設定* ¹	出力設定	入力設定または初期値		
P10DDR		0	1	
端子機能	TIOCA0 出力端子	P10 入力端子	P10 出力端子	A20 出力端子* ²
		TIOCA0 入力端子		

【注】 *1 TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 モード 4、5、6 のときに有効です。

(2) H8S/2212 グループの端子機能

ポート 1 は、TPU 入出力、外部割り込み入力 ($\overline{IRQ0}$ 、 $\overline{IRQ1}$) と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.11 P17 の端子機能

TPU チャンネル 2 の設定*	出力設定	入力設定または初期値	
P17DDR		0	1
端子機能	TIOCB2 出力端子	P17 入力端子	P17 出力端子
		TIOCB2 入力端子	
	TCLKD 入力端子		

【注】 * TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

表 8.12 P16 の端子機能

TPU チャンネル 2 の設定* ¹	出力設定	入力設定または初期値	
P16DDR		0	1
端子機能	TIOCA2 出力端子	P16 入力端子	P16 出力端子
		TIOCA2 入力端子	
	$\overline{IRQ1}$ 入力端子* ²		

【注】 *1 TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

表 8.13 P15 の端子機能

TPU チャンネル 1 の設定*	出力設定	入力設定または初期値	
P15DDR		0	1
端子機能	TIOCB1 出力端子	P15 入力端子	P15 出力端子
		TIOCB1 入力端子	
	TCLKC 入力端子		

【注】 * TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

表 8.14 P14 の端子機能

TPU チャンネル 1 の設定* ¹	出力設定	入力設定または初期値	
P14DDR		0	1
端子機能	TIOCA1 出力端子	P14 入力端子	P14 出力端子
		TIOCA1 入力端子	
	IRQ0 入力端子* ²		

【注】 *¹ TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*² 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

表 8.15 P13 の端子機能

TPU チャンネル 0 の設定*	出力設定	入力設定または初期値	
P13DDR		0	1
端子機能	TIOCD0 出力端子	P13 入力端子	P13 出力端子
		TIOCD0 入力端子	
	TCLKB 入力端子		

【注】 * TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

表 8.16 P12 の端子機能

TPU チャンネル 0 の設定*	出力設定	入力設定または初期値	
P12DDR		0	1
端子機能	TIOCC0 出力端子	P12 入力端子	P12 出力端子
		TIOCC0 入力端子	
	TCLKA 入力端子		

【注】 * TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

8. I/O ポート

表 8.17 P11 の端子機能

TPU チャンネル 0 の設定*	出力設定	入力設定または初期値	
P11DDR		0	1
端子機能	TIOCB0 出力端子	P11 入力端子	P11 出力端子
		TIOCB0 入力端子	

表 8.18 P10 の端子機能

TPU チャンネル 0 の設定*	出力設定	入力設定または初期値	
P10DDR		0	1
端子機能	TIOCA0 出力端子	P10 入力端子	P10 出力端子
		TIOCA0 入力端子	

【注】 * TPU チャンネルの設定は「第 9 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

8.2 ポート 3

ポート 3 は、SCI 入出力、外部割り込み入力 ($\overline{IRQ4}$) 兼用の 4 ビットの入出力ポートです。H8S/2218 グループのポート 3 と H8S/2212 グループのポート 3 は同じ動作 (機能) となります。ポート 3 には以下のレジスタがあります。

- ポート 3 データディレクションレジスタ (P3DDR)
- ポート 3 データレジスタ (P3DR)
- ポート 3 レジスタ (PORT3)
- ポート 3 オープンドレインコントロールレジスタ (P3ODR)

8.2.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の各端子の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
6	P36DDR	0	W	P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。
5~3		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2	P32DDR	0	W	P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。
1	P31DDR	0	W	
0	P30DDR	0	W	

8.2.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
6	P36DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
5~3		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2	P32DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
1	P31DR	0	R/W	
0	P30DR	0	R/W	

8.2.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。
6	P36	*	R	P3DDR が 1 にセットされているビットは、ポート 3 をリードすると P3DR の値をリードします。P3DDR が 0 にクリアされているとき、ポート 3 のリードを行うと端子の状態が読み出されます。
5~3		不定		リザーブビット リードすると不定値が読み出されます。
2	P32	*	R	P3DDR が 1 にセットされているビットは、ポート 3 をリードすると P3DR の値をリードします。P3DDR が 0 にクリアされているとき、ポート 3 のリードを行うと端子の状態が読み出されます。
1	P31	*	R	
0	P30	*	R	

【注】 * P36、P32～P30 端子の状態により決定されます。

8. I/O ポート

8.2.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の各端子の PMOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
6	P36ODR	0	R/W	P3ODR を 1 にセットするとポート 3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
5~3		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
2	P32ODR	0	R/W	P3ODR を 1 にセットするとポート 3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

8.2.5 端子機能

ポート 3 は、SCI 入力、外部割り込み入力 ($\overline{\text{IRQ4}}$) と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。P36 は USB の D+ブルアップ制御出力として使用してください。詳細は「第 14 章ユニバーサルシリアルバス (USB)」を参照してください。

表 8.19 P36 の端子構成

P36DDR	0	1
端子機能	P36 入力端子	P36 出力端子 (USB の D+ブルアップ制御出力)

表 8.20 P32 の端子機能

SCR_0 の CKE1	0			1	
SMR_0 の C/ \bar{A}	0		1		
SCR_0 の CKE0	0		1		
P32DDR	0	1			
端子機能	P32 入力端子	P32 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子
	IRQ4 入力端子*				

【注】 * 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

表 8.21 P31 の端子機能

SCR_0 の RE	0		1
P31DDR	0		1
端子機能	P31 入力端子	P31 出力端子	RxD0 入力端子

表 8.22 P30 の端子機能

SCR_0 の TE	0		1
P30DDR	0	1	
端子機能	P30 入力端子	P30 出力端子	TxD0 出力端子

8.3 ポート 4

ポート 4 は、A/D 変換器のアナログ入力兼用の 4 ビットの入力ポートです。H8S/2218 グループのポート 4 と H8S/2212 グループのポート 4 は同じ動作（機能）となります。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ（PORT4）

8.3.1 ポート 4 レジスタ（PORT4）

PORT4 は、ポート 4 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7~4		不定		リザーブビット リードすると不定値が読み出されます。
3	P43	*	R	リードすると常に端子の状態がリードされます。
2	P42	*	R	
1	P41	*	R	
0	P40	*	R	

【注】 * P43～P40 端子の状態により決定されます。

8.3.2 端子機能

ポート 4 は、A/D 変換器のアナログ入力（AN3～0）と兼用になっています。

8.4 ポート 7

H8S/2218 グループではポート 7 は、バス制御出力、マニュアルリセット入力兼用の 3 ビットの入出力ポートです。H8S/2212 グループでは H-UDI と兼用の 3 ビットの入出力ポートです。ポート 7 には以下のレジスタがあります。

- ポート7データディレクションレジスタ（P7DDR）
- ポート7データレジスタ（P7DR）
- ポート7レジスタ（PORT7）

8. I/O ポート

8.4.1 ポート7データディレクションレジスタ (P7DDR)

P7DDR は、ポート7の各端子の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	P77DDR	0	W	(H8S/2218 グループ)
6	P76DDR	0	W	リザーブビット
5	P75DDR	0	W	リードすると不定値が読み出されます。ライトは無効です。 (H8S/2212 グループ) EMLE = 1 のとき、P77 ~ P75 端子は H-UDI 端子 (TDO、TMS、TCK) となります。 EMLE = 0 のとき、P77 ~ P75 端子は P7DDR を 1 にセットすると出力ポート、 0 にクリアすると入力ポートになります。
4	P74DDR	0	W	(H8S/2218 グループ) P7DDR を 1 にセットすると対応するポート7の各端子は出力となり、0 にクリア すると入力になります。 (H8S/2212 グループ) リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3, 2		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
1	P71DDR	0	W	(H8S/2218 グループ)
0	P70DDR	0	W	P7DDR を 1 にセットすると対応するポート7の各端子は出力となり、0 にクリア すると入力になります。 (H8S/2212 グループ) リザーブビット リードすると不定値が読み出されます。ライトは無効です。

8.4.2 ポート7データレジスタ (P7DR)

P7DR は、ポート7の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P77DR	0	R/W	(H8S/2218 グループ)
6	P76DR	0	R/W	リザーブビット
5	P75DR	0	R/W	リードすると不定値が読み出されます。ライトは無効です。 (H8S/2212 グループ) ポート7の各端子の出力データを格納します。
4	P74DR	0	R/W	(H8S/2218 グループ) ポート7の各端子の出力データを格納します。 (H8S/2212 グループ) リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3、2		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
1	P71DR	0	R/W	(H8S/2218 グループ)
0	P70DR	0	R/W	ポート7の各端子の出力データを格納します。 (H8S/2212 グループ) リザーブビット リードすると不定値が読み出されます。ライトは無効です。

8. I/O ポート

8.4.3 ポート 7 レジスタ (PORT7)

PORT7 は、ポート 7 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7 6 5	P77 P76 P75	* * *		(H8S/2218 グループ) リザーブビット リードすると不定値が読み出されます。ライトは無効です。 (H8S/2212 グループ) P7DDR が 1 にセットされているビットは P7DR の値をリードします。 P7DDR が 0 にクリアされているビットは端子の状態が読み出されます。
4	P74	*	R	(H8S/2218 グループ) P7DDR が 1 にセットされている場合は、ポート 7 のリードすると P7DR の値をリードします。P7DDR が 0 にクリアされているとき、ポート 7 のリードを行うと端子の状態が読み出されます。 (H8S/2212 グループ) リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3, 2		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
1 0	P71 P70	* *	R R	(H8S/2218 グループ) P7DDR が 1 にセットされているビットは、ポート 7 のリードすると P7DR の値をリードします。P7DDR が 0 にクリアされているとき、ポート 7 のリードを行うと端子の状態が読み出されます。 (H8S/2212 グループ) リザーブビット リードすると不定値が読み出されます。ライトは無効です。

【注】 * P77 ~ P74、P71、P70 端子の状態により決定されます。

8.4.4 端子機能

(1) H8S/2218 グループの端子機能

ポート7は、バス制御出力、マニュアルリセット入力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.23 P74 の端子機能

MRESE	0		1
P74DDR	0	1	
端子機能	P74 入力端子	P74 出力端子	MRES 入力端子

表 8.24 P71 の端子機能

動作モード	モード4~6		モード7	
P71DDR	0	1	0	1
端子機能	P71 入力端子	CS5 出力端子	P71 入力端子	P71 出力端子

表 8.25 P70 の端子機能

動作モード	モード4~6		モード7	
P70DDR	0	1	0	1
端子機能	P70 入力端子	CS4 出力端子	P70 入力端子	P70 出力端子

(2) H8S/2212 グループの端子機能

ポート7は、H-UDI 端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.26 P77 の端子機能

EMLE	0		1
P77DDR	0	1	
端子機能	P77 入力端子	P77 出力端子	TDO 出力端子

表 8.27 P76 の端子機能

EMLE	0		1
P76DDR	0	1	
端子機能	P76 入力端子	P76 出力端子	TCK 入力端子

表 8.28 P75 の端子機能

EMLE	0		1
P75DDR	0	1	
端子機能	P75 入力端子	P75 出力端子	TMS 入力端子

8. I/O ポート

8.5 ポート 9

ポート 9 は、A/D 変換器のアナログ入力兼用の 2 ビットの入力ポートです。H8S/2218 グループのポート 9 と H8S/2212 グループのポート 9 は同じ動作（機能）となります。

- ポート9レジスタ（PORT9）

8.5.1 ポート 9 レジスタ（PORT9）

PORT9 はポート 9 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P97	*	R	このレジスタをリードすると、常に端子の状態がリードされます。
6	P96	*	R	
5~0		不定		リザーブビット リードすると不定値が読み出されます。

【注】 * P97、P96 端子の状態により決定されます。

8.5.2 端子機能

ポート 9 は、A/D 変換器のアナログ入力（AN15、AN14）と兼用になっています。

8.6 ポート A

H8S/2218 グループでは、ポート A はアドレスバス（A19~A16）出力、SCI 入出力兼用の 4 ビットの入出力ポートです。H8S/2212 グループでは、ポート A は SCI 入出力兼用の 3 ビットの入出力ポートです。ポート A には以下のレジスタがあります。

- ポートAデータディレクションレジスタ（PADDR）
- ポートAデータレジスタ（PADR）
- ポートAレジスタ（PORTA）
- ポートAプルアップMOSコントロールレジスタ（PAPCR）
- ポートAオープンドレインコントロールレジスタ（PAODR）

8.6.1 ポート A データディレクションレジスタ (PADDR)

PADDR はポート A の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PA3DDR	0	W	(H8S/2218 グループ)
2	PA2DDR	0	W	モード 4~6 のとき
1	PA1DDR	0	W	PFCR の AE3~AE0 ビットでアドレス出力を許可すると、対応するポート A の各端子はアドレス出力になります。アドレス出力を禁止にして PADDR を 1 にセットすると、対応するポート A の各端子は出力ポートになり、0 にクリアすると入力ポートになります。
0	PA0DDR*	0	W	モード 7 のとき このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 (H8S/2212 グループ) このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。

【注】 * H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8.6.2 ポート A データレジスタ (PADR)

PADR はポート A の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PA3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR*	0	R/W	

【注】 * H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8. I/O ポート

8.6.3 ポート A レジスタ (PORTA)

PORTA はポート A の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。
3	PA3	- *1	R	PADDR が 1 にセットされているビットは、ポート A をリードすると PADDR の値をリードします。PADDR が 0 にクリアされているとき、ポート A のリードを行うと端子の状態が読み出されます。
2	PA2	- *1	R	
1	PA1	- *1	R	
0	PA0*2	- *1	R	

【注】 *1 PA3 ~ PA0 端子の状態により決定されます。

*2 H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。

8.6.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR はポート A の入力プルアップ MOS のオン / オフを制御します。ポート入力、SCI 入力端子に対して有効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PA3PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR*	0	R/W	

【注】 * H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8.6.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR はポート A の出力形態を選択します。ポート出力、SCI 出力端子に対して有効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	PA3ODR	0	R/W	PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR*	0	R/W	

【注】 * H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8.6.6 端子機能

(1) H8S/2218 グループの端子機能

ポート A は、アドレスバス (A19~A16) 出力、SCI_2 入出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.29 PA3 の端子機能

動作モード	モード 4~6						モード 7					
AE3 - AE0	B'11xx	(B'11xx) 以外										
SCR_2 の CKE1	0			1			0		1			
SMR_2 の C/Ā	0			1			0		1			
SCR_2 の CKE0	0		1				0		1			
PA3DDR	0		1				0		1			
端子機能	A19 出力 端子	PA3 入力 端子	PA3 出力 端子	SCK2 出力 端子	SCK2 出力 端子	SCK2 入力 端子	PA3 入力 端子	PA3 出力 端子	SCK2 出力 端子	SCK2 出力 端子	SCK2 入力 端子	

表 8.30 PA2 の端子機能

動作モード	モード 4~6				モード 7			
AE3 - AE0	B'1011 または B'11xx	(B'1011 または B'11xx) 以外						
SCR_2 の RE	0		1		0		1	
PA2DDR	0		1		0		1	
端子機能	A18 出力端子	PA2 入力端子	PA2 出力端子	RxD2 入力端子	PA2 入力端子	PA2 出力端子	RxD2 入力端子	

【記号説明】 x : Don't care

表 8.31 PA1 の端子機能

動作モード	モード 4~6				モード 7			
AE3 - AE0	B'101x または B'11xx	(B'101x または B'11xx) 以外						
SCR_2 の TE	0		1		0		1	
PA1DDR	0		1		0		1	
端子機能	A17 出力端子	PA1 入力端子	PA1 出力端子	TxD2 出力端子	PA1 入力端子	PA1 出力端子	TxD2 出力端子	

8. I/O ポート

表 8.32 PA0 の端子機能

動作モード	モード 4~6		モード 7		
	(B'0xxx または B'1000) 以外	B'0xxx または B'1000			
PA0DDR		0	1	0	1
端子機能	A16 出力端子	PA0 入力端子	PA0 出力端子	PA0 入力端子	PA0 出力端子

【記号説明】 x : Don't care

(2) H8S/2212 グループの端子機能

ポート A は、SCI_2 入出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.33 PA3 の端子機能

SCR_2 の CKE1	0			1	
	0		1		
SMR_2 の C/A	0		1		
SCR_2 の CKE0	0		1		
PA3DDR	0	1			
端子機能	PA3 入力端子	PA3 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子

表 8.34 PA2 の端子機能

SCR_2 の RE	0		1
	0	1	
PA2DDR	0	1	
端子機能	PA2 入力端子	PA2 出力端子	RxD2 入力端子

表 8.35 PA1 の端子機能

SCR_2 の TE	0		1
	0	1	
PA1DDR	0	1	
端子機能	PA1 入力端子	PA1 出力端子	TxD2 出力端子

8.6.7 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.36 に示します。

表 8.36 ポート A 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイモード	マニュアル リセット	ソフトウェア スタンバイモード	その他の 動作時
アドレス出力、ポート出力、 SCI 出力	OFF		OFF		
ポート入力、SCI 入力			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

8.7 ポート B (H8S/2218 グループのみ)

ポート B は、アドレスバス (A15 ~ A8) 出力兼用の 8 ビットの入出力ポートです。ポート B には以下のレジスタがあります。

【注】 E6000 エミュレータを使用する場合で USB を使用するときは、H8S/2218 グループ、H8S/2212 グループともに PB1 と PB0 からアドレス A9、A8 が出力されるように PFCSR の AE3 ~ AE0 ビットを設定してください。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)

8. I/O ポート

8.7.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の各端子の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	モード 4~6 のとき
6	PB6DDR	0	W	PFCR の AE3~AE0 ビットでアドレス出力を許可にすると、対応するポート B の各端子はアドレス出力となります。アドレス出力を禁止にして PBDDR を 1 にセットすると、対応するポート B の各端子は出力ポートになり、0 にクリアすると入力ポートになります。
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	モード 7 のとき
1	PB1DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
0	PB0DDR	0	W	

8.7.2 ポート B データレジスタ (PBDR)

PBDR はポート B の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

8.7.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PB7	- *	R	PBDDR が 1 にセットされているビットはポート B をリードすると PBDR の値をリードします。PBDDR が 0 にクリアされているとき、ポート B のリードを行うと端子の状態が読み出されます。
6	PB6	- *	R	
5	PB5	- *	R	
4	PB4	- *	R	
3	PB3	- *	R	
2	PB2	- *	R	
1	PB1	- *	R	
0	PB0	- *	R	

【注】 * PB7 - PB0 端子の状態により決定されます。

8.7.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン/オフを制御します。ポート入力端子に対して有効です。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

8. I/O ポート

8.7.5 端子機能

ポート B はアドレスバス (A15 ~ A9) 出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

【注】 E6000 エミュレータで USB を使用する場合は、アドレス A9、A8 を出力設定にしてください。

表 8.37 PB7 の端子機能

動作モード	モード 4~6			モード 7	
	B'1xxx	(B'1xxx) 以外			
PA7DDR		0	1	0	1
端子機能	A15 出力端子	PB7 入力端子	PB7 出力端子	PB7 入力端子	PB7 出力端子

表 8.38 PB6 の端子機能

動作モード	モード 4~6			モード 7	
	B'0111 または B'1xxx	(B'0111 または B'1xxx) 以外			
PB6DDR		0	1	0	1
端子機能	A14 出力端子	PB6 入力端子	PB6 出力端子	PB6 入力端子	PB6 出力端子

表 8.39 PB5 の端子機能

動作モード	モード 4~6			モード 7	
	B'011x または B'1xxx	(B'011x または B'1xxx) 以外			
PB5DDR		0	1	0	1
端子機能	A13 出力端子	PB5 入力端子	PB5 出力端子	PB5 入力端子	PB5 出力端子

表 8.40 PB4 の端子機能

動作モード	モード 4~6			モード 7	
	(B'0100 または B'00xx) 以外	B'0100 または B'00xx			
PB4DDR		0	1	0	1
端子機能	A12 出力端子	PB4 入力端子	PB4 出力端子	PB4 入力端子	PB4 出力端子

表 8.41 PB3 の端子機能

動作モード	モード 4~6			モード 7	
	(B'00xx) 以外	B'00xx			
PB3DDR		0	1	0	1
端子機能	A11 出力端子	PB3 入力端子	PB3 出力端子	PB3 入力端子	PB3 出力端子

【記号説明】 x : Don't care

表 8.42 PB2 の端子機能

動作モード	モード 4~6			モード 7	
	AE3 ~ AE0	(B'0010 または B'000x) 以外	B'0010 または B'000x		
PB2DDR		0	1	0	1
端子機能	A10 出力端子	PB2 入力端子	PB2 出力端子	PB2 入力端子	PB2 出力端子

表 8.43 PB1 の端子機能

動作モード	モード 4~6			モード 7	
	AE3 ~ AE0	(B'000x) 以外	B'000x		
PB1DDR		0	1	0	1
端子機能	A9 出力端子	PB1 入力端子	PB1 出力端子	PB1 入力端子	PB1 出力端子

表 8.44 PB0 の端子機能

動作モード	モード 4~6			モード 7	
	AE3 ~ AE0	(B'0000) 以外	B'0000		
PB0DDR		0	1	0	1
端子機能	A8 出力端子	PB0 入力端子	PB0 出力端子	PB0 入力端子	PB0 出力端子

【記号説明】 x : Don't care

8.7.6 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.45 に示します。

表 8.45 ポート B 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイモード	マニュアル リセット	ソフトウェア スタンバイモード	その他の 動作時
アドレス出力、ポート出力	OFF		OFF		
ポート入力	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

8. I/O ポート

8.8 ポート C (H8S/2218 グループのみ)

ポート C は、アドレスバス (A7~A0) 出力兼用の 8 ビットの入出力ポートです。ポート C には以下のレジスタがあります。

【注】 E6000 エミュレータを使用する場合で RTC と USB を使用するときは、H8S/2218 グループ、H8S/2212 グループともに PC7~PC0 からアドレス A7~A0 が出力されるように PCDDR を設定してください。

- ポートCデータディレクションレジスタ (PCDDR)
- ポートCデータレジスタ (PCDR)
- ポートCレジスタ (PORTC)
- ポートCプルアップMOSコントロールレジスタ (PCPCR)

8.8.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PC7DDR	0	W	モード 4、5 のとき
6	PC6DDR	0	W	対応する端子はアドレス出力となります。
5	PC5DDR	0	W	モード 6 のとき
4	PC4DDR	0	W	このビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。
3	PC3DDR	0	W	
2	PC2DDR	0	W	モード 7 のとき
1	PC1DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
0	PC0DDR	0	W	

8.8.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

8.8.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PC7	*	R	PCDDR が 1 にセットされているビットはポート C をリードすると PCDDR の値をリードします。PCDDR が 0 にクリアされているとき、ポート C のリードを行うと端子の状態が読み出されます。
6	PC6	*	R	
5	PC5	*	R	
4	PC4	*	R	
3	PC3	*	R	
2	PC2	*	R	
1	PC1	*	R	
0	PC0	*	R	

【注】 * PC7～PC0 端子の状態により決定されます。

8.8.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

8. I/O ポート

8.8.5 端子機能

ポート C はアドレスバス (A7~A0) 出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

【注】 E6000 エミュレータで RTC や USB を使用する場合は、アドレス A7~A0 を出力設定にしてください。

表 8.46 PC7 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC7DDR	-	0	1	0	1
端子機能	A7 出力端子	PC7 入力端子	A7 出力端子	PC7 入力端子	PC7 出力端子

表 8.47 PC6 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC6DDR	-	0	1	0	1
端子機能	A6 出力端子	PC6 入力端子	A6 出力端子	PC6 入力端子	PC6 出力端子

表 8.48 PC5 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC5DDR	-	0	1	0	1
端子機能	A5 出力端子	PC5 入力端子	A5 出力端子	PC5 入力端子	PC5 出力端子

表 8.49 PC4 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC4DDR	-	0	1	0	1
端子機能	A4 出力端子	PC4 入力端子	A4 出力端子	PC4 入力端子	PC4 出力端子

表 8.50 PC3 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC3DDR	-	0	1	0	1
端子機能	A3 出力端子	PC3 入力端子	A3 出力端子	PC3 入力端子	PC3 出力端子

表 8.51 PC2 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC2DDR	-	0	1	0	1
端子機能	A2 出力端子	PC2 入力端子	A2 出力端子	PC2 入力端子	PC2 出力端子

表 8.52 PC1 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC1DDR	-	0	1	0	1
端子機能	A1 出力端子	PC1 入力端子	A1 出力端子	PC1 入力端子	PC1 出力端子

表 8.53 PC0 の端子機能

動作モード	モード 4、5	モード 6		モード 7	
PC0DDR	-	0	1	0	1
端子機能	A0 出力端子	PC0 入力端子	A0 出力端子	PC0 入力端子	PC0 出力端子

8.8.6 ポート C 入力プルアップ MOS の状態

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.54 に示します。

表 8.54 ポート C 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイモード	マニュアル リセット	ソフトウェア スタンバイモード	その他の 動作時
アドレス出力 (モード 4、5)	OFF		OFF		
ポート出力 (モード 6、7)					
ポート入力 (モード 6、7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

8.9 ポート D (H8S/2218 グループのみ)

ポート D は、データバス (D15~D8) 入出力兼用の 8 ビットの入出力ポートです。ポート D には以下のレジスタがあります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D プルアップ MOS コントロールレジスタ (PDPCR)

8. I/O ポート

8.9.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PD7DDR	0	W	モード 4~6
6	PD6DDR	0	W	PDDDR による入出力の方向は無視され、データ入出力になります。
5	PD5DDR	0	W	モード 7
4	PD4DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

8.9.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

8.9.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PD7	*	R	PDDDR が 1 にセットされているビットはポート D をリードすると PDDR の値をリードします。PDDDR が 0 にクリアされているとき、ポート D のリードを行うと端子の状態が読み出されます。 【注】 EXMDLSTP や RTC レジスタ (アドレス範囲 H'FFFF40 ~ H'FFFF5F) をアクセスしたあとは、H'FFFF40 ~ H'FFFF5F 範囲外の外部アドレス空間 (H'FFFEFC0 ~ H'FFF7FF など) を一度ダミーリードしてから、PORTD をリードしてください。
6	PD6	*	R	
5	PD5	*	R	
4	PD4	*	R	
3	PD3	*	R	
2	PD2	*	R	
1	PD1	*	R	
0	PD0	*	R	

【注】 * PD7 ~ PD0 端子の状態により決定されます。

8.9.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

8.9.5 端子機能

ポート D は、データバス (D15 ~ D8) 入出力と兼用になっています。

レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.55 PD7 の端子機能

動作モード	モード 4 ~ 6		モード 7	
	-		0	1
端子機能	D15 入出力端子		PD7 入力端子	PD7 出力端子

8. I/O ポート

表 8.56 PD6 の端子機能

動作モード	モード 4~6	モード 7	
PD6DDR	-	0	1
端子機能	D14 入出力端子	PD6 入力端子	PD6 出力端子

表 8.57 PD5 の端子機能

動作モード	モード 4~6	モード 7	
PD5DDR	-	0	1
端子機能	D13 入出力端子	PD5 入力端子	PD5 出力端子

表 8.58 PD4 の端子機能

動作モード	モード 4~6	モード 7	
PD4DDR	-	0	1
端子機能	D12 入出力端子	PD4 入力端子	PD4 出力端子

表 8.59 PD3 の端子機能

動作モード	モード 4~6	モード 7	
PD3DDR	-	0	1
端子機能	D11 入出力端子	PD3 入力端子	PD3 出力端子

表 8.60 PD2 の端子機能

動作モード	モード 4~6	モード 7	
PD2DDR	-	0	1
端子機能	D10 入出力端子	PD2 入力端子	PD2 出力端子

表 8.61 PD1 の端子機能

動作モード	モード 4~6	モード 7	
PD1DDR	-	0	1
端子機能	D9 入出力端子	PD1 入力端子	PD1 出力端子

表 8.62 PD0 の端子機能

動作モード	モード 4~6	モード 7	
PD0DDR	-	0	1
端子機能	D8 入出力端子	PD0 入力端子	PD0 出力端子

8.9.6 ポート D 入力プルアップ MOS の状態

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.63 に示します。

表 8.63 ポート D 入力プルアップの状態

端子	パワーオン リセット	ハードウェア スタンバイモード	マニュアル リセット	ソフトウェア スタンバイモード	その他の 動作時
データ入出力 (モード 4~6) ポート出力 (モード 7)	OFF		OFF		
ポート入力 (モード 7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

8.10 ポート E

ポート E は、データバス (D7~D0) 入出力兼用の 8 ビットの入出力ポートです。ポート E には以下のレジスタがあります。

- ポートEデータディレクションレジスタ (PEDDR)
- ポートEデータレジスタ (PEDR)
- ポートEレジスタ (PORTE)
- ポートEプルアップMOSコントロールレジスタ (PEPCR)

8.10.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR はポート E の各端子の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	PE7DDR	0	W	(H8S/2218 グループ)
6	PE6DDR	0	W	モード 4~6 のとき
5	PE5DDR	0	W	8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。
4	PE4DDR	0	W	PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
3	PE3DDR	0	W	16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。
2	PE2DDR	0	W	8 ビット / 16 ビットバスモードについては「第 6 章 バスコントローラ (BSC)」を参照してください。
1	PE1DDR	0	W	モード 7 のとき
0	PE0DDR	0	W	PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
				(H8S/2212 グループ)
				PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

8.10.2 ポートEデータレジスタ (PEDR)

PEDR はポートEの各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

8.10.3 ポートEレジスタ (PORTE)

PORTE はポートEの端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PE7	*	R	PEDDR が1にセットされているビットは、ポートEのリードを行うとPEDRの値をリードします。PEDDR が0にクリアされているとき、ポートEのリードを行うと端子の状態が読み出されます。
6	PE6	*	R	
5	PE5	*	R	
4	PE4	*	R	
3	PE3	*	R	
2	PE2	*	R	
1	PE1	*	R	
0	PE0	*	R	

【注】 * PE7 - PE0 端子の状態により決定されます。

8. I/O ポート

8.10.4 ポート E プルアップ MOS コントロールレジスタ (PEPCR)

PEPCR はポート E の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

8.10.5 端子機能

(1) H8S/2218 グループの端子機能

ポート E はデータバス (D7 ~ D0) 入出力と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.64 PE7 の端子機能

動作モード	モード 4~6			モード 7	
	8 ビットバスモード		16 ビットバスモード		
PE7DDR	0	1		0	1
端子機能	PE7 入力端子	PE7 出力端子	D7 入出力端子	PE7 入力端子	PE7 出力端子

表 8.65 PE6 の端子機能

動作モード	モード 4~6			モード 7	
	8 ビットバスモード		16 ビットバスモード		
PE6DDR	0	1		0	1
端子機能	PE6 入力端子	PE6 出力端子	D6 入出力端子	PE6 入力端子	PE6 出力端子

表 8.66 PE5 の端子機能

動作モード	モード 4~6			モード 7	
	8 ビットバスモード		16 ビットバスモード		
PE5DDR	0	1		0	1
端子機能	PE5 入力端子	PE5 出力端子	D5 入出力端子	PE5 入力端子	PE5 出力端子

表 8.67 PE4 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE4DDR	0	1		0	1
端子機能	PE4 入力端子	PE4 出力端子	D4 入出力端子	PE4 入力端子	PE4 出力端子

表 8.68 PE3 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE3DDR	0	1		0	1
端子機能	PE3 入力端子	PE3 出力端子	D3 入出力端子	PE3 入力端子	PE3 出力端子

表 8.69 PE2 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE2DDR	0	1		0	1
端子機能	PE2 入力端子	PE2 出力端子	D2 入出力端子	PE2 入力端子	PE2 出力端子

表 8.70 PE1 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE1DDR	0	1		0	1
端子機能	PE1 入力端子	PE1 出力端子	D1 入出力端子	PE1 入力端子	PE1 出力端子

表 8.71 PE0 の端子機能

動作モード	モード 4~6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード		
PE0DDR	0	1		0	1
端子機能	PE0 入力端子	PE0 出力端子	D0 入出力端子	PE0 入力端子	PE0 出力端子

8. I/O ポート

(2) H8S/2212 グループの端子機能

H8S/2212 グループでは、ポート E は汎用入出力ポートになっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.72 PE7 の端子機能

PE7DDR	0	1
端子機能	PE7 入力端子	PE7 出力端子

表 8.73 PE6 の端子機能

PE6DDR	0	1
端子機能	PE6 入力端子	PE6 出力端子

表 8.74 PE5 の端子機能

PE5DDR	0	1
端子機能	PE5 入力端子	PE5 出力端子

表 8.75 PE4 の端子機能

PE4DDR	0	1
端子機能	PE4 入力端子	PE4 出力端子

表 8.76 PE3 の端子機能

PE3DDR	0	1
端子機能	PE3 入力端子	PE3 出力端子

表 8.77 PE2 の端子機能

PE2DDR	0	1
端子機能	PE2 入力端子	PE2 出力端子

表 8.78 PE1 の端子機能

PE1DDR	0	1
端子機能	PE1 入力端子	PE1 出力端子

表 8.79 PE0 の端子機能

PE0DDR	0	1
端子機能	PE0 入力端子	PE0 出力端子

8.10.6 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 8.80 に示します。

表 8.80 ポート E 入力プルアップの状態

端子	パワーオン リセット	ハードウェア スタンバイモード	マニュアル リセット	ソフトウェア スタンバイモード	その他の 動作時
データ入出力 (モード 4~6 の 16 ビットバス) ポート出力 (モード 4~6 の 8 ビットバス、モード 7)	OFF		OFF		
ポート入力 (モード 4~6 の 8 ビットバス、モード 7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR = 0 かつ PEPCR = 1 のときオン状態、その他のときはオフ状態です。

8.11 ポート F

H8S/2218 グループでは、ポート F は外部割り込み入力 ($\overline{IRQ2}$ 、 $\overline{IRQ3}$)、バス制御信号入出力、システムクロック出力と兼用の 8 ビットの入出力ポートです。H8S/2212 グループでは、ポート F は外部割り込み入力 ($\overline{IRQ2}$ 、 $\overline{IRQ3}$)、システムクロック出力と兼用の 3 ビットの入出力ポートです。ポート F には以下のレジスタがあります。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)

8. I/O ポート

8.11.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR はポート F の各端子の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	1/0* ¹	W	(H8S/2218 グループ)
6	PF6DDR* ²	0	W	モード 4~6 のとき
5	PF5DDR* ²	0	W	PF7 端子は PF7DDR を 1 にセットすると出力端子、0 にクリアすると入力ポートになります。PF6~PF3 端子は、バス制御出力となり、PF2~PF0 端子は
4	PF4DDR* ²	0	W	バスコントローラの設定によりバス制御入出力となります。それ以外の場合、1
3	PF3DDR	0	W	にセットすると出力ポートとなり、0 にクリアすると入力ポートとなります。
2	PF2DDR* ²	0	W	モード 7 のとき
1	PF1DDR* ²	0	W	このビットを 1 にセットすると PF7 端子は出力端子、その他の端子は出力ポ
0	PF0DDR	0	W	ートとなり、0 にクリアすると入力ポートになります。 (H8S/2212 グループ) このビットを 1 にセットすると PF7 端子は出力端子、その他の端子は出力ポ

【注】 *1 モード 4~6 のとき 1、モード 7 のとき 0 です。

*2 H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8.11.2 ポート F データレジスタ (PFDR)

PFDR はポート F の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PF6DR*	0	R/W	
5	PF5DR*	0	R/W	
4	PF4DR*	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR*	0	R/W	
1	PF1DR*	0	R/W	
0	PF0DR	0	R/W	

【注】 * H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8.11.3 ポート F レジスタ (PORTF)

PORTF はポート F の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PF7	*1	R	PFDDR が 1 にセットされているビットはポート F をリードすると PFDR の値をリードします。PFDDR が 0 にクリアされているときのポート F のリードを行うと端子の状態が読み出されます。
6	PF6*2	*1	R	
5	PF5*2	*1	R	
4	PF4*2	*1	R	
3	PF3	*1	R	
2	PF2*2	*1	R	
1	PF1*2	*1	R	
0	PF0	*1	R	

【注】 *1 PF7～PF0 端子の状態により決定されます。

*2 H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。

8.11.4 クロック出力コントロールレジスタ (OUTCR)

OUTCR は PF7 端子から出力するクロックの周波数を指定します。

ビット	ビット名	初期値	R/W	説明
7～3		不定	R/W	リザーブビット ライトするときは 0 をライトしてください。
2	PF7OUT2	0	R/W	PF7 端子出力セレクト 2～0 000 : メイン発振クロック 010 : メイン発振クロックの 2 分周クロック出力 011 : メイン発振クロックの 3 分周クロック出力 011 : メイン発振クロックの 4 分周クロック出力 1XX : リザーブ 本機能は E6000 エミュレータではサポートしていません。 「第 22 章 電気的特性」のφは、PF7OUT2～0 = 000 の場合です。
1	PF7OUT1	0	R/W	
0	PF7OUT0	0	R/W	

8. I/O ポート

8.11.5 端子機能

(1) H8S/2218 グループの端子機能

ポート F は、外部割り込み入力端子 ($\overline{IRQ2}$ 、 $\overline{IRQ3}$)、バス制御信号入出力端子、およびシステムクロック出力端子 (ϕ) と兼用の 8 ビットの入出力ポートになっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.81 PF7 の端子機能

PF7DDR	0	1			
PF7OUT2-0		B'000	B'001	B'010	B'011
端子機能	PF7 入力端子	ϕ 出力端子	$\phi/2$ 出力端子	$\phi/3$ 出力端子	$\phi/4$ 出力端子

表 8.82 PF6 の端子機能

動作モード	モード 4~6	モード 7	
PF6DDR		0	1
端子機能	\overline{AS} 出力端子	PF6 入力端子	PF6 出力端子

表 8.83 PF5 の端子機能

動作モード	モード 4~6	モード 7	
PF5DDR		0	1
端子機能	\overline{RD} 出力端子	PF5 入力端子	PF5 出力端子

表 8.84 PF4 の端子機能

動作モード	モード 4~6	モード 7	
PF4DDR		0	1
端子機能	\overline{HWR} 出力端子	PF4 入力端子	PF4 出力端子

表 8.85 PF3 の端子機能

動作モード	モード 4~6		モード 7		
バスモード	16 ビットバスモード	8 ビットバスモード			
PF3DDR		0	1	0	1
端子機能	LWR 出力端子	PF3 入力端子	PF3 出力端子	PF3 入力端子	PF3 出力端子
		\overline{ADTRG} 入力端子*1			
		$\overline{IRQ3}$ 入力端子*2			

【注】 *1 TRGS0 = TRGS1 = 1 のとき \overline{ADTRG} 入力となります。

*2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

表 8.86 PF2 の端子機能

動作モード	モード 4~6			モード 7	
WAITE	0		1		
PF2DDR	0	1		0	1
端子機能	PF2 入力端子	PF2 出力端子	$\overline{\text{WAIT}}$ 入力端子	PF2 入力端子	PF2 出力端子

表 8.87 PF1 の端子機能

動作モード	モード 4~6			モード 7	
BRLE	0		1		
PF1DDR	0	1		0	1
端子機能	PF1 入力端子	PF1 出力端子	BACK 出力端子	PF1 入力端子	PF1 出力端子

表 8.88 PF0 の端子機能

動作モード	モード 4~6			モード 7	
BRLE	0		1		
PF0DDR	0	1		0	1
端子機能	PF0 入力端子	PF0 出力端子	$\overline{\text{BREQ}}$ 入力端子	PF0 入力端子	PF0 出力端子
	$\overline{\text{IRQ2}}$ 入力端子*				

【注】 * 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

(2) H8S/2212 グループの端子機能

ポート F は、外部割り込み入力端子 ($\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$)、およびシステムクロック出力端子 (ϕ) と兼用の 3 ビットの入出力ポートになっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.89 PF7 の端子機能

PF7DDR	0	1			
PF7OUT2~0		B'000	B'001	B'010	B'011
端子機能	PF7 入力端子	ϕ 出力端子	$\phi/2$ 出力端子	$\phi/3$ 出力端子	$\phi/4$ 出力端子

表 8.90 PF3 の端子機能

PF3DDR	0	1
端子機能	PF3 入力端子	
	$\overline{\text{ADTRG}}$ 入力端子* ¹	
	$\overline{\text{IRQ3}}$ 入力端子* ²	

【注】 *¹ TRGS0=TRGS1=1 のとき $\overline{\text{ADTRG}}$ 入力となります。

*² 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

8. I/O ポート

表 8.91 PF0 の端子機能

PF0DDR	0	1
端子機能	PF0 入力端子	PF0 出力端子
	I \overline RQ2 入力端子*	

【注】 * 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

8.12 ポート G

H8S/2218 グループでは、ポート G は外部割り込み入力 (\overline IRQ7)、バス制御出力 (\overline CS0 ~ \overline CS3) と兼用の 4 ビットの入出力ポートです。H8S/2212 グループでは、ポート G は外部割り込み入力 (\overline IRQ7)、H-UDI (TDI) と兼用の 2 ビットの入出力ポートです。ポート G には以下のレジスタがあります。

- ポートGデータディレクションレジスタ (PGDDR)
- ポートGデータレジスタ (PGDR)
- ポートGレジスタ (PORTG)

8.12.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR はポート G の各端子の入出力をビットごとに指定します。

本レジスタはライト専用なのでビット操作命令でライトしないでください。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7~5		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	PG4DDR* ²	0/1* ¹	W	(H8S/2218 グループ)
3	PG3DDR* ²	0	W	モード 4~6 のとき
2	PG2DDR* ²	0	W	PG4~PG1 端子は PGDDR を 1 にセットするとバス制御信号出力端子、0 にクリアすると入力ポートになります。
1	PG1DDR	0	W	モード 7 のとき PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。
				(H8S/2212 グループ) PG1DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。
0	PG0DDR* ³	0	W	(H8S/2212 グループ) EMLE = 1 のとき、H-UDI 端子 (TDI) となります。EMLE = 0 のとき、PG0DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

【注】 *1 モード 4、5 のとき 1、モード 6、7 のとき 0 です。

*2 H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

*3 H8S/2218 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8.12.2 ポート G データレジスタ (PGDR)

PGDR はポート G の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	PG4DR* ¹	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
3	PG3DR* ¹	0	R/W	
2	PG2DR* ¹	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR* ²	0	R/W	

【注】 *1 H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

*2 H8S/2218 グループではリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

8.12.3 ポート G レジスタ (PORTG)

PORTG はポート G の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。
4	PG4* ²	* ¹	R	PGDDR が 1 にセットされているビットは、ポート G のリードを行うと PGDR の値をリードします。PGDDR が 0 にクリアされているとき、ポート G のリードを行うと端子の状態が読み出されます。
3	PG3* ²	* ¹	R	
2	PG2* ²	* ¹	R	
1	PG1	* ¹	R	
0	PG0* ³	* ¹	R	

【注】 *1 PG4 ~ PG0 端子の状態により決定します。

*2 H8S/2212 グループではリザーブビットです。リードすると不定値が読み出されます。

*3 H8S/2218 グループではリザーブビットです。リードすると不定値が読み出されます。

8. I/O ポート

8.12.4 端子機能

(1) H8S/2218 グループの端子機能

ポート G は、外部割り込み入力 ($\overline{IRQ7}$) 端子、バス制御信号出力 ($\overline{CS0} \sim \overline{CS3}$) 端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.92 PG4 の端子機能

動作モード	モード 4~6		モード 7	
PG4DDR	0	1	0	1
端子機能	PG4 入力端子	$\overline{CS0}$ 出力端子	PG4 入力端子	PG4 出力端子

表 8.93 PG3 の端子機能

動作モード	モード 4~6		モード 7	
PG3DDR	0	1	0	1
端子機能	PG3 入力端子	$\overline{CS1}$ 出力端子	PG3 入力端子	PG3 出力端子

表 8.94 PG2 の端子機能

動作モード	モード 4~6		モード 7	
PG2DDR	0	1	0	1
端子機能	PG2 入力端子	$\overline{CS2}$ 出力端子	PG2 入力端子	PG2 出力端子

表 8.95 PG1 の端子機能

動作モード	モード 4~6		モード 7	
PG1DDR	0	1	0	1
端子機能	PG1 入力端子	$\overline{CS3}$ 出力端子	PG1 入力端子	PG1 出力端子
	$\overline{IRQ7}$ 入力端子*			

【注】 * 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

(2) H8S/2212 グループの端子機能

ポート G は、外部割り込み入力 ($\overline{\text{IRQ7}}$) 端子、H-UDI 端子 (TDI) と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

表 8.96 PG1 の端子機能

PG1DDR	0	1
端子機能	PG1 入力端子	PG1 出力端子
	$\overline{\text{IRQ7}}$ 入力端子*	

【注】 * 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。

表 8.97 PG0 の端子機能

EMLE	0		1
PG0DDR	0	1	
端子機能	PG0 入力端子	PG0 出力端子	TDI 入力端子

8.13 未使用端子の処理

未使用の入力端子は High または Low レベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子の処理例を表 8.98 に示します。

なお、バウンダリスキャンの専用端子の未使用時の処理については「13.2 入出力端子」、「13.5 使用上の注意事項」を参照してください。NC 端子は開放としてください。

また USB 専用端子の未使用時の処理については、「14.8 (14) USB 未使用時の端子処理」を参照してください。

8. I/O ポート

表 8.98 未使用の入力端子の処理例

ポート名	端子処理例
ポート 1	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート 3	
ポート 4	端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)
ポート 7	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート 9	端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)
ポート A	端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン) * : ポート B、ポート C、ポート D は H8S/2218 グループのみです。
ポート B*	
ポート C*	
ポート D*	
ポート E	
ポート F	
ポート G	

9. 16ビットタイマパルスユニット (TPU)

本 LSI は、3 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットのブロック図を図 9.1 に、機能一覧を表 9.1 に示します。

9.1 特長

- 最大8本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能

コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティのPWM出力、同期動作と組み合わせることによる最大7相のPWM出力

- チャンネル0はバッファ動作を設定可能
- チャンネル1、2は個別に位相計数モードを設定可能
- 内部16ビットバスによる高速アクセス
- 13種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能
- SC10のポーレートクロックを生成可能

9. 16ビットタイマパルスユニット (TPU)

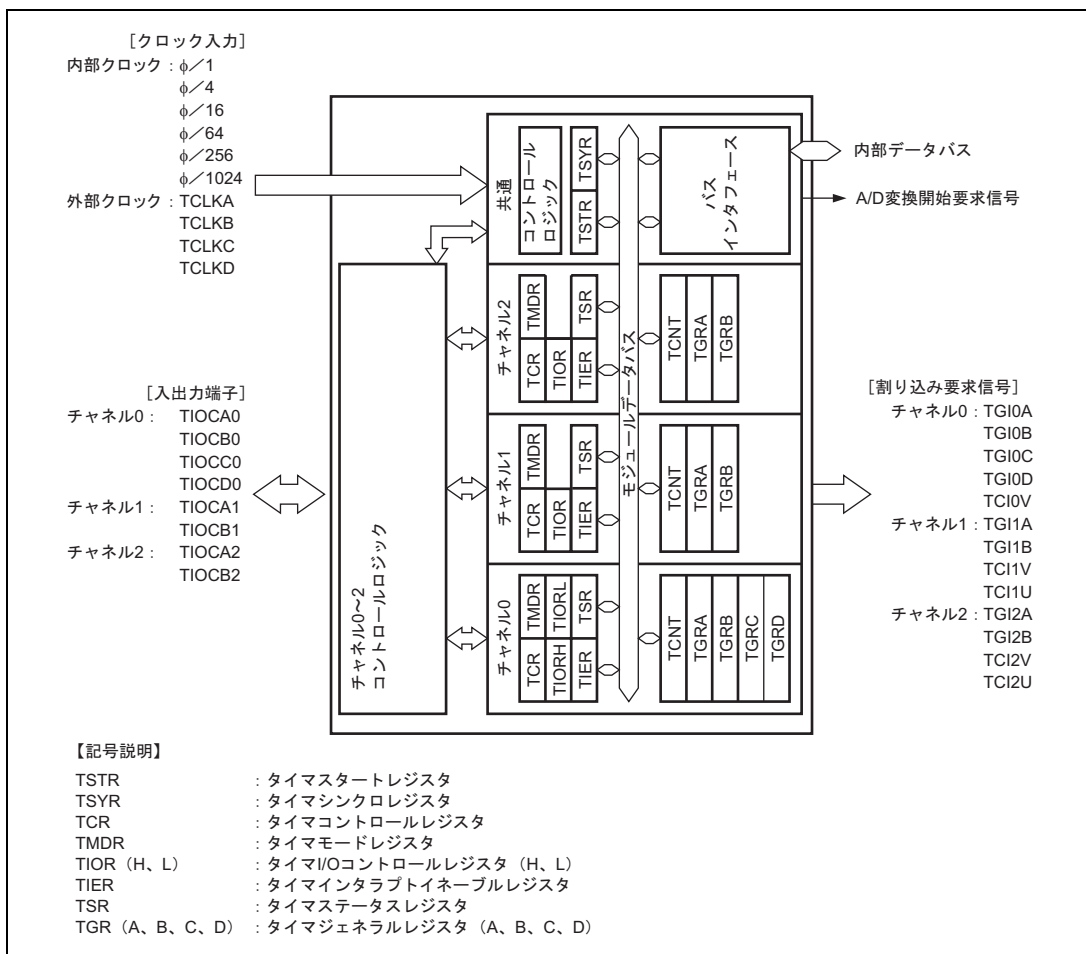


図 9.1 TPU のブロック図

表 9.1 TPU の機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ TCLKA TCLKB TCLKC TCLKD	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 256$ TCLKA TCLKB	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 1024$ TCLKA TCLKB TCLKC
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペア マッチ 出力	0 出力		
	1 出力		
	トグル 出力		
インプットキャプチャ 機能			
同期動作			
PWM モード			
位相計数モード	-		
バッファ動作		-	-
DMAC の起動	TGRA_0 のコンペアマッチ または インプットキャプチャ	TGRA_1 のコンペアマッチ または インプットキャプチャ	TGRA_2 のコンペアマッチ または インプットキャプチャ
A/D 変換開始トリガ	TGRA_0 のコンペアマッチ または インプットキャプチャ	TGRA_1 のコンペアマッチ または インプットキャプチャ	TGRA_2 のコンペアマッチ または インプットキャプチャ

9. 16 ビットタイマパルスユニット (TPU)

項目	チャンネル 0	チャンネル 1	チャンネル 2
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ / インพุットキャプチャ 0A • コンペアマッチ / インพุットキャプチャ 0B • コンペアマッチ / インพุットキャプチャ 0C • コンペアマッチ / インพุットキャプチャ 0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インพุットキャプチャ 1A • コンペアマッチ / インพุットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ / インพุットキャプチャ 2A • コンペアマッチ / インพุットキャプチャ 2B • オーバフロー • アンダフロー

【記号説明】

: 可能

- : 不可

9.2 入出力端子

表 9.2 TPU の端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

9.3 レジスタの説明

TPUには各チャンネルに以下のレジスタがあります。

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

9. 16 ビットタイマパルスユニット (TPU)

9.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、チャンネル 0~2 に各 1 本、計 3 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説 明
7	CCLR2	0	R/W	カウンタクリア 2~0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 9.3、表 9.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ を選択した場合は本設定は無視され、 ϕ の立ち下がりエッジでカウントされます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント 【記号説明】x: Don't care
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2~0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 9.5~表 9.7 TPSC2~TPSC0 を参照してください。
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

表 9.3 CCLR2~CCLR0 (チャンネル 0)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 9.4 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 が読み出されます。ライトは無効です。

9. 16 ビットタイマパルスユニット (TPU)

表 9.5 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 9.6 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	設定禁止

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

表 9.7 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

9.3.2 タイマモードレジスタ (TMDR)

TMDR は各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 3 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ / アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ / アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3-0
2	MD2	0	R/W	MD3 - MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 9.8 を参照してください。

9. 16 ビットタイマパルスユニット (TPU)

表 9.8 MD3 ~ MD0

ビット3	ビット2	ビット1	ビット0	説 明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

9.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

• TIORH_0、TIOR_1、TIOR_2

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3 ~ 0 TGRB の機能を設定します。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3 ~ 0 TGRA の機能を設定します。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

9. 16 ビットタイムパルスユニット (TPU)

• TIORL_0

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~0 TGRD の機能を設定します。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~0 TGRC の機能を設定します。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 9.9 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	×		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	×	×		設定禁止

【記号説明】 × : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.10 TIORH_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	×		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	×	×		設定禁止

【記号説明】 × : Don't care

表 9.11 TIORL_0 (チャンネル0)

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	×		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	×	×		設定禁止

【記号説明】 × : Don't care

【注】 * TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.12 TIORL_0 (チャンネル0)

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	×		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	×	×		設定禁止

【記号説明】 × : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 9.13 TIOR_1 (チャンネル 1)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	×		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	×	×		設定禁止

【記号説明】 × : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.14 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	×		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	×	×		設定禁止

【記号説明】 × : Don't care

表 9.15 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	×	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	×	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	×	1	×		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 × : Don't care

9. 16 ビットタイムパルスユニット (TPU)

表 9.16 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	×	0	0		インプットキャプチャレジスタ
1	×	0	1	キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ	
1	×	1	×	キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ	

【記号説明】 × : Don't care

9.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 3 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると 1 が読み出しされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0 ではリザーブビットです。 リードすると常に 0 が読み出しされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

9. 16ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を禁止
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

9.3.5 タイマステータスレジスタ (TSR)

TSR は各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 3 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 1 が読み出されます。 ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です
5	TCFU	0	R(W)*	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。 ライトは無効です。 [セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R(W)*	オーバーフローフラグ TCNT のオーバーフローの発生を示すステータスフラグです。 [セット条件] TCNT の値がオーバーフロー (H'FFFF→H'0000) したとき [クリア条件] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

9. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <p>TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</p>
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <p>TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</p>
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <p>TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9. 16ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	インプットキャプチャ/アウトプットコンペアフラグ A TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none">• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき [クリア条件] <ul style="list-style-type: none">• TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTA ビットが 1 のとき• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 3 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

9.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0 に各 4 本、チャンネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャンネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TRG は、リセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

9.3.8 タイマスタートレジスタ (TSTR)

TSTR はチャンネル 0~2 の TCNT の動作 / 停止を選択するレジスタです。対応するビットを 1 にセットしたチャンネルの TCNT がカウント動作を行います。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止させてから行ってください。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0		リザーブビット ライトするときは 0 をライトしてください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNTn のカウント動作は停止 1 : TCNTn はカウント動作 (n = 2~0)

9.3.9 タイマシンクロレジスタ (TSYR)

TSYR はチャンネル 0~2 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0		リザーブビット ライトするときは 0 をライトしてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNTn は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1 : TCNTn は同期動作 TCNT の同期プリセット / 同期クリアが可能 (n = 2~0)

9.4 バスマスタとのインタフェース

9.4.1 16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。

8 ビット単位での読み出し / 書き込みはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 9.2 に示します。

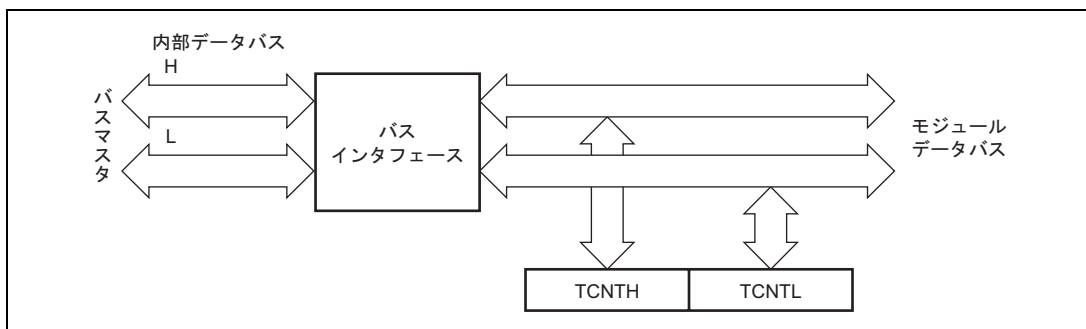


図 9.2 16 ビットレジスタのアクセス動作 (バスマスタ↔TCNT (16 ビット))

9.4.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し / 書き込みが可能です。また、8 ビット単位での読み出し / 書き込みもできます。

8 ビットレジスタのアクセス動作例を図 9.3 ~ 図 9.5 に示します。

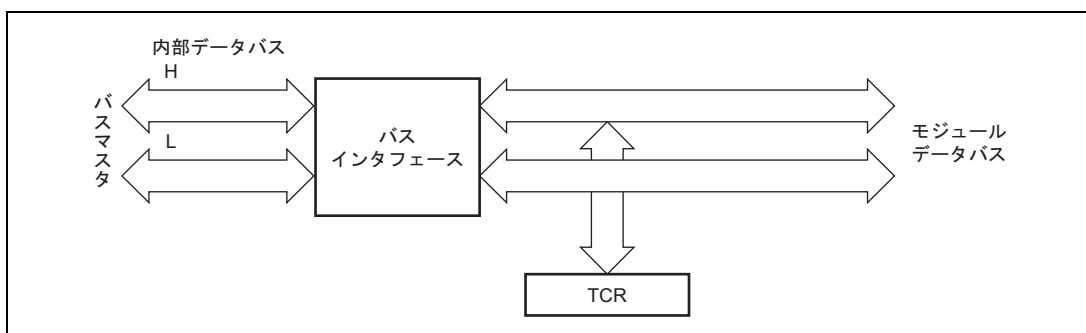


図 9.3 8 ビットレジスタのアクセス動作 (バスマスタ↔TCR (上位 8 ビット))

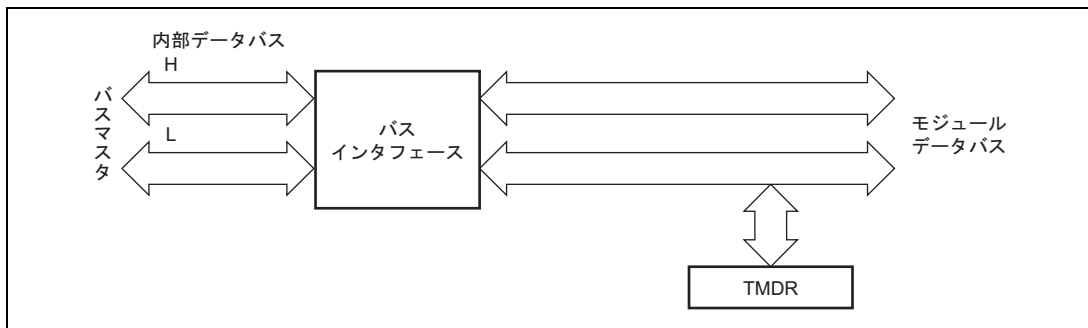


図 9.4 8ビットレジスタのアクセス動作 (バスマスタ↔TMDR (下位8ビット))

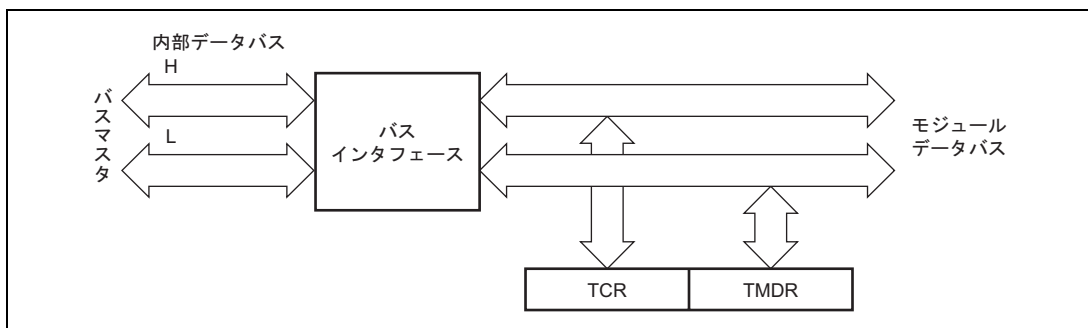


図 9.5 8ビットレジスタのアクセス動作 (バスマスタ↔TCR、TMDR (16ビット))

9.5 動作説明

9.5.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRのCST0～CST2ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図9.6に示します。

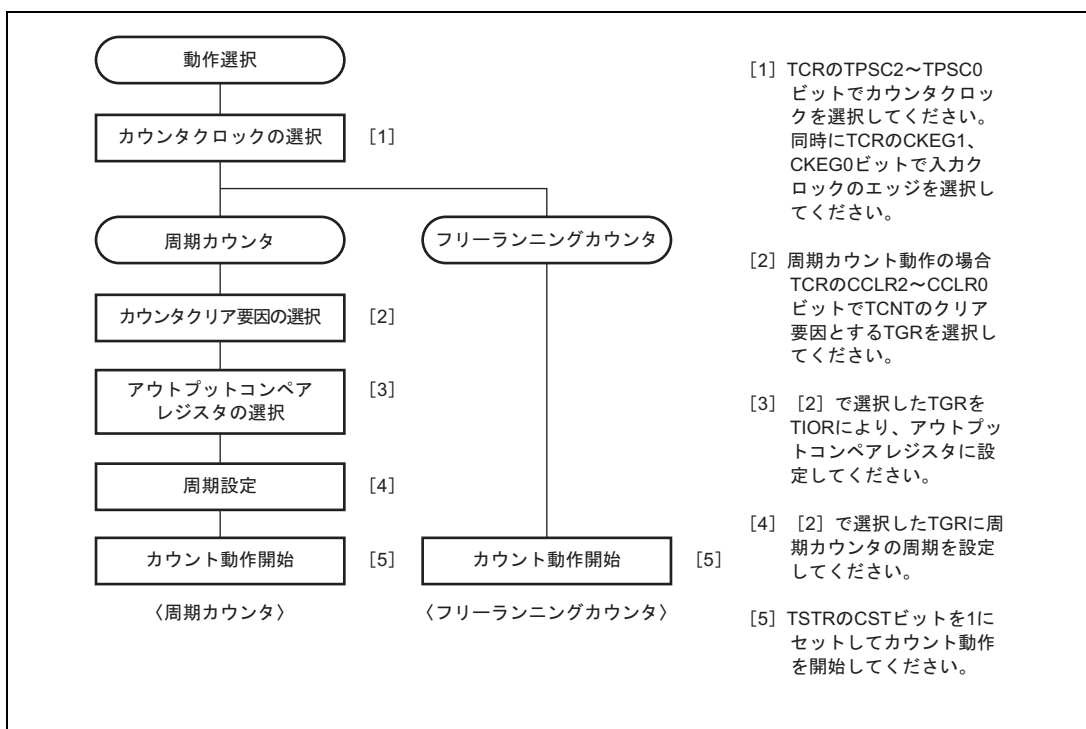


図 9.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF→H'0000)すると、TSRのTCFVビットが1にセットされます。このとき、対応するTIERのTCIEVビットが1ならば、TPUは割り込みを要求します。TCNTはオーバーフロー後、H'0000からアップカウント動作を継続します。

フリーランニングカウンタの動作を図9.7に示します。

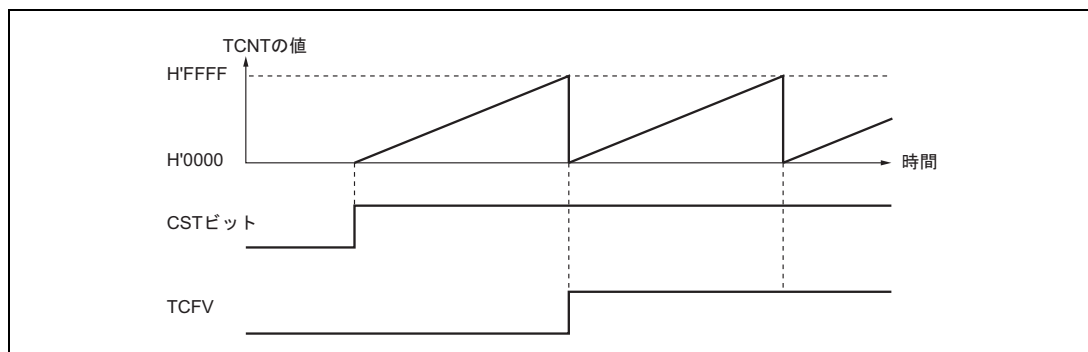


図 9.7 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2~CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図9.8に示します。

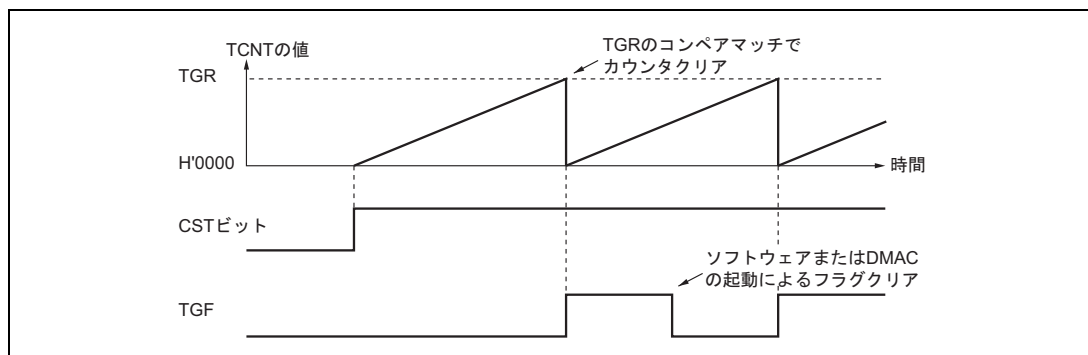


図 9.8 周期カウンタの動作

9. 16ビットタイマパルスユニット (TPU)

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 9.9 に示します。

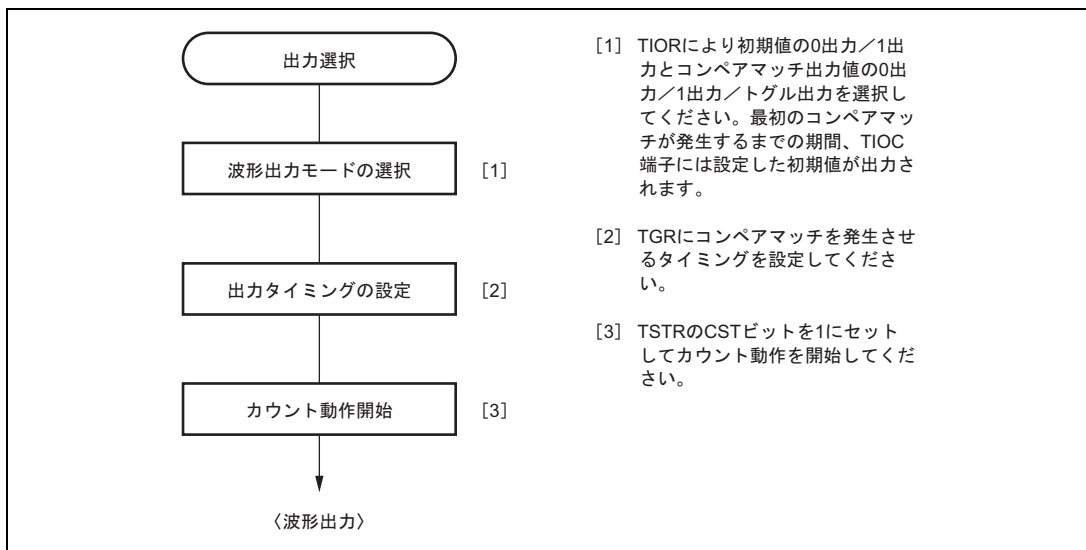


図 9.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 9.10 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

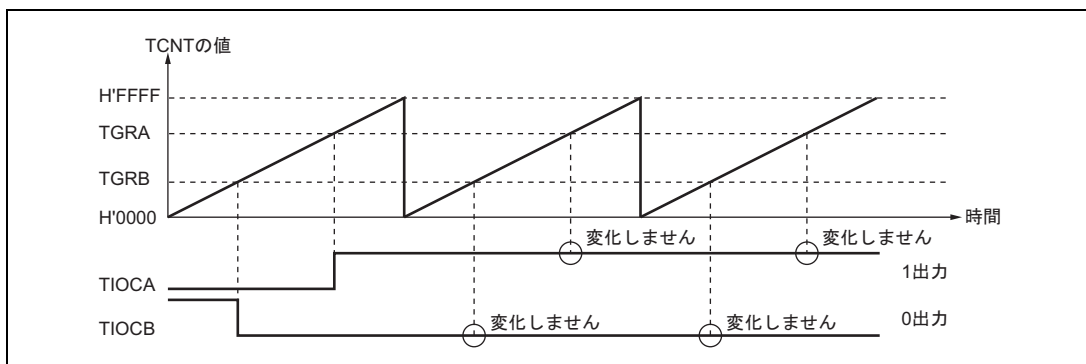


図 9.10 0 出力 / 1 出力の動作例

トグル出力の例を図9.11に示します。

TCNTを周期カウント動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

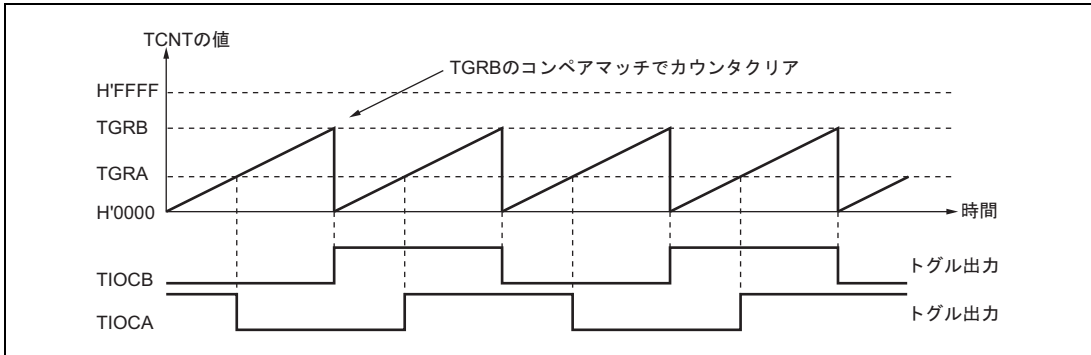


図 9.11 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC端子の入力エッジを検出してTCNTの値をTGRに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図9.12に示します。

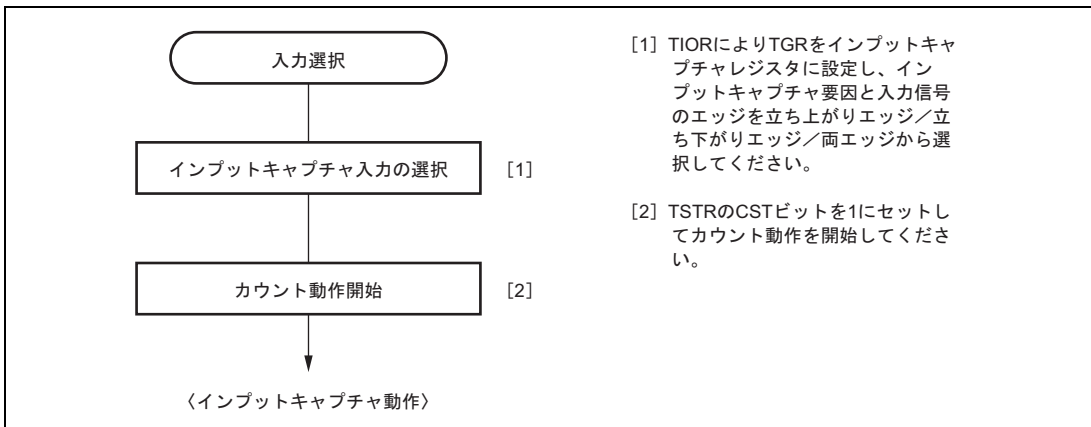


図 9.12 インพุットキャプチャ動作の設定例

9. 16ビットタイマパルスユニット (TPU)

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図9.13に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

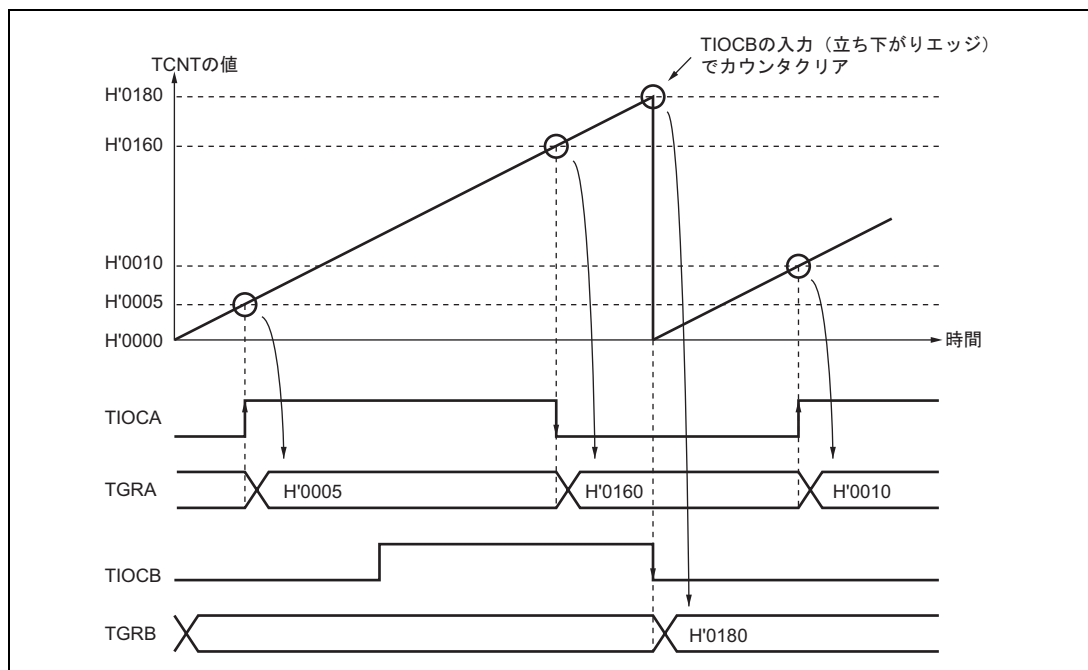


図 9.13 インพุットキャプチャ動作例

9.5.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~2 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 9.14 に示します。

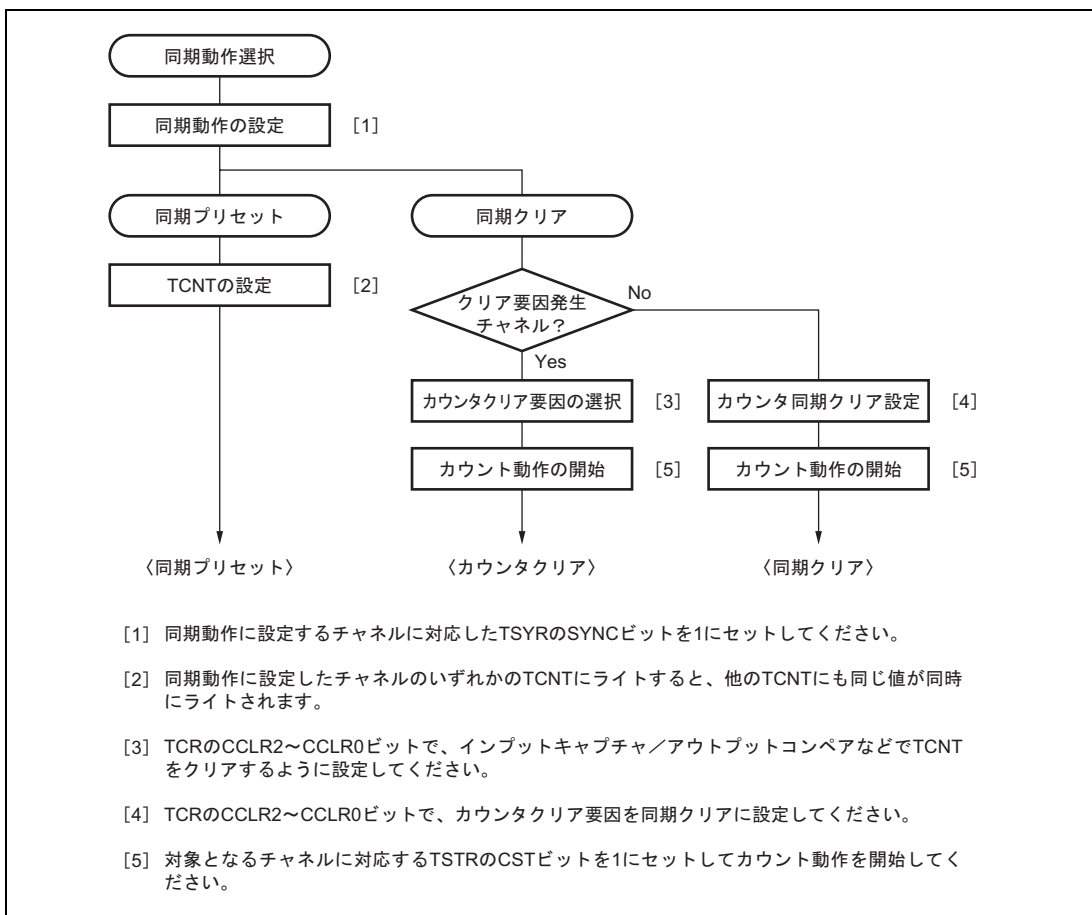


図 9.14 同期動作の設定手順例

9. 16ビットタイマパルスユニット (TPU)

(2) 同期動作の例

同期動作の例を図 9.15 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「9.5.4 PWM モード」を参照してください。

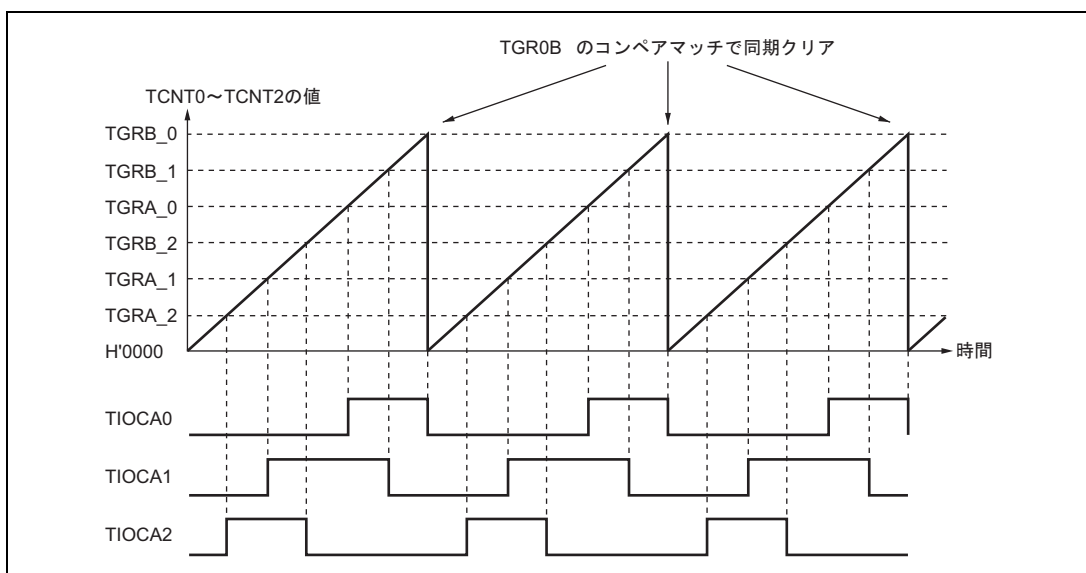


図 9.15 同期動作の動作例

9.5.3 バッファ動作

バッファ動作は、チャンネル 0 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。表 9.17 にバッファ動作時のレジスタの組み合わせを示します。

表 9.17 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0

(a) TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。この動作を図 9.16 に示します。

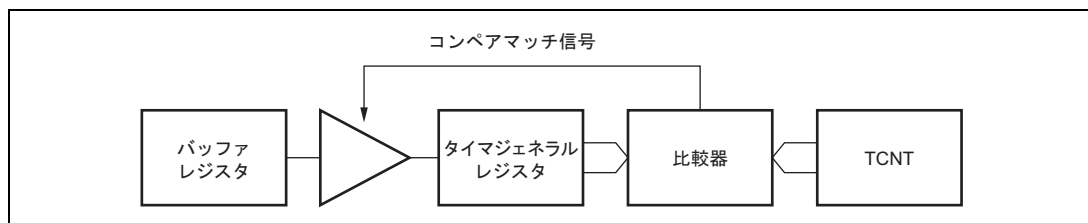


図 9.16 コンペアマッチバッファ動作

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイムジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 9.17 に示します。

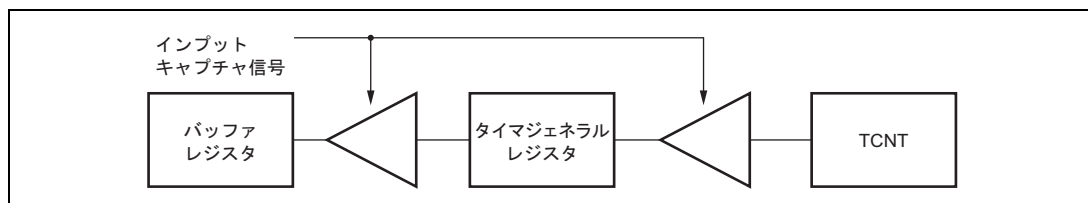


図 9.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 9.18 に示します。

9. 16 ビットタイマパルスユニット (TPU)

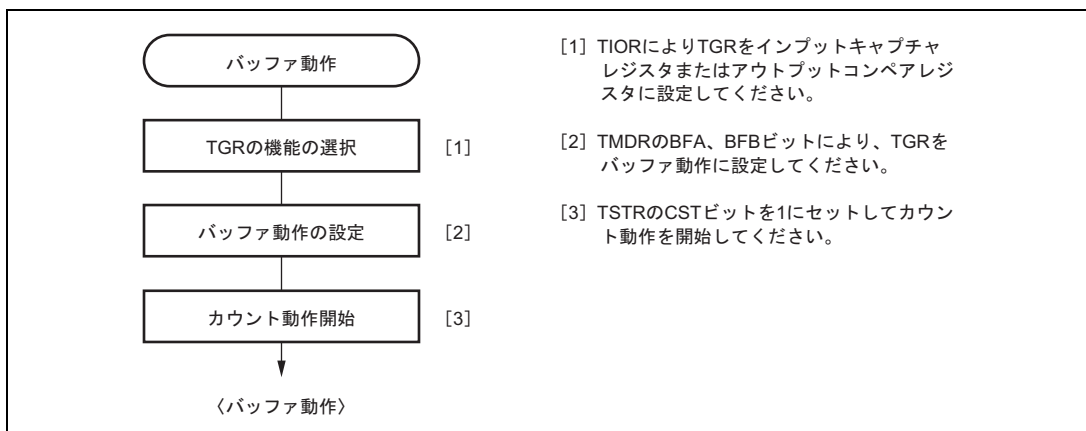


図 9.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 9.19 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「9.5.4 PWM モード」を参照してください。

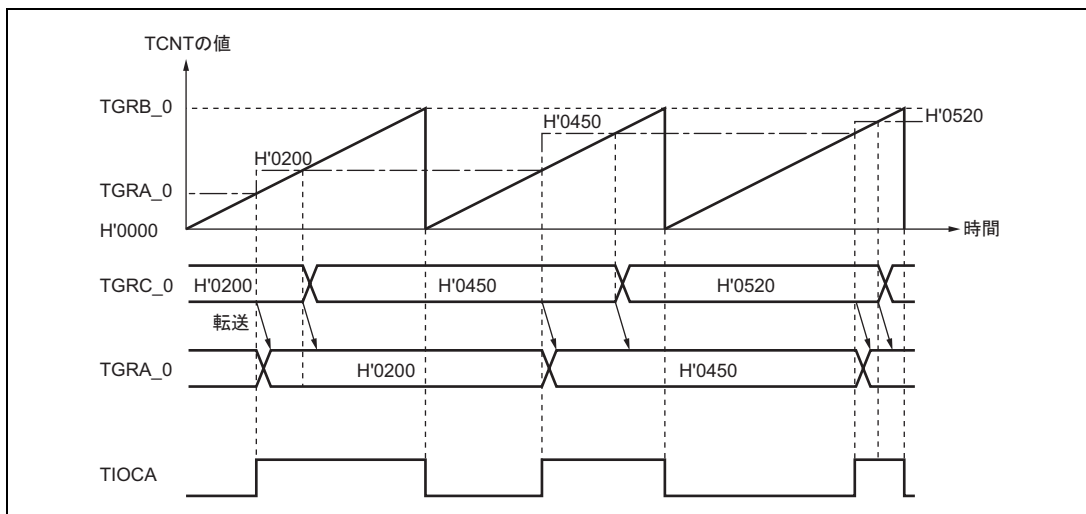


図 9.19 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 9.20 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

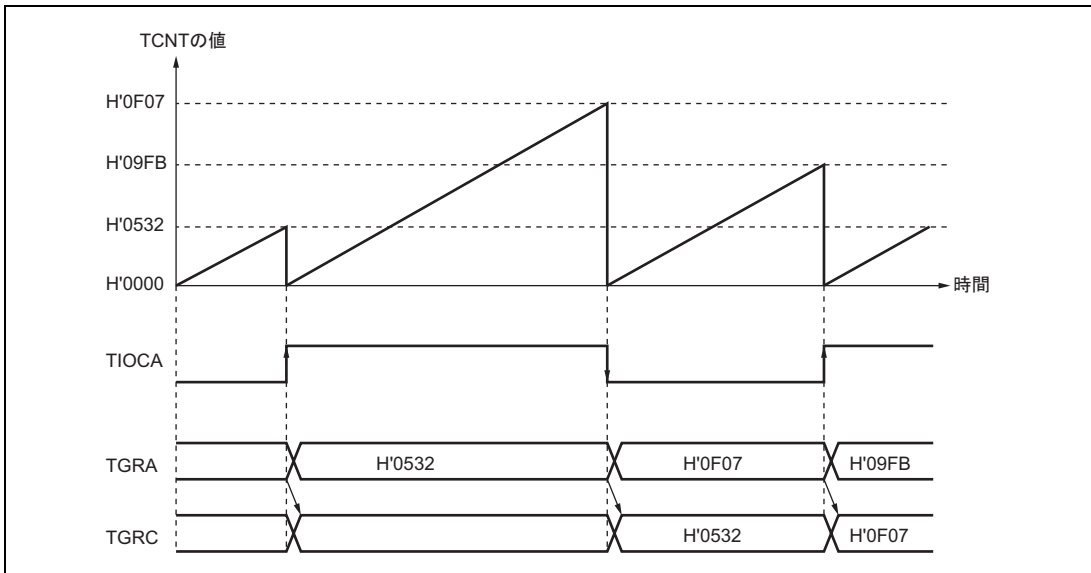


図 9.20 バッファ動作例 (2)

9.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類があります。

(1) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

9. 16ビットタイマパルスユニット (TPU)

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

(2) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOCR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOCR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 7 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 9.18 に示します。

表 9.18 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(a) PWM モードの設定手順例

PWM モードの設定手順例を図 9.21 に示します。

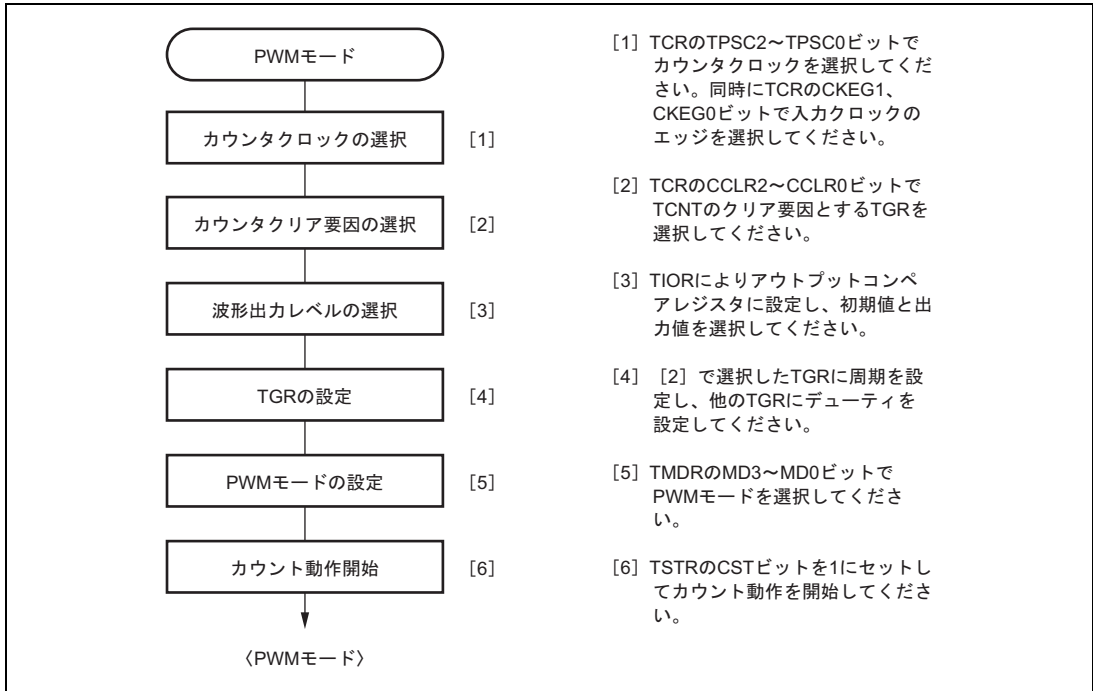


図 9.21 PWM モードの設定手順例

(b) PWM モードの動作例

PWM モード 1 の動作例を図 9.22 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

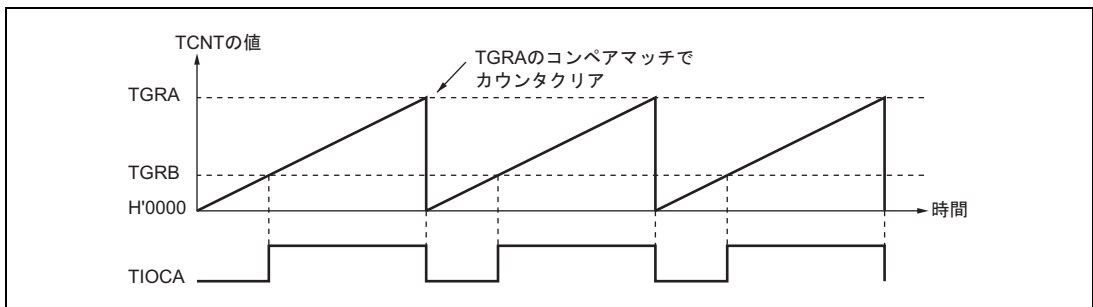


図 9.22 PWM モードの動作例 (1)

9. 16ビットタイマパルスユニット (TPU)

PWM モード 2 の動作例を図 9.23 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0、TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

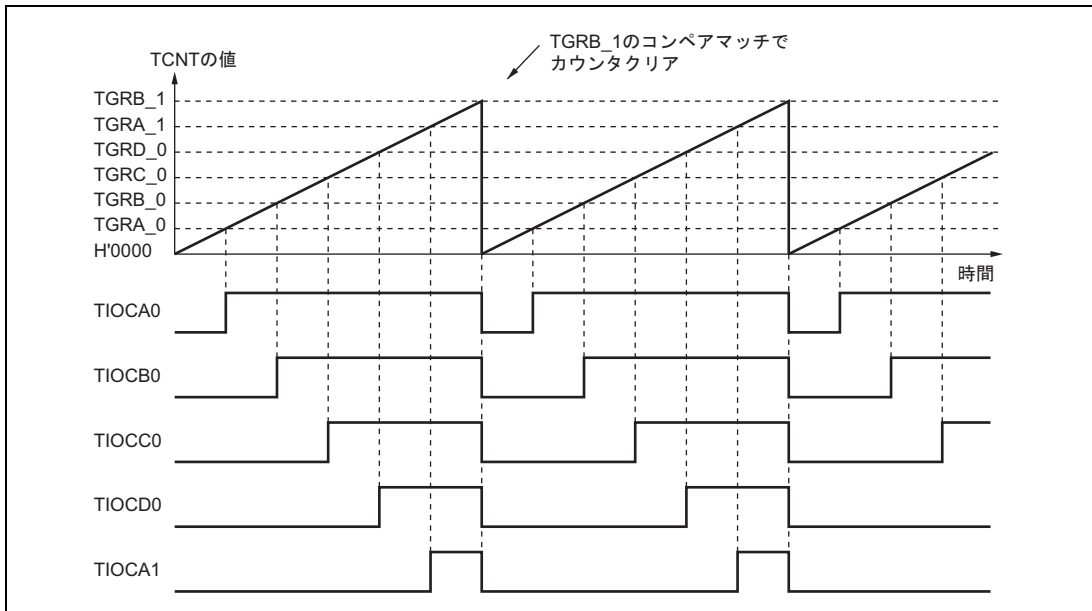


図 9.23 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 9.24 に示します。

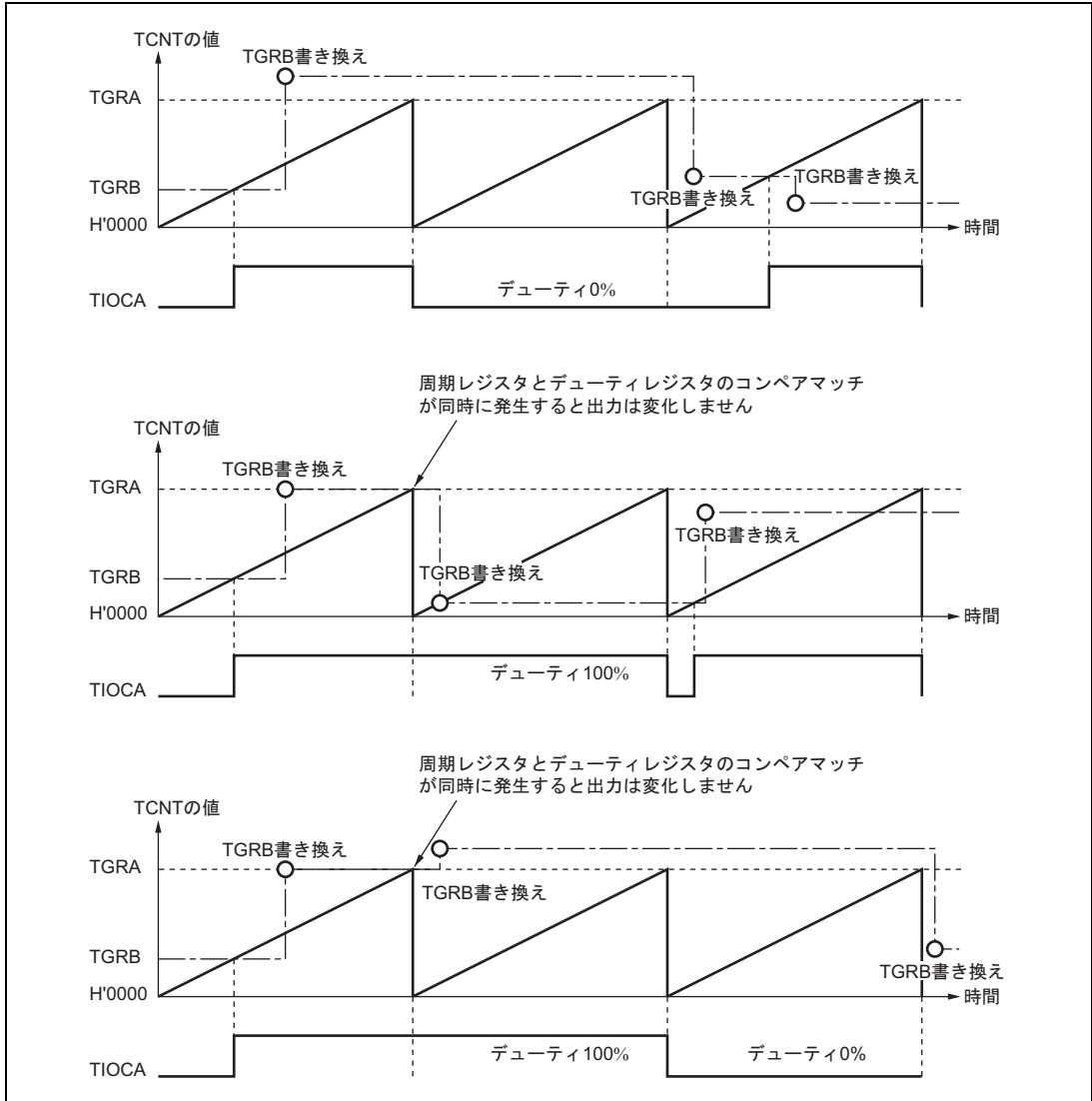


図 9.24 PWM モード動作例 (3)

9. 16ビットタイマパルスユニット (TPU)

9.5.5 位相計数モード

位相計数モードは、チャンネル1、2の設定により、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表9.19に外部クロック端子とチャンネルの対応を示します。

表 9.19 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図9.25に示します。

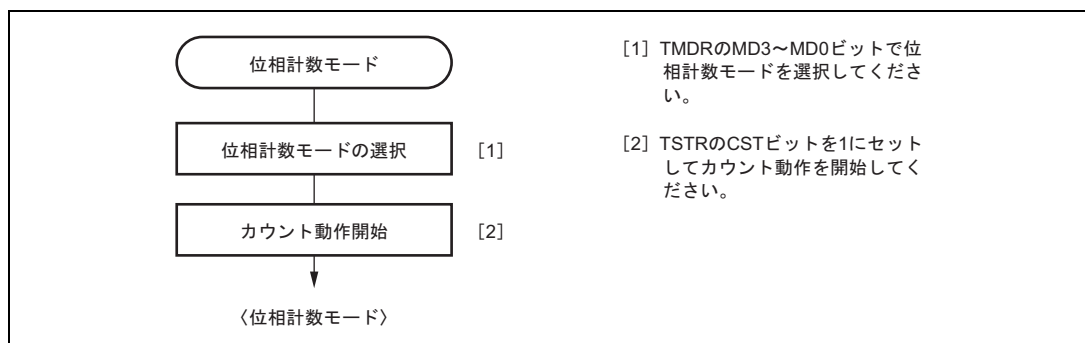


図 9.25 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図9.26に、TCNTのアップ/ダウンカウント条件を表9.20に示します。

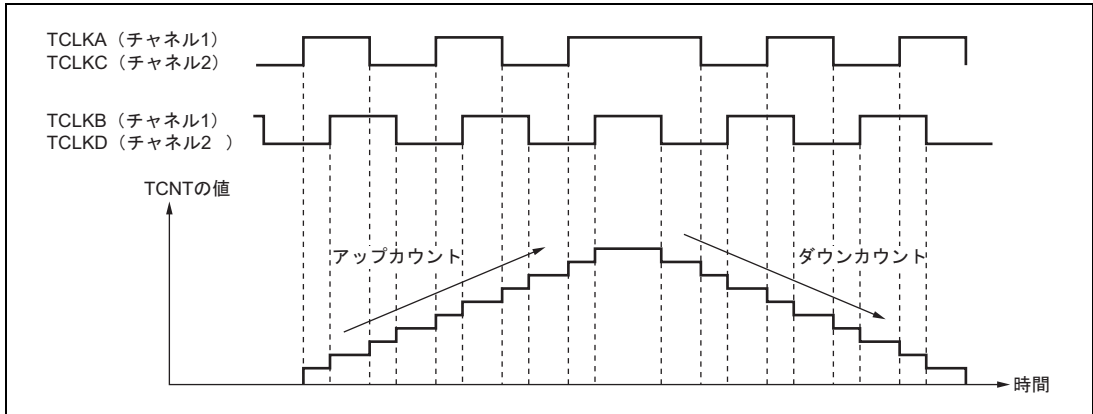


図 9.26 位相計数モード1の動作例

表 9.20 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

9. 16ビットタイマパルスユニット (TPU)

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 9.27 に、TCNT のアップ/ダウンカウント条件を表 9.21 に示します。

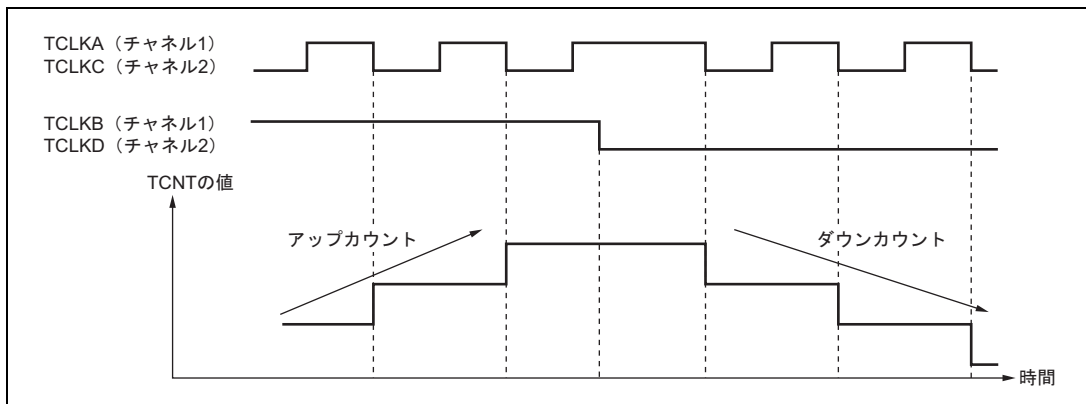


図 9.27 位相計数モード 2 の動作例

表 9.21 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		Don't care
Low レベル		
	Low レベル	アップカウント
	High レベル	
High レベル		Don't care
Low レベル		
	High レベル	ダウンカウント
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図9.28に、TCNTのアップ/ダウンカウント条件を表9.22に示します。

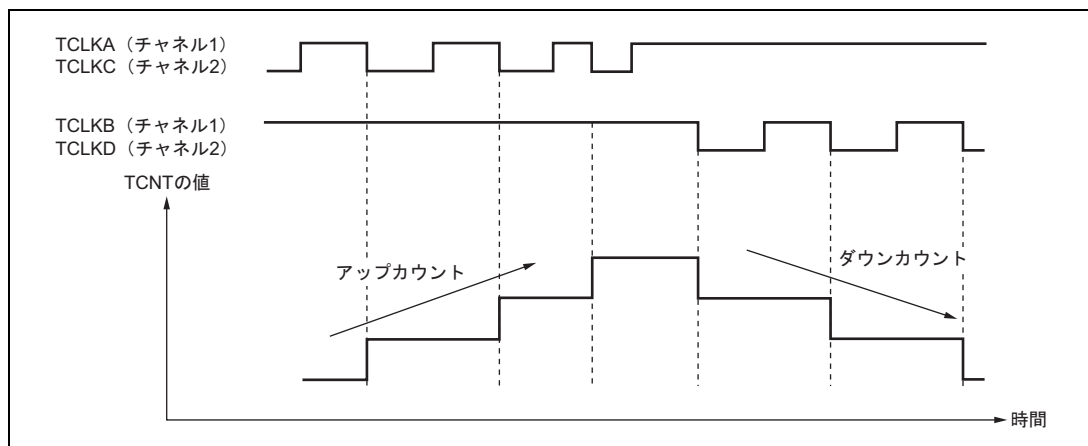


図 9.28 位相計数モード3の動作例

表 9.22 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル		Don't care
Low レベル		
	Low レベル	
	High レベル	アップカウント
High レベル		ダウンカウント
Low レベル		Don't care
	High レベル	
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

9. 16ビットタイマパルスユニット (TPU)

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 9.29 に、TCNT のアップ/ダウンカウント条件を表 9.23 に示します。

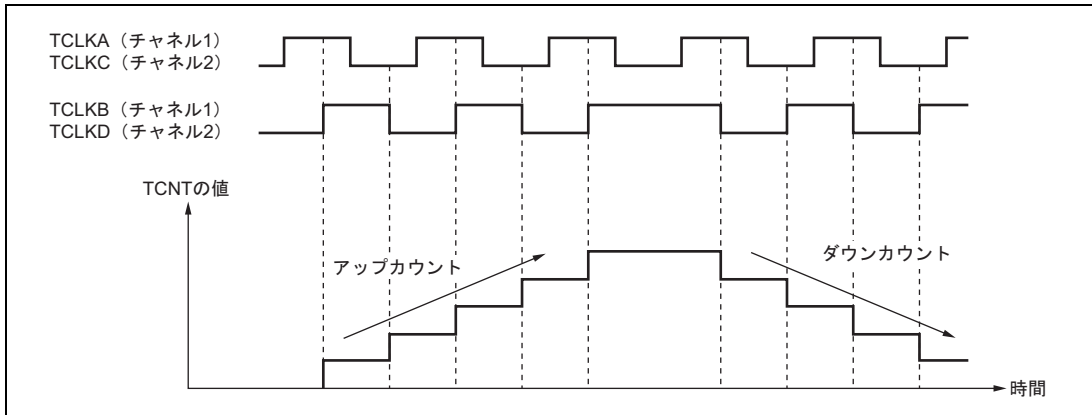


図 9.29 位相計数モード 4 の動作例

表 9.23 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	Don't care
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	Don't care
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

9. 16 ビットタイマパルスユニット (TPU)

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 3 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

9.6.2 DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 7 章 DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネル 1 本、計 3 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

9.6.3 A/D 変換器の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動できます。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 3 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

9.7 動作タイミング

9.7.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図9.30に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図9.31に示します。

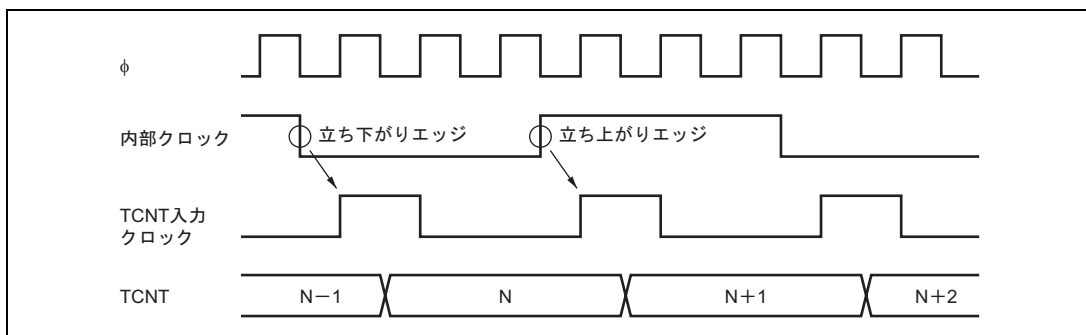


図 9.30 内部クロック動作時のカウンタタイミング

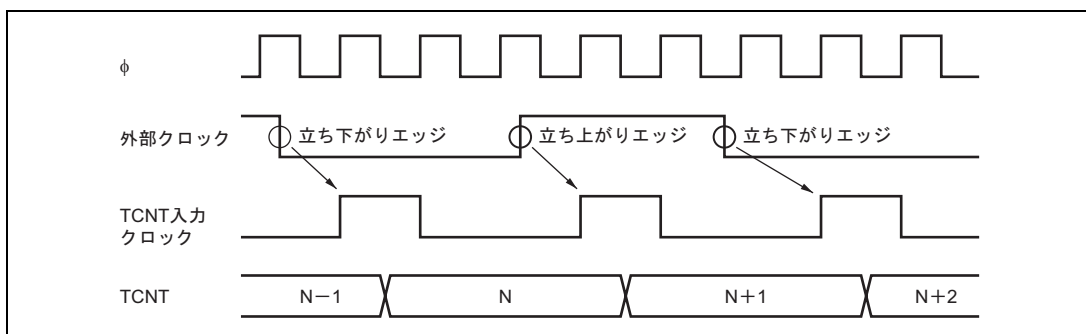


図 9.31 外部クロック動作時のカウンタタイミング

9. 16ビットタイマパルスユニット (TPU)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIORで設定した出力値がアウトプットコンペア出力端子（TIOC端子）に出力されます。TCNTとTGRが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図9.32に示します。

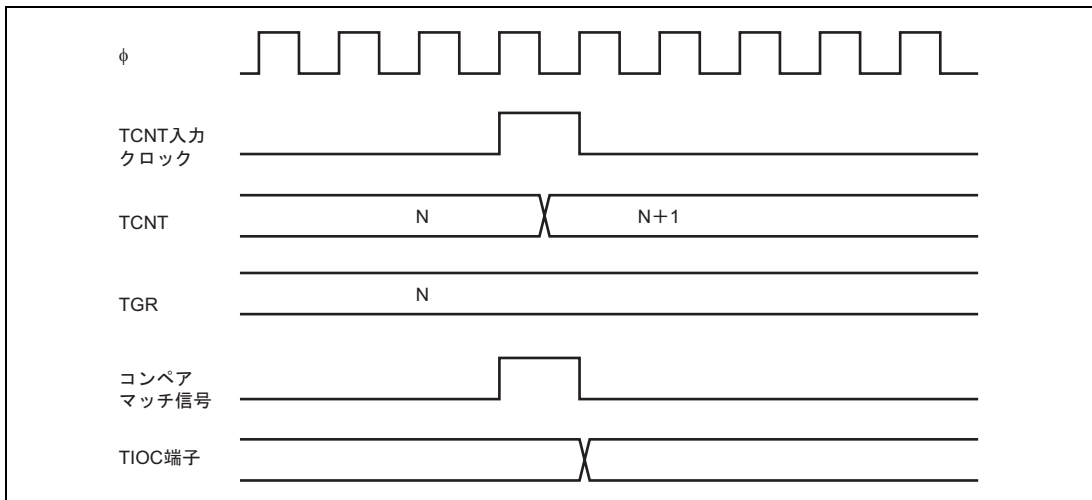


図 9.32 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図9.33に示します。

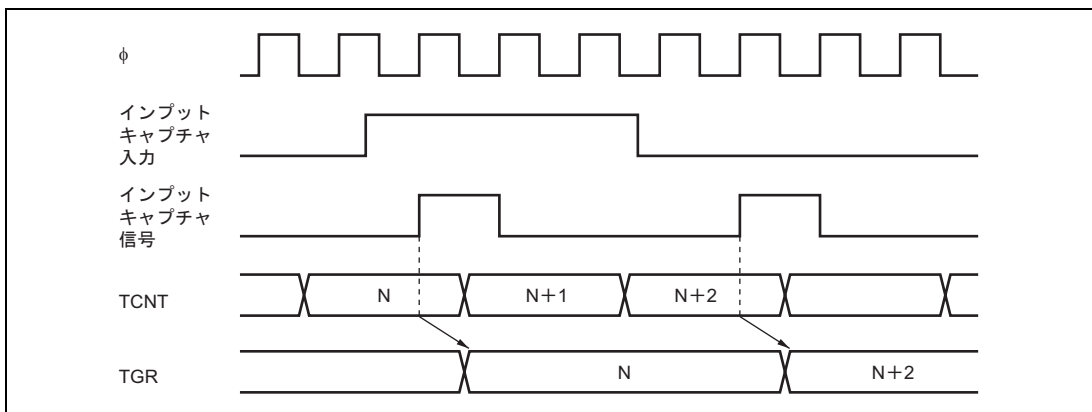


図 9.33 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 9.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 9.35 に示します。

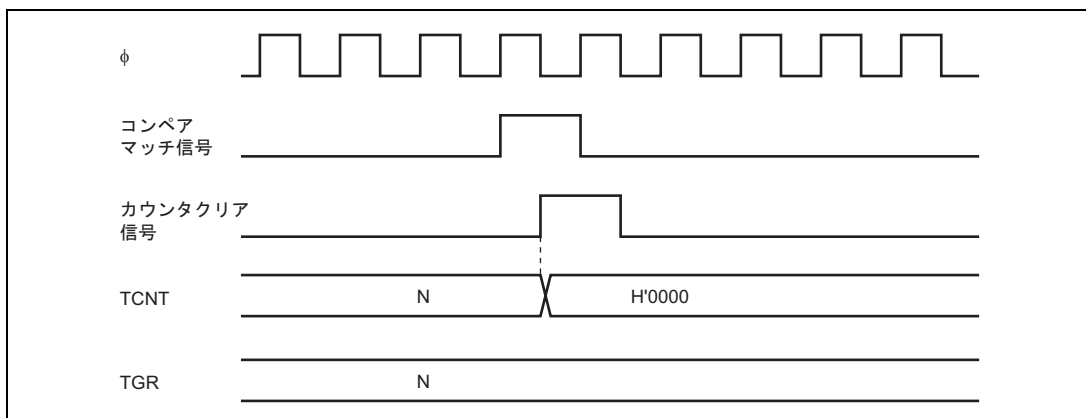


図 9.34 カウンタクリアタイミング (コンペアマッチ)

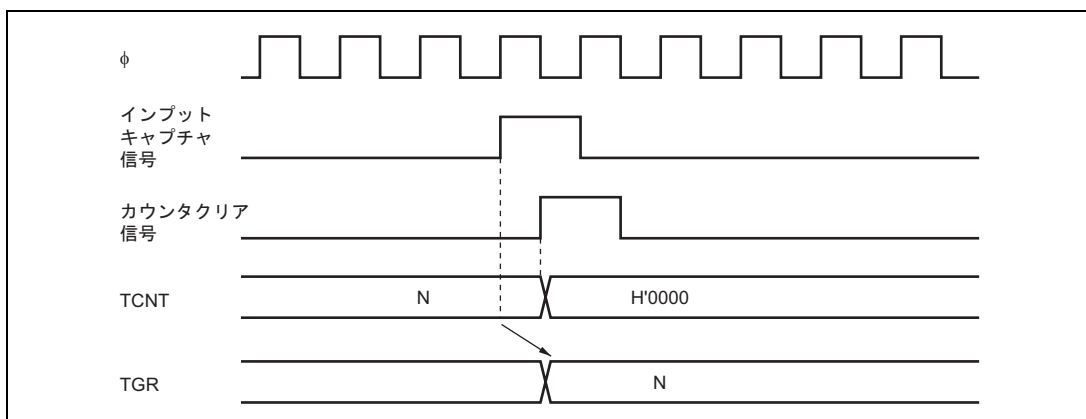


図 9.35 カウンタクリアタイミング (インプットキャプチャ)

9. 16ビットタイマパルスユニット (TPU)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 9.36、図 9.37 に示します。

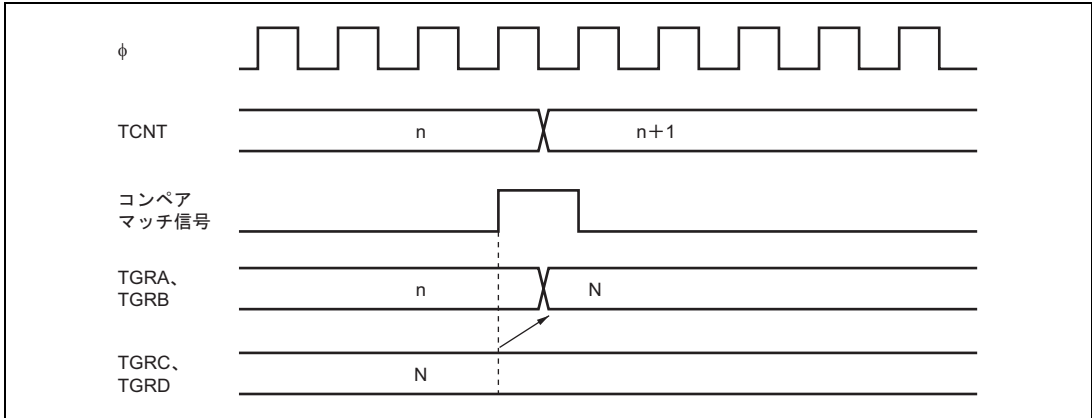


図 9.36 バッファ動作タイミング (コンペアマッチ)

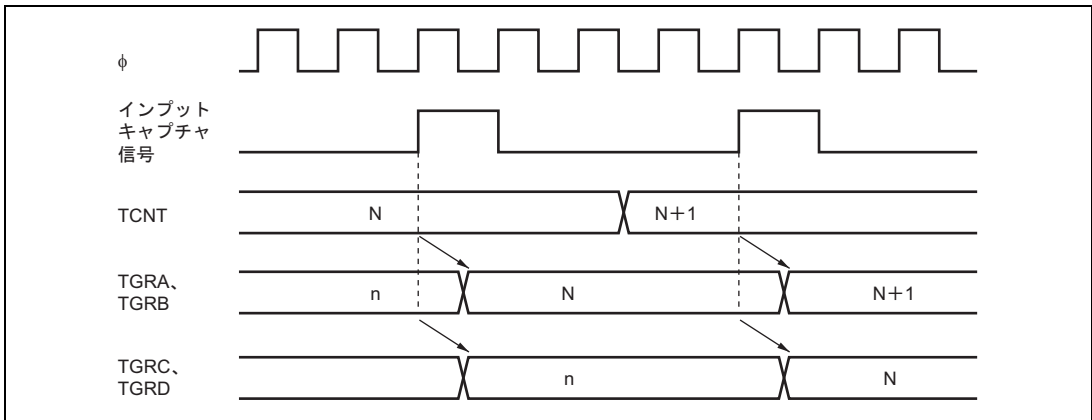


図 9.37 バッファ動作タイミング (インプットキャプチャ)

9.7.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.38 に示します。

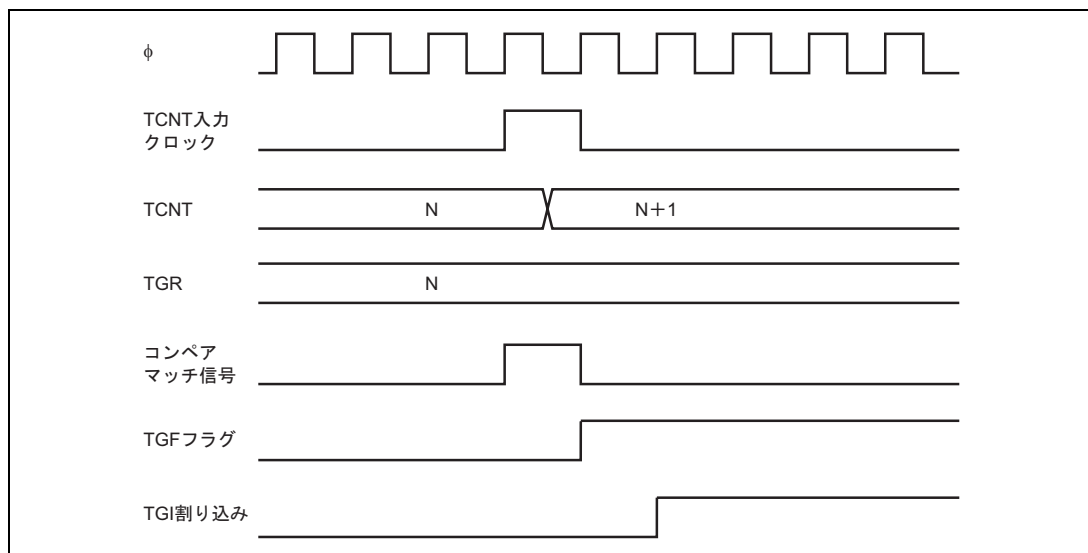


図 9.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インプットキャプチャ時の TGF フラグのセットタイミング

インプットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.39 に示します。

9. 16 ビットタイマパルスユニット (TPU)

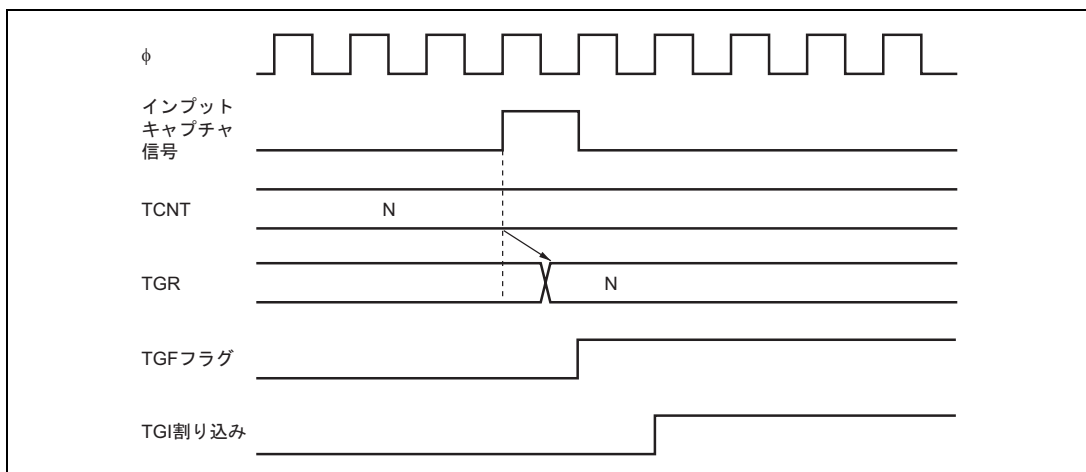


図 9.39 TGI 割り込みタイミング (インプットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 9.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 9.41 に示します。

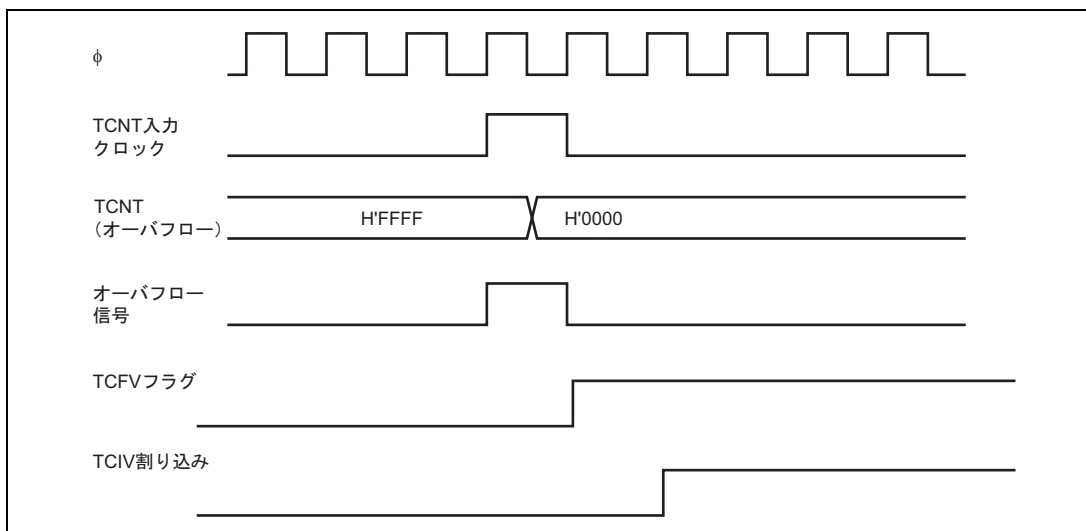


図 9.40 TCIV 割り込みのセットタイミング

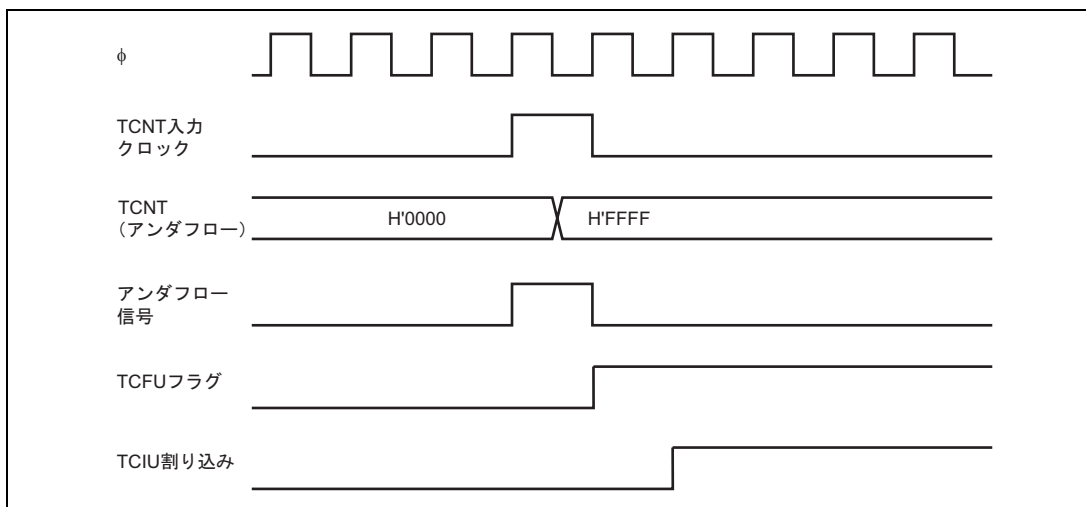


図 9.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードしたあと、0をライトするとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図9.42に、DMACによるステータスフラグのクリアのタイミングを図9.43に示します。

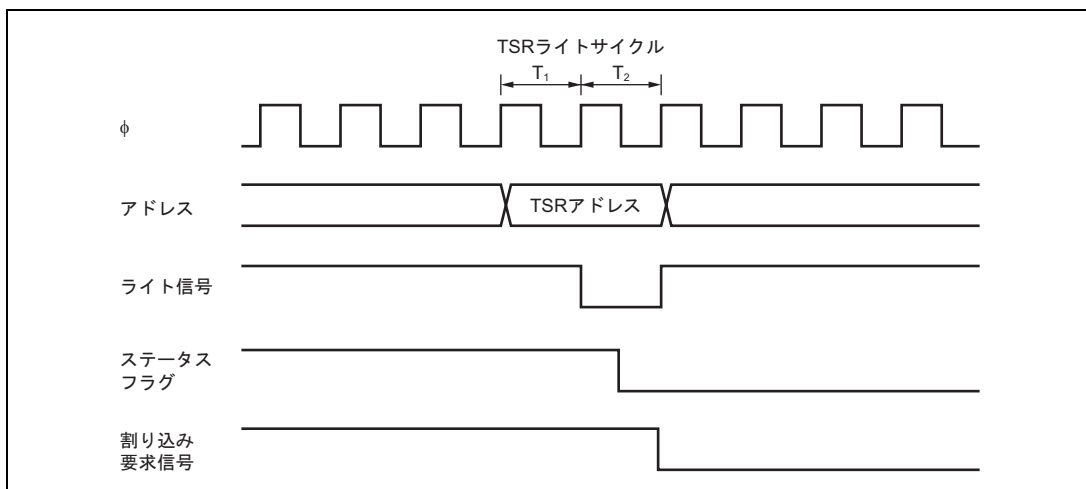


図 9.42 CPU によるステータスフラグのクリアタイミング

9. 16 ビットタイマパルスユニット (TPU)

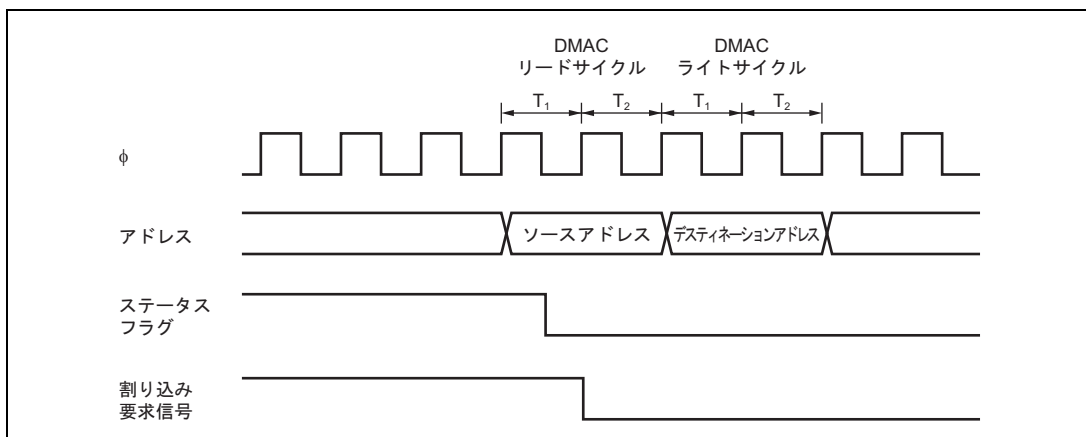


図 9.43 DMAC の起動によるステータスフラグのクリアタイミング

9.8 使用上の注意事項

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 9.44 に示します。

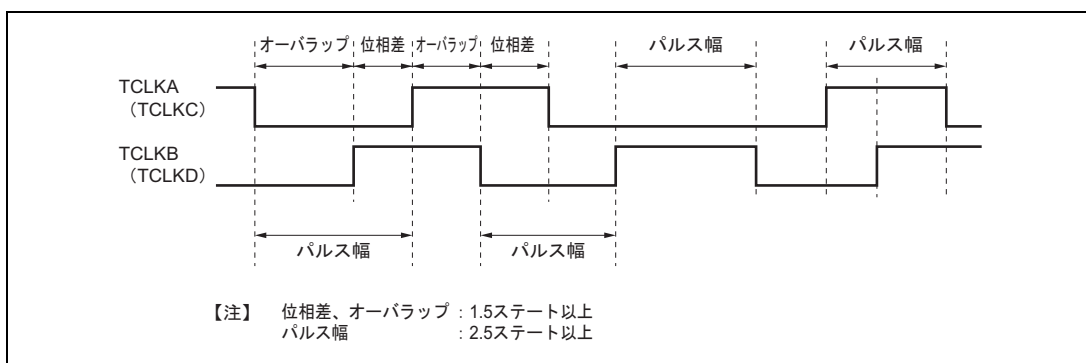


図 9.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

(2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

ϕ : 動作周波数

N : TGR の設定値

(3) TCNTのライトとクリアの競合

TCNTのライトサイクル中の T_2 ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。このタイミングを図9.45に示します。

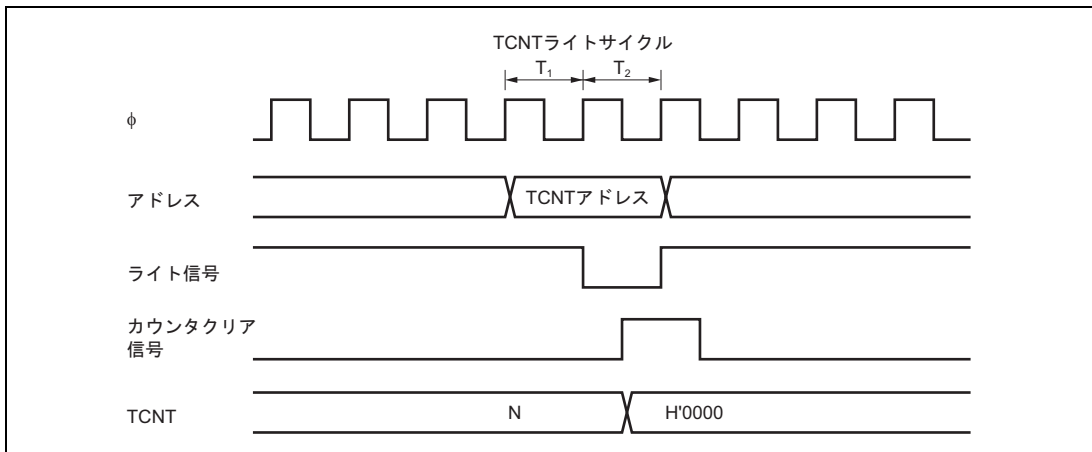


図 9.45 TCNT のライトとクリアの競合

(4) TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の T_2 ステートでカウントアップが発生してもカウントアップされず、TCNTへのライトが優先されます。このタイミングを図9.46に示します。

9. 16ビットタイマパルスユニット (TPU)

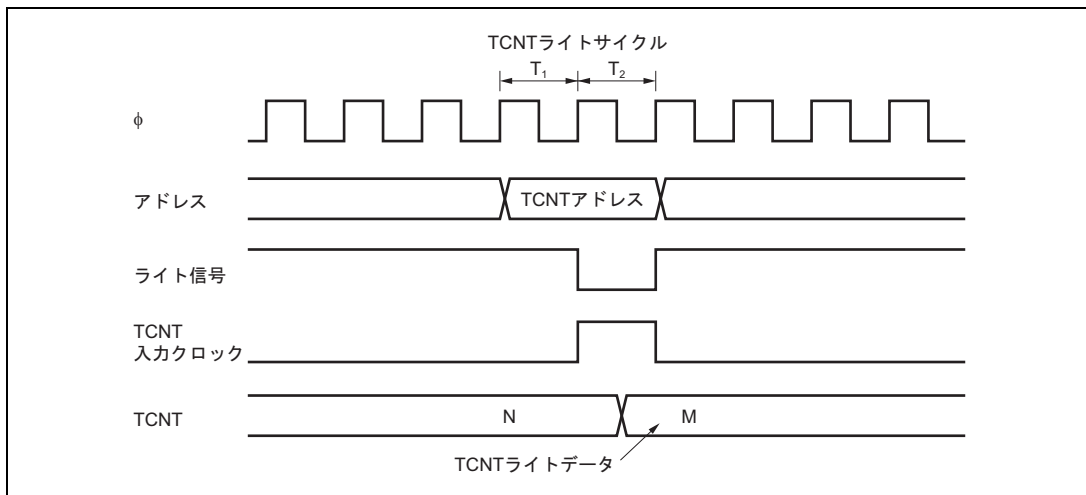


図 9.46 TCNT のライトとカウントアップの競合

(5) TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。このタイミングを図 9.47 に示します。

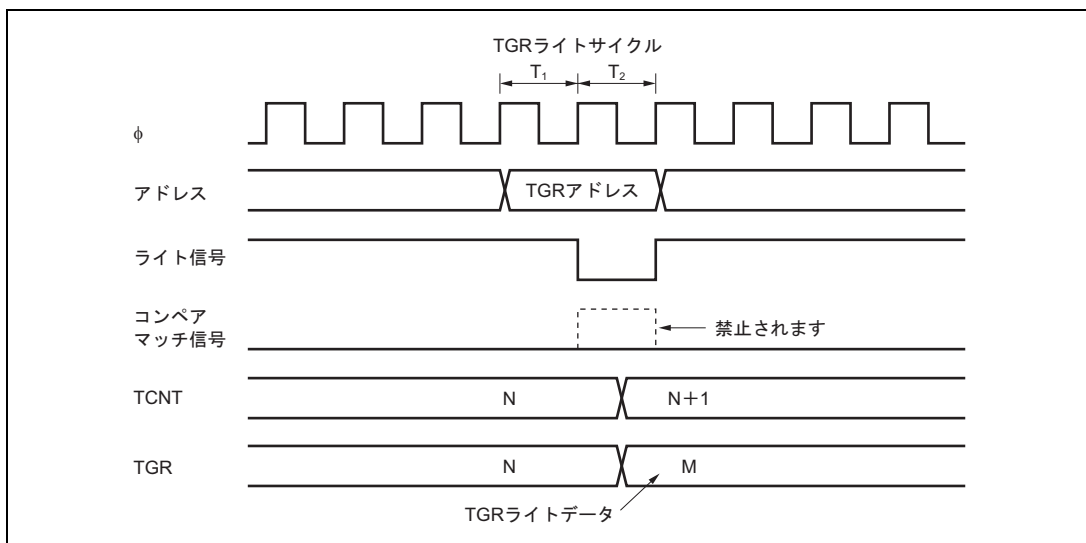


図 9.47 TGR のライトとコンペアマッチの競合

(6) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。このタイミングを図 9.48 に示します。

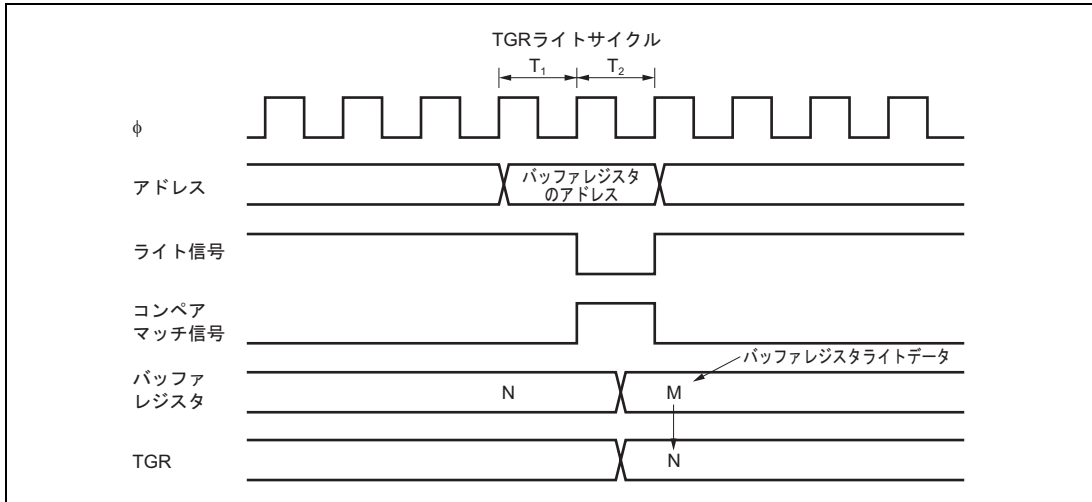


図 9.48 バッファレジスタのライトとコンペアマッチの競合

(7) TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T_1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。このタイミングを図 9.49 に示します。

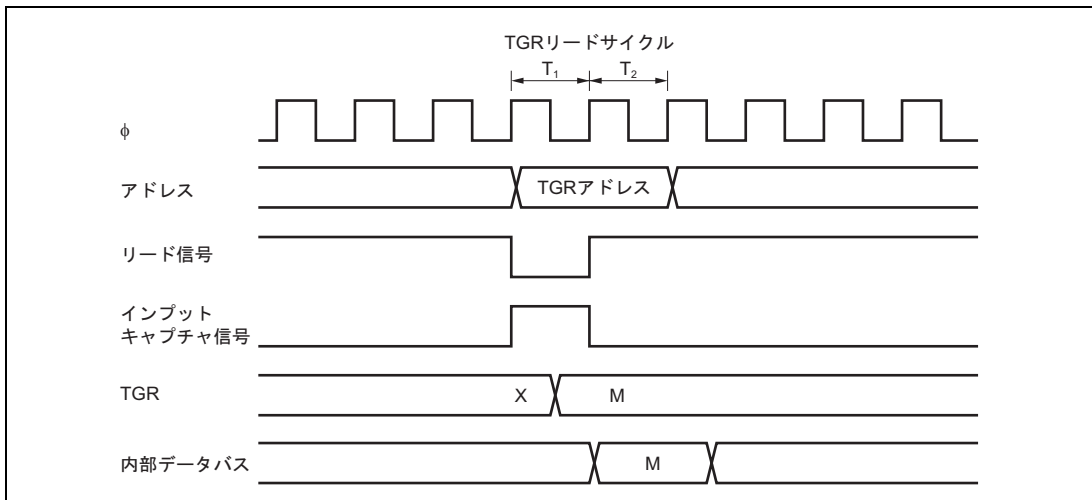


図 9.49 TGR のリードとインプットキャプチャの競合

9. 16ビットタイマパルスユニット (TPU)

(8) TGRのライトとインプットキャプチャの競合

TGRのライトサイクル中の T_2 状態でインプットキャプチャ信号が発生すると、TGRへのライトは行われず、インプットキャプチャが優先されます。このタイミングを図9.50に示します。

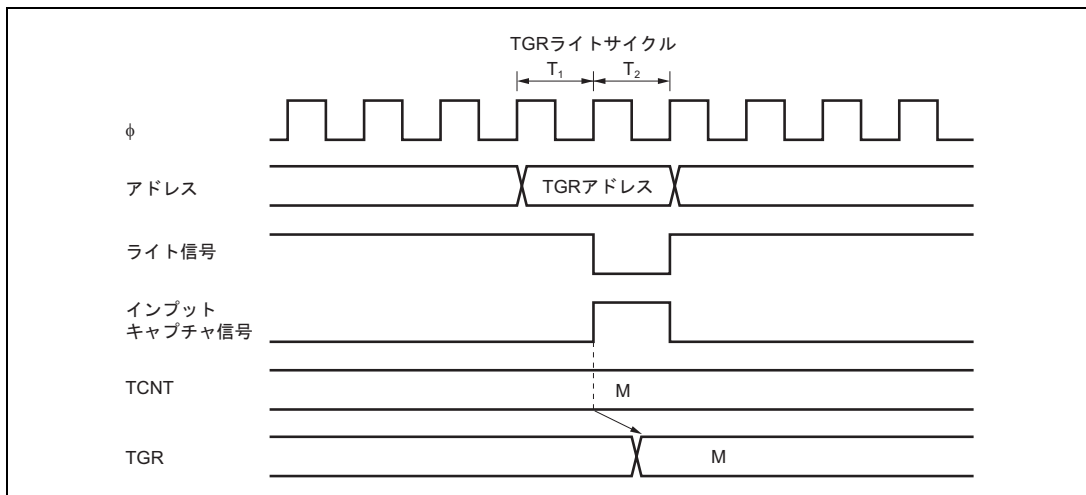


図 9.50 TGRのライトとインプットキャプチャの競合

(9) バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T_2 状態でインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図9.51に示します。

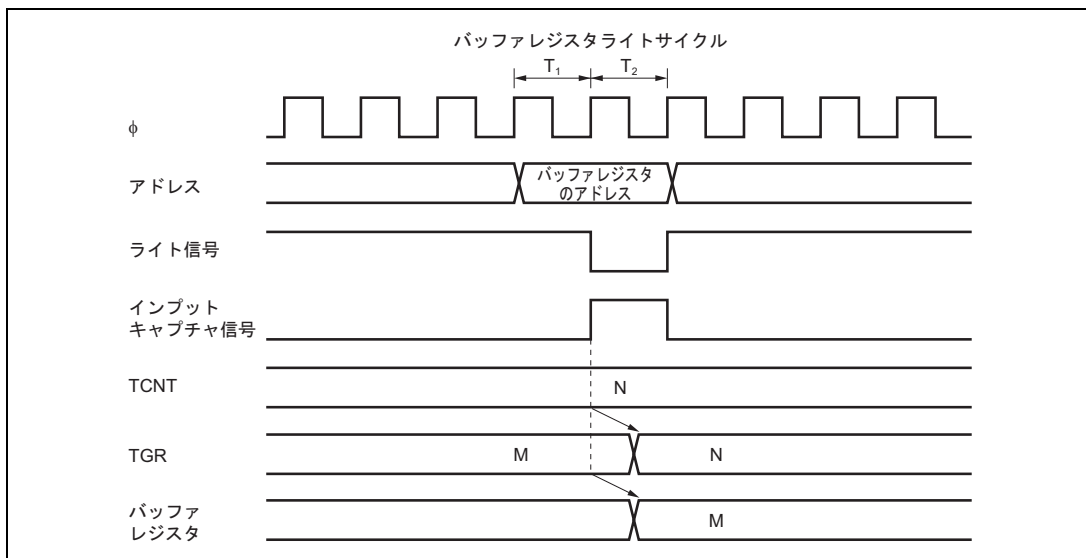


図 9.51 バッファレジスタのライトとインプットキャプチャの競合

(10) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSRのTCFV/TCFUフラグはセットされず、TCNTのクリアが優先されます。TGRのコンペアマッチをクリア要因とし、TGRにH'FFFFを設定した場合の動作タイミングを図9.52に示します。

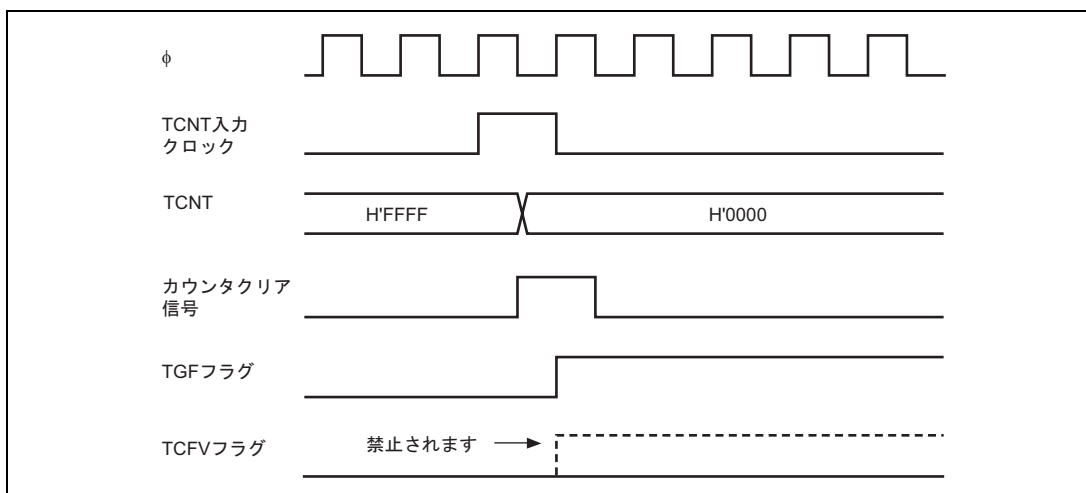


図 9.52 オーバフローとカウンタクリアの競合

(11) TCNTのライトとオーバフロー/アンダフローの競合

TCNTのライトサイクル中の T_2 ステートでカウントアップ/カウントダウンが発生し、オーバフロー/アンダフローが発生してもTCNTへのライトが優先され、TSRのTCFV/TCFUフラグはセットされません。

TCNTのライトとオーバフロー競合時の動作タイミングを図9.53に示します。

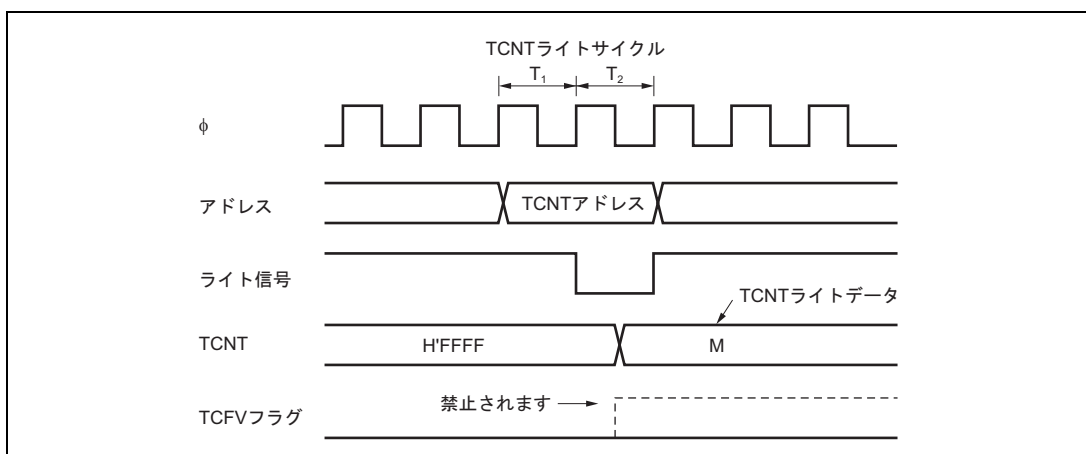


図 9.53 TCNTのライトとオーバフローの競合

9. 16 ビットタイマパルスユニット (TPU)

(12) 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

(13) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、または DMAC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

(14) モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 20 章 低消費電力状態」を参照してください。

10. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みが発生します。

WDT のブロック図を図 10.1 に示します。

10.1 特長

- 8種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本 LSI 内部をリセットするかしないかを選択できます。

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

10. ウォッチドッグタイマ (WDT)

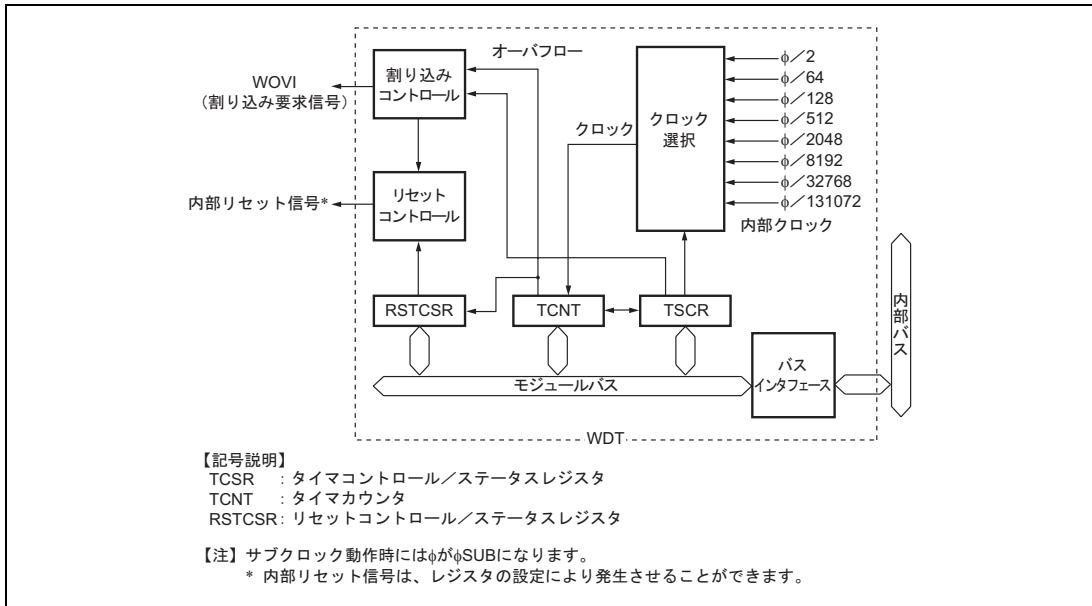


図 10.1 WDT のブロック図

10.2 レジスタの説明

WDT には、以下のレジスタがあります。TCSR、TCNT、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「10.5.1 レジスタアクセス時の注意事項」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

10.2.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

10.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>TCNT がオーバフローしたことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバフロー (H'FF→H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF = 1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p> <p>インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF = 1 の状態を 2 回以上リードしてください。</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4, 3		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
2	CKS2	0	R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。() 内は$\phi = 16\text{MHz}$のときのオーバフロー周期を表します。オーバフロー同期は TCNT = H'00 からカウントアップを開始し、オーバフローするまでの時間です。</p> <p>000 : クロック$\phi/2$ (周期 32.0μs)</p> <p>001 : クロック$\phi/64$ (周期 1.0ms)</p> <p>010 : クロック$\phi/128$ (周期 2.0ms)</p> <p>011 : クロック$\phi/512$ (周期 8.2ms)</p> <p>100 : クロック$\phi/2048$ (周期 32.8ms)</p> <p>101 : クロック$\phi/8192$ (周期 131.1ms)</p> <p>110 : クロック$\phi/32768$ (周期 524.3ms)</p> <p>111 : クロック$\phi/131072$ (周期 2.1s)</p>
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10. ウォッチドッグタイム (WDT)

10.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)* ¹	ウォッチドッグタイムオーバーフローフラグ ウォッチドッグタイムモードで、TCNT がオーバーフローするとセットされます。インターバルタイムモードではセットされません。 [セット条件] ウォッチドッグタイムモードで TCNT がオーバーフロー (H'FF→H'00) したとき [クリア条件] 1 の状態で、RSTCSR をリードしたあと、WOVF に 0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイムモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません (LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイムモードで TCNT がオーバーフローして発生する、内部リセットの種類を選択します。 0 : パワーオンリセット* ² 1 : マニュアルリセット* ³
4~0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 WDT によるパワーオンリセットでは USB のレジスタが初期化されませんので注意してください。詳細は、「14.8 (8) リセットについて」を参照してください。

*3 H8S/2218 グループのみです。

10.3 動作説明

10.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の WT/\overline{IT} ビット = 1 に、TME ビット = 1 に設定してください。

TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローは発生しません。

RSTCSR の RSTE ビットを 1 にセットしておく、ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローしたときに、本 LSI の内部をリセットする信号が発生します。リセットは、RSTCSR の RSTS ビットの設定により、パワーオンリセットまたはマニュアルリセット*が選択できます。内部リセット信号は、518 ステートの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。

【注】 * H8S/2218 グループのみです。

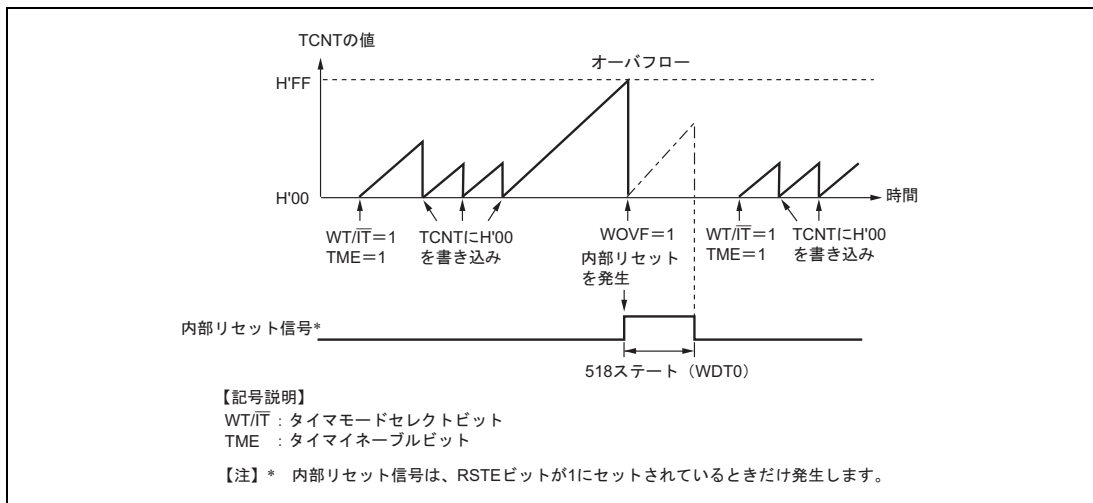


図 10.2 ウォッチドッグタイマモード時の動作

10. ウォッチドッグタイマ (WDT)

10.3.2 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでTCNTがオーバフローすると、RSTCSRのWOVFビットが1にセットされます。また、RSTCSRのRSTEビットが1にセットしてあると、TCNTがオーバフローしたとき、本LSI全体に対して内部リセット信号を発生します。これらのタイミングを図10.3に示します。

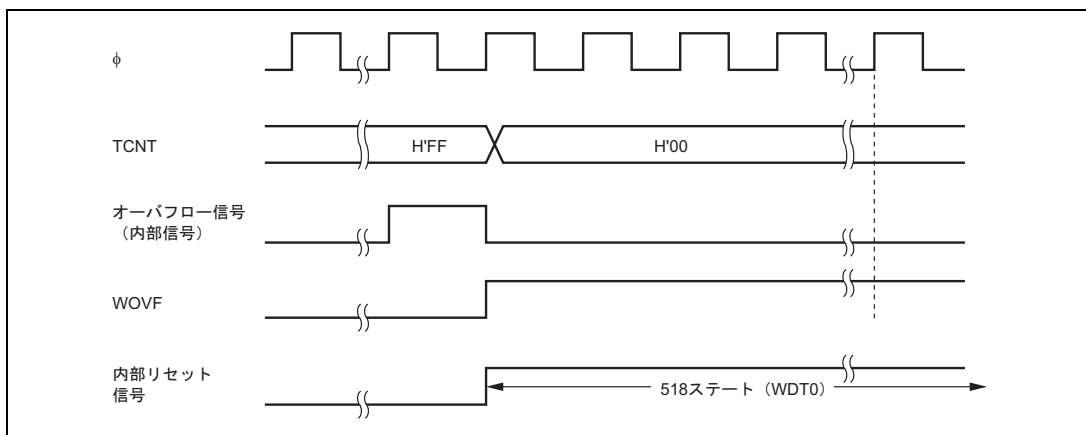


図 10.3 WOVF のセットタイミング

10.3.3 インターバルタイマモード時

インターバルタイマモードとして使用するときは、TCSRのWT/ITビット=0に、TMEビット=1に設定してください。

インターバルタイマとして動作しているときは、TCNTがオーバフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

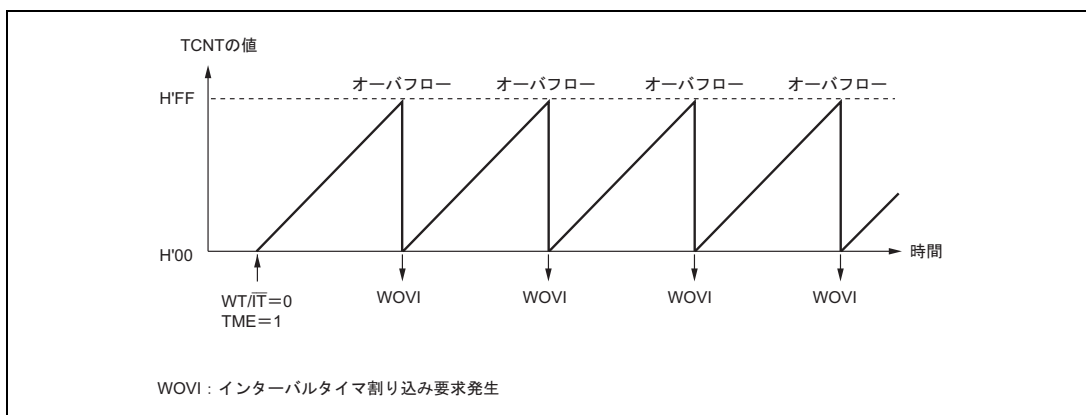


図 10.4 インターバルタイマモード時の動作

10.3.4 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 10.5 に示します。

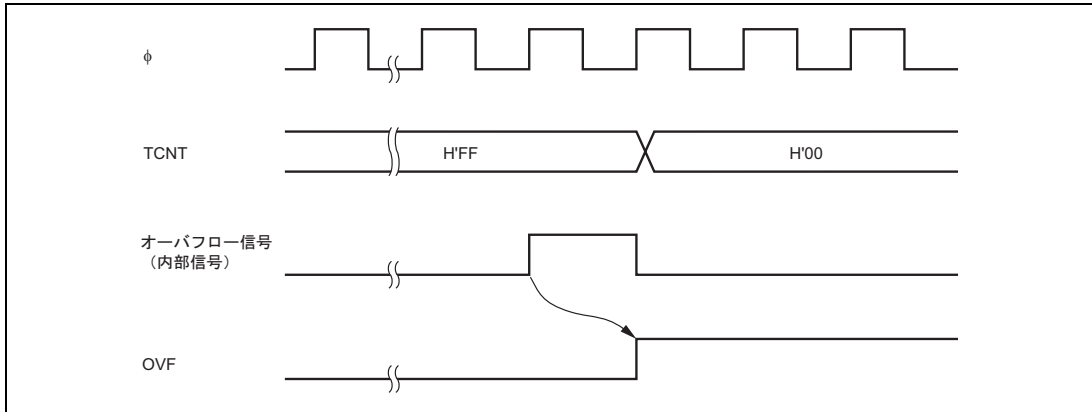


図 10.5 OVF のセットタイミング

10.4 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 10.1 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバーフロー	WOVF

10.5 使用上の注意事項

10.5.1 レジスタアクセス時の注意事項

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト

TCNT、TCSR ヘライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。これを図 10.6 に示します。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、TCNT ヘライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR ヘライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR ヘライトされます。

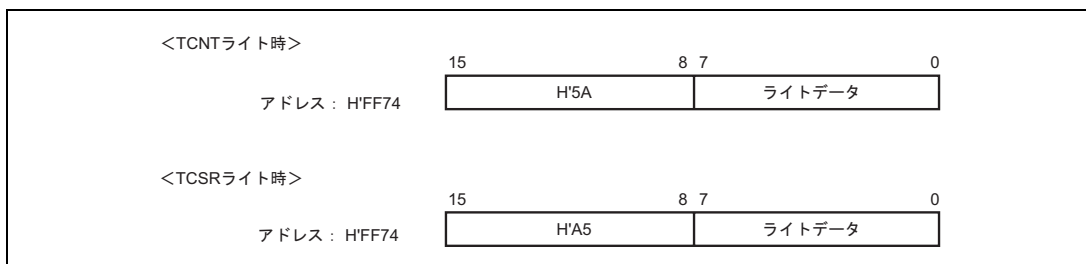


図 10.6 TCNT、TCSR へのライト

(2) RSTCSR へのライト

RSTCSR ヘライトするときは、ワード転送を行ってください。バイト転送命令では、ライトできません。これを図 10.7 に示します。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、ライトの方法が異なります。

WOVF ビット 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

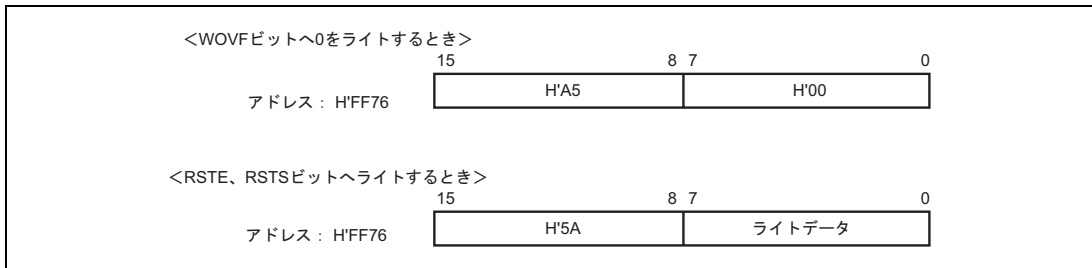


図 10.7 RSTCSR へのライト

(3) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

10.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 10.8 に示します。

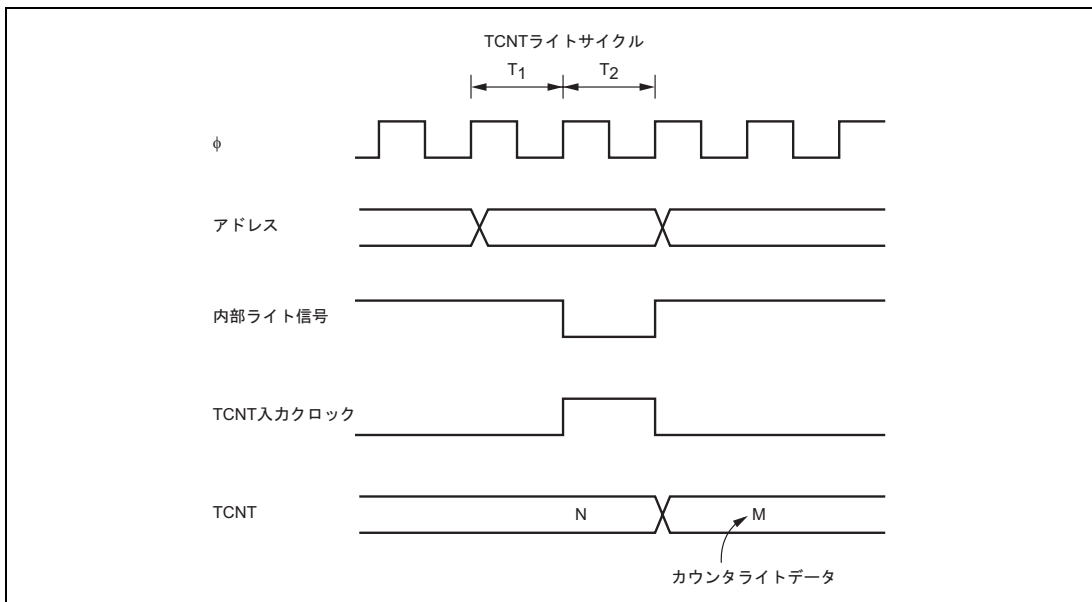


図 10.8 TCNT のライトとカウントアップの競合

10. ウォッチドッグタイマ (WDT)

10.5.3 CKS2~CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

10.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

10.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

オーバフローが発生してから I32 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバフローが発生してから I32 ステート待ったあと、WOVF フラグに 0 をライトしてください。

10.5.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合など、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

11. リアルタイムクロック (RTC)

リアルタイムクロック (RTC : Real Time Clock) は、1 秒から 1 週間までの時間をカウントできるタイマです。RTC のブロック図を図 11.1 に示します。

11.1 特長

- 秒、分、時、および曜日をカウント
- スタート/ストップ機能
- リセット機能
- BCDコードによるリード/ライト可能な秒、分、時、および曜日カウンタ
- 周期 (秒、分、時、日、週) 割り込み
- 8ビットフリーランニングカウンタ
- クロックソースの選択
- 外部バスインタフェース方式の8ビットバス3サイクルアクセスタイミングを採用

RTCのレジスタは外部アドレスエリア7の一部 (H'FFFF48 ~ H'FFFF4F) に割り当てられています。

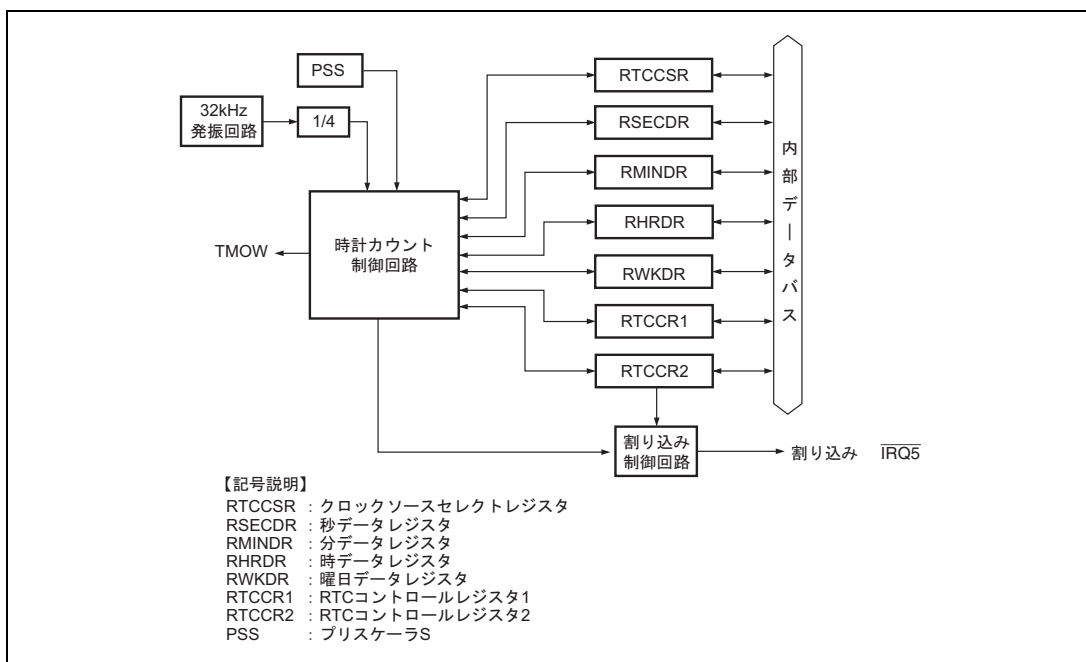


図 11.1 RTC のブロック図

11. リアルタイムクロック (RTC)

11.2 入出力端子

RTCの入出力端子を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	RTC 分周クロック出力端子

11.3 レジスタの説明

RTC には以下のレジスタがあります。

- 秒データレジスタ (RSECDR)
- 分データレジスタ (RMINDR)
- 時データレジスタ (RHRDR)
- 曜日データレジスタ (RWKDR)
- RTCコントロールレジスタ1 (RTCCR1)
- RTCコントロールレジスタ2 (RTCCR2)
- クロックソースセレクトレジスタ (RTCCSR)
- 拡張モジュールストップレジスタ (EXMDLSTP)

11.3.1 秒データレジスタ (RSECDR)

RSECDR は秒のカウントを行います。本レジスタは \overline{STBY} 入力または RTCCR1 の RST ビットにより H00 に初期化されますが、 \overline{RES} 入力による初期化はされません。RSECDR は BCD コードで表され、0 から 59 までのカウントを行います。秒、分、時、および曜日の読み取りについては「11.4.2 時刻読み出し手順」を参照してください。

ビット	ビット名	初期値*	R/W	説明
7	BSY	-	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時および曜日データレジスタの値を採用してください。
6	SC12	-	R/W	秒十位カウント 秒十位は 0 から 5 をカウントして、60 秒のカウントを行います。
5	SC11	-	R/W	
4	SC10	-	R/W	
3	SC03	-	R/W	秒一位カウント 秒一位は 1 秒ごとに 0 から 9 をカウントします。桁上がりが発生すると、秒十位が +1 されます。
2	SC02	-	R/W	
1	SC01	-	R/W	
0	SC00	-	R/W	

【注】 * \overline{RES} 後の初期値です。

11.3.2 分データレジスタ (RMINDR)

RMINDR は RSECDR の桁上がりがあると、分のカウントを行います。本レジスタは \overline{STBY} 入力または RTCCR1 の RST ビットにより H'00 に初期化されますが、 \overline{RES} 入力による初期化はされません。RMINDR は BCD コードで表され、0 から 59 までのカウントを行います。

ビット	ビット名	初期値*	R/W	説明
7	BSY	-	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時、および曜日データレジスタの値を採用してください。
6	MN12	-	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
5	MN11	-	R/W	
4	MN10	-	R/W	
3	MN03	-	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。
2	MN02	-	R/W	
1	MN01	-	R/W	
0	MN00	-	R/W	

【注】 * \overline{RES} 後の初期値です。

11. リアルタイムクロック (RTC)

11.3.3 時データレジスタ (RHRDR)

RHRDR は RMINDR の桁上がりがあると、時間のカウントを行います。本レジスタは \overline{STBY} 入力または RTCCR1 の RST ビットにより H'00 に初期化されますが、 \overline{RES} 入力による初期化はされません。RHRDR は BCD コードで表され、RTCCR1 の 12/24 ビットの選択によって 0 から 11 までのカウント、または 0 から 23 までのカウントを行います。

ビット	ビット名	初期値*	R/W	説明
7	BSY	-	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時、および曜日データレジスタの値を採用してください。
6	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
5	HR11	-	R/W	時十位カウント
4	HR10	-	R/W	時十位は 0 から 2 をカウントします。
3	HR03	-	R/W	時一位カウント
2	HR02	-	R/W	時一位は 1 時間ごとに 0 から 9 をカウントします。桁上がりが発生すると、時
1	HR01	-	R/W	十位が +1 されます。
0	HR00	-	R/W	

【注】 * \overline{RES} 後の初期値です。

11.3.4 曜日データレジスタ (RWKDR)

RWKDR は RHRDR の桁上がりがあると、曜日のカウントを行います。本レジスタは \overline{STBY} 入力または RTCCRI の RST ビットにより H'00 に初期化されますが、 \overline{RES} 入力による初期化はされません。WK2 ~ WK0 ビットにより 0 から 6 のバイナリコードで曜日を表します。

ビット	ビット名	初期値*	R/W	説明
7	BSY	-	R	RTC ビジー 秒、分、時、および曜日データレジスタの値を RTC が更新中 (演算中) のとき、このビットは 1 にセットされます。このビットが 0 のときに秒、分、時、および曜日データレジスタの値を採用してください。
6~3	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。
2 1 0	WK2 WK1 WK0	- - -	R/W R/W R/W	曜日カウント バイナリコードで曜日を表します。 000 : 日 001 : 月 010 : 火 011 : 水 100 : 木 101 : 金 110 : 土 111 : 予約 (設定しないでください。)

【注】 * \overline{RES} 後の初期値です。

11. リアルタイムクロック (RTC)

11.3.5 RTC コントロールレジスタ 1 (RTCCR1)

RTCCR1 は、時計タイマの動作開始 / 動作停止およびリセットを制御します。本レジスタのビット 7~5 は \overline{STBY} 入力または本レジスタの RST ビットにより H'00 に初期化されますが、 \overline{RES} 入力ではビット 7~5 は初期化はされません。時間表現の定義は、図 11.2 を参照してください。

ビット	ビット名	初期値*	R/W	説明
7	RUN	-	R/W	RTC 動作開始 0: RTC またはフリーランカウンタは動作停止 1: RTC またはフリーランカウンタは動作開始
6	12/24	-	R/W	動作モード 0: RTC は 12 時間モードで動作します。RHRDR は 0~11 のカウントを行います。 1: RTC は 24 時間モードで動作します。RHRDR は 0~23 のカウントを行います。
5	PM	-	R/W	午前 / 午後 0: RTC が 12 時間モードのとき有効であり、午前を表します。 1: RTC が 12 時間モードのとき有効であり、午後を表します。
4	RST	0	R/W	リセット 0: 通常動作 1: RTCCSR およびこのビットを除く全レジスタ、制御回路をリセットします。なお 1 にセットしたあとは、必ずこのビットを 0 にクリアしてください。
3~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。

【注】 * \overline{RES} 後の初期値です。

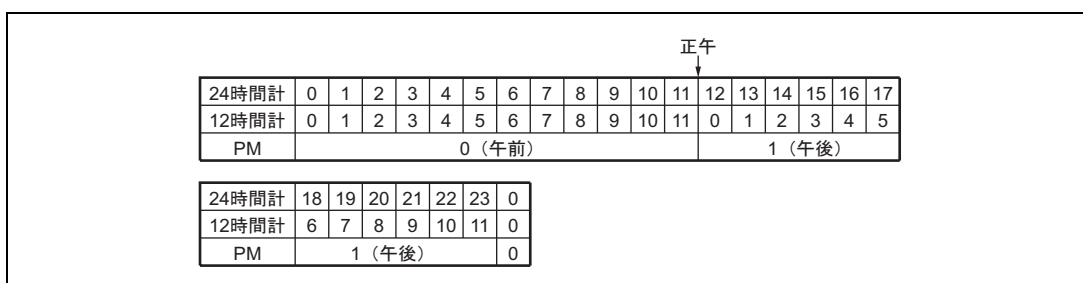


図 11.2 時間表現の定義

11.3.6 RTC コントロールレジスタ 2 (RTCCR2)

RTCCR2 は週、日、時、分、および秒の RTC 周期割り込みを制御します。本レジスタは \overline{STBY} 入力または RTCCRI の RST ビットにより H'00 に初期化されますが、 \overline{RES} 入力では初期化されません。週、日、時、分、および秒の各割り込みを許可すると、割り込みが発生した場合、IRQ ステータスレジスタ (ISR) の IRQ5F フラグが 1 にセットされます。また RTC がフリーランカウンタとして動作しているとき、フリーランカウンタのオーバフロー割り込みを制御します。

ビット	ビット名	初期値*	R/W	説明
7, 6	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。
5	FOIE	-	R/W	フリーランカウンタオーバフロー割り込み許可 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
4	WKIE	-	R/W	週周期割り込み許可 0: 週周期割り込みを禁止 1: 週周期割り込みを許可
3	DYIE	-	R/W	日周期割り込み許可 0: 日周期割り込みを禁止 1: 日周期割り込みを許可
2	HRIE	-	R/W	時周期割り込み許可 0: 時周期割り込みを禁止 1: 時周期割り込みを許可
1	MNIE	-	R/W	分周期割り込み許可 0: 分周期割り込みを禁止 1: 分周期割り込みを許可
0	SEIE	-	R/W	秒周期割り込み許可 0: 秒周期割り込みを禁止 1: 秒周期割り込みを許可

【注】 * \overline{RES} 後の初期値です。

11. リアルタイムクロック (RTC)

11.3.7 クロックソースセレクトレジスタ (RTCCSR)

RTCCSR はクロックソースの選択を行います。本レジスタは \overline{STBY} 入力または \overline{RES} 入力で H'08 に初期化されます。フリーランカウンタは、RTCCR1 の RUN ビットでカウンタの動作開始 / 動作停止を制御します。32.768kHz 以外のクロックを選択すると RTC は無効となり、8 ビットのフリーランカウンタとして動作します。また RTCCR2 の FOIE ビットを 1 にセットすると、フリーランカウンタのオーバフロー割り込みを許可することで割り込みを発生できます。システムクロックを 32、16、8、4 分周したクロックは、高速モード、中速モード、スリープモード、サブアクティブモード、サブスリープモードで出力されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
6	RCS6	0	R/W	クロック出力選択
5	RCS5	0	R/W	UCTLR の TMOWE ビットを 1 にセットしたときに、TMOW 端子から出力されるクロックを選択します。 00 : $\phi/4$ 01 : $\phi/8$ 10 : $\phi/16$ 11 : $\phi/32$
4	-	0	-	リザーブビット リードすると常に 0 が読み出されます。
3	RCS3	1	R/W	クロックソース選択
2	RCS2	0	R/W	0000 : $\phi/8$ フリーランカウンタ動作
1	RCS1	0	R/W	0001 : $\phi/32$ フリーランカウンタ動作
0	RCS0	0	R/W	0010 : $\phi/128$ フリーランカウンタ動作 0011 : $\phi/256$ フリーランカウンタ動作 0100 : $\phi/512$ フリーランカウンタ動作 0101 : $\phi/2048$ フリーランカウンタ動作 0110 : $\phi/4096$ フリーランカウンタ動作 0111 : $\phi/8192$ フリーランカウンタ動作 1000 : 32.768kHz..... RTC 動作

11.3.8 拡張モジュールストップレジスタ (EXMDLSTP)

EXMDLSTP は RTC および USB のクロック供給を制御します。

【注】 ポート D レジスタ (PORTD) による端子状態のリードとする場合は、EXMDLSTP をアクセスしたあとに H'FFFF40 ~ H'FFFF5F 範囲外の外部アドレス空間 (H'FFEFC0 ~ H'FFF7FF など) を一度ダミーリードしてから PORTD をリードしてください。

ビット	ビット名	初期値	R/W	説明
7~2	-	不定	-	リザーブビット リードは不定です。ライトは無効です。
1	RTCSTOP	0	R/W	RTC モジュールストップ 0: RTC モジュールストップ解除 1: RTC モジュールストップ
0	USBSTOP1	0	R/W	USB モジュールストップ 0: USB モジュールストップ一部解除 1: USB モジュール完全ストップ

11.4 RTC の動作

11.4.1 電源投入後のレジスタの初期設定および再設定手順

RTC は $\overline{\text{STBY}}$ 入力により秒、分、時、曜日、動作モード、午前/午後の情報を格納しているレジスタはリセットされますが、 $\overline{\text{RES}}$ 入力によりこれらのレジスタはリセットされません。そのため、電源投入後および $\overline{\text{STBY}}$ 入力後はすべてのレジスタを初期設定してください。RTC を初期設定する手順と再設定する手順を図 11.3 に示します。その後は $\overline{\text{RES}}$ 入力に関係なく、電源が供給されている限り正確な時間を刻みます。

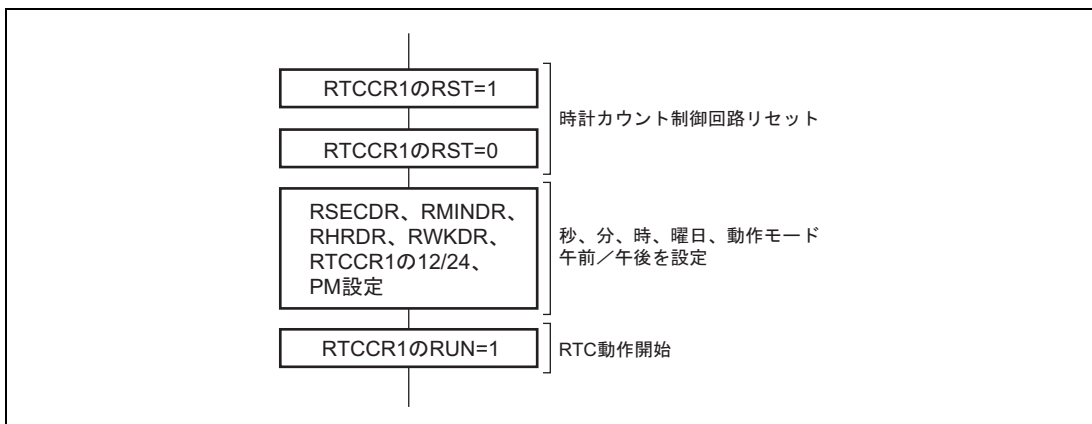


図 11.3 初期設定手順

11. リアルタイムクロック (RTC)

11.4.2 時刻読み出し手順

時刻読み出し期間中に秒、分、時、曜日データの更新が行われると正しい時刻が得られないため、再読み出しする必要があります。正しい時刻を得られない場合の例を図 11.4 に示します。この例では RSECDR のみデータ更新後にリードしているため、約 1 分の矛盾が生じています。

正しい時刻を読み出す方法は 3 つあります。

1. BSYビットを判定し、BSYビットが1から0に変化したあとに、秒、分、時、曜日を示すレジスタをリードします。BSYビットが1にセットされてから約62.5ms後にレジスタの更新が行われ、BSYビットが0にクリアされます。
2. 割り込みを使用し、ISRのIRQ5Fフラグが1にセットされたら、BSYビットが0であることを確認してから秒、分、時、曜日を指示レジスタをリードします。
3. 秒、分、時、曜日を指示レジスタを連続的に2回リードし、リードしたデータに変化がなければそのデータを採用します。

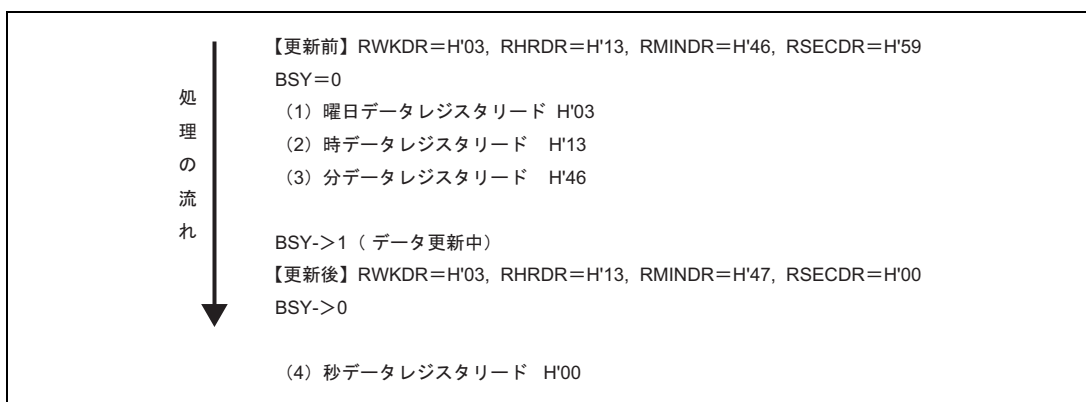


図 11.4 正しい時刻を得られない場合の例

11.5 割り込み要因

RTCの割り込み要因を表 11.2 に示します。RTCの割り込み要因には、週、日、時、分、秒の5種類あります。

割り込みを使用する場合、RTCの起動は他のレジスタの設定（割り込みコントローラの ISCRH、IER を含む）が終了したあと、最後に行ってください。また RTCCR2 の各割り込み許可ビットは、同時に複数のビットを 1 にセットしないでください。

RTCの割り込み要求が発生すると、ISRのIRQ5Fフラグが1にセットされます。フラグをクリアする場合は一度、フラグの1をリードしたあと0を書き込んでください。

図 11.5 に RTC 割り込みを使用する場合の初期化設定手順を、図 11.6 に RTC の割り込み処理ルーチンの例をそれぞれ示します。

表 11.2 割り込み要因

要因名	割り込み要因	割り込み許可ビット
オーバーフロー割り込み	フリーランカウンタがオーバーフローしたときに発生します。	FOIE
週周期割り込み	曜日データレジスタの値が0になったとき、1週間周期に割り込みを発生します。	WKIE
日周期割り込み	曜日データレジスタがカウントされるたびに、1日周期に割り込みを発生します。	DYIE
時周期割り込み	時データレジスタがカウントされるたびに、1時間周期に割り込みを発生します。	HRIE
分周期割り込み	分データレジスタがカウントされるたびに、1分周期に割り込みを発生します。	MNIE
秒周期割り込み	秒データレジスタがカウントされるたびに、1秒周期に割り込みを発生します。	SEIE

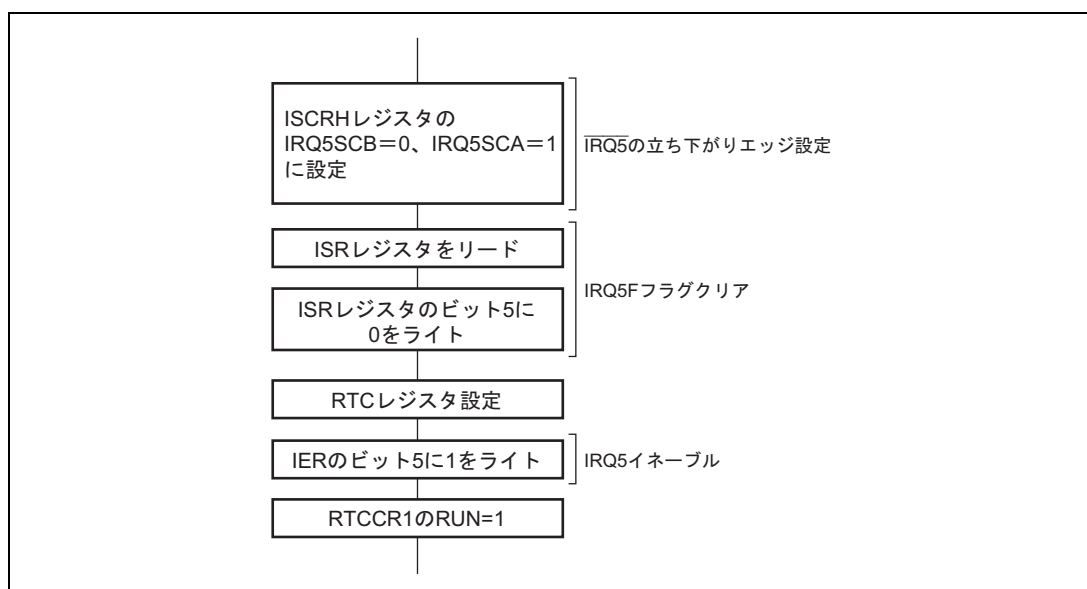


図 11.5 RTC 割り込みを使用する場合の初期値手順

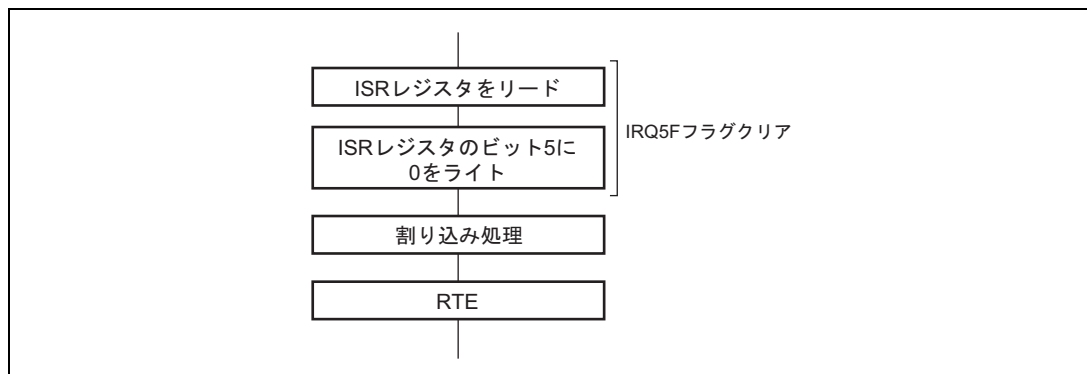


図 11.6 RTC 割り込み処理ルーチンの例

11. リアルタイムクロック (RTC)

11.6 各モードでの動作状態

RTC を時計動作に設定した場合とフリーランタイム動作に設定した場合のそれぞれについて各モードでの動作状態を表 11.3 に示します。時計動作は低消費電力モードでも動作を継続しているため、時計動作が不要な場合は必ず EXMDLSTP によりモジュールストップをかけてください。

表 11.3 各モードでの動作状態

	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
時計動作	サブクロック動作			停止 (保持)	サブクロック動作				停止 (リセット)
フリーラン タイム動作	動作			停止 (保持)	停止 (保持)		停止 (リセット)		

11.7 使用上の注意事項

(1) エミュレータ使用時の注意

E6000 では、RTC モジュールが外部拡張ボード上に実装されており、外部モジュール扱いでアクセスする必要があるため、下記制約があります。E10A や製品チップの場合は、下記制約はありません。

- H8S/2218グループのモード7 (シングルチップモード) でのRTC動作は、サポートしていません。
- H8S/2218グループのモード6 (内蔵ROMモード) やH8S/2212グループのモード7 (シングルチップモード) で使用する場合、初期状態では、A7～A0が入力端子となっているため本モジュールをアクセスする前にPC7DDR～PC0DDR = H'FFに設定してA7～A0を出力端子にしてください。
- H8S/2218グループのモード4、5 (内蔵ROM無効モード) で使用する場合はA7～A0が出力端子であるため設定不要です。

(2) バスインタフェースについて

本モジュールのバスインタフェースは、外部エリア7のバス仕様に従います。したがって、本モジュールをアクセスする前に、バスコントローラのレジスタで必ずエリア7をバス幅8ビット、3ステートアクセスに設定してください。

(3) ボードDレジスタ (PORTD) による端子状態のリードをするときの注意

EXMDLSTP や RTC レジスタ(アドレス範囲 H'FFFF40～H'FFFF5F)をアクセスしたあとは、H'FFFF40～H'FFFF5F 範囲外の外部アドレス空間 (H'FFFEFC0～H'FFF7FF など) を一度ダミーリードしてから PORTD をリードしてください。

12. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

12.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースとしてボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックの選択も可能です。

- LSBファースト / MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因により DMAC を起動することができます。

- モジュールストップモードの設定が可能

調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時 Rx/D 端子のレベルを直接リードすることでブレークを検出可能

12. シリアルコミュニケーションインタフェース (SCI)

- 平均転送レートジェネレータ (SCL_0) : 16MHz動作時に921.569kbps/720kbps/460.784kbps/115.196kbps
24MHz動作時に921.053kbps/720kbps/460.526kbps/115.132kbps
から選択可能

- TPUからの転送レートジェネレータ (SCL_0)

- マルチプロセッサ間通信が可能

クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー
- SCIセレクト機能 (SCL_0) : $\overline{IRQ7} = 1$ のとき、TxD0 = Hi-Z、SCK0 = High固定入力の選択可能
- クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送受信エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

12.1.1 ブロック図

図 12.1 に SCI_0 のブロック図、図 12.2 に SCI_2 のブロック図を示します。

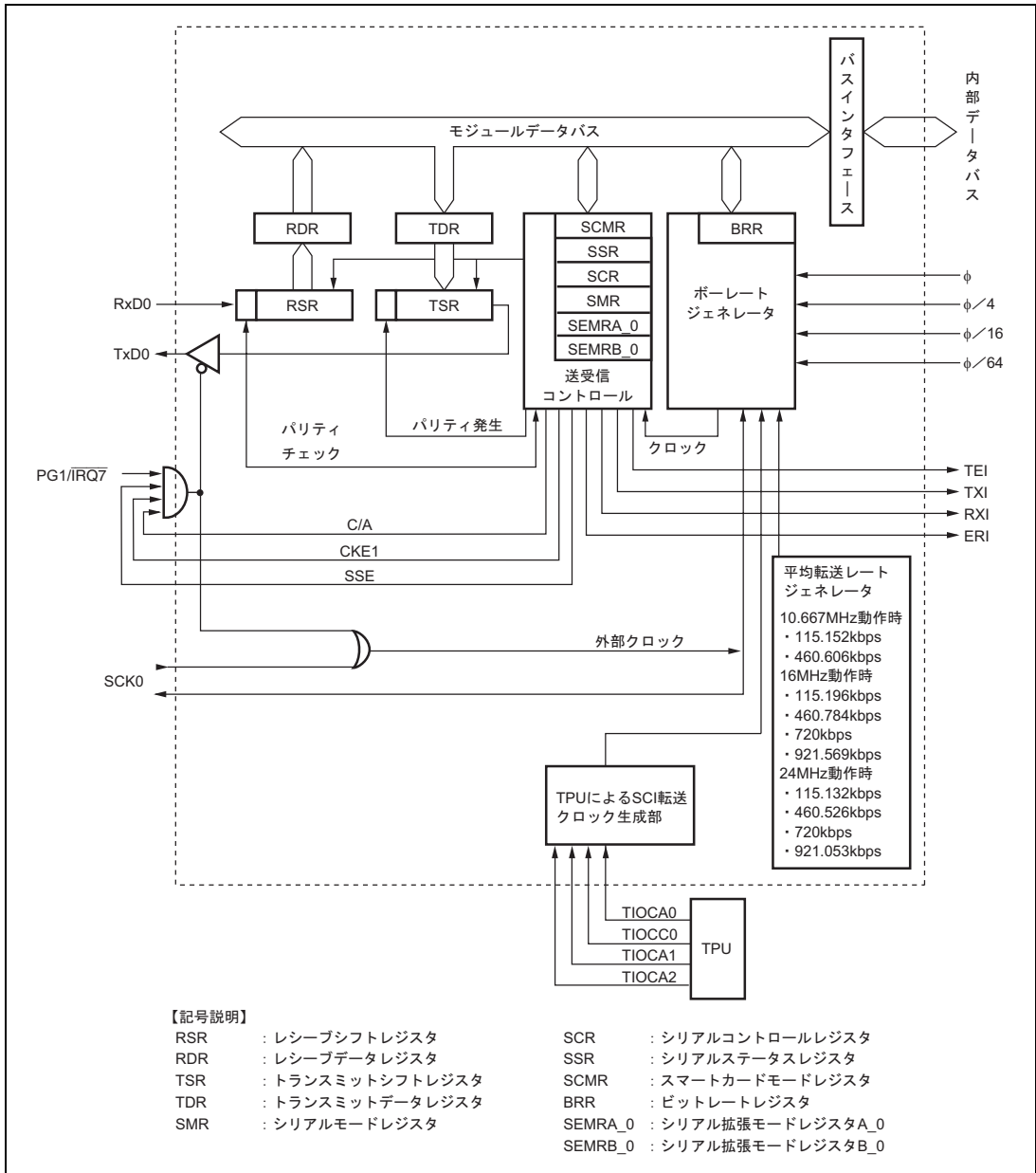


図 12.1 SCI_0 のブロック図

12. シリアルコミュニケーションインタフェース (SCI)

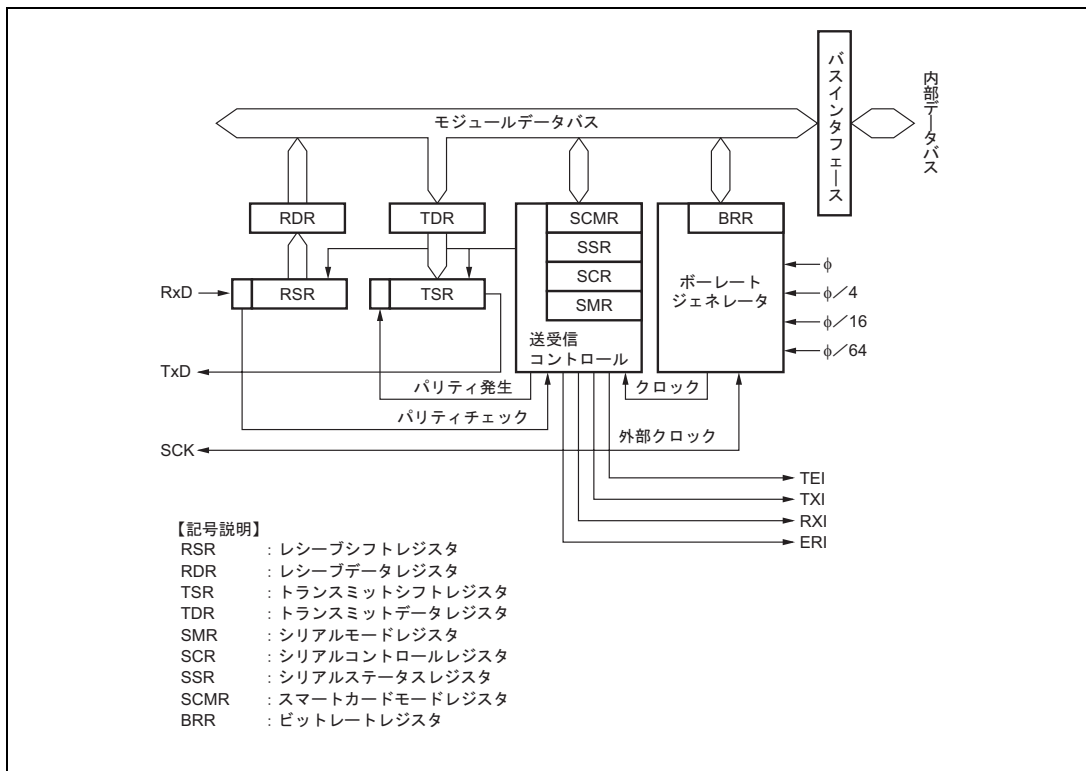


図 12.2 SCI_2 のブロック図

12.2 入出力端子

SCI には、表 12.1 の入出力端子があります。

表 12.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル 0 のクロック入出力端子
	RxD0	入力	チャンネル 0 の受信データ入力端子
	TxD0	出力	チャンネル 0 の送信データ出力端子
2	SCK2	入出力	チャンネル 2 のクロック入出力端子
	RxD2	入力	チャンネル 2 の受信データ入力端子
	TxD2	出力	チャンネル 2 の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

12.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- スマートカードモードレジスタ (SCMR)
- シリアル拡張モードレジスタA_0 (SEMR A_0) [チャンネル0のみ]
- シリアル拡張モードレジスタB_0 (SEMR B_0) [チャンネル0のみ]
- ビットレートレジスタ (BRR)

12.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

12.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

12.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR の空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR

12. シリアルコミュニケーションインタフェース (SCI)

への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

12.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

12.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードでは CHR の設定にかかわらずデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティエネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセスフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットとみなします。

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能が有効になります。 マルチプロセッサモードでは PE、O/E ビットの設定は無効です。 詳細は、「12.5 マルチプロセッサ通信機能」を参照してください。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ポーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「12.3.11 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「12.3.11 ビットレートレジスタ (BRR)」中の n の値を表します。

• スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説 明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「12.7.9 クロック出力制御」を参照してください。 0: 通常のスマートカードインタフェースモードの動作 (初期値) (1) TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ 1: GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
6	BLK	0	R/W	<p>このビットを1にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「12.7.4 ブロック転送モード」を参照してください。</p> <p>0: 通常のスマートカードインタフェースモードの動作</p> <p>(1) エラーシグナルの送出、検出、データの自動再送信を行う</p> <p>(2) TXI 割り込みが TEND フラグにより発生する</p> <p>(3) TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後)</p> <p>1: ブロック転送モードで動作</p> <p>(1) エラーシグナルの送出、検出、データの自動再送信を行わない</p> <p>(2) TXI 割り込みが TDRE フラグにより発生する</p> <p>(3) TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)</p>
5	PE	0	R/W	<p>パリティネーブル</p> <p>このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。</p>
4	O/E	0	R/W	<p>パリティモード (PE=1 のときのみ有効)</p> <p>0: 偶数パリティで送受信します。</p> <p>1: 奇数パリティで送受信します。</p> <p>スマートカードインタフェースにおけるこのビットの使用方法については「12.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。</p>
3	BCP1	0	R/W	<p>基本クロックパルス 1、0</p> <p>スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。</p> <p>00: 32クロック (S=32)</p> <p>01: 64クロック (S=64)</p> <p>10: 372クロック (S=372)</p> <p>11: 256クロック (S=256)</p> <p>詳細は、「12.7.5 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「12.3.11 ビットレートレジスタ (BRR)」中のSの値を表します。</p>
2	BCP0	0	R/W	

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ポーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「12.3.11 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「12.3.11 ビットレートレジスタ (BRR)」中の n の値を表します。

12.3.6 シリアルコントロールレジスタ (SCR)

SCR は送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「12.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求を許可します。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求を許可します。 RXI および ERI 割り込み要求の解除は、RDRF、FER、PER、または ORER の各フラグから 1 をリードしたあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、FER、PER、または ORER の各フラグは影響を受けず、状態を保持します。

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読み飛ばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「12.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 クリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 にセットすると TEI 割り込み要求を許可します。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01 : 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1x : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください)</p> <p>クロック同期式の場合</p> <p>0x : 内部クロック (SCK 端子はクロック出力端子となります)</p> <p>1x : 外部クロック (SCK 端子はクロック入力端子となります)</p>

【記号説明】 x : Don't care

12. シリアルコミュニケーションインタフェース (SCI)

● スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求を許可します。 TXI 割り込み要求の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求を許可します。 RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、または RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にクリアすると、送信動作が禁止され、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にクリアすると、受信動作が禁止されます。0 にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) スマートカードインタフェースではこのビットには 0 をライトして使用してください。 MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。 TEIの解除は、SSRのTDREフラグから1をリードしたあと、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル 1、0 SCK端子からのクロック出力を制御します。GSMモードではクロックの出力をダイナミックに切り替えることができます。詳細は「12.7.9 クロック出力制御」を参照してください。 SMRのGM=0の場合 00: 出力ディスエーブル (SCK端子は入出力ポートとして使用可) 01: クロック出力 1x: リザーブ SMRのGM=1の場合 00: Low出力固定 01: クロック出力 10: High出力固定 11: クロック出力
0	CKE0	0	R/W	

【記号説明】 x : Don't care

12.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* ¹	<p>トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE = 1 の状態をリードしたあと、0 をライトしたとき*² • TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)* ¹	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <p>受信が正常終了し、RSR から RDR へ受信データが転送されたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態をリードしたあと、0 をライトしたとき*² • RXI 割り込みにより DMAC で RDR から受信データを転送したとき <p>SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* ¹	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • ORER = 1 の状態をリードしたあと、0 をライトしたとき*² <p>SCR の RE をクリアしても、ORER は影響を受けず状態を保持します。</p>

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)* ¹	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ストップビットが0のとき <p>2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードしたあと、0をライトしたとき*² <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)* ¹	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • PER = 1の状態をリードしたあと、0をライトしたとき*² <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE = 1の状態をリードしたあと、TDREに0をライトしたとき • TXI割り込み要求によりDMACでTDRへ送信データを転送したとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREをクリアしても、以前の状態を保持します。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 *1 フラグをクリアするための0ライトのみ可能です。

12. シリアルコミュニケーションインタフェース (SCI)

*2 HD6432210S では、CPU によりフラグをクリアする場合、0 をライトした後に、再度フラグをリードしてください。

● スマートカードインタフェース (SCMRのSMIF = 1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* ¹	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき*² TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)* ¹	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <p>受信が正常終了し、RSR から RDR へ受信データが転送されたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき*² RXI 割り込みにより DMAC で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* ¹	<p>オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF = 1 の状態で次のデータを受信したとき <p>RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき*² <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>
4	ERS	0	R/(W)* ¹	<p>エラーシグナルステータス 送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき*² <p>SCR の TE をクリアしても ERS は影響を受けず状態を保持します。</p>

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)* ¹	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードしたあと、0をライトしたとき*² <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCRのTE=0かつERS=0のとき • 1バイトのデータを送信して一定期間後、ERS=0かつTDRE=1のとき。セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0のとき、送信開始から12.5etu後 GM=0、BLK=1のとき、送信開始から11.5etu後 GM=1、BLK=0のとき、送信開始から11.0etu後 GM=1、BLK=1のとき、送信開始から11.0etu後 <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1の状態をリードしたあと、TDREフラグに0をライトしたとき • TXI割り込み要求によりDMACでTDRへ送信データを転送したとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 HD6432210Sでは、CPUによりフラグをクリアする場合、0をライトした後に、再度フラグをリードしてください。

12.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよび通信フォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
3	DIR	0	R/W	データトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。
2	INV	0	R/W	データインバート 送受信データのロジックレベルを反転します。INV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェース スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

12. シリアルコミュニケーションインタフェース (SCI)

12.3.9 シリアル拡張モードレジスタ A_0 (SEMRA_0)

SEMRA_0 は、クロック同期モード時の SCI_0 セレクト機能の選択、調歩同期モード時の基本クロック設定、クロックソースの選択、転送レートの自動設定ができます。平均転送レートが選択されたときの基本クロック例を図 12.3 に、TPU クロック入力を選択したときの設定例を図 12.4 に示します。

ビット	ビット名	初期値	R/W	説明																														
7	SSE	0	R/W	<p>SCI_0 セレクトイネーブル</p> <p>クロック同期モードで外部クロック入力時における SCI_0 セレクト機能の選択ができます。</p> <p>SSE の設定は、クロック同期モード (SMR レジスタの C/A ビット = 1) で外部クロック入力 (SCR レジスタの CKE1 ビット = 1) のとき有効です。</p> <p>0 : SCI_0 セレクト機能が無効</p> <p>1 : SCI_0 セレクト機能が有効</p> <p>SCI_0 セレクト機能が有効のときに PG1/IRQ7 端子に 1 が入力されると、Tx/D0 出力が Hi-Z 状態になり、SCK0 クロック入力が高固定入力になります。</p>																														
6	TCS2	0	R/W	<p>TPU クロックセレクト</p> <p>調歩同期モードでクロックソースに TPU クロック入力 (ACS3 ~ 0 = B'0100) を選択したとき、TPU クロックの組み合わせによりシリアル転送クロックを生成します。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th></th> <th>ベースクロック</th> <th>クロックイネーブル</th> <th>TCLKA</th> <th>TCLKB</th> <th>TCLKC</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>TIOCA1</td> <td>TIOCA2</td> <td>左記のベースクロック</td> <td>端子入力</td> <td>端子入力</td> </tr> <tr> <td>001</td> <td>TIOCA0 TIOCC0</td> <td>TIOCA1</td> <td>端子入力</td> <td>左記のベースクロック</td> <td>端子入力</td> </tr> <tr> <td>010</td> <td>TIOCA0</td> <td>TIOCA1&TIOCA2</td> <td>端子入力</td> <td>左記のベースクロック</td> <td>端子入力</td> </tr> <tr> <td>011</td> <td>TIOCA0 TIOCC0</td> <td>TIOCA1&TIOCA2</td> <td>端子入力</td> <td>左記のベースクロック</td> <td>端子入力</td> </tr> </tbody> </table> <p>↑xx リザーブ (設定禁止)</p> <p>【注】本機能は E6000 エミュレータではサポートしていません。図 12.4 に設定例を示します。上記表中の演算記号は & は AND (論理積)、 は OR (論理和) をそれぞれ示します。</p>		ベースクロック	クロックイネーブル	TCLKA	TCLKB	TCLKC	000	TIOCA1	TIOCA2	左記のベースクロック	端子入力	端子入力	001	TIOCA0 TIOCC0	TIOCA1	端子入力	左記のベースクロック	端子入力	010	TIOCA0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力	011	TIOCA0 TIOCC0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力
	ベースクロック	クロックイネーブル	TCLKA		TCLKB	TCLKC																												
000	TIOCA1	TIOCA2	左記のベースクロック		端子入力	端子入力																												
001	TIOCA0 TIOCC0	TIOCA1	端子入力		左記のベースクロック	端子入力																												
010	TIOCA0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力																													
011	TIOCA0 TIOCC0	TIOCA1&TIOCA2	端子入力	左記のベースクロック	端子入力																													
5	TCS1	0	R/W																															
4	TCS0	0	R/W																															
3	ABCS	0	R/W	<p>調歩同期基本クロックセレクト</p> <p>調歩同期モードにおける 1 ビット期間の基本クロックを選択します。</p> <p>ABCS の設定は、調歩同期モード (SMR レジスタの C/A ビット = 0) のとき有効です。</p> <p>0 : 転送レートの 16 倍の周波数の基本クロックで動作</p> <p>1 : 転送レートの 8 倍の周波数の基本クロックで動作</p>																														

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	ACS2	0	R/W	<p>調歩同期クロックソースセレクト</p> <p>SEMRB_0 (シリアル拡張モードレジスタ B_0) のビット 7 (ACS3) との組み合わせにより、調歩同期モードにおける、クロックソースを選択します。平均転送レートを選択したときは、ABCS の設定に関係なく基本クロックが自動設定されます。また、平均転送レートは、10.667MHz、16MHz、および 24MHz の動作周波数に対応しています。それ以外には対応していません。</p> <p>ACS3~0 は調歩同期モード (SMR レジスタの C/A ビット = 0) で、外部クロック入力 (SCR レジスタの CKE1 ビット = 1) のときに設定してください。図 12.3、図 12.4 に設定例を示します。</p> <p>ACS 3 2 1 0</p> <p>0 0 0 0: 外部クロック入力</p> <p>0 0 0 1: $\phi = 10.667\text{MHz}$ 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 0 1 0: $\phi = 10.667\text{MHz}$ 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 0 1 1: $\phi = 16\text{MHz}$ 専用の平均転送レート 921.569kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 1 0 0: TPU クロック入力</p> <p>TPU_0 ~ TPU_2 のコンペアマッチ、PWM 出力などの TIOCA0、TIOCC0、TIOCA1、TIOCA2 出力を基本クロックにできます。ただし、TIOCA1 端子と TIOCA2 端子が出力端子になるため、$\overline{\text{IRQ0}}$ と $\overline{\text{IRQ1}}$ 入力を使用できなくなりますので注意してください。</p> <p>0 1 0 1: $\phi = 16\text{MHz}$ 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 1 1 0: $\phi = 16\text{MHz}$ 専用の平均転送レート 460.784kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 1 1 1: $\phi = 16\text{MHz}$ 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 0 0: $\phi = 24\text{MHz}$ 専用の平均転送レート 115.132kbps を選択* (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 0 1: $\phi = 24\text{MHz}$ 専用の平均転送レート 460.526kbps を選択* (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 1 0: $\phi = 24\text{MHz}$ 専用の平均転送レート 720kbps を選択* (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 1 1: $\phi = 24\text{MHz}$ 専用の平均転送レート 921.053kbps を選択* (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 1 X X: リザーブ (設定禁止)</p>

【注】 * 24MHz 専用の平均転送レート選択機能 (ACS3~0 = B'10XX) は E6000 エミュレータではサポートしていません。

12. シリアルコミュニケーションインタフェース (SCI)

12.3.10 シリアル拡張モードレジスタ B_0 (SEMRB_0)

SEMRB_0 は SEMRA_0 と組み合わせによるクロックソースの選択、転送レートの自動設定、および TPU による転送クロック生成時におけるポート 1 端子 (P16、P14、P12、P10) の制御ができます。

【注】 SEMRB_0 は、E6000 エミュレータではサポートしていません。

ビット	ビット名	初期値	R/W	説 明
7	ACS3	0	R/W	調歩同期クロックソースセレクト ACS2 ~ ACS0 (SEMRA_0 のビット 2 ~ 0) との組み合わせにより、調歩同期式モードにおけるクロックソースを選択します。詳細は「12.3.9 シリアル拡張モードレジスタ A_0 (SEMRA_0)」を参照してください。
6 ~ 4		不定		リザーブビット ライトするときは 0 をライトしてください。
3	TIOCA2E	1	R/W	TIOCA2 出力イネーブル P16 端子に出力する TIOCA2 の出力を制御します。 TPU の TIOCA2 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P16 端子を他の用途に使用できます。 0 : TPU の TIOCA2 出力を禁止 1 : TPU の TIOCA2 出力を許可
2	TIOCA1E	1	R/W	TIOCA1 出力イネーブル P14 端子に出力する TIOCA1 の出力を制御します。 TPU の TIOCA1 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P14 端子を他の用途に使用できます。 0 : TPU の TIOCA1 出力を禁止 1 : TPU の TIOCA1 出力を許可
1	TIOCC0E	1	R/W	TIOCC0 出力イネーブル P12 端子に出力する TIOCC0 の出力を制御します。 TPU の TIOCC0 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P12 端子を他の用途に使用できます。 0 : TPU の TIOCC0 出力を禁止 1 : TPU の TIOCC0 出力を許可
0	TIOCA0E	1	R/W	TIOCA0 出力イネーブル P10 端子に出力する TIOCA0 の出力を制御します。 TPU の TIOCA0 出力を転送クロック生成のみに使用する場合、本ビットを 0 に設定することにより、P10 端子を他の用途に使用できます。 0 : TPU の TIOCA0 出力を禁止 1 : TPU の TIOCA0 出力を許可

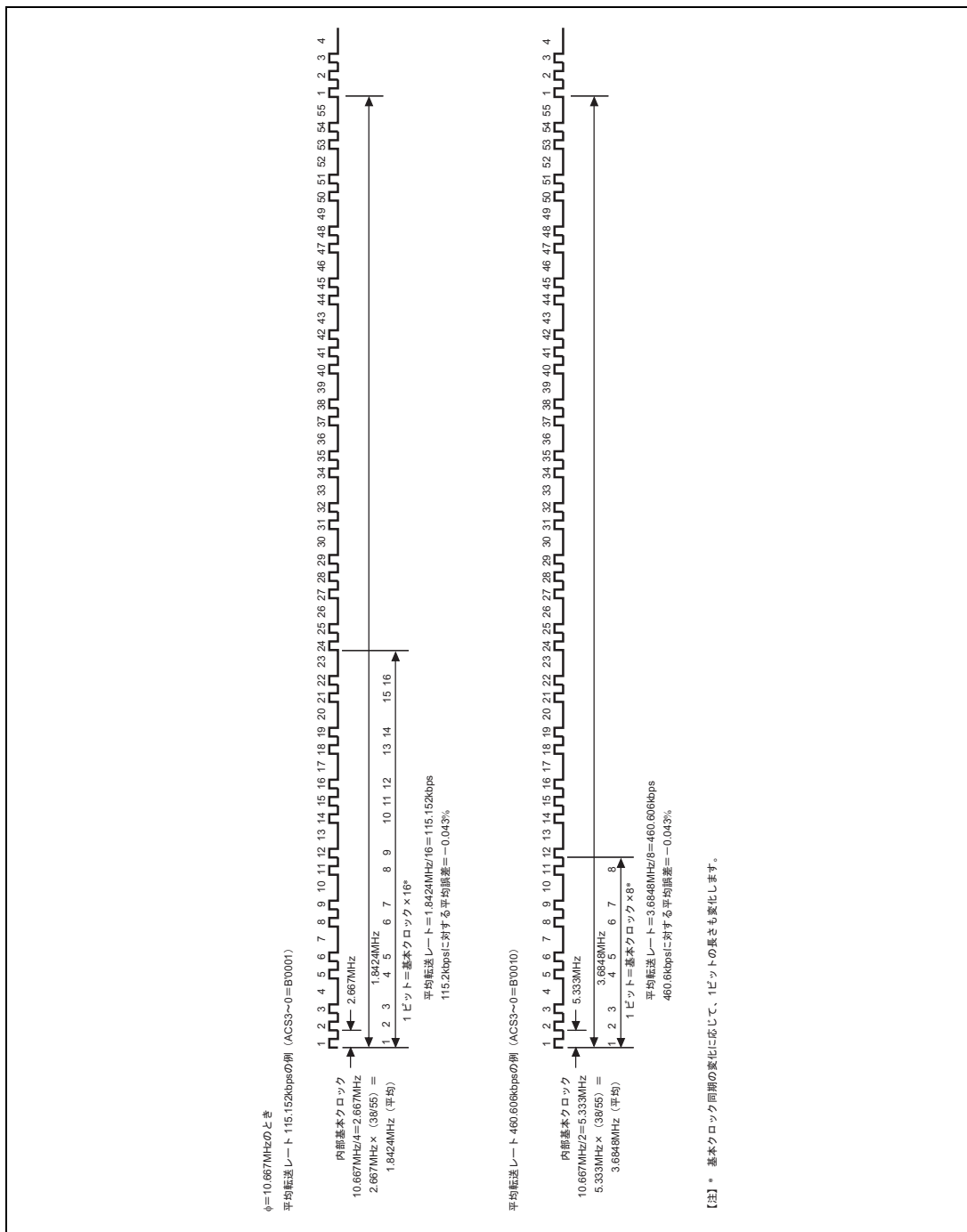


図 12.3 平均転送レートが選択されたときの基本クロック例 (1)

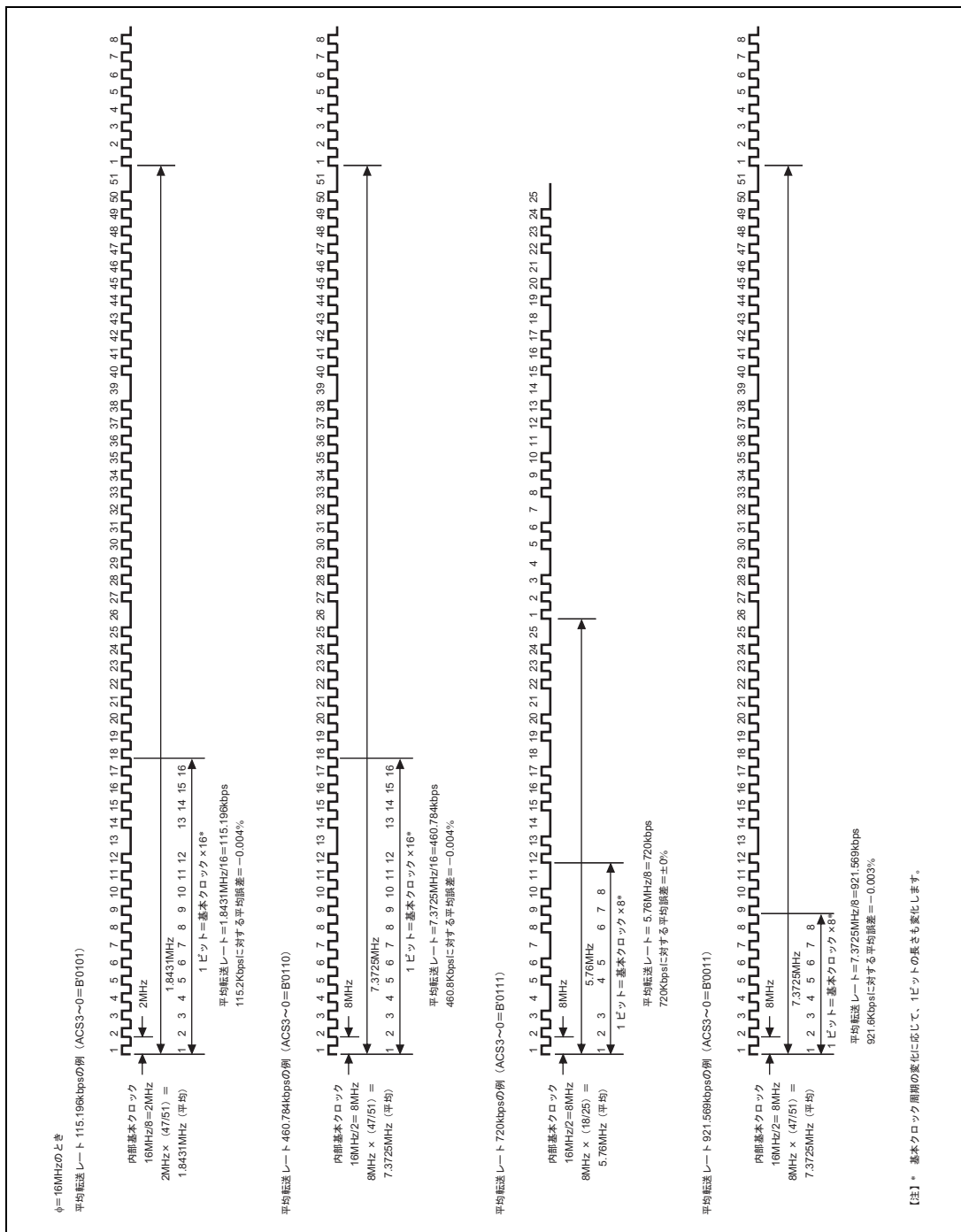


図 12.3 平均転送レートが選択されたときの基本クロック例 (2)

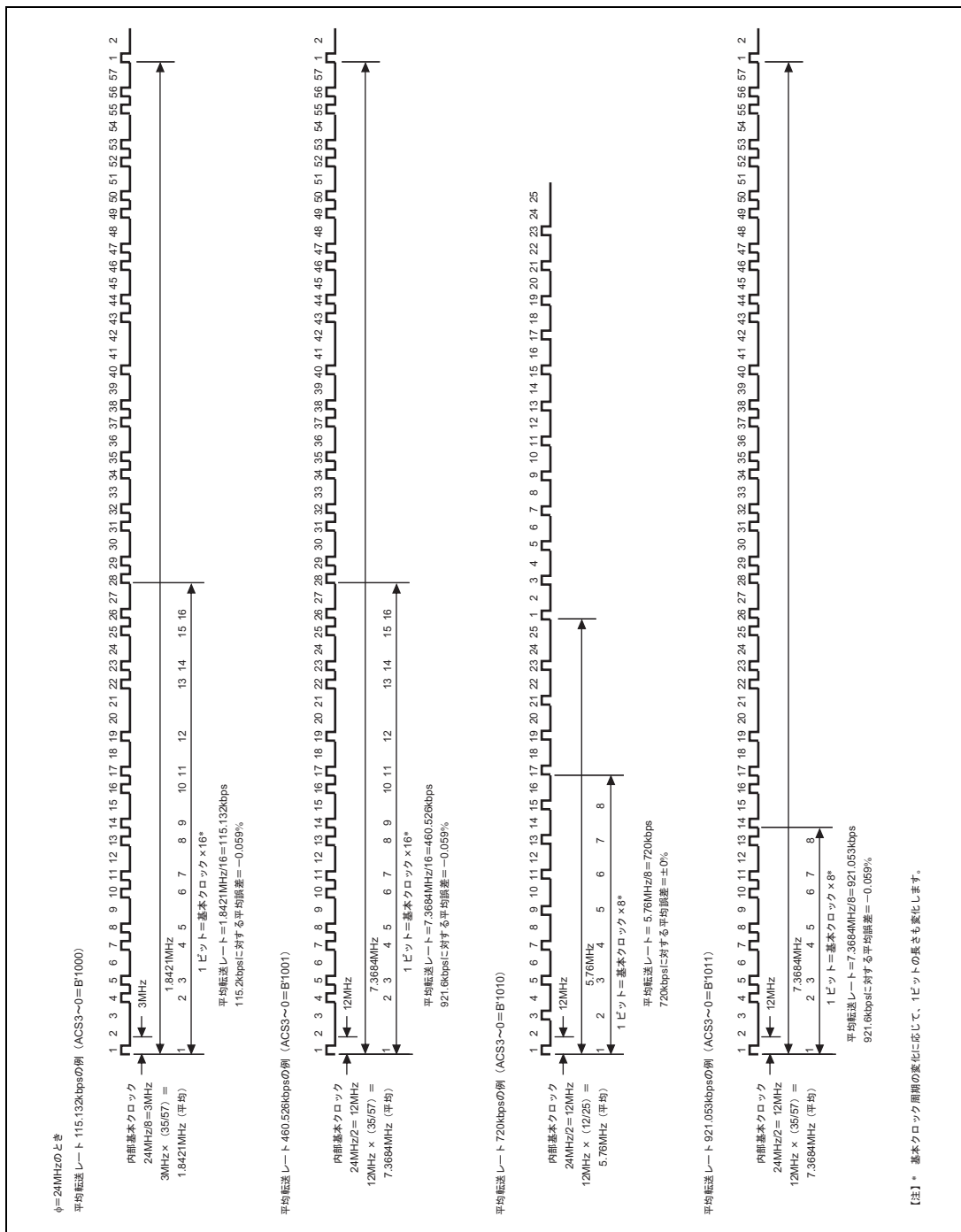


図 12.3 平均転送レートが選択されたときの基本クロック例 (3)

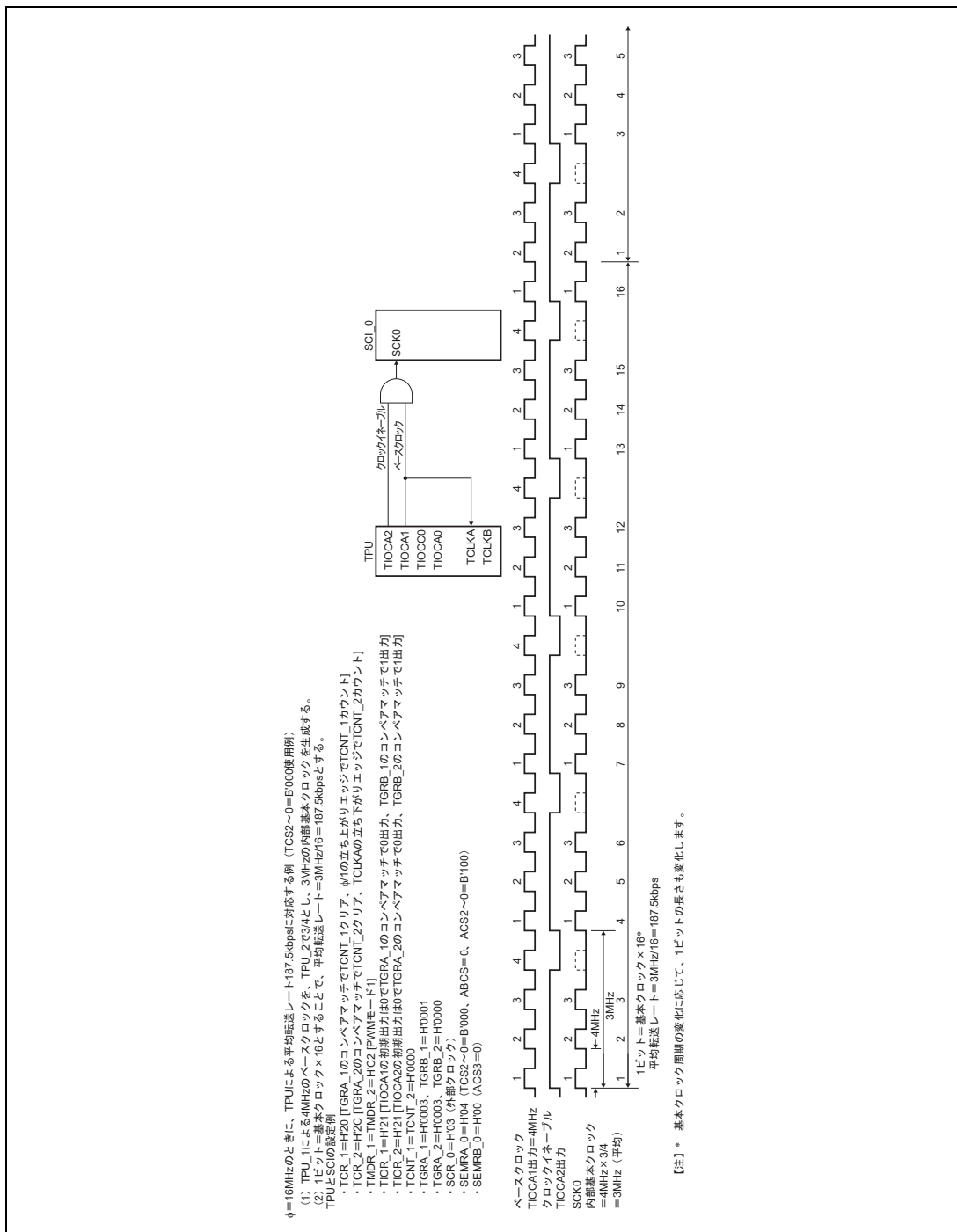


図 12.4 TPU クロック入力時の平均転送レート設定例 (1)

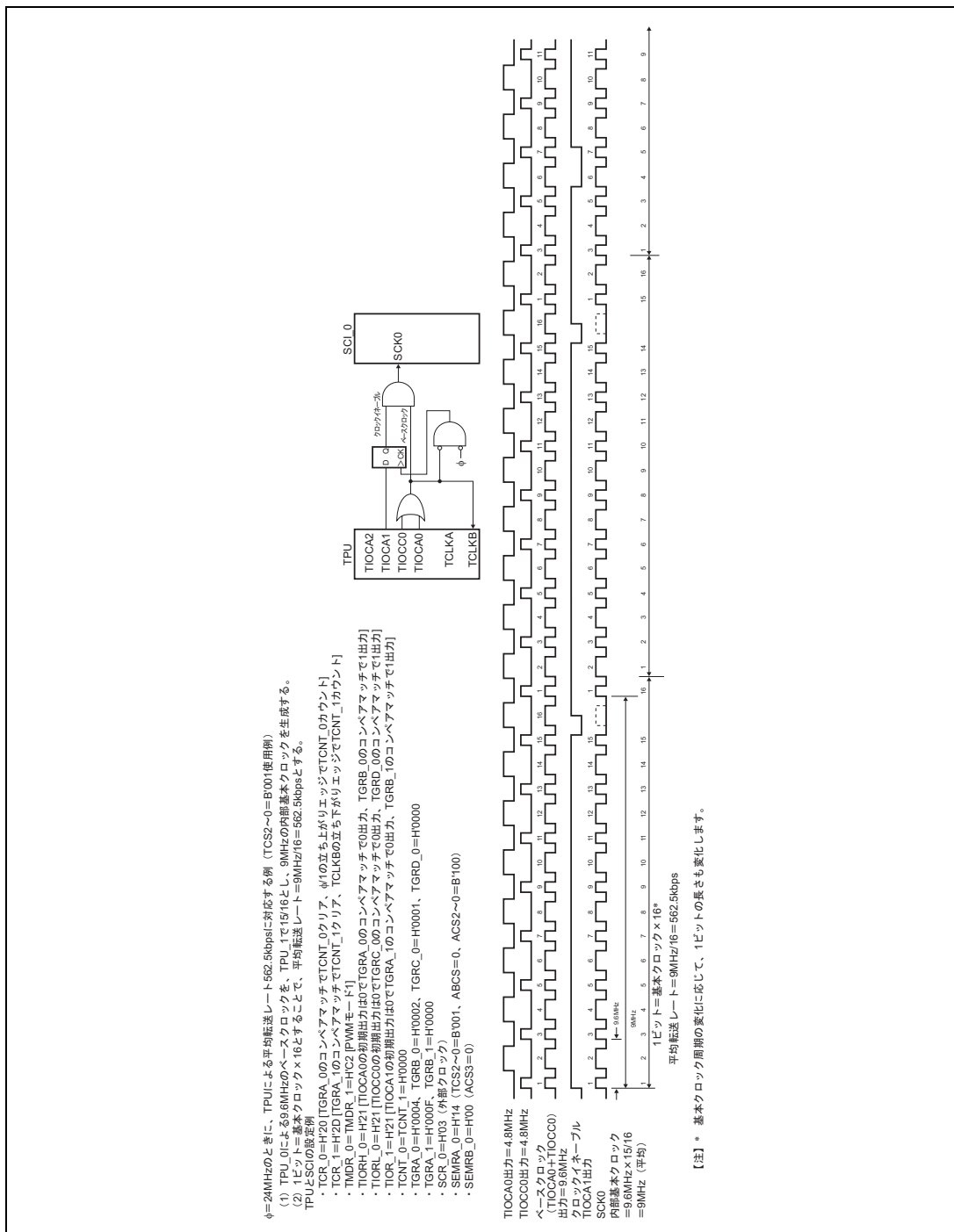


図 12.4 TPU クロック入力時の平均転送レート設定例 (2)

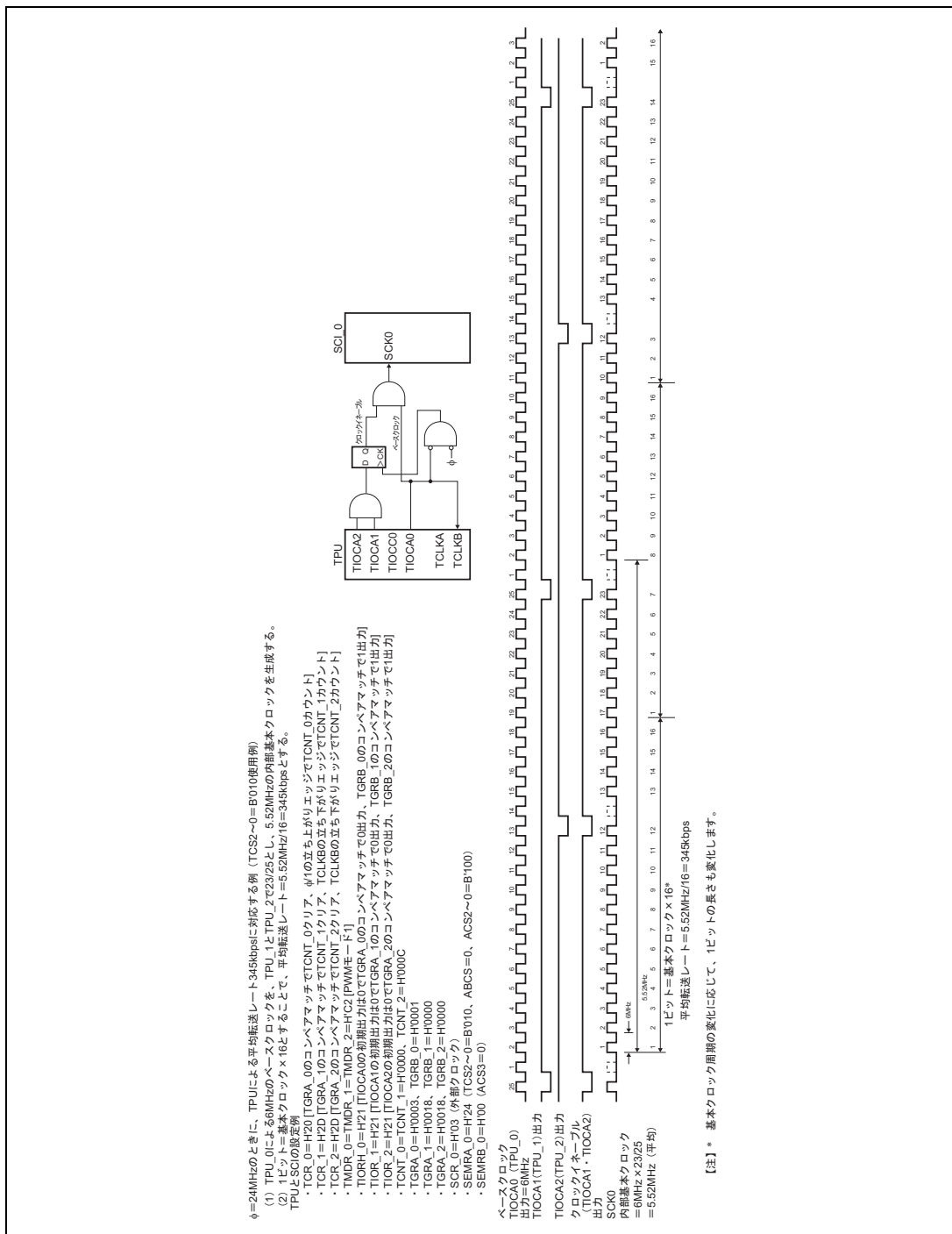


図 12.4 TPU クロック入力時の平均転送レート設定例 (3)

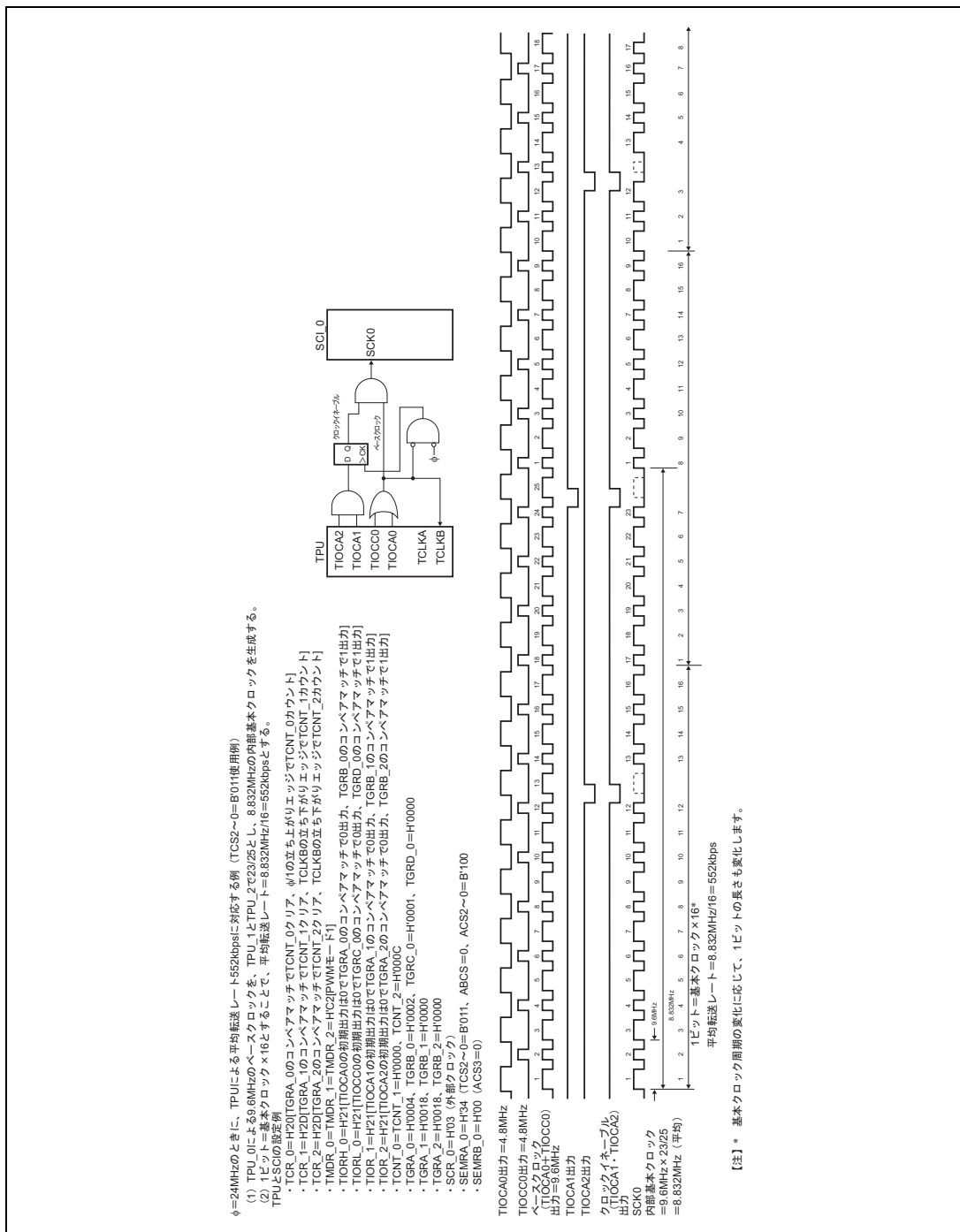


図 12.4 TPU クロック入力時の平均転送レート設定例 (4)

12.3.11 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 12.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 12.2 BRR の設定値 N とビットレート B の関係

通信モード	ABCS ビット	ビットレート	誤差
調歩同期式	0	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	x	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	—————
スマートカード インタフェース	x	$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

- 【記号説明】 B : ビットレート (bps)
 N : ボーレートジェネレータの BRR の設定値 (0 N 255)
 φ : 動作周波数 (MHz) [16MHz 時 φ = 16]
 n と S : 下表のとおり SMR の設定値によって決まります。
 x : Don't care

SMR の設定値		クロック ソース	n
CKS1	CKS0		
0	0	φ	0
0	1	φ / 4	1
1	0	φ / 16	2
1	1	φ / 64	3

SMR の設定値		S
BKP1	BKP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 12.3 に、各動作周波数における設定可能な最大ビットレートを表 12.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 12.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 12.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「12.7.5 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 12.5、表 12.7 に外部クロック入力時の最大ビットレートを示します。

12. シリアルコミュニケーションインタフェース (SCI)

調歩同期モードで SCI₀ のシリアル拡張モードレジスタ A₀(SEMRA₀) の ABCS ビットを 1 にセットしたときのビットレートは表 12.3 の 2 倍になります。

表 12.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bps)	動作周波数 ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bps)	動作周波数 ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

12. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bps)	動作周波数 ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bps)	動作周波数 ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

12. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bps)	動作周波数 ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bps)	動作周波数 ϕ (MHz)											
	18			19.6608			20			24		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25	3	106	- 0.44
150	2	233	0.16	2	255	0.00	3	64	0.16	3	77	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16	2	155	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16	2	77	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	155	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	77	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	155	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16	0	77	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36	0	38	0.16
31250	0	17	0.00	0	19	- 1.70	0	19	0.00	0	23	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73	0	19	- 2.34

【注】 SEMRA_0 の ABCS = 0 のときの例です。ABCS = 1 に設定したときは、ビットレートが 2 倍になります。

本 LSI では動作周波数 ϕ 6MHz で設定してください。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.4 各動作周波数における最大ビットレート (調歩同期式モード)

φ (MHz)	最大ビットレート (kbps)		n	N	φ (MHz)	最大ビットレート (kbps)		n	N
	ABCS = 0	ABCS = 1				ABCS = 0	ABCS = 1		
	2	62.5				125.0	0		
2.097152	65.536	131.027	0	0	10	312.5	625.0	0	0
2.4576	76.8	153.6	0	0	12	375.0	750.0	0	0
3	93.75	187.5	0	0	12.288	384.0	768.0	0	0
3.6864	115.2	230.4	0	0	14	437.5	875.0	0	0
4	125.0	250.0	0	0	14.7456	460.8	921.6	0	0
4.9152	153.6	307.2	0	0	16	500.0	1000.0	0	0
5	156.25	312.5	0	0	17.2032	537.6	1075.2	0	0
6	187.5	375.0	0	0	18	562.5	1125.0	0	0
6.144	192.0	384.0	0	0	19.6608	614.4	1228.8	0	0
7.3728	230.4	460.8	0	0	20	625.0	1250.0	0	0
8	250.0	500.0	0	0	24	750.0	1500.0	0	0

表 12.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (kbps)		φ (MHz)	外部入力クロック (MHz)	最大ビットレート (kbps)	
		ABCS = 0	ABCS = 1			ABCS = 0	ABCS = 1
		2	0.5000			31.25	62.5
2.097152	0.5243	327.68	65.536	10	2.5000	156.25	312.5
2.4576	0.6144	38.4	76.8	12	3.0000	187.5	375.0
3	0.7500	46.875	93.75	12.288	3.0720	192.0	384.0
3.6864	0.9216	57.6	115.2	14	3.5000	218.75	437.0
4	1.0000	62.5	125.0	14.7456	3.6864	230.4	460.8
4.9152	1.2288	76.8	153.6	16	4.0000	250.0	500.0
5	1.2500	78.125	156.25	17.2032	4.3008	268.8	537.6
6	1.5000	93.75	187.5	18	4.5000	281.25	562.5
6.144	1.5360	96.0	192.0	19.6608	4.9152	307.2	614.4
7.3728	1.8432	115.2	230.4	20	5.0000	312.5	625.0
8	2.0000	125.0	250.0	24	6.0000	375.0	750.0

【注】 本 LSI では動作周波数φ 6MHz が対応します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート (bps)	動作周波数 ϕ (MHz)															
	2		4		6		8		10		16		20		24	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-												
250	2	124	2	249			3	124	-	-	3	249				
500	1	249	2	124			2	249	-	-	3	124	-	-	-	-
1k	1	124	1	249			2	124	-	-	2	249	-	-	-	-
2.5k	0	199	1	99	1	149	1	199	1	249	2	99	2	124	2	149
5k	0	99	0	199	1	74	1	99	1	124	1	199	1	249	2	74
10k	0	49	0	99	0	149	0	199	0	249	1	99	1	124	1	149
25k	0	19	0	39	0	59	0	79	0	99	0	159	0	199	0	239
50k	0	9	0	19	0	29	0	39	0	49	0	79	0	99	0	119
100k	0	4	0	9	0	14	0	19	0	24	0	39	0	49	0	59
250k	0	1	0	3	0	5	0	7	0	9	0	15	0	19	0	23
500k	0	0*	0	1	0	2	0	3	0	4	0	7	0	9	0	11
1M			0	0*			0	1			0	3	0	4	0	5
2M							0	0*			0	1			0	2
2.5M									0	0*			0	1		
4M											0	0*				
5M													0	0*		
6M															0	0*

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信 / 連続受信はできません。

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)	ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
2	0.333	0.333	14	2.333	2.333
4	0.667	0.667	16	2.667	2.667
6	1.000	1.000	18	3.000	3.000
8	1.333	1.333	20	3.333	3.333
10	1.667	1.667	24	4.000	4.000
12	2.000	2.000			

【注】 本 LSI では動作周波数 ϕ 6MHz が対応します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bps)	動作周波数 ϕ (MHz)											
	5.00		7.00		7.1424		10.00		10.7136		13.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	0	0.01	1	30.00	1	28.57	1	0.01	1	7.14	2	13.33
9600	0	30.00	0	1.99	0	0.00	1	30.00	1	25.00	1	8.99

ビットレート (bps)	動作周波数 ϕ (MHz)									
	14.2848		16.00		18.00		20.00		24.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	2	4.76	2	6.67	3	0.01	3	0.01	4	3.99
9600	1	0.00	1	12.01	2	15.99	2	6.66	2	12.01

表 12.9 各動作周波数における最大ビットレート
(スマートカードインタフェースモード)

ϕ (MHz)	最大ビットレート (bps)				n	N
	S = 32	S = 64	S = 256	S = 372		
5.00	78125	39063	9766	6720	0	0
6.00	93750	46875	11719	8065	0	0
7.00	109375	54688	13672	9409	0	0
7.1424	111600	55800	13950	9600	0	0
10.00	156250	78125	19531	13441	0	0
10.7136	167400	83700	20925	14400	0	0
13.00	203125	101563	25391	17473	0	0
14.2848	223200	111600	27900	19200	0	0
16.00	250000	125000	31250	21505	0	0
18.00	281250	140625	35156	24194	0	0
20.00	312500	156250	39063	26882	0	0
24.00	375000	187500	46875	32258	0	0

【注】 本 LSI では動作周波数 ϕ 6MHz が対応します。

12.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 12.5 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

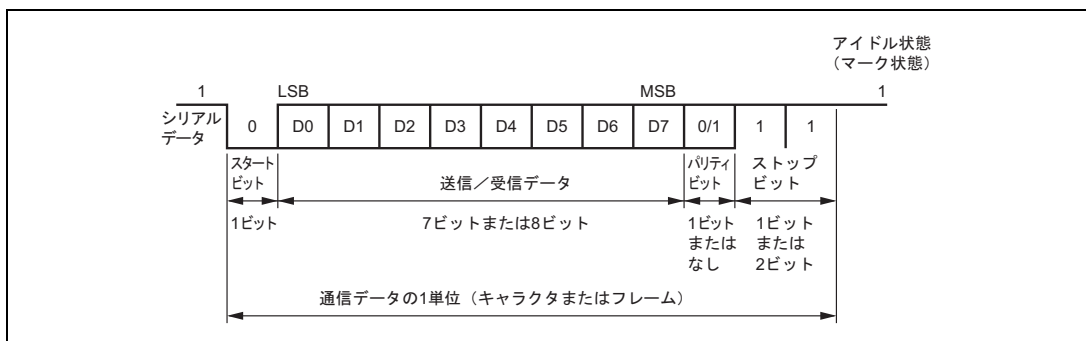


図 12.5 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2ストップビットの例)

12.4.1 通信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 12.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「12.5 マルチプロセッサ通信機能」を参照してください。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスビット

12.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図12.6に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (ABCS=0のとき N=16、ABCS=1のとき N=8)

D: クロックのデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5、N(クロックに対するビットレートの比)=16とすると、

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

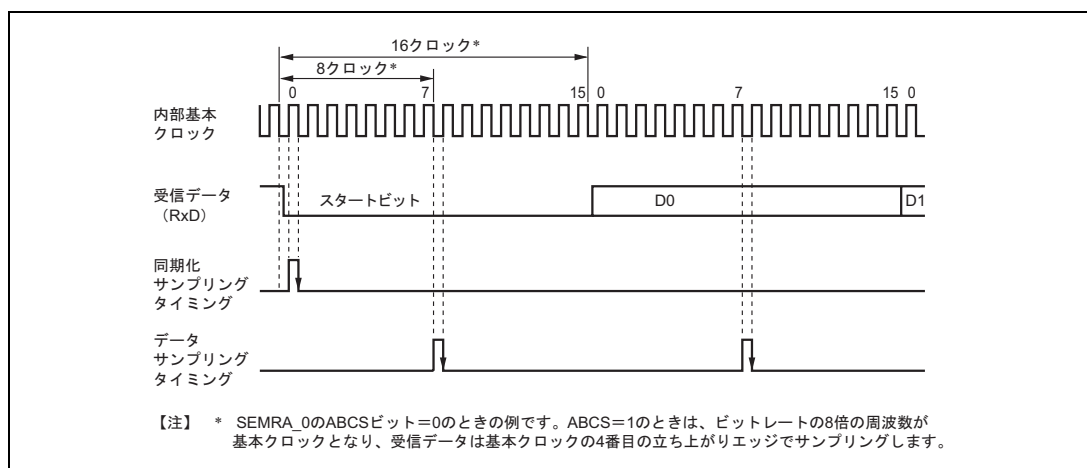


図 12.6 調歩同期式モードの受信データサンプリングタイミング

12.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍（ABCS=0のとき）、8倍（ABCS=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SEMR_0のACS2～ACS0ビットの設定により平均転送レートまたはTPUからの基本クロックを選択することも可能です。

内部クロックで動作させるときはCKE1=0、CKE0=1に設定するとSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図12.7に示すように送信データの中央でクロックが立ち上がります。

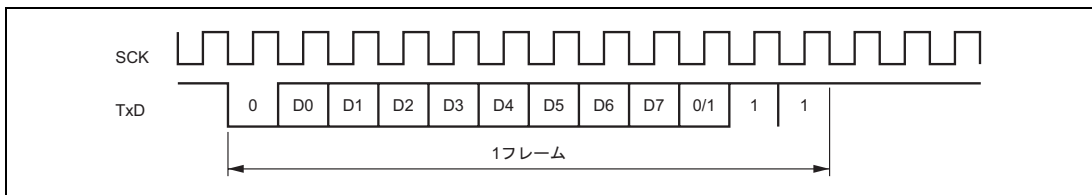


図 12.7 出力クロックと送信データの位相関係（調歩同期式モード）

12.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアしたあと、図 12.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロックを供給してください。

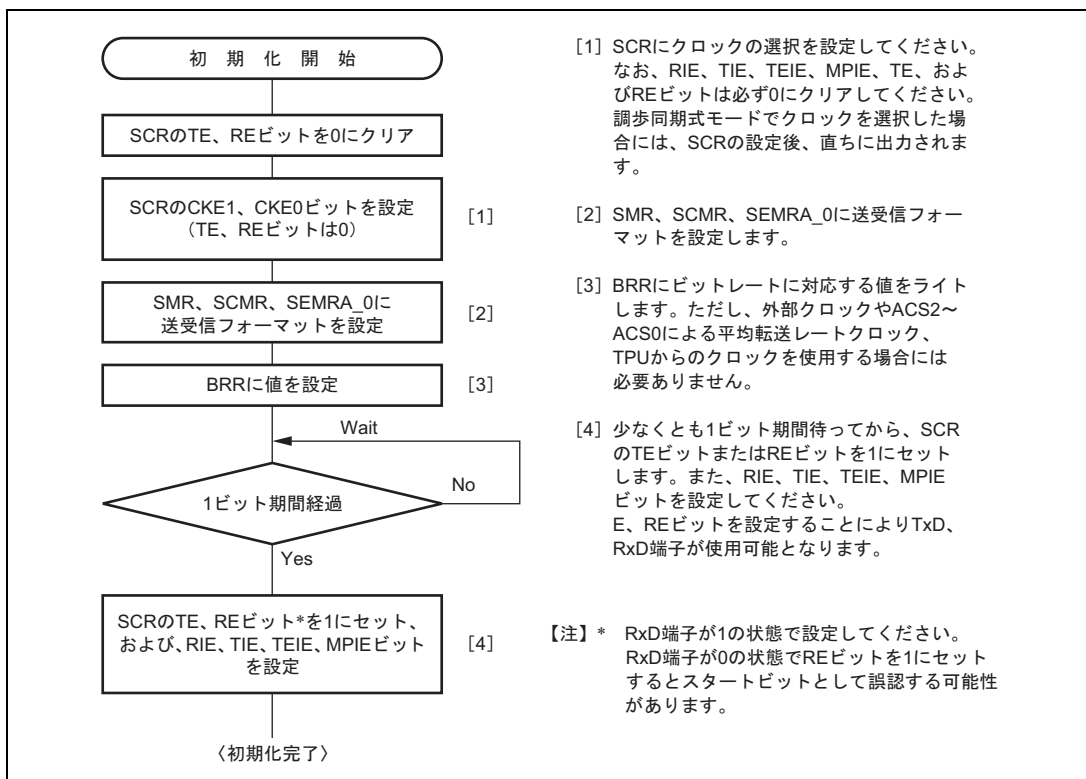


図 12.8 SCI の初期化フローチャートの例

12.4.5 シリアルデータ送信 (調歩同期式)

図 12.9 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセスビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態 (アイドル状態) になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

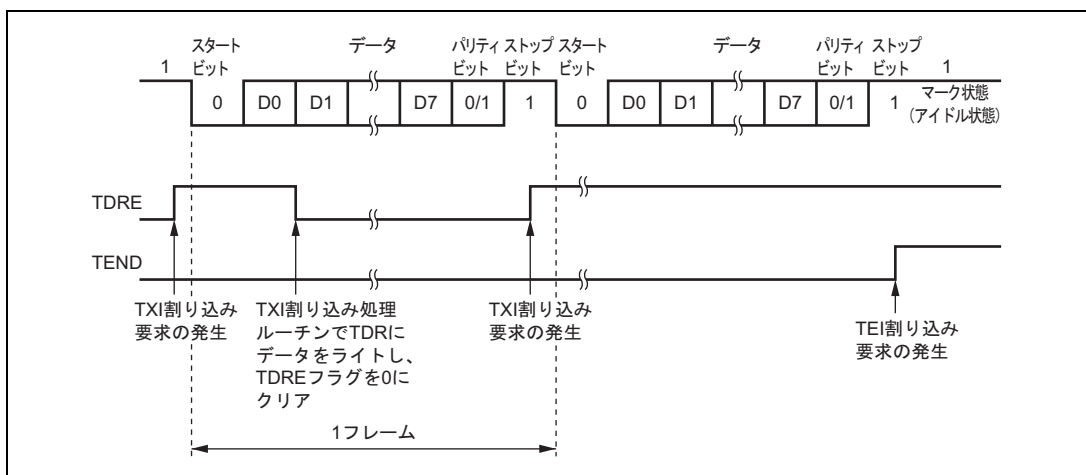


図 12.9 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

図 12.10 にデータ送信のフローチャートの例を示します。

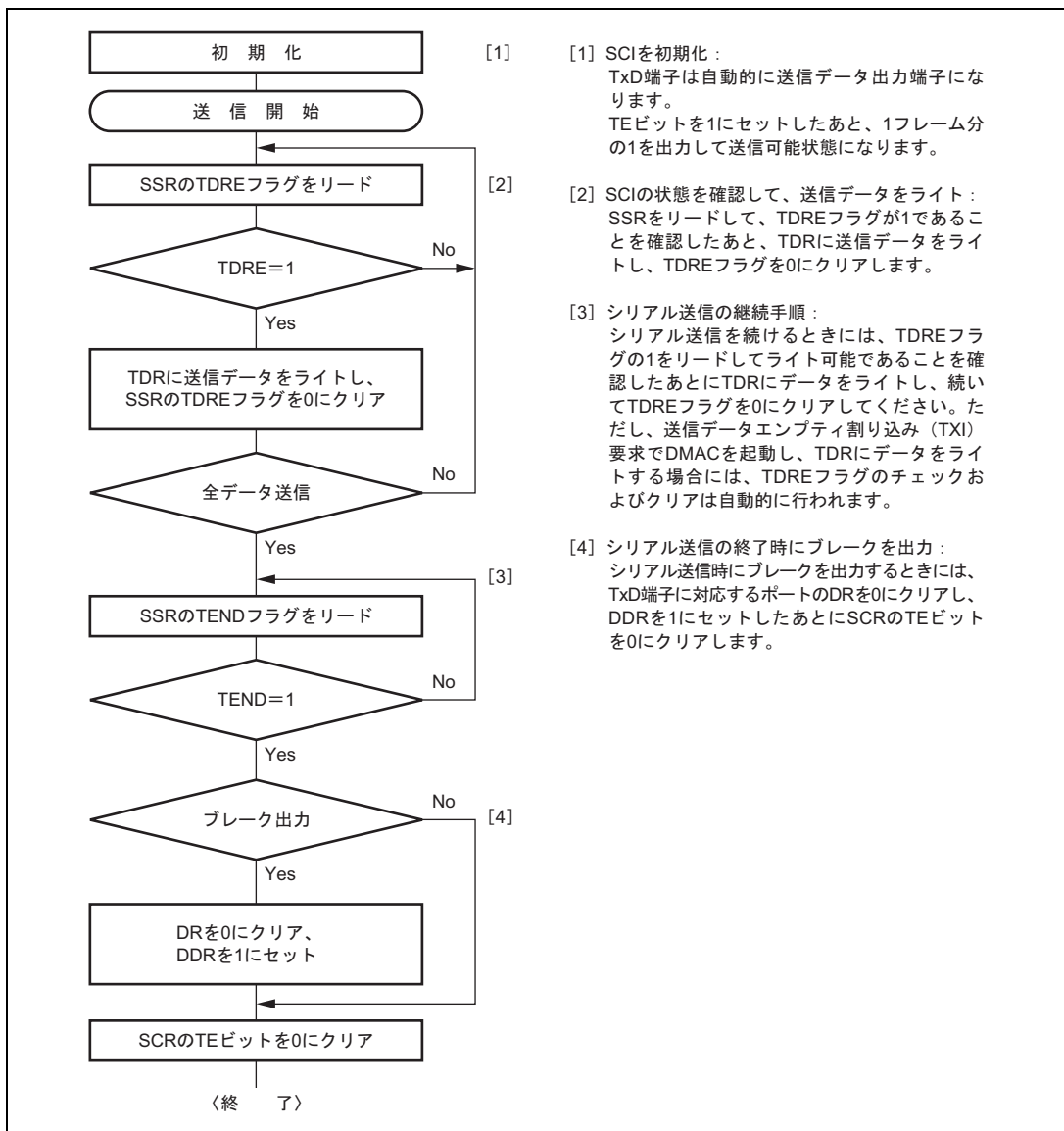


図 12.10 シリアル送信のフローチャートの例

12.4.6 シリアルデータ受信 (調歩同期式)

図 12.11 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー(ストップビットが0のとき)を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

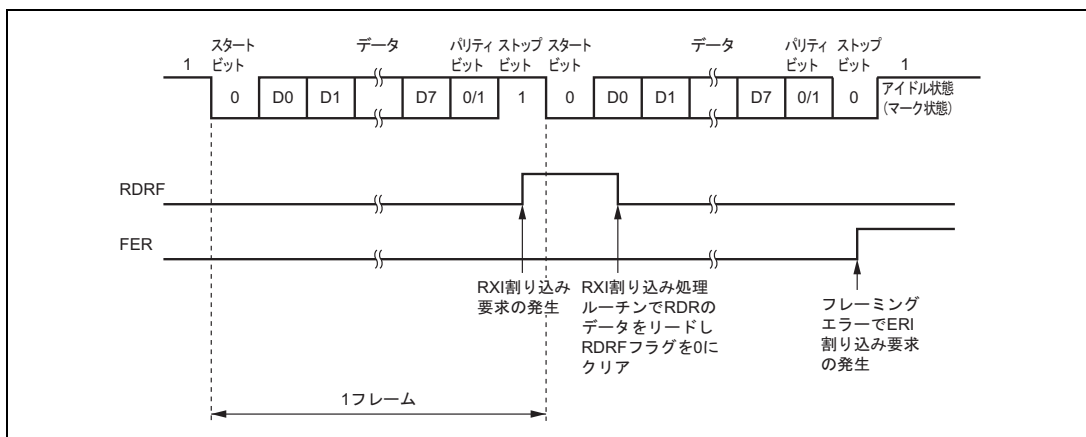


図 12.11 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 12.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.12 にデータ受信のためのフローチャートの例を示します。

表 12.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

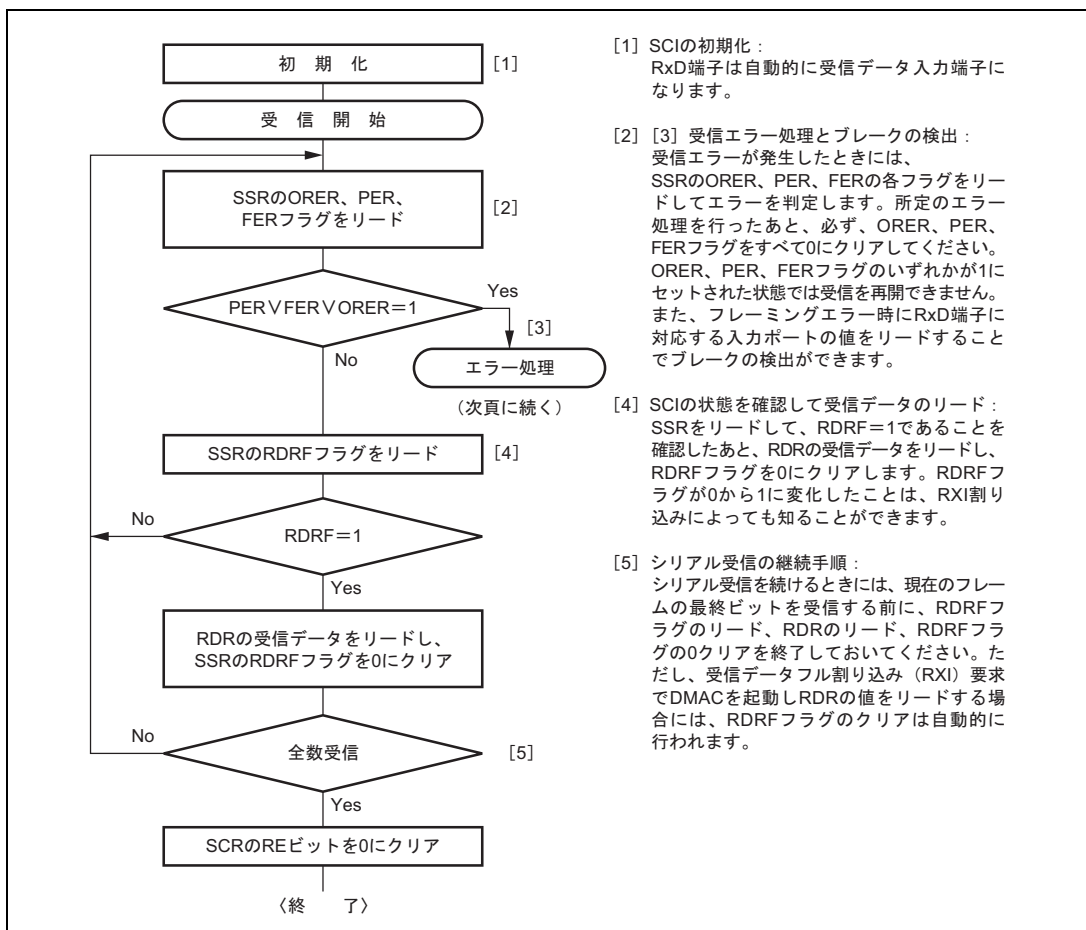


図 12.12 シリアル受信データフローチャートの例 (1)

12. シリアルコミュニケーションインタフェース (SCI)

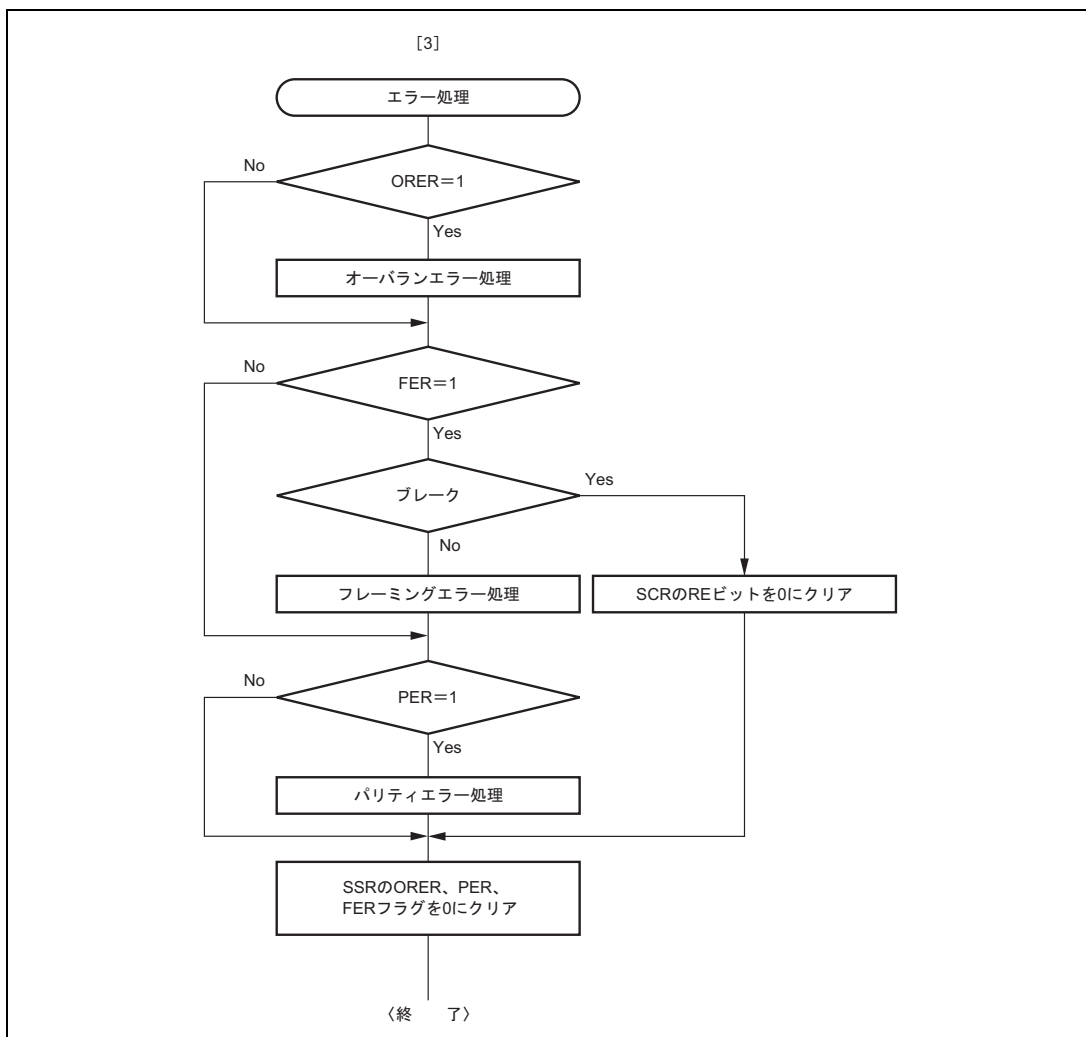


図 12.12 シリアル受信データフローチャートの例 (2)

12.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におのおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 12.13 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。

SCIはこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

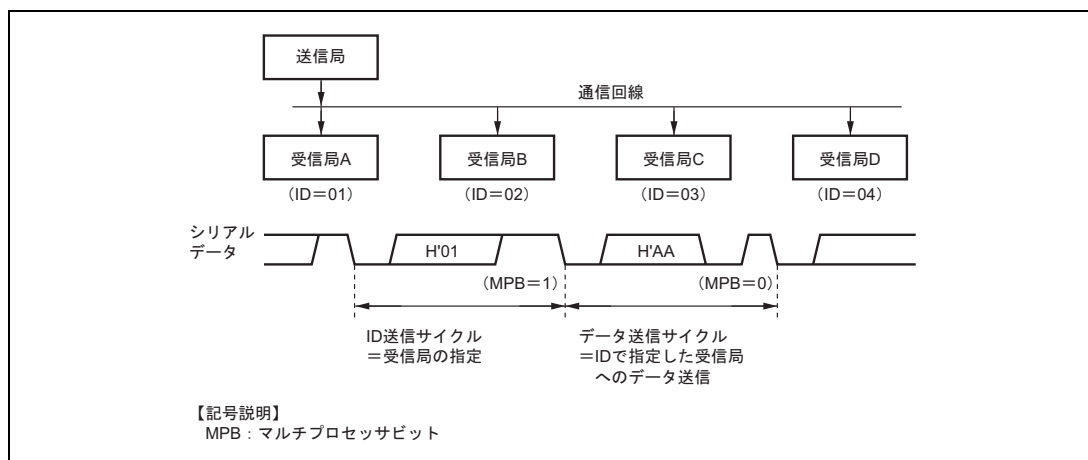


図 12.13 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

12.5.1 マルチプロセッサシリアルデータ送信

図 12.14 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

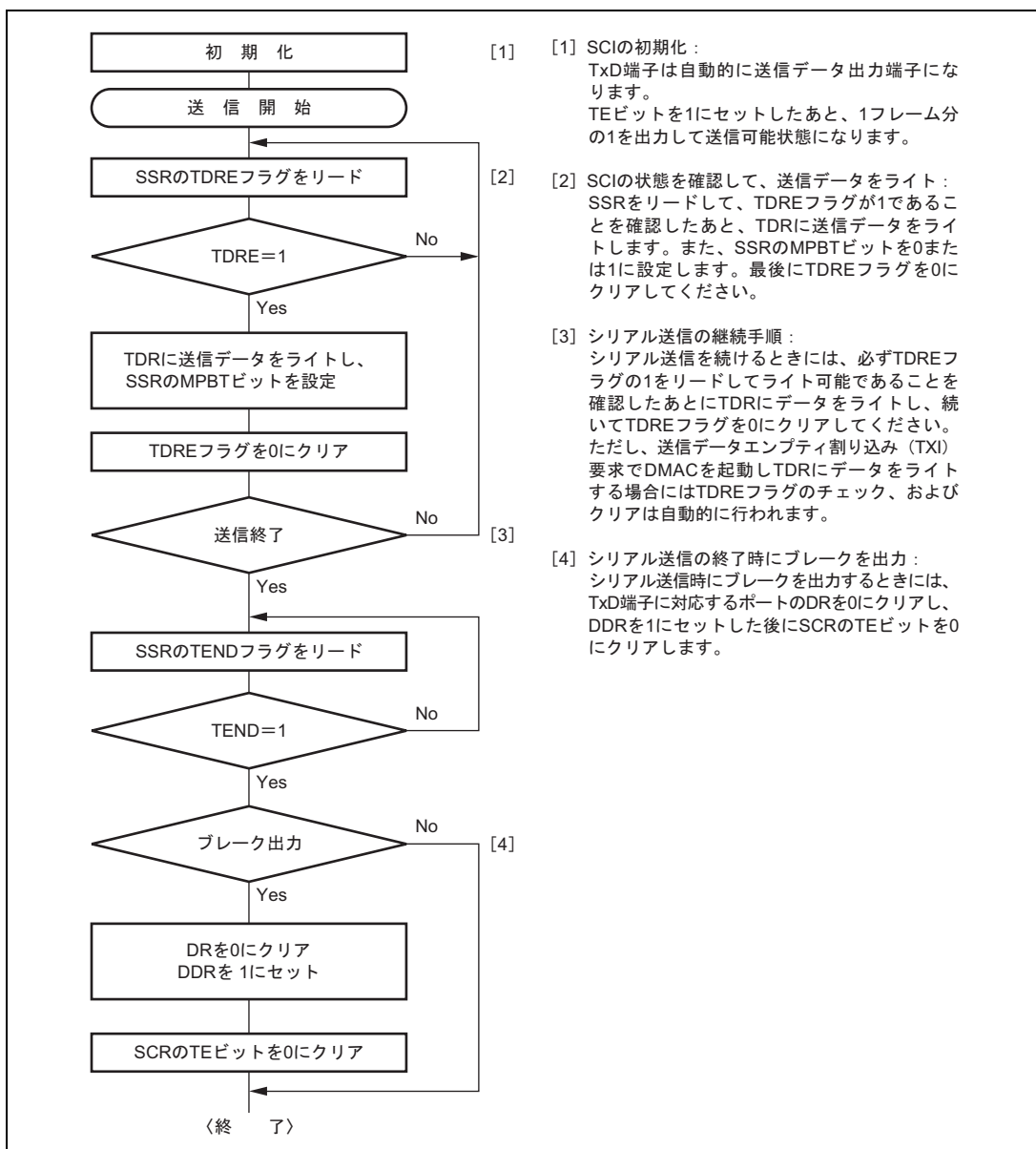


図 12.14 マルチプロセッサシリアル送信のフローチャートの例

12.5.2 マルチプロセッサシリアルデータ受信

図 12.16 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 12.15 に受信時の動作例を示します。

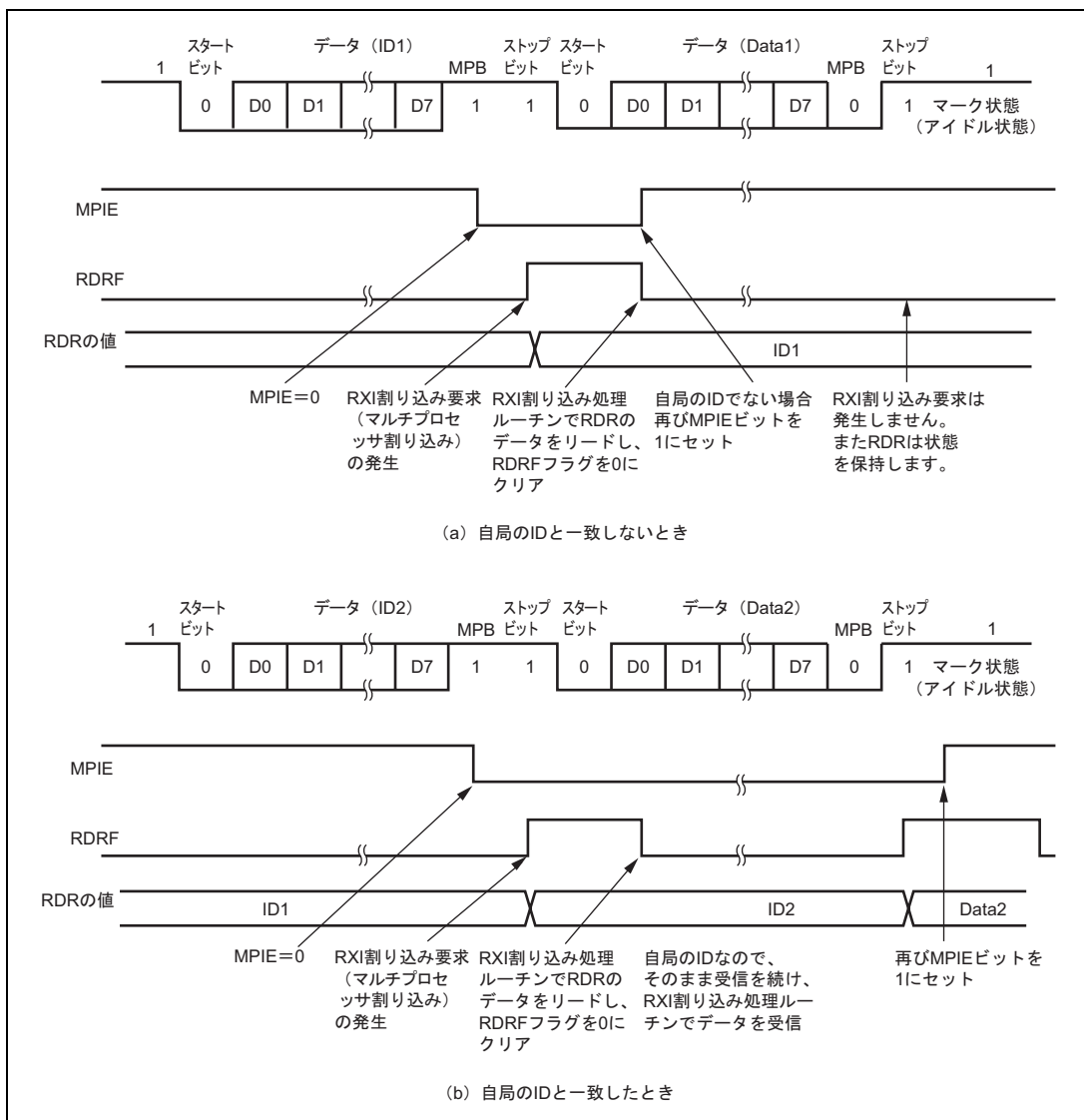


図 12.15 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

12. シリアルコミュニケーションインタフェース (SCI)

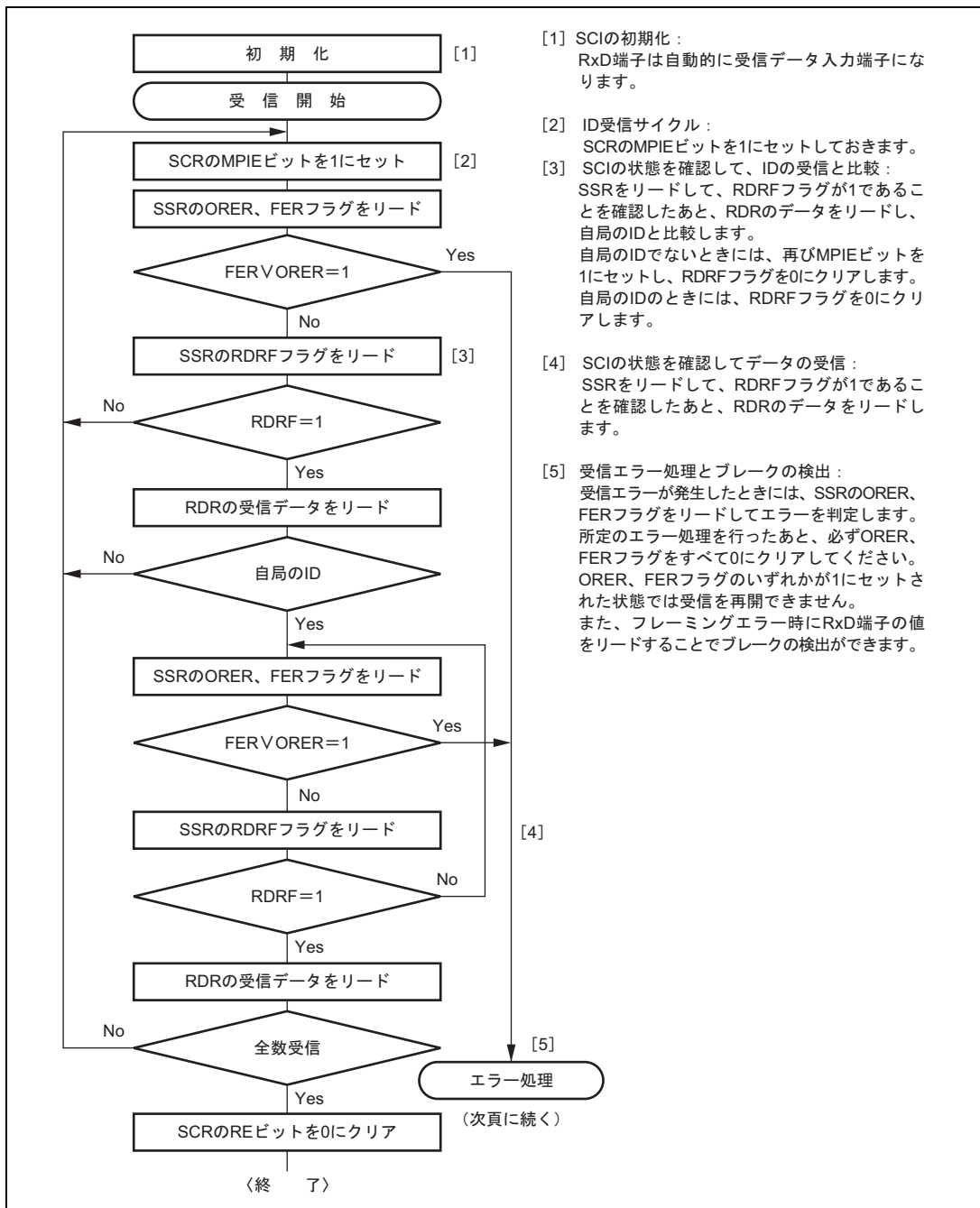


図 12.16 マルチプロセッサシリアル受信のフローチャートの例 (1)

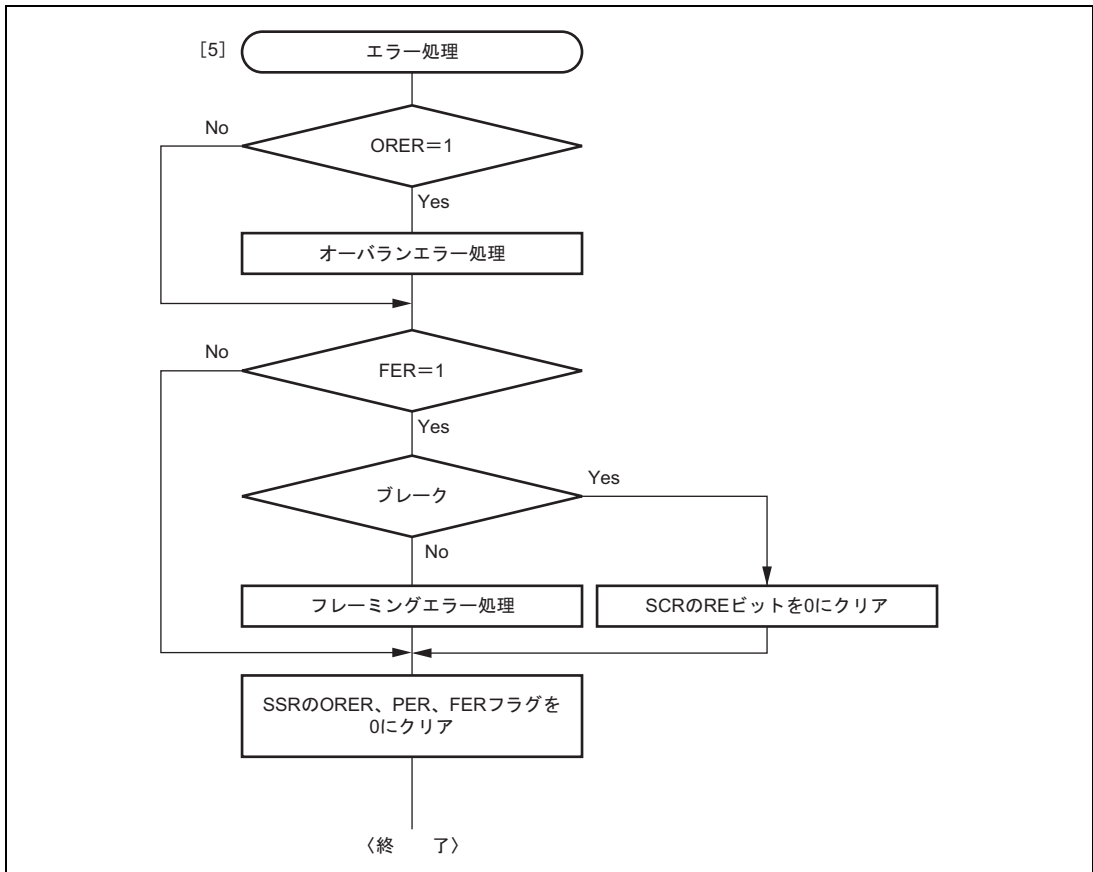


図 12.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

12.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 12.17 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり時に同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

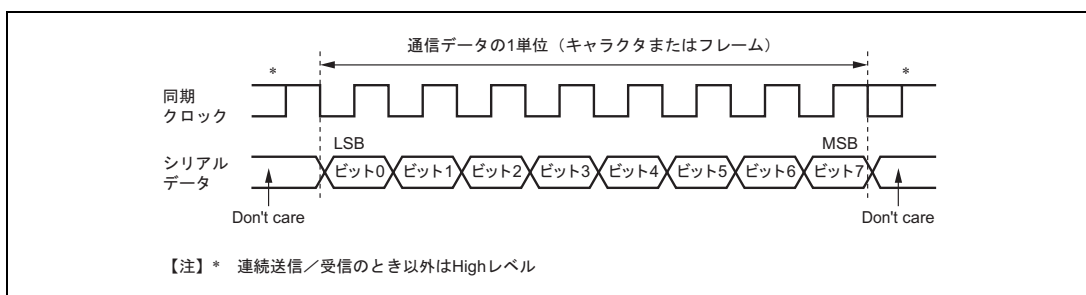


図 12.17 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

12.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

12.6.2 SCIの初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアしたあと、図12.18のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

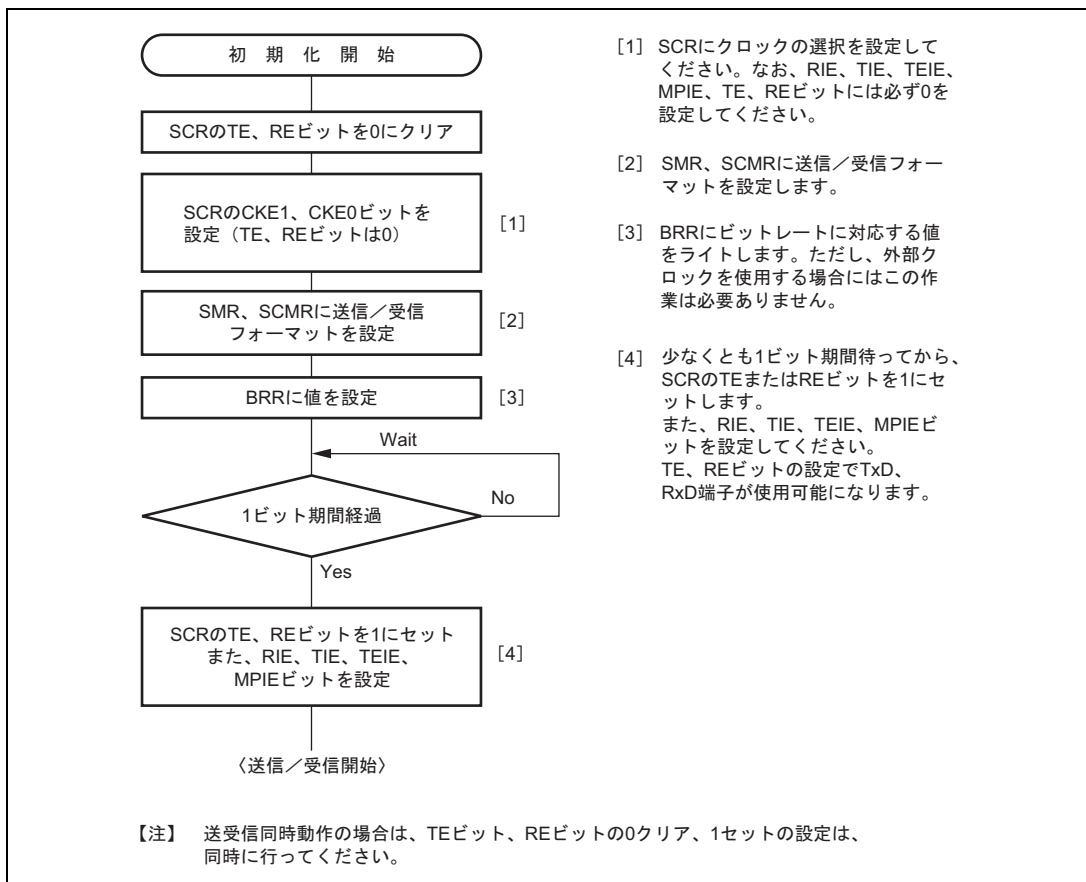


図 12.18 SCIの初期化フローチャートの例

12.6.3 シリアルデータ送信 (クロック同期式)

図 12.19 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 12.20 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

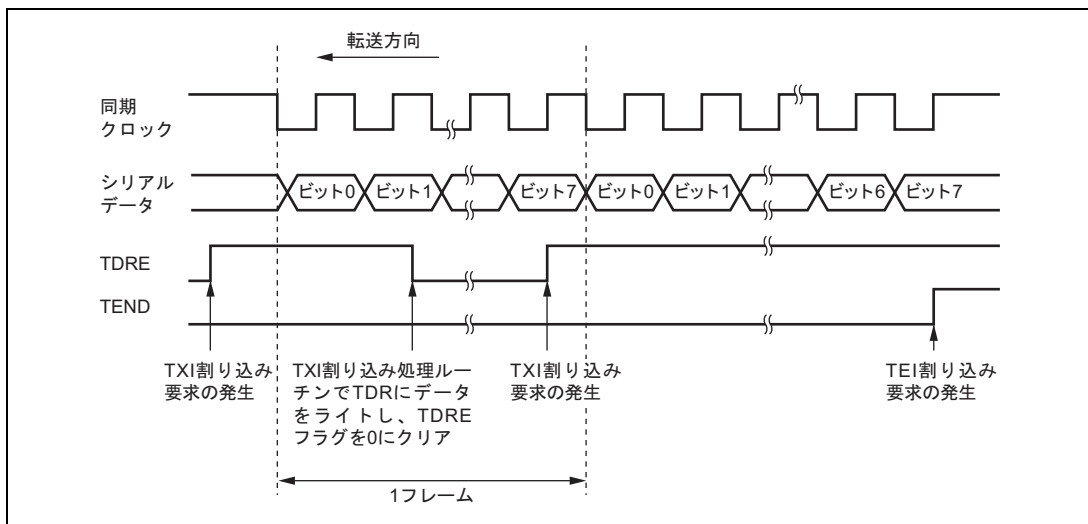


図 12.19 クロック同期式モードの送信時の動作例

12. シリアルコミュニケーションインタフェース (SCI)

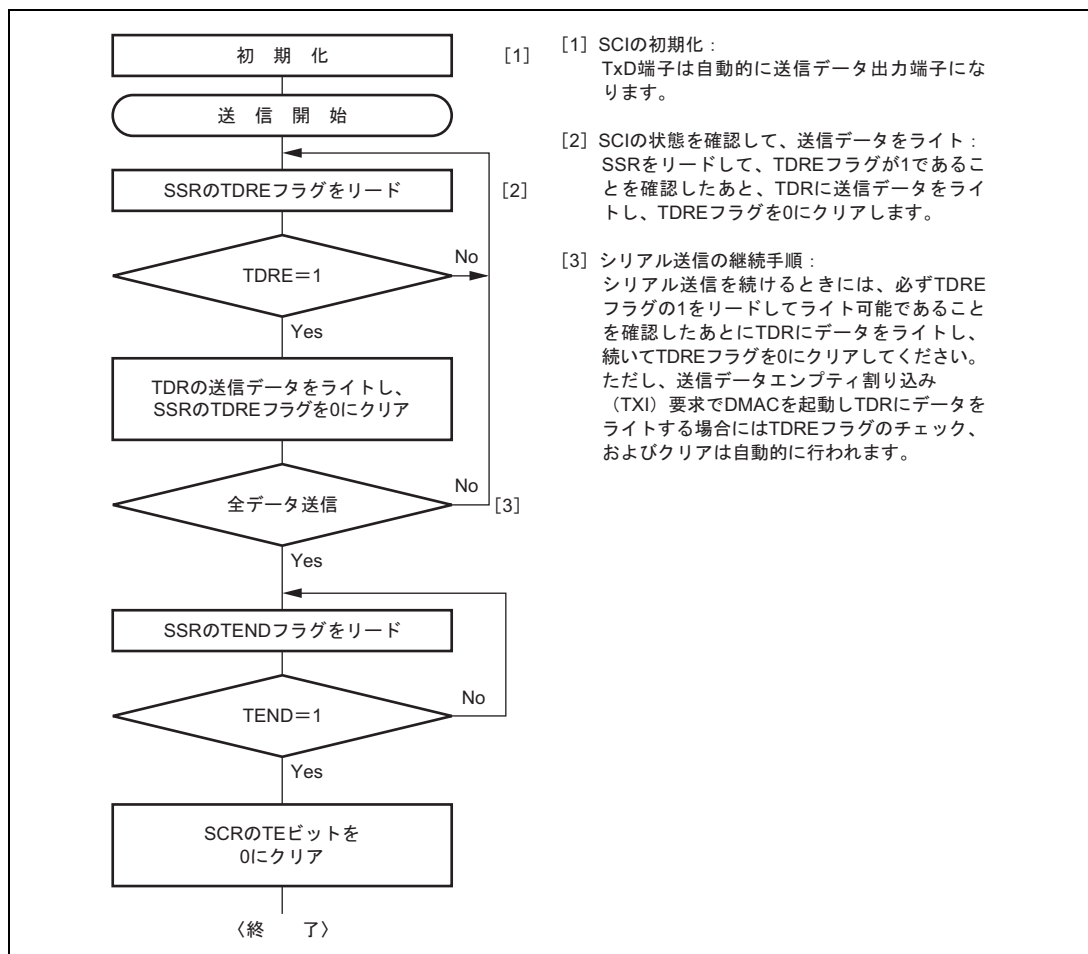


図 12.20 シリアル送信のフローチャートの例

12.6.4 シリアルデータ受信 (クロック同期式)

図 12.21 にクロック同期モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

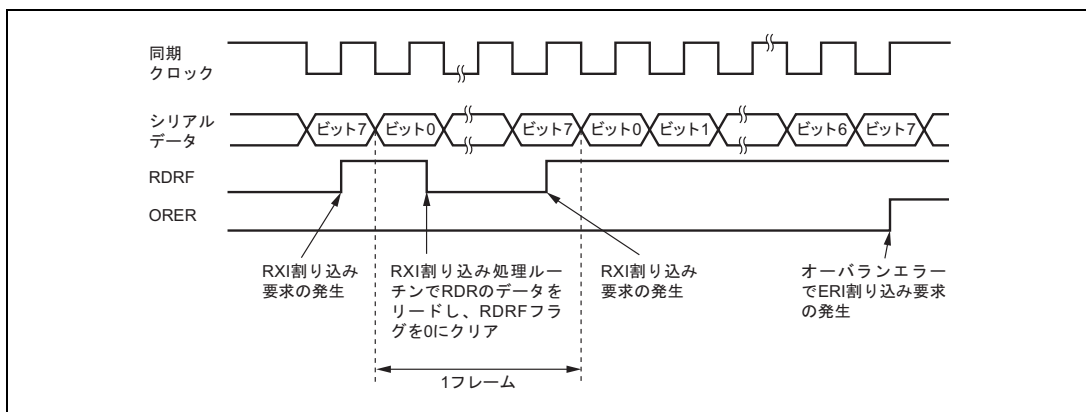


図 12.21 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.22 にデータ受信のためのフローチャートの例を示します。

内部クロックを選択し、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックが出力されます。1 フレーム単位の受信動作を行いたいときは、送受信同期動作による 1 フレームだけのダミー送信も同時に行ってください。

12. シリアルコミュニケーションインタフェース (SCI)

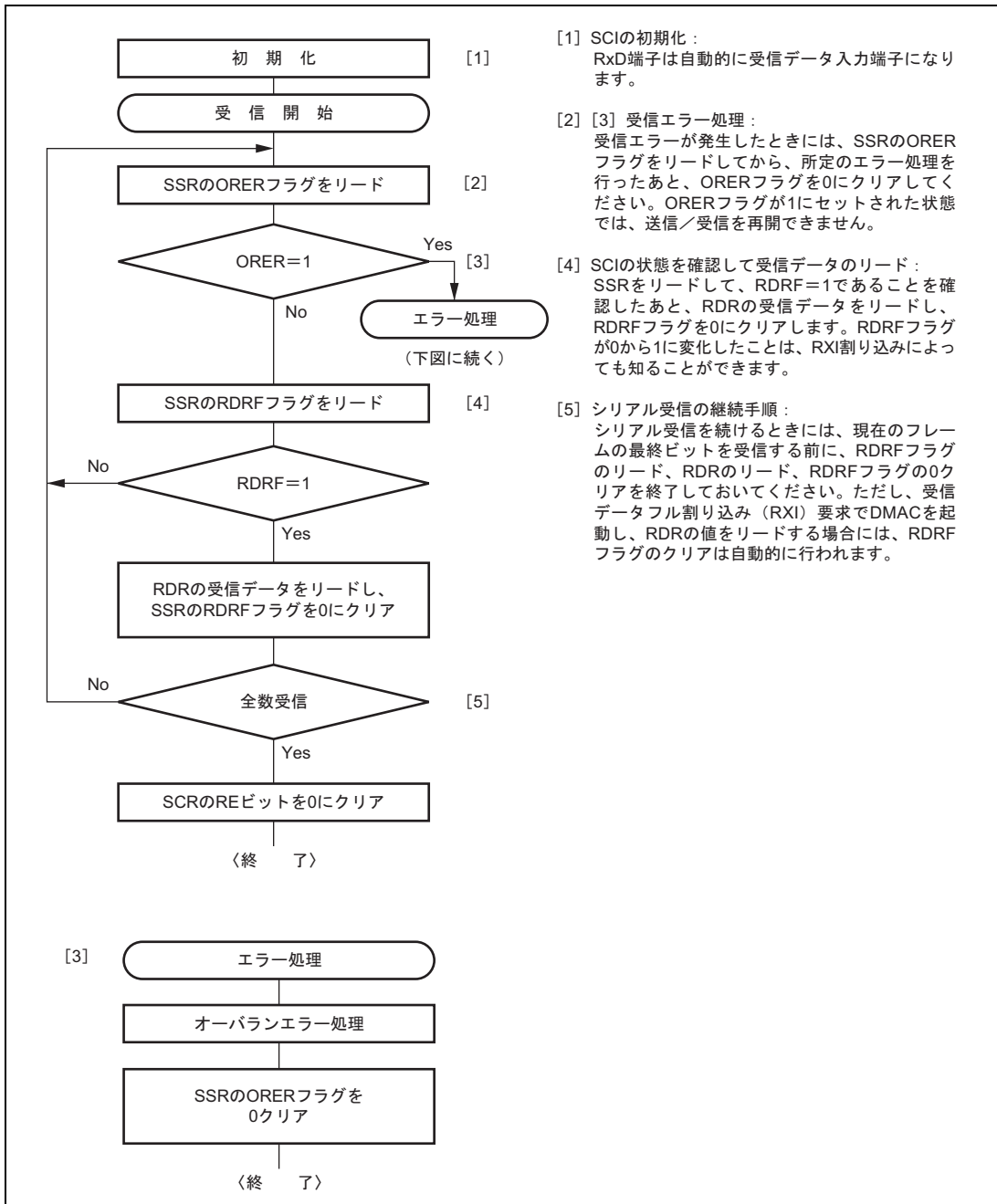


図 12.22 シリアルデータ受信フローチャートの例

12.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 12.23 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認したあと、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認したあと、TE および RE を 1 命令で同時に 1 にセットしてください。

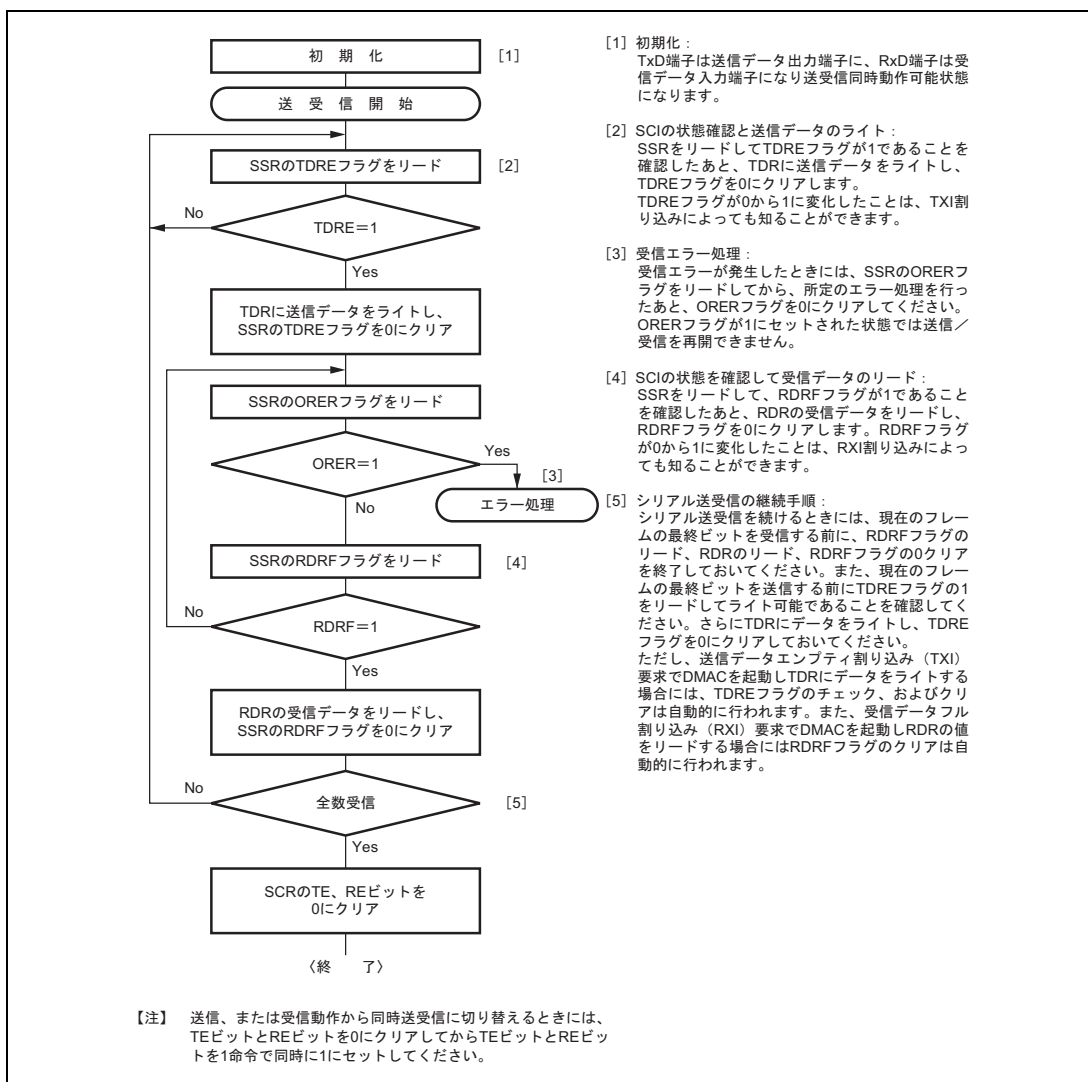


図 12.23 シリアル送受信同時動作のフローチャートの例

12.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード(スマートカード)とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

12.7.1 接続例

図 12.24 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。ICカードを接続しない状態で $RE = TE = 1$ に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK 端子出力をICカードのCLK 端子に入力してください。ICカードで、内部クロックを使用する場合は接続不要です。リセット信号の出力には本LSIの出力ポートを使用できます。端子としては、これ以外に通常、電源とグランドの接続が必要です。

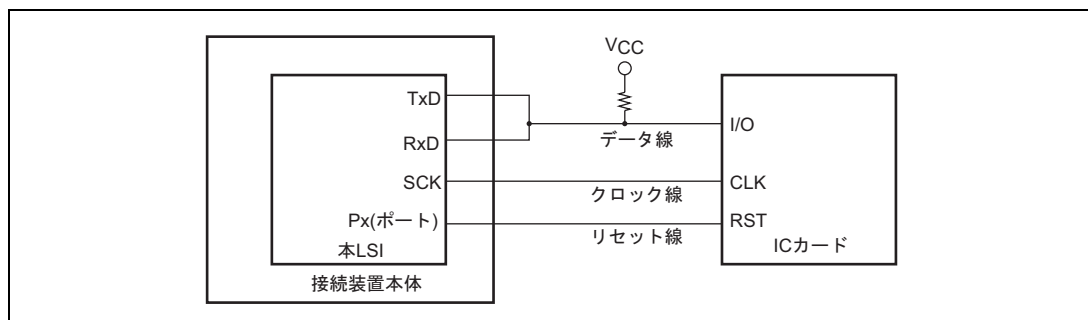


図 12.24 スマートカードインタフェース端子接続概要

12.7.2 データフォーマット (ブロック転送モード時を除く)

図 12.25 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary time unit : 1ビットの転送期間) 以上のガードタイムを置きます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

12. シリアルコミュニケーションインタフェース (SCI)

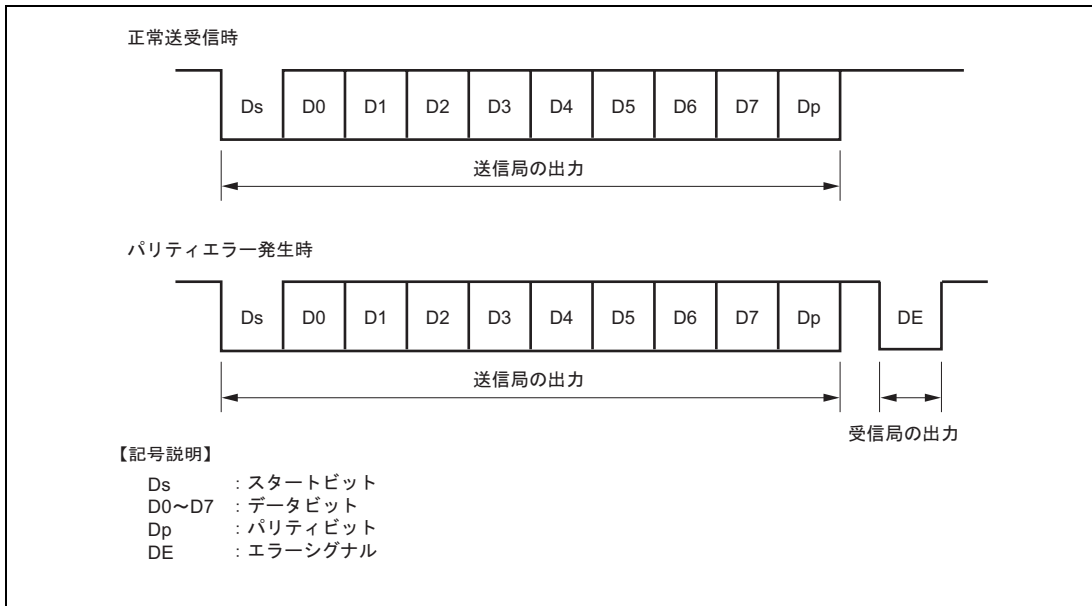


図 12.25 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインパースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

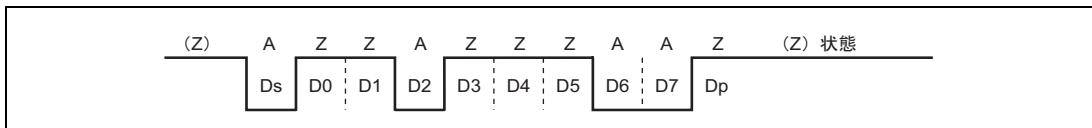


図 12.26 ダイレクトコンベンション (SDIR = SINV = $O/\bar{E} = 0$)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRの O/\bar{E} ビットには0をセットしてください。

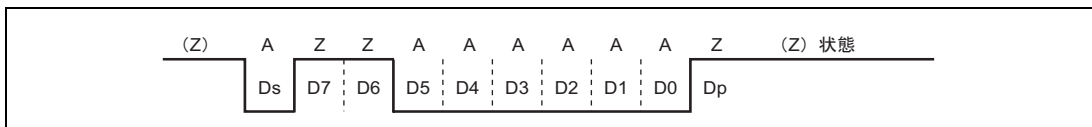


図 12.27 インパースコンベンション (SDIR = SINV = $O/\bar{E} = 1$)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB フェースで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z に対応します。本 LSI では、SINV ビットはデータビット D7~D0 のみ反転させます。このため、送受信とも SMR の O \bar{E} ビットに 1 を設定してパリティビットを反転させてください。

12.7.3 クロック

送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、CKE0 = 1 でクロック出力を選択すると、SCK 端子からは、ビットレートの S*倍の周波数のクロックが出力されます。

【注】 * 記号 S は「12.3.11 ビットレートレジスタ (BRR)」の中の S の値を表します。

12.7.4 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

12.7.5 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCI は BCP1、BCP0 の設定によりビットレートの 32 倍、64 倍、372 倍、256 倍（通常の調歩同期モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 12.28 に示すように受信データを基本クロックのそれぞれ 16、32、186、128 番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - \left(L - 0.5 \right) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32、64、372、256)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

12. シリアルコミュニケーションインタフェース (SCI)

F: クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

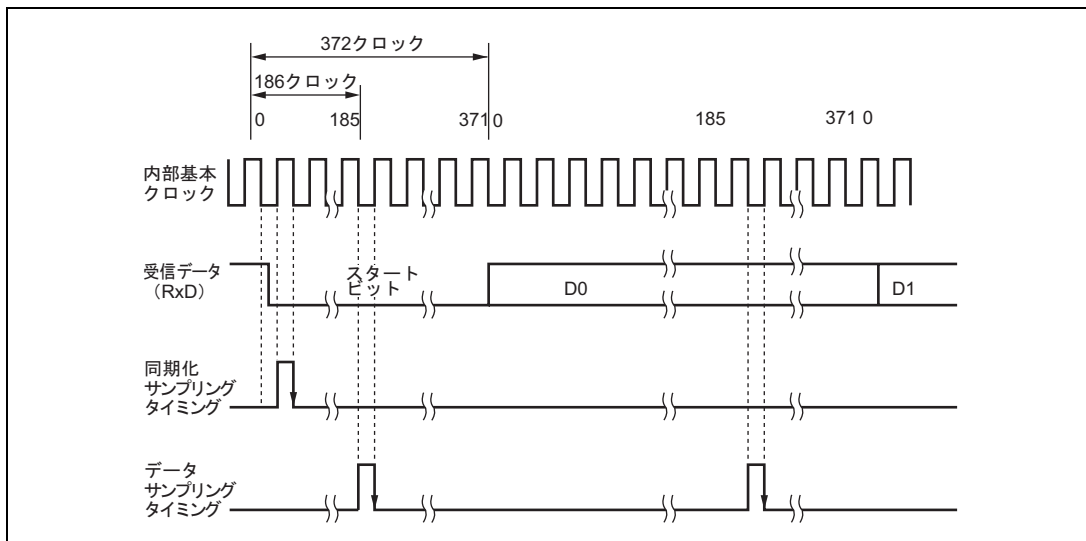


図 12.28 スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

12.7.6 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、O/E、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、Tx/D端子およびRx/D端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。

6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。

CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。

7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外にはTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認したあと、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRF フラグ、あるいはPER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認したあと、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTEND フラグで確認できます。

12.7.7 シリアルデータ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 12.29 に示します。

1. 1フレーム分の送信を完了したあと、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていると、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 12.31 に示します。これら一連の処理はTXI 割り込み要因によってDMAC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC の設定方法は「第 7 章 DMA コントローラ (DMAC)」を参照してください。

12. シリアルコミュニケーションインタフェース (SCI)

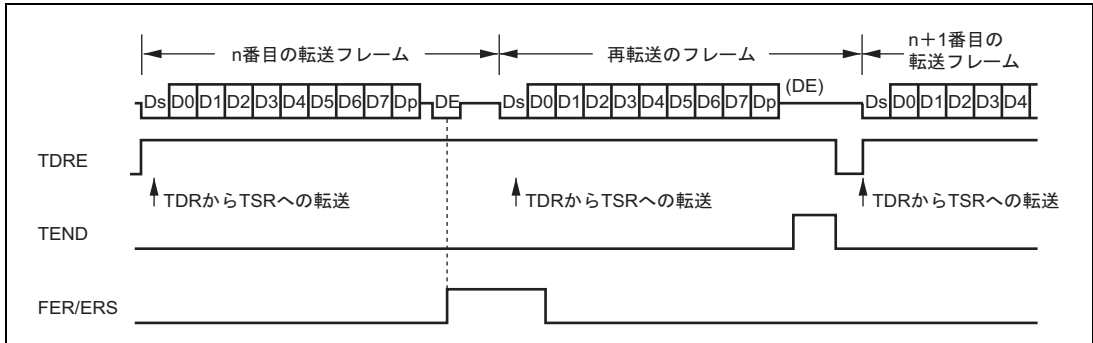


図 12.29 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 12.30 に TEND フラグ発生タイミングを示します。

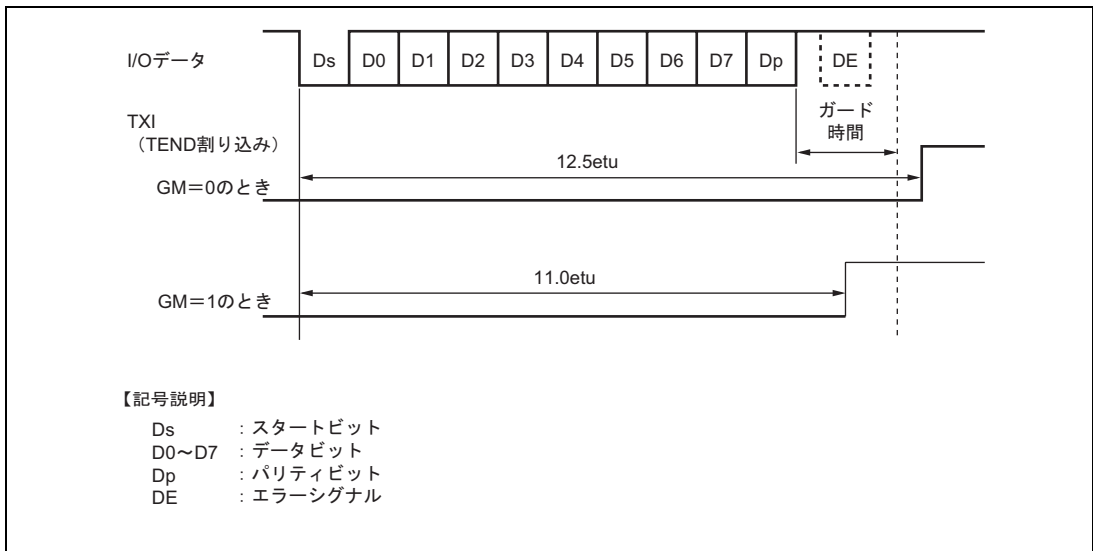


図 12.30 送信動作時の TEND フラグ発生タイミング

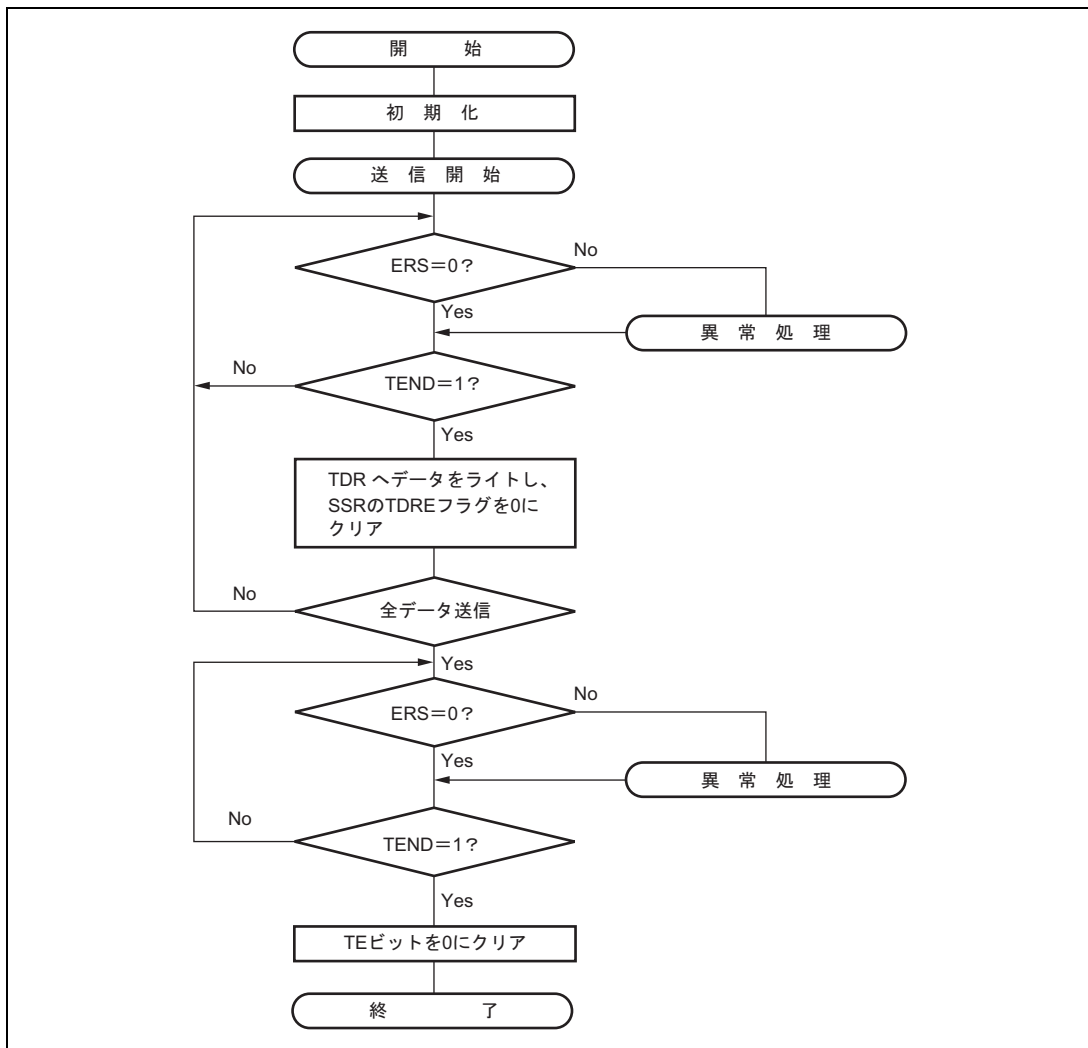


図 12.31 送信処理フローの例

12.7.8 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 12.32 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 12.33 に示します。これら一連の処理は RXI 割り込み要因によって DMAC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求により DMAC が起動されて受信データの転送を行います。DMAC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DMAC は起動されず、受信データはスキップされるため DMAC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「12.4 調歩同期式モードの動作」を参照してください。

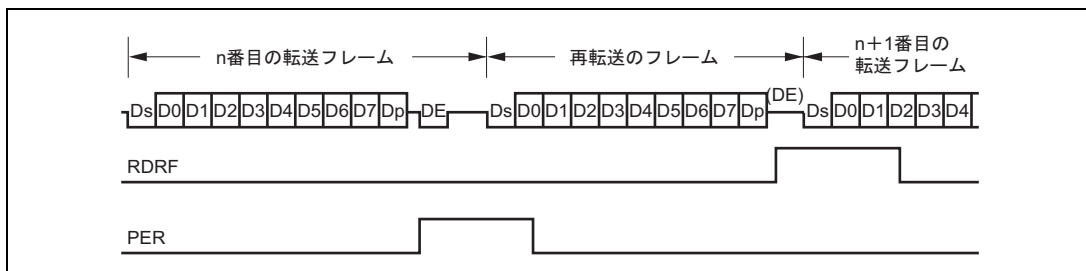


図 12.32 SCI 受信モードの場合の再転送動作

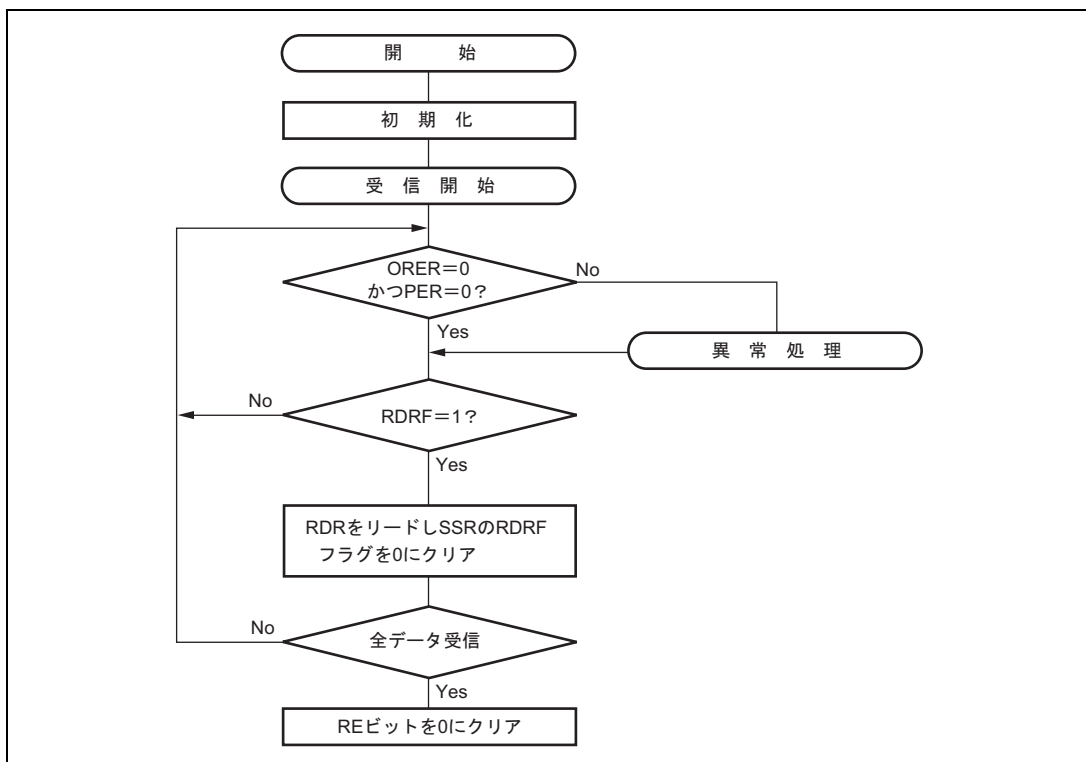


図 12.33 受信フローの例

12.7.9 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 12.34 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

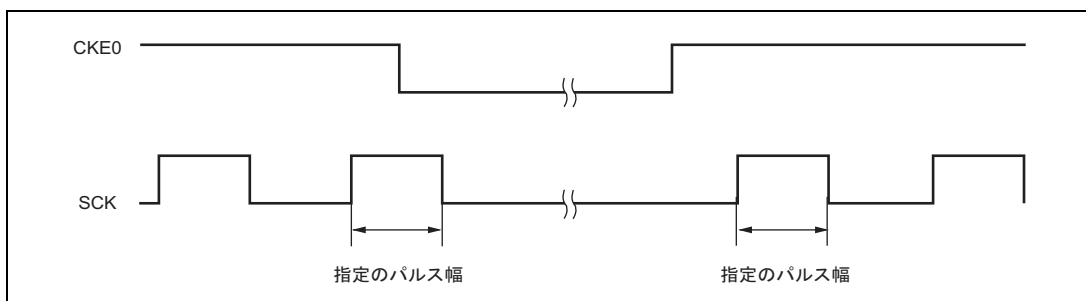


図 12.34 クロック出力固定タイミング

12. シリアルコミュニケーションインタフェース (SCI)

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

(2) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

(3) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

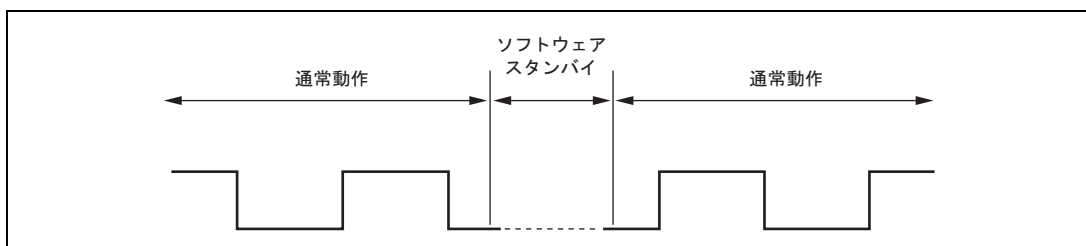


図 12.35 クロック停止・再起動手順

12.8 SCI セレクト機能 (クロック同期式)

SCI₀には、SCIセレクト機能があり、マスタLSIと複数のスレーブLSI(本LSI)間の1対多のクロック同期式通信が可能です。図12.36にSCIセレクト機能による通信例、図12.37に動作概要を示します。

マスタLSIは、 $\overline{\text{SEL_A}}$ 信号をLow、 $\overline{\text{SEL_B}}$ 信号をHigh出力することでスレーブLSI_Aとの1対1通信が可能となります。このときスレーブLSI_BのTxDO_B端子はHi-Z状態、内部SCK0_B信号はHigh固定となり通信動作が停止します。マスタLSIが $\overline{\text{SEL_A}}$ 信号をHigh、 $\overline{\text{SEL_B}}$ 信号をLowにすることでスレーブLSI_Bとの1対1通信が可能となります。

スレーブLSIは、 $\overline{\text{IRQ7}}$ のLow入力割り込みによって選択されたことを検出し、送受信データ処理をすばやく実行できます。

【注】 マスタLSIのセレクト信号($\overline{\text{SEL_A}}$ 、 $\overline{\text{SEL_B}}$ など)の切り替えは、送信データの最終ビット出力後のシリアルクロック(M_SCK) = High期間中に行ってください。また、セレクト信号は1つだけLow出力としてください。

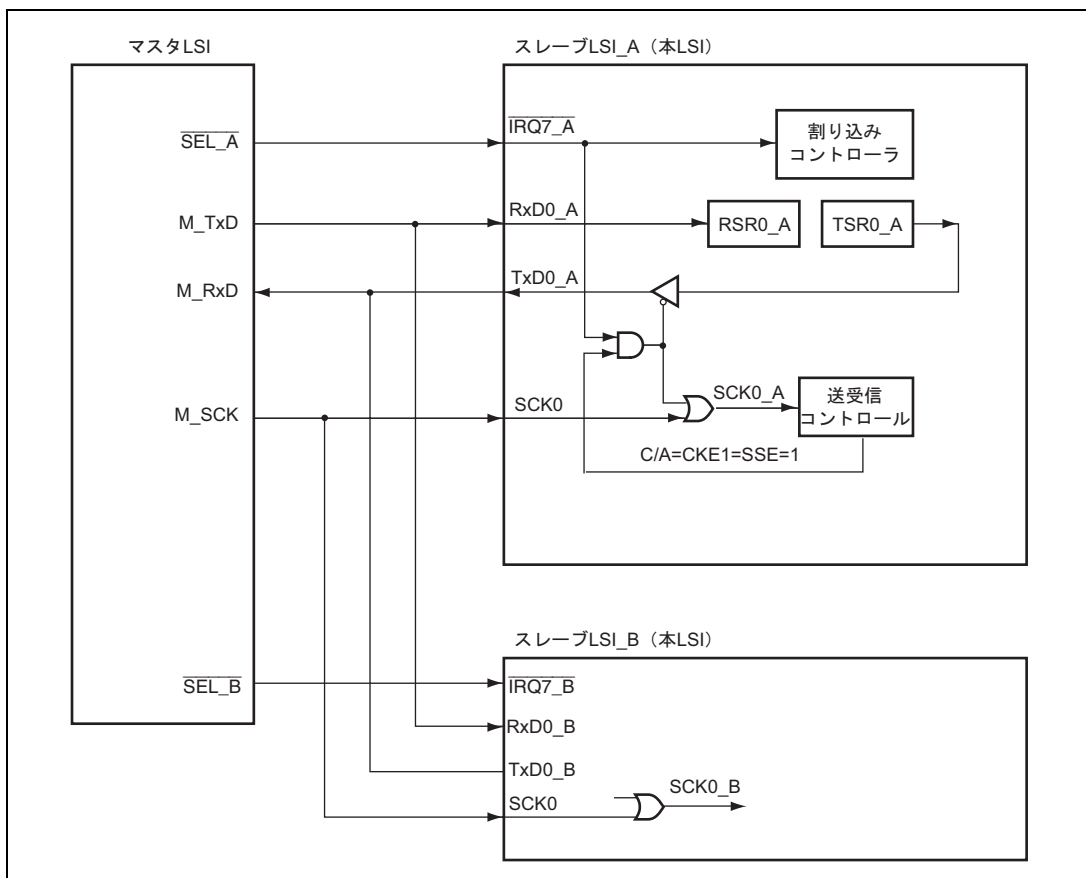


図 12.36 SCI セレクト機能による通信例

12. シリアルコミュニケーションインタフェース (SCI)

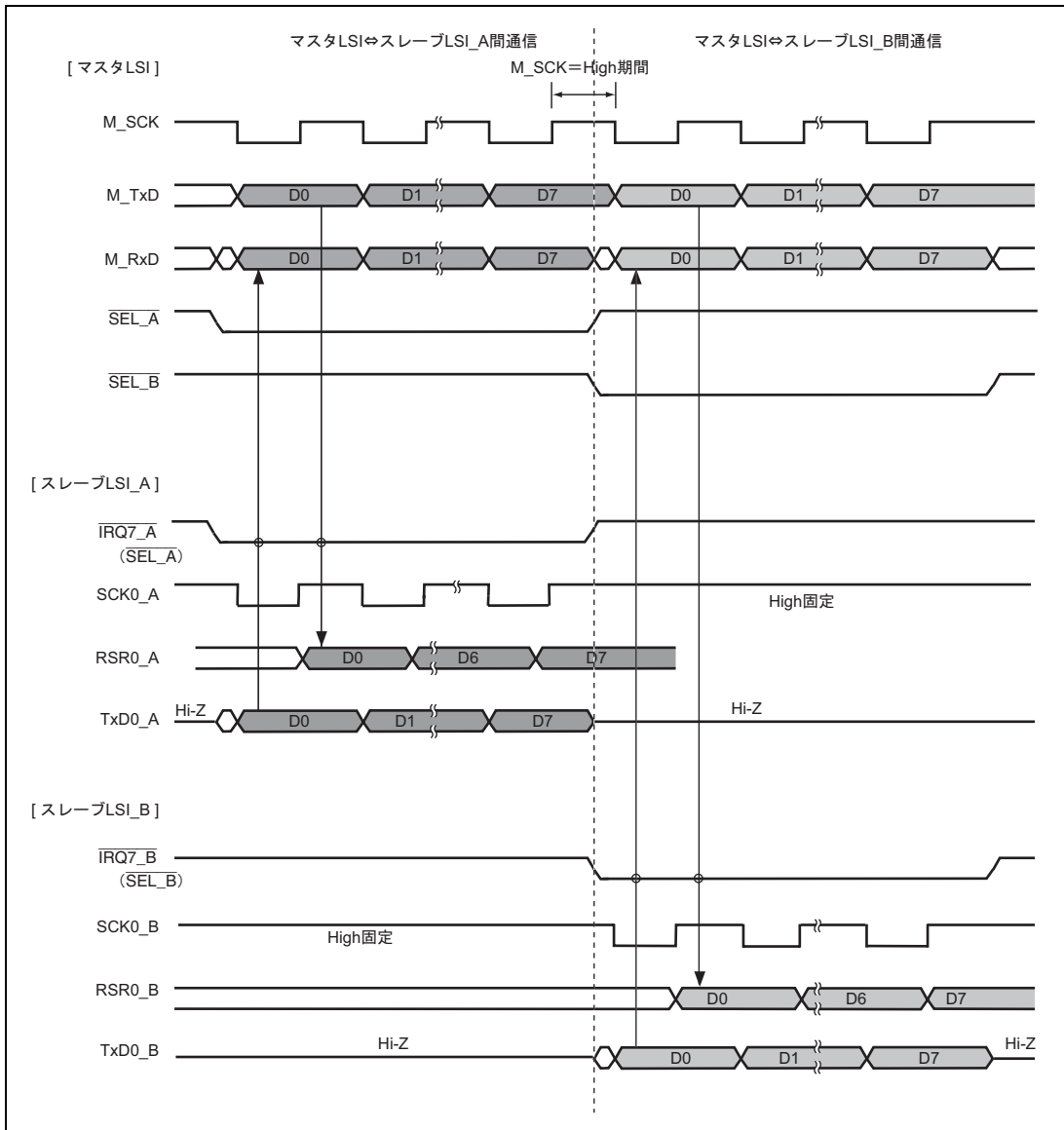


図 12.37 SCI セレクト機能の動作概要

12.9 割り込み要因

12.9.1 シリアルコミュニケーションインタフェースにおける割り込み

表 12.12 にシリアルコミュニケーションインタフェースにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 12.12 SCI 割り込み要因


チャンネル	名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位*
0	ERI0	受信エラー	ORER、FER、PER	不可	高 ↑ 低
	RXI0	受信データフル	RDRF	可	
	TXI0	送信データエンプティ	TDRE	可	
	TEI0	送信終了	TEND	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	
	RXI2	受信データフル	RDRF	不可	
	TXI2	送信データエンプティ	TDRE	不可	
	TEI2	送信終了	TEND	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

12.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 12.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。ブロック転送モード時は、「12.9.1 シリアルコミュニケーションインタフェースにおける割り込み」を参照してください。

表 12.13 スマートカードインタフェースモードの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位*
0	ERI0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高  低
	RXI0	受信データフル	RDRF	可	
	TXI0	送信データエンプティ	TEND	可	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RXI2	受信データフル	RDRF	不可	
	TXI2	送信データエンプティ	TEND	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

12.10 使用上の注意事項

12.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作禁止 / 許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 20 章 低消費電力状態」を参照してください。

12.10.2 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信したあとも受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

12.10.3 マーク状態とブレークの送出 (調歩同期式モードのみ)

TE が 0 のとき、TxD 端子は DDR で入出力方向、DR でレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR = 1、DR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR = 1、DR = 0 に設定したあと TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

12.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

12.10.5 DMAC 使用上の注意事項

- 同期クロックに外部クロックソースを使用する場合、DMACによるTDRの更新後、φクロックで5クロック以上経過したあとに、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります。(図12.38)。
- DMACにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

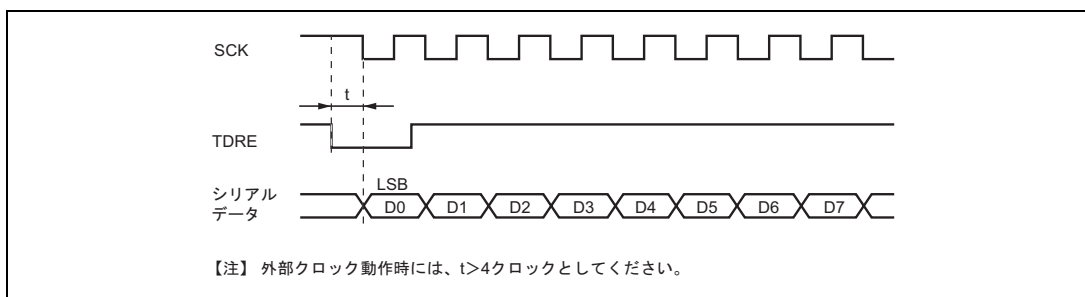


図 12.38 DMAC によるクロック同期式送信時の例

12.10.6 モード遷移時の動作について

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード遷移時には、動作を停止 (TE = TIE = TEIE = 0) してから行ってください。TSR、TDR、および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、TE = 1 に戻し、SSR リード → TDR ライト → TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 12.39 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 12.40、図 12.41 に示します。

12. シリアルコミュニケーションインタフェース (SCI)

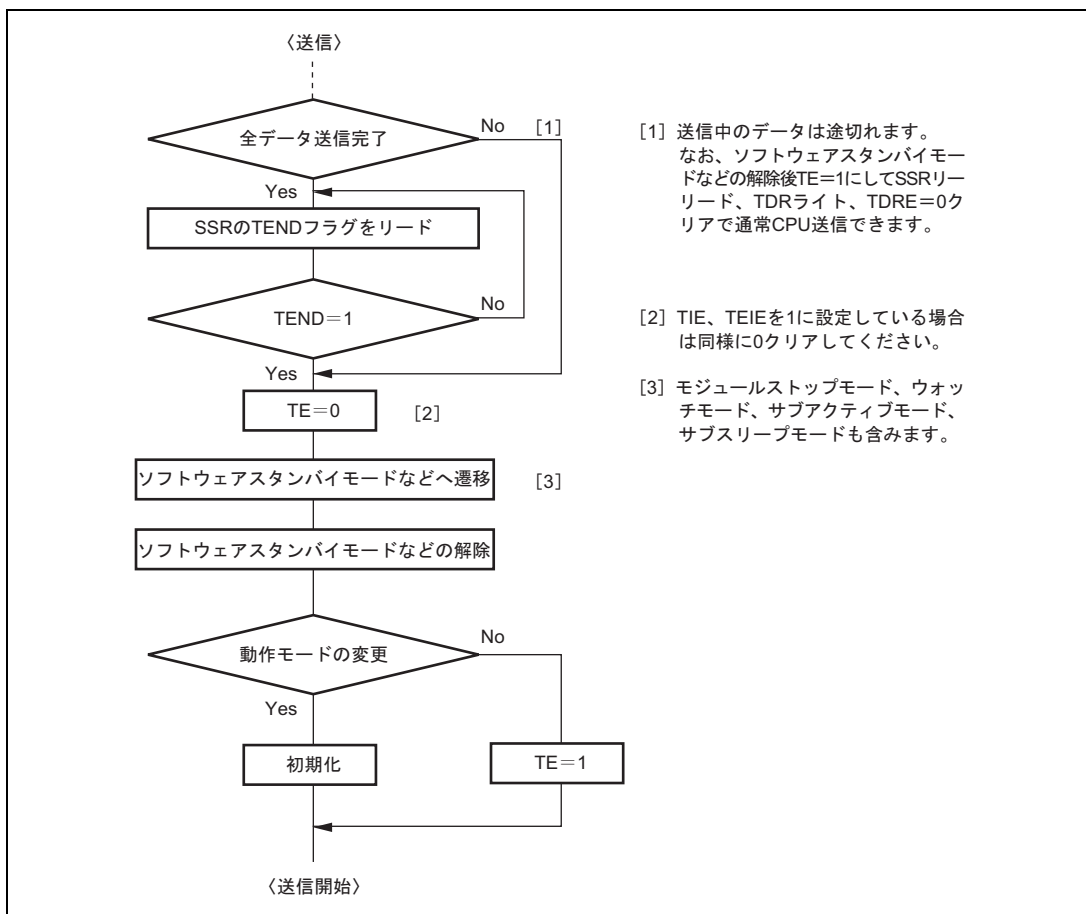


図 12.39 送信時のモード遷移フローチャートの例

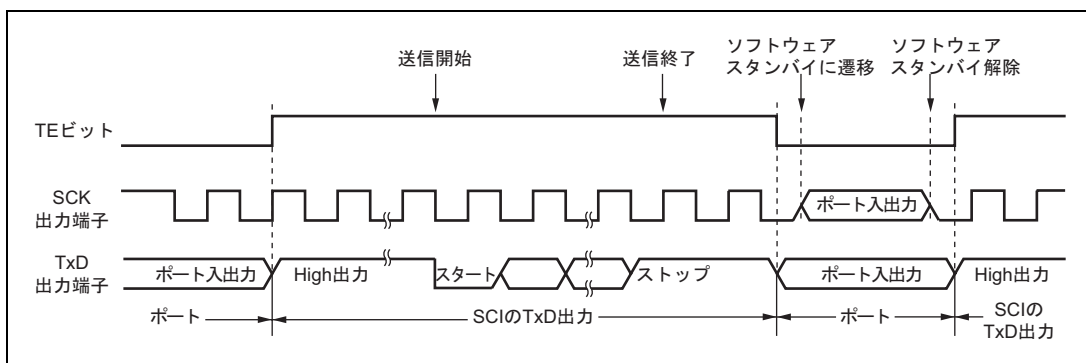


図 12.40 内部クロック、調歩同期送信の場合のポート端子状態

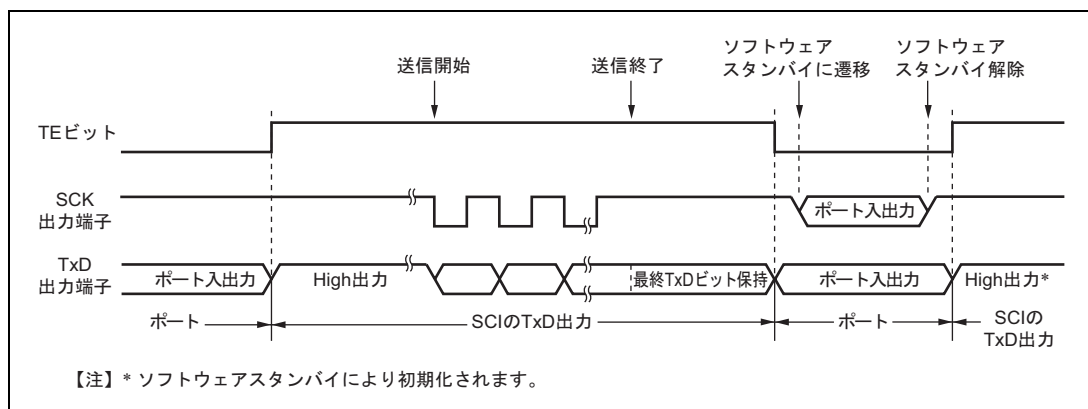


図 12.41 内部クロック、クロック同期送信の場合のポート端子状態

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード遷移時には、受信動作を停止 ($RE=0$) してから行ってください。RSR、RDR、および SSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE=1$ に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 12.42 に受信時のモード遷移フローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

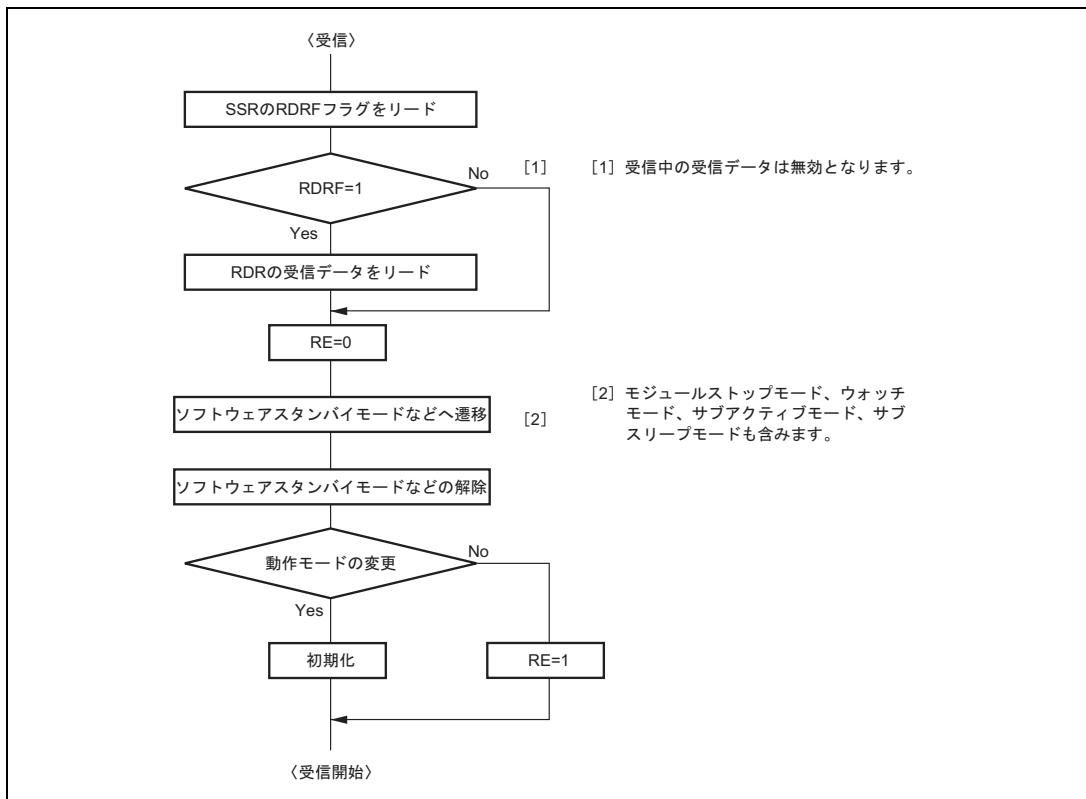


図 12.42 受信時のモード遷移フローチャートの例

12.10.7 SCK 端子からポート端子へ切り替えるときの注意事項

DDR = 1、DR = 1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替えるときに、半サイクルの Low 出力後、ポート出力になります。

DDR = 1、DR = 1、 $\overline{C/A}$ = 1、CKE1 = 0、CKE0 = 0、TE = 1 の状態より、以下の設定でポートに切り替えるときに半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TEビット = 0
3. $\overline{C/A}$ ビット = 0・・・ポート出力に切り替え
4. Low出力発生 (図12.43参照)

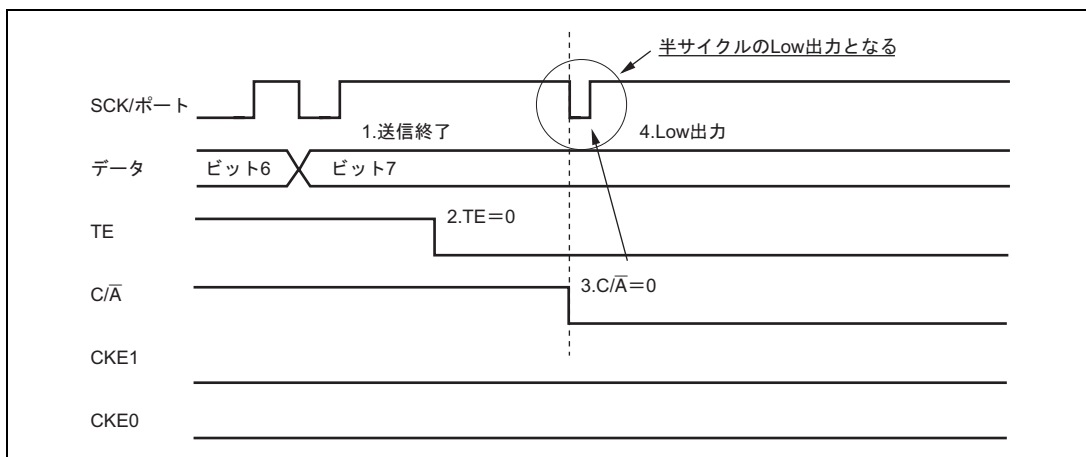


図 12.43 SCK 端子からポート端子へ切り替えるときの動作

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。この手順は、SCK 端子を一度入力状態にするため、あらかじめ SCK / ポート端子を外部回路で Pull-up してください。

DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1 の状態より以下の順序で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4. C/Aビット = 0・・・ポート出力に切り替え
5. CKE1ビット = 0

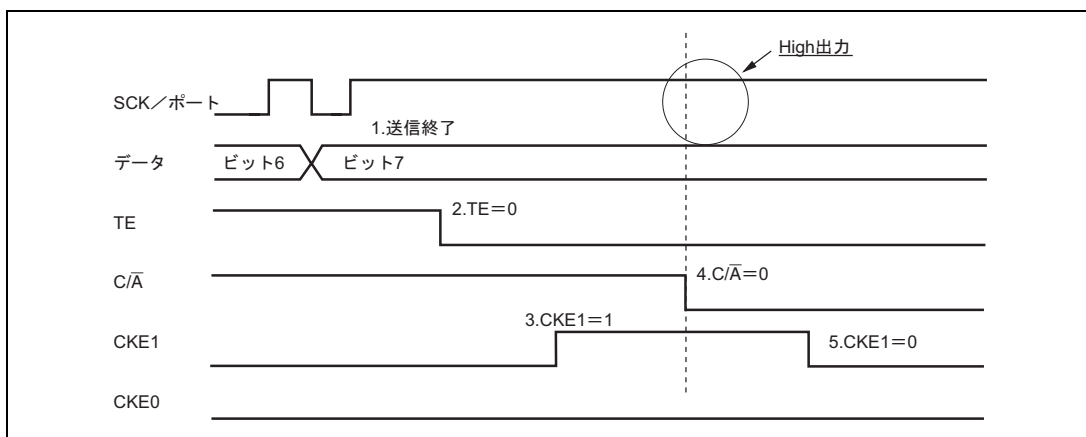


図 12.44 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

12. シリアルコミュニケーションインタフェース (SCI)

13. バウンダリスキャン

HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU は、バウンダリスキャン機能を内蔵しています。バウンダリスキャンは、JTAG (Joint Test Action Group, IEEEStd. 1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture) に準拠したシリアル入出力インタフェースです。バウンダリスキャンのブロック図を図 13.1 に示します。

13.1 特長

- 5本のテスト信号
TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$
- 6つのテストモードをサポート
BYPASS、SAMPLE/PRELOAD、EXTEST、CLAMP、HIGHZ、IDCODE
- 下記の端子はバウンダリスキャン対象外
電源関連 (VCC、VSS、Vref、PLLVCC、PLLVSS、DrVCC、DrVSS)
クロック関連信号 (EXTAL、XTAL、OSC2、OSC1)
アナログ関連信号 (P40 ~ P43、P96、P97、USD+、USD-)
バウンダリスキャン関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$)
H-UDI制御信号 (EMLE)

13. バウンダリスキャン

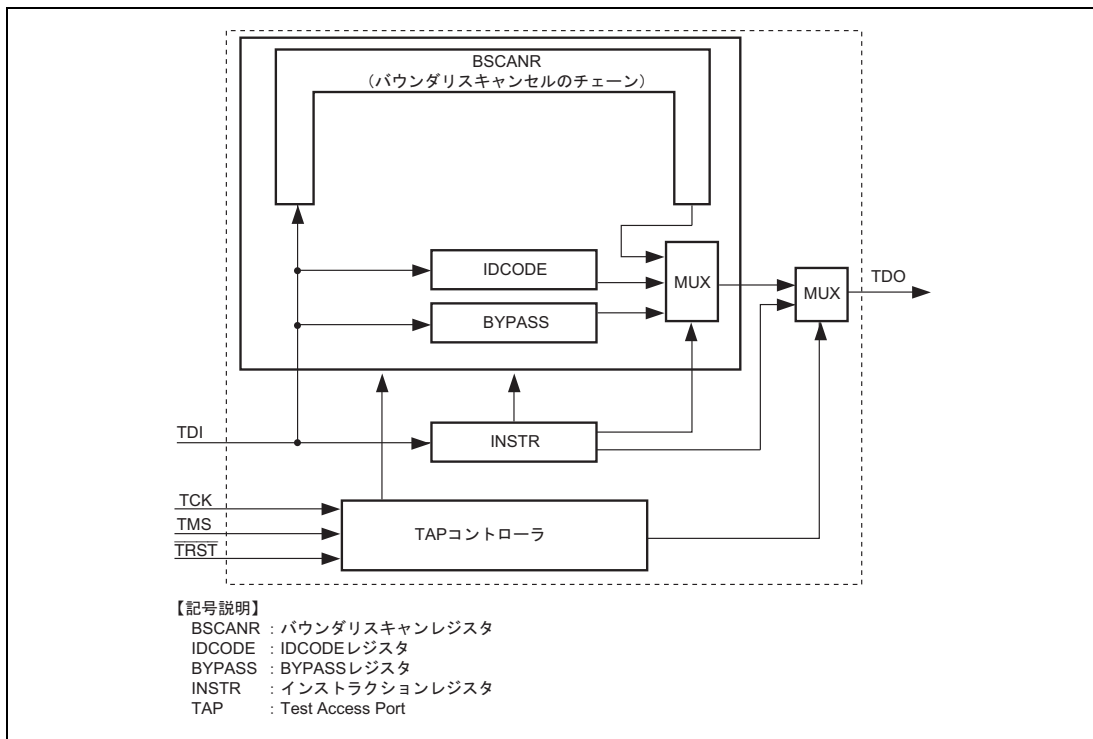


図 13.1 バウンダリスキャンのブロック図

13.2 入出力端子

バウンダリスキャンで使用する端子を表 13.1 に示します。

表 13.1 端子構成

端子名	入出力	機能
TMS	入力	<p>TEST MODE SELECT</p> <p>TAP コントローラ（16 ステートを持つ Finite State Machine）の制御信号です。</p> <p>TCK の立ち上がり時の TMS の入力値により、TAP コントローラの状態遷移方向が決まります。</p> <p>バウンダリスキャン機能を使用しないときは 1 に固定します。</p> <p>プロトコルは JTAG 規格（IEEE Std. 1149.1）に準拠しています。</p> <p>本端子はプルアップ抵抗付きです。</p>
TCK	入力	<p>TEST CLOCK</p> <p>バウンダリスキャン用のクロック信号です。</p> <p>バウンダリスキャン機能使用時はデューティ比 50% のクロック波形を入力してください。</p> <p>本端子はプルアップ抵抗付きです。</p>

端子名	入出力	機 能
TDI	入力	TEST DATA INPUT バウンダリスキャン用のデータ入力信号です。 入力データは TCK の立ち上がりで取り込まれます。 バウンダリスキャン機能を使用しないときは 1 に固定します。 本端子はプルアップ抵抗付きです。
TDO	出力	TEST DATA OUTPUT バウンダリスキャン用のデータ出力信号です。 出力データは TCK の立ち下がりで変化します。 出力ドライバは必要となきのみ (Shift-IR、Shift-DR ステートのみ) ドライブし、それ以外は Hi-Z 状態になります。
$\overline{\text{TRST}}$	入力	TEST RESET $\overline{\text{TRST}}$ = Low レベルで TAP コントローラを非同期にリセットします。 ユーザ側で、バウンダリスキャン専用のパワーオンリセット信号を電源投入時に印加してください (「13.5 使用上の注意事項」を参照してください)。 本端子はプルアップ抵抗付きです。

13.3 レジスタの説明

バウンダリスキャンには以下のレジスタがあります。

これらのレジスタは内蔵の CPU ではアクセスすることができません。

- インストラクションレジスタ (INSTR)
- IDCODEレジスタ (IDCODE)
- BYPASSレジスタ (BYPASS)
- バウンダリスキャンレジスタ (BSCANR)

13.3.1 インストラクションレジスタ (INSTR)

インストラクションレジスタは 3 ビットのレジスタです。初期状態でこのレジスタは IDCODE モードになっています。 $\overline{\text{TRST}}$ が Low レベルまたは、TAP コントローラの Test-Logic-Reset ステートのときに初期化されます。本レジスタは、TDI からのシリアルデータ入力によって書き込みを行うことができます。TDI から 3 ビットを超えるインストラクションを入力するとインストラクションレジスタにはシリアルデータの最後の 3 ビットが格納されます。

本レジスタでリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説 明
2	TI2	1	-	テストインストラクションビット 表 13.2 にインストラクション構成を示します。
1	TI1	0	-	
0	TI0	1	-	

13. バウンダリスキャン

表 13.2 インストラクション構成

ビット2	ビット1	ビット0	インストラクション
TI2	TI1	TI0	
0	0	0	EXTEST
0	0	1	SAMPLE/PRELOAD
0	1	0	CLAMP
0	1	1	HIGHZ
1	0	0	リザーブ
1	0	1	IDCODE (初期値)
1	1	0	リザーブ
1	1	1	BYPASS

(1) EXTEST

EXTEST 命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込みスキャンパスから読み出されます。スナップショットの取り込みは Capture-DR 状態の TCK の立ち上がり同期して行われます。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力端子から不定値が出力される (EXTEST 命令では出力端子に常にパラレル出力ラッチを出力する) ことになります。

(3) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラのステートに関係なく前の状態が保持されます。TDI-TDO 間には BYPASS レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(4) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子がハイインピーダンス状態になります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラのステートに関係なく前の状態が保持されます。TDI-TDO 間には BYPASS レジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(5) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR ステート時に IDCODE レジスタの値を LSB より TDO から出力します。この命令の実行中テスト回路はシステム回路に何も影響を与えません。TAP コントローラの Test-Logic-Reset ステート時インストラクションレジスタは IDCODE 命令に初期化されます。

(6) BYPASS

BYPASS 命令は、BYPASS レジスタを動作させる必須の標準命令です。この命令はスキャンパスを短縮してプリント基板上の他 LSI へのシリアルデータ転送を高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

13.3.2 IDCODE レジスタ (IDCODE)

IDCODE レジスタは 32 ビットのレジスタです。インストラクションレジスタを IDCODE モードにセットすると、IDCODE レジスタは TDI と TDO の間に接続され、固定コード (HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU は H'002A200F) を TDO より出力します。シリアルデータを TDI を通じて IDCODE レジスタに書き込むことはできません。表 13.3 に IDCODE レジスタ構成を示します。

表 13.3 IDCODE レジスタ構成

ビット	31....28	27	12	11	1	0	
HD64F2218、HD64F2218U、 HD64F2218CU、 HD64F2217CU のコード	0000	0000	0010	1010	0010	0000	0000	111	1
内容	バージョン (4 ビット)	部品番号 (16 ビット)			製造者番号 (11 ビット)			固定コード (1 ビット)	

13.3.3 BYPASS レジスタ (BYPASS)

BYPASS レジスタは 1 ビットのレジスタです。インストラクションレジスタを BYPASS モード、CLAMP モード、HIGHZ モードのいずれかにセットすると、BYPASS レジスタは TDI と TDO の間に接続されます。

13.3.4 バウンダリスキャンレジスタ (BSCANR)

バウンダリスキャンレジスタは、入出力端子の制御を行うために端子上に配置された 199 ビットのシフトレジスタです。LSI の入出力端子は 3 ビット (IN、Control、OUT)、入力専用端子は 1 ビット (IN)、出力専用端子は 1 ビット (OUT) のシフトレジスタで構成されます。

13. バウンダリスキャン

表 13.2 のインストラクションを用いて、JTAG 規格に準拠したバウンダリスキャンテストを行うことができます。表 13.4 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します（表中の Control は High アクティブの信号。Control を High に設定することで、該当端子を OUT の値でドライブします。図 13.2 にバウンダリスキャンレジスタの簡略図を示します）。

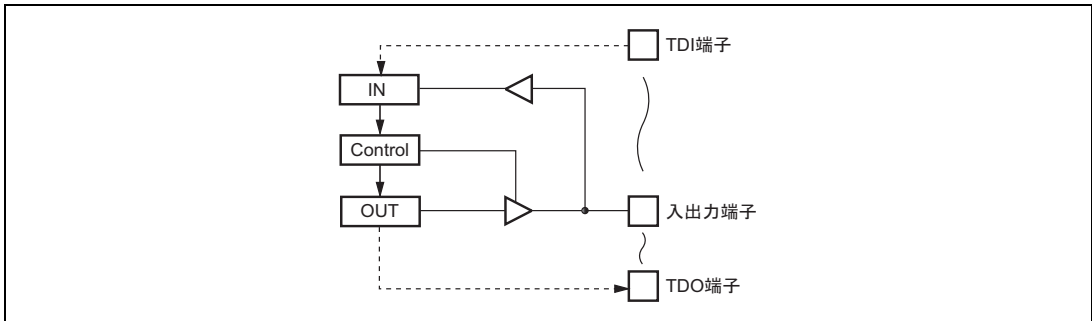


図 13.2 バウンダリスキャンレジスタの簡略図（入出力端子の例）

表 13.4 本 LSI の端子とバウンダリスキャンレジスタの対応

TFP-100G TFP-100GV Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
From TDI				
89	A6	PF7/ ϕ	IN	198
			Control	197
			OUT	196
91	D6	PF6/ \overline{AS}	IN	195
			Control	194
			OUT	193
92	A5	PF5/ \overline{RD}	IN	192
			Control	191
			OUT	190
93	B5	PF4/ \overline{HWR}	IN	189
			Control	188
			OUT	187
94	C5	PF3/ $\overline{LWR}/\overline{ADTRG}/\overline{IRQ3}$	IN	186
			Control	185
			OUT	184
95	A4	PF2/ \overline{WAIT}	IN	183
			Control	182
			OUT	181

13. バウンダリスキャン

TFP-100G TFP-100GV Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
96	D5	PF1/BACK	IN	180
			Control	179
			OUT	178
97	B4	PF0/BREQ/IRQ2	IN	177
			Control	176
			OUT	175
98	A3	PA3/A19/SCK2	IN	174
			Control	173
			OUT	172
99	C4	PA2/A18/RxD2	IN	171
			Control	170
			OUT	169
100	B3	PA1/A17/TxD2	IN	168
			Control	167
			OUT	166
1	B2	PA0/A16	IN	165
			Control	164
			OUT	163
2	B1	P10/TIOCA0/A20	IN	162
			Control	161
			OUT	160
3	D4	P11/TIOCB0/A21	IN	159
			Control	158
			OUT	157
4	C2	P12/TIOCC0/TCLKA/A22	IN	156
			Control	155
			OUT	154
5	C1	P13/TIOCD0/TCLKB/A23	IN	153
			Control	152
			OUT	151
6	D3	P14/TIOCA1/IRQ0	IN	150
			Control	149
			OUT	148

13. バウンダリスキャン

TFP-100G TFP-100GV Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
7	D2	P15/TIOCB1/TCLKC	IN	147
			Control	146
			OUT	145
8	D1	P16/TIOCA2/ $\overline{\text{IRQT}}$	IN	144
			Control	143
			OUT	142
9	E4	P17/TIOCB2/TCLKD	IN	141
			Control	140
			OUT	139
10	E3	PC0/A0	IN	138
			Control	137
			OUT	136
11	E1	PC1/A1	IN	135
			Control	134
			OUT	133
12	E2	PC2/A2	IN	132
			Control	131
			OUT	130
13	F3	PC3/A3	IN	129
			Control	128
			OUT	127
14	F1	MD0	IN	126
15	F2	MD1	IN	125
16	F4	MD2	IN	124
17	G1	PC4/A4	IN	123
			Control	122
			OUT	121
18	G2	PC5/A5	IN	120
			Control	119
			OUT	118
19	G3	PC6/A6	IN	117
			Control	116
			OUT	115
20	H1	PC7/A7	IN	114
			Control	113
			OUT	112

13. バウンダリスキャン

TFP-100G TFP-100GV Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
21	G4	USPND/TMOW	OUT	111
22	H2	P30/TxD0	IN	110
			Control	109
			OUT	108
23	J1	P31/RxD0	IN	107
			Control	106
			OUT	105
24	H3	P32/SCK0/ $\overline{\text{IRQ4}}$	IN	104
			Control	103
			OUT	102
25	J2	PG1/ $\overline{\text{CS3}}$ / $\overline{\text{IRQ7}}$	IN	101
			Control	100
			OUT	99
26	K2	PG2/ $\overline{\text{CS2}}$	IN	98
			Control	97
			OUT	96
27	L2	PG3/ $\overline{\text{CS1}}$	IN	95
			Control	94
			OUT	93
28	H4	PG4/ $\overline{\text{CS0}}$	IN	92
			Control	91
			OUT	90
29	K3	VBUS	IN	89
30	L3	P36	IN	88
			Control	87
			OUT	86
37	K5	PB0/A8	IN	85
			Control	84
			OUT	83
38	J6	PB1/A9	IN	82
			Control	81
			OUT	80
39	L6	PB2/A10	IN	79
			Control	78
			OUT	77

13. バウンダリスキャン

TFP-100G TFP-100GV Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
40	K6	PB3/A11	IN	76
			Control	75
			OUT	74
47	L9	\overline{UBPM}	IN	73
49	K9	PB4/A12	IN	72
			Control	71
			OUT	70
50	L10	PB5/A13	IN	69
			Control	68
			OUT	67
51	K10	PB6/A14	IN	66
			Control	65
			OUT	64
52	K11	PB7/A15	IN	63
			Control	62
			OUT	61
55	H9	P74/ \overline{MRES}	IN	60
			Control	59
			OUT	58
56	H10	P71/ $\overline{CS5}$	IN	57
			Control	56
			OUT	55
57	H11	\overline{STBY}	IN	54
58	G8	\overline{RES}	IN	53
63	F11	P70/ $\overline{CS4}$	IN	52
			Control	51
			OUT	50
64	F10	PE0/D0	IN	49
			Control	48
			OUT	47
65	F8	PE1/D1	IN	46
			Control	45
			OUT	44

13. バウンダリスキャン

TFP-100G TFP-100GV Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
66	E11	PE2/D2	IN	43
			Control	42
			OUT	41
67	E10	PE3/D3	IN	40
			Control	39
			OUT	38
68	E9	PE4/D4	IN	37
			Control	36
			OUT	35
69	D11	PE5/D5	IN	34
			Control	33
			OUT	32
70	E8	PE6/D6	IN	31
			Control	30
			OUT	29
71	D10	PE7/D7	IN	28
			Control	27
			OUT	26
72	C11	PD0/D8	IN	25
			Control	24
			OUT	23
73	D9	PD1/D9	IN	22
			Control	21
			OUT	20
74	C10	PD2/D10	IN	19
			Control	18
			OUT	17
75	B11	PD3/D11	IN	16
			Control	15
			OUT	14
76	B10	PD4/D12	IN	13
			Control	12
			OUT	11
77	A10	PD5/D13	IN	10
			Control	9
			OUT	8

13. バウンダリスキャン

TFP-100G TFP-100GV Pin No	BP-112 BP-112V Pin No	端子名	入出力	ビット名
78	D8	PD6/D14	IN	7
			Control	6
			OUT	5
79	B9	PD7/D15	IN	4
			Control	3
			OUT	2
80	A9	FWE	IN	1
81	C8	NMI	IN	0
to TDO				

13.4 動作説明

13.4.1 TAP コントローラ

図 13.3 に TAP コントローラの状態遷移図を示します。JTAG で規定されている状態遷移に準拠しています。

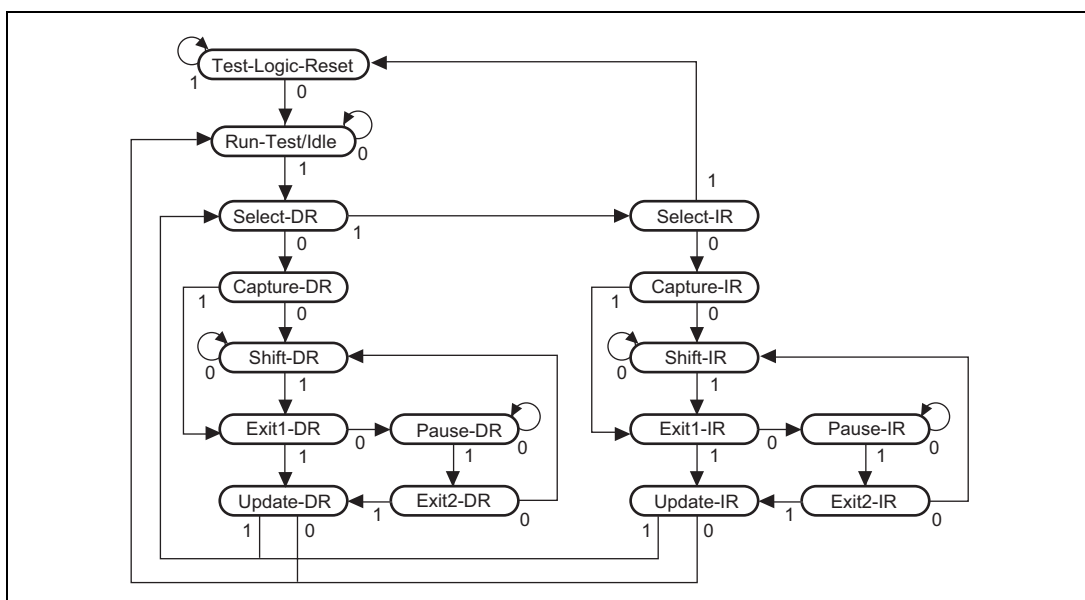


図 13.3 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値は TCK の立ち下がりエッジで変化します。また、TDO は Shift-DR、Shift-IR ステート以外ではハイインピーダンス状態です。TRST=0 で TCK とは非同期で Test-Logic-Reset ステートへ遷移します。

13.5 使用上の注意事項

1. バウンダリスキャン機能を使用する場合は、電源投入時 $\overline{\text{TRST}} = 0$ とし、 t_{RESW} 期間経過後に $\overline{\text{TRST}} = 1$ にしてTCK、TMS、TDIを任意に設定してください。

バウンダリスキャン機能を使用しない通常動作の場合は、TCK、TMS、TDIをHi-Zに設定して、電源投入時 $\overline{\text{TRST}} = 0$ とし、 t_{RESW} 期間経過後に $\overline{\text{TRST}} = 1$ またはHi-Zに設定してください。これらの端子はチップ内部でプルアップされているため、1に設定したときの端子入力電圧値と電源電圧 V_{CC} 間に電位差が生じると貫通電流が流れることがあるのでスタンバイ時など注意してください。

2. $\overline{\text{TRST}}$ に印加するパワーオンリセット信号については、以下のような考慮をお願いいたします。

- 電源投入時に必ずリセット信号を印加してください。
- ボードテストの $\overline{\text{TRST}}$ 信号がLSIのシステム側の動作に影響を与えないように、回路を分離してください。
- 逆にLSIのシステムリセットが、ボードテストの $\overline{\text{TRST}}$ 信号に影響を与えないように、回路を分離してください。図13.4に相互干渉しないリセット系信号の設計例を示します。

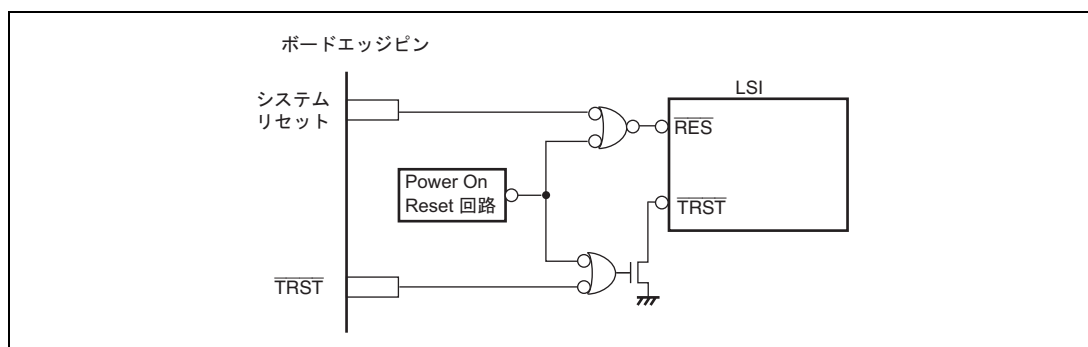


図 13.4 相互干渉しないリセット系信号の設計例

3. TCKのクロックスピードはシステムクロック周波数以下としてください。
4. シリアル転送時のデータ入出力はLSBから開始します。図13.5にシリアルデータ入出力を示します。

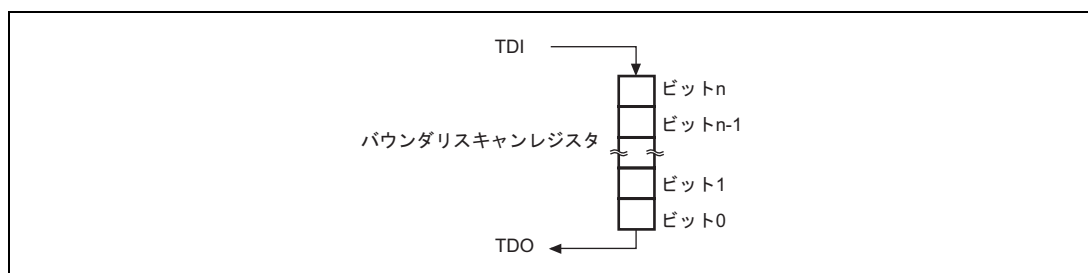


図 13.5 シリアルデータ入出力

13. バウンダリスキャン

5. ブルアップ機能付き端子で、ブルアップ機能有効の状態ではSAMPLEすると、対応するINレジスタで1を見ることができます。このとき対応するControlレジスタは0にしてください。
6. オープンドレイン機能付き端子がオープンドレイン機能有効状態で、対応するOUTレジスタが1のときにSAMPLEすると、Controlレジスタは0になります（このとき端子状態はHi-Zです）。
また、対応するOUTレジスタが0のときにSAMPLEするとControlレジスタは1になります（このとき端子状態は0出力です）。
7. EXTEST、CLAMP、HIGHZに遷移すると、本LSIはガードがかけられた状態（ $\overline{RES} = \overline{STBY} = 0$ のハードウェアスタンバイ状態）になります。EXTEST、CLAMP、HIGHZから別のモード（通常のチップとして動作するモード）に遷移するときは \overline{RES} 、 \overline{STBY} 、FWE、MD2～MD0端子を動作させたいモードに設定してから行ってください。
8. EMLE端子は0にしてください。1にすると本チップはユーザデバッグインタフェース（H-UDI）になります。

EMLE 端子	チップ状態
0	通常チップ動作、バウンダリスキャン
1	ユーザデバッグインタフェース（H-UDI）

14. ユニバーサルシリアルバス (USB)

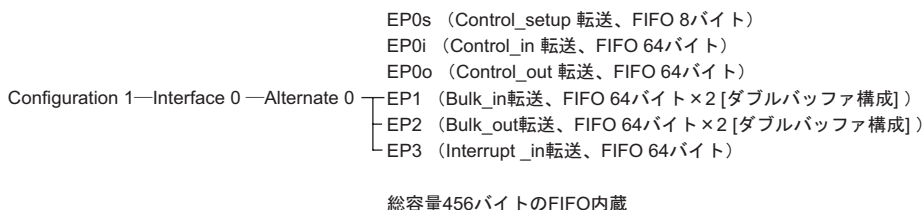
本 LSI は、USB 規格に準拠した USB Function モジュールを内蔵しています。USB のブロック図を図 14.1 に示します。

14.1 特長

- USB規格 Ver2.0のフルスピードモード (12Mbps) をサポート
- 専用端子 ($\overline{\text{UBPM}}$) により、バスパワーモードとセルフパワーモードを選択可能
- USB動作クロック生成用のPLL回路内蔵 (24MHz \times 2 = 48MHz、または16MHz \times 3 = 48MHz)
- バストランシーバ回路内蔵
- 標準コマンドをハードウェアで自動処理可能

Set_Descriptor、Get_Descriptor、Class/VendorCommand、SynchFrameコマンドについてはソフトウェアでの処理が必要になります。

- Set_Configuration割り込みにより、現在のConfiguration値がチェック可能
- 3種類の転送モードをサポート (Control転送、Bulk転送、Interrupt転送)
- EP0、EP1、EP2、EP3の4つのエンドポイント構成



- 割り込み要因：16種類
サスペンド/レジューム割り込み要因は $\overline{\text{IRQ6}}$ に設定可能
上記1要因以外の各割り込み要因はレジスタにより $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ に任意に設定可能
- DMA転送インタフェース
EP1とEP2のBulk転送データに対しDMA転送可能

14. ユニバーサルシリアルバス (USB)

- 外部バスインタフェース方式の8ビットバス3サイクルアクセスタイミングを採用

内蔵レジスタは外部アドレスのエリア6 (H'000000 ~ H'DFFFFFF) に割り当てられています。

アドレスH'000100 ~ H'DFFFFFFはUSBリザーブエリアでありアクセス禁止エリアです。

【注】 本章では、ウォッチ、サブアクティブ、サブスリープ、ソフトウェアスタンバイモードを総称して各種低消費電力モードと記します。

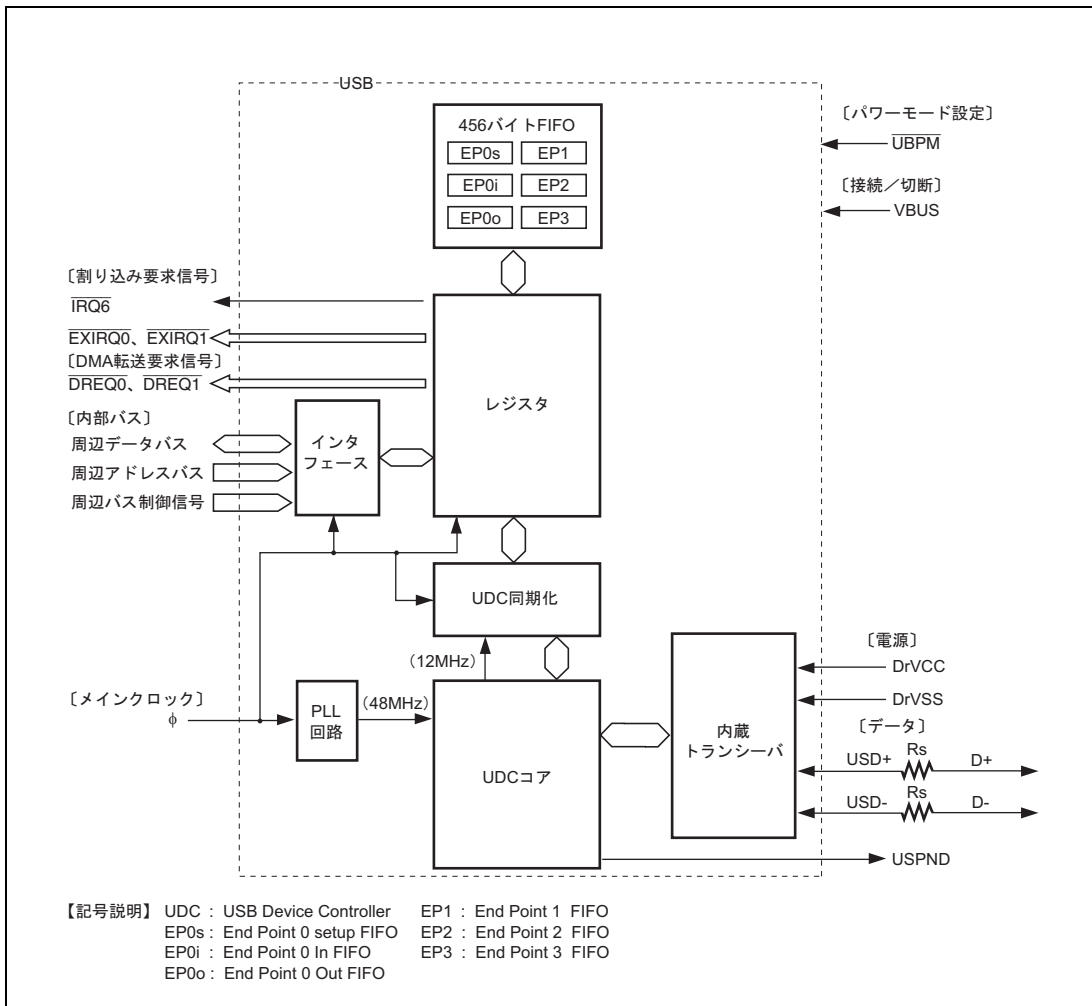


図 14.1 USBのブロック図

14.2 入出力端子

USB の端子構成を表 14.1 に示します。

表 14.1 端子構成

端子名	入出力	機能
USD+	入出力	USB データの入出力端子
USD-		
DrVCC	入力	USB 内蔵トランシーバの電源端子
DrVSS	入力	USB 内蔵トランシーバのグランド端子
VBUS	入力	USB ケーブルの接続 / 切断検出信号端子
UBPM	入力	USB バスパワー / セルフパワーモード設定端子 バスパワーモードで使用するときには 0 に固定してください。 セルフパワーモードで使用するときには 1 に固定してください。
USPND	出力	USB サスペンド出力端子 サスペンド状態に遷移すると High レベルになります。

14.3 レジスタの説明

USB には以下のレジスタがあります。

- USBコントロールレジスタ (UCTLR)
- USB DMAC転送要求レジスタ (UDMAR)
- USBデバイスレジュームレジスタ (UDRR)
- USBトリガレジスタ0 (UTRG0)
- USB FIFOクリアレジスタ0 (UFCLR0)
- USBエンドポイントストールレジスタ0 (UESTL0)
- USBエンドポイントストールレジスタ1 (UESTL1)
- USBエンドポイントデータレジスタ0s (UEDR0s) [Setupデータ受信用]
- USBエンドポイントデータレジスタ0i (UEDR0i) [Control_inデータ送信用]
- USBエンドポイントデータレジスタ0o (UEDR0o) [Control_outデータ受信用]
- USBエンドポイントデータレジスタ3 (UEDR3) [Interrupt_inデータ送信用]
- USBエンドポイントデータレジスタ1 (UEDR1) [Bulk_inデータ送信用]
- USBエンドポイントデータレジスタ2 (UEDR2) [Bulk_outデータ受信用]
- USBエンドポイント受信データサイズレジスタ0o (UESZ0o) [Control_outデータ受信用]
- USBエンドポイント受信データサイズレジスタ2 (UESZ2) [Bulk_outデータ受信用]

14. ユニバーサルシリアルバス (USB)

- USB割り込みフラグレジスタ0 (UIFR0)
- USB割り込みフラグレジスタ1 (UIFR1)
- USB割り込みフラグレジスタ3 (UIFR3)
- USB割り込みイネーブルレジスタ0 (UIER0)
- USB割り込みイネーブルレジスタ1 (UIER1)
- USB割り込みイネーブルレジスタ3 (UIER3)
- USB割り込み選択レジスタ0 (UISR0)
- USB割り込み選択レジスタ1 (UISR1)
- USB割り込み選択レジスタ3 (UISR3)
- USBデータステータスレジスタ (UDSR)
- USBコンフィグレーションバリューレジスタ (UCVR)
- USBテストレジスタ0 (UTSTR0)
- USBテストレジスタ1 (UTSTR1)
- USBテストレジスタ2、A~F (UTSTR2、A~F)
- モジュールストップコントロールレジスタB (MSTPCRB)
- 拡張モジュールストップレジスタ (EXMDLSTP)

14.3.1 USB コントロールレジスタ (UCTLR)

USB 動作クロックの選択、および USB モジュール内のリセットを制御するレジスタです。USB モジュールストップ 2 (MSTPCRB レジスタ MSTPB0) = 1 状態でもリード/ライト可能です。UCTLR の設定フローは、「14.5 通信動作説明」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット ライトするときは、0 をライトしてください。
6	TMOWE	0	R/W	TMOW 端子イネーブルビット 0 : USPND/TMOW 端子は、USB の USPND 出力 1 : USPND/TMOW 端子は、RTC の TMOW 出力
5 4 3 2	UCKS3 UCKS2 UCKS1 UCKS0	0 0 0 0	R/W R/W R/W R/W	USB 動作クロックセレクト 3~0 USB 動作クロック (48MHz) を生成する内蔵 PLL を制御するビットです。 UCKS3~UCKS0 = 0000 のときは、PLL が停止していますので、クロックソースにあわせて USB 動作クロックを選択する必要があります。 内蔵 PLL は、USB モジュールストップ 2 を解除したあとから動作開始します。 また、UDC コアへの USB 動作クロックは、さらに USB 動作クロックの安定待ち時間分を待たされたあとに供給されます。USB 動作クロック安定待ち時間終了タイミングは、UIFR3 レジスタの CK48READY フラグで検出可能です。 UCKS3~0 のライトは、USB モジュールストップ 2 (MSTPB0) が 1 のときに行ってください。 0000 : USB 動作クロック停止 (PLL 動作停止) 0001 : リザーブ 001x : リザーブ 010x : リザーブ 0110 : 24MHz メイン発振を PLL で 2 逓倍 (48MHz) したクロックを使用 0111 : 16MHz メイン発振を PLL で 3 逓倍 (48MHz) したクロックを使用 1xxx : リザーブ USB 動作クロック安定待ち時間はすべて 2ms です。 【記号説明】 x : Don't care

14. ユニバーサルシリアルバス (USB)

ビット	ビット名	初期値	R/W	説明
1	UIFRST	1	R/W	<p>USB インタフェースソフトリセット</p> <p>UIFRST ビットは、USB モジュール内のリセットを制御します。UIFRST ビットを 1 にセットすると、UCTLR、UIER3 レジスタ、および UIFR3 レジスタの CK48READY ビットを除き、USB モジュール内がすべてリセットされます。初期設定時は、USB モジュールストップ 2 を解除し、USB 動作クロック (48MHz) 安定時間をウェイトしたあとに UIFRST ビットを 0 にクリアしてください。</p> <p>0 : USB モジュール内を動作状態に設定 (初期設定時は、USB 動作クロック安定時間分ウェイト後に 0 クリアしてください)</p> <p>1 : UCTLR、UIER3、および UIFR3 レジスタの CK48READY ビットを除く、USB モジュール内をリセット状態に設定</p> <p>一度 UIFRST ビットを 0 クリアしたあとに、再び 1 セットする場合は、必ず同時に UDCRST ビットも 1 にセットしてください。</p>
0	UDCRST	1	R/W	<p>UDCRST ビットは、USB モジュール内の UDC コア部のリセットを制御します。UDCRST ビットを 1 にセットすると、UDC コアがリセットされ、USB バス同期動作が停止します。初期設定時は UIFRST ビットを 0 クリアし、ポート (P36) 制御による D+ プルアップ後に UDCRST ビットを 0 にクリアしてください。ただし、サスペンド時は、UDC コア内の状態を保持する必要があるため、必ず UDCRST ビットを 0 に保持したまま、USB モジュールストップ 2 設定後、各種低消費電力モードに遷移してください。また、VBUS 切断検出後は 1 にセットしてください。</p> <p>0 : USB モジュール内の UDC コアを動作状態に設定 (初期設定時は、UIFRST ビットを 0 クリアし、ポート制御による D+ プルアップ後に 0 クリアしてください)</p> <p>1 : USB モジュール内の UDC コアをリセット状態に設定 (サスペンド時の 1 セットは禁止です。VBUS 切断検出後は 1 にセットしてください)</p>

14.3.2 USB DMAC 転送要求レジスタ (UDMAR)

Bulk 転送用の EP1、EP2 の各データレジスタ (UEDR1、UEDR2) に対して内蔵 DMAC の USB リクエストによるデータ転送をするときに設定します。DMAC 転送設定は、 $\overline{\text{DREQ0}}$ と $\overline{\text{DREQ1}}$ を分けて設定してください。 $\overline{\text{DREQ}}$ を重複設定した場合の動作は保証できません。DMAC 転送の詳細動作については、「14.6 DMA 転送仕様」を参照してください。

【注】 内蔵 DMAC のオートリクエストによるデータ転送時は $\overline{\text{DREQ}}$ 信号を使用しませんので、UDMAR = H'00 にしてください。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	EP2T1	0	R/W	EP2 DMAC 転送要求セレクト 1、0 00 : EP2 の DMAC 転送要求はしない 01 : リザーブ 10 : EP2 の DMAC 転送を $\overline{\text{DREQ0}}$ で要求する 11 : EP2 の DMAC 転送を $\overline{\text{DREQ1}}$ で要求する
2	EP2T0	0	R/W	
1	EP1T1	0	R/W	EP1 DMAC 転送要求セレクト 1、0 00 : EP1 の DMAC 転送要求はしない 01 : リザーブ 10 : EP1 の DMAC 転送を $\overline{\text{DREQ0}}$ で要求する 11 : EP1 の DMAC 転送を $\overline{\text{DREQ1}}$ で要求する
0	EP1T0	0	R/W	

14. ユニバーサルシリアルバス (USB)

14.3.3 USB デバイスレジュームレジスタ (UDRR)

UDRR には、ホストからのリモートウェイクアップの禁止 / 許可状態を示すステータスビットと USB モジュールのサスペンド状態のリモートウェイクアップを実行するビットがあります。

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	RWUPs	0	R	リモートウェイクアップステータス ホストからのリモートウェイクアップの禁止 / 許可状態を示すステータスビットです。RWUPs はステータスビットですのでライトできません。 Set_Feature/Clear_Feature リクエストによる Device_Remote_Wakeup で、ホストからリモートウェイクアップが禁止されると、RWUPs ビットが 0 クリアされます。リモートウェイクアップが許可されると、RWUPs ビットが 1 セットされます。 0 : リモートウェイクアップ禁止状態 1 : リモートウェイクアップ許可状態
0	DVR	0	W	デバイスレジューム サスペンド状態を解除 (リモートウェイクアップ実行) できるビットです。 DVR ビットは、1 ライトのみ可能です。リードすると常に 0 が読み出されます。 リモートウェイクアップを実行する前には、USB モジュールにクロックを供給する必要があるため、各種低消費電力モードや USB モジュールストップモードを解除してください。 0 : 何も行われません 1 : サスペンド状態を解除可能 (リモートウェイクアップ実行)

14.3.4 USB トリガレジスタ 0 (UTRG0)

EP0～EP3 の各エンドポイントの FIFO に対するトリガを与えるワンショットレジスタです。

詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	EP2RDFN	0	W	EP2 読み出し完了 0: 何も行われません。 1: EP2 の OUT FIFO に対するデータリードが終了したあと、1 ライトを行います。EP2 は FIFO が 2 面構成になっています。このトリガは現在有効になっている面に対して行われます。
4	EP1PKTE	0	W	EP1 パケットイネーブル 0: 何も行われません。 1: EP1 の IN FIFO に対する送信許可を行うトリガを与えます。EP1 は FIFO が 2 面構成になっています。このトリガは現在有効になっている面に対して行われます。
3	EP3PKTE	0	W	EP3 パケットイネーブル 0: 何も行われません。 1: EP3 の IN FIFO に対する送信許可を行うトリガを与えます。
2	EP0oRDFN	0	W	EP0o 読み出し完了 0: 何も行われません。 1: EP0o の OUT FIFO に対するデータリードが終了したあと、1 ライトを行います。このトリガによって EP0o は次のパケットを受信可能になります。
1	EP0iPKTE	0	W	EP0i パケットイネーブル 0: 何も行われません。 1: EP0i の IN FIFO に対する送信許可を行うトリガを与えます。
0	EP0sRDFN	0	W	EP0s 読み出し完了 0: 何も行われません。1 ライトを行うまでデータステージの送受信要求に対して、NAK ハンドシェイクを返します。 1: EP0s のコマンド用 FIFO に対するデータリードが終了したあと、1 ライトを行います。セットアップコマンド受信後、このトリガによって EP0i、EP0o はデータステージのパケットを受信可能になります。EP0s はこのトリガに関係なく常に上書きで受信します。

14.3.5 USB FIFO クリアレジスタ 0 (UFCLR0)

EP0～EP3の各エンドポイントのFIFOをクリアするワンショットレジスタです。各ビットに1ライトすることで、対応するFIFO内のデータをクリアすることができます。

IN FIFOの場合は、データライト後にUTRG0レジスタのPKTEへ1ライトをしていないデータやUTRG0レジスタのPKTEへの1ライトによって有効になったデータをクリアできます。

OUT FIFOの場合は、まだ受信中で確定していないデータや受信完了したデータ(UTRG0レジスタのRDFNビットへ1ライトをしていないデータ)がクリアされます。そのため送受信中のクリアは行わないようにしてください。EP1、EP2の2面構成のFIFOに対しては、2面ともクリアされます。このトリガでは、対応する割り込みフラグはクリアされませんので注意してください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
5	EP2CLR	0	W	EP2 クリア* 0: 何も行われません。 1: EP2のOUT FIFOをクリアします。
4	EP1CLR	0	W	EP1 クリア 0: 何も行われません。 1: EP1のIN FIFOをクリアします。
3	EP3CLR	0	W	EP3 クリア 0: 何も行われません。 1: EP3のIN FIFOをクリアします。
2	EP0oCLR	0	W	EP0o クリア 0: 何も行われません。 1: EP0oのOUT FIFOをクリアします。
1	EP0iCLR	0	W	EP0i クリア 0: 何も行われません。 1: EP0iのIN FIFOをクリアします。
0	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

【注】 * DMA転送をイネーブルしているとき(UDMAR/EP2T1=1、EP2T0=0または1)は、EP2CLRに1をライトしてもFIFO内のデータをクリアすることができません。クリアを行う場合は、DMA転送を解除してから(UDMAR/EP2T1=0、EP2T0=0)EP2CLRに1をライトしてください。

14.3.6 USB エンドポイントストールレジスタ 0 (UESTL0)

EP0～EP3の各エンドポイントをストールさせるレジスタです。1をライトすると、次の転送から1にセットされたエンドポイントは、ホストに対してストールハンドシェイクを返します。エンドポイント0に対するストールビットは、ファンクションでコマンドデコードを行う8バイトのデータ受信時に自動的に解除され、EP0 STL ビットは0クリアされます。また、UIFR0レジスタのSetupTSフラグが1にセットされている場合、EP0 STL ビットへの1ライトは無視されます。詳細は、「14.5.9 ストール動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
5	EP2STL	0	R/W	EP2 ストール 0: EP2 のストール状態を解除する。 1: EP2 をストールに設定する。
4	EP1STL	0	R/W	EP1 ストール 0: EP1 のストール状態を解除する。 1: EP1 をストールに設定する。
3	EP3STL	0	R/W	EP3 ストール 0: EP3 のストール状態を解除する。 1: EP3 をストールに設定する。
2、1	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
0	EPOSTL	0	R/W	EP0 ストール 0: EP0 のストール状態を解除する。 1: EP0 をストールに設定する。

14.3.7 USB エンドポイントストールレジスタ 1 (UESTL1)

全エンドポイント共通のストール解除制御ができるレジスタです。

ビット	ビット名	初期値	R/W	説明
7	SCME	0	R/W	リザーブビット ライトするときは、必ず0をライトしてください。
6～0	-	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

14. ユニバーサルシリアルバス (USB)

14.3.8 USB エンドポイントデータレジスタ 0s (UEDR0s)

UEDR0s は、エンドポイント 0 (Control_out 転送用) のセットアップコマンド格納用レジスタです。セットアップステージで、ホストから送られた 8 バイトのコマンドデータが格納されます。

格納データをリード中に次のセットアップステージのデータ受信が開始された場合の動作については、「14.8 使用上の注意事項」を参照してください。UEDR0s は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送/ロングワード転送による 2 バイト/4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	-	R	Control_out 転送時のセットアップコマンドが格納されるレジスタ

14.3.9 USB エンドポイントデータレジスタ 0i (UEDR0i)

UEDR0i は、エンドポイント 0 (Control_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR0i は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送/ロングワード転送による 2 バイト/4 バイト連続ライトが可能です。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	すべて 0	W	Control_in 転送用のデータレジスタ

14.3.10 USB エンドポイントデータレジスタ 0o (UEDR0o)

UEDR0o は、エンドポイント 0 (Control_out 転送用) のデータレジスタです。ホストからの受信データが格納されます。リードするときのデータ数は、必ず UESZ0o レジスタで指定されるバイト数の連続リードにしてください。UEDR0o を 1 バイトリードするごとに、UESZ0o が -1 されます。UEDR0o は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送/ロングワード転送による 2 バイト/4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	-	R	Control_out 転送用のデータレジスタ

14.3.11 USB エンドポイントデータレジスタ 3 (UEDR3)

UEDR3 は、エンドポイント 3 (Interrupt_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR3 は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続ライトが可能です。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	すべて 0	W	Interrupt_in 転送用のデータレジスタ

14.3.12 USB エンドポイントデータレジスタ 1 (UEDR1)

UEDR1 は、エンドポイント 1 (Bulk_in 転送用) のデータレジスタです。ホストに送るデータをライトします。連続ライトのデータ数は、必ず最大パケットサイズ以下にしてください。UEDR1 は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続ライトが可能です。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	すべて 0	W	Bulk_in 転送用のデータレジスタ

14.3.13 USB エンドポイントデータレジスタ 2 (UEDR2)

UEDR2 は、エンドポイント 2 (Bulk_out 転送用) のデータレジスタです。ホストからの受信データが格納されます。リードするときのデータ数は、必ず UESZ2 レジスタで指定されるバイト数の連続リードにしてください。UEDR2 を 1 バイトリードするごとに、UESZ2 が - 1 されます。UEDR2 は、1 バイトのレジスタですが、1 つのレジスタに対して 4 バイト分のアドレスを割り当てていますので、ワード転送 / ロングワード転送による 2 バイト / 4 バイト連続リードが可能です。

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	-	R	Bulk_out 転送用のデータレジスタ

14. ユニバーサルシリアルバス (USB)

14.3.14 USB エンドポイント受信データサイズレジスタ 0o (UESZ0o)

UESZ0o は、エンドポイント 0 (Control_out 転送用) の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。UEDR0o を 1 バイトリードするごとに、-1 されるので注意してください。

ビット	ビット名	初期値	R/W	説明
7	-	-	R	リザーブビット
6~0	D6~D0	-	R	Control_out 転送データの受信サイズレジスタ

14.3.15 USB エンドポイント受信データサイズレジスタ 2 (UESZ2)

UESZ2 は、エンドポイント 2 (Bulk_out 転送用) の受信データサイズレジスタです。ホストから受信したデータのバイト数を示します。UEDR2 を 1 バイトリードするごとに、-1 されるので注意してください。

エンドポイント 2 の Bulk_out 転送用の FIFO は 2 面構成になっています。レジスタに示される受信データサイズは、現在読み出し可能な面に対するサイズです。

ビット	ビット名	初期値	R/W	説明
7	-	-	R	リザーブビット
6~0	D6~D0	-	R	Bulk_out 転送データの受信サイズレジスタ

14.3.16 USB 割り込みフラグレジスタ 0 (UIFR0)

セットアップコマンド受信、EP0、EP3 の送受信、バスリセットの割り込みフラグレジスタです。

各フラグが 1 にセットされると、対応する $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ 割り込み要求が出力されます。フラグクリアは、0 を書き込むことで行います。1 書き込みは無効で、何も行われません。したがって、あるフラグのみをクリアする際は、該当ビットのみ 0、その他のビットはすべて 1 としてライトする必要があります (ビット 5 のみクリアする場合は、H'DF をライト)。ビットクリア命令は、リード/モディファイ/ライト命令であり、リードとライトの間に新規フラグが発生すると、誤ってクリアしてしまう危険があります。そのため、本割り込みフラグレジスタのクリア時は、ビットクリア命令は使用しないでください。

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/(W)*	バスリセット USB バス上でバスリセット信号を検出したとき 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。 USB ケーブル接続時に D+ をプルアップしていないとき、BRST = 1 になりますので注意してください。
6	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	EP3TR	0	R/(W)*	EP3 転送リクエスト EP3 にホストから IN トークンが発行され、FIFO がエンプティのときに 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
4	EP3TS	0	R/(W)*	EP3 送信完了 ホストへ送信するデータを EP3 にライトしたあと、ホストへ正常にデータが送信され、ACK ハンドシェイクが返ってきたとき、1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
3	EP0oTS	0	R/(W)*	EP0o 受信完了 ホストからのデータを EP0o で正常受信し、ホストに ACK ハンドシェイクを返したとき、1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
2	EP0iTR	0	R/(W)*	EP0i 転送リクエスト EP0i にホストから IN トークンが発行され、FIFO がエンプティのときに 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
1	EP0iTS	0	R/(W)*	EP0i 送信完了 ホストへ送信するデータを EP0i にライトしたあと、ホストへ正常にデータが送信され、ACK ハンドシェイクが返ってきたとき 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
0	SetupTS	0	R/(W)*	セットアップコマンド受信完了 ファンクションでコマンドデコードを行う 8 バイトのデータを EP0s で正常受信し、ホストへ ACK ハンドシェイクを返したとき 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.17 USB 割り込みフラグレジスタ 1 (UIFR1)

EP1、EP2 のステータスによる割り込みフラグレジスタです。

各フラグが 1 にセットされると、対応する $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ 割り込み要求が出力されます。EP1TR のフラグクリアは、0 を書き込むことで行います。1 書き込みは無効で何も行われません。したがって、あるフラグのみをクリアする際は、該当ビットのみ 0、その他のビットはすべて 1 としてライトする必要があります (ビット 1 をクリアする場合は、HFD をライト)。ビットクリア命令は、リード/モディファイ/ライト命令であり、リードとライトの間に新規フラグが発生すると、誤ってクリアしてしまう危険があります。そのため、本割り込みフラグレジスタのクリア時は、ビットクリア命令は使用しないでください。EP1EMPTY、EP2READY、EP1ALLEMPTYs の各ステータスは、EP1、EP2 の FIFO 状態を示すステータスビットですのでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	EP1ALL EMPTYs	1	R	EP1 FIFO オールエンプティステータス EP1 の FIFO は 2 面構成になっています。このとき、2 面ともエンプティのときに 1 にセットされます。(UDSR/EP1DE の負極性信号に相当します) EP1ALLEMPTYs での割り込み要求はできません。
2	EP2READY	0	R	EP2 データレディ EP2 の FIFO は 2 面構成になっています。このとき、少なくとも 1 面の FIFO 内に有効データが格納されたときに 1 がセットされます。2 面とも空きの場合は 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
1	EP1TR	0	R(W)*	EP1 転送リクエスト EP1 にホストから IN トークンが発行され、2 面とも FIFO がエンプティのときに 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
0	EP1EMPTY	1	R	EP1 FIFO エンプティ EP1 の FIFO は 2 面構成になっています。このとき、少なくとも 1 面以上 FIFO がエンプティのときに 1 にセットされます。2 面とも FULL の場合は 0 クリアされます。ステータスビットであるためクリアはできません。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.18 USB 割り込みフラグレジスタ 3 (UIFR3)

USB のステータスによる割り込みフラグレジスタです。各フラグが 1 にセットされると、対応する $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ 、 $\overline{\text{IRQ6}}$ 割り込み要求が出力されます。VBUSi、SPRSi、SETC、SOF、CK48READY の各フラグクリアは、0 を書き込むことで行います。1 書き込みは無効です。したがって、あるフラグのみをクリアする際は、該当ビットのみ 0、その他のビットはすべて 1 としてライトする必要があります (ビット 5 のみクリアする場合は、H'DF をライト)。ビットクリア命令は、リード/モディファイ/ライト命令であり、リードとライトの間に新規フラグが発生すると、誤ってクリアしてしまう危険があります。そのため、本割り込みフラグレジスタのクリア時は、ビットクリア命令は使用しないでください。VBUSs、SPRSs はステータスビットですのでクリアはできません。

ビット	ビット名	初期値	R/W	説明
7	CK48READY	0	R/(W)*	USB 動作クロック (48MHz) 安定検出 USB モジュールストップモード解除後の USB 動作クロック (48MHz) 安定時間を自動カウントしたあと、1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。 CK48READY は、USB インタフェースソフトリセット状態 (UCTLR レジスタ UIFRST = 1) でも動作します。詳細は「14.3.1 USB コントロールレジスタ (UCTLR)」の UCKS3 ~ UCKS0 ビットを参照してください。
6	SOF	0	R/(W)*	Start of Frame パケット検出 Start of Frame (SOF) パケットを検出したとき 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
5	SETC	0	R/(W)*	Set_Configuration コマンド検出 Set_Configuration コマンドを検出したとき 1 にセットされます。 対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。
4	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	SPRSs	0	R	サスペンド/レジュームステータス SPRSs での割り込み要求はできません。 0 : バス状態が通常状態であることを示します。 1 : バス状態がサスペンド状態であることを示します。
2	SPRSi	0	R/(W)*	サスペンド/レジューム割り込み 通常状態からサスペンド状態、またはサスペンド状態から通常状態に遷移したとき 1 にセットされます。対応する割り込み出力は $\overline{\text{IRQ6}}$ です。レジューム時の各種低消費電力モード状態の解除に使用できます。
1	VBUSs	0	R	VBUS ステータス USB ケーブルの接続/切断による VBUS 状態を示すステータスビットです。VBUSs での割り込み要求はできません。 0 : VBUS (USB ケーブル) 切断状態を示します。 1 : VBUS (USB ケーブル) 接続状態を示します。

14. ユニバーサルシリアルバス (USB)

ビット	ビット名	初期値	R/W	説明
0	VBUSi	0	R/(W)*	VBUS 割り込み USB ケーブルの接続 / 切断により VBUS 状態が変化したとき 1 にセットされます。対応する割り込み出力は、 $\overline{\text{EXIRQ0}}$ または $\overline{\text{EXIRQ1}}$ です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.19 USB 割り込みイネーブルレジスタ 0 (UIER0)

割り込みフラグレジスタ 0 (UIFR0) の各割り込みを許可するレジスタです。

UIER0 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ がアサートされ、割り込みを要求します。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ の選択は、割り込み選択レジスタ 0 (UISR0) で行ってください。

ビット	ビット名	初期値	R/W	説明
7	BRSTE	0	R/W	BRST 割り込みイネーブル
6	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP3TRE	0	R/W	EP3TR 割り込みイネーブル
4	EP3TSE	0	R/W	EP3TS 割り込みイネーブル
3	EP0oTSE	0	R/W	EP0oTS 割り込みイネーブル
2	EP0ITRE	0	R/W	EP0ITR 割り込みイネーブル
1	EP0ITSE	0	R/W	EP0ITS 割り込みイネーブル
0	SetupTSE	0	R/W	SetupTS 割り込みイネーブル

14.3.20 USB 割り込みイネーブルレジスタ 1 (UIER1)

割り込みフラグレジスタ 1 (UIFR1) の各割り込みを許可するレジスタです。

UIER1 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ がアサートされ、割り込みを要求します。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ の選択は、割り込み選択レジスタ 1 (UISR1) で行ってください。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
3	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
2	EP2READYE	0	R/W	EP2READY 割り込みイネーブル
1	EP1TRE	0	R/W	EP1TR 割り込みイネーブル
0	EP1EMPTYE	0	R/W	EP1EMPTY 割り込みイネーブル

14.3.21 USB 割り込みイネーブルレジスタ 3 (UIER3)

割り込みフラグレジスタ 3 (UIFR3) の各割り込みを許可するレジスタです。

USB モジュールストップ 2 (MSTPCRB レジスタ MSTPB0) = 1 状態でもリード/ライト可能です。

UIER3 の各ビットが 1 にセットされている場合、対応する割り込みフラグが 1 にセットされると、対応する $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ がアサートされ、割り込みが要求されます。 $\overline{\text{EXIRQ0}}$ 、 $\overline{\text{EXIRQ1}}$ の選択は、割り込み選択レジスタ 3 (UISR3) で行ってください。ただし、SPRSiE ビットは $\overline{\text{IRQ6}}$ 専用の割り込み許可ビットであるため UISR3 レジスタで選択することはできません。

ビット	ビット名	初期値	R/W	説明
7	CK48READY E	1	R/W	CK48READY 割り込みイネーブル
6	SOFE	0	R/W	SOF 割り込みイネーブル
5	SETCE	0	R/W	SETC 割り込みイネーブル
4, 3	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
2	SPRSiE	0	R/W	SPRSi 割り込みイネーブル ($\overline{\text{IRQ6}}$ 専用)
1	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
0	VBUSiE	0	R/W	VBUSi 割り込みイネーブル

14.3.22 USB 割り込み選択レジスタ 0 (UISR0)

割り込みフラグレジスタ 0 (UIFR0) の各割り込み要求を出力する $\overline{\text{EXIRQ}}$ を設定するレジスタです。UISR0 レジスタの対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$ から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$ から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7	BRSTS	0	R/W	BRST 割り込み選択
6	-	0	R	リザーブビット リードすると常に 0 が読み出されます。
5	EP3TRS	0	R/W	EP3TR 割り込み選択
4	EP3TSS	0	R/W	EP3TS 割り込み選択
3	EP0oTSS	0	R/W	EP0oTS 割り込み選択
2	EP0iTRS	0	R/W	EP0iTR 割り込み選択
1	EP0iTSS	0	R/W	EP0iTS 割り込み選択
0	SetupTSS	0	R/W	SetupTS 割り込み選択

14. ユニバーサルシリアルバス (USB)

14.3.23 USB 割り込み選択レジスタ 1 (UISR1)

割り込みフラグレジスタ 1 (UIFR1) の各割り込み要求を出力する $\overline{\text{EXIRQ}}$ を設定するレジスタです。UISR1 レジスタの対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$ から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$ から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
3	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
2	EP2READYS	0	R/W	EP2READY 割り込み選択
1	EP1TRS	0	R/W	EP1TR 割り込み選択
0	EP1EMPTY	0	R/W	EP1EMPTY 割り込み選択

14.3.24 USB 割り込み選択レジスタ 3 (UISR3)

割り込みフラグレジスタ 3 (UIFR3) の各割り込み要求を出力する $\overline{\text{EXIRQ}}$ を設定するレジスタです。UISR3 レジスタの対応するビットを 0 にクリアすると、 $\overline{\text{EXIRQ0}}$ から割り込み要求が出力され、1 をセットすると、 $\overline{\text{EXIRQ1}}$ から割り込み要求が出力されます。

ビット	ビット名	初期値	R/W	説明
7	CK48READYS	0	R/W	CK48READY 割り込み選択
6	SOFS	0	R/W	SOF 割り込み選択
5	SETCS	0	R/W	SETC 割り込み選択
4~1	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。
0	VBUSiS	0	R/W	VBUSi 割り込み選択

14.3.25 USB データステータスレジスタ (UDSR)

IN FIFO データレジスタ (EP0i、EP1、EP3) 内の有効データの有無を示すステータスレジスタです。

IN FIFO にライトしたデータが、UTRG0 レジスタの PKTE ビットの 1 ライトによって有効になったとき 1 にセットされます。また、有効にしたデータがすべてホストに送信されたとき、0 にクリアされます。EP1 の 2 面構成 FIFO の場合は、2 面ともデータがなくなったときに 0 を示します。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	EP1DE	0	R	EP1 データイネーブル 0: EP1 に有効データがないとき。 1: EP1 に有効データがあるとき。 UIFR1/EP1ALLEMPYs の負極性信号に相当します。
1	EP3DE	0	R	EP3 データイネーブル 0: EP3 に有効データがないとき。 1: EP3 に有効データがあるとき。
0	EP0iDE	0	R	EP0i データイネーブル 0: EP0i に有効データがないとき。 1: EP0i に有効データがあるとき。

14.3.26 USB コンフィグレーションバリュeregist (UCVR)

ホストから Set_Configuration コマンドを受け取ったときの Configuration 値が格納されるレジスタです。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	CNFV0	0	R	Configuration Value0 Set_Configuration コマンドを受け取ったときの Configuration 値が格納されます。CNFV0 ビットの更新タイミングは、UIFR3 レジスタの SETC = 1 セット時です。
4~0	-	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

14. ユニバーサルシリアルバス (USB)

14.3.27 USB テストレジスタ 0 (UTSTR0)

内蔵トランシーバ出力信号を制御できるテストレジスタです。UCTLR/UIFRST = 0、UDCRST = 0 設定後に、PTSTE = 1 に設定することで、トランシーバ出力信号 (USD+, USD-) を任意設定できます。UTSTR0 設定と端子出力値の関係を表 14.2 に示します。

ビット	ビット名	初期値	R/W	説明
7	PTSTE	0	R/W	端子テストイネーブル 内蔵トランシーバ出力端子 (USD+, USD-) と USPND 端子のテスト制御を有効にするビットです。
6~4		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	SUSPEND	0	R/W	内蔵トランシーバ出力信号設定ビット SUSPEND : 内蔵トランシーバの USPND 端子信号設定 OE : 内蔵トランシーバの出カイネーブル (OE) 信号設定 FSE0 : 内蔵トランシーバの Single-ended 0 (FSE0) 信号設定 VPO : 内蔵トランシーバの USD+ (VPO) 信号設定
2	OE	1	R/W	
1	FSE0	0	R/W	
0	VPO	0	R/W	

表 14.2 UTSTR0 設定と端子出力値の関係

レジスタ設定値			端子出力値	端子入力	レジスタ設定値				端子出力値	
UCTLR/ TMOWE	PTSTE	SUSPEND	USPND/ TMOW	VBUS	PTSTE	OE	FSE0	VPO	USD+	USD-
1	x	x	-	0	x	x	x	x	Hi-Z	Hi-Z
0	0	x	-	1	0	x	x	x	-	-
0	1	0	0	1	1	0	0	0	0	1
0	1	1	1	1	1	0	0	1	1	0
				1	1	0	1	x	0	0
				1	1	1	x	x	Hi-Z	Hi-Z

【記号説明】

x : Don't care

- : 制御不可能なところです。そのときの USB 動作状態やポート設定による通常動作の端子状態となります。

14.3.28 USB テストレジスタ 1 (UTSTR1)

USB 制御端子と内蔵トランシーバ入力信号がモニタできるテストレジスタです。端子入力値と UTSTR1 モニタの関係を表 14.3 に示します。

ビット	ビット名	初期値	R/W	説明
7	VBUS	*	R	内蔵トランシーバ入力信号モニタビット VBUS : VBUS 端子モニタビット UBPM : UBPM 端子モニタビット
6	UBPM	*	R	
5~3		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	RCV	*	R	内蔵トランシーバ入力信号モニタビット RCV : 内蔵トランシーバの差動入力レベル (RCV) 信号モニタビット VP : 内蔵トランシーバの USD+ (VP) 信号モニタビット VM : 内蔵トランシーバの USD- (VM) 信号モニタビット
1	VP	*	R	
0	VM	*	R	

【注】 * VBUS、UBPM、USD+、USD- 端子の状態により決定されます。

表 14.3 端子入力値と UTSTR1 モニタの関係

端子入力値		UTSTR1 モニタ値		レジスタ設定値		端子入力値			UTSTR1 モニタ値		
VBUS	UBPM	VBUS	UBPM	UTSTR0/ PTSTE	UTSTR0/ SUSPEND	VBUS	USD+	USD-	RCV	VP	VM
0/1	x	0/1	x	x	x	0	x	x	0	0	0
x	0/1	x	0/1	0	x	1	0	0	x	0	0
				0	x	1	0	1	0	0	1
				0	x	1	1	0	1	1	0
				0	x	1	1	1	x	1	1
				1	0	1	0	0	x	0	0
				1	0	1	0	1	0	0	1
				1	0	1	1	0	1	1	0
				1	0	1	1	1	x	1	1
				1	1	1	0	0	0	0	0
				1	1	1	0	1	0	0	1
				1	1	1	1	0	0	1	0
				1	1	1	1	1	0	1	1

【記号説明】

x : Don't care

0/1 : 端子入力値 = UTSTR1 モニタ値となる組み合わせ

14. ユニバーサルシリアルバス (USB)

14.3.29 USB テストレジスタ 2、A ~ F (UTSTR2、UTSTRA ~ UTSTRF)

テストレジスタです。ライトは禁止です。

14.3.30 モジュールストップコントロールレジスタ B (MSTPCRB)

ビット	ビット名	初期値	R/W	説明
7	MSTPB7	1	R/W	モジュールストップビット 詳細は「20.1.3 モジュールストップコントロールレジスタ A ~ C (MSTPCRA ~ MSTPCRC)」を参照してください。
6	MSTPB6	1	R/W	
5	MSTPB5	1	R/W	
4	MSTPB4	1	R/W	
3	MSTPB3	1	R/W	
2	MSTPB2	1	R/W	
1	MSTPB1	1	R/W	
0	MSTPB0	1	R/W	USB モジュールストップ 2 0 : USB モジュールストップ完全解除 USB モジュールにクロックが完全供給されます。 必ず、本ビットを 0 クリアする前に、EXMDLSTP レジスタの USBSTOP1 を 0 クリアしてください。 本ビットクリア後、内蔵 PLL 回路が動作開始します。USB 動作クロック安定時間 (UIFR3 レジスタ CK48READY = 1 セット) を待ってから、USB モジュール内レジスタをアクセスしてください。 1 : USB モジュール部分的ストップ 内蔵 PLL 回路および大部分の USB モジュール内クロックは停止します。ただし、USB モジュール内レジスタ値は保持されます。

14.3.31 拡張モジュールストップレジスタ (EXMDLSTP)

ビット	ビット名	初期値	R/W	説明
7~2		不定		リザーブビット リードは不定です。ライトは無効です。
1	RTCSTOP	0	R/W	RTC モジュールストップ 0 : RTC モジュールストップ解除 1 : RTC モジュールストップ
0	USBSTOP1	0	R/W	USB モジュールストップ 1 0 : USB モジュールストップ一部解除 USB モジュールの一部にクロックが供給されます。 本ビットクリア後、USB モジュール内の UCTLR と UIER3 レジスタのみがアクセス可能になります。その他のレジスタをアクセスするためには、MSTPCRB レジスタの MSTPB0 を 0 クリアしてください。 1 : USB モジュール完全ストップ USB モジュール内クロックは完全停止します。 ただし、USB モジュール内レジスタ値は保持されます。

- 【注】 1. USB モジュールストップモード解除フローは「14.5 通信動作説明」を参照してください。
2. ポート D レジスタ(PORTD)による端子状態のリードをする場合は、EXMDLSTP をアクセスしたあとに H'FFFF40 ~ H'FFFF5F 範囲外の外部アドレス空間(H'FFFEFC0 ~ H'FFF7FF)を一度ダミーリードしてから PORTD をリードしてください。

14.4 割り込み要因

本モジュールは 3 本の割り込み信号を持っています。各割り込み要因と要求信号の対応を表 14.4 に示します。 $\overline{\text{EXIRQ}}$ 割り込みは Low アクティブです。 $\overline{\text{EXIRQ}}$ 割り込み検出は、レベル検出のみとなります。サスペンド/レジューム割り込み $\overline{\text{IRQ6}}$ については、割り込みコントローラのレジスタ設定で立ち下がりエッジ検出に設定してください。

表 14.4 割り込み信号一覧

レジスタ	ビット	転送モード	割り込み要因	説明	割り込み要求信号	USB リクエストによる DMAC 起動 ^{*5}
UIFR0	0	Control 転送 (EP0)	SetupTS ^{*1}	Setup コマンド受信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	1		EP0ITS ^{*1}	EP0i 送信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	2		EP0iTR ^{*1}	EP0i 送信リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	3		EP0oTS ^{*1}	EP0o 受信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	4	Interrupt_in 転送 (EP3)	EP3TS	EP3 送信完了	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	5		EP3TR	EP3 送信リクエスト	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×
	6	-	リザーブ	-	-	-
7	(Status)	BRST	バスリセット	$\overline{\text{EXIRQ0}}$ or $\overline{\text{EXIRQ1}}$	×	

14. ユニバーサルシリアルバス (USB)

レジスタ	ビット	転送モード	割り込み要因	説明	割り込み要求信号	USB リクエストによる DMAC 起動 ^{*5}
UIFR1	0	Bulk_in 転送 (EP1)	EP1EMPTY	EP1 FIFO エンプティ	EXIRQ0 or EXIRQ1	DREQ0 or DREQ1 ^{*2}
	1		EP1TR	EP1 送信リクエスト	EXIRQ0 or EXIRQ1	x
	2	Bulk_out 転送 (EP2)	EP2READY	EP2 データレディ	EXIRQ0 or EXIRQ1	DREQ0 or DREQ1 ^{*3}
	3	Bulk_in 転送 (EP1)	(EP1ALLEMPYS)	EP1 FIFO オール エンプティステータス	x	x
	4	-	リザーブ	-	-	-
	5					
	6					
7						
UIFR3	0	- (Status)	VBUSi	VBUS 割り込み	EXIRQ0 or EXIRQ1	x
	1		(VBUSs)	VBUS ステータス	x	x
	2		SPRSi	サスペンド/レジューム 割り込み	IRQ6 ^{*4}	x
	3		(SPRSs)	サスペンド/レジューム ステータス	x	x
	4		リザーブ	-	-	-
	5		SETC	Set_Configuration 検出	EXIRQ0 or EXIRQ1	x
	6		SOF	Start of Frame パケット 検出	EXIRQ0 or EXIRQ1	x
	7		CK48READY	USB 動作クロック安定 検出	EXIRQ0 or EXIRQ1	x

- 【注】 *1 EP0 に関係する割り込み要因は、同一の割り込み要求信号に割り当ててください。
- *2 EP1 の USB リクエストの DMA 転送要求は、UDMAR レジスタの EP1T1、EP1T0 ビットで設定してください。
- *3 EP2 の USB リクエストの DMA 転送要求は、UDMAR レジスタの EP2T1、EP2T0 ビットで設定してください。
- *4 サスペンド/レジューム割り込み要求 IRQ6 は、立ち下がりエッジ検出 (ISCRH レジスタ IRQ6SCB、IRQ6SCA = 01) に設定してください。
- *5 オートリクエストの場合は DREQ 信号を使用しません。すべてのフラグや割り込みで CPU による DMAC 起動が可能です。

- EXIRQ0 信号

割り込み選択レジスタ 0 ~ 3 (UISR0 ~ 3) で 0 クリアされた割り込み要因に対する割り込み要求信号です。EXIRQ0 信号に割り当てられた割り込み要因のうち、1 つでも該当する割り込みフラグレジスタのビットが 1 セットされた場合アサートされます。

- EXIRQ1 信号

割り込み選択レジスタ 0 ~ 3 (UISR0 ~ 3) で 1 セットされた割り込み要因に対する割り込み要求信号です。EXIRQ1 信号に割り当てられた割り込み要因のうち、1 つでも該当する割り込みフラグレジスタのビットが 1

14. ユニバーサルシリアルバス (USB)

14.5.2 USB ケーブル接続 / 切断

(1) USB ケーブル接続時 (USB モジュールストップ、各種低消費電力モードを使用しない場合)

USB モジュールストップ、または、各種低消費電力モードを使用しないアプリケーション (セルフパワード) において、USB ケーブルが切断状態から接続状態になった場合、下記フローに従って処理してください。

また、バスパワードファンクションでは、下記【注】*2 に従って処理してください。

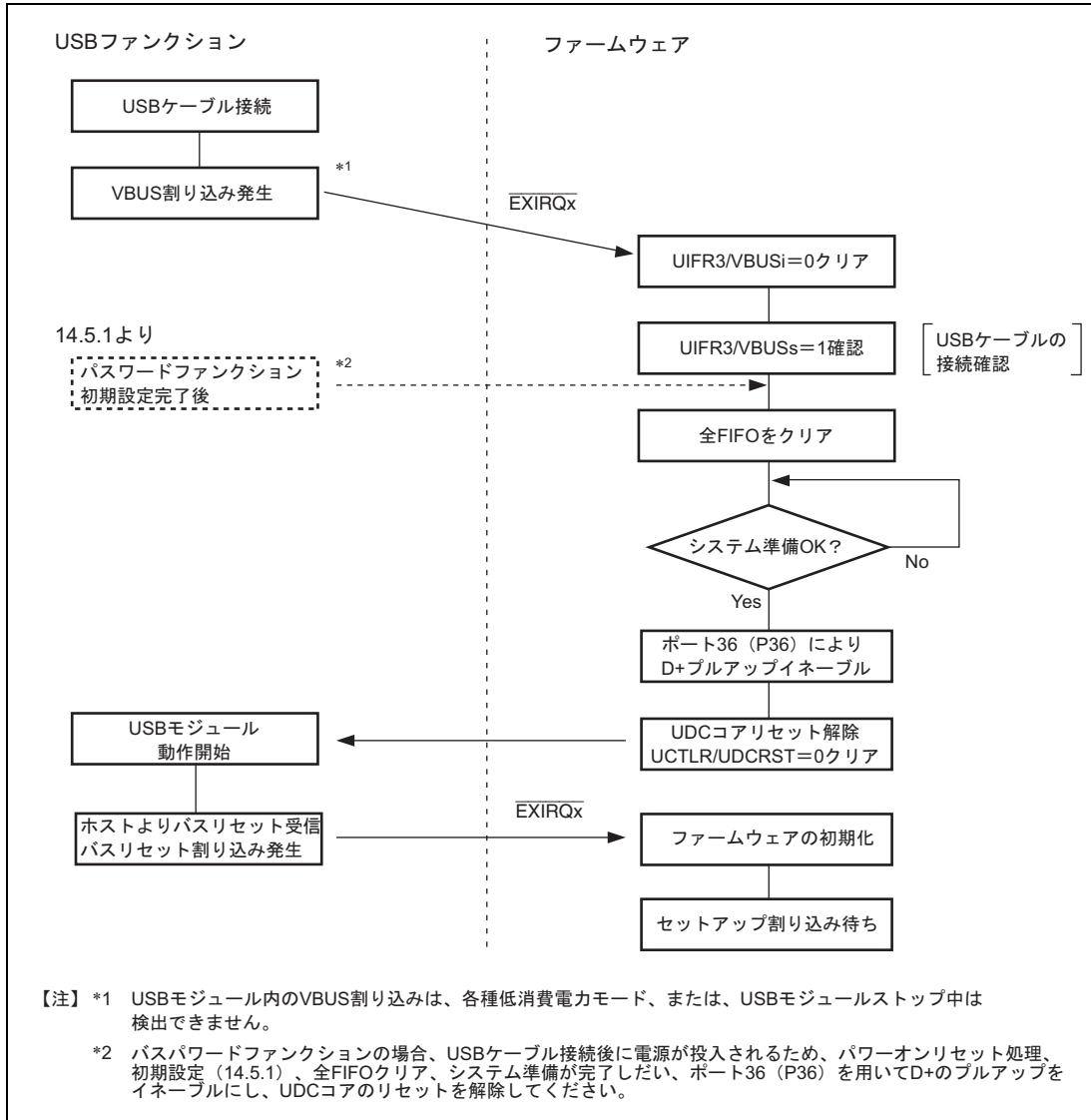


図 14.3 USB ケーブル接続時の動作 (USB モジュールストップ、各種低消費電力モードを使用しない場合)

14. ユニバーサルシリアルバス (USB)

(3) USB ケーブル切断時 (USB モジュールストップ、各種低消費電力モードを使用しない場合)

USB モジュールストップ、または、各種低消費電力モードを使用しないアプリケーション (セルフパワード) において、USB ケーブルが接続状態から切断状態になった場合、下記フローに従って処理してください。

また、バスパワードファンクションでは、USB ケーブル切断により電源 OFF となるため下記処理は必要ありません。

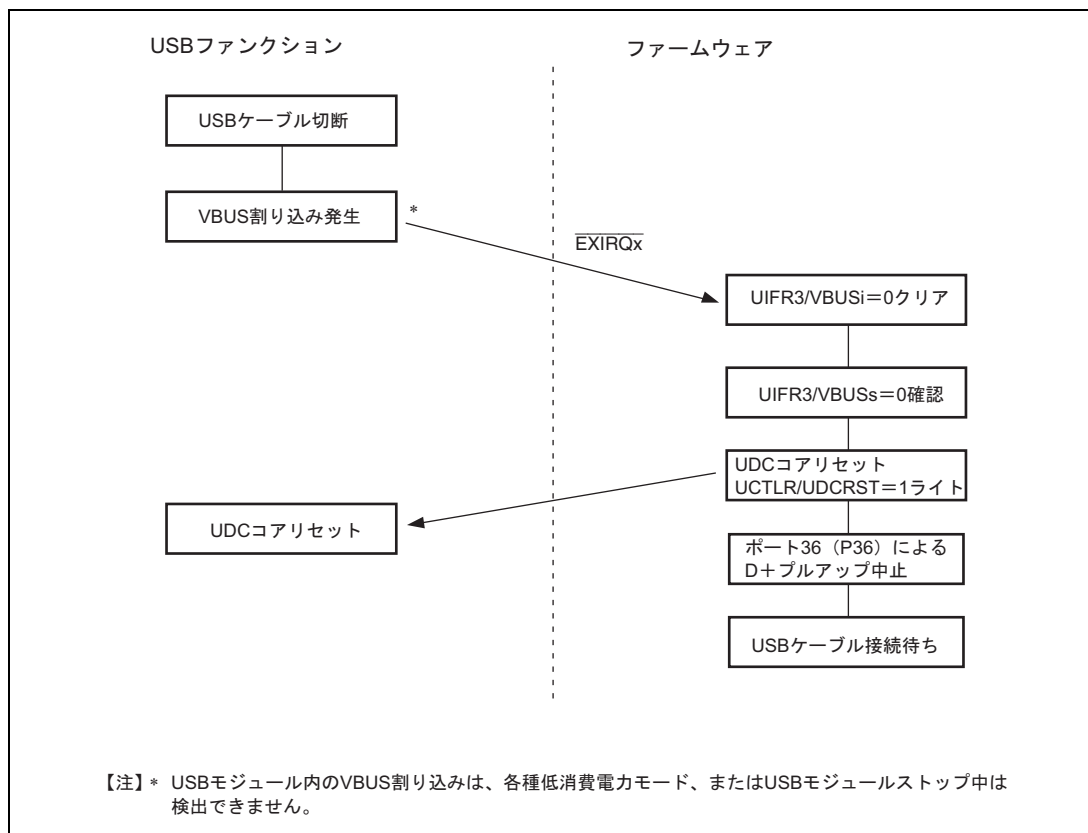


図 14.5 USB ケーブル切断時の動作 (USB モジュールストップ、各種低消費電力モードを使用しない場合)

(4) USB ケーブル切断時 (USB モジュールストップ、各種低消費電力モードを使用する場合)

USB モジュールストップ、または、各種低消費電力モードを使用するアプリケーション (セルフパワード) において、USB ケーブルが接続状態から切断状態になった場合、下記フローに従って処理してください。

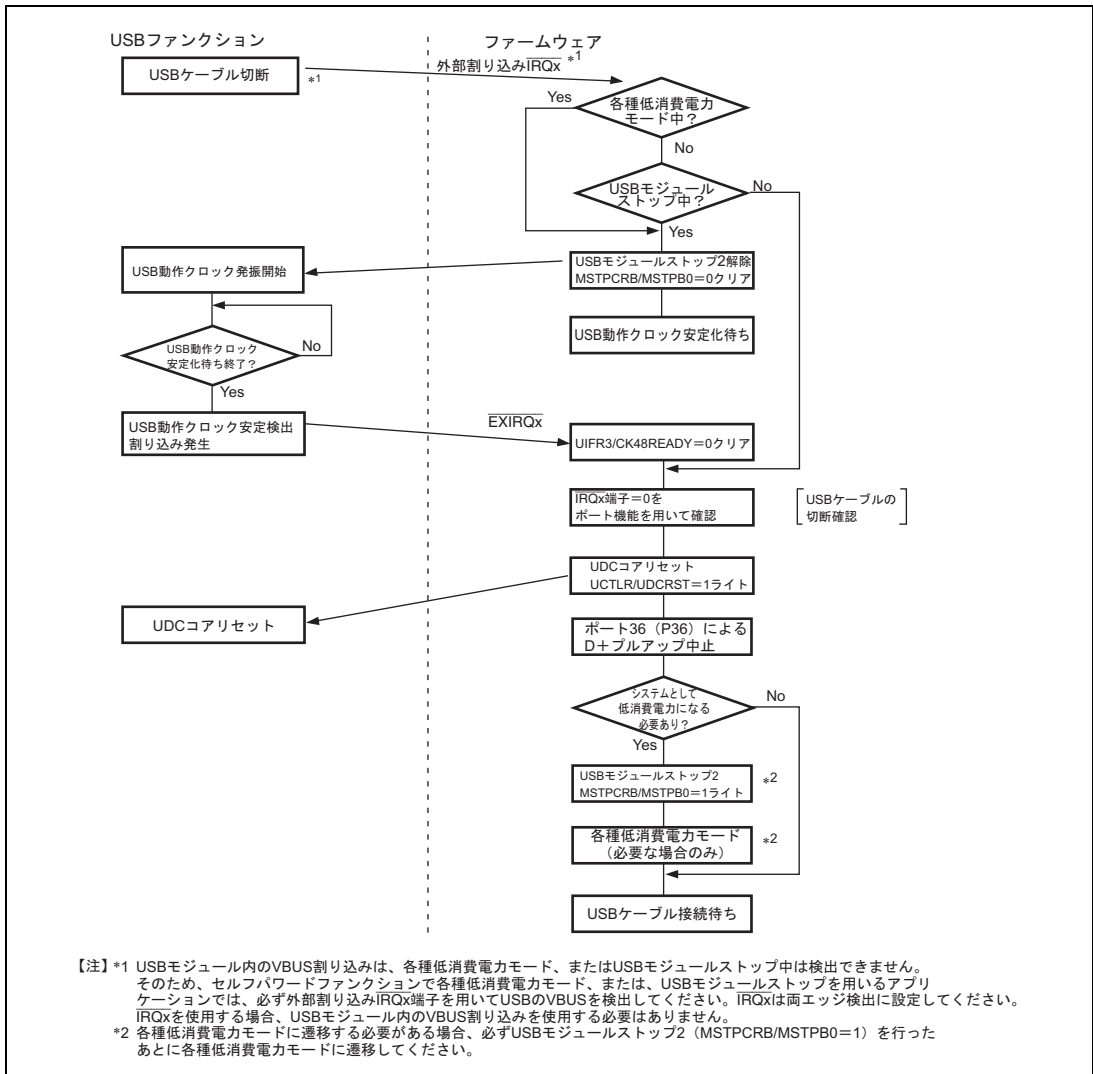


図 14.6 USB ケーブル切断時の動作 (USB モジュールストップ、各種低消費電力モードを使用する場合)

14.5.3 サスペンド/レジューム

(1) サスペンド/レジューム時

図 14.7 と図 14.8 にサスペンド/レジューム処理のフローチャートを示します。USB バスが非サスペンド状態からサスペンド状態に移った場合や、アップストリームからのレジューム信号により USB バスがサスペンド状態から非サスペンド状態に移った場合、下記フローに従って処理してください。

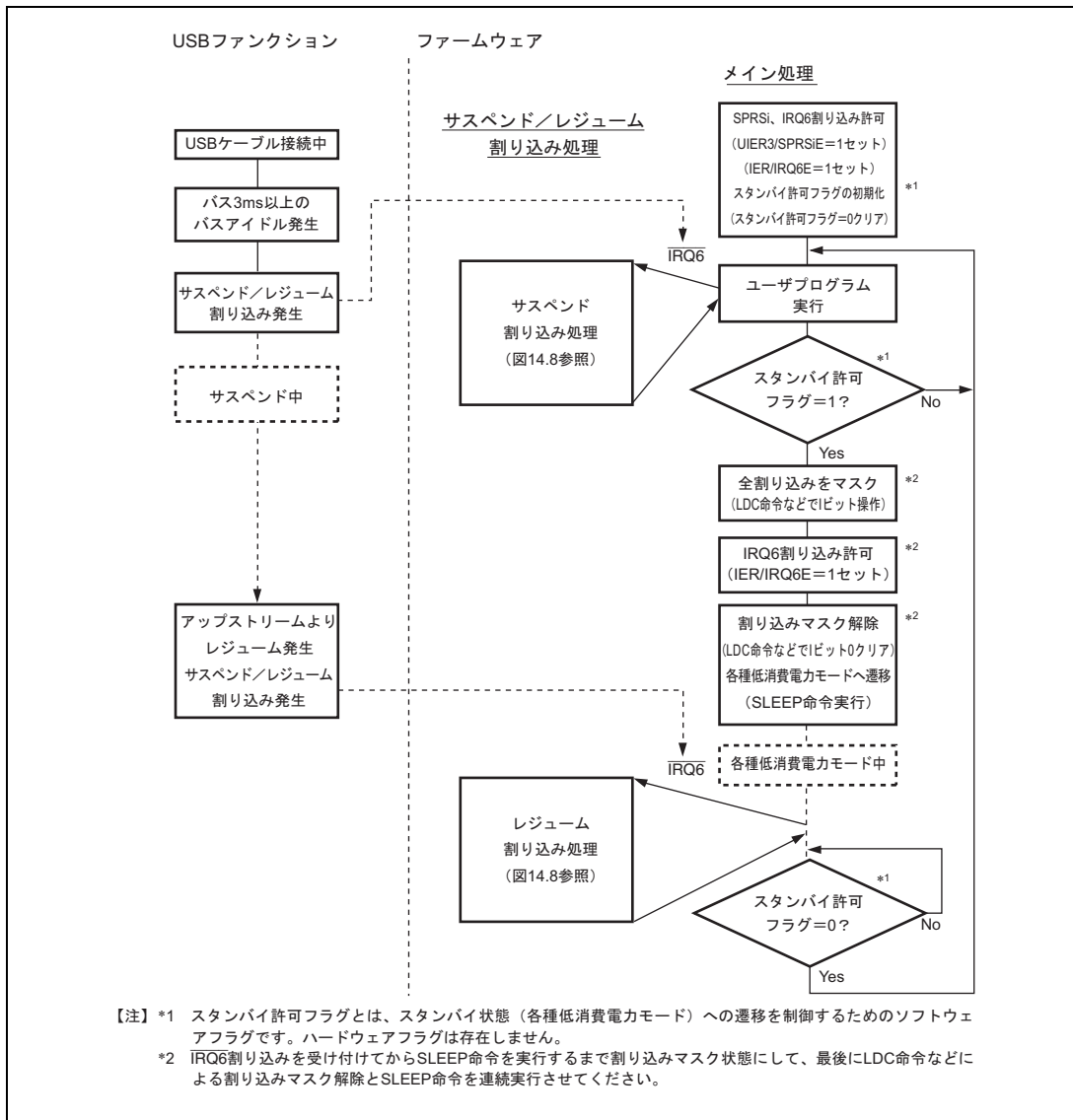
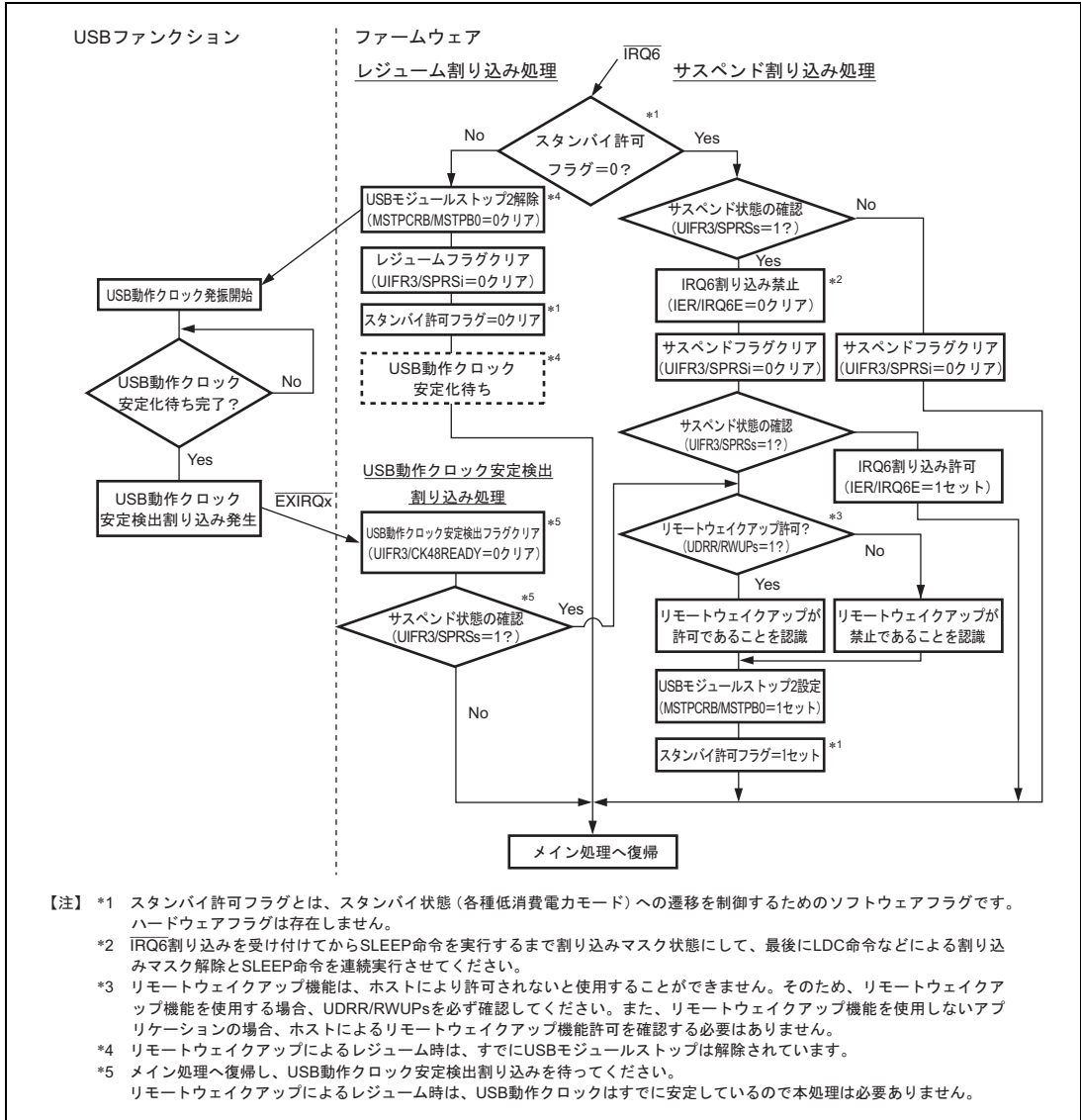


図 14.7 サスペンド/レジューム処理のフローチャート例

(2) サスペンド/レジューム割り込み処理

図 14.8 にサスペンド/レジューム割り込み処理のフローチャートを示します。



- 【注】 *1 スタンバイ許可フラグとは、スタンバイ状態（各種低消費電力モード）への遷移を制御するためのソフトウェアフラグです。ハードウェアフラグは存在しません。
- *2 IRQ6割り込みを受け付けてからSLEEP命令を実行するまで割り込みマスク状態にして、最後にLDC命令などによる割り込みマスク解除とSLEEP命令を連続実行させてください。
- *3 リモートウェイクアップ機能は、ホストにより許可されないと使用することができません。そのため、リモートウェイクアップ機能を使用する場合、UDRR/RWUPsを必ず確認してください。また、リモートウェイクアップ機能を使用しないアプリケーションの場合、ホストによるリモートウェイクアップ機能許可を確認する必要はありません。
- *4 リモートウェイクアップによるレジューム時は、すでにUSBモジュールストップは解除されています。
- *5 メイン処理へ復帰し、USB動作クロック安定検出割り込みを待ってください。リモートウェイクアップによるレジューム時は、USB動作クロックはすでに安定しているので本処理は必要ありません。

図 14.8 サスペンド/レジューム時の割り込み処理フローチャート図

14. ユニバーサルシリアルバス (USB)

(3) サスペンド/リモートウェイクアップ処理

図 14.9 と図 14.10 にサスペンド/リモートウェイクアップ処理のフローチャートを示します。本ファンクションからのリモートウェイクアップ信号により、USB バスをサスペンド状態から非サスペンド (レジューム) 状態に遷移させる場合、下記フローに従って処理してください。

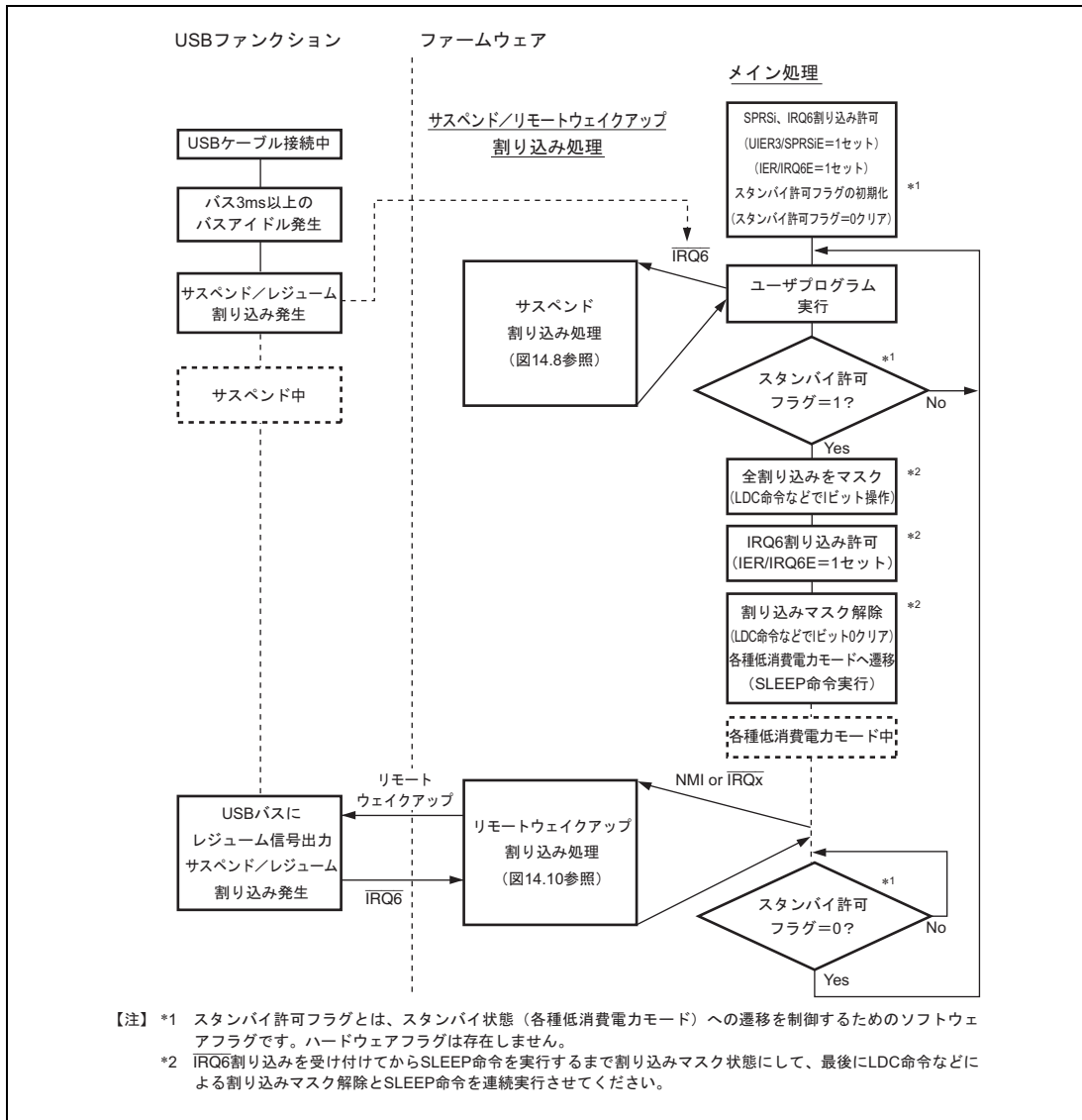


図 14.9 サスペンド/リモートウェイクアップ処理のフローチャート例

(4) リモートウェイクアップ割り込み処理

図 14.10 にリモートウェイクアップ割り込み処理のフローチャートを示します。

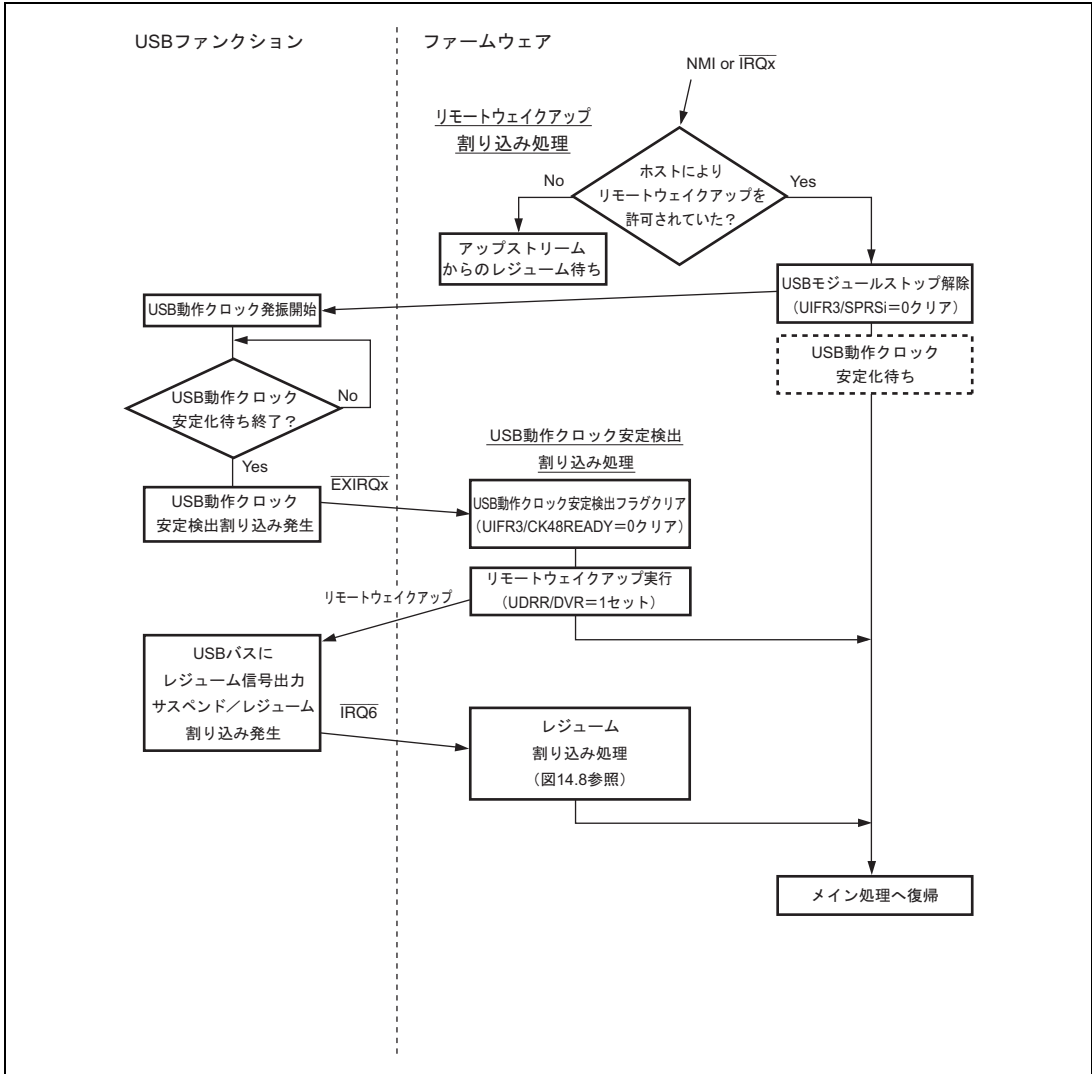


図 14.10 リモートウェイクアップ割り込み処理のフローチャート例

14. ユニバーサルシリアルバス (USB)

14.5.4 コントロール転送

コントロール転送は、セットアップ、データ(ない場合もある)、ステータスの3つのステージ(図 14.11)で構成されます。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを図 14.12~図 14.16 に示します。

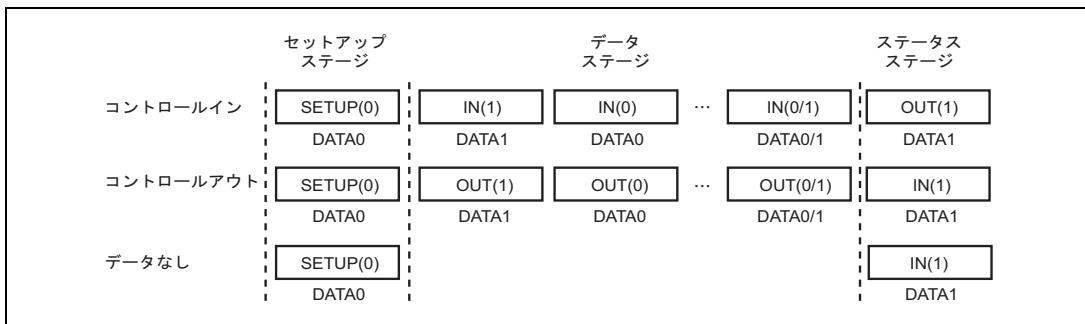


図 14.11 各転送ステージの構成

(1) セットアップステージ

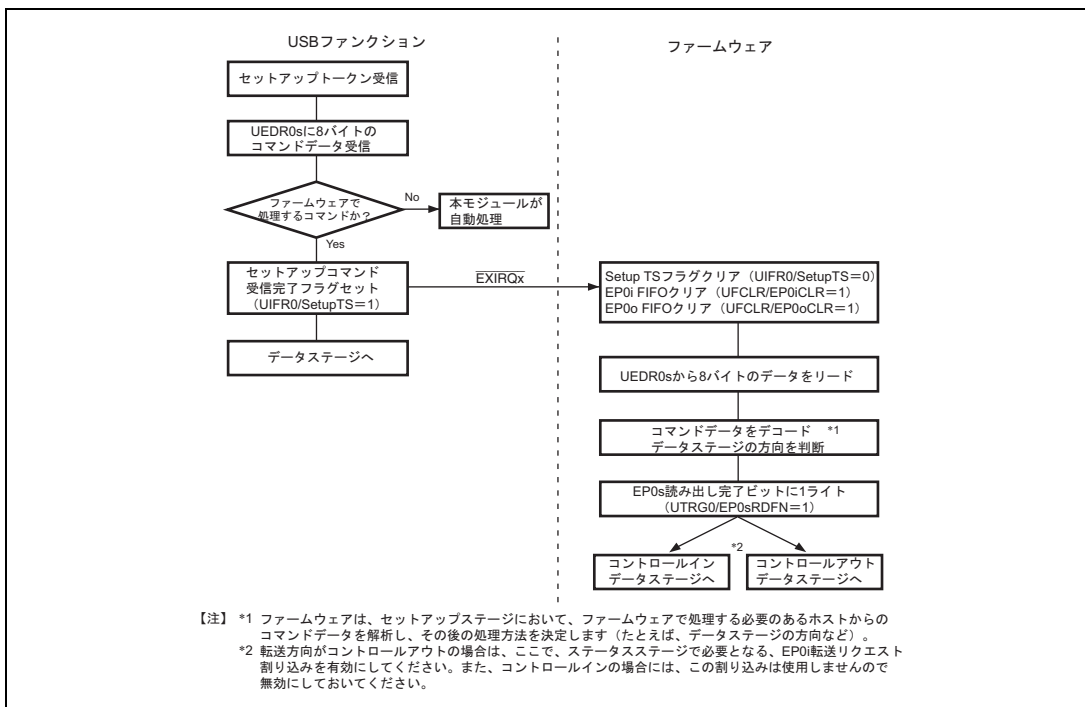


図 14.12 セットアップステージの動作

(2) データステージ (コントロールイン時)

ファームウェアは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初に書き込んだデータがホストに送られたあと (UIFR0/EP0i TS=1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

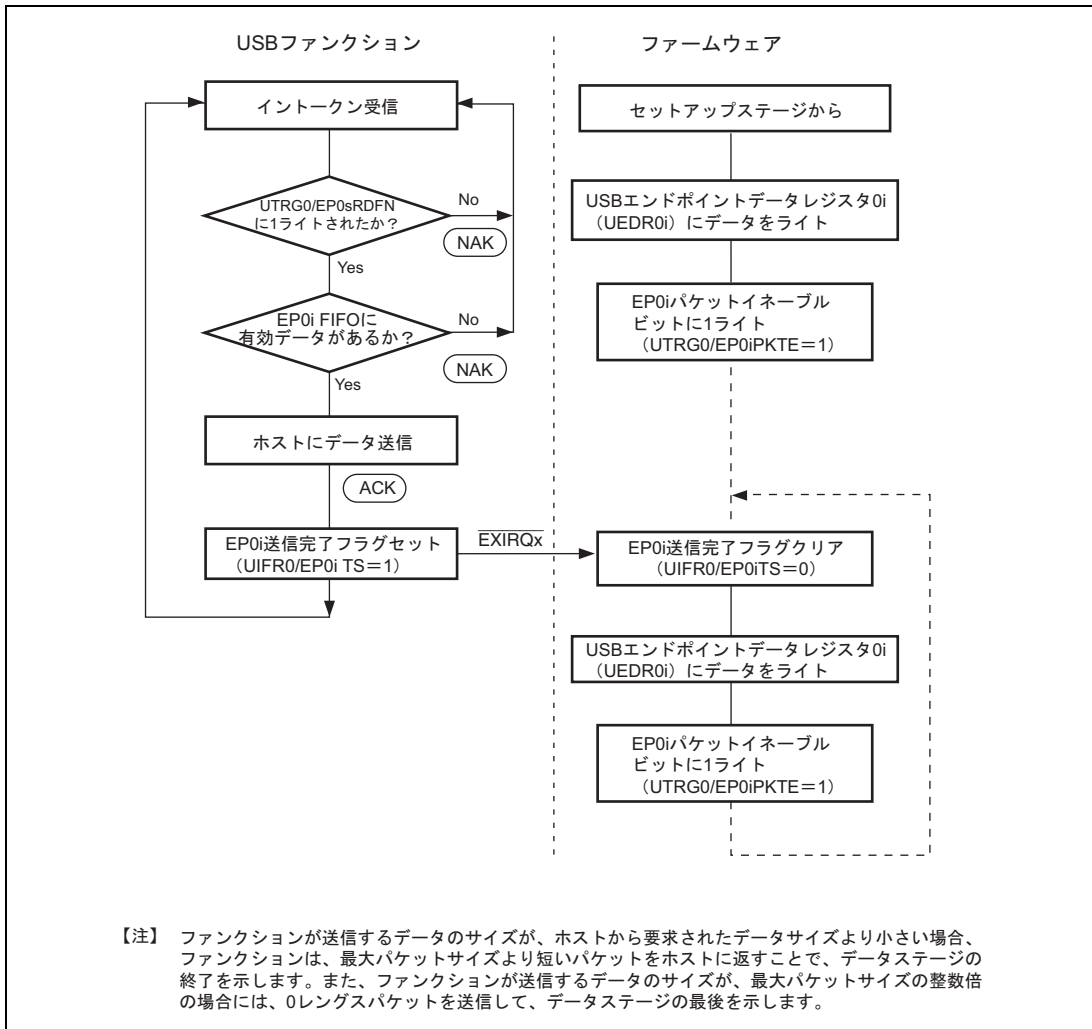


図 14.13 データステージ (コントロールイン時) の動作

14. ユニバーサルシリアルバス (USB)

(3) データステージ (コントロールアウト時)

ファームウェアは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (UIFR0/EP0oTS = 1)、FIFO からデータを読み出します。次にファームウェアは、EP0o読み出し完了ビットに1を書き込み、受信FIFOを空にして、次のデータ受信を待ちます。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

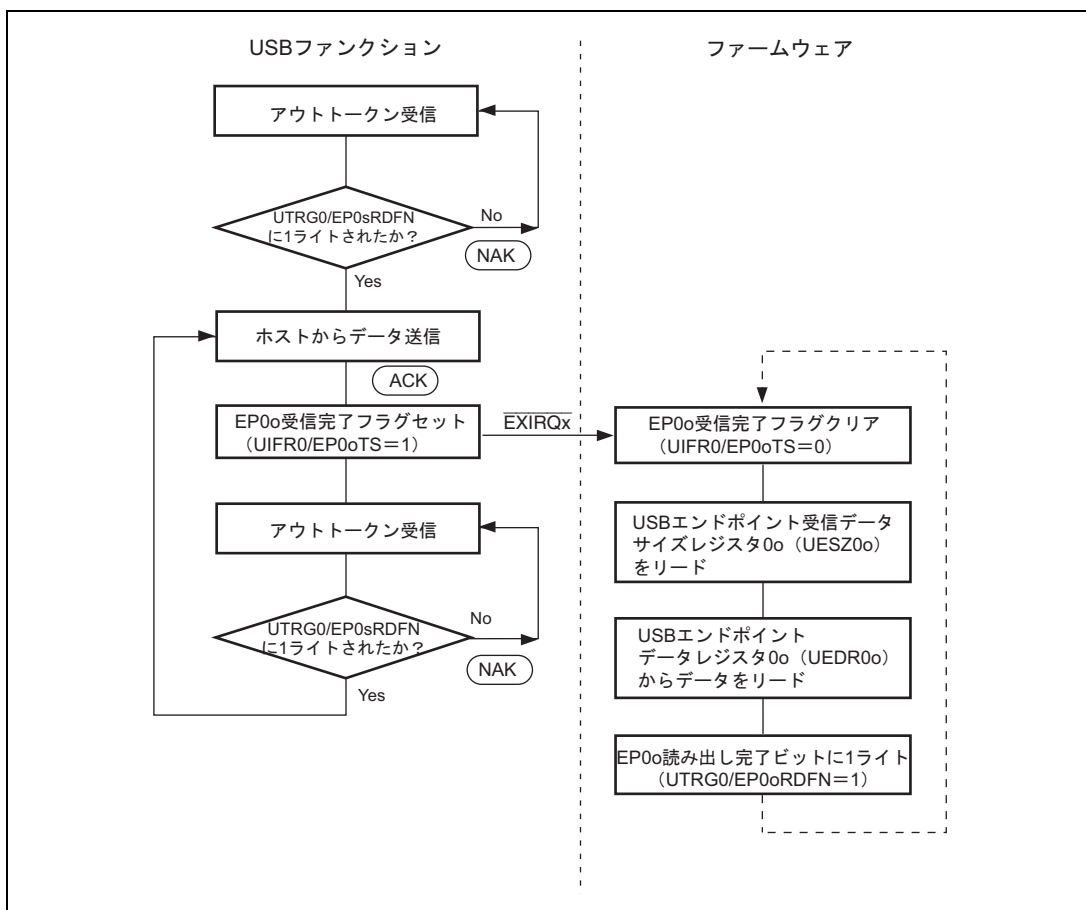


図 14.14 データステージ (コントロールアウト時) の動作

(4) ステータスステージ (コントロールイン時)

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。ファームウェアは、ホストからの0バイトデータを受信して、コントロール転送を終了します。

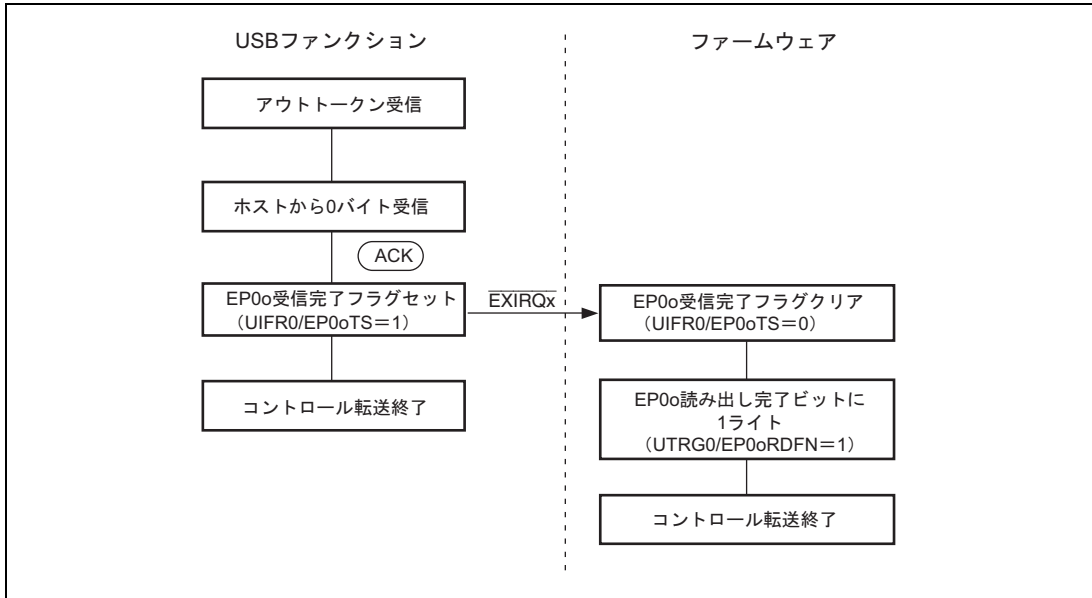


図 14.15 ステータスステージ (コントロールイン時) の動作

14. ユニバーサルシリアルバス (USB)

(5) ステータスステージ (コントロールアウト時)

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。ファームウェアは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、ファームウェアが、データステージにかかわる処理をすべて終了したあと、EP0i パケットイネーブルビットに 1 ライトしてください。

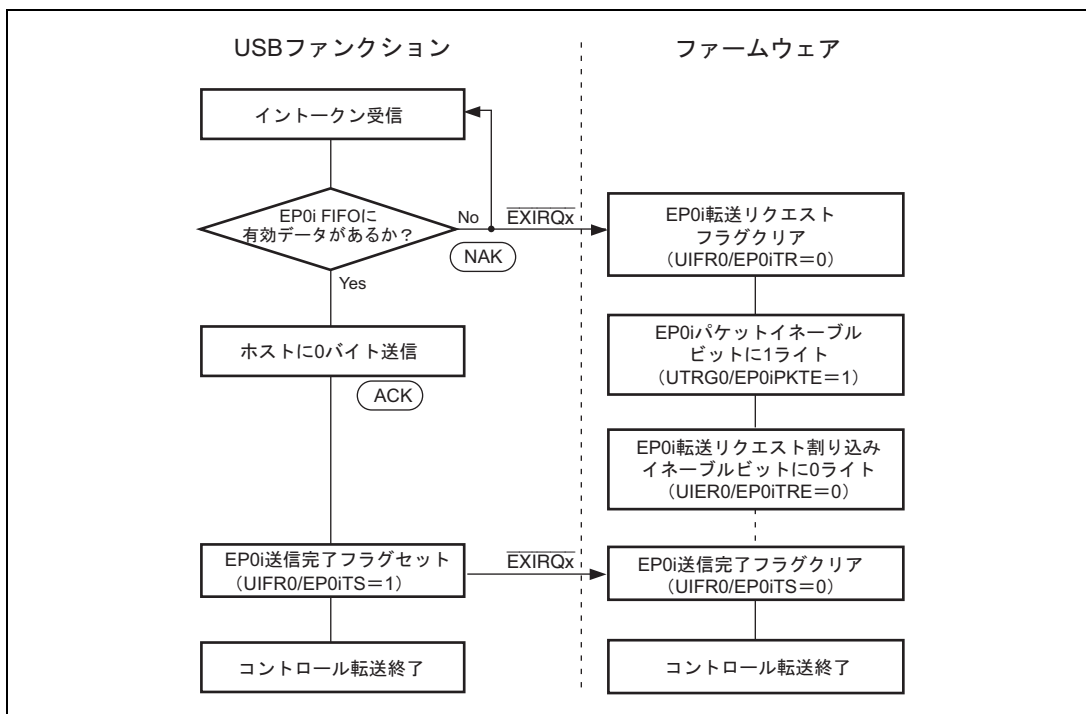


図 14.16 ステータスステージ (コントロールアウト時) の動作

14.5.5 インタラプトイン転送 エンドポイント 3

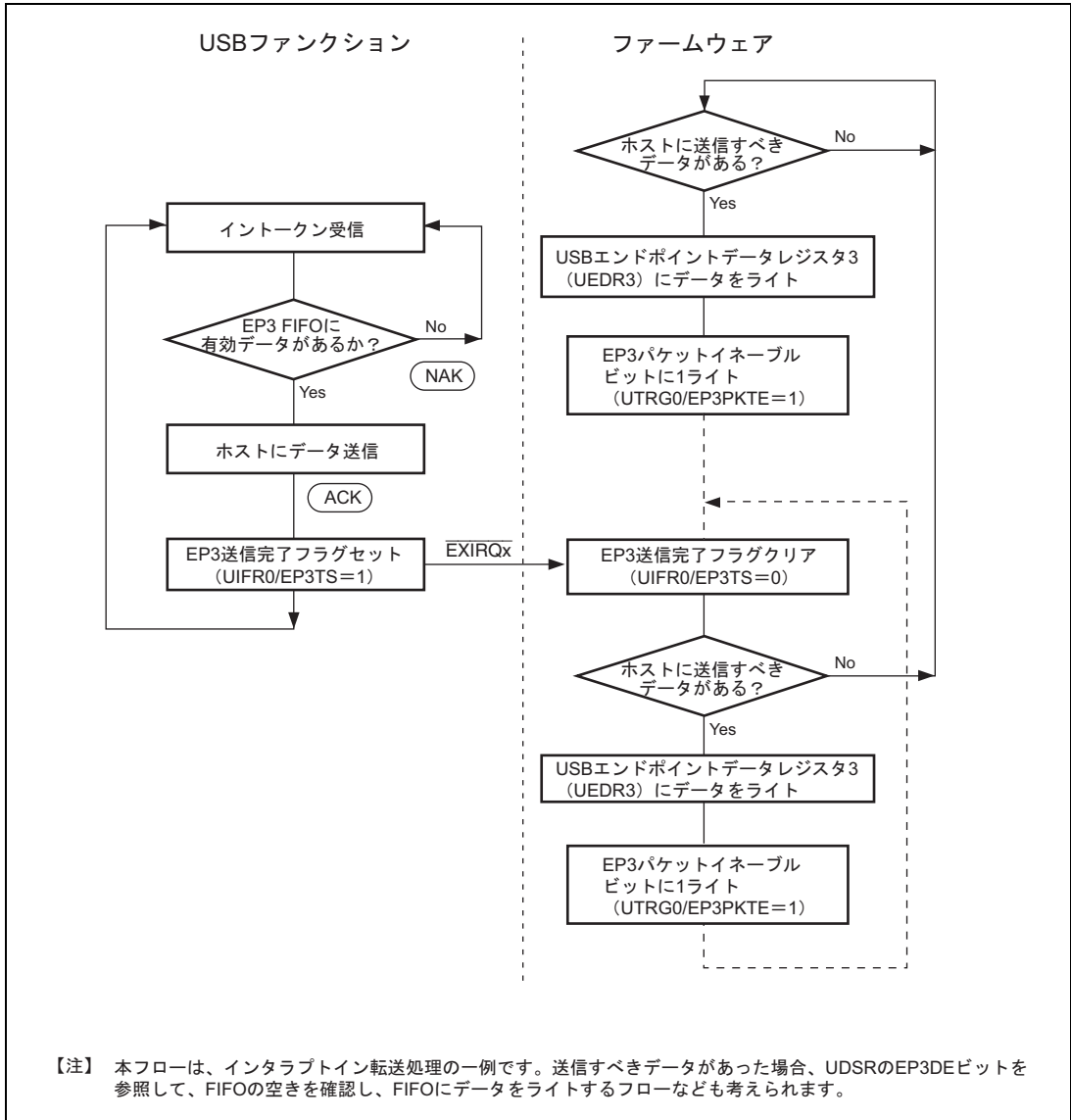


図 14.17 EP3 インタラプトイン転送の動作

14.5.6 バルクイン転送 (2面 FIFO) エンドポイント 1

EP1 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ送信および送信データのライトができます。ただし、1 回のデータライトは 1 面ごとに行ってください。たとえば、2 面とも FIFO が EMPTY の場合でも、連続して 128 バイトデータをライト後、まとめて EP1PKTE を行うことはできません。必ず 64 バイトのライトごとに EP1PKTE を行ってください。

バルクイン転送でホストにデータ送信する場合、まず UIER1/EP1EMPTYE に 1 ライトし、EP1 FIFO エンプティ割り込みを許可してください。最初は、EP1 の 2 面 FIFO はともに EMPTY になっているので、EP1 FIFO エンプティ割り込みがすぐに発生します。この割り込みを使って、送信するデータをデータレジスタにライトします。最初 1 面分の送信データライト後は、他方の FIFO が空いているので、すぐ他方の面に送信データをライトすることができます。2 面とも FULL になった場合、EP1EMPTY が 0 になります。1 面でも EMPTY であれば UIFR1 / EP1EMPTY が 1 セットされます。データ送信完了後、ホストから ACK が返ってきたら、データ送信を行った FIFO が EMPTY になります。このとき、他方の FIFO に有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、UIER1/EP1EMPTYE に 0 ライトを行い、EXIRQ0 または EXIRQ1 端子からの割り込み要求を禁止にしてください。

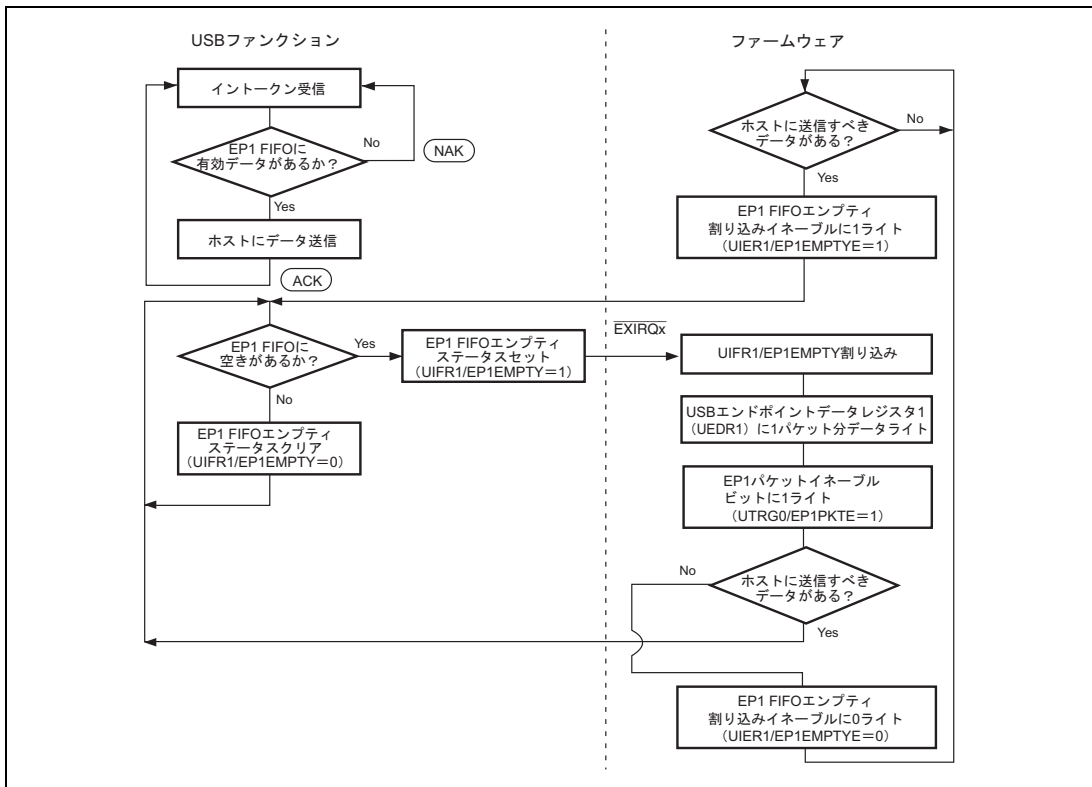


図 14.18 EP1 バルクイン転送の動作

14.5.7 バルクアウト転送 (2面 FIFO) エンドポイント 2

EP2 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、UIFR1/EP2READY がセットされます。FIFO が 2 面とも EMPTY の状態で最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面とも FULL になった場合、ホストには自動的に NAK が返信されます。データ受信後、受信データのリードが終了したら、UTRG0/EP2RDFN に 1 をライトします。この操作によって、今リードし終えた FIFO が EMPTY になり、次のパケットを受信可能な状態になります。

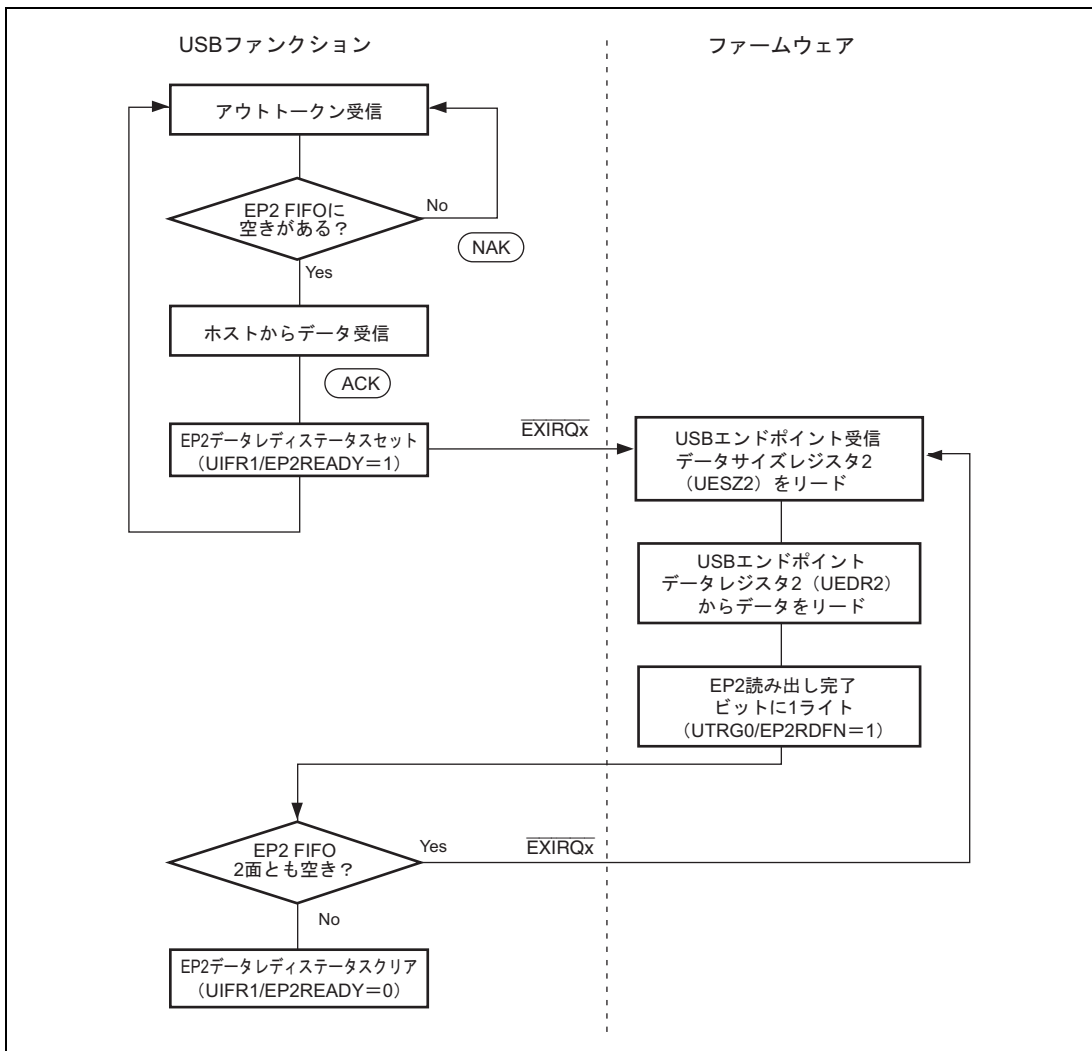


図 14.19 EP2 バルクアウト転送の動作

14.5.8 USB 標準コマンドとクラス/ベンダーコマンドの処理

(1) コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、ファームウェアでデコードを行いコマンドの処理を行う必要があります。以下の表 14.5 にファームウェアでのコマンドデコードについて示します。

表 14.5 ファームウェアでのコマンドデコード

ファームウェアでデコードの必要なし	ファームウェアでデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Synch Frame
Get Interface	Set Descriptor
Get Status	Class/Vendor コマンド
Set Address	
Set Configuration	
Set Feature	
Set Interface	

ファームウェアでデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

ファームウェアでデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、UIER0/SetupTS フラグがセットされ、EXIRQx から割り込み要求が行われます。この割り込みルーチンの中で EP0s のデータレジスタ (UEDR0s) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

14.5.9 ストール動作

(1) 概要

本モジュールのストール動作には、次の2つの場合があります。

1. ファームウェアが何らかの理由で強制的にエンドポイントをストールさせる場合
2. USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態(ストールか否か)を保持する内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照して、ホストにストールを返すかどうか判断します。

このビットは、ファームウェアでは解除できません。解除する場合は、ホストから Clear Feature コマンドを使ってクリアしてください。

ただし、EP0 に対する内部状態ビットはセットアップコマンド受信時のみ自動的にクリアされます。

(2) ファームウェアが強制的にストールさせたい場合

ファームウェアが本モジュールに対してストールを要求する場合、UESTL レジスタを使用します。ファームウェアが特定のエンドポイントをストールさせたい場合、EPnSTL の該当ビットをセットします(図 14.20 (1-1) 参照)。このとき内部状態ビットは変化しません。

次に、ホストから EPnSTL ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていない場合は EPnSTL ビットを参照します(図 14.20 (1-2))。ここで、EPnSTL ビットがセットされていない場合は、内部状態ビットは変化せず、トランザクションが受け付けられません。EPnSTL ビットがセットされていれば、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェイクを返します(図 14.20 (1-3))。

一度、内部状態ビットがセットされたあとは、EPnSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても(図 14.20(3-1))、EPnSTL ビットがセットされている間は該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、本モジュールはストールハンドシェイクを返します(図 14.20 (1-2))。したがって、ストールを解除するには EPnSTL ビットをファームウェアでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 14.20 (2-1) ~ (2-3))。

14. ユニバーサルシリアルバス (USB)

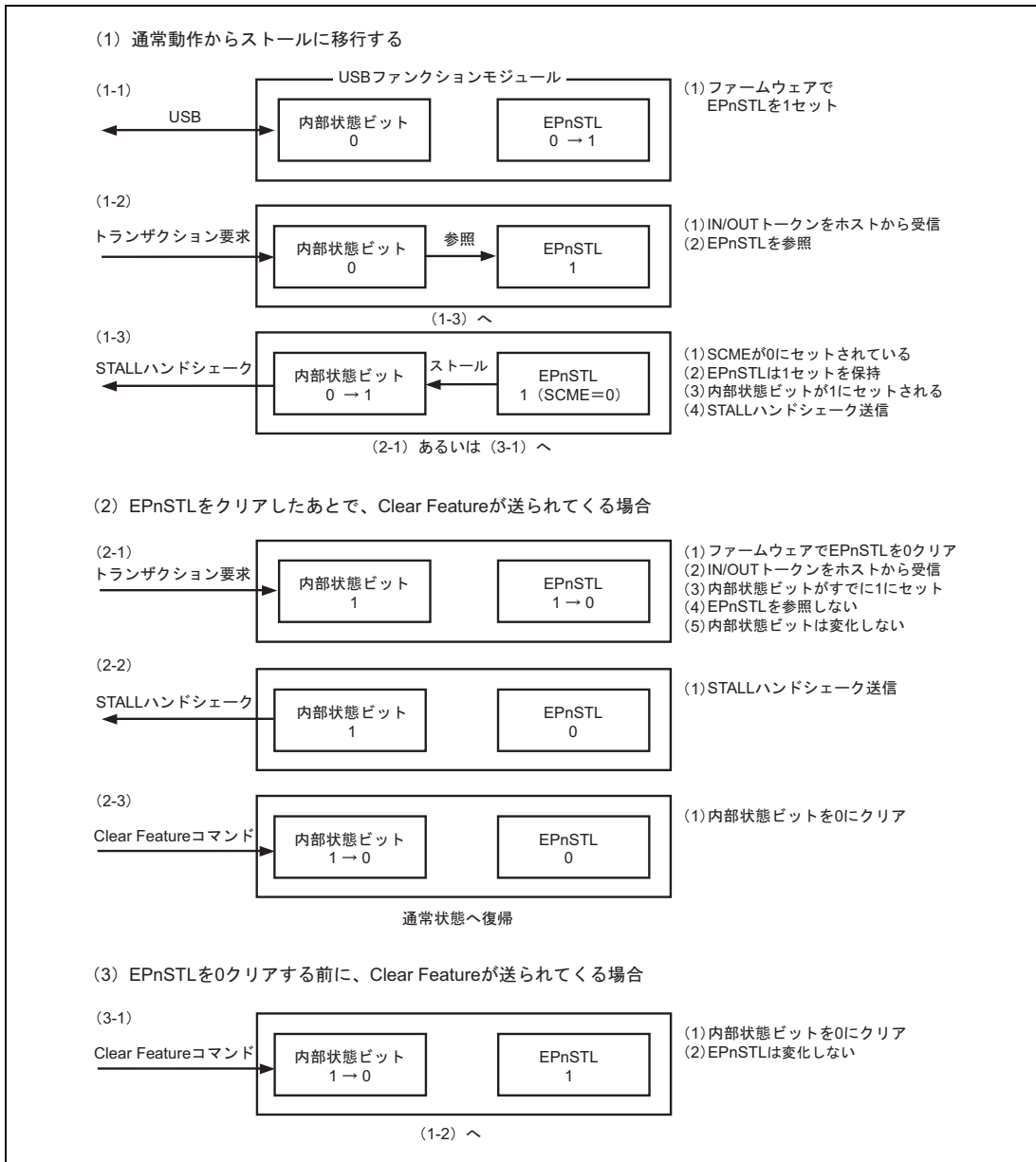


図 14.20 ファームウェアで強制的にストールさせたい場合

(3) USB ファンクションモジュールが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合、本モジュールの構成内容と Get Descriptor でホストに返した情報がない場合、あるいはUSBの規格違反があった場合は、EPnSTLに関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットしストールハンドシェークを返します(図 14.21 (1-1))。

一度、内部状態ビットがセットされたあとは、EPnSTLに関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされたあとは、EPnSTLを参照するようになります(図 14.21 (3-1))。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します(図 14.21 (2-1)、(2-2))。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 14.21 (3-1))。もし、ファームウェアによってEPnSTLをセットしている場合は、EPnSTLもクリアしてください(図 14.21 (2-1))。

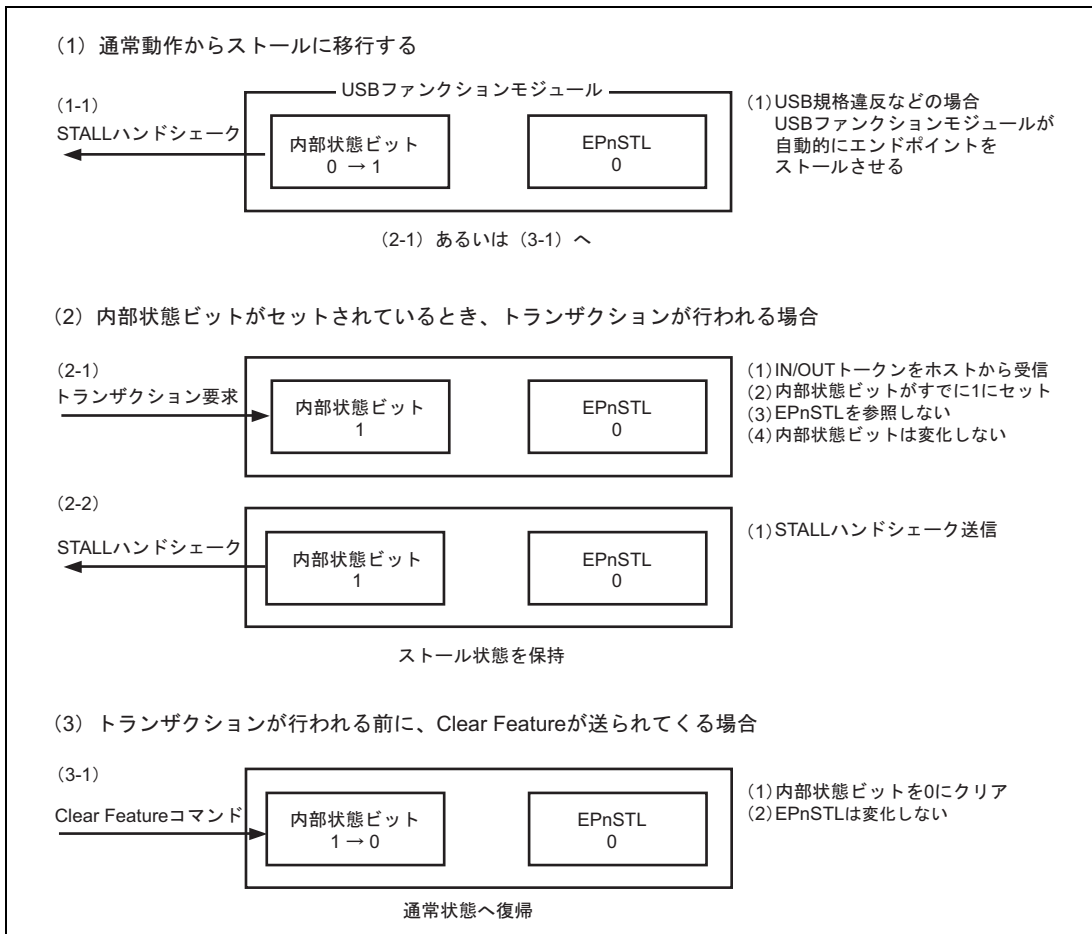


図 14.21 USB ファンクションモジュールが自動的にストールさせた場合

14.6 DMA 転送仕様

USB データの DMA 転送は USB リクエストとオートリクエストの 2 通りの方法があります。

14.6.1 USB リクエストによる DMA 転送

(1) 概要

内蔵 DMAC の USB リクエスト ($\overline{\text{DREQ}}$ レベル起動) 転送の場合はフルアドレスモードのノーマルモード (サイクルスチールモード) のみ対応します。転送可能なエンドポイントは Bulk 転送の EP1、EP2 のみ (対応レジスタは、UEDR1、UEDR2) です。また本モジュールは、エリア 6 の外部デバイスとしてアクセスしてください。外部 ACK 付きデバイスとしてはアクセスできません (シングルアドレス転送はできません)。

なお、UDMAR レジスタの EP2T1 ビットに 1 をセットし DMA 転送を許可しても、EP2 に対する 0 バイトデータの受信は無視します。

(2) 内蔵 DMAC の設定

内蔵 DMAC の設定は、USB リクエスト ($\overline{\text{DREQ}}$ 信号使用)、Low レベル入力起動、バイトサイズ、フルアドレスモード転送、DMABCR レジスタの DTA ビット = 1 で使用してください。その際、内蔵 DMAC の設定回数分の転送が終了すると、DMAC は停止します。しかし、本モジュールは DMA 転送要求がまだ残っている場合は、DMAC の状態にかかわらず、 $\overline{\text{DREQ}}$ 信号を Low アサートし続けますので注意してください。

(3) EP1 の DMA 転送について

UDMAR レジスタの EP1T1 ビットが DMA 転送イネーブルビットであり、UDMAR レジスタの EP1T0 ビットで指定された $\overline{\text{DREQ}}$ 信号を使用します。EP1T1 に 1 ライトすると、EP1 のデータ FIFO が 1 面でも EMPTY のとき、 $\overline{\text{DREQ}}$ 信号が Low アサートされます。 $\overline{\text{DREQ}}$ 信号は FIFO が 2 面とも FULL になることによって High になります。

• UTRG0 レジスタの EP1PKTE について

EP1 の送信データを DMA 転送を使って転送する場合、1 面分のデータ FIFO (64 バイト) が FULL になると、自動的に EP1PKTE に 1 ライトすることと同じ処理がモジュール内部で行われます。したがって、転送するデータが 64 バイトの倍数の場合は、ユーザは EP1PKTE に 1 ライトする処理は必要ありません。それ以外の場合は、64 バイトに満たない最後のデータのみユーザが EP1PKTE に 1 ライトを行う必要があります。この処理は、DMAC の DMA 転送終了割り込みで行ってください。もし 64 バイトに満たないデータ転送以外でユーザが EP1PKTE に 1 ライトを行うと、余分に処理を行うことになり正常に動作できません。

例として、EP1 で 150 バイトのデータをホストに送信する場合を示します。この場合、図 14.22 の 2 箇所自動的に EP1PKTE への 1 ライトと同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが FULL になったときに行われるため、64 バイトのデータを転送したときのみ自動で処理されます。64 バイト未満のデータを送信した場合は、自動で行われません。

• EP1 の DMA 転送手順例

1. UDMAR/EP1T1、EP1T0 ビット設定

2. DMAC各種設定 (DMACに150バイト分の転送回数設定)
3. DMAC起動
4. DMA転送
5. DMA転送終了割り込みでUTRG0/EP1PKTEビットに1ライト

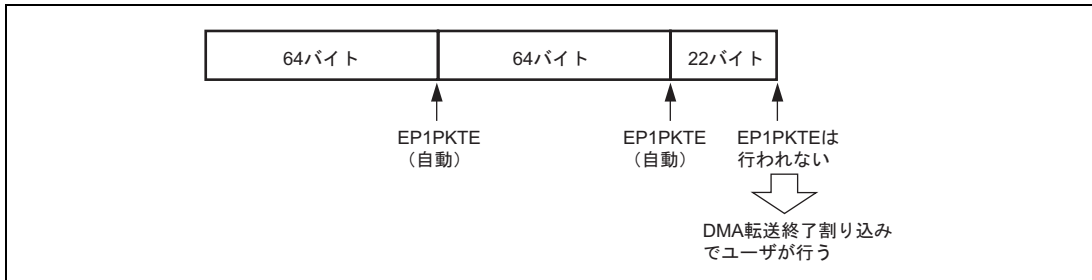


図 14.22 UTRG0 レジスタの EP1PKTE 動作

(4) EP2 の DMA 転送について

UDMAR レジスタの EP2T1 ビットが DMA 転送イネーブルビットであり、UDMAR レジスタの EP2T0 ビットで指定された $\overline{\text{DREQ}}$ 信号を使用します。EP2T1 に 1 ライトすると、EP2 のデータ FIFO が 1 面以上 FULL (READY 状態) になったとき $\overline{\text{DREQ}}$ 信号が Low アサートされます。すなわち有効な受信データが FIFO 内に存在する場合 (READY 状態) に、 $\overline{\text{DREQ}}$ 信号が Low にアサートされます。 $\overline{\text{DREQ}}$ 信号は、すべての受信データをリードし 2 面とも FIFO が EMPTY になると High になります。

• UTRG0レジスタのEP2RDFNの動作

EP2 の受信データを DMA 転送を使って転送する場合、1 面分のデータ FIFO をリードしたあとに EP2RDFN ビットに 1 ライトしないでください。DMA 転送を使用しない場合は、1 面分のデータ FIFO をリードしたあとで EP2RDFN ビットに 1 ライトを行わないと次のデータがリードできませんが、DMA 転送使用時は、現在選択されている面のデータ FIFO が EMPTY になると自動的に EP2RDFN に 1 ライトすることと同じ処理がモジュール内部で行われるため、ユーザは EP2RDFN に 1 ライトする必要はありません。もしユーザが EP2RDFN に 1 ライトを行うと余分に処理を行うことになり、正常に動作できませんので注意してください。

例として、EP2 で 150 バイトのデータをホストから受信する場合を示します。この場合、図 14.23 の 3 箇所まで自動的に EP2RDFN に 1 ライトと同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが EMPTY になったときに行われるため、64 バイトのデータを転送したときでもそれ以下のデータを転送したときでも、同じように自動で処理されます。

• EP2のDMA転送手順例

DMACの転送単位は1パケット単位で行ってください。そのためEP2READYフラグセット後にホストより受信したデータサイズを確認し、受信したサイズをDMACの転送回数として設定してください。

14. ユニバーサルシリアルバス (USB)

1. UDMAR/EP2T1、EP2T0ビット設定
2. UIFR1/EP2READYフラグセット待ち
3. DMAC各種設定
UESZ2の値をリードし、受信データサイズ(64バイト以下)分の転送回数設定
4. DMAC起動
5. DMA転送(64バイト以下転送)
6. DMA転送終了待ち
7. 上記2~6繰り返し

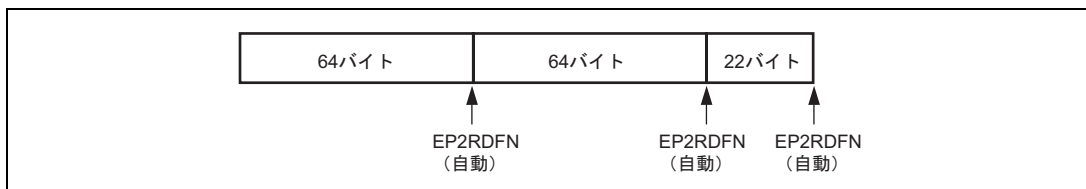


図 14.23 UTRG0 レジスタの EP2RDFN 動作

14.6.2 オートリクエストによる DMA 転送

(1) 概要

内蔵 DMAC のオートリクエスト転送の場合は、バーストモード転送 / サイクルスチール転送の選択が可能です。転送可能なエンドポイントは、すべてのデータレジスタ (UEDR0s、UEDR0i、UEDR0o、UEDR1、UEDR2、UEDR3) です。各データレジスタに対応するフラグや割り込みを確認してから DMA を起動してください。なお、オートリクエストモードでは UDMAR レジスタを使用しませんので UDMAR = H'00 にしてください。

(2) 内蔵 DMAC の設定

内蔵 DMAC の設定は、オートリクエスト、バイトサイズ、フルアドレスモード転送、データレジスタの最大パケットサイズ以下の転送回数で使用してください。その際、内蔵 DMAC の設定回数分の転送が終了すると、DMAC は停止します。

(3) EP0i、EP1、EP3 の DMA 転送について

- UTRG0 レジスタの EPnPKTE について (n = 0i、1、3)

オートリクエスト転送の場合は、自動的に EPnPKTE に 1 ライトする処理が行われませんので注意してください。必ず CPU で EPnPKTE に 1 ライトを行う必要があります。

例として、EP1 で 150 バイトのデータをホストに送信する場合を示します。この場合、図 14.24 の 3 箇所 EP1PKTE への 1 ライト処理が必要になります。

- EP1のDMA転送手順例

DMACの転送単位は1パケット単位で行ってください。そのため転送回数の設定は各エンドポイントの最大パケットサイズ以下としてください。

1. UIFR1/EP1EMPTYフラグ=1確認
2. EP1データ転送用のDMAC各種設定（オートリクエスト、アドレス設定など）
3. DMACに64バイト分（最大パケットサイズ以下）の転送回数設定
4. DMAC起動（DTE=0リード後、DTE=1ライト）
5. DMA転送
6. DMA転送終了後、UTRG0/EP1PKTEビットに1ライト
7. 上記1～6繰り返し
8. UIFR1/EP1EMPTYフラグ=1確認
9. DMACに22バイト分転送回数設定
10. DMAC起動（DTE=0リード後、DTE=1ライト）
11. DMA転送
12. DMA転送終了後、UTRG0/EP1PKTEビットに1ライト

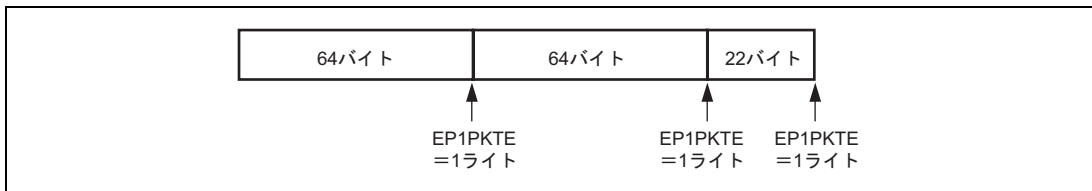


図 14.24 UTRG0 レジスタの EP1PKTE 動作（オートリクエスト）

（4）EP0_o、EP2 の DMA 転送について

- UTRG0レジスタのEPnRDFNについて（n=0_o、2）

オートリクエスト転送の場合は、自動的にEPnRDFNに1ライトする処理が行われませんので注意してください。必ずCPUでEPnRDFNに1ライトを行う必要があります。

例として、EP2で150バイトのデータをホストから受信する場合は示します。この場合、図14.25の3箇所でのEP2RDFNへの1ライト処理が必要になります。

- EP2のDMA転送手順例

DMACの転送単位は1パケット単位で行ってください。そのため転送回数の設定は各エンドポイントの最大パケットサイズ以下としてください。

1. UIFR1/EP2READYフラグセット待ち
2. EP2データ転送用のDMAC各種設定（オートリクエスト、アドレス設定など）
UESZ2の値をリードし、受信データサイズ（64バイト以下）分の転送回数設定

14. ユニバーサルシリアルバス (USB)

3. DMAC起動 (DTE = 0リード後、DTE = 1ライト)
4. DMA転送 (64バイト以下転送)
5. DMA転送終了後、UTRG0/EP2RDFNビットに1ライト
6. 上記1~5繰り返し

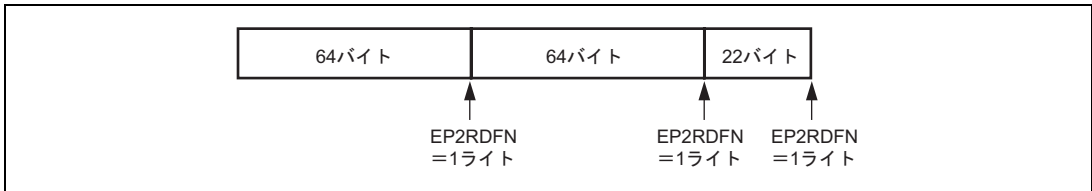


図 14.25 UTRG0 レジスタの EP2RDFN 動作 (オートリクエスト)

14.7 USB 外部回路例

本 LSI の USB 外部回路例を図 14.26 と図 14.27 に示します。

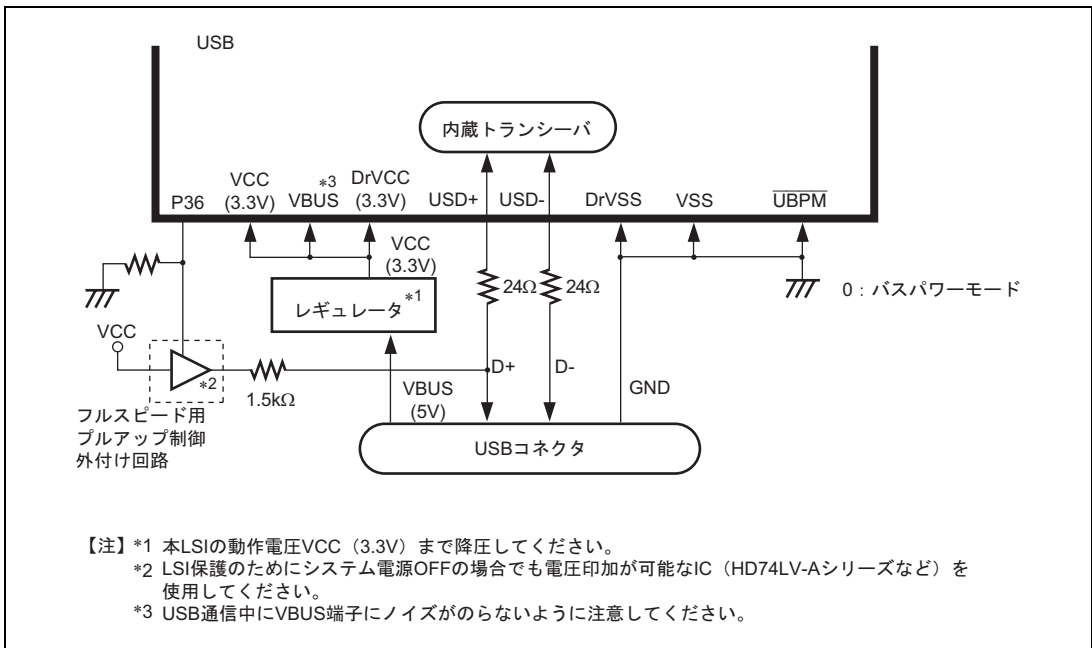


図 14.26 バスパワーモード時の回路例

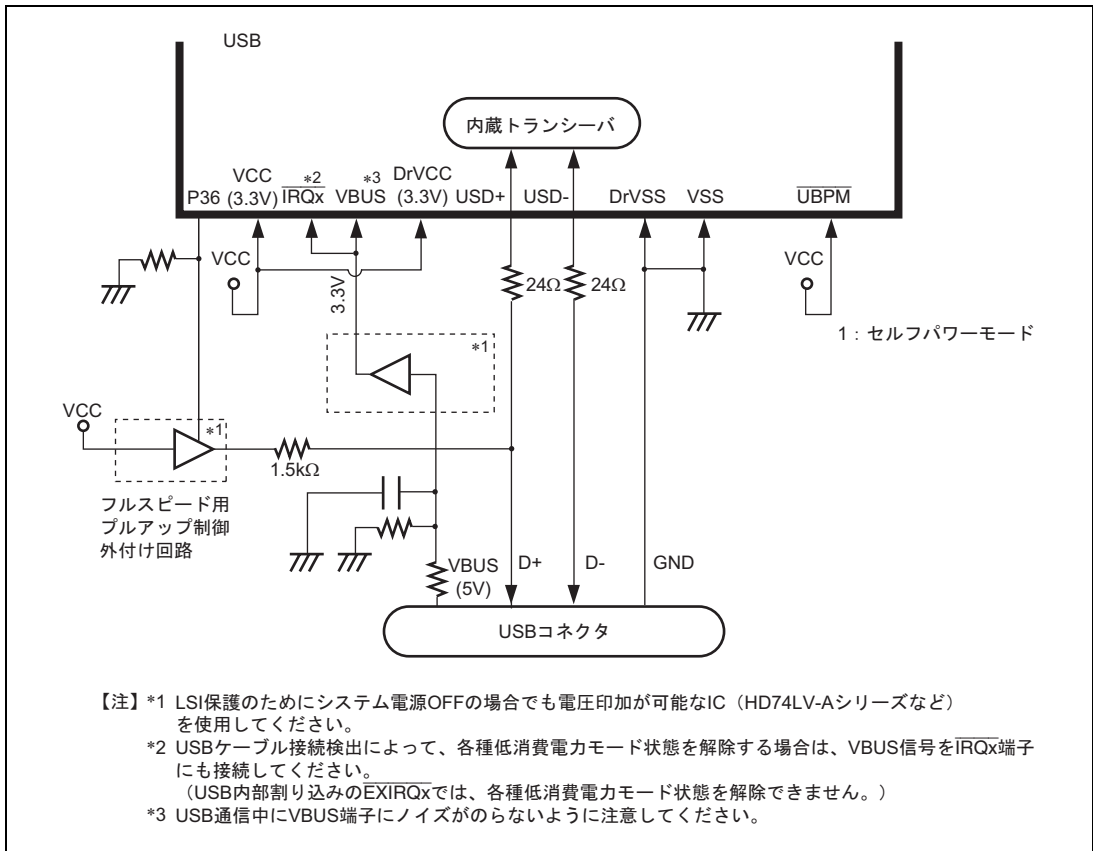


図 14.27 セルフパワーモード時の回路例

14.8 使用上の注意事項

(1) エミュレータ使用時の注意

1. UEDR0_oとUEDR2をI/Oレジスタ ウィンド機能などで表示すると、EP0_oFIFOやEP2FIFOのリードポインタが誤動作しUEDR0_o、UESZ0_o、UEDR2、UESZ2が正しくリードできなくなりますので、UEDR0_oとUEDR2は表示させないでください。
2. E6000では、USBモジュールが外部拡張ボード上に実装されており、外部モジュール扱いでアクセスする必要があるため、下記制約があります。E10Aや製品チップの場合は、下記制約はありません。
 - H8S/2218グループのモード7 (シングルチップモード) でのUSB動作はサポートしていません。
 - H8S/2218グループのモード6 (内蔵ROM有効モード) やH8S/2212グループのモード7 (シングルチップモード) で使用する場合、初期状態では、 $\overline{CS6}$ とA9~A0が入力端子となっているため、本モジュールをアクセスする前に、P72DDR = 1、AE3 ~ AE0 = B'0010、PC7DDR ~ PC0DDR = H'FFに設定して、 $\overline{CS6}$ とA9 ~ A0を出力端子にしてください。
 - H8S/2218グループのモード4、5 (内蔵ROM無効モード) で使用する場合は、P72DDR = 1、AE3 ~ AE0 = B'0010に設定して、 $\overline{CS6}$ とA9 ~ A8を出力端子にしてください。

(2) バスインタフェースについて

本モジュールのバスインタフェースは、外部エリア 6 のバス仕様に従います。したがって、本モジュールをアクセスする前に、バスコントローラのレジスタで、必ずエリア 6 をバス幅 8 ビット、3 ステートアクセスに設定してください。また、アドレス H'C00100 ~ H'DFFFFF は USB リザーブエリアでありアクセス禁止エリアです。

(3) 動作周波数について

マイコンのメインクロックは 24MHz または 16MHz で使用してください。

メインクロックをベースクロックとして内蔵 PLL で 24MHz を 2 通倍、または 16MHz を 3 通倍して 48MHz の USB 動作クロックを生成します。また、本モジュールは、中速モード、スリープモード、ウォッチモード、サブアクティブモード、サブスリープモードには対応していませんので、必ず高速モードで使用してください。

(4) セットアップデータ受信について

8 バイトのセットアップデータ受信を行う EP0_s FIFO は以下の点に注意してください。

USB ではセットアップコマンドは必ず受信することになっているため、マイコン側からのリードよりも、UDC 側からのライトが優先になっています。受信完了後にマイコンでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためマイコン側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。

これは、FIFO に使用している DP-RAM がライト、リードともに同一アドレスをアクセスした場合にデータが保証されないため、リード側を強制的に無効にするためです。

(5) FIFO のクリアについて

USB ケーブルが通信途中で抜かれた場合は、以前の送受信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル接続後は速やかに FIFO のクリアを行ってください。また、バスリセット時にも FIFO のクリアを行ってください。

なお、ホストからデータ受信中有りいはホストに対してデータ送信中の FIFO クリアは行わないでください。

(6) $\overline{\text{IRQ6}}$ 割り込みについて

$\overline{\text{IRQ6}}$ によるサスペンド/レジューム割り込み要求は、必ず立ち下がりエッジに設定してください。

(7) データレジスタのオーバーリード/ライトについて

CPU でデータレジスタをリード/ライトする際、以下の点に注意してください。

- 送信用データレジスタ (UEDR0i、UEDR3、UEDR1)

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2面FIFOを持つEP1の場合も、1回のライトは必ず最大パケットサイズ以内にしてください。データライト後、UTRG0レジスタのPKTEに1ライトを行うと本モジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって2面分の連続データライトは行わないでください。

- 受信データレジスタ (UEDR0o、UEDR2)

受信データレジスタは、有効な受信データ数以上リードしないでください。すなわち受信データサイズレジスタに示されるバイト数以上リードしないでください。2面FIFOを持つEP2の場合も1回にリードできる最大データ数は最大パケットサイズまでです。現在有効になっている面のデータリードが終了したら、必ず UTRG0レジスタのRDFNに1ライトを行ってください。

この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データサイズに反映され、次のデータがリード可能になります。

また、受信データがないときにデータレジスタをリードしないでください。リードを行うと、モジュール内のFIFOを制御するポインタが変化して、正常な動作ができなくなります。

(8) リセットについて

- USB通信動作中のマニュアルリセットは、USD+、USD-の端子状態を保持したまま本LSIが停止してしまうため、使用しないでください。

本モジュールのレジスタは一部に同期リセットを使用しているため、モジュール内部のクロックが安定してからリセット解除する必要があります。したがって、初期設定時のリセット解除は、以下の手順に従ってください。

1. USBモジュールストップ1解除：EXMDLSTPレジスタのUSBSTOP1 = 0クリア
2. USB動作クロックセレクト：UCTLRレジスタのUCKS3 ~ 0へライト
3. USBモジュールストップ2解除：MSTPCRBレジスタのMSTPB0 = 0クリア
4. USB動作クロック安定化待ち：UIFR3レジスタのCK48READY = 1セット待ち
5. USBインタフェースリセット解除：UCTLRレジスタのUIFRST = 0クリア

14. ユニバーサルシリアルバス (USB)

6. UDCコアリセット解除：UCTLRレジスタのUDCRST=0クリア

詳細は、「14.5.1 初期設定」および「14.5.2 USB ケーブル接続 / 切断」のフローを参照してください。

- USBのレジスタは、ウォッチドッグタイマ(以下WDT)によるパワーオンリセットでは初期化されないため、CPU暴走時などによるWDTによるパワーオンリセット後にUSBが正常動作できない可能性があります(RES端子からのパワーオンリセット信号入力時には、USBのレジスタは初期化されるので問題ありません)。したがって、リセット直後の初期化ルーチンで下記3つのレジスタへ初期値をライトして、USBの全レジスタを確実に初期化してください。

UCTLR = H'03、UIER3 = H'80、UIFR3 = H'00

(9) EP0 に関する割り込み要因の割り当てについて

本モジュールのUIFR0に割り当てられたEP0に関する割り込み要因(ビット3~ビット0)は、必ずUISR0で同じ割り込み信号($\overline{\text{EXIRQx}}$)に割り当ててください。その他の割り込み要因には特に制約はありません。

(10) VBUS、 $\overline{\text{IRQx}}$ 端子のレベルシフトについて

本モジュールのVBUS、 $\overline{\text{IRQx}}$ 端子には、必ずUSBコネクタのVBUS端子をレベルシフトを通して接続してください。これは、本モジュール内部でUSBケーブルの接続 / 切断を検出して動作する回路があるためです。

本モジュールが搭載されたセット(商品)の電源がOFFの状態でも、USBケーブルがセットに接続されている場合は、USBコネクタのVBUS端子に約5Vの電圧が印加されます。このような場合でも本モジュールを搭載したLSIを破壊しないために、電源OFF時でも端子に電圧印加が可能なレベルシフト(HD74LV-Aシリーズなど)を使用してください。

(11) USBエンドポイントデータレジスタのリード / ライトについて

CPUによるワード転送命令やロングワード転送命令で送信側のUSBエンドポイントデータレジスタ(UEDR0i、UEDR1、UEDR3)にデータをライトする場合は、送信すべきデータサイズより多くのデータをライトしないようにしてください。

7バイトのデータをホストに送信するときに、「ロングワード転送命令で2回ライト」、または「ワード転送命令で4回ライト」すると、8バイトのデータをホストに送信してしまいます。したがって7バイトのデータを正確にライトするためには、「ロングワード転送命令で1回ライト、ワード転送命令で1回ライト、バイト転送命令で1回ライト」、または「ワード転送命令で3回ライト、バイト転送命令で1回ライト」のように実施してください。

また、受信側のUSBエンドポイントデータレジスタ(UEDR0o、UEDR2)のデータをリードする場合も、USBエンドポイント受信サイズレジスタ(UESZ0o、UESZ2)で示されたバイト数分だけを正確にリードするようにしてください。

内蔵DMACでUSBエンドポイントデータレジスタのデータをDMA転送する場合は、必ずバイトサイズ転送に設定してください。ワードサイズ転送では、奇数バイトサイズのDMA転送に対応できないため、設定しないでください。

(12) 各種低消費電力モードへの遷移と解除時の制限事項

各種低消費電力モードへ遷移する前には、USB モジュールストップ2状態に設定してください。また、UDC コアはリセットしないでください。

各種低消費電力モード状態が解除され、再度本モジュールをアクセスするときには、USB モジュールストップ2状態を解除後、USB 動作クロック (48MHz) の動作安定時間を待つようにしてください。

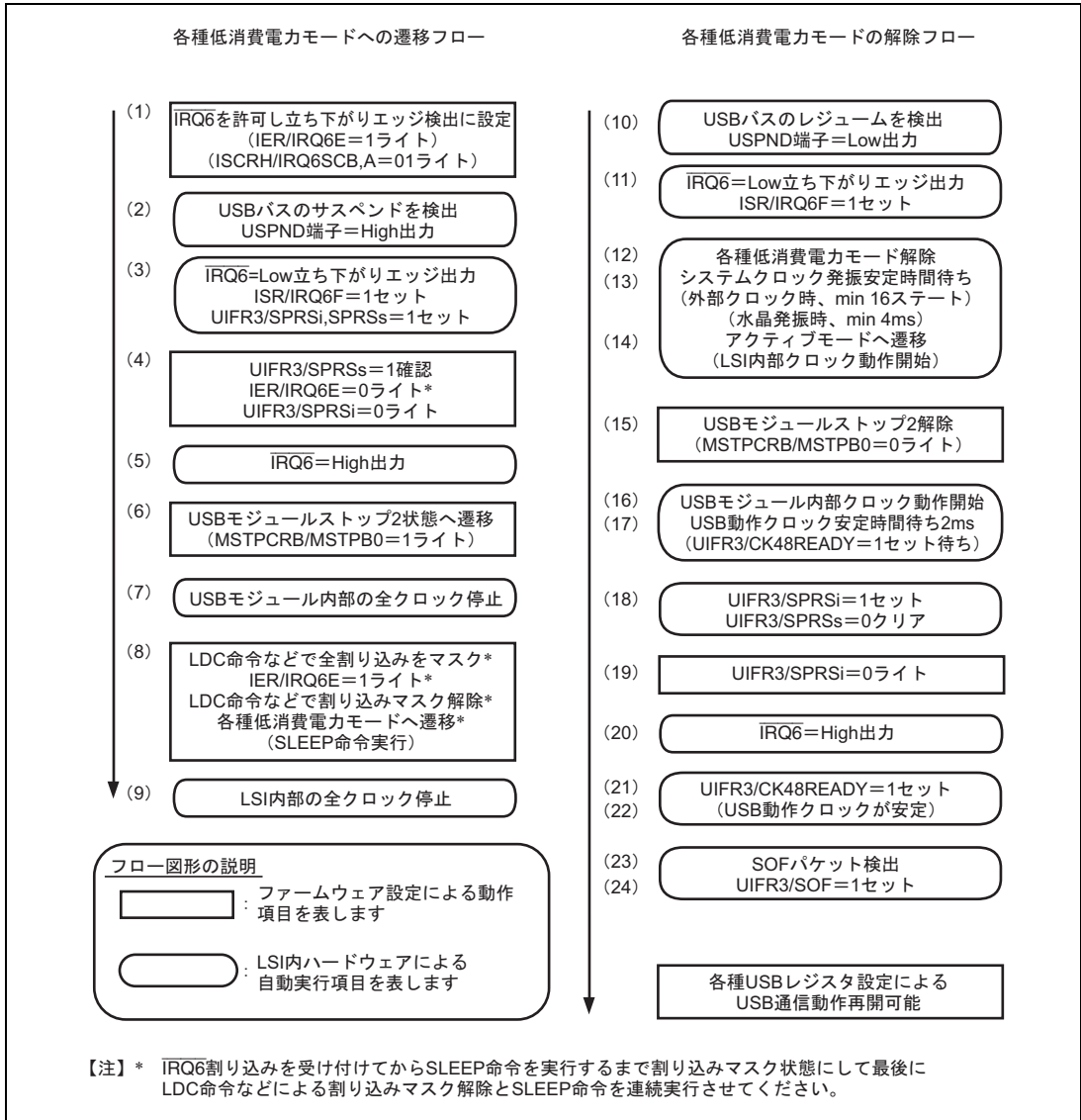


図 14.28 フロー図

14. ユニバーサルシリアルバス (USB)

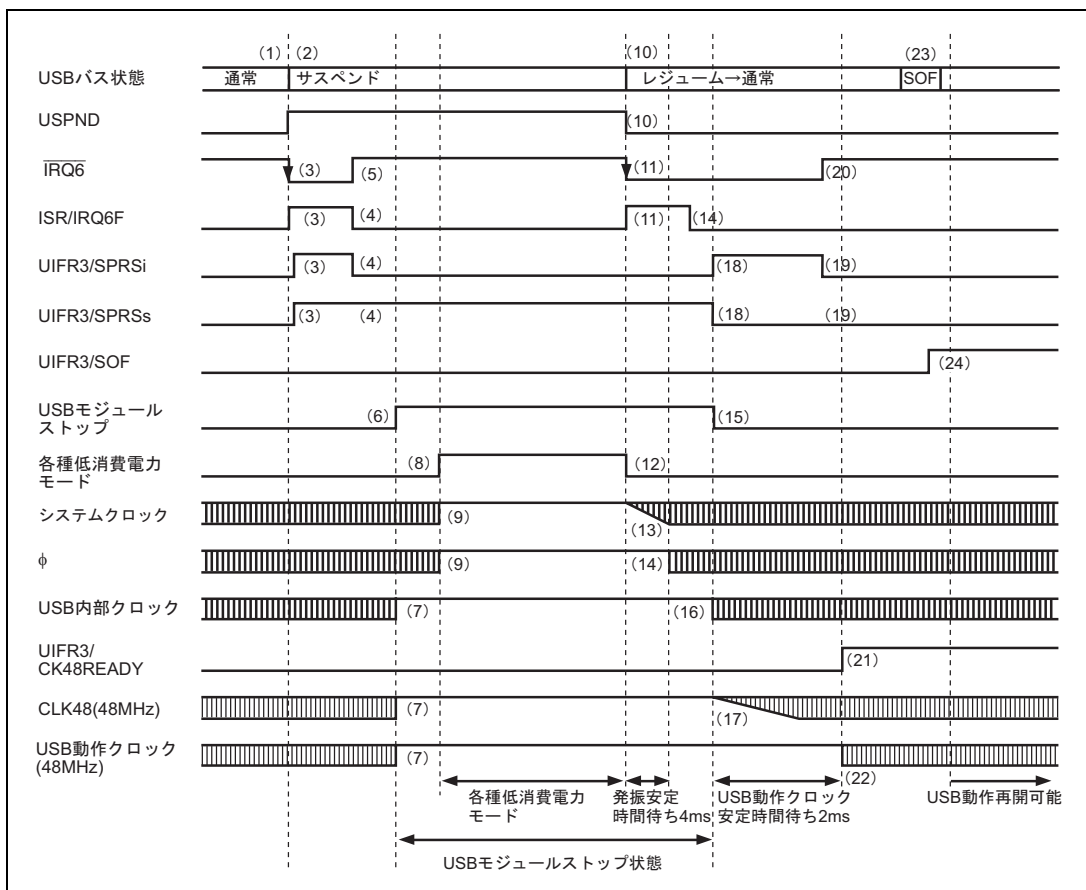


図 14.29 タイミング図

(13) USB 外部回路例に関して

本 USB 外部回路例は、あくまでも参考例であり、システム的に問題がないかどうかを十分に確認のうえ、ボード設計を行ってください。

本回路例で動作を保証するものではありません。また、外部からのサージおよび ESD ノイズ対策がシステム的に必要な場合、保護ダイオードやノイズキャンセラ回路などで対策してください。

(14) USB 未使用時の端子処理

下記のように処理してください。

$DrV_{cc} = V_{cc}$ 、 $DrV_{ss} = 0V$ 、 $USD+ = USD- = USPND =$ オープン状態、 $V_{BUS} = \overline{UBPM} = 0V$

(15) TR 割り込み使用時の注意事項

EP0i/EP1/EP3 のイン転送には転送要求割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当エンドポイントの FIFO にデータがないときにセットされます。しかし、図 14.30 に示すタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないようにしてください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NAK 判定を行います。TR 割り込みフラグは NAK ハンドシェイク送信後にセットされます。したがって、UTRG0/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

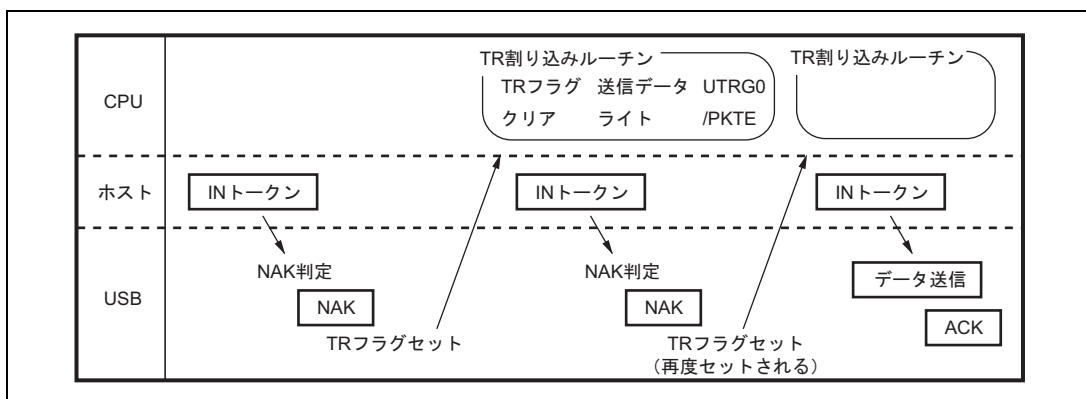


図 14.30 TR 割り込みフラグのセットタイミング

(16) DMA 転送設定時の FIFO クリアについて

エンドポイント 2 において、DMA 転送をイネーブルにしているとき (UDMAR/EP2T1=1、EP2T0=0 または 1) は、EP2 の OUT FIFO のクリアはできません。クリアを行う場合は、DMA 転送を解除してから (UDMAR/EP2T1=0、EP2T1=0) を行ってください。

14. ユニバーサルシリアルバス (USB)

15. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 6 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 15.1 に示します。

15.1 特長

- 分解能：10ビット
- 入力チャンネル：6チャンネル
- 変換時間：1チャンネル当たり8.1 μ s（16MHz動作時）、10.7 μ s（24MHz動作時）、21.8 μ s（6MHz動作時）
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - タイマ（TPU）の変換開始トリガ
 - 外部トリガ信号（ $\overline{\text{ADTRG}}$ ）
- 割り込み要因
 - A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能
- アナログ変換電圧範囲の設定可能
 - リファレンス電圧端子（V_{ref}）をアナログ基準電圧としてアナログ変換電圧範囲を設定

15. A/D変換器

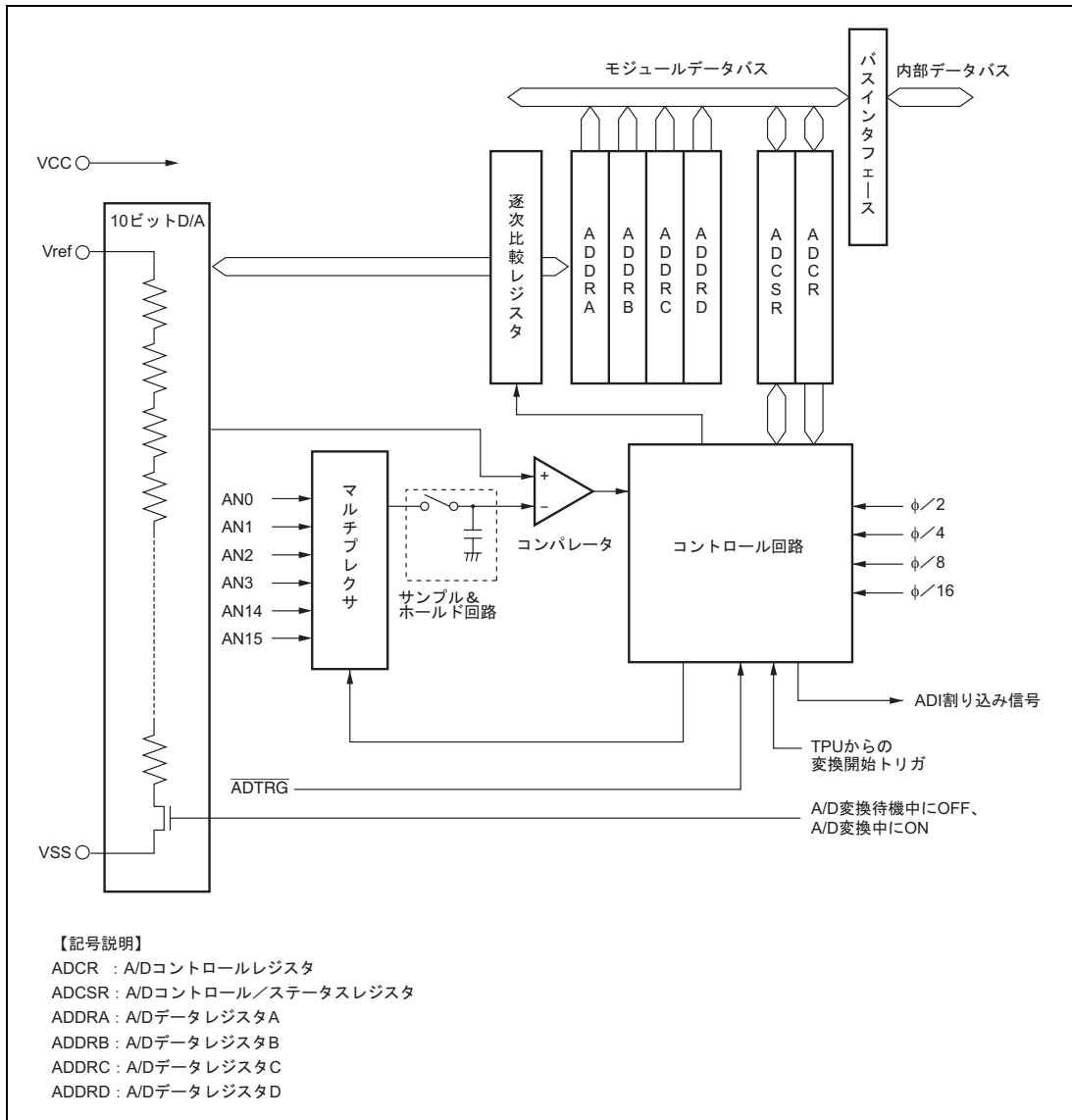


図 15.1 A/D変換器のブロック図

15.2 入出力端子

A/D 変換器で使用する端子を表 15.1 に示します。AN0～AN3、AN14、AN15 はアナログ入力端子です。VCC、VSS 端子は、A/D 変換器内部のアナログ部の電源です。Vref は、A/D 変換基準電圧端子です。

表 15.1 端子構成

端子名	記号	入出力	機能
電源端子	VCC	入力	アナログ部の電源端子および基準電圧（デジタル部と共用）
グランド端子	VSS	入力	アナログ部のグランドおよび基準電圧（デジタル部と共用）
リファレンス電圧端子	Vref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 外部トリガ入力端子	ADTRG	入力	

15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

15.3.1 A/D データレジスタ A～D (ADDRA～ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 15.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。ビット 5～ビット 0 はリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

ADDR の初期値は H'0000 です。

15. A/D 変換器

表 15.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2、AN14	ADDRC
AN3、AN15	ADDRD

15.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • ADI 割り込みにより DMAC が起動され ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し待機状態になります。 1 にセットすると A/D 変換を開始します。 ソフトウェア、タイマの変換開始トリガ、A/D 外部トリガ (ADTRG) で 1 にセットできます。 シングルモード：選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。 スキャンモード：ソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。ビットの設定は A/D 変換停止時 (ADST = 0) に行ってください。 0：シングルモード 1：スキャンモード

ビット	ビット名	初期値	R/W	説 明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	アナログ入力チャンネルを選択します。
1	CH1	0	R/W	SCAN = 0 のとき SCAN = 1 のとき
0	CH0	0	R/W	0000 : AN0 0000 : AN0
				0001 : AN1 0001 : AN0、AN1
				0010 : AN2 0010 : AN0 ~ AN2
				0011 : AN3 0011 : AN0 ~ AN3
				01xx : 設定禁止 01xx : 設定禁止
				10xx : 設定禁止 1xxx : 設定禁止
				110x : 設定禁止
				1110 : AN14
				1111 : AN15
				【記号説明】 x : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15. A/D 変換器

15.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7 6	TRGS1 TRGS0	0 0	R/W R/W	タイマトリガセレクト 1、0 トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時 (ADST=0) に行ってください。 00: ソフトウェアによる A/D 変換の開始 01: TPU からの変換トリガによる A/D 変換の開始 10: 設定禁止 11: 外部トリガ端子 (ADTRG) による A/D 変換の開始
5、4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 A/D 変換時間を設定します。変換時間の切り替えは、A/D 変換停止時 (ADST=0) の状態で行ってください。 00: 変換時間 = 530 ステート (max) 01: 変換時間 = 266 ステート (max) 10: 変換時間 = 134 ステート (max) 11: 変換時間 = 68 ステート (max) 変換時間の設定は「22.6 A/D 変換特性」に示す変換時間以上にしてください。
1、0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトするときは、1 をライトしてください。

15.4 バスマスタとのインタフェース

ADDRA ~ ADDR_D は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

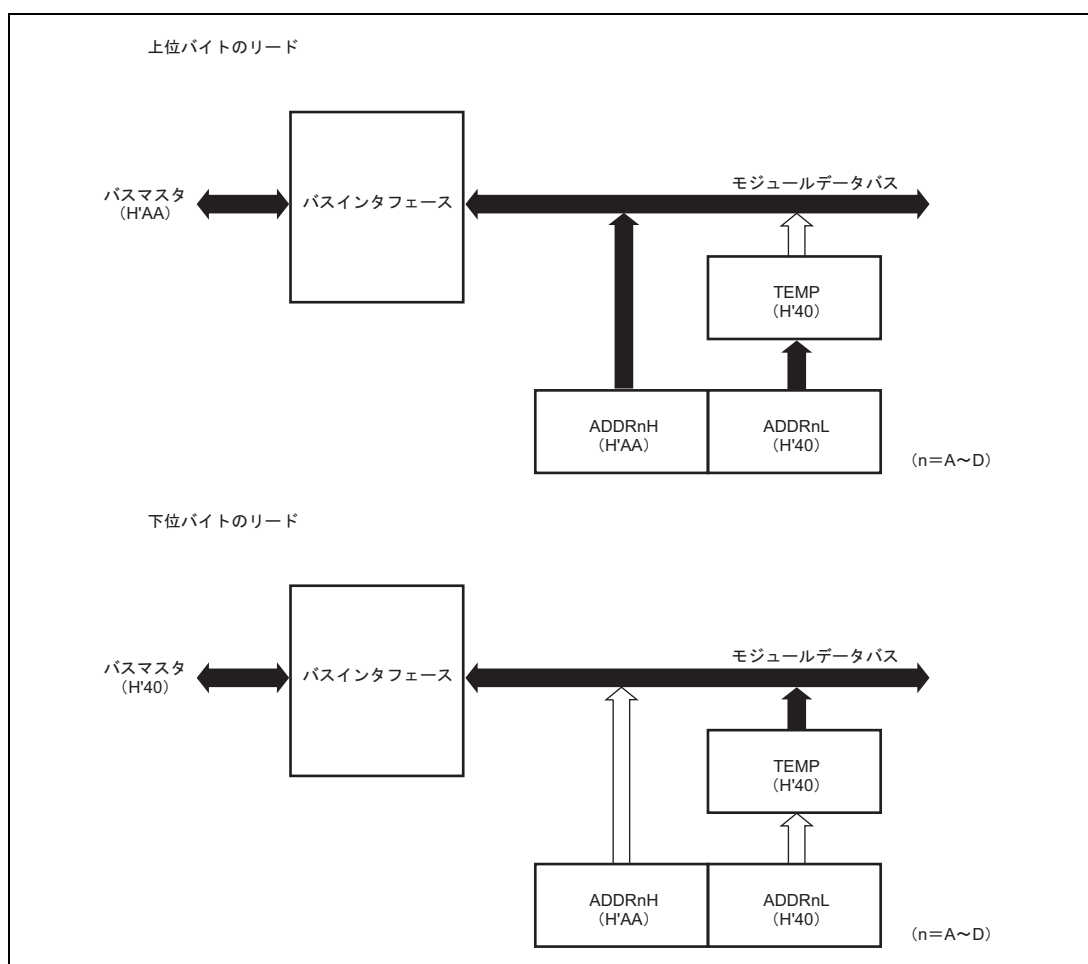


図 15.2 ADDR のアクセス動作 (H'AA40 リード時)

15.5 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

15.5.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、タイマまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

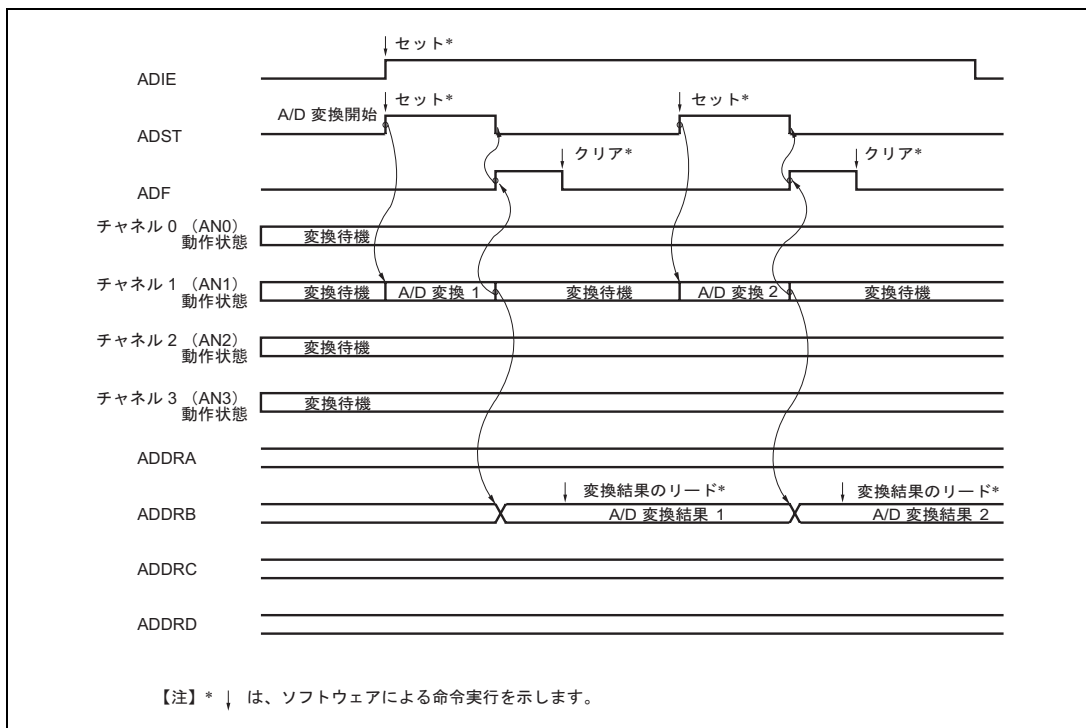


図 15.3 A/D 変換器の動作例 (シングルモード チャネル 1 選択時)

15.5.2 スキャンモード

スキャンモードは指定された最大4チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、タイマまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、グループの第1チャンネル（AN0）からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFフラグが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は、2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換は停止します。

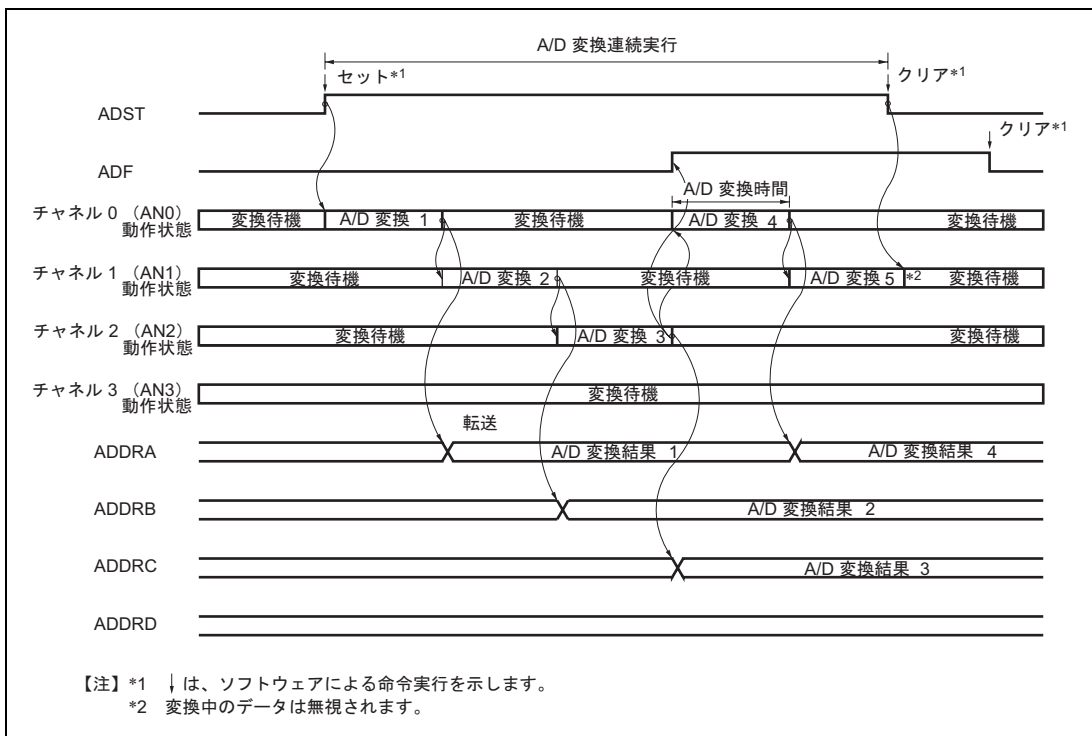


図 15.4 A/D 変換器の動作例（スキャンモード AN0～AN2 の3チャンネル選択時）

15.5.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.3 と表 15.4 に示します。

A/D 変換時間 (t_{CONV}) は、図 15.5 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 15.3 に示す値が 1 回目の変換時間となりますが、2 回目以降は表 15.4 に示す変換時間となります。

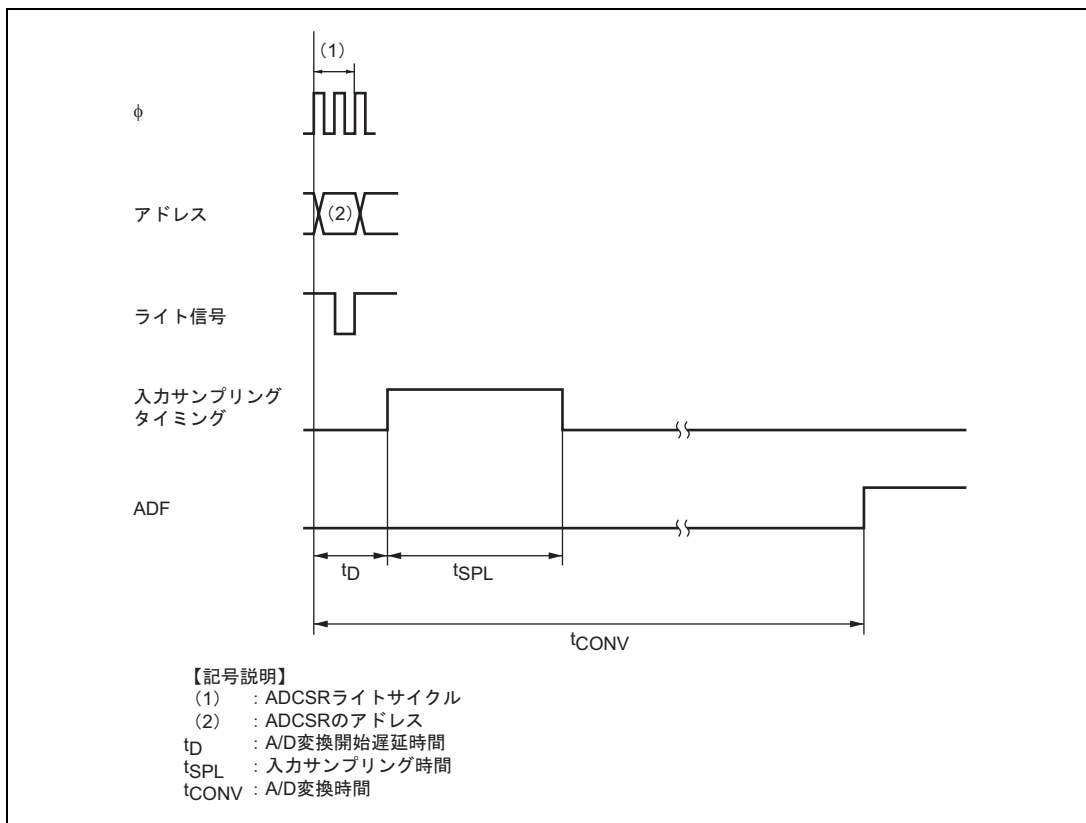


図 15.5 A/D 変換タイミング

表 15.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	td	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	tsPL	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	tCONV	515	-	530	259	-	266	131	-	134	67	-	68

【注】 表中の数値の単位はステートです。

表 15.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

15.5.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.6 に示します。

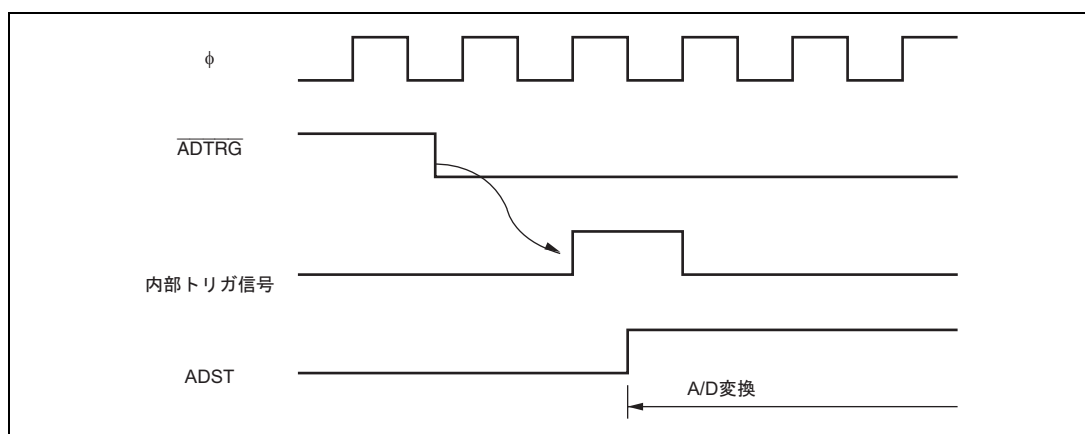


図 15.6 外部トリガ入力タイミング

15.6 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。また、ADI 割り込みで DMAC の起動ができます。

表 15.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動
ADI	A/D 変換終了	ADF	可

15.7 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図15.7)
- オフセット誤差
デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.8)
- フルスケール誤差
デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.8)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図15.8)
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線誤差を含む

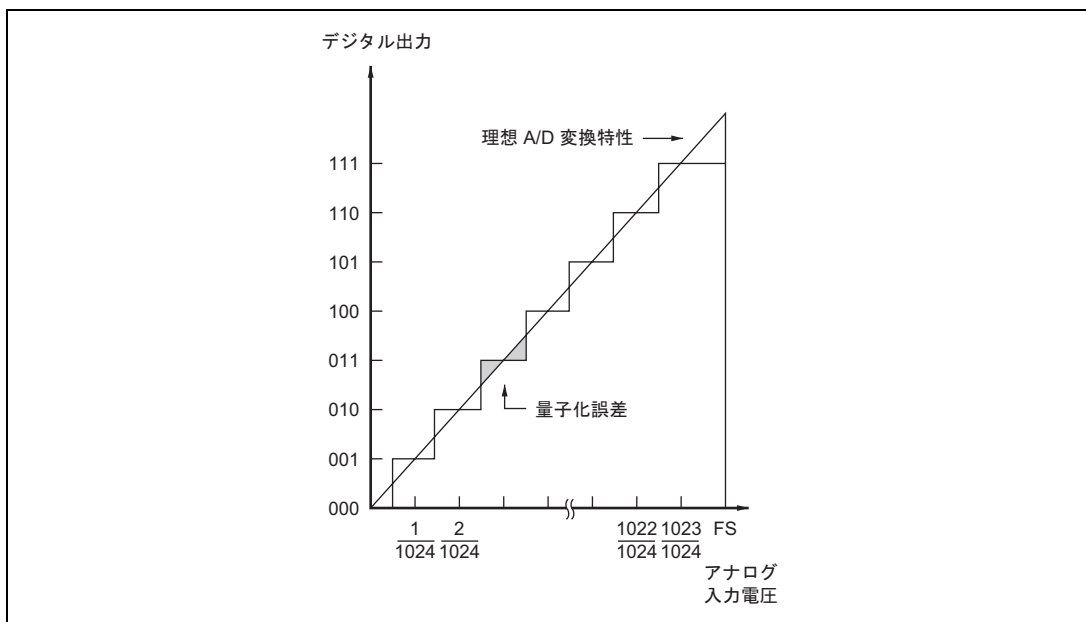


図 15.7 A/D 変換精度の定義 (1)

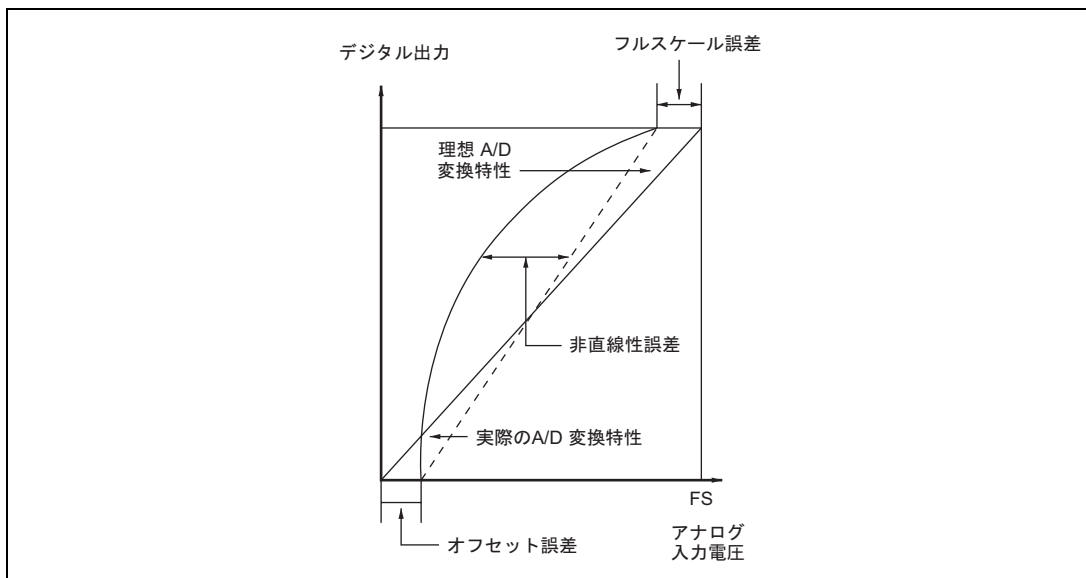


図 15.8 A/D 変換精度の定義 (2)

15.8 使用上の注意事項

15.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 20 章 低消費電力状態」を参照してください。

15.8.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 15.9）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

15.8.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS などの電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

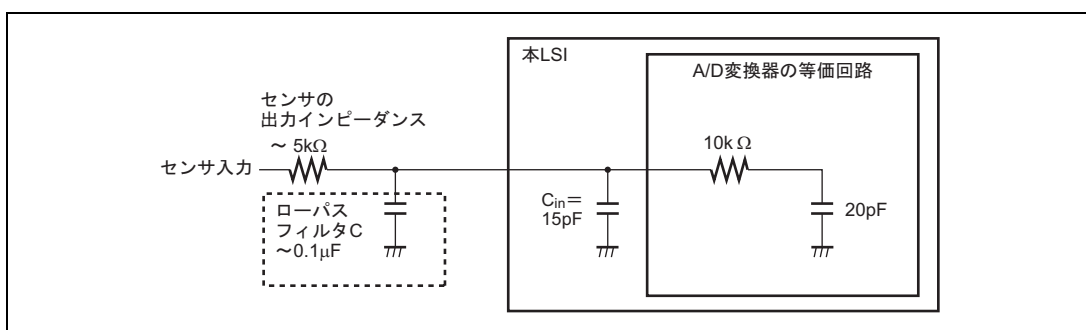


図 15.9 アナログ入力回路の例

15.8.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧はVSS ANn Vrefの範囲としてください。

- Vrefの設定範囲

Vref端子によるリファレンス電圧の設定範囲はVref VCCにしてください。

15.8.5 ボード設計上の注意事項

ノイズ対策や過大なサージなど異常電圧によるアナログ入力端子 (ANn)、アナログ基準電源 (Vref) の破壊を防ぐためのボード設計を十分ご検討のうえ決定してください。

表 15.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5*	kΩ

【注】 * Vcc = 2.7 ~ 3.6V

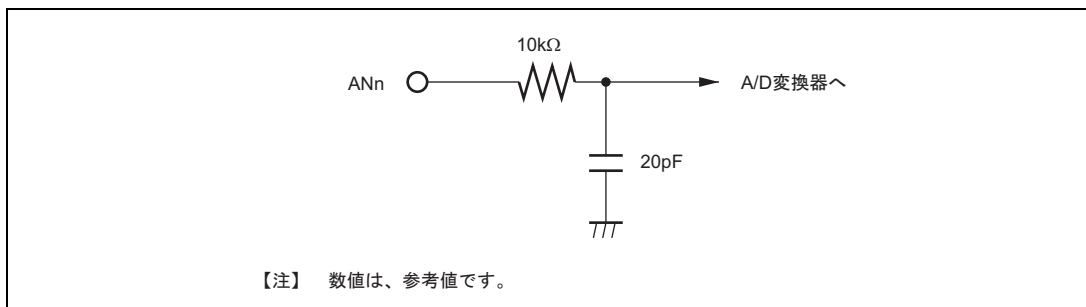


図 15.10 アナログ入力端子等価回路

16. RAM

HD64F2218、HD64F2218U、HD64F2218CU、HD64F2217CU、HD64F2212、HD64F2212U、HD64F2212CU は 12K バイト、HD6432217、HD64F2211、HD64F2211U、HD64F2211CU、HD6432211、HD64F2210CU は 8K バイト、HD6432210、HD6432210S は 4K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品区分		ROM タイプ	RAM 容量	RAM アドレス
H8S/2218 グループ	HD64F2218	フラッシュメモリ版	12K バイト	H'FFC000 ~ H'FFEFBF H'FFFC0 ~ H'FFFFFF
	HD64F2218U			
	HD64F2218CU			
	HD64F2217CU			
	HD6432217	マスク ROM 版	8K バイト	H'FFD000 ~ H'FFEFBF H'FFFC0 ~ H'FFFFFF
H8S/2212 グループ	HD64F2212	フラッシュメモリ版	12K バイト	H'FFC000 ~ H'FFEFBF H'FFFC0 ~ H'FFFFFF
	HD64F2212U			
	HD64F2212CU			
	HD64F2211			
	HD64F2211U	8K バイト	H'FFD000 ~ H'FFEFBF H'FFFC0 ~ H'FFFFFF	
	HD64F2211CU			
	HD64F2210CU			
	HD6432211			
	HD6432210	マスク ROM 版	8K バイト	H'FFD000 ~ H'FFEFBF H'FFFC0 ~ H'FFFFFF
	HD6432210S		4K バイト	

17. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 17.1 に示します。

17.1 特長

- 容量：

製品区分		ROM 容量	ROM アドレス
H8S/2218 グループ	HD64F2218、HD64F2218U HD64F2218CU	128K バイト	H'000000 ~ H'01FFFF (モード 6、7)
	HD64F2217CU	64K バイト	H'000000 ~ H'00FFFF (モード 6、7)
	HD64F2212、HD64F2212U HD64F2212CU	128K バイト	H'000000 ~ H'01FFFF (モード 7)
H8S/2212 グループ	HD64F2211、HD64F2211U HD64F2211CU	64K バイト	H'000000 ~ H'00FFFF (モード 7)
	HD64F2210CU	32K バイト	H'000000 ~ H'007FFF (モード 7)

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは32Kバイト×2ブロック、28Kバイト×1ブロック、16Kバイト×8ブロック、8Kバイト×1ブロック、1Kバイト×4ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

min 100回書き換え可能です。

- オンボードプログラミングモード：2種類

ブートモード

SCIブートモード：HD64F2218、HD64F2212、HD64F2211

USBブートモード：HD64F2218U、HD64F2218CU、HD64F2217CU、HD64F2212U、HD64F2212CU、
HD64F2211U、HD64F2211CU、HD64F2210CU

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、ユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

17. フラッシュメモリ (F-ZTAT 版)

- ビットレート自動合わせ込み

SCIブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み/消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。

- ライタモード

オンボードプログラミングのほかにPROMライタを用いて書き込み/消去を行うライタモードがあります。

- 内蔵RAMによるエミュレーション機能

フラッシュメモリと内蔵RAMの一部を重ね合わせることでフラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

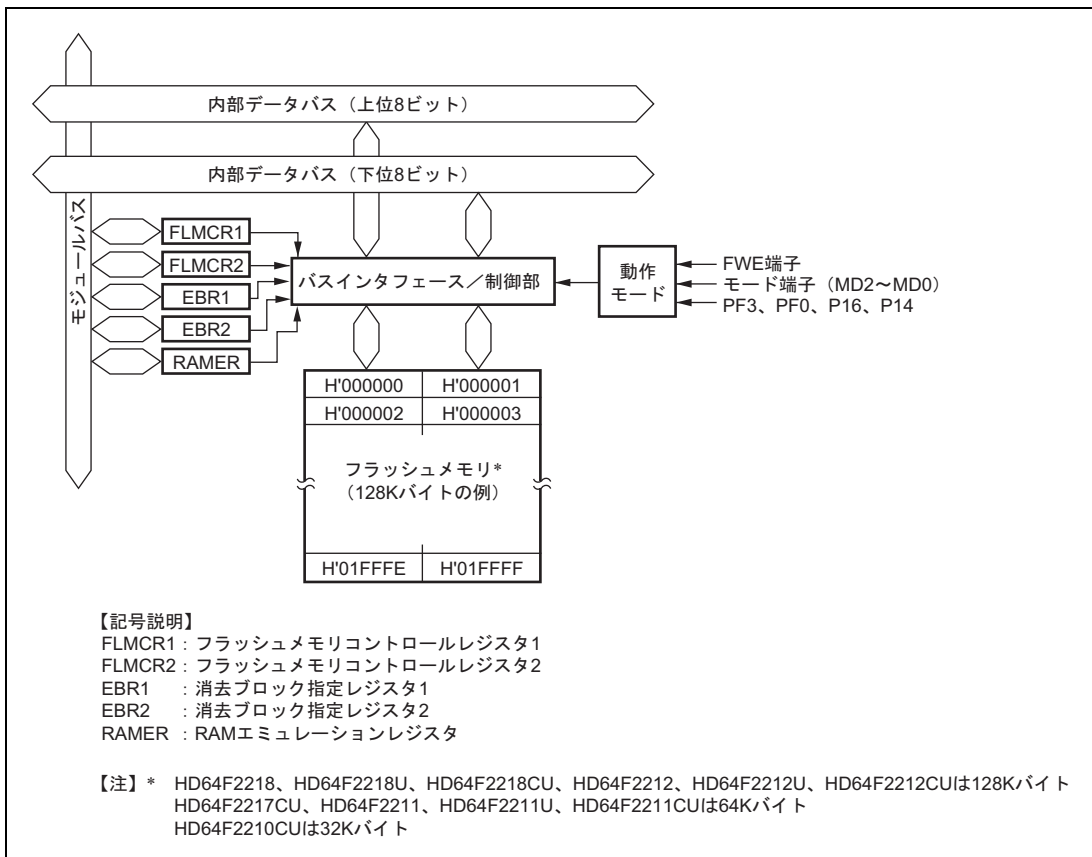


図 17.1 フラッシュメモリのブロック図

17.2 モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 17.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

表 17.1 にブートモードとユーザプログラムモードの相違点を示します。図 17.3 にブートモードを、図 17.4 にユーザプログラムモードを示します。

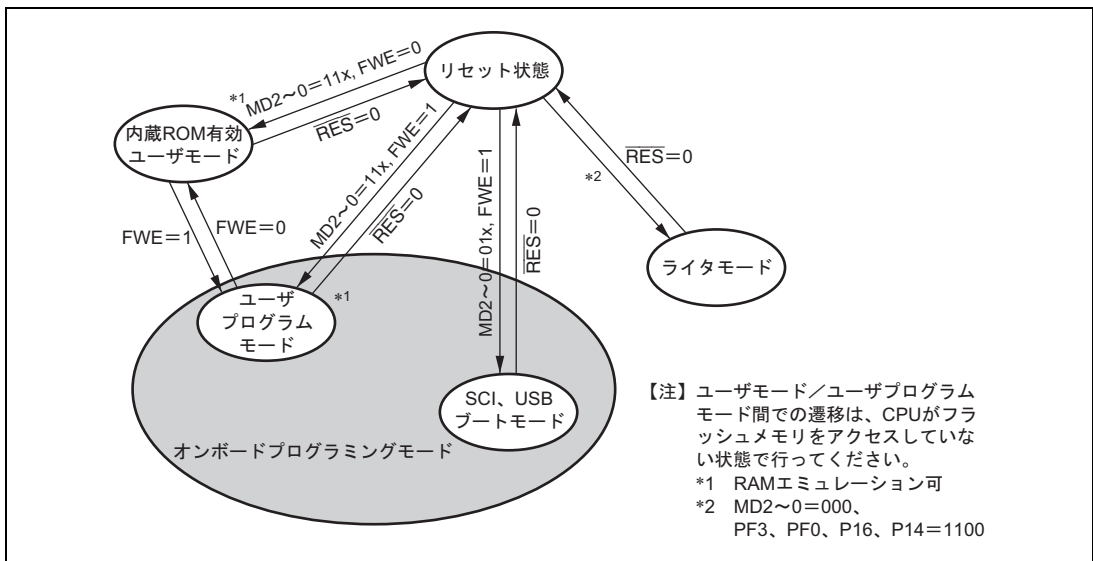


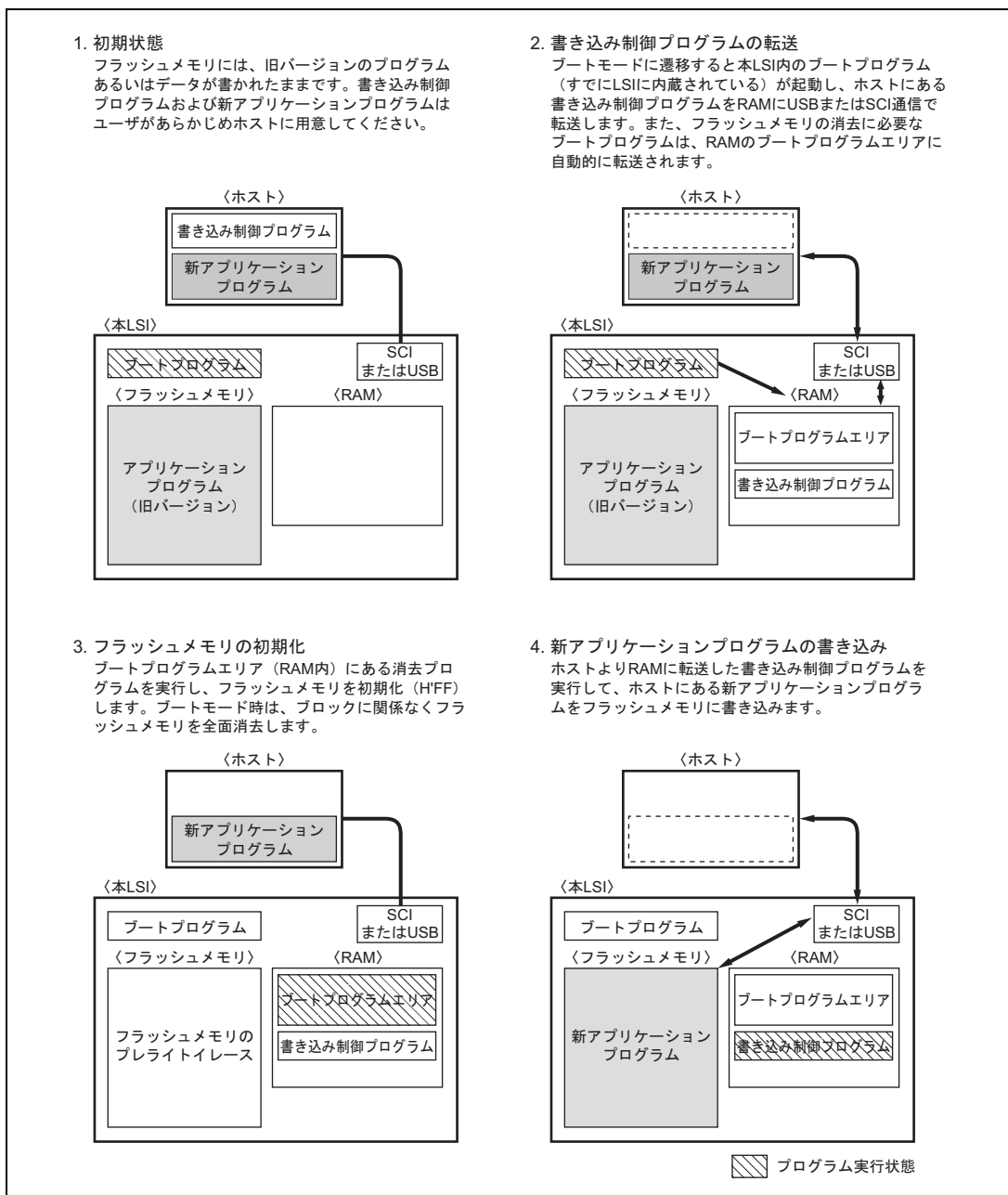
図 17.2 フラッシュメモリに関する状態遷移

表 17.1 ブートモードとユーザプログラムモードの相違点

	SCI、USB ブートモード	ユーザプログラムモード	ユーザモード
全面消去			×
ブロック分割消去	×		×
書き換え制御プログラム*	プログラム/プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ エミュレーション	-

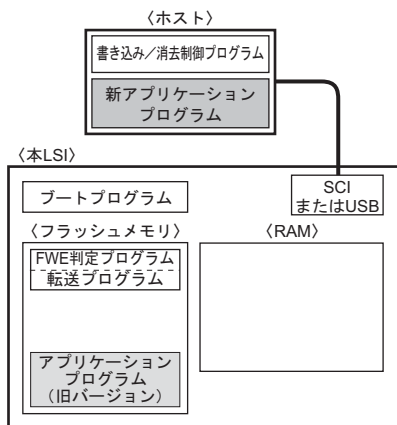
【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

17. フラッシュメモリ (F-ZTAT 版)



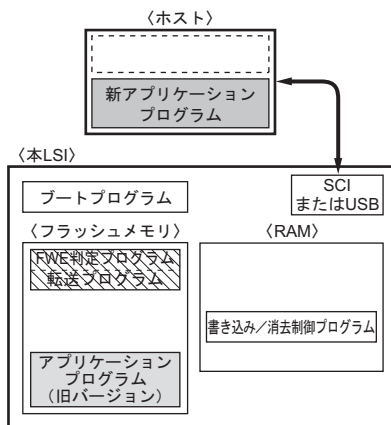
1. 初期状態

(1) ユーザプログラムモードに遷移したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



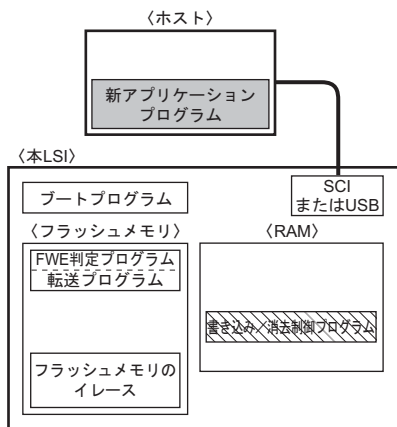
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに遷移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



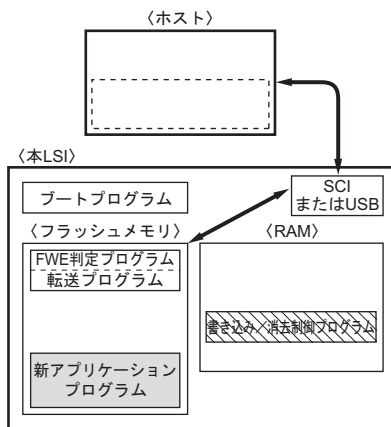
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 17.4 ユーザプログラムモード (例)

17.3 ブロック構成

図 17.5 に HD64F2218、HD64F2218U、HD64F2218CU、HD64F2212、HD64F2212U、HD64F2212CU の 128K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 1K バイト (4 ブロック) 28K バイト (1 ブロック)、16K バイト (1 ブロック)、8K バイト (2 ブロック)、32K バイト (2 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位1Kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000380	H'000381	H'000382	-----	H'0003FF
EB1 消去単位1Kバイト	H'000400	H'000401	H'000402	←書き込み単位 128バイト→	H'00047F
	H'000780	H'000781	H'000782	-----	H'0007FF
EB2 消去単位1Kバイト	H'000800	H'000801	H'000802	←書き込み単位 128バイト→	H'00087F
	H'000B80	H'000B81	H'000B82	-----	H'000BFF
EB3 消去単位1Kバイト	H'000C00	H'000C01	H'000C02	←書き込み単位 128バイト→	H'000C7F
	H'000F80	H'000F81	H'000F82	-----	H'000FFF
EB4 消去単位28Kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'007F80	H'007F81	H'007F82	-----	H'007FFF
EB5 消去単位16Kバイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
	H'00BF80	H'00BF81	H'00BF82	-----	H'00BFFF
EB6 消去単位8Kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00DF80	H'00DF81	H'00DF82	-----	H'00DFFF
EB7 消去単位8Kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00FF80	H'00FF81	H'00FF82	-----	H'00FFFF
EB8 消去単位32Kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'017F80	H'017F81	H'017F82	-----	H'017FFF
EB9 消去単位32Kバイト	H'018000	H'018001	H'018002	←書き込み単位 128バイト→	H'01807F
	H'01FF80	H'01FF81	H'01FF82	-----	H'01FFFF

図 17.5 フラッシュメモリのブロック構成

(HD64F2218、HD64F2218U、HD64F2218CU、HD64F2212、HD64F2212U、HD64F2212CU)

図 17.6 に HD64F2217CU、HD64F2211、HD64F2211U、HD64F2212CU の 64K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 1K バイト(4 ブロック)28K バイト(1 ブロック)、16K バイト(1 ブロック)、8K バイト(2 ブロック)に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位1K/バイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000380	H'000381	H'000382	-----	H'0003FF
EB1 消去単位1K/バイト	H'000400	H'000401	H'000402	←書き込み単位 128バイト→	H'00047F
	H'000780	H'000781	H'000782	-----	H'0007FF
EB2 消去単位1K/バイト	H'000800	H'000801	H'000802	←書き込み単位 128バイト→	H'00087F
	H'000B80	H'000B81	H'000B82	-----	H'000BFF
EB3 消去単位1K/バイト	H'000C00	H'000C01	H'000C02	←書き込み単位 128バイト→	H'000C7F
	H'000F80	H'000F81	H'000F82	-----	H'000FFF
EB4 消去単位28K/バイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'007F80	H'007F81	H'007F82	-----	H'007FFF
EB5 消去単位16K/バイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
	H'00BF80	H'00BF81	H'00BF82	-----	H'00BFFF
EB6 消去単位8K/バイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00DF80	H'00DF81	H'00DF82	-----	H'00DFFF
EB7 消去単位8K/バイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00FF80	H'00FF81	H'00FF82	-----	H'00FFFF

図 17.6 フラッシュメモリのブロック構成
(HD64F2217CU、HD64F2211、HD64F2211U、HD64F2211CU)

17. フラッシュメモリ (F-ZTAT 版)

図 17.7 に HD64F2210CU の 32K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 1K バイト(4 ブロック)28K バイト(1 ブロック)に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

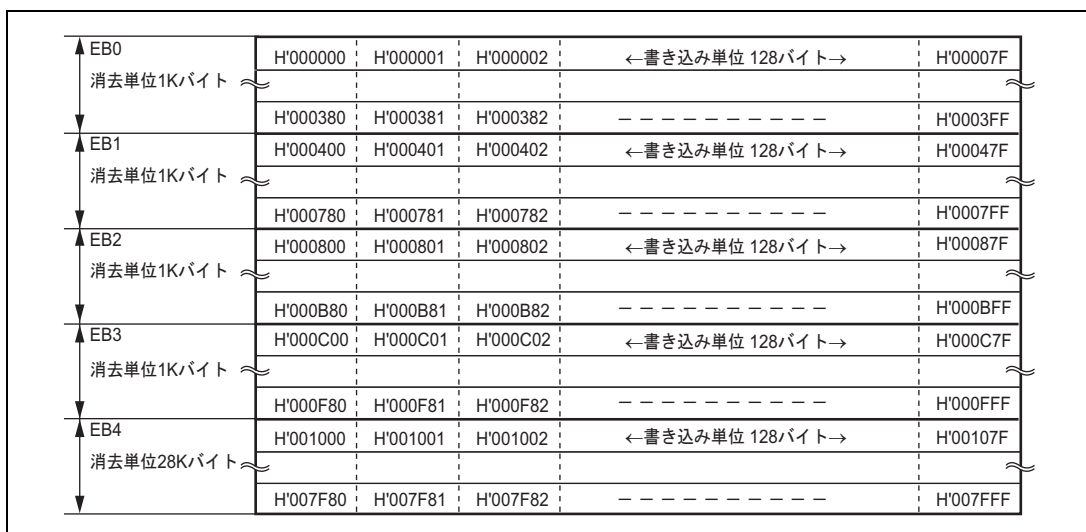


図 17.7 フラッシュメモリのブロック構成 (HD64F2210CU)

17.4 入出力端子

フラッシュメモリは表 17.2 に示す端子により制御されます。

表 17.2 端子構成

端子名	入出力	機 能	
RES	入力	リセット	共通
FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト	
MD2、MD1、MD0	入力	動作モードを設定	
PF3、PF0、P16、P14	入力	ライトモードの動作モードを設定	
EMLE	入力	エミュレータイネーブル	
TxD2	出力	シリアル送信データ出力	HD64F2218
RxD2	入力	シリアル受信データ入力	HD64F2212 HD64F2211
USD+、USD-	入出力	USB データ入出力	HD64F2218U
VBUS	入力	USB ケーブルの接続 / 切断検出	HD64F2218CU
UBPM	入力	USB バスパワーモード / セルフパワーモード設定	HD64F2217CU
USPND	出力	USB サスペンド出力	HD64F2212U
P36 (PUPD+)	出力	D+ブルアップ制御	HD64F2212CU HD64F2211U HD64F2211CU HD64F2210CU

17.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)
- シリアルコントロールレジスタX (SCRX)

マスク ROM 版には上記レジスタは存在しませんので、リードすると不定値が読み出されます。ライトは無効です。

17. フラッシュメモリ (F-ZTAT 版)

17.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「17.8 フラッシュメモリの書き込み / 消去」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE	*	R	フラッシュライトイネーブル FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。0 のときハードウェアプロテクト状態になります。
6	SWE1	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み / 消去が可能となります。0 のときこのレジスタの 5~0 ビットと EBR1、EBR2 の各ビットはセットできません。 [セット条件] FWE=1 のとき
5	ESU1	0	R/W	イレースセットアップ 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。E1 ビットを 1 にセットする前にセットしてください。 [セット条件] FWE=1、SWE1=1 のとき
4	PSU1	0	R/W	プログラムセットアップ 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。P1 ビットを 1 にセットする前にセットしてください。 [セット条件] FWE=1、SWE1=1 のとき
3	EV1	0	R/W	イレースベリファイ 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。 [セット条件] FWE=1、SWE1=1 のとき
2	PV1	0	R/W	プログラムベリファイ 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。 [セット条件] FWE=1、SWE1=1 のとき
1	E1	0	R/W	イレース SWE1=1、ESU1=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。 [セット条件] FWE=1、SWE1=1、ESU1=1 のとき
0	P1	0	R/W	プログラム SWE1=1、PSU1=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。 [セット条件] FWE=1、SWE1=1、PSU1=1 のとき

【注】 * FWE 端子の状態により設定されます。

17.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「17.9.3 エラープロテクト」を参照してください。
6~0		すべて0		リザーブビット 読み出すと常に0が読み出されます。

17.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR の SWE1 ビットが0のときは EBR1 は H'00 に初期化されます。このレジスタは EBR2 とあわせて2ビット以上同時に1に設定しないでください。設定すると EBR1 と EBR2 は0にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが1のとき EB7 (H'00E000 ~ H'00FFFF) の 8K バイトが消去対象となります。
6	EB6	0	R/W	このビットが1のとき EB6 (H'00C000 ~ H'00DFFF) の 8K バイトが消去対象となります。
5	EB5	0	R/W	このビットが1のとき EB5 (H'008000 ~ H'00BFFF) の 16K バイトが消去対象となります。
4	EB4	0	R/W	このビットが1のとき EB4 (H'001000 ~ H'007FFF) の 28K バイトが消去対象となります。
3	EB3	0	R/W	このビットが1のとき EB3 (H'000C00 ~ H'000FFF) の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが1のとき EB2 (H'000800 ~ H'000BFF) の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが1のとき EB1 (H'000400 ~ H'0007FF) の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが1のとき EB0 (H'000000 ~ H'00003FF) の 1K バイトが消去対象となります。

17.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1のSWE1ビットが0のときはEBR2はH'00に初期化されます。このレジスタはEBR1とあわせて2ビット以上同時に1に設定しないでください。設定するとEBR1とEBR2は0にオートクリアされます。

【注】 HD64F2217CU、HD64F2212CU、HD64F2211、HD64F2211U、HD64F2210CUでは、リザーブレジスタです。ライトするときは必ずH'00をライトしてください。

ビット	ビット名	初期値	R/W	説明
7~2		すべて0	R/W	リザーブビット ライトするときは、必ず0をライトしてください。
1	EB9	0	R/W	このビットが1のときEB9 (H'018000~H'01FFFF)の32Kバイトが消去対象となります。
0	EB8	0	R/W	このビットが1のときEB8 (H'010000~H'017FFF)の32Kバイトが消去対象となります。

17.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMERの設定は、ユーザモード、ユーザプログラミングモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。具体的な設定方法については「17.7 RAMによるフラッシュメモリのエミュレーション」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~4		すべて0	R/W	リザーブビット ライトするときは必ず0をライトしてください。
3	RAMS	0	R/W	RAM セレクト RAMによるフラッシュメモリのエミュレーション選択ビットです。このビットが1のとき、RAMの一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となります。
2	RAM2	0	R/W	フラッシュメモリエリア選択
1	RAM1	0	R/W	RAMSが1のとき、RAMの領域とオーバーラップさせるフラッシュメモリのエリアを選択します。これらのエリアは1Kバイトの消去ブロックに対応しています。 000 : H'000000 ~ H'0003FF (EB0) 001 : H'000400 ~ H'0007FF (EB1) 010 : H'000800 ~ H'000BFF (EB2) 011 : H'000C00 ~ H'000FFF (EB3) 100 : 設定禁止 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止
0	RAM0	0	R/W	

17.5.6 シリアルコントロールレジスタ X (SCRX)

SCRX は、レジスタアクセスの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。FLSHE ビットを 1 にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。 0: アドレス H'FFFA8 ~ H'FFFA8 のエリアはフラッシュ制御レジスタを非選択 1: アドレス H'FFFA8 ~ H'FFFA8 のエリアはフラッシュ制御レジスタを選択
2~0	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

17.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。本モードには 2 種類の動作モード (ブートモード、ユーザプログラムモード) があります。各モードの設定方法は、表 17.3 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図は、図 17.2 を参照してください。

表 17.3 オンボードプログラミングモード設定方法

モード設定		EMLE	FWE	MD2	MD1	MD0
SCI ブートモード (HD64F2218, HD64F2212, HD64F2211)	アドバンスト・シングルチップモード	0	1	0	1	×
USB ブートモード (HD64F2218U, HD64F2218CU, HD64F2217CU, HD64F2212U, HD64F2212CU, HD64F2211U, HD64F2211CU, HD64F2210CU)	アドバンスト・シングルチップモード システムクロック 24MHz 時	0	1	0	1	0
	アドバンスト・シングルチップモード システムクロック 16MHz 時	0	1	0	1	1
ユーザプログラムモード	アドバンスト・内蔵 ROM 有効拡張モード (MCU 動作モード 6)	0	1	1	1	0
	アドバンスト・シングルチップモード (MCU 動作モード 7)	0	1	1	1	1

17.6.1 SCI ブートモード (HD64F2218、HD64F2212、HD64F2211)

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります (フラッシュメモリの書き込みを行います)。

図 17.8 にブートモード時のシステム構成図を示します。

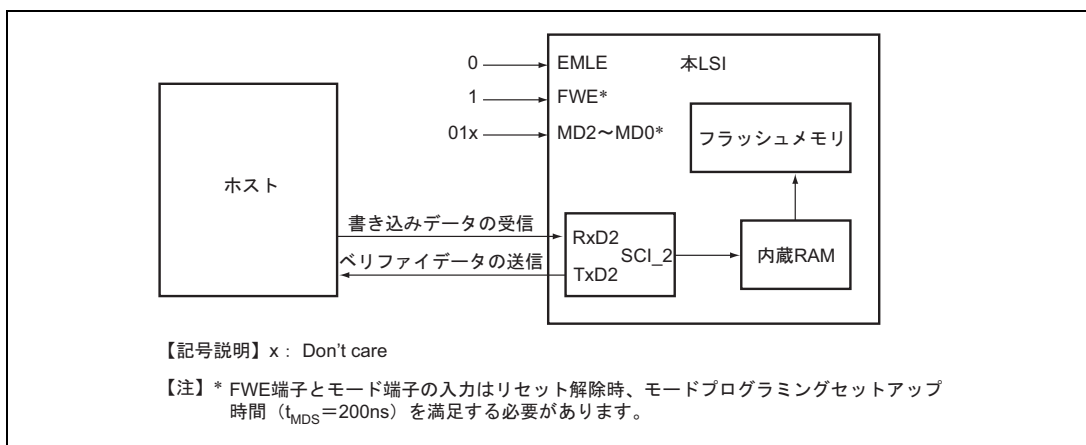


図 17.8 SCI ブートモード時のシステム構成図

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 17.4 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「17.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。
ブートモードは、フラッシュメモリに書き込まれているデータがある場合 (全データが1でないとき)、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態で初期の書き込み、あるいはユーザプログラムモードで起動するプログラムに従って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
2. SCI_2は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI_2のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。

4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表17.5の範囲としてください。
5. ブートモードでは内蔵RAMの4Kバイト (H'FFE000 ~ H'FFEFBF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはHD64F2218、HD64F2212では、8Kバイト (H'FFC000 ~ H'FFDFFF)、HD64F2211では、4Kバイト (H'FFD000 ~ H'FFDFFF) です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに移行後もRAM内のブートプログラムが保持されていますので注意してください。
6. 書き込み制御プログラムに分岐するときSCI_2は送受信動作を終了 (SCRのRE=0、TE=0) しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、FWE端子とモード端子を設定してリセットを解除*してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でモード端子の入力レベルを変化させないでください。リセット中にモード端子の入力レベルを変化 (Lowレベル→Highレベル) させると、動作モードが切り替わることによりアドレス出力兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{WR}) の状態が変化します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、外部の信号と衝突しないように注意してください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

【注】 * FWE 端子とモード端子の入力はリセット解除時、モードプログラミングセットアップ時間 ($t_{MDS} = 200\text{ns}$) を満足する必要があります。

17. フラッシュメモリ (F-ZTAT 版)

表 17.4 ブートモードの動作

項目	ホストの動作	本 LSI の動作
		リセットスタート後ブートプログラムへ分岐
ビットレート調整 ↓	所定のビットレートでデータ H'00 を連続送信 H'00 を正常に受信したら H'55 を 1 バイト送信	受信データ H'00 の Low 期間を測定 ビットレートを計算し、SCI ₂ の BRR を設定 ビットレート調整終了の合図として H'00 を 1 バイト送信 H'55 を受信したらホストへ H'AA を 1 バイト送信
書き込み制御プログラムのバイト数 (N) を転送 ↓	転送する書き込み制御プログラムのバイト数 (N) を上位バイト、下位バイトの順に 2 バイト送信	受信した 2 バイトのデータをペリファイデータとしてホストへエコーバック
書き込み制御プログラムの転送 (N 回繰り返し) ↓	書き込み制御プログラムを 1 バイト送信	受信したデータをホストにエコーバックするとともに RAM へ転送
メモリ消去 ↓		フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへ H'AA を送信 消去できなかった場合は H'FF を送信して、動作を停止
書き込み制御プログラムの実行		内蔵 RAM に転送された書き込み制御プログラムへ分岐し実行を開始

表 17.5 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
19200bps	8 ~ 24MHz
9600bps	6 ~ 24MHz
4800bps	6 ~ 24MHz

17.6.2 USB ブートモード (HD64F2218U、HD64F2218CU、HD64F2217CU、HD64F2212U、HD64F2212CU、HD64F2211U、HD64F2211CU、HD64F2210CU)

(1) 特長

- バスパワーモードとセルフパワーモードを選択可能
- システムクロック16MHz、PLL3通倍 (FWE = 1、MD2 ~ MD0 = 011)、またはシステムクロック24MHz、PLL2通倍 (FWE = 1、MD2 ~ MD0 = 010) によるUSB動作クロック生成に対応
- D+ ブルアップ制御接続はP36端子のみ対応
- エニユメレーション情報は表17.6参照

表 17.6 エニユメレーション情報

USB 規格	Ver.1.1	
転送モード	Control (in, out)、Bulk (in, out)	
最大電力モード	セルフパワーモード (UBPM 端子 = 1)	100mA
	バスパワーモード (UBPM 端子 = 0)	500mA
エンドポイント構成	EP0 Control (in,out) 64Bytes Configuration 1 └─ Interface Number 0 └─ Alternate Setting 0 └─ EP1 Bulk (in) 64Bytes └─ EP2 Bulk (out) 64Bytes	

(2) USB ブートモード実行時の注意点

- 16MHzまたは24MHzのシステムクロックとFWE、MD2 ~ MD0端子設定を正しくあわせてください
- D+ ブルアップ制御接続はP36端子を使用してください
- フラッシュメモリへの書き込み / 消去中に電源安定供給のために、バスパワーHUBを経由してのケーブル接続はしないでください
- フラッシュメモリへの書き込み / 消去中にUSBケーブルを抜くと、最悪の場合にはLSIの永久破壊となる可能性がありますので特に注意してください
- バスパワーモード時にUSBバスがサスペンドモードに入っても本LSIは各種低消費電力モードには遷移しません

(3) 概要

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムは USB を使って本 LSI へ順次送信されます。本 LSI では、USB で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態と

17. フラッシュメモリ (F-ZTAT 版)

なります (フラッシュメモリの書き込みを行います)。図 17.9 に USB ブートモード時のシステム構成図を示します。

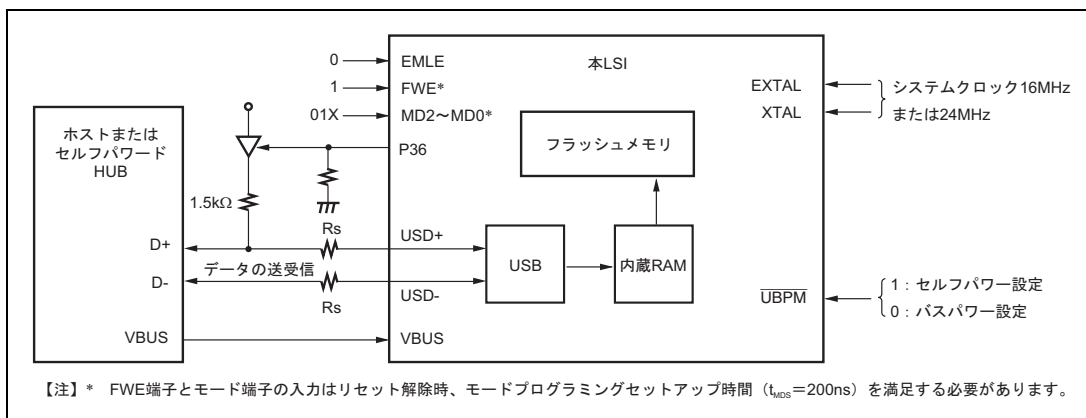


図 17.9 USB ブートモード時のシステム構成図

USB ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 17.7 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に用意しておく必要があります。書き込み制御プログラムは「17.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。

ブートモードはフラッシュメモリに書き込まれているデータがある場合 (全データが1でないとき)、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムに従って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。

2. ブートプログラムが起動すると、ホストとのエミュレーションを行います。エミュレーション情報を表 17.6 に示します。

エミュレーションが完了したら、ホストから H'55 を 1 バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。

3. ホストから送信する周波数は MHz \times 100 単位の数値を設定してください。
(例: 16.00MHz \rightarrow H'0640, 24.00MHz \rightarrow H'0960)
4. ブートモードでは内蔵 RAM の 4K バイト (H'FFE000 ~ H'FFEFBF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは HD64F2218U、HD64F2218CU、HD64F2217CU、HD64F2212U、HD64F2212CU では、8K バイト (H'FFC000 ~ H'FFDFFF)、HD64F2211U、HD64F2211CU、HD64F2210CU では、4K バイト (H'FFD000 ~ H'FFDFFF) です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラ

ムに移行後もRAM内のブートプログラムが保持されていますので注意してください。

5. 書き込み制御プログラムに分岐するときUSBは接続状態のままになっているので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
6. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、FWE端子とモード端子を設定してリセットを解除*してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
7. ブートモードの途中でモード端子の入力レベルを変化させないでください。リセット中にモード端子の入力レベルを変化 (Lowレベル→Highレベル) させると、動作モードが切り替わることによりアドレス出力兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{WR}) の状態が変化します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、外部の信号と衝突しないように注意してください。
8. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

【注】 * FWE 端子とモード端子の入力はリセット解除時、モードプログラミングセットアップ時間 ($t_{MDS} = 200\text{ns}$) を満足する必要があります。

17. フラッシュメモリ (F-ZTAT 版)

表 17.7 USB ブートモードの動作

項目	ホストの動作	本 LSI の動作
		リセットスタート後ブートプログラムへ分岐
USB ブートモード開始 ↓	USB エnumレーション完了後、H'55 を 1 バイト送信	H'55 を受信したらホストへ H'AA を 1 バイト送信
クロック情報を転送 ↓	周波数 (2 バイト)、通信種別数 (1 バイト)、 通信比 (1 バイト) を送信 16MHz 時は、H'0640、H'01、H'01 を送信 24MHz 時は、H'0960、H'01、H'01 を送信	受信したデータがおおの範囲内の場合、ホストへ H'AA を送信 受信したデータのいずれかが範囲外の場合、ホストへ H'FF を送信して、動作を停止
書き込み制御プログラムのバイト数 (N) を転送 ↓	転送する書き込み制御プログラムのバイト数 (N) を 2 バイト送信	受信したバイト数が範囲内の場合、ホストへ H'AA を送信 受信したバイト数が範囲外の場合、ホストへ H'FF を送信して、動作を停止
書き込み制御プログラムとサム値の転送	書き込み制御プログラムを N バイト分送信 サム値(書き込み制御プログラムの総和の 2 の補数 (1 バイト) を送信	受信したデータを内蔵 RAM に転送 受信したサム値と内蔵 RAM に転送された書き込み制御プログラムの 1 バイト単位の総和を算出 和が 0 の場合、ホストへ H'AA を送信 和が 0 でない場合、ホストへ H'FF を送信して、動作を停止
メモリ消去 ↓	全消去ステータスコマンド (H'3A) を送信 H'11 を受信した場合は全消去ステータスコマンド (H'3A) を再送	フラッシュメモリ全消去開始 全消去ステータスコマンド受信時全消去処理実行中の場合、ホストへ H'11 を送信 全消去ステータスコマンド受信時全ブロック消去完了している場合は、ホストへ H'06 を送信 全消去ステータスコマンド受信時消去できなかった場合はホストへ H'EE を送信して、動作を停止
書き込み制御プログラムの実行		内蔵 RAM に転送された書き込み制御プログラムへ分岐し実行を開始

17.6.3 ユーザプログラムモード

ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。あらかじめ基板上的 FWE 制御手段、オンボードでの書き換えデータ供給手段、プログラム分岐のための条件設定をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 17.10 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「17.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。

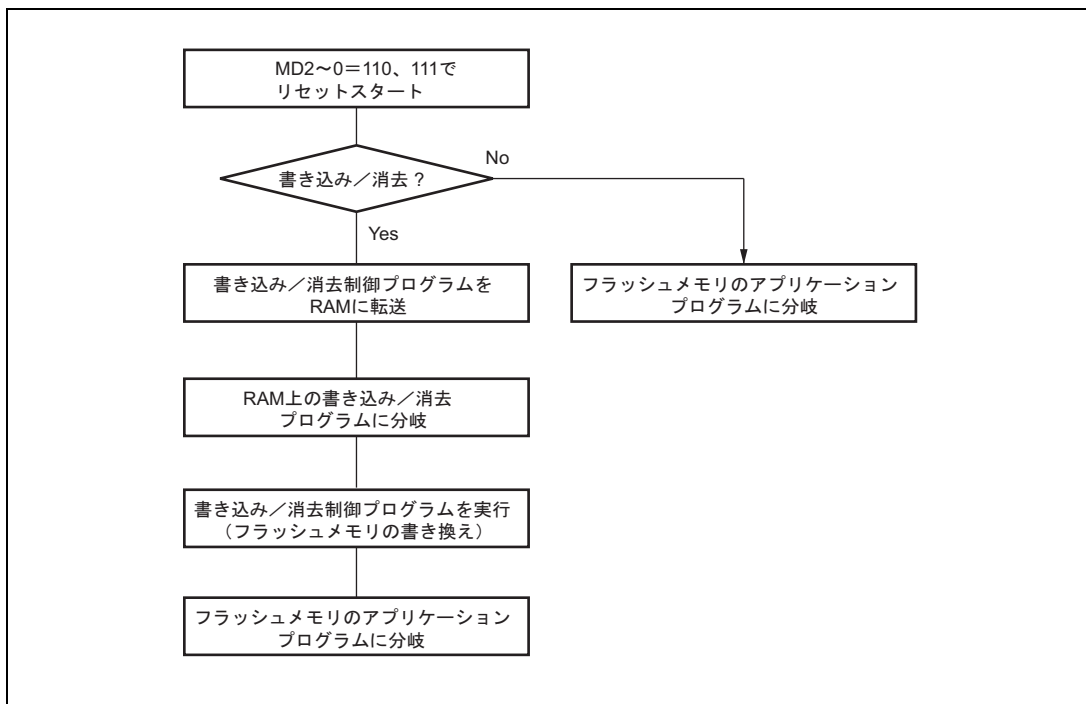


図 17.10 ユーザモードにおける書き込み / 消去例

17.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるよう、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができます。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 17.11 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間に書き込みます。

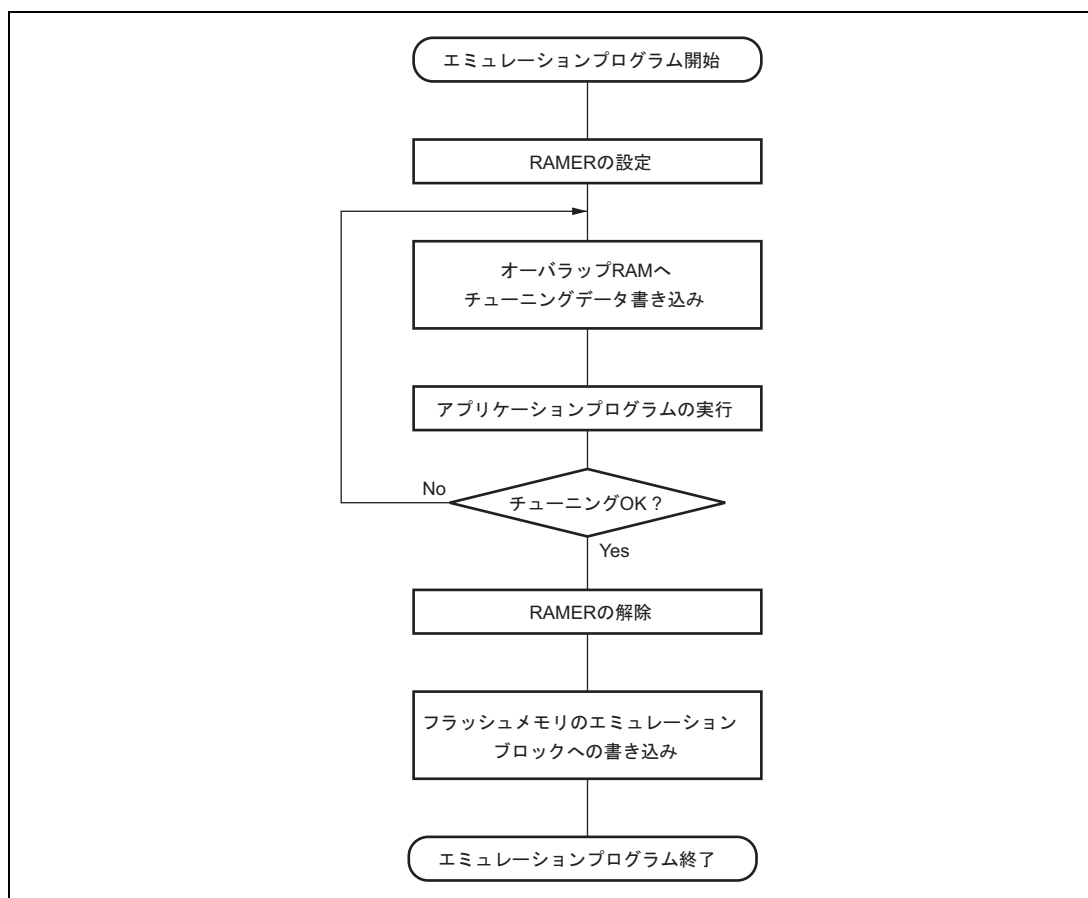


図 17.11 RAM によるエミュレーションフロー

フラッシュメモリのブロック EB1 をオーバーラップさせる例を図 17.12 に示します。

1. オーバーラップさせるRAMのエリアはH'FFD000～H'FFD3FFの1Kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは1KバイトのEB0～EB3のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスともとのRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり(エミュレーションプロテクト)、FLMCR1のP1ビットまたはE1ビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

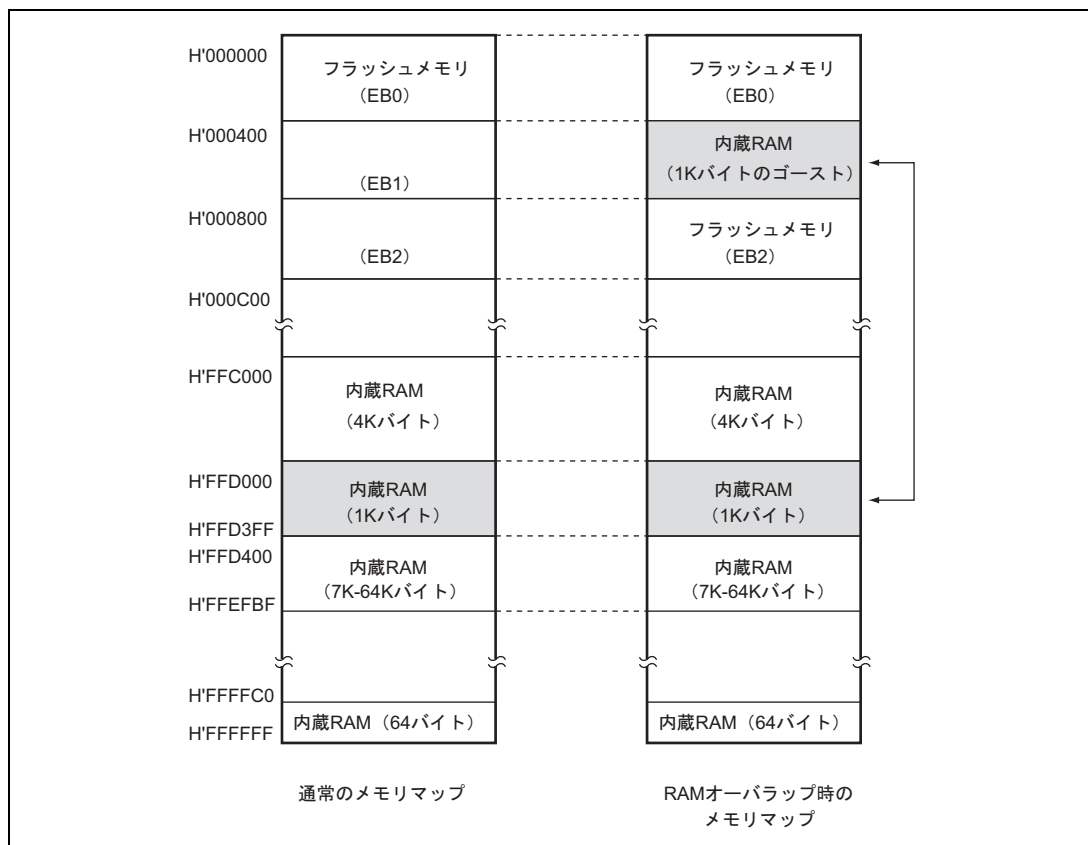


図 17.12 RAM のオーバーラップ例

17.8 フラッシュメモリの書き込み / 消去

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせる書き込み / 消去を行います。フラッシュメモリへの書き込みは「17.8.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「17.8.2 イレース / イレースベリファイ」に沿って行ってください。

17.8.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 17.13 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図17.13に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされません。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. PIビットがセットされている時間が書き込み時間となります。書き込み時間は図17.13に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は $(y + z1 + \alpha + \beta)$ μs より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せません。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、 $(N1 + N2)$ 回を超えないようにしてください。

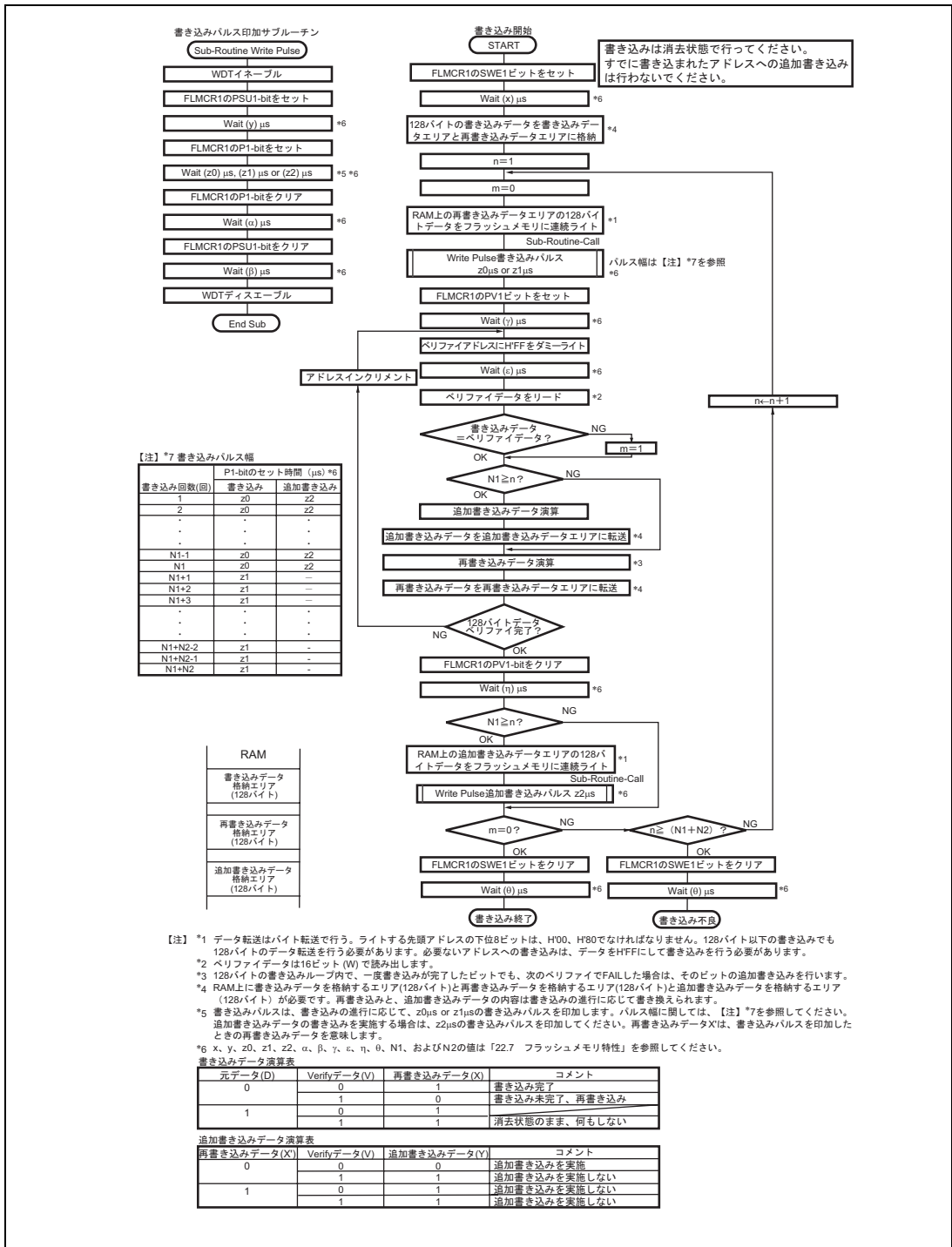


図 17.13 プログラム / プログラムベリファイフロー

17.8.2 イレース / イレースベリファイ

消去は図 17.14 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト (消去するメモリの全データをすべて0にする) を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2 (EBR1、EBR2) により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. EIビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は $(y + z + \alpha + \beta)$ msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せません。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。

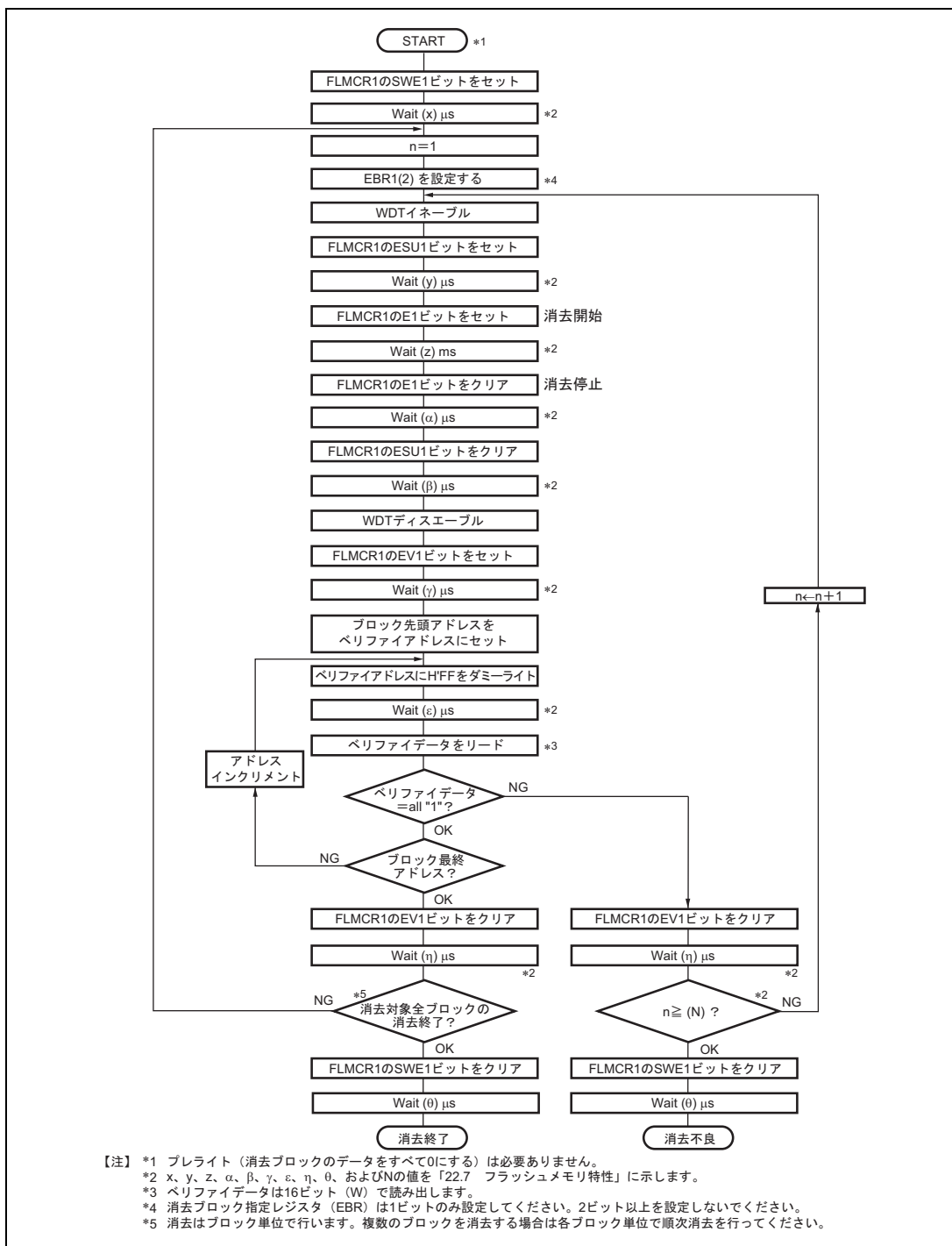


図 17.14 イレース/イレースペリファイフロー

17.9 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるもの、エラープロテクトによるものの3種類あります。

17.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット (WDT によるパワーオンリセットも含む) またはスタンバイモードへの状態遷移および FWE = Low レベルによりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ 1 (FLMCR1)、フラッシュメモリコントロールレジスタ 2 (FLMCR2)、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

17.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE1 ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P1 ビットまたは E1 ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ 1 (EBR1)、ブロック指定レジスタ 2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を両方 H'00 に設定すると全ブロックが消去プロテクト状態になります。RAMER の RAMS ビットをセットすることで全ブロックの書き込み / 消去プロテクト状態になります。

17.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

FLER ビットのセット条件 (エラープロテクト)

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクターリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行
- 書き込み / 消去中に CPU が DMAC にバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1 ビット、E1 ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV1 ビット、EV1 ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットまたはハードウェアスタンバイによってのみ解除できません。

17.10 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット)、またはブートプログラム実行中*¹は書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。これは以下のような動作状態を回避することを目的としています。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. 書き込み / 消去中の割り込み例外処理では正常なベクタリードができず*²、CPUが暴走してしまう。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

【注】 *¹ 書き込み制御プログラムによる書き込みが完了するまでは、CPU 内部と外部で割り込み要求を禁止する必要があります。

*² 以下の 2 つの理由によってベクタリードが正常に行われません。

- ・ 書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- ・ 割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

17.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 128K バイトまたは 64K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライタを使用してください。

図 17.15 にライタモード時のメモリマップを示します。

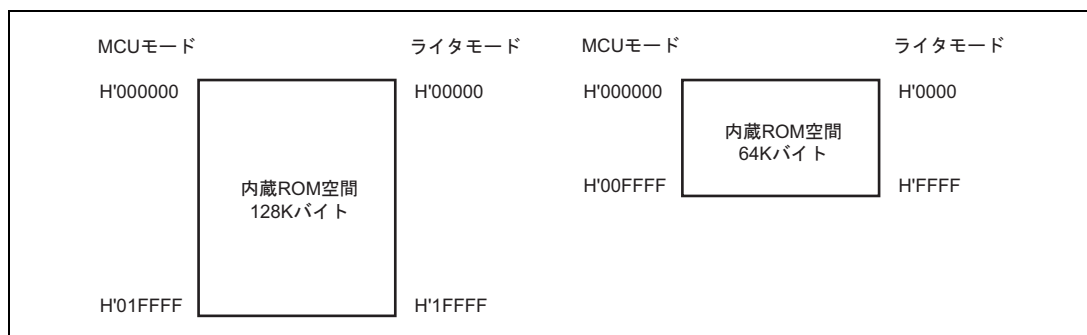


図 17.15 ライタモード時のメモリマップ

17.12 フラッシュメモリの低消費電力状態の注意

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態
高速でフラッシュメモリの読み出しが可能です。
- スタンバイ状態
フラッシュメモリのすべての回路が停止します。
- 低消費電力状態
電源回路の一部を停止してLSIがサブクロック動作時にフラッシュメモリの読み出しが可能です。

表 17.8 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100 μ s 以上になるようにウォッチモードやスタンバイモードからの復帰時は SBYCR の STS2 ~ STS0 を設定し、フラッシュメモリモジュールストップモードからの復帰時は、ソフトウェアでウェイトしてください。

表 17.8 フラッシュメモリの動作状態

本 LSI の動作モード	フラッシュメモリの状態
アクティブモード スリープモード	通常動作状態
ウォッチモード スタンバイモード フラッシュメモリモジュールストップモード	スタンバイ状態 (通常動作状態へ復帰するときは、100 μ s の待機時間が必要です)
サブアクティブモード サブスリープモード	低消費電力状態 (リードのみ)

17.13 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能、およびライターモード使用時の注意事項を示します。

(1) 規定された電圧タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。

PROM ライタは、ルネサスフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT128V3A、FZTAT64V3A) をサポートしているものを使用してください。ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

(2) 電源投入 / 切断時の注意

FWE 端子への High レベル印加は Vcc 確定後に行ってください。また、Vcc を切断する前に FWE 端子を Low レベルにしてください。Vcc 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。

(3) FWE の印加 / 解除の注意

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- VCC電圧が定格電圧の範囲で安定している状態でFWEを印加してください。
- ブートモードでは、FWEの印加 / 解除はリセット中に行ってください。
- ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = Highレベル / Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE入力の切り替えが可能です。
- プログラムが暴走していない状態でFWEを印加してください。
- FWEの解除はFLMCR1のSWE1、ESU1、PSU1、EV1、PVI、PI、E1ビットをクリアした状態で行ってください。FWEの印加 / 解除時に、誤ってSWE1、ESU1、PSU1、EV1、PVI、PI、E1ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P1 ビット、E1 ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアしたあと (0) * μ s 以上待ってから行ってください。

SWE1 ビットをセットするとフラッシュメモリのデータを書き換えますが、ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム / イレース / ベリファイ中に SWE1 ビットのクリアを行わないでください。FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータ読み出しは、SWE1 ビットをクリアしたあとに行ってください。

17. フラッシュメモリ (F-ZTAT 版)

ただし、フラッシュメモリ空間とオーバラップした RAM エリアについては、SWE1 ビットのセット/クリアにかかわらずリード/ライト可能です。

【注】 * 「22.7 フラッシュメモリ特性」を参照してください。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE 印加状態では書き込み/消去動作を再優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは 1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと、過剰電流が流れ製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

(11) 電源投入時は、リセット状態にしてください。

発振安定期間中に 100 μ s 以上はリセットを入れてください。

(12) 動作中にリセットを入れる場合は、SWE1 の Low 期間で入れてください。

SWE1 ビットクリア後 (0) * μ s 以上待ってからリセットを入れてください。

【注】 * 「22.7 フラッシュメモリ特性」を参照してください。

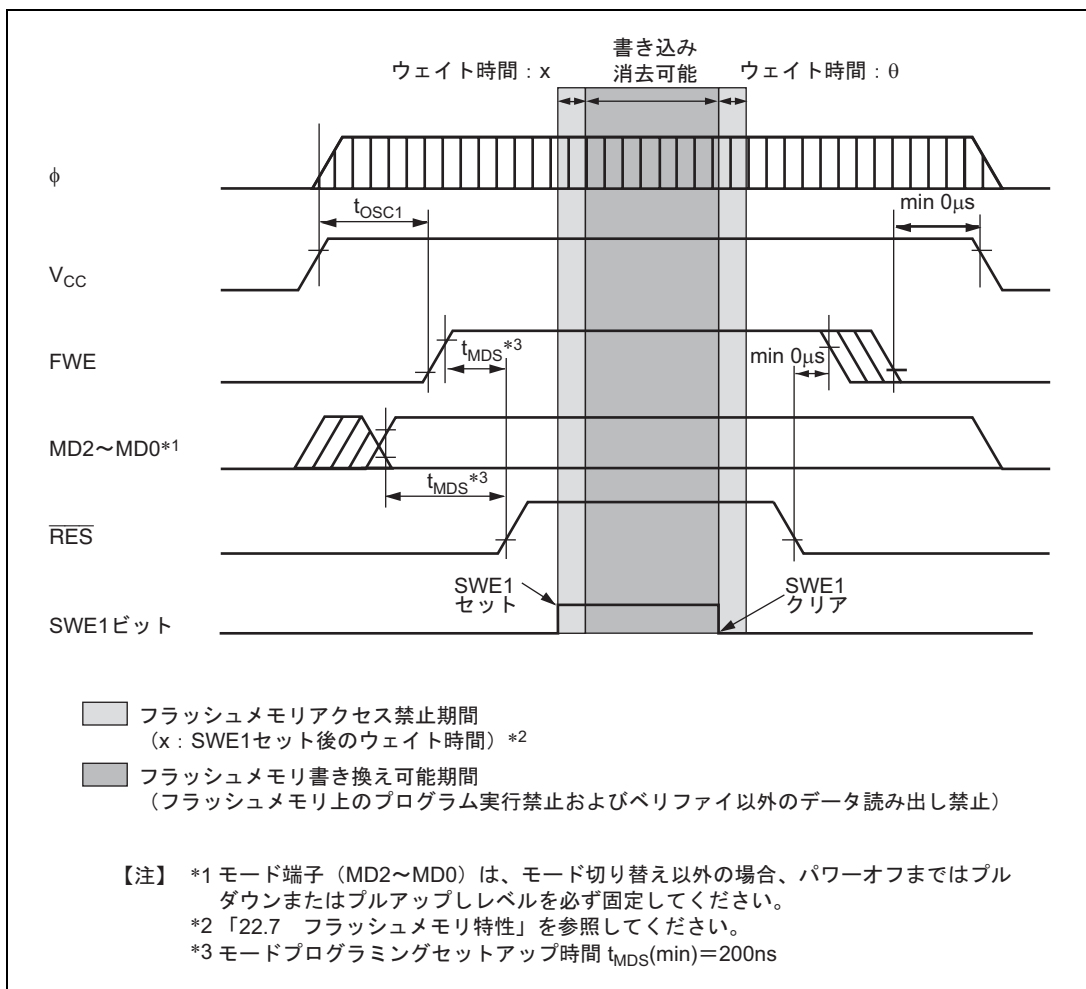


図 17.16 電源投入/切断タイミング (ブートモード)

17. フラッシュメモリ (F-ZTAT 版)

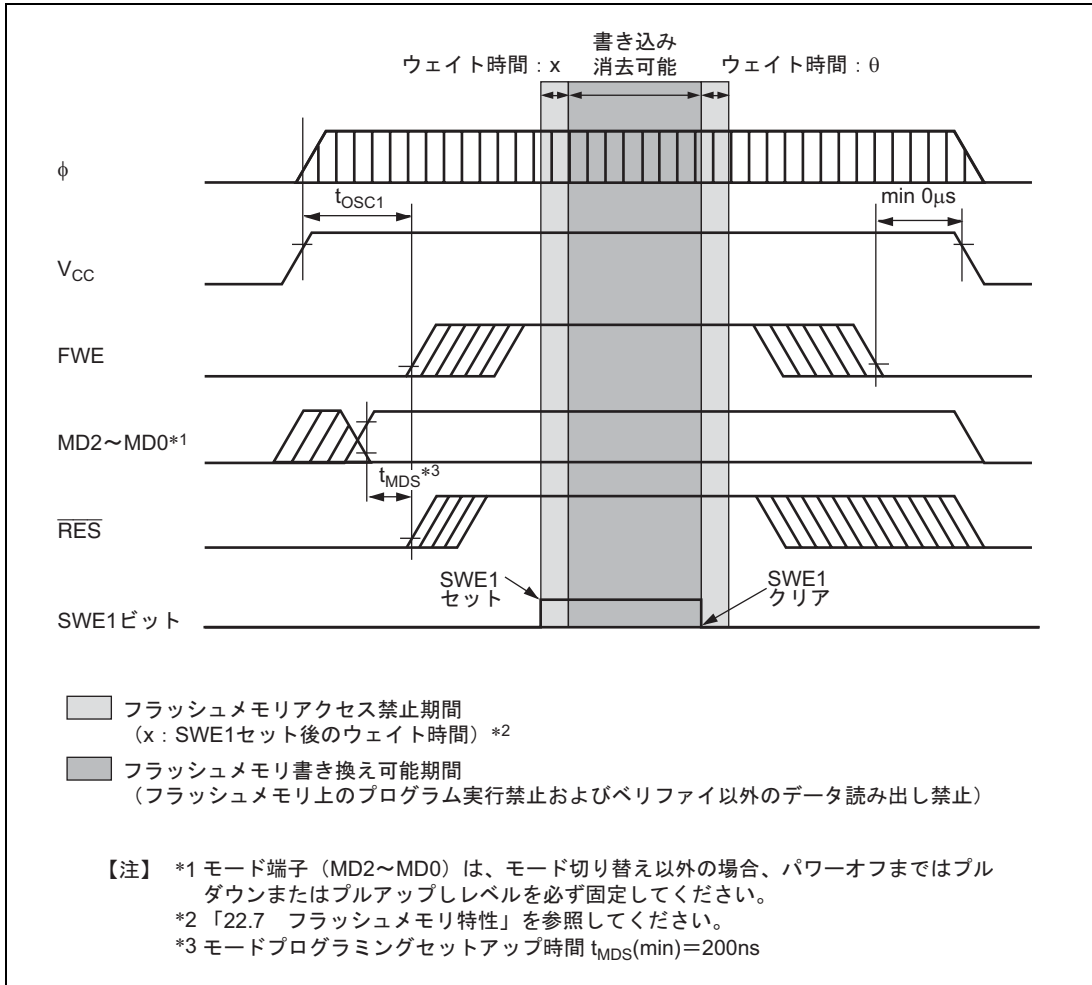


図 17.17 電源投入/切断タイミング (ユーザプログラムモード)

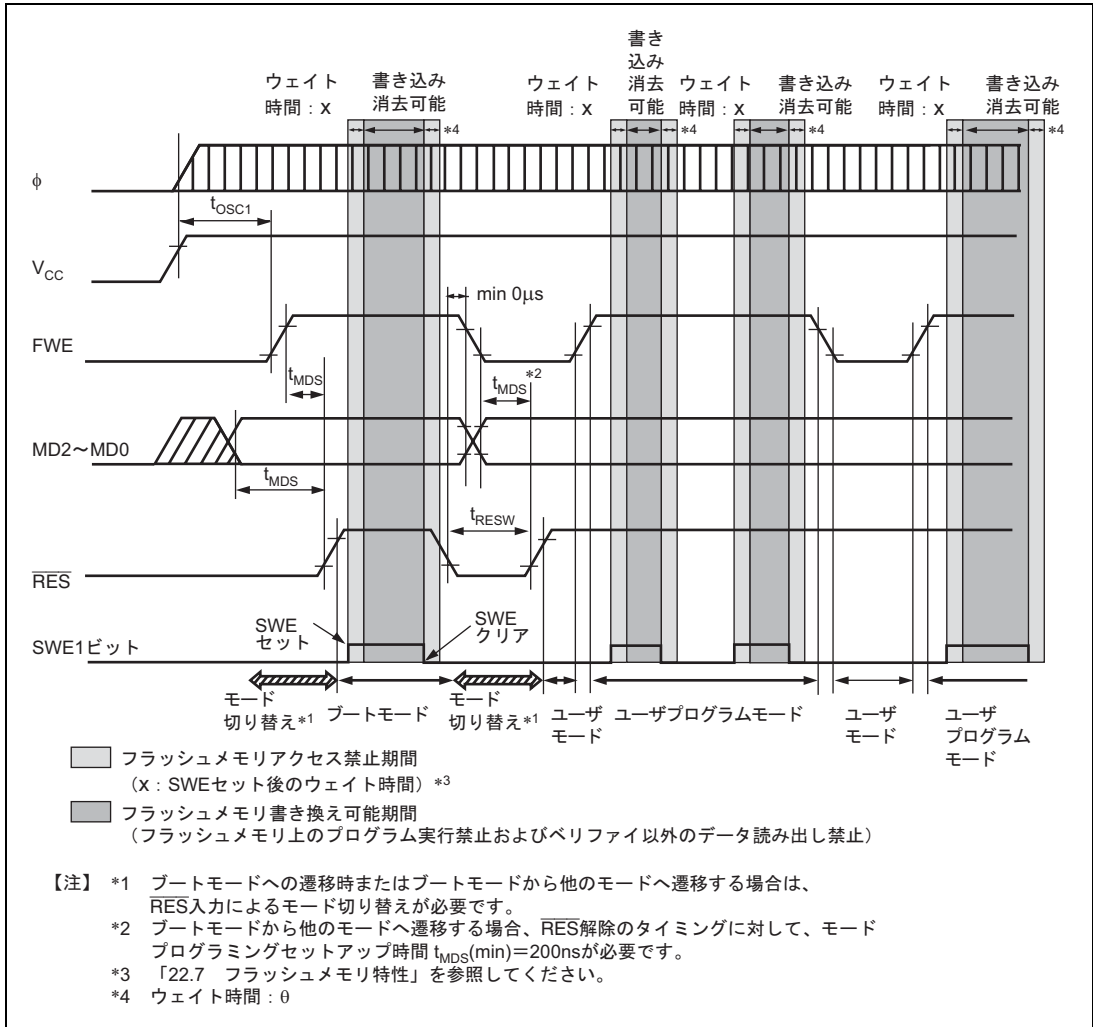


図 17.18 モード遷移タイミング (例 : ブートモード→ユーザモード↔ユーザプログラムモード)

17.14 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク ROM 版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 17.9 に F-ZTAT 版に存在して、マスク ROM 版に存在しないレジスタを示します。表 17.9 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 17.9 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 17.9 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB
シリアルコントロールレジスタ X	SCRX	H'FDB4

18. マスク ROM

マスク ROM の特長は以下のとおりです。

18.1 特長

- 容量：

製品区分		ROM 容量	ROM アドレス (モード 6、7)
H8S/2218 グループ	HD6432217	64K バイト	H'000000 ~ H'00FFFF
H8S/2212 グループ	HD6432211	64K バイト	H'000000 ~ H'00FFFF
	HD6432210、HD6432210S	32K バイト	H'000000 ~ H'007FFF

- バスマスタと16ビット幅のデータバスで接続
バイトデータ/ワードデータを1ステートでアクセス可能

図 18.1 にマスク ROM のブロック図を示します。

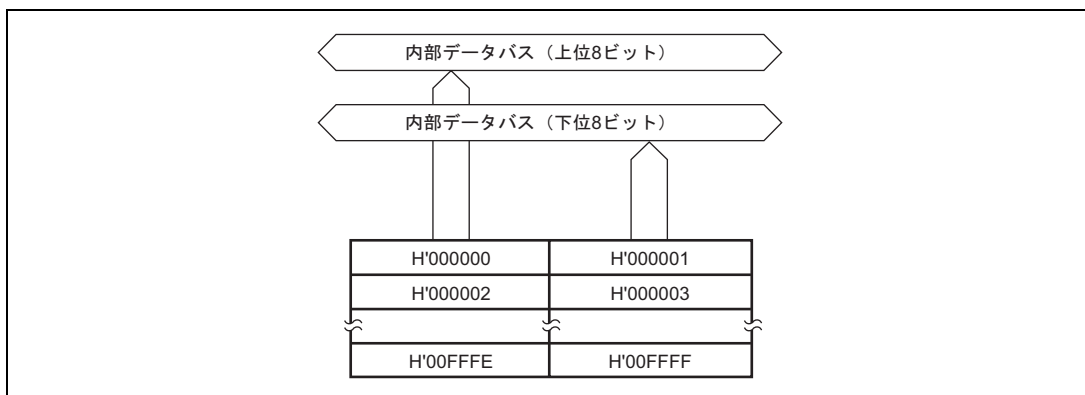


図 18.1 マスク ROM のブロック図 (64K バイトの例)

19. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、バスマスタクロック、内部クロックを生成します。クロック発振器は、メインクロック発振器、デューティ補正回路、クロック発振器、中速クロック分周器、バスマスタクロック選択回路、サブクロック発振器、波形形成回路、PLL (Phase Locked Loop) 回路、USB 動作クロック選択回路で構成されます。クロック発振器のブロック図を図 19.1 に示します。

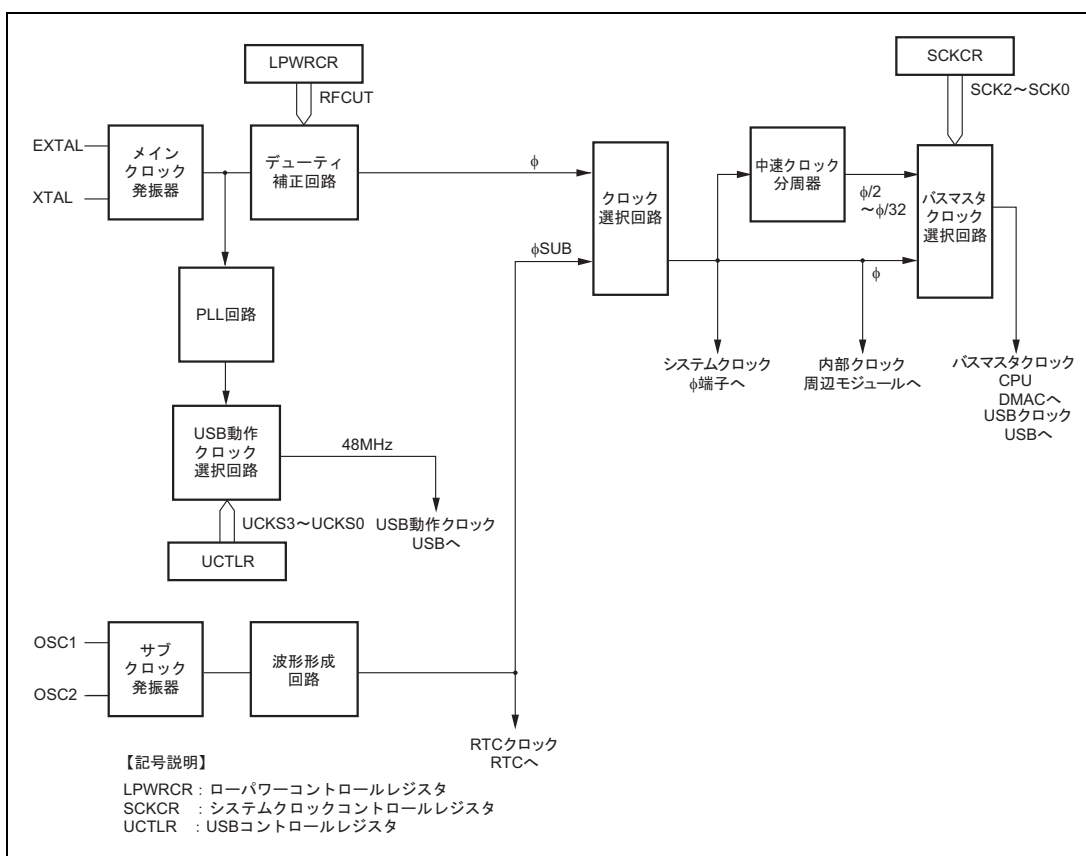


図 19.1 クロック発振器のブロック図

メインクロック発振器からの周波数の変更は、ローパワーコントロールレジスタ(LPWRCR)とシステムクロックコントロールレジスタ(SCKCR)の設定によりソフトウェアで行います。PLL 回路からの 48MHz クロック選択は、USB コントロールレジスタ (UCTLR) の設定により、ソフトウェアで行います。詳細は、「第 14 章 ユニバーサルシリアルバス (USB)」を参照してください。

19. クロック発振器

19.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)

19.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は ϕ 出力、中速モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	ϕ クロック出力禁止 ϕ 出力を制御します。動作モードにより動作が異なります。詳細は「20.11 ϕ クロック出力制御」を参照してください。 0 : ϕ 出力、High レベル固定またはハイインピーダンス 1 : High レベル固定またはハイインピーダンス
6		0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に0としてください。
5、4		すべて0		リザーブビット リードすると常に0がリードされます。
3		0	R/W	リザーブビット リード/ライト可能ですが、ライト時は常に0としてください。
2	SCK2	0	R/W	システムクロックセレクト2~0
1	SCK1	0	R/W	バスマスタクロックを選択します。なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には、SCK2~SCK0 をすべて0にしてください。
0	SCK0	0	R/W	000 : 高速モード 001 : 中速クロック $\phi/2$ 010 : 中速クロック $\phi/4$ 011 : 中速クロック $\phi/8$ 100 : 中速クロック $\phi/16$ 101 : 中速クロック $\phi/32$ 11x : 設定禁止

【記号説明】 x : Don't care

19.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は、低消費モードの制御、ノイズ除去サンプリング周波数の選択、サブクロック発振器の制御、システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用するか、しないかの選択をします。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	<p>ダイレクトトランスファオンフラグ</p> <p>0: 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードまたはウォッチモードに遷移</p> <p>1: 高速モード、あるいは中速モードで SLEEP 命令実行したとき、サブアクティブモード*に直接遷移、あるいはスリープモード、ソフトウェアスタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移</p>
6	LSON	0	R/W	<p>ロースピードオンフラグ</p> <p>0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード*に遷移、または高速モードに直接遷移 ウォッチモード解除後に高速モードに遷移</p> <p>1: 高速モードで SLEEP 命令を実行したとき、ウォッチモード*、またはサブアクティブモード*に遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ウォッチモード解除後にサブアクティブモードに遷移</p>
5	NESEL	0	R/W	<p>ノイズ除去サンプリング周波数選択</p> <p>サブクロック発振器より生成されたサブクロック (ϕ_{SUB}) を、システムクロック発振器より生成されたクロック (ϕ) により、サンプリングする周波数を決定します。</p> <p>0: ϕ の 32 分周クロックでサンプリング 1: ϕ の 4 分周クロックでサンプリング</p>
4	SUBSTP	0	R/W	<p>サブクロック発振器制御</p> <p>サブクロック発振器の動作、停止を制御します。サブクロックを使用しないときは、1 をセットしてください。</p> <p>0: サブクロック発振器を動作 1: サブクロック発振器を停止</p>

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

19. クロック発振器

ビット	ビット名	初期値	R/W	説 明
3	RFCUT	0	R/W	<p>内蔵帰還抵抗制御</p> <p>外部クロック入力時にメインクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用するか、しないかの選択をします。</p> <p>水晶発振子を使用する場合はアクセスしないでください。</p> <p>外部クロック入力状態で本ビットを設定後、ソフトウェアスタンバイモードに遷移してください。遷移したときに、メインクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用するか、しないかを切り替えます。</p> <p>0 : メインクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用する 1 : メインクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用しない</p>
2		0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、ライト時は常に0としてください。</p>
1 0	STC1 STC0	0 0	R/W R/W	<p>周波数逡倍率設定</p> <p>エバリュエーションチップに内蔵する PLL 回路の周波数逡倍率を設定します。指定した周波数逡倍率は、ソフトウェアスタンバイモードに遷移後、有効となります。</p> <p>本 LSI では、必ず STC1 = STC0 = 1 の設定で使用してください。リセット後は、STC1 = STC0 = 0 となりますので、リセット後は必ず STC1 = STC0 = 1 の設定を行ってください。</p> <p>00 : x1 01 : x2 (設定禁止) 10 : x4 (設定禁止) 11 : PLL は、バイパス</p>

19.2 システムクロック発振器

システムクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

19.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 19.2 に示します。ダンピング抵抗 R_d は、表 19.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

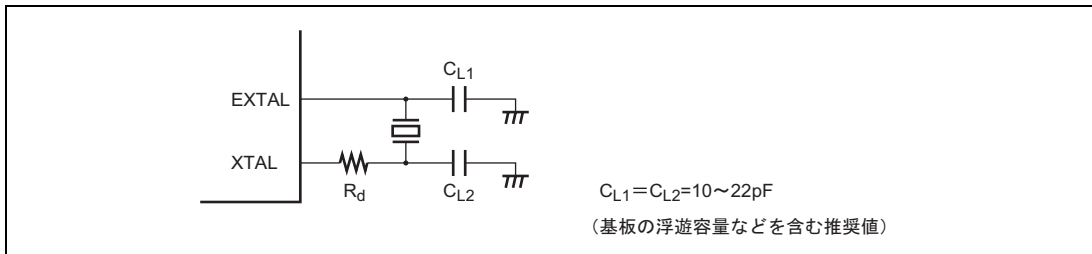


図 19.2 水晶発振子の接続例

表 19.1 ダンピング抵抗値

周波数 (MHz)	6	8	10	13	16	20	24
R_d (Ω)	300	200	100	0	0	0	0

水晶発振子の等価回路を図 19.3 に示します。水晶発振子は表 19.2 に示す特性のものを使用してください。

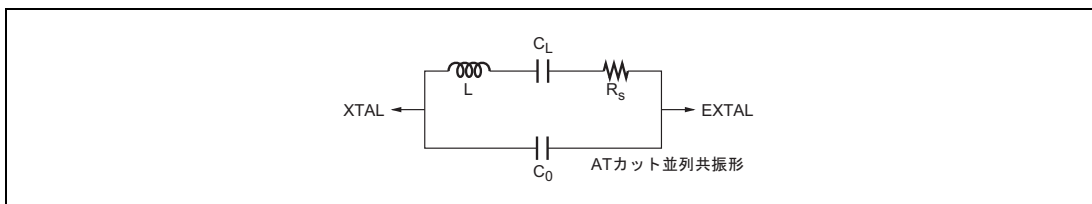


図 19.3 水晶発振子の等価回路

表 19.2 水晶発振子の特性

周波数 (MHz)	6	8	10	13	16	20	24
R_s max (Ω)	100	80	60	60	50	40	40
C_o max (pF)	7						

19.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 19.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時は外部クロックを High レベルにしてください。

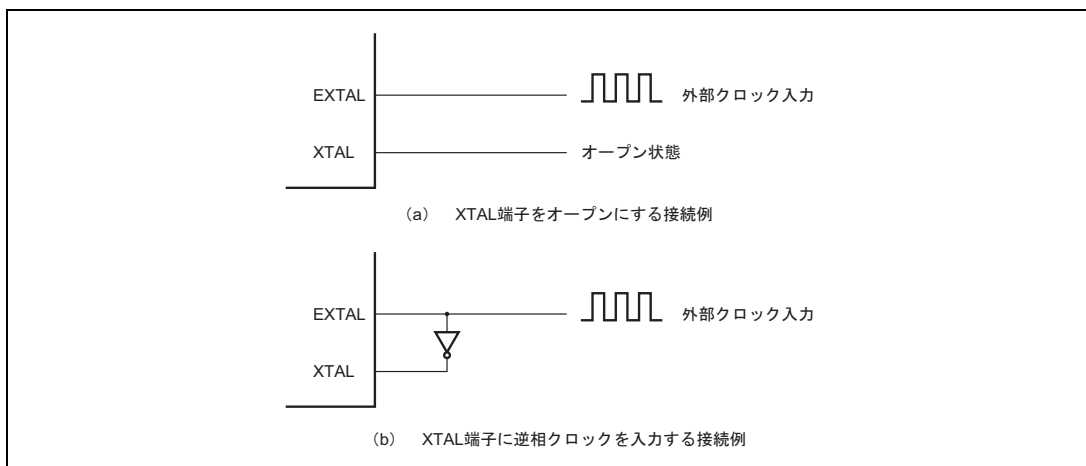


図 19.4 外部クロックの接続例

外部クロックの入力条件を表 19.3 に示します。

表 19.3 外部クロック入力条件

項目	記号	Vcc = 2.4 ~ 3.6V		Vcc = 2.7 ~ 3.6V		Vcc = 3.0 ~ 3.6V		単位	測定条件
		min	max	Min	max	min	max		
外部クロック入力パルス幅 Low レベル	t _{EXL}	65	-	25	-	15.5	-	ns	図 19.5
外部クロック入力パルス幅 High レベル	t _{EXH}	65	-	25	-	15.5	-	ns	
外部クロック立ち上がり時間	t _{EXr}	-	15	-	6.25	-	5.25	ns	
外部クロック立ち下がり時間	t _{EXf}	-	15	-	6.25	-	5.25	ns	
クロックパルス幅 Low レベル	t _{CL}	0.35	0.65	0.4	0.6	0.4	0.6	t _{cy}	図 22.3
クロックパルス幅 High レベル	t _{CH}	0.35	0.65	0.4	0.6	0.4	0.6	t _{cy}	

デューティ補正回路を使用しない場合の外部クロックの入力条件を表 19.4 に示します。

なお、デューティ補正回路を使用しない場合、入力波形に応じて最高動作周波数が低下しますので、ご注意ください。たとえば、t_{EXL} = t_{EXH} = 20.8ns、t_{EXr} = t_{EXf} = 5.25ns の場合、クロックサイクル時間 = 52.1ns に従って、最高動作周波数 = 19.2MHz となります。

表 19.4 外部クロック入力条件 (デューティ補正回路未使用)

項目	記号	V _{CC} = 2.4 ~ 3.6V		V _{CC} = 2.7 ~ 3.6V		V _{CC} = 3.0 ~ 3.6V		単位	測定条件
		min	max	Min	max	min	max		
外部クロック入力パルス幅 Low レベル	t _{EXL}	80	-	31.25	-	20.8	-	ns	図 19.5
外部クロック入力パルス幅 High レベル	t _{EXH}	80	-	31.25	-	20.8	-	ns	
外部クロック立ち上がり期間	t _{EXr}	-	15	-	6.25	-	5.25	ns	
外部クロック立ち下がり期間	t _{EXf}	-	15	-	6.25	-	5.25	ns	

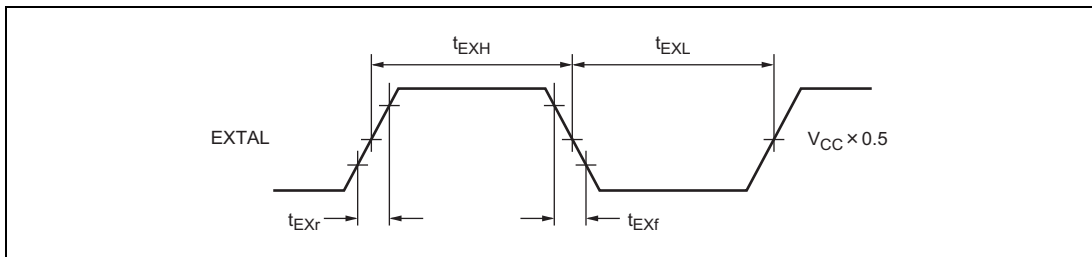


図 19.5 外部クロック入力タイミング

19.3 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合に有効になり、システムクロック発振器の出力するクロックのデューティを補正し、システムクロック (ϕ) を生成します。

19.4 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

19.5 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタおよび USB に供給するクロックを SCKCR の SCK2 ~ SCK0 ビットにより高速モード、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

19.6 サブクロック発振器

19.6.1 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには図 19.6 に示すように 32.768kHz の水晶発振子を接続します。図 19.7 に 32.768kHz 水晶発振子の等価回路を示します。

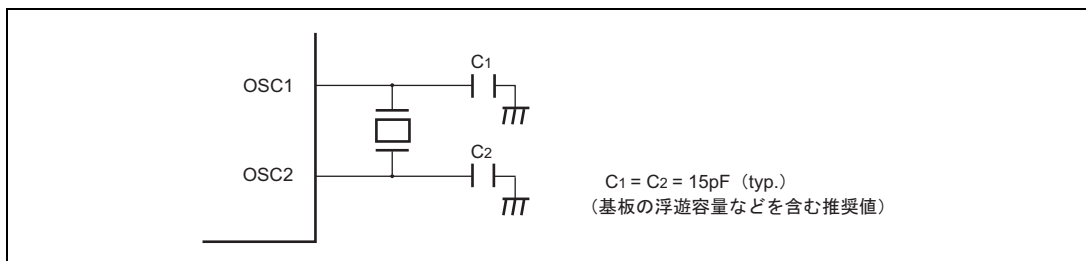


図 19.6 32.768kHz 水晶発振子の接続例

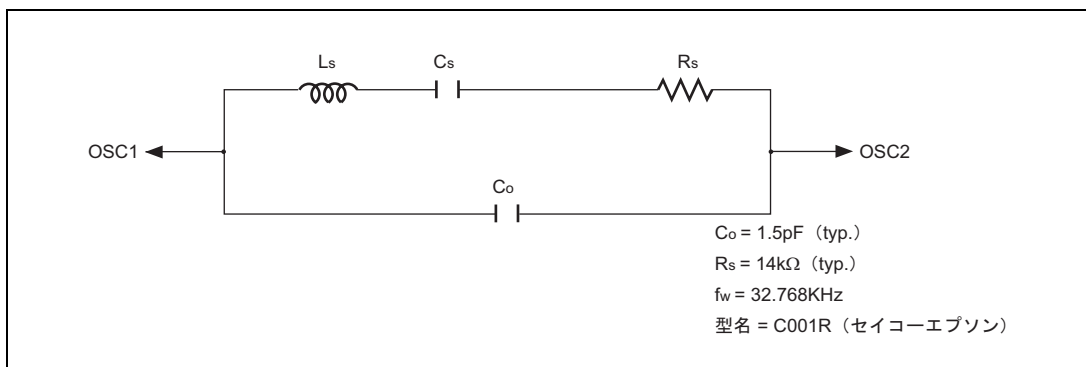


図 19.7 32.768kHz 水晶発振子の等価回路

19.6.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 19.8 に示すように OSC1 端子を V_{SS} に接続し、OSC2 端子をオープンとして、LPWRCR の SUBSTP ビットを 1 に設定してください。設定しない場合には低消費電力モードへの遷移が正常に行われなかったことがあります。

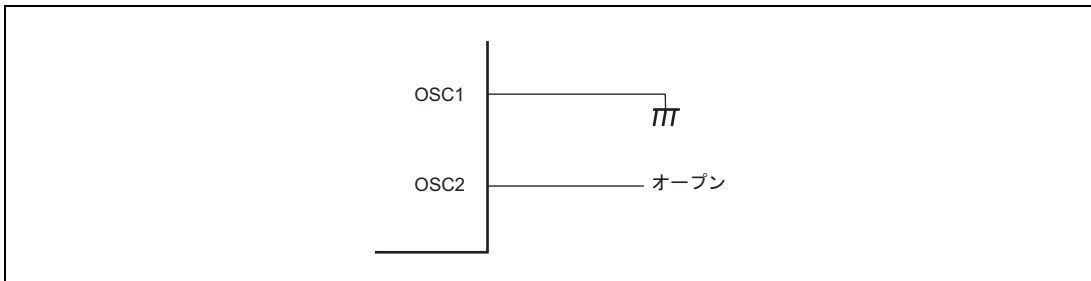


図 19.8 サブクロックを使用しない場合の端子処理

19.7 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、 ϕ クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は「19.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

19.8 USB 専用 PLL 回路

PLL 回路は、メインクロック発振器からの 16MHz または 24MHz クロックを 2 倍または、3 倍に逡倍して USB 動作用の 48MHz クロックを生成します。

PLL 回路を使用する場合は、UCTLR レジスタの UCKS3 ~ UCKS0 ビットを設定してください。詳細は、「第 14 章 ユニバーサルシリアルバス (USB)」を参照してください。

PLL 回路を使用しない場合は、PLLVCC 端子を Vcc、PLLVSS 端子をグランド (Vss) に接続してください。PLL 周りの外部回路例を図 19.9 に示します。

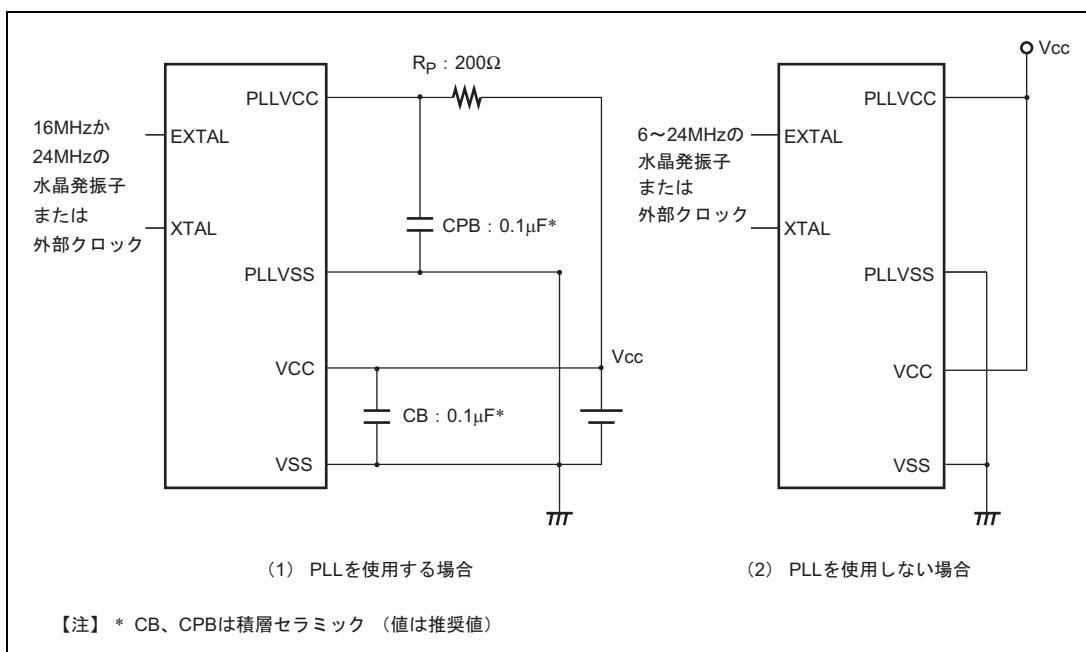


図 19.9 PLL 周りの外部回路例

19.9 使用上の注意事項

19.9.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談のうえ決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

19.9.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 19.10 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。OSC1、OSC2 端子についても同様に注意してください。

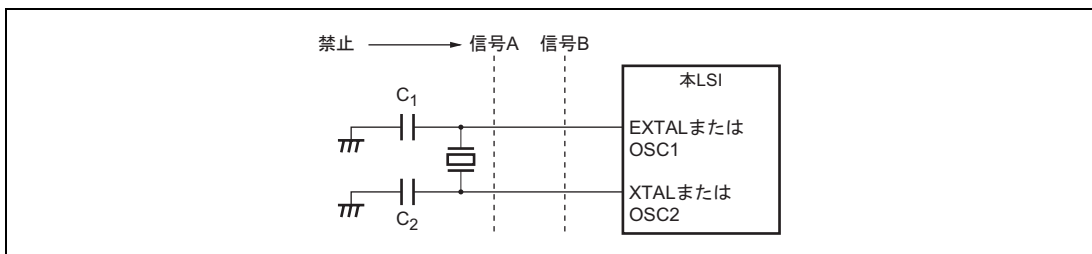


図 19.10 発振回路部のボード設計に関する注意事項

19.9.3 外部クロック切り替え時の注意事項

2種類以上の外部クロック（例：16MHzと13MHz）をシステムクロックとして使用し、入力クロックを切り替える場合は、ソフトウェアスタンバイモードで行ってください。

外部クロック切り替え回路例を図 19.11 に、外部クロック切り替えタイミング例を図 19.12 に示します。

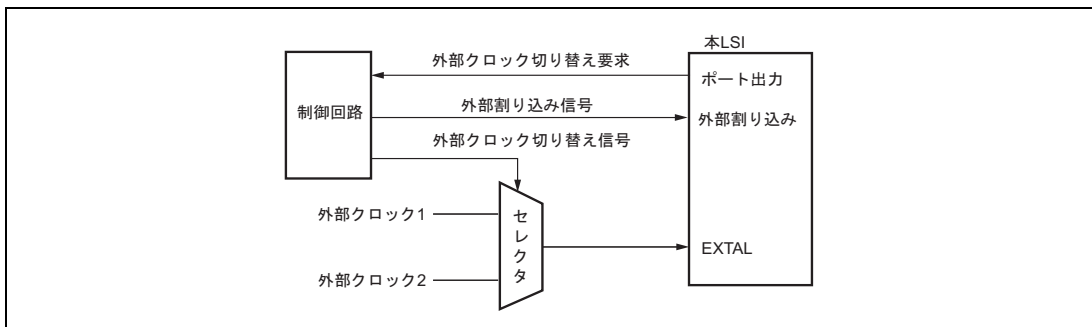


図 19.11 外部クロック切り替え回路例

19. クロック発振器

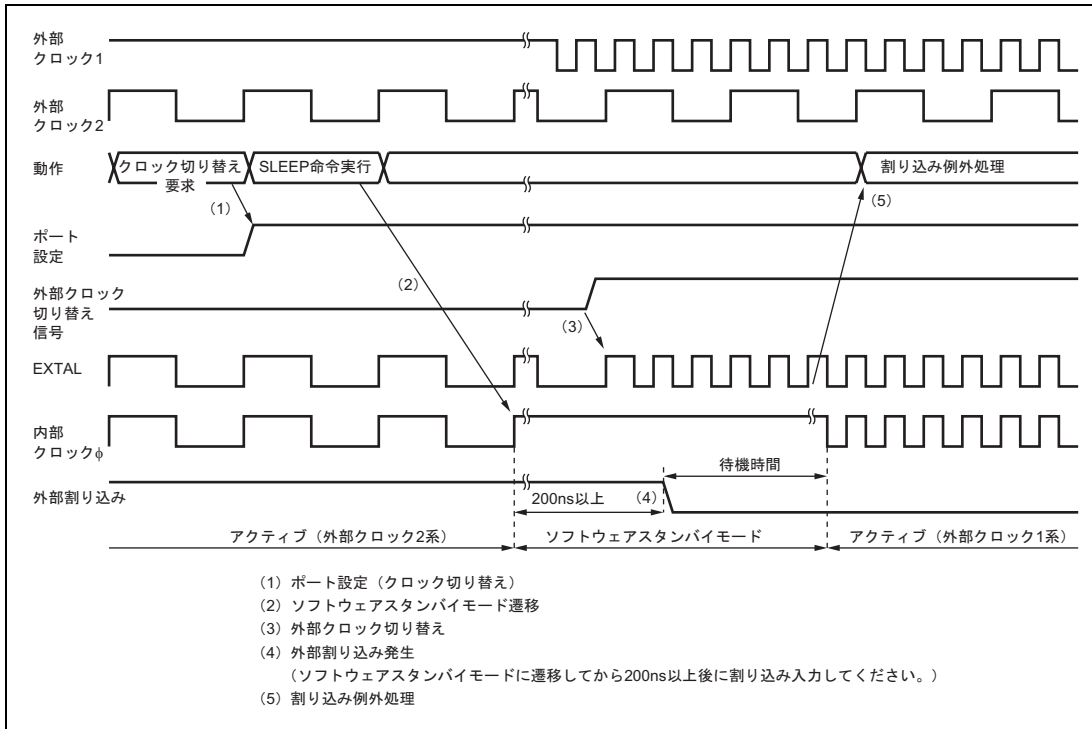


図 19.12 外部クロック切り替えタイミング例

20. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードのほか、

- 中速モード
- サブアクティブモード
- スリープモード
- サブスリープモード
- ウォッチモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モード、フラッシュメモリと DMAC を除くモジュールストップモードになっています。

表 20.1 に各モードでの LSI の内部状態、表 20.2 に低消費電力モード遷移条件を示します。また、図 20.1 にモード遷移図を示します。

20. 低消費電力状態

表 20.1 各モードでの本 LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止	
サブクロック 発振器		動作/ 停止	動作/ 停止	動作/ 停止	動作/ 停止	動作	動作	動作	動作/ 停止	停止	
CPU 動作	命令	動作	中速 動作	停止	動作	停止	サブ クロック 動作	停止	停止	停止	
	レジスタ			保持		保持		保持			不定
RAM		動作	動作	動作	動作	保持	動作	保持	保持	保持	
I/O		動作	動作	動作	動作	保持	動作	動作	保持	ハイ インピー ダンス	
外部 割り 込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	動作	
	IRQ0～4、7										
周辺 機能	DMAC		動作	中速 動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)	
	WDT		動作	動作	動作	動作	停止 (保持)	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	RTC	時計 動作	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作/停止	停止 (リセット)
		フリー ラン タイム 動作	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU		動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	SCI										
	A/D		動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	USB		動作	動作保証 しません	動作	停止 (保持)	動作保証しません 必ずモジュールストップ状態 にしてください。			停止 (保持)	停止 (リセット)
PLL回路		停止				停止					

【注】 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。

停止（リセット）は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。

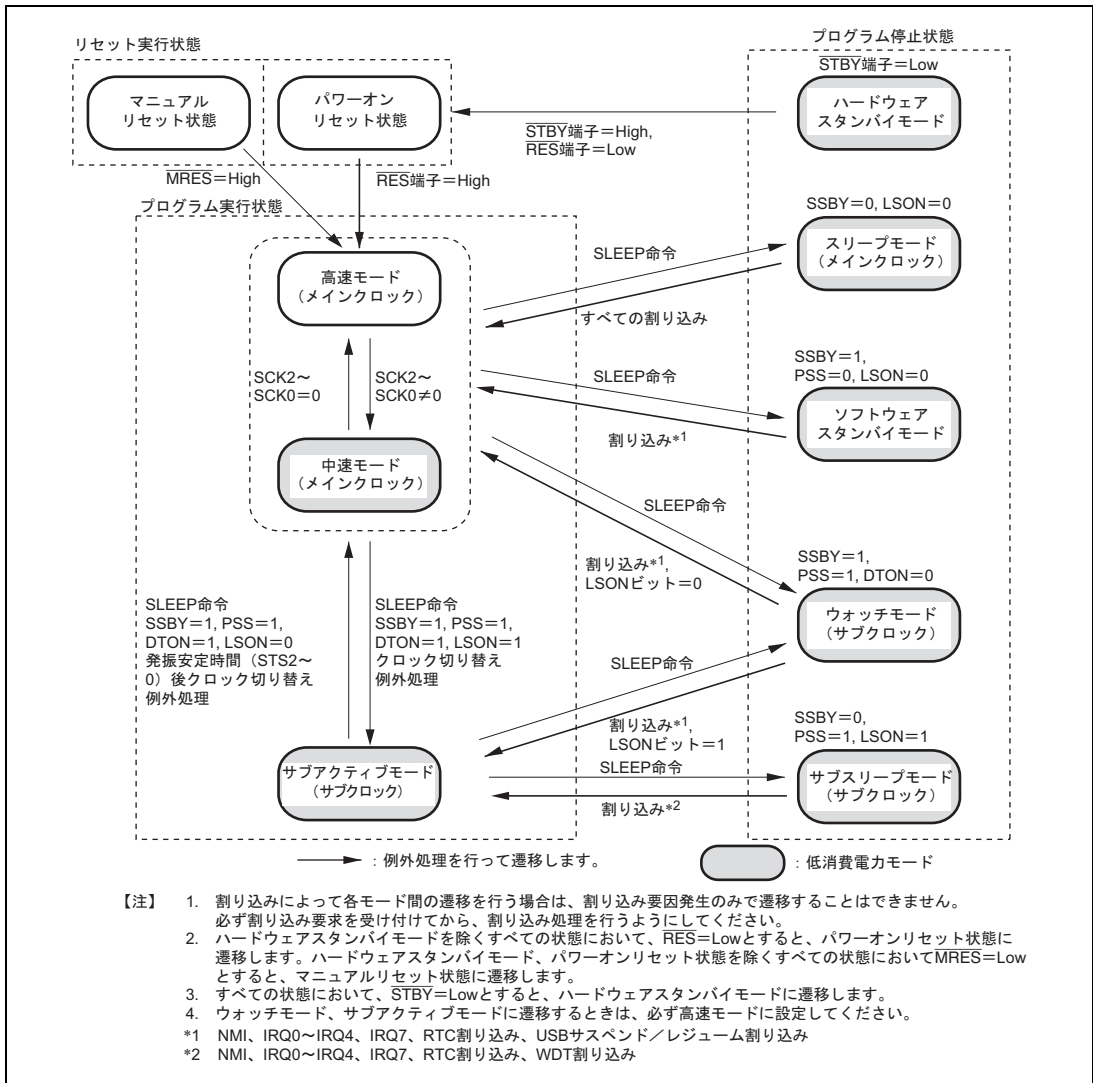


図 20.1 モード遷移図

20. 低消費電力状態

表 20.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速 / 中速	0	x	0	x	スリープ	高速 / 中速
	0	x	1	x		
	1	0	0	x	ソフトウェアスタンバイ	高速 / 中速
	1	0	1	x		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1		
	1	1	1	1	サブアクティブ	
サブアクティブ	0	0	x	x		
	0	1	0	x		
	0	1	1	x	サブスリープ	サブアクティブ
	1	0	x	x		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	
	1	1	1	1		—

【記号説明】 x : Don't care

: 設定しないでください

20.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。ローパワーコントロールレジスタ (LPWRCR) については「19.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。システムクロックコントロールレジスタ (SCKCR) については「19.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)
- タイマコントロール / ステータスレジスタ (TCSR_1)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)
- 拡張モジュールストップレジスタ (EXMDLSTP)

20.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0: 高速モード、中速モードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 1: 高速モード、中速モードで SLEEP 命令実行後、ソフトウェアスタンバイ モード、サブアクティブモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードあるいは高 速モードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常 動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場 合は 0 をライトしてください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 外部割り込みによってソフトウェアスタンバイモード、ウォッチモード、サブ アクティブモードを解除する場合に、クロックが安定するまで MCU が待機す る時間を選択します。水晶発振の場合、表 20.3 と表 22.4 を参照し、動作周波 数に応じて待機時間が $t_{osc2}ms$ (発振安定時間) 以上となるように選択してく ださい。外部クロックの場合、任意の選択が可能です。ただし、F-ZTAT 版で は、外部クロック時の待機時間 16 ステートは使用できません。100 μ s 以上と なるように選択してください。 000: 待機時間 = 8192 ステート 001: 待機時間 = 16384 ステート 010: 待機時間 = 32768 ステート 011: 待機時間 = 65536 ステート 100: 待機時間 = 131072 ステート 101: 待機時間 = 262144 ステート 110: 待機時間 = 2048 ステート 111: 待機時間 = 16 ステート
5	STS1	0	R/W	
4	STS0	0	R/W	
3	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレ スバス、バス制御信号 ($\overline{CS0} \sim \overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の出力をハイイ ンピーダンスにするか、保持するか選択します。 0: ハイインピーダンス 1: 出力状態を保持
2~0		すべて 0		リザーブビット リードすると常に 0 がリードされます。ライトは無効です。

20. 低消費電力状態

20.1.2 タイマコントロール/ステータスレジスタ (TCSR_1)

TCSR_1 は、低消費電力モード遷移時の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	-	リザーブビット ライト時は常に0をライトしてください。
4	PSS	0	R/W	プリスケラセレクト 0: 高速モードあるいは中速モードで、SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモードに遷移します。 1: ・高速モードあるいは中速モードで、SLEEP 命令を実行したとき、スリープモード、ウォッチモード、サブアクティブモードに遷移します。 ・サブアクティブモードで、SLEEP 命令を実行したとき、サブスリープモード、ウォッチモード、高速モードに遷移します。 なお、TCSR_1 は容易に書き換えられないように、ライト方法が一般のレジスタと異なります。次の方法で、リード/ライトを行ってください。 (1) ライト 必ずワード転送命令を使用し上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。(PSS ビットに1をライトする場合は H'A510) (2) リード リードは一般のレジスタと同様の方法で行うことができます。
3~0	-	すべて0	-	リザーブビット ライト時は常に0をライトしてください。

20.1.3 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)

MSTPCR は8ビットのリード/ライト可能な3本のレジスタで、モジュールストップモードの制御を行います。1のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。MSTPCR は CPU のみでライトしてください。

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7	0	R/W	DMA コントローラ (DMAC)
6	MSTPA6*	0	R/W	
5	MSTPA5	1	R/W	16 ビットタイマパルスユニット (TPU)
4	MSTPA4*	1	R/W	
3	MSTPA3*	1	R/W	
2	MSTPA2*	1	R/W	
1	MSTPA1	1	R/W	A/D 変換器
0	MSTPA0*	1	R/W	

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
6	MSTPB6*	1	R/W	
5	MSTPB5	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
4	MSTPB4*	1	R/W	
3	MSTPB3*	1	R/W	
2	MSTPB2*	1	R/W	
1	MSTPB1*	1	R/W	
0	MSTPB0	1	R/W	USB

• MSTPCRC

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPC7*	1	R/W	
6	MSTPC6*	1	R/W	
5	MSTPC5*	1	R/W	
4	MSTPC4*	1	R/W	
3	MSTPC3*	1	R/W	
2	MSTPC2*	1	R/W	
1	MSTPC1	0	R/W	フラッシュメモリ (マスク ROM 版ではリザーブビットであり、設定は無効です) 【注】 フラッシュメモリのモジュールストップ設定は、内蔵 RAM や外部メモリ上のプログラム実行中に実施してください。フラッシュメモリ上のプログラムでフラッシュメモリ自身をモジュールストップさせると設定以降のプログラムが停止しデッドロック状態となってしまいます。 フラッシュメモリモジュールストップモードの使用例を図 20.2 に示します。
0	MSTPC0*	1	R/W	

【注】 * MSTPA6 はリード/ライト可、初期値は 0 です。ライト時は 1 としてください。
MSTPA4 ~ MSTPA2、MSTPA0、MSTPB6、MSTPB4 ~ MSTPB1、MSTPC7 ~ MSTPC2、MSTPC0 はリード/ライト可、初期値は 1 です。ライト時は常に 1 としてください。

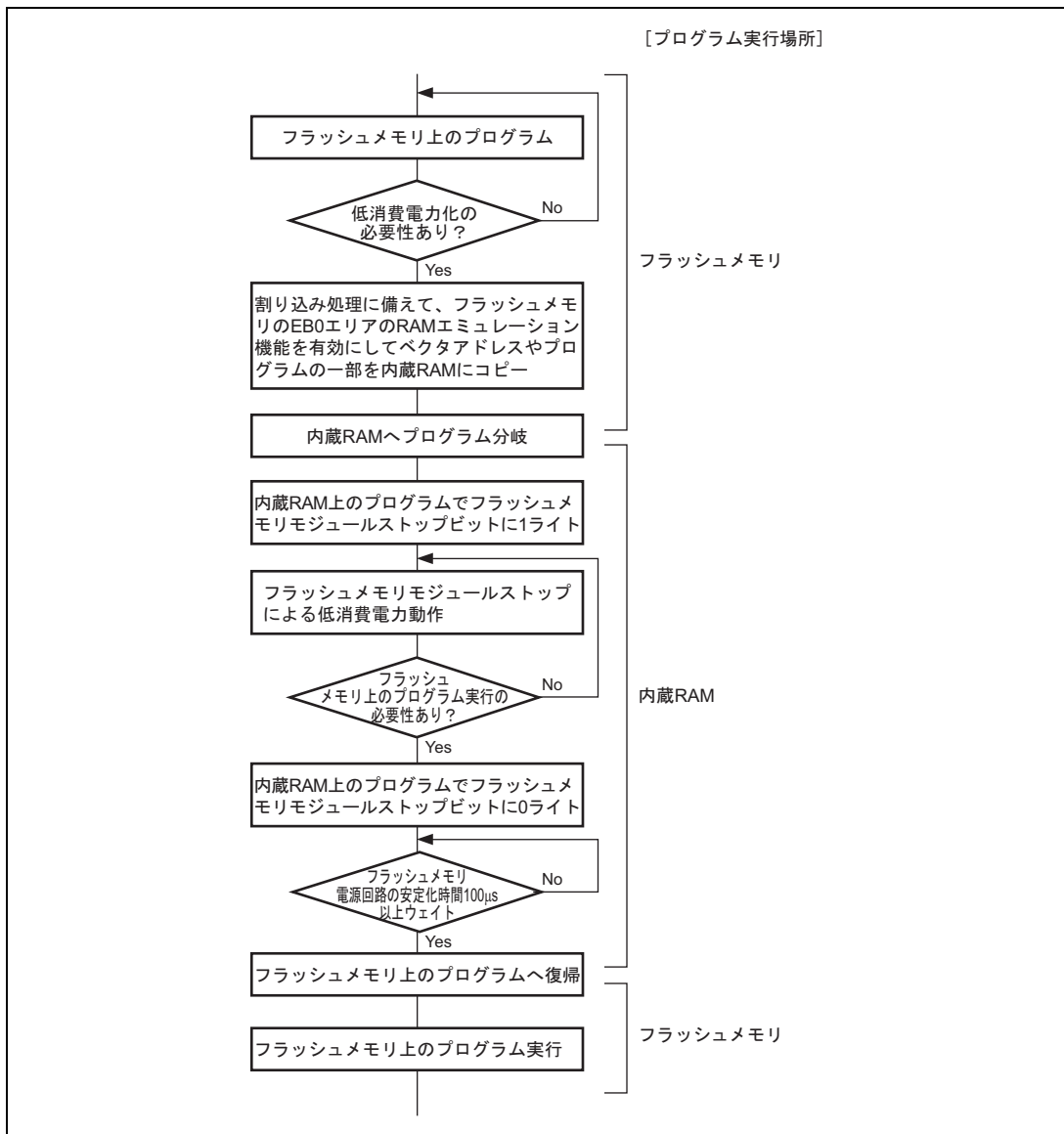


図 20.2 フラッシュメモリモジュールストップモードの使用例

20.1.4 拡張モジュールストップレジスタ (EXMDLSTP)

EXMDLSTP は RTC および USB のクロック供給を制御します。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。EXMDLSTP は CPU のみでライトしてください。

ビット	ビット名	初期値	R/W	対象モジュール
7~2	-	不定	-	リザーブビット リードは不定です。ライトは無効です。
1	RTCSTOP	0	R/W	RTC
0	USBSTOP1	0	R/W	USB

20.2 中速モード

SCKCR の SCK2 ~ SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2 ~ SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。CPU 以外のバスマスタ (DMAC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2 ~ SCK0 ビットをすべて 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットと LPWRCR の LSON ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセット、LSON ビットと TCSR_1 の PSS ビットを 0 にクリアした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子*を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 20.3 に示します。

【注】 * H8S/2218 グループのみです。

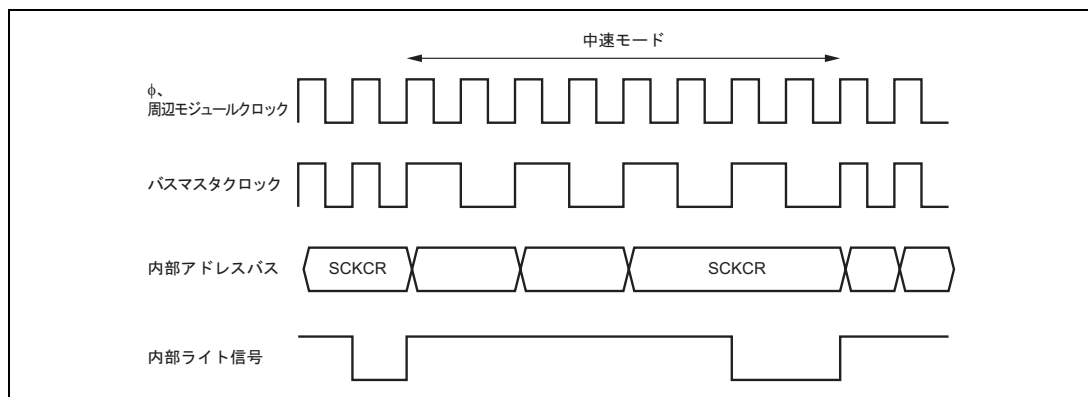


図 20.3 中速モードの遷移・解除タイミング

20.3 スリープモード

20.3.1 スリープモードへの遷移

SBYCR の SSBY ビットと LPWRCR の LSON ビットを 0 にクリアした状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

20.3.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ *、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*による解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 * H8S/2218 グループのみです。

20.4 ソフトウェアスタンバイモード

20.4.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセット、LPWRCR の LSON ビットと TCSR_1 の PSS ビットを 0 にクリアした状

態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータおよび内蔵周辺機能（A/D 変換器を除く）と、I/O ポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

20.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI 端子、 $\overline{\text{IRQ0}}$ ～ $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ7}}$ 端子）、RTC 割り込み（ $\overline{\text{IRQ5}}$ 信号）、USB サスペンド/レジューム割り込み（ $\overline{\text{IRQ6}}$ 信号）、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子*、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

NMI、IRQ0～IRQ7割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2～STS0ビットによって設定された時間が経過したあと、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0～IRQ7割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつIRQ0～IRQ7割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU側でマスクした場合、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*による解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 * H8S/2218 グループのみです。

20.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2～STS0 ビットの設定は、以下のようにしてください。

- 水晶発振の場合

待機時間が t_{OSC2ms} （発振安定時間）以上となるようにSTS2～STS0ビットを設定してください。

表20.3に、動作周波数とSTS2～STS0ビットの設定に対する待機時間を示します。

- 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。ただし、F-ZTAT版では待機時間が100 μ s以上（フラッシュメモリの電源安定化時間）となるように設定してください。

20. 低消費電力状態

表 20.3 発振安定時間の設定

STS2	STS1	STS0	待機時間	24	20	16	13	10	8	6	4	2	単位
				MHz	MHz	MHz	MHz	MHz	MHz	MHz	MHz		
0	0	0	8192 ステート	0.34	0.41	0.51	0.63	0.82	1.0	1.4	2.0	4.1	ms
		1	16384 ステート	0.68	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	1.4	1.6	2.0	2.5	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	2.7	3.3	4.1	5.0	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	5.5	6.6	8.2	10.1	13.1	16.4	21.8	32.8	65.5	μs
		1	262144 ステート	10.9	13.1	16.4	20.2	26.2	32.8	43.7	65.5	131.1	
	1	0	2048 ステート	0.09	0.10	0.13	0.16	0.20	0.26	0.34	0.51	1.0	
		1	16 ステート	0.67	0.80	1.0	1.2	1.6	2.0	2.7	4.0	8.0	

■: 推奨設定時間 (条件は表 22.4 t_{OSC2} を参照してください。)

20.4.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 20.4 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で、NMI 割り込みを受け付けたあと、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットしたあと、SLEEP 命令を実行してソフトウェアスタンバイモードに移行しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

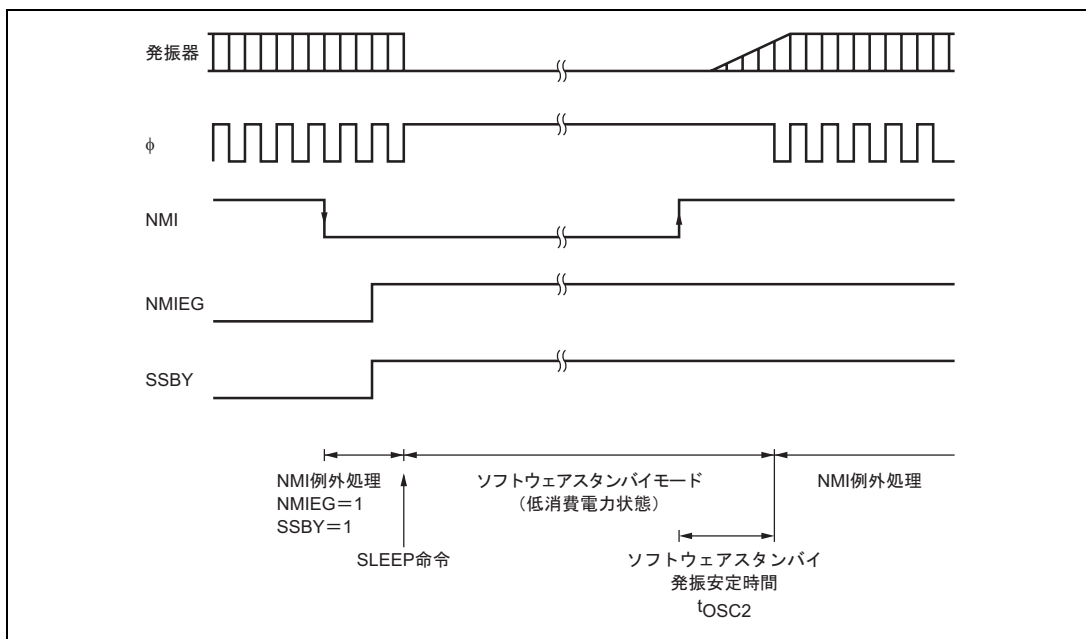


図 20.4 ソフトウェアスタンバイモードの応用例

20.5 ハードウェアスタンバイモード

20.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

20.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 t_{osc1} 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

20.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 20.4 に示します。 $\overline{\text{RES}}$ 端子を Low レベルにしたあと、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

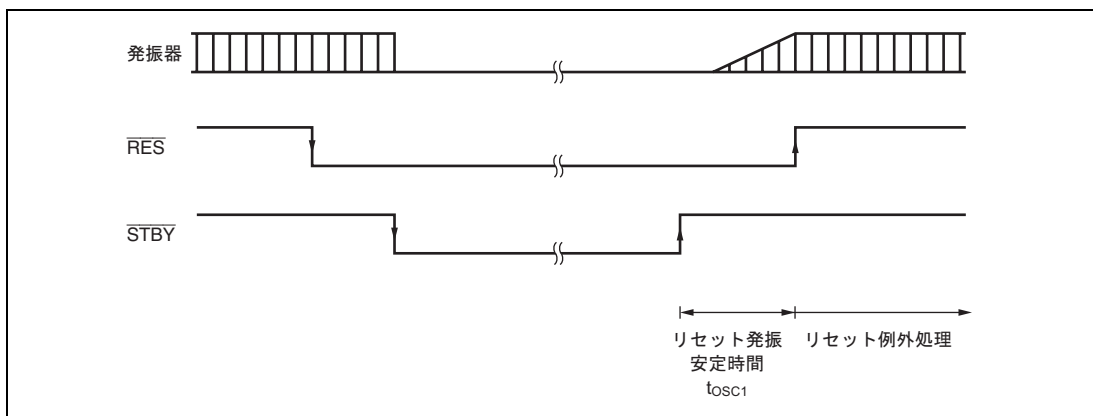


図 20.5 ハードウェアスタンバイモードのタイミング

20.5.4 ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

- ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 20.6 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、0ns 以上としてください。

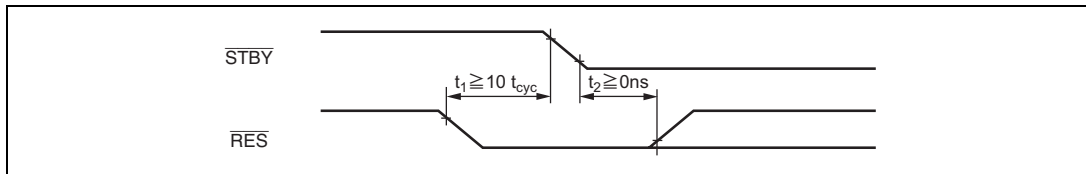


図 20.6 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

- ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、100ns 以上前に $\overline{\text{RES}}$ 信号を Low、NMI 信号を High とし、パワーオンリセットとしてください。

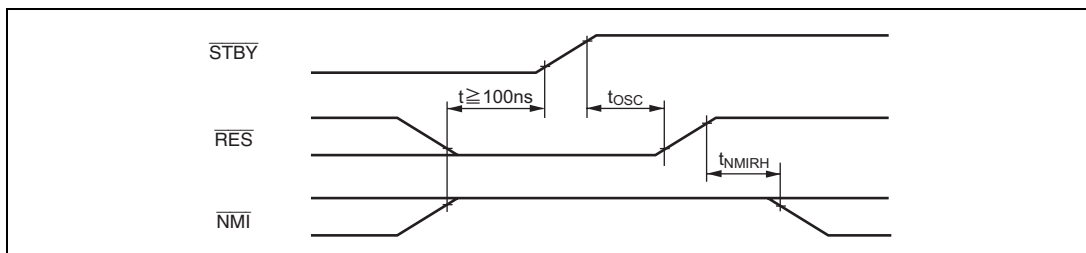


図 20.7 ハードウェアスタンバイモードからの復帰タイミング

20.6 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC とフラッシュメモリを除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。
また、全モジュールストップの状態ですリープモードに遷移すると、バスコントローラと I/O ポートも動作を停止しますので、さらに消費電力を低減できます。

20.7 ウォッチモード

20.7.1 ウォッチモードへの遷移

高速あるいはサブアクティブモードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 0、TCSR_1 の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、RTC 以外の周辺機能も動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (A/D 変換器を除く) と I/O ポートの状態は保持されま
す。ウォッチモードに遷移する場合は、SCKCR の SCK2 ~ SCK0 の各ビットを必ず 0 にしてください。

20.7.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOVI 割り込み、NMI 端子、 $\overline{IRQ0} \sim \overline{IRQ7}$) \overline{RES} 端子、 \overline{MRES} 端子*、または \overline{STBY} 端子によって行われます。

- 割り込みによる解除

割り込みが発生するとウォッチモードは解除され、LPWRCR の LSON ビット = 0 のときは高速モードあるいは中速モードに、LSON ビット = 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2 ~ STS0 により設定された時間が経過したあと、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0 ~ IRQ7 割り込みについては対応するイネーブルビット / 端子機能切り替えビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「20.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

- \overline{RES} 端子または \overline{MRES} 端子*による解除

\overline{RES} 端子または \overline{MRES} 端子*による解除については、「20.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

【注】 * H8S/2218 グループのみです。

- \overline{STBY} 端子による解除

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.8 サブスリープモード

20.8.1 サブスリープモードへの遷移

サブアクティブモードにおいて、SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 1、TCSR_1 の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、RTC と WDT 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容 RAM のデータ、および内蔵周辺機能 (A/D 変換器を除く) と I/O ポートの状態は保持されます。

20.8.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み (内蔵周辺機能からの割り込み、NMI 端子、 $\overline{IRQ0} \sim \overline{IRQ7}$)、 \overline{RES} 端子、 \overline{MRES} 端子*、または \overline{STBY} 端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{IRQ0} \sim \overline{IRQ7}$ 割り込みについては、対応するイネーブルビット / 端子機能切り替えビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

- \overline{RES} 端子または \overline{MRES} 端子* による解除

\overline{RES} 端子または \overline{MRES} 端子* による解除については、「20.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- \overline{STBY} 端子による解除

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 * H8S/2218 グループのみです。

20.9 サブアクティブモード

20.9.1 サブアクティブモードへの遷移

高速モードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 1、LSON ビット = 1、TCSR_1 の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビット = 1 の状態であれば、サブアクティブモードに遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、RTC と WDT 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SCKCR の SCK2 ~ SCK0 の各ビットを必ず 0 としてください。

20.9.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子*、または $\overline{\text{STBY}}$ 端子によって行われます。

- SLEEP命令による解除

SBYCRのSSBYビット=1、LPWRCRのDTONビット=0、TCSR_1のPSSビット=1の状態ではSLEEP命令を実行すると、ウォッチモードに遷移します。また、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TCSR_1のPSSビット=1の状態ではSLEEP命令を実行するとサブスリープモードに遷移します。また、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=0、TCSR_1のPSSビット=1の状態ではSLEEP命令を実行すると、高速モード (SCK0~SCK2がすべて0) に直接遷移します。

- $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*による解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子*による解除については、「20.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

【注】 * H8S/2218 グループのみです。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

20.10 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移とよびます。直接遷移はLPWRCRのDTONを1にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

20.10.1 高速モードからサブアクティブモードへの直接遷移

高速モードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=1、DTONビット=1、TCSR_1のPSSビット=1にセットした状態でSLEEP命令を実行するとサブアクティブモードに遷移します。

20.10.2 サブアクティブモードから高速モードへの直接遷移

サブアクティブモードでSBYCRのSSBYビット=1、LPWRCRのLSONビット=0、DTONビット=1、TCSR_1のPSSビット=1の状態ではSLEEP命令を実行すると、SBYCRのSTS2~STS0により設定された時間を経過したあと、直接高速モードに遷移します。

20.11 ϕ クロック出力制御

SCKCR の PSTOP ビット、対応するポートの DDR により、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で ϕ クロックは停止し、 ϕ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 ϕ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 ϕ クロック出力は禁止され、入力ポートになります。表 20.4 に各処理状態における ϕ 端子の状態を示します。

表 20.4 各処理状態における ϕ 端子の状態

レジスタの設定値		高速モード、中速モード、 サブアクティブモード	スリープモード、 サブスリープモード	ソフトウェアスタンバイモード、 ウォッチモード、直接遷移	ハードウェア スタンバイモード
DDR	PSTOP				
0	X	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
1	0	ϕ 出力	ϕ 出力	High 固定	ハイインピーダンス
1	1	High 固定	High 固定	High 固定	ハイインピーダンス

20.12 使用上の注意事項

20.12.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびウォッチモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

20.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

20.12.3 フラッシュメモリのモジュールストップ

フラッシュメモリのモジュールストップ設定は、内蔵 RAM や外部メモリ上のプログラム実行中に実施してください。詳細は「20.1.3 モジュールストップコントロールレジスタ A~C (MSTPCRA ~ MSTPCRC)」を参照してください。

20.12.4 DMAC のモジュールストップ

DMAC の動作状態によっては、MSTPA7 ビットは 1 にセットされない場合があります。DMAC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第 7 章 DMA コントローラ (DMAC)」を参照してください。

20.12.5 内蔵周辺モジュールの割り込み

- モジュールストップモード

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC の起動要因のクリアができません。

事前に割り込みを禁止するなど設定してからモジュールストップモードとしてください。

- サブアクティブモード/ウォッチモード

サブアクティブモードで動作停止する内蔵周辺モジュール (DMAC、TPU) は、当該割り込みをサブアクティブモードでクリアできません。したがって、割り込みが要求された状態でサブアクティブモードに遷移すると、CPU の割り込み要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにしたあと、SLEEP 命令を実行しサブアクティブモード/ウォッチモードに遷移してください。

20.12.6 サブアクティブモード/ウォッチモード遷移と DMAC のモジュールストップ

サブアクティブモード、ウォッチモードに遷移する場合は、DMAC をモジュールストップ (MSTPA7 ビットに 1 ライト) 設定し、MSTPA7 ビットの 1 リード確認後、モード遷移してください。サブアクティブモードからアクティブモードに遷移後、モジュールストップ解除してください。

なお、サブアクティブモード中に DMAC 起動要因が発生した場合、アクティブモードに遷移後モジュールストップ解除時に DMAC が起動されます。

20.12.7 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

21. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成、および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部がビット番号のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは24ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

21. レジスタ一覧

21.1 レジスタアドレス一覧（アドレス順）

データバス幅は、レジスタアクセス時のビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	データバス幅	アクセスステート数	モジュール
USB リザーブエリア			H'C00000 ~ H'C0007F			USB
USB コントロールレジスタ	UCTLR	8	H'C00080	8	3	
USB テストレジスタ A	UTSTRA	8	H'C00081	8	3	
USB DMAC 転送要求レジスタ	UDMAR	8	H'C00082	8	3	
USB デバイスレジュームレジスタ	UDRR	8	H'C00083	8	3	
USB トリガレジスタ 0	UTRG0	8	H'C00084	8	3	
USB FIFO クリアレジスタ 0	UFCLR0	8	H'C00086	8	3	
USB エンドポイントストールレジスタ 0	UESTL0	8	H'C00088	8	3	
USB エンドポイントストールレジスタ 1	UESTL1	8	H'C00089	8	3	
USB エンドポイントデータレジスタ 0s	UEDR0s	8	H'C00090 ~ H'C00093	8	3	
USB エンドポイントデータレジスタ 0i	UEDR0i	8	H'C00094 ~ H'C00097	8	3	
USB エンドポイントデータレジスタ 0o	UEDR0o	8	H'C00098 ~ H'C0009B	8	3	
USB エンドポイントデータレジスタ 3	UEDR3	8	H'C0009C ~ H'C0009F	8	3	
USB エンドポイントデータレジスタ 1	UEDR1	8	H'C000A0 ~ H'C000A3	8	3	
USB エンドポイントデータレジスタ 2	UEDR2	8	H'C000A4 ~ H'C000A7	8	3	
USB エンドポイント受信データサイズレジスタ 0o	UESZ0o	8	H'C000BC	8	3	
USB エンドポイント受信データサイズレジスタ 2	UESZ2	8	H'C000BD	8	3	
USB 割り込みフラグレジスタ 0	UIFR0	8	H'C000C0	8	3	
USB 割り込みフラグレジスタ 1	UIFR1	8	H'C000C1	8	3	
USB 割り込みフラグレジスタ 3	UIFR3	8	H'C000C3	8	3	
USB 割り込みイネーブルレジスタ 0	UIER0	8	H'C000C4	8	3	
USB 割り込みイネーブルレジスタ 1	UIER1	8	H'C000C5	8	3	
USB 割り込みイネーブルレジスタ 3	UIER3	8	H'C000C7	8	3	
USB 割り込み選択レジスタ 0	UISR0	8	H'C000C8	8	3	

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
USB 割り込み選択レジスタ 1	UISR1	8	H'C000C9	8	3	USB
USB 割り込み選択レジスタ 3	UISR3	8	H'C000CB	8	3	
USB データステータスレジスタ	UDSR	8	H'C000CC	8	3	
USB コンフィグレーションバリュレジスタ	UCVR	8	H'C000CF	8	3	
USB テストレジスタ 0	UTSTR0	8	H'C000F0	8	3	
USB テストレジスタ 1	UTSTR1	8	H'C000F1	8	3	
USB テストレジスタ 2	UTSTR2	8	H'C000F2	8	3	
USB テストレジスタ B	UTSTRB	8	H'C000FB	8	3	
USB テストレジスタ C	UTSTRC	8	H'C000FC	8	3	
USB テストレジスタ D	UTSTRD	8	H'C000FD	8	3	
USB テストレジスタ E	UTSTRE	8	H'C000FE	8	3	
USB テストレジスタ F	UTSTRF	8	H'C000FF	8	3	
USB リザーブエリア			H'C00100 ~ H'DFFFFFF			
シリアルコントロールレジスタ X	SCRX	8	H'FDB4	8	2	
スタンバイコントロールレジスタ	SBYCR	8	H'FDE4	8	2	SYSTEM
システムコントロールレジスタ	SYSCR	8	H'FDE5	8	2	
システムクロックコントロールレジスタ	SCKCR	8	H'FDE6	8	2	
モードコントロールレジスタ	MDCR	8	H'FDE7	8	2	
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FDE8	8	2	
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FDE9	8	2	
モジュールストップコントロールレジスタ C	MSTPCRC	8	H'FDEA	8	2	
端子機能コントロールレジスタ	PFCR	8	H'FDEB	8	2	BSC
ローパワーコントロールレジスタ	LPWRCR	8	H'FDEC	8	2	SYSTEM
クロック出力コントロールレジスタ	OUTCR	8	H'FDEF	8	2	
シリアル拡張モードレジスタ A_0	SEMRA_0	8	H'FDF8	8	2	SCI_0
シリアル拡張モードレジスタ B_0	SEMRB_0	8	H'FDF9	8	2	
IRQ センスコントロールレジスタ H	ISCRH	8	H'FE12	8	2	INT
IRQ センスコントロールレジスタ L	ISCR L	8	H'FE13	8	2	
IRQ イネーブルレジスタ	IER	8	H'FE14	8	2	
IRQ ステータスレジスタ	ISR	8	H'FE15	8	2	
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE30	8	2	PORT
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE32	8	2	
ポート 7 データディレクションレジスタ	P7DDR	8	H'FE36	8	2	
ポート A データディレクションレジスタ	PADDR	8	H'FE39	8	2	

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
ポート B データディレクションレジスタ	PBDDR	8	H'FE3A	8	2	PORT
ポート C データディレクションレジスタ	PCDDR	8	H'FE3B	8	2	
ポート D データディレクションレジスタ	PDDDR	8	H'FE3C	8	2	
ポート E データディレクションレジスタ	PEDDR	8	H'FE3D	8	2	
ポート F データディレクションレジスタ	PFDDR	8	H'FE3E	8	2	
ポート G データディレクションレジスタ	PGDDR	8	H'FE3F	8	2	
ポート A ブルアップ MOS コントロール レジスタ	PAPCR	8	H'FE40	8	2	
ポート B ブルアップ MOS コントロール レジスタ	PBPCR	8	H'FE41	8	2	
ポート C ブルアップ MOS コントロール レジスタ	PCPCR	8	H'FE42	8	2	
ポート D ブルアップ MOS コントロール レジスタ	PDPCR	8	H'FE43	8	2	
ポート E ブルアップ MOS コントロール レジスタ	PEPCR	8	H'FE44	8	2	
ポート 3 オープンドレインコントロール レジスタ	P3ODR	8	H'FE46	8	2	
ポート A オープンドレインコントロール レジスタ	PAODR	8	H'FE47	8	2	
タイムスタートレジスタ	TSTR	8	H'FEB0	16	2	TPU
タイムシンクロレジスタ	TSYR	8	H'FEB1	16	2	
インタラプトプライオリティレジスタ A	IPRA	8	H'FEC0	8	2	INT
インタラプトプライオリティレジスタ B	IPRB	8	H'FEC1	8	2	
インタラプトプライオリティレジスタ C	IPRC	8	H'FEC2	8	2	
インタラプトプライオリティレジスタ D	IPRD	8	H'FEC3	8	2	
インタラプトプライオリティレジスタ E	IPRE	8	H'FEC4	8	2	
インタラプトプライオリティレジスタ F	IPRF	8	H'FEC5	8	2	
インタラプトプライオリティレジスタ G	IPRG	8	H'FEC6	8	2	
インタラプトプライオリティレジスタ J	IPRJ	8	H'FEC9	8	2	
インタラプトプライオリティレジスタ K	IPRK	8	H'FECA	8	2	
インタラプトプライオリティレジスタ M	IPRM	8	H'FECC	8	2	
バス幅コントロールレジスタ	ABWCR	8	H'FED0	8	2	BSC
アクセスステートコントロールレジスタ	ASTCR	8	H'FED1	8	2	

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
ウェイトコントロールレジスタ H	WCRH	8	H'FED2	8	2	BSC
ウェイトコントロールレジスタ L	WCRL	8	H'FED3	8	2	
バスコントロールレジスタ H	BCRH	8	H'FED4	8	2	
バスコントロールレジスタ L	BCRL	8	H'FED5	8	2	
RAM エミュレーションレジスタ	RAMER	8	H'FEDB	8	2	FLASH
メモリアドレスレジスタ 0A H	MAR0AH	16	H'FEE0	16	2	DMAC
メモリアドレスレジスタ 0A L	MAR0AL	16	H'FEE2	16	2	
I/O アドレスレジスタ 0A	IOAR0A	16	H'FEE4	16	2	
転送カウントレジスタ 0A	ETCR0A	16	H'FEE6	16	2	
メモリアドレスレジスタ 0B H	MAR0BH	16	H'FEE8	16	2	
メモリアドレスレジスタ 0B L	MAR0BL	16	H'FEEA	16	2	
I/O アドレスレジスタ 0B	IOAR0B	16	H'FEEC	16	2	
転送カウントレジスタ 0B	ETCR0B	16	H'FEEE	16	2	
メモリアドレスレジスタ 1A H	MAR1AH	16	H'FEF0	16	2	
メモリアドレスレジスタ 1A L	MAR1AL	16	H'FEF2	16	2	
I/O アドレスレジスタ 1A	IOAR1A	16	H'FEF4	16	2	
転送カウントレジスタ 1A	ETCR1A	16	H'FEF6	16	2	
メモリアドレスレジスタ 1B H	MAR1BH	16	H'FEF8	16	2	
メモリアドレスレジスタ 1B L	MAR1BL	16	H'FEFA	16	2	
I/O アドレスレジスタ 1B	IOAR1B	16	H'FEFC	16	2	
転送カウントレジスタ 1B	ETCR1B	16	H'FEFE	16	2	
ポート 1 データレジスタ	P1DR	8	H'FF00	8	2	PORT
ポート 3 データレジスタ	P3DR	8	H'FF02	8	2	
ポート 7 データレジスタ	P7DR	8	H'FF06	8	2	
ポート A データレジスタ	PADR	8	H'FF09	8	2	
ポート B データレジスタ	PBDR	8	H'FF0A	8	2	
ポート C データレジスタ	PCDR	8	H'FF0B	8	2	
ポート D データレジスタ	PDDR	8	H'FF0C	8	2	
ポート E データレジスタ	PEDR	8	H'FF0D	8	2	
ポート F データレジスタ	PFDR	8	H'FF0E	8	2	
ポート G データレジスタ	PGDR	8	H'FF0F	8	2	
タイマコントロールレジスタ_0	TCR_0	8	H'FF10	16	2	TPU_0
タイマモードレジスタ_0	TMDR_0	8	H'FF11	16	2	
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FF12	16	2	
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FF13	16	2	

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FF14	16	2	TPU_0
タイマステータスレジスタ_0	TSR_0	8	H'FF15	16	2	
タイマカウンタ_0	TCNT_0	16	H'FF16	16	2	
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FF18	16	2	
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FF1A	16	2	
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FF1C	16	2	
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FF1E	16	2	
タイマコントロールレジスタ_1	TCR_1	8	H'FF20	16	2	TPU_1
タイマモードレジスタ_1	TMDR_1	8	H'FF21	16	2	
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FF22	16	2	
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FF24	16	2	
タイマステータスレジスタ_1	TSR_1	8	H'FF25	16	2	
タイマカウンタ_1	TCNT_1	16	H'FF26	16	2	
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FF28	16	2	
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FF2A	16	2	
タイマコントロールレジスタ_2	TCR_2	8	H'FF30	16	2	TPU_2
タイマモードレジスタ_2	TMDR_2	8	H'FF31	16	2	
タイマ I/O コントロールレジスタ 2	TIOR_2	8	H'FF32	16	2	
タイマインタラプトイネーブルレジスタ 2	TIER_2	8	H'FF34	16	2	
タイマステータスレジスタ_2	TSR_2	8	H'FF35	16	2	
タイマカウンタ_2	TCNT_2	16	H'FF36	16	2	
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FF38	16	2	
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FF3A	16	2	
拡張モジュールストップレジスタ	EXMDLSTP	8	H'FF40	8	2	SYSTEM
秒データレジスタ/ フリーランカウンタデータレジスタ	RSECDR	8	H'FF48	8	2	RTC
分データレジスタ	RMINDR	8	H'FF49	8	2	
時データレジスタ	RHRDR	8	H'FF4A	8	2	
曜日データレジスタ	RWKDR	8	H'FF4B	8	2	
RTC コントロールレジスタ 1	RTCCR1	8	H'FF4C	8	2	
RTC コントロールレジスタ 2	RTCCR2	8	H'FF4D	8	2	
クロックソースセレクトレジスタ	RTCCSR	8	H'FF4F	8	2	
DMA コントロールレジスタ 0A	DMACR0A	8	H'FF62	16	2	DMAC
DMA コントロールレジスタ 0B	DMACR0B	8	H'FF63	16	2	
DMA コントロールレジスタ 1A	DMACR1A	8	H'FF64	16	2	
DMA コントロールレジスタ 1B	DMACR1B	8	H'FF65	16	2	
DMA バンドコントロールレジスタ	DMABCR	16	H'FF66	16	2	

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF74	16	2	WDT
タイマカウンタ	TCNT	8	H'FF74 (ライト時)	16	2	
タイマカウンタ	TCNT	8	H'FF75 (リード時)	16	2	
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FF76 (ライト時)	16	2	
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FF77 (リード時)	16	2	
シリアルモードレジスタ_0	SMR_0	8	H'FF78	8	2	SCI_0
ビットレートレジスタ_0	BRR_0	8	H'FF79	8	2	
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	8	2	
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	8	2	
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	8	2	
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	8	2	
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	8	2	
シリアルモードレジスタ_2	SMR_2	8	H'FF88	8	2	SCI_2
ビットレートレジスタ_2	BRR_2	8	H'FF89	8	2	
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	8	2	
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	8	2	
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	8	2	
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	8	2	
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	8	2	
A/D データレジスタ AH	ADDRAH	8	H'FF90	8	2	A/D
A/D データレジスタ AL	ADDRAL	8	H'FF91	8	2	
A/D データレジスタ BH	ADDRBH	8	H'FF92	8	2	
A/D データレジスタ BL	ADDRBL	8	H'FF93	8	2	
A/D データレジスタ CH	ADDRCH	8	H'FF94	8	2	
A/D データレジスタ CL	ADDRCL	8	H'FF95	8	2	
A/D データレジスタ DH	ADDRDH	8	H'FF96	8	2	
A/D データレジスタ DL	ADDRDL	8	H'FF97	8	2	
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FF98	8	2	
A/D コントロールレジスタ	ADCR	8	H'FF99	8	2	
タイマコントロール/ステータスレジスタ	TCSR_1	8	H'FFA2	16	2	SYSTEM
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFA8	8	2	FLASH
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFA9	8	2	
消去ブロック指定レジスタ 1	EBR1	8	H'FFAA	8	2	
消去ブロック指定レジスタ 2	EBR2	8	H'FFAB	8	2	

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	データ バス幅	アクセス ステート数	モジュール
ポート1レジスタ	PORT1	8	H'FFB0	8	2	PORT
ポート3レジスタ	PORT3	8	H'FFB2	8	2	
ポート4レジスタ	PORT4	8	H'FFB3	8	2	
ポート7レジスタ	PORT7	8	H'FFB6	8	2	
ポート9レジスタ	PORT9	8	H'FFB8	8	2	
ポートAレジスタ	PORTA	8	H'FFB9	8	2	
ポートBレジスタ	PORTB	8	H'FFBA	8	2	
ポートCレジスタ	PORTC	8	H'FFBB	8	2	
ポートDレジスタ	PORTD	8	H'FFBC	8	2	
ポートEレジスタ	PORTE	8	H'FFBD	8	2	
ポートFレジスタ	PORTF	8	H'FFBE	8	2	
ポートGレジスタ	PORTG	8	H'FFBF	8	2	

21.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
UCTLR		USPNDE	UCKS3	UCKS2	UCKS1	UCKS0	UIFRST	UDCRST	USB
UTSTRA									
UDMAR					EP2T1	EP2T0	EP1T1	EP1T0	
UDRR							RWUPs	DVR	
UTRG0			EP2RDFN	EP1PKTE	EP3PKTE	EP0oRDFN	EP0iPKTE	EP0sRDFN	
UFCLR0			EP2CLR	EP1CLR	EP3CLR	EP0oCLR	EP0iCLR		
UESTL0			EP2STL	EP1STL	EP3STL			EP0STL	
UESTL1	SCME								
UEDR0s	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR0i	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR0o	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR3	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR1	D7	D6	D5	D4	D3	D2	D1	D0	
UEDR2	D7	D6	D5	D4	D3	D2	D1	D0	
UESZ0o		D6	D5	D4	D3	D2	D1	D0	
UESZ2		D6	D5	D4	D3	D2	D1	D0	
UIFR0	BRST		EP3TR	EP3TS	EP0oTS	EP0iTR	EP0iTS	SetupTS	
UIFR1					EP1ALL EMPTYs	EP2 READY	EP1TR	EP1 EMPTY	
UIFR3	CK48 READY	SOF	SETC		SPRSs	SPRSi	VBUSs	VBUSi	
UIER0	BRSTE		EP3TRE	EP3TSE	EP0oTSE	EP0iTRE	EP0iTSE	SetupTSE	
UIER1						EP2 READYE	EP1TRE	EP1 EMPTYE	
UIER3	CK48 READYE	SOFE	SETCE			SPRSiE		VBUSiE	
UISR0	BRSTS		EP3TRS	EP3TSS	EP0oTSS	EP0iTRS	EP0iTSS	SetupTSS	
UISR1						EP2 READYs	EP1TRS	EP1 EMPTYs	
UISR3	CK48 READYs	SOFS	SETCS					VBUSiS	
UDSR						EP1DE	EP3DE	EP0iDE	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
UCVR			CNFV0						USB
UTSTR0	PTSTE				SUSPEND	\overline{OE}	FSE0	VPO	
UTSTR1	VBUS	\overline{UBPM}				RCV	VP	VM	
UTSTR2									
UTSTRB									
UTSTRC									
UTSTRD									
UTSTRE									
UTSTRF									
SCRX					FLSHE				FLASH
SBYCR	SSBY	STS2	STS1	STS0	OPE				SYSTEM
SYSCR			INTM1	INTM0	NMIEG	MRESE		RAME	
SCKCR	PSTOP					SCK2	SCK1	SCK0	
MDCR					FWE	MDS2	MDS1	MDS0	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
PFCCR					AE3	AE2	AE1	AE0	BSC
LPWRCR	DTON	LSON	NESEL	SUBSTP	RFCUT		STC1	SCT0	SYSTEM
OUTCR						PF7OUT2	PF7OUT1	PF7OUT0	PORT
SEMRA_0	SSE	TCS2	TCS1	TCS0	ABCS	ACS2	ACS1	ACS0	SCI_0
SEMRB_0	ACS3				TIOCA2E	TIOCA1E	TIOCC0E	TIOCA0E	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	INT
ISCR L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P3DDR		P36DDR				P32DDR	P31DDR	P30DDR	
P7DDR	P77DDR	P76DDR	P75DDR	P74DDR			P71DDR	P70DDR	
PADDR					PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PGDDR				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	PORT
PAPCR					PA3PCR	PA2PCR	PA1PCR	PA0PCR	
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
P3ODR		P36ODR				P32ODR	P31ODR	P30ODR	
PAODR					PA3ODR	PA2ODR	PA1ODR	PA0ODR	
TSTR						CST2	CST1	CST0	TPU
TSYR						SYNC2	SYNC1	SYNC0	
IPRA		IPRA6	IPRA5	IPRA4		IPRA2	IPRA1	IPRA0	INT
IPRB		IPRB6	IPRB5	IPRB4		IPRB2	IPRB1	IPRB0	
IPRC		IPRC6	IPRC5	IPRC4					
IPRD		IPRD6	IPRD5	IPRD4					
IPRE						IPRE2	IPRE1	IPRE0	
IPRF		IPRF6	IPRF5	IPRF4		IPRF2	IPRF1	IPRF0	
IPRG		IPRG6	IPRG5	IPRG4					
IPRJ		IPRJ6	IPRJ5	IPRJ4		IPRJ2	IPRJ1	IPRJ0	
IPRK						IPRK2	IPRK1	IPRK0	
IPRM		IPRM6	IPRM5	IPRM4					
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	BSC
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WCRH	W71	W70	W61	W60	W51	W50	W41	W40	
WCRL	W31	W30	W21	W20	W11	W10	W01	W00	
BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0	
BCRL	BRLE							WAITE	
RAMER					RAMS		RAM1	RAM0	FLASH
MAR0A									DMAC
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR0A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR0A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MAR0B									DMAC
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR0B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR0B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR1A									
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR1B									
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT
P3DR		P36DR				P32DR	P31DR	P30DR	
P7DR	P77DR	P76DR	P75DR	P74DR			P71DR	P70DR	
PADR					PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PGDR				PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0			BFB	BFA	MD3	MD2	MD1	MD0	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	TPU_0
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0				TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_1		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1				MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_1	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_2		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2				MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_2	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
EXMDLSTP								RTCSTOP	USBSTOP1	SYSTEM
RSECDR	BSY	SC12	SC11	SC10	SC03	SC02	SC01	SC00	RTC	
RMINDR	BSY	MN12	MN11	MN10	MN03	MN02	MN01	MN00		
RHRDR	BSY		HR11	HR10	HR03	HR02	HR01	HR00		
RWKDR	BSY					WK2	WK1	KWK0		
RTCCR1	RUN	12/24	PM	RST						
RTCCR2			FOIE	WKIE	DYIE	HRIE	MNIE	SEIE		
RTCCSR		RCS6	RCS5		RCS3	RCS2	RCS1	RCS0		
DMACR0A* ¹	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	DMAC	
DMACR0A* ²	DTSZ	SAID	SAIDE	BLKDIR	BLKE					
DMACR0B* ¹	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0		
DMACR0B* ²		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0		
DMACR1A* ¹	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0		
DMACR1A* ²	DTSZ	SAID	SAIDE	BLKDIR	BLKE					
DMACR1B* ¹	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0		
DMACR1B* ²		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0		
DMABCR* ¹	FAE1	FAE0			DTA1B	DTA1A	DTA0B	DTA0A		
	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A		
DMABCR* ²	FAE1	FAE0			DTA1		DTA0			
	DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A		
TCSR	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT	
TCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
RSTCSR	WOVF	RSTE	RSTS							
SMR_0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_0	
SMR_0* ³	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0		
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
SSR_0* ³	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCMR_0					SDIR	SINV		SMIF		
SMR_2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_2	
SMR_2* ³	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0		
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SCI_2
SSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_2* ³	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_2					SDIR	SINV		SMIF	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
ADDRAL	AD1	AD0							
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0							
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0							
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0							
ADCSR	ADF	ADIE	ADST	SCAN		CH2	CH1	CH0	
ADCR	TRGS1	TRGS0			CKS1	CKS0			
TCSR_1				PSS					SYSTEM
FLMCR1	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH
FLMCR2	FLER								
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2							EB9	EB8	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT3		P36				P32	P31	P30	
PORT4					P43	P42	P41	P40	
PORT7	P77	P76	P75	P74			P71	P70	
PORT9	P97	P96							
PORTA					PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG				PG4	PG3	PG2	PG1	PG0	

- 【注】 *1 ショートアドレスモード
*2 フルアドレスモード
*3 スマートカードインタフェース

21. レジスタ一覧

21.3 各動作モードにおけるレジスタの状態

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
UCTLR	初期化*	-	-	-	-	-	-	-	-	-	初期化	USB
UTSTRA	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UDMAR	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UDRR	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTRG0	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UFCLR0	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UESTL0	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UESTL1	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UEDR0s	-	-	-	-	-	-	-	-	-	-	-	
UEDR0i	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UEDR0o	-	-	-	-	-	-	-	-	-	-	-	
UEDR3	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UEDR1	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UEDR2	-	-	-	-	-	-	-	-	-	-	-	
UESZ0o	-	-	-	-	-	-	-	-	-	-	-	
UESZ2	-	-	-	-	-	-	-	-	-	-	-	
UIFR0	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UIFR1	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UIFR3	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UIER0	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UIER1	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UIER3	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UISR0	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UISR1	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UISR3	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UDSR	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UCVR	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTR0	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTR1	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTR2	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTRB	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTRC	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTRD	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTRE	初期化*	-	-	-	-	-	-	-	-	-	初期化	
UTSTRF	初期化*	-	-	-	-	-	-	-	-	-	初期化	
SCRX	初期化	初期化	-	-	-	-	-	-	-	-	初期化	FLASH

21. レジスタ一覧

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
SBYCR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	SYSTEM
SYSCR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
SCKCR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
MDCR	初期化	-	-	-	-	-	-	-	-	-	初期化	
MSTPCRA	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRB	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRC	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
PFCR	初期化	-	-	-	-	-	-	-	-	-	初期化	BSC
LPWRCR	初期化	-	-	-	-	-	-	-	-	-	初期化	SYSTEM
OUTCR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	PORT
SEMRA_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	SCI_0
SEMRB_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
ISCRH	初期化	初期化	-	-	-	-	-	-	-	-	初期化	INT
ISURL	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IER	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
ISR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
P1DDR	初期化	-	-	-	-	-	-	-	-	-	初期化	PORT
P3DDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
P7DDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PADDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PBDDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PCDDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PDDDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PEDDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PFDDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PGDDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PAPCR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PBPCR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PCPCR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PDPCR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PEPCR	初期化	-	-	-	-	-	-	-	-	-	初期化	
P3ODR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PAODR	初期化	-	-	-	-	-	-	-	-	-	初期化	
TSTR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	TPU
TSYR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IPRA	初期化	初期化	-	-	-	-	-	-	-	-	初期化	INT
IPRB	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IPRC	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IPRD	初期化	初期化	-	-	-	-	-	-	-	-	初期化	

21. レジスタ一覧

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
IPRE	初期化	初期化	-	-	-	-	-	-	-	-	初期化	INT
IPRF	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IPRG	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IPRJ	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IPRK	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
IPRM	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
ABWCR	初期化	-	-	-	-	-	-	-	-	-	初期化	BSC
ASTCR	初期化	-	-	-	-	-	-	-	-	-	初期化	
WCRH	初期化	-	-	-	-	-	-	-	-	-	初期化	
WCRL	初期化	-	-	-	-	-	-	-	-	-	初期化	
BCRH	初期化	-	-	-	-	-	-	-	-	-	初期化	
BCRL	初期化	-	-	-	-	-	-	-	-	-	初期化	
RAMER	初期化	-	-	-	-	-	-	-	-	-	初期化	FLASH
MAR0A	-	-	-	-	-	-	-	-	-	-	-	DMAC
IOAR0A	-	-	-	-	-	-	-	-	-	-	-	
ETCR0A	-	-	-	-	-	-	-	-	-	-	-	
MAR0B	-	-	-	-	-	-	-	-	-	-	-	
IOAR0B	-	-	-	-	-	-	-	-	-	-	-	
ETCR0B	-	-	-	-	-	-	-	-	-	-	-	
MAR1A	-	-	-	-	-	-	-	-	-	-	-	
IOAR1A	-	-	-	-	-	-	-	-	-	-	-	
ETCR1A	-	-	-	-	-	-	-	-	-	-	-	
MAR1B	-	-	-	-	-	-	-	-	-	-	-	
IOAR1B	-	-	-	-	-	-	-	-	-	-	-	
ETCR1B	-	-	-	-	-	-	-	-	-	-	-	
P1DR	初期化	-	-	-	-	-	-	-	-	-	初期化	PORT
P3DR	初期化	-	-	-	-	-	-	-	-	-	初期化	
P7DR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PADR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PBDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PCDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PDDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PEDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PFDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
PGDR	初期化	-	-	-	-	-	-	-	-	-	初期化	
TCR_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	TPU_0
TMDR_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TIORH_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TIORL_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	

21. レジスタ一覧

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TIER_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	TPU_0
TSR_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRA_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRB_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRC_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRD_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	TPU_1
TMDR_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TIOR_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRA_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRB_1	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	TPU_2
TMDR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TIOR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TCNT_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRA_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TGRB_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
EXMDLSTP	初期化	-	-	-	-	-	-	-	-	-	初期化	SYSTEM
RSECDR	-	-	-	-	-	-	-	-	-	-	初期化	RTC
RMINDR	-	-	-	-	-	-	-	-	-	-	初期化	
RHRDR	-	-	-	-	-	-	-	-	-	-	初期化	
RWKDR	-	-	-	-	-	-	-	-	-	-	初期化	
RTCCR1	-	-	-	-	-	-	-	-	-	-	初期化	
RTCCR2	-	-	-	-	-	-	-	-	-	-	初期化	
RTCCSR	初期化	-	-	-	-	-	-	-	-	-	初期化	
DMACR0A	初期化	初期化	-	-	-	-	-	-	-	-	初期化	DMAC
DMACR0B	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
DMACR1A	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
DMACR1B	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
DMABCR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TCSR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	WDT
TCNT	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
RSTCSR	初期化	初期化	-	-	-	-	-	-	-	-	初期化	

21. レジスタ一覧

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
SMR_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	SCL_0
BRR_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
SCR_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TDR_0	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
SMR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	SCL_2
BRR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
SCR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
TDR_2	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化	初期化	-	-	-	-	-	-	-	-	初期化	
ADDRAH	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	A/D
ADDRAL	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	初期化	-	-	-	-	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	初期化	-	-	-	-	-	-	-	初期化	初期化	SYSTEM
FLMCR1	初期化	-	-	-	-	-	-	-	-	初期化	初期化	FLASH
FLMCR2	初期化	-	-	-	-	-	-	-	-	初期化	初期化	
EBR1	初期化	-	-	-	-	-	-	-	-	初期化	初期化	
EBR2	初期化	-	-	-	-	-	-	-	-	初期化	初期化	
PORT1	-	-	-	-	-	-	-	-	-	-	-	PORT
PORT3	-	-	-	-	-	-	-	-	-	-	-	
PORT4	-	-	-	-	-	-	-	-	-	-	-	
PORT7	-	-	-	-	-	-	-	-	-	-	-	
PORT9	-	-	-	-	-	-	-	-	-	-	-	
PORTA	-	-	-	-	-	-	-	-	-	-	-	
PORTB	-	-	-	-	-	-	-	-	-	-	-	
PORTC	-	-	-	-	-	-	-	-	-	-	-	
PORTD	-	-	-	-	-	-	-	-	-	-	-	
PORTE	-	-	-	-	-	-	-	-	-	-	-	

21. レジスタ一覧

レジスタ 略称	パワーオン リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
PORTF	-	-	-	-	-	-	-	-	-	-	-	PORT
PORTG	-	-	-	-	-	-	-	-	-	-	-	

【注】 - は初期化されません。

* USB のレジスタは WDT によるパワーオンリセットでは初期化されません。

22. 電気的特性

22.1 絶対最大定格

絶対最大定格を表 22.1 に示します。

表 22.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{CC} 、PLL _{VCC} 、D _r V _{CC}	- 0.3 ~ +4.3	V
入力電圧	V _{in}	- 0.3 ~ V _{CC} +0.3	V
リファレンス電源電圧	V _{ref}	- 0.3 ~ V _{CC} +0.3	V
アナログ入力電圧	V _{AN}	- 0.3 ~ V _{CC} +0.3	V
動作温度	T _{opr}	通常仕様品 : - 20 ~ +75*	
		広温度範囲仕様品 : - 40 ~ +85*	
保存温度	T _{stg}	- 55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、T_a = -20 ~ 75 です。

22.2 電源電圧と動作周波数範囲

電源電圧と動作範囲（網かけ部）を図 22.1 に示します。

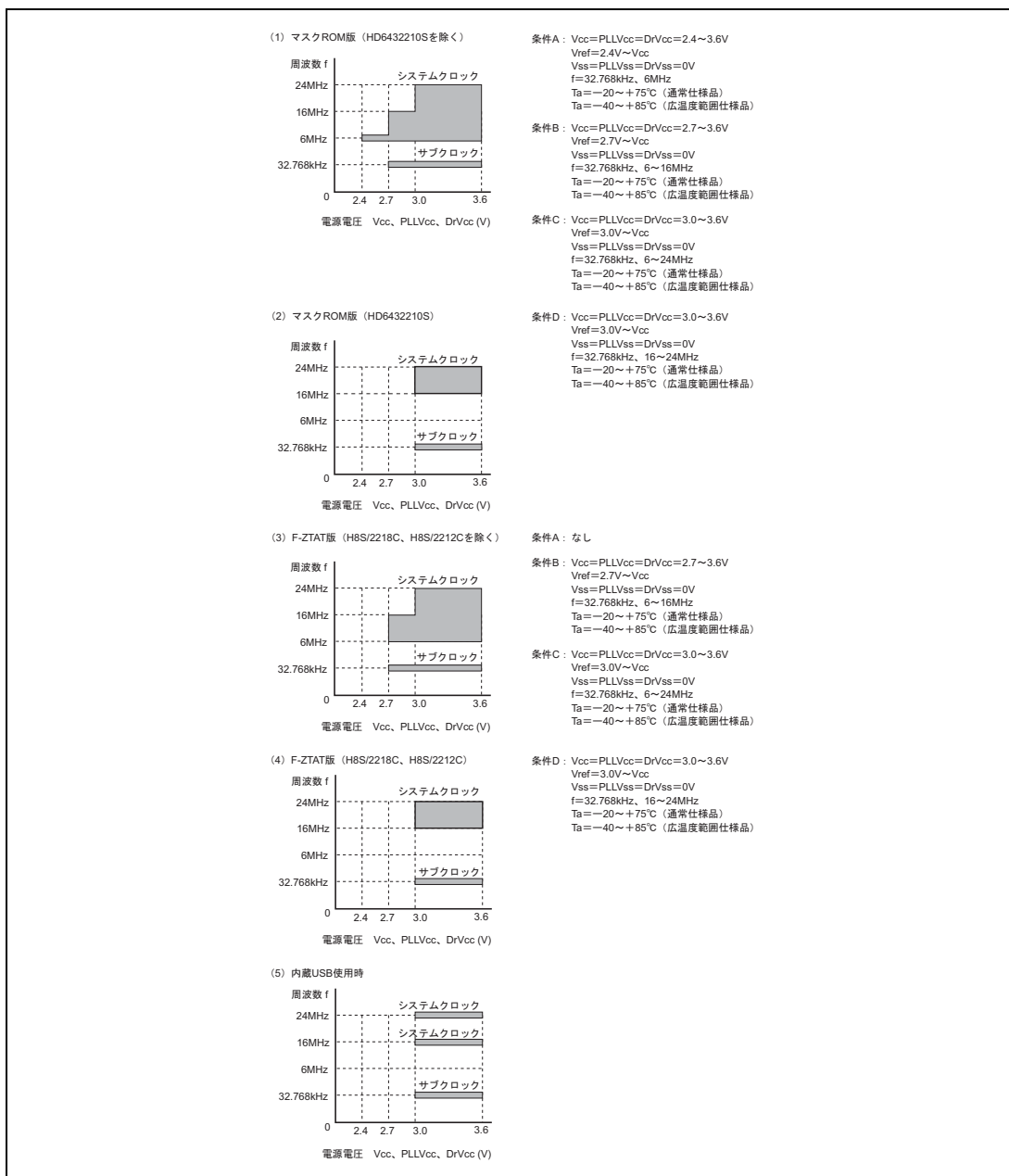


図 22.1 電源電圧と動作範囲

22.3 DC 特性

DC 特性を表 22.2 に示します。また、出力許容電流を表 22.3 に示します。

表 22.2 DC 特性

条件 A : $V_{CC} = PLLV_{CC} = D rV_{CC} = 2.4 \sim 3.6V$ 、 $V_{ref} = 2.4V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = D rV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 16MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = PLLV_{CC} = D rV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 D : $V_{CC} = PLLV_{CC} = D rV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $16 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	typ.	max.	単位	測定条件
シュミット トリガ入力 電圧	$\overline{VT^-}$	$V_{CC} \times 0.2$			V	
	VT^+			$V_{CC} \times 0.8$	V	
	$VT^+ - \overline{VT^-}$	$V_{CC} \times 0.05$			V	
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、 NMI 、 $MD2 \sim MD0$ 、 \overline{TRST} 、 TCK 、 TMS 、 TDI 、 $EMLE$ 、 $VBUS$ 、 \overline{UBPM} 、 FWE^{*4}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL ポート 1、3、4、7、9、 A ~ G、	$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、 $MD2 \sim MD0$ 、 \overline{TRST} 、 TCK 、 TMS 、 TDI 、 $EMLE$ 、 $VBUS$ 、 \overline{UBPM} 、 FWE^{*4}	- 0.3		$V_{CC} \times 0.1$	V	
	EXTAL、 NMI ポート 1、3、4、7、9、 A ~ G	- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$
		V_{OH}	$V_{CC} - 1.0$		V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}		0.4	V	$I_{OL} = 0.8mA$
入力リーク 電流	\overline{RES} 、 $VBUS$ 、 \overline{UBPM} 、 \overline{STBY} 、 NMI 、 $EMLE$ 、 $MD2 \sim MD0$ 、 FWE^{*4} ポート 4、9	I_{in}		1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$

22. 電気的特性

項目		記号	min.	typ.	max.	単位	測定条件	
スリーステートリーク電流 (オフ状態)	ポート 1、3、7、 ポート A-G	I _{rsi}			1.0	μA	V _{in} = 0.5 ~ V _{cc} - 0.5V	
入力ブルアップ MOS 電流	ポート A-E TDI、TCK、TMS、TRST	- I _p	10		300	μA	V _{in} = 0V	
入力容量	RES、NMI	C _{in}			30	pF	V _{in} = 0V	
	RES、NMI 以外の 全入力端子				15	pF	f = 1MHz T _a = 25	
消費電流*1	通常動作 (USB 停止) 時	I _{cc} *2		22 V _{cc} = 3.3V	35 V _{cc} = 3.6V	mA	f = 16MHz	
				31 V _{cc} = 3.3V	50 V _{cc} = 3.6V	mA	f = 24MHz	
	通常動作 (USB 動作) 時			30 V _{cc} = 3.3V	45 V _{cc} = 3.6V	mA	f = 16MHz (PLL3 通倍)	
				41 V _{cc} = 3.3V	60 V _{cc} = 3.6V	mA	f = 24MHz (PLL2 通倍)	
	スリープ時			16 V _{cc} = 3.3V	30 V _{cc} = 3.6V	mA	f = 16MHz (USB、PLL 停止時)	
				22 V _{cc} = 3.3V	45 V _{cc} = 3.6V	mA	f = 24MHz (USB、PLL 停止時)	
	フラッシュメモリを除く 全モジュール ストップ時			16 V _{cc} = 3.3V		mA	f = 16MHz (参考値)	
				24 V _{cc} = 3.3V		mA	f = 24MHz (参考値)	
	サブアクティブモード時			45	180	μA	32.768kHz 水晶発振子 使用時 V _{cc} = 3.3V	
	サブスリープモード時			35	100	μA	EMLE = 0	
				20*5				
ウォッチモード時		5	40	μA				
スタンバイ時*3		1.0	10	μA	T _a 50	32.768kHz と		
			50		50 < T _a	RTC 停止 EMLE = 0		
リファレンス	A/D 変換中	I _{cc}		1.3	2.5	mA	V _{ref} = 3.3V	
電源電流	A/D 変換待機時			0.01	5.0	μA		
RAM スタンバイ電圧		V _{RAM}	2.0			V		

【注】 A/D 変換器を使用しない場合でも V_{ref} 端子は開放しないでください。A/D 変換器を使用しない場合でも V_{ref} 端子は V_{cc} に接続してください。

*1 消費電流値は、V_{IH} min = V_{cc} - 0.2V、V_{IL} max = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵ブルアップ MOS をオフ状態にした場合の値です。

- *2 I_{CC} は下記の式に従って V_{CC} と f に依存します。(参考)
- $$I_{CC \max} = 5 \text{ (mA)} + 0.52 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作 USB 停止時)}$$
- $$I_{CC \max} = 9 \text{ (mA)} + 0.60 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作 USB 動作時)}$$
- $$I_{CC \max} = 1 \text{ (mA)} + 0.51 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$
- *3 V_{RAM} $V_{CC} < 2.7V$ のとき、 $V_{IH \min} = V_{CC} \times 0.9$ 、 $V_{IL \max} = 0.3V$ とした場合の値です。
- *4 FWE 端子は F-ZTAT 版のみ対応します。
- *5 内蔵 RAM 上プログラム実行中にフラッシュメモリをモジュールストップ状態に設定したときの参考値です。F-ZTAT 版のみ対応します。

表 22.3 出力許容電流

条件 A : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 2.4 \sim 3.6V$ 、 $V_{ref} = 2.4V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 16MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 D : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $16 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位
出力 Low レベル許容電流 (1 端子当たり)	全出力端子	I_{OL}			1.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}			60	mA
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$-I_{OH}$			1.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$			30	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 22.3 の値を超えないようにしてください。

22.4 AC 特性

図 22.2 に AC 測定条件を示します。

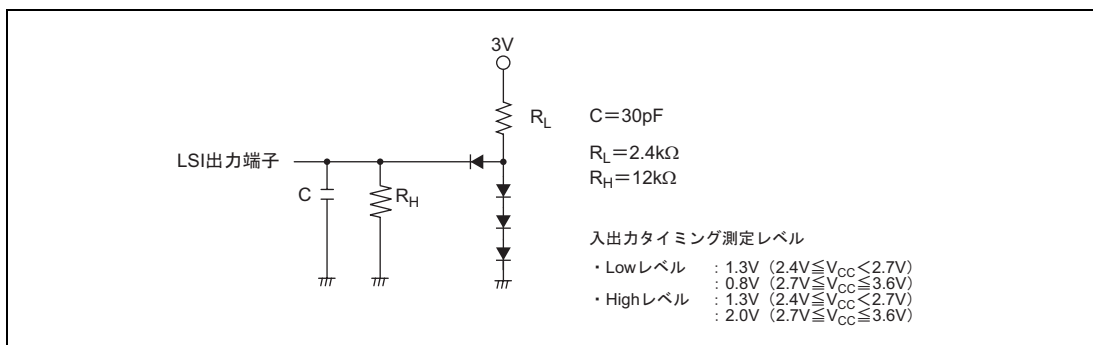


図 22.2 出力負荷回路

22.4.1 クロックタイミング

表 22.4 にクロックタイミングを示します。

表 22.4 クロックタイミング

条件 A : $V_{CC} = PLLV_{CC} = D_{r}V_{CC} = 2.4 \sim 3.6V$ 、 $V_{ref} = 2.4V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_{r}V_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = D_{r}V_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_{r}V_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 16MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = PLLV_{CC} = D_{r}V_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_{r}V_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 D : $V_{CC} = PLLV_{CC} = D_{r}V_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_{r}V_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $16 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		条件 D		単位	測定条件
		min.	max.	min.	max.	min.	max.	min.	max.		
クロックサイクル時間	t_{cyc}	166.6		62.5	166.6	41.6	166.6	41.6	62.5	ns	図 22.3
クロック High レベルパルス幅	t_{CH}	50		20		13		13		ns	
クロック Low レベルパルス幅	t_{CL}	50		20		13		13		ns	
クロック立ち上がり時間	t_{Cr}		25		10		7		7	ns	
クロック立ち下がり時間	t_{Cf}		25		10		7		7	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	40		20		20		20		ms	図 22.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	16		8		8		8		ms	図 20.4、図 19.2 $C_{L1} = C_{L2} = 10 \sim 22pF$
		16		8		4		4		ms	図 20.4、図 19.2 $C_{L1} = C_{L2} = 10 \sim 15pF$
外部クロック出力安定遅延時間	t_{DEXT}	1000		500		500		500		μs	図 22.4
サブクロック発振安定時間	t_{OSC3}		4		2		2		2	s	
サブクロック発振器発振周波数	f_{SUB}	32.768		32.768		32.768		32.768		kHz	
サブクロック (ϕ_{SUB}) サイクル時間	t_{SUB}	30.5		30.5		30.5		30.5		μs	

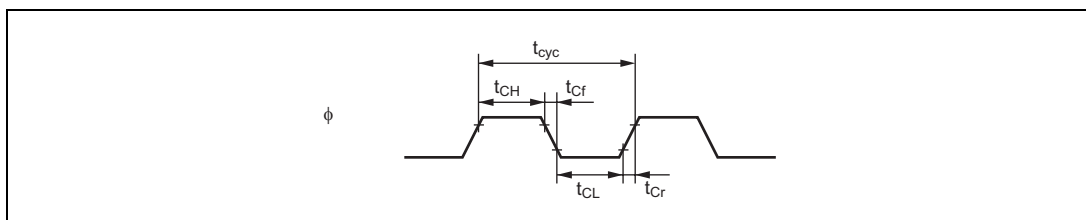


図 22.3 システムクロックタイミング

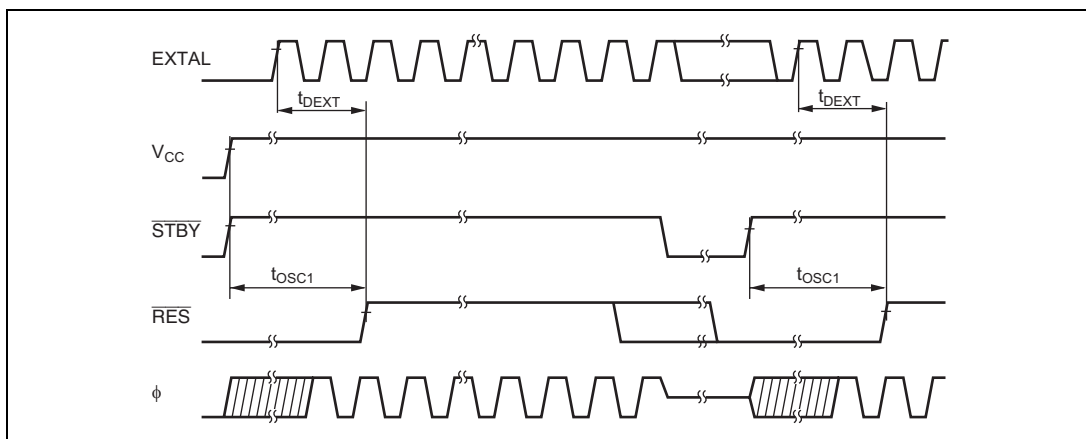


図 22.4 発振安定時間タイミング

22.4.2 制御信号タイミング

表 22.5 に制御信号タイミングを示します。

表 22.5 制御信号タイミング

条件 A : $V_{CC} = PLLV_{CC} = D_V_{CC} = 2.4 \sim 3.6V$, $V_{ref} = 2.4V \sim V_{CC}$, $V_{SS} = PLLV_{SS} = D_V_{SS} = 0V$, $f = 32.768kHz$, $6MHz$,

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = D_V_{CC} = 2.7 \sim 3.6V$, $V_{ref} = 2.7V \sim V_{CC}$, $V_{SS} = PLLV_{SS} = D_V_{SS} = 0V$, $f = 32.768kHz$, $6 \sim 16MHz$,

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = PLLV_{CC} = D_V_{CC} = 3.0 \sim 3.6V$, $V_{ref} = 3.0V \sim V_{CC}$, $V_{SS} = PLLV_{SS} = D_V_{SS} = 0V$, $f = 32.768kHz$, $6 \sim 24MHz$,

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 D : $V_{CC} = PLLV_{CC} = D_V_{CC} = 3.0 \sim 3.6V$, $V_{ref} = 3.0V \sim V_{CC}$, $V_{SS} = PLLV_{SS} = D_V_{SS} = 0V$, $f = 32.768kHz$, $16 \sim 24MHz$,

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B、C、D		単位	測定条件
		min.	max.	min.	max.		
RES セットアップ時間	t_{RESS}	350		250		ns	図 22.5
RES パルス幅	t_{RESW}	20		20		tcyc	
MRES セットアップ時間	t_{MRESS}	350		250		ns	
MRES パルス幅	t_{MRESW}	20		20		tcyc	
NMI セットアップ時間	t_{NMIS}	350		250		ns	図 22.6
NMI ホールド時間	t_{NMIH}	10		10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	300		200		ns	
IRQ セットアップ時間	t_{IRQS}	350		250		ns	
IRQ ホールド時間	t_{IRQH}	10		10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	300		200		ns	

22. 電氣的特性

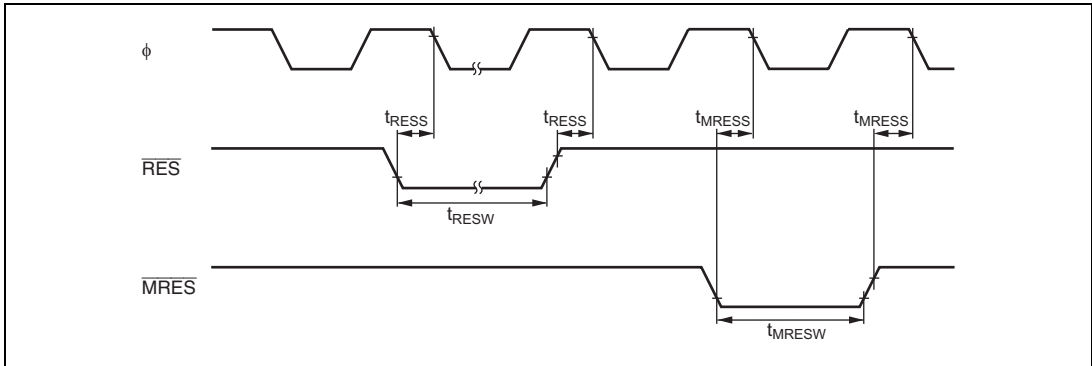


図 22.5 リセット入力タイミング

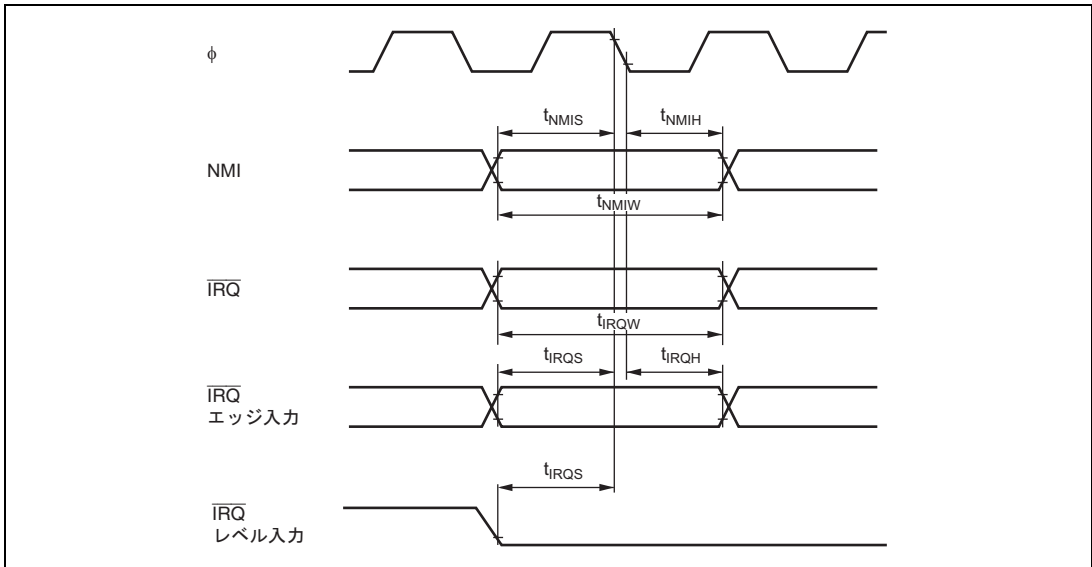


図 22.6 割り込み入力タイミング

22.4.3 バスタイミング

表 22.6 にバスタイミングを示します。

表 22.6 バスタイミング

条件 A : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 2.4 \sim 3.6V$ 、 $V_{ref} = 2.4V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 16MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 D : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $16 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C、D		単位	測定条件
		min.	max.	min.	max.	min.	max.		
アドレス遅延時間	t_{AD}		90		50		30	ns	図 22.7、図 22.8、 図 22.10
アドレスセット アップ時間	t_{AS}	$0.5 \times t_{cyc}$ - 60		$0.5 \times t_{cyc}$ - 30		$0.5 \times t_{cyc}$ - 20		ns	
アドレスホールド 時間	t_{AH}	$0.5 \times t_{cyc}$ - 30		$0.5 \times t_{cyc}$ - 15		$0.5 \times t_{cyc}$ - 8		ns	
CS 遅延時間	t_{CSD}		90		50		30	ns	
AS 遅延時間	t_{ASD}		90		50		25	ns	図 22.7、図 22.8、 図 22.10
RD 遅延時間 1	t_{RSD1}		90		50		25	ns	図 22.7、図 22.8、 図 22.10
RD 遅延時間 2	t_{RSD2}		90		50		25	ns	
リードデータ セットアップ時間	t_{RDS}	50		30		20		ns	
リードデータ ホールド時間	t_{RDH}	0		0		0		ns	
リードデータ アクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc}$ - 90		$1.5 \times t_{cyc}$ - 65		$1.5 \times t_{cyc}$ - 35	ns	図 22.7
リードデータ アクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc}$ - 90		$2.0 \times t_{cyc}$ - 65		$2.0 \times t_{cyc}$ - 40	ns	図 22.7、図 22.10
リードデータ アクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc}$ - 90		$2.5 \times t_{cyc}$ - 65		$2.5 \times t_{cyc}$ - 35	ns	図 22.8
リードデータ アクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc}$ - 90		$3.0 \times t_{cyc}$ - 65		$3.0 \times t_{cyc}$ - 40	ns	
WR 遅延時間 1	t_{WRD1}		90		50		20	ns	
WR 遅延時間 2	t_{WRD2}		90		50		25	ns	図 22.7、図 22.8
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc}$ - 60		$1.0 \times t_{cyc}$ - 30		$1.0 \times t_{cyc}$ - 20		ns	図 22.7
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc}$ - 60		$1.5 \times t_{cyc}$ - 30		$1.5 \times t_{cyc}$ - 20		ns	図 22.8

22. 電気的特性

項目	記号	条件 A		条件 B		条件 C、D		単位	測定条件
		min.	max.	min.	max.	min.	max.		
ライトデータ遅延時間	t_{WDD}		100		50		30	ns	図 22.7、図 22.8
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc}$ - 80		$0.5 \times t_{cyc}$ - 30		$0.5 \times t_{cyc}$ - 20		ns	図 22.8
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc}$ - 60		$0.5 \times t_{cyc}$ - 15		$0.5 \times t_{cyc}$ - 10		ns	図 22.7、図 22.8
WAIT セットアップ時間	t_{WTS}	90		50		25		ns	図 22.9
WAIT ホールド時間	t_{WTH}	10		10		5		ns	
BREQ セットアップ時間	t_{BROS}	90		50		25		ns	図 22.11
BACK 遅延時間	t_{BACD}		90		50		35	ns	
バスフローティング時間	t_{BZD}		160		80		50	ns	

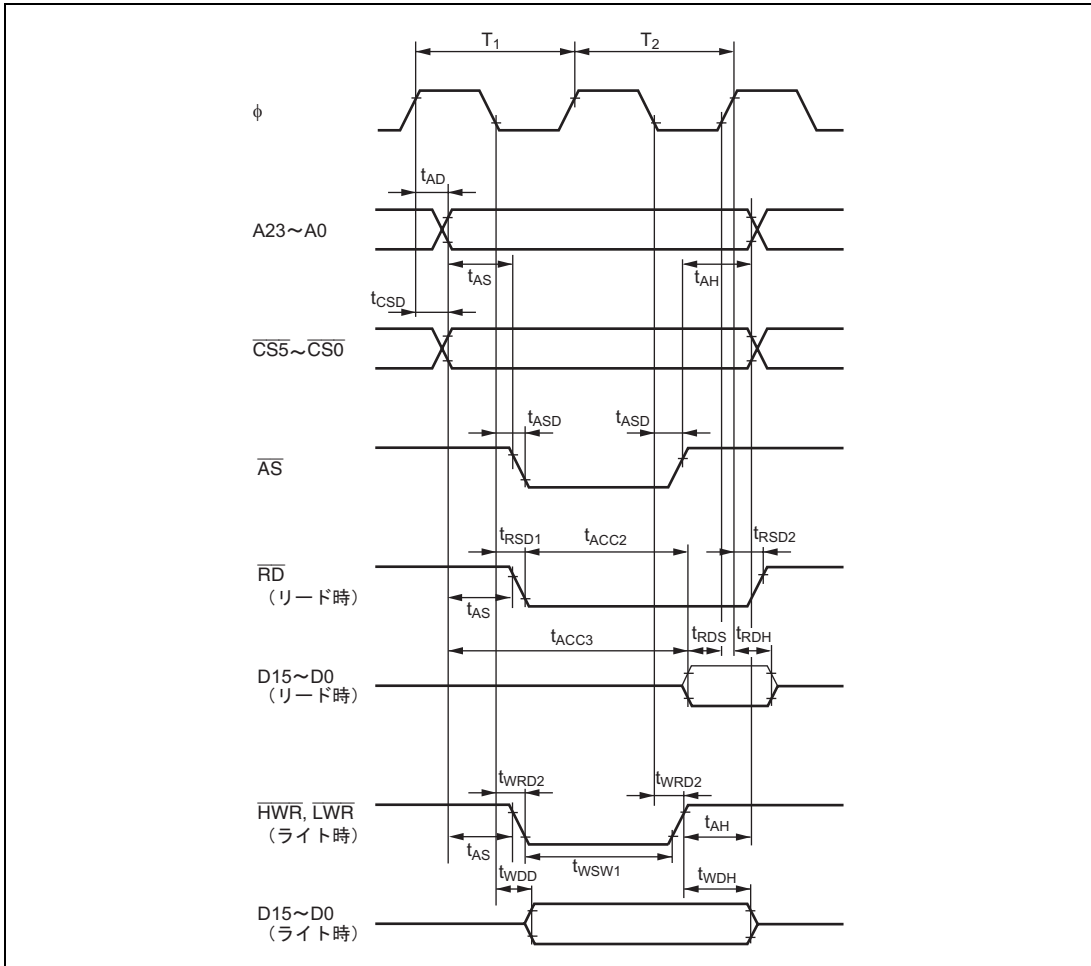


図 22.7 基本バスタイミング / 2 ステートアクセス

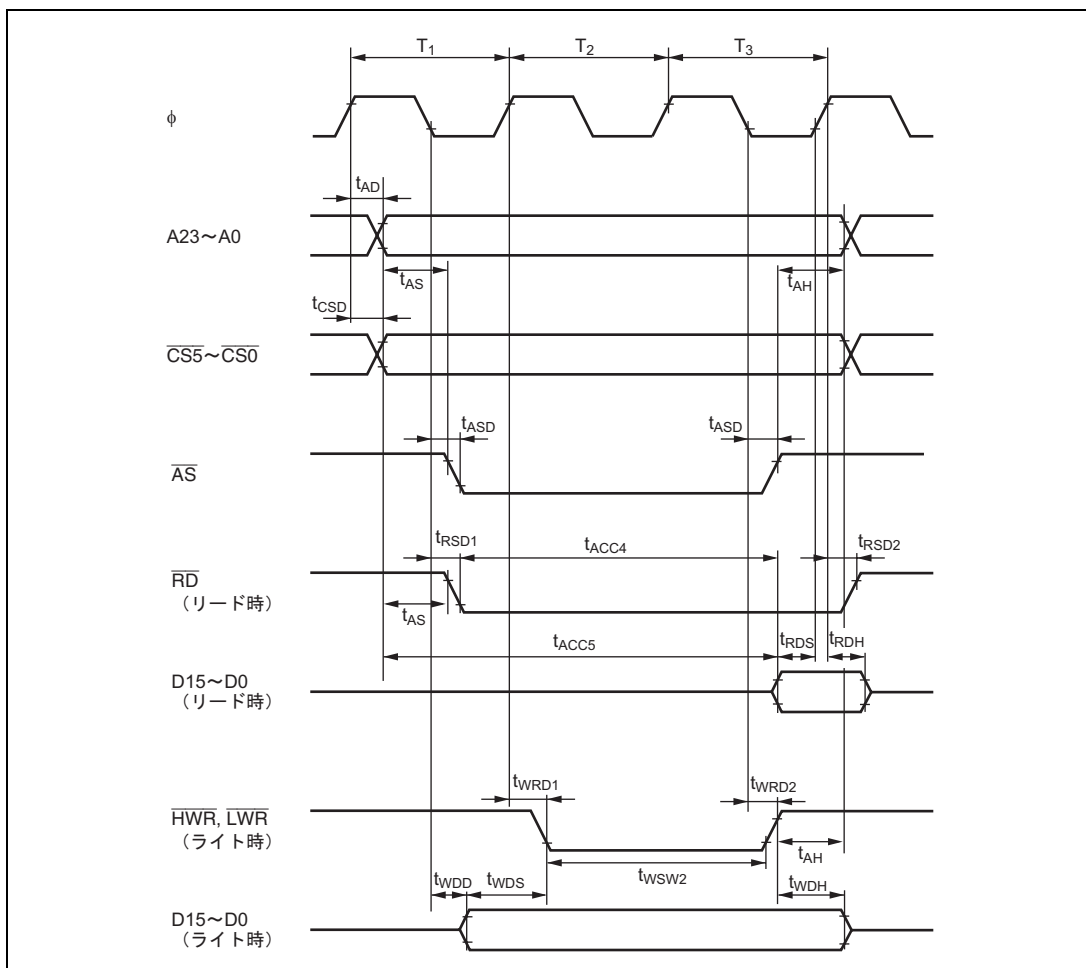


図 22.8 基本バスタイミング / 3 ステートアクセス

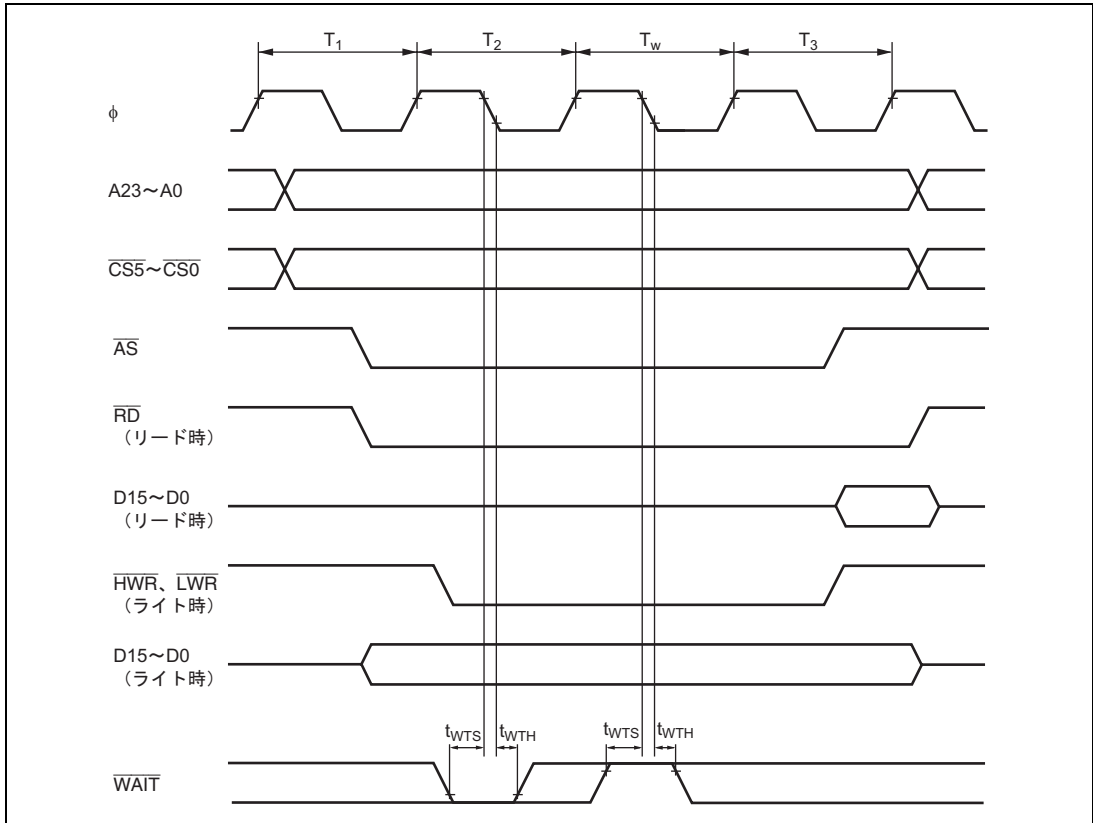


図 22.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

22. 電気的特性

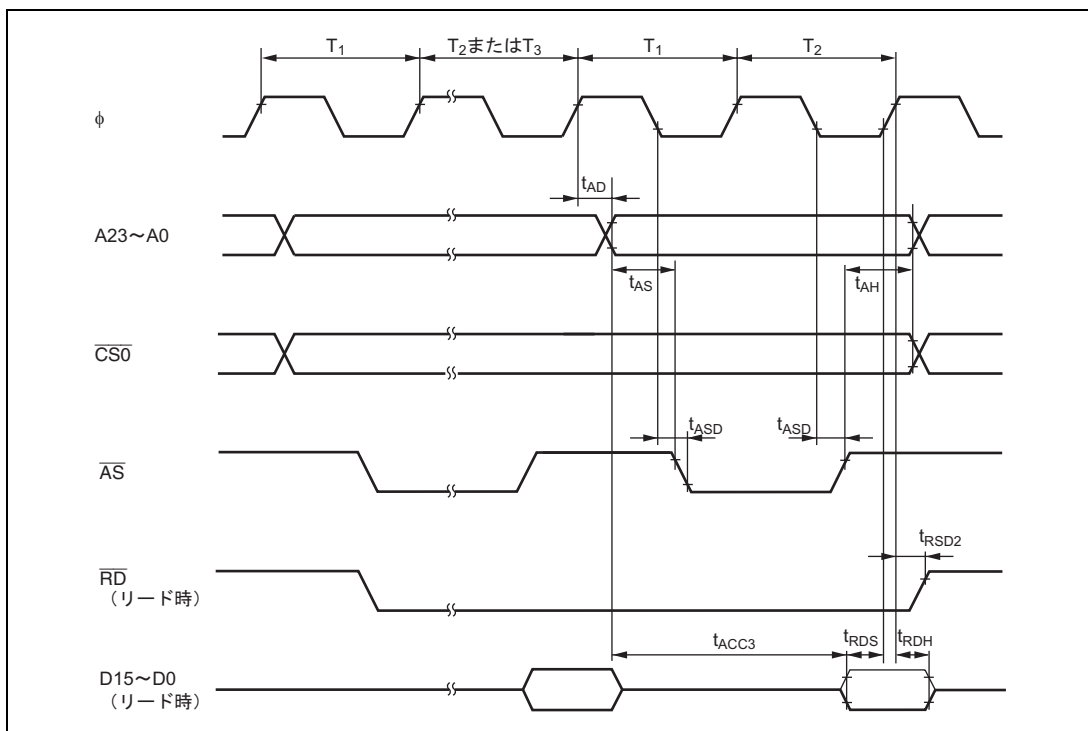


図 22.10 パースタティック ROM アクセスタイミング / 2 ステートアクセス

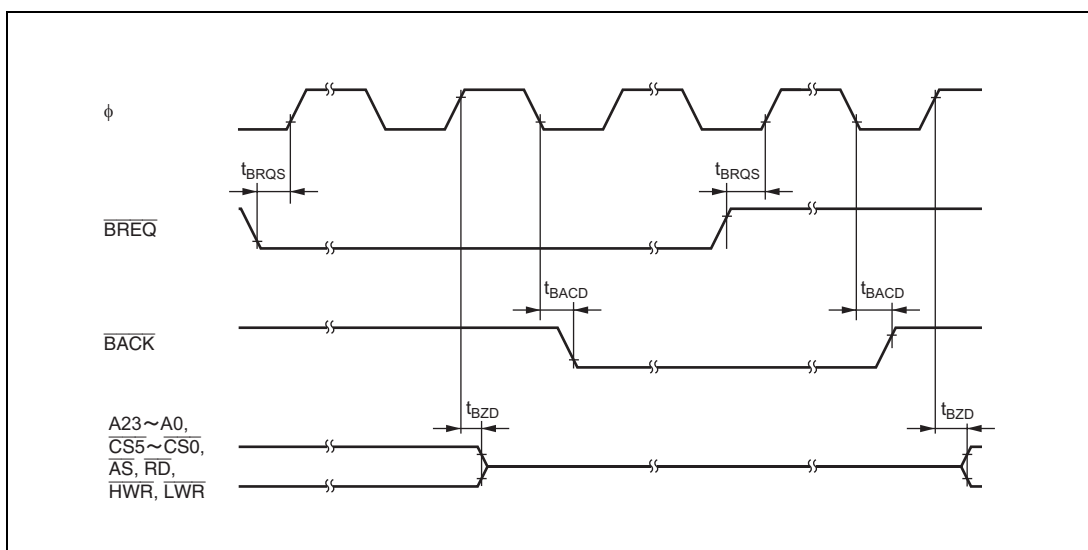


図 22.11 外部バス権解放タイミング

22.4.4 内蔵周辺モジュールタイミング

表 22.7 に内蔵周辺タイミングを示します。

表 22.7 内蔵周辺タイミング

条件 A : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 2.4 \sim 3.6V$ 、 $V_{ref} = 2.4V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、6MHz、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、6 ~ 16MHz、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、6 ~ 24MHz、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 D : $V_{CC} = PLLV_{CC} = D_VV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D_VV_{SS} = 0V$ 、 $f = 32.768kHz$ 、16 ~ 24MHz、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件 A		条件 B		条件 C、D		単位	測定条件	
			min.	max.	min.	max.	min.	max.			
I/O ポート	出力データ遅延時間	t_{PWD}		150		60		40	ns	図 22.12	
	入力データセットアップ時間	t_{PRS}	80		50		30				
	入力データホールド時間	t_{PRH}	50		50		30				
TPU	タイマ出力遅延時間	t_{TODD}		150		60		40	ns	図 22.13	
	タイマ入力セットアップ時間	t_{TICS}	60		40		30				
	タイマクロック入力セットアップ時間	t_{TCKS}	60		40		30		ns	図 22.14	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5		1.5		1.5			tcyc
両エッジ指定		t_{TCKWL}	2.5		2.5		2.5				
SCI	入カクロックサイクル	調歩同期	t_{Syc}	4		4		4	tcyc	図 22.15	
		クロック同期		6		6		6			
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{Syc}		
	入カクロック立ち上がり時間	t_{SCKr}		1.5		1.5		1.5	tcyc		
	入カクロック立ち下がり時間	t_{SCKf}		1.5		1.5		1.5			
	送信データ遅延時間	t_{TXD}		150		60		40	ns		図 22.16
	受信データセットアップ時間(クロック同期)	t_{RXS}	150		60		40				
受信データホールド時間(クロック同期)	t_{RXH}	150		60		40					
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	60		40		30	ns	図 22.17		
バウンダリ スキャン	TCK サイクル時間	t_{Tcyc}	166.6		62.5		41.6	ns	図 22.18		
	TCK High レベルパルス幅	t_{TCKH}	0.4	0.6	0.4	0.6	0.4	0.6		t_{Tcyc}	
	TCK Low レベルパルス幅	t_{TCKL}	0.4	0.6	0.4	0.6	0.4	0.6		t_{Tcyc}	
	\overline{TRST} パルス幅	t_{TRSW}	20		20		20		t_{Tcyc}	図 22.19	
	\overline{TRST} セットアップ時間	t_{TRSS}	350		250		250		ns		
	TDI セットアップ時間	t_{TDis}	80		30		20		ns	図 22.20	
	TDI ホールド時間	t_{TDIH}	10		10		10				
	TMS セットアップ時間	t_{TMSS}	80		30		20				
TMS ホールド時間	t_{TMSH}	10		10		10					
	TDO 遅延時間	t_{TDOD}	-	100	-	40	-	35			

22. 電気的特性

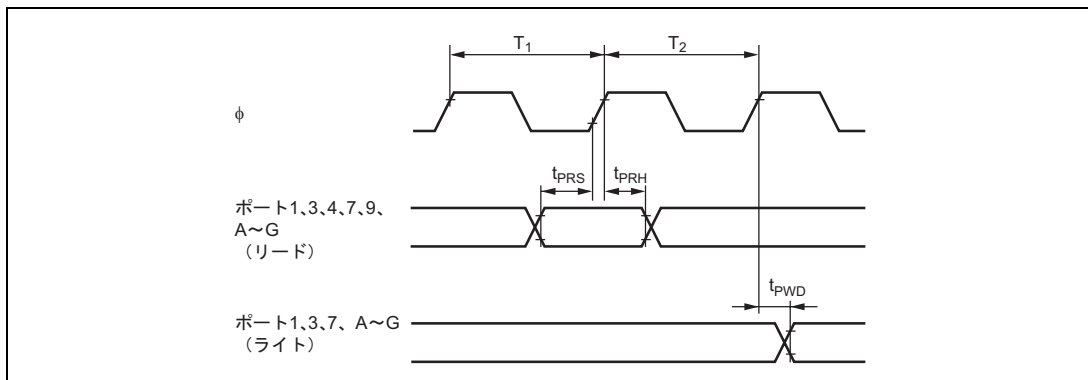


図 22.12 I/O ポート入出力タイミング

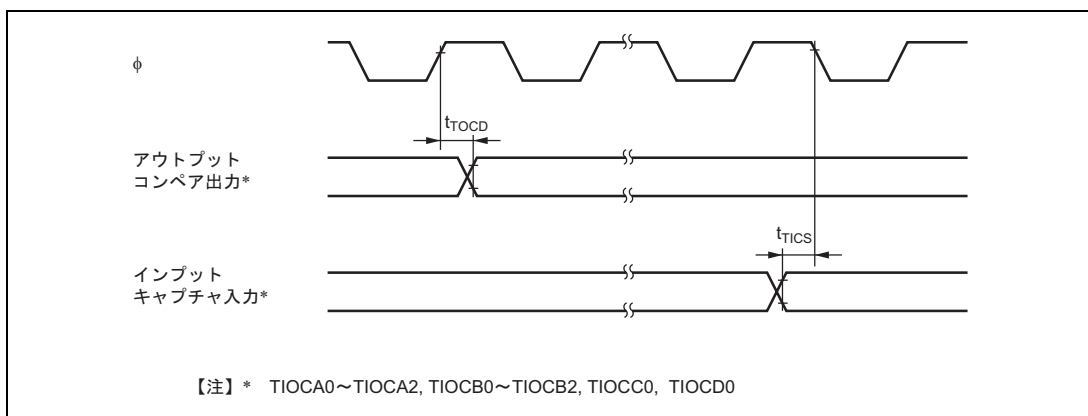


図 22.13 TPU 入出力タイミング

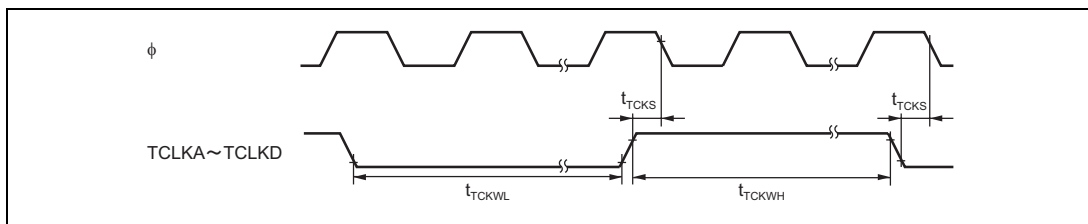


図 22.14 TPU クロック入力タイミング

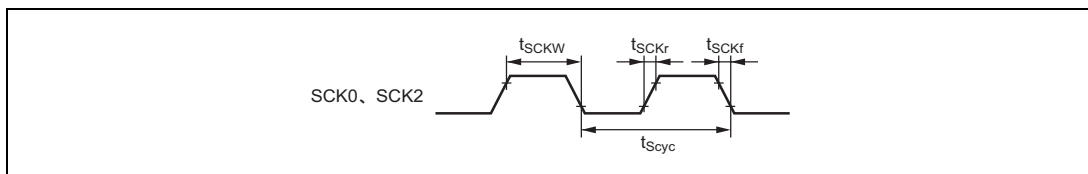


図 22.15 SCK クロック入力タイミング

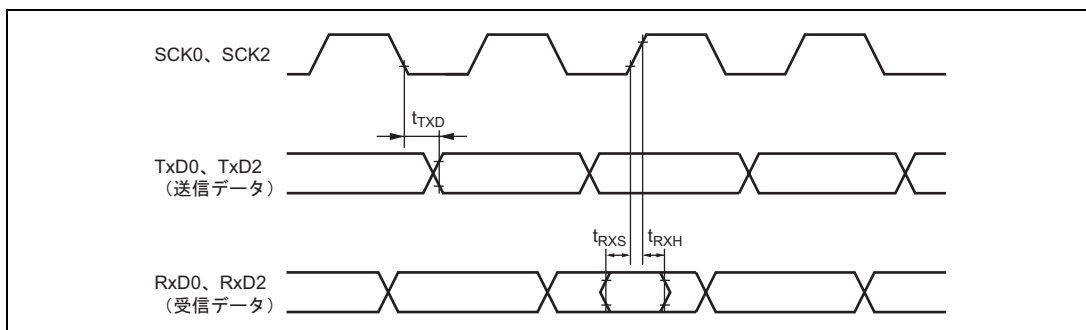


図 22.16 SCI 入出力タイミング/クロック同期式モード

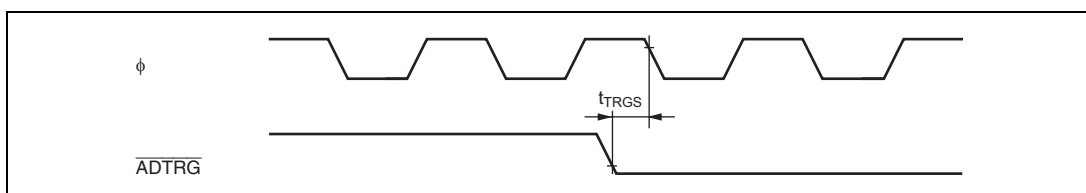


図 22.17 A/D 変換器外部トリガ入力タイミング

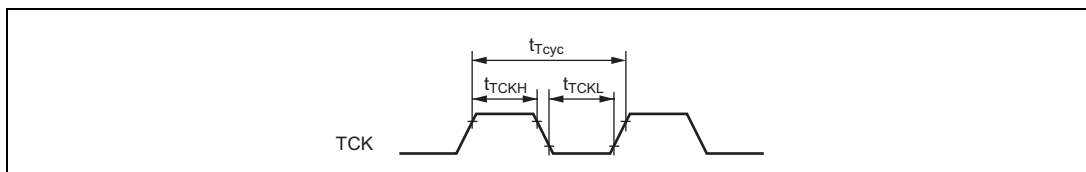
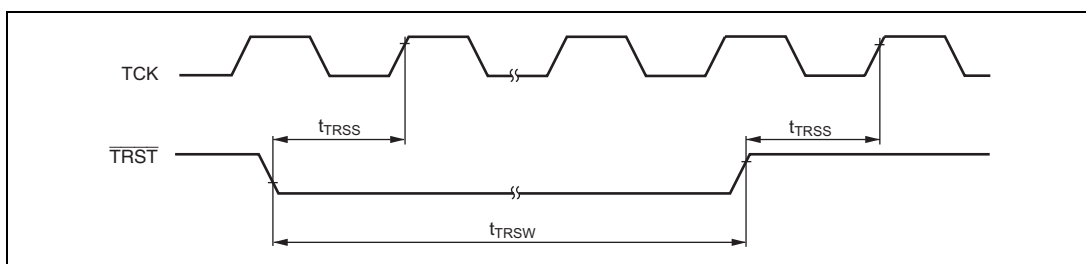


図 22.18 バウンダリスキャン TCK 入力タイミング

図 22.19 バウンダリスキャン \overline{TRST} 入力タイミング (リセットホールド時)

22. 電気的特性

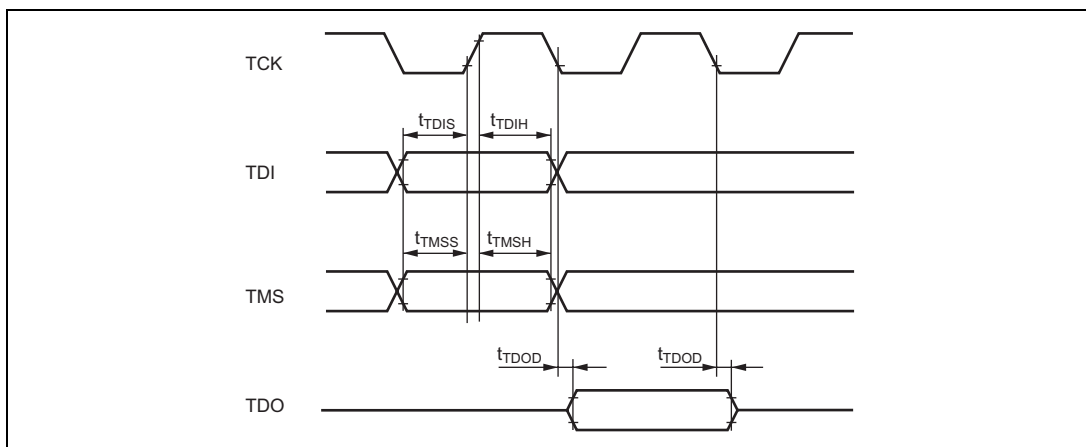


図 22.20 バウンダリスキャンデータ転送タイミング

22.5 USB 特性

表 22.8 に内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性) を示します。

表 22.8 内蔵 USB トランシーバ使用時の USB 特性 (USD+, USD-端子特性)

条件: $V_{CC} = PLLV_{CC} = D_V_{CC} = 3.0 \sim 3.6V$, $V_{SS} = PLLV_{SS} = D_V_{SS} = 0V$, $f = 16MHz, 24MHz$,

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	max.	単位	測定条件	
入力特性	入力 High レベル電圧	V_{IH}	2.0		V		図 22.21
	入力 Low レベル電圧	V_{IL}		0.8	V		図 22.22
	差動入力感度	V_{DI}	0.2		V	$ (D+) - (D-) $	
	差動共通モードレンジ	V_{CM}	0.8	2.5	V		
出力特性	出力 High レベル電圧	V_{OH}	2.8		V	$I_{OH} = -200\mu A$	
	出力 Low レベル電圧	V_{OL}		0.3	V	$I_{OL} = 2mA$	
	クロスオーバー電圧	V_{CRS}	1.3	2.0	V		
	立ち上がり時間	t_r	4	20	ns		
	立ち下がり時間	t_f	4	20	ns		
	立ち上がり / 立ち下がり 時間マッチング	t_{RFM}	90	111.11	%	(T_r/T_f)	
	出力抵抗	Z_{DRV}	28	44	Ω	$R_S = 24 \Omega$ を含む	

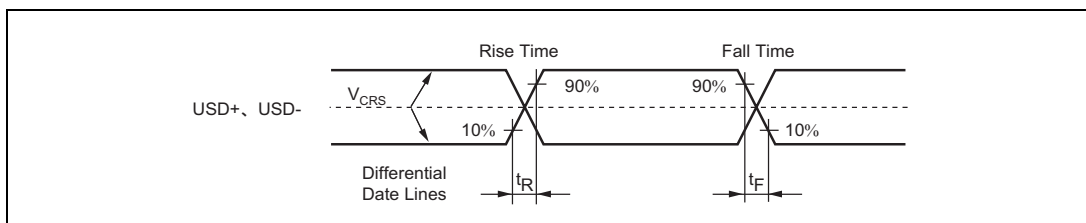


図 22.21 データ信号タイミング

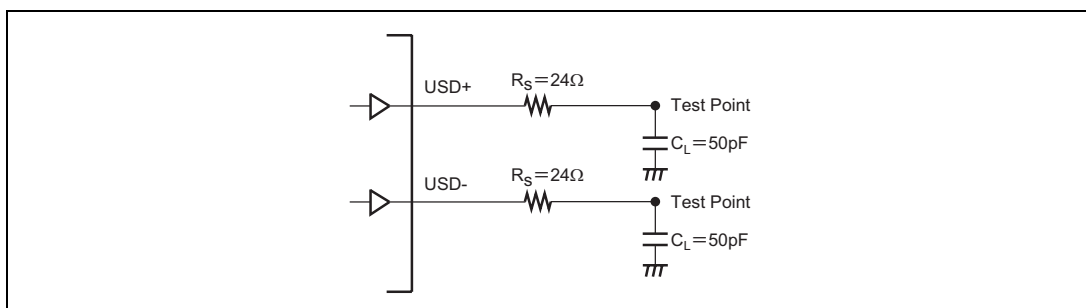


図 22.22 負荷条件

22.6 A/D 変換特性

表 22.9 に A/D 変換特性を示します。

表 22.9 A/D 変換特性

条件 A : $V_{CC} = PLLV_{CC} = D rV_{CC} = 2.4 \sim 3.6V$ 、 $V_{ref} = 2.4V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = D rV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 16MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 C : $V_{CC} = PLLV_{CC} = D rV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $6 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 D : $V_{CC} = PLLV_{CC} = D rV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim V_{CC}$ 、 $V_{SS} = PLLV_{SS} = D rV_{SS} = 0V$ 、 $f = 32.768kHz$ 、 $16 \sim 24MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件 A			条件 B、C、D			単位
	min.	typ.	max.	min.	typ.	max.	
分解能	10	10	10	10	10	10	ビット
変換時間	21.8			8.1			μs
アナログ入力容量			20			20	pF
許容信号源インピーダンス			5			5	k Ω
非直線性誤差			± 6.0			± 6.0	LSB
オフセット誤差			± 4.0			± 4.0	LSB
フルスケール誤差			± 4.0			± 4.0	LSB
量子化誤差			± 0.5			± 0.5	LSB
絶対精度			± 8.0			± 6.0	LSB

22.7 フラッシュメモリ特性

表 22.10 にフラッシュメモリ特性を示します。

表 22.10 フラッシュメモリ特性

条件：V_{CC} = PLLV_{CC} = DrV_{CC} = 3.0 ~ 3.6V、V_{ref} = 2.7V ~ V_{CC}、V_{SS} = PLLV_{SS} = DrV_{SS} = 0V、

T_a = -20 ~ +75 (書き込み / 消去時の動作温度範囲)

項目		記号	min.	typ.	max.	単位
書き込み時間 ^{*1*2*4}		t _p		10	200	ms/128 バイト
消去時間 ^{*1*3*5}		t _E		50	1000	ms/ブロック
書き換え回数		N _{WEC}	100 ^{*6}	10000 ^{*7}		回
データ保持時間 ^{*8}		t _{DRP}	10			年
書き込み時	PSU1 ビットセット後のウェイト時間 ^{*1}	y	50	50		μs
	P1 ビットセット後のウェイト時間 ^{*1*4}	z0	28	30	32	μs
		z1	198	200	202	μs
		z2	8	10	12	μs
	P1 ビットクリア後のウェイト時間 ^{*1}	α	5	5		μs
	PSU1 ビットクリア後のウェイト時間 ^{*1}	β	5	5		μs
	PV1 ビットセット後のウェイト時間 ^{*1}	γ	4	4		μs
	H'FF ダミーライト後のウェイト時間 ^{*1}	ε	2	2		μs
	PV1 ビットクリア後のウェイト時間 ^{*1}	η	2	2		μs
	最大書き込み回数 ^{*1*4}	N1			6 ^{*4}	回
N2				994 ^{*4}	回	
共通	SWE1 ビットセット後のウェイト時間 ^{*1}	x	1	1		μs
	SWE1 ビットクリア後のウェイト時間 ^{*1}	θ	100	100		μs
消去時	ESU1 ビットセット後のウェイト時間 ^{*1}	y	100	100		μs
	E1 ビットセット後のウェイト時間 ^{*1*5}	z	10	10	100	ms
	E1 ビットクリア後のウェイト時間 ^{*1}	α	10	10		μs
	ESU1 ビットクリア後のウェイト時間 ^{*1}	β	10	10		μs
	EV1 ビットセット後のウェイト時間 ^{*1}	γ	20	20		μs
	H'FF ダミーライト後のウェイト時間 ^{*1}	ε	2	2		μs
	EV1 ビットクリア後のウェイト時間 ^{*1}	η	4	4		μs
	最大消去回数 ^{*1*5}	N			100	回

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

*2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)

*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)

22. 電気的特性

*4 書き込み時間の最大値

$$t_p(\max) = P1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大書き込み回数 (N1 + N2)} \\ = (z0 + z2) \times 6 + z1 \times 994$$

*5 消去時間の最大値

$$t_e(\max) = E1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大消去回数 (N)}$$

*6 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。

*7 25 のときの参考値 (通常この値まで書き換えは機能するという目安です)

*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

22.8 使用上の注意事項

- プリント基板設計上の一般的注意事項

実装設計については、LSI のスイッチング過渡電流による輻射ノイズ対策を十分ご配慮のうえ、ご使用くださるようお願いいたします。以下に具体的対策例を示します。

1. 電源プレーンとGNDプレーンを有する。多層プリント基板を使用する。
2. LSIのVcc - GND (Vss) 間、およびPLL Vcc - PLLGND間にバイパスコンデンサ (0.1μF程度) を付ける。

- F-ZTAT版とマスクROM版の特性について

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 各端子状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード
P17 ~ P14	4 ~ 7	T	keep	T	keep	keep	入出力ポート
P13/A23 P12/A22 P11/A21	7	T	keep	T	keep	keep	入出力ポート
AEn ビットでアド レス出力選択	4 ~ 6	T	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
ポート選択	4 ~ 6	T	keep	T	keep	keep	入出力ポート
P10/A20	7	T	keep	T	keep	keep	入出力ポート
AEn ビットでアド レス出力選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
	6	T					
ポート選択	4 ~ 6	T ^{*1}	keep	T	keep	keep	入出力ポート
ポート 3	4 ~ 7	T	keep	T	keep	keep	入出力ポート
ポート 4	4 ~ 7	T	T	T	T	T	入力ポート
P77 ~ P75 ^{*3}	7	T	keep	T	keep	keep	入出力ポート
P74 ^{*2}	4 ~ 7	T	keep	T	keep	keep	入出力ポート
P71/ $\overline{CS5}$ ^{*2} P70/ $\overline{CS4}$ ^{*2}	7	T	keep	T	keep	keep	入出力ポート
	4 ~ 6	T	keep	T	[DDR · OPE = 0] T [DDR · OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS5}$ ~ $\overline{CS4}$

付録

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード	
ポート 9	4 ~ 7	T	T	T	[DAOEn = 1] keep [DAOEn = 0] T	keep	入力ポート	
ポート A	7	T	keep	T	keep	keep	入出力ポート	
AEn ビットでアド レス出力選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T						
ポート選択	4 ~ 6	T* ¹	keep	T	keep	keep	入出力ポート	
ポート B* ²	7	T	keep	T	keep	keep	入出力ポート	
AEn ビットでアド レス出力選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T						
ポート選択	4 ~ 6	T* ¹	keep	T	keep	keep	入出力ポート	
ポート C* ²	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	7	T	keep	T	keep	keep	入出力ポート	
ポート D* ²	4 ~ 6	T	T	T	T	T	データバス	
	7	T	keep	T	keep	keep	入出力ポート	
ポート E	8 ビット バス	4 ~ 6	T	keep	T	keep	keep	入出力ポート
	16 ビット バス	4 ~ 6	T	T	T	T	T	データバス
		7	T	keep	T	keep	keep	入出力ポート

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード
PF7/ ϕ	4~6	クロック 出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力
	7	T	keep	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力
PF6/ \overline{AS} * ² PF5/ \overline{RD} * ² PF4/ \overline{HWR} * ²	4~6	H	H	T	[OPE = 0] T [OPE = 1] H	T	\overline{AS} 、 \overline{RD} 、 \overline{HWR}
	7	T	keep	T	keep	keep	入出力ポート
PF3/ \overline{LWR}	7	T	keep	T	keep	keep	入出力ポート
8ビットバス	4~6	(モード4) H	keep	T	keep	keep	入出力ポート
		(モード5、6) T	H	T	[OPE = 0] T [OPE = 1] H	T	\overline{LWR}
PF2/ \overline{WAIT} * ²	4~6	T	keep	T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] 入出力ポート [WAITE = 1] \overline{WAIT}
	7	T	keep	T	keep	keep	入出力ポート
PF1/ \overline{BACK} * ²	4~6	T	keep	T	[BRLE = 0] keep [BRLE = 1] H	L	[BRLE = 0] 入出力ポート [BRLE = 1] \overline{BACK}
	7	T	keep	T	keep	keep	入出力ポート
PF0/ \overline{BREQ}	4~6	T	keep	T	[BRLE = 0] keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] \overline{BREQ}
	7	T	keep	T	keep	keep	入出力ポート

付録

ポート名 端子名	MCU 動作モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス種 解放状態	プログラム 実行状態、 スリープモード
PG4/ $\overline{CS0}$ *2	4、5	H	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS0}$ (スリープモード)時 H
	6	T					
	7	T	keep	T	keep	keep	入出力ポート
PG3/ $\overline{CS1}$ *2 PG2/ $\overline{CS2}$ *2 PG1/ $\overline{CS3}$	4-6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS1} \sim \overline{CS3}$
	7	T	keep	T	keep	keep	入出力ポート
PG0*3	4-7	T	keep	T	keep	keep	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

OPE : 出力ポートイネーブル

WAITE : ウェイト入力イネーブル

BRLE : バスリリースイネーブル

【注】 *1 モード 4、5 では L (アドレス入力)

*2 H8S/2218 グループのみ

*3 H8S/2212 グループのみ

B. 型名一覧

製品分類		製品型名	カタログ型名	マーク型名	パッケージ(コード)	
H8S/2218 グループ	フラッシュメモリ版	HD64F2218	HD64F2218TF24	F2218TF24	100ピン TQFP (TFP-100G、 TFP-100GV)	
			HD64F2218BR24	64F2218BR24	112ピン P-LFBGA (BP-112、BP-112V)	
		HD64F2218U	HD64F2218UTF24	F2218UTF24	100ピン TQFP (TFP-100G、 TFP-100GV)	
			HD64F2218UBR24	64F2218UBR24	112ピン P-LFBGA (BP-112、BP-112V)	
		HD64F2218CU	HD64F2218CUTF24	F2218CUTF24	100ピン TQFP (TFP-100GV)	
			HD64F2218CUBR24	64F2218CUBR24	112ピン P-LFBGA (BP-112V)	
	HD64F2217CU	HD64F2217CUTF24	F2217CUTF24	100ピン TQFP (TFP-100GV)		
		HD64F2217CUBR24	64F2217CUBR24	112ピン P-LFBGA (BP-112V)		
	マスク ROM 版	HD6432217	HD6432217(***)TF	2217(***)TF	100ピン TQFP (TFP-100G、 TFP-100GV)	
			HD6432217(***)BR	2217(***)BR	112ピン P-LFBGA (BP-112、BP-112V)	
	H8S/2212 グループ	フラッシュメモリ版	HD64F2212	HD64F2212FP24	2212FP24	64ピン LQFP (FP-64E、FP-64EV)
				HD64F2212NP24	F2212NP24	64ピン VQFN (TNP-64B、TNP-64BV)
HD64F2212U			HD64F2212UFP24	2212UFP24	64ピン LQFP (FP-64E、FP-64EV)	
			HD64F2212UNP24	F2212UNP24	64ピン VQFN (TNP-64B、TNP-64BV)	
HD64F2212CU			HD64F2212CUFP24	2212CUFP24	64ピン LQFP (FP-64EV)	
			HD64F2212CUNP24	F2212CUNP24	64ピン VQFN (TNP-64BV)	
HD64F2211			HD64F2211FP24	2211FP24	64ピン LQFP (FP-64E、FP-64EV)	
			HD64F2211NP24	F2211NP24	64ピン VQFN (TNP-64B、TNP-64BV)	

製品分類	製品型名	カタログ型名	マーク型名	パッケージ (コード)	
H8S/2212 グループ	フラッシュメモリ版	HD64F2211U	HD64F2211UFP24	2211UFP24	64 ピン LQFP (FP-64E、FP-64EV)
			HD64F2211UNP24	F2211UNP24	64 ピン VQFN (TNP-64B、TNP-64BV)
		HD64F2211CU	HD64F2211CUFP24	2211CUFP24	64 ピン LQFP (FP-64EV)
			HD64F2211CUNP24	F2211CUNP24	64 ピン VQFN (TNP-64BV)
		HD64F2210CU	HD64F2210CUFP24	2210CUFP24	64 ピン LQFP (FP-64EV)
			HD64F2210CUNP24	F2210CUNP24	64 ピン VQFN (TNP-64BV)
	マスク ROM 版	HD6432211	HD6432211(***)FP	2211(***)FP	64 ピン LQFP (FP-64E、FP-64EV)
			HD6432211(***)NP	2211(***)NP	64 ピン VQFN (TNP-64B、TNP-64BV)
		HD6432210	HD6432210(***)FP	2210(***)FP	64 ピン LQFP (FP-64E、FP-64EV)
			HD6432210(***)NP	2210(***)NP	64 ピン VQFN (TNP-64B、TNP-64BV)
		HD6432210S	HD6432210S(***)FP	2210S(***)FP	64 ピン LQFP (FP-64E、FP-64EV)
			HD6432210S(***)NP	2210S(***)NP	64 ピン VQFN (TNP-64B、TNP-64BV)

【記号説明】 *** : ROM コード

C. 外形寸法図

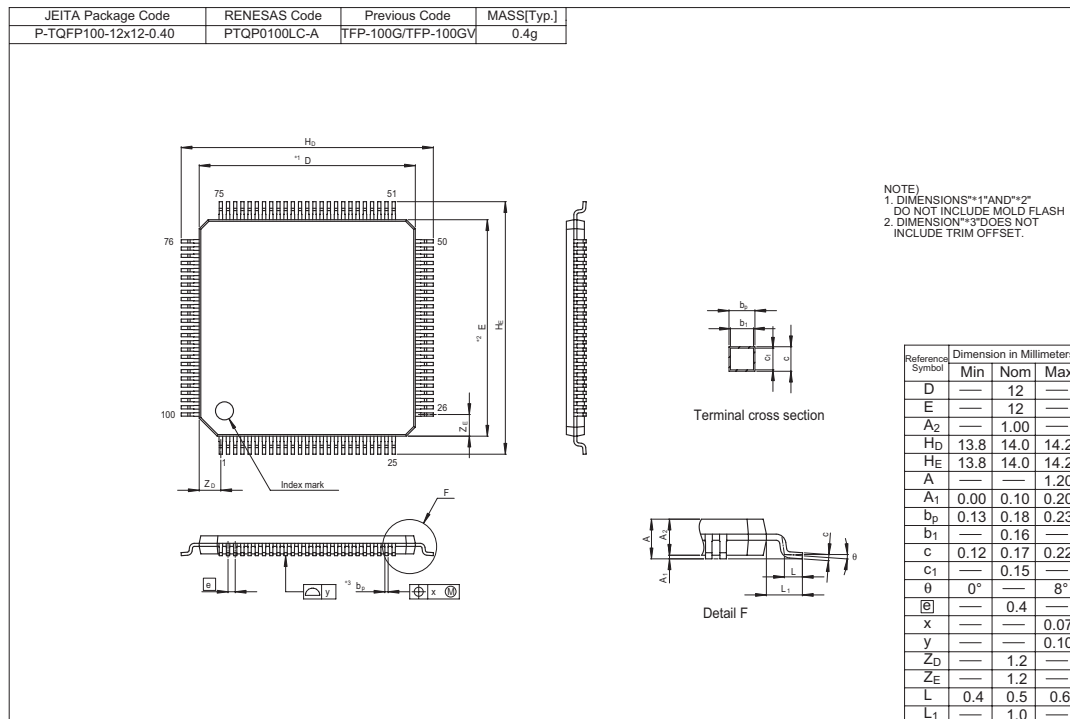


図 C.1 外形寸法図 (TFP-100G、TFP-100GV)

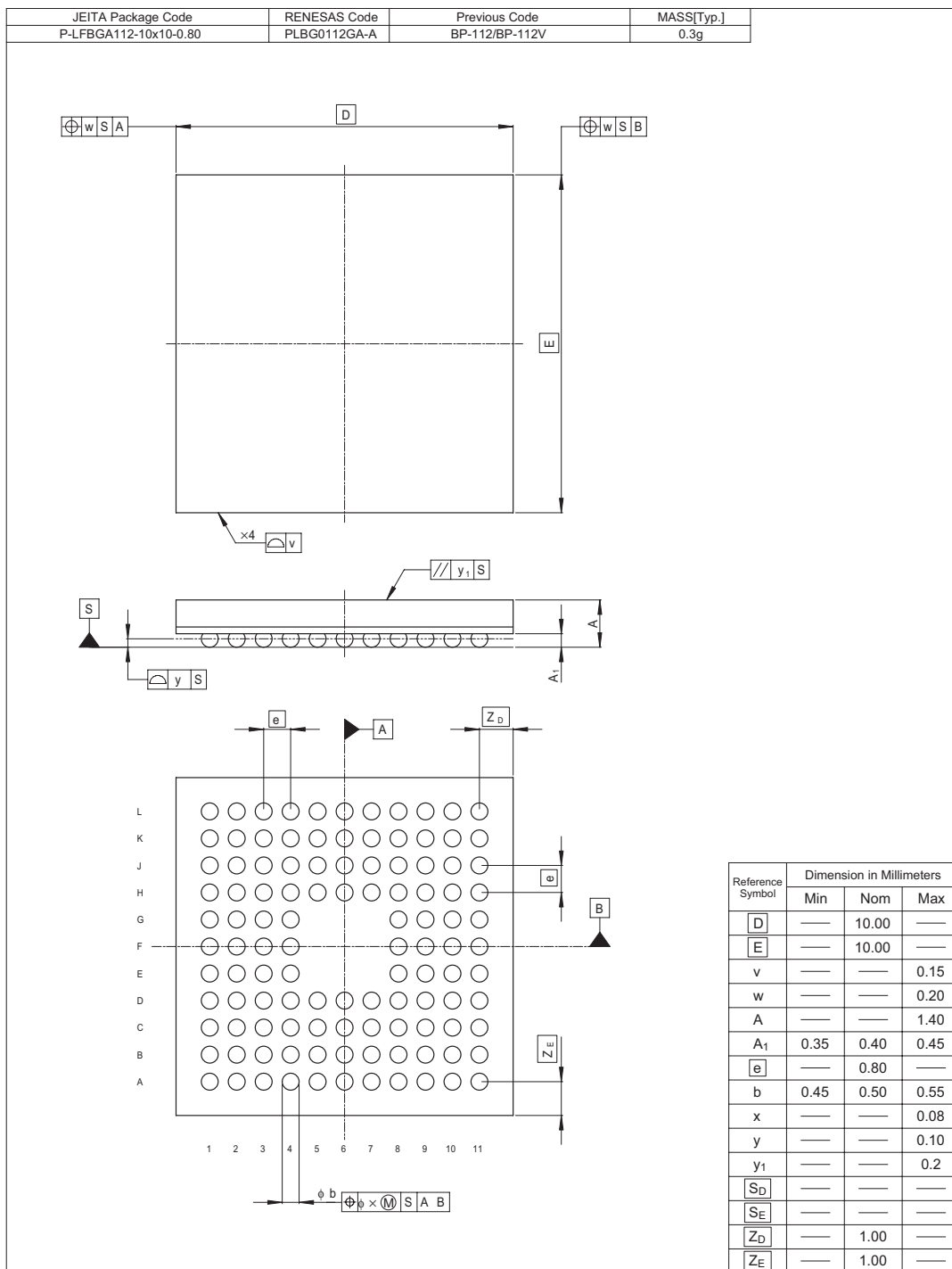


図 C.2 外形寸法図 (BP-112、BP-112V)

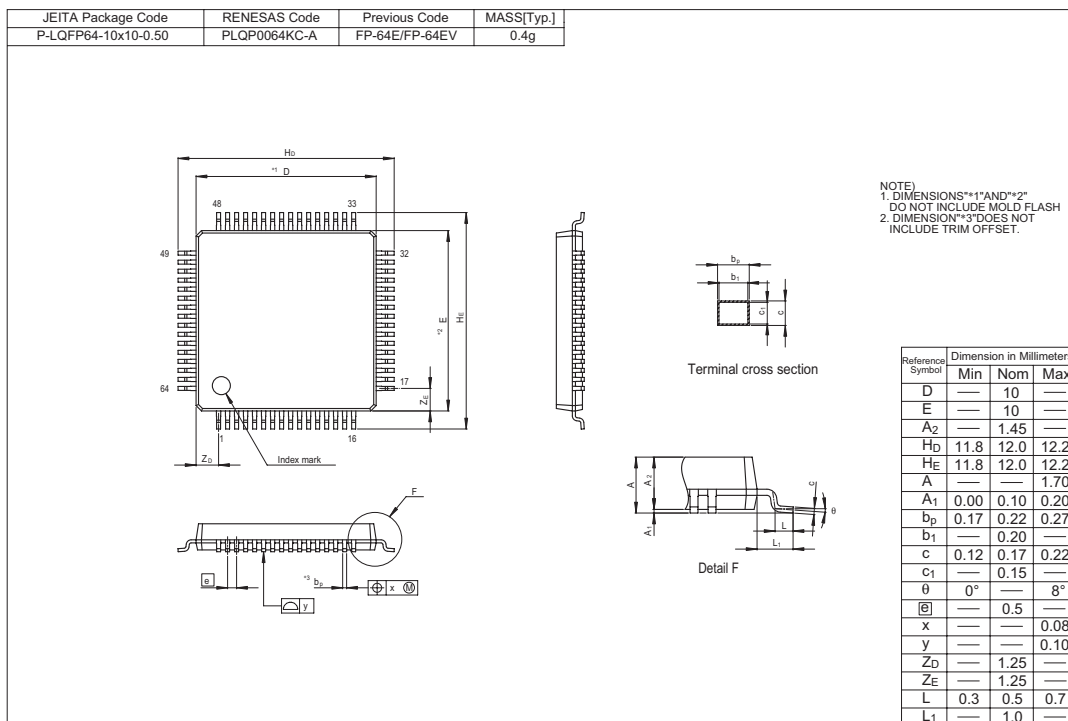


図 C.3 外形寸法図 (FP-64E、FP-64EV)

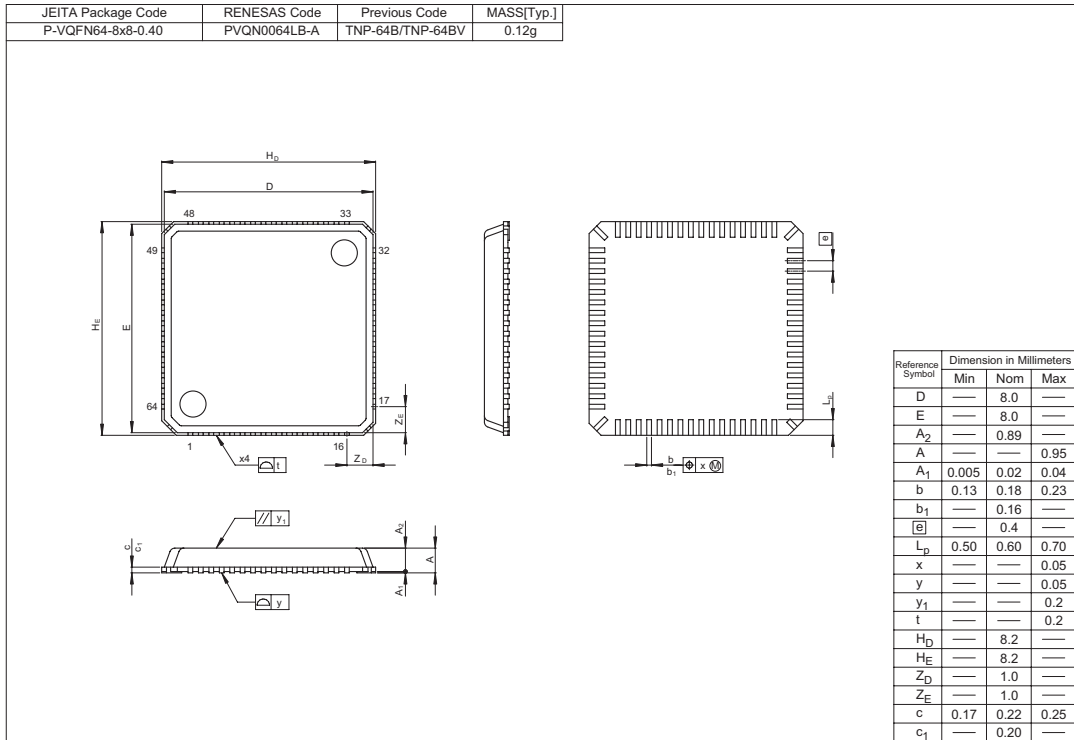


図 C.4 外形寸法図 (TNP-64B、TNP-64BV)

索引

16 ビットタイマパルスユニット.....	9-1	インタラプトプライオリティレジスタ (IPR)	5-1
A/D 変換器	15-1	ウォッチドッグタイマ	10-1
A/D 変換器の起動	9-46	ウォッチモード	20-15
ADI	15-12	エクステンドレジスタ (EXR)	2-11
Bcc	2-17	エミュレーション	17-22
CPU 動作モード	2-4	エラープロテクト	17-28
DMA 転送仕様	14-48	オーバフロー	10-7
EA 拡張部	2-27	オーバランエラー	12-42
NMI 割り込み	5-7	オープンドレインコントロールレジスタ	8-1
PLL 回路	19-10	オペレーションフィールド	2-27
TC10V	9-45	オンボードプログラミング	17-13
TC11U	9-45	クロック発振器	19-1
TC11V	9-45	コンディションコードレジスタ	2-12
TC12U	9-45	コンディションフィールド	2-27
TC12V	9-45	コントロール転送	14-36
TGI0A	9-45	コンペアマッチによる波形出力	9-28
TGI0B	9-45	サスペンド/レジューム	14-32
TGI0C	9-45	サブスリープモード	20-16
TGI0D	9-45	システム制御命令	2-26
TGI1A	9-45	シフト命令	2-22
TGI1B	9-45	シリアルコミュニケーションインタフェース	12-1
TGI2A	9-45	シングルモード	15-8
TGI2B	9-45	スキャンモード	15-9
TRAPA 命令	4-7	スタックポイント (SP)	2-10
USB ケーブル接続 / 切断	14-28	ストール動作	14-45
USB 外部回路例	14-52	スマートカードインタフェース	12-57
USB 標準コマンドとクラス / ベンダーコマンドの処理	14-44	ソフトウェアプロテクト	17-28
WOVI	10-7	ディスプレイメント付きレジスタ間接	2-29
アドバンストモード	2-6	データディレクションレジスタ	8-1
アドレスマップ	3-6	データレジスタ	8-1
アドレス空間	2-4	データ転送命令	2-19
アドレッシングモード	2-28	トグル出力	9-29
イミディエイト	2-30	トラップ命令例外処理	4-7
イレース / イレースベリファイ	17-26	トレースビット	2-11
インターバルタイマモード	10-6	トレース例外処理	4-6
インタラプトイン転送	14-41	ノーマルモード	2-4
		ハードウェアプロテクト	17-28

バスアービトラーション	6-35	EBR1	17-11, 21-7, 21-15, 21-20
バスサイクル	6-14	EBR2	17-12, 21-7, 21-15, 21-20
バッファ動作	9-32	ETCR	7-5, 21-5, 21-11, 21-18
パリティエラー	12-42	EXMDLSTP	14-25, 21-6, 21-14, 21-19
バルクアウト転送	14-43	FLMCR1	17-10, 21-7, 21-15, 21-20
バルクイン転送	14-42	FLMCR2	17-11, 21-7, 21-15, 21-20
ビットレート	12-28	IDCODE	13-5
ビット操作命令	2-23	IER	5-5, 21-3, 21-10, 21-17
ブートモード	17-14	INSTR	13-3
フラッシュメモリ	17-1	IOAR	7-5, 21-5, 21-11, 21-18
フリーランニングカウンタ動作	9-27	IPR	5-4, 21-4, 21-11, 21-17
プリデクリメントレジスタ間接	2-29	ISCR	5-5, 21-3, 21-10, 21-17
ブレーク	12-70	ISR	5-7, 21-3, 21-10, 21-17
フレーミングエラー	12-42	LPWRCR	19-3, 21-3, 21-10, 21-17
プログラム / プログラムベリファイ	17-24	MAR	7-4, 21-5, 21-11, 21-18
プログラムカウンタ (PC)	2-11	MDCR	3-2, 21-3, 21-10, 21-17
プログラムカウンタ相対	2-30	MSTPCR	20-6, 21-3, 21-10, 21-17
ブロック転送命令	2-27	P1DDR	8-6, 21-3, 21-10, 21-17
ポートレジスタ	8-1	P1DR	8-7, 21-5, 21-12, 21-18
ポストインクリメントレジスタ間接	2-29	P3DDR	8-12, 21-3, 21-10, 21-17
マーク状態	12-70	P3DR	8-13, 21-5, 21-12, 21-18
マスク ROM	18-1	P3ODR	8-14, 21-4, 21-11, 21-17
メモリサイクル	6-14	P7DDR	8-16, 21-3, 21-10, 21-17
メモリ間接	2-31	P7DR	8-17, 21-5, 21-12, 21-18
ユーザモードでの書き込み / 消去	17-21	PADDR	8-21, 21-3, 21-10, 21-17
ユニバーサルシリアルバス (USB)	14-1	PADR	8-21, 21-5, 21-12, 21-18
ライターモード	17-29	PAODR	8-22, 21-11, 21-17
リアルタイムクロック (RTC)	11-1	PAPCR	8-22, 21-4, 21-11, 21-17
リセット	4-3	PBDDR	8-26, 21-4, 21-10, 21-17
リセット例外処理	4-4	PBDR	8-26, 21-5, 21-12, 21-18
レジスタ		PBPCR	8-27, 21-4, 21-11, 21-17
ABWCR	6-4, 21-4, 21-11, 21-18	PCDDR	8-30, 21-4, 21-10, 21-17
ADCR	15-6, 21-7, 21-15, 21-20	PCDR	8-30, 21-5, 21-12, 21-18
ADCSR	15-4, 21-7, 21-15, 21-20	PCODR	21-4
ADDR	15-3, 21-7, 21-15, 21-20	PCPCR	8-31, 21-4, 21-11, 21-17
ASTCR	6-4, 21-4, 21-11, 21-18	PDDDR	8-34, 21-4, 21-10, 21-17
BCRH	6-7, 21-5, 21-11, 21-18	PDDR	8-34, 21-5, 21-12, 21-18
BCRL	6-8, 21-5, 21-11, 21-18	PDPCR	8-35, 21-4, 21-11, 21-17
BRR	12-28, 21-7, 21-14, 21-20	PEDDR	8-38, 21-4, 21-10, 21-17
BSCANR	13-5	PEDR	8-39, 21-5, 21-12, 21-18
BYPASS	13-5	PEPCR	8-40, 21-4, 21-11, 21-17
DMABCR	7-11, 21-6, 21-14, 21-19	PFCR	6-9, 21-3, 21-10, 21-17
DMACR	7-6, 21-6, 21-14, 21-19	PFDDR	8-44, 21-4, 21-10, 21-17

PFDR.....	8-44, 21-5, 21-12, 21-18	TMDR.....	9-9, 21-5, 21-12, 21-18
PGDDR.....	8-48, 21-4, 21-11, 21-17	TSR.....	9-20, 12-6, 21-6, 21-13, 21-19
PGDR.....	8-49, 21-5, 21-12, 21-18	TSTR.....	9-23, 21-4, 21-11, 21-17
PORT1.....	8-7, 21-8, 21-15, 21-20	TSYR.....	9-23, 21-4, 21-11, 21-17
PORT3.....	8-13, 21-8, 21-15, 21-20	UCTLR.....	14-5, 21-2, 21-9, 21-16
PORT4.....	8-15, 21-8, 21-15, 21-20	UCVR.....	14-21, 21-3, 21-10, 21-16
PORT7.....	8-18, 21-8, 21-15, 21-20	UDMAR.....	14-7, 21-2, 21-9, 21-16
PORT9.....	8-20, 21-8, 21-15, 21-20	UDRR.....	14-8, 21-2, 21-9, 21-16
PORTA.....	8-22, 21-8, 21-15, 21-20	UDSR.....	14-21, 21-3, 21-9, 21-16
PORTB.....	8-27, 21-8, 21-15, 21-20	UEDR0i.....	14-12, 21-2, 21-9, 21-16
PORTC.....	8-31, 21-8, 21-15, 21-20	UEDR0o.....	14-12, 21-2, 21-9, 21-16
PORTD.....	8-35, 21-8, 21-15, 21-20	UEDR0s.....	14-12, 21-2, 21-9, 21-16
PORTE.....	8-39, 21-8, 21-15, 21-20	UEDR1.....	14-13, 21-2, 21-9, 21-16
PORTF.....	8-45, 21-8, 21-15, 21-21	UEDR2.....	14-13, 21-2, 21-9, 21-16
PORTG.....	8-49, 21-8, 21-15, 21-21	UEDR3.....	14-13, 21-2, 21-9, 21-16
RAMER.....	17-12, 21-5, 21-11, 21-18	UESTL0.....	14-11, 21-2, 21-9, 21-16
RDR.....	12-5, 21-7, 21-14, 21-20	UESTL1.....	14-11, 21-2, 21-9, 21-16
RHRDR.....	11-4, 21-6, 21-14, 21-19	UESZ0o.....	14-14, 21-2, 21-9, 21-16
RMINDR.....	11-3, 21-6, 21-14, 21-19	UESZ2.....	14-14, 21-2, 21-9, 21-16
RSECDR.....	11-2, 21-6, 21-14, 21-19	UFCLR0.....	14-10, 21-2, 21-9, 21-16
RSTCSR.....	10-4, 21-7, 21-14, 21-19	UIER0.....	14-18, 21-2, 21-9, 21-16
RTCCR1.....	11-6, 21-6, 21-14, 21-19	UIER1.....	14-18, 21-2, 21-9, 21-16
RTCCR2.....	11-7, 21-6, 21-14, 21-19	UIER3.....	14-19, 21-2, 21-9, 21-16
RTCCSR.....	11-8, 21-6, 21-14, 21-19	UIFR0.....	14-15, 21-2, 21-9, 21-16
RWKDR.....	11-5, 21-6, 21-14, 21-19	UIFR1.....	14-16, 21-2, 21-9, 21-16
SBYCR.....	20-5, 21-3, 21-10, 21-17	UIFR3.....	14-17, 21-2, 21-9, 21-16
SCKCR.....	19-2, 21-3, 21-10, 21-17	UISR0.....	14-19, 21-2, 21-9, 21-16
SCMR.....	12-17, 21-7, 21-14, 21-20	UISR1.....	14-20, 21-3, 21-9, 21-16
SCR.....	12-9, 21-7, 21-14, 21-20	UISR3.....	14-20, 21-3, 21-9, 21-16
SCRX.....	17-13, 21-3, 21-10, 21-16	UTRG0.....	14-9, 21-2, 21-9, 21-16
SEMRA_0.....	12-18, 21-3, 21-10, 21-17	UTSTR0.....	14-22, 21-3, 21-10, 21-16
SEMRB_0.....	12-20, 21-3, 21-10, 21-17	UTSTR1.....	14-23, 21-3, 21-10, 21-16
SMR.....	12-6, 21-7, 21-14, 21-20	WCRH.....	6-5, 21-5, 21-11, 21-18
SSR.....	12-13, 21-7, 21-14, 21-20	WCRL.....	6-5, 21-5, 21-11, 21-18
SYSCR.....	3-3, 21-3, 21-10, 21-17	レジスタフィールド.....	2-27
TCNT.....	9-22, 10-2, 21-6, 21-7, 21-13, 21-14, 21-19	レジスタ間接.....	2-29
TCR.....	9-6, 21-5, 21-12, 21-18	レジスタ直接.....	2-29
TCSR.....	10-3, 21-7, 21-14, 21-19	外部トリガ.....	15-11
TCSR_1.....	20-6, 21-7, 21-15, 21-20	割り込みコントローラ.....	5-1
TDR.....	12-5, 21-7, 21-14, 21-20	割り込みマスクビット.....	2-12
TGR.....	9-22, 21-6, 21-13, 21-19	割り込み制御モード.....	5-10
TIER.....	9-19, 21-6, 21-13, 21-19	割り込み要求マスクレベル.....	2-11
TIOR.....	9-10, 21-5, 21-13, 21-18	割り込み例外処理.....	4-6

割り込み例外処理ベクタテーブル	5-9	同期動作	9-31
算術演算命令	2-20	内部バスマスタ	6-1
時刻読み出し手順	11-10	入力プルアップ MOS	8-1
実効アドレス	2-28	汎用レジスタ	2-10
書き込みの単位	17-6, 17-7, 17-8	分岐命令	2-25
消去ブロック	17-6, 17-7, 17-8	変換時間	15-10
絶対アドレス	2-30	命令セット	2-17
調歩同期式モード	12-35	例外処理	4-1
直接遷移	20-17	例外処理後のスタックの状態	4-8
動作モードの選択	3-1	論理演算命令	2-22

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2218グループ、H8S/2212グループ

発行年月 2002年9月 第1版

2008年12月18日 Rev.7.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2218 グループ、H8S/2212 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0054-0700