

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/2282 グループ、H8S/2280 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2200 シリーズ

H8S/2282F	HD64F2282
H8S/2282	HD6432282
H8S/2281	HD6432281
H8S/2280F	HD64F2280B
	HD64F2280RB

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・CPU およびシステム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

本 LSI は、高速 H8S/2000 CPU を核に、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

本 LSI は、システム構成に必要な周辺機能として、ROM、RAM、16 ビットタイマパルスユニット、ウォッチドッグタイマ、シリアルコミュニケーションインタフェース、コントローラエリアネットワーク*¹、A/D 変換器、モータコントロール PWM タイマ、LCD コントローラ/ドライバ、クロック発振器、I/O ポートなどの周辺機能を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM には単一電源フラッシュメモリ (F-ZTATTM)*² があり、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】 *1 コントローラエリアネットワークは、H8S/2280 グループにはありません。

*2 F-ZTAT は(株)ルネサス テクノロジーの商標です。

対象者 このマニュアルは、H8S/2282 グループ、H8S/2280 グループを用いた応用システムを設計するユーザを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2282 グループ、H8S/2280 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますのであわせて御覧ください。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名が分かっていて、詳細機能を知りたいとき

本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第21章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合には次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx̄

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

- H8S/2282グループ、H8S/2280グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2282 グループ、H8S/2280 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10J2552
H8S、H8/300 シリーズ シミュレータ・デバッガ ユーザーズマニュアル	RJJ10B0219
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2550

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-2
1.3	ピン配置図	1-5
1.4	端子機能	1-8
1.4.1	H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能	1-8
1.4.2	H8S/2280 グループ (HD64F2280RB) の端子機能	1-14
2.	CPU2-1	
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-9
2.4.1	汎用レジスタ	2-10
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-12
2.4.5	CPU 内部レジスタの初期値	2-13
2.5	データ形式	2-13
2.5.1	汎用レジスタのデータ形式	2-13
2.5.2	メモリ上でのデータ形式	2-15
2.6	命令セット	2-16
2.6.1	命令の機能別一覧	2-17
2.6.2	命令の基本フォーマット	2-27
2.7	アドレッシングモードと実効アドレスの計算方法	2-28
2.7.1	レジスタ直接 Rn	2-28
2.7.2	レジスタ間接 @ERn	2-28
2.7.3	ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)	2-28
2.7.4	ポストインクリメントレジスタ間接@ERn+ / プリデクリメントレジスタ間接@-ERn	2-29

2.7.5	絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32	2-29
2.7.6	イミディエイト #xx:8 / #xx:16 / #xx:32	2-30
2.7.7	プログラムカウンタ相対 @(d:8, PC) / @ (d:16, PC)	2-30
2.7.8	メモリ間接 @@aa:8	2-30
2.7.9	実効アドレスの計算方法	2-31
2.8	処理状態	2-33
2.9	使用上の注意事項	2-34
2.9.1	ビット操作命令使用上の注意事項	2-34
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-1
3.2.1	モードコントロールレジスタ (MDCR)	3-1
3.2.2	システムコントロールレジスタ (SYSCR)	3-2
3.3	各動作モードの説明	3-3
3.4	アドレスマップ	3-3
4.	例外処理	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル	4-2
4.3	リセット	4-3
4.3.1	リセット例外処理	4-3
4.3.2	リセット直後の割り込み	4-5
4.3.3	リセット解除後の内蔵周辺機能	4-5
4.4	トレース例外処理	4-6
4.5	割り込み例外処理	4-6
4.6	トラップ命令例外処理	4-7
4.7	例外処理後のスタックの状態	4-8
4.8	使用上の注意事項	4-9
5.	割り込みコントローラ	5-1
5.1	特長	5-1
5.2	入出力端子	5-3
5.3	レジスタの説明	5-3
5.3.1	インタラプトプライオリティレジスタ A ~ G、J、K、M (IPRA ~ IPRG、IPRJ、IPRK、IPRM)	5-4
5.3.2	IRQ イネーブルレジスタ (IER)	5-5
5.3.3	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-5
5.3.4	IRQ ステータスレジスタ (ISR)	5-7
5.4	割り込み要因	5-7

5.4.1	外部割り込み要因	5-7
5.4.2	内部割り込み	5-8
5.5	割り込み例外処理ベクタテーブル	5-8
5.6	割り込み制御モードと割り込み動作	5-10
5.6.1	割り込み制御モード 0	5-10
5.6.2	割り込み制御モード 2	5-12
5.6.3	割り込み例外処理シーケンス	5-14
5.6.4	割り込み応答時間	5-15
5.7	使用上の注意事項	5-16
5.7.1	割り込みの発生とディスエーブルとの競合	5-16
5.7.2	割り込みを禁止している命令	5-17
5.7.3	割り込み禁止期間	5-17
5.7.4	EEPMOV 命令実行中の割り込み	5-17
5.7.5	IRQ 割り込みについて	5-17
6.	バスコントローラ	6-1
6.1	基本動作タイミング	6-1
6.1.1	内蔵メモリアクセスタイミング (ROM、RAM)	6-1
6.1.2	内蔵周辺モジュールアクセスタイミング	6-2
6.1.3	内蔵 HCAN モジュールアクセスタイミング	6-2
6.1.4	内蔵 PWM、LCD、ポート H、J モジュールアクセスタイミング	6-3
7.	I/O ポート	7-1
7.1	ポート 1	7-8
7.1.1	ポート 1 データディレクションレジスタ (PIDDR)	7-8
7.1.2	ポート 1 データレジスタ (PIDR)	7-8
7.1.3	ポート 1 レジスタ (PORT1)	7-9
7.1.4	端子機能	7-9
7.2	ポート 3	7-17
7.2.1	ポート 3 データディレクションレジスタ (P3DDR)	7-17
7.2.2	ポート 3 データレジスタ (P3DR)	7-17
7.2.3	ポート 3 レジスタ (PORT3)	7-18
7.2.4	ポート 3 オープンドレインコントロールレジスタ (P3ODR)	7-18
7.2.5	端子機能	7-19
7.3	ポート 4	7-21
7.3.1	ポート 4 レジスタ (PORT4)	7-21
7.3.2	端子機能	7-21
7.4	ポート A	7-22
7.4.1	ポート A データディレクションレジスタ (PADDR)	7-22
7.4.2	ポート A データレジスタ (PADR)	7-22

7.4.3	ポート A レジスタ (PORTA)	7-23
7.4.4	ポート A オープンドレインコントロールレジスタ (PAODR)	7-23
7.4.5	H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能	7-24
7.4.6	H8S/2280 グループ (HD64F2280RB) の端子機能	7-24
7.5	ポート B	7-25
7.5.1	ポート B データディレクションレジスタ (PBDDR)	7-25
7.5.2	ポート B データレジスタ (PBDR)	7-26
7.5.3	ポート B レジスタ (PORTB)	7-26
7.5.4	ポート B オープンドレインコントロールレジスタ (PBODR)	7-27
7.5.5	H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能	7-27
7.5.6	H8S/2280 グループ (HD64F2280RB) の端子機能	7-28
7.6	ポート C	7-29
7.6.1	ポート C データディレクションレジスタ (PCDDR)	7-29
7.6.2	ポート C データレジスタ (PCDR)	7-29
7.6.3	ポート C レジスタ (PORTC)	7-30
7.6.4	ポート C オープンドレインコントロールレジスタ (PCODR)	7-30
7.6.5	H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能	7-31
7.6.6	H8S/2280 グループ (HD64F2280RB) の端子機能	7-31
7.7	ポート D	7-32
7.7.1	ポート D データディレクションレジスタ (PDDDR)	7-32
7.7.2	ポート D データレジスタ (PDDR)	7-32
7.7.3	ポート D レジスタ (PORTD)	7-33
7.7.4	H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能	7-33
7.7.5	H8S/2280 グループ (HD64F2280RB) の端子機能	7-33
7.8	ポート F	7-34
7.8.1	ポート F データディレクションレジスタ (PFDDR)	7-34
7.8.2	ポート F データレジスタ (PFDR)	7-34
7.8.3	ポート F レジスタ (PORTF)	7-35
7.8.4	H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能	7-35
7.8.5	H8S/2280 グループ (HD64F2280RB) の端子機能	7-37
7.9	ポート H	7-39
7.9.1	ポート H データディレクションレジスタ (PHDDR)	7-39
7.9.2	ポート H データレジスタ (PHDR)	7-39
7.9.3	ポート H レジスタ (PORTH)	7-40
7.9.4	端子機能	7-40
7.10	ポート J	7-42
7.10.1	ポート J データディレクションレジスタ (PJDDR)	7-42
7.10.2	ポート J データレジスタ (PJDR)	7-42
7.10.3	ポート J レジスタ (PORTJ)	7-43
7.10.4	端子機能	7-43
7.11	端子切り替え機能	7-45

7.11.1	トランスポートレジスタ (TRPRT)	7-45
7.11.2	端子切り替えによるポートレジスタのリード	7-45
8.	16 ビットタイマパルスユニット (TPU)	8-1
8.1	特長	8-1
8.2	入出力端子	8-5
8.3	レジスタの説明	8-6
8.3.1	タイマコントロールレジスタ (TCR)	8-7
8.3.2	タイマモードレジスタ (TMDR)	8-10
8.3.3	タイマ I/O コントロールレジスタ (TIOR)	8-11
8.3.4	タイマインタラプトイネーブルレジスタ (TIER)	8-19
8.3.5	タイマステータスレジスタ (TSR)	8-21
8.3.6	タイマカウンタ (TCNT)	8-22
8.3.7	タイマジェネラルレジスタ (TGR)	8-23
8.3.8	タイマスタートレジスタ (TSTR)	8-23
8.3.9	タイマシンクロレジスタ (TSYR)	8-24
8.4	動作説明	8-25
8.4.1	基本動作	8-25
8.4.2	同期動作	8-31
8.4.3	バッファ動作	8-33
8.4.4	PWM モード	8-36
8.4.5	位相計数モード	8-40
8.5	割り込み要因	8-46
8.6	A/D変換器の起動	8-47
8.7	動作タイミング	8-47
8.7.1	入出力タイミング	8-47
8.7.2	割り込み信号タイミング	8-51
8.8	使用上の注意事項	8-54
8.8.1	モジュールストップモードの設定	8-54
8.8.2	入力クロックの制限事項	8-54
8.8.3	周期設定上の注意事項	8-54
8.8.4	TCNT のライトとクリアの競合	8-55
8.8.5	TCNT のライトとカウントアップの競合	8-55
8.8.6	TGR のライトとコンペアマッチの競合	8-56
8.8.7	バッファレジスタのライトとコンペアマッチの競合	8-57
8.8.8	TGR のリードとインプットキャプチャの競合	8-58
8.8.9	TGR のライトとインプットキャプチャの競合	8-59
8.8.10	バッファレジスタのライトとインプットキャプチャの競合	8-60
8.8.11	オーバフロー / アンダフローとカウンタクリアの競合	8-61
8.8.12	TCNT のライトとオーバフロー / アンダフローの競合	8-61

8.8.13	入出力端子の兼用	8-62
8.8.14	モジュールストップ時の割り込み	8-62
8.8.15	サブアクティブモード/ウォッチモードへの遷移	8-62
9.	ウォッチドッグタイマ (WDT)	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-3
9.2.1	タイマカウンタ 0、1 (TCNT_0、TCNT_1)	9-3
9.2.2	タイマコントロール/ステータスレジスタ 0、1 (TCSR_0、TCSR_1)	9-4
9.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	9-7
9.3	動作説明	9-8
9.3.1	ウォッチドッグタイマモード	9-8
9.3.2	インターバルタイマモード時	9-10
9.4	割り込み要因	9-10
9.5	使用上の注意事項	9-11
9.5.1	レジスタアクセス時の注意	9-11
9.5.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	9-12
9.5.3	CKS2 ~ CKS0 ビットの書き換え	9-12
9.5.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	9-12
9.5.5	ウォッチドッグタイマモードでの内部リセット	9-13
9.5.6	インターバルタイマモードでの OVF フラグのクリア	9-13
10.	シリアルコミュニケーションインタフェース (SCI)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-3
10.3.1	レシーブシフトレジスタ (RSR)	10-4
10.3.2	レシーブデータレジスタ (RDR)	10-4
10.3.3	トランスミットデータレジスタ (TDR)	10-4
10.3.4	トランスミットシフトレジスタ (TSR)	10-4
10.3.5	シリアルモードレジスタ (SMR)	10-5
10.3.6	シリアルコントロールレジスタ (SCR)	10-7
10.3.7	シリアルステータスレジスタ (SSR)	10-9
10.3.8	スマートカードモードレジスタ (SCMR)	10-11
10.3.9	ビットレートレジスタ (BRR)	10-12
10.4	調歩同期式モードの動作	10-19
10.4.1	送受信フォーマット	10-19
10.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	10-21
10.4.3	クロック	10-22
10.4.4	SCI の初期化 (調歩同期式)	10-23

10.4.5	データ送信（調歩同期式）	10-24
10.4.6	シリアルデータ受信（調歩同期式）	10-26
10.5	マルチプロセッサ通信機能	10-29
10.5.1	マルチプロセッサシリアルデータ送信	10-30
10.5.2	マルチプロセッサシリアルデータ受信	10-31
10.6	クロック同期式モードの動作	10-34
10.6.1	クロック	10-34
10.6.2	SCI の初期化	10-35
10.6.3	シリアルデータ送信（クロック同期式）	10-36
10.6.4	シリアルデータ受信（クロック同期式）	10-38
10.6.5	シリアルデータ送受信同時動作（クロック同期式）	10-40
10.7	スマートカードインタフェースの動作説明	10-42
10.7.1	接続例	10-42
10.7.2	データフォーマット（ブロック転送モード時を除く）	10-43
10.7.3	ブロック転送モード	10-44
10.7.4	受信データサンプリングタイミングと受信マージン	10-45
10.7.5	初期設定	10-46
10.7.6	データ送信（ブロック転送モードを除く）	10-47
10.7.7	シリアルデータ受信（ブロック転送モードを除く）	10-50
10.7.8	クロック出力制御	10-52
10.8	割り込み要因	10-53
10.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	10-53
10.8.2	スマートカードインタフェースモードにおける割り込み	10-54
10.9	使用上の注意事項	10-55
10.9.1	モジュールストップモードの設定	10-55
10.9.2	ブレークの検出と処理について	10-55
10.9.3	マーク状態とブレークの送出	10-55
10.9.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	10-55
10.9.5	モード遷移時の動作	10-56
10.9.6	SCK 端子からポート端子へ切り替えるときの注意事項	10-59
11.	コントローラエリアネットワーク（HCAN）【H8S/2282 グループのみ】	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-3
11.3.1	マスタコントロールレジスタ（MCR）	11-4
11.3.2	ジェネラルステータスレジスタ（GSR）	11-5
11.3.3	ビットコンフィギュレーションレジスタ（BCR）	11-6
11.3.4	メールボックスコンフィギュレーションレジスタ（MBCR）	11-8
11.3.5	送信待ちレジスタ（TXPR）	11-9

11.3.6	送信待ち取り消しレジスタ (TXCR)	11-10
11.3.7	送信アクノレッジレジスタ (TXACK)	11-11
11.3.8	取り消しアクノレッジレジスタ (ABACK)	11-12
11.3.9	受信完了レジスタ (RXPR)	11-13
11.3.10	リモートリクエストレジスタ (RFPR)	11-14
11.3.11	インタラプトレジスタ (IRR)	11-15
11.3.12	メールボックスインタラプトマスクレジスタ (MBIMR)	11-17
11.3.13	インタラプトマスクレジスタ (IMR)	11-18
11.3.14	受信エラーカウンタ (REC)	11-19
11.3.15	送信エラーカウンタ (TEC)	11-19
11.3.16	未読メッセージステータスレジスタ (UMSR)	11-19
11.3.17	ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)	11-20
11.3.18	メッセージコントロール (MC0 ~ MC15)	11-22
11.3.19	メッセージデータ (MD0 ~ MD15)	11-24
11.4	動作説明	11-25
11.4.1	ハードウェアリセットとソフトウェアリセット	11-25
11.4.2	ハードウェアリセット後の初期設定	11-25
11.4.3	メッセージ送信	11-31
11.4.4	メッセージ受信	11-34
11.4.5	HCAN スリープモード	11-37
11.4.6	HCAN HALT モード	11-39
11.5	割り込み要因	11-40
11.6	CANバスインタフェース	11-41
11.7	使用上の注意事項	11-41
11.7.1	モジュールストップモードの設定	11-41
11.7.2	リセット	11-41
11.7.3	HCAN スリープモード	11-42
11.7.4	割り込み	11-42
11.7.5	エラーカウンタ	11-42
11.7.6	レジスタアクセス	11-42
11.7.7	HCAN 中速モード	11-42
11.7.8	スタンバイ時のレジスタ保持	11-42
11.7.9	ビット操作命令の使用について	11-42
11.7.10	HCAN の TXCR 動作について	11-43
11.7.11	HCAN 送信手続きについて	11-44
11.7.12	HCAN ソフトウェアリセットおよび HCAN スリープの解除について	11-44
11.7.13	HCAN スリープ中のメールボックスアクセスについて	11-44
12.	A/D 変換器	12-1
12.1	特長	12-1

12.2	入出力端子	12-3
12.3	レジスタの説明	12-4
12.3.1	A/D データレジスタ A~D (ADDRA ~ ADDRD)	12-4
12.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	12-5
12.3.3	A/D コントロールレジスタ (ADCR)	12-6
12.4	動作説明	12-6
12.4.1	シングルモード	12-6
12.4.2	スキャンモード	12-7
12.4.3	入力サンプリングと A/D 変換時間	12-7
12.4.4	外部トリガ入力タイミング	12-9
12.5	割り込み要因	12-9
12.6	A/D変換精度の定義	12-10
12.7	使用上の注意事項	12-11
12.7.1	モジュールストップモードの設定	12-11
12.7.2	許容信号源インピーダンスについて	12-11
12.7.3	絶対精度への影響	12-11
12.7.4	アナログ電源端子他の設定範囲	12-12
12.7.5	ボード設計上の注意	12-12
12.7.6	ノイズ対策上の注意	12-12
13.	モータコントロール PWM タイマ (PWM)	13-1
13.1	特長	13-1
13.2	入出力端子	13-4
13.3	レジスタの説明	13-4
13.3.1	PWM コントロールレジスタ_1、2 (PWCR_1、PWCR_2)	13-5
13.3.2	PWM アウトプットコントロールレジスタ_1、2 (PWOCR_1、PWOCR_2)	13-6
13.3.3	PWM ポラリティレジスタ_1、2 (PWPR_1、PWPR_2)	13-7
13.3.4	PWM カウンタ_1、2 (PWCNT_1、PWCNT_2)	13-7
13.3.5	PWM サイクルレジスタ_1、2 (PWCYR_1、PWCYR_2)	13-8
13.3.6	PWM デューティレジスタ_1A、1C、1E、1G (PWDTR_1A、PWDTR_1C、PWDTR_1E、PWDTR_1G)	13-9
13.3.7	PWM バッファレジスタ_1A、1C、1E、1G (PWBFR_1A、PWBFR_1C、PWBFR_1E、PWBFR_1G)	13-11
13.3.8	PWM デューティレジスタ_2A~2H (PWDTR_2A~PWDTR_2H)	13-12
13.3.9	PWM バッファレジスタ_2A~2D (PWBFR_2A~PWBFR_2D)	13-14
13.4	バスマスタとのインタフェース	13-15
13.4.1	16 ビットデータレジスタ	13-15
13.4.2	8 ビットデータレジスタ	13-15
13.5	動作説明	13-16
13.5.1	PWM チャンネル 1 の動作	13-16
13.5.2	PWM チャンネル 2 の動作	13-17

13.6	割り込み要因	13-18
13.7	使用上の注意事項	13-18
14.	LCD コントローラ / ドライバ (LCD)	14-1
14.1	特長	14-1
14.2	入出力端子	14-2
14.3	各レジスタの説明	14-3
14.3.1	LCD ポートコントロールレジスタ (LPCR)	14-3
14.3.2	LCD コントロールレジスタ (LCR)	14-5
14.3.3	LCD コントロールレジスタ 2 (LCR2)	14-6
14.4	動作説明	14-7
14.4.1	LCD 表示までのセッティング	14-7
14.4.2	LCD RAM と表示の関係	14-8
14.4.3	低消費電力モード時の動作	14-14
14.4.4	LCD 駆動電源の強化	14-14
14.5	使用上の注意事項	14-15
14.5.1	LCD の非表示方法について	14-15
15.	RAM	15-1
16.	フラッシュメモリ (F-ZTAT 版)【H8S/2282 グループ】	16-1
16.1	特長	16-1
16.2	モード遷移図	16-3
16.3	ブロック構成	16-6
16.4	入出力端子	16-7
16.5	レジスタの説明	16-7
16.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	16-8
16.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	16-9
16.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2)	16-9
16.5.4	RAM エミュレーションレジスタ (RAMER)	16-10
16.5.5	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	16-11
16.6	オンボードプログラミング	16-11
16.6.1	ブートモード	16-12
16.6.2	ユーザプログラムモードでの書き込み / 消去	16-14
16.7	RAMによるフラッシュメモリのエミュレーション	16-15
16.8	書き込み / 消去プログラム	16-17
16.8.1	プログラム / プログラムベリファイ	16-17
16.8.2	イレース / イレースベリファイ	16-19
16.8.3	フラッシュメモリの書き込み / 消去時の割り込み	16-19
16.9	書き込み / 消去プロテクト	16-21

16.9.1	ハードウェアプロテクト.....	16-21
16.9.2	ソフトウェアプロテクト.....	16-21
16.9.3	エラープロテクト	16-21
16.10	ライターモード	16-22
16.11	フラッシュメモリの低消費電力動作.....	16-22
16.12	フラッシュメモリと低消費電力状態.....	16-22
17.	フラッシュメモリ (F-ZTAT 版)【H8S/2280 グループ】	17-1
17.1	特長.....	17-1
17.2	モード遷移図.....	17-3
17.3	ブロック構成.....	17-6
17.4	入出力端子.....	17-7
17.5	レジスタの説明.....	17-7
17.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	17-8
17.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	17-9
17.5.3	消去ブロック指定レジスタ 1 (EBR1)	17-9
17.5.4	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	17-10
17.6	オンボードプログラミング.....	17-10
17.6.1	ブートモード.....	17-10
17.6.2	ユーザモードでの書き込み / 消去.....	17-13
17.7	書き込み / 消去プログラム.....	17-14
17.7.1	プログラム / プログラムベリファイ	17-14
17.7.2	イレース / イレースベリファイ.....	17-16
17.7.3	フラッシュメモリの書き込み / 消去時の割り込み	17-16
17.8	書き込み / 消去プロテクト.....	17-18
17.8.1	ハードウェアプロテクト.....	17-18
17.8.2	ソフトウェアプロテクト.....	17-18
17.8.3	エラープロテクト	17-18
17.9	ライターモード.....	17-19
17.10	フラッシュメモリの低消費電力動作.....	17-19
17.11	フラッシュメモリと低消費電力状態.....	17-19
18.	マスク ROM	18-1
18.1	使用上の注意事項	18-2
18.1.1	F-ZTAT マイコンのマスク ROM 化時の注意事項.....	18-2
19.	クロック発振器	19-1
19.1	レジスタの説明.....	19-2
19.1.1	システムクロックコントロールレジスタ (SCKCR)	19-2
19.1.2	ローパワーコントロールレジスタ (LPWRCR)	19-3

19.2	発振器	19-4
19.2.1	水晶発振子を接続する方法	19-4
19.2.2	外部クロックを入力する方法	19-5
19.3	PLL回路	19-6
19.4	サブクロック分周器	19-6
19.5	中速クロック分周器	19-6
19.6	バスマスタクロック選択回路	19-6
19.7	使用上の注意事項	19-7
19.7.1	発振子に関する注意事項	19-7
19.7.2	ボード設計上の注意	19-7
20.	低消費電力状態	20-1
20.1	レジスタの説明	20-5
20.1.1	スタンバイコントロールレジスタ (SBYCR)	20-5
20.1.2	ローパワーコントロールレジスタ (LPWRCR)	20-6
20.1.3	モジュールストップコントロールレジスタ A ~ D (MSTPCRA ~ MSTPCRD)	20-7
20.2	中速モード	20-9
20.3	スリープモード	20-10
20.3.1	スリープモードへの遷移	20-10
20.3.2	スリープモードの解除	20-10
20.4	ソフトウェアスタンバイモード	20-10
20.4.1	ソフトウェアスタンバイモードへの遷移	20-10
20.4.2	ソフトウェアスタンバイモードの解除	20-10
20.4.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	20-11
20.4.4	ソフトウェアスタンバイモードの応用例	20-11
20.5	ハードウェアスタンバイモード	20-12
20.5.1	ハードウェアスタンバイモードへの遷移	20-12
20.5.2	ハードウェアスタンバイモードの解除	20-12
20.5.3	ハードウェアスタンバイモードのタイミング	20-13
20.6	モジュールストップモード	20-13
20.7	ウォッチモード	20-14
20.7.1	ウォッチモードへの遷移	20-14
20.7.2	ウォッチモードの解除	20-14
20.8	サブスリープモード	20-14
20.8.1	サブスリープモードへの遷移	20-14
20.8.2	サブスリープモードの解除	20-15
20.9	サブアクティブモード	20-15
20.9.1	サブアクティブモードへの遷移	20-15
20.9.2	サブアクティブモードの解除	20-15
20.10	直接遷移	20-16

20.10.1	高速モードからサブアクティブモードへの直接遷移.....	20-16
20.10.2	サブアクティブモードから高速モードへの直接遷移.....	20-16
20.11	φクロック出力制御.....	20-16
20.12	使用上の注意事項.....	20-17
20.12.1	I/Oポートの状態.....	20-17
20.12.2	発振安定待機中の消費電流.....	20-17
20.12.3	内蔵周辺モジュール割り込み.....	20-17
20.12.4	MSTPCRのライト.....	20-17
21.	レジスタ一覧.....	21-1
21.1	レジスタアドレス一覧(アドレス順).....	21-2
21.2	レジスタビット一覧.....	21-15
21.3	各動作モードにおけるレジスタの状態.....	21-29
22.	電気的特性.....	22-1
22.1	絶対最大定格.....	22-1
22.2	DC特性.....	22-2
22.3	AC特性.....	22-5
22.3.1	クロックタイミング.....	22-5
22.3.2	制御信号タイミング.....	22-6
22.3.3	内蔵周辺モジュールタイミング.....	22-8
22.4	A/D変換特性.....	22-11
22.5	フラッシュメモリ特性.....	22-12
22.6	LCD特性.....	22-13
付録	付録-1
A.	各端子状態におけるI/Oポートの状態.....	付録-1
B.	型名一覧.....	付録-2
C.	外形寸法図.....	付録-3
本版で改訂された箇所	改-1
索引	索引-1

目次

1. 概要

図 1.1	H8S/2282 グループの内部ブロック図.....	1-2
図 1.2	H8S/2280 グループ (HD64F2280B) の内部ブロック図.....	1-3
図 1.3	H8S/2280 グループ (HD64F2280RB) の内部ブロック図.....	1-4
図 1.4	H8S/2282 グループのピン配置図.....	1-5
図 1.5	H8S/2280 グループ (HD64F2280B) のピン配置図.....	1-6
図 1.6	H8S/2280 グループ (HD64F2280RB) のピン配置図.....	1-7

2. CPU

図 2.1	例外処理ベクタテーブル (ノーマルモード)	2-5
図 2.2	ノーマルモードのスタック構造.....	2-5
図 2.3	例外処理ベクタテーブル (アドバンスモード)	2-6
図 2.4	アドバンスモードのスタック構造.....	2-7
図 2.5	アドレス空間.....	2-8
図 2.6	CPU 内部レジスタ構成.....	2-9
図 2.7	汎用レジスタの使用法.....	2-10
図 2.8	スタックの状態.....	2-11
図 2.9	汎用レジスタのデータ形式 (1)	2-13
図 2.9	汎用レジスタのデータ形式 (2)	2-14
図 2.10	メモリ上でのデータ形式.....	2-15
図 2.11	命令フォーマットの例.....	2-27
図 2.12	メモリ間接による分岐アドレスの指定.....	2-31
図 2.13	状態遷移図.....	2-34

3. MCU 動作モード

図 3.1	アドレスマップ (1)	3-3
図 3.2	アドレスマップ (2)	3-4

4. 例外処理

図 4.1	リセットシーケンス (アドバンスモード / 内蔵 ROM 有効)	4-4
図 4.2	リセットシーケンス (アドバンスモード / 内蔵 ROM 無効 : 本 LSI では使用できません。)	4-5
図 4.3	例外処理終了後のスタックの状態.....	4-8
図 4.4	SP を奇数に設定したときの動作	4-9

5. 割り込みコントローラ

図 5.1	割り込みコントローラのブロック図	5-2
図 5.2	IRQ5 ~ IRQ0 割り込みのブロック図	5-8
図 5.3	割り込み制御モード 0 の割り込み受け付けまでのフロー	5-11
図 5.4	割り込み制御モード 2 の割り込み受け付けまでのフロー	5-13
図 5.5	割り込み例外処理	5-14
図 5.6	割り込みの発生とディスエーブルの競合	5-16

6. バスコントローラ

図 6.1	内蔵メモリアクセスサイクル	6-1
図 6.2	内蔵周辺モジュールアクセスサイクル	6-2
図 6.3	内蔵 HCAN モジュールアクセスサイクル (ウェイトステートあり)	6-3
図 6.4	内蔵 PWM、LCD、ポート H、J モジュールアクセスサイクル	6-3

8. 16 ビットタイマパルスユニット (TPU)

図 8.1	TPU のブロック図	8-4
図 8.2	カウンタ動作設定手順例	8-25
図 8.3	フリーランニングカウンタの動作	8-26
図 8.4	周期カウンタの動作	8-27
図 8.5	コンペアマッチによる波形出力動作例	8-27
図 8.6	0 出力 / 1 出力の動作例	8-28
図 8.7	トグル出力の動作例	8-28
図 8.8	インプットキャプチャ動作の設定例	8-29
図 8.9	インプットキャプチャ動作例	8-30
図 8.10	同期動作の設定手順例	8-31
図 8.11	同期動作の動作例	8-32
図 8.12	コンペアマッチバッファ動作	8-33
図 8.13	インプットキャプチャバッファ動作	8-33
図 8.14	バッファ動作の設定手順例	8-34
図 8.15	バッファ動作例 (1)	8-34
図 8.16	バッファ動作例 (2)	8-35
図 8.17	PWM モードの設定手順例	8-37
図 8.18	PWM モードの動作例 (1)	8-37
図 8.19	PWM モードの動作例 (2)	8-38
図 8.20	PWM モードの動作例 (3)	8-39
図 8.21	位相計数モードの設定手順例	8-40
図 8.22	位相計数モード 1 の動作例	8-41
図 8.23	位相計数モード 2 の動作例	8-42
図 8.24	位相計数モード 3 の動作例	8-43
図 8.25	位相計数モード 4 の動作例	8-44

図 8.26	位相計数モードの応用例.....	8-45
図 8.27	内部クロック動作時のカウントタイミング	8-47
図 8.28	外部クロック動作時のカウントタイミング	8-48
図 8.29	アウトプットコンペア出力タイミング	8-48
図 8.30	インプットキャプチャ入力信号タイミング	8-49
図 8.31	カウンタクリアタイミング (コンペアマッチ)	8-49
図 8.32	カウンタクリアタイミング (インプットキャプチャ)	8-50
図 8.33	バッファ動作タイミング (コンペアマッチ)	8-50
図 8.34	バッファ動作タイミング (インプットキャプチャ)	8-51
図 8.35	TGI 割り込みタイミング (コンペアマッチ)	8-51
図 8.36	TGI 割り込みタイミング (インプットキャプチャ)	8-52
図 8.37	TCIV 割り込みのセットタイミング.....	8-52
図 8.38	TCIU 割り込みのセットタイミング.....	8-53
図 8.39	CPU によるステータスフラグのクリアタイミング.....	8-53
図 8.40	位相計数モード時の位相差、オーバーラップ、およびパルス幅.....	8-54
図 8.41	TCNT のライトとクリアの競合	8-55
図 8.42	TCNT のライトとカウントアップの競合.....	8-55
図 8.43	TGR のライトとコンペアマッチの競合.....	8-56
図 8.44	バッファレジスタのライトとコンペアマッチの競合.....	8-57
図 8.45	TGR のリードとインプットキャプチャの競合	8-58
図 8.46	TGR のライトとインプットキャプチャの競合	8-59
図 8.47	バッファレジスタのライトとインプットキャプチャの競合.....	8-60
図 8.48	オーバフローとカウンタクリアの競合	8-61
図 8.49	TCNT のライトとオーバフローの競合.....	8-61
9. ウォッチドッグタイマ (WDT)		
図 9.1	WDT_0 のブロック図.....	9-2
図 9.2	WDT_1 のブロック図.....	9-2
図 9.3 (a)	WDT_0 のウォッチドッグタイマモード時の動作	9-9
図 9.3 (b)	WDT_1 のウォッチドッグタイマモード時の動作	9-9
図 9.4	インターバルタイマモード時の動作	9-10
図 9.5	TCNT、TCSR、RSTCSR へのライト (WDT0 の例)	9-11
図 9.6	TCNT のライトとカウントアップの競合.....	9-12
10. シリアルコミュニケーションインタフェース (SCI)		
図 10.1	SCI のブロック図.....	10-2
図 10.2	調歩同式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	10-19
図 10.3	調歩同期モードの受信データサンプリングタイミング.....	10-21
図 10.4	出力クロックと送信データの位相関係 (調歩同期モード)	10-22

図 10.5	SCI の初期化フローチャートの例	10-23
図 10.6	調歩同期モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	10-24
図 10.7	シリアル送信のフローチャートの例	10-25
図 10.8	SCI の受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	10-26
図 10.9	シリアル受信データフローチャートの例 (1)	10-27
図 10.9	シリアル受信データフローチャートの例 (2)	10-28
図 10.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	10-29
図 10.11	マルチプロセッサシリアル送信のフローチャートの例	10-30
図 10.12	SCI の受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	10-31
図 10.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	10-32
図 10.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	10-33
図 10.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	10-34
図 10.15	SCI の初期化フローチャートの例	10-35
図 10.16	クロック同期モードの送信時の動作例	10-36
図 10.17	シリアル送信のフローチャートの例	10-37
図 10.18	SCI の受信時の動作例	10-38
図 10.19	シリアルデータ受信フローチャートの例	10-39
図 10.20	シリアル送受信同時動作のフローチャートの例	10-41
図 10.21	スマートカードインタフェース端子接続概要	10-42
図 10.22	通常のスマートカードインタフェースのデータフォーマット	10-43
図 10.23	ダイレクトコンベンション (SDIR = SINV = $O\bar{E}$ = 0)	10-44
図 10.24	インバースコンベンション (SDIR = SINV = $O\bar{E}$ = 1)	10-44
図 10.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	10-45
図 10.26	SCI 送信モードの場合の再転送動作	10-47
図 10.27	送信動作時の TEND フラグ発生タイミング	10-48
図 10.28	送信処理フローの例	10-49
図 10.29	SCI 受信モードの場合の再転送動作	10-50
図 10.30	受信フローの例	10-51
図 10.31	クロック出力固定タイミング	10-52
図 10.32	クロック停止・再起動手順	10-53
図 10.33	送信時のモード遷移フローチャートの例	10-56
図 10.34	調歩同期モード送信時 (内部クロック) の端子状態	10-57
図 10.35	クロック同期モード送信時 (内部クロック) の端子状態	10-57
図 10.36	受信時のモード遷移フローチャートの例	10-58
図 10.37	SCK 端子からポート端子へ切り替えるときの動作	10-59
図 10.38	SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)	10-60

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

図 11.1	HCAN のブロック図.....	11-2
図 11.2	メッセージコントロール構成.....	11-22
図 11.3	スタンダードフォーマット.....	11-22
図 11.4	エクステンデッドフォーマット.....	11-22
図 11.5	メッセージデータ構成.....	11-24
図 11.6	ハードウェアリセット時のフローチャート.....	11-26
図 11.7	ソフトウェアリセット時のフローチャート.....	11-27
図 11.8	1 ビットタイムの詳細.....	11-28
図 11.9	送信時のフローチャート.....	11-31
図 11.10	送信メッセージの取り消しのフローチャート.....	11-33
図 11.11	受信時のフローチャート.....	11-34
図 11.12	未読メッセージオーバライトのフローチャート.....	11-37
図 11.13	HCAN スリープモードのフローチャート.....	11-38
図 11.14	HCAN HALT モードのフローチャート.....	11-39
図 11.15	R2A25416SP を用いたハイスピードインタフェース.....	11-41

12. A/D 変換器

図 12.1	A/D 変換器のブロック図.....	12-2
図 12.2	A/D 変換タイミング.....	12-8
図 12.3	外部トリガ入力タイミング.....	12-9
図 12.4	A/D 変換精度の定義.....	12-10
図 12.5	A/D 変換精度の定義.....	12-11
図 12.6	アナログ入力回路の例.....	12-12
図 12.7	アナログ入力保護回路の例.....	12-13
図 12.8	アナログ入力端子等価回路.....	12-13

13. モータコントロール PWM タイマ (PWM)

図 13.1	PWM チャネル 1 のブロック図.....	13-2
図 13.2	PWM チャネル 2 のブロック図.....	13-3
図 13.3	サイクルレジスタのコンペアマッチ.....	13-8
図 13.4	デューティレジスタのコンペアマッチ (PWPR_1 の OPS=0).....	13-10
図 13.5	デューティレジスタの設定値による PWM 出力の相違 (PWPR_1 の OPS=0).....	13-10
図 13.6	デューティレジスタのコンペアマッチ (PWPR_2 の OPS=0).....	13-12
図 13.7	デューティレジスタの設定値による PWM 出力の相違 (PWPR_2 の OPS=0).....	13-13
図 13.8	16 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow PWCYR_1 (16 ビット)).....	13-15
図 13.9	8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow PWCR_1 (上位 8 ビット)).....	13-15
図 13.10	PWM チャネル 1 の動作.....	13-17
図 13.11	PWM チャネル 2 の動作.....	13-18
図 13.12	バッファレジスタのライトとコンペアマッチの競合.....	13-19

14. LCD コントローラ/ドライバ (LCD)

図 14.1	LCD コントローラ/ドライバのブロック図	14-2
図 14.2	LCD RAM マップ (1/4 デューティ)	14-8
図 14.3	LCD RAM マップ (1/3 デューティ)	14-9
図 14.4	LCD RAM マップ (スタティック)	14-9
図 14.5	LCD RAM マップ (1/4 デューティ)	14-10
図 14.6	LCD RAM マップ (1/3 デューティ)	14-11
図 14.7	LCD RAM マップ (スタティック)	14-11
図 14.8	各デューティでの出力波形 (A 波形)	14-12
図 14.9	各デューティでの出力波形 (B 波形)	14-13
図 14.10	外部分割抵抗の接続方法	14-15

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】

図 16.1	フラッシュメモリのブロック図	16-2
図 16.2	フラッシュメモリに関する状態遷移	16-3
図 16.3	ブートモード	16-4
図 16.4	ユーザプログラムモード	16-5
図 16.5	フラッシュメモリのブロック構成	16-6
図 16.6	ユーザモードにおける書き込み/消去例	16-14
図 16.7	RAM によるエミュレーションフロー	16-15
図 16.8	RAM のオーバーラップ例	16-16
図 16.9	プログラム/プログラムベリファイフロー	16-18
図 16.10	イレース/イレースベリファイフロー	16-20

17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】

図 17.1	フラッシュメモリのブロック図	17-2
図 17.2	フラッシュメモリに関する状態遷移	17-3
図 17.3	ブートモード	17-4
図 17.4	ユーザプログラムモード	17-5
図 17.5	フラッシュメモリのブロック構成	17-6
図 17.6	ユーザモードにおける書き込み/消去例	17-13
図 17.7	プログラム/プログラムベリファイフロー	17-15
図 17.8	イレース/イレースベリファイフロー	17-17

18. マスク ROM

図 18.1	128k バイトマスク ROM のブロック図 (HD6432282)	18-1
図 18.2	64k バイトマスク ROM のブロック図 (HD6432281)	18-1

19. クロック発振器

図 19.1	クロック発振器のブロック図	19-1
--------	---------------	------

図 19.2	水晶発振子の接続例	19-4
図 19.3	水晶発振子の等価回路	19-4
図 19.4	外部クロックの接続例	19-5
図 19.5	外部クロック入力タイミング	19-6
図 19.6	発振回路部のボード設計に関する注意事項	19-7
図 19.7	PLL 回路の外付け推奨回路	19-7
20. 低消費電力状態		
図 20.1	モード遷移図	20-2
図 20.2	中速モードの遷移・解除タイミング	20-9
図 20.3	ソフトウェアスタンバイモードの応用例	20-12
図 20.4	ハードウェアスタンバイモードの遷移タイミング	20-13
図 20.5	ハードウェアスタンバイモードからの復帰タイミング	20-13
22. 電気的特性		
図 22.1	出力負荷回路	22-5
図 22.2	システムクロックタイミング	22-5
図 22.3	発振安定時間タイミング	22-6
図 22.4	リセット入力タイミング	22-7
図 22.5	割り込み入力タイミング	22-7
図 22.6	I/O ポート入出力タイミング	22-9
図 22.7	TPU 入出力タイミング	22-9
図 22.8	TPU クロック入力タイミング	22-10
図 22.9	SCK クロック入力タイミング	22-10
図 22.10	SCI 入出力タイミング/クロック同期式モード	22-10
図 22.11	A/D 変換器外部トリガ入力タイミング	22-10
図 22.12	HCAN 入出力タイミング	22-11
図 22.13	モータコントロール PWM 出力タイミング	22-11
付録		
図 C.1	FP-100A 外形寸法図	付録-3

表目次

2. CPU

表 2.1	命令の分類	2-16
表 2.2	オペレーションの記号	2-17
表 2.3	データ転送命令	2-18
表 2.4	算術演算命令	2-19
表 2.5	論理演算命令	2-21
表 2.6	シフト命令	2-21
表 2.7	ビット操作命令	2-22
表 2.8	分岐命令	2-24
表 2.9	システム制御命令	2-25
表 2.10	ブロック転送命令	2-26
表 2.11	アドレッシングモード一覧表	2-28
表 2.12	絶対アドレスのアクセス範囲	2-29
表 2.13	実行アドレスの計算方法	2-31

3. MCU 動作モード

表 3.1	MCU 動作モードの選択	3-1
-------	--------------	-----

4. 例外処理

表 4.1	例外処理の種類と優先度	4-1
表 4.2	例外処理ベクタテーブル	4-2
表 4.3	トレース例外処理後の CCR、EXR の状態	4-6
表 4.4	トラップ命令例外処理後の CCR、EXR の状態	4-7

5. 割り込みコントローラ

表 5.1	端子構成	5-3
表 5.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-9
表 5.3	割り込み制御モード	5-10
表 5.4	割り込み応答時間	5-15
表 5.5	割り込み例外処理の実行状態のステート数	5-15

7. I/O ポート

表 7.1	H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) のポートの機能一覧	7-2
表 7.2	H8S/2280 グループ (HD64F2280RB) のポートの機能一覧	7-5

表 7.3	端子切り替えによるレジスタのリード端子および PWM 出力	7-46
8.	16 ビットタイマパルスユニット (TPU)	
表 8.1	TPU の機能一覧	8-2
表 8.2	端子構成	8-5
表 8.3	CCLR2 ~ CCLR0 (チャンネル 0)	8-8
表 8.4	CCLR2 ~ CCLR0 (チャンネル 1、2)	8-8
表 8.5	TPSC2 ~ TPSC0 (チャンネル 0)	8-9
表 8.6	TPSC2 ~ TPSC0 (チャンネル 1)	8-9
表 8.7	TPSC2 ~ TPSC0 (チャンネル 2)	8-9
表 8.8	MD3 ~ MD0	8-11
表 8.9	TIORH_0	8-12
表 8.10	TIORL_0	8-13
表 8.11	TIOR_1	8-14
表 8.12	TIOR_2	8-15
表 8.13	TIORH_0	8-16
表 8.14	TIORL_0	8-17
表 8.15	TIOR_1	8-18
表 8.16	TIOR_2	8-19
表 8.17	レジスタの組み合わせ	8-33
表 8.18	各 PWM 出力のレジスタと出力端子	8-36
表 8.19	位相計数モードクロック入力端子	8-40
表 8.20	位相計数モード 1 のアップ / ダウンカウント条件	8-41
表 8.21	位相計数モード 2 のアップ / ダウンカウント条件	8-42
表 8.22	位相計数モード 3 のアップ / ダウンカウント条件	8-43
表 8.23	位相計数モード 4 のアップ / ダウンカウント条件	8-44
表 8.24	TPU 割り込み一覧	8-46
9.	ウォッチドッグタイマ (WDT)	
表 9.1	WDT の割り込み要因	9-10
10.	シリアルコミュニケーションインタフェース (SCI)	
表 10.1	端子構成	10-3
表 10.2	BRR の設定値 N とビットレート B の関係	10-12
表 10.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕	10-13
表 10.4	各動作周波数における最大ビットレート (調歩同期式モード)	10-16
表 10.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	10-16
表 10.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕	10-17
表 10.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	10-17

表 10.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)	10-18
表 10.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき)	10-18
表 10.10	シリアル送信 / 受信フォーマット (調歩同期式モード)	10-20
表 10.11	SSR のステータスフラグの状態と受信データの処理	10-27
表 10.12	SCI 割り込み要因	10-54
表 10.13	SCI 割り込み要因	10-54
11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】		
表 11.1	端子構成	11-3
表 11.2	BCR に設定可能なレジスタ値の範囲	11-28
表 11.3	BCR の TSEG1、TSEG2 の設定可能な範囲	11-29
表 11.4	HCAN の割り込み要因	11-40
表 11.5	TXPR と TXPR 設定時間または TXPR と TXCR の設定時間の間隔制限	11-44
12. A/D 変換器		
表 12.1	端子構成	12-3
表 12.2	アナログ入力チャネルと ADDR の対応	12-4
表 12.3	A/D 変換時間 (シングルモード)	12-8
表 12.4	A/D 変換時間 (スキャンモード)	12-8
表 12.5	A/D 変換器の割り込み要因	12-9
表 12.6	アナログ端子の規格	12-13
13. モータコントロール PWM タイマ (PWM)		
表 13.1	端子構成	13-4
表 13.2	PWM の割り込み要因	13-18
14. LCD コントローラ / ドライバ (LCD)		
表 14.1	端子構成	14-2
表 14.2	デューティ比とコモン機能の選択	14-3
表 14.3	セグメントドライバの選択	14-4
表 14.4	使用クロックとフレーム周波数の選択	14-6
表 14.5	出力レベルの関係 (A 波形)	14-13
表 14.6	低消費電力モードと表示動作の関係	14-14
16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】		
表 16.1	ブートモードとユーザプログラムモードの相違点	16-3
表 16.2	端子構成	16-7
表 16.3	プログラミングモード選択方法	16-11

表 16.4	ブートモードの動作	16-13
表 16.5	ビットレート自動合わせ込みが可能なシステムクロック周波数	16-13
表 16.6	フラッシュメモリの動作状態	16-22
17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】		
表 17.1	ブートモードとユーザプログラムモードの相違点	17-3
表 17.2	端子構成	17-7
表 17.3	プログラミングモード選択方法	17-10
表 17.4	ブートモードの動作	17-12
表 17.5	ビットレート自動合わせ込みが可能なシステムクロック周波数	17-12
表 17.6	フラッシュメモリの動作状態	17-19
18. マスク ROM		
表 18.1	F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ	18-2
19. クロック発振器		
表 19.1	ダンピング抵抗値	19-4
表 19.2	水晶発振子の特性	19-4
表 19.3	外部クロック入力条件	19-5
20. 低消費電力状態		
表 20.1	低消費電力モード遷移条件	20-3
表 20.2	各モードでの本 LSI の内部状態	20-4
表 20.3	発振安定時間の設定	20-11
表 20.4	各処理状態におけるφ端子の状態	20-16
22. 電気的特性		
表 22.1	絶対最大定格	22-1
表 22.2	DC 特性	22-2
表 22.3	出力許容電流	22-4
表 22.4	クロックタイミング	22-5
表 22.5	制御信号タイミング	22-6
表 22.6	内蔵周辺モジュールタイミング	22-8
表 22.7	A/D 変換特性	22-11
表 22.8	フラッシュメモリ特性	22-12
表 22.9	LCD 特性	22-13

1. 概要

1.1 特長

- 16ビット高速H8S/2000CPU
H8/300CPU、H8/300HCPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：65種類
- 豊富な周辺機能
16ビットタイマパルスユニット(TPU)
ウォッチドッグタイマ (WDT)
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)
コントローラエリアネットワーク (HCAN) (H8S/2282グループのみ)
10ビットA/D変換器
モータコントロールPWMタイマ (PWM)
LCDコントローラ/ドライバ (LCD)
クロック発振器
- 内蔵メモリ

ROM	型名	ROM	RAM
フラッシュメモリ版	HD64F2282	128k バイト	4k バイト
	HD64F2280B	64k バイト	2k バイト
	HD64F2280RB	64k バイト	2k バイト
マスク ROM 版	HD6432282	128k バイト	4k バイト
	HD6432281	64k バイト	4k バイト

- 汎用入出力ポート
入出力ポート：64本
入力ポート：8本
- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	(コード)	ボディサイズ	ピンピッチ
QFP-100	FP-100A	14.0×20.0mm	0.65mm

1. 概要

1.2 内部ブロック図

H8S/2282 グループの内部ブロック図を図 1.1 に示します。

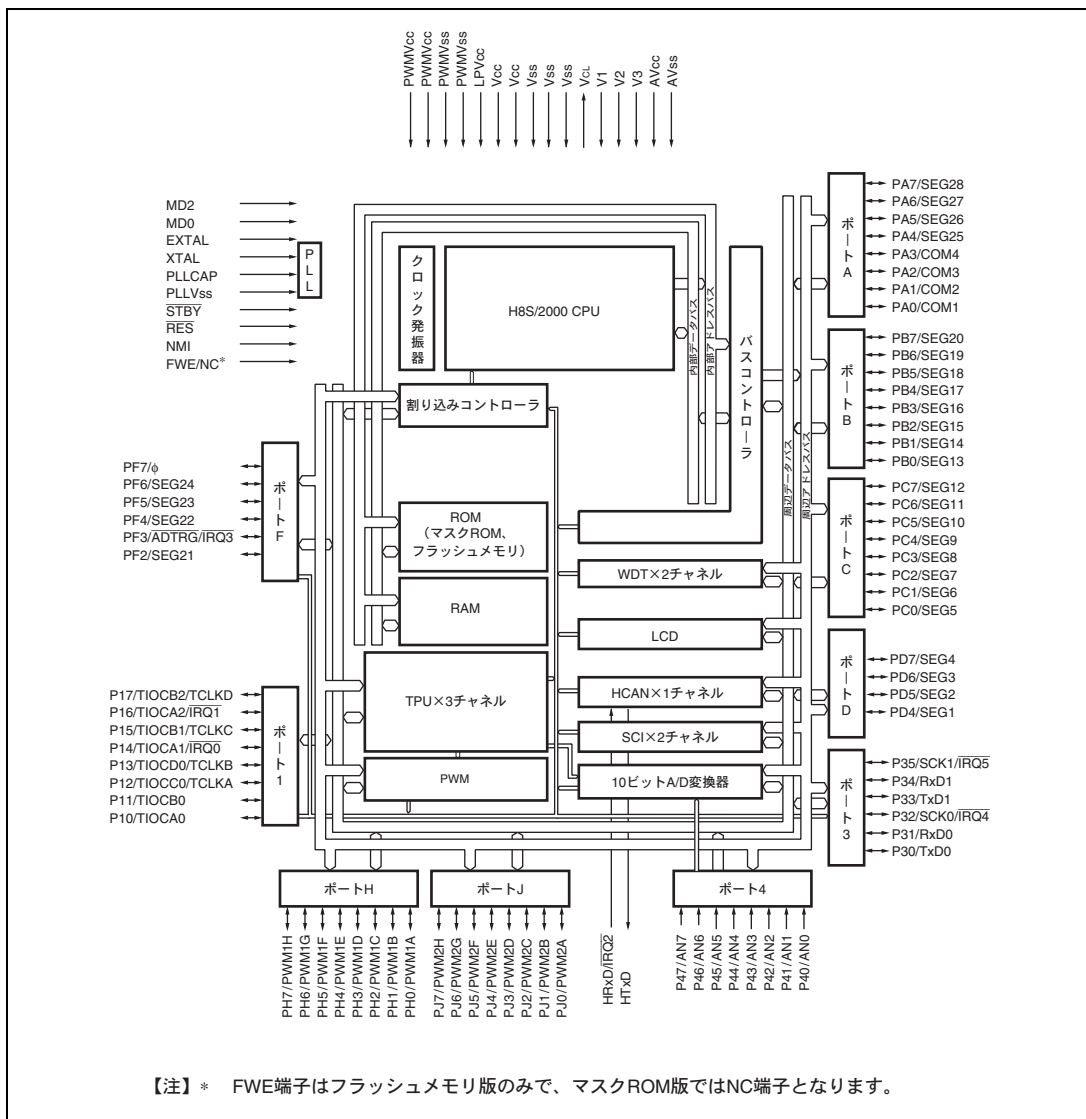


図 1.1 H8S/2282 グループの内部ブロック図

H8S/2280 グループの内部ブロック図を図 1.2、図 1.3 に示します。

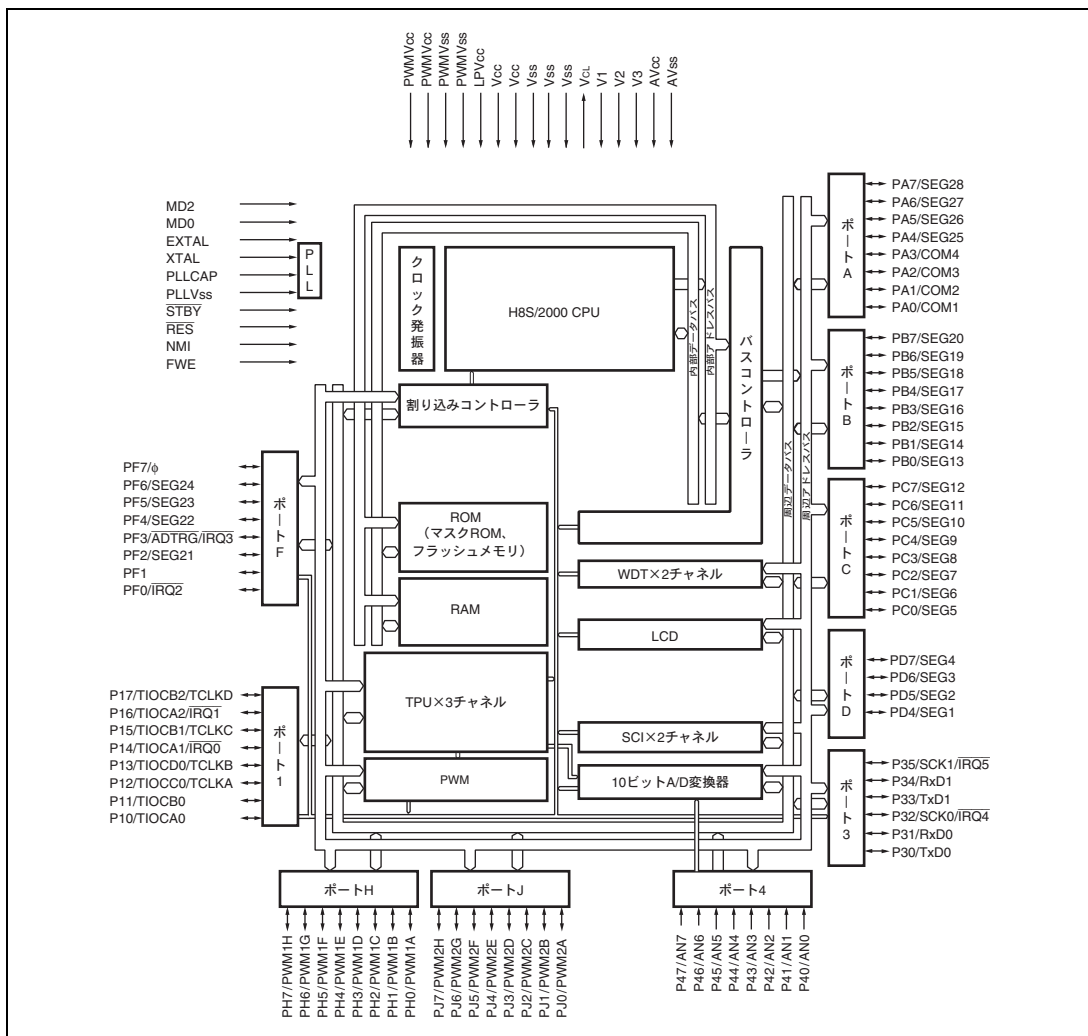


図 1.2 H8S/2280 グループ (HD64F2280B) の内部ブロック図

1. 概要

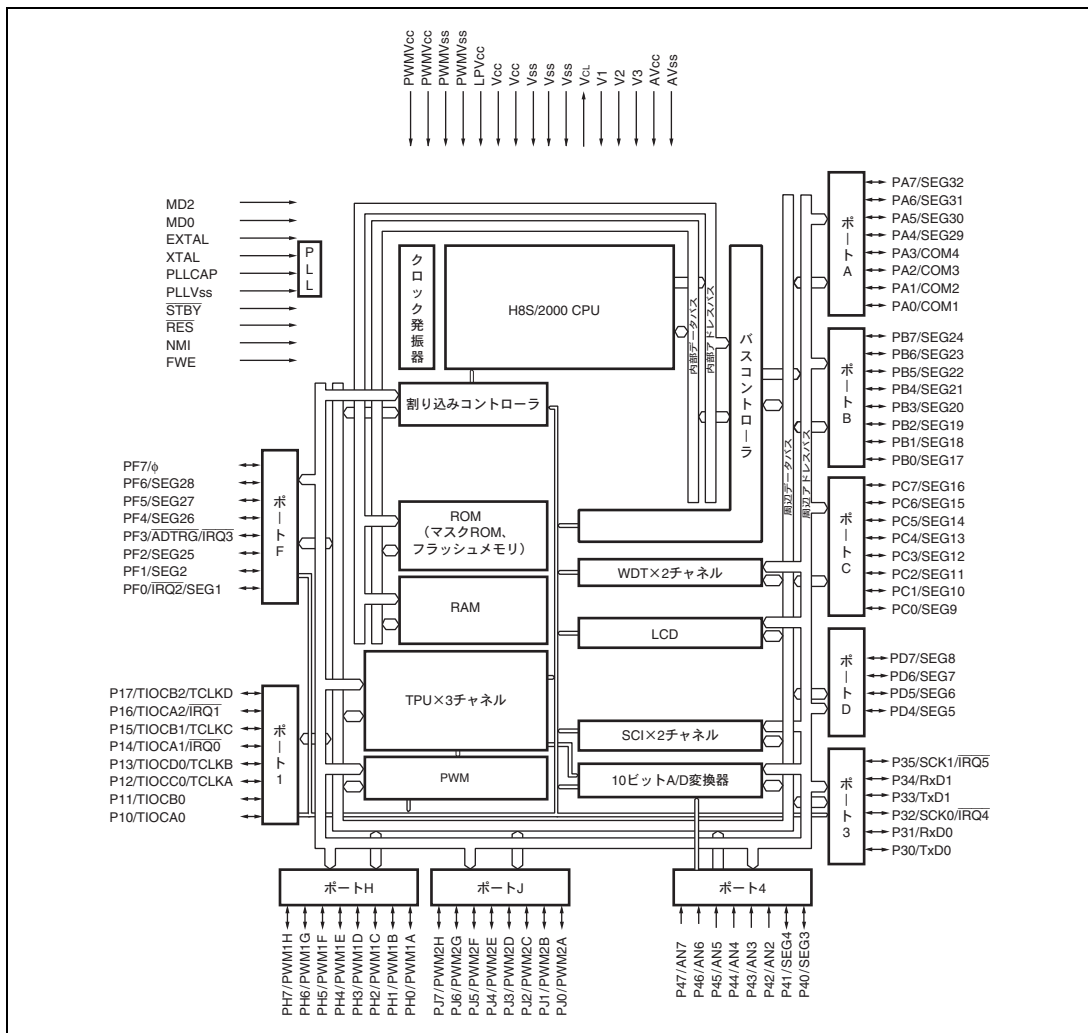


図 1.3 H8S/2280 グループ (HD64F2280RB) の内部ブロック図

1.3 ピン配置図

H8S/2282 グループのピン配置図を図 1.4 に示します。

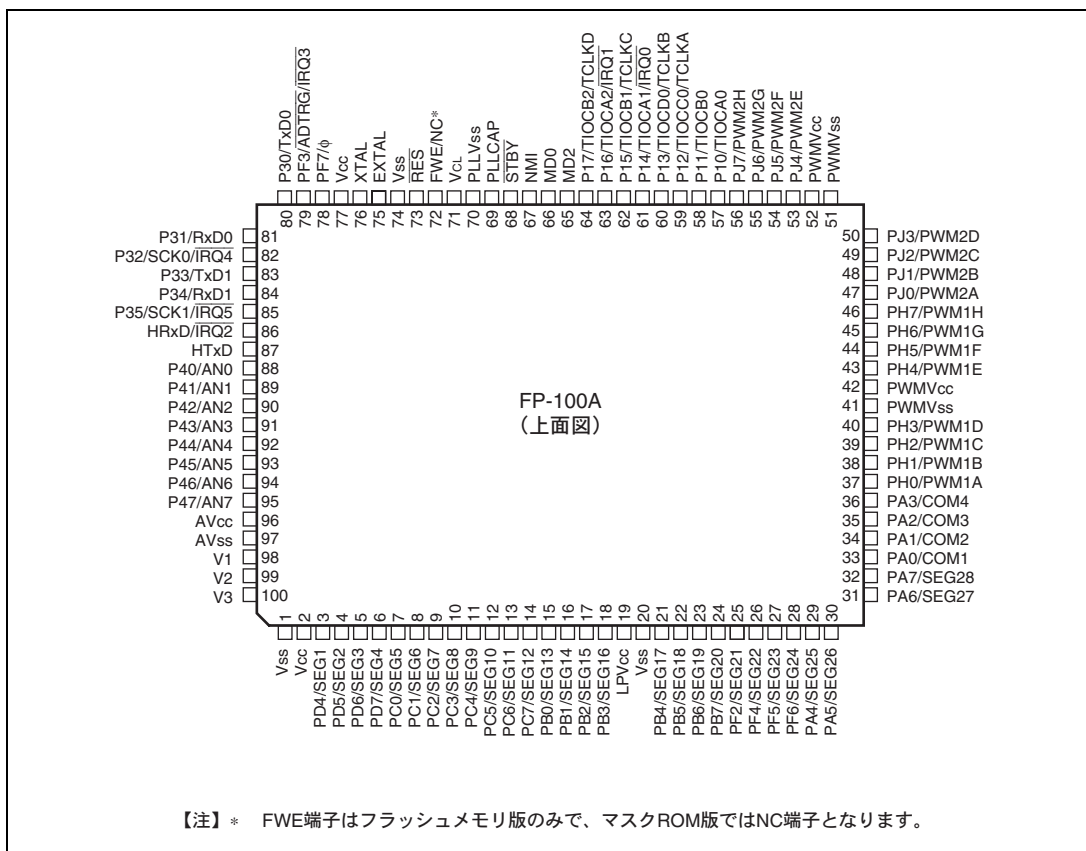


図 1.4 H8S/2282 グループのピン配置図

1. 概要

H8S/2280 グループのピン配置図を図 1.5、図 1.6 に示します。

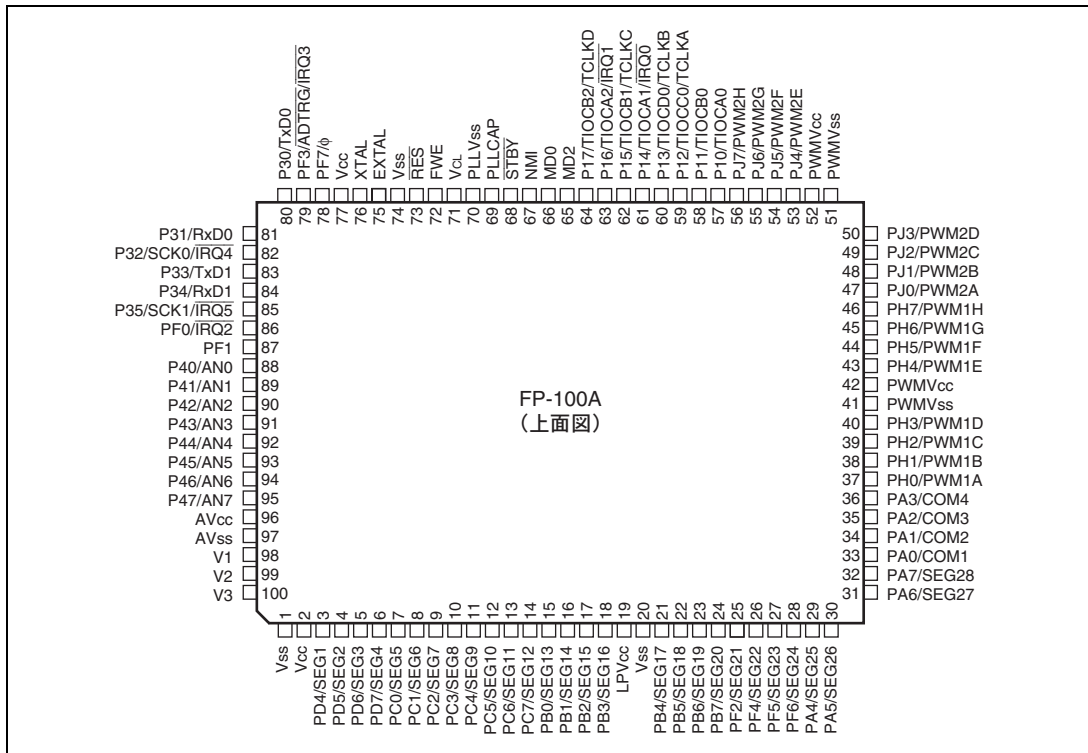


図 1.5 H8S/2280 グループ (HD64F2280B) のピン配置図

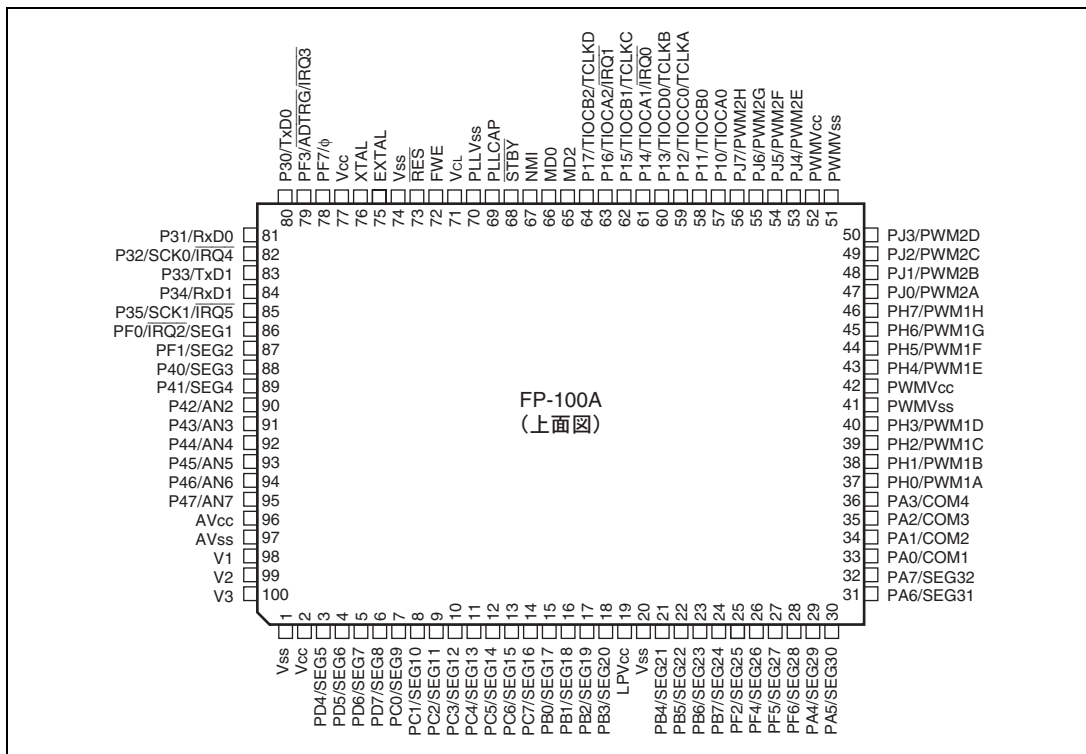


図 1.6 H8S/2280 グループ (HD64F2280RB) のピン配置図

1. 概要

1.4 端子機能

1.4.1 H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能

分類	記号	ピン番号	入出力	機能
電源	Vcc	2 77	入力	電源端子です。システムの電源に接続してください。
	PWMVcc	42 52	入力	ポート H、J、およびモータコントロール PWM タイマの電源端子です。
	LPVcc	19	入力	ポート A~D、および F (PF2、PF4~PF6) の電源端子です。
	V1 V2 V3	98 99 100	入力	LCD コントローラ/ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常は開放で用います。電源条件は LPVcc \geq V1 \geq V2 \geq V3 \geq Vss です。
	Vss	1 20 74	入力	グランド端子です。システム電源 (0V) に接続してください。
	PWMVss	41 51	入力	ポート H、J、およびモータコントロール PWM タイマの電源端子です。システム電源 (0V) に接続してください。
	VCL	71	出力	内部降圧電源用の外付け容量端子です。0.1 μ F のコンデンサを介して Vss に接続してください (端子近くに配置)。
クロック	PLLVss	70	入力	内蔵 PLL 発振器用のグランド端子です。
	PLLCAP	69	出力	内蔵 PLL 発振器用の外付け容量端子です。
	XTAL	76	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。
	EXTAL	75	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。
	ϕ	78	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2	65	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
	MD0	66	入力	
システム制御	RES	73	入力	リセット端子です。この端子が Low レベルになると、リセット状態になります。
	STBY	68	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	FWE	72	入力	フラッシュメモリ用の端子です。フラッシュメモリ版のみとなります。

分類	記号	ピン番号	入出力	機能
割り込み	NMI	67	入力	ノンマスクابل割り込み要求端子です。使用しない場合は High レベルに固定してください。
	$\overline{\text{IRQ5}}$	85	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ4}}$	82		
	$\overline{\text{IRQ3}}$	79		
	$\overline{\text{IRQ2}}$	86		
	$\overline{\text{IRQ1}}$	63		
	$\overline{\text{IRQ0}}$	61		
16 ビットタイム パルスユニット	TCLKA	59	入力	タイマの外部クロック入力端子です。
	TCLKB	60		
	TCLKC	62		
	TCLKD	64		
	TIOCA0	57	入出力	TGRA_0~TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB0	58		
	TIOCC0	59		
	TIOCD0	60		
	TIOCA1	61	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB1	62		
TIOCA2	63	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	
TIOCB2	64			
シリアルコミュニ ケーション インタフェース (SCI)/スマート カードインタ フェース	TxD1	83	出力	データ出力端子です。
	TxD0	80		
	RxD1	84	入力	データ入力端子です。
	RxD0	81		
SCK1	85	入出力	クロック入出力端子です。	
SCK0	82			
HCAN	HTxD* ¹	87	出力	CAN バス送信用端子です。
	HRxD* ¹	86	入力	CAN バス受信用端子です。
A/D 変換器	AN7	95	入力	アナログ入力端子です。
	AN6	94		
	AN5	93		
	AN4	92		
	AN3	91		
	AN2	90		
	AN1	89		
	AN0	88		

1. 概要

分類	記号	ピン番号	入出力	機能
A/D 変換器	ADTRG	79	入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	96	入力	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
	AVss	97	入力	A/D 変換器のグラウンド端子です。システムの電源 (0V) に接続してください。
モータコントロール PWM タイマ	PWM1H	46	出力	PWM_1 のパルス出力端子です。
	PWM1G	45		
	PWM1F	44		
	PWM1E	43		
	PWM1D	40		
	PWM1C	39		
	PWM1B	38		
	PWM1A	37		
	PWM2H	56	出力	PWM_2 のパルス出力端子です。
	PWM2G	55		
	PWM2F	54		
	PWM2E	53		
	PWM2D	50		
	PWM2C	49		
PWM2B	48			
PWM2A	47			
LCD コントローラドライバ	SEG28	32	出力	LCD のセグメント出力端子です。
	SEG27	31		
	SEG26	30		
	SEG25	29		
	SEG24	28		
	SEG23	27		
	SEG22	26		
	SEG21	25		
	SEG20	24		
	SEG19	23		
	SEG18	22		
	SEG17	21		
	SEG16	18		
	SEG15	17		
SEG14	16			
SEG13	15			
SEG12	14			

分類	記号	ピン番号	入出力	機能		
LCD コントローラ ドライバ	SEG11	13	出力	LCD のセグメント出力端子です。		
	SEG10	12				
	SEG9	11				
	SEG8	10				
	SEG7	9				
	SEG6	8				
	SEG5	7				
	SEG4	6				
	SEG3	5				
	SEG2	4				
	SEG1	3				
	COM4	36			出力	LCD のコモン出力端子です。
	COM3	35				
	COM2	34				
COM1	33					
I/O ポート	P17	64	入出力	8 ビットの入出力端子です。		
	P16	63				
	P15	62				
	P14	61				
	P13	60				
	P12	59				
	P11	58				
	P10	57				
	P35	85			入出力	6 ビットの入出力端子です。
	P34	84				
	P33	83				
	P32	82				
	P31	81				
	P30	80				
	P47	95	入力	8 ビットの入力端子です。		
	P46	94				
	P45	93				
	P44	92				
	P43	91				
	P42	90				
	P41	89				
P40	88					

1. 概要

分類	記号	ピン番号	入出力	機能
I/O ポート	PA7	32	入出力	8 ビットの入出力端子です。
	PA6	31		
	PA5	30		
	PA4	29		
	PA3	36		
	PA2	35		
	PA1	34		
	PA0	33		
	PB7	24	入出力	8 ビットの入出力端子です。
	PB6	23		
	PB5	22		
	PB4	21		
	PB3	18		
	PB2	17		
	PB1	16		
	PB0	15		
	PC7	14	入出力	8 ビットの入出力端子です。
	PC6	13		
	PC5	12		
	PC4	11		
	PC3	10		
	PC2	9		
	PC1	8		
	PC0	7		
	PD7	6	入出力	4 ビットの入出力端子です。
	PD6	5		
	PD5	4		
	PD4	3		
	PF7	78	入出力	8 ビットの入出力端子です。
	PF6	28		
	PF5	27		
	PF4	26		
PF3	79			
PF2	25			
PF1* ²	87			
PF0* ²	86			

分類	記号	ピン番号	入出力	機能
I/O ポート	PH7	46	入出力	8 ビットの入出力端子です。
	PH6	45		
	PH5	44		
	PH4	43		
	PH3	40		
	PH2	39		
	PH1	38		
	PH0	37		
	PJ7	56	入出力	8 ビットの入出力端子です。
	PJ6	55		
	PJ5	54		
	PJ4	53		
	PJ3	50		
	PJ2	49		
	PJ1	48		
PJ0	47			

【注】 *1 H8S/2280 グループには、HCAN はありません。

*2 H8S/2282 グループには、PF1、PF0 はありません。

1. 概要

1.4.2 H8S/2280 グループ (HD64F2280RB) の端子機能

分類	記号	ピン番号	入出力	機能
電源	Vcc	2 77	入力	電源端子です。システムの電源に接続してください。
	PWMVcc	42 52	入力	ポート H、J およびモータコントロール PWM タイマの電源端子です。
	LPVcc	19	入力	ポート A~D および F (PF0~PF2、PF4~PF6) の電源端子です。
	V1 V2 V3	98 99 100	入力	LCD コントローラ/ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常は開放で用います。電源条件は LPVcc \geq V1 \geq V2 \geq V3 \geq Vss です。
	Vss	1 20 74	入力	グランド端子です。システム電源 (0V) に接続してください。
	PWMVss	41 51	入力	ポート H、J およびモータコントロール PWM タイマの電源端子です。システム電源(0V)に接続してください。
	VCL	71	出力	内部降圧電源用の外付け容量端子です。0.1 μ F のコンデンサを介して Vss に接続してください (端子近くに配置)。
クロック	PLLVss	70	入力	内蔵 PLL 発振器用のグランド端子です。
	PLLCAP	69	出力	内蔵 PLL 発振器用の外付け容量端子です。
	XTAL	76	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。
	EXTAL	75	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。
	ϕ	78	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2	65	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
	MD0	66		
システム制御	RES	73	入力	リセット端子です。この端子が Low レベルになると、リセット状態になります。
	STBY	68	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	FWE	72	入力	フラッシュメモリ用の端子です。フラッシュメモリ版のみとなります。

分類	記号	ピン番号	入出力	機能
割り込み	NMI	67	入力	ノンマスクابل割り込み要求端子です。使用しない場合は High レベルに固定してください。
	$\overline{\text{IRQ5}}$	85	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ4}}$	82		
	$\overline{\text{IRQ3}}$	79		
	$\overline{\text{IRQ2}}$	86		
	$\overline{\text{IRQ1}}$	63		
	$\overline{\text{IRQ0}}$	61		
16 ビットタイマ パルスユニット	TCLKA	59	入力	タイマの外部クロック入力端子です。
	TCLKB	60		
	TCLKC	62		
	TCLKD	64		
	TIOCA0	57	入出力	TGRA_0~TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB0	58		
	TIOCC0	59		
	TIOCD0	60		
	TIOCA1	61	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB1	62		
TIOCA2	63	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	
TIOCB2	64			
シリアルコミュニ ケーション インタフェース (SCI)/スマート カードインタ フェース	TxD1	83	出力	データ出力端子です。
	TxD0	80		
	RxD1	84	入力	データ入力端子です。
	RxD0	81		
	SCK1	85	入出力	クロック入出力端子です。
	SCK0	82		
A/D 変換器	AN7	95	入力	アナログ入力端子です。
	AN6	94		
	AN5	93		
	AN4	92		
	AN3	91		
	AN2	90		
	$\overline{\text{ADTRG}}$	79	入力	A/D 変換開始のための外部トリガ入力端子です。
	AVcc	96	入力	A/D 変換器の電源端子です。A/D 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
AVss	97	入力	A/D 変換器のグラウンド端子です。システムの電源 (0V) に接続してください。	

1. 概要

分類	記号	ピン番号	入出力	機能	
モータコントロール PWM タイマ	PWM1H	46	出力	PWM_1 のパルス出力端子です。	
	PWM1G	45			
	PWM1F	44			
	PWM1E	43			
	PWM1D	40			
	PWM1C	39			
	PWM1B	38			
	PWM1A	37			
	PWM2H	PWM2H	56	出力	PWM_2 のパルス出力端子です。
		PWM2G	55		
		PWM2F	54		
		PWM2E	53		
		PWM2D	50		
		PWM2C	49		
		PWM2B	48		
PWM2A		47			
LCD コントローラドライバ	SEG32	32	出力	LCD のセグメント出力端子です。	
	SEG31	31			
	SEG30	30			
	SEG29	29			
	SEG28	28			
	SEG27	27			
	SEG26	26			
	SEG25	25			
	SEG24	24			
	SEG23	23			
	SEG22	22			
	SEG21	21			
	SEG20	18			
	SEG19	17			
	SEG18	16			
	SEG17	15			
	SEG16	14			
SEG15	13				
SEG14	12				
SEG13	11				
SEG12	10				

分類	記号	ピン番号	入出力	機能		
LCD コントローラ ドライバ	SEG11	9	出力	LCD のセグメント出力端子です。		
	SEG10	8				
	SEG9	7				
	SEG8	6				
	SEG7	5				
	SEG6	4				
	SEG5	3				
	SEG4	89				
	SEG3	88				
	SEG2	87				
	SEG1	86				
	COM4	36			出力	LCD のコモン出力端子です。
	COM3	35				
	COM2	34				
COM1	33					
I/O ポート	P17	64	入出力	8 ビットの入出力端子です。		
	P16	63				
	P15	62				
	P14	61				
	P13	60				
	P12	59				
	P11	58				
	P10	57				
	P35	85			入出力	6 ビットの入出力端子です。
	P34	84				
	P33	83				
	P32	82				
	P31	81				
	P30	80				
	P47	95	入力	8 ビットの入力端子です。		
	P46	94				
	P45	93				
	P44	92				
	P43	91				
	P42	90				
	P41	89				
P40	88					

1. 概要

分類	記号	ピン番号	入出力	機能	
I/O ポート	PA7	32	入出力	8 ビットの入出力端子です。	
	PA6	31			
	PA5	30			
	PA4	29			
	PA3	36			
	PA2	35			
	PA1	34			
	PA0	33			
	PB7	PB7	24	入出力	8 ビットの入出力端子です。
		PB6	23		
		PB5	22		
		PB4	21		
		PB3	18		
		PB2	17		
		PB1	16		
		PB0	15		
	PC7	PC7	14	入出力	8 ビットの入出力端子です。
		PC6	13		
		PC5	12		
		PC4	11		
		PC3	10		
		PC2	9		
		PC1	8		
		PC0	7		
	PD7	PD7	6	入出力	4 ビットの入出力端子です。
		PD6	5		
		PD5	4		
		PD4	3		
PF7	PF7	78	入出力	8 ビットの入出力端子です。	
	PF6	28			
	PF5	27			
	PF4	26			
	PF3	79			
	PF2	25			
	PF1	87			
	PF0	86			

分類	記号	ピン番号	入出力	機能
I/O ポート	PH7	46	入出力	8 ビットの入出力端子です。
	PH6	45		
	PH5	44		
	PH4	43		
	PH3	40		
	PH2	39		
	PH1	38		
	PH0	37		
	PJ7	56	入出力	8 ビットの入出力端子です。
	PJ6	55		
	PJ5	54		
	PJ4	53		
	PJ3	50		
	PJ2	49		
	PJ1	48		
PJ0	47			

1. 概要

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：65 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイメント付きレジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作

頻出命令をすべて1~2ステートで実行

8/16/32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：12ステート

16÷8ビットレジスタ間除算：12ステート

16×16ビットレジスタ間乗算：20ステート

32÷16ビットレジスタ間除算：20ステート

- CPU動作モード：2種類

ノーマルモード/アドバンスモード

【注】 本LSIではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
2ビットシフト命令を追加
複数レジスタの退避／復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本、32ビット×2本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
2ビットシフト命令を追加
複数レジスタの退避／復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64k バイト、アドバンスモードでは 16M バイトです。動作モードはモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大64kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

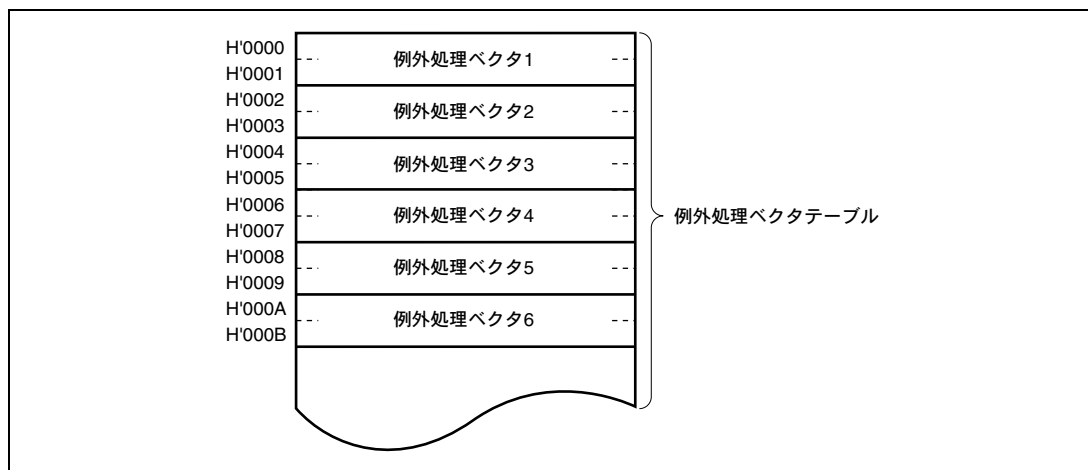


図 2.1 例外処理ベクタテーブル（ノーマルモード）

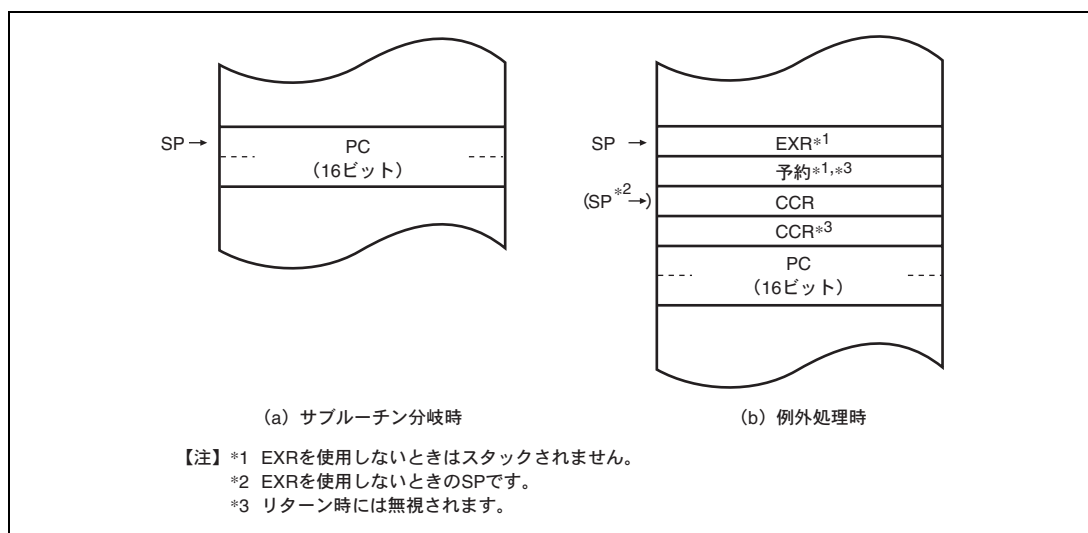


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0～E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

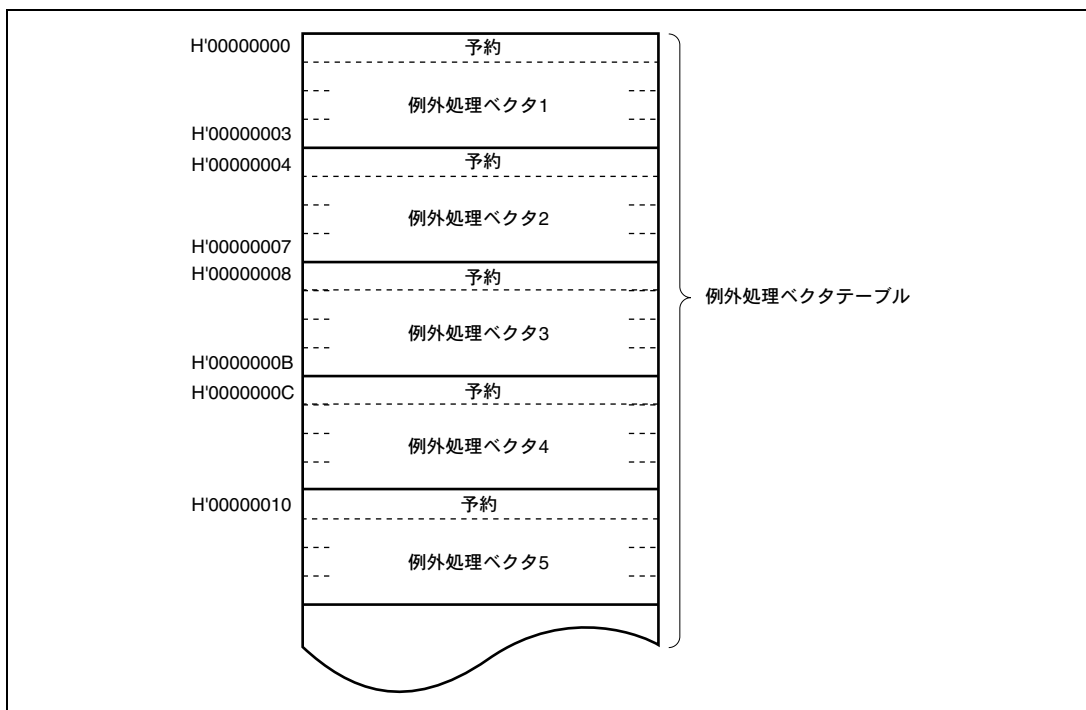


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンストモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

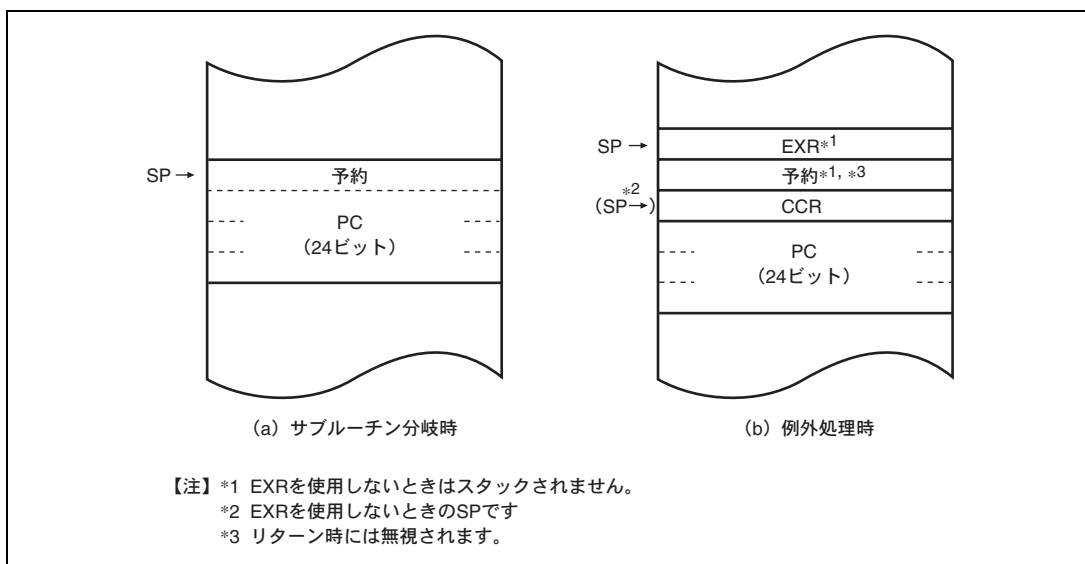


図 2.4 アドバンストモードのスタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64k バイト、アドバンストモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

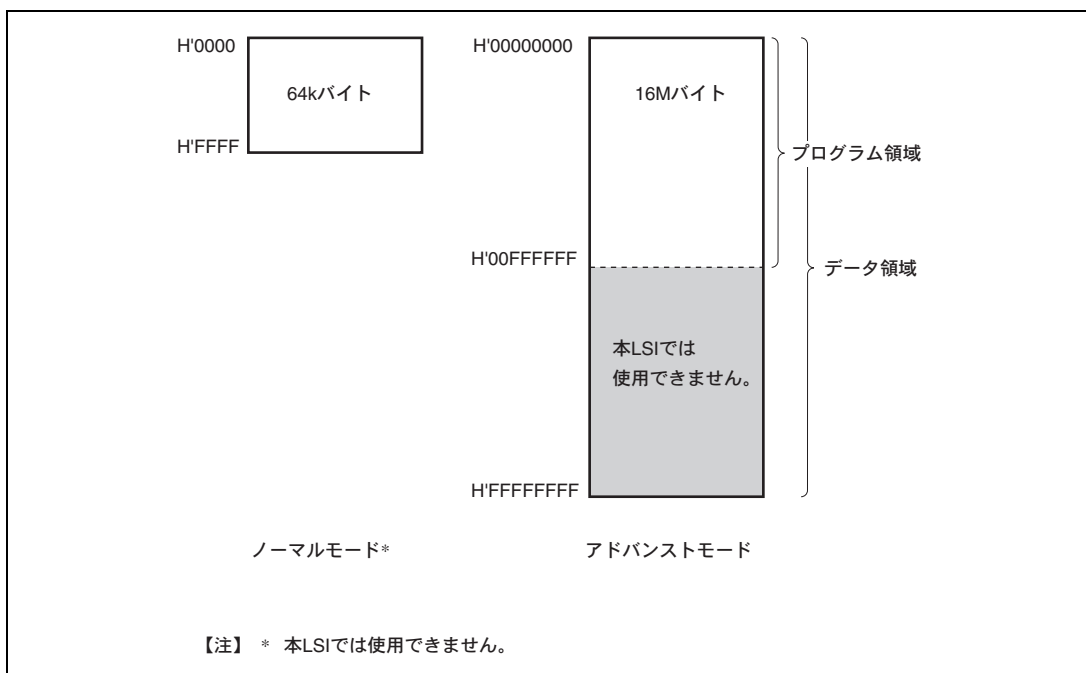


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

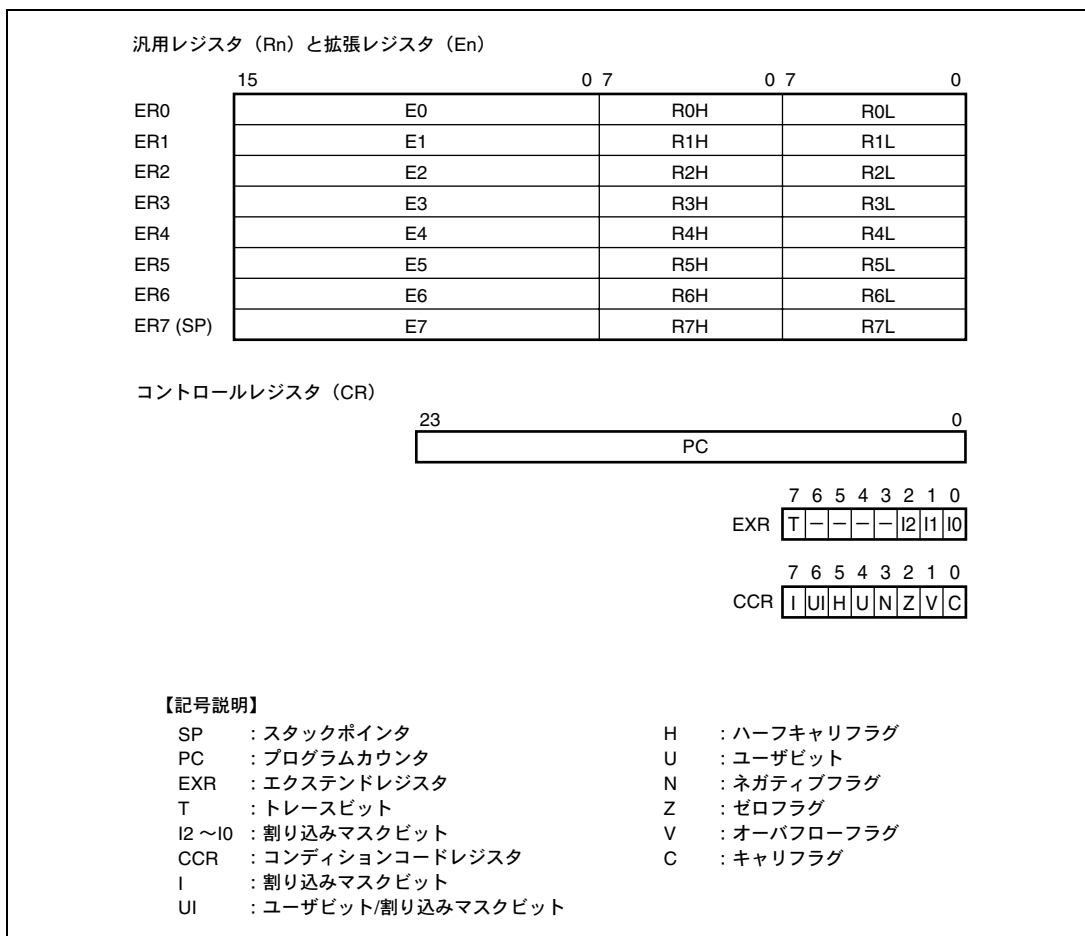


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

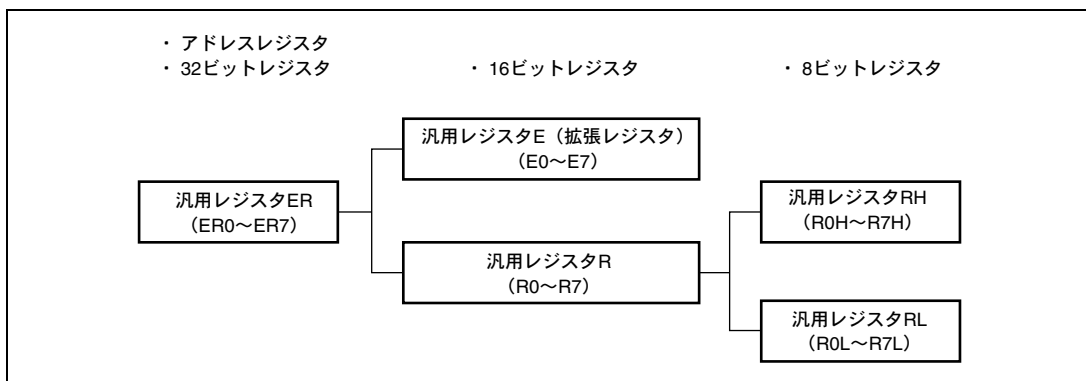


図 2.7 汎用レジスタの使用方法

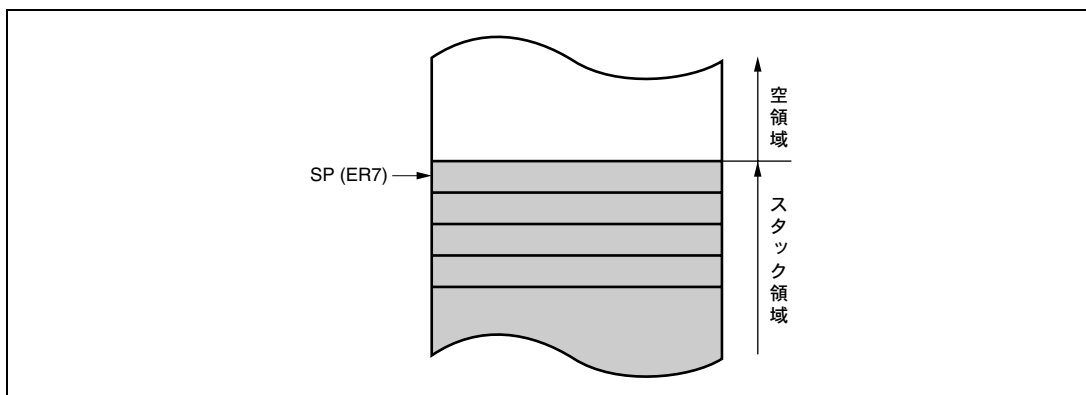


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行ごとにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3	—	1	—	リザーブビット リードすると常に 1 がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

2. CPU

2.4.4 コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。本LSIでは、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のボロー• シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

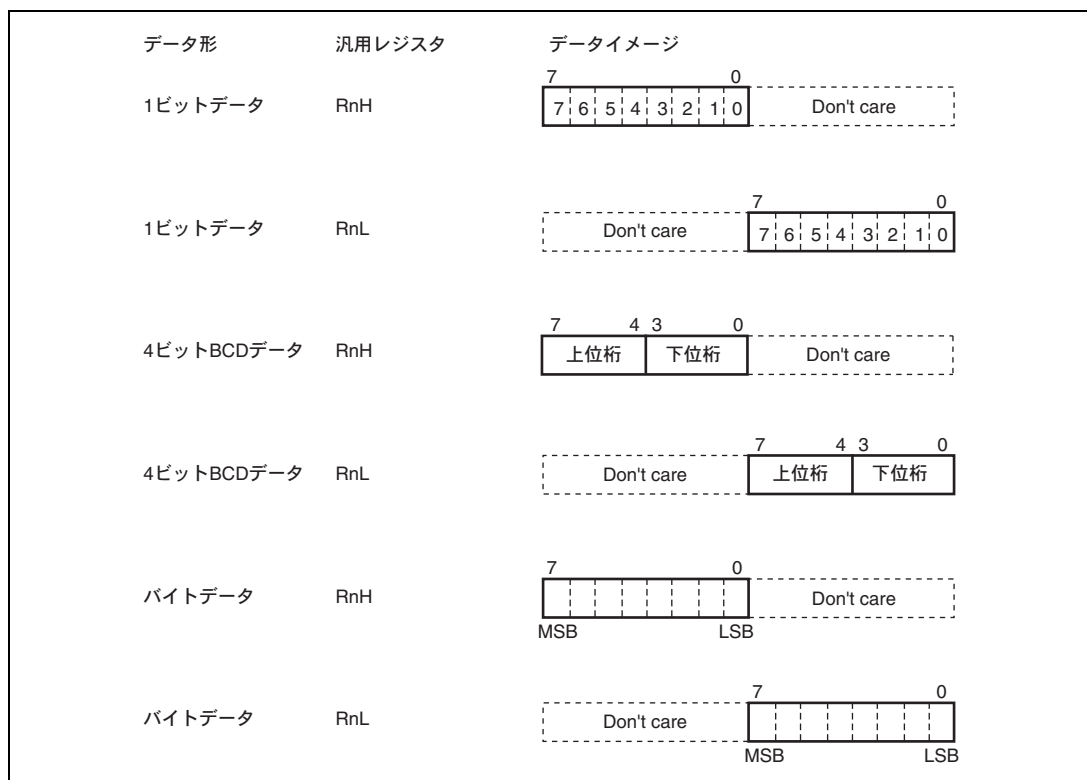


図 2.9 汎用レジスタのデータ形式 (1)

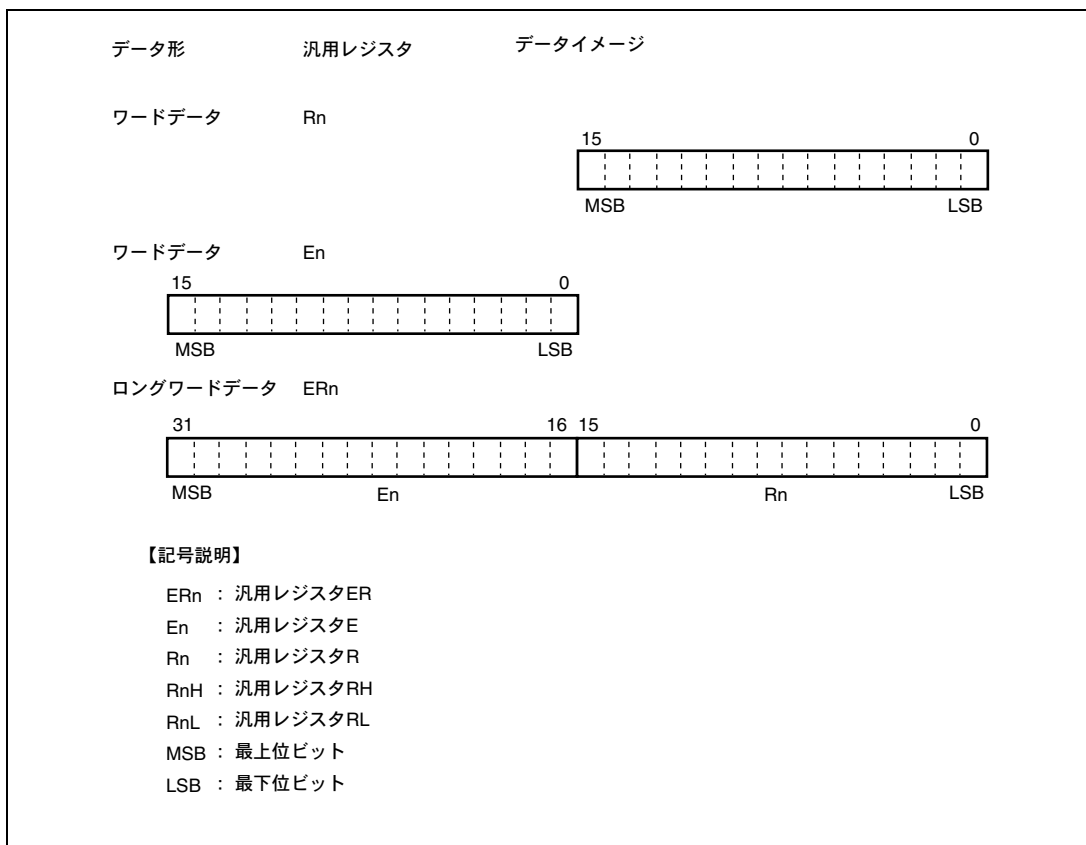


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

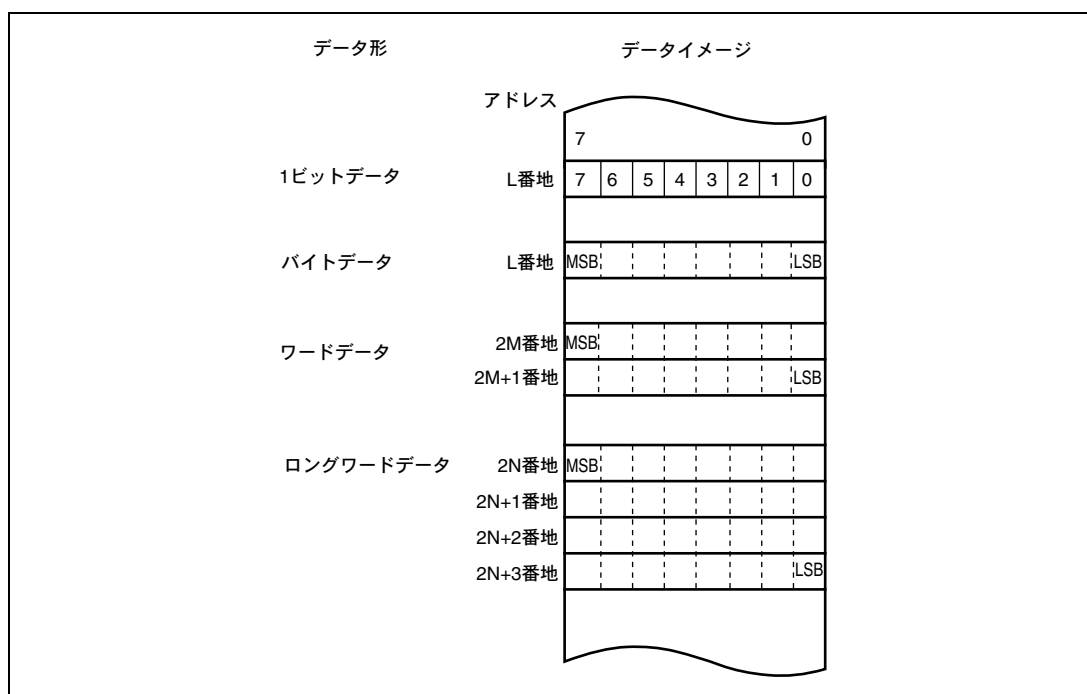


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP ^{*1} , PUSH ^{*1}	W/L	
	LDM, STM	L	
	MOVFPE ^{*3} , MOVTPPE ^{*3}	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS ^{*4}	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc ^{*2} , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EEPMOV	—	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- *1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn, MOV.W Rn,@-SP と同一です。
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn, MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0,ER1,ER4,ER5 を使用してください。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

2. CPU

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ*1	機能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd-Rs、Rd-#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0-Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

2. CPU

命令	サイズ* ¹	機能
EXTS	W/L	Rd(符号拡張) →Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd-0、1 → (<ビット7>of @ERd) メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 TAS命令を使用する場合は、レジスタ ER0,ER1,ER4,ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd \wedge Rs \rightarrow Rd、Rd \wedge #IMM \rightarrow Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd \vee Rs \rightarrow Rd、Rd \vee #IMM \rightarrow Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd \oplus Rs \rightarrow Rd、Rd \oplus #IMM \rightarrow Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	\sim Rd \rightarrow Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) \rightarrow Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) \rightarrow Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) \rightarrow Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) \rightarrow Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

2. CPU

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧ [~(<ビット番号>of<EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨ [~(<ビット番号>of<EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim(\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow \langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2. CPU

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	－	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z=0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z=1$</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>$C=0$</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>$C=1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z=0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z=1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V=0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V=1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N=0$</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>$N=1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V=0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V=1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V)=0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V)=1$</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	$C \vee Z=0$	BLS	Low or Same	$C \vee Z=1$	BCC(BHS)	Carry Clear(High or Same)	$C=0$	BCS(BLO)	Carry Set(LOW)	$C=1$	BNE	Not Equal	$Z=0$	BEQ	Equal	$Z=1$	BVC	oVerflow Clear	$V=0$	BVS	oVerflow Set	$V=1$	BPL	PLus	$N=0$	BMI	MInus	$N=1$	BGE	Greater or Equal	$N \oplus V=0$	BLT	Less Than	$N \oplus V=1$	BGT	Greater Than	$Z \vee (N \oplus V)=0$	BLE	Less or Equal	$Z \vee (N \oplus V)=1$
ニーモニック	説 明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	$C \vee Z=0$																																																			
BLS	Low or Same	$C \vee Z=1$																																																			
BCC(BHS)	Carry Clear(High or Same)	$C=0$																																																			
BCS(BLO)	Carry Set(LOW)	$C=1$																																																			
BNE	Not Equal	$Z=0$																																																			
BEQ	Equal	$Z=1$																																																			
BVC	oVerflow Clear	$V=0$																																																			
BVS	oVerflow Set	$V=1$																																																			
BPL	PLus	$N=0$																																																			
BMI	MInus	$N=1$																																																			
BGE	Greater or Equal	$N \oplus V=0$																																																			
BLT	Less Than	$N \oplus V=1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V)=0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V)=1$																																																			
JMP	－	指定されたアドレスへ無条件に分岐します。																																																			
BSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	－	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ*	機能
EEPMOV.B	—	<pre> if R4L≠0 then Repeat @ER5+→@ER6+ R4L-1→R4L Until R4L=0 else next; </pre>
EEPMOV.W	—	<pre> if R4≠0 then Repeat @ER5+→@ER6+ R4-1→R4 Until R4=0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレス、またはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

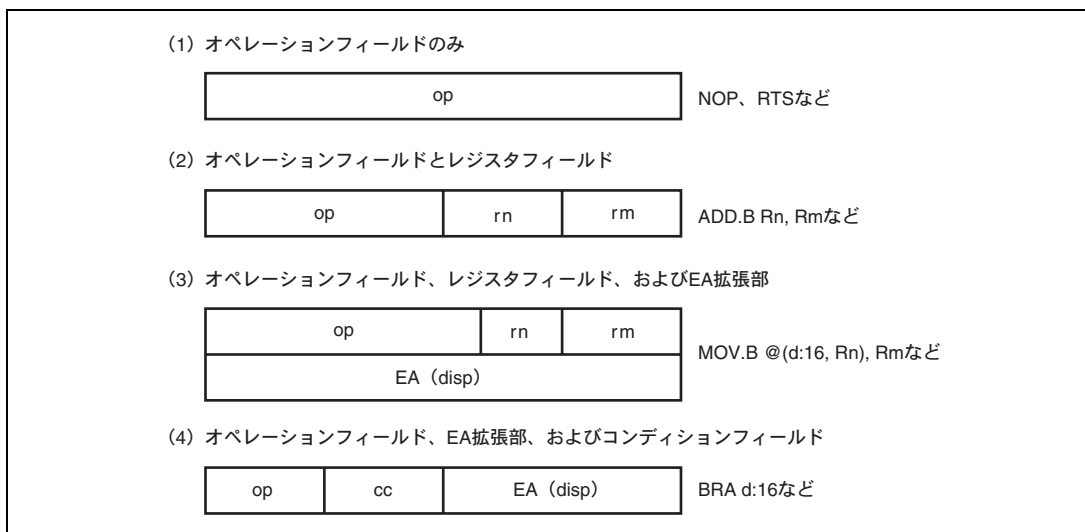


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビット、または 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+／プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2、または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2、または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズの場合、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8／@aa:16／@aa:24／@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスモード
データ領域	8 ビット (@aa:8)	H'FF00~H'FFFF	H'FFFF00~H'FFFFFF
	16 ビット (@aa:16)	H'0000~H'FFFF	H'000000~H'007FFF、 H'FF8000~H'FFFFFF
	32 ビット (@aa:32)		H'000000~H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126~+128 バイト (-63~+64 ワード) または -32766~+32768 バイト (-16383~+16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0~255 (ノーマルモードのとき H'0000~H'00FF、アドバンストモードのとき H'000000~H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

【注】 本 LSI ではノーマルモードは使用できません。

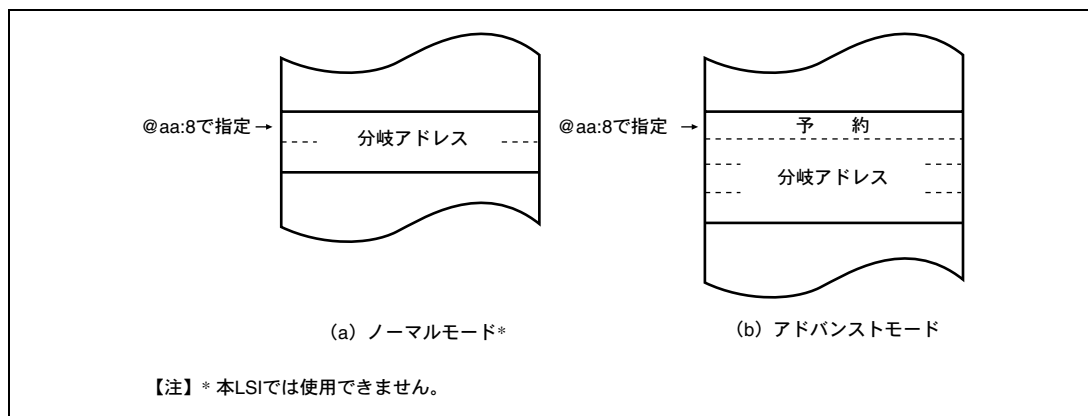


図 2.12 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】 本 LSI ではノーマルモードは使用できません。

表 2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)								
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。								
2	レジスタ間接 (@ERn) 										
3	ディスプレースメント付きレジスタ間接 @d:(d:16,ERn) / @:(d:32,ERn) 										
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ ・プリデクリメントレジスタ間接 @-ERn 										
		<table border="1"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

2. CPU

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8/#xx:16/#xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード* 		
	・アドバンスドモード 		

【注】* 本LSIでは使用できません。

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第20章 低消費電力状態」を参照してください。

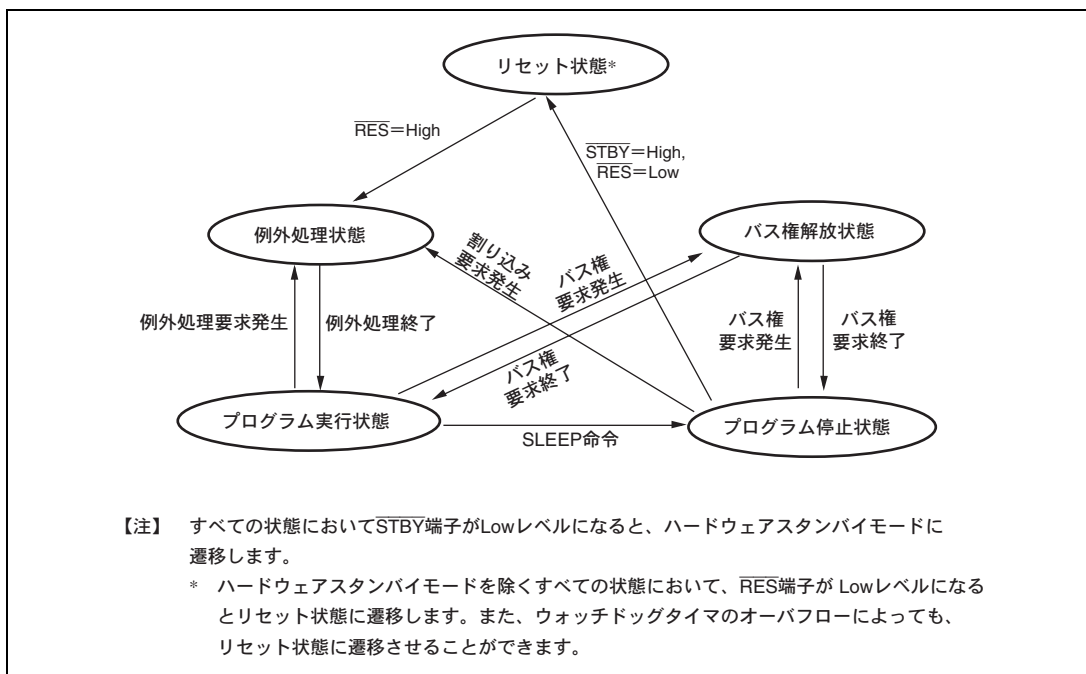


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI は、動作モード 7 のアドバンストシングルチップモードのみサポートしています。動作モードはモード端子（MD2、MD0）の設定で決まります。モード 7 以外は本 LSI では使用できません。したがって、表 3.1 のようにモード端子はすべて High レベルに固定してください。また、モード端子は動作中に変化させないでください。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
						初期値	最大値
7	1	1	アドバンストモード	シングルチップモード	有効	—	—

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- モードコントロールレジスタ（MDCR）
- システムコントロールレジスタ（SYSCR）

3.2.1 モードコントロールレジスタ（MDCR）

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット ライト時は必ず 1 としてください。
6~3	—	すべて 0	—	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。
2	MDS2	—	R	モード端子（MD2）の入カレベルを反映した値（現在の動作モード）を示しています。このビットは MD2 端子に対応します。このビットはリード専用でライトは無効です。MDCR をリードすると、MD2 の入カレベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
1	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	MDS0	—	R	モード端子（MD0）の入カレベルを反映した値（現在の動作モード）を示しています。このビットは MD0 端子に対応します。このビットはリード専用でライトは無効です。MDCR をリードすると、MD0 の入カレベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。

3. MCU 動作モード

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、割り込み制御モードの選択、NMI の検出エッジの選択、内蔵 RAM の有効／無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット ライト時は必ず0としてください。
6	—	0	—	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00：割り込み制御モード0 01：設定禁止 10：割り込み制御モード2 11：設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりエッジで割り込み要求を発生 1：NMI 入力の立ち上がりエッジで割り込み要求を発生
2、1	—	すべて0	—	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットはリセットを解除したとき初期化されます。 0：内蔵 RAM 無効 1：内蔵 RAM 有効

3.3 各動作モードの説明

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM が有効となり、外部アドレスは使用できません。すべての I/O ポートを入出力ポートとして使用できます。

3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

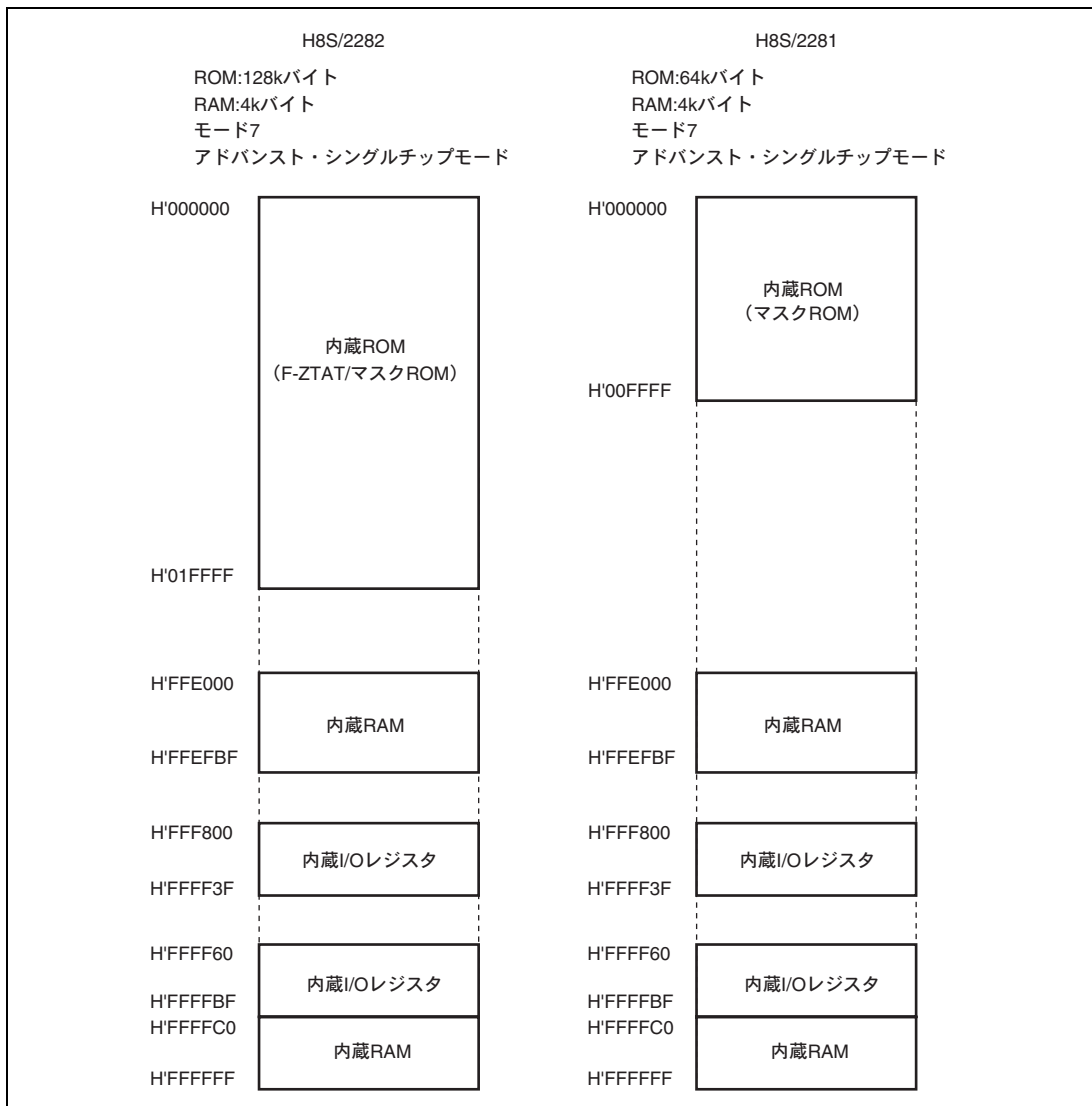


図 3.1 アドレスマップ (1)

3. MCU 動作モード

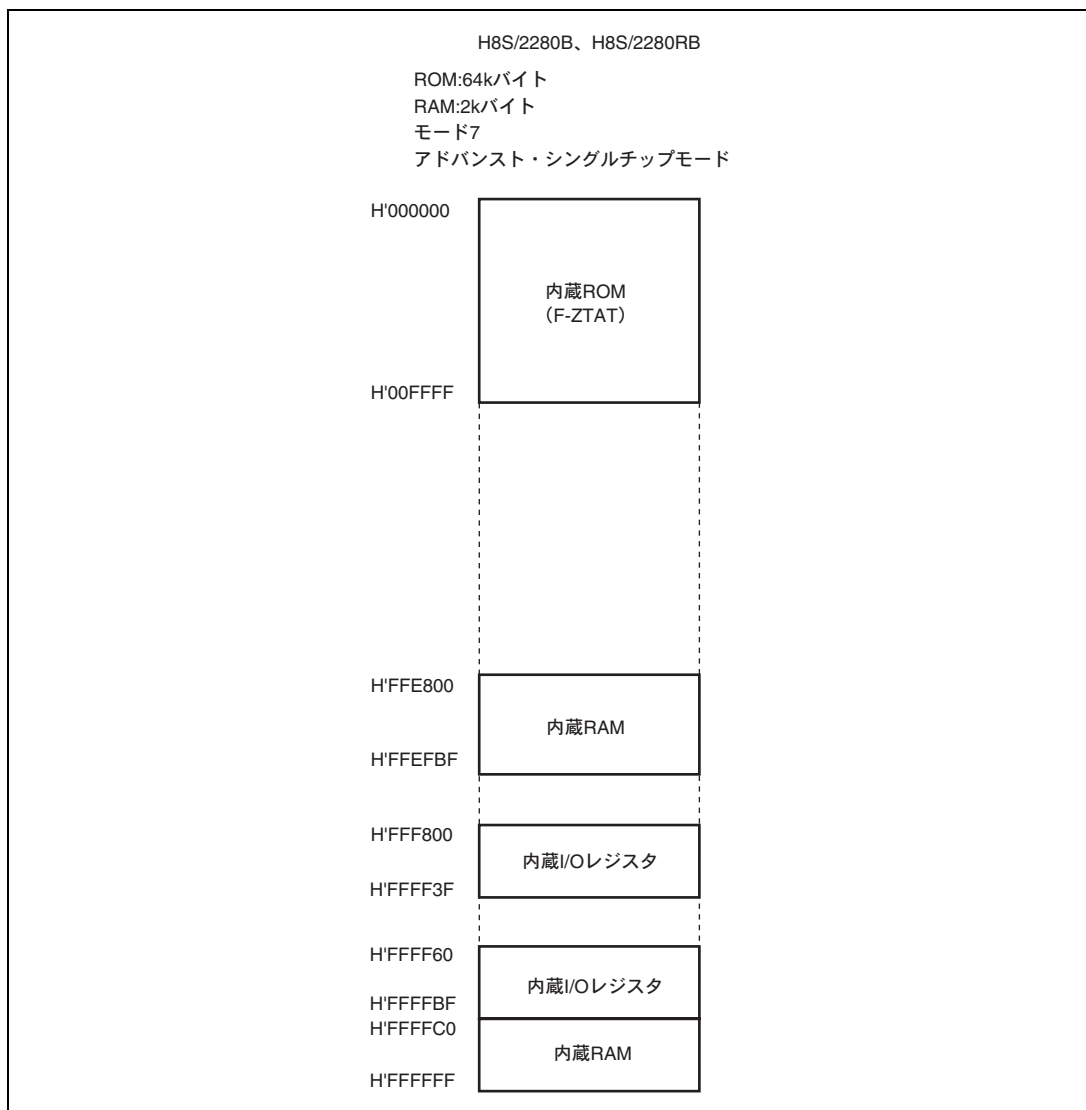


図 3.2 アドレスマップ (2)

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すように、リセット、トレース、割り込み、およびトラップ命令があります。これらの例外処理要因には表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 5 章 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 ↓ 低	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。 $\overline{\text{RES}}$ 端子が Low レベルのときリセット状態になります。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、命令または例外処理の実行終了時に開始します。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。

- 【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。
*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1	
		ノーマルモード*2	アドバンスモード
パワーオンリセット	0	H'0000~H'0001	H'0000~H'0003
マニュアルリセット*2	1	H'0002~H'0003	H'0004~H'0007
システム予約	2	H'0004~H'0005	H'0008~H'000B
	3	H'0006~H'0007	H'000C~H'000F
	4	H'0008~H'0009	H'0010~H'0013
トレース	5	H'000A~H'000B	H'0014~H'0017
割り込み（直接遷移）*3	6	H'000C~H'000D	H'0018~H'001B
割り込み（NMI）	7	H'000E~H'000F	H'001C~H'001F
トラップ命令（#0）	8	H'0010~H'0011	H'0020~H'0023
トラップ命令（#1）	9	H'0012~H'0013	H'0024~H'0027
トラップ命令（#2）	10	H'0014~H'0015	H'0028~H'002B
トラップ命令（#3）	11	H'0016~H'0017	H'002C~H'002F
システム予約	12	H'0018~H'0019	H'0030~H'0033
	13	H'001A~H'001B	H'0034~H'0037
	14	H'001C~H'001D	H'0038~H'003B
	15	H'001E~H'001F	H'003C~H'003F
外部割り込み IRQ0	16	H'0020~H'0021	H'0040~H'0043
外部割り込み IRQ1	17	H'0022~H'0023	H'0044~H'0047
外部割り込み IRQ2	18	H'0024~H'0025	H'0048~H'004B
外部割り込み IRQ3	19	H'0026~H'0027	H'004C~H'004F
外部割り込み IRQ4	20	H'0028~H'0029	H'0050~H'0053
外部割り込み IRQ5	21	H'002A~H'002B	H'0054~H'0057
システム予約	22	H'002C~H'002D	H'0058~H'005B
	23	H'002E~H'002F	H'005C~H'005F
内部割り込み*4	24	H'0030~H'0031	H'0060~H'0063
	127	H'00FE~H'00FF	H'01FC~H'01FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 直接遷移については、「20.10 直接遷移」を参照してください。

*4 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は「第 9 章 ウォッチドッグタイマ (WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

4. 例外処理

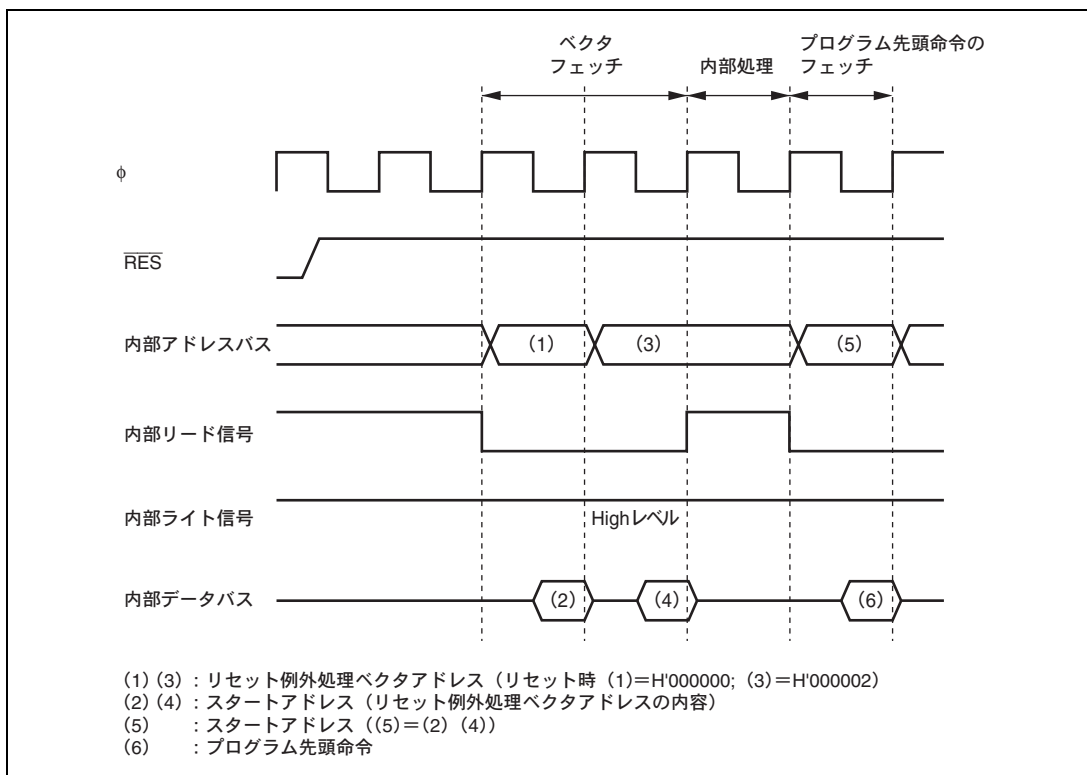


図 4.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

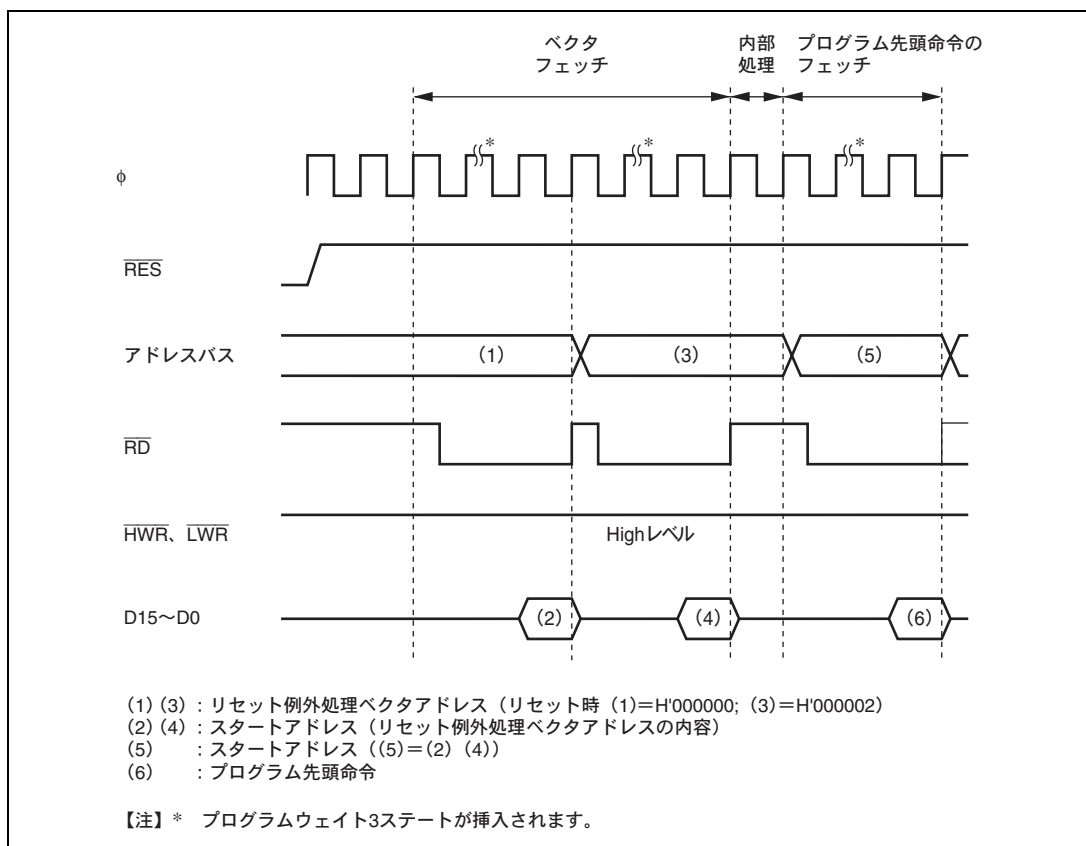


図 4.2 リセットシーケンス (アドバンスモード/内蔵 ROM 無効: 本 LSI では使用できません。)

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA~MSTPCRD*1 は H'3F、H'FF、H'FF、B'11*****に初期化され、すべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

【注】 *1 MSTPCRD のビット 5~0 の初期値は不定です。

4. 例外処理

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが命令を実行するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.3にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.3 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	—	—	—
2	1	—	—	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

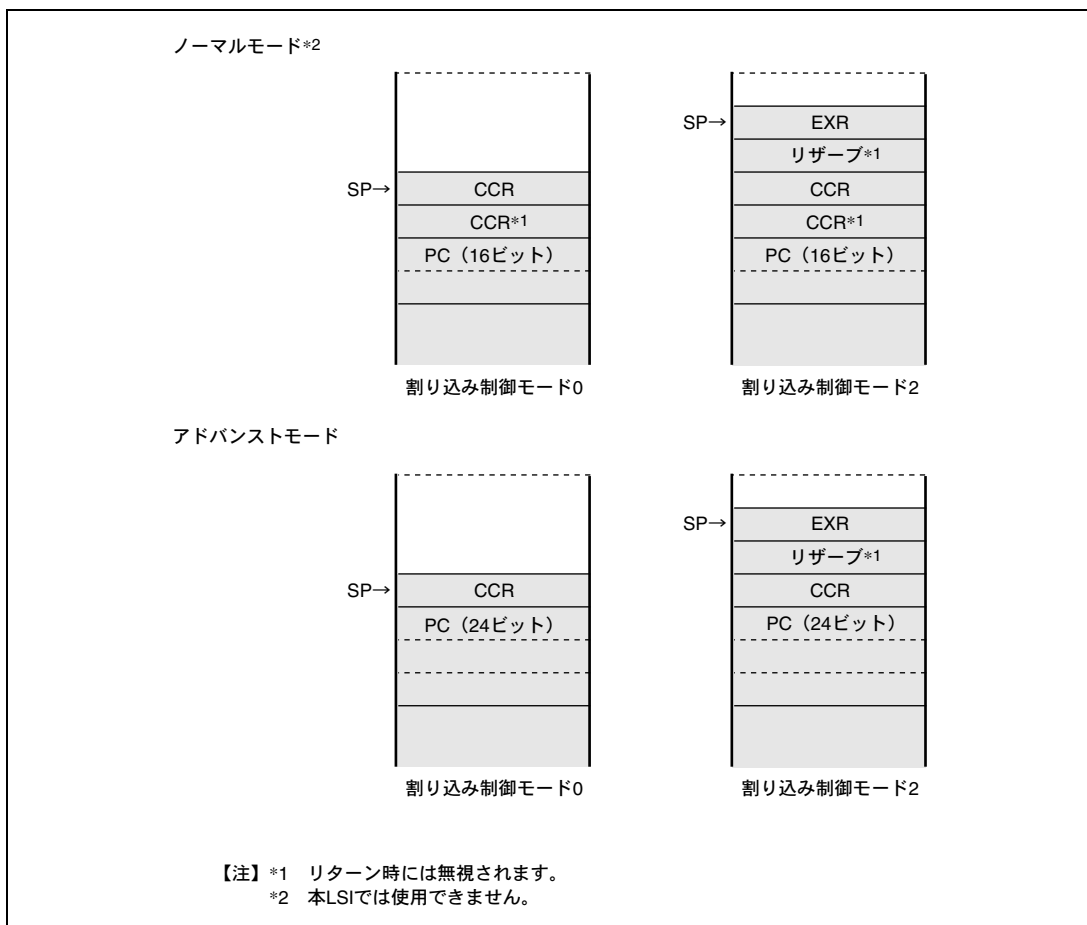


図 4.3 例外処理終了後のスタックの状態

4.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.4 に示します。

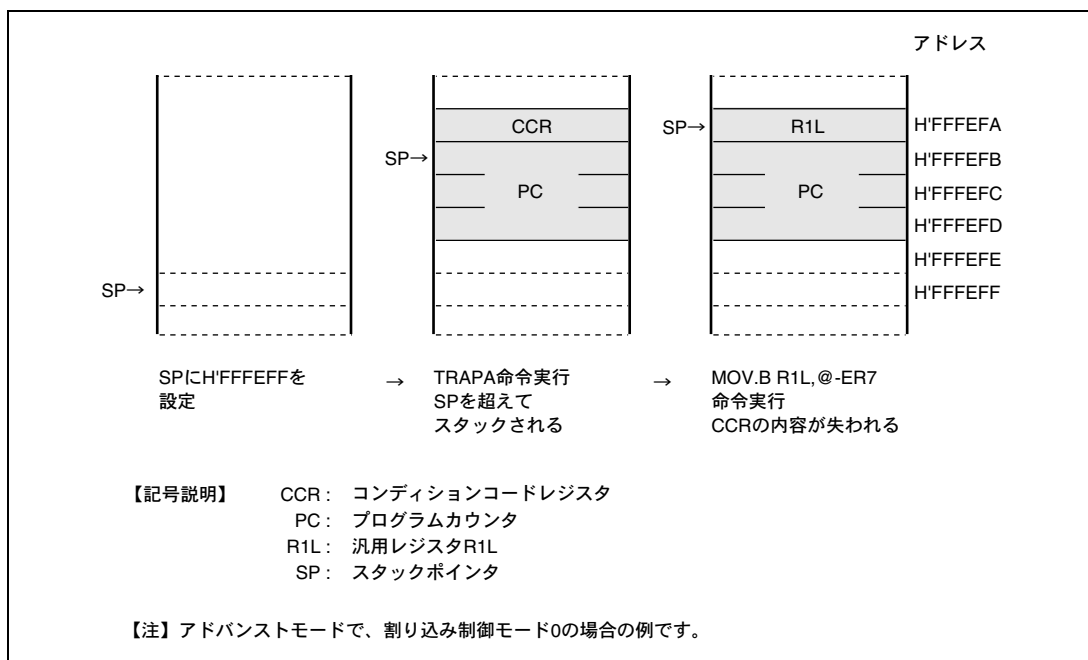


図 4.4 SP を奇数に設定したときの動作

4. 例外处理

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード
システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードをサポートしています。
- IPRにより、優先順位を設定可能
インタラプトプライオリティレジスタ (IPR) により、NMI以外の割り込み要求にはモジュールごとに8レベルの優先順位を設定できます。NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。
- 独立したベクタアドレス
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 7本の外部割り込み端子
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。IRQ5～IRQ0は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

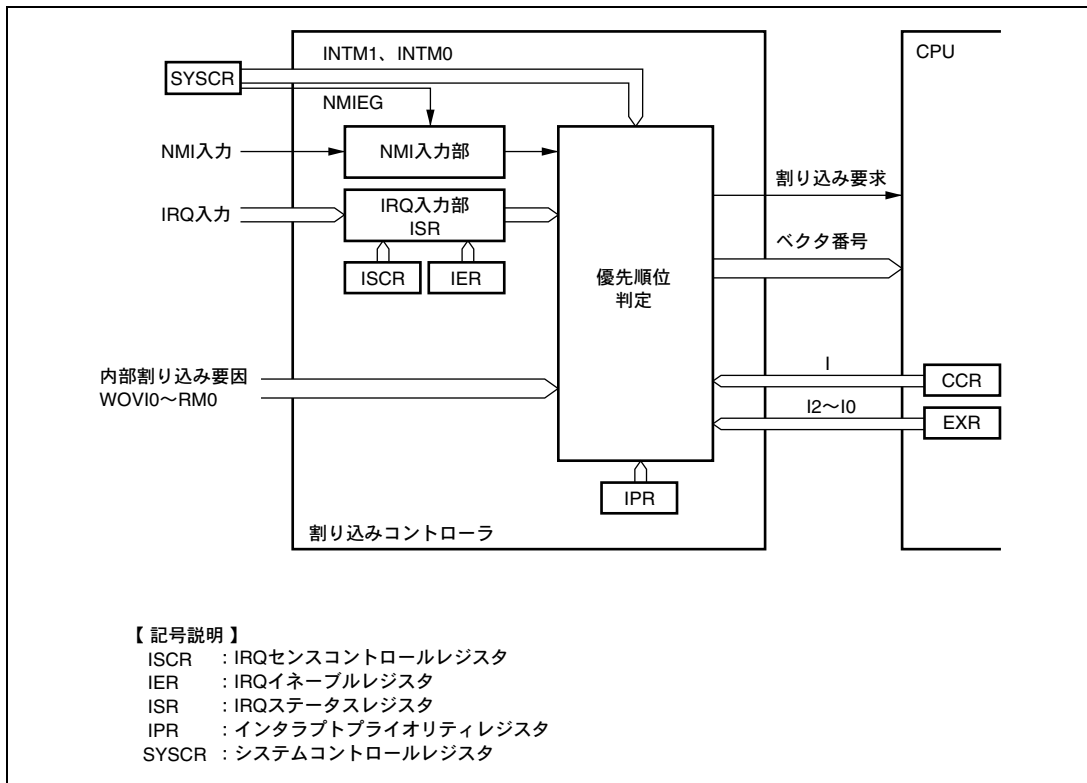


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスクابل外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
$\overline{\text{IRQ5}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能。
$\overline{\text{IRQ4}}$	入力	
$\overline{\text{IRQ3}}$	入力	
$\overline{\text{IRQ2}}$	入力	
$\overline{\text{IRQ1}}$	入力	
$\overline{\text{IRQ0}}$	入力	

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- システムコントロールレジスタ (SYSCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCR L)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)
- インタラプトプライオリティレジスタM (IPRM)

5. 割り込みコントローラ

5.3.1 インタラプトプライオリティレジスタ A~G、J、K、M (IPRA~IPRG、IPRJ、IPRK、IPRM)

IPR は、NMI を除く割り込み要因の優先順位（レベル7~0）を設定します。IPR には 10 本のレジスタがあります。各割り込み要因と IPR の対応については表 5.2 を参照してください。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット リードすると常に 0 がリードされます。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。
5	IPR5	1	R/W	000: 優先レベル 0 (最低)
4	IPR4	1	R/W	001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
3	—	0	—	リザーブビット リードすると常に 0 がリードされます。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。
1	IPR1	1	R/W	000: 優先レベル 0 (最低)
0	IPR0	1	R/W	001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)

5.3.2 IRQ イネーブルレジスタ (IER)

IER は、IRQ5~IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて 0	R/W	リザーブビット ライト時は必ず 0 としてください。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります。

5.3.3 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ5}}\sim\overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R/W	リザーブビット ライト時は必ず 0 としてください。
11	IRQ5SCB	0	R/W	IRQ5 センスコントロール B
10	IRQ5SCA	0	R/W	IRQ5 センスコントロール A 00 : $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
9	IRQ4SCB	0	R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ4SCA	0	R/W	
7	IRQ3SCB	0	R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00: $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00: $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ0SCA	0	R/W	

5.3.4 IRQ ステータスレジスタ (ISR)

ISR は、IRQ5～IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 0	R/W	リザーブビット ライト時は必ず 0 としてください。
5	IRQ5F	0	R/W	[セット条件]
4	IRQ4F	0	R/W	• ISCR で選択した割り込み要因が発生したとき
3	IRQ3F	0	R/W	[クリア条件]
2	IRQ2F	0	R/W	• 1 の状態をリードした後、0 をライトしたとき
1	IRQ1F	0	R/W	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき
0	IRQ0F	0	R/W	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ5～IRQ0 の 7 要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

(2) IRQ5～IRQ0 割り込み

IRQ5～IRQ0 割り込みは $\overline{\text{IRQ5}}\sim\overline{\text{IRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ5～IRQ0 割り込みには以下の特長があります。

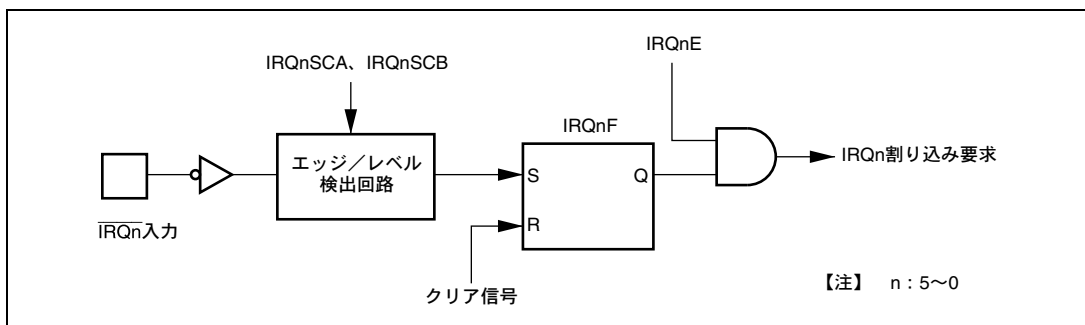
- $\overline{\text{IRQ5}}\sim\overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジ、および両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ5～IRQ0 割り込み要求は IER によりマスクできます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ5～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ5～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの

5. 割り込みコントローラ

機能の入出力端子としては使用しないでください。

IRQ5～IRQ0 割り込みのブロック図を図 5.2 に示します。



5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。

5.5 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。モジュール間の優先順位は、IPRにより変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位
			アドバンスト モード		
外部端子	NMI	7	H'001C		↑ 高
	IRQ0	16	H'0040	IPRA6~IPRA4	
	IRQ1	17	H'0044	IPRA2~IPRA0	
	IRQ2	18	H'0048	IPRB6~IPRB4	
	IRQ3	19	H'004C		
	IRQ4	20	H'0050	IPRB2~IPRB0	
	IRQ5	21	H'0054		
システム予約	—	22	H'0058		
	—	23	H'005C		
ウォッチドッグタイマ 0	WOVI0	25	H'0064	IPRD6~IPRD4	
A/D	ADI	28	H'0070	IPRE2~IPRE0	
ウォッチドッグタイマ 1	WOVI1	29	H'0074	IPRE2~IPRE0	
TPU チャンネル 0	TGIA_0	32	H'0080	IPRF6~IPRF4	
	TGIB_0	33	H'0084		
	TGIC_0	34	H'0088		
	TGID_0	35	H'008C		
	TCIV_0	36	H'0090		
TPU チャンネル 1	TGIA_1	40	H'00A0	IPRF2~IPRF0	
	TGIB_1	41	H'00A4		
	TCIV_1	42	H'00A8		
	TCIU_1	43	H'00AC		
TPU チャンネル 2	TGIA_2	44	H'00B0	IPRG6~IPRG4	
	TGIB_2	45	H'00B4		
	TCIV_2	46	H'00B8		
	TCIU_2	47	H'00BC		
SCI チャンネル 0	ERI_0	80	H'0140	IPRJ2~IPRJ0	
	RXI_0	81	H'0144		
	TXI_0	82	H'0148		
	TEI_0	83	H'014C		
SCI チャンネル 1	ERI_1	84	H'0150	IPRK6~IPRK4	
	RXI_1	85	H'0154		
	TXI_1	86	H'0158		
	TEI_1	87	H'015C		

低

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位
			アドバンスト モード		
PWM	CMI_1	104	H'01A0	IPRM6~IPRM4	高 ↑
	CMI_2	105	H'01A4		
システム予約	—	106	H'01A8		
	—	107	H'01AC		
HCAN*2	ERS0/OVR0, RM1, SLE0	108	H'01B0	IPRM2~IPRM0	↓ 低
	RM0 (メールボックス 0 受信)	109	H'01B4		
システム予約	—	111	H'01BC		

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 HCAN の割り込み要因は、H8S/2280 グループではリザーブとなります。

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード 0 と割り込み制御モード 2 の 2 種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択は SYSCR で行います。表 5.3 に割り込み制御モード 0 と割り込み制御モード 2 の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御 モード	割り込み優先 順位	割り込み マスクビット	説 明
0	デフォルト	1	各割り込み要因の優先順位はデフォルトで固定されています。 NMI を除く割り込み要因は 1 ビットによりマスクされます。
2	IPR	12~10	IPR により NMI を除く各割り込み要因に 8 レベルの優先順位を設定できます。 12~10 ビットにより、8 レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード 0

割り込み制御モード 0 では NMI を除く割り込み要求は CPU の CCR の I ビットによってマスクされます。割り込み受け付け動作のフローチャートを図 5.3 に示します。

1. 割り込みイネーブルビットが 1 にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPU の I ビットが 1 にセットされているときは、割り込みコントローラは NMI 以外の割り込み要求を保留します。I ビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択して CPU に対して割り込み処理を要求し、その他は保留します。

- CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
- 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
- CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
- CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

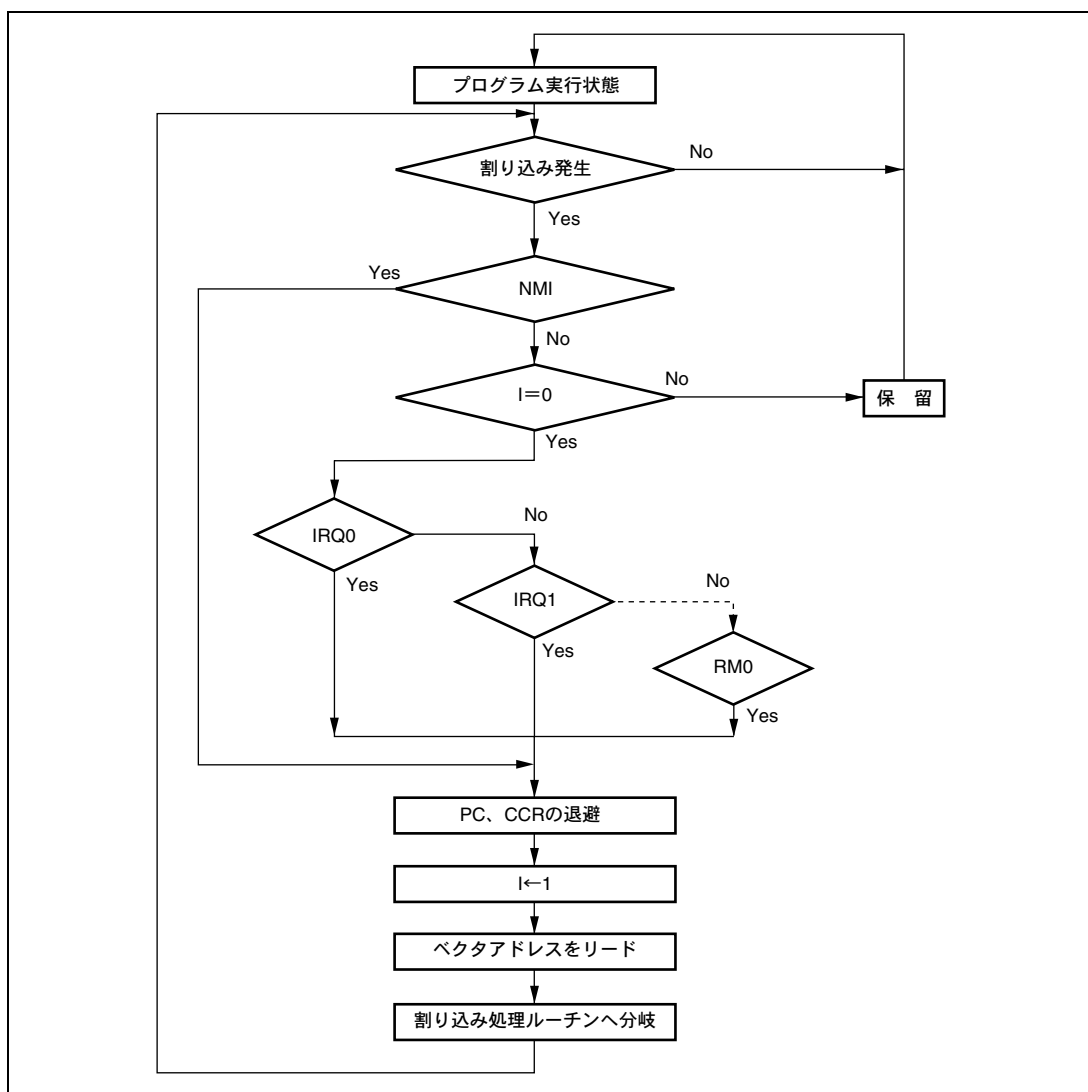


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.2 割り込み制御モード 2

割り込み制御モード 2 では NMI を除く割り込み要求は CPU の EXR の割り込みマスクレベル (I2~I0 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラはIPRに設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表5.3に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

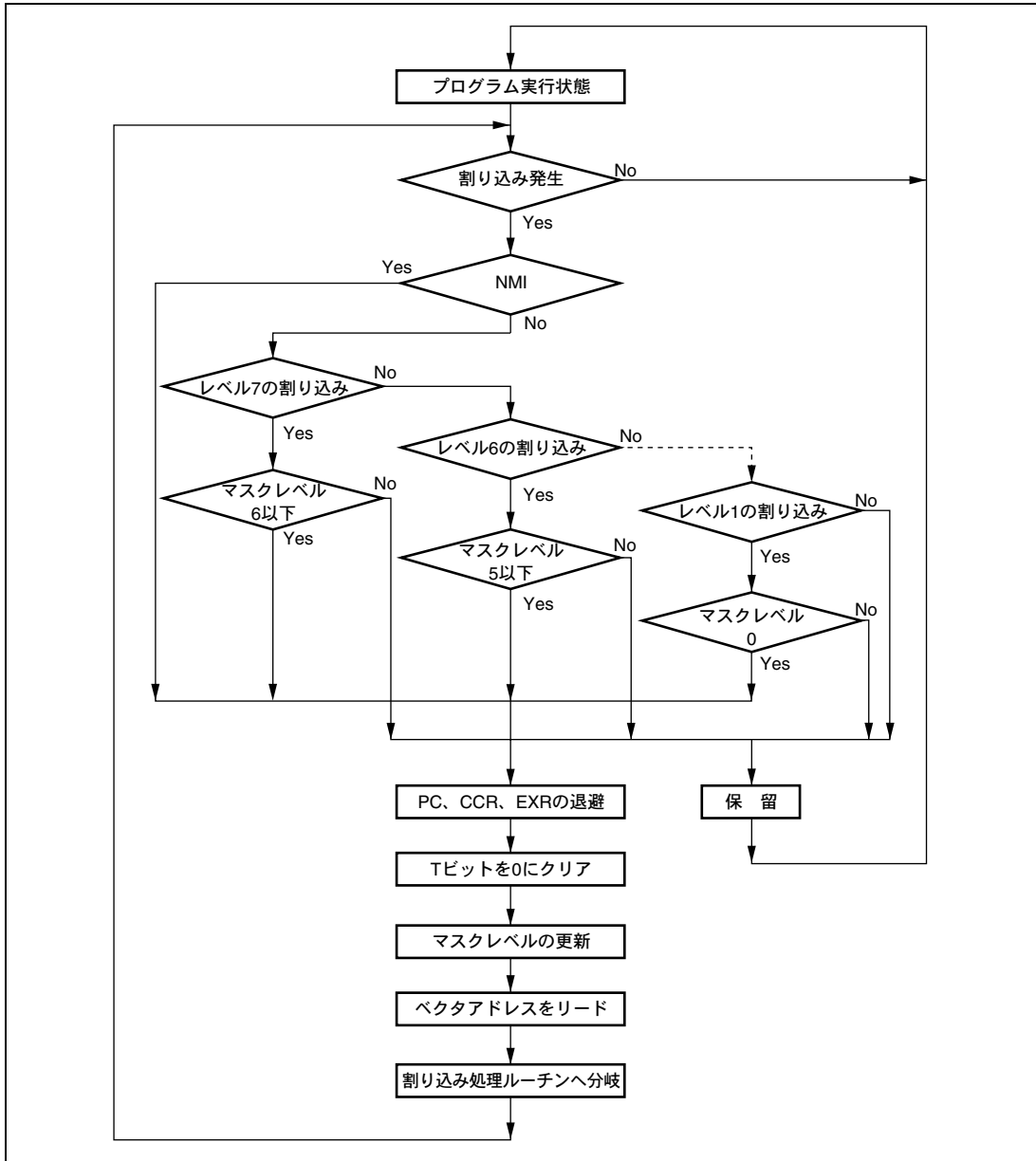


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.3 割り込み例外処理シーケンス

図 5.5 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0、プログラム領域、およびスタック領域が内蔵メモリの場合の例です。

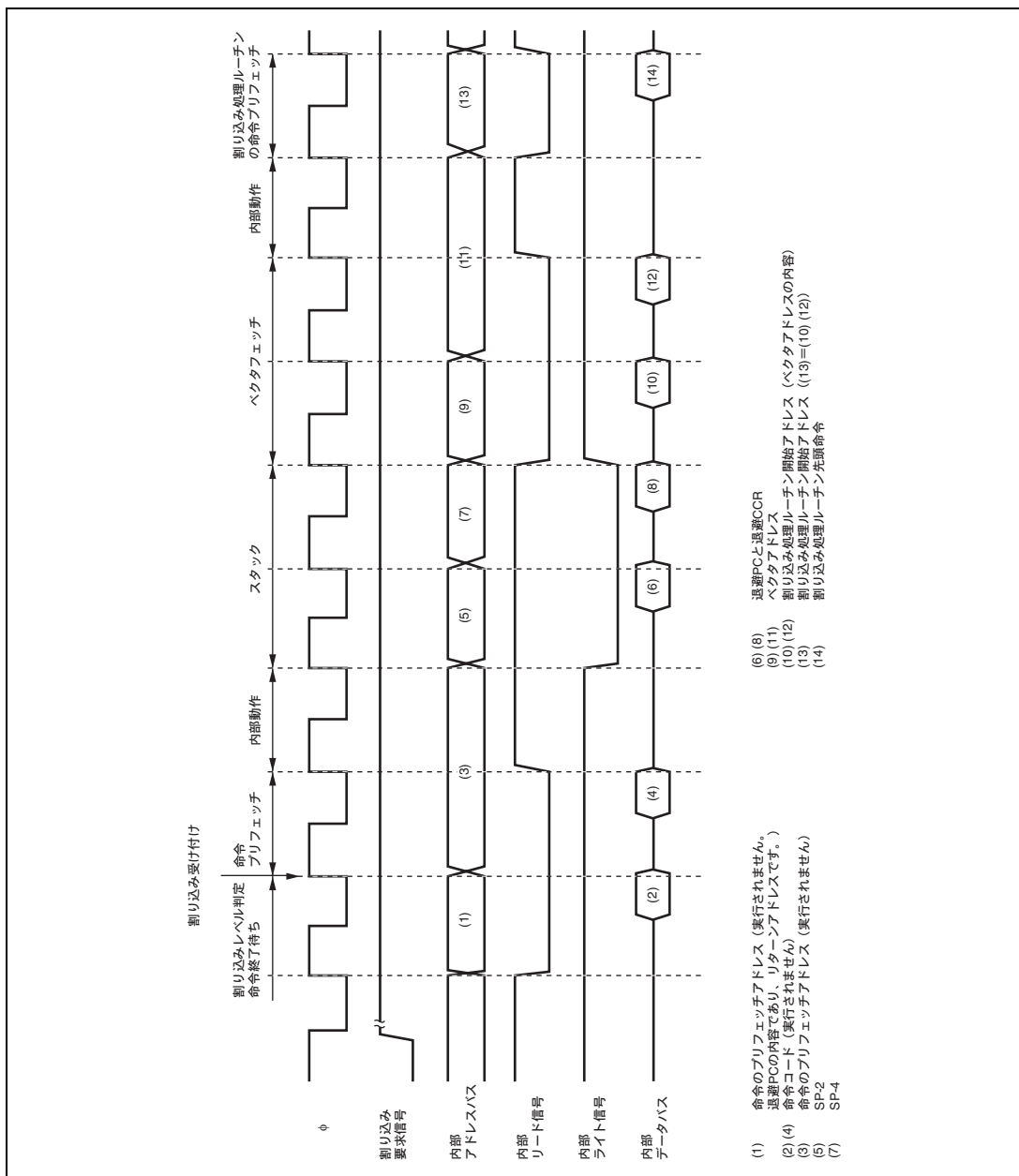


図 5.5 割り込み例外処理

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード* ⁵		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定* ¹	3			
2	実行中の命令が終了するまでの待ち状態数* ²	1~19+2・Si			
3	PC、CCR、および EXR のスタック	2・Sk	3・Sk	2・Sk	3・Sk
4	ベクタフェッチ	Si		2・Si	
5	命令フェッチ* ³	2・Si			
6	内部処理* ⁴	2			
合計（内蔵メモリ使用時）		11~31	12~32	12~32	13~33

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

*5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス*			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステートア クセス	2 ステートア クセス	3 ステートア クセス
命令フェッチ Si	1	4	6+2m	2	3+m
分岐アドレスリード Sj					
スタック操作 Sk					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

【注】 * 本 LSI では使用できません。

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER_0 の TCIEV を 0 にクリアする場合の例を図 5.6 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

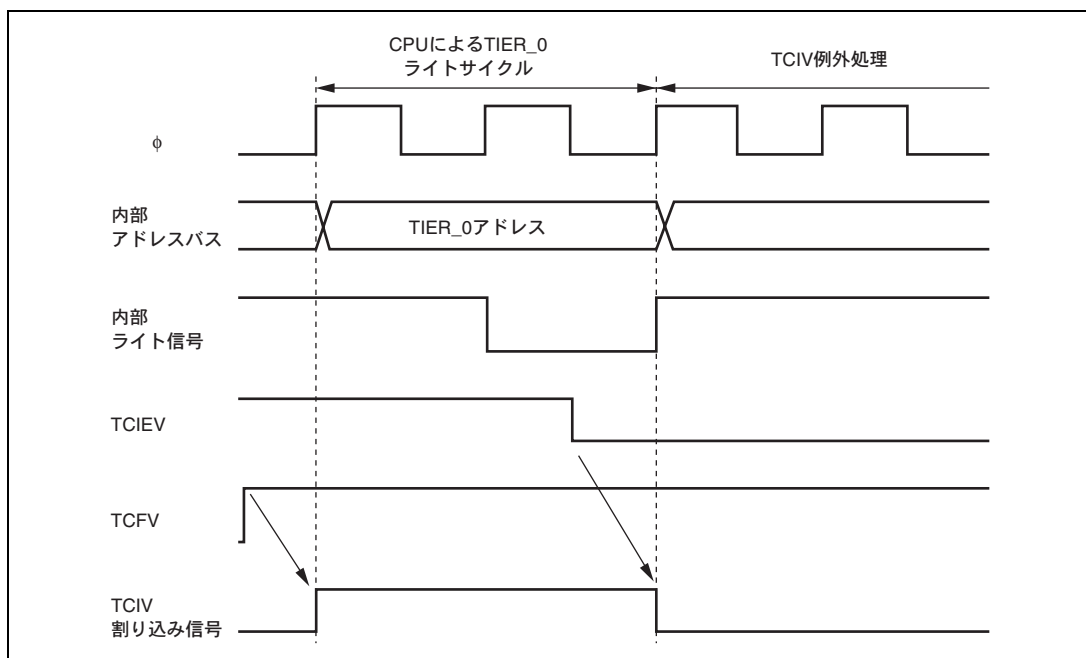


図 5.6 割り込みの発生とディスエーブルの競合

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:    EEPMOV.W
        MOV.WR4, R4
        BNEL1
```

5.7.5 IRQ 割り込みについて

クロック動作時、IRQ はクロック同期で入力を受け付けます。ソフトウェアスタンバイ時は非同期で入力を受け付けます。入力条件については、「22.3.2 制御信号タイミング」を参照してください。

5. 割り込みコントローラ

6. バスコントローラ

CPUはシステムクロック(ϕ)を基準に動作します。メモリサイクルまたはバスサイクルはバスコントローラによって制御され、内蔵メモリ、内蔵周辺モジュールによってそれぞれ異なるアクセスを行います。また、バスコントローラはバス権調停機能をもっており、内部バスマスタである動作を制御します。

6.1 基本動作タイミング

ϕ の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは1、2または3、4ステートで構成され、内蔵メモリ、内蔵周辺モジュールによってそれぞれ異なるアクセスを行います。

6.1.1 内蔵メモリアクセスタイミング (ROM、RAM)

内蔵メモリのアクセスは1ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図6.1に示します。

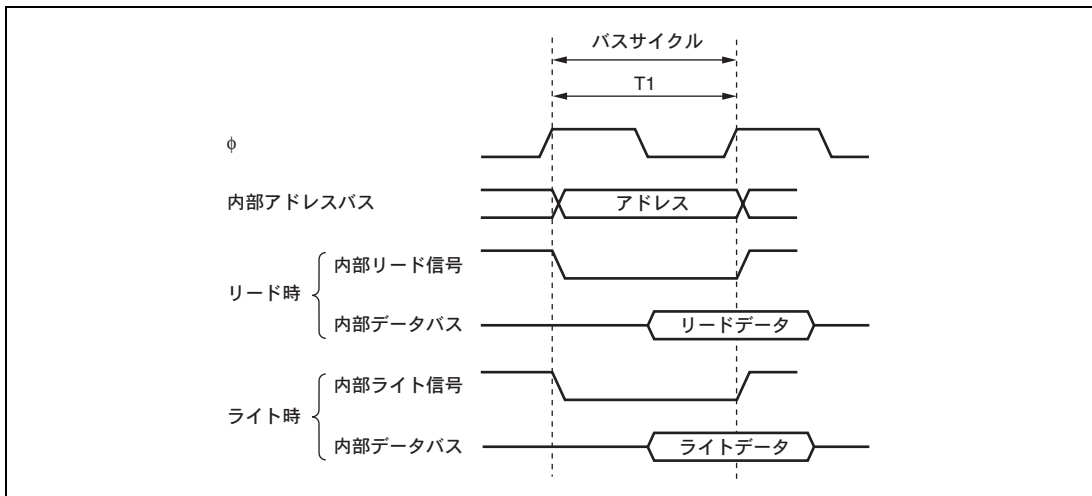


図 6.1 内蔵メモリアクセスサイクル

6. バスコントローラ

6.1.2 内蔵周辺モジュールアクセスタイミング

HCAN、PWM、LCD、ポート H、J を除く内蔵周辺モジュールのアクセスは 2 ステートで行います。このとき、データバス幅は 8 ビットまたは 16 ビットで内部 I/O レジスタにより異なります。詳細は「第 21 章 レジスタ一覧」を参照してください。内蔵周辺モジュールアクセスタイミングを図 6.2 に示します。

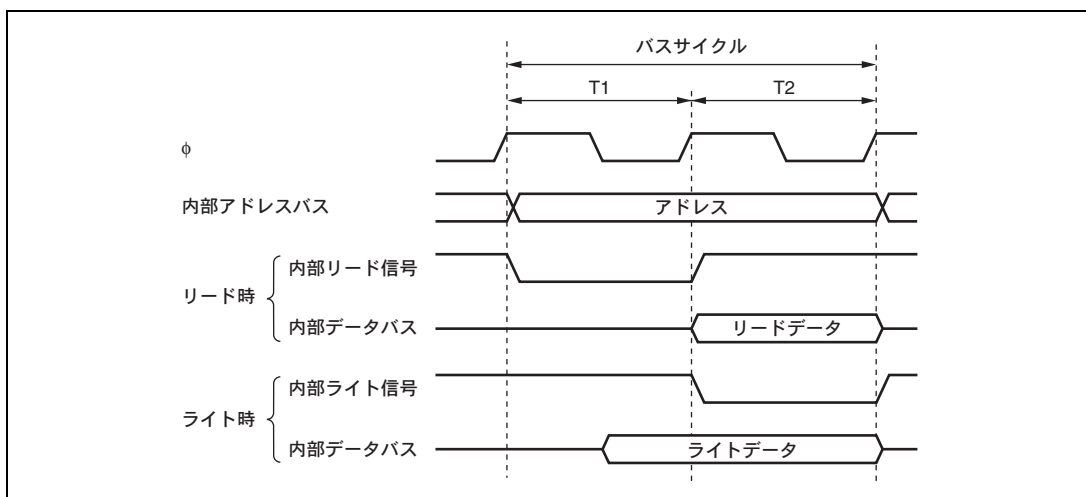


図 6.2 内蔵周辺モジュールアクセスサイクル

6.1.3 内蔵 HCAN モジュールアクセスタイミング

内蔵 HCAN モジュールのアクセスは 4 ステートで行います。このとき、データバス幅は 16 ビットです。また、HCAN からのウェイト要求により、ウェイトステートが挿入されます。内蔵 HCAN モジュールアクセスタイミングを図 6.3 に示します。

【注】 H8S/2280 グループには HCAN はありません。

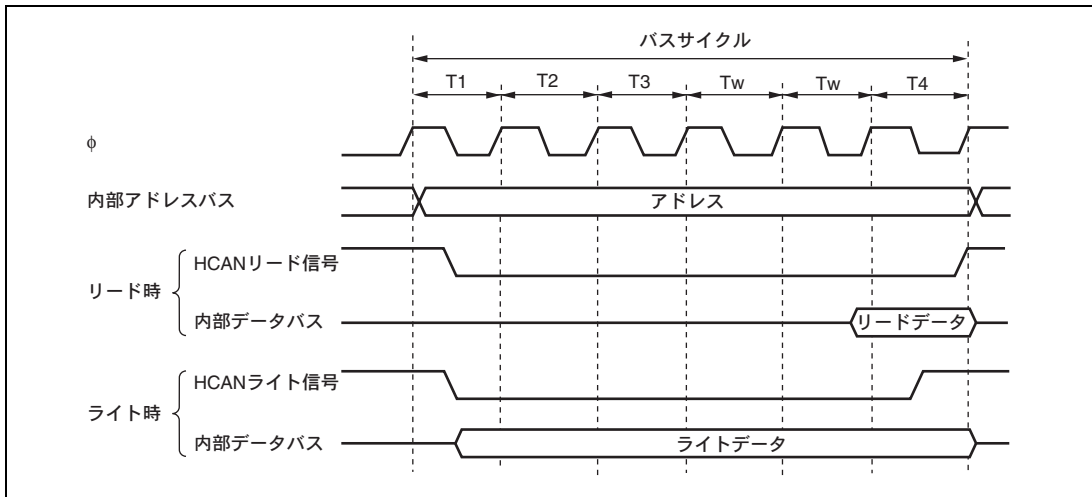


図 6.3 内蔵 HCAN モジュールアクセスサイクル (ウェイトステートあり)

6.1.4 内蔵 PWM、LCD、ポート H、J モジュールアクセスタイミング

内蔵 PWM、LCD、ポート H、J モジュールのアクセスは 4 ステートで行います。このとき、データバス幅は 16 ビットです。PWM、LCD、ポート H、J モジュールアクセスタイミングを図 6.4 に示します。

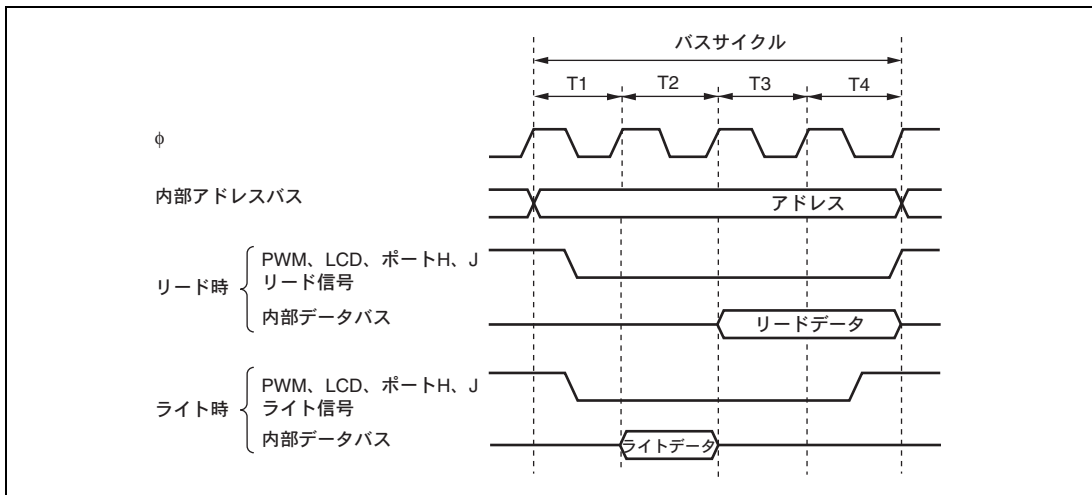


図 6.4 内蔵 PWM、LCD、ポート H、J モジュールアクセスサイクル

7. I/O ポート

H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) のポート機能一覧を表 7.1 に示します。H8S/2280 グループ (HD64F2280RB) のポート機能一覧を表 7.2 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート 3、A～C にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン/オフを選択できます。

すべてのポートは 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

7. I/O ポート

表 7.1 H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) のポートの機能一覧

ポート名	概 要	端子名 (兼用端子機能)	入出力形態他
ポート 1	TPU_0、TPU_1、TPU_2 入出力端子、 割り込み入力端子と兼用汎用入出力 ポート	P17/TIOCB2/TCLKD	
		P16/TIOCA2/ \overline{IRQT}	
		P15/TIOCB1/TCLKC	
		P14/TIOCA1/ $\overline{IRQ0}$	
		P13/TIOCD0/TCLKB	
		P12/TIOCC0/TCLKA	
		P11/TIOCB0	
		P10/TIOCA0	
ポート 3	SCI_0、SCI_1 入出力端子、割り込み 入力端子と兼用汎用入出力ポート	P35/SCK1/ $\overline{IRQ5}$	プッシュプル/オープンドレイン出力
		P34/RxD1	
		P33/TxD1	
		P32/SCK0/ $\overline{IRQ4}$	
		P31/RxD0	
		P30/TxD0	
ポート 4	A/D 変換器のアナログ入力端子と 兼用汎用入力ポート	P47/AN7	
		P46/AN6	
		P45/AN5	
		P44/AN4	
		P43/AN3	
		P42/AN2	
		P41/AN1	
		P40/AN0	
ポート A	LCD のセグメント、COMMON 出力端子と 兼用汎用入出力ポート	PA7/SEG28	プッシュプル/オープンドレイン出力
		PA6/SEG27	
		PA5/SEG26	
		PA4/SEG25	
		PA3/COM4	
		PA2/COM3	
		PA1/COM2	
		PA0/COM1	

ポート名	概要	端子名 (兼用端子機能)	入出力形態他
ポート B	LCD のセグメント出力端子と 兼用汎用入出力ポート	PB7/SEG20	プッシュプル/オープンドレイン出力
		PB6/SEG19	
		PB5/SEG18	
		PB4/SEG17	
		PB3/SEG16	
		PB2/SEG15	
		PB1/SEG14	
		PB0/SEG13	
ポート C	LCD のセグメント出力端子と 兼用汎用入出力ポート	PC7/SEG12	プッシュプル/オープンドレイン出力
		PC6/SEG11	
		PC5/SEG10	
		PC4/SEG9	
		PC3/SEG8	
		PC2/SEG7	
		PC1/SEG6	
		PC0/SEG5	
ポート D	LCD のセグメント出力端子と 兼用汎用入出力ポート	PD7/SEG4	
		PD6/SEG3	
		PD5/SEG2	
		PD4/SEG1	
ポート F	割り込み入力端子、A/D 変換器の スタートトリガ入力端子、LCD の セグメント出力端子、およびシステム クロック出力端子と兼用汎用入出力 ポート	PF7/ ϕ	
		PF6/SEG24	
		PF5/SEG23	
		PF4/SEG22	
		PF3/ $\overline{\text{ADTRG}}$ / $\overline{\text{IRQ3}}$	
		PF2/SEG21	
		PF1*	
		PF0/ $\overline{\text{IRQ2}}$ *	

7. I/O ポート

ポート名	概 要	端子名 (兼用端子機能)	入出力形態他
ポート H	PWM_1 出力端子と 兼用汎用入出力ポート	PH7/PWM1H	
		PH6/PWM1G	
		PH5/PWM1F	
		PH4/PWM1E	
		PH3/PWM1D	
		PH2/PWM1C	
		PH1/PWM1B	
		PH0/PWM1A	
ポート J	PWM_2 出力端子と 兼用汎用入出力ポート	PJ7/PWM2H	
		PJ6/PWM2G	
		PJ5/PWM2F	
		PJ4/PWM2E	
		PJ3/PWM2D	
		PJ2/PWM2C	
		PJ1/PWM2B	
		PJ0/PWM2A	

【注】 * H8S/2282 グループには本端子はありません。

表 7.2 H8S/2280 グループ (HD64F2280RB) のポートの機能一覧

ポート名	概 要	端子名 (兼用端子機能)	入出力形態他
ポート 1	TPU_0、TPU_1、TPU_2 入出力端子、 割り込み入力端子と兼用汎用入出力 ポート	P17/TIOCB2/TCLKD	
		P16/TIOCA2/ $\overline{\text{IRQ1}}$	
		P15/TIOCB1/TCLKC	
		P14/TIOCA1/ $\overline{\text{IRQ0}}$	
		P13/TIOCD0/TCLKB	
		P12/TIOCC0/TCLKA	
		P11/TIOCB0	
		P10/TIOCA0	
ポート 3	SCI_0、SCI_1 入出力端子、割り込み 入力端子と兼用汎用入出力ポート	P35/SCK1/ $\overline{\text{IRQ5}}$	プッシュプル/オープンドレイン出力
		P34/RxD1	
		P33/TxD1	
		P32/SCK0/ $\overline{\text{IRQ4}}$	
		P31/RxD0	
		P30/TxD0	
ポート 4	A/D 変換器のアナログ入力端子と LCD のセグメント出力端子と 兼用汎用入力ポート	P47/AN7	
		P46/AN6	
		P45/AN5	
		P44/AN4	
		P43/AN3	
		P42/AN2	
		P41/SEG4	
		P40/SEG3	
ポート A	LCD のセグメント、COMMON 出力端子と 兼用汎用入出力ポート	PA7/SEG32	プッシュプル/オープンドレイン出力
		PA6/SEG31	
		PA5/SEG30	
		PA4/SEG29	
		PA3/COM4	
		PA2/COM3	
		PA1/COM2	
		PA0/COM1	

7. I/O ポート

ポート名	概要	端子名 (兼用端子機能)	入出力形態他
ポート B	LCD のセグメント出力端子と 兼用汎用入出力ポート	PB7/SEG24	プッシュプル/オープンドレイン出力
		PB6/SEG23	
		PB5/SEG22	
		PB4/SEG21	
		PB3/SEG20	
		PB2/SEG19	
		PB1/SEG18	
		PB0/SEG17	
ポート C	LCD のセグメント出力端子と 兼用汎用入出力ポート	PC7/SEG16	プッシュプル/オープンドレイン出力
		PC6/SEG15	
		PC5/SEG14	
		PC4/SEG13	
		PC3/SEG12	
		PC2/SEG11	
		PC1/SEG10	
		PC0/SEG9	
ポート D	LCD のセグメント出力端子と 兼用汎用入出力ポート	PD7/SEG8	
		PD6/SEG7	
		PD5/SEG6	
		PD4/SEG5	
ポート F	割り込み入力端子、A/D 変換器の スタートトリガ入力端子、LCD の セグメント出力端子およびシステム クロック出力端子と兼用汎用入出力 ポート	PF7/ ϕ	
		PF6/SEG28	
		PF5/SEG27	
		PF4/SEG26	
		PF3/ADTRG/ $\overline{\text{IRQ3}}$	
		PF2/SEG25	
		PF1/SEG2	
		PF0/SEG1/ $\overline{\text{IRQ2}}$	

ポート名	概要	端子名 (兼用端子機能)	入出力形態他
ポート H	PWM_1 出力端子と 兼用汎用入出力ポート	PH7/PWM1H	
		PH6/PWM1G	
		PH5/PWM1F	
		PH4/PWM1E	
		PH3/PWM1D	
		PH2/PWM1C	
		PH1/PWM1B	
		PH0/PWM1A	
ポート J	PWM_2 出力端子と 兼用汎用入出力ポート	PJ7/PWM2H	
		PJ6/PWM2G	
		PJ5/PWM2F	
		PJ4/PWM2E	
		PJ3/PWM2D	
		PJ2/PWM2C	
		PJ1/PWM2B	
		PJ0/PWM2A	

7. I/Oポート

7.1 ポート 1

ポート1は8ビットの兼用入出力ポートです。ポート1には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第21章 レジスタ一覧」を参照してください。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

7.1.1 ポート1データディレクションレジスタ (P1DDR)

P1DDRは、ポート1の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

7.1.2 ポート1データレジスタ (P1DR)

P1DRは、ポート1の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

7.1.3 ポート1レジスタ (PORT1)

PORT1 は、ポート1の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P17	不定*	R	このレジスタをリードすると、P1DDR がセットされているビットは P1DR の値がリードされます。P1DDR がクリアされているビットは端子の状態が読み出されます。
6	P16	不定*	R	
5	P15	不定*	R	
4	P14	不定*	R	
3	P13	不定*	R	
2	P12	不定*	R	
1	P11	不定*	R	
0	P10	不定*	R	

【注】 * P17～P10 端子の状態により決定されます。

7.1.4 端子機能

ポート1はTPU_0、TPU_1、TPU_2 入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P17/TIOCB2/TCLKD

TMDR_2 の MD3～MD0 ビット、TIOR_2 の IOB3～IOB0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャネル2の設定、TCR_0 の TPSC2～TPSC0 ビット、および P17DDR ビットの組み合わせにより次のように切り替わります。

TPU チャネル2の設定	下表 (1)	下表 (2)	
P17DDR	—	0	1
端子機能	TIOCB2 出力	P17 入力	P17 出力
		TIOCB2 入力* ¹	
	TCLKD 入力* ²		

TPU チャネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプットコンペア出力	—	—	PWM モード2 出力	—

【記号説明】 x : Don't Care

【注】 *¹ MD3～MD0=B'0000、B'01xx かつ IOB3=1 のときに TIOCB2 入力となります。

7. I/O ポート

*2 TCR_0 の TPSC2~TPSC0=B'111 のときに TCLKD 入力となります。また、チャンネル 2 を位相計数モードに設定すると、TCLKD 入力となります。

- P16/TIOCA2/ $\overline{\text{IRQ1}}$

TMDR_2 の MD3~MD0 ビット、TIOR_2 の IOA3~IOA0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、および P16DDR ビットの組み合わせにより次のように切り替わります。

TPU チャンネル 2 の設定	下表 (1)	下表 (2)	
P16DDR	—	0	1
端子機能	TIOCA2 出力	P16 入力	P16 出力
		TIOCA2 入力*1	
		IRQ1 入力	

TPU チャンネル 2 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0		B'0000、B'01xx	B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプットコンペア出力	—	PWM モード 1 出力*2	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3=1 のときに TIOCA2 入力となります。

*2 TIOCB2 は出力禁止となります。

- P15/TIOCB1/TCLKC

TMDR_1 の MD3~MD0 ビット、TIOR_1 の IOB3~IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR_0、TCR_2 の TPSC2~TPSC0 ビット、および P15DDR ビットの組み合わせにより次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)	
P15DDR	—	0	1
端子機能	TIOCB1 出力	P15 入力	P15 出力
		TIOCB1 入力*1	
	TCLKC 入力*2		

TPU チャンネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプットコンペア出力	—	—	PWMモード2出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx のときに TIOCB1 入力となります。

*2 TCR_0、TCR_2 のいずれかの設定が TPSC2~TPSC0=B'110 のときに TCLKC 入力となります。また、チャンネル 2 を位相計数モードに設定すると、TCLKC 入力となります。

7. I/O ポート

- P14/TIOCA1/ $\overline{\text{IRQ0}}$

TMDR_1 の MD3~MD0 ビット、TIOR_1 の IOA3~IOA0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、および P14DDR ビットの組み合わせにより次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)	
P14DDR	—	0	1
端子機能	TIOCA1 出力	P14 入力	P14 出力
		TIOCA1 入力* ¹	
		$\overline{\text{IRQ0}}$ 入力	

TPU チャンネル 1 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプットコンペア出力	—	PWM モード 1 出力* ²	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx のときに TIOCA1 入力となります。

*2 TIOCB1 は出力禁止となります。

- P13/ TIOCD0/TCLKB

TMDR_0のMD3～MD0ビット、TIORL_0のIOD3～IOD0ビット、TCR_0のCCLR2～CCLR0ビットによるTPUチャンネル0の設定、TCR_0～TCR_2のTPSC2～TPSC0ビット、およびP13DDRビットの組み合わせにより次のように切り替わります。

TPUチャンネル0の設定	下表 (1)	下表 (2)	
P13DDR	—	0	1
端子機能	TIOCD0 出力	P13 入力	P13 出力
		TIOCD0 入力*1	
	TCLKB 入力*2		

TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOD3～IOD0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプットコンペア出力	—	—	PWMモード2出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3～MD0=B'0000、かつ IOD3～IOD0=B'10xx のときに TIOCD0 入力となります。

*2 TCR_0～TCR_2のいずれかの設定が TPSC2～TPSC0=B'101 の場合に TCLKB 入力となります。また、チャンネル1を位相計数モードに設定すると、TCLKB 入力となります。

7. I/O ポート

- P12/TIOCC0/TCLKA

TMDR_0 の MD3~MD0 ビット、TIORL_0 の IOC3~IOC0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0~TCR_2 の TPSC2~TPSC0 ビット、および P12DDR ビットの組み合わせにより次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)		下表 (2)	
P12DDR	-		0	1
端子機能	TIOCC0 出力		P12 入力	P12 出力
			TIOCC0 入力* ¹	
	TCLKA 入力* ²			

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	-	-	-	-	B'101 以外	B'101
出力機能	-	アウトプットコンペア出力	-	PWM モード 1 出力* ³	PWM モード 2 出力	-

【記号説明】 x : Don't Care

- 【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx のときに TIOCC0 入力となります。
- *2 TCR_0~TCR_2 のいずれかの設定が TPSC2~TPSC0=B'100 の場合に TCLKA 入力となります。また、チャンネル 1 を位相計数モードに設定すると、TCLKA 入力となります。
- *3 TIOCC0 は出力禁止となります。TMDR_0 の BFA=1 または BFB=1 のときは出力禁止で、(2) の設定になります。

- P11/TIOCB0

TMDR_0のMD3～MD0ビット、TIORH_0のIOB3～IOB0ビット、TCR_0のCCLR2～CCLR0ビットによるTPUチャンネル0の設定、およびP11DDRビットの組み合わせにより次のように切り替わります。

TPUチャンネル0の設定	下表 (1)	下表 (2)	
P11DDR	—	0	1
端子機能	TIOCB0 出力	P11 入力	P11 出力
		TIOCB0 入力*	

TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプットコンペア出力	—	—	PWMモード2出力	—

【記号説明】 x : Don't Care

【注】 * MD3～MD0=B'0000、かつ IOB3～IOB0=B'10xxのときに TIOCB0 入力となります。

7. I/O ポート

- P10/TIOCA0

TMDR_0 の MD3~MD0 ビット、TIORH_0 の IOA3~IOA0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、および P10DDR ビットの組み合わせにより次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)	
P10DDR	—	0	1
端子機能	TIOCA0 出力	P10 入力	P10 出力
		TIOCA0 入力*1	

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプットコンペア出力	—	PWM モード 1 出力*2	PWM モード 2 出力	—

【記号説明】 x : Don't Care

【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx のときに TIOCA0 入力となります。

*2 TIOCB0 は出力禁止となります。

7.2 ポート3

ポート3は6ビットの兼用入出力ポートです。ポート3には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第21章 レジスタ一覧」を参照してください。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)

7.2.1 ポート3データディレクションレジスタ (P3DDR)

P3DDRは、ポート3の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7、6	—	不定	—	リザーブビット リードすると不定値が読み出されます。
5	P35DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

7.2.2 ポート3データレジスタ (P3DR)

P3DRは、ポート3の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7、6	—	不定	—	リザーブビット リードすると不定値が読み出されます。
5	P35DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

7. I/Oポート

7.2.3 ポート3レジスタ (PORT3)

PORT3は、ポート3の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7, 6	—	不定	—	リザーブビット リードすると不定値が読み出されます。
5	P35	不定*	R	このレジスタをリードすると、P3DDRがセットされているビットは、P3DRの値がリードされます。P3DDRがクリアされているビットは端子の状態が読み出されます。
4	P34	不定*	R	
3	P33	不定*	R	
2	P32	不定*	R	
1	P31	不定*	R	
0	P30	不定*	R	

【注】 * P35～P30端子の状態により決定されます。

7.2.4 ポート3オープンドレインコントロールレジスタ (P3ODR)

P3ODRは、ポート3の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7, 6	—	不定	—	リザーブビット リードすると不定値が読み出されます。
5	P35ODR	0	R/W	1にセットすると対応する端子のPMOSは常にオフ状態となり、出力に設定するとオープンドレイン出力となります。0にクリアされている端子は出力に設定するとプッシュプル出力となります。
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

7.2.5 端子機能

ポート 3 は SCI_0、SCI_1 入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P35/SCK1/ $\overline{\text{IRQ5}}$

SCI_1 の SMR の C/\overline{A} ビット、SCR の CKE0、CKE1 ビット、および P35DDR ビットの組み合わせにより次のように切り替わります。

CKE1	0				1
C/\overline{A}	0			1	—
CKE0	0		1	—	—
P35DDR	0	1	—	—	—
端子機能	P35 入力	P35 出力	SCK1 出力	SCK1 出力	SCK1 入力
	$\overline{\text{IRQ5}}$ 入力				

- P34/RxD1

SCI_1 の SCR の RE ビットと P34DDR ビットの組み合わせにより次のように切り替わります。

RE	0		1
P34DDR	0	1	—
端子機能	P34 入力	P34 出力	RxD1 入力

- P33/TxD1

SCI_1 の SCR の TE ビットと P33DDR ビットの組み合わせにより次のように切り替わります。

TE	0		1
P33DDR	0	1	—
端子機能	P33 入力	P33 出力	TxD1 出力

- P32/SCK0/ $\overline{\text{IRQ4}}$

SCI_0 の SMR の C/\overline{A} ビット、SCR の CKE0、CKE1 ビット、および P32DDR ビットの組み合わせにより次のように切り替わります。

CKE1	0				1
C/\overline{A}	0			1	—
CKE0	0		1	—	—
P32DDR	0	1	—	—	—
端子機能	P32 入力	P32 出力	SCK0 出力	SCK0 出力	SCK0 入力
	$\overline{\text{IRQ4}}$ 入力				

7. I/O ポート

- P31/RxD0

SCI_0 の SCR の RE ビットと P31DDR ビットの組み合わせにより次のように切り替わります。

RE	0		1
P31DDR	0	1	—
端子機能	P31 入力	P31 出力	RxD0 入力

- P30/TxD0

SCI_0 の SCR の TE ビットと P30DDR ビットの組み合わせにより次のように切り替わります。

TE	0		1
P30DDR	0	1	—
端子機能	P30 入力	P30 出力	TxD0 出力

7.3 ポート 4

ポート4は8ビットのアナログ入力およびLCDのセグメント出力端子*と兼用の入力ポートです。ポート4には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第21章 レジスタ一覧」を参照してください。

- ポート4レジスタ (PORT4)

【注】 * H8S/2280 グループ (HD64F2280RB) のみです。

7.3.1 ポート4レジスタ (PORT4)

PORT4は、ポート4の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P47	不定*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P46	不定*	R	
5	P45	不定*	R	
4	P44	不定*	R	
3	P43	不定*	R	
2	P42	不定*	R	
1	P41	不定*	R	
0	P40	不定*	R	

【注】 * P47～P40 端子の状態により決定されます。

7.3.2 端子機能

- (1) H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の場合

ポート4はアナログ入力端子と兼用の入力ポートになっています。

- (2) H8S/2280 グループ (HD64F2280RB) の場合

ポート4はアナログ入力端子およびLCDのセグメント出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P47/AN7、P46/AN6、P45/AN5、P44/AN4、P43/AN3、P42/AN2

アナログ入力端子と兼用の入力ポートになっています。

- P41/SEG4、P40/SEG3

LCDのLPCRのSGS3～SGS0ビットにより次のように切り替わります。

SGS3～SGS0	0111 以外	0111
端子機能	P41、P40 入力	SGS4、SGS3 出力

7. I/Oポート

7.4 ポート A

ポート A は 8 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- ポート A データディレクションレジスタ (PADDR)
- ポート A データレジスタ (PADR)
- ポート A レジスタ (PORTA)
- ポート A オープンドレインコントロールレジスタ (PAODR)

7.4.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

7.4.2 ポート A データレジスタ (PADR)

PADR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PA7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

7.4.3 ポート A レジスタ (PORTA)

PORTA は、ポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PA7	不定*	R	このレジスタをリードすると、PADDR がセットされているビットは PADDR の値がリードされます。PADDR がクリアされているビットは端子の状態が読み出されます。
6	PA6	不定*	R	
5	PA5	不定*	R	
4	PA4	不定*	R	
3	PA3	不定*	R	
2	PA2	不定*	R	
1	PA1	不定*	R	
0	PA0	不定*	R	

【注】 * PA7～PA0 端子の状態により決定されます。

7.4.4 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR は、ポート A の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	1 にセットすると対応する端子の PMOS は常にオフ状態となり、出力に設定するとオープンドレイン出力となります。0 にクリアされている端子は出力に設定するとプッシュプル出力となります。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

7. I/O ポート

7.4.5 H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能

ポート A は LCD のセグメント出力端子、コモン出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PA7/SEG28、PA6/SEG27、PA5/SEG26、PA4/SEG25

LCD の LPCR の SGS3～SGS0 ビット、および PAnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000		0000 以外
PAnDDR	0	1	—
端子機能	PA7～PA4 入力	PA7～PA4 出力	SEG28～SEG25 出力

(n=7～4)

- PA3/COM4、PA2/COM3、PA1/COM2、PA0/COM1

LCD の LPCR の SGS3～SGS0 ビット、および PAnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000		0000 以外
PAnDDR	0	1	—
端子機能	PA3～PA0 入力	PA3～PA0 出力	COM4～COM1 出力

(n=3～0)

7.4.6 H8S/2280 グループ (HD64F2280RB) の端子機能

ポート A は LCD のセグメント出力端子、コモン出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PA7/SEG32、PA6/SEG31、PA5/SEG30、PA4/SEG29

LCD の LPCR の SGS3～SGS0 ビット、および PAnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000		0000 以外
PAnDDR	0	1	—
端子機能	PA7～PA4 入力	PA7～PA4 出力	SEG32～SEG29 出力

(n=7～4)

- PA3/COM4、PA2/COM3、PA1/COM2、PA0/COM1

LCD の LPCR の SGS3~SGS0 ビット、および PAnDDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000		0000 以外
PAnDDR	0	1	—
端子機能	PA3~PA0 入力	PA3~PA0 出力	COM4~COM1 出力

(n=3~0)

7.5 ポート B

ポート B は 8 ビットの兼用入出力ポートです。ポート B には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B オープンドレインコントロールレジスタ (PBODR)

7.5.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR は、ポート B の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

7. I/Oポート

7.5.2 ポート B データレジスタ (PBDR)

PBDR は、ポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

7.5.3 ポート B レジスタ (PORTB)

PORTB は、ポート B の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	不定*	R	このレジスタをリードすると、PBDDR がセットされているビットは PBDR の値がリードされます。PBDDR がクリアされているビットは端子の状態が読み出されます。
6	PB6	不定*	R	
5	PB5	不定*	R	
4	PB4	不定*	R	
3	PB3	不定*	R	
2	PB2	不定*	R	
1	PB1	不定*	R	
0	PB0	不定*	R	

【注】 * PB7～PB0 端子の状態により決定されます。

7.5.4 ポート B オープンドレインコントロールレジスタ (PBODR)

PBODR は、ポート B の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PB7ODR	0	R/W	1 にセットすると対応する端子の PMOS は常にオフ状態となり、出力に設定するとオープンドレイン出力となります。0 にクリアされている端子は出力に設定するとプッシュプル出力となります。
6	PB6ODR	0	R/W	
5	PB5ODR	0	R/W	
4	PB4ODR	0	R/W	
3	PB3ODR	0	R/W	
2	PB2ODR	0	R/W	
1	PB1ODR	0	R/W	
0	PB0ODR	0	R/W	

7.5.5 H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能

ポート B は LCD のセグメント出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/SEG20、PB6/SEG19、PB5/SEG18、PB4/SEG17

LCD の LPCR の SGS3~SGS0 ビット、および PBnDDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000、0001		0000、0001 以外
PBnDDR	0	1	—
端子機能	PB7~PB4 入力	PB7~PB4 出力	SEG20~SEG17 出力

(n=7~4)

- PB3/SEG16、PB2/SEG15、PB1/SEG14、PB0/SEG13

LCD の LPCR の SGS3~SGS0 ビット、および PBnDDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000~0010		0000~0010 以外
PBnDDR	0	1	—
端子機能	PB3~PB0 入力	PB3~PB0 出力	SEG16~SEG13 出力

(n=3~0)

7. I/O ポート

7.5.6 H8S/2280 グループ (HD64F2280RB) の端子機能

ポート B は LCD のセグメント出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/SEG24、PB6/SEG23、PB5/SEG22、PB4/SEG21

LCD の LPCR の SGS3～SGS0 ビット、および PBnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000、0001		0000、0001 以外
PBnDDR	0	1	—
端子機能	PB7～PB4 入力	PB7～PB4 出力	SEG24～SEG21 出力

(n=7～4)

- PB3/SEG20、PB2/SEG19、PB1/SEG18、PB0/SEG17

LCD の LPCR の SGS3～SGS0 ビット、および PBnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000～0010		0000～0010 以外
PBnDDR	0	1	—
端子機能	PB3～PB0 入力	PB3～PB0 出力	SEG20～SEG17 出力

(n=3～0)

7.6 ポート C

ポート C は 8 ビットの兼用入出力ポートです。ポート C には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C データレジスタ (PCDR)
- ポート C レジスタ (PORTC)
- ポート C オープンドレインコントロールレジスタ (PCODR)

7.6.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR は、ポート C の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PC7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	
4	PC4DDR	0	W	
3	PC3DDR	0	W	
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

7.6.2 ポート C データレジスタ (PCDR)

PCDR は、ポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

7. I/Oポート

7.6.3 ポートCレジスタ (PORTC)

PORTC は、ポートCの端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PC7	不定*	R	このレジスタをリードすると、PCDDR がセットされているビットはPCDR の値がリードされます。PCDDR がクリアされているビットは端子の状態が読み出されます。
6	PC6	不定*	R	
5	PC5	不定*	R	
4	PC4	不定*	R	
3	PC3	不定*	R	
2	PC2	不定*	R	
1	PC1	不定*	R	
0	PC0	不定*	R	

【注】 * PC7～PC0 端子の状態により決定されます。

7.6.4 ポートCオープンドレインコントロールレジスタ (PCODR)

PCODR は、ポートCの出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PC7ODR	0	R/W	1にセットすると対応する端子のPMOSは常にオフ状態となり、出力に設定するとオープンドレイン出力となります。0にクリアされている端子は出力に設定するとプッシュプル出力となります。
6	PC6ODR	0	R/W	
5	PC5ODR	0	R/W	
4	PC4ODR	0	R/W	
3	PC3ODR	0	R/W	
2	PC2ODR	0	R/W	
1	PC1ODR	0	R/W	
0	PC0ODR	0	R/W	

7.6.5 H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能

ポート C は LCD のセグメント出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/SEG12、PC6/SEG11、PC5/SEG10、PC4/SEG9

LCD の LPCR の SGS3～SGS0 ビット、および PCnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000～0011		0000～0011 以外
PCnDDR	0	1	—
端子機能	PC7～PC4 入力	PC7～PC4 出力	SEG12～SEG9 出力

(n=7～4)

- PC3/SEG8、PC2/SEG7、PC1/SEG6、PC0/SEG5

LCD の LPCR の SGS3～SGS0 ビット、および PCnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000～0100		0000～0100 以外
PCnDDR	0	1	—
端子機能	PC3～PC0 入力	PC3～PC0 出力	SEG8～SEG5 出力

(n=3～0)

7.6.6 H8S/2280 グループ (HD64F2280RB) の端子機能

ポート C は LCD のセグメント出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/SEG16、PC6/SEG15、PC5/SEG14、PC4/SEG13

LCD の LPCR の SGS3～SGS0 ビット、および PCnDDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000～0011		0000～0011 以外
PCnDDR	0	1	—
端子機能	PC7～PC4 入力	PC7～PC4 出力	SEG16～SEG13 出力

(n=7～4)

7. I/O ポート

- PC3/SEG12、PC2/SEG11、PC1/SEG10、PC0/SEG9

LCD の LPCR の SGS3~SGS0 ビット、および PCnDDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000~0100		0000~0100 以外
PCnDDR	0	1	—
端子機能	PC3~PC0 入力	PC3~PC0 出力	SEG12~SEG9 出力

(n=3~0)

7.7 ポート D

ポート D は 4 ビットの兼用入出力ポートです。ポート D には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)

7.7.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR は、ポート D の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PD7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3~0	—	不定	—	リザーブビット リードすると不定値が読み出されます。

7.7.2 ポート D データレジスタ (PDDR)

PDDR は、ポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3~0	—	不定	—	リザーブビット リードすると不定値が読み出されます。

7.7.3 ポート D レジスタ (PORTD)

PORTD は、ポート D の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PD7	不定*	R	このレジスタをリードすると、PDDDR がセットされているビットは PDDR の値がリードされます。PDDDR がクリアされているビットは端子の状態が読み出されます。
6	PD6	不定*	R	
5	PD5	不定*	R	
4	PD4	不定*	R	
3~0	—	不定	—	リザーブビット リードすると不定値が読み出されます。

【注】 * PD7~PD4 端子の状態により決定されます。

7.7.4 H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能

ポート D は LCD のセグメント出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PD7/SEG4、PD6/SEG3、PD5/SEG2、PD4/SEG1

LCD の LPCR の SGS3~SGS0 ビット、および PDnDDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0110 以外		0110
PDnDDR	0	1	—
端子機能	PD7~PD4 入力	PD7~PD4 出力	SEG4~SEG1 出力

(n=7~4)

7.7.5 H8S/2280 グループ (HD64F2280RB) の端子機能

ポート D は LCD のセグメント出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PD7/SEG8、PD6/SEG7、PD5/SEG6、PD4/SEG5

LCD の LPCR の SGS3~SGS0 ビット、および PDnDDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0110、0111 以外		0110、0111
PDnDDR	0	1	—
端子機能	PD7~PD4 入力	PD7~PD4 出力	SEG8~SEG5 出力

(n=7~4)

7. I/Oポート

7.8 ポート F

ポート F は 8 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)

7.8.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると PF7 端子は出力端子となり、0 にクリアすると入力ポートになります。
6	PF6DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR*	0	W	
0	PF0DDR*	0	W	

【注】 * H8S/2282 グループでは、リザーブビットとなります。リードすると不定値が読み出されます。

7.8.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット ライト時は必ず 0 としてください。
6	PF6DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR*	0	R/W	
0	PF0DR*	0	R/W	

【注】 * H8S/2282 グループでは、リザーブビットとなります。リードすると不定値が読み出されます。

7.8.3 ポート F レジスタ (PORTF)

PORTF は、ポート F の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PF7	不定*1	R	このレジスタをリードすると、PFDDR がセットされているビットは PFDDR の値がリードされます。PFDDR がクリアされているビットは端子の状態が読み出されます。
6	PF6	不定*1	R	
5	PF5	不定*1	R	
4	PF4	不定*1	R	
3	PF3	不定*1	R	
2	PF2	不定*1	R	
1	PF1*2	不定*1	R	
0	PF0*2	不定*1	R	

【注】 *1 PF7～PF0 端子の状態により決定されます。

*2 H8S/2282 グループでは、リザーブビットとなります。リードすると不定値が読み出されます。

7.8.4 H8S/2282 グループ、H8S/2280 グループ (HD64F2280B) の端子機能

ポート F は、割り込み入力端子、A/D 変換器のスタートトリガ入力端子、LCD のセグメント出力端子、およびシステムクロック出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PF7/φ

PF7DDR により次のように切り替わります。

PF7DDR	0	1
端子機能	PF7 入力	φ出力

- PF6/SEG24

LCD の LPCR の SGS3～SGS0 ビット、および PF6DDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000		0000 以外
PF6DDR	0	1	—
端子機能	PF6 入力	PF6 出力	SEG24 出力

- PF5/SEG23

LCD の LPCR の SGS3～SGS0 ビット、および PF5DDR ビットの組み合わせにより次のように切り替わります。

SGS3～SGS0	0000		0000 以外
PF5DDR	0	1	—
端子機能	PF5 入力	PF5 出力	SEG23 出力

7. I/O ポート

- PF4/SEG22

LCD の LPCR の SGS3~SGS0 ビット、および PF4DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000		0000 以外
PF4DDR	0	1	—
端子機能	PF4 入力	PF4 出力	SEG22 出力

- PF3/ADTRG/ $\overline{\text{IRQ3}}$

A/D 変換器の ADCR の TRGS1、TRGS0 ビット、および PF3DDR ビットの組み合わせにより次のように切り替わります。

PF3DDR	0	1
端子機能	PF3 入力	PF3 出力
	$\overline{\text{ADTRG}}$ 入力*	
	$\overline{\text{IRQ3}}$ 入力	

【注】 * TRGS1=1、TRGS0=1 のとき $\overline{\text{ADTRG}}$ 入力となります。

- PF2/SEG21

LCD の LPCR の SGS3~SGS0 ビット、および PF2DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000		0000 以外
PF2DDR	0	1	—
端子機能	PF2 入力	PF2 出力	SEG21 出力

- PF1 (H8S/2280グループ (HD64F2280B) のみ)

PF1DDR により次のように切り替わります。

PF1DDR	0	1
端子機能	PF1 入力	PF1 出力

- PF0/ $\overline{\text{IRQ2}}$ (H8S/2280グループ (HD64F2280B) のみ)

PF0DDR により次のように切り替わります。

PF0DDR	0	1
端子機能	PF0 入力	PF0 出力
	$\overline{\text{IRQ2}}$ 入力	

7.8.5 H8S/2280 グループ (HD64F2280RB) の端子機能

ポート F は、割り込み入力端子、A/D 変換器のスタートトリガ入力端子、LCD のセグメント出力端子、およびシステムクロック出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PF7/ ϕ

PF7DDR により次のように切り替わります。

PF7DDR	0	1
端子機能	PF7 入力	ϕ 出力

- PF6/SEG28

LCD の LPCR の SGS3~SGS0 ビット、および PF6DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000		0000 以外
PF6DDR	0	1	—
端子機能	PF6 入力	PF6 出力	SEG28 出力

- PF5/SEG27

LCD の LPCR の SGS3~SGS0 ビット、および PF5DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000		0000 以外
PF5DDR	0	1	—
端子機能	PF5 入力	PF5 出力	SEG27 出力

- PF4/SEG26

LCD の LPCR の SGS3~SGS0 ビット、および PF4DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000		0000 以外
PF4DDR	0	1	—
端子機能	PF4 入力	PF4 出力	SEG26 出力

7. I/O ポート

- PF3/ADTRG/ $\overline{\text{IRQ3}}$

A/D 変換器の ADCR の TRGS1、TRGS0 ビットおよび PF3DDR ビットの組み合わせにより次のように切り替わります。

PF3DDR	0	1
端子機能	PF3 入力	PF3 出力
	$\overline{\text{ADTRG}}$ 入力*	
	$\overline{\text{IRQ3}}$ 入力	

【注】 * TRGS1=1、TRGS0=1 のとき $\overline{\text{ADTRG}}$ 入力となります。

- PF2/SEG25

LCD の LPCR の SGS3~SGS0 ビット、および PF2DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0000		0000 以外
PF2DDR	0	1	—
端子機能	PF2 入力	PF2 出力	SEG25 出力

- PF1/SEG2

LCD の LPCR の SGS3~SGS0 ビット、および PF1DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0111 以外		0111
PF1DDR	0	1	—
端子機能	PF1 入力	PF1 出力	SEG2 出力

- PF0/ $\overline{\text{IRQ2}}$ /SEG1

LCD の LPCR の SGS3~SGS0 ビット、および PF0DDR ビットの組み合わせにより次のように切り替わります。

SGS3~SGS0	0111 以外		0111
PF0DDR	0	1	—
端子機能	PF0 入力	PF0 出力	SEG1 出力
	$\overline{\text{IRQ2}}$ 入力		

7.9 ポート H

ポート H は 8 ビットの兼用入出力ポートです。ポート H には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- ポート H データディレクションレジスタ (PHDDR)
- ポート H データレジスタ (PHDR)
- ポート H レジスタ (PORTH)

7.9.1 ポート H データディレクションレジスタ (PHDDR)

PHDDR は、ポート H の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PH7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PH6DDR	0	W	
5	PH5DDR	0	W	
4	PH4DDR	0	W	
3	PH3DDR	0	W	
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

7.9.2 ポート H データレジスタ (PHDR)

PHDR は、ポート H の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PH7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PH6DR	0	R/W	
5	PH5DR	0	R/W	
4	PH4DR	0	R/W	
3	PH3DR	0	R/W	
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

7. I/Oポート

7.9.3 ポートHレジスタ (PORTH)

PORTHは、ポートHの端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PH7	不定*	R	このレジスタをリードすると、PHDDRがセットされているビットは、PHDRの値がリードされます。PHDDRがクリアされているビットは端子の状態が読み出されます。
6	PH6	不定*	R	
5	PH5	不定*	R	
4	PH4	不定*	R	
3	PH3	不定*	R	
2	PH2	不定*	R	
1	PH1	不定*	R	
0	PH0	不定*	R	

【注】 * PH7～PH0 端子の状態により決定されます。

7.9.4 端子機能

ポートHはPWM_1出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PH7/PWM1H

PWM_1のPWOCR_1のOE1Hビット、およびPH7DDRビットの組み合わせにより次のように切り替わります。

OE1H	0		1
PH7DDR	0	1	—
端子機能	PH7 入力	PH7 出力	PWM1H 出力

- PH6/PWM1G

PWM_1のPWOCR_1のOE1Gビット、およびPH6DDRビットの組み合わせにより次のように切り替わります。

OE1G	0		1
PH6DDR	0	1	—
端子機能	PH6 入力	PH6 出力	PWM1G 出力

- PH5/PWM1F

PWM_1のPWOCR_1のOE1Fビット、およびPH5DDRビットの組み合わせにより次のように切り替わります。

OE1F	0		1
PH5DDR	0	1	—
端子機能	PH5 入力	PH5 出力	PWM1F 出力

- PH4/PWM1E

PWM_1 の PWOCR_1 の OE1E ビット、および PH4DDR ビットの組み合わせにより次のように切り替わります。

OE1E	0		1
PH4DDR	0	1	—
端子機能	PH4 入力	PH4 出力	PWM1E 出力

- PH3/PWM1D

PWM_1 の PWOCR_1 の OE1D ビット、および PH3DDR ビットの組み合わせにより次のように切り替わります。

OE1D	0		1
PH3DDR	0	1	—
端子機能	PH3 入力	PH3 出力	PWM1D 出力

- PH2/PWM1C

PWM_1 の PWOCR_1 の OE1C ビット、および PH2DDR ビットの組み合わせにより次のように切り替わります。

OE1C	0		1
PH2DDR	0	1	—
端子機能	PH2 入力	PH2 出力	PWM1C 出力

- PH1/PWM1B

PWM_1 の PWOCR_1 の OE1B ビット、および PH1DDR ビットの組み合わせにより次のように切り替わります。

OE1B	0		1
PH1DDR	0	1	—
端子機能	PH1 入力	PH1 出力	PWM1B 出力

- PH0/PWM1A

PWM_1 の PWOCR_1 の OE1A ビット、および PH0DDR ビットの組み合わせにより次のように切り替わります。

OE1A	0		1
PH0DDR	0	1	—
端子機能	PH0 入力	PH0 出力	PWM1A 出力

7. I/Oポート

7.10 ポート J

ポート J は 8 ビットの兼用入出力ポートです。ポート J には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- ポート J データディレクションレジスタ (PJDDR)
- ポート J データレジスタ (PJDR)
- ポート J レジスタ (PORTJ)

7.10.1 ポート J データディレクションレジスタ (PJDDR)

PJDDR は、ポート J の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PJ7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PJ6DDR	0	W	
5	PJ5DDR	0	W	
4	PJ4DDR	0	W	
3	PJ3DDR	0	W	
2	PJ2DDR	0	W	
1	PJ1DDR	0	W	
0	PJ0DDR	0	W	

7.10.2 ポート J データレジスタ (PJDR)

PJDR は、ポート J の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PJ7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

7.10.3 ポート J レジスタ (PORTJ)

PORTJ は、ポート J の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PJ7	不定*	R	このレジスタをリードすると、PJDDR がセットされているビットは、PJDR の値がリードされます。PJDDR がクリアされているビットは端子の状態が読み出されます。
6	PJ6	不定*	R	
5	PJ5	不定*	R	
4	PJ4	不定*	R	
3	PJ3	不定*	R	
2	PJ2	不定*	R	
1	PJ1	不定*	R	
0	PJ0	不定*	R	

【注】 * PJ7~PJ0 端子の状態により決定されます。

7.10.4 端子機能

ポート J は PWM_2 出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PJ7/PWM2H

PWM_2 の PWOCR_2 の OE2H ビット、および PJ7DDR ビットの組み合わせにより次のように切り替わります。

OE2H	0		1
PJ7DDR	0	1	—
端子機能	PJ7 入力	PJ7 出力	PWM2H 出力

- PJ6/PWM2G

PWM_2 の PWOCR_2 の OE2G ビット、および PJ6DDR ビットの組み合わせにより次のように切り替わります。

OE2G	0		1
PJ6DDR	0	1	—
端子機能	PJ6 入力	PJ6 出力	PWM2G 出力

- PJ5/PWM2F

PWM_2 の PWOCR_2 の OE2F ビット、および PJ5DDR ビットの組み合わせにより次のように切り替わります。

OE2F	0		1
PJ5DDR	0	1	—
端子機能	PJ5 入力	PJ5 出力	PWM2F 出力

7. I/O ポート

- PJ4/PWM2E

PWM_2 の PWOCR_2 の OE2E ビット、および PJ4DDR ビットの組み合わせにより次のように切り替わります。

OE2E	0		1
PJ4DDR	0	1	—
端子機能	PJ4 入力	PJ4 出力	PWM2E 出力

- PJ3/PWM2D

PWM_2 の PWOCR_2 の OE2D ビット、および PJ3DDR ビットの組み合わせにより次のように切り替わります。

OE2D	0		1
PJ3DDR	0	1	—
端子機能	PJ3 入力	PJ3 出力	PWM2D 出力

- PJ2/PWM2C

PWM_2 の PWOCR_2 の OE2C ビット、および PJ2DDR ビットの組み合わせにより次のように切り替わります。

OE2C	0		1
PJ2DDR	0	1	—
端子機能	PJ2 入力	PJ2 出力	PWM2C 出力

- PJ1/PWM2B

PWM_2 の PWOCR_2 の OE2B ビット、および PJ1DDR ビットの組み合わせにより次のように切り替わります。

OE2B	0		1
PJ1DDR	0	1	—
端子機能	PJ1 入力	PJ1 出力	PWM2B 出力

- PJ0/PWM2A

PWM_2 の PWOCR_2 の OE2A ビット、および PJ0DDR ビットの組み合わせにより次のように切り替わります。

OE2A	0		1
PJ0DDR	0	1	—
端子機能	PJ0 入力	PJ0 出力	PWM2A 出力

7.11 端子切り替え機能

ポート H、ポート J は、TRPRT の TRPB、TRPA ビットにより、おのおのの上位と下位 4 ビットずつを切り替えて出力することが可能です。

7.11.1 トランスポートレジスタ (TRPRT)

TRPRT は、各ビットの組み合わせによりポート H とポート J の端子機能の切り替えを設定します。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット
6	—	不定	—	リードすると不定値が読み出されます。
5	—	不定	—	
4	—	不定	—	
3	—	不定	—	
2	—	不定	—	
1	TRPB	0	R/W	TRPB と TRPA の組み合わせにより、ポート H とポート J の端子機能を切り替えます。 00 : 初期値 01 : PH3~PH0 と PJ3~PJ0 の端子機能を切り替えます。 10 : PH7~PH4 と PJ7~PJ4 の端子機能を切り替えます。 11 : PH7~PH4 と PJ7~PJ4 の端子機能を切り替え、さらに PH3~PH0 と PJ3~PJ0 の端子機能を切り替えます。
0	TRPA	0	R/W	

7.11.2 端子切り替えによるポートレジスタのリード

PORTH、PORTJ のリードは、TRPRT の TRPB ビットと TRPA ビットによって、読み出される端子が異なります。表 7.3 に端子切り替えによるレジスタのリード端子を示します。

PORTH、PORTJ の読み出される端子の状態については、「7.9.3 ポート H レジスタ (PORTH)」および「7.10.3 ポート J レジスタ (PORTJ)」を参照してください。TRPRT の設定は、データディレクションレジスタ (PHDDR、PJDDR) とデータレジスタ (PHDR、PJDR) を書き込む前に行ってください。

7. I/Oポート

表 7.3 端子切り替えによるレジスタのリード端子および PWM 出力

TRPB	TRPA	ポートH								ポートJ									
0	0	ピン番号	46	45	44	43	40	39	38	37	ピン番号	56	55	54	53	50	49	48	47
		端子状態	PH7入力/ PWM1H/ PHDR7	PH6入力/ PWM1G/ PHDR6	PH5入力/ PWM1F/ PHDR5	PH4入力/ PWM1E/ PHDR4	PH3入力/ PWM1D/ PHDR3	PH2入力/ PWM1C/ PHDR2	PH1入力/ PWM1B/ PHDR1	PH0入力/ PWM1A/ PHDR0	PJ7入力/ PWM2H/ PJDR7	PJ6入力/ PWM2G/ PJDR6	PJ5入力/ PWM2F/ PJDR5	PJ4入力/ PWM2E/ PJDR4	PJ3入力/ PWM2D/ PJDR3	PJ2入力/ PWM2C/ PJDR2	PJ1入力/ PWM2B/ PJDR1	PJ0入力/ PWM2A/ PJDR0	
		ビット	7	6	5	4	3	2	1	0	ビット	7	6	5	4	3	2	1	0
		リードデータ	PH7入力/ PWM1H/ PHDR7	PH6入力/ PWM1G/ PHDR6	PH5入力/ PWM1F/ PHDR5	PH4入力/ PWM1E/ PHDR4	PH3入力/ PWM1D/ PHDR3	PH2入力/ PWM1C/ PHDR2	PH1入力/ PWM1B/ PHDR1	PH0入力/ PWM1A/ PHDR0	PJ7入力/ PWM2H/ PJDR7	PJ6入力/ PWM2G/ PJDR6	PJ5入力/ PWM2F/ PJDR5	PJ4入力/ PWM2E/ PJDR4	PJ3入力/ PWM2D/ PJDR3	PJ2入力/ PWM2C/ PJDR2	PJ1入力/ PWM2B/ PJDR1	PJ0入力/ PWM2A/ PJDR0	
0	1	ピン番号	46	45	44	43	40	39	38	37	ピン番号	56	55	54	53	50	49	48	47
		端子状態	PH7入力/ PWM1H/ PHDR7	PH6入力/ PWM1G/ PHDR6	PH5入力/ PWM1F/ PHDR5	PH4入力/ PWM1E/ PHDR4	PH3入力/ PWM1D/ PHDR3	PH2入力/ PWM1C/ PHDR2	PH1入力/ PWM1B/ PHDR1	PH0入力/ PWM1A/ PHDR0	PJ7入力/ PWM2H/ PJDR7	PJ6入力/ PWM2G/ PJDR6	PJ5入力/ PWM2F/ PJDR5	PJ4入力/ PWM2E/ PJDR4	PJ3入力/ PWM2D/ PHDR3	PJ2入力/ PWM2C/ PHDR2	PJ1入力/ PWM2B/ PHDR1	PJ0入力/ PWM2A/ PHDR0	
		ビット	7	6	5	4	3	2	1	0	ビット	7	6	5	4	3	2	1	0
		リードデータ	PH7入力/ PWM1H/ PHDR7	PH6入力/ PWM1G/ PHDR6	PH5入力/ PWM1F/ PHDR5	PH4入力/ PWM1E/ PHDR4	PJ3入力/ PWM1D/ PHDR3	PJ2入力/ PWM1C/ PHDR2	PJ1入力/ PWM1B/ PHDR1	PJ0入力/ PWM1A/ PHDR0	PJ7入力/ PWM2H/ PJDR7	PJ6入力/ PWM2G/ PJDR6	PJ5入力/ PWM2F/ PJDR5	PJ4入力/ PWM2E/ PJDR4	PH3入力/ PWM2D/ PJDR3	PH2入力/ PWM2C/ PJDR2	PH1入力/ PWM2B/ PJDR1	PH0入力/ PWM2A/ PJDR0	
1	0	ピン番号	46	45	44	43	40	39	38	37	ピン番号	56	55	54	53	50	49	48	47
		端子状態	PH7入力/ PWM2H/ PJDR7	PH6入力/ PWM2G/ PJDR6	PH5入力/ PWM2F/ PJDR5	PH4入力/ PWM2E/ PJDR4	PH3入力/ PWM2D/ PHDR3	PH2入力/ PWM2C/ PHDR2	PH1入力/ PWM2B/ PHDR1	PH0入力/ PWM2A/ PHDR0	PJ7入力/ PWM1H/ PHDR7	PJ6入力/ PWM1G/ PHDR6	PJ5入力/ PWM1F/ PHDR5	PJ4入力/ PWM1E/ PHDR4	PJ3入力/ PWM1D/ PHDR3	PJ2入力/ PWM1C/ PHDR2	PJ1入力/ PWM1B/ PHDR1	PJ0入力/ PWM1A/ PHDR0	
		ビット	7	6	5	4	3	2	1	0	ビット	7	6	5	4	3	2	1	0
		リードデータ	PJ7入力/ PWM2H/ PJDR7	PJ6入力/ PWM2G/ PJDR6	PJ5入力/ PWM2F/ PJDR5	PJ4入力/ PWM2E/ PJDR4	PH3入力/ PWM2D/ PHDR3	PH2入力/ PWM2C/ PHDR2	PH1入力/ PWM2B/ PHDR1	PH0入力/ PWM2A/ PHDR0	PH7入力/ PWM1H/ PHDR7	PH6入力/ PWM1G/ PHDR6	PH5入力/ PWM1F/ PHDR5	PH4入力/ PWM1E/ PHDR4	PJ3入力/ PWM1D/ PHDR3	PJ2入力/ PWM1C/ PHDR2	PJ1入力/ PWM1B/ PHDR1	PJ0入力/ PWM1A/ PHDR0	
1	1	ピン番号	46	45	44	43	40	39	38	37	ピン番号	56	55	54	53	50	49	48	47
		端子状態	PH7入力/ PWM2H/ PJDR7	PH6入力/ PWM2G/ PJDR6	PH5入力/ PWM2F/ PJDR5	PH4入力/ PWM2E/ PJDR4	PH3入力/ PWM2D/ PJDR3	PH2入力/ PWM2C/ PJDR2	PH1入力/ PWM2B/ PJDR1	PH0入力/ PWM2A/ PJDR0	PJ7入力/ PWM1H/ PHDR7	PJ6入力/ PWM1G/ PHDR6	PJ5入力/ PWM1F/ PHDR5	PJ4入力/ PWM1E/ PHDR4	PJ3入力/ PWM1D/ PHDR3	PJ2入力/ PWM1C/ PHDR2	PJ1入力/ PWM1B/ PHDR1	PJ0入力/ PWM1A/ PHDR0	
		ビット	7	6	5	4	3	2	1	0	ビット	7	6	5	4	3	2	1	0
		リードデータ	PJ7入力/ PWM2H/ PJDR7	PJ6入力/ PWM2G/ PJDR6	PJ5入力/ PWM2F/ PJDR5	PJ4入力/ PWM2E/ PJDR4	PJ3入力/ PWM2D/ PJDR3	PJ2入力/ PWM2C/ PJDR2	PJ1入力/ PWM2B/ PJDR1	PJ0入力/ PWM2A/ PJDR0	PH7入力/ PWM1H/ PHDR7	PH6入力/ PWM1G/ PHDR6	PH5入力/ PWM1F/ PHDR5	PH4入力/ PWM1E/ PHDR4	PH3入力/ PWM1D/ PHDR3	PH2入力/ PWM1C/ PHDR2	PH1入力/ PWM1B/ PHDR1	PH0入力/ PWM1A/ PHDR0	

8. 16ビットタイマパルスユニット (TPU)

本 LSI は、3 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 8.1 に、ブロック図を図 8.1 に示します。

8.1 特長

- 最大8本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大7相のPWM出力
- チャンネル0はバッファ動作を設定可能
- チャンネル1、2はおのおの独立に位相計数モードを設定可能
- 内部16ビットバスによる高速アクセス
- 13種類の割り込み要因
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

8. 16ビットタイマパルスユニット (TPU)

表 8.1 TPU の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	φ/1 φ/4 φ/16 φ/64 TCLKA TCLKB TCLKC TCLKD	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKB	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKB TCLKC
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2
ジェネラルレジスタ /バッファレジスタ	TGRC_0 TGRD_0	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペア マッチ出力	0 出力	○	○
	1 出力	○	○
	トグル出力	○	○
インプットキャプチャ機能	○	○	○
同期動作	○	○	○
PWM モード	○	○	○
位相計数モード	—	○	○
バッファ動作	○	—	—
A/D 変換開始トリガ	TGRA_0 の コンペアマッチまたは インプットキャプチャ	TGRA_1 の コンペアマッチまたは インプットキャプチャ	TGRA_2 の コンペアマッチまたは インプットキャプチャ

8. 16ビットタイムパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプットキャプチャ 0A • コンペアマッチ /インプットキャプチャ 0B • コンペアマッチ /インプットキャプチャ 0C • コンペアマッチ /インプットキャプチャ 0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプットキャプチャ 1A • コンペアマッチ /インプットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ /インプットキャプチャ 2A • コンペアマッチ /インプットキャプチャ 2B • オーバフロー • アンダフロー

【記号説明】

○ : 可能

— : 不可

8. 16ビットタイマパルスユニット (TPU)

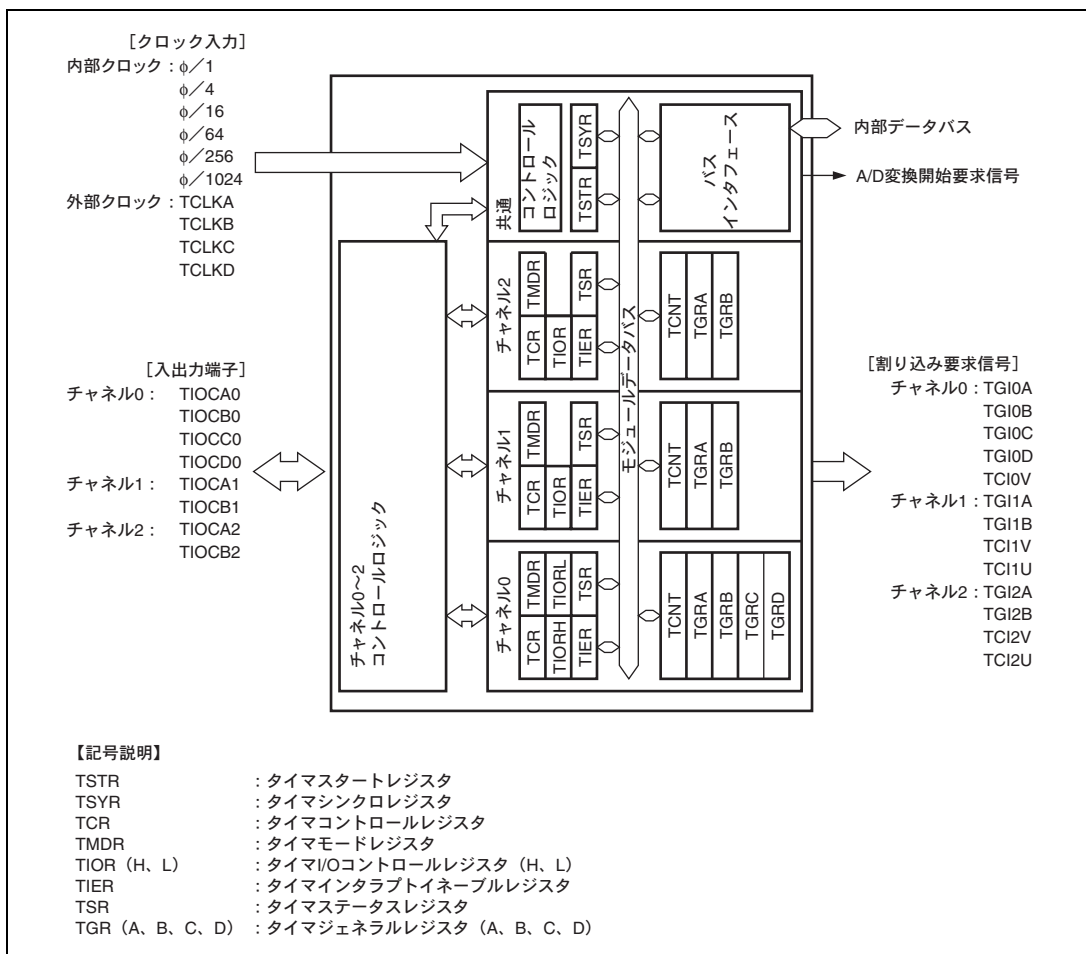


図 8.1 TPU のブロック図

8.2 入出力端子

表 8.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子

8.3 レジスタの説明

TPUには各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第21章 レジスタ一覧」を参照してください。各チャンネルのレジスタ名はチャンネル0のTCRはTCR_0と表記してあります。

- タイマコントロールレジスタ_0(TCR_0)
- タイマモードレジスタ_0(TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0(TIER_0)
- タイマステータスレジスタ_0(TSR_0)
- タイマカウンタ_0(TCNT_0)
- タイマジェネラルレジスタA_0(TGRA_0)
- タイマジェネラルレジスタB_0(TGRB_0)
- タイマジェネラルレジスタC_0(TGRC_0)
- タイマジェネラルレジスタD_0(TGRD_0)
- タイマコントロールレジスタ_1(TCR_1)
- タイマモードレジスタ_1(TMDR_1)
- タイマI/Oコントロールレジスタ_1(TIOR_1)
- タイマインタラプトイネーブルレジスタ_1(TIER_1)
- タイマステータスレジスタ_1(TSR_1)
- タイマカウンタ_1(TCNT_1)
- タイマジェネラルレジスタA_1(TGRA_1)
- タイマジェネラルレジスタB_1(TGRB_1)
- タイマコントロールレジスタ_2(TCR_2)
- タイマモードレジスタ_2(TMDR_2)
- タイマI/Oコントロールレジスタ_2(TIOR_2)
- タイマインタラプトイネーブルレジスタ_2(TIER_2)
- タイマステータスレジスタ_2(TSR_2)
- タイマカウンタ_2(TCNT_2)
- タイマジェネラルレジスタA_2(TGRA_2)
- タイマジェネラルレジスタB_2(TGRB_2)

共通レジスタ

- タイマスタートレジスタ(TSTR)
- タイマシンクロレジスタ(TSYR)

8.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御するレジスタです。TPU には、各チャンネルに 1 本、計 3 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2~0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 8.3、表 8.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ を選択した場合は本設定は無視されます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1x: 両エッジでカウント 【記号説明】 x: Don't care
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2~0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 8.5~表 8.7 を参照してください。
0	TPSC0	0	R/W	

8. 16 ビットタイマパルスユニット (TPU)

表 8.3 CCLR2~CCLR0 (チャンネル 0)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア* ²
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 8.4 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 8.5 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： $\phi/1$ でカウント
	0	0	1	内部クロック： $\phi/4$ でカウント
	0	1	0	内部クロック： $\phi/16$ でカウント
	0	1	1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	外部クロック：TCLKD 端子入力でカウント

表 8.6 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： $\phi/1$ でカウント
	0	0	1	内部クロック： $\phi/4$ でカウント
	0	1	0	内部クロック： $\phi/16$ でカウント
	0	1	1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	内部クロック： $\phi/256$ でカウント
	1	1	1	設定禁止

【注】チャンネル 1 が位相計数モード時、この設定は無効になります。

表 8.7 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： $\phi/1$ でカウント
	0	0	1	内部クロック： $\phi/4$ でカウント
	0	1	0	内部クロック： $\phi/16$ でカウント
	0	1	1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	内部クロック： $\phi/1024$ でカウント

【注】チャンネル 2 が位相計数モード時、この設定は無効になります。

8. 16 ビットタイマパルスユニット (TPU)

8.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 3 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 1	—	リザーブ リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライト時には常に 0 としてください。 詳細は表 8.8 を参照してください。
2	MD2	0	R/W	
1	MD1	0	R/W	
0	MD0	0	R/W	

表 8.8 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	0	位相計数モード 4
1	x	x	x	—

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

8.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御するレジスタです。TPU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR があります。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~B0 TGRB の機能を設定します。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3~A0 TGRA の機能を設定します。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

8. 16 ビットタイマパルスユニット (TPU)

• TIORL_0

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~D0 TGRD の機能を設定します。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~C0 TGRC の機能を設定します。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 8.9 TIORH_0

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 x: Don't care

【注】 * TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 8.10 TIORL_0

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_0の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ* ¹

【記号説明】 x : Don't care

【注】 *1 TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

8. 16 ビットタイマパルスユニット (TPU)

表 8.11 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

表 8.12 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

8. 16 ビットタイマパルスユニット (TPU)

表 8.13 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	1	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	0	0		キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

表 8.14 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

8. 16 ビットタイマパルスユニット (TPU)

表 8.15 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_0 コンペアマッチ/イン プットキャプチャ チャンネル0/TGRA_0 のコンペアマッチ/インプ ットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 8.16 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

8.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャネルの割り込み要求の許可、禁止を制御します。TPU には、各チャネルに 1 本、計 3 本の TIER があります。

ビット	ビット名	初期値	R/W	説 明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	—	リザーブビット リードすると 1 が読み出されます。ライトは無効です

8. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
5	TCIEU	0	R/W	<p>アンダフローインタラプトイネーブル</p> <p>チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。</p> <p>チャンネル 0 ではリザーブビットです。</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可</p>
4	TCIEV	0	R/W	<p>オーバーフローインタラプトイネーブル</p> <p>TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。</p> <p>0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可</p>
3	TGIED	0	R/W	<p>TGR インタラプトイネーブル D</p> <p>チャンネル 0 で TSR の TGF D ビットが 1 にセットされたとき、TGF D ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>0 : TGF D ビットによる割り込み要求 (TGID) を禁止 1 : TGF D ビットによる割り込み要求 (TGID) を許可</p>
2	TGIEC	0	R/W	<p>TGR インタラプトイネーブル C</p> <p>チャンネル 0 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されず。ライトは無効です。</p> <p>0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可</p>
1	TGIEB	0	R/W	<p>TGR インタラプトイネーブル B</p> <p>TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。</p> <p>0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可</p>
0	TGIEA	0	R/W	<p>TGR インタラプトイネーブル A</p> <p>TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。</p> <p>0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可</p>

8.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 3 本の TSR があります。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	<p>カウント方向フラグ</p> <p>チャンネル 1、2 の TCNT のカウント方向を示すステータスフラグです。</p> <p>チャンネル 0 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。</p> <p>0 : TCNT はダウンカウント 1 : TCNT はアップカウント</p>
6	—	1	—	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です</p>
5	TCFU	0	R(W)*	<p>アンダフローフラグ</p> <p>チャンネル 1、2 が相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。</p> <p>チャンネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>[セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき</p> <p>[クリア条件] TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき</p>
4	TCFV	0	R(W)*	<p>オーバフローフラグ (TCFV)</p> <p>TCNT のオーバフローの発生を示すステータスフラグです。</p> <p>[セット条件] TCNT の値がオーバフロー (H'FFFF→ H'0000) したとき</p> <p>[クリア条件] TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき</p>
3	TGFD	0	R(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されません。ライトは無効です。</p> <p>[セット条件] TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</p> <p>TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</p> <p>[クリア条件] TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</p>

8. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル0のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル1、2ではリザーブビットです。リードすると常に0が読み出されず。ライトは無効です。</p> <p>[セット条件]</p> <p>TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT= TGRC になったとき</p> <p>TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTの値が TGRC に転送されたとき</p> <p>[クリア条件]</p> <p>TGFC=1の状態では TGFC をリード後、TGFC に 0 をライトしたとき</p>
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRBのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <p>TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT= TGRB になったとき</p> <p>TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTの値が TGRB に転送されたとき</p> <p>[クリア条件]</p> <p>TGFB=1の状態では TGFB をリード後、TGFB に 0 をライトしたとき</p>
0	TGFA	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRAのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <p>TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT= TGRA になったとき</p> <p>TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNTの値が TGRA に転送されたとき</p> <p>[クリア条件]</p> <p>TGFA=1の状態では TGFA をリード後、TGFA に 0 をライトしたとき</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

8.3.6 タイマカウンタ (TCNT)

TCNTは16ビットのリード/ライト可能なカウンタです。各チャンネルに1本、計3本のTCNTがあります。

TCNTは、リセットまたはハードウェアスタンバイモード時にH'0000に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

8.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0 に 4 本、チャンネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャンネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。

8.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~2 の TCNT の動作/停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	—	リザーブビット ライト時は必ず 0 としてください。
2	CST2	0	R/W	カウンタスタート 2~0 TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。 CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_2~TCNT_0 のカウント動作は停止 1 : TCNT_2~TCNT_0 はカウント動作
1	CST1	0	R/W	
0	CST0	0	R/W	

8. 16 ビットタイマパルスユニット (TPU)

8.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル 0~2 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R/W	リザーブビット ライト時は必ず 0 としてください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0: TCNT_2~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1: TCNT_2~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

8.4 動作説明

8.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0～CST2 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 8.2 に示します。

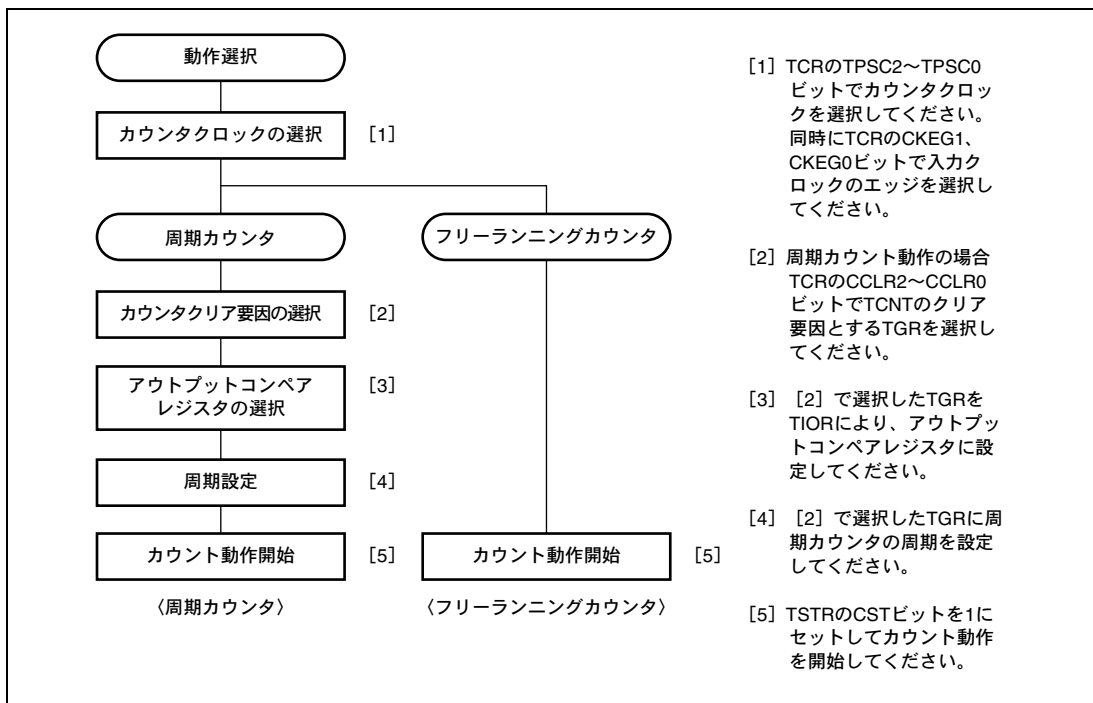


図 8.2 カウンタ動作設定手順例

8. 16 ビットタイマパルスユニット (TPU)

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 8.3 に示します。

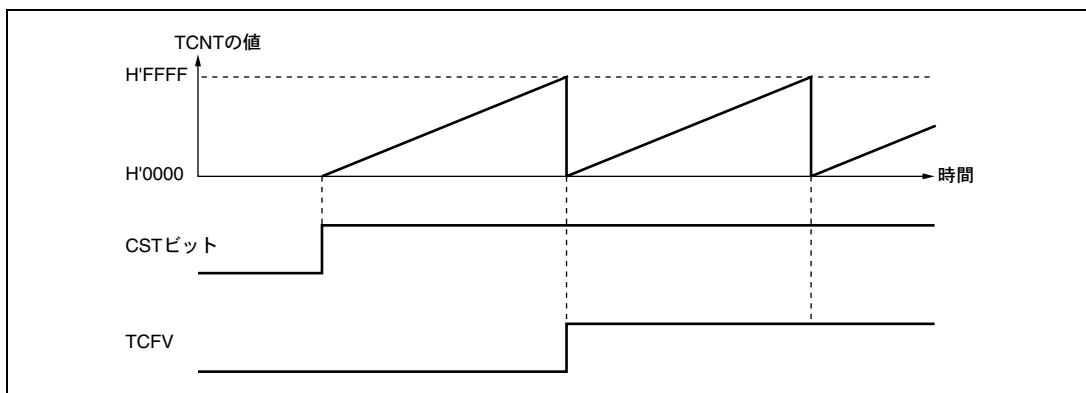


図 8.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 8.4 に示します。

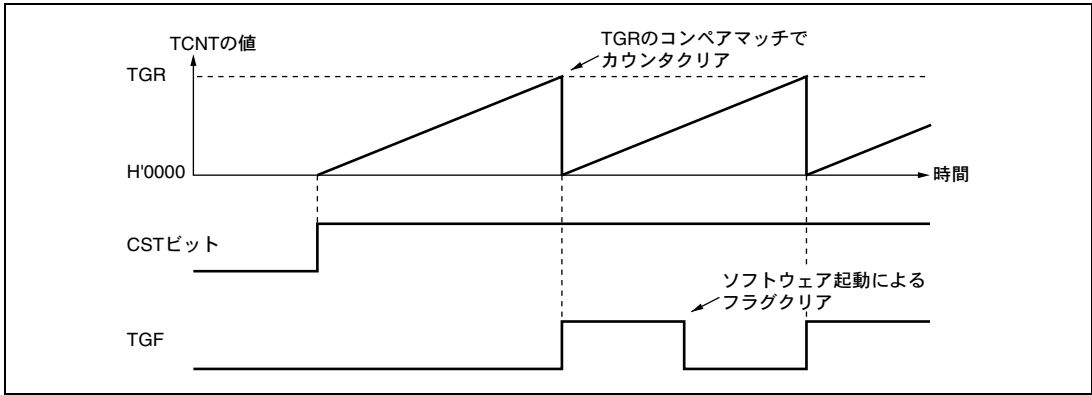


図 8.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 8.5 に示します。

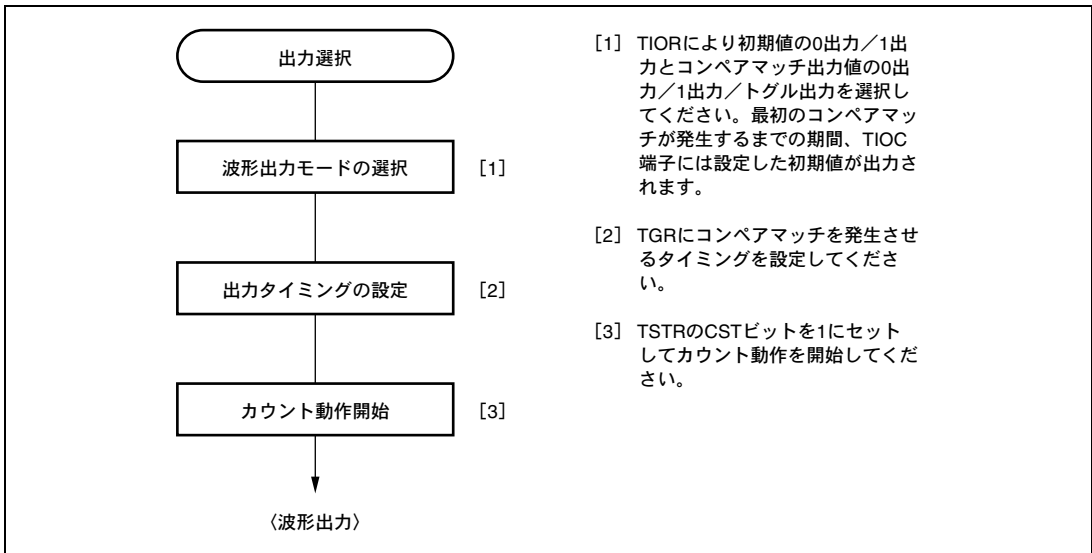


図 8.5 コンペアマッチによる波形出力動作例

8. 16ビットタイマパルスユニット (TPU)

(b) 波形出力動作例

0出力/1出力例を図8.6に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチAにより1出力、コンペアマッチBにより0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

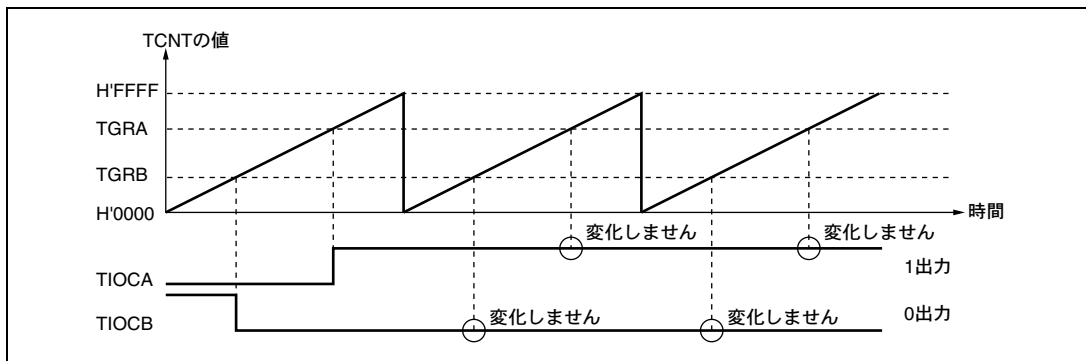


図 8.6 0出力/1出力の動作例

トグル出力の例を図8.7に示します。

TCNTを周期カウント動作（コンペアマッチBによりカウンタクリア）に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

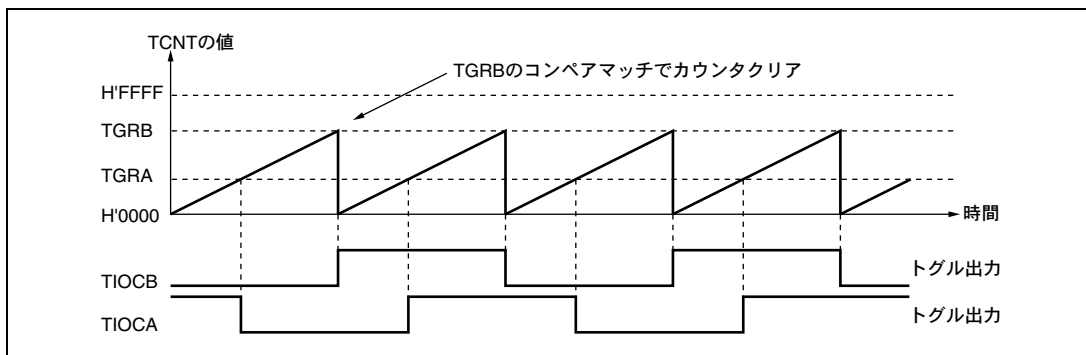


図 8.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 8.8 に示します。

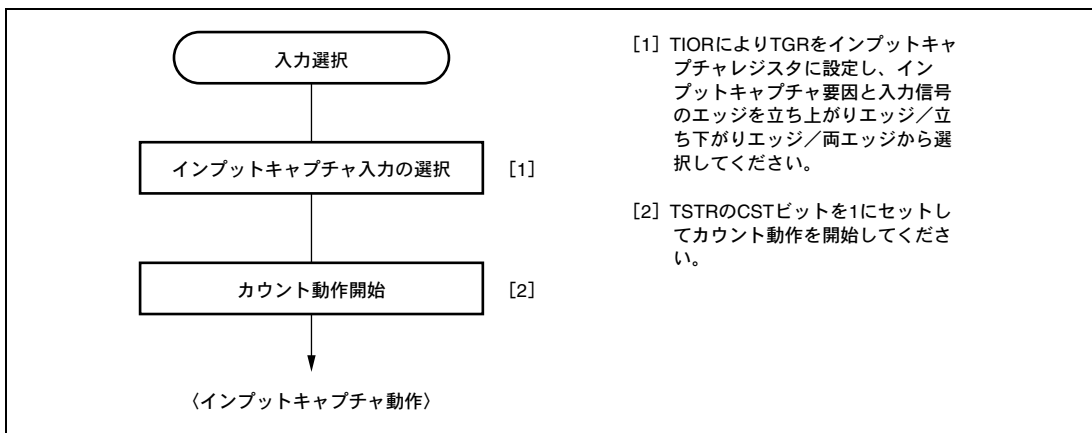


図 8.8 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 8.9 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

8. 16ビットタイマパルスユニット (TPU)

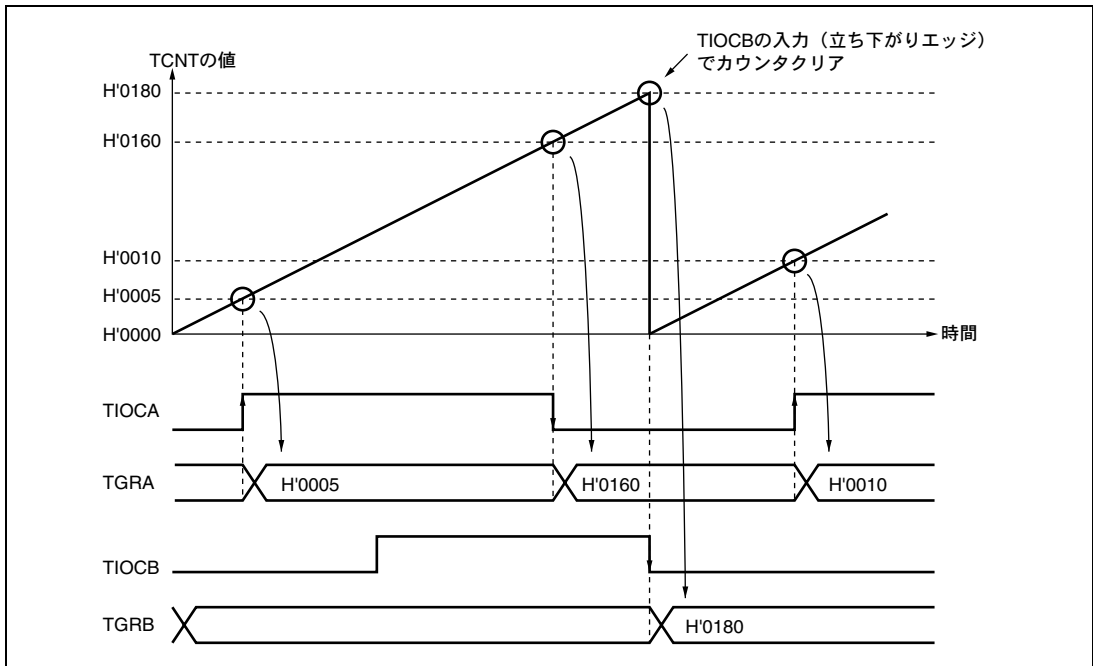


図 8.9 インプットキャプチャ動作例

8.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~2 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 8.10 に示します。

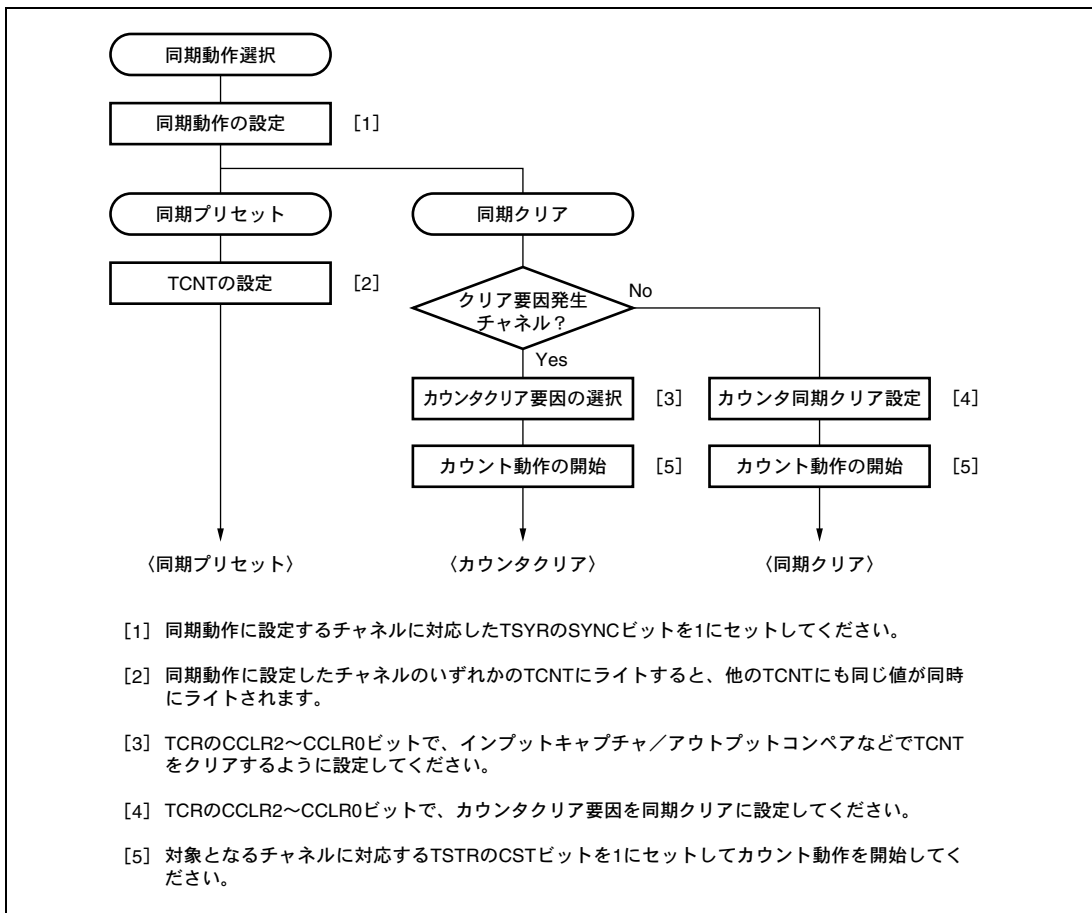


図 8.10 同期動作の設定手順例

8. 16ビットタイマパルスユニット (TPU)

(2) 同期動作の例

同期動作の例を図 8.11 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「8.4.4 PWM モード」を参照してください。

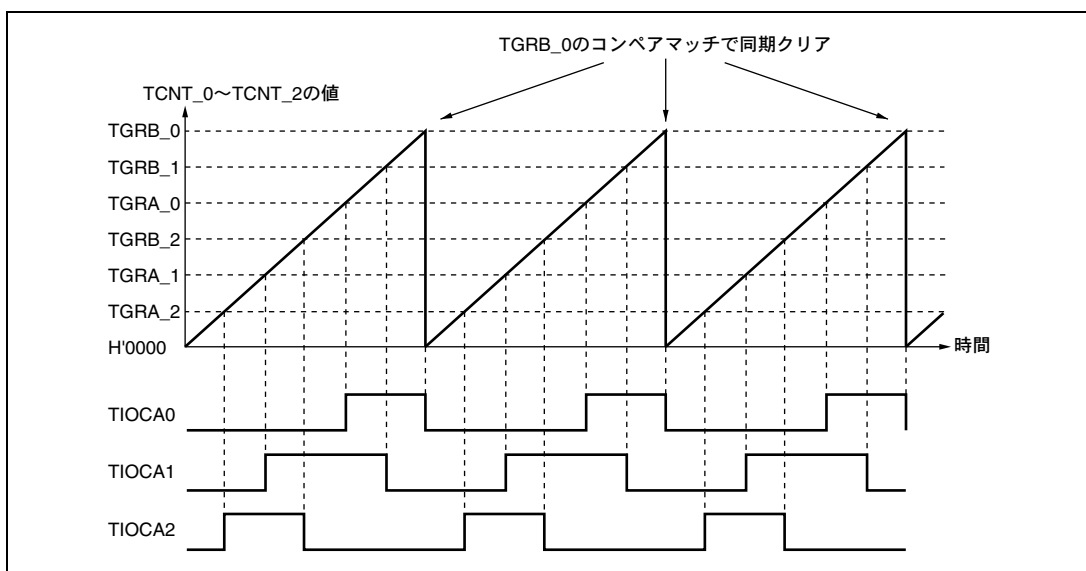


図 8.11 同期動作の動作例

8.4.3 バッファ動作

バッファ動作は、チャンネル0が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。表 8.17 にバッファ動作時のレジスタの組み合わせを示します。

表 8.17 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0

• TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。この動作を図 8.12 に示します。

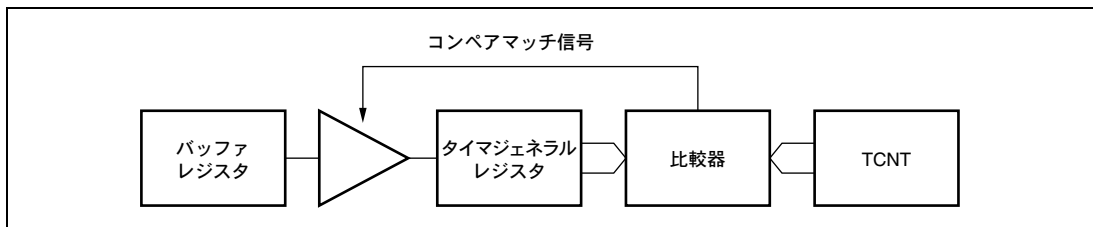


図 8.12 コンペアマッチバッファ動作

• TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 8.13 に示します。

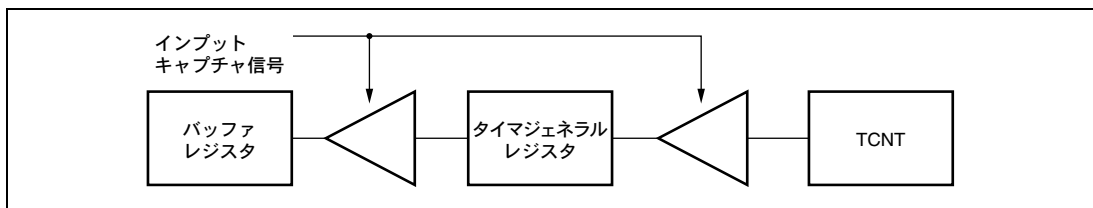


図 8.13 インプットキャプチャバッファ動作

8. 16 ビットタイマパルスユニット (TPU)

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 8.14 に示します。

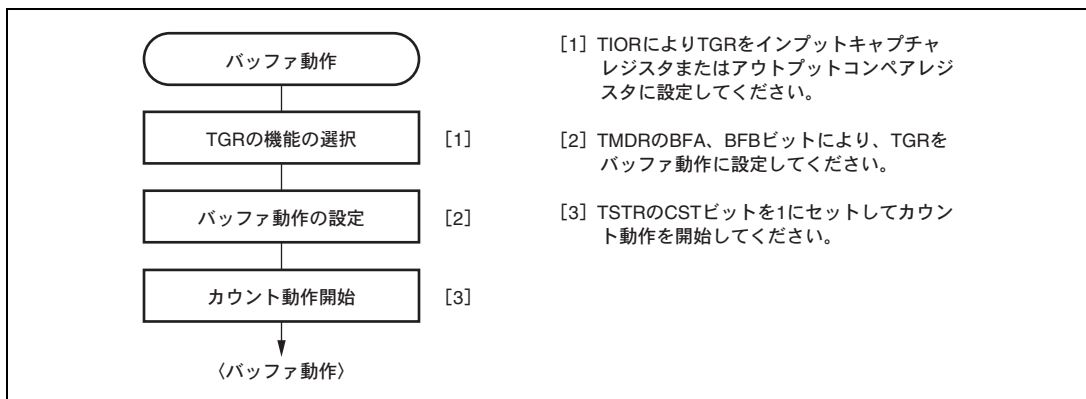


図 8.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図 8.15 に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「8.4.4 PWMモード」を参照してください。

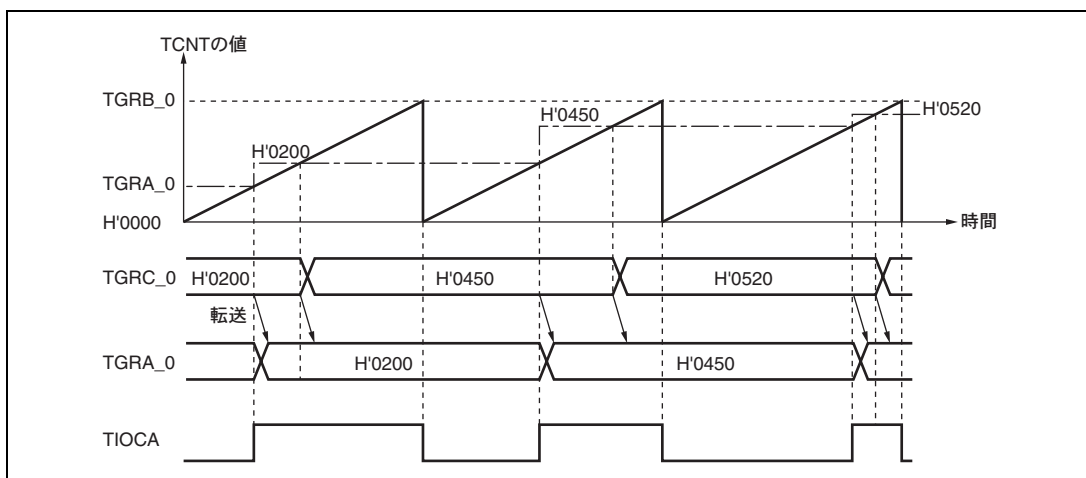


図 8.15 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 8.16 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

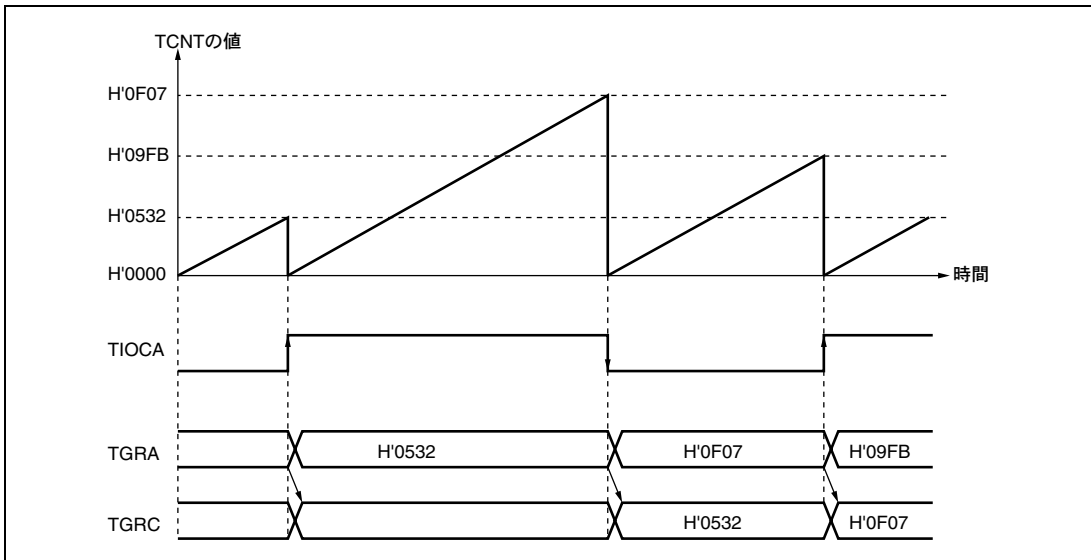


図 8.16 バッファ動作例 (2)

8. 16 ビットタイマパルスユニット (TPU)

8.4.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 7 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 8.18 に示します。

表 8.18 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(2) PWMモードの設定手順例

PWMモードの設定手順例を図8.17に示します。

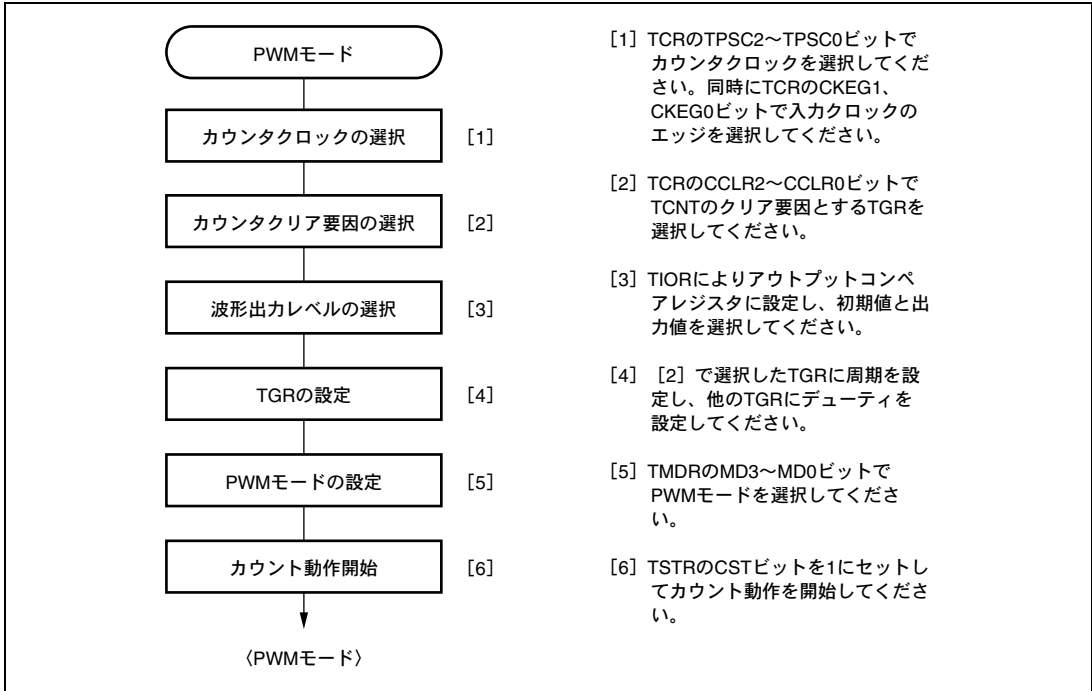


図 8.17 PWMモードの設定手順例

(3) PWMモードの動作例

PWMモード1の動作例を図8.18に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

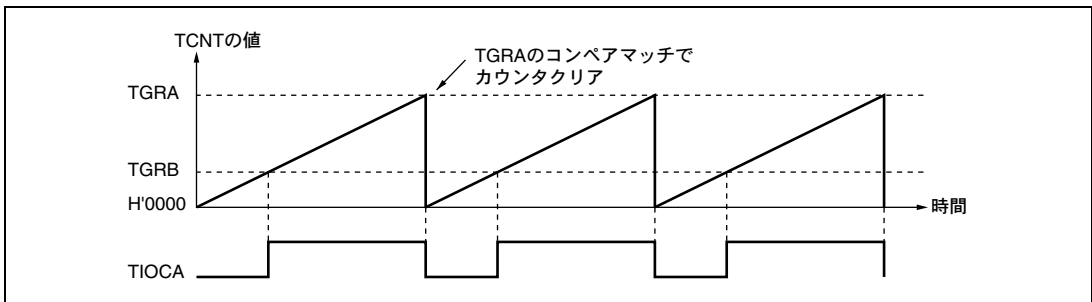


図 8.18 PWMモードの動作例 (1)

8. 16 ビットタイマパルスユニット (TPU)

PWM モード 2 の動作例を図 8.19 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

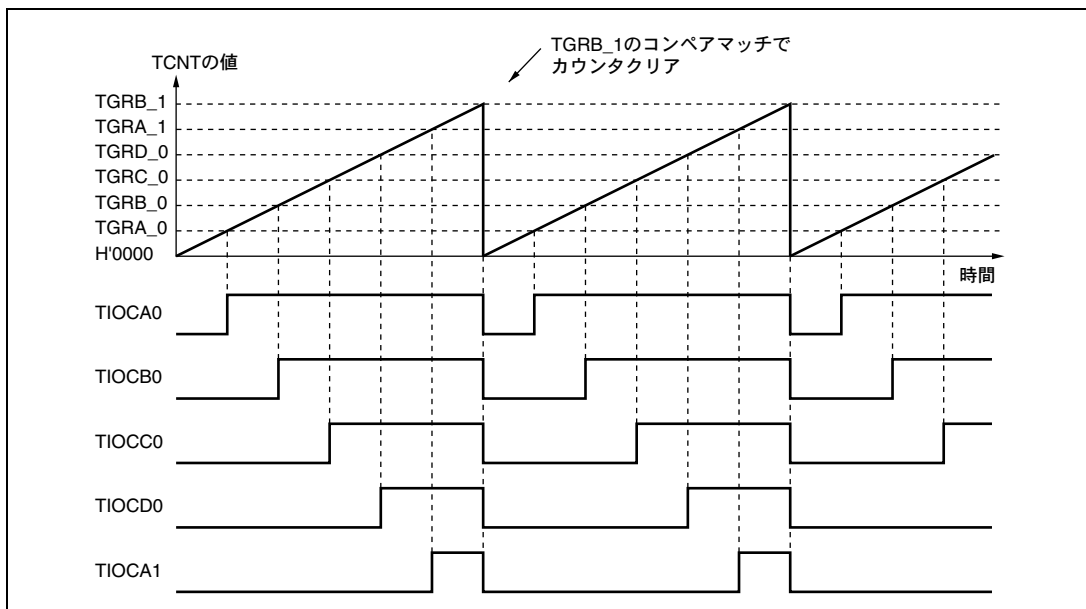


図 8.19 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 8.20 に示します。

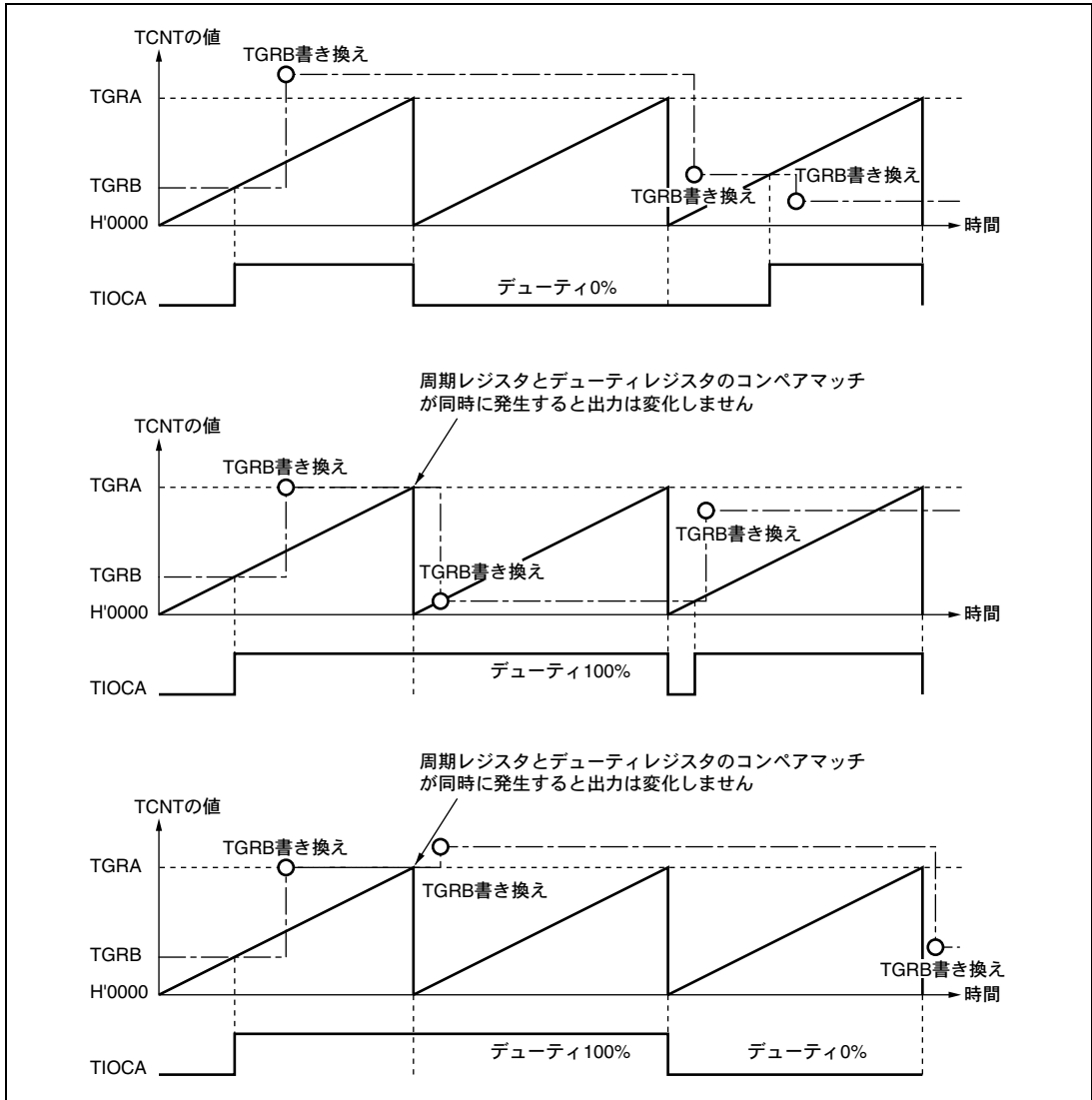


図 8.20 PWM モードの動作例 (3)

8. 16 ビットタイマパルスユニット (TPU)

8.4.5 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ／ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 8.19 に外部クロック端子とチャンネルの対応を示します。

表 8.19 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 8.21 に示します。

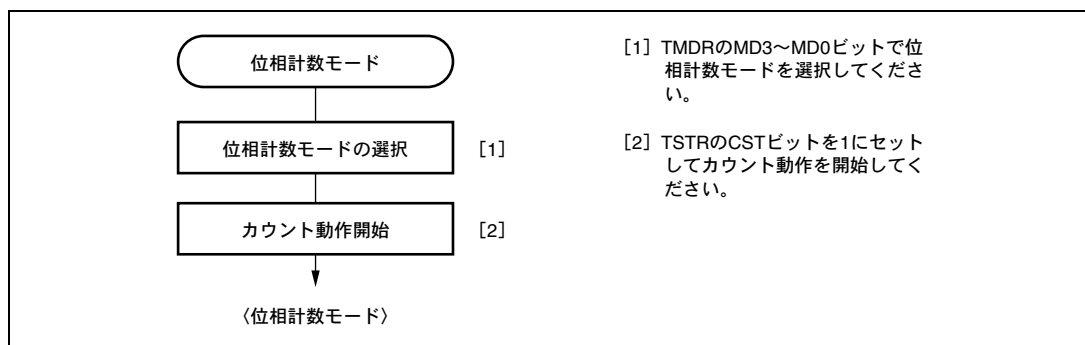


図 8.21 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図8.22に、TCNTのアップ/ダウンカウント条件を表8.20に示します。

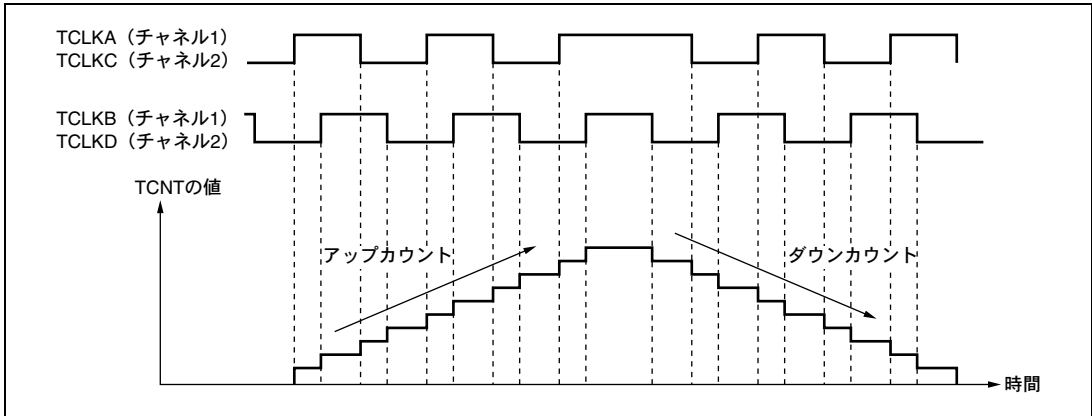


図 8.22 位相計数モード1の動作例

表 8.20 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

8. 16 ビットタイマパルスユニット (TPU)

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 8.23 に、TCNT のアップ/ダウンカウント条件を表 8.21 に示します。

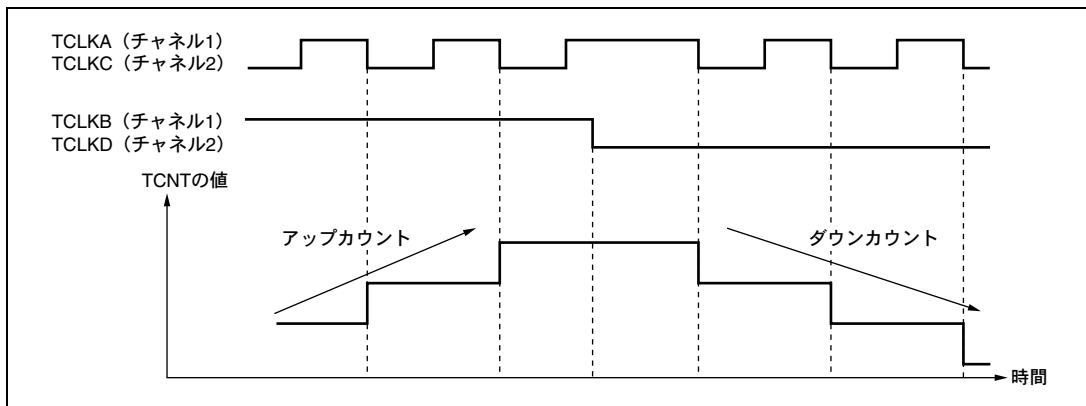


図 8.23 位相計数モード 2 の動作例

表 8.21 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	アップカウント
↓	High レベル	
High レベル	↓	Don't care
Low レベル	↑	
↑	High レベル	ダウンカウント
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図8.24に、TCNTのアップ/ダウンカウント条件を表8.22に示します。

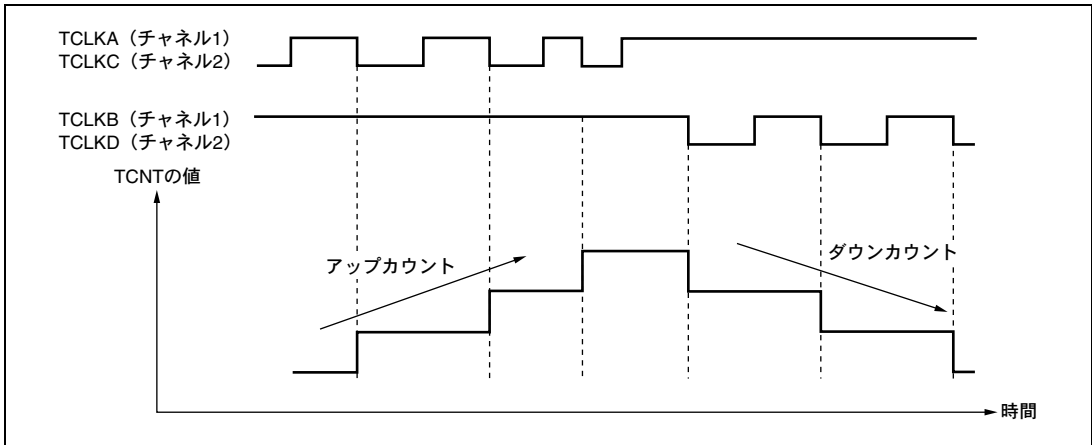


図 8.24 位相計数モード3の動作例

表 8.22 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル1) TCLKC (チャンネル2)	TCLKB (チャンネル1) TCLKD (チャンネル2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	アップカウント
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

8. 16 ビットタイマパルスユニット (TPU)

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 8.25 に、TCNT のアップ/ダウンカウント条件を表 8.23 に示します。

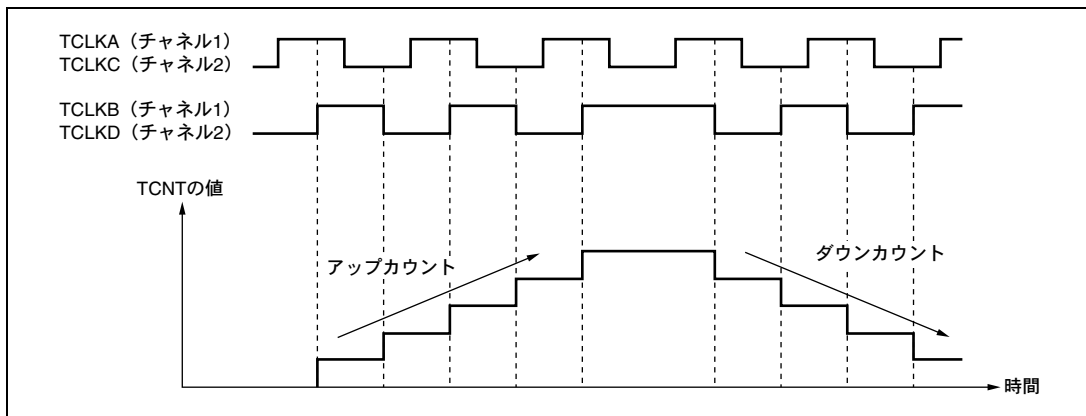


図 8.25 位相計数モード 4 の動作例

表 8.23 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	Don't care
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	Don't care
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図8.26に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入カロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

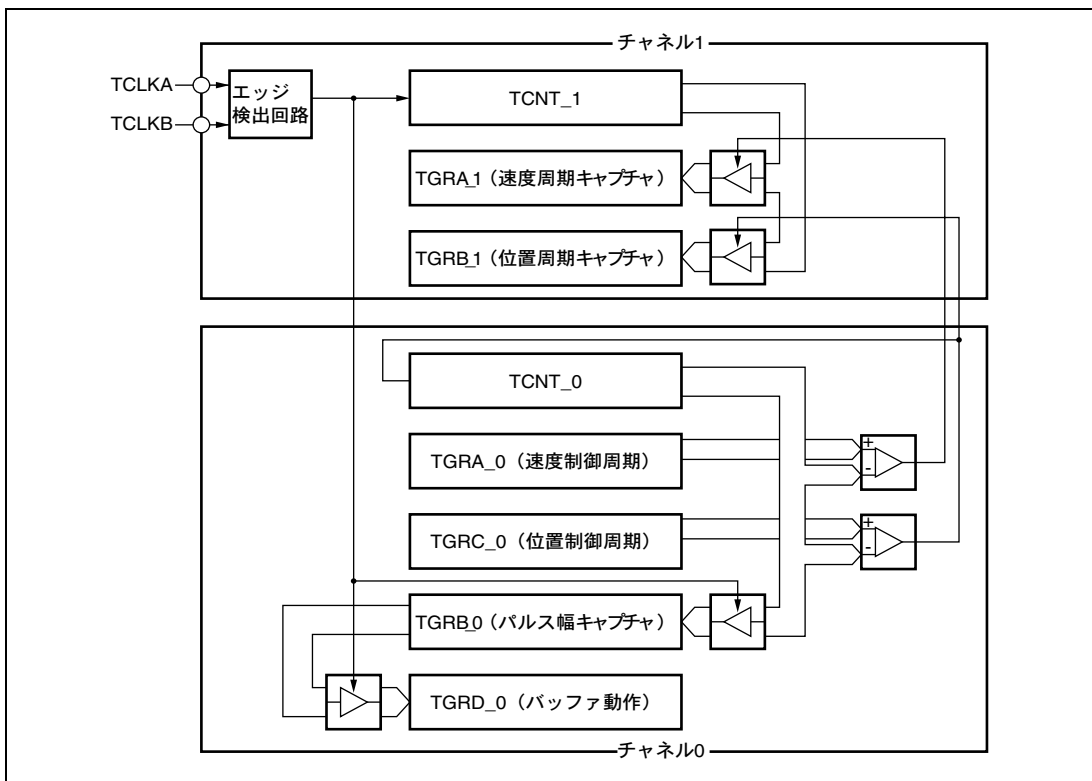


図 8.26 位相計数モードの応用例

8.5 割り込み要因

TPU の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

表 8.24 に TPU の割り込み要因の一覧を示します。

表 8.24 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ
0	TGIA_0	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA0
	TGIB_0	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB0
	TGIC_0	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC0
	TGID_0	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD0
	TCIV_0	TCNT_0 のオーバフロー	TCFV0
1	TGIA_1	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA1
	TGIB_1	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB1
	TCIV_1	TCNT_1 のオーバフロー	TCFV1
	TCIU_1	TCNT_1 のアンダフロー	TCFU1
2	TGIA_2	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA2
	TGIB_2	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB2
	TCIV_2	TCNT_2 のオーバフロー	TCFV2
	TCIU_2	TCNT_2 のアンダフロー	TCFU2

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0 に 4 本、チャンネル 1、2 に各 2 本、計 8 本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 3 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2に各1本、計2本のアンダフロー割り込みがあります。

8.6 A/D変換器の起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、各チャンネル1本、計3本のTGRAのインプットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

8.7 動作タイミング

8.7.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図8.27に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図8.28に示します。

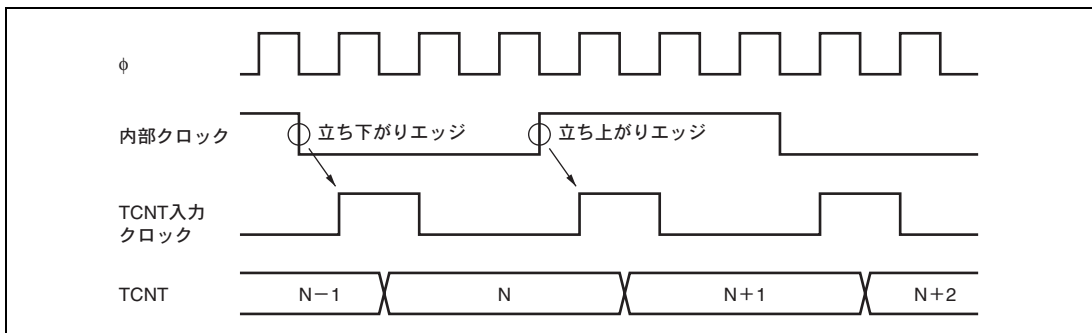


図 8.27 内部クロック動作時のカウンタタイミング

8. 16 ビットタイマパルスユニット (TPU)

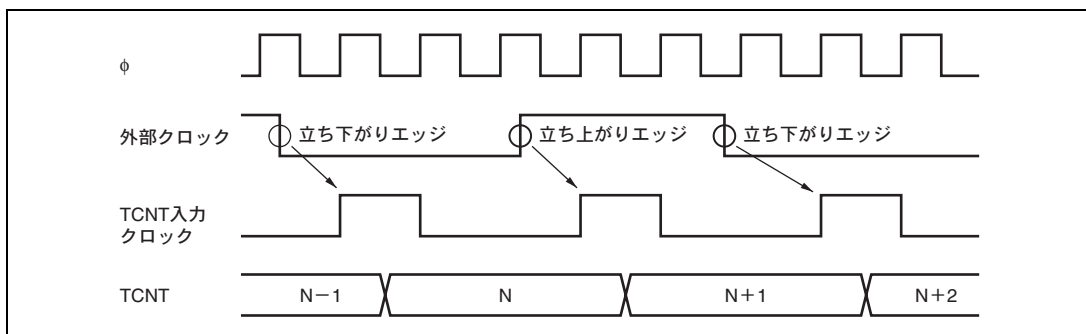


図 8.28 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 8.29 に示します。

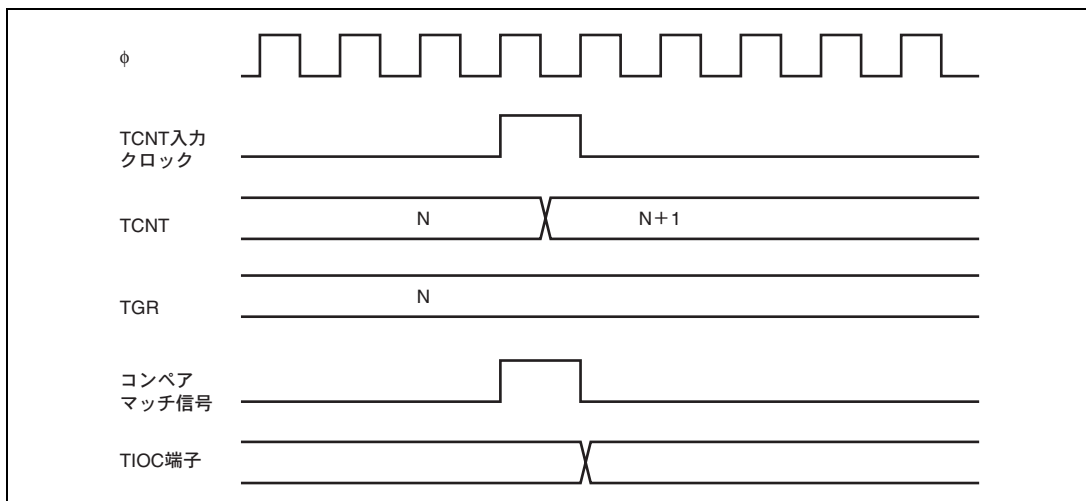


図 8.29 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 8.30 に示します。

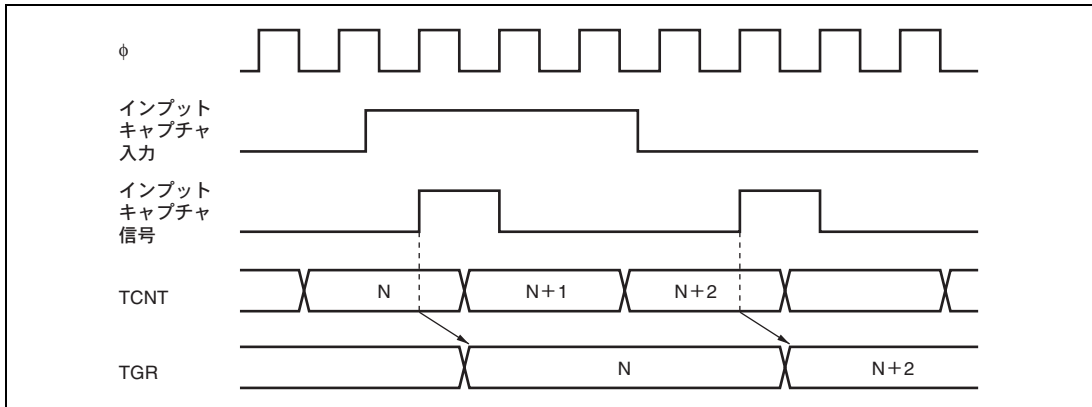


図 8.30 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 8.31 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 8.32 に示します。

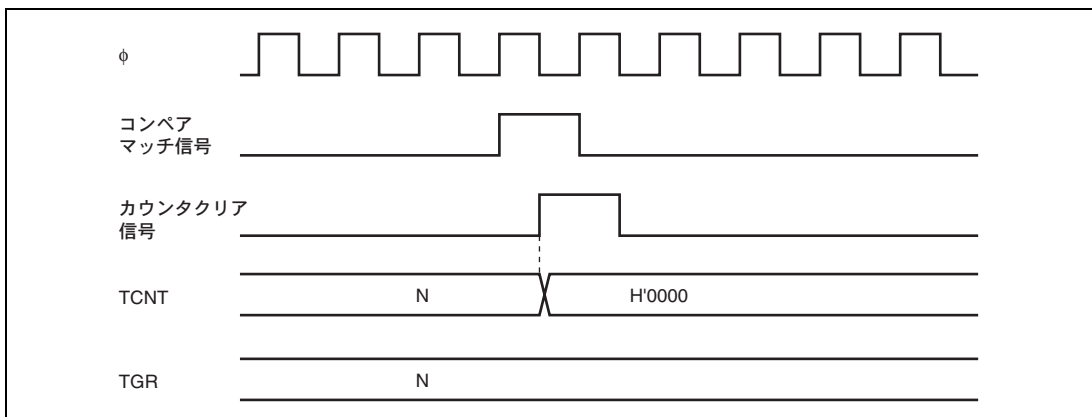


図 8.31 カウンタクリアタイミング (コンペアマッチ)

8. 16 ビットタイマパルスユニット (TPU)

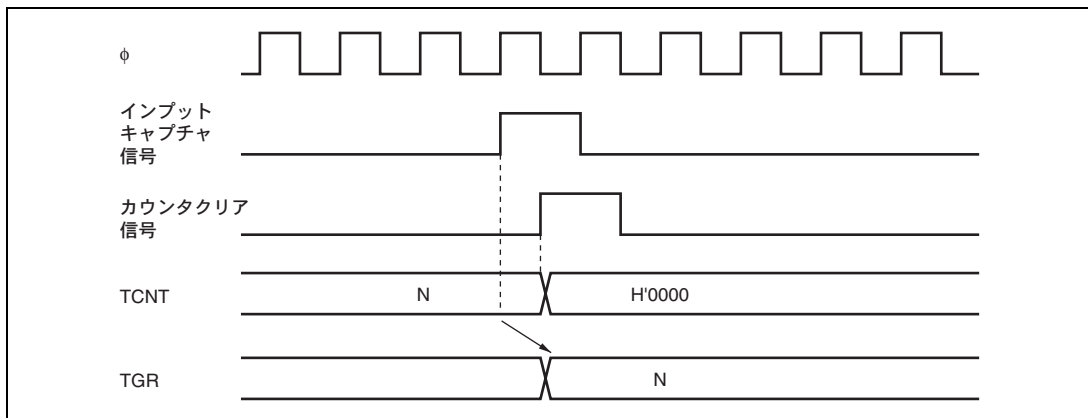


図 8.32 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 8.33、図 8.34 に示します。

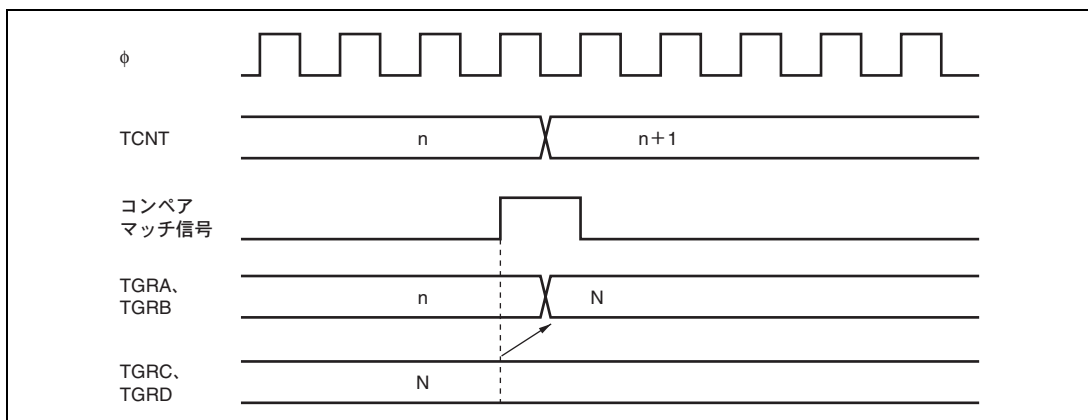


図 8.33 バッファ動作タイミング (コンペアマッチ)

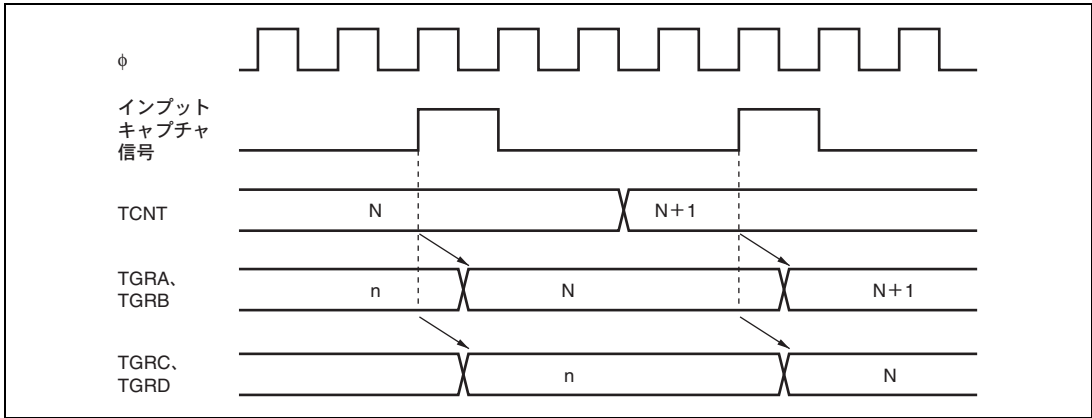


図 8.34 バッファ動作タイミング (インプットキャプチャ)

8.7.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.35 に示します。

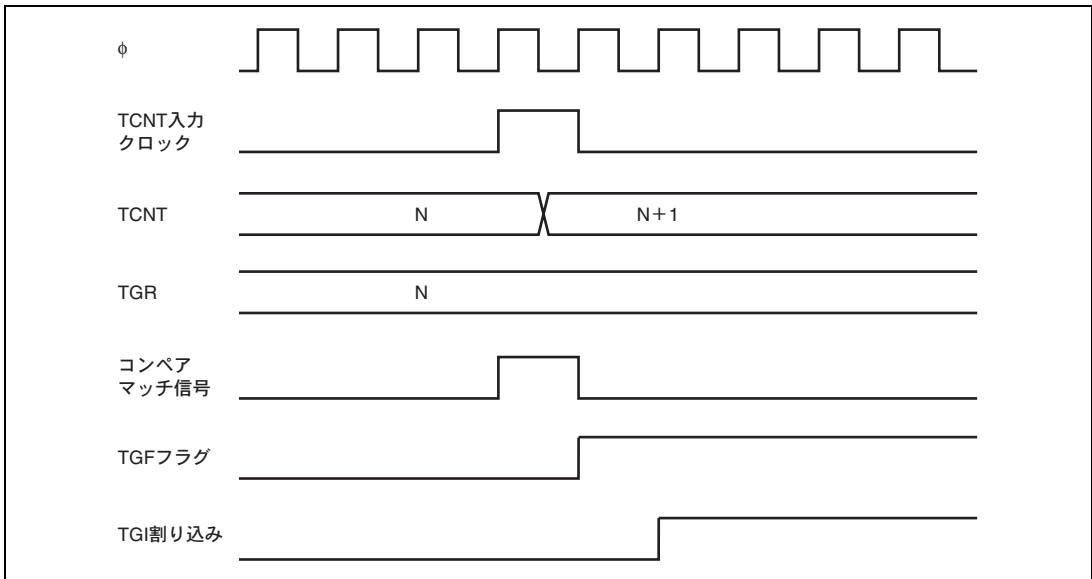


図 8.35 TGI 割り込みタイミング (コンペアマッチ)

8. 16 ビットタイマパルスユニット (TPU)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 8.36 に示します。

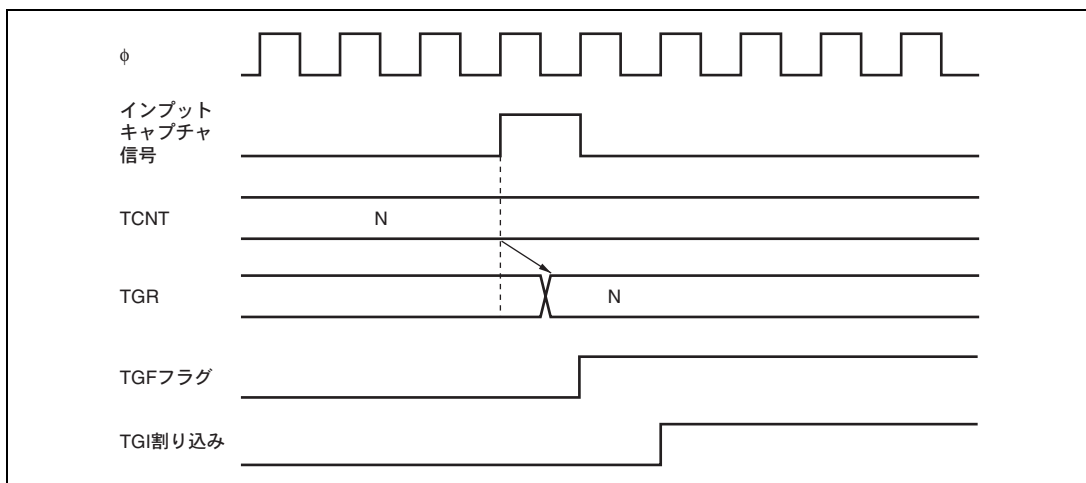


図 8.36 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 8.37 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 8.38 に示します。

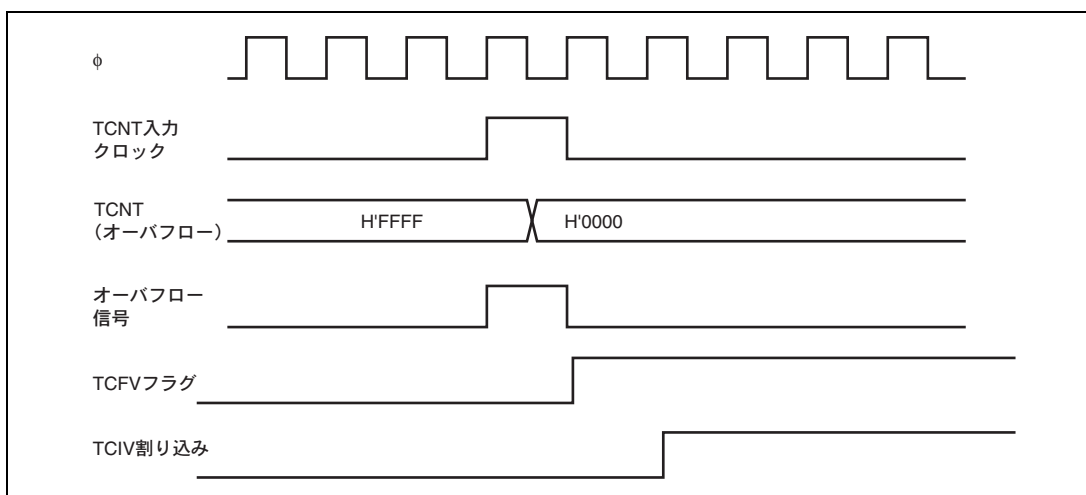


図 8.37 TCIV 割り込みのセットタイミング

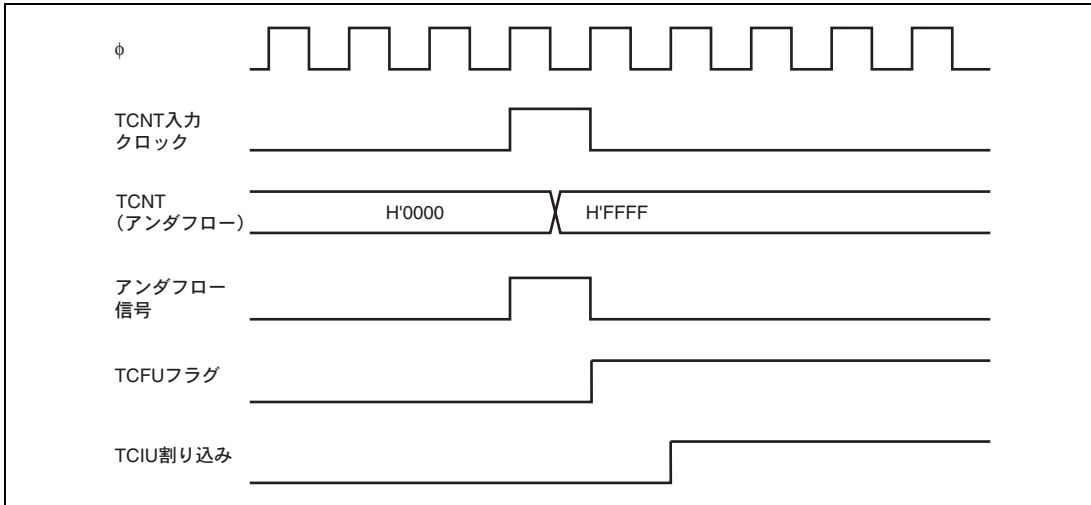


図 8.38 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。CPUによるステータスフラグのクリアタイミングを図 8.39 に示します。

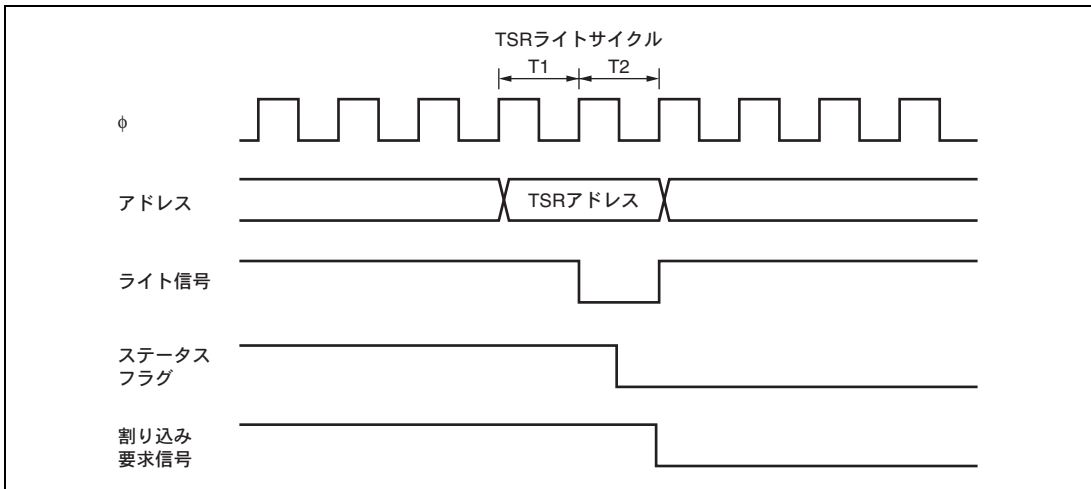


図 8.39 CPU によるステータスフラグのクリアタイミング

8.8 使用上の注意事項

8.8.1 モジュールストップモードの設定

モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止／許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 20 章 低消費電力状態」を参照してください。

8.8.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 8.40 に示します。

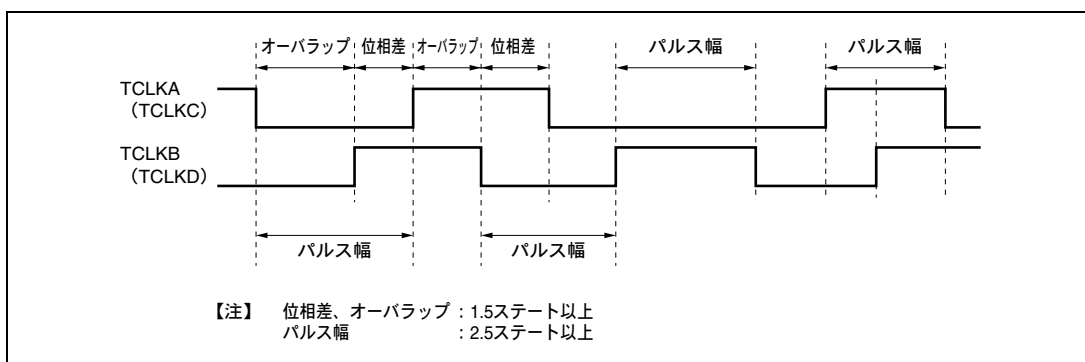


図 8.40 位相計数モード時の位相差、オーバーラップ、およびパルス幅

8.8.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

ϕ : 動作周波数

N : TGR の設定値

8.8.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。

このタイミングを図 8.41 に示します。

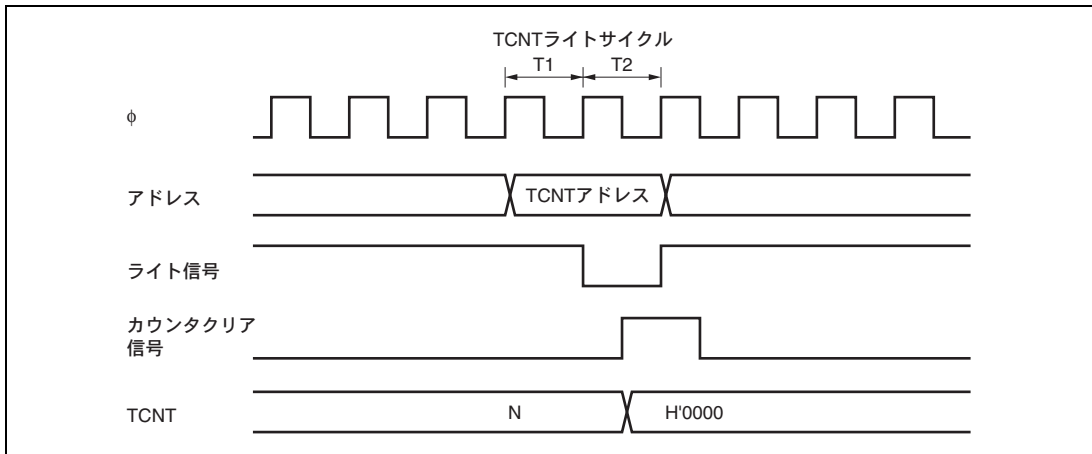


図 8.41 TCNT のライトとクリアの競合

8.8.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 8.42 に示します。

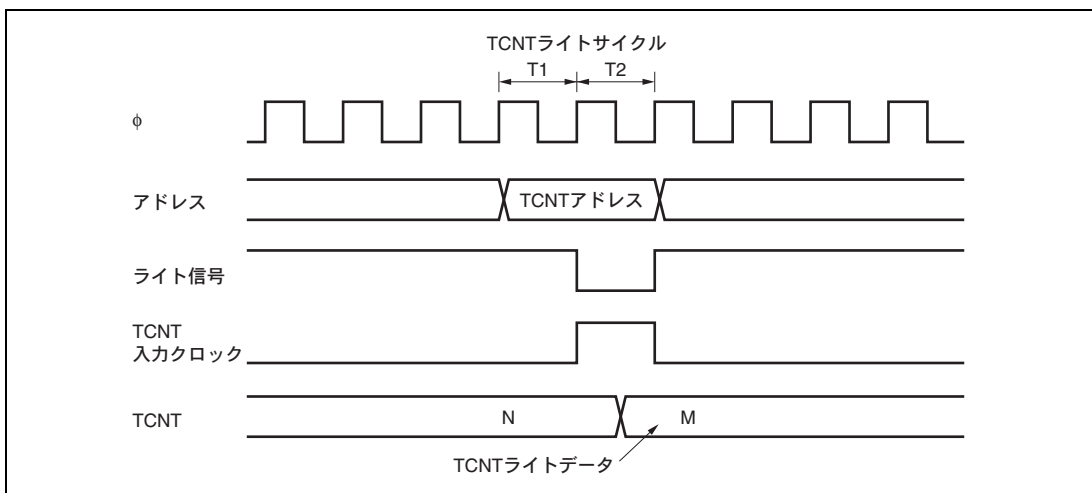


図 8.42 TCNT のライトとカウントアップの競合

8.8.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 8.43 に示します。

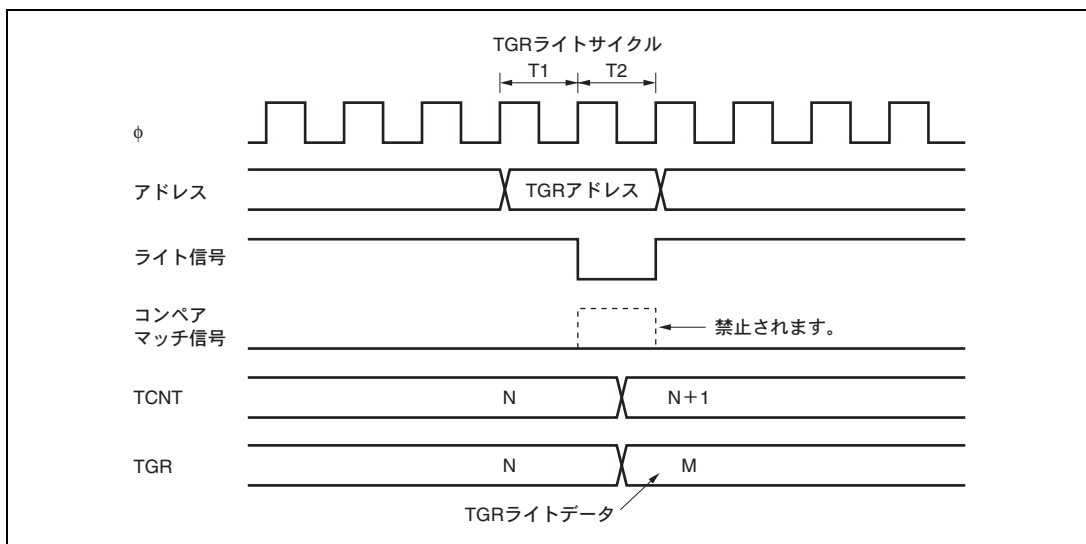


図 8.43 TGR のライトとコンペアマッチの競合

8.8.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 8.44 に示します。

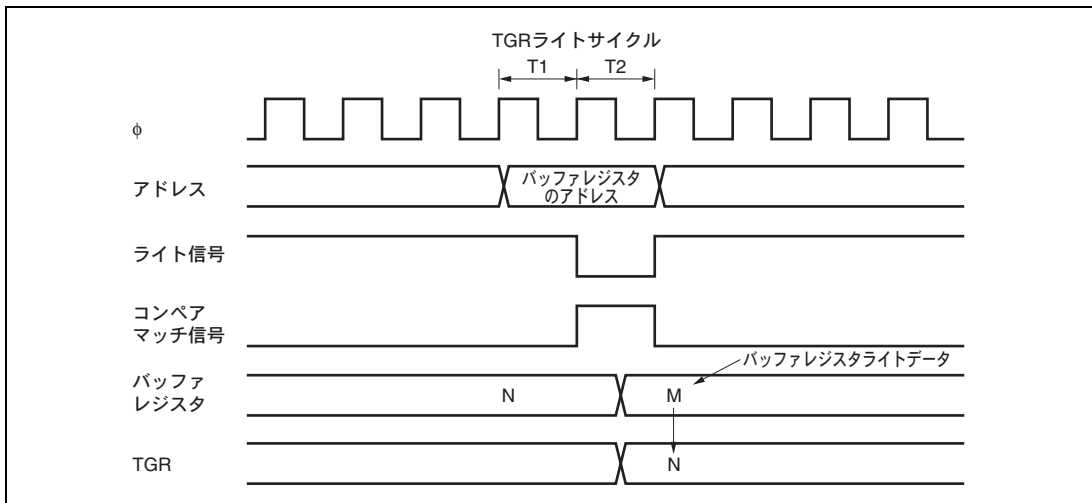


図 8.44 バッファレジスタのライトとコンペアマッチの競合

8. 16 ビットタイマパルスユニット (TPU)

8.8.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 8.45 に示します。

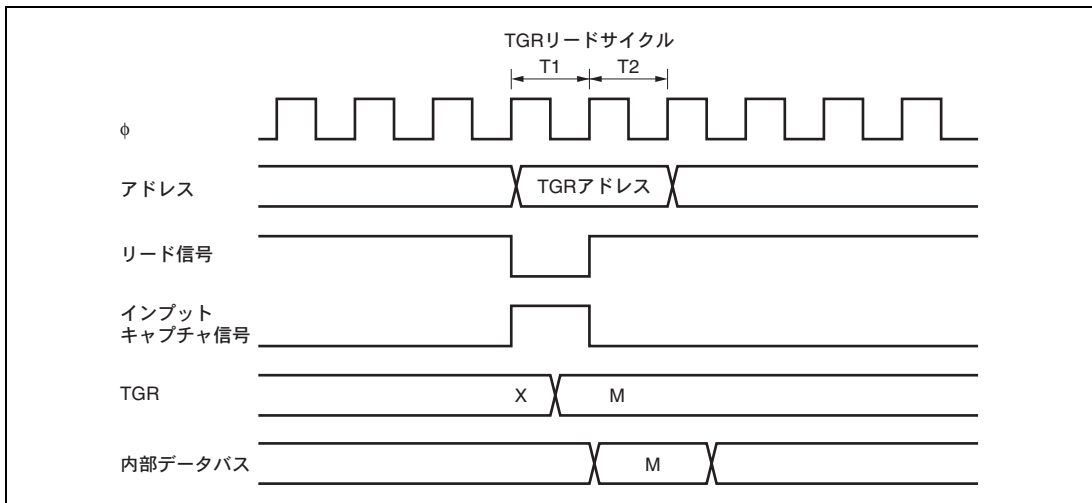


図 8.45 TGR のリードとインプットキャプチャの競合

8.8.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 8.46 に示します。

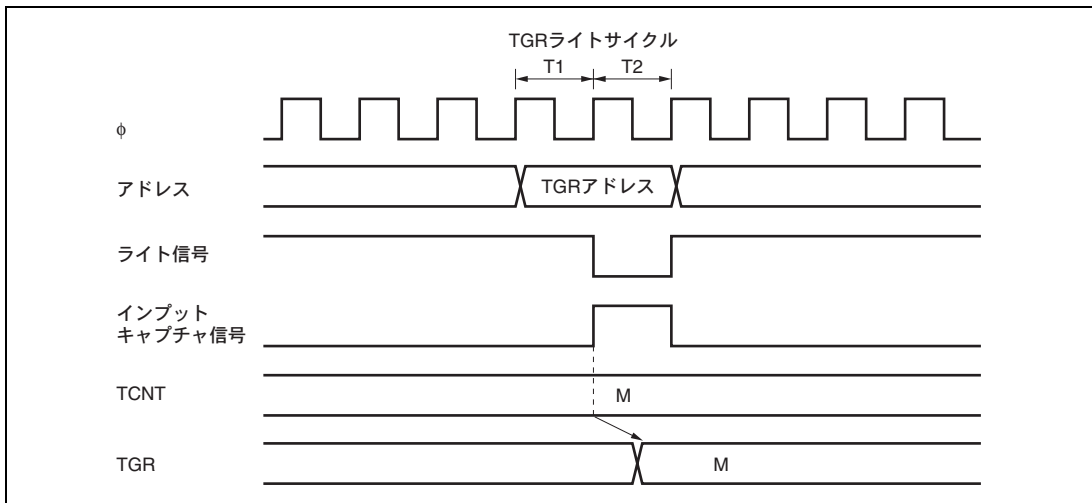


図 8.46 TGR のライトとインプットキャプチャの競合

8.8.10 バッファレジスタのライトと入力キャプチャの競合

バッファレジスタのライトサイクル中のT2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 8.47 に示します。

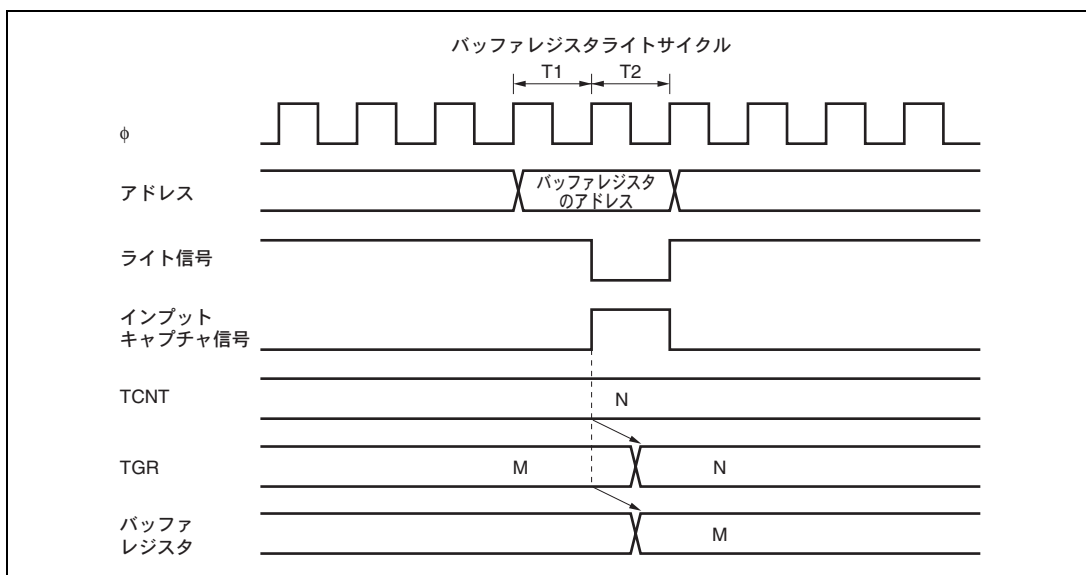


図 8.47 バッファレジスタのライトと入力キャプチャの競合

8.8.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 8.48 に示します。

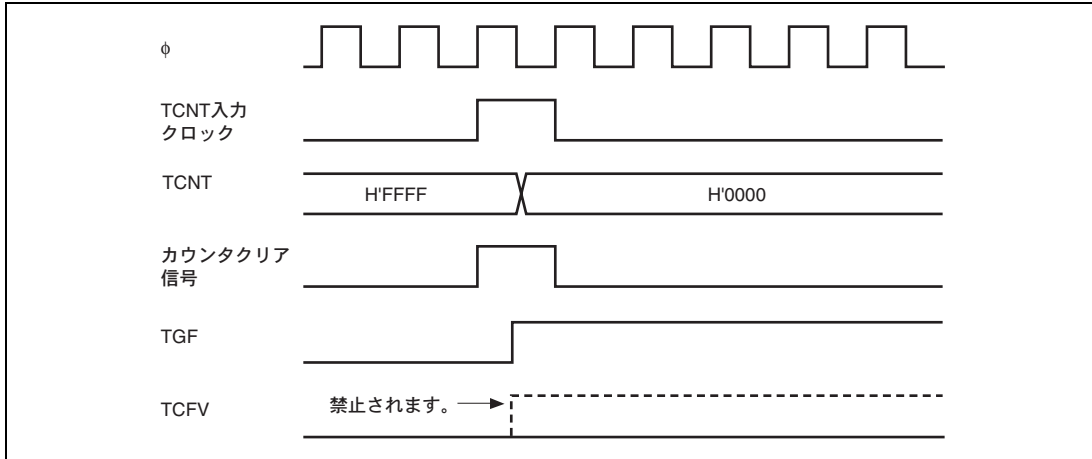


図 8.48 オーバフローとカウンタクリアの競合

8.8.12 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 8.49 に示します。

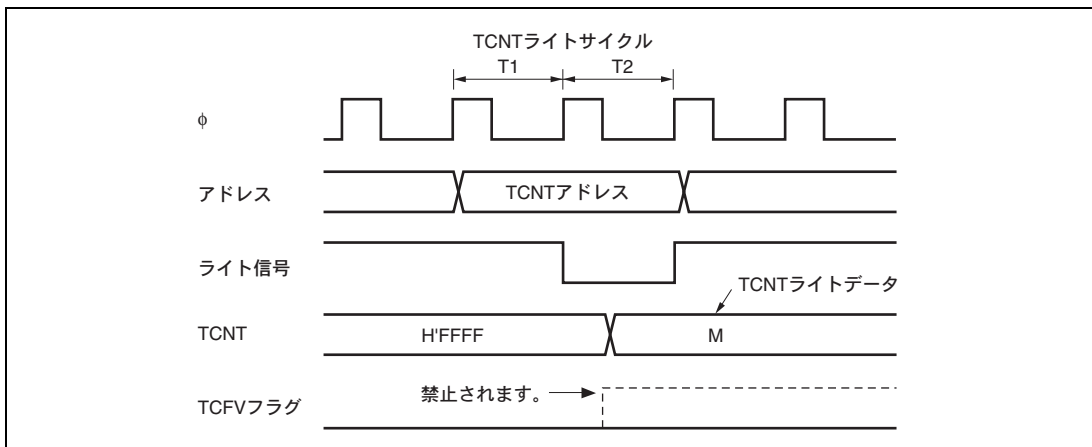


図 8.49 TCNT のライトとオーバフローの競合

8. 16 ビットタイマパルスユニット (TPU)

8.8.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

8.8.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

8.8.15 サブアクティブモード／ウォッチモードへの遷移

割り込みが要求された状態でサブアクティブモードに遷移すると、CPU の割り込み要因のクリアができません。事前に割り込みをディスエーブルしてからサブアクティブモード／ウォッチモードへ遷移してください。

9. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT_0、WDT_1) は8ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると本LSI内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT_0のブロック図を図9.1に、WDT_1のブロック図を図9.2に示します。

9.1 特長

- 8種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本LSI内部をリセットするまたは内部NMI割り込みを発生するかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

9. ウォッチドッグタイマ (WDT)

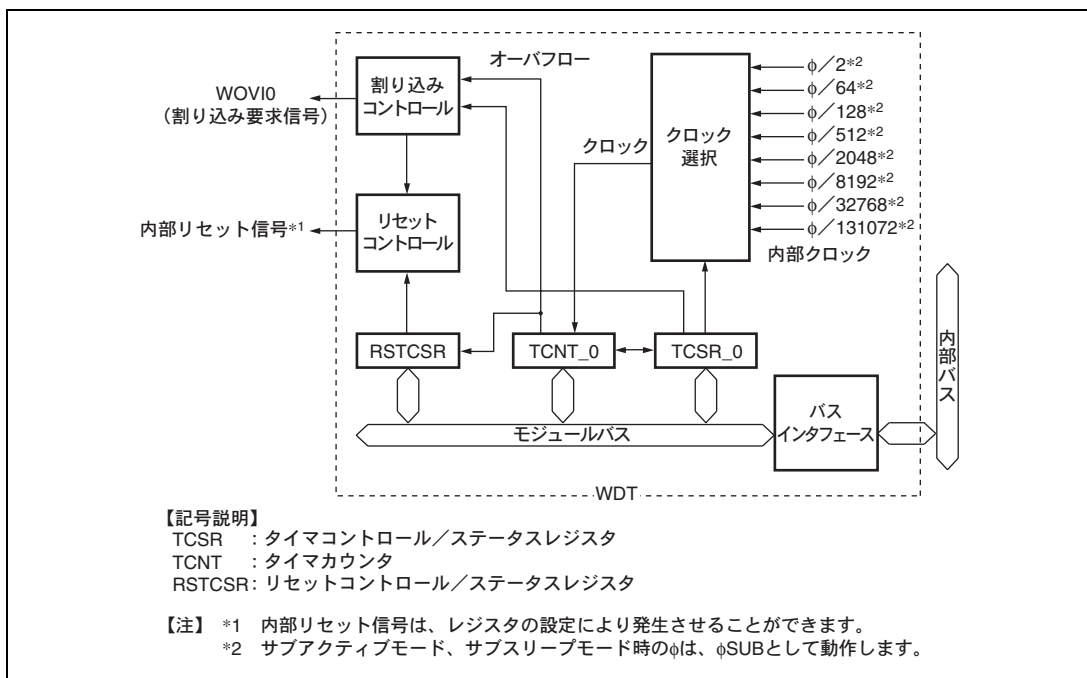


図 9.1 WDT_0 のブロック図

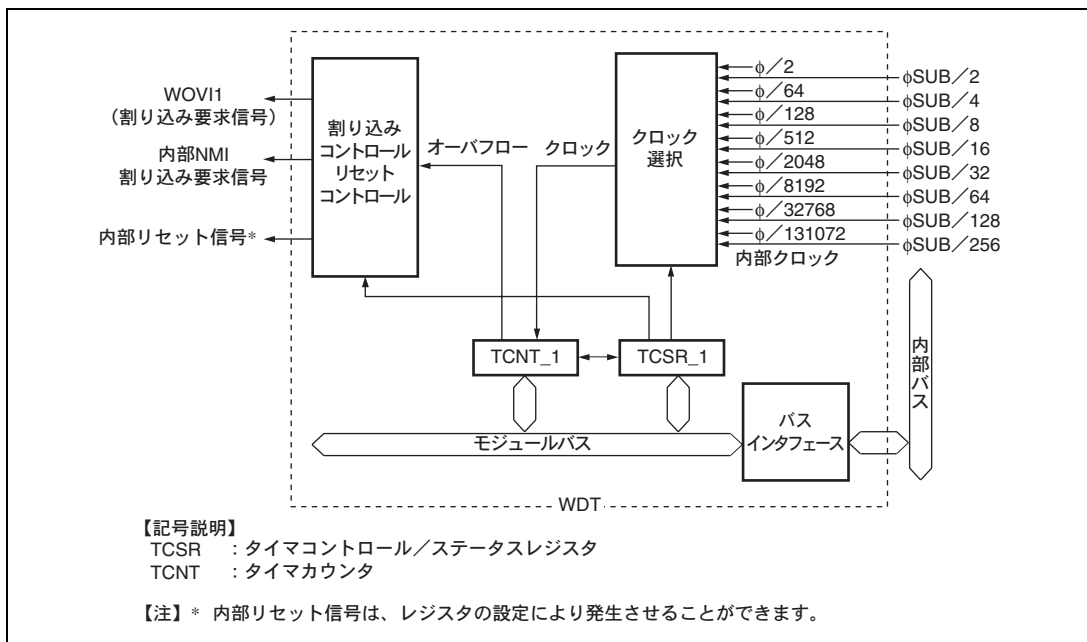


図 9.2 WDT_1 のブロック図

9.2 レジスタの説明

WDTには、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第21章 レジスタ一覧」を参照してください。TCSR、TCNT、RSTCSRは容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「9.5.1 レジスタアクセス時の注意」を参照してください。

- タイマコントロール/ステータスレジスタ0、1 (TCSR_0、TCSR_1)
- タイマカウンタ0、1 (TCNT_0、TCNT_1)
- リセットコントロール/ステータスレジスタ (RSTCSR)

9.2.1 タイマカウンタ 0、1 (TCNT_0、TCNT_1)

TCNTは、リード/ライト可能な8ビットのアップカウンタです。TCNTは、タイマコントロール/ステータスレジスタ (TCSR) のTMEビットが0のとき、H'00に初期化されます。

9. ウォッチドッグタイマ (WDT)

9.2.2 タイマコントロール/ステータスレジスタ 0、1 (TCSR_0、TCSR_1)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>TCNT がオーバフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <p>TCNT がオーバフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4, 3	—	すべて 1	—	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。() 内は$\phi=20\text{MHz}$ のときのオーバフロー周期を表します。</p> <p>000 : クロック$\phi/2$ (周期 25.6μs)</p> <p>001 : クロック$\phi/64$ (周期 819.2μs)</p> <p>010 : クロック$\phi/128$ (周期 1.6ms)</p> <p>011 : クロック$\phi/512$ (周期 6.6ms)</p> <p>100 : クロック$\phi/2048$ (周期 26.2ms)</p> <p>101 : クロック$\phi/8192$ (周期 104.9ms)</p> <p>110 : クロック$\phi/32768$ (周期 419.4ms)</p> <p>111 : クロック$\phi/131072$ (周期 1.68s)</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9. ウォッチドッグタイマ (WDT)

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフローしたことを示します。フラグをクリアするための0クリアのみ可能です。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされません。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを1にセットするとTCNTがカウントを開始します。クリアするとTCNTはカウント動作を停止し、H'00に初期化されます。</p>
4	PSS	0	R/W	<p>プリスケラセレクト</p> <p>TCNTの入カクロックソースを選択します。</p> <p>0 : TCNTはϕベースのプリスケラ (PSM) の分周クロックをカウント</p> <p>1 : TCNTはϕSUBベースのプリスケラ (PSS) の分周クロックをカウント</p>
3	RST/NMI	0	R/W	<p>リセットまたはNMI</p> <p>ウォッチドッグタイマモードで、TCNTがオーバーフローしたときに、内部リセットとNMI割り込み要求のいずれを要求するかを選択します。</p> <p>0 : NMI割り込みを要求</p> <p>1 : 内部リセットを要求</p>

9. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	TCNT に入力するクロックを選択します。()内は $\phi=20\text{MHz}$ (本 LSI への入力 5 MHz で 4 通倍、 $\phi\text{SUB}=39.1\text{kHz}$) のときのオーバーフロー周期を表します。オーバーフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。 PSS=0 のとき 000 : クロック $\phi/2$ (周期 25.6 μs) 001 : クロック $\phi/64$ (周期 819.2 μs) 010 : クロック $\phi/128$ (周期 1.6ms) 011 : クロック $\phi/512$ (周期 6.6ms) 100 : クロック $\phi/2048$ (周期 26.2ms) 101 : クロック $\phi/8192$ (周期 104.9ms) 110 : クロック $\phi/32768$ (周期 419.4ms) 111 : クロック $\phi/131072$ (周期 1.68s) PSS=1 のとき 000 : クロック $\phi\text{SUB}/2$ (周期 13.1ms) 001 : クロック $\phi\text{SUB}/4$ (周期 26.2ms) 010 : クロック $\phi\text{SUB}/8$ (周期 52.4ms) 011 : クロック $\phi\text{SUB}/16$ (周期 104.9ms) 100 : クロック $\phi\text{SUB}/32$ (周期 209.7ms) 101 : クロック $\phi\text{SUB}/64$ (周期 419.4ms) 110 : クロック $\phi\text{SUB}/128$ (周期 838.9ms) 111 : クロック $\phi\text{SUB}/256$ (周期 1.6777s)
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー(H'FF→H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで、TCNT がオーバーフローすると発生する内部リセットの種類を選択します。 0 : パワーオンリセット 1 : 設定禁止
4~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9.3 動作説明

9.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するとき、TCSR の WT/\overline{IT} ビット=1 に、TME ビット=1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバフローすると、WDTOVF 信号が出力されます。

システムが正常に動作している間は、TCNT のオーバフローは発生しません。TCNT がオーバフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバフローを発生させないようにプログラムしてください。

さらに、ウォッチドッグタイマモード時には、WDTOVF 信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておく、TCNT がオーバフローしたときに、WDTOVF 信号と同時に、本 LSI の内部をリセットする信号が発生します。リセットは、RSTCSR の RSTS ビット=0 に設定することにより、パワーオンリセットを選択してください。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

WDTOVF 信号は、RSTCSR の RSTE ビット=1 のとき 132 ステート、RSTE ビット=0 のとき 130 ステートの間出力されます。

内部リセット信号は、518 ステートの間出力されます。

ウォッチドッグタイマモードで TCNT がオーバフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

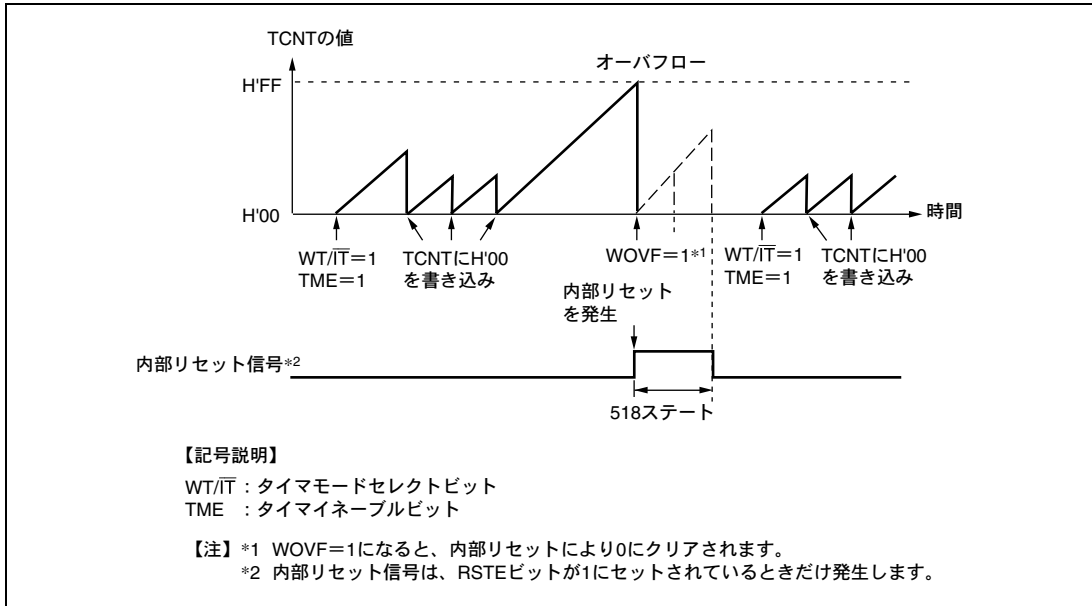


図 9.3 (a) WDT_0のウォッチドッグタイマモード時の動作

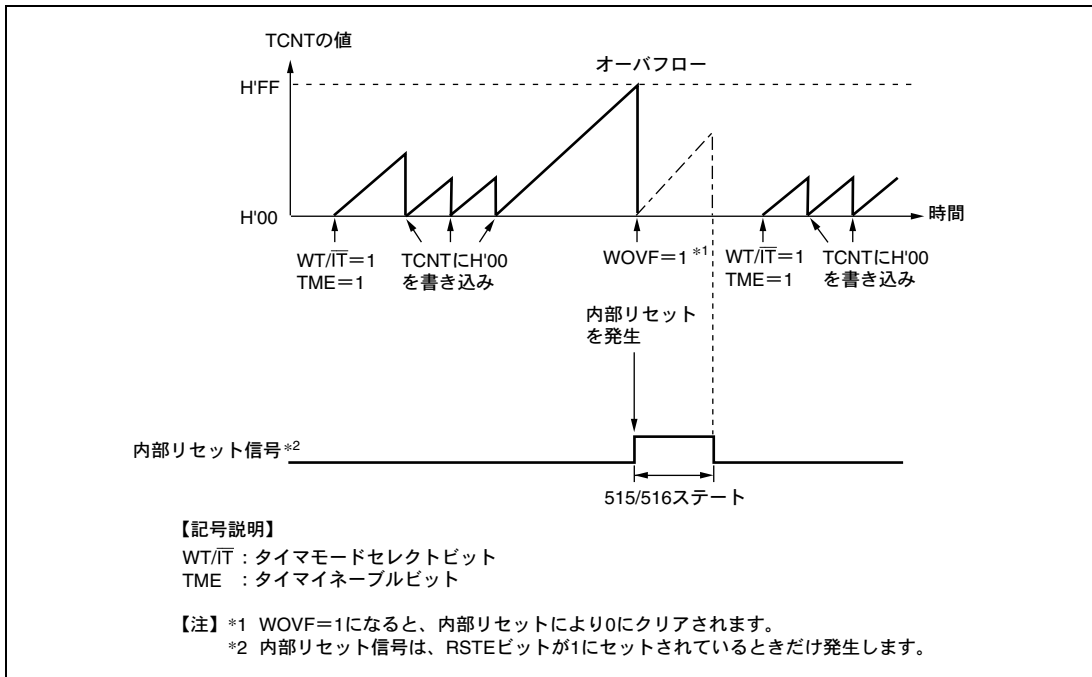


図 9.3 (b) WDT_1のウォッチドッグタイマモード時の動作

9. ウォッチドッグタイマ (WDT)

9.3.2 インターバルタイマモード時

インターバルタイマとして動作しているときは、TCNTがオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードでTCNTがオーバーフローすると、TCSRのOVFビットが1にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

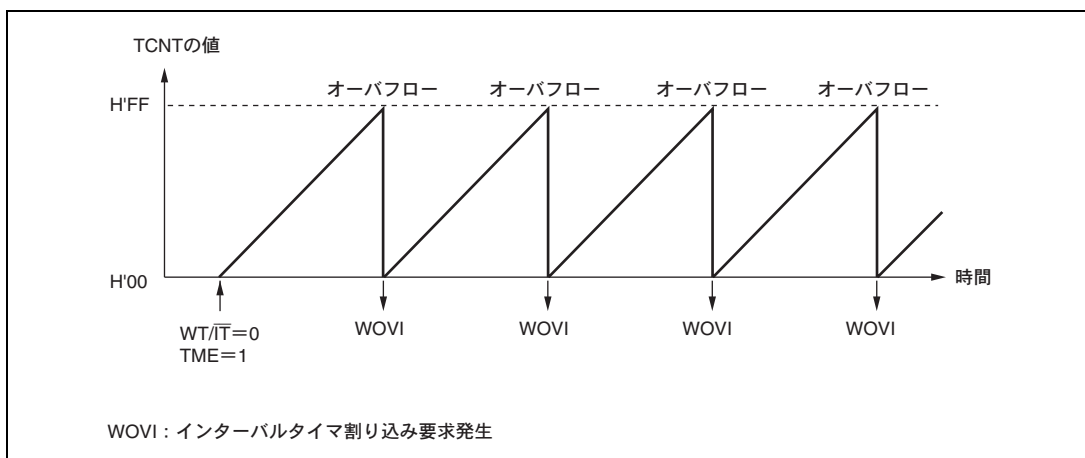


図 9.4 インターバルタイマモード時の動作

9.4 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSRのOVFフラグが1にセットされると常に要求されます。割り込み処理ルーチンで必ずOVFを0にクリアしてください。

ウォッチドッグタイマモードでNMI割り込み要求を選択したときは、オーバーフローによりNMI割り込み要求が発生します。

表 9.1 WDTの割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNTのオーバーフロー (インターバルタイマモード)	OVF
NMI	TCNTのオーバーフロー (ウォッチドッグタイマモード)	OVF

9.5 使用上の注意事項

9.5.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 9.5 に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス H'FF76 に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、ライトの方法が異なります。このため、図 9.5 に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、図 9.5 に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

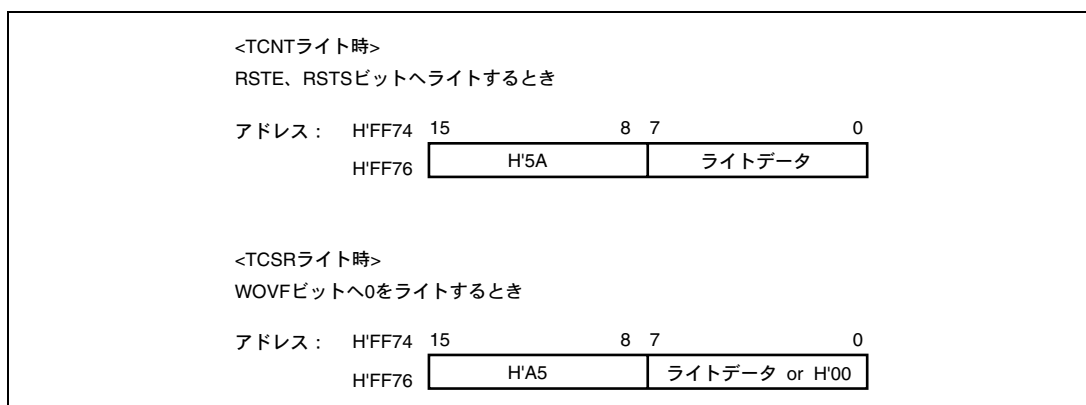


図 9.5 TCNT、TCSR、RSTCSR へのライト (WDT0 の例)

(2) TCNT、TCSR、RSTCSR からのリード (WDT0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

9. ウォッチドッグタイマ (WDT)

9.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNTのライトサイクル中のT2ステートでカウントアップが発生しても、カウントアップされずにTCNTへのカウンタライトが優先されます。これを図9.6に示します。

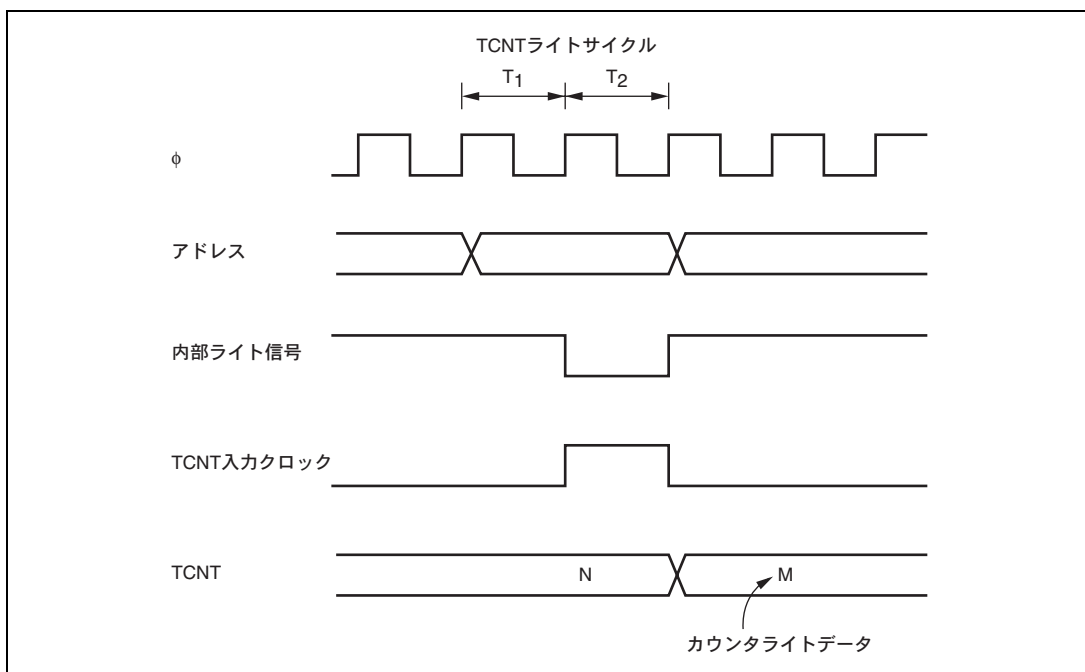


図 9.6 TCNT のライトとカウントアップの競合

9.5.3 CKS2~CKS0 ビットの書き換え

WDTの動作中にTCSRのCKS2~CKS0ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2~CKS0ビットを書き換えるときは、必ずWDTを停止させてから(TMEビットを0にクリアしてから)行ってください。

9.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDTの動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ずWDTを停止させてから(TMEビットを0にクリアしてから)行ってください。

9.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくこと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

オーバーフローが発生してから 132 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバーフローが発生してから 132 ステート待った後、WOVF フラグに 0 をライトしてください。

9.5.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合等、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

9. ウォッチドッグタイマ (WDT)

10. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。SCI のブロック図を図 10.1 に示します。

10.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。

- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)

- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。

- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能

- ストップビット長 : 1ビット/2ビット選択可能

- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能

- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー

- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

クロック同期式モード

- データ長 : 8ビット

- 受信エラーの検出 : オーバランエラー

10. シリアルコミュニケーションインタフェース (SCI)

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

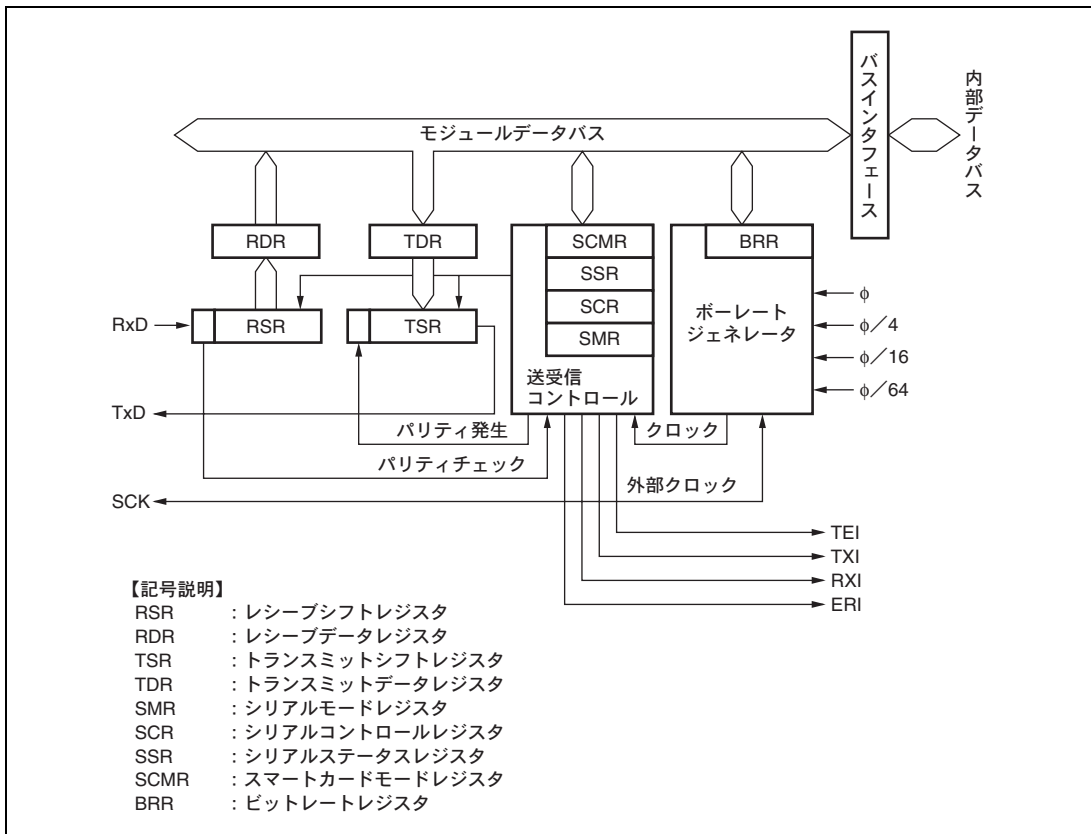


図 10.1 SCIのブロック図

10.2 入出力端子

SCIには、表 10.1 の入出力端子があります。

表 10.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

10.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- スマートカードモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)

10.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

10.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

10.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

10.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

10.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ポーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。 送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なしません。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1~0
0	CKS0	0	R/W	内蔵ポーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「10.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「10.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

10. シリアルコミュニケーションインタフェース (SCI)

● スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「10.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「10.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「10.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1~0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「10.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「10.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : ϕ クロック (n=0) 01 : $\phi/4$ クロック (n=1) 10 : $\phi/16$ クロック (n=2) 11 : $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「10.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「10.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

10.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「10.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効) このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「10.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル1~0 クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00 : 内部クロック (SCK 端子は入出力ポートとして使用できます) 01 : 内部クロック (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1X : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。) クロック同期式の場合 0X : 内部クロック (SCK 端子はクロック出力端子となります。) 1X : 外部クロック (SCK 端子はクロック入力端子となります。)

【注】 X : Don't care

10. シリアルコミュニケーションインタフェース (SCI)

● スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効) スマートカードインタフェースではこのビットには0をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。
1	CKE1	0	R/W	クロックイネーブル1~0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「10.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力
0	CKE0	0	R/W	

10.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF=1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • ストップビットが 0 のとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

10. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	トランスミットエンド [セット条件] • SCR の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき [クリア条件] • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF=1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	ERS	0	R/(W)*	エラーシグナルステータス [セット条件] • エラーシグナル Low をサンプリングしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

10. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
2	TEND	1	R	トランスミットエンド 受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。 [セット条件] • SCR の TE=0 かつ ESR=0 のとき • 1バイトのデータを送信して一定期間後、ESR=0 かつ TDRE=1 のとき。 セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0 のとき、送信開始から 2.5etu 後 GM=0、BLK=1 のとき、送信開始から 1.5etu 後 GM=1、BLK=0 のとき、送信開始から 1.0etu 後 GM=1、BLK=1 のとき、送信開始から 1.0etu 後 [クリア条件] • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	MPB	0	R	マルチプロセッサビット スマートカードインタフェースでは使用しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ スマートカードインタフェースではこのビットには 0 をライトして使用してください。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。

10. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

10.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 10.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 10.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	—
スマートカードインタフェース	$B = \frac{\phi \times 10^6}{S \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$

【注】 B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

ϕ : 動作周波数 (MHz)

10. シリアルコミュニケーションインタフェース (SCI)

n と S : 下表のとおり SMR の設定値によって決まります。

SMRの設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMRの設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 10.3 に、各動作周波数における設定可能な最大ビットレートを表 10.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 10.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 10.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「10.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 10.5、表 10.7 に外部クロック入力時の最大ビットレートを示します。

表 10.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	207	0.16	1	255	0.00	2	64	0.16
300	1	103	0.16	1	127	0.00	1	129	0.16
600	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	12	0.16	0	15	0.00	0	15	1.73
19200	-	-	-	0	7	0.00	0	7	1.73
31250	0	3	0.00	0	4	-1.70	0	4	0.00
38400	-	-	-	0	3	0.00	0	3	1.73

10. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

10. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.13	2	191	0.00	2	207	0.13	2	223	0.00
300	2	90	0.13	2	95	0.00	2	103	0.13	2	111	0.00
600	1	181	0.13	1	191	0.00	1	207	0.13	1	223	0.00
1200	1	90	0.13	1	95	0.00	1	103	0.13	1	111	0.00
2400	0	181	0.13	0	191	0.00	0	207	0.13	0	223	0.00
4800	0	90	0.13	0	95	0.00	0	103	0.13	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.13	0	55	0.00
19200	0	22	-0.93	0	23	0.00	0	25	0.13	0	27	0.00
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	13	1.20
38400	-	-	-	0	11	0.00	0	12	0.13	0	13	0.00

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	14	-2.34	0	15	0.00	0	15	1.73

10. シリアルコミュニケーションインタフェース (SCI)

表 10.4 各動作周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N	ϕ (MHz)	最大ビットレート (bit/s)	n	N
4	125000	0	0	12	375000	0	0
4.9152	153600	0	0	12.288	384000	0	0
5	156250	0	0	14	437500	0	0
6	187500	0	0	14.7456	460800	0	0
6.144	192000	0	0	16	500000	0	0
7.3728	230400	0	0	17.2032	537600	0	0
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0

表 10.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500	12	3.0000	187500
4.9152	1.2288	76800	12.288	3.0720	192000
5	1.2500	78125	14	3.5000	218750
6	1.5000	93750	14.7456	3.6864	230400
6.144	1.5360	96000	16	4.0000	250000
7.3728	1.8432	115200	17.2032	4.3008	268800
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500

表 10.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	動作周波数 ϕ (MHz)									
	4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N
110	—	—								
250	2	249	3	124	—	—	3	249		
500	2	124	2	249	—	—	3	124	—	—
1k	1	249	2	124	—	—	2	249	—	—
2.5k	1	99	1	199	1	249	2	99	2	124
5k	0	199	1	99	1	124	1	199	1	249
10k	0	99	0	199	0	249	1	99	1	124
25k	0	39	0	79	0	99	0	159	0	199
50k	0	19	0	39	0	49	0	79	0	99
100k	0	9	0	19	0	24	0	39	0	49
250k	0	3	0	7	0	9	0	15	0	19
500k	0	1	0	3	0	4	0	7	0	9
1M	0	0*	0	1			0	3	0	4
2.5M					0	0*			0	1
5M									0	0*

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

* : 連続送信/連続受信はできません。

【注】 誤差は、なるべく 1%以内になるように設定してください。

表 10.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7	14	2.3333	2333333.3
6	1.0000	1000000.0	16	2.6667	2666666.7
8	1.3333	1333333.3	18	3.0000	3000000.0
10	1.6667	1666666.7	20	3.3333	3333333.3
12	2.0000	2000000.0			

10. シリアルコミュニケーションインタフェース (SCI)

表 10.8 ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

表 10.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき)

ϕ (MHz)	最大ビットレート (bit/s)	n	N	ϕ (MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	14.2848	19200	0	0
10.00	13441	0	0	16.00	21505	0	0
10.7136	14400	0	0	18.00	24194	0	0
13.00	17473	0	0	20.00	26882	0	0

10.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 10.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

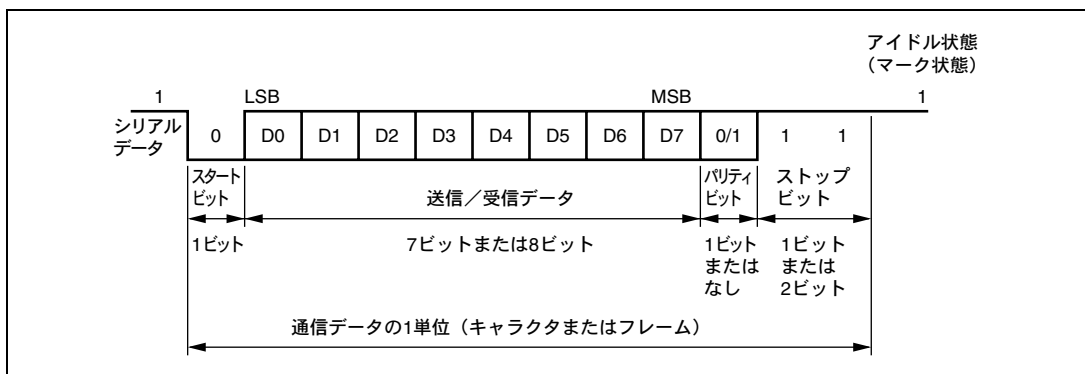


図 10.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

10.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 10.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「10.5 マルチプロセッサ通信機能」を参照してください。

10. シリアルコミュニケーションインタフェース (SCI)

表 10.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	—	1	0	S	8ビットデータ								MPB	STOP			
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	—	1	0	S	7ビットデータ							MPB	STOP				
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセスサビット

10.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図10.3に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5)F \right| \times 100 \quad [\%] \quad \cdots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

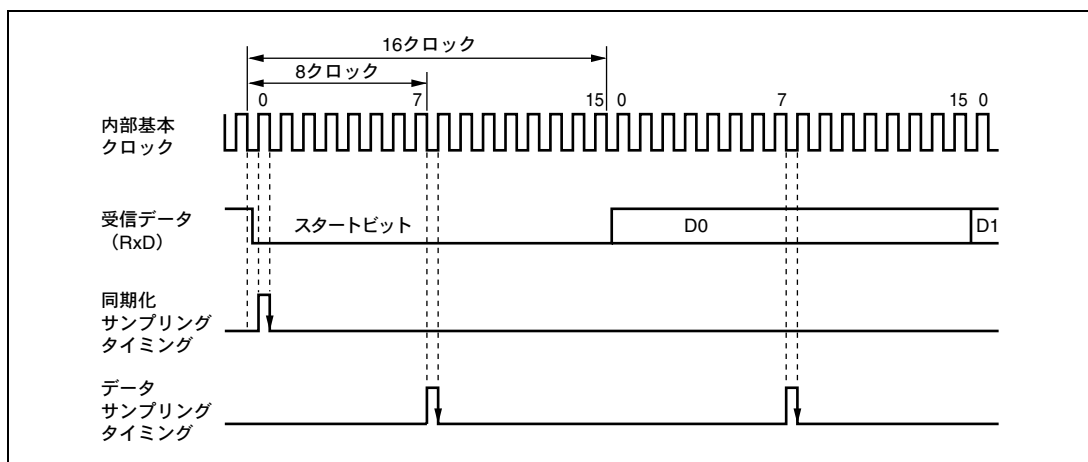


図 10.3 調歩同期式モードの受信データサンプリングタイミング

10.4.3 クロック

SCIの送受信クロックは、SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図10.4に示すように送信データの中央でクロックが立ち上がります。

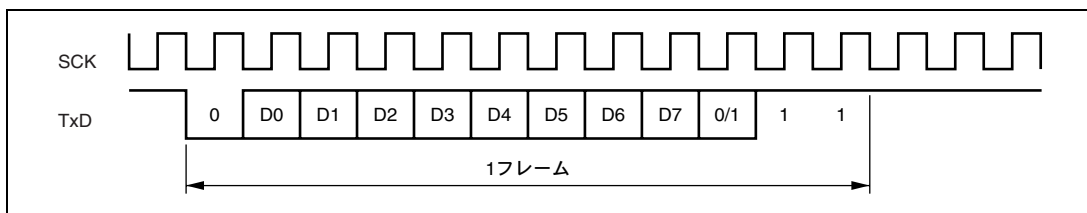


図 10.4 出カクロックと送信データの位相関係 (調歩同期モード)

10.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図10.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

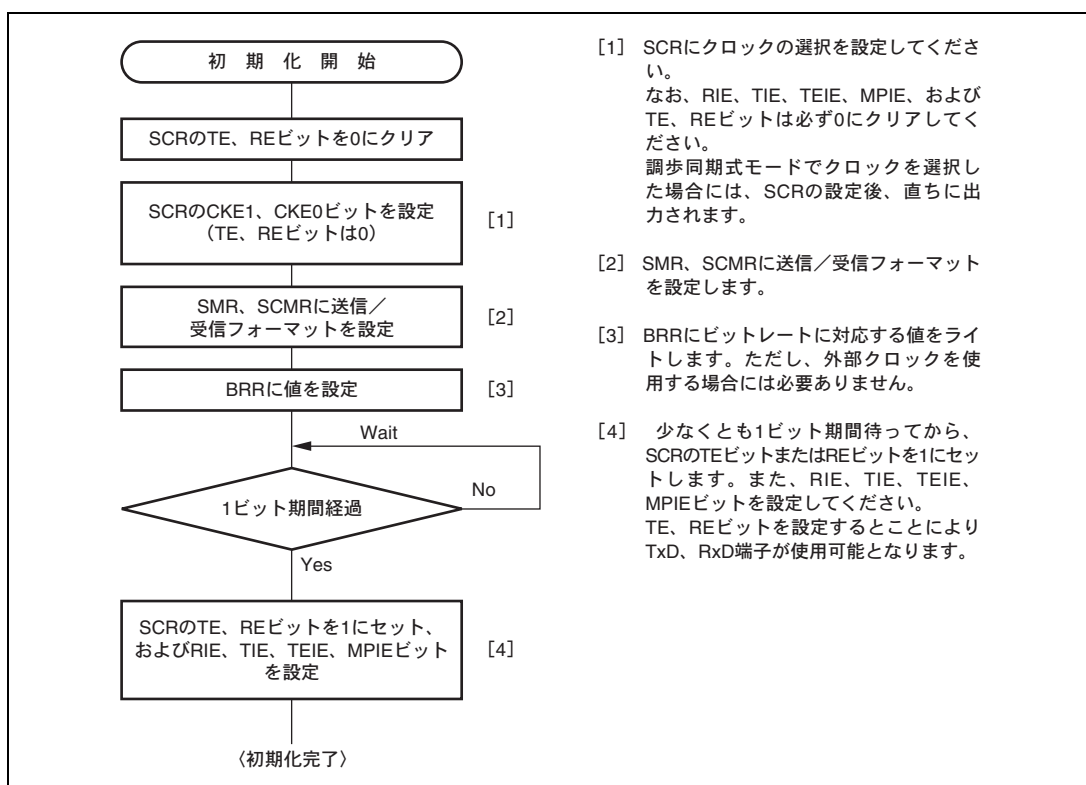


図 10.5 SCIの初期化フローチャートの例

10.4.5 データ送信 (調歩同期式)

図 10.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビット、またはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 10.7 にデータ送信のフローチャートの例を示します。

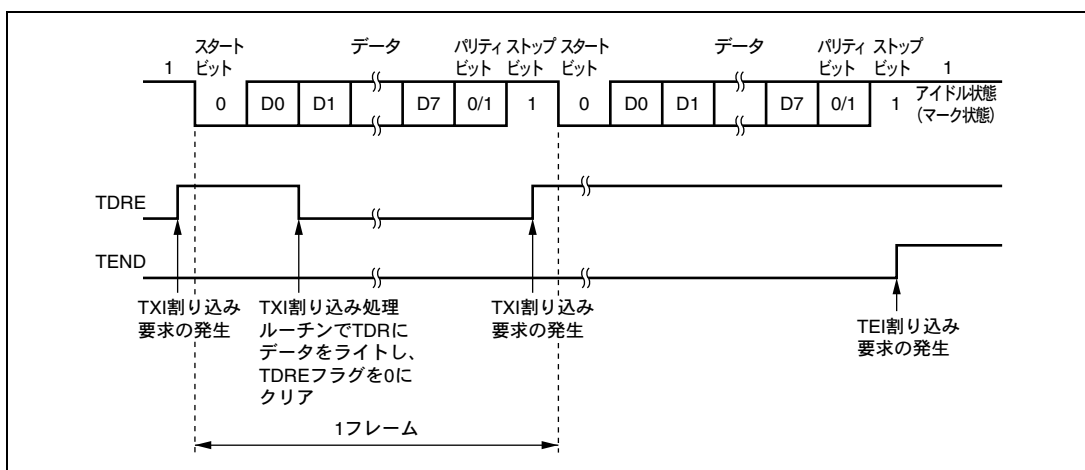


図 10.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

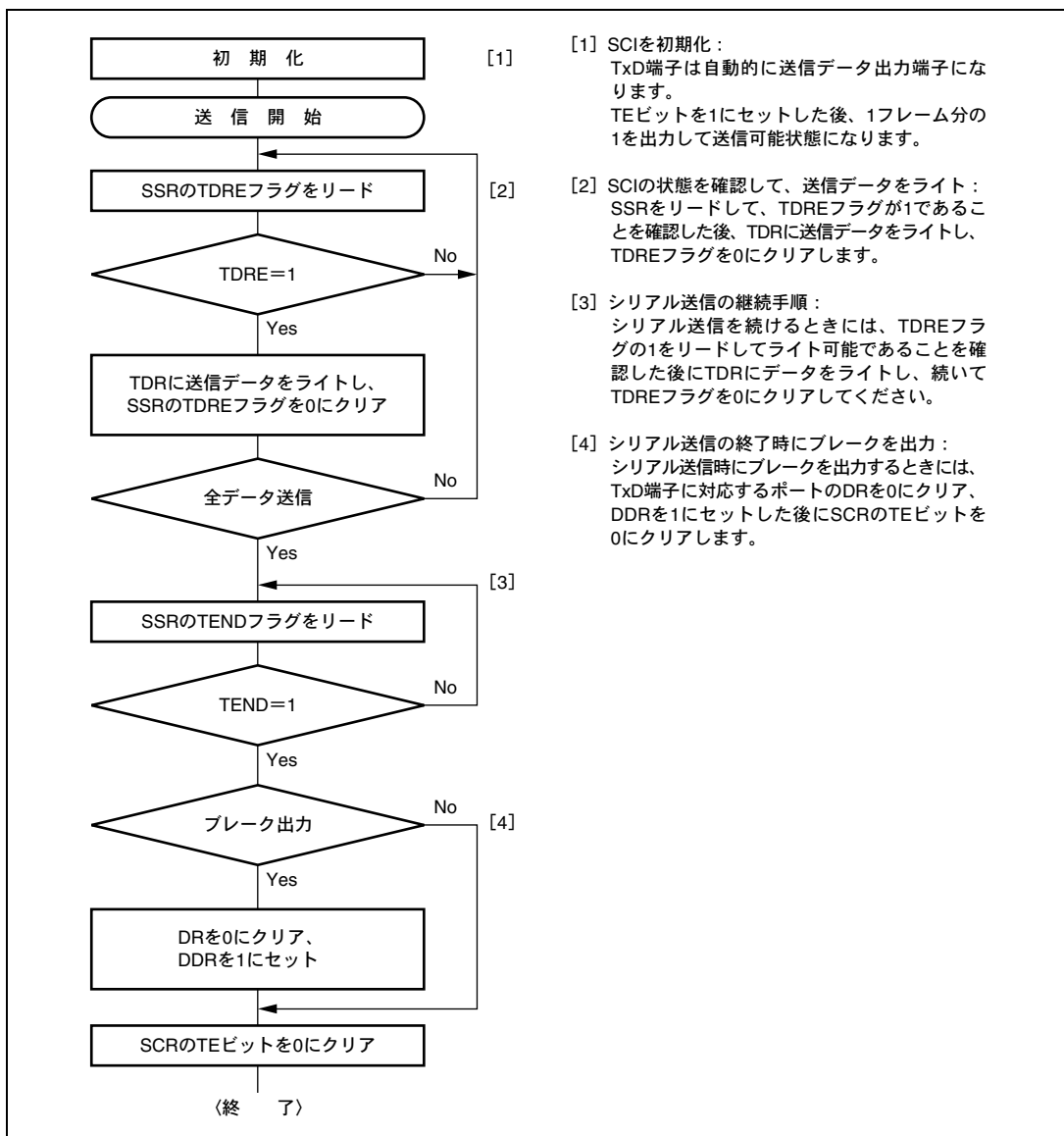


図 10.7 シリアル送信のフローチャートの例

10.4.6 シリアルデータ受信 (調歩同期式)

図 10.8 に調歩同期式モードの送信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRDRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

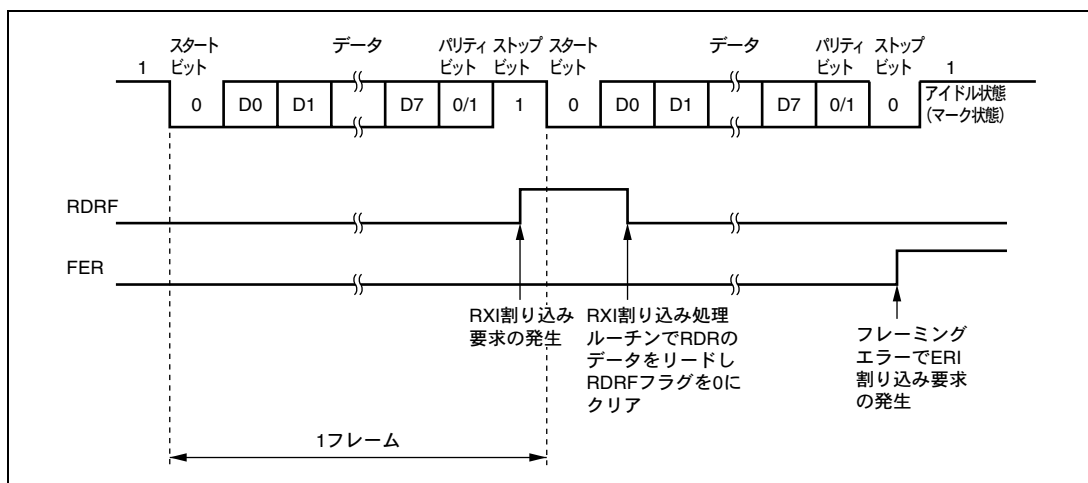


図 10.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 10.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 10.9 にデータ受信のためのフローチャートの例を示します。

表 10.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

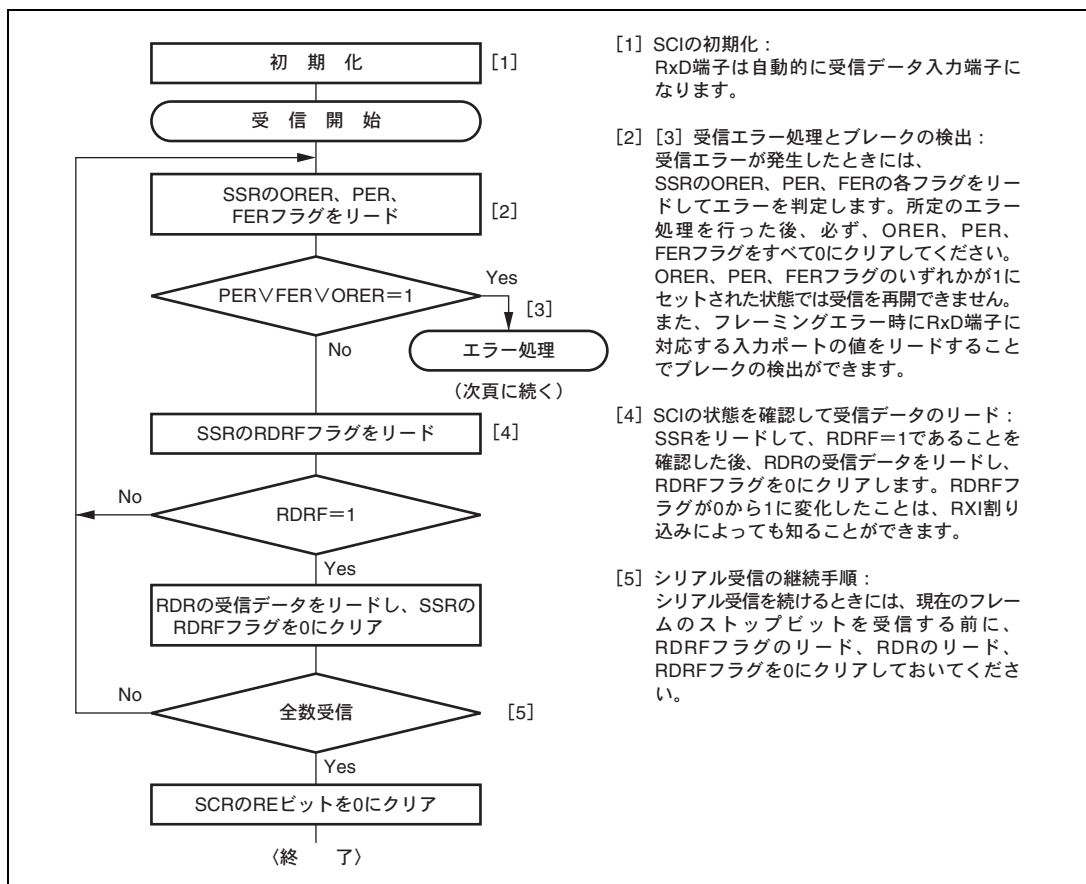


図 10.9 シリアル受信データフローチャートの例 (1)

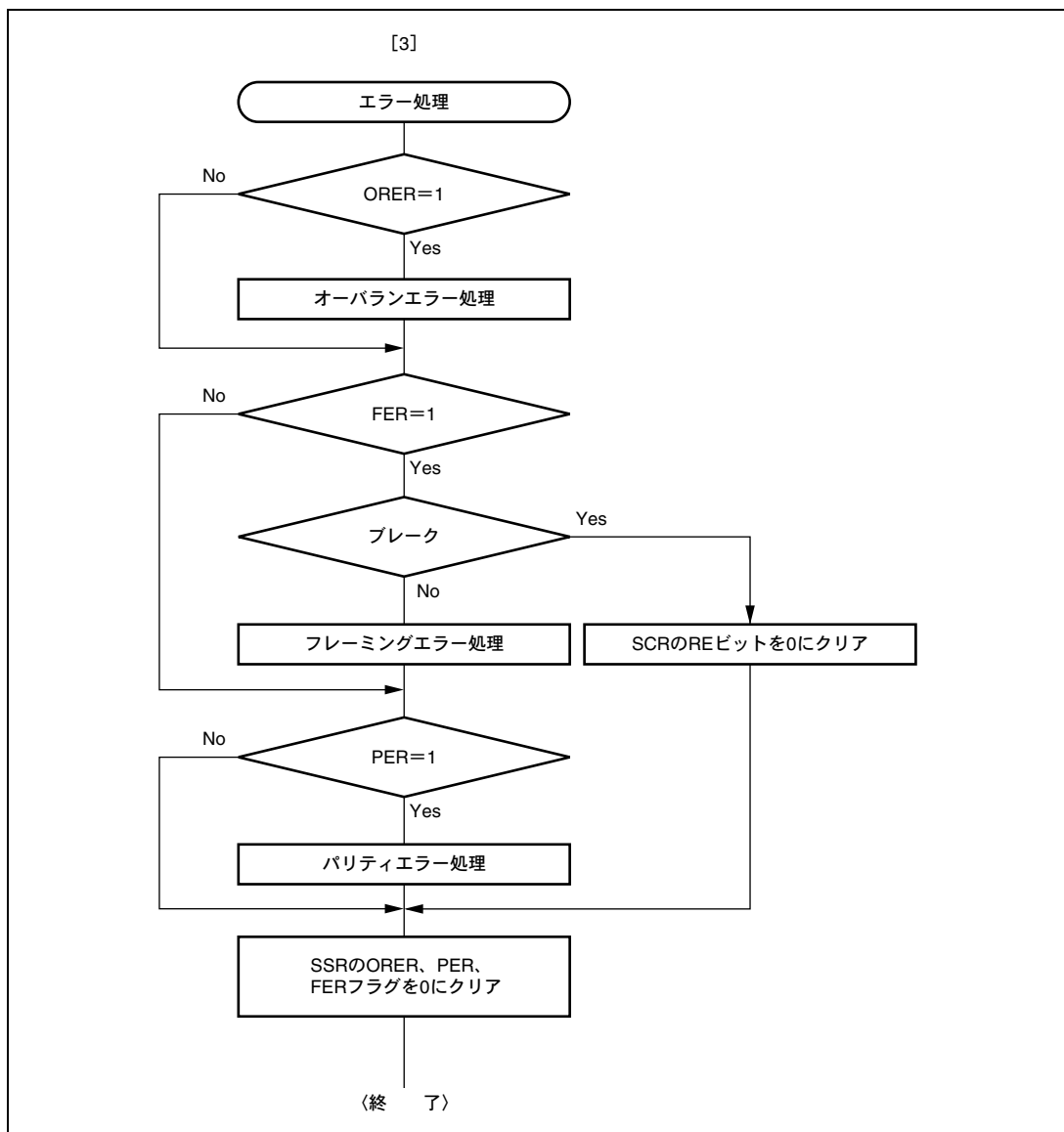


図 10.9 シリアル受信データフローチャートの例 (2)

10.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におのおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 10.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

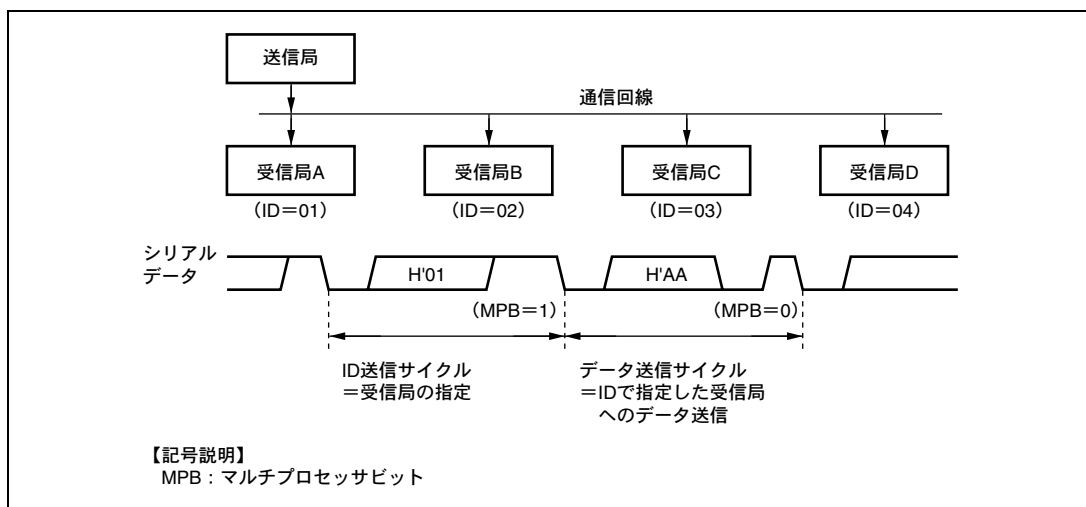


図 10.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

10.5.1 マルチプロセッサシリアルデータ送信

図 10.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

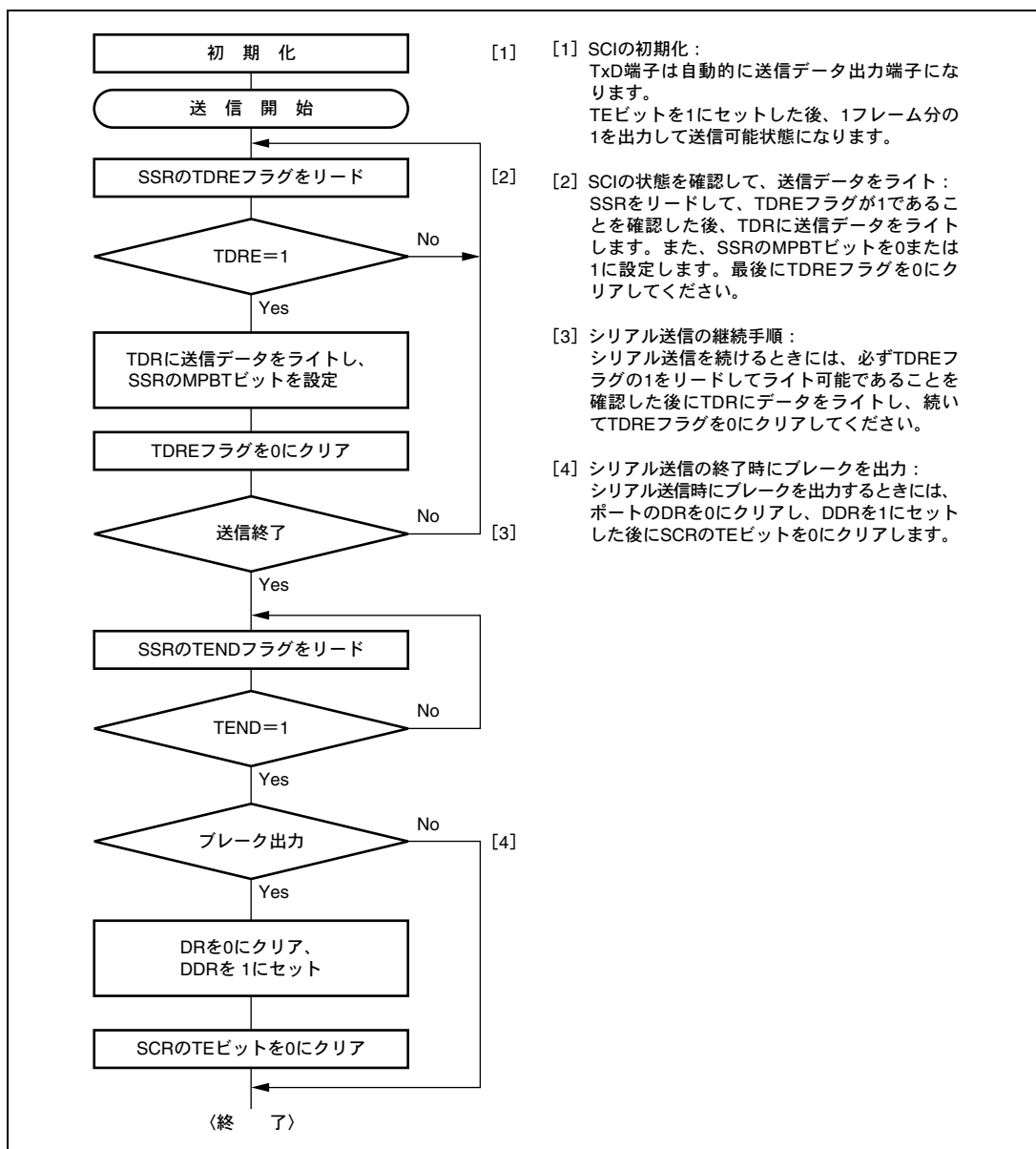


図 10.11 マルチプロセッサシリアル送信のフローチャートの例

10.5.2 マルチプロセッサシリアルデータ受信

図 10.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 10.12 に受信時の動作例を示します。

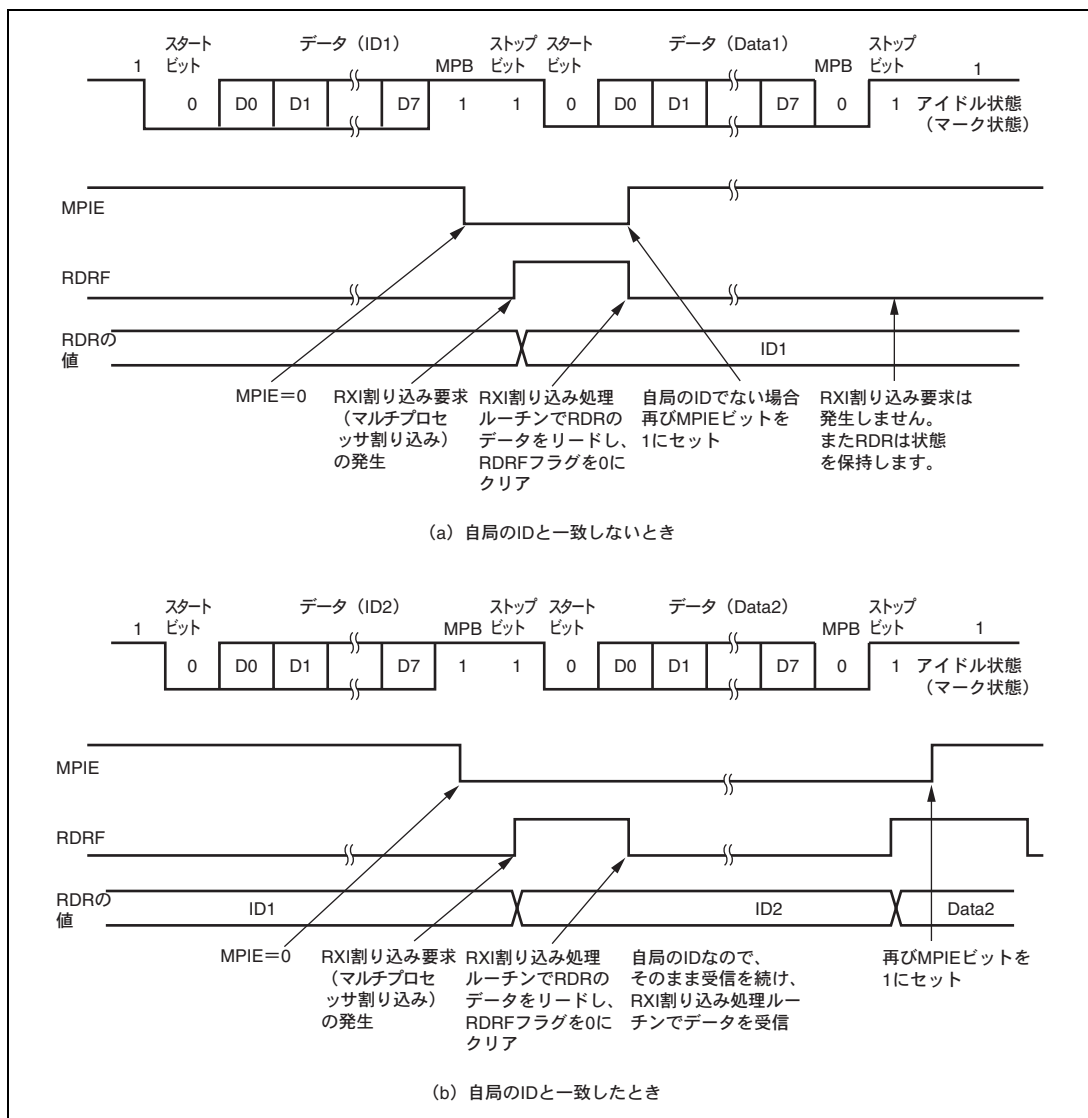


図 10.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

10. シリアルコミュニケーションインタフェース (SCI)

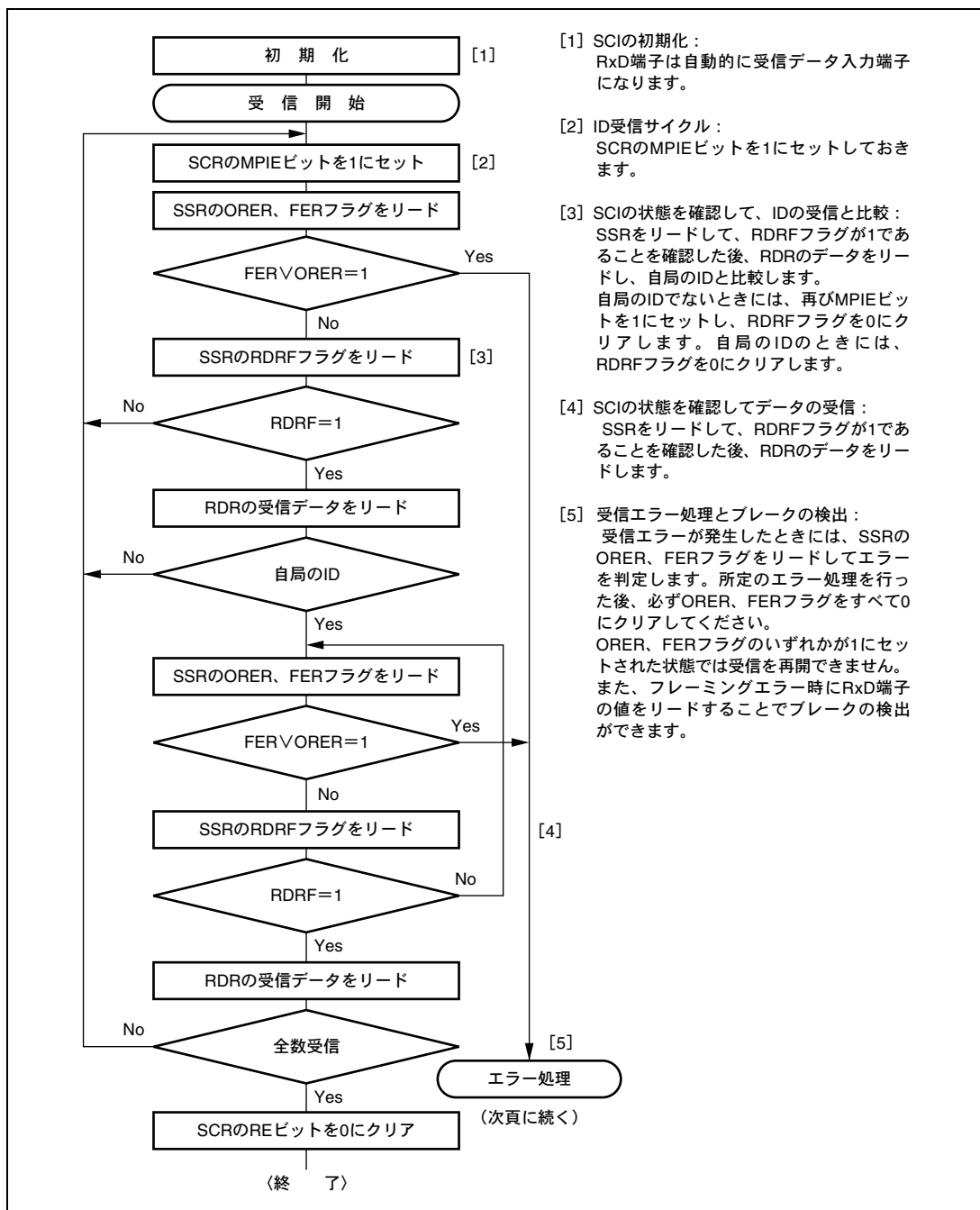


図 10.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

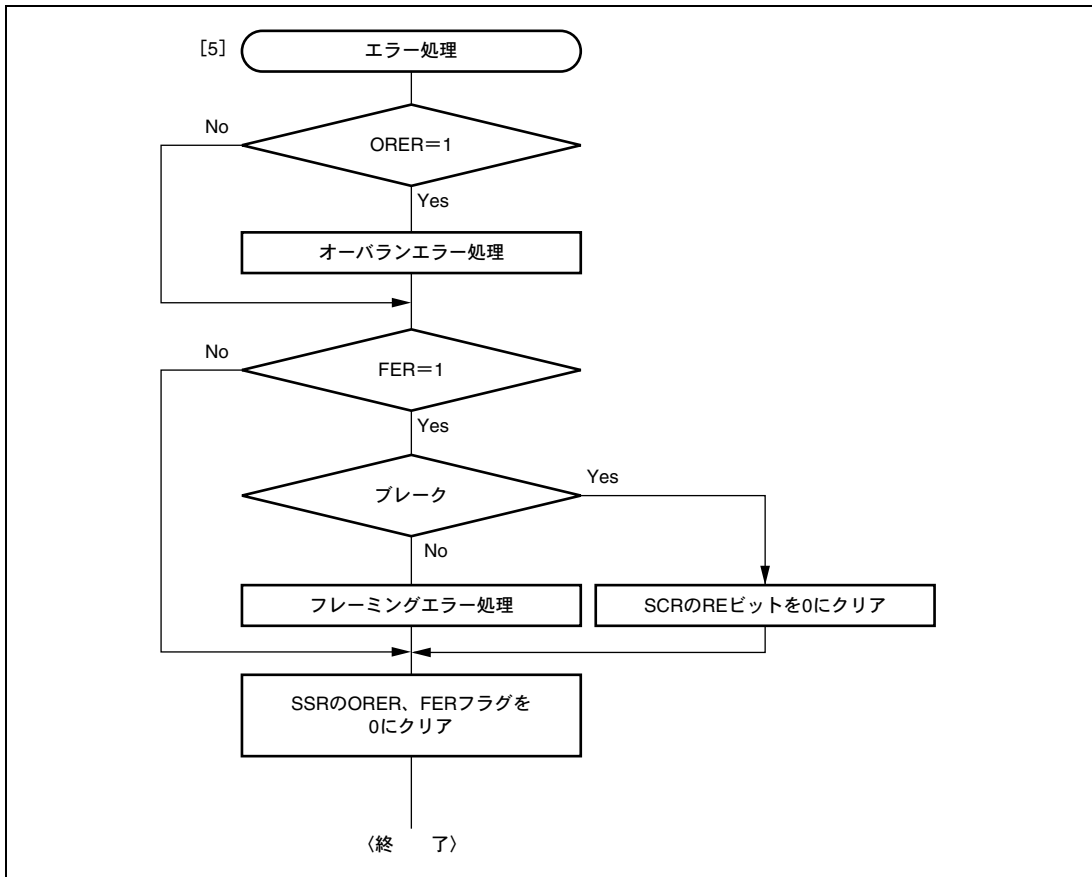


図 10.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

10.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 10.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりで同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

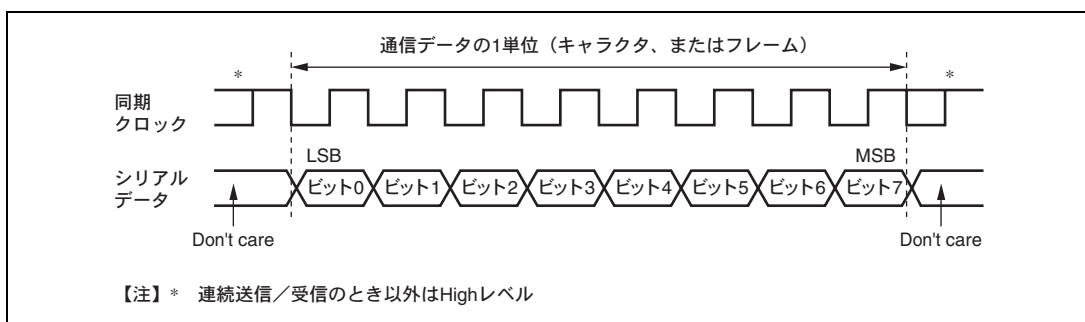


図 10.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

10.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

10.6.2 SCIの初期化

データの送受信前に、SCRのTE、REビットをクリアした後、図10.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

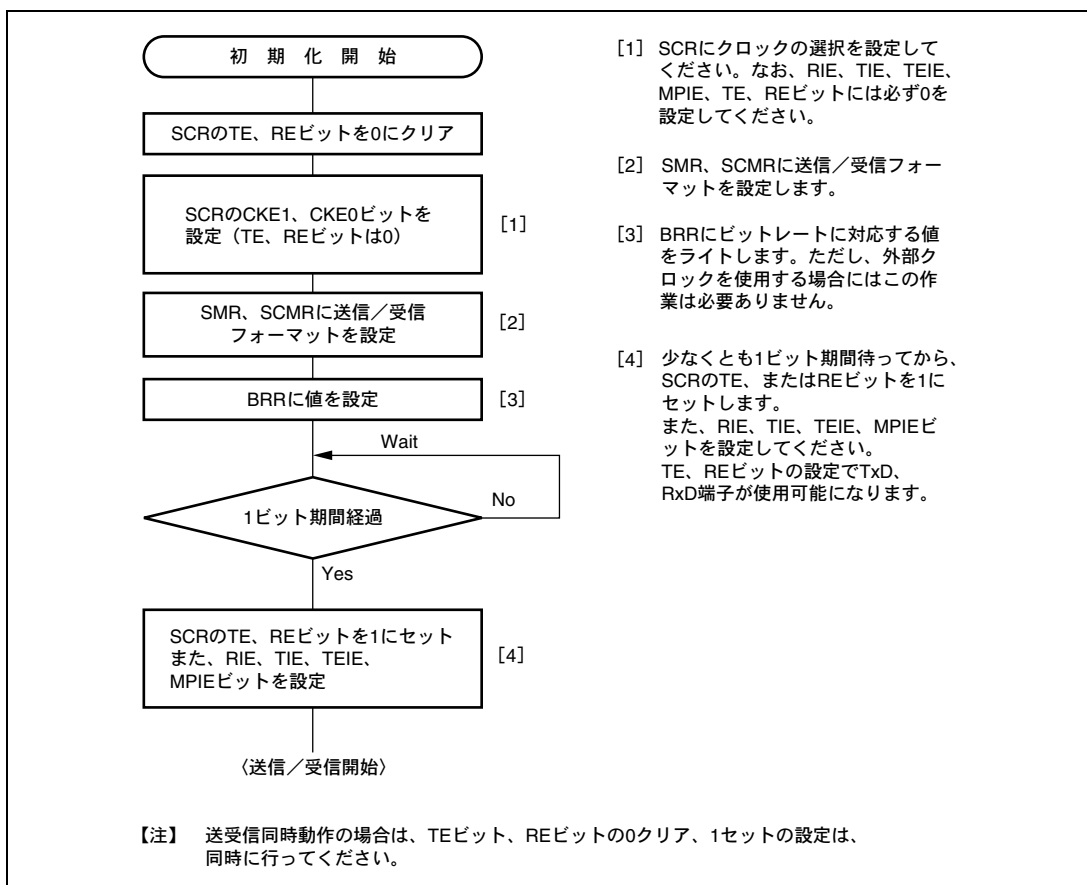


図 10.15 SCIの初期化フローチャートの例

10.6.3 シリアルデータ送信 (クロック同期式)

図 10.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCI は SSR の TDRE を監視し、クリアされると TDR にデータが書き込まれたと認識して TDR から TSR にデータを転送します。
2. TDR から TSR にデータを転送すると、TDRE を 1 にセットして送信を開始します。このとき、SCR の TIE が 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込みルーチンで、前に転送したデータの送信が終了するまでに TDR に次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE をチェックします。
5. TDRE が 0 であると次の送信データを TDR から TSR にデータを転送し、次のフレームの送信を開始します。
6. TDRE が 1 であると SSR の TEND に 1 をセットし、最終ビット出力状態を保持します。このとき SCR の TEIE が 1 にセットされていると TEI を発生します。SCK 端子は High レベルに固定されます。

図 10.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

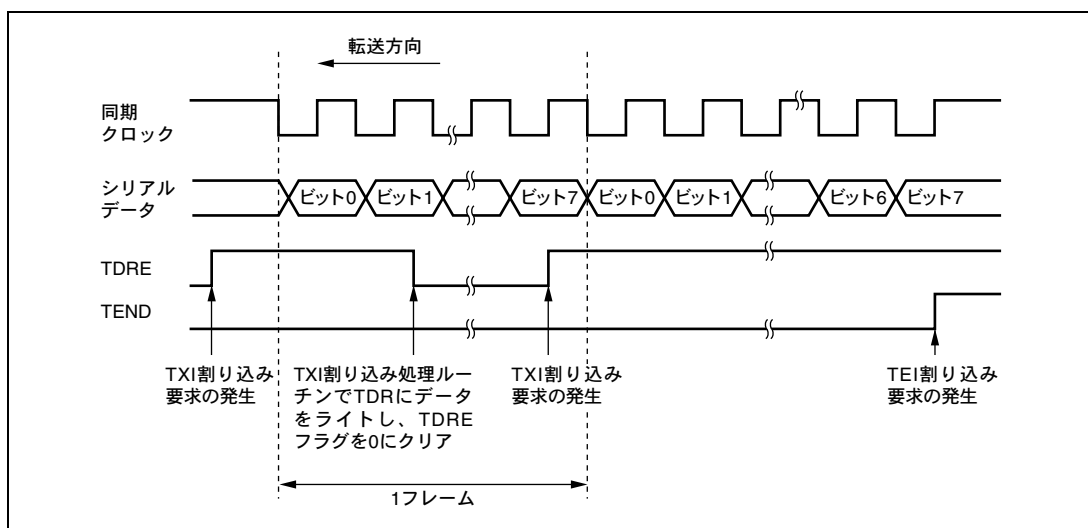


図 10.16 クロック同期式モードの送信時の動作例

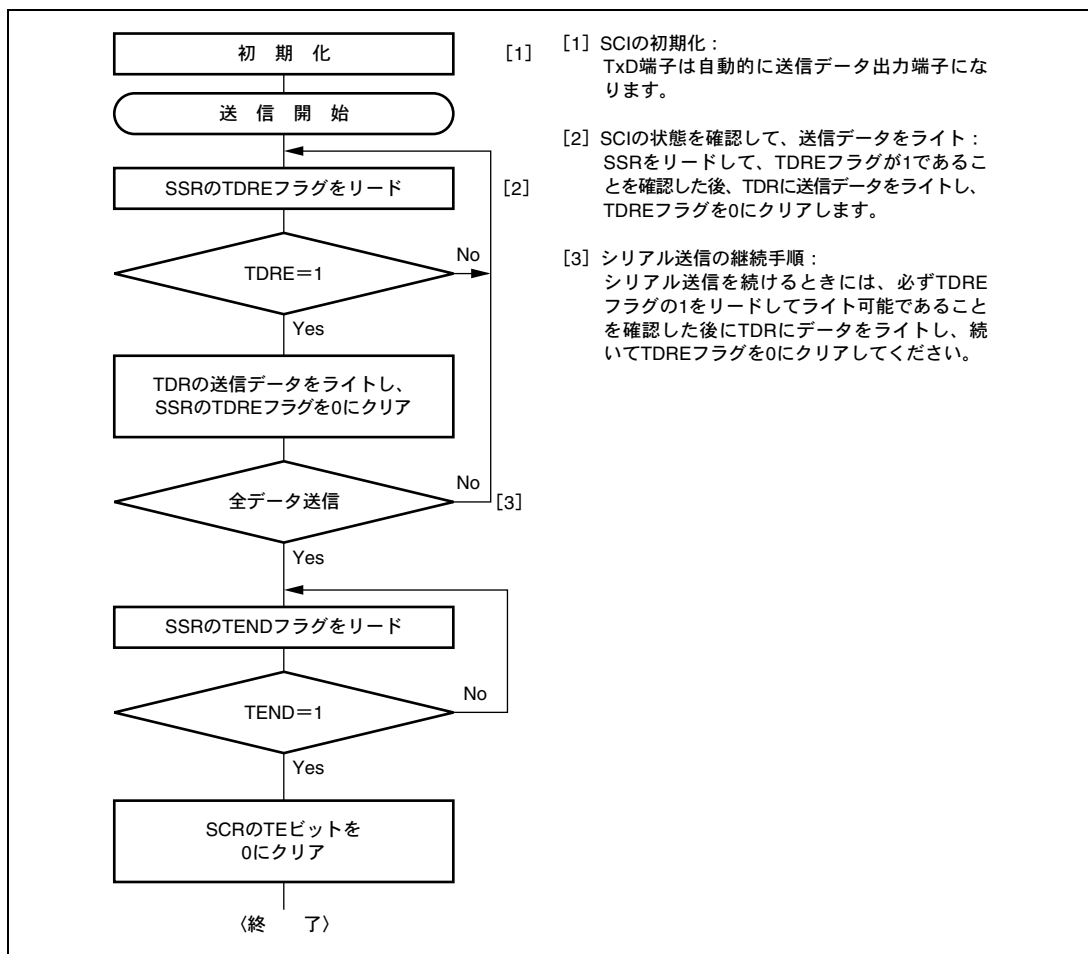


図 10.17 シリアル送信のフローチャートの例

10.6.4 シリアルデータ受信 (クロック同期式)

図 10.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

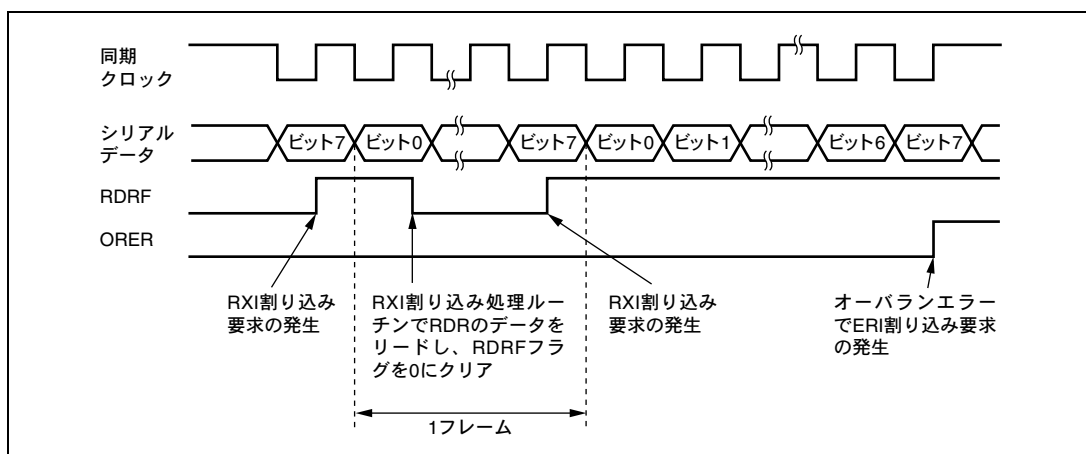


図 10.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 10.19 にデータ受信のためのフローチャートの例を示します。

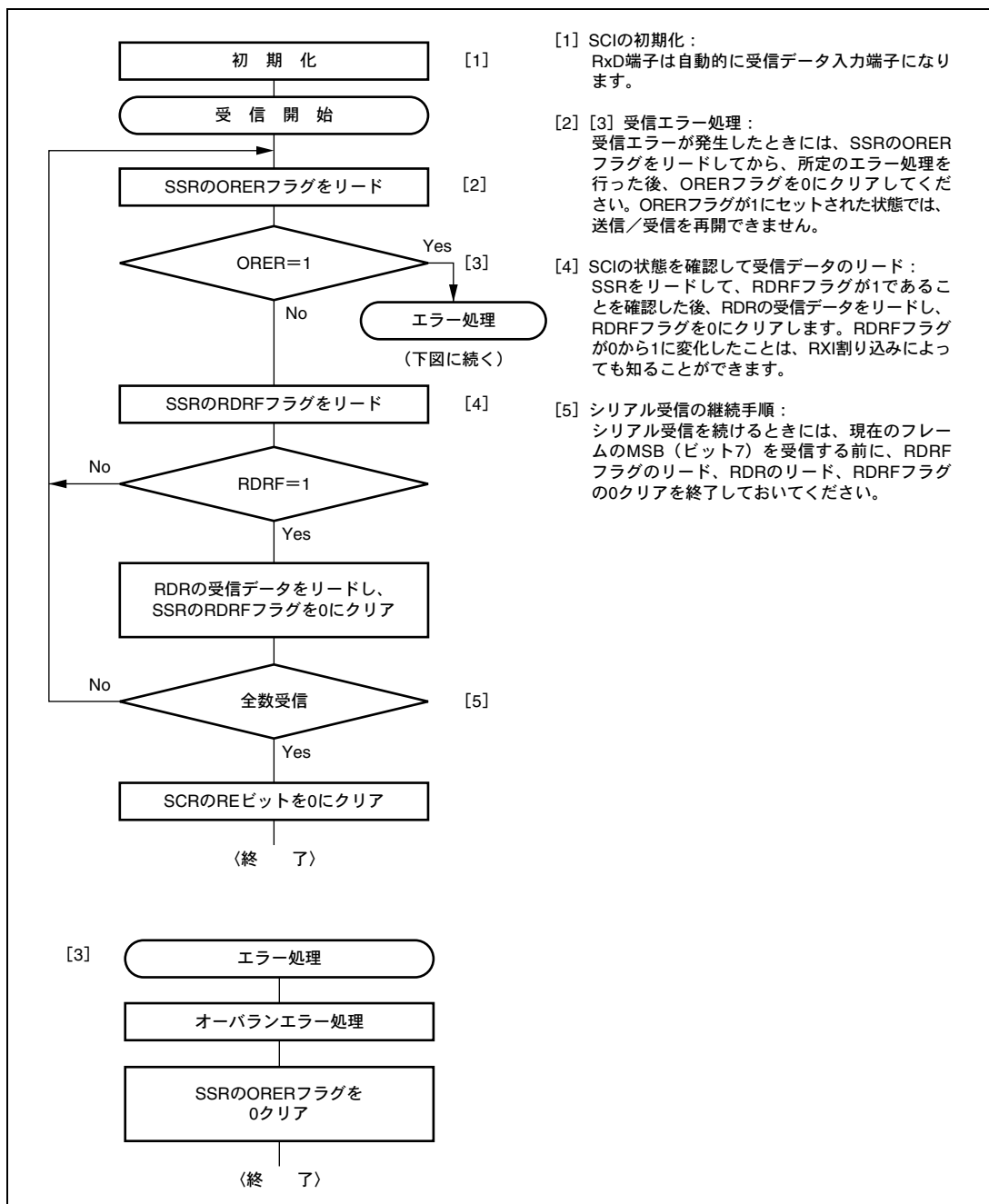


図 10.19 シリアルデータ受信フローチャートの例

10.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図10.20にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作はSCIの初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCIが送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCIが受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

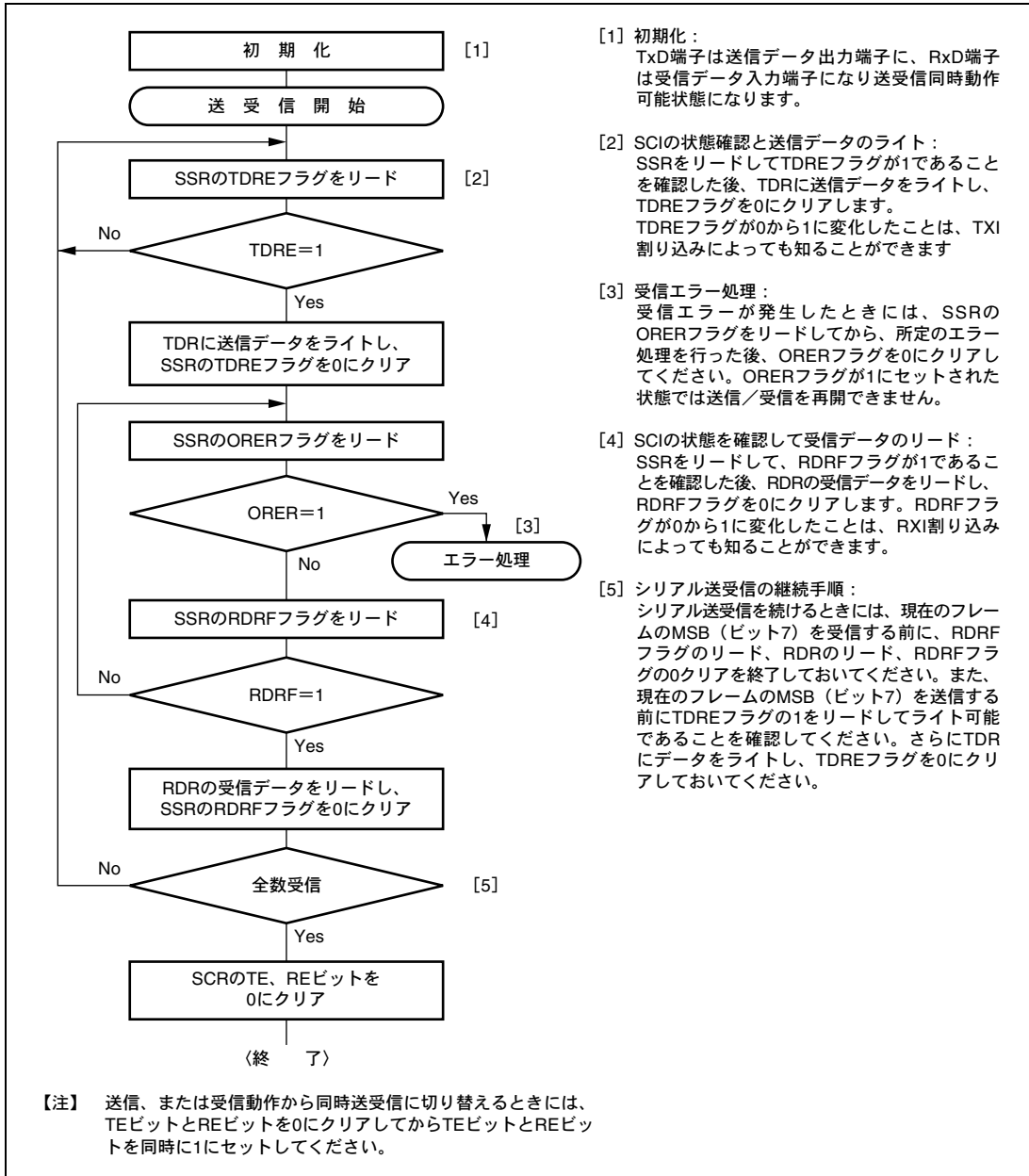


図 10.20 シリアル送受信同時動作のフローチャートの例

10.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

10.7.1 接続例

図 10.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源V_{CC}側にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。リセット信号の出力には本LSIの出力ポートを使用できます。

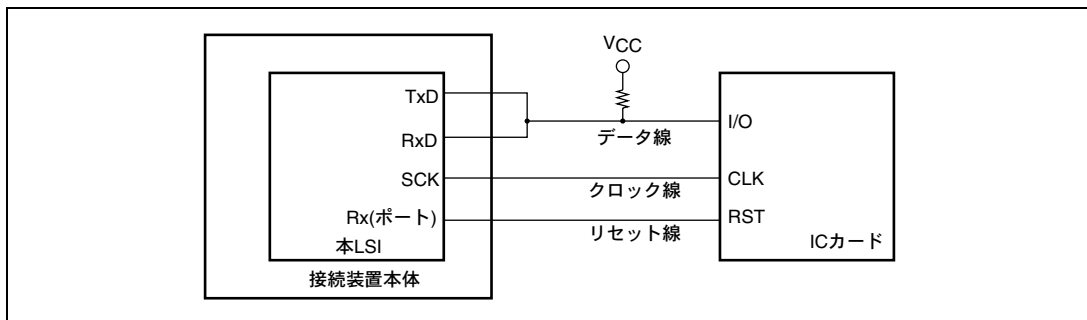


図 10.21 スマートカードインタフェース端子接続概要

10.7.2 データフォーマット (ブロック転送モード時を除く)

図 10.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

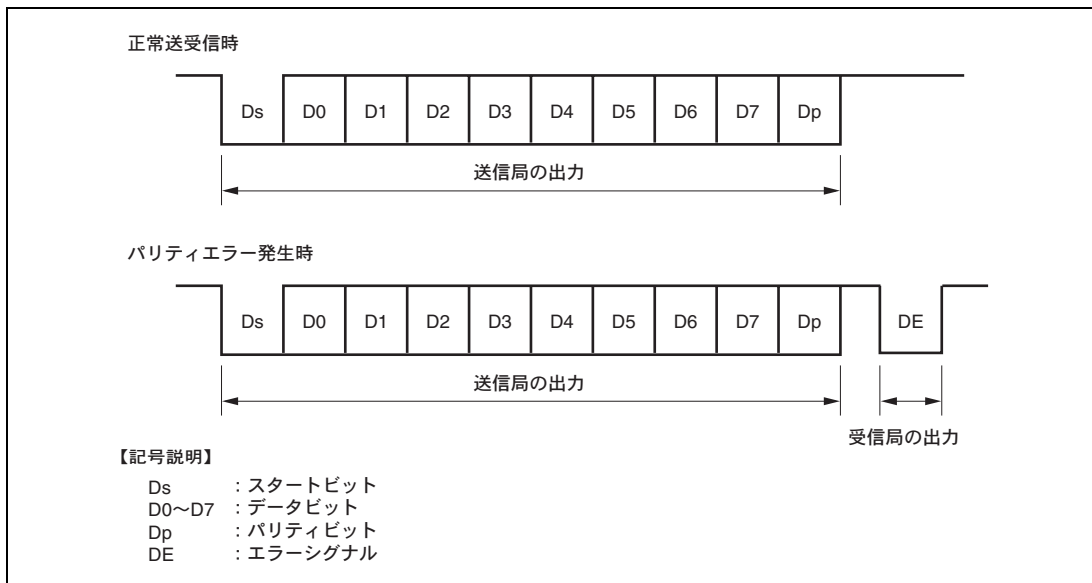


図 10.22 通常のスマートカードインタフェースのデータフォーマット

10. シリアルコミュニケーションインタフェース (SCI)

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

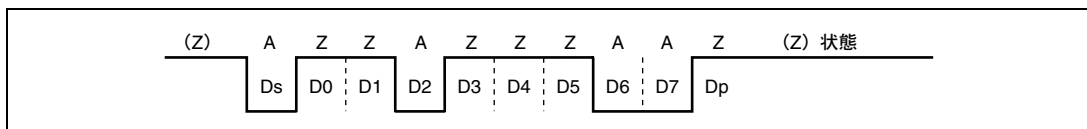


図 10.23 ダイレクトコンベンション (SDIR=SINV=O/E=0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/Eビットには0をセットしてください。

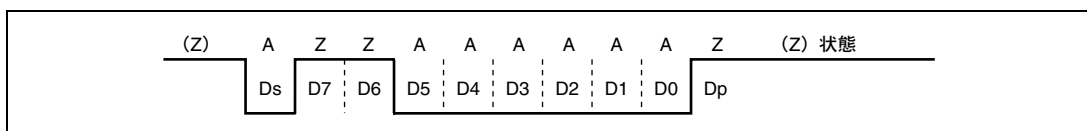


図 10.24 インバースコンベンション (SDIR=SINV=O/E=1)

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。上記の開始キャラクタではデータはH'3Fとなります。インバースコンベンションタイプではSCMRのSDIRビット、SINVビットをともに1にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。本LSIでは、SINVビットはデータビットD7~D0のみ反転させます。このため、送受信ともSMRのO/Eビットに1を設定してパリティビットを反転させてください。

10.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

10.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図10.25に示すように受信データを基本クロックのそれぞれ16、32、186、128番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=32、64、372、256)

D：クロックデューティー (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

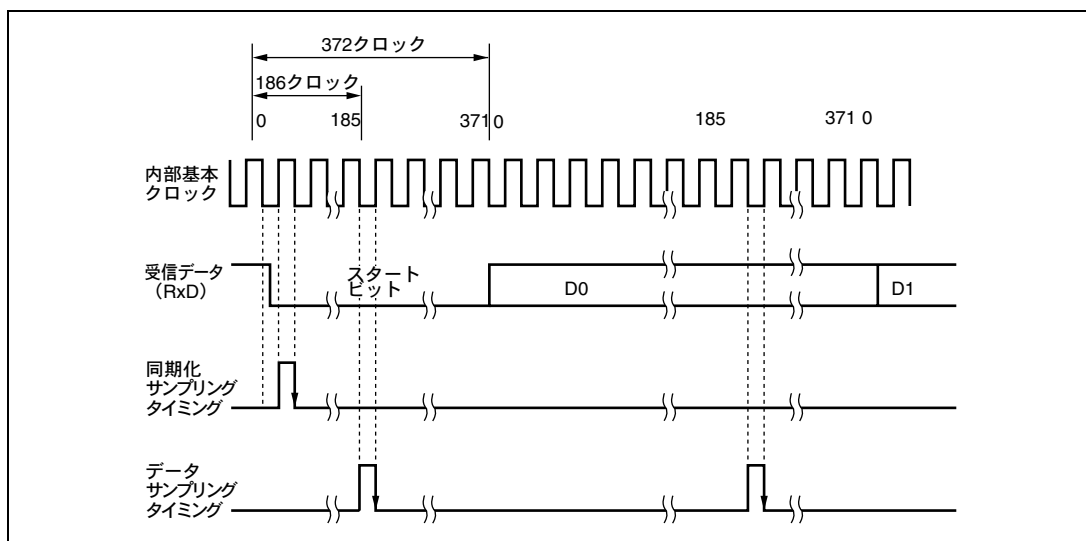


図 10.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

10. シリアルコミュニケーションインタフェース (SCI)

10.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRFフラグ、PER、あるいはORERフラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTENDフラグで確認できます。

10.7.6 データ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 10.26 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 10.28 に示します。送信動作では、SSRのTENDフラグが1にセットされると同時にTDREフラグもセットされ、SCRのTIEをセットしておくことでTXI割り込み要求を発生します。エラーが発生した場合はSCIが自動的に同じデータを再送信します。この間TENDは0のまま保持されます。したがって、エラー発生時の再送信を含め、SCIが指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERSフラグは自動的にクリアされませんので、RIEビットを1にセットしておき、エラー発生時にERI割り込み要求を発生させ、ERSをクリアしてください。

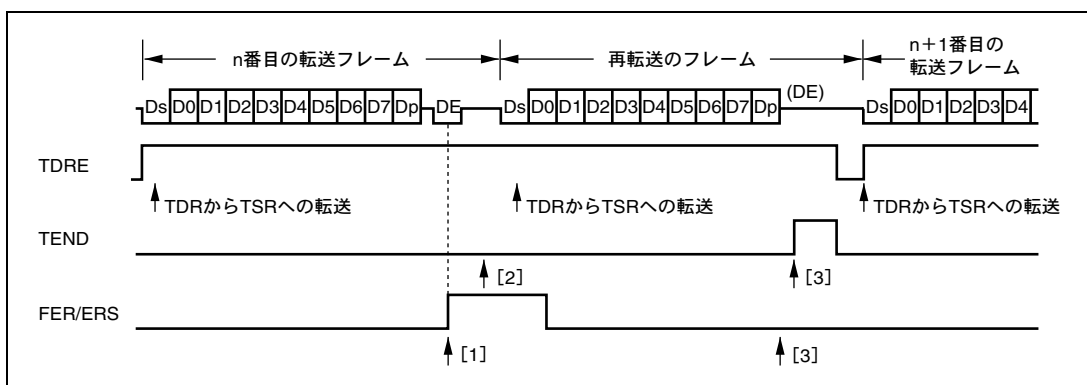


図 10.26 SCI 送信モードの場合の再転送動作

なお、SMRのGMビットの設定により、TENDフラグのセットタイミングが異なります。図 10.27 にTENDフラグ発生タイミングを示します。

10. シリアルコミュニケーションインタフェース (SCI)

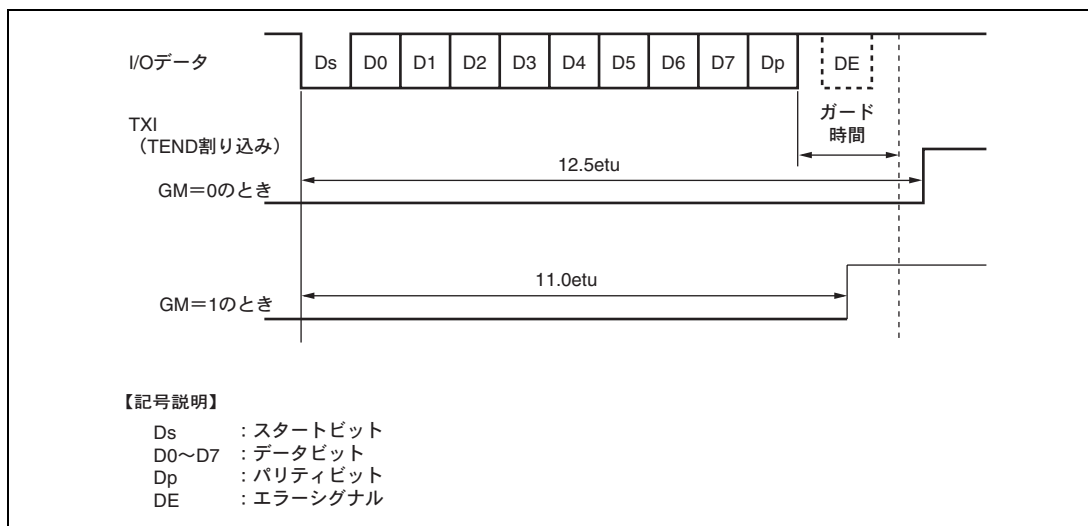


図 10.27 送信動作時の TEND フラグ発生タイミング

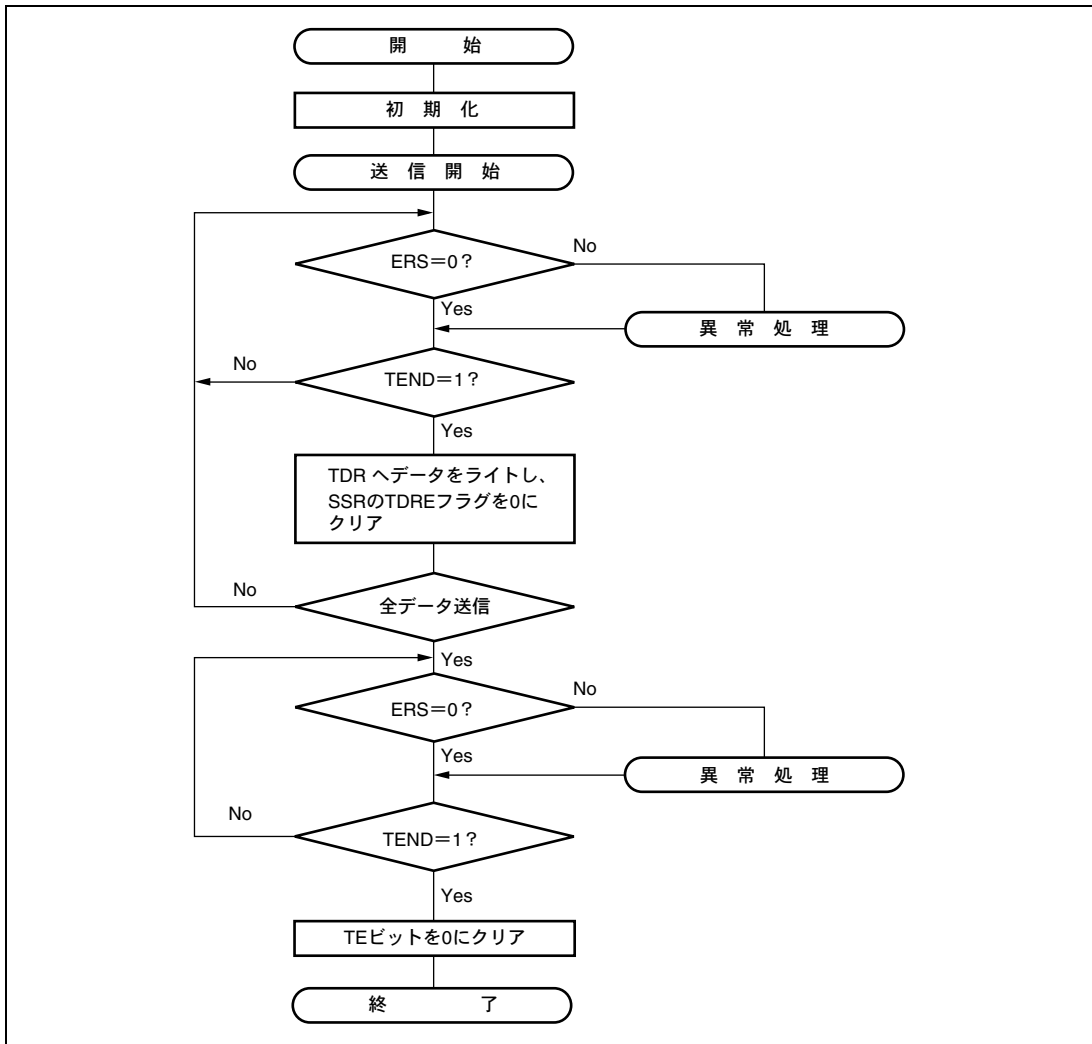


図 10.28 送信処理フローの例

10. シリアルコミュニケーションインタフェース (SCI)

10.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 10.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 10.30 に示します。受信動作では、RIE ビットを 1 にセットしておくで RDRF フラグが 1 にセットされたとき RXI 要求を発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「10.4 調歩同期式モードの動作」を参照してください。

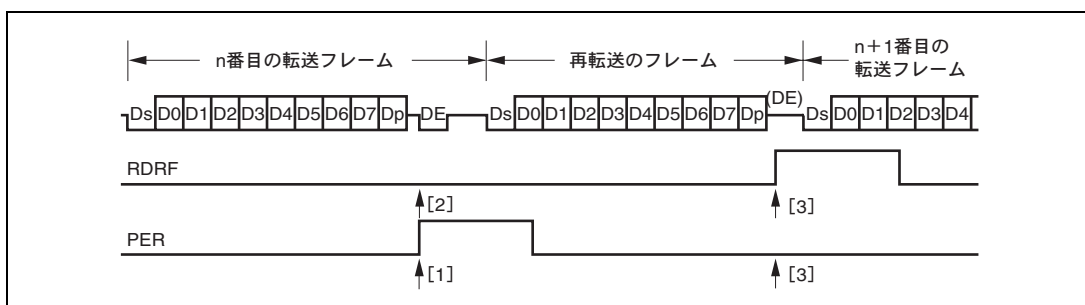


図 10.29 SCI 受信モードの場合の再転送動作

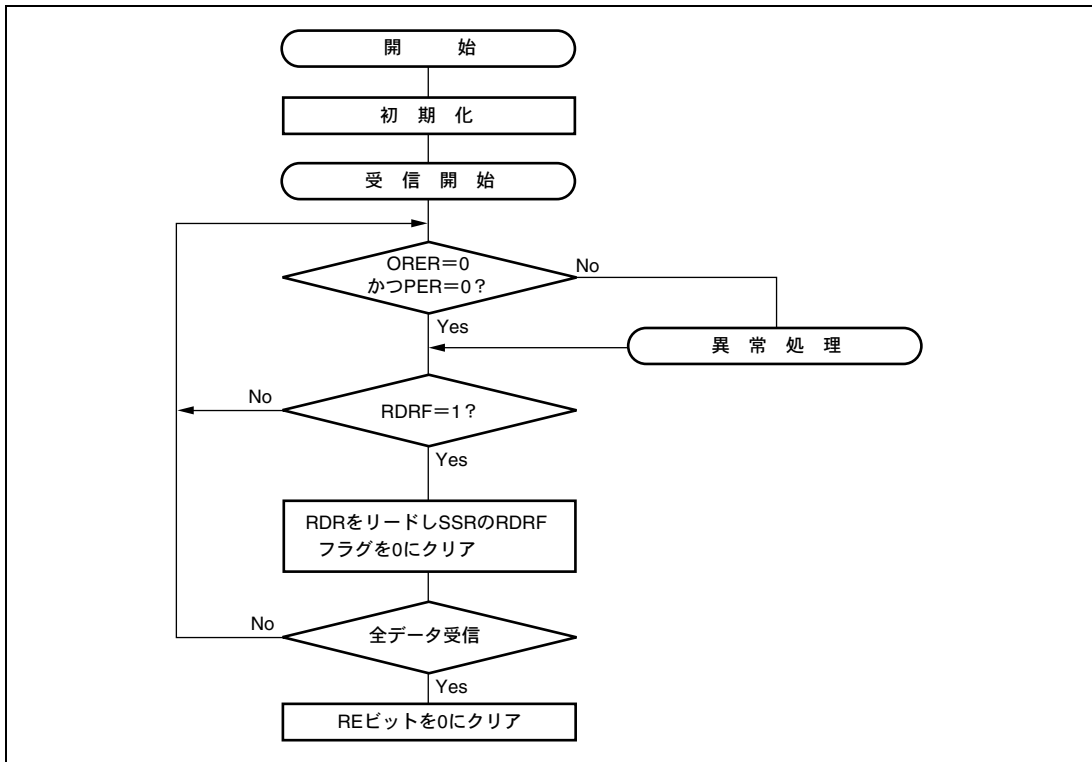


図 10.30 受信フローの例

10.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 10.31 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

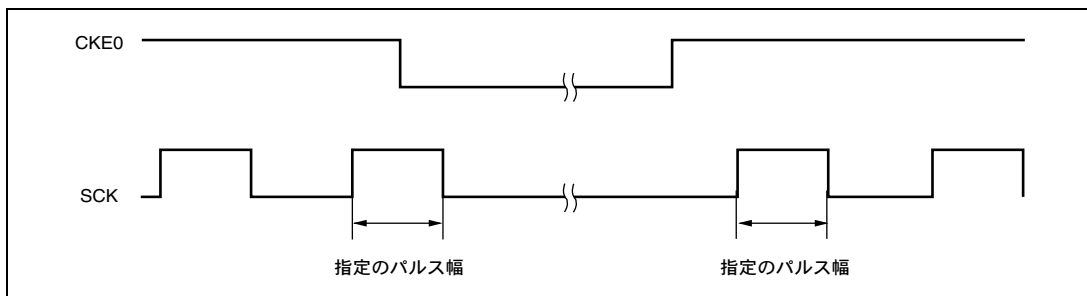


図 10.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。

SCR の CKE0 ビットを 1 に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき
 1. ソフトウェアスタンバイ状態を解除してください。
 2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

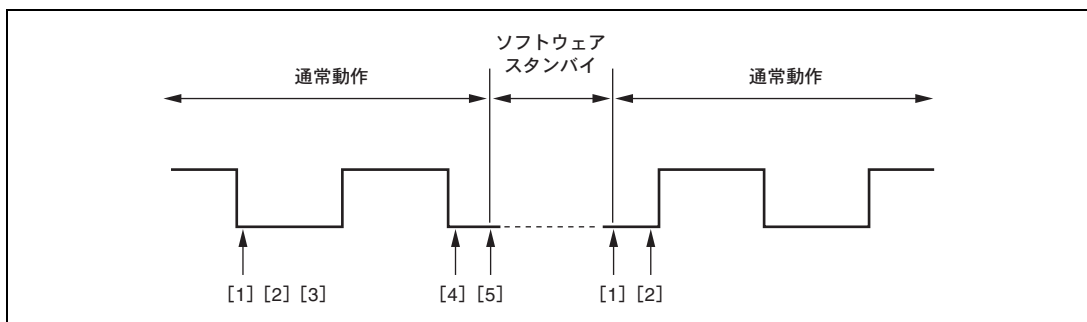


図 10.32 クロック停止・再起動手順

10.8 割り込み要因

10.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 10.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

10. シリアルコミュニケーションインタフェース (SCI)

表 10.12 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ
0	ERI_0	受信エラー	ORER、FER、PER
	RXI_0	受信データフル	RDRF
	TXI_0	送信データエンプティ	TDRE
	TEI_0	送信終了	TEND
1	ERI_1	受信エラー	ORER、FER、PER
	RXI_1	受信データフル	RDRF
	TXI_1	送信データエンプティ	TDRE
	TEI_1	送信終了	TEND

10.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 10.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 10.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ
0	ERI_0	受信エラー、エラーシグナル検出	ORER、PER、ERS
	RXI_0	受信データフル	RDRF
	TXI_0	送信データエンプティ	TEND
1	ERI_1	受信エラー、エラーシグナル検出	ORER、PER、ERS
	RXI_1	受信データフル	RDRF
	TXI_1	送信データエンプティ	TEND

送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持されます。エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされ、CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

10.9 使用上の注意事項

10.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第20章 低消費電力状態」を参照してください。

10.9.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD端子の値を直接リードすることでブレークを検出できます。ブレークではRxD端子からの入力がすべて0になりますので、FERがセットされ、またPERもセットされる可能性があります。SCIは、ブレークを受信した後も受信動作を続けます。したがってFERを0にクリアしてもふたたびFERが1にセットされますので注意してください。

10.9.3 マーク状態とブレークの送出

TEが0のとき、TxD端子はDRとDDRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTxD端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TEを1にセットするまで、通信回線をマーク状態(1の状態)にするためには、DDR=1、DR=1を設定します。このとき、TEが0にクリアされていますので、TxD端子はI/Oポートとなっており1が出力されます。一方、データ送信時にブレークを送出したいときは、DDR=1、DR=0に設定した後TEを0にクリアします。TEを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されません。

10.9.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ(ORER、PER、FER)が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

10.9.5 モード遷移時の動作

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときは、動作を停止 (TE=TIE=TEIE=0) してから行ってください。TSR、TDR、および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に TE=1 に再設定すると High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、TE=1 に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 10.33 に送信時のモード遷移フローチャートの例を示します。図 10.34、図 10.35 に送信時の端子状態を示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときは、動作を停止 (TE=TIE=TEIE=0) してから行ってください。モード解除後に TE=1、TIE=1 に設定すると、TXI 割り込み要求が発生して DTC による送信が始まります。

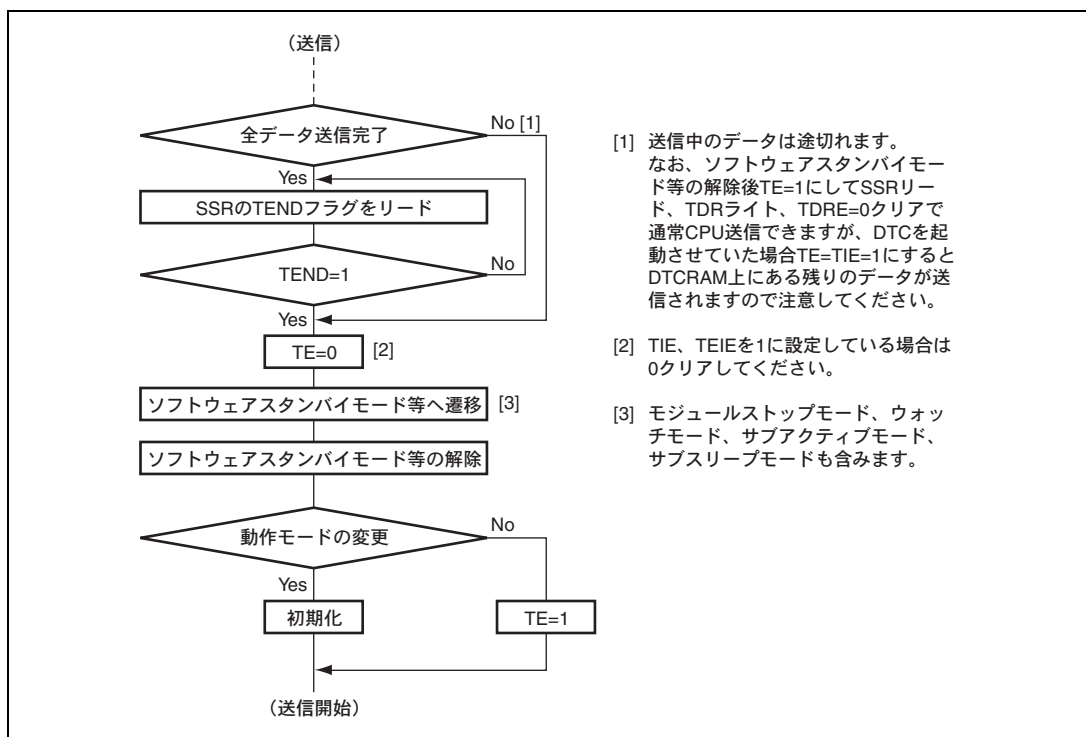


図 10.33 送信時のモード遷移フローチャートの例

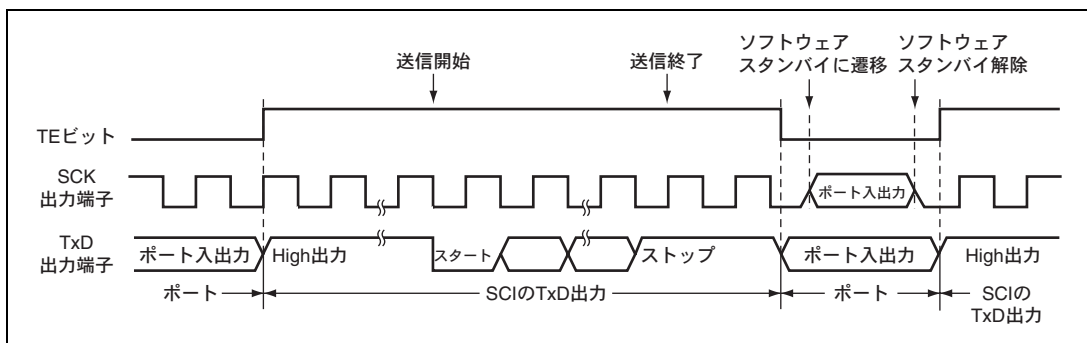
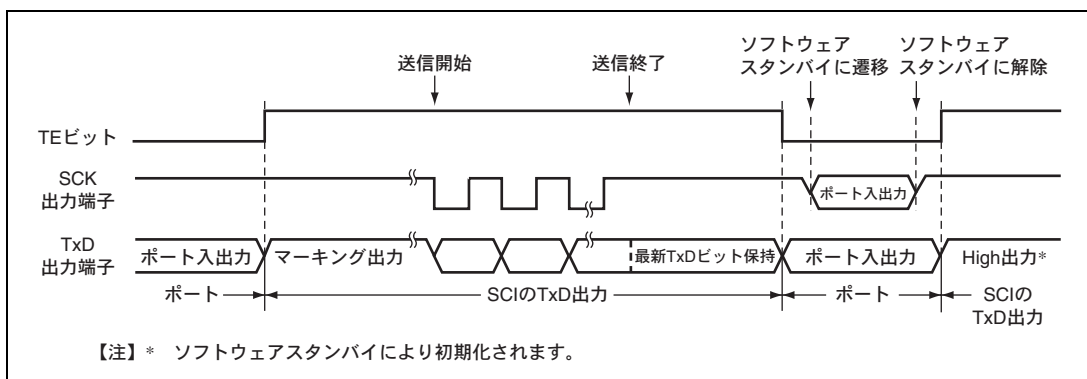


図 10.34 調歩同期式モード送信時（内部クロック）の端子状態



【注】* ソフトウェアスタンバイにより初期化されます。

図 10.35 クロック同期式モード送信時（内部クロック）の端子状態

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときには、受信動作を停止 (RE=0) してから行ってください。RSR、RDR、およびSSRはリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

10. シリアルコミュニケーションインタフェース (SCI)

図 10.36 に受信時のモード遷移フローチャートの例を示します。

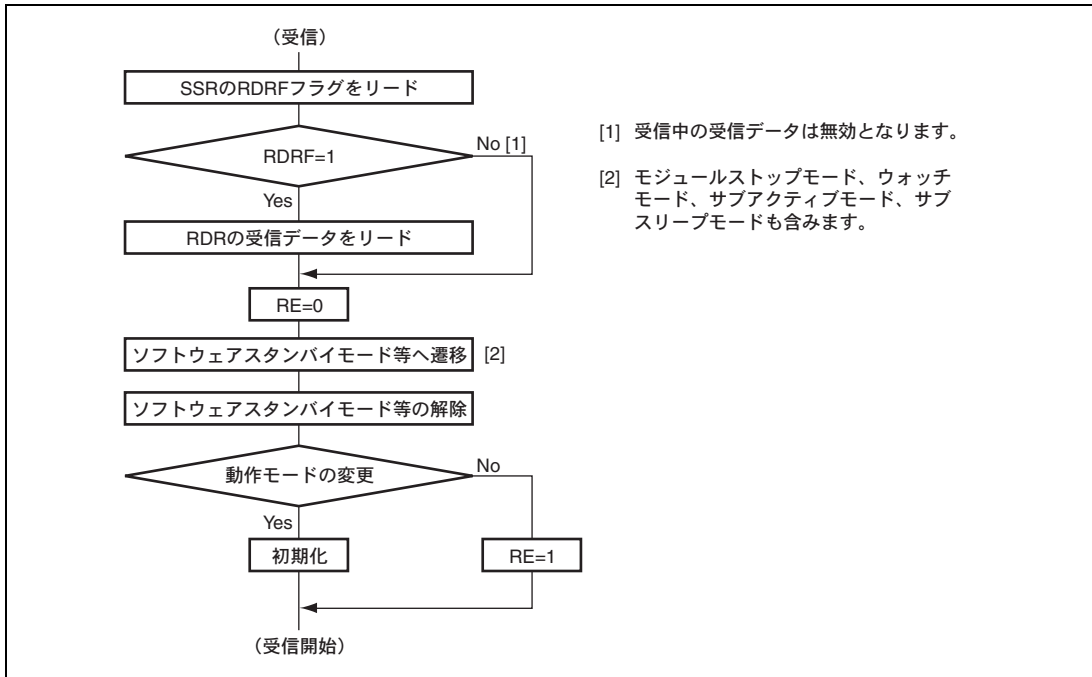


図 10.36 受信時のモード遷移フローチャートの例

10.9.6 SCK 端子からポート端子へ切り替えるときの注意事項

(a) 動作現象

DDR=1、DR=1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR=1、DR=1、 $C/\bar{A}=1$ 、CKE1=0、CKE0=0、TE=1 の状態より、以下の設定でポートに切り替え時に半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TEビット=0
3. C/\bar{A} ビット=0…ポート出力に切り替え
4. Low出力発生 (図10.37参照)

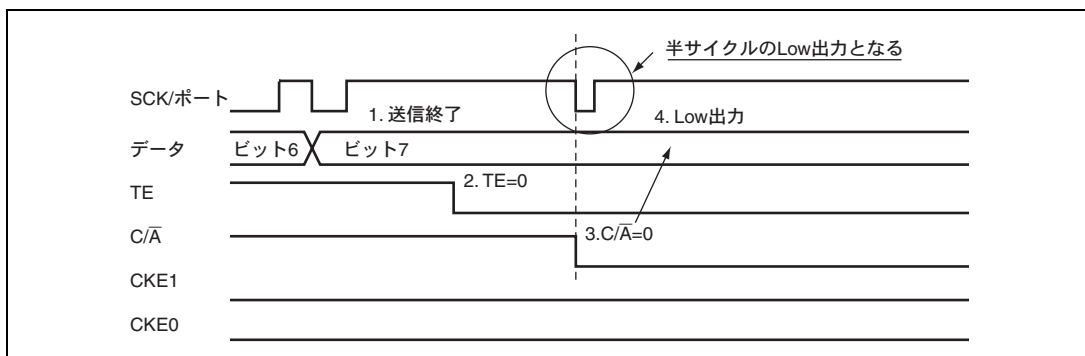


図 10.37 SCK 端子からポート端子へ切り替えるときの動作

10. シリアルコミュニケーションインタフェース (SCI)

(b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK 端子を一度入力状態にするため、あらかじめ SCK/ポート端子を外部回路でプルアップしてください。

DDR=1、DR=1、 $\overline{C/A}$ =1、CKE1=0、CKE0=0、TE=1の状態より以下の1~5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット=0
3. CKE1ビット=1
4. $\overline{C/A}$ ビット=0…ポート出力に切り替え
5. CKE1ビット=0

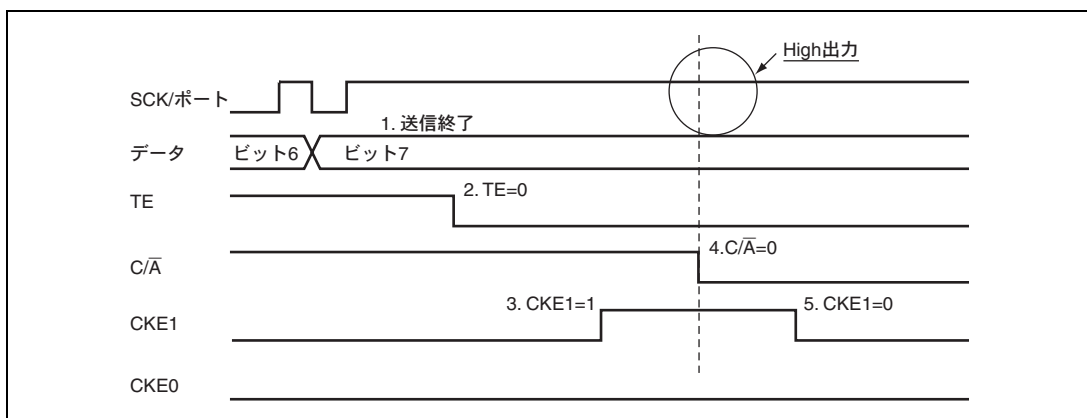


図 10.38 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

HCAN は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。CAN の仕様については「BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH」を参照してください。HCAN のブロック図を図 11.1 に示します。

【注】 H8S/2280 グループには本機能はありません。

11.1 特長

- CANバージョン：Bosch 2.0B active対応
 - 通信方式：NRZ (Non-Return to Zero) 方式 (ビットスタッフ機能あり)
 - ブロードキャスト通信方式
 - 伝送路：双方向2線式シリアル通信
 - 通信速度：最高1Mbps
 - データ長：0~8バイト
- チャネル数：1
- データバッファ：16 (受信専用×1バッファ、送信/受信設定可能×15バッファ)
- データ送信方式：2種類
 - メールボックスの番号順 (昇順)
 - メッセージ優先順位 (Identifier) の高い順
- データ受信方式：2種類
 - メッセージIdentifierの一致 (送信/受信設定バッファ)
 - メッセージIdentifierマスクして受信 (受信専用)
- 割り込み要因：12
 - 各種エラー割り込み
 - リセット処理割り込み
 - メッセージ受信割り込み
 - メッセージ送信割り込み
- HCAN動作モード
- 各種モードをサポート
 - ハードウェアリセット

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

ソフトウェアリセット

通常状態 (エラーアクティブ、エラーパッシブ)

バスオフ状態

HCANコンフィギュレーションモード

HCANスリープモード

HCAN HALTモード

- モジュールストップモードの設定可能

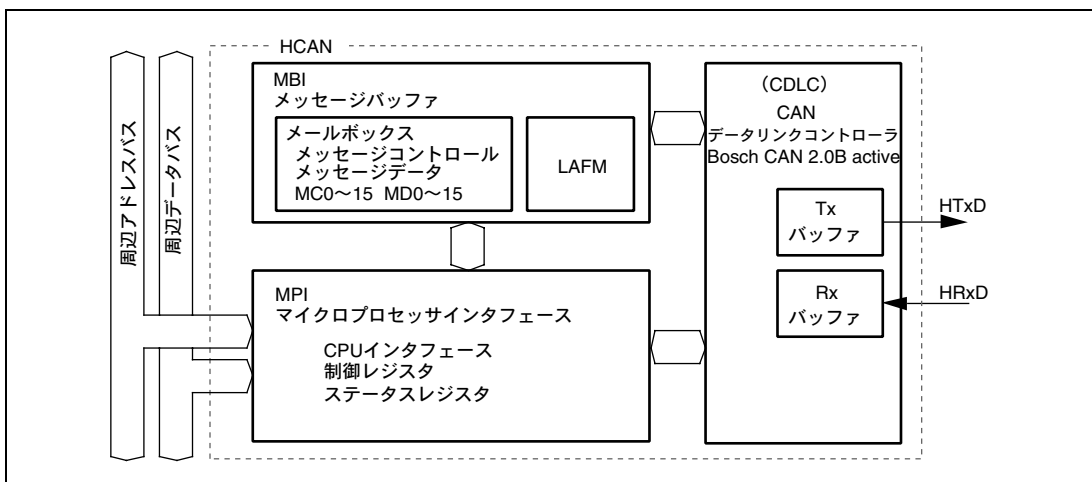


図 11.1 HCAN のブロック図

メッセージバッファ (Message Buffer Interface)

MBIはメールボックスとローカルアクセプタンスフィルタマスク (LAFM) より構成されており、CANの送信/受信メッセージ (Identifierおよびデータ等) を格納する部分です。送信メッセージはCPUからライトを行います。受信メッセージはCDLCで受信したデータを自動的に格納します。

マイクロプロセッサインタフェース (MicroProcessor Interface)

MPIはCPUとのバスインタフェース、制御レジスタ、ステータスレジスタ等から構成されており、HCAN内のデータ、およびステータス等を制御する部分です。

CAN データリンクコントローラ (CAN Data Link Controller)

CDLCはBosch CAN ver.2.0B activeに準拠しておりメッセージ (データフレーム、リモートフレーム、エラーフレーム、オーバーロードフレーム、インタフレームスペーシング) の送受信、CRCチェック、バスアービトレーションなどを行います。

11.2 入出力端子

HCAN の端子構成を表 11.1 に示します。

なお、HCAN 端子を使用する際は、必ず HCAN コンフィギュレーションモード期間中（初期設定期間：MCR0=1 かつ GSR3=1）に設定してください。

表 11.1 端子構成

名称	略称	入出力	機能
HCAN トランスミットデータ端子	HTxD	出力	CAN バス送信用端子
HCAN レシーブデータ端子	HRxD	入力	CAN バス受信用端子

端子と CAN バスの間にはバスドライバが必要になります。R2A25416SP とコンパチブルなものを推奨します。

11.3 レジスタの説明

HCAN には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- マスタコントロールレジスタ (MCR)
- ジェネラルステータスレジスタ (GSR)
- ビットコンフィギュレーションレジスタ (BCR)
- メールボックスコンフィギュレーションレジスタ (MBCR)
- 送信待ちレジスタ (TXPR)
- 送信待ち取り消しレジスタ (TXCR)
- 送信アクノレッジレジスタ (TXACK)
- 取り消しアクノレッジレジスタ (ABACK)
- 受信完了レジスタ (RXPR)
- リモートリクエストレジスタ (RFPR)
- インタラプトレジスタ (IRR)
- メールボックスインタラプトマスクレジスタ (MBIMR)
- インタラプトマスクレジスタ (IMR)
- 受信エラーカウンタ (REC)
- 送信エラーカウンタ (TEC)
- 未読メッセージステータスレジスタ (UMSR)
- ローカルアクセプタンスフィルタマスクH (LAFMH)
- ローカルアクセプタンスフィルタマスクL (LAFML)
- メッセージコントロール (8ビット×8本×16セット) (MC0~MC15)
- メッセージデータ (8ビット×8本×16セット) (MD0~MD15)

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.1 マスタコントロールレジスタ (MCR)

MCR は、HCAN の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	MCR7	0	R/W	HCAN スリープモード解除 このビットを 1 にセットすると、HCAN は CAN バス動作を検出することにより HCAN スリープモードを自動的に解除します。
6	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
5	MCR5	0	R/W	HCAN スリープモード このビットを 1 にセットすると、HCAN は HCAN スリープモードに移ります。このビットをクリアすると、HCAN スリープモードが解除されます。
4、3	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
2	MCR2	0	R/W	メッセージ送信方式 0: メッセージ Identifier の優先順位に従って送信の順番を決定します。 1: メールボックス番号の優先順位に従って送信の順番を決定します。優先順位は TXPR1 > … > TXPR15 です。
1	MCR1	0	R/W	HALT リクエスト このビットを 1 にセットすると、HCAN は HCAN HALT モードに移ります。このビットをクリアすると、HCAN HALT モードが解除されます。
0	MCR0	1	R/W	リセットリクエスト このビットが 1 にセットされると HCAN はリセットモードに移ります。詳細は「11.4.1 ハードウェアリセットとソフトウェアリセット」を参照してください。 [セット条件] • 1 ライト (ソフトウェアリセット) [クリア条件] • GSR の GSR3 が 1 の状態でこのビットに 0 をライトしたとき

11.3.2 ジェネラルステータスレジスタ (GSR)

GSR は、HCAN のステータスを表示します。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトする値も常に0としてください。
3	GSR3	1	R	リセットステータスビット HCAN モジュールが通常動作状態からリセット状態を表示します。ライトは無効です。 [セット条件] <ul style="list-style-type: none"> HCAN 内部のリセットが終了し、コンフィギュレーションモードに遷移したとき。 スリープモード [クリア条件] <ul style="list-style-type: none"> MCR の MCR0 をクリアし、通常動作状態に遷移したとき (MCR0 をクリアしてから GSR3 がクリアされるまで遅延が発生します)。
2	GSR2	1	R	メッセージ送信ステータスフラグ メッセージ送信期間中であることを示すフラグです。ライトは無効です。 [セット条件] <ul style="list-style-type: none"> EOF (End of Frame) 後の Intermission 3 ビット目 [クリア条件] <ul style="list-style-type: none"> メッセージ送信開始 (SOF)
1	GSR1	0	R	送信/受信ワーニングフラグ ライトは無効です。 [クリア条件] <ul style="list-style-type: none"> TEC < 96 かつ REC < 96 のとき TEC ≥ 256 のとき [セット条件] <ul style="list-style-type: none"> TEC ≥ 96 または REC ≥ 96 のとき
0	GSR0	0	R	バスオフフラグ ライトは無効です。 [セット条件] <ul style="list-style-type: none"> TEC ≥ 256 のとき (バスオフ状態) [クリア条件] バスオフから復帰したとき

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.3 ビットコンフィギュレーションレジスタ (BCR)

BCR は、HCAN のビットタイミングやボーレートを設定します。各パラメータの詳細は「11.4.2 ハードウェアリセット後の初期設定」を参照してください。

ビット	ビット名	初期値	R/W	説明
15	BCR7	0	R/W	Re-Synchronization Jump Width (SJW)
14	BCR6	0	R/W	最大ビット同期幅を設定します。 00 : 1 time quantum 01 : 2 time quanta 10 : 3 time quanta 11 : 4 time quanta
13	BCR5	0	R/W	ボーレートプリスケアラ (BRP)
12	BCR4	0	R/W	time quantum の長さを設定します。
11	BCR3	0	R/W	000000 : 2 システムクロック
10	BCR2	0	R/W	000001 : 4 システムクロック
9	BCR1	0	R/W	000010 : 6 システムクロック
8	BCR0	0	R/W	: 111111 : 128 システムクロック
7	BCR15	0	R/W	ビットサンプルポイント (BSP) データをサンプリングするポイントを設定します。 0 : ビットサンプリング 1 箇所 (TSEG1 の終わり) 1 : ビットサンプリング 3 箇所 (TSEG1 の終わりと前後 1 time quantum)
6	BCR14	0	R/W	タイムセグメント 2 (TSEG2)
5	BCR13	0	R/W	TSEG2 の幅を 2~8 time quanta の範囲で設定します。
4	BCR12	0	R/W	000 : 設定禁止 001 : 2 time quanta 010 : 3 time quanta 011 : 4 time quanta 100 : 5 time quanta 101 : 6 time quanta 110 : 7 time quanta 111 : 8 time quanta

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

ビット	ビット名	初期値	R/W	説明
3	BCR11	0	R/W	タイムセグメント 1 (TSEG1)
2	BCR10	0	R/W	TSEG1 (PRSEG+PHSEG1) の幅を 4~16 time quanta の範囲で設定します。
1	BCR9	0	R/W	0000 : 設定禁止
0	BCR8	0	R/W	0001 : 設定禁止
				0010 : 設定禁止
				0011 : 4 time quanta
				0100 : 5 time quanta
				0101 : 6 time quanta
				0110 : 7 time quanta
				0111 : 8 time quanta
				1000 : 9 time quanta
				1001 : 10 time quanta
				1010 : 11 time quanta
				1011 : 12 time quanta
				1100 : 13 time quanta
				1101 : 14 time quanta
				1110 : 15 time quanta
				1111 : 16 time quanta

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.4 メールボックスコンフィギュレーションレジスタ (MBCR)

MBCR は、各メールボックスの送受信方向を設定します。

ビット	ビット名	初期値	R/W	説明
15	MBCR7	0	R/W	メールボックス番号 1 から 15 のメールボックスの送受信方向を選択します。 MBCRn (n=1~15) はメールボックス n の送受信方向を決定します。
14	MBCR6	0	R/W	
13	MBCR5	0	R/W	0: 対応するメールボックスは送信用に設定されます。
12	MBCR4	0	R/W	1: 対応するメールボックスは受信用に設定されます。
11	MBCR3	0	R/W	ビット 8 はリザーブビットで、リードすると常に 1 が読み出されます。ライトする値も常に 1 としてください。
10	MBCR2	0	R/W	
9	MBCR1	0	R/W	
8	—	1	R	
7	MBCR15	0	R/W	
6	MBCR14	0	R/W	
5	MBCR13	0	R/W	
4	MBCR12	0	R/W	
3	MBCR11	0	R/W	
2	MBCR10	0	R/W	
1	MBCR9	0	R/W	
0	MBCR8	0	R/W	

11.3.5 送信待ちレジスタ (TXPR)

TXPR は、メールボックスに格納した送信メッセージを送信待ち (CAN バスアービトレーション待ち) 状態にします。

ビット	ビット名	初期値	R/W	説明
15	TXPR7	0	R/W	メールボックス番号 1 から 15 のメールボックスを送信待ち (CAN バスアービトレーション待ち) 状態にします。TXPRn (n=1~15) を 1 にセットするとメールボックス n のメッセージが送信待ち状態になります。 [クリア条件] • メッセージの送信が完了したとき • 送信取り消しが完了したとき ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	TXPR6	0	R/W	
13	TXPR5	0	R/W	
12	TXPR4	0	R/W	
11	TXPR3	0	R/W	
10	TXPR2	0	R/W	
9	TXPR1	0	R/W	
8	—	0	R	
7	TXPR15	0	R/W	
6	TXPR14	0	R/W	
5	TXPR13	0	R/W	
4	TXPR12	0	R/W	
3	TXPR11	0	R/W	
2	TXPR10	0	R/W	
1	TXPR9	0	R/W	
0	TXPR8	0	R/W	

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.6 送信待ち取り消しレジスタ (TXCR)

TXCR は、メールボックス内の送信待ちメッセージの送信を取り消します。

ビット	ビット名	初期値	R/W	説明
15	TXCR7	0	R/W	メールボックス番号 1 から 15 のメールボックスの送信待ちメッセージを取り消します。TXCRn (n=1~15) を 1 にセットするとメールボックス n の送信待ちメッセージが取り消されます。 [クリア条件] • 送信メッセージが正常に取り消され、TXPR がクリアされたとき ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	TXCR6	0	R/W	
13	TXCR5	0	R/W	
12	TXCR4	0	R/W	
11	TXCR3	0	R/W	
10	TXCR2	0	R/W	
9	TXCR1	0	R/W	
8	—	0	R	
7	TXCR15	0	R/W	
6	TXCR14	0	R/W	
5	TXCR13	0	R/W	
4	TXCR12	0	R/W	
3	TXCR11	0	R/W	
2	TXCR10	0	R/W	
1	TXCR9	0	R/W	
0	TXCR8	0	R/W	

11.3.7 送信アクノレッジレジスタ (TXACK)

TXACK は、メールボックスの送信メッセージが正常に送信されたことを示すステータスレジスタです。

ビット	ビット名	初期値	R/W	説明
15	TXACK7	0	R/(W)*	メールボックス番号 1 から 15 のメールボックスの送信メッセージが正常に送信されたことを示すステータスフラグです。メールボックス n (n=1~15) のメッセージが正常に送信されたとき、TXACK n が 1 にセットされます。 [セット条件] • 対応するメールボックスのメッセージの送信が完了したとき [クリア条件] • 1 ライト ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	TXACK6	0	R/(W)*	
13	TXACK5	0	R/(W)*	
12	TXACK4	0	R/(W)*	
11	TXACK3	0	R/(W)*	
10	TXACK2	0	R/(W)*	
9	TXACK1	0	R/(W)*	
8	—	0	R	
7	TXACK15	0	R/(W)*	
6	TXACK14	0	R/(W)*	
5	TXACK13	0	R/(W)*	
4	TXACK12	0	R/(W)*	
3	TXACK11	0	R/(W)*	
2	TXACK10	0	R/(W)*	
1	TXACK9	0	R/(W)*	
0	TXACK8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.8 取り消しアクノレジレジスタ (ABACK)

ABACK は、メールボックス内の送信メッセージが正常に取り消されたことを示すステータスレジスタです。

ビット	ビット名	初期値	R/W	説 明
15	ABACK7	0	R/(W)*	メールボックス番号 1 から 15 のメールボックスの送信メッセージが正常に取り消されたことを示すステータスフラグです。メールボックス n (n=1~15) のメッセージが正常に取り消されたとき、ABACK n が 1 にセットされます。 [セット条件] • 対応するメールボックスのメッセージの取り消しが完了したとき [クリア条件] • 1 ライト ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	ABACK6	0	R/(W)*	
13	ABACK5	0	R/(W)*	
12	ABACK4	0	R/(W)*	
11	ABACK3	0	R/(W)*	
10	ABACK2	0	R/(W)*	
9	ABACK1	0	R/(W)*	
8	—	0	R	
7	ABACK15	0	R/(W)*	
6	ABACK14	0	R/(W)*	
5	ABACK13	0	R/(W)*	
4	ABACK12	0	R/(W)*	
3	ABACK11	0	R/(W)*	
2	ABACK10	0	R/(W)*	
1	ABACK9	0	R/(W)*	
0	ABACK8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

11.3.9 受信完了レジスタ (RXPR)

RXPR は、メールボックスがメッセージ（データフレームまたはリモートフレーム）を正常に受信したことを示すステータスレジスタです。なお、リモートフレーム受信の場合は、対応するリモートリクエストレジスタ (RFPR) も同時にセットされます。

ビット	ビット名	初期値	R/W	説明
15	RXPR7	0	R/(W)*	メールボックス n (n=0~15) がメッセージを正常に受信したとき、RXPRn が 1 にセットされます。 [セット条件] • 対応するメールボックスがデータフレームまたはリモートフレームの受信を完了したとき [クリア条件] • 1 ライト
14	RXPR6	0	R/(W)*	
13	RXPR5	0	R/(W)*	
12	RXPR4	0	R/(W)*	
11	RXPR3	0	R/(W)*	
10	RXPR2	0	R/(W)*	
9	RXPR1	0	R/(W)*	
8	RXPR0	0	R/(W)*	
7	RXPR15	0	R/(W)*	
6	RXPR14	0	R/(W)*	
5	RXPR13	0	R/(W)*	
4	RXPR12	0	R/(W)*	
3	RXPR11	0	R/(W)*	
2	RXPR10	0	R/(W)*	
1	RXPR9	0	R/(W)*	
0	RXPR8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.10 リモートリクエストレジスタ (RFPR)

RFPR は、メールボックスがリモートフレームを受信したことを示すステータスレジスタです。なお、本ビットがセットされると、対応する受信完了ビットが同時にセットされます。

ビット	ビット名	初期値	R/W	説明
15	RFPR7	0	R/(W)*	メールボックス番号 n (n=0~15) がリモートフレームを正常に受信したとき、RFPRn (n=0~15) が 1 にセットされます。 [セット条件] • 対応するメールボックスがリモートフレームの受信を完了したとき [クリア条件] • 1 ライト
14	RFPR6	0	R/(W)*	
13	RFPR5	0	R/(W)*	
12	RFPR4	0	R/(W)*	
11	RFPR3	0	R/(W)*	
10	RFPR2	0	R/(W)*	
9	RFPR1	0	R/(W)*	
8	RFPR0	0	R/(W)*	
7	RFPR15	0	R/(W)*	
6	RFPR14	0	R/(W)*	
5	RFPR13	0	R/(W)*	
4	RFPR12	0	R/(W)*	
3	RFPR11	0	R/(W)*	
2	RFPR10	0	R/(W)*	
1	RFPR9	0	R/(W)*	
0	RFPR8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

11.3.11 インタラプトレジスタ (IRR)

IRR は割り込みフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IRR7	0	R/(W)*	<p>オーバーロードフレーム割り込みフラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーアクティブ/エラーパッシブ状態でオーバーロードフレームを送信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
14	IRR6	0	R/(W)*	<p>バスオフ割り込みフラグ</p> <p>送信エラーカウンタによるバスオフ状態を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TEC\geq256 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
13	IRR5	0	R/(W)*	<p>エラーパッシブ割り込みフラグ</p> <p>送信/受信エラーカウンタによるエラーパッシブ状態を示すステータスフラグです。</p> <p>[セット条件]</p> <p>TEC\geq128 または REC\geq128 になったとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
12	IRR4	0	R/(W)*	<p>受信オーバーロードワーニング割り込みフラグ</p> <p>受信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。</p> <p>[セット条件]</p> <p>REC\geq96 になったとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
11	IRR3	0	R/(W)*	<p>送信オーバーロードワーニング割り込みフラグ</p> <p>送信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TEC\geq96 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

ビット	ビット名	初期値	R/W	説明
10	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>メールボックスにリモートフレームを受信したことを示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> リモートフレームを受信完了し、対応する MBIMR のビットが 0 のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RFPR (リモートリクエストレジスタ) の全ビットクリア
9	IRR1	0	R	<p>受信メッセージ割り込みフラグ</p> <p>メールボックスが受信メッセージを正常に受信したことを示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> データフレームおよびリモートフレームを受信完了し、対応する MBIMR のビットが 0 のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RXPR (受信完了レジスタ) の全ビットクリア
8	IRR0	1	R(W)*	<p>リセット割り込みフラグ</p> <p>HCAN モジュールがリセットされたことを示すステータスフラグです。本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可となっています。パワーオンリセット投入後およびソフトウェアスタンバイ復帰後、本ビットをクリアしない場合は、割り込みコントローラにて割り込みを許可すると、直ちに割り込み処理を行います。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセットおよびソフトウェアスタンバイ投入後にリセット処理完了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
7~5	—	すべて 0	—	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。</p>
4	IRR12	0	R(W)*	<p>バス動作割り込みフラグ</p> <p>HCAN モジュールが HCAN スリープモード中にバス動作のドミナントビットの検出を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> HCAN スリープモード中のバス動作 (ドミナントビット) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
3, 2	—	すべて 0	—	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。</p>

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

ビット	ビット名	初期値	R/W	説明
1	IRR9	0	R	未読割り込みフラグ 未読メッセージが新しい受信メッセージによってオーバーライトされたことを示すステータスフラグです。 [セット条件] • UMSR (未読メッセージステータスレジスタ) がセットされたとき [クリア条件] • UMSR (未読メッセージステータスレジスタ) の全ビットクリア
0	IRR8	0	R(W)*	メールボックス空き割り込みフラグ メールボックスに次の送信メッセージが格納可能であることを示すステータスフラグです。 [セット条件] • TXPR (送信待ちレジスタ) が送信完了および送信取り消し完了によりクリアされたとき [クリア条件] • 1 ライト

【注】 * フラグをクリアするための 1 ライトのみ可能です。

11.3.12 メールボックスインタラプトマスクレジスタ (MBIMR)

MBIMR は、各メールボックスの割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
15	MBIMR7	1	R/W	メールボックスインタラプトマスク MBIMR n (n=0~15) をクリアするとメールボックス番号 n のメールボックスの割り込み要求がイネーブルになり、1 にセットすると割り込み要求がマスクされます。 割り込み要因は送信用メールボックスでは送信完了または送信取り消しによる TXPR のクリア、受信用メールボックスでは受信完了による RXPR のセットです。
14	MBIMR6	1	R/W	
13	MBIMR5	1	R/W	
12	MBIMR4	1	R/W	
11	MBIMR3	1	R/W	
10	MBIMR2	1	R/W	
9	MBIMR1	1	R/W	
8	MBIMR0	1	R/W	
7	MBIMR15	1	R/W	
6	MBIMR14	1	R/W	
5	MBIMR13	1	R/W	
4	MBIMR12	1	R/W	
3	MBIMR11	1	R/W	
2	MBIMR10	1	R/W	
1	MBIMR9	1	R/W	
0	MBIMR8	1	R/W	

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.13 インタラプトマスクレジスタ (IMR)

IMR は、IRR の割り込みフラグによる割り込み要求をイネーブルにします。リセット割り込みフラグはマスクできません。

ビット	ビット名	初期値	R/W	説明
15	IMR7	1	R/W	オーバーロードフレーム割り込みマスク このビットをクリアすると IRR7 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
14	IMR6	1	R/W	バスオフ割り込みマスク このビットをクリアすると IRR6 による割り込み要求 (ERS0) がイネーブルになり、セットするとマスクされます。
13	IMR5	1	R/W	エラーバツプ割り込みマスク このビットをクリアすると IRR5 による割り込み要求 (ERS0) がイネーブルになり、セットするとマスクされます。
12	IMR4	1	R/W	受信オーバーロードワーニング割り込みマスク このビットをクリアすると IRR4 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
11	IMR3	1	R/W	送信オーバーロードワーニングマスク このビットをクリアすると IRR3 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
10	IMR2	1	R/W	リモートフレームリクエスト割り込みマスク このビットをクリアすると IRR2 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
9	IMR1	1	R/W	受信メッセージ割り込みマスク このビットをクリアすると IRR1 による割り込み要求 (RM1) がイネーブルになり、セットするとマスクされます。
8	—	0	R	リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
7~5	—	すべて 1	R	リードすると常に 1 が読み出されます。ライトする値も常に 1 としてください。
4	IMR12	1	R/W	バス動作割り込みマスク このビットをクリアすると IRR12 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
3, 2	—	すべて 1	R	リードすると常に 1 が読み出されます。ライトする値も常に 1 としてください。
1	IMR9	1	R/W	未読割り込みマスク このビットをクリアすると IRR9 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
0	IMR8	1	R/W	このビットをクリアすると IRR8 による割り込み要求 (SLE0) がイネーブルになり、セットするとマスクされます。

11.3.14 受信エラーカウンタ (REC)

REC は 8 ビットのリード専用レジスタで、CAN バス上の受信メッセージエラーをカウントします。カウント数は CAN プロトコルで規定されています。

11.3.15 送信エラーカウンタ (TEC)

TEC は 8 ビットのリード専用レジスタで、CAN バス上の送信メッセージエラーをカウントします。カウント数は CAN プロトコルで規定されています。

11.3.16 未読メッセージステータスレジスタ (UMSR)

UMSR は、メールボックスの未読メッセージが新たな受信メッセージによって上書きされたことを示すステータスレジスタです。なお、新規受信メッセージにより上書きされた場合は古いデータは失われます。

ビット	ビット名	初期値	R/W	説明
15	UMSR7	0	R/(W)*	メッセージを受信後未読のまま新規メッセージをオーバーライト
14	UMSR6	0	R/(W)*	[セット条件]
13	UMSR5	0	R/(W)*	• RXPR をクリアする前に新規メッセージを受信したとき
12	UMSR4	0	R/(W)*	[クリア条件]
11	UMSR3	0	R/(W)*	• 1 ライト
10	UMSR2	0	R/(W)*	
9	UMSR1	0	R/(W)*	
8	UMSR0	0	R/(W)*	
7	UMSR15	0	R/(W)*	
6	UMSR14	0	R/(W)*	
5	UMSR13	0	R/(W)*	
4	UMSR12	0	R/(W)*	
3	UMSR11	0	R/(W)*	
2	UMSR10	0	R/(W)*	
1	UMSR9	0	R/(W)*	
0	UMSR8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.17 ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)

LAFML、LAFMH は、メールボックス 0 に格納するメッセージの Identifier をビットごとに Don't care にします。
詳細は「11.4.4 メッセージ受信」を参照してください。Identifier とマスクビットの関係は以下のとおりです。

• LAFML

ビット	ビット名	初期値	R/W	説明
15	LAFML7	0	R/W	1 のとき受信 Identifier の ID-7 の比較を行いません。
14	LAFML6	0	R/W	1 のとき受信 Identifier の ID-6 の比較を行いません。
13	LAFML5	0	R/W	1 のとき受信 Identifier の ID-5 の比較を行いません。
12	LAFML4	0	R/W	1 のとき受信 Identifier の ID-4 の比較を行いません。
11	LAFML3	0	R/W	1 のとき受信 Identifier の ID-3 の比較を行いません。
10	LAFML2	0	R/W	1 のとき受信 Identifier の ID-2 の比較を行いません。
9	LAFML1	0	R/W	1 のとき受信 Identifier の ID-1 の比較を行いません。
8	LAFML0	0	R/W	1 のとき受信 Identifier の ID-0 の比較を行いません。
7	LAFML15	0	R/W	1 のとき受信 Identifier の ID-15 の比較を行いません。
6	LAFML14	0	R/W	1 のとき受信 Identifier の ID-14 の比較を行いません。
5	LAFML13	0	R/W	1 のとき受信 Identifier の ID-13 の比較を行いません。
4	LAFML12	0	R/W	1 のとき受信 Identifier の ID-12 の比較を行いません。
3	LAFML11	0	R/W	1 のとき受信 Identifier の ID-11 の比較を行いません。
2	LAFML10	0	R/W	1 のとき受信 Identifier の ID-10 の比較を行いません。
1	LAFML9	0	R/W	1 のとき受信 Identifier の ID-9 の比較を行いません。
0	LAFML8	0	R/W	1 のとき受信 Identifier の ID-8 の比較を行いません。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

• LAFMH

ビット	ビット名	初期値	R/W	説明
15	LAFMH7	0	R/W	1 のとき受信 Identifier の ID-20 の比較を行いません。
14	LAFMH6	0	R/W	1 のとき受信 Identifier の ID-19 の比較を行いません。
13	LAFMH5	0	R/W	1 のとき受信 Identifier の ID-18 の比較を行いません。
12~10	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
9	LAFMH1	0	R/W	1 のとき受信 Identifier の ID-17 の比較を行いません。
8	LAFMH0	0	R/W	1 のとき受信 Identifier の ID-16 の比較を行いません。
7	LAFMH15	0	R/W	1 のとき受信 Identifier の ID-28 の比較を行いません。
6	LAFMH14	0	R/W	1 のとき受信 Identifier の ID-27 の比較を行いません。
5	LAFMH13	0	R/W	1 のとき受信 Identifier の ID-26 の比較を行いません。
4	LAFMH12	0	R/W	1 のとき受信 Identifier の ID-25 の比較を行いません。
3	LAFMH11	0	R/W	1 のとき受信 Identifier の ID-24 の比較を行いません。
2	LAFMH10	0	R/W	1 のとき受信 Identifier の ID-23 の比較を行いません。
1	LAFMH9	0	R/W	1 のとき受信 Identifier の ID-22 の比較を行いません。
0	LAFMH8	0	R/W	1 のとき受信 Identifier の ID-21 の比較を行いません。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.18 メッセージコントロール (MC0~MC15)

メッセージコントロールは1メールボックス当たり8ビット×8本のレジスタで構成されています。HCANにはメッセージコントロールが16セットあります。メッセージコントロールはRAMで構成されているため、電源投入後の初期値は不定です。必ず0または1をライトして初期化してください。レジスタの名称とメールボックスの関係は以下のとおりです。

メールボックス0	MC0[1]	MC0[2]	MC0[3]	MC0[4]	MC0[5]	MC0[6]	MC0[7]	MC0[8]
メールボックス1	MC1[1]	MC1[2]	MC1[3]	MC1[4]	MC1[5]	MC1[6]	MC1[7]	MC1[8]
メールボックス2	MC2[1]	MC2[2]	MC2[3]	MC2[4]	MC2[5]	MC2[6]	MC2[7]	MC2[8]
メールボックス3	MC3[1]	MC3[2]	MC3[3]	MC3[4]	MC3[5]	MC3[6]	MC3[7]	MC3[8]
メールボックス15	MC15[1]	MC15[2]	MC15[3]	MC15[4]	MC15[5]	MC15[6]	MC15[7]	MC15[8]

図 11.2 メッセージコントロール構成

メッセージコントロールの設定方法を次ページに示します。Identifier とレジスタのビット名の対応は以下のとおりです。

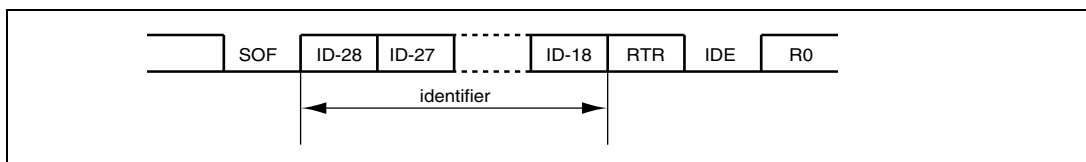


図 11.3 スタンダードフォーマット

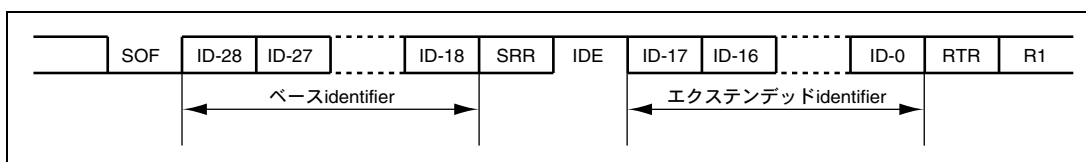


図 11.4 エクステンデッドフォーマット

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

レジスタ名	ビット	ビット名	R/W	説 明
MCx[1]	7~4	—	R/W	初期値は不定です。必ず 0 または 1 の値をライトして初期化してください。
	3~0	DLC3~DLC0	R/W	データ長コード データフレームのデータ長またはリモートフレームで要求するデータ長を 0~8 バイトの範囲で設定します。 0000 : 0 バイト 0001 : 1 バイト 0010 : 2 バイト 0011 : 3 バイト 0100 : 4 バイト 0101 : 5 バイト 0110 : 6 バイト 0111 : 7 バイト 1000 : 8 バイト : 1111 : 8 バイト
MCx[2] ~ MCx[4]	すべて 7~0	—	R/W	初期値は不定です。必ず 0 または 1 の値をライトして初期化してください。
MCx[5]	7~5	ID-20~ID-18	R/W	Identifier の ID-20~ID-18 を設定します。
	4	RTR	R/W	リモートトランスミッションリクエスト (RTR) データフレームとリモートフレームを識別するためのビットです。 0 : データフレーム 1 : リモートフレーム
	3	IDE	R/W	Identifier エクステンション (IDE) スタンダードフォーマットとエクステンデッドフォーマットを識別するビットです。 0 : スタンダードフォーマット 1 : エクステンデッドフォーマット
	2	—	R/W	初期値は不定です。必ず 0 または 1 の値をライトして初期化してください。
	1~0	ID-17~ID-16	R/W	Identifier の ID-17~ID-16 を設定します。
MCx[6]	7~0	ID-28~ID-21	R/W	Identifier の ID-28~ID-21 を設定します。
MCx[7]	7~0	ID-7~ID-0	R/W	Identifier の ID-7~ID-0 を設定します。
MCx[8]	7~0	ID-15~ID-8	R/W	Identifier の ID-15~ID-8 を設定します。

【注】 x : メールボックス番号を表します。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.3.19 メッセージデータ (MD0~MD15)

メッセージデータは1メールボックス当たり8ビット×8本のレジスタで構成されています。HCANにはメッセージデータが16セットあります。メッセージデータはRAMで構成されているため、電源投入後の初期値は不定です。必ず0または1の値をライトして初期化してください。レジスタの名称とメールボックスの関係は以下のとおりです。

メールボックス0	MD0[1]	MD0[2]	MD0[3]	MD0[4]	MD0[5]	MD0[6]	MD0[7]	MD0[8]
メールボックス1	MD1[1]	MD1[2]	MD1[3]	MD1[4]	MD1[5]	MD1[6]	MD1[7]	MD1[8]
メールボックス2	MD2[1]	MD2[2]	MD2[3]	MD2[4]	MD2[5]	MD2[6]	MD2[7]	MD2[8]
メールボックス3	MD3[1]	MD3[2]	MD3[3]	MD3[4]	MD3[5]	MD3[6]	MD3[7]	MD3[8]
メールボックス15	MD15[1]	MD15[2]	MD15[3]	MD15[4]	MD15[5]	MD15[6]	MD15[7]	MD15[8]

図 11.5 メッセージデータ構成

11.4 動作説明

11.4.1 ハードウェアリセットとソフトウェアリセット

HCANのリセットにはハードウェアリセットとソフトウェアリセットがあります。

- ハードウェアリセット

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイではMCRのリセットリクエストビット (MCR0) とGSRのリセットステートビット (GSR3) が自動的にセットされHCANが初期化されます。ハードウェアリセットによってメッセージコントロールとメッセージデータを除く内部レジスタがすべて初期化されます。

- ソフトウェアリセット

ソフトウェアでMCRのMCR0をセットすることでHCANをリセットすることができます。ソフトウェアリセットではエラーカウンタ (TEC、REC) は初期化されますが、他のレジスタは初期化されません。CANコントローラが送信中または受信中にリセットリクエストビットがセットされた場合は、そのメッセージの送受信が完了するまで待って初期化状態に遷移します。初期化が完了するとGSRのGSR3がセットされます。

11.4.2 ハードウェアリセット後の初期設定

ハードウェアリセット後は以下の初期設定を行ってください。

1. インタラプトレジスタ (IRR) のIRR0ビットのクリア
2. ビットレートの設定
3. 各メールボックスの送受信方向の設定
4. メールボックス (RAM) の初期化
5. メッセージ送信方式の選択

初期設定は必ずHCANがコンフィギュレーションモードの状態で行ってください。コンフィギュレーションモードはリセットによりGSRのGSR3がセットされた状態です。初期設定後MCRのMCR0をクリアすることによりGSRのGSR3が自動的にクリアされてコンフィギュレーションモードが解除されます (HCAN内部がリセットされる時間を必要とするため、MCR0をクリアしてからGSR3がクリアされるまで遅延を生じます)。コンフィギュレーションモードが解除されるとHCANはパワーアップシーケンスに入り、11ビット連続レセツピットを検出した時点でCANバスと通信可能になります。

(1) IRR0のクリア

パワーオンリセット後およびソフトウェアモードからの復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込みをイネーブルにすることで直ちにHCAN割り込み要求が発生しますのでIRR0をクリアしてください。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282グループのみ】

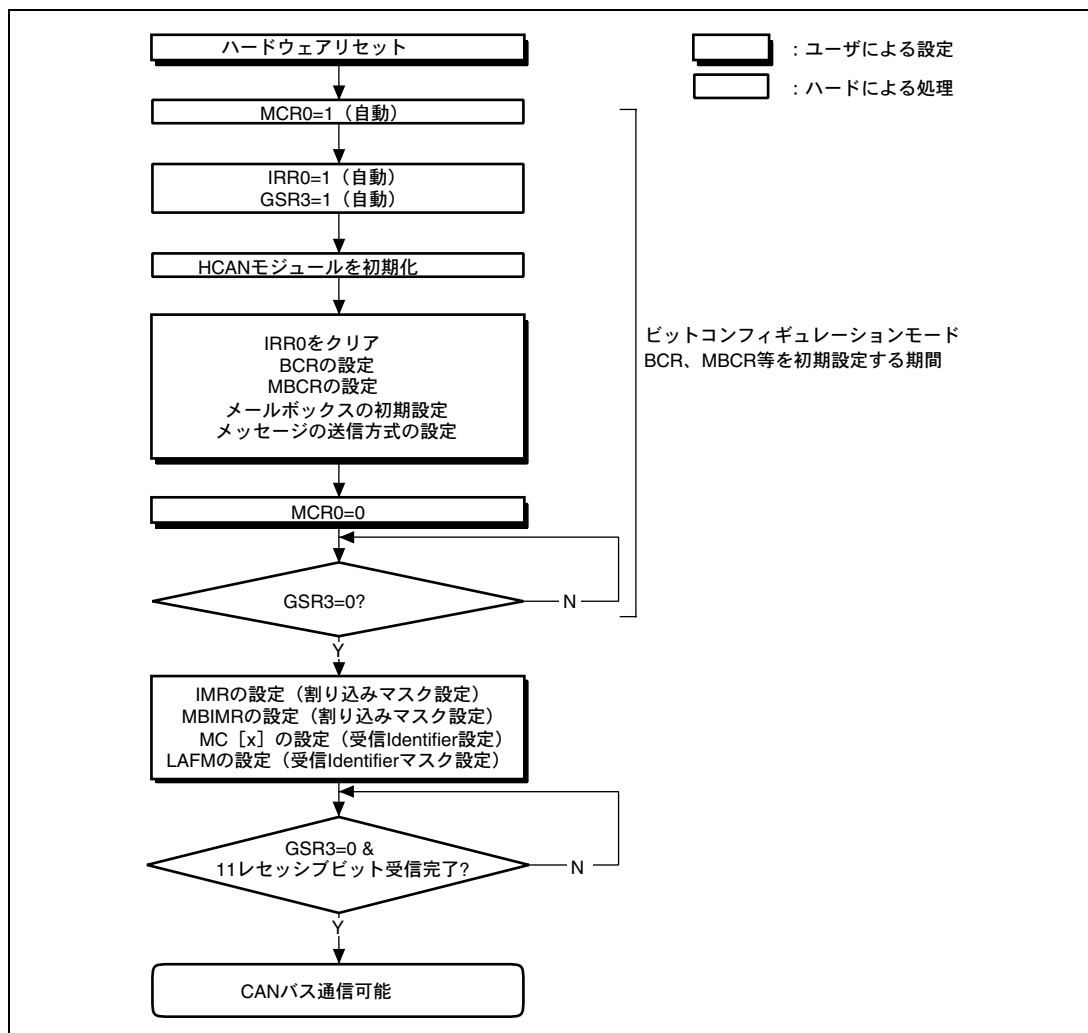


図 11.6 ハードウェアリセット時のフローチャート

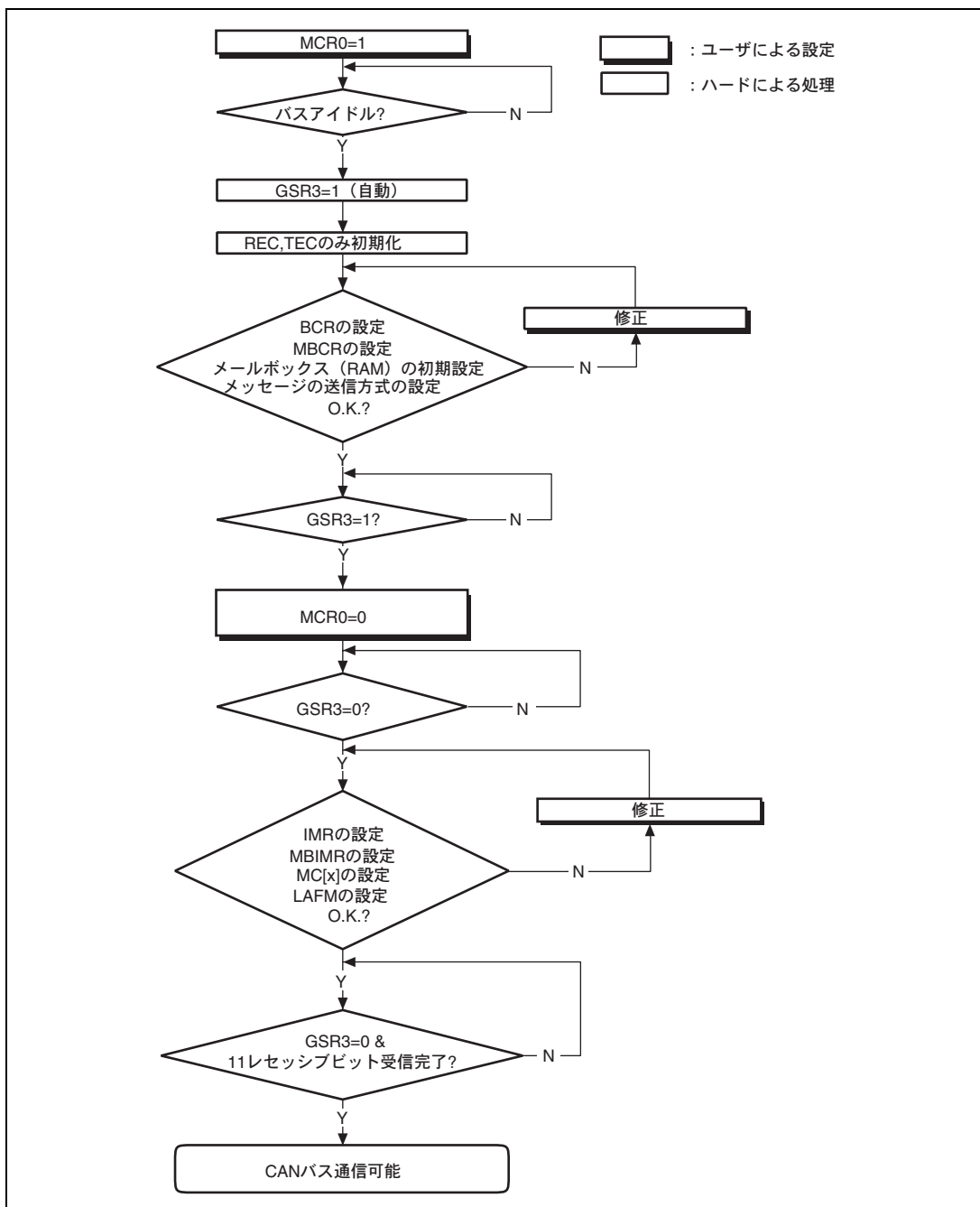


図 11.7 ソフトウェアリセット時のフローチャート

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

(2) ビットレートおよびビットタイミングの設定

ビットレートおよびビットタイミングの設定はビットコンフィギュレーションレジスタ (BCR) により行います。CAN バスに接続している CAN コントローラはすべて同一ボーレート、同一ビット幅になるよう設定してください。1 ビットタイムは設定可能な Time Quanta (TQ) の合計で構成されます。

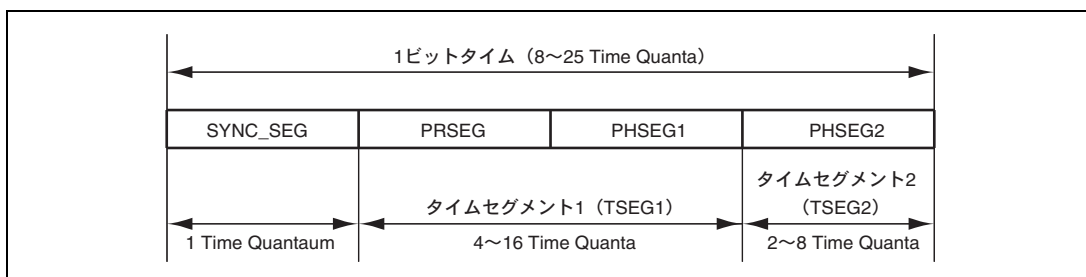


図 11.8 1 ビットタイムの詳細

SYNC_SEG は CAN バス上のノードの同期化をとるためのセグメントです。通常のビットエッジ変化はこの部分で発生します。PRSEG はネットワーク間の物理的な遅延を補正するためのセグメントです。PHSEG1 は位相ずれ (プラス) を補正するためのバッファセグメントです。同期化 (Re-Synchronization) をとる場合は PHSEG1 を延長します。PHSEG2 は位相ずれ (マイナス) を補正するためのバッファセグメントです。同期化

(Re-Synchronization) をとる場合は PHSEG2 を短縮します。BCR に設定可能な値 (TSEG1、TSEG2、BRP、サンプルポイント、SJW) の範囲を表 11.2 に示します。

表 11.2 BCR に設定可能なレジスタ値の範囲

名称	略称	最小値	最大値
タイムセグメント 1	TSEG1	B'0011 ^{*2}	B'1111
タイムセグメント 2	TSEG2	B'001 ^{*3}	B'111
ボーレートプリスケアラ	BRP	B'000000	B'111111
ビットサンプルポイント	BSP	B'0	B'1
Re-Synchronization Jump Width	SJW ^{*1}	B'00	B'11

【注】 *1 SJW は CAN 仕様で $3 \leq \text{SJW} \leq 0$ と規定されています。

*2 TSEG2 の最小値は CAN 仕様で $\text{TSEG2} \geq \text{SJW}$ と規定されています。

*3 TSEG1 の最小値は CAN 仕様で $\text{TSEG1} > \text{TSEG2}$ と規定されています。

Time Quanta (TQ) はシステムクロック数の整数倍でポーレートプリスケアラ (BRP) によって以下のように決まります。f_{CLK}はシステムクロック周波数を表します。

$$TQ = 2 \times (\text{BRP の設定値} + 1) / f_{CLK}$$

1 ビットタイムおよびビットレートは下記の式により算出されます。

$$1 \text{ ビットタイム} = TQ \times (3 + TSEG1 + TSEG2)$$

$$\text{ビットレート} = 1 / \text{ビットタイム}$$

$$= f_{CLK} / \{2 \times (\text{BRP の設定値} + 1) \times (3 + TSEG1 + TSEG2)\}$$

【注】 f_{CLK}=φ (システムクロック)

BRP、TSEG1、TSEG2 は BCR 値を使用

【例】 システムクロックが 20MHz、BRP の設定値=B'000000、TSEG1=B'0100、TSEG2=B'0111 の場合

$$\text{ビットレート} = 20 / \{2 \times (0 + 1) \times (3 + 4 + 3)\} = 1 \text{ Mbps}$$

表 11.3 BCR の TSEG1、TSEG2 の設定可能な範囲

		TSEG2 (BCR[14~12])						
		001	010	011	100	101	110	111
TSEG1 (BCR[11~8])	0011	×	○	×	×	×	×	×
	0100	○*	○	○	×	×	×	×
	0101	○*	○	○	○	×	×	×
	0110	○*	○	○	○	○	×	×
	0111	○*	○	○	○	○	○	×
	1000	○*	○	○	○	○	○	○
	1001	○*	○	○	○	○	○	○
	1010	○*	○	○	○	○	○	○
	1011	○*	○	○	○	○	○	○
	1100	○*	○	○	○	○	○	○
	1101	○*	○	○	○	○	○	○
	1110	○*	○	○	○	○	○	○
1111	○*	○	○	○	○	○	○	

【注】 TSEG1、TSEG2 の Time Quanta 値は TSEG 値+1 となります。

* BRP[13:8]=B'000000 以外のみ設定可能。

(3) メールボックス送受信方向の設定

HCAN には 16 本のメールボックスがあります。メールボックス 0 は受信専用です。メールボックス 1~15 は送信用または受信用に設定可能で、初期状態では送信用になっています。ソフトウェアリセットではメールボックスの送受信方向の設定は初期化されません。

メールボックスを送信用に設定するにはメールボックスコンフィギュレーションレジスタ (MBCR) のメールボックスに対応するビットを 0 にクリアします。メールボックスを受信用に設定するには MBCR のメールボックスに対応するビットに 1 をセットします。なお、受信用メールボックスは、メッセージの受信効率を向上させるため優先順位の高いメッセージをメールボックス番号の若いメールボックスに割り当ててください。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

(4) メールボックス (メッセージコントロール、メッセージデータ) の初期化

メッセージコントロール、メッセージデータは RAM であるため電源供給後の初期値は不定です。したがってメールボックス内の値をすべて初期化 (0 または 1 をライト) してください。

(5) メッセージ送信方式の選択

メッセージの送信には次の 2 通りの方式があります。

- メッセージ Identifier の優先順位に従って送信の順番を決定
- メールボックス番号の優先順位に従って送信の順番を決定

送信方式はマスタコントロールレジスタ (MCR) のメッセージ送信方式ビット (MCR2) で選択します。メッセージ Identifier の優先順位に従って送信する場合、複数メッセージが同時に送信待ち状態 (TXPR=1) になるとメッセージ Identifier の設定に従って最も優先度の高いメッセージが送信バッファに格納されます。バッファに格納されたメッセージは CAN バスとのアービトレーションによって送信権を獲得すると送信されます。HCAN は TXPR がセットされるたびに優先順位の最も高いメッセージを探して送信バッファに格納します。

メールボックス番号の優先順位に従って送信する場合、複数メッセージが同時に送信待ち (TXPR=1) 状態になるとメールボックス番号の最も若いメッセージが送信バッファに格納されます。バッファに格納されたメッセージは CAN バスとのアービトレーションによって送信権を獲得すると送信されます。

11.4.3 メッセージ送信

メッセージの送信はメールボックス 1~15 を用いて行います。初期設定後の送信は下記の手順で行います。図 11.9 に送信時のフローチャートを示します。

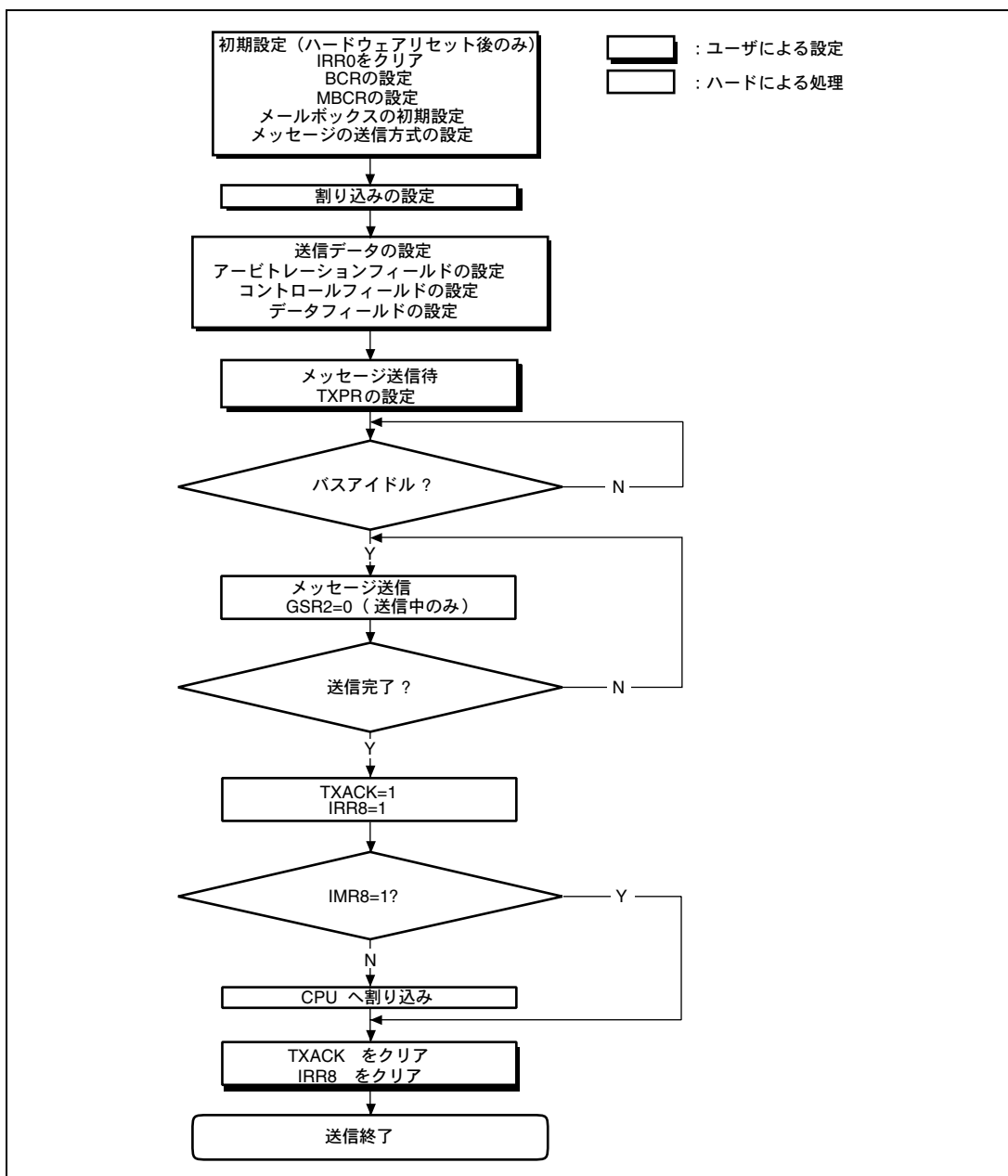


図 11.9 送信時のフローチャート

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

(1) CPU に対する割り込み要因の設定

CPU に対する割り込み要因の設定はインタラプトマスクレジスタ (IMR) とメールボックスインタラプトレジスタ (MBIMR) により行います。MBIMR により、送信アクノレッジおよび送信取り消しアクノレッジの割り込み要求をメールボックスごとに発生させることができます。

(2) アービトレーションフィールドの設定

アービトレーションフィールドの設定は送信用メールボックスのメッセージコントロール MCx[5]~MC [8]により行います。スタンダードフォーマットの場合は 11 ビットの Identifier (ID 28~ID-18) と RTR ビットを設定し、IDE ビットをクリアします。エクステンデッドフォーマットでは 29 ビットの Identifier (ID-28~ID-0) と RTR を設定し、IDE ビットを 1 にセットします。

(3) コントロールフィールドの設定

送信用メールボックスのメッセージコントロール MCx[1]に、送信するデータのバイト数を 0~8 バイトの範囲で設定します。

(4) データフィールドの設定

メッセージデータ MDx[1]~[8]に送信するデータを 0~8 バイトの範囲で設定します。送信されるデータのバイト数はコントロールフィールド内のデータ長コードで決まります。コントロールフィールドに設定している値より多くのデータが設定されても、コントロールフィールドに設定されたバイト数だけ送信されます。

(5) メッセージの送信

メッセージコントロール、メッセージデータ設定後、送信待ちレジスタ (TXPR) の対応するメールボックスの送信待ちビット (TXPR1~15) を 1 にセットすると送信待ち状態になります。メッセージが正常に送信されると送信アクノレッジレジスタ (TXACK) の対応するアクノレッジビット (TXACK1~15) がセットされ、送信待ちレジスタ (TXPR) の送信待ちビット (TXPR1~15) が自動的にクリアされます。また同時にメールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1~15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると CPU への割り込みを発生することができます。

また、下記条件でメッセージの送信を中断した場合は自動的にメッセージを再送信します。

- CANバスアービトレーション負け (バス権獲得に失敗)
- 送信中のエラー (ビットエラー、スタッフエラー、CRCエラー、フレームエラー、ACKエラー)

(6) メッセージの送信取り消し

送信待ち状態のメッセージの送信を取り消すことが可能です。送信待ちメッセージを取り消すには、送信待ち取り消しレジスタ (TXCR) の対応するメールボックスのビット (TXCR1~15) を 1 にセットします (送信待ちレジスタ (TXPR) をクリアしても送信取り消しはできません)。取り消しが実行されると自動的に送信待ちレジスタ (TXPR) がクリアされ、取り消しアクノレッジレジスタ (ABACK) の対応するビットが 1 にセットされま

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

す。CPU への割り込みを発生することができます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1~15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

ただし、下記条件では送信待ちメッセージを取り消すことはできません。

- 内部アービトレーションおよびCANバスアービトレーション期間中
- データフレーム、リモートフレーム送信中

図 11.10 に送信メッセージの取り消しのフローチャートを示します。

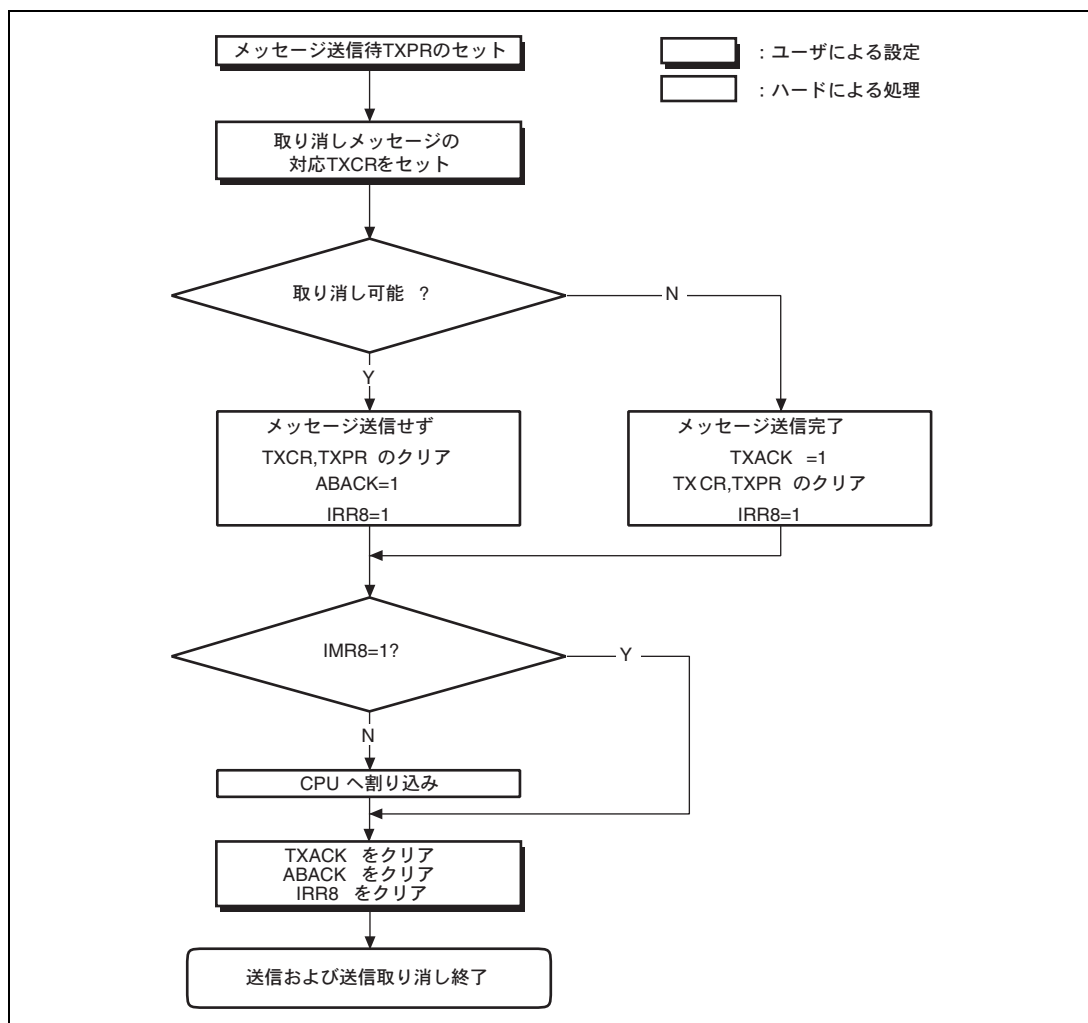


図 11.10 送信メッセージの取り消しのフローチャート

11.4.4 メッセージ受信

初期設定後の受信は下記の手順で行います。図 11.11 に受信時のフローチャートを示します。

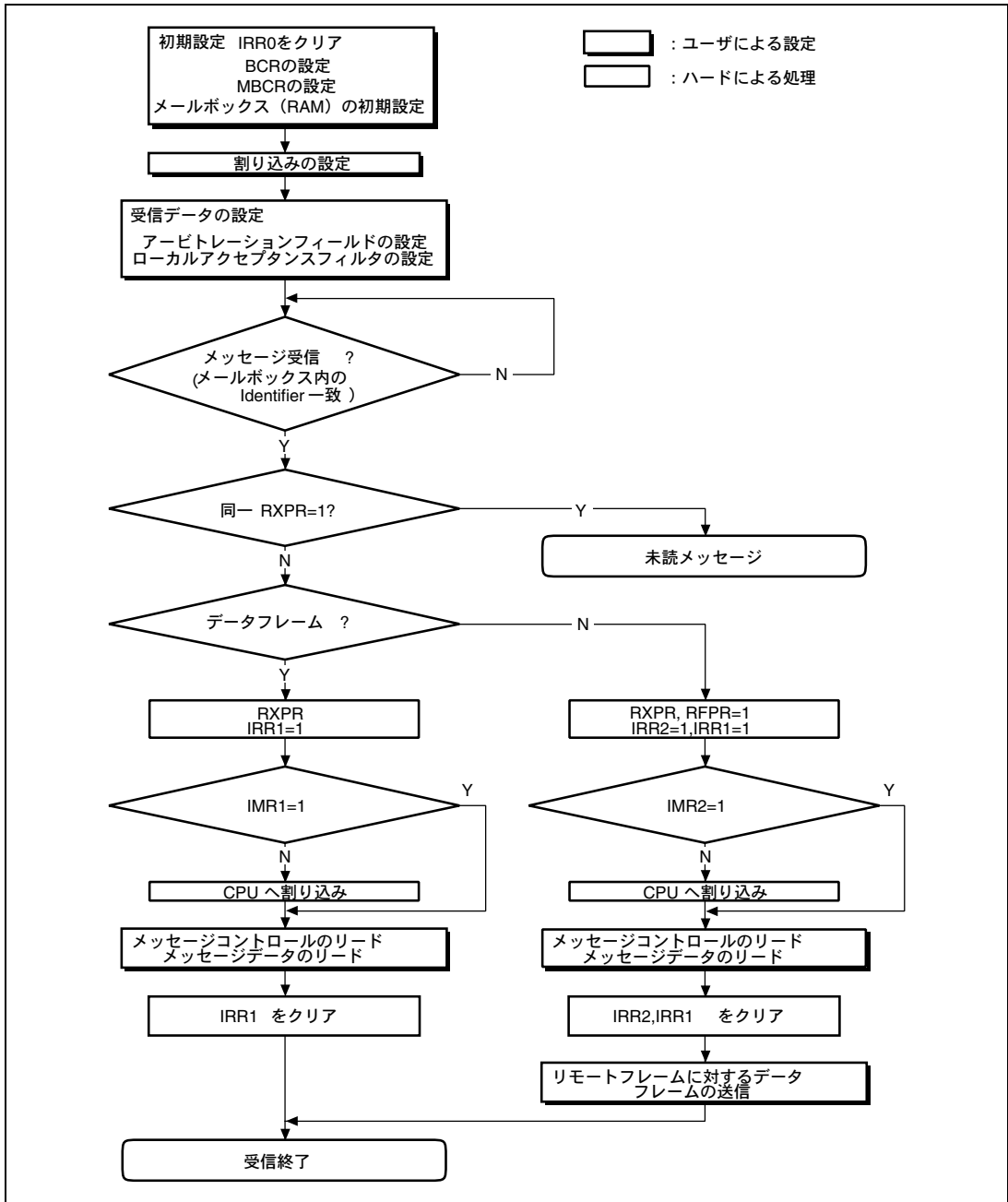


図 11.11 受信時のフローチャート

(1) CPU に対する割り込み要因の設定

CPU に対する割り込み要因の設定はインタラプトマスクレジスタ (IMR) とメールボックスインタラプトレジスタ (MBIMR) により行います。および受信するメッセージの指定を設定します。MBIMR により、データフレーム、リモートフレーム受信待ちの割り込み要求をメールボックスごとに発生させることができます。

(2) アービトレーションフィールドの設定

メッセージを受信するためには、あらかじめ受信用メールボックスのメッセージコントロール (MCx[1]~[8]) 内に Identifier を設定する必要があります。メッセージを受信すると受信メッセージの Identifier とメッセージコントロール内の Identifier の全ビットを比較し、完全に一致したメールボックスにメッセージを格納します。ただし、メールボックス0は Don't Care を設定できるローカルアクセプタンスマスクフィルタ (LAFM) が設けてあります。LAFM の設定はメールボックス0にのみ有効で、受信する Identifier の全ビットに対して Don't Care の指定をすることにより、複数の Identifier のメッセージを受信することが可能です。

[例] :

- メールボックス1の Identifier が 010_1010_1010 (スタンダードフォーマット) のとき、メールボックス1が受信可能なメッセージ Identifier は次の1種類のみとなります。

Identifier 1 : 010_1010_1010

- メールボックス0の Identifier が 010_1010_1010 (スタンダードフォーマット)、LAFM の設定値が 000_0000_0011 (0 : Care, 1 : Don't Care) のとき、メールボックス0が受信可能なメッセージ Identifier は次の4種類となります。

Identifier 1 : 010_1010_1000

Identifier 2 : 010_1010_1001

Identifier 3 : 010_1010_1010

Identifier 4 : 010_1010_1011

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

(3) メッセージの受信

メッセージを受信すると自動的に CRC チェックを行います。CRC の結果エラーがなければメッセージの受信可否にかかわらず ACK を ACK フィールドで送信します。

- データフレーム受信

受信したメッセージにCRC等のエラーが検出されなかった場合、受信メッセージのIdentifierと受信メールボックス内のIdentifier (メールボックス0はLAFMを含む) を比較し、完全に一致すると一致したメールボックスにメッセージを格納します。Identifierの比較はメールボックス0から開始し、メールボックス15まで順次行います。完全に一致したメールボックスがあると、その時点で比較を終了してメールボックス内にメッセージを格納し、受信完了レジスタ (RXPR) の対応する受信完了ビット (RXPR0~15) をセットします。ただし、メールボックス0のLAFMと比較をしてIdentifierが一致した場合はIdentifierの比較を終了せず、引き続きメールボックス1から順次比較を行います。したがって、メールボックス0と同一メッセージを他のメールボックスで受信することができます。メールボックス1~15では2つ以上のメールボックスで同一メッセージを受信することはできません。メッセージを受信するとメールボックスインタラプトマスクレジスタ

(MBIMR) とインタラプトマスクレジスタ (IMR) の設定に従ってCPUに対して割り込み要求を発生します。

- リモートフレーム受信

メールボックスにはデータフレームとリモートフレームの2種類のメッセージを格納することができます。リモートフレームがデータフレームと異なる点は、メッセージコントロールに格納されるリモートトランSMミッションリクエストビット (RTR) の値と、データフィールドが0バイトであることの2点です。メッセージコントロールのデータ長コード (DLC) には、データフレームで返信されるべきデータ長が格納されていなければなりません。

リモートフレーム (RTR=recessive) を受信すると、リモートリクエスト待ちレジスタ (RFPR) の対応するビットがセットされます。このとき、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR0~15) と、インタラプトマスクレジスタ (IMR) のリモートフレームリクエスト割り込みマスク (IRR2) の設定に従ってCPUに対して割り込み要求を発生します。

(4) 未読メッセージのオーバライト

受信したメッセージはメールボックス内の Identifier と一致すると、未読メッセージの有無にかかわらずメールボックスに格納されます。未読メッセージのオーバライトが発生すると、未読メッセージレジスタ (UMSR) の対応するビット (UMSR0~15) がセットされます。(UMSR) は、受信完了レジスタ (RXPR) のビットがクリアされていない状態で新規メッセージを受信したときセットされます。このとき、インタラプトマスクレジスタ (IMR) の未読割り込みフラグ (IRR9) 設定により、CPU に対して割り込み要求を発生します。図 11.12 に未読メッセージオーバライトのフローチャートを示します。

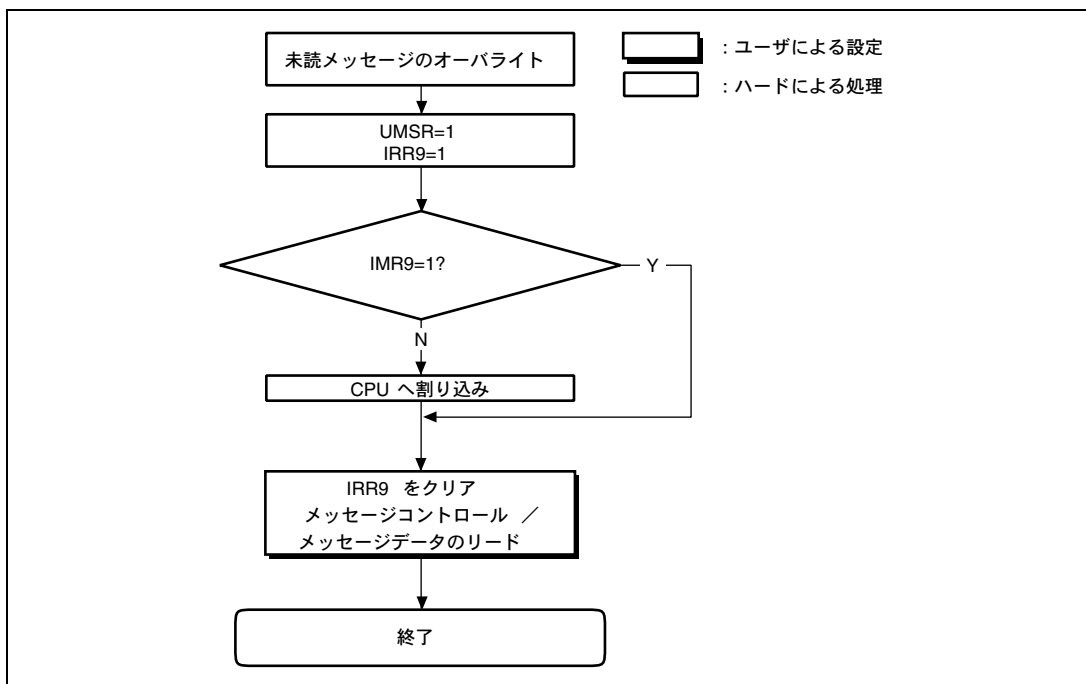


図 11.12 未読メッセージオーバーライトのフローチャート

11.4.5 HCAN スリープモード

HCAN には、スリープ状態にして消費電流を低減する HCAN スリープモードの機能があります。図 11.13 に HCAN スリープモードのフローチャートを示します。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

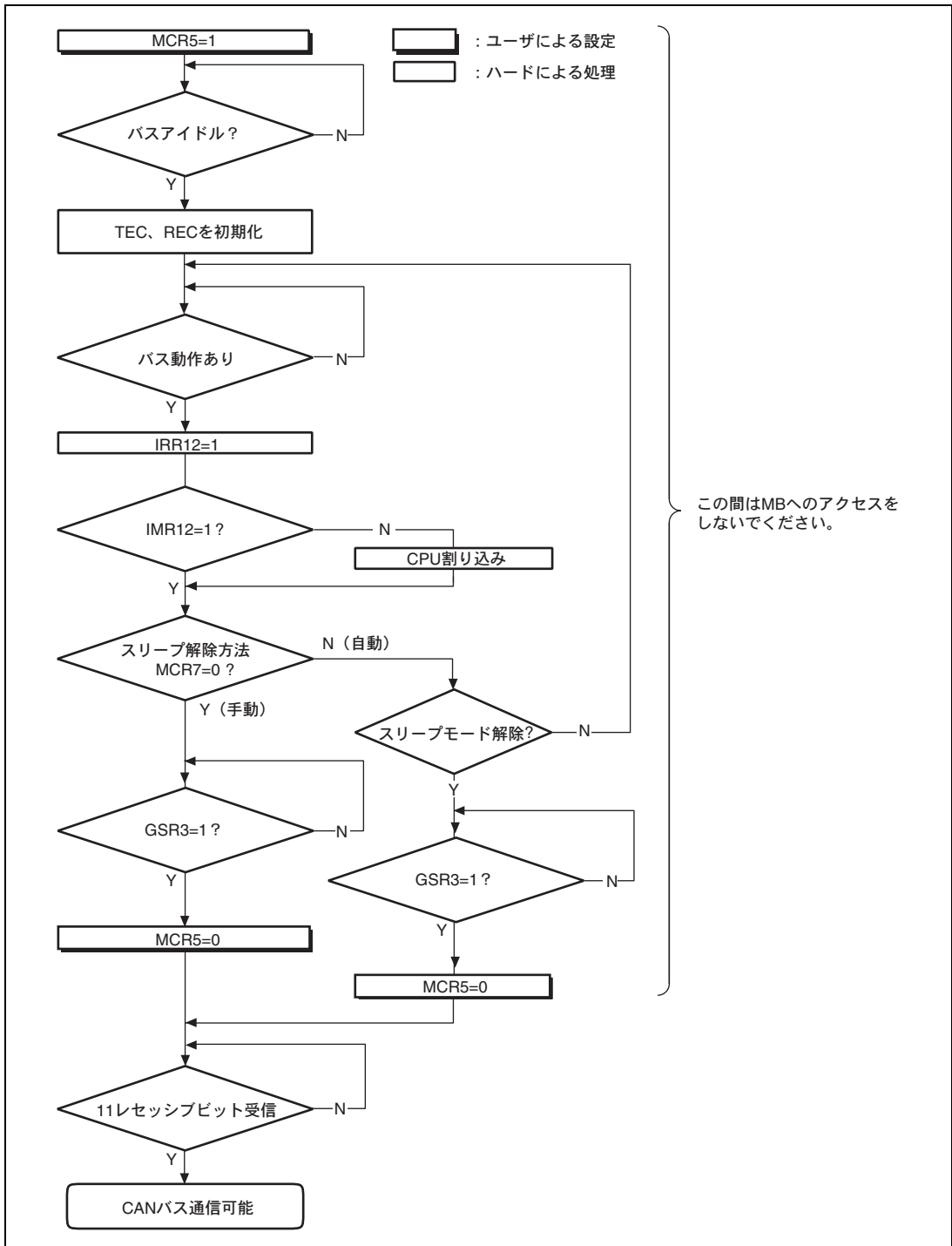


図 11.13 HCAN スリープモードのフローチャート

HCAN スリープモードへ遷移するには、マスタコントロールレジスタ (MCR) の HCAN スリープモードビット (MCR5) を 1 に設定します。HCAN は CAN バスが動作をしているときは、バスがアイドル状態になるまで待つて HCAN スリープモードに遷移します。

HCAN スリープモードは以下の 2 種類の方法で解除されます。

- ソフトウェアによる解除
- CANバス動作による解除

なお、HCAN スリープモードから再度 CAN バス通信可能になるためには、解除後 11 レセシブビットの受信が必要です。

(1) ソフトウェアによる解除

ソフトウェアによる解除は、CPU により MCR5 へ 0 をライトしてください。

(2) CAN バス動作による解除

解除方法の選択は MCR の MCR7 により設定します。CAN バス動作による解除は、CAN バスが動作をし、その変化を検出すると自動的にいきます。このとき 1 つ目のメッセージは、メールボックスに受信せず、次のメッセージから正常受信を開始します。CAN バスから HCAN スリープモード中に変化を検出したときにインタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) がセットされます。また同時に、インタラプトマスクレジスタ (IMR) のバス動作割り込みマスク (IMR12) が割り込み許可に設定されていると、CPU へ割り込みを発生することができます。

11.4.6 HCAN HALT モード

HCAN HALT モードは HCAN のハードウェアリセット、ソフトウェアリセットを行わずにメールボックスの設定を変更するためのモードです。図 11.14 に HCAN HALT モードのフローチャートを示します。

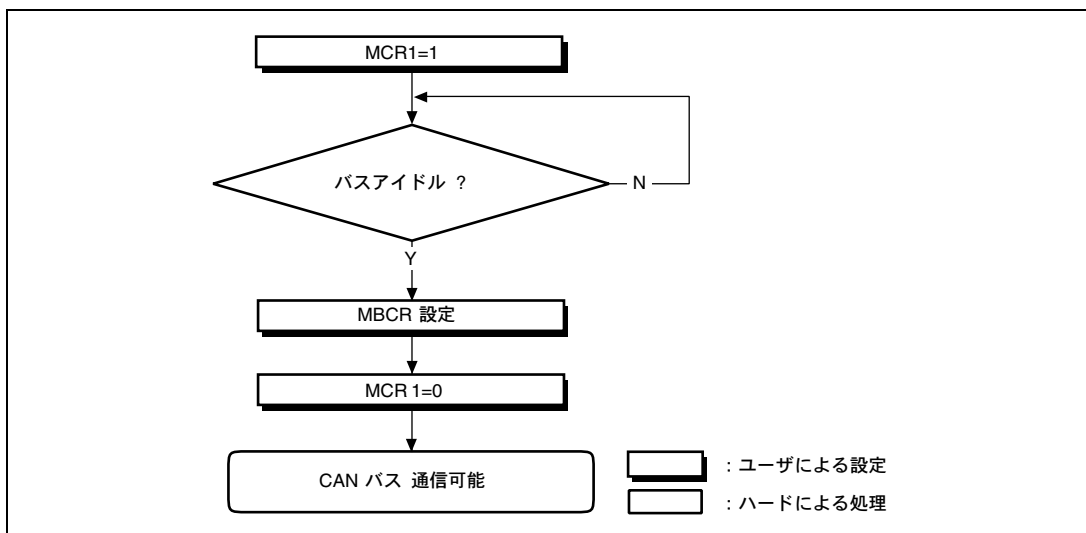


図 11.14 HCAN HALT モードのフローチャート

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

HCAN HALT モードへはマスタコントロールレジスタ (MCR) の HALT リクエストビット (MCR1) を 1 に設定することで遷移します。ただし、CAN バスが動作をしているときは、バスアイドルになるまで待ってから HCAN HALT モードに遷移します。

HCAN HALT モードは、MCR1 をクリアすることで解除されます。

11.5 割り込み要因

HCAN には表 11.4 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除きマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 5 章 割り込みコントローラ」を参照してください。

表 11.4 HCAN の割り込み要因

名称	説明	割り込みフラグ
ERS0/OVR0	エラーバッチ割り込み (TEC \geq 128 または REC \geq 128)	IRR5
	バスオフ割り込み (TEC \geq 256)	IRR6
	パワーオンリセットによるリセット処理割り込み	IRR0
	リモートフレーム受信	IRR2
	エラーワーニング割り込み (TEC \geq 96)	IRR3
	エラーワーニング割り込み (REC \geq 96)	IRR4
	オーバーロードフレーム送信	IRR7
	未読メッセージのオーバーライト	IRR9
	HCAN スリープ中 CAN バス動作の検出	IRR12
RM0	メールボックス 0 のメッセージ受信	IRR1
RM1	メールボックス 1~15 のメッセージ受信	IRR1
SLE0	メッセージの送信または送信取り消し	IRR8

11.6 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC は R2A25416SP デバイスを推奨します。R2A25416SP 以外の製品を使用する場合は、R2A25416SP とコンパチブルな製品を使用してください。図 11.15 に接続例を示します。

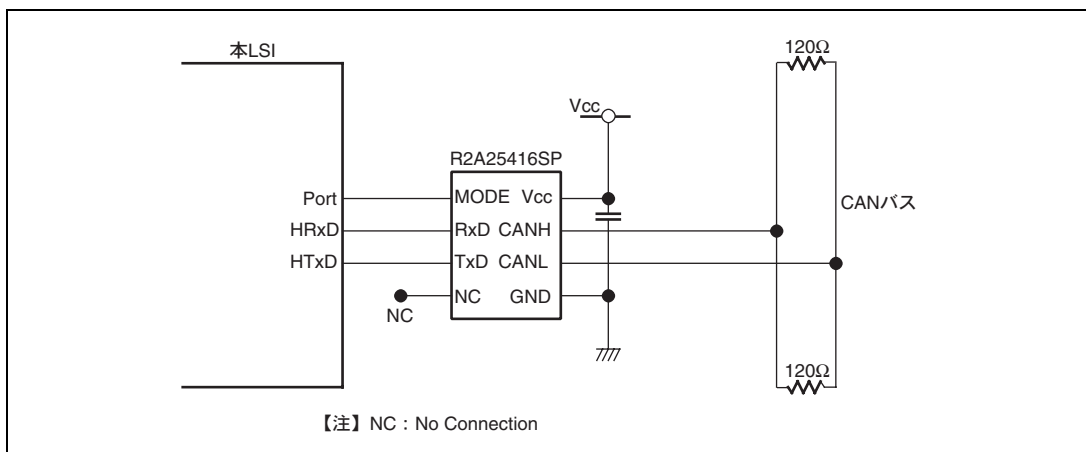


図 11.15 R2A25416SP を用いた高速インタフェース

11.7 使用上の注意事項

11.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、HCAN の動作禁止/許可を設定することが可能です。初期値では、HCAN の動作は停止します。モジュールストップモードを解除することによりレジスタのアクセスが可能になります。詳細は「第 20 章 低消費電力状態」を参照してください。

11.7.2 リセット

パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイにより HCAN はリセットされます。このときレジスタはすべて初期化されますが、メールボックス (メッセージコントロール (MCx[x]) /メッセージデータ (MDx[x])) は初期化されません。しかし、電源投入後メールボックス (メッセージコントロール (MCx[x]) /メッセージデータ (MDx[x])) は初期化され不定値になります。したがって、パワーオンリセット、ハードウェアスタンバイ、ソフトウェアスタンバイ後は、必ずメールボックスを初期化してください。また、パワーオンリセット投入後およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。本ビットはインタラプトマスケジスタ (IMR) ではマスク不可のため、フラグをクリアせずに割り込みコントローラで HCAN の割り込み許可に設定すると、直ちに HCAN 割り込みが入ります。したがって、初期化時に IRR0 をクリアしてください。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.7.3 HCAN スリープモード

インタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) は、HCAN スリープモード中の CAN バス動作によってセットされます。したがって、HCAN がスリープモード解除を示すフラグではありません。また、ジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) は HCAN スリープモード中もセットされます。

11.7.4 割り込み

メールボックスインタラプトマスクレジスタ (MBIMR) をセットした場合、セットしたメールボックスの受信完了、送信完了、送信取り消しでインタラプトレジスタ (IRR8、2、1) はセットされません。

11.7.5 エラーカウンタ

エラーアクティブ、エラーバッシブでは REC、TEC は通常にカウントアップ、カウントダウンします。バスオフ中は 11 レセツピットを REC を使ってカウント (REC+1) します。REC=96 になると IRR4 と GSR1 がセットされます。

11.7.6 レジスタアクセス

HCAN のすべてのレジスタはバイトおよびワードアクセスのみ可能です。ロングワードアクセスは行わないでください。

11.7.7 HCAN 中速モード

中速モードにおいては、HCAN のレジスタに対するリード/ライトはできません。

11.7.8 スタンバイ時のレジスタ保持

HCAN はハードウェアスタンバイおよびソフトウェアスタンバイ時には、すべてのレジスタが初期化されます。

11.7.9 ビット操作命令の使用について

HCAN のステータスフラグは、1 ライトでクリアされますので、ビット操作命令を使用してのフラグクリアは行わないでください。フラグクリアを行う場合は MOV 命令を使用し、クリアするビットのみ 1 を書き込むようにしてください。

11.7.10 HCAN の TXCR 動作について

1. 送信待ち取り消しレジスタ (TXCR) を使用して、送信待ちメールボックスの送信待ちメッセージを取り消す際に、送信が取り消されたにもかかわらず、TXCRおよび送信待ちレジスタ (TXPR) の対応するビットがクリアされないことがあります。これは、下記条件がすべて成立する場合に発生します。

＜条件＞

- CANバスのエラー等によりHRxD 端子が1にスタック
- 送信待ち (または送信中) のメールボックスが1本以上
- 送信中のメールボックスのメッセージ送信をTXCRにより取り消し

この現象が発生した場合、送信は取り消されますが、TXPRとTXCRの状態はメッセージ取り消し中という誤ったステータスを表示し続けるため、HRxD端子の1スタックが解除され、CANバスが正常な状態に復帰しても送信を再開することができません。送信メッセージが2本以上ある場合は送信中でないメッセージは取り消しされ、送信中のメッセージはそのままの状態となります。

これを回避するために、下記対策のいずれかを実施してください。

＜対策＞

- TXCRによる送信取り消しを行わないでください。CANバスの回復後に正常に送信を完了後、TXPRはクリアされ、HCANは正常動作に復帰します。
 - 送信取り消しを行う必要がある場合は、TXCRの対応するビットが0になるまでTXCRの対応するビット1をライトし続けてください。TXPRとTXCRはクリアされ、HCANは正常動作に復帰します。
2. バスオフに遷移するときTXPRが設定され送信待ち状態になっていた場合、バスオフ中にTXCRを設定しても内部のステートマシンが動作しないため取り消しをすることができず、バスオフ復帰後1メッセージを送信または送信エラーでメッセージの取り消しが行われます。バスオフ復帰後のメッセージクリアに関しては下記対策を実施してください。

＜対策＞

- バスオフ期間中にHCANモジュールをリセットすることで送信待ちのメッセージをクリアしてください。HCANのモジュールリセットはモジュールストップビット (MSTPCRCのMSTPC3) を設定/解除することで行ってください。なお、この場合はHCAN内部はすべてリセットされますので初期設定を再度行ってください。

11. コントローラエリアネットワーク (HCAN) 【H8S/2282 グループのみ】

11.7.11 HCAN 送信手続きについて

バスアイドルから送信設定した後、50 μ s 以内に次の送信設定あるいは送信取り消しを以下の条件で行うと、前に設定した送信メッセージ ID が破壊されることがあります。

- 1回目に送信設定されたメッセージより優先順位の高いメッセージを2回目に送信設定したとき
- 1回目の送信設定において、最も優先順位の高いメッセージに対して送信取り消しを行ったとき

メッセージ ID が破壊されないために、以下の設定を行ってください。

- 送信設定を1度のTXPRで設定し、全送信メッセージの送信が完了した後、再度送信設定を行い（一括送信設定）その間隔を50 μ s以上とする
- 送信メッセージの優先順位に従い送信設定する
- TXPRとTXPRの設定時間、またはTXPRとTXCRの設定時間の間隔を50 μ s以上とする

表 11.5 TXPR と TXPR 設定時間または TXPR と TXCR の設定時間の間隔制限

ボーレート (bps)	設定間隔 (μ s)
1M	50
500k	50
250k	50

11.7.12 HCAN ソフトウェアリセットおよび HCAN スリープの解除について

HCAN のソフトウェアリセットまたは HCAN スリープを解除する場合 (MCR0=0 または MCR5=0) は GSR3 (リセットステータスピット) が 1 になっていることを確認した後に行ってください。

11.7.13 HCAN スリープ中のメールボックスアクセスについて

HCAN スリープ中にメールボックスをアクセスしないでください。HCAN スリープ中にメールボックスをアクセスすると CPU が停止する場合があります。

HCAN スリープ中のレジスタアクセスでは CPU は停止しません。また、HCAN スリープ以外でメールボックスをアクセスしても CPU は停止しません。

12. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 12.1 に示します。

12.1 特長

- 分解能：10ビット
- 入力チャンネル：最大8チャンネル（HD64F2280RBは6チャンネル）
- 変換時間：1チャンネル当たり13.3 μ s（20MHz動作時）
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換
- データレジスタ：4本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイマパルスユニット（TPU）変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能

12. A/D 変換器

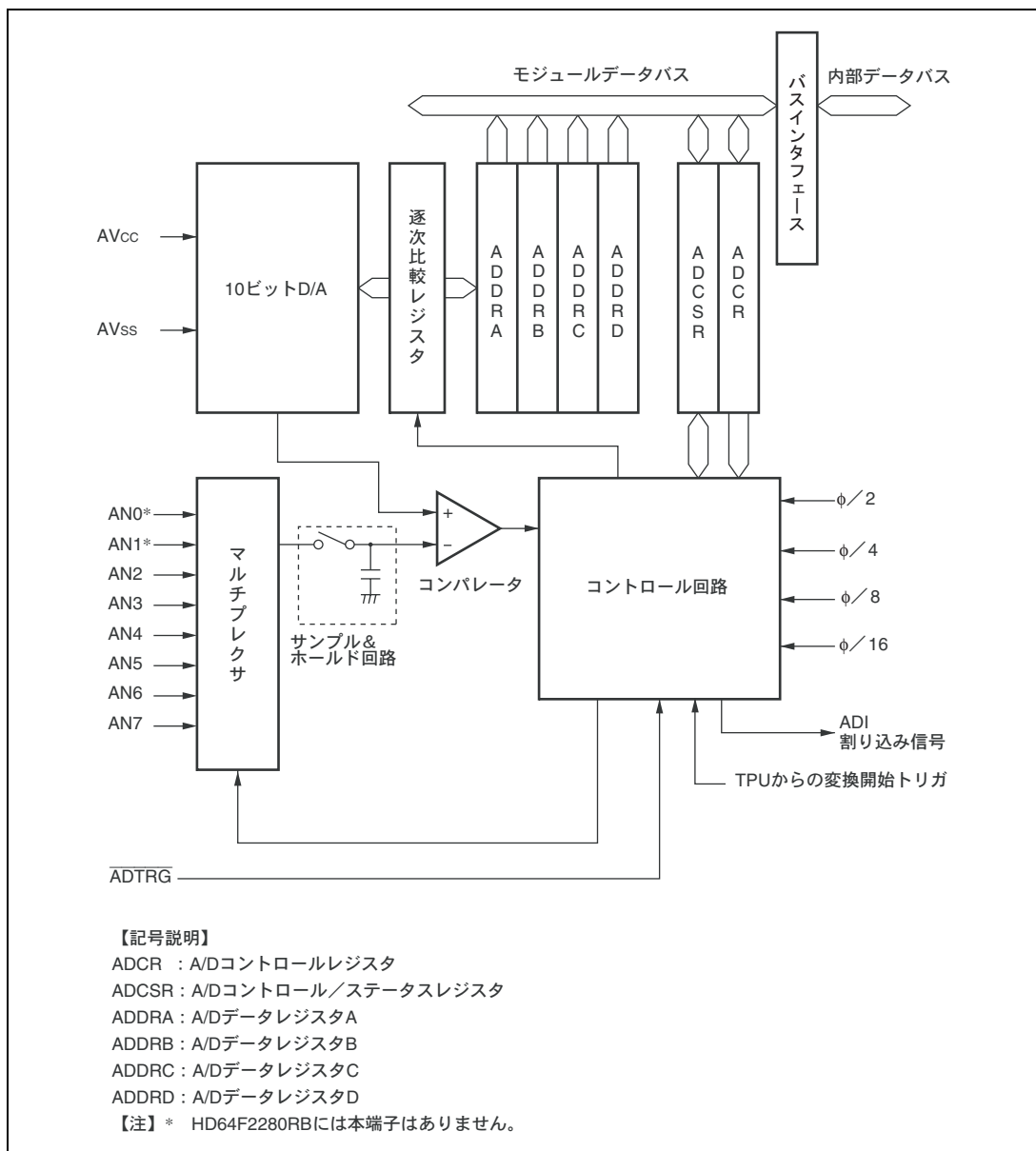


図 12.1 A/D 変換器のブロック図

12.2 入出力端子

A/D 変換器で使用する端子を表 12.1 に示します。8 本のアナログ入力端子は 4 チャンネル×2 グループに分割されています。アナログ入力端子 0~3(AN0~AN3)がグループ 0、アナログ入力端子 4~7(AN4~AN7)がグループ 1 になっています。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 12.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子および基準電圧
アナロググランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0*	AN0	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1*	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力端子

【注】 * HD64F2280RB には本端子はありません。

12.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- A/DデータレジスタA(ADDRA)
- A/DデータレジスタB(ADDRB)
- A/DデータレジスタC(ADDRC)
- A/DデータレジスタD(ADDRD)
- A/Dコントロール/ステータスレジスタ(ADCSR)
- A/Dコントロールレジスタ(ADCR)

12.3.1 A/D データレジスタ A～D (ADDRA～ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。各アナログ入力チャネルの変換結果が格納される ADDR は表 12.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイト、下位バイトの順でリードしてください。下位バイトのみのリードでは内容は保証されません。

表 12.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		変換結果が格納される A/D データレジスタ
グループ 0 (CH2=0)	グループ 1 (CH2=1)	
AN0*	AN4	ADDRA
AN1*	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

【注】 * HD64F2280RB には本端子はありません。

12.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)* ¹	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、ハードウェアスタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 0 : シングルモード 1 : スキャンモード
3	—	0	R/W	リザーブビット ライトするときは必ず 0 をライトしてください。
2	CH2	0	R/W	チャンネルセレクト 2~0
1	CH1	0	R/W	アナログ入力チャンネルを選択します。
0	CH0	0	R/W	SCAN=0 のとき SCAN=1 のとき 000 : AN0* ² 000 : AN0* ² 001 : AN1* ² 001 : AN0、AN1* ² 010 : AN2 010 : AN0~AN2* ² 011 : AN3 011 : AN0~AN3* ² 100 : AN4 100 : AN4 101 : AN5 101 : AN4~AN5 110 : AN6 110 : AN4~AN6 111 : AN7 111 : AN4~AN7

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 HD64F2280RB には AN0、AN1 はありません。そのため使用において注意が必要です。

SCAN=1 の場合、010 または 011 の設定をしたとき、ADDRA、ADDRB に格納される変換データは不定となります。

12.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時(ADST=0)に行ってください。 00 : ソフトウェアによる A/D 変換の開始 01 : TPU からの変換トリガによる A/D 変換の開始 10 : 設定禁止 11 : ADTRG による A/D 変換の開始
5、4	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。A/D 変換時間の切り替えは、A/D 変換停止時(ADST=0)に行ってください。A/D 変換時間は表 22.7 に示す範囲に設定してください。 00 : 530 ステート(max) 01 : 266 ステート(max) 10 : 134 ステート(max) 11 : 68 ステート(max)
1、0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。

12.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

12.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
- A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
- A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。

- ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。

12.4.2 スキャンモード

スキャンモードは指定された最大4チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

- ソフトウェア、TPU、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、グループの第1チャンネル(CH2=0のときAN0、CH2=1のときAN4)からA/D変換を開始します。
- それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dレジスタに転送されます。
- 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第一チャンネルからA/D変換を開始します。
- ADSTビットは自動的にクリアされず、1にセットされている間は2~3を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。

12.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADCSRのADSTビットが1にセットされてからA/D変換開始遅延時間(t_D)時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図12.2に示します。また、A/D変換時間を表12.3に示します。

A/D変換時間(t_{CONV})は、図12.2に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表12.3に示す範囲で変化します。

スキャンモードの変換時間は、表12.3に示す値が1回目の変換時間となります。2回目以降の変換時間は表12.4に示す値となります。いずれの場合も変換時間は表22.7に示す範囲となるようにADCRのCKS1、CKS0ビットを設定してください。

12. A/D 変換器

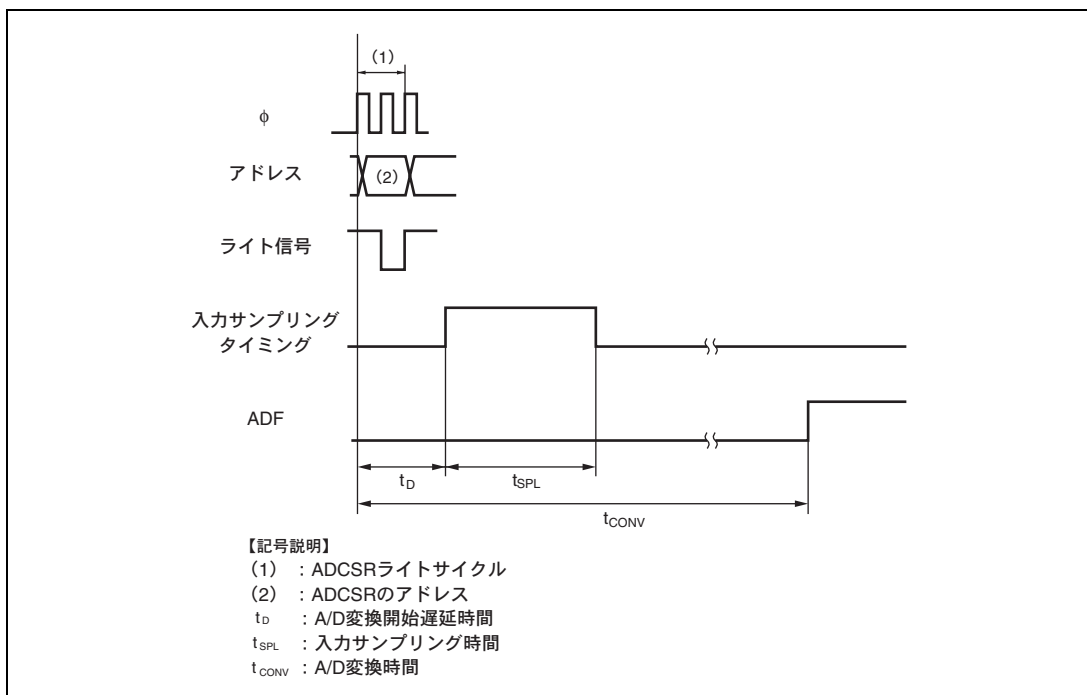


図 12.2 A/D 変換タイミング

表 12.3 A/D 変換時間（シングルモード）

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	127	—	—	63	—	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

【注】表中の数値の単位はステートです。

表 12.4 A/D 変換時間（スキャンモード）

CKS1	CKS0	変換時間（ステート）
0	0	512（固定）
	1	256（固定）
1	0	128（固定）
	1	64（固定）

12.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 12.3 に示します。

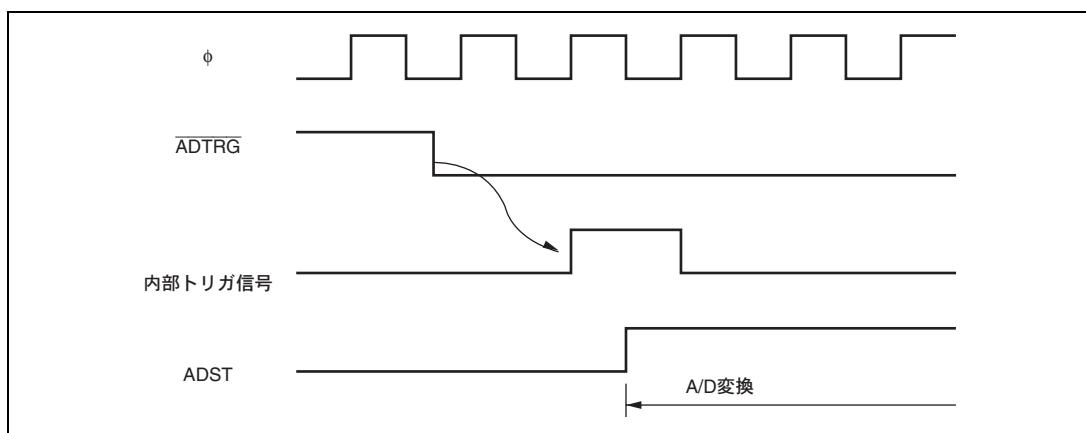


図 12.3 外部トリガ入力タイミング

12.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。

表 12.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ
ADI	A/D 変換終了	ADF

12.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図12.4)

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図12.5)

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図12.5)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない(図12.5)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線誤差を含む。

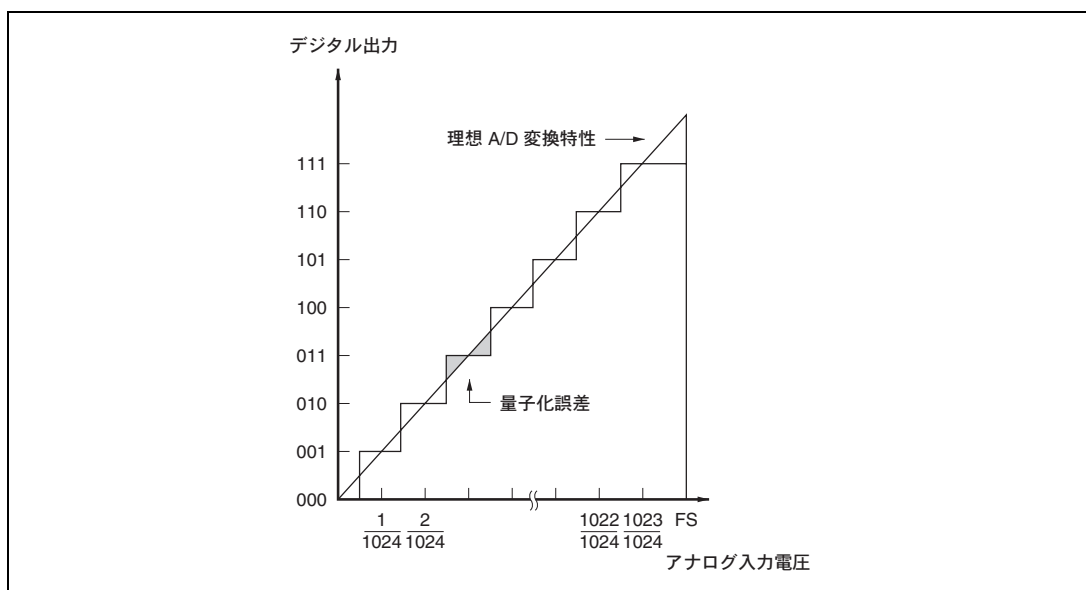


図 12.4 A/D 変換精度の定義

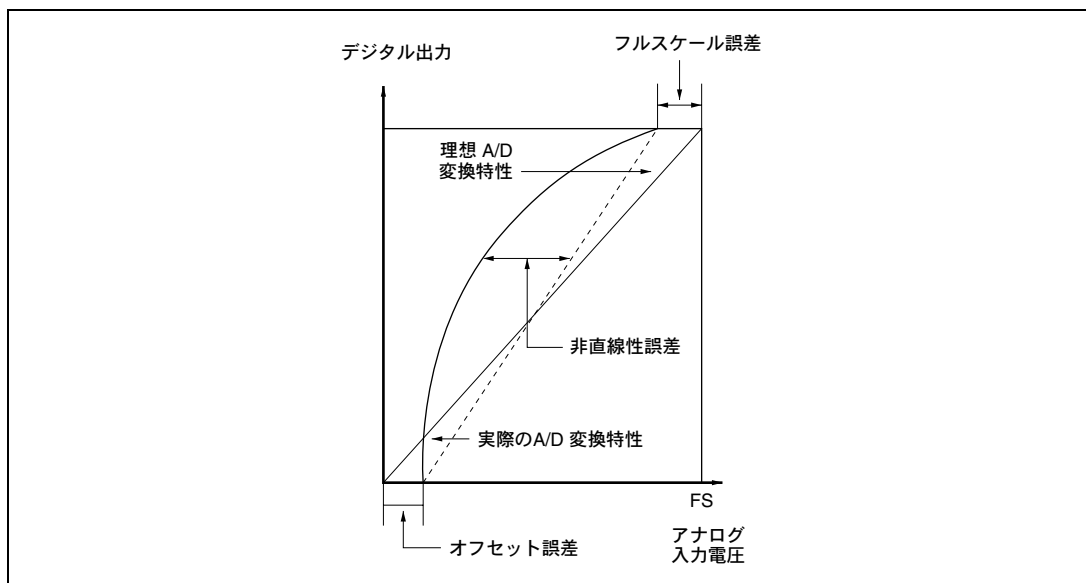


図 12.5 A/D 変換精度の定義

12.7 使用上の注意事項

12.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 20 章 低消費電力状態」を参照してください。

12.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $10\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $10\text{k}\Omega$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります(図 12.6)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

12.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意してください。

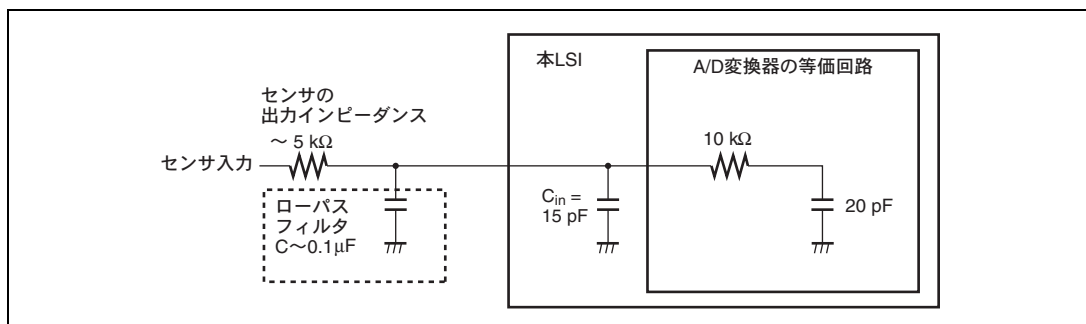


図 12.6 アナログ入力回路の例

12.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子 ANn に印加する電圧は $AVSS \leq ANn \leq AVCC$ の範囲としてください。

- AVCC、AVSS と VCC、VSS の関係

AVSS と VSS との関係は $AVSS = VSS$ とし、さらに、A/D変換器を使用しないときは $AVCC = VCC$ とし、AVCC、AVSS 端子をオープンにしないでください。

12.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 (AN0~AN7)、アナログ電源電圧 (AVCC) は、アナロググランド (AVSS) で、デジタル回路と分離してください。さらに、アナロググランド (AVSS) は、ボード上の安定したグランド (VSS) に一点接続してください。

12.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0~AN7) の破壊を防ぐために、図 12.7 に示すように AVCC-AVSS 間に保護回路を接続してください。AVCC に接続するバイパスコンデンサ、AN0~AN7 に接続するフィルタ用のコンデンサは、必ず AVSS に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が、入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

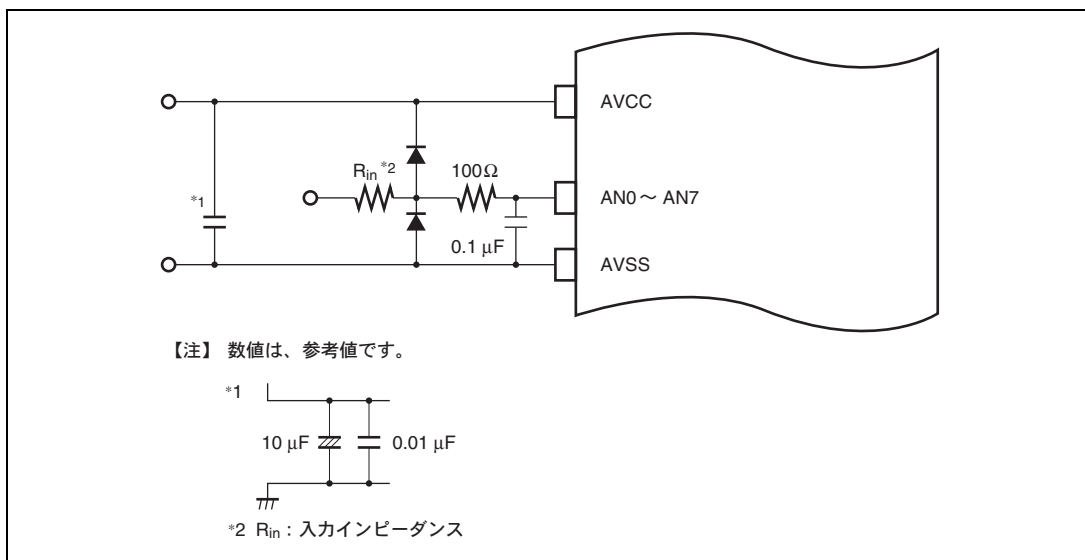


図 12.7 アナログ入力保護回路の例

表 12.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω

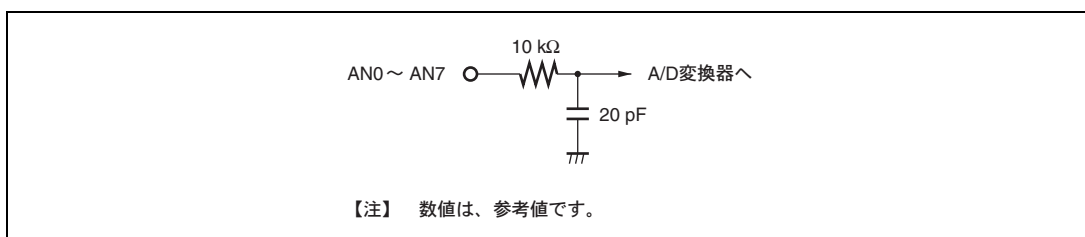


図 12.8 アナログ入力端子等価回路

13. モータコントロール PWM タイマ (PWM)

本 LSI は、最大 16 本のパルス出力が可能なモータコントロール PWM (Pulse Width Modulator) を内蔵しています。

13.1 特長

- 最大16本のパルス出力
8本の出力を持つ10ビットPWMを2チャンネル内蔵しています。
各チャンネルに10ビットのカウンタ (PWCNT) とサイクルレジスタ (PWCYR) を1本ずつ備えています。
デューティ、出力極性は1本ごとに設定可能です。
- バッファ付きデューティレジスタ
デューティレジスタ (PWDTR) にはバッファレジスタ (PWBFR) を備えており、1サイクルごとに自動的にデータ転送されます。
チャンネル1は4本のデューティレジスタと、4本のバッファレジスタを備えています。
チャンネル2は8本のデューティレジスタと、4本のバッファレジスタを備えています。
- デューティは0%から100%まで設定可能
- 5種類の動作クロックから選択可能
5種類の動作クロック (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$) が選択できます。
- 出力ドライバ内蔵
- 16ビットバスインタフェースによる高速アクセスが可能
- 2種類の割り込み要因
サイクルレジスタのコンペアマッチで、2チャンネル独立に割り込み要求が可能です。
- モジュールストップモードの設定可能

13. モータコントロール PWM タイマ (PWM)

PWM チャンネル 1 のブロック図を図 13.1 に、PWM チャンネル 2 のブロック図を図 13.2 に示します。

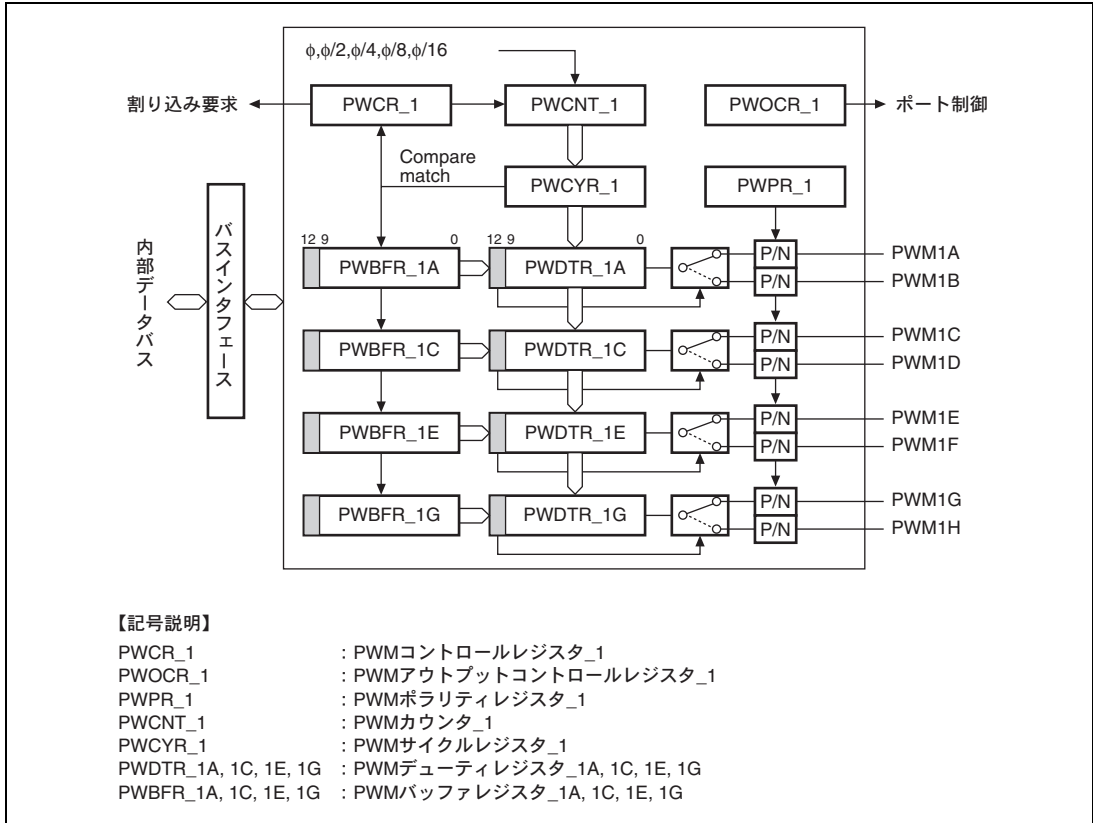


図 13.1 PWM チャンネル 1 のブロック図

13. モータコントロールPWMタイマ (PWM)

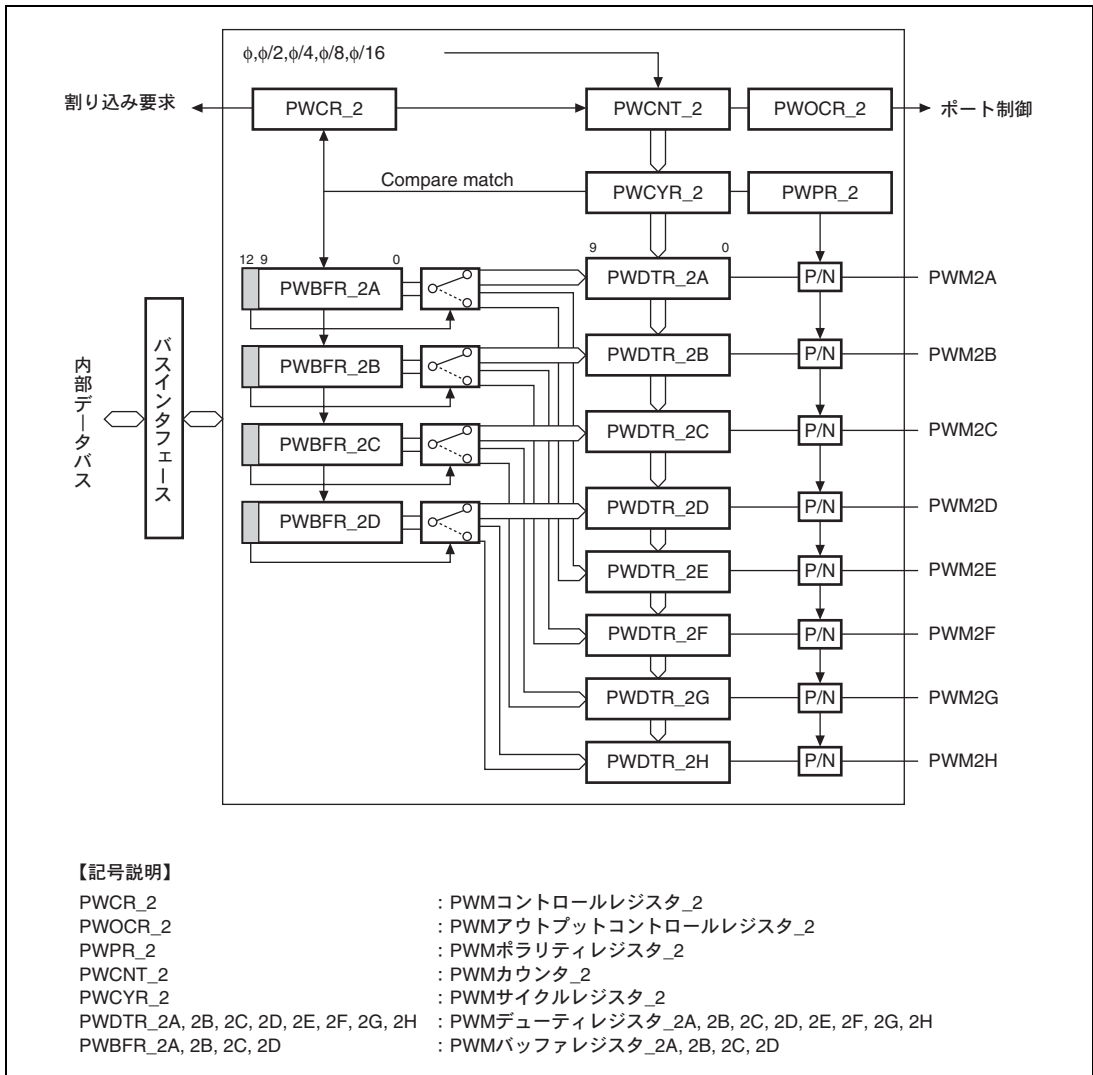


図 13.2 PWM チャンネル 2 のブロック図

13. モータコントロール PWM タイマ (PWM)

13.2 入出力端子

PWM の端子構成を表 13.1 に示します。

表 13.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 1A	PWM1A	出力	チャンネル 1A の PWM 出力
PWM 出力端子 1B	PWM1B	出力	チャンネル 1B の PWM 出力
PWM 出力端子 1C	PWM1C	出力	チャンネル 1C の PWM 出力
PWM 出力端子 1D	PWM1D	出力	チャンネル 1D の PWM 出力
PWM 出力端子 1E	PWM1E	出力	チャンネル 1E の PWM 出力
PWM 出力端子 1F	PWM1F	出力	チャンネル 1F の PWM 出力
PWM 出力端子 1G	PWM1G	出力	チャンネル 1G の PWM 出力
PWM 出力端子 1H	PWM1H	出力	チャンネル 1H の PWM 出力
PWM 出力端子 2A	PWM2A	出力	チャンネル 2A の PWM 出力
PWM 出力端子 2B	PWM2B	出力	チャンネル 2B の PWM 出力
PWM 出力端子 2C	PWM2C	出力	チャンネル 2C の PWM 出力
PWM 出力端子 2D	PWM2D	出力	チャンネル 2D の PWM 出力
PWM 出力端子 2E	PWM2E	出力	チャンネル 2E の PWM 出力
PWM 出力端子 2F	PWM2F	出力	チャンネル 2F の PWM 出力
PWM 出力端子 2G	PWM2G	出力	チャンネル 2G の PWM 出力
PWM 出力端子 2H	PWM2H	出力	チャンネル 2H の PWM 出力

13.3 レジスタの説明

PWM には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- PWMコントロールレジスタ_1, 2(PWCR_1, PWCR_2)
- PWMアウトプットコントロールレジスタ_1, 2 (PWOCR_1, PWOCR_2)
- PWMポラリティレジスタ_1, 2 (PWPR_1, PWPR_2)
- PWMカウンタ_1, 2 (PWCNT_1, PWCNT_2)
- PWMサイクルレジスタ_1, 2 (PWCYR_1, PWCYR_2)
- PWMデューティレジスタ_1A, 1C, 1E, 1G (PWDTR_1A, PWDTR_1C, PWDTR_1E, PWDTR_1G)
- PWMバッファレジスタ_1A, 1C, 1E, 1G (PWBFR_1A, PWBFR_1C, PWBFR_1E, PWBFR_1G)
- PWMデューティレジスタ_2A~2H (PWDTR_2A~PWDTR_2H)
- PWMバッファレジスタ_2A~2D (PWBFR_2A~PWBFR_2D)

13.3.1 PWM コントロールレジスタ_1、2 (PWCR_1、PWCR_2)

PWCR は、割り込み制御、カウンタの起動/停止、カウンタのクロック選択を行います。また、PWCYR のコンペアマッチを示すフラグも備えています。

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	IE	0	R/W	割り込みイネーブル PWCYR がコンペアマッチしたときの割り込み要求を許可または禁止します。 0: 割り込み禁止 1: 割り込み許可
4	CMF	0	R/(W)*	コンペアマッチフラグ PWCYR のコンペアマッチの発生を示します。 [セット条件] PWCNT=PWCYR になったとき [クリア条件] CMF=1 の状態で CMF をリード後、CMF に 0 をライトしたとき
3	CST	0	R/W	カウンタスタート PWCNT を起動または停止します。 0: PWCNT を停止 1: PWCNT を起動
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト PWCNT の動作クロックを選択します。 000: $\phi/1$ でカウント 001: $\phi/2$ でカウント 010: $\phi/4$ でカウント 011: $\phi/8$ でカウント 1xx: $\phi/16$ でカウント

【注】 * フラグをクリアするための 0 ライトのみ可能です。

【記号説明】 x: Don't Care

13. モータコントロール PWM タイマ (PWM)

13.3.2 PWM アウトプットコントロールレジスタ_1、2 (PWOCR_1、PWOCR_2)

PWOCR は、PWM 出力を許可または禁止します。PWOCR_1 の各ビットは PWM1H~PWM1A 出力、PWOCR_2 は PWM2H~PWM2A 出力に対応します。

• PWOCR_1

ビット	ビット名	初期値	R/W	説明
7	OE1H	0	R/W	アウトプットイネーブル
6	OE1G	0	R/W	各ビットは PWM1H~PWM1A 出力を許可または禁止します。 0 : PWM 出力を禁止 1 : PWM 出力を許可
5	OE1F	0	R/W	
4	OE1E	0	R/W	
3	OE1D	0	R/W	
2	OE1C	0	R/W	
1	OE1B	0	R/W	
0	OE1A	0	R/W	

• PWOCR_2

ビット	ビット名	初期値	R/W	説明
7	OE2H	0	R/W	アウトプットイネーブル
6	OE2G	0	R/W	各ビットは PWM2H~PWM2A 出力を許可または禁止します。 0 : PWM 出力を禁止 1 : PWM 出力を許可
5	OE2F	0	R/W	
4	OE2E	0	R/W	
3	OE2D	0	R/W	
2	OE2C	0	R/W	
1	OE2B	0	R/W	
0	OE2A	0	R/W	

13.3.3 PWM ポラリティレジスタ_1、2 (PWPR_1、PWPR_2)

PWPR は、PWM 出力の極性の選択を行います。PWPR_1 は PWM1H~PWM1A 出力、PWPR_2 は PWM2H~PWM2A 出力に対応します。

• PWPR_1

ビット	ビット名	初期値	R/W	説明
7	OPS1H	0	R/W	ポラリティセレクト
6	OPS1G	0	R/W	各ビットは PWM1H~PWM1A 出力の極性を選択します。 0 : PWM 直接出力 1 : PWM 反転出力
5	OPS1F	0	R/W	
4	OPS1E	0	R/W	
3	OPS1D	0	R/W	
2	OPS1C	0	R/W	
1	OPS1B	0	R/W	
0	OPS1A	0	R/W	

• PWPR_2

ビット	ビット名	初期値	R/W	説明
7	OPS2H	0	R/W	ポラリティセレクト
6	OPS2G	0	R/W	各ビットは PWM2H~PWM2A 出力の極性を選択します。 0 : PWM 直接出力 1 : PWM 反転出力
5	OPS2F	0	R/W	
4	OPS2E	0	R/W	
3	OPS2D	0	R/W	
2	OPS2C	0	R/W	
1	OPS2B	0	R/W	
0	OPS2A	0	R/W	

13.3.4 PWM カウンタ_1、2 (PWCNT_1、PWCNT_2)

PWCNT は 10 ビットのアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、PWCR の CKS2~CKS0 ビットで選択します。

PWCNT_1 はチャンネル 1、PWCNT_2 はチャンネル 2 のタイムベースとして使用します。

PWCNT は、PWCR の CST ビットが 0 のときと、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時に初期化されます。PWCNT の初期値は H'FC00 です。

13. モータコントロール PWM タイマ (PWM)

13.3.5 PWM サイクルレジスタ_1、2 (PWCYR_1、PWCYR_2)

PWCYR は、16 ビットのリード/ライト可能なレジスタで、PWM の変換周期を設定するレジスタです。PWCYR のコンペアマッチが発生すると、PWCNT はクリアされ、バッファレジスタ (PWBFR) からのデューティレジスタ (PWDTR) へのデータ転送が行われます。PWCYR_1 はチャンネル 1、PWCYR_2 はチャンネル 2 の変換周期設定に使用します。

PWCYR への書き込みは PWCNT の停止中に行ってください。また、PWCYR に H'FC00 を設定しないでください。PWCYR の初期値は H'FFFF です。サイクルレジスタのコンペアマッチを図 13.3 に示します。

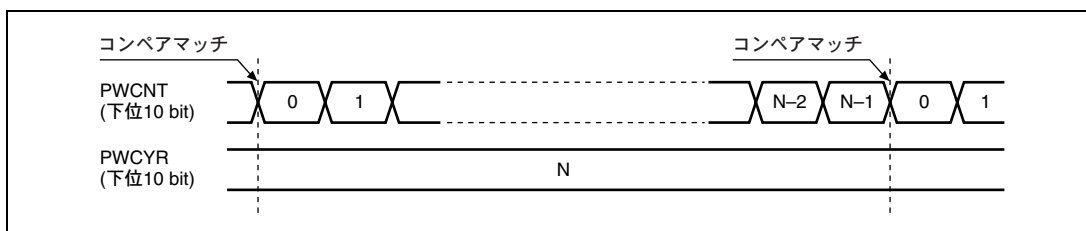


図 13.3 サイクルレジスタのコンペアマッチ

13.3.6 PWM デューティレジスタ_1A、1C、1E、1G (PWDTR_1A、PWDTR_1C、PWDTR_1E、PWDTR_1G)

PWDTR_1 には、4 本のレジスタがあります。OTS ビットで PWM 出力が選択され、PWDTR_1A は PWM1A、PWM1B 出力、PWDTR_1C は PWM1C、PWM1D 出力、PWDTR_1E は PWM1E、PWM1F 出力、PWDTR_1G は PWM1G、PWM1H 出力にそれぞれ対応します。PWDTR_1 は直接リード/ライトできません。PWCYR_1 のコンペアマッチが発生すると、バッファレジスタ 1 (PWBFR_1) から PWDTR_1 にデータが転送されます。

PWDTR_1 は、PWCR_1 の CST ビットを 0 にクリアすると初期化されます。また、リセット、スタンバイモード、モジュールストップモード時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 1	—	リザーブビット リード/ライトできません。
12	OTS	0	—	アウトプットターミナルセレクト PWCYR_1 のコンペアマッチにより、転送される PWBFR_1 の 12 ビット目の値を反映し、PWM 出力を行う端子を選択します。非選択の端子は Low レベル (PWPR_1 の当該ビットが 1 のときは High レベル) を出力します。 PWDTR_1A レジスタ 0 : PWM1A 出力を選択 1 : PWM1B 出力を選択 PWDTR_1C レジスタ 0 : PWM1C 出力を選択 1 : PWM1D 出力を選択 PWDTR_1E レジスタ 0 : PWM1E 出力を選択 1 : PWM1F 出力を選択 PWDTR_1G レジスタ 0 : PWM1G 出力を選択 1 : PWM1H 出力を選択
11、10	—	すべて 1	—	リザーブビット リード/ライトできません。
9 8 7 6 5 4 3 2 1 0	DT9 DT8 DT7 DT6 DT5 DT4 DT3 DT2 DT1 DT0	0 0 0 0 0 0 0 0 0 0	— — — — — — — — — —	デューティ PWCYR_1 のコンペアマッチにより、転送される PWBFR_1 のビット 9~0 のデータを反映し、PWM 出力のデューティを設定します。PWCYR_1 のコンペアマッチの発生で、PWCNT_1 がクリアされてから PWDTR_1 のコンペアマッチが発生するまでの間、High レベル (PWPR_1 の当該ビットが 1 のときは Low レベル) を出力します。全ビットが 0 のときは High レベル (PWPR_1 の当該ビットが 1 のときは Low レベル) を出力する期間はありません。

13. モータコントロール PWM タイマ (PWM)

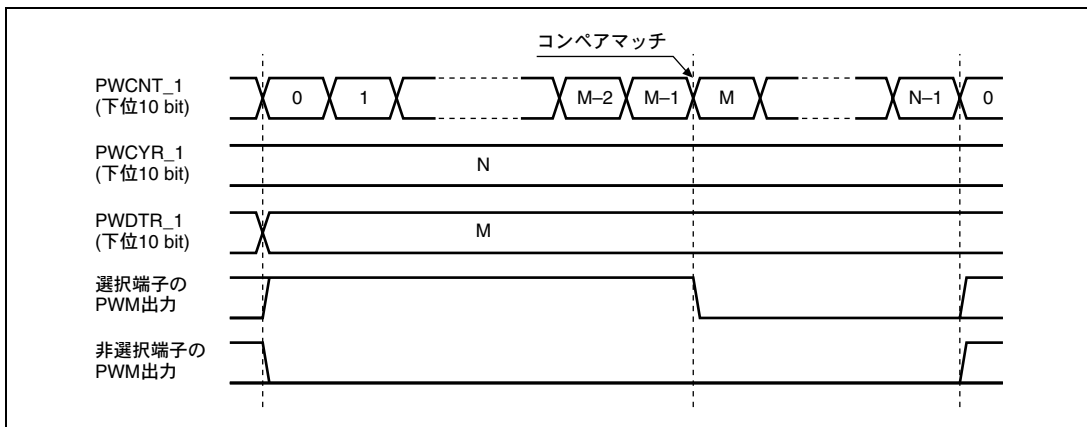


図 13.4 デューティレジスタのコンペアマッチ (PWPR_1 の OPS=0)

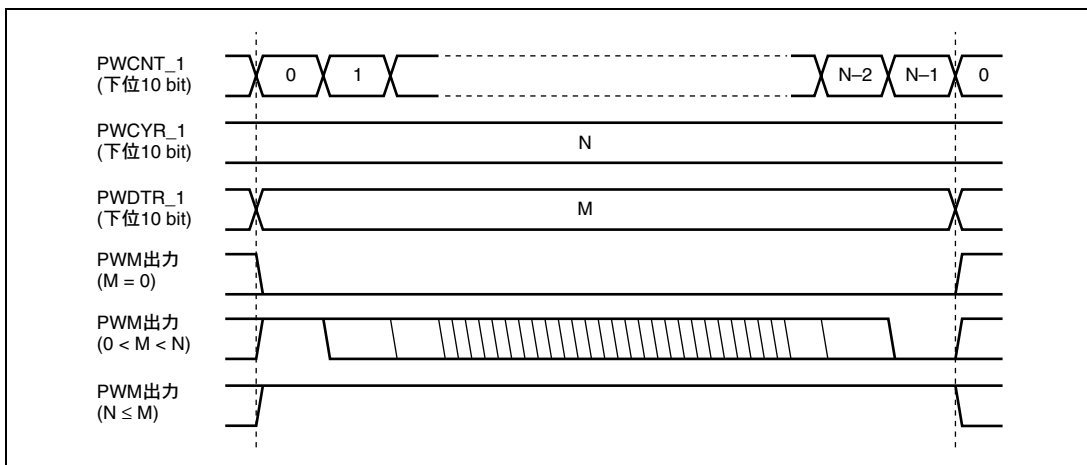


図 13.5 デューティレジスタの設定値による PWM 出力の相違 (PWPR_1 の OPS=0)

13.3.7 PWM バッファレジスタ_1A、1C、1E、1G (PWBFR_1A、PWBFR_1C、PWBFR_1E、PWBFR_1G)

PWBFR_1 には、4 本のレジスタがあります。PWCYR_1 のコンペアマッチが発生すると、PWBFR_1A から PWDTR_1A に、PWBFR_1C から PWDTR_1C に、PWBFR_1E から PWDTR_1E に、PWBFR_1G から PWDTR_1G にデータが転送されます。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
12	OTS	0	R/W	アウトプットターミナルセレクト PWDTR_1 のビット 12 へ転送されるデータです。
11、10	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
9	DT9	0	R/W	デューティ PWDTR_1 のビット 9~0 へ転送されるデータです。
8	DT8	0	R/W	
7	DT7	0	R/W	
6	DT6	0	R/W	
5	DT5	0	R/W	
4	DT4	0	R/W	
3	DT3	0	R/W	
2	DT2	0	R/W	
1	DT1	0	R/W	
0	DT0	0	R/W	

13. モータコントロール PWM タイマ (PWM)

13.3.8 PWM デューティレジスタ_{2A~2H} (PWDTR_{2A~2H})

PWDTR₂には、8本のレジスタがあります。PWDTR_{2A}はPWM2A出力、PWDTR_{2B}はPWM2B出力、PWDTR_{2C}はPWM2C出力、PWDTR_{2D}はPWM2D出力、PWDTR_{2E}はPWM2E出力、PWDTR_{2F}はPWM2F出力、PWDTR_{2G}はPWM2G出力、PWDTR_{2H}はPWM2H出力にそれぞれ対応します。PWDTR₂は直接リード/ライトできません。PWCYR₂のコンペアマッチが発生すると、バッファレジスタ2 (PWBFR₂) から PWDTR₂ へのデータ転送が行われます。

PWDTR₂は、PWCR₂のCSTビットを0にクリアすると初期化されます。また、リセット、スタンバイモード、モジュールストップモード時に初期化されます。

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて1	—	リザーブビット リード/ライトできません。
9	DT9	0	—	デューティ PWCYR ₂ のコンペアマッチにより、転送されるPWBFR ₂ のビット9~0のデータを反映し、PWM出力のデューティを設定します。PWCYR ₂ のコンペアマッチの発生で、PWCNT ₂ がクリアされてからPWDTR ₂ のコンペアマッチが発生するまでの間、Highレベル(PWPR ₂ の当該ビットが1のときはLowレベル)を出力します。全ビットが0のときはHighレベル(PWPR ₂ の当該ビットが1のときはLowレベル)を出力する期間はありません。
8	DT8	0	—	
7	DT7	0	—	
6	DT6	0	—	
5	DT5	0	—	
4	DT4	0	—	
3	DT3	0	—	
2	DT2	0	—	
1	DT1	0	—	
0	DT0	0	—	

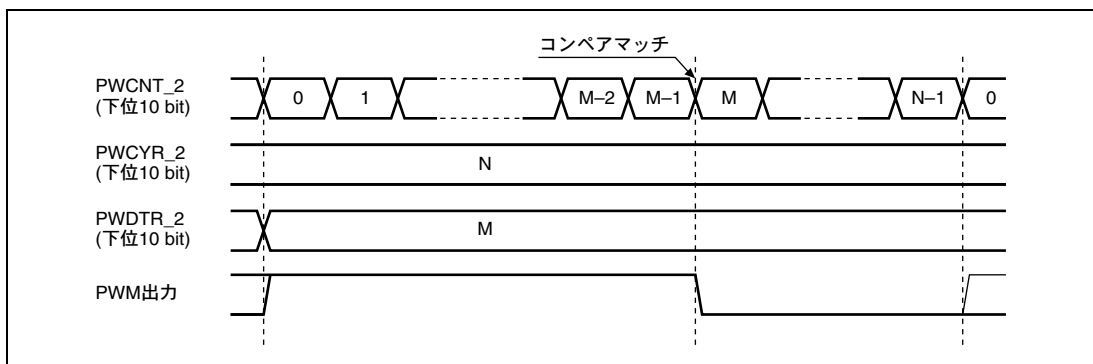


図 13.6 デューティレジスタのコンペアマッチ (PWPR₂のOPS=0)

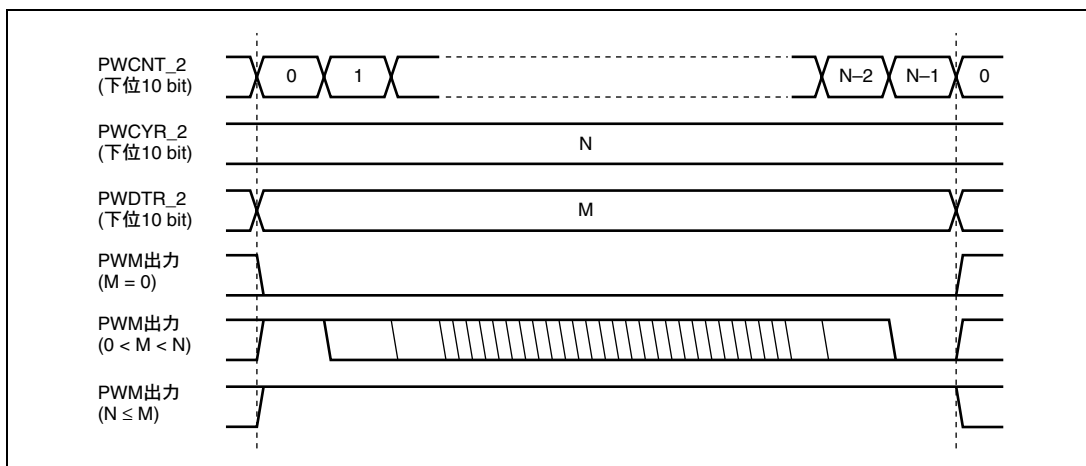


図 13.7 デューティレジスタの設定値による PWM 出力の相違 (PWPR_2 の OPS=0)

13. モータコントロール PWM タイマ (PWM)

13.3.9 PWM バッファレジスタ_2A~2D (PWBFR_2A~PWBFR_2D)

PWBFR_2 には、4 本のレジスタがあります。TDS ビットで転送先が選択され、PWCYR_2 のコンペアマッチが発生すると、PWBFR_2A から PWDTR_2A または PWDTR_2E に、PWBFR_2B から PWDTR_2B または PWDTR_2F に、PWBFR_2C から PWDTR_2C または PWDTR_2G に、PWBFR_2D から PWDTR_2D または PWDTR_2H にデータが転送されます。

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
12	TDS	0	R/W	トランスファデスティネーションセレクト データ転送先の PWDTR_2 を選択します。 PWBFR_2A レジスタ 0 : PWDTR_2A を選択 1 : PWDTR_2E を選択 PWBFR_2B レジスタ 0 : PWDTR_2B を選択 1 : PWDTR_2F を選択 PWBFR_2C レジスタ 0 : PWDTR_2C を選択 1 : PWDTR_2G を選択 PWBFR_2D レジスタ 0 : PWDTR_2D を選択 1 : PWDTR_2H を選択
11, 10	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
9	DT9	0	R/W	デューティ PWDTR_2 のビット 9~0 へ転送されるデータです。
8	DT8	0	R/W	
7	DT7	0	R/W	
6	DT6	0	R/W	
5	DT5	0	R/W	
4	DT4	0	R/W	
3	DT3	0	R/W	
2	DT2	0	R/W	
1	DT1	0	R/W	
0	DT0	0	R/W	

13.4 バスマスタとのインタフェース

13.4.1 16 ビットデータレジスタ

PWCYR_1、PWCYR_2、PWBFR_1A、PWBFR_1C、PWBFR_1E、PWBFR_1G、PWBFR_2A~PWBFR_2D は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位のリード/ライトが可能です。8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。

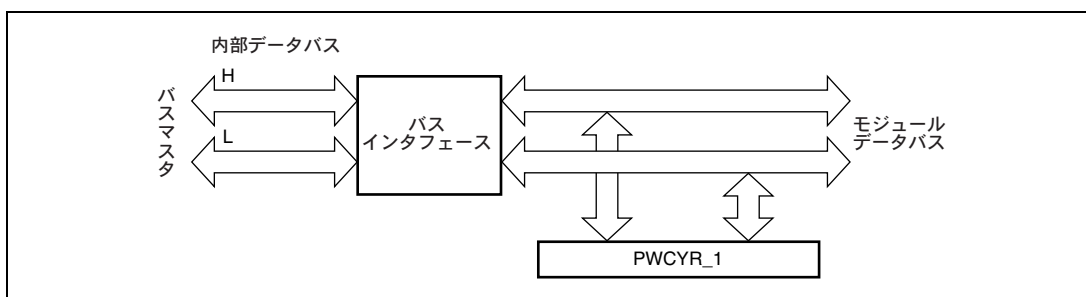


図 13.8 16 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow PWCYR_1 (16 ビット))

13.4.2 8 ビットデータレジスタ

PWCR_1、PWCR_2、PWOCR_1、PWOCR_2、PWPR_1、PWPR_2 は 8 ビットのレジスタです。8 ビット単位のリード/ライトが可能です。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位のリード/ライトが可能です。ただし、下位 8 ビットは読み出しても値は保証されません。

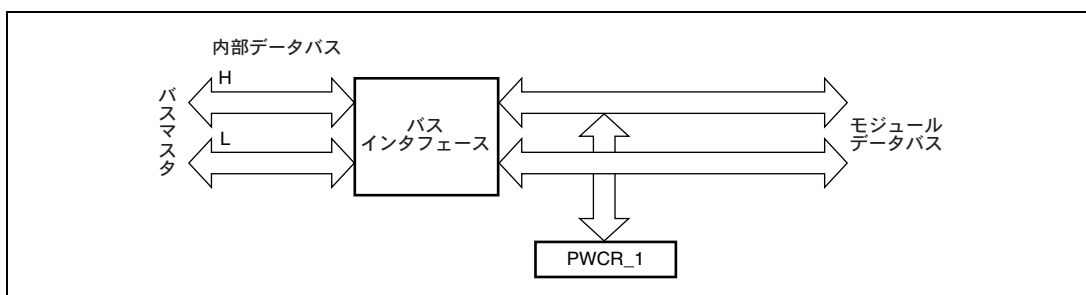


図 13.9 8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow PWCR_1 (上位 8 ビット))

13.5 動作説明

13.5.1 PWM チャネル 1 の動作

PWM1A～PWM1H 端子からは、図 13.10 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR_1でPWM出力の極性を設定します。PWOCR_1でPWM1A～PWM1H端子をPWM出力に設定します。PWCR_1のCKS2～CKS0ビットによってPWCNT_1に入力するクロックを選択します。PWCYR_1でPWMの変換周期を設定します。PWBFR_1A、PWBFR_1C、PWBFR_1E、PWBFR_1Gに1フレーム目のデータを設定します。

(2) 起動

PWCR_1のCSTビットを1にセットすると、PWCNT_1とPWCYR_1のコンペアマッチが発生します。PWBFR_1AからPWDTR_1Aに、PWBFR_1CからPWDTR_1Cに、PWBFR_1EからPWDTR_1Eに、PWBFR_1GからPWDTR_1Gにデータが転送されます。PWCNT_1はアップカウントを開始します。このときPWCR_1のCMFビットがセットされ、PWCR_1のIEビットがセットされていれば、割り込み要求が可能です。

(3) 波形出力

PWDTR_1A、PWDTR_1C、PWDTR_1E、PWDTR_1GのOTSビットによって選択されたPWM出力は、PWCNT_1とPWCYR_1のコンペアマッチが発生するとHighを出力します。選択されないPWM出力はLowを出力します。PWCNT_1とPWDTR_1A、PWDTR_1C、PWDTR_1E、PWDTR_1Gのコンペアマッチが発生すると、対応するPWM出力からはLowを出力します。なお、PWPR_1の対応するビットが1のときは反転して出力します。

(4) 次フレーム

PWCNT_1とPWCYR_1のコンペアマッチが発生すると、PWBFR_1AからPWDTR_1Aに、PWBFR_1CからPWDTR_1Cに、PWBFR_1EからPWDTR_1Eに、PWBFR_1GからPWDTR_1Gにデータが転送されます。PWCNT_1はリセットされ、H'000からカウントアップします。PWCR_1のCMFビットがセットされ、PWCR_1のIEビットがセットされていれば、割り込み要求が可能です。

(5) 停止

PWCR_1のCSTビットを0にクリアすると、PWCNT_1はリセットされ、停止します。各PWM出力からはLow(PWPR_1の対応するビットが1のときはHigh)を出力します。

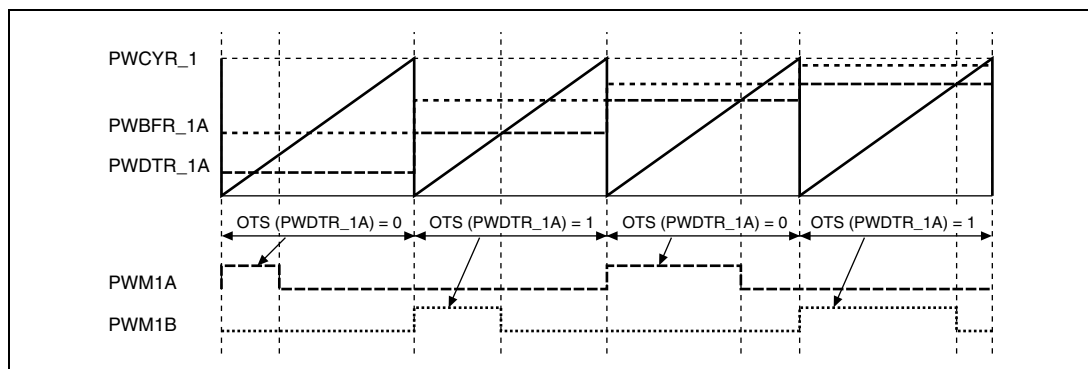


図 13.10 PWM チャンネル 1 の動作

13.5.2 PWM チャンネル 2 の動作

PWM2A～PWM2H 端子からは、図 13.11 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR_2でPWM出力の極性を設定します。PWOCR_2でPWM2A～PWM2H端子をPWM出力に設定します。PWCR_2のCKS2～CKS0ビットによってPWCNT_2に入力するクロックを選択します。PWCYR_2でPWMの変換周期を設定します。PWBFR_2A、PWBFR_2B、PWBFR_2C、PWBFR_2Dに1フレーム目のデータを設定します。

(2) 起動

PWCR_2のCSTビットを1にセットすると、PWCNT_2とPWCYR_2のコンペアマッチが発生します。TDSビットによって、PWBFR_2AからPWDTR_2AまたはPWDTR_2Eに、PWBFR_2BからPWDTR_2BまたはPWDTR_2Fに、PWBFR_2CからPWDTR_2CまたはPWDTR_2Gに、PWBFR_2DからPWDTR_2DまたはPWDTR_2Hにデータが転送されます。PWCNT_2はアップカウントを開始します。このときPWCR_2のCMFビットがセットされ、PWCR_2のIEビットがセットされていれば、割り込み要求が可能です。

(3) 波形出力

各PWM出力は、PWCNT_2とPWCYR_2のコンペアマッチが発生するとHighを出力します。PWCNT_2とPWDTR_2A～PWDTR_2Hのコンペアマッチが発生すると、対応するPWM出力からはLowを出力します。なお、PWPR_2の対応するビットが1のときは反転して出力します。

(4) 次フレーム

PWCNT_2とPWCYR_2のコンペアマッチが発生すると、TDSビットの値によって、PWBFR_2AからPWDTR_2AまたはPWDTR_2Eに、PWBFR_2BからPWDTR_2BまたはPWDTR_2Fに、PWBFR_2CからPWDTR_2CまたはPWDTR_2Gに、PWBFR_2DからPWDTR_2DまたはPWDTR_2Hにデータが転送されます。PWCNT_2はリセットされ、H'000からカウントアップします。PWCR_2のCMFビットがセットされ、PWCR_2のIEビットがセットされていれば、割り込み要求が可能です。

13. モータコントロール PWM タイマ (PWM)

(5) 停止

PWCR_2のCSTビットを0にクリアすると、PWCNT_2はリセットされ、停止します。PWDTR_2A~PWDTR_2Hはリセットされます。各PWM出力からはLow(PWPR_2の対応するビットが1のときはHigh)を出力します。

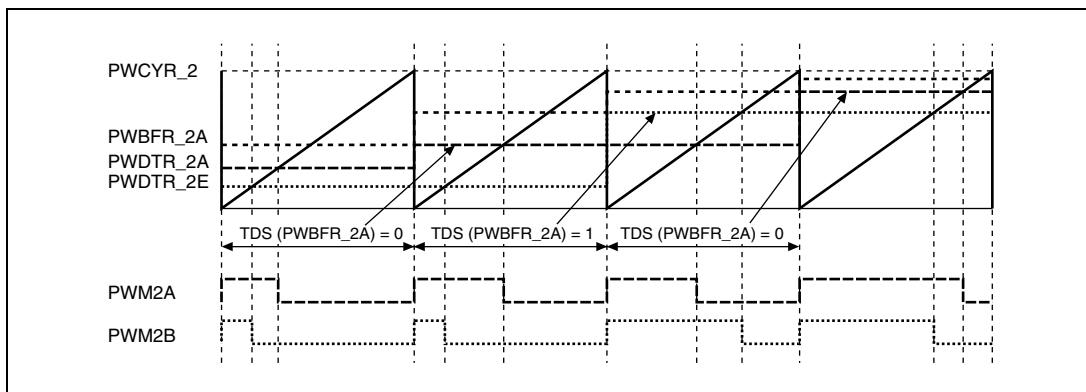


図 13.11 PWM チャンネル 2 の動作

13.6 割り込み要因

PWCNT と PWCYR のコンペアマッチの発生により、PWCR の CMF フラグが 1 にセットされたとき、PWCR の IE ビットが 1 にセットされていれば、割り込みを要求します。表 13.2 に PWM の割り込み要因を示します。

表 13.2 PWM の割り込み要因

名称	割り込み要因	割り込みフラグ
CMI_1	PWCYR_1 のコンペアマッチ	CMF
CMI_2	PWCYR_2 のコンペアマッチ	CMF

13.7 使用上の注意事項

(1) バッファレジスタのライトとコンペアマッチの競合

サイクルレジスタのコンペアマッチの直後の状態で PWBFR のライトが行われると、バッファレジスタとともにデューティレジスタも書き換えられます。サイクルレジスタのコンペアマッチで変化した PWM 出力は、競合によるデューティレジスタの書き換えでは変化しないので、意図しないデューティの出力になることがあります。また、チャンネル 2 では、競合によるデューティレジスタの書き換えの場合も、バッファレジスタの TDS ビットで転送されるデューティレジスタが選択されるので、意図しないデューティレジスタが書き換わることがあります。バッファレジスタの書き換えは、コンペアマッチ割り込みによる例外処理、または、PWCR の CMF フラグの立ち上がりを検出して、サイクルレジスタのコンペアマッチが発生するまでに完了してください。

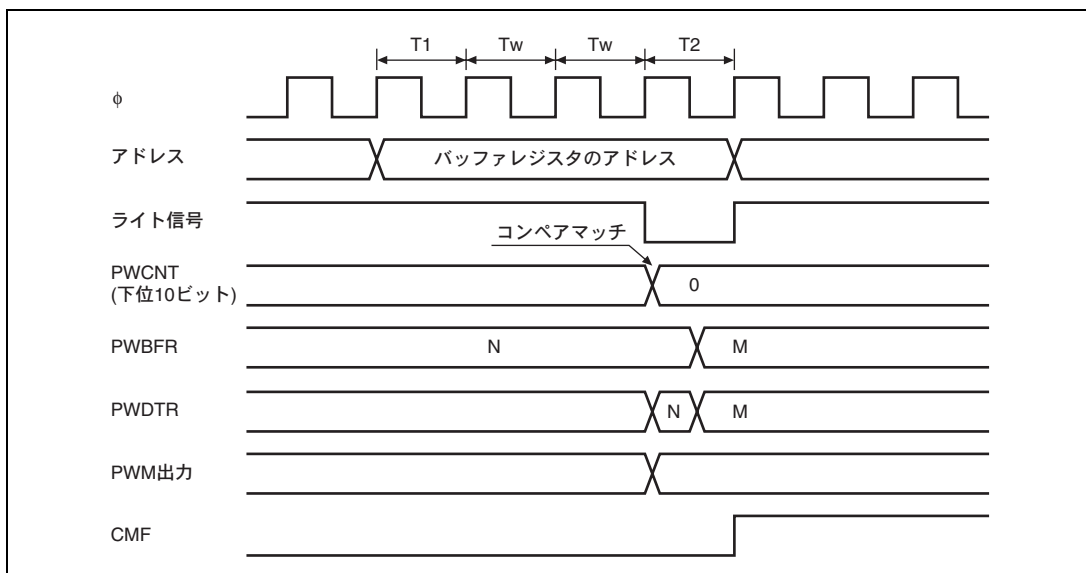


図 13.12 バッファレジスタのライトとコンペアマッチの競合

13. モータコントロール PWM タイマ (PWM)

14. LCD コントローラ／ドライバ（LCD）

本 LSI は、セグメントタイプの LCD コントロール回路、LCD ドライバ、電源回路を内蔵しており、LCD パネルを直接駆動することができます。

14.1 特長

- 表示容量

デューティ比	内部ドライバ	
	H8S/2282 グループ、HD64F2280B	HD64F2280RB
スタティック	28SEG	32SEG
1/3 デューティ	28SEG	32SEG
1/4 デューティ	28SEG	32SEG

- 表示用LCD RAM
8ビット×20バイト（160ビット）
バイトアクセス／ワードアクセス可能
- セグメント出力端子を4端子ごとにポートとして使用可能
- 使用しないコモン出力端子をコモンダブルバッファ用として使用可能
スタティックではCOM1とCOM2、COM3とCOM4を並列接続で使用可
- フレーム周波数を11種類より選択可能
- ソフトウェアによりA波形、B波形の選択可能
- 電源分割抵抗を内蔵
- スタンバイモード、モジュールストップモード以外の動作モードで表示可能

14.3 各レジスタの説明

LCD コントローラ/ドライバには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- LCDポートコントロールレジスタ(LPCR)
- LCDコントロールレジスタ(LCR)
- LCDコントロールレジスタ2(LCR2)

14.3.1 LCD ポートコントロールレジスタ (LPCR)

LPCR は、デューティ比の選択、LCD ドライバや端子機能の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	DTS1	0	R/W	デューティ比選択 1、0
6	DTS0	0	R/W	スタティック、1/3、1/4 デューティのいずれかを選択します。 詳細は表 14.2 を参照してください。
5	CMX	0	R/W	コモン機能選択 デューティによって使用しないコモン端子のコモンドライブ能力を大きくするために、複数の端子から同じ波形を出力するか否かを選択します。 詳細は表 14.2 を参照してください。
4	—	0	R/W	リザーブビット 書き込む値も常に 0 をライトしてください。
3	SGS3	0	R/W	セグメントドライバ選択 3~0
2	SGS2	0	R/W	使用するセグメントドライバを選択します。
1	SGS1	0	R/W	詳細は表 14.3 を参照してください。
0	SGS0	0	R/W	

表 14.2 デューティ比とコモン機能の選択

ビット7	ビット6	ビット5	デューティ比	コモンドライバ	説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM1	COM4~COM2 はポートとして使用可能
0	0	1	スタティック	COM4~COM1	COM4~COM2 は COM1 と同じ波形を出力
0	1	X	—	—	設定禁止
1	0	0	1/3 デューティ	COM3~COM1	COM4 はポートとして使用可能
1	0	1	1/3 デューティ	COM4~COM1	COM4 は使用禁止
1	1	X	1/4 デューティ	COM4~COM1	

【記号説明】 X : Don't care

14. LCD コントローラ/ドライバ (LCD)

表 14.3 セグメントドライバの選択

<H8S/2282 グループ、HD64F2280B の場合>

ビット 3	ビット 2	ビット 1	ビット 0	SEG28~SEG1 端子の機能					
SGS3	SGS2	SGS1	SGS0	SEG28~ SEG21	SEG20~ SEG17	SEG16~ SEG13	SEG12~ SEG9	SEG8~ SEG5	SEG4~ SEG1
0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート
0	0	0	1	SEG	ポート	ポート	ポート	ポート	ポート
0	0	1	0	SEG	SEG	ポート	ポート	ポート	ポート
0	0	1	1	SEG	SEG	SEG	ポート	ポート	ポート
0	1	0	0	SEG	SEG	SEG	SEG	ポート	ポート
0	1	0	1	SEG	SEG	SEG	SEG	SEG	ポート
0	1	1	0	SEG	SEG	SEG	SEG	SEG	SEG
0	1	1	1	設定禁止					
1	X	X	X	設定禁止					

【記号説明】 X : Don't care

<HD64F2280RB の場合>

ビット 3	ビット 2	ビット 1	ビット 0	SEG32~SEG1 端子の機能						
SGS3	SGS2	SGS1	SGS0	SEG32~ SEG25	SEG24~ SEG21	SEG20~ SEG17	SEG16~ SEG13	SEG12~ SEG9	SEG8~ SEG5	SEG4~ SEG1
0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート
0	0	0	1	SEG	ポート	ポート	ポート	ポート	ポート	ポート
0	0	1	0	SEG	SEG	ポート	ポート	ポート	ポート	ポート
0	0	1	1	SEG	SEG	SEG	ポート	ポート	ポート	ポート
0	1	0	0	SEG	SEG	SEG	SEG	ポート	ポート	ポート
0	1	0	1	SEG	SEG	SEG	SEG	SEG	ポート	ポート
0	1	1	0	SEG	SEG	SEG	SEG	SEG	SEG	ポート
0	1	1	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG
1	X	X	X	設定禁止						

【記号説明】 X : Don't care

14.3.2 LCD コントロールレジスタ (LCR)

LCR は、LCD 電源分割抵抗接続制御、表示データの制御、フレーム周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6	PSW	0	R/W	LCD 電源分割抵抗接続制御 低消費電力モードで LCD 表示を必要としない場合、また外部電源を使用する場合に LCD 電源分割抵抗を VCC から切断できます。 ACT=0、またはスタンバイモード時には、このビットの設定とは無関係に LCD 電源分割抵抗が VCC から切断されます。 0 : LCD 電源分割抵抗を VCC から切断 1 : LCD 電源分割抵抗を VCC に接続
5	ACT	0	R/W	表示機能開始 LCD コントローラ/ドライバを使用するかしないかを選択します。このビットを 0 にクリアすると、LCD コントローラ/ドライバは動作を停止します。また、PSW ビットの設定と無関係に LCD 駆動電源用ラダー抵抗が OFF 状態になります。ただし、レジスタの内容は保持されます。 0 : LCD コントローラ/ドライバ動作停止 1 : LCD コントローラ/ドライバ動作
4	DISP	0	R/W	表示データ制御 LCD RAM の内容を表示するかブランクデータを表示するかを選択します。 0 : ブランクデータを表示 1 : LCD RAM データを表示
3	CKS3	0	R/W	フレーム周波数選択 3~0 使用クロックとフレーム周波数の選択を行います。詳細は表 14.4 を参照してください。
2	CKS2	0	R/W	
1	CKS1	0	R/W	
0	CKS0	0	R/W	

14. LCD コントローラ／ドライバ (LCD)

表 14.4 使用クロックとフレーム周波数の選択

ビット3	ビット2	ビット1	ビット0	使用クロック	フレーム周波数*1
					$\phi=20\text{MHz}$
0	X	0	0	ϕ_{SUB}	128Hz*2
0	X	0	1	$\phi_{\text{SUB}}/2$	64Hz*2
0	X	1	X	$\phi_{\text{SUB}}/4$	32Hz*2
1	0	0	0	$\phi/8$	4880Hz
1	0	0	1	$\phi/16$	2440Hz
1	0	1	0	$\phi/32$	1220Hz
1	0	1	1	$\phi/64$	610Hz
1	1	0	0	$\phi/128$	305Hz
1	1	0	1	$\phi/256$	152.6Hz
1	1	1	0	$\phi/512$	76.3Hz
1	1	1	1	$\phi/1024$	38.1Hz

【注】 *1 1/3 デューティ選択時は、フレーム周波数が表で示した値の 4/3 倍となります。

*2 $\phi_{\text{SUB}}=32.768\text{kHz}$ 時のフレーム周波数です。

【記号説明】 X : Don't care

14.3.3 LCD コントロールレジスタ 2 (LCR2)

LCR2 は、A 波形／B 波形切り替えの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	LCDAB	0	R/W	A 波形/B 波形切り替え制御 LCD の駆動波形を A 波形にするか B 波形にするかを選択します。 0 : A 波形で駆動 1 : B 波形で駆動
6, 5	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4~0	—	すべて 0	—	リザーブビット ライトするときは常に 0 をライトしてください。

14.4 動作説明

14.4.1 LCD 表示までのセッティング

LCD 表示を行うにはハードウェア、ソフトウェアで以下のことを決定しておく必要があります。

(1) ハードウェアのセッティング

(a) パネル表示

内蔵の電源分割抵抗はインピーダンスが大きいので、パネルの駆動には適さないことがあります。表示が不鮮明になったときは「14.4.4 LCD駆動電源の強化」を参照して対処してください。また、スタティックを選択した場合、コモン出力の駆動能力を強化できます。デューティ比の選択時にLPCRのCMXビットを1にセットしてください。スタティック時はCOM4～COM1端子が同じ波形となります。

(b) LCD 駆動電源の設定

本LSIはLCD駆動電源として内蔵の電源回路を使用する方法と、外部電源回路を使用する方法があります。LCD駆動電源として外部電源回路を使用する場合は、V1端子に外部電源を接続してください。

(2) ソフトウェアのセッティング

(a) デューティの選択

DTS1、DTS0ビットを設定してデューティを選択します。

(b) セグメントドライバの選択

SGS3～SGS0ビットを設定してセグメントドライバを選択します。

(c) フレーム周波数の選択

CKS3～CKS0ビットを設定してフレーム周波数を選択します。フレーム周波数はLCDパネルの指定に従って選択してください。ウォッチモード、サブアクティブモード、スリープモード、サブスリープモード時のクロックの選択方法は、「14.4.3 低消費電力モード時の動作」を参照してください。

(d) A 波形、B 波形の選択

LCDABビットで使用するLCD波形をA波形、B波形のどちらかに選択します。

(e) LCD 駆動電源の選択

外部電源回路を使用する場合は、PSWビットを0にクリアしてLCD駆動電源をOFF状態にしてください。

14.4.2 LCD RAM と表示の関係

(1) H8S/2282 グループ、HD64F2280B の場合

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。デューティ比に対応した LCD RAM のマップを図 14.2～図 14.4 に示します。

表示に必要なレジスタを設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書き込み、表示を指定すれば自動的に表示されます。RAM の設定にはワード/バイトアクセス命令が使用できません。

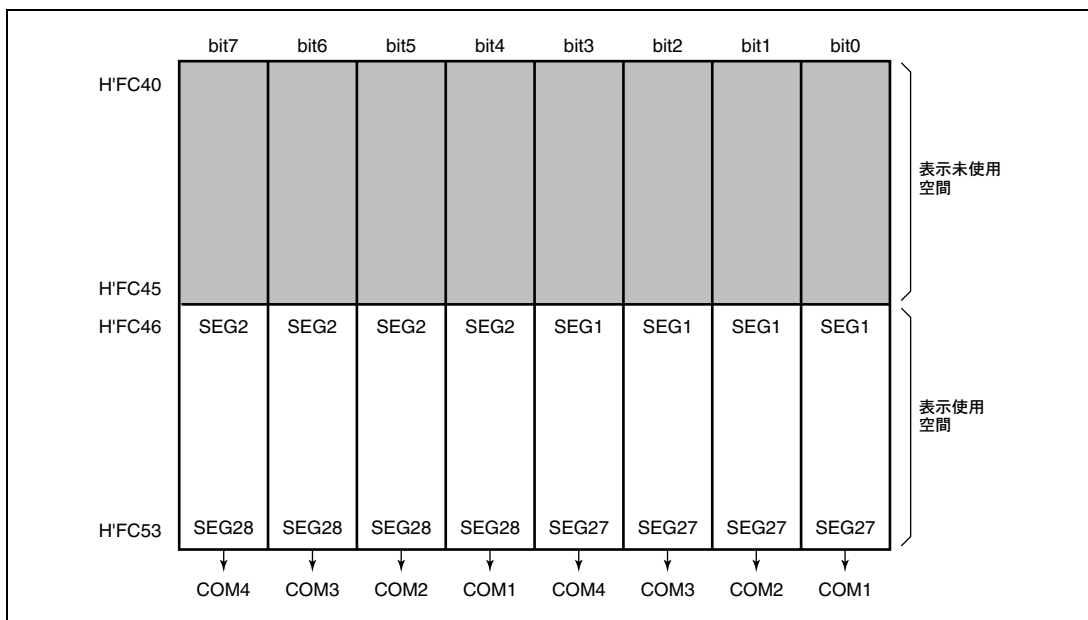


図 14.2 LCD RAM マップ (1/4 デューティ)

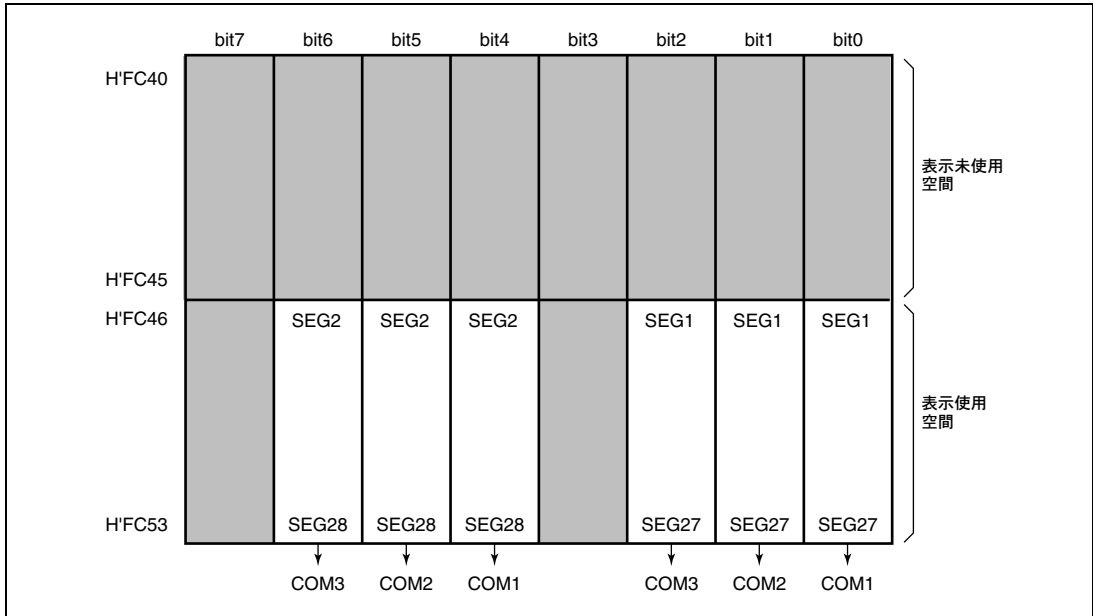


図 14.3 LCD RAM マップ (1/3 デューティ)

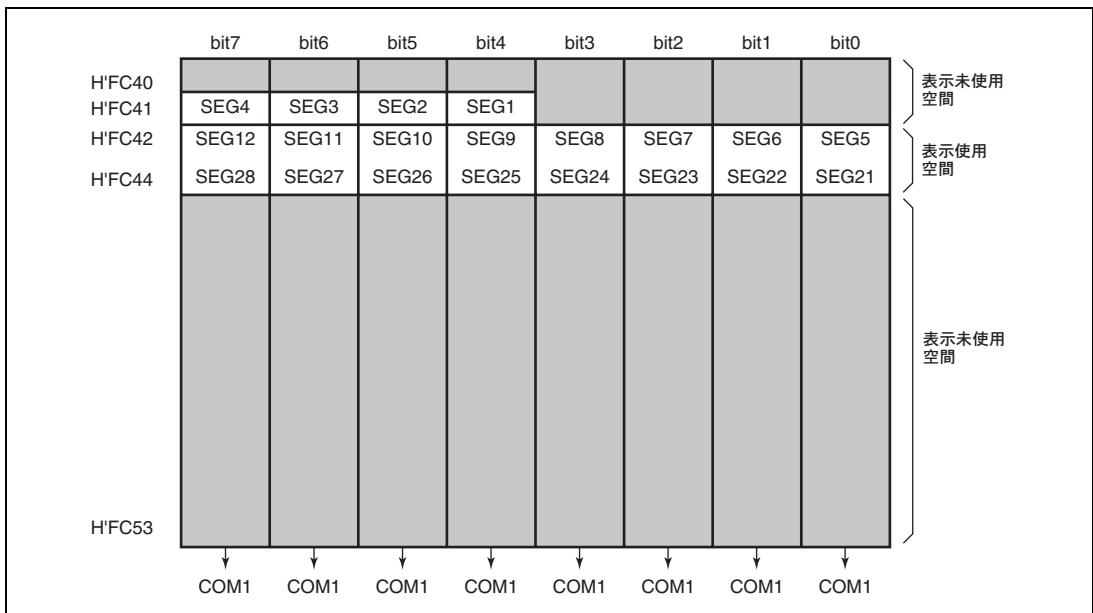


図 14.4 LCD RAM マップ (スタティック)

14. LCD コントローラ/ドライバ (LCD)

(2) HD64F2280RB の場合

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。デューティ比に対応した LCD RAM のマップを図 14.5～図 14.7 に示します。

表示に必要なレジスタを設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書き込み、表示を指定すれば自動的に表示されます。RAM の設定にはワード/バイトアクセス命令が使用できません。

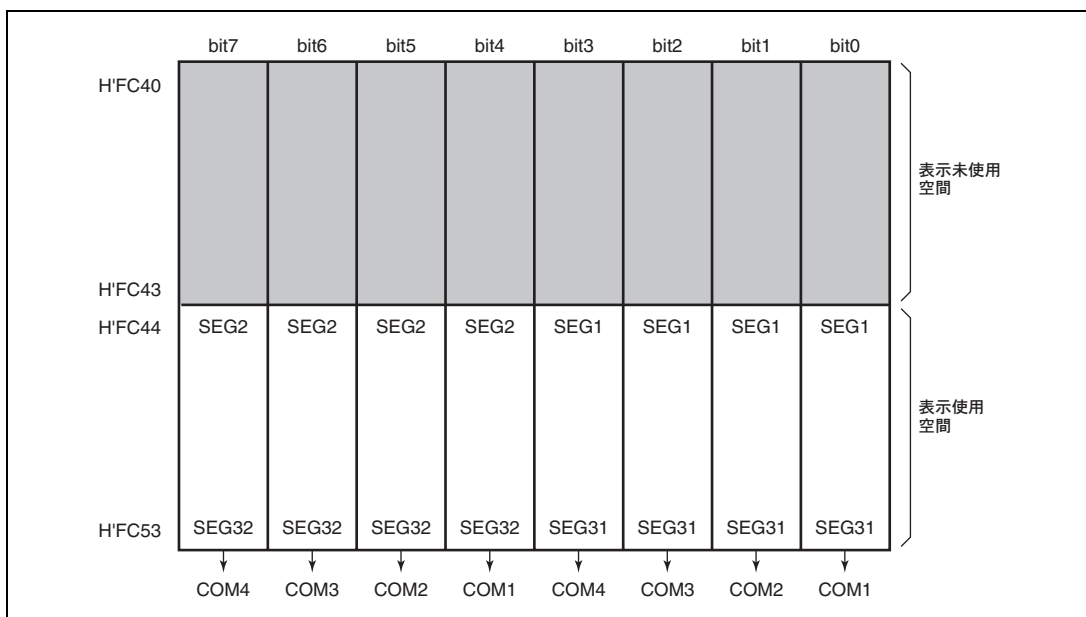


図 14.5 LCD RAM マップ (1/4 デューティ)

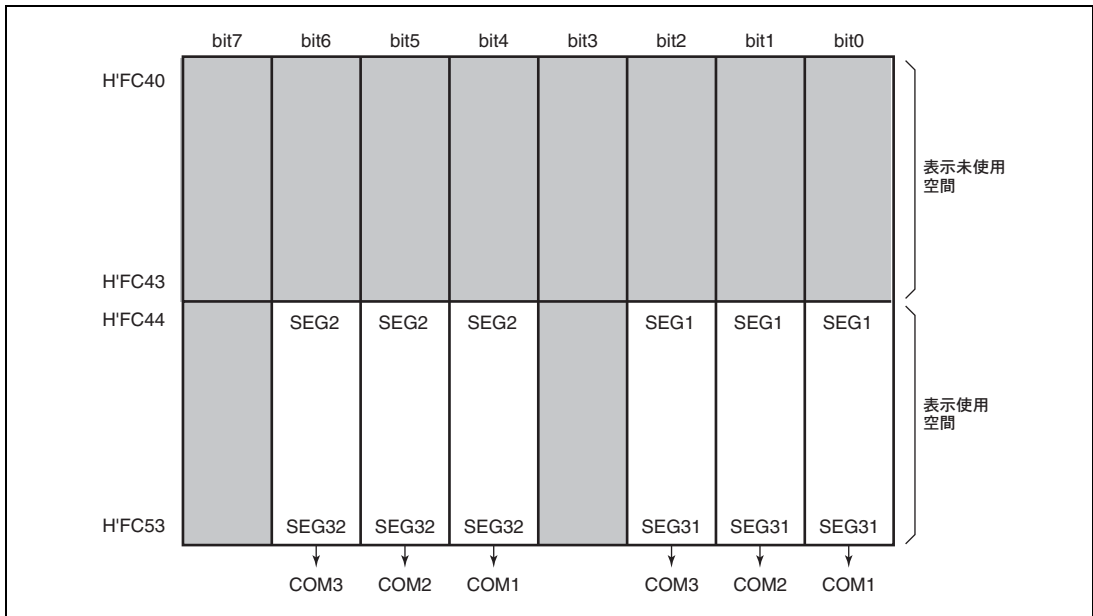


図 14.6 LCD RAM マップ (1/3 デューティ)

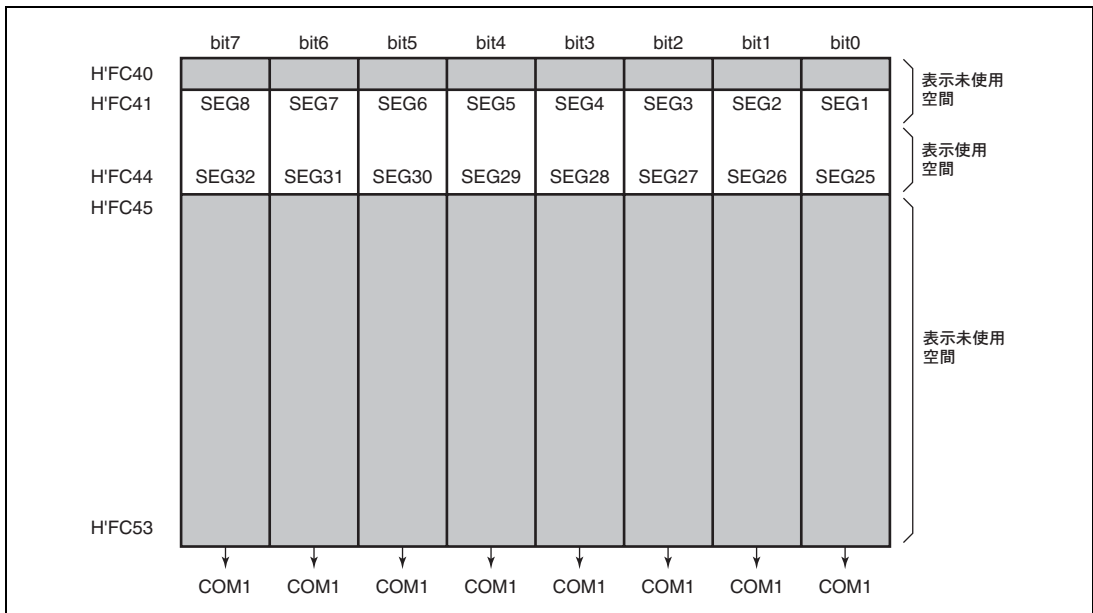


図 14.7 LCD RAM マップ (スタティック)

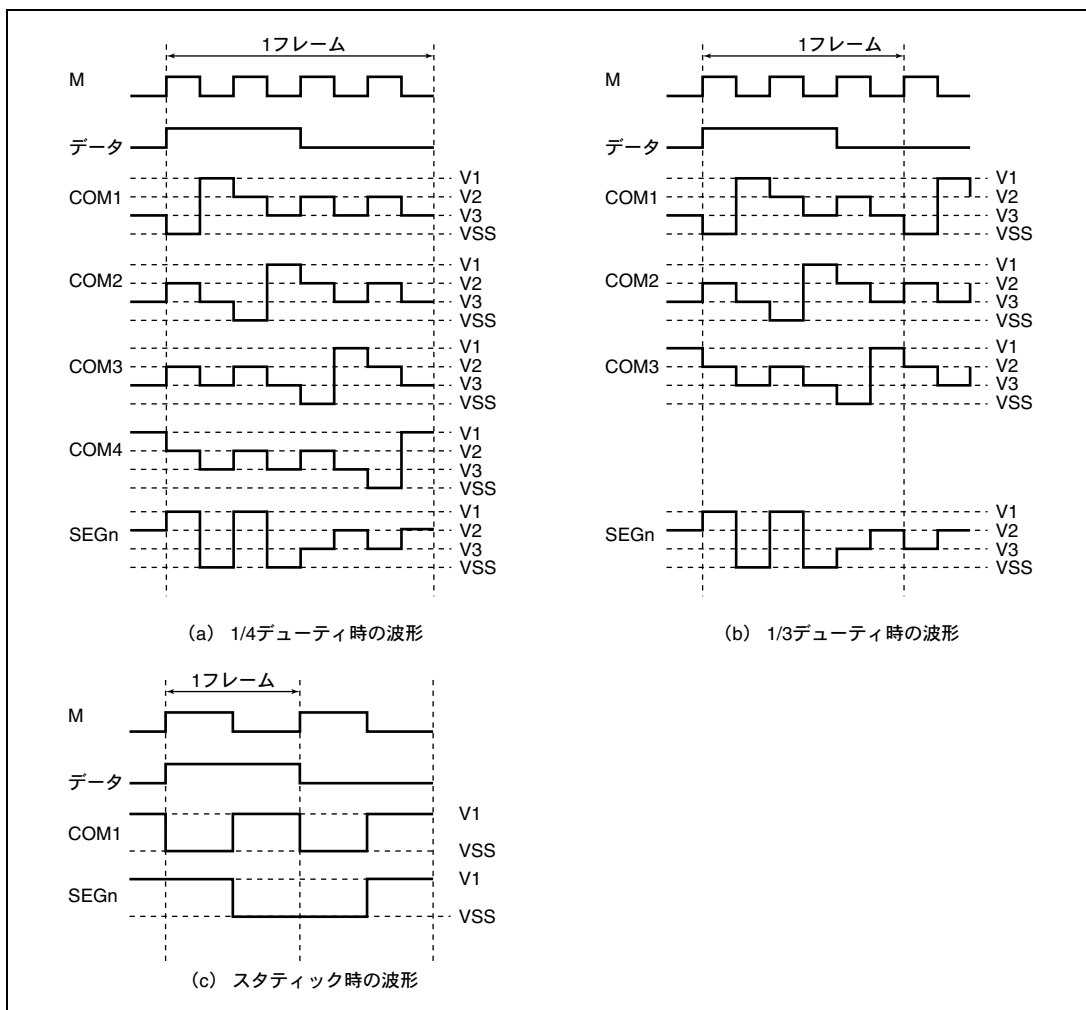


図 14.8 各デューティでの出力波形 (A 波形)

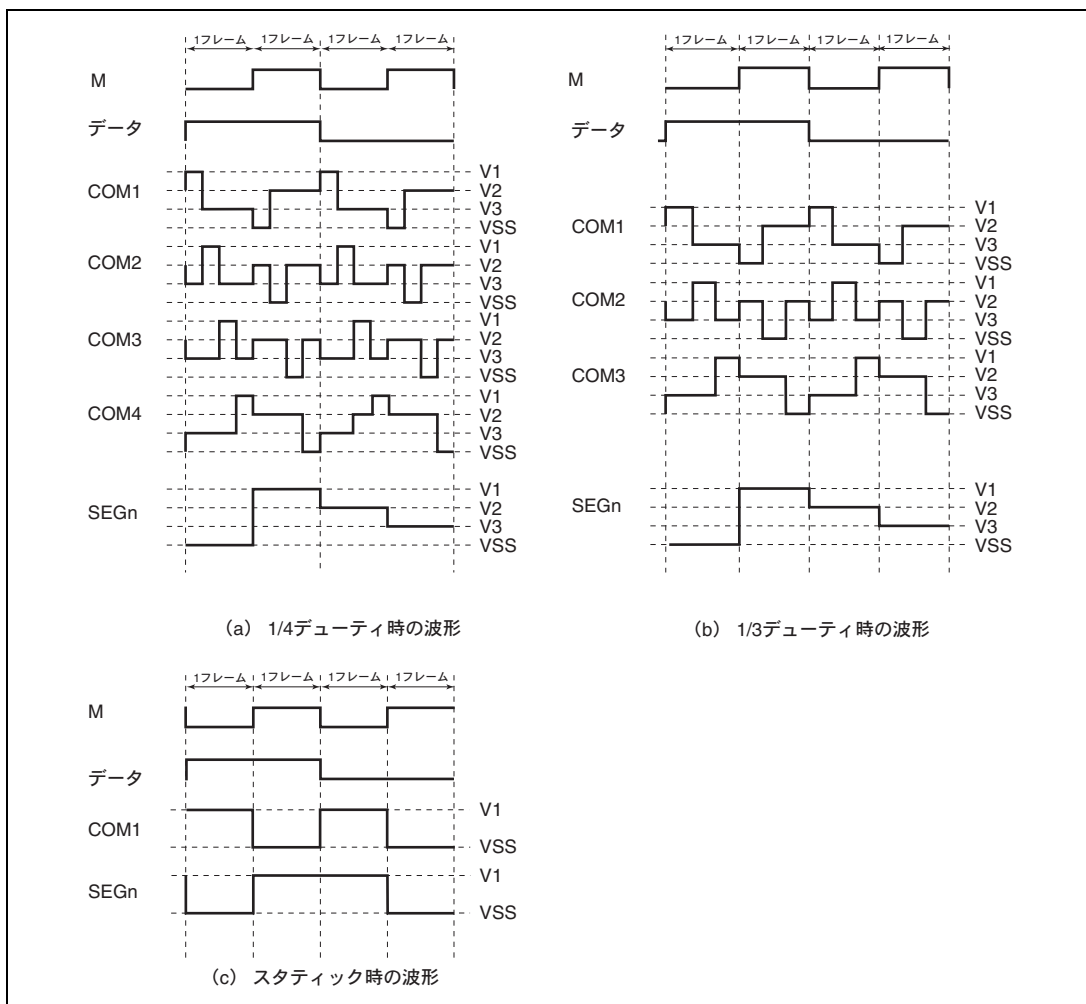


図 14.9 各デューティでの出力波形 (B 波形)

表 14.5 出力レベルの関係 (A 波形)

データ		0	0	1	1
M		0	1	0	1
スタティック	コモン出力	V1	VSS	V1	VSS
	セグメント出力	V1	VSS	VSS	V1
1/3 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1
1/4 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1

14.4.3 低消費電力モード時の動作

低消費電力モード時でも、LCD コントローラ/ドライバを動作させることができます。低消費電力モード時の LCD コントローラ/ドライバの動作状態を表 14.6 に示します。

中速モードでの LCD レジスタに対するリード/ライトはできませんが、LCD 表示動作は高速動作と同様に表示動作します。サブアクティブモード、サブスリープモード、およびウォッチモードでは、システムクロックがサブクロックに切り替わるため、使用クロックに ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択してください。特にウォッチモードでは ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択していないと ϕ クロックが供給されないため、表示が停止し、LCD パネルには直流電圧がかかる可能性があります。必ず ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択してください。

また、LCD 駆動電源強化時のソフトウェアスタンバイモードでは、セグメント出力とコモン出力が保持され、LCD パネルに直流電圧がかかる可能性があります。この場合、セグメント出力とコモン出力に使用しているポートの DDR と SGS3~SGS0 ビットをすべて 0 に設定してからソフトウェアスタンバイに遷移してください。

表 14.6 低消費電力モードと表示動作の関係

モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
クロック	ϕ	動作	動作	動作	停止	停止	停止	停止* ¹	停止* ¹
	ϕ_{SUB}	動作	動作	動作	動作	動作	動作	停止* ¹	停止* ¹
表示動作	ACT=0	停止	停止	停止	停止	停止	停止	停止* ²	停止
	ACT=1	停止	表示	表示	表示* ³	表示* ³	表示* ³	停止* ²	停止

【注】 *1 LCD に供給されるクロックは停止します。

*2 PSW に関係なく LCD 駆動電源を OFF します。

*3 使用クロックに ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択していないと表示動作を行いません。

14.4.4 LCD 駆動電源の強化

パネルを駆動する場合、内蔵の電源容量では足りないことがあります。このような場合は、電源のインピーダンスを下げる必要があります。この対策として、図 14.10 に示すように V1~V3 端子に 0.1~0.3 μ F 程度のバイパスコンデンサを接続する方法や、新たに分割抵抗を外部に設ける方法があります。

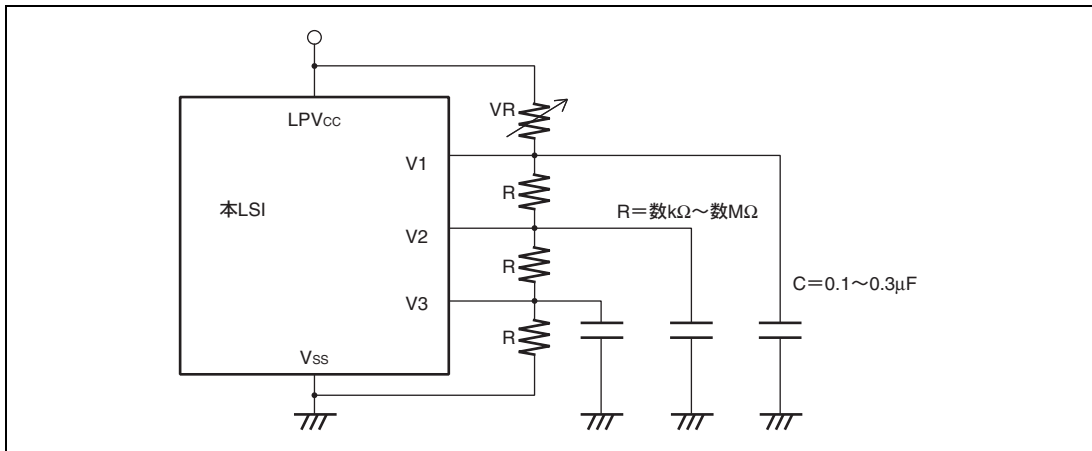


図 14.10 外部分割抵抗の接続方法

14.5 使用上の注意事項

14.5.1 LCD の非表示方法について

LCD 出力を停止させる場合は SGS ビットで SEG をポートに切り替えてから LCR レジスタの ACT ビットを 0 にクリアしてください。SEG 出力のままでは LCD パネルに直流電圧がかかる可能性があります。

14. LCD コントローラ/ドライバ (LCD)

15. RAM

H8S/2282 グループは 4k バイト、H8S/2280 グループは 2k バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品区分		ROM タイプ	RAM 容量	RAM アドレス
H8S/2282 グループ	HD64F2282	フラッシュメモリ版	4K バイト	H'FFE000~H'FFEFBF, H'FFF0C0~H'FFFFFF
	HD6432282	マスク ROM 版	4K バイト	H'FFE000~H'FFEFBF, H'FFF0C0~H'FFFFFF
	HD6432281		4K バイト	H'FFE000~H'FFEFBF, H'FFF0C0~H'FFFFFF
H8S/2280 グループ	HD64F2280B	フラッシュメモリ版	2K バイト	H'FFE800~H'FFEFBF, H'FFF0C0~H'FFFFFF
	HD64F2280RB		2K バイト	H'FFE800~H'FFEFBF, H'FFF0C0~H'FFFFFF

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。
フラッシュメモリのブロック図を図 16.1 に示します。

16.1 特長

- 容量：128kバイト
- 書き込み／消去方式
書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは32kバイト×2ブロック、28kバイト×1ブロック、16kバイト×1ブロック、8kバイト×2ブロック、1kバイト×4ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。
- 書き換え回数
100回まで書き換え可能です。
- オンボードプログラミングモード：2種類
ブートモード
ユーザプログラムモード
内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。このほか、ユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。
- 書き込み／消去プロテクト
ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。
- ライタモード
オンボードプログラミングのほかにPROMライタを用いて書き込み／消去を行うライタモードがあります。

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】

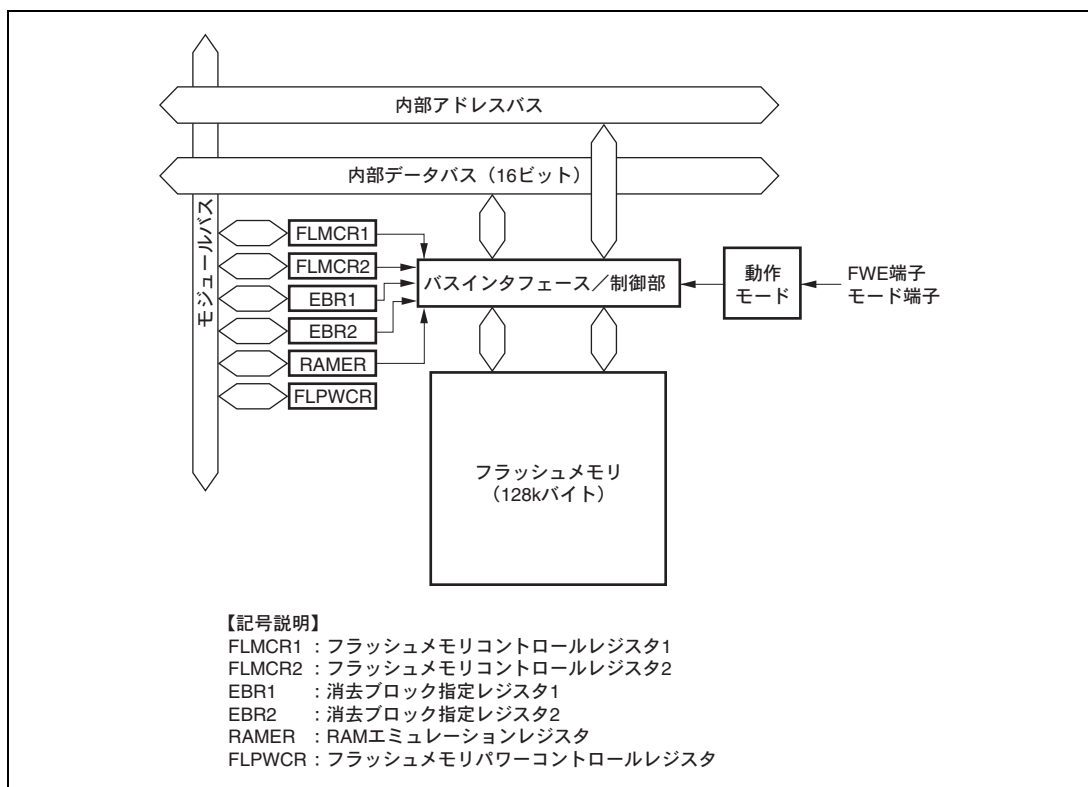


図 16.1 フラッシュメモリのブロック図

16.2 モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 16.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

表 16.1 にブートモードとユーザプログラムモードの相違点を示します。図 16.3 にブートモードを、図 16.4 にユーザプログラムモードを示します。

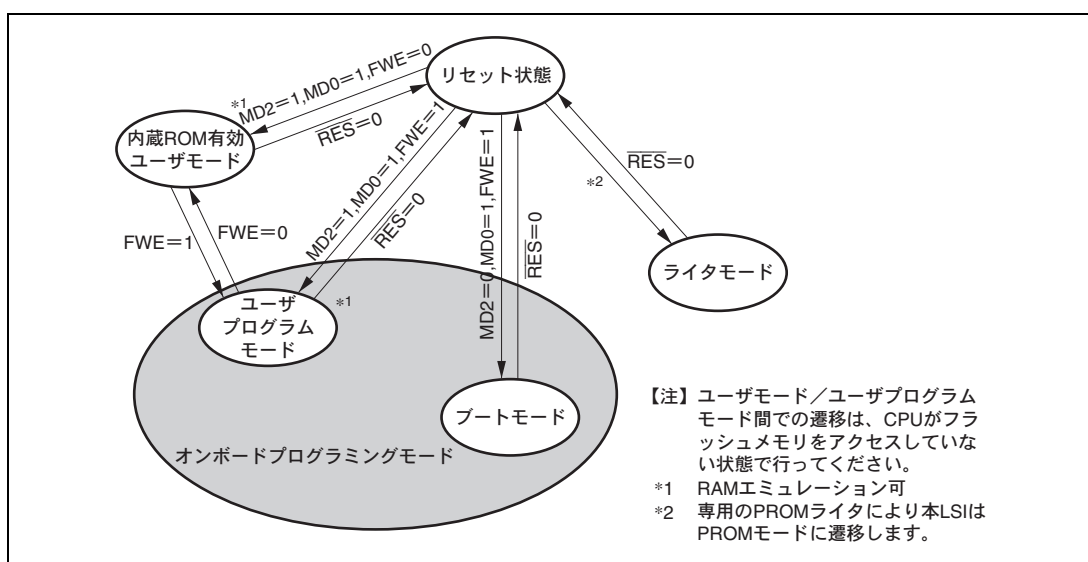


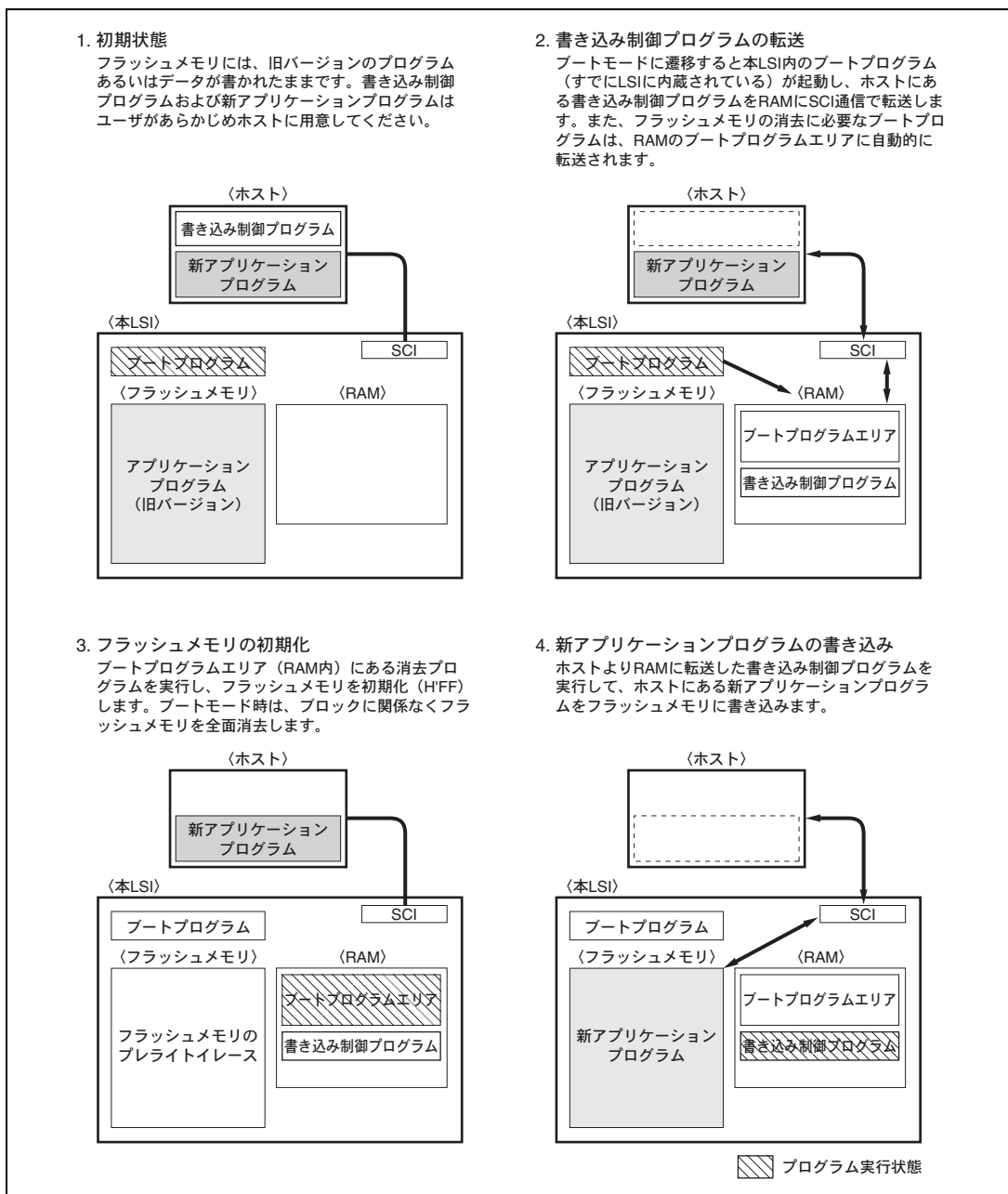
図 16.2 フラッシュメモリに関する状態遷移

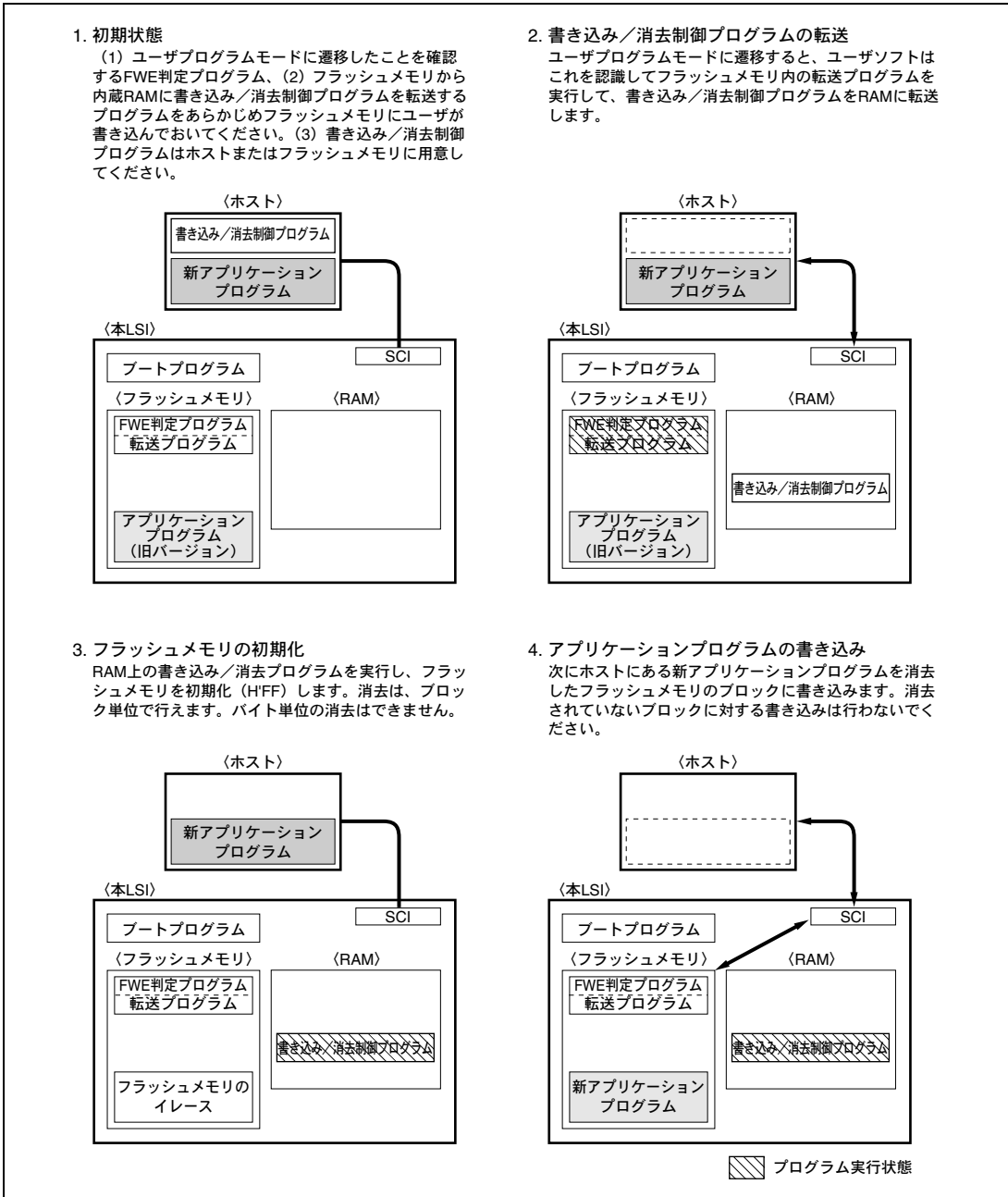
表 16.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】





16.3 ブロック構成

図 16.5 に 128k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 32k バイト (2 ブロック)、28k バイト (1 ブロック)、16k バイト (1 ブロック)、8k バイト (2 ブロック)、1k バイト (4 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位1kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000380	H'000381	H'000382	-----	H'0003FF
EB1 消去単位1kバイト	H'000400	H'000401	H'000402	←書き込み単位 128バイト→	H'00047F
	H'000780	H'000781	H'000782	-----	H'0007FF
EB2 消去単位1kバイト	H'000800	H'000801	H'000802	←書き込み単位 128バイト→	H'00087F
	H'000B80	H'000B81	H'000B82	-----	H'000BFF
EB3 消去単位1kバイト	H'000C00	H'000C01	H'000C02	←書き込み単位 128バイト→	H'000C7F
	H'000F80	H'000F81	H'000F82	-----	H'000FFF
EB4 消去単位28kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'007F80	H'007F81	H'007F82	-----	H'007FFF
EB5 消去単位16kバイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
	H'00BF80	H'00BF81	H'00BF82	-----	H'00BFFF
EB6 消去単位8kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00DF80	H'00DF81	H'00DF82	-----	H'00DFFF
EB7 消去単位8kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00FF80	H'00FF81	H'00FF82	-----	H'00FFFF
EB8 消去単位32kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'017F80	H'017F81	H'017F82	-----	H'017FFF
EB9 消去単位32kバイト	H'018000	H'018001	H'018002	←書き込み単位 128バイト→	H'01807F
	H'01FF80	H'01FF81	H'01FF82	-----	H'01FFFF

図 16.5 フラッシュメモリのブロック構成

16.4 入出力端子

フラッシュメモリは表 16.2 に示す端子により制御されます。

表 16.2 端子構成

端子名	入出力	機能
RES	入力	リセット
FWE	入力	フラッシュの書き込み/消去をハードウェアプロテクト
MD2	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

16.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)

16.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「16.8 書き込み/消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	FWE	—	R	FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。0 のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。
4	PSU	0	R/W	プログラムセットアップ 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の P ビットを 1 にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

16.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLEP	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「16.9.3 エラープロテクト」を参照してください。
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

16.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR1 と EBR2 は H'00 に初期化されます。EBR1、EBR2 は合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

- EBR1

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'00E000~H'00FFFF) の 8k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'00C000~H'00DFFF) の 8k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'008000~H'00BFFF) の 16k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'001000~H'007FFF) の 28k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'000C00~H'000FFF) の 1k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'000800~H'000BFF) の 1k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'000400~H'0007FF) の 1k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000~H'00003FF) の 1k バイトが消去対象となります。

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】

• EBR2

ビット	ビット名	初期値	R/W	説 明
7~2	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。
1	EB9	0	R/W	このビットが 1 のとき EB 9 (H'018000~H'01FFFF) の 32k バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 (H'010000~H'017FFF) の 32k バイトが消去対象となります。

16.5.4 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説 明
7, 6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
5, 4	—	0	R/W	リザーブビット 書き込み時は必ず 0 としてください。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。このビットが 1 のとき、RAM の一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となります。
2	RAM2	0	R/W	フラッシュメモリエリア選択
1	RAM1	0	R/W	RAMS が 1 のとき、RAM の H'FFE000~H'FFE3FF 領域とオーバーラップさせるフラッシュメモリのエリアを選択します。これらのエリアは 1k バイトの消去ブロックに対応しています。 00X : H'000000~H'0003FF (EB0) 01X : H'000400~H'0007FF (EB1) 10X : H'000800~H'000BFF (EB2) 11X : H'000C00~H'000FFF (EB3)
0	RAM0	0	R/W	

【注】 X : Don't care

16.5.5 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

本 LSI がサブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可/禁止を設定するレジスタです。「16.12 フラッシュメモリと低消費電力状態」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウディスエーブル このビットが1のときフラッシュメモリの低消費電力モードへの遷移を禁止します
6~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。

16.6 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとしてオンボードで書き込み/消去ができるブートモードと PROM ライタで書き込み/消去を行うライタモードがあります。このほかユーザモードでもオンボードで書き込み/消去を行うユーザプログラムモードがあります。リセット状態からリセットスタートすると本 LSI は MD 端子、FWE 端子によって表 16.3 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI_1 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み/消去ができなくなった場合の強制復帰等に使用できます。ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 16.3 プログラミングモード選択方法

MD2	MD0	FWE	リセット解除後の LSI の状態
1	1	1	ユーザモード
0	1	1	ブートモード

16.6.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 16.4 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「16.8 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI_1は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI_1のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表16.5の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FFE800～H'FFEFBF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI_1は送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリフェイデータの送受信に使用できます。TXD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、MD端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でMD端子の入力レベルを変化させないでください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

表 16.4 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="border: 1px solid black; border-radius: 15px; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 ↓ H'00を正常に受信したらH'55送信 ↓ H'AA受信	H'00,H'00・・・H'00 ↓ H'00 ↓ H'55 ↓ H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_1のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 ↓ H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数 (N) を上位バイト、下位バイトの順に2バイト送信 ↓ 書き込み制御プログラムを1バイトごとに送信 (N回繰り返し)	上位バイト、下位バイト ↓ エコーバック ↓ H'XX ↓ エコーバック	受信した2バイトデータをホストへエコーバック ↓ 受信したデータをホストへエコーバックするとともにRAMへ転送 (N回繰り返し)
フラッシュメモリ消去	↓ ブートプログラム消去エラー ↓ H'AA受信	↓ H'FF ↓ H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
			↓ 内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 16.5 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
19200bps	20MHz
9600bps	8 ~ 20MHz
4800bps	4 ~ 20MHz

16.6.2 ユーザプログラムモードでの書き込み/消去

ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 16.6 にユーザモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「16.8 書き込み/消去プログラム」に沿ったものを用意してください。

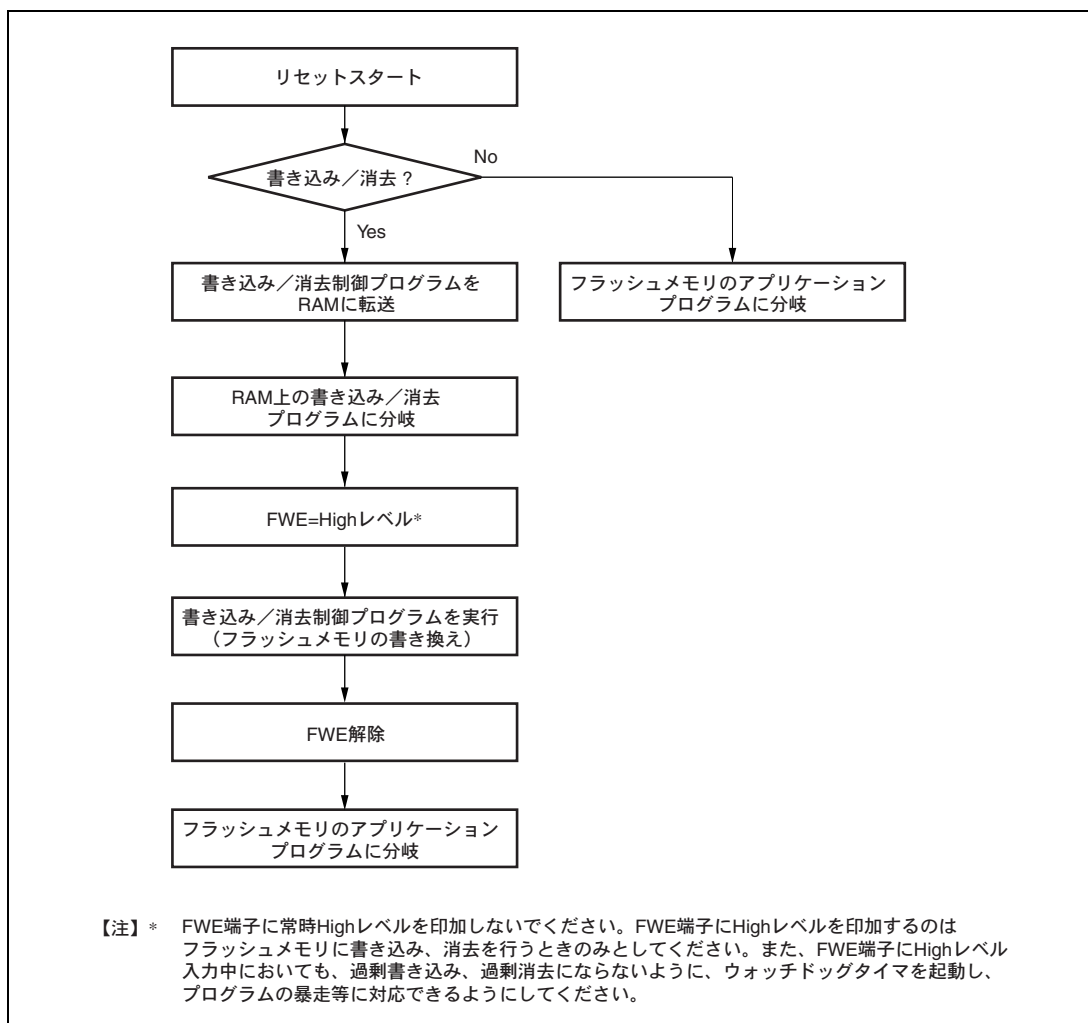


図 16.6 ユーザモードにおける書き込み/消去例

16.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるように、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができるようになっています。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 16.7 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

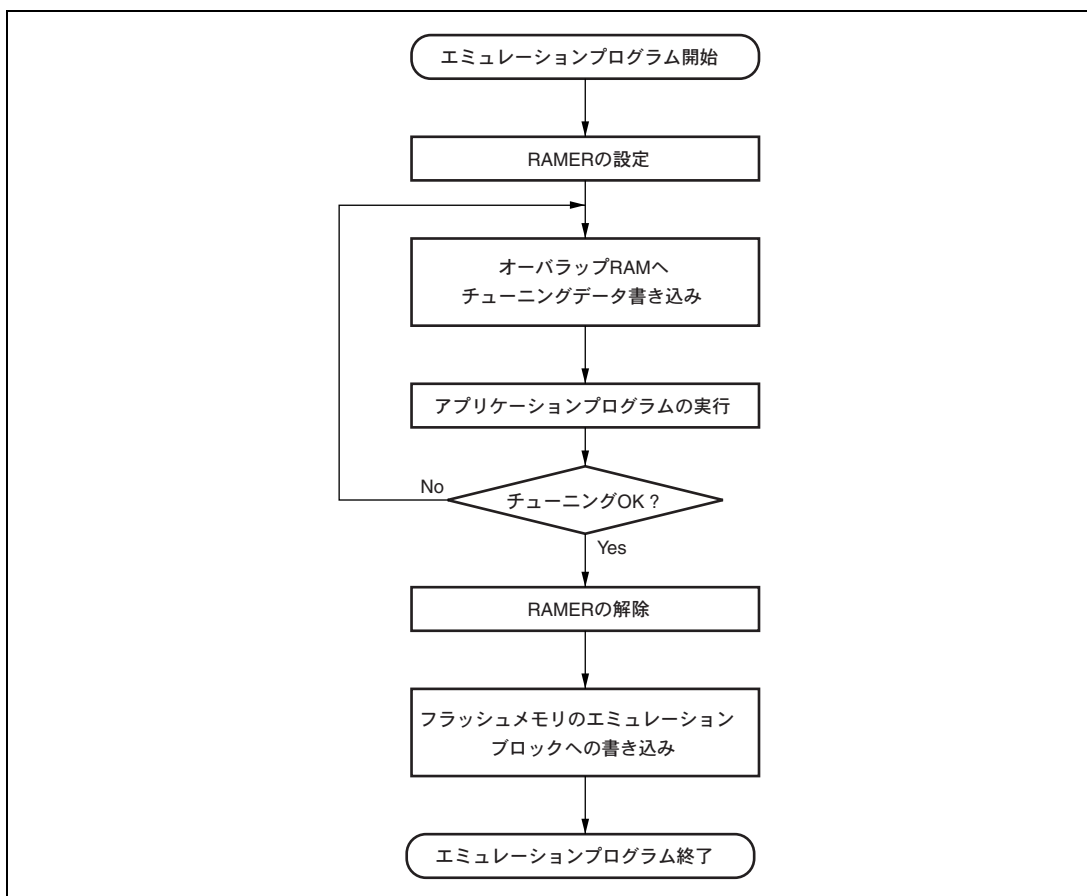


図 16.7 RAM によるエミュレーションフロー

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】

フラッシュメモリのブロックをオーバーラップさせる例を図 16.8 に示します。

1. オーバーラップさせるRAMのエリアはH'FFE000～H'FFE3FFの1kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは1kバイトのEB0～EB3のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスとものRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり（エミュレーションプロテクト）、FLMCR1のPビットまたはEビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

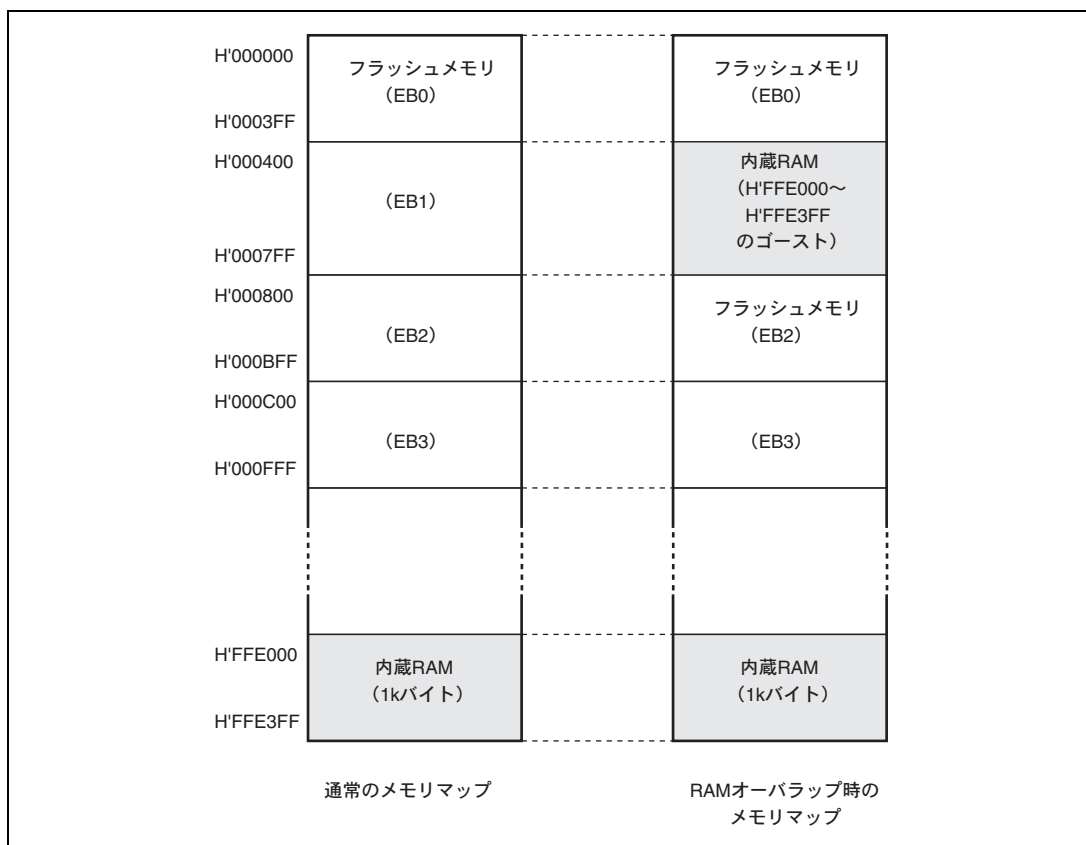


図 16.8 RAM のオーバーラップ例

16.8 書き込み/消去プログラム

オンボードでのフラッシュメモリの書き込み/消去は CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリは FLMCR1 の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザプログラムモードでの書き込み/消去プログラムではこれらのモードを組み合わせで書き込み/消去を行います。フラッシュメモリへの書き込みは「16.8.1 プログラム/プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「16.8.2 イレース/イレースベリファイ」に沿って行ってください。

16.8.1 プログラム/プログラムベリファイ

フラッシュメモリへの書き込みは、図 16.9 に示すプログラム/プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図16.9に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図16.9に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は $(\gamma+z2+\alpha+\beta)$ μs より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがb'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
8. 同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、(N)回を超えないようにしてください。

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】

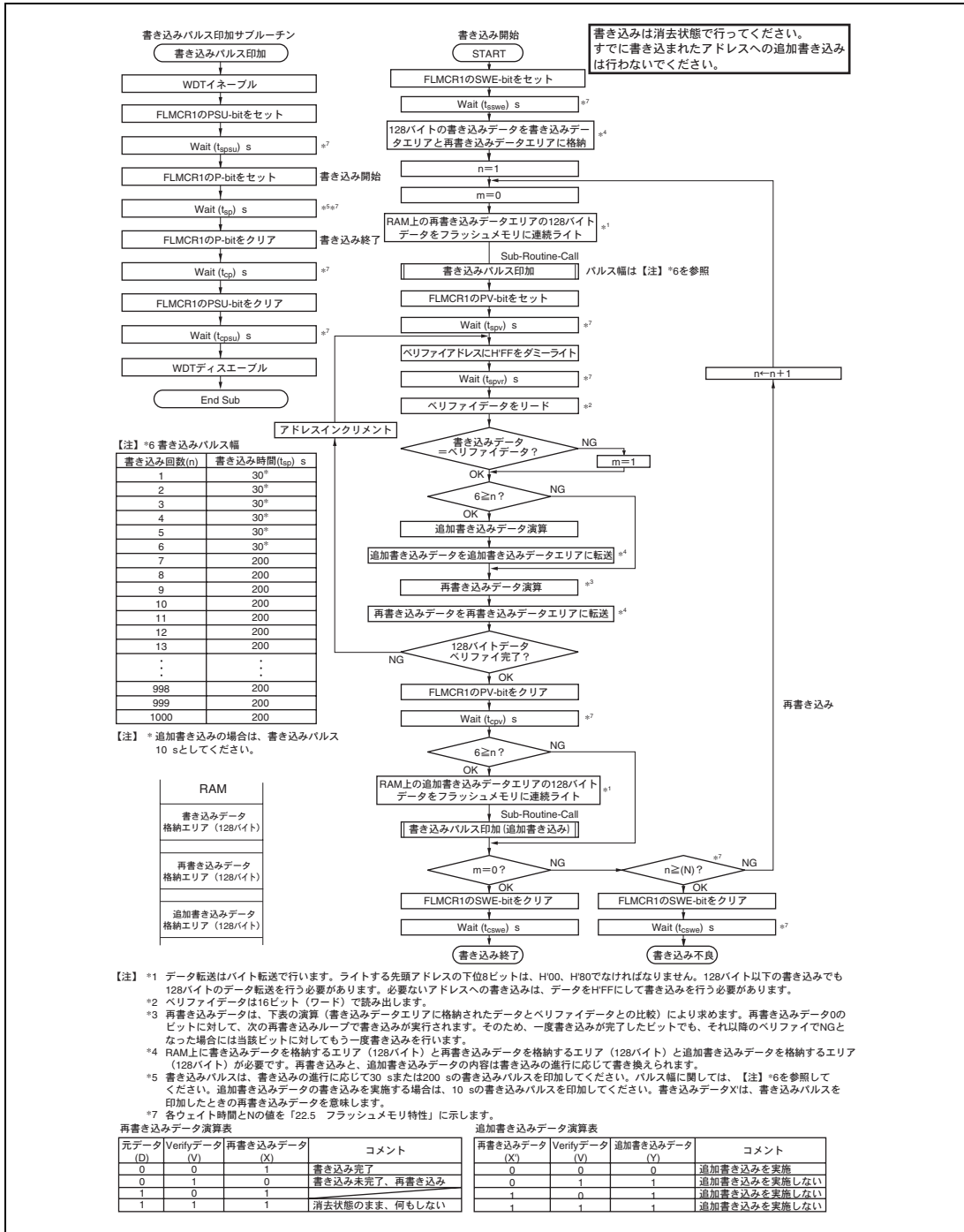


図 16.9 プログラム/プログラムペリファイフロー

16.8.2 イレース/イレースベリファイ

消去は図 16.10 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1 (EBR1) 消去ブロック指定レジスタ2 (EBR2) により消去するブロックを1ブロックだけ選択しててください。複数のブロックを消去する場合も1ブロックずつ順次消去しててください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドッグタイマの設定はプログラムの暴走等による過剰消去を避けるためのものです。オーバフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがb'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。

16.8.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由から $\overline{\text{NMI}}$ を含むすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなります。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走します。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなります。

16. フラッシュメモリ (F-ZTAT 版) 【H8S/2282 グループ】

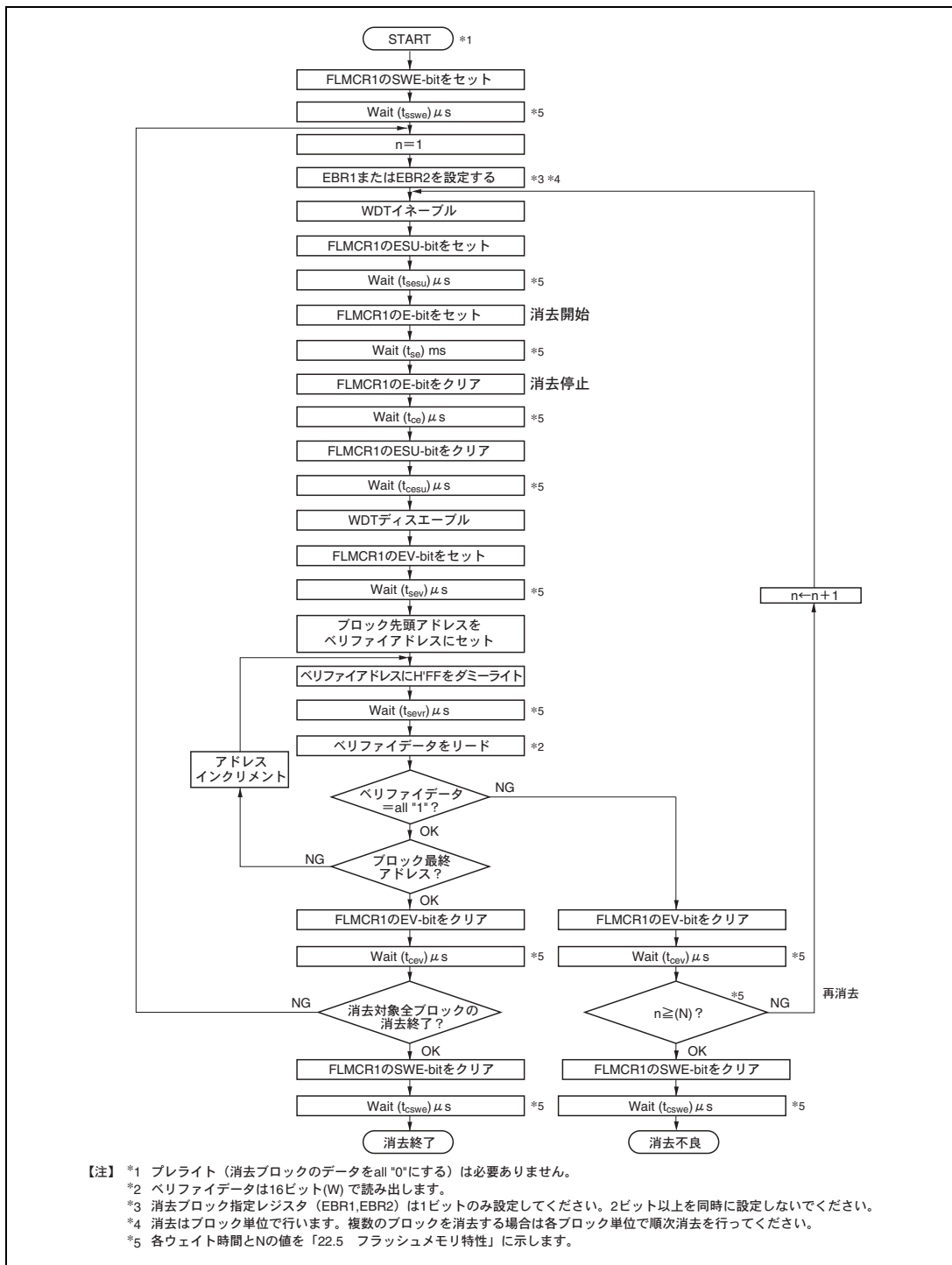


図 16.10 イレース/イレースペリファイフロー

16.9 書き込み/消去プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるもの、エラープロテクトによるものの3種類あります。

16.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1) 消去ブロック指定レジスタ2 (EBR2) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

16.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み/消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

RAMER の RAMS を設定すると全ブロックが書き込み/消去プロテクト状態になります。

16.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み/消去中に CPU の暴走や書き込み/消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み/消去動作を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが1にセットされ、エラープロテクト状態となります。

- 書き込み/消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み/消去中のリセットを除く例外処理開始
- 書き込み/消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、バリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットによってのみ解除できます。

16.10 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT128V5A) をサポートしているライタを使用してください。

16.11 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態

フラッシュメモリのリード／ライトが可能です。

- 低消費電力状態：電源回路の一部を停止して、LSIがサブクロック動作時にフラッシュメモリのリードが可能です。

- スタンバイ状態

フラッシュメモリのすべての回路が停止します。

表 16.6 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリがスタンバイ状態から通常動作状態へ復帰する時は、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 20 μ s 以上になるよう SBYCR の STS2～STS0 を設定してください。

表 16.6 フラッシュメモリの動作状態

本 LSI の動作モード	フラッシュメモリの状態
高速モード 中速モード スリープモード	通常動作状態
サブアクティブモード サブスリープモード	PDWND=0 のとき 低消費電力状態 (リードのみ) PDWND=1 のとき 通常動作状態 (リードのみ)
ウォッチモード ソフトウェアスタンバイモード ハードウェアスタンバイモード	スタンバイ状態

16.12 フラッシュメモリと低消費電力状態

低消費電力モード時は、FLMCR1、FLMCR2、EBR1、EBR2、RAMER、FLPWCR へのリード／ライトはできません。

17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。
フラッシュメモリのブロック図を図 17.1 に示します。

17.1 特長

- 容量：64Kバイト
- 書き込み／消去方式
書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは28Kバイト×1ブロック、16Kバイト×1ブロック、8Kバイト×2ブロック、1Kバイト×4ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。
- 書き換え回数
100回まで書き換え可能です。
- プログラミングモード：3種類
ブートモード
ユーザモード
ライターモード
内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み／消去ができます。このほか、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。
- ライターモード
オンボードプログラミングのほかにPROMライターを用いて書き込み／消去を行うライターモードがあります。
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。
- 書き込み／消去プロテクト
ソフトウェアによりフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。

17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】

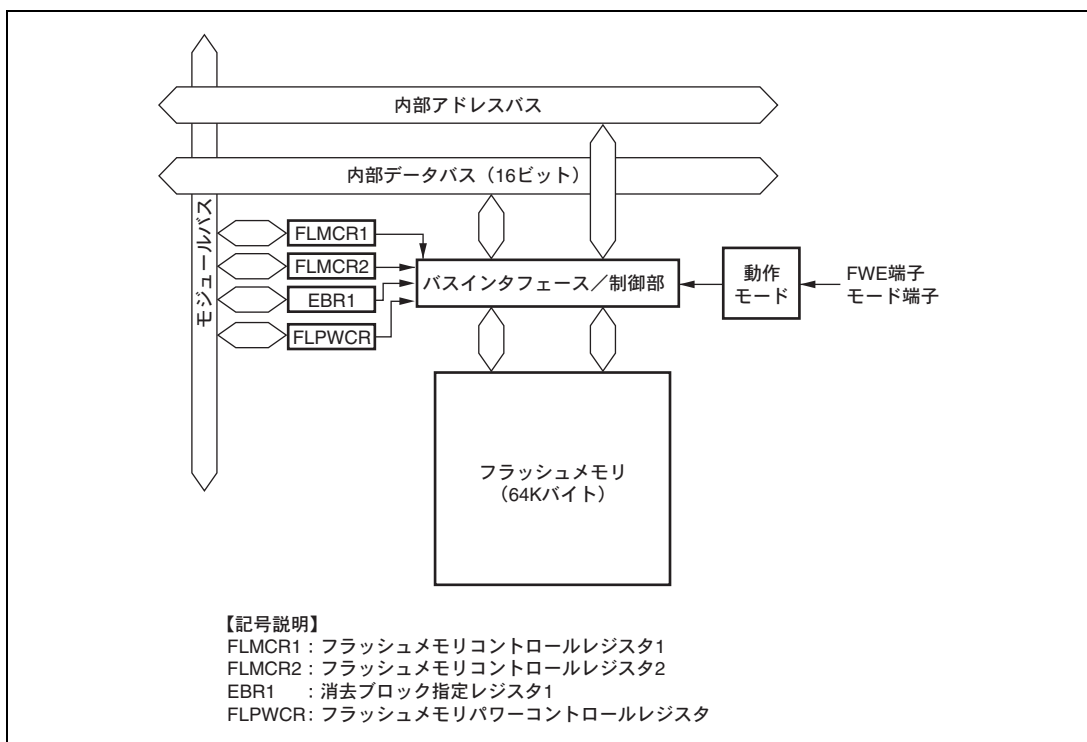


図 17.1 フラッシュメモリのブロック図

17.2 モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 17.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

表 17.1 にブートモードとユーザプログラムモードの相違点を示します。図 17.3 にブートモードを、図 17.4 にユーザプログラムモードを示します。

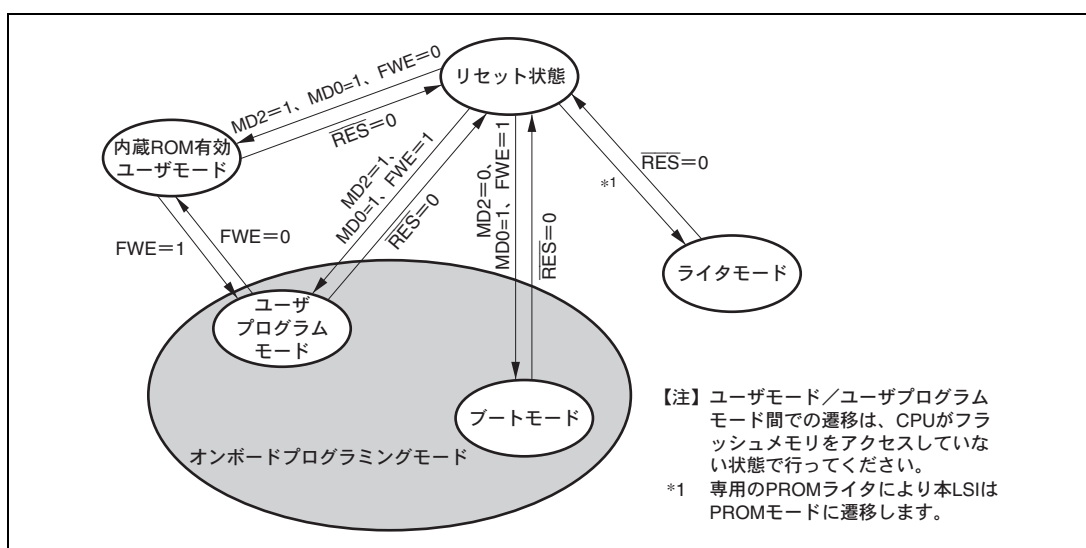
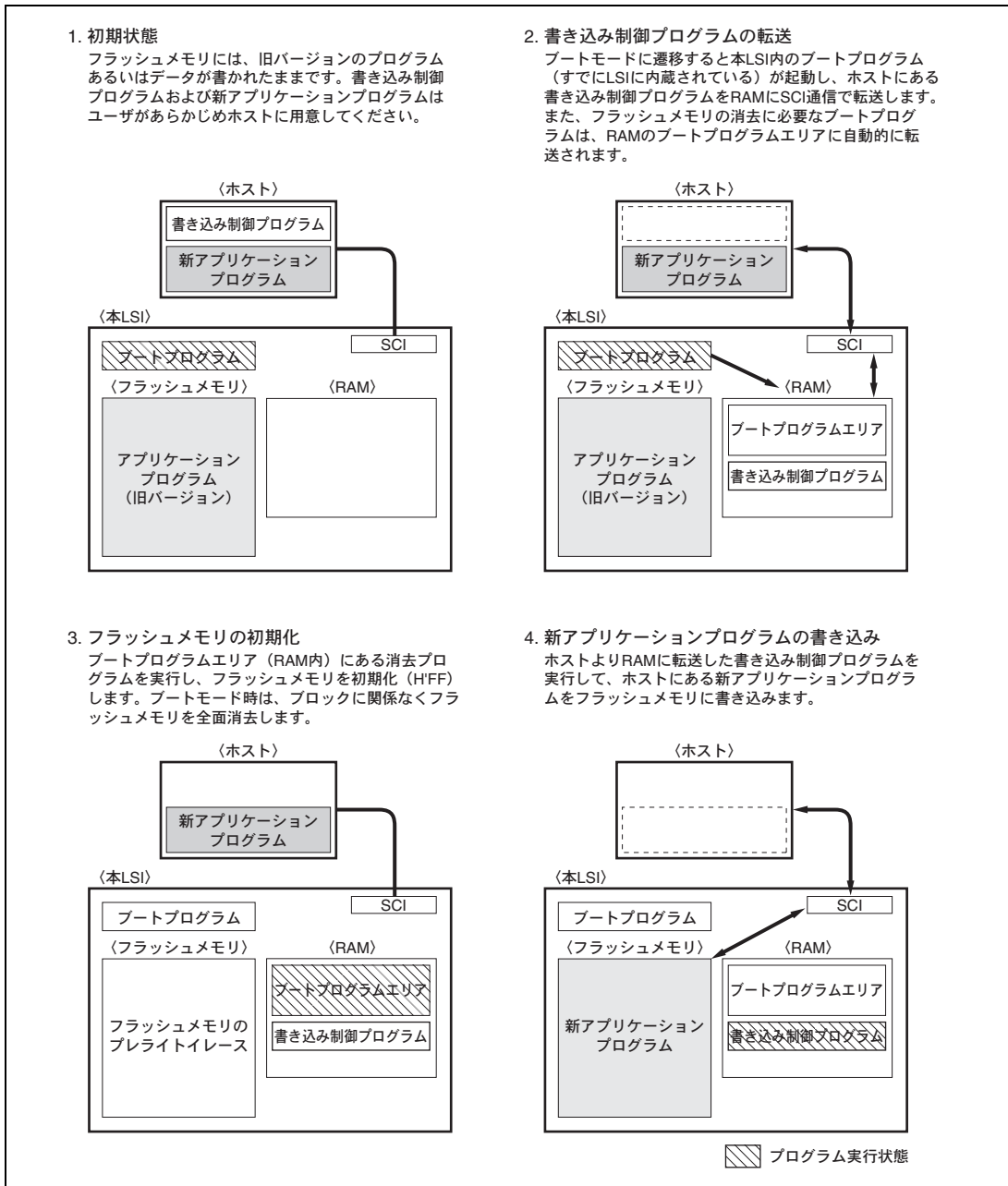


表 17.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ

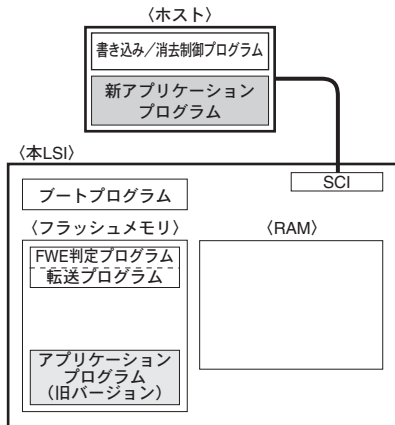
【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】



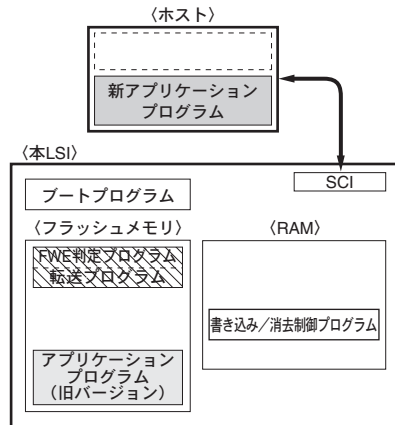
1. 初期状態

(1) ユーザプログラムモードに移移したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



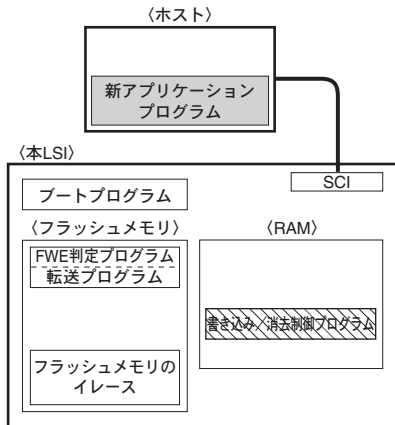
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに移移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



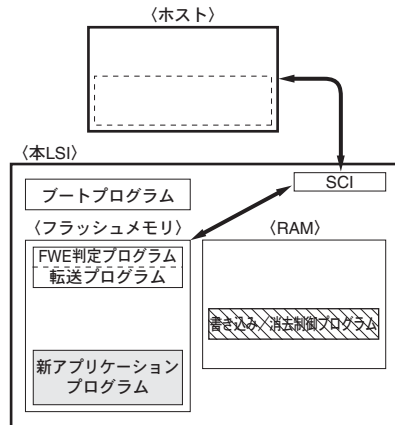
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (HFF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. 新アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 17.4 ユーザプログラムモード

17.3 ブロック構成

図 17.5 に 64K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 28K バイト (1 ブロック)、16K バイト (1 ブロック)、8K バイト (2 ブロック)、1K バイト (4 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

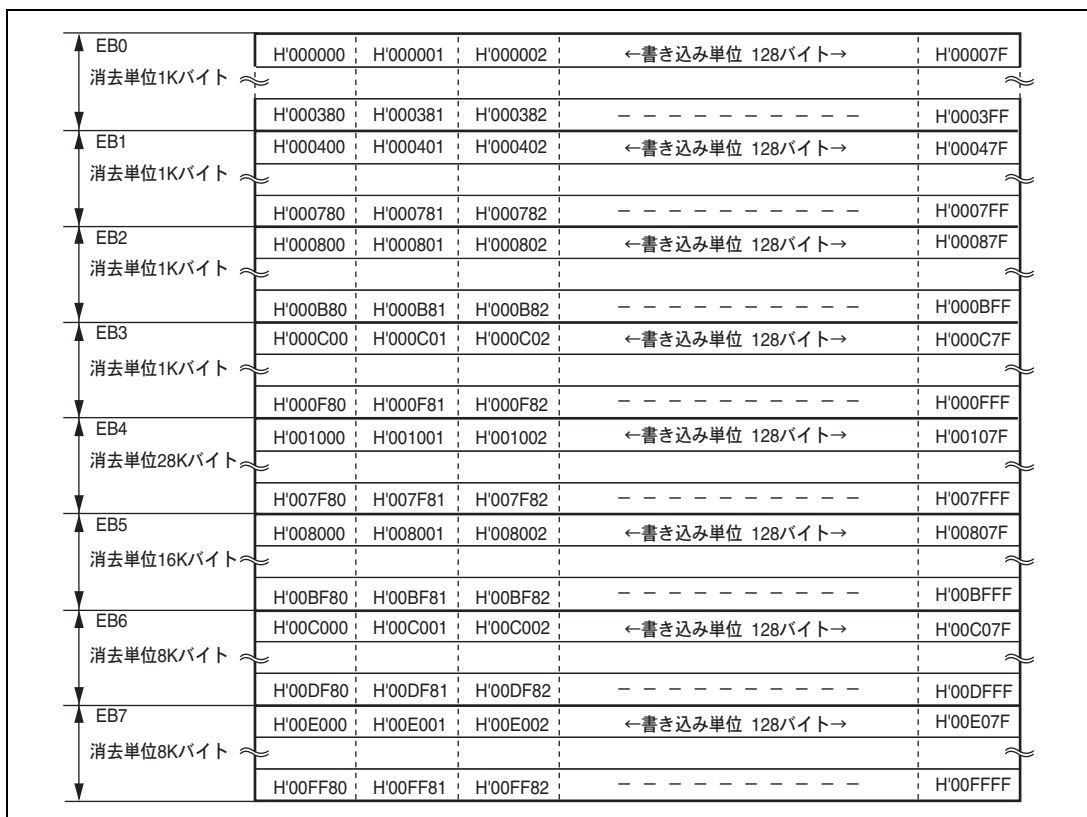


図 17.5 フラッシュメモリのブロック構成

17.4 入出力端子

フラッシュメモリは表 17.2 に示す端子により制御されます。

表 17.2 端子構成

端子名	入出力	機能
$\overline{\text{RES}}$	入力	リセット
FWE	入力	フラッシュの書き込み/消去をハードウェアプロテクト
MD2	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

17.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)

17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】

17.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「17.7 書き込み/消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE	—	R	FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。0 のときこのレジスタの他のビットと EBR1 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。
4	PSU	0	R/W	プログラムセットアップ 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の P ビットを 1 にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

17.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLEP	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「17.8.3 エラープロテクト」を参照してください。
6~0	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。

17.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 は 0 にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'00E000~H'00FFFF) の 8K バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'00C000~H'00DFFF) の 8K バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'008000~H'00BFFF) の 16K バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'001000~H'007FFF) の 28K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'000C00~H'000FFF) の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'000800~H'000BFF) の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'000400~H'0007FF) の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000~H'00003FF) の 1K バイトが消去対象となります。

17.5.4 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

LSI がサブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可/禁止を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	このビットが1のときフラッシュメモリの低消費電力モードへの遷移を禁止します。
6~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。

17.6 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとしてオンボードで書き込み/消去ができるブートモードと PROM ライタで書き込み/消去を行うライタモードがあります。このほかユーザモードでもオンボードで書き込み/消去を行うユーザプログラムモードがあります。リセット状態からリセットスタートすると本 LSI は MD 端子、FWE 端子によって表 17.3 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI_1 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み/消去ができなくなった場合の強制復帰等に使用できます。ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 17.3 プログラミングモード選択方法

MD2	MD0	FWE	リセット解除後の LSI の状態
1	1	1	ユーザモード
0	1	1	ブートモード

17.6.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 17.4 に示します。

- ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「17.7 書き込み/消去プログラム」に沿ったものを用意してください。
- SCI_1は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
- ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI_1のビットレートをホストのビットレートに合わせ込みます。リセ

ット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。

4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表17.5の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FFE800~H'FFEFBF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI_1は送受信動作を終了 (SCRのRE=0、TE=0) しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、MD端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でMD端子の入力レベルを変化させないでください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】

表 17.4 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 ブートプログラム起動
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 H'00を正常に受信したらH'55送信 H'AA受信	H'00、H'00・・・H'00 H'00 H'55 H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_1のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数 (N) を上位バイト、下位バイトの順に2バイト送信 書き込み制御プログラムを1バイトごとに送信 (N回繰り返し)	上位バイト、下位バイト エコーバック H'XX エコーバック	受信した2バイトデータをホストへエコーバック 受信したデータをホストへエコーバックするとともにRAMへ転送 (N回繰り返し)
フラッシュメモリ消去	ブートプログラム消去エラー H'AA受信	H'FF H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信 (消去できなかった場合はH'FFを送信して、動作を停止)
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 17.5 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本LSIのシステムクロック周波数範囲
19200bps	20MHz
9600bps	8 ~ 20MHz
4800bps	4 ~ 20MHz

17.6.2 ユーザモードでの書き込み/消去

ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 17.6 にユーザモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「17.7 書き込み/消去プログラム」に沿ったものを用意してください。

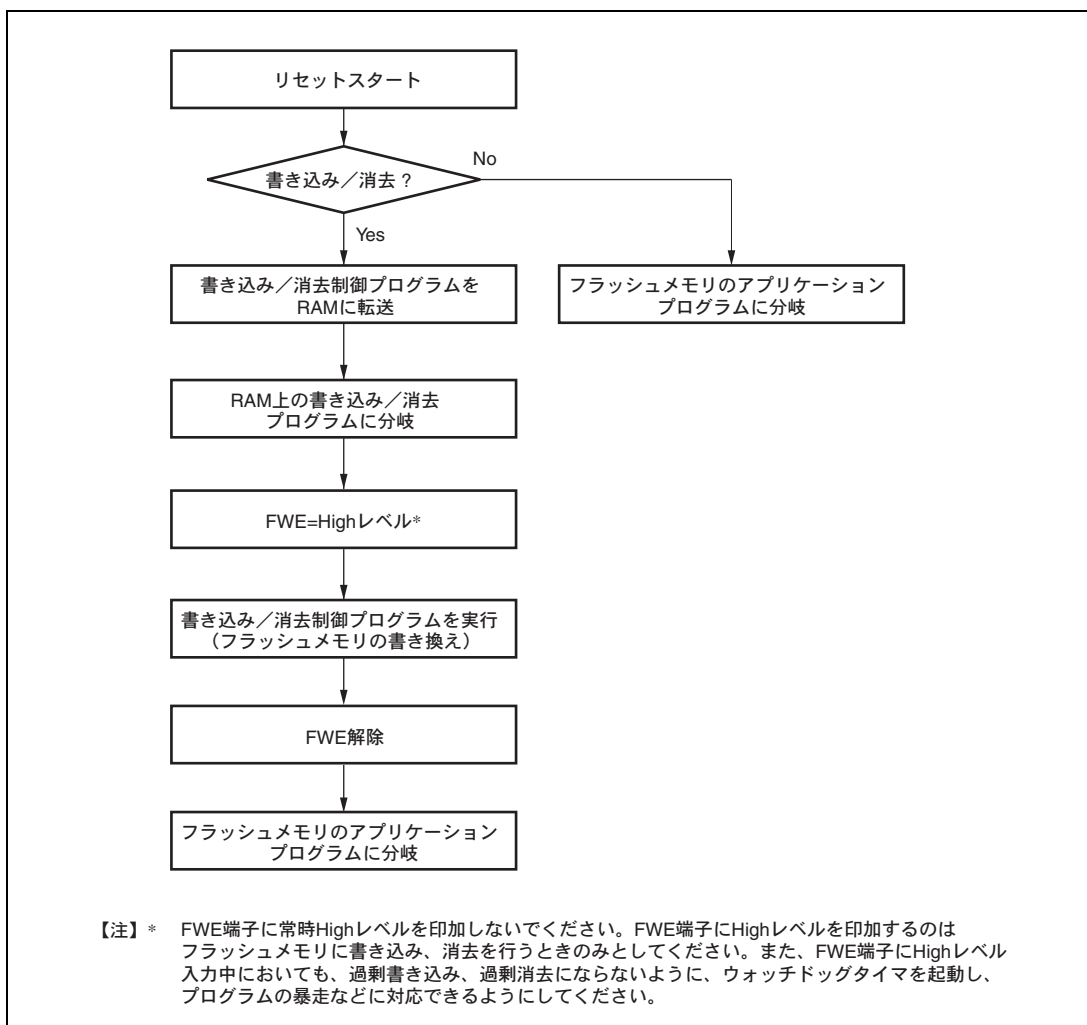
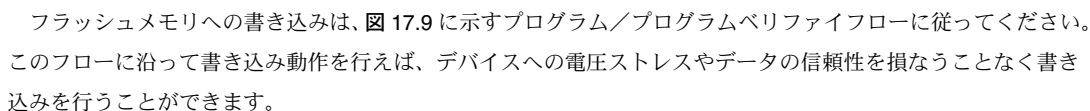


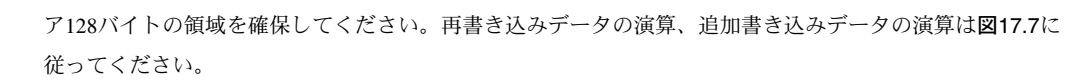
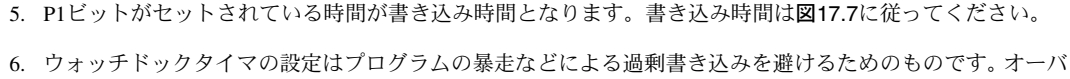
図 17.6 ユーザモードにおける書き込み/消去例

17.7 書き込み/消去プログラム

オンボードでのフラッシュメモリの書き込み/消去は CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリは FLMCR1 の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み/消去プログラムではこれらのモードを組み合わせて書き込み/消去を行います。フラッシュメモリへの書き込みは「17.7.1 プログラム/プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「17.7.2 イレース/イレースベリファイ」に沿って行ってください。

17.7.1 プログラム/プログラムベリファイ

フラッシュメモリへの書き込みは、に示すプログラム/プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算はに従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. PIビットがセットされている時間が書き込み時間となります。書き込み時間はに従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
8. 同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

17. フラッシュメモリ (F-ZTAT 版) 【H8S/2280 グループ】

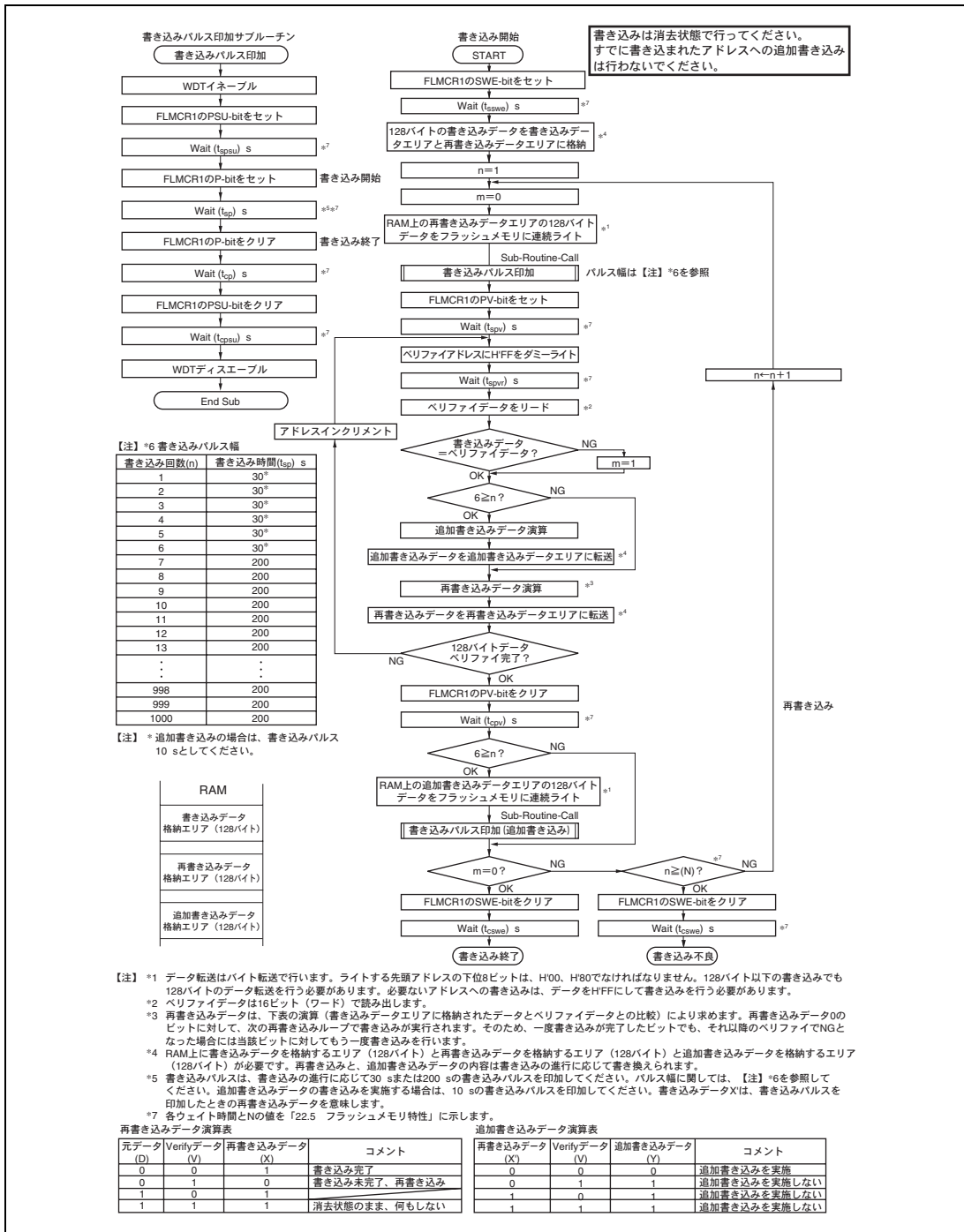


図 17.7 プログラム/プログラムペリファイフロー

17.7.2 イレース/イレースベリファイ

消去は図 17.8 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ（EBR1）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. EIビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

17.7.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由から $\overline{\text{NMI}}$ を含むすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなります。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走します。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなります。

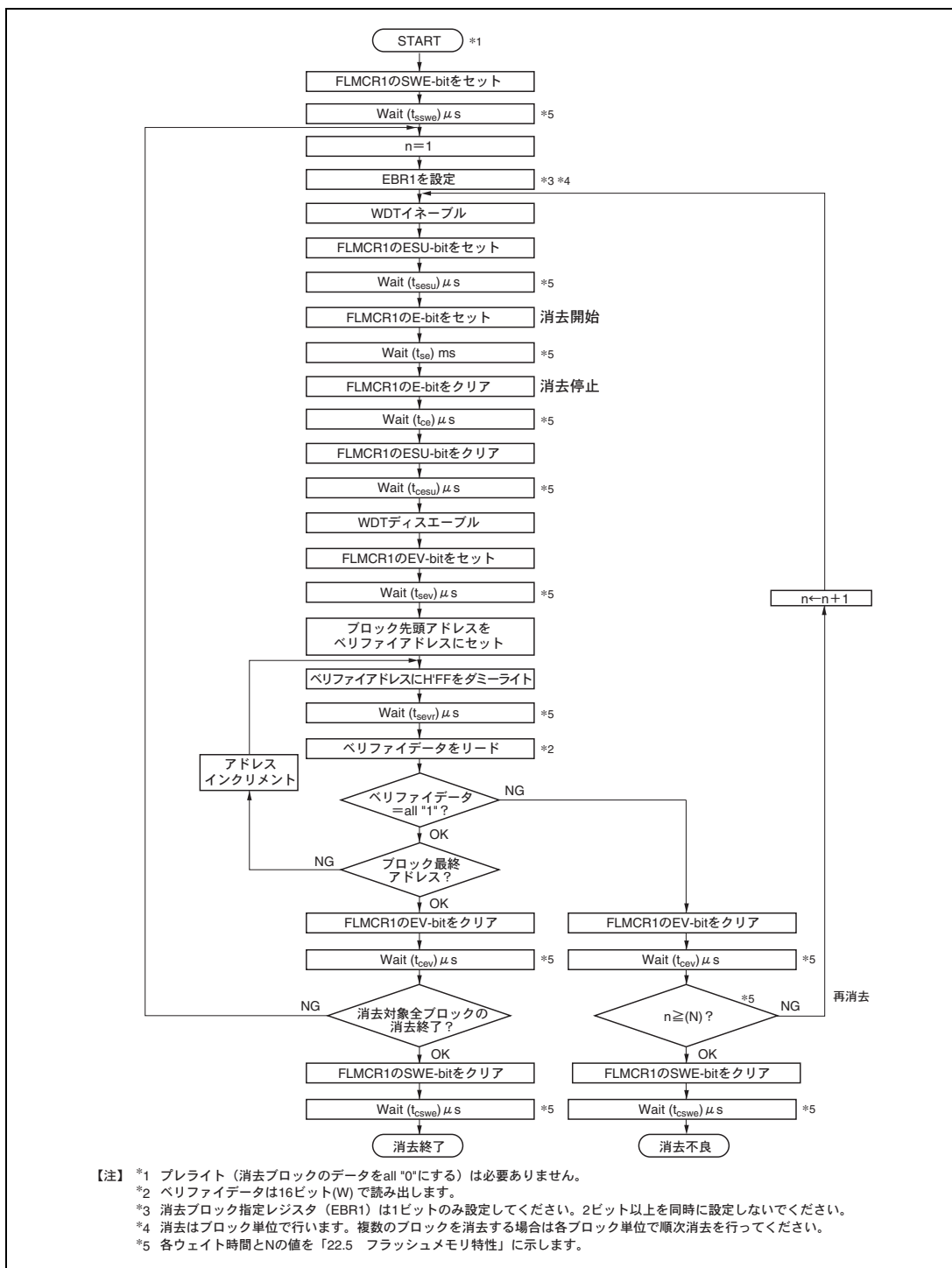


図 17.8 イレース/イレースベリファイフロー

17.8 書き込み/消去プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるもの、エラープロテクトによるものの3種類あります。

17.8.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

17.8.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み/消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1) の設定により、ブロックごとに消去プロテクトが可能です。EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

17.8.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み/消去中に CPU の暴走や書き込み/消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み/消去動作を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが1にセットされ、エラープロテクト状態となります。

- 書き込み/消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み/消去中のリセットを除く例外処理開始
- 書き込み/消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットによってのみ解除できます。

17.9 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT64V5A) をサポートしているライタを使用してください。

17.10 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態
フラッシュメモリのリード／ライトが可能です。
- 低消費電力状態
電源回路の一部を停止して、LSIがサブクロック動作時にフラッシュメモリのリードが可能です。
- スタンバイ状態
フラッシュメモリのすべての回路が停止します。

表 17.6 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリがスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 20 μ s 以上になるよう SBYCR の STS2～STS0 を設定してください。

表 17.6 フラッシュメモリの動作状態

本 LSI の動作モード	フラッシュメモリの状態
高速モード 中速モード スリープモード	通常動作状態
サブアクティブモード サブスリープモード	PDWND=0 のとき 低消費電力状態 (リードのみ) PDWND=1 のとき 通常動作状態 (リードのみ)
ウォッチモード ソフトウェアスタンバイモード ハードウェアスタンバイモード	スタンバイ状態

17.11 フラッシュメモリと低消費電力状態

低消費電力モード時は、FLMCR1、FLMCR2、EBR1、FLRWCR へのリード／ライトはできません。

18. マスク ROM

本グループでは、64k および 128k バイトのマスク ROM を内蔵しています。内蔵 ROM は、16 ビット幅のデータバスを介して CPU と接続されています。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

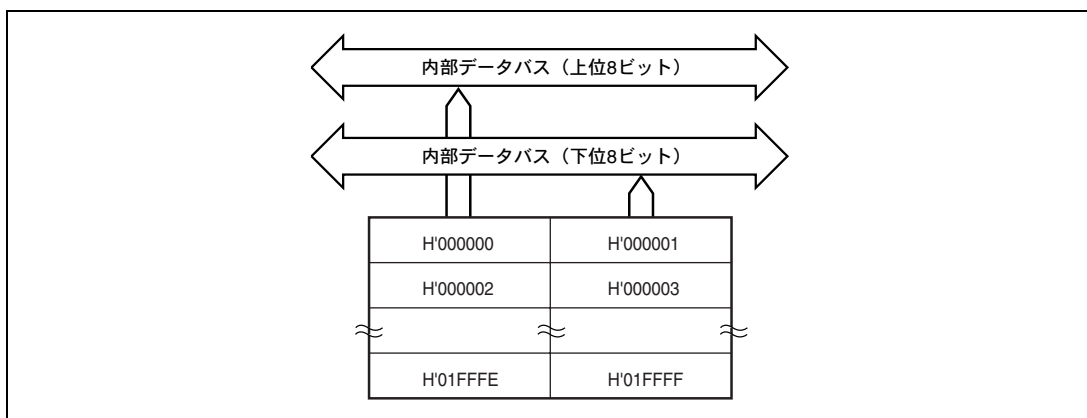


図 18.1 128k バイトマスク ROM のブロック図 (HD6432282)

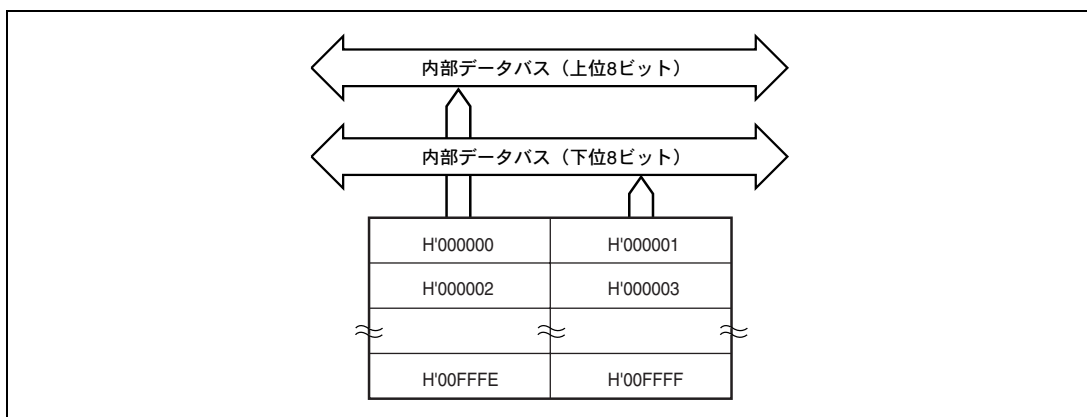


図 18.2 64k バイトマスク ROM のブロック図 (HD6432281)

18.1 使用上の注意事項

18.1.1 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在します。表 18.1 に F-ZTAT 版に存在してマスク版に存在しないレジスタを示します。表 18.1 に示したレジスタをリードした場合マスク版では不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 18.1 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 18.1 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB
フラッシュメモリパワーコントロールレジスタ	FLPWCR	H'FFAC

19. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、バスマスタクロック、内部クロック、サブクロックを生成します。クロック発振器は、発振器、PLL 回路、サブクロック分周器、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路で構成されます。クロック発振器のブロック図を図 19.1 に示します。

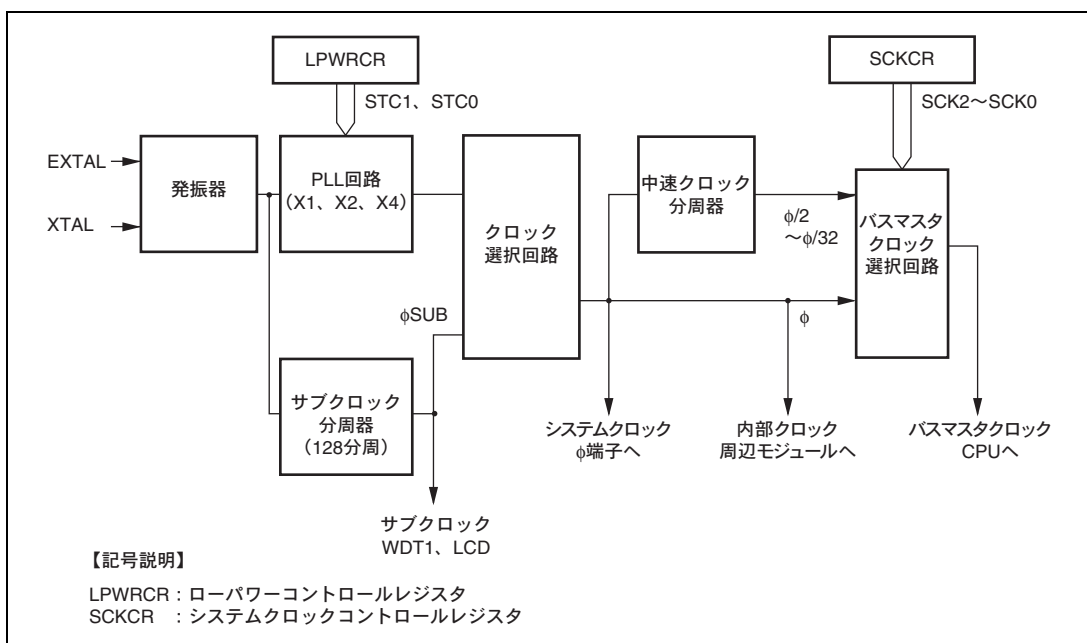


図 19.1 クロック発振器のブロック図

発振器からの周波数は、PLL 回路により変更できます。周波数の変更は、ローパワーコントロールレジスタ (LPWRCR) とシステムクロックコントロールレジスタ (SCKCR) の設定によりソフトウェアで行います。

19.1 レジスタの説明

クロック発振器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

- システムクロックコントロールレジスタ(SCKCR)
- ローパワーコントロールレジスタ(LPWRCR)

19.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は ϕ 出力、PLL 回路の周波数通倍率変更時の動作選択、中速モードの制御を行います。

ビット	ビット名	初期値	R/W	説 明
7	PSTOP	0	R/W	ϕ 出力禁止 ϕ 出力を制御します。 高速モード、中速モード 0: ϕ 出力 1: High レベル固定 スリープモード 0: ϕ 出力 1: High レベル固定 ソフトウェアスタンバイモード 0: High レベル固定 1: High レベル固定 ハードウェアスタンバイモード 0: ハイインピーダンス 1: ハイインピーダンス
6~4	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。
3	STCS	0	R/W	周波数通倍率切り替えモード選択 PLL 回路の周波数通倍率変更時の動作を選択します。 0: 変更した通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード遷移後に有効 1: 変更した通倍率は、STC1、STC0 ビット書き換え後に有効

ビット	ビット名	初期値	R/W	説明
2	SCK2	0	R/W	システムクロックセレクト 2~0
1	SCK1	0	R/W	バスマスタクロックを選択します。
0	SCK0	0	R/W	000 : 高速モード 001 : 中速クロック $\phi/2$ 010 : 中速クロック $\phi/4$ 011 : 中速クロック $\phi/8$ 100 : 中速クロック $\phi/16$ 101 : 中速クロック $\phi/32$ 11x : 設定禁止

【記号説明】 x : Don't care

19.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は、低消費電力モードの制御、サブクロック生成制御、発振回路帰還抵抗制御、周波数通倍率設定を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	「20.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。
6	LSON	0	R/W	
5	—	0	R/W	リザーブビット リード/ライト可能ですが、1に設定しないでください。
4	SUBSTP	0	R/W	サブクロック生成制御 0 : サブクロック生成を許可 1 : サブクロック生成を禁止
3	RFCUT	0	R/W	発振回路帰還抵抗制御 0 : メインクロック発振時帰還 ON、メインクロック発振停止時帰還抵抗 OFF 1 : 帰還抵抗を OFF、変更はソフトウェアスタンバイ移行復帰後に有効 【注】水晶発振子を使用する場合、このビットを1にセットすると発振器が動作しなくなります。
2	—	0	R/W	リザーブビット リード/ライト可能ですが、1に設定しないでください。
1	STC1	0	R/W	周波数通倍率設定 PLL 回路の周波数通倍率を設定します。 00 : $\times 1$ 01 : $\times 2$ 10 : $\times 4$ 11 : 設定禁止
0	STC0	0	R/W	

19.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。入力するクロックは4MHz～20MHzとしてください。

19.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 19.2 に示します。ダンピング抵抗 R_d は、表 19.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

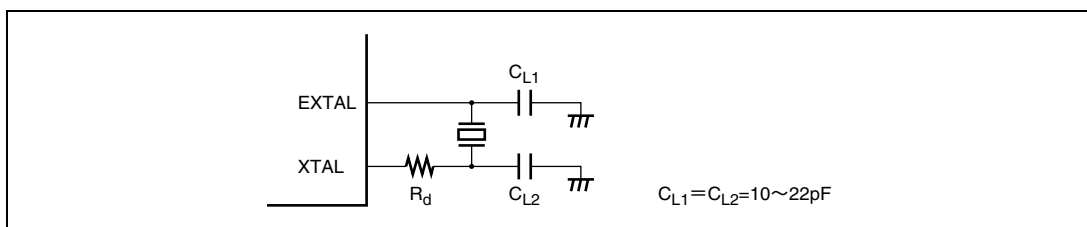


図 19.2 水晶発振子の接続例

表 19.1 ダンピング抵抗値

周波数 (MHz)	4	8	12	16	20
R_d (Ω)	500	200	0	0	0

水晶発振子の等価回路を図 19.3 に示します。水晶発振子は表 19.2 に示す特性のものを使用してください。

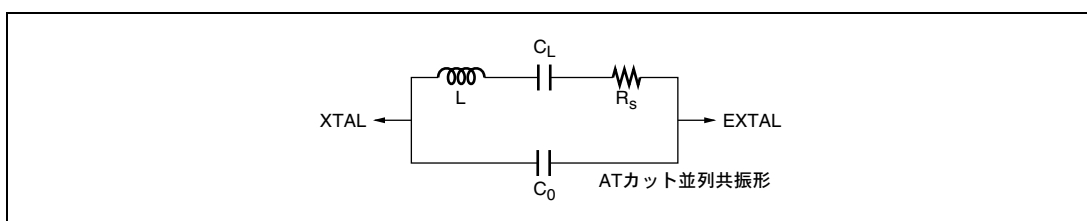


図 19.3 水晶発振子の等価回路

表 19.2 水晶発振子の特性

周波数 (MHz)	4	8	12	16	20
R_s max (Ω)	120	80	60	50	40
C_0 max (pF)	7				

19.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 19.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

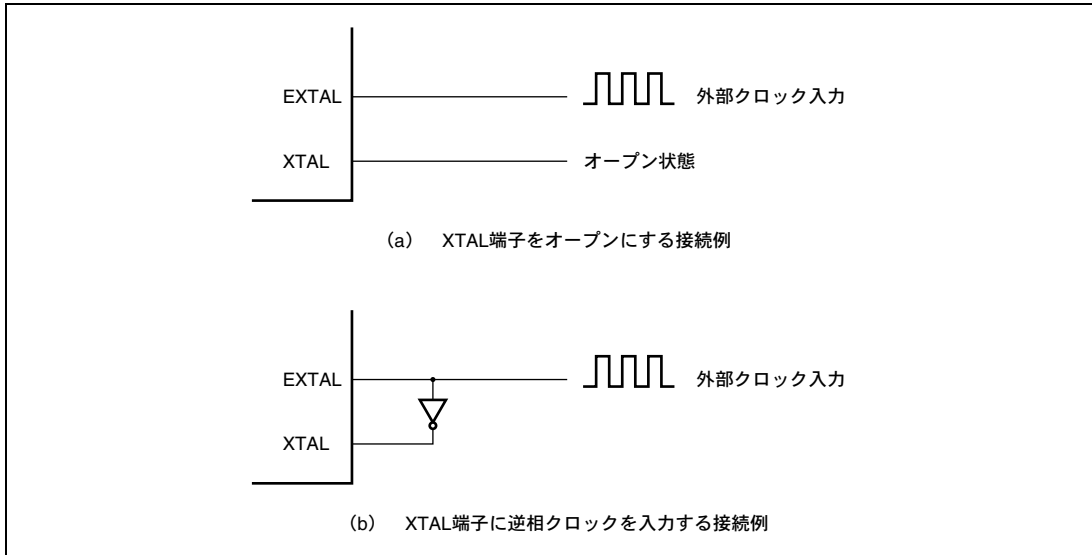


図 19.4 外部クロックの接続例

外部クロックの入力条件を表 19.3 に示します。

表 19.3 外部クロック入力条件

項目	記号	V _{CC} =5.0V±10%		単位	測定条件
		min	max		
外部クロック入力 パルス幅 Low レベル	t _{EXL}	15	—	ns	図 19.5
外部クロック入力 パルス幅 High レベル	t _{EXH}	15	—	ns	
外部クロック 立ち上がり時間	t _{EXr}	—	5	ns	
外部クロック 立ち下がり時間	t _{EXf}	—	5	ns	

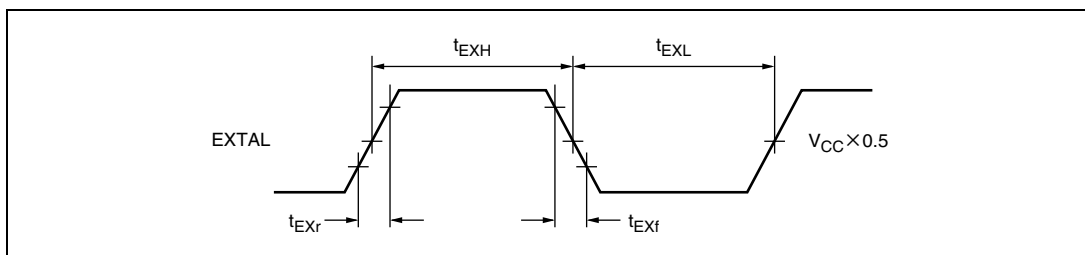


図 19.5 外部クロック入力タイミング

19.3 PLL 回路

PLL 回路は、発振器からの周波数を 1 倍、2 倍、4 倍に通倍する機能を持っています。周波数通倍率は LPWRCR の STC1、STC0 ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

PLL 回路の周波数通倍率を変更する場合、SCKCR の STCS ビットの設定で動作が異なります。

STCS ビットが 0 の場合、変更した周波数通倍率はソフトウェアスタンバイモード遷移後に有効になります。遷移時間は、スタンバイコントロールレジスタ (SBYCR) の STS2～STS0 ビットで設定します。SBYCR については「20.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

1. 初期状態では、PLL回路の通倍率は1倍です。
2. STS2～STS0ビットで遷移時間を設定します。
3. STC1、STC0ビットで周波数通倍率を設定し、ソフトウェアスタンバイモードに遷移します。
4. クロック発振器が停止し、設定したSTC1、STC0の設定が有効となります。
5. ソフトウェアスタンバイモードを解除し、STS2～STS0ビットで設定した、遷移時間が確保されます。
6. 設定した遷移時間経過後、変更した周波数通倍率で本LSIは動作を再開します。

19.4 サブクロック分周器

サブクロック分周器は、発振器で生成されたクロックを 128 分周し、サブクロックを生成します。サブクロックを時計用クロックとして使用する場合、ソフトウェアによる補正が必要となります。

19.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

19.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SCKCR の SCK2～SCK0 ビットにより高速モード、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

19.7 使用上の注意事項

19.7.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

19.7.2 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 19.6 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

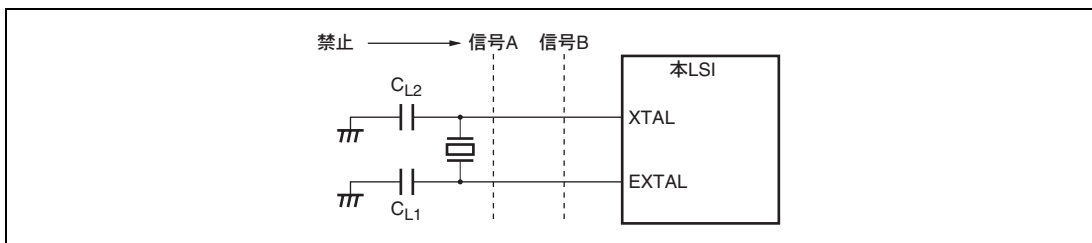


図 19.6 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 19.7 に示します。発振を安定させるための容量 C1 および抵抗 R1 は、PLL CAP 端子の近くに配置してください。また、他の信号線と交差させないでください。PLL VSS、VCL と VCC、VSS はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。

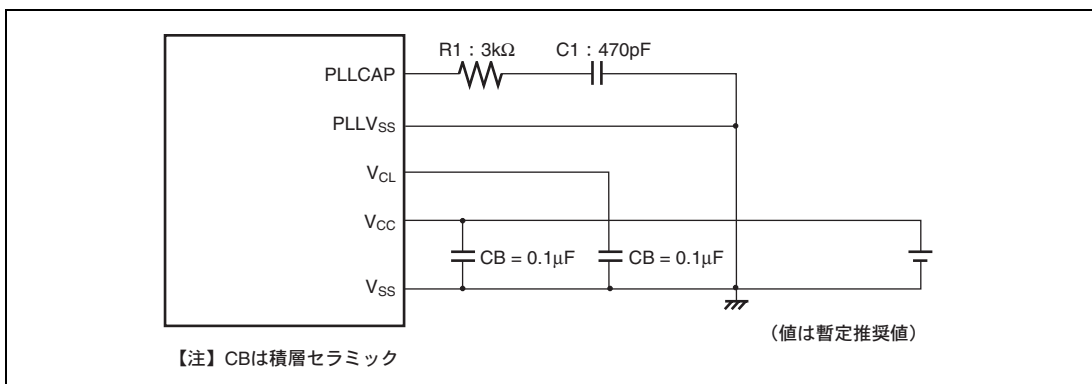


図 19.7 PLL 回路の外付け推奨回路

20. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードの他、

- 中速モード
- サブアクティブモード
- スリープモード
- サブスリープモード
- ウォッチモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モード／モジュールストップモードになっています。

図 20.1 に可能なモード間遷移を示します。表 20.1 に SLEEP 命令実行時の各モードへの遷移条件と割り込みによる復帰先を、表 20.2 に各モードでの LSI の内部状態を示します。

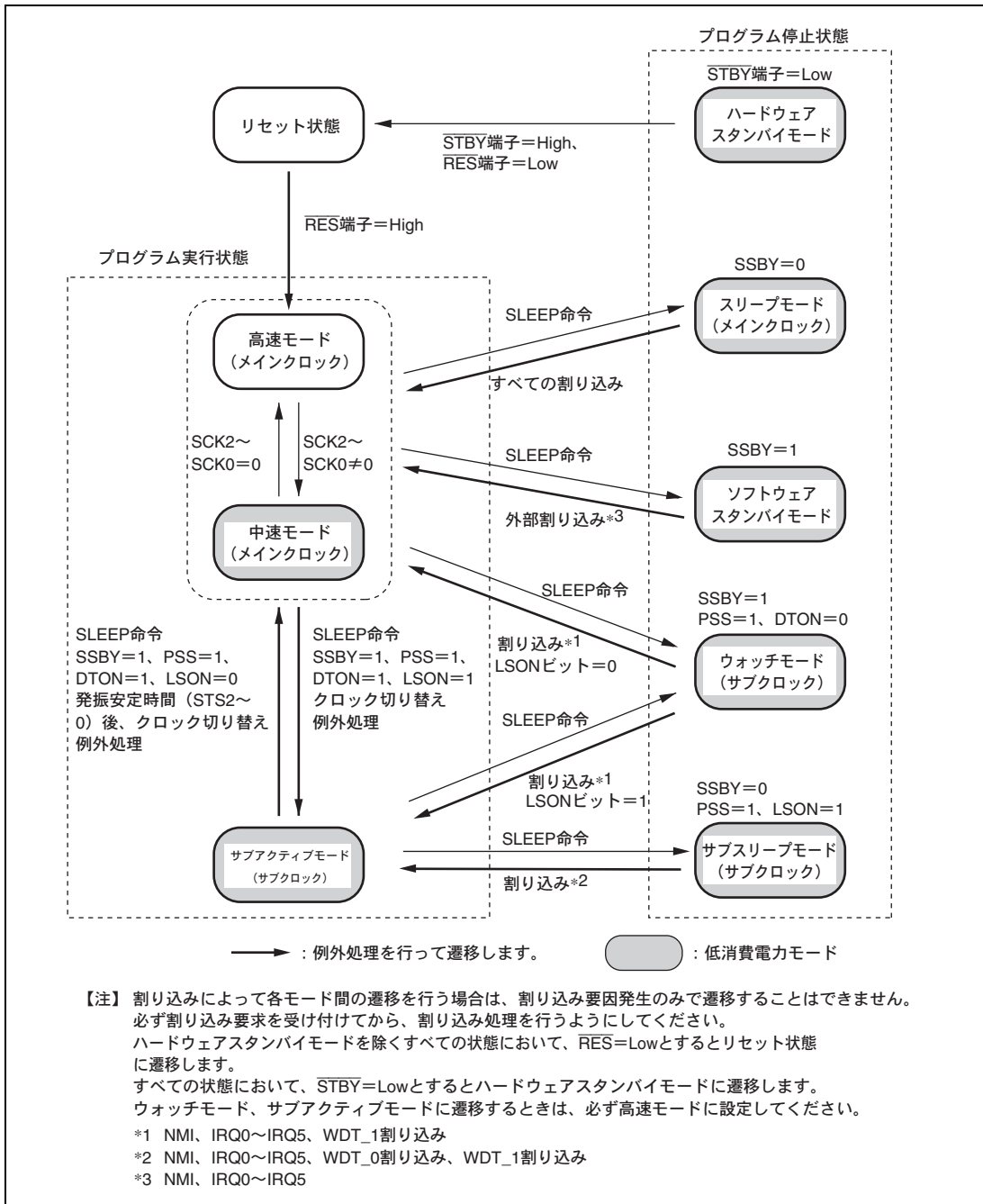


図 20.1 モード遷移図

表 20.1 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速/中速	0	*	0	*	スリープ	高速/中速
	0	*	1	*	—	—
	1	0	0	*	ソフトウェアスタンバイ	高速/中速
	1	0	1	*	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	—	—
	1	1	1	1	サブアクティブ	—
サブアクティブ	0	0	*	*	—	—
	0	1	0	*	—	—
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	—
	1	1	1	1	—	—

【記号説明】 * : Don't care

— : 設定禁止

20. 低消費電力状態

表 20.2 各モードでの本 LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
システムクロック 発振器		動作	動作	動作	動作	動作	動作	動作	停止	停止
CPU	命令 レジスタ	動作	中速動作	停止 (保持)	高/中速 動作	停止 (保持)	サブクロ ック動作	停止 (保持)	停止 (保持)	停止 (不定)
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ0~5									
周辺機能	WDT_1	動作	動作	動作	動作	サブクロ ック動作	サブクロ ック動作	サブクロ ック動作	停止 (保持)	停止 (リセット)
	WDT_0									
	TPU_0	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU_1									
	TPU_2									
	SCL_0	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	SCL_1									
	PWM									
	HCAN*									
	A/D									
	LCD	動作	動作	動作	停止 (保持)	動作	動作	動作	停止 (保持)	停止 (リセット)
	RAM									
I/O	動作	動作	動作	動作	動作	保持	動作	保持	保持	ハイインピ ーダンス

- 【注】
1. 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。
 2. 停止（リセット）は、内部レジスタ値および内部状態を初期化。
 3. モジュールストップモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。
 4. LCD をウォッチ、サブアクティブ、サブスリープモードで動作させる場合は、使用クロックにサブクロックを選択してください。
- * H8S/2280 グループには本機能はありません。

20.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。システムクロックコントロールレジスタ (SCKCR) については「19.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- システムクロックコントロールレジスタ (SCKCR)
- スタンバイコントロールレジスタ (SBYCR)
- ローパワーコントロールレジスタ (LPWRCR)
- モジュールストップコントロールレジスタ A (MSTPCRA)
- モジュールストップコントロールレジスタ B (MSTPCRB)
- モジュールストップコントロールレジスタ C (MSTPCRC)
- モジュールストップコントロールレジスタ D (MSTPCRD)

20.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0 : SLEEP 命令実行後、スリープモードに遷移 1 : SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場合は 0 をライトしてください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 20.3 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、2ms 以上となるように待機時間を設定してください。 000 : 待機時間=8192 ステート 001 : 待機時間=16384 ステート 010 : 待機時間=32768 ステート 011 : 待機時間=65536 ステート 100 : 待機時間=131072 ステート 101 : 待機時間=262144 ステート 110 : リザーブ 111 : 待機時間=16 ステート
5	STS1	0	R/W	
4	STS0	0	R/W	

20. 低消費電力状態

ビット	ビット名	初期値	R/W	説明
3	—	1	R/W	リザーブビット ライト時は必ず1としてください。
2~0	—	すべて0	—	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

20.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は、低消費電力モードの制御、サブクロック生成制御、発振回路帰還抵抗制御、周波数通倍率設定を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	ダイレクトトランスファオンフラグ 0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移します。サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードまたはウォッチモードに遷移します。 1: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移します。サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移します。
6	LSON	0	R/W	ロースピードオンフラグ 0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移します。サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移します。ウォッチモード解除後に高速モードに遷移します。 1: 高速モードで SLEEP 命令を実行したとき、ウォッチモードまたはサブアクティブモード*に遷移します。サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードまたはウォッチモードに遷移します。ウォッチモード解除後にサブアクティブモードに遷移します。
5	—	0	R/W	「19.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。
4	SUBSTP	0	R/W	
3	RFCUT	0	R/W	
2	—	0	R/W	
1	STC1	0	R/W	
0	STC0	0	R/W	

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

20.1.3 モジュールストップコントロールレジスタ A~D (MSTPCRA~MSTPCRD)

MSTPCR は、モジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7* ¹	0	R/W	
6	MSTPA6* ¹	0	R/W	
5	MSTPA5	1	R/W	16 ビットタイマパルスユニット (TPU)
4	MSTPA4* ¹	1	R/W	
3	MSTPA3* ¹	1	R/W	
2	MSTPA2* ¹	1	R/W	
1	MSTPA1	1	R/W	A/D 変換器
0	MSTPA0* ¹	1	R/W	

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
6	MSTPB6	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
5	MSTPB5* ¹	1	R/W	
4	MSTPB4* ¹	1	R/W	
3	MSTPB3* ¹	1	R/W	
2	MSTPB2* ¹	1	R/W	
1	MSTPB1* ¹	1	R/W	
0	MSTPB0* ¹	1	R/W	

20. 低消費電力状態

• MSTPCRC

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPC7* ¹	1	R/W	
6	MSTPC6* ¹	1	R/W	
5	MSTPC5* ¹	1	R/W	
4	MSTPC4* ¹	1	R/W	
3	MSTPC3	1	R/W	コントローラエリアネットワーク (HCAN) * ²
2	MSTPC2* ¹	1	R/W	
1	MSTPC1* ¹	1	R/W	
0	MSTPC0* ¹	1	R/W	

• MSTPCRD

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPD7	1	R/W	モータコントロールPWMタイマ (PWM)
6	MSTPD6	1	R/W	LCDコントローラ/ドライバ (LCD)
5	—	不定	—	
4	—	不定	—	
3	—	不定	—	
2	—	不定	—	
1	—	不定	—	
0	—	不定	—	

【注】 *1 MSTPA7、MSTPA6はリード/ライト可、初期値は0です。ライト時は常に0としてください。

MSTPA4~MSTPA2、MSTPA0、MSTPB5~MSTPB0、MSTPC7~MSTPC4、MSTPC2~MSTPC0はリード/ライト可、初期値は1です。ライト時は常に1としてください。

*2 H8S/2280グループには本機能はありません。

20.2 中速モード

SCKCR の SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2~SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 20.2 に示します。

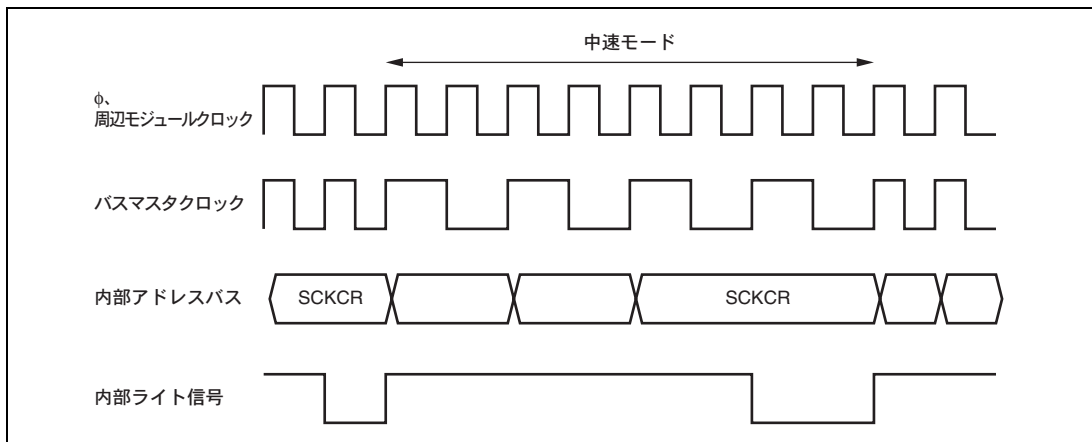


図 20.2 中速モードの遷移・解除タイミング

20.3 スリープモード

20.3.1 スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

20.3.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生するとスリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

20.4 ソフトウェアスタンバイモード

20.4.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、SCI、PWM、HCAN*、および A/D 変換器を除く内蔵周辺機能と、I/O ポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

【注】 * H8S/2280 グループには本機能はありません。

20.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$ 端子）、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

NMI、IRQ0～IRQ5割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2～STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0～IRQ5割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1

にセットし、かつIRQ0～IRQ5割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU側でマスクした場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

20.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCRのSTS2～STS0ビットの設定は、以下のように入力してください。

- 水晶発振の場合

待機時間が8ms（発振安定時間）以上となるようにSTS2～STS0ビットを設定してください。

表20.3に、動作周波数とSTS2～STS0ビットの設定に対する待機時間を示します。

- 外部クロックの場合

PLL回路の安定時間が必要になります。2ms以上となるように待機時間を設定してください。

表 20.3 発振安定時間の設定

STS2	STS1	STS0	待機時間	20MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	単位	
0	0	0	8192 ステート	0.41	0.51	0.68	0.8	1.0	1.3	2.0	ms	
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1		
	1	0	32768 ステート	1.6	2.0	2.7	3.3	4.1	5.5	8.2		
		1	65536 ステート	3.3	4.1	5.5	6.6	8.2	10.9	16.4		
1	0	0	131072 ステート	6.6	8.2	10.9	13.1	16.4	21.8	32.8		
		1	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6		
	1	0	リザーブ	–	–	–	–	–	–	–		–
		1	16 ステート*	0.8	1.0	1.3	1.6	2.0	1.7	4.0		μs

■ : 推奨設定時間

【注】 * 設定しないでください。

20.4.4 ソフトウェアスタンバイモードの応用例

NMI端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図20.3に示します。

この例では、SYSCRのNMIEGビットが0にクリアされている（立ち下がりエッジ指定）状態で、NMI割り込みを受け付けた後、NMIEGビットを1にセット（立ち上がりエッジ指定）、SSBYビットを1にセットした後、SLEEP命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

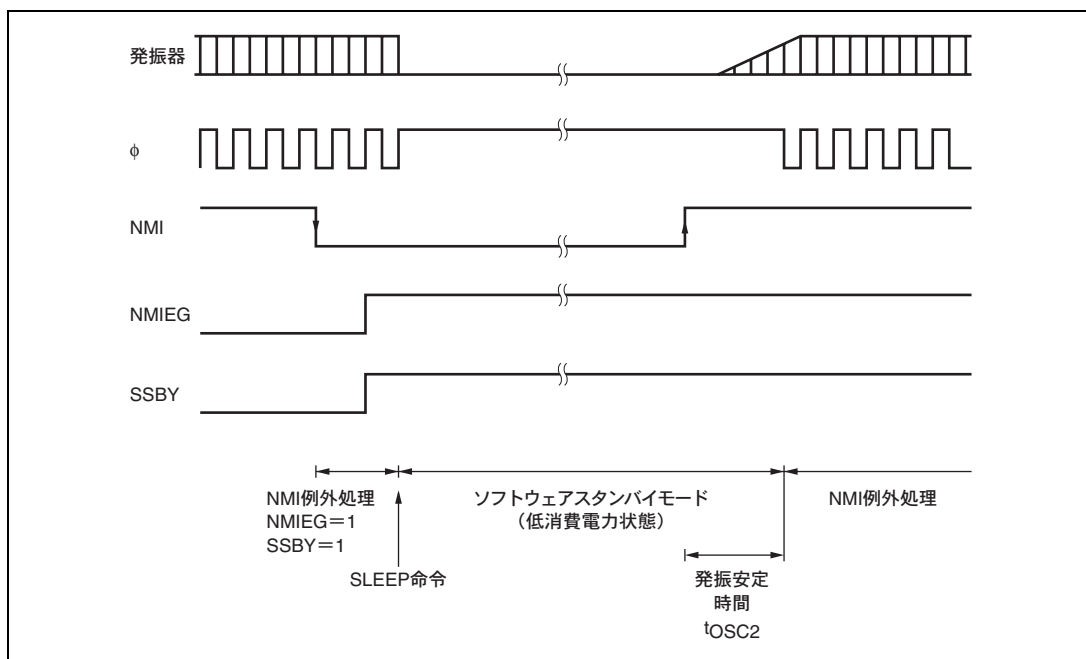


図 20.3 ソフトウェアスタンバイモードの応用例

20.5 ハードウェアスタンバイモード

20.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2、MD0) の状態を変化させないでください。

20.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 8ms 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

20.5.3 ハードウェアスタンバイモードのタイミング

(1) ハードウェアスタンバイモードの遷移タイミング

- SYSCRのRAMEビットを1にセットした状態でRAMの内容を保持する場合

図 20.4 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し 0ns 以上としてください。

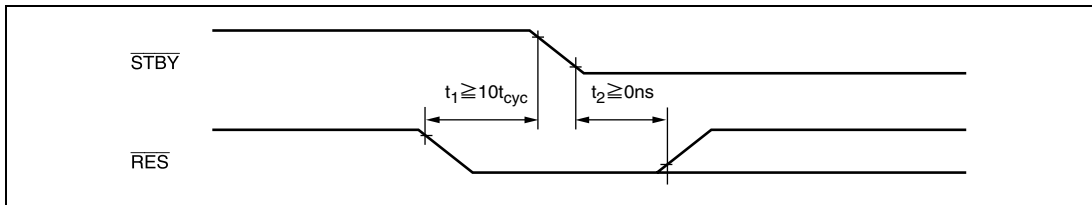


図 20.4 ハードウェアスタンバイモードの遷移タイミング

- SYSCRのRAMEビットを0にクリアした状態またはRAMの内容を保持しない場合

上記のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

(2) ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、100ns 以上前に $\overline{\text{RES}}$ 信号を Low とし、パワーオンリセットしてください。

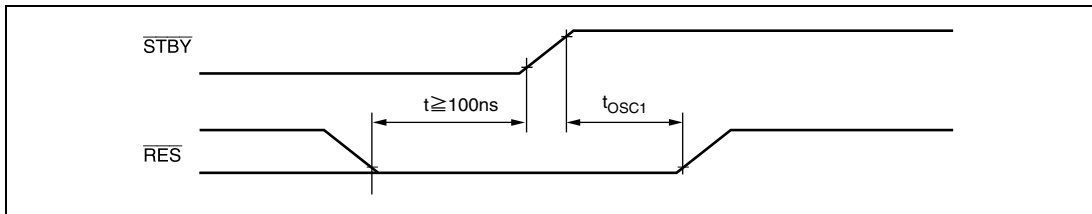


図 20.5 ハードウェアスタンバイモードからの復帰タイミング

20.6 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI (SCI の一部のレジスタの内部状態は保持されます。)、PWM、HCAN*、および A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、すべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

【注】 * H8S/2280 グループには本機能はありません。

20.7 ウォッチモード

20.7.1 ウォッチモードへの遷移

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY=1、LPWRCR の DTON=0、TCSR_1 (WDT_1) の PSS=1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT_1、LCD 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、SCI、PWM、HCAN*、および A/D 変換器を除く内蔵周辺機能と、I/O ポートの状態は保持されます。

【注】 * H8S/2280 グループには本機能はありません。

20.7.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOV11 割り込み、NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$ 端子)、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生するとウォッチモードは解除され、LPWRCR の LSON=0 のときは高速モードあるいは中速モードに、LSON=1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2 \sim STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0 \sim IRQ5 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合は、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「20.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「20.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.8 サブスリープモード

20.8.1 サブスリープモードへの遷移

サブアクティブモードにおいて、SBYCR の SSBY=0、LPWRCR の LSON=1、TCSR_1 (WDT_1) の PSS=1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、WDT_0、WDT_1、LCD 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、SCI、PWM、HCAN*、および A/D 変換器を除く内蔵周辺機能と、I/O ポートの状態は保持されます。

【注】 * H8S/2280 グループには本機能はありません。

20.8.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み（WOVI0、WOVI1 割り込み、NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$ 端子）、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生するとサブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ0～IRQ5 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合は、サブスリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「20.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.9 サブアクティブモード

20.9.1 サブアクティブモードへの遷移

高速モードにおいて、SBYCR の SSBY=1、LPWRCR の DTON=1、LSON=1、TCSR_1 (WDT_1) の PSS=1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON=1 の状態であれば、サブアクティブモードに遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより低速動作で順次プログラムを実行します。サブアクティブモードでは WDT_0、WDT_1、LCD 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SCKCR の SCK2～SCK0 の各ビットを必ず 0 としてください。

20.9.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

- SLEEP 命令による解除

SBYCR の SSBY=1、LPWRCR の DTON=0、TCSR_1 (WDT_1) の PSS=1 の状態で SLEEP 命令を実行すると、サブアクティブモードは解除されウォッチモードに遷移します。SBYCR の SSBY=0、LPWRCR の LSON=1、TCSR_1 (WDT_1) の PSS=1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY=1、LPWRCR の DTON=1、LSON=0、TCSR_1 (WDT_1) の PSS=1 の状態で SLEEP 命令を実行すると、高速モード (SCK0～SCK2 がすべて 0) に直接遷移します。

20. 低消費電力状態

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「20.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.10 直接遷移

CPU がプログラムを実行している動作モードには、高速モード、中速モード、サブアクティブモードの3つのモードがあります。プログラムを停止することなく高速モードとサブアクティブモードの間で、遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON ビットを 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

20.10.1 高速モードからサブアクティブモードへの直接遷移

高速モードで SBYCR の SSBY=1、LPWRCR の LSON=1、DTON=1、TCSR_1 (WDT_1) の PSS=1 にセットした状態で SLEEP 命令を実行すると、サブアクティブモードに遷移します。

20.10.2 サブアクティブモードから高速モードへの直接遷移

サブアクティブモードで SBYCR の SSBY=1、LPWRCR の LSON=0、DTON=1、TCSR_1 (WDT_1) の PSS=1 の状態で SLEEP 命令を実行すると、SBYCR の STS2~STS0 により設定された時間を経過した後、直接高速モードに遷移します。

20.11 ϕ クロック出力制御

SCKCR の PSTOP ビットと対応するポートの DDR により、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で ϕ クロックは停止し、 ϕ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 ϕ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 ϕ クロック出力は禁止され、入力ポートになります。表 20.4 に各処理状態における ϕ 端子の状態を示します。

表 20.4 各処理状態における ϕ 端子の状態

レジスタの設定値		高速モード、 中速モード	サブアクティブ モード	スリープモード、 サブスリープモード	ソフトウェア スタンバイモード、 ウォッチモード、 直接遷移	ハードウェア スタンバイモード
DDR	PSTOP					
0	X	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
1	0	ϕ 出力	ϕ_{SUB} 出力	ϕ 出力	High 固定	ハイインピーダンス
1	1	High 固定	High 固定	High 固定	High 固定	ハイインピーダンス

20.12 使用上の注意事項

20.12.1 I/O ポートの状態

ウォッチモードでは I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されます。

20.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

20.12.3 内蔵周辺モジュール割り込み

サブアクティブモードで動作停止する内蔵周辺モジュール (TPU) は、当該割り込みをサブアクティブモードでクリアできません。したがって、割り込みが要求された状態でサブアクティブモードに移移すると、CPU の割り込み要因のクリアができません。事前に各モジュールの割り込みをディスエーブルにした後、SLEEP 命令を実行し、サブアクティブモード、ウォッチモードに移移してください。

20.12.4 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

21. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成、および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧(アドレス順)」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「—」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧(アドレス順)」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

21. レジスタ一覧

21.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
マスタコントロールレジスタ	MCR	8	H'F800	HCAN*2	16	4
ジェネラルステータスレジスタ	GSR	8	H'F801	HCAN*2	16	4
ビットコンフィギュレーションレジスタ	BCR	16	H'F802	HCAN*2	16	4
メールボックスコンフィギュレーション レジスタ	MBCR	16	H'F804	HCAN*2	16	4
送信待ちレジスタ	TXPR	16	H'F806	HCAN*2	16	4
送信待ち取り消しレジスタ	TXCR	16	H'F808	HCAN*2	16	4
送信アクノレッジレジスタ	TXACK	16	H'F80A	HCAN*2	16	4
取り消しアクノレッジレジスタ	ABACK	16	H'F80C	HCAN*2	16	4
受信完了レジスタ	RXPR	16	H'F80E	HCAN*2	16	4
リモートリクエストレジスタ	RFPR	16	H'F810	HCAN*2	16	4
インタラプトレジスタ	IRR	16	H'F812	HCAN*2	16	4
メールボックスインタラプトマスクレジスタ	MBIMR	16	H'F814	HCAN*2	16	4
インタラプトマスクレジスタ	IMR	16	H'F816	HCAN*2	16	4
受信エラーカウンタ	REC	8	H'F818	HCAN*2	16	4
送信エラーカウンタ	TEC	8	H'F819	HCAN*2	16	4
未読メッセージステータスレジスタ	UMSR	16	H'F81A	HCAN*2	16	4
ローカルアクセプタンスフィルタマスク L	LAFML	16	H'F81C	HCAN*2	16	4
ローカルアクセプタンスフィルタマスク H	LAFMH	16	H'F81E	HCAN*2	16	4
メッセージコントロール 0[1]	MC0[1]	8	H'F820	HCAN*2	16	4
メッセージコントロール 0[2]	MC0[2]	8	H'F821	HCAN*2	16	4
メッセージコントロール 0[3]	MC0[3]	8	H'F822	HCAN*2	16	4
メッセージコントロール 0[4]	MC0[4]	8	H'F823	HCAN*2	16	4
メッセージコントロール 0[5]	MC0[5]	8	H'F824	HCAN*2	16	4
メッセージコントロール 0[6]	MC0[6]	8	H'F825	HCAN*2	16	4
メッセージコントロール 0[7]	MC0[7]	8	H'F826	HCAN*2	16	4
メッセージコントロール 0[8]	MC0[8]	8	H'F827	HCAN*2	16	4
メッセージコントロール 1[1]	MC1[1]	8	H'F828	HCAN*2	16	4
メッセージコントロール 1[2]	MC1[2]	8	H'F829	HCAN*2	16	4
メッセージコントロール 1[3]	MC1[3]	8	H'F82A	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージコントロール 1[4]	MC1[4]	8	H'F82B	HCAN*2	16	4
メッセージコントロール 1[5]	MC1[5]	8	H'F82C	HCAN*2	16	4
メッセージコントロール 1[6]	MC1[6]	8	H'F82D	HCAN*2	16	4
メッセージコントロール 1[7]	MC1[7]	8	H'F82E	HCAN*2	16	4
メッセージコントロール 1[8]	MC1[8]	8	H'F82F	HCAN*2	16	4
メッセージコントロール 2[1]	MC2[1]	8	H'F830	HCAN*2	16	4
メッセージコントロール 2[2]	MC2[2]	8	H'F831	HCAN*2	16	4
メッセージコントロール 2[3]	MC2[3]	8	H'F832	HCAN*2	16	4
メッセージコントロール 2[4]	MC2[4]	8	H'F833	HCAN*2	16	4
メッセージコントロール 2[5]	MC2[5]	8	H'F834	HCAN*2	16	4
メッセージコントロール 2[6]	MC2[6]	8	H'F835	HCAN*2	16	4
メッセージコントロール 2[7]	MC2[7]	8	H'F836	HCAN*2	16	4
メッセージコントロール 2[8]	MC2[8]	8	H'F837	HCAN*2	16	4
メッセージコントロール 3[1]	MC3[1]	8	H'F838	HCAN*2	16	4
メッセージコントロール 3[2]	MC3[2]	8	H'F839	HCAN*2	16	4
メッセージコントロール 3[3]	MC3[3]	8	H'F83A	HCAN*2	16	4
メッセージコントロール 3[4]	MC3[4]	8	H'F83B	HCAN*2	16	4
メッセージコントロール 3[5]	MC3[5]	8	H'F83C	HCAN*2	16	4
メッセージコントロール 3[6]	MC3[6]	8	H'F83D	HCAN*2	16	4
メッセージコントロール 3[7]	MC3[7]	8	H'F83E	HCAN*2	16	4
メッセージコントロール 3[8]	MC3[8]	8	H'F83F	HCAN*2	16	4
メッセージコントロール 4[1]	MC4[1]	8	H'F840	HCAN*2	16	4
メッセージコントロール 4[2]	MC4[2]	8	H'F841	HCAN*2	16	4
メッセージコントロール 4[3]	MC4[3]	8	H'F842	HCAN*2	16	4
メッセージコントロール 4[4]	MC4[4]	8	H'F843	HCAN*2	16	4
メッセージコントロール 4[5]	MC4[5]	8	H'F844	HCAN*2	16	4
メッセージコントロール 4[6]	MC4[6]	8	H'F845	HCAN*2	16	4
メッセージコントロール 4[7]	MC4[7]	8	H'F846	HCAN*2	16	4
メッセージコントロール 4[8]	MC4[8]	8	H'F847	HCAN*2	16	4
メッセージコントロール 5[1]	MC5[1]	8	H'F848	HCAN*2	16	4
メッセージコントロール 5[2]	MC5[2]	8	H'F849	HCAN*2	16	4
メッセージコントロール 5[3]	MC5[3]	8	H'F84A	HCAN*2	16	4
メッセージコントロール 5[4]	MC5[4]	8	H'F84B	HCAN*2	16	4
メッセージコントロール 5[5]	MC5[5]	8	H'F84C	HCAN*2	16	4
メッセージコントロール 5[6]	MC5[6]	8	H'F84D	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージコントロール 5[7]	MC5[7]	8	H'F84E	HCAN*2	16	4
メッセージコントロール 5[8]	MC5[8]	8	H'F84F	HCAN*2	16	4
メッセージコントロール 6[1]	MC6[1]	8	H'F850	HCAN*2	16	4
メッセージコントロール 6[2]	MC6[2]	8	H'F851	HCAN*2	16	4
メッセージコントロール 6[3]	MC6[3]	8	H'F852	HCAN*2	16	4
メッセージコントロール 6[4]	MC6[4]	8	H'F853	HCAN*2	16	4
メッセージコントロール 6[5]	MC6[5]	8	H'F854	HCAN*2	16	4
メッセージコントロール 6[6]	MC6[6]	8	H'F855	HCAN*2	16	4
メッセージコントロール 6[7]	MC6[7]	8	H'F856	HCAN*2	16	4
メッセージコントロール 6[8]	MC6[8]	8	H'F857	HCAN*2	16	4
メッセージコントロール 7[1]	MC7[1]	8	H'F858	HCAN*2	16	4
メッセージコントロール 7[2]	MC7[2]	8	H'F859	HCAN*2	16	4
メッセージコントロール 7[3]	MC7[3]	8	H'F85A	HCAN*2	16	4
メッセージコントロール 7[4]	MC7[4]	8	H'F85B	HCAN*2	16	4
メッセージコントロール 7[5]	MC7[5]	8	H'F85C	HCAN*2	16	4
メッセージコントロール 7[6]	MC7[6]	8	H'F85D	HCAN*2	16	4
メッセージコントロール 7[7]	MC7[7]	8	H'F85E	HCAN*2	16	4
メッセージコントロール 7[8]	MC7[8]	8	H'F85F	HCAN*2	16	4
メッセージコントロール 8[1]	MC8[1]	8	H'F860	HCAN*2	16	4
メッセージコントロール 8[2]	MC8[2]	8	H'F861	HCAN*2	16	4
メッセージコントロール 8[3]	MC8[3]	8	H'F862	HCAN*2	16	4
メッセージコントロール 8[4]	MC8[4]	8	H'F863	HCAN*2	16	4
メッセージコントロール 8[5]	MC8[5]	8	H'F864	HCAN*2	16	4
メッセージコントロール 8[6]	MC8[6]	8	H'F865	HCAN*2	16	4
メッセージコントロール 8[7]	MC8[7]	8	H'F866	HCAN*2	16	4
メッセージコントロール 8[8]	MC8[8]	8	H'F867	HCAN*2	16	4
メッセージコントロール 9[1]	MC9[1]	8	H'F868	HCAN*2	16	4
メッセージコントロール 9[2]	MC9[2]	8	H'F869	HCAN*2	16	4
メッセージコントロール 9[3]	MC9[3]	8	H'F86A	HCAN*2	16	4
メッセージコントロール 9[4]	MC9[4]	8	H'F86B	HCAN*2	16	4
メッセージコントロール 9[5]	MC9[5]	8	H'F86C	HCAN*2	16	4
メッセージコントロール 9[6]	MC9[6]	8	H'F86D	HCAN*2	16	4
メッセージコントロール 9[7]	MC9[7]	8	H'F86E	HCAN*2	16	4
メッセージコントロール 9[8]	MC9[8]	8	H'F86F	HCAN*2	16	4
メッセージコントロール 10[1]	MC10[1]	8	H'F870	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージコントロール 10[2]	MC10[2]	8	H'F871	HCAN*2	16	4
メッセージコントロール 10[3]	MC10[3]	8	H'F872	HCAN*2	16	4
メッセージコントロール 10[4]	MC10[4]	8	H'F873	HCAN*2	16	4
メッセージコントロール 10[5]	MC10[5]	8	H'F874	HCAN*2	16	4
メッセージコントロール 10[6]	MC10[6]	8	H'F875	HCAN*2	16	4
メッセージコントロール 10[7]	MC10[7]	8	H'F876	HCAN*2	16	4
メッセージコントロール 10[8]	MC10[8]	8	H'F877	HCAN*2	16	4
メッセージコントロール 11[1]	MC11[1]	8	H'F878	HCAN*2	16	4
メッセージコントロール 11[2]	MC11[2]	8	H'F879	HCAN*2	16	4
メッセージコントロール 11[3]	MC11[3]	8	H'F87A	HCAN*2	16	4
メッセージコントロール 11[4]	MC11[4]	8	H'F87B	HCAN*2	16	4
メッセージコントロール 11[5]	MC11[5]	8	H'F87C	HCAN*2	16	4
メッセージコントロール 11[6]	MC11[6]	8	H'F87D	HCAN*2	16	4
メッセージコントロール 11[7]	MC11[7]	8	H'F87E	HCAN*2	16	4
メッセージコントロール 11[8]	MC11[8]	8	H'F87F	HCAN*2	16	4
メッセージコントロール 12[1]	MC12[1]	8	H'F880	HCAN*2	16	4
メッセージコントロール 12[2]	MC12[2]	8	H'F881	HCAN*2	16	4
メッセージコントロール 12[3]	MC12[3]	8	H'F882	HCAN*2	16	4
メッセージコントロール 12[4]	MC12[4]	8	H'F883	HCAN*2	16	4
メッセージコントロール 12[5]	MC12[5]	8	H'F884	HCAN*2	16	4
メッセージコントロール 12[6]	MC12[6]	8	H'F885	HCAN*2	16	4
メッセージコントロール 12[7]	MC12[7]	8	H'F886	HCAN*2	16	4
メッセージコントロール 12[8]	MC12[8]	8	H'F887	HCAN*2	16	4
メッセージコントロール 13[1]	MC13[1]	8	H'F888	HCAN*2	16	4
メッセージコントロール 13[2]	MC13[2]	8	H'F889	HCAN*2	16	4
メッセージコントロール 13[3]	MC13[3]	8	H'F88A	HCAN*2	16	4
メッセージコントロール 13[4]	MC13[4]	8	H'F88B	HCAN*2	16	4
メッセージコントロール 13[5]	MC13[5]	8	H'F88C	HCAN*2	16	4
メッセージコントロール 13[6]	MC13[6]	8	H'F88D	HCAN*2	16	4
メッセージコントロール 13[7]	MC13[7]	8	H'F88E	HCAN*2	16	4
メッセージコントロール 13[8]	MC13[8]	8	H'F88F	HCAN*2	16	4
メッセージコントロール 14[1]	MC14[1]	8	H'F890	HCAN*2	16	4
メッセージコントロール 14[2]	MC14[2]	8	H'F891	HCAN*2	16	4
メッセージコントロール 14[3]	MC14[3]	8	H'F892	HCAN*2	16	4
メッセージコントロール 14[4]	MC14[4]	8	H'F893	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージコントロール 14[5]	MC14[5]	8	H'F894	HCAN*2	16	4
メッセージコントロール 14[6]	MC14[6]	8	H'F895	HCAN*2	16	4
メッセージコントロール 14[7]	MC14[7]	8	H'F896	HCAN*2	16	4
メッセージコントロール 14[8]	MC14[8]	8	H'F897	HCAN*2	16	4
メッセージコントロール 15[1]	MC15[1]	8	H'F898	HCAN*2	16	4
メッセージコントロール 15[2]	MC15[2]	8	H'F899	HCAN*2	16	4
メッセージコントロール 15[3]	MC15[3]	8	H'F89A	HCAN*2	16	4
メッセージコントロール 15[4]	MC15[4]	8	H'F89B	HCAN*2	16	4
メッセージコントロール 15[5]	MC15[5]	8	H'F89C	HCAN*2	16	4
メッセージコントロール 15[6]	MC15[6]	8	H'F89D	HCAN*2	16	4
メッセージコントロール 15[7]	MC15[7]	8	H'F89E	HCAN*2	16	4
メッセージコントロール 15[8]	MC15[8]	8	H'F89F	HCAN*2	16	4
メッセージデータ 0[1]	MD0[1]	8	H'F8B0	HCAN*2	16	4
メッセージデータ 0[2]	MD0[2]	8	H'F8B1	HCAN*2	16	4
メッセージデータ 0[3]	MD0[3]	8	H'F8B2	HCAN*2	16	4
メッセージデータ 0[4]	MD0[4]	8	H'F8B3	HCAN*2	16	4
メッセージデータ 0[5]	MD0[5]	8	H'F8B4	HCAN*2	16	4
メッセージデータ 0[6]	MD0[6]	8	H'F8B5	HCAN*2	16	4
メッセージデータ 0[7]	MD0[7]	8	H'F8B6	HCAN*2	16	4
メッセージデータ 0[8]	MD0[8]	8	H'F8B7	HCAN*2	16	4
メッセージデータ 1[1]	MD1[1]	8	H'F8B8	HCAN*2	16	4
メッセージデータ 1[2]	MD1[2]	8	H'F8B9	HCAN*2	16	4
メッセージデータ 1[3]	MD1[3]	8	H'F8BA	HCAN*2	16	4
メッセージデータ 1[4]	MD1[4]	8	H'F8BB	HCAN*2	16	4
メッセージデータ 1[5]	MD1[5]	8	H'F8BC	HCAN*2	16	4
メッセージデータ 1[6]	MD1[6]	8	H'F8BD	HCAN*2	16	4
メッセージデータ 1[7]	MD1[7]	8	H'F8BE	HCAN*2	16	4
メッセージデータ 1[8]	MD1[8]	8	H'F8BF	HCAN*2	16	4
メッセージデータ 2[1]	MD2[1]	8	H'F8C0	HCAN*2	16	4
メッセージデータ 2[2]	MD2[2]	8	H'F8C1	HCAN*2	16	4
メッセージデータ 2[3]	MD2[3]	8	H'F8C2	HCAN*2	16	4
メッセージデータ 2[4]	MD2[4]	8	H'F8C3	HCAN*2	16	4
メッセージデータ 2[5]	MD2[5]	8	H'F8C4	HCAN*2	16	4
メッセージデータ 2[6]	MD2[6]	8	H'F8C5	HCAN*2	16	4
メッセージデータ 2[7]	MD2[7]	8	H'F8C6	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージデータ 2[8]	MD2[8]	8	H'F8C7	HCAN*2	16	4
メッセージデータ 3[1]	MD3[1]	8	H'F8C8	HCAN*2	16	4
メッセージデータ 3[2]	MD3[2]	8	H'F8C9	HCAN*2	16	4
メッセージデータ 3[3]	MD3[3]	8	H'F8CA	HCAN*2	16	4
メッセージデータ 3[4]	MD3[4]	8	H'F8CB	HCAN*2	16	4
メッセージデータ 3[5]	MD3[5]	8	H'F8CC	HCAN*2	16	4
メッセージデータ 3[6]	MD3[6]	8	H'F8CD	HCAN*2	16	4
メッセージデータ 3[7]	MD3[7]	8	H'F8CE	HCAN*2	16	4
メッセージデータ 3[8]	MD3[8]	8	H'F8CF	HCAN*2	16	4
メッセージデータ 4[1]	MD4[1]	8	H'F8D0	HCAN*2	16	4
メッセージデータ 4[2]	MD4[2]	8	H'F8D1	HCAN*2	16	4
メッセージデータ 4[3]	MD4[3]	8	H'F8D2	HCAN*2	16	4
メッセージデータ 4[4]	MD4[4]	8	H'F8D3	HCAN*2	16	4
メッセージデータ 4[5]	MD4[5]	8	H'F8D4	HCAN*2	16	4
メッセージデータ 4[6]	MD4[6]	8	H'F8D5	HCAN*2	16	4
メッセージデータ 4[7]	MD4[7]	8	H'F8D6	HCAN*2	16	4
メッセージデータ 4[8]	MD4[8]	8	H'F8D7	HCAN*2	16	4
メッセージデータ 5[1]	MD5[1]	8	H'F8D8	HCAN*2	16	4
メッセージデータ 5[2]	MD5[2]	8	H'F8D9	HCAN*2	16	4
メッセージデータ 5[3]	MD5[3]	8	H'F8DA	HCAN*2	16	4
メッセージデータ 5[4]	MD5[4]	8	H'F8DB	HCAN*2	16	4
メッセージデータ 5[5]	MD5[5]	8	H'F8DC	HCAN*2	16	4
メッセージデータ 5[6]	MD5[6]	8	H'F8DD	HCAN*2	16	4
メッセージデータ 5[7]	MD5[7]	8	H'F8DE	HCAN*2	16	4
メッセージデータ 5[8]	MD5[8]	8	H'F8DF	HCAN*2	16	4
メッセージデータ 6[1]	MD6[1]	8	H'F8E0	HCAN*2	16	4
メッセージデータ 6[2]	MD6[2]	8	H'F8E1	HCAN*2	16	4
メッセージデータ 6[3]	MD6[3]	8	H'F8E2	HCAN*2	16	4
メッセージデータ 6[4]	MD6[4]	8	H'F8E3	HCAN*2	16	4
メッセージデータ 6[5]	MD6[5]	8	H'F8E4	HCAN*2	16	4
メッセージデータ 6[6]	MD6[6]	8	H'F8E5	HCAN*2	16	4
メッセージデータ 6[7]	MD6[7]	8	H'F8E6	HCAN*2	16	4
メッセージデータ 6[8]	MD6[8]	8	H'F8E7	HCAN*2	16	4
メッセージデータ 7[1]	MD7[1]	8	H'F8E8	HCAN*2	16	4
メッセージデータ 7[2]	MD7[2]	8	H'F8E9	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージデータ 7[3]	MD7[3]	8	H'F8EA	HCAN*2	16	4
メッセージデータ 7[4]	MD7[4]	8	H'F8EB	HCAN*2	16	4
メッセージデータ 7[5]	MD7[5]	8	H'F8EC	HCAN*2	16	4
メッセージデータ 7[6]	MD7[6]	8	H'F8ED	HCAN*2	16	4
メッセージデータ 7[7]	MD7[7]	8	H'F8EE	HCAN*2	16	4
メッセージデータ 7[8]	MD7[8]	8	H'F8EF	HCAN*2	16	4
メッセージデータ 8[1]	MD8[1]	8	H'F8F0	HCAN*2	16	4
メッセージデータ 8[2]	MD8[2]	8	H'F8F1	HCAN*2	16	4
メッセージデータ 8[3]	MD8[3]	8	H'F8F2	HCAN*2	16	4
メッセージデータ 8[4]	MD8[4]	8	H'F8F3	HCAN*2	16	4
メッセージデータ 8[5]	MD8[5]	8	H'F8F4	HCAN*2	16	4
メッセージデータ 8[6]	MD8[6]	8	H'F8F5	HCAN*2	16	4
メッセージデータ 8[7]	MD8[7]	8	H'F8F6	HCAN*2	16	4
メッセージデータ 8[8]	MD8[8]	8	H'F8F7	HCAN*2	16	4
メッセージデータ 9[1]	MD9[1]	8	H'F8F8	HCAN*2	16	4
メッセージデータ 9[2]	MD9[2]	8	H'F8F9	HCAN*2	16	4
メッセージデータ 9[3]	MD9[3]	8	H'F8FA	HCAN*2	16	4
メッセージデータ 9[4]	MD9[4]	8	H'F8FB	HCAN*2	16	4
メッセージデータ 9[5]	MD9[5]	8	H'F8FC	HCAN*2	16	4
メッセージデータ 9[6]	MD9[6]	8	H'F8FD	HCAN*2	16	4
メッセージデータ 9[7]	MD9[7]	8	H'F8FE	HCAN*2	16	4
メッセージデータ 9[8]	MD9[8]	8	H'F8FF	HCAN*2	16	4
メッセージデータ 10[1]	MD10[1]	8	H'F900	HCAN*2	16	4
メッセージデータ 10[2]	MD10[2]	8	H'F901	HCAN*2	16	4
メッセージデータ 10[3]	MD10[3]	8	H'F902	HCAN*2	16	4
メッセージデータ 10[4]	MD10[4]	8	H'F903	HCAN*2	16	4
メッセージデータ 10[5]	MD10[5]	8	H'F904	HCAN*2	16	4
メッセージデータ 10[6]	MD10[6]	8	H'F905	HCAN*2	16	4
メッセージデータ 10[7]	MD10[7]	8	H'F906	HCAN*2	16	4
メッセージデータ 10[8]	MD10[8]	8	H'F907	HCAN*2	16	4
メッセージデータ 11[1]	MD11[1]	8	H'F908	HCAN*2	16	4
メッセージデータ 11[2]	MD11[2]	8	H'F909	HCAN*2	16	4
メッセージデータ 11[3]	MD11[3]	8	H'F90A	HCAN*2	16	4
メッセージデータ 11[4]	MD11[4]	8	H'F90B	HCAN*2	16	4
メッセージデータ 11[5]	MD11[5]	8	H'F90C	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージデータ 11[6]	MD11[6]	8	H'F90D	HCAN*2	16	4
メッセージデータ 11[7]	MD11[7]	8	H'F90E	HCAN*2	16	4
メッセージデータ 11[8]	MD11[8]	8	H'F90F	HCAN*2	16	4
メッセージデータ 12[1]	MD12[1]	8	H'F910	HCAN*2	16	4
メッセージデータ 12[2]	MD12[2]	8	H'F911	HCAN*2	16	4
メッセージデータ 12[3]	MD12[3]	8	H'F912	HCAN*2	16	4
メッセージデータ 12[4]	MD12[4]	8	H'F913	HCAN*2	16	4
メッセージデータ 12[5]	MD12[5]	8	H'F914	HCAN*2	16	4
メッセージデータ 12[6]	MD12[6]	8	H'F915	HCAN*2	16	4
メッセージデータ 12[7]	MD12[7]	8	H'F916	HCAN*2	16	4
メッセージデータ 12[8]	MD12[8]	8	H'F917	HCAN*2	16	4
メッセージデータ 13[1]	MD13[1]	8	H'F918	HCAN*2	16	4
メッセージデータ 13[2]	MD13[2]	8	H'F919	HCAN*2	16	4
メッセージデータ 13[3]	MD13[3]	8	H'F91A	HCAN*2	16	4
メッセージデータ 13[4]	MD13[4]	8	H'F91B	HCAN*2	16	4
メッセージデータ 13[5]	MD13[5]	8	H'F91C	HCAN*2	16	4
メッセージデータ 13[6]	MD13[6]	8	H'F91D	HCAN*2	16	4
メッセージデータ 13[7]	MD13[7]	8	H'F91E	HCAN*2	16	4
メッセージデータ 13[8]	MD13[8]	8	H'F91F	HCAN*2	16	4
メッセージデータ 14[1]	MD14[1]	8	H'F920	HCAN*2	16	4
メッセージデータ 14[2]	MD14[2]	8	H'F921	HCAN*2	16	4
メッセージデータ 14[3]	MD14[3]	8	H'F922	HCAN*2	16	4
メッセージデータ 14[4]	MD14[4]	8	H'F923	HCAN*2	16	4
メッセージデータ 14[5]	MD14[5]	8	H'F924	HCAN*2	16	4
メッセージデータ 14[6]	MD14[6]	8	H'F925	HCAN*2	16	4
メッセージデータ 14[7]	MD14[7]	8	H'F926	HCAN*2	16	4
メッセージデータ 14[8]	MD14[8]	8	H'F927	HCAN*2	16	4
メッセージデータ 15[1]	MD15[1]	8	H'F928	HCAN*2	16	4
メッセージデータ 15[2]	MD15[2]	8	H'F929	HCAN*2	16	4
メッセージデータ 15[3]	MD15[3]	8	H'F92A	HCAN*2	16	4
メッセージデータ 15[4]	MD15[4]	8	H'F92B	HCAN*2	16	4
メッセージデータ 15[5]	MD15[5]	8	H'F92C	HCAN*2	16	4
メッセージデータ 15[6]	MD15[6]	8	H'F92D	HCAN*2	16	4
メッセージデータ 15[7]	MD15[7]	8	H'F92E	HCAN*2	16	4
メッセージデータ 15[8]	MD15[8]	8	H'F92F	HCAN*2	16	4

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
PWM コントロールレジスタ_1	PWCR_1	8	H'FC00	PWM_1	16	4
PWM アウトプットコントロールレジスタ_1	PWOOCR_1	8	H'FC02	PWM_1	16	4
PWM ポラリティレジスタ_1	PWPR_1	8	H'FC04	PWM_1	16	4
PWM サイクルレジスタ_1	PWCYR_1	16	H'FC06	PWM_1	16	4
PWM バッファレジスタ_1A	PWBFR_1A	16	H'FC08	PWM_1	16	4
PWM バッファレジスタ_1C	PWBFR_1C	16	H'FC0A	PWM_1	16	4
PWM バッファレジスタ_1E	PWBFR_1E	16	H'FC0C	PWM_1	16	4
PWM バッファレジスタ_1G	PWBFR_1G	16	H'FC0E	PWM_1	16	4
PWM コントロールレジスタ_2	PWCR_2	8	H'FC10	PWM_2	16	4
PWM アウトプットコントロールレジスタ_2	PWOOCR_2	8	H'FC12	PWM_2	16	4
PWM ポラリティレジスタ_2	PWPR_2	8	H'FC14	PWM_2	16	4
PWM サイクルレジスタ_2	PWCYR_2	16	H'FC16	PWM_2	16	4
PWM バッファレジスタ_2A	PWBFR_2A	16	H'FC18	PWM_2	16	4
PWM バッファレジスタ_2B	PWBFR_2B	16	H'FC1A	PWM_2	16	4
PWM バッファレジスタ_2C	PWBFR_2C	16	H'FC1C	PWM_2	16	4
PWM バッファレジスタ_2D	PWBFR_2D	16	H'FC1E	PWM_2	16	4
ポートHデータディレクションレジスタ	PHDDR	8	H'FC20	PORT	16	4
ポートJデータディレクションレジスタ	PJDDR	8	H'FC21	PORT	16	4
ポートHデータレジスタ	PHDR	8	H'FC24	PORT	16	4
ポートJデータレジスタ	PJDR	8	H'FC25	PORT	16	4
ポートHレジスタ	PORTH	8	H'FC28	PORT	16	4
ポートJレジスタ	PORTJ	8	H'FC29	PORT	16	4
トランスポートレジスタ	TRPRT	8	H'FC2E	PORT	8	4
LCD ポートコントロールレジスタ	LPCR	8	H'FC30	LCD	16	4
LCD コントロールレジスタ	LCR	8	H'FC31	LCD	16	4
LCD コントロールレジスタ 2	LCR2	8	H'FC32	LCD	16	4
モジュールストップコントロールレジスタ D	MSTPCRD	8	H'FC60	SYSTEM	8	4
スタンバイコントロールレジスタ	SBYCR	8	H'FDE4	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FDE5	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FDE6	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FDE7	SYSTEM	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FDE8	SYSTEM	8	2
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FDE9	SYSTEM	8	2
モジュールストップコントロールレジスタ C	MSTPCRC	8	H'FDEA	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FDEC	SYSTEM	8	2

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
IRQ センスコントロールレジスタ H	ISCRH	8	H'FE12	INT	8	2
IRQ センスコントロールレジスタ L	ISCR L	8	H'FE13	INT	8	2
IRQ イネーブルレジスタ	IER	8	H'FE14	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FE15	INT	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE30	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE32	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FE39	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FE3A	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE3B	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'FE3C	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE3E	PORT	8	2
ポート 3 オープンドレインコントロール レジスタ	P3ODR	8	H'FE46	PORT	8	2
ポート A オープンドレインコントロール レジスタ	PAODR	8	H'FE47	PORT	8	2
ポート B オープンドレインコントロール レジスタ	PBODR	8	H'FE48	PORT	8	2
ポート C オープンドレインコントロール レジスタ	PCODR	8	H'FE49	PORT	8	2
タイマスタートレジスタ	TSTR	8	H'FEB0	TPU	16	2
タイマシンクロレジスタ	TSYR	8	H'FEB1	TPU	16	2
インタラプトプライオリティレジスタ A	IPRA	8	H'FEC0	INT	8	2
インタラプトプライオリティレジスタ B	IPRB	8	H'FEC1	INT	8	2
インタラプトプライオリティレジスタ C	IPRC	8	H'FEC2	INT	8	2
インタラプトプライオリティレジスタ D	IPRD	8	H'FEC3	INT	8	2
インタラプトプライオリティレジスタ E	IPRE	8	H'FEC4	INT	8	2
インタラプトプライオリティレジスタ F	IPRF	8	H'FEC5	INT	8	2
インタラプトプライオリティレジスタ G	IPRG	8	H'FEC6	INT	8	2
インタラプトプライオリティレジスタ J	IPRJ	8	H'FEC9	INT	8	2
インタラプトプライオリティレジスタ K	IPRK	8	H'FECA	INT	8	2
インタラプトプライオリティレジスタ M	IPRM	8	H'FECC	INT	8	2
RAM エミュレーションレジスタ	RAMER*2	8	H'FEDB	FLASH (F-ZTAT 版)	8	2
ポート 1 データレジスタ	P1DR	8	H'FF00	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FF02	PORT	8	2
ポート A データレジスタ	PADR	8	H'FF09	PORT	8	2

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ポート B データレジスタ	PBDR	8	H'FF0A	PORT	8	2
ポート C データレジスタ	PCDR	8	H'FF0B	PORT	8	2
ポート D データレジスタ	PDDR	8	H'FF0C	PORT	8	2
ポート F データレジスタ	PFDR	8	H'FF0E	PORT	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FF10	TPU_0	16	2
タイマモードレジスタ_0	TMDR_0	8	H'FF11	TPU_0	16	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FF12	TPU_0	16	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FF13	TPU_0	16	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FF14	TPU_0	16	2
タイマステータスレジスタ_0	TSR_0	8	H'FF15	TPU_0	16	2
タイマカウンタ H_0	TCNTH_0	8	H'FF16	TPU_0	16	2
タイマカウンタ L_0	TCNTL_0	8	H'FF17	TPU_0	16	2
タイマジェネラルレジスタ AH_0	TGRAH_0	8	H'FF18	TPU_0	16	2
タイマジェネラルレジスタ AL_0	TGRAL_0	8	H'FF19	TPU_0	16	2
タイマジェネラルレジスタ BH_0	TGRBH_0	8	H'FF1A	TPU_0	16	2
タイマジェネラルレジスタ BL_0	TGRBL_0	8	H'FF1B	TPU_0	16	2
タイマジェネラルレジスタ CH_0	TGRCH_0	8	H'FF1C	TPU_0	16	2
タイマジェネラルレジスタ CL_0	TGRCL_0	8	H'FF1D	TPU_0	16	2
タイマジェネラルレジスタ DH_0	TGRDH_0	8	H'FF1E	TPU_0	16	2
タイマジェネラルレジスタ DL_0	TGRDL_0	8	H'FF1F	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF20	TPU_1	16	2
タイマモードレジスタ_1	TMDR_1	8	H'FF21	TPU_1	16	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FF22	TPU_1	16	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FF24	TPU_1	16	2
タイマステータスレジスタ_1	TSR_1	8	H'FF25	TPU_1	16	2
タイマカウンタ H_1	TCNTH_1	8	H'FF26	TPU_1	16	2
タイマカウンタ L_1	TCNTL_1	8	H'FF27	TPU_1	16	2
タイマジェネラルレジスタ AH_1	TGRAH_1	8	H'FF28	TPU_1	16	2
タイマジェネラルレジスタ AL_1	TGRAL_1	8	H'FF29	TPU_1	16	2
タイマジェネラルレジスタ BH_1	TGRBH_1	8	H'FF2A	TPU_1	16	2
タイマジェネラルレジスタ BL_1	TGRBL_1	8	H'FF2B	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FF30	TPU_2	16	2
タイマモードレジスタ_2	TMDR_2	8	H'FF31	TPU_2	16	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FF32	TPU_2	16	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FF34	TPU_2	16	2

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマステータスレジスタ_2	TSR_2	8	H'FF35	TPU_2	16	2
タイマカウンタ H_2	TCNTH_2	8	H'FF36	TPU_2	16	2
タイマカウンタ L_2	TCNTL_2	8	H'FF37	TPU_2	16	2
タイマジェネラルレジスタ AH_2	TGRAH_2	8	H'FF38	TPU_2	16	2
タイマジェネラルレジスタ AL_2	TGRAL_2	8	H'FF39	TPU_2	16	2
タイマジェネラルレジスタ BH_2	TGRBH_2	8	H'FF3A	TPU_2	16	2
タイマジェネラルレジスタ BL_2	TGRBL_2	8	H'FF3B	TPU_2	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FF74	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FF75	WDT_0	16	2
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FF77	WDT_0	16	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78	SCI_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79	SCI_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	SCI_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	SCI_1	8	2
A/D データレジスタ AH	ADDRAH	8	H'FF90	A/D	8	2
A/D データレジスタ AL	ADDRAL	8	H'FF91	A/D	8	2
A/D データレジスタ BH	ADDRBH	8	H'FF92	A/D	8	2
A/D データレジスタ BL	ADDRBL	8	H'FF93	A/D	8	2
A/D データレジスタ CH	ADDRCH	8	H'FF94	A/D	8	2
A/D データレジスタ CL	ADDRCL	8	H'FF95	A/D	8	2
A/D データレジスタ DH	ADDRDH	8	H'FF96	A/D	8	2
A/D データレジスタ DL	ADDRDL	8	H'FF97	A/D	8	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FF98	A/D	8	2
A/D コントロールレジスタ	ADCR	8	H'FF99	A/D	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFA2	WDT_1	16	2

21. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_1	TCNT_1	8	H'FFA3	WDT_1	16	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFA8	FLASH (F-ZTAT 版)	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFA9	FLASH (F-ZTAT 版)	8	2
消去ブロック指定レジスタ 1	EBR1	8	H'FFAA	FLASH (F-ZTAT 版)	8	2
消去ブロック指定レジスタ 2	EBR2*2	8	H'FFAB	FLASH (F-ZTAT 版)	8	2
フラッシュメモリパワーコントロール レジスタ	FLPWCR	8	H'FFAC	FLASH (F-ZTAT 版)	8	2
ポート 1 レジスタ	PORT1	8	H'FFB0	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FFB2	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FFB3	PORT	8	2
ポート A レジスタ	PORTA	8	H'FFB9	PORT	8	2
ポート B レジスタ	PORTB	8	H'FFBA	PORT	8	2
ポート C レジスタ	PORTC	8	H'FFBB	PORT	8	2
ポート D レジスタ	PORTD	8	H'FFBC	PORT	8	2
ポート F レジスタ	PORTF	8	H'FFBE	PORT	8	2

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 H8S/2280 グループでは本レジスタはリザーブとなります。

21.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16ビットレジスタは、8ビットずつ2段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MCR	MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0	HCAN ^{#2}
GSR	—	—	—	—	GSR3	GSR2	GSR1	GSR0	
BCR	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
	BCR15	BCR14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8	
MBCR	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	—	
	MBCR15	MBCR14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8	
TXPR	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	—	
	TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8	
TXCR	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—	
	TXCR15	TXCR14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8	
TXACK	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	—	
	TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8	
ABACK	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	—	
	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8	
RXPR	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0	
	RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8	
RFPR	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	
	RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8	
IRR	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
	—	—	—	IRR12	—	—	IRR9	IRR8	
MBIMR	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0	
	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8	
IMR	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	—	
	—	—	—	IMR12	—	—	IMR9	IMR8	
REC	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TEC	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
UMSR	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0	
	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8	
LAFML	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0	
	LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
LAFMH	LAFMH7	LAFMH6	LAFMH5	—	—	—	LAFMH1	LAFMH0	HCAN* ²
	LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8	
MC0[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC0[2]	—	—	—	—	—	—	—	—	
MC0[3]	—	—	—	—	—	—	—	—	
MC0[4]	—	—	—	—	—	—	—	—	
MC0[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC0[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC0[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC0[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC1[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC1[2]	—	—	—	—	—	—	—	—	
MC1[3]	—	—	—	—	—	—	—	—	
MC1[4]	—	—	—	—	—	—	—	—	
MC1[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC1[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC1[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC1[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC2[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC2[2]	—	—	—	—	—	—	—	—	
MC2[3]	—	—	—	—	—	—	—	—	
MC2[4]	—	—	—	—	—	—	—	—	
MC2[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC2[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC2[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC2[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC3[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC3[2]	—	—	—	—	—	—	—	—	
MC3[3]	—	—	—	—	—	—	—	—	
MC3[4]	—	—	—	—	—	—	—	—	
MC3[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC3[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC3[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC3[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MC4[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN* ²
MC4[2]	—	—	—	—	—	—	—	—	
MC4[3]	—	—	—	—	—	—	—	—	
MC4[4]	—	—	—	—	—	—	—	—	
MC4[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC4[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC4[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC4[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC5[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC5[2]	—	—	—	—	—	—	—	—	
MC5[3]	—	—	—	—	—	—	—	—	
MC5[4]	—	—	—	—	—	—	—	—	
MC5[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC5[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC5[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC5[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC6[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC6[2]	—	—	—	—	—	—	—	—	
MC6[3]	—	—	—	—	—	—	—	—	
MC6[4]	—	—	—	—	—	—	—	—	
MC6[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC6[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC6[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC6[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC7[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC7[2]	—	—	—	—	—	—	—	—	
MC7[3]	—	—	—	—	—	—	—	—	
MC7[4]	—	—	—	—	—	—	—	—	
MC7[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC7[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC7[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC7[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC8[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC8[2]	—	—	—	—	—	—	—	—	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MC8[3]	—	—	—	—	—	—	—	—	HCAN* ²
MC8[4]	—	—	—	—	—	—	—	—	
MC8[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC8[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC8[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC8[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC9[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC9[2]	—	—	—	—	—	—	—	—	
MC9[3]	—	—	—	—	—	—	—	—	
MC9[4]	—	—	—	—	—	—	—	—	
MC9[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC9[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC9[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC9[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC10[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC10[2]	—	—	—	—	—	—	—	—	
MC10[3]	—	—	—	—	—	—	—	—	
MC10[4]	—	—	—	—	—	—	—	—	
MC10[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC10[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC10[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC10[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC11[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC11[2]	—	—	—	—	—	—	—	—	
MC11[3]	—	—	—	—	—	—	—	—	
MC11[4]	—	—	—	—	—	—	—	—	
MC11[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC11[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC11[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC11[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC12[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC12[2]	—	—	—	—	—	—	—	—	
MC12[3]	—	—	—	—	—	—	—	—	
MC12[4]	—	—	—	—	—	—	—	—	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MC12[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	HCAN* ²
MC12[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC12[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC12[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC13[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC13[2]	—	—	—	—	—	—	—	—	
MC13[3]	—	—	—	—	—	—	—	—	
MC13[4]	—	—	—	—	—	—	—	—	
MC13[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC13[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC13[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC13[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC14[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC14[2]	—	—	—	—	—	—	—	—	
MC14[3]	—	—	—	—	—	—	—	—	
MC14[4]	—	—	—	—	—	—	—	—	
MC14[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC14[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC14[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC14[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC15[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	
MC15[2]	—	—	—	—	—	—	—	—	
MC15[3]	—	—	—	—	—	—	—	—	
MC15[4]	—	—	—	—	—	—	—	—	
MC15[5]	ID-20	ID-19	ID-18	RTR	IDE	—	ID-17	ID-16	
MC15[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC15[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC15[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MD0[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MD0[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	HCAN* ²
MD0[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MD5[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	HCAN*2
MD5[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MD9[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	HCAN* ²
MD9[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
MD13[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	HCAN* ²	
MD13[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD13[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD14[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
MD15[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
PWCR_1	—	—	IE	CMF	CST	CKS2	CKS1	CKS0	PWM_1	
PWOCR_1	OE1H	OE1G	OE1F	OE1E	OE1D	OE1C	OE1B	OE1A		
PWPR_1	OPS1H	OPS1G	OPS1F	OPS1E	OPS1D	OPS1C	OPS1B	OPS1A		
PWCYR_1	—	—	—	—	—	—	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
PWBFR_1A	—	—	—	OTS	—	—	DT9	DT8		
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
PWBFR_1C	—	—	—	OTS	—	—	DT9	DT8		
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
PWBFR_1E	—	—	—	OTS	—	—	DT9	DT8		
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
PWBFR_1G	—	—	—	OTS	—	—	DT9	DT8		
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
PWCR_2	—	—	IE	CMF	CST	CKS2	CKS1	CKS0		PWM_2
PWOCR_2	OE2H	OE2G	OE2F	OE2E	OE2D	OE2C	OE2B	OE2A		

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PWPR_2	OPS2H	OPS2G	OPS2F	OPS2E	OPS2D	OPS2C	OPS2B	OPS2A	PWM_2
PWCYR_2	—	—	—	—	—	—	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PWBFR_2A	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_2B	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_2C	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PWBFR_2D	—	—	—	TDS	—	—	DT9	DT8	
	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	PORT
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
TRPRT	—	—	—	—	—	—	TRPB	TRPA	
LPCR	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0	LCD
LCR	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
LCR2	LCDAB	—	—	—	—	—	—	—	
MSTPCRD	MSTPD7	MSTPD6	—	—	—	—	—	—	SYSTEM
SBYCR	SSBY	STS2	STS1	STS0	—	—	—	—	
SYSCR	—	—	INTM1	INTM0	NMIEG	—	—	RAME	
SCKCR	PSTOP	—	—	—	STCS	SCK2	SCK1	SCK0	
MDCR	—	—	—	—	—	MDS2	—	MDS0	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
LPWRCR	DTON	LSON	—	SUBSTP	RFCUT	—	STC1	STC0	
ISCRH	—	—	—	—	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	INT
ISCR_L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IER	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT	
P3DDR	—	—	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR		
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	—	—	—	—		
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR* ³	PF0DDR* ³		
P3ODR	—	—	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR		
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR		
PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR	TPU 共通	
TSTR	—	—	—	—	—	CST2	CST1	CST0		
TSYR	—	—	—	—	—	SYNC2	SYNC1	SYNC0		
IPRA	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	INT	
IPRB	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRC	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRD	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRE	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRF	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRG	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRJ	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRK	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
IPRM	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
RAMER* ²	—	—	—	—	RAMS	RAM2	RAM1	RAM0	FLASH (F-ZTAT 版)	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT	
P3DR	—	—	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	—	—	—	—		
PFDR	—	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR* ³	PF0DR* ³		
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_0
TMDR_0	—	—	BFB	BFA	MD3	MD2	MD1	MD0		

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	TPU_0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNTH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRBH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRBL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRCH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRCL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRDH_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRDL_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1	
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNTH_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRBH_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRBL_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_2
TMDR_2	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNTH_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TCNTL_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRAH_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
TGRAL_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TGRBH_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	TPU_2	
TGRBL_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCSR_0	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT_0	
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
RSTCSR	WOVF	RSTE	RSTS	—	—	—	—	—		
SMR_0*1	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_0	
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SSR_0*1	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)		
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCMR_0	—	—	—	—	SDIR	SINV	—	SMIF		
SMR_1*1	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_1	
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SSR_1*1	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)		
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCMR_1	—	—	—	—	SDIR	SINV	—	SMIF		
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	
ADDRAL	AD1	AD0	—	—	—	—	—	—		
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRBL	AD1	AD0	—	—	—	—	—	—		
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRCL	AD1	AD0	—	—	—	—	—	—		
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
ADDRDL	AD1	AD0	—	—	—	—	—	—		
ADCSR	ADF	ADIE	ADST	SCAN	—	CH2	CH1	CH0		
ADCR	TRGS1	TRGS0	—	—	CKS1	CKS0	—	—		
TCSR_1	OVF	WT/IT	TME	PSS	RST/ NMI	CKS2	CKS1	CKS0		WDT_1
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		

21. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH (F-ZTAT 版)
FLMCR2	FLER	—	—	—	—	—	—	—	
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2* ²	—	—	—	—	—	—	EB9	EB8	
FLPWCR	PDWND	—	—	—	—	—	—	—	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT3	—	—	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	—	—	—	—	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1* ³	PF0* ³	

【注】 *1 通常モードとスマートカードインタフェースモードで一部のビットが異なります。

() はスマートカードインタフェースモードのときのビットの機能

*2 H8S/2280 グループでは本レジスタはリザーブとなります。

*3 H8S/2282 グループではリザーブビットとなります。

21.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MCR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	HCAN*
GSR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
BCR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
MBCR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
TXPR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
TXCR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
TXACK	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
ABACK	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
RXPR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
RFPR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
IRR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
MBIMR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
IMR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
REC	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
TEC	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
UMSR	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
LAFML	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
LAFMH	初期化	—	—	—	初期化	初期化	初期化	初期化	初期化	初期化	
MC0[1]	—	—	—	—	—	—	—	—	—	—	
MC0[2]	—	—	—	—	—	—	—	—	—	—	
MC0[3]	—	—	—	—	—	—	—	—	—	—	
MC0[4]	—	—	—	—	—	—	—	—	—	—	
MC0[5]	—	—	—	—	—	—	—	—	—	—	
MC0[6]	—	—	—	—	—	—	—	—	—	—	
MC0[7]	—	—	—	—	—	—	—	—	—	—	
MC0[8]	—	—	—	—	—	—	—	—	—	—	
MC1[1]	—	—	—	—	—	—	—	—	—	—	
MC1[2]	—	—	—	—	—	—	—	—	—	—	
MC1[3]	—	—	—	—	—	—	—	—	—	—	
MC1[4]	—	—	—	—	—	—	—	—	—	—	
MC1[5]	—	—	—	—	—	—	—	—	—	—	
MC1[6]	—	—	—	—	—	—	—	—	—	—	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MC1[7]	-	-	-	-	-	-	-	-	-	-	HCAN*
MC1[8]	-	-	-	-	-	-	-	-	-	-	
MC2[1]	-	-	-	-	-	-	-	-	-	-	
MC2[2]	-	-	-	-	-	-	-	-	-	-	
MC2[3]	-	-	-	-	-	-	-	-	-	-	
MC2[4]	-	-	-	-	-	-	-	-	-	-	
MC2[5]	-	-	-	-	-	-	-	-	-	-	
MC2[6]	-	-	-	-	-	-	-	-	-	-	
MC2[7]	-	-	-	-	-	-	-	-	-	-	
MC2[8]	-	-	-	-	-	-	-	-	-	-	
MC3[1]	-	-	-	-	-	-	-	-	-	-	
MC3[2]	-	-	-	-	-	-	-	-	-	-	
MC3[3]	-	-	-	-	-	-	-	-	-	-	
MC3[4]	-	-	-	-	-	-	-	-	-	-	
MC3[5]	-	-	-	-	-	-	-	-	-	-	
MC3[6]	-	-	-	-	-	-	-	-	-	-	
MC3[7]	-	-	-	-	-	-	-	-	-	-	
MC3[8]	-	-	-	-	-	-	-	-	-	-	
MC4[1]	-	-	-	-	-	-	-	-	-	-	
MC4[2]	-	-	-	-	-	-	-	-	-	-	
MC4[3]	-	-	-	-	-	-	-	-	-	-	
MC4[4]	-	-	-	-	-	-	-	-	-	-	
MC4[5]	-	-	-	-	-	-	-	-	-	-	
MC4[6]	-	-	-	-	-	-	-	-	-	-	
MC4[7]	-	-	-	-	-	-	-	-	-	-	
MC4[8]	-	-	-	-	-	-	-	-	-	-	
MC5[1]	-	-	-	-	-	-	-	-	-	-	
MC5[2]	-	-	-	-	-	-	-	-	-	-	
MC5[3]	-	-	-	-	-	-	-	-	-	-	
MC5[4]	-	-	-	-	-	-	-	-	-	-	
MC5[5]	-	-	-	-	-	-	-	-	-	-	
MC5[6]	-	-	-	-	-	-	-	-	-	-	
MC5[7]	-	-	-	-	-	-	-	-	-	-	
MC5[8]	-	-	-	-	-	-	-	-	-	-	
MC6[1]	-	-	-	-	-	-	-	-	-	-	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MC6[2]	-	-	-	-	-	-	-	-	-	-	HCAN*
MC6[3]	-	-	-	-	-	-	-	-	-	-	
MC6[4]	-	-	-	-	-	-	-	-	-	-	
MC6[5]	-	-	-	-	-	-	-	-	-	-	
MC6[6]	-	-	-	-	-	-	-	-	-	-	
MC6[7]	-	-	-	-	-	-	-	-	-	-	
MC6[8]	-	-	-	-	-	-	-	-	-	-	
MC7[1]	-	-	-	-	-	-	-	-	-	-	
MC7[2]	-	-	-	-	-	-	-	-	-	-	
MC7[3]	-	-	-	-	-	-	-	-	-	-	
MC7[4]	-	-	-	-	-	-	-	-	-	-	
MC7[5]	-	-	-	-	-	-	-	-	-	-	
MC7[6]	-	-	-	-	-	-	-	-	-	-	
MC7[7]	-	-	-	-	-	-	-	-	-	-	
MC7[8]	-	-	-	-	-	-	-	-	-	-	
MC8[1]	-	-	-	-	-	-	-	-	-	-	
MC8[2]	-	-	-	-	-	-	-	-	-	-	
MC8[3]	-	-	-	-	-	-	-	-	-	-	
MC8[4]	-	-	-	-	-	-	-	-	-	-	
MC8[5]	-	-	-	-	-	-	-	-	-	-	
MC8[6]	-	-	-	-	-	-	-	-	-	-	
MC8[7]	-	-	-	-	-	-	-	-	-	-	
MC8[8]	-	-	-	-	-	-	-	-	-	-	
MC9[1]	-	-	-	-	-	-	-	-	-	-	
MC9[2]	-	-	-	-	-	-	-	-	-	-	
MC9[3]	-	-	-	-	-	-	-	-	-	-	
MC9[4]	-	-	-	-	-	-	-	-	-	-	
MC9[5]	-	-	-	-	-	-	-	-	-	-	
MC9[6]	-	-	-	-	-	-	-	-	-	-	
MC9[7]	-	-	-	-	-	-	-	-	-	-	
MC9[8]	-	-	-	-	-	-	-	-	-	-	
MC10[1]	-	-	-	-	-	-	-	-	-	-	
MC10[2]	-	-	-	-	-	-	-	-	-	-	
MC10[3]	-	-	-	-	-	-	-	-	-	-	
MC10[4]	-	-	-	-	-	-	-	-	-	-	

21. レジスタ一覧

レジスタ 略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MC10[5]	-	-	-	-	-	-	-	-	-	-	HCAN*
MC10[6]	-	-	-	-	-	-	-	-	-	-	
MC10[7]	-	-	-	-	-	-	-	-	-	-	
MC10[8]	-	-	-	-	-	-	-	-	-	-	
MC11[1]	-	-	-	-	-	-	-	-	-	-	
MC11[2]	-	-	-	-	-	-	-	-	-	-	
MC11[3]	-	-	-	-	-	-	-	-	-	-	
MC11[4]	-	-	-	-	-	-	-	-	-	-	
MC11[5]	-	-	-	-	-	-	-	-	-	-	
MC11[6]	-	-	-	-	-	-	-	-	-	-	
MC11[7]	-	-	-	-	-	-	-	-	-	-	
MC11[8]	-	-	-	-	-	-	-	-	-	-	
MC12[1]	-	-	-	-	-	-	-	-	-	-	
MC12[2]	-	-	-	-	-	-	-	-	-	-	
MC12[3]	-	-	-	-	-	-	-	-	-	-	
MC12[4]	-	-	-	-	-	-	-	-	-	-	
MC12[5]	-	-	-	-	-	-	-	-	-	-	
MC12[6]	-	-	-	-	-	-	-	-	-	-	
MC12[7]	-	-	-	-	-	-	-	-	-	-	
MC12[8]	-	-	-	-	-	-	-	-	-	-	
MC13[1]	-	-	-	-	-	-	-	-	-	-	
MC13[2]	-	-	-	-	-	-	-	-	-	-	
MC13[3]	-	-	-	-	-	-	-	-	-	-	
MC13[4]	-	-	-	-	-	-	-	-	-	-	
MC13[5]	-	-	-	-	-	-	-	-	-	-	
MC13[6]	-	-	-	-	-	-	-	-	-	-	
MC13[7]	-	-	-	-	-	-	-	-	-	-	
MC13[8]	-	-	-	-	-	-	-	-	-	-	
MC14[1]	-	-	-	-	-	-	-	-	-	-	
MC14[2]	-	-	-	-	-	-	-	-	-	-	
MC14[3]	-	-	-	-	-	-	-	-	-	-	
MC14[4]	-	-	-	-	-	-	-	-	-	-	
MC14[5]	-	-	-	-	-	-	-	-	-	-	
MC14[6]	-	-	-	-	-	-	-	-	-	-	
MC14[7]	-	-	-	-	-	-	-	-	-	-	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MC14[8]	-	-	-	-	-	-	-	-	-	-	HCAN*
MC15[1]	-	-	-	-	-	-	-	-	-	-	
MC15[2]	-	-	-	-	-	-	-	-	-	-	
MC15[3]	-	-	-	-	-	-	-	-	-	-	
MC15[4]	-	-	-	-	-	-	-	-	-	-	
MC15[5]	-	-	-	-	-	-	-	-	-	-	
MC15[6]	-	-	-	-	-	-	-	-	-	-	
MC15[7]	-	-	-	-	-	-	-	-	-	-	
MC15[8]	-	-	-	-	-	-	-	-	-	-	
MD0[1]	-	-	-	-	-	-	-	-	-	-	
MD0[2]	-	-	-	-	-	-	-	-	-	-	
MD0[3]	-	-	-	-	-	-	-	-	-	-	
MD0[4]	-	-	-	-	-	-	-	-	-	-	
MD0[5]	-	-	-	-	-	-	-	-	-	-	
MD0[6]	-	-	-	-	-	-	-	-	-	-	
MD0[7]	-	-	-	-	-	-	-	-	-	-	
MD0[8]	-	-	-	-	-	-	-	-	-	-	
MD1[1]	-	-	-	-	-	-	-	-	-	-	
MD1[2]	-	-	-	-	-	-	-	-	-	-	
MD1[3]	-	-	-	-	-	-	-	-	-	-	
MD1[4]	-	-	-	-	-	-	-	-	-	-	
MD1[5]	-	-	-	-	-	-	-	-	-	-	
MD1[6]	-	-	-	-	-	-	-	-	-	-	
MD1[7]	-	-	-	-	-	-	-	-	-	-	
MD1[8]	-	-	-	-	-	-	-	-	-	-	
MD2[1]	-	-	-	-	-	-	-	-	-	-	
MD2[2]	-	-	-	-	-	-	-	-	-	-	
MD2[3]	-	-	-	-	-	-	-	-	-	-	
MD2[4]	-	-	-	-	-	-	-	-	-	-	
MD2[5]	-	-	-	-	-	-	-	-	-	-	
MD2[6]	-	-	-	-	-	-	-	-	-	-	
MD2[7]	-	-	-	-	-	-	-	-	-	-	
MD2[8]	-	-	-	-	-	-	-	-	-	-	
MD3[1]	-	-	-	-	-	-	-	-	-	-	
MD3[2]	-	-	-	-	-	-	-	-	-	-	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MD3[3]	-	-	-	-	-	-	-	-	-	-	HCAN*
MD3[4]	-	-	-	-	-	-	-	-	-	-	
MD3[5]	-	-	-	-	-	-	-	-	-	-	
MD3[6]	-	-	-	-	-	-	-	-	-	-	
MD3[7]	-	-	-	-	-	-	-	-	-	-	
MD3[8]	-	-	-	-	-	-	-	-	-	-	
MD4[1]	-	-	-	-	-	-	-	-	-	-	
MD4[2]	-	-	-	-	-	-	-	-	-	-	
MD4[3]	-	-	-	-	-	-	-	-	-	-	
MD4[4]	-	-	-	-	-	-	-	-	-	-	
MD4[5]	-	-	-	-	-	-	-	-	-	-	
MD4[6]	-	-	-	-	-	-	-	-	-	-	
MD4[7]	-	-	-	-	-	-	-	-	-	-	
MD4[8]	-	-	-	-	-	-	-	-	-	-	
MD5[1]	-	-	-	-	-	-	-	-	-	-	
MD5[2]	-	-	-	-	-	-	-	-	-	-	
MD5[3]	-	-	-	-	-	-	-	-	-	-	
MD5[4]	-	-	-	-	-	-	-	-	-	-	
MD5[5]	-	-	-	-	-	-	-	-	-	-	
MD5[6]	-	-	-	-	-	-	-	-	-	-	
MD5[7]	-	-	-	-	-	-	-	-	-	-	
MD5[8]	-	-	-	-	-	-	-	-	-	-	
MD6[1]	-	-	-	-	-	-	-	-	-	-	
MD6[2]	-	-	-	-	-	-	-	-	-	-	
MD6[3]	-	-	-	-	-	-	-	-	-	-	
MD6[4]	-	-	-	-	-	-	-	-	-	-	
MD6[5]	-	-	-	-	-	-	-	-	-	-	
MD6[6]	-	-	-	-	-	-	-	-	-	-	
MD6[7]	-	-	-	-	-	-	-	-	-	-	
MD6[8]	-	-	-	-	-	-	-	-	-	-	
MD7[1]	-	-	-	-	-	-	-	-	-	-	
MD7[2]	-	-	-	-	-	-	-	-	-	-	
MD7[3]	-	-	-	-	-	-	-	-	-	-	
MD7[4]	-	-	-	-	-	-	-	-	-	-	
MD7[5]	-	-	-	-	-	-	-	-	-	-	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ストップ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MD7[6]	-	-	-	-	-	-	-	-	-	-	HCAN*
MD7[7]	-	-	-	-	-	-	-	-	-	-	
MD7[8]	-	-	-	-	-	-	-	-	-	-	
MD8[1]	-	-	-	-	-	-	-	-	-	-	
MD8[2]	-	-	-	-	-	-	-	-	-	-	
MD8[3]	-	-	-	-	-	-	-	-	-	-	
MD8[4]	-	-	-	-	-	-	-	-	-	-	
MD8[5]	-	-	-	-	-	-	-	-	-	-	
MD8[6]	-	-	-	-	-	-	-	-	-	-	
MD8[7]	-	-	-	-	-	-	-	-	-	-	
MD8[8]	-	-	-	-	-	-	-	-	-	-	
MD9[1]	-	-	-	-	-	-	-	-	-	-	
MD9[2]	-	-	-	-	-	-	-	-	-	-	
MD9[3]	-	-	-	-	-	-	-	-	-	-	
MD9[4]	-	-	-	-	-	-	-	-	-	-	
MD9[5]	-	-	-	-	-	-	-	-	-	-	
MD9[6]	-	-	-	-	-	-	-	-	-	-	
MD9[7]	-	-	-	-	-	-	-	-	-	-	
MD9[8]	-	-	-	-	-	-	-	-	-	-	
MD10[1]	-	-	-	-	-	-	-	-	-	-	
MD10[2]	-	-	-	-	-	-	-	-	-	-	
MD10[3]	-	-	-	-	-	-	-	-	-	-	
MD10[4]	-	-	-	-	-	-	-	-	-	-	
MD10[5]	-	-	-	-	-	-	-	-	-	-	
MD10[6]	-	-	-	-	-	-	-	-	-	-	
MD10[7]	-	-	-	-	-	-	-	-	-	-	
MD10[8]	-	-	-	-	-	-	-	-	-	-	
MD11[1]	-	-	-	-	-	-	-	-	-	-	
MD11[2]	-	-	-	-	-	-	-	-	-	-	
MD11[3]	-	-	-	-	-	-	-	-	-	-	
MD11[4]	-	-	-	-	-	-	-	-	-	-	
MD11[5]	-	-	-	-	-	-	-	-	-	-	
MD11[6]	-	-	-	-	-	-	-	-	-	-	
MD11[7]	-	-	-	-	-	-	-	-	-	-	
MD11[8]	-	-	-	-	-	-	-	-	-	-	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MD12[1]	-	-	-	-	-	-	-	-	-	-	HCAN*
MD12[2]	-	-	-	-	-	-	-	-	-	-	
MD12[3]	-	-	-	-	-	-	-	-	-	-	
MD12[4]	-	-	-	-	-	-	-	-	-	-	
MD12[5]	-	-	-	-	-	-	-	-	-	-	
MD12[6]	-	-	-	-	-	-	-	-	-	-	
MD12[7]	-	-	-	-	-	-	-	-	-	-	
MD12[8]	-	-	-	-	-	-	-	-	-	-	
MD13[1]	-	-	-	-	-	-	-	-	-	-	
MD13[2]	-	-	-	-	-	-	-	-	-	-	
MD13[3]	-	-	-	-	-	-	-	-	-	-	
MD13[4]	-	-	-	-	-	-	-	-	-	-	
MD13[5]	-	-	-	-	-	-	-	-	-	-	
MD13[6]	-	-	-	-	-	-	-	-	-	-	
MD13[7]	-	-	-	-	-	-	-	-	-	-	
MD13[8]	-	-	-	-	-	-	-	-	-	-	
MD14[1]	-	-	-	-	-	-	-	-	-	-	
MD14[2]	-	-	-	-	-	-	-	-	-	-	
MD14[3]	-	-	-	-	-	-	-	-	-	-	
MD14[4]	-	-	-	-	-	-	-	-	-	-	
MD14[5]	-	-	-	-	-	-	-	-	-	-	
MD14[6]	-	-	-	-	-	-	-	-	-	-	
MD14[7]	-	-	-	-	-	-	-	-	-	-	
MD14[8]	-	-	-	-	-	-	-	-	-	-	
MD15[1]	-	-	-	-	-	-	-	-	-	-	
MD15[2]	-	-	-	-	-	-	-	-	-	-	
MD15[3]	-	-	-	-	-	-	-	-	-	-	
MD15[4]	-	-	-	-	-	-	-	-	-	-	
MD15[5]	-	-	-	-	-	-	-	-	-	-	
MD15[6]	-	-	-	-	-	-	-	-	-	-	
MD15[7]	-	-	-	-	-	-	-	-	-	-	
MD15[8]	-	-	-	-	-	-	-	-	-	-	
PWCR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	PWM_1
PWOCR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWPR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PWCYR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	PWM_1
PWBFR_1A	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_1C	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_1E	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_1G	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWCR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	PWM_2
PWOCR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWPR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWCYR_2	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_2A	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_2B	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	PORT
PWBFR_2C	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PWBFR_2D	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
PHDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PJDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PHDR	初期化	-	-	-	-	-	-	-	-	初期化	LCD
PJDR	初期化	-	-	-	-	-	-	-	-	初期化	
PORTH	初期化	-	-	-	-	-	-	-	-	初期化	
PORTJ	初期化	-	-	-	-	-	-	-	-	初期化	
TRPRT	初期化	-	-	-	-	-	-	-	-	初期化	
LPCR	初期化	-	-	-	-	-	-	-	-	初期化	SYSTEM
LCR	初期化	-	-	-	-	-	-	-	-	初期化	
LCR2	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRD	初期化	-	-	-	-	-	-	-	-	初期化	
SBYCR	初期化	-	-	-	-	-	-	-	-	初期化	
SYSCR	初期化	-	-	-	-	-	-	-	-	初期化	INT
SCKCR	初期化	-	-	-	-	-	-	-	-	初期化	
MDCR	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRA	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRB	初期化	-	-	-	-	-	-	-	-	初期化	
MSTPCRC	初期化	-	-	-	-	-	-	-	-	初期化	INT
LPWRCR	初期化	-	-	-	-	-	-	-	-	初期化	
ISCRH	初期化	-	-	-	-	-	-	-	-	初期化	
ISURL	初期化	-	-	-	-	-	-	-	-	初期化	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
IER	初期化	-	-	-	-	-	-	-	-	初期化	INT
ISR	初期化	-	-	-	-	-	-	-	-	初期化	
P1DDR	初期化	-	-	-	-	-	-	-	-	初期化	PORT
P3DDR	初期化	-	-	-	-	-	-	-	-	初期化	
PADDR	初期化	-	-	-	-	-	-	-	-	初期化	
PBDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PCDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PDDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PFDDR	初期化	-	-	-	-	-	-	-	-	初期化	
P3ODR	初期化	-	-	-	-	-	-	-	-	初期化	
PAODR	初期化	-	-	-	-	-	-	-	-	初期化	
PBODR	初期化	-	-	-	-	-	-	-	-	初期化	
PCODR	初期化	-	-	-	-	-	-	-	-	初期化	
TSTR	初期化	-	-	-	-	-	-	-	-	初期化	TPU
TSYR	初期化	-	-	-	-	-	-	-	-	初期化	
IPRA	初期化	-	-	-	-	-	-	-	-	初期化	INT
IPRB	初期化	-	-	-	-	-	-	-	-	初期化	
IPRC	初期化	-	-	-	-	-	-	-	-	初期化	
IPRD	初期化	-	-	-	-	-	-	-	-	初期化	
IPRE	初期化	-	-	-	-	-	-	-	-	初期化	
IPRF	初期化	-	-	-	-	-	-	-	-	初期化	
IPRG	初期化	-	-	-	-	-	-	-	-	初期化	
IPRJ	初期化	-	-	-	-	-	-	-	-	初期化	
IPRK	初期化	-	-	-	-	-	-	-	-	初期化	
IPRM	初期化	-	-	-	-	-	-	-	-	初期化	
RAMER*	初期化	-	-	-	-	-	-	-	-	初期化	FLASH (F-ZTAT 版)
P1DR	初期化	-	-	-	-	-	-	-	-	初期化	PORT
P3DR	初期化	-	-	-	-	-	-	-	-	初期化	
PADR	初期化	-	-	-	-	-	-	-	-	初期化	
PBDR	初期化	-	-	-	-	-	-	-	-	初期化	
PCDR	初期化	-	-	-	-	-	-	-	-	初期化	
PDDR	初期化	-	-	-	-	-	-	-	-	初期化	
PFDR	初期化	-	-	-	-	-	-	-	-	初期化	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TCR_0	初期化	-	-	-	-	-	-	-	-	初期化	TPU_0
TMDR_0	初期化	-	-	-	-	-	-	-	-	初期化	
TIORH_0	初期化	-	-	-	-	-	-	-	-	初期化	
TIORL_0	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_0	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_0	初期化	-	-	-	-	-	-	-	-	初期化	
TCNTH_0	初期化	-	-	-	-	-	-	-	-	初期化	
TCNTL_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRAH_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRAL_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRBH_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRBL_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRCH_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRCL_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRDH_0	初期化	-	-	-	-	-	-	-	-	初期化	
TGRDL_0	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_1	初期化	-	-	-	-	-	-	-	-	初期化	TPU_1
TMDR_1	初期化	-	-	-	-	-	-	-	-	初期化	
TIOR_1	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_1	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_1	初期化	-	-	-	-	-	-	-	-	初期化	
TCNTH_1	初期化	-	-	-	-	-	-	-	-	初期化	
TCNTL_1	初期化	-	-	-	-	-	-	-	-	初期化	
TGRAH_1	初期化	-	-	-	-	-	-	-	-	初期化	
TGRAL_1	初期化	-	-	-	-	-	-	-	-	初期化	
TGRBH_1	初期化	-	-	-	-	-	-	-	-	初期化	
TGRBL_1	初期化	-	-	-	-	-	-	-	-	初期化	
TCR_2	初期化	-	-	-	-	-	-	-	-	初期化	TPU_2
TMDR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TIOR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TIER_2	初期化	-	-	-	-	-	-	-	-	初期化	
TSR_2	初期化	-	-	-	-	-	-	-	-	初期化	
TCNTH_2	初期化	-	-	-	-	-	-	-	-	初期化	
TCNTL_2	初期化	-	-	-	-	-	-	-	-	初期化	
TGRAH_2	初期化	-	-	-	-	-	-	-	-	初期化	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TGRAL_2	初期化	-	-	-	-	-	-	-	-	初期化	TPU_2
TGRBH_2	初期化	-	-	-	-	-	-	-	-	初期化	
TGRBL_2	初期化	-	-	-	-	-	-	-	-	初期化	
TCSR_0	初期化	-	-	-	-	-	-	-	-	初期化	WDT_0
TCNT_0	初期化	-	-	-	-	-	-	-	-	初期化	
RSTCSR	初期化	-	-	-	-	-	-	-	-	初期化	
SMR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	SCL_0
BRR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SCR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
TDR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	SCL_0
SSR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	SCL_1
SMR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
BRR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SCR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	SCL_1
TDR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	SCL_1
SCMR_1	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRAH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRAL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	A/D
ADDRBH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	A/D
ADDRCL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	A/D
ADCSR	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	-	-	-	初期化	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	-	-	-	-	-	-	-	-	初期化	WDT_1
TCNT_1	初期化	-	-	-	-	-	-	-	-	初期化	

21. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
FLMCR1	初期化	-	-	-	-	-	-	-	-	初期化	FLASH
FLMCR2	初期化	-	-	-	-	-	-	-	-	初期化	(F-ZTAT 版)
EBR1	初期化	-	-	-	-	-	-	-	-	初期化	
EBR2*	初期化	-	-	-	-	-	-	-	-	初期化	
FLPWCR	初期化	-	-	-	-	-	-	-	-	初期化	
PORT1	-	-	-	-	-	-	-	-	-	-	PORT
PORT3	-	-	-	-	-	-	-	-	-	-	
PORT4	-	-	-	-	-	-	-	-	-	-	
PORTA	-	-	-	-	-	-	-	-	-	-	
PORTB	-	-	-	-	-	-	-	-	-	-	
PORTC	-	-	-	-	-	-	-	-	-	-	
PORTD	-	-	-	-	-	-	-	-	-	-	
PORTF	-	-	-	-	-	-	-	-	-	-	

【注】 - は初期化されません。

* H8S/2280 グループでは本レジスタはリザーブとなります。

22. 電気的特性

22.1 絶対最大定格

絶対最大定格を表 22.1 に示します。

表 22.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{CC} 、LPV _{CC}	-0.3~+7.0	V
	PWMV _{CC}	-0.3~+7.0	V
入力電圧 (XTAL、EXTAL)	V _{in}	-0.3~V _{CC} +0.3	V
入力電圧 (ポート 4)	V _{in}	-0.3~AV _{CC} +0.3	V
入力電圧 (XTAL、EXTAL、ポート 4 以外)	V _{in}	-0.3~V _{CC} +0.3	V
入力電圧 (ポート H、J)	V _{in}	-0.3~PWMV _{CC} +0.3	V
アナログ電源電圧	AV _{CC}	-0.3~+7.0	V
アナログ入力電圧	V _{AN}	-0.3~AV _{CC} +0.3	V
動作温度	T _{opr}	通常仕様品 : -20~+75	°C
		広温度範囲仕様品 : -40~+85	
保存温度	T _{stg}	-55~+125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

22. 電気的特性

22.2 DC 特性

DC 特性を表 22.2 に示します。また、出力許容電流を表 22.3 に示します。

表 22.2 DC 特性

条件：V_{CC}=LPV_{CC}=4.5~5.5V、AV_{CC}=4.5~5.5V、PWMV_{CC}=4.5~5.5V、V_{SS}=AV_{SS}=PWMV_{SS}=PLL_{SS}=0V、

T_a= -20~+75°C（通常仕様品）、T_a= -40~+85°C（広温度範囲仕様品）*¹

項目		記号	min.	typ.	max.	単位	測定条件
シュミット トリガ入力 電圧	IRQ0~IRQ5、	VT ⁻	V _{CC} ×0.2	—	—	V	
	ポート1、3、A~D、F、H、 J	VT ⁺	—	—	V _{CC} ×0.7	V	
		VT ⁺ - VT ⁻	V _{CC} ×0.05	—	—	V	
入力 High レベル電圧	RES、STBY、NMI、 MD2、MD0、FWE	V _{IH}	V _{CC} ×0.9	—	V _{CC} +0.3	V	
	EXTAL		V _{CC} ×0.7	—	V _{CC} +0.3	V	
	SCK0、SCK1、RxD0、 RxD1、HRxD* ⁴		V _{CC} ×0.7	—	V _{CC} +0.3	V	
	ポート4		AV _{CC} ×0.7	—	AV _{CC} +0.3	V	
入力 Low レベル電圧	RES、STBY、NMI、 MD2、MD0、FWE	V _{IL}	-0.3	—	V _{CC} ×0.1	V	
	EXTAL		-0.3	—	V _{CC} ×0.2	V	
	SCK0、SCK1、RxD0、 RxD1、HRxD* ⁴		-0.3	—	V _{CC} ×0.2	V	
	ポート4		-0.3	—	AV _{CC} ×0.2	V	
出力 High レベル電圧	全出力端子	V _{OH}	V _{CC} -0.5	—	—	V	I _{OH} = -200μA
			V _{CC} -1.0	—	—	V	I _{OH} = -1mA
出力 Low レベル電圧	全出力端子	V _{OL}	—	—	0.4	V	I _{OL} =1.6mA
入力リーク 電流	RES	I _{in}	—	—	1.0	μA	V _{in} =0.5~V _{CC} -0.5V
	STBY、NMI、MD2、 MD0、FWE、HRxD* ⁴		—	—	1.0	μA	
	ポート4		—	—	1.0	μA	V _{in} =0.5~AV _{CC} -0.5V
	上記以外のポート		—	—	1.0	μA	V _{in} =0.5~V _{CC} -0.5V
入力容量	RES	C _{in}	—	—	30	pF	V _{in} =0V f=1MHz T _a =25°C
	NMI		—	—	30	pF	
	RES、NMI 以外の 全入力端子		—	—	15	pF	

項目		記号	min.	typ.	max.	単位	測定条件
消費電流*2	通常動作時	I _{CC} *3	—	45 (V _{CC} =5.0V)	55 (V _{CC} =5.5V)	mA	f=20MHz
	スリープ時		—	35 (V _{CC} =5.0V)	45 (V _{CC} =5.5V)	mA	f=20MHz
	全モジュール ストップ時		—	30	—	mA	f=20MHz、V _{CC} =5.0V (参考値)
	中速モード (φ/32)時		—	30	—	mA	f=20MHz、V _{CC} =5.0V (参考値)
	サブアクティブモード時		—	0.7	1.0	mA	サブクロック時
	サブスリープモード時		—	0.7	1.0	mA	サブクロック時
	ウォッチモード時		—	0.6	1.0	mA	サブクロック時
	スタンバイ時		—	2	5.0	μA	T _a ≤50°C
	—	—	20	50°C<T _a			
LCD 電源部 ポート 電源電流	動作中	LPI _{CC}	—	10	20	mA	
	スタンバイ時		—	0.1	10	μA	T _a ≤50°C
			—	—	80		50°C<T _a
アナログ 電源電流	A/D 変換中	AI _{CC}	—	2.5	4.0	mA	AV _{CC} =5.0V
	A/D 変換待機時		—	—	5.0	μA	
RAM スタンバイ電圧		V _{RAM}	2.0	—	—	V	

- 【注】 *1 A/D 変換器を使用しない場合でも、AV_{CC}、AV_{SS} 端子は開放しないでください。また、AV_{CC} 端子は V_{CC} に接続するなどの方法で、4.5~5.5V の電圧を印加してください。
- *2 消費電流値は、V_{IH}=V_{CC} (EXTAL)、AV_{CC} (ポート 4)、PWMV_{CC}、LPV_{CC}、V_{CC} (その他)、V_{IL}=0V の条件下で、すべての出力端子を無負荷状態にした場合の値です。
- *3 I_{CC} は下記の式に従って V_{CC} と f に依存します。
 $I_{CC}(\text{max.}) = 22 + 0.3 \times V_{CC} \times f$ (通常動作時)
 $I_{CC}(\text{max.}) = 18 + 0.25 \times V_{CC} \times f$ (スリープ時)
- *4 H8S/2280 グループには本機能はありません。

22. 電気的特性

表 22.3 出力許容電流

条件 : $V_{cc}=LPV_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $PWMV_{cc}=4.5\sim 5.5V$ 、 $V_{ss}=AV_{ss}=PWMV_{ss}=PLL_{ss}=0V$ 、

$T_a = -20\sim +75^\circ C$ (通常仕様品)、 $T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位	測定条件
出力 Low レベル許容電流 (1 端子あたり)	PWM1A~1H PWM2A~2H 以外の全出力端子	IoL	—	—	10	mA	
	PWM1A~1H PWM2A~2H		—	—	25	mA	$T_a = 75\sim 85^\circ C$
			—	—	30	mA	$T_a = 25^\circ C$
			—	—	40	mA	$T_a = -40^\circ C$
出力 Low レベル許容電流 (総和)	PWM1A~1H PWM2A~2H 以外の全出力端子の総和	ΣIoL	—	—	80	mA	
	PWM1A~1H PWM2A~2H の総和		—	—	150	mA	$T_a = 75\sim 85^\circ C$
			—	—	180	mA	$T_a = 25^\circ C$
			—	—	220	mA	$T_a = -40^\circ C$
出力 High レベル許容電流 (1 端子あたり)	PWM1A~1H PWM2A~2H 以外の全出力端子	-IoH	—	—	2.0	mA	
	PWM1A~1H PWM2A~2H		—	—	25	mA	$T_a = 75\sim 85^\circ C$
			—	—	30	mA	$T_a = 25^\circ C$
			—	—	40	mA	$T_a = -40^\circ C$
出力 High レベル許容電流 (総和)	PWM1A~1H PWM2A~2H 以外の全出力端子の総和	- ΣIoH	—	—	40	mA	
	PWM1A~1H PWM2A~2H の総和		—	—	150	mA	$T_a = 75\sim 85^\circ C$
			—	—	180	mA	$T_a = 25^\circ C$
			—	—	220	mA	$T_a = -40^\circ C$

【注】 LSI の信頼性を確保するため、出力電流値は表 22.3 の値を超えないようにしてください。

22.3 AC 特性

図 22.1 に AC 測定条件を示します。

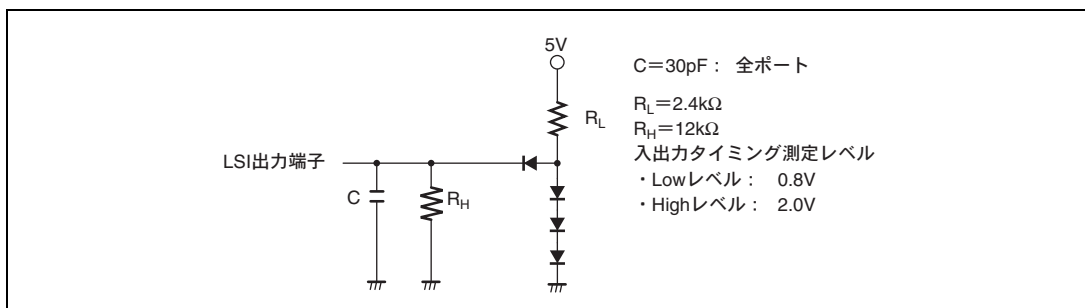


図 22.1 出力負荷回路

22.3.1 クロックタイミング

表 22.4 にクロックタイミングを示します。

表 22.4 クロックタイミング

条件: $V_{CC}=LPV_{CC}=4.5\sim 5.5\text{V}$ 、 $AV_{CC}=4.5\sim 5.5\text{V}$ 、 $PWMV_{CC}=4.5\sim 5.5\text{V}$ 、 $V_{SS}=AV_{SS}=PWMV_{SS}=PLL_{VSS}=0\text{V}$ 、 $\phi=4\sim 20\text{MHz}$ 、 $T_a=-20\sim +75^\circ\text{C}$ (通常仕様品)、 $T_a=-40\sim +85^\circ\text{C}$ (広温度範囲仕様品)

項目	記号	min.	max.	単位	測定条件
クロックサイクル時間	t_{cyc}	50	250	ns	図 22.2
クロックハイレベルパルス幅	t_{CH}	15	—	ns	
クロックロウレベルパルス幅	t_{CL}	15	—	ns	
クロック立ち上がり時間	t_{cr}	—	10	ns	
クロック立ち下がり時間	t_{cf}	—	10	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20	—	ms	図 22.3
ソフトウェアスタンバイ 発振安定時間 (水晶)	t_{OSC2}	8	—	ms	図 20.3
外部クロック出力安定遅延時間	t_{DEXT}	2	—	ms	図 22.3

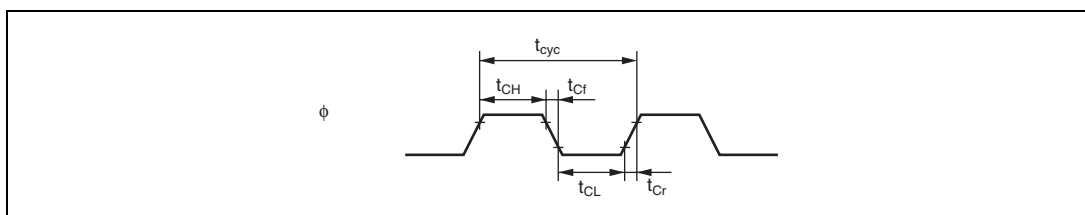


図 22.2 システムクロックタイミング

22. 電気的特性

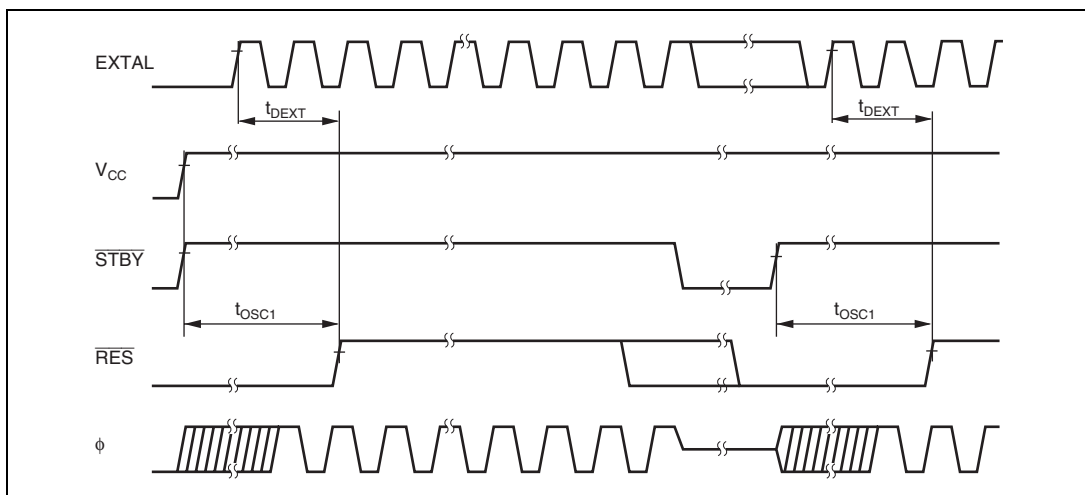


図 22.3 発振安定時間タイミング

22.3.2 制御信号タイミング

表 22.5 に制御信号タイミングを示します。

表 22.5 制御信号タイミング

条件： $V_{CC}=LPV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=PWMV_{SS}=PLL_{VSS}=0V$ 、 $\phi=4\sim 20MHz$ 、 $T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項目	記号	min.	max.	単位	測定条件
RES セットアップ時間	tRESS	200	—	ns	図 22.4
RES パルス幅	tRESW	20	—	t _{cy}	
NMI セットアップ時間	tNMIS	150	—	ns	図 22.5
NMI ホールド時間	tNMIH	10	—	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tNMIW	200	—	ns	
IRQ セットアップ時間	tIRQS	150	—	ns	
IRQ ホールド時間	tIRQH	10	—	ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tIRQW	200	—	ns	

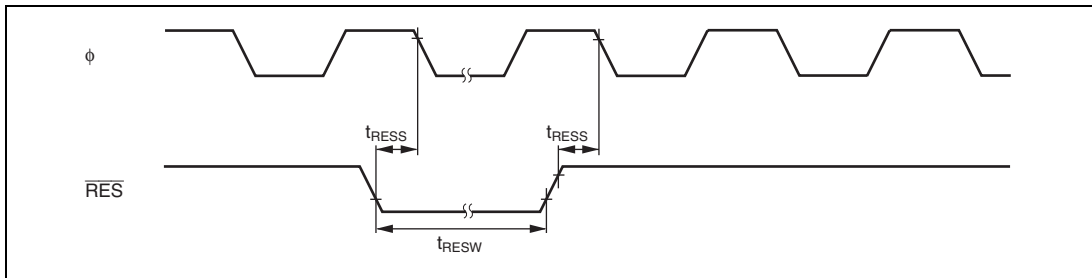


図 22.4 リセット入力タイミング

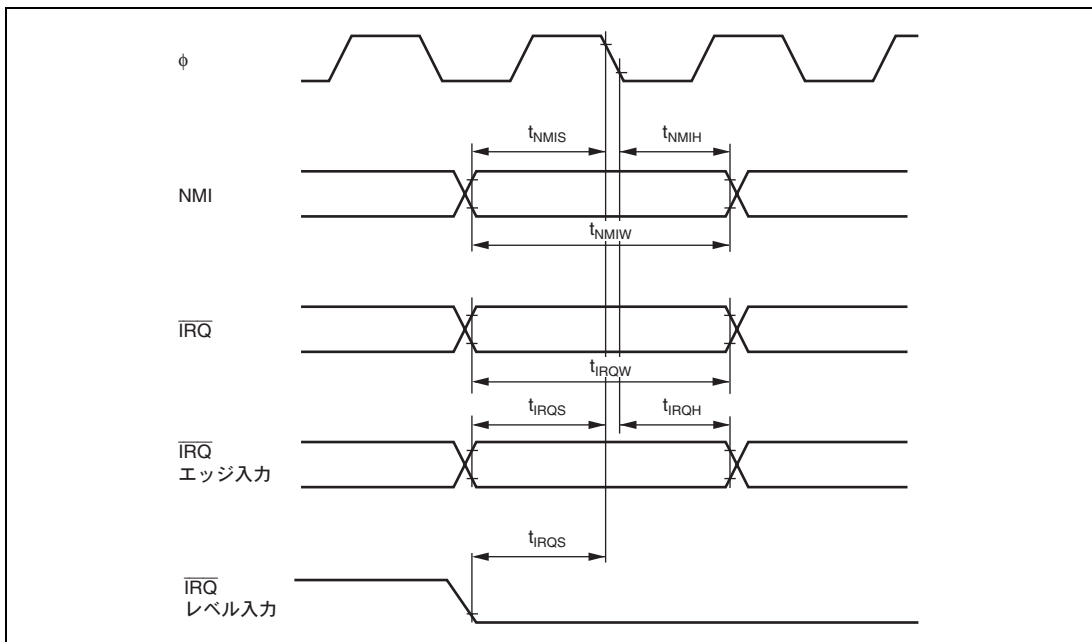


図 22.5 割り込み入力タイミング

22. 電氣的特性

22.3.3 内蔵周辺モジュールタイミング

表 22.6 に内蔵周辺モジュールタイミングを示します。

表 22.6 内蔵周辺モジュールタイミング

条件： $V_{CC}=LPV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=PWMV_{SS}=PLL_{VSS}=0V$ 、 $\phi=4\sim 20MHz$ 、 $T_a=-20\sim +75^\circ C$ （通常仕様品）、 $T_a=-40\sim +85^\circ C$ （広温度範囲仕様品）

項目		記号	min.	max.	単位	測定条件	
I/O ポート	出力データ遅延時間	tPWD	—	50	ns	図 22.6	
	入力データセットアップ時間	tPRS	30	—	ns		
	入力データホールド時間	tPRH	30	—	ns		
TPU	タイマ出力遅延時間	tTOCD	—	50	ns	図 22.7	
	タイマ入力セットアップ時間	tTICS	30	—	ns		
	タイマクロック入力セットアップ時間	tTCKS	30	—	ns	図 22.8	
	タイマクロック パルス幅	単エッジ指定	tTCKWH	1.5	—		t _{cyc}
		両エッジ指定	tTCKWL	2.5	—		t _{cyc}
SCI	入カクロック サイクル	調歩同期	t _{S_{cyc}}	4	—	t _{cyc}	図 22.9
		クロック同期		6	—	t _{cyc}	
	入カクロックパルス幅		tSCKW	0.4	0.6	t _{S_{cyc}}	
	入カクロック立ち上がり時間		tSCKr	—	1.5	t _{cyc}	
	入カクロック立ち下がり時間		tSCKf	—	1.5	t _{cyc}	
	送信データ遅延時間		tTXD	—	50	ns	図 22.10
	受信データセットアップ時間 (クロック同期)		tRXS	50	—	ns	
	受信データホールド時間 (クロック同期)		tRXH	50	—	ns	
A/D 変換器	トリガ入力セットアップ時間	tTRGS	30	—	ns	図 22.11	
HCAN*	送信データ遅延時間	tHTXD	—	100	ns	図 22.12	
	受信データセットアップ時間	tHRXS	100	—	ns		
	受信データホールド時間	tHRXH	100	—	ns		
PWM	パルス出力遅延時間	tMPWMOD	—	50	ns	図 22.13	

【注】 * HCAN の入力信号は非同期信号ですが、図 22.12 に示されたシステムクロック (ϕ) の立ち上がり (2 クロック間隔) で変化が生じたものとして判定されます。HCAN 出力信号は非同期信号ですが、図 22.12 に示されたシステムクロック (ϕ) の立ち上がり (2 クロック間隔) を基準に変化します。

H8S/2280 グループには本機能はありません。

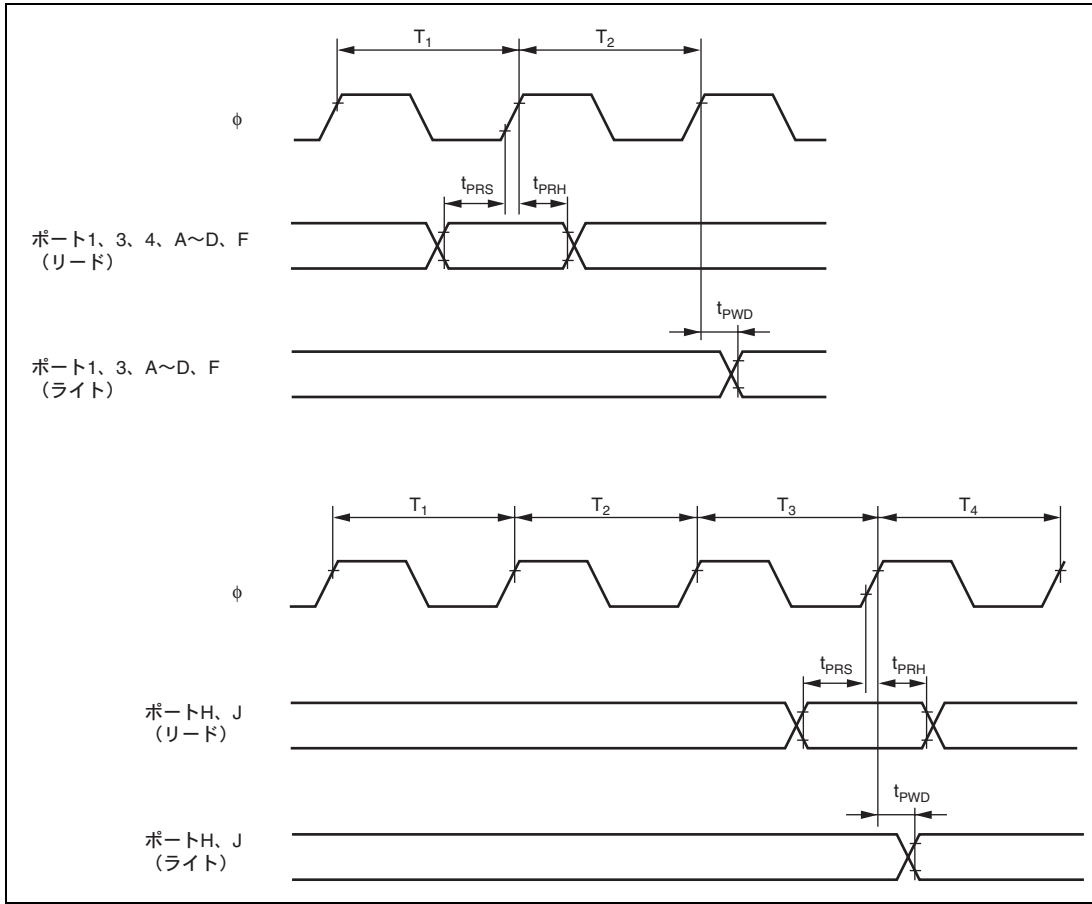
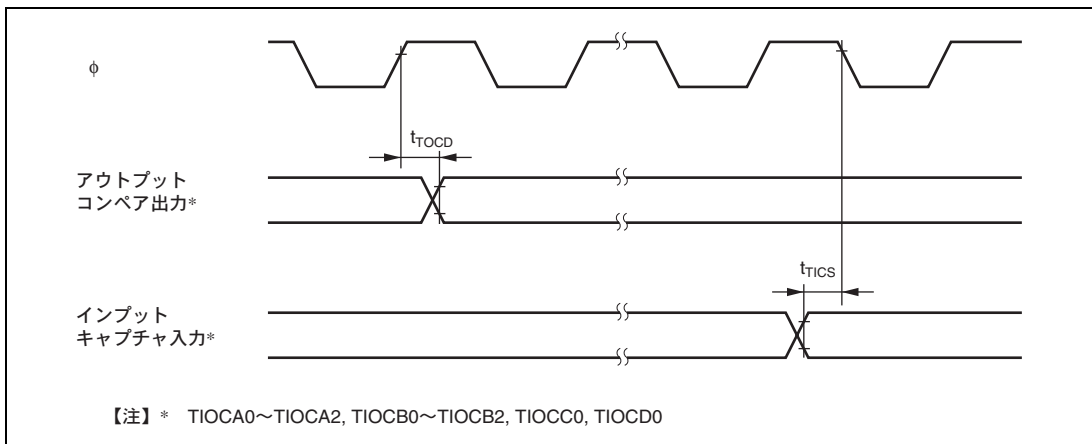


図 22.6 I/O ポート入出力タイミング



【注】* TIOCA0~TIOCA2, TIOCB0~TIOCB2, TIOCC0, TIOCD0

図 22.7 TPU 入出力タイミング

22. 電気的特性

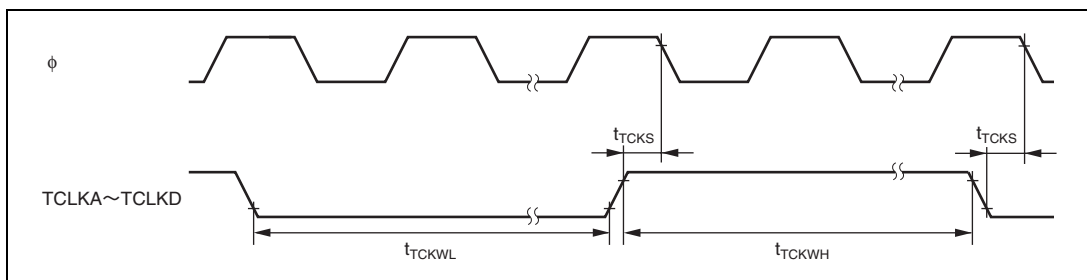


図 22.8 TPU クロック入カタイミング

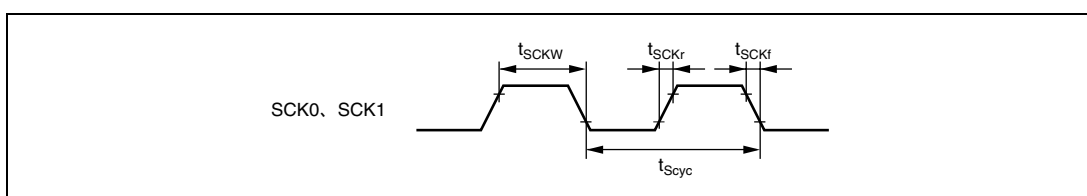


図 22.9 SCK クロック入カタイミング

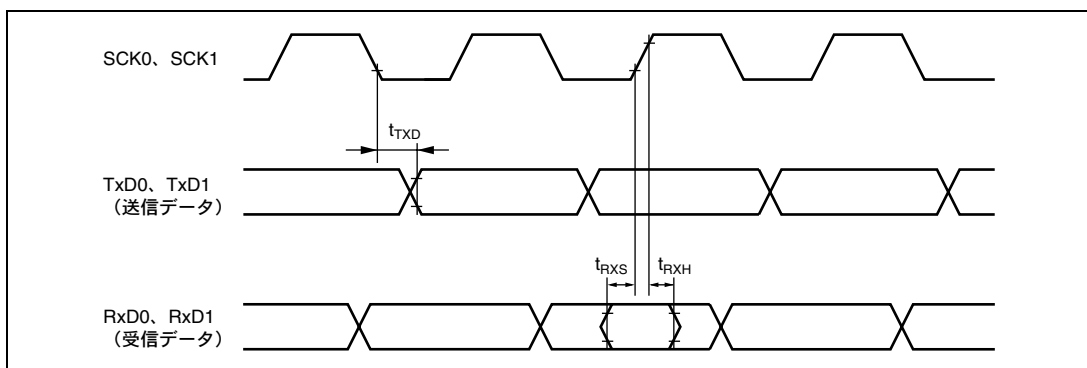


図 22.10 SCI 入出カタイミング/クロック同期式モード

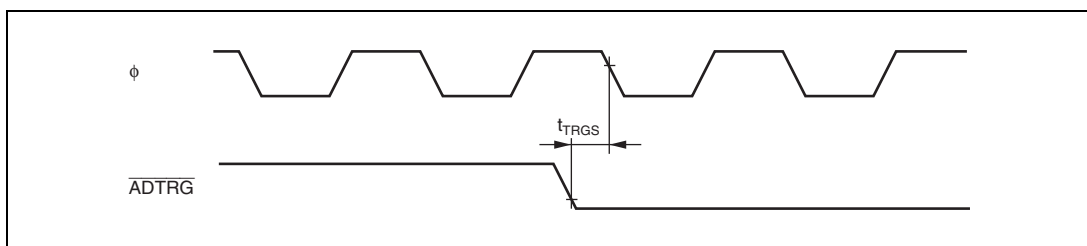


図 22.11 A/D 変換器外部トリガ入カタイミング

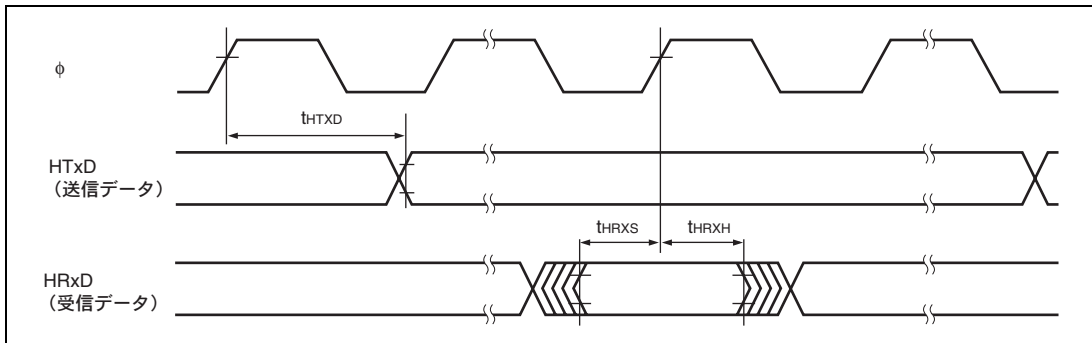


図 22.12 HCAN 入出タイミング

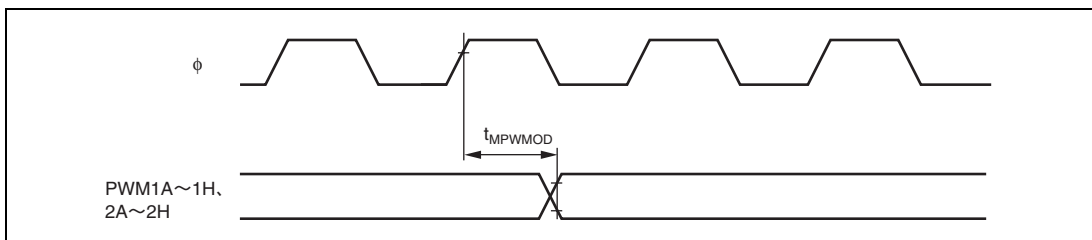


図 22.13 モータコントロール PWM 出力タイミング

22.4 A/D 変換特性

表 22.7 に A/D 変換特性を示します。

表 22.7 A/D 変換特性

条件： $V_{CC}=LPV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=PWMV_{SS}=PLL_{VSS}=0V$ 、
 $\phi=4\sim 20MHz$ 、 $T_a=-20\sim +75^\circ C$ （通常仕様品）、 $T_a=-40\sim +85^\circ C$ （広温度範囲仕様品）

項目	min.	typ.	max.	単位
分解能	10	10	10	ビット
変換時間	10	—	200	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	$k\Omega$
非直線性誤差	—	—	± 3.5	LSB
オフセット誤差	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	LSB
量子化誤差	—	± 0.5	—	LSB
絶対精度	—	—	± 4.0	LSB

22. 電氣的特性

22.5 フラッシュメモリ特性

表 22.8 にフラッシュメモリ特性を示します。

表 22.8 フラッシュメモリ特性

条件 : $V_{CC} = PWMV_{CC} = LPV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = PWMV_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、

$T_s = 0 \sim +75^\circ C$ (書き込み/消去時の動作温度範囲)

項目		記号	min.	typ.	max.	単位	特記
書き込み時間*1*2*4		t_p	—	10	200	ms/128 バイト	
消去時間*1*3*5		t_E	—	100	1200	ms/ブロック	
書き換え回数		N_{WEC}	—	—	100	回	
書き込み時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	—	μS	
	PSU ビットセット後のウェイト時間*1	t_{spsu}	50	50	—	μS	
	P ビットセット後のウェイト時間*1*4	t_{sp30}	28	30	32	μS	書き込み時間ウェイト
		t_{sp200}	198	200	202	μS	書き込み時間ウェイト
		t_{sp10}	8	10	12	μS	追加書き込み時間ウェイト
	P ビットクリア後のウェイト時間*1	t_{cp}	5	5	—	μS	
	PSU ビットクリア後のウェイト時間*1	t_{cpsu}	5	5	—	μS	
	PV ビットセット後のウェイト時間*1	t_{spv}	4	4	—	μS	
	H'FF ダミーライト後のウェイト時間*1	t_{spvr}	2	2	—	μS	
	PV ビットクリア後のウェイト時間*1	t_{cpv}	2	2	—	μS	
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	—	μS	
最大書き込み回数*1*4	N	—	—	1000	回		
消去時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	—	μS	
	ESU ビットセット後のウェイト時間*1	t_{sesu}	100	100	—	μS	
	E ビットセット後のウェイト時間*1*5	t_{se}	10	10	100	ms	消去時間ウェイト
	E ビットクリア後のウェイト時間*1	t_{ce}	10	10	—	μS	
	ESU ビットクリア後のウェイト時間*1	t_{cesu}	10	10	—	μS	
	EV ビットセット後のウェイト時間*1	t_{sev}	20	20	—	μS	
	H'FF ダミーライト後のウェイト時間*1	t_{sevr}	2	2	—	μS	
	EV ビットクリア後のウェイト時間*1	t_{cev}	4	4	—	μS	
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	—	μS	
最大消去回数*1*5	N	12	—	120	回		

- 【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従い行ってください。
- *2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）
- *3 1 ブロックを消去する時間（FLMCR1 の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）
- *4 128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値（ $t_p(\max)$ ）を規定するために、最大書き込み回数（N）の値は max. 値（1000）を設定してください。
また P ビットセット後のウェイト時間は、下記のように書き込み回数カウンタ（n）の回数によって切り替えてください。
- 書き込み回数カウンタ（n） 1~6 回の場合 $t_{sp30} = 30\mu\text{s}$
 書き込み回数カウンタ（n） 7~1000 回の場合 $t_{sp200} = 200\mu\text{s}$
 （追加書き込み時）
 書き込み回数カウンタ（n） 1~6 回の場合 $t_{sp10} = 10\mu\text{s}$
- *5 消去時間の最大値（ $t_e(\max)$ ）に対して、E ビットセット後のウェイト時間（ t_{90} ）と最大消去回数（N）は以下の関係にあります。
- $t_e(\max) = E$ ビットセット後のウェイト時間（ t_{90} ） \times 最大消去回数（N）
 消去時間の最大値を規定するために、（ t_{90} ）および（N）の値は上記計算式を満たすように設定してください。
 （例） $t_{90} = 100\text{ms}$ の場合、N=12 回
 （例） $t_{90} = 10\text{ms}$ の場合、N=120 回

22.6 LCD 特性

表 22.9 に LCD 特性を示します。

表 22.9 LCD 特性

条件： $V_{CC} = LPV_{CC} = 4.5 \sim 5.5\text{V}$ 、 $AV_{CC} = 4.5 \sim 5.5\text{V}$ 、 $PWMV_{CC} = 4.5 \sim 5.5\text{V}$ 、 $V_{SS} = AV_{SS} = PWMV_{SS} = PLLV_{SS} = 0\text{V}$ 、
 $T_a = -20 \sim +75^\circ\text{C}$ （通常仕様品）、 $T_a = -40 \sim +85^\circ\text{C}$ （広温度範囲仕様品）

項目	記号	適用端子	測定条件	min	typ	max	単位	備考
セグメントドライバ 降下電圧	V _{DS}	SEG1~SEG28 (H8S/2282 グループ、HD64F2280B)	ID=2 μ A	—	—	0.6	V	*1
		SEG1~SEG32 (HD64F2280RB)						
コモンドライバ 降下電圧	V _{DC}	COM1~COM4	ID=2 μ A	—	—	0.3	V	*1
LCD 電源分割抵抗	R _{LCD}		V1~V _{SS} 間	40	300	1000	K Ω	
液晶表示電圧	V _{LCD}	V1		4.5			V	*2

- 【注】 *1 電源端子、V1、V2、V3、V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。
- *2 液晶表示電圧を外部電源より供給する場合は、 $LPV_{CC} \geq V1 \geq V2 \geq V3 \geq V_{SS}$ の関係を維持してください。

付録

A. 各端子状態における I/O ポートの状態

ポート名	MCU 動作モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	サブアクティブ モード	プログラム 実行状態 スリープ
ポート 1	7	T	T	Keep	入出力ポート	入出力ポート
ポート 3	7	T	T	Keep	入出力ポート	入出力ポート
ポート 4	7	T	T	T	入力ポート	入力ポート
ポート A	7	T	T	Keep	入出力ポート	入出力ポート
ポート B	7	T	T	Keep	入出力ポート	入出力ポート
ポート C	7	T	T	Keep	入出力ポート	入出力ポート
ポート D	7	T	T	Keep	入出力ポート	入出力ポート
PF7	7	T	T	[DDR=0] T [DDR=1] H	[DDR=0] T [DDR=1] H	[DDR=0] T [DDR=1] クロック出力
PF6 PF5 PF4 PF3 PF2 PF1* ¹ PF0* ¹	7	T	T	Keep	入出力ポート	入出力ポート
ポート H	7	T	T	Keep	入出力ポート	入出力ポート
ポート J	7	T	T	Keep	入出力ポート	入出力ポート
HTxD* ²	7	H	T	H	H	出力
HRxD* ²	7	入力	T	T	T	入力

【記号説明】

H : High レベル

T : ハイインピーダンス

Keep : 入力ポートはハイインピーダンス

出力ポートは保持

【注】 *1 H8S/2282 グループには本機能はありません。

*2 H8S/2280 グループには本機能はありません。

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2282	F-ZTAT 版	HD64F2282	HD64F2282	100 ピン QFP (FP-100A)
	マスク ROM 版	HD6432282	HD6432282(***)	100 ピン QFP (FP-100A)
H8S/2281	マスク ROM 版	HD6432281	HD6432281(***)	100 ピン QFP (FP-100A)
H8S/2280B	F-ZTAT 版	HD64F2280B	HD64F2280	100 ピン QFP (FP-100A)
H8S/2280RB	F-ZTAT 版	HD64F2280RB	HD64F2280R	100 ピン QFP (FP-100A)

【記号説明】

(***)は ROM コードです。

【注】上記製品は開発中、計画中の製品も含まれます。各製品の状況につきましては、当社営業担当者に確認してください。

C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている寸法図を優先します。

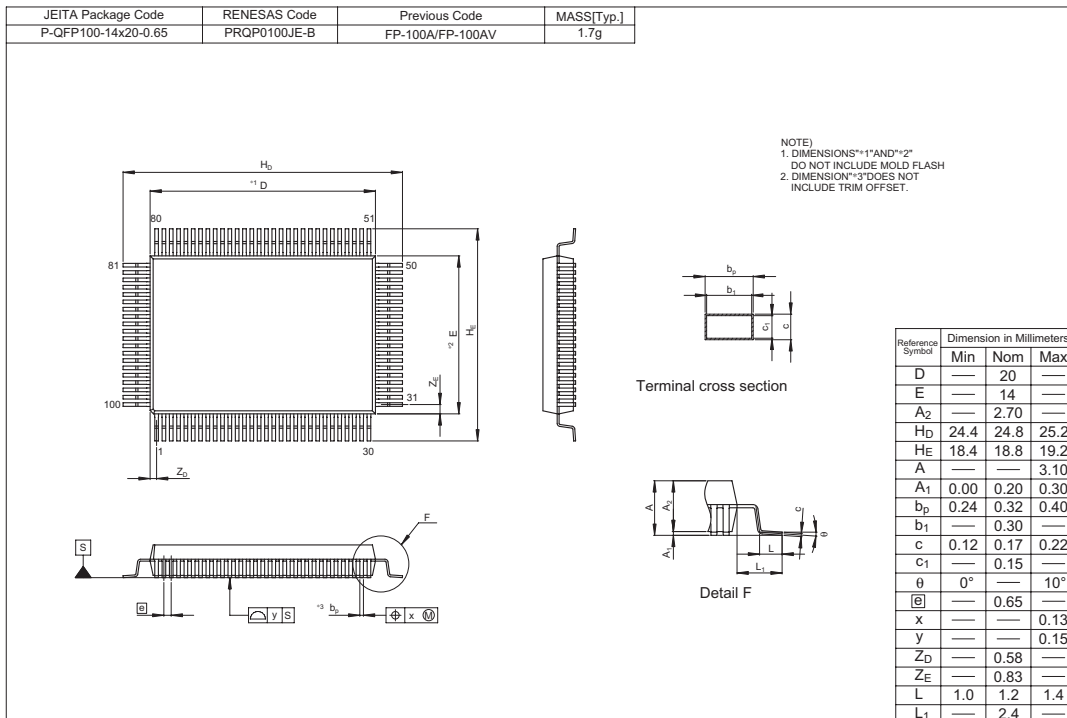


図 C.1 FP-100A 外形寸法図

項目	ページ	修正箇所																																																																																										
3.2 レジスタの説明	3-1	<p>説明を追加</p> <p>動作モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>																																																																																										
5.3 レジスタの説明	5-3	<p>説明を追加</p> <p>動作モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>																																																																																										
5.5 割り込み例外処理ベクタテーブル 表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-9	<p>表を修正</p> <table border="1"> <thead> <tr> <th>割り込み要因発生元</th> <th>名称</th> <th>ベクタ番号</th> <th>ベクタアドレス^{*1} アドバンストモード</th> <th>IPR</th> <th>優先順位</th> </tr> </thead> <tbody> <tr> <td rowspan="5">TPUチャネル0</td> <td>TGIA_0</td> <td>32</td> <td>H'0080</td> <td rowspan="5">IPRF6~IPRF4</td> <td rowspan="5">↑ 高</td> </tr> <tr> <td>TGIB_0</td> <td>33</td> <td>H'0084</td> </tr> <tr> <td>TGIC_0</td> <td>34</td> <td>H'0088</td> </tr> <tr> <td>TGID_0</td> <td>35</td> <td>H'008C</td> </tr> <tr> <td>TCIV_0</td> <td>36</td> <td>H'0090</td> </tr> <tr> <td rowspan="4">TPUチャネル1</td> <td>TGIA_1</td> <td>40</td> <td>H'00A0</td> <td rowspan="4">IPRF2~IPRF0</td> <td rowspan="4">↑</td> </tr> <tr> <td>TGIB_1</td> <td>41</td> <td>H'00A4</td> </tr> <tr> <td>TCIV_1</td> <td>42</td> <td>H'00A8</td> </tr> <tr> <td>TCIU_1</td> <td>43</td> <td>H'00AC</td> </tr> <tr> <td rowspan="4">TPUチャネル2</td> <td>TGIA_2</td> <td>44</td> <td>H'00B0</td> <td rowspan="4">IPRG6~IPRG4</td> <td rowspan="4">↑</td> </tr> <tr> <td>TGIB_2</td> <td>45</td> <td>H'00B4</td> </tr> <tr> <td>TCIV_2</td> <td>46</td> <td>H'00B8</td> </tr> <tr> <td>TCIU_2</td> <td>47</td> <td>H'00BC</td> </tr> <tr> <td rowspan="4">SCIチャネル0</td> <td>ERI_0</td> <td>80</td> <td>H'0140</td> <td rowspan="4">IPRJ2~IPRJ0</td> <td rowspan="4">↑</td> </tr> <tr> <td>RXI_0</td> <td>81</td> <td>H'0144</td> </tr> <tr> <td>TXI_0</td> <td>82</td> <td>H'0148</td> </tr> <tr> <td>TEI_0</td> <td>83</td> <td>H'014C</td> </tr> <tr> <td rowspan="5">SCIチャネル1</td> <td>ERI_1</td> <td>84</td> <td>H'0150</td> <td rowspan="5">IPRK6~IPRK4</td> <td rowspan="5">↑</td> </tr> <tr> <td>RXI_1</td> <td>85</td> <td>H'0154</td> </tr> <tr> <td>TXI_1</td> <td>86</td> <td>H'0158</td> </tr> <tr> <td>TEI_1</td> <td>87</td> <td>H'015C</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td>低</td> </tr> </tbody> </table>	割り込み要因発生元	名称	ベクタ番号	ベクタアドレス ^{*1} アドバンストモード	IPR	優先順位	TPUチャネル0	TGIA_0	32	H'0080	IPRF6~IPRF4	↑ 高	TGIB_0	33	H'0084	TGIC_0	34	H'0088	TGID_0	35	H'008C	TCIV_0	36	H'0090	TPUチャネル1	TGIA_1	40	H'00A0	IPRF2~IPRF0	↑	TGIB_1	41	H'00A4	TCIV_1	42	H'00A8	TCIU_1	43	H'00AC	TPUチャネル2	TGIA_2	44	H'00B0	IPRG6~IPRG4	↑	TGIB_2	45	H'00B4	TCIV_2	46	H'00B8	TCIU_2	47	H'00BC	SCIチャネル0	ERI_0	80	H'0140	IPRJ2~IPRJ0	↑	RXI_0	81	H'0144	TXI_0	82	H'0148	TEI_0	83	H'014C	SCIチャネル1	ERI_1	84	H'0150	IPRK6~IPRK4	↑	RXI_1	85	H'0154	TXI_1	86	H'0158	TEI_1	87	H'015C						低
割り込み要因発生元	名称	ベクタ番号	ベクタアドレス ^{*1} アドバンストモード	IPR	優先順位																																																																																							
TPUチャネル0	TGIA_0	32	H'0080	IPRF6~IPRF4	↑ 高																																																																																							
	TGIB_0	33	H'0084																																																																																									
	TGIC_0	34	H'0088																																																																																									
	TGID_0	35	H'008C																																																																																									
	TCIV_0	36	H'0090																																																																																									
TPUチャネル1	TGIA_1	40	H'00A0	IPRF2~IPRF0	↑																																																																																							
	TGIB_1	41	H'00A4																																																																																									
	TCIV_1	42	H'00A8																																																																																									
	TCIU_1	43	H'00AC																																																																																									
TPUチャネル2	TGIA_2	44	H'00B0	IPRG6~IPRG4	↑																																																																																							
	TGIB_2	45	H'00B4																																																																																									
	TCIV_2	46	H'00B8																																																																																									
	TCIU_2	47	H'00BC																																																																																									
SCIチャネル0	ERI_0	80	H'0140	IPRJ2~IPRJ0	↑																																																																																							
	RXI_0	81	H'0144																																																																																									
	TXI_0	82	H'0148																																																																																									
	TEI_0	83	H'014C																																																																																									
SCIチャネル1	ERI_1	84	H'0150	IPRK6~IPRK4	↑																																																																																							
	RXI_1	85	H'0154																																																																																									
	TXI_1	86	H'0158																																																																																									
	TEI_1	87	H'015C																																																																																									
								低																																																																																				
	5-10	<p>表を修正</p> <table border="1"> <thead> <tr> <th>割り込み要因発生元</th> <th>名称</th> <th>ベクタ番号</th> <th>ベクタアドレス^{*1} アドバンストモード</th> <th>IPR</th> <th>優先順位</th> </tr> </thead> <tbody> <tr> <td rowspan="2">PWM</td> <td>CMI_1</td> <td>104</td> <td>H'01A0</td> <td rowspan="2">IPRM6~IPRM4</td> <td rowspan="2">↑ 高</td> </tr> <tr> <td>CMI_2</td> <td>105</td> <td>H'01A4</td> </tr> </tbody> </table>	割り込み要因発生元	名称	ベクタ番号	ベクタアドレス ^{*1} アドバンストモード	IPR	優先順位	PWM	CMI_1	104	H'01A0	IPRM6~IPRM4	↑ 高	CMI_2	105	H'01A4																																																																											
割り込み要因発生元	名称	ベクタ番号	ベクタアドレス ^{*1} アドバンストモード	IPR	優先順位																																																																																							
PWM	CMI_1	104	H'01A0	IPRM6~IPRM4	↑ 高																																																																																							
	CMI_2	105	H'01A4																																																																																									
7. I/O ポート 表 7.2 H8S/2280 グループ (HD64F2280RB) のポートの機能一覧	7-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ポート名</th> <th>概要</th> <th>端子名 (兼用端子機能)</th> <th>入出力形態他</th> </tr> </thead> <tbody> <tr> <td rowspan="9">ポート4</td> <td rowspan="9">A/D変換器のアナログ入力端子と LCDのセグメント出力端子と 兼用汎用入力ポート</td> <td>P47/AN7</td> <td rowspan="9"></td> </tr> <tr> <td>P46/AN6</td> </tr> <tr> <td>P45/AN5</td> </tr> <tr> <td>P44/AN4</td> </tr> <tr> <td>P43/AN3</td> </tr> <tr> <td>P42/AN2</td> </tr> <tr> <td>P41/SEG4</td> </tr> <tr> <td>P40/SEG3</td> </tr> </tbody> </table>	ポート名	概要	端子名 (兼用端子機能)	入出力形態他	ポート4	A/D変換器のアナログ入力端子と LCDのセグメント出力端子と 兼用汎用入力ポート	P47/AN7		P46/AN6	P45/AN5	P44/AN4	P43/AN3	P42/AN2	P41/SEG4	P40/SEG3																																																																											
ポート名	概要	端子名 (兼用端子機能)	入出力形態他																																																																																									
ポート4	A/D変換器のアナログ入力端子と LCDのセグメント出力端子と 兼用汎用入力ポート	P47/AN7																																																																																										
		P46/AN6																																																																																										
		P45/AN5																																																																																										
		P44/AN4																																																																																										
		P43/AN3																																																																																										
		P42/AN2																																																																																										
		P41/SEG4																																																																																										
		P40/SEG3																																																																																										
		7.1 ポート 1		7-8	<p>説明を追加</p> <p>ポート 1 は 8 ビットの兼用入出力ポートです。ポート 1 には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>																																																																																							

項目	ページ	修正箇所
7.2 ポート 3	7-17	説明を追加 ポート 3 は 6 ビットの兼用入力ポートです。ポート 3 には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.3 ポート 4	7-21	説明を追加 ポート 4 は 8 ビットのアナログ入力および LCD のセグメント出力端子*と兼用の入力ポートです。ポート 4 には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.4 ポート A	7-22	説明を追加 ポート A は 8 ビットの兼用入力ポートです。ポート A には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.5 ポート B	7-25	説明を追加 ポート B は 8 ビットの兼用入力ポートです。ポート B には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.6 ポート C	7-29	説明を追加 ポート C は 8 ビットの兼用入力ポートです。ポート C には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.7 ポート D	7-32	説明を追加 ポート D は 4 ビットの兼用入力ポートです。ポート D には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.8 ポート F	7-34	説明を追加 ポート F は 8 ビットの兼用入力ポートです。ポート F には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.9 ポート H	7-39	説明を追加 ポート H は 8 ビットの兼用入力ポートです。ポート H には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。
7.10 ポート J	7-42	説明を追加 ポート J は 8 ビットの兼用入力ポートです。ポート J には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。

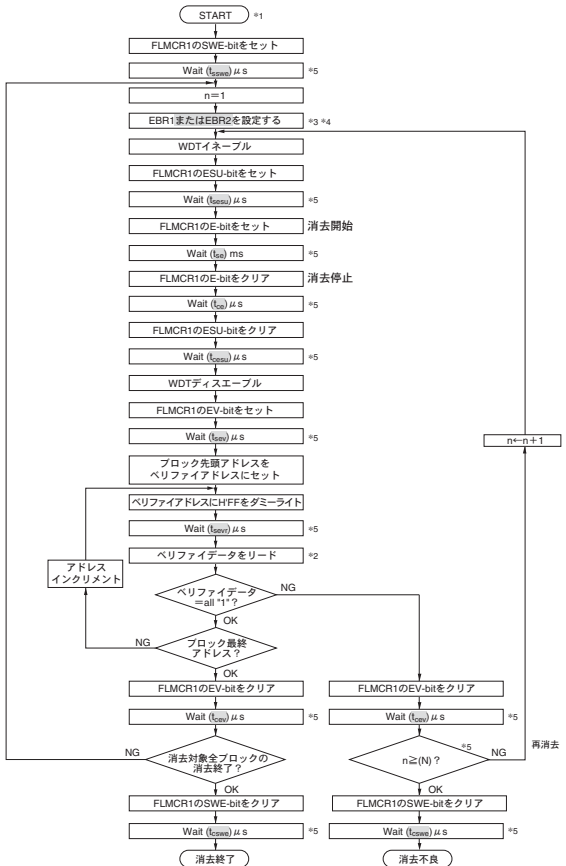
項目	ページ	修正箇所																																														
8.3 レジスタの説明	8-6	<p>説明を追加</p> <p>TPU には各チャンネルに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>																																														
8.3.1 タイマコントロールレジスタ (TCR)	8-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>CKEG1</td> <td>0</td> <td>R/W</td> <td>クロックエッジ1、0</td> </tr> <tr> <td>3</td> <td>CKEG0</td> <td>0</td> <td>R/W</td> <td>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります（例：φ/4の両エッジ=φ/2の立ち上がりエッジ）。チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックがφ/4もしくはそれより遅い場合に有効です。入力クロックにφ/1を選択した場合は本設定は無視されます。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1x：両エッジでカウント 【記号説明】x：Don't care</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	4	CKEG1	0	R/W	クロックエッジ1、0	3	CKEG0	0	R/W	入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります（例：φ/4の両エッジ=φ/2の立ち上がりエッジ）。チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックがφ/4もしくはそれより遅い場合に有効です。入力クロックにφ/1を選択した場合は本設定は無視されます。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1x：両エッジでカウント 【記号説明】x：Don't care																															
ビット	ビット名	初期値	R/W	説明																																												
4	CKEG1	0	R/W	クロックエッジ1、0																																												
3	CKEG0	0	R/W	入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります（例：φ/4の両エッジ=φ/2の立ち上がりエッジ）。チャンネル1、2で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックがφ/4もしくはそれより遅い場合に有効です。入力クロックにφ/1を選択した場合は本設定は無視されます。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1x：両エッジでカウント 【記号説明】x：Don't care																																												
8.5 割り込み要因 表 8.24 TPU 割り込み一覧	8-46	<p>表を修正</p> <table border="1"> <thead> <tr> <th>チャンネル</th> <th>名称</th> <th>割り込み要因</th> <th>割り込みフラグ</th> </tr> </thead> <tbody> <tr> <td rowspan="5">0</td> <td>TGIA_0</td> <td>TGRA_0のインプットキャプチャ/コンペアマッチ</td> <td>TGFA0</td> </tr> <tr> <td>TGIB_0</td> <td>TGRB_0のインプットキャプチャ/コンペアマッチ</td> <td>TGFB0</td> </tr> <tr> <td>TGIC_0</td> <td>TGRC_0のインプットキャプチャ/コンペアマッチ</td> <td>TGFC0</td> </tr> <tr> <td>TGID_0</td> <td>TGRD_0のインプットキャプチャ/コンペアマッチ</td> <td>TGFD0</td> </tr> <tr> <td>TCIU_0</td> <td>TCNT_0のオーバフロー</td> <td>TCFV0</td> </tr> <tr> <td rowspan="4">1</td> <td>TGIA_1</td> <td>TGRA_1のインプットキャプチャ/コンペアマッチ</td> <td>TGFA1</td> </tr> <tr> <td>TGIB_1</td> <td>TGRB_1のインプットキャプチャ/コンペアマッチ</td> <td>TGFB1</td> </tr> <tr> <td>TCIV_1</td> <td>TCNT_1のオーバフロー</td> <td>TCFV1</td> </tr> <tr> <td>TCIU_1</td> <td>TCNT_1のアンダフロー</td> <td>TCFU1</td> </tr> <tr> <td rowspan="4">2</td> <td>TGIA_2</td> <td>TGRA_2のインプットキャプチャ/コンペアマッチ</td> <td>TGFA2</td> </tr> <tr> <td>TGIB_2</td> <td>TGRB_2のインプットキャプチャ/コンペアマッチ</td> <td>TGFB2</td> </tr> <tr> <td>TCIV_2</td> <td>TCNT_2のオーバフロー</td> <td>TCFV2</td> </tr> <tr> <td>TCIU_2</td> <td>TCNT_2のアンダフロー</td> <td>TCFU2</td> </tr> </tbody> </table>	チャンネル	名称	割り込み要因	割り込みフラグ	0	TGIA_0	TGRA_0のインプットキャプチャ/コンペアマッチ	TGFA0	TGIB_0	TGRB_0のインプットキャプチャ/コンペアマッチ	TGFB0	TGIC_0	TGRC_0のインプットキャプチャ/コンペアマッチ	TGFC0	TGID_0	TGRD_0のインプットキャプチャ/コンペアマッチ	TGFD0	TCIU_0	TCNT_0のオーバフロー	TCFV0	1	TGIA_1	TGRA_1のインプットキャプチャ/コンペアマッチ	TGFA1	TGIB_1	TGRB_1のインプットキャプチャ/コンペアマッチ	TGFB1	TCIV_1	TCNT_1のオーバフロー	TCFV1	TCIU_1	TCNT_1のアンダフロー	TCFU1	2	TGIA_2	TGRA_2のインプットキャプチャ/コンペアマッチ	TGFA2	TGIB_2	TGRB_2のインプットキャプチャ/コンペアマッチ	TGFB2	TCIV_2	TCNT_2のオーバフロー	TCFV2	TCIU_2	TCNT_2のアンダフロー	TCFU2
チャンネル	名称	割り込み要因	割り込みフラグ																																													
0	TGIA_0	TGRA_0のインプットキャプチャ/コンペアマッチ	TGFA0																																													
	TGIB_0	TGRB_0のインプットキャプチャ/コンペアマッチ	TGFB0																																													
	TGIC_0	TGRC_0のインプットキャプチャ/コンペアマッチ	TGFC0																																													
	TGID_0	TGRD_0のインプットキャプチャ/コンペアマッチ	TGFD0																																													
	TCIU_0	TCNT_0のオーバフロー	TCFV0																																													
1	TGIA_1	TGRA_1のインプットキャプチャ/コンペアマッチ	TGFA1																																													
	TGIB_1	TGRB_1のインプットキャプチャ/コンペアマッチ	TGFB1																																													
	TCIV_1	TCNT_1のオーバフロー	TCFV1																																													
	TCIU_1	TCNT_1のアンダフロー	TCFU1																																													
2	TGIA_2	TGRA_2のインプットキャプチャ/コンペアマッチ	TGFA2																																													
	TGIB_2	TGRB_2のインプットキャプチャ/コンペアマッチ	TGFB2																																													
	TCIV_2	TCNT_2のオーバフロー	TCFV2																																													
	TCIU_2	TCNT_2のアンダフロー	TCFU2																																													
8.8.12 TCNT のライトとオーバフロー／アンダフローの競合 図 8.49 TCNT のライトとオーバフローの競合	8-61	<p>図を修正</p> <p>The diagram illustrates the timing of TCNT operations. It shows a clock signal (φ) with two periods, T1 and T2. The TCNT address is valid during T1. The write signal is active during T2. The TCNT value transitions from H'FFFF to M. The TCFV flag is shown as prohibited (indicated by a dashed line and a '禁止されます' label) during the write period.</p>																																														

項目	ページ	修正箇所										
9.1 特長 図 9.1 WDT_0 のブロック図	9-2	図を修正 <p>【記号説明】 TCSR : タイマコントロール/ステータスレジスタ TCNT : タイマカウンタ RSTCSR: リセットコントロール/ステータスレジスタ</p> <p>【注】 *1 内部リセット信号は、レジスタの設定により発生させることができます。 *2 サブアクティブモード、サブスリープモード時のφは、φSUBとして動作します。</p>										
9.2 レジスタの説明	9-3	説明を追加 WDT には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。										
10.3 レジスタの説明	10-3	説明を追加 SCI にはチャンネルごとに以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。										
10.3.7 シリアルステータスレジスタ (SSR) ● 通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)	10-10	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>TEND</td> <td>1</td> <td>R</td> <td>トランスミットエンド [セット条件] ● SCRのTEが0のとき ● 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] ● TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	TEND	1	R	トランスミットエンド [セット条件] ● SCRのTEが0のとき ● 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] ● TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき
ビット	ビット名	初期値	R/W	説明								
2	TEND	1	R	トランスミットエンド [セット条件] ● SCRのTEが0のとき ● 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] ● TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき								
● スマートカードインタフェース (SCMR の SMIF=1 のとき)	10-11	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>TEND</td> <td>1</td> <td>R</td> <td>トランスミットエンド 受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。 [セット条件] ● SCRのTE=0かつ ESR=0のとき ● 1バイトのデータを送信して一定期間後、ESR=0かつTDRE=1のとき。セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0のとき、送信開始から2.5etu後 GM=0、BLK=1のとき、送信開始から1.5etu後 GM=1、BLK=0のとき、送信開始から1.0etu後 GM=1、BLK=1のとき、送信開始から1.0etu後 [クリア条件] ● TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	TEND	1	R	トランスミットエンド 受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。 [セット条件] ● SCRのTE=0かつ ESR=0のとき ● 1バイトのデータを送信して一定期間後、ESR=0かつTDRE=1のとき。セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0のとき、送信開始から2.5etu後 GM=0、BLK=1のとき、送信開始から1.5etu後 GM=1、BLK=0のとき、送信開始から1.0etu後 GM=1、BLK=1のとき、送信開始から1.0etu後 [クリア条件] ● TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき
ビット	ビット名	初期値	R/W	説明								
2	TEND	1	R	トランスミットエンド 受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。 [セット条件] ● SCRのTE=0かつ ESR=0のとき ● 1バイトのデータを送信して一定期間後、ESR=0かつTDRE=1のとき。セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0のとき、送信開始から2.5etu後 GM=0、BLK=1のとき、送信開始から1.5etu後 GM=1、BLK=0のとき、送信開始から1.0etu後 GM=1、BLK=1のとき、送信開始から1.0etu後 [クリア条件] ● TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき								

項目	ページ	修正箇所																																																
10.3.9 ビットレートレジスタ (BRR) 表 10.2 BRR の設定値 N とビットレート B の関係	10-13	注を修正 【注】 n と S : 下表のとおり SMR の設定値によって決まります。 <table border="1"> <thead> <tr> <th colspan="3">SMR の設定値</th> <th>n</th> </tr> <tr> <th>CKS1</th> <th>CKS0</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td></td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td></td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td></td> <td>3</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th colspan="3">SMR の設定値</th> <th>S</th> </tr> <tr> <th>BCP1</th> <th>BCP0</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td></td> <td>32</td> </tr> <tr> <td>0</td> <td>1</td> <td></td> <td>64</td> </tr> <tr> <td>1</td> <td>0</td> <td></td> <td>372</td> </tr> <tr> <td>1</td> <td>1</td> <td></td> <td>256</td> </tr> </tbody> </table>	SMR の設定値			n	CKS1	CKS0			0	0		0	0	1		1	1	0		2	1	1		3	SMR の設定値			S	BCP1	BCP0			0	0		32	0	1		64	1	0		372	1	1		256
SMR の設定値			n																																															
CKS1	CKS0																																																	
0	0		0																																															
0	1		1																																															
1	0		2																																															
1	1		3																																															
SMR の設定値			S																																															
BCP1	BCP0																																																	
0	0		32																																															
0	1		64																																															
1	0		372																																															
1	1		256																																															
10.7.7 シリアルデータ受信 (ブロック転送モードを除く) 図 10.29 SCI 受信モードの場合の再転送動作	10-50	図を修正 <p>The diagram shows three data frames: 'n番目の転送フレーム', '再転送のフレーム', and 'n+1番目の転送フレーム'. Each frame consists of data bits (Ds) and a data enable signal (DE). Below the frames, the RDRF (Receive Data Ready Flag) and PER (Parity Error) signals are shown. Arrows indicate the timing of RDRF and PER relative to the data frames.</p>																																																
10.7.8 クロック出力制御 図 10.32 クロック停止・再起動手順	10-53	図を修正 <p>The diagram shows a clock signal that stops during a 'ソフトウェアスタンバイ' (software standby) period and then restarts. Arrows indicate the timing of the clock stop and restart relative to the software standby period.</p>																																																
10.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み 表 10.12 SCI 割り込み要因	10-54	表を修正 <table border="1"> <thead> <tr> <th>チャンネル</th> <th>名称</th> <th>割り込み要因</th> <th>割り込みフラグ</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td>ERI_0</td> <td>受信エラー</td> <td>ORER, FER, PER</td> </tr> <tr> <td>RXI_0</td> <td>受信データフル</td> <td>RDRF</td> </tr> <tr> <td>TXI_0</td> <td>送信データエンブティ</td> <td>TDRE</td> </tr> <tr> <td>TEI_0</td> <td>送信終了</td> <td>TEND</td> </tr> <tr> <td rowspan="4">1</td> <td>ERI_1</td> <td>受信エラー</td> <td>ORER, FER, PER</td> </tr> <tr> <td>RXI_1</td> <td>受信データフル</td> <td>RDRF</td> </tr> <tr> <td>TXI_1</td> <td>送信データエンブティ</td> <td>TDRE</td> </tr> <tr> <td>TEI_1</td> <td>送信終了</td> <td>TEND</td> </tr> </tbody> </table>	チャンネル	名称	割り込み要因	割り込みフラグ	0	ERI_0	受信エラー	ORER, FER, PER	RXI_0	受信データフル	RDRF	TXI_0	送信データエンブティ	TDRE	TEI_0	送信終了	TEND	1	ERI_1	受信エラー	ORER, FER, PER	RXI_1	受信データフル	RDRF	TXI_1	送信データエンブティ	TDRE	TEI_1	送信終了	TEND																		
チャンネル	名称	割り込み要因	割り込みフラグ																																															
0	ERI_0	受信エラー	ORER, FER, PER																																															
	RXI_0	受信データフル	RDRF																																															
	TXI_0	送信データエンブティ	TDRE																																															
	TEI_0	送信終了	TEND																																															
1	ERI_1	受信エラー	ORER, FER, PER																																															
	RXI_1	受信データフル	RDRF																																															
	TXI_1	送信データエンブティ	TDRE																																															
	TEI_1	送信終了	TEND																																															
10.8.2 スマートカードインタフェースモードにおける割り込み 表 10.13 SCI 割り込み要因	10-54	表を修正 <table border="1"> <thead> <tr> <th>チャンネル</th> <th>名称</th> <th>割り込み要因</th> <th>割り込みフラグ</th> </tr> </thead> <tbody> <tr> <td rowspan="3">0</td> <td>ERI_0</td> <td>受信エラー、エラーシグナル検出</td> <td>ORER, PER, ERS</td> </tr> <tr> <td>RXI_0</td> <td>受信データフル</td> <td>RDRF</td> </tr> <tr> <td>TXI_0</td> <td>送信データエンブティ</td> <td>TEND</td> </tr> <tr> <td rowspan="3">1</td> <td>ERI_1</td> <td>受信エラー、エラーシグナル検出</td> <td>ORER, PER, ERS</td> </tr> <tr> <td>RXI_1</td> <td>受信データフル</td> <td>RDRF</td> </tr> <tr> <td>TXI_1</td> <td>送信データエンブティ</td> <td>TEND</td> </tr> </tbody> </table>	チャンネル	名称	割り込み要因	割り込みフラグ	0	ERI_0	受信エラー、エラーシグナル検出	ORER, PER, ERS	RXI_0	受信データフル	RDRF	TXI_0	送信データエンブティ	TEND	1	ERI_1	受信エラー、エラーシグナル検出	ORER, PER, ERS	RXI_1	受信データフル	RDRF	TXI_1	送信データエンブティ	TEND																								
チャンネル	名称	割り込み要因	割り込みフラグ																																															
0	ERI_0	受信エラー、エラーシグナル検出	ORER, PER, ERS																																															
	RXI_0	受信データフル	RDRF																																															
	TXI_0	送信データエンブティ	TEND																																															
1	ERI_1	受信エラー、エラーシグナル検出	ORER, PER, ERS																																															
	RXI_1	受信データフル	RDRF																																															
	TXI_1	送信データエンブティ	TEND																																															
11.2 入出力端子	11-3	説明を修正 端子と CAN バスの間にはバスドライバが必要になります。R2A25416SP とコンパチブルなものを推奨します。																																																

項目	ページ	修正箇所																																																																																																																										
11.3 レジスタの説明	11-3	<p>説明を追加</p> <p>HCAN には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>																																																																																																																										
11.3.16 未読メッセージステータスレジスタ (UMSR)	11-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>UMSR7</td> <td>0</td> <td>R/(W)*</td> <td>メッセージを受信後未読のまま新規メッセージをオーバーライド</td> </tr> <tr> <td>14</td> <td>UMSR6</td> <td>0</td> <td>R/(W)*</td> <td>[セット条件]</td> </tr> <tr> <td>13</td> <td>UMSR5</td> <td>0</td> <td>R/(W)*</td> <td>•RXPRをクリアする前に新規メッセージを受信したとき</td> </tr> <tr> <td>12</td> <td>UMSR4</td> <td>0</td> <td>R/(W)*</td> <td>[クリア条件]</td> </tr> <tr> <td>11</td> <td>UMSR3</td> <td>0</td> <td>R/(W)*</td> <td>•1ライト</td> </tr> <tr> <td>10</td> <td>UMSR2</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>9</td> <td>UMSR1</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>8</td> <td>UMSR0</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>7</td> <td>UMSR15</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>6</td> <td>UMSR14</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>5</td> <td>UMSR13</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>4</td> <td>UMSR12</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>3</td> <td>UMSR11</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>2</td> <td>UMSR10</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>1</td> <td>UMSR9</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> <tr> <td>0</td> <td>UMSR8</td> <td>0</td> <td>R/(W)*</td> <td></td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15	UMSR7	0	R/(W)*	メッセージを受信後未読のまま新規メッセージをオーバーライド	14	UMSR6	0	R/(W)*	[セット条件]	13	UMSR5	0	R/(W)*	•RXPRをクリアする前に新規メッセージを受信したとき	12	UMSR4	0	R/(W)*	[クリア条件]	11	UMSR3	0	R/(W)*	•1ライト	10	UMSR2	0	R/(W)*		9	UMSR1	0	R/(W)*		8	UMSR0	0	R/(W)*		7	UMSR15	0	R/(W)*		6	UMSR14	0	R/(W)*		5	UMSR13	0	R/(W)*		4	UMSR12	0	R/(W)*		3	UMSR11	0	R/(W)*		2	UMSR10	0	R/(W)*		1	UMSR9	0	R/(W)*		0	UMSR8	0	R/(W)*																																						
ビット	ビット名	初期値	R/W	説明																																																																																																																								
15	UMSR7	0	R/(W)*	メッセージを受信後未読のまま新規メッセージをオーバーライド																																																																																																																								
14	UMSR6	0	R/(W)*	[セット条件]																																																																																																																								
13	UMSR5	0	R/(W)*	•RXPRをクリアする前に新規メッセージを受信したとき																																																																																																																								
12	UMSR4	0	R/(W)*	[クリア条件]																																																																																																																								
11	UMSR3	0	R/(W)*	•1ライト																																																																																																																								
10	UMSR2	0	R/(W)*																																																																																																																									
9	UMSR1	0	R/(W)*																																																																																																																									
8	UMSR0	0	R/(W)*																																																																																																																									
7	UMSR15	0	R/(W)*																																																																																																																									
6	UMSR14	0	R/(W)*																																																																																																																									
5	UMSR13	0	R/(W)*																																																																																																																									
4	UMSR12	0	R/(W)*																																																																																																																									
3	UMSR11	0	R/(W)*																																																																																																																									
2	UMSR10	0	R/(W)*																																																																																																																									
1	UMSR9	0	R/(W)*																																																																																																																									
0	UMSR8	0	R/(W)*																																																																																																																									
11.4.2 ハードウェアリセット後の初期設定 図 11.8 1 ビットタイムの詳細	11-28	<p>図を修正</p> <p>1ビットタイム (8~25 Time Quanta)</p> <p>SYNC_SEG PRSEG PHSEG1 PHSEG2</p> <p>1 Time Quanta タイムセグメント1 (TSEG1) タイムセグメント2 (TSEG2)</p> <p>4~16 Time Quanta 2~8 Time Quanta</p>																																																																																																																										
表 11.2 BCR に設定可能なレジスタ値の範囲		<p>表を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>最小値</th> <th>最大値</th> </tr> </thead> <tbody> <tr> <td>タイムセグメント1</td> <td>TSEG1</td> <td>B'0011^{1,2}</td> <td>B'1111</td> </tr> <tr> <td>タイムセグメント2</td> <td>TSEG2</td> <td>B'001³</td> <td>B'11</td> </tr> <tr> <td>ポーレートのブリスケラ</td> <td>BRP</td> <td>B'000000</td> <td>B'111111</td> </tr> <tr> <td>ビットサンプリングポイント</td> <td>BSP</td> <td>B'0</td> <td>B'1</td> </tr> <tr> <td>Re-Synchronization Jump Width</td> <td>SJW⁴</td> <td>B'00</td> <td>B'11</td> </tr> </tbody> </table>	名称	略称	最小値	最大値	タイムセグメント1	TSEG1	B'0011 ^{1,2}	B'1111	タイムセグメント2	TSEG2	B'001 ³	B'11	ポーレートのブリスケラ	BRP	B'000000	B'111111	ビットサンプリングポイント	BSP	B'0	B'1	Re-Synchronization Jump Width	SJW ⁴	B'00	B'11																																																																																																		
名称	略称	最小値	最大値																																																																																																																									
タイムセグメント1	TSEG1	B'0011 ^{1,2}	B'1111																																																																																																																									
タイムセグメント2	TSEG2	B'001 ³	B'11																																																																																																																									
ポーレートのブリスケラ	BRP	B'000000	B'111111																																																																																																																									
ビットサンプリングポイント	BSP	B'0	B'1																																																																																																																									
Re-Synchronization Jump Width	SJW ⁴	B'00	B'11																																																																																																																									
表 11.3 BCR の TSEG1、TSEG2 の設定可能な範囲	11-29	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="2" rowspan="2"></th> <th colspan="8">TSEG2 (BCR[14~12])</th> </tr> <tr> <th>001</th> <th>010</th> <th>011</th> <th>100</th> <th>101</th> <th>110</th> <th>111</th> </tr> </thead> <tbody> <tr> <td rowspan="16">TSEG1 (BCR[11~8])</td> <td>0011</td> <td>X</td> <td>○</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> </tr> <tr> <td>0100</td> <td>○*</td> <td>○</td> <td>○</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> </tr> <tr> <td>0101</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>X</td> <td>X</td> <td>X</td> </tr> <tr> <td>0110</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>X</td> <td>X</td> </tr> <tr> <td>0111</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>X</td> </tr> <tr> <td>1000</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>1001</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>1010</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>1011</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>1100</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>1101</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>1110</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>1111</td> <td>○*</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> </tbody> </table> <p>注を修正</p> <p>【注】 TSEG1、TSEG2 の Time Quanta 値は TSEG 値 + 1 となります。</p> <p>* BRP[13:8]=B'000000 以外のみ設定可能。</p>			TSEG2 (BCR[14~12])								001	010	011	100	101	110	111	TSEG1 (BCR[11~8])	0011	X	○	X	X	X	X	X	0100	○*	○	○	X	X	X	X	0101	○*	○	○	○	X	X	X	0110	○*	○	○	○	○	X	X	0111	○*	○	○	○	○	○	X	1000	○*	○	○	○	○	○	○	1001	○*	○	○	○	○	○	○	1010	○*	○	○	○	○	○	○	1011	○*	○	○	○	○	○	○	1100	○*	○	○	○	○	○	○	1101	○*	○	○	○	○	○	○	1110	○*	○	○	○	○	○	○	1111	○*	○	○	○	○	○	○
		TSEG2 (BCR[14~12])																																																																																																																										
		001	010	011	100	101	110	111																																																																																																																				
TSEG1 (BCR[11~8])	0011	X	○	X	X	X	X	X																																																																																																																				
	0100	○*	○	○	X	X	X	X																																																																																																																				
	0101	○*	○	○	○	X	X	X																																																																																																																				
	0110	○*	○	○	○	○	X	X																																																																																																																				
	0111	○*	○	○	○	○	○	X																																																																																																																				
	1000	○*	○	○	○	○	○	○																																																																																																																				
	1001	○*	○	○	○	○	○	○																																																																																																																				
	1010	○*	○	○	○	○	○	○																																																																																																																				
	1011	○*	○	○	○	○	○	○																																																																																																																				
	1100	○*	○	○	○	○	○	○																																																																																																																				
	1101	○*	○	○	○	○	○	○																																																																																																																				
	1110	○*	○	○	○	○	○	○																																																																																																																				
	1111	○*	○	○	○	○	○	○																																																																																																																				

項目	ページ	修正箇所										
11.6 CAN バスインタフェース	11-41	<p>説明を修正</p> <p>本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC は R2A25416SP デバイスを推奨します。R2A25416SP 以外の製品を使用する場合は、R2A25416SP とコンパチブルな製品を使用してください。</p> <p>図タイトルを修正</p> <p>図を修正</p>										
図 11.15 R2A25416SP を用いたハイスピードインタフェース												
12.3 レジスタの説明	12-4	<p>説明を修正</p> <p>A/D 変換器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>										
13.3 レジスタの説明	13-4	<p>説明を修正</p> <p>PWM には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>										
13.6 割り込み要因 表 13.2 PWM の割り込み要因	13-18	<p>表を修正</p> <table border="1"> <thead> <tr> <th>チャンネル</th> <th>割り込み要因</th> <th>割り込みフラグ</th> </tr> </thead> <tbody> <tr> <td>CM1_1</td> <td>PWCYR_1のコンペアマッチ</td> <td>CMF</td> </tr> <tr> <td>CM1_2</td> <td>PWCYR_2のコンペアマッチ</td> <td>CMF</td> </tr> </tbody> </table>	チャンネル	割り込み要因	割り込みフラグ	CM1_1	PWCYR_1のコンペアマッチ	CMF	CM1_2	PWCYR_2のコンペアマッチ	CMF	
チャンネル	割り込み要因	割り込みフラグ										
CM1_1	PWCYR_1のコンペアマッチ	CMF										
CM1_2	PWCYR_2のコンペアマッチ	CMF										
14.3 各レジスタの説明	14-3	<p>説明を修正</p> <p>LCD コントローラドライバには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>										
16.5 レジスタの説明	16-7	<p>説明を追加</p> <p>フラッシュメモリには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>										
16.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)	16-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>SWE</td> <td>0</td> <td>R/W</td> <td>ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。0 のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。0 のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。
ビット	ビット名	初期値	R/W	説明								
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。0 のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。								

項目	ページ	修正箇所
16.8.1 プログラム/プログラムベリファイ 図 16.9 プログラム/プログラムベリファイフロー	16-18	図を差し替え
16.8.2 イレース/イレースベリファイ	16-19	説明を修正 4. ウォッチドッグタイマの設定はプログラムの暴走等による過剰消去を避けるためのものです。オーバーフロー周期は 19.8ms 程度としてください。
16.8.3 フラッシュメモリの書き込み/消去時の割り込み 図 16.10 イレース/イレースベリファイフロー	16-20	図を修正  <p>【注】 *1 プレライト（消去ブロックのデータをall '0'にする）は必要ありません。 *2 ベリファイデータは16ビット(W)で読み出します。 *3 消去ブロック指定レジスタ（EBR1,EBR2）は1ビットのみ設定してください。2ビット以上を同時に設定しないでください。 *4 消去はブロック単位で行います。複数のブロックを消去する場合は各ブロック単位で順次消去を行ってください。 *5 各タスクの待ち時間とNの値を「22.5 フラッシュメモリ特性」に示します。</p>

項目	ページ	修正箇所						
17.2 モード遷移図 図 17.2 フラッシュメモリに関する状態遷移	17-3	図を修正 <p>【注】 ユーザーモード/ユーザープログラムモード間での遷移は、CPUがフラッシュメモリをアクセスしていない状態で行ってください。 *1 専用のPROMライターにより本LSIはPROMモードに遷移します。</p>						
表 17.1 ブートモードとユーザープログラムモードの相違点		表を修正 <table border="1"> <thead> <tr> <th></th> <th>ブートモード</th> <th>ユーザープログラムモード</th> </tr> </thead> <tbody> <tr> <td>書き換え制御プログラム*</td> <td>プログラム/ プログラムベリファイ</td> <td>イレース/イレースベリファイ プログラム/プログラムベリファイ</td> </tr> </tbody> </table>		ブートモード	ユーザープログラムモード	書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ
	ブートモード	ユーザープログラムモード						
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ						
17.5 レジスタの説明	17-7	説明を追加 フラッシュメモリには以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。						
17.7.3 フラッシュメモリの書き込み/消去時の割り込み	17-17	図を差し替え						
17.10 フラッシュメモリの低消費電力動作	17-19	説明を修正 外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 20μs 以上になるよう SBYCR の STS2~STS0 を設定してください。						
17.11 フラッシュメモリと低消費電力状態	17-19	17.11 を追加						
18.1.1 F-ZTAT マイコンのマスクROM化時の注意事項	18-2	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>RAMミューレーションレジスタ</td> <td>RAMER</td> <td>HFED8</td> </tr> </tbody> </table>	レジスタ名称	略称	アドレス	RAMミューレーションレジスタ	RAMER	HFED8
レジスタ名称	略称	アドレス						
RAMミューレーションレジスタ	RAMER	HFED8						
19.1 レジスタの説明	19-2	説明を追加 クロック発振器には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。						

項目	ページ	修正箇所																																					
19.1.1 システムクロックコントロールレジスタ (SCKCR)	19-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>STCS</td> <td>0</td> <td>R/W</td> <td>周波数逡倍率切り替えモード選択 PLL回路の周波数逡倍率変更時の動作を選択します。 0: 変更した逡倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード遷移後に有効 1: 変更した逡倍率は、STC1、STC0ビット書き換え後に有効</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	STCS	0	R/W	周波数逡倍率切り替えモード選択 PLL回路の周波数逡倍率変更時の動作を選択します。 0: 変更した逡倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード遷移後に有効 1: 変更した逡倍率は、STC1、STC0ビット書き換え後に有効																											
ビット	ビット名	初期値	R/W	説明																																			
3	STCS	0	R/W	周波数逡倍率切り替えモード選択 PLL回路の周波数逡倍率変更時の動作を選択します。 0: 変更した逡倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード遷移後に有効 1: 変更した逡倍率は、STC1、STC0ビット書き換え後に有効																																			
19.2.2 外部クロックを入力する方法 表 19.3 外部クロック入力条件	19-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">Vcc=5.0V±10%</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th>min</th> <th>max</th> </tr> </thead> <tbody> <tr> <td>外部クロック立ち上がり時間</td> <td>t_{cx}</td> <td>—</td> <td>5</td> <td>ns</td> <td>図19.5</td> </tr> </tbody> </table>	項目	記号	Vcc=5.0V±10%		単位	測定条件	min	max	外部クロック立ち上がり時間	t _{cx}	—	5	ns	図19.5																							
項目	記号	Vcc=5.0V±10%			単位	測定条件																																	
		min	max																																				
外部クロック立ち上がり時間	t _{cx}	—	5	ns	図19.5																																		
19.7.2 ボード設計上の注意	19-7	<p>説明を修正</p> <p>PLL 回路の外付け推奨回路を図 19.7 に示します。発振を安定させるための容量 C1 および抵抗 R1 は、PLLAP 端子の近くに配置してください。また、他の信号線と交差させないでください。PLLVSS、VCL と VCC、VSS はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。</p>																																					
20. 低消費電力状態 表 20.2 各モードでの本 LSI の内部状態	20-4	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">機能</th> <th rowspan="2">高速</th> <th rowspan="2">中速</th> <th rowspan="2">スリープ</th> <th>モジュール</th> <th>ウォッチ</th> <th>サブ</th> <th>サブ</th> <th>ソフト</th> <th>ハード</th> </tr> <tr> <th>ストップ</th> <th>ストップ</th> <th>アクティブ</th> <th>スリープ</th> <th>ウェア</th> <th>ウェア</th> </tr> </thead> <tbody> <tr> <td rowspan="2">周辺機能</td> <td>WDT_1</td> <td>動作</td> <td>動作</td> <td>動作</td> <td>動作</td> <td>サブクロック動作</td> <td>サブクロック動作</td> <td>サブクロック動作</td> <td>スタンバイ停止</td> <td>スタンバイ停止</td> </tr> <tr> <td>WDT_0</td> <td>動作</td> <td>動作</td> <td>動作</td> <td>動作</td> <td>停止</td> <td>サブクロック動作</td> <td>サブクロック動作</td> <td>停止</td> <td>(リセット)</td> </tr> </tbody> </table>	機能	高速	中速	スリープ	モジュール	ウォッチ	サブ	サブ	ソフト	ハード	ストップ	ストップ	アクティブ	スリープ	ウェア	ウェア	周辺機能	WDT_1	動作	動作	動作	動作	サブクロック動作	サブクロック動作	サブクロック動作	スタンバイ停止	スタンバイ停止	WDT_0	動作	動作	動作	動作	停止	サブクロック動作	サブクロック動作	停止	(リセット)
機能	高速	中速					スリープ	モジュール	ウォッチ	サブ	サブ	ソフト	ハード																										
			ストップ	ストップ	アクティブ	スリープ		ウェア	ウェア																														
周辺機能	WDT_1	動作	動作	動作	動作	サブクロック動作	サブクロック動作	サブクロック動作	スタンバイ停止	スタンバイ停止																													
	WDT_0	動作	動作	動作	動作	停止	サブクロック動作	サブクロック動作	停止	(リセット)																													
20.1 レジスタの説明	20-5	<p>説明を追加</p> <p>消費電力モードに関連するレジスタには以下のものがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタ状態については「第 21 章 レジスタ一覧」を参照してください。</p>																																					
20.1.2 ローパワーコントロールレジスタ (LPWRCR)	20-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>5</td> <td>—</td> <td>0</td> <td>R/W</td> <td rowspan="6">「19.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。</td> </tr> <tr> <td>4</td> <td>SUBSTP</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>3</td> <td>RF CUT</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>2</td> <td>—</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>STC1</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>0</td> <td>STC0</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	5	—	0	R/W	「19.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。	4	SUBSTP	0	R/W	3	RF CUT	0	R/W	2	—	0	R/W	1	STC1	0	R/W	0	STC0	0	R/W							
ビット	ビット名	初期値	R/W	説明																																			
5	—	0	R/W	「19.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。																																			
4	SUBSTP	0	R/W																																				
3	RF CUT	0	R/W																																				
2	—	0	R/W																																				
1	STC1	0	R/W																																				
0	STC0	0	R/W																																				
22.3.1 クロックタイミング 表 22.4 クロックタイミング	22-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min.</th> <th>max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>クロック立ち上がり時間</td> <td>t_{cx}</td> <td>—</td> <td>10</td> <td>ns</td> <td rowspan="2">図22.2</td> </tr> <tr> <td>クロック立ち下がり時間</td> <td>t_{cx}</td> <td>—</td> <td>10</td> <td>ns</td> </tr> </tbody> </table>	項目	記号	min.	max.	単位	測定条件	クロック立ち上がり時間	t _{cx}	—	10	ns	図22.2	クロック立ち下がり時間	t _{cx}	—	10	ns																				
項目	記号	min.	max.	単位	測定条件																																		
クロック立ち上がり時間	t _{cx}	—	10	ns	図22.2																																		
クロック立ち下がり時間	t _{cx}	—	10	ns																																			
C. 外形寸法図 図 C.1 FP-100A 外形寸法図	付録-3	図を差し替え																																					

索引

16 ビットタイマバルスユニット.....	8-1	クロック発振器.....	19-1
インプットキャプチャ機能.....	8-29	PLL 回路.....	19-6
コンペアマッチによる波形出力.....	8-27	コンディションコードレジスタ (CCR).....	2-12
トグル出力.....	8-27	コンディションフィールド.....	2-27
A/D 変換器.....	12-1	コントローラエリアネットワーク.....	11-1
アナログ入力チャネル.....	12-4	CAN バスインタフェース.....	11-41
シングルモード.....	12-6	HCAN HALT モード.....	11-39
スキャンモード.....	12-7	HCAN スリープモード.....	11-37
外部トリガ.....	12-9	ソフトウェアリセット.....	11-25
変換時間.....	12-7	ハードウェアリセット.....	11-25
Bcc.....	2-16, 2-24	メッセージ受信.....	11-34
EA 拡張部.....	2-27	メッセージ送信.....	11-31
LCD コントローラ/ドライバ.....	14-1	シリアルコミュニケーションインタフェース.....	10-1
LCD RAM.....	14-8	オーバランエラー.....	10-26
LCD 表示.....	14-7	クロック同期式モード.....	10-34
コマンドドライバ.....	14-3	バリディエラー.....	10-26
セグメントドライバ.....	14-4	ビットレート.....	10-12
デューティ比.....	14-1	ブレーク.....	10-55
MCU 動作モード.....	3-1	フレーミングエラー.....	10-26
TRAPA 命令.....	2-30, 4-7	マーク状態.....	10-55
アドレスマップ.....	3-3	マルチプロセッサ通信機能.....	10-29
アドレス空間.....	2-8	調歩同期式モード.....	10-19
アドレッシングモード.....	2-28	スタックポインタ (SP).....	2-10
イミディエイト.....	2-30	スマートカードインタフェース.....	10-42
ディスプレイメント付きレジスタ間接.....	2-28	データディレクションレジスタ.....	7-1
プリデクリメントレジスタ間接.....	2-29	データレジスタ.....	7-1
プログラムカウンタ相対.....	2-30	バスサイクル.....	6-1
ポストインクリメントレジスタ間接.....	2-29	フラッシュメモリ.....	16-1, 17-1
メモリ間接.....	2-30	イレース/イレースベリファイ.....	16-19, 17-16
レジスタ間接.....	2-28	エミュレーション.....	16-15
レジスタ直接.....	2-28	ブートモード.....	16-12, 17-10
絶対アドレス.....	2-29	プログラム/プログラムベリファイ.....	16-17, 17-14
ウォッチドッグタイマ.....	9-1	ユーザプログラムモード.....	16-14
インターバルタイマモード.....	9-10	ユーザモードでの書き込み/消去.....	17-13
ウォッチドッグタイマモード.....	9-8	ライタモード.....	16-22
オーバフロー.....	9-10	書き込み/消去プロテクト.....	16-21
エクステンドレジスタ (EXR).....	2-11	書き込みの単位.....	16-6, 17-6
オープンドレインコントロールレジスタ.....	7-1	消去ブロック.....	16-6, 17-6
オペレーションフィールド.....	2-27	プログラムカウンタ (PC).....	2-11
オンボードプログラミング.....	16-11, 17-10	メモリサイクル.....	6-1

モータコントロール PWM タイマ.....	13-1	PBODR.....	7-27, 21-11, 21-25, 21-38
PWM チャンネル 1	13-16	PCDDR.....	7-29, 21-11, 21-25, 21-38
PWM チャンネル 2	13-17	PCDR	7-29, 21-12, 21-25, 21-38
ライタモード	17-19	PCODR	7-30, 21-11, 21-25, 21-38
リセット	4-3	PDDDR.....	7-32, 21-11, 21-25, 21-38
レジスタ		PDDR	7-32, 21-12, 21-25, 21-38
ABACK	11-12, 21-2, 21-15, 21-29	PFDDR.....	7-34, 21-11, 21-25, 21-38
ADCR	12-6, 21-13, 21-27, 21-40	PFDR.....	7-34, 21-12, 21-25, 21-38
ADCSR.....	12-5, 21-13, 21-27, 21-40	PHDDR.....	7-39, 21-10, 21-24, 21-37
ADDR	12-4, 21-13, 21-27, 21-40	PHDR	7-39, 21-10, 21-24, 21-37
BCR	11-6, 21-2, 21-15, 21-29	PJDDR	7-42, 21-10, 21-24, 21-37
BRR	10-12, 21-13, 21-27, 21-40	PJDR	7-42, 21-10, 21-24, 21-37
EBR1	16-9, 17-9, 21-14, 21-28, 21-41	PORT1	7-9, 21-14, 21-28, 21-41
EBR2	16-10, 21-14, 21-28, 21-41	PORT3	7-18, 21-14, 21-28, 21-41
FLMCR1	16-8, 17-8, 21-14, 21-28, 21-41	PORT4	7-21, 21-14, 21-28, 21-41
FLMCR2	16-9, 17-9, 21-14, 21-28, 21-41	PORTA	7-23, 21-14, 21-28, 21-41
FLPWCR	16-11, 17-10, 21-14, 21-28, 21-41	PORTB	7-26, 21-14, 21-28, 21-41
GSR.....	11-5, 21-2, 21-15, 21-29	PORTC.....	7-30, 21-14, 21-28, 21-41
IER.....	5-5, 21-11, 21-24, 21-38	PORTD.....	7-33, 21-14, 21-28, 21-41
IMR	11-18, 21-2, 21-15, 21-29	PORTF	7-35, 21-14, 21-28, 21-41
IPR.....	5-4, 21-11, 21-25, 21-38	PORTH.....	7-40, 21-10, 21-24, 21-37
IRR	11-15, 21-2, 21-15, 21-29	PORTJ.....	7-43, 21-10, 21-24, 21-37
ISCR	5-5, 21-11, 21-24, 21-37	PWBFR	13-11, 21-10, 21-23, 21-37
ISR.....	5-7, 21-11, 21-24, 21-38	PWCNT	13-7
LAFM.....	11-20, 21-2, 21-16, 21-29	PWCR	13-5, 21-10, 21-23, 21-36
LCR	14-5, 21-10, 21-24, 21-37	PWCYR	13-8, 21-10, 21-23, 21-37
LCR2	14-6, 21-10, 21-24, 21-37	PWDTR	13-9, 13-11
LPCR.....	14-3, 21-10, 21-24, 21-37	PWOOCR	13-6, 21-10, 21-23, 21-36
LPWRCR.....	20-6, 21-10, 21-24, 21-37	PWPR.....	13-7, 21-10, 21-23, 21-36
MBCR	11-8, 21-2, 21-15, 21-29	RAMER	16-10, 21-11, 21-25, 21-38
MBIMR.....	11-17, 21-2, 21-15, 21-29	RDR.....	10-4, 21-13, 21-27, 21-40
MC	11-22, 21-2, 21-16, 21-29	REC.....	11-19, 21-2, 21-15, 21-29
MCR	11-4, 21-2, 21-15, 21-29	RFPR.....	11-14, 21-2, 21-15, 21-29
MD	11-24, 21-6, 21-19, 21-33	RSR.....	10-4
MDCR.....	3-1, 21-10, 21-24, 21-37	RSTCSR	9-7, 21-13, 21-27, 21-40
MSTPCR	20-7, 21-10, 21-24, 21-37	RXPR	11-13, 21-2, 21-15, 21-29
P1DDR	7-8, 21-11, 21-25, 21-38	SBYCR.....	20-5, 21-10, 21-24, 21-37
P1DR.....	7-8, 21-11, 21-25, 21-38	SCKCR.....	19-2, 21-10, 21-24, 21-37
P3DDR	7-17, 21-11, 21-25, 21-38	SCMR.....	10-11, 21-13, 21-27, 21-40
P3DR.....	7-17, 21-11, 21-25, 21-38	SCR.....	10-7, 21-13, 21-27, 21-40
P3ODR	7-18, 21-11, 21-25, 21-38	SMR	10-5, 21-13, 21-27, 21-40
PADDR.....	7-22, 21-11, 21-25, 21-38	SSR	10-9, 21-13, 21-27, 21-40
PADR.....	7-22, 21-11, 21-25, 21-38	SYSCR.....	3-2, 21-10, 21-24, 21-37
PAODR.....	7-23, 21-11, 21-25, 21-38	TCNT.....	8-22, 9-3, 21-12, 21-26, 21-27, 21-39, 21-40
PBDDR.....	7-25, 21-11, 21-25, 21-38	TCR	8-7, 21-12, 21-25, 21-39
PBDR.....	7-26, 21-12, 21-25, 21-38		

TCSR.....	9-4, 21-13, 21-27, 21-40	WOVI.....	9-10
TDDR.....	21-37	割り込みコントローラ.....	5-1
TDR.....	10-4, 21-13, 21-27, 21-40	割り込みマスクビット.....	2-12
TEC.....	11-19, 21-2, 21-15, 21-29	割り込み制御モード.....	5-10
TGR.....	8-23, 21-12, 21-26, 21-39	割り込み例外処理ベクタテーブル.....	5-8
TIER.....	8-19, 21-12, 21-26, 21-39	実効アドレス.....	2-28, 2-31
TIOR.....	8-11, 21-12, 21-26, 21-39	書き込み/消去プロテクト.....	17-18
TMDR.....	8-10, 21-12, 21-25, 21-39	低消費電力状態.....	20-1
TRPRT.....	7-45, 21-10, 21-24, 21-37	ウォッチモード.....	20-14
TSR.....	8-21, 21-12, 21-26, 21-39	サブアクティブモード.....	20-15
TSTR.....	8-23, 21-11, 21-25, 21-38	サブスリープモード.....	20-14
TSYR.....	8-24, 21-11, 21-25, 21-38	スリープモード.....	20-10
TXACK.....	11-11, 21-2, 21-15, 21-29	ソフトウェアスタンバイモード.....	20-10
TXCR.....	11-10, 21-2, 21-15, 21-29	ハードウェアスタンバイモード.....	20-12
TXPR.....	11-9, 21-2, 21-15, 21-29	モジュールストップモード.....	20-13
UMSR.....	11-19, 21-2, 21-15, 21-29	中速モード.....	20-9
レジスタフィールド.....	2-27	直接遷移.....	20-16
レジスタ一覧.....	21-1	動作モードの選択.....	3-1
レジスタアドレス一覧.....	21-2	汎用レジスタ.....	2-10
レジスタビット一覧.....	21-15	命令セット.....	2-16
各動作モードにおけるレジスタの状態.....	21-29	システム制御命令.....	2-25
割り込み.....		シフト命令.....	2-21
ADI.....	12-9	データ転送命令.....	2-18
CMI.....	13-18	ビット操作命令.....	2-22
ERI.....	10-54	ブロック転送命令.....	2-26
ERS0/OVR0.....	11-40	算術演算命令.....	2-19
NMI 割り込み.....	5-7, 9-10	分岐命令.....	2-24
RM0.....	11-40	論理演算命令.....	2-21
RM1.....	11-40	例外処理.....	4-1
RXI.....	10-54	スタックの状態.....	4-8
SLE0.....	11-40	トラップ命令例外処理.....	4-7
TCI.....	8-46	トレース例外処理.....	4-6
TEI.....	10-54	リセット例外処理.....	4-3
TGI.....	8-46	割り込み例外処理.....	4-6
TXI.....	10-54	例外処理ベクタテーブル.....	4-2

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2282グループ、H8S/2280グループ

発行年月日 2001年12月 第1版
2010年3月16日 Rev.4.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2282 グループ、H8S/2280 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0145-0400