

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2319グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2300シリーズ

H8S/2319	HD6432319 HD64F2319 HD64F2319E HD64F2319C
H8S/2318	HD6432318 HD64F2318
H8S/2317(S)	HD6432317S HD64F2317
H8S/2316S	HD6432316S
H8S/2315	HD6432315 HD64F2315
H8S/2314	HD6432314 HD64F2314
H8S/2312S	HD6412312S

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、内部 32 ビット構成の H8S/2000 CPU を核に、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

本 LSI は、ROM、RAM、バスコントローラ、データトランスファコントローラ (DTC)、16 ビットタイマパルスユニット (TPU)、ウォッチドックタイマ、シリアルコミュニケーションインタフェース (SCI)、D/A 変換機、A/D 変換機、I/O ポートなどの周辺機能を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ (F-ZTAT^{TM*})、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】* F-ZTAT は (株) ルネサス テクノロジーの商標です。

対象者 このマニュアルは、H8S/2319 グループを用いた応用システムを設計するユーザを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2319 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき
→ 目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU 機能の詳細を理解したいとき
→ 別冊の「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名がわかっていて、詳細機能を知りたいとき
→ 「付録B. 内部I/Oレジスタ」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : 16 ビットタイマパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。
(<http://japan.renesas.com/>)

- H8S/2319 グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2319 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズシミュレータ・デバッガ (Windows 版) ユーザーズマニュアル	ADJ - 702 - 163
H8S、H8/300 シリーズシミュレータ・デバッガ (UNIX 版) ユーザーズマニュアル	ADJ - 702 - 355
High-performance Embedded Workshop ユーザーズマニュアル	ADJ - 702 - 275

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
H8S シリーズテクニカル Q&A	ADJ - 502 - 065
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																						
1.3.1 ピン配置図 図 1.6 HD64F2319CLP、 HD6432317SLP、 HD6432316SLP ピン配置図 （TLP-113V：上面図）	1-11	図 1.6 を修正 （修正前）DF2319C（113pin）ピン配置図（TOP-VIEW） → （修正後）ピン配置図（TOP-VIEW）																																																						
3.3.8 モード 8、9	3-8	タイトルを修正 （修正前）モード 8、9 [H8S/2318F-ZTAT、H8S/2317F-ZTAT、 H8S/2315F-ZTAT、H8S/2314F-ZTAT のみ] → （修正後）モード 8、9																																																						
3.3.11 モード 12、13	3-8	タイトルを修正 （修正前）モード 12、13 [H8S/2318F-ZTAT、H8S/2317F-ZTAT、 H8S/2315F-ZTAT、H8S/2314F-ZTAT のみ] → （修正後）モード 12、13																																																						
6.3.5 チップセレクト信号	6-16	説明を修正 …ポートのデータディレクションレジスタ（DDR）、CS167 イネーブル（CS167E）、CS25 イネーブル、CSS17、CSS36、PF1CS5S、PF0CS4S を設定することにより行います。…ROM 無効拡張モードでは…CS1~CS7 信号を出力する場合には対応する制御レジスタを設定してください。ROM 有効拡張モードでは…CS0~CS7 信号を出力する場合には対応する制御レジスタを設定してください。…																																																						
12.2.8 ビットレートレジスタ（BRR） 表 12.3 ビットレートに対する BRR の設定例（調歩同期モード）	12-19	表 12.3 を修正 <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="3">φ (MHz)</th> </tr> <tr> <th colspan="3">25</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>110</td> <td>3</td> <td>110</td> <td>-0.02</td> </tr> <tr> <td>150</td> <td>3</td> <td>80</td> <td>0.47</td> </tr> <tr> <td>300</td> <td>2</td> <td>162</td> <td>-0.15</td> </tr> <tr> <td>600</td> <td>2</td> <td>80</td> <td>0.47</td> </tr> <tr> <td>1200</td> <td>1</td> <td>162</td> <td>-0.15</td> </tr> <tr> <td>2400</td> <td>1</td> <td>80</td> <td>0.47</td> </tr> <tr> <td>4800</td> <td>0</td> <td>162</td> <td>-0.15</td> </tr> <tr> <td>9600</td> <td>0</td> <td>80</td> <td>0.47</td> </tr> <tr> <td>19200</td> <td>0</td> <td>40</td> <td>-0.76</td> </tr> <tr> <td>31250</td> <td>0</td> <td>24</td> <td>0.00</td> </tr> <tr> <td>38400</td> <td>0</td> <td>19</td> <td>1.73</td> </tr> </tbody> </table>	ビットレート (bit/s)	φ (MHz)			25			n	N	誤差 (%)	110	3	110	-0.02	150	3	80	0.47	300	2	162	-0.15	600	2	80	0.47	1200	1	162	-0.15	2400	1	80	0.47	4800	0	162	-0.15	9600	0	80	0.47	19200	0	40	-0.76	31250	0	24	0.00	38400	0	19	1.73
ビットレート (bit/s)	φ (MHz)																																																							
	25																																																							
	n	N	誤差 (%)																																																					
110	3	110	-0.02																																																					
150	3	80	0.47																																																					
300	2	162	-0.15																																																					
600	2	80	0.47																																																					
1200	1	162	-0.15																																																					
2400	1	80	0.47																																																					
4800	0	162	-0.15																																																					
9600	0	80	0.47																																																					
19200	0	40	-0.76																																																					
31250	0	24	0.00																																																					
38400	0	19	1.73																																																					

修正項目	ページ	修正内容（詳細はマニュアル参照）																														
17.4.1 特長	17-6	説明を修正 <ul style="list-style-type: none"> 書き換え回数 フラッシュメモリの書き換えは、min100回可能です。																														
17.13.1 特長	17-56	説明を修正 <ul style="list-style-type: none"> 書き換え回数 フラッシュメモリの書き換えは、min100回可能です。																														
17.22.1 特長	17-103	説明を修正 <ul style="list-style-type: none"> プロテクトモード レジスタ設定によるソフトウェアプロテクト、リセット/ハードウェアスタンバイによるハードウェアプロテクト、およびエラープロテクトの3種類のモードがあり、…																														
17.22.4 モード比較 表 17.46 プログラミングモードの比較	17-106	表 17.46 を修正 <table border="1"> <thead> <tr> <th></th> <th>ブートモード</th> <th>ユーザプログラムモード</th> <th>ユーザブートモード</th> <th>ライターモード</th> </tr> </thead> <tbody> <tr> <td>書き込み/消去環境</td> <td colspan="4">オンボードプログラミング</td> </tr> <tr> <td>書き込み/消去可能マット</td> <td>ユーザマット ユーザブートマット</td> <td>ユーザマット</td> <td>ユーザマット</td> <td>ユーザマット ユーザブートマット</td> </tr> <tr> <td>書き込み/消去制御</td> <td>コマンド方式</td> <td>書き込み/消去 インタフェース</td> <td>書き込み/消去 インタフェース</td> <td>コマンド方式</td> </tr> <tr> <td>全面消去</td> <td>○（自動）</td> <td>○</td> <td>○</td> <td>○（自動）</td> </tr> <tr> <td>ブロック分割消去</td> <td>○*</td> <td>○</td> <td>○</td> <td>×</td> </tr> </tbody> </table>		ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード	書き込み/消去環境	オンボードプログラミング				書き込み/消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット	書き込み/消去制御	コマンド方式	書き込み/消去 インタフェース	書き込み/消去 インタフェース	コマンド方式	全面消去	○（自動）	○	○	○（自動）	ブロック分割消去	○*	○	○	×
	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード																												
書き込み/消去環境	オンボードプログラミング																															
書き込み/消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット																												
書き込み/消去制御	コマンド方式	書き込み/消去 インタフェース	書き込み/消去 インタフェース	コマンド方式																												
全面消去	○（自動）	○	○	○（自動）																												
ブロック分割消去	○*	○	○	×																												
17.23.2 書き込み/消去インタフェースパラメータ	17-119	説明を修正 …内蔵プログラム実行においては、ER0 および ER1 以外の CPU のレジスタは保存されます。ROL は、処理結果の戻り値が記入されます。ER0 および ER1 以外のレジスタの保存…																														
17.24.2 ユーザプログラムモード	17-139	(2) ユーザプログラムモードでの書き込み手順 説明を修正 [7] 初期化の実行 <ul style="list-style-type: none"> 初期化プログラムでは ER0 および ER1 以外の汎用レジスタは保存されません。 																														
	17-140	[12] 書き込み処理の実行 <ul style="list-style-type: none"> 書き込みプログラムでは ER0、ER1 以外の汎用レジスタは保存されます。 																														
	17-142	(3) ユーザプログラムモードでの消去手順 説明を修正 [2] 消去に必要な FEBS パラメータの設定を行います。 …に設定します。ユーザマットの消去ブロック番号以外の値が… [3] 消去処理の実行 <ul style="list-style-type: none"> 消去プログラムでは ER0、ER1 以外の汎用レジスタは保存されません。 																														
17.25 プロテクト	17-147	説明を修正 フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトとエラープロテクトの3種類があります。																														

修正項目	ページ	修正内容（詳細はマニュアル参照）																																										
17.29.1 ブートモードの標準シリアル通信インタフェース仕様	17-160	説明を修正 ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCI を使って… (1) ステータス 説明を修正 (b) 問い合わせ選択ステータス …消去関連ライブラリを内蔵 RAM 上に転送し、ユーザマットとユーザブートマットを消去します。 ----- (c) 書き込み消去ステータス …書き込み、消去プログラムを内蔵 RAM に転送し、書き込み / 消去を行います。…																																										
	17-162	(3) 通信プロトコル 説明を修正 合わせ込みが完了した後の、ホストとブートプログラムとの…																																										
	17-165	(4) 問い合わせ選択ステータス 説明を修正 (b) デバイス選択 • サイズ (1 バイト) : デバイスコードの文字数 (固定値で 4) (c) クロックモード問い合わせ (修正前) レスポンス H'31 サイズ モード数 モード … SUM (修正後) レスポンス H'31 サイズ モード … SUM ----- サイズ (1 バイト) : モードの合計サイズ • モード 1 バイト) : 選択可能なクロックモード (例 : H'01 クロックモード 1) …																																										
	17-173	(9) 書き込み消去ステータス (d) 128 バイト書き込み 説明を修正 ERROR : (1 バイト) : エラーコード H'11 : サムチェックエラー H'2A : アドレスエラー、アドレスが指定のマットの範囲にない																																										
20.2.6 フラッシュメモリ特性 表 20.19 フラッシュメモリ特性	20-31	表 20.19 を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>書き込み時間^{a1,a2,a4}</td> <td>tP</td> <td>—</td> <td>10</td> <td>200</td> <td>ms/128 バイト</td> <td></td> </tr> <tr> <td>消去時間^{a1,a2,a6}</td> <td>tE</td> <td>—</td> <td>50</td> <td>1000</td> <td>ms/ ブロック</td> <td></td> </tr> <tr> <td>書き換え回数</td> <td>N_{WEC}</td> <td>100^{a7}</td> <td>10000^{a8}</td> <td>—</td> <td>回</td> <td></td> </tr> <tr> <td>データ保持時間^{a9}</td> <td>tDRP</td> <td>10</td> <td>—</td> <td>—</td> <td>年</td> <td></td> </tr> <tr> <td>書き込み時 SWE ビットセット後のウェイト時間^{a1}</td> <td>X</td> <td>1</td> <td>—</td> <td>—</td> <td>μs</td> <td></td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	書き込み時間 ^{a1,a2,a4}	tP	—	10	200	ms/128 バイト		消去時間 ^{a1,a2,a6}	tE	—	50	1000	ms/ ブロック		書き換え回数	N _{WEC}	100 ^{a7}	10000 ^{a8}	—	回		データ保持時間 ^{a9}	tDRP	10	—	—	年		書き込み時 SWE ビットセット後のウェイト時間 ^{a1}	X	1	—	—	μs	
項目	記号	min	typ	max	単位	測定条件																																						
書き込み時間 ^{a1,a2,a4}	tP	—	10	200	ms/128 バイト																																							
消去時間 ^{a1,a2,a6}	tE	—	50	1000	ms/ ブロック																																							
書き換え回数	N _{WEC}	100 ^{a7}	10000 ^{a8}	—	回																																							
データ保持時間 ^{a9}	tDRP	10	—	—	年																																							
書き込み時 SWE ビットセット後のウェイト時間 ^{a1}	X	1	—	—	μs																																							
	20-32	注*7～*9 を追加 【注】*7 書き換え後のすべての特性を保証する min 回数です (保証は 1～min 値の範囲です)。 *8 25°C のときの参考値 (通常この値まで書き換えは機能するという目安です)。 *9 書き換えが min 値を含む使用範囲内で行われたときのデータ保持特性です。																																										

修正項目	ページ	修正内容 (詳細はマニュアル参照)																												
20.3.2 DC 特性 表 20.21 DC 特性	20-35	<p>表 20.21 を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>RAMスタンバイ電圧</td> <td>VRAM</td> <td>2.5</td> <td>—</td> <td>—</td> <td>V</td> <td></td> </tr> <tr> <td>V_{CC} 開始電圧*5</td> <td>V_{CC start}</td> <td>—</td> <td>—</td> <td>0.4</td> <td>V</td> <td></td> </tr> <tr> <td>V_{CC} 立ち上がり勾配*5</td> <td>SV_{CC}</td> <td>—</td> <td>—</td> <td>10</td> <td>ms/V</td> <td></td> </tr> </tbody> </table> <p>注*5 を追加 【注】*5 電源投入時、RES 端子が Low レベルになっている条件で適用します。</p>	項目	記号	min	typ	max	単位	測定条件	RAMスタンバイ電圧	VRAM	2.5	—	—	V		V _{CC} 開始電圧*5	V _{CC start}	—	—	0.4	V		V _{CC} 立ち上がり勾配*5	SV _{CC}	—	—	10	ms/V	
項目	記号	min	typ	max	単位	測定条件																								
RAMスタンバイ電圧	VRAM	2.5	—	—	V																									
V _{CC} 開始電圧*5	V _{CC start}	—	—	0.4	V																									
V _{CC} 立ち上がり勾配*5	SV _{CC}	—	—	10	ms/V																									
20.3.6 フラッシュメモリ特性 表 20.29 フラッシュメモリ特性	20-41	<p>表 20.29 を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>書き換え回数</td> <td>NWEC</td> <td>100*3</td> <td>10000*5</td> <td>—</td> <td>回</td> <td></td> </tr> <tr> <td>データ保持時間*4</td> <td>IDRP</td> <td>10</td> <td>—</td> <td>—</td> <td>年</td> <td></td> </tr> </tbody> </table> <p>注*5 を追加 【注】*5 25°C のときの参考値 (通常この値まで書き換えは機能するという目安です)</p>	項目	記号	min	typ	max	単位	測定条件	書き換え回数	NWEC	100*3	10000*5	—	回		データ保持時間*4	IDRP	10	—	—	年								
項目	記号	min	typ	max	単位	測定条件																								
書き換え回数	NWEC	100*3	10000*5	—	回																									
データ保持時間*4	IDRP	10	—	—	年																									
G. 外形寸法図 図 G.4 TLP-113V の外形寸法図	付録-214	図 G.4 を差し替え																												

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

第 1 章 概要

1.1	概要	1-1
1.2	ブロック図	1-6
1.3	端子説明	1-7
1.3.1	ピン配置図	1-7
1.3.2	動作モード別端子機能一覧	1-12
1.3.3	端子機能	1-16

第 2 章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.3	H8/300 CPU との相違点	2-2
2.1.4	H8/300H CPU との相違点	2-3
2.2	CPU 動作モード	2-3
2.3	アドレス空間	2-6
2.4	レジスタ構成	2-7
2.4.1	概要	2-7
2.4.2	汎用レジスタ	2-8
2.4.3	コントロールレジスタ	2-9
2.4.4	CPU 内部レジスタの初期値	2-11
2.5	データ構成	2-12
2.5.1	汎用レジスタのデータ構成	2-12
2.5.2	メモリ上でのデータ構成	2-13
2.6	命令セット	2-15
2.6.1	概要	2-15
2.6.2	命令とアドレッシングモードの組み合わせ	2-16
2.6.3	命令の機能別一覧	2-17
2.6.4	命令の基本フォーマット	2-25
2.7	アドレッシングモードと実効アドレスの計算方法	2-26
2.7.1	アドレッシングモード	2-26
2.7.2	実効アドレスの計算方法	2-28
2.8	処理状態	2-32
2.8.1	概要	2-32
2.8.2	リセット状態	2-33
2.8.3	例外処理状態	2-34
2.8.4	プログラム実行状態	2-35
2.8.5	バス権解放状態	2-35

2.8.6	低消費電力状態	2-36
2.9	基本動作タイミング	2-37
2.9.1	概要	2-37
2.9.2	内蔵メモリ (ROM、RAM)	2-37
2.9.3	内蔵周辺モジュールアクセスタイミング	2-38
2.9.4	外部アドレス空間アクセスタイミング	2-39
2.10	使用上の注意	2-40
2.10.1	TAS 命令	2-40

第 3 章 MCU 動作モード

3.1	概要	3-1
3.1.1	動作モードの選択 (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、 H8S/2314 F-ZTAT)	3-1
3.1.2	動作モードの選択 (ROM なし版、マスク ROM 版、H8S/2319 F-ZTAT、 H8S/2319C F-ZTAT)	3-2
3.1.3	レジスタ構成	3-3
3.2	各レジスタの説明	3-4
3.2.1	モードコントロールレジスタ (MDCR)	3-4
3.2.2	システムコントロールレジスタ (SYSCR)	3-4
3.2.3	システムコントロールレジスタ 2 (SYSCR2) [F-ZTAT 版のみ]	3-6
3.3	各動作モードの説明	3-7
3.3.1	モード 1 [H8S/2319C F-ZTAT のみ]	3-7
3.3.2	モード 2 [H8S/2319 F-ZTAT、H8S/2319C F-ZTAT のみ]	3-7
3.3.3	モード 3 [H8S/2319 F-ZTAT、H8S/2319C F-ZTAT のみ]	3-7
3.3.4	モード 4 (内蔵 ROM 無効拡張モード)	3-7
3.3.5	モード 5 (内蔵 ROM 無効拡張モード)	3-7
3.3.6	モード 6 (内蔵 ROM 有効拡張モード)	3-8
3.3.7	モード 7 (シングルチップモード)	3-8
3.3.8	モード 8、9	3-8
3.3.9	モード 10 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、 H8S/2314 F-ZTAT のみ]	3-8
3.3.10	モード 11 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、 H8S/2314 F-ZTAT のみ]	3-8
3.3.11	モード 12、13	3-8
3.3.12	モード 14 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、 H8S/2314 F-ZTAT のみ]	3-8
3.3.13	モード 15 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、 H8S/2314 F-ZTAT のみ]	3-9
3.4	各動作モードにおける端子機能	3-9
3.5	各動作モードのアドレスマップ	3-10

第 4 章 例外処理

4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2

4.2	リセット	4-4
4.2.1	概要	4-4
4.2.2	リセットシーケンス	4-4
4.2.3	リセット直後の割り込み	4-5
4.2.4	リセット解除後の内蔵周辺機能	4-5
4.3	トレース	4-6
4.4	割り込み	4-7
4.5	トラップ命令	4-8
4.6	例外処理後のスタックの状態	4-9
4.7	スタック使用上の注意	4-10
第5章 割り込みコントローラ		
5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	ブロック図	5-2
5.1.3	端子構成	5-2
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4
5.2.2	インタラプトプライオリティレジスタ A ~ K (IPRA ~ IPRK)	5-5
5.2.3	IRQ イネーブルレジスタ (IER)	5-6
5.2.4	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	5-7
5.2.5	IRQ ステータスレジスタ (ISR)	5-8
5.3	割り込み要因	5-9
5.3.1	外部割り込み	5-9
5.3.2	内部割り込み	5-10
5.3.3	割り込み例外処理ベクタテーブル	5-11
5.4	割り込み動作	5-15
5.4.1	割り込み制御モードと割り込み動作	5-15
5.4.2	割り込み制御モード 0	5-18
5.4.3	割り込み制御モード 2	5-20
5.4.4	割り込み例外処理シーケンス	5-22
5.4.5	割り込み応答時間	5-23
5.5	使用上の注意	5-24
5.5.1	割り込みの発生とディスエーブルとの競合	5-24
5.5.2	割り込みを禁止している命令	5-24
5.5.3	割り込み禁止期間	5-25
5.5.4	EEPMOV 命令実行中の割り込み	5-25
5.6	割り込みによる DTC の起動	5-26
5.6.1	概要	5-26
5.6.2	ブロック図	5-26
5.6.3	動作説明	5-27

第6章 バスコントローラ

6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-4
6.2	各レジスタの説明	6-5
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-5
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-5
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	6-6
6.2.4	バスコントロールレジスタ H (BCRH)	6-9
6.2.5	バスコントロールレジスタ L (BCRL)	6-11
6.3	バス制御の概要	6-13
6.3.1	エリア分割	6-13
6.3.2	バス仕様	6-14
6.3.3	メモリアインタフェース	6-15
6.3.4	アドバンスモード	6-15
6.3.5	チップセレクト信号	6-16
6.4	基本バスインタフェース	6-17
6.4.1	概要	6-17
6.4.2	データサイズとデータアライメント	6-17
6.4.3	有効ストローク	6-18
6.4.4	基本タイミング	6-19
6.4.5	ウェイト制御	6-27
6.5	パーストROMインタフェース	6-29
6.5.1	概要	6-29
6.5.2	基本タイミング	6-29
6.5.3	ウェイト制御	6-30
6.6	アイドルサイクル	6-31
6.6.1	動作説明	6-31
6.6.2	アイドルサイクルでの端子状態	6-34
6.7	バス解放	6-35
6.7.1	概要	6-35
6.7.2	動作説明	6-35
6.7.3	外部バス権解放状態での端子状態	6-36
6.7.4	遷移タイミング	6-37
6.7.5	使用上の注意	6-37
6.8	バスアービトレーション	6-38
6.8.1	概要	6-38
6.8.2	動作説明	6-38
6.8.3	バス権移行タイミング	6-39
6.8.4	外部バス権解放使用上の注意	6-39
6.9	リセットとバスコントローラ	6-39

第7章 データトランスファコントローラ (DTC)

7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	レジスタ構成	7-3
7.2	各レジスタの説明	7-4
7.2.1	DTC モードレジスタ A (MRA)	7-4
7.2.2	DTC モードレジスタ B (MRB)	7-6
7.2.3	DTC ソースアドレスレジスタ (SAR)	7-7
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	7-7
7.2.5	DTC 転送カウントレジスタ A (CRA)	7-7
7.2.6	DTC 転送カウントレジスタ B (CRB)	7-8
7.2.7	DTC イネーブルレジスタ (DTCER)	7-8
7.2.8	DTC ベクタレジスタ (DTVECR)	7-9
7.2.9	モジュールストップコントロールレジスタ (MSTPCR)	7-10
7.3	動作説明	7-11
7.3.1	概要	7-11
7.3.2	起動要因	7-13
7.3.3	DTC ベクタテーブル	7-14
7.3.4	アドレス空間上でのレジスタ情報の配置	7-16
7.3.5	ノーマルモード	7-17
7.3.6	リピートモード	7-18
7.3.7	ブロック転送モード	7-19
7.3.8	チェーン転送	7-20
7.3.9	動作タイミング	7-21
7.3.10	DTC 実行ステート数	7-22
7.3.11	DTC 使用手順	7-23
7.3.12	DTC 使用例	7-23
7.4	割り込み	7-26
7.5	使用上の注意	7-26

第8章 I/O ポート

8.1	概要	8-1
8.2	ポート 1	8-6
8.2.1	概要	8-6
8.2.2	レジスタ構成	8-8
8.2.3	端子機能	8-11
8.3	ポート 2	8-19
8.3.1	概要	8-19
8.3.2	レジスタ構成	8-19
8.3.3	端子機能	8-21
8.4	ポート 3	8-29
8.4.1	概要	8-29
8.4.2	レジスタ構成	8-29
8.4.3	端子機能	8-32

8.5	ポート 4	8-34
8.5.1	概要	8-34
8.5.2	レジスタ構成	8-34
8.5.3	端子機能	8-35
8.6	ポート A	8-36
8.6.1	概要	8-36
8.6.2	レジスタ構成	8-37
8.6.3	モード別端子機能	8-39
8.6.4	入力プルアップ MOS	8-41
8.7	ポート B	8-42
8.7.1	概要	8-42
8.7.2	レジスタ構成	8-44
8.7.3	モード別端子機能	8-46
8.7.4	入力プルアップ MOS	8-47
8.8	ポート C	8-48
8.8.1	概要	8-48
8.8.2	レジスタ構成	8-50
8.8.3	モード別端子機能	8-52
8.8.4	入力プルアップ MOS	8-53
8.9	ポート D	8-54
8.9.1	概要	8-54
8.9.2	レジスタ構成	8-55
8.9.3	モード別端子機能	8-57
8.9.4	入力プルアップ MOS	8-58
8.10	ポート E	8-59
8.10.1	概要	8-59
8.10.2	レジスタ構成	8-60
8.10.3	モード別端子機能	8-62
8.10.4	入力プルアップ MOS	8-63
8.11	ポート F	8-64
8.11.1	概要	8-64
8.11.2	レジスタ構成	8-65
8.11.3	端子機能	8-70
8.12	ポート G	8-73
8.12.1	概要	8-73
8.12.2	レジスタ構成	8-74
8.12.3	端子機能	8-78

第 9 章 16 ビットタイマパルスユニット (TPU)

9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	ブロック図	9-5
9.1.3	端子構成	9-6
9.1.4	レジスタ構成	9-7
9.2	各レジスタの説明	9-9

9.2.1	タイマコントロールレジスタ (TCR)	9-9
9.2.2	タイマモードレジスタ (TMDR)	9-13
9.2.3	タイマ I/O コントロールレジスタ (TIOR)	9-15
9.2.4	タイマインタラプトイネーブルレジスタ (TIER)	9-24
9.2.5	タイマステータスレジスタ (TSR)	9-26
9.2.6	タイマカウンタ (TCNT)	9-30
9.2.7	タイマジェネラルレジスタ (TGR)	9-30
9.2.8	タイマスタートレジスタ (TSTR)	9-31
9.2.9	タイマシンクロレジスタ (TSYR)	9-32
9.2.10	モジュールストップコントロールレジスタ (MSTPCR)	9-33
9.3	バスマスタとのインタフェース	9-34
9.3.1	16 ビットレジスタ	9-34
9.3.2	8 ビットレジスタ	9-34
9.4	動作説明	9-36
9.4.1	概要	9-36
9.4.2	基本機能	9-37
9.4.3	同期動作	9-44
9.4.4	バッファ動作	9-46
9.4.5	カスケード接続動作	9-50
9.4.6	PWM モード	9-52
9.4.7	位相計数モード	9-57
9.5	割り込み	9-63
9.5.1	割り込み要因と優先順位	9-63
9.5.2	DTC の起動	9-65
9.5.3	A/D 変換器の起動	9-65
9.6	動作タイミング	9-66
9.6.1	入出力タイミング	9-66
9.6.2	割り込み信号タイミング	9-70
9.7	使用上の注意	9-74

第 10 章 8 ビットタイマ

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-2
10.1.3	端子構成	10-3
10.1.4	レジスタ構成	10-3
10.2	各レジスタの説明	10-4
10.2.1	タイマカウンタ 0、1 (TCNT0、TCNT1)	10-4
10.2.2	タイムコンスタントレジスタ A0、A1 (TCORA0、TCORA1)	10-4
10.2.3	タイムコンスタントレジスタ B0、B1 (TCORB0、TCORB1)	10-5
10.2.4	タイマコントロールレジスタ 0、1 (TCR0、TCR1)	10-6
10.2.5	タイマコントロール/ステータスレジスタ 0、1 (TCSR0、TCSR1)	10-8
10.2.6	モジュールストップコントロールレジスタ (MSTPCR)	10-10
10.3	動作説明	10-11
10.3.1	TCNT のカウントタイミング	10-11
10.3.2	コンペアマッチタイミング	10-13

10.3.3	TCNT の外部リセットタイミング	10-14
10.3.4	オーバフローフラグ (OVF) のセットタイミング	10-15
10.3.5	カスケード接続時の動作	10-15
10.4	割り込み	10-17
10.4.1	割り込み要因と DTC 起動	10-17
10.4.2	A/D 変換器の起動	10-17
10.5	8 ビットタイマの使用例	10-18
10.6	使用上の注意	10-19
10.6.1	TCNT のライトとカウンタクリアの競合	10-19
10.6.2	TCNT のライトとカウントアップの競合	10-20
10.6.3	TCOR のライトとコンペアマッチの競合	10-21
10.6.4	コンペアマッチ A、B の競合	10-21
10.6.5	内部クロックの切り替えと TCNT の動作	10-22
10.6.6	モジュールストップ時の割り込み	10-24

第 11 章 ウォッチドッグタイマ (WDT)

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-4
11.2.1	タイマカウンタ (TCNT)	11-4
11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	11-4
11.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-7
11.2.4	レジスタアクセス時の注意	11-8
11.3	動作説明	11-10
11.3.1	ウォッチドッグタイマモード時の動作	11-10
11.3.2	インターバルタイマモード時の動作	11-11
11.3.3	オーバフローフラグ (OVF) のセットタイミング	11-11
11.3.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	11-12
11.4	割り込み	11-13
11.5	使用上の注意	11-13
11.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	11-13
11.5.2	CKS2 ~ CKS0 ビットの書き換え	11-13
11.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	11-14
11.5.4	WDTOVF 信号によるシステムのリセット	11-14
11.5.5	ウォッチドッグタイマモードでの内部リセット	11-14

第 12 章 シリアルコミュニケーションインタフェース (SCI)

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-3
12.1.3	端子構成	12-4
12.1.4	レジスタ構成	12-4
12.2	各レジスタの説明	12-5

12.2.1	レシープシフトレジスタ (RSR)	12-5
12.2.2	レシープデータレジスタ (RDR)	12-5
12.2.3	トランスミットシフトレジスタ (TSR)	12-5
12.2.4	トランスミットデータレジスタ (TDR)	12-6
12.2.5	シリアルモードレジスタ (SMR)	12-6
12.2.6	シリアルコントロールレジスタ (SCR)	12-9
12.2.7	シリアルステータスレジスタ (SSR)	12-12
12.2.8	ビットレートレジスタ (BRR)	12-16
12.2.9	スマートカードモードレジスタ (SCMR)	12-24
12.2.10	モジュールストップコントロールレジスタ (MSTPCR)	12-25
12.3	動作説明	12-26
12.3.1	概要	12-26
12.3.2	調歩同期式モード時の動作	12-28
12.3.3	マルチプロセッサ通信機能	12-38
12.3.4	クロック同期式モード時の動作	12-45
12.4	SCI 割り込み	12-52
12.5	使用上の注意	12-53

第 13 章 スマートカードインタフェース

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	スマートカードモードレジスタ (SCMR)	13-4
13.2.2	シリアルステータスレジスタ (SSR)	13-5
13.2.3	シリアルモードレジスタ (SMR)	13-7
13.2.4	シリアルコントロールレジスタ (SCR)	13-8
13.3	動作説明	13-9
13.3.1	概要	13-9
13.3.2	端子接続	13-9
13.3.3	データフォーマット	13-10
13.3.4	レジスタの設定	13-12
13.3.5	クロック	13-14
13.3.6	データの送信 / 受信動作	13-16
13.3.7	GSM モード時の動作	13-23
13.3.8	ブロック転送モード時の動作	13-24
13.4	使用上の注意	13-25

第 14 章 A/D 変換器 (アナログ入力 8 チャンネル版)

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-3
14.1.4	レジスタ構成	14-3

14.2	各レジスタの説明	14-4
14.2.1	A/D データレジスタ A~D (ADDRA ~ ADDR D)	14-4
14.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	14-5
14.2.3	A/D コントロールレジスタ (ADCR)	14-7
14.2.4	モジュールストップコントロールレジスタ (MSTPCR)	14-8
14.3	バスマスタとのインタフェース	14-9
14.4	動作説明	14-10
14.4.1	SCAN = 0 (シングルモード)	14-10
14.4.2	SCAN = 1 (スキャンモード)	14-12
14.4.3	入力サンプリングと A/D 変換時間	14-14
14.4.4	外部トリガ入力タイミング	14-15
14.5	割り込み	14-16
14.6	使用上の注意	14-16
第 15 章 D/A 変換器		
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-2
15.1.4	レジスタ構成	15-3
15.2	各レジスタの説明	15-3
15.2.1	D/A データレジスタ 0、1 (DADR0、1)	15-3
15.2.2	D/A コントロールレジスタ 01 (DADR01)	15-3
15.2.3	モジュールストップコントロールレジスタ (MSTPCR)	15-5
15.3	動作説明	15-6
第 16 章 RAM		
16.1	概要	16-1
16.1.1	ブロック図	16-1
16.1.2	レジスタ構成	16-2
16.2	各レジスタの説明	16-2
16.2.1	システムコントロールレジスタ (SYSCR)	16-2
16.3	動作説明	16-2
16.4	使用上の注意	16-3
第 17 章 ROM		
17.1	概要	17-1
17.1.1	ブロック図	17-1
17.1.2	レジスタ構成	17-1
17.2	レジスタの説明	17-2
17.2.1	モードコントロールレジスタ (MDCR)	17-2
17.2.2	バスコントロールレジスタ L (BCRL)	17-3
17.3	動作説明	17-4
17.4	フラッシュメモリの概要 (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、 H8S/2314 F-ZTAT)	17-6

17.4.1	特長	17-6
17.4.2	概要	17-7
17.4.3	フラッシュメモリの動作モード	17-8
17.4.4	オンボードプログラミングモード	17-9
17.4.5	RAM によるフラッシュメモリのエミュレーション	17-11
17.4.6	ブートモードとユーザプログラムモードの相違点	17-12
17.4.7	ブロック分割法	17-12
17.4.8	端子構成	17-13
17.4.9	レジスタ構成	17-14
17.5	フラッシュメモリのレジスタ説明	17-15
17.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	17-15
17.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	17-17
17.5.3	消去ブロック指定レジスタ 1 (EBR1)	17-18
17.5.4	消去ブロック指定レジスタ 2 (EBR2)	17-18
17.5.5	システムコントロールレジスタ 2 (SYSCR2)	17-19
17.5.6	RAM エミュレーションレジスタ (RAMER)	17-20
17.6	オンボードプログラミングモード	17-21
17.6.1	ブートモード	17-22
17.6.2	ユーザプログラムモード	17-28
17.7	フラッシュメモリの書き込み / 消去	17-29
17.7.1	プログラムモード	17-29
17.7.2	プログラムベリファイモード	17-30
17.7.3	イレースモード	17-32
17.7.4	イレースベリファイモード	17-32
17.8	プロテクト	17-34
17.8.1	ハードウェアプロテクト	17-34
17.8.2	ソフトウェアプロテクト	17-34
17.8.3	エラープロテクト	17-35
17.9	RAM によるフラッシュメモリのエミュレーション	17-36
17.9.1	RAM によるエミュレーション	17-36
17.9.2	RAM のオーバーラップ	17-37
17.10	フラッシュメモリの書き込み / 消去時の割り込み処理	17-38
17.11	フラッシュメモリのライターモード	17-39
17.11.1	ライターモードの設定	17-39
17.11.2	ソケットアダプタの端子対応図	17-40
17.11.3	ライターモードの動作	17-42
17.11.4	メモリ読み出しモード	17-43
17.11.5	自動書き込みモード	17-46
17.11.6	自動消去モード	17-48
17.11.7	ステータス読み出しモード	17-49
17.11.8	ステータスポーリング	17-50
17.11.9	ライターモードへの遷移時間	17-50
17.11.10	メモリ書き込み注意事項	17-50
17.12	フラッシュメモリの書き込み / 消去時の注意	17-51
17.13	フラッシュメモリの概要 (H8S/2319 F-ZTAT)	17-56

17.13.1	特長	17-56
17.13.2	概要	17-57
17.13.3	フラッシュメモリの動作モード	17-58
17.13.4	オンボードプログラミングモード	17-59
17.13.5	RAMによるフラッシュメモリのエミュレーション	17-61
17.13.6	ブートモードとユーザプログラムモードの相違点	17-62
17.13.7	ブロック分割法	17-62
17.13.8	端子構成	17-63
17.13.9	レジスタ構成	17-63
17.14	フラッシュメモリのレジスタ説明	17-64
17.14.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	17-64
17.14.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	17-66
17.14.3	消去ブロック指定レジスタ 1 (EBR1)	17-70
17.14.4	消去ブロック指定レジスタ 2 (EBR2)	17-70
17.14.5	システムコントロールレジスタ 2 (SYSCR2)	17-71
17.14.6	RAMエミュレーションレジスタ (RAMER)	17-72
17.15	オンボードプログラミングモード	17-73
17.15.1	ブートモード	17-74
17.15.2	ユーザプログラムモード	17-79
17.16	フラッシュメモリの書き込み / 消去	17-80
17.16.1	プログラムモード (対象アドレス H'000000 ~ H'03FFFF のとき、n = 1、 対象アドレス H'040000 ~ H'07FFFF のとき、n = 2)	17-80
17.16.2	プログラムベリファイモード (対象アドレス H'000000 ~ H'03FFFF のとき、 n = 1、対象アドレス H'040000 ~ H'07FFFF のとき、n = 2)	17-81
17.16.3	イレースモード (対象アドレス H'000000 ~ H'03FFFF のとき、n = 1、 対象アドレス H'040000 ~ H'07FFFF のとき、n = 2)	17-83
17.16.4	イレースベリファイモード (対象アドレス H'000000 ~ H'03FFFF のとき、 n = 1、対象アドレス H'040000 ~ H'07FFFF のとき、n = 2)	17-83
17.17	プロテクト	17-85
17.17.1	ハードウェアプロテクト	17-85
17.17.2	ソフトウェアプロテクト	17-85
17.17.3	エラープロテクト	17-86
17.18	RAMによるフラッシュメモリのエミュレーション	17-87
17.18.1	RAMによるエミュレーション	17-87
17.18.2	RAMのオーバーラップ	17-88
17.19	フラッシュメモリの書き込み / 消去時の割り込み処理	17-89
17.20	フラッシュメモリのライターモード	17-90
17.20.1	ライターモードの設定	17-90
17.20.2	ソケットアダプタの端子対応図	17-90
17.20.3	ライターモードの動作	17-92
17.20.4	メモリ読み出しモード	17-93
17.20.5	自動書き込みモード	17-96
17.20.6	自動消去モード	17-97
17.20.7	ステータス読み出しモード	17-99
17.20.8	ステータスポーリング	17-100

17.20.9	ライターモードへの遷移時間	17-100
17.20.10	メモリ書き込み注意事項	17-100
17.21	フラッシュメモリの書き込み / 消去時の注意	17-101
17.22	フラッシュメモリの概要 (H8S/2319C 0.18 μ m F-ZTAT)	17-103
17.22.1	特長	17-103
17.22.2	概要	17-104
17.22.3	フラッシュメモリの動作モード	17-105
17.22.4	モード比較	17-106
17.22.5	フラッシュマツ構成	17-107
17.22.6	ブロック分割法	17-108
17.22.7	書き込み / 消去インタフェース	17-109
17.22.8	端子構成	17-111
17.22.9	レジスタ構成	17-112
17.23	フラッシュメモリのレジスタ説明	17-114
17.23.1	書き込み / 消去インタフェースレジスタ	17-114
17.23.2	書き込み / 消去インタフェースパラメータ	17-119
17.23.3	システムコントロールレジスタ 2 (SYSCR2)	17-129
17.23.4	RAM エミュレーションレジスタ (RAMER)	17-130
17.24	オンボードプログラミングモード	17-132
17.24.1	ブートモード	17-132
17.24.2	ユーザプログラムモード	17-135
17.24.3	ユーザブートモード	17-144
17.25	プロテクト	17-147
17.25.1	ハードウェアプロテクト	17-147
17.25.2	ソフトウェアプロテクト	17-147
17.25.3	エラープロテクト	17-148
17.26	RAM によるフラッシュメモリのエミュレーション	17-149
17.27	ユーザマツとユーザブートマツの切り替え	17-152
17.27.1	使用上の注意	17-153
17.28	ライターモード	17-154
17.28.1	ソケットアダプタの端子対応図	17-154
17.28.2	ライターモードの動作	17-156
17.28.3	メモリ読み出しモード	17-157
17.28.4	自動書き込みモード	17-157
17.28.5	自動消去モード	17-158
17.28.6	ステータス読み出しモード	17-158
17.28.7	ステータスポーリング	17-159
17.28.8	ライターモードへの遷移時間	17-159
17.28.9	ライターモード使用時の注意事項	17-159
17.29	付録	17-160
17.29.1	ブートモードの標準シリアル通信インタフェース仕様	17-160
17.29.2	ライターモードの AC 特性、タイミング	17-179
17.29.3	手順プログラム、または書き込みデータの格納可能領域	17-185

第 18 章 クロック発振器

18.1	概要	18-1
18.1.1	ブロック図	18-1
18.1.2	レジスタ構成	18-1
18.2	各レジスタの説明	18-2
18.2.1	システムクロックコントロールレジスタ (SCKCR)	18-2
18.3	発振器	18-4
18.3.1	水晶発振子を接続する方法	18-4
18.3.2	外部クロックを入力する方法	18-6
18.4	デューティ補正回路	18-8
18.5	中速クロック分周器	18-8
18.6	バスマスタクロック選択回路	18-8

第 19 章 低消費電力状態

19.1	概要	19-1
19.1.1	レジスタ構成	19-2
19.2	各レジスタの説明	19-3
19.2.1	スタンバイコントロールレジスタ (SBYCR)	19-3
19.2.2	システムクロックコントロールレジスタ (SCKCR)	19-5
19.2.3	モジュールストップコントロールレジスタ (MSTPCR)	19-7
19.3	中速モード	19-8
19.4	スリープモード	19-9
19.5	モジュールストップモード	19-10
19.5.1	モジュールストップモード	19-10
19.5.2	使用上の注意	19-11
19.6	ソフトウェアスタンバイモード	19-12
19.6.1	ソフトウェアスタンバイモード	19-12
19.6.2	ソフトウェアスタンバイモードの解除	19-12
19.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	19-13
19.6.4	ソフトウェアスタンバイモードの応用例	19-13
19.6.5	使用上の注意	19-14
19.7	ハードウェアスタンバイモード	19-15
19.7.1	ハードウェアスタンバイモード	19-15
19.7.2	ハードウェアスタンバイモードのタイミング	19-15
19.8	ϕ クロック出力禁止機能	19-16

第 20 章 電気的特性

20.1	マスク ROM 版 (H8S/2319、H8S/2318、H8S/2317S、H8S/2316S、H8S/2315、H8S/2314) および ROM なし版 (H8S/2312S) の電気的特性	20-1
20.1.1	絶対最大定格	20-1
20.1.2	DC 特性	20-2
20.1.3	AC 特性	20-4
20.1.4	A/D 変換特性	20-21
20.1.5	D/A 変換特性	20-22

20.2	F-ZTAT 版 (H8S/2319、H8S/2319E、H8S/2318、H8S/2317、H8S/2315、H8S/2314) の電気的特性	20-23
20.2.1	絶対最大定格	20-23
20.2.2	DC 特性	20-24
20.2.3	AC 特性	20-26
20.2.4	A/D 変換特性	20-30
20.2.5	D/A 変換特性	20-30
20.2.6	フラッシュメモリ特性	20-31
20.3	H8S/2319C F-ZTAT の電気的特性	20-33
20.3.1	絶対最大定格	20-33
20.3.2	DC 特性	20-34
20.3.3	AC 特性	20-36
20.3.4	A/D 変換特性	20-40
20.3.5	D/A 変換特性	20-40
20.3.6	フラッシュメモリ特性	20-41
20.3.7	使用上の注意 (H8S/2319C F-ZTAT 内部降圧)	20-41
20.4	使用上の注意	20-42

付録

A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-12
A.3	オペレーションコードマップ	付録-22
A.4	命令実行ステート数	付録-26
A.5	命令実行中のバス状態	付録-37
A.6	コンディションコードの変化	付録-49
B.	内部 I/O レジスタ	付録-54
B.1	アドレス一覧 (アドレス順)	付録-54
B.2	アドレス一覧 (モジュール別)	付録-63
B.3	機能一覧	付録-70
C.	I/O ポートブロック図	付録-175
C.1	ポート 1	付録-175
C.2	ポート 2	付録-179
C.3	ポート 3	付録-180
C.4	ポート 4	付録-183
C.5	ポート A	付録-184
C.6	ポート B	付録-185
C.7	ポート C	付録-186
C.8	ポート D	付録-187
C.9	ポート E	付録-188
C.10	ポート F	付録-189
C.11	ポート G	付録-197
D.	端子状態	付録-202
D.1	各処理状態におけるポートの状態	付録-202
E.	ROM 発注手順	付録-208
E.1	ROM 書き換え品開発の流れ (発注手順)	付録-208

E.2	ROM 発注時の注意事項	付録-209
F.	型名一覧	付録-210
G.	外形寸法図	付録-211

1. 概要

1.1 概要

H8S/2319 グループは、ルネサス テクノロジオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM、16 ビットタイマパルスユニット (TPU)、8 ビットタイマ、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポートの周辺機能などを内蔵しています。

内蔵 ROM は単一電源フラッシュメモリ (F-ZTAT™*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。また、ROM は CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

H8S/2319 グループの特長を表 1.1 に示します。

【注】* F-ZTAT は (株) ルネサス テクノロジの商標です。

1. 概要

表 1.1 概要

項目	仕様
CPU	<ul style="list-style-type: none"> • 汎用レジスタマシン <ul style="list-style-type: none"> – 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) • リアルタイム制御向き的高速動作 <ul style="list-style-type: none"> – 最高動作周波数 25MHz – 高速演算 8 / 16 / 32 ビットレジスタ間加減算 : 40ns (25MHz 動作時) 16×16 ビットレジスタ間乗算 : 800ns (25MHz 動作時) 32÷16 ビットレジスタ間除算 : 800ns (25MHz 動作時) • 高速動作に適した命令セット <ul style="list-style-type: none"> – 65 種類の基本命令 – 8 / 16 / 32 ビット転送 / 演算命令 – 符号なし / 符号付き乗除算命令 – 強力なビット操作命令 • CPU 動作モード <ul style="list-style-type: none"> – アドバンスモード : アドレス空間 16M バイト
バスコントローラ	<ul style="list-style-type: none"> • アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 • エリアごとにチップセレクト出力可能 • エリアごとに 8 ビット / 16 ビットアクセス空間を選択可能 • エリアごとに 2 ステート / 3 ステートアクセス空間を設定可能 • エリアごとにプログラムウェイトのステート数を設定可能 • パースト ROM を直接接続可能 • 外部バス権解放機能
データ転送コントローラ (DTC)	<ul style="list-style-type: none"> • 内部割り込み / ソフトウェアによる起動 • 1 つの起動要因に対して、複数回・複数種類の転送が可能 • リピートモード / ブロック転送モードなどの転送可能 • DTC を起動した割り込みを CPU に要求可能
16 ビットタイムパルスユニット (TPU)	<ul style="list-style-type: none"> • 16 ビットタイム 6 チャンネルを内蔵 • 最大 16 端子のパルス入出力処理が可能 • 2 相エンコーダのカウント数の自動計測が可能
8 ビットタイム ×2 チャンネル	<ul style="list-style-type: none"> • 8 ビットアップカウンタ (外部イベントカウント可能) • タイムコンスタントレジスタ×2 • 2 チャンネルの接続が可能
ウォッチドッグタイマ	<ul style="list-style-type: none"> • ウォッチドッグタイマ / インターバルタイマの選択が可能
シリアルコミュニケーションインタフェース (SCI) ×2 チャンネル	<ul style="list-style-type: none"> • 調歩同期式モード / クロック同期式モードの選択が可能 • マルチプロセッサ通信機能 • スマートカードインタフェース機能

項目	仕様																											
A/D 変換器	<ul style="list-style-type: none"> 分解能：10 ビット 入力：8 チャンネル 最小変換時間 6.7μs (20MHz 動作時) シングル / スキャンモードの選択が可能 サンプル&ホールド機能 外部トリガ / タイマトリガによる A/D 変換の起動が可能 																											
D/A 変換器	<ul style="list-style-type: none"> 分解能：8 ビット 出力：2 チャンネル 																											
I/O ポート	<ul style="list-style-type: none"> 入出力端子 70 本、入力専用端子 9 本 																											
メモリ	<ul style="list-style-type: none"> フラッシュメモリ、マスク ROM 高速スタティック RAM <table border="1" data-bbox="477 653 1195 1058"> <thead> <tr> <th>製品名</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>H8S/2319C</td> <td>512K バイト</td> <td>16K バイト</td> </tr> <tr> <td>H8S/2319</td> <td>512K バイト</td> <td>8K バイト</td> </tr> <tr> <td>H8S/2318</td> <td>256K バイト</td> <td>8K バイト</td> </tr> <tr> <td>H8S/2317(S)*</td> <td>128K バイト</td> <td>8K バイト</td> </tr> <tr> <td>H8S/2316S</td> <td>64K バイト</td> <td>8K バイト</td> </tr> <tr> <td>H8S/2315</td> <td>384K バイト</td> <td>8K バイト</td> </tr> <tr> <td>H8S/2314</td> <td>384K バイト</td> <td>4K バイト</td> </tr> <tr> <td>H8S/2312S</td> <td>—</td> <td>8K バイト</td> </tr> </tbody> </table> <p>【注】* マスクROM版は、H8S/2317Sとなります。</p>	製品名	ROM	RAM	H8S/2319C	512K バイト	16K バイト	H8S/2319	512K バイト	8K バイト	H8S/2318	256K バイト	8K バイト	H8S/2317(S)*	128K バイト	8K バイト	H8S/2316S	64K バイト	8K バイト	H8S/2315	384K バイト	8K バイト	H8S/2314	384K バイト	4K バイト	H8S/2312S	—	8K バイト
製品名	ROM	RAM																										
H8S/2319C	512K バイト	16K バイト																										
H8S/2319	512K バイト	8K バイト																										
H8S/2318	256K バイト	8K バイト																										
H8S/2317(S)*	128K バイト	8K バイト																										
H8S/2316S	64K バイト	8K バイト																										
H8S/2315	384K バイト	8K バイト																										
H8S/2314	384K バイト	4K バイト																										
H8S/2312S	—	8K バイト																										
割り込みコントローラ	<ul style="list-style-type: none"> 外部割り込み端子 9 本 (NMI、IRQ0 ~ IRQ7) 内部割り込み要因 43 要因 8 レベルの優先順位設定が可能 																											
低消費電力状態	<ul style="list-style-type: none"> 中速モード スリープモード モジュールストップモード ソフトウェアスタンバイモード ハードウェアスタンバイモード クロック分周比可変 																											

1. 概要

項目	仕様																																																																																																																																		
動作モード	<ul style="list-style-type: none"> 8種類のMCU動作モードの選択 (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) <table border="1"> <thead> <tr> <th>モード</th> <th>CPU動作モード</th> <th>内 容</th> <th>内蔵ROM</th> <th colspan="2">外部データバス 初期値 最大値</th> </tr> </thead> <tbody> <tr><td>1</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>2</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>3</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>4</td><td rowspan="3">アドバンスト</td><td>内蔵ROM無効拡張モード</td><td>無効</td><td>16ビット</td><td>16ビット</td></tr> <tr><td>5</td><td rowspan="2">内蔵ROM有効拡張モード</td><td rowspan="2">有効</td><td>8ビット</td><td>16ビット</td></tr> <tr><td>6</td><td>8ビット</td><td>16ビット</td></tr> <tr><td>7</td><td>シングルチップモード</td><td>—</td><td colspan="2">—</td></tr> <tr><td>8</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>9</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>10</td><td rowspan="2">アドバンスト</td><td rowspan="2">ブートモード</td><td rowspan="2">有効</td><td>8ビット</td><td>16ビット</td></tr> <tr><td>11</td><td>—</td><td>—</td></tr> <tr><td>12</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>13</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>14</td><td rowspan="2">アドバンスト</td><td rowspan="2">ユーザプログラムモード</td><td rowspan="2">有効</td><td>8ビット</td><td>16ビット</td></tr> <tr><td>15</td><td>—</td><td>—</td></tr> </tbody> </table> 4種類のMCU動作モード (ROMなし版、マスクROM版、H8S/2319 F-ZTAT、H8S/2319C F-ZTAT) <table border="1"> <thead> <tr> <th>モード</th> <th>CPU動作モード</th> <th>内 容</th> <th>内蔵ROM</th> <th colspan="2">外部データバス 初期値 最大値</th> </tr> </thead> <tbody> <tr><td>1*1</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>2*2</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>3*2</td><td>—</td><td>—</td><td>—</td><td colspan="2">—</td></tr> <tr><td>4*3</td><td rowspan="4">アドバンスト</td><td>内蔵ROM無効拡張モード</td><td>無効</td><td>16ビット</td><td>16ビット</td></tr> <tr><td>5*3</td><td>内蔵ROM無効拡張モード</td><td>無効</td><td>8ビット</td><td>16ビット</td></tr> <tr><td>6</td><td>内蔵ROM有効拡張モード</td><td>有効</td><td>8ビット</td><td>16ビット</td></tr> <tr><td>7</td><td>シングルチップモード</td><td>有効</td><td colspan="2">—</td></tr> </tbody> </table> <p>【注】 *1 H8S/2319C F-ZTATでは、ユーザブートモードになります。H8S/2319C F-ZTATのユーザブートモードについては、表17.52を参照してください。 *2 H8S/2319 F-ZTAT、H8S/2319C F-ZTATでは、ブートモードになります。H8S/2319 F-ZTATのブートモードについては、表17.30を参照してください。また、ユーザプログラムモードについても、表17.30を参照してください。H8S/2319C F-ZTATのブートモードについては、表17.52を参照してください。また、ユーザプログラムモードについても、表17.52を参照してください。 *3 ROMなし版ではモード4、5のみ使用できます。</p>	モード	CPU動作モード	内 容	内蔵ROM	外部データバス 初期値 最大値		1	—	—	—	—		2	—	—	—	—		3	—	—	—	—		4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット	5	内蔵ROM有効拡張モード	有効	8ビット	16ビット	6	8ビット	16ビット	7	シングルチップモード	—	—		8	—	—	—	—		9	—	—	—	—		10	アドバンスト	ブートモード	有効	8ビット	16ビット	11	—	—	12	—	—	—	—		13	—	—	—	—		14	アドバンスト	ユーザプログラムモード	有効	8ビット	16ビット	15	—	—	モード	CPU動作モード	内 容	内蔵ROM	外部データバス 初期値 最大値		1*1	—	—	—	—		2*2	—	—	—	—		3*2	—	—	—	—		4*3	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット	5*3	内蔵ROM無効拡張モード	無効	8ビット	16ビット	6	内蔵ROM有効拡張モード	有効	8ビット	16ビット	7	シングルチップモード	有効	—	
モード	CPU動作モード	内 容	内蔵ROM	外部データバス 初期値 最大値																																																																																																																															
1	—	—	—	—																																																																																																																															
2	—	—	—	—																																																																																																																															
3	—	—	—	—																																																																																																																															
4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット																																																																																																																														
5		内蔵ROM有効拡張モード	有効	8ビット	16ビット																																																																																																																														
6				8ビット	16ビット																																																																																																																														
7	シングルチップモード	—	—																																																																																																																																
8	—	—	—	—																																																																																																																															
9	—	—	—	—																																																																																																																															
10	アドバンスト	ブートモード	有効	8ビット	16ビット																																																																																																																														
11				—	—																																																																																																																														
12	—	—	—	—																																																																																																																															
13	—	—	—	—																																																																																																																															
14	アドバンスト	ユーザプログラムモード	有効	8ビット	16ビット																																																																																																																														
15				—	—																																																																																																																														
モード	CPU動作モード	内 容	内蔵ROM	外部データバス 初期値 最大値																																																																																																																															
1*1	—	—	—	—																																																																																																																															
2*2	—	—	—	—																																																																																																																															
3*2	—	—	—	—																																																																																																																															
4*3	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット																																																																																																																														
5*3		内蔵ROM無効拡張モード	無効	8ビット	16ビット																																																																																																																														
6		内蔵ROM有効拡張モード	有効	8ビット	16ビット																																																																																																																														
7		シングルチップモード	有効	—																																																																																																																															
クロック発振器	<ul style="list-style-type: none"> デューティ補正回路内蔵 																																																																																																																																		

項目	仕様																																						
製品ラインアップ	<table border="1" data-bbox="573 332 1072 743"> <thead> <tr> <th></th> <th>条件A</th> <th>条件B</th> </tr> </thead> <tbody> <tr> <td>動作電源電圧</td> <td>2.7~3.6V</td> <td>3.0~3.6V</td> </tr> <tr> <td>動作周波数</td> <td>2~20MHz</td> <td>2~25MHz</td> </tr> <tr> <td rowspan="13">製品名</td> <td>HD64F2319</td> <td>—</td> </tr> <tr> <td>HD64F2319E*</td> <td>—</td> </tr> <tr> <td>HD64F2319C</td> <td>—</td> </tr> <tr> <td>HD6432319</td> <td>○</td> </tr> <tr> <td>HD64F2318</td> <td>—</td> </tr> <tr> <td>HD6432318</td> <td>○</td> </tr> <tr> <td>HD64F2317</td> <td>—</td> </tr> <tr> <td>HD6432317S</td> <td>○</td> </tr> <tr> <td>HD6432316S</td> <td>○</td> </tr> <tr> <td>HD64F2315</td> <td>—</td> </tr> <tr> <td>HD6432315</td> <td>○</td> </tr> <tr> <td>HD64F2314</td> <td>—</td> </tr> <tr> <td>HD6432314</td> <td>○</td> </tr> <tr> <td>HD6412312S</td> <td>○</td> </tr> </tbody> </table> <p data-bbox="573 763 775 782">○：製品ラインアップ品</p> <p data-bbox="573 788 1077 1072">【注】* E10Aエミュレータにてオンチップデバッグ機能を使用することができます（E10A対応版）。ただし、オンチップデバッグ機能使用時は、一部の機能モジュールおよび端子機能が使用できなくなりますので、図1.4、図1.5を参照してください。（オンチップデバッグ機能使用時はSCIチャンネル1は使用できません。また、WDTはブレーク中も動作を継続しますので、LSI内部をリセットする設定にしている場合、オーバフロー時リセットが発生します。ご注意ください。）また、HD64F2319Eについては、H8S/2319 F-ZTATの項目を参照してください。</p>		条件A	条件B	動作電源電圧	2.7~3.6V	3.0~3.6V	動作周波数	2~20MHz	2~25MHz	製品名	HD64F2319	—	HD64F2319E*	—	HD64F2319C	—	HD6432319	○	HD64F2318	—	HD6432318	○	HD64F2317	—	HD6432317S	○	HD6432316S	○	HD64F2315	—	HD6432315	○	HD64F2314	—	HD6432314	○	HD6412312S	○
	条件A	条件B																																					
動作電源電圧	2.7~3.6V	3.0~3.6V																																					
動作周波数	2~20MHz	2~25MHz																																					
製品名	HD64F2319	—																																					
	HD64F2319E*	—																																					
	HD64F2319C	—																																					
	HD6432319	○																																					
	HD64F2318	—																																					
	HD6432318	○																																					
	HD64F2317	—																																					
	HD6432317S	○																																					
	HD6432316S	○																																					
	HD64F2315	—																																					
	HD6432315	○																																					
	HD64F2314	—																																					
	HD6432314	○																																					
HD6412312S	○																																						
その他	<ul style="list-style-type: none"> ● H8S/2319 F-ZTAT と H8S/2319C F-ZTAT の相違点 <ul style="list-style-type: none"> － 内蔵 RAM 容量 H8S/2319 F-ZTAT :8K バイト (H'FFDC00 ~ H'FFFBFF) H8S/2319C F-ZTAT :16K バイト (H'FFBC00 ~ H'FFFBFF) － 内蔵フラッシュメモリ H8S/2319 F-ZTAT と H8S/2319C F-ZTAT はともに 512K バイトのフラッシュメモリを搭載しています。ただし、双方のフラッシュメモリへの制御方式が異なります。 内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ（パラメータ）が異なりますのでご注意ください。 「第 17 章 ROM」の H8S/2319 F-ZTAT と H8S/2319C F-ZTAT の項を参照してください。 － アドレスマップ H8S/2319 F-ZTAT と H8S/2319C F-ZTAT のアドレスマップは一部異なります。 「3.5 各動作モードのアドレスマップ」を参照してください。 																																						

1. 概要

1.2 ブロック図

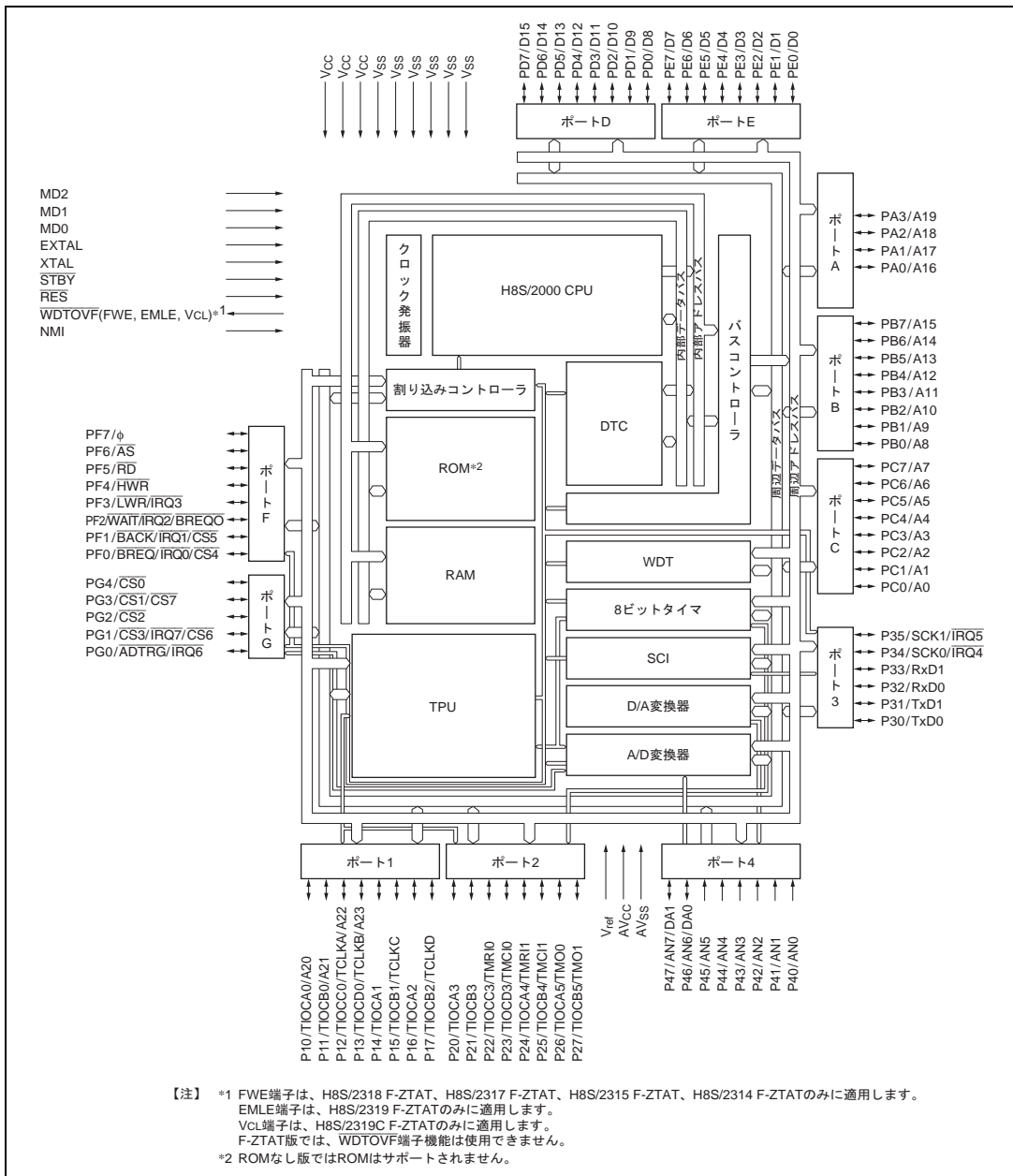


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

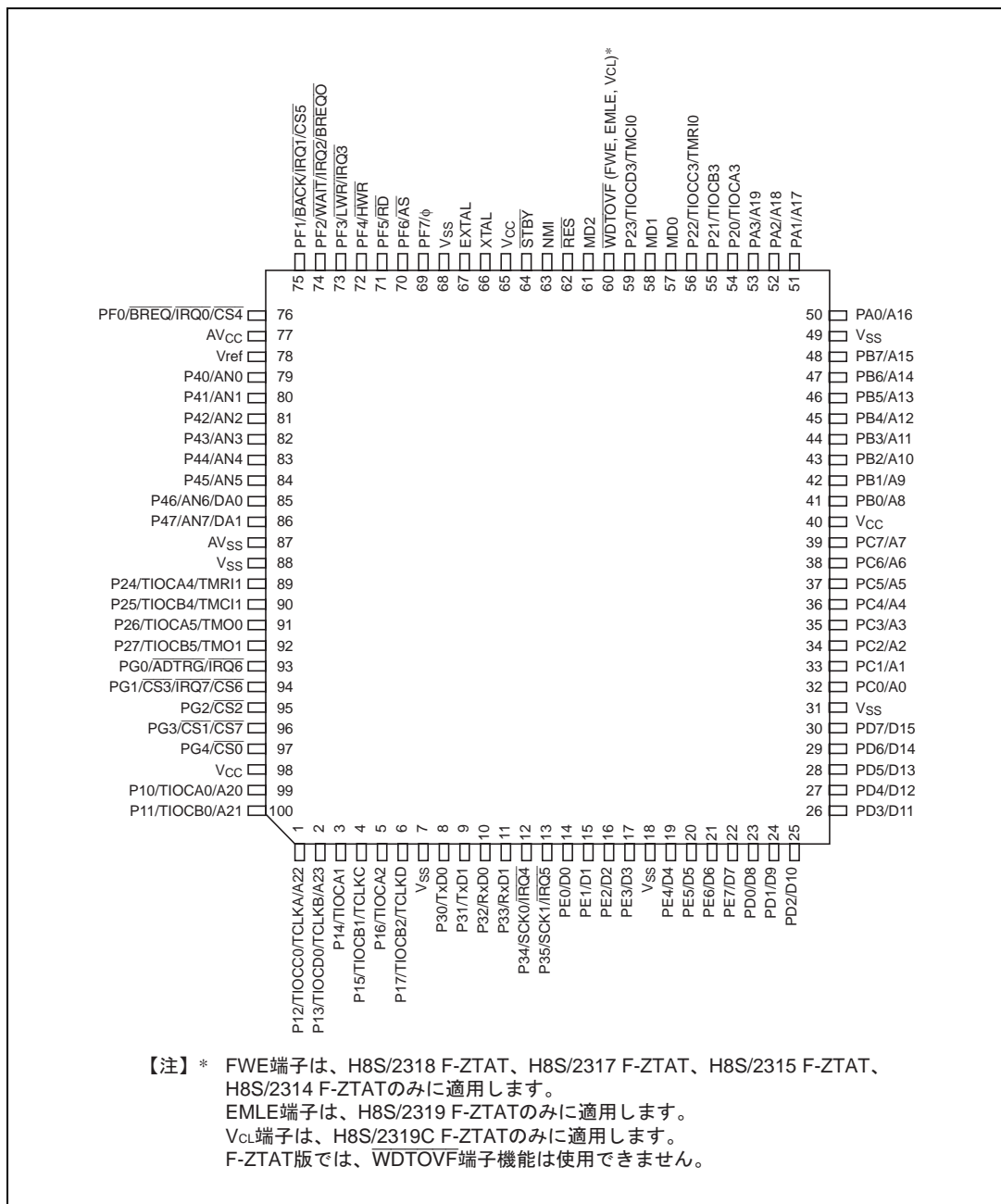


図 1.2 ピン配置図 (TFP-100B、TFP-100G : 上面図)

1. 概要

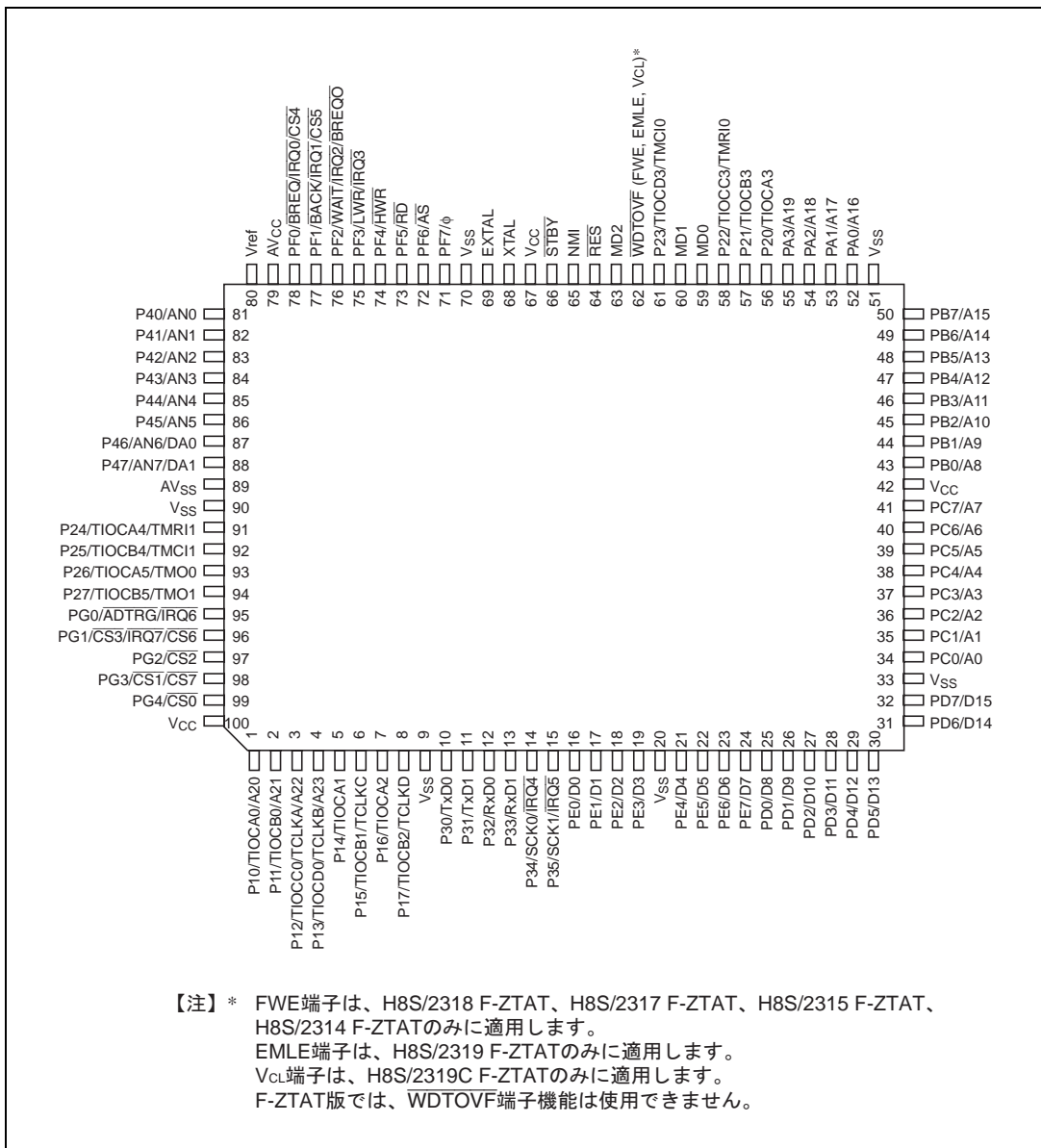


図 1.3 ピン配置図 (FP-100A : 上面図)

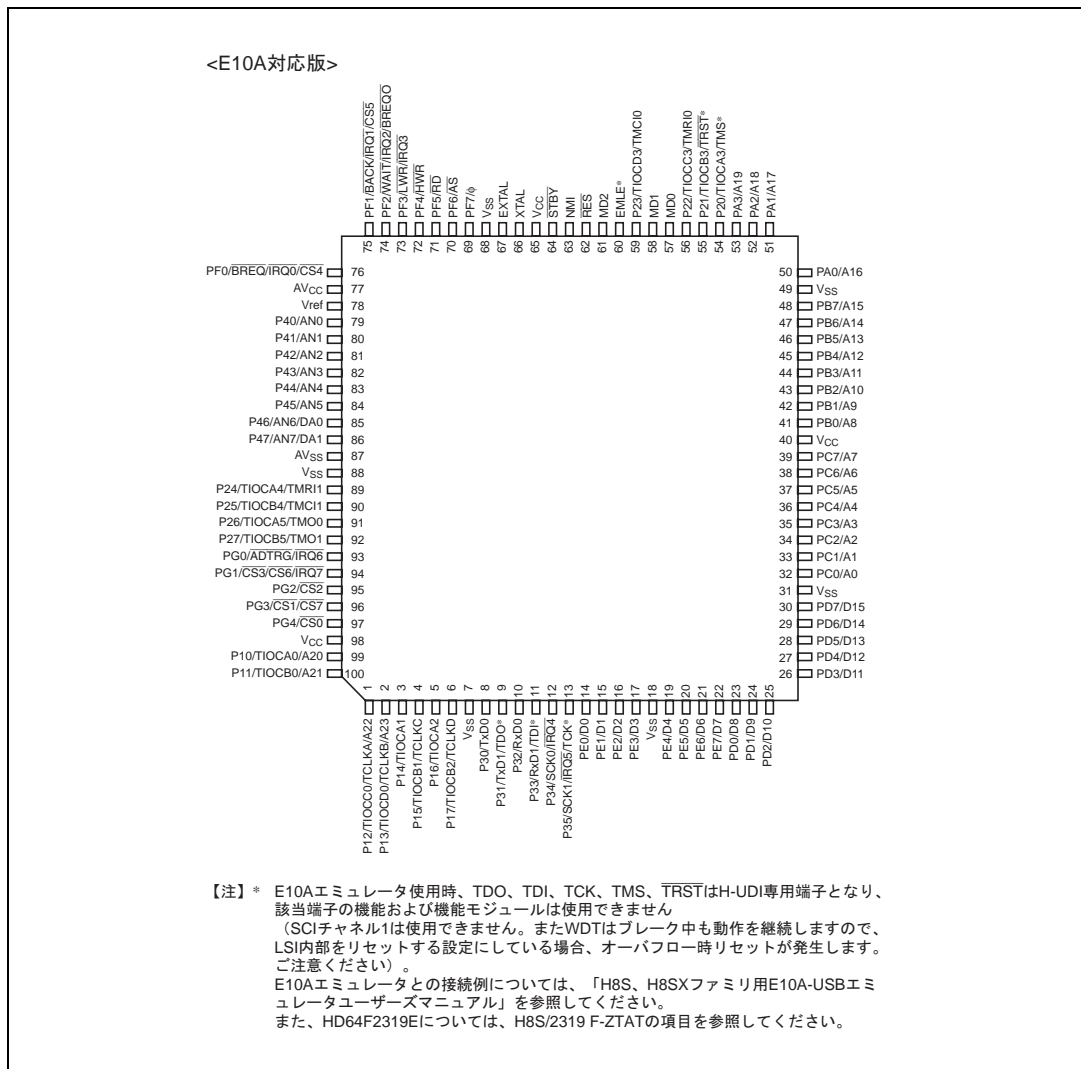


図 1.4 HD64F2319E ピン配置図 (TFP-100B : 上面図)

1. 概要

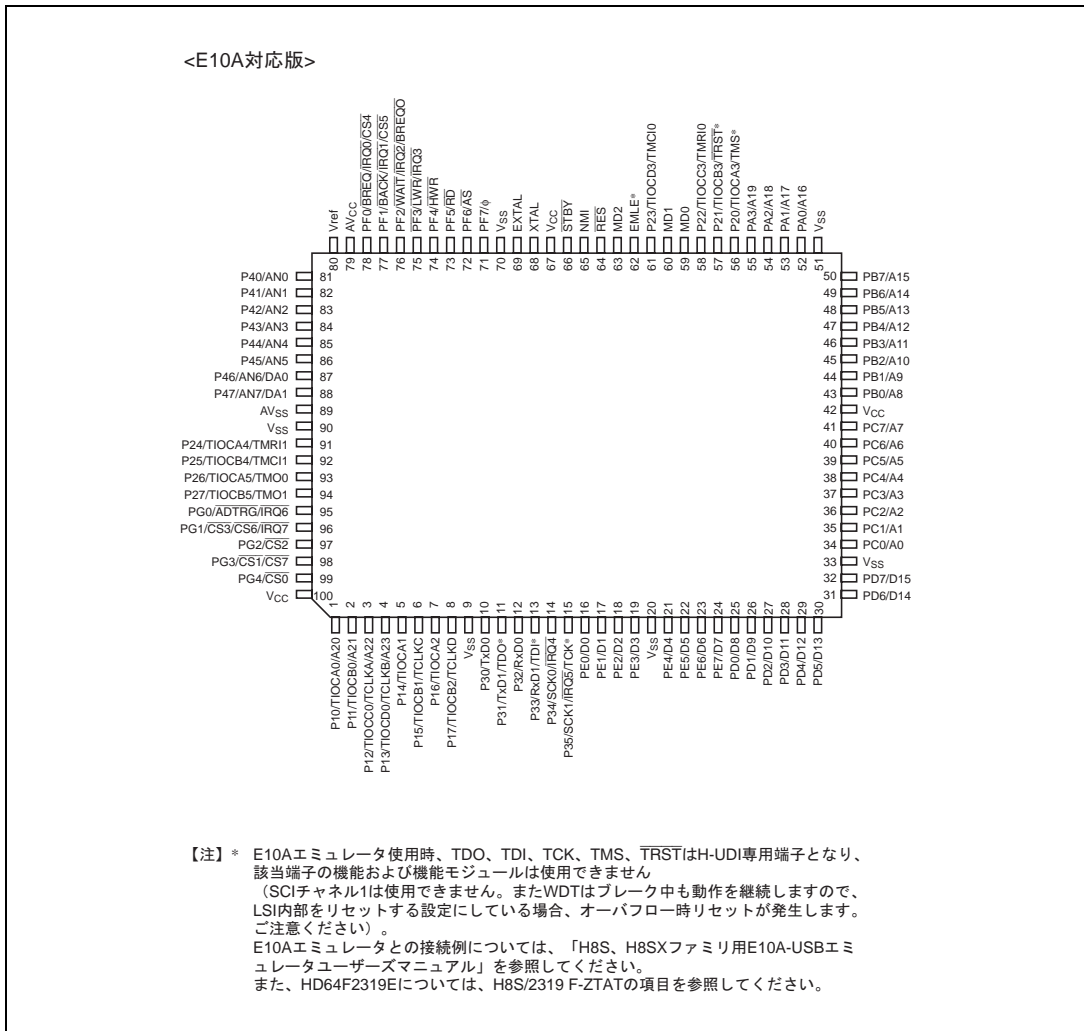


図 1.5 HD64F2319E ピン配置図（FP-100A：上面図）

	1	2	3	4	5	6	7	8	9	10	11	
A	NC	P11	PG3	PG2	P26	VSS	P45	P41	VREF	PF0	AVCC	
B	P12	P10	VCC	PG4	NC	P27	AVSS	P44	P42	PF2	PF1	
C	P13	P16	NC	P14	PG1	PG0	P47	P43	NC	PF3	PF4	
D	P15	VSS	P17	NC	P25	P24	P46	PF5	P40	NC	PF7	
E	P30	P33	P32	P31	NC	(TOP-VIEW)		STBY	VSS	PF6	VCC	
F	P34	PE2	PE3	P35	VCL (NC) ^{*2}			NMI	EXTAL	XTAL	RES	
G	PE1	PE5	VSS	PE0				NC (WDTOVF) ^{*1}	MD2	P23		
H	PE4	NC	PD6	PE6	PC2	PC6	PC7	NC	MD0	MD1	P21	
J	NC	PD0	PE7	VSS	PC3	PB1	PB2	P20	PB6	P22	PA3	
K	PD2	PD1	VSS	PC0	PC4	PB0	PB4	PB5	PB7	VSS	PA1	
L	PD4	PD3	PD5	PD7	PC1	PC5	VCC	PB3	NC	PA0	PA2	

【注】*1 H8S/2316S、H8S/2317Sのときは、WDTOVFになります。
*2 H8S/2316S、H8S/2317Sのときは、NCとなります。

図 1.6 HD64F2319CLP、HD6432317SLP、HD6432316SLP ピン配置図 (TLP-113V : 上面図)

1. 概要

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2 に示します。

表 1.2 動作モード別端子機能一覧

ピン番号			端子名					フラッシュ メモリ ライターモード
TFP-100B、TFP-100G	FP-100A	TLP-113V	モード 4	モード 5	モード 6* ¹	モード 7* ¹		
1	3	B1	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA	NC	
2	4	C1	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB	NC	
3	5	C4	P14/TIOCA1	P14/TIOCA1	P14/TIOCA1	P14/TIOCA1	NC	
4	6	D1	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	NC	
5	7	C2	P16/TIOCA2	P16/TIOCA2	P16/TIOCA2	P16/TIOCA2	NC	
6	8	D3	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	NC	
7	9	D2	V _{ss}	V _{ss}	V _{ss}	V _{ss}	V _{ss}	
8	10	E1	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC	
9	11	E4	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	NC	
10	12	E3	P32/RxD0	P32/RxD0	P32/RxD0	P32/RxD0	NC	
11	13	E2	P33/RxD1	P33/RxD1	P33/RxD1	P33/RxD1	NC	
12	14	F1	P34/SCK0/ $\overline{\text{IRQ4}}$	P34/SCK0/ $\overline{\text{IRQ4}}$	P34/SCK0/ $\overline{\text{IRQ4}}$	P34/SCK0/ $\overline{\text{IRQ4}}$	NC	
13	15	F4	P35/SCK1/ $\overline{\text{IRQ5}}$	P35/SCK1/ $\overline{\text{IRQ5}}$	P35/SCK1/ $\overline{\text{IRQ5}}$	P35/SCK1/ $\overline{\text{IRQ5}}$	NC	
14	16	G4	PE0/D0	PE0/D0	PE0/D0	PE0	NC	
15	17	G1	PE1/D1	PE1/D1	PE1/D1	PE1	NC	
16	18	F2	PE2/D2	PE2/D2	PE2/D2	PE2	NC	
17	19	F3	PE3/D3	PE3/D3	PE3/D3	PE3	NC	
18	20	G3	V _{ss}	V _{ss}	V _{ss}	V _{ss}	V _{ss}	
19	21	H1	PE4/D4	PE4/D4	PE4/D4	PE4	NC	
20	22	G2	PE5/D5	PE5/D5	PE5/D5	PE5	NC	
21	23	H4	PE6/D6	PE6/D6	PE6/D6	PE6	NC	
22	24	J3	PE7/D7	PE7/D7	PE7/D7	PE7	NC	
23	25	J2	D8	D8	D8	PD0	I/O0	
24	26	K2	D9	D9	D9	PD1	I/O1	
25	27	K1	D10	D10	D10	PD2	I/O2	
26	28	L2	D11	D11	D11	PD3	I/O3	
27	29	L1	D12	D12	D12	PD4	I/O4	
28	30	L3	D13	D13	D13	PD5	I/O5	
29	31	H3	D14	D14	D14	PD6	I/O6	
30	32	L4	D15	D15	D15	PD7	I/O7	

1. 概要

ピン番号			端子名				
TFP-100B、TFP-100G	FP-100A	TLP-113V	モード 4	モード 5	モード 6* ¹	モード 7* ¹	フラッシュメモリライタモード
31	33	J4	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
32	34	K4	A0	A0	PC0/A0	PC0	A0
33	35	L5	A1	A1	PC1/A1	PC1	A1
34	36	H5	A2	A2	PC2/A2	PC2	A2
35	37	J5	A3	A3	PC3/A3	PC3	A3
36	38	K5	A4	A4	PC4/A4	PC4	A4
37	39	L6	A5	A5	PC5/A5	PC5	A5
38	40	H6	A6	A6	PC6/A6	PC6	A6
39	41	H7	A7	A7	PC7/A7	PC7	A7
40	42	L7	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
41	43	K6	A8	A8	PB0/A8	PB0	A8
42	44	J6	A9	A9	PB1/A9	PB1	A9
43	45	J7	A10	A10	PB2/A10	PB2	A10
44	46	L8	A11	A11	PB3/A11	PB3	A11
45	47	K7	A12	A12	PB4/A12	PB4	A12
46	48	K8	A13	A13	PB5/A13	PB5	A13
47	49	J9	A14	A14	PB6/A14	PB6	A14
48	50	K9	A15	A15	PB7/A15	PB7	A15
49	51	K10	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
50	52	L10	A16	A16	PA0/A16	PA0	A16
51	53	K11	A17	A17	PA1/A17	PA1	A17
52	54	L11	A18	A18	PA2/A18	PA2	A18
53	55	J11	A19	A19	PA3/A19	PA3	NC
54	56	J8	P20/TIOCA3	P20/TIOCA3	P20/TIOCA3	P20/TIOCA3	\overline{OE}
55	57	H11	P21/TIOCB3	P21/TIOCB3	P21/TIOCB3	P21/TIOCB3	\overline{CE}
56	58	J10	P22/TIOCC3/TMRI0	P22/TIOCC3/TMRI0	P22/TIOCC3/TMRI0	P22/TIOCC3/TMRI0	\overline{WE}
57	59	H9	MD0	MD0	MD0	MD0	V _{SS}
58	60	H10	MD1	MD1	MD1	MD1	V _{SS}
59	61	G11	P23/TIOCD3/TMCIO	P23/TIOCD3/TMCIO	P23/TIOCD3/TMCIO	P23/TIOCD3/TMCIO	V _{CC}
60	62	-	WDTOVF (FWE、EMLE、V _{CL})* ²	WDTOVF (FWE、EMLE、V _{CL})* ²	WDTOVF (FWE、EMLE、V _{CL})* ²	WDTOVF (FWE、EMLE、V _{CL})* ²	FWE、EMLE、V _{CL} * ²
61	63	G10	MD2	MD2	MD2	MD2	V _{SS}
62	64	F11	RES	RES	RES	RES	RES
63	65	F8	NMI	NMI	NMI	NMI	V _{CC}
64	66	E8	STBY	STBY	STBY	STBY	V _{CC}

1. 概要

ピン番号			端子名				
TFP-100B、TFP-100G	FP-100A	TLP-113V	モード 4	モード 5	モード 6* ¹	モード 7* ¹	フラッシュメモリライターモード
65	67	E11	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
66	68	F10	XTAL	XTAL	XTAL	XTAL	XTAL
67	69	F9	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
68	70	E9	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
69	71	D11	PF7/ ϕ	PF7/ ϕ	PF7/ ϕ	PF7/ ϕ	NC
70	72	E10	PF6/ \overline{AS}	PF6/ \overline{AS}	PF6/ \overline{AS}	PF6	NC
71	73	D8	\overline{RD}	\overline{RD}	\overline{RD}	PF5	NC
72	74	C11	\overline{HWR}	\overline{HWR}	\overline{HWR}	PF4	NC
73	75	C10	PF3/ $\overline{LWR}/\overline{IRQ3}$	PF3/ $\overline{LWR}/\overline{IRQ3}$	PF3/ $\overline{LWR}/\overline{IRQ3}$	PF3/ $\overline{IRQ3}$	NC
74	76	B10	PF2/ $\overline{WAIT}/\overline{IRQ2}/\overline{BREQ0}$	PF2/ $\overline{WAIT}/\overline{IRQ2}/\overline{BREQ0}$	PF2/ $\overline{WAIT}/\overline{IRQ2}/\overline{BREQ0}$	PF2/ $\overline{IRQ2}$	V _{CC}
75	77	B11	PF1/ $\overline{BACK}/\overline{IRQ1}/\overline{CS5}$	PF1/ $\overline{BACK}/\overline{IRQ1}/\overline{CS5}$	PF1/ $\overline{BACK}/\overline{IRQ1}/\overline{CS5}$	PF1/ $\overline{IRQ1}$	V _{SS}
76	78	A10	PF0/ $\overline{BREQ}/\overline{IRQ0}/\overline{CS4}$	PF0/ $\overline{BREQ}/\overline{IRQ0}/\overline{CS4}$	PF0/ $\overline{BREQ}/\overline{IRQ0}/\overline{CS4}$	PF0/ $\overline{IRQ0}$	V _{SS}
77	79	A11	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	V _{CC}
78	80	A9	V _{ref}	V _{ref}	V _{ref}	V _{ref}	V _{CC}
79	81	D9	P40/ $\overline{AN0}$	P40/ $\overline{AN0}$	P40/ $\overline{AN0}$	P40/ $\overline{AN0}$	NC
80	82	A8	P41/ $\overline{AN1}$	P41/ $\overline{AN1}$	P41/ $\overline{AN1}$	P41/ $\overline{AN1}$	NC
81	83	B9	P42/ $\overline{AN2}$	P42/ $\overline{AN2}$	P42/ $\overline{AN2}$	P42/ $\overline{AN2}$	NC
82	84	C8	P43/ $\overline{AN3}$	P43/ $\overline{AN3}$	P43/ $\overline{AN3}$	P43/ $\overline{AN3}$	NC
83	85	B8	P44/ $\overline{AN4}$	P44/ $\overline{AN4}$	P44/ $\overline{AN4}$	P44/ $\overline{AN4}$	NC
84	86	A7	P45/ $\overline{AN5}$	P45/ $\overline{AN5}$	P45/ $\overline{AN5}$	P45/ $\overline{AN5}$	NC
85	87	D7	P46/ $\overline{AN6}/\overline{DA0}$	P46/ $\overline{AN6}/\overline{DA0}$	P46/ $\overline{AN6}/\overline{DA0}$	P46/ $\overline{AN6}/\overline{DA0}$	NC
86	88	C7	P47/ $\overline{AN7}/\overline{DA1}$	P47/ $\overline{AN7}/\overline{DA1}$	P47/ $\overline{AN7}/\overline{DA1}$	P47/ $\overline{AN7}/\overline{DA1}$	NC
87	89	B7	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	V _{SS}
88	90	A6	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
89	91	D6	P24/ $\overline{TIOCA4}/\overline{TMR11}$	P24/ $\overline{TIOCA4}/\overline{TMR11}$	P24/ $\overline{TIOCA4}/\overline{TMR11}$	P24/ $\overline{TIOCA4}/\overline{TMR11}$	NC
90	92	D5	P25/ $\overline{TIOCB4}/\overline{TMCI1}$	P25/ $\overline{TIOCB4}/\overline{TMCI1}$	P25/ $\overline{TIOCB4}/\overline{TMCI1}$	P25/ $\overline{TIOCB4}/\overline{TMCI1}$	V _{SS}
91	93	A5	P26/ $\overline{TIOCA5}/\overline{TMO0}$	P26/ $\overline{TIOCA5}/\overline{TMO0}$	P26/ $\overline{TIOCA5}/\overline{TMO0}$	P26/ $\overline{TIOCA5}/\overline{TMO0}$	NC
92	94	B6	P27/ $\overline{TIOCB5}/\overline{TMO1}$	P27/ $\overline{TIOCB5}/\overline{TMO1}$	P27/ $\overline{TIOCB5}/\overline{TMO1}$	P27/ $\overline{TIOCB5}/\overline{TMO1}$	NC
93	95	C6	PG0/ $\overline{IRQ6}/\overline{ADTRG}$	PG0/ $\overline{IRQ6}/\overline{ADTRG}$	PG0/ $\overline{IRQ6}/\overline{ADTRG}$	PG0/ $\overline{IRQ6}/\overline{ADTRG}$	NC

ピン番号			端子名				
TFP-100B、TFP-100G	FP-100A	TLP-113V	モード 4	モード 5	モード 6* ¹	モード 7* ¹	フラッシュメモリライタモード
94	96	C5	PG1/ $\overline{\text{CS3}}$ /IRQ7/ $\overline{\text{CS6}}$	PG1/ $\overline{\text{CS3}}$ /IRQ7/ $\overline{\text{CS6}}$	PG1/ $\overline{\text{CS3}}$ /IRQ7/ $\overline{\text{CS6}}$	PG1/IRQ7	NC
95	97	A4	PG2/ $\overline{\text{CS2}}$	PG2/ $\overline{\text{CS2}}$	PG2/ $\overline{\text{CS2}}$	PG2	NC
96	98	A3	PG3/ $\overline{\text{CS1}}$ / $\overline{\text{CS7}}$	PG3/ $\overline{\text{CS1}}$ / $\overline{\text{CS7}}$	PG3/ $\overline{\text{CS1}}$ / $\overline{\text{CS7}}$	PG3	NC
97	99	B4	PG4/ $\overline{\text{CS0}}$	PG4/ $\overline{\text{CS0}}$	PG4/ $\overline{\text{CS0}}$	PG4	NC
98	100	B3	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
99	1	B2	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0	NC
100	2	A2	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0	NC
-	-	G8	VCL (NC) * ³	VCL (NC) * ³	VCL (NC) * ³	VCL (NC) * ³	VCL (NC) * ³
-	-	G9	NC (WDTOVF) * ³	NC (WDTOVF) * ³	NC (WDTOVF) * ³	NC (WDTOVF) * ³	NC

【注】 *1 ROMなし版ではモード 4、5のみ使用できます。

*2 FWE 端子は H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみに適用します。

EMLE 端子は H8S/2319 F-ZTAT のみに適用します。

V_{CL} 端子は H8S/2319C F-ZTAT のみに適用します。

F-ZTAT 版では WDTOVF 端子機能は使用できません。

*3 () 内は H8S/2316S、H8S/2317S の端子名を示します。

ピン番号		端子名				
TLP-113V		モード 4	モード 5	モード 6* ¹	モード 7* ¹	フラッシュメモリライタモード
A1		NC	NC	NC	NC	NC
B5		NC	NC	NC	NC	NC
C3		NC	NC	NC	NC	NC
C9		NC	NC	NC	NC	NC
D4		NC	NC	NC	NC	NC
D10		NC	NC	NC	NC	NC
E5		NC	NC	NC	NC	NC
H2		NC	NC	NC	NC	NC
H8		NC	NC	NC	NC	NC
J1		NC	NC	NC	NC	NC
L9		NC	NC	NC	NC	NC
K3		V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}

【注】 *1 ROMなし版ではモード 4、5のみ使用できます。

1. 概要

1.3.3 端子機能

表 1.3 端子機能

分類	記号	ピン番号			入出力	名称および機能
		TFP-100B、 TFP-100G	FP-100A	TLP-113V		
電源	V _{CC}	40、65、98	42、67、100	B3、E11、L7	入力	電源 電源に接続します。V _{CC} 端子は、全端子をシステムの電源に接続してください。
	V _{SS}	7、18、31、 49、68、88	9、20、33、 51、70、90	A6、D2、E9、 G3、J4、K3、 K10	入力	グラウンド 電源(0V)に接続します。V _{SS} 端子は、全端子をシステムの電源(0V)に接続してください。
内部降圧端子	V _{CL} *1	60	62	G8	出力	本端子とGND(0V)との間に外付けコンデンサを接続します。 V _{CC} と接続しないでください。
クロック	XTAL	66	68	F10	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第18章 クロック発振器」を参照してください。
	EXTAL	67	69	F9	入力	水晶発振子を接続します。また、EXTAL端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第18章 クロック発振器」を参照してください。
	φ	69	71	D11	出力	システムクロック 外部デバイスにシステムクロックを供給します。

分類	記号	ピン番号			入出力	名称および機能																																																																																						
		TFP-100B、 TFP-100G	FP-100A	TLP-113V																																																																																								
動作モード コントロール	MD2~MD0	61、58、57	63、60、59	G10、H10、 H9	入力	<p><u>モード端子</u> 動作モードを設定します。MD2~MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。</p> <p>H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、 H8S/2315 F-ZTAT、H8S/2314 F-ZTAT</p> <table border="1"> <thead> <tr> <th>FWE</th> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="6">0</td> <td rowspan="3">0</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>1</td> <td>0</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>—</td> </tr> <tr> <td rowspan="3">1</td> <td>0</td> <td>0</td> <td>モード4</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード5</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード6</td> </tr> <tr> <td rowspan="6">1</td> <td rowspan="3">0</td> <td>1</td> <td>0</td> <td>モード7</td> </tr> <tr> <td>0</td> <td>0</td> <td>—</td> </tr> <tr> <td>1</td> <td>0</td> <td>—</td> </tr> <tr> <td rowspan="3">1</td> <td>0</td> <td>0</td> <td>モード10</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード11</td> </tr> <tr> <td>1</td> <td>0</td> <td>—</td> </tr> <tr> <td rowspan="3">1</td> <td rowspan="3">1</td> <td>0</td> <td>0</td> <td>—</td> </tr> <tr> <td>1</td> <td>0</td> <td>—</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード14</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>モード15</td> </tr> </tbody> </table> <p>マスク ROM 版、ROM なし版、 H8S/2319 F-ZTAT、H8S/2319C F-ZTAT</p> <table border="1"> <thead> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="3">0</td> <td>0</td> <td>1</td> <td>モード1*1</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード2*2</td> </tr> <tr> <td>1</td> <td>モード3*2</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>モード4*3</td> </tr> <tr> <td>1</td> <td>モード5*3</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード6</td> </tr> <tr> <td>1</td> <td>モード7</td> </tr> </tbody> </table> <p>【注】*1 H8S/2319C F-ZTATのみ適用。 *2 H8S/2319 F-ZTAT、 H8S/2319C F-ZTATのみ適用。 *3 ROMなし版では使用できません。</p>	FWE	MD2	MD1	MD0	動作モード	0	0	0	1	—	1	0	—	1	1	—	1	0	0	モード4	1	0	モード5	1	0	モード6	1	0	1	0	モード7	0	0	—	1	0	—	1	0	0	モード10	1	0	モード11	1	0	—	1	1	0	0	—	1	0	—	1	0	モード14	1	1	0	モード15	MD2	MD1	MD0	動作モード	0	0	1	モード1*1	1	0	モード2*2	1	モード3*2	1	0	0	モード4*3	1	モード5*3	1	0	モード6	1	モード7
FWE	MD2	MD1	MD0	動作モード																																																																																								
0	0	0	1	—																																																																																								
		1	0	—																																																																																								
		1	1	—																																																																																								
	1	0	0	モード4																																																																																								
		1	0	モード5																																																																																								
		1	0	モード6																																																																																								
1	0	1	0	モード7																																																																																								
		0	0	—																																																																																								
		1	0	—																																																																																								
	1	0	0	モード10																																																																																								
		1	0	モード11																																																																																								
		1	0	—																																																																																								
1	1	0	0	—																																																																																								
		1	0	—																																																																																								
		1	0	モード14																																																																																								
1	1	0	モード15																																																																																									
MD2	MD1	MD0	動作モード																																																																																									
0	0	1	モード1*1																																																																																									
	1	0	モード2*2																																																																																									
		1	モード3*2																																																																																									
1	0	0	モード4*3																																																																																									
		1	モード5*3																																																																																									
	1	0	モード6																																																																																									
		1	モード7																																																																																									
システム 制御	RES	62	64	F11	入力	<p><u>リセット入力</u> この端子が Low レベルになると、リセット状態となります。</p>																																																																																						
	STBY	64	66	E8	入力	<p><u>スタンバイ</u> この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。</p>																																																																																						

1. 概要

分類	記号	ピン番号			入出力	名称および機能
		TFP-100B、TFP-100G	FP-100A	TLP-113V		
システム制御	BREQ	76	78	A10	入力	<u>バス権要求</u> 本 LSI に対し、外部バスマスタがバス権を要求します。
	BREQ \bar{O}	74	76	B10	出力	<u>バス権要求出力</u> 外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの、外部バス権要求信号です。
	BACK	75	77	B11	出力	<u>バス権要求アクノリッジ</u> バス権を外部バスマスタに解放したことを示します。
	FWE* ⁴	60	62	-	入力	<u>フラッシュライトイネーブル</u> フラッシュメモリの書き換えを禁止 / 許可します。
	EMLE* ⁵	60	62	-	入力	<u>エミュレータイネーブル</u> 電源 (0V) に接続します。
割り込み	NMI	63	65	F8	入力	<u>ノンマスクابل割り込み</u> マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。
	$\bar{I}RQ7 \sim \bar{I}RQ0$	94、93、13、12、73~76	96、95、15、14、75~78	C5、C6、F4、F1、C10、B10、B11、A10	入力	<u>割り込み要求 7~0</u> マスク可能な割り込みを要求します。
アドレスバス	A23~A0	2、1、100、99、53~50、48~41、39~32	4~1、55~52、50~43、41~34	C1、B1、A2、B2、J11、L11、K11、L10、K9、J9、K8、K7、L8、J7、J6、K6、H7、H6、L6、K5、J5、H5、L5、K4	出力	<u>アドレスバス</u> アドレスを出力します。
データバス	D15~D0	30~19、17~14	32~21、19~16	L4、H3、L3、L1、L2、K1、K2、J2、J3、H4、G2、H1、F3、F2、G1、G4	入出力	<u>データバス</u> 双方向データバスです。
バス制御	$\bar{CS}7 \sim \bar{CS}0$	94~97、75、76	96~99、77、78	A3、C5、B11、A10、A4、B4	出力	<u>チップセレクト</u> エリア 7~0 の選択信号です。
	\bar{AS}	70	72	E10	出力	<u>アドレスストロープ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。

分類	記号	ピン番号			入出力	名称および機能
		TFP-100B、 TFP-100G	FP-100A	TLP-113V		
バス制御	\overline{RD}	71	73	D8	出力	<u>リード</u> この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	\overline{HWR}	72	74	C11	出力	<u>ハイライト</u> 外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロブ信号です。
	\overline{LWR}	73	75	C10	出力	<u>ロウライト</u> 外部空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロブ信号です。
	\overline{WAIT}	74	76	B10	入力	<u>ウェイト</u> 外部 3 ステータスアクセス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16 ビットタイマパルスユニット (TPU)	TCLKD ~ TCLKA	6、4、2、1	8、6、4、3	D3、D1、C1、B1	入力	<u>クロック入力 D~A</u> 外部クロックを入力します。
	TIOCA0、TIOCB0、TIOCC0、TIOCD0	99、100、1、2	1~4	B2、A2、B1、C1	入出力	<u>インプットキャプチャ/アウトプットコンペアマッチ A0 ~ D0</u> TGR0A ~ TGR0D のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA1、TIOCB1	3、4	5、6	C4、D1	入出力	<u>インプットキャプチャ/アウトプットコンペアマッチ A1、B1</u> TGR1A、TGR1B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA2、TIOCB2	5、6	7、8	C2、D3	入出力	<u>インプットキャプチャ/アウトプットコンペアマッチ A2、B2</u> TGR2A、TGR2B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA3、TIOCB3、TIOCC3、TIOCD3	54 ~ 56、59	56 ~ 58、61	J8、H11、J10、G11	入出力	<u>インプットキャプチャ/アウトプットコンペアマッチ A3 ~ D3</u> TGR3A ~ TGR3D のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA4、TIOCB4	89、90	91、92	D6、D5	入出力	<u>インプットキャプチャ/アウトプットコンペアマッチ A4、B4</u> TGR4A、TGR4B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。

1. 概要

分類	記号	ピン番号			入出力	名称および機能
		TFP-100B、TFP-100G	FP-100A	TLP-113V		
16ビットタイマパルスユニット (TPU)	TIOCA5、TIOCB5	91、92	93、94	A5、B6	入出力	インプットキャプチャ/アウトプットコンペアマッチ A5、B5 TGR5A、TGR5B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
8ビットタイマ	TMO0、TMO1	91、92	93、94	A5、B6	出力	コンペアマッチ出力 コンペアマッチ出力端子です。
	TMCI0、TMCI1	59、90	61、92	G11、D5	入力	カウンタ外部クロック入力 カウンタに入力する外部クロックの入力端子です。
	TMRI0、TMRI1	56、89	58、91	J10、D6	入力	カウンタ外部リセット入力 カウンタリセット入力端子です。
ウォッチドッグタイマ (WDT)	WDTOVF ^{*6}	60	62	G9	出力	ウォッチドッグタイマオーバフロー ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子です。
シリアルコミュニケーションインタフェース (SCI) / スマートカードインタフェース	TxD1、TxD0	9、8	11、10	E4、E1	出力	トランスミットデータ (チャンネル 0、1) データ出力端子です。
	RxD1、RxD0	11、10	13、12	E2、E3	入力	レシーブデータ (チャンネル 0、1) データ入力端子です。
	SCK1、SCK0	13、12	15、14	F1、F4	入出力	シリアルクロック (チャンネル 0、1) クロック入出力端子です。
A/D 変換器	AN7 ~ AN0	86 ~ 79	88 ~ 81	C7、D7、A7、B8、C8、B9、A8、D9	入力	アナログ 7~0 アナログ入力端子です。
	ADTRG	93	95	C6	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1、DA0	86、85	88、87	C7、D7	出力	アナログ出力 D/A 変換器のアナログ出力端子です。
A/D 変換器、D/A 変換器	AV _{CC}	77	79	A11	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源 (V _{CC}) に接続してください。
	AV _{SS}	87	89	B7	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	V _{ref}	78	80	A9	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (V _{CC}) に接続してください。

分類	記号	ピン番号			入出力	名称および機能
		TFP-100B、 TFP-100G	FP-100A	TLP-113V		
I/O ポート	P17 ~ P10	6 ~ 1、100、 99	8 ~ 1	D3、C2、D1、 C4、C1、B1、 A2、B2	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P27 ~ P20	92 ~ 89、59、 56 ~ 54	94 ~ 91、61、 58 ~ 56	B6、A5、D5、 D6、G11、 J10、H11、 J8	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。 ポート 2 データディレクションレジスタ (P2DDR) によって、1 ビットごとに入出力を指定できます。
	P35 ~ P30	13 ~ 8	15 ~ 10	F4、F1、E2、 E3、E4、E1	入出力	<u>ポート 3</u> 6 ビットの入出力端子です。 ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P47 ~ P40	86 ~ 79	88 ~ 81	C7、D7、A7、 B8、C8、B9、 A8、D9	入力	<u>ポート 4</u> 8 ビットの入力端子です。
	PA3 ~ PA0	53 ~ 50	55 ~ 52	J11、L11、 K11、L10	入出力	<u>ポート A*7</u> 4 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDR) によって、1 ビットごとに入出力を指定できます。
	PB7 ~ PB0	48 ~ 41	50 ~ 43	K9、J9、K8、 K7、L8、J7、 J6、K6	入出力	<u>ポート B*7</u> 8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。
	PC7 ~ PC0	39 ~ 32	41 ~ 34	H7、H6、L6、 K5、J5、H5、 L5、K4	入出力	<u>ポート C*7</u> 8 ビットの入出力端子です。 ポート C データディレクションレジスタ (PCDDR) によって、1 ビットごとに入出力を指定できます。
	PD7 ~ PD0	30 ~ 23	32 ~ 25	L4、H3、L3、 L1、L2、K1、 K2、J2	入出力	<u>ポート D*7</u> 8 ビットの入出力端子です。 ポート D データディレクションレジスタ (PDDDR) によって、1 ビットごとに入出力を指定できます。
	PE7 ~ PE0	22 ~ 19、 17 ~ 14	24 ~ 21、 19 ~ 16	J3、H4、G2、 H1、F3、F2、 G1、G4	入出力	<u>ポート E</u> 8 ビットの入出力端子です。 ポート E データディレクションレジスタ (PEDDR) によって、1 ビットごとに入出力を指定できます。

1. 概要

分類	記号	ピン番号			入出力	名称および機能
		TFP-100B、 TFP-100G	FP-100A	TLP-113V		
I/O ポート	PF7 ~ PF0	69 ~ 76	71 ~ 78	D11、E10、 D8、C11、 C10、B10、 B11、A10	入出力	<u>ポート F</u> 8 ビットの入出力端子です。 ポート F データディレクションレジスタ (PFDDR)によって、1 ビットごとに入出力を 指定できます。
	PG4 ~ PG0	97 ~ 93	99 ~ 95	B4、A3、A4、 C5、C6	入出力	<u>ポート G</u> 5 ビットの入出力端子です。 ポート G データディレクションレジスタ (PGDDR)によって、1 ビットごとに入出力を 指定できます。

- 【注】 *1 H8S/2319C F-ZTAT のみに適用します。
*2 H8S/2319 F-ZTAT、H8S/2319C F-ZTAT のみに適用します。
*3 ROM なし版では、モード 4、5 のみ使用できます。
*4 H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみに適用します。
*5 H8S/2319 F-ZTAT のみに適用します。
*6 マスク ROM 版、ROM なし版のみに適用します。
*7 ROM なし版では I/O ポートとして使用できません。

2. CPU

2.1 概要

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

- H8/300 CPU および H8/300H CPU の上位互換
 - H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ方式
 - 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）
- 65 種類の基本命令
 - 8 / 16 / 32 ビット演算命令
 - 乗除算命令
 - 強力なビット操作命令
- 8 種類のアドレッシングモード
 - レジスタ直接 (Rn)
 - レジスタ間接 (@ERn)
 - ディスプレースメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
 - ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
 - 絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
 - イミディエイト (#xx:8 / #xx:16 / #xx:32)
 - プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
 - メモリ間接 (@@aa:8)
- 16M バイトのアドレス空間
 - プログラム：16M バイト
 - データ：16M バイト（アーキテクチャ上は 4G バイト）
- 高速動作
 - 頻出命令をすべて 1、2 ステートで実行
 - 最高動作周波数：25MHz
 - 8 / 16 / 32 ビットレジスタ間加減算：40ns
 - 8×8 ビットレジスタ間乗算：480ns
 - 16÷8 ビットレジスタ間除算：480ns
 - 16×16 ビットレジスタ間乗算：800ns
 - 32÷16 ビットレジスタ間除算：800ns
- CPU 動作モード
 - アドバンストモード

2. CPU

- 低消費電力状態
 - SLEEP 命令により低消費電力状態に遷移
 - CPU 動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下のとおりです。

- レジスタ構成
 - MAC レジスタは、H8S/2600 CPU のみサポートしています。
- 基本命令
 - MAC、CLRMAC、LDMAC、STMAC の 4 命令は、H8S/2600 CPU のみサポートしています。
- 実行ステート数
 - MULXU、MULXS 命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
 - 16 ビット×8 本の拡張レジスタ、および 8 ビット×1 本のコントロールレジスタを追加
- アドレス空間を拡張
 - アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
- アドレッシングモードを強化
 - 16M バイトのアドレス空間を有効に使用可能
- 命令強化
 - ビット操作命令のアドレッシングモードを強化
 - 符号付き乗除算命令などを追加
 - 2 ビットシフト命令を追加
 - 複数レジスタの退避 / 復帰命令を追加
 - テストアンドセット命令を追加
- 高速化
 - 基本的な命令を 2 倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
 - 8ビット×1本のコントロールレジスタを追加
- 命令強化
 - ビット操作命令のアドレッシングモードを強化
 - 2ビットシフト命令を追加
 - 複数レジスタの退避 / 復帰命令を追加
 - テストアンドセット命令を追加
- 高速化
 - 基本的な命令を2倍に高速化

2.2 CPU 動作モード

本 LSI の CPU はアドバンスモードのみの CPU 動作モードを持っています。サポートするアドレス空間は、16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計で最大 4G バイト）となります。

アドバンスモード

(a) アドレス空間

最大 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト）をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します（図 2.1 参照）。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

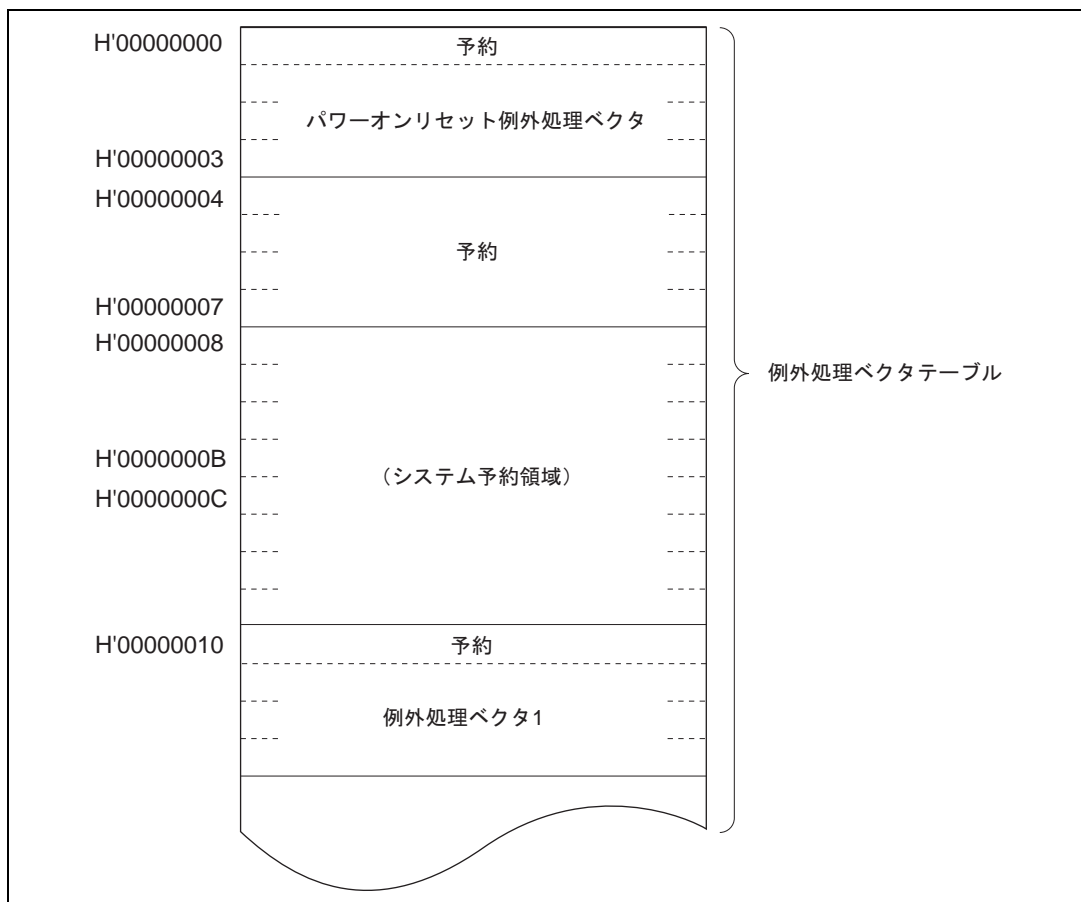


図 2.1 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 とみなされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンストモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.2 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

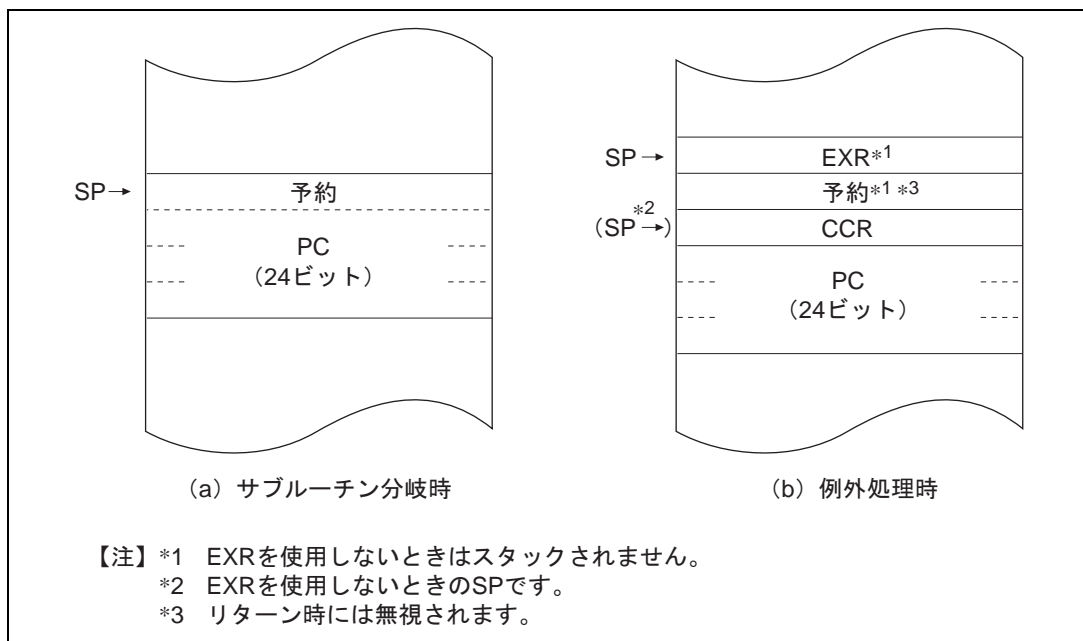


図 2.2 アドバンストモードのスタック構造

2.3 アドレス空間

本CPUのメモリマップを図2.3に示します。本CPUは、アドバンスモードのとき最大16Mバイト（アーキテクチャ上は4Gバイト）のアドレス空間をリニアに使用することができます。

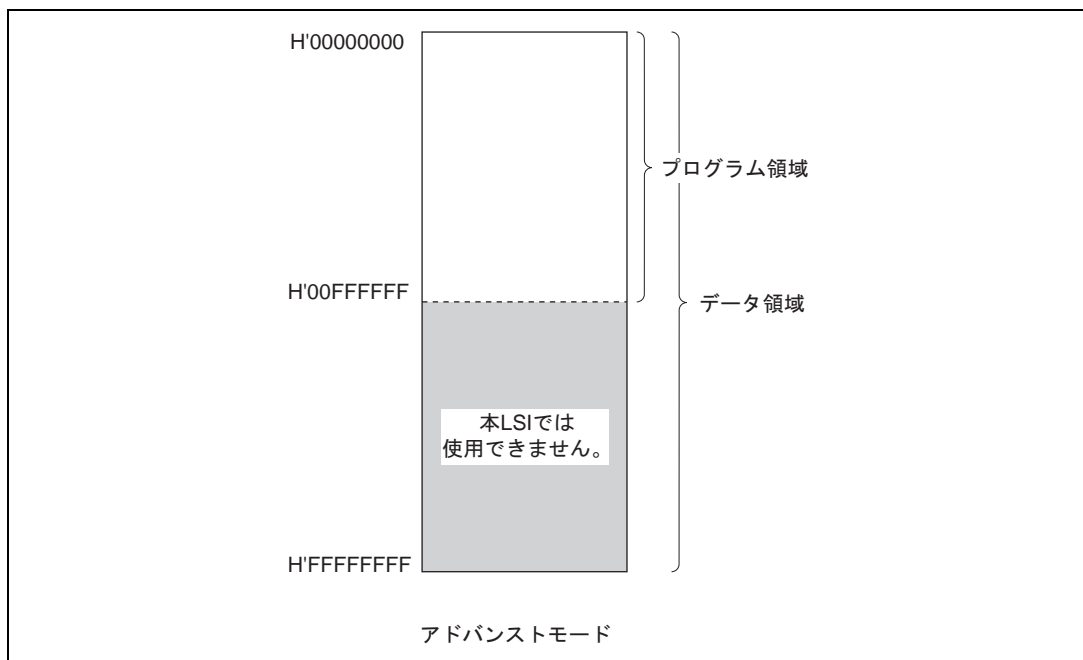


図 2.3 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本 CPU の内部レジスタ構成を図 2.4 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

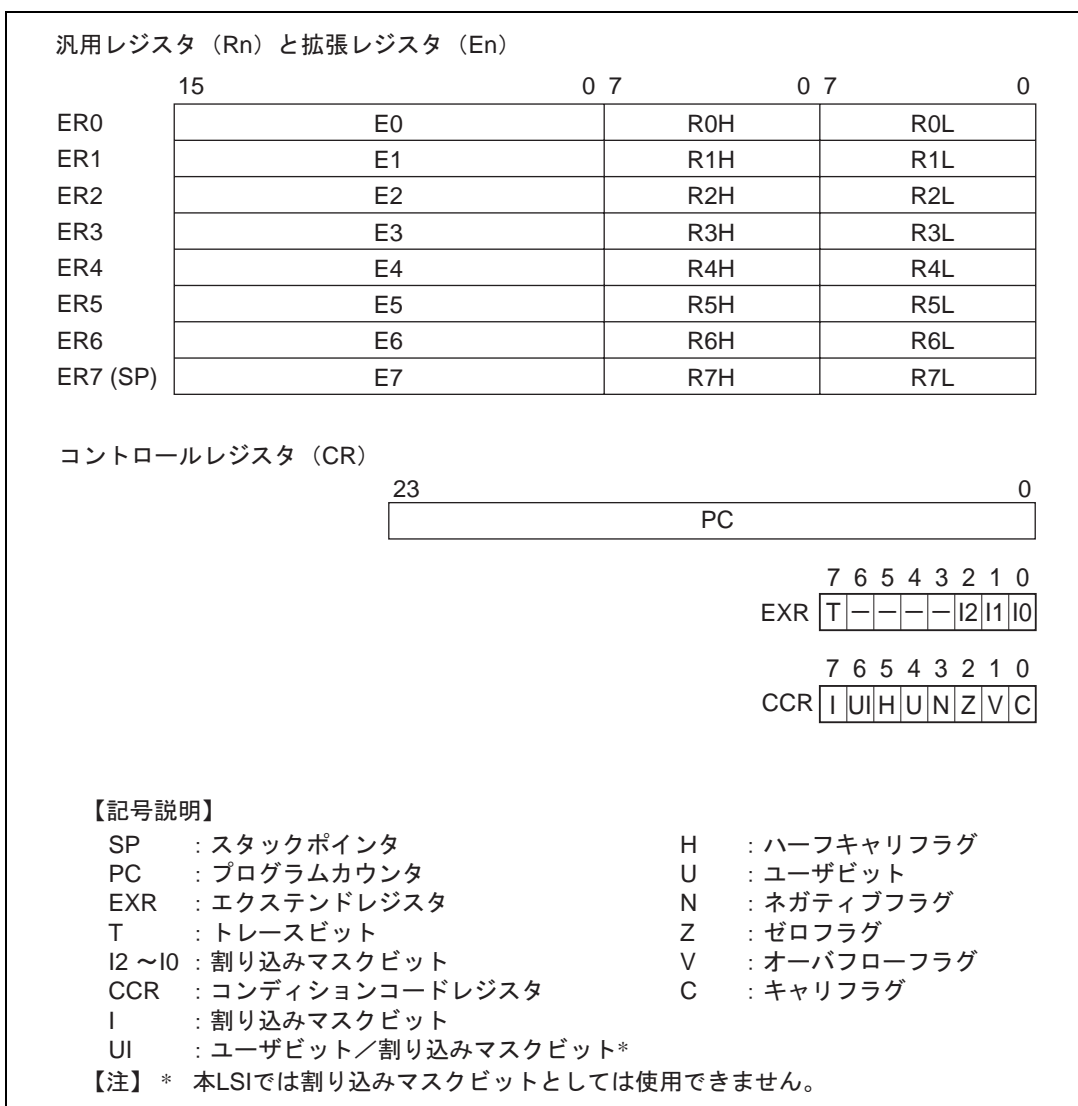


図 2.4 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

本CPUは、32ビット長の汎用レジスタを8本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては32ビット、16ビット、および8ビットレジスタとして使用できます。

アドレスレジスタおよび32ビットレジスタとしては、一括して汎用レジスタER (ER0~ER7)として使用します。

16ビットレジスタとしては、汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として使用します。これらは同等の機能を持っており、16ビットレジスタを最大16本まで使用することができます。なお、汎用レジスタE (E0~E7)を、特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタとしては、汎用レジスタRを分割して汎用レジスタRH (R0H~R7H)、汎用レジスタRL (R0L~R7L)として使用します。これらは同等の機能を持っており、8ビットレジスタを最大16本まで使用することができます。

汎用レジスタの使用方法を図2.5に示します。各レジスタ独立に使用方法を選択することができます。

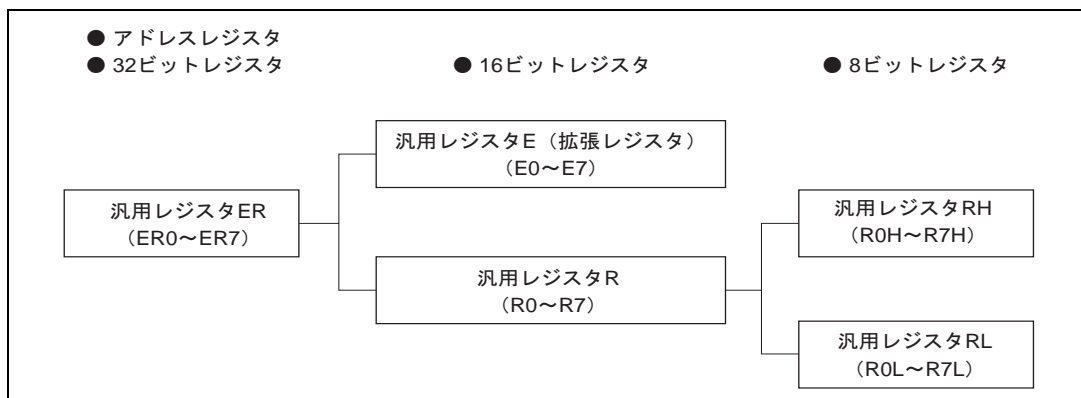


図 2.5 汎用レジスタの使用方法

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ (SP)としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図2.6に示します。

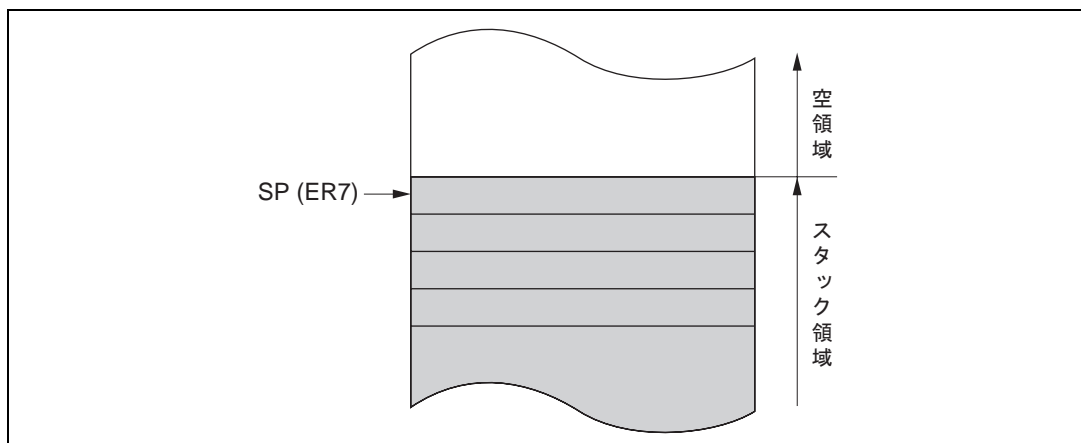


図 2.6 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、および 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) エクステンドレジスタ (EXR)

8 ビットのレジスタです。トレースビット (T)、割り込みマスクビット (I) を含む 8 ビットで構成されています。

ビット 7: トレースビット (T)

トレースモードか否かを指定します。本ビットが 0 にクリアされているときは命令を順次実行します。1 にセットされているときは 1 命令実行するごとにトレース例外処理を開始します。

ビット 6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。

ビット 2~0: 割り込みマスクビット (I2~I0)

割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間は、NMI を含めてすべての割り込みは受け付けられません。

(3) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。

ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。

ビット6：ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。本LSIでは割り込みマスクビットとしては使用できません。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト / ローテートのキャリ

また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本 CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（ $n=0,1,2, \dots, 7$ ）という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.7 に示します。

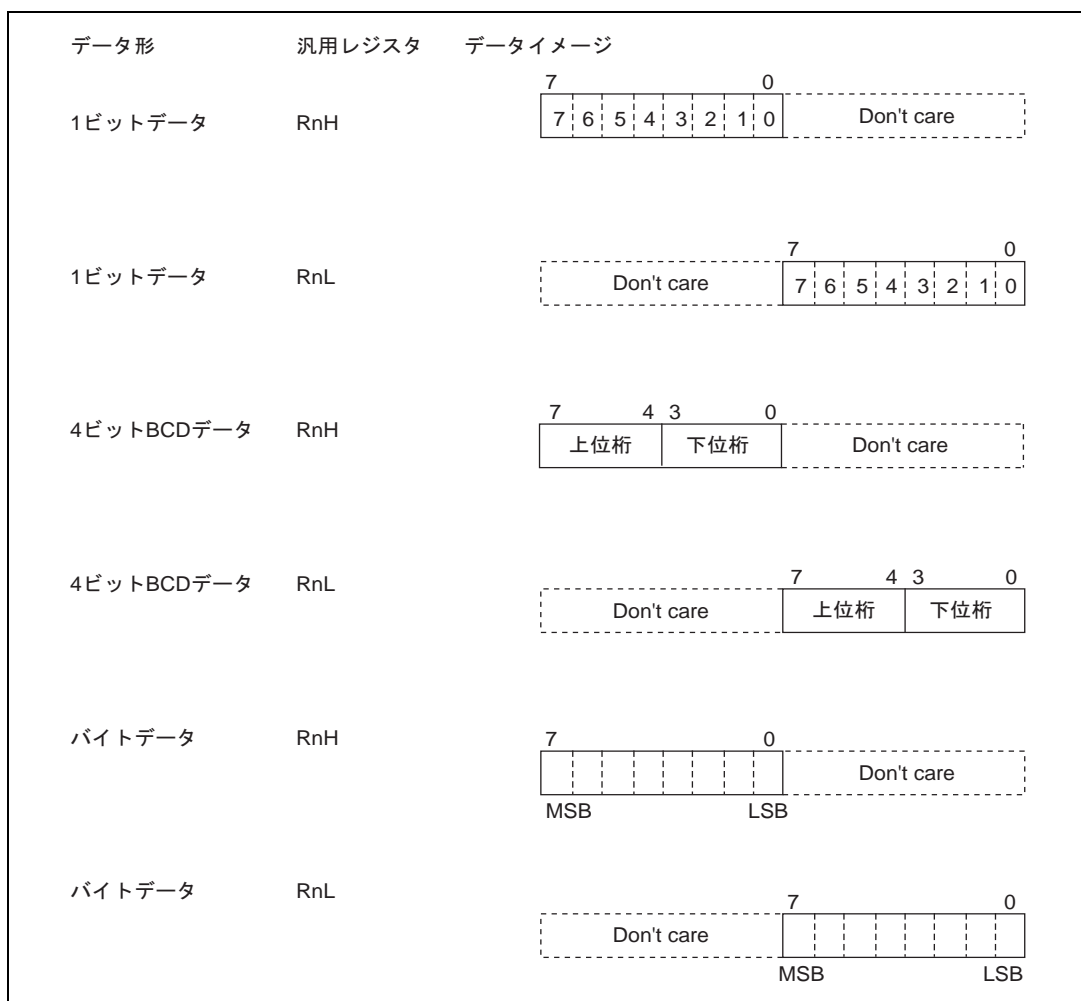


図 2.7 汎用レジスタのデータ構成 (1)

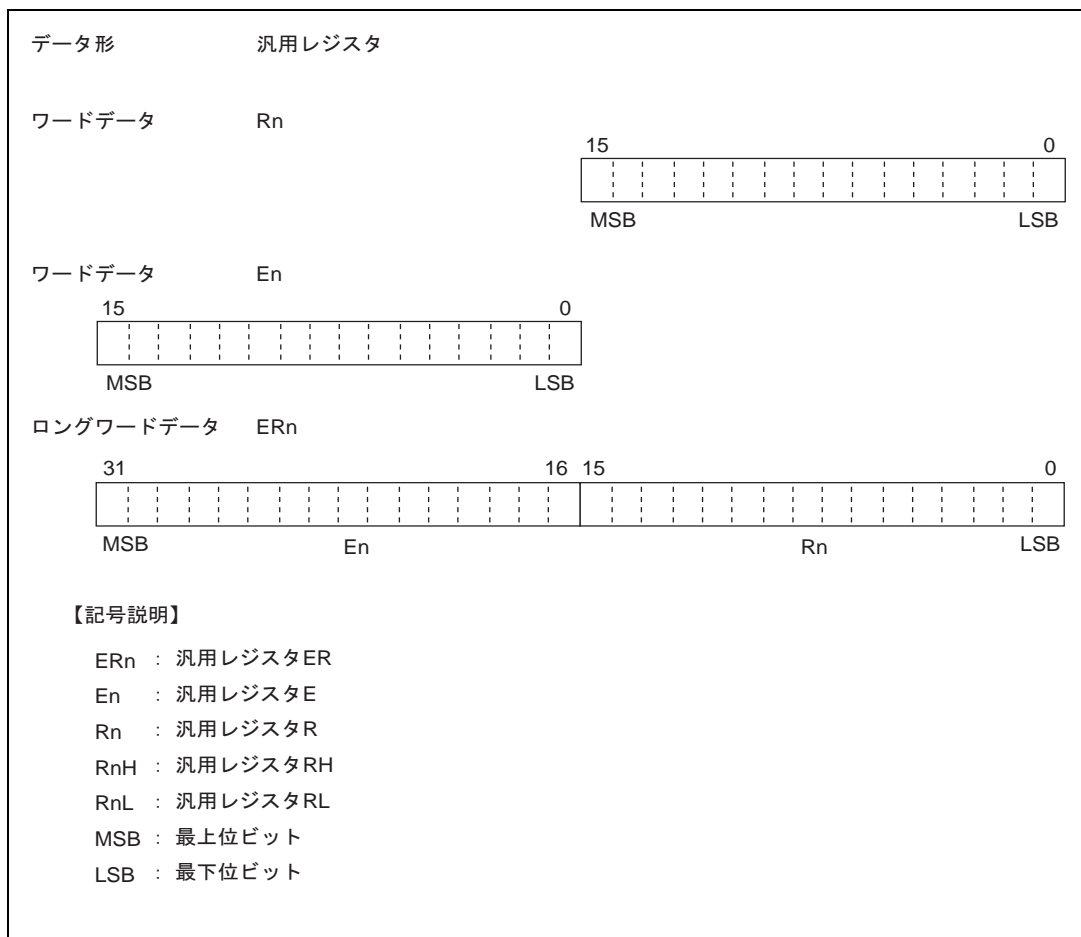


図 2.7 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.8 に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

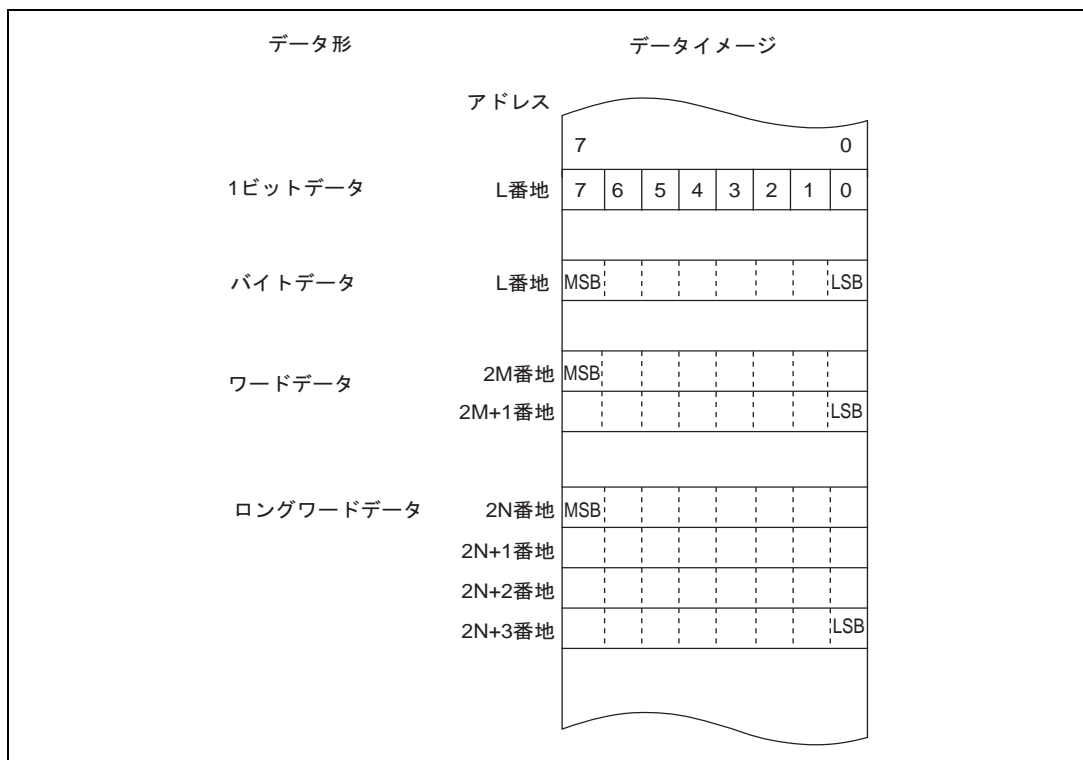


図 2.8 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP * ¹ , PUSH * ¹	WL	
	LDM, STM	L	
	MOVFP, MOVTPE* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	BWL	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	BWL	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	BW	
	EXTU, EXTS	WL	
	TAS * ⁴	B	
論理演算命令	AND, OR, XOR, NOT	BWL	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	BWL	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EPMOV	-	1

合計 65 種類

【記号説明】

- B : バイト
- W : ワード
- L : ロングワード

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:32, ERn)	@+ERn@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(d8, PC)	@(d:16, PC)	@@aa:8	
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM, STM	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFP, MOVTPE*1	—	—	—	—	—	—	—	B	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
TAS*2	—	—	B	—	—	—	—	—	—	—	—	—	—	—	
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	○	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	○
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	○
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

【記号説明】

B、W、L はオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

【注】 *1 本 LSI では使用できません。

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側) *
Rs	汎用レジスタ (ソース側) *
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B / W / L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群)→@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ* ¹	機能
ADD SUB	B / W / L	$Rd \pm Rs \rightarrow Rd$, $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$, $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット 余り 16 ビットの除算が可能です。
DIVXS	B / W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B / W / L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W / L	$Rd(\text{ゼロ拡張}) \rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	$Rd(\text{符号拡張}) \rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd - 0, 1 \rightarrow (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット (ビット 7) を 1 にセットします。

2. CPU

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B / W / L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B / W / L	~ Rd→Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B / W / L	Rd(シフト処理) →Rd 汎用レジスタの内容を算術的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
SHLL SHLR	B / W / L	Rd(シフト処理) →Rd 汎用レジスタの内容を論理的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
ROTL ROTR	B / W / L	Rd(ローテート処理) →Rd 汎用レジスタの内容をローテートします。 1 ビットまたは 2 ビットのローテートが可能です。
ROTXL ROTXR	B / W / L	Rd(ローテート処理) →Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1 ビットまたは 2 ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

2. CPU

命令	サイズ*	機能
BLD	B	(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	~C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。
B: バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>Overflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>Overflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	Overflow Clear	$V = 0$	BVS	Overflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	Overflow Clear	$V = 0$																																																			
BVS	Overflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	if R4L 0 then Repeat @ER5+→@ER6+ R4L - 1→R4L Until R4L = 0 else next;
EEPMOV.W	-	if R4 0 then Repeat @ER5+→@ER6+ R4 - 1→R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.9 に命令フォーマットの例を示します。

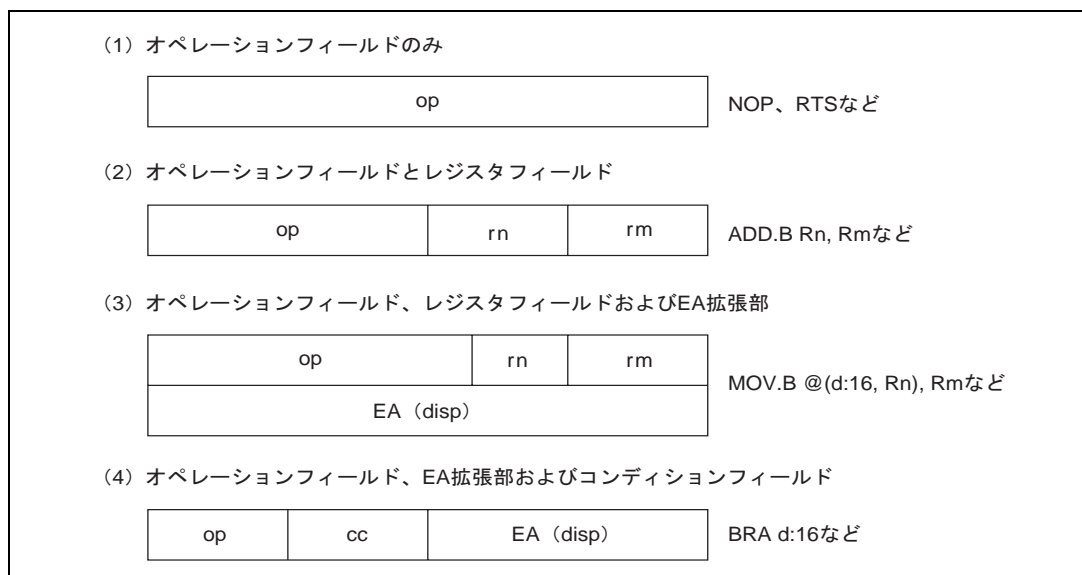


図 2.9 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレス、またはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビット、または 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に命令コード中に含まれる 16 ビットディスプレースメントまたは 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

- (a) ポストインクリメントレジスタ間接 @ERn+
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2、または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズまたはロングワードサイズの時、アドレスレジスタの内容が偶数となるようにしてください。
- (b) プリデクリメントレジスタ間接 @-ERn
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2、または4を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズまたはロングワードサイズの時、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		アドバンストモード
データ領域	8 ビット (@aa:8)	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'000000 ~ H'007FFF、H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)	H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)	

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するため

の 2 ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (H'000000 ~ H'0000FF) 番地です。

アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

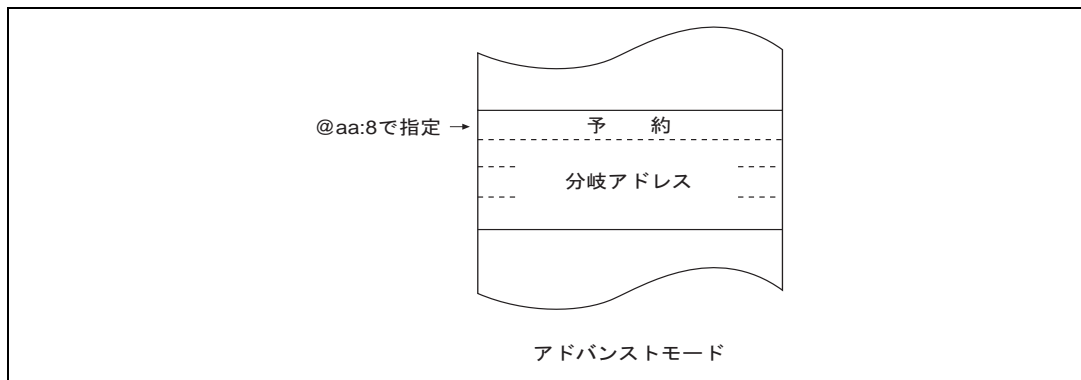


図 2.10 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ構成」を参照してください)。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算方法を表 2.13 に示します。

表2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
1	レジスタ直接 (Rn) <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">rm</div> <div style="border: 1px solid black; padding: 2px;">rn</div> </div>	実行アドレスはレジスタの内容です。	
2	レジスタ間接 (@ERn) <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	汎用レジスタの内容 <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px; width: 100px; height: 20px;">汎用レジスタの内容</div> <div style="border: 1px solid black; padding: 2px;">0</div> </div>	31 24 23 Don't care 0
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> <div style="border: 1px solid black; padding: 2px;">disp</div> </div>	汎用レジスタの内容 <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px; width: 100px; height: 20px;">汎用レジスタの内容</div> <div style="border: 1px solid black; padding: 2px;">+</div> <div style="border: 1px solid black; padding: 2px; width: 100px; height: 20px;">disp</div> </div>	31 24 23 Don't care 0
4	ホストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ ・プリデクリメントレジスタ間接 @-ERn <div style="display: flex; align-items: center; gap: 5px;"> <div style="border: 1px solid black; padding: 2px;">op</div> <div style="border: 1px solid black; padding: 2px;">r</div> </div>	汎用レジスタの内容 <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px; width: 100px; height: 20px;">汎用レジスタの内容</div> <div style="border: 1px solid black; padding: 2px;">+</div> <div style="border: 1px solid black; padding: 2px; width: 100px; height: 20px;">1、2、または4</div> </div>	31 24 23 Don't care 0
		汎用レジスタの内容 <div style="display: flex; align-items: center; gap: 10px;"> <div style="border: 1px solid black; padding: 2px; width: 100px; height: 20px;">汎用レジスタの内容</div> <div style="border: 1px solid black; padding: 2px;">-</div> <div style="border: 1px solid black; padding: 2px; width: 100px; height: 20px;">1、2、または4</div> </div>	31 24 23 Don't care 0

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	<p>絶対アドレス</p> <p>@aa:8</p> <p>@aa:16</p> <p>@aa:24</p> <p>@aa:32</p>		
6	<p>イミディエイト</p> <p>#xx:8 / #xx:16 / #xx:32</p>		<p>オペランドはイミディエイトデータです。</p>

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @@aa:8 ・アドバンストモード 		

2.8 処理状態

2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.11 に、処理状態間の遷移を図 2.12 に示します。

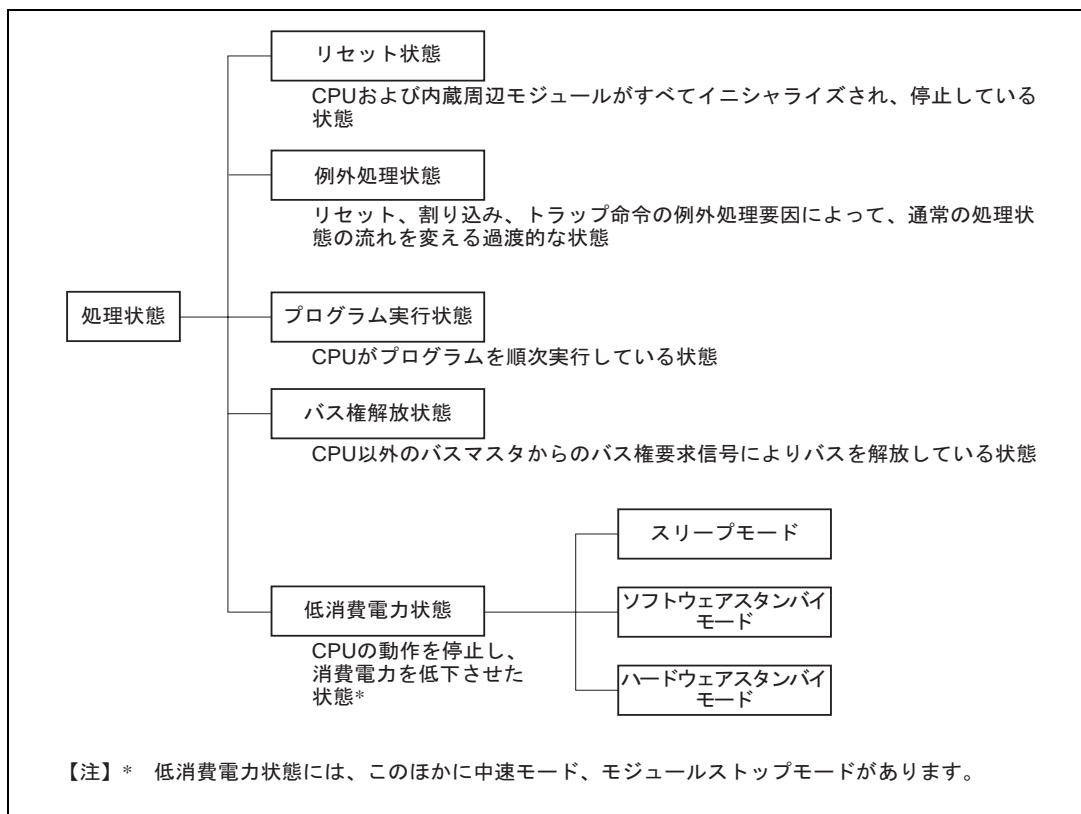


図 2.11 処理状態の分類

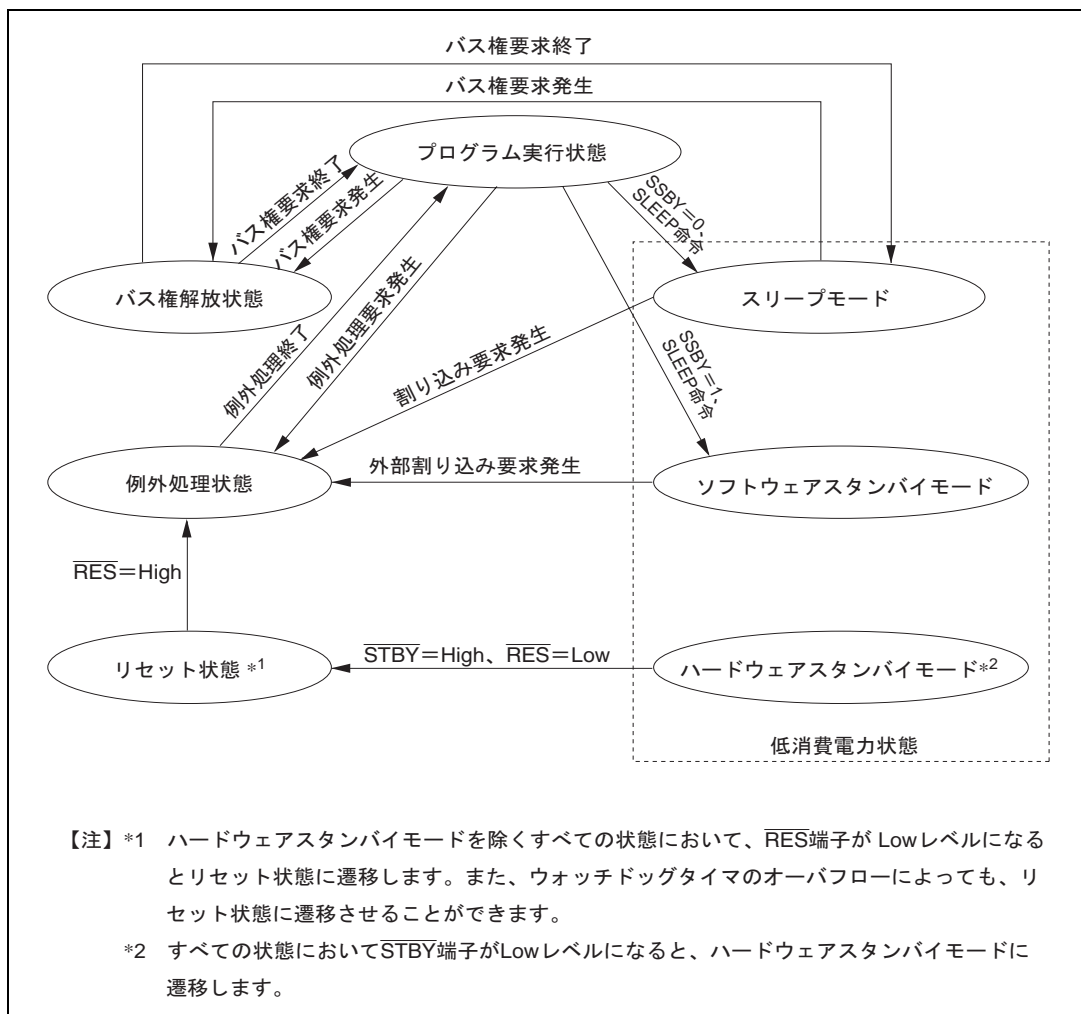


図 2.12 状態遷移図

2.8.2 リセット状態

\overline{RES} 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

\overline{RES} 端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ (WDT)」を参照してください。

2.8.3 例外処理状態

例外処理状態は、リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、トレース、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出 タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドックタイマのオーバーフローにより例外処理を開始します。
	トレース	命令実行終了時または例外処理終了時 ^{*1}	T ビット = 1 の状態で命令または例外処理の実行終了時開始します。
	割り込み	命令実行終了時または例外処理終了時 ^{*2}	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します ^{*3} 。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

RES 端子を Low レベルにして、リセット状態とした後、RES 端子を High レベルにすると、リセット例外処理を開始します。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中および終了後は、NMI を含めたすべての割り込みが禁止されます。

(3) トレース

トレースは、割り込み制御モード 2 で有効です。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクは影響を受けません。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。
割り込み制御モード 0 では、T ビットの状態によらず、トレースモードにはなりません。

(4) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス (ベクタ) を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.13 に示します。

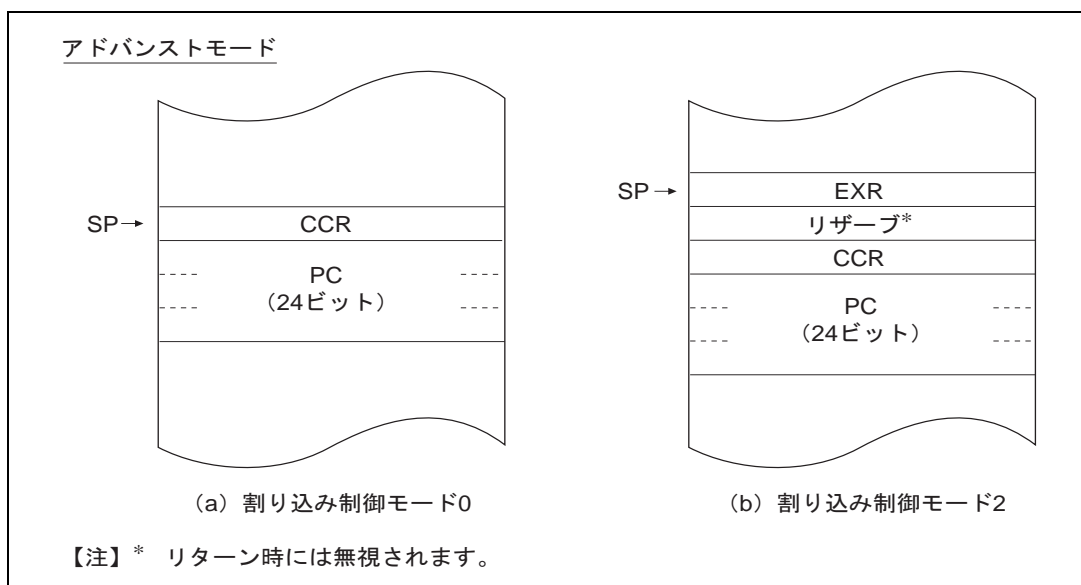


図 2.13 例外処理終了後のスタックの状態 (例)

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPU は動作を停止します。

なお、CPU 以外のバスマスタにはデータトランスファコントローラ (DTC) があります。
詳細は、「第 6 章 バスコントローラ」を参照してください。

2.8.6 低消費電力状態

低消費電力状態には、CPU の動作を停止した状態と、CPU の動作を停止しない状態があります。CPU の動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモードがあります。中速モードでは CPU およびそのほかのバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU 以外のモジュールの動作を停止します。詳細は「第 19 章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移します。スリープモードでは、CPU の動作は SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。規定の電圧が与えられている限り、CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

2.9 基本動作タイミング

2.9.1 概要

本 CPU は、システムクロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2、または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 2.14 に、端子状態を図 2.15 に示します。

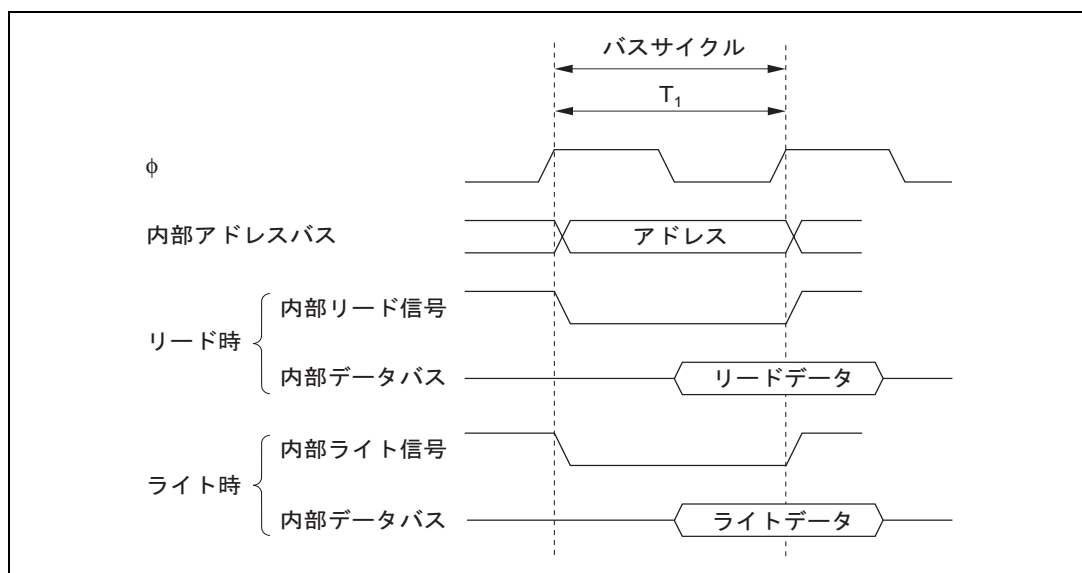


図 2.14 内蔵メモリアクセスサイクル

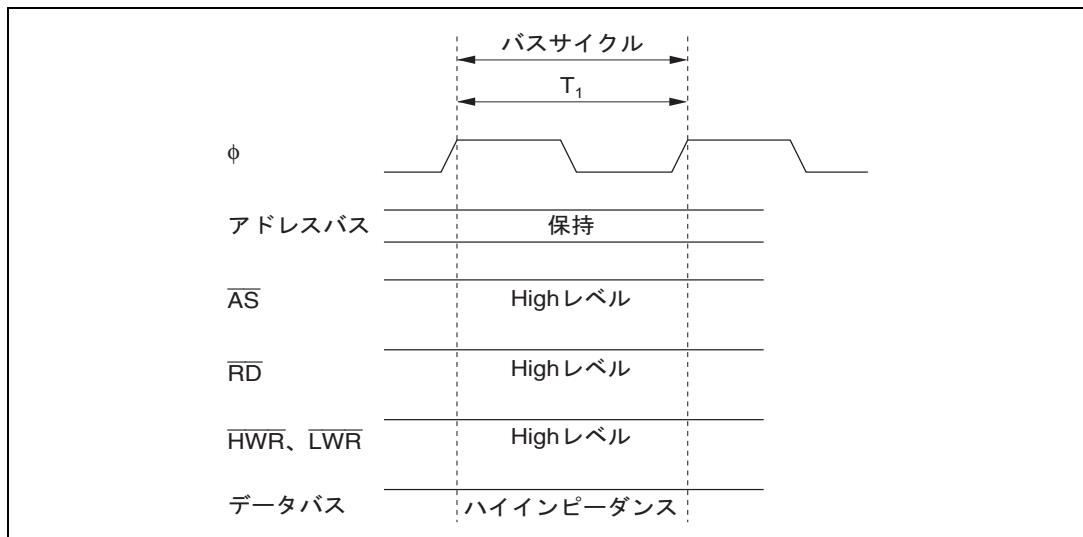


図 2.15 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.16、端子状態を図2.17に示します。

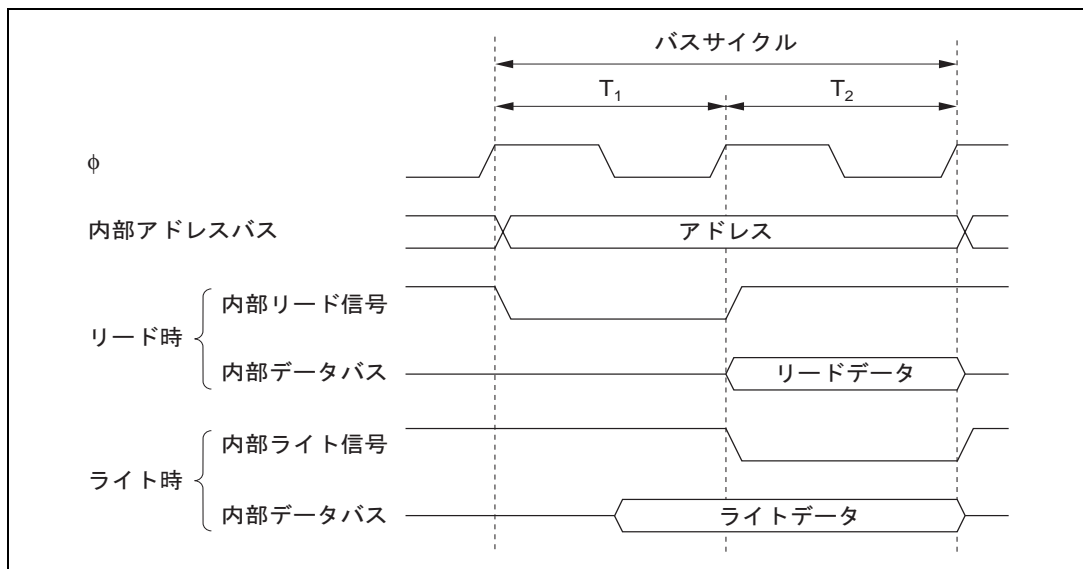


図 2.16 内蔵周辺モジュールアクセスサイクル

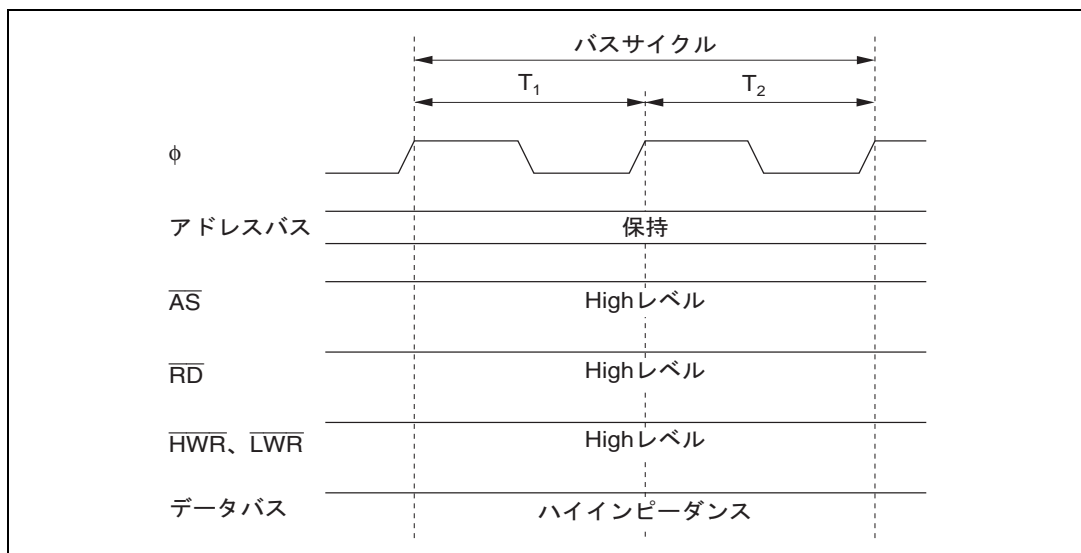


図 2.17 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8ビットまたは16ビット、バスサイクルは2ステートまたは3ステートです。3ステートアクセスではウェイトステートを挿入することができます。詳細は「第6章 バスコントローラ」を参照してください。

2.10 使用上の注意

2.10.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス製 H8S、H8/300 シリーズ C/C++ コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合にはレジスタ ER0、ER1、ER4、ER5 を使用してください。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択 (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT)

本 LSI には、8 種類の動作モード (モード 4~7、10、11、14、15) があります。これらのモードは、フラッシュライトイネーブル端子 (FWE) とモード端子 (MD2~MD0) の設定で決まります。表 3.1 のように CPU 動作モード、バス幅の初期状態を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択
(H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT)

MCU 動作モード	FWE	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス										
								初期値	最大値									
1*	0	0	0	1	-	-	-	-										
2*			1	0														
3*				1														
4		1	0	0	0	アドバンスト	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット								
5									1	16 ビット								
6									1	0	8 ビット	16 ビット						
7									1	1	シングル チップモード	有効	-					
8*	1	0	0	0	-	-	-	-										
9*				1														
10			1	0						0	アドバンスト	ブートモード	有効	8 ビット	16 ビット			
11				1						-								
12*		1	0	0	0	-	-	-	-									
13*											1							
14											1	0	0	アドバンスト	ユーザ プログラム モード	有効	8 ビット	16 ビット
15												1	-					

【注】 * 本 LSI では使用できません。

3. MCU 動作モード

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 4~6 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

外部拡張モードでは、8 ビットバスモードと 16 ビットバスモードを切り替えることができます。プログラム実行開始後、バスコントローラの設定により、エリアごとに 8 ビットまたは 16 ビットアドレス空間にすることができます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードになり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードになります。各動作モードによって端子の機能が切り替わります。

モード 10、11、14、15 はフラッシュメモリに書き込み / 消去をすることができるブートモードとユーザプログラムモードです。詳細は「第 17 章 ROM」を参照してください。

モード 4~7、10、11、14、15 以外は本 LSI では使用できません。したがって、フラッシュライトイネーブル端子とモード端子は必ずモード 4~7、10、11、14、15 になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 動作モードの選択 (ROM なし版、マスク ROM 版、H8S/2319 F-ZTAT、H8S/2319C F-ZTAT)

ROM なし版、マスク ROM 版には、4 種類の動作モード (モード 4~7) があります。H8S/2319 F-ZTAT には、6 種類の動作モード (モード 2~7) があります。H8S/2319C F-ZTAT には、7 種類の動作モード (モード 1~7) があります。これらのモードは、モード端子 (MD2~MD0) の設定で決まります。表 3.2 のように CPU 動作モード、内蔵 ROM の有効 / 無効、バス幅の初期状態を選択することができます。

表 3.2 に、MCU 動作モードの選択を示します。

表 3.2 MCU 動作モードの選択 (ROM なし版、マスク ROM 版、H8S/2319 F-ZTAT、H8S/2319C F-ZTAT)

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
1* ¹	0	0	1	-	-	-	-	
2* ²		1	0					
3* ²			1					
4* ³	1	0	0	アドバンスト	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット
5* ³			1				8 ビット	16 ビット
6		1	0		内蔵 ROM 有効 拡張モード	有効	8 ビット	16 ビット
7			1				シングル チップモード	-

【注】 *1 H8S/2319C F-ZTAT では、ユーザブートモードになります。

H8S/2319C F-ZTAT のユーザブートモードについては、表 17.52 を参照してください。

*2 H8S/2319 F-ZTAT、H8S/2319C F-ZTAT では、ブートモードになります。

H8S/2319 F-ZTAT のブートモードについては、表 17.30 を参照してください。また、ユーザプログラムモードについても、表 17.30 を参照してください。

H8S/2319C F-ZTAT のブートモードについては、表 17.52 を参照してください。また、ユーザプログラムモードについても、表 17.52 を参照してください。

*3 ROM なし版はモード 4、5 のみ使用できます。

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 4~6 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

外部拡張モードでは、8 ビットバスモードと 16 ビットバスモードを切り替えることができます。プログラム実行開始後、バスコントローラの設定により、エリアごとに 8 ビットまたは 16 ビットアドレス空間にすることができます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードになり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードになります。各動作モードによって端子の機能が切り替わります。

ROM なし版、マスク ROM 版では、モード 4~7 以外は使用できません。したがって、モード端子は必ずモード 4~7 になるように設定してください。ただし、ROM なし版はモード 4、5 のみの設定となります。

H8S/2319 F-ZTAT では、モード 2~7 以外は使用できません。したがって、モード端子は必ずモード 2~7 になるように設定してください。

H8S/2319C F-ZTAT では、モード 1~7 以外は使用できません。したがって、モード端子は必ずモード 1~7 になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.3 レジスタ構成

本 LSI にはモード端子 (MD2~MD0) の状態が反映されるモードコントロールレジスタ (MDCR) と、本 LSI の動作を制御するシステムコントロールレジスタ (SYSCR)、システムコントロールレジスタ 2 (SYSCR2)*² があります。レジスタ構成を表 3.3 に示します。

表 3.3 レジスタ構成

名称	略称	R/W	初期値	アドレス* ¹
モードコントロールレジスタ	MDCR	R	不定	H'FF3B
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
システムコントロールレジスタ 2* ²	SYSCR2	R/W	H'00	H'FF42

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 SYSCR2 は F-ZTAT 版のみ有効なレジスタです。マスク ROM、ROM なし版ではリードすると不定値が読み出されます。ライトは無効です。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ (MDCR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値	1	0	0	0	0	- *	- *	- *
R/W	-	-	-	-	-	R	R	R

【注】 * MD2～MD0 端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット 7: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6～3: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2～0: モードセレクト 2～0 (MDS2～MDS0)

モード端子 (MD2～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2～MDS0 ビットは MD2～MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2～MD0) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	LWROD	-	RAME
初期値	0	0	0	0	0	0	0	1
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7: リザーブビット

0 をライトしてください。

ビット 6: リザーブビット

リードすると、常に 0 が読み出されます。ライトは無効です。

ビット 5、4：割り込み制御モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードの詳細については、「5.4.1 割り込み制御モードと割り込み動作」を参照してください。

ビット 5	ビット 4	割り込み 制御モード	説明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御 (初期値)
	1		設定禁止
1	0	2	I2~I0 ビットと IPR で、割り込みを制御
	1		設定禁止

ビット 3：NMI エッジセレクト (NMIEG)

NMI 割り込みの入力エッジ選択を行います。

ビット 3	説明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

ビット 2：LWR 出力ディスエーブル (LWROD)

\bar{LWR} 出力を許可または禁止します。

ビット 2	説明
LWROD	
0	PF3 を \bar{LWR} 出力端子として設定 (初期値)
1	PF3 は \bar{LWR} 出力端子とはならず I/O ポートとして設定

ビット 1：リザーブビット

0 をライトしてください。

ビット 0：RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されません。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3. MCU 動作モード

3.2.3 システムコントロールレジスタ 2 (SYSCR2) [F-ZTAT 版のみ]

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	FLSHE	-	-	-
初期値	0	0	0	0	0	0	0	0
R/W	-	-	-	-	R/W	-	-	-(R/W)*

【注】 * H8S/2319 F-ZTAT の場合、R/W となります。

SYSCR2 は 8 ビットのリード/ライト可能なレジスタで、内蔵フラッシュメモリの制御を行います。SYSCR2 はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7~4 : リザーブビット

リードすると、常に 0 が読み出されます。ライトは無効です。

ビット 3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ (H8S/2319 F-ZTAT、H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT の場合 : FLMCR1、FLMCR2、EBR1、EBR2。H8S/2319C F-ZTAT の場合 : FCCS、FPCS、FECS、FKEY、FMATS、FTDAR、FVARC、FVARC、FVADRR、FVADRE、FVADRH、FVADRL) の CPU アクセスを制御します。詳細については、「第 17 章 ROM」を参照してください。

ビット 3	説明
FLSHE	
0	H8S/2319 F-ZTAT、H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT の場合 : <ul style="list-style-type: none"> アドレス H'FFFFC8 ~ H'FFFFCB のエリアはフラッシュ制御レジスタを非選択 H8S/2319C F-ZTAT の場合 : <ul style="list-style-type: none"> アドレス H'FFFFC4 ~ H'FFFFCF のエリアはフラッシュ制御レジスタを非選択 <p style="text-align: right;">(初期値)</p>
1	H8S/2319 F-ZTAT、H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT の場合 : <ul style="list-style-type: none"> アドレス H'FFFFC8 ~ H'FFFFCB のエリアはフラッシュ制御レジスタを選択 H8S/2319C F-ZTAT の場合 : <ul style="list-style-type: none"> アドレス H'FFFFC4 ~ H'FFFFCF のエリアはフラッシュ制御レジスタを選択

ビット 2、1 : リザーブビット

リードすると、常に 0 が読み出されます。ライトは無効です。

ビット 0 : リザーブビット

H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT の場合 :

リードすると、常に 0 が読み出されます。ライトは無効です。

H8S/2319 F-ZTAT、H8S/2319C F-ZTAT の場合：

リザーブビットです。0 をライトしてください。

3.3 各動作モードの説明

3.3.1 モード 1 [H8S/2319C F-ZTAT のみ]

フラッシュメモリのユーザブートモードです。詳細は、「第 17 章 ROM」を参照してください。
フラッシュメモリの消去、書き換えを除けば、アドバンスト・シングルチップモードと同等の動作となります。

3.3.2 モード 2 [H8S/2319 F-ZTAT、H8S/2319C F-ZTAT のみ]

フラッシュメモリブートモードです。詳細は、「第 17 章 ROM」を参照してください。
フラッシュメモリの消去、書き換えを除けば、アドバンスト・内蔵 ROM 有効拡張モードと同等の動作となります。

3.3.3 モード 3 [H8S/2319 F-ZTAT、H8S/2319C F-ZTAT のみ]

フラッシュメモリブートモードです。詳細は、「第 17 章 ROM」を参照してください。
フラッシュメモリの消去、書き換えを除けば、アドバンスト・シングルチップモードと同等の動作となります。

3.3.4 モード 4 (内蔵 ROM 無効拡張モード)

CPU はアドバンストモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。P13 ~ P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

P13 ~ P10 端子は、リセット直後は入力となっています。対応する DDR (データディレクションレジスタ) と PFCR1 の A23E ~ A20E を 1 にセットすることにより、アドレスを出力することができます。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.5 モード 5 (内蔵 ROM 無効拡張モード)

CPU はアドバンストモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13 ~ P10 端子、ポート A、B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。

P13 ~ P10 端子は、リセット直後は入力となっています。対応する DDR (データディレクションレジスタ) と PFCR1 の A23E ~ A20E を 1 にセットすることにより、アドレスを出力することができます。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.6 モード 6 (内蔵 ROM 有効拡張モード)

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。P13 ~ P10 端子、ポート A、B、C はリセット直後は入力ポートになっています。対応する DDR (データディレクションレジスタ) と PFCR1 の A23E ~ A20E を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.7 モード 7 (シングルチップモード)

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

3.3.8 モード 8、9

本 LSI ではモード 8、9 はサポートしていません。設定はしないでください。

3.3.9 モード 10 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみ]

フラッシュメモリブートモードです。詳細は「第 17 章 ROM」を参照してください。

フラッシュメモリの消去、書き換えを除けば、アドバンスト・内蔵 ROM 有効拡張モードと同等の動作となります。

3.3.10 モード 11 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみ]

フラッシュメモリブートモードです。詳細は「第 17 章 ROM」を参照してください。

フラッシュメモリの消去、書き換えを除けば、アドバンスト・シングルチップモードと同等の動作となります。

3.3.11 モード 12、13

本 LSI ではモード 12、13 はサポートしていません。設定はしないでください。

3.3.12 モード 14 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみ]

フラッシュメモリのユーザプログラムモードです。詳細は「第 17 章 ROM」を参照してください。

フラッシュメモリの消去、書き換えを除けば、アドバンスト・内蔵 ROM 有効拡張モードと同等の動作となります。

3.3.13 モード 15 [H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみ]

フラッシュメモリのユーザプログラムモードです。詳細は「第 17 章 ROM」を参照してください。フラッシュメモリの消去、書き換えを除けば、アドバンスト・シングルチップモードと同等の動作となります。

3.4 各動作モードにおける端子機能

動作モードにより、ポート 1、A～F の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.4 に示します。

表 3.4 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 2* ⁴ モード 6* ² モード 10* ³ モード 14* ³	モード 1* ⁵ モード 3* ⁴ モード 7* ² モード 11* ³ モード 15* ³
ポート 1	P13～P10	P* ¹ /T/A	P* ¹ /T/A	P* ¹ /T/A	P* ¹ /T
ポート A	PA3～PA0	A	A	P* ¹ /A	P
ポート B		A	A	P* ¹ /A	P
ポート C		A	A	P* ¹ /A	P
ポート D		D	D	D	P
ポート E		P/D* ¹	P* ¹ /D	P* ¹ /D	P
ポート F	PF7	P/C* ¹	P/C* ¹	P/C* ¹	P* ¹ /C
	PF6、PF3	P/C* ¹	P/C* ¹	P/C* ¹	
	PF5、PF4	C	C	C	
	PF2～PF0	P* ¹ /C	P* ¹ /C	P* ¹ /C	

【記号説明】

- P : 入出力ポート
 T : タイマ入出力
 A : アドレスバス出力
 D : データバス入出力
 C : 制御信号・クロック入出力

【注】

- *1 リセット直後
 *2 ROM なし版では使用できません。
 *3 H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみに適用します。
 *4 H8S/2319 F-ZTAT、H8S/2319C F-ZTAT のみに適用します。
 *5 H8S/2319C F-ZTAT のみに適用します。

3.5 各動作モードのアドレスマップ

各製品の動作モードのアドレスマップを図 3.1～図 3.9 に示します。
 アドレス空間は 16M バイトです。
 アドレス空間は 8 エリアに分割されています。

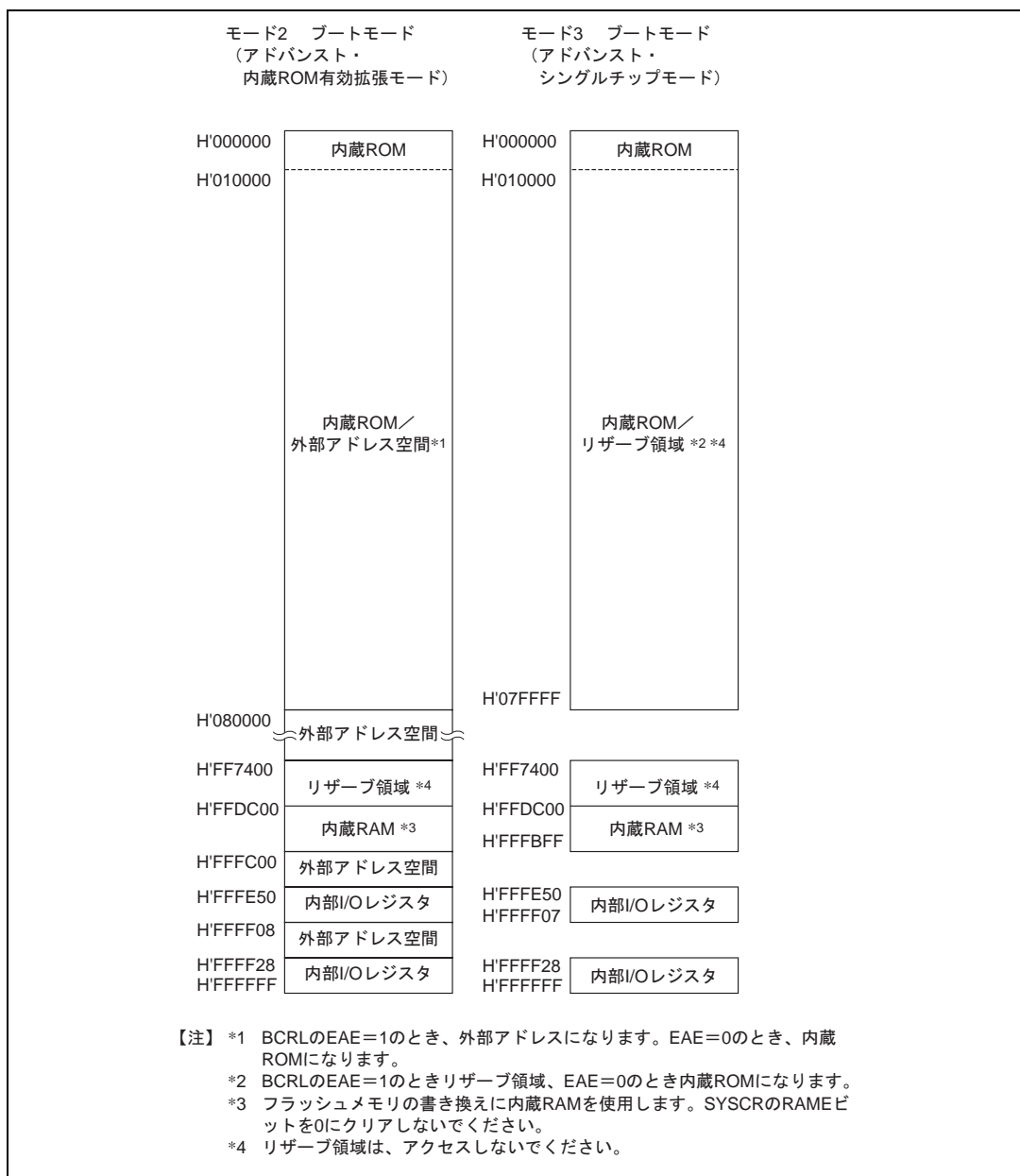


図 3.1 H8S/2319 の各動作モードのアドレスマップ (1) [F-ZTAT 版のみ]

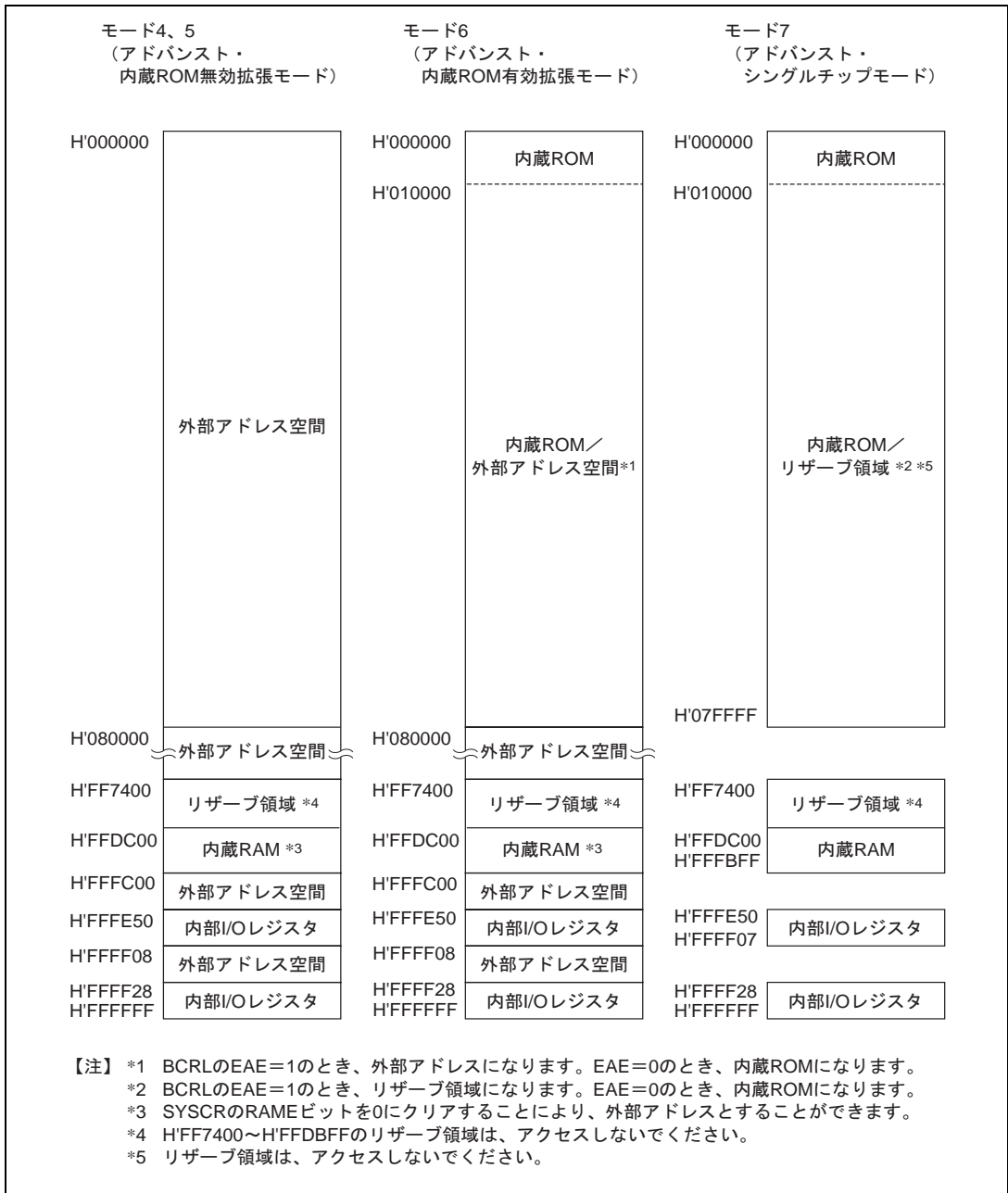


図 3.1 H8S/2319 の各動作モードのアドレスマップ (2)

3. MCU 動作モード



図 3.2 H8S/2319C F-ZTAT の各動作モードのアドレスマップ (1)

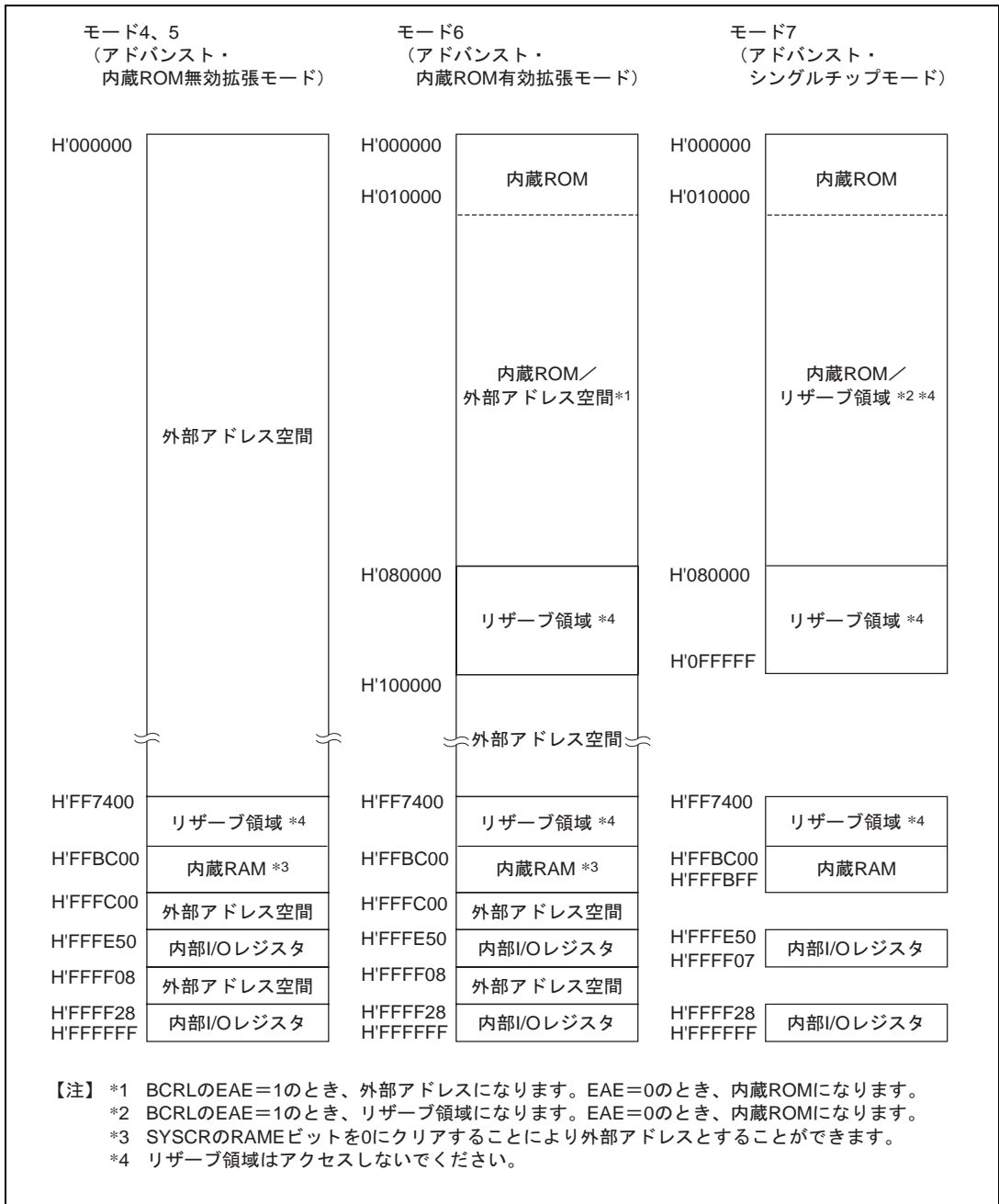


図 3.2 H8S/2319C F-ZTAT の各動作モードのアドレスマップ (2)

3. MCU 動作モード

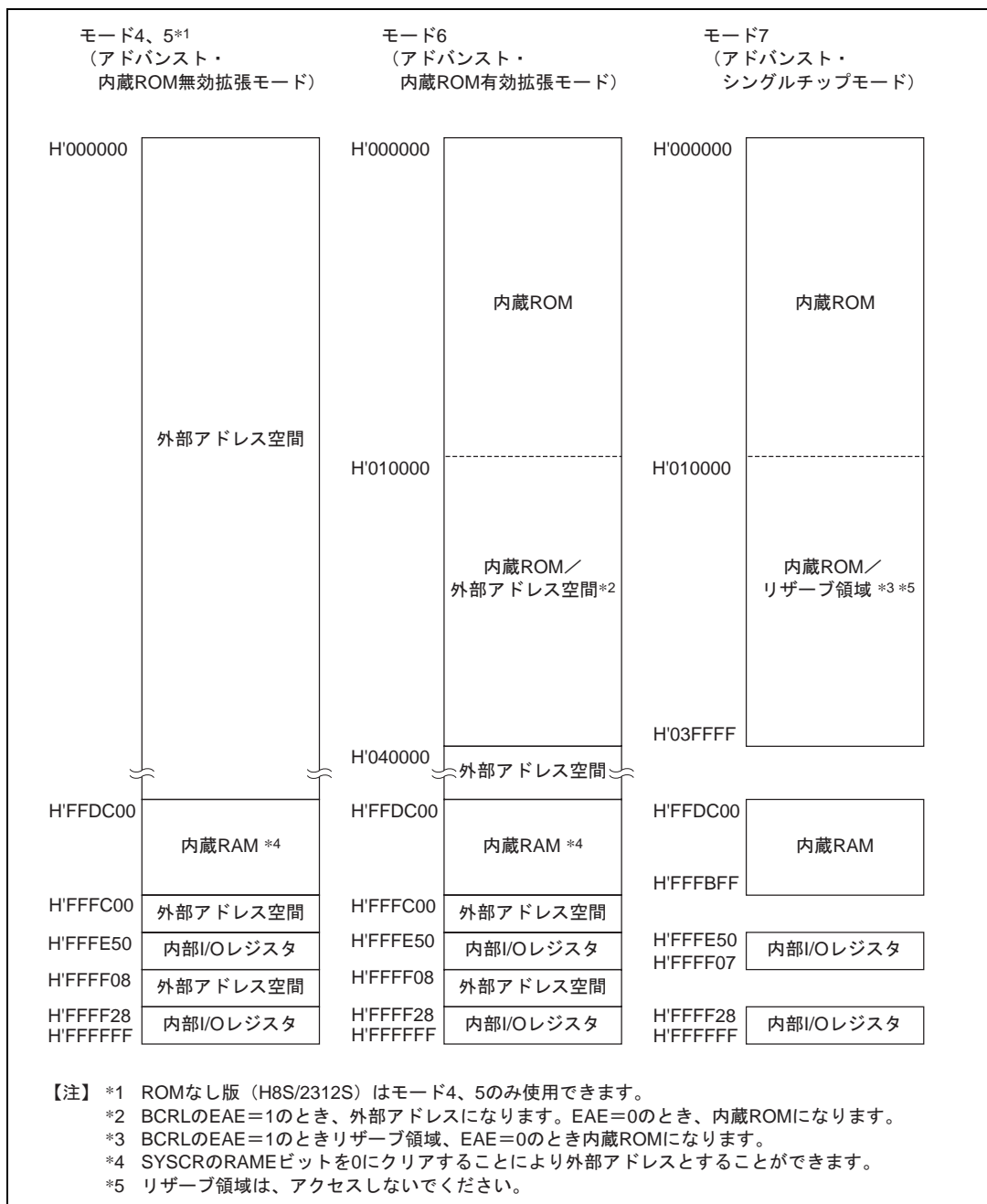


図 3.3 H8S/2318、H8S/2312S の各動作モードのアドレスマップ (1)

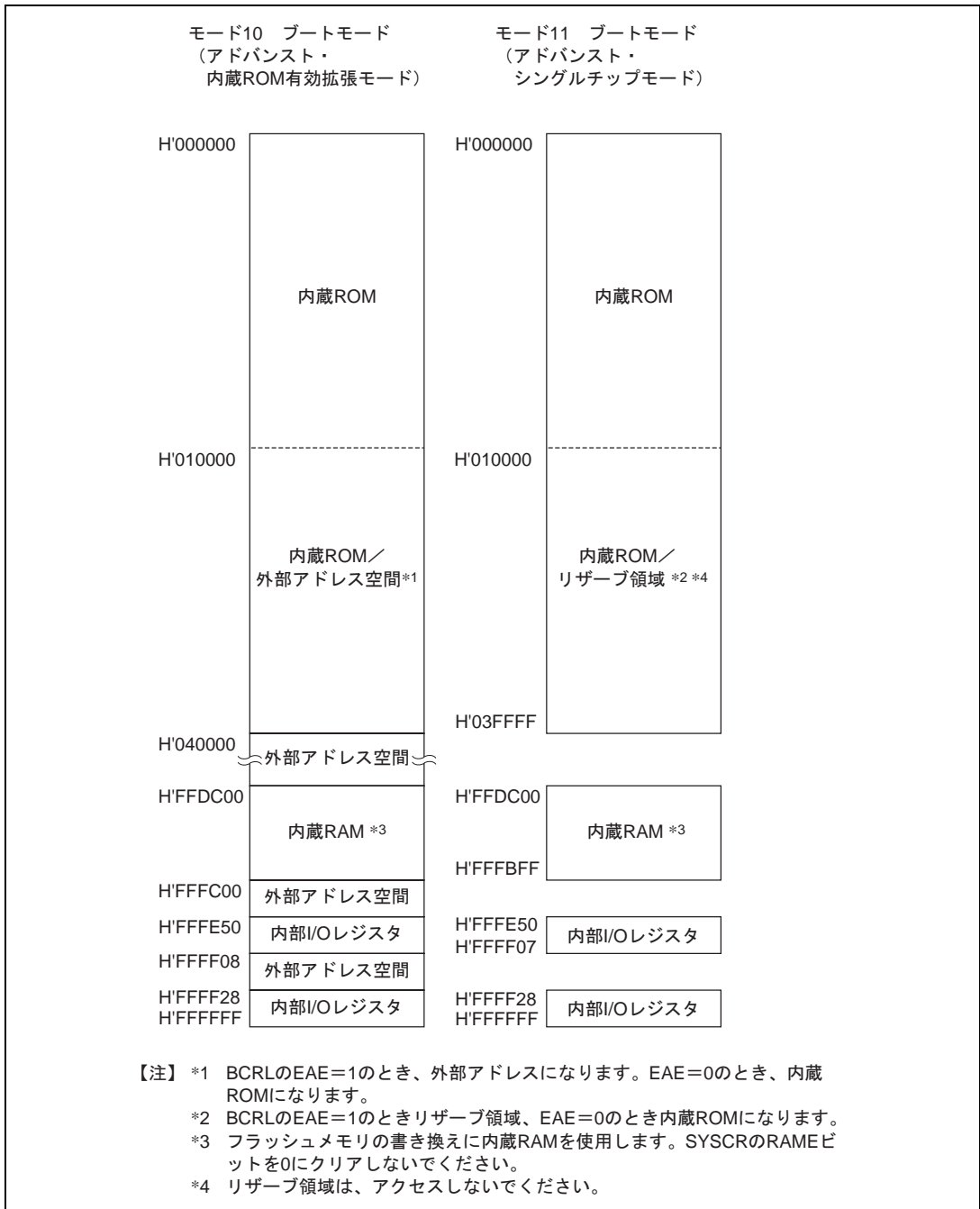


図 3.3 H8S/2318 の各動作モードのアドレスマップ (2) [F-ZTAT 版のみ]

3. MCU 動作モード

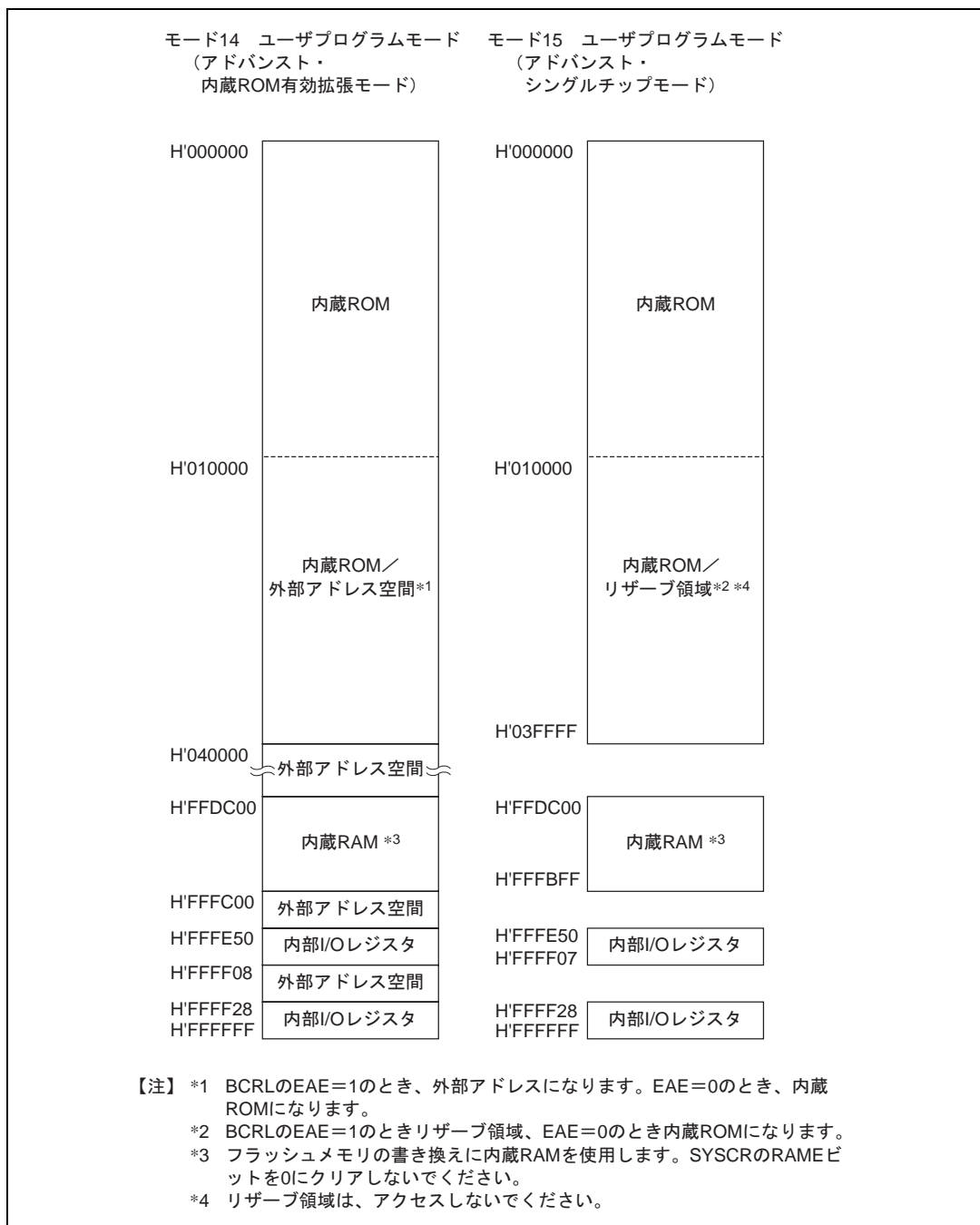


図 3.3 H8S/2318 の各動作モードのアドレスマップ (3) [F-ZTAT 版のみ]

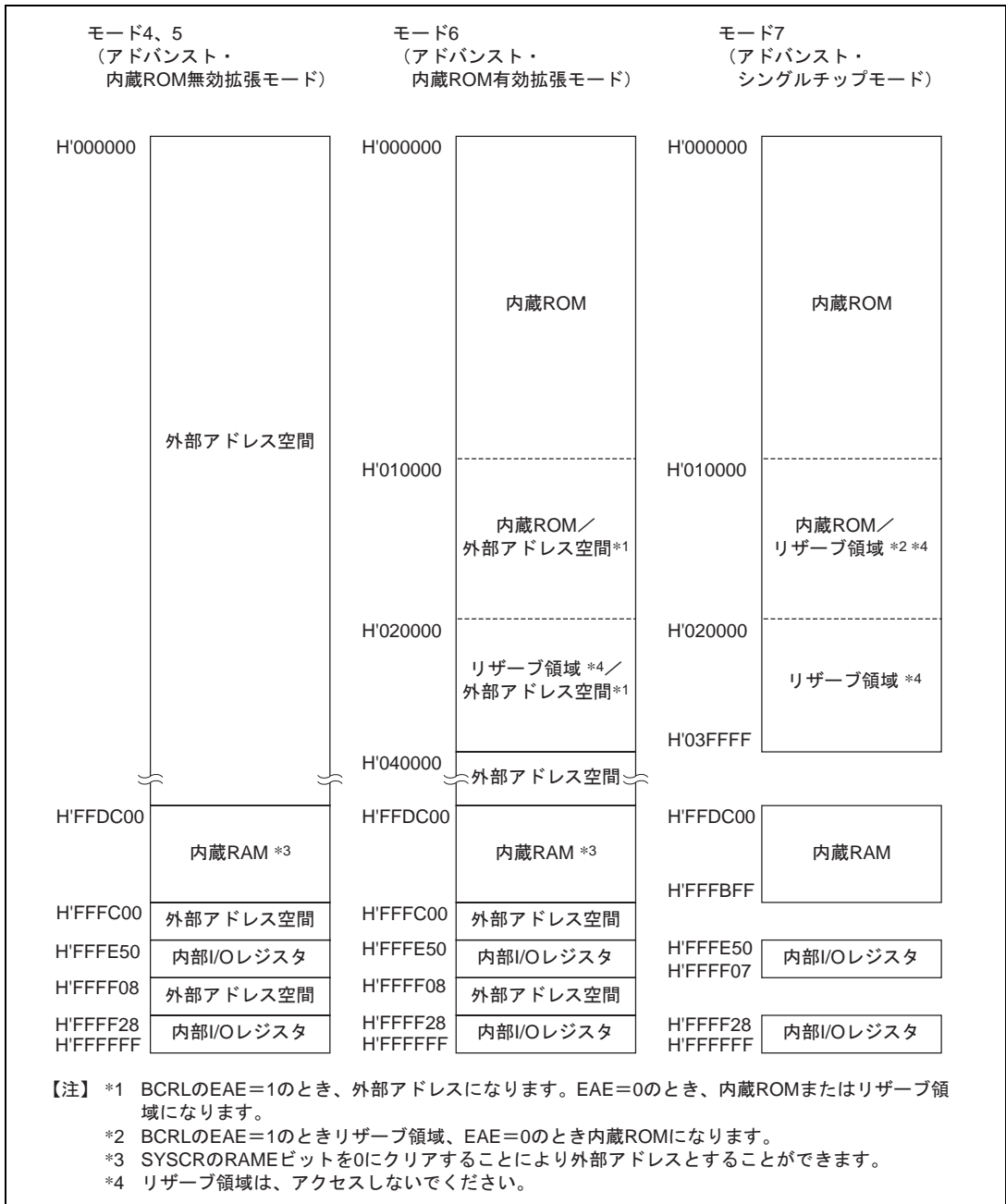


図 3.4 H8S/2317(S)の各動作モードのアドレスマップ (1)

3. MCU 動作モード

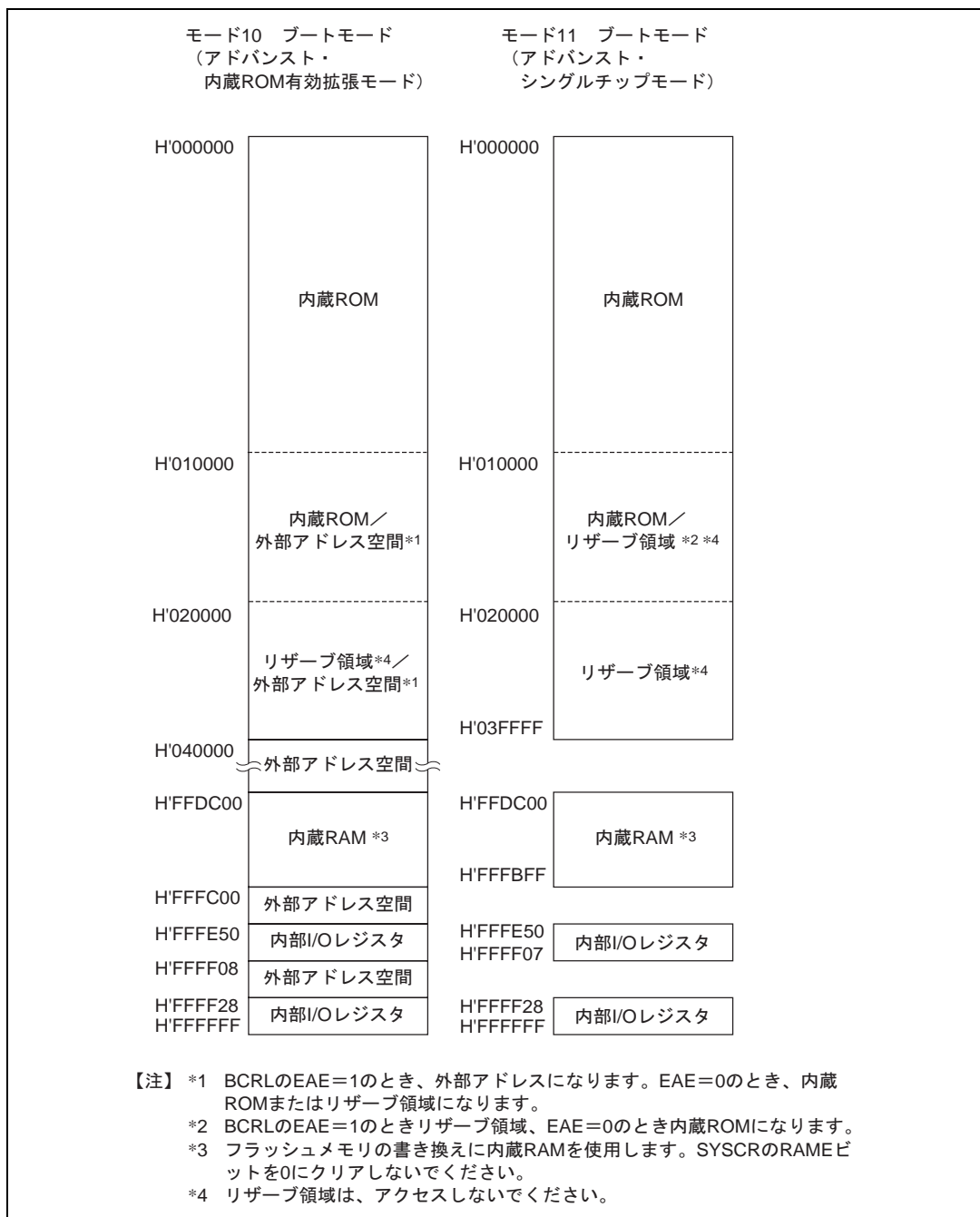


図 3.4 H8S/2317 の各動作モードのアドレスマップ (2) [F-ZTAT 版のみ]

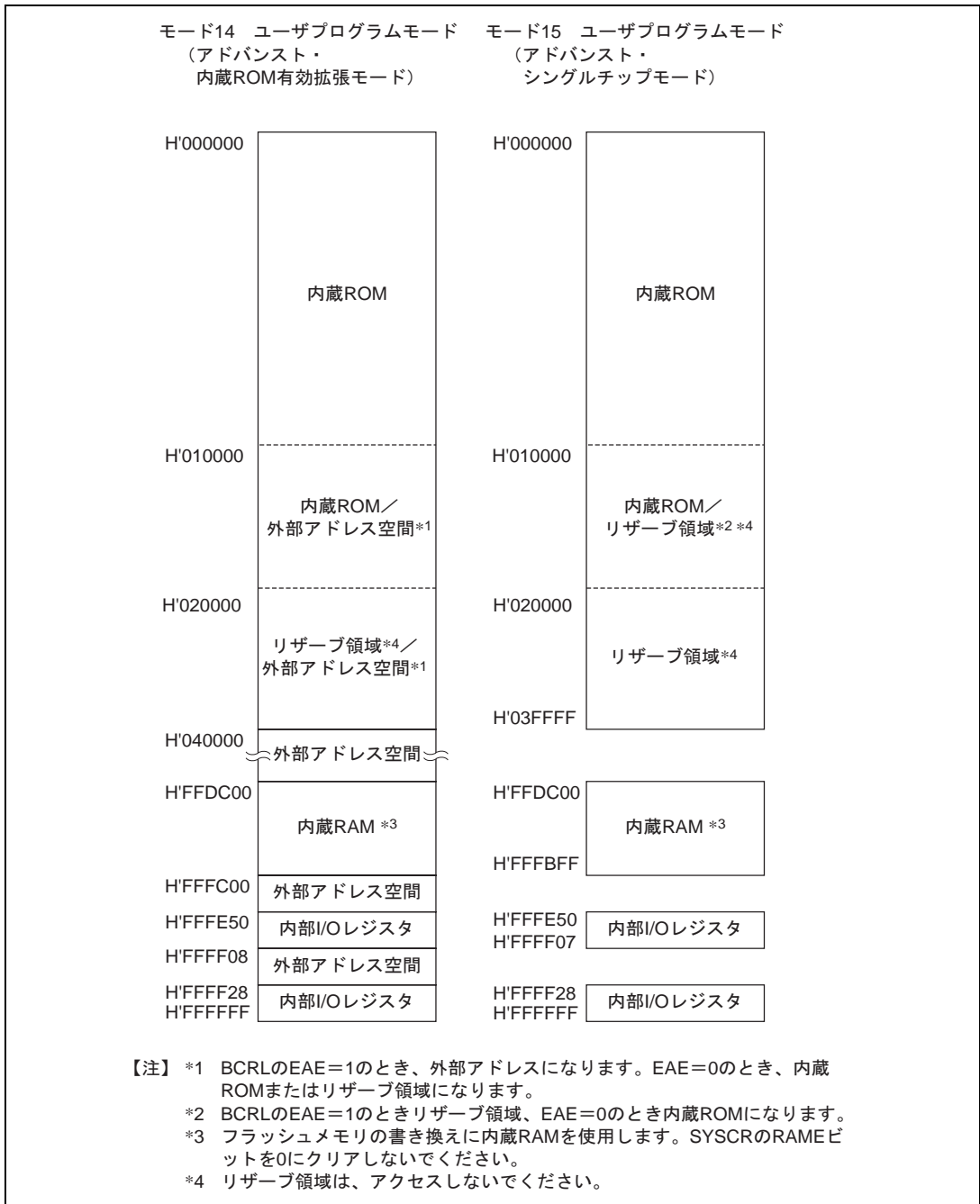


図 3.4 H8S/2317 の各動作モードのアドレスマップ (3) [F-ZTAT 版のみ]

3. MCU 動作モード

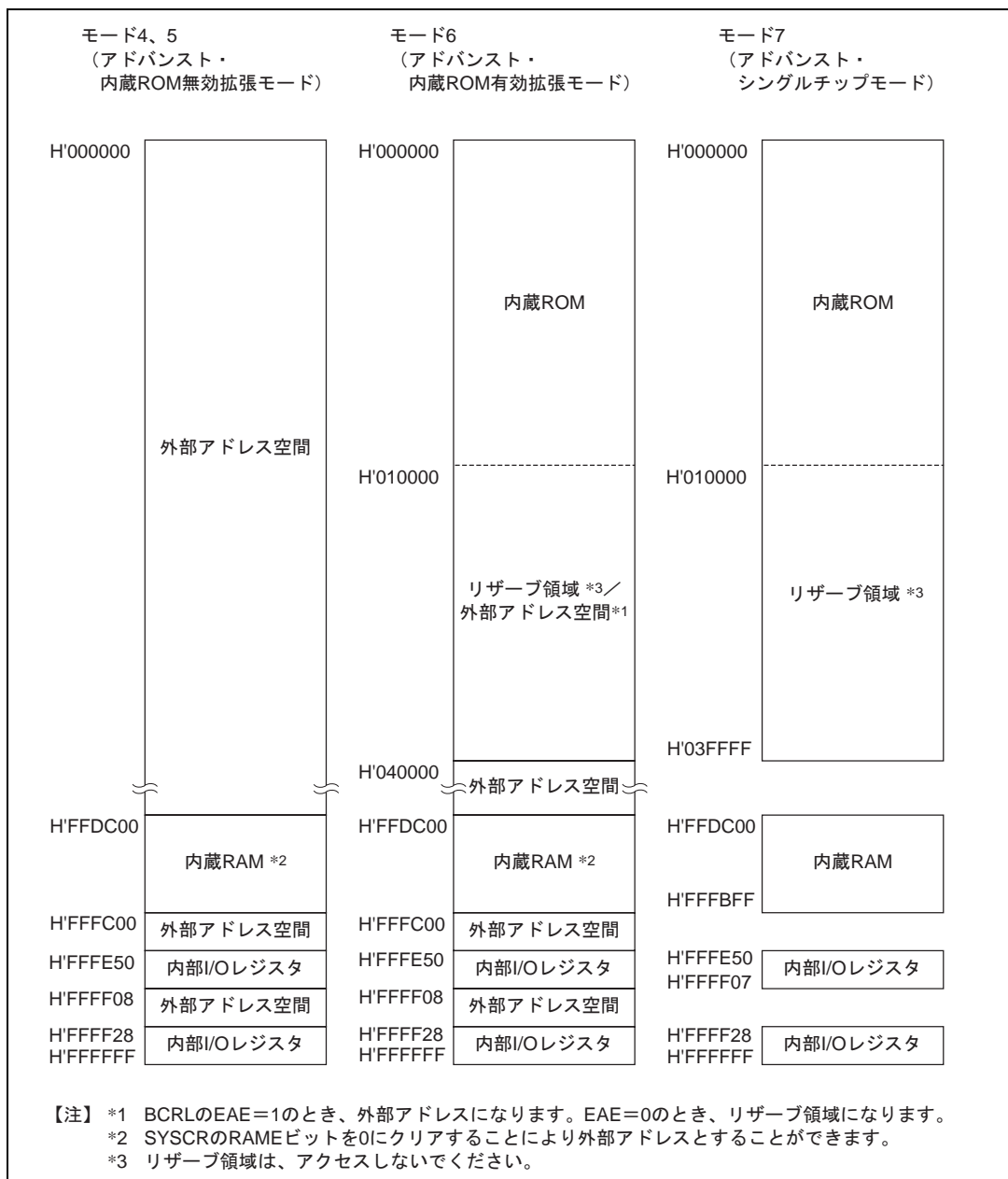


図 3.5 H8S/2316S の各動作モードのアドレスマップ

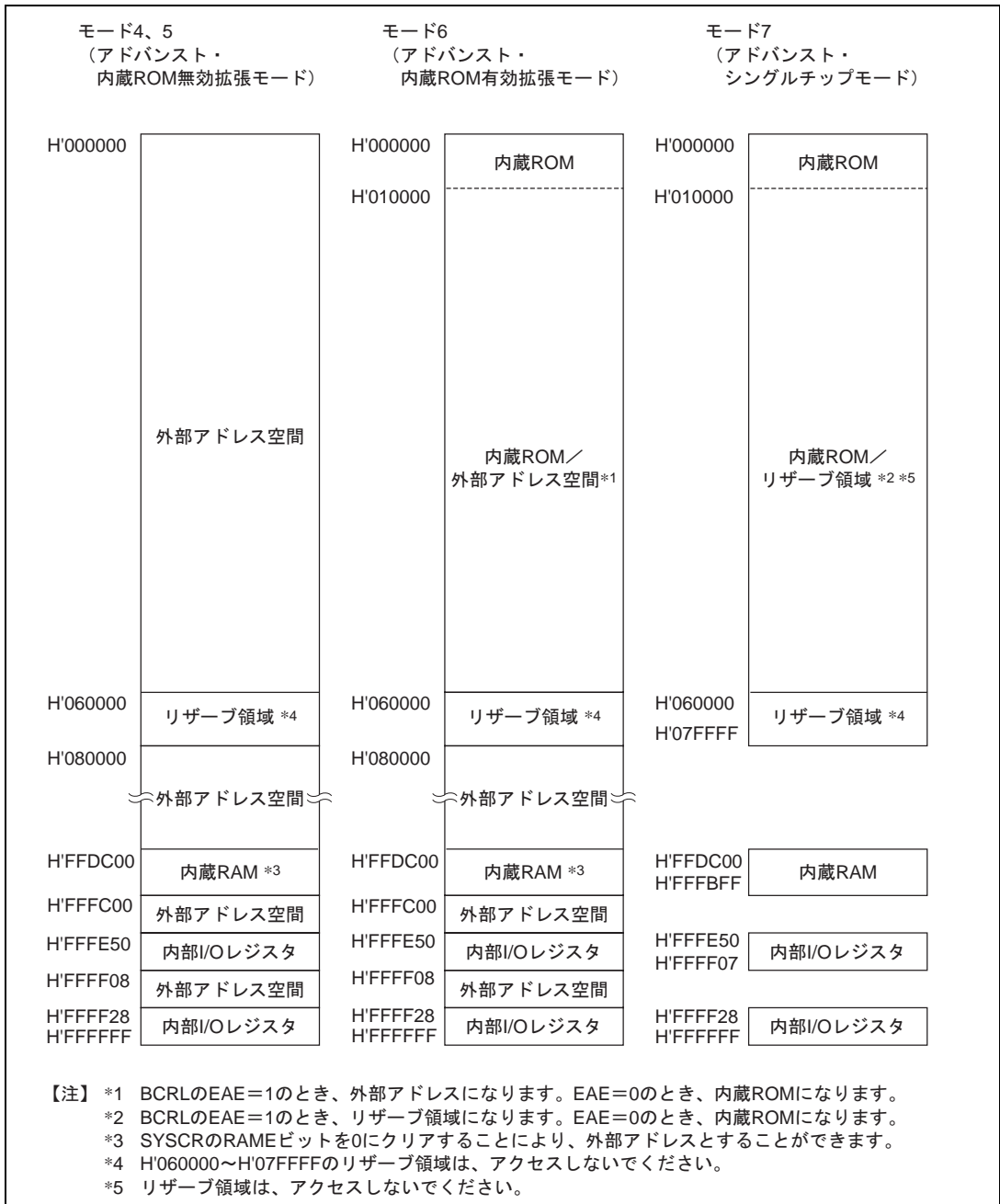


図 3.6 H8S/2315 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

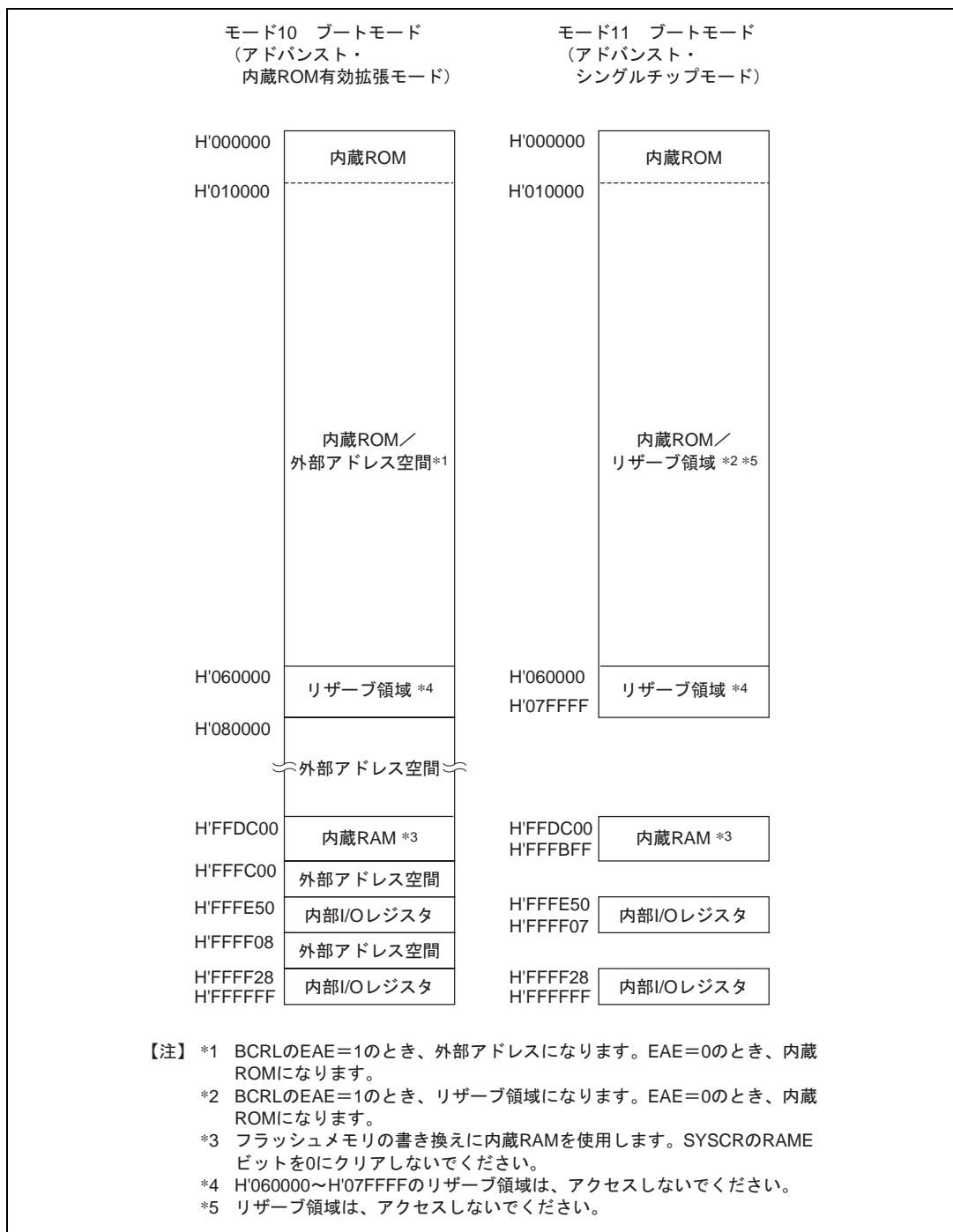


図 3.6 H8S/2315 の各動作モードのアドレスマップ (2) [F-ZTAT 版のみ]

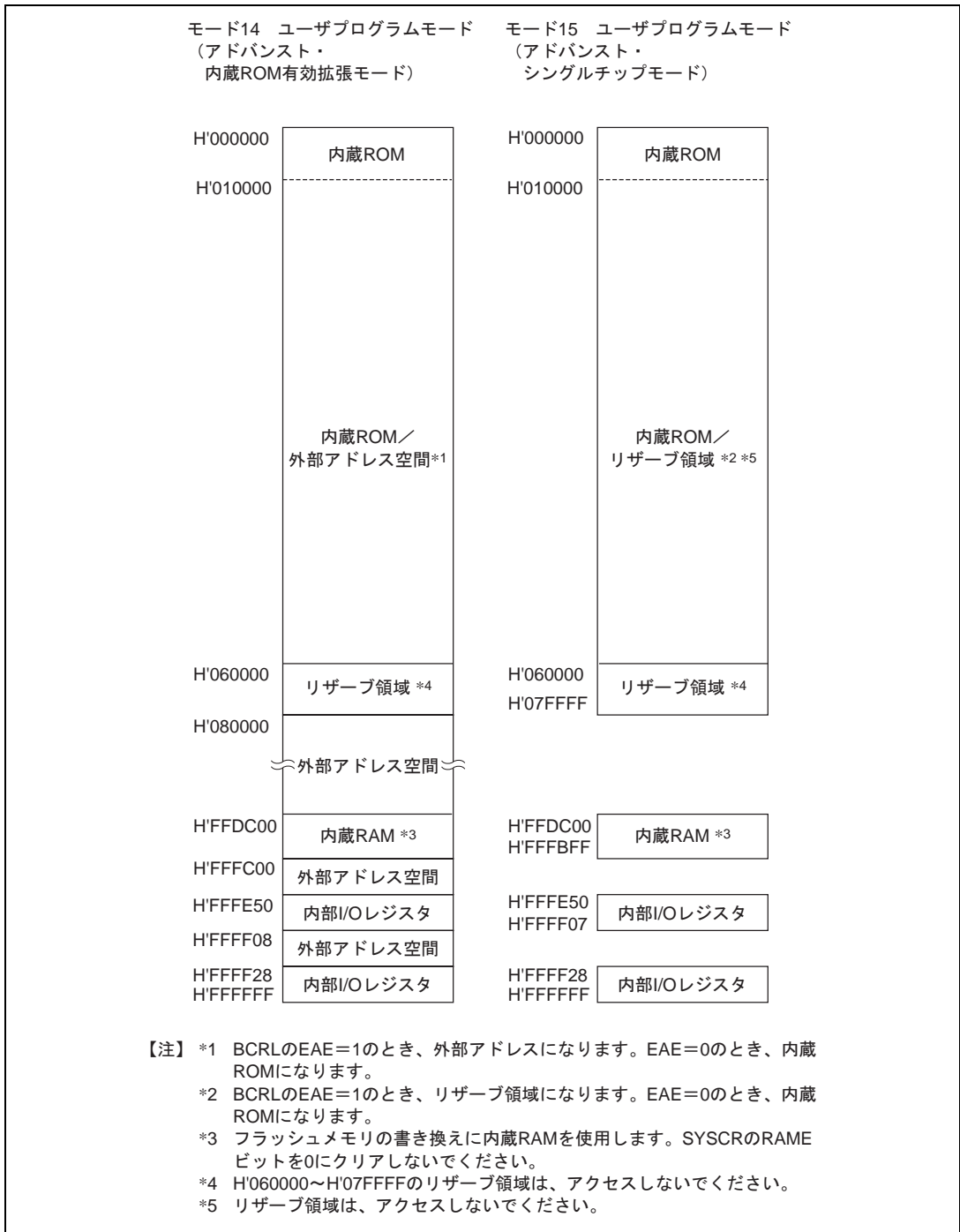


図 3.6 H8S/2315 の各動作モードのアドレスマップ (3) [F-ZTAT 版のみ]

3. MCU 動作モード



図 3.7 H8S/2314 の各動作モードのアドレスマップ (1)

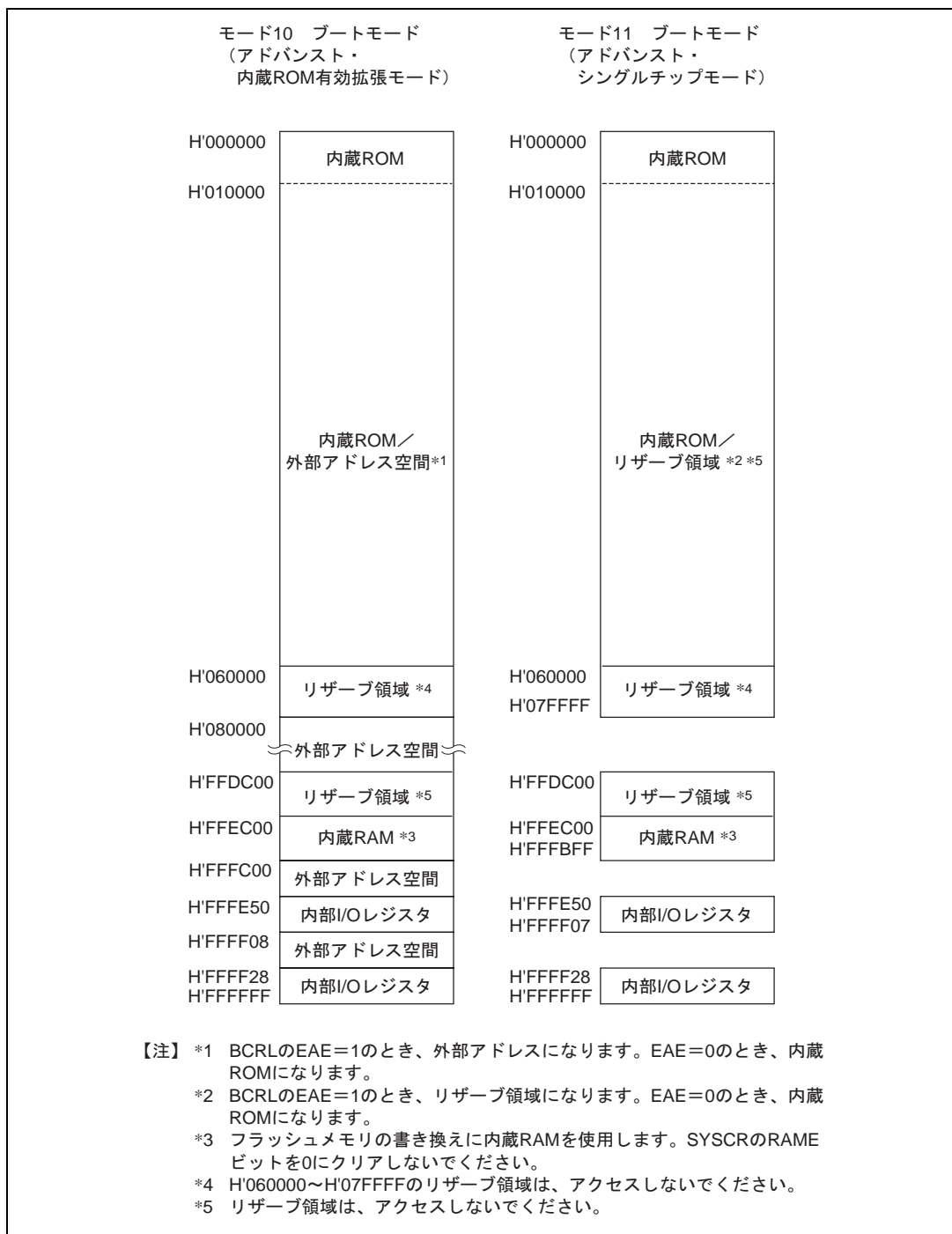


図 3.7 H8S/2314 の各動作モードのアドレスマップ (2) [F-ZTAT 版のみ]

3. MCU 動作モード

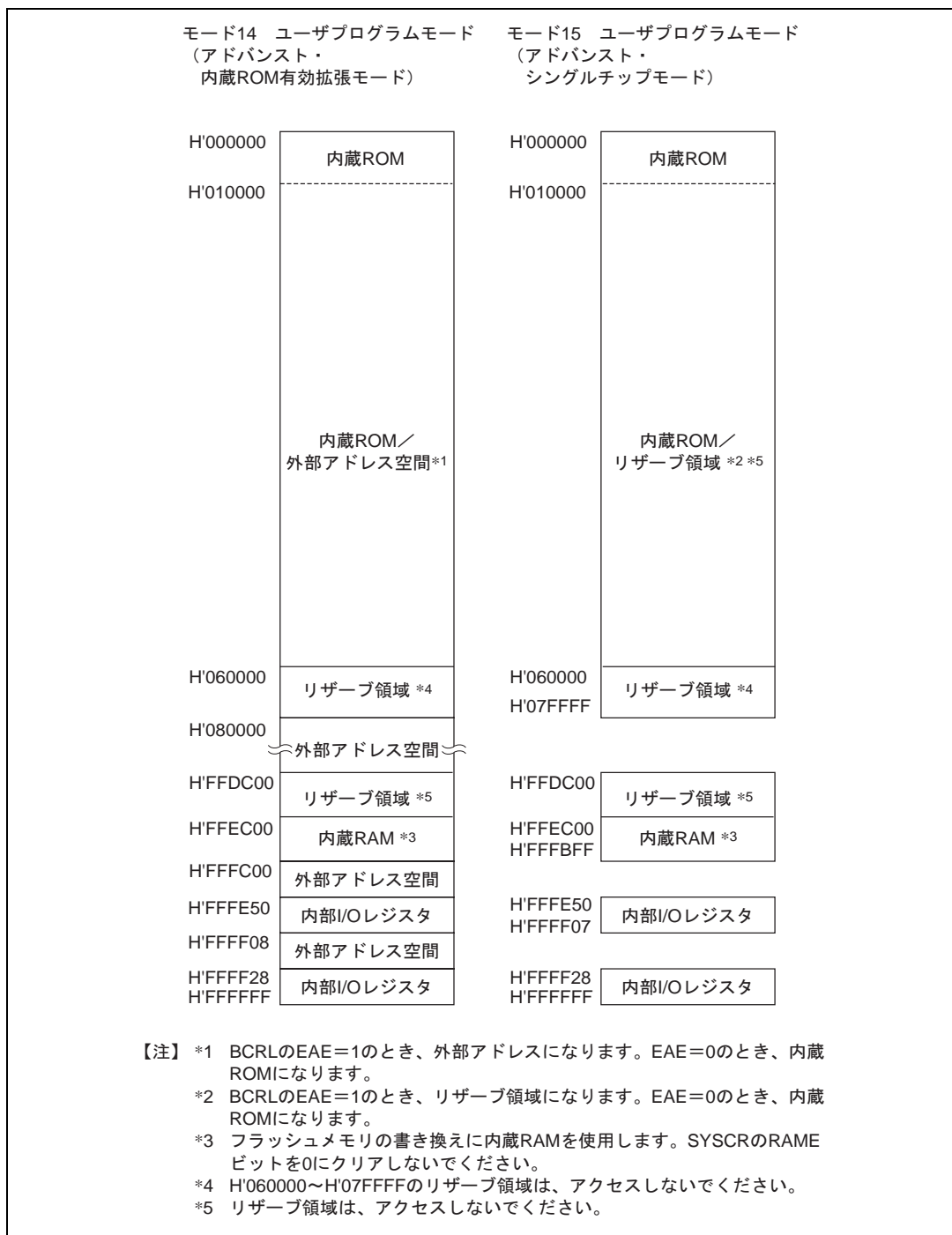


図 3.7 H8S/2314 の各動作モードのアドレスマップ (3) [F-ZTAT 版のみ]

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバーフローにより開始します。
	トレース* ¹	トレース (T) ビット=1 の状態で、命令または例外処理の実行終了時に開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します* ² 。
	トラップ命令* ³ (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
- (2) 割り込みマスクビットを更新します。T ビットを 0 にクリアします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 (2)、(3) の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。
これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。
これらの要因とベクタアドレスとの対応を表 4.2 に示します。

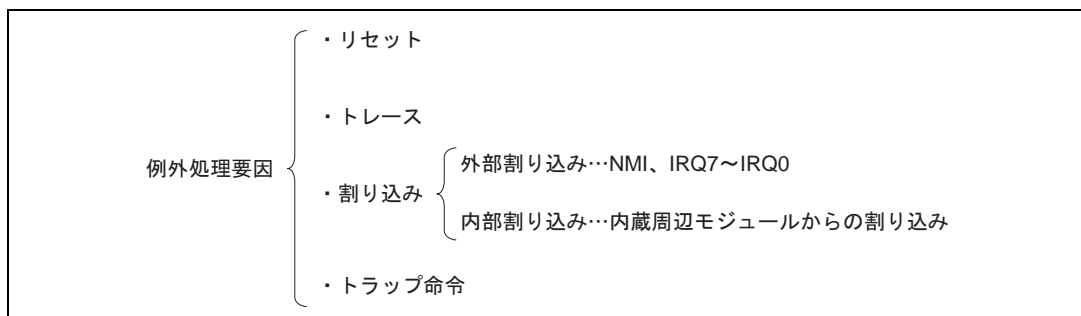


図 4.1 例外処理要因

モード 6、7 の場合、リセット後に使用できる内蔵 ROM はアドレス H'000000 ~ H'00FFFF の 64K バイトです。ベクタアドレスの設定については注意してください。この場合、BCRL の EAE ビットを 0 にクリアすることにより、内蔵 ROM*をアドレス H'000000 ~ H'03FFFF (H'01FFFF/H'05FFFF/H'07FFFF) の 256K バイト (128K バイト / 384K バイト / 512K バイト) とすることができます。

【注】* 製品により内蔵 ROM の容量が異なりますので、詳細は、「6.2.5 バスコントロールレジスタ L (BCRL)」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1
			アドバンスモード
リセット		0	H'0000 ~ H'0003
リザーブ		1	H'0004 ~ H'0007
システム予約		2	H'0008 ~ H'000B
		3	H'000C ~ H'000F
		4	H'0010 ~ H'0013
トレース		5	H'0014 ~ H'0017
システム予約		6	H'0018 ~ H'001B
外部割り込み	NMI	7	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0020 ~ H'0023
		9	H'0024 ~ H'0027
		10	H'0028 ~ H'002B
		11	H'002C ~ H'002F
システム予約		12	H'0030 ~ H'0033
		13	H'0034 ~ H'0037
		14	H'0038 ~ H'003B
		15	H'003C ~ H'003F
外部割り込み	IRQ0	16	H'0040 ~ H'0043
	IRQ1	17	H'0044 ~ H'0047
	IRQ2	18	H'0048 ~ H'004B
	IRQ3	19	H'004C ~ H'004F
	IRQ4	20	H'0050 ~ H'0053
	IRQ5	21	H'0054 ~ H'0057
	IRQ6	22	H'0058 ~ H'005B
	IRQ7	23	H'005C ~ H'005F
内部割り込み*2		24	H'0060 ~ H'0063
		91	H'016C ~ H'016F

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は「第 11 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
- (2) リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2 に示します。

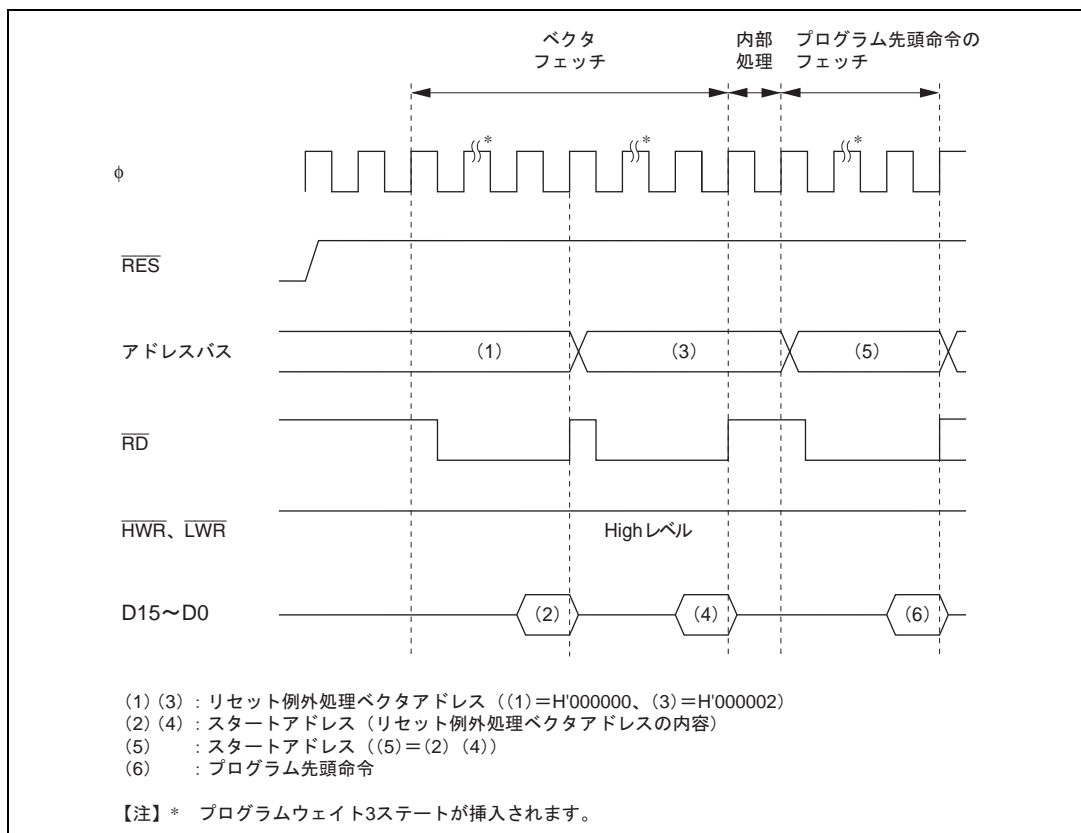


図 4.2 リセットシーケンス (モード 4)

4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx: 32, SP)。

4.2.4 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCR は H'3FFF に初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。レジスタのリード/ライトはモジュールストップモードを解除することにより可能となります。

4.3 トレース

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットが1にセットされていると、トレースモードになります。トレースモードが設定されていると、1命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXRのTビットが0にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。

表4.3にトレース命令例外処理実行後のCCR、EXRの状態を示します。

トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避されたTビットは1を保持しており、RTE命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE命令実行後は、トレース例外処理を行いません。

表 4.3 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

1 : 1にセットされます。

0 : 0にクリアされます。

- : 実行前の値が保持されます。

4.4 割り込み

割り込み例外処理を開始させる要因には、9本の外部割り込み（NMI、IRQ7～IRQ0）と、内蔵周辺モジュールからの要求による43の内部要因があります。割り込み要因と要因数を図4.3に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、16ビットタイマパルスユニット（TPU）、8ビットタイマ、シリアルコミュニケーションインタフェース（SCI）、データトランスファコントローラ（DTC）、A/D変換器などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMIは最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

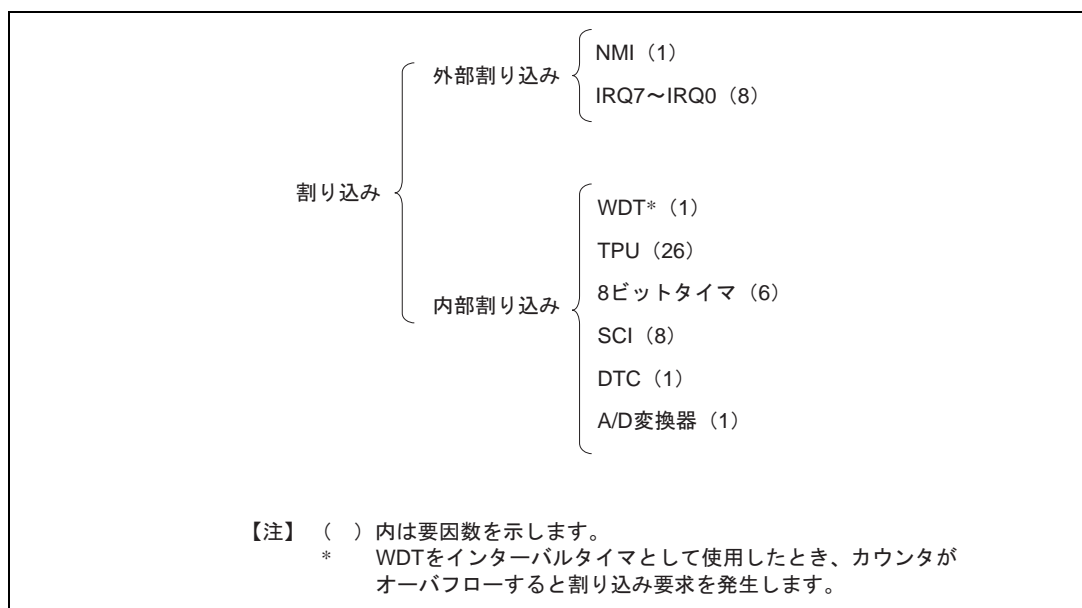


図 4.3 割り込み要因と要因数

4. 例外処理

4.5 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

1 : 1 にセットされます。

0 : 0 にクリアされます。

- : 実行前の値が保持されます。

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.4 に示します。

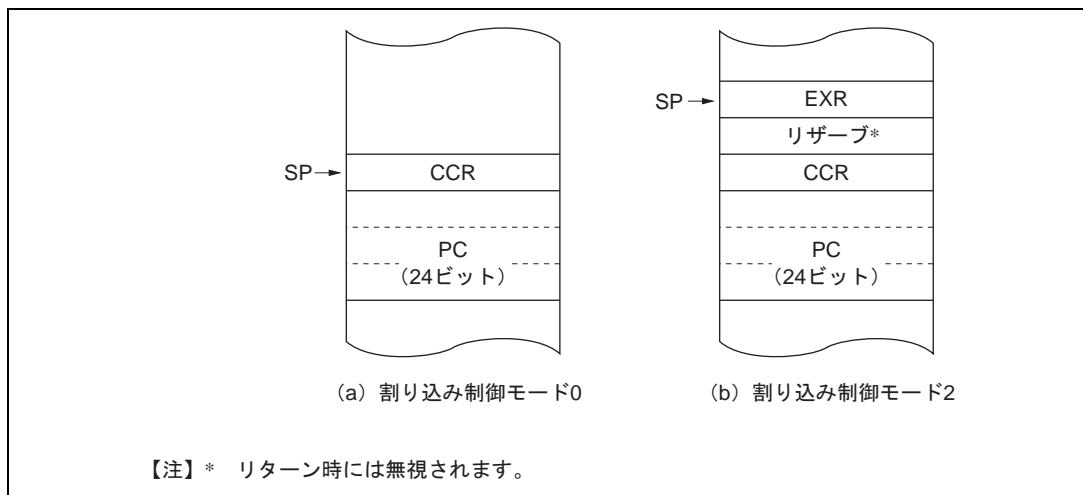


図 4.4 例外処理終了後のスタックの状態 (アドバンスモード)

4.7 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は、

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.5 に示します。

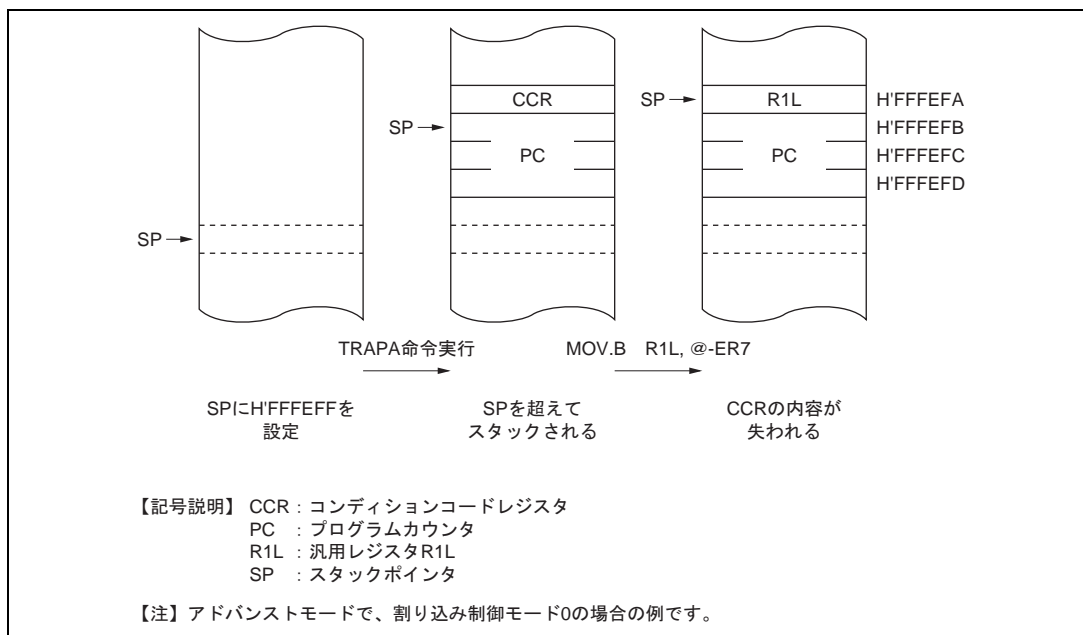


図 4.5 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込み要因には、外部割り込み（NMI、IRQ7～IRQ0）と内部割り込み（43 要因）があります。割り込みコントローラには、次の特長があります。

- (1) 2 種類の割り込み制御モード
 - システムコントロールレジスタ（SYSCR）の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。
- (2) IPR により、優先順位を設定可能
 - 割り込み優先順位を設定するインタラプトプライオリティレジスタ（IPR）を備えており、NMI 以外の割り込みは、モジュールごとに 8 レベルの優先順位を設定できます。
 - NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。
- (3) 独立したベクタアドレス
 - すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- (4) 9 本の外部割り込み端子
 - NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。
 - IRQ7～IRQ0 は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- (5) DTC の制御
 - 割り込みによる DTC の起動の制御を行います。

5. 割り込みコントローラ

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

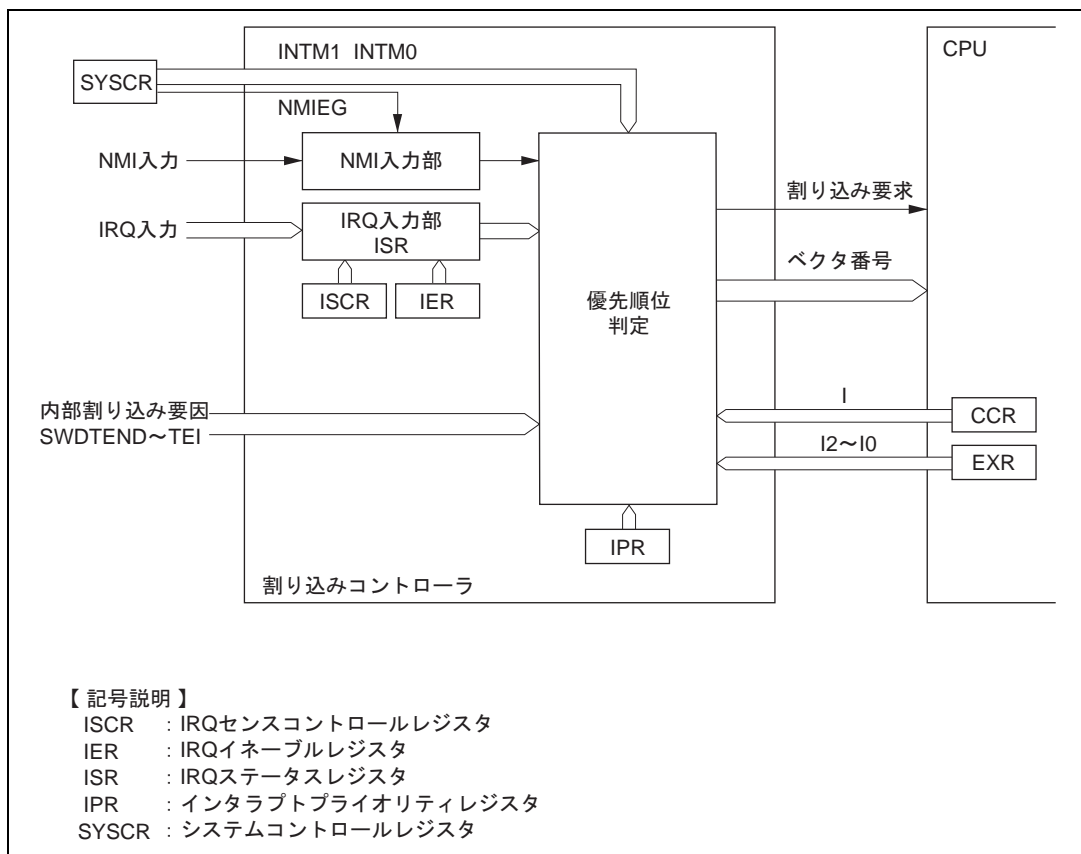


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	記号	入出力	機能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み。立ち上がりエッジまたは立ち下がりエッジを選択可能
外部割り込み要求 7~0	IRQ7 ~ IRQ0	入力	マスク可能な外部割り込み。立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FF2C
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FF2D
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FF2E
IRQ ステータスレジスタ	ISR	R/(W)*2	H'00	H'FF2F
インタラプトプライオリティレジスタ A	IPRA	R/W	H'77	H'FEC4
インタラプトプライオリティレジスタ B	IPRB	R/W	H'77	H'FEC5
インタラプトプライオリティレジスタ C	IPRC	R/W	H'77	H'FEC6
インタラプトプライオリティレジスタ D	IPRD	R/W	H'77	H'FEC7
インタラプトプライオリティレジスタ E	IPRE	R/W	H'77	H'FEC8
インタラプトプライオリティレジスタ F	IPRF	R/W	H'77	H'FEC9
インタラプトプライオリティレジスタ G	IPRG	R/W	H'77	H'FECA
インタラプトプライオリティレジスタ H	IPRH	R/W	H'77	H'FECEB
インタラプトプライオリティレジスタ I	IPRI	R/W	H'77	H'FECEC
インタラプトプライオリティレジスタ J	IPRJ	R/W	H'77	H'FECE D
インタラプトプライオリティレジスタ K	IPRK	R/W	H'77	H'FECE E

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

5. 割り込みコントローラ

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

ビット	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	LWROD	-	RAME
初期値	0	0	0	0	0	0	0	1
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5~3 についてのみ説明します。その他のビットの詳細については「第 3 章 MCU 動作モード」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'01 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5、4 : 割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 2 つのモードの中から選択します。

ビット 5	ビット 4	割り込み 制御モード	説明
0	0	0	1 ビットで、割り込みを制御します (初期値)
	1		設定禁止
1	0	2	12~10 ビットと IPR で、割り込みを制御します
	1		設定禁止

ビット 3 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 3	説明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトプライオリティレジスタ A~K (IPRA~IPRK)

ビット	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値	0	1	1	1	0	1	1	1
R/W	-	R/W	R/W	R/W	-	R/W	R/W	R/W

IPR は 8 ビットのリード/ライト可能な 11 本のレジスタで、NMI を除く割り込みの優先順位 (レベル 7~0) を設定します。

各割り込み要因と IPR の対応を表 5.3 に示します。

IPR は、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。

IPR はリセットまたはハードウェアスタンバイモード時に、H'77 に初期化されます。

ビット 7、3: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

表 5.3 各割り込み要因と IPR の対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	IRQ6	DTC
	IRQ7	
IPRD	ウォッチドッグタイマ	- *
IPRE	- *	A/D 変換器
IPRF	TPU チャンネル 0	TPU チャンネル 1
IPRG	TPU チャンネル 2	TPU チャンネル 3
IPRH	TPU チャンネル 4	TPU チャンネル 5
IPRI	8 ビットタイマチャンネル 0	8 ビットタイマチャンネル 1
IPRJ	- *	SCI チャンネル 0
IPRK	SCI チャンネル 1	- *

【注】 * リザーブビットです。

表 5.3 に示すように、1 本の IPR に複数の割り込みが割り当てられています。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'7 をセットすると優先レベル 7 (最高) になります。

割り込み要求が発生すると、IPR で設定した優先順位に従い最も優先順位の高い割り込みが選択されます。その後、この割り込みレベルと CPU 内のエクステンドレジスタ (EXR) の割り込みマスクビット (I2~I0) で設定された割り込みマスクレベルとを比較し、割り込みの優先レベルが設定したマスクレベルより高ければ、CPU に対して割り込み要求を発生します。

5. 割り込みコントローラ

5.2.3 IRQ イネーブルレジスタ (IER)

ビット	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ7 ~ IRQ0 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7 ~ 0 : IRQ7 ~ IRQ0 イネーブル (IRQ7E ~ IRQ0E)

IRQ7 ~ IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n = 7 ~ 0)

5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA

初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCRL

ビット	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA

初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCR は 16 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

ビット 15~0 : IRQ7 センスコントロール A、B (IRQ7SCA、IRQ7SCB)
 ~IRQ0 センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ビット 15~0		説明
IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 (初期値)
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生
1	0	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生
	1	$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

5.2.5 IRQ ステータスレジスタ (ISR)

ビット	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ7 ~ IRQ0 割り込み要求のステータス表示を行います。

ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7~0 : IRQ7 ~ IRQ0 フラグ (IRQ7F ~ IRQ0F)

IRQ7 ~ IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	<p>[クリア条件] (初期値)</p> <p>(1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき</p> <p>(2) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、または IRQnSCA = 1) の状態で IRQn 割り込み例外処理を実行したとき</p> <p>(4) IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき</p>
1	<p>[セット条件]</p> <p>(1) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力が Low レベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき</p>

(n=7 ~ 0)

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ7～IRQ0）と内部割り込み（43 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ7～IRQ0 の 9 要因があります。NMI、IRQ7～IRQ0 はソフトウェアスタンバイモードからの復帰に使用できます（IRQ7～IRQ3 までは SBYCR の IRQ 37S ビットを 1 にセットすることでソフトウェアスタンバイモードの解除要因として使用できます）。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ7～IRQ0 割り込みには次の特長があります。

- (a) $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジ、および両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- (b) IRQ7～IRQ0 割り込み要求を許可するか禁止するかを、IER で選択できます。
- (c) IPR により割り込みプライオリティレベルを設定できます。
- (d) IRQ7～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ7～IRQ0 割り込みのブロック図を図 5.2 に示します。

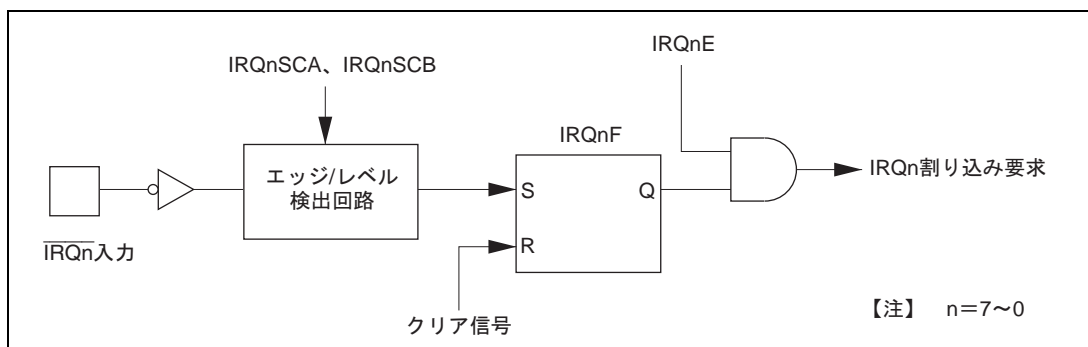


図 5.2 IRQ7～IRQ0 割り込みのブロック図

5. 割り込みコントローラ

IRQnF のセットタイミングを図 5.3 に示します。

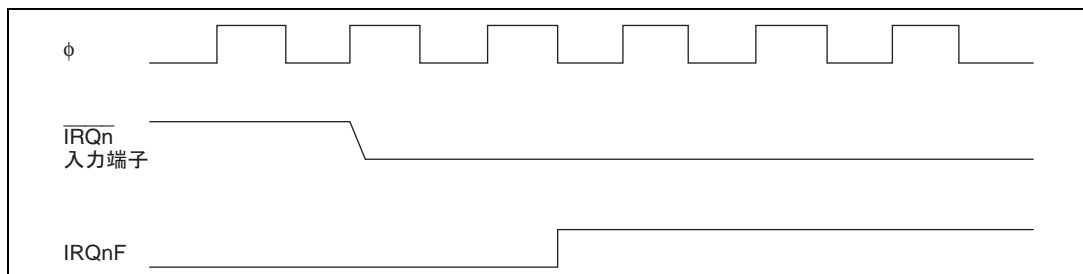


図 5.3 IRQnF のセットタイミング

IRQ7 ~ IRQ0 割り込み例外処理のベクタ番号は、23 ~ 16 です。

IRQ7 ~ IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには 43 要因があります。

- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに要求されます。
- (2) IPR によって割り込みプライオリティレベルを設定できます。
- (3) TPU、SCI などの割り込み要求により DTC の起動ができます。
割り込みにより DTC の起動を行う場合、割り込み制御モードや、CPU の割り込みマスクビットの影響を受けません。

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス*	IPR	優先順位	DTC起動
TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 0	32	H'0080	IPRF6 ~ IPRF4	高 ↑	
TGI0B (TGR0B インพุットキャプチャ/コンペアマッチ)		33	H'0084			
TGI0C (TGR0C インพุットキャプチャ/コンペアマッチ)		34	H'0088			
TGI0D (TGR0D インพุットキャプチャ/コンペアマッチ)		35	H'008C			
TCI0V (オーバフロー-0)		36	H'0090			-
リザーブ		-	37			H'0094
	38		H'0098			
	39		H'009C			
TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 1	40	H'00A0	IPRF2 ~ IPRF0		
TGI1B (TGR1B インพุットキャプチャ/コンペアマッチ)		41	H'00A4			
TCI1V (オーバフロー-1)		42	H'00A8			-
TCI1U (アンダフロー-1)		43	H'00AC			-
TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 2	44	H'00B0	IPRG6 ~ IPRG4		
TGI2B (TGR2B インพุットキャプチャ/コンペアマッチ)		45	H'00B4			
TCI2V (オーバフロー-2)		46	H'00B8			-
TCI2U (アンダフロー-2)		47	H'00BC			-
TGI3A (TGR3A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 3	48	H'00C0	IPRG2 ~ IPRG0		
TGI3B (TGR3B インพุットキャプチャ/コンペアマッチ)		49	H'00C4			
TGI3C (TGR3C インพุットキャプチャ/コンペアマッチ)		50	H'00C8			
TGI3D (TGR3D インพุットキャプチャ/コンペアマッチ)		51	H'00CC			
TCI3V (オーバフロー-3)		52	H'00D0			-
					低	

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス*	IPR	優先順位	DTC起動
リザーブ	-	53	H'00D4		↑ 高	-
		54	H'00D8			
		55	H'00DC			
TGI4A (TGR4A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 4	56	H'00E0	IPRH6 ~ IPRH4	↑	
TGI4B (TGR4B インพุットキャプチャ/コンペアマッチ)		57	H'00E4			
TCI4V (オーバフロー-4)		58	H'00E8			-
TCI4U (アンダフロー-4)		59	H'00EC			-
TGI5A (TGR5A インพุットキャプチャ/コンペアマッチ)	TPU チャンネル 5	60	H'00F0	IPRH2 ~ IPRH0	↑	
TGI5B (TGR5B インพุットキャプチャ/コンペアマッチ)		61	H'00F4			
TCI5V (オーバフロー-5)		62	H'00F8			-
TCI5U (アンダフロー-5)		63	H'00FC			-
CMIA0 (コンペアマッチ A)	8 ビットタイ マチャネル 0	64	H'0100	IPRI6 ~ IPRI4	↑	
CMIB0 (コンペアマッチ B)		65	H'0104			
OVI0 (オーバフロー-0)		66	H'0108			-
リザーブ	-	67	H'010C			-
CMIA1 (コンペアマッチ A)	8 ビットタイ マチャネル 1	68	H'0110	IPRI2 ~ IPRI0	↑	
CMIB1 (コンペアマッチ B)		69	H'0114			
OVI1 (オーバフロー-1)		70	H'0118			-
リザーブ	-	71	H'011C			-
リザーブ	-	72	H'0120	IPRJ6 ~ IPRJ4	↑	-
		73	H'0124			
		74	H'0128			
		75	H'012C			
リザーブ	-	76	H'0130		↑	-
		77	H'0134			
		78	H'0138			
		79	H'013C			
ERIO (受信エラー-0)	SCI チャンネル 0	80	H'0140	IPRJ2 ~ IPRJ0	↑	-
RXIO (受信データフル-0)		81	H'0144			
TXIO (送信データエンブテイ-0)		82	H'0148			
TEIO (送信終了-0)		83	H'014C			-
					低	

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス*	IPR	優先順位	DTC起動
ERI1 (受信エラー1)	SCI チャンネル1	84	H'0150	IPRK6 ~ IPRK4	高 ▲ ↑ ↓ 低	-
RX11 (受信データフル1)		85	H'0154			
TX11 (送信データエンプティ1)		86	H'0158			
TE11 (送信終了1)		87	H'015C			
リザーブ	-	88	H'0160	IPRK2 ~ IPRK0		-
		89	H'0164			
		90	H'0168			
		91	H'016C			

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定、および CPU の CCR の I ビット、EXR の I2~I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説明
	INTM1	INTM0			
0	0	0		1	1 ビットにより、割り込みマスク制御を行います。
		1			設定禁止
2	1	0	IPR	I2~I0	I2~I0 ビットにより、8 レベルの割り込みマスク制御を行います。 IPR により、8 レベルの優先順位の設定ができます。
		1			設定禁止

5. 割り込みコントローラ

図 5.4 に優先順位判定回路のブロック図を示します。

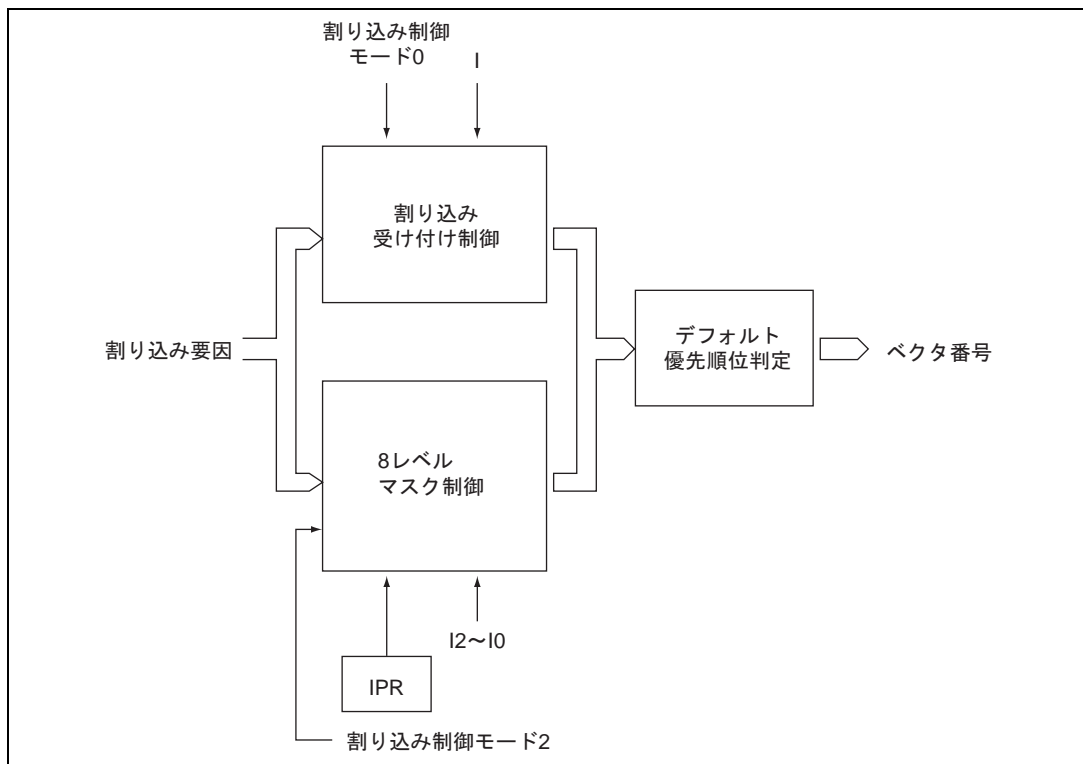


図 5.4 割り込み制御動作のブロック図

(1) 割り込み受け付け制御

割り込み制御モード 0 のとき、CCR の I ビットにより割り込み受け付け制御を行います。
表 5.6 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2	*	すべての割り込み

* : Don't care

(2) 8レベル制御

割り込み制御モード2のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル(IPR)に従った8レベルのマスキレベル判定を行います。

IPRで設定したプライオリティレベルが、マスキレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.7 割り込み制御モードと選択される割り込み(2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスキレベルより大きい(IPR > I2 ~ I0)、かつプライオリティレベル(IPR)が最大の割り込み

(3) デフォルト優先順位判定

8レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPRに対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位を持った割り込み要因は保留されます。

表 5.8 に割り込み制御モードと動作および制御信号機能を示します。

表 5.8 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御	8レベル制御			デフォルト優先順位判定	T (トレース)
	INTM1	INTM0		I	I2 ~ I0	IPR		
0	0	0		IM	x	-	- *2	-
2	1	0	x	- *1		IM	PR	T

【記号説明】

- ： 割り込み動作制御を行います
- x : 動作しません(割り込みはすべて許可)
- IM : 割り込みマスクビットとして使用
- PR : 優先順位を設定
- ： 使用しません

【注】 *1 割り込み受け付け時に1にセットされます。

*2 初期設定時を保持してください。

5.4.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビットによって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

- (1) 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- (2) I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられません。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- (3) 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択されて、その他は保留となります。
- (4) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次に CCR の I ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

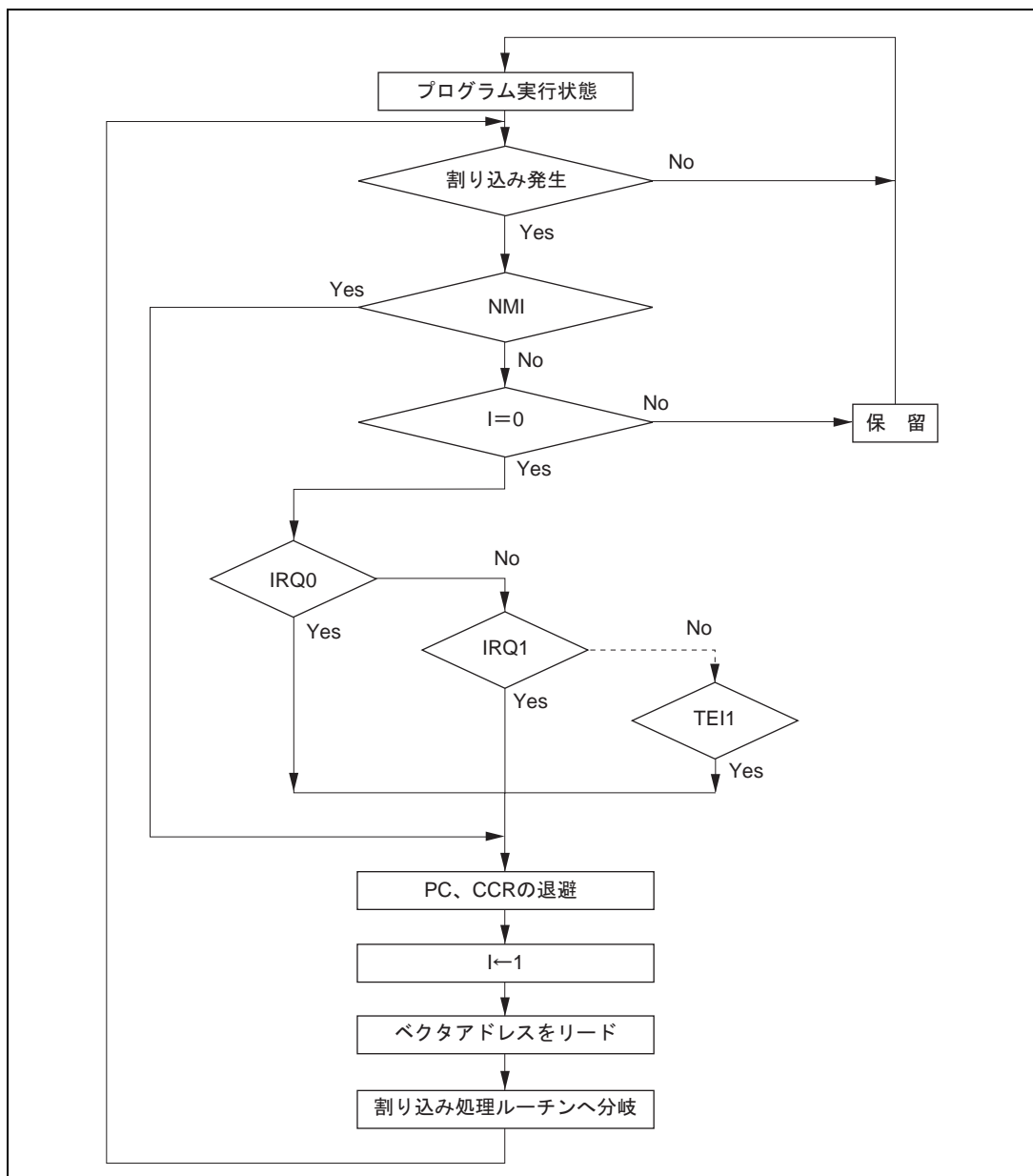


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.4.3 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル(I2 ~ I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- (1) 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- (2) 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.4に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- (3) その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
- (4) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

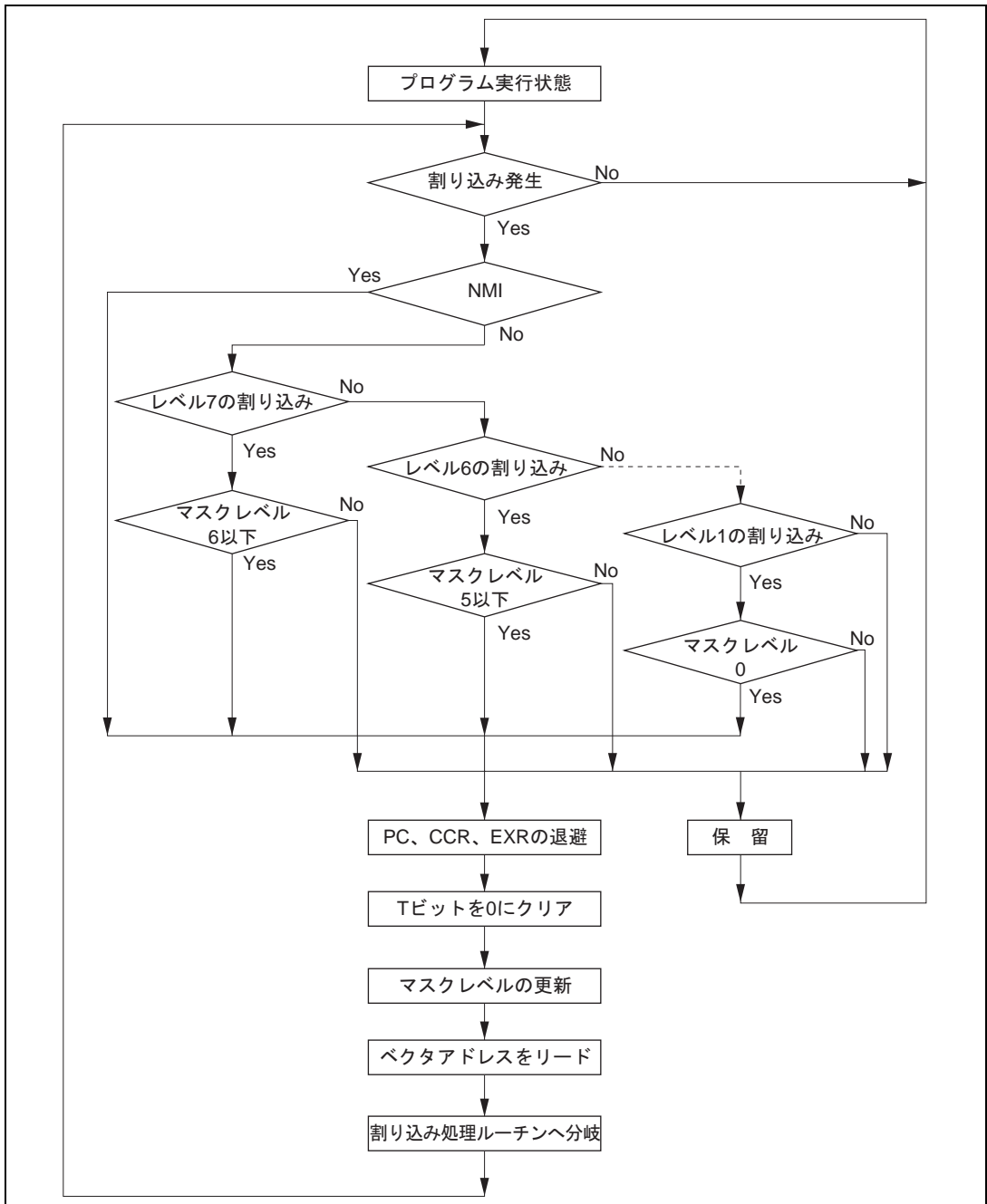


図 5.6 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.4.4 割り込み例外処理シーケンス

図 5.7 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

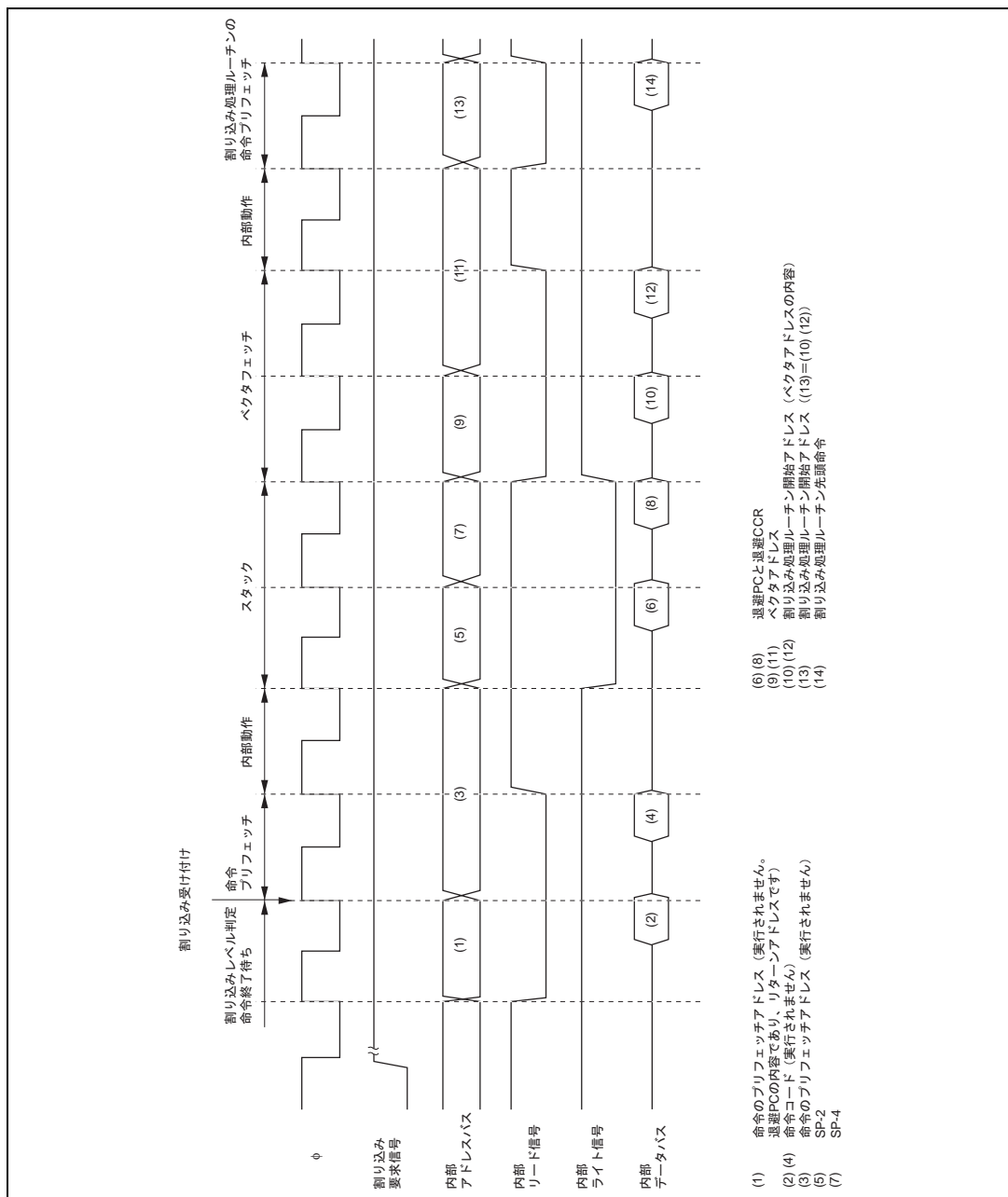


図 5.7 割り込み例外処理

5.4.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.9 に示します。表 5.9 の実行状態の記号については表 5.10 を参照してください。

表 5.9 割り込み応答時間

No.	実行状態	アドバンスモード	
		INTM1=0	INTM1=1
1	割り込み優先順位判定* ¹	3	
2	実行中の命令が終了するまでの待ち状態数* ²	1 ~ (19 + 2 · S _I)	
3	PC、CCR、および EXR のスタック	2 · S _K	3 · S _K
4	ベクタフェッチ	2 · S _I	
5	命令フェッチ* ³	2 · S _I	
6	内部処理* ⁴	2	
合計 (内蔵メモリ使用時)		12 ~ 32	13 ~ 33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.10 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S _I	1	4	6 + 2m	2	3 + m
分岐アドレスリード S _J					
スタック操作 S _K					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

TPU の TIER0 の TGIEA を0にクリアする場合の例を図 5.8 に示します。

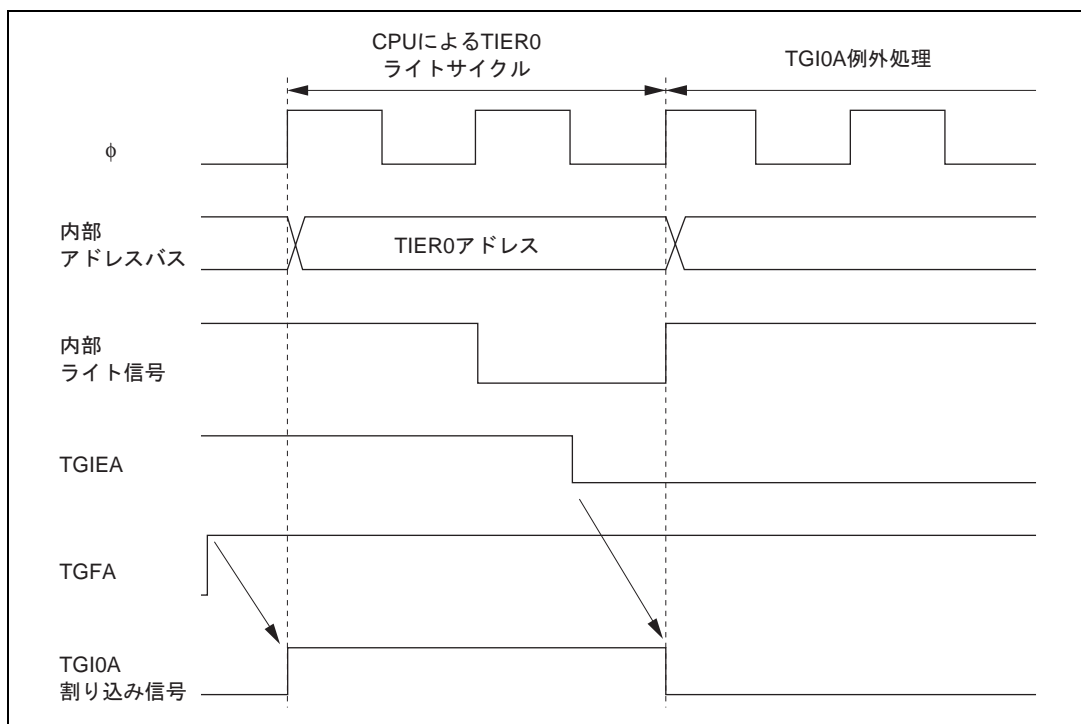


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により1ビットを設定した場合、命令実行終了の2ステート後に新しい値が有効になります。

5.5.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

5.5.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:      EEPMOV.W
        MOV.W      R4,R4
        BNE       L1
```

5.6 割り込みによる DTC の起動

5.6.1 概要

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPUに対する割り込み要求
- (2) DTCに対する起動要求
- (3) (1)、(2)の複数の選択

なお、DTC を起動できる割り込み要求については、「第7章 データトランスファコントローラ (DTC)」を参照してください。

5.6.2 ブロック図

図 5.9 に、DTC と割り込みコントローラのブロック図を示します。

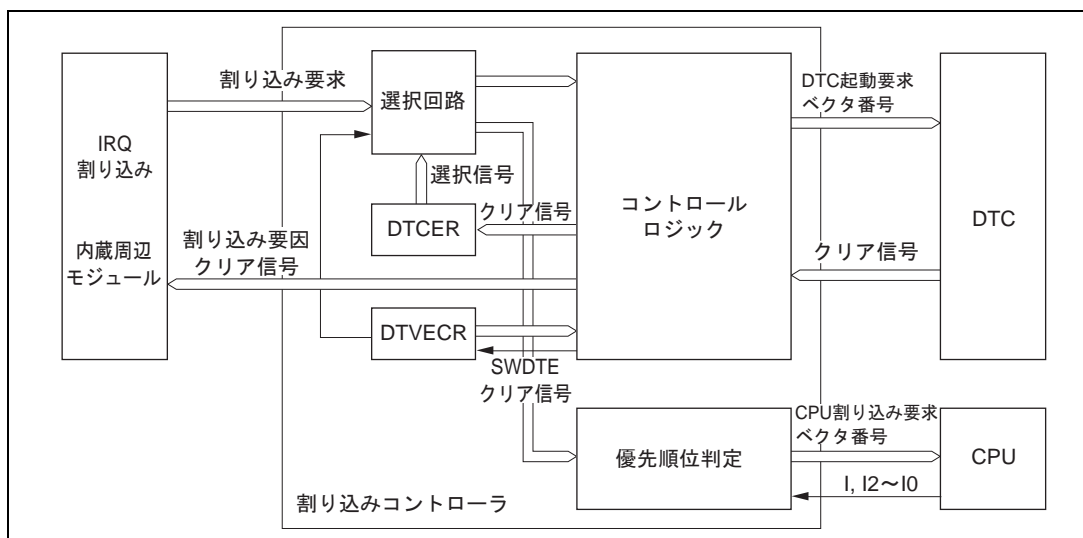


図 5.9 DTC と割り込み制御

5.6.3 動作説明

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

割り込み要因は、DTC の DTCERA ~ DTCERE の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「7.3.3 DTC ベクタテーブル」を参照してください。

(3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

表 5.11 に、DTC の DTCERA ~ DTCERE の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.11 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	x	
1	0		x
	1		

【記号説明】

- : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- x : 当該割り込みは使用できません。
- * : Don't care

(4) 使用上の注意

SCI および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビットや DISEL ビットには依存しません。

6. バスコントローラ

6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU およびデータトランスファコントローラ (DTC) の動作を制御します。

6.1.1 特長

バスコントローラの特長を以下に示します。

- (1) 外部アドレス空間をエリア単位で管理
 - アドバンスモードでは外部空間を 2M バイト単位の 8 エリアに分割して管理
 - エリアごとにバス仕様を設定可能
 - バースト ROM インタフェースを設定可能
- (2) 基本バスインタフェース
 - エリア 0~7 に対してチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
 - エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
 - エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
 - エリアごとに、プログラムウェイトステートを挿入可能
- (3) バースト ROM インタフェース
 - エリア 0 に対してバースト ROM インタフェースを設定可能
 - バーストアクセスの 1 または 2 ステートを選択可能
- (4) アイドルサイクル挿入
 - 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
 - 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能
- (5) バス権調停機能 (バスアービトレーション)
 - バスアービタを内蔵し、CPU および DTC のバス権を調停
- (6) その他
 - 外部バス権解放機能

6. バスコントローラ

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

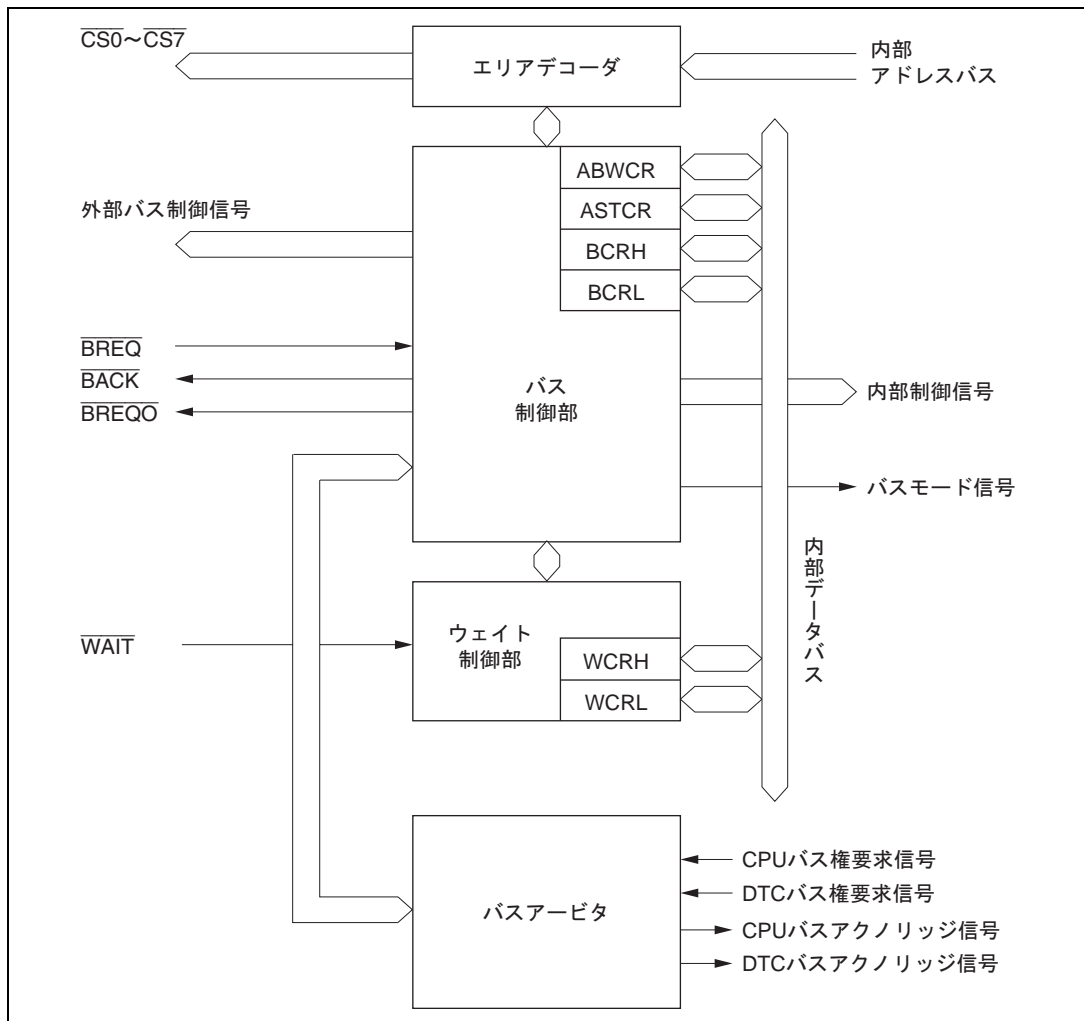


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名称	記号	入出力	機能
アドレスストロープ	AS	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リード	RD	出力	外部空間をリードしていることを示すストロープ信号
ハイライト	HWR	出力	外部空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロープ信号
ロウライト	LWR	出力	外部空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロープ信号
チップセレクト 0	CS0	出力	エリア 0 が選択されていることを示すストロープ信号
チップセレクト 1	CS1	出力	エリア 1 が選択されていることを示すストロープ信号
チップセレクト 2	CS2	出力	エリア 2 が選択されていることを示すストロープ信号
チップセレクト 3	CS3	出力	エリア 3 が選択されていることを示すストロープ信号
チップセレクト 4	CS4	出力	エリア 4 が選択されていることを示すストロープ信号
チップセレクト 5	CS5	出力	エリア 5 が選択されていることを示すストロープ信号
チップセレクト 6	CS6	出力	エリア 6 が選択されていることを示すストロープ信号
チップセレクト 7	CS7	出力	エリア 7 が選択されていることを示すストロープ信号
ウェイト	WAIT	入力	外部 3 ステートアクセス空間にアクセスするときのウェイト要求信号
バス権要求	BREQ	入力	バス権を外部に解放する要求信号
バス権要求アクノリッジ	BACK	出力	バス権を解放したことを示すアクノリッジ信号
バス権要求出力	BREQO	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの、外部バス権要求信号

6. バスコントローラ

6.1.4 レジスタ構成

表 6.2 にバスコントローラのレジスタ構成を示します。

表 6.2 レジスタ構成

名称	略称	R/W	初期値	アドレス* ¹
			リセット	
バス幅コントロールレジスタ	ABWCR	R/W	H'FF/H'00* ²	H'FED0
アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	H'FED1
ウェイトコントロールレジスタ H	WCRH	R/W	H'FF	H'FED2
ウェイトコントロールレジスタ L	WCRL	R/W	H'FF	H'FED3
バスコントロールレジスタ H	BCRH	R/W	H'D0	H'FED4
バスコントロールレジスタ L	BCRL	R/W	H'3C	H'FED5

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 MCU 動作モードによって決まります。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ビット	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード 5~7								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
モード 4								
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ABWCR は、リセットおよびハードウェアスタンバイモード時に、モード 5~7*では H'FF に初期化され、モード 4 では H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】* モード 6、7 は ROM なし版では使用できません。

ビット 7~0 : エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。

ビット n	説明
ABWn	
0	エリア n を 16 ビットアクセス空間に設定
1	エリア n を 8 ビットアクセス空間に設定

(n = 7~0)

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ビット	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ASTCR は、リセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6. バスコントローラ

ビット7~0：エリア7~0 アクセスステートコントロール（AST7~AST0）

対応するエリアを2ステートアクセス空間にするか、3ステートアクセス空間とするかを選択します。

同時に、ウェイトステートの挿入を許可または禁止します。

ビット n	説明
ASTn	
0	エリア n を 2 ステートアクセス空間に設定 エリア n の外部空間アクセスにウェイトステートの挿入を禁止
1	エリア n の外部空間アクセスは 3 ステートアクセス エリア n の外部空間アクセスにウェイトステートの挿入を許可 (初期値)

(n=7~0)

6.2.3 ウェイトコントロールレジスタ H、L（WCRH、WCRL）

WCRH、WCRL は、それぞれ 8 ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

WCRH、WCRL は、リセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

(1) WCRH

ビット	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6：エリア7ウェイトコントロール1、0（W71、W70）

ASTCR の AST7 ビットが 1 にセットされた状態でエリア7の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W71	W70	
0	0	エリア7の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア7の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア7の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア7の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット5、4：エリア6 ウェイトコントロール 1、0 (W61、W60)

ASTCR の AST6 ビットが 1 にセットされた状態でエリア 6 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説明
W61	W60	
0	0	エリア 6 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 6 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット3、2：エリア5 ウェイトコントロール 1、0 (W51、W50)

ASTCR の AST5 ビットが 1 にセットされた状態でエリア 5 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説明
W51	W50	
0	0	エリア 5 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 5 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット1、0：エリア4 ウェイトコントロール 1、0 (W41、W40)

ASTCR の AST4 ビットが 1 にセットされた状態でエリア 4 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説明
W41	W40	
0	0	エリア 4 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 4 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

6. バスコントローラ

(2) WCRL

ビット	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6：エリア3ウェイトコントロール1、0 (W31、W30)

ASTCRのAST3ビットが1にセットされた状態でエリア3の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W31	W30	
0	0	エリア3の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア3の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア3の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア3の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット5、4：エリア2ウェイトコントロール (W21、W20)

ASTCRのAST2ビットが1にセットされた状態でエリア2の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説明
W21	W20	
0	0	エリア2の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア2の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア2の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア2の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット3、2：エリア1ウェイトコントロール1、0 (W11、W10)

ASTCRのAST1ビットが1にセットされた状態でエリア1の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説明
W11	W10	
0	0	エリア1の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア1の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア1の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア1の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット 1、0 : エリア 0 ウェイトコントロール 1、0 (W01、W00)

ASTCR の AST0 ビットが 1 にセットされた状態で、エリア 0 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説明
W01	W00	
0	0	エリア 0 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 0 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

6.2.4 バスコントロールレジスタ H (BCRH)

ビット	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	-	-
初期値	1	1	0	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRH は 8 ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリア 0 のメモリインタフェースの選択を行います。

BCRH は、リセットおよびハードウェアスタンバイモード時に、H'D0 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7 : アイドルサイクル挿入 1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 7	説明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 6 : アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 6	説明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

6. バスコントローラ

ビット5：バーストROMイネーブル (BRSTRM)

エリア0をバーストROMインタフェースとするかを選択します。

ビット5 BRSTRM	説明
0	エリア0は基本バスインタフェース (初期値)
1	エリア0はバーストROMインタフェース

ビット4：バーストサイクルセレクト1 (BRSTS1)

バーストROMインタフェースのバーストサイクル数を選択します。

ビット4 BRSTS1	説明
0	バーストサイクルは1ステート
1	バーストサイクルは2ステート (初期値)

ビット3：バーストサイクルセレクト0 (BRSTS0)

バーストROMインタフェースのバーストアクセス可能なワード数を選択します。

ビット3 BRSTS0	説明
0	バーストアクセスは最大4ワード (初期値)
1	バーストアクセスは最大8ワード

ビット2~0：リザーブビット

0をライトしてください。

6.2.5 バスコントロールレジスタ L (BCRL)

ビット	7	6	5	4	3	2	1	0
	BRLE	BREQOE	EAE	-	-	-	-	WAITE
初期値	0	0	1	1	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRL は 8 ビットのリード/ライト可能なレジスタで、外部バス解放状態のプロトコルの選択、エリア分割単位の選択、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

BCRL は、リセットおよびハードウェアスタンバイモード時に、H'3C に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7 : バスリリースイネーブル (BRLE)

外部バス権の解放を許可または禁止します。

ビット 7	説明
BRLE	
0	外部バス権の解放を禁止。 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可 (初期値)
1	外部バス権の解放を許可

ビット 6 : BREQO 端子イネーブル (BREQOE)

外部バス解放状態のとき、内部バスマスタが外部空間アクセスを行うとき、外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQ}}$) を取り下げよう要求する信号を出力します。

ビット 6	説明
BREQOE	
0	$\overline{\text{BREQO}}$ 出力禁止。 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可 (初期値)
1	$\overline{\text{BREQO}}$ 出力許可

6. バスコントローラ

ビット5：外部アドレスイネーブル（EAE）

アドレス H'010000 ~ H'03FFFF*² を内部アドレスとするか、外部アドレスとするかを選択します。

ビット5	説明		
EAE	H8S/2319、H8S/2319C、 H8S/2318、H8S/2315、 H8S/2314	H8S/2317(S)* ³	H8S/2316S
0	内蔵 ROM	アドレス H'010000 ~ H'01FFFF は内蔵 ROM、 アドレス H'020000 ~ H'03FFFF はリザーブ領域* ¹	リザーブ領域* ¹
1	アドレス H'010000 ~ H'03FFFF* ² は外部拡張モードの場合外部アドレス、 シングルチップモードの場合はリザーブ領域* ¹ (初期値)		

【注】 *1 リザーブ領域はアクセスしないでください。

*2 H8S/2318 は、H'010000 ~ H'03FFFF になります。

H8S/2315、H8S/2314 は、H'010000 ~ H'05FFFF になります。

H8S/2319、H8S/2319C は、H'010000 ~ H'07FFFF になります。

*3 マスク ROM 版は、H8S/2317S となります。

ビット4~2：リザーブビット

ライト時には1をライトしてください。

ビット1：リザーブビット

ライト時には0をライトしてください。

ビット0：WAIT 端子イネーブル（WAITE）

WAIT 端子によるウェイト入力の許可または禁止を選択します。

ビット0	説明
WAITE	
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可（初期値）
1	WAIT 端子によるウェイト入力を許可

6.3 バス制御の概要

6.3.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 0~7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。図 6.2 にエリア分割の概要を示します。

各エリアごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。

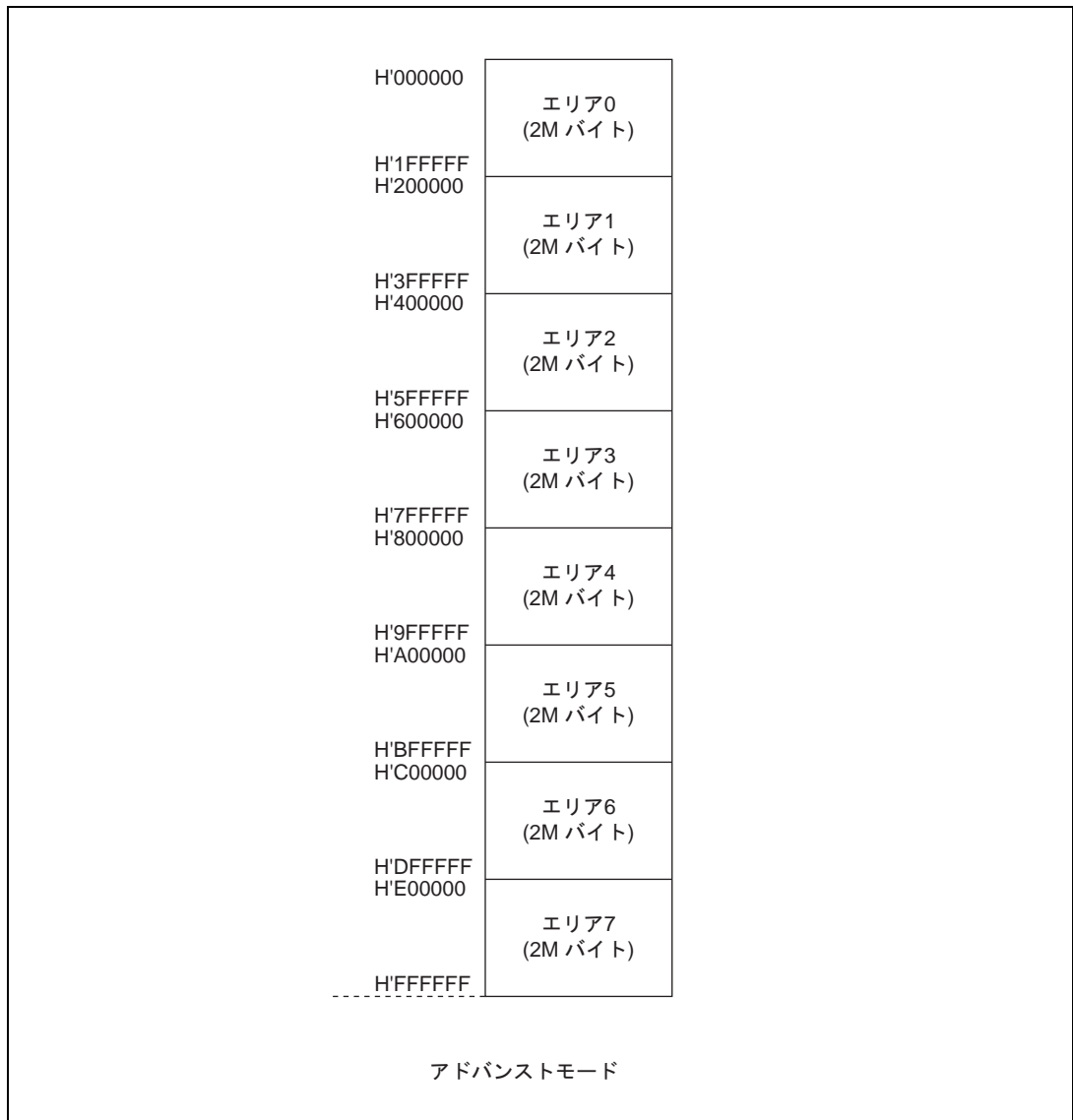


図 6.2 エリア分割

6.3.2 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH, WCRL		バス仕様 (基本バスインタフェース)		
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0	-	-	16	2	0
			0			0
	1	0	1		1	1
			0		0	2
		1	0		1	3
			1		1	3
1	0	-	-	8	2	0
			0			0
	1	0	1		1	1
			0		0	2
		1	0		1	3
			1		1	3

6.3.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などの直結が可能な基本バスインタフェース、およびバースト ROM の直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

6.3.4 アドバンスモード

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様は、基本的なことのみ記載していますので、必ず「6.4 基本バスインタフェース」、「6.5 バースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。

(1) エリア 0

エリア 0 は内蔵 ROM*を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM*を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

【注】* ROM あり版のみに適用します。

(2) エリア 1~6

エリア 1~6 は、外部拡張モードのとき、エリア 1~6 のすべての空間が外部空間となります。

エリア 1~6 の外部空間をアクセスするとき、 $\overline{CS1} \sim \overline{CS6}$ 端子信号を出力することができます。

エリア 1~6 は、基本バスインタフェースのみを使用することができます。

(3) エリア 7

エリア 7 は内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき、内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

エリア 7 の外部空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。

エリア 7 は、基本バスインタフェースのみを使用することができます。

6.3.5 チップセレクト信号

本 LSI は、エリア 0~7 に対して、それぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができ、当該エリアの外部空間をアクセスしたとき、Low レベルを出力します。

図 6.3 に \overline{CSn} ($n=0 \sim 7$) 信号出力タイミング例を示します。

\overline{CSn} 信号出力の許可または禁止は各 \overline{CSn} 端子に対応するポートのデータディレクションレジスタ (DDR)、CS167 イネーブル (CS167E)、CS25 イネーブル、CSS17、CSS36、PF1CS5S、PF0CS4S を設定することにより行います。

ROM 無効拡張モードでは、 $\overline{CS0}$ 端子は、リセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ 信号を出力する場合には対応する制御レジスタを設定してください。

ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$ 端子はすべて、リセット後に入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ 信号を出力する場合には対応する制御レジスタを設定してください。

詳細は「第 8 章 I/O ポート」を参照してください。

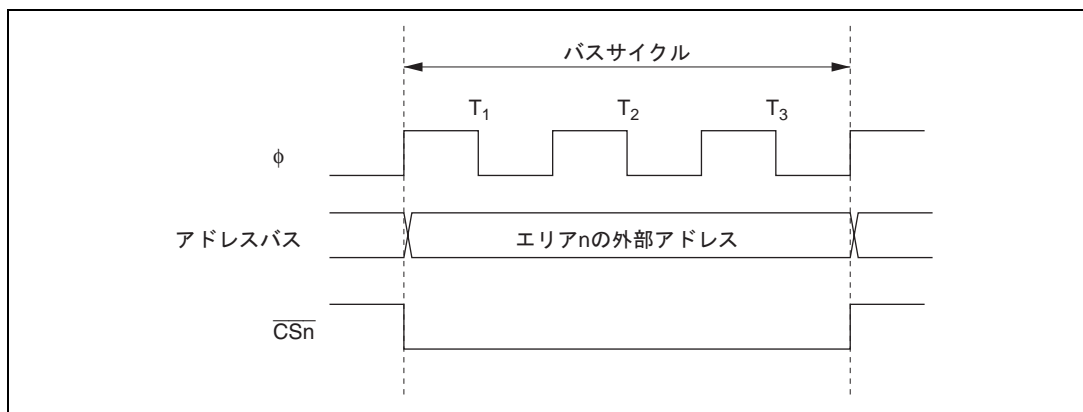


図 6.3 \overline{CSn} 信号出力タイミング ($n=0 \sim 7$)

6.4 基本バスインタフェース

6.4.1 概要

基本バスインタフェースは、ROM、SRAMなどの直結が可能です。

ABWCR、ASTCR、WCRH、WCRLによってバス仕様を選択できます。表 6.3 を参照してください。

6.4.2 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス (D15~D8) を使用するか、下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.4 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15~D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

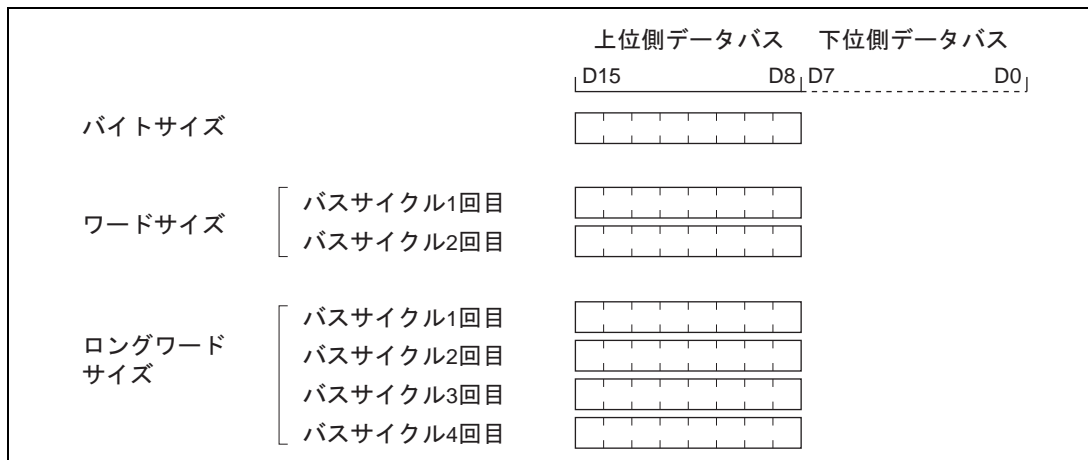


図 6.4 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

6. バスコントローラ

(2) 16ビットアクセス空間

図 6.5 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

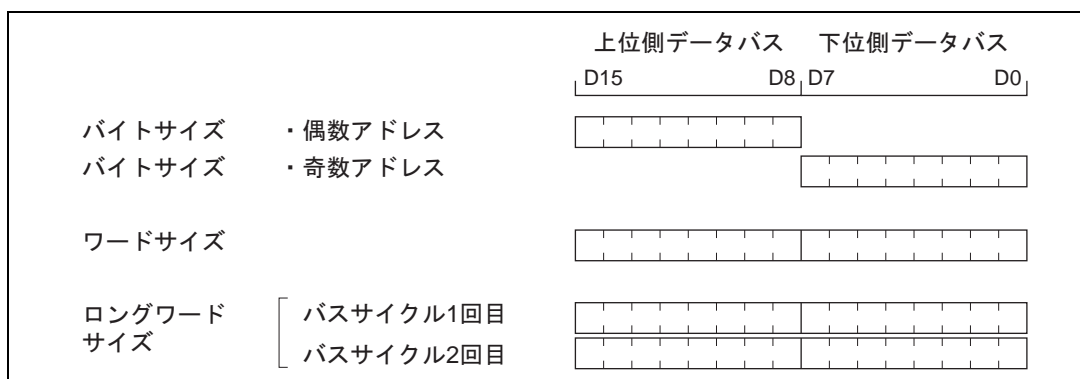


図 6.5 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.4.3 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード / ライト	アドレス	有効なストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8ビットアクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		Hi-Z
16ビットアクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 Hi-Z: ハイインピーダンス状態です。

無効: 入力状態であり、入力値は無視されます。

6.4.4 基本タイミング

(1) 8ビット2ステートアクセス空間

図6.6に8ビット2ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側(D15~D8)を使用します。

$\overline{\text{LWR}}$ 端子は常にHighレベルに固定されます。ウェイトステートを挿入することはできません。

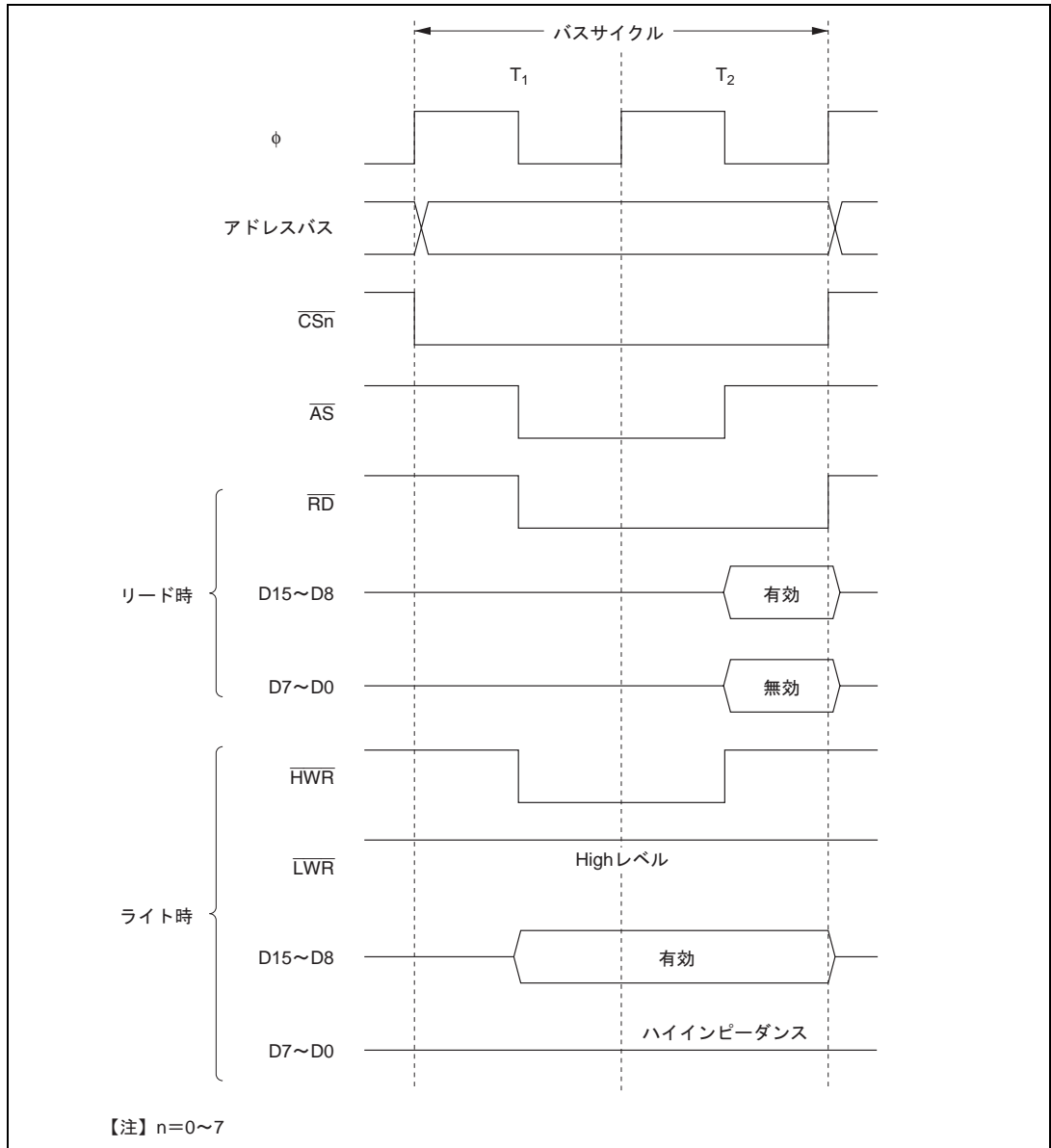


図 6.6 8ビット2ステートアクセス空間のバスタイミング

6. バスコントローラ

(2) 8ビット3ステートアクセス空間

図6.7に8ビット3ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側(D15~D8)を使用します。

$\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

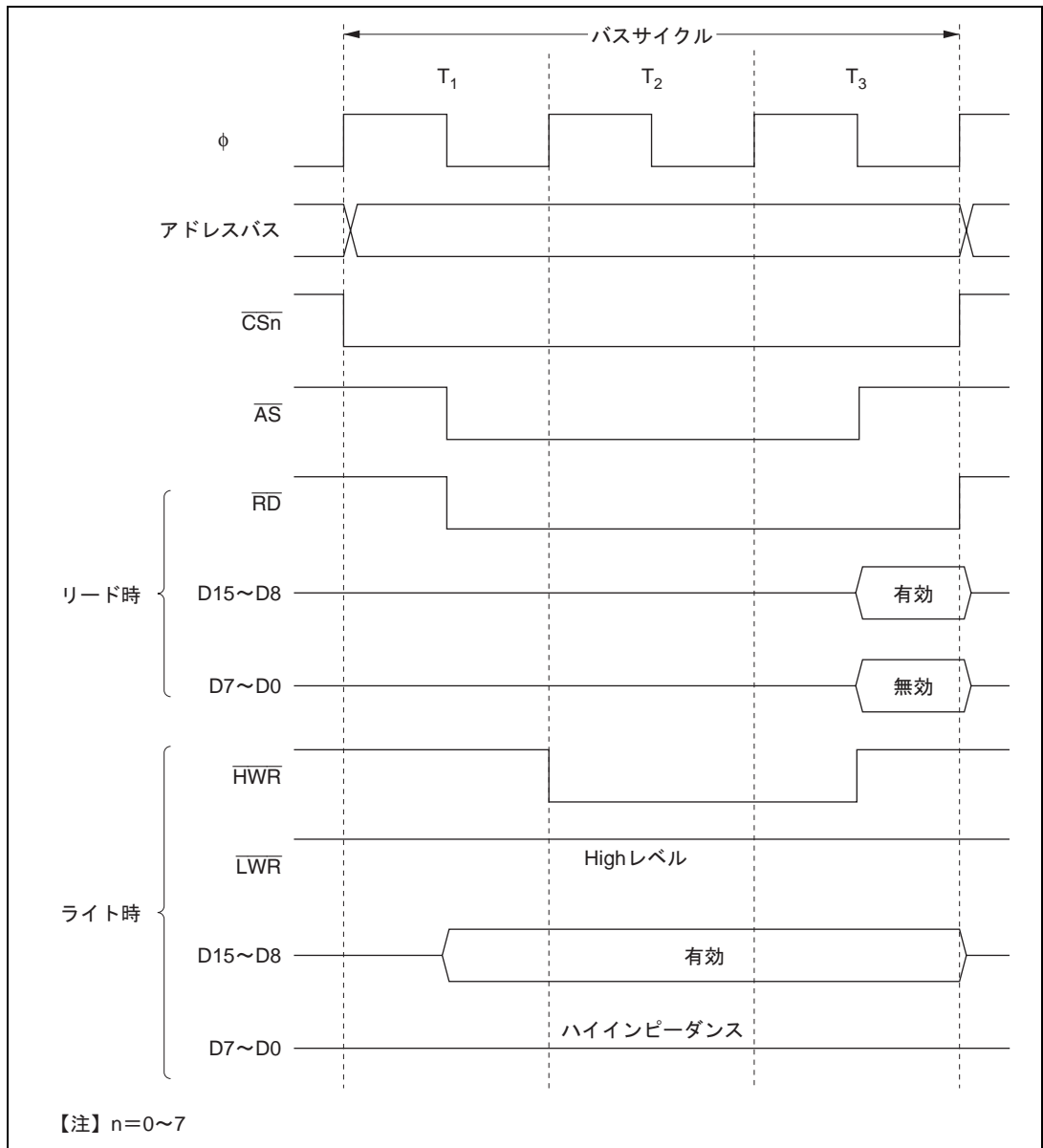


図6.7 8ビット3ステートアクセス空間のバスタイミング

(3) 16ビット2ステートアクセス空間

図6.8～図6.10に16ビット2ステートアクセス空間のバスタイミングを示します。16ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側（D15～D8）を使用し、奇数アドレスに対してはデータバスは下位側（D7～D0）を使用します。

ウェイトステートを挿入することはできません。

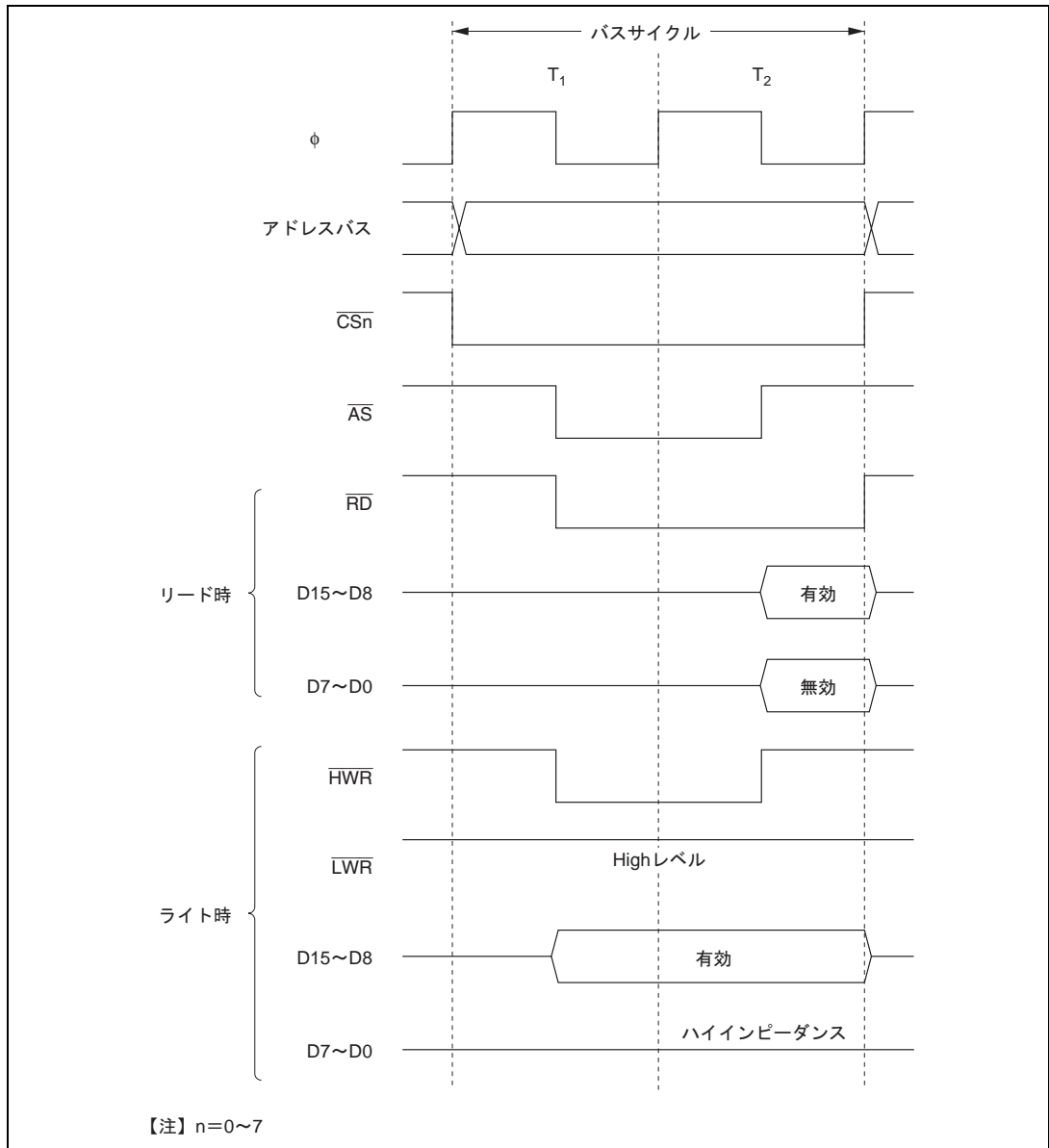


図 6.8 16ビット2ステートアクセス空間のバスタイミング(1)
(偶数アドレスバイトアクセス)

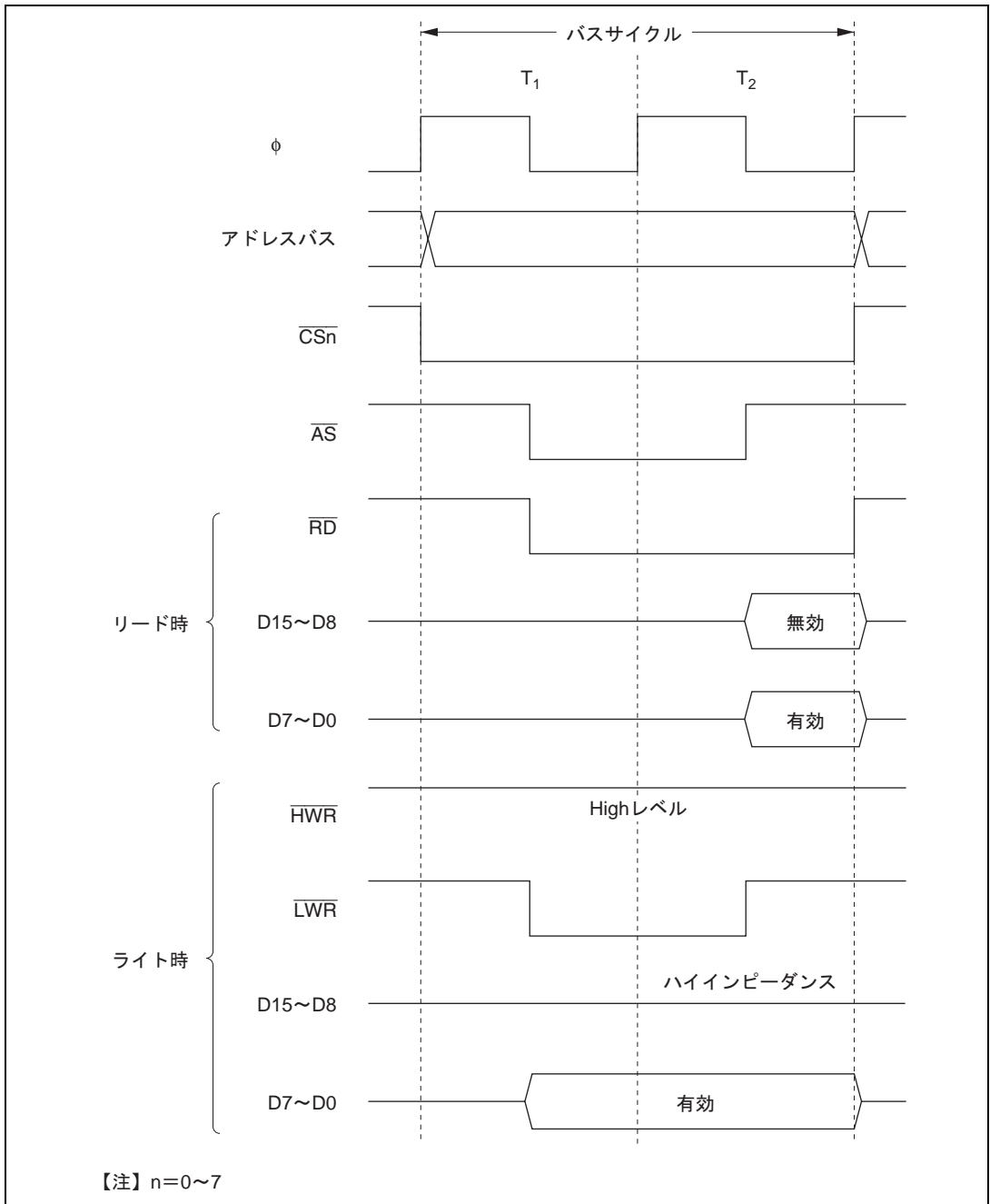


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

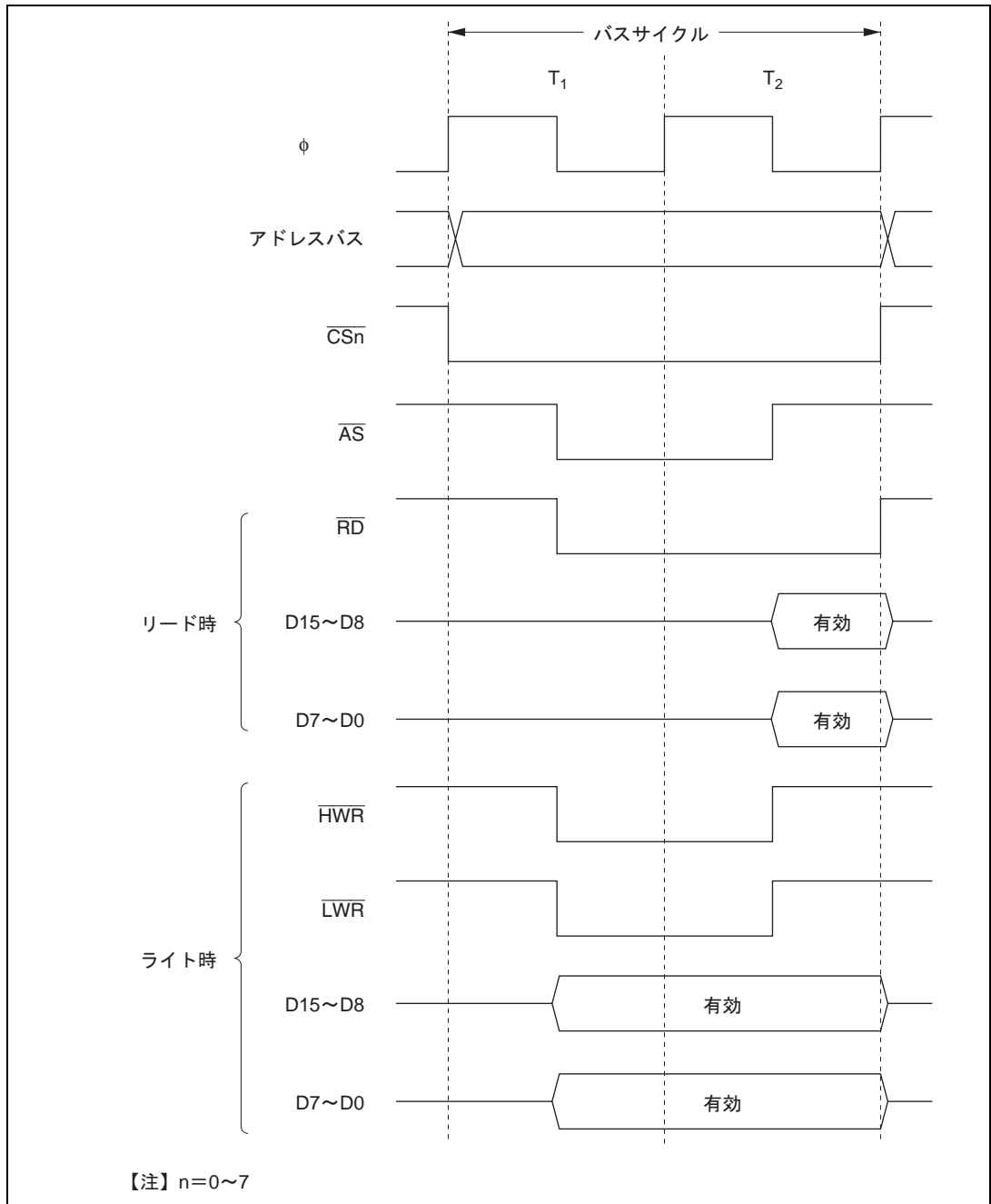


図 6.10 16 ビット 2 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

6. バスコントローラ

(4) 16ビット3ステートアクセス空間

図 6.11 ~ 図 6.13 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側(D15~D8)を使用し、奇数アドレスに対してはデータバスは下位側(D7~D0)を使用します。

ウェイトステートを挿入することができます。

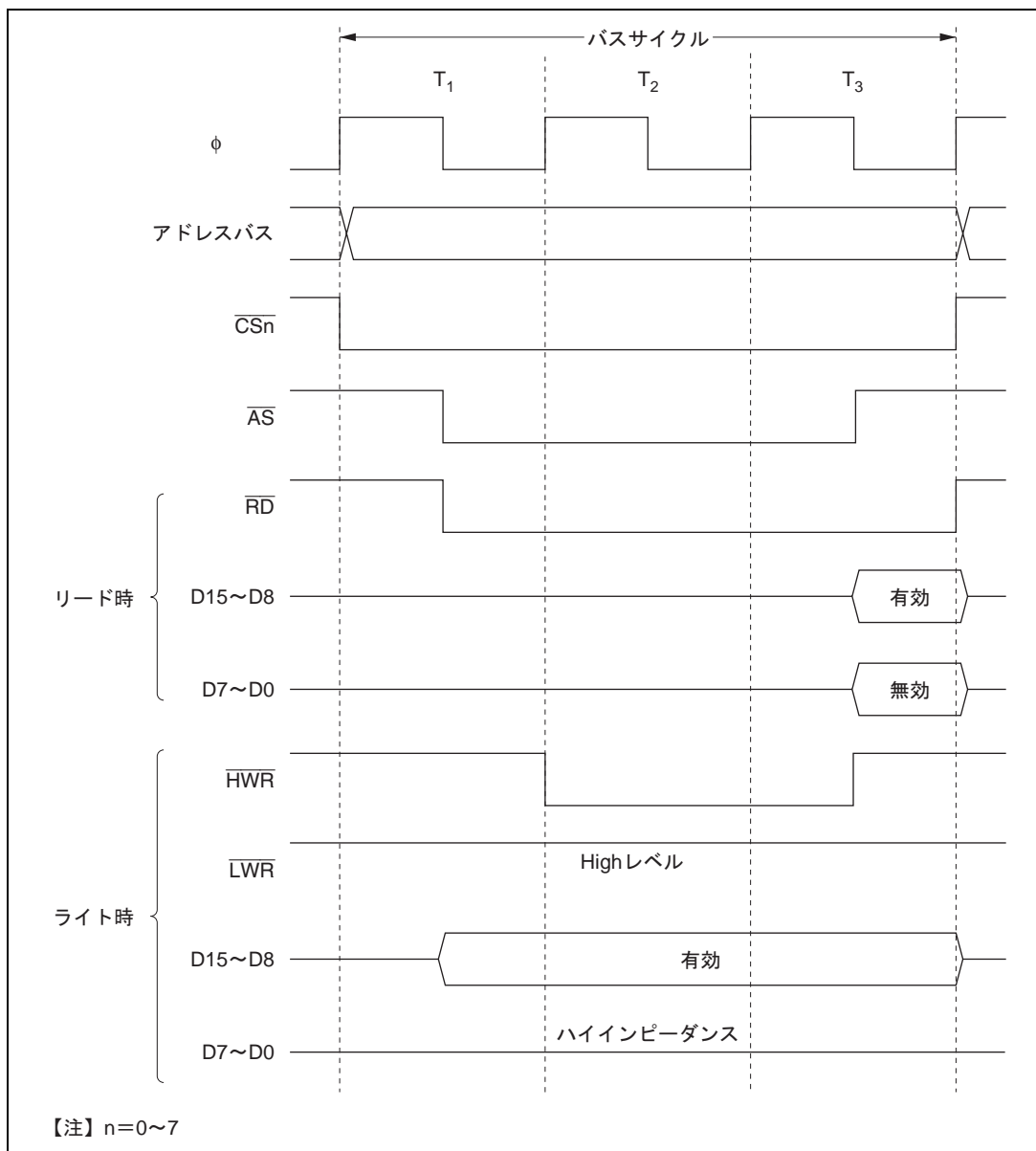


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

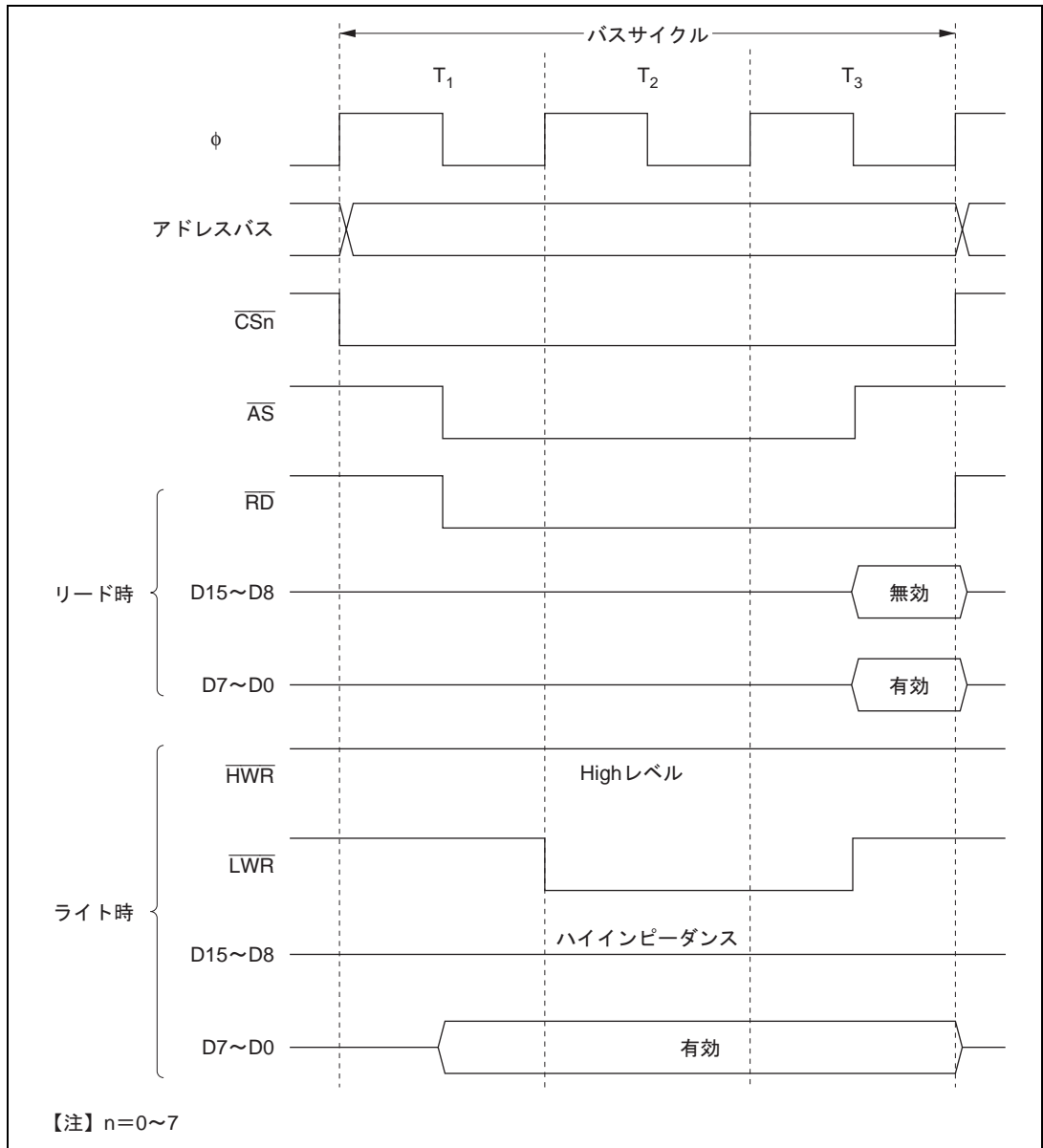


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

6. バスコントローラ

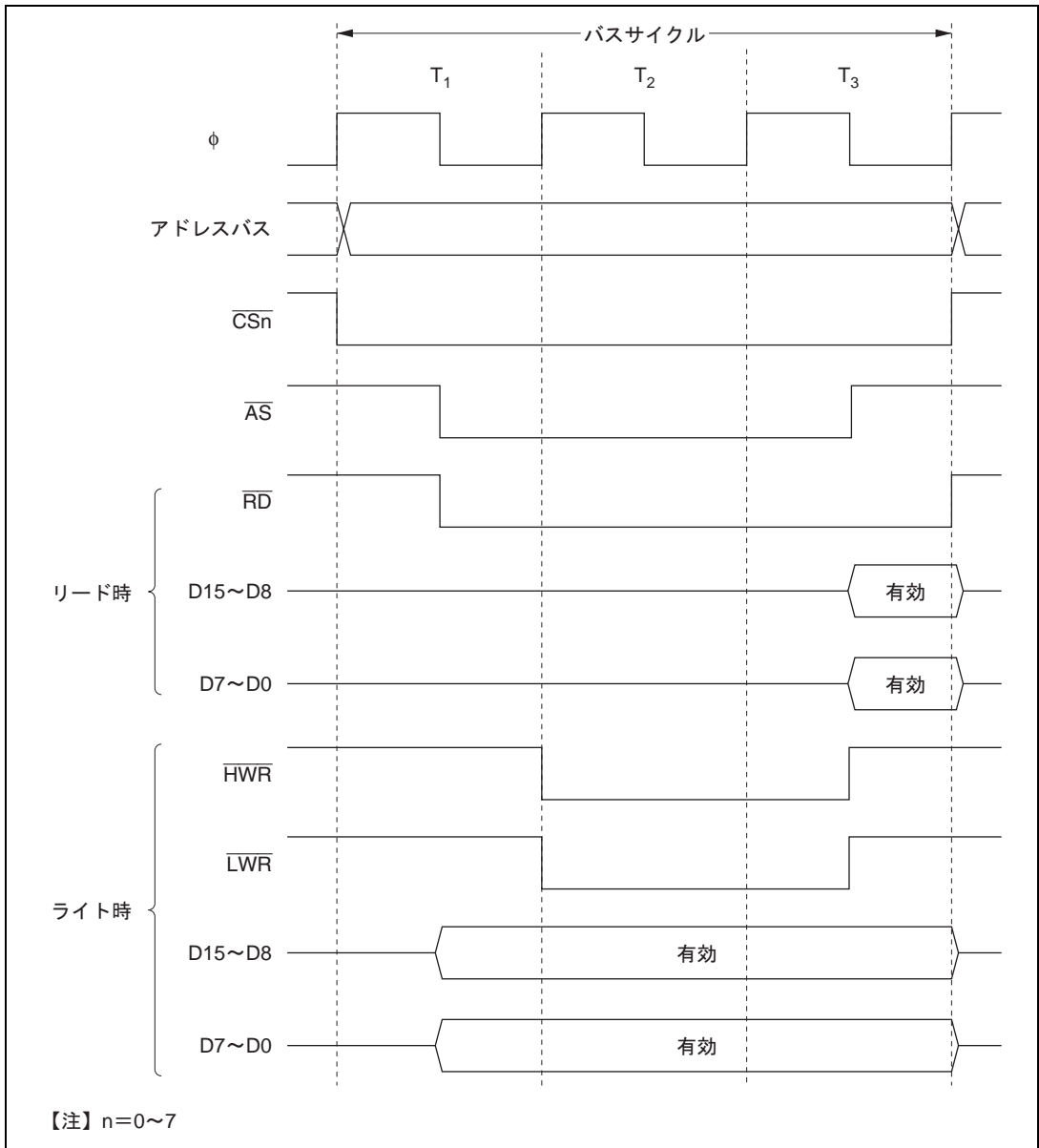


図 6.13 16 ビット 3 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

6.4.5 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCRL の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

なお、WAITE ビットはすべてのエリアに対して共通です。

図 6.14 にウェイトステート挿入のタイミング例を示します。

6. バスコントローラ

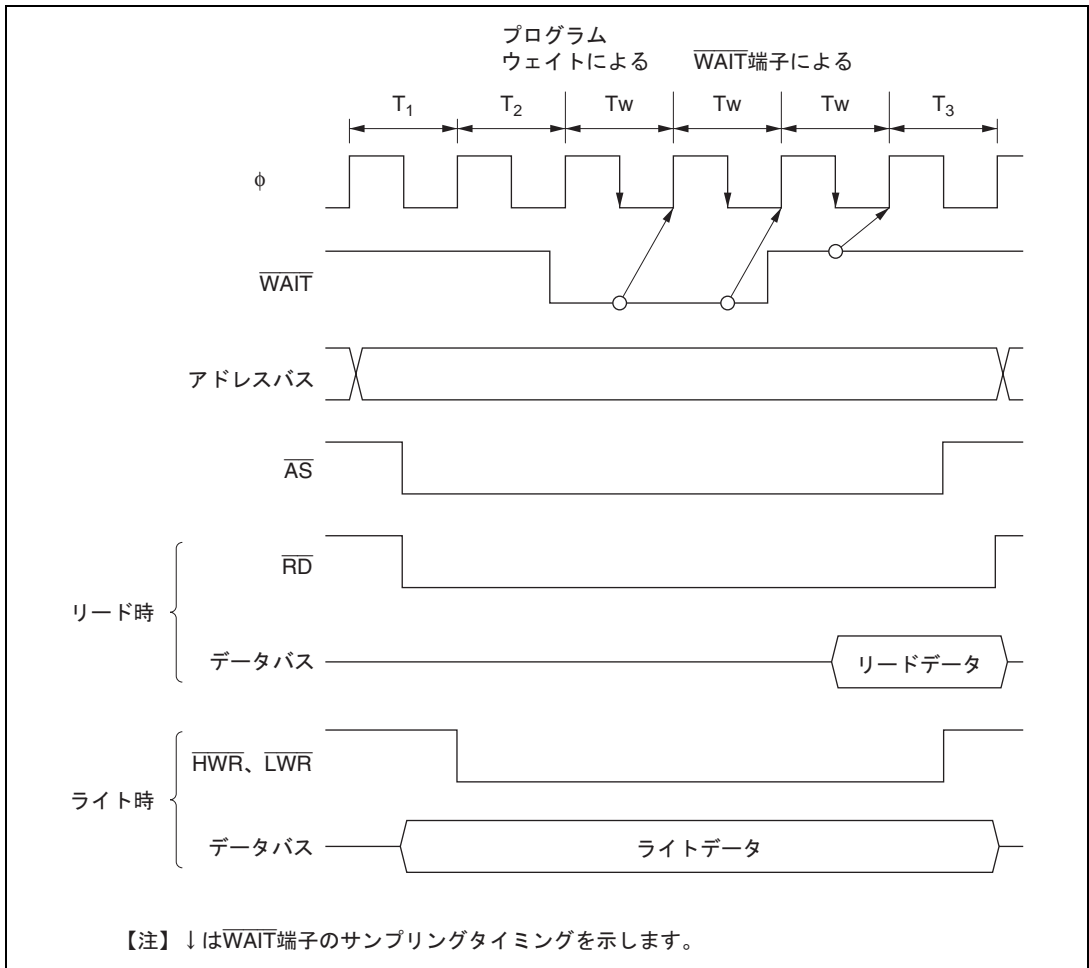


図 6.14 ウェイトステート挿入タイミング例

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

6.5 バースト ROM インタフェース

6.5.1 概要

本 LSI は、エリア 0 の外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.5.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル (フルアクセス) のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.15 (a)、(b) に示します。

図 6.15 (a) は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.15 (b) は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

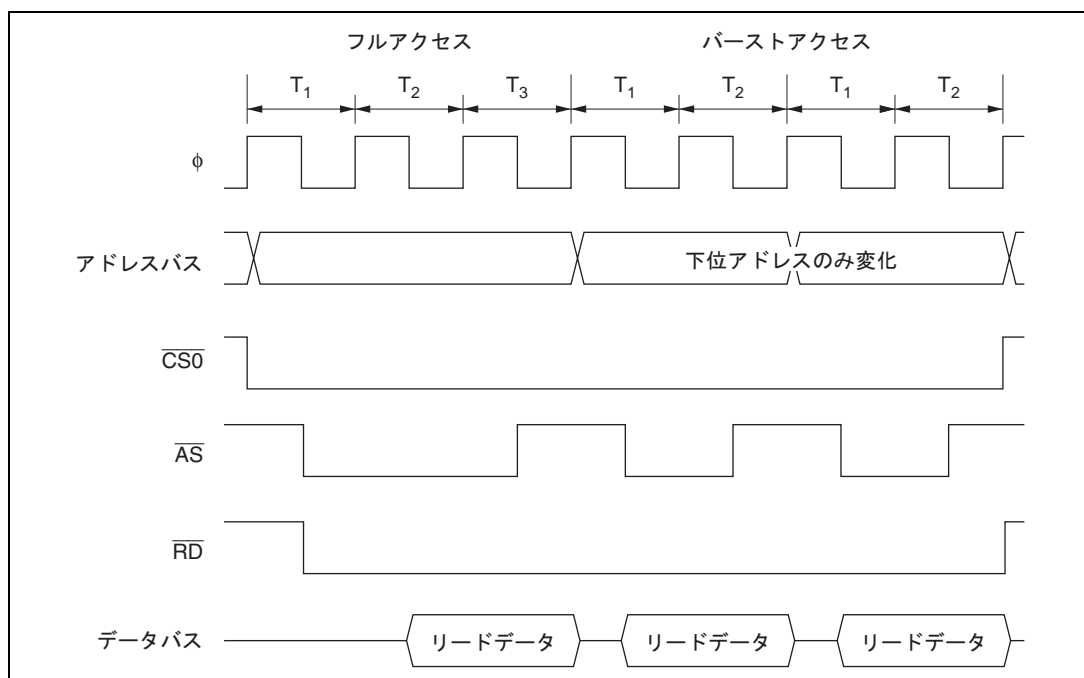


図 6.15 (a) バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)

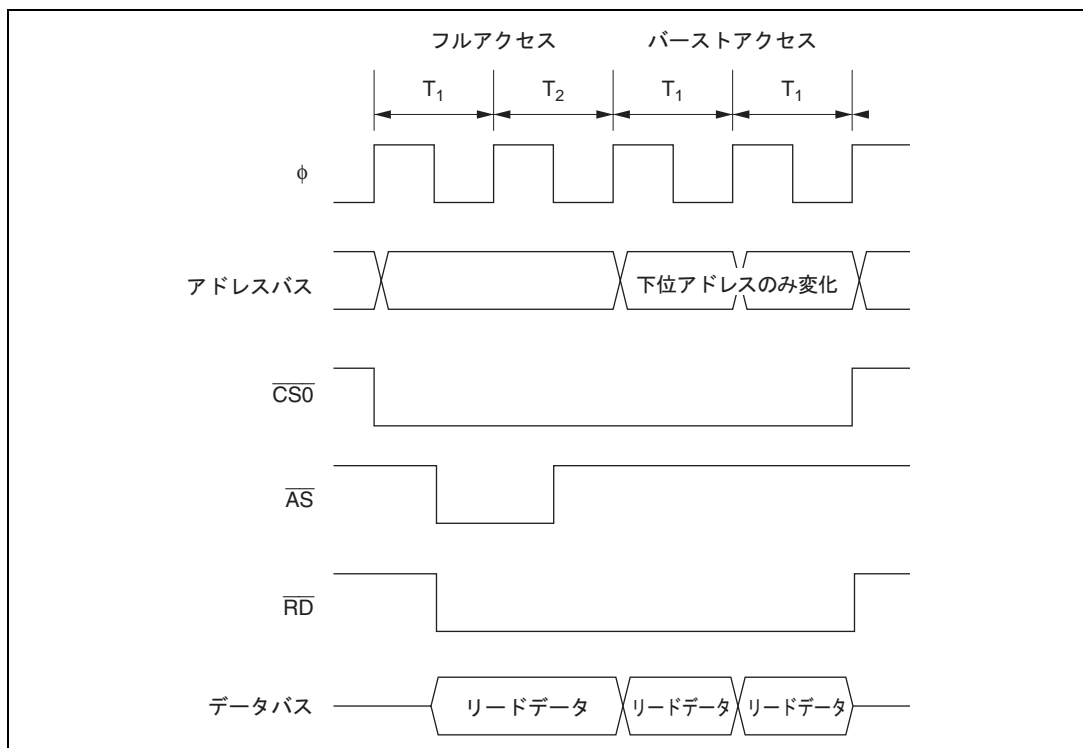


図 6.15 (b) バースト ROM アクセスタイミング例 (AST0=BRSTS1=0 の場合)

6.5.3 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、が可能です。「6.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

6.6 アイドルサイクル

6.6.1 動作説明

本 LSI は外部空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル(T_1)を1ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きいROMなどと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。アドバンスモードのとき有効です。

図 6.16 に動作例を示します。バスサイクル A は、出力フローティング時間の大きいROMからのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b)ではアイドルサイクルを挿入し、データの衝突を回避しています。

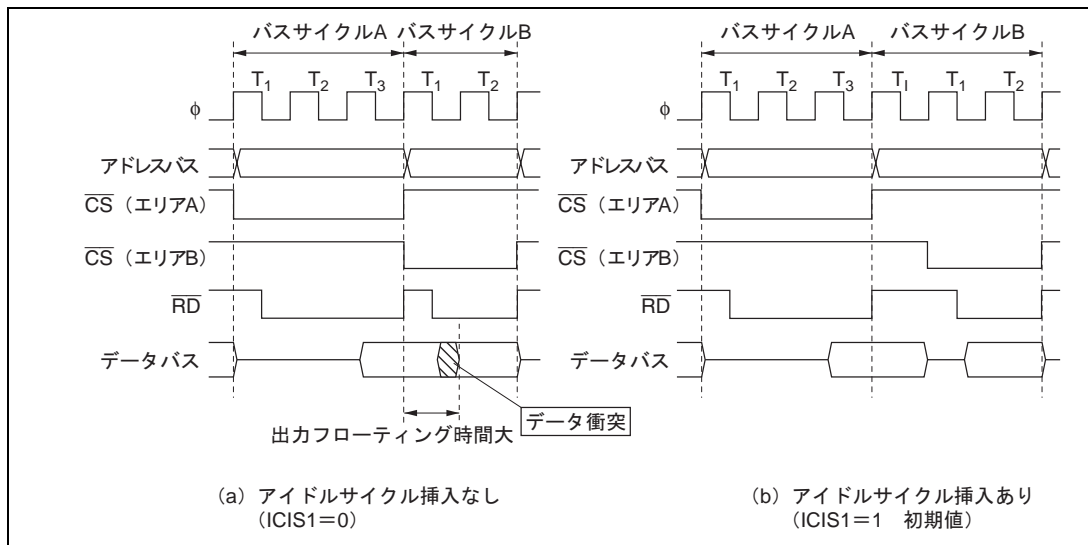


図 6.16 アイドルサイクル動作例 (1)

(2) リード後のライト

BCRH の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.17 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

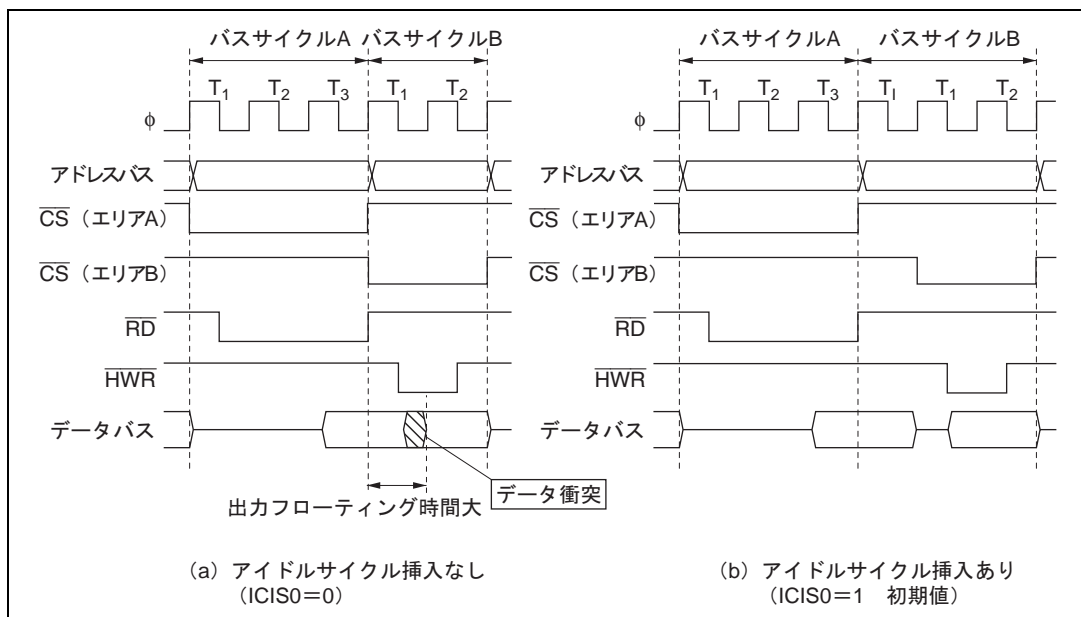


図 6.17 アイドルサイクル動作例 (2)

(3) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 6.18 に例を示します。

このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。

なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

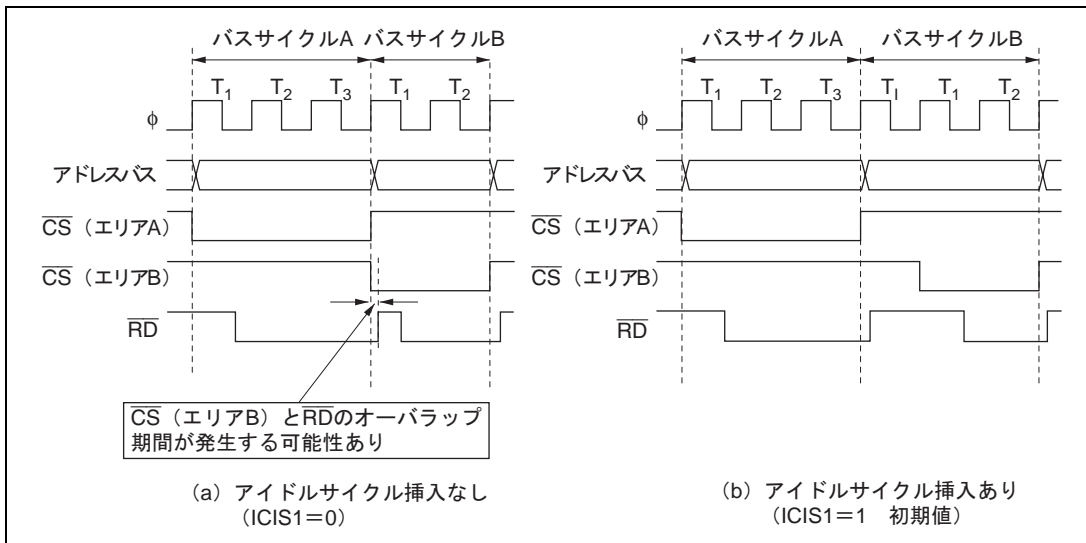


図 6.18 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

6.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
CSn*	High レベル
AS	High レベル
RD	High レベル
HWR	High レベル
LWR	High レベル

【注】 * n = 0 ~ 7

6.7 バス解放

6.7.1 概要

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り、内部バスマスタは動作を継続します。

また、外部バス権解放状態で、内部バスマスタが外部アクセスをしようとしたとき、外部に対してバス権を要求することができます。

6.7.2 動作説明

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで、 $\overline{\text{BACK}}$ 端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。

BCRL の BREQOE ビットが 1 にセットされていると、外部バス権解放状態に内部バスマスタが外部アクセスをしようとしたとき、 $\overline{\text{BREQO}}$ 端子を Low レベルとし、外部にバス権要求を取り下げるよう要求することができます。

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセスが同時に発生したときの優先順位：

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

6.7.3 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.6 に示します。

表 6.6 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
CSn*	ハイインピーダンス
AS	ハイインピーダンス
RD	ハイインピーダンス
HWR	ハイインピーダンス
LWR	ハイインピーダンス

【注】 * n = 0 ~ 7

6.7.4 遷移タイミング

バス権解放状態への遷移タイミングを図 6.19 に示します。

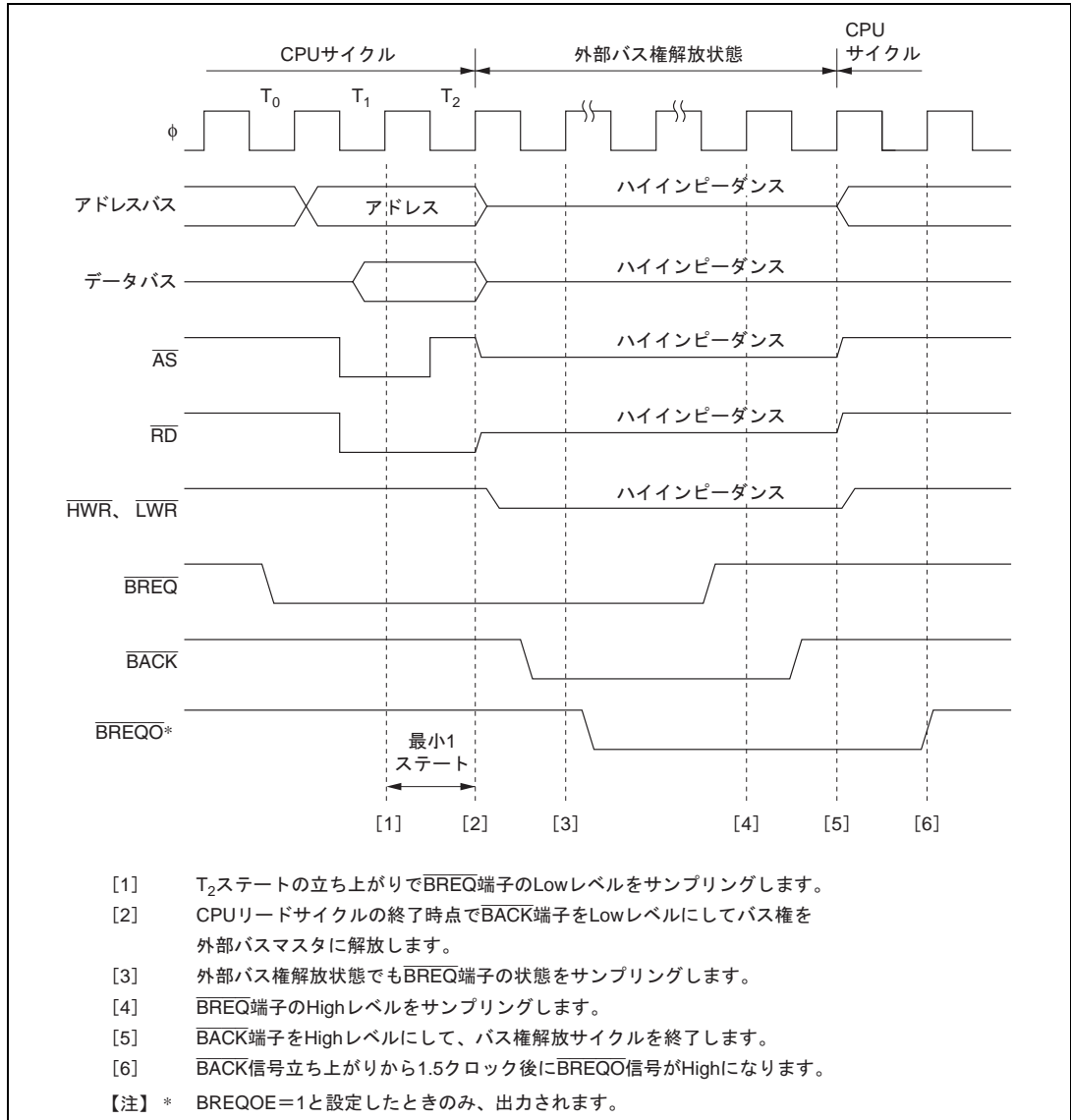


図 6.19 バス権解放状態遷移タイミング

6.7.5 使用上の注意

MSTPCR を H'FFFF または H'EFFF に設定し、かつスリープモードに遷移した状態では外部バス権解放機能は停止しますので設定しないでください。

6.8 バスアービトレーション

6.8.1 概要

本 LSI はバスマスタの動作を調停(バスアービトレーション)するバスアービタを内蔵しています。バスマスタは、CPU、DTC の 2 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.8.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DTC > CPU (低)

なお、内部バスマスタの内部バスアクセスと外部バス権解放は並行して実行することができます。外部バス権解放要求および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

6.8.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。バス権を移行しないタイミングは「付録 A.5 命令実行中のバス状態」を参照してください。
- CPU がスリープモードの場合、直ちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3 ステート）後、1 回のデータ転送後、レジスタ情報のライト（3 ステート）後です。レジスタ情報のリード（3 ステート）中、1 回のデータ転送中、レジスタ情報のライト（3 ステート）中にはバスを解放しません。

6.8.4 外部バス権解放使用上の注意

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

\overline{RD} 信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 \overline{RD} 信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

6.9 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

7. データトランスファコントローラ (DTC)

7.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

7.1.1 特長

- (1) 任意チャネル数の転送可能
 - メモリ上に転送情報を格納
 - 1つの起動要因に対して複数のデータ転送が可能 (チェイン転送)
 - データ転送後 (カウンタ=0 時) にチェイン転送の実行を設定可能
- (2) 豊富な転送モード
 - ノーマルモード / リピートモード / ブロック転送モードの選択が可能
 - 転送元、転送先アドレスのインクリメント / デクリメント / 固定の選択が可能
- (3) 16M バイトのアドレス空間を直接指定可能
 - 転送元、転送先アドレスを 24 ビットで指定
- (4) 転送単位をバイト / ワードに設定可能
- (5) DTC を起動した割り込みを CPU に要求可能
 - 1回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
 - 指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生
- (6) ソフトウェアによる起動が可能
- (7) モジュールストップモードの設定可能
 - 初期値では DTC のレジスタのアクセスが可能。モジュールストップモードの設定により DTC の動作は停止

7. データトランスファコントローラ (DTC)

7.1.2 ブロック図

DTC のブロック図を図 7.1 に示します。

DTC のレジスタ情報は内蔵 RAM に配置されます*。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

【注】* DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。

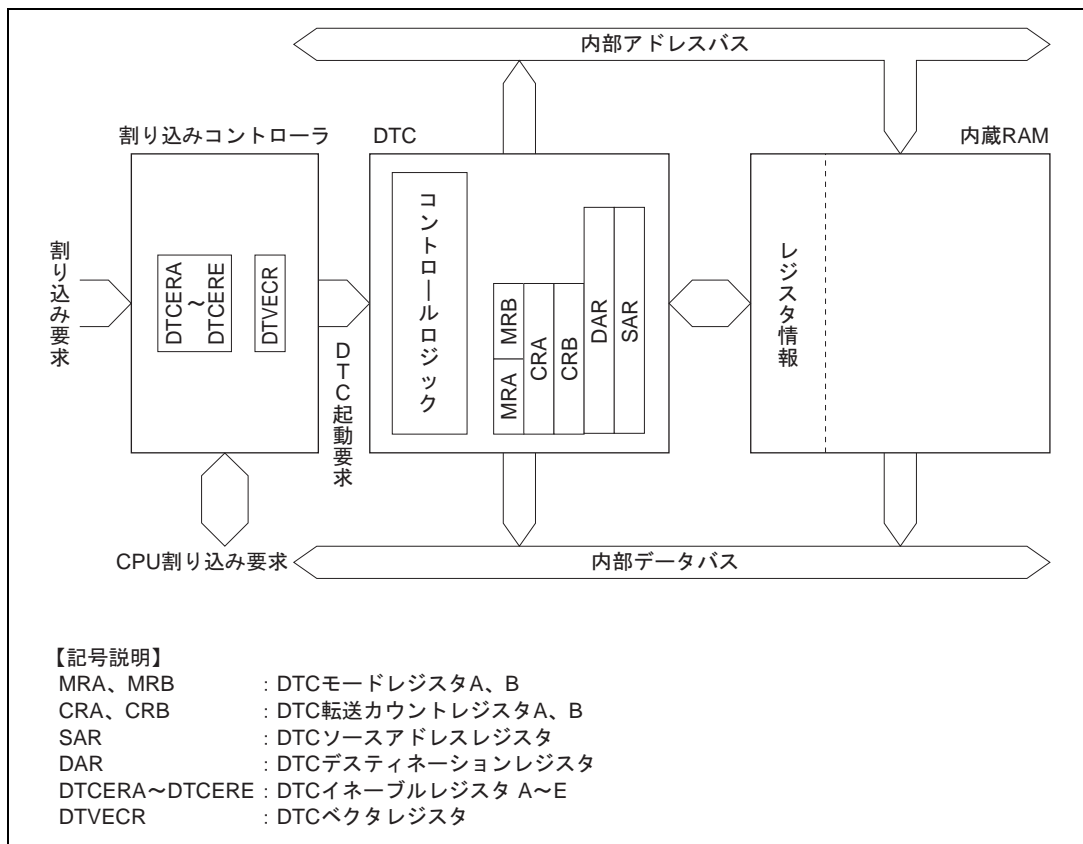


図 7.1 DTC のブロック図

7.1.3 レジスタ構成

DTC のレジスタ構成を表 7.1 に示します。

表 7.1 レジスタ構成

名称	略称	R/W	初期値	アドレス* ¹
DTC モードレジスタ A	MRA	- * ²	不定	- * ³
DTC モードレジスタ B	MRB	- * ²	不定	- * ³
DTC ソースアドレスレジスタ	SAR	- * ²	不定	- * ³
DTC デスティネーションアドレスレジスタ	DAR	- * ²	不定	- * ³
DTC 転送カウントレジスタ A	CRA	- * ²	不定	- * ³
DTC 転送カウントレジスタ B	CRB	- * ²	不定	- * ³
DTC イネーブルレジスタ	DTCER	R/W	H'00	H'FF30 ~ H'FF34
DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FF37
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 DTC 内のレジスタは直接リード/ライトできません。
 *3 内蔵 RAM のアドレス H'F800 ~ H'FBFF にレジスタ情報として配置します。外部メモリ空間には配置できません。DTC を使用する場合は SYSCR の RAME ビットを 0 にクリアしないでください。

7. データトランスファコントローラ (DTC)

7.2 各レジスタの説明

7.2.1 DTC モードレジスタ A (MRA)

ビット	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値	不定	不定	不定	不定	不定	不定	不定	不定
R/W	-	-	-	-	-	-	-	-

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6 : ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説明
SM1	SM0	
0	-	SAR は固定
1	0	SAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	SAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)

ビット 5、4 : デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説明
DM1	DM0	
0	-	DAR は固定
1	0	DAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	DAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)

ビット 3、2 : DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット 3	ビット 2	説明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

7. データトランスファコントローラ (DTC)

ビット1 : DTC 転送モードセレクト (DTS)

リポートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリポート領域またはブロック領域とするかを指定します。

ビット1	説明
DTS	
0	デスティネーション側がリポート領域またはブロック領域
1	ソース側がリポート領域またはブロック領域

ビット0 : DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット0	説明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

7. データトランスファコントローラ (DTC)

7.2.2 DTC モードレジスタ B (MRB)

ビット	7	6	5	4	3	2	1	0
	CHNE	DISEL	CHNS	-	-	-	-	-
初期値	不定	不定	不定	不定	不定	不定	不定	不定
R/W	-	-	-	-	-	-	-	-

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

ビット 7 : DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の要求に対し複数のデータ転送を連続して行うことができます。

CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因フラグのクリアや DTCER のクリアは行いません。また、CHNS ビットによってチェイン転送の条件を選択できます。

ビット 7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

ビット 6 : DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット 6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

ビット 5 : チェイン転送セレクト (CHNS)

CHNE ビットを 1 にセットしたとき、チェイン転送の条件を選択します。

ビット 7	ビット 5	説明
CHNE	CHNS	
0	-	チェイン転送なし (DTC データ転送終了、起動待ち状態になります)
1	0	毎回チェイン転送
	1	転送カウンタ = 0 のときのみチェイン転送

ビット 4~0 : リザーブビット

本 LSI では、DTC の動作に影響を与えません。0 をライトしてください。

7. データトランスファコントローラ (DTC)

7.2.6 DTC 転送カウンタレジスタ B (CRB)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

7.2.7 DTC イネーブルレジスタ (DTCER)

ビット	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCER は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード/ライトが可能な 6 本のレジスタで、DTCERA ~ DTCERF があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n : DTC 起動イネーブル (DTCEn)

ビット n	説明
DTCEn	
0	割り込みによる DTC 起動を禁止 [クリア条件] <ul style="list-style-type: none"> • DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき (初期値)
1	割り込みによる DTC 起動を許可 [保持条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n=7~0)

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびそのときに割り込みコントローラが発生するベクタ番号について表 7.5 に示します。

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

7.2.8 DTC ベクタレジスタ (DTVECR)

ビット	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * DTVEC6 ~ DTVEC0 ビットは、SWDTE=0 のときライト可能です。

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7: DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。

ビット7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] <ul style="list-style-type: none"> DISEL ビットが 0 で、指定した回数の転送が終了していないとき CPU に対し、ソフトウェア起動データ転送終了割り込み (SWDTEND) が要求された後 0 をライトしたとき
1	DTC ソフトウェア起動を許可 [保持条件] <ul style="list-style-type: none"> DISEL ビットが 1 で、データ転送を終了したとき 指定した回数の転送が終了したとき ソフトウェア起動によるデータ転送中

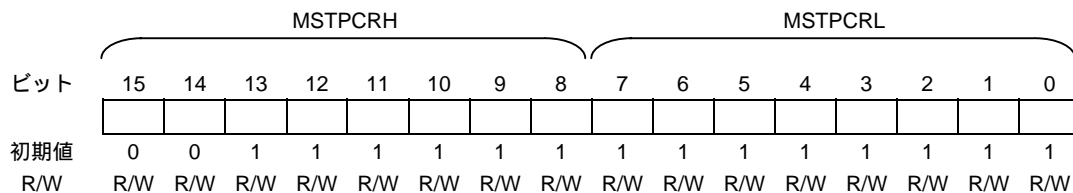
ビット6~0: DTC ソフトウェア起動ベクタ6~0 (DTVEC6~DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、H'0400 + ((ベクタ番号) << 1) となります。ここで <<1 は 1 ビットの左シフトを表します。たとえば、DTVEC6 ~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。

7. データトランスファコントローラ (DTC)

7.2.9 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP14 ビットを 1 にセットすると、バスサイクルの終了時点で DTC は動作を停止してモジュールストップモードへ遷移します。ただし、DTC が起動中の場合、MSTP14 ビットに 1 をライトすることはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 14 : モジュールストップ (MSTP14)

DTC のモジュールストップモードを指定します。

ビット 14	説明
MSTP14	
0	DTC のモジュールストップモード解除 (初期値)
1	DTC のモジュールストップモード設定

7.3 動作説明

7.3.1 概要

DTC は、レジスタ情報をメモリ上に格納しておき、起動要因が発生するとレジスタ情報をリードし、レジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャネル数のデータ転送が可能です。また、CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます。さらに、転送カウンタ = 0 時のみにチェーン転送を行う設定も可能です。これにより、DTC の再設定を DTC 自体が行えます。

図 7.2 に DTC の動作フローチャートを示します。チェーン転送の条件を表 7.2 に示します。第 2 の転送から第 3 の転送を行う組み合わせは省略してあります。

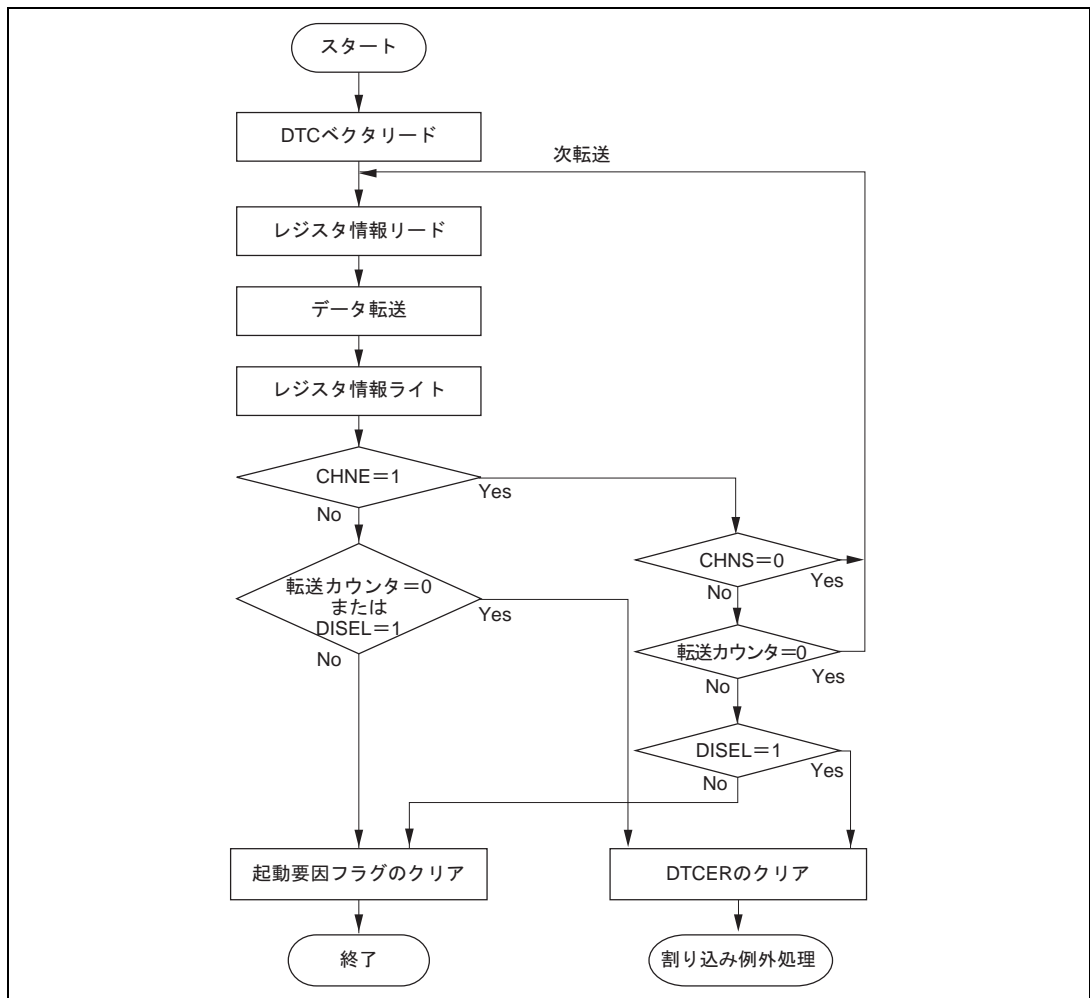


図 7.2 DTC 動作フローチャート

7. データトランスファコントローラ (DTC)

表 7.2 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	CR	CHNE	CHNS	DISEL	CR	
0		0	0 以外					第 1 の転送で終了
0		0	0					第 1 の転送で終了
0		1						CPU へ割り込み要求
1	0			0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	0	0 以外					第 1 の転送で終了
1	1		0	0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	1	0 以外					第 1 の転送で終了 CPU へ割り込み要求

DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTC は、転送元アドレスを 24 ビット長の SAR、転送先アドレスを 24 ビット長の DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定とされます。

表 7.3 に、DTC の機能概要を示します。

表 7.3 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード - 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 - メモリアドレスを 1 または 2 増減 - 転送回数は 1 ~ 65536 (2) リピートモード - 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 - メモリアドレスを 1 または 2 増減 - 指定回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 (3) ブロック転送モード - 1 回の転送要求で指定したブロックサイズの転送 - ブロックサイズ 1 ~ 256 バイトまたはワード - 転送回数は 1 ~ 65536 - ソースまたはデスティネーションのいずれかをブロックエリアに指定可能	<ul style="list-style-type: none"> • IRQ • TPU の TGI • 8 ビットタイマの CMI • SCI の TXI、RXI • A/D 変換器の ADI • ソフトウェア 	24 ビット	24 ビット

7.3.2 起動要因

DTC は、割り込み要因、もしくはソフトウェアによる DTVECR へのライト動作を起動要因として動作します。割り込み要因を、CPU に対する割り込み要求とするか、DTC の起動要因とするかは、割り込み要因ごとに DTCER の対応するビットで指定します。

対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると、CPU の割り込み要因となります。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因または DTCER の対応するビットをクリアします。表 7.4 に起動要因と DTCER のクリアを示します。

起動要因フラグは、たとえば RXI0 の場合、SCI0 の RDRF フラグになります。

表 7.4 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> SWDTE ビットは 1 を保持 CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> DTCER の対応するビットは 1 を保持 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> DTCER の対応するビットは 0 にクリア 起動要因フラグは 1 を保持 起動要因となった割り込みを CPU に要求

図 7.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

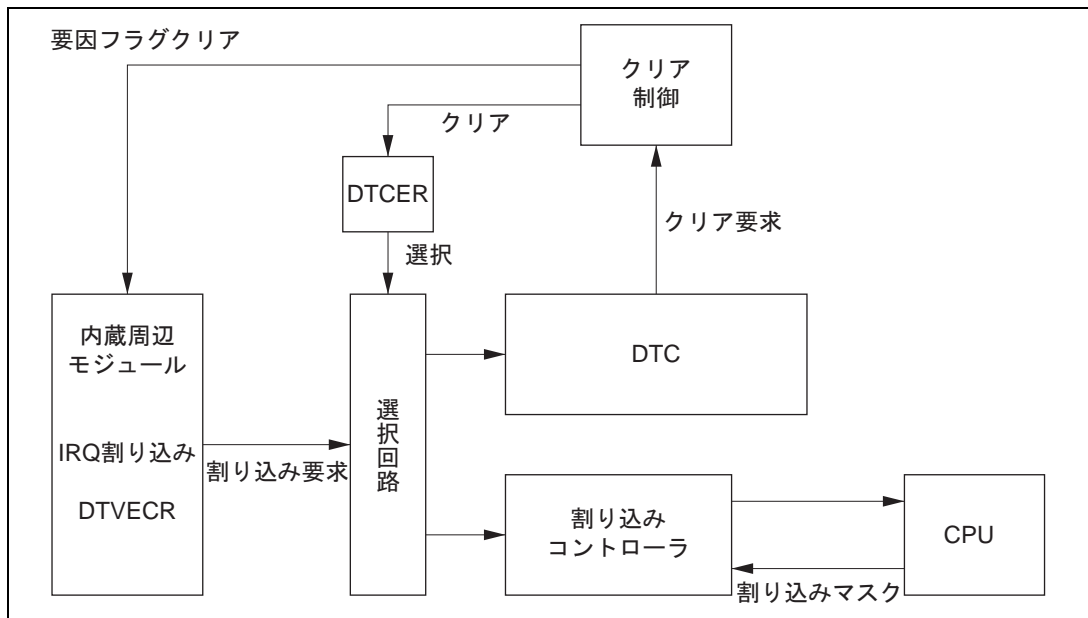


図 7.3 DTC 起動要因制御ブロック図

7. データトランスファコントローラ (DTC)

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位に従って受け付けられ、DTC が起動されます。

7.3.3 DTC ベクタテーブル

図 7.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 7.5 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは $H'0400 + (DTVECR[6:0] \ll 1)$ で求めます ($\ll 1$ は 1 ビットの左シフトを表します)。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

7. データ転送ファコンローラ (DTC)

表 7.5 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割り込み要因	要因発生元	ベクタ 番号	ベクタ アドレス	DTCE*	優先 順位	
DTVECR へのライト	ソフトウェア	DTVECR	H'0400 + (DTVECR[6:0] < < 1)	-	高	
IRQ0	外部端子	16	H'0420	DTCEA7	↑	
IRQ1		17	H'0422	DTCEA6		
IRQ2		18	H'0424	DTCEA5		
IRQ3		19	H'0426	DTCEA4		
IRQ4		20	H'0428	DTCEA3		
IRQ5		21	H'042A	DTCEA2		
IRQ6		22	H'042C	DTCEA1		
IRQ7		23	H'042E	DTCEA0		
ADI (A/D変換終了)	A/D	28	H'0438	DTCEB6	↑	
TGI0A (GR0A コンペアマッチ / インブットキャプチャ)	TPU	32	H'0440	DTCEB5		
TGI0B (GR0B コンペアマッチ / インブットキャプチャ)	チャンネル 0	33	H'0442	DTCEB4		
TGI0C (GR0C コンペアマッチ / インブットキャプチャ)		34	H'0444	DTCEB3		
TGI0D (GR0D コンペアマッチ / インブットキャプチャ)		35	H'0446	DTCEB2		
TGI1A (GR1A コンペアマッチ / インブットキャプチャ)	TPU	40	H'0450	DTCEB1		
TGI1B (GR1B コンペアマッチ / インブットキャプチャ)	チャンネル 1	41	H'0452	DTCEB0		
TGI2A (GR2A コンペアマッチ / インブットキャプチャ)	TPU	44	H'0458	DTCEC7		
TGI2B (GR2B コンペアマッチ / インブットキャプチャ)	チャンネル 2	45	H'045A	DTCEC6		
TGI3A (GR3A コンペアマッチ / インブットキャプチャ)		TPU	48	H'0460		DTCEC5
TGI3B (GR3B コンペアマッチ / インブットキャプチャ)	チャンネル 3	49	H'0462	DTCEC4		
TGI3C (GR3C コンペアマッチ / インブットキャプチャ)		50	H'0464	DTCEC3		
TGI3D (GR3D コンペアマッチ / インブットキャプチャ)		51	H'0466	DTCEC2		
TGI4A (GR4A コンペアマッチ / インブットキャプチャ)	TPU	56	H'0470	DTCEC1		
TGI4B (GR4B コンペアマッチ / インブットキャプチャ)	チャンネル 4	57	H'0472	DTCEC0		
TGI5A (GR5A コンペアマッチ / インブットキャプチャ)	TPU	60	H'0478	DTCED5		
TGI5B (GR5B コンペアマッチ / インブットキャプチャ)	チャンネル 5	61	H'047A	DTCED4		
CMIA0		8ビットタイマ	64	H'0480		DTCED3
CMIB0	チャンネル 0	65	H'0482	DTCED2		
CMIA1	8ビットタイマ	68	H'0488	DTCED1		
CMIB1	チャンネル 1	69	H'048A	DTCED0		
RX10 (受信データフル 0)	SCI	81	H'04A2	DTCEE3		
TX10 (送信データエンプティ 0)	チャンネル 0	82	H'04A4	DTCEE2		
RX11 (受信データフル 1)		SCI	85	H'04AA		DTCEE1
TX11 (送信データエンプティ 1)	チャンネル 1	86	H'04AC	DTCEE0		低

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。0をライトしてください。

7. データトランスファコントローラ (DTC)

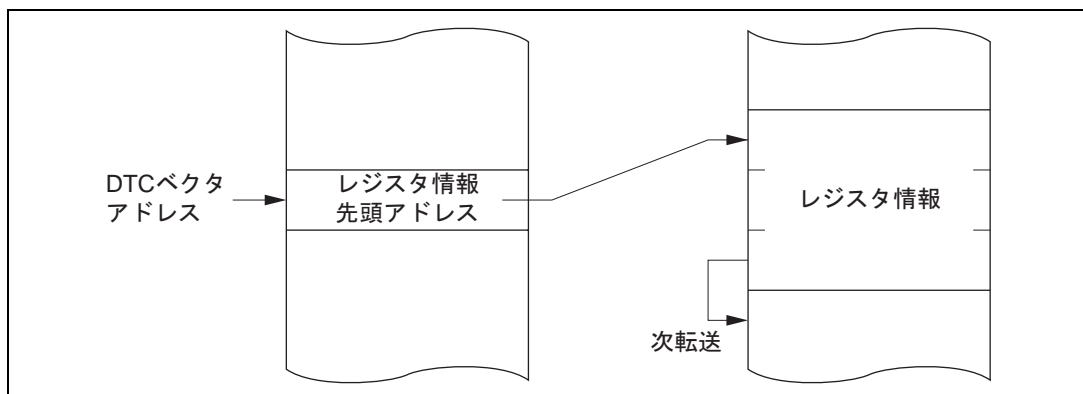


図 7.4 DTC ベクタアドレスとレジスタ情報との対応

7.3.4 アドレス空間上でのレジスタ情報の配置

図 7.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス(ベクタアドレスの内容)から、MRA、SAR、MRB、DAR、CRA、CRBの順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上(アドレス: H'FFF800~H'FFFBFF)に配置してください。

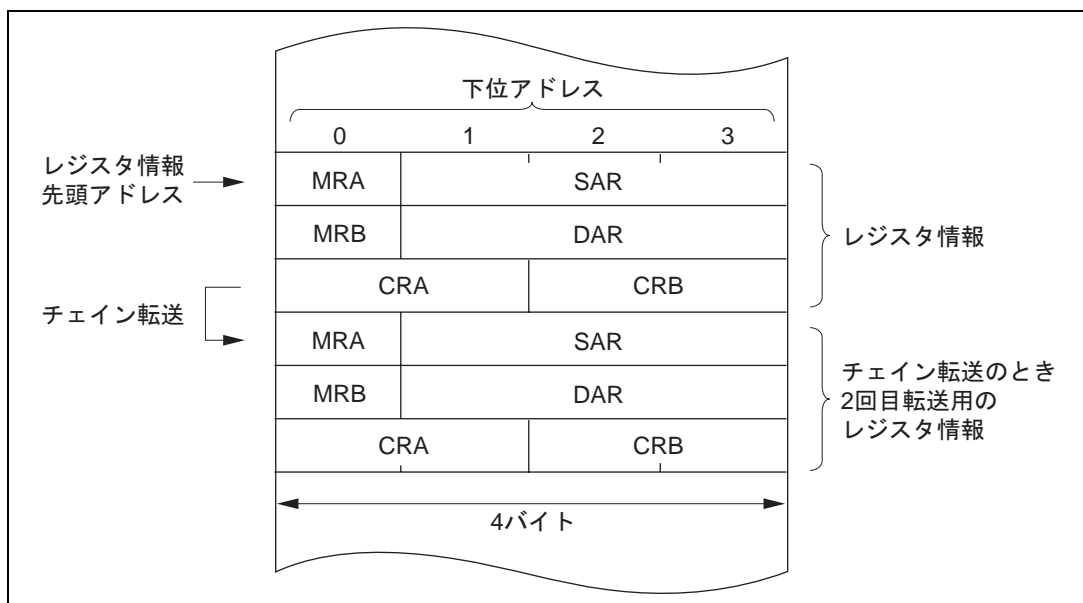


図 7.5 アドレス空間上での DTC レジスタ情報の配置

7.3.5 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込みを要求することができます。

表7.6にノーマルモードのレジスタ機能を、図7.6にノーマルモードのメモリマップを示します。

表 7.6 ノーマルモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

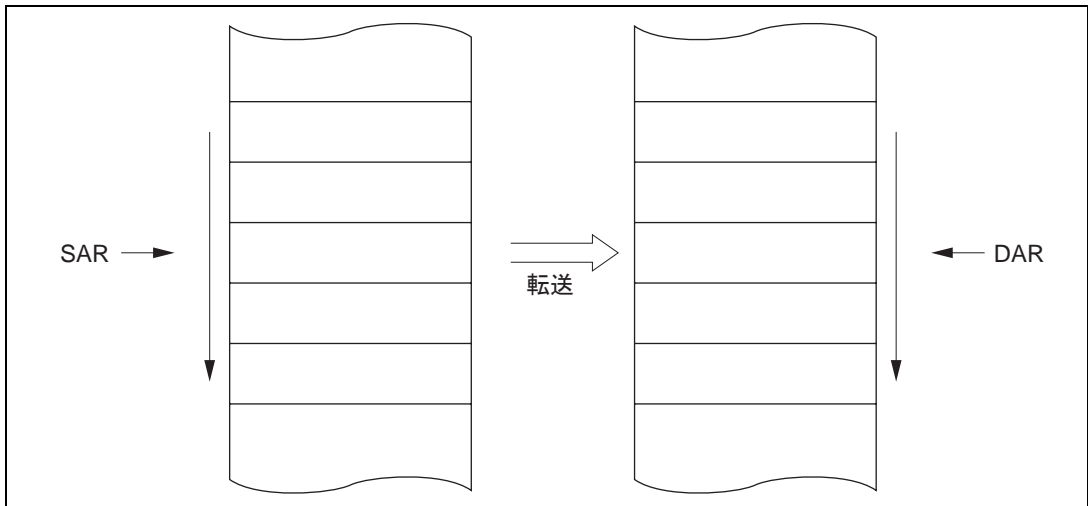


図 7.6 ノーマルモードのメモリマップ

7. データトランスファコントローラ (DTC)

7.3.6 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~256を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00になりませんので、DISEL=0の場合、CPUへの割り込みは要求されません。

表7.7にリピートモードのレジスタ機能を、図7.7にリピートモードのメモリマップを示します。

表 7.7 リピートモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

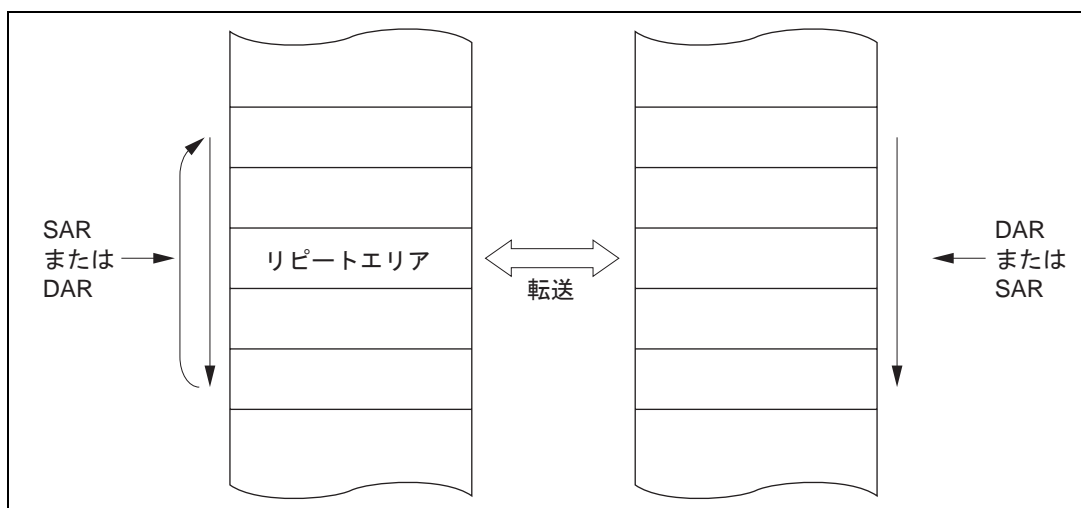


図 7.7 リピートモードのメモリマップ

7.3.7 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは1~256です。1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定とされます。

転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込みを要求することができます。

表7.8にブロック転送モードのレジスタ機能を、図7.8にブロック転送モードのメモリマップを示します。

表 7.8 ブロック転送モードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

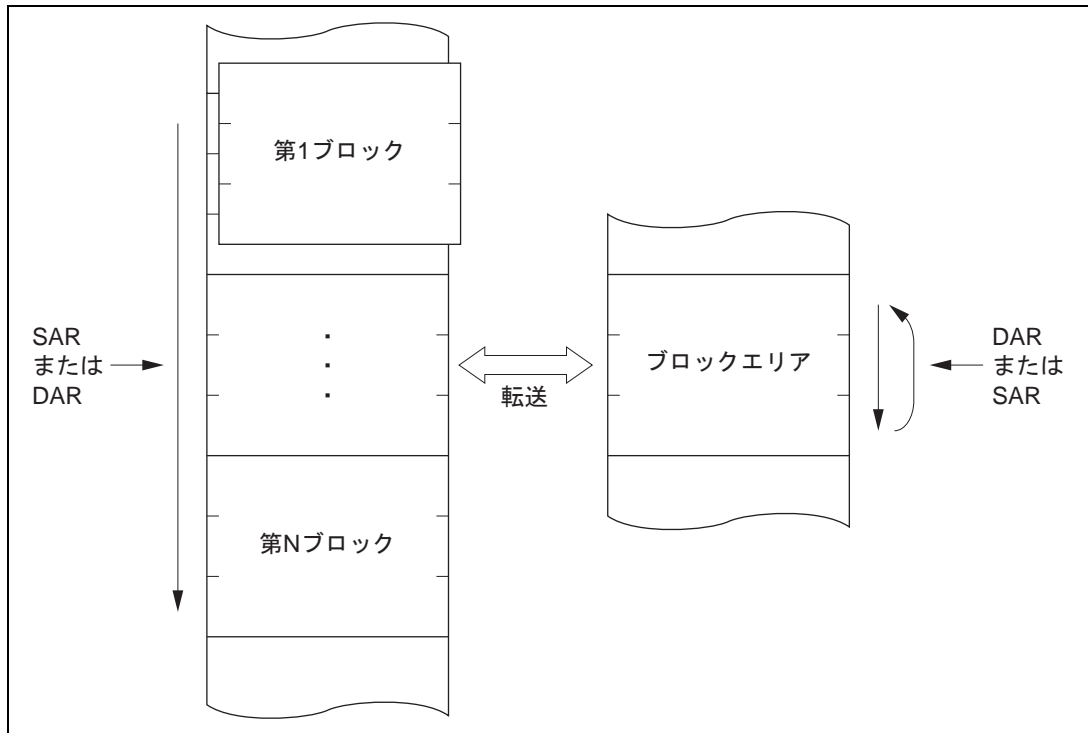


図 7.8 ブロック転送モードのメモリマップ

7.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。また、CHNE ビット、CHNS ビットともに 1 にセットすることにより転送カウンタ=0 のときのみチェイン転送を行う設定も可能です。データ転送を定義する SAR、DAR、CRA、CRB、および MRA、MRB はおのこの独立に設定できます。

図 7.9 にチェイン転送のメモリマップを示します。

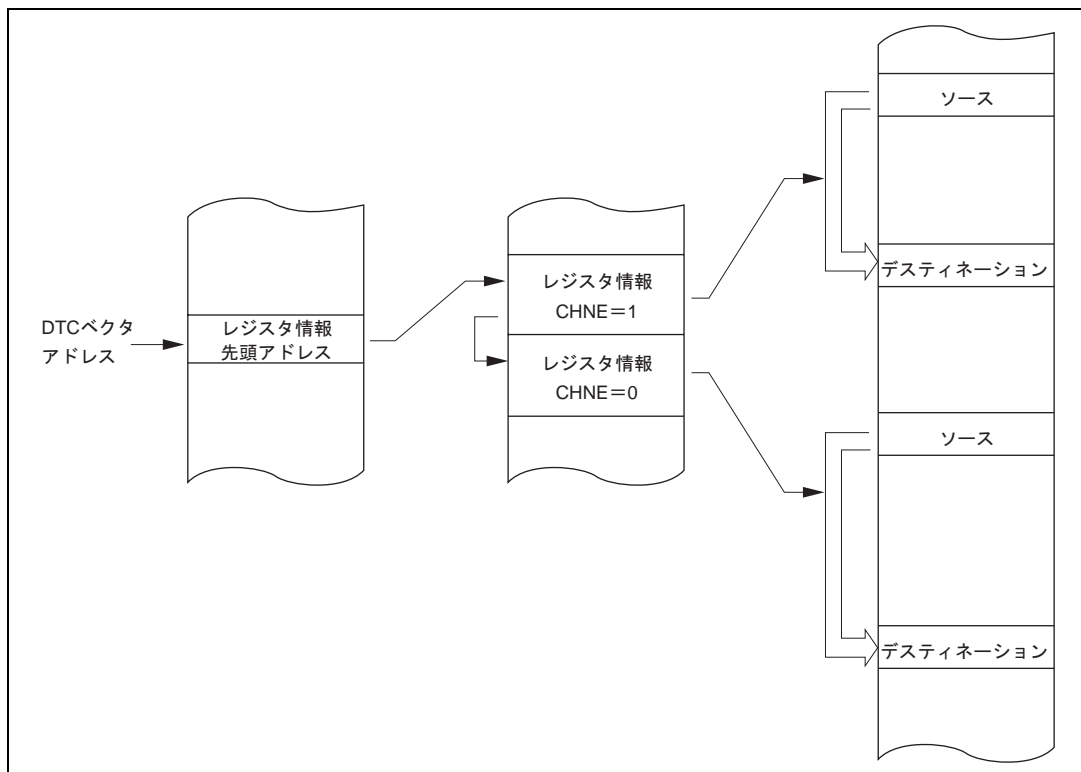


図 7.9 チェイン転送のメモリマップ

CHNE = 1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISSEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

7.3.9 動作タイミング

図 7.10 ~ 図 7.12 に、DTC の動作タイミングの例を示します。

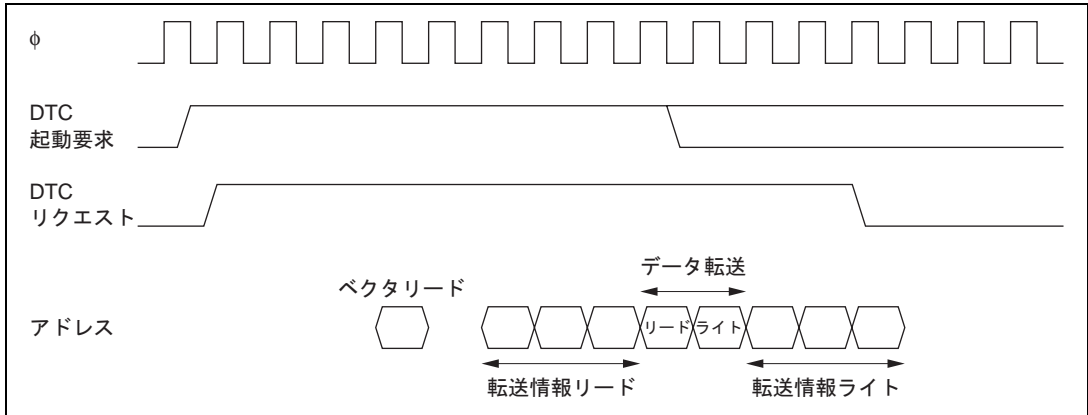


図 7.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

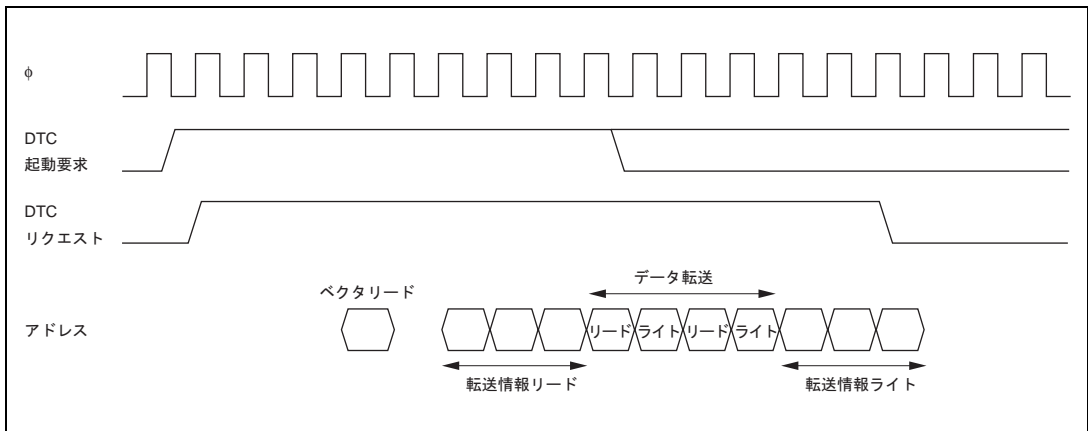


図 7.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

7. データトランスファコントローラ (DTC)

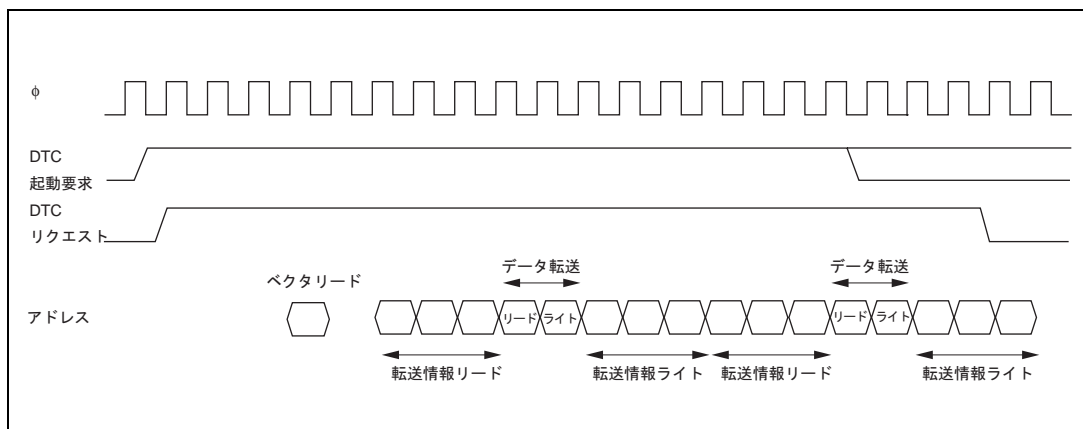


図 7.12 DTC の動作タイミング (チェーン転送の例)

7.3.10 DTC 実行ステート数

表 7.9 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 7.10 に、実行状態に必要なステート数を示します。

表 7.9 DTC の実行状態

モード	ベクタリード	レジスタ情報 リード/ライト	データリード	データライト	内部動作
	I	J	K	L	M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.10 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード S_I	-	1	-	-	4	$6 + 2m$	2	$3 + m$
	レジスタ情報 S_J リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリード S_K	1	1	2	2	2	$3 + m$	2	$3 + m$
	ワードデータリード S_K	1	1	4	2	4	$6 + 2m$	2	$3 + m$
	バイトデータライト S_L	1	1	2	2	2	$3 + m$	2	$3 + m$
ワードデータライト S_L	1	1	4	2	4	$6 + 2m$	2	$3 + m$	
内部動作 S_M				1					

実行ステート数は次の計算式で計算されます。なお、 Σ は1つの起動要因で転送する回数分(CHNEビットを1にセットした数+1)の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTCベクタアドレスを内蔵ROMに配置し、ノーマルモードで、内蔵ROM→内部I/Oレジスタのデータ転送を行った場合、DTCの動作に必要な時間は13ステートです。起動からデータライト終了までの時間は10ステートです。

7.3.11 DTC 使用手順

(1) 割り込みによる起動

DTCの割り込み起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
- [5] 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEを1にセットしてください。

(2) ソフトウェアによる起動

DTCのソフトウェア起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] SWDTE=0を確認します。
- [4] SWDTEに1を、DTVECRにベクタ番号をライトします。
- [5] DTVECRにライトしたベクタ番号を確認します。
- [6] 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

7.3.12 DTC 使用例

(1) ノーマルモード

DTCの使用例として、SCIによる128バイトのデータ受信を行う例を示します。

- [1] MRAはソースアドレス固定(SM1=SM0=0)、デスティネーションアドレスインクリメント(DM1=1、DM0=0)、ノーマルモード(MD1=MD0=0)、バイトサイズ(Sz=0)を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送(CHNE=0、DISEL=0)を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128(H'0080)を設定します。CRBは任意の値とすることができます。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信データフル

7. データトランスファコントローラ (DTC)

(RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。

- [5] SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
- [6] 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(2) カウンタ=0時のチェイン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレスH'0000から始まるように設定するものとします。図7.13にメモリマップを示します。

- [1] 第1のデータ転送として、入力データ用のノーマルモードを設定します。転送元アドレスは固定(G/Aなど)、CRA = H'0000 (64k回)、CHNE = 1、CHNS = 1、DISEL = 0としてください。
- [2] 第1のデータ転送の転送先アドレスの64k回ごとの先頭アドレスの上位8ビットアドレスを別の領域(ROMなど)に用意してください。たとえば、入力バッファをH'200000 ~ H'21FFFFとする場合には、H'21、H'20を用意します。
- [3] 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピートモード(ソース側をリピート領域)とします。転送先は第1のレジスタ情報領域のDAR上位8ビットとします。CHNE = DISEL = 0としてください。上記入力バッファをH'200000 ~ H'21FFFFとする場合には、転送カウンタ=2とします。
- [4] 割り込みによって第1のデータ転送を64k回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'21に設定します。第1のデータ転送の、転送先アドレスの下位16ビット、転送カウンタはH'0000になっています。
- [5] 引き続き、割り込みによって第1のデータ転送を、第1のデータ転送で指定した64k回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'20に設定します。第1のデータ転送の、転送先アドレスの下位16ビット、転送カウンタはH'0000になっています。
- [6] 上記[4] [5]を無限に繰り返します。第2のデータ転送がリピートモードのため、CPUには割り込みを要求しません。

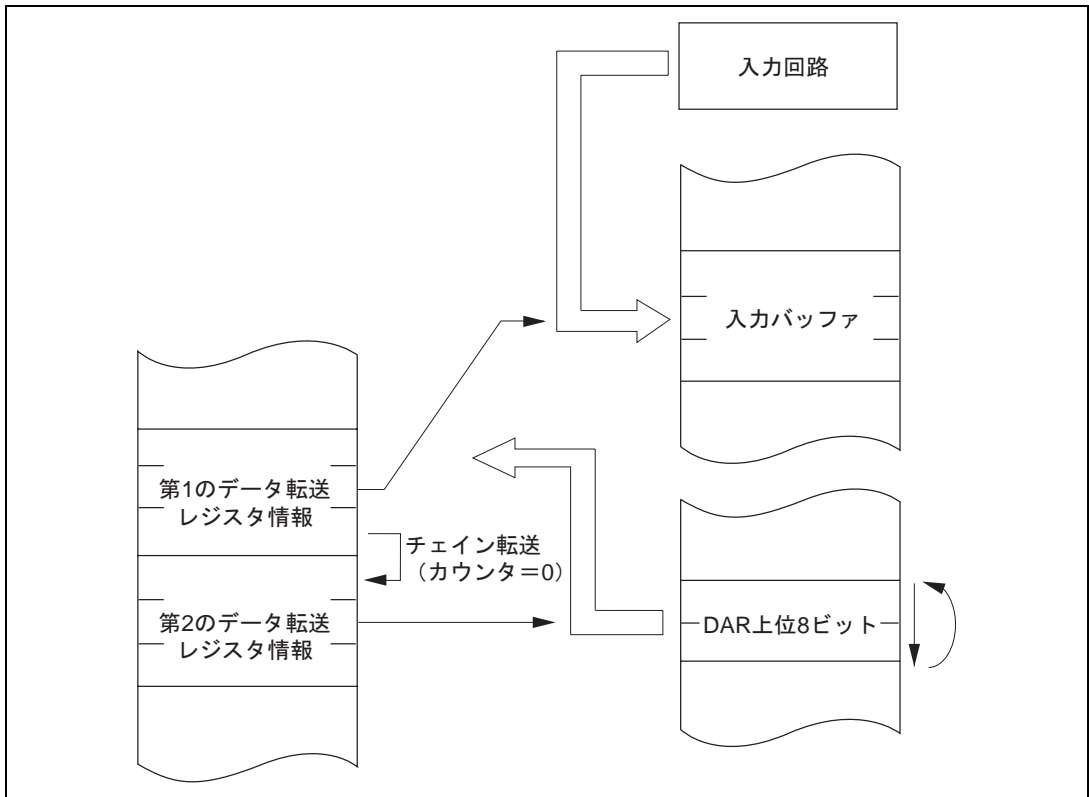


図 7.13 カウンタ=0 時のチェーン転送

(3) ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

- [1] MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスで H'1000、DARは転送先アドレスで H'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
- [3] DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
- [4] SWDTE=1とともに、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
- [5] 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]

7. データトランスファコントローラ (DTC)

に戻ってください。

[6] ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。

[7] 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

7.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

7.5 使用上の注意

(1) モジュールストップ

MSTPCR の MSTP14 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTP14 ビットに 1 をライトできません。

(2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

(3) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

(4) チェイン転送

チェイン転送の場合には、連結された最後のデータ転送時に、起動要因または DTCER のクリアを行います。一方、SCI および A/D 変換器の割り込み/起動要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされます。

したがって、これらの割り込み/起動要因によって、DTC を起動する場合、チェインで連結された最後のデータ転送で、当該レジスタのリード/ライトを含まない場合は割り込み/起動要因が保持されます。

8. I/O ポート

8.1 概要

本 LSI には、10 本の入出力ポート（ポート 1～3、A～G）と 1 本の入力専用ポート（ポート 4）があります。

ポート機能一覧を表 8.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と、出力データを格納するデータレジスタ (DR) と、端子の状態をリードするポートレジスタ (PORT) から構成されています。なお、入力専用ポートには DDR はありません。

ポート A～E には、入力プルアップ MOS が内蔵されており、DDR、DR のほかに、入力プルアップ MOS コントロールレジスタ (PCR) で、入力プルアップ MOS のオン / オフを制御します。

ポート 3、ポート A には、オープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン / オフを制御します。

ポート 1、A～F は 1 個の TTL 負荷と 50pF の容量負荷を駆動することができ、ポート 2、3、G は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

ポート 1、ポート 2、ポート 34、35 (IRQ 入力として使用するときのみ)、ポート F0～F3 (IRQ 入力として使用するときのみ)、ポート G0～G1 (IRQ 入力として使用するときのみ) はシュミットトリガ入力です。

8. I/O ポート

表 8.1 ポートの機能一覧

ポート	概要	端子	モード 4	モード 5	モード 6* ¹	モード 7* ¹
ポート 1	<ul style="list-style-type: none"> 8 ビットの入出力ポート シュミットトリガ入力 	P17/TIOCB2/TCLKD P16/TIOCA2 P15/TIOCB1/TCLKC P14/TIOCA1 P13/TIOCD0/TCLKB/A23 P12/TIOCC0/TCLKA/A22 P11/TIOCB0/A21 P10/TIOCA0/A20	TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と 8 ビット入出力ポートとの兼用			
			DDR = 0 のとき TPU の入出力端子 (TCLKA、TCLKB、TIOCA0、TIOCB0、TIOCC0、TIOCD0) と入力ポートの兼用 DDR = 1 かつ A23E ~ A20E = 1 のときアドレス出力 DDR = 1 かつ A23E ~ A20E = 0 のとき DR 値出力			
ポート 2	<ul style="list-style-type: none"> 8 ビットの入出力ポート シュミットトリガ入力 	P27/TIOCB5/TMO1 P26/TIOCA5/TMO0 P25/TIOCB4/TMCI1 P24/TIOCA4/TMRI1 P23/TIOCD3/TMCI0 P22/TIOCC3/TMRI0 P21/TIOCB3 P20/TIOCA3	TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5) と 8 ビットタイム (チャンネル 0、1) の入出力端子 (TMRI0、TMCI0、TMO0、TMRI1、TMCI1、TMO1) と 8 ビット入出力ポートの兼用			
ポート 3	<ul style="list-style-type: none"> 6 ビットの入出力ポート オープンドレイン出力可能 シュミットトリガ入力 (IRQ5、IRQ4) 	P35/SCK1/IRQ5 P34/SCK0/IRQ4 P33/RxD1 P32/RxD0 P31/TxD1 P30/TxD0	SCI (チャンネル 0、1) の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1) と割り込み入力端子 (IRQ5、IRQ4) と 6 ビット入出力ポートの兼用			
ポート 4	<ul style="list-style-type: none"> 8 ビットの入力ポート 	P47/AN7/DA1 P46/AN6/DA0 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0	A/D 変換器のアナログ入力 (AN7 ~ AN0) と D/A 変換器のアナログ出力 (DA1、DA0) と 8 ビット入力ポートの兼用			
ポート A	<ul style="list-style-type: none"> 4 ビットの入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PA3/A19 ~ PA0/A16	アドレス出力		DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のときアドレス出力	入出力ポート

ポート	概要	端子	モード 4	モード 5	モード 6* ¹	モード 7* ¹
ポート B	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PB7/A15 ~ PB0/A8	アドレス出力		DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート
ポート C	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PC7/A7 ~ PC0/A0	アドレス出力		DDR=0 のとき (リセット後) 入力ポート DDR=1 のときアドレス出力	入出力ポート
ポート D	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PD7/D15 ~ PD0/D8	データバス入出力			入出力ポート
ポート E	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PE7/D7 ~ PE0/D0	8 ビットバスモードのとき入出力ポート 16 ビットバスモードのときデータバス入出力			入出力ポート

8. I/O ポート

ポート	概要	端子	モード4	モード5	モード6* ¹	モード7* ¹
ポート F	<ul style="list-style-type: none"> 8ビットの入出力ポート シュミットトリガ入力 (IRQ3~IRQ0) 	PF7/ ϕ	DDR = 0 のとき入力ポート DDR = 1 のとき (リセット後) ϕ 出力			DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき ϕ 出力
		PF6/ \overline{AS}	ASOD = 1 のとき入出力ポート ASOD = 0 のとき \overline{AS} 出力			入出力ポート
		PF5/ \overline{RD} PF4/ \overline{HWR}	\overline{RD} 、 \overline{HWR} 出力			
		PF3/ \overline{LWR} /IRQ3	8ビットバスモード時、LWROD = 1 のとき入出力ポート 16ビットバスモード時、 \overline{LWR} 出力と割り込み入力端子 (IRQ3) の兼用			割り込み入力端子 (IRQ0~IRQ3) と入出力ポートの兼用
		PF2/ \overline{WAIT} /IRQ2/ \overline{BREQO}	WAITE = 0、BRLE = 0、BREQOE = 0 のとき (リセット後) 入出力ポートと割り込み入力端子 (IRQ2) の兼用			
			WAITE = 1 のとき \overline{WAIT} 入力と割り込み入力端子 (IRQ2) の兼用			
			WAITE = 0、BRLE = 1、BREQOE = 1 のとき \overline{BREQO} 出力と割り込み入力端子 (IRQ2) の兼用			
PF1/ \overline{BACK} /IRQ1/ $\overline{CS5}$ PF0/ \overline{BREQ} /IRQ0/ $\overline{CS4}$	BRLE = 0 のとき (リセット後) 入出力ポートと割り込み入力端子 (IRQ1、IRQ0) CS25E = 1、PF1CS5S = 1、DDR = 1 のとき $\overline{CS5}$ 出力、CS25E = 1、PF0CS4S = 1、DDR = 1 のとき $\overline{CS4}$ 出力の兼用 BRLE = 1 のとき \overline{BREQ} 入力、 \overline{BACK} 出力と割り込み入力端子 (IRQ1、IRQ0) の兼用					

ポート	概要	端子	モード 4	モード 5	モード 6* ¹	モード 7* ¹
ポート G	<ul style="list-style-type: none"> 5 ビットの出力ポート シュミットトリガ入力 ($\overline{\text{IRQ7}}$、$\overline{\text{IRQ6}}$) 	PG4/ $\overline{\text{CS0}}$	DDR = 0 のとき* ² 入力ポート DDR = 1 のとき* ³ $\overline{\text{CS0}}$ 出力			入出力ポートと割り込み入力端子 ($\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ6}}$) と A/D 変換器の入力端子 ($\overline{\text{ADTRG}}$) の兼用
		PG3/ $\overline{\text{CS1}}$ / $\overline{\text{CS7}}$	入出力ポートと DDR = 1、CS167E = 1、CSS17 = 0 で $\overline{\text{CS1}}$ 出力 DDR = 1、CS167E = 1、CSS17 = 1 で $\overline{\text{CS7}}$ 出力			
		PG2/ $\overline{\text{CS2}}$	入出力ポートと DDR = 1、CS25E = 1 で $\overline{\text{CS2}}$ 出力			
		PG1/ $\overline{\text{CS3}}$ / $\overline{\text{IRQ7}}$ / $\overline{\text{CS6}}$	入出力ポートと DDR = 1、CS25E = 1、CSS36 = 0 で $\overline{\text{CS3}}$ 出力 DDR = 1、CSS36 = 1、CS167E = 1 で $\overline{\text{CS6}}$ 出力と割り込み入力端子 ($\overline{\text{IRQ7}}$) の兼用			
		PG0/ $\overline{\text{IRQ6}}$ / $\overline{\text{ADTRG}}$	入出力ポートと割り込み入力端子 ($\overline{\text{IRQ6}}$) と A/D 変換器の入力端子 ($\overline{\text{ADTRG}}$) の兼用			

【注】 *1 ROM なし版ではモード 6、7 は使用できません。

*2 モード 6 のリセット後

*3 モード 4、5 のリセット後

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) とアドレスバス出力の兼用になっています。動作モードによって端子機能が切り替わります。PFCR1 の A23E ~ A20E ビットの設定によってアドレス出力とするか、ポート出力にするか選択できます。ポート 1 はシュミットトリガ入力です。

ポート 1 の各端子の構成を図 8.1 に示します。

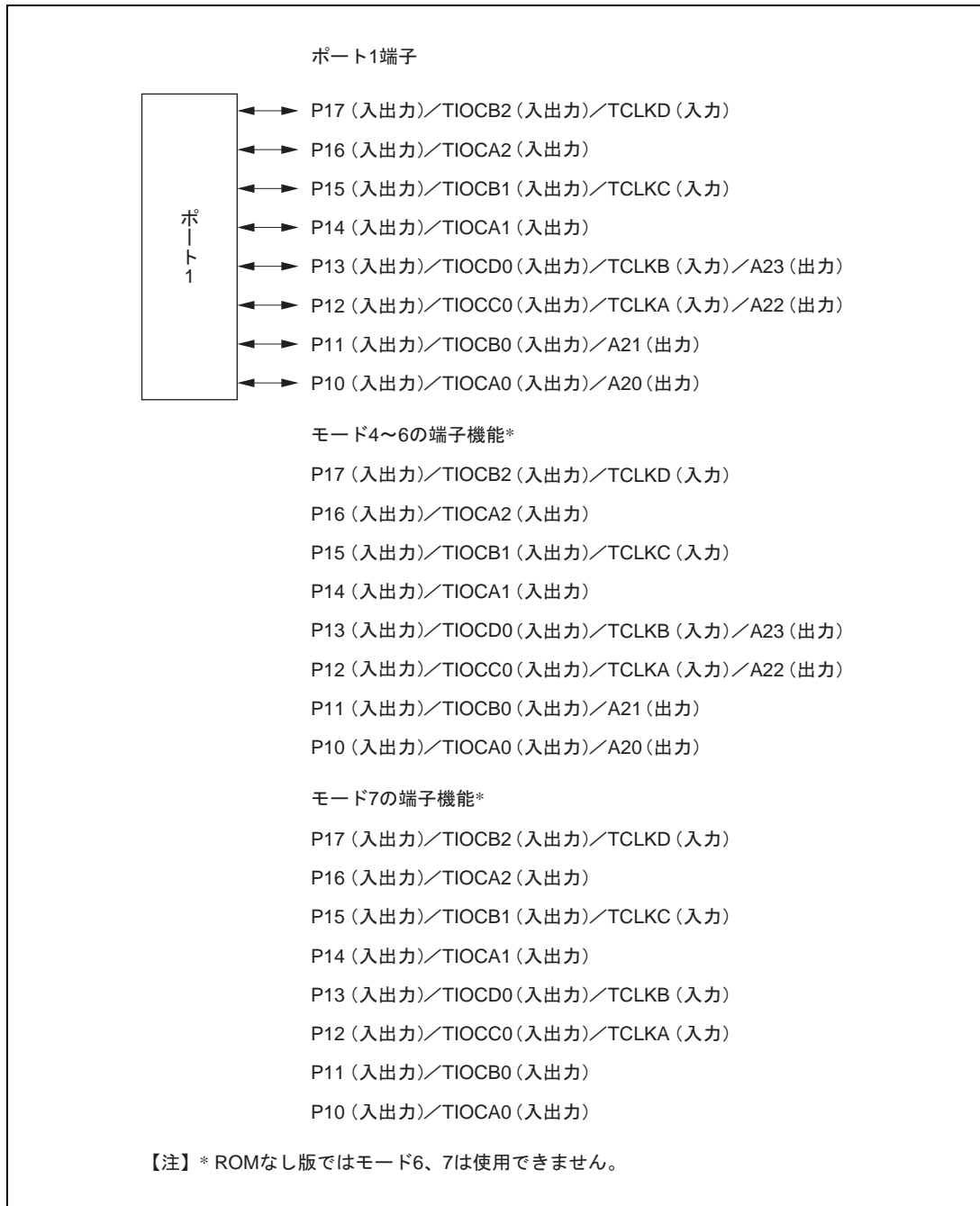


図 8.1 ポート 1 の端子機能

8.2.2 レジスタ構成

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 ポート 1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FEB0
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF60
ポート 1 レジスタ	PORT1	R	不定	H'FF50
ポートファンクションコントロールレジスタ 1	PFCR1	R/W	H'0F	H'FF45

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。

P1DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。

ソフトウェアスタンバイモードに推移したとき、アドレス端子は出力状態を維持するか、ハイインピーダンス状態とするかを SBYCR の OPE ビットで選択します。

(2) ポート 1 データレジスタ (P1DR)

ビット	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 (P17~P10) の出力データを格納します。

P1DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 1 レジスタ (PORT1)

ビット	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * P17 ~ P10 端子の状態により決定されます。

PORT1 は、8 ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート 1 の各端子 (P17 ~ P10) の出力データのライトは必ず PIDR に対して行ってください。

PIDDR が 1 にセットされているとき、ポート 1 のリードを行うと PIDR の値をリードします。PIDDR が 0 にクリアされているとき、ポート 1 のリードを行うと端子の状態が読み出されます。

PORT1 は、リセットまたはハードウェアスタンバイモードでは PIDDR、PIDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポートファンクションコントロールレジスタ 1 (PFCR1)

ビット	7	6	5	4	3	2	1	0
	CSS17	CSS36	PF1CS5S	PF0CS4S	A23E	A22E	A21E	A20E
初期値	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFCR1 は、8 ビットのリード/ライト可能なレジスタで、I/O ポートの制御を行います。PFCR1 は、リセットまたは、ハードウェアスタンバイモード時に、H'0F に初期化されます。

ビット 7: CS17 セレクト (CSS17)

PG3 端子から $\overline{CS1}$ を出力するか、 $\overline{CS7}$ を出力するかを選択します。詳細は「8.12 ポート G」を参照してください。

ビット 6: CS36 セレクト (CSS36)

PG1 端子から $\overline{CS3}$ を出力するか、 $\overline{CS6}$ を出力するかを選択します。詳細は「8.12 ポート G」を参照してください。

ビット 5: ポート F1 チップセレクト 5 セレクト (PF1CS5S)

$\overline{CS5}$ の出力許可/禁止を選択します。詳細は「8.11 ポート F」を参照してください。

ビット 4: ポート F0 チップセレクト 4 セレクト (PF0CS4S)

$\overline{CS4}$ の出力許可/禁止を選択します。詳細は「8.11 ポート F」を参照してください。

8. I/Oポート

ビット3：アドレス23イネーブル (A23E)

アドレス出力23 (A23) の出力許可 / 禁止を選択します。モード4~6のとき有効となります。

ビット3	説明
A23E	
0	P13DDR = 1 で P13DR を出力
1	P13DDR = 1 で A23 を出力 (初期値)

ビット2：アドレス22イネーブル (A22E)

アドレス出力22 (A22) の出力許可 / 禁止を選択します。モード4~6のとき有効となります。

ビット2	説明
A22E	
0	P12DDR = 1 で P12DR を出力
1	P12DDR = 1 で A22 を出力 (初期値)

ビット1：アドレス21イネーブル (A21E)

アドレス出力21 (A21) の出力許可 / 禁止を選択します。モード4~6のとき有効となります。

ビット1	説明
A21E	
0	P11DDR = 1 で P11DR を出力
1	P11DDR = 1 で A21 を出力 (初期値)

ビット0：アドレス20イネーブル (A20E)

アドレス出力20 (A20) の出力許可 / 禁止を選択します。モード4~6のとき有効となります。

ビット0	説明
A20E	
0	P10DDR = 1 で P10DR を出力
1	P10DDR = 1 で A20 を出力 (初期値)

8.2.3 端子機能

ポート1の各端子は、TPUの入出力端子(TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、アドレス出力端子(A23~A20)と兼用になっています。ポート1の端子機能を表8.3に示します。

表 8.3 ポート1の端子機能

端子	選択方法と端子機能						
P17/TIOCB2/ TCLKD	TMDR2のMD3~MD0ビット、TIOCB2のIOB3~IOB0ビット、TCR2のCCLR1、CCLR0ビットによるTPUチャンネル2の設定、TCR0、TCR5のTPSC2~TPSC0ビット、およびP17DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル2の設定	下表(1)		下表(2)			
	P17DDR	—		0	1		
	端子機能	TIOCB2出力		P17入力	P17出力		
				TIOCB2入力*1			
		TCLKD入力*2					
	<p>【注】 *1 MD3~MD0=B'0000、B'01xxかつIOB3=1の場合にTIOCB2入力となります。</p> <p>*2 TCR0、TCR5のいずれかの設定がTPSC2~TPSC0=B'111の場合にTCLKD入力となります。</p> <p>また、チャンネル2、4を位相計数モード(MD3~MD0=B'01xx)に設定すると、TCLKD入力となります。</p>						
	TPUチャンネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3~IOB0	B'0000	B'0001~B'0011	—	B'xx00	B'xx00以外	
		B'0100	B'0101~B'0111				
		B'1xxx					
	CCLR1、CCLR0	—	—	—	—	B'10以外	B'10
	出力機能	—	アウトプット コンペア出力	—	—	PWM モード2出力	—
		x : Don't care					

8. I/O ポート

端子	選択方法と端子機能						
P16/TIOCA2	TMDR2 の MD3 ~ MD0 ビット、TIOR2 の IOA3 ~ IOA0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、および P16DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル2の設定	下表 (1)		下表 (2)			
	P16DDR	—		0	1		
	端子機能	TIOCA2出力		P16入力	P16出力		
				TIOCA2入力*1			
	【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA2 入力となります。						
	TPUチャネル2の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外		
	CCLR1、CCLR0	—	—	—	—	B'01以外	B'01
	出力機能	—	アウトプット コンペア出力	—	PWM *2 モード1出力	PWM モード2出力	—
		x : Don't care					
	【注】 *2 TIOCB2 は出力禁止となります。						

端子	選択方法と端子機能						
P15/TIOCB1/ TCLKC	TMDR1 の MD3～MD0 ビット、TIOR1 の IOB3～IOB0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR0、TCR2、TCR4、TCR5 の TPSC2～TPSC0 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル1の設定	下表 (1)		下表 (2)			
	P15DDR	—		0	1		
	端子機能	TIOCB1出力		P15入力	P15出力		
				TIOCB1入力*1			
	TCLKC入力*2						
	<p>【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOB3～IOB0 = B'10xx の場合に TIOCB1 入力となります。</p> <p>*2 TCR0、TCR2 のいずれかの設定が TPSC2～TPSC0 = B'110 または TCR4、TCR5 のいずれかの設定が TPSC2～TPSC0 = B'101 の場合に TCLKC 入力となります。また、チャンネル 2、4 を位相計数モード (MD3～MD0 = B'01xx) に設定すると、TCLKC 入力となります。</p>						
	TPUチャンネル1の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3～IOB0	B'0000	B'0001～B'0011	—	B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
	CCLR1、CCLR0	—	—	—	—	B'10以外	B'10
	出力機能	—	アウトプット コンペア出力	—	—	PWM モード2出力	—
	x : Don't care						

8. I/O ポート

端子	選択方法と端子機能						
P14/TIOCA1	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOA3 ~ IOA0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャネル 1 の設定、および P14DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル1の設定	下表 (1)		下表 (2)			
	P14DDR	—		0	1		
	端子機能	TIOCA1出力		P14入力	P14出力		
				TIOCA1入力*1			
	【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA1 入力となります。						
	TPUチャネル1の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3~IOA0	B'0000	B'0001~B'0011	B'xx00	B'xx00以外		
		B'0100	B'0101~B'0111				
		B'1xxx					
	CCLR1、CCLR0	—	—	—	—	B'01以外	B'01
	出力機能	—	アウトプット コンペア出力	—	PWM *2 モード1出力	PWM モード2出力	—
		x : Don't care					
	【注】 *2 TIOCB1 は出力禁止となります。						

端子	選択方法と端子機能													
P13/TIOCD0/ TCLKB/A23	動作モード、TMDR0 の MD3～MD0 ビット、TIOR0L の IOD3～IOD0 ビット、TCR0 の CCLR2～CCLR0 ビットによる TPU チャンネル0 の設定、TCR0～TCR2 の TPSC2～TPSC0 ビット、PFCR1 の A23E ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。													
	動作モード			モード7*1			モード4～6*1							
	TPUチャンネル0の設定			下表 (1)		下表 (2)		下表 (1)		下表 (2)				
	P13DDR			—		0 1		0 1		0 1				
	A23E			—		—		0 1		— 0 1				
	端子機能			TIOCD0 出力		P13 入力		P13 出力		TIOCD0 出力				
				TIOCD0 入力*2						TIOCD0入力*2				
	TCLKB入力*3													
	<p>【注】 *1 ROM なし版ではモード 6、7 は使用できません。</p> <p>*2 MD3～MD0 = B'0000、かつ IOD3～IOD0 = B'10xx の場合に TIOCD0 入力となります。</p> <p>*3 TCR0～TCR2 のいずれかの設定が TPSC2～TPSC0 = B'101 の場合に TCLKB 入力となります。</p> <p>また、チャンネル 1、5 を位相計数モード (MD3～MD0 = B'01xx) に設定すると TCLKB 入力となります。</p>													
	TPUチャンネル0の設定		(2)		(1)		(2)		(2)		(1)		(2)	
	MD3～MD0		—		B'0000		B'0010		B'0011		B'0011		—	
	IOD3～IOD0		B'0000		B'0001～B'0011		—		B'xx00		B'xx00以外		—	
			B'0100		B'0101～B'0111									
			B'1xxx											
	CCLR2～CCLR0		—		—		—		—		B'110以外		B'110	
	出力機能		—		アウトプット		—		—		PWM		—	
					コンペア出力						モード2出力			
	x : Don't care													

8. I/O ポート

端子	選択方法と端子機能											
P12/TIOCC0/ TCLKA/A22	動作モード、TMDR0 の MD3 ~ MD0 ビット、TIOR0L の IOC3 ~ IOC0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR0 ~ TCR5 の TPSC2 ~ TPSC0 ビット、PFCR1 の A22E ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。											
	動作モード			モード7*1			モード4~6*1					
	TPUチャンネル0の設定			下表 (1)		下表 (2)		下表 (1)		下表 (2)		
	P12DDR			-		0 1		0 1		0 1		
	A22E			-		-		0 1		- 0 1		
	端子機能			TIOCC0 出力		P12 入力		P12 出力		TIOCC0 出力		
				TIOCC0 入力*2				A22 出力		P12 入力		
								P12 出力		P12 出力		
										TIOCC0入力*2		
	TCLKA入力*3											
	<p>【注】 *1 ROM なし版ではモード 6、7 は使用できません。</p> <p>*2 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC0 入力となります。</p> <p>*3 TCR0 ~ TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。</p> <p>また、チャンネル 1、5 を位相計数モード (MD3 ~ MD0 = B'01xx) に設定すると TCLKA 入力となります。</p>											
	TPUチャンネル0の設定		(2)		(1)		(2)		(1)		(2)	
	MD3~MD0		-		B'0000		B'001x		B'0010		B'0011	
	IOC3~IOC0		B'0000		B'0001~B'0011		B'xx00		B'xx00以外			
			B'0100		B'0101~B'0111							
			B'1xxx									
	CCLR2~CCLR0		-		-		-		-		B'101以外	
	出力機能		-		アウトプット		-		PWM		PWM	
					コンペア出力				モード1出力*4		モード2出力	
	x : Don't care											
	<p>【注】 *4 TIOCC0 は出力禁止となります。</p> <p>TMDR0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。</p>											

8. I/O ポート

端子	選択方法と端子機能										
P10/TIOCA0/A20	動作モード、TMDR0 の MD3～MD0 ビット、TIOR0H の IOA3～IOA0 ビット、TCR0 の CCLR2～CCLR0 ビットによる TPU チャンネル 0 の設定、PFCR1 の A20E ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。										
	動作モード			モード7*1			モード4～6*1				
	TPUチャンネル0の設定			下表 (1)		下表 (2)		下表 (1)		下表 (2)	
	P10DDR			—		0 1		0 1		0 1	
	A20E			—		—		0 1		— 0 1	
	端子機能			TIOCA0 出力		P10 入力 P10 出力		TIOCA0 出力		TIOCA0 出力 A20 出力 P10 入力 P10 出力 A20 出力	
				TIOCA0 入力*2						TIOCA0入力*2	
	<p>【注】 *1 ROM なし版ではモード 6、7 は使用できません。</p> <p>*2 MD3～MD0 = B'0000、かつ IOA3～IOA0 = B'10xx の場合に TIOCA0 入力となります。</p>										
	TPUチャンネル0の設定		(2)	(1)		(2)	(1)	(1)	(2)		
	MD3～MD0		B'0000			B'001x	B'0010	B'0011			
	IOA3～IOA0		B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111		B'xx00	B'xx00以外				
	CCLR2～CCLR0		—	—		—	—	B'001以外		B'001	
	出力機能		—	アウトプット コンペア出力		—	PWM モード1出力*3	PWM モード2出力		—	
	x : Don't care										
	<p>【注】 *3 TIOCB0 は出力禁止となります。</p>										

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5)、8 ビットタイマの入出力端子 (TMRI0、TMCI0、TMO0、TMRI1、TMCI1、TMO1) と兼用になっています。ポート 2 の端子機能はいずれの動作モードでも共通です。ポート 2 はシュミットトリガ入力です。

ポート 2 の各端子の構成を図 8.2 に示します。

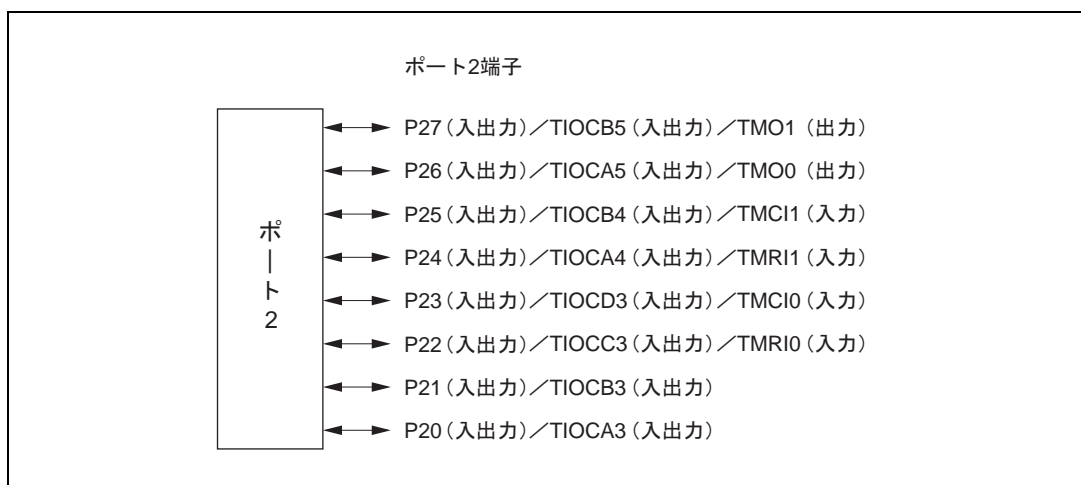


図 8.2 ポート 2 の端子機能

8.3.2 レジスタ構成

表 8.4 にポート 2 のレジスタ構成を示します。

表 8.4 ポート 2 レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FEB1
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FF61
ポート 2 レジスタ	PORT2	R	不定	H'FF51

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 2 データディレクションレジスタ (P2DDR)

ビット	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

8. I/Oポート

P2DDR は、8 ビットのライト専用レジスタで、ポート 2 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P2DDR を 1 にセットすると対応するポート 2 の各端子は出力となり、0 にクリアすると入力になります。

リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。また、ソフトウェアスタンバイモードでは、P2DDR は直前の状態を保持します。

(2) ポート 2 データレジスタ (P2DR)

ビット	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DR は、8 ビットのリード/ライト可能なレジスタで、ポート 2 の各端子 (P27 ~ P20) の出力データを格納します。

P2DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 2 レジスタ (PORT2)

ビット	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * P27 ~ P20 端子の状態により決定されます。

PORT2 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 2 の各端子 (P27 ~ P20) の出力データのライトは必ず P2DR に対して行ってください。

P2DDR が 1 にセットされているとき、ポート 2 のリードを行うと P2DR の値をリードします。P2DDR が 0 にクリアされているとき、ポート 2 のリードを行うと端子の状態が読み出されます。

PORT2 は、リセットまたはハードウェアスタンバイモードでは、P2DDR、P2DR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.3.3 端子機能

ポート 2 の各端子は、TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5)、8 ビットタイマの入出力端子 (TMRI0、TMCI0、TMO0、TMRI1、TMCI1、TMO1) と兼用になっています。ポート 2 の端子機能を表 8.5 に示します。

表 8.5 ポート 2 の端子機能

端子	選択方法と端子機能						
P27/TIOCB5/ TMO1	TMDR5 の MD3 ~ MD0 ビット、TIOR5 の IOB3 ~ IOB0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU チャネル 5 の設定、8 ビットタイマの TCSR1 の OS3 ~ OS0 ビット、および P27DDR ビットの組み合わせにより、次のように切り替わります。						
	OS3 ~ OS0	すべてが 0			いずれかが 1		
	TPU チャネル 5 の設定	下表 (1)	下表 (2)		—		
	P27DDR	—	0	1	—		
	端子機能	TIOCB5 出力	P27 入力	P27 出力	TMO1 出力		
		TIOCB5 入力*					
	【注】 * MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB5 入力となります。						
	TPU チャネル 5 の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	—	B'xx00	B'xx00 以外	
	CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
	出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—
		x : Don't care					

8. I/O ポート

端子	選択方法と端子機能						
P26/TIOCA5/ TMO0	TMDR5 の MD3 ~ MD0 ビット、TIOA5 の IOA3 ~ IOA0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU チャンネル 5 の設定、8 ビットタイマの TCSR0 の OS3 ~ OS0 ビット、および P26DDR ビットの組み合わせにより、次のように切り替わります。						
	OS3 ~ OS0	すべてが 0			いずれかが 1		
	TPU チャンネル 5 の設定	下表 (1)	下表 (2)		—		
	P26DDR	—	0	1	—		
	端子機能	TIOCA5 出力	P26 入力	P26 出力	TMO0 出力		
		TIOCA5 入力*1					
【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA5 入力となります。							
	TPU チャンネル 5 の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外		
	CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
	出力機能	—	アウトプット コンペア出力	—	PWM *2 モード 1 出力	PWM モード 2 出力	—
x : Don't care							
【注】 *2 TIOCB5 は出力禁止となります。							

端子	選択方法と端子機能							
P25/TIOCB4/ TMC11	8ビットタイマの外部クロック入力端子として使用する場合は、TCR1のCKS2～CKS0ビットで外部クロックを選択します。TMDR4のMD3～MD0ビット、TIOB4のIOB3～IOB0ビット、TCR4のCCLR1、CCLR0ビットによるTPUチャンネル4の設定、およびP25DDRビットの組み合わせにより、次のように切り替わります。							
	TPUチャンネル4の設定	下表 (1)		下表 (2)				
	P25DDR	—		0	1			
	端子機能	TIOCB4出力		P25入力	P25出力			
				TIOCB4入力*				
		TMC11入力						
	【注】 * MD3～MD0=B'0000、B'10xxかつIOB3～IOB0=B'10xxの場合にTIOCB4入力となります。							
	TPUチャンネル4の設定	(2)	(1)	(2)	(2)	(1)	(2)	
	MD3～MD0	B'0000、B'01xx		B'0010	B'0011			
	IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外		
	CCLR1、CCLR0	—	—	—	—	B'10以外	B'10	
	出力機能	—	アウトプット コンペア出力	—	—	PWM モード2出力	—	
		x : Don't care						

8. I/O ポート

端子	選択方法と端子機能						
P24/TIOCA4/ TMRI1	8ビットタイマのカウンタリセットとして使用する場合は、TCR1のCCLR1、CCLR0のビットをそれぞれ1にセットします。TMDR4のMD3～MD0ビット、TIOA4のIOA3～IOA0ビット、TCR4のCCLR1、CCLR0ビットによるTPUチャンネル4の設定、およびP24DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル4の設定	下表 (1)		下表 (2)			
	P24DDR	—		0	1		
	端子機能	TIOCA4出力		P24入力	P24出力		
				TIOCA4入力*1			
		TMRI1入力					
	【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3～IOA0=B'10xx の場合に TIOCA4 入力となります。						
	TPUチャンネル4の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外		
	CCLR1、CCLR0	—	—	—	—	B'01以外	B'01
	出力機能	—	アウトプット コンペア出力	—	PWM *2 モード1出力	PWM モード2出力	—
		x : Don't care					
	【注】 *2 TIOCB4 は出力禁止となります。						

端子	選択方法と端子機能						
P23/TIOCD3/ TMCIO	8ビットタイマの外部クロック入力端子として使用する場合は、TCR0のCKS2～CKS0ビットで外部クロックを選択します。TMDR3のMD3～MD0ビット、TIOCR3LのIOD3～IOD0ビット、TCR3のCCLR2～CCLR0ビットによるTPUチャンネル3の設定、およびP23DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル3の設定	下表 (1)		下表 (2)			
	P23DDR	—		0	1		
	端子機能	TIOCD3出力		P23入力	P23出力		
				TIOCD3入力*			
		TMCIO入力					
	【注】 * MD3～MD0=B'0000、かつIOD3～IOD0=B'10xxの場合にTIOCD3入力となります。						
	TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000		B'0010	B'0011		
	IOD3～IOD0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外	
	CCLR2～CCLR0	—	—	—	—	B'110以外	B'110
	出力機能	—	アウトプット コンペア出力	—	—	PWM モード2出力	—
		x : Don't care					

8. I/O ポート

端子	選択方法と端子機能						
P22/TIOCC3/ TMRI0	8ビットタイマのカウンタリセットとして使用する場合は、TCR0のCCLR1、CCLR0のビットをそれぞれ1にセットします。TMDR3のMD3～MD0ビット、TIOCR3LのIOC3～IOC0ビット、TCR3のCCLR2～CCLR0ビットによるTPUチャンネル3の設定、およびP22DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル3の設定	下表 (1)		下表 (2)			
	P22DDR	—		0	1		
	端子機能	TIOCC3出力		P22入力	P22出力		
				TIOCC3入力*1			
		TMRI0入力					
	【注】 *1 MD3～MD0=B'0000、かつIOC3～IOC0=B'10xxの場合にTIOCC3入力となります。						
	TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000		B'001x	B'0010	B'0011	
	IOC3～IOC0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外		
	CCLR2～CCLR0	—	—	—	—	B'101以外	B'101
	出力機能	—	アウトプット コンペア出力	—	PWM *2 モード1出力	PWM モード2出力	—
		x : Don't care					
	【注】 *2 TIOCD3は出力禁止となります。 TMDR3のBFA=1またはBFB=1のときは出力禁止で(2)の設定になります。						

端子	選択方法と端子機能						
P21/TIOCB3	TMDR3 の MD3 ~ MD0 ビット、TIOB3H の IOB3 ~ IOB0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、および P21DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル3の設定	下表 (1)		下表 (2)			
	P21DDR	—		0	1		
	端子機能	TIOCB3出力		P21入力	P21出力		
				TIOCB3入力*			
	【注】 * MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB3 入力となります。						
	TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000		B'0010	B'0011		
	IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	—	B'xx00	B'xx00以外	
	CCLR2 ~ CCLR0	—	—	—	—	B'010以外	B'010
	出力機能	—	アウトプット コンペア出力	—	—	PWM モード2出力	—
	x : Don't care						

8. I/O ポート

端子	選択方法と端子機能						
P20/TIOCA3	TMDR3 の MD3 ~ MD0 ビット、TIOR3H の IOA3 ~ IOA0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、および P20DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル3の設定	下表 (1)		下表 (2)			
	P20DDR	—		0	1		
	端子機能	TIOCA3出力		P20入力	P20出力		
				TIOCA3入力*1			
	【注】 *1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA3 入力となります。						
	TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外		
	CCLR2 ~ CCLR0	—	—	—	—	B'001以外	B'001
	出力機能	—	アウトプット コンペア出力	—	PWM *2 モード1出力	PWM モード2出力	—
		x : Don't care					
	【注】 *2 TIOCB3 は出力禁止となります。						

8.4 ポート 3

8.4.1 概要

ポート 3 は、6 ビットの入出力ポートです。ポート 3 は、SCI の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1)、割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) はシュミットトリガ入力です。ポート 3 の各端子の構成を図 8.3 に示します。

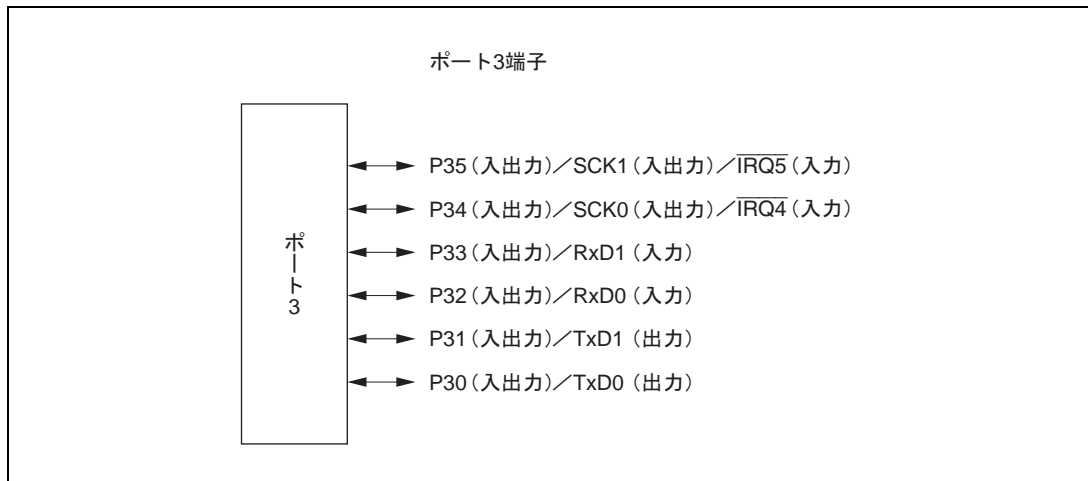


図 8.3 ポート 3 の端子機能

8.4.2 レジスタ構成

表 8.6 にポート 3 のレジスタ構成を示します。

表 8.6 ポート 3 レジスタ構成

名称	略称	R/W	初期値* ¹	アドレス* ²
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FEB2
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF62
ポート 3 レジスタ	PORT3	R	不定	H'FF52
ポート 3 オープンドレイン コントロールレジスタ	P3ODR	R/W	H'00	H'FF76

【注】 *1 ビット 5~0 の値を示しています。

*2 アドレスの下位 16 ビットを示しています。

8. I/Oポート

(1) ポート3データディレクションレジスタ (P3DDR)

ビット	7	6	5	4	3	2	1	0
	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値	不定	不定	0	0	0	0	0	0
R/W	-	-	W	W	W	W	W	W

P3DDRは、8ビットのライト専用レジスタで、ポート3の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット7、6はリザーブビットです。

P3DDRを1にセットすると対応するポート3の各端子は出力となり、0にクリアすると入力になります。

リセットまたはハードウェアスタンバイモードでは、H'00 (ビット5~0)に初期化されます。また、ソフトウェアスタンバイモードでは、直前の状態を保持します。SCIは初期化されるため、P3DDR、P3DRの指定によって端子状態が決定されます。

(2) ポート3データレジスタ (P3DR)

ビット	7	6	5	4	3	2	1	0
	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値	不定	不定	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

P3DRは、8ビットのリード/ライト可能なレジスタで、ポート3の各端子 (P35~P30) の出力データを格納します。

ビット7、6はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DRは、リセットまたはハードウェアスタンバイモードでは、H'00 (ビット5~0)に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート3レジスタ (PORT3)

ビット	7	6	5	4	3	2	1	0
	-	-	P35	P34	P33	P32	P31	P30
初期値	不定	不定	-*	-*	-*	-*	-*	-*
R/W	-	-	R	R	R	R	R	R

【注】 * P35~P30端子の状態により決定されます。

PORT3は、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート3の各端子 (P35~P30) の出力データのライトは必ずP3DRに対して行ってください。

ビット7、6はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DDRが1にセットされているとき、ポート3のリードを行うとP3DRの値をリードします。P3DDRが0にクリアされているとき、ポート3のリードを行うと端子の状態が読み出されます。

PORT3は、リセットまたはハードウェアスタンバイモードでは、P3DDR、P3DRが初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持しま

す。

(4) ポート 3 オープンドレインコントロールレジスタ (P3ODR)

ビット	7	6	5	4	3	2	1	0
	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値	不定	不定	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

P3ODR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 (P35 ~ P30) の PMOS のオン/オフを制御します。

ビット 7、6 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3ODR を 1 にセットするとポート 3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

P3ODR は、リセットまたはハードウェアスタンバイモードでは、H'00 (ビット 5 ~ 0) に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/Oポート

8.4.3 端子機能

ポート3の各端子は、SCIの入出力端子（TxD0、RxD0、SCK0、TxD1、RxD1、SCK1）、割り込み入力端子（IRQ4、IRQ5）と兼用になっています。ポート3の端子機能を表8.7に示します。

表 8.7 ポート3の端子機能

端子	選択方法と端子機能				
P35/SCK1/ IRQ5	SCI1のSMRのC/Aビット、SCRのCKE0、CKE1ビットとP35DDRビットの組み合わせにより、次のように切り替わります。				
	CKE1		0		1
	C/A		0	1	—
	CKE0		0	1	—
	P35DDR		0	1	—
端子機能	P35	P35	SCK1出力端子*1	SCK1出力端子*1	SCK1入力端子
	入力端子	出力端子*1	IRQ5割り込み入力端子*2		
<p>【注】 *1 P35ODR = 1 のとき、NMOS オープンドレイン出力になります。 *2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子としては使用しないでください。</p>					
P34/SCK0/ IRQ4	SCI0のSMRのC/Aビット、SCRのCKE0、CKE1ビットとP34DDRビットの組み合わせにより、次のように切り替わります。				
	CKE1		0		1
	C/A		0	1	—
	CKE0		0	1	—
	P34DDR		0	1	—
端子機能	P34	P34	SCK0出力端子*1	SCK0出力端子*1	SCK0入力端子
	入力端子	出力端子*1	IRQ4割り込み入力端子*2		
<p>【注】 *1 P34ODR = 1 のとき、NMOS オープンドレイン出力になります。 *2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子としては使用しないでください。</p>					

端子	選択方法と端子機能			
P33/RxD1	SCI1 の SCR の RE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。			
	RE	0		1
	P33DDR	0	1	—
	端子機能	P33入力端子	P33出力端子*	RxD1入力端子
【注】 * P33ODR = 1 のとき、NMOS オープンドレイン出力になります。				
P32/RxD0	SCI0 の SCR の RE ビットと P32DDR ビットの組み合わせにより、次のように切り替わります。			
	RE	0		1
	P32DDR	0	1	—
	端子機能	P32入力端子	P32出力端子*	RxD0入力端子
【注】 * P32ODR = 1 のとき、NMOS オープンドレイン出力になります。				
P31/TxD1	SCI1 の SCR の TE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。			
	TE	0		1
	P31DDR	0	1	—
	端子機能	P31入力端子	P31出力端子*	TxD1出力端子*
【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。				
P30/TxD0	SCI0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。			
	TE	0		1
	P30DDR	0	1	—
	端子機能	P30入力端子	P30出力端子*	TxD0出力端子*
【注】 * P30ODR = 1 のとき、NMOS オープンドレイン出力になります。				

8.5 ポート4

8.5.1 概要

ポート4は、8ビットの入力専用ポートです。ポート4は、A/D変換器のアナログ入力端子（AN0～AN7）とD/A変換器のアナログ出力端子（DA0、DA1）との兼用になっています。ポート4の端子機能はいずれの動作モードでも共通です。ポート4の各端子の構成を図8.4に示します。

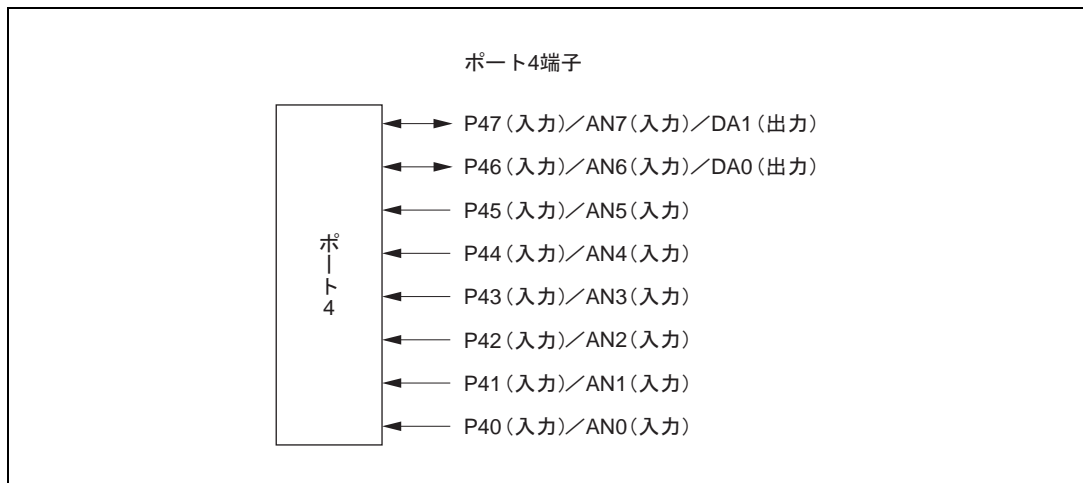


図 8.4 ポート4の端子機能

8.5.2 レジスタ構成

表8.8にポート4のレジスタ構成を示します。ポート4は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 8.8 ポート4レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート4レジスタ	PORT4	R	不定	H'FF53

【注】 * アドレスの下位16ビットを示しています。

(1) ポート4レジスタ (PORT4)

PORT4のリードを行うと、常に端子の状態が読み出されます。

ビット	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * P47～P40端子の状態により決定されます。

8.5.3 端子機能

ポート4の各端子は、A/D変換器のアナログ入力端子(AN0~AN7)とD/A変換器のアナログ出力端子(DA0、DA1)との兼用になっています。

8.6 ポート A

8.6.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A は、アドレスバス出力と兼用になっています。動作モードによって端子機能が切り替わります。

ポート A は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート A の各端子の構成を図 8.5 に示します。

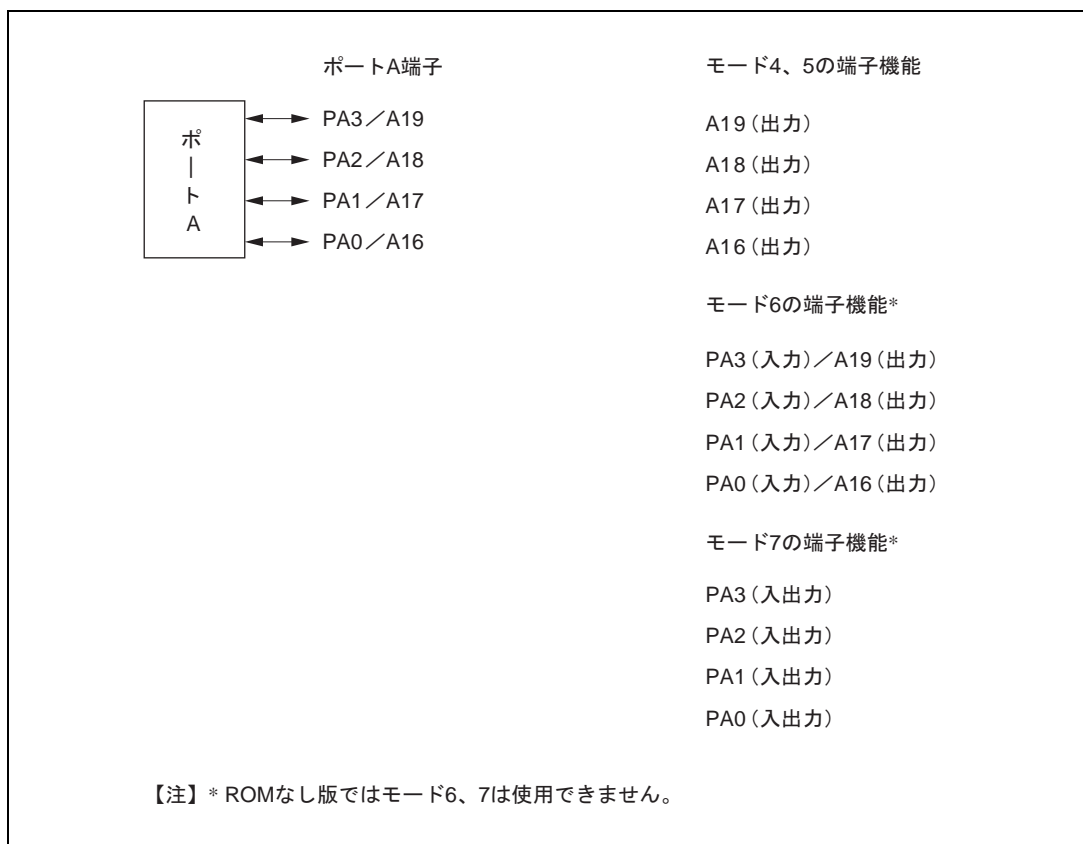


図 8.5 ポート A の端子機能

8.6.2 レジスタ構成

表 8.9 にポート A のレジスタ構成を示します。

表 8.9 ポート A レジスタ構成

名称	略称	R/W	初期値* ¹	アドレス* ²
ポート A データディレクションレジスタ	PADDR	W	H'0	H'FEB9
ポート A データレジスタ	PADR	R/W	H'0	H'FF69
ポート A レジスタ	PORTA	R	不定	H'FF59
ポート A ブルアップ MOS コントロールレジスタ	PAPCR	R/W	H'0	H'FF70
ポート A オープンドレイン コントロールレジスタ	PAODR	R/W	H'0	H'FF77

【注】 *1 ビット 3~0 の値を示しています。

*2 アドレスの下位 16 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット 7~4 はリザーブビットです。

PADDR は、リセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。ソフトウェアスタンバイモードでは、PADDR は直前の状態を保持します。ソフトウェアスタンバイモードに移行したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4、5

PA3DDR ~ PA0DDR ビットにかかわらず、対応するポート A の各端子はアドレス出力となります。

(b) モード 6*

PADDR を 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7*

PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

【注】 *ROM なし版ではモード 6、7 は使用できません。

8. I/Oポート

(2) ポート A データレジスタ (PADR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA3~PA0) の出力データを格納します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PADR は、リセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート A レジスタ (PORTA)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3	PA2	PA1	PA0
初期値	不定	不定	不定	不定	- *	- *	- *	- *
R/W	-	-	-	-	R	R	R	R

【注】 * PA3~PA0 端子の状態により決定されます。

PORTA は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート A の各端子 (PA3~PA0) の出力データのライトは必ず PADR に対して行ってください。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PADDR が 1 にセットされているとき、ポート A のリードを行うと PADR の値をリードします。PADDR が 0 にクリアされているとき、ポート A のリードを行うと端子の状態が読み出されます。

PORTA は、リセットまたはハードウェアスタンバイモードでは、PADDR、PADR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート A プルアップ MOS コントロールレジスタ (PAPCR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

PAPCR は、8 ビットのリード/ライト可能なレジスタで、ポート A に内蔵された入力プルアップ MOS をビットごとに制御します。

ビット 7~4 は、リザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

モード 6、7*ではビット 3~0 が有効です。モード 4、5 ではすべてのビットが無効です。PADDR を 0 にクリアした (入力ポート) 状態で、PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PAPCR は、リセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

【注】*ROM なし版ではモード 6、7 は使用できません。

(5) ポート A オープンドレインコントロールレジスタ (PAODR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

PAODR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA3~PA0) の PMOS のオン/オフを制御します。

ビット 7~4 は、リザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PAODR は、モード 7*で有効です。

PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PAODR は、リセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

【注】*ROM なし版ではモード 6、7 は使用できません。

8.6.3 モード別端子機能

(1) モード 4、5

モード 4、5 のとき、ポート A の下位 4 ビットは自動的にアドレス出力になります。

ポート A の端子機能を図 8.6 に示します。

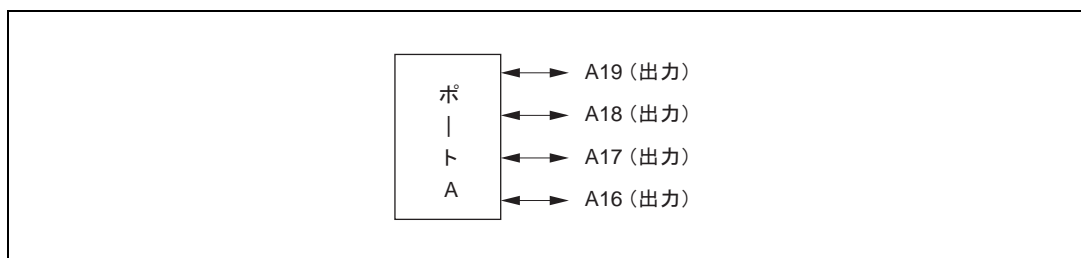


図 8.6 ポート A の端子機能 (モード 4、5)

8. I/Oポート

(2) モード6*

モード6*のとき、ポートAはアドレス出力または、入力ポートとして機能します。ビット単位で入出力を指定可能です。PADDRの各ビットを1にセットすると対応する端子はアドレス出力になり、0にクリアすると入力ポートになります。

ポートAの端子機能を図8.7に示します。

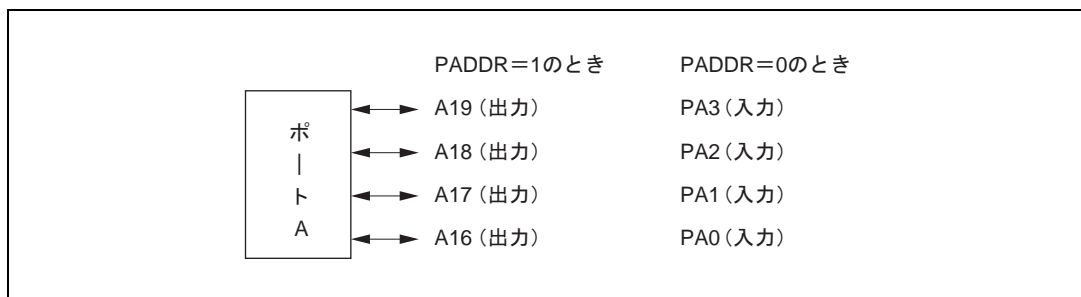


図 8.7 ポートAの端子機能（モード6）

(3) モード7*

モード7*のとき、ポートAは入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PADDRの各ビットを1にセットすると対応する端子は出力ポートになり、0にクリアすると入力ポートになります。

ポートAの端子機能を図8.8に示します。

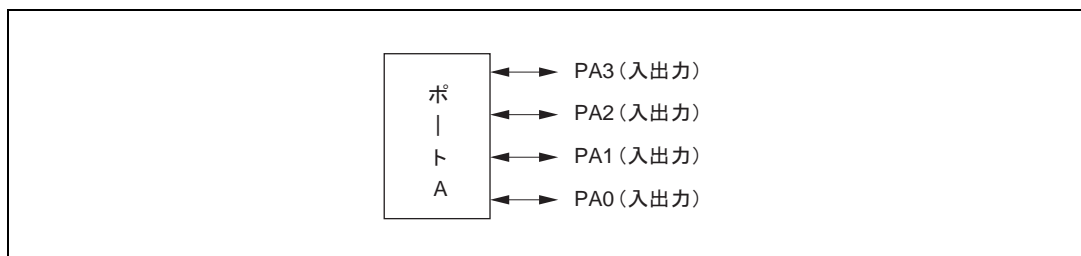


図 8.8 ポートAの端子機能（モード7）

【注】*ROMなし版ではモード6、7は使用できません。

8.6.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7*のときに使用できます。モード 4、5 のときは使用できません。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

PADDR を 0 にクリアした状態で、PAPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモード時にはオフします。ソフトウェアスタンバイモード時には直前の状態を保持します。

入力プルアップ MOS の状態を表 8.10 に示します。

表 8.10 入力プルアップ MOS の状態 (ポート A)

モード		リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
6、7*	PA3 ~ PA0	OFF		ON/OFF	
4、5	PA3 ~ PA0			OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

【注】 *ROM なし版ではモード 6、7 は使用できません。

8.7 ポート B

8.7.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B の各端子の構成を図 8.9 に示します。

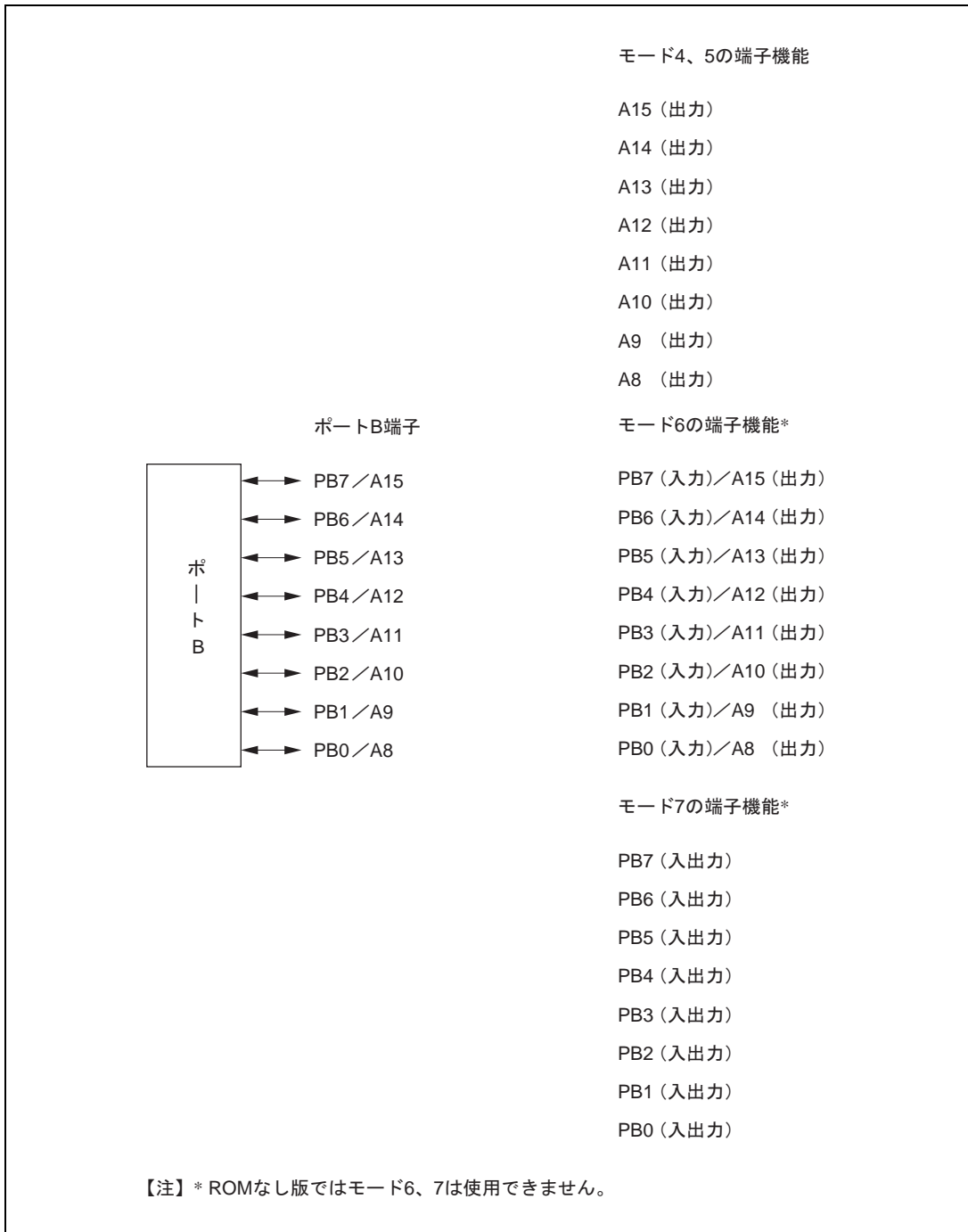


図 8.9 ポート B の端子機能

8. I/O ポート

8.7.2 レジスタ構成

表 8.11 にポート B のレジスタ構成を示します。

表 8.11 ポート B レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FEBA
ポート B データレジスタ	PBDR	R/W	H'00	H'FF6A
ポート B レジスタ	PORTB	R	不定	H'FF5A
ポート B プルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FF71

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PBDDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、PBDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4、5

PBDDR にかかわらず、対応するポート B の各端子はアドレス出力となります。

(b) モード 6*

PBDDR を 1 にセットすると対応するポート B の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7*

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

【注】 *ROM なし版ではモード 6、7 は使用できません。

(2) ポート B データレジスタ (PBDR)

ビット	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB7~PB0) の出力データを格納します。

PBDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B レジスタ (PORTB)

ビット	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * PB7~PB0 端子の状態により決定されます。

PORTB は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート B の各端子 (PB7~PB0) の出力データのライトは必ず PBDR に対して行ってください。

PBDDR が 1 にセットされているとき、ポート B のリードを行うと PBDR の値をリードします。PBDDR が 0 にクリアされているとき、ポート B のリードを行うと端子の状態が読み出されます。

PORTB は、リセットまたはハードウェアスタンバイモードでは、PBDDR、PBDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート B プルアップ MOS コントロールレジスタ (PBPCR)

ビット	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBPCR は、8 ビットのリード/ライト可能なレジスタで、ポート B に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 6、7 では、PBDDR を 0 にクリアした (入力ポート) 状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PBPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.7.3 モード別端子機能

(1) モード4、5

モード4、5のとき、ポートBは自動的にアドレス出力になります。
ポートBの端子機能を図8.10に示します。

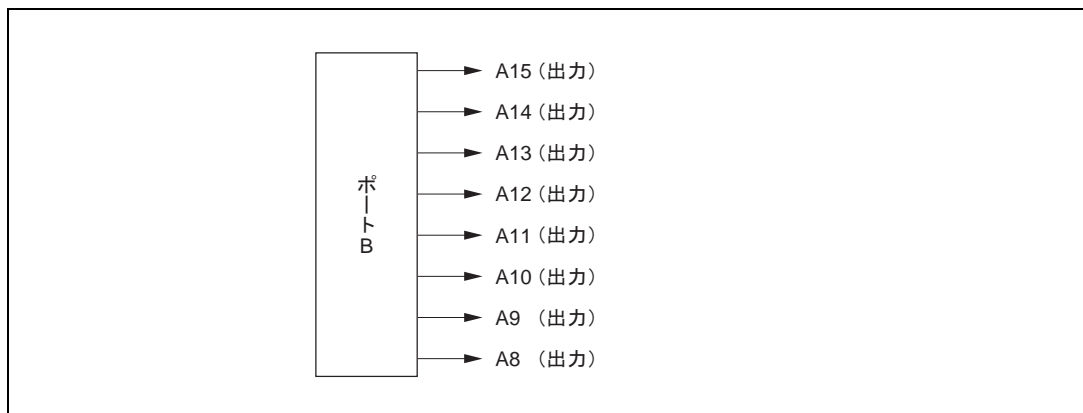


図 8.10 ポート B の端子機能 (モード 4、5)

(2) モード6*

モード6のとき、ポートBはアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PBDDRの各ビットを1にセットすると対応する端子はアドレス出力になり、0にクリアすると入力ポートになります。

ポートBの端子機能を図8.11に示します。

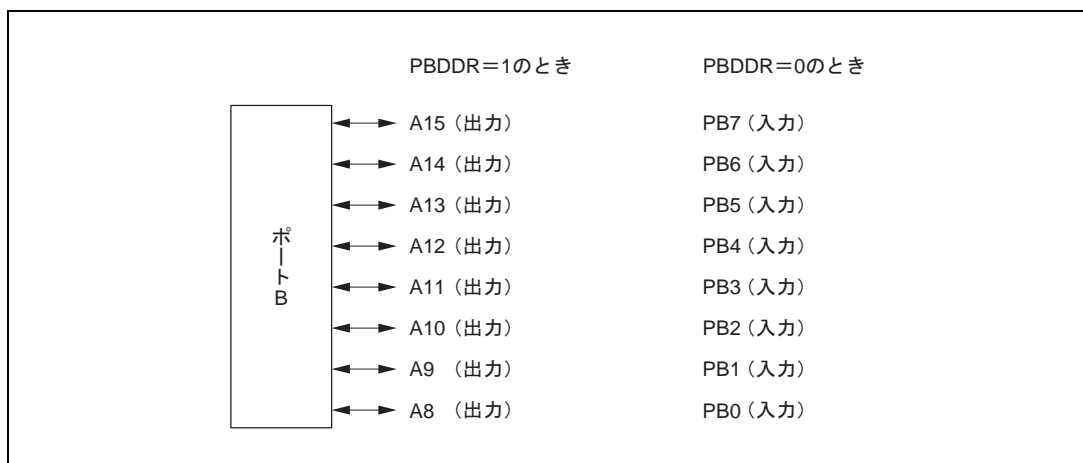


図 8.11 ポート B の端子機能 (モード 6)

(3) モード 7*

モード 7 のとき、ポート B は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PBDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート B の端子機能を図 8.12 に示します。

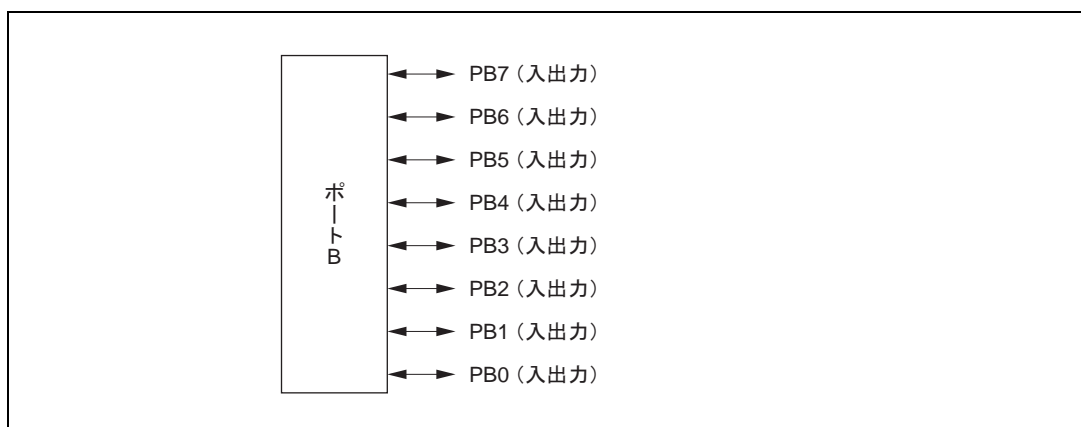


図 8.12 ポート B の端子機能 (モード 7)

【注】*ROM なし版ではモード 6、7 は使用できません。

8.7.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 6、7 のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.12 に示します。

表 8.12 入力プルアップ MOS の状態 (ポート B)

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
4、5	OFF		OFF	
6、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

8.8 ポート C

8.8.1 概要

ポート C は、8 ビットの入出力ポートです。ポート C は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート C は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート C の各端子の構成を図 8.13 に示します。

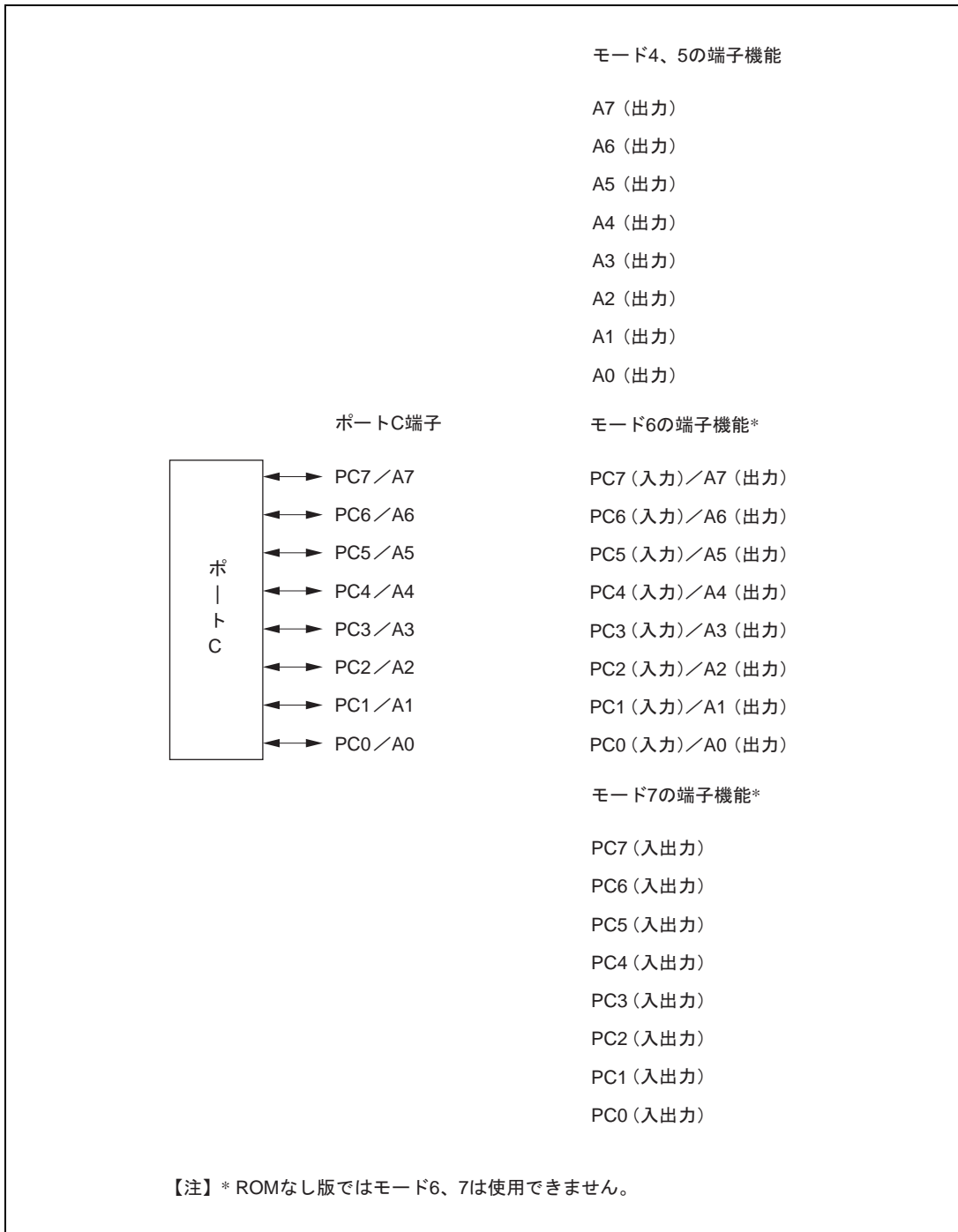


図 8.13 ポート C の端子機能

8. I/O ポート

8.8.2 レジスタ構成

表 8.13 にポート C のレジスタ構成を示します。

表 8.13 ポート C レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FE6B
ポート C データレジスタ	PCDR	R/W	H'00	H'FF6B
ポート C レジスタ	PORTC	R	不定	H'FF5B
ポート C プルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FF72

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート C データディレクションレジスタ (PCDDR)

ビット	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PCDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PCDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4、5

PCDDR にかかわらず、対応するポート C の各端子はアドレス出力となります。

(b) モード 6*

PCDDR を 1 にセットすると対応するポート C の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7*

PCDDR を 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

【注】 *ROM なし版ではモード 6、7 は使用できません。

(2) ポート C データレジスタ (PCDR)

ビット	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCDR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC7~PC0) の出力データを格納します。

PCDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート C レジスタ (PORTC)

ビット	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * PC7~PC0 端子の状態により決定されます。

PORTC は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート C の各端子 (PC7~PC0) の出力データのライトは必ず PCDR に対して行ってください。

PCDDR が 1 にセットされているとき、ポート C のリードを行うと PCDR の値をリードします。PCDDR が 0 にクリアされているとき、ポート C のリードを行うと端子の状態が読み出されます。

PORTC は、リセットまたはハードウェアスタンバイモードでは、PCDDR、PCDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート C プルアップ MOS コントロールレジスタ (PCPCR)

ビット	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCPCR は、8 ビットのリード/ライト可能なレジスタで、ポート C に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 6、7 では、PCDDR を 0 にクリアした (入力ポート) 状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PCPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.8.3 モード別端子機能

(1) モード4、5

モード4、5のとき、ポートCは自動的にアドレス出力になります。
ポートCの端子機能を図8.14に示します。

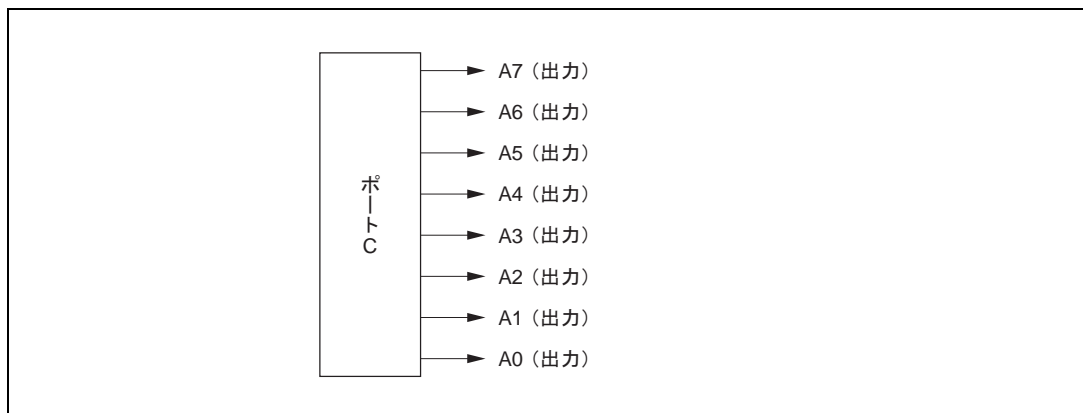


図 8.14 ポートCの端子機能（モード4、5）

(2) モード6*

モード6のとき、ポートCはアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PCDDRの各ビットを1にセットすると対応する端子はアドレス出力になり、0にクリアすると入力ポートになります。

ポートCの端子機能を図8.15に示します。

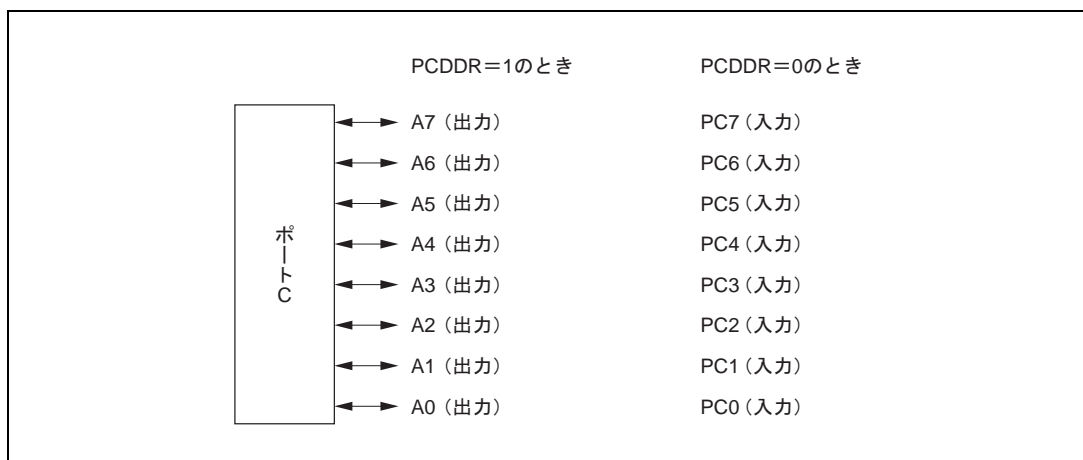


図 8.15 ポートCの端子機能（モード6）

(3) モード 7*

モード 7 のとき、ポート C は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PCDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート C の端子機能を図 8.16 に示します。

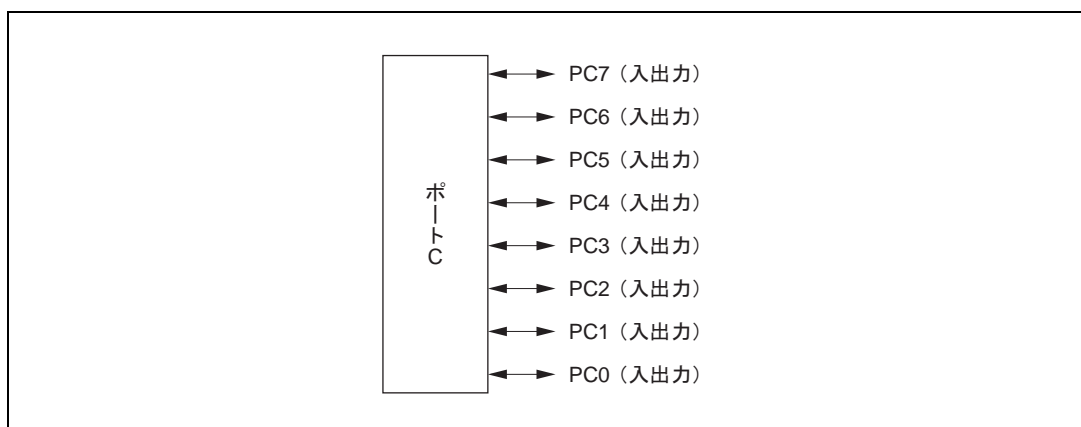


図 8.16 ポート C の端子機能 (モード 7)

【注】*ROM なし版ではモード 6、7 は使用できません。

8.8.4 入力プルアップ MOS

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 6、7 のとき、PCDDR を 0 にクリアした状態で PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.14 に示します。

表 8.14 入力プルアップ MOS の状態 (ポート C)

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
4、5	OFF		OFF	
6、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

8.9 ポート D

8.9.1 概要

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート D の各端子の構成を図 8.17 に示します。

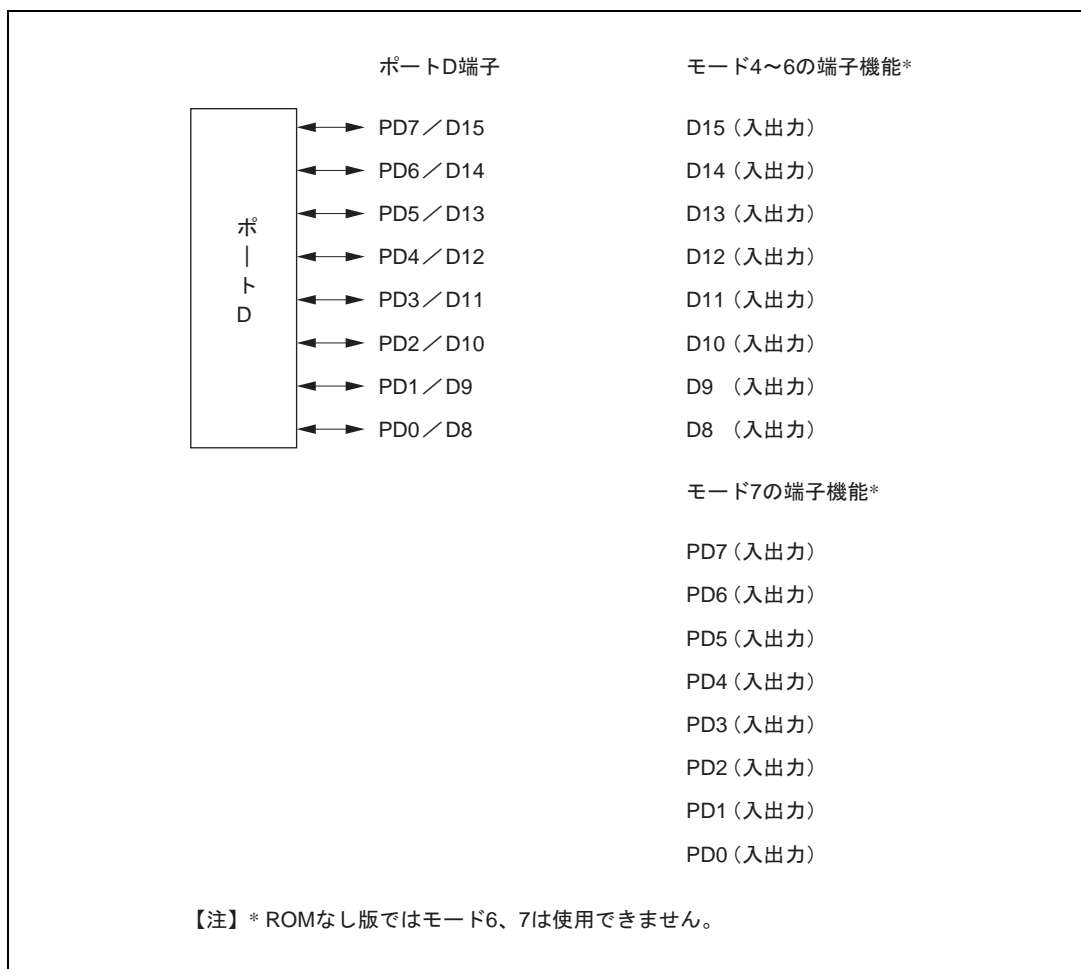


図 8.17 ポート D の端子機能

8.9.2 レジスタ構成

表 8.15 にポート D のレジスタ構成を示します。

表 8.15 ポート D レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FEBC
ポート D データレジスタ	PDDR	R/W	H'00	H'FF6C
ポート D レジスタ	PORTD	R	不定	H'FF5C
ポート D プルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FF73

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート D データディレクションレジスタ (PDDDR)

ビット	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PDDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PDDDR は直前の状態を保持します。

(a) モード 4~6*

PDDDR による入出力の方向は無視され、自動的にデータ入出力となります。

(b) モード 7*

PDDDR を 1 にセットすると対応するポート D の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

【注】 *ROM なし版ではモード 6、7 は使用できません。

(2) ポート D データレジスタ (PDDR)

ビット	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDDR は、8 ビットのリード/ライト可能なレジスタで、ポート D の各端子 (PD7~PD0) の出力データを格納します。

PDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウ

8. I/O ポート

エアスタンバイモードでは、直前の状態を保持します。

(3) ポート D レジスタ (PORTD)

ビット	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * PD7~PD0 端子の状態により決定されます。

PORTD は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート D の各端子 (PD7~PD0) の出力データのライトは必ず PDDR に対して行ってください。

PDDDR が 1 にセットされているとき、ポート D のリードを行うと PDDR の値をリードします。PDDDR が 0 にクリアされているとき、ポート D のリードを行うと端子の状態が読み出されます。

PORTD は、リセットまたはハードウェアスタンバイモードでは、PDDDR、PDDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート D プルアップ MOS コントロールレジスタ (PDPCR)

ビット	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDPCR は、8 ビットのリード/ライト可能なレジスタで、ポート D に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 7 では、PDDDR を 0 にクリアした (入力ポート) 状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PDPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.9.3 モード別端子機能

(1) モード4~6*

モード4~6のとき、ポートDは自動的にデータ入出力になります。
ポートDの端子機能を図8.18に示します。

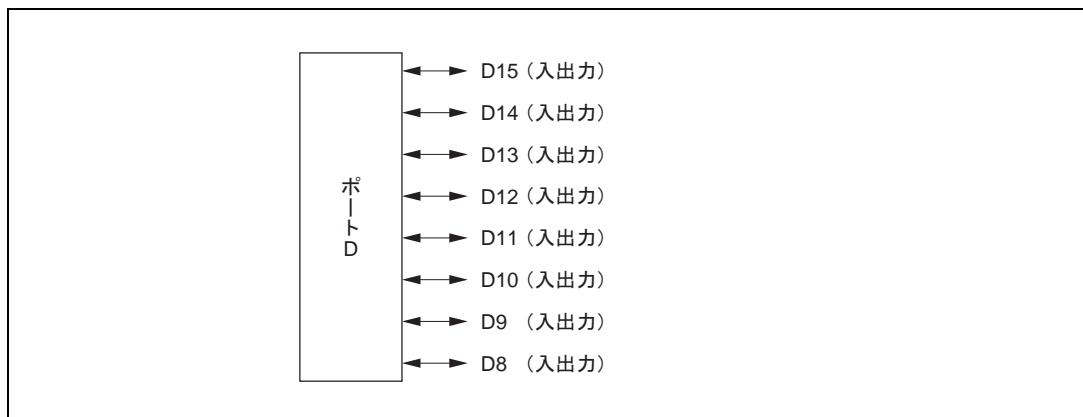


図 8.18 ポートDの端子機能（モード4~6）

(2) モード7*

モード7のとき、ポートDは入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PDDDRの各ビットを1にセットすると対応する端子は出力ポートになり、0にクリアすると入力ポートになります。

ポートDの端子機能を図8.19に示します。

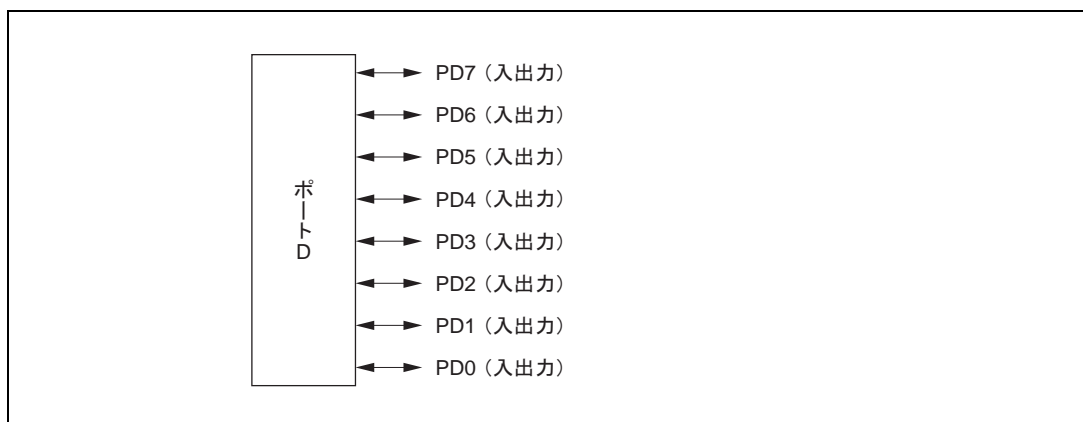


図 8.19 ポートDの端子機能（モード7）

【注】*ROMなし版ではモード6、7は使用できません。

8.9.4 入力プルアップ MOS

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 7 のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.16 に示します。

表 8.16 入力プルアップ MOS の状態 (ポート D)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
4~6	OFF		OFF	
7	ON/OFF			

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

8.10 ポート E

8.10.1 概要

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット / 16 ビットバスモードによって端子機能が切り替わります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート E の各端子の構成を図 8.20 に示します。

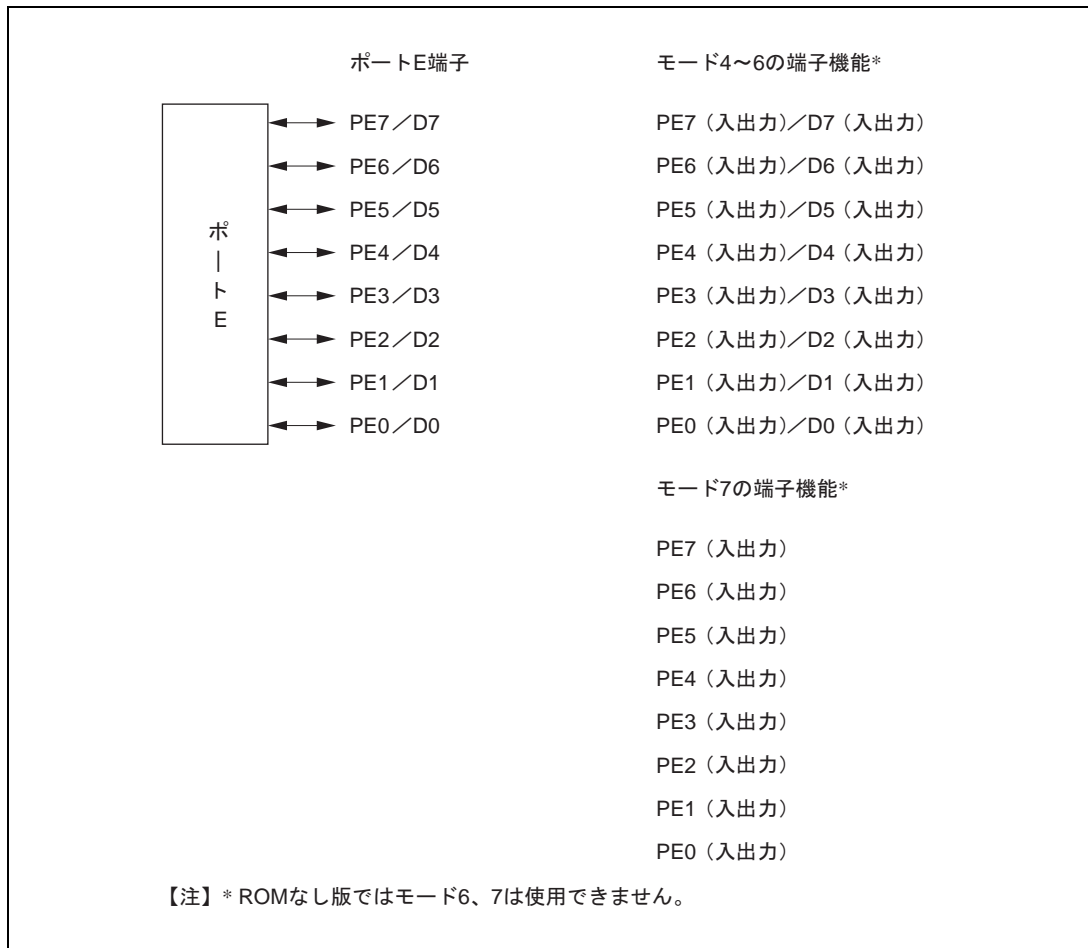


図 8.20 ポート E の端子機能

8. I/O ポート

8.10.2 レジスタ構成

表 8.17 にポート E のレジスタ構成を示します。

表 8.17 ポート E レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート E データディレクションレジスタ	PEDDDR	W	H'00	H'FEBD
ポート E データレジスタ	PEDR	R/W	H'00	H'FF6D
ポート E レジスタ	PORTE	R	不定	H'FF5D
ポート E ブルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FF74

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート E データディレクションレジスタ (PEDDDR)

ビット	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PEDDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PEDDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PEDDDR は直前の状態を保持します。

(a) モード 4~6*

8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。16 ビットバスモードとしたとき、PEDDDR による入出力の方向は無視され、データ入出力となります。

8 ビット / 16 ビットバスモードについては「第 6 章 バスコントローラ」を参照してください。

(b) モード 7*

PEDDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

【注】 *ROM なし版ではモード 6、7 は使用できません。

(2) ポート E データレジスタ (PEDR)

ビット	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEDR は、8 ビットのリード/ライト可能なレジスタで、ポート E の各端子 (PE7 ~ PE0) の出力データを格納します。

PEDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート E レジスタ (PORTE)

ビット	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * PE7 ~ PE0 端子の状態により決定されます。

PORTE は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート E の各端子 (PE7 ~ PE0) の出力データのライトは必ず PEDR に対して行ってください。

PEDDR が 1 にセットされているとき、ポート E のリードを行うと PEDR の値をリードします。PEDDR が 0 にクリアされているとき、ポート E のリードを行うと端子の状態が読み出されます。

PORTE は、リセットまたはハードウェアスタンバイモードでは、PEDDR、PEDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート E プルアップ MOS コントロールレジスタ (PEPCR)

ビット	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEPCR は、8 ビットのリード/ライト可能なレジスタで、ポート E に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4 ~ 6 で 8 ビットパスモードのとき、またはモード 7 のとき、PEDDR を 0 にクリアした (入力ポート) 状態で、PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PEPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.10.3 モード別端子機能

(1) モード4~6*

モード4~6の場合で、8ビットアクセス空間に設定し、8ビットバスモードとしたとき、ポートEは入出力ポートとして機能します。PEDDRを1にセットすると対応するポートEの各端子は出力ポートとなり、0にクリアすると入力ポートになります。

また、16ビットバスモードとしたとき、PEDDRによる入出力の方向は無視され、データ入出力となります。

ポートEの端子機能を図8.21に示します。

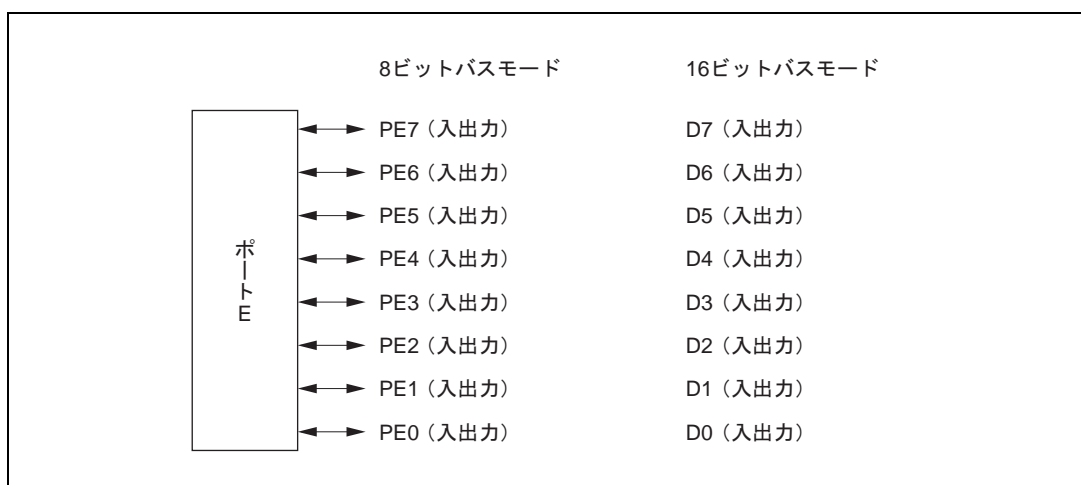


図 8.21 ポート E の端子機能 (モード 4~6)

(2) モード 7*

モード 7 のとき、ポート E は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PEDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート E の端子機能を図 8.22 に示します。

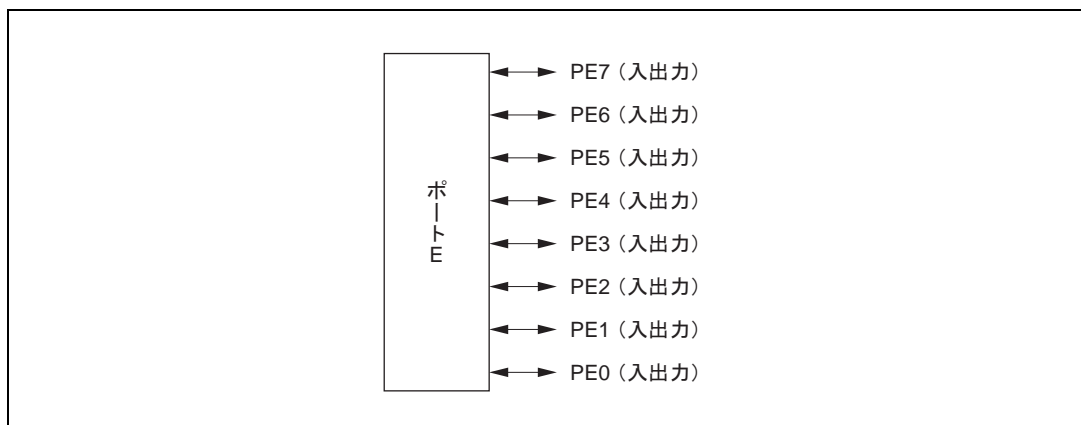


図 8.22 ポート E の端子機能 (モード 7)

【注】*ROM なし版ではモード 6、7 は使用できません。

8.10.4 入力プルアップ MOS

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.18 に示します。

表 8.18 入力プルアップ MOS の状態 (ポート E)

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
7		OFF			ON/OFF
4~6	8 ビットバス				OFF
	16 ビットバス				OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR = 0 かつ PEPCR = 1 のときオン状態、その他のときはオフ状態です。

8.11 ポート F

8.11.1 概要

ポート F は、8 ビットの入出力ポートです。ポート F は、バス制御信号入出力端子 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{WAIT} 、 \overline{BREQ} 、 \overline{BACK} 、 \overline{BREQO} 、 $\overline{CS4}$ 、 $\overline{CS5}$)、システムクロック (ϕ) 出力端子、および割り込み入力端子 ($\overline{IRQ0} \sim \overline{IRQ3}$) と兼用になっています。

割り込み入力端子 ($\overline{IRQ0} \sim \overline{IRQ3}$) はシュミットトリガ入力です。

ポート F の各端子の構成を図 8.23 に示します。

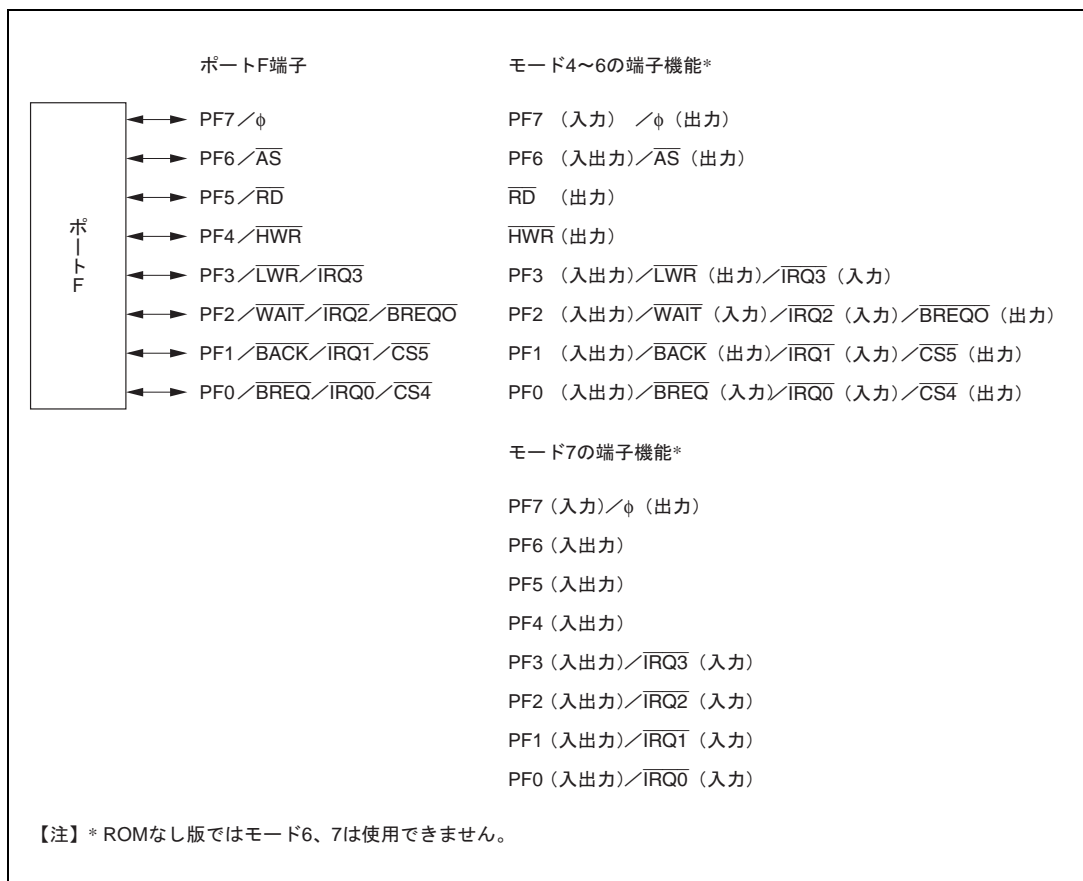


図 8.23 ポート F の端子機能

8.11.2 レジスタ構成

表 8.19 にポート F のレジスタ構成を示します。

表 8.19 ポート F レジスタ構成

名称	略称	R/W	初期値	アドレス*1
ポート F データディレクションレジスタ	PFDDR	W	H'80 / H'00*2	H'FEBE
ポート F データレジスタ	PFDR	R/W	H'00	H'FF6E
ポート F レジスタ	PORTF	R	不定	H'FF5E
バスコントロールレジスタ L	BCRL	R/W	H'3C	H'FED5
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
ポートファンクションコントロールレジスタ 1	PFGR1	R/W	H'0F	H'FF45
ポートファンクションコントロールレジスタ 2	PFGR2	R/W	H'30	H'FFAC

【注】 *1 アドレスの低位 16 ビットを示しています。

*2 モードによって、初期値が異なります。

(1) ポート F データディレクションレジスタ (PFDDR)

ビット	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
モード 4~6*								
初期値	1	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W
モード 7*								
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PFDDR は、リセットまたはハードウェアスタンバイモードでは、モード 4~6* の場合 H'80 に、モード 7* の場合 H'00 に初期化されます。ソフトウェアスタンバイモードでは、PFDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

【注】 *ROM なし版ではモード 6、7 は使用できません。

(2) ポート F データレジスタ (PFDR)

ビット	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8. I/O ポート

PFDR は、8 ビットのリード/ライト可能なレジスタで、ポート F の各端子 (PF7 ~ PF0) の出力データを格納します。

PFDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート F レジスタ (PORTF)

ビット	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

【注】 * PF7 ~ PF0 端子の状態により決定されます。

PORTF は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート F の各端子 (PF7 ~ PF0) の出力データのライトは必ず PFDR に対して行ってください。

PFDDR が 1 にセットされているとき、ポート F のリードを行うと PFDR の値をリードします。PFDDR が 0 にクリアされているとき、ポート F のリードを行うと端子の状態が読み出されます。

PORTF は、リセットまたはハードウェアスタンバイモードでは、PFDDR、PFDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポートファンクションコントロールレジスタ 1 (PFCR1)

ビット	7	6	5	4	3	2	1	0
	CSS17	CSS36	PF1CS5S	PF0CS4S	A23E	A22E	A21E	A20E
初期値	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFCR1 は、8 ビットのリード/ライト可能なレジスタで、I/O ポートの制御を行います。PFCR1 は、リセットまたは、ハードウェアスタンバイモード時に、H'0F に初期化されます。

ビット 7 : CS17 セレクト (CSS17)

PG3 端子から $\overline{CS1}$ を出力するか、 $\overline{CS7}$ を出力するかを選択します。詳細は「8.12 ポート G」を参照してください。

ビット 6 : CS36 セレクト (CSS36)

PG1 端子から $\overline{CS3}$ を出力するか、 $\overline{CS6}$ を出力するかを選択します。詳細は「8.12 ポート G」を参照してください。

ビット 5：ポート F1 チップセレクト 5 セレクト (PF1CS5S)

$\overline{\text{CS5}}$ の出力許可 / 禁止を選択します。モード 4~6 のとき有効となります。

ビット 5	説明
PF1CS5S	
0	PF1 は、PF1/ $\overline{\text{BACK}}$ / $\overline{\text{IRQ1}}$ 端子 (初期値)
1	PF1 は、PF1/ $\overline{\text{BACK}}$ / $\overline{\text{IRQ1}}$ / $\overline{\text{CS5}}$ 端子。BRLE = 0、CS25E = 1、PF1DDR = 1 で $\overline{\text{CS5}}$ を出力許可

ビット 4：ポート F0 チップセレクト 4 セレクト (PF0CS4S)

$\overline{\text{CS4}}$ の出力許可 / 禁止を選択します。モード 4~6 のとき有効となります。

ビット 4	説明
PF0CS4S	
0	PF0 は、PF0/ $\overline{\text{BREQ}}$ / $\overline{\text{IRQ0}}$ 端子 (初期値)
1	PF0 は、PF0/ $\overline{\text{BREQ}}$ / $\overline{\text{IRQ0}}$ / $\overline{\text{CS4}}$ 端子。BRLE = 0、CS25E = 1、PF0DDR = 1 で $\overline{\text{CS4}}$ を出力許可

ビット 3：アドレス 23 イネーブル (A23E)

アドレス出力 23 (A23) の出力許可 / 禁止を選択します。詳細は「8.2 ポート 1」を参照してください。

ビット 2：アドレス 22 イネーブル (A22E)

アドレス出力 22 (A22) の出力許可 / 禁止を選択します。詳細は「8.2 ポート 1」を参照してください。

ビット 1：アドレス 21 イネーブル (A21E)

アドレス出力 21 (A21) の出力許可 / 禁止を選択します。詳細は「8.2 ポート 1」を参照してください。

ビット 0：アドレス 20 イネーブル (A20E)

アドレス出力 20 (A20) の出力許可 / 禁止を選択します。詳細は「8.2 ポート 1」を参照してください。

(5) ポートファンクションコントロールレジスタ 2 (PFCR2)

ビット	7	6	5	4	3	2	1	0
	-	-	CS167E	CS25E	ASOD	-	-	-
初期値	0	0	1	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

PFCR2 は、8 ビットのリード / ライト可能なレジスタで、I/O ポートの制御を行います。PFCR2 はリセット、またはハードウェアスタンバイモード時に、H'30 に初期化されます。

8. I/Oポート

ビット7、6：リザーブビット

0をライトしてください。

ビット5：CS167 イネーブル (CS167E)

$\overline{CS1}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ 出力の許可 / 禁止を選択します。詳細は「8.12 ポート G」を参照してください。

ビット4：CS25 イネーブル (CS25E)

$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力の許可 / 禁止を選択します。DDR ビットが0の状態ではCS25E ビットを切り替えてください。モード4~6のとき有効となります。

ビット4 CS25E	説明
0	$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力禁止 (I/Oポートとして使用可能)
1	$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力許可 (初期値)

ビット3：AS 出力ディスエーブル (ASOD)

\overline{AS} 出力の許可 / 禁止を選択します。モード4~6のとき有効となります。

ビット3 ASOD	説明
0	PF6 を \overline{AS} 出力端子として設定 (初期値)
1	PF6 を \overline{AS} 出力端子とはならず I/Oポートとして設定

ビット2~0：リザーブビット

リードすると常に0が読み出されます。

(6) システムコントロールレジスタ (SYSCR)

ビット	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMIEG	LWROD	-	RAME
初期値	0	0	0	0	0	0	0	1
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W

ビット2：LWR 出力ディスエーブル (LWROD)

\overline{LWR} 出力の許可 / 禁止を選択します。モード4~6のとき有効となります。

ビット2 LWROD	説明
0	PF3 を \overline{LWR} 出力端子として設定 (初期値)
1	PF3 は \overline{LWR} 出力端子とはならず I/Oポートとして設定

(7) バスコントロールレジスタ L (BCRL)

ビット	7	6	5	4	3	2	1	0
	BRLE	BREQOE	EAE	-	-	-	-	WAITE
初期値	0	0	1	1	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRL は 8 ビットのリード/ライト可能なレジスタで、外部バス解放状態のprotocolsの選択、エリア分割単位の選択、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

BCRL は、リセットおよびハードウェアスタンバイモード時に、H'3C に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7: バスリリースイネーブル (BRLE)

外部バス権の解放を許可または禁止します。

ビット 7	説明
BRLE	
0	外部バス権の解放を禁止。 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可 (初期値)
1	外部バス権の解放を許可

ビット 6: BREQO 端子イネーブル (BREQOE)

外部バス解放状態のとき、内部バスマスタが外部空間アクセスを行うとき、外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQ}}$) を取り下げるよう要求する信号を出力します。

ビット 6	説明
BREQOE	
0	$\overline{\text{BREQO}}$ 出力禁止。 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可 (初期値)
1	$\overline{\text{BREQO}}$ 出力許可

ビット 0: WAIT 端子イネーブル (WAITE)

$\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。

ビット 0	説明
WAITE	
0	$\overline{\text{WAIT}}$ 端子によるウェイト入力を禁止。 $\overline{\text{WAIT}}$ 端子は入出力ポートとして使用可 (初期値)
1	$\overline{\text{WAIT}}$ 端子によるウェイト入力を許可

8. I/O ポート

8.11.3 端子機能

ポート F は、バス制御信号入出力端子 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{WAIT} 、 \overline{BREQ} 、 \overline{BACK} 、 \overline{BREQO} 、 $\overline{CS4}$ 、 $\overline{CS5}$)、システムクロック (ϕ) 出力端子、および割り込み入力端子 ($\overline{IRQ0}$ ~ $\overline{IRQ3}$) と兼用になっています。モード 4~6*¹ とモード 7*¹ では端子機能が異なります。ポート F の端子機能を表 8.20 に示します。

表 8.20 ポート F の端子機能

端子	選択方法と端子機能					
PF7/ ϕ	PF7DDR ビットにより、次のように切り替わります。					
	PF7DDR	0		1		
	端子機能	PF7入力端子		ϕ 出力端子		
PF6/ \overline{AS}	動作モードと PF6DDR ビットと PFCR2 の ASOD ビットにより、次のように切り替わります。					
	動作モード	モード4~6* ¹			モード7* ¹	
	ASOD	0	1		-	
	PF6DDR	-	0	1	0	1
	端子機能	\overline{AS} 出力端子	PF6入力端子	PF6出力端子	PF6入力端子	PF6出力端子
PF5/ \overline{RD}	動作モードと PF5DDR ビットにより、次のように切り替わります。					
	動作モード	モード4~6* ¹		モード7* ¹		
	PF5DDR	-		0	1	
	端子機能	\overline{RD} 出力端子		PF5入力端子	PF5出力端子	
PF4/ \overline{HWR}	動作モードと PF4DDR ビットにより、次のように切り替わります。					
	動作モード	モード4~6* ¹		モード7* ¹		
	PF4DDR	-		0	1	
	端子機能	\overline{HWR} 出力端子		PF4入力端子	PF4出力端子	

端子	選択方法と端子機能																																																		
PF3/LWR/IRQ3	<p>動作モードと PF3DDR ビットと SYSCR の LWROD ビットにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4~6*1</th> <th colspan="2">モード7*1</th> </tr> </thead> <tbody> <tr> <td>LWROD</td> <td colspan="2">0</td> <td colspan="2">1*3</td> <td>—</td> </tr> <tr> <td>PF3DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>LWR出力端子</td> <td>PF3入力端子</td> <td>PF3出力端子</td> <td>PF3入力端子</td> <td>PF3出力端子</td> </tr> <tr> <td colspan="5">IRQ3割り込み入力端子*2</td> </tr> </tbody> </table>	動作モード	モード4~6*1			モード7*1		LWROD	0		1*3		—	PF3DDR	—	0	1	0	1	端子機能	LWR出力端子	PF3入力端子	PF3出力端子	PF3入力端子	PF3出力端子	IRQ3割り込み入力端子*2																									
動作モード	モード4~6*1			モード7*1																																															
LWROD	0		1*3		—																																														
PF3DDR	—	0	1	0	1																																														
端子機能	LWR出力端子	PF3入力端子	PF3出力端子	PF3入力端子	PF3出力端子																																														
	IRQ3割り込み入力端子*2																																																		
PF2/WAIT/IRQ2/BREQO	<p>動作モードと BCRL の WAITE ビット、BREQOE ビットと PF2DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="4">モード4~6*1</th> <th colspan="2">モード7*1</th> </tr> </thead> <tbody> <tr> <td>BREQOE</td> <td colspan="3">0</td> <td colspan="2">1</td> <td>—</td> </tr> <tr> <td>WAITE</td> <td colspan="2">0</td> <td colspan="2">1</td> <td>0</td> <td>1</td> </tr> <tr> <td>PF2DDR</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>PF2 入力端子</td> <td>PF2 出力端子</td> <td>WAIT 入力端子</td> <td>設定 禁止</td> <td>BREQO 出力端子</td> <td>設定 禁止</td> <td>PF2 出力端子</td> </tr> <tr> <td colspan="7">IRQ2割り込み入力端子*2</td> </tr> </tbody> </table>	動作モード	モード4~6*1				モード7*1		BREQOE	0			1		—	WAITE	0		1		0	1	PF2DDR	0	1	0	1	—	—	端子機能	PF2 入力端子	PF2 出力端子	WAIT 入力端子	設定 禁止	BREQO 出力端子	設定 禁止	PF2 出力端子	IRQ2割り込み入力端子*2													
動作モード	モード4~6*1				モード7*1																																														
BREQOE	0			1		—																																													
WAITE	0		1		0	1																																													
PF2DDR	0	1	0	1	—	—																																													
端子機能	PF2 入力端子	PF2 出力端子	WAIT 入力端子	設定 禁止	BREQO 出力端子	設定 禁止	PF2 出力端子																																												
	IRQ2割り込み入力端子*2																																																		
PF1/BACK/IRQ1/CS5	<p>動作モードと BCRL の BRLE ビットと PFCR1 の PF1CS5S ビットと PFCR2 の CS25E ビットと PF1DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="4">モード4~6*1</th> <th colspan="2">モード7*1</th> </tr> </thead> <tbody> <tr> <td>BRLE</td> <td colspan="3">0</td> <td colspan="2">1</td> <td>—</td> </tr> <tr> <td>PF1DDR</td> <td>0</td> <td colspan="2">1</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td>CS25E</td> <td>—</td> <td>0</td> <td colspan="2">1</td> <td>—</td> <td>—</td> </tr> <tr> <td>PF1CS5S</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>PF1 入力端子</td> <td colspan="2">PF1出力端子</td> <td>CS5 出力端子</td> <td>BACK 出力端子</td> <td>PF1 入力端子</td> <td>PF1 出力端子</td> </tr> <tr> <td colspan="7">IRQ1割り込み入力端子*2</td> </tr> </tbody> </table>	動作モード	モード4~6*1				モード7*1		BRLE	0			1		—	PF1DDR	0	1		—	0	1	CS25E	—	0	1		—	—	PF1CS5S	—	—	0	1	—	—	端子機能	PF1 入力端子	PF1出力端子		CS5 出力端子	BACK 出力端子	PF1 入力端子	PF1 出力端子	IRQ1割り込み入力端子*2						
動作モード	モード4~6*1				モード7*1																																														
BRLE	0			1		—																																													
PF1DDR	0	1		—	0	1																																													
CS25E	—	0	1		—	—																																													
PF1CS5S	—	—	0	1	—	—																																													
端子機能	PF1 入力端子	PF1出力端子		CS5 出力端子	BACK 出力端子	PF1 入力端子	PF1 出力端子																																												
	IRQ1割り込み入力端子*2																																																		

8. I/O ポート

端子	選択方法と端子機能						
PF0/ $\overline{\text{BREQ}}$ / $\overline{\text{IRQ0}}$ /CS4	動作モードと BCRL の BRLE ビットと PFCR1 の PF0CS4S ビットと PFCR2 の CS25E ビットと PF0DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード4~6*1				モード7*1	
	BRLE	0			1	-	
	PF0DDR	0	1		-	0	1
	CS25E	-	0	1	-	-	-
	PF0CS4S	-	-	0	1	-	-
	端子機能	PF0 入力端子	PF0出力端子		$\overline{\text{CS4}}$ 出力端子	$\overline{\text{BREQ}}$ 入力端子	PF0 出力端子
		$\overline{\text{IRQ0}}$ 割り込み入力端子*2					

- 【注】 *1 ROM なし版ではモード 6、7 は使用できません。
 *2 外部割り込み入力端子として使用する場合には、各端子機能をポート (PFn) 入力端子に設定してください。
 *3 8 ビットバスモード時のみ有効。

8.12 ポート G

8.12.1 概要

ポート G は、5 ビットの入出力ポートで、バス制御信号出力端子 ($\overline{CS0} \sim \overline{CS3}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$)、A/D 変換器の入力端子 (\overline{ADTRG})、および割り込み入力端子 ($\overline{IRQ6}$ 、 $\overline{IRQ7}$) と兼用になっています。割り込み入力端子 ($\overline{IRQ6}$ 、 $\overline{IRQ7}$) はシュミットトリガ入力です。

ポート G の各端子の構成を図 8.24 に示します。

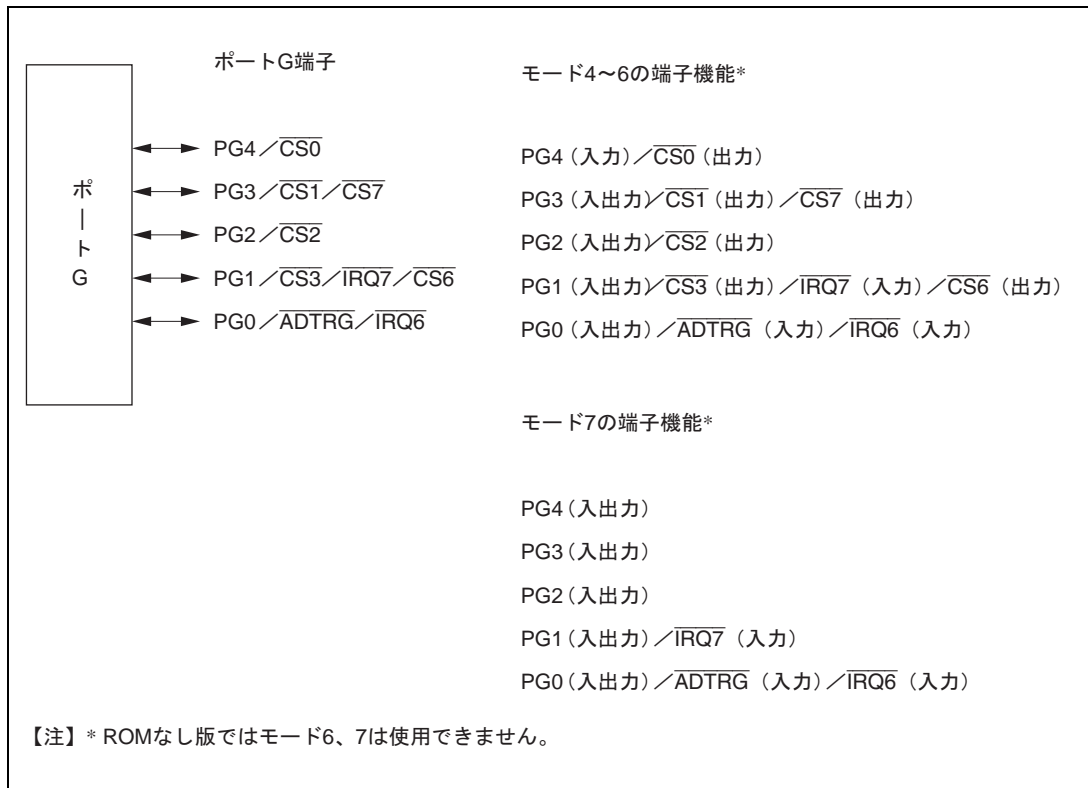


図 8.24 ポート G の端子機能

8. I/Oポート

8.12.2 レジスタ構成

表 8.21 にポート G のレジスタ構成を示します。

表 8.21 ポート G レジスタ構成

名称	略称	R/W	初期値* ²	アドレス* ¹
ポート G データディレクションレジスタ	PGDDR	W	H'10 / H'00* ³	H'FEBF
ポート G データレジスタ	PGDR	R/W	H'00	H'FF6F
ポート G レジスタ	PORTG	R	不定	H'FF5F
ポートファンクションコントロールレジスタ 1	PFCR1	R/W	H'0F	H'FF45
ポートファンクションコントロールレジスタ 2	PFCR2	R/W	H'30	H'FFAC

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 4~0 の値を示します。

*3 モードによって、初期値が異なります。

(1) ポート G データディレクションレジスタ (PGDDR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR
モード 4、5								
初期値	不定	不定	不定	1	0	0	0	0
R/W	-	-	-	W	W	W	W	W
モード 6、7*								
初期値	不定	不定	不定	0	0	0	0	0
R/W	-	-	-	W	W	W	W	W

PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。リードは無効です。また、ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。

PGDDR は、リセットまたはハードウェアスタンバイモードでは、モード 4、5 の場合 H'10 (ビット 4~0) に、モード 6、7* の場合 H'00 (ビット 4~0) に初期化されます。ソフトウェアスタンバイモードでは、PGDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

【注】 *ROM なし版ではモード 6、7 は使用できません。

(2) ポート G データレジスタ (PGDR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値	不定	不定	不定	0	0	0	0	0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W

PGDR は、8 ビットのリード/ライト可能なレジスタで、ポート G の各端子 (PG4 ~ PG0) の出力データを格納します。

ビット 7 ~ 5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDR は、リセットまたはハードウェアスタンバイモードでは、H'00 (ビット 4 ~ 0) に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート G レジスタ (PORTG)

ビット	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値	不定	不定	不定	- *	- *	- *	- *	- *
R/W	-	-	-	R	R	R	R	R

【注】 * PG4 ~ PG0 端子の状態により決定されます。

PORTG は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート G の各端子 (PG4 ~ PG0) の出力データのライトは必ず PGDR に対して行ってください。

ビット 7 ~ 5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDDR が 1 にセットされているとき、ポート G のリードを行うと PGDR の値をリードします。PGDDR が 0 にクリアされているとき、ポート G のリードを行うと端子の状態が読み出されます。

PORTG は、リセットまたはハードウェアスタンバイモードでは、PGDDR、PGDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポートファンクションコントロールレジスタ 1 (PFCR1)

ビット	7	6	5	4	3	2	1	0
	CSS17	CSS36	PF1CS5S	PF0CS4S	A23E	A22E	A21E	A20E
初期値	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFCR1 は、8 ビットのリード/ライト可能なレジスタで、I/O ポートの制御を行います。PFCR1 は、リセットまたは、ハードウェアスタンバイモード時に、H'0F に初期化されます。

ビット 7 : CS17 セレクト (CSS17)

PG3 端子から $\overline{CS1}$ を出力するか、 $\overline{CS7}$ を出力するかを選択します。DDR ビットが 0 の状態で CSS17 ビットを切り替えてください。モード 4 ~ 6 のとき有効となります。

ビット 7	説明
CSS17	
0	PG3 は PG3/ $\overline{CS1}$ 端子。CS167E = 1、PG3DDR = 1 で $\overline{CS1}$ を出力許可 (初期値)
1	PG3 は PG3/ $\overline{CS7}$ 端子。CS167E = 1、PG3DDR = 1 で $\overline{CS7}$ を出力許可

8. I/Oポート

ビット6：CS36 セレクト (CSS36)

PG1 端子から $\overline{CS3}$ を出力するか、 $\overline{CS6}$ を出力するかを選択します。DDR ビットが 0 の状態で CSS36 ビットを切り替えてください。モード 4~6 のとき有効となります。

ビット6	説明
CSS36	
0	PG1 は PG1/ $\overline{IRQ7/CS3}$ 端子。CS25E = 1、PG1DDR = 1 で $\overline{CS3}$ を出力許可 (初期値)
1	PG1 は PG1/ $\overline{IRQ7/CS6}$ 端子。CS167E = 1、PG1DDR = 1 で $\overline{CS6}$ を出力許可

ビット5：ポートF1 チップセレクト5 セレクト (PF1CS5S)

$\overline{CS5}$ の出力許可 / 禁止を選択します。詳細は「8.11 ポートF」を参照してください。

ビット4：ポートF0 チップセレクト4 セレクト (PF0CS4S)

$\overline{CS4}$ の出力許可 / 禁止を選択します。詳細は「8.11 ポートF」を参照してください。

ビット3：アドレス23 イネーブル (A23E)

アドレス出力 23 (A23) の出力許可 / 禁止を選択します。詳細は「8.2 ポート1」を参照してください。

ビット2：アドレス22 イネーブル (A22E)

アドレス出力 22 (A22) の出力許可 / 禁止を選択します。詳細は「8.2 ポート1」を参照してください。

ビット1：アドレス21 イネーブル (A21E)

アドレス出力 21 (A21) の出力許可 / 禁止を選択します。詳細は「8.2 ポート1」を参照してください。

ビット0：アドレス20 イネーブル (A20E)

アドレス出力 20 (A20) の出力許可 / 禁止を選択します。詳細は「8.2 ポート1」を参照してください。

(5) ポートファンクションコントロールレジスタ2 (PFCR2)

ビット	7	6	5	4	3	2	1	0
	-	-	CS167E	CS25E	ASOD	-	-	-
初期値	0	0	1	1	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

PFCR2 は、8 ビットのリード / ライト可能なレジスタで、I/O ポートの制御を行います。PFCR2 は、リセットまたは、ハードウェアスタンバイモード時に、H'30 に初期化されます。

ビット7、6：リザーブビット

ライト時には、0を書き込んでください。

ビット5：CS167 イネーブル (CS167E)

$\overline{CS1}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ 出力の許可 / 禁止を選択します。DDR ビットが0の状態ではCS167E ビットを切り替えてください。モード4~6のとき有効となります。

ビット5 CS167E	説明
0	$\overline{CS1}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ 出力禁止 (I/O ポートとして使用可能)
1	$\overline{CS1}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ 出力許可 (初期値)

ビット4：CS25 イネーブル (CS25E)

$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力の許可 / 禁止を選択します。DDR ビットが0の状態ではCS25E ビットを切り替えてください。モード4~6のとき有効となります。

ビット4 CS25E	説明
0	$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力禁止 (I/O ポートとして使用可能)
1	$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力許可 (初期値)

ビット3：AS 出力ディスエーブル (ASOD)

\overline{AS} 出力の許可 / 禁止を選択します。モード4~6のとき有効となります。詳細は「8.11 ポートF」を参照してください。

ビット2~0：リザーブビット

リードすると常に0が読み出されます。

8. I/O ポート

8.12.3 端子機能

ポート G は、バス制御信号出力端子 ($\overline{CS0} \sim \overline{CS3}$, $\overline{CS6}$, $\overline{CS7}$)、A/D 変換器の入力端子 (\overline{ADTRG})、および割り込み入力端子 ($\overline{IRQ6}$, $\overline{IRQ7}$) と兼用になっています。モード 7*¹ とモード 4~6*¹ では端子機能が異なります。ポート G の端子機能を表 8.22 に示します。

表 8.22 ポート G の端子機能

端子	選択方法と端子機能						
PG4/ $\overline{CS0}$	動作モードと PG4DDR ビットにより、次のように切り替わります。						
	動作モード	モード 4~6* ¹			モード 7* ¹		
	PG4DDR	0	1		0	1	
	端子機能	PG4入力端子	$\overline{CS0}$ 出力端子	PG4入力端子	PG4出力端子		
PG3/ $\overline{CS1}$ / $\overline{CS7}$	動作モードと PFCR1 の CSS17 ビット、PFCR2 の CS167E ビット、PG3DDR ビットにより、次のように切り替わります。						
	動作モード	モード 4~6* ¹				モード 7* ¹	
	PG3DDR	0	1		0	1	
	CS167E	—	0	1	—	—	
	CSS17	—	—	0	1	—	—
	端子機能	PG3入力端子	PG3出力端子	$\overline{CS1}$ 出力端子	$\overline{CS7}$ 出力端子	PG3入力端子	PG3出力端子
PG2/ $\overline{CS2}$	動作モードと PFCR2 の CS25E ビット、PG2DDR ビットにより、次のように切り替わります。						
	動作モード	モード 4~6* ¹			モード 7* ¹		
	PG2DDR	0	1		0	1	
	CS25E	—	0	1	—	—	
	端子機能	PG2入力端子		PG2出力端子	$\overline{CS2}$ 出力端子	PG2入力端子	PG2出力端子

端子	選択方法と端子機能										
PG1/ $\overline{CS3}$ / $\overline{CS6}$ / $\overline{IRQ7}$	動作モードと PFCR1 の CSS36 ビット、PFCR2 の CS167E ビット、CS25E ビット、PG1DDR ビットにより、次のように切り替わります。										
動作モード	モード4~6*1								モード7*1		
PG1DDR	0	1								0	1
CS167E	—	0				1				—	—
CS25E	—	0	1		0		1		—	—	
CSS36	—	—	0	1	0	1	0	1	—	—	
端子機能	PG1	PG1	$\overline{CS3}$	PG1出力端子		$\overline{CS6}$	$\overline{CS3}$	$\overline{CS6}$	PG1	PG1	
	入力端子	出力端子	出力端子			出力端子	出力端子	出力端子	入力端子	出力端子	
$\overline{IRQ7}$ 割り込み入力端子*2											
PG0/ \overline{ADTRG} / $\overline{IRQ6}$	A/D コントロールレジスタ (ADCR) のトリガセレクト 1、0 (TRGS1、TRGS0) と PG0DDR ビットの組み合わせにより、次のように切り替わります。										
PG0DDR	0					1					
端子機能	PG0入力端子					PG0出力端子					
	\overline{ADTRG} 入力端子*3										
	$\overline{IRQ6}$ 割り込み入力端子*2										

【注】 *1 ROM なし版ではモード 6、7 は使用できません。

*2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子としては使用しないでください。

*3 TRGS1 = TRGS0 = 1 のとき \overline{ADTRG} 入力となります。

9. 16 ビットタイマパルスユニット (TPU)

9.1 概要

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

9.1.1 特長

- (1) 最大 16 本のパルス入出力が可能
 - チャンネル 0、3 は各 4 本、チャンネル 1、2、4、5 は各 2 本、合計 16 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタ独立にアウトプットコンペア / インプットキャプチャレジスタの設定が可能
 - チャンネル 0、3 の TGRC、TGRD は、バッファレジスタとして使用可能
- (2) 各チャンネルごとに 8 種類のカウント入力クロックを選択可能
- (3) 各チャンネルとも次の動作を設定可能
 - コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
 - インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
 - カウントクリア動作 : コンペアマッチ、インプットキャプチャによるカウントクリアが可能
 - 同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能コンペアマッチ / インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
 - PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 15 相の PWM 出力が可能
- (4) チャンネル 0、3 はバッファ動作を設定可能
 - インプットキャプチャレジスタのダブルバッファ構成が可能
 - アウトプットコンペアレジスタの自動書き換えが可能
- (5) チャンネル 1、2、4、5 はおのの独立に位相計数モードを設定可能
 - 2 相エンコーダパルスのアップダウンカウントが可能
- (6) カスケード接続動作
 - チャンネル 2 (チャンネル 5) の入力クロックを、チャンネル 1 (チャンネル 4) のオーバフロー / アンダフローにすることにより 32 ビットカウンタとして動作

9. 16ビットタイムパルスユニット (TPU)

- (7) 内部 16 ビットバスによる高速アクセス
 - 16 ビットバスインタフェースによる高速アクセスが可能
- (8) 26 種類の割り込み要因
 - チャンネル 0、3 はコンペアマッチ / インพุットキャプチャ兼用割り込み×4 本、オーバフロー割り込み×1 本が独立に要求可能
 - チャンネル 1、2、4、5 はコンペアマッチ / インพุットキャプチャ兼用割り込み×2 本、オーバフロー割り込み×1 本、アンダフロー割り込み×1 本が独立に要求可能
- (9) レジスタのデータの自動転送が可能
 - データトランスファコントローラ (DTC) の起動により、ブロック転送、1ワードデータ転送、および 1 バイトデータ転送が可能
- (10) A/D 変換器の変換スタートトリガを生成可能
 - チャンネル 0~5 のコンペアマッチ A / インพุットキャプチャ A 信号を A/D 変換器の変換開始トリガとして使用可能
- (11) モジュールストップモードの設定可能
 - 初期値では TPU の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

表 9.1 に TPU の機能一覧を示します。

表 9.1 TPU 機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ TCLKA TCLKB TCLKC TCLKD	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 256$ TCLKA TCLKB TCLKC	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 1024$ TCLKA TCLKB TCLKC	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 256$ $\phi / 1024$ $\phi / 4096$ TCLKA	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 1024$ TCLKA TCLKC	$\phi / 1$ $\phi / 4$ $\phi / 16$ $\phi / 64$ $\phi / 256$ TCLKA TCLKC TCLKD
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B	TGR3A TGR3B	TGR4A TGR4B	TGR5A TGR5B
ジェネラルレジスタ/ バッファレジスタ	TGR0C TGR0D	-	-	TGR3C TGR3D	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力					
	1 出力					
	トグル 出力					
インプットキャプチャ機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
A/D 変換開始 トリガ	TGR0A の コンペアマッチ または インプット キャプチャ	TGR1A の コンペアマッチ または インプット キャプチャ	TGR2A の コンペアマッチ または インプット キャプチャ	TGR3A の コンペアマッチ または インプット キャプチャ	TGR4A の コンペアマッチ または インプット キャプチャ	TGR5A の コンペアマッチ または インプット キャプチャ

9. 16ビットタイマパルスユニット (TPU)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
割り込み要因	5 要因 ・コンペアマッチ / インプット キャプチャ0A ・コンペアマッチ / インプット キャプチャ0B ・コンペアマッチ / インプット キャプチャ0C ・コンペアマッチ / インプット キャプチャ0D ・オーバーフロー	4 要因 ・コンペアマッチ / インプット キャプチャ1A ・コンペアマッチ / インプット キャプチャ1B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ / インプット キャプチャ2A ・コンペアマッチ / インプット キャプチャ2B ・オーバーフロー ・アンダフロー	5 要因 ・コンペアマッチ / インプット キャプチャ3A ・コンペアマッチ / インプット キャプチャ3B ・コンペアマッチ / インプット キャプチャ3C ・コンペアマッチ / インプット キャプチャ3D ・オーバーフロー	4 要因 ・コンペアマッチ / インプット キャプチャ4A ・コンペアマッチ / インプット キャプチャ4B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ / インプット キャプチャ5A ・コンペアマッチ / インプット キャプチャ5B ・オーバーフロー ・アンダフロー

【記号説明】

- ・ : 可能
- : 不可

9.1.2 ブロック図

TPUのブロック図を図9.1に示します。

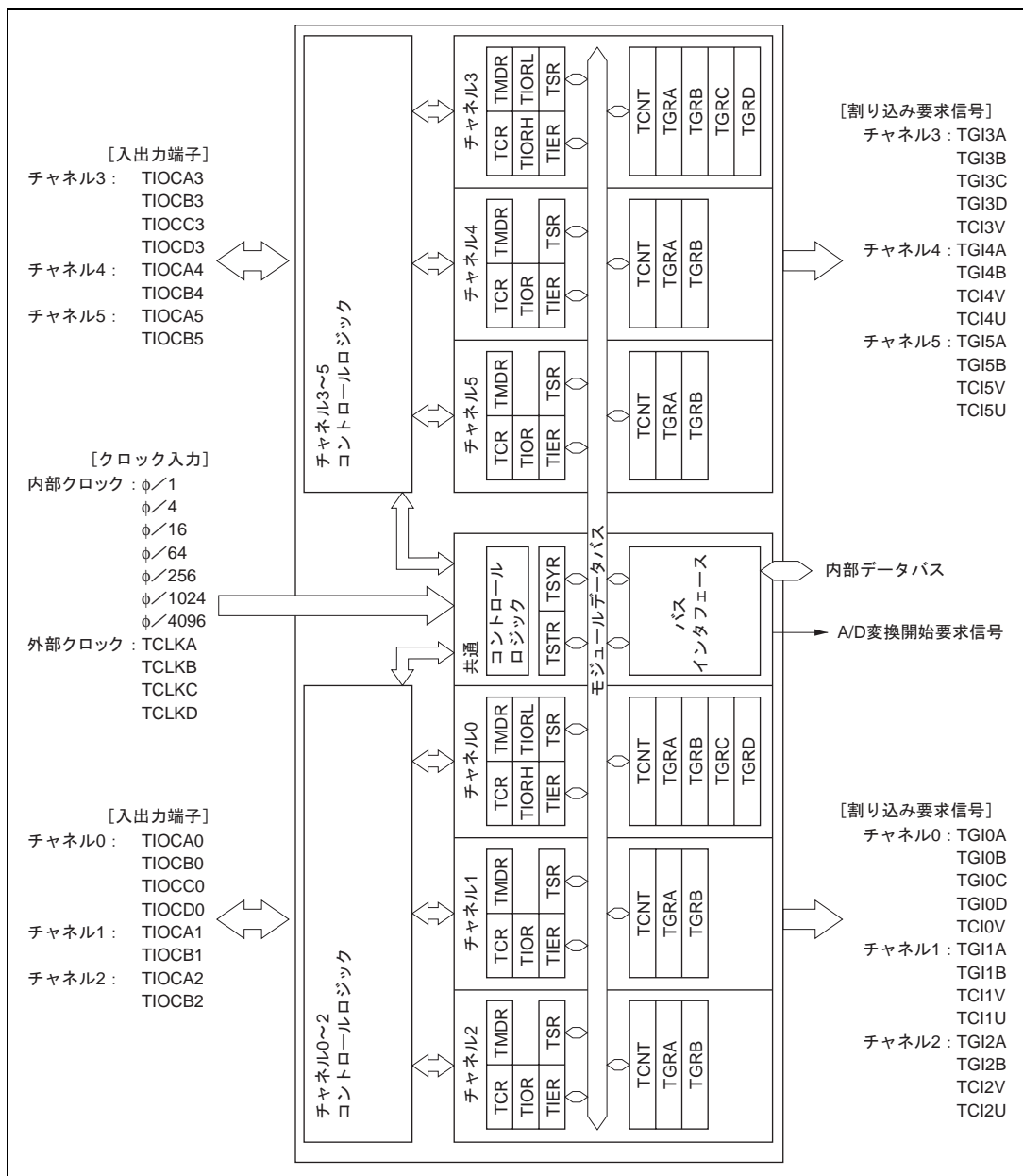


図 9.1 TPUのブロック図

9. 16ビットタイマパルスユニット (TPU)

9.1.3 端子構成

TPUの端子構成を表9.2に示します。

表 9.2 TPUの端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	インプットキャプチャ / アウトコンペアマッチ A0	TIOCA0	入出力	TGR0A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B0	TIOCB0	入出力	TGR0B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C0	TIOCC0	入出力	TGR0C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D0	TIOCD0	入出力	TGR0D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ / アウトコンペアマッチ A1	TIOCA1	入出力	TGR1A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B1	TIOCB1	入出力	TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ / アウトコンペアマッチ A2	TIOCA2	入出力	TGR2A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B2	TIOCB2	入出力	TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	インプットキャプチャ / アウトコンペアマッチ A3	TIOCA3	入出力	TGR3A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B3	TIOCB3	入出力	TGR3B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C3	TIOCC3	入出力	TGR3C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D3	TIOCD3	入出力	TGR3D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	インプットキャプチャ / アウトコンペアマッチ A4	TIOCA4	入出力	TGR4A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B4	TIOCB4	入出力	TGR4B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	インプットキャプチャ / アウトコンペアマッチ A5	TIOCA5	入出力	TGR5A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B5	TIOCB5	入出力	TGR5B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

9.1.4 レジスタ構成

TPU のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFD0
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FFD1
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FFD2
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FFD3
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FFD4
	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'C0	H'FFD5
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FFD6
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FFD8
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FFDA
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FFDC
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FFDE
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFE0
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FFE1
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FFE2
	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'40	H'FFE4
	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'C0	H'FFE5
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FFE6
	タイマジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FFE8
	タイマジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FFEA
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFF0
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FFF1
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FFF2
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FFF4
	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'C0	H'FFF5
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FFF6
	タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FFF8
	タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FFFA
3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FE80
	タイマモードレジスタ 3	TMDR3	R/W	H'C0	H'FE81
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W	H'00	H'FE82
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W	H'00	H'FE83
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'40	H'FE84
	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'C0	H'FE85
	タイマカウンタ 3	TCNT3	R/W	H'0000	H'FE86
	タイマジェネラルレジスタ 3A	TGR3A	R/W	H'FFFF	H'FE88
	タイマジェネラルレジスタ 3B	TGR3B	R/W	H'FFFF	H'FE8A
	タイマジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FE8C
	タイマジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FE8E

9. 16ビットタイマパルスユニット (TPU)

チャンネル	名称	略称	R/W	初期値	アドレス*1
4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FE90
	タイマモードレジスタ 4	TMDR4	R/W	H'C0	H'FE91
	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'00	H'FE92
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'40	H'FE94
	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'C0	H'FE95
	タイマカウンタ 4	TCNT4	R/W	H'0000	H'FE96
	タイマジェネラルレジスタ 4A	TGR4A	R/W	H'FFFF	H'FE98
	タイマジェネラルレジスタ 4B	TGR4B	R/W	H'FFFF	H'FE9A
5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FEA0
	タイマモードレジスタ 5	TMDR5	R/W	H'C0	H'FEA1
	タイマ I/O コントロールレジスタ 5	TIOR5	R/W	H'00	H'FEA2
	タイマインタラプトイネーブルレジスタ 5	TIER5	R/W	H'40	H'FEA4
	タイマステータスレジスタ 5	TSR5	R/(W)*2	H'C0	H'FEA5
	タイマカウンタ 5	TCNT5	R/W	H'0000	H'FEA6
	タイマジェネラルレジスタ 5A	TGR5A	R/W	H'FFFF	H'FEA8
	タイマジェネラルレジスタ 5B	TGR5B	R/W	H'FFFF	H'FEAA
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFC0
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFC1
	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 フラグをクリアするための 0 ライトのみ可能です。

9.2 各レジスタの説明

9.2.1 タイマコントロールレジスタ (TCR)

チャンネル0 : TCR0

チャンネル3 : TCR3

ビット	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TCR1

チャンネル2 : TCR2

チャンネル4 : TCR4

チャンネル5 : TCR5

ビット	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値	0	0	0	0	0	0	0	0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は各チャンネルの TCNT を制御する 8 ビットのレジスタです。TPU には、チャンネル 0~5 に各 1 本、計 6 本の TCR があります。TCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

9. 16ビットタイマパルスユニット (TPU)

ビット7、6、5：カウンタクリア2、1、0 (CCLR2、CCLR1、CCLR0)

TCNTのカウンタクリア要因を選択します。

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
0, 3	0	0	0	TCNTのクリア禁止 (初期値)
			1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
	1	0	0	TCNTのクリア禁止
			1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2	
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1	

チャンネル	ビット7	ビット6	ビット5	説明
	リザーブ*3	CCLR1	CCLR0	
1, 2 4, 5	0	0	0	TCNTのクリア禁止 (初期値)
			1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

*3 チャンネル1、2、4、5ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。

ビット4、3：クロックエッジ1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります (例： $\phi/4$ の両エッジ= $\phi/2$ の立ち上がりエッジ)。チャンネル1、2、4、5で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット4	ビット3	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されません。

ビット2、1、0：タイマプリスケラ2、1、0 (TPSC2~TPSC0)

TCNTのカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表9.4に各チャンネルごとに設定可能なクロックソース一覧を示します。

表9.4 TPUのクロックソース一覧

チャンネル	内部クロック							外部クロック				他のチャンネルの オーバフロー/ アンダフロー
	$\phi/1$	$\phi/4$	$\phi/16$	$\phi/64$	$\phi/256$	$\phi/1024$	$\phi/4096$	TCLKA	TCLKB	TCLKC	TCLKD	
0												
1												
2												
3												
4												
5												

【記号説明】

○：設定あり
空欄：設定なし

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	外部クロック：TCLKD 端子入力でカウント

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	TCNT2のオーバフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

9. 16ビットタイマパルスユニット (TPU)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	内部クロック： $\phi/1024$ でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	内部クロック： $\phi/1024$ でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	内部クロック： $\phi/4096$ でカウント

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： $\phi/1024$ でカウント
			1	TCNT5 のオーバフロー / アンダフローでカウント

【注】 チャンネル4が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	外部クロック：TCLKD 端子入力でカウント

【注】 チャンネル5が位相計数モード時、この設定は無効になります。

9.2.2 タイマモードレジスタ (TMDR)

チャンネル0 : TMDR0

チャンネル3 : TMDR3

ビット	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値	1	1	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TMDR1

チャンネル2 : TMDR2

チャンネル4 : TMDR4

チャンネル5 : TMDR5

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値	1	1	0	0	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

TMDR は 8 ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 6 本の TMDR があります。TMDR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット7、6 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット5 : バッファ動作 B (BFB)

TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。

TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。

ビット5	説明
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

9. 16ビットタイマパルスユニット (TPU)

ビット4：バッファ動作 A (BFA)

TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。

TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4	説明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

ビット3~0：モード3~0 (MD3~MD0)

MD3~MD0 はタイマの動作モードを設定します。

ビット 3	ビット 2	ビット 1	ビット 0	説明
MD3*1	MD2*2	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	リザーブ
		1	0	PWM モード 1
			1	PWM モード 2
	1	0	0	位相計数モード 1
			1	位相計数モード 2
		1	0	位相計数モード 3
			1	位相計数モード 4
1	*	*	*	-

* : Don't care

- 【注】 *1 MD3 はリザーブビットです。
ライト時には常に 0 を書き込んでください。
- *2 チャンネル 0、3 では、位相計数モードの設定はできません。
MD2 には常に 0 をライトしてください。

9.2.3 タイマ I/O コントロールレジスタ (TIOR)

チャンネル 0 : TIOR0H
 チャンネル 1 : TIOR1
 チャンネル 2 : TIOR2
 チャンネル 3 : TIOR3H
 チャンネル 4 : TIOR4
 チャンネル 5 : TIOR5

ビット	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル 0 : TIOR0L
 チャンネル 3 : TIOR3L

ビット	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR は TGR を制御する 8 ビットのレジスタです。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

ビット 7~4 : I/O コントロール B3~0 (IOB3~IOB0)
 I/O コントロール D3~0 (IOD3~IOD0)

IOB3~IOB0 ビットは TGRB の機能を設定します。

IOD3~IOD0 ビットは TGRD の機能を設定します。

9. 16ビットタイムパルスユニット (TPU)

チャンネル	ビット	ビット	ビット	ビット	説明			
	7	6	5	4				
	IOB3	IOB2	IOB1	IOB0				
0	0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						0	コンペアマッチでトグル出力	
	1	0	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB0 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				1		*	*	キャプチャ入力元 はチャンネル1/ カウントクロック
			TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ*1					

* : Don't care

チャンネル	ビット	ビット	ビット	ビット	説明			
	7	6	5	4				
	IOD3	IOD2	IOD1	IOD0				
0	0	0	0	0	TGR0D は アウトプット コンペア レジスタ*2	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						0	コンペアマッチでトグル出力	
	1	0	0	0	TGR0D は インプット キャプチャ レジスタ*2	キャプチャ入力元 は TIOCD0 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				1		*	*	キャプチャ入力元 はチャンネル1/ カウントクロック
			TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ*1					

* : Don't care

【注】 *1 TCR1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本設定は無効となり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット	ビット	ビット	ビット	説明			
	7	6	5	4				
	IOB3	IOB2	IOB1	IOB0				
1	0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						0	コンペアマッチでトグル出力	
	1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ入力元	立ち上がりエッジでインプットキャプチャ	
				1		は TIOCB1 端子	立ち下がりエッジでインプットキャプチャ	
				0		両エッジでインプットキャプチャ		
			1	*		*	キャプチャ入力元	TGR0C のコンペアマッチ /
							は TGR0C コンペア	インプットキャプチャの発生で
							マッチ / インプ	ットキャプチャ

* : Don't care

チャンネル	ビット	ビット	ビット	ビット	説明			
	7	6	5	4				
	IOB3	IOB2	IOB1	IOB0				
2	0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						0	コンペアマッチでトグル出力	
	1	*	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元	立ち上がりエッジでインプットキャプチャ	
				1		は TIOCB2 端子	立ち下がりエッジでインプットキャプチャ	
				0		両エッジでインプットキャプチャ		
			1	*		*	キャプチャ入力元	TGR0C のコンペアマッチ /
							は TGR0C コンペア	インプットキャプチャの発生で
							マッチ / インプ	ットキャプチャ

* : Don't care

9. 16 ビットタイマパルスユニット (TPU)

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説明			
	IOB3	IOB2	IOB1	IOB0				
3	0	0	0	0	TGR3B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						0	コンペアマッチでトグル出力	
	1	0	0	0	TGR3B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB3 端子	立ち上がりエッジでインプットキャプチャ	
				1		*	立ち下がりエッジでインプットキャプチャ	
				0		*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹

* : Don't care

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説明			
	IOD3	IOD2	IOD1	IOD0				
3	0	0	0	0	TGR3D は アウトプット コンペア レジスタ* ²	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						0	コンペアマッチでトグル出力	
	1	0	0	0	TGR3D は インプット キャプチャ レジスタ* ²	キャプチャ入力元 は TIOCD3 端子	立ち上がりエッジでインプットキャプチャ	
				1		*	立ち下がりエッジでインプットキャプチャ	
				0		*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹

* : Don't care

【注】 *¹ TCR4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT4 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*² TMDR3 の BFB ビットを 1 にセットして TGR3D をバッファレジスタとして使用した場合は、本設定は無効となり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット	ビット	ビット	ビット	説明			
	7	6	5	4				
	IOB3	IOB2	IOB1	IOB0				
4	0	0	0	0	TGR4B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		出力禁止		
				1		初期出力は1出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
	1	0	0	0	TGR4B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB4 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
		1	*	*		0	キャプチャ入力元 は TGR3C コンペ アマッチ/インプ ットキャプチャ	TGR3C のコンペアマッチ/ インプットキャプチャの発生で インプットキャプチャ
						1		
						*		

* : Don't care

チャンネル	ビット	ビット	ビット	ビット	説明			
	7	6	5	4				
	IOB3	IOB2	IOB1	IOB0				
5	0	0	0	0	TGR5B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		出力禁止		
				1		初期出力は1出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
	1	*	0	0	TGR5B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB5 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
		1	*	0		0	キャプチャ入力元 は TIOCB5 端子	TGR3C のコンペアマッチ/ インプットキャプチャの発生で インプットキャプチャ
						1		
						*		

* : Don't care

ビット3~0 : I/O コントロール A3~0 (IOA3~IOA0)

I/O コントロール C3~0 (IOC3~IOC0)

IOA3~IOA0 は TGRA の機能を設定します。

IOC3~IOC0 は TGRC の機能を設定します。

9. 16 ビットタイマパルスユニット (TPU)

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOA3	IOA2	IOA1	IOA0				
0	0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
			1	0		初期出力は1 出力	コンペアマッチで 0 出力	
				1		コンペアマッチで 1 出力		
				0		コンペアマッチでトグル出力		
	1	0	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA0 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOC3	IOC2	IOC1	IOC0				
0	0	0	0	0	TGR0C は アウトプット コンペア レジスタ* ¹	出力禁止 (初期値)		
				1		初期出力は0 出力	コンペアマッチで 0 出力	
				0		コンペアマッチで 1 出力		
			1	0		初期出力は1 出力	コンペアマッチで 0 出力	
				1		コンペアマッチで 1 出力		
				0		コンペアマッチでトグル出力		
	1	0	0	0	TGR0C は インプット キャプチャ レジスタ* ¹	キャプチャ入力元 は TIOCC0 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ

* : Don't care

【注】 *¹ TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOA3	IOA2	IOA1	IOA0				
1	0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		コンペアマッチでトグル出力		
				1		出力禁止		
				0		初期出力は1出力	コンペアマッチで0出力	
	1	0	0	1	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA1 端子	立ち上がりエッジでインプットキャプチャ	
				0			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 は TGR0A コンペ アマッチ/インプ ットキャプチャ	チャンネル0 / TGR0A の コンペアマッチ / インプットキャプチャの発生で インプットキャプチャ

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明		
	IOA3	IOA2	IOA1	IOA0			
2	0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は0出力	コンペアマッチで0出力
				0		コンペアマッチで1出力	
			1	0		コンペアマッチでトグル出力	
				1		出力禁止	
				0		初期出力は1出力	コンペアマッチで0出力
	1	*	0	1	TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA2 端子	立ち上がりエッジでインプットキャプチャ
				0			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ

* : Don't care

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOA3	IOA2	IOA1	IOA0				
3	0	0	0	0	TGR3A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		コンペアマッチでトグル出力		
				1		出力禁止		
				0		初期出力は1出力	コンペアマッチで0出力	
	1	0	0	0	TGR3A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA3 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOC3	IOC2	IOC1	IOC0				
3	0	0	0	0	TGR3C は アウトプット コンペア レジスタ* ¹	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		コンペアマッチでトグル出力		
				1		出力禁止		
				0		初期出力は1出力	コンペアマッチで0出力	
	1	0	0	0	TGR3C は インプット キャプチャ レジスタ* ¹	キャプチャ入力元 は TIOCC3 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ

* : Don't care

【注】 *¹ TMDR3 の BFA ビットを 1 にセットして TGR3C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイムパルスユニット (TPU)

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOA3	IOA2	IOA1	IOA0				
4	0	0	0	0	TGR4A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						1	コンペアマッチでトグル出力	
	1	0	0	0	TGR4A は インプット キャプチャ レジスタ	キャプチャ入力元	立ち上がりエッジでインプットキャプチャ	
				1		は TIOCA4 端子	立ち下がりエッジでインプットキャプチャ	
				1		*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元	TGR3A のコンペアマッチ /
							は TGR3A コンペア	インプットキャプチャの発生で
							マッチ / インプ	ットキャプチャ

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明			
	IOA3	IOA2	IOA1	IOA0				
5	0	0	0	0	TGR5A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0		コンペアマッチで1出力		
			1	0		0	初期出力は1出力	コンペアマッチで0出力
						1	コンペアマッチで1出力	
						1	コンペアマッチでトグル出力	
	1	*	0	0	TGR5A は インプット キャプチャ レジスタ	キャプチャ入力元	立ち上がりエッジでインプットキャプチャ	
				1		は TIOCA5 端子	立ち下がりエッジでインプットキャプチャ	
				1		*	両エッジでインプットキャプチャ	
			1	*		*	キャプチャ入力元	TGR3A のコンペアマッチ /
							は TGR3A コンペア	インプットキャプチャの発生で
							マッチ / インプ	ットキャプチャ

* : Don't care

9. 16ビットタイマパルスユニット (TPU)

9.2.4 タイマインタラプトイネーブルレジスタ (TIER)

チャンネル0 : TIER0

チャンネル3 : TIER3

ビット	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値	0	1	0	0	0	0	0	0
R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TIER1

チャンネル2 : TIER2

チャンネル4 : TIER4

チャンネル5 : TIER5

ビット	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値	0	1	0	0	0	0	0	0
R/W	R/W	-	R/W	R/W	-	-	R/W	R/W

TIERは8ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPUには、各チャンネル1本、計6本のTIERがあります。TIERは、リセットまたはハードウェアスタンバイモード時にH'40に初期化されます。

ビット7 : A/D変換開始要求イネーブル (TTGE)

TGRAのインプットキャプチャ/コンペアマッチによる、A/D変換開始要求の発生を許可または禁止します。

ビット7	説明
TTGE	
0	A/D変換開始要求の発生を禁止 (初期値)
1	A/D変換開始要求の発生を許可

ビット6 : リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット 5 : アンダフローインタラプトイネーブル (TCIEU)

チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説明	
TCIEU		
0	TCFU による割り込み要求 (TCIU) を禁止	(初期値)
1	TCFU による割り込み要求 (TCIU) を許可	

ビット 4 : オーバフローインタラプトイネーブル (TCIEV)

TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。

ビット 4	説明	
TCIEV		
0	TCFV による割り込み要求 (TCIV) を禁止	(初期値)
1	TCFV による割り込み要求 (TCIV) を許可	

ビット 3 : TGR インタラプトイネーブル D (TGIED)

チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3	説明	
TGIED		
0	TGFD ビットによる割り込み要求 (TGID) を禁止	(初期値)
1	TGFD ビットによる割り込み要求 (TGID) を許可	

ビット 2 : TGR インタラプトイネーブル C (TGIEC)

チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2	説明	
TGIEC		
0	TGFC ビットによる割り込み要求 (TGIC) を禁止	(初期値)
1	TGFC ビットによる割り込み要求 (TGIC) を許可	

9. 16ビットタイマパルスユニット (TPU)

ビット1: TGR インタラプトイネーブル B (TGIEB)

TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。

ビット1	説明
TGIEB	
0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可

ビット0: TGR インタラプトイネーブル A (TGIEA)

TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。

ビット0	説明
TGIEA	
0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可

9.2.5 タイマステータスレジスタ (TSR)

チャンネル0: TSR0

チャンネル3: TSR3

ビット	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値	1	1	0	0	0	0	0	0
R/W	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。

チャンネル1: TSR1

チャンネル2: TSR2

チャンネル4: TSR4

チャンネル5: TSR5

ビット	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値	1	1	0	0	0	0	0	0
R/W	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。

TSR は 8 ビットのレジスタで、各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 6 本の TSR があります。TSR は、リセットまたはハードウェアスタンバイモード時に H'CO

に初期化されます。

ビット7：カウント方向フラグ (TCFD)

チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット7	説明
TCFD	
0	TCNT はダウンカウント
1	TCNT はアップカウント (初期値)

ビット6：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット5：アンダフローフラグ (TCFU)

チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット5	説明
TCFU	
0	[クリア条件] (初期値) TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
1	[セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき

ビット4：オーバフローフラグ (TCFV)

TCNT のオーバフローの発生を示すステータスフラグです。

ビット4	説明
TCFV	
0	[クリア条件] (初期値) TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき
1	[セット条件] TCNT の値がオーバフロー (H'FFFF→H'0000) したとき

9. 16ビットタイムパルスユニット (TPU)

ビット3：インプットキャプチャ/アウトプットコンペアフラグD (TGFD)

チャンネル0、3のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3	説明
TGFD	
0	[クリア条件] (初期値) (1) TGID 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが0のとき (2) TGFD = 1 の状態で TGFD をリード後、TGFD に0をライトしたとき
1	[セット条件] (1) TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき (2) TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき

ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)

チャンネル0、3のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2	説明
TGFC	
0	[クリア条件] (初期値) (1) TGIC 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが0のとき (2) TGFC = 1 の状態で TGFC をリード後、TGFC に0をライトしたとき
1	[セット条件] (1) TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき (2) TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき

ビット1：インプットキャプチャ/アウトプットコンペアフラグ B (TGFB)

TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
TGFB	
0	[クリア条件] (初期値) (1) TGIB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
1	[セット条件] (1) TGRB がアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRB になったとき (2) TGRB がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット0：インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
TGFA	
0	[クリア条件] (初期値) (1) TGIA 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

9. 16ビットタイマパルスユニット (TPU)

9.2.6 タイマカウンタ (TCNT)

チャンネル0 : TCNT0 (アップカウンタ)

チャンネル1 : TCNT1 (アップ/ダウンカウンタ*)

チャンネル2 : TCNT2 (アップ/ダウンカウンタ*)

チャンネル3 : TCNT3 (アップカウンタ)

チャンネル4 : TCNT4 (アップ/ダウンカウンタ*)

チャンネル5 : TCNT5 (アップ/ダウンカウンタ*)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* 位相計数モード (および位相計数モードの他のチャンネルのオーバーフロー/アンダフローのカウンタ時) のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

TCNT は 16 ビットのカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。
TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。
TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

9.2.7 タイマジェネラルレジスタ (TGR)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR は 16 ビットのアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます*。TGR はリセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。

TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

【注】* TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

9.2.8 タイマスタートレジスタ (TSTR)

ビット	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値	0	0	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSTRは8ビットのリード/ライト可能なレジスタで、チャンネル0~5のTCNTの動作/停止を選択します。TSTRはリセットまたはハードウェアスタンバイモード時にH'00に初期化されます。TMDRへ動作モードを設定する場合や、TCRへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

ビット7、6：リザーブビット

ライト時は必ず0を書き込んでください。

ビット5~0：カウンタスタート5~0 (CST5~CST0)

TCNTの動作または停止を選択します。

ビット n	説明
CSTn	
0	TCNTnのカウント動作は停止 (初期値)
1	TCNTnはカウント動作

(n=5~0)

【注】 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態ではTIOAへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

9. 16ビットタイマパルスユニット (TPU)

9.2.9 タイマシンクロレジスタ (TSYR)

ビット	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値	0	0	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

TSYR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6 : リザーブビット

ライト時は必ず 0 を書き込んでください。

ビット 5~0 : タイマ同期 5~0 (SYNC5~SYNC0)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセット*¹ や、他チャンネルのカウントクリアによる同期クリア*² が可能となります。

【注】*¹ 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

*² 同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。

ビット n	説明
SYNCn	
0	TCNTn は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) (初期値)
1	TCNTn は同期動作 TCNT の同期プリセット/同期クリアが可能

(n=5~0)

9.2.10 モジュールストップコントロールレジスタ (MSTPCR)

ビット	MSTPCRH								MSTPCRL							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP13 ビットを 1 にセットすると、バスサイクルの終了時点で TPU は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 13 : モジュールストップ (MSTP13)

TPU のモジュールストップモードを指定します。

ビット 13	説明
MSTP13	
0	TPU のモジュールストップモード解除
1	TPU のモジュールストップモード設定 (初期値)

9.3 バスマスタとのインタフェース

9.3.1 16ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。

8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。16 ビットレジスタのアクセス動作例を図 9.2 に示します。

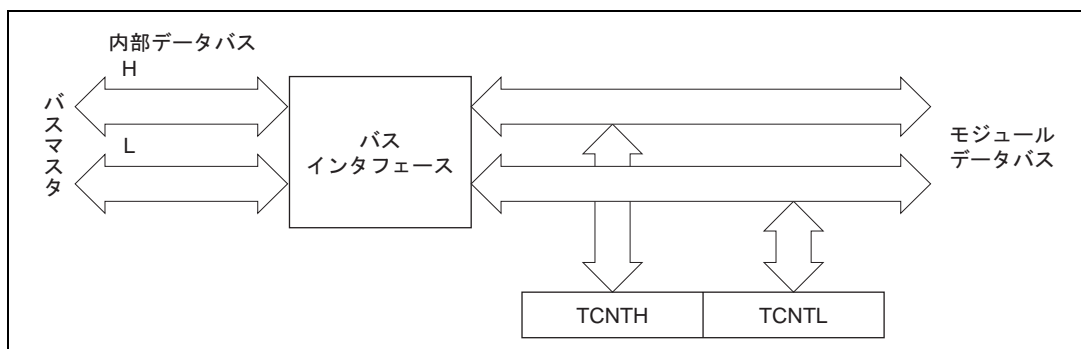


図 9.2 16ビットレジスタのアクセス動作 (バスマスタ↔TCNT (16ビット))

9.3.2 8ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。また、8 ビット単位でのリード/ライトもできます。

8 ビットレジスタのアクセス動作例を図 9.3、図 9.4、図 9.5 に示します。

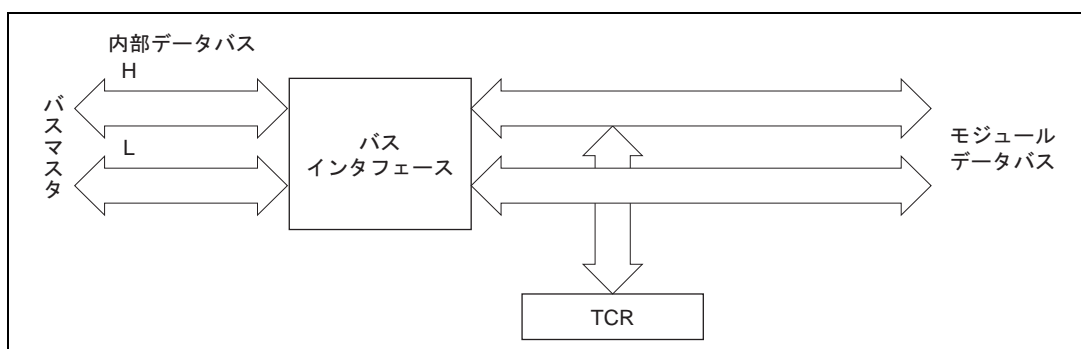


図 9.3 8ビットレジスタのアクセス動作 (バスマスタ↔TCR (上位8ビット))

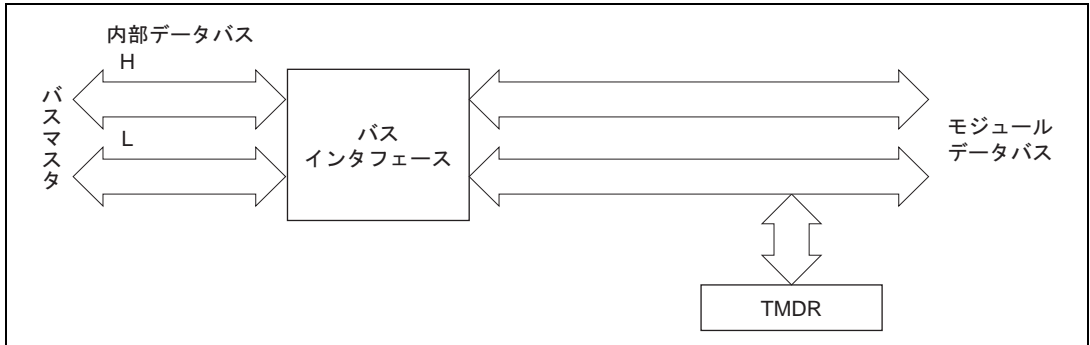


図 9.4 8ビットレジスタのアクセス動作 (バスマスタ↔TMDR (下位8ビット))

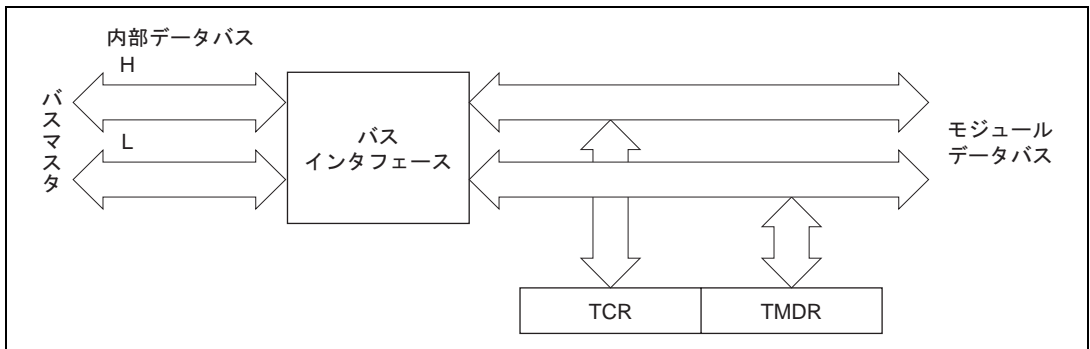


図 9.5 8ビットレジスタのアクセス動作 (バスマスタ↔TCR、TMDR (16ビット))

9.4 動作説明

9.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると、他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR のタイマ同期ビットの設定により、TCNT の同期クリアが可能です。

(3) バッファ動作

(a) TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値が TGR に転送されると同時に、それまで格納されていた TGR の値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル 1 カウンタ (TCNT1) とチャンネル 2 カウンタ (TCNT2) またはチャンネル 4 カウンタ (TCNT4) とチャンネル 5 カウンタ (TCNT5) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

(6) 位相計数モード

チャンネル 1、2、4、5 で外部クロック入力端子から入力される 2 つのクロックの位相を検出して、TCNT をアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT はアップ/ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

9.4.2 基本機能

(1) カウンタの動作

TSTR の CST0~CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 9.6 に示します。

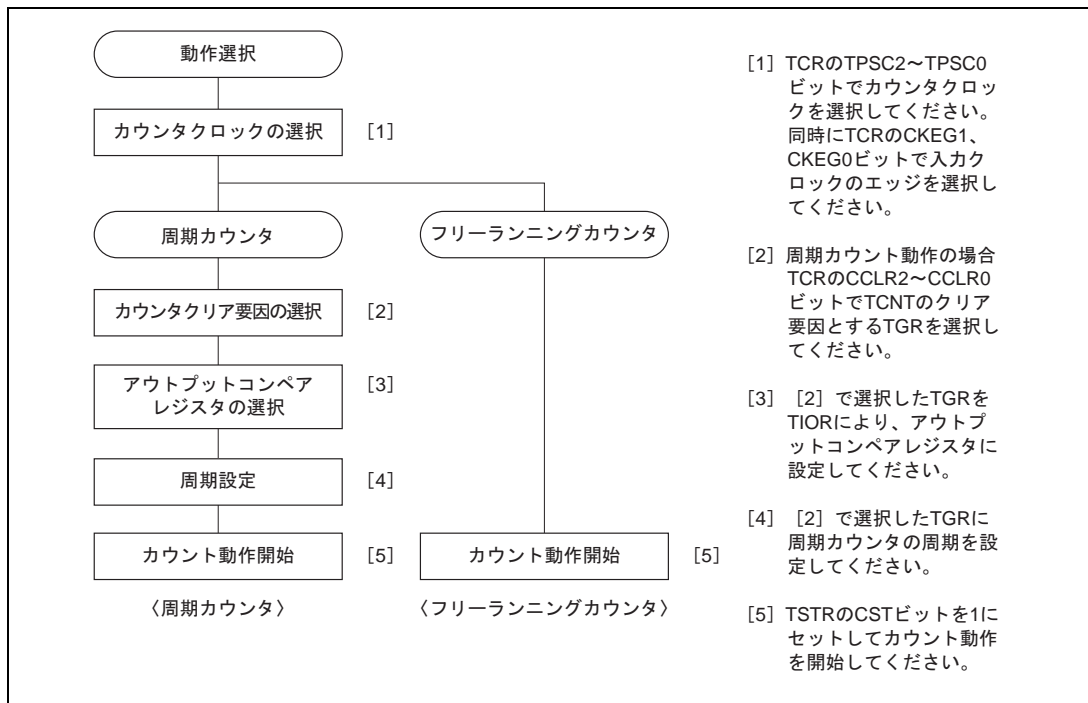


図 9.6 カウンタ動作設定手順例

9. 16ビットタイマパルスユニット (TPU)

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPUのTCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(H'FFFF→H'0000)すると、TSRのTCFVビットが1にセットされます。このとき、対応するTIERのTCIEVビットが1ならば、TPUは割り込みを要求します。TCNTはオーバーフロー後、H'0000からアップカウント動作を継続します。

フリーランニングカウンタの動作を図9.7に示します。

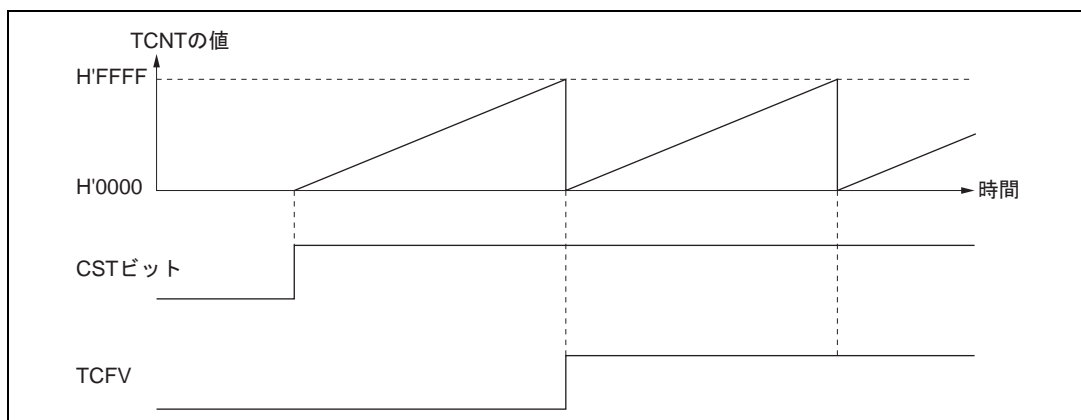


図 9.7 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2～CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図9.8に示します。

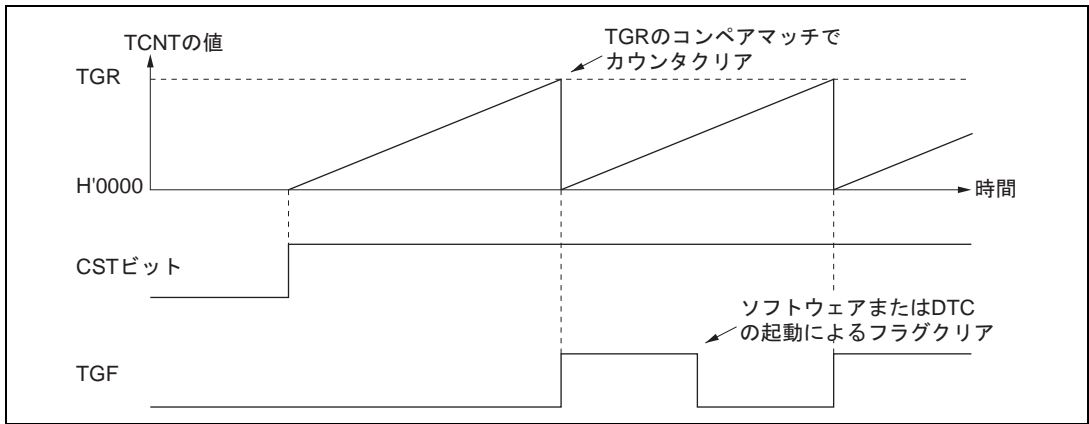


図 9.8 周期カウンタの動作

9. 16ビットタイマパルスユニット (TPU)

(2) コンペアマッチによる波形出力機能

TPUは、コンペアマッチにより対応する出力端子から0出力/1出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図9.9に示します。

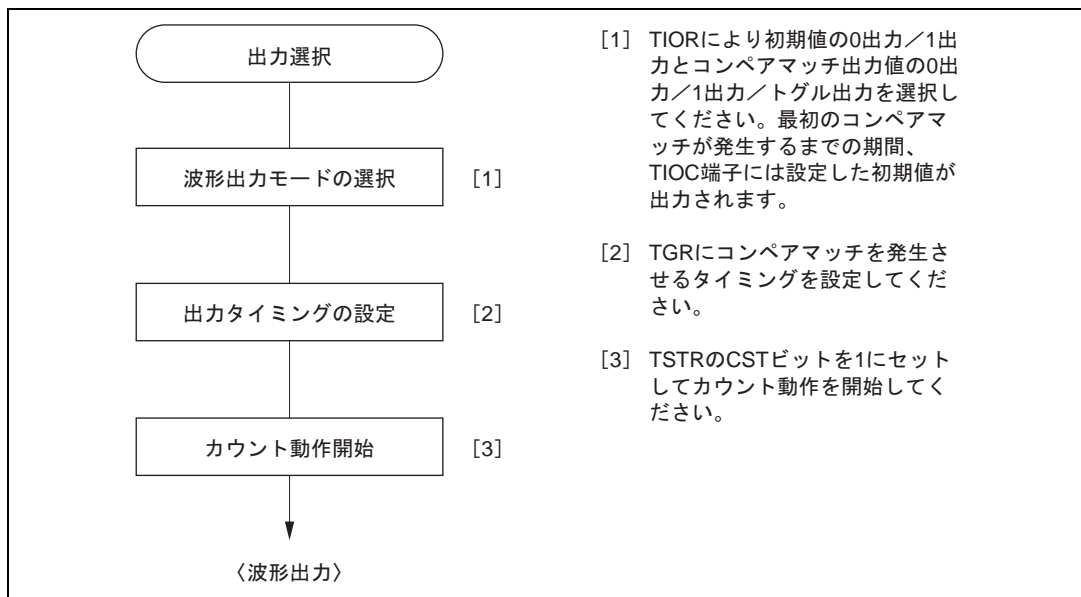


図 9.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力 / 1出力例を図 9.10 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

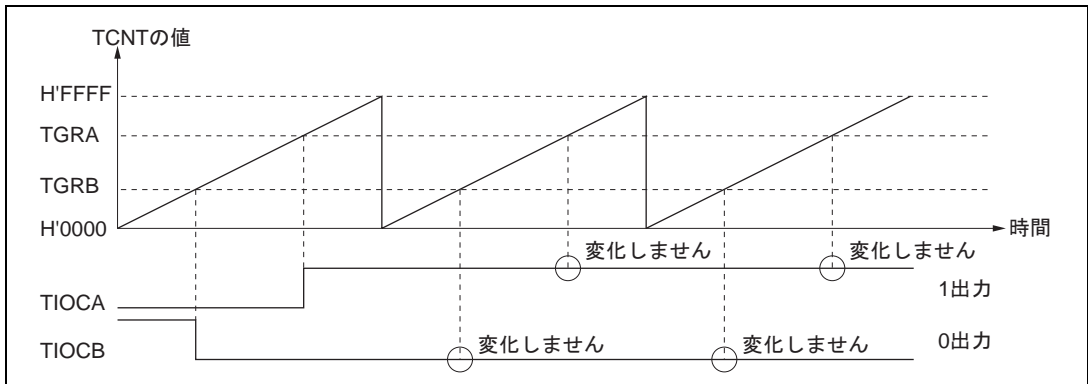


図 9.10 0出力 / 1出力の動作例

トグル出力の例を図 9.11 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

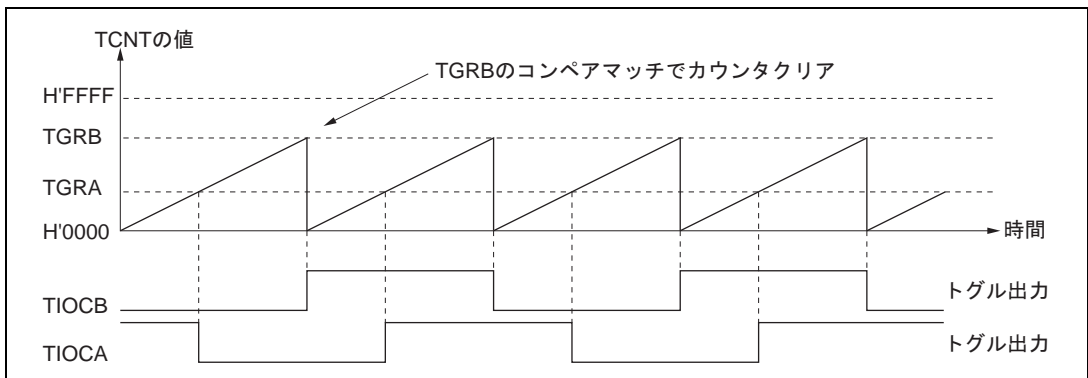


図 9.11 トグル出力の動作例

9. 16 ビットタイマパルスユニット (TPU)

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 9.12 に示します。

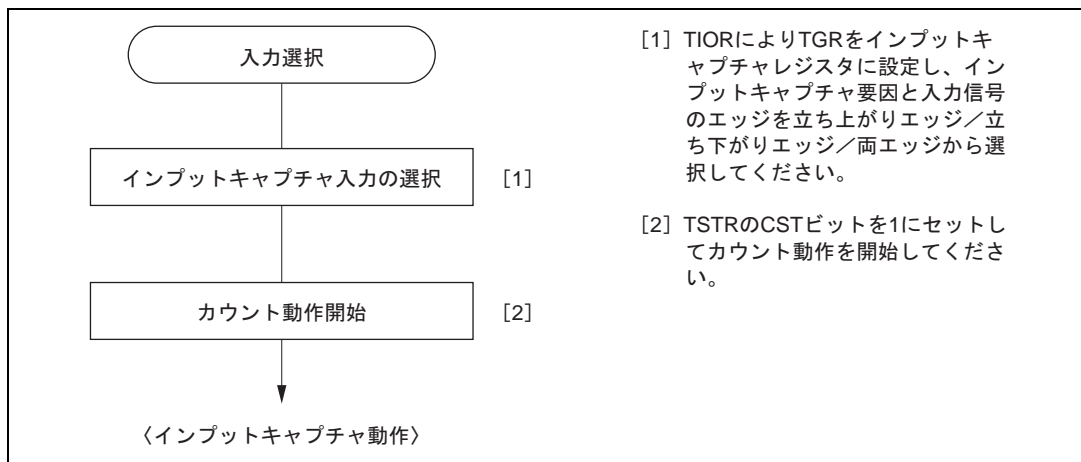


図 9.12 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 9.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

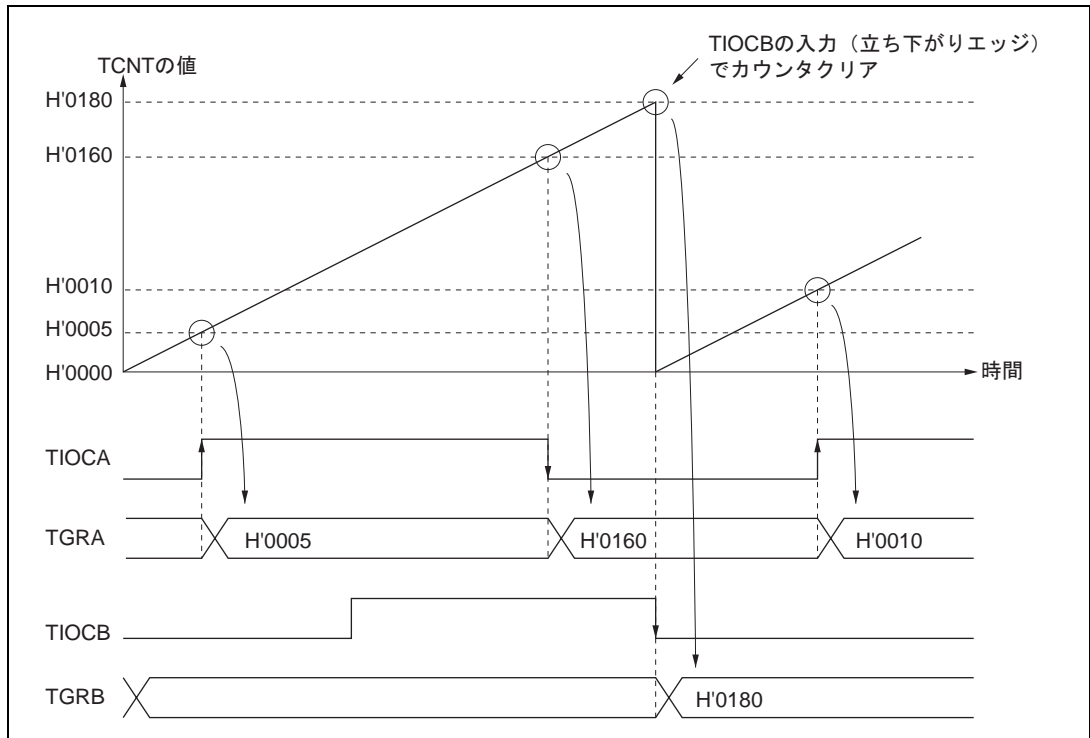


図 9.13 インพุットキャプチャ動作例

9.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。
チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 9.14 に示します。

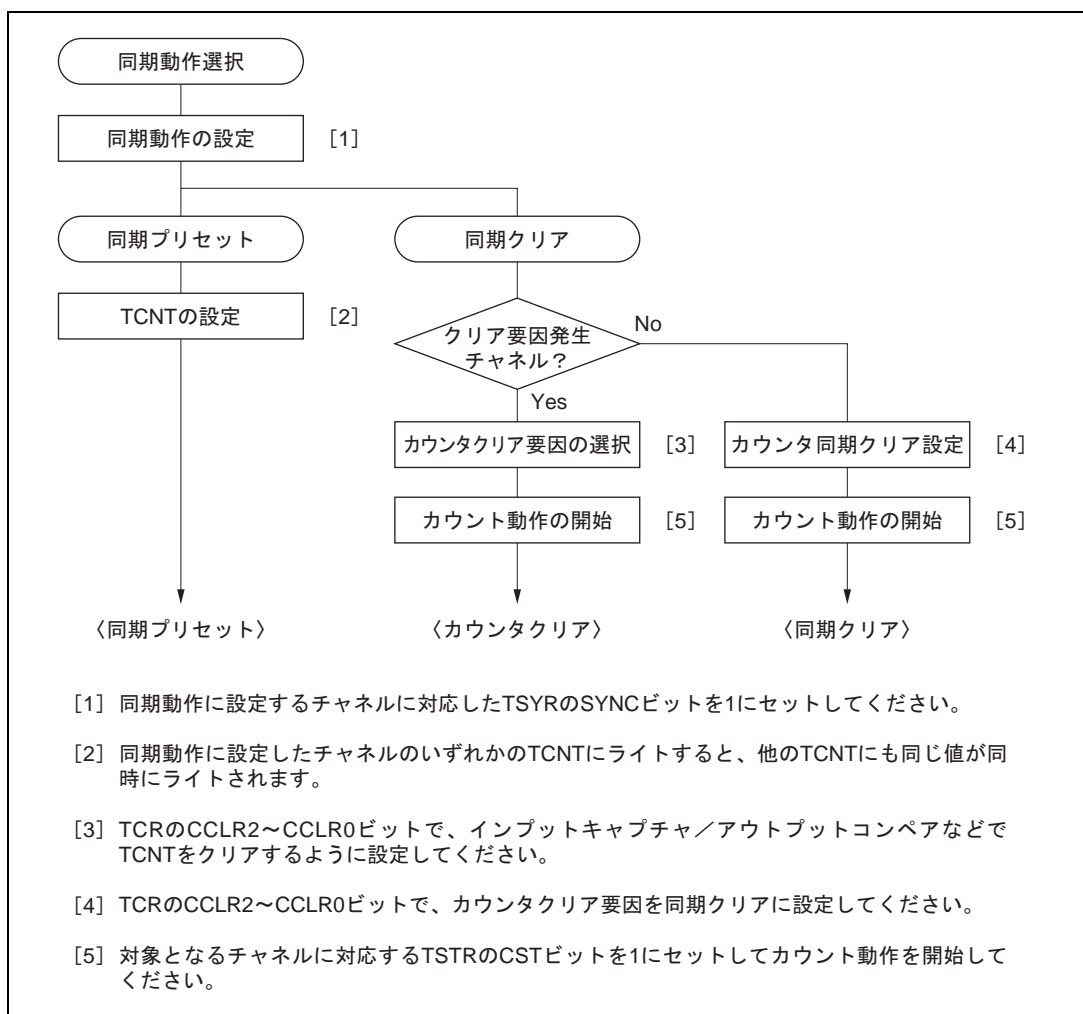


図 9.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 9.15 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGR0Bのコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOC0A、TIOC1A、TIOC2A端子から出力します。このとき、チャンネル0~2のTCNTは同期プリセット、TGR0Bのコンペアマッチによる同期クリアを行い、TGR0Bに設定したデータがPWM周期となります。

PWMモードについては、「9.4.6 PWMモード」を参照してください。

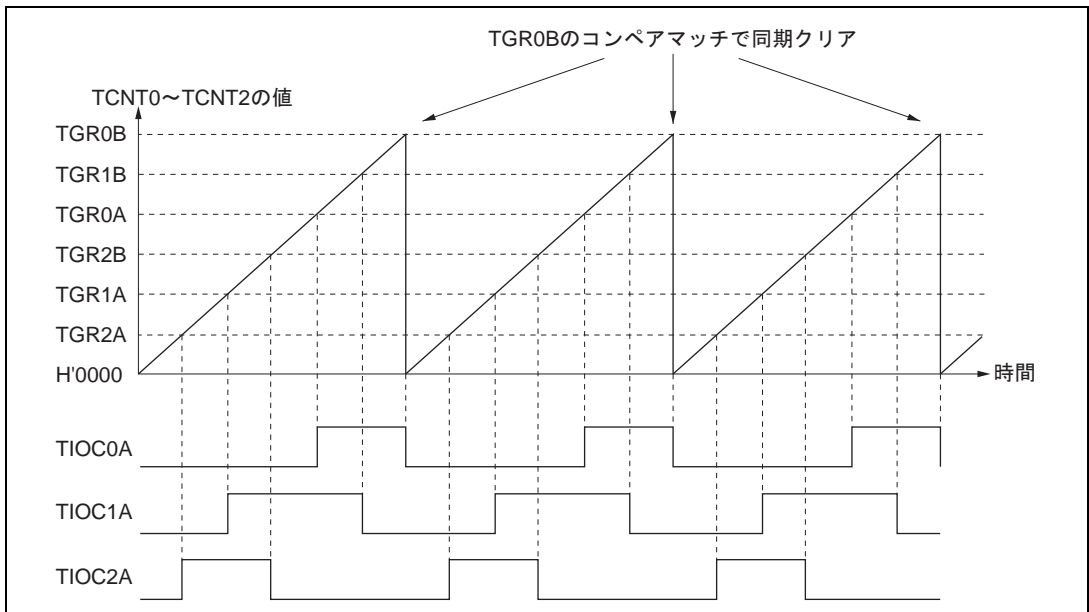


図 9.15 同期動作の動作例

9.4.4 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表9.5にバッファ動作時のレジスタの組み合わせを示します。

表 9.5 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D
3	TGR3A	TGR3C
	TGR3B	TGR3D

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図9.16に示します。

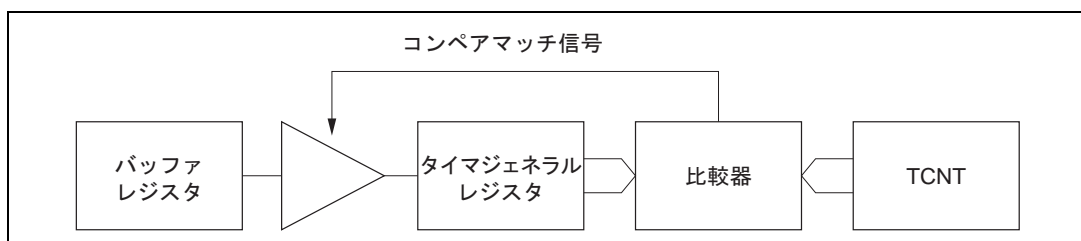


図 9.16 コンペアマッチバッファ動作

- TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 9.17 に示します。

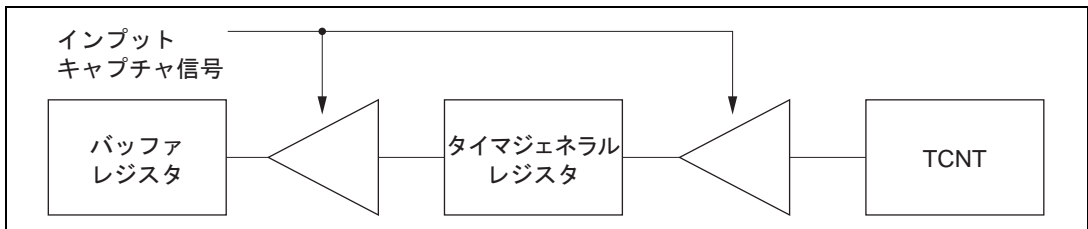


図 9.17 インputキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 9.18 に示します。



図 9.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図9.19に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「9.4.6 PWMモード」を参照してください。

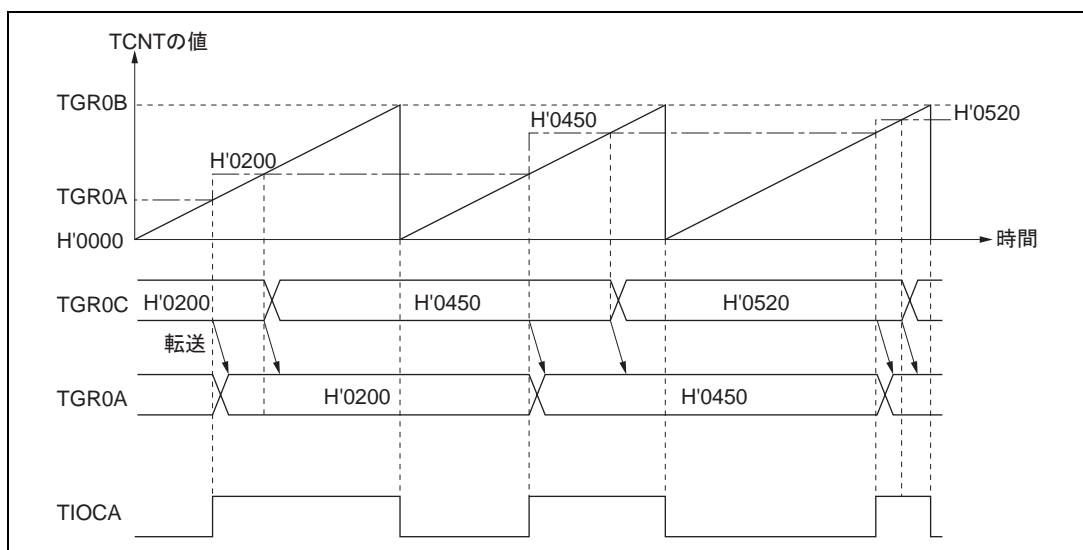


図 9.19 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 9.20 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

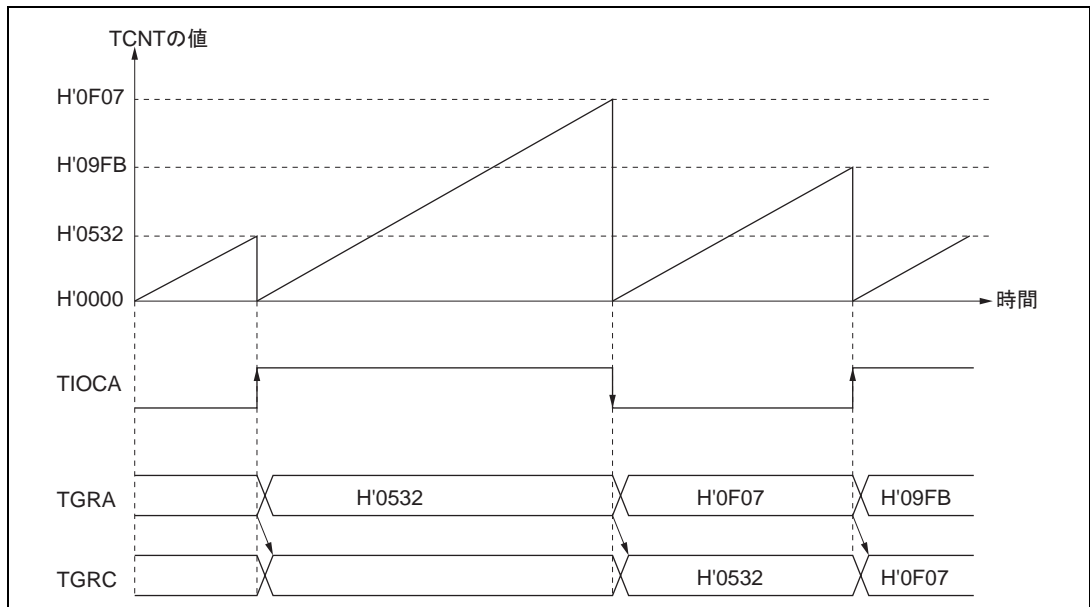


図 9.20 バッファ動作例 (2)

9. 16ビットタイマパルスユニット (TPU)

9.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT2 (TCNT5) のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表9.6にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 9.6 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT1	TCNT2
チャンネル4とチャンネル5	TCNT4	TCNT5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図9.21に示します。

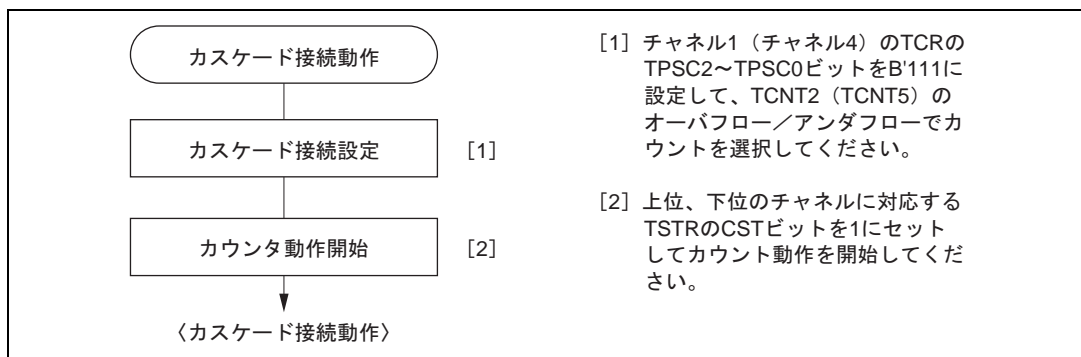


図 9.21 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT1 は TCNT2 のオーバーフロー / アンダフローでカウント、TGR1A と TGR2A をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択したときの動作を図 9.22 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGR1A に上位 16 ビット、TGR2A に下位 16 ビットの 32 ビットデータが転送されます。

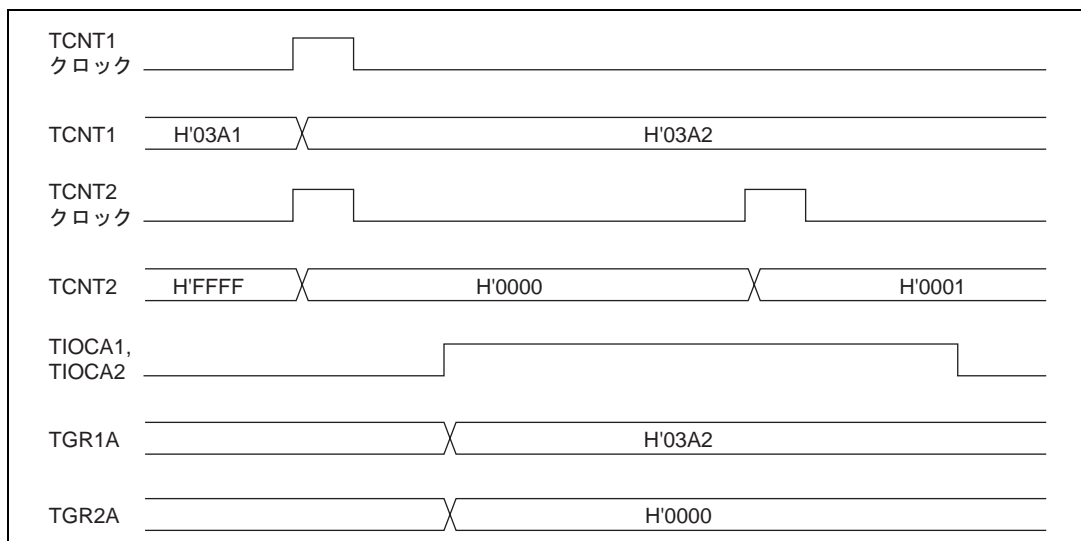


図 9.22 カスケード接続動作例 (1)

TCNT1 は TCNT2 のオーバーフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 9.23 に示します。

TCNT1 は、TCNT2 のオーバーフローでアップカウント、TCNT2 のアンダフローでダウンカウントされます。

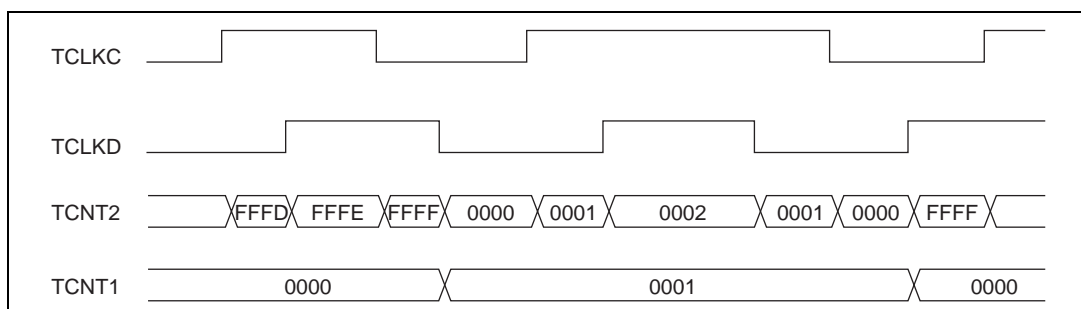


図 9.23 カスケード接続動作例 (2)

9.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 9.7 に示します。

表 9.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGR0A	TIOCA0	TIOCA0
	TGR0B		TIOCB0
	TGR0C	TIOCC0	TIOCC0
	TGR0D		TIOCD0
1	TGR1A	TIOCA1	TIOCA1
	TGR1B		TIOCB1
2	TGR2A	TIOCA2	TIOCA2
	TGR2B		TIOCB2
3	TGR3A	TIOCA3	TIOCA3
	TGR3B		TIOCB3
	TGR3C	TIOCC3	TIOCC3
	TGR3D		TIOCD3
4	TGR4A	TIOCA4	TIOCA4
	TGR4B		TIOCB4
5	TGR5A	TIOCA5	TIOCA5
	TGR5B		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

9. 16ビットタイマパルスユニット(TPU)

(1) PWMモードの設定手順例

PWMモードの設定手順例を図9.24に示します。

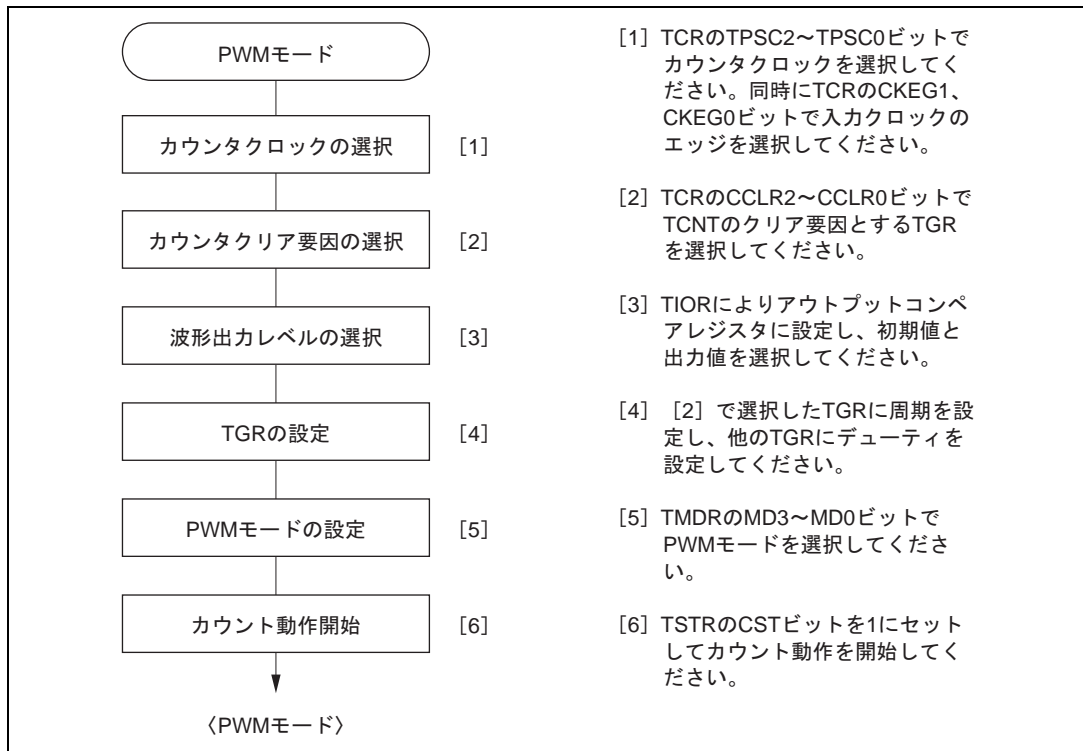


図 9.24 PWMモードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 9.25 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

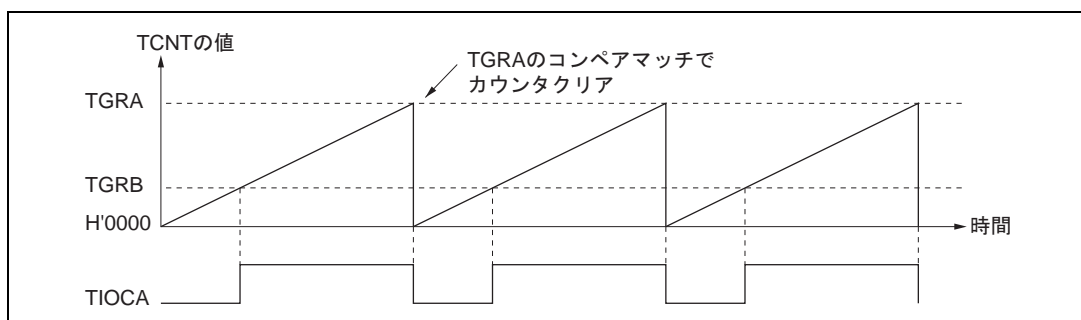


図 9.25 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 9.26 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGR1B のコンペアマッチとし、他の TGR (TGR0A ~ TGR0D, TGR1A) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

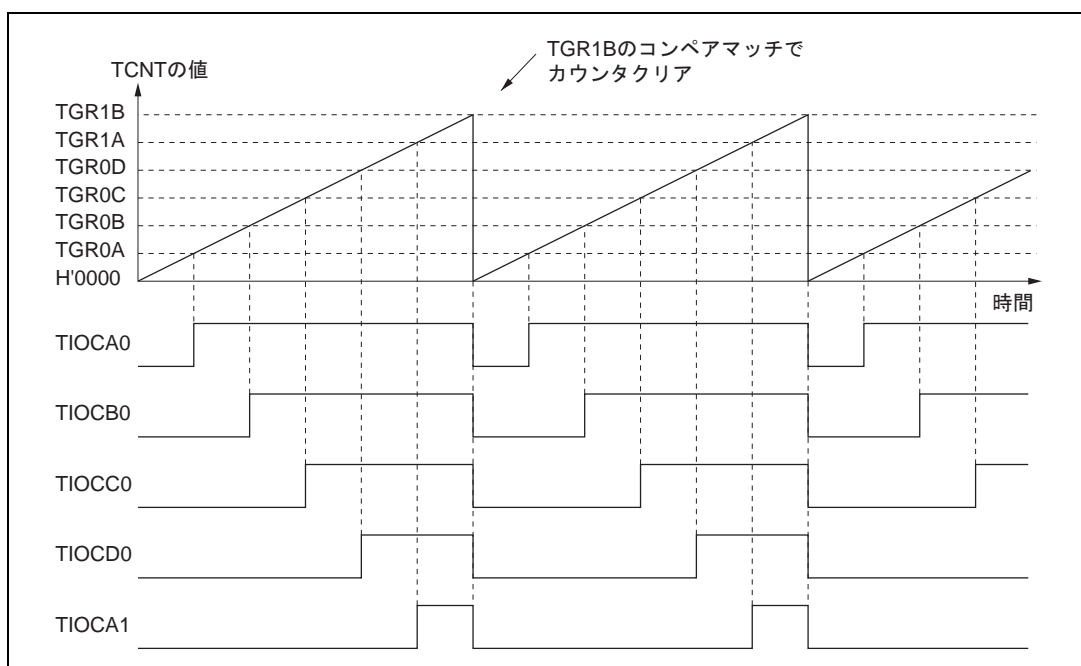


図 9.26 PWM モードの動作例 (2)

9. 16ビットタイマパルスユニット (TPU)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図9.27に示します。

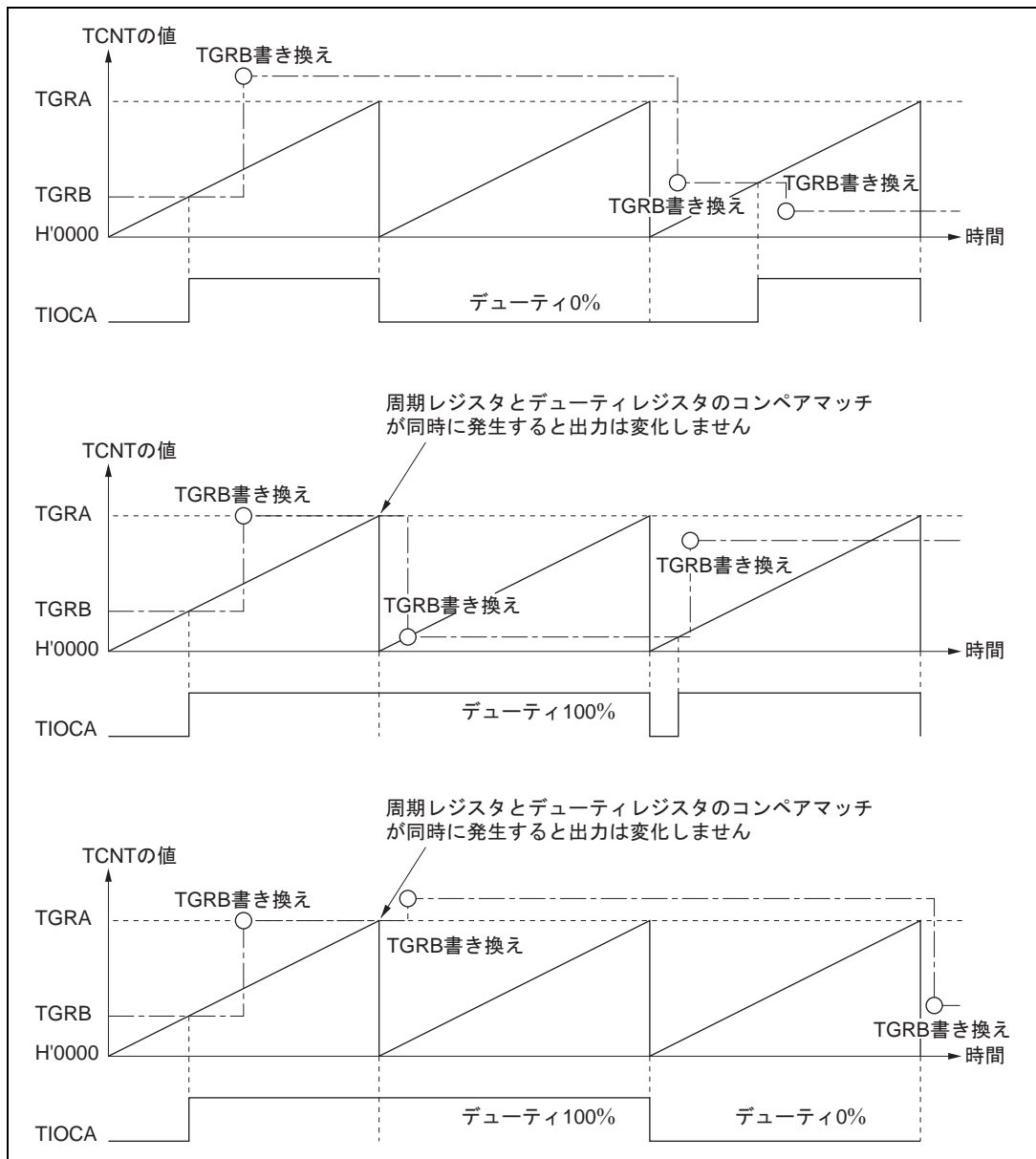


図 9.27 PWM モード動作例 (3)

9.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。このモードはチャンネル1、2、4、5で設定可能です。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表9.8に外部クロック端子とチャンネルの対応を示します。

表 9.8 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1または5を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2または4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図9.28に示します。

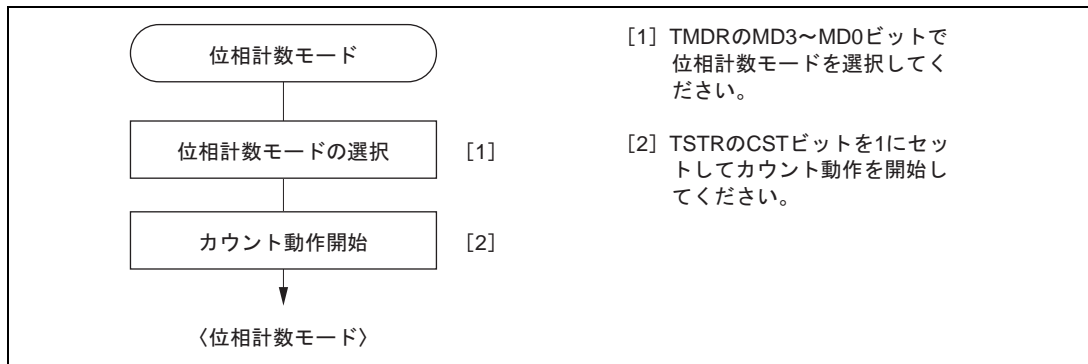


図 9.28 位相計数モードの設定手順例

9. 16ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図9.29に、TCNTのアップ/ダウンカウント条件を表9.9に示します。

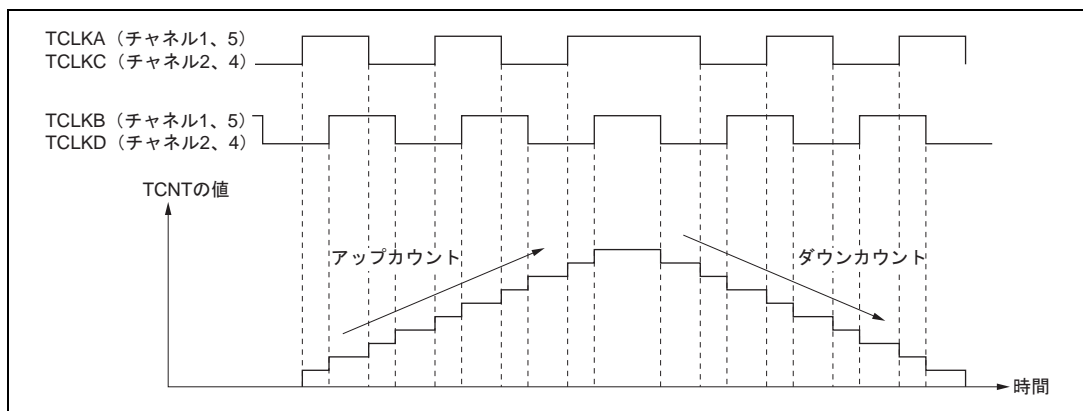


図 9.29 位相計数モード1の動作例

表 9.9 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	\uparrow	アップカウント
Low レベル	\downarrow	
\uparrow	Low レベル	
\downarrow	High レベル	
High レベル	\downarrow	ダウンカウント
Low レベル	\uparrow	
\uparrow	High レベル	
\downarrow	Low レベル	

【記号説明】

\uparrow : 立ち上がりエッジ

\downarrow : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図9.30に、TCNTのアップ/ダウンカウント条件を表9.10に示します。

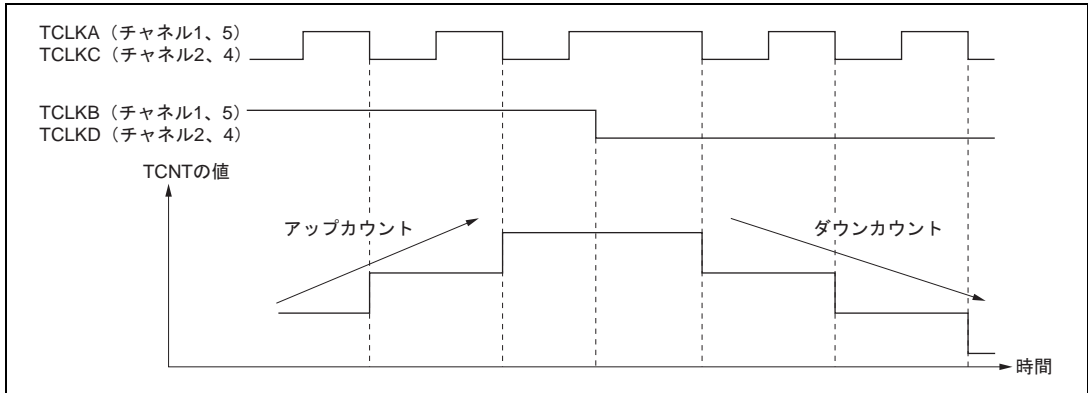


図 9.30 位相計数モード2の動作例

表 9.10 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	\uparrow	Don't care
Low レベル	\downarrow	
\uparrow	Low レベル	アップカウント
\downarrow	High レベル	
High レベル	\downarrow	Don't care
Low レベル	\uparrow	
\uparrow	High レベル	ダウンカウント
\downarrow	Low レベル	

【記号説明】

\uparrow : 立ち上がりエッジ

\downarrow : 立ち下がりエッジ

9. 16ビットタイマパルスユニット (TPU)

(c) 位相計数モード3

位相計数モード3の動作例を図9.31に、TCNTのアップ/ダウンカウント条件を表9.11に示します。

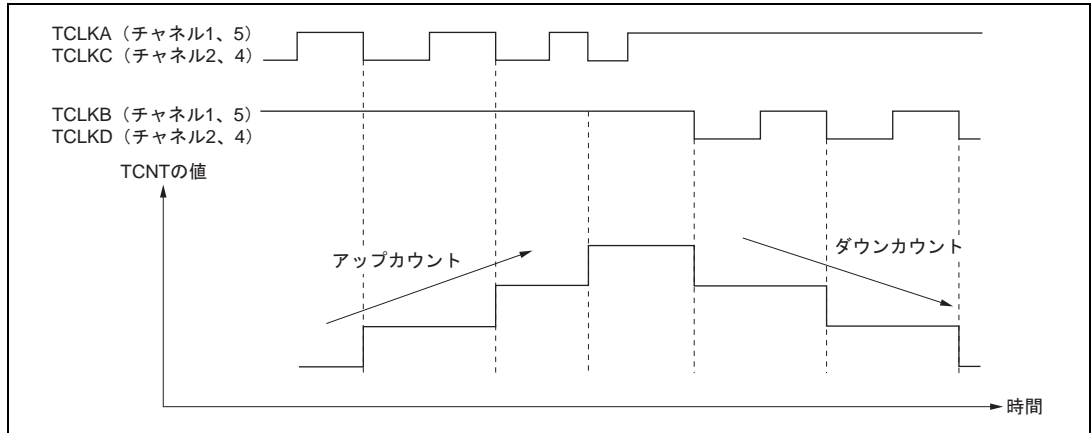


図 9.31 位相計数モード3の動作例

表 9.11 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	
↑	Low レベル	アップカウント
↓	High レベル	ダウンカウント
High レベル	↓	Don't care
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図9.32に、TCNTのアップ/ダウンカウント条件を表9.12に示します。

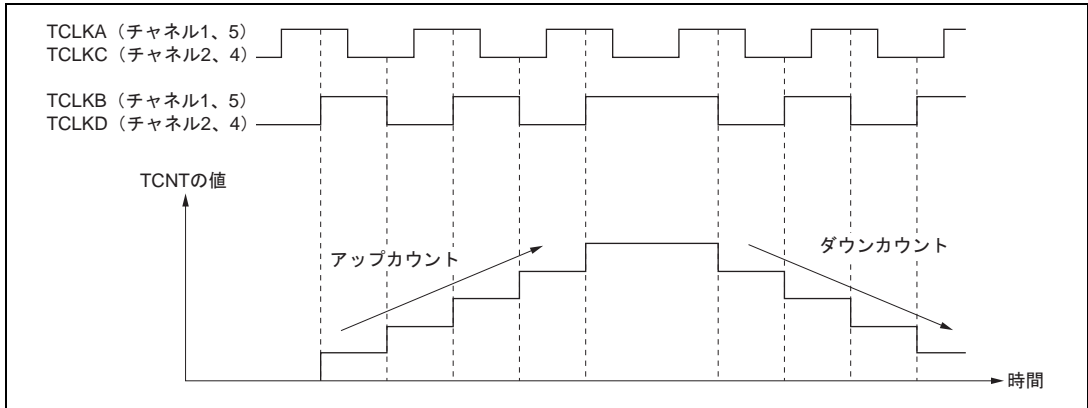


図 9.32 位相計数モード4の動作例

表 9.12 位相計数モード4のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

9. 16ビットタイマパルスユニット (TPU)

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図9.33に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGR0Cのコンペアマッチでカウンタクリアとして動作させ、TGR0AとTGR0Cはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGR0Bは入力キャプチャ機能で使用し、TGR0BとTGR0Dをバッファ動作させます。TGR0Bの入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅の検出を行います。

チャンネル1のTGR1AとTGR1Bは、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGR0AとTGR0Cのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出が行うことができます。

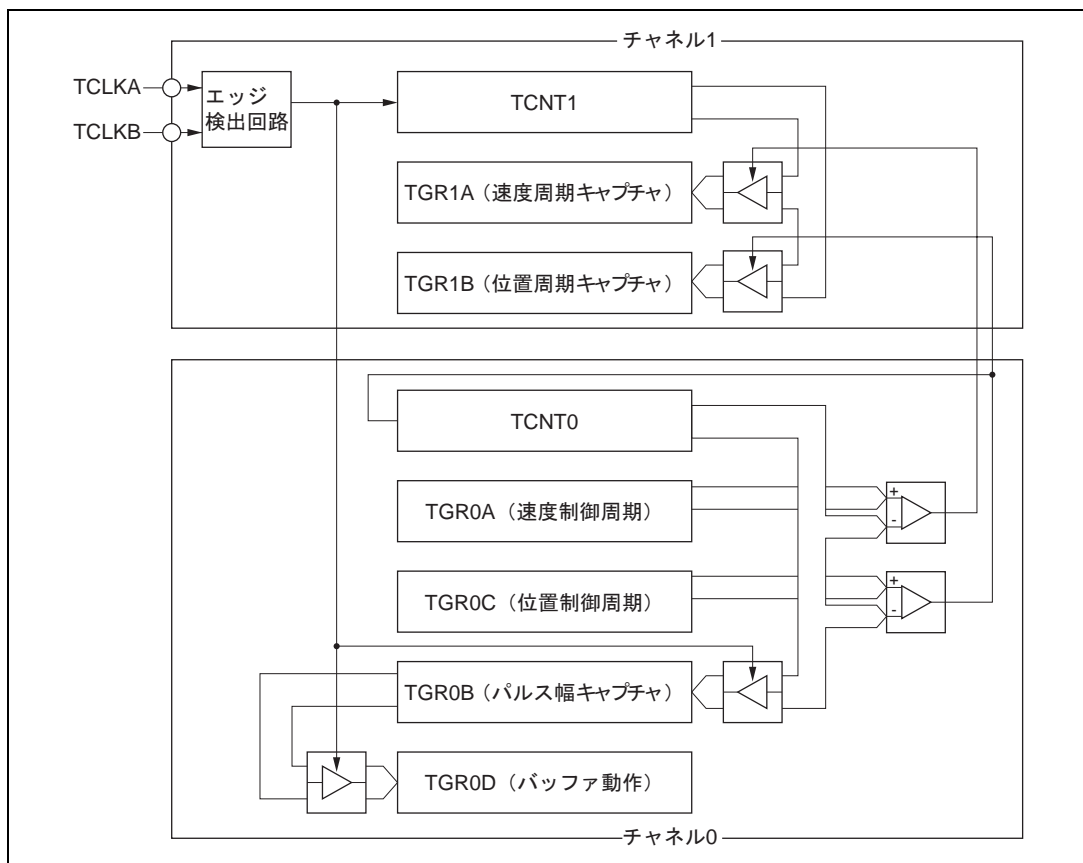


図 9.33 位相計数モードの応用例

9.5 割り込み

9.5.1 割り込み要因と優先順位

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第5章 割り込みコントローラ」を参照してください。

表 9.13 に TPU の割り込み要因の一覧を示します。

9. 16ビットタイマパルスユニット (TPU)

表 9.13 TPU 割り込み一覧

チャンネル	割り込み要因	内容	DTC の起動	優先順位
0	TGI0A	TGR0A のインプットキャプチャ / コンペアマッチ	可	↑ 高
	TGI0B	TGR0B のインプットキャプチャ / コンペアマッチ	可	
	TGI0C	TGR0C のインプットキャプチャ / コンペアマッチ	可	
	TGI0D	TGR0D のインプットキャプチャ / コンペアマッチ	可	
	TCI0V	TCNT0 のオーバフロー	不可	
1	TGI1A	TGR1A のインプットキャプチャ / コンペアマッチ	可	
	TGI1B	TGR1B のインプットキャプチャ / コンペアマッチ	可	
	TCI1V	TCNT1 のオーバフロー	不可	
	TCI1U	TCNT1 のアンダフロー	不可	
2	TGI2A	TGR2A のインプットキャプチャ / コンペアマッチ	可	
	TGI2B	TGR2B のインプットキャプチャ / コンペアマッチ	可	
	TCI2V	TCNT2 のオーバフロー	不可	
	TCI2U	TCNT2 のアンダフロー	不可	
3	TGI3A	TGR3A のインプットキャプチャ / コンペアマッチ	可	
	TGI3B	TGR3B のインプットキャプチャ / コンペアマッチ	可	
	TGI3C	TGR3C のインプットキャプチャ / コンペアマッチ	可	
	TGI3D	TGR3D のインプットキャプチャ / コンペアマッチ	可	
	TCI3V	TCNT3 のオーバフロー	不可	
4	TGI4A	TGR4A のインプットキャプチャ / コンペアマッチ	可	
	TGI4B	TGR4B のインプットキャプチャ / コンペアマッチ	可	
	TCI4V	TCNT4 のオーバフロー	不可	
	TCI4U	TCNT4 のアンダフロー	不可	
5	TGI5A	TGR5A のインプットキャプチャ / コンペアマッチ	可	
	TGI5B	TGR5B のインプットキャプチャ / コンペアマッチ	可	
	TCI5V	TCNT5 のオーバフロー	不可	
	TCI5U	TCNT5 のアンダフロー	不可	
				低

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインプットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割

り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

9.5.2 DTC の起動

各チャンネルの TGR のインプットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインプットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

9.5.3 A/D 変換器の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

9.6 動作タイミング

9.6.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図9.34に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図9.35に示します。

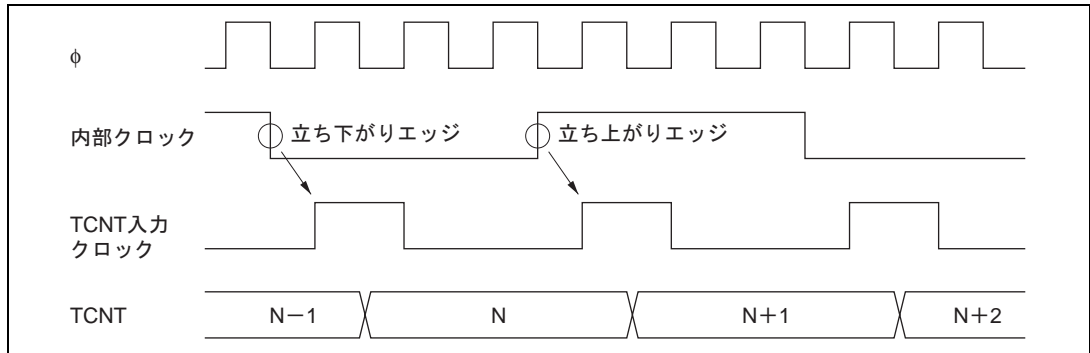


図 9.34 内部クロック動作時のカウンタタイミング

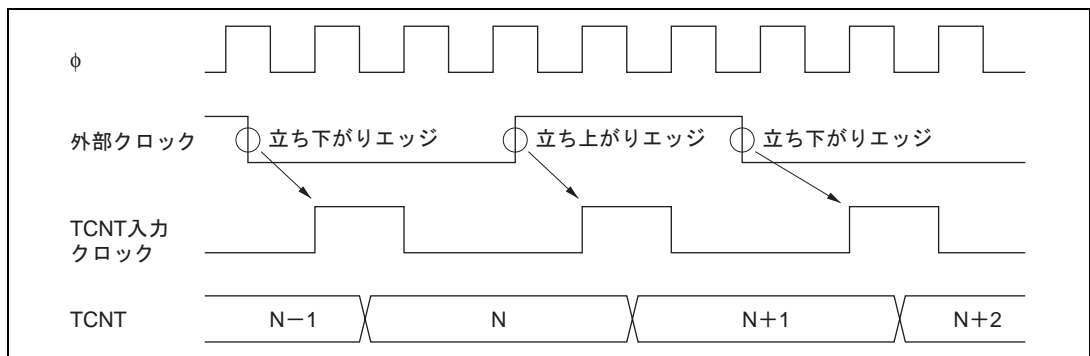


図 9.35 外部クロック動作時のカウンタタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 9.36 に示します。

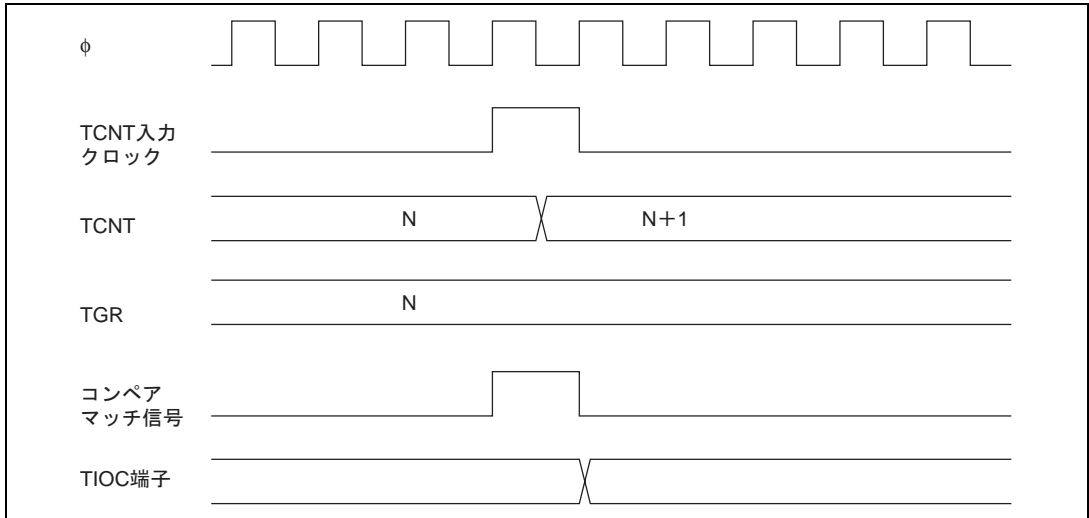


図 9.36 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 9.37 に示します。

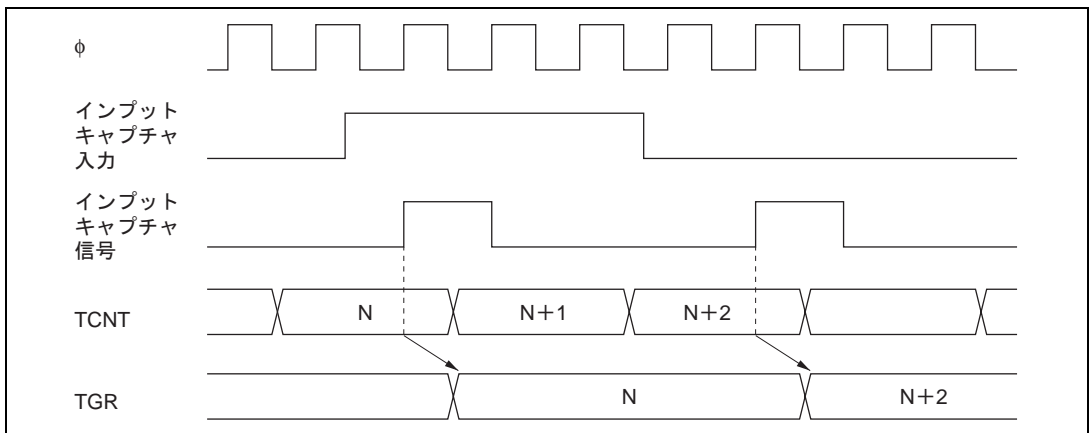


図 9.37 インプットキャプチャ入力信号タイミング

9. 16ビットタイマパルスユニット (TPU)

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 9.38 に示します。
インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 9.39 に示します。

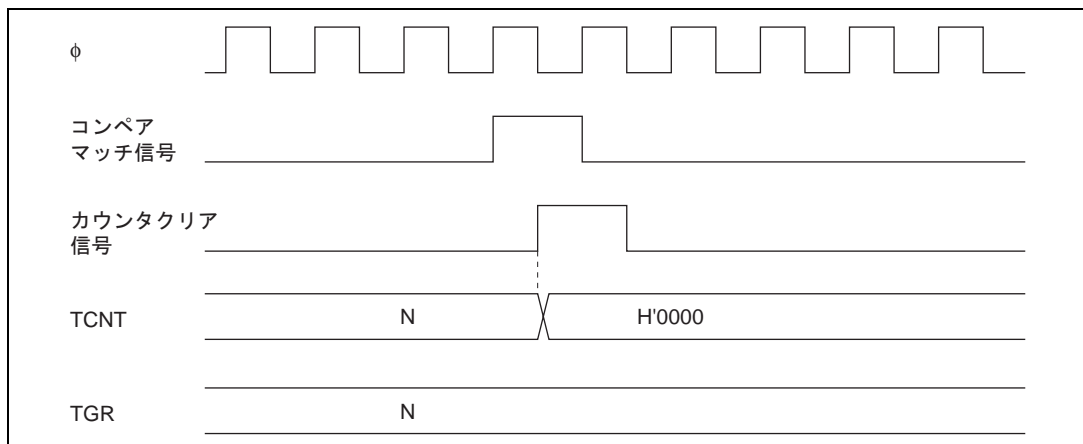


図 9.38 カウンタクリアタイミング (コンペアマッチ)

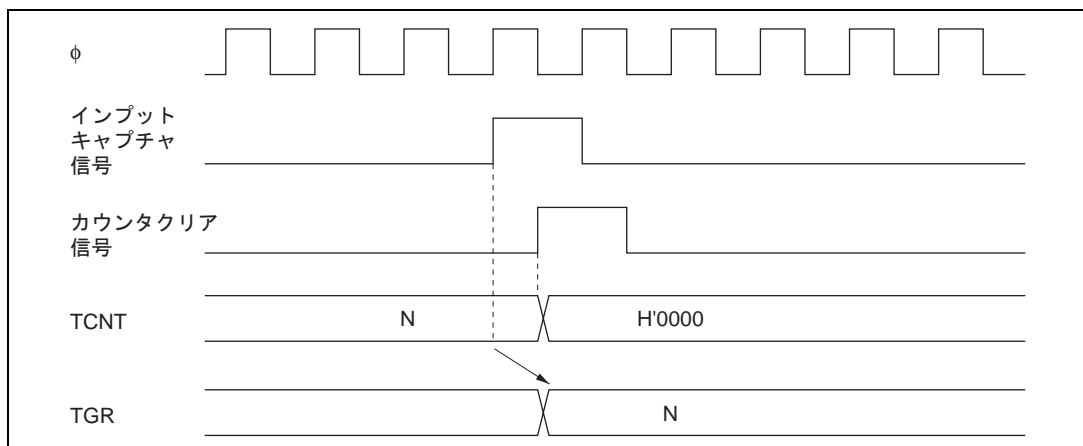


図 9.39 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 9.40、図 9.41 に示します。

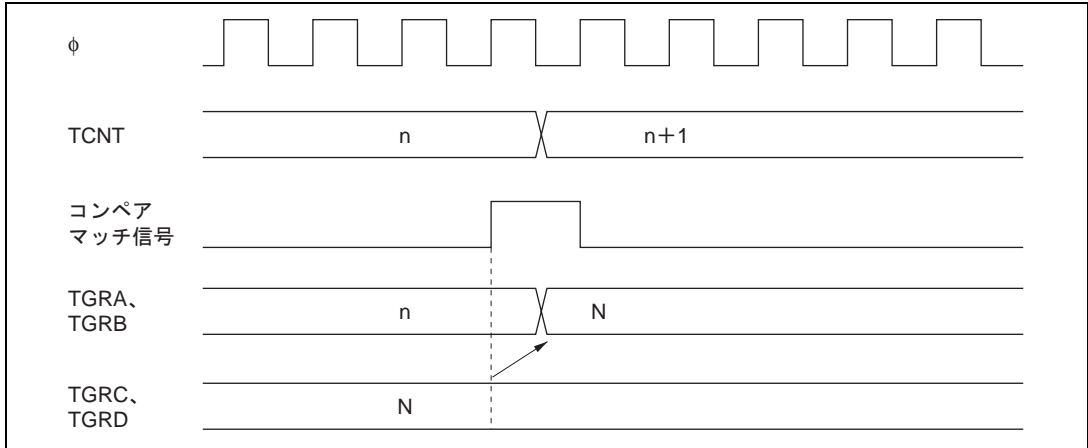


図 9.40 バッファ動作タイミング (コンペアマッチ)

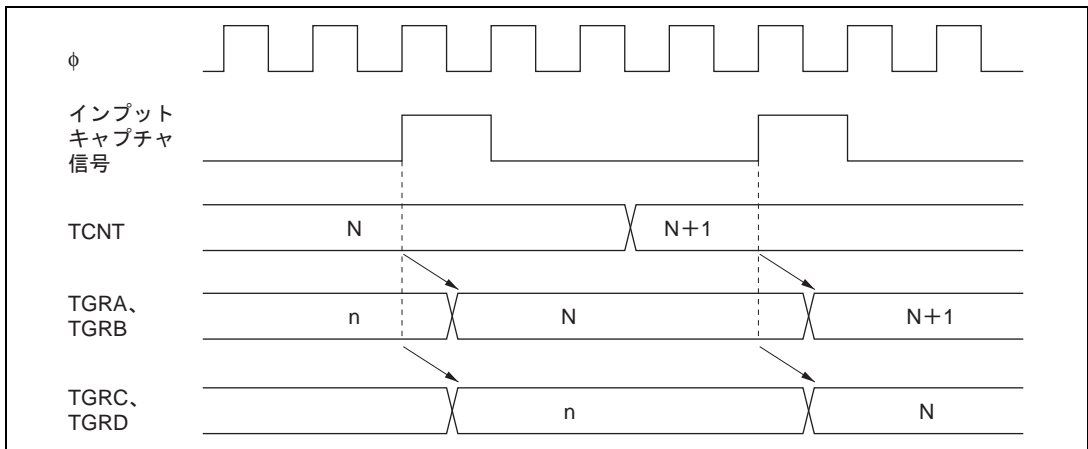


図 9.41 バッファ動作タイミング (インพุットキャプチャ)

9.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.42 に示します。

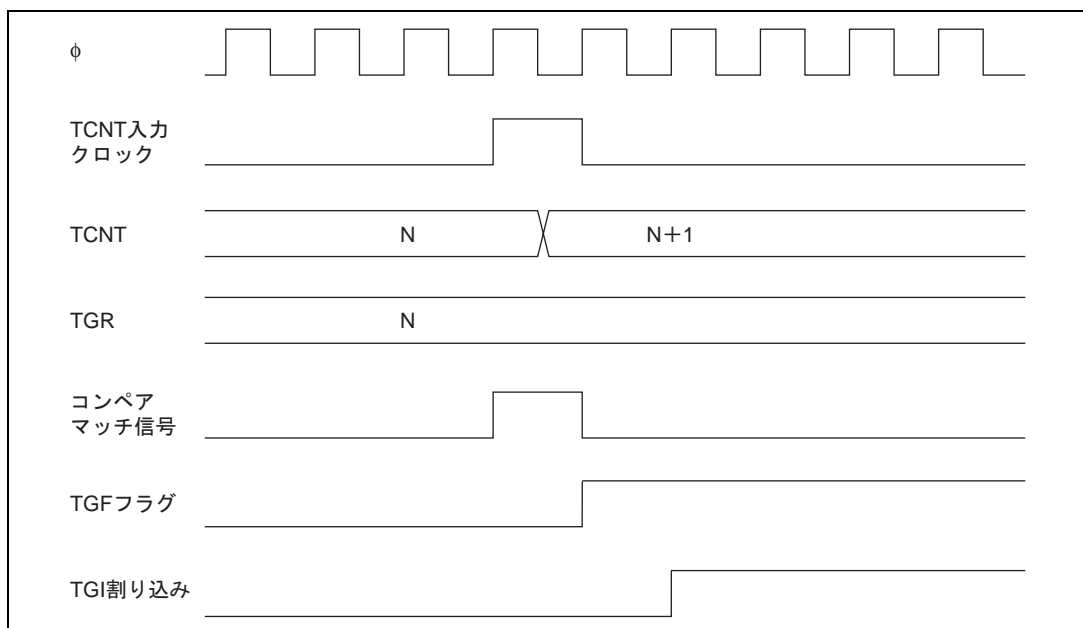


図 9.42 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.43 に示します。

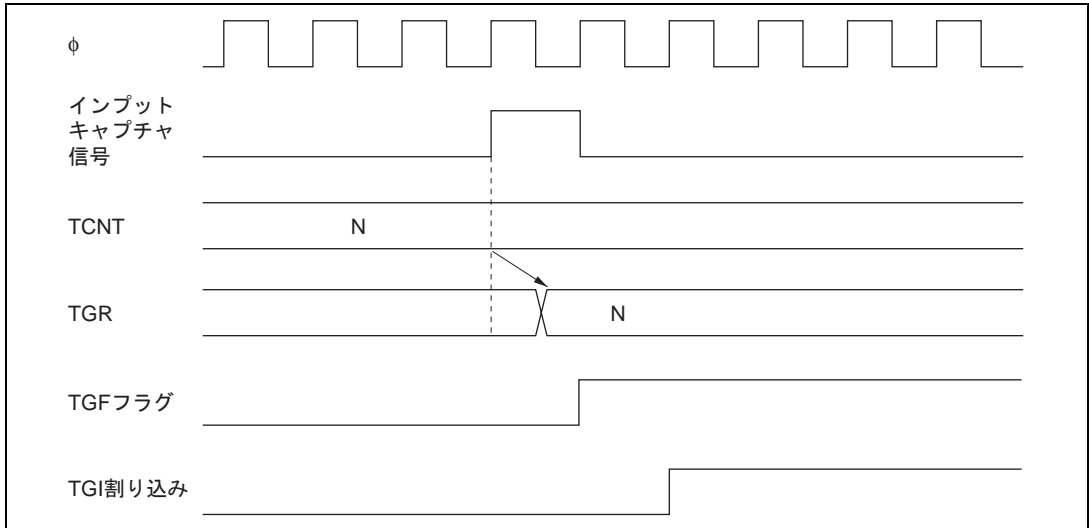


図 9.43 TGI 割り込みタイミング (インพุットキャプチャ)

9. 16ビットタイマパルスユニット (TPU)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 9.44 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 9.45 に示します。

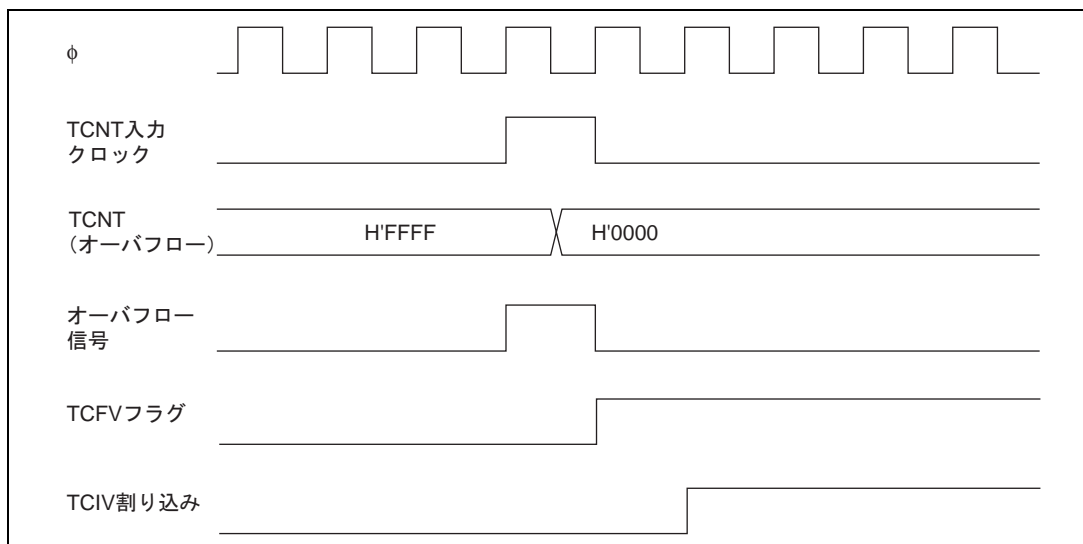


図 9.44 TCIV 割り込みのセットタイミング

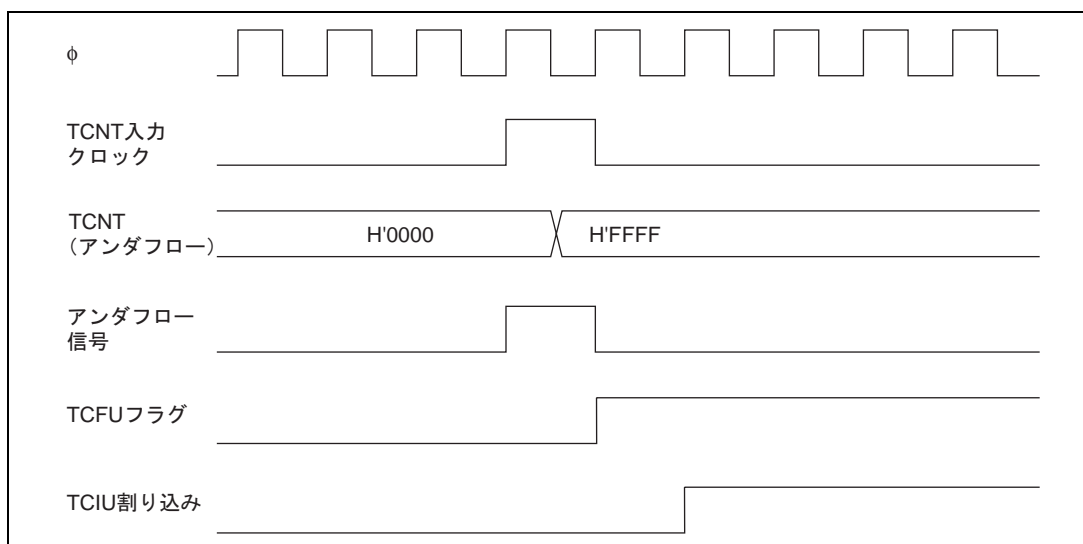


図 9.45 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図9.46に、DTCによるステータスフラグのクリアのタイミングを図9.47に示します。

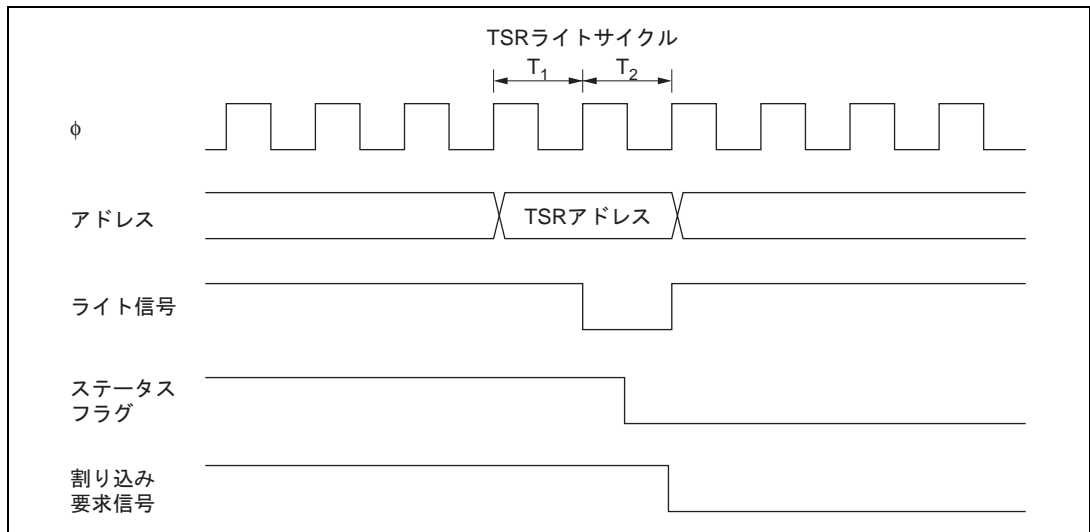


図 9.46 CPU によるステータスフラグのクリアタイミング

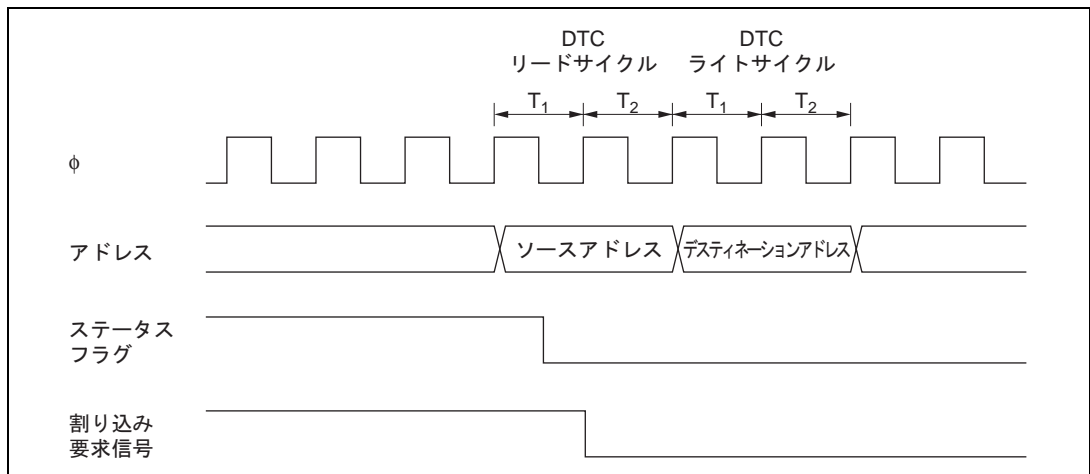


図 9.47 DTC の起動によるステータスフラグのクリアタイミング

9.7 使用上の注意

TPU の動作中、次のような動作や競合が起こりますので注意してください。

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 9.48 に示します。

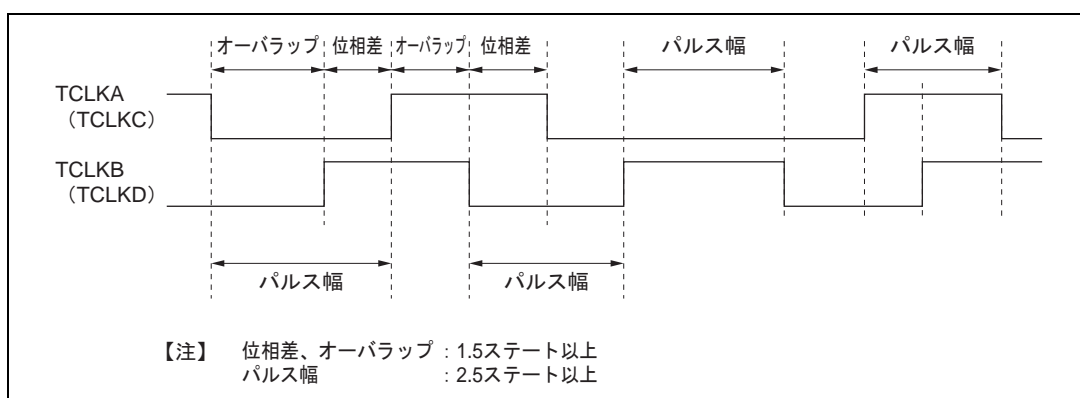


図 9.48 位相計数モード時の位相差、オーバーラップ、およびパルス幅

(2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

- f : カウンタ周波数
 ϕ : 動作周波数
 N : TGR の設定値

(3) TCNTのライトとクリアの競合

TCNTのライトサイクル中の T_2 状態で、カウンタクリア信号が発生すると、TCNTへのライトは行われずに、TCNTのクリアが優先されます。

このタイミングを図9.49に示します。

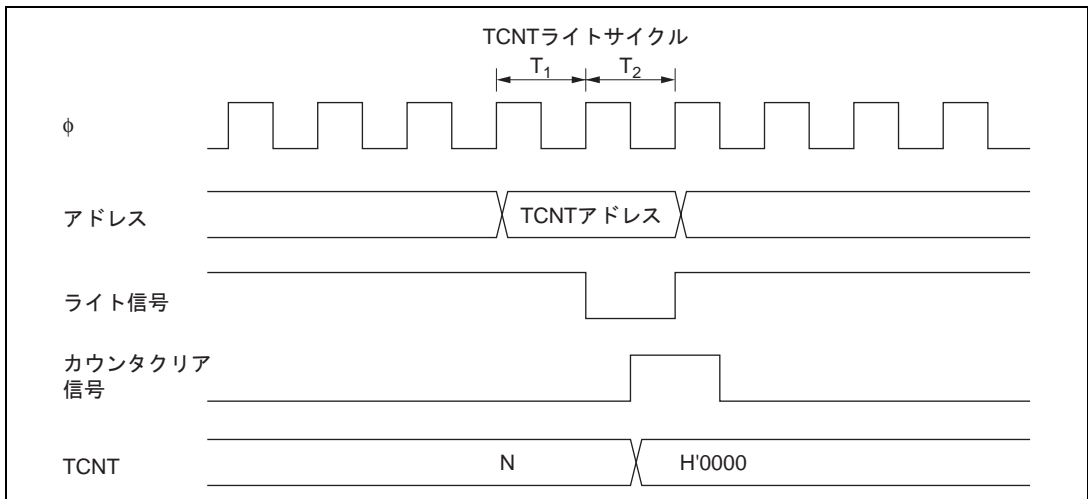


図 9.49 TCNTのライトとクリアの競合

(5) TGRのライトとコンペアマッチの競合

TGRのライトサイクル中の T_2 状態でコンペアマッチが発生しても、TGRのライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図9.51に示します。

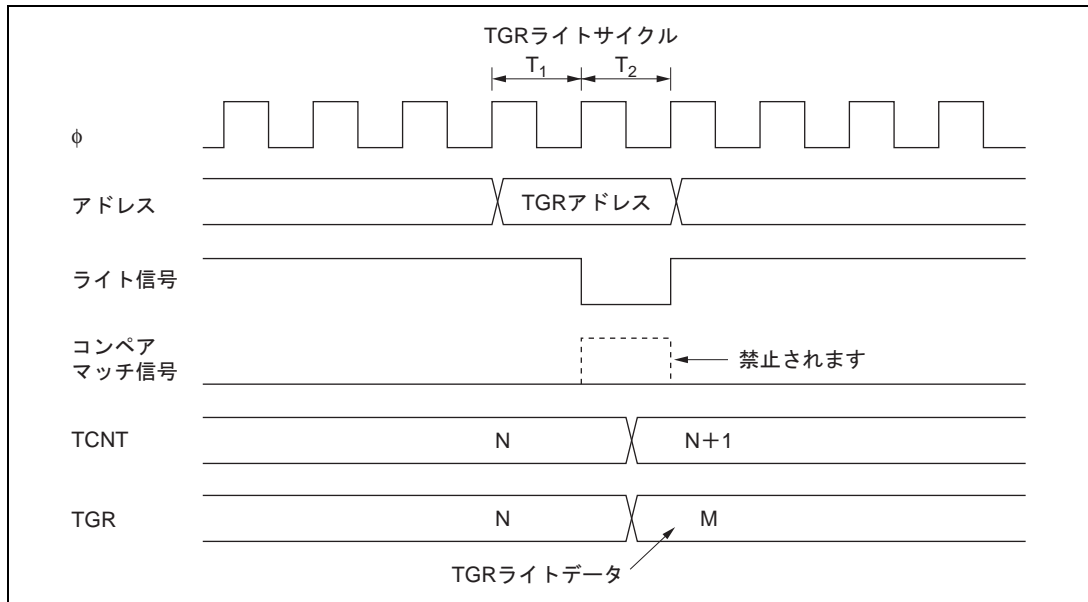


図 9.51 TGRのライトとコンペアマッチの競合

9. 16 ビットタイマパルスユニット (TPU)

(6) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 9.52 に示します。

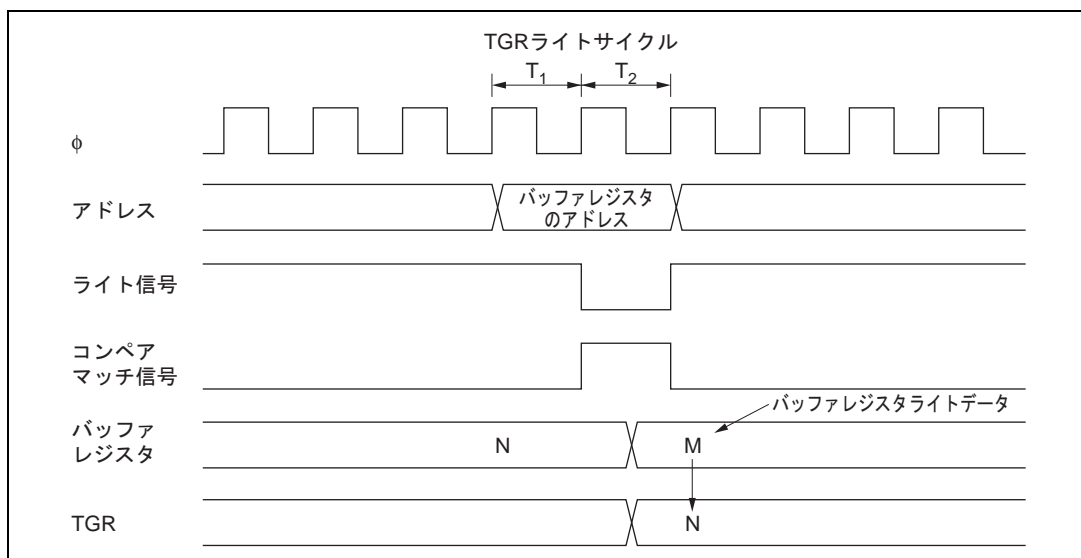


図 9.52 バッファレジスタのライトとコンペアマッチの競合

(7) TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T_1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 9.53 に示します。

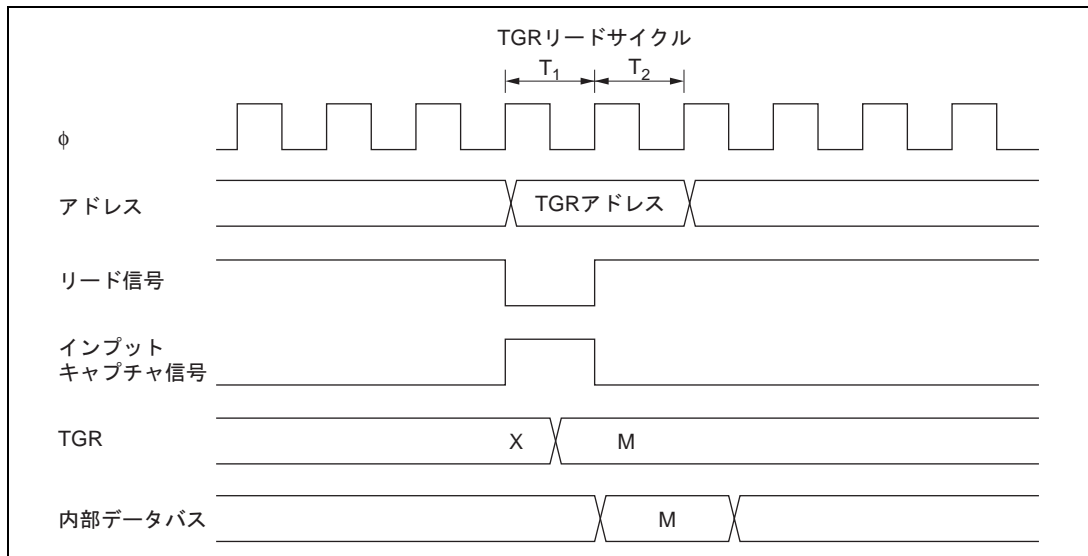


図 9.53 TGR のリードとインプットキャプチャの競合

9. 16ビットタイマパルスユニット (TPU)

(8) TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 9.54 に示します。

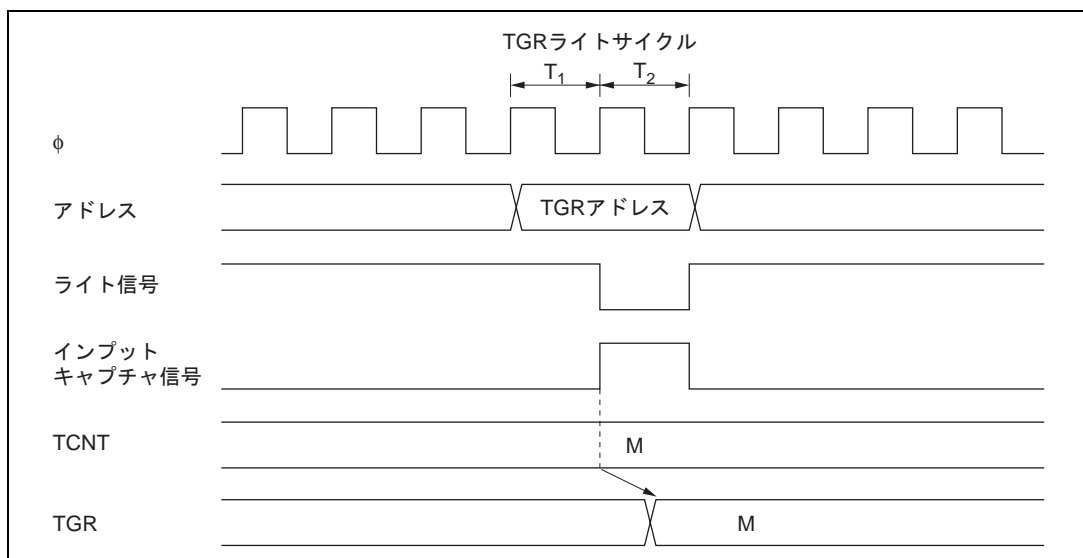


図 9.54 TGR のライトとインプットキャプチャの競合

(9) バッファレジスタのライトとインプットキャプチャの競合

バッファのライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 9.55 に示します。

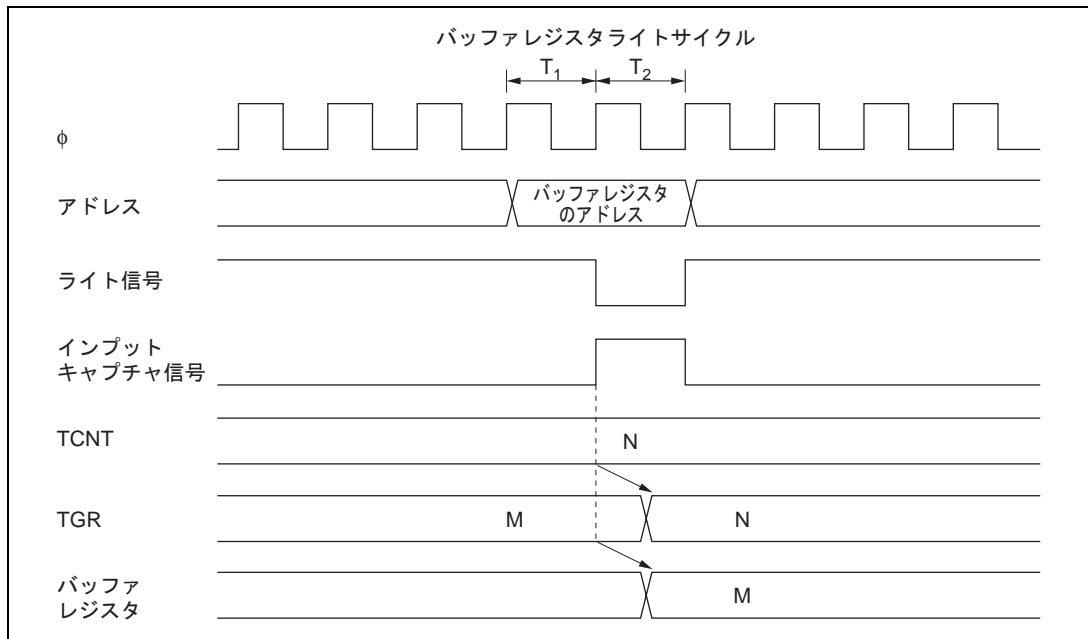


図 9.55 バッファレジスタのライトとインプットキャプチャの競合

9. 16ビットタイマパルスユニット (TPU)

(10) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSRのTCFV/TCFUフラグはセットされず、TCNTのクリアが優先されます。

TGRのコンペアマッチをクリア要因とし、TGRにH'FFFFを設定した場合の動作タイミングを図9.56に示します。

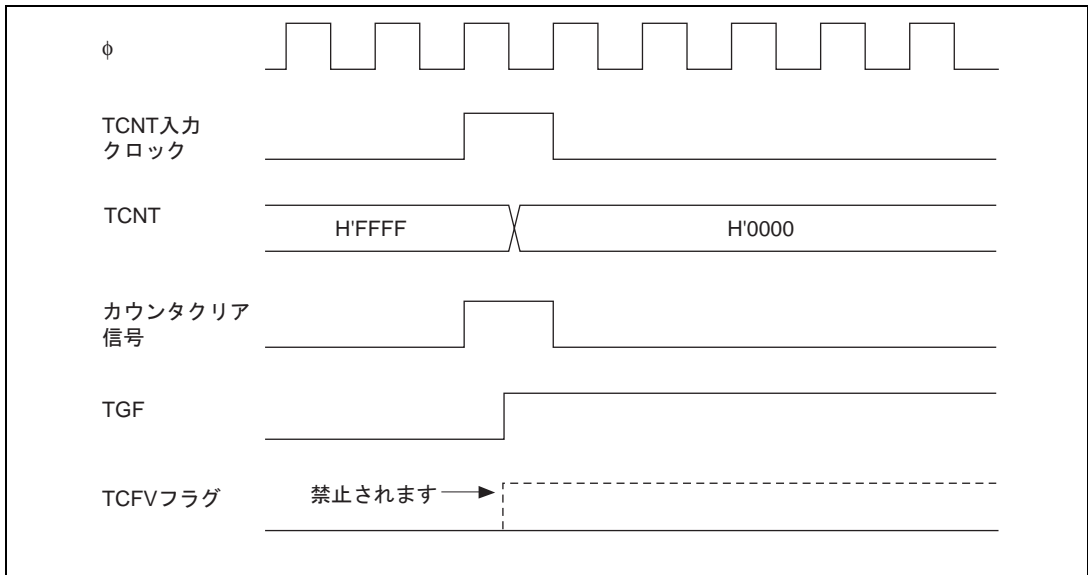


図 9.56 オーバフローとカウンタクリアの競合

(11) TCNT のライトとオーバーフロー / アンダフローの競合

TCNT のライトサイクル中の T_2 ステートで、カウントアップ / カウントダウンが発生し、オーバーフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 9.57 に示します。

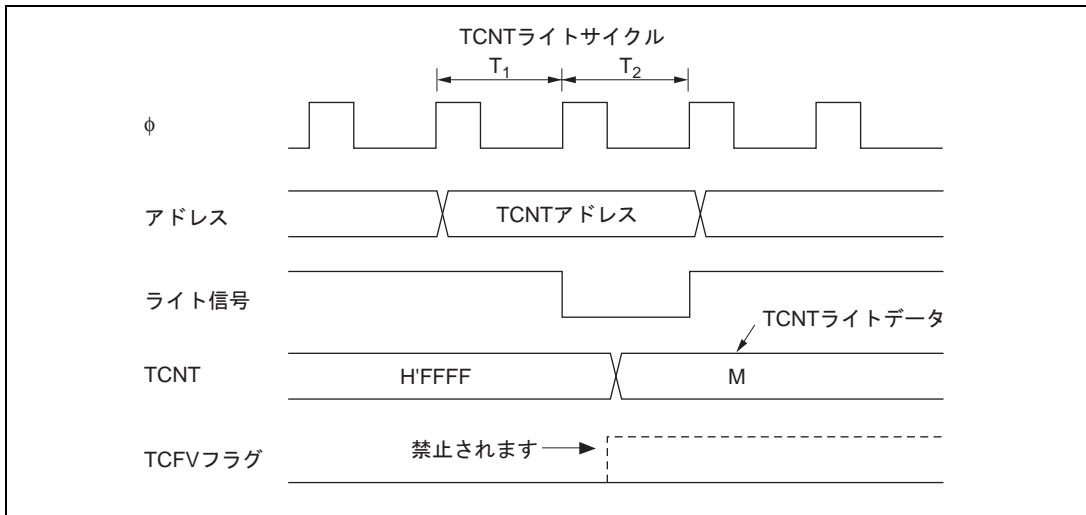


図 9.57 TCNT のライトとオーバーフローの競合

(12) 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

(13) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因、DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールストップモードとしてください。

9. 16ビットタイマパルスユニット (TPU)

10. 8ビットタイマ

10.1 概要

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR0、TMR1) を内蔵しています。2 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があります。TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

10.1.1 特長

- (1) 4 種類のカウンタ入力クロックを選択可能
 - 3 種類の内部クロック ($\phi/8$ 、 $\phi/64$ 、 $\phi/8192$) と、外部クロックのうちから選択可能 (外部イベントのカウンタが可能)
- (2) カウンタのクリア指定が可能
 - コンペアマッチ A、B、または外部リセット信号のうちから選択可能
- (3) 2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御
 - 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能
- (4) 2 チャンネルのカスケード接続が可能
 - チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能 (16 ビットカウンタモード)
 - チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能 (コンペアマッチカウンタモード)
- (5) 各チャンネル 3 種類の割り込み要因
 - コンペアマッチ×2 要因、オーバフロー×1 要因があり、それぞれ独立に要求可能
- (6) A/D 変換器の変換スタートトリガを生成可能
 - A/D 変換器の交換開始トリガとして、チャンネル 0 のコンペアマッチ A 信号を使用可能
- (7) モジュールストップモードの設定可能
 - 初期値では 8 ビットタイマの動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

10.1.2 ブロック図

8ビットタイマのブロック図を図 10.1 に示します。

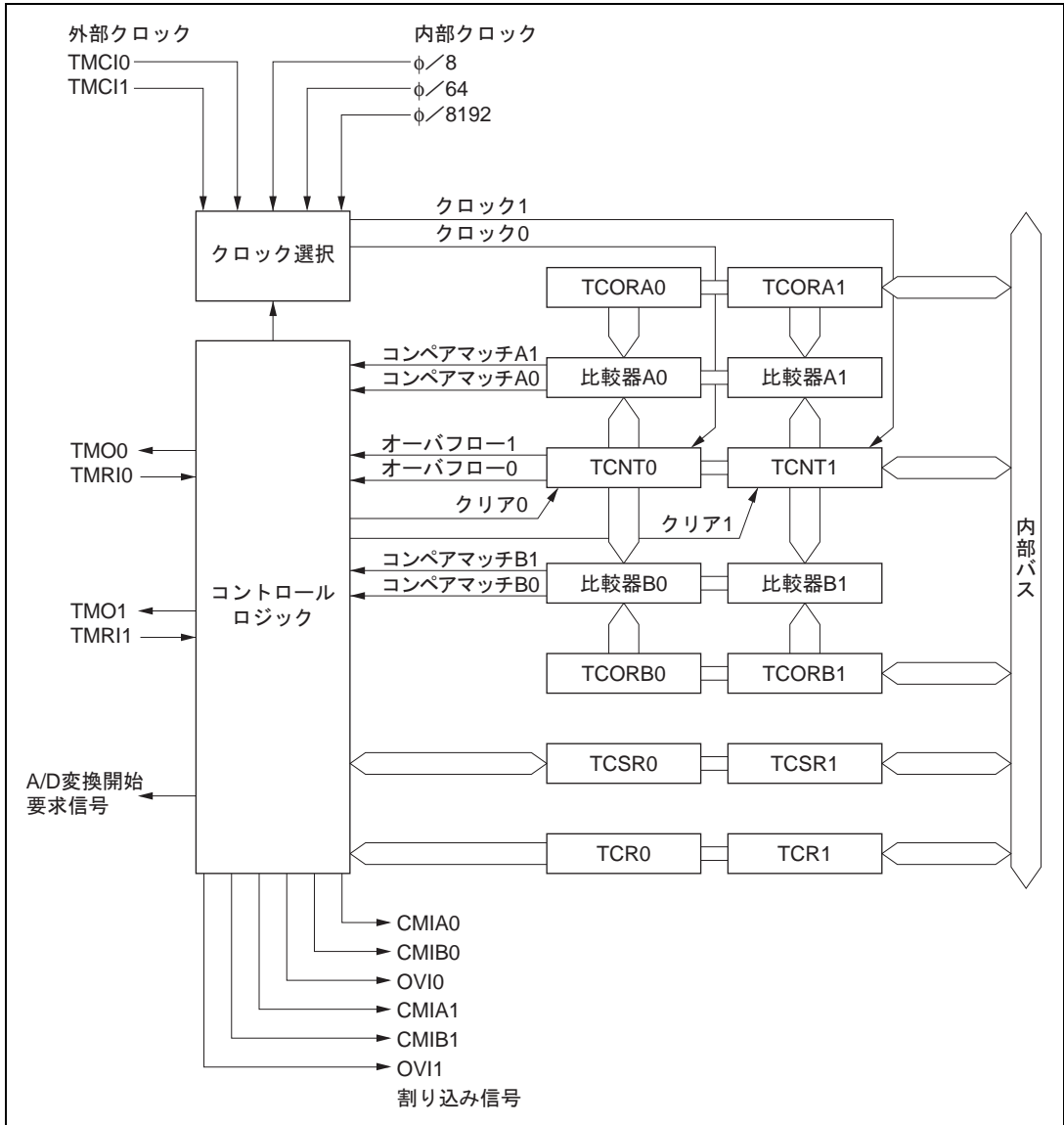


図 10.1 8ビットタイマのブロック図

10.1.3 端子構成

8ビットタイマの入出力端子を表 10.1 に示します。

表 10.1 端子構成

チャンネル	名称	記号	入出力	機能
0	タイマ出力端子 0	TMO0	出力	コンパアマッチ出力
	タイマクロック入力端子 0	TMCIO	入力	カウンタ外部クロック入力
	タイマリセット入力端子 0	TMRI0	入力	カウンタ外部リセット入力
1	タイマ出力端子 1	TMO1	出力	コンパアマッチ出力
	タイマクロック入力端子 1	TMC11	入力	カウンタ外部クロック入力
	タイマリセット入力端子 1	TMR11	入力	カウンタ外部リセット入力

10.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFB0
	タイマコントロール/ステータスレジスタ 0	TCSR0	R/(W)*2	H'00	H'FFB2
	タイムコンスタントレジスタ A0	TCORA0	R/W	H'FF	H'FFB4
	タイムコンスタントレジスタ B0	TCORB0	R/W	H'FF	H'FFB6
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFB8
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFB1
	タイマコントロール/ステータスレジスタ 1	TCSR1	R/(W)*2	H'10	H'FFB3
	タイムコンスタントレジスタ A1	TCORA1	R/W	H'FF	H'FFB5
	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF	H'FFB7
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFB9
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

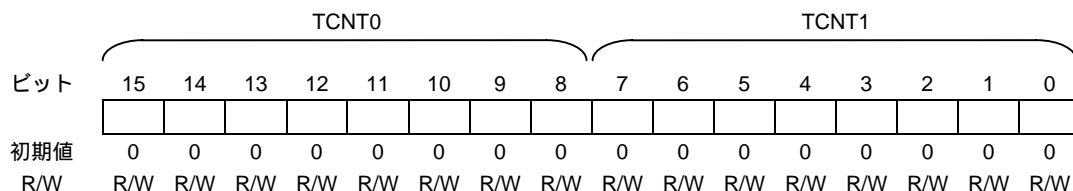
【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

10.2 各レジスタの説明

10.2.1 タイマカウンタ 0、1 (TCNT0、TCNT1)



TCNT0、TCNT1 はそれぞれ 8 ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCR の CKS2~CKS0 ビットで選択します。TCNT0、TCNT1 の値は、CPU から常にリード/ライト可能です。

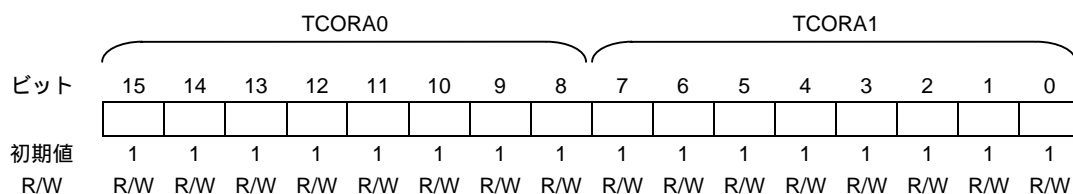
TCNT0、TCNT1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCNT は、外部リセット入力信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットで選択します。

また、TCNT がオーバフロー (H'FF→H'00) すると、TCSR の OVF が 1 にセットされます。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

10.2.2 タイムコンスタントレジスタ A0、A1 (TCORA0、TCORA1)



TCORA0、TCORA1 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。

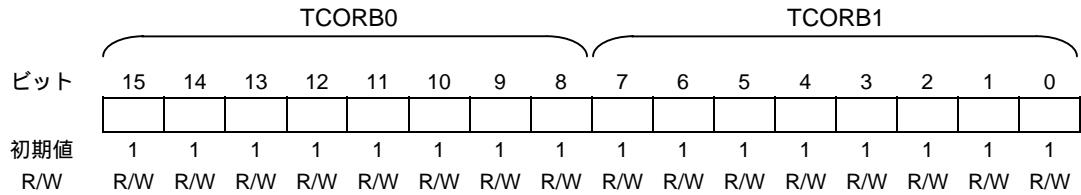
TCORA0、TCORA1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFA が 1 にセットされます。ただし、TCOR へのライトサイクルの T₂ ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

10.2.3 タイムコンスタントレジスタ B0、B1 (TCORB0、TCORB1)



TCORB0、TCORB1 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。TCORB0、TCORB1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFB が 1 にセットされます。ただし、TCOR へのライトサイクルの T_2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR のアウトプットセレクト OS3、OS2 ビットの設定により、タイマ出力を自由に制御することができます。

TCORB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

10. 8ビットタイマ

10.2.4 タイマコントロールレジスタ 0、1 (TCR0、TCR1)

ビット	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR0、TCR1 はそれぞれ 8 ビットのリード/ライト可能なレジスタで、TCNT の入力クロックの選択、TCNT のクリア指定、および各割り込み要求の許可を制御します。

TCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

なお、タイミングについては、「10.3 動作説明」を参照してください。

ビット 7: コンペアマッチインタラプトイネーブル B (CMIEB)

TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ビット 7	説明
CMIEB	
0	CMFB による割り込み要求 (CMIB) を禁止 (初期値)
1	CMFB による割り込み要求 (CMIB) を許可

ビット 6: コンペアマッチインタラプトイネーブル A (CMIEA)

TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。

ビット 6	説明
CMIEA	
0	CMFA による割り込み要求 (CMIA) を禁止 (初期値)
1	CMFA による割り込み要求 (CMIA) を許可

ビット 5: タイマオーバフローインタラプトイネーブル (OVIE)

TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。

ビット 5	説明
OVIE	
0	OVF による割り込み要求 (OVI) を禁止 (初期値)
1	OVF による割り込み要求 (OVI) を許可

ビット4、3：カウンタクリア1、0（CCLR1、CCLR0）

TCNTのクリアを指定します。クリアは、コンペアマッチA、B、または外部リセット入力から選択します。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

ビット2～0：クロックセレクト2～0（CKS2～CKS0）

TCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック（ ϕ ）を分周した3種類のクロック（ $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ）から選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力は立ち上がり、立ち下がり、または立ち上がり/立ち下がり両エッジのカウントの3種類から選択できます。

チャンネル0と1では一部機能が異なります。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック： $\phi/8$ 立ち下がりエッジでカウント
	1	0	内部クロック： $\phi/64$ 立ち下がりエッジでカウント
		1	内部クロック： $\phi/8192$ 立ち下がりエッジでカウント
1	0	0	チャンネル0の場合：TCNT1のオーバーフロー信号でカウント* チャンネル1の場合：TCNT0のコンペアマッチAでカウント*
		1	外部クロック：立ち上がりエッジでカウント
	1	0	外部クロック：立ち下がりエッジでカウント
		1	外部クロック：立ち上がり/立ち下がり両エッジでカウント

【注】 * チャンネル0のクロック入力をTCNT1のオーバーフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

10. 8ビットタイマ

10.2.5 タイマコントロール/ステータスレジスタ 0、1 (TCSR0、TCSR1)

TCSR0

ビット	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1

ビット	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0
初期値	0	0	0	1	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	-	R/W	R/W	R/W	R/W

【注】 * ビット7～5は、フラグをクリアするための0ライトのみ可能です。

TCSR0、TCSR1はそれぞれ8ビットのレジスタで、コンペアマッチやタイマオーバフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

リセットまたはハードウェアスタンバイモード時に、TCSR0はH'00に、TCSR1はH'10に初期化されます。

ビット7：コンペアマッチフラグB (CMFB)

TCNTとTCORBの値が一致したことを示すステータスフラグです。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) (1) CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB 割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき
1	[セット条件] TCNT=TCORBになったとき

ビット6：コンペアマッチフラグA (CMFA)

TCNTとTCORAの値が一致したことを示すステータスフラグです。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) (1) CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA 割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき
1	[セット条件] TCNT=TCORAになったとき

ビット5：タイマオーバフローフラグ（OVF）

TCNTがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。

ビット5	説明	
OVF		
0	[クリア条件] OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき	(初期値)
1	[セット条件] TCNT が H'FF→H'00 になったとき	

ビット4：A/Dトリガイネーブル（ADTE）（TCSR0のみ）

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

TCSR1 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット4	説明	
ADTE		
0	コンペアマッチ A による A/D 変換開始要求を禁止	(初期値)
1	コンペアマッチ A による A/D 変換開始要求を許可	

ビット3～0：アウトプットセレクト3～0（OS3～OS0）

TCOR と TCNT のコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3 と OS2 ビットがコンペアマッチ B による出力レベルを選択し、OS1 と OS0 ビットがコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してあるので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

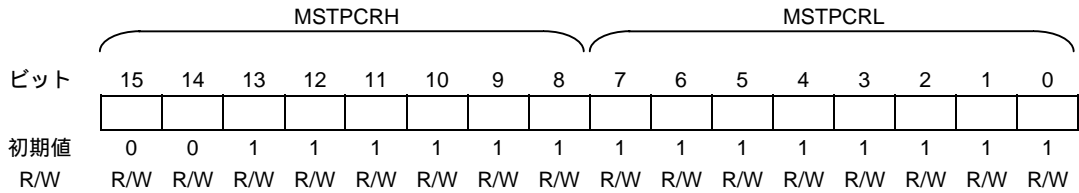
なお、OS3～OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

ビット3	ビット2	説明	
OS3	OS2		
0	0	コンペアマッチ B で変化しない	(初期値)
	1	コンペアマッチ B で 0 出力	
1	0	コンペアマッチ B で 1 出力	
	1	コンペアマッチ B ごとに反転出力（トグル出力）	

ビット1	ビット0	説明	
OS1	OS0		
0	0	コンペアマッチ A で変化しない	(初期値)
	1	コンペアマッチ A で 0 出力	
1	0	コンペアマッチ A で 1 出力	
	1	コンペアマッチ A ごとに反転出力（トグル出力）	

10.2.6 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP12 ビットを 1 にセットすると、バスサイクルの終了時点で 8 ビットタイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 12 : モジュールストップ (MSTP12)

8 ビットタイマのモジュールストップモードを指定します。

ビット 12	説明
MSTP12	
0	8 ビットタイマのモジュールストップモード解除
1	8 ビットタイマのモジュールストップモード設定 (初期値)

10.3 動作説明

10.3.1 TCNT のカウントタイミング

TCNT は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS2 ~ CKS0 ビットの設定により、システムクロック (ϕ) を分周して作られる 3 種類の内部クロック ($\phi/8$ 、 $\phi/64$ 、 $\phi/8192$) が選択されます。このタイミングを図 10.2 に示します。

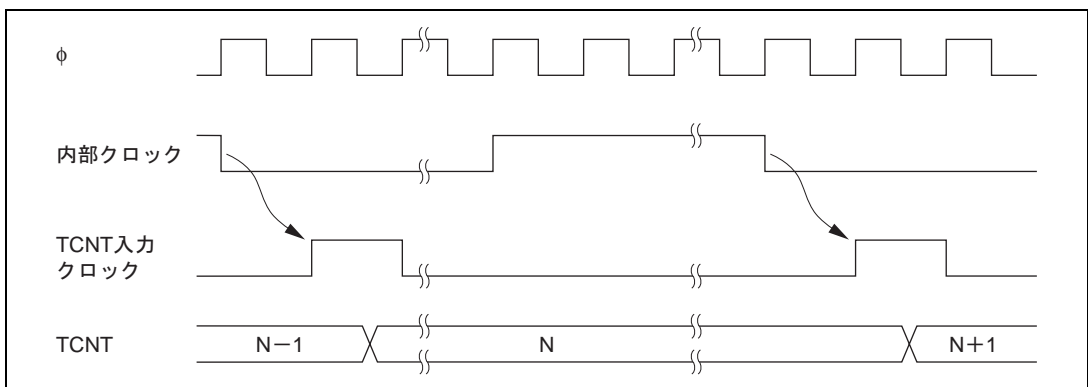


図 10.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS2 ~ CKS0 ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 10.3 に、外部クロックとして、立ち上がり / 立ち下がり両エッジの場合のタイミングを示します。

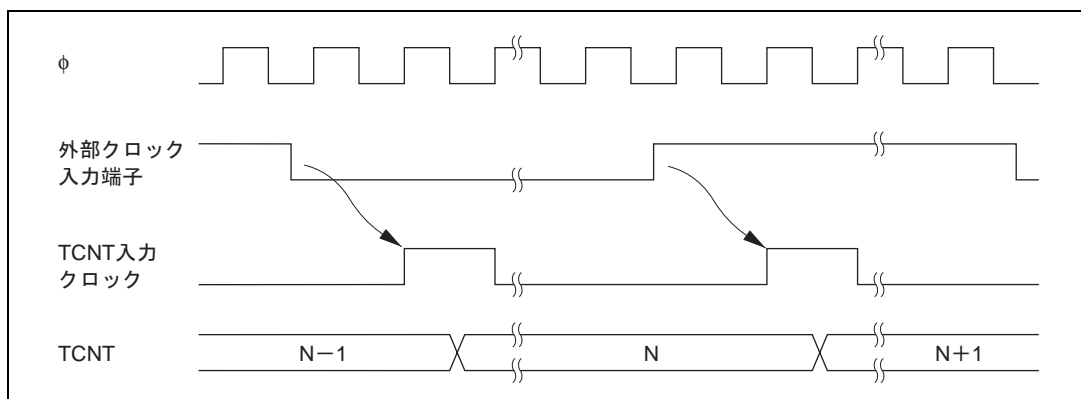


図 10.3 外部クロック動作時のカウントタイミング

10.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 10.4 に示します。

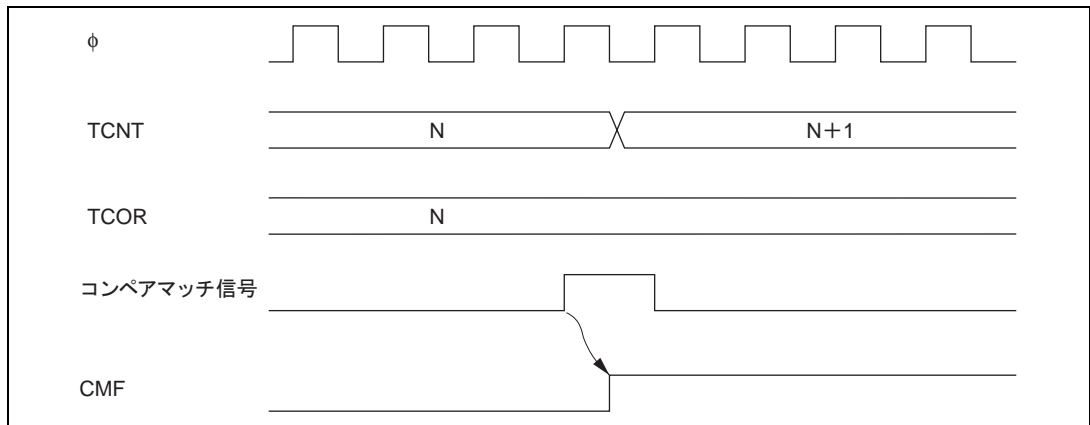


図 10.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 10.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

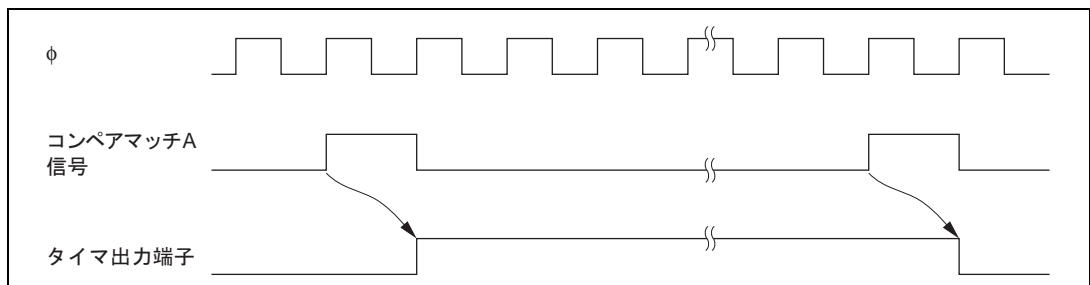


図 10.5 タイマ出力タイミング

10. 8ビットタイマ

(3) コンペアマッチによるクリア

TCNTは、TCRのCCLR1、CCLR0ビットの選択によりコンペアマッチAまたはコンペアマッチBでクリアされます。このクリアされるタイミングを図10.6に示します。

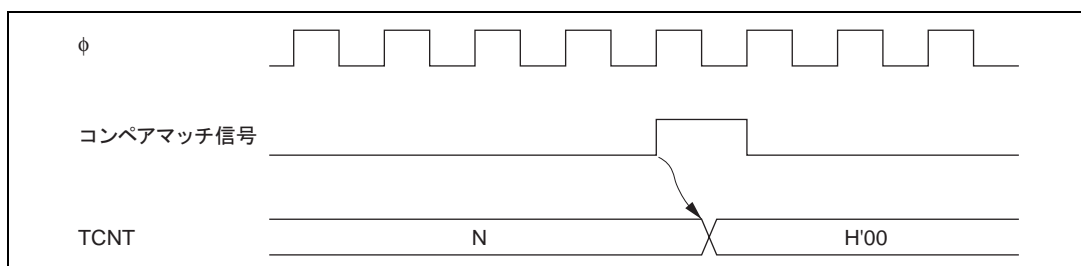


図 10.6 コンペアマッチによるクリアタイミング

10.3.3 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアパルスの幅は、1.5ステート以上必要となります。このクリアされるタイミングを図10.7に示します。

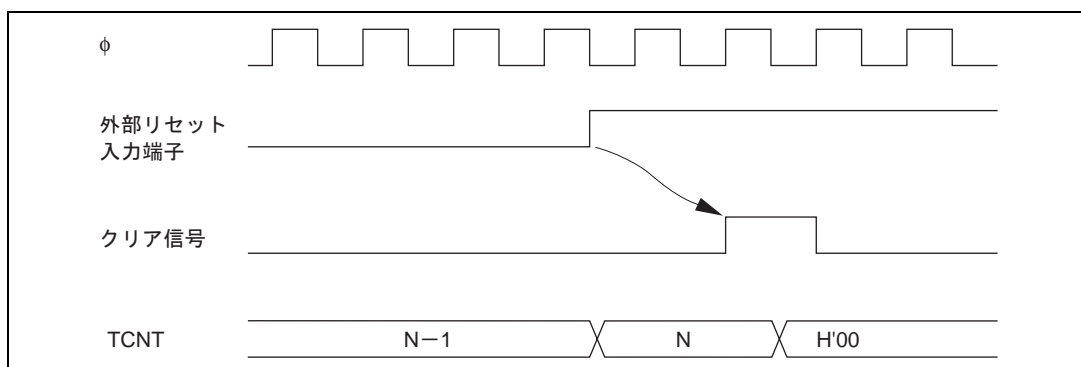


図 10.7 外部リセット入力によるクリアタイミング

10.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このときのタイミングを図 10.8 に示します。

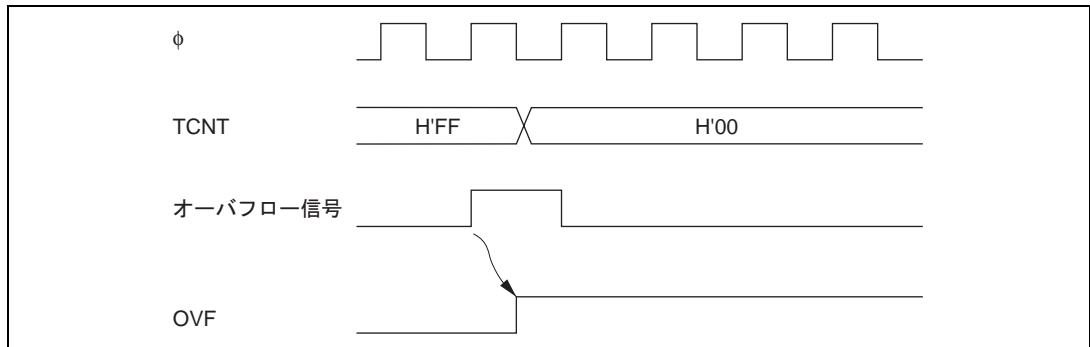


図 10.8 OVF のセットタイミング

10.3.5 カスケード接続時の動作

TCR0、TCR1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用 (16 ビットタイマモード) するか、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウント (コンペアマッチカウントモード) することができます。このとき、本タイマは以下のように動作します。

(1) 16 ビットカウントモード

TCR0 の CKS2～CKS0 ビットが B'100 のとき、本タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(a) コンペアマッチフラグのセット

- TCSR0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

(b) カウンタクリア指定

- TCR0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT0、TCNT1 の両方) がクリアされます。また、TMRI0 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TCNT0、TCNT1 の両方) がクリアされます。
- TCR1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

10. 8ビットタイマ

(c) 端子出力

- TCSR0 の OS3 ~ OS0 ビットによる TMO0 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- TCSR1 の OS3 ~ OS0 ビットによる TMO1 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

(2) コンペアマッチカウントモード

TCR1 の CKS2 ~ CKS0 ビットが B'100 のとき、TCNT1 はチャンネル 0 のコンペアマッチ A をカウントします。

チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

(3) 使用上の注意

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT0、TCNT1 の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

10.4 割り込み

10.4.1 割り込み要因と DTC 起動

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表10.3に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 10.3 8ビットタイマ割り込み要因

チャンネル	割り込み要因	内容	DTCの起動	優先順位
0	CMIA0	CMFAによる割り込み	可	高 ↑ ↓ 低
	CMIB0	CMFBによる割り込み	可	
	OVI0	OVFによる割り込み	不可	
1	CMIA1	CMFAによる割り込み	可	
	CMIB1	CMFBによる割り込み	可	
	OVI1	OVFによる割り込み	不可	

【注】 リセット直後の初期状態について示しています。

チャンネル間の優先順位は割り込みコントローラにより変更可能です。

10.4.2 A/D変換器の起動

チャンネル0のコンペアマッチAのみ、A/D変換器を起動することができます。

チャンネル0のコンペアマッチAの発生により、TCSR0のCMFAフラグが1にセットされたとき、ADTEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、8ビットタイマの変換開始トリガが選択されていれば、A/D変換が開始されます。

10.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 10.9 に示します。これは次に示すように設定します。

- [1] TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
- [2] TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

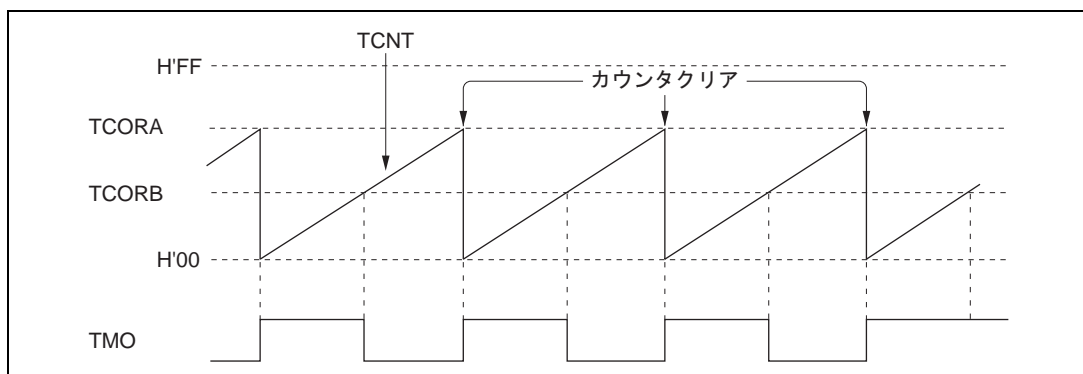


図 10.9 パルス出力例

10.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

10.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中の T_2 ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図10.10に示します。

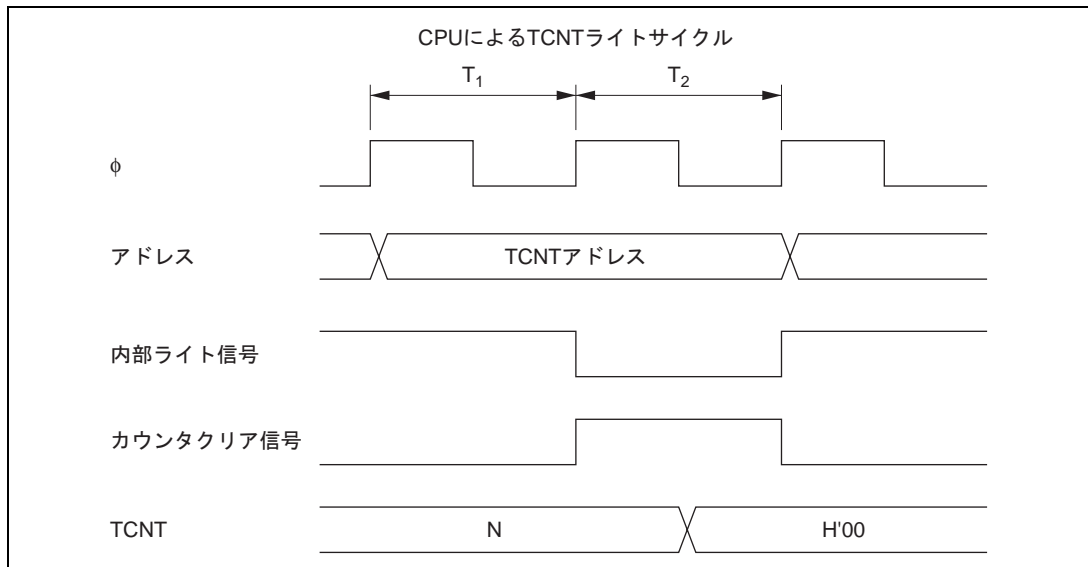


図 10.10 TCNT のライトとクリアの競合

10.6.2 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の T_2 状態でカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図 10.11 に示します。

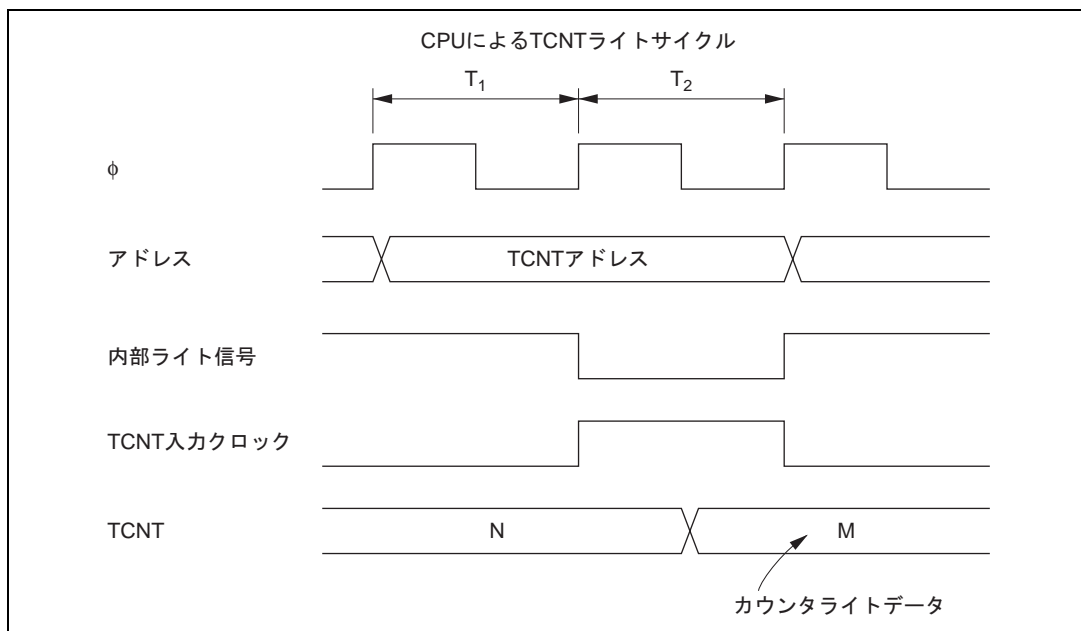


図 10.11 TCNTのライトとカウントアップの競合

10.6.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T_2 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。これを図 10.12 に示します。

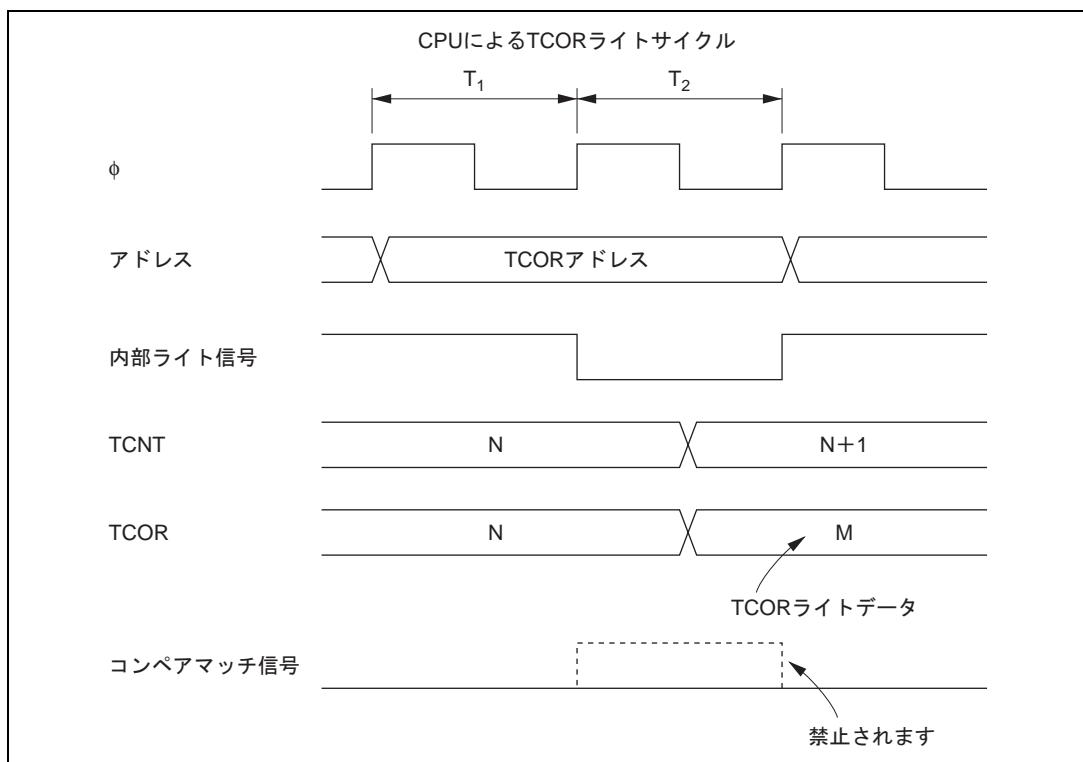


図 10.12 TCOR のライトとコンペアマッチの競合

10.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態は、表 10.4 に示すタイマ出力の優先順位に従って動作します。

表 10.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

10.6.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ピットの書き換え）と TCNT 動作の関係を表 10.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 10.5 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 10.5 内部クロックの切り替えと TCNT の動作

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
3	High→Low レベル* ³ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベルの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。

*2 停止→High レベルの場合を含みます。

*3 High レベル→停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

10.6.6 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

11. ウォッチドッグタイマ (WDT)

11.1 概要

ウォッチドッグタイマ(WDT)は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号($\overline{\text{WDTOVF}}$)*を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

【注】* F-ZTAT版では、 $\overline{\text{WDTOVF}}$ 端子機能は使用できません。

11.1.1 特長

WDTには次のような特長があります。

- (1) ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- (2) ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力*
 - カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。
- (3) インターバルタイマモード時、割り込みを発生
 - カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。
- (4) 8種類のカウンタ入力クロックを選択可能

【注】* F-ZTAT版では、 $\overline{\text{WDTOVF}}$ 端子機能は使用できません。

11. ウォッチドッグタイマ (WDT)

11.1.2 ブロック図

WDTのブロック図を図 11.1 に示します。

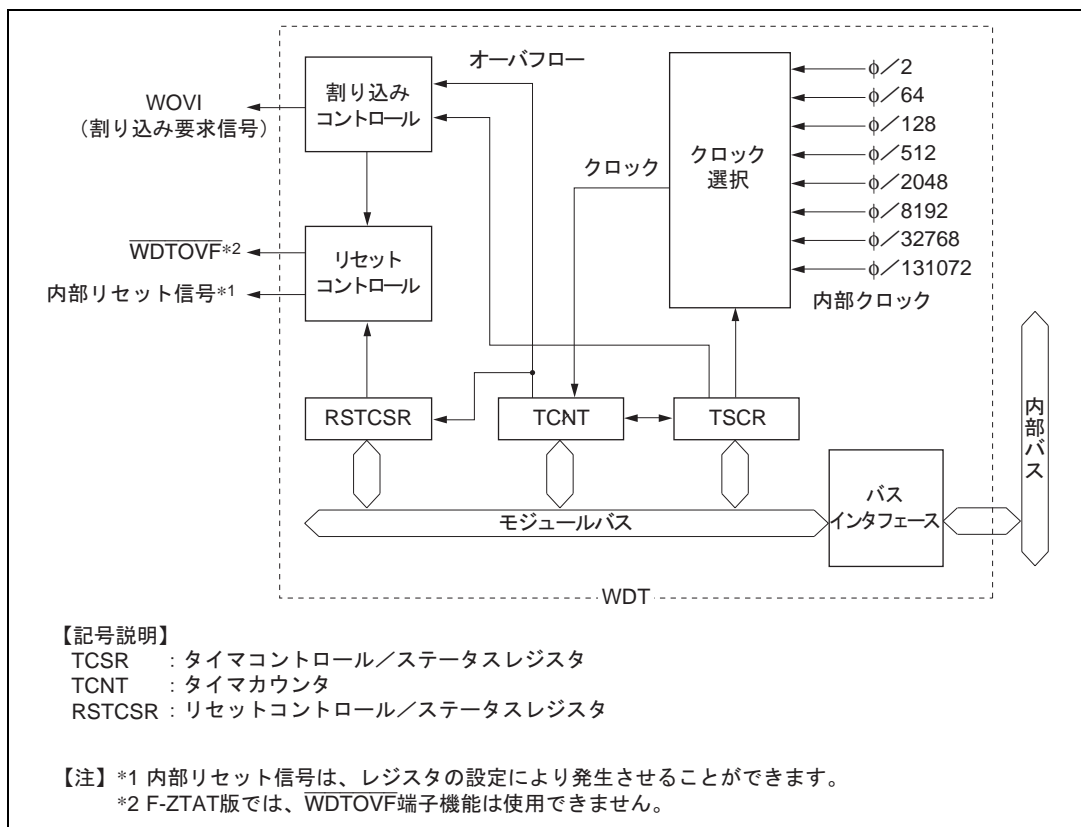


図 11.1 WDTのブロック図

11.1.3 端子構成

WDT の端子を表 11.1 に示します。

表 11.1 端子構成

名称	記号	入出力	機能
ウォッチドッグタイマオーパフロー	WDTOVF*	出力	ウォッチドッグタイマモード時のカウンタオーパフロー信号出力

【注】 * F-ZTAT 版では、WDTOVF 端子機能は使用できません。

11.1.4 レジスタ構成

WDT には、表 11.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス* ¹	
				ライト時* ²	リード時
タイマコントロール / ステータスレジスタ	TCSR	R/(W) * ³	H'18	H'FFBC	H'FFBC
タイマカウンタ	TCNT	R/W	H'00	H'FFBC	H'FFBD
リセットコントロール / ステータスレジスタ	RSTCSR	R/(W) * ³	H'1F	H'FFBE	H'FFBF

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² ライトについては、「11.2.4 レジスタアクセス時の注意」を参照してください。

*³ ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマカウンタ (TCNT)

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は、リード/ライト*¹可能な 8 ビットのアップカウンタです。TCSR の TME ビットを 1 にすると、TCSR の CKS2 ~ CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバフロー (H'FF→H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバフロー信号 (WDTOVF) *²またはインターバルタイマ割り込み (WOVI) が発生します。

TCNT は、リセット、ハードウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】*¹ TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

*² F-ZTAT 版では、WDTOVF 端子機能は使用できません。

11.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値	0	0	0	1	1	0	0	0
R/W	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

TCSR は、リード/ライト*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR は、リセットまたはハードウェアスタンバイモード時に H'18 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF→H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	[クリア条件] (初期値) OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき
1	[セット条件] インターバルタイマモードで、TCNTがオーバフロー(H'FF→H'00)したとき

ビット6：タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (WOVI) が発生するか、 \overline{WDTOVF} 信号*¹ が発生するかが決まります。

ビット6	説明
WT/ \overline{IT}	
0	インターバルタイマモード： TCNT がオーバフローしたとき CPU へインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバフローしたとき \overline{WDTOVF} 信号* ¹ を外部へ出力* ²

【注】 *¹ F-ZTAT 版では、 \overline{WDTOVF} 端子機能は使用できません。

*² ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合の詳細は「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	TCNT を H'00 に初期化し、カウント動作を停止 (初期値)
1	TCNT はカウント動作

11. ウォッチドッグタイマ (WDT)

ビット4、3：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

システムクロック (ϕ) を分周して得られる8種類の内部クロックから、TCNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ($\phi = 20\text{MHz}$ の場合)
0	0	0	$\phi / 2$ (初期値)	25.6 μs
		1	$\phi / 64$	819.2 μs
	1	0	$\phi / 128$	1.6ms
		1	$\phi / 512$	6.6ms
1	0	0	$\phi / 2048$	26.2ms
		1	$\phi / 8192$	104.9ms
	1	0	$\phi / 32768$	419.4ms
		1	$\phi / 131072$	1.68s

【注】 * オーバーフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット	7	6	5	4	3	2	1	0
	WOVF	RSTE	-	-	-	-	-	-
初期値	0	0	0	1	1	1	1	1
R/W	R/(W)*	R/W	R/W	-	-	-	-	-

【注】 * フラグをクリアするための0ライトのみ可能です。

RSTCSRは、リード/ライト*可能な8ビットのレジスタで、TCNTのオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSRは、RES端子からのリセット信号でH'1Fに初期化されますが、WDTのオーバーフローによる内部リセット信号では初期化されません。

【注】 * RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。

ビット7: ウォッチドッグタイマオーバーフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバーフロー (H'FF→H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	[クリア条件] (初期値) WOVF=1の状態ではRSTCSRをリードした後、WOVFに0をライトしたとき
1	[セット条件] ウォッチドッグタイマモードでTCNTがオーバーフロー (H'FF→H'00) したとき

ビット6: リセットイネーブル (RSTE)

ウォッチドッグタイマモードでTCNTがオーバーフローしたとき、本LSI内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNTがオーバーフローしたとき、内部リセットしない* (初期値)
1	TCNTがオーバーフローしたとき内部リセットする

【注】 * 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

11. ウォッチドッグタイマ (WDT)

ビット 5 : リザーブビット

リザーブビットです。0 をライトしてください。

ビット 4~0 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

11.2.4 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 11.2 に示すように、TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

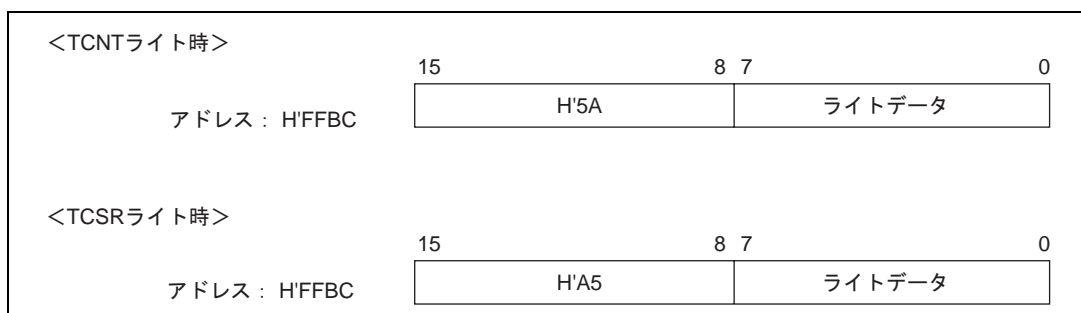


図 11.2 TCNT、TCSR へのライト

(2) RSTCSR へのライト

RSTCSR へライトするときは、アドレス H'FFBE に対してワード転送を行ってください。バイト転送命令では、書き込みません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合は、図 11.3 に示すように、ライトの方法が異なります。

WOVF ビットへ 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

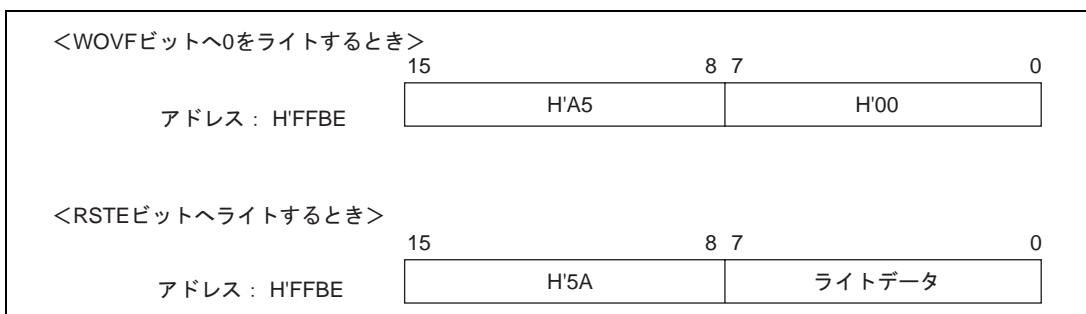


図 11.3 RSTCSR へのライト

(3) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFBC に、TCNT はアドレス H'FFBD に、RSTCSR はアドレス H'FFBF にそれぞれ割り当てられています。

11.3 動作説明

11.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSR の WT/\bar{IT} ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号*が外部に出力されます。これを図 11.4 に示します。この \overline{WDTOVF} 信号*を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号*は、RSTE = 1 のとき 132 ステート、RSTE = 0 のとき 130 ステートの間出力されます。

RSTCSR の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号*と同時に、本 LSI の内部をリセットする信号が発生します。内部リセット信号は、518 ステートの間出力されます。

RES 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、RES 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

【注】* F-ZTAT 版では、 \overline{WDTOVF} 端子機能は使用できません。

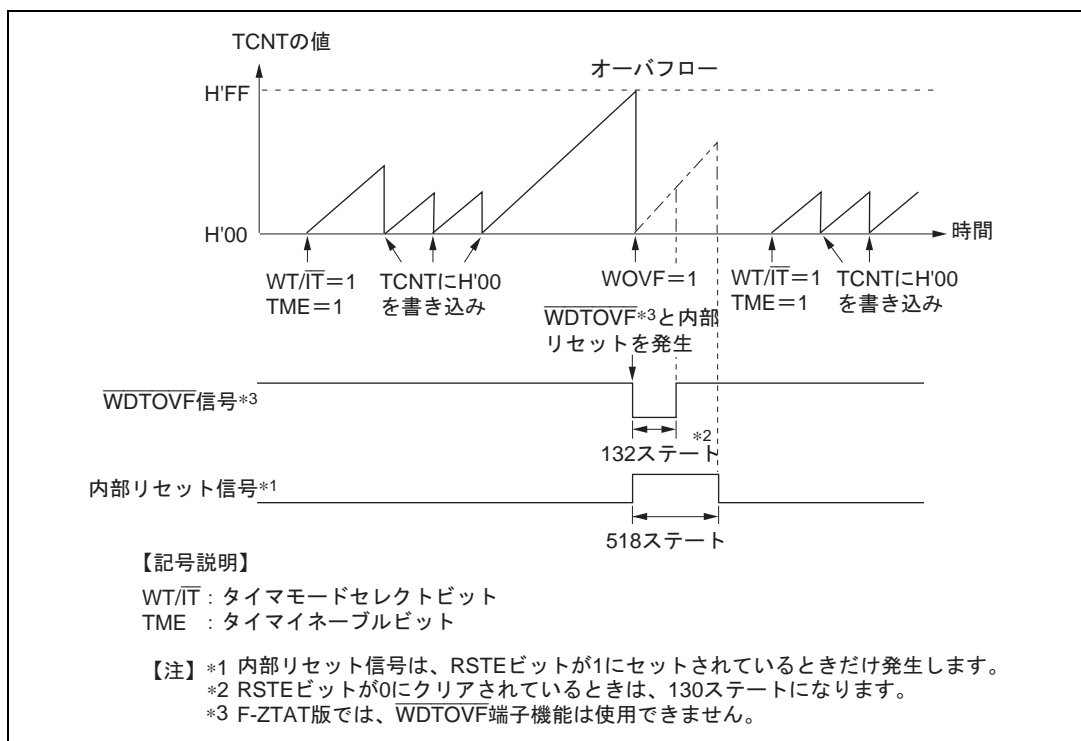


図 11.4 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、TCSR の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 11.5 に示すように、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

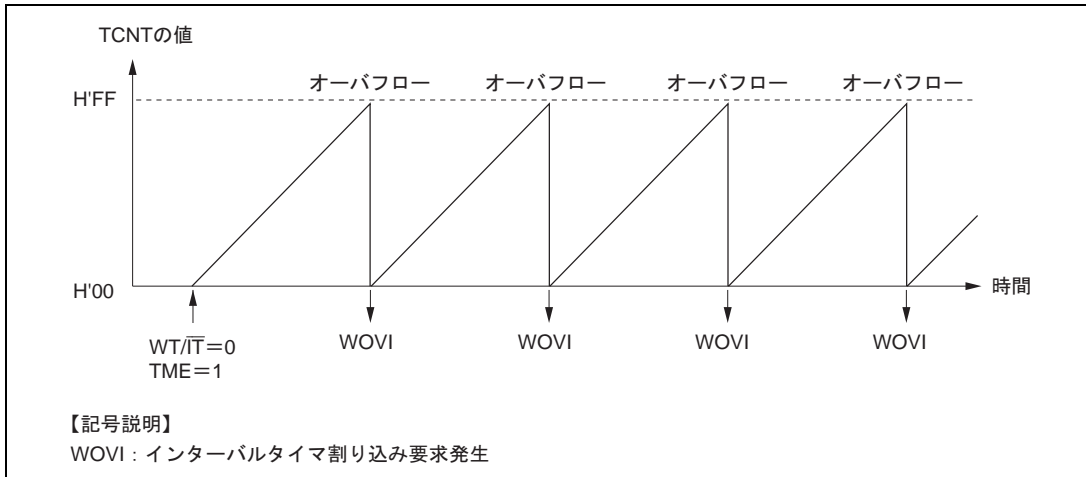


図 11.5 インターバルタイマモード時の動作

11.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 11.6 に示します。

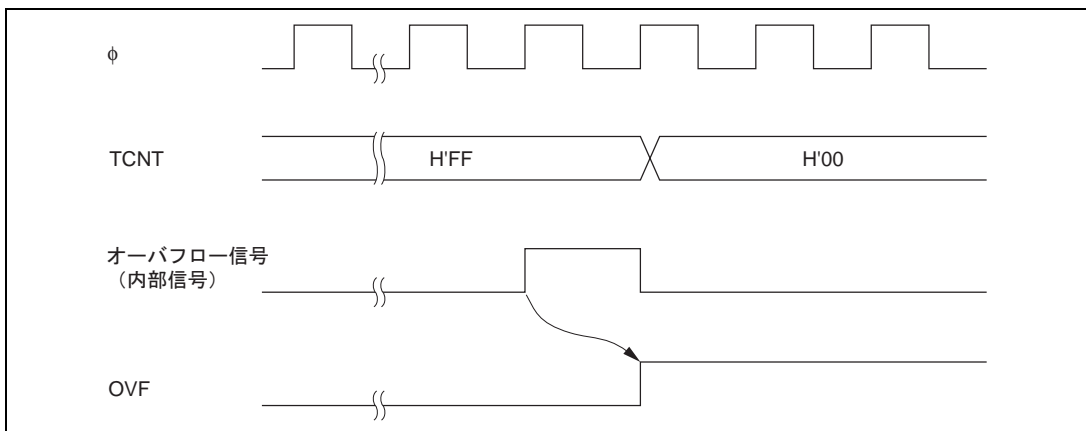


図 11.6 OVF のセットタイミング

11. ウォッチドッグタイマ (WDT)

11.3.4 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードで TCNT がオーバフローすると、RSTCSR の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号*が Low レベルになります。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 11.7 に示します。

【注】* F-ZTAT 版では、 $\overline{\text{WDTOVF}}$ 端子機能は使用できません。

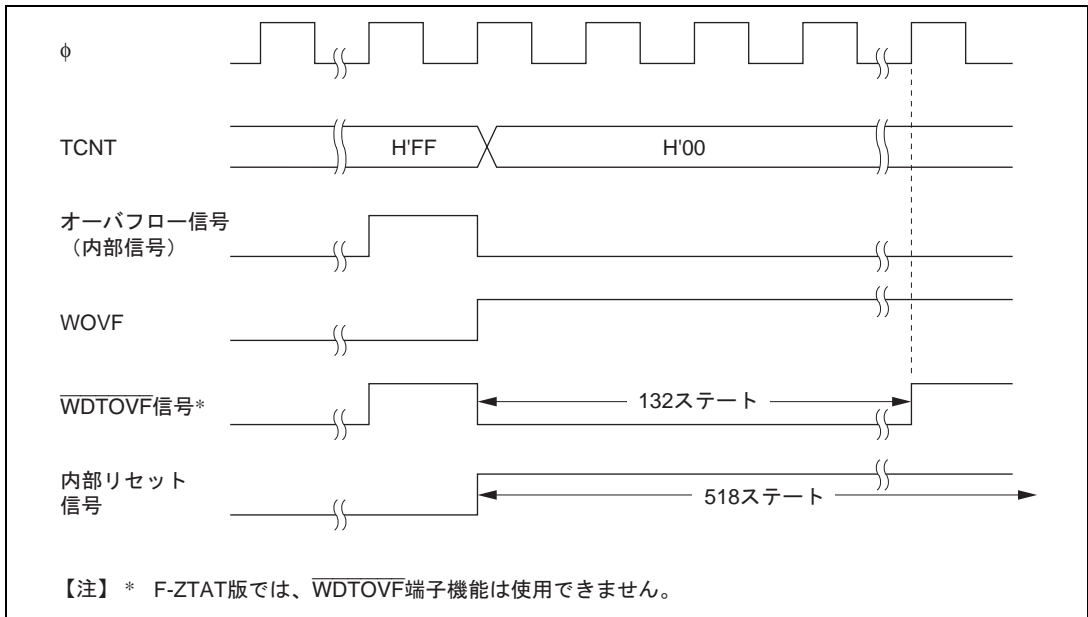


図 11.7 WOVF のセットタイミング

11.4 割り込み

インターバルタイムモード時、オーバーフローによりインターバルタイム割り込み (WOVI) を発生します。インターバルタイム割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。

11.5 使用上の注意

11.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 11.8 に示します。

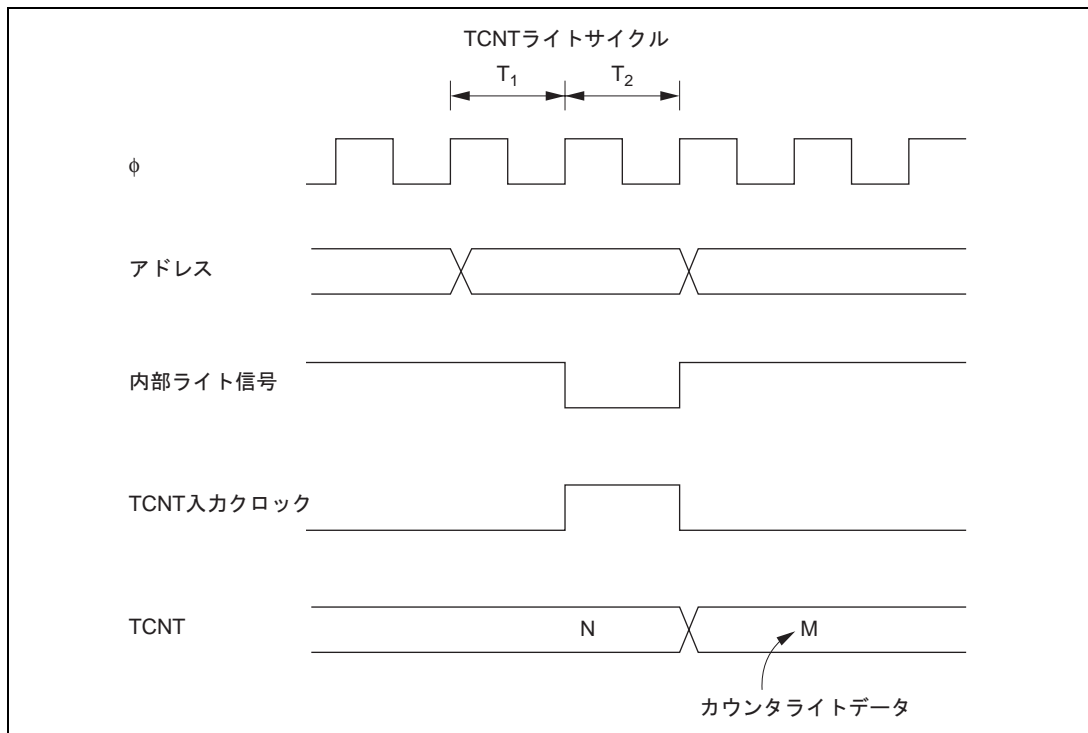


図 11.8 TCNT のライトとカウントアップの競合

11.5.2 CKS2 ~ CKS0 ビットを書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号*を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号*は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。

$\overline{\text{WDTOVF}}$ 信号*でシステム全体をリセットするときは、図 11.9 の示すような回路で行ってください。

【注】* F-ZTAT 版では、 $\overline{\text{WDTOVF}}$ 端子機能は使用できません。

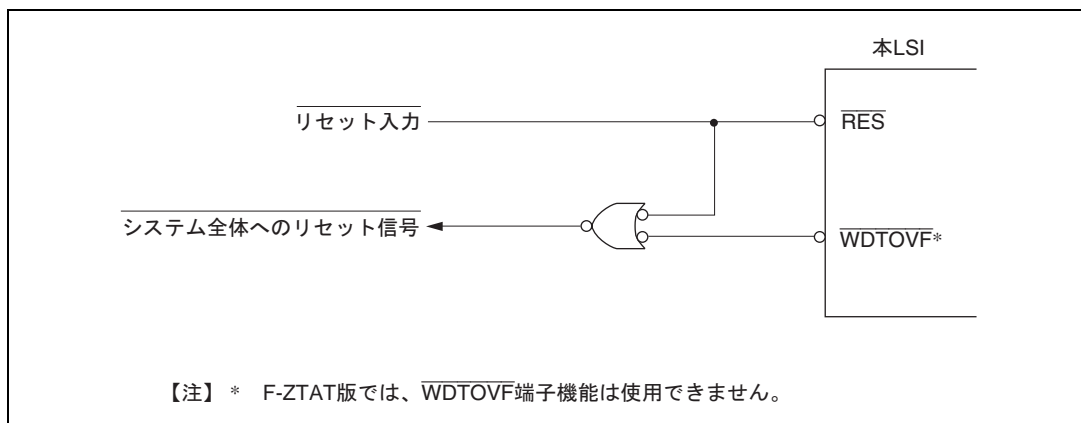


図 11.9 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

11.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号*から Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号*が High レベルになってから、RSTCSR をリードした後、WOVF フラグに 0 をライトしてください。

【注】* F-ZTAT 版では、 $\overline{\text{WDTOVF}}$ 端子機能は使用できません。

12. シリアルコミュニケーションインタフェース (SCI)

12.1 概要

本 LSI は、シリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができ、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) も備えています。

12.1.1 特長

SCI の特長を以下に示します。

(1) シリアル通信モードを調歩同期式モード/クロック同期式モードから選択可能

(a) 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
データ長 : 7 ビット / 8 ビット
ストップビット長 : 1 ビット / 2 ビット
パリティ : 偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット : 1 / 0
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

(b) クロック同期式モード

- クロックに同期してシリアルデータ通信を実行
- クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- シリアルデータ通信フォーマットは 1 種類
- データ長 : 8 ビット
- 受信エラーの検出 : オーバランエラーを検出

(2) 全二重通信が可能

- 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

12. シリアルコミュニケーションインタフェース (SCI)

- (3) LSB ファースト方式 / MSB ファースト方式の選択が可能
 - 通信モードによらず選択可能 (調歩同期式モード 7 ビットデータの場合を除く)*

【注】* 本章では、LSB ファースト方式の例を説明しています。
- (4) 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- (5) 送受信クロックソースを選択可能
 - ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能
- (6) 4 種類の割り込み要因
 - 送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求可能
 - 送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントローラ (DTC) を起動させてデータ転送を実行可能
- (7) モジュールストップモードの設定可能
 - 初期値では SCI の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

12.1.2 ブロック図

図 12.1 に SCI のブロック図を示します。

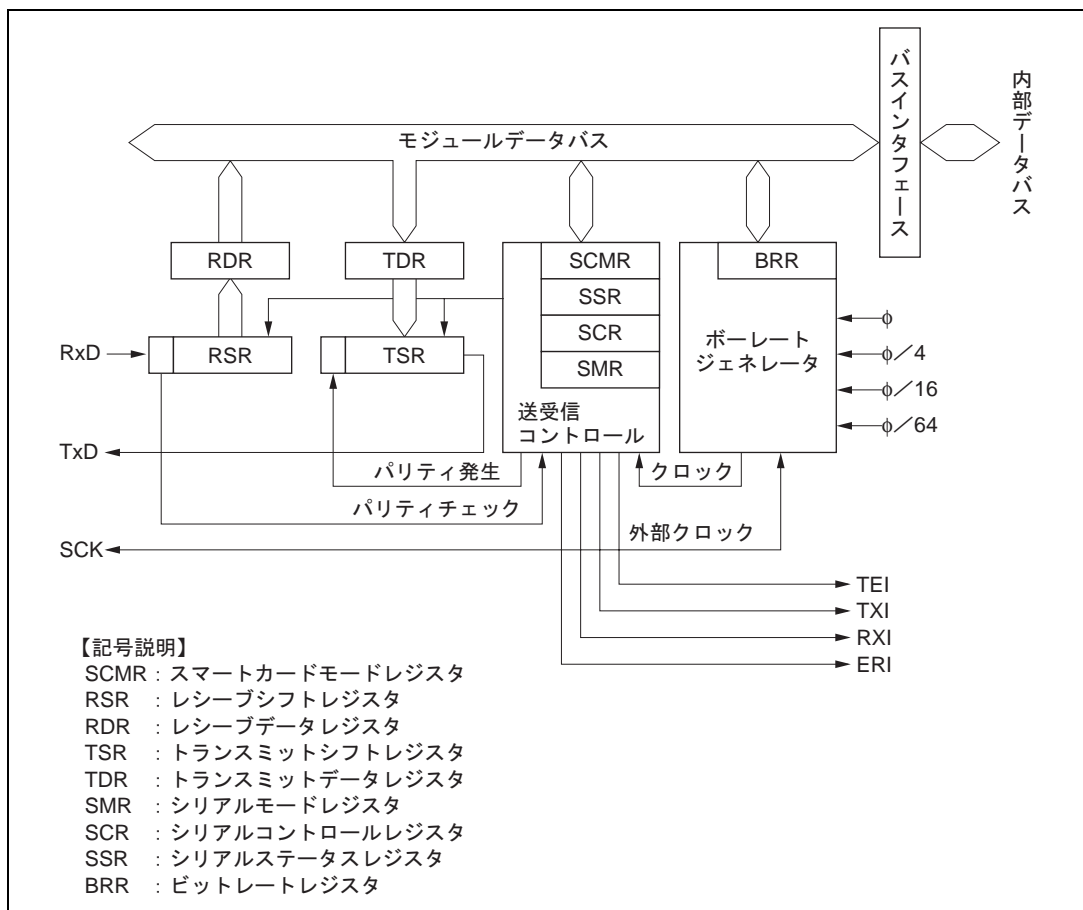


図 12.1 SCI のブロック図

12. シリアルコミュニケーションインタフェース (SCI)

12.1.3 端子構成

SCI は、チャンネルごとに表 12.1 に示すシリアル端子を持っています。

表 12.1 端子構成

チャンネル	名称	記号	入出力	機能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力

12.1.4 レジスタ構成

SCI には、表 12.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 12.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*2
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*1	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*1	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 アドレスの下位 16 ビットを示しています。

12.2 各レジスタの説明

12.2.1 レシーブシフトレジスタ (RSR)

ビット	7	6	5	4	3	2	1	0
R/W	-	-	-	-	-	-	-	-

RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

12.2.2 レシーブデータレジスタ (RDR)

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、またはモジュールストップモード時に H'00 に初期化されます。

12.2.3 トランスミットシフトレジスタ (TSR)

ビット	7	6	5	4	3	2	1	0
R/W	-	-	-	-	-	-	-	-

TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

12.2.4 トランスミットデータレジスタ (TDR)

ビット	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておく、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、またはモジュールストップモード時に H'FF に初期化されます。

12.2.5 シリアルモードレジスタ (SMR)

ビット	7	6	5	4	3	2	1	0
初期値	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、ハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモード、モジュールストップモードでは、直前の状態を保持します。

ビット 7 : コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6：キャラクタレングス (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明	
CHR		
0	8ビットデータ	(初期値)
1	7ビットデータ*	

【注】 * 7ビットデータを選択した場合、TDRのMSB(ビット7)は送信されません。また、LSBファースト/MSBファーストの選択はできません。

ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モード、およびマルチプロセッサフォーマットでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明	
PE		
0	パリティビットの付加、およびチェックを禁止	(初期値)
1	パリティビットの付加、およびチェックを許可*	

【注】 * PEビットに1をセットすると、送信時にはO/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ/奇数パリティのいずれで行うかを選択します。

O/Eビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。

ビット4	説明	
O/E		
0	偶数パリティ* ¹	(初期値)
1	奇数パリティ* ²	

【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

12. シリアルコミュニケーションインタフェース (SCI)

ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット：送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。 (初期値)
1	2ストップビット：送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「12.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定により、 ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

12.2.6 シリアルコントロールレジスタ (SCR)

ビット	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、ハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモード、モジュールストップモードでは、直前の状態を保持します。

ビット7: トランスミットインタラプトイネーブル (TIE)

TDR から TSR へシリアル送信データが転送されて SSR の TDRE フラグが 1 にセットされたときに、送信データエンpty割り込み (TXI) 要求の発生を許可または禁止します。

ビット7	説明
TIE	
0	送信データエンpty割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンpty割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

12. シリアルコミュニケーションインタフェース (SCI)

ビット5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可または禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

- 【注】 *1 SSR の TDRE フラグは 1 に固定されます。
*2 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

- 【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時のみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

12. シリアルコミュニケーションインタフェース (SCI)

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを決定する前に、CKE1、CKE0 の設定を行ってください。

SCI のクロックソースの選択についての詳細は「12.3 動作説明」の表 12.9 を参照してください。

ビット 1	ビット 0	説明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート*1
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

12.2.7 シリアルステータスレジスタ (SSR)

ビット	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に CPU からリード / ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグおよび MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、スタンバイモード、またはモジュールストップモード時に H'84 に初期化されます。

ビット7: トランスミットデータレジスタエンpty (TDRE)

TDR から TSR にデータ転送が行われ、TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	[クリア条件] (1) TDRE = 1 の状態をリードした後、0 をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが0のとき (2) TDR から TSR にデータ転送が行われ、TDR にデータライトが可能になったとき

ビット6: レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) RXI 割り込み要求による DTC で RDR のデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR ヘ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを0にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが1にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット5: オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	[クリア条件] (初期値)* ¹ ORER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき* ²

【注】 *¹ SCR の RE ビットを0にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*² RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

12. シリアルコミュニケーションインタフェース (SCI)

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	[クリア条件] (初期値)* ¹ FER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] SCI が受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが 0 であったとき* ²

- 【注】 *1 SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。
*2 2 ストップビットモードのときは、1 ビット目のストップビットが 0 であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	[クリア条件] (初期値)* ¹ PER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットを合わせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき* ²

- 【注】 *1 SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。
*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用です。ライトは無効です。

ビット2	説明
TEND	
0	[クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが 0 のとき (2) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

ビット1: マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット1	説明
MPB	
0	[クリア条件] (初期値)* マルチプロセッサビットが 0 のデータを受信したとき
1	[セット条件] マルチプロセッサビットが 1 のデータを受信したとき

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットでないとき、送信でないとき、およびクロック同期式モードには MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

12.2.8 ビットレートレジスタ (BRR)

ビット	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、ハードウェアスタンバイモードでは H'FF に初期化されます。ソフトウェアスタンバイモード、モジュールストップモードでは、直前の状態を保持します。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 12.3 に調歩同期式モードの BRR の設定例を、表 12.4 にクロック同期式モードの BRR の設定例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	-	-	-	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

12. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bit/s)	ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

12. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bit/s)	ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	ϕ (MHz)											
	18			19.6608			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25	3	110	- 0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	- 0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	- 0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	- 0.15
9600	0	58	- 0.69	0	63	0.00	0	64	0.16	0	80	0.47
19200	0	28	1.02	0	31	0.00	0	32	- 1.36	0	40	- 0.76
31250	0	17	0.00	0	19	- 1.70	0	19	0.00	0	24	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73	0	19	1.73

12. シリアルコミュニケーションインタフェース (SCI)

表 12.4 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビットレート (bit/s)	φ (MHz)													
	2		4		8		10		16		20		25	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70												
250	2	124	2	249	3	124			3	249				
500	1	249	2	124	2	249	-	-	3	124	-	-		
1k	1	124	1	249	2	124	-	-	2	249	-	-	3	97
2.5k	0	199	1	99	1	199	2	124	2	99	2	124	2	155
5k	0	99	0	199	1	99	1	249	1	199	1	249	2	77
10k	0	49	0	99	0	199	1	124	1	99	1	124	1	155
25k	0	19	0	39	0	79	0	199	0	159	0	199	0	249
50k	0	9	0	19	0	39	0	99	0	79	0	99	0	124
100k	0	4	0	9	0	19	0	49	0	39	0	49	0	62
250k	0	1	0	3	0	7	0	19	0	15	0	19	0	24
500k	0	0*	0	1	0	3	0	9	0	7	0	9	-	-
1M			0	0*	0	1			0	3	0	4	-	-
2.5M							0	0*			0	1	-	-
5M											0	0*	-	-

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* 連続送信 / 受信はできません。

【注】 誤差は、なるべく 1%以内になるように設定してください。

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

クロック同期式モード

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- B : ビットレート (bit/s)
 N : ポーレートジェネレータの BRR の設定値 (0 N 255)
 ϕ : 動作周波数 (MHz)
 n : ポーレートジェネレータ入力クロック (n=0~3)
 (n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

12. シリアルコミュニケーションインタフェース (SCI)

表 12.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 12.6、表 12.7 に外部クロック入力時の最大ビットレートを示します。

表 12.5 各周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0

12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500
25	6.2500	390625

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7

12.2.9 スマートカードモードレジスタ (SCMR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値	1	1	1	1	0	0	1	0
R/W	-	-	-	-	R/W	R/W	-	R/W

SCMR は、SDIR ビットにより、LSB ファースト / MSB ファーストの選択を行います。調歩同期式モード 7 ビットデータの場合を除き、シリアル通信モードによらず、LSB ファースト / MSB ファーストの選択が可能です。本章の説明では、LSB ファーストの場合について説明しています。

SCMR のその他のビットについての詳細は、「13.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

SCMR は、リセット、ハードウェアスタンバイモードでは H'F2 に初期化されます。ソフトウェアスタンバイモード、モジュールストップモードでは直前の状態を保持します。

ビット 7~4 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3 : スマートカードデータトランスファディレクション (SDIR)

シリアル / パラレル変換のフォーマットを選択します。

送信 / 受信フォーマットが 8 ビットデータの場合に有効です。

ビット 3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット 2 : スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR の O/\bar{E} ビットを反転する必要があります。

ビット 2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット 1 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット0：スマートカードインタフェースモードセレクト (SMIF)

通常の SCI として動作する場合には0をライトしてください。

ビット0	説明
SMIF	
0	通常の SCI として動作 (スマートカードインタフェース) 機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

12.2.10 モジュールストップコントロールレジスタ (MSTPCR)

ビット	MSTPCRH								MSTPCRL							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP6 ~ MSTP5 の対応するビットを 1 にセットすると、バスサイクルの終了時点で SCI は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードではレジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット6：モジュールストップ (MSTP6)

SCI チャンネル 1 のモジュールストップモードを指定します。

ビット6	説明
MSTP6	
0	SCI チャンネル 1 のモジュールストップモード解除
1	SCI チャンネル 1 のモジュールストップモード設定 (初期値)

ビット5：モジュールストップ (MSTP5)

SCI チャンネル 0 のモジュールストップモードを指定します。

ビット5	説明
MSTP5	
0	SCI チャンネル 0 のモジュールストップモード解除
1	SCI チャンネル 0 のモジュールストップモード設定 (初期値)

12.3 動作説明

12.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 12.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 12.9 に示します。

(1) 調歩同期式モード

- データ長：7 ビット / 8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合
SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合
ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信 / 受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI のクロックソース：内部クロック / 外部クロックから選択可能
 - 内部クロックを選択した場合
SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合
内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 12.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット							
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長				
C/ \bar{A}	CHR	MP	PE	STOP									
0	0	0	0	0	調歩同期式 モード	8 ビット データ	なし	なし	1 ビット				
				1					2 ビット				
				0					1 ビット				
			1	2 ビット									
			1	0					0	7 ビット データ	なし	1 ビット	
									1			2 ビット	
	0	1 ビット											
	1	0	1	-	調歩同期式 モード (マルチ プロセッサ フォー マット)	8 ビット データ	あり	なし	2 ビット				
				1					1 ビット				
				0					2 ビット				
		1	-	-					1	7 ビット データ	なし	なし	1 ビット
									0				2 ビット
1									1 ビット				
1	-	-	-	クロック 同期式 モード	8 ビット データ	なし		なし					
			1					なし					

表 12.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
ビット 7	ビット 1	ビット 0		クロック ソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません ビットレートと同じ周波数のクロ ックを出力
		1			
	1	0		外部	ビットレートの 16 倍の周波数のク ロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High/Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

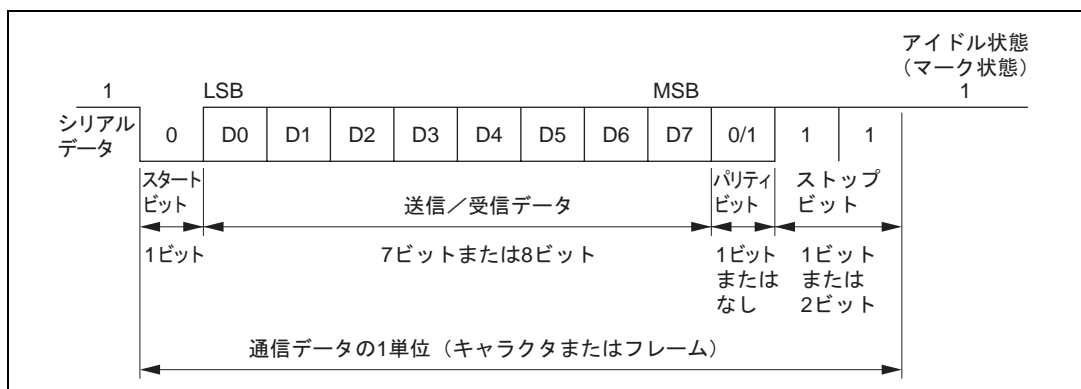


図 12.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット

調歩同期式モードで設定できる送信/受信フォーマットを、表 12.10 に示します。送信/受信フォーマットは12種類あり、SMRの選定により選択できます。

表 12.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

12. シリアルコミュニケーションインタフェース (SCI)

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、またはSCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表12.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図12.3に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

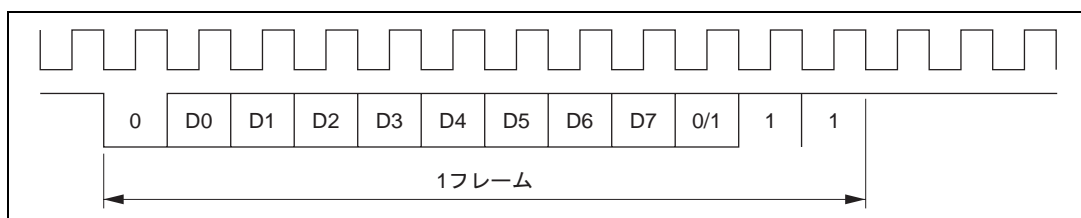


図 12.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 12.4 に SCI の初期化フローチャートの例を示します。

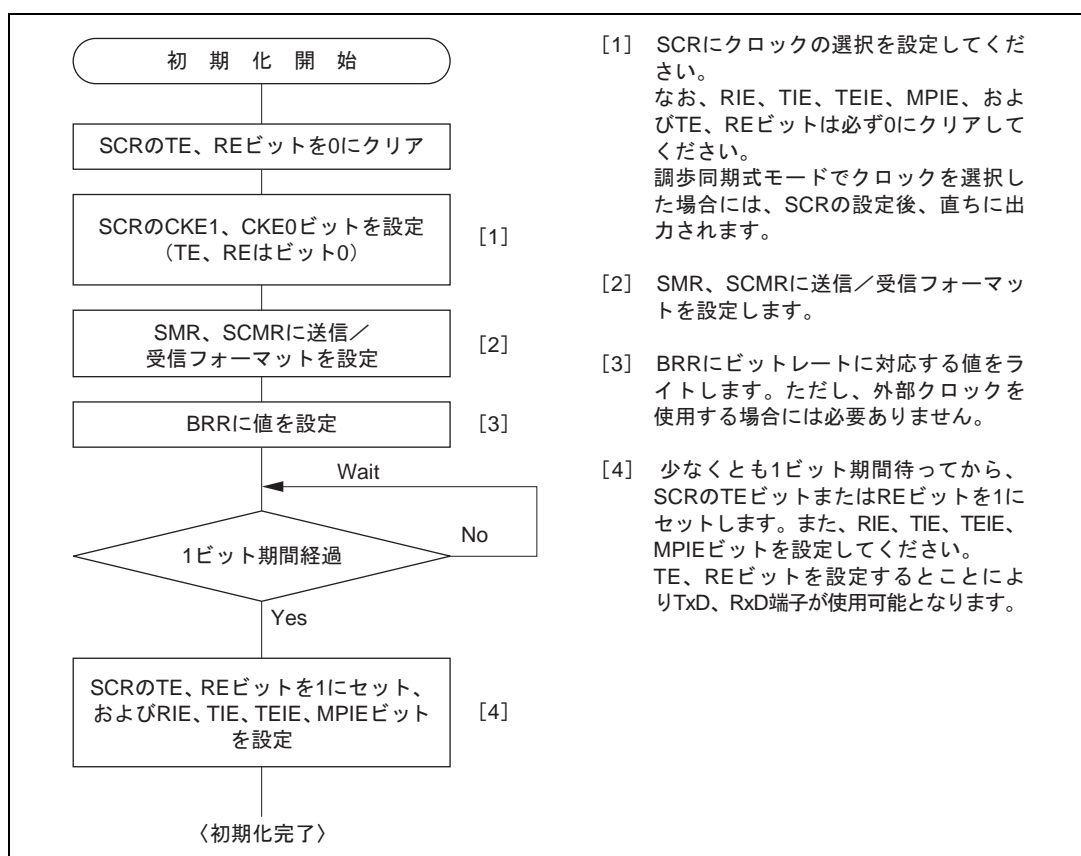


図 12.4 SCI の初期化フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

(b) シリアルデータ送信 (調歩同期式)

図 12.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

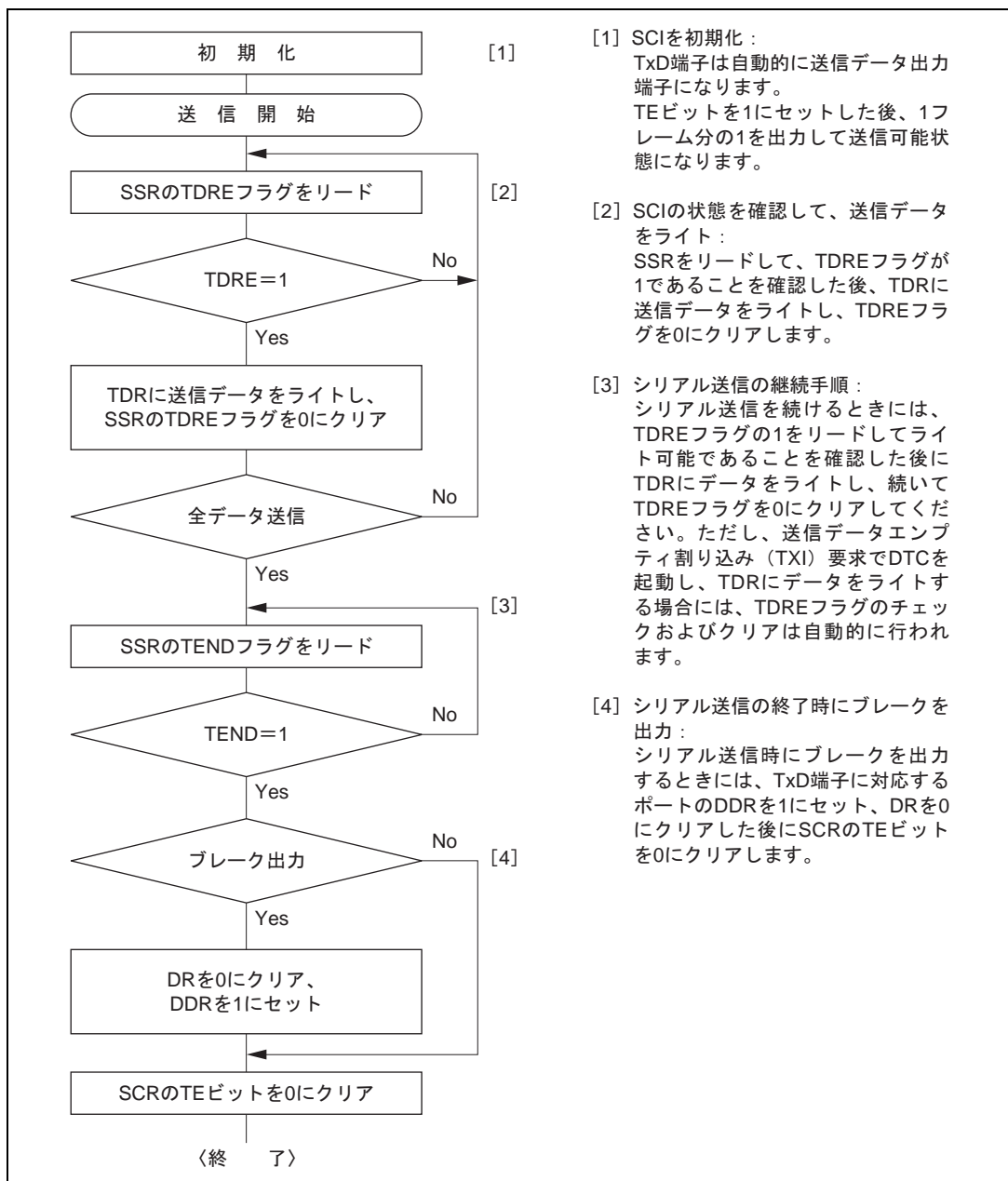


図 12.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット、または7ビットのデータがLSBから順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する“マーク状態”になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

12. シリアルコミュニケーションインタフェース (SCI)

調歩同期式モードでの送信時の動作例を図 12.6 に示します。

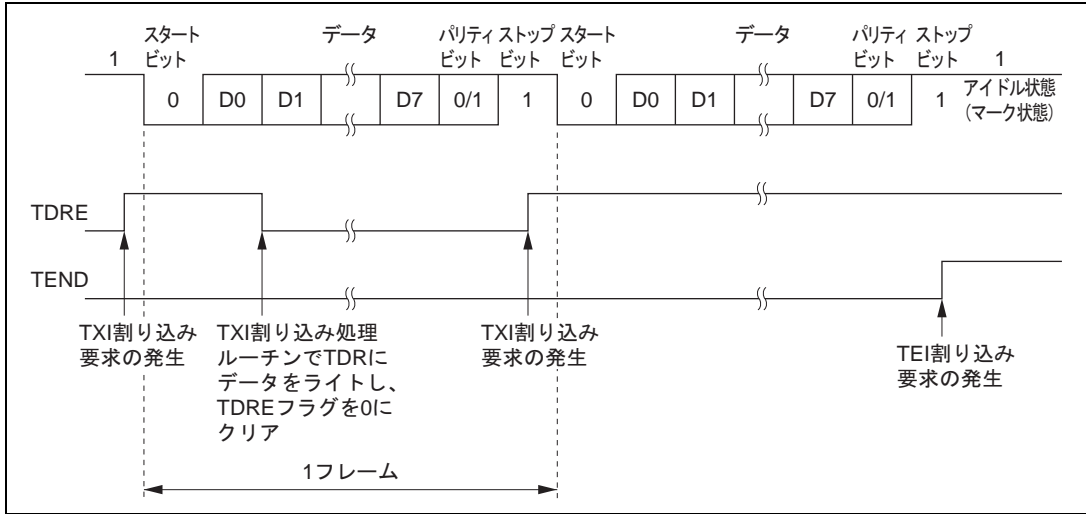


図 12.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 12.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

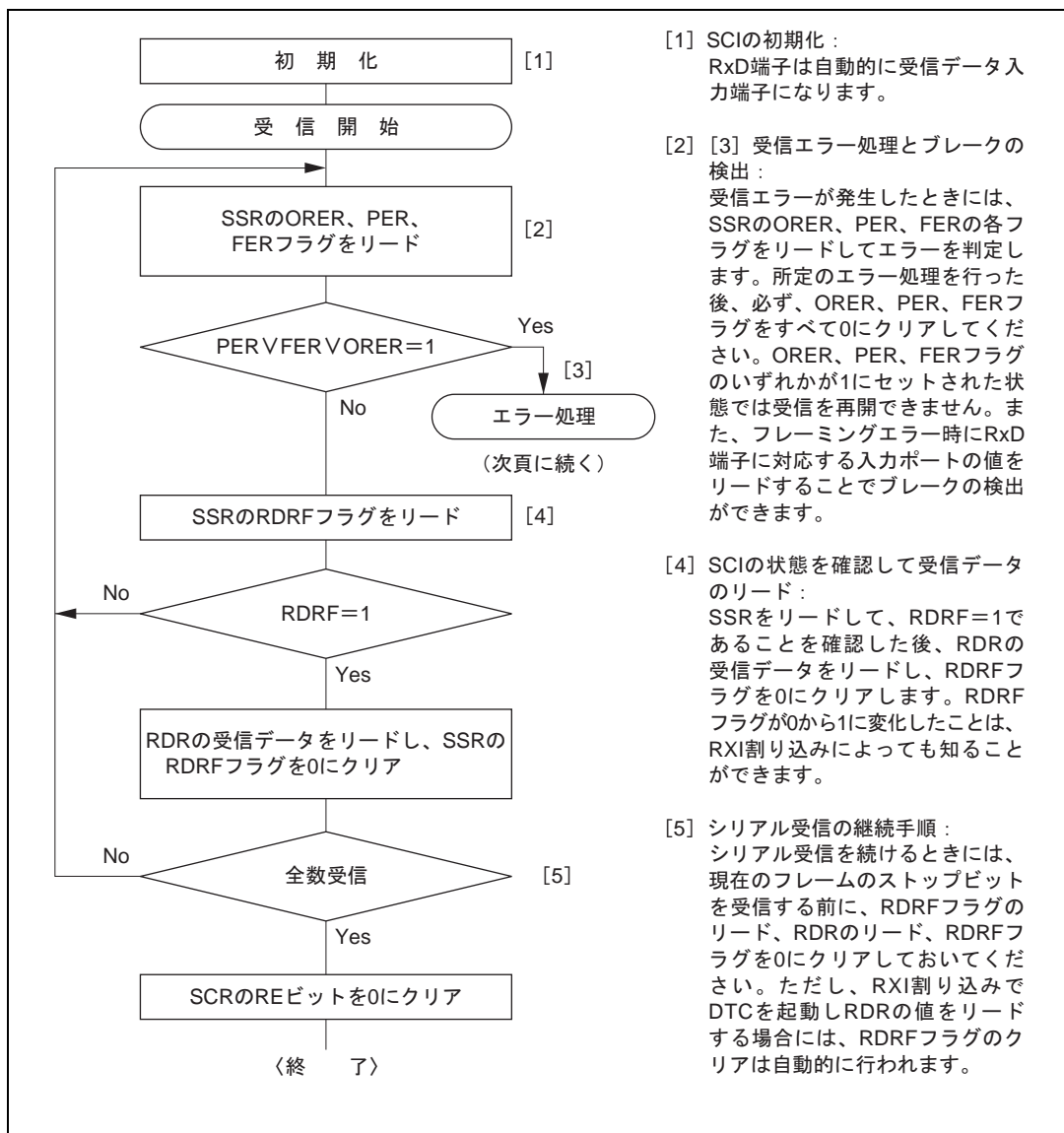


図 12.7 (1) シリアル受信フローチャートの例

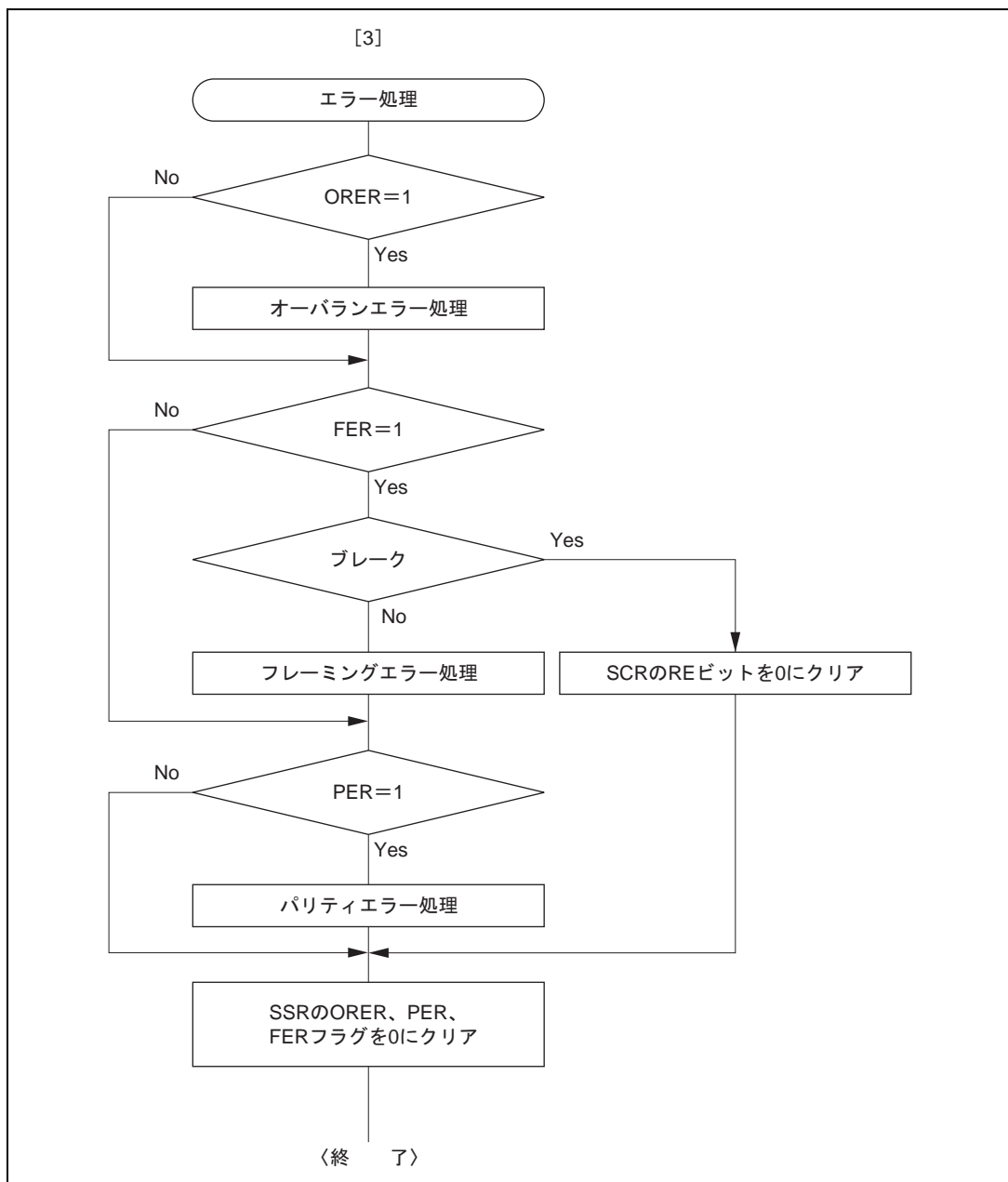


図 12.7 (2) シリアル受信フローチャートの例

SCI は受信時に以下のように動作します。

- [1] SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
- [3] パリティビットおよびストップビットを受信します。
受信後、SCIは以下のチェックを行います。
 - [a] パリティチェック：
受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。
 - [b] ストップビットチェック：
ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のみをチェックします。
 - [c] ステータスチェック：
RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
以上のチェックをすべて満足したとき、RDRFフラグが1にセットされ、RDRに受信データが格納されます。
エラーチェックで受信エラー*を発生すると表12.11のように動作します。
- 【注】 * 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。
- [4] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 12.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されません。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されません。

調歩同期式モード受信時の動作例を図 12.8 に示します。

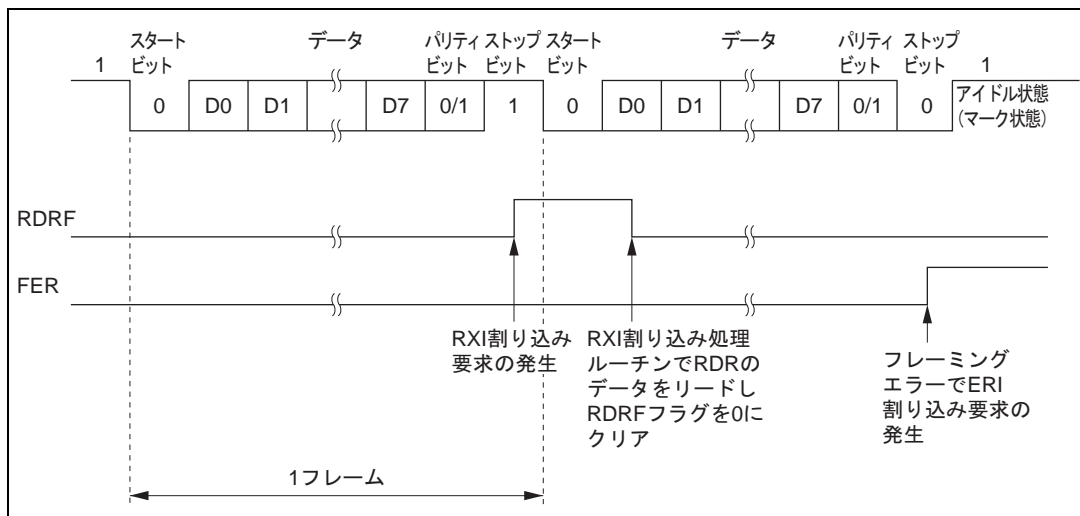


図 12.8 SCI の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

12.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 12.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 12.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

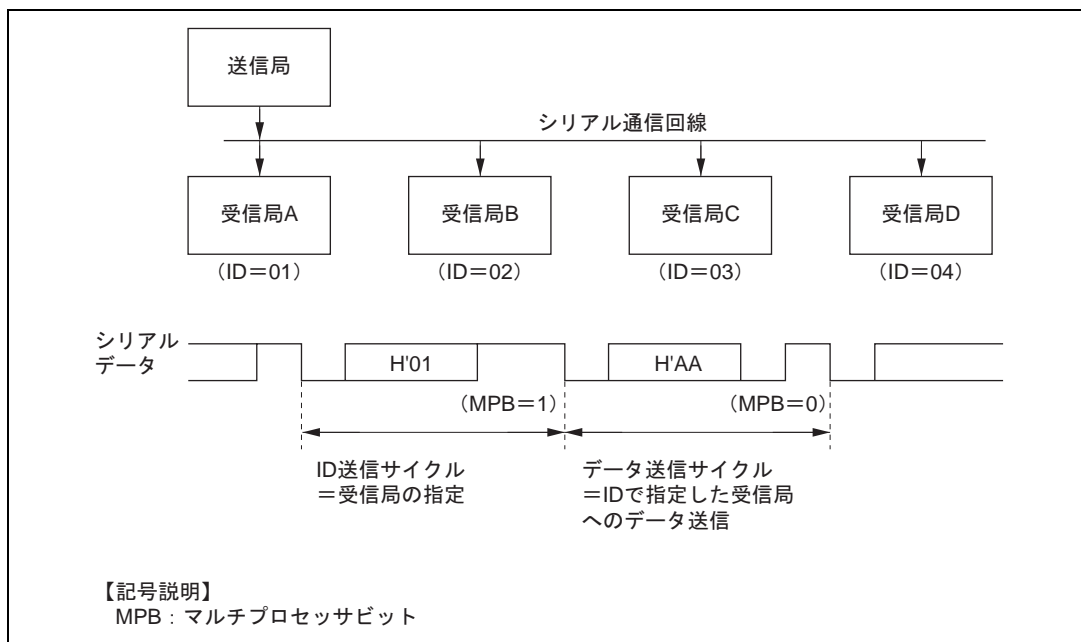


図 12.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 12.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

12. シリアルコミュニケーションインタフェース (SCI)

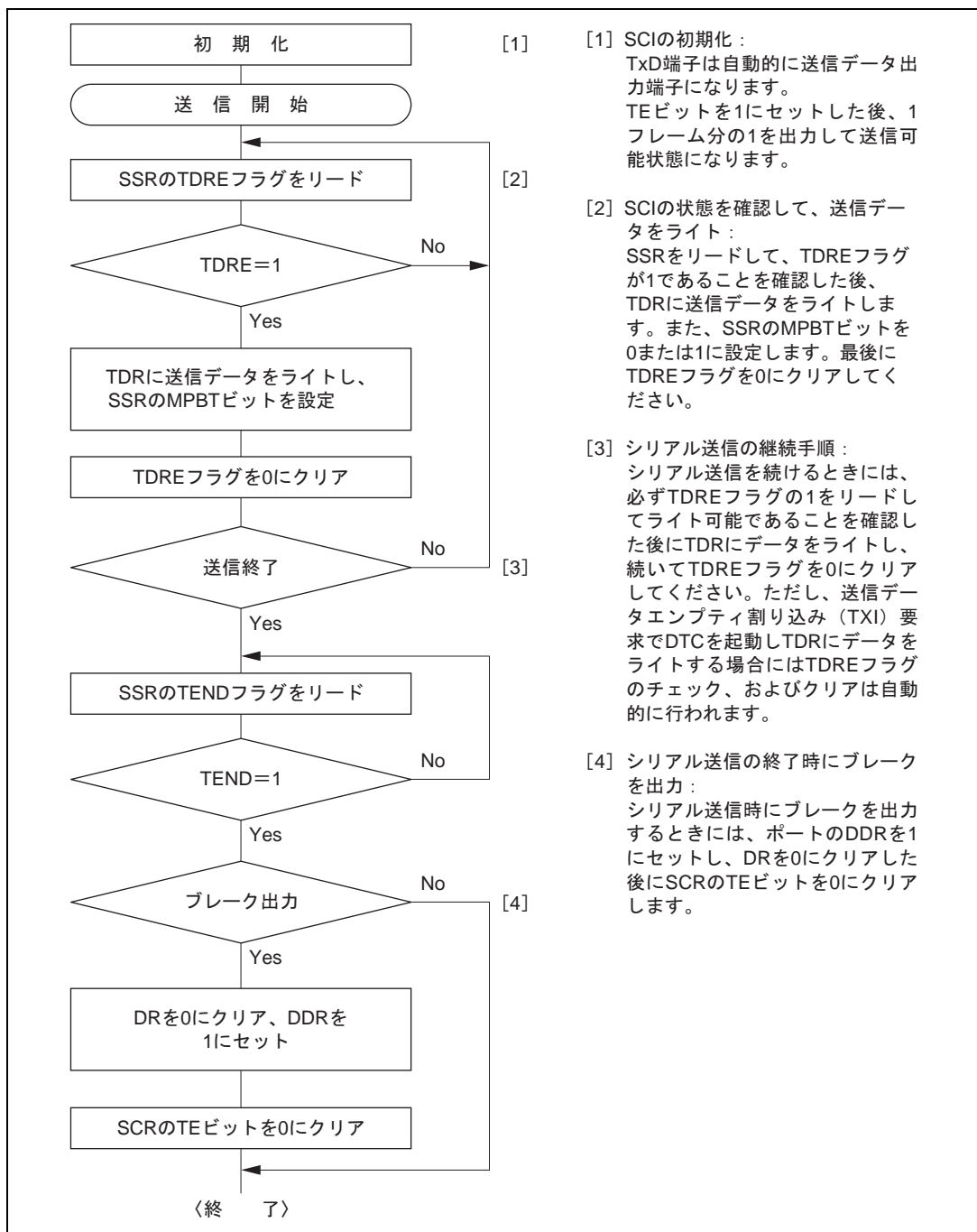


図 12.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTx/D端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット/7ビットのデータがLSBから順に出力されます。
 - [c] マルチプロセッサビット：
1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - [d] ストップビット：
1ビット/2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図12.11にマルチプロセッサフォーマットのSCIの送信時の動作例を示します。

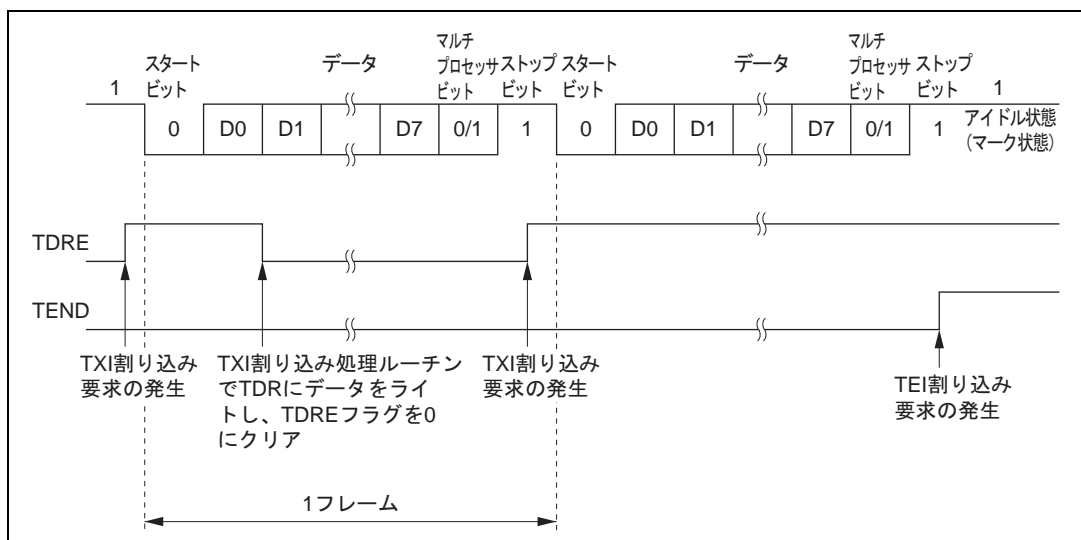


図 12.11 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 12.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
 マルチプロセッサシリアルデータ受信は、以下の手順に従い行ってください。

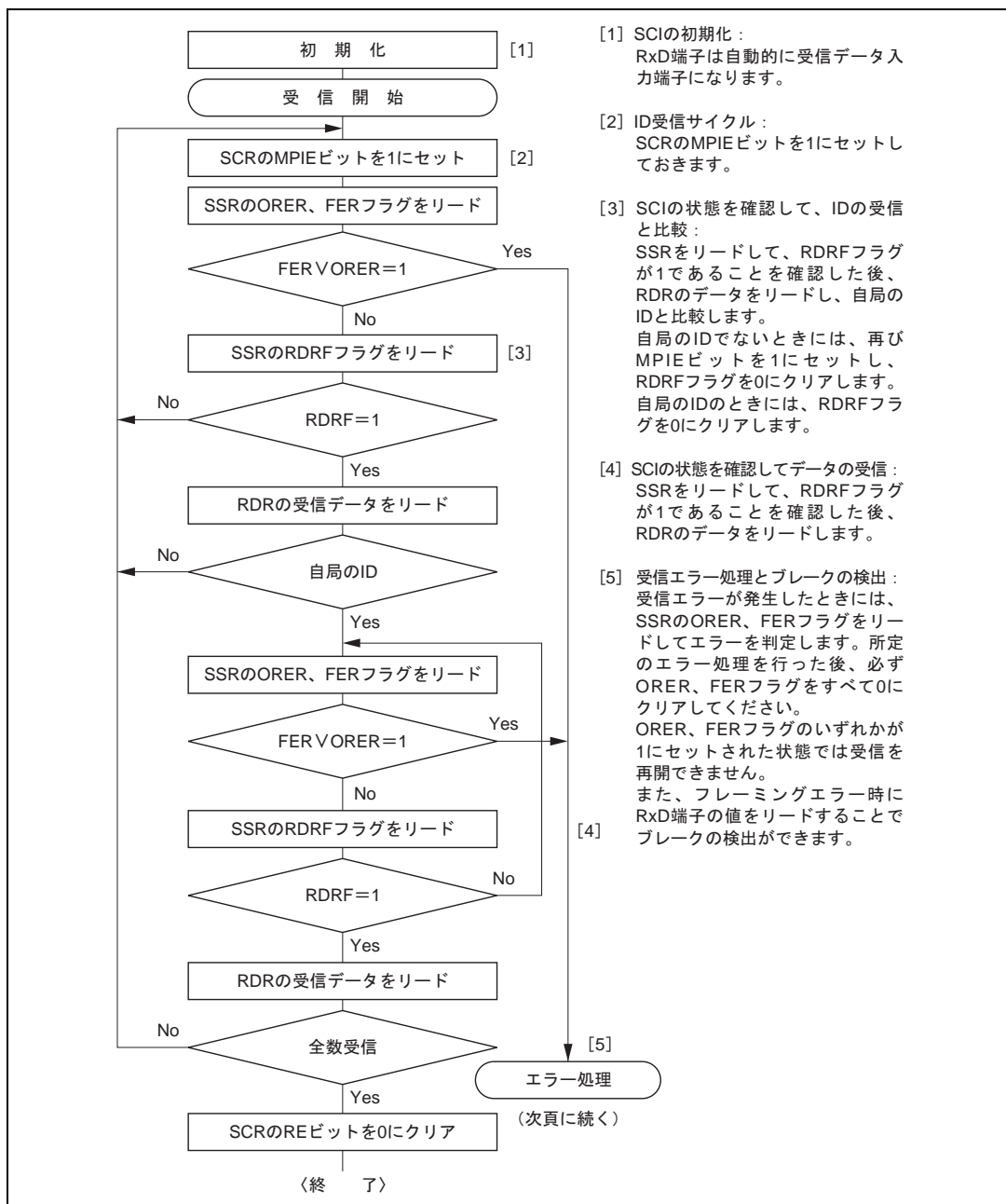


図 12.12 (1) マルチプロセッサシリアル受信フローチャートの例

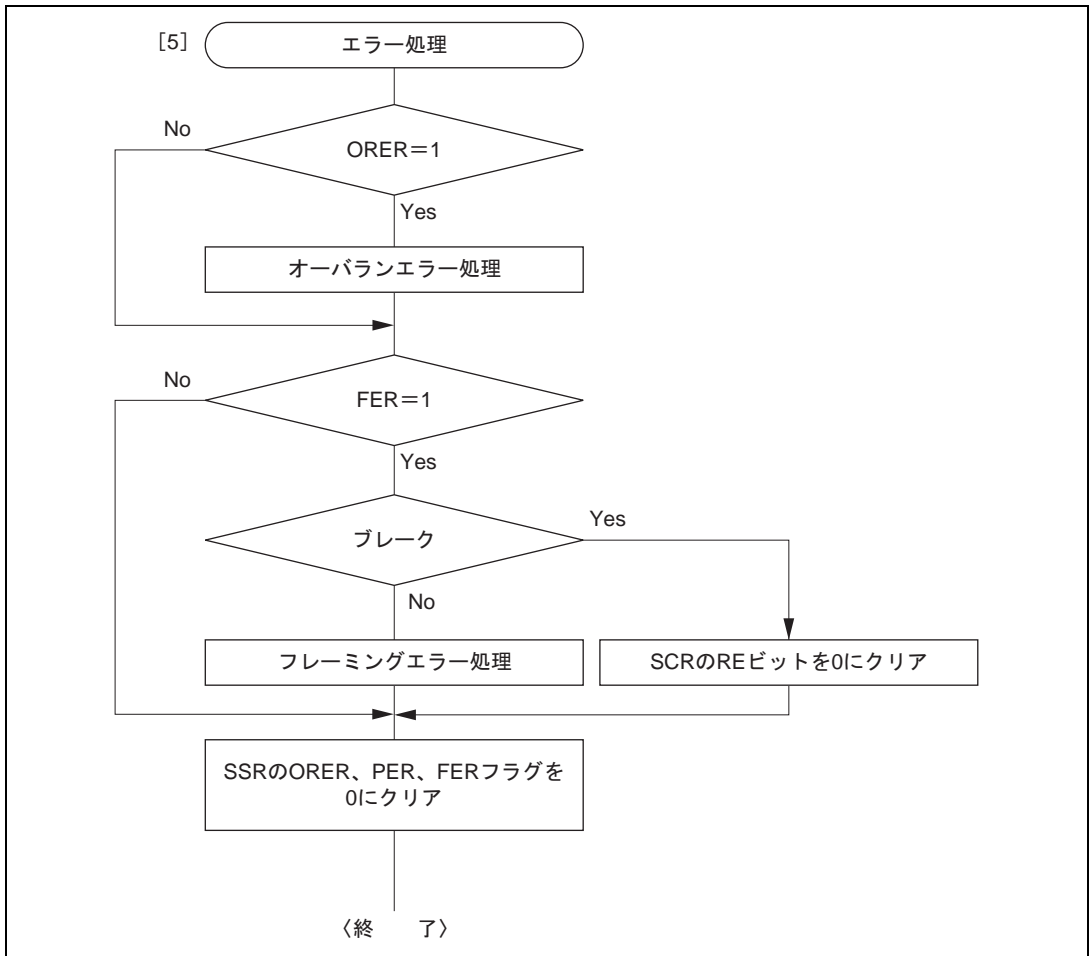


図 12.12 (2) マルチプロセッサシリアル受信フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

図 12.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

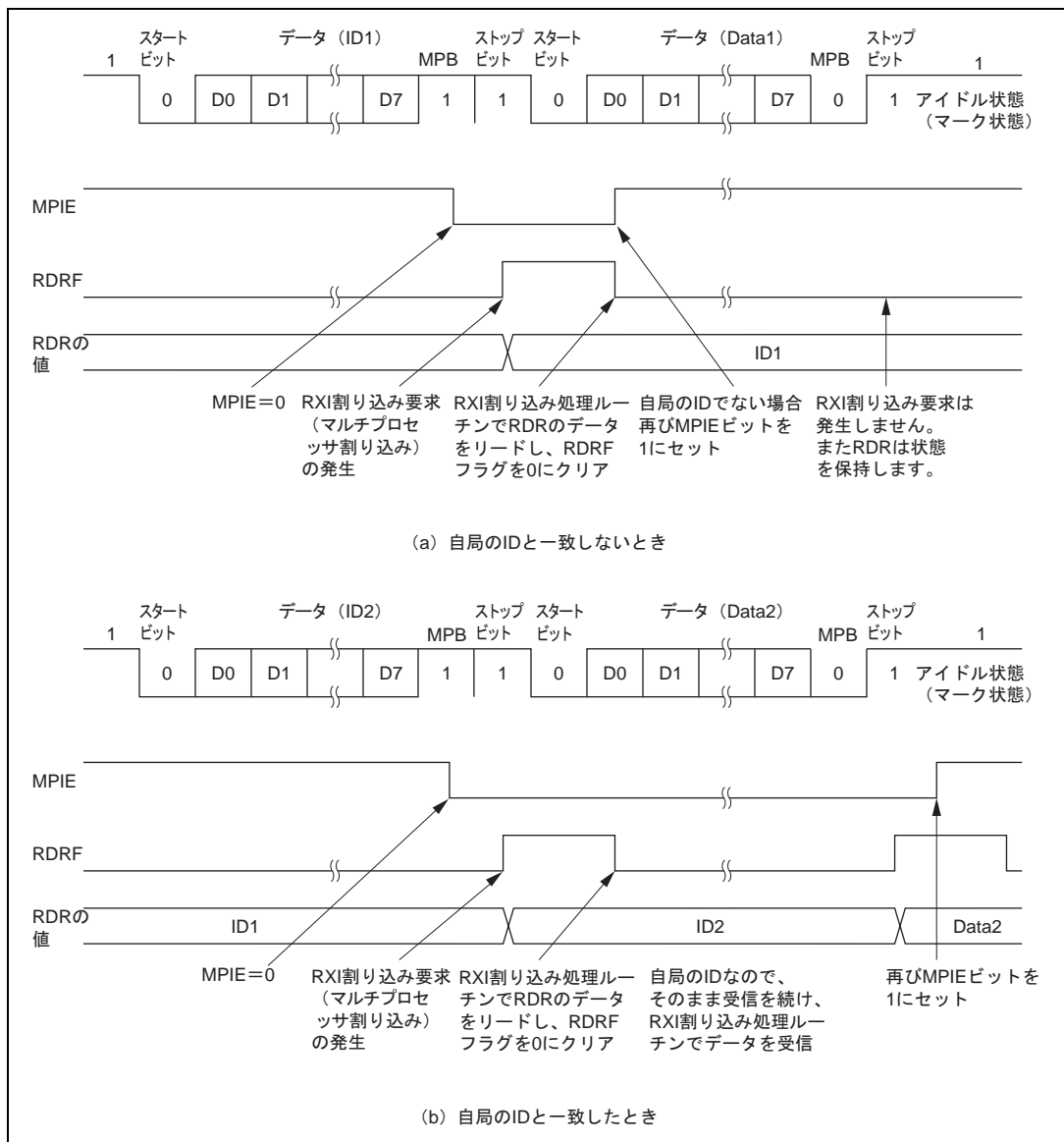


図 12.13 SCI の受信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

12.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 12.14 に示します。

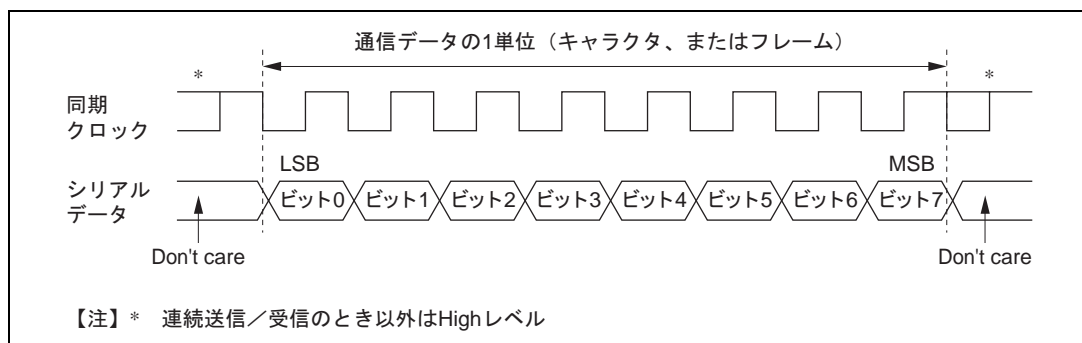


図 12.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信/受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 12.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

12. シリアルコミュニケーションインタフェース (SCI)

(3) データの送信 / 受信動作

(a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 12.15 に SCI の初期化フローチャートの例を示します。

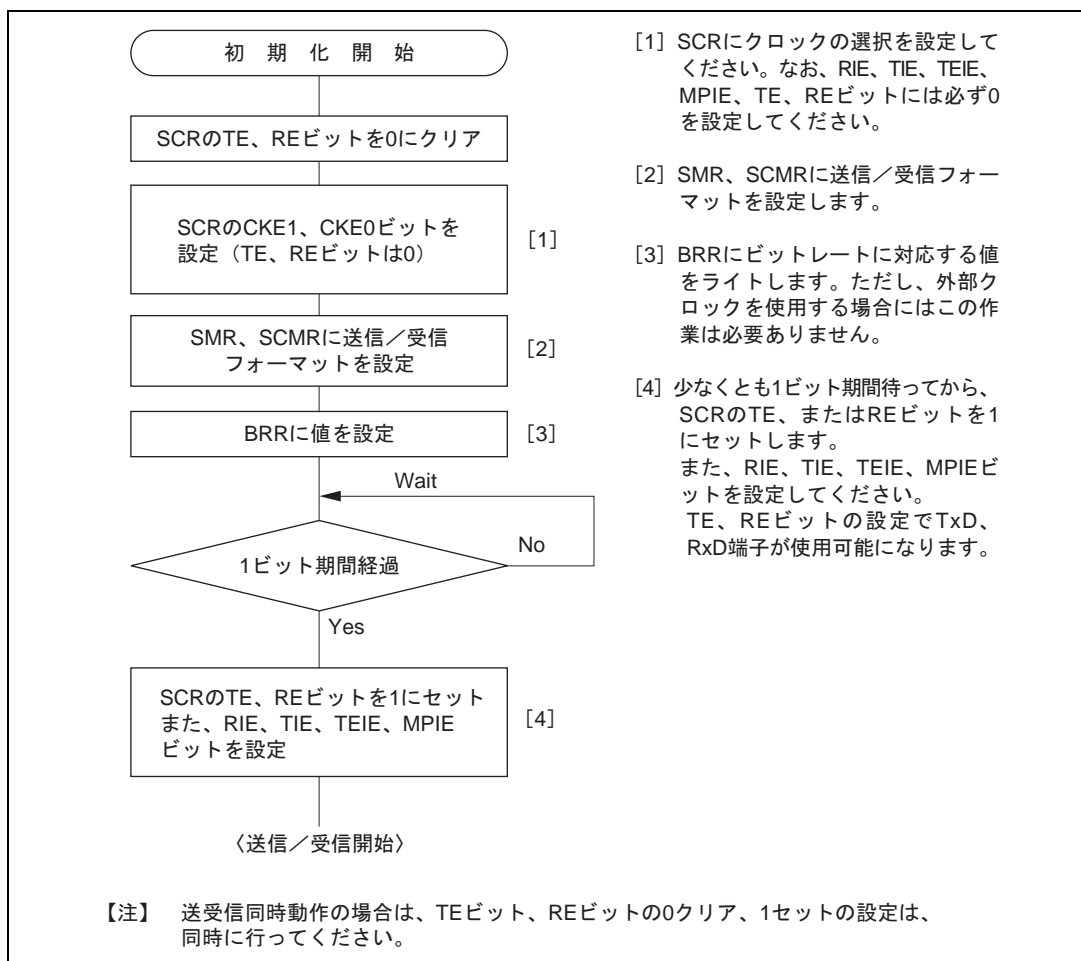


図 12.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 12.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

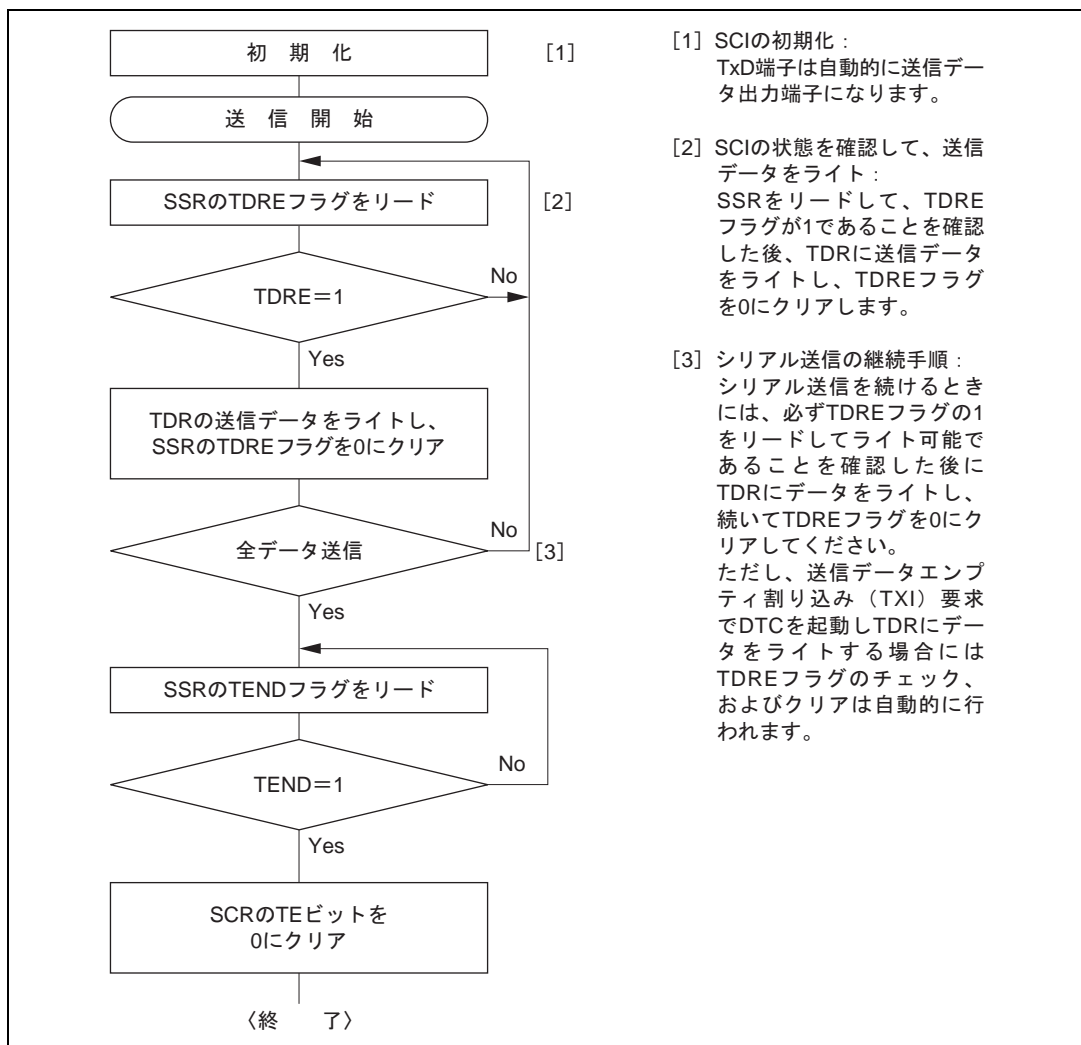


図 12.16 シリアル送信のフローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) からMSB (ビット7) の順にTxD端子から送り出されます。
- [3] SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出した後、TxD端子は状態を保持します。
このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
- [4] シリアル送信終了後は、SCK端子はHighレベル固定になります。

図12.17にSCIの送信時の動作例を示します。

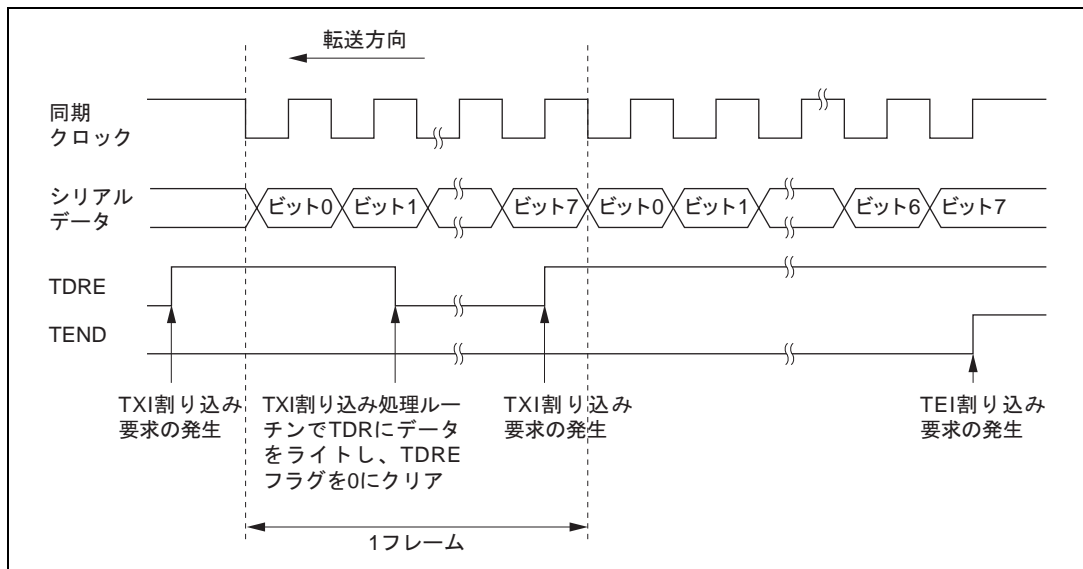


図 12.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 12.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行うことができません。

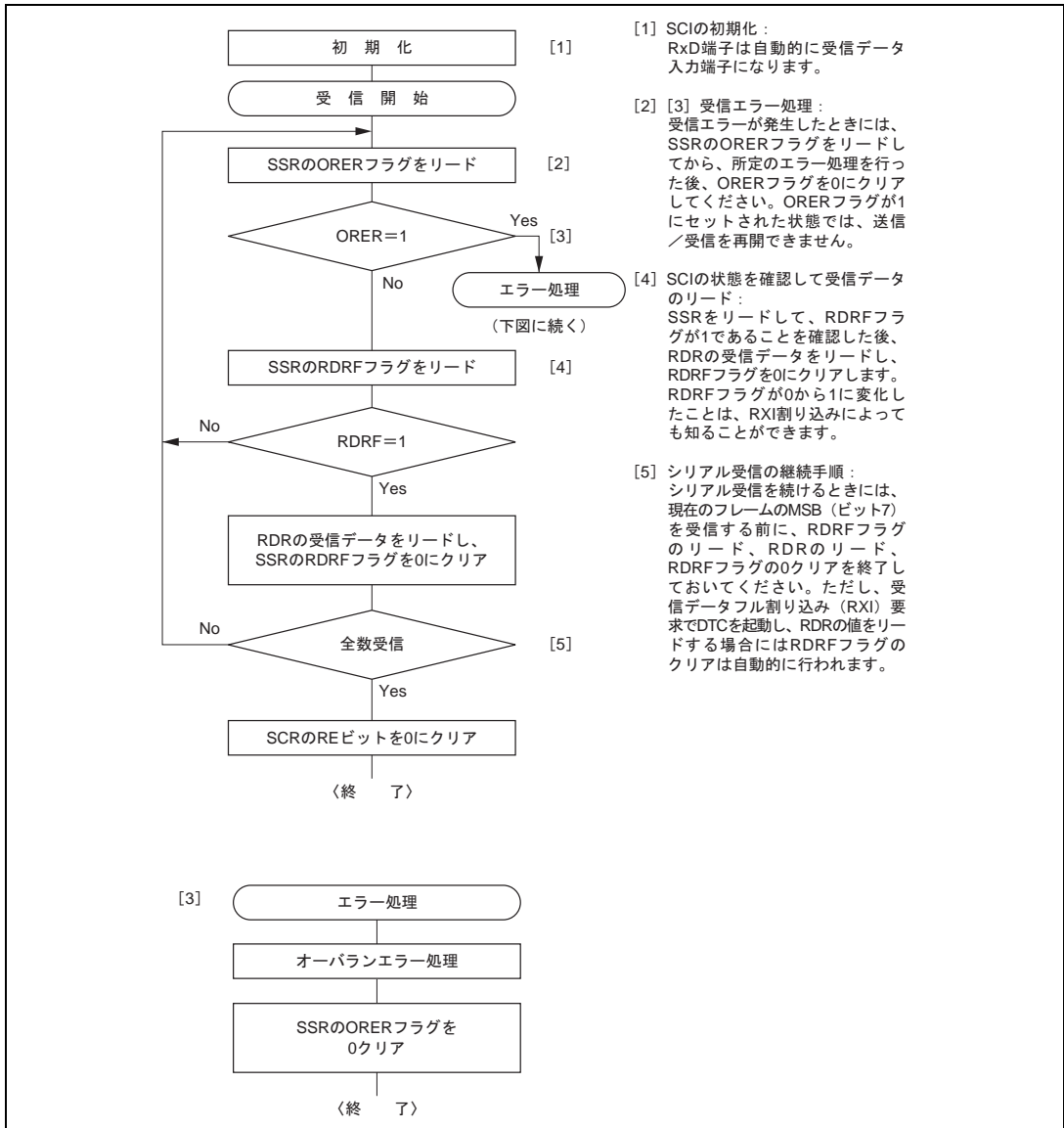


図 12.18 シリアルデータ受信フローチャートの例

12. シリアルコミュニケーションインタフェース (SCI)

SCI は受信時に以下のように動作します。

- [1] SCIは同期クロックの入力または出力に同期して内部を初期化します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックを満足したときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表12.11のように動作します。
エラーチェックで受信エラーを発生した状態では、以後の送信動作、受信動作のいずれも行いうることができません。
- [3] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図12.19にSCIの受信時の動作例を示します。

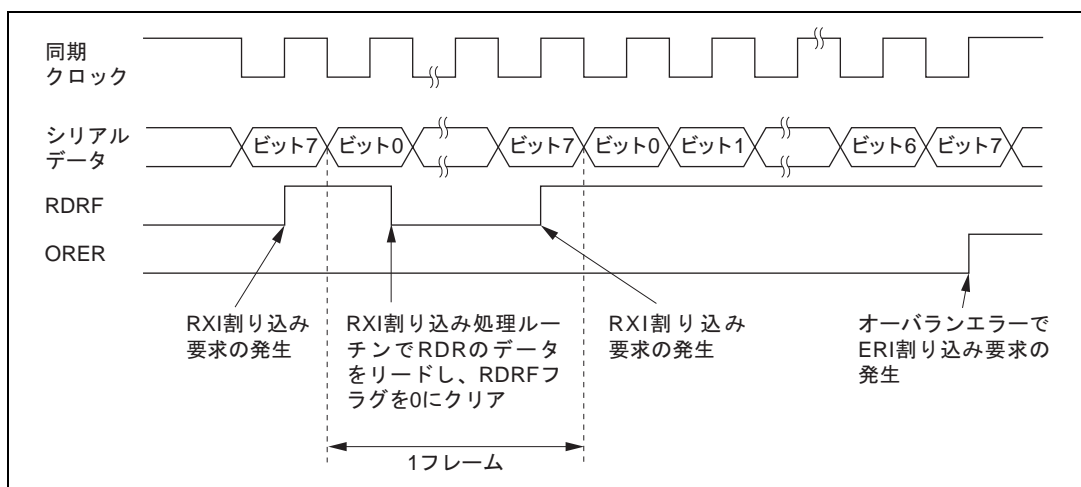


図 12.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 12.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

12. シリアルコミュニケーションインタフェース (SCI)

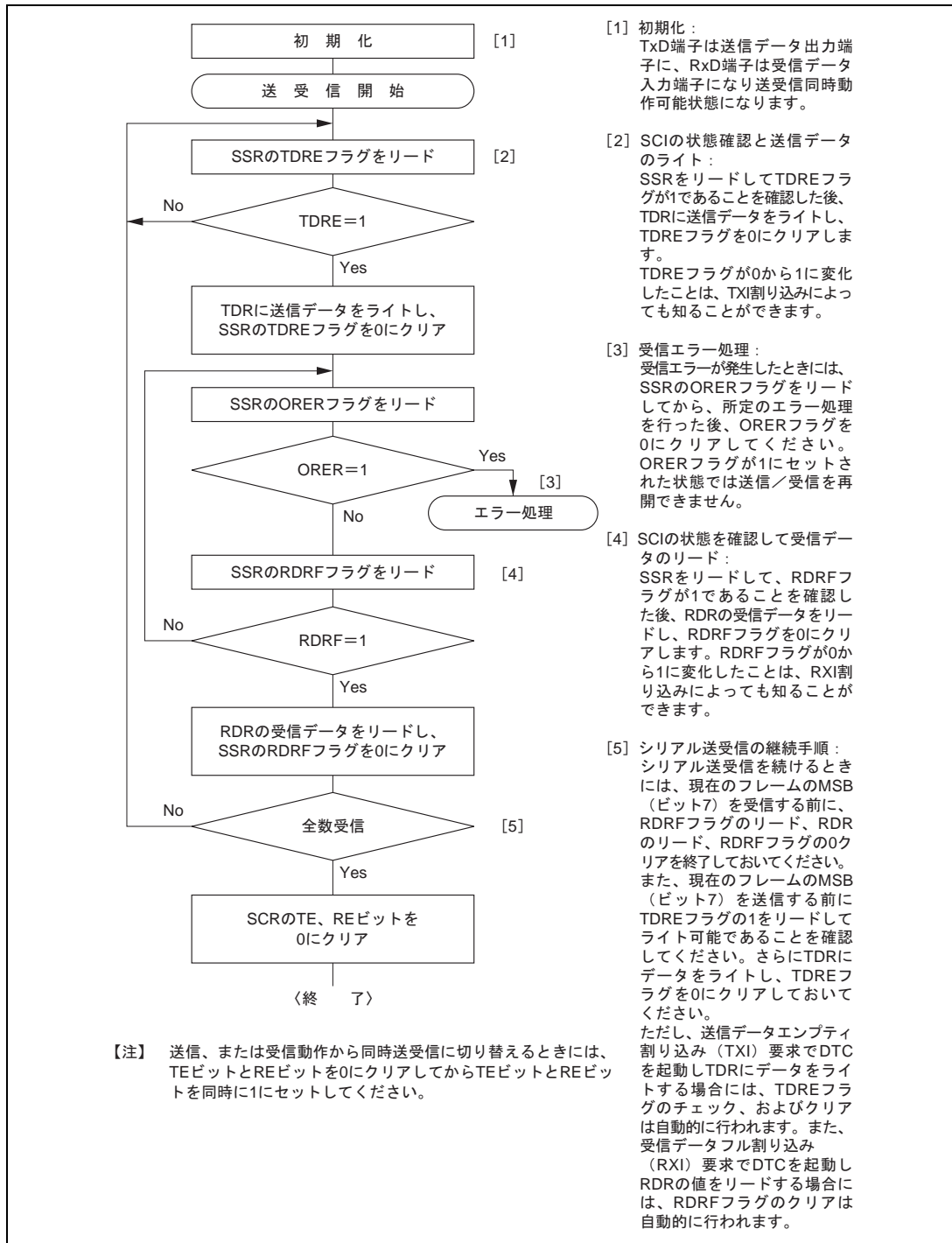


図 12.20 シリアル送受信同時動作のフローチャートの例

12.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 12.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DTC の起動はできません。

表 12.12 SCI 割り込み要因

チャンネル	割り込み要因	内容	DTC の起動	優先順位*
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ↑ 低
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に Rowe れます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませので注意してください。

12.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが1にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、表12.13のようになります。また、オーバランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表 12.13 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF	ORER	FER	PER		
1	1	0	0	x	オーバランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	x	オーバランエラー+フレーミングエラー
1	1	0	1	x	オーバランエラー+パリティエラー
0	0	1	1		フレーミングエラー+パリティエラー
1	1	1	1	x	オーバランエラー+フレーミングエラー+パリティエラー

【注】 : RSR→RDR に受信データを転送します。

x : RSR→RDR に受信データを転送しません。

(3) ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIは、ブレークを受信した後も受信動作を続けますので、FERフラグを0にクリアしても再び1にセットされますので、注意してください。

(4) ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 12.21 に示します。

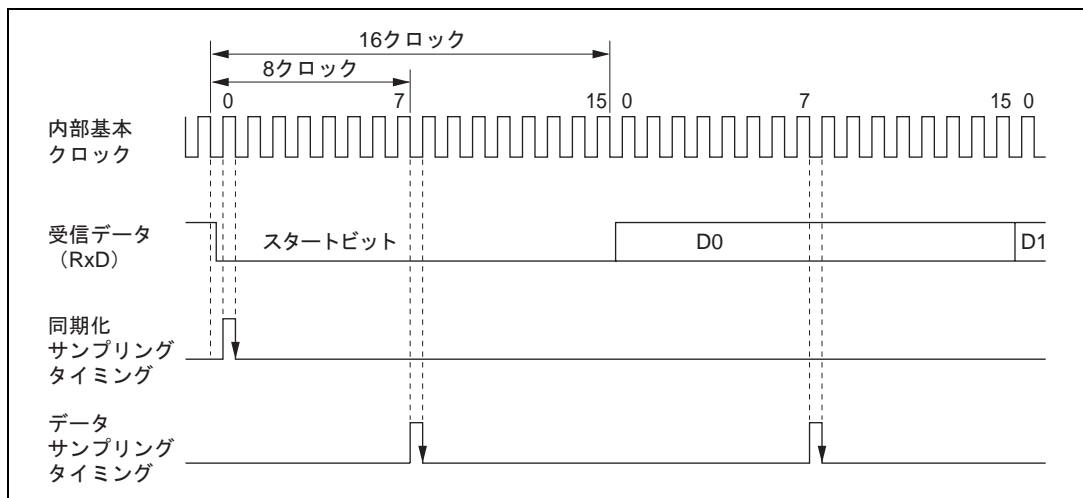


図 12.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| 100\% \quad \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2 \cdot 16} \right) 100\% \\ = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(7) DTC 使用上の制約事項

- (1) 同期クロックに外部クロックソースを使用する場合、DTCによるTDRの更新後、φクロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります。(図12.22)
- (2) DTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

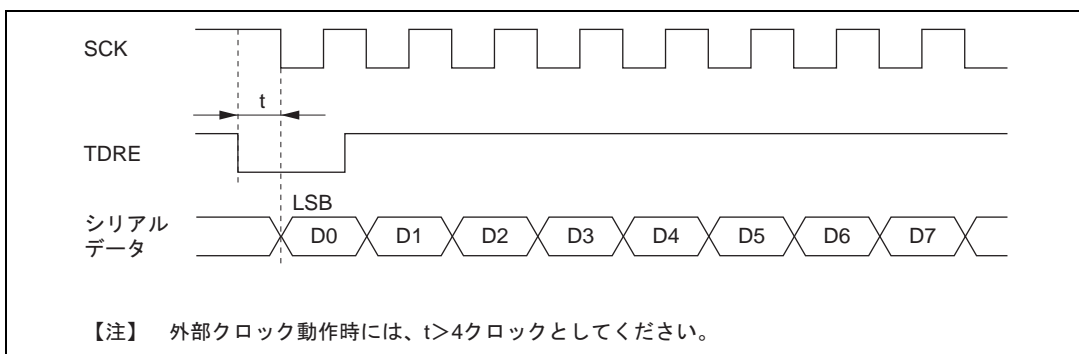


図 12.22 DTC によるクロック同期式送信時の例

(8) モード遷移時の動作について

(a) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。TSR、TDR、および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、 $TE = 1$ に戻し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 12.23 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 12.24、図 12.25 に示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。解除後 DTC による送信をする場合は $TE = 1$ 、 $TIE = 1$ に設定すれば TXI フラグが立ち、DTC による送信が始まります。

(b) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止 ($RE = 0$) してから行ってください。RSR、RDR、および SSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE = 1$ に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 12.26 に受信時のモード遷移フローチャートの例を示します。

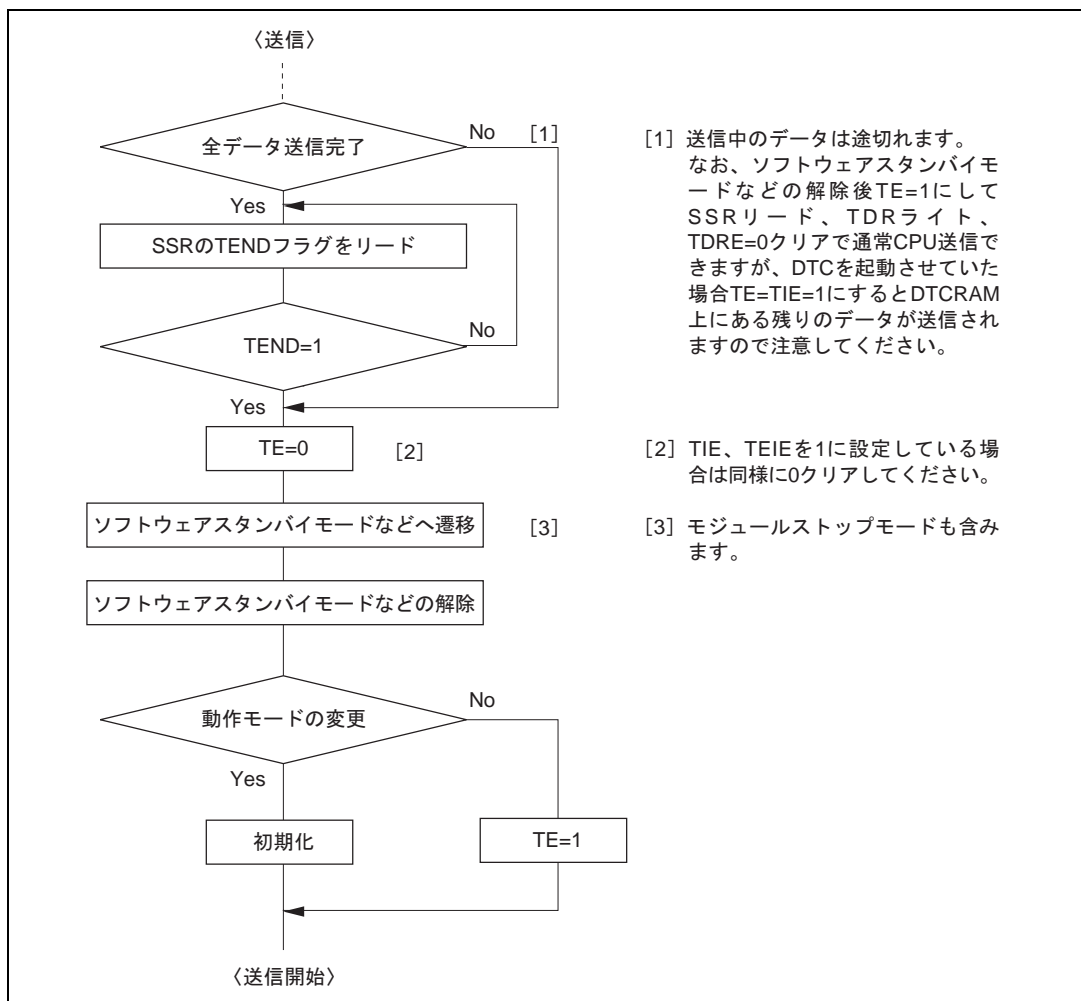


図 12.23 送信時のモード移行フローチャートの例

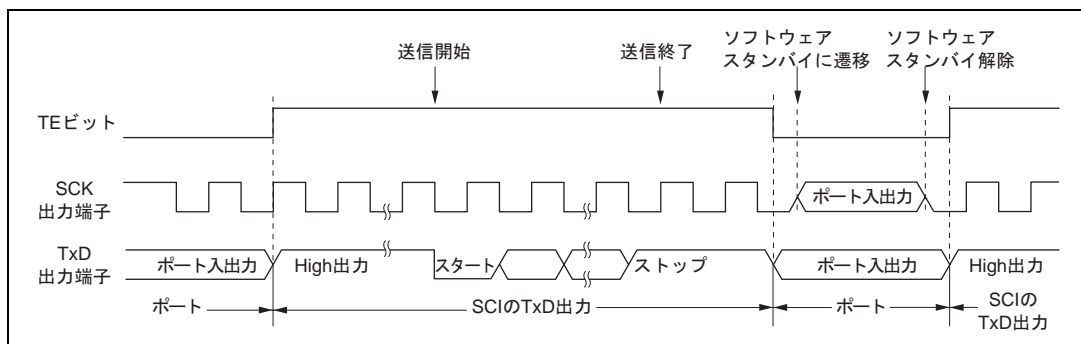


図 12.24 内部クロック、調歩同期送信の場合

12. シリアルコミュニケーションインタフェース (SCI)

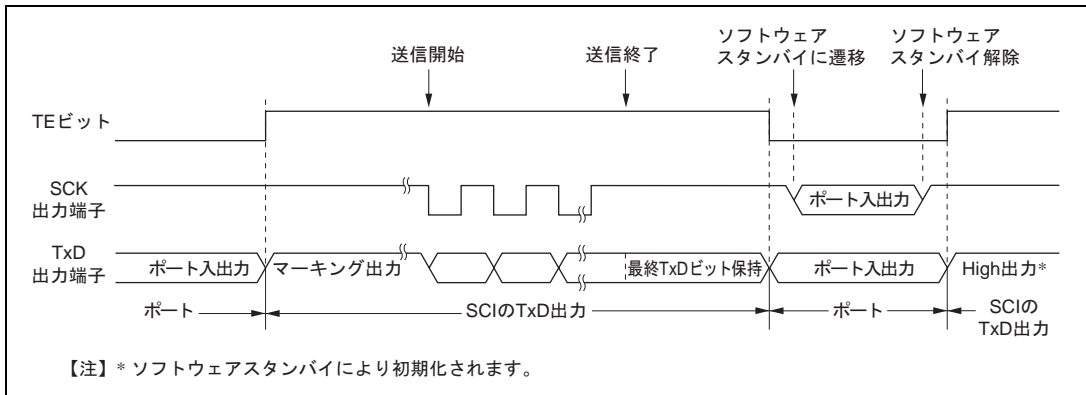


図 12.25 内部クロック、クロック同期送信の場合

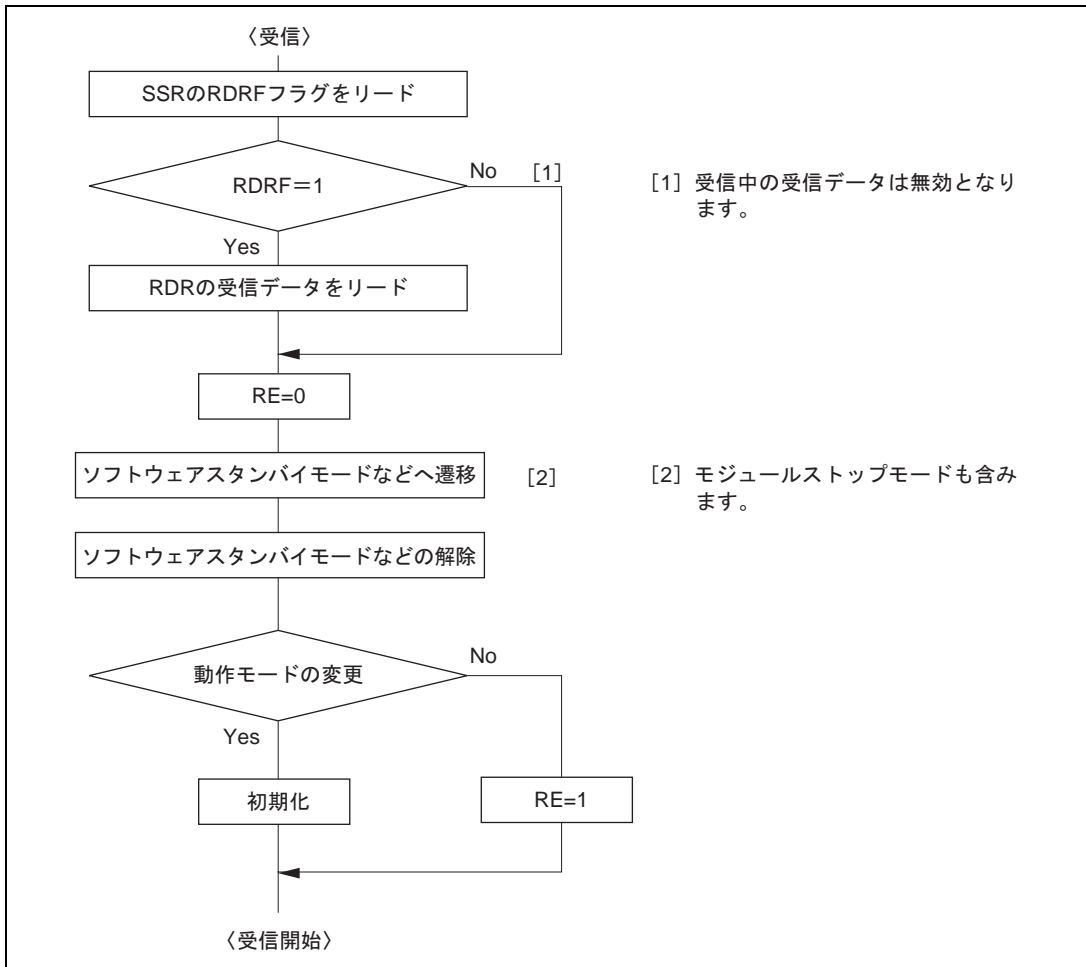


図 12.26 受信時のモード遷移フローチャートの例

13. スマートカードインタフェース

13.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card)に準拠した IC カード(スマートカード)インタフェースをサポートしています。通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

13.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

(1) 調歩同期式モード

- データ長：8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル(パリティエラー)の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

(2) 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

(3) 3 種類の割り込み要因

- 送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントロール (DTC) を起動させてデータを転送可能

13.1.2 ブロック図

図 13.1 にスマートカードインタフェースのブロック図を示します。

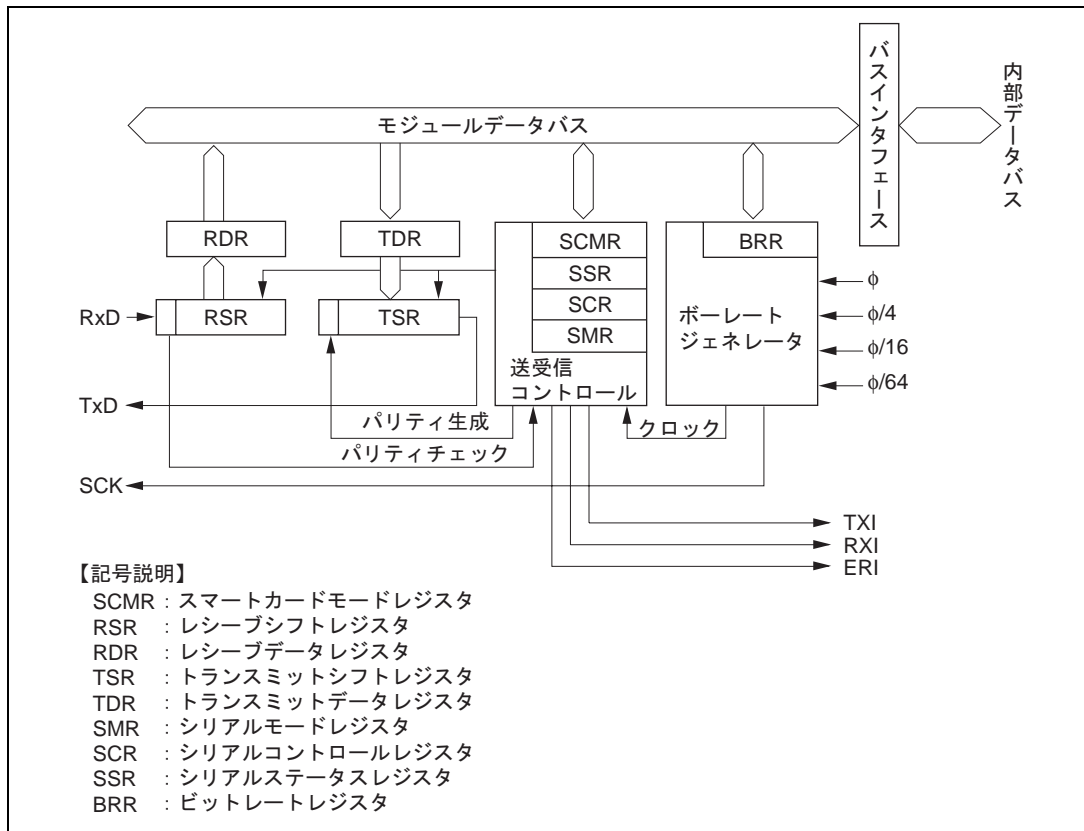


図 13.1 スマートカードインタフェースのブロック図

13.1.3 端子構成

スマートカードインタフェースの端子構成を表 13.1 に示します。

表 13.1 端子構成

チャンネル	名称	記号	入出力	機能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力

13.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 13.2 に示します。SMR、BRR、SCR、TDR、RDR、MSTPCR については、通常の SCI の機能と同様ですので、「第 12 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

表 13.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス* ²
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)* ¹	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)* ¹	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 アドレスの下位 16 ビットを示しています。

13.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

13.2.1 スマートカードモードレジスタ (SCMR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値	1	1	1	1	0	0	1	0
R/W	-	-	-	-	R/W	R/W	-	R/W

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

SCMR は、リセット、ハードウェアスタンバイモードでは H'F2 に初期化されます。ソフトウェアスタンバイモード、モジュールストップモードでは、直前の状態を保持します。

ビット7~4: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット2: スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「13.3.4 レジスタの設定」を参照してください。

ビット2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット1：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0：スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能を許可または禁止するビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

13.2.2 シリアルステータスレジスタ (SSR)

ビット	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

スマートカードインタフェースモードにおいては、SSRのビット4の機能が変更されます。また、これに関連してビット2のTENDのセット条件が変更になります。

ビット7～5：

通常のSCIと同様の動作をします。詳細は「12.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ビット4：エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) [クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS=1の状態をリードした後、0をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナル Low をサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

13. スマートカードインターフェース

ビット3~0:

通常の SCI と同様の動作をします。詳細は「12.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット2 TEND	説明
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCR の TE ビットが 0 かつ ERS ビットが 0 のとき (3) GM = 0、BLK = 0 のとき 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき (4) GM = 0、BLK = 1 のとき 1 バイトのシリアルキャラクタを送信して、1.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき (5) GM = 1、BLK = 0 のとき 1 バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき (6) GM = 1、BLK = 1 のとき 1 バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

13.2.3 シリアルモードレジスタ (SMR)

ビット	7	6	5	4	3	2	1	0
	GM	BLK	PE*	O/E	BCP1	BCP0	CKS1	CKS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * スマートカードインタフェースを使用する場合は、ビット 5 に 1 を設定してください。

スマートカードインタフェースモードにおいては、SMR のビット 7、6、3、2 の機能が変更されま
す。

ビット 7 : GSM モード (GM)

スマートカードインタフェース機能を GSM モードに設定します。

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCR) のビット 1 およびビット 0 で指定します。

ビット 7	説明
GM	
0	通常のスマートカードインタフェースモードの動作 (初期値) (1) TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

ビット 6 : ブロック転送モード (BLK)

ブロック転送モードの選択を行います。

ビット 6	説明
BLK	
0	通常のスマートカードインタフェースモードの動作 (1) エラーシグナルの送出、検出、データの自動再送信を行う (2) TXI 割り込みが TEND フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後)
1	ブロック転送モードで動作 (1) エラーシグナルの送出、検出、データの自動再送信を行わない (2) TXI 割り込みが TDRE フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)

【注】 etu (Elementary Time Unit) : 1 ビットの転送期間

13. スマートカードインターフェース

ビット 3、2：基本クロックパルス 1、0 (BCP1、BCP0)

スマートカードインタフェースモードにおいては、1 ビット転送期間中の基本クロック数を指定することができます。

ビット 3	ビット 2	説明
BCP1	BCP0	
0	0	32 クロック (初期値)
	1	64 クロック
1	0	372 クロック
	1	256 クロック

ビット 5、4、1、0：

通常の SCI と同様の動作をします。詳細は「12.2.5 シリアルモードレジスタ (SMR)」を参照してください。

13.2.4 シリアルコントロールレジスタ (SCR)

ビット	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

スマートカードインタフェースモードで、シリアルモードレジスタ (SMR) のビット 7 が 1 のときに、SCR のビット 1 およびビット 0 の機能が変更されます。

ビット 7~2：

通常の SCI と同様の動作をします。詳細は「12.2.6 シリアルコントロールレジスタ (SCR)」を参照してください。

ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。スマートカードインタフェースモード時では、通常のクロック出力の許可 / 禁止切り替えのほか、クロック出力の High レベル固定と Low レベル固定を設定することができます。

SCMR	SMIF	SMR	SCR の設定		SCK 端子機能の説明
			GM	CKE1	
0					SCI 指定参照
1		0	0	0	ポート入出力端子として動作
1		0	0	1	SCK 出力端子としてクロック出力
1		1	0	0	SCK 出力端子として Low 出力固定
1		1	0	1	SCK 出力端子としてクロック出力
1		1	1	0	SCK 出力端子として High 出力固定
1		1	1	1	SCK 出力端子としてクロック出力

13.3 動作説明

13.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで2etu（ブロック転送モード時は1etu）（Elementary Time Unit：1ビットの転送期間）以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します（ブロック転送モード時を除く）。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します（ブロック転送モード時を除く）。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

13.3.2 端子接続

図 13.2 にスマートカードインタフェースに関する端子接続概略図を示します。

ICカードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 端子側で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 VCC 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

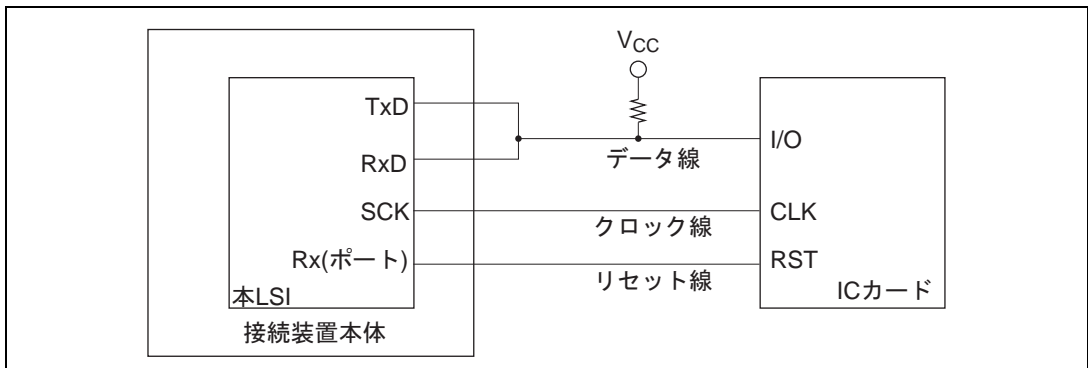


図 13.2 スマートカードインタフェース端子接続概略図

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

13.3.3 データフォーマット

(1) 通常の転送モード

図 13.3 に通常のスマートカードインターフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時は、エラーシグナルをサンプリングすると同じデータを再送信します。

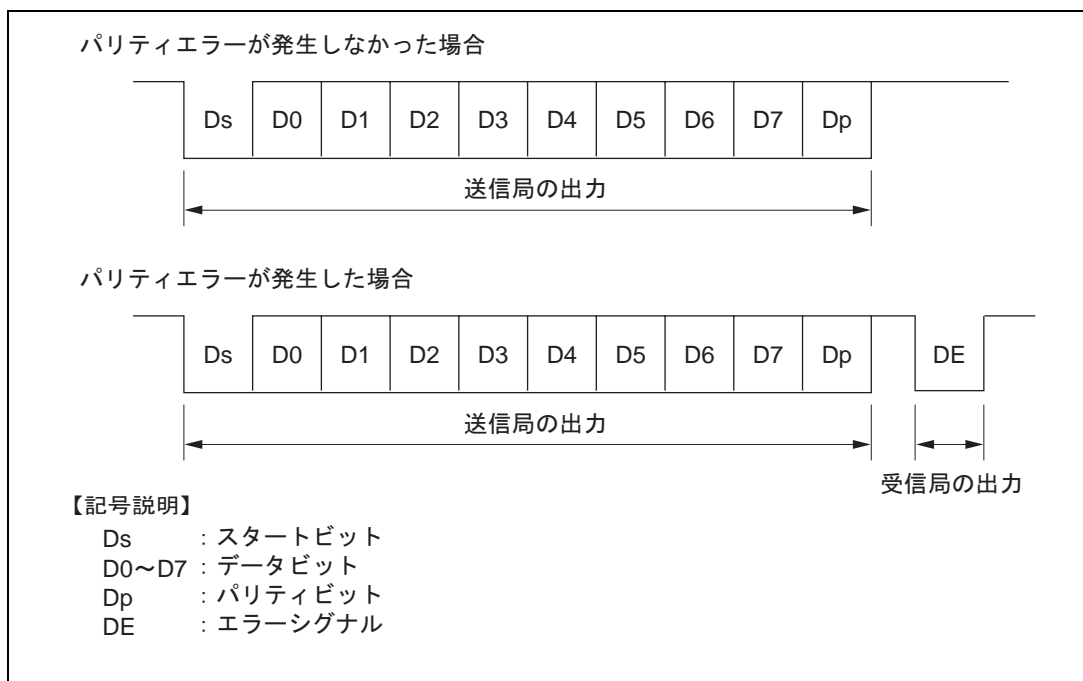


図 13.3 通常のスマートカードインターフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [2] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット(Ds、Lowレベル)から開始します。この後に、8ビットのデータビット(D0~D7)とパリティビット(Dp)が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [4] 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル(DE、Lowレベル)を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- [5] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、[2] に戻りエラーとなったデータを再送信します。

(2) ブロック転送モード

ブロック転送モードの動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [2] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット(Ds、Lowレベル)から開始します。この後に、8ビットのデータビット(D0~D7)とパリティビット(Dp)が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [4] 受信側は、パリティエラーのチェックを行います。エラーが発生してもエラーシグナルは出力しません。エラーが発生すると、以後の受信動作ができませんので、次のフレームのパリティビットを受信する前までにエラーフラグを0にクリアしてください。
- [5] 送信側は次のフレームのデータ送信に移ります。

13.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 13.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 13.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SMR	GM	BLK	1	O/E	BCP1	BCP0	CKS1	CKS0
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	TIE	RIE	TE	RE	0	0	CKE1*	CKE0
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	-	-	-	-	SDIR	SINV	-	SMIF

【注】 - : 未使用ビットを示します。

* : SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 に設定してください。

(1) SMR の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。O/E ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを、BCP1、BCP0 ビットは 1 ビット転送期間中の基本クロック数を選択します。

詳細は「13.3.5 クロック」を参照してください。

BLK ビットは、通常のスマートカードインタフェースモード時には 0 を設定し、ブロック転送モード時には 1 を設定します。

(2) BRR の設定

ビットレートを設定します。設定値の算出方法は「13.3.5 クロック」を参照してください。

(3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 12 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は B'00 に設定し、クロックを出力する場合は B'01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

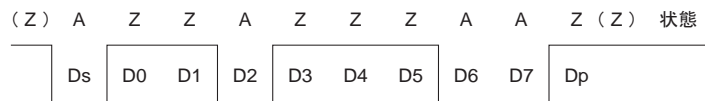
(4) スマートカードモードレジスタ (SCMR) の設定

SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

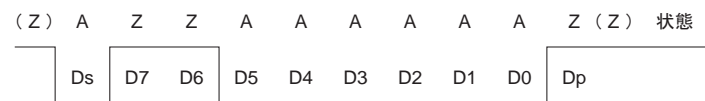
SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

(a) ダイレクトコンベンション (SDIR = SINV = O/\bar{E} = 0)

ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV = O/\bar{E} = 1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7~D0 のみとなっています。パリティビットの反転のために SMR の O/\bar{E} ビットを奇数パリティモードに設定します (送信、受信とも同様です)。

13.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートは BRR と SMR の CKS1、CKS0、BCP1、BCP0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 13.5 に示します。

このとき CKE0=1 でクロック出力を選択すると、SCK 端子からクロックが出力されます。また、クロックの周波数はビットレートと BCP1、BCP0 ビットの設定により決まります。

$$B = \frac{\phi}{S \times 2^{2n+1} \times (N+1)} \times 10^6$$

ただし、N = BRR の設定値 (0 N 255)

B = ビットレート (bit/s)

ϕ = 動作周波数 (MHz)

n = 表 13.4 を参照

S = BCP1、BCP0 で設定した 1 ビット期間の内部クロック数

表 13.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

表 13.5 BRR の設定に対するビットレート B (bit/s) の例

(ただし、n=0、S=372 のとき)

N	ϕ (MHz)							
	10.00	10.714	13.00	14.285	16.00	18.00	20.00	25.00
0	13441	14400	17473	19200	21505	24194	26882	33602
1	6720	7200	8737	9600	10753	12097	13441	16801
2	4480	4800	5824	6400	7168	8065	8961	11201

【注】 ビットレートは、小数点以下 1 桁目を四捨五入した数値です。

一方、動作周波数とビットレートからビットレートレジスタ (BRR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{S \times 2^{2n+1} \times B} \times 10^6 - 1$$

表 13.6 ビットレート B (bit/s) に対する BRR の設定例

(ただし、n=0、S=372 のとき)

bit/s	φ (MHz)																	
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.00		25.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99	2	6.60	3	12.49

表 13.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

(ただし S=372 のとき)

φ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{\phi}{S \times 2^{2n+1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

13.3.6 データの送信 / 受信動作

(1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

- [1] SCRのTE、REビットを0にクリアします。
- [2] SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
- [3] SMRのGM、BLK、 $\overline{O\bar{E}}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
- [4] SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
- [5] ビットレートに対応する値をBRRに設定します。
- [6] SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロック出力されます。
- [7] 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。
自己診断以外はTEビットとREビットを同時にセットしないでください。

(2) シリアルデータ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 13.4 に示します。

また、送信動作と内部レジスタの関連を図 13.5 に示します。

- [1] (1) の手順に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのエラーフラグERSが0にクリアされていることを確認してください。
- [3] SSRのTENDフラグが1にセットされていることが確認できるまで、[2]、[3] を繰り返してください。
- [4] TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- [5] 連続してデータを送信する場合は、[2] に戻ってください。
- [6] 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理または DTC によるデータ転送が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 13.6 に TEND フラグ発生タイミングを示します。

TXI 要求で DTC を起動する場合、自動再転送を含め DTC に設定したバイト数を自動的に送信することができます。

詳細は「(6) 割り込み動作」、「(7) DTC によるデータ転送動作」を参照してください。

【注】ブロック転送モードの場合は、「12.3.2 調歩同期式モード時の動作」を参照してください。

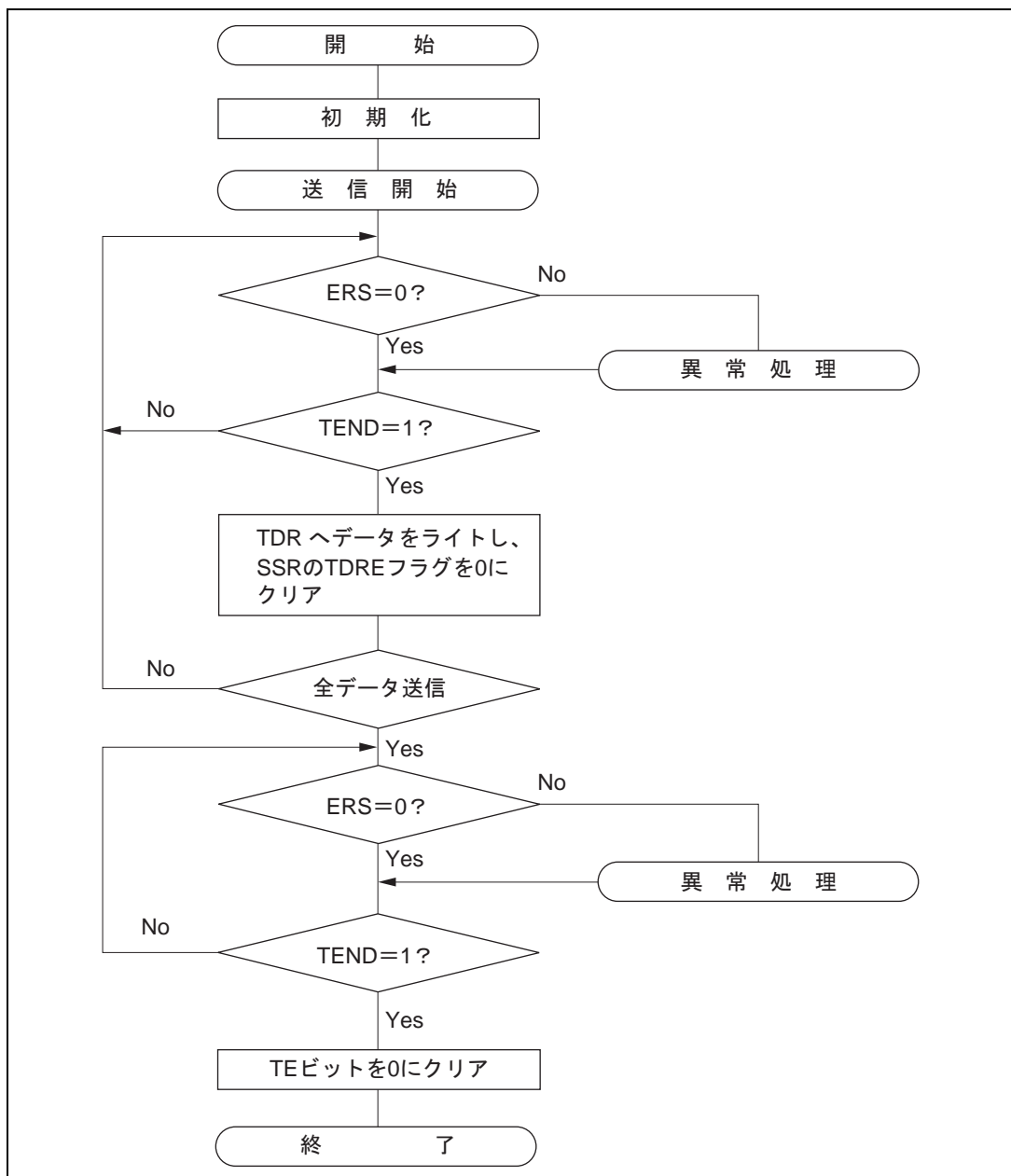


図 13.4 送信処理フローの例

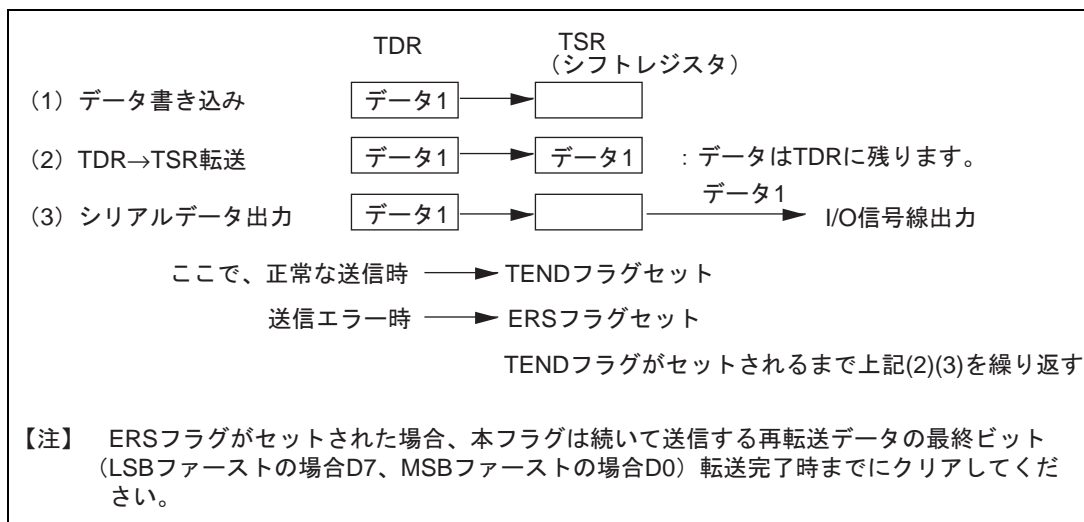


図 13.5 送信動作と内部レジスタの関連

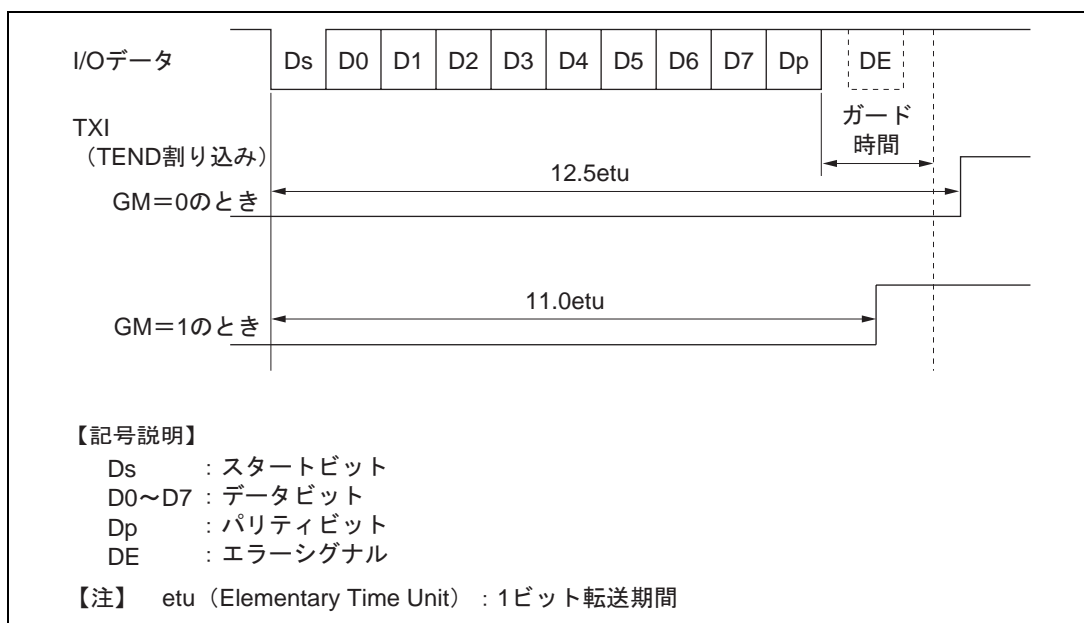


図 13.6 送信動作時のTENDフラグ発生タイミング

(3) シリアルデータ受信 (ブロック転送モードを除く)

スマートカードモードのデータ受信は、通常のSCIと同様の処理手順になります。受信処理フローの例を図 13.7 に示します。

13. スマートカードインターフェース

- [1] SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- [3] RDRFフラグが1であることを確認できるまで[2]、[3]を繰り返してください。
- [4] RDRから受信データをリードしてください。
- [5] 継続してデータを受信する場合は、RDRFフラグを0にクリアして[2]の手順に戻ってください。
- [6] 受信を終了する場合は、REビットを0にクリアします。

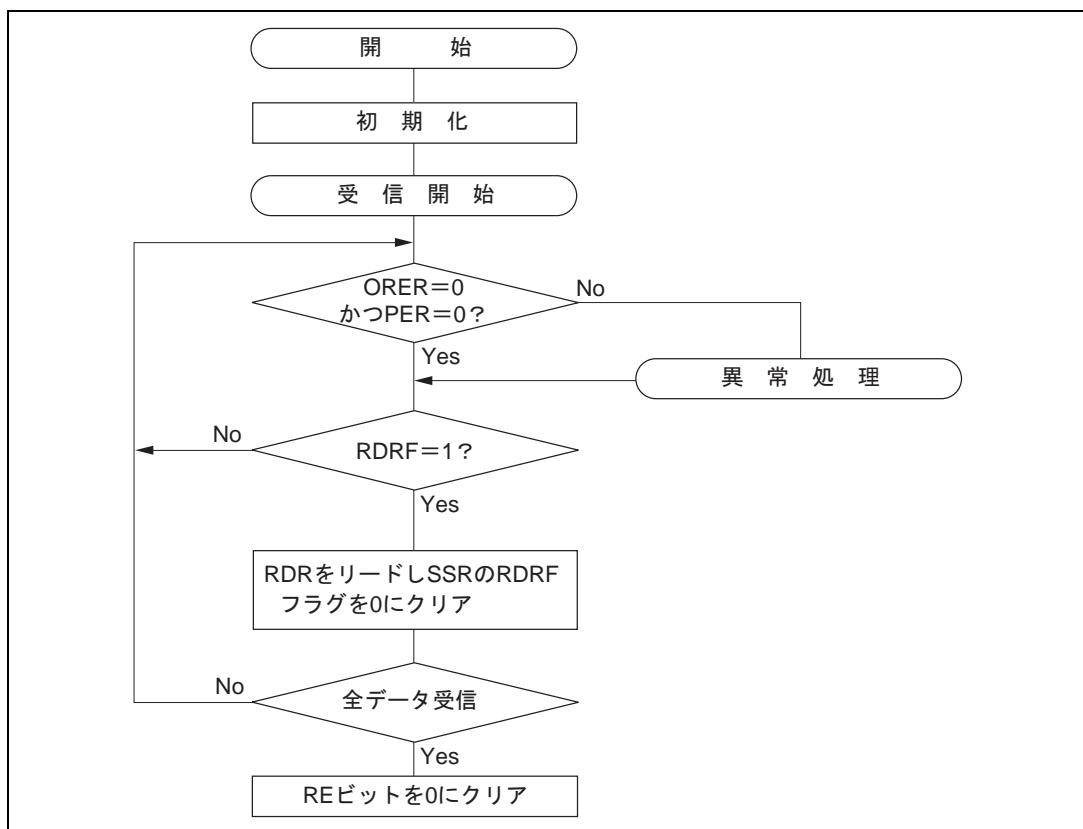


図 13.7 受信処理フローの例

以上の一連の処理は、割り込み処理または DTC によるデータ転送が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

RXI 要求で DTC を起動する場合、エラーの発生した受信データをスキップして DTC に設定したバイト数だけ受信データを転送します。

詳細は「(6) 割り込み動作」、「(7) DTC によるデータ転送動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】ブロック転送モードの場合は「12.3.2 調歩同期式モード時の動作」を参照してください。

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.8 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

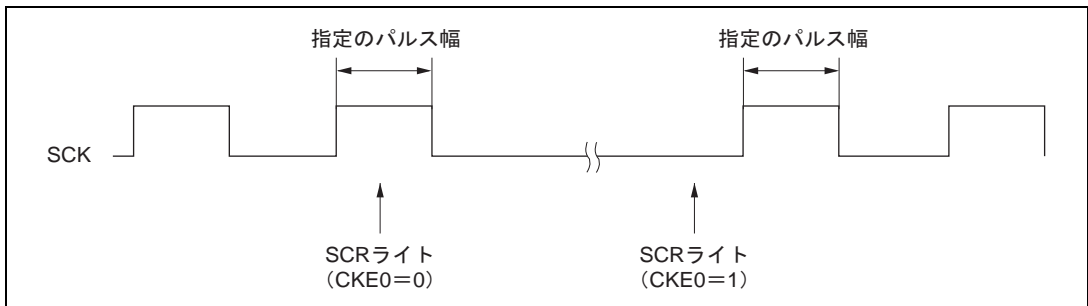


図 13.8 クロック出力固定タイミング

(6) 割り込み動作（ブロック転送モードを除く）

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。これらの関係を表 13.8 に示します。

【注】ブロック転送モードの場合は、「12.4 SCI 割り込み」を参照してください。

表 13.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	許可ビット	割り込み要因	DTC の起動
送信モード	正常動作	TEND	TIE	TXI	可
	エラー	ERS	RIE	ERI	不可
受信モード	正常動作	RDRF	RIE	RXI	可
	エラー	PER、ORER	RIE	ERI	不可

(7) DTC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。したがって、エラー発生時の再送信を含め、SCI が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC が起動されて受信データの転送を行います。RDRF フラグは、DTC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC は起動されず、代わりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

【注】ブロック転送モードの場合は、「12.4 SCI 割り込み」を参照してください。

13.3.7 GSM モード時の動作

(1) モード切り替え時

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに移行するとき

- [1] SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
- [2] SCRのTEビットとREビットに0を書き込み、送信 / 受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
- [3] SCRのCKE0ビットに0を書き込み、クロックを停止させてください。
- [4] シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
- [5] SMRとSCMRにH'00を書き込んでください。
- [6] ソフトウェアスタンバイ状態に移行させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

- [7] ソフトウェアスタンバイ状態を解除してください。
- [8] SCRのCKE1ビットをソフトウェアスタンバイモード開始時の出力固定状態(現在のSCK端子の状態)の値に設定してください。
- [9] スマートカードインタフェースモードに設定し、クロックを出力させてください。正常なデューティにて信号発生を開始します。

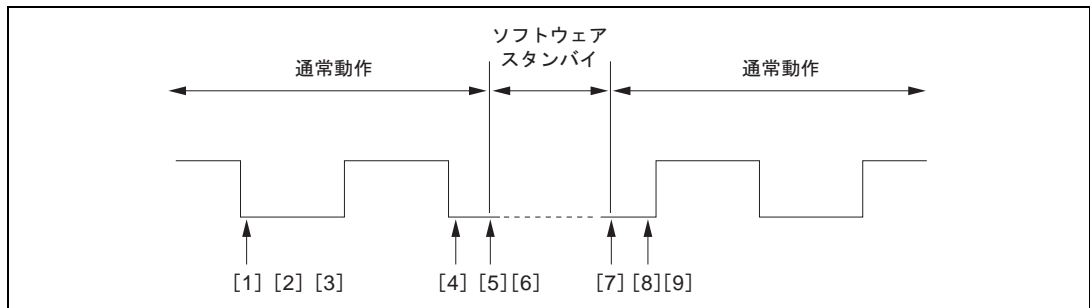


図 13.9 クロック停止・再起動手順

(2) 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

- [1] 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
- [2] SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
- [3] SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
- [4] SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

13.3.8 ブロック転送モード時の動作

ブロック転送モードの動作は、以下の項目を除いて、SCI の調歩同期式モードと同じです。したがって、詳細は「12.3.2 調歩同期式モード時の動作」を参照してください。

(1) データフォーマット

データフォーマットは 8 ビット、パリティありフォーマットです。ストップビットはありませんが 2 ビット以上（受信時は 1 ビット以上）のガードタイムがあります。

また、送信時（スタートビット、データビット、パリティビット送信時）以外は送信端子がハイインピーダンス状態になります。したがって、信号線をプルアップ抵抗により High レベルに固定する必要があります。

(2) 送受信クロック

送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。また、1 ビット転送期間中の基本クロック数は、BCP1、BCP0 ビットで 32、64、372、256 のどれかに設定できます。詳細は「13.3.5 クロック」を参照してください。

(3) ERS (FER) フラグ

ERS フラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に 0 となります。

13.4 使用上の注意

SCI をスマートカードインターフェースとして使用する際は、以下のことに注意してください。

(1) スマートカードインターフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインターフェースモードでは、SCI は転送レートの 32 倍、64 倍、372 倍、256 倍 (BCP1、BCP0 ビットにより決まります) 周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックのそれぞれ 16、32、186、128 クロック目の立ち上がりエッジで内部に取り込みます。372 倍のクロック使用時の例を図 13.10 に示します。

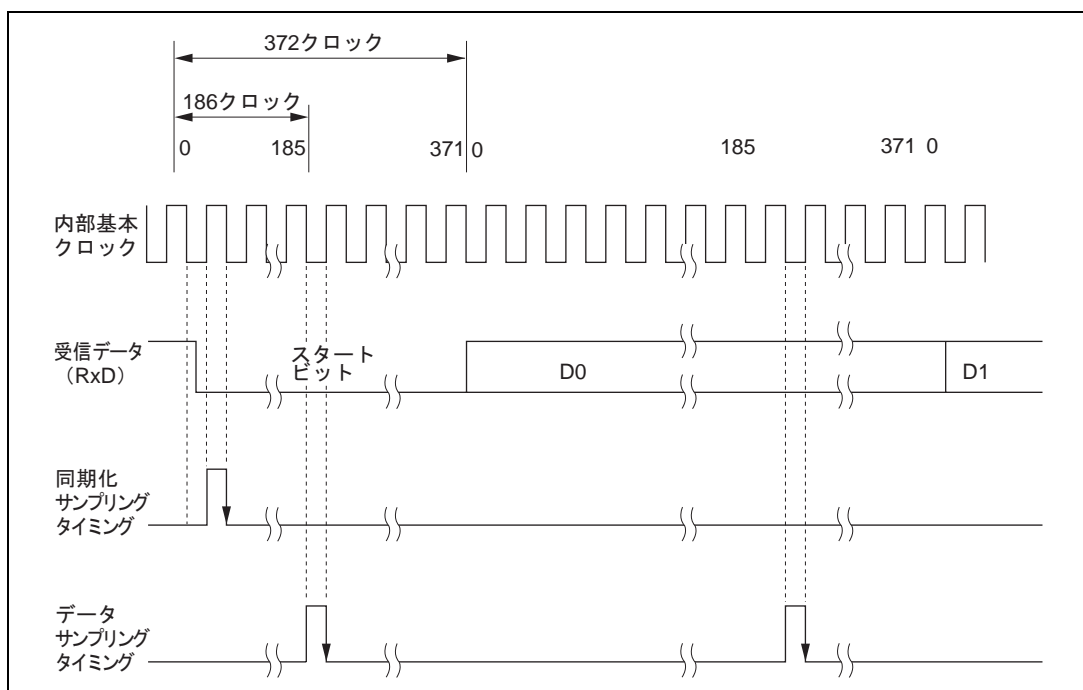


図 13.10 スマートカードインターフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

13. スマートカードインターフェース

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D: クロックデューティ (D = 0 ~ 1.0)

L: フレーム長 (L = 10)

F: クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5、N = 372 とすると、受信マージン式は次のようになります。

D = 0.5、F = 0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 372} \right) \times 100\%$$

$$= 49.866\%$$

(2) 再転送動作（ブロック転送モードを除く）

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 13.11 に示します。

- [1] 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- [2] 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- [3] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- [4] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。
さらに、RXI要因によるDTCのデータ転送が許可されていれば、RDRの内容を自動的にリードすることができます。DTCでRDRのデータをリードした場合、RDRFフラグは自動的に0にクリアされます。
- [5] 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

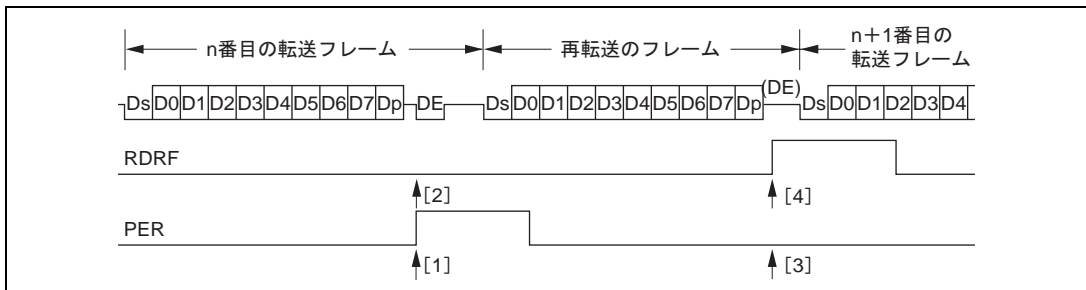


図 13.11 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 13.12 に示します。

- [6] 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
 - [7] 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
 - [8] 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
 - [9] 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。
- さらに、TXI要因によるDTCのデータ転送が許可されていれば、自動的にTDRに次のデータをライトすることができます。DTCでTDRにデータをライトした場合、TDREビットは自動的に0にクリアされます。

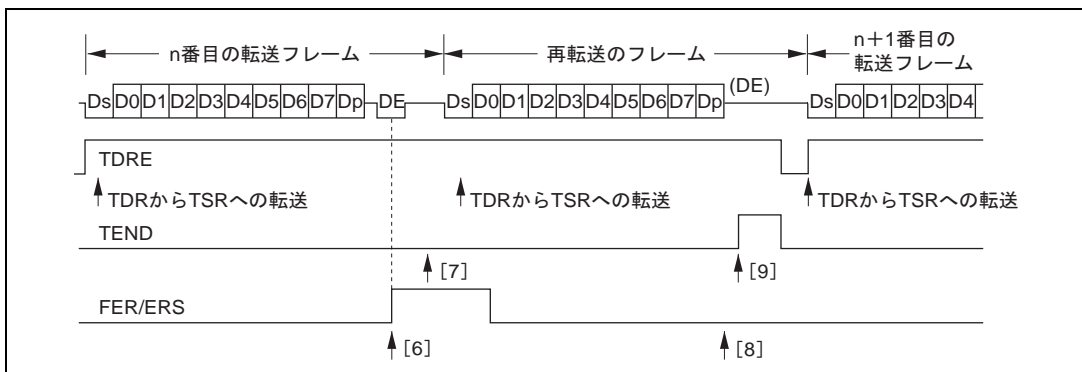


図 13.12 SCI 送信モードの場合の再転送動作

14. A/D 変換器 (アナログ入力 8 チャンネル版)

14.1 概要

本 LSI は、逐次比較方式で動作する 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力を選択することができます。

14.1.1 特長

A/D 変換器の特長を以下に示します。

- (1) 10 ビット分解能
- (2) 入力チャンネル：8 チャンネル
- (3) アナログ変換電圧範囲の設定可能
 - リファレンス電圧端子 (Vref) をアナログ基準電圧として、アナログ変換電圧範囲を設定します。
- (4) 高速変換
 - 変換時間：1 チャンネルあたり 6.7 μ s (20MHz 動作時)
- (5) シングルモード / スキャンモードの動作モードから選択可能
 - シングルモード：1 チャンネルの A/D 変換
 - スキャンモード：1~4 チャンネルの連続 A/D 変換
- (6) 4 本のデータレジスタ
 - 変換結果を、各チャンネルに対応した 16 ビットデータレジスタに保持
- (7) サンプル&ホールド機能
- (8) 3 種類の変換開始
 - ソフトウェア、タイマの変換開始トリガ (TPU または 8 ビットタイマ) または $\overline{\text{ADTRG}}$ 端子の選択が可能
- (9) A/D 変換終了割り込み要求発生
 - A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能

14. A/D変換器（アナログ入力8チャンネル版）

- 割り込みにより、データトランスファコントローラ（DTC）を起動させてデータ転送を実行可能
- (10) モジュールストップモードの設定可能
- 初期値ではA/D変換器の動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

14.1.2 ブロック図

A/D変換器のブロック図を図14.1に示します。

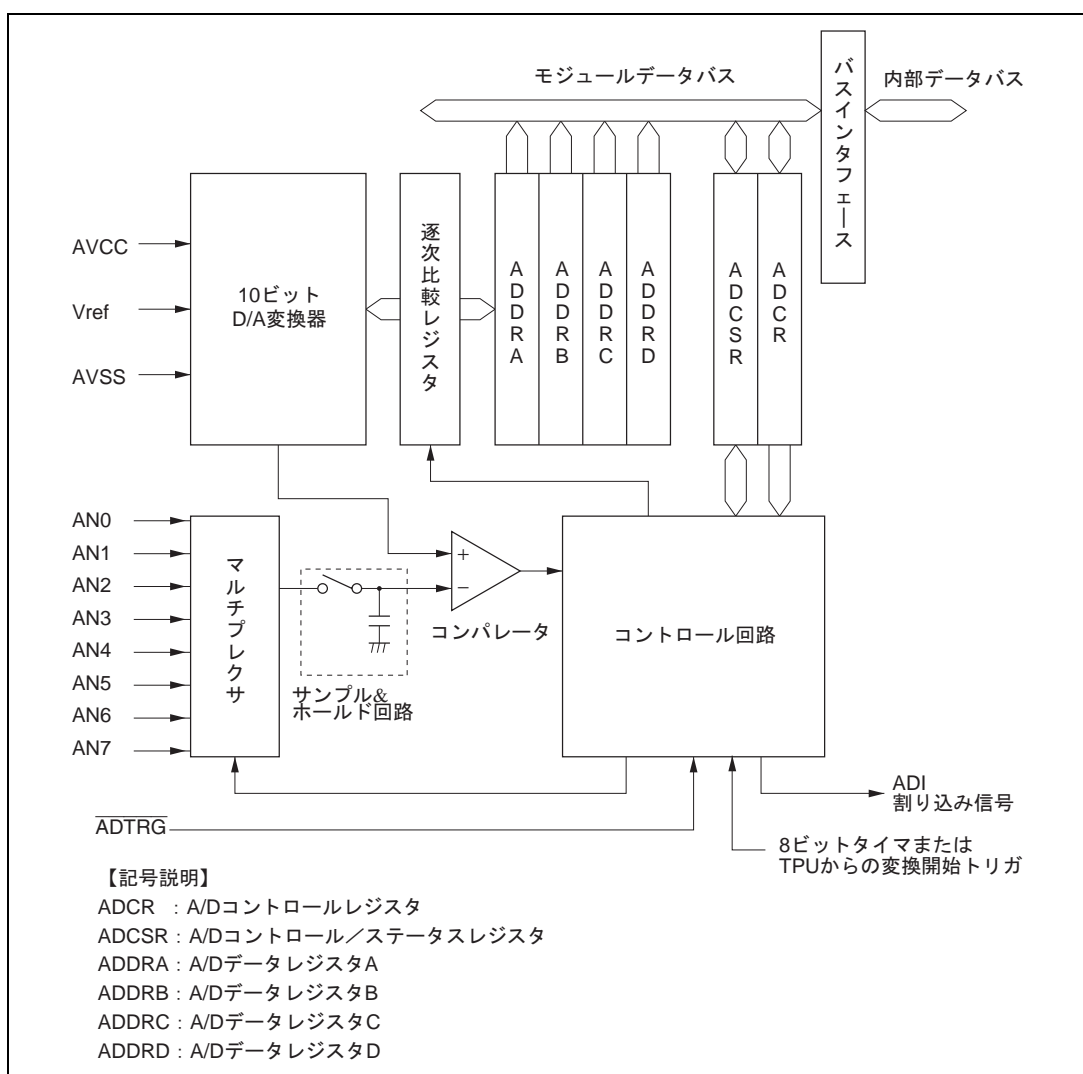


図 14.1 A/D 変換器のブロック図

14.1.3 端子構成

A/D変換器で使用する入力端子を表14.1に示します。

AVCC、AVSS端子は、A/D変換器内部のアナログ部の電源です。Vref端子は、A/D変換基準電圧端子です。

8本のアナログ入力端子は2グループに分類されており、アナログ入力端子（AN0～AN3）がグループ0、アナログ入力端子4～7（AN4～AN7）がグループ1になっています。

表 14.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D変換の基準電圧
アナログ入力端子0	AN0	入力	グループ0のアナログ入力
アナログ入力端子1	AN1	入力	
アナログ入力端子2	AN2	入力	
アナログ入力端子3	AN3	入力	
アナログ入力端子4	AN4	入力	グループ1のアナログ入力
アナログ入力端子5	AN5	入力	
アナログ入力端子6	AN6	入力	
アナログ入力端子7	AN7	入力	
A/D外部トリガ入力端子	ADTRG	入力	A/D変換開始のための外部トリガ入力

14.1.4 レジスタ構成

A/D変換器のレジスタ構成を表14.2に示します。

表 14.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
A/DデータレジスタAH	ADDRAH	R	H'00	H'FF90
A/DデータレジスタAL	ADDRAL	R	H'00	H'FF91
A/DデータレジスタBH	ADDRBH	R	H'00	H'FF92
A/DデータレジスタBL	ADDRBL	R	H'00	H'FF93
A/DデータレジスタCH	ADDRCH	R	H'00	H'FF94
A/DデータレジスタCL	ADDRCL	R	H'00	H'FF95
A/DデータレジスタDH	ADDRDH	R	H'00	H'FF96
A/DデータレジスタDL	ADDRDL	R	H'00	H'FF97
A/Dコントロール/ステータスレジスタ	ADCSR	R/(W)*2	H'00	H'FF98
A/Dコントロールレジスタ	ADCR	R/W	H'3F	H'FF99
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 *1 アドレスの低位16ビットを示しています。

*2 ビット7は、フラグをクリアするための0ライトのみ可能です。

14.2 各レジスタの説明

14.2.1 A/D データレジスタ A ~ D (ADDRA ~ ADDR D)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA ~ ADDR D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイト (ビット 15 ~ 8) に、また下位 2 ビットが下位バイト (ビット 7、6) に転送され、保持されます。ビット 5 ~ 0 はリードすると常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 14.3 に示します。ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「14.3 バスマスタとのインタフェース」を参照してください。

ADDR は、リセット、スタンバイモード、またはモジュールストップモード時に、H'0000 に初期化されます。

表 14.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

14.2.2 A/Dコントロール/ステータスレジスタ（ADCSR）

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ADCSRは、8ビットのリード/ライト可能なレジスタで、A/D変換動作を制御します。

ADCSRは、リセット、スタンバイモード、またはモジュールストップモード時に、H'00に初期化されます。

ビット7：A/Dエンドフラグ（ADF）

A/D変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) (1) ADF=1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDTCが起動され、ADDRをリードしたとき
1	[セット条件] (1) シングルモード：A/D変換が終了したとき (2) スキャンモード：指定したすべてのチャンネルのA/D変換が終了したとき

ビット6：A/Dインタラプトイネーブル（ADIE）

A/D変換の終了による割り込み（ADI）要求の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D変換の終了による割り込み（ADI）要求を禁止 (初期値)
1	A/D変換の終了による割り込み（ADI）要求を許可

14. A/D 変換器 (アナログ入力 8 チャンネル版)

ビット 5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットは、ソフトウェア、タイマの変換開始トリガ、または A/D 外部トリガ入力端子 (ADTRG) によって 1 にセットすることができます。

ビット 5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット 4 : スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモード / スキャンモードの動作については、「14.4 動作説明」を参照してください。SCAN ビットの設定は、変換停止中 (ADST = 0) に行ってください。

ビット 4	説明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

ビット 3 : クロックセレクト (CKS)

ADCR の CKS1 ビットとともに A/D 変換時間の設定を行います。

変換時間の切り替えは、変換停止中 (ADST = 0) に行ってください。

ADCR3	ビット 3	説明
CKS1	CKS	
	0	変換時間 = 530 ステート (Max)
	1	変換時間 = 68 ステート (Max)
1	0	変換時間 = 266 ステート (Max) (初期値)
	1	変換時間 = 134 ステート (Max)

ビット 2~0 : チャンネルセレクト 2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

入力チャンネルの設定は、変換停止中 (ADST=0) に行ってください。

グループ選択	チャンネル選択		説明	
CH2	CH1	CH0	シングルモード (SCAN=0)	スキャンモード (SCAN=1)
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0~AN2
		1	AN3	AN0~AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6	AN4~AN6
		1	AN7	AN4~AN7

14.2.3 A/D コントロールレジスタ (ADCR)

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	-	-	CKS1	-	-	-
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	-	-	R/W	R/W	-	-

ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセット、スタンバイモード、またはモジュールストップモード時に、H'3F に初期化されます。

ビット 7、6 : タイマトリガセレクト 1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。

TRGS1、TRGS0 ビットの設定は、変換停止中 (ADST=0) に行ってください。

ビット 7	ビット 6	説明
TRGS1	TRGS0	
0	0	外部トリガによる A/D 変換の開始を禁止 (初期値)
	1	外部トリガ (TPU) による A/D 変換の開始を許可
1	0	外部トリガ (8 ビットタイマ) による A/D 変換の開始を許可
	1	外部トリガ端子 (ADTRG) による A/D 変換の開始を許可

ビット 5、4、1、0 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

14. A/D 変換器 (アナログ入力 8 チャンネル版)

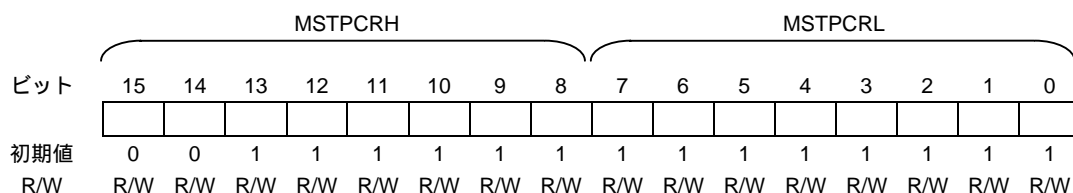
ビット 3: クロックセレクト 1 (CKS1)

ADCSR の CKS ビットと合わせて、A/D 変換時間の設定を行います。CKS ビットの説明を参照してください。

ビット 2: リザーブビット

リザーブビットです。1 をライトしてください。

14.2.4 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP9 ビットを 1 にセットすると、バスサイクルの終了時点で A/D 変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 9: モジュールストップ (MSTP9)

A/D 変換器のモジュールストップモードを指定します。

ビット 9	説明
MSTP9	
0	A/D 変換器のモジュールストップモード解除
1	A/D 変換器のモジュールストップモード設定 (初期値)

14.3 バスマスタとのインタフェース

ADDRA ~ ADDR4D は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 14.2 に、ADDR のアクセス時のデータの流れを示します。

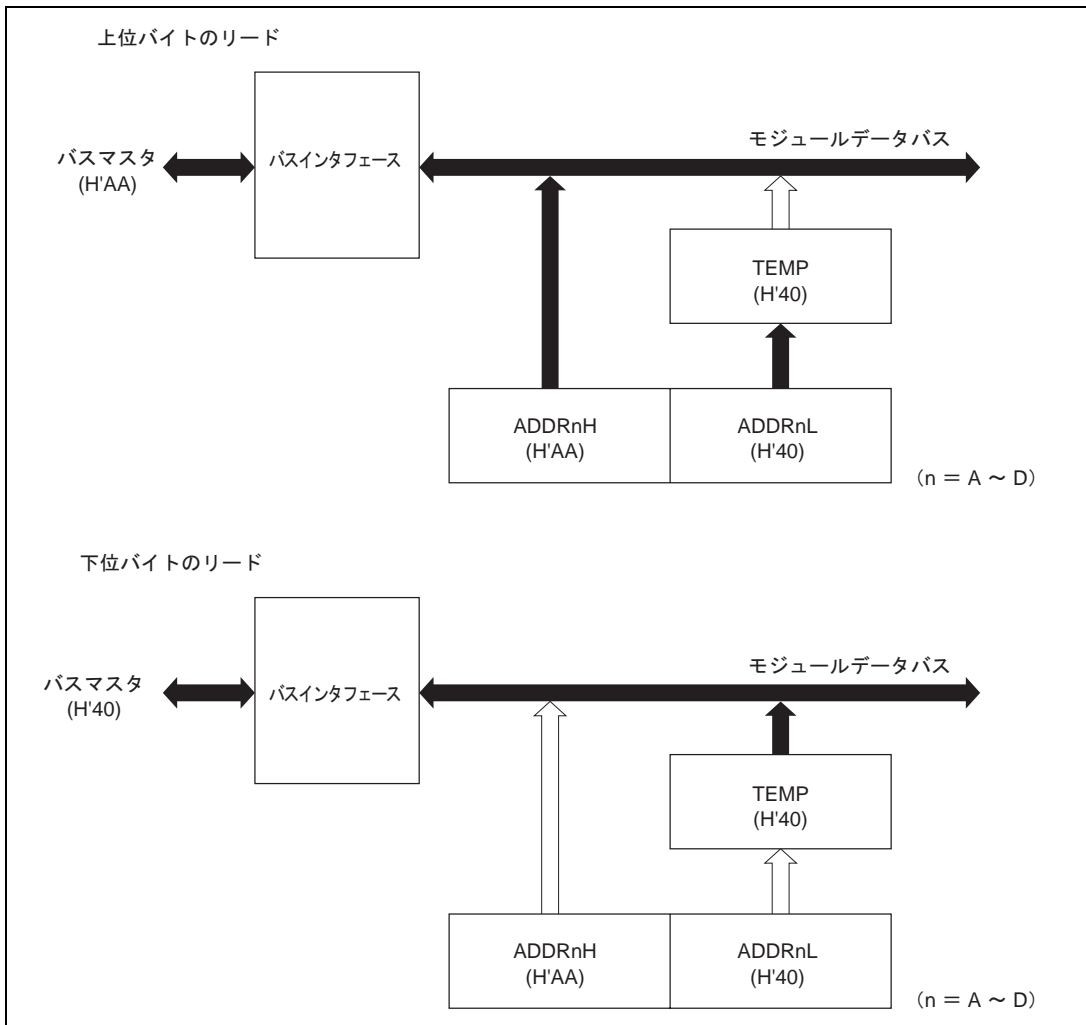


図 14.2 ADDR のアクセス動作 (H'AA40 リード時)

14.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとスキャンモードの各モードの動作について説明します。

14.4.1 SCAN = 0 (シングルモード)

シングルモードは、1 チャンネルのみ A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 14.3 に示します。

- [1] 動作モードをシングルモードに (SCAN=0)、入力チャンネルをAN1に (CH2=0、CH1=0、CH0=1) A/D割り込み要求許可 (ADIE=1) に設定して、A/D変換を開始 (ADST=1) します。
 - [2] A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0 となりA/D変換器は変換待機となります。
 - [3] ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
 - [4] A/D割り込み処理ルーチンが開始されます。
 - [5] ADCSRをリードした後、ADFに0をライトします。
 - [6] A/D変換結果 (ADDRB) をリードして、処理します。
 - [7] A/D割り込み処理ルーチンの実行を終了します。
- この後、ADSTビットを1にセットするとA/D変換が開始され、[2] ~ [7] を行います。

14. A/D 変換器 (アナログ入力 8 チャンネル版)

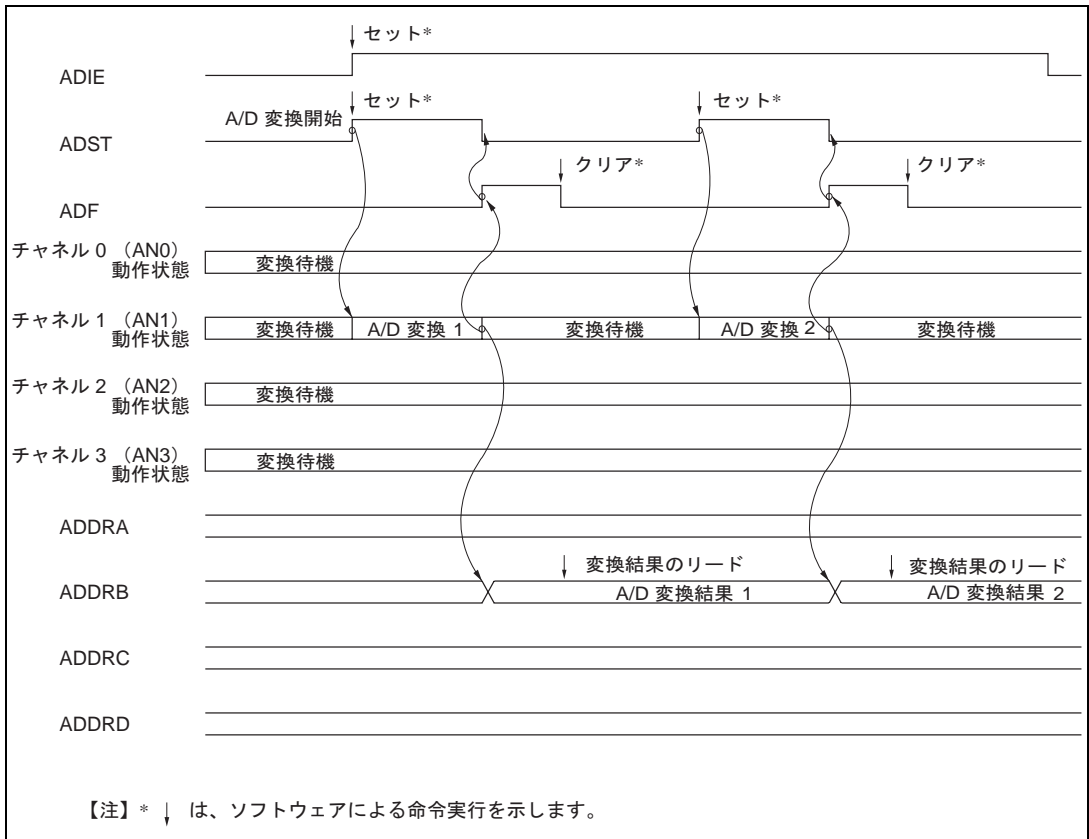


図 14.3 A/D 変換器の動作例 (シングルモード、チャンネル 1 選択時)

14.4.2 SCAN = 1（スキャンモード）

スキャンモードは、複数チャンネル（1チャンネルを含む）のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイマ、または外部トリガ入力によってADSTビットが1にセットされると、第1チャンネル（AN0）からA/D変換は開始されます。

複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、直ちに第2チャンネル（AN1）のA/D変換を開始します。

A/D変換は、ADSTビットが0にクリアされるまで、選択されたチャンネル内を連続して繰り返して行います。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるためにADCSRのADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを1にセットすると再び第1チャンネル（AN0）からA/D変換を開始します。なお、動作モードや入力チャンネルの変更と、ADSTビットのセットは同時に行うことができます。

スキャンモードで3チャンネル（AN0～AN2）を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図14.4に示します。

- [1] 動作モードをスキャンモードに（SCAN=1）、スキャングループをグループ0に（CH2=0）、アナログ入力チャンネルをAN0～AN2（CH1=1、CH0=0）に設定してA/D変換を開始（ADST=1）します。
- [2] 第1チャンネル（AN0）のA/D変換が開始されA/D変換が終了すると、変換結果をADDR1に転送します。
次に第2チャンネル（AN1）が自動的に選択され、変換を開始します。
- [3] 同様に第3チャンネル（AN2）まで変換を行います。
- [4] 選択されたすべてのチャンネル（AN0～AN2）の変換が終了すると、ADF=1となり、再び第1チャンネル（AN0）を選択し、変換が行われます。
このときADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
- [5] ADSTビットが1にセットされている間は、[2]～[4]を繰り返します。
ADSTビットを0にクリアするとA/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル（AN0）から変換が行われます。

14. A/D 変換器 (アナログ入力 8 チャンネル版)

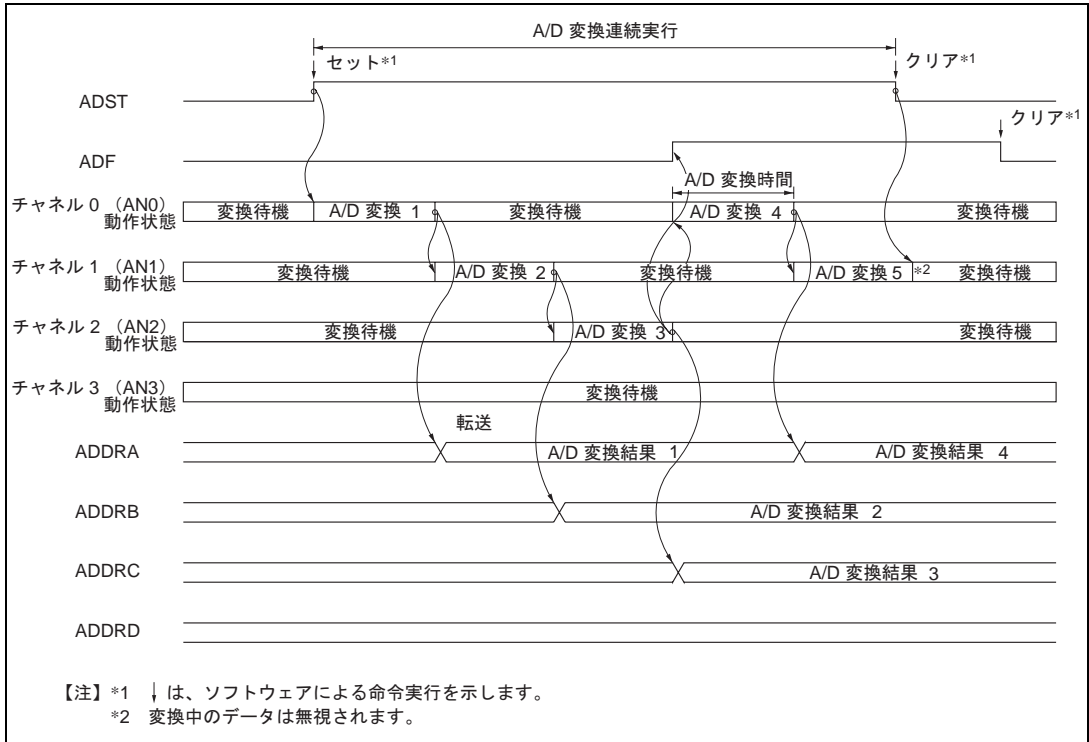


図 14.4 A/D 変換器の動作例 (スキャンモード、AN0 ~ AN2 の 3 チャンネル選択時)

14.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 14.5 に示します。また、A/D 変換時間を表 14.4 に示します。

A/D 変換時間は、図 14.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 14.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 14.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は表 14.5 となります。

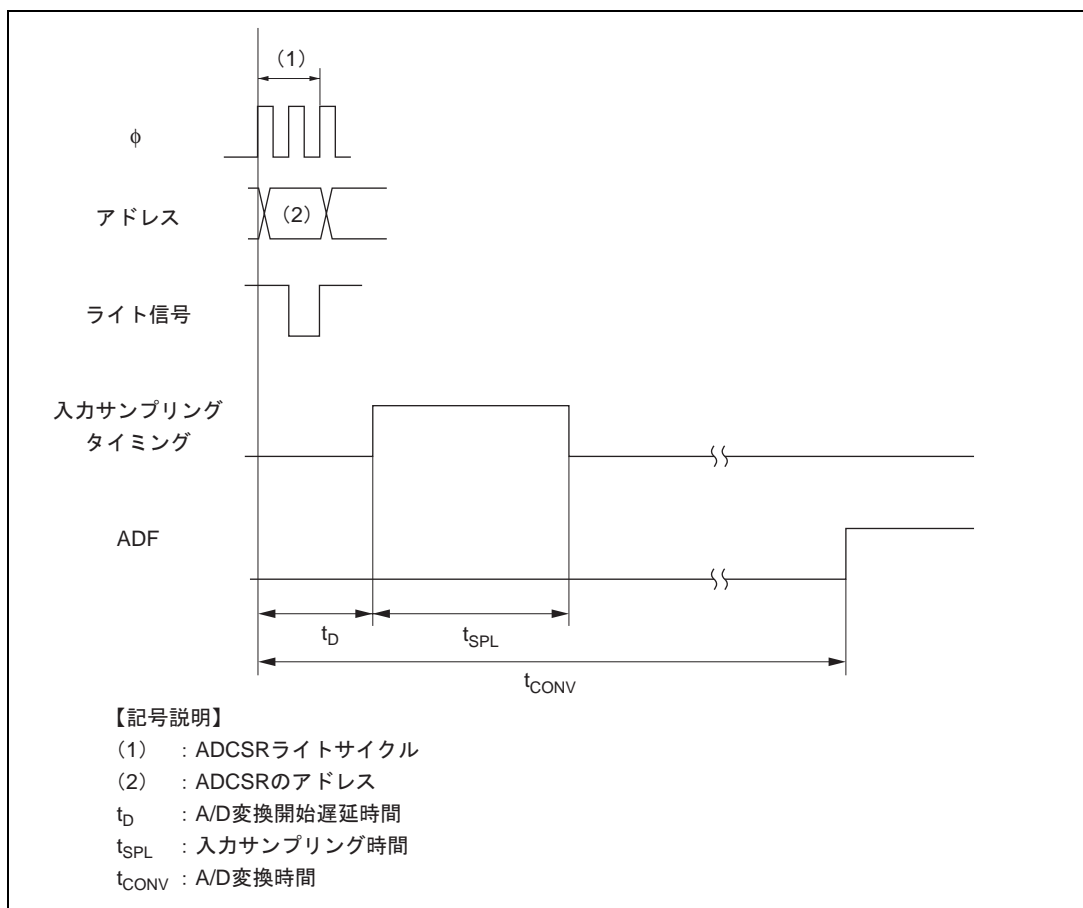


図 14.5 A/D 変換タイミング

表 14.4 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS = 0			CKS = 1			CKS = 0			CKS = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_d	18	-	33	4	-	5	10	-	17	6	-	9
入力サンプリング時間	t_{SPL}	-	127	-	-	15	-	-	63	-	-	31	-
A/D 変換時間	t_{CONV}	515	-	530	67	-	68	259	-	266	131	-	134

【注】 単位：ステート

表 14.5 A/D 変換時間 (スキャンモード)

CKS1	CKS	変換時間 (ステート)
0	0	512 (固定)
	1	64 (固定)
1	0	256 (固定)
	1	128 (固定)

14.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 14.6 に示します。

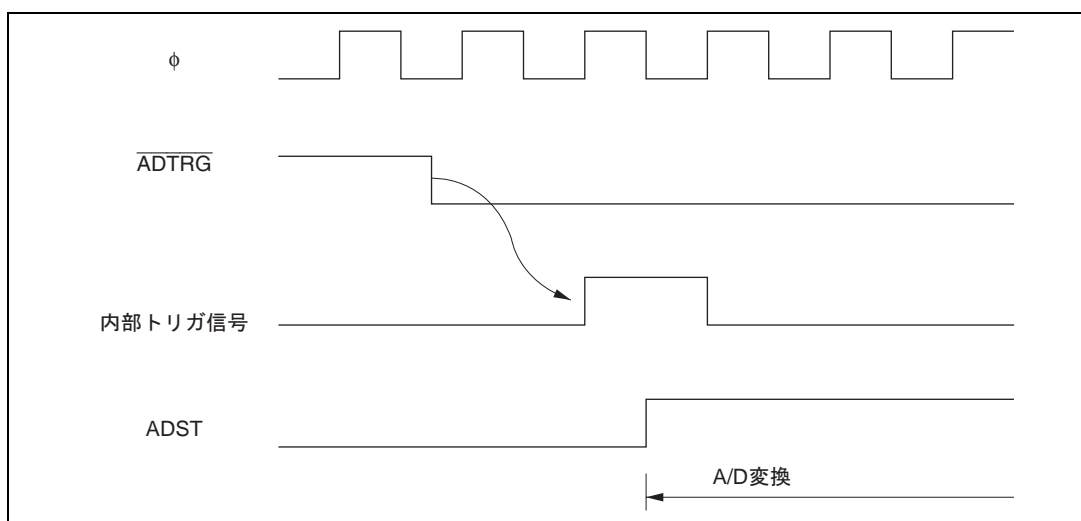


図 14.6 外部トリガ入力タイミング

14.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DTC の起動ができます。ADI 割り込みで変換されたデータのリードを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

A/D 変換器の割り込み要因を表 14.6 に示します。

表 14.6 A/D 変換器の割り込み要因

割り込み要因	内容	DTC の起動
ADI	変換終了により割り込み	可

14.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子ほかの設定範囲

(a) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は AVSS AN_n Vref の範囲としてください。

(b) AVCC、AVSS と VCC、VSS の関係

AVCC、AVSS と VCC、VSS との関係は AVSS = VSS とし、さらに、A/D 変換器を使用しないときも、AVCC、AVSS 端子を決してオープンにしないでください。

(c) Vref の設定範囲

Vref 端子によるリファレンス電圧の設定範囲は Vref AVCC にしてください。A/D 変換器を使用しないとき、Vref = VCC とし、決してオープンにしないでください。

【注】 以上 (a)、(b)、(c) が守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0 ~ AN7)、アナログ基準電源 (Vref)、アナログ電源 (AVCC) は、アナログ・グラウンド (AVSS) で、デジタル回路を必ず分離してください。さらに、アナログ・グラウンド (AVSS) は、ボード上の安定したデジタル・グラウンド (VSS) に一点接続してください。

(3) ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN7)、アナログ基準電源 (Vref) の破壊を防ぐために接続する保護回路は、図 14.7 に示すように AVCC - AVSS 間に接続してください。

また、AVCC、Vref に接続するバイパス・コンデンサ、AN0 ~ AN7 に接続するフィルタのコンデンサは、必ず AVSS に接続してください。

なお、図 14.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN0 ~ AN7) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願い致します。

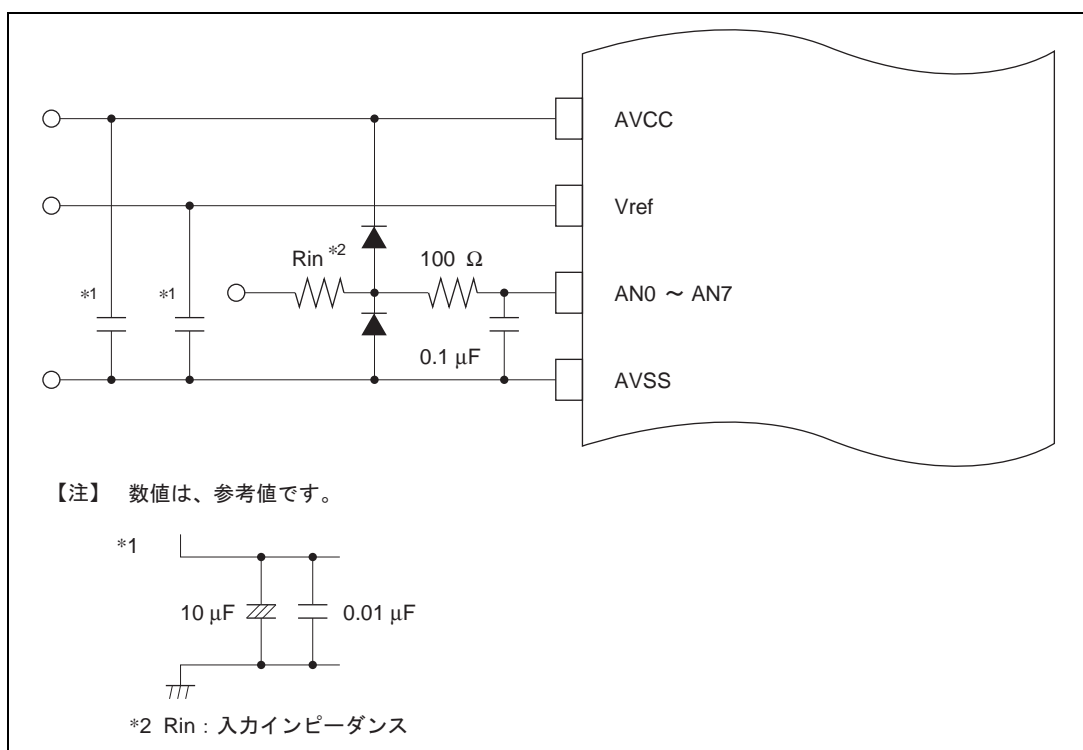


図 14.7 アナログ入力保護回路の例

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能

A/D 変換器のデジタル出力コード数

- オフセット誤差

デジタル出力が最小電圧値 B'000000000 から B'000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 14.9）

- フルスケール誤差

デジタル出力が B'111111110 から B'111111111 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（図 14.9）

- 量子化誤差

A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる（図 14.8）

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線誤差を含む。

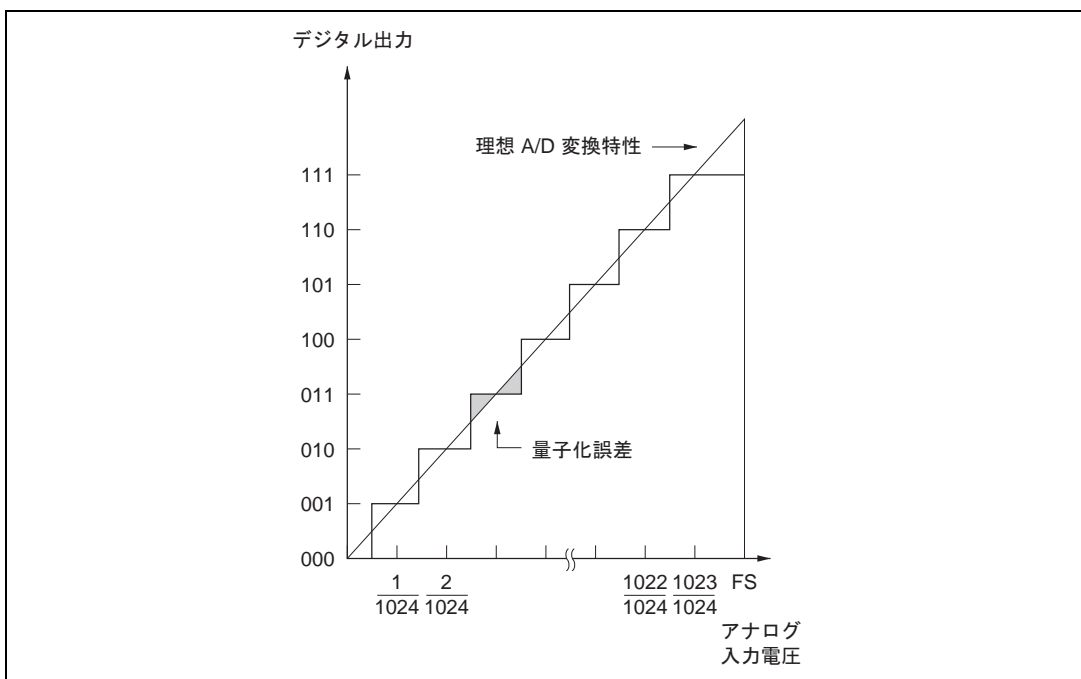


図 14.8 A/D 変換精度の定義（1）

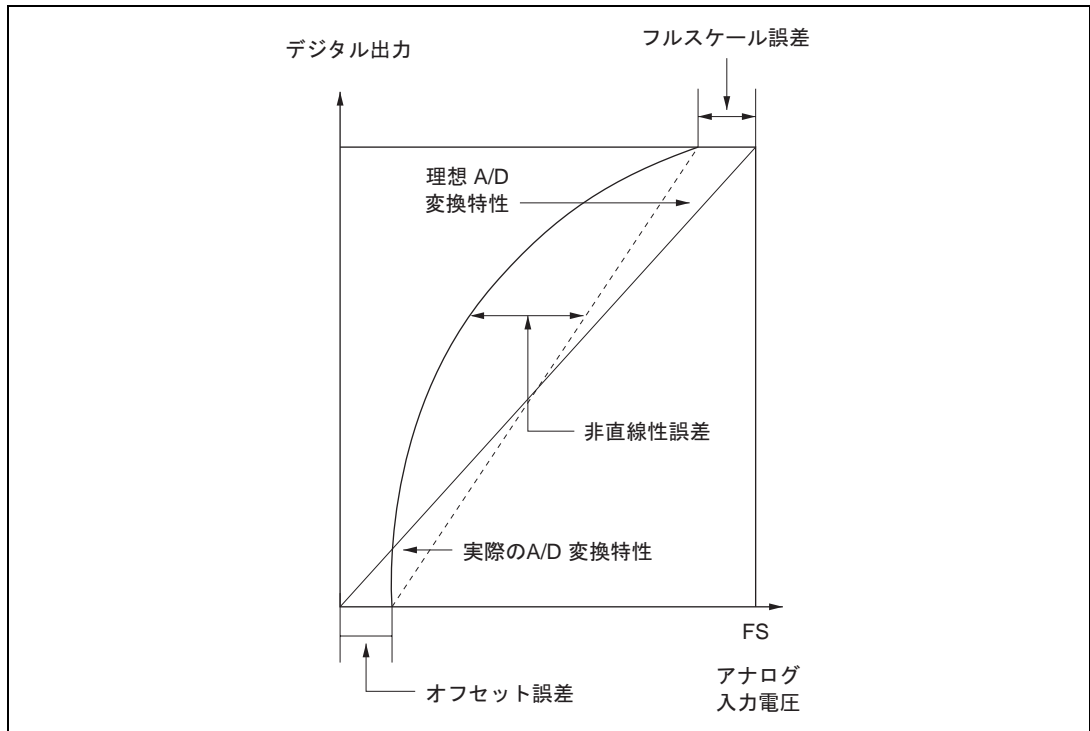


図 14.9 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

14. A/D変換器（アナログ入力8チャンネル版）

(6) 絶対精度への影響

容量を付加することにより、GNDとのカップリングを受けることとなりますので、GNDにノイズがあると絶対精度が悪化する可能性があります。必ずAVSSなどの電氣的に安定なGNDに接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意が必要です。

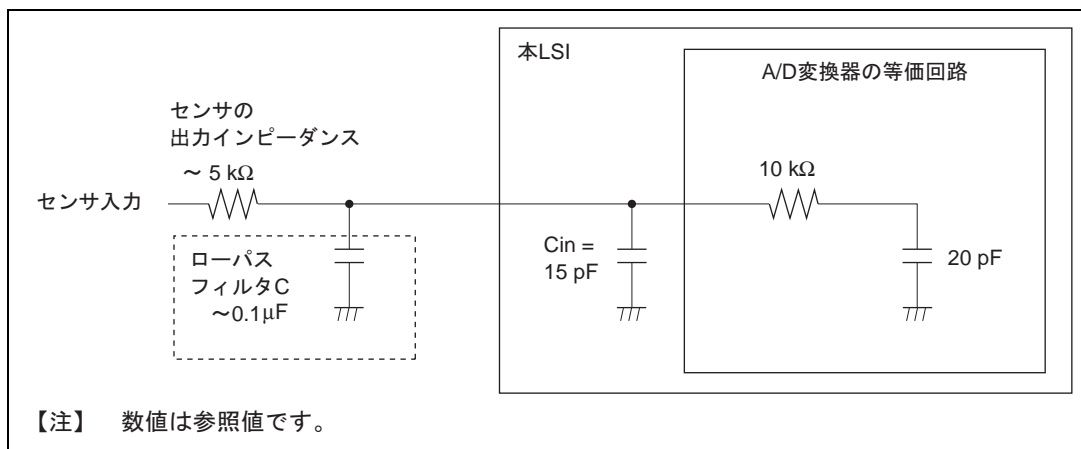


図 14.10 アナログ入力回路の例

15. D/A 変換器

15.1 概要

8ビット精度のD/A変換器を内蔵しています。アナログ信号出力は、2チャンネル出力までとなります。

15.1.1 特長

D/A変換器の特長を以下に示します。

- (1) 8ビットの分解能
- (2) 2チャンネル出力
- (3) 変換時間最大 10 μ s (負荷容量 20pF 時)
- (4) 出力電圧 0V ~ Vref
- (5) ソフトウェアスタンバイモード時のD/A出力保持機能
- (6) モジュールストップモードの設定可能
 - 初期値ではD/A変換器の動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

15.1.2 ブロック図

D/A 変換器のブロック図を図 15.1 に示します。

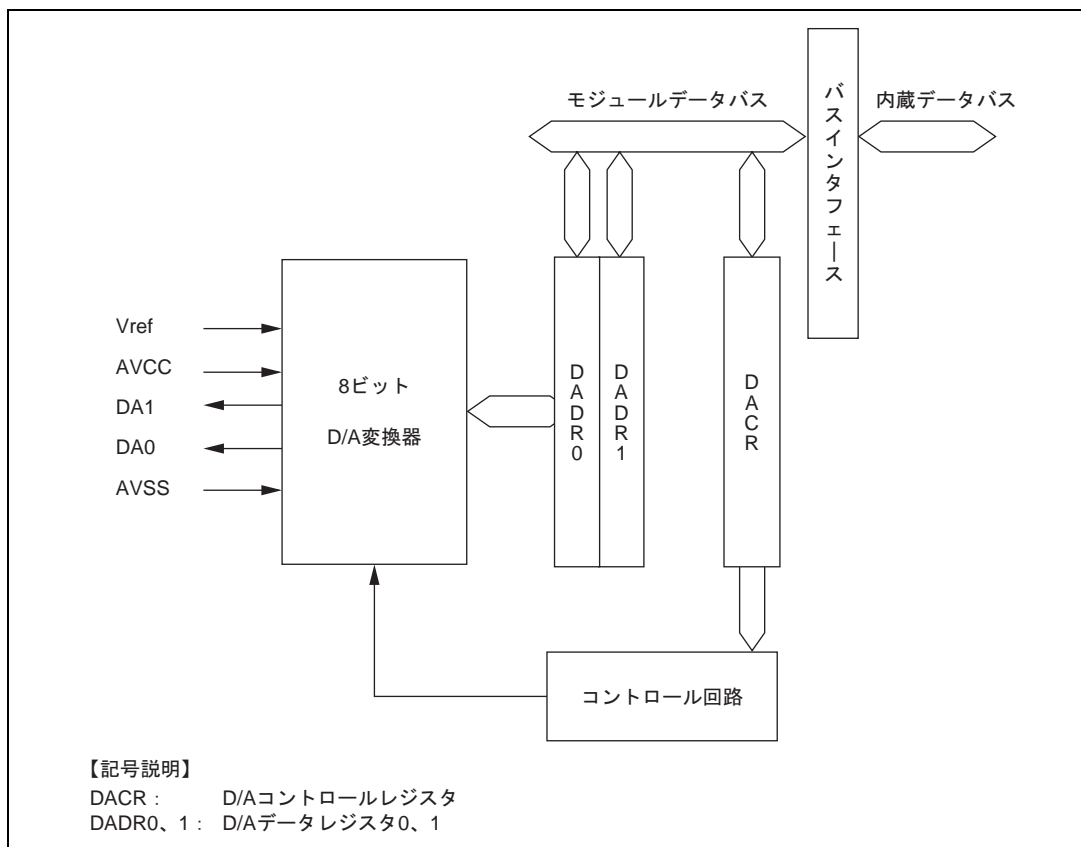


図 15.1 D/A 変換器のブロック図

15.1.3 端子構成

D/A 変換器で使用する入出力端子を表 15.1 に示します。

表 15.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	Vref	入力	アナログ部の基準電圧

15.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*
0、1	D/A データレジスタ 0	DADR0	R/W	H'00	H'FFA4
	D/A データレジスタ 1	DADR1	R/W	H'00	H'FFA5
	D/A コントロールレジスタ	DACR01	R/W	H'1F	H'FFA6
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 * アドレスの下位 16 ビットを示します。

15.2 各レジスタの説明

15.2.1 D/A データレジスタ 0、1 (DADR0、1)

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DADR0、DADR1 は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

15.2.2 D/A コントロールレジスタ 01 (DACR01)

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	1	1	1	1	1
R/W	R/W	R/W	R/W	-	-	-	-	-

DACR01 は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。DACR01 は、リセットまたはハードウェアスタンバイモード時に、H'1F に初期化されます。

ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説明
DAOE1	
0	アナログ出力 DA1 を禁止 (初期値)
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可

15. D/A 変換器

ビット 6 : D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6 DAOE0	説明	
0	アナログ出力 DA0 を禁止	(初期値)
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可	

ビット 5 : D/A イネーブル (DAE)

DAOE0、DAOE1 ビットとともに、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果の出力は、DAOE0、DAOE1 ビットにより、常に独立に制御されます。

ビット 7 DAOE1	ビット 6 DAOE0	ビット 5 DAE	説明
0	0	*	チャンネル 0、1 の D/A 変換を禁止
	1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可
		1	チャンネル 0、1 の D/A 変換を許可
	1	*	チャンネル 0、1 の D/A 変換を許可

* : Don't care

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0、DAOE1 ビットをいずれも 0 にクリアして D/A 出力を禁止にしてください。

ビット 4~0 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

15.2.3 モジュールストップコントロールレジスタ (MSTPCR)

ビット	MSTPCRH								MSTPCRL							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP10 ビットを 1 にセットすると、バスサイクルの終了時点で D/A 変換器は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「19.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に、初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 10 : モジュールストップ (MSTP10)

D/A 変換器 (チャンネル 0、1) のモジュールストップモードを指定します。

ビット 10	説明	
MSTP10		
0	D/A 変換器 (チャンネル 0、1) のモジュールストップモード解除	
1	D/A 変換器 (チャンネル 0、1) のモジュールストップモード設定	(初期値)

15.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR0、DADR1 を書き換えると、直ちに新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 15.2 に示します。

- [1] DADR0に交換データをライトします。
- [2] DACR01のDAOE0ビットを1にセットします。D/A変換が開始され、DA0端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

次にDADR0を書き換えるか、DAOE0ビットを0にクリアするまでこの変換結果が出力され続けます。

- [3] DADR0を書き換えると直ちに交換が開始されます。変換時間経過後に変換結果が出力されます。
- [4] DAOE0ビットを0にクリアすると、DA0端子は入力端子になります。

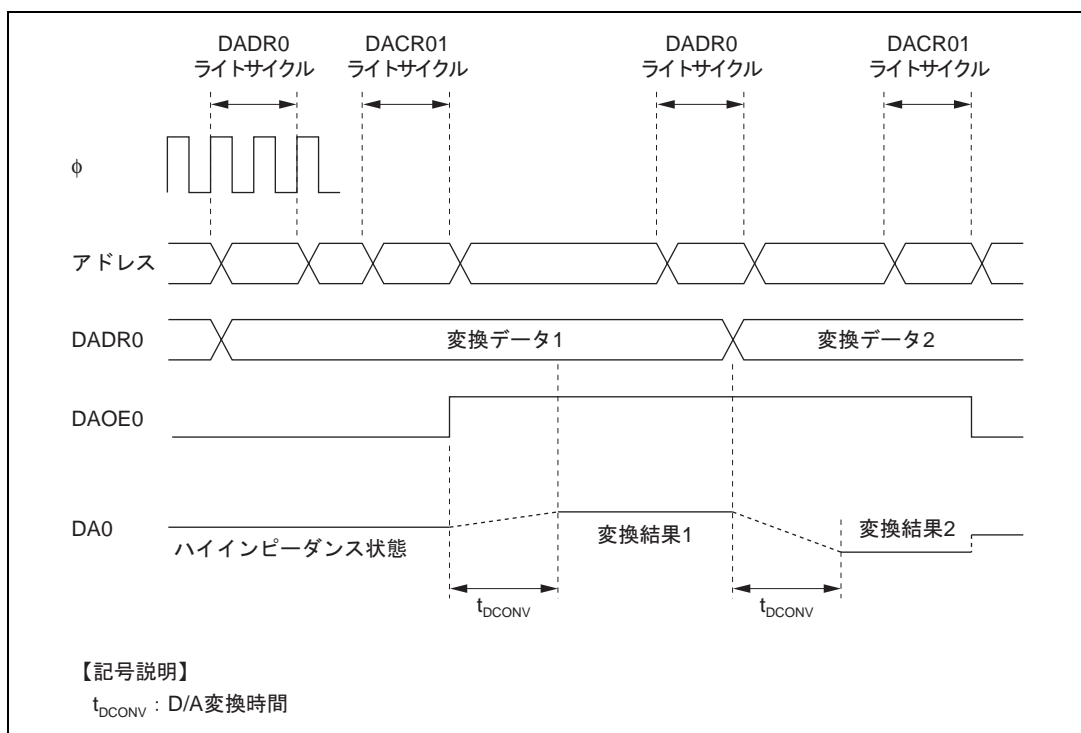


図 15.2 D/A 変換器の動作例

16. RAM

16.1 概要

本 LSI では高速スタティック RAM を内蔵しています。内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

【注】 内蔵される RAM の容量は、H8S/2319C は 16K バイト、H8S/2319、H8S/2318、H8S/2317、H8S/2317S、H8S/2316S、H8S/2315、H8S/2312S は 8K バイト、H8S/2314 は 4K バイトです。

16.1.1 ブロック図

8K バイトの RAM のブロック図を図 16.1 に示します。

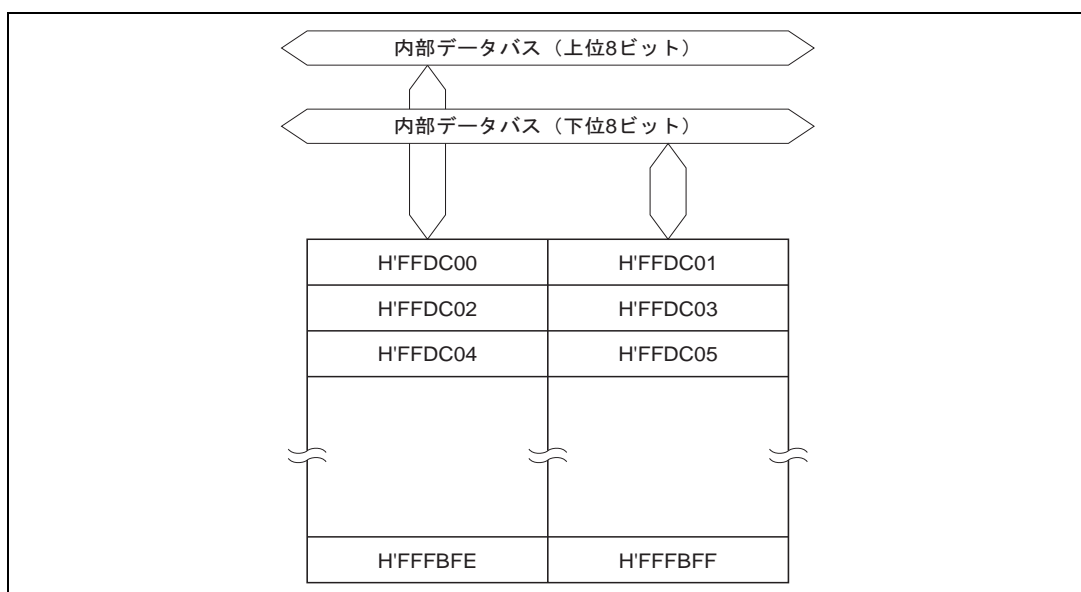


図 16.1 RAM のブロック図 (8K バイト)

16.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 16.1 に示します。

表 16.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39

【注】 * アドレスの下位 16 ビットを示しています。

16.2 各レジスタの説明

16.2.1 システムコントロールレジスタ (SYSCR)

ビット	7	6	5	4	3	2	1	0
	-	-	INTM1	INTM0	NMEG	LWROD	-	RAME
初期値	0	0	0	0	0	0	0	1
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W

内蔵 RAM は SYSCR の RAME ビットにより、有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「5.2.1 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されません。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

16.3 動作説明

RAME ビットが 1 にセットされているとき、アドレス H'FFDC00 ~ H'FFFBFF* をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード / ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

【注】 * 内蔵される RAM の容量は、H8S/2319C は 16K バイト、H8S/2319、H8S/2318、H8S/2317、H8S/2317S、H8S/2316S、H8S/2315、H8S/2312S は 8K バイト、H8S/2314 は 4K バイトです。

16.4 使用上の注意

アドレス H'FFF800 ~ H'FFFBFF は DTC のレジスタ情報を配置することができます。DTC を使用する場合は、RAME ビットを 0 にクリアしないでください。

17. ROM

17.1 概要

本 LSI では 512K バイト、384K バイト、256K バイト、128K バイトのフラッシュメモリ、または 512K バイト、384K バイト、256K バイト、128K バイト、64K バイトのマスキング ROM を内蔵しています。ROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定は、モード端子 (MD2 ~ MD0) および BCRL の EAE ビットにより行います。

本 LSI のフラッシュメモリ版は、PROM ライタを用いて書き込み / 消去ができるほか、オンボードでの消去 / 書き換えが可能です。

17.1.1 ブロック図

512K バイトの ROM のブロック図を図 17.1 に示します。

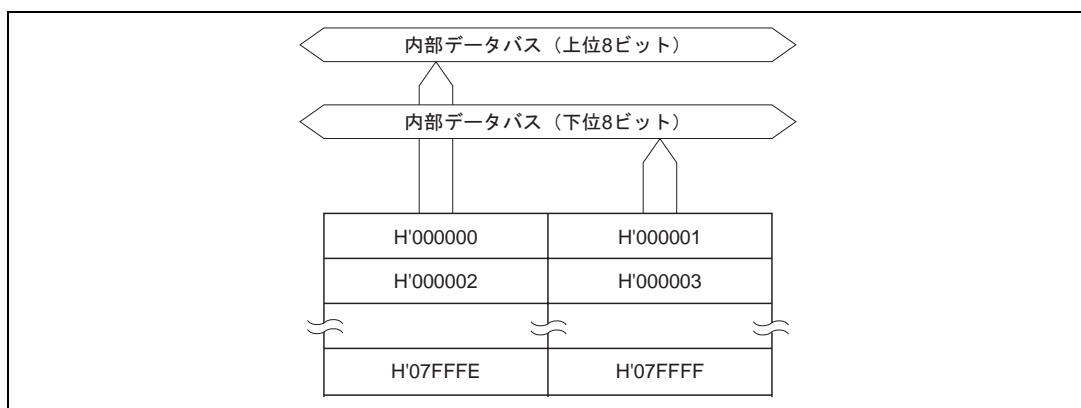


図 17.1 ROM のブロック図 (512K バイト)

17.1.2 レジスタ構成

本 LSI の動作モードは、モード端子と BCRL で制御されます。レジスタ構成を表 17.1 に示します。

表 17.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FF3B
バスコントロールレジスタ	BCRL	R/W	不定	H'FED5

【注】 * アドレスの下位 16 ビットを示しています。

17.2 レジスタの説明

17.2.1 モードコントロールレジスタ (MDCR)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値	1	0	0	0	0	- *	- *	- *
R/W	-	-	-	-	-	R	R	R

【注】 * MD2～MD0 端子により決定されます。

MDCRは8ビットのリード専用レジスタで、本LSIの現在の動作モードをモニタするのに用います。

ビット7：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット6～3：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット2～0：モードセレクト2～0 (MDS2～MDS0)

モード端子 (MD2～MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2～MDS0 ビットは MD2～MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2～MD0) の入力レベルがこれらのビットにラッチされます。このラッチはリセットでは解除されます。

17.2.2 バスコントロールレジスタ L (BCRL)

ビット	7	6	5	4	3	2	1	0
	BRLE	BREQOE	EAE	-	-	-	-	WAITE
初期値	0	0	1	1	1	1	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本 LSI の内蔵 ROM は、BCRL の EAE ビットにより、一部の領域の有効 / 無効が選択されます。なお、BCRL のその他のビットについての詳細は「6.2.5 バスコントロールレジスタ L (BCRL)」を参照してください。

ビット 5 : 外部アドレスイネーブル (EAE)

アドレス H'010000 ~ H'03FFFF*² を内部アドレスとするか、外部アドレスとするかを選択します。

ビット 5	説明		
EAE	H8S/2319、H8S/2319C、 H8S/2318、H8S/2315、 H8S/2314	H8S/2317(S)* ³	H8S/2316S
0	内蔵 ROM	アドレス H'010000 ~ H'01FFFF は内蔵 ROM、アドレス H'020000 ~ H'03FFFF はリザー ブ領域* ¹	リザーブ領域* ¹
1	アドレス H'010000 ~ H'03FFFF* ² は外部拡張モードの場合外部アドレス、 シングルチップモードの場合はリザーブ領域* ¹		(初期値)

- 【注】 *1 リザーブ領域はアクセスしないでください。
 *2 H8S/2318 は、H'010000 ~ H'03FFFF になります。
 H8S/2315、H8S/2314 は、H'010000 ~ H'05FFFF になります。
 H8S/2319、H8S/2319C は、H'010000 ~ H'07FFFF になります。
 *3 マスク ROM 版は、H8S/2317S となります。

17.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD2、MD1、MD0) および BCRL の EAE ビットにより行います。この設定を表 17.2、表 17.3 に示します。

表 17.2 動作モードと ROM
(H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT)

	動作モード	モード端子			BCRL	内蔵 ROM			
		FWE	MD2	MD1	MD0		EAE		
モード 1	-	0	0	0	1	-	-		
モード 2				1	0				
モード 3					1				
モード 4	アドバンスト・内蔵 ROM 無効拡張モード	1	0	0	0	-	無効		
モード 5	アドバンスト・内蔵 ROM 無効拡張モード				1				
モード 6	アドバンスト・内蔵 ROM 有効拡張モード				1			0	0
モード 7	アドバンスト・シングルチップ モード	1	0	0	1	0	有効(256K バイト)* ¹ * ⁵		
モード 8	-				1	0	0	1	有効(64K バイト)
モード 9								1	0
モード 10	ブートモード(アドバンスト・ 内蔵 ROM 有効拡張モード)* ³	1	0	0	1	0	有効(64K バイト)		
モード 11	ブートモード(アドバンスト・ シングルチップモード)* ⁴				1	0	有効(256K バイト)* ² * ⁵		
モード 12	-				1	0	0	1	有効(64K バイト)
モード 13		1	0	有効(256K バイト)* ¹ * ⁵					
モード 14	ユーザプログラムモード (アドバンスト・内蔵 ROM 有 効拡張モード)* ³	1	0	0	1	0	有効(64K バイト)		
モード 15	ユーザプログラムモード (アドバンスト・シングルチッ プモード)* ⁴				1	0	有効(256K バイト)* ¹ * ⁵		
					1	0	有効(64K バイト)		

【注】 *1 モード 6、7、14、15 の場合、リセット後に使用できる内蔵 ROM は、アドレス H'000000 ~ H'00FFFF の 64K バイトですので注意してください。

*2 モード 10、11 のブートモードの場合、ブートプログラムでフラッシュメモリを全面消去した直後、使用できる内蔵 ROM はアドレス H'000000 ~ H'00FFFF の 64K バイトですので注意してください。

*3 フラッシュメモリの消去・書き換えが可能である以外はアドバンスト・内蔵 ROM 有効拡張モードと同等の動作となります。

*4 フラッシュメモリの消去・書き換えが可能である以外はアドバンスト・シングルチップモードと同等の動作となります。

- *5 H8S/2318 F-ZTAT の場合、内蔵 ROM は 256K バイトです。
 H8S/2317 F-ZTAT の場合、内蔵 ROM は 128K バイトです。
 H8S/2315 F-ZTAT、H8S/2314 F-ZTAT の場合、内蔵 ROM は 384K バイトです。

表 17.3 動作モードと ROM (H8S/2319 F-ZTAT、H8S/2319C F-ZTAT、マスク ROM 版)

	動作モード	モード端子			BCRL	内蔵 ROM
		MD2	MD1	MD0	EAE	
モード 1* ³	-	0	0	1	-	-
モード 2* ²			1	0		
モード 3* ²				1		
モード 4	アドバンスト・内蔵 ROM 無効拡張モード	1	0	0	-	無効
モード 5	アドバンスト・内蔵 ROM 無効拡張モード			1		
モード 6	アドバンスト・内蔵 ROM 有効拡張モード			1		
モード 7	アドバンスト・ シングルチップモード	1	1		1	有効 (64K バイト)
				0	有効 (256K バイト)* ¹	
				1		有効 (64K バイト)

- 【注】 *1 モード 6、7 の場合、リセット後に使用できる内蔵 ROM は、アドレス H'000000 ~ H'00FFFF の 64K バイトですので注意してください。
 H8S/2319、H8S/2319C の場合、内蔵 ROM は 512K バイトです。
 H8S/2318 の場合、内蔵 ROM は 256K バイトです。
 H8S/2317、H8S/2317S の場合、内蔵 ROM は 128K バイトです。
 H8S/2316S の場合、内蔵 ROM は 64K バイトです。
- *2 H8S/2319 F-ZTAT、H8S/2319C F-ZTAT では、ブートモードになります。
 H8S/2319 F-ZTAT のブートモードについては表 17.30 を参照してください。また、ユーザプログラムモードについても表 17.30 を参照してください。
 H8S/2319C F-ZTAT のブートモードについては、表 17.52 を参照してください。また、ユーザプログラムモードについても表 17.52 を参照してください。
- *3 H8S/2319C F-ZTAT では、ユーザブートモードになります。
 H8S/2319C F-ZTAT のユーザブートモードについては、表 17.52 を参照してください。

17.4 フラッシュメモリの概要 (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT)

17.4.1 特長

本 LSI は 384K バイト、256K バイト、128K バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

- フラッシュメモリの 4 種類の動作モード
 - プログラムモード
 - イレースモード
 - プログラムベリファイモード
 - イレースベリファイモード
- 書き込み / 消去方式
書き込みは128バイト同時書き込みを行います。消去はブロック分割消去 (1ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では4Kバイト、32Kバイト、64Kバイトのブロック単位で任意に設定することができます。
- 書き込み / 消去時間
フラッシュメモリの書き込み時間は、128バイト同時書き込みにて10.0ms (typ.)、1バイトあたり換算にて78 μ s (typ.)、消去時間は、50ms (typ.) です。
- 書き換え回数
フラッシュメモリの書き換えは、min100回可能です。
- オンボードプログラミングモード
オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う2種類のモードがあります。
 - ブートモード
 - ユーザプログラムモード
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートとを自動で合わせることができます。
- RAM によるフラッシュメモリのエミュレーション機能*
フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。
- プロテクトモード
ソフトウェアプロテクトモード、ハードウェアプロテクトモード、およびエラープロテクトモードの3種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。
- ライタモード
フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外にPROMライタを用いたライタモードがあります。

【注】* H8S/2314 F-ZTAT では、RAM によるフラッシュメモリのエミュレーション機能はサポートしていません。

17.4.2 概要

(1) ブロック図

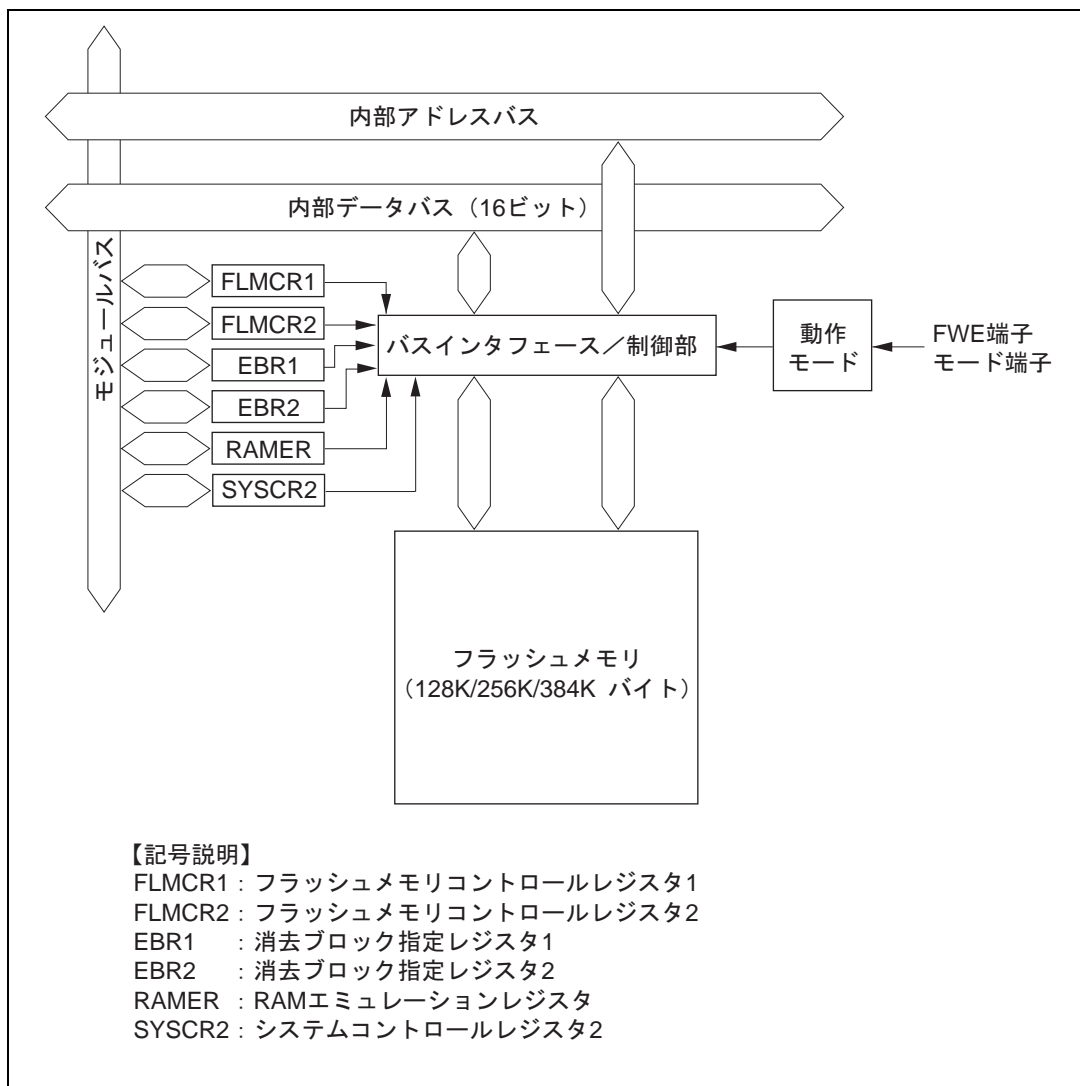


図 17.2 フラッシュメモリのブロック図

17.4.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子と FWE 端子を設定し、リセットスタートすると、本 LSI は図 17.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

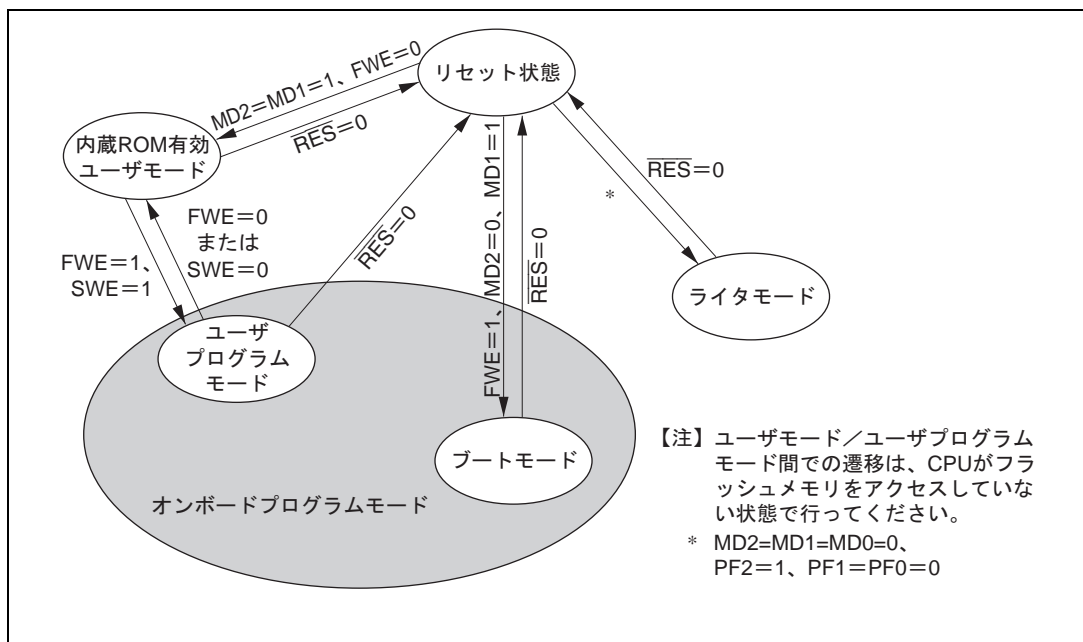
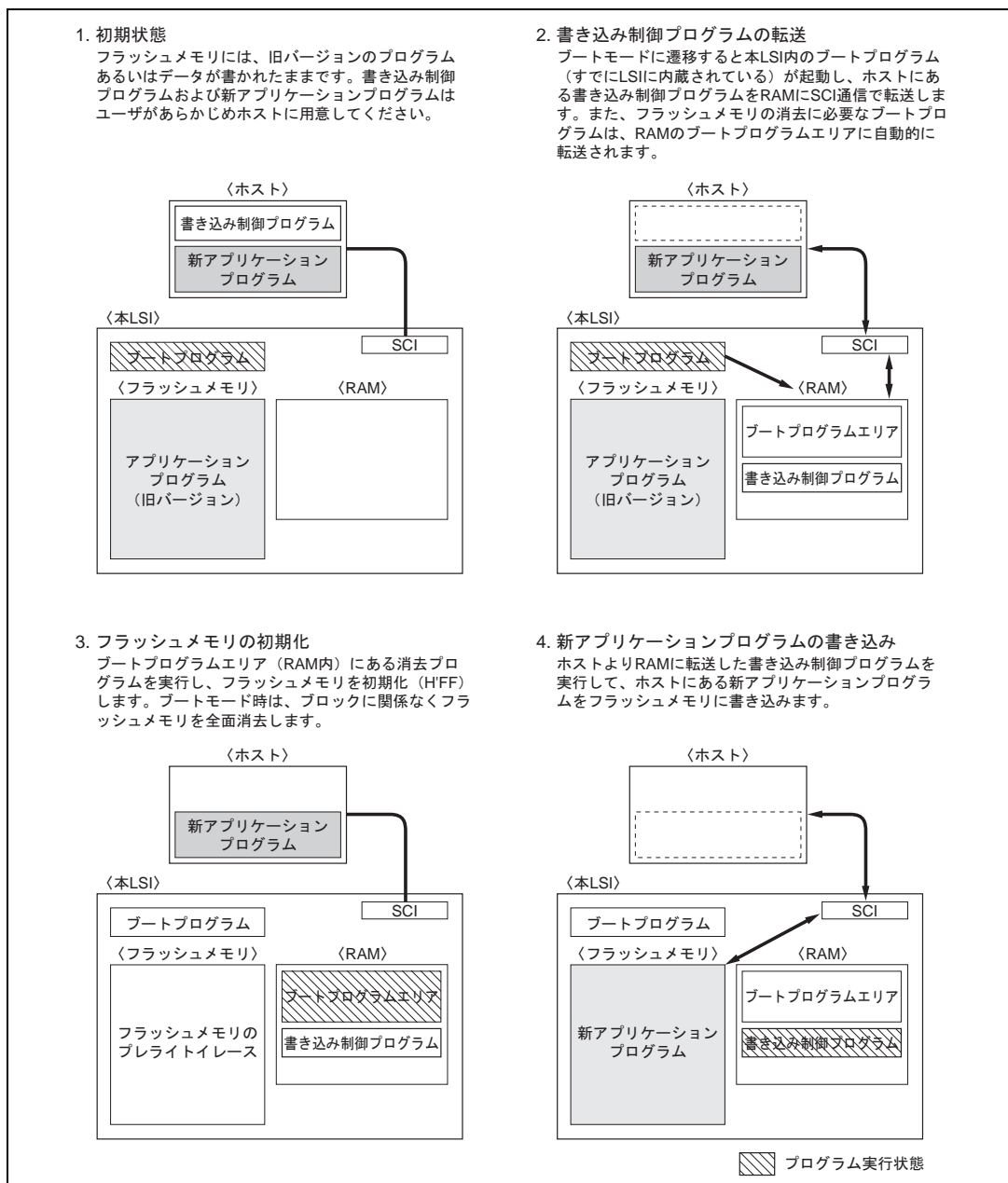


図 17.3 フラッシュメモリに関する状態遷移

17.4.4 オンボードプログラミングモード

(1) ブートモード



(2) ユーザプログラムモード

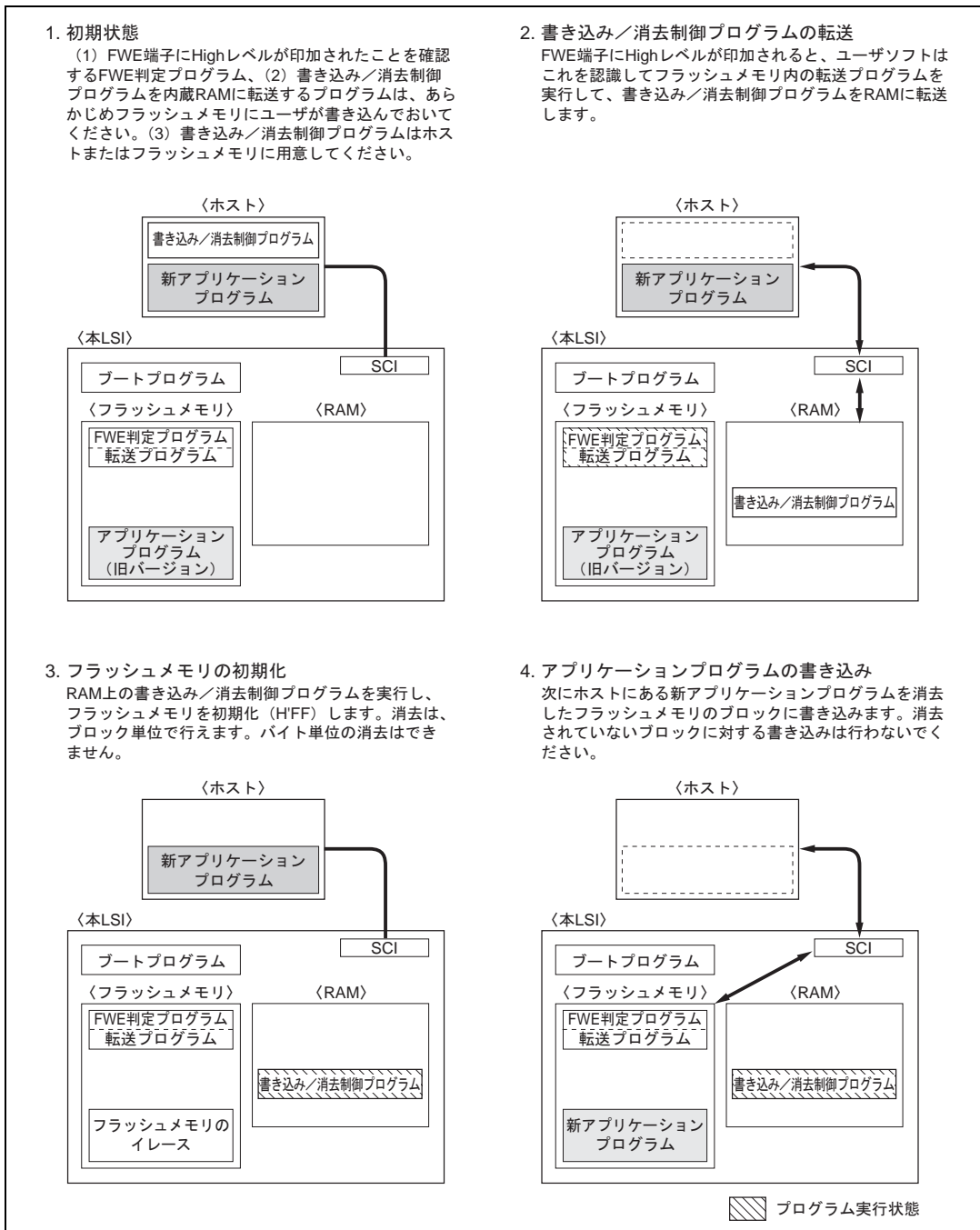


図 17.5 ユーザプログラムモード (例)

17.4.5 RAM によるフラッシュメモリのエミュレーション

(1) ユーザモード、ユーザプログラムモードのオーバーラップ RAM データの読み出し

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。

エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータがリードされます。

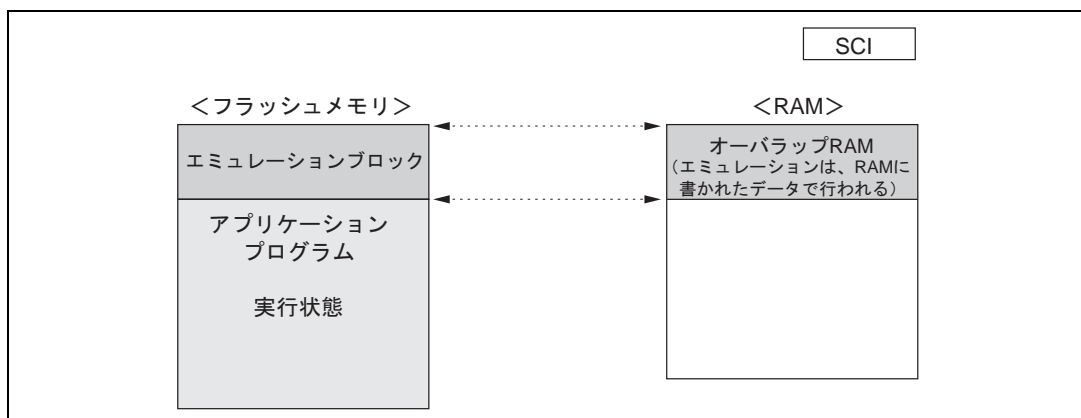


図 17.6 ユーザモード、ユーザプログラムモードのオーバーラップ RAM データの読み出し

(2) ユーザプログラムモードのオーバーラップ RAM データの書き込み

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへのライトを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

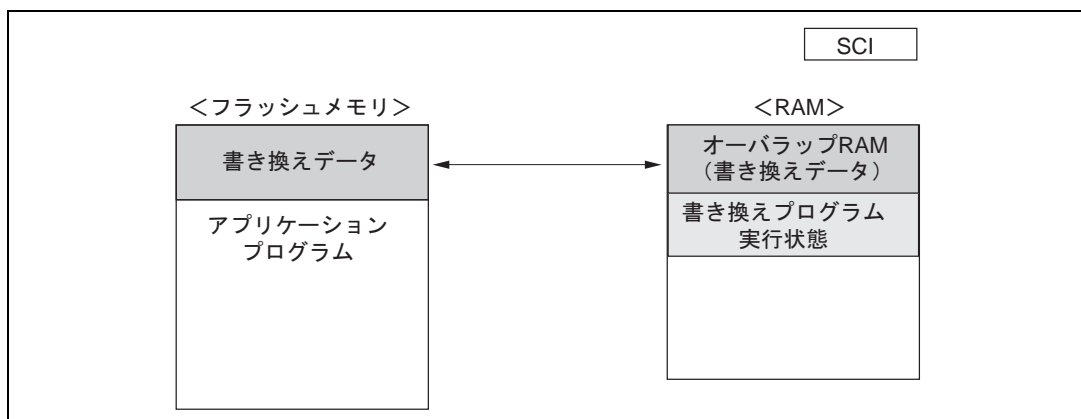


図 17.7 ユーザプログラムモードのオーバーラップ RAM データの書き込み

17.4.6 ブートモードとユーザプログラムモードの相違点

表 17.4 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ/プログラム/ プログラムベリファイ/エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

17.4.7 ブロック分割法

128K バイト内蔵品は、64K バイト (1 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。

256K バイト内蔵品は、64K バイト (3 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。

384K バイト内蔵品は、64K バイト (5 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。

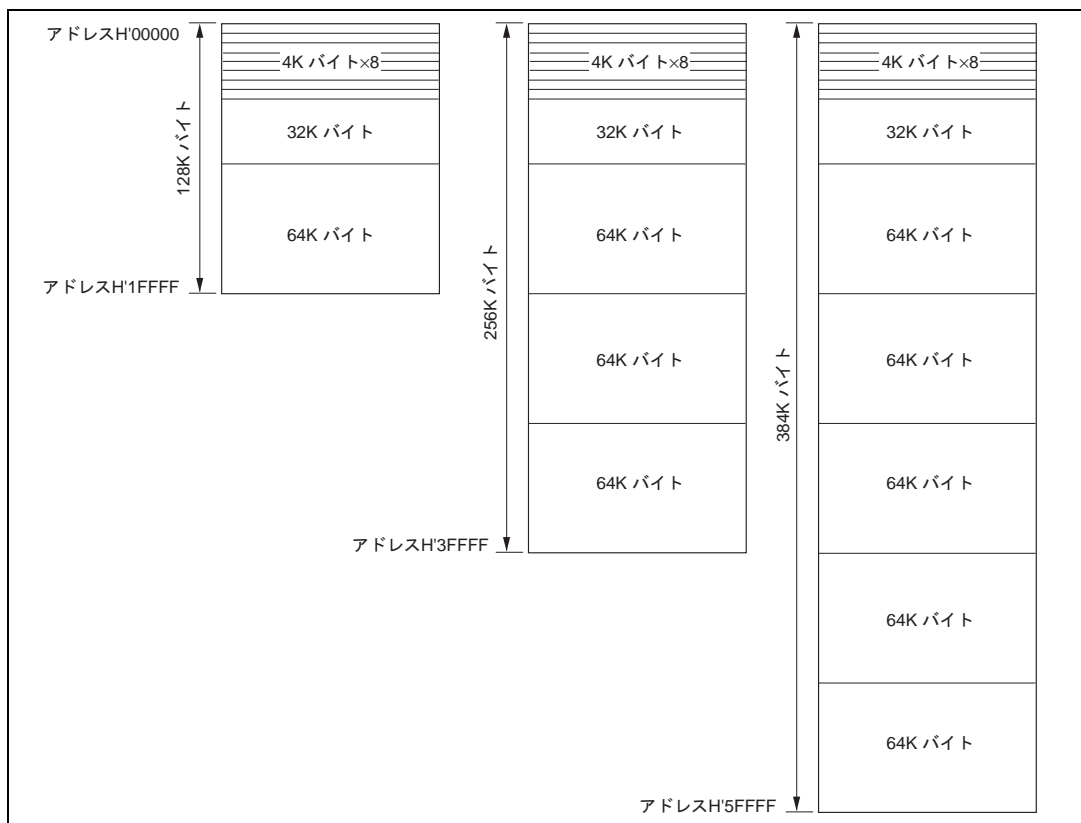


図 17.8 ブロック分割法

17.4.8 端子構成

フラッシュメモリは表 17.5 に示す端子により制御されます。

表 17.5 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート F2	PF2	入力	ライターモードの場合に、本 LSI の動作モードを設定
ポート F1	PF1	入力	ライターモードの場合に、本 LSI の動作モードを設定
ポート F0	PF0	入力	ライターモードの場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

17.4.9 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 17.6 に示します。FLMCR1、FLMCR2、EBR1、EBR2 をアクセスするためには、内蔵フラッシュメモリが有効なモードで、SYSCR2 の FLSHE ビットを 1 にセットする必要があります (RAMER を除く)。

表 17.6 レジスタ構成

名 称	略 称	R/W	初期値	アドレス*1
フラッシュメモリコントロールレジスタ 1	FLMCR1*6	R/W*3	H'00*4	H'FFC8*2
フラッシュメモリコントロールレジスタ 2	FLMCR2*6	R/W*3	H'00	H'FFC9*2
消去ブロック指定レジスタ 1	EBR1*6	R/W*3	H'00*5	H'FFCA*2
消去ブロック指定レジスタ 2	EBR2*6	R/W*3	H'00*5	H'FFCB*2
システムコントロールレジスタ 2	SYSCR2*7	R/W	H'00	H'FF42
RAM エミュレーションレジスタ	RAMER	R/W	H'00	H'FEDB

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 フラッシュメモリのレジスタの選択はシステムコントロールレジスタ 2 (SYSCR2) の FLSHE ビットで行います。
 *3 内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。また、FLMCR1 の FWE ビットがクリア (FWE=0) されているときもライトは無効です。
 *4 FWE 端子に High レベルが入力されているときの初期値は H'80 です。
 *5 FWE 端子に Low レベルが入力されているとき、あるいは High レベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。
 *6 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。
 *7 SYSCR2 は、F-ZTAT 版専用のレジスタです。マスク ROM 版では、リードすると不定値が読み出されます。ライトは無効です。

17.5 フラッシュメモリのレジスタ説明

17.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値	1/0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。プログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1 時に SWE ビットをセット後、EV ビットまたは PV ビットをセットします。プログラムモードへ遷移させるには、FWE=1 時に、SWE ビットをセット後、PSU ビットをセットし、最後に P ビットをセットします。イレースモードへ遷移するには、FWE=1 時に、SWE ビットをセット後、ESU ビットをセットし、最後に E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子に High レベルが入力されているときの初期値は H'80 です。Low レベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE ビットへの書き込みは FWE=1 のとき、ESU、PSU、EV、PV ビットへの書き込みは FWE=1、SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへの書き込みは FWE=1、SWE=1、PSU=1 のときのみに有効です。

ビット 7: フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子に Low レベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子に High レベルが入力されているとき

ビット 6: ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの書き込み / 消去の有効または無効を選択するビットです (FLMCR1 のビット 5 ~ 0、EBR1 の 7 ~ 0 ビット、EBR2 の 3 ~ 0 ビット*をセットするときにセットしてください)。

SWE=1 のときは、プログラムベリファイ / イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。

【注】* H8S/2315 F-ZTAT、H8S/2314 F-ZTAT では、5 ~ 0 ビット。
H8S/2317 F-ZTAT では 1、0 ビット。

ビット 6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE=1 のとき

ビット5：イレースセットアップビット (ESU)

イレースモードへの遷移の準備をするビットです (SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット5	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット (PSU)

プログラムモードへの遷移の準備をするビットです (SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット4	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1 のとき

17.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0
R/W	R	-	-	-	-	-	-	-

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードのとき H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「17.8.3 エラープロテクト」参照

ビット6~0: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

17.5.3 消去ブロック指定レジスタ1 (EBR1)

ビット	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する8ビットのレジスタです。EBR1は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE端子にLowレベルが入力されているとき、およびFWE端子にHighレベルが入力されていてもFLMCR1のSWEビットが設定されていないときはH'00に初期化されます。EBR1の各ビットに1をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1はEBR2と合わせて1ビットのみ設定してください(2ビット以上を設定しないでください。設定するとEBR1とEBR2はともに0にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すとH'00が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表17.7を参照してください。

17.5.4 消去ブロック指定レジスタ2 (EBR2)

ビット	7	6	5	4	3	2	1	0
	-	-	EB13* ¹	EB12* ¹	EB11* ²	EB10* ²	EB9	EB8
初期値	0	0	0	0	0	0	0	0
R/W	-	-	R/W*	R/W*	R/W	R/W	R/W	R/W

【注】 *1 H8S/2315 F-ZTAT、H8S/2314 F-ZTATのみ有効。

*2 H8S/2317 F-ZTATでは、リザーブになります。0をライトしてください。

フラッシュメモリの消去エリアをブロックごとに設定する8ビットのレジスタです。EBR2は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE端子にLowレベルが入力されているとき、H'00に初期化されます。またFWE端子にHighレベルが入力されていても、FLMCR1のSWEビットが設定されていないときはH'00に初期化されます。EBR2の各ビットに1をセットすると、対応するブロックが消去可能となります(それ以外のブロックは、消去プロテクト状態になります)。EBR2はEBR1と合わせて1ビットのみ設定してください(2ビット以上を設定しないでください。設定するとEBR1とEBR2はともに0にオートクリアされます)。ビット7~4はリザーブビットです(H8S/2315 F-ZTAT、H8S/2314 F-ZTATは、ビット7,6がリザーブビット、H8S/2317 F-ZTATは、ビット7~2がリザーブビットです)。リードすると常に0が読み出されます。ライトは無効です。内蔵フラッシュメモリが無効のときは読み出すとH'00が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表17.7を参照してください。

表 17.7 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4K バイト)	H'000000 ~ H'000FFF
EB1 (4K バイト)	H'001000 ~ H'001FFF
EB2 (4K バイト)	H'002000 ~ H'002FFF
EB3 (4K バイト)	H'003000 ~ H'003FFF
EB4 (4K バイト)	H'004000 ~ H'004FFF
EB5 (4K バイト)	H'005000 ~ H'005FFF
EB6 (4K バイト)	H'006000 ~ H'006FFF
EB7 (4K バイト)	H'007000 ~ H'007FFF
EB8 (32K バイト)	H'008000 ~ H'00FFFF
EB9 (64K バイト)	H'010000 ~ H'01FFFF
EB10 (64K バイト) * ²	H'020000 ~ H'02FFFF
EB11 (64K バイト) * ²	H'030000 ~ H'03FFFF
EB12 (64K バイト) * ¹	H'040000 ~ H'04FFFF
EB13 (64K バイト) * ¹	H'050000 ~ H'05FFFF

【注】 *1 H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみ有効。

*2 H8S/2317 F-ZTAT では、使用できません。

17.5.5 システムコントロールレジスタ 2 (SYSCR2)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	FLSHE	-	-	-
初期値	0	0	0	0	0	0	0	0
R/W	-	-	-	-	R/W	-	-	-

SYSCR2は8ビットのリード/ライト可能なレジスタで、内蔵フラッシュメモリの制御を行います。

SYSCR2はリセットまたはハードウェアスタンバイモード時のH'00に初期化されます。

SYSCR2は、F-ZTAT版のみ有効なレジスタです。マスクROM版では、リードすると不定値が読み出されます。ライトは無効です。

ビット7~4: リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

ビット3：フラッシュメモリコントロールレジスタインエーブル (FLSHE)

フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。FLSHE ビットを 1 にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説明
FLSHE	
0	アドレス H'FFFFFFC8 ~ H'FFFFFFCB のエリアはフラッシュ制御レジスタを非選択 (初期値)
1	アドレス H'FFFFFFC8 ~ H'FFFFFFCB のエリアはフラッシュ制御レジスタを選択

ビット2~0：リザーブビット

リードすると、常に 0 が読み出されます。ライトは無効です。

17.5.6 RAM エミュレーションレジスタ (RAMER)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。リセット、またはハードウェアスタンバイモードのときに H'00 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラムモードで行ってください。

フラッシュメモリエリアの分割法は、表 17.8 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

【注】 H8S/2314 F-ZTAT の場合、RAM エミュレーション機能はサポートしていません。

ビット7~4：リザーブビット

読み出すと常に 0 が読み出されます。ライトは無効です。

ビット3：RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択/非選択を設定するビットです。RAMS = 1 のときは、フラッシュメモリ全ブロックの書き込み/消去プロテクト状態となります。

ビット3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み/消去プロテクト有効

ビット2～0：フラッシュメモリエリア選択 (RAM2～RAM0)

ビット3とともに使用し、RAMと重ね合わせるフラッシュメモリのエリアを選択します。
(表 17.8 参照)

表 17.8 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFDC00 ~ H'FFEBFF	RAM エリア 4K バイト	0	*	*	*
H'000000 ~ H'000FFF	EB0 (4K バイト)	1	0	0	0
H'001000 ~ H'001FFF	EB1 (4K バイト)	1	0	0	1
H'002000 ~ H'002FFF	EB2 (4K バイト)	1	0	1	0
H'003000 ~ H'003FFF	EB3 (4K バイト)	1	0	1	1
H'004000 ~ H'004FFF	EB4 (4K バイト)	1	1	0	0
H'005000 ~ H'005FFF	EB5 (4K バイト)	1	1	0	1
H'006000 ~ H'006FFF	EB6 (4K バイト)	1	1	1	0
H'007000 ~ H'007FFF	EB7 (4K バイト)	1	1	1	1

* : Don't care

17.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあります。各モードへ遷移する端子の設定方法を、表 17.9 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 17.3 を参照してください。

表 17.9 オンボードプログラミングモードの設定方法

モード		端子			
MCU モード	CPU 動作モード・内容	FWE	MD2	MD1	MD0
ブートモード	アドバンスト・内蔵 ROM 有効拡張モード	1	0	1	0
	アドバンスト・シングルチップモード				1
ユーザプログラムモード*	アドバンスト・内蔵 ROM 有効拡張モード	1	1	1	0
	アドバンスト・シングルチップモード				1

【注】 * 通常はユーザモードを使用してください。書き込み/消去/ベリファイを行う前に FWE 端子を 1 に設定し、ユーザプログラムモードに遷移してください。

17.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 17.9 にブートモード時のシステム構成図、図 17.10 にブートモード実行手順を示します。

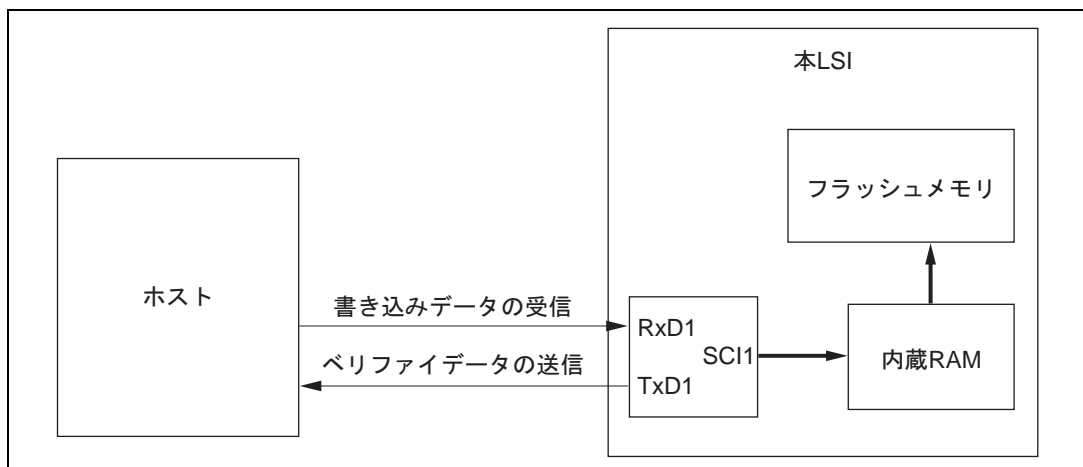


図 17.9 ブートモード時のシステム構成図

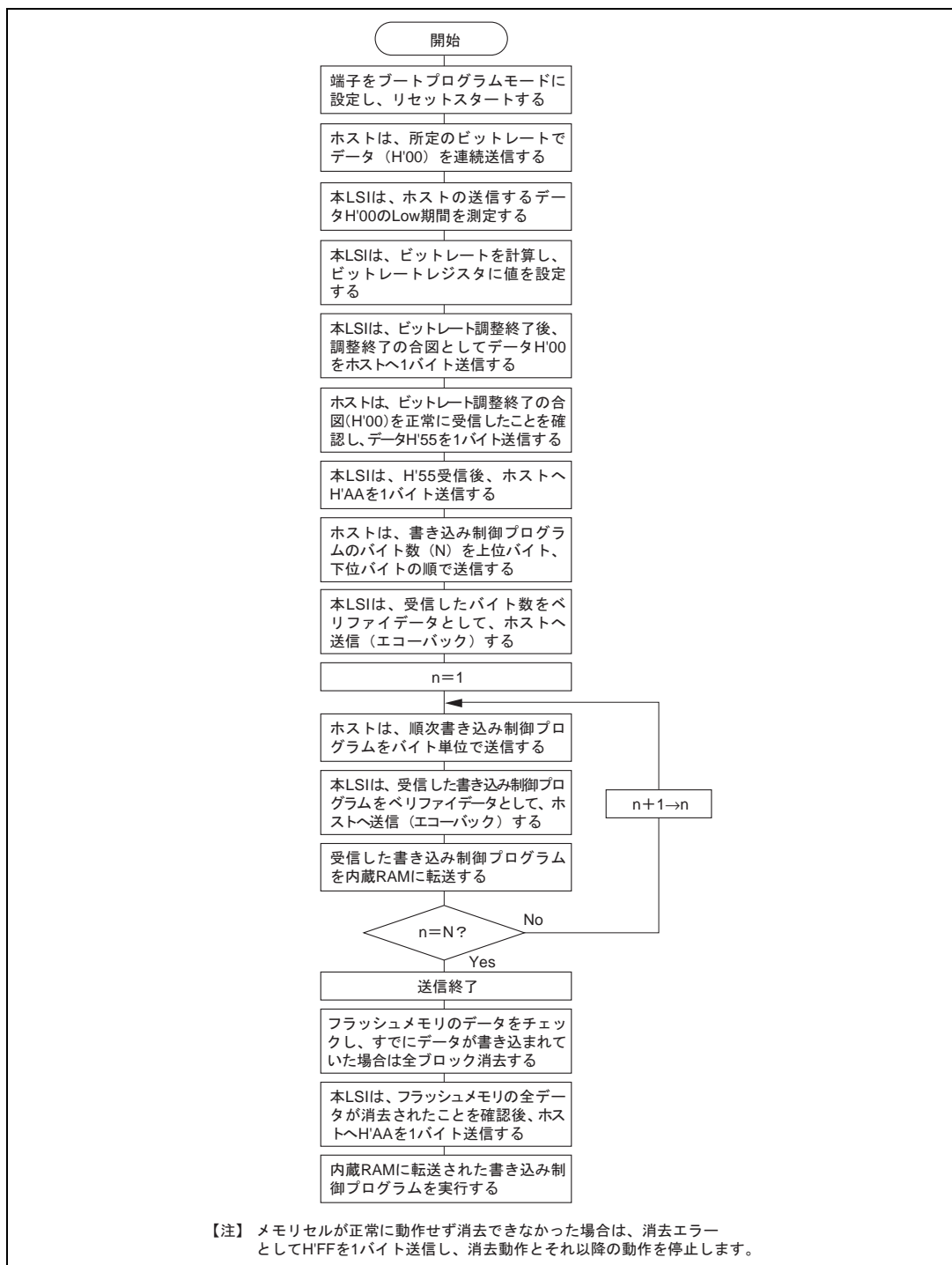


図 17.10 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (9,600、19,200) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 17.10 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

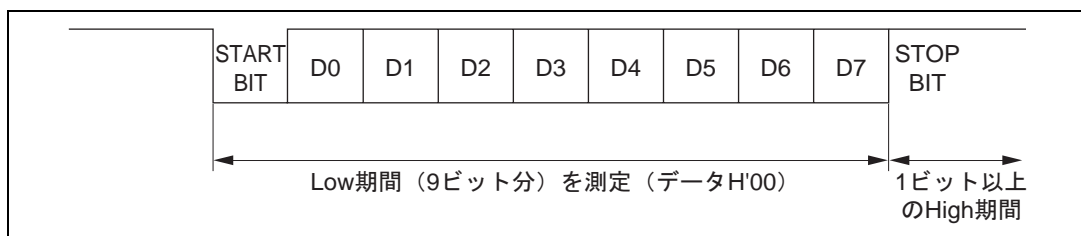


図 17.11 SCI ビットレートの自動合わせ込み動作

表 17.10 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
19,200bps	16 ~ 25MHz
9,600bps	8 ~ 25MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'FFDC00～H'FFE3FFの2Kバイトは、図 17.12 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアはH'FFE400～H'FFFBFFです。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

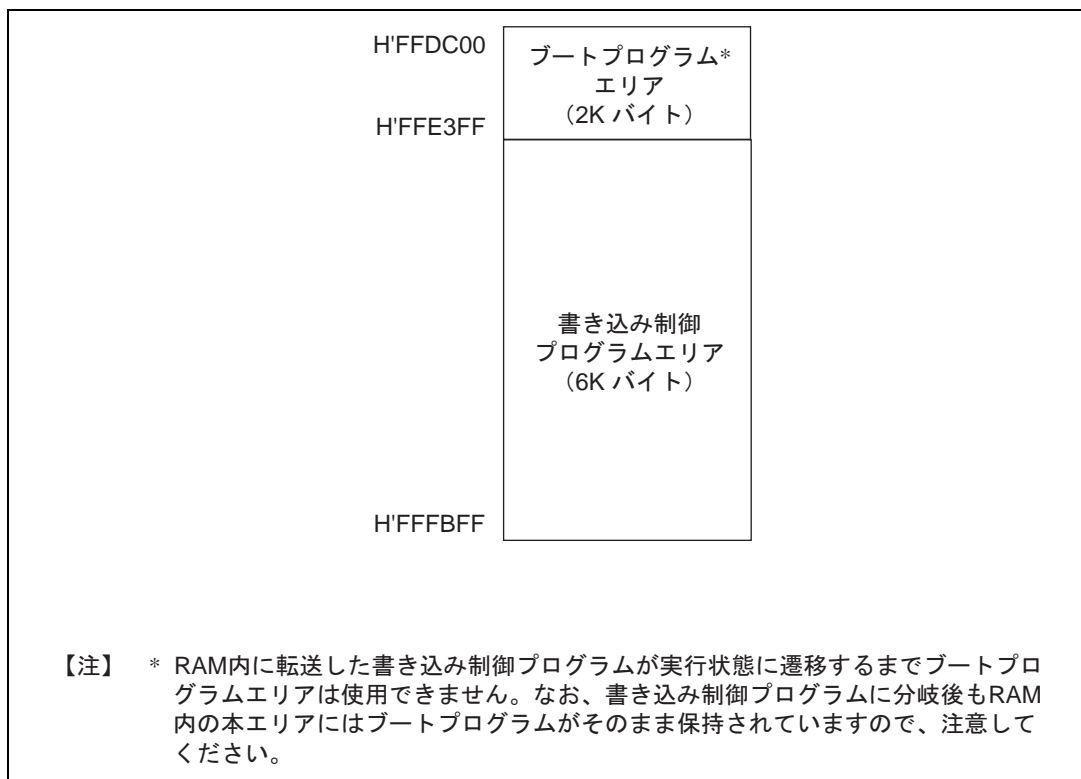


図 17.12 ブートモード時の RAM エリア

H8S/2314 F-ZTAT のブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'FFDC00～H'FFE3FFの2Kバイトは、図 17.13 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアは、H'FFE400～H'FFFBFFです。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

ただし、H'FFDC00～H'FFEBFFの4Kバイトのエリアはブートモード時にのみ使用するリザーブエリアです。フラッシュメモリの書き込み/消去以外の目的では使用しないでください。

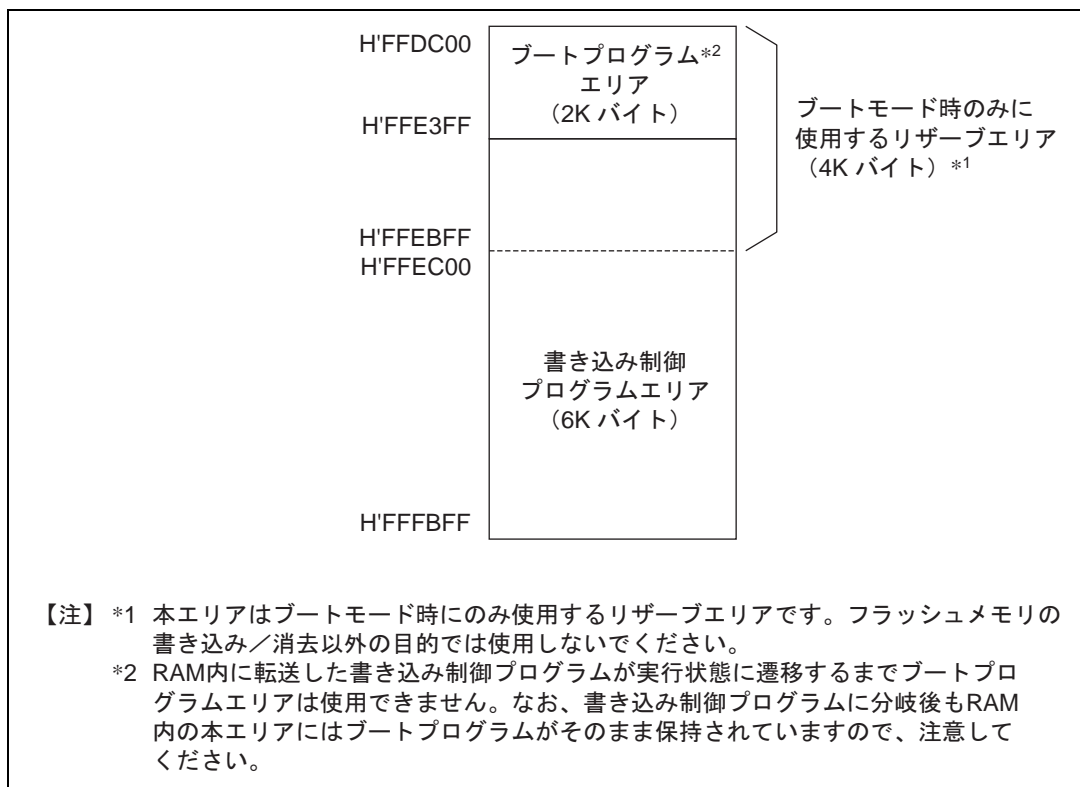


図 17.13 ブートモード時のRAMエリア

(3) ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCIのRxD1端子のLow期間を測定します。RxD1端子がHighの状態ではリセット解除してください。リセット解除後、RxD1端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) RxD1端子およびTxD1端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアのH'FFE400～H'FFFBFF）に分岐するときに内蔵SCI（チャンネル1）の送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには、合わせ込んだビットレートの値を保持しています。

また、このときトランスミットデータ出力端子TxDIは、Highレベル出力状態 (P31DDR = 1、P31DR = 1) となっています。

さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。

特にスタックポインタ (SP) は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。

上記以外の内蔵レジスタについても、初期設定を必ず行ってください。

- (f) ブートモードへの遷移は表17.9のモード設定に従い、端子を設定しリセットスタートすることにより可能です。

ブートモードを解除するには、リセット端子をLowレベルにしてから最低20ステート経過後、FWE端子とモード端子を設定し、リセット解除*¹することにより可能です。また、WDTのオーバフローリセットが発生した場合もブートモードを解除することが可能です。

ブートモードの途中でモード端子の入力レベルを変化させないでください。ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にFWE端子をLowレベルにしないでください*²。

- (g) リセット中にモード端子の入力レベルを変化 (たとえばLowレベル→Highレベル) させると、マイコンの動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{HWR}) の状態が変化*³します。

このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

- 【注】 *1 モード端子と FWE 端子の入力はリセット解除のタイミングに対し、図 17.30 ~ 図 17.32 に示すようにモードプログラミングセットアップ時間 ($t_{MDS} = 200ns$) を満足する必要があります。
- *2 FWE の印加 / 解除の注意については「 17.12 フラッシュメモリの書き込み / 消去時の注意」を参照してください。
- *3 「第 8 章 I/O ポート」を参照してください。

17.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み / 消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に FWE 制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み / 消去制御プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 6、7 で起動し、FWE 端子に High レベルを印加します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 6、7 と同じ動作をします。

フラッシュメモリへの書き込み / 消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自体を読み出すことはできません。書き込み / 消去を行う制御プログラムは、内蔵 RAM / 外部メモリ上で実行するようにしてください。外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は内蔵 RAM 上に置くようにしてください。

図 17.14 に書き込み / 消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

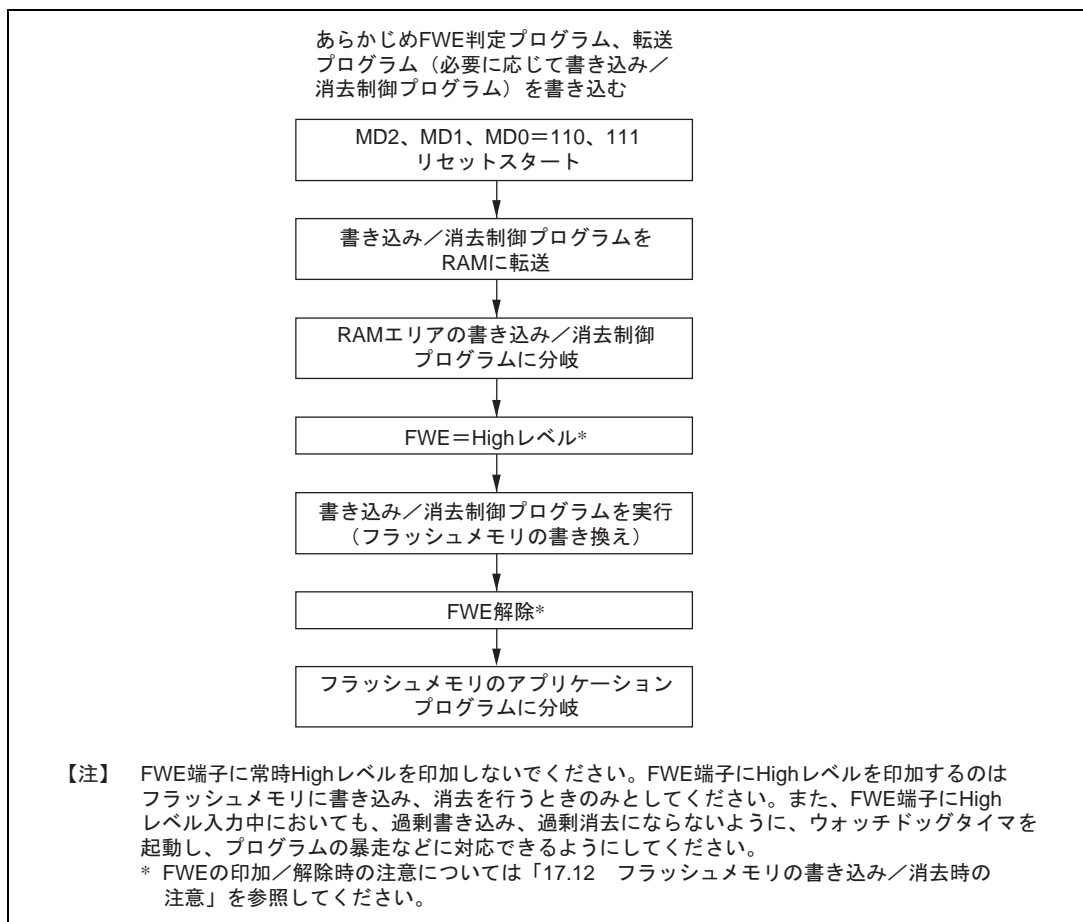


図 17.14 ユーザプログラムモードの実行手順例

17.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。内蔵 ROM 領域に対しては、FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム(書き込み制御プログラム)は、内蔵 RAM、あるいは外部メモリ上に置き、実行するようにしてください。外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は内蔵 RAM 上に置くようにしてください。また、フラッシュメモリへの書き込み命令実行前後に DTC が起動しないようにしてください。

- 【注】
1. FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットのセット / リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

17.7.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 17.15 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の各ビットのセット / クリア後のウェイト時間 (x、y、z1、z2、z3、 α 、 β 、 γ 、 ε 、 η 、 θ)、最大書き込み回数 (N) は「20.3.6 フラッシュメモリ特性」を参照してください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x) μ s 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません) に RAM 上の書き込みデータエリアの 128 バイトのデータを連続書き込みます (データ転送はバイト単位で 128 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y + z2 + α + β) μ s より大きくしてください。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、(y) μ s 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフロー中の表に従ってください。

17.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCR1 の P ビットを 0 にクリア後、 (α) μs 以上の時間が経過してから PSU ビットを 0 にクリア) します。ウォッチドッグタイマを (β) μs 以上の時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に、読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 16 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 (ε) μs 以上置いてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 17.15 参照) し、再書き込みデータを再書き込みデータエリアに転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 (η) μs 以上の待機時間を置いて、FLMCR1 の SWE ビットを 0 にクリアし、 (θ) μs 以上待機時間を置いてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、 (N) 回を超えないようにしてください。

17. ROM (H8S/2318 F-ZTAT, H8S/2317 F-ZTAT, H8S/2315 F-ZTAT, H8S/2314 F-ZTAT)

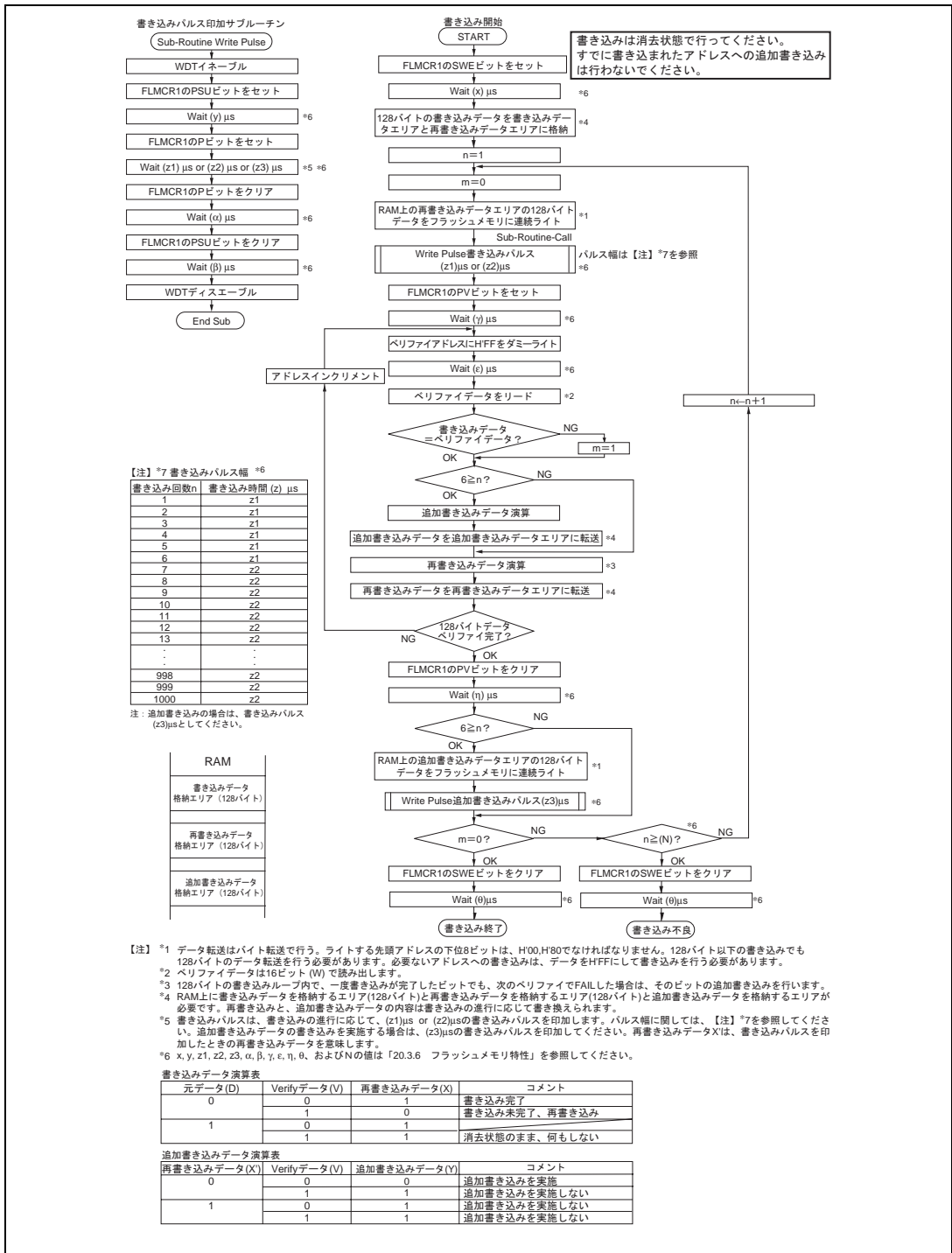


図 17.15 プログラム/プログラムペリファイフロー

17.7.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 17.16 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ1 (FLMCR1) の各ビットのセット/クリア後のウェイト時間 (x 、 y 、 z 、 α 、 β 、 γ 、 ε 、 η 、 θ 、最大消去回数 (N)) は「20.3.6 フラッシュメモリ特性」を参照してください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ1 (FLMCR1) の SWE ビットを1にセット後、(x) μ s以上の時間が経過してから、消去ブロック指定レジスタ1、2 (EBR1、2) で消去するフラッシュメモリのエリアを1ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバーフロー周期は ($y+z+\alpha+\beta$) ms より大きくしてください。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行い、(y) μ s以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト (消去するメモリの中メモリデータをすべて0にする) を行う必要はありません。

17.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR1 の E ビットを0にクリア後、(α) μ s以上の時間が経過してから ESU ビットを0にクリア) し、ウォッチドッグタイマを (β) μ s以上の時間が経過してから解除し、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μ s以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは16ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(ε) μ s置いてから行ってください。読み出したデータが消去 (データがすべて1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、(η) μ s以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除し、(θ) μ s以上待機時間を置いてください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

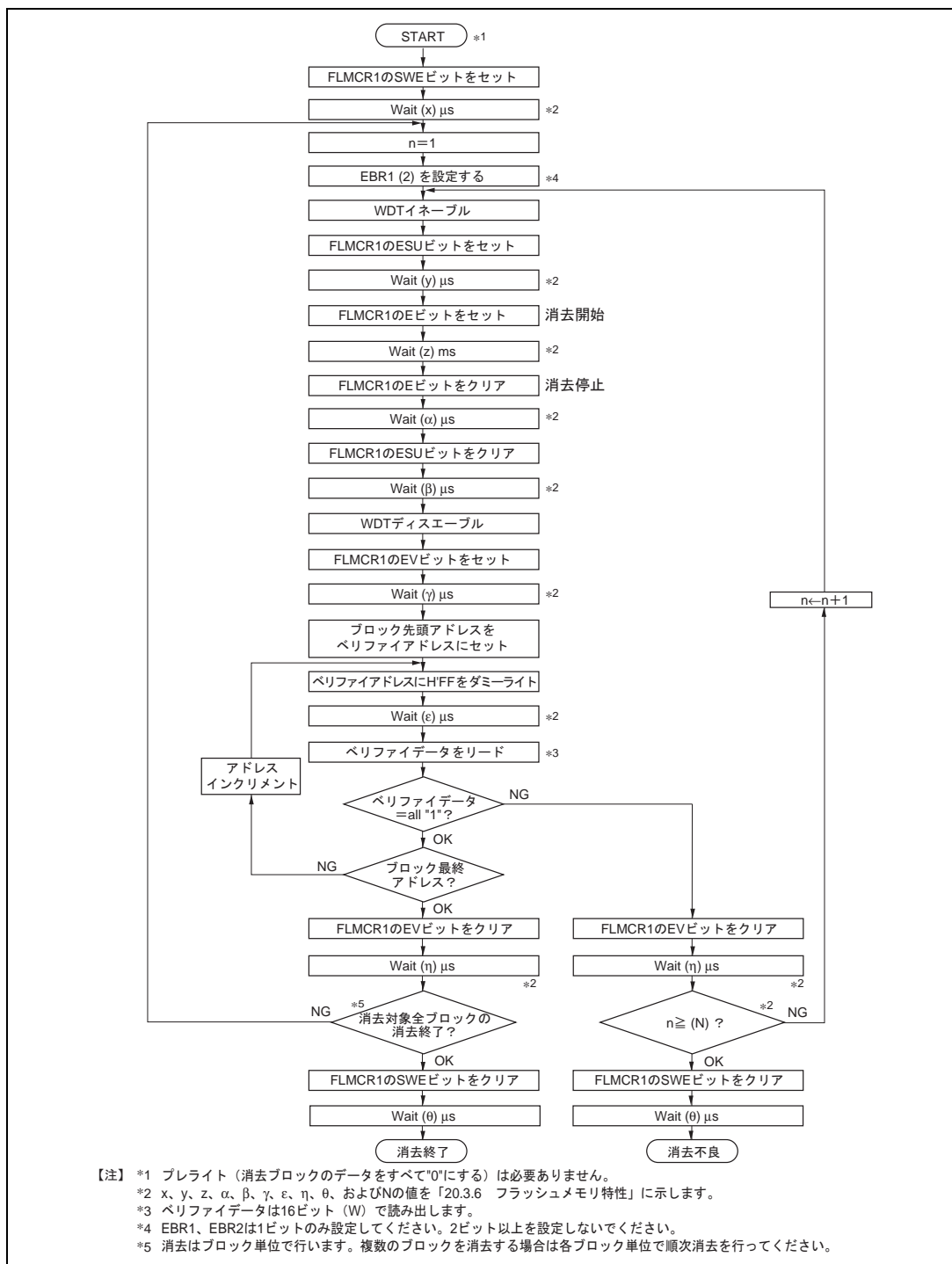


図 17.16 イレース/イレースベリファイフロー

17.8 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類があります。

17.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定はリセットされます。

表 17.11 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT によるオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

17.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットまたは E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 17.12 参照)。

表 17.12 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります (内蔵 RAM / 外部メモリ上で実行してください)。 		
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。 		

17.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ペリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中にフラッシュメモリをリードしたとき（ベクタリードおよび命令フェッチを含む）
- (2) 書き込み / 消去中の例外処理（リセットは除く）開始直後
- (3) 書き込み / 消去中に SLEEP 命令（ソフトウェアスタンバイを含む）を実行したとき
- (4) 書き込み / 消去中に CPU 以外のバスマスタ（DTC）がバス権を確保したときです。

また、エラープロテクト解除は、リセットまたはハードウェアスタンバイのみで行われます。

図 17.17 にフラッシュメモリの状態遷移図を示します。

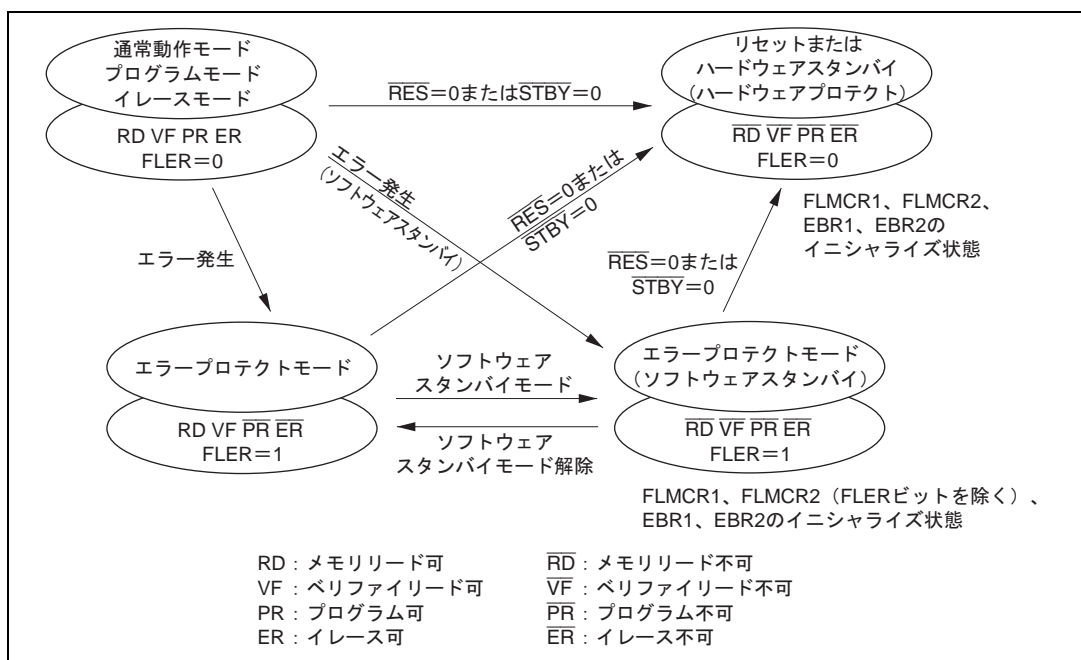


図 17.17 フラッシュメモリの状態遷移図

17.9 RAM によるフラッシュメモリのエミュレーション

17.9.1 RAM によるエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 17.18 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

【注】 H8S/2314 F-ZTAT は、RAM によるフラッシュメモリのエミュレーション機能をサポートしていません。

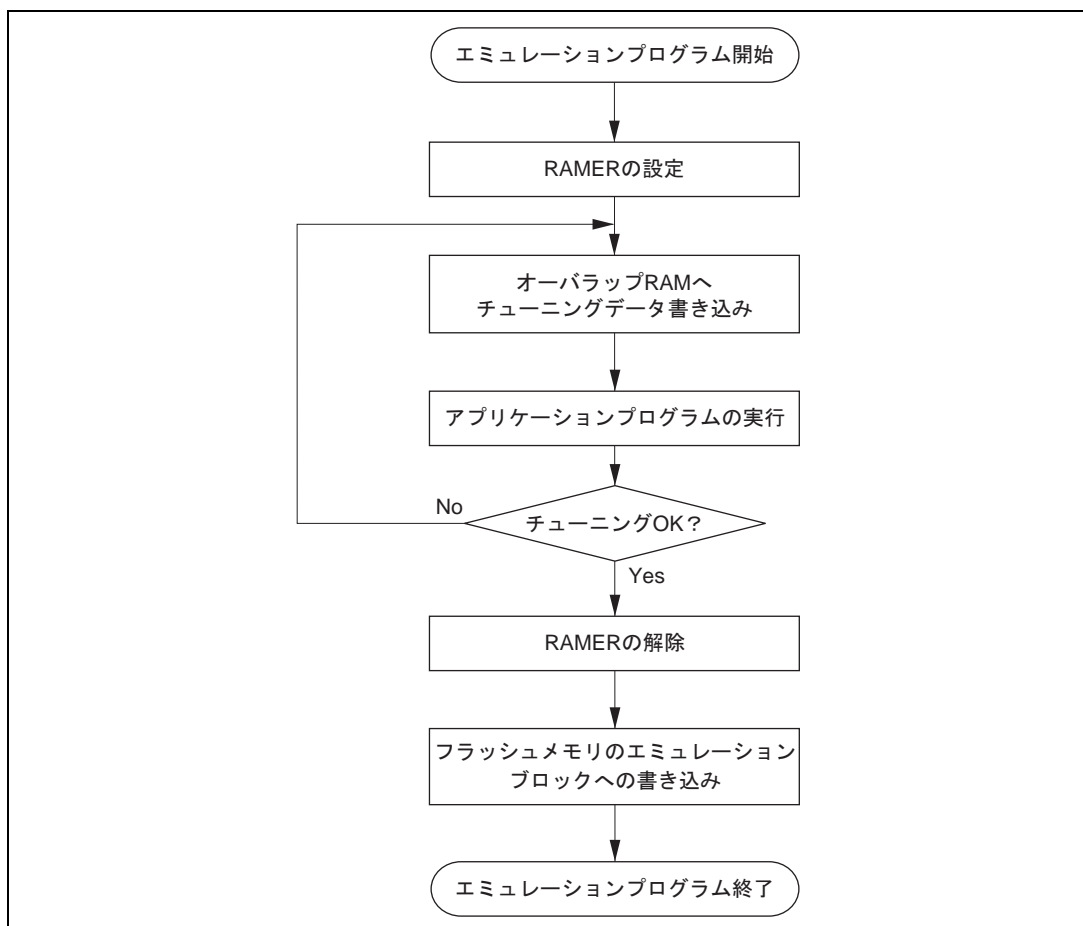


図 17.18 RAM によるエミュレーションフロー

17.9.2 RAM のオーバーラップ

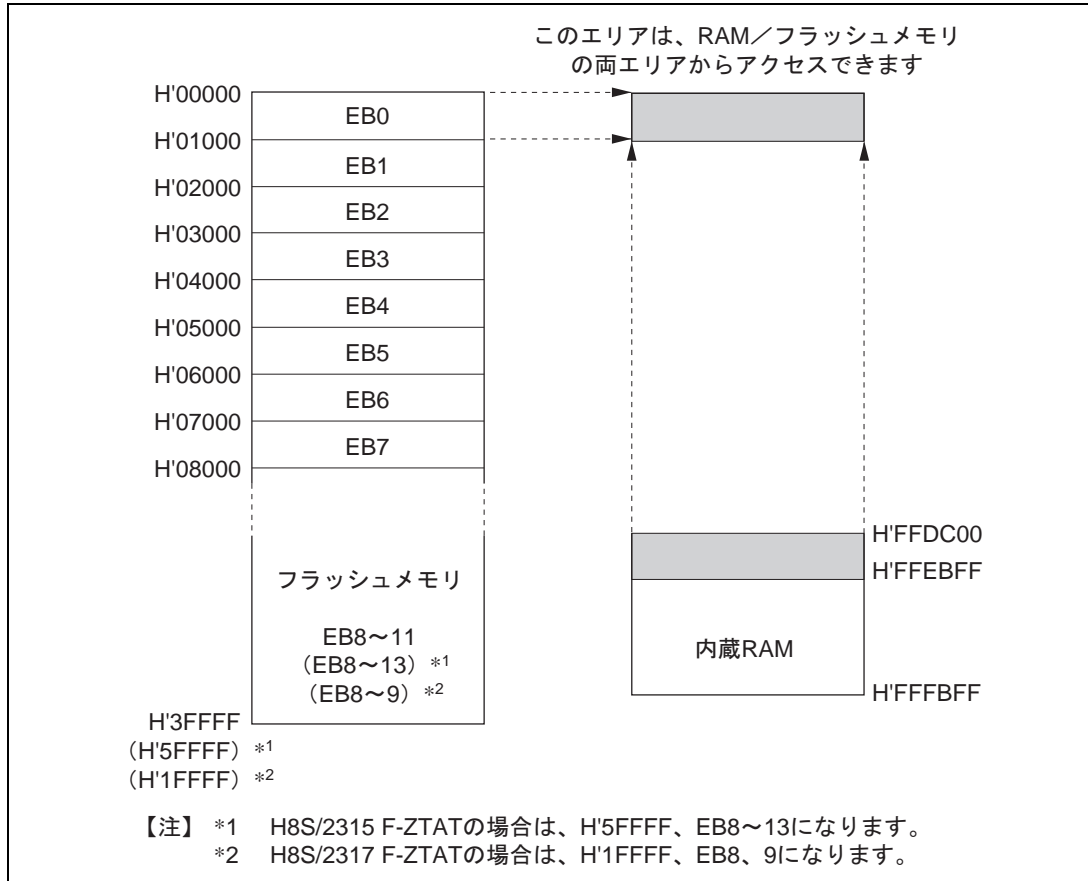


図 17.19 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB1) をオーバーラップさせる例

- [1] リアルタイムな書き換えを必要とするエリア (EB1) にRAMの一部をオーバーラップさせるには、RAMERのRAMS=1、RAM2=0、RAM1=0、RAM0=1に設定してください。
- [2] リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
- [3] 書き換えデータ確認後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- [4] オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB1) に書き込みます。

【注】 1. RAMS ビットを 1 にセットすると RAM2、RAM1、RAM0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。

2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。
3. ブロックエリア(EB0)はベクタテーブルを含みます。RAM エミュレーションする場合、オーバーラップ RAM にはベクタテーブルが必要となります。

17.10 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P ビットまたは E ビットがセット)、およびブートモードでのブートプログラム実行中*¹ は書き込み、消去動作を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合は、マイコンの内部と外部で NMI を含むすべての割り込み要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも NMI 割り込みは禁止状態となります。

【注】*¹ 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*² この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中 (FLMCR1 の P ビットまたは E ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

17.11 フラッシュメモリのライターモード

17.11.1 ライターモードの設定

プログラム/データの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではルネサス テクノロジ 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A) をサポートしている PROM ライター*を用いて内蔵 ROM に自由にプログラムを書き込むことができます。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

【注】* H8S/2315 F-ZTAT、H8S/2314 F-ZTAT 使用時は、ルネサス テクノロジ 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしている PROM ライターとなります。

表 17.13 にライターモードの端子設定方法を示します。

表 17.13 ライターモードの端子設定方法

端子名	設定、外付け回路接続
モード端子 : MD2、MD1、MD0	MD2、MD1、MD0 に Low レベルを入力
モード設定端子 : PF2、PF1、PF0	PF2 に High レベル、 PF1、PF0 に Low レベルを入力
FWE 端子	High レベルを入力 (自動書き込み、自動消去時)
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
NMI 端子	High レベルを入力
RES 端子	リセット回路
XTAL、EXTAL 端子	発振回路
その他に設定が必要な端子 : P23、P25	P23 に High レベルを入力、P25 に Low レベルを入力

17.11.2 ソケットアダプタの端子対応図

図 17.21 に示すようにソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 17.20 に、ソケットアダプタの端子対応図を図 17.21 に示します。

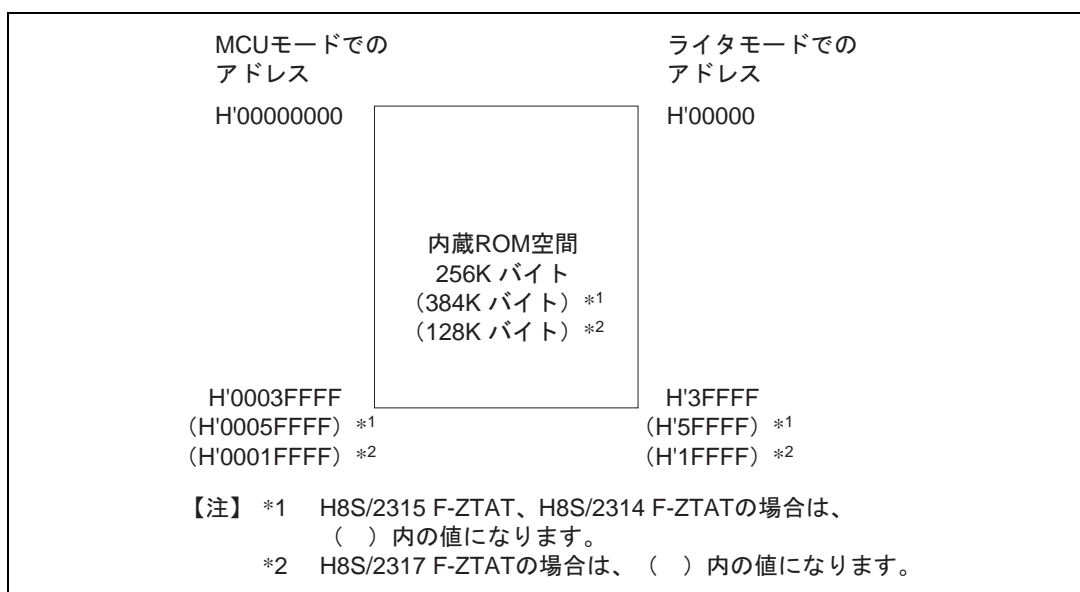


図 17.20 内蔵 ROM のメモリマップ

17 . ROM (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT)

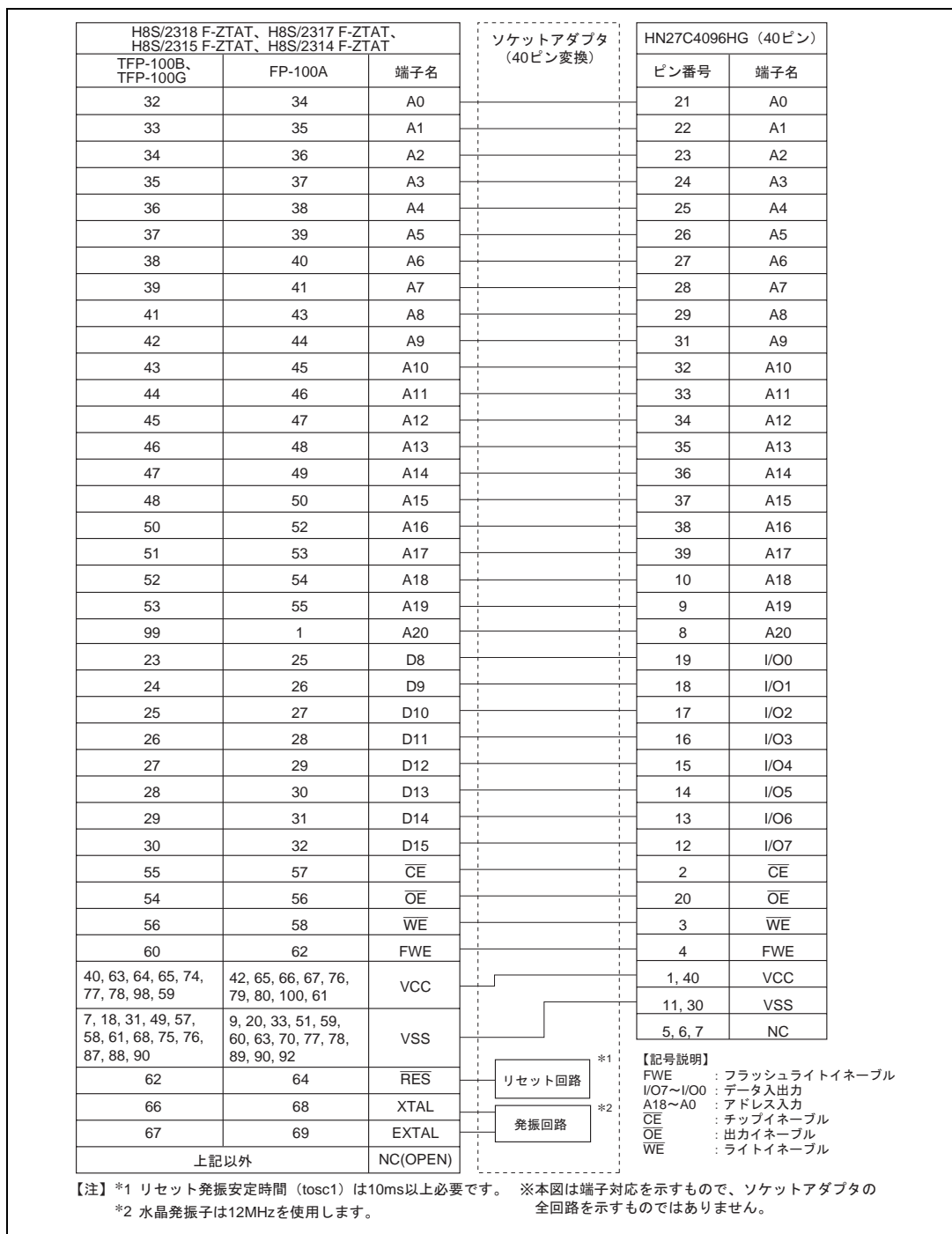


図 17.21 H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT
ソケットアダプタの端子対応図

17.11.3 ライタモードの動作

表 17.14 にライタモード時の各動作モードの設定方法、表 17.15 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

(1) メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

(2) 自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

(3) 自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

(4) ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 17.14 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	I/O7 ~ I/O0	A18 ~ I/O0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-Z	×
コマンド書き込み	H or L ^{*3}	L	H	L	データ入力	Ain ^{*2}
チップディスエーブル ^{*1}	H or L	H	×	×	Hi-Z	×

【記号説明】

- H : High レベル
- L : Low レベル
- Hi-Z : ハイインピーダンス
- × : Don't care

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

*3 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。

表 17.15 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	×	H'00	read	RA	Dout
自動書き込みモード	129	write	×	H'40	write	WA	Din
自動消去モード	2	write	×	H'20	write	×	H'20
ステータス読み出しモード	2	write	×	H'71	write	×	H'71

【記号説明】

RA : 読み出しアドレス

WA : 書き込みアドレス

× : Don't care

- 【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

17.11.4 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 17.16 メモリ読み出しモード時の AC 特性

(条件: VCC=3.3±0.3V、VSS=0V、Ta=25±5)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
CE ホールド時間	tceh	0	-	ns
CE セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

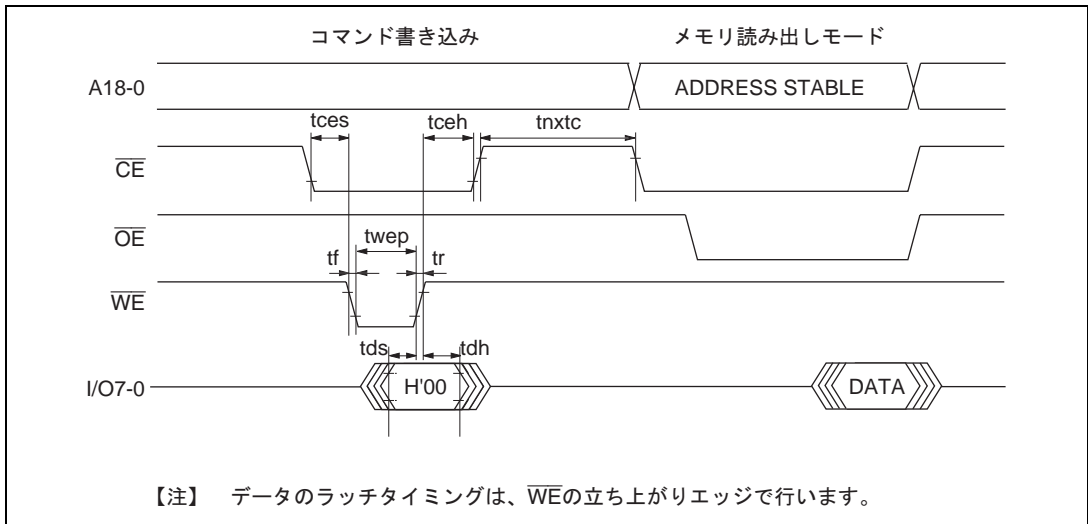


図 17.22 コマンド書き込み後メモリ読み出しタイミング波形

表 17.17 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
\overline{CE} ホールド時間	tceh	0	-	ns
\overline{CE} セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
\overline{WE} 立ち上がり時間	tr	-	30	ns
\overline{WE} 立ち下がり時間	tf	-	30	ns

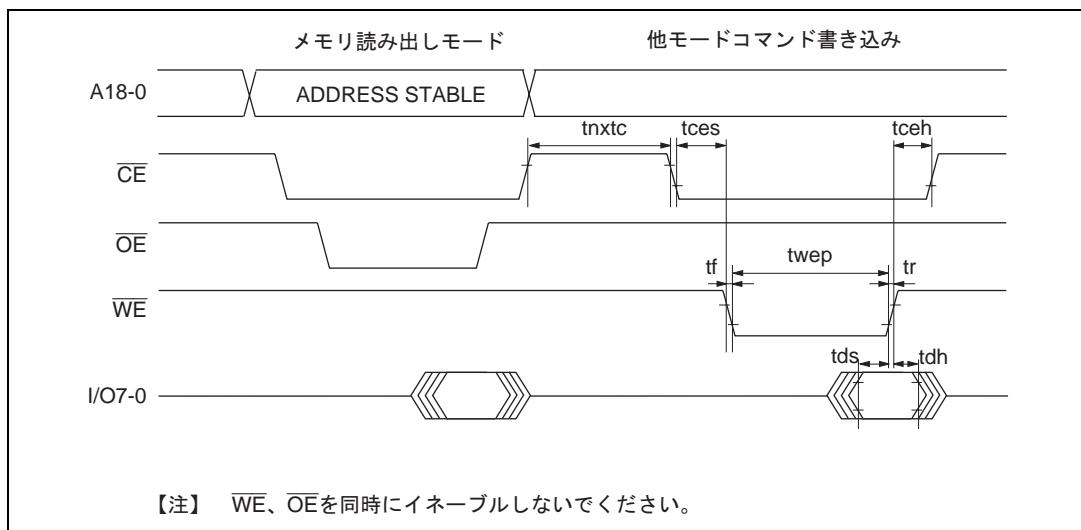


図 17.23 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 17.18 メモリ読み出しモード時の AC 特性

(条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位
アクセス時間	tacc	-	20	μs
CE 出力遅延時間	tce	-	150	ns
OE 出力遅延時間	toe	-	150	ns
出力ディスエーブル遅延時間	tdf	-	100	ns
データ出力ホールド時間	toh	5	-	ns

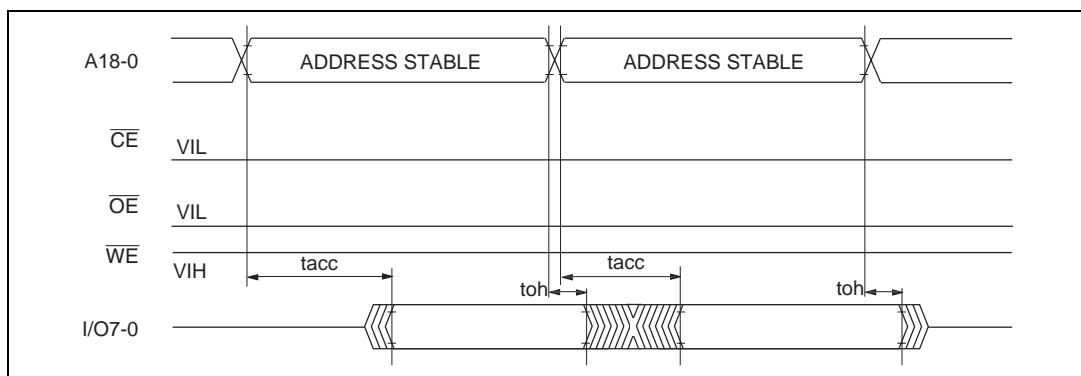
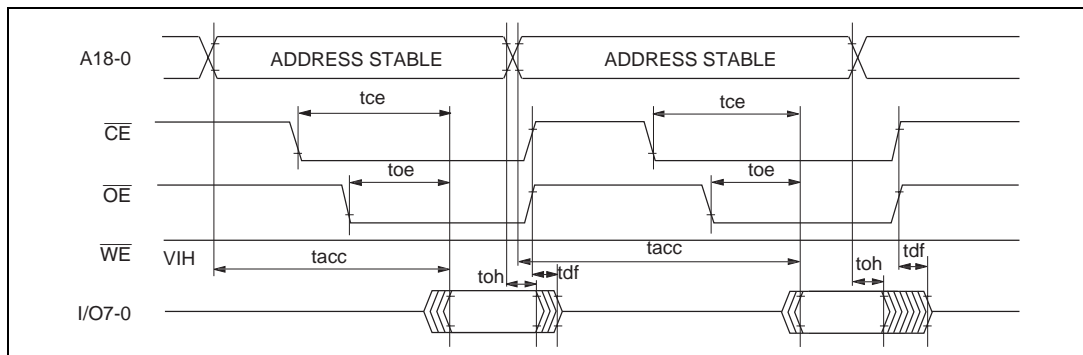


図 17.24 \overline{CE} 、 \overline{OE} イネーブ爾状態リード時のタイミング波形

図 17.25 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

17.11.5 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図17.26)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます(I/O7のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングのI/O6、I/O7の情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 17.19 自動書き込みモード時の AC 特性

(条件 : VCC=3.3±0.3V、VSS=0V、Ta=25±5)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
CE ホールド時間	tceh	0	-	ns
CE セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
ステータスポーリング開始時間	twsts	1	-	ms
ステータスポーリングアクセス時間	tspa	-	150	ns
アドレスセットアップ時間	tas	0	-	ns
アドレスホールド時間	tah	60	-	ns
メモリ書き込み時間	twrite	1	3000	ms
書き込みセットアップ時間	tpns	100	-	ns
書き込み終了セットアップ時間	tpnh	100	-	ns
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

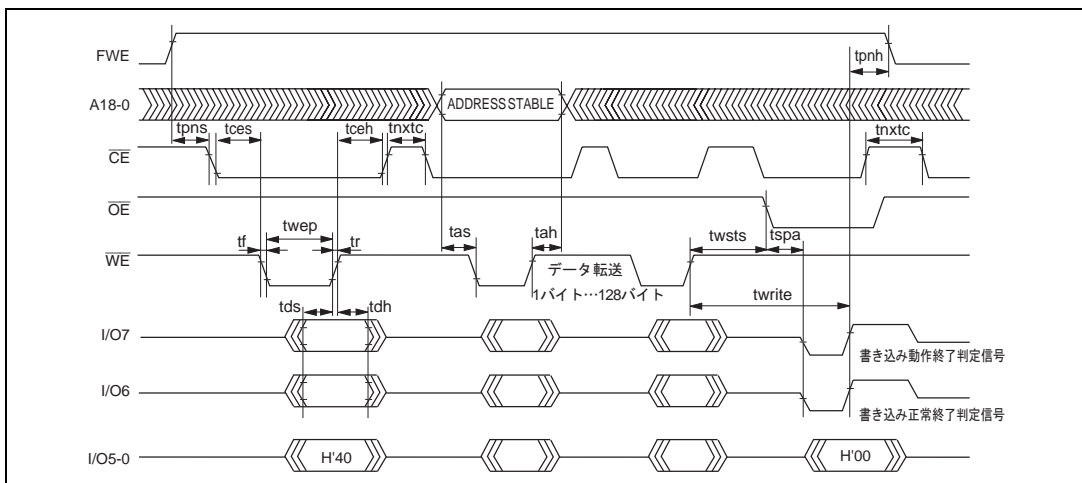


図 17.26 自動書き込みモードのタイミング波形

17.11.6 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7の情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにするこにより読み出し可能となります。

表 17.20 自動消去モード時の AC 特性

(条件 : $V_{CC}=3.3\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25\pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
\overline{CE} ホールド時間	tceh	0	-	ns
\overline{CE} セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
ステータスポーリング開始時間	tests	1	-	ms
ステータスポーリングアクセス時間	tspa	-	150	ns
メモリ消去時間	terase	100	40000	ms
消去セットアップ時間	tens	100	-	ns
消去終了セットアップ時間	tenh	100	-	ns
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

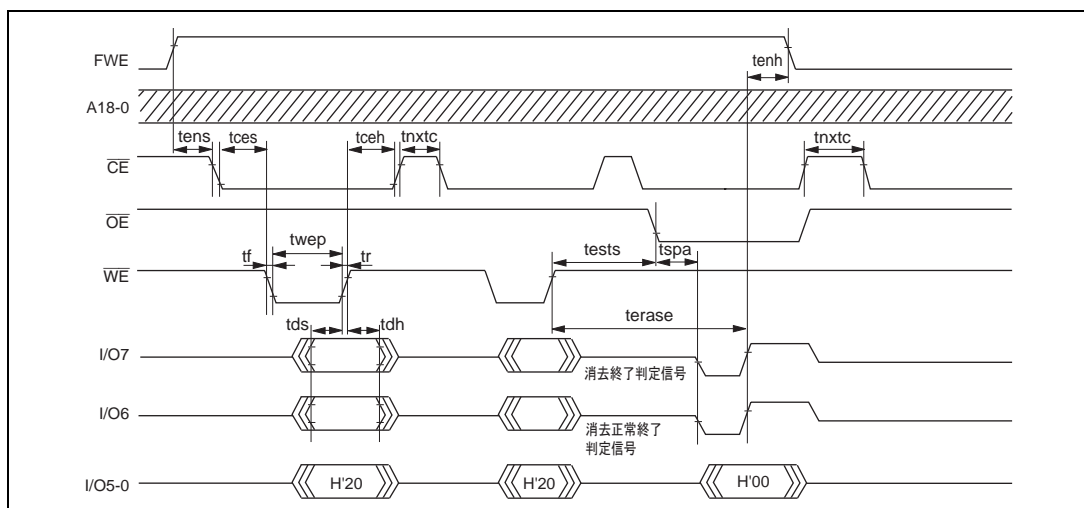


図 17.27 自動消去モードのタイミング波形

17.11.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード / 自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 17.21 ステータス読み出しモード時の AC 特性

(条件 : $V_{CC}=3.3\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25\pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
CE ホールド時間	tceh	0	-	ns
CE セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
OE 出力遅延時間	toe	-	150	ns
ディスエーブル遅延時間	tdf	-	100	ns
CE 出力遅延時間	tce	-	150	ns
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

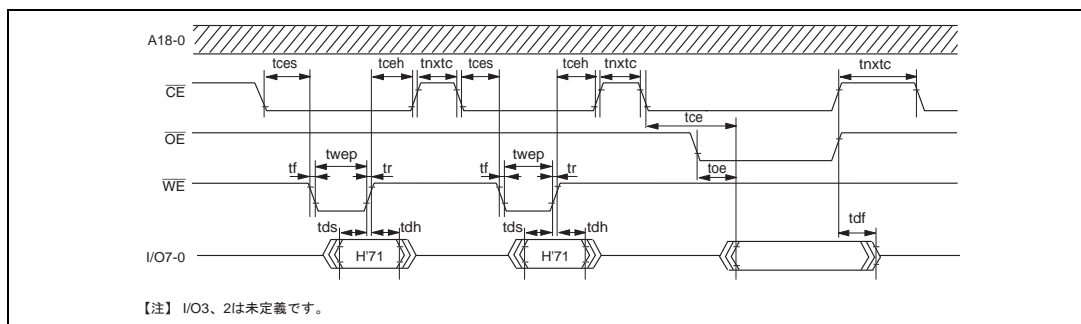


図 17.28 ステータス読み出しモードのタイミング波形

表 17.22 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了判定	コマンドエラー	書き込みエラー	消去エラー	-	-	書き込み or 消去回数オーバー	有効アドレスエラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了 : 0 異常終了 : 1	コマンドエラー : 1 その他 : 0	書き込みエラー : 1 その他 : 0	消去エラー : 1 その他 : 0	-	-	回数オーバー : 1 その他 : 0	有効アドレスエラー : 1 その他 : 0

【注】 I/O3、2は未定義です。

17.11.8 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 17.23 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0 ~ I/O5	0	0	0	0

17.11.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 17.24 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位
スタンバイ解除 (発振安定時間)	tosc1	30	-	ms
ライタモードセットアップ時間	tbmV	10	-	ms
VCC ホールド時間	tdwn	0	-	ms

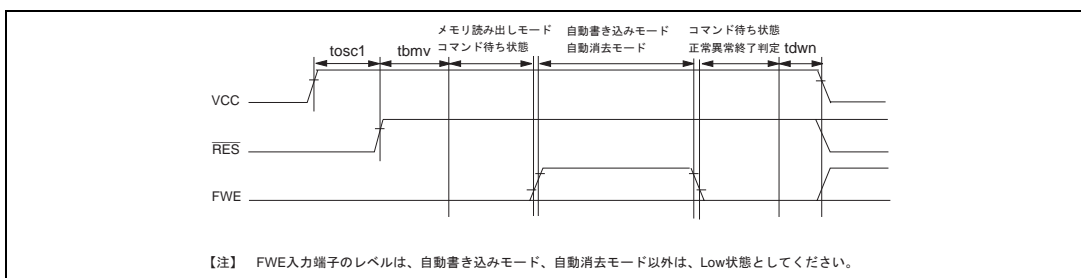


図 17.29 発振安定時間、ライタモードセットアップ、電源立ち下げシーケンス

17.11.10 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
 - (2) オンボードプログラムモードにて書き込み / 消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
- 【注】
1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化 (消去) レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

17.12 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能、およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。

PROM ライタは、ルネサス テクノロジ 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256V3A)、または 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているものを使用してください。

ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

(2) 電源投入 / 切断時の注意 (図 17.30 ~ 図 17.32 参照)

FWE 端子への High レベル印加は V_{CC} 確定後に行ってください。また、 V_{CC} を切断する前に FWE 端子を Low レベルにしてください。

V_{CC} 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。

(3) FWE の印加 / 解除の注意 (図 17.30 ~ 図 17.32 参照)

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。

FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

(a) V_{CC} 電圧が定格電圧の範囲で安定している状態で FWE を印加してください。

発振が安定している状態 (発振安定時間経過後) で FWE を印加してください。

(b) ブートモードでは、FWE の印加 / 解除はリセット中に行ってください。

(c) ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = High レベル / Low レベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE 入力の切り替えが可能です。

(d) プログラムが暴走していない状態で FWE を印加してください。

(e) FWE の解除は FLMCR1 の SWE、ESU、PSU、EV、PV、P、E ビットをクリアした状態で行ってください。

FWE の印加 / 解除時に、誤って SWE、ESU、PSU、EV、PV、P、E ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCRI の P ビット、E ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE ビットのセット/クリアの注意

SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に 100 μ s 以上の待ち時間を置いて行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えできますが、SWE = 1 のときは、プログラムベリファイ/イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ (プログラム/イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。

また、プログラム/イレース/ベリファイ中に SWE ビットのクリアを行わないでください。

FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE ビットのセット/クリアにかかわらずリード/ライト可能です。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE 印加状態では書き込み/消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

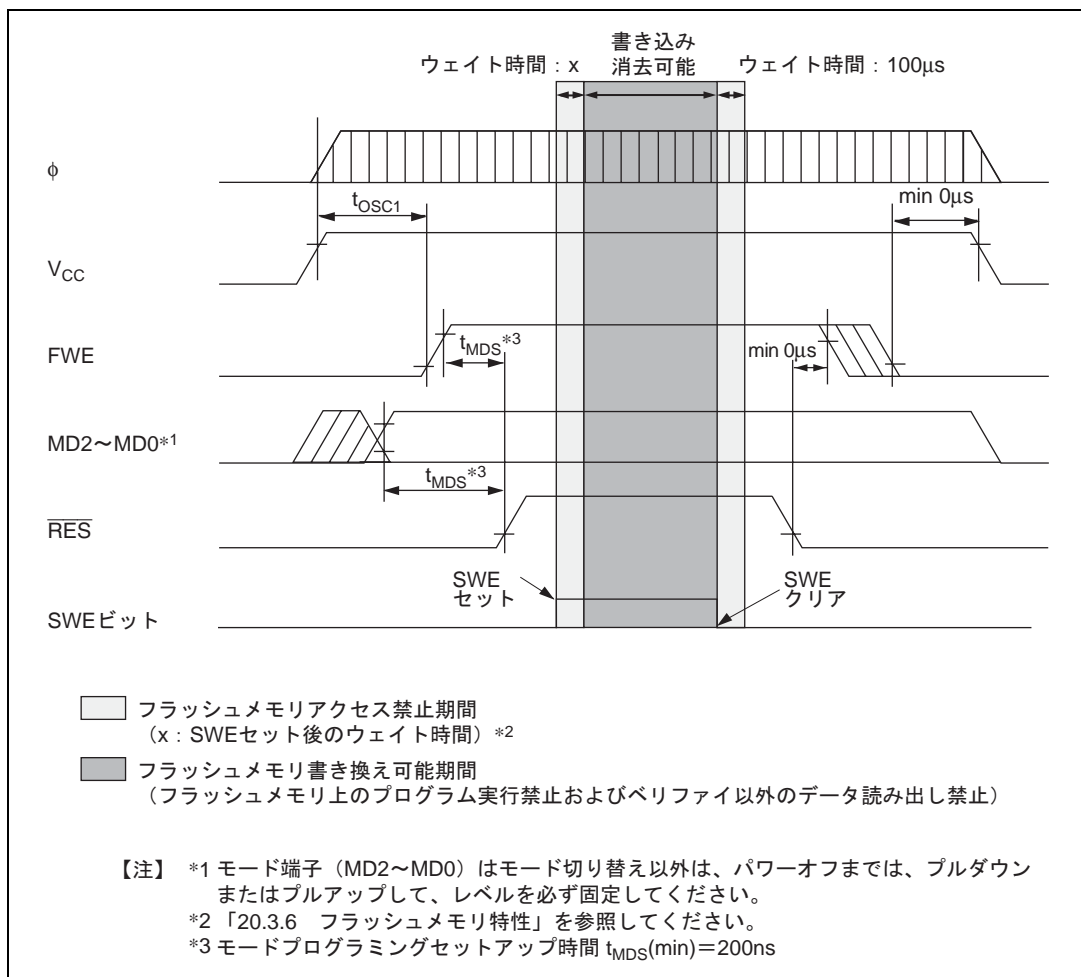


図 17.30 電源投入/切断タイミング (ブートモード)

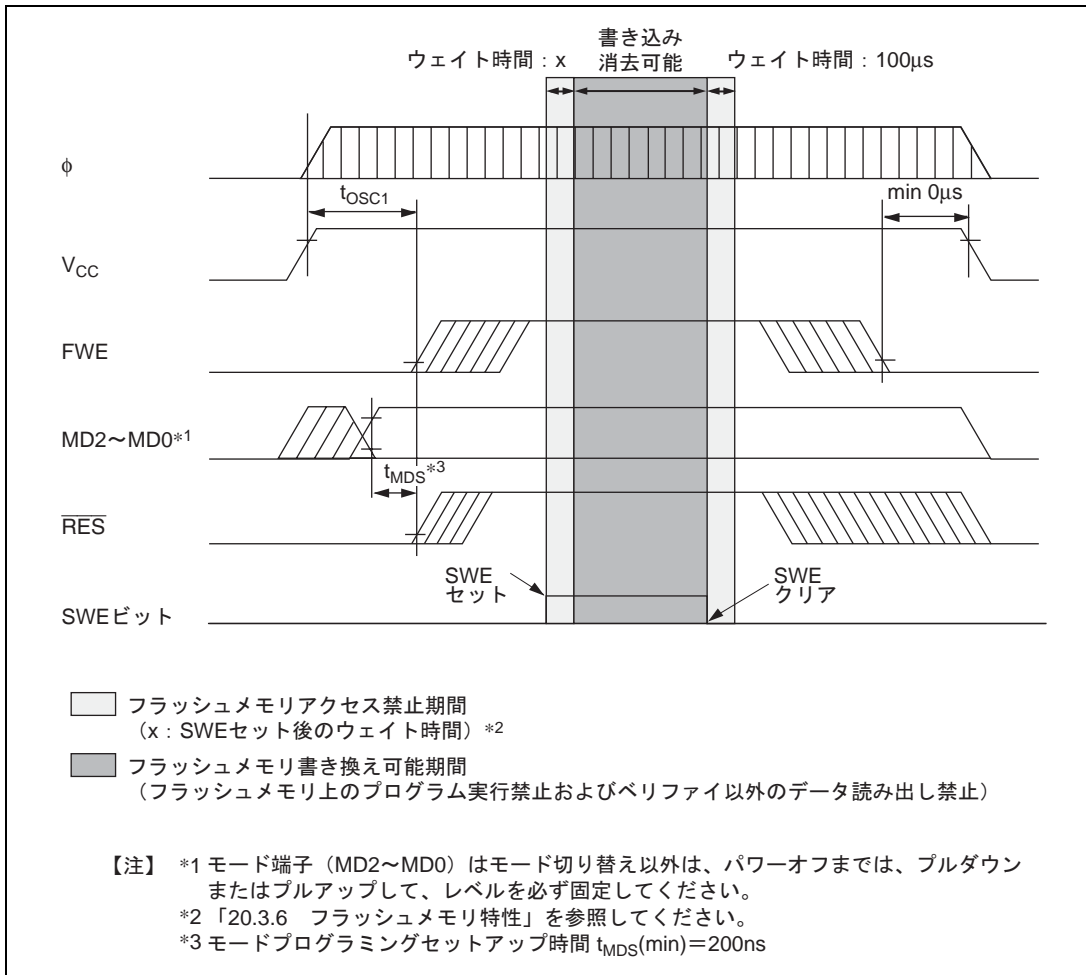


図 17.31 電源投入/切断タイミング (ユーザプログラムモード)

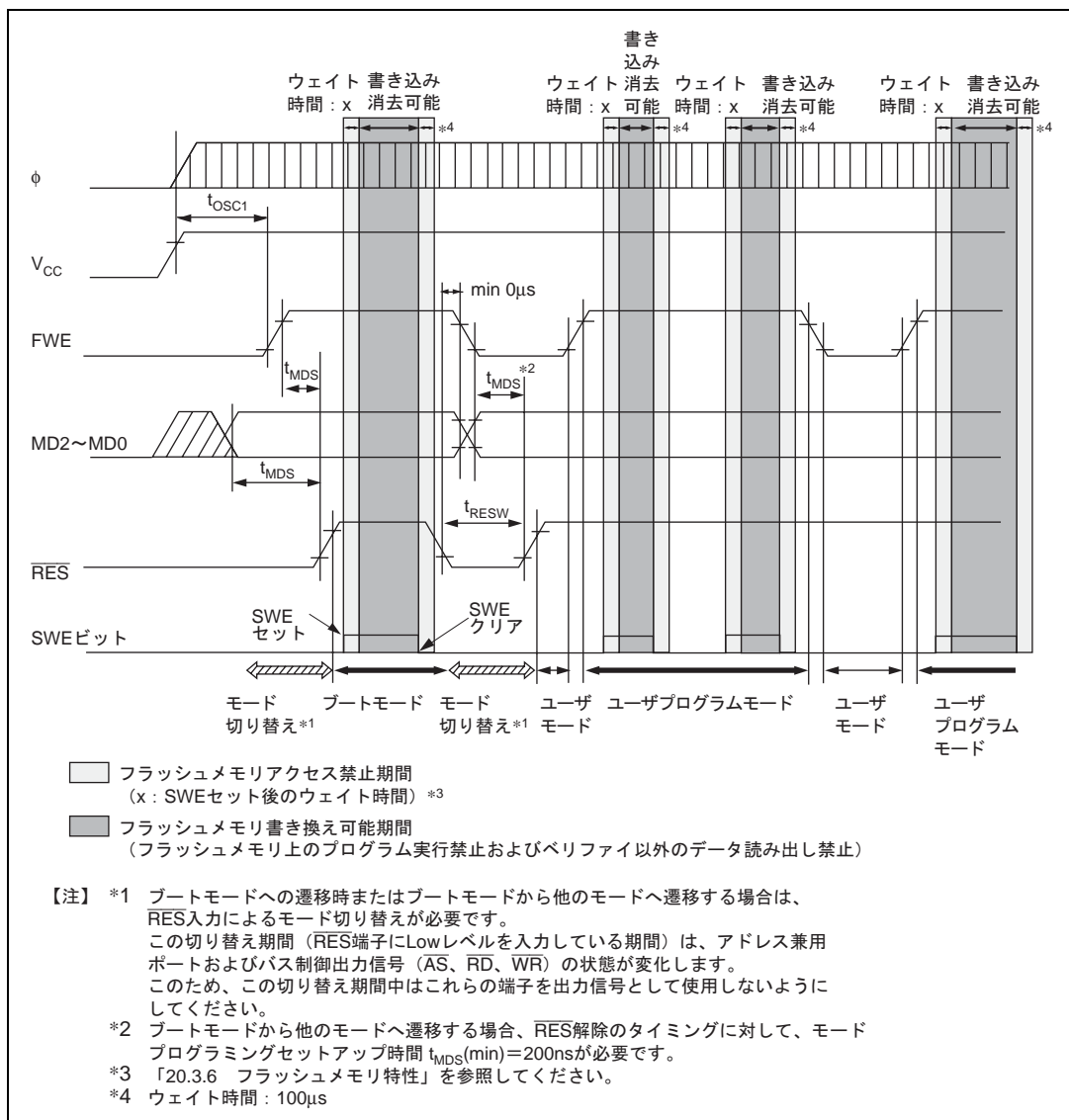


図 17.32 モード遷移タイミング
(例: ブートモード→ユーザモード↔ユーザプログラムモード)

17.13 フラッシュメモリの概要 (H8S/2319 F-ZTAT)

17.13.1 特長

本 LSI は 512K バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

- フラッシュメモリの 4 種類の動作モード
 - プログラムモード
 - イレースモード
 - プログラムベリファイモード
 - イレースベリファイモード
- 書き込み / 消去方式
書き込みは128バイト同時書き込みを行います。消去はブロック分割消去 (1ブロック単位)で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では4Kバイト、32Kバイト、64Kバイトのブロック単位で任意に設定することができます。
- 書き込み / 消去時間
フラッシュメモリの書き込み時間は、128バイト同時書き込みにて10.0ms (typ.)、1バイトあたり換算にて78 μ s (typ.)、消去時間は、50ms (typ.) です。
- 書き換え回数
フラッシュメモリの書き換えは、min100回可能です。
- オンボードプログラミングモード
オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う2種類のモードがあります。
 - ブートモード
 - ユーザプログラムモード
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合わせることができます。
- RAM によるフラッシュメモリのエミュレーション機能
フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。
- プロテクトモード
ソフトウェアプロテクトモード、ハードウェアプロテクトモード、およびエラープロテクトモードの3種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。
- ライタモード
フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外にPROMライタを用いたライタモードがあります。

17.13.2 概要

(1) ブロック図

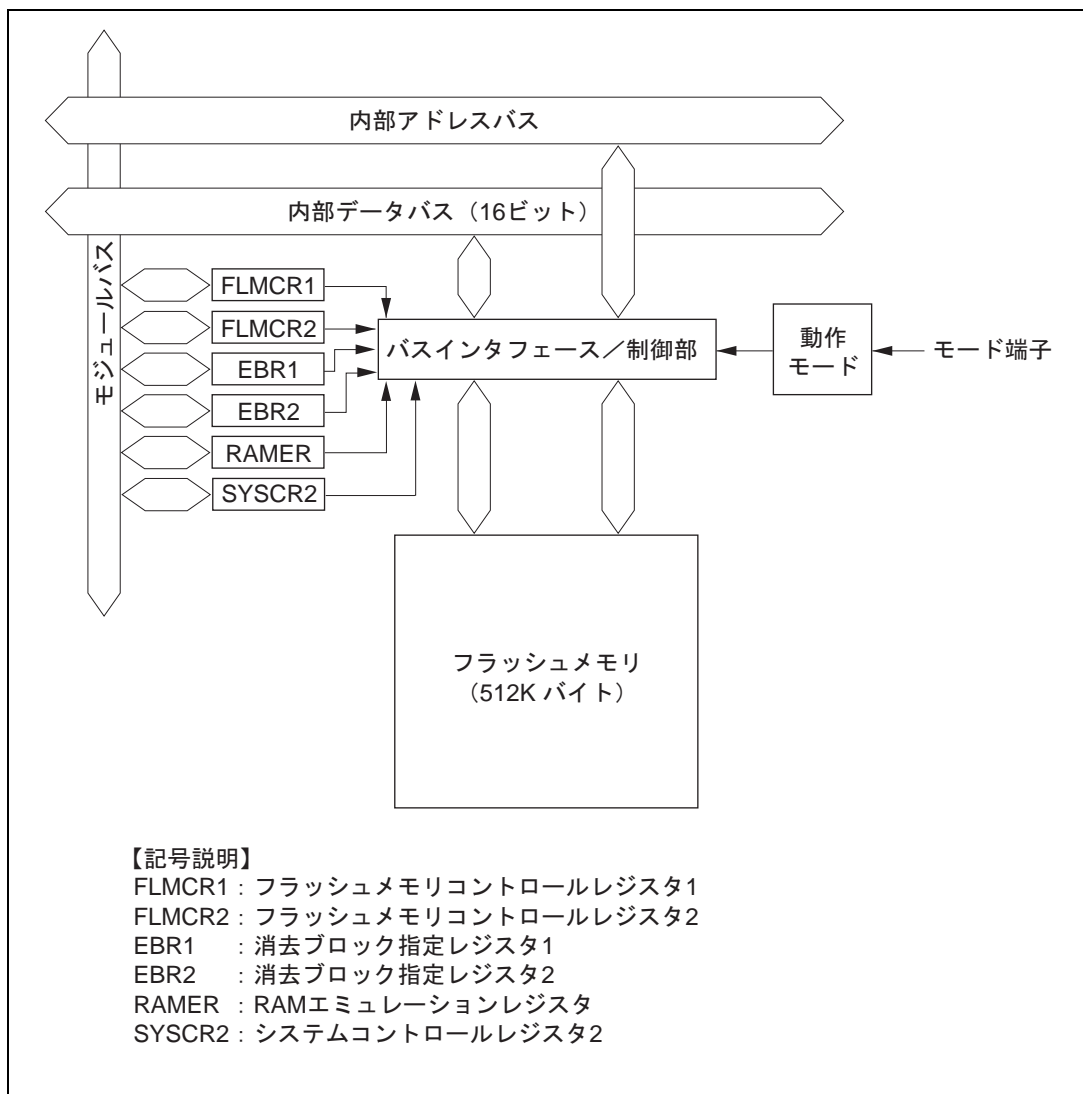


図 17.33 フラッシュメモリのブロック図

17.13.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子を設定し、リセットスタートすると、本 LSI は図 17.34 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

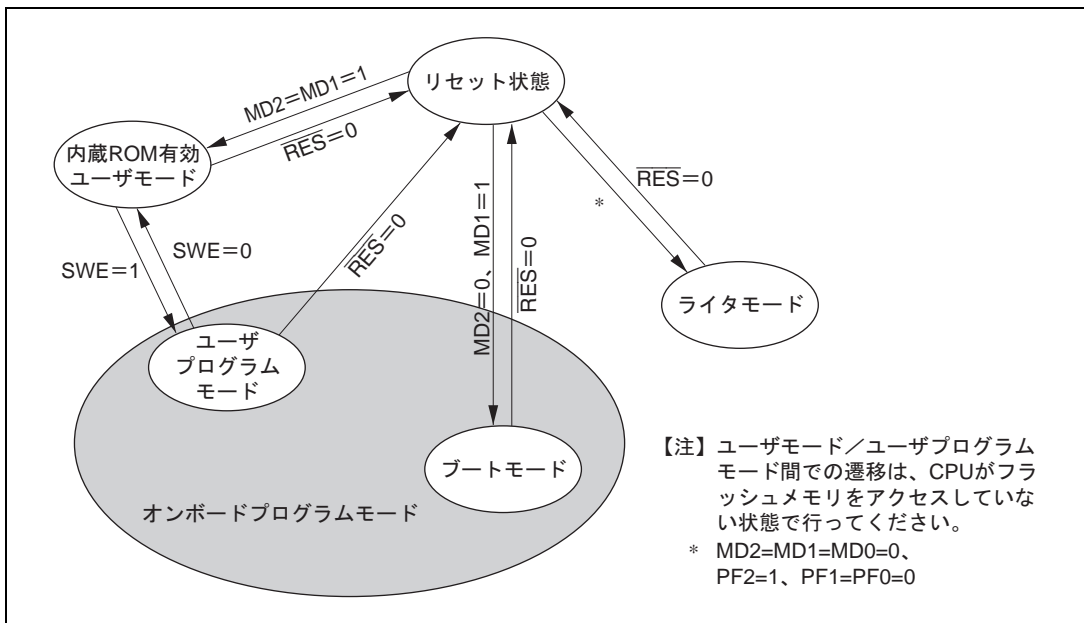


図 17.34 フラッシュメモリに関する状態遷移

17.13.4 オンボードプログラミングモード

(1) ブートモード

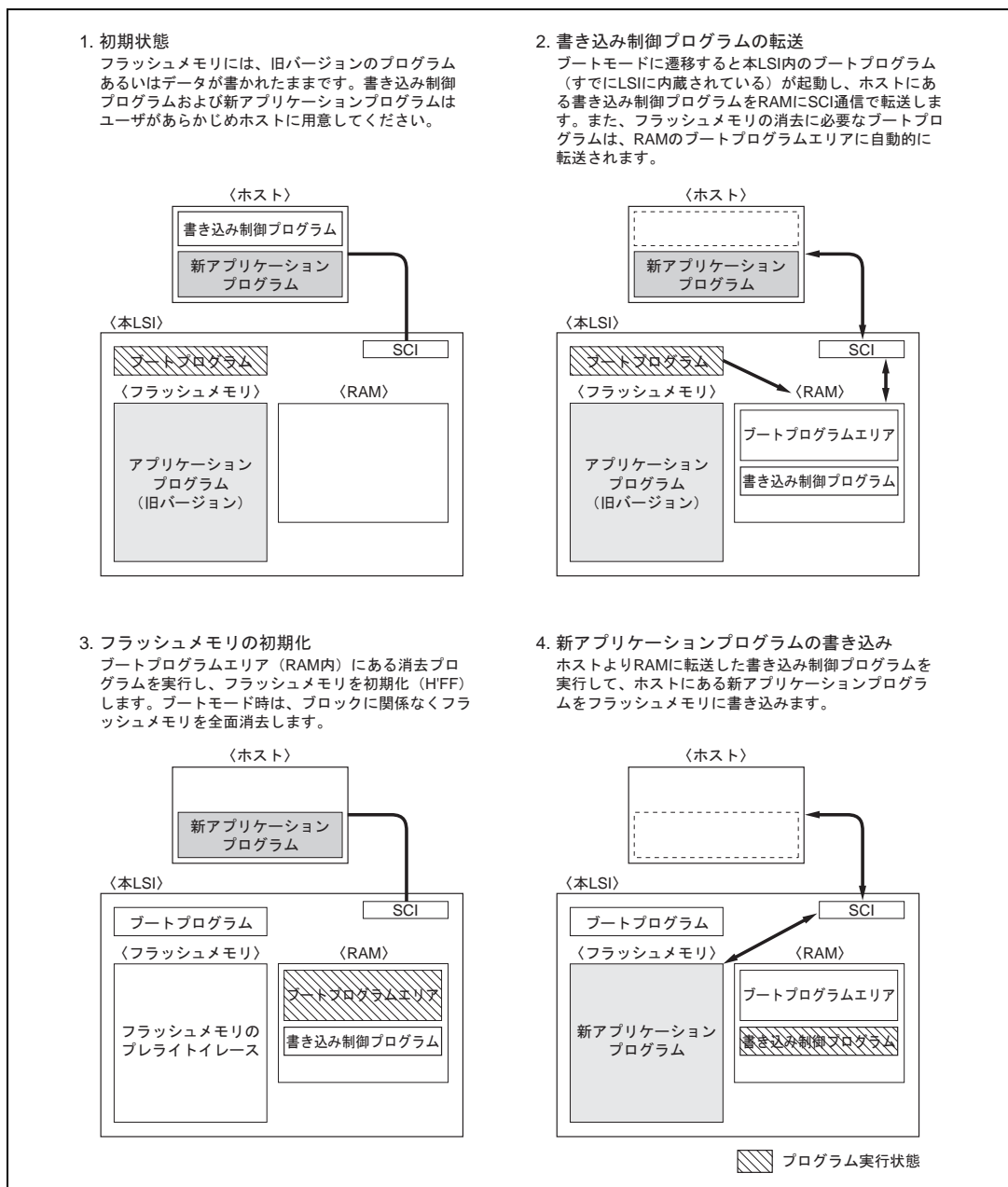
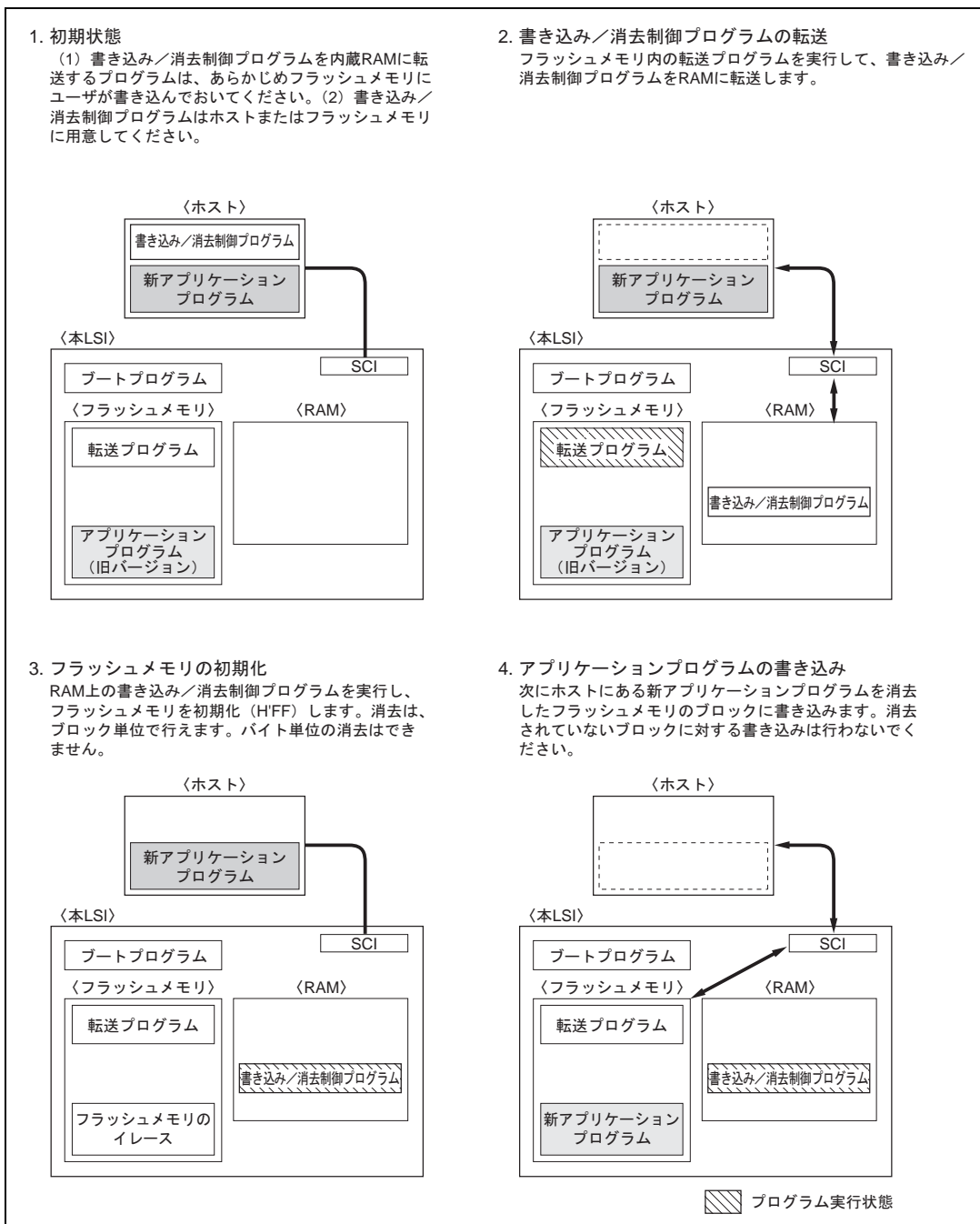


図 17.35 オンボードプログラミング・ブートモード

(2) ユーザプログラムモード



17.13.5 RAM によるフラッシュメモリのエミュレーション

(1) ユーザモード、ユーザプログラムモードのオーバーラップ RAM データの読み出し

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。

エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータがリードされます。

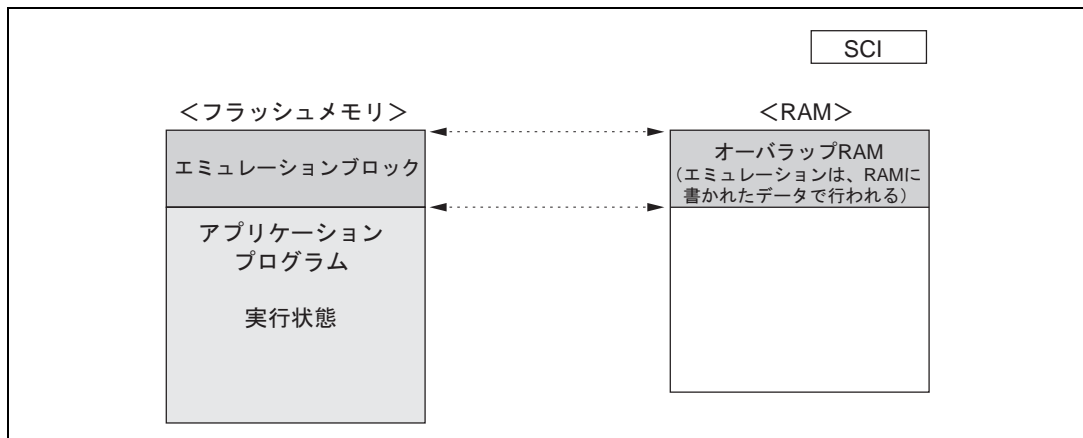


図 17.37 ユーザモード、ユーザプログラムモードのオーバーラップ RAM データの読み出し

(2) ユーザプログラムモードのオーバーラップ RAM データの書き込み

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへのライトを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

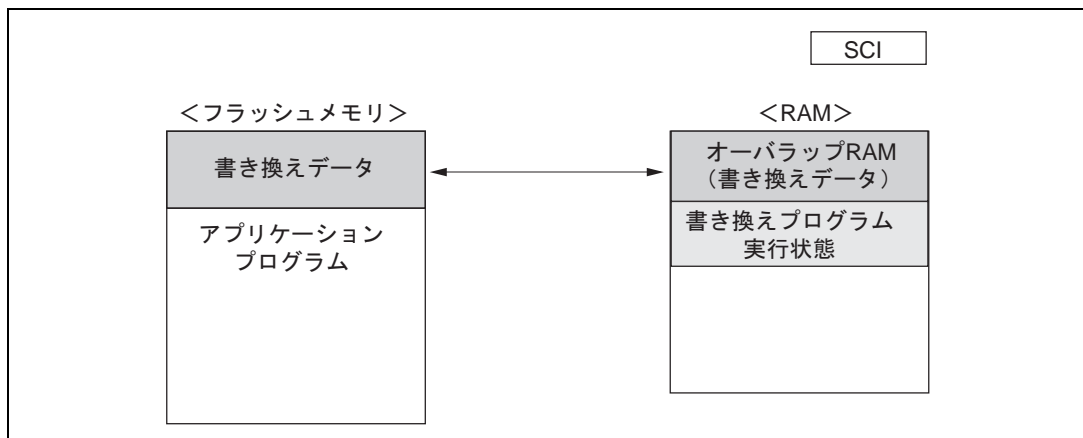


図 17.38 ユーザプログラムモードのオーバーラップ RAM データの書き込み

17.13.6 ブートモードとユーザプログラムモードの相違点

表 17.25 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ/プログラム/ プログラムベリファイ/エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

17.13.7 ブロック分割法

64K バイト (7 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。

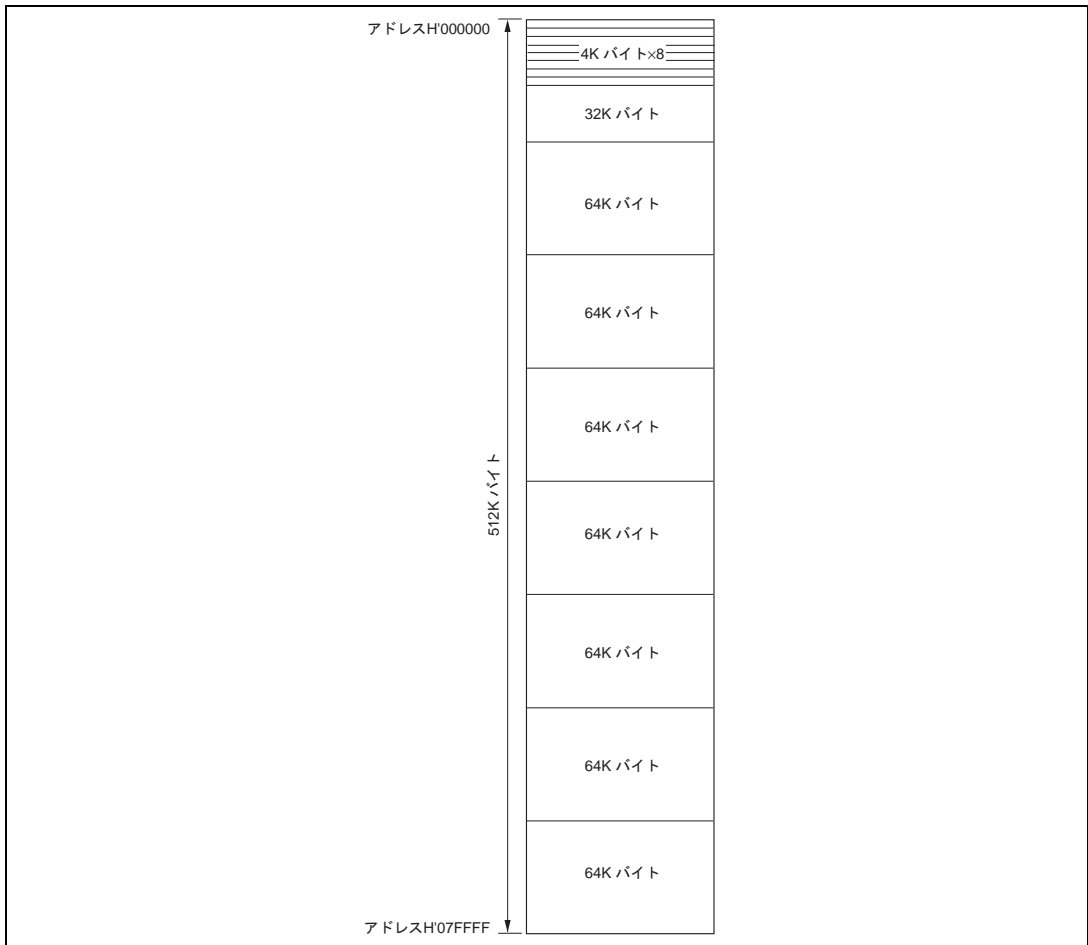


図 17.39 ブロック分割法

17.13.8 端子構成

フラッシュメモリは表 17.26 に示す端子により制御されます。

表 17.26 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート F2	PF2	入力	ライタモードの場合に、本 LSI の動作モードを設定
ポート F1	PF1	入力	ライタモードの場合に、本 LSI の動作モードを設定
ポート F0	PF0	入力	ライタモードの場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

17.13.9 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 17.27 に示します。FLMCR1、FLMCR2、EBR1、EBR2 をアクセスするためには、内蔵フラッシュメモリが有効なモードで、SYSCR2 の FLSHE ビットを 1 にセットする必要があります (RAMER を除く)。

表 17.27 レジスタ構成

名 称	略 称	R/W	初期値	アドレス ^{*1}
フラッシュメモリコントロールレジスタ 1	FLMCR1 ^{*6}	R/W ^{*3}	H'80	H'FFC8 ^{*2}
フラッシュメモリコントロールレジスタ 2	FLMCR2 ^{*6}	R/W ^{*3}	H'00	H'FFC9 ^{*2}
消去ブロック指定レジスタ 1	EBR1 ^{*6}	R/W ^{*3}	H'00 ^{*4}	H'FFCA ^{*2}
消去ブロック指定レジスタ 2	EBR2 ^{*6}	R/W ^{*3}	H'00 ^{*5}	H'FFCB ^{*2}
システムコントロールレジスタ 2	SYSCR2 ^{*7}	R/W	H'00	H'FF42
RAM エミュレーションレジスタ	RAMER	R/W	H'00	H'FEDB

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 フラッシュメモリのレジスタの選択はシステムコントロールレジスタ 2 (SYSCR2) の FLSHE ビットで行います。
 *3 内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。
 *4 FLMCR1 の SWE1 ビットがセットされていないときは H'00 に初期化されます。
 *5 FLMCR1 の SWE1 ビットがセットされていないときはビット 3~0 が 0 に初期化され、FLMCR2 の SWE2 ビットがセットされていないときはビット 7~4 が 0 に初期化されます。
 *6 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。
 *7 SYSCR2 は、F-ZTAT 版専用のレジスタです。マスク ROM 版では、リードすると不定値が読み出されます。ライトは無効です。

17.14 フラッシュメモリのレジスタ説明

17.14.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値	1	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'000000 ~ H'03FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、SWE1 ビットをセット後、EV1 ビットまたは PV1 ビットをセットします。アドレス H'000000 ~ H'03FFFF に対して、プログラムモードへ遷移させるには、SWE1 ビットをセット後、PSU1 ビットをセットし、最後に P1 ビットをセットします。アドレス H'000000 ~ H'03FFFF に対してイレースモードへ遷移するには、SWE1 ビットをセット後、ESU1 ビットをセットし、最後に E1 ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで H'80 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の ESU1、PSU1、EV1、PV1 ビットへの書き込みは SWE1 = 1 のとき、E1 ビットへの書き込みは SWE1 = 1、ESU1 = 1 のとき、P1 ビットへの書き込みは SWE1 = 1、PSU1 = 1 のときのみ有効です。

ビット 7 : フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。本 LSI では、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6 : ソフトウェアライトイネーブルビット 1 (SWE1)

アドレス H'000000 ~ H'03FFFF に対してフラッシュメモリの書き込み / 消去の有効または無効を選択するビットです (FLMCR1 のビット 5~0、EBR1 の 7~0 ビット、EBR2 の 3~0 ビットをセットするときにセットしてください)。

SWE1 = 1 のときは、プログラムベリファイ / イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。

ビット 6	説明	
SWE1		
0	書き込み無効	(初期値)
1	書き込み有効	

ビット5：イレースセットアップビット1 (ESU1)

アドレス H'000000 ~ H'03FFFF に対してイレースモードへの遷移の準備をするビットです (SWE1、PSU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット5	説明	
ESU1		
0	イレースセットアップ解除	(初期値)
1	イレースセットアップ [セット条件] SWE1=1 のとき	

ビット4：プログラムセットアップビット1 (PSU1)

アドレス H'000000 ~ H'03FFFF に対してプログラムモードへの遷移の準備をするビットです (SWE1、ESU1、EV1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット4	説明	
PSU1		
0	プログラムセットアップ解除	(初期値)
1	プログラムセットアップ [セット条件] SWE1=1 のとき	

ビット3：イレースベリファイ1 (EV1)

アドレス H'000000 ~ H'03FFFF に対してイレースベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、PV1、E1、P1 ビットを同時に設定しないでください)。

ビット3	説明	
EV1		
0	イレースベリファイモードを解除	(初期値)
1	イレースベリファイモードに遷移 [セット条件] SWE1=1 のとき	

ビット2：プログラムベリファイ1 (PV1)

アドレス H'000000 ~ H'03FFFF に対してプログラムベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、E1、P1 ビットを同時に設定しないでください)。

ビット2	説明	
PV1		
0	プログラムベリファイモードを解除	(初期値)
1	プログラムベリファイモードに遷移 [セット条件] SWE1=1 のとき	

ビット1：イレース1 (E1)

アドレス H'000000 ~ H'03FFFF に対してイレースモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、PV1、P1 ビットを同時に設定しないでください)。

ビット1	説明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] SWE1=1、ESU1=1 のとき

ビット0：プログラム1 (P1)

アドレス H'000000 ~ H'03FFFF に対してプログラムモードへの遷移、解除を選択するビットです (SWE1、PSU1、ESU1、EV1、PV1、E1 ビットを同時に設定しないでください)。

ビット0	説明
P1	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] SWE1=1、PSU1=1 のとき

17.14.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット	7	6	5	4	3	2	1	0
	FLER	SWE2	ESU2	PSU2	EV2	PV2	E2	P2
初期値	0	0	0	0	0	0	0	0
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'040000 ~ H'07FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、SWE2 ビットをセット後、EV2 ビットまたは PV2 ビットをセットします。アドレス H'040000 ~ H'07FFFF に対して、プログラムモードへ遷移させるには、SWE2 ビットをセット後、PSU2 ビットをセットし、最後に P2 ビットをセットします。アドレス H'040000 ~ H'07FFFF に対してイレースモードへ遷移するには、SWE2 ビットをセット後、ESU2 ビットをセットし、最後に E2 ビットをセットします。FLMCR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR2 の ESU2、PSU2、EV2、PV2 ビットへの書き込みは SWE2=1 のとき、E2 ビットへの書き込みは SWE2=1、ESU2=1 のとき、P2 ビットへの書き込みは SWE2=1、PSU2=1 のときのみ有効です。

ビット7: フラッシュメモリエラー (FLER)

フラッシュメモリ動作中(書き込み、消去)にエラーが発生したことを示すビットです。FLER = 1に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が無効 [クリア条件]リセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が有効 [セット条件]「17.17.3 エラープロテクト」参照

ビット6: ソフトウェアライトイネーブルビット2 (SWE2)

アドレス H'040000 ~ H'07FFFF に対してフラッシュメモリの書き込み/消去の有効または無効を選択するビットです (FLMCR2 のビット 5 ~ 0、EBR2 の 7 ~ 4 ビットをセットするときにセットしてください)。

SWE2 = 1 のときは、プログラムベリファイ/イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。

ビット6	説明
SWE2	
0	書き込み無効 (初期値)
1	書き込み有効

ビット 5 : イレースセットアップビット 2 (ESU2)

アドレス H'040000 ~ H'07FFFF に対してイレースモードへの遷移の準備をするビットです(SWE2、PSU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット 5	説明
ESU2	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] SWE2=1 のとき

ビット 4 : プログラムセットアップビット 2 (PSU2)

アドレス H'040000 ~ H'07FFFF に対してプログラムモードへの遷移の準備をするビットです(SWE2、ESU2、EV2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット 4	説明
PSU2	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] SWE2=1 のとき

ビット 3 : イレースベリファイ 2 (EV2)

アドレス H'040000 ~ H'07FFFF に対してイレースベリファイモードへの遷移、解除を選択するビットです (SWE2、ESU2、PSU2、PV2、E2、P2 ビットを同時に設定しないでください)。

ビット 3	説明
EV2	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] SWE2=1 のとき

ビット 2 : プログラムベリファイ 2 (PV2)

アドレス H'040000 ~ H'07FFFF に対してプログラムベリファイモードへの遷移、解除を選択するビットです (SWE2、ESU2、PSU2、EV2、E2、P2 ビットを同時に設定しないでください)。

ビット 2	説明
PV2	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] SWE2=1 のとき

ビット1：イレース2 (E2)

アドレス H'040000 ~ H'07FFFF に対してイレースモードへの遷移、解除を選択するビットです (SWE2、ESU2、PSU2、EV2、PV2、P2 ビットを同時に設定しないでください)。

ビット1	説明
E2	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] SWE2 = 1、ESU2 = 1 のとき

ビット0：プログラム2 (P2)

アドレス H'040000 ~ H'07FFFF に対してプログラムモードへの遷移、解除を選択するビットです (SWE2、PSU2、ESU2、EV2、PV2、E2 ビットを同時に設定しないでください)。

ビット0	説明
P2	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] SWE2 = 1、PSU2 = 1 のとき

17.14.3 消去ブロック指定レジスタ 1 (EBR1)

ビット	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FLMCR1 の SWE1 ビットが設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は EBR2 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 17.28 を参照してください。

17.14.4 消去ブロック指定レジスタ 2 (EBR2)

ビット	7	6	5	4	3	2	1	0
	EB15	EB14	EB13	EB12	EB11	EB10	EB9	EB8
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FLMCR1 の SWE1 ビットが設定されていないときは、ビット 3~0 が 0 に初期化され、FLMCR2 の SWE2 ビットが設定されていないときは、ビット 7~4 が 0 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります (それ以外のブロックは、消去プロテクト状態になります)。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます)。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 17.28 を参照してください。

表 17.28 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4K バイト)	H'000000 ~ H'000FFF
EB1 (4K バイト)	H'001000 ~ H'001FFF
EB2 (4K バイト)	H'002000 ~ H'002FFF
EB3 (4K バイト)	H'003000 ~ H'003FFF
EB4 (4K バイト)	H'004000 ~ H'004FFF
EB5 (4K バイト)	H'005000 ~ H'005FFF
EB6 (4K バイト)	H'006000 ~ H'006FFF
EB7 (4K バイト)	H'007000 ~ H'007FFF
EB8 (32K バイト)	H'008000 ~ H'00FFFF
EB9 (64K バイト)	H'010000 ~ H'01FFFF
EB10 (64K バイト)	H'020000 ~ H'02FFFF
EB11 (64K バイト)	H'030000 ~ H'03FFFF
EB12 (64K バイト)	H'040000 ~ H'04FFFF
EB13 (64K バイト)	H'050000 ~ H'05FFFF
EB14 (64K バイト)	H'060000 ~ H'06FFFF
EB15 (64K バイト)	H'070000 ~ H'07FFFF

17.14.5 システムコントロールレジスタ 2 (SYSCR2)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	FLSHE	-	-	-
初期値	0	0	0	0	0	0	0	0
R/W	-	-	-	-	R/W	-	-	R/W

SYSCR2は8ビットのリード/ライト可能なレジスタで、内蔵フラッシュメモリの制御を行います。

SYSCR2はリセットまたはハードウェアスタンバイモード時のH'00に初期化されます。

SYSCR2は、F-ZTAT版のみ有効なレジスタです。マスクROM版では、リードすると不定値が読み出されます。ライトは無効です。

ビット7~4: リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

ビット3: フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) のCPUアクセスを制御します。FLSHEビットを1にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説明
FLSHE	
0	アドレス H'FFFFFFC8 ~ H'FFFFFFCB のエリアはフラッシュ制御レジスタを非選択 (初期値)
1	アドレス H'FFFFFFC8 ~ H'FFFFFFCB のエリアはフラッシュ制御レジスタを選択

ビット2、1：リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

ビット0：リザーブビット

0をライトしてください。

17.14.6 RAM エミュレーションレジスタ (RAMER)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。リセット、またはハードウェアスタンバイモードのときにH'00に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMERの設定は、ユーザモード、ユーザプログラムモードで行ってください。

フラッシュメモリエリアの分割法は、表 17.29 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット7~4：リザーブビット

読み出すと常に0が読み出されます。ライトは無効です。

ビット3：RAM セレクト (RAMS)

RAMによるフラッシュメモリのエミュレーション選択/非選択を設定するビットです。RAMS = 1のときは、フラッシュメモリ全ブロックの書き込み/消去プロテクト状態となります。

ビット3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み/消去プロテクト有効

ビット2~0: フラッシュメモリエリア選択

ビット3とともに使用し、RAMと重ね合わせるフラッシュメモリのエリアを選択します(表17.29参照)。

表 17.29 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFDC00 ~ H'FFE000	RAM エリア 4K バイト	0	*	*	*
H'000000 ~ H'000FFF	EB0 (4K バイト)	1	0	0	0
H'001000 ~ H'001FFF	EB1 (4K バイト)	1	0	0	1
H'002000 ~ H'002FFF	EB2 (4K バイト)	1	0	1	0
H'003000 ~ H'003FFF	EB3 (4K バイト)	1	0	1	1
H'004000 ~ H'004FFF	EB4 (4K バイト)	1	1	0	0
H'005000 ~ H'005FFF	EB5 (4K バイト)	1	1	0	1
H'006000 ~ H'006FFF	EB6 (4K バイト)	1	1	1	0
H'007000 ~ H'007FFF	EB7 (4K バイト)	1	1	1	1

* : Don't care

17.15 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあります。各モードへ遷移する端子の設定方法を、表17.30に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図17.34を参照してください。

表 17.30 オンボードプログラミングモードの設定方法

モード		端子		
MCU モード	CPU 動作モード・内容	MD2	MD1	MD0
ブートモード	アドバンスト・内蔵 ROM 有効拡張モード	0	1	0
	アドバンスト・シングルチップモード			1
ユーザプログラムモード*	アドバンスト・内蔵 ROM 有効拡張モード	1	1	0
	アドバンスト・シングルチップモード			1

【注】 * 通常はユーザモードを使用してください。書き込み/消去/ベリファイを行う前に SWE ビットを1に設定し、ユーザプログラムモードに遷移してください。

17.15.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリへの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 17.40 にブートモード時のシステム構成図、図 17.41 にブートモード実行手順を示します。

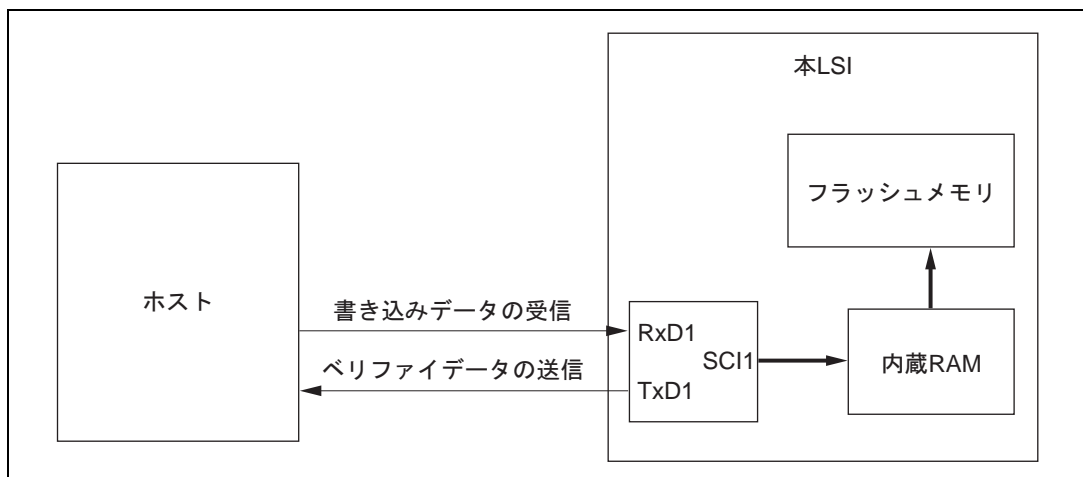


図 17.40 ブートモード時のシステム構成図

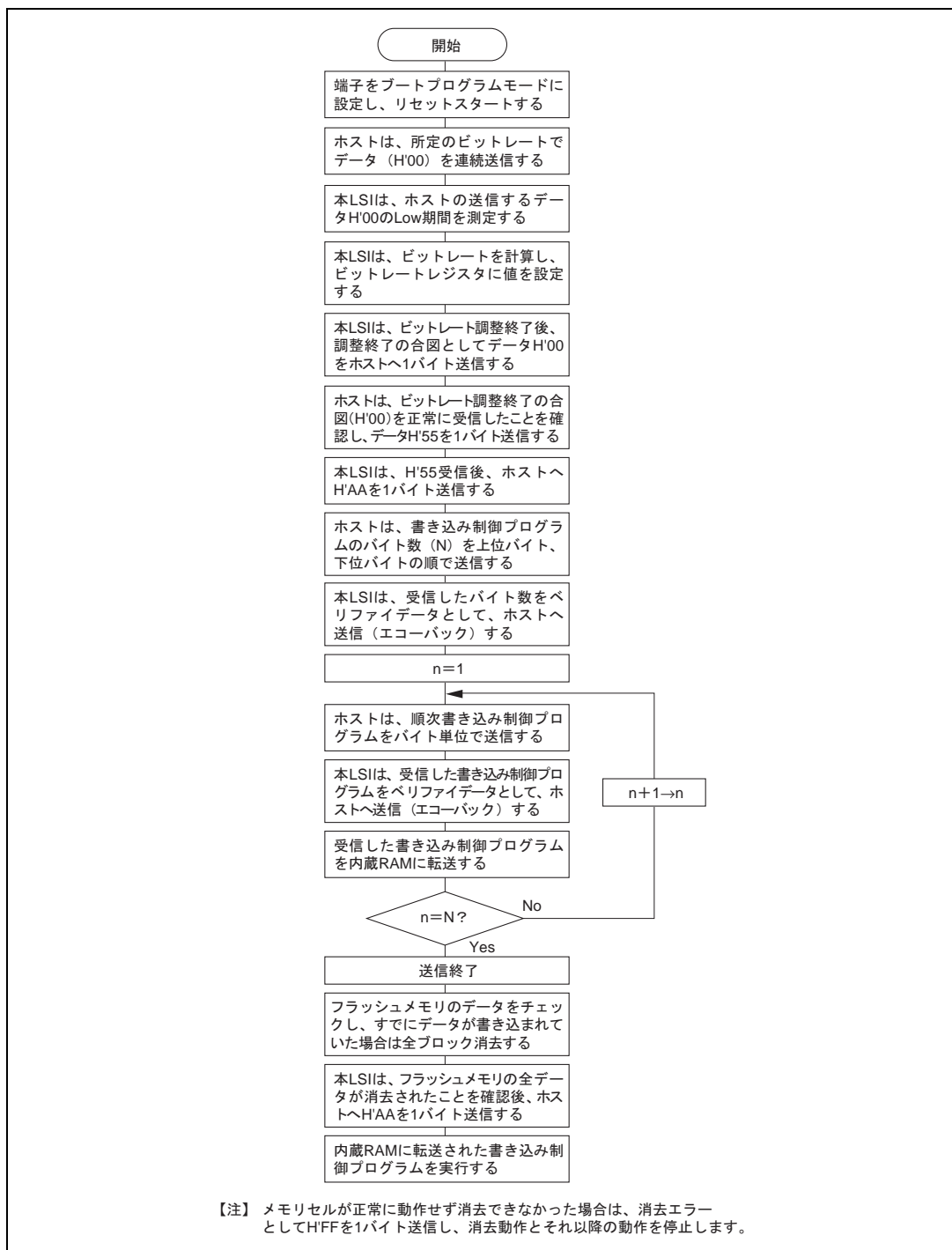


図 17.41 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (9,600、19,200) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 17.31 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。



図 17.42 SCI ビットレートの自動合わせ込み動作

表 17.31 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
19,200bps	16 ~ 25MHz
9,600bps	8 ~ 25MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'FFDC00～H'FFE3FFの2Kバイトは、図17.43に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアはH'FFE400～H'FFFBFFです。ブートプログラムのエリアは、RAM内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

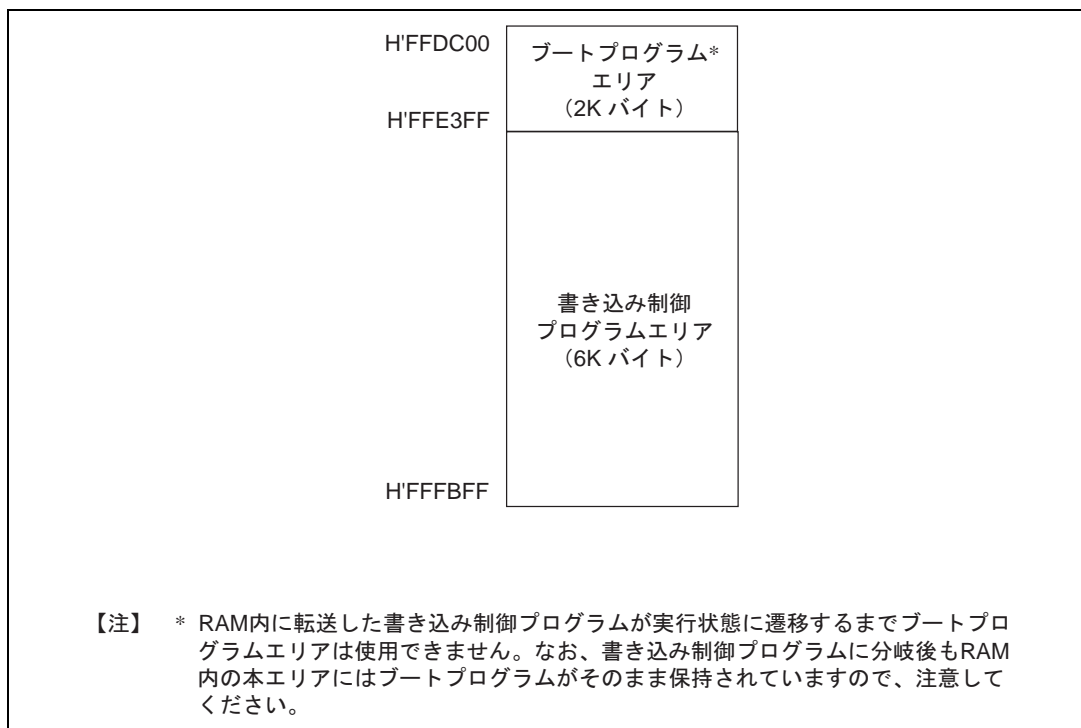


図 17.43 ブートモード時の RAM エリア

(3) ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCIのRxDI端子のLow期間を測定します。RxDI端子がHighの状態ではリセット解除してください。リセット解除後、RxDI端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。

- (d) RxD1端子およびTxD1端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム (RAMエリアのH'FFE400 ~ H'FFFBFF) に分岐するときに内蔵SCI (チャンネル1) の送受信動作を終了 (SCRのRE = 0、TE = 0) しますが、BRRには、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子TxD1は、Highレベル出力状態 (P31DDR = 1、P31DR = 1) となっています。
さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。
特にスタックポインタ (SP) は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについても、初期設定を必ず行ってください。
- (f) ブートモードへの遷移は表17.30のモード設定に従い、端子を設定しリセットスタートすることにより可能です。
ブートモードを解除するには、リセット端子をLowレベルにしてから最低20ステート経過後、モード端子を設定し、リセット解除*1することにより可能です。また、WDTのオーバフローリセットが発生した場合もブートモードを解除することが可能です。
ブートモードの途中でモード端子の入力レベルを変化させないでください。
- (g) リセット中にモード端子の入力レベルを変化 (たとえばLowレベル→Highレベル) させると、マイコンの動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{HWR}) の状態が変化*2します。
このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

【注】 *1 モード端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間 ($t_{MDS} = 200\text{ns}$) を満足する必要があります。

*2 「第8章 I/Oポート」を参照してください。

17.15.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み / 消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み / 消去制御プログラムを内蔵しておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 6、7 で起動します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 6、7 と同じ動作をします。

アドレス H'000000 ~ H'03FFFF に対するフラッシュメモリへの書き込み / 消去を行うために SWE1 ビットを 1 にセットしている間は、当該アドレスエリア (H'000000 ~ H'03FFFF) の読み出しができず、アドレス H'040000 ~ H'07FFFF に対するフラッシュメモリへの書き込み / 消去を行うために SWE2 ビットを 1 にセットしている間は当該アドレスエリア (H'040000 ~ H'07FFFF) を読み出すことはできません。書き込み / 消去を行う制御プログラムは、内蔵 RAM / 外部メモリまたは当該アドレスエリア外のフラッシュメモリ上で実行するようにしてください。外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は内蔵 RAM 上に置くようにしてください。

図 17.44 に書き込み / 消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

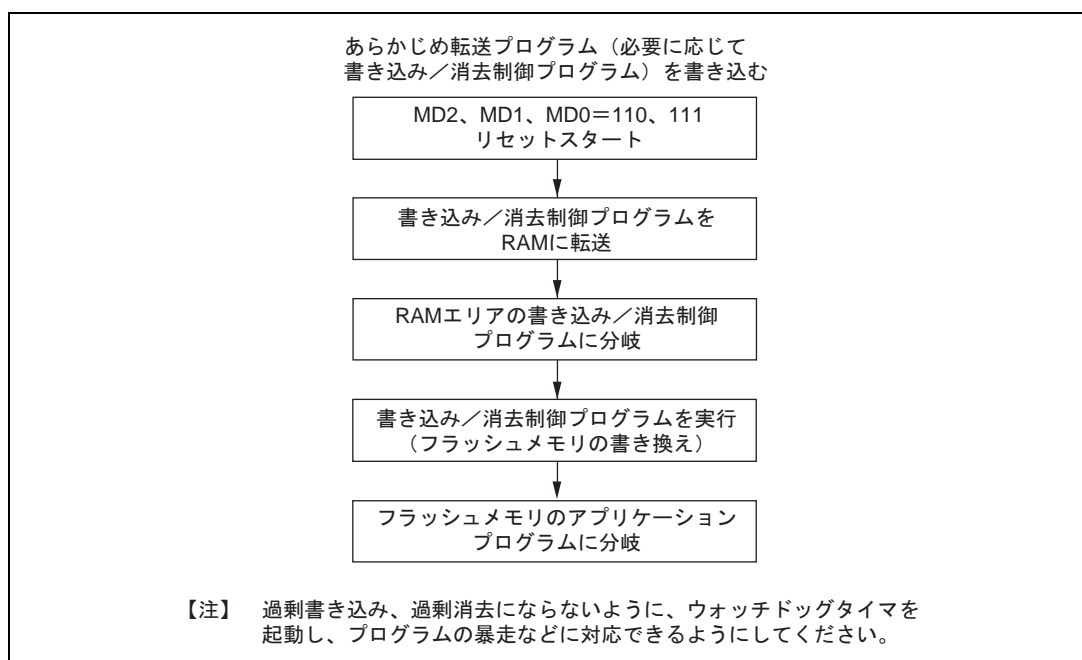


図 17.44 ユーザプログラムモードの実行手順例

17.16 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。アドレス H'000000 ~ H'03FFFF に対しては、FLMCR1 の PSU1 ビット、ESU1 ビット、P1 ビット、E1 ビット、PV1 ビット、EV1 ビットをセットすることにより各動作モードへ遷移し、アドレス H'040000 ~ H'07FFFF に対しては、FLMCR2 の PSU2 ビット、ESU2 ビット、P2 ビット、E2 ビット、PV2 ビット、EV2 ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム(書き込み制御プログラム)は、内蔵 RAM、あるいは外部メモリ、または当該アドレスエリア外のフラッシュメモリ上に置き、実行するようにしてください。外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は内蔵 RAM 上に置くようにしてください。また、フラッシュメモリへの書き込み命令実行前後に DTC が起動しないようにしてください。

- 【注】
1. FLMCR1 の SWE1、ESU1、PSU1、EV1、PV1、E1、P1 ビット、FLMCR2 の SWE2、ESU2、PSU2、EV2、PV2、E2、P2 ビットのセット / リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。
 3. アドレス H'000000 ~ H'03FFFF と H'040000 ~ H'07FFFF は同時に書き込まないでください。同時に書き込んだ場合の動作は保証されません。

17.16.1 プログラムモード (対象アドレス H'000000 ~ H'03FFFF のとき、 $n=1$ 、対象アドレス H'040000 ~ H'07FFFF のとき、 $n=2$)

フラッシュメモリへのデータ / プログラムの書き込みを行う場合は、図 17.45 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ n (FLMCR n) の各ビットのセット / クリア後のウェイト時間 (x 、 y 、 $z1$ 、 $z2$ 、 $z3$ 、 α 、 β 、 γ 、 ε 、 η 、 θ)、最大書き込み回数 (N) は「20.3.6 フラッシュメモリ特性」を参照してください。

フラッシュメモリコントロールレジスタ n (FLMCR n) の SWE n ビットを 1 にセットした後、(x) μ s 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません) に RAM 上の書き込みデータエリアの 128 バイトのデータを連続して書き込みます (データ転送はバイト単位で 128 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ($y + z2 + \alpha + \beta$) μ s より大きくしてください。その後、FLMCR n の PSU n ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、(y) μ s 以上の時間が経過してから、FLMCR n の P n ビットをセットすることで、

動作モードはプログラムモードへ遷移します。Pn ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、書き込みフロー中の表に従ってください。

17.16.2 プログラムベリファイモード (対象アドレス H'000000 ~ H'03FFFF のとき、n=1、対象アドレス H'040000 ~ H'07FFFF のとき、n=2)

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCRn の Pn ビットを 0 にクリア後、(α) μs 以上の時間が経過してから PSUn ビットを 0 にクリア) します。ウォッチドッグタイマを (β) μs 以上の時間が経過してから解除し、FLMCRn の PVn ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に、読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す (ベリファイデータは 16 ビットで読み出す) とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(ε) μs 以上置いてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 17.45 参照) し、再書き込みデータを再書き込みデータエリアに転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、(η) μs 以上の待機時間を置いて、FLMCRn の SWEn ビットを 0 にクリアし、(θ) μs 以上待機時間を置いてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、(N) 回を超えないようにしてください。

17. ROM (H8S/2319 F-ZTAT)

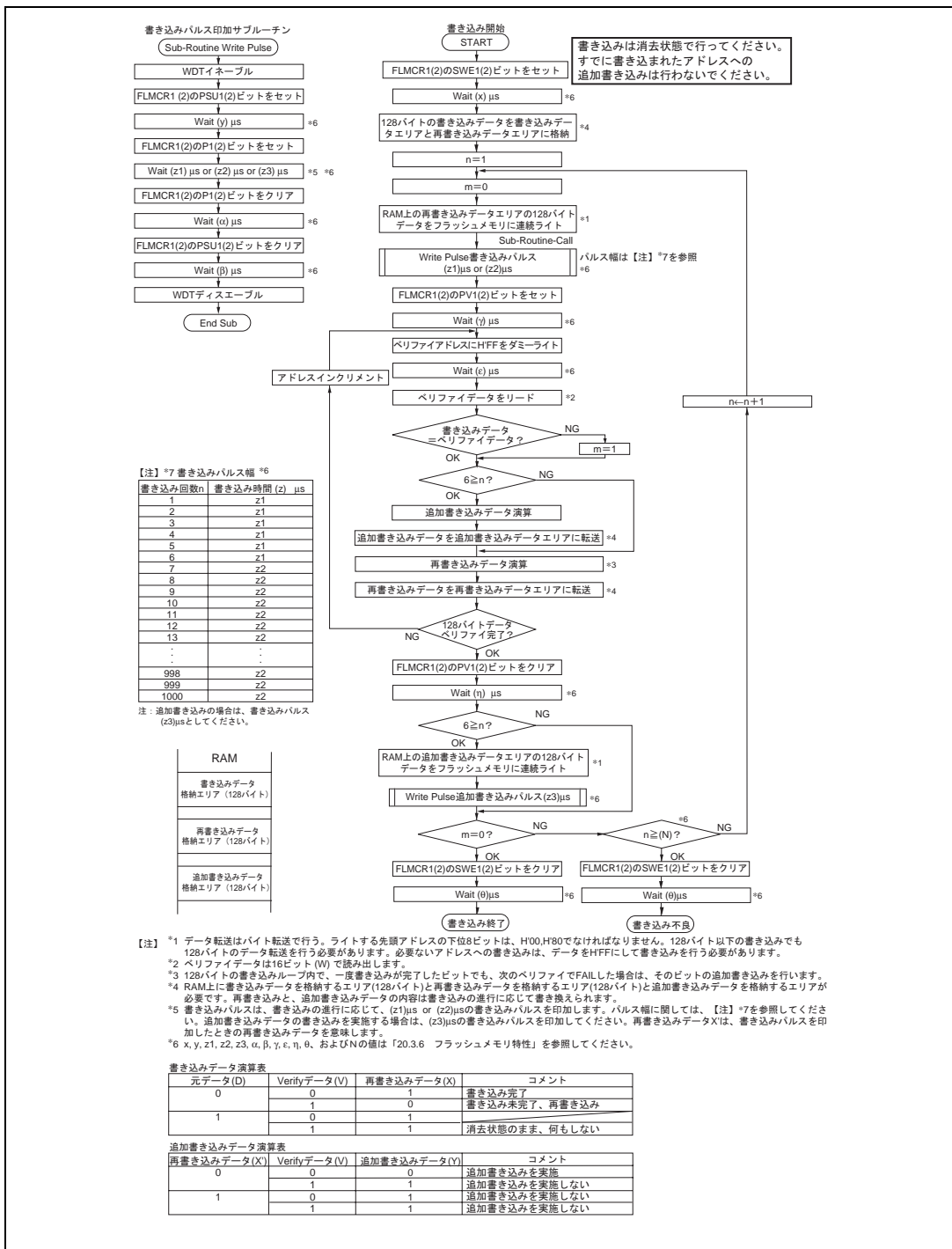


図 17.45 プログラム/プログラムペリファイフロー



17.16.3 イレースモード (対象アドレス H'000000 ~ H'03FFFF のとき、 n = 1、対象アドレス H'040000 ~ H'07FFFF のとき、n = 2)

フラッシュメモリの消去は 1 ブロックごとに、図 17.46 に示すイレース/イレースベリファイフロー (単一ブロック消去) チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ n (FLMCRn) の各ビットのセット/クリア後のウェイト時間 (x、y、z、α、β、γ、ε、η、θ、最大消去回数 (N)) は「20.3.6 フラッシュメモリ特性」を参照してください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ n (FLMCRn) の SWEn ビットを 1 にセット後、(x) μs 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバーフロー周期は (y + z + α + β) ms より大きくしてください。その後、FLMCRn の ESUn ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行い、(y) μs 以上の時間が経過後、FLMCRn の En ビットをセットすることで、動作モードはイレースモードへ遷移します。En ビットが設定されている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト (消去するメモリ全体のメモリデータをすべて 0 にする) を行う必要はありません。

17.16.4 イレースベリファイモード (対象アドレス H'000000 ~ H'03FFFF のとき、n = 1、対象アドレス H'040000 ~ H'07FFFF のとき、 n = 2)

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCRn の En ビットを 0 にクリア後、(α) μs 以上の時間が経過してから ESUn ビットを 0 にクリア) し、ウォッチドッグタイマを (β) μs 以上の時間が経過してから解除し、FLMCRn の EVn ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 16 ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(ε) μs 置いてから行ってください。読み出したデータが消去 (データがすべて 1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、(η) μs 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCRn の SWEn ビットを解除し、(θ) μs 以上の待機時間を置いてください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

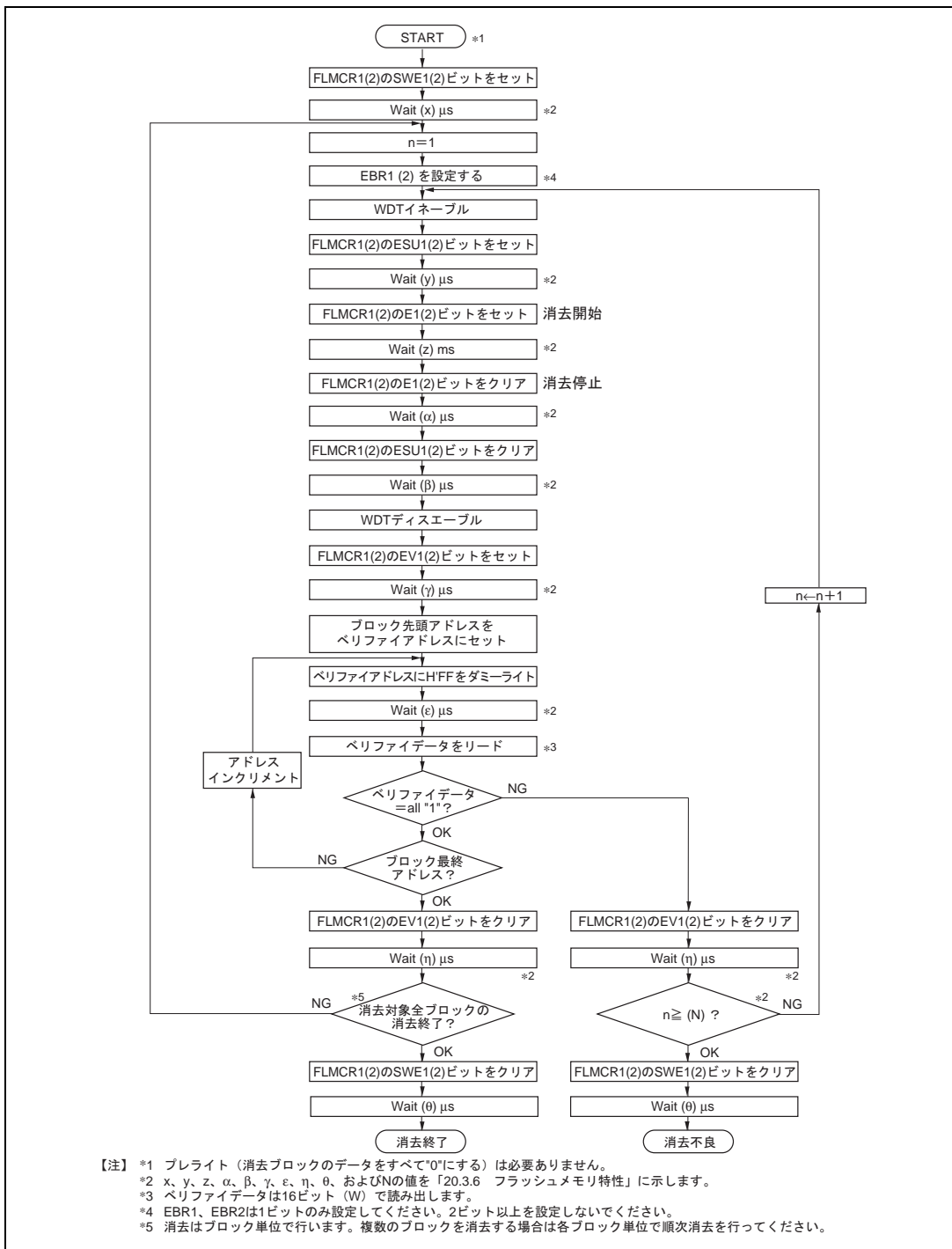


図 17.46 イレース/イレースベリファイフロー

17.17 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類があります。

17.17.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定はリセットされます。

表 17.32 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT によるオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

17.17.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE1 ビット、FLMCR2 の SWE2 ビット、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P1 ビットまたは E1 ビット、フラッシュメモリコントロールレジスタ2 (FLMCR2) の P2 ビットまたは E2 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 17.33 参照)。

表 17.33 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビットプロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE1 ビットを 0 にクリアすることにより、H'000000 ~ H'03FFFF エリアの書き込み/消去プロテクト状態になります (内蔵 RAM / 外部メモリ / H'040000 ~ H'07FFFF エリア上で実行してください)。 FLMCR2 の SWE2 ビットを 0 にクリアすることにより、H'040000 ~ H'07FFFF エリアの書き込み/消去プロテクト状態になります (内蔵 RAM / 外部メモリ / H'000000 ~ H'03FFFF エリア上で実行してください)。 		
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。 		

17.17.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1 ビット、P2 ビット、E1 ビット、E2 ビット、の再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1 ビット、PV2 ビット、EV1 ビット、EV2 ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中にフラッシュメモリをリードしたとき (ベクタリードおよび命令フェッチを含む)
 - (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後
 - (3) 書き込み / 消去中に SLEEP 命令 (ソフトウェアスタンバイを含む) を実行したとき
 - (4) 書き込み / 消去中に CPU 以外のバスマスタ (DTC) がバス権を確保したとき
- です。

また、エラープロテクト解除は、リセットまたはハードウェアスタンバイのみで行われます。

図 17.47 にフラッシュメモリの状態遷移図を示します。

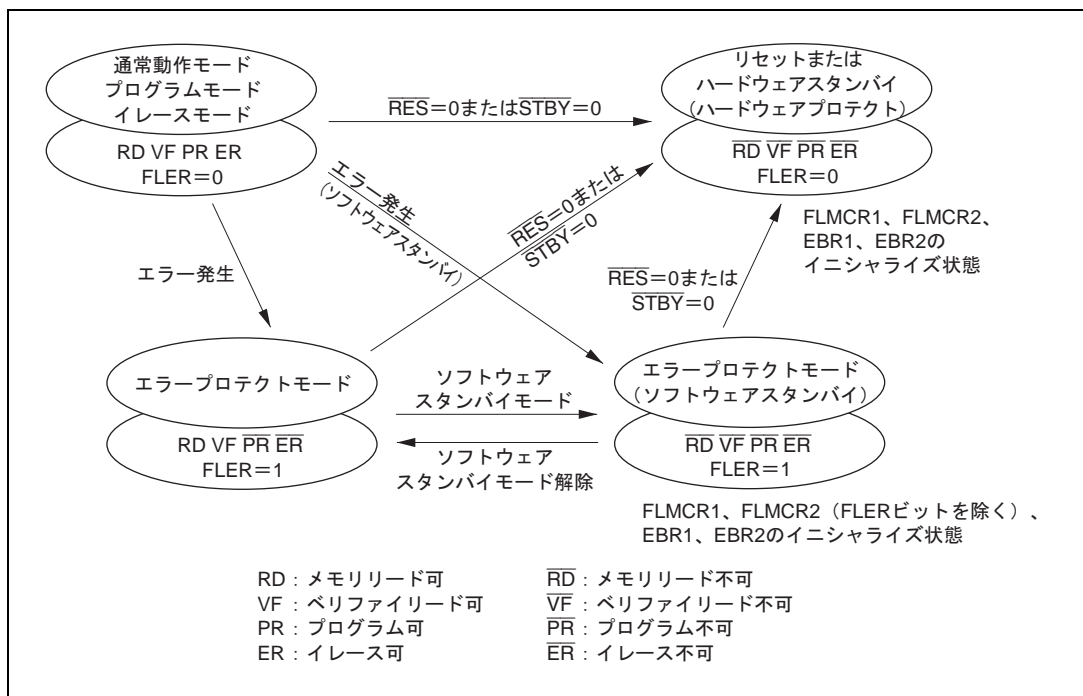


図 17.47 フラッシュメモリの状態遷移図

17.18 RAM によるフラッシュメモリのエミュレーション

17.18.1 RAM によるエミュレーション

RAMでフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAMエミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアにRAMの一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせたRAMエリアの2エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 17.48 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

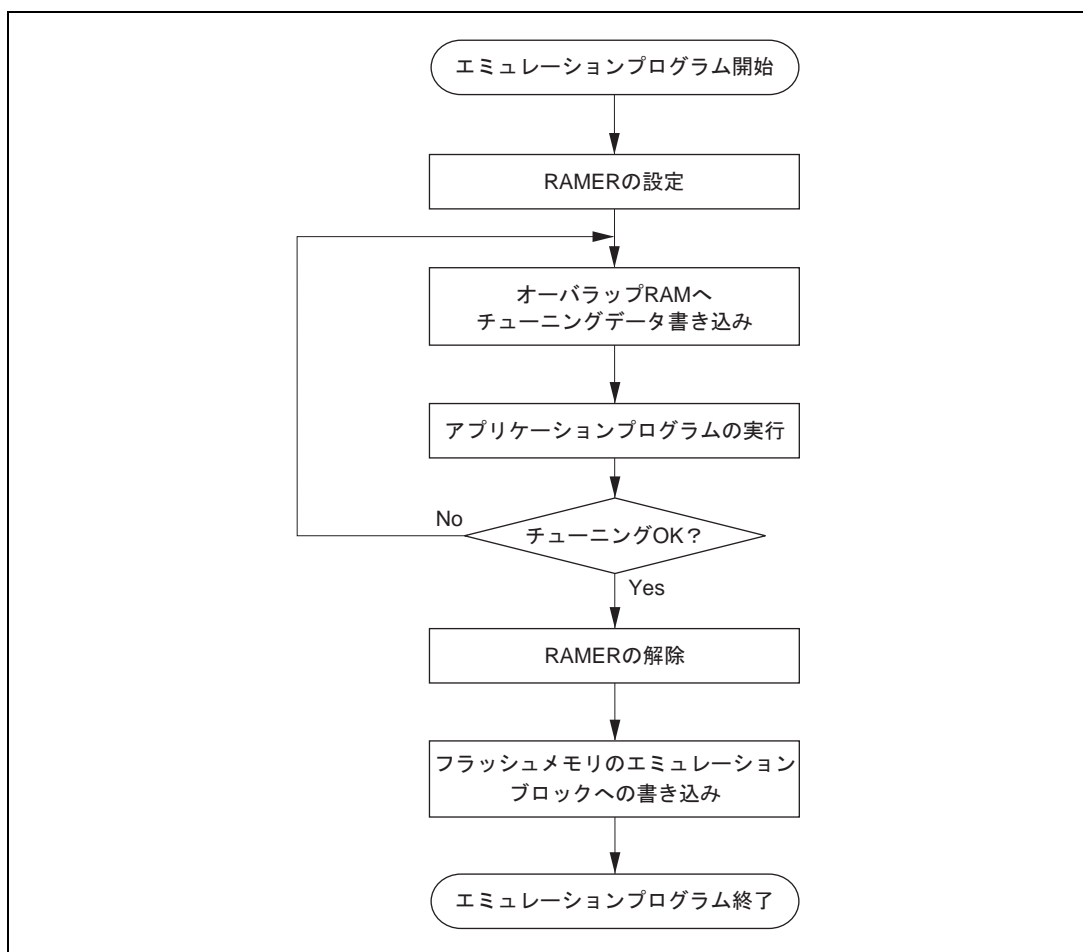


図 17.48 RAM によるエミュレーションフロー

17.18.2 RAM のオーバーラップ

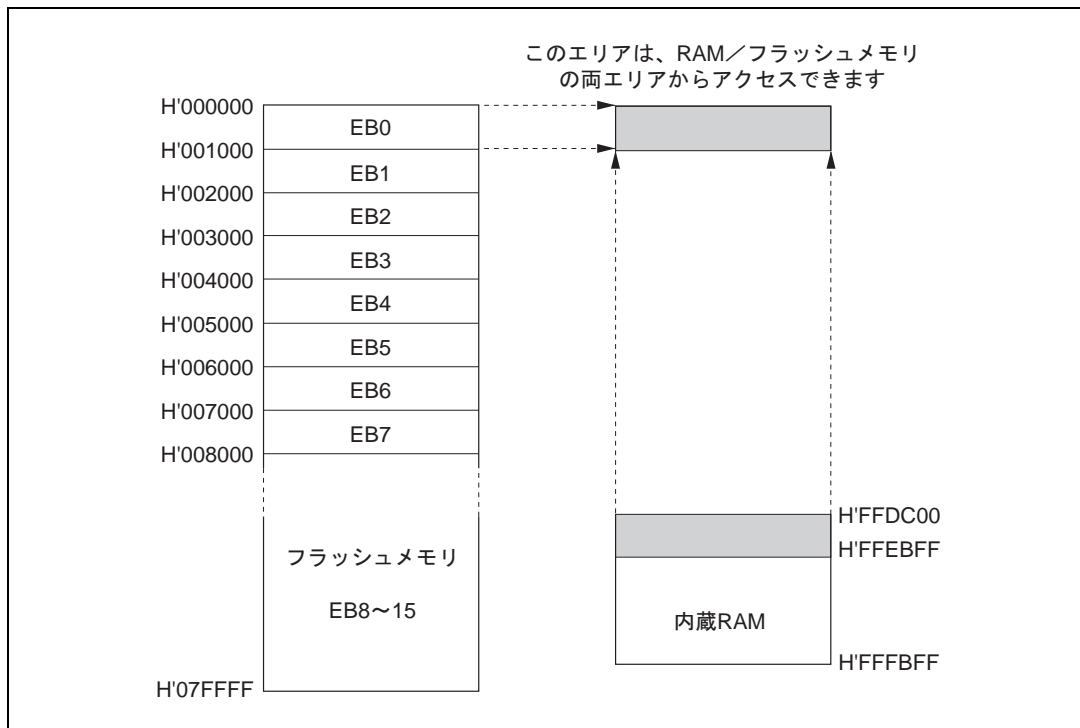


図 17.49 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB1) をオーバーラップさせる例

- [1] リアルタイムな書き換えを必要とするエリア (EB1) にRAMの一部をオーバーラップさせるには、RAMERのRAMS = 1、RAM2 = 0、RAM1 = 0、RAM0 = 1に設定してください。
- [2] リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
- [3] 書き換えデータ確認後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- [4] オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB1) に書き込みます。

- 【注】 1. RAMS ビットを 1 にセットすると RAM2、RAM1、RAM0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
- 2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。
 - 3. ブロックエリア (EB0) はベクタテーブルを含みます。RAM エミュレーションする場合、オーバーラップ RAM にはベクタテーブルが必要となります。

17.19 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットがセット) およびブートモードでのブートプログラム実行中*¹ は書き込み、消去動作を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合は、マイコンの内部と外部で NMI を含むすべての割り込み要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットが保持された状態でも NMI 割り込みは禁止状態となります。

【注】 *1 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*2 この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビット、FLMCR2 の P2 ビットまたは E2 ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

17.20 フラッシュメモリのライターモード

17.20.1 ライターモードの設定

プログラム/データの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではルネサス テクノロジ 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

表 17.34 にライターモードの端子設定方法を示します。

表 17.34 ライターモードの端子設定方法

端子名	設定、外付け回路接続
モード端子 : MD2、MD1、MD0	MD2、MD1、MD0 に Low レベルを入力
モード設定端子 : PF2、PF1、PF0	PF2 に High レベル、 PF1、PF0 に Low レベルを入力
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
RES 端子	リセット回路
XTAL、EXTAL 端子	発振回路
その他に設定が必要な端子 : P23、P25	P23 に High レベルを入力、P25 に Low レベルを入力

17.20.2 ソケットアダプタの端子対応図

図 17.51 に示すようにソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 17.50 に、ソケットアダプタの端子対応図を図 17.51 に示します。

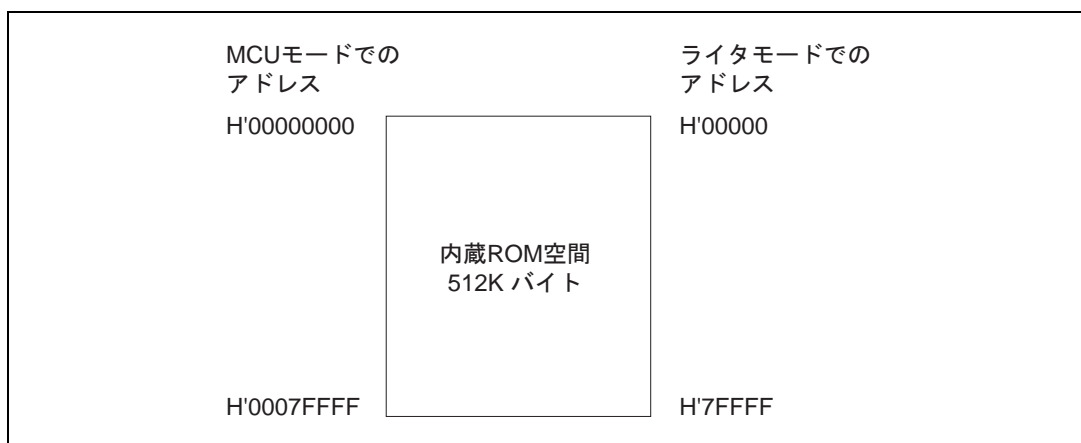


図 17.50 内蔵 ROM のメモリマップ

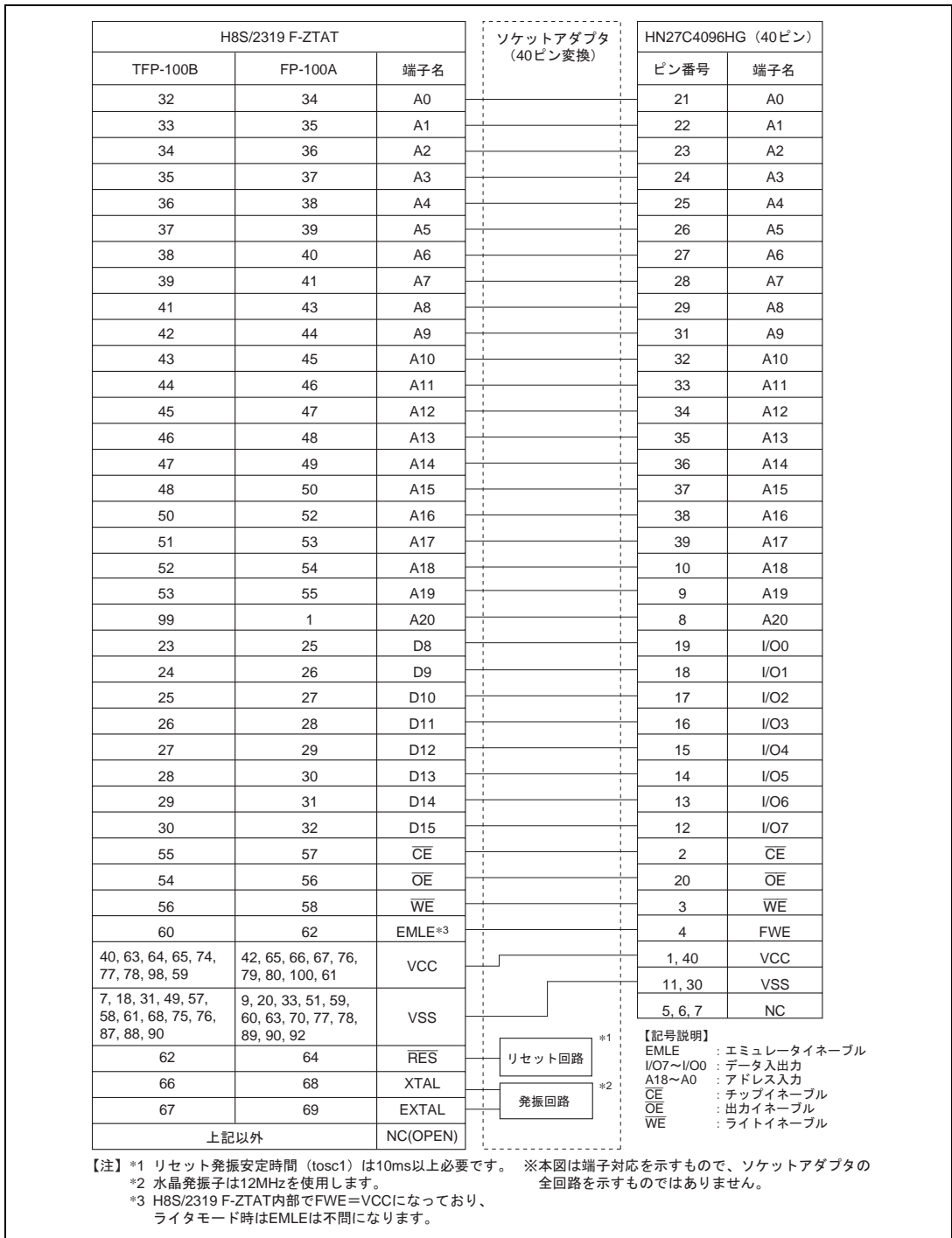


図 17.51 H8S/2319 F-ZTAT ソケットアダプタの端子対応図

17.20.3 ライタモードの動作

表 17.35 にライタモード時の各動作モードの設定方法、表 17.36 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

(1) メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

(2) 自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

(3) 自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

(4) ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は I/O6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 17.35 ライタモード時の各動作モードの設定方法

モード	ピン名				
	CE	OE	WE	I/O7 ~ I/O0	A18 ~ I/O0
リード	L	L	H	データ出力	Ain
出力ディスエーブル	L	H	H	Hi-Z	×
コマンド書き込み	L	H	L	データ入力	Ain* ²
チップディスエーブル* ¹	H	×	×	Hi-Z	×

【記号説明】

- H : High レベル
- L : Low レベル
- Hi-Z : ハイインピーダンス
- × : Don't care

- 【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 17.36 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	×	H'00	read	RA	Dout
自動書き込みモード	129	write	×	H'40	write	WA	Din
自動消去モード	2	write	×	H'20	write	×	H'20
ステータス読み出しモード	2	write	×	H'71	write	×	H'71

【記号説明】

RA : 読み出しアドレス

WA : 書き込みアドレス

× : Don't care

- 【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

17.20.4 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。

表 17.37 メモリ読み出しモード時の AC 特性

(条件: VCC=3.3±0.3V、VSS=0V、Ta=25±5)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
CE ホールド時間	tceh	0	-	ns
CE セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

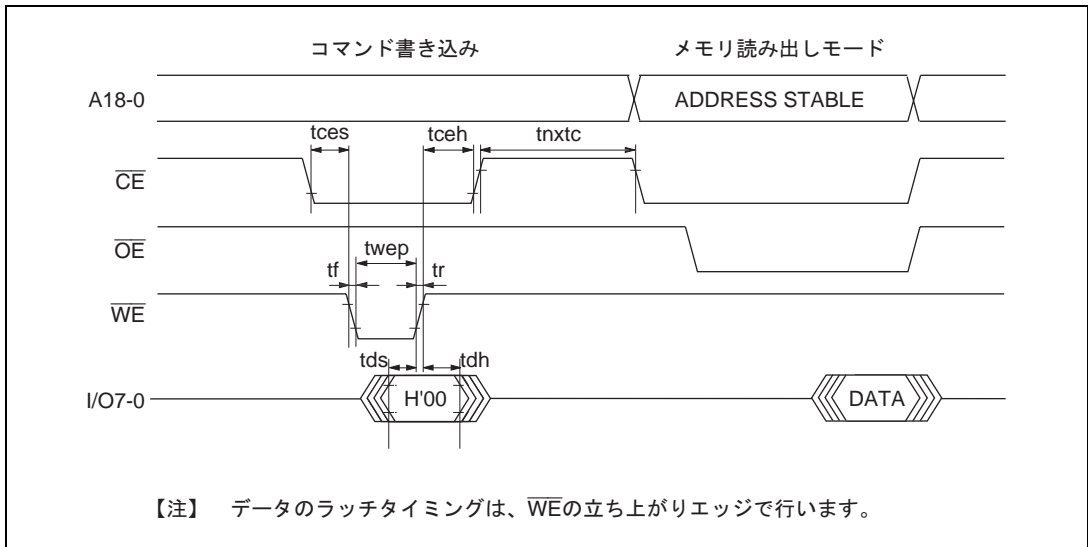


図 17.52 コマンド書き込み後メモリ読み出しタイミング波形

表 17.38 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
\overline{CE} ホールド時間	tceh	0	-	ns
\overline{CE} セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
\overline{WE} 立ち上がり時間	tr	-	30	ns
\overline{WE} 立ち下がり時間	tf	-	30	ns

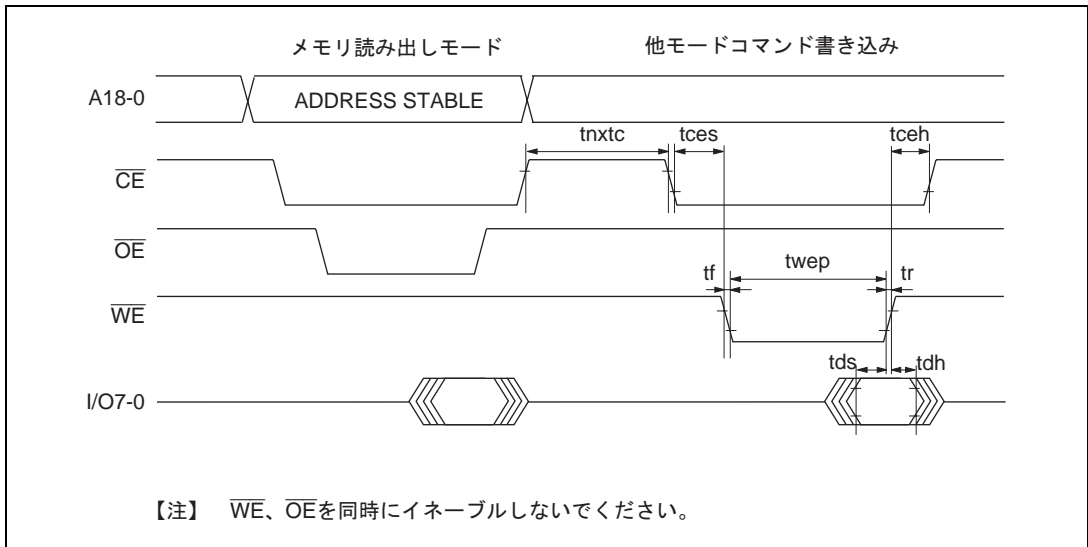


図 17.53 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 17.39 メモリ読み出しモード時の AC 特性

(条件 : VCC = 3.3±0.3V、VSS = 0V、Ta = 25 ± 5)

項目	記号	MIN	MAX	単位
アクセス時間	tacc	-	20	μs
CE 出力遅延時間	tce	-	150	ns
OE 出力遅延時間	toe	-	150	ns
出力ディスエーブル遅延時間	tdf	-	100	ns
データ出力ホールド時間	toh	5	-	ns

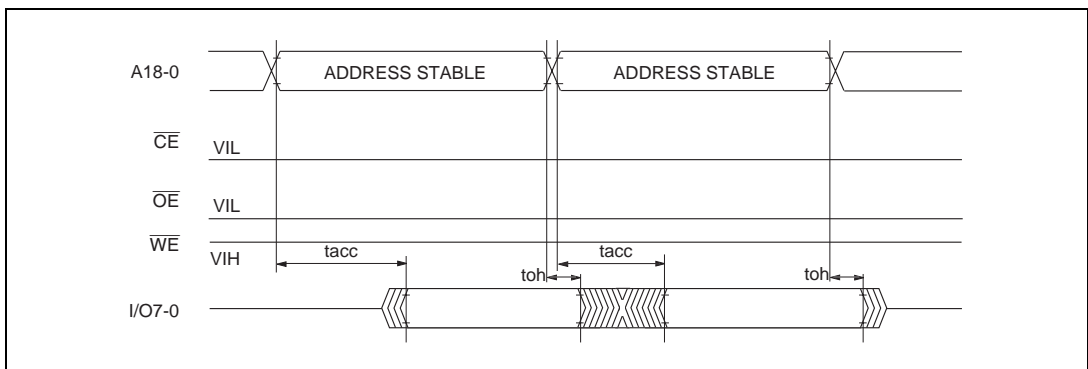
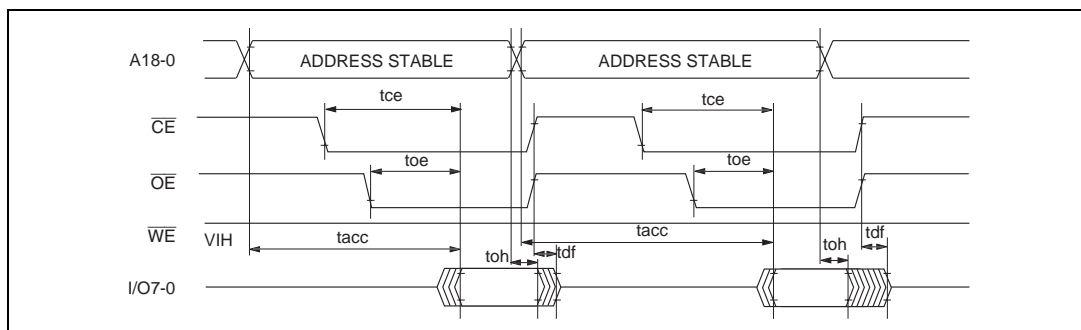


図 17.54 CE、OE イネーブ爾状態リード時のタイミング波形

図 17.55 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

17.20.5 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います(図17.56)。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み正常終了の確認には、I/O6を調べるにより行います。または、ステータス読み出しモードを使用しても確認することができます(I/O7のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングのI/O6、I/O7の情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

表 17.40 自動書き込みモード時の AC 特性

(条件: VCC=3.3±0.3V、VSS=0V、Ta=25±5)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
CE ホールド時間	tceh	0	-	ns
CE セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
ステータスポーリング開始時間	twsts	1	-	ms
ステータスポーリングアクセス時間	tspa	-	150	ns
アドレスセットアップ時間	tas	0	-	ns
アドレスホールド時間	tah	60	-	ns
メモリ書き込み時間	twrite	1	3000	ms
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

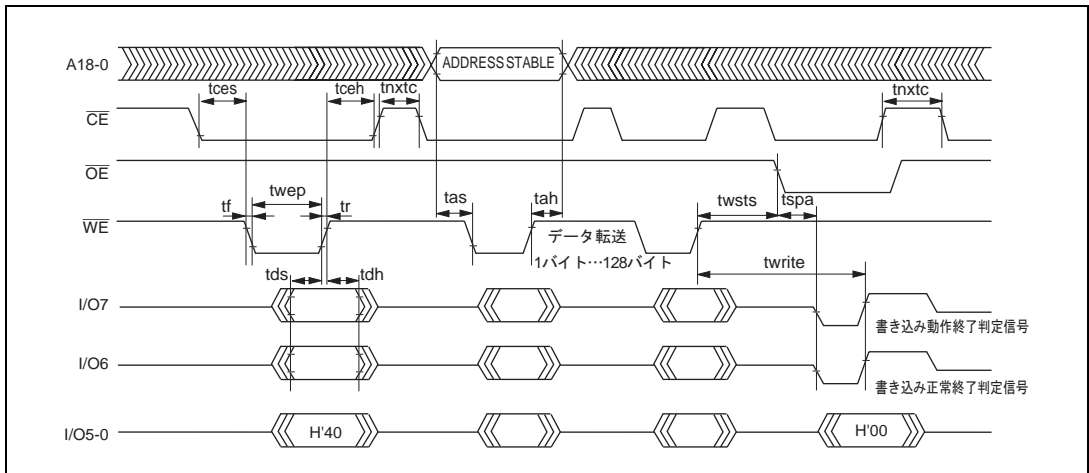


図 17.56 自動書き込みモードのタイミング波形

17.20.6 自動消去モード

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7の情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ をイネーブルにすることにより読み出し可能となります。

表 17.41 自動消去モード時の AC 特性

(条件 : VCC=3.3±0.3V、VSS=0V、Ta=25±5)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
CE ホールド時間	tceh	0	-	ns
CE セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
ステータスポーリング開始時間	tests	1	-	ms
ステータスポーリングアクセス時間	tspa	-	150	ns
メモリ消去時間	terase	100	40000	ms
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

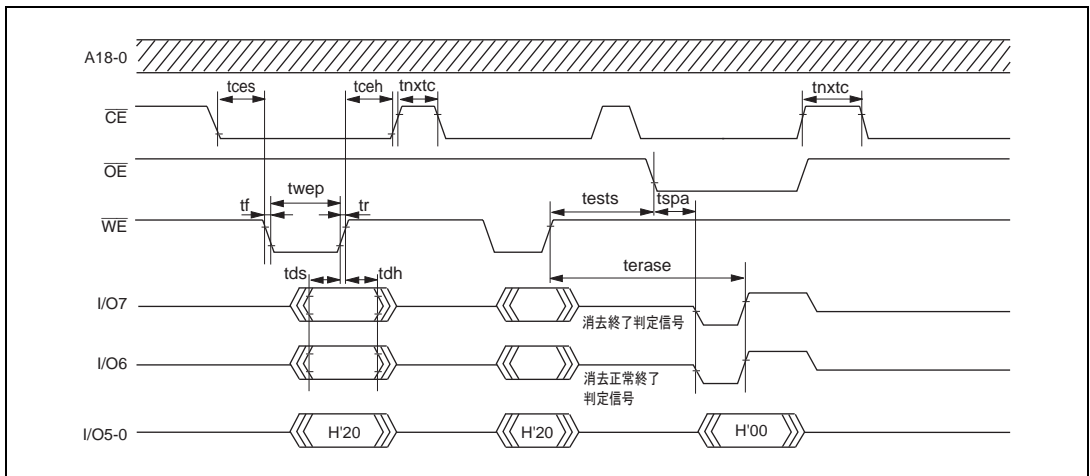


図 17.57 自動消去モードのタイミング波形

17.20.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード/自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 17.42 ステータス読み出しモード時の AC 特性

(条件: $V_{CC}=3.3\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25\pm 5$)

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	tnxtc	20	-	μs
CE ホールド時間	tceh	0	-	ns
CE セットアップ時間	tces	0	-	ns
データホールド時間	tdh	50	-	ns
データセットアップ時間	tds	50	-	ns
書き込みパルス幅	twep	70	-	ns
OE 出力遅延時間	toe	-	150	ns
ディスエーブル遅延時間	tdf	-	100	ns
CE 出力遅延時間	tce	-	150	ns
WE 立ち上がり時間	tr	-	30	ns
WE 立ち下がり時間	tf	-	30	ns

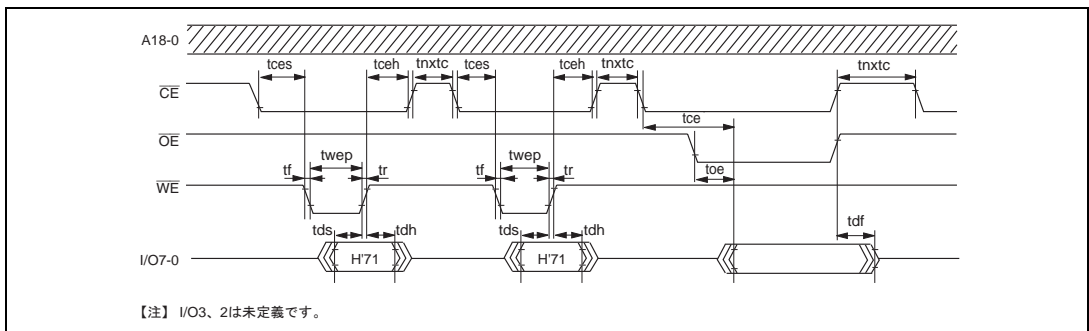


図 17.58 ステータス読み出しモードのタイミング波形

表 17.43 ステータス読み出しモードのリターンコマンド

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去 エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了: 0 異常終了: 1	コマンド エラー: 1 その他: 0	書き込み エラー: 1 その他: 0	消去 エラー: 1 その他: 0	-	-	回数オーバ : 1 その他: 0	有効アドレス エラー: 1 その他: 0

【注】 I/O3、2は未定義です。

17.20.8 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 17.44 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0 ~ I/O5	0	0	0	0

17.20.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 17.45 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位
スタンバイ解除 (発振安定時間)	tosc1	30		ms
ライタモードセットアップ時間	tbmV	10		ms
VCC ホールド時間	tdwn	0		ms

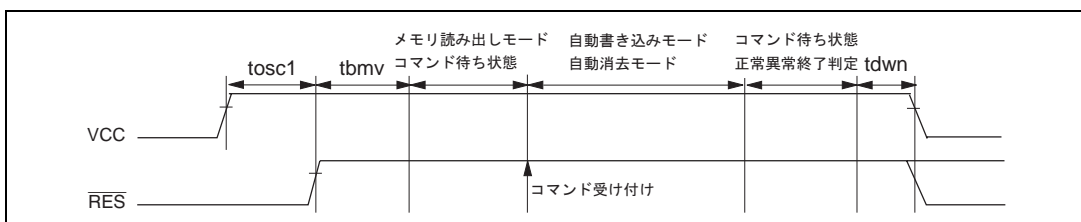


図 17.59 発振安定時間、ライタモードセットアップ、電源立ち下げシーケンス

17.20.10 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み / 消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化 (消去) レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

17.21 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能、およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。

PROM ライタは、ルネサス テクノロジ 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているものを使用してください。

ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

(2) 電源投入 / 切断時の注意

V_{CC} 電源の印加 / 切断時は \overline{RES} 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。

(3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P1 ビット、E1 ビットまたは FLMCR2 の P2 ビット、E2 ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

(4) SWE1 ビット、SWE2 ビットのセット / クリアの注意

SWE1 ビット、SWE2 ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビット、SWE2 ビットをクリアした後に 100 μ s 以上の待ち時間を置いて行ってください。

SWE1 ビット、SWE2 ビットをセットするとフラッシュメモリのデータを書き換えできますが、SWE1 = 1 のときは、プログラムベリファイ / イレースベリファイモード以外ではフラッシュメモリの H'000000 ~ H'03FFFF のアドレスを、SWE2 = 1 のときは、プログラムベリファイ / イレースベリファイモード以外ではフラッシュメモリの H'040000 ~ H'07FFFF のアドレスを読み出すことはできません。ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、当該アドレスエリアのフラッシュメモリをアクセスしないでください。

また、プログラム / イレース / ベリファイ中に SWE1 ビット、SWE2 ビットのクリアを行わないでください。

RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE1 ビットのセット / クリアにかかわらずリード / ライト可能です。

(5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

フラッシュメモリへの書き込み / 消去を行う場合は、書き込み / 消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(7) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(8) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

17.22 フラッシュメモリの概要 (H8S/2319C 0.18 μ m F-ZTAT)

17.22.1 特長

本 LSI は 512K バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

- LSI 起動モードに合わせた 2 種類のフラッシュメモリマツト
 - 内蔵しているフラッシュメモリには、同一アドレス空間に配置される 2 種類のメモリ空間 (以下メモリマツトと呼びます) があり、起動時のモード設定により、どちらのメモリマツトから起動するかを選択できます。また、起動後もバンク切り替え方式でマツトを切り替えることも可能です。
 - ユーザモードでパワーオンリセット時に起動するユーザメモリマツト : 512K バイト
 - ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマツト : 8K バイト
- オンボードプログラミングモード
 - ブートモード
 - 内蔵 SCI インタフェースを使用するプログラムモードで、ユーザマツトとユーザブートマツトの書き換えができます。本モードでは、ホストと本 LSI 間のビットレートを自動で合わせることができます。
 - ユーザプログラムモード
 - 任意のインタフェースで、ユーザマツトの書き換えができます。
 - ユーザブートモード
 - 任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマツトの書き換えが可能です。
- ライタモード
 - PROM ライタを用いたライタモードで、ユーザマツトとユーザブートマツトの書き換えが可能です。
- 内蔵プログラムのダウンロードによる書き込み / 消去インタフェース
 - 本 LSI では専用の書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵 RAM にダウンロードした後、引数パラメータを設定するだけで書き込み / 消去が可能です。
- 内蔵 RAM によるフラッシュメモリのエミュレーション機能
 - フラッシュメモリと内蔵 RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。
- プロテクトモード
 - レジスタ設定によるソフトウェアプロテクト、リセット / ハードウェアスタンバイによるハードウェアプロテクト、およびエラープロテクトの 3 種類のモードがあり、フラッシュメモリの書き込み / 消去のプロテクト状態を設定することができます。
 - また、書き込み / 消去中の暴走などの異常発生を検出した場合、エラープロテクト状態に移り、書き込み / 消去処理を中断する機能があります。
- 書き込み / 消去時間
 - フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 3ms (typ)、1 バイトあたり換算にて 25 μ s、消去時間は 64K バイトブロックあたり 1000ms (typ) です。
- 書き換え回数
 - フラッシュメモリの書き換えは、min100 回可能です。

17.22.2 概要

(1) ブロック図

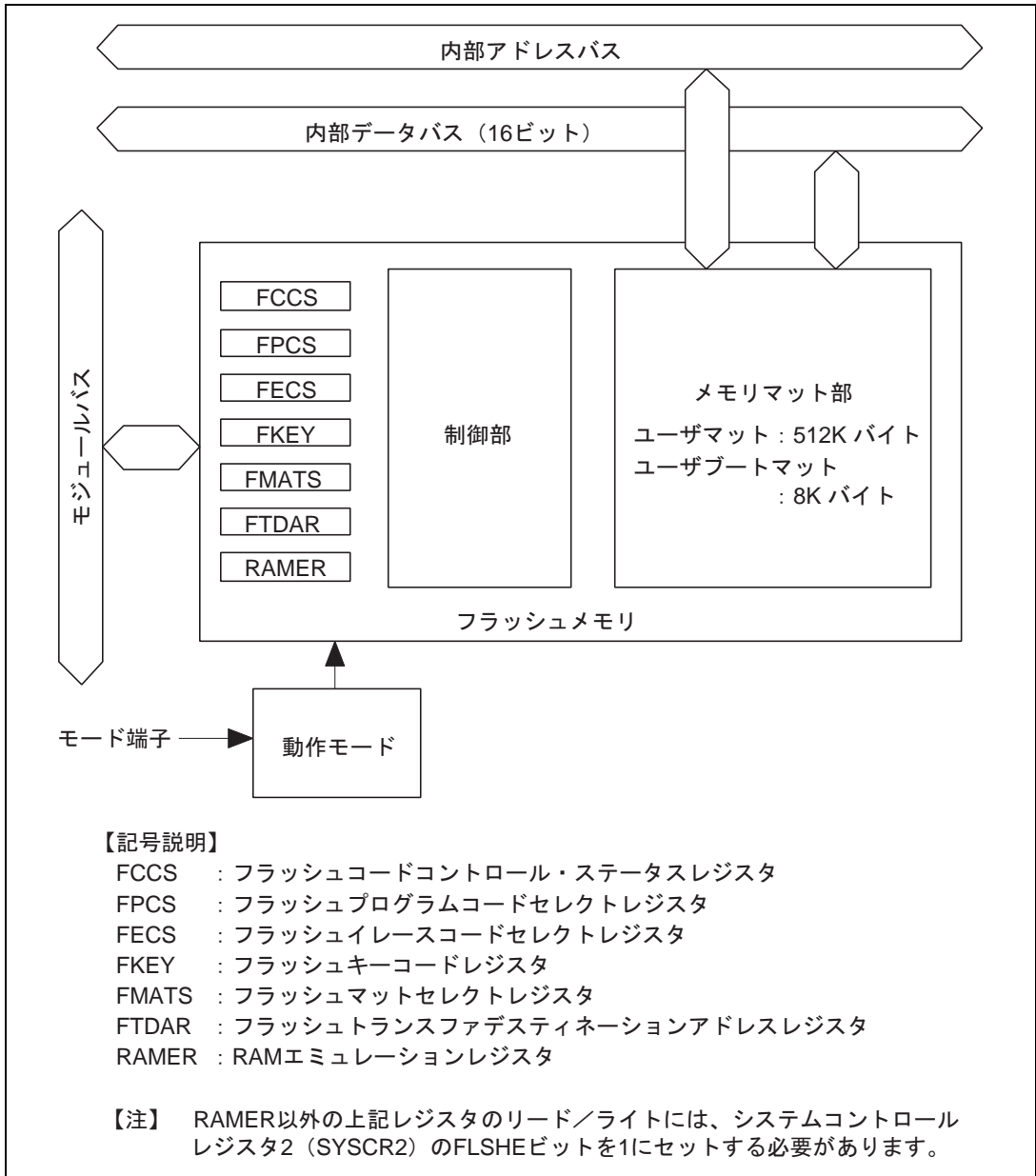


図 17.60 フラッシュメモリのブロック図

17.22.3 フラッシュメモリの動作モード

リセット状態で各モード端子を設定しリセットスタートすると、マイコンは図 17.61 に示すような各動作モードへ遷移します。各モード端子の設定は、表 17.52 を参照してください。

- (1) ROM無効モードではフラッシュメモリの読み出し / 書き込み / 消去はできません。
- (2) ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。
- (3) オンボードでフラッシュメモリの読み出し / 書き込み / 消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
- (4) ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し / 書き込み / 消去を行います。

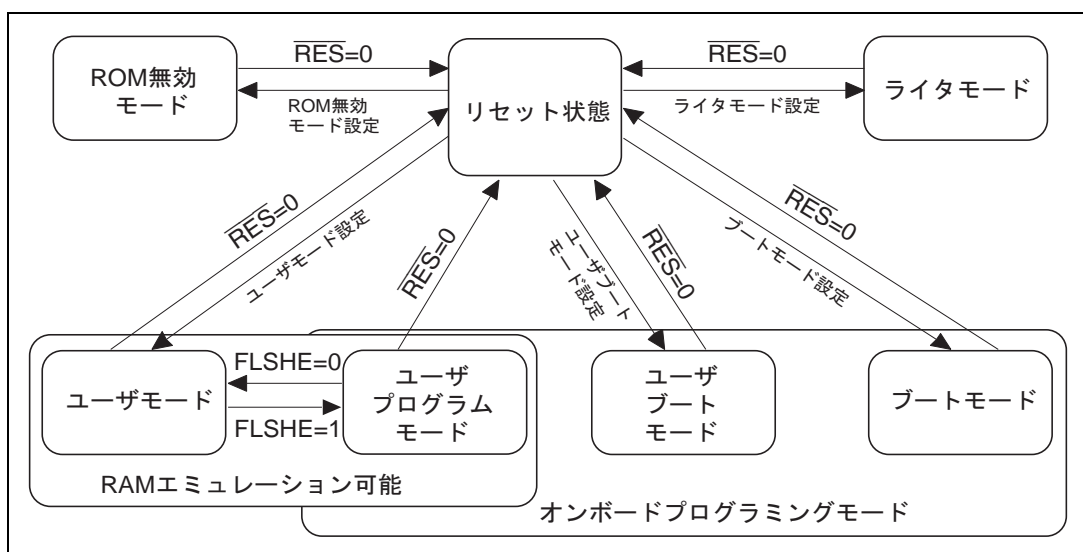


図 17.61 フラッシュメモリに関するモード遷移図

17.22.4 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み / 消去関連項目の比較表を表 17.46 に示します。

表 17.46 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み / 消去環境	オンボードプログラミング			
書き込み / 消去可能マツト	ユーザマツト ユーザブートマツト	ユーザマツト	ユーザマツト	ユーザマツト ユーザブートマツト
書き込み / 消去制御	コマンド方式	書き込み / 消去 インタフェース	書き込み / 消去 インタフェース	コマンド方式
全面消去	(自動)			(自動)
ブロック分割消去	*1			×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス から RAM 経由	任意のデバイス から RAM 経由	ライター経由
RAM エミュレーション	×		×	×
リセット起動マツト	組み込みプログラム 格納マツト	ユーザマツト	ユーザブート マツト*2	—
ユーザモードへの遷移	モード設定変更 &リセット	FLSHE ビット 設定変更	モード設定変更 &リセット	—

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マツトから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマツトのリセットベクタから起動します。

- ユーザブートマツトの書き込み / 消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、いったんユーザマツトとユーザブートマツトが全面消去されます。その後、コマンド方式でユーザマツトまたはユーザブートマツトの書き込みができますが、この状態になるまではマツト内容の読み出しはできません。
ユーザブートマツトだけ書き込んでユーザマツトの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマツトだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

17.22.5 フラッシュメモリ構成

本 LSI のフラッシュメモリは、512K バイトのユーザマットと 8K バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS レジスタによるマット切り替えが必要です。

ユーザマット/ユーザブートマットの読み出しは ROM 有効モードであればどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライターモードでのみ可能です。

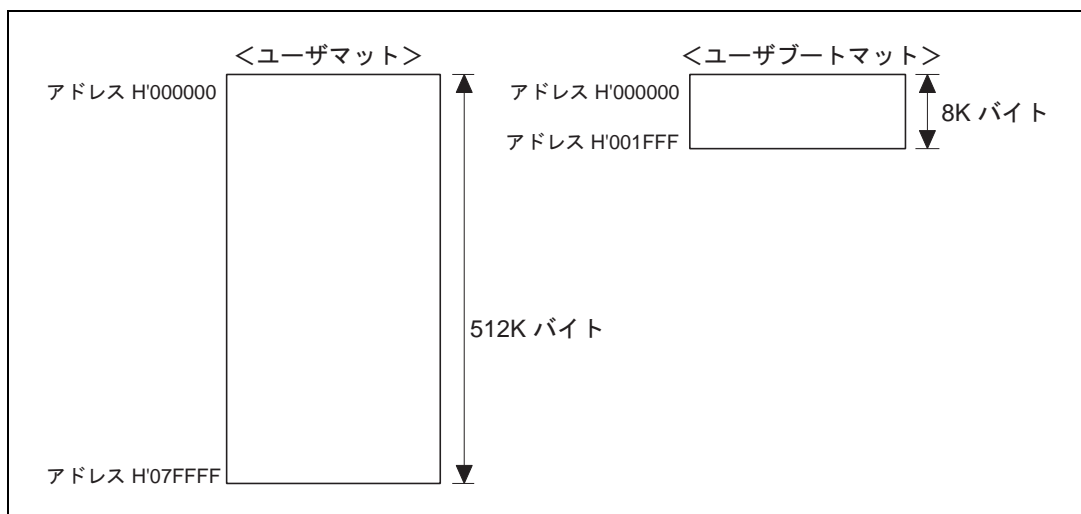


図 17.62 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8K バイト空間以上のユーザブートマットをアクセスしないようにしてください。8K バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

17.22.6 ブロック分割法

ユーザマットは、図 17.63 に示すように 64K バイト (7 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0 ~ EB15 の消去ブロック番号で指定します。

4K バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

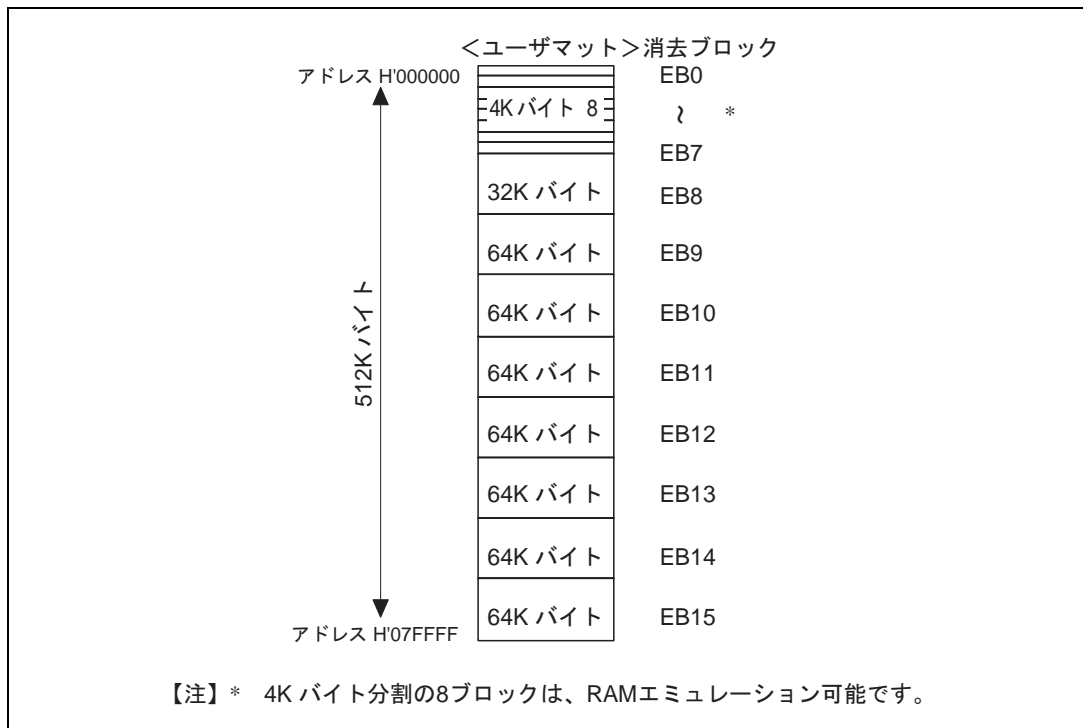


図 17.63 ユーザマットのブロック分割

17.22.7 書き込み / 消去インタフェース

書き込み / 消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス / データ、消去ブロックなどをインタフェースレジスタ / パラメータで指定して行います。

ユーザプログラムモード / ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「17.24.2 ユーザプログラムモード」で説明します。

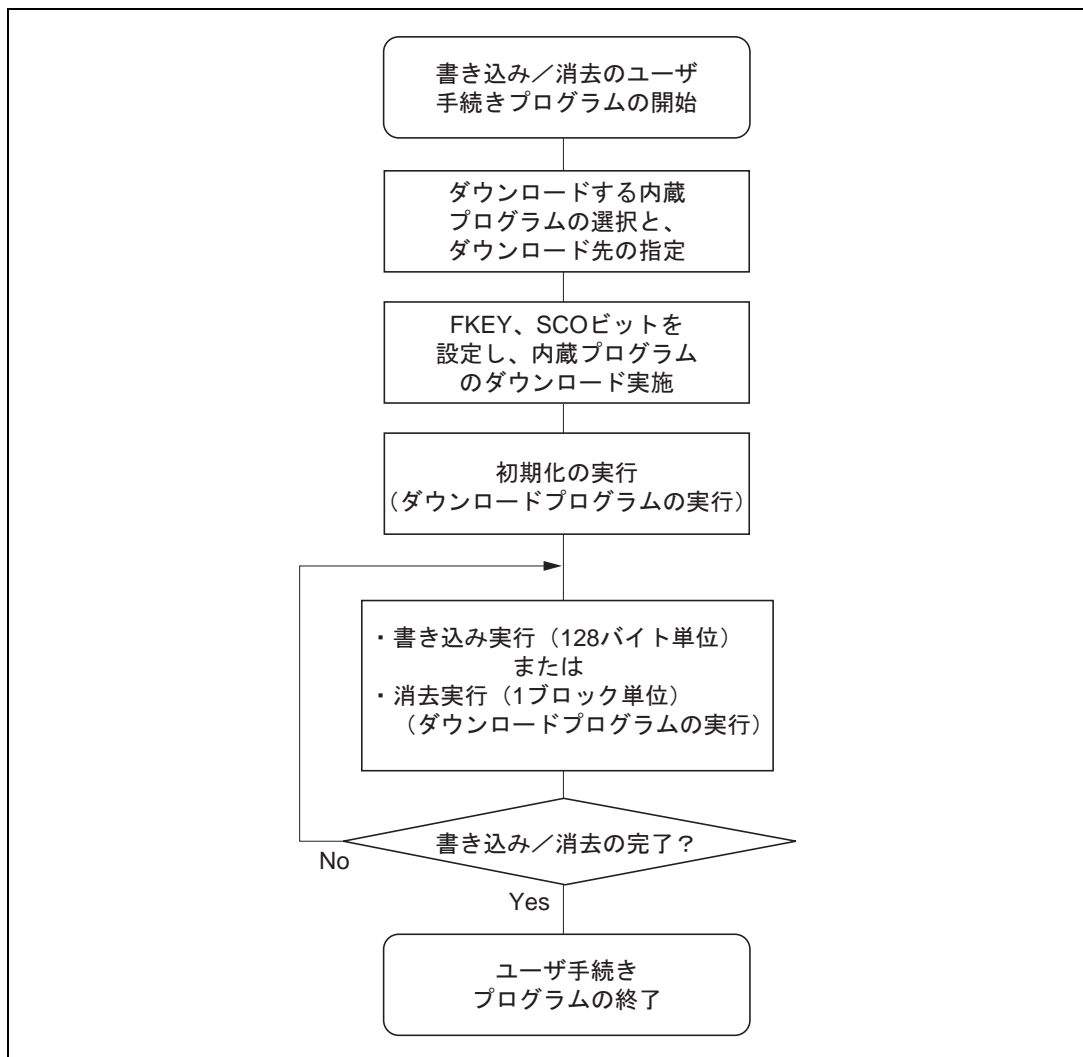


図 17.64 ユーザ手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択とダウンロード先の指定

本 LSI には、書き込み関係 / 消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスは FTDAR レジスタで指定することができます。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み / 消去インタフェースレジスタのフラッシュキーレジスタ FKEY とフラッシュコードコントロールステータスレジスタ FCCS の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマップが組み込みプログラム格納領域と入れ換わります。また、書き込み / 消去時はフラッシュメモリの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムはフラッシュメモリ以外（内蔵 RAM 上など）で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

(3) 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数の設定を行います。この設定は書き込み / 消去インタフェースパラメータで行います。

(4) 書き込み / 消去の実行

書き込み / 消去を実施するためには、システムコントロールレジスタ 2 (SYSCR2) の FLSHE ビットを 1 に設定しユーザプログラムモードにする必要があります。

書き込みでは書き込みデータ / 書き込み先アドレスの指定を 128 バイト単位で行います。

消去では消去ブロックの指定を 1 消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。

書き込み / 消去処理中はすべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。

(5) 引き続き、書き込み / 消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス / データ、消去ブロック番号を更新して書き込み / 消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

17.22.8 端子構成

フラッシュメモリは表 17.47 に示す端子により制御されます。

表 17.47 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート 66	P66	入力	ライターモードの場合に、本 LSI の動作モードを設定
ポート 65	P65	入力	ライターモードの場合に、本 LSI の動作モードを設定
ポート 64	P64	入力	ライターモードの場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

【注】ライターモードの端子構成は「17.28 ライターモード」をご参照ください。

17.22.9 レジスタ構成

(1) レジスタ一覧

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ/パラメータを表 17.48 に示します。

RAMER 以外のフラッシュメモリをコントロールするレジスタにアクセスするためには、内蔵フラッシュメモリが有効なモードで、SYSCR2 の FLSHE ビットを 1 にセットする必要があります。

フラッシュメモリのアクセスには読み出しモード/書き込みモードなどいくつかの動作モードがあります。また、メモリマップもユーザマップとユーザブートマップがあり、それぞれの動作モード、マップ選択で専用のレジスタ/パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応表を表 17.49 に示します。

表 17.48 (1) レジスタ構成

レジスタ名称	略 称	R/W	初期値	アドレス
フラッシュコードコントロールステータスレジスタ	FCCS	R、W* ¹	H'80	H'FFC4
フラッシュプログラムコードセレクトレジスタ	FPCS	R/W	H'00	H'FFC5
フラッシュイレースコードセレクトレジスタ	FECS	R/W	H'00	H'FFC6
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'FFC8
フラッシュマップセレクトレジスタ	FMATS	R/W	H'00* ² H'AA* ²	H'FFC9
フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	R/W	H'00	H'FFCA
システムコントロールレジスタ 2	SYSCR2* ³	R/W	H'00	H'FF42
RAM エミュレーションレジスタ	RAMER	R/W	H'00	H'FEDB

【注】 *1 SCO ビット以外は、読み出し専用です。SCO ビットは、書き込み専用です(読み出しは、常に 0)。

*2 ユーザモード、ユーザプログラムモードで起動時の初期値は H'00 です。

ユーザブートモードで起動時の初期値は H'AA です。

*3 SYSCR2 は、F-ZTAT 版専用のレジスタです。

表 17.48 (2) パラメータ構成

パラメータ名称	略 称	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR	R/W	不定	内蔵 RAM*
フラッシュパス・フェイルリザルト	FPFR	R/W	不定	CPU の ROL
フラッシュマルチパーバスアドレスエリア	FMPAR	R/W	不定	CPU の ER1
フラッシュマルチパーバスデータデスティネーションエリア	FMPDR	R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS	R/W	不定	CPU の ER0
フラッシュプログラム・イレース周波数コントロール	FPEFEQ	R/W	不定	CPU の ER0

【注】 * FTDAR レジスタで指定した内蔵 RAM エリアの先頭アドレスの 1 バイトが有効です。

表 17.49 使用レジスタ/パラメータと対象モード

		ダウン ロード	初期化	書き込み	消去	読み出し	RAM エミュ レーション
書き込み/消去 インタフェース レジスタ	FCCS						
	FPCS						
	PECS						
	FKEY						
	FMATS			(*1)	(*1)	(*2)	
	FTDAR						
書き込み/消去 インタフェース パラメータ	DPFR						
	FPFR						
	FPEFEQ						
	FMPAR						
	FMPDR						
	FEBS						
RAM エミュレーション	RAMER						

【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み/消去時に設定が必要です。

*2 起動モードと読み出し対象マットの組み合わせで、設定が必要な場合があります。

17.23 フラッシュメモリのレジスタ説明

17.23.1 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタについて説明します。すべて 8 ビットのレジスタでバイトアクセスのみ可能です。FCCS レジスタの FLER ビットを除き、これらのレジスタはパワーオンリセットとハードウェアスタンバイモード / ソフトウェアスタンバイモードで初期化されます。FLER ビットは、ソフトウェアスタンバイモードでは初期化されません。

(1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCS は、フラッシュメモリの書き込み / 消去実行中のエラー発生をモニタ、および内蔵プログラムのダウンロードを要求するビットから構成されています。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	FLER	—	—	—	SCO
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	(R) W

ビット 7: リザーブビット

リードすると常に 1 が読み出されます。ライト時には 1 をライトしてください。

ビット 6、5: リザーブビット

リードすると常に 0 が読み出されます。ライト時には 0 をライトしてください。

ビット 4: フラッシュメモリエラー (FLER)

フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示すビットです。

FLER=1 にセットさせると、フラッシュメモリはエラープロテクト状態に遷移します。

パワーオンリセットまたはハードウェアスタンバイモード遷移で初期化されます。

なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100μs のリセット入力期間の後にリセットリリースしてください。

ビット 4	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「17.25.3 エラープロテクト」を参照してください。

ビット 3~1: リザーブビット

リードすると常に 0 が読み出されます。ライト時には 0 をライトしてください。

ビット0：ソースプログラムコピーオペレーション（SCO）

内蔵されている書き込み/消去プログラムを、内蔵 RAM にダウンロードする要求ビットです。
本ビットに 1 を書き込むと、FPCS/FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。

本ビットに 1 を書き込むためには、RAM エミュレーション状態の解除、FKEY レジスタへの H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。

本ビットに 1 を書き込んだ直後には、4 個の NOP 命令を必ず実行するようにしてください。

なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。

ダウンロード中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。

ビット0	説明
SCO	
0	内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードは行いません。 (初期値) [クリア条件] ダウンロードが完了するとクリアされます。
1	内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。 [セット条件] 以下の条件がすべて満足されている状態で、1 をライトしたとき (1) FKEY レジスタに H'A5 が書かれていること (2) 内蔵 RAM 上で実行中であること (3) RAM エミュレーションモードでないこと (RAMER の RAMS = 0 であること)

(2) フラッシュプログラムコードセレクトレジスタ（FPCS）

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PPVS
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット7～1：リザーブビット

リードすると常に 0 が読み出されます。ライト時には 0 をライトしてください。

ビット0：プログラムパルスベリファイ（PPVS）

書き込みプログラムを選択します。

ビット0	説明
PPVS	
0	内蔵の書き込みプログラムを選択しません。 (初期値) [クリア条件] 転送が終了するとクリアされます。
1	内蔵の書き込みプログラムを選択します。

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EPVB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット7~1 : リザーブビット

リードすると常に0が読み出されます。ライト時には0をライトしてください。

ビット0 : イレースパルスベリファイブロック (EPVB)

消去プログラムを選択します。

ビット0	説明
EPVB	
0	内蔵消去プログラムを選択しません。 [クリア条件]転送が終了するとクリアされます。 (初期値)
1	内蔵消去プログラムを選択します。

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のための SCO ビットへの1書き込み前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット :	7	6	5	4	3	2	1	0
	K7	K6	K5	K4	K3	K2	K1	K0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7~0 : キーコード (K7 ~ K0)

H'A5 を書き込んだ場合にのみ、SCO ビットの書き込みが有効になります。H'A5 以外の値が FKEY レジスタに書かれている場合、SCO ビットに1を書き込むことができないため、内蔵 RAM へのダウンロードができません。

H'5A を書き込んだ場合にのみ、書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。

ビット7~0	説明
K7~K0	
H'A5	SCO ビットの書き込みを許可します (H'A5 以外では SCO ビットのセットはできません)。
H'5A	書き込み / 消去を許可します (H'5A 以外ではソフトウェアプロテクト状態)。
H'00	初期値

(5) フラッシュマツトセレクトレジスタ (FMATS)

FMATS は、ユーザマツト / ユーザブツトマツトのどちらを選択するかを指定するレジスタです。

ビット :	7	6	5	4	3	2	1	0	
	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
初期値 :	0	0	0	0	0	0	0	0	(ユーザブツトモード 以外の場合)
初期値 :	1	0	1	0	1	0	1	0	(ユーザブツトモード の場合)
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット7~0 : マツトセレクト (MS7~MS0)

H'AA 以外の場合にはユーザマツト選択状態、H'AA が書かれている状態はユーザブツトマツト選択状態です。

FMATS に値を書き込むことによりマツト切り替えが発生します。

マツト切り替えは、必ず「17.27 ユーザマツトとユーザブツトマツトの切り替え」に従ってください (ユーザプログラミングモードでのユーザブツトマツトの書き換えは、FMATS でユーザブツトマツトを選択してもできません。ユーザブツトマツトの書き換えは、ブツトモードかライタモードで実施してください)。

ビット7~0	説明
MS7~MS0	
H'AA	ユーザブツトマツトを選択します (H'AA 以外ではユーザマツト選択状態となります)。ユーザブツトモードで立ち上がった場合の初期値です。
H'00	ユーザブツトモード以外で立ち上がった場合の初期値です (ユーザマツト選択状態です)。

[書き込み可能条件] 内蔵 RAM 上での実効状態であること

(6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。

FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。初期値は H'00 で、内蔵 RAM の先頭アドレス (H'FFBC00) を示しています。

ビット :	7	6	5	4	3	2	1	0
	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : トランスファデスティネーションアドレス設定エラー (TDER)

ビット 6 ~ 0 (TDA6 ~ TDA0) で指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS レジスタの SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6 ~ TDA0 の値が H'00 ~ H'03 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、FTDAR レジスタの値を本ビットの値を 0 にすることも含めて、H'00 ~ H'03 の範囲に設定してください。

ビット 7	説明 (ダウンロード後の戻り値)
TDER	
0	TDA6 ~ TDA0 の設定は、正常値 (初期値)
1	TDER、TDA6 ~ TDA0 の設定値が H'04 ~ H'FF であり、ダウンロードは中断したことを示します。

ビット 6 ~ 0 : トランスファデスティネーションアドレス (TDA6 ~ TDA0)

ダウンロード先頭アドレスを指定します。設定可能な値は H'00 ~ H'03 で、4K バイト単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。

H'04 ~ H'7F の値を設定しないでください。この値が設定された場合、ダウンロード処理において、本レジスタのビット 7 : TDER を 1 に設定し、内蔵プログラムのダウンロードは実行されません。

ビット 6 ~ 0	説明
TDA6 ~ TDA0	
H'00	ダウンロード先頭アドレスを H'FFBC00 に設定 (初期値)
H'01	ダウンロード先頭アドレスを H'FFCC00 に設定
H'02	ダウンロード先頭アドレスを H'FFDC00 に設定
H'03	ダウンロード先頭アドレスを H'FFEC00 に設定
H'04 ~ H'7F	設定しないでください。設定された場合、ダウンロードにおいてビット 7 : TDER が 1 になり、ダウンロード処理は中断されます。

17.23.2 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果をやりとりするものです。このパラメータは、CPU の汎用レジスタ (ER0、ER1) や内蔵 RAM 領域を使用します。パワーオンリセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、ER0 および ER1 以外の CPU のレジスタは保存されます。R0L は、処理結果の戻り値が記入されます。ER0 および ER1 以外のレジスタの保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をお願いします (使用スタック領域サイズは、最大 128 バイトです) 。

書き込み / 消去インタフェースパラメータは、次の 4 項目で使用します。

- (1) ダウンロード制御
- (2) 書き込み / 消去実行前の初期化実行
- (3) 書き込み実行
- (4) 消去実行

それぞれごとに使用するパラメータは異なります。対応表を、表 17.50 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 17.50 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR					R/W	不定	内蔵 RAM*
フラッシュパス・フェイルリザルト	FPFR					R/W	不定	CPU の R0L
フラッシュプログラムイレース周波数コントロール	FPEFEQ					R/W	不定	CPU の ER0
フラッシュマルチパーパスアドレスエリア	FMPAR					R/W	不定	CPU の ER1
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR					R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS					R/W	不定	CPU の ER0

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 4K バイト分の領域です。内蔵 RAM のアドレスマップについては、図 17.69 を参照してください。

ダウンロード制御は先述の書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

(a) ダウンロードパス・フェイルリザルトパラメータ (DPFR : FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断してください。SCO ビットを 1 にできたかの確認が困難のため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR レジスタで指定した内蔵 RAM の先頭アドレスの 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。ダウンロード結果のチェック方法については、「17.24.2(2) ユーザプログラムモードでの書き込み手順[5]」も参照してください。

ビット :	7	6	5	4	3	2	1	0
	0	0	0	0	0	SS	FK	SF
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	R/W	R/W	R/W

ビット 7~3 : リザーブビット

値 0 が戻されます。

ビット 2 : ソースセレクトエラー検出ビット (SS)

ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。

ビット 2	説明
SS	
0	ダウンロードプログラムの選択関係は正常
1	ダウンロードエラー発生 (多重選択または、マッピングされていないプログラム選択)

ビット 1 : フラッシュキーレジスタエラー検出ビット (FK)

FKEY レジスタの値が、H'A5 であるかどうかをチェックした結果を返すビットです。

ビット 1	説明
FK	
0	FKEY レジスタの設定は正常 (FKEY = H'A5)
1	FKEY レジスタの設定値エラー (FKEY は、H'A5 以外の値)

ビット0 : サクセス / フェイルビット (SF)

ダウンロードが正常に終了したかどうかを戻すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。

ビット0	説明
SF	
0	内蔵プログラムのダウンロードは正常終了 (エラーなし)
1	内蔵プログラムのダウンロードが異常終了 (エラーが発生している)

(2) 書き込み / 消去の初期化

ダウンロードされる書き込み / 消去の内蔵プログラムには、初期化プログラムも含まれています。書き込み / 消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み / 消去プログラムのパラメータとして設定するのが初期化プログラムです。

(a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ : CPU の汎用レジスタ ER0)

CPU の動作周波数を設定するパラメータです。

本 LSI の動作周波数範囲は、2MHz ~ 25MHz です。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8
	F15	F14	F13	F12	F11	F10	F9	F8
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	F7	F6	F5	F4	F3	F2	F1	F0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31 ~ 16 : リザーブビット

値 0 を設定してください。

ビット 15～0 : 周波数設定ビット (F15～F0)

CPU の動作周波数を設定します。設定値は以下のように算出してください。

MHz単位で表現した動作周波数を小数点第3位で四捨五入し、小数点第2位までとする。

100倍した値を2進数に変換し、FPEFEQパラメータ (汎用レジスタER0) に書き込む。

具体例として、CPU の動作周波数が 25.000MHz の場合には、以下ようになります。

25.000の小数点第3位を四捨五入し、25.00。

25.00×100 = 2500を2進数変換し、b'0000,1001,1100,0100 (H'09C4) をER0に設定。

(b) フラッシュパス/フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

初期化結果の戻り値です。

ビット :	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	FQ	SF
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	R/W	R/W

ビット 7～2 : リザーブビット

値 0 が戻されます。

ビット 1 : 周波数エラー検出ビット (FQ)

指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。

ビット 1	説明
FQ	
0	動作周波数の設定は正常値
1	動作周波数の設定が異常値

ビット 0 : サクセス/フェイルビット (SF)

初期化が正常に終了したかどうかを戻すビットです。

ビット 0	説明
SF	
0	初期化は正常終了 (エラーなし)
1	初期化が異常終了 (エラーが発生している)

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡すことが必要です。

- ユーザマット上の書き込み先の先頭アドレス汎用レジスタ ER1 に設定してください。
このパラメータをFMPAR(フラッシュマルチパーパスアドレスエリアパラメータ)と呼びます。
書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット (A7~A0) が、H'00またはH'80のいずれかとしてください。
- ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。
書き込みたいデータが128バイトに満たない場合でも、ダミーコード (H'FF) を埋め込んで128バイトの書き込みデータを準備してください。
準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタER0に設定してください。このパラメータをFMPDR(フラッシュマルチパーパスデータデスティネーションエリアパラメータ)と呼びます。

書き込み処理のための手続きの詳細については、「17.24.2 ユーザプログラムモード」で述べます。

(a) フラッシュマルチパーパスアドレスエリアパラメータ (FMPAR : CPU の汎用レジスタ ER1)

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは128バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーはFPFRパラメータのビット1:WAビットに反映されます。

FMPAR

ビット :	31	30	29	28	27	26	25	24
	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	23	22	21	20	19	18	17	16
	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8
	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31~0 : MOA31 ~ MOA0

ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続 128 バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは 128 バイト境界となり、MOA6~MOA0 は常に 0 になります。

(b) フラッシュマルチパーパスデータデスティネーションパラメータ (FMPDR : CPU の汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは FPFR パラメータのビット 2 : WD ビットに反映されます。

FMPDR

ビット :	31	30	29	28	27	26	25	24
	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	23	22	21	20	19	18	17	16
	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8
	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31~0 : MOD31 ~ MOD0

ユーザマットへの書き込みデータが格納されている領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに対して書き込まれます。

(c) フラッシュパス / フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

ここでは書き込み処理結果の戻り値としての FPFR について説明します。

ビット :	7	6	5	4	3	2	1	0
	0	MD	EE	FK	0	WD	WA	SF
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	R/W	R/W	R/W	—	R/W	R/W	R/W

ビット7：リザーブビット

値0が戻されます。

ビット6：書き込みモード関連設定エラー検出ビット（MD）

エラープロテクト状態でないことのチェック結果を返します。

エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS レジスタのビット4：FLER で確認できます。なお、エラープロテクト状態への遷移条件につきましては、「17.25.3 エラープロテクト」を参照してください。

ビット6	説明
MD	
0	FLER 状態は正常 (FLER=0)
1	FLER=1 であり、書き込みできない状態

ビット5：書き込み実行時エラー検出ビット（EE）

ユーザマットが消去されていないために、指定データを書き込みなかった場合に、本ビットには1が返されます。

これらが原因で、本ビットが1になった場合、ユーザマットは途中まで書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施し直してください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。

ユーザブートマットの書き込みはブートモードまたはライターモードで実施してください。

ビット5	説明
EE	
0	書き込み処理は正常終了
1	書き込み処理が異常終了し、書き込み結果は保証できない

ビット4：フラッシュキーレジスタエラー検出ビット（FK）

書き込み処理開始前に FKEY レジスタの値をチェックした結果を戻します。

ビット4	説明
FK	
0	FKEY レジスタの設定は正常 (FKEY = H'5A)
1	FKEY レジスタの設定値エラー (FKEY は、H'5A 以外の値)

ビット3：リザーブビット

値0が戻されます。

ビット2：ライトデータアドレス検出ビット (WD)

書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合エラーとなります。

ビット2	説明
WD	
0	書き込みデータアドレス設定は正常値
1	書き込みデータアドレス設定が異常値

ビット1：ライトアドレスエラー検出ビット (WA)

書き込み先頭アドレスとして、以下が指定された場合にはエラーとなります。

フラッシュメモリの領域外が書き込み先アドレスとして指定された場合
指定されたアドレスが、128 バイト境界でない (A6～A0 が0 でない) 場合

ビット1	説明
WA	
0	書き込み先アドレス設定は正常値
1	書き込み先アドレス設定が異常値

ビット0：サクセス/フェイルビット (SF)

書き込み処理が正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	書き込みは正常終了 (エラーなし)
1	書き込みが異常終了 (エラーが発生している)

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマット上の消去ブロック番号をダウンロードした消去プログラムに渡すことが必要です。これを、FEBS パラメータ (汎用レジスタ ER0) に設定します。

0～15のブロック番号から1ブロックを指定します。

消去処理のための手続きの詳細については、「17.24.2 ユーザプログラムモード」で述べます。

(a) フラッシュイレースブロックセレクトパラメータ (FEBS : CPU の汎用レジスタ ER0)

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—
ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 31～8 : リザーブビット

値 0 を設定してください。

ビット 7～0 : イレースブロック (EB7～EB0)

0～15 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、15 は EB15 ブロックに対応します。0～15 以外の設定ではエラーになります。

(b) フラッシュパス/フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

ここでは消去処理結果の戻り値としての FPFR について説明します。

ビット :	7	6	5	4	3	2	1	0
	0	MD	EE	FK	EB	0	0	SF
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	R/W	R/W	R/W	R/W	—	—	R/W

ビット 7 : リザーブビット

値 0 が戻されます。

ビット6：消去モード関連設定エラー検出ビット (MD)

エラープロテクト状態でないことのチェック結果を返します。

エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS レジスタのビット4：FLER で確認できます。なお、エラープロテクト状態への遷移条件につきましては、「17.25.3 エラープロテクト」を参照してください。

ビット6	説明
MD	
0	FLER 状態は正常 (FLER=0)
1	FLER=1 であり、消去できない状態

ビット5：消去実行時エラー検出ビット (EE)

ユーザマットの消去ができなかった場合に、本ビットには1 が返されます。

これらが原因で、本ビットが1 になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施し直してください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはいません。

ユーザブートマットの消去はブートモードまたはライトモードで実施してください。

ビット5	説明
EE	
0	消去処理は正常終了
1	消去処理が異常終了し、消去結果は保証できない

ビット4：フラッシュキーレジスタエラー検出ビット (FK)

消去処理開始前に FKEY レジスタの値をチェックした結果を戻します。

ビット4	説明
FK	
0	FKEY レジスタの設定は正常 (FKEY = H'5A)
1	FKEY レジスタの設定値エラー (FKEY は、H'5A 以外の値)

ビット3：イレースブロックセレクトエラー検出ビット (EB)

指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。

ビット3	説明
EB	
0	消去ブロック番号の設定は正常値
1	消去ブロック番号の設定が異常値

ビット2、1：リザーブビット

値0が戻されます。

ビット0：サクセス/フェイルビット (SF)

消去処理が正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	消去は正常終了 (エラーなし)
1	消去が異常終了 (エラーが発生している)

17.23.3 システムコントロールレジスタ 2 (SYSCR2)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	FLSHE	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	—	—	R/W

SYSCR2は8ビットのリード/ライト可能なレジスタで、内蔵フラッシュメモリの制御を行います。SYSCR2はリセットまたはハードウェアスタンバイモード時のH'00に初期化されます。

SYSCR2は、F-ZTAT版のみ有効なレジスタです。マスクROM版では、リードすると不定値が読み出されます。ライトは無効です。

ビット7~4：リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

ビット3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ (FCCS、FPCS、FECS、FKEY、FMATS、FTDAR) のCPUアクセスを制御します。

FLSHEビットを1にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0にクリアするとフラッシュメモリの制御レジスタは、非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されます。

ビット3	説明
FLSHE	
0	アドレス H'FFFFC4 ~ H'FFFFCF のエリアはフラッシュ制御レジスタを非選択 (初期値)
1	アドレス H'FFFFC4 ~ H'FFFFCF のエリアはフラッシュ制御レジスタを選択

ビット2、1：リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

ビット0：リザーブビット

ライト時には、0をライトしてください。

17.23.4 RAM エミュレーションレジスタ (RAMER)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。リセット、またはハードウェアスタンバイモードのときにH'00に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMERの設定は、ユーザモード、ユーザプログラムモードで行ってください。

フラッシュメモリエリアの分割法は、表 17.51 を参照してください。なお、エミュレーション機能を実際に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット7～4：リザーブビット

読み出すと常に0が読み出されます。ライトは無効です。

ビット3：RAM セレクト (RAMS)

RAMによるフラッシュメモリのエミュレーション選択/非選択を設定するビットです。RAMS=1のときは、フラッシュメモリ全ブロックの書き込み/消去プロテクト状態となります。

ビット3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効

ビット2～0：フラッシュメモリエリア選択 (RAM2～RAM0)

ビット3とともに使用し、RAMと重ね合わせるフラッシュメモリのエリアを選択します(表 17.51 参照)。

表 17.51 ユーザマットエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFDC00 ~ H'FFEBFF	RAM エリア 4K バイト	0	*	*	*
H'000000 ~ H'000FFF	EB0 (4K バイト)	1	0	0	0
H'001000 ~ H'001FFF	EB1 (4K バイト)	1	0	0	1
H'002000 ~ H'002FFF	EB2 (4K バイト)	1	0	1	0
H'003000 ~ H'003FFF	EB3 (4K バイト)	1	0	1	1
H'004000 ~ H'004FFF	EB4 (4K バイト)	1	1	0	0
H'005000 ~ H'005FFF	EB5 (4K バイト)	1	1	0	1
H'006000 ~ H'006FFF	EB6 (4K バイト)	1	1	1	0
H'007000 ~ H'007FFF	EB7 (4K バイト)	1	1	1	1

* : Don't care

17.24 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはユーザプログラミングモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

各モードへ遷移する端子の設定方法を、表 17.52 に示します。また、フラッシュメモリに対する各モードへの状態遷移図は図 17.61 をご参照ください。

表 17.52 オンボードプログラミングモードの設定方法

MCU モード	モード CPU 動作モード・内容	端子		
		MD2	MD1	MD0
ユーザブートモード	アドバンスト・シングルチップモード	0	0	1
ブートモード	アドバンスト・内蔵 ROM 有効拡張モード	0	1	0
	アドバンスト・シングルチップモード			1
ユーザプログラムモード*	アドバンスト・内蔵 ROM 有効拡張モード	1	1	0
	アドバンスト・シングルチップモード			1

【注】 * 通常はユーザモードを使用してください。書き込み / 消去プログラムのダウンロードを行う前に FLSHE ビットを 1 に設定し、ユーザプログラムモードに遷移してください。

17.24.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み / 消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 17.65 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 17.52 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

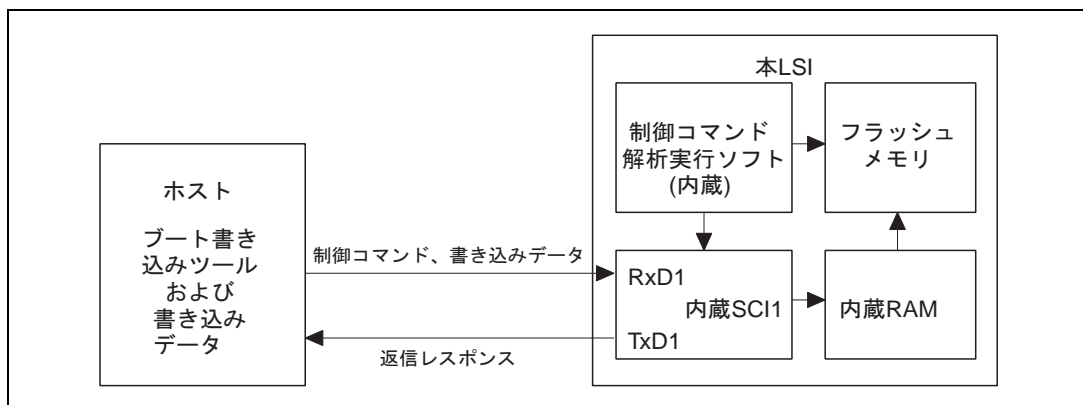


図 17.65 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 17.53 に示します。このシステムクロックの範囲内でブートモードを起動してください。

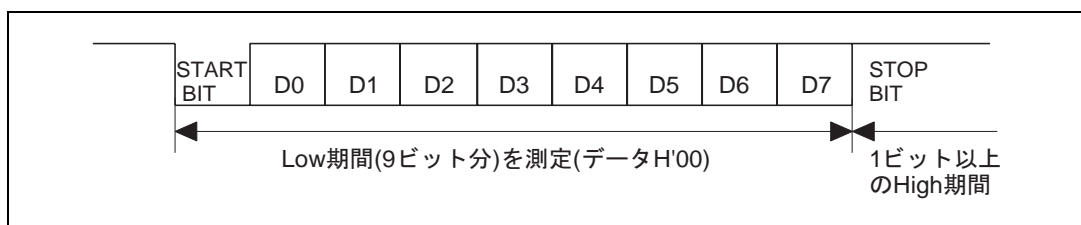


図 17.66 SCI ビットレートの自動合わせ込み動作

表 17.53 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロック周波数
19,200 bps	16 ~ 25 MHz
9,600 bps	8 ~ 25 MHz

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 17.67 に示します。ブートモードについての詳細は、「17.29.1 ブートモードの標準シリアル通信インタフェース仕様」をご参照ください。

[1] ビットレート合わせ込み

ブートモード起動後、ホストとの SCI インタフェースのビットレート合わせ込みを行います。

[2] 問い合わせ設定コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

[3] 全ユーザマットおよびユーザブートマットの自動消去

問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

[4] 書き込み / 消去コマンド待ち

- 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスを H'FFFFFFF と設定して送信してください。これにより書き込みデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。

- 「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号を H'FF と設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだ後に、リセットスタートせずに特定のブロックのみを書き変える場合に使用してください。1 回の操作で書き込みができる場合には、書き込み / 消去 / 他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ユーザマット / ユーザブートマットのブランクチェック (消去チェック)、ユーザマット / ユーザブートマットのメモリリード、および現在のステータス情報の取得のコマンドがあります。

ユーザマット / ユーザブートマットのメモリ読み出しは、すべてのユーザマット / ユーザブートマットを自動消去した後に書き込んだデータについての読み出ししかできませんので、ご注意ください。

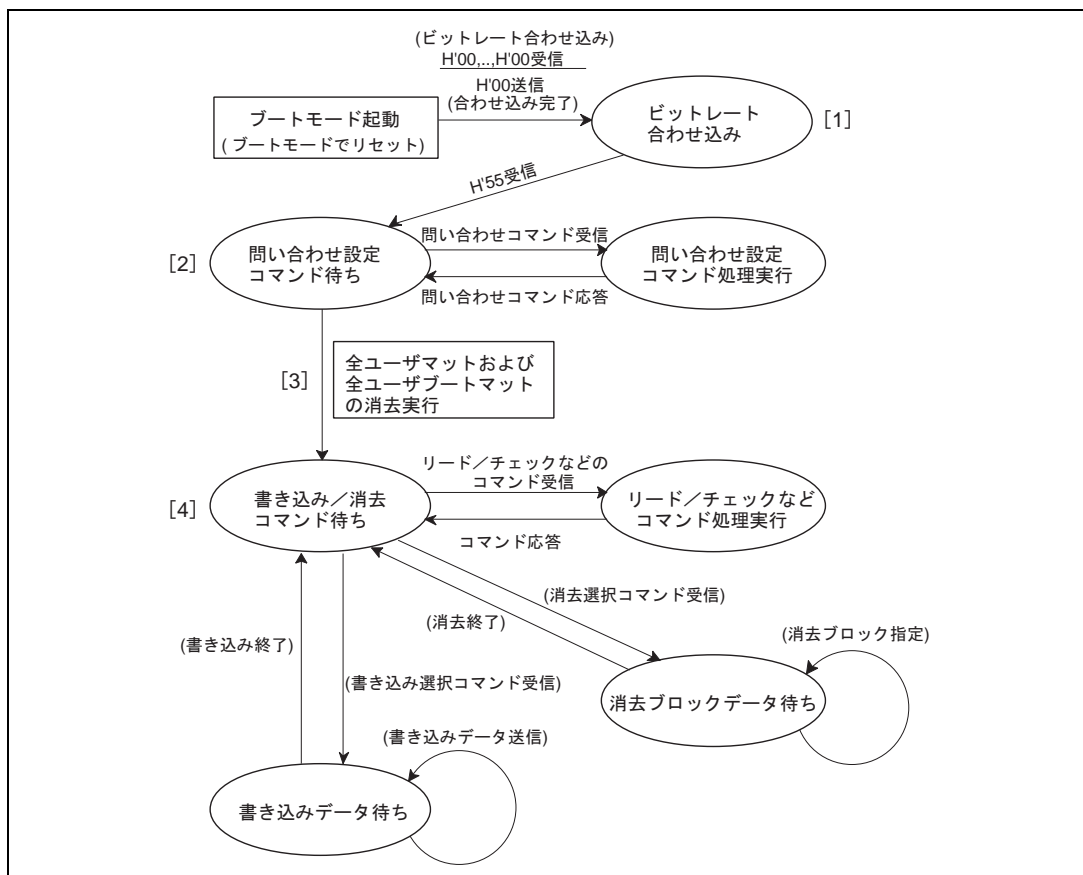


図 17.67 ブートモードの状態遷移の概略図

17.24.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み / 消去ができます (ユーザブートマットの書き込み / 消去はできません)。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み / 消去を実施します。

書き込み / 消去概略フローを図 17.68 に示します。

なお、書き込み / 消去処理中はフラッシュメモリ内部には高電圧が印加されていますので、書き込み / 消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100μs の通常より長いリセット入力期間の後にリセットリリースしてください。

書き込み手順につきましては、後述「(2) ユーザプログラムモードでの書き込み手順」を、消去手順につきましては「(3) ユーザプログラムモードでの消去手順」を参照してください。

また、FTDAR レジスタを使用して、書き込み / 消去プログラムを別々の内蔵 RAM 領域にダウンロードして、消去と書き込みを繰り返す処理についての概略を「(4) ユーザプログラムモードでの消去 / 書き込み手順」で説明します。

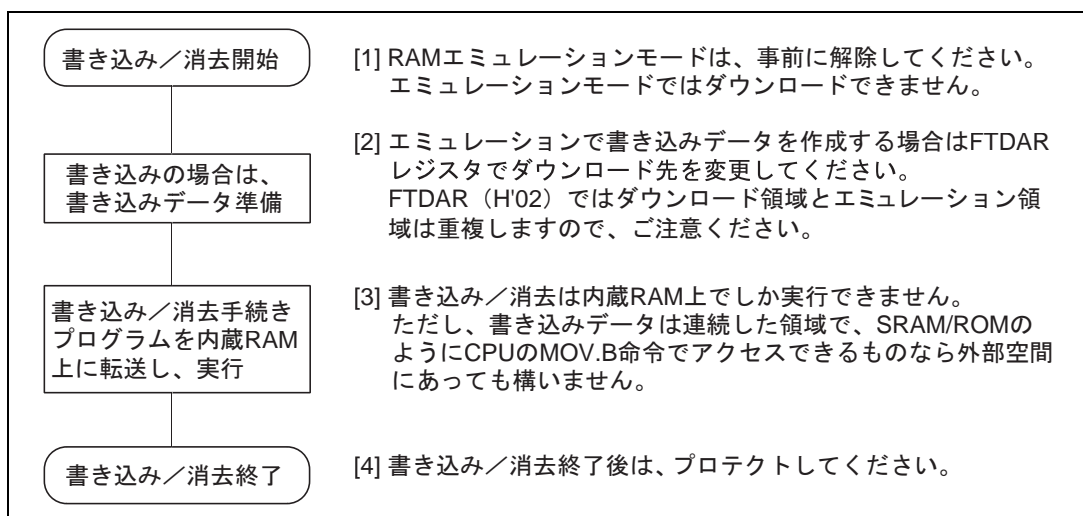


図 17.68 書き込み / 消去概略フロー

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 17.69 にダウンロードされるプログラムの領域を示します。

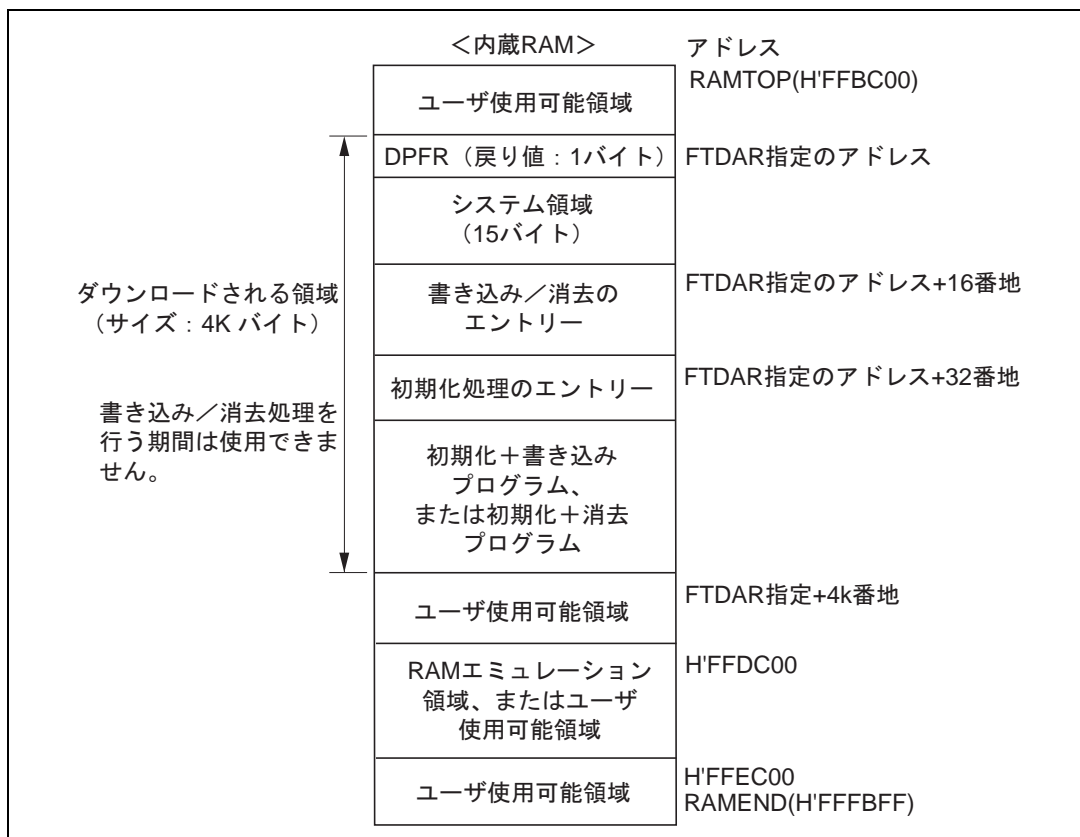


図 17.69 書き込み / 消去実施時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 17.70 に示します。

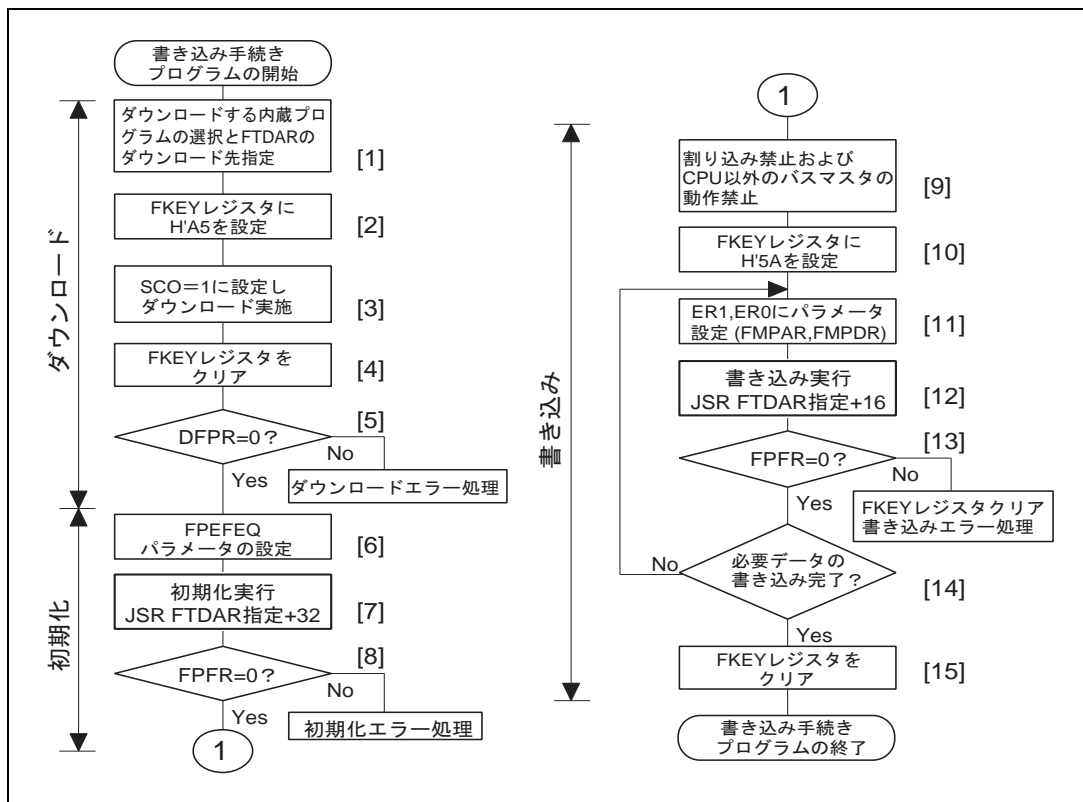


図 17.70 書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「17.29.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス / 書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

- [1] ダウンロードする内蔵プログラムの選択とダウンロード先を選択します。
FPCSレジスタのPPVSビットを1に設定すると書き込みプログラムが選択されます。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータのリースセレクト検出ビット (SS) にダウンロードエラーが報告されます。

FTDARレジスタにて、ダウンロード先の先頭アドレスを指定します。

- [2] FKEYレジスタにH'A5を書き込みます。

プロテクトのためにFKEYレジスタにH'A5を書き込まないとダウンロード要求のSCOビットに1を書き込みことができません。

- [3] FCCSレジスタのSCOビットに1を書き込んで、ダウンロードを実行します。

SCOビットに1を書き込むためには、以下の条件がすべて満足されている必要があります。

- (a) RAMエミュレーションモードが解除されていること
- (b) FKEYレジスタにH'A5が書き込まれていること
- (c) SCOビット書き込みが内蔵RAM上で実行されていること

SCOビットが1になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO=0にクリアされていますので、ユーザ手続きプログラムではSCO=1の確認ができません。

ダウンロード結果の確認は、DFPRパラメータの戻り値での確認のみとなりますので、SCO=1にする前に、DFPRパラメータとなる、FTDARで指定した内蔵RAMの先頭の1バイトを、戻り値以外 (H'FFなど) に設定して、誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCO=1を設定する命令の直後には4つのNOP命令を実行してください。

- (a) ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- (b) ダウンロードプログラム選択条件とFTDARでの指定アドレスをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
- (c) FPCSレジスタ、FECSレジスタ、FCCSレジスタのSCOビットを0クリアします。
- (d) DPFRパラメータに戻り値を設定します。
- (e) 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。

- ダウンロード処理では、CPUのER0およびER1以外の汎用レジスタは値が保存されます。
- ダウンロード処理中は、すべての割り込みは受け付けられません。しかし、割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込みが発生することになります。

なお、レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込みを入れておく必要があります。

- ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵RAM上への正常ダウンロードの保証はできませんので、再度ダウンロードから実行してください。
- 最大128バイトのスタック領域を使用しますので、SCO=1にする前に確保しておいてください。
- ダウンロード中にDTC、 $\overline{\text{BREQ}}$ によるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DTC、 $\overline{\text{BREQ}}$ によるアクセスが発生しないようご注意ください。

- [4] プロテクトのために、FKEYレジスタをH'00にクリアします。

- [5] DPFRパラメータの値をチェックしダウンロード結果を確認します。

- DPFRパラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。

- DPFR パラメータの値が、ダウンロード実行前に設定した値 (H'FF など) と同じであった場合は、FTDAR のダウンロード先アドレス設定の異常が考えられますので、FTDAR のビット 7 : TDER ビットを確認してください。
 - DPFR パラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFR パラメータのビット 2 : SS ビットや、ビット 1 : FK ビットにて、ダウンロードプログラムの選択や FKEY レジスタ設定が正常であったかの確認をしてください。
- [6] 初期化のためにFPEFEQパラメータに動作周波数を設定します。
- FPEFEQ パラメータ (汎用レジスタ : ER0) に、現在の CPU クロックの周波数を設定します。FPEFEQ パラメータの設定可能範囲は、2MHz ~ 25MHz です。この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は、「17.23.2 (2) (a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ : CPU の汎用レジスタ ER0) 」の説明を参照してください。
- [7] 初期化の実行
- 初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス + 32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L #DLTOP+32,ER2	; エントリーアドレスを ER2 に設定
JSR @ER2	; 初期化ルーチンをコール
NOP	

- 初期化プログラムでは ER0 および ER1 以外の汎用レジスタは保存されます。
 - ROL は FPFR パラメータの戻り値です。
 - 初期化プログラムではスタック領域を使用しますので、最大 128 バイトのスタック領域を RAM 上に確保しておいてください。
 - 初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵 RAM 上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。
- [8] 初期化プログラムの戻り値FPFR (汎用レジスタROL) を判定します。
- [9] すべての割り込みと、CPU以外のバスマスタの使用を禁止してください。
- 書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されると、フラッシュメモリにダメージを与える可能性がありますので、必ず割り込みとCPU以外のDTC、BREQへのバス権を禁止としてください。
- 割り込み処理禁止の設定は、CPUのコンディションコードレジスタCCRのビット7 (I) を b'1 に設定することで行います。こうするとNMI以外の割り込みは保持され、実行はされなくなります。
- NMI割り込みは、ユーザシステム上で発生しないようにしてください。
- 保持した割り込みは、すべての書き込み処理後に実行するようにしてください。
- また、CPU以外のDTC、BREQへのバス権の移動が発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様にDTC、BREQによるバス権確保も発生しないようにしておいてください。
- [10] FKEYレジスタにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
- [11] 書き込みに必要なパラメータの設定を行います。
- ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタER1に、書き込みデータ領域の先頭アドレス (FMPDR) の先頭アドレスを汎用レジスタのER0に設定します。

- FMPAR 設定例

FMPARは書き込み先アドレスの指定ですので、ユーザマツトエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですので下位8ビット(A7~A0)が、H'00かH'80の128バイト境界である必要があります。

- FMPDR 設定例

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

[12] 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリーアドレスを ER2 に設定
JSR	@ER2	; 書き込みルーチンをコール
NOP		

- 書き込みプログラムではER0およびER1以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

[13] 書き込みプログラムの戻り値FPFR (汎用レジスタR0L) を判定します。

[14] 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定を行い上記 [12] ~ [14] の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

[15] 書き込みが終了したらFKEYレジスタをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマツトへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い100μs以上のリセット実施期間 (RES=0の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 17.71 に示します。

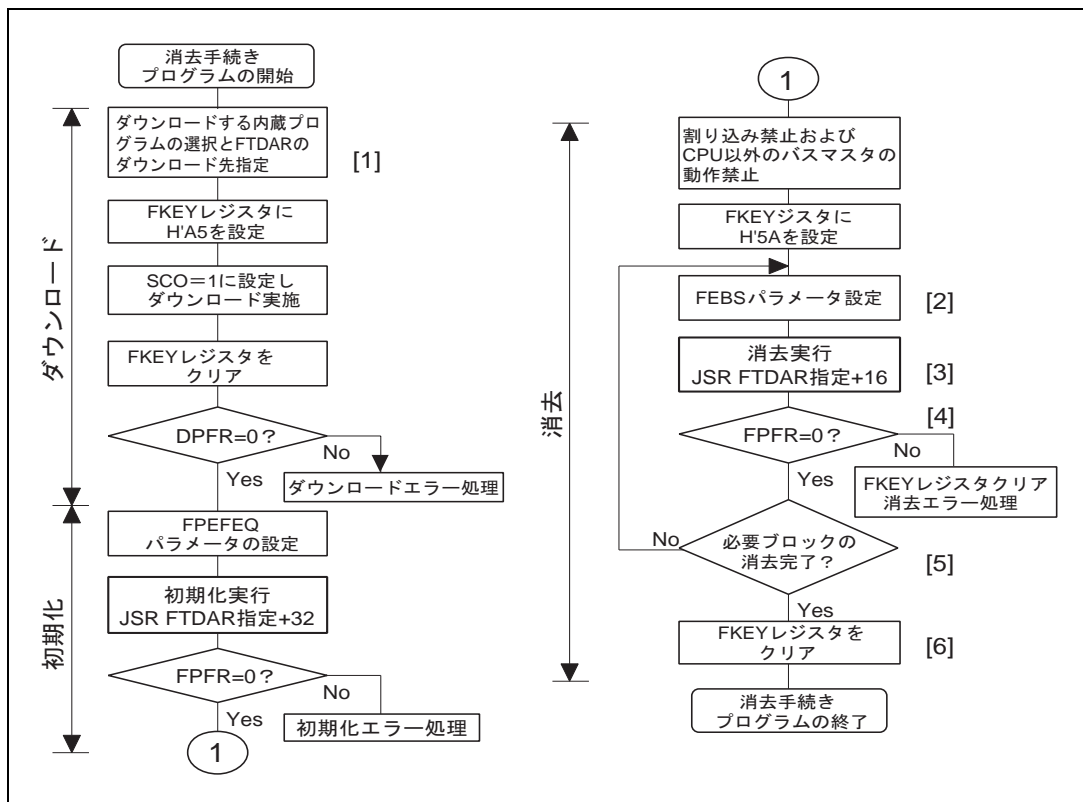


図 17.71 消去手順

手順プログラムは、消去対象のユーザマット以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「17.29.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 17.69 の書き込み / 消去実施時の RAM マップを参照してください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 17.63 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

[1] ダウンロードする内蔵プログラムを選択します。

FECS レジスタの EPVB ビットを 1 に設定します。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクトエラー検出ビット (SS) にダ

ウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

FKEY レジスタの設定以降のダウンロード、初期化などの手続きは、書き込み手順と同じですので、「17.24.2 (2) ユーザプログラムモードでの書き込み手順」を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

[2] 消去に必要なFEBSパラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータFEBS (汎用レジスタER0) に設定します。ユーザマットの消去ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータFPFRにはエラーが報告されます。

[3] 消去処理の実行

書き込みと同様に、FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリーアドレスを ER2 に設定
JSR	@ER2	; 消去ルーチンをコール
NOP		

- 消去プログラムではER0およびER1以外の汎用レジスタは保存されます。
- R0L はFPFR パラメータの戻り値です。
- 消去プログラムではスタック領域を使用しますので、最大 128 バイトのスタック領域をRAM上に確保しておいてください。

[4] 消去プログラムの戻り値FPFR (汎用レジスタR0L) を判定します。

[5] 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBSパラメータの更新設定を行い上記[2] ~ [5] の処理を繰り返します。消去済みブロックに対しての消去は可能です。

[6] 消去が終了したらFKEYレジスタをクリアして、ソフトウェアプロテクトを掛けてください。ユーザマットへの消去完了直後、パワーオンリセットで再起動する場合は通常より長い100μs以上のリセット実施期間 (RES=0の期間) を設けてください。

(4) ユーザプログラムモードでの消去 / 書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

RAM エミュレーション、消去、書き込みを繰り返し実行する場合の使用例を図 17.72 に示します。

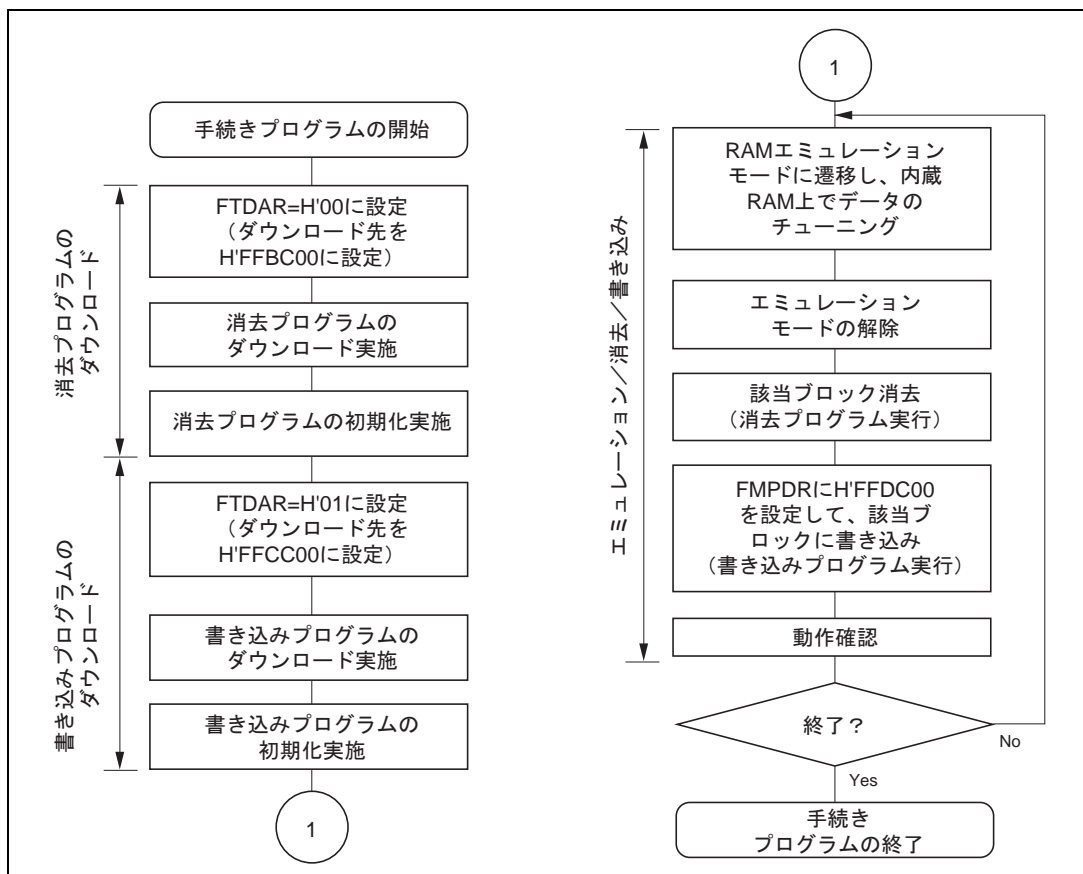


図 17.72 RAM エミュレーション、消去、書き込みの繰り返し例 (概要)

本例では、RAM エミュレーションを実施するため、H'FFDC00 からの 4K バイト (H'FFDC00 ~ H'FFEC00) を避けて、消去 / 書き込みプログラムをダウンロードしています。

また、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。

本例のような手続きを行う場合、以下にご注意ください。

- 内蔵 RAM 領域の重複破壊にご注意ください。
RAM エミュレーション領域、消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵 RAM 上に存在しますので、これらの領域を破壊しないようにしてください。
- 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。
FPEFEQ パラメータを設定する初期化は、必ず、消去プログラム / 書き込みプログラムの両方に実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭 + 32 番地 (本例では、H'FFBC20)、書き込みプログラムのダウンロード先頭 + 32 番地 (本例では、H'FFCC20) の両方に対して初期化してください。

17.24.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み / 消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み / 消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 17.52 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、ユーザブートマットの状態チェックが行われます。

この間の NMI およびその他の割り込みは受け付けられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、フラッシュマットセレクトレジスタ FMATS には H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 17.73 に示します。

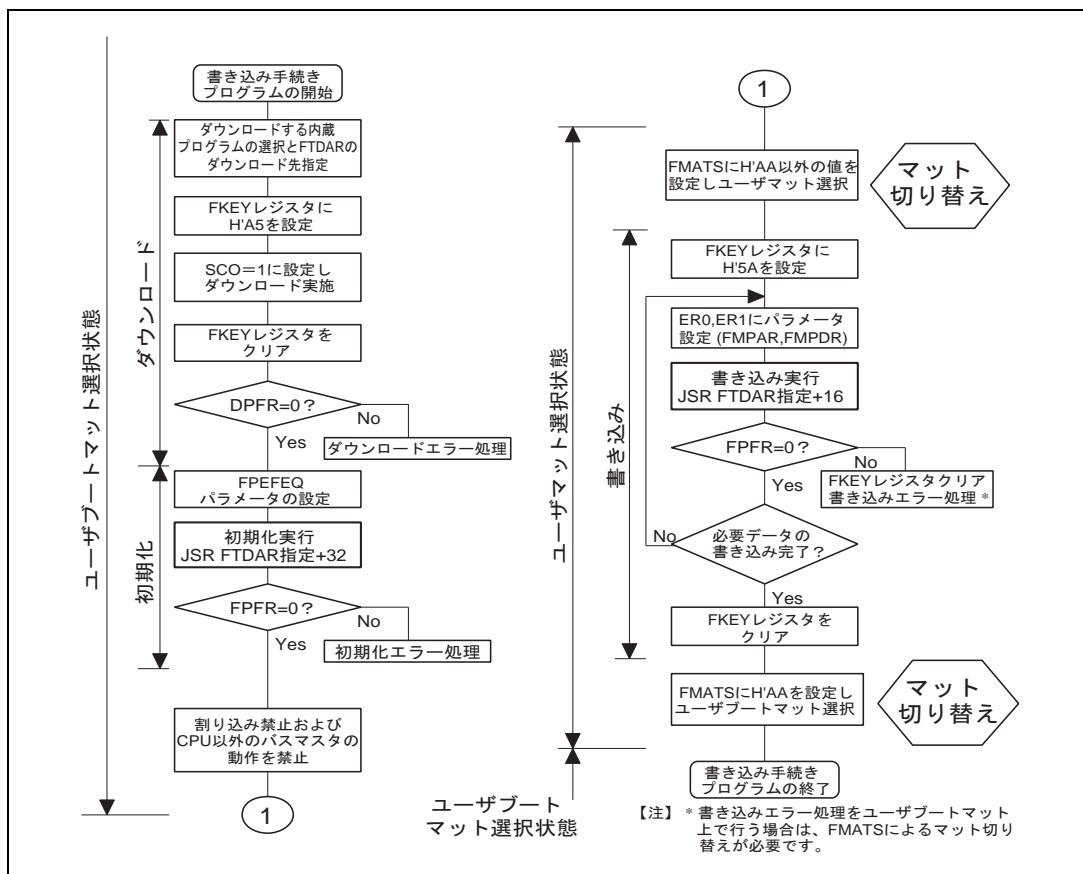


図 17.73 ユーザブートモードでのユーザマットへの書き込み手順

図 17.73 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で実行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS レジスタへ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「17.27 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「17.29.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 17.74 に示します。

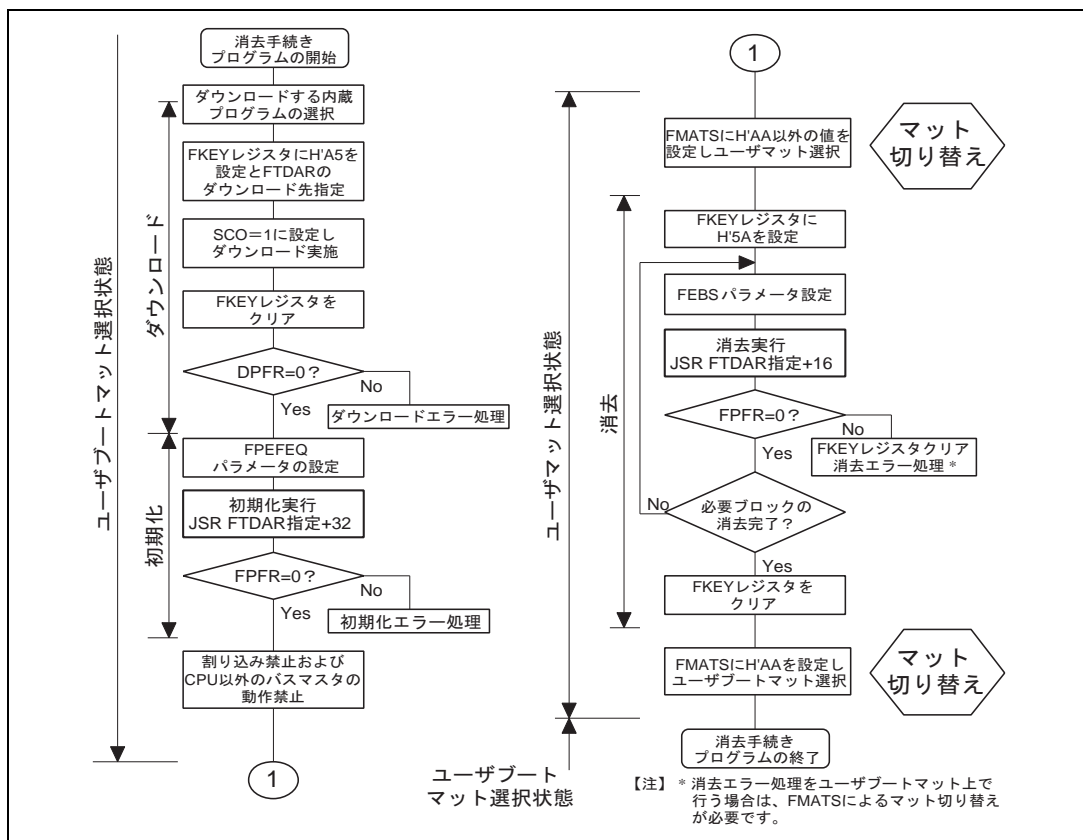


図 17.74 ユーザブートモードでのユーザマットの消去手順

図 17.74 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「17.27 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「17.29.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

17.25 プロテクト

フラッシュメモリに対する書き込み / 消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類があります。

17.25.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み / 消去プログラムを起動してもユーザマットの書き込み / 消去はできず、書き込み / 消去エラーが FPFPR パラメータで報告されます。

表 17.54 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、書き込み / 消去インタフェースレジスタが初期化され、書き込み / 消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES バルス幅の間 RES 端子を Low レベルに保持してください。書き込み / 消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 		

17.25.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み / 消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、RAM エミュレーションレジスタによるプロテクトがあります。

表 17.55 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	<ul style="list-style-type: none"> FCCS レジスタの SCO ビットを 0 にクリアすることにより、書き込み / 消去プログラムのダウンロードができないため、書き込み / 消去プロテクト状態になります。 		
FKEY レジスタプロテクト	<ul style="list-style-type: none"> FKEY レジスタにキーコードを書き込まないと、ダウンロードと書き込み / 消去ができません。ダウンロードと書き込み / 消去では、異なったキーコードの設定が必要です。 		
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、書き込み / 消去プロテクト状態になります。 		

17.25.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や規定の書き込み / 消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FCCS レジスタの FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み / 消去は中断されます。

FLER ビットのセット条件を以下に示します。

- (1) 書き込み / 消去中にNMIなどの割り込みが発生したとき
- (2) 書き込み / 消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
- (3) 書き込み / 消去中にSLEEP命令を実行したとき（ソフトウェアスタンバイを含む）
- (4) 書き込み / 消去中にCPU以外のバスマスタ（DTC、 $\overline{\text{BREQ}}$ ）が、バス権を確保したとき

エラープロテクトの解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

なお、この場合のリセット入力期間は、通常より長い 100μs の期間の後にリセットリリースしてください。フラッシュメモリには書き込み / 消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 17.75 にエラープロテクト状態への状態遷移図を示します。

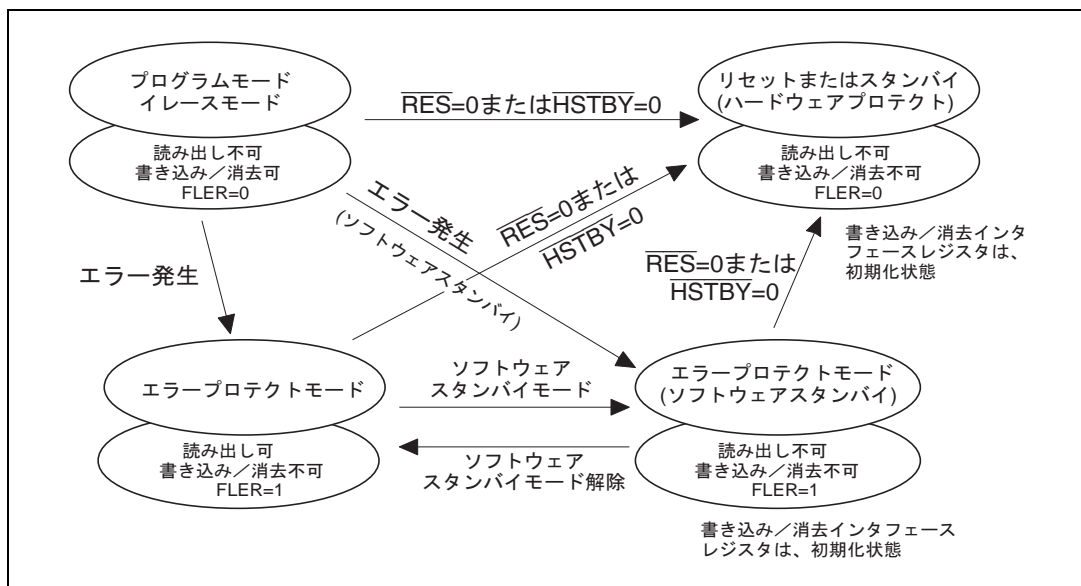


図 17.75 エラープロテクト状態への状態遷移図

17.26 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリ (ユーザマツト) のエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後がユーザマツトのエリアとここに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 17.76 にユーザマツトのリアルタイムな書き換えをエミュレートする例を示します。

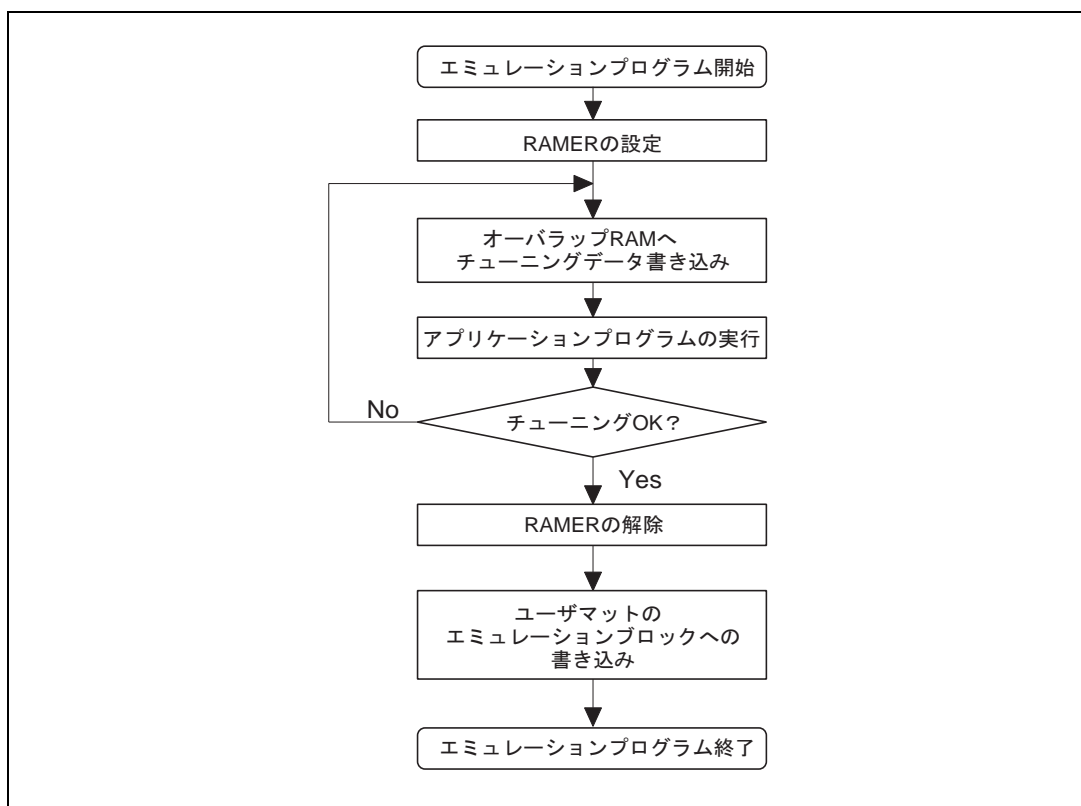


図 17.76 RAM によるエミュレーション

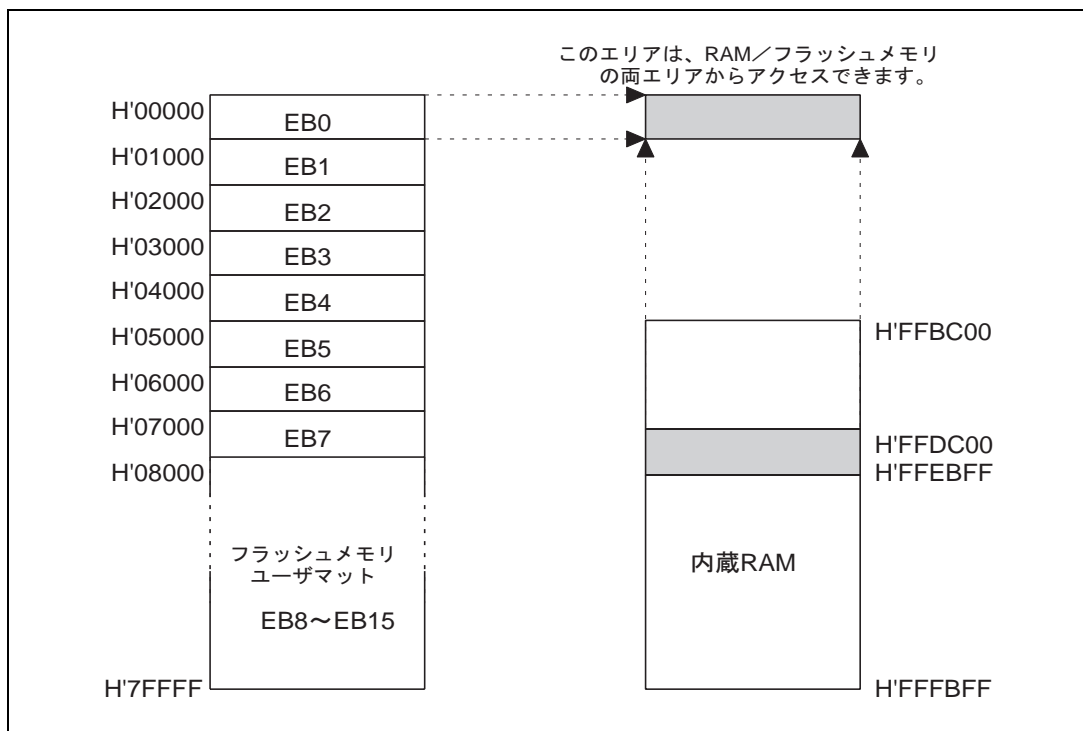


図 17.77 RAM のオーバーラップ動作例

図 17.77 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

エミュレーション可能なフラッシュメモリの領域は、ユーザマットのバンク 0 の EB0 ~ EB7 の 8 エリアから RAMER レジスタの RAM2 ~ RAM0 ビットで選択した 1 エリアです。

- (1) リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1、RAM2 ~ RAM0 ビットを 0 に設定してください。
- (2) リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。

ユーザマットへの書き込み / 消去実行においては、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このときに、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないようにダウンロード領域を設定してください。FTDAR が H'02 の場合、チューニング領域の一部とダウンロード領域の一部が重複しますので、事前に未使用領域に確定した書き換えデータの退避が必要になります。

図 17.78 に、エミュレーション完了後のデータをユーザマットの EB0 領域に書き込む例を示します。

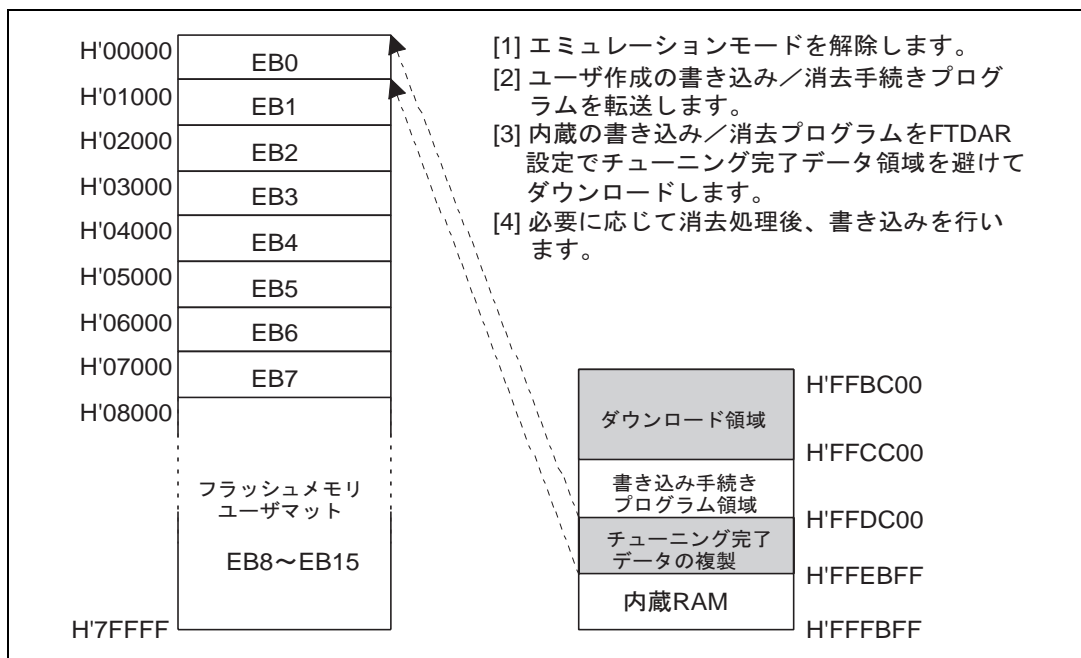


図 17.78 チューニング完了データの書き込み

- [1] 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- [2] ユーザ作成の書き込み／消去手続きプログラムをRAM上に転送します。
- [3] RAM上の書き込み／消去手続きプログラムを起動し、マイコン内蔵の書き込み／消去プログラムをRAM上にダウンロードします。
このとき、FTDARレジスタ設定により、チューニング完了データ領域とダウンロード領域が重複しないようにダウンロード先頭アドレスを指定してください。
- [4] ユーザマットのEB0エリアが消去されていない場合は、消去処理を行った後に書き込みプログラムをダウンロードすることになります。書き込みデータのパラメータFMPAR、FMPDRにチューニング完了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2～RAM0 の値にかかわらず、フラッシュマットの全ブロックが書き込み／消去プロテクト状態となります（エミュレーションプロテクト）。この状態では、内蔵プログラムのダウンロードもできませんので、実際に書き込み／消去を実施する場合は RAMS ビットをクリアしてください。

17.27 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライトモードで実施してください。)

- (1) FMATSレジスタによるマット切り替えは、必ず内蔵RAM上で実行してください。
- (2) 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATSレジスタ書き換えの前後には、同じく内蔵RAM上で4個のNOP命令を実行してください(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)。
- (3) 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。

必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。

- (4) マット切り替え完了後は、各種割り込みのベクタテーブルも切り替わっていますので注意してください。

マット切り替え前後で同じ割り込み処理を実施する場合は、

- どちらのマットにも同じ割り込み処理ルーチン、割り込みベクタを用意する。
- 内蔵RAM上に割り込み処理ルーチンを転送しておき、どちらのメモリマットにおいても割り込みベクタを同じ内蔵RAM上と設定する。

などをしてください。

- (5) ユーザマットとユーザブートマットはメモリサイズが異なります。8Kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。8Kバイト空間以上をアクセスした場合、不定値が読み出されます。

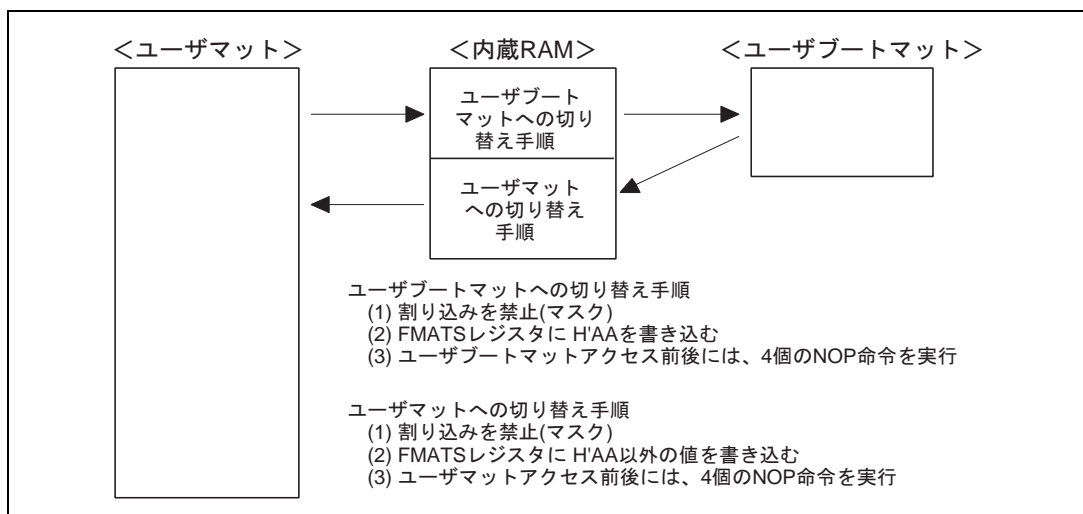


図 17.79 ユーザマット/ユーザブートマットの切り替え

17.27.1 使用上の注意

(1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ 2K バイト以内です。よって、CPU クロック周波数が、25MHz の場合、それぞれ最大で 164 μ s のダウンロード時間となります。

(2) DTC でのフラッシュ関連レジスタへの書き込み

ダウンロード要求の FCCS レジスタの SCO ビットや、マット切り替えの FMATS レジスタは、内蔵 RAM 上で命令実行中ならば、DTC からでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAM を破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、DTC でのフラッシュ関連レジスタへの書き込みを行わないでください。

(3) 従来の F-ZTAT H8S マイコンとの書き込み / 消去プログラムの互換性

SCO 転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来の F-ZTAT H8S マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。

本 F-ZTAT H8S マイコンでのフラッシュメモリへの書き込み / 消去は、必ず内蔵プログラムをダウンロードして実施してください。

(4) WDT による暴走などのモニタ

従来の F-ZTAT H8S マイコンと異なり、書き込み / 消去中は WDT による暴走などへの対応は、実施していません。

必要に応じて、書き込み / 消去の実行時間を考慮した WDT での対応を実施してください (定期的なタイマ割り込みの使用など) 。

17.28 ライタモード

プログラム/データの書き込み/消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではルネサス テクノロジ 512K バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用PROMライタを用いて内蔵ROMに自由にプログラムを書き込むことができます。書き込み/消去対象マツトは、ユーザマツトとユーザブツトマツトです。

自動書き込み/自動消去/ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。ライタモードでは、モード端子を表 17.56 の設定とし、入力クロックとして 12MHz を入力してください。

表 17.56 ライタモードの端子

端子名	設定、外付け回路接続
モード端子 : MD2、MD1、MD0	MD2、MD1、MD0 に Low レベルを入力
モード設定端子 : PF2、PF1、PF0	PF2 に High レベル、 PF1、PF0 に Low レベルを入力
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
RES 端子	リセット回路
XTAL、EXTAL 端子	発振回路
その他に設定が必要な端子 : P23、P25	P23 に High レベルを入力、P25 に Low レベルを入力

17.28.1 ソケットアダプタの端子対応図

図 17.81 に示すようにソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。内蔵 ROM のメモリマップを図 17.80 に、ソケットアダプタの端子対応図を図 17.81 に示します。

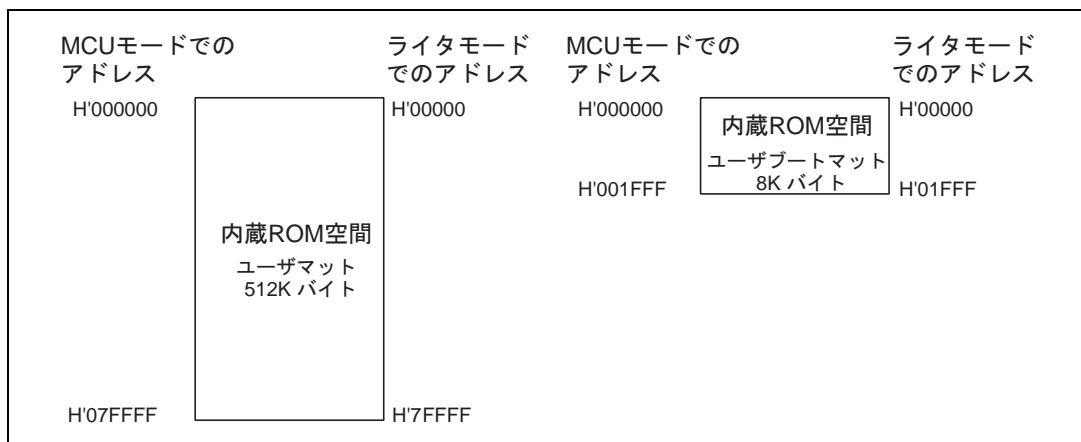


図 17.80 内蔵フラッシュのメモリマップ

H8S/2319C F-ZTAT				ソケットアダプタ (40ピン変換)	HN27C4096HG (40ピン)	
TLP-113V	TFP-100B	FP-100A	端子名		ピン番号	端子名
K4	32	34	A0		21	A0
L5	33	35	A1		22	A1
H5	34	36	A2		23	A2
J5	35	37	A3		24	A3
K5	36	38	A4		25	A4
L6	37	39	A5		26	A5
H6	38	40	A6		27	A6
H7	39	41	A7		28	A7
K6	41	43	A8		29	A8
J6	42	44	A9		31	A9
J7	43	45	A10		32	A10
L8	44	46	A11		33	A11
K7	45	47	A12		34	A12
K8	46	48	A13		35	A13
J9	47	49	A14		36	A14
K9	48	50	A15		37	A15
L10	50	52	A16		38	A16
K11	51	53	A17		39	A17
L11	52	54	A18		10	A18
J11	53	55	A19		9	A19
B2	99	1	A20		8	A20
J2	23	25	D8		19	I/O0
K2	24	26	D9		18	I/O1
K1	25	27	D10		17	I/O2
L2	26	28	D11		16	I/O3
L1	27	29	D12		15	I/O4
L3	28	30	D13		14	I/O5
H3	29	31	D14		13	I/O6
L4	30	32	D15		12	I/O7
H11	55	57	\overline{CE}		2	\overline{CE}
J8	54	56	\overline{OE}		20	\overline{OE}
J10	56	58	WE		3	WE
G8	60	62	V _{CL} *3		4	FWE
A9,A11,B3,B10,E8, E11,F8,G11,L7	40,63,64,65,74, 77,78,98,59	42,65,66,67,76, 79,80,100,61	V _{CC}	コンデンサ ×	1,40	V _{CC}
A6,A10,B7,B11,D2, D5,E9,G3,G10,H9, H10,J4,K3,K10	7,18,31,49,57, 58,61,68,75,76, 87,88,90	9,20,33,51,59, 60,63,70,77,78, 89,90,92	V _{SS}		11,30	V _{SS}
F11	62	64	RES	リセット回路 *1		
F10	66	68	XTAL	発振回路 *2		
F9	67	69	EXTAL			
上記以外	上記以外	上記以外	NC (OPEN)			

※ 本図は端子対応を示すもので、ソケットアダプタの全回路図を示すものではありません。

【記号説明】
I/O7~I/O0 : データ入出力
A20~A0 : アドレス入力
CE : チップイネーブル
OE : 出カインーブル
WE : ライトイネーブル

【注】 *1 リセット発振安定時間 (tosc1) は10ms以上必要です。
*2 水晶発振子は12MHzを使用します。
*3 V_{CL}端子は、0.1 F (暫定) のコンデンサでV_{SS}に接続してください。

図 17.81 ソケットアダプタの端子対応図

17.28.2 ライタモードの動作

表 17.57 にライタモード時の各動作モードの設定方法、表 17.58 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

- メモリ読み出しモード
メモリ読み出しモードは、ユーザマットおよびユーザブートマットのバイト読み出しをサポートします。
- 自動書き込みモード
自動書き込みモードでは、ユーザマットおよびユーザブートマットへの128バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しています。
- 自動消去モード
自動消去モードでは、ユーザマットおよびユーザブートマットの全面自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しています。
- ステータス読み出しモード
自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認はI/O6の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 17.57 ライタモード時の各動作モードの設定方法

モード	ピン名				
	\overline{CE}	\overline{OE}	\overline{WE}	I/O7~0	A18~0
リード	L	L	H	データ出力	Ain
出力ディスエーブル	L	H	H	Hi-Z	×
コマンド書き込み	L	H	L	データ入力	Ain* ²
チップディスエーブル* ¹	H	×	×	Hi-Z	×

【記号説明】

× : Don't care

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています

表 17.58 ライタモード時の各コマンド

コマンド名	サイクル数	対象メモリ マット	第 1 サイクル			第 2 サイクル		
			モード	アドレス	コマンド	モード	アドレス	データ
メモリ読み出しコマンド	1+n	ユーザマット	write	×	H'00	read	RA	Dout
		ユーザブート マット	write	×	H'05			
自動書き込みコマンド	129	ユーザマット	write	×	H'40	write	WA	Din
		ユーザブート マット	write	×	H'45			
自動消去コマンド	2	ユーザマット	write	×	H'20	write	×	H'20
		ユーザブート マット	write	×	H'25			H'25
ステータス読み出し コマンド	2	両マット共通	write	×	H'71	write	×	H'71

【記号説明】

× : Don't care

- 【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

17.28.3 メモリ読み出しモード

- 自動書き込み / 自動消去 / ステータス読み出し終了時は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- 電源投入後は、ユーザマットのメモリ読み出しモードに遷移します。
メモリ読み出しモード時のAC特性については、「17.29.2 ライタモードのAC特性、タイミング」を参照してください。

17.28.4 自動書き込みモード

- 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- メモリアドレスの転送は、第2サイクルで行います。第3サイクル以降では転送しないでください。
- 書き込み動作中は、コマンド書き込みを行わないでください。
- 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- 自動書き込み終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7のステータスポーリングは、自動

書き込み終了判定用端子です)。

- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。
自動書き込みモード時のAC特性については、「17.29.2 ライタモードのAC特性、タイミング」を参照してください。

17.28.5 自動消去モード

- (1) 自動消去モードでは、メモリ全面消去のみサポートします。
(2) 自動消去中はコマンド書き込みを行わないでください。
(3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (I/O7のステータスポーリングは、自動消去終了判定用端子です)。
(4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

自動消去モード時のAC特性については、「17.29.2 ライタモードのAC特性、タイミング」を参照してください。

17.28.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込み/自動消去モードで異常終了が起きた場合に使用してください。
(2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

ステータス読み出しモードのリターンコードを表 17.59 に示します。

ステータス読み出しモード時のAC特性については、「17.29.2 ライタモードのAC特性、タイミング」を参照してください。

表 17.59 ステータス読み出しモードのリターンコード

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了判定	コマンドエラー	書き込みエラー	消去エラー	-	-	書き込み or 消去回数オーバ	有効アドレスエラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了 : 0 異常終了 : 1	コマンドエラー : 1 その他 : 0	書き込みエラー : 1 その他 : 0	消去エラー : 1 その他 : 0	-	-	回数オーバ時 : 1 その他 : 0	有効アドレスエラー : 1 その他 : 0

【注】 I/O3、2 は未定義です。

17.28.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 17.60 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0~5	0	0	0	0

17.28.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ時間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。「17.29.2 ライタモードの AC 特性、タイミング」を参照してください。

17.28.9 ライタモード使用時の注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラミングモードにて書き込み / 消去を行ったチップに対して、ライタを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
- (3) 書き込み / 消去実行中に、マイコンチップをPROMライタから取り外したり、リセットを入力することはやめてください。書き込み / 消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。
もし、誤ってリセット入力してしまった場合は、100μsの通常より長いリセット期間の後にリセットリリースしてください。
- (4) ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化 (消去) レベルをチェック、補正するために自動消去実施を推奨します。
- (5) 本LSIでは、汎用EPROMのような製品識別モードをサポートしていませんので、PROMライタにデバイス名を自動設定することができません。
- (6) 本LSIのライタモードに適合するPROMライタおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書などを参照してください。

17.29 付録

17.29.1 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストとLSI内蔵のSCIを使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

(1) ステータス

ブートプログラムは3つのステータスを持ちます。

(a) ビットレート合わせ込みステータス

ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

(b) 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマットとユーザブートマットを消去します。

(c) 書き込み消去ステータス

書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み、消去プログラムを内蔵RAMに転送し、書き込み/消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 17.82 に示します。

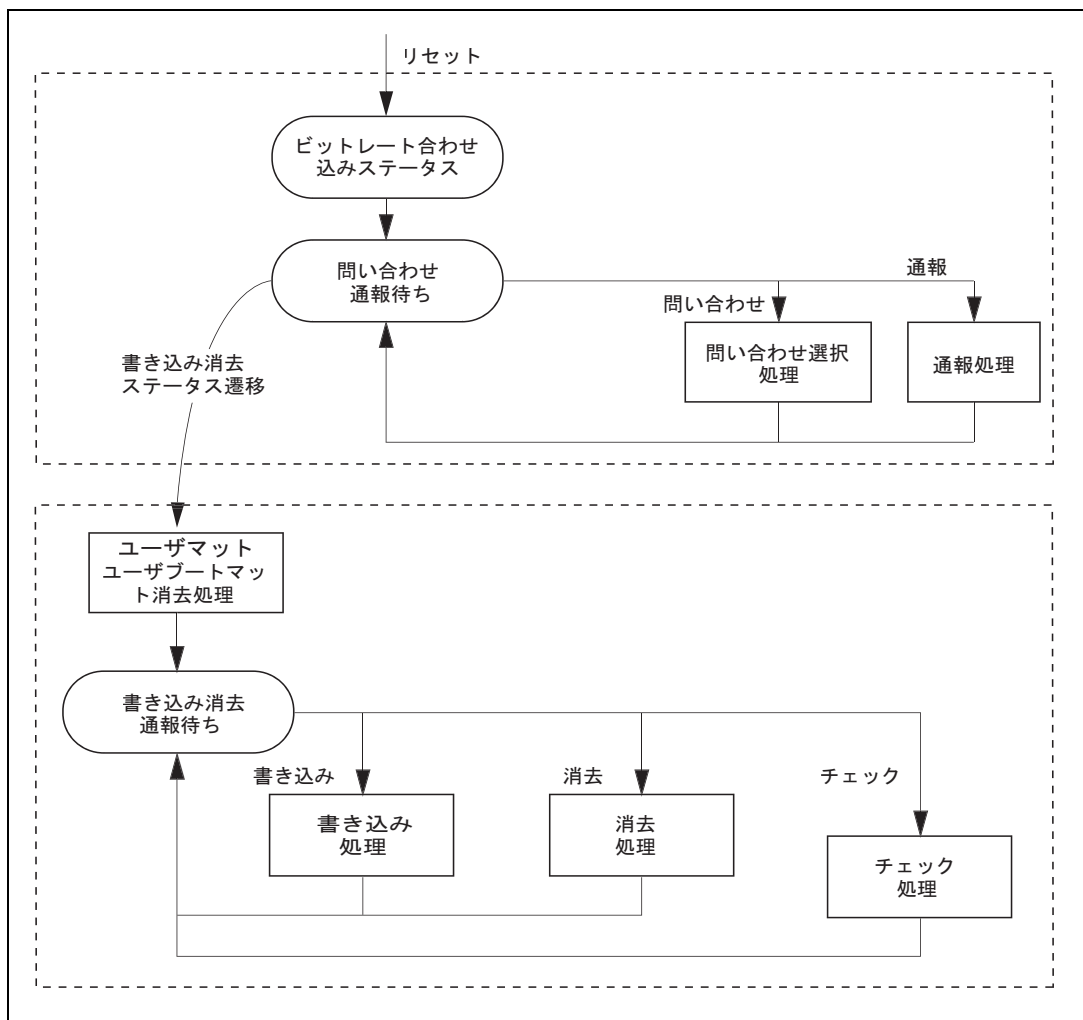


図 17.82 ブートプログラムのステータス

(2) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 17.83 に示します。

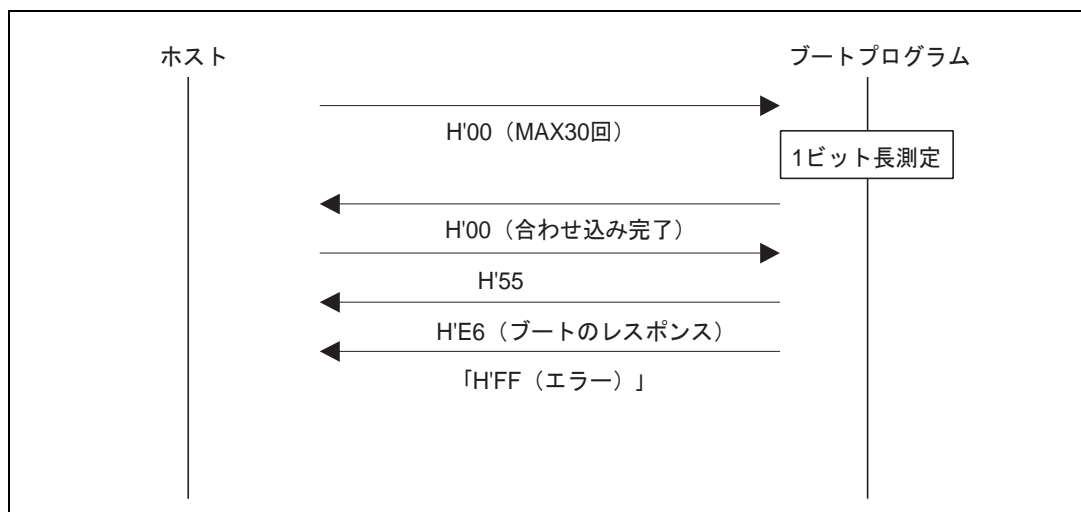


図 17.83 ビットレート合わせ込みのシーケンス

(3) 通信プロトコル

ビットレート合わせ込みが完了した後の、ホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

- (a) 1文字コマンドまたは1文字レスポンス
コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがありません。
- (b) n文字コマンドまたはn文字レスポンス
コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。
書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。
- (c) エラーレスポンス
コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。
- (d) 128バイト書き込み
サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。
- (e) メモリリードのレスポンス
サイズが4バイトのレスポンスです。

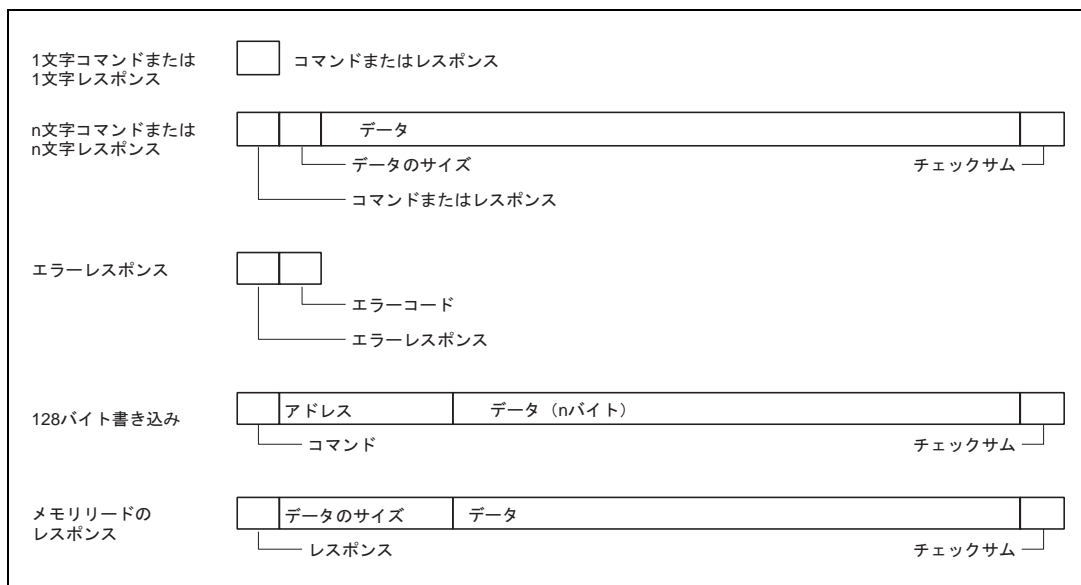


図 17.84 通信プロトコルフォーマット

- コマンド (1 バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1 バイト) : 問い合わせに対する応答
- サイズ (1 バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (n バイト) : コマンド、レスポンスの詳細データ
- チェックサム (1 バイト) : コマンドから SUM まで加算し、H'00 となるように設定
- エラーレスポンス (1 バイト) : コマンドに対するエラーレスポンス
- エラーコード (1 バイト) : 発生したエラーの種類
- アドレス (4 バイト) : 書き込みアドレス
- データ (n バイト) : 書き込みデータ、n は書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4 バイト) : メモリリードのレスポンスで 4 バイト長

(4) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュメモリの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 17.61 に示します。

表 17.61 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	通倍比問い合わせ	通倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択(H'10)、クロックモード選択(H'11)、新ビットレート選択(H'3F)の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ(H'4F)を除いて、書き込み消去ステータス遷移(H'40)を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ(H'4F)は書き込み消去ステータス遷移(H'40)を受け付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」(1バイト) : サポートデバイス問い合わせ

レスポンス

H'30	サイズ	デバイス数
文字数	デバイスコード	品名
...		
SUM		

- レスポンス「H'30」(1バイト) : サポートデバイス問い合わせに対する応答
- サイズ(1バイト) : コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数(1バイト) : マイコン内のブートプログラムがサポートする品種数
- 文字数(1バイト) : デバイスコードとブートプログラム品名の文字数
- デバイスコード(4バイト) : サポートする品名の ASCII コード

- 品名 (n バイト) : ブートプログラム型名、ASCII コード
- SUM (1 バイト) : サムチェック、レスポンスから SUM まで加算し、H'00 となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」(1 バイト) : デバイス選択
- サイズ (1 バイト) : デバイスコードの文字数 (固定値で 4)
- デバイスコード (4 バイト) : サポートデバイス問い合わせで応答したデバイスコード (ASCII コード)
- SUM (1 バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1 バイト) : デバイス選択に対する応答、デバイスコードが一致したとき ACK

エラーレスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」(1 バイト) : デバイス選択に対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'21 : デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」(1 バイト) : クロックモード問い合わせ

レスポンス

H'31	サイズ	モード	...	SUM
------	-----	-----	-----	-----

- レスポンス「H'31」(1 バイト) : クロックモード問い合わせに対する応答
- サイズ (1 バイト) : モードの合計サイズ
- モード (1 バイト) : 選択可能なクロックモード (例 : H'01 クロックモード 1)
- SUM (1 バイト) : サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」(1 バイト) : クロックモード選択
- サイズ (1 バイト) : モードの文字数、固定値で 1
- モード (1 バイト) : クロックモード問い合わせで応答されたクロックモード
- SUM (1 バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1 バイト) : クロックモード選択に対する応答、クロックモードが一致したとき ACK

エラーレスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」(1バイト) : クロックモード選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'22 : クロックモードエラー、クロックモードが一致しない
 クロックモード問合せでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 逓倍比問い合わせ

逓倍比問い合わせに対して、ブートプログラムは選択可能な逓倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」(1バイト) : 逓倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
逓倍比数	逓倍比	...					
...							
SUM							

- レスポンス「H'32」(1バイト) : 逓倍比問い合わせに対する応答
- サイズ(1バイト) : 種別数、逓倍比数、逓倍比の合計サイズ
- 種別数(1バイト) : デバイスで選択可能な逓倍比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 逓倍比数(1バイト) : 各動作周波数で選択可能な逓倍比数
メインモジュール、周辺モジュールで選択可能な逓倍比数
- 逓倍比(1バイト)
 - 逓倍比 : 逓倍する数値(例 4逓倍 : H'04)
 - 分周比 : 分周する数値、負の数(例 2分周 : HFE[-2])
 逓倍比を逓倍比数の数だけ繰り返す、逓倍比数と逓倍比の組み合わせを種別数の数だけ繰り返す
- SUM(1バイト) : サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」(1バイト) : 動作周波数問い合わせ

レスポンス

H'33	サイズ	周波数の数
動作周波数最小値		動作周波数最大値
...		
SUM		

- レスポンス「H'33」(1バイト) : 動作周波数問い合わせに対する応答
- サイズ(1バイト) : 動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数(1バイト) : デバイスに必要な動作周波数の種類数、
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値(2バイト) : 逓倍あるいは分周されたクロックの最小値、
動作周波数最小値、最大値は周波数(MHz)の小数点2位までの値を100倍した値
(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)

- 動作周波数最大値 (2 バイト) : 逡倍あるいは分周されたクロックの最大値、動作周波数最小値、動作周波数最大値のデータが周波数の数だけ続く
- SUM (1 バイト) : サムチェック

(g) ユーザブートマツト情報問い合わせ

ユーザブートマツト情報問い合わせに対して、ブートプログラムはユーザブートマツトのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」(1 バイト) : ユーザブートマツト情報問い合わせ

レスポンス	H'34	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	. . .			
	SUM			

- レスポンス「H'34」(1 バイト) : ユーザブートマツト情報問い合わせに対する応答
- サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1 バイト) : 連続したユーザブートマツトのエリアの数、ユーザブートマツトのエリアが連続の場合は H'01
- エリア先頭アドレス (4 バイト) : エリアの先頭アドレス
- エリア最終アドレス (4 バイト) : エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1 バイト) : サムチェック

(h) ユーザマツト情報問い合わせ

ユーザマツト情報問い合わせに対して、ブートプログラムはユーザマツトのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1 バイト) : ユーザマツト情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	. . .			
	SUM			

- レスポンス「H'35」(1 バイト) : ユーザマツト情報問い合わせに対する応答
- サイズ (1 バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1 バイト) : 連続したユーザマツトのエリアの数、ユーザマツトのマツトエリアが連続の場合は H'01
- エリア先頭アドレス (4 バイト) : エリアの先頭アドレス
- エリア最終アドレス (4 バイト) : エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1 バイト) : サムチェック

(i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス

H'36	サイズ	ブロック数			
ブロック先頭アドレス			ブロック最終アドレス		
. . .					
SUM					

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ(1バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数(1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス(4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス(4バイト) : ブロックの最終アドレス、
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM(1バイト) : サムチェック

(j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」(1バイト) : 書き込みサイズ問い合わせ

レスポンス

H'37	サイズ	書き込みサイズ	SUM		
------	-----	---------	-----	--	--

- レスポンス「H'37」(1バイト) : 書き込みサイズ問い合わせに対する応答
- サイズ(1バイト) : 書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ(2バイト) : 書き込み単位のサイズ、
このサイズで書き込みデータを受け取る
- SUM(1バイト) : サムチェック

(k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド

H'3F	サイズ	ビットレート	入力周波数
通倍比数	通倍比 1	通倍比 2	
SUM			

- コマンド「H'3F」(1バイト) : 新ビットレート選択
- サイズ(1バイト) : ビットレート、入力周波数、通倍比数、通倍比の合計サイズ
- ビットレート(2バイト) : 新ビットレート、
1/100の値とする(たとえば、19200bpsのときは192とし、H'00C0とする)
- 入力周波数(2バイト) : ブートプログラムに入力されるクロック周波数、
周波数(MHz)の小数点2位までの値とする(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)

- 通倍比数 (1 バイト) : デバイスで選択可能な通倍比数、通常はメイン動作周波数と周辺モジュール動作周波数で 2
 - 通倍比 1 (1 バイト) : メイン動作周波数の通倍比または分周比
 - 通倍比 : 通倍する数値 (例 4 通倍 : H'04 本 LSI では H'01 を設定してください)
 - 分周比 : 分周する数値、負の数値 (例 2 分周 : H'FE[- 2] 本 LSI では H'01 を設定してください)
 - 通倍比 2 (1 バイト) : 周辺動作周波数の通倍比または分周比
 - 通倍比 : 通倍する数値 (例 4 通倍 : H'04 本 LSI では H'01 を設定してください)
 - 分周比 : 分周する数値、負の数値 (例 2 分周 : H'FE[- 2] 本 LSI では H'01 を設定してください)
 - SUM (1 バイト) : サムチェック
- レスポンス

H'06

- レスポンス「H'06」(1 バイト) : 新ビットレート選択に対する応答、選択可能なとき ACK
- エラーレスポンス

H'BF	ERROR
------	-------
- エラーレスポンス「H'BF」(1 バイト) : 新ビットレート選択に対するエラー応答
 - ERROR : (1 バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'24 : ビットレート選択不可エラー、指定されたビットレートが選択できない
 - H'25 : 入力周波数エラー、入力周波数が最小値と最大値の範囲にない
 - H'26 : 通倍比エラー、通倍比が一致しない*
 - H'27 : 動作周波数エラー、動作周波数が最小値と最大値の範囲にない*

【注】* 本 LSI ではこのエラーは発生しません。

(5) 受信データのチェック

受信したデータのチェック方法を以下に示します。

- (a) 入力周波数
受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば入力周波数エラーです。
- (b) 通倍比
受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と、一致するかどうかをチェックします。一致しなければ通倍比エラーです。
- (c) 動作周波数
受信した入力周波数と、通倍比または分周比とから、動作周波数を計算します。入力周波数は LSI に供給される周波数で、動作周波数は実際に LSI が動作する周波数です。計算式を以下に示します。

$$\text{動作周波数} = \text{入力周波数} \times \text{通倍比、または、}$$

$$\text{動作周波数} = \text{入力周波数} \div \text{分周比}$$
 この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば動作周波数エラーです。
- (d) ビットレート
ペリフェラル動作周波数 (φ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、

誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{\phi * 10^6}{(N+1) * B * 64 * 2^{(2*n-1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 17.85 に示します。

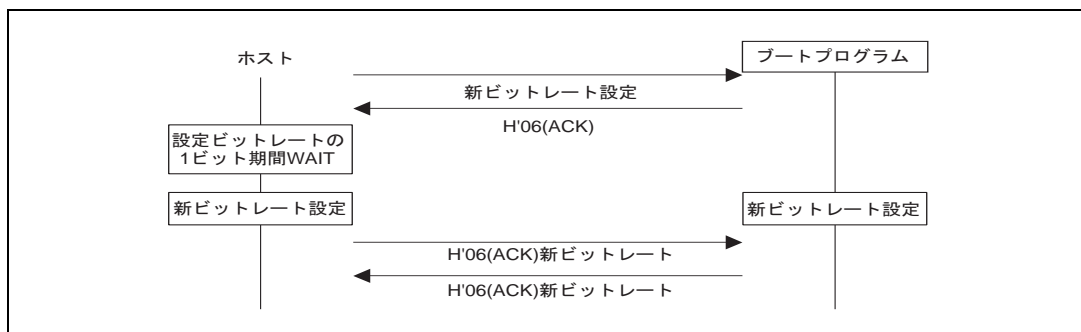


図 17.85 新ビットレート選択のシーケンス

(6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたとき ACK

エラーレスポンス

H'C0

H'51

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラーレスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」(1バイト) : コマンドエラー
- コマンド「H'xx」(1バイト) : 受信したコマンド

(8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

- (a) サポートデバイス問い合わせ (H'20) で、サポートデバイスを問い合わせてください。
- (b) 応答されたデバイス情報からデバイスを選んで、デバイス選択 (H'10) をしてください。
- (c) クロックモード問い合わせ (H'21) で、クロックモードを問い合わせてください。
- (d) 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
- (e) デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ (H'22)、動作周波数問い合わせ (H'23) で新ビットレート選択に必要な情報を問い合わせてください。
- (f) 逡倍比、動作周波数の情報に従って、新ボーレート選択 (H'3F) をしてください。
- (g) デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ (H'24)、ユーザマット情報問い合わせ (H'25)、消去ブロック情報問い合わせ (H'26)、書き込みサイズ問い合わせ (H'27) で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
- (h) 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移 (H'40) を実行してください。書き込み消去ステータスに遷移します。

(9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を表 17.62 に示します。

表 17.62 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128バイト書き込み	128バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアリッド	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

(a) 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し、書き込み方式と書き込みマツトを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

- ユーザブートマツト書き込み選択
- ユーザマツト書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドは、それぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは、128 バイトコマンドを繰り返してください。書き込みを終了させたいときは、アドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマツトの書き込みを行うときは、書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 17.86 に示します。

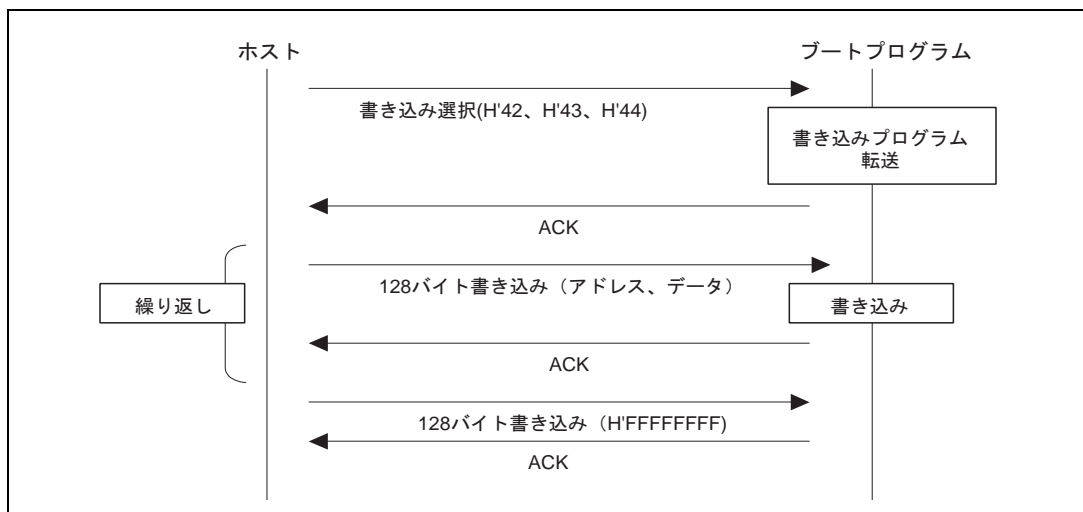


図 17.86 書き込みシーケンス

(b) ユーザブートマツト書き込み選択

ユーザブートマツト書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマツトに書き込みます。

コマンド

H'42

- コマンド「H'42」(1 バイト) : ユーザブートプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」(1 バイト) : ユーザブートプログラム書き込み選択に対する応答、書き込みプログラムを転送したとき ACK

エラーレスポンス

H'C2

ERROR

- エラーレスポンス「H'C2」(1 バイト) : ユーザブートマツト書き込み選択に対するエラー応答

- ERROR : (1 バイト) : エラーコード
H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(c) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」(1 バイト) : ユーザプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」(1 バイト) : ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したとき ACK

エラーレスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」(1 バイト) : ユーザプログラム書き込み選択に対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(d) 128 バイト書き込み

128 バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド

H'50	アドレス						
データ	...						
...							
SUM							

- コマンド「H'50」(1 バイト) : 128 バイト書き込み
- 書き込みアドレス (4 バイト) : 書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数
例) H'00,H'01,H'00,H'00 : H'01000000
- 書き込みデータ (128 バイト) : 書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM (1 バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1 バイト) : 128 バイト書き込みに対する応答、書き込みが完了したとき ACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」(1 バイト) : 128 バイト書き込みに対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'2A : アドレスエラー、アドレスが指定のマットの範囲にない
H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位バイトを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータがない部分を H'FF で埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFF の n バイト書き込みコマンドを送信してく

ださい。アドレス H'FFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド

H'50	アドレス	SUM
------	------	-----

- コマンド「H'50」（1 バイト）：128 バイト書き込み
- 書き込みアドレス（4 バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- SUM（1 バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1 バイト）：128 バイト書き込みに対する応答、書き込み処理が完了したとき ACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1 バイト）：128 バイト書き込みに対するエラー応答
- ERROR：（1 バイト）：エラーコード
H'11：サムチェックエラー
H'53：書き込みエラー、書き込みエラーが発生し書き込めない

(10) 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 17.87 に示します。

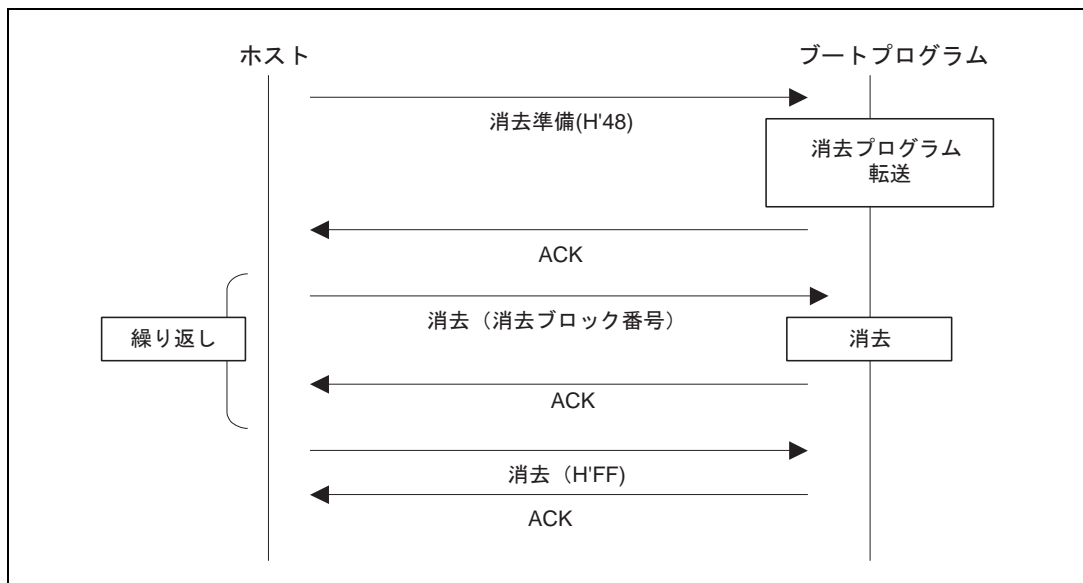


図 17.87 消去シーケンス

(a) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」(1バイト) : 消去選択

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 消去選択に対する応答、消去プログラムを転送したとき ACK

エラーレスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」(1バイト) : 消去選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(b) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ(1バイト) : 消去ブロック番号の文字数、固定値で1
- ブロック番号(1バイト) : データを消去する消去ブロック番号
- SUM(1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 消去に対する応答、消去が完了したとき ACK

エラーレスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」(1バイト) : 消去に対するエラー応答
- ERROR : (1バイト) : エラーコード
H'11 : サムチェックエラー
H'29 : ブロック番号エラー、ブロック番号が正しくない
H'51 : 消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ(1バイト) : 消去ブロック番号の文字数、固定値で1
- ブロック番号(1バイト) : H'FF、消去処理の終了コード
- SUM(1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(11) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス
		読み出しサイズ		SUM

- コマンド「H'52」(1バイト) : メモリリード
- サイズ(1バイト) : エリア、読み出しアドレス、読み出しサイズの合計サイズ(固定値で9)
- エリア(1バイト)

H'00 : ユーザブートマット

H'01 : ユーザマット

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス(4バイト) : 読み出す先頭アドレス
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- SUM(1バイト) : サムチェック

レスポンス	H'52	読み出しサイズ						
	データ	...						
	SUM							

- レスポンス「H'52」(1バイト) : メモリリードに対する応答
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- データ(nバイト) 読み出しアドレスからの読み出しサイズ分のデータ
- SUM(1バイト) : サムチェック

エラーレスポンス	H'D2	ERROR
----------	------	-------

- エラーレスポンス「H'D2」(1バイト) : メモリリードに対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

読み出しアドレスがマットの範囲にない

H'2B : サイズエラー

読み出しサイズがマットの範囲を超えている

(12) ユーザブートプログラムのサムチェック

ユーザブートプログラムのサムチェックに対して、ブートプログラムはユーザブートプログラムのデータを加算してその結果を応答します。

コマンド	H'4A
------	------

- コマンド「H'4A」(1バイト) : ユーザブートプログラムのサムチェック

レスポンス	H'5A	サイズ	マットのサムチェック	SUM
-------	------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- マットのサムチェック(4バイト) : ユーザブートマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(13) ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザプログラムのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(14) ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラーレスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(15) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラーレスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(16) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」(1バイト) : ブートプログラムステータス問い合わせ

レスポンス	H'5F	サイズ	STATUS	ERROR	SUM
-------	------	-----	--------	-------	-----

- レスポンス「H'5F」(1バイト) : ブートプログラムステータス問い合わせに対する応答
- サイズ(1バイト) : データの文字数、固定値で2
- STATUS(1バイト) : 標準ブートプログラムのステータス
表17.63をご覧ください。
- ERROR(1バイト) : エラー状態
ERROR = 0で正常
ERRORが0以外で異常
表17.64をご覧ください。
- SUM(1バイト) : サムチェック

表 17.63 ステータスコード

コード	内容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち(ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち(消去完了)
H'4F	書き込みデータ受信待ち(書き込み完了)
H'5F	消去ブロック指定待ち(消去完了)

表 17.64 エラーコード

コード	内容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

17.29.2 ライタモードの AC 特性、タイミング

表 17.65 メモリ読み出しモード時の AC 特性

条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μ s
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

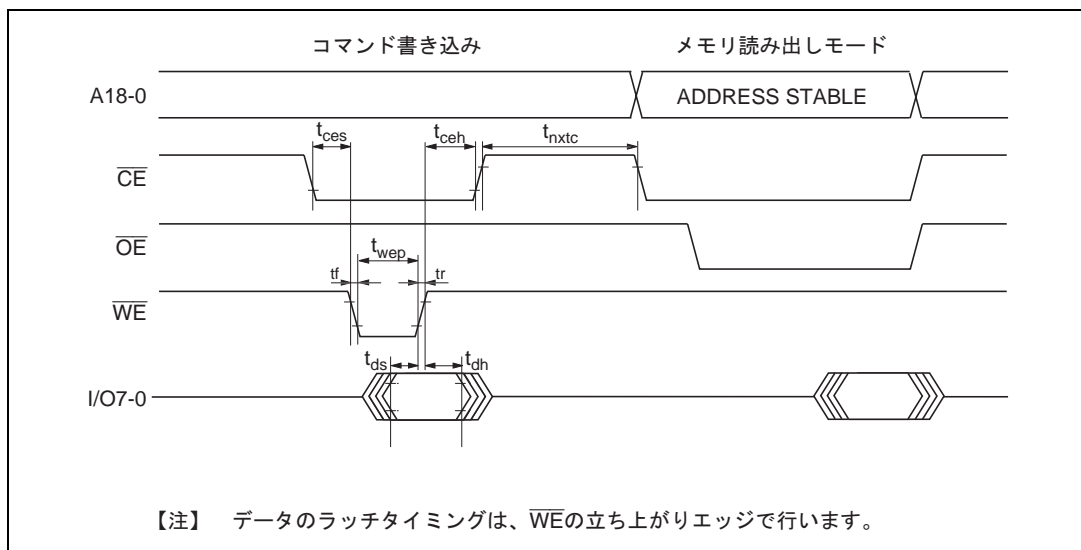


図 17.88 コマンド書き込み後メモリ読み出しタイミング図

表 17.66 メモリ読み出しモードから他のモードへ遷移時の AC 特性

条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μ s
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

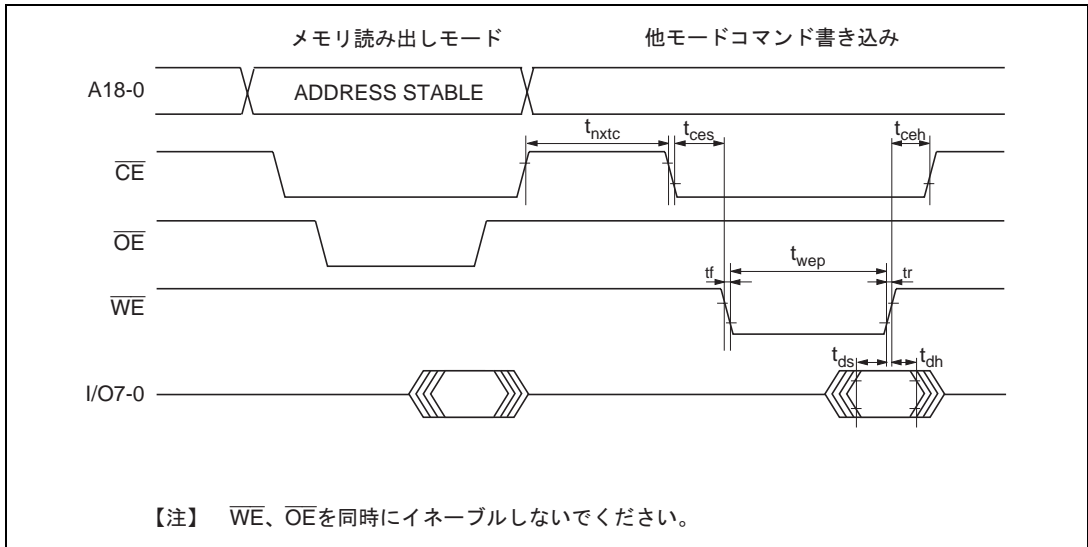


図 17.89 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 17.67 メモリ読み出しモード時の AC 特性

条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位
アクセス時間	t_{acc}		20	μ s
\overline{CE} 出力遅延時間	t_{ce}		150	ns
\overline{OE} 出力遅延時間	t_{oe}		150	ns
出力ディスエーブル遅延時間	t_{df}		100	ns
データ出力ホールド時間	t_{oh}	5		ns

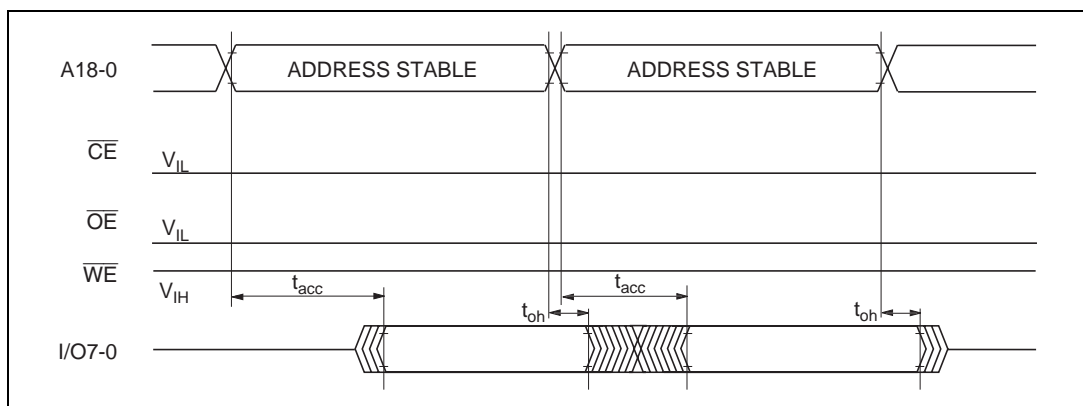
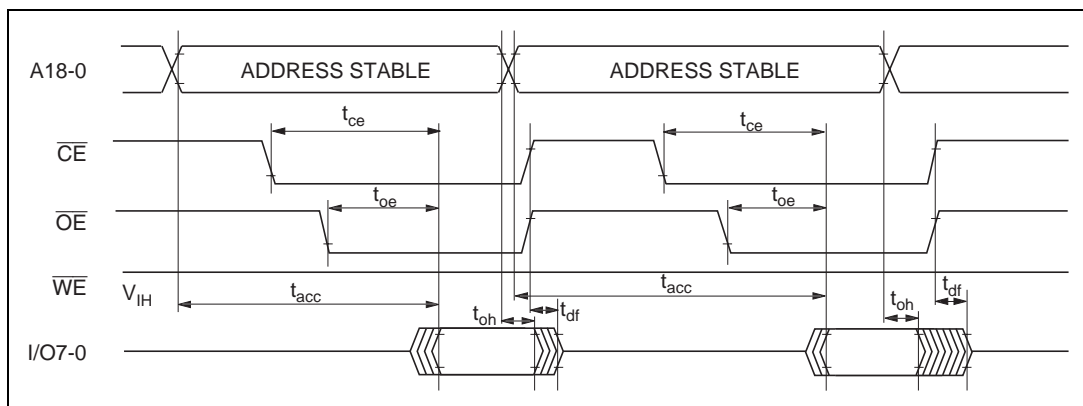
図 17.90 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形図 17.91 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

表 17.69 自動消去モード時の AC 特性

条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
ステータスポーリング開始時間	t_{ests}	1		ms
ステータスポーリングアクセス時間	t_{spa}		150	ns
メモリ消去時間	t_{erase}	100	40000	ms
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

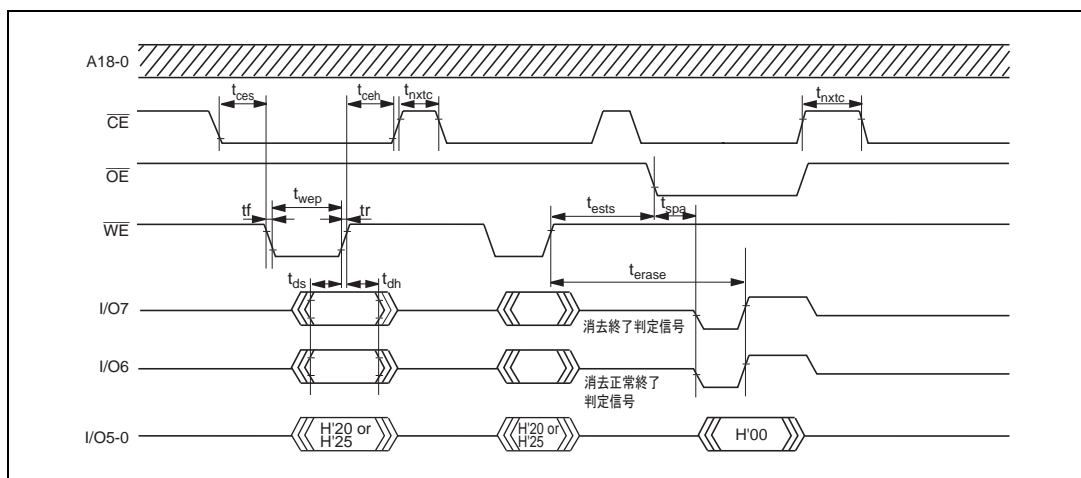


図 17.93 自動消去モードのタイミング波形

表 17.70 ステータス読み出しモード時の AC 特性

条件 : $V_{CC} = 3.3 \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
OE 出力遅延時間	t_{oe}		150	ns
ディスエーブル遅延時間	t_{df}		100	ns
CE 出力遅延時間	t_{ce}		150	ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

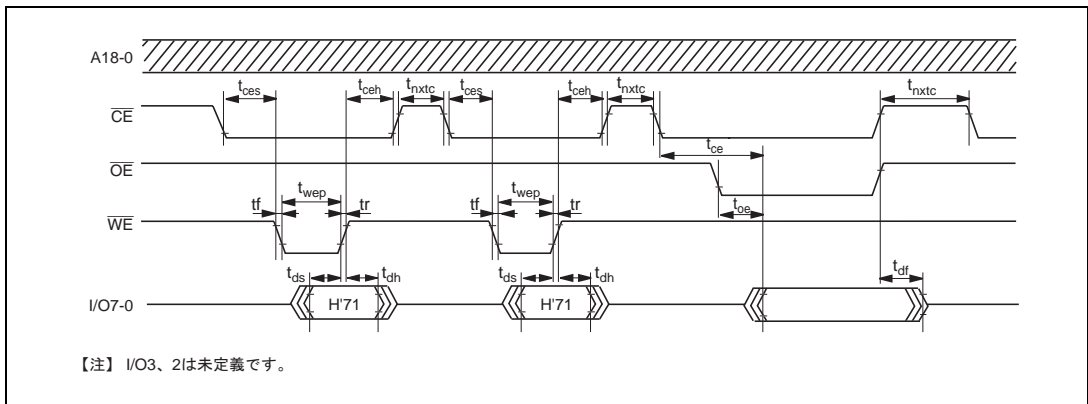


図 17.94 ステータス読み出しモードのタイミング波形

表 17.71 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位
スタンバイ解除 (発振安定時間)	t_{osc1}	30		ms
ライターモードセットアップ時間	t_{bmv}	10		ms
V_{CC} ホールド時間	t_{dwn}	0		ms

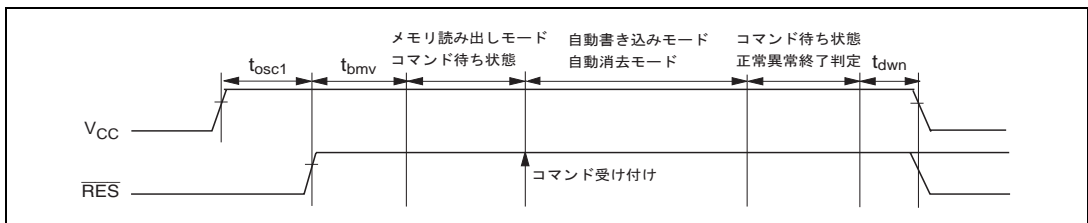


図 17.95 発振安定時間、ライターモードセットアップ時間、電源立ち下げシーケンス

17.29.3 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み / 消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件を守れば他の領域（書き込み / 消去対象外のフラッシュメモリ、外部空間領域など）で実行することができます。

書き込み / 消去の条件

- (1) 内蔵の書き込み / 消去実行プログラムはFTDARレジスタで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでダウンロードされる領域と書き込み / 消去処理を行う期間では使用できません。
- (2) 内蔵の書き込み / 消去実行プログラムでは、スタック領域を128バイト以上使用するので、確保してください。
- (3) SCOビットを1にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
- (4) 書き込み / 消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラムを内蔵RAMに転送してください。
- (5) 書き込み / 消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラムの実行領域も、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。
- (6) 書き込み / 消去完了後のFKEYレジスタのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。
書き込み / 消去完了直後に、LSIモードを変更してリセット動作をさせる場合には、100μs以上のリセット期間（RES = 0とする期間）を設けてください。
なお、書き込み / 消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100μsの通常より長いリセット期間の後に、リセットリリースしてください。
- (7) ユーザブートモードでのユーザマットへの書き込み / 消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください（「17.27 ユーザマットとユーザブートマットの切り替え」をご参照ください）。
マットの切り替えにおいては、現在どちらのマットが選択されているかにご注意ください。
- (8) 通常書き込みのデータがあっても、書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上にあると、エラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード / 処理内容ごとの組み合わせでの、書き込みデータ格納エリアおよび実行が可能なエリアを下表に示します。

表 17.72 実行可能マットまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 17.73 (1)	表 17.73 (3)
消去	表 17.73 (2)	表 17.73 (4)

【注】 * ユーザマットに対する書き込み / 消去が可能です。

表 17.73 (1) ユーザプログラムモードでの書き込み処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザ マット	外部空間 (拡張モ ード時)	ユーザ マット	組み込み プログラム 格納マット
書き込みデータの格納領域		x *		-	-
ダウンロードする内蔵プログラムの 選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		x	x		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		x	x		
初期化結果の判定					
初期化エラー処理					
割り込み禁止処理					
キーレジスタへの H'5A 書き込み処理					
書き込みパラメータの設定処置		x			
書き込み実行		x	x		
書き込み結果の判定		x			
書き込みエラー処理		x			
キーレジスタクリア処理		x			

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

書き込み手順



表 17.73 (2) ユーザプログラムモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザ マット	外部空間 (拡張モ ード時)	ユーザ マット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの 選択処理					
キーレジスタへの H'A5 書き込み処理					
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×		
キーレジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
割り込み禁止処理					
キーレジスタへの H'5A 書き込み処理					
消去パラメータの設定処置		×			
消去実行		×	×		
消去結果の判定		×			
消去エラー処理		×			
キーレジスタクリア処理		×			

消去手順



表 17.73 (3) ユーザブートモードでの書き込み処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間 (拡張モード時)	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
書き込みデータの格納領域		× ^{*1}		-	-	-
ダウンロードする内蔵プログラムの選択処理						
キーレジスタへの H'A5 書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×			
キーレジスタクリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
割り込み禁止処理						
FMATS によるマット切り替え		×	×			
キーレジスタへの H'5A 書き込み処理		×				
書き込みパラメータの設定処置		×				
書き込み実行		×	×			
書き込み結果の判定		×				
書き込みエラー処理		× ^{*2}				
キーレジスタクリア処理		×				
FMATS によるマット切り替え		×	×			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後ならば可能です。

表 17.73 (4) ユーザブートモードでの消去処理で使用可能なエリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間 (拡張モード時)	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
ダウンロードする内蔵プログラムの選択処理						
キーレジスタへの H'A5 書き込み処理						
FCCS の SCO = 1 書き込み実行 (ダウンロード)		×	×			
キーレジスタクリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
割り込み禁止処理						
FMATS によるマット切り替え		×	×			
キーレジスタへの H'5A 書き込み処理		×				
消去パラメータの設定処理		×				
消去実行		×	×			
消去結果の判定		×				
消去エラー処理		×*				
キーレジスタクリア処理		×				
FMATS によるマット切り替え		×	×			

【注】 * 内蔵 RAM 上で FMATS を切り替えた後ならば可能です。

消去手順



18. クロック発振器

18.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック (ϕ)、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、デューティ補正回路、中速クロック分周器、バスマスタクロック選択回路から構成されます。

本 LSI は、バスマスタは中速クロック、その他の周辺機能は高速クロックで動作する中速モード、また中速モードを無効として LSI 全体のクロックの分周比を変えられる機能を持っており、それぞれ $\phi/2 \sim \phi/32$ の選択が可能となっています。

18.1.1 ブロック図

クロック発振器のブロック図を図 18.1 に示します。

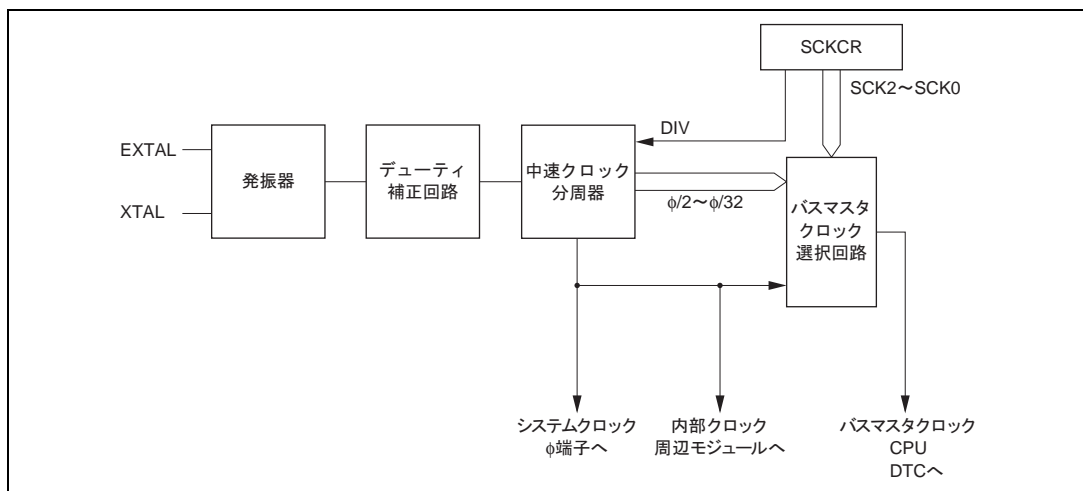


図 18.1 クロック発振器のブロック図

18.1.2 レジスタ構成

クロック発振器は、SCKCR で制御されます。レジスタ構成を表 18.1 に示します。

表 18.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FF3A

【注】 * アドレスの下位 16 ビットを示しています。

18.2 各レジスタの説明

18.2.1 システムクロックコントロールレジスタ (SCKCR)

ビット	7	6	5	4	3	2	1	0
	PSTOP	-	DIV	-	-	SCK2	SCK1	SCK0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、 ϕ クロック出力とバスマスタは中速クロック、その他の周辺機能は高速クロックで動作する中速モードと、中速モードを無効として LSI 全体のクロックの分周比を変えられる機能の制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7: ϕ クロック出力禁止 (PSTOP)

ϕ 出力を制御します。

ビット 7	説明			
PSTOP	通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	ϕ 出力 (初期値)	ϕ 出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット 6: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

ビット 5: 分周比セレクト (DIV)

DIV ビットを 1 にセットしたときは中速モードは無効となり、SCK2 ~ SCK0 ビットで設定された分周比のクロックが LSI 全体に供給されます。これによりチップ内の消費電流は分周比に比例して低減します。また、 ϕ の周波数が変わりますので、以下の点に注意する必要があります。

- (1) SCK2 ~ SCK0 ビットで設定する分周比は、電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。すなわち、 $\phi_{min} = 2\text{MHz}$ とし、 $\phi < 2\text{MHz}$ とならないように注意してください。
- (2) 内部モジュールは、すべて ϕ を基準に動作します。
このため、分周比変更の前後でタイマや SCI などの時間処理が変わりますので注意してください。またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。
- (3) 分周比の変更は、動作中ダイナミックに変更することができます。
 ϕ 端子のクロック出力も分周比を変更することにより変化します。このとき ϕ 端子から出力される周波数は、以下のようになります。

$$\phi = \text{EXTAL} \times n \quad \begin{array}{l} \text{EXTAL} : \text{水晶発振子または外部クロックの周波数} \\ n : \text{分周比} (n = \phi/2, \phi/4, \phi/8) \end{array}$$

- (4) DIVビットとSCK2～SCK0ビットを同時に設定しないでください。DIVビットを設定した後で、SCK2～SCK0ビットを設定してください。

ビット5 DIV	説明
0	SCK2～SCK0ビットを高速モード以外に設定した場合は、中速モードとなります。（初期値）
1	SCK2～SCK0ビットを高速モード以外に設定した場合は、LSI全体に分周されたクロックが供給されます。

ビット4、3：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット2～0：システムクロックセレクト2～0（SCK2～SCK0）

DIVビットが0のときは、中速モードが選択され、DIVビットが1のときは、LSI全体に供給されるクロックの分周比が選択されます。

ビット2 SCK2	ビット1 SCK1	ビット0 SCK0	説明	
			DIV = 0	DIV = 1
0	0	0	バスマスタは高速モード （初期値）	バスマスタは高速モード （初期値）
		1	中速クロックは $\phi/2$	LSI全体に供給される クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$	LSI全体に供給される クロックは $\phi/4$
		1	中速クロックは $\phi/8$	LSI全体に供給される クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$	-
		1	中速クロックは $\phi/32$	-
	1	-	-	-

18.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

18.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 18.2 に示します。ダンピング抵抗 R_d は、表 18.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

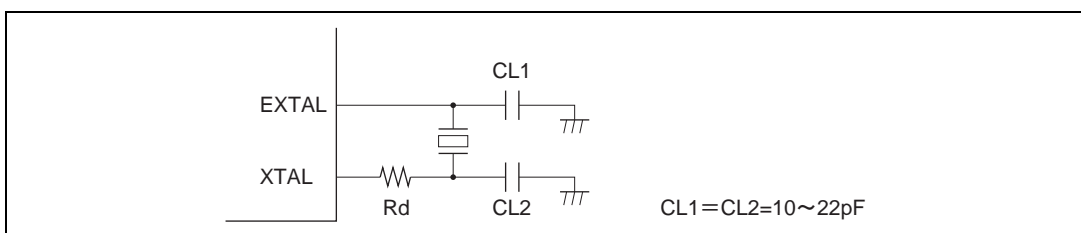


図 18.2 水晶発振子の接続例

表 18.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	12	16	20	25
R_d (Ω)	6.8k	500	200	0	0	0	0

(2) 水晶発振子

図 18.3 に水晶発振子の等価回路を示します。水晶発振子は表 18.3 に示す特性のものを使用してください。

水晶発振子は、システムクロック (ϕ) と同一の周波数のものを使用してください。

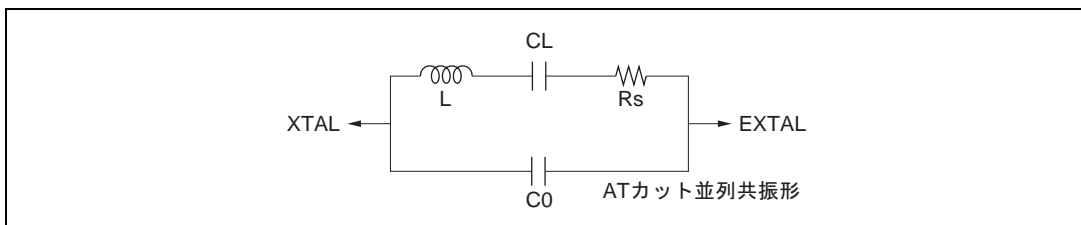


図 18.3 水晶発振子の等価回路

表 18.3 水晶発振子の特性

周波数 (MHz)	2	4	8	12	16	20	25
R_s max (Ω)	500	120	80	60	50	40	40
C_0 max (pF)	7						

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください(図 18.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

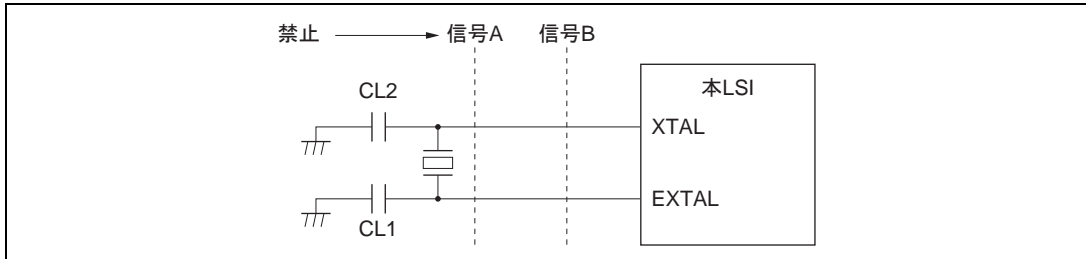


図 18.4 発振回路部のボード設計に関する注意事項

18.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 18.5 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 18.5 (b) の場合、スタンバイモード時には外部クロックが High レベルになるようにしてください。

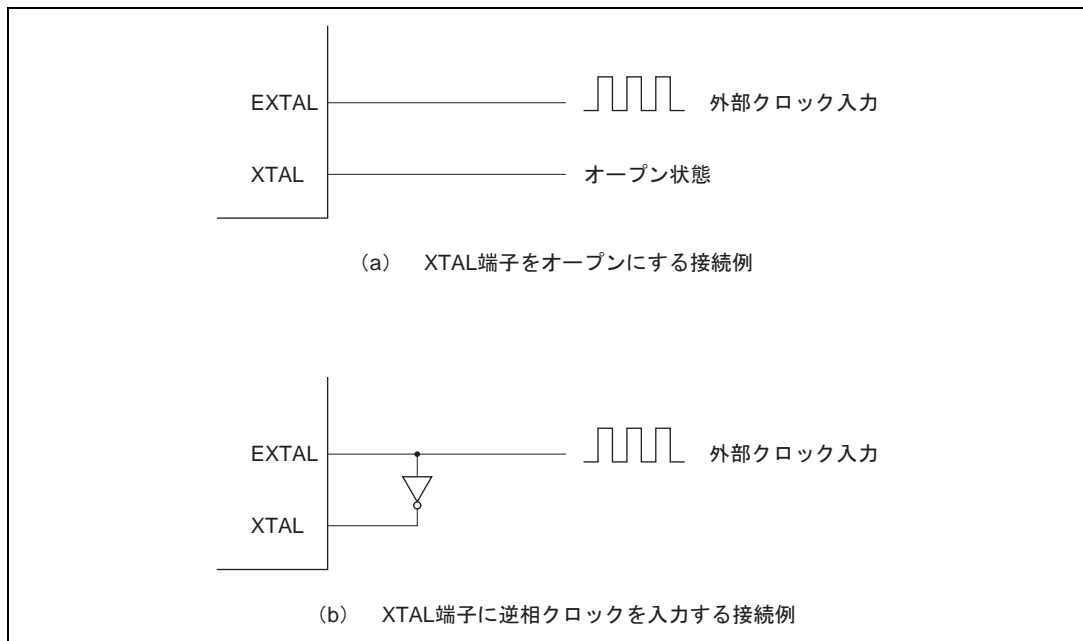


図 18.5 外部クロックの接続例

(2) 外部クロック

外部クロックは、システムクロック (ϕ) と同一の周波数としてください。
外部クロックの入力条件を表 18.4 および図 18.6 に示します。

表 18.4 外部クロック入力条件

項目	記号	VCC = 2.7 ~ 3.3V		VCC = 3.0 ~ 3.6 V		単位	測定条件	
		min	max	min	max			
外部クロック入力 パルス幅 Low レベル	tEXL	20	-	10	-	ns	図 18.6	
外部クロック入力 パルス幅 High レベル	tEXH	20	-	10	-	ns		
外部クロック 立ち上がり時間	tEXr	-	5	-	5	ns		
外部クロック 立ち下がり時間	tEXf	-	5	-	5	ns		
クロックパルス幅 Low レベル	tCL	0.4	0.6	0.4	0.6	tcyc	ϕ 5MHz	図 20.2
		80	-	80	-	ns	$\phi < 5\text{MHz}$	
クロックパルス幅 High レベル	tCH	0.4	0.6	0.4	0.6	tcyc	ϕ 5MHz	
		80	-	80	-	ns	$\phi < 5\text{MHz}$	

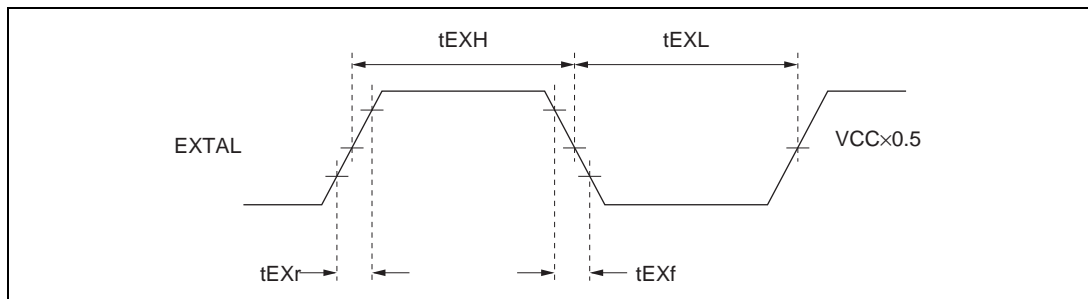


図 18.6 外部クロック入力タイミング

18.4 デューティ補正回路

デューティ補正回路は、発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正し、システムクロック (ϕ) を生成します。

18.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

18.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SCKCR の SCK2 ~ SCK0 ビットに従い、システムクロック (ϕ)、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

19. 低消費電力状態

19.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) スリープモード
- (4) モジュールストップモード
- (5) ソフトウェアスタンバイモード
- (6) ハードウェアスタンバイモード

があり、(2) ~ (6) が低消費電力状態です。スリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能 (CPU 以外のバスマスタも含む) の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 19.1 に、各動作状態へ遷移する条件、CPU や周辺機能などの状態、および各モードの解除方法を示します。

表 19.1 動作状態

動作状態	遷移条件	解除方法	発振器	CPU		モジュール		I/O ポート
				レジスタ	動作	レジスタ	動作	
高速モード	制御レジスタ		動作	高速	動作	高速	動作	高速
中速モード	制御レジスタ		動作	中速	動作	高 / 中速*1	動作	高速
スリープモード	命令	割り込み	動作	停止	保持	高速	動作	高速
モジュールストップモード	制御レジスタ		動作	高 / 中速	動作	停止	保持 / リセット*2	保持
ソフトウェアスタンバイモード	命令	外部割り込み	停止	停止	保持	停止	保持 / リセット*2	保持
ハードウェアスタンバイモード	端子		停止	停止	不定	停止	リセット	ハイインピーダンス

【注】 *1 バスマスタは中速クロック、その他の内蔵周辺機能は高速クロックで動作します。

*2 SCI の一部のレジスタ、A/D はリセット状態、その他の内蔵周辺機能は状態を保持します。

19.1.1 レジスタ構成

低消費電力状態は、SBYCR、SCKCR、MSTPCR で制御されます。レジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'08	H'FF38
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FF3A
モジュールストップコントロールレジスタ H	MSTPCRH	R/W	H'3F	H'FF3C
モジュールストップコントロールレジスタ L	MSTPCRL	R/W	H'FF	H'FF3D

【注】 * アドレスの下位 16 ビットを示しています。

19.2 各レジスタの説明

19.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	-	-	IRQ37S
初期値	0	0	0	0	1	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	-	-	R/W

SBYCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'08 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7 : ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場合は 0 をライトしてください。

ビット 7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット 6~4 : スタンバイタイムセレクト 2~0 (STS2~STS0)

外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 19.4 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能*です。

【注】* F-ZTAT 版を除く

19. 低消費電力状態

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート*

【注】 * F-ZTAT 版では、使用できません。

ビット3：出力ポートイネーブル (OPE)

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS0} \sim \overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{CAS}) の出力を保持するか、ハイインピーダンスにするかを指定します。

ビット3	説明
OPE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持 (初期値)

ビット2、1：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

ビット0：IRQ37ソフトウェアスタンバイ解除セレクト (IRQ37S)

ソフトウェアスタンバイモードの解除要因として通常の NMI、 $\overline{IRQ0} \sim \overline{IRQ2}$ 入力のほかに、 $\overline{IRQ3} \sim \overline{IRQ7}$ 入力も解除要因として使用するかしないかを指定します。

ビット0	説明
IRQ37S	
0	$\overline{IRQ3} \sim \overline{IRQ7}$ 入力をソフトウェアスタンバイモードの解除要因として使用不可 (初期値)
1	$\overline{IRQ3} \sim \overline{IRQ7}$ 入力をソフトウェアスタンバイモードの解除要因として使用可能

19.2.2 システムクロックコントロールレジスタ (SCKCR)

ビット	7	6	5	4	3	2	1	0
	PSTOP	-	DIV	-	-	SCK2	SCK1	SCK0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	-	-	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、 ϕ クロック出力とバスマスタは中速クロック、その他の周辺機能は高速クロックで動作する中速モードと、中速モードを無効として LSI 全体のクロックの分周比を変えられる機能の制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7: ϕ クロック出力禁止 (PSTOP)

ϕ 出力を制御します。

ビット 7	説明			
PSTOP	通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	ϕ 出力 (初期値)	ϕ 出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット 6: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

ビット 5: 分周比セレクト (DIV)

DIV ビットを 1 にセットしたときは中速モードは無効となり、SCK2 ~ SCK0 ビットで設定された分周比のクロックが LSI 全体に供給されます。これによりチップ内の消費電流は分周比に比例して低減します。また、 ϕ の周波数が変わりますので、以下の点に注意する必要があります。

- (1) SCK2 ~ SCK0 ビットで設定する分周比は、電気的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。すなわち、 $\phi_{min} = 2\text{MHz}$ とし、 $\phi < 2\text{MHz}$ とならないように注意してください。
- (2) 内部モジュールは、すべて ϕ を基準に動作します。
このため、分周比変更の前後でタイマや SCI などの時間処理が変わりますので注意してください。またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。
- (3) 分周比の変更は、動作中ダイナミックに変更することができます。
 ϕ 端子のクロック出力も分周比を変更することにより変化します。このとき ϕ 端子から出力される周波数は、以下のようになります。

$$\phi = \text{EXTAL} \times n$$

EXTAL : 水晶発振子または外部クロックの周波数
n : 分周比 ($n = \phi/2, \phi/4, \phi/8$)
- (4) DIV ビットと SCK2 ~ SCK0 ビットを同時に設定しないでください。DIV ビットを設定した後で SCK2 ~ SCK0 ビットを設定してください。

19. 低消費電力状態

ビット5 DIV	説明
0	SCK2～SCK0 ビットを高速モード以外に設定した場合は、中速モードとなります。（初期値）
1	SCK2～SCK0 ビットを高速モード以外に設定した場合は、LSI 全体に分周されたクロックが供給されません。

ビット4、3：リザーブビット

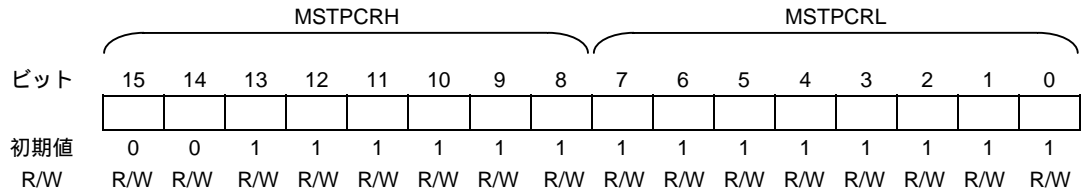
リードすると常に0が読み出されます。ライトは無効です。

ビット2～0：システムクロックセレクト2～0（SCK2～SCK0）

DIV ビットが0のときは、バスマスタのクロックが選択され、DIV ビットが1のときは、LSI 全体に供給されるクロックの分周比が選択されます。

ビット2 SCK2	ビット1 SCK1	ビット0 SCK0	説明	
			DIV = 0	DIV = 1
0	0	0	バスマスタは高速モード (初期値)	バスマスタは高速モード (初期値)
		1	中速クロックは $\phi/2$	LSI 全体に供給される クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$	LSI 全体に供給される クロックは $\phi/4$
		1	中速クロックは $\phi/8$	LSI 全体に供給される クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$	-
		1	中速クロックは $\phi/32$	-
	1	-	-	-

19.2.3 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 15~0 : モジュールストップ (MSTP15~MSTP0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 19.3 を参照してください。

ビット 15~0	説明
MSTP15~MSTP0	
0	モジュールストップモード解除
1	モジュールストップモード設定

19.3 中速モード

SCKCR の DIV ビットを 0 にクリア、SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2~SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。CPU 以外のバスマスタ (DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 19.1 に示します。

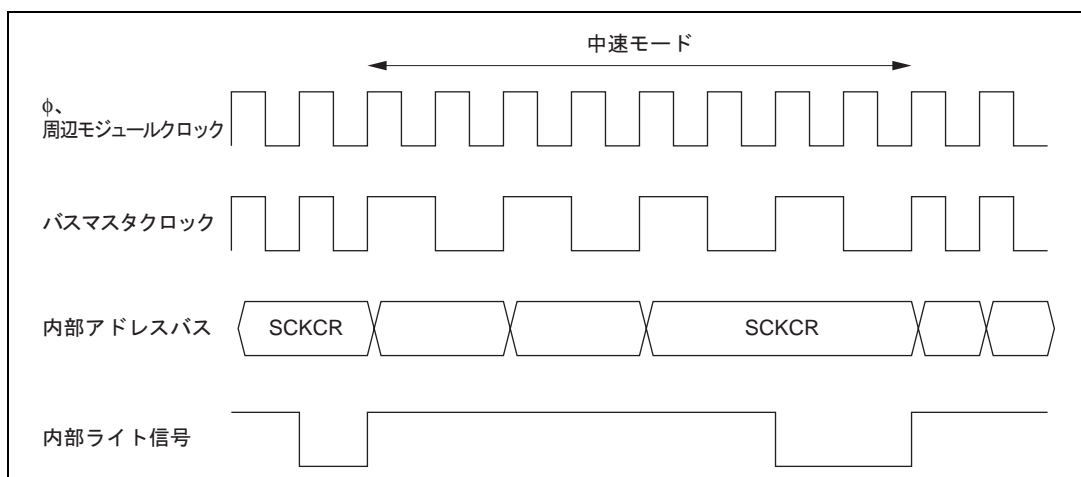


図 19.1 中速モードの遷移・解除タイミング

19.4 スリープモード

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

スリープモードの解除は、リセットまたはすべての割り込みによって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

19.5 モジュールストップモード

19.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 19.3 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI および A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

また、MSTPCR = H'FFFF、または MSTPCR = H'EFFF の状態でスリープモードに遷移すると、バスコントローラも動作を停止してしまうのでこの設定は行わないでください。

表 19.3 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCRH	MSTP15	-
	MSTP14	データトランスファコントローラ (DTC)
	MSTP13	16 ビットタイマパルスユニット (TPU)
	MSTP12	8 ビットタイマ
	MSTP11	-
	MSTP10	D/A 変換器 (チャンネル 0、1)
	MSTP9	A/D 変換器
	MSTP8	-
MSTPCRL	MSTP7	-
	MSTP6	シリアルコミュニケーションインタフェース (SCI) チャンネル 1
	MSTP5	シリアルコミュニケーションインタフェース (SCI) チャンネル 0
	MSTP4	-
	MSTP3	-
	MSTP2	-
	MSTP1	-
	MSTP0	-

【注】 ビット 15、11、8、7、4~0 はリード/ライトできますが、動作に影響を与えません。

19.5.2 使用上の注意

(1) DTC のモジュールストップ

DTC の動作状態によっては、MSTP14 ビットは 1 にセットされない場合があります。DTC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

(2) 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

(3) MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

19.6 ソフトウェアスタンバイモード

19.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、SCI、および A/D 変換器を除く内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR の OPE ビットにより指定できます。「付録 D. 端子状態」を参照してください。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

19.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 端子*)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

NMI、IRQ0 ~ IRQ7*割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0 ~ IRQ7*割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ IRQ0 ~ IRQ7*割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

【注】* $\overline{\text{IRQ37S}}$ ビットを 1 にセットすることにより、 $\overline{\text{IRQ3}} \sim \overline{\text{IRQ7}}$ をソフトウェアスタンバイモードの解除要因として使用することができます。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき RES 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。RES 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

19.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。
表 19.4 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

表 19.4 発振安定時間の設定

STS2	STS1	STS0	待機時間	25MHz	20MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位	
0	0	0	8192 ステート	0.32	0.41	0.51	0.68	0.8	1.0	1.3	2.0	4.1	ms	
		1	16384 ステート	0.65	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2		
	1	0	32768 ステート	1.3	1.6	2.0	2.7	3.3	4.1	5.5	8.2	16.4		
		1	65536 ステート	2.6	3.3	4.1	5.5	6.6	8.2	10.9	16.4	32.8		
1	0	0	131072 ステート	5.2	6.6	8.2	10.9	13.1	16.4	21.8	32.8	65.5		
		1	262144 ステート	10.4	13.1	16.4	21.8	26.2	32.8	43.6	65.6	131.2		
	1	0	リザーブ	-	-	-	-	-	-	-	-	-		-
		1	16 ステート	0.6	0.8	1.0	1.3	1.6	2.0	1.7	4.0	8.0		μs

: 推奨設定時間

(2) 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します*。

【注】* F-ZTAT 版で、待機時間 16 ステートは使用できません。8192 ステート以上を使用してください。

19.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がリエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 19.2 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち下がリエッジ指定) 状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

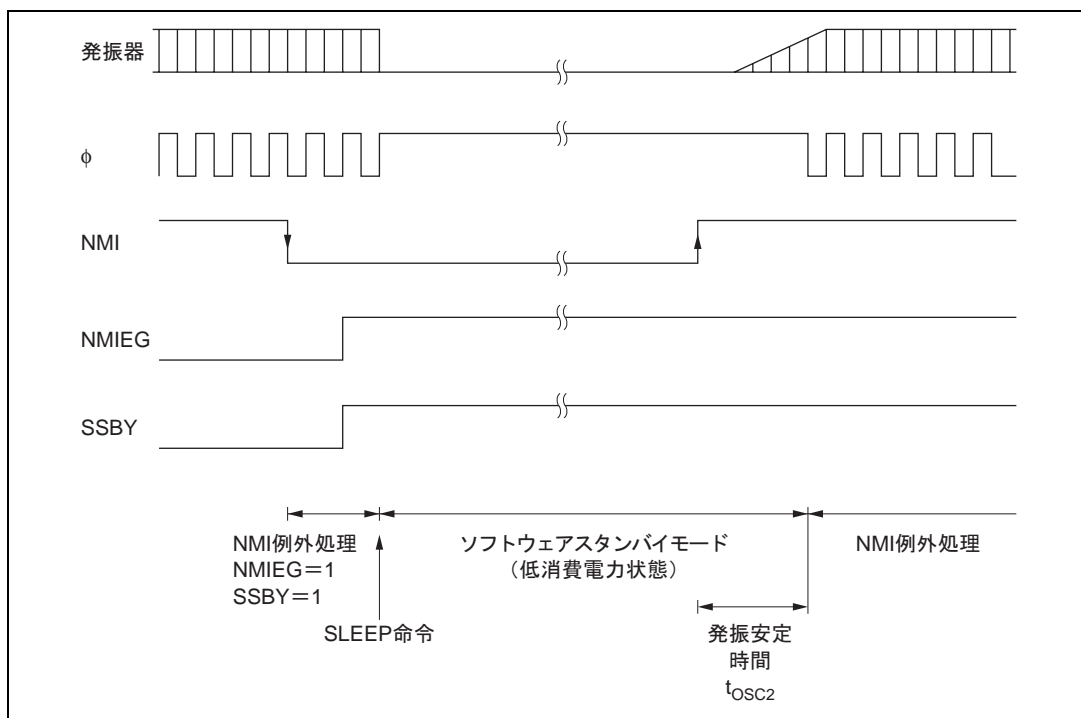


図 19.2 ソフトウェアスタンバイモードの応用例

19.6.5 使用上の注意

(1) I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

(2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

19.7 ハードウェアスタンバイモード

19.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 8ms 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

19.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 19.3 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

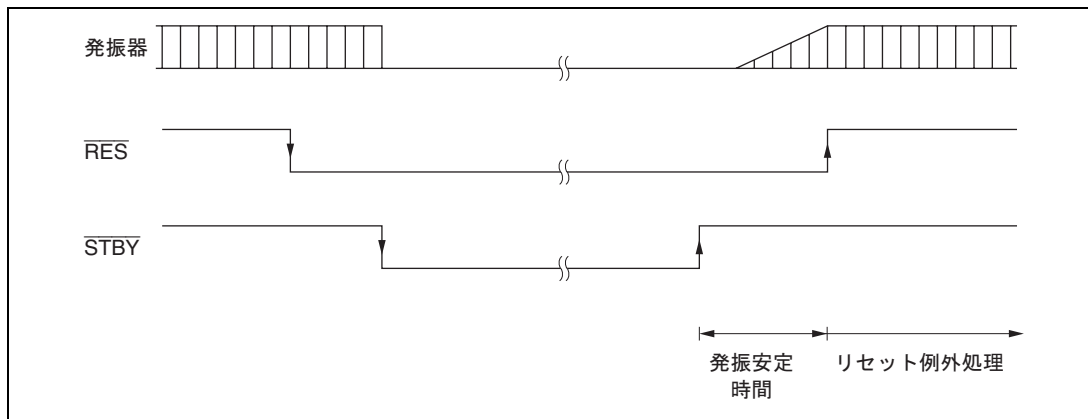


図 19.3 ハードウェアスタンバイモードのタイミング

19.8 ϕ クロック出力禁止機能

SCKCR の PSTOP ビット、対応するポートの DDR により、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で ϕ クロックは停止し、 ϕ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 ϕ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 ϕ クロック出力は禁止され、入力ポートになります。表 19.5 に各処理状態における ϕ 端子の状態を示します。

表 19.5 各処理状態における ϕ 端子の状態

DDR	0	1	
PSTOP	-	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード	ハイインピーダンス	High 固定	
スリープモード	ハイインピーダンス	ϕ 出力	High 固定
通常動作状態	ハイインピーダンス	ϕ 出力	High 固定

20. 電気的特性

20.1 マスク ROM 版 (H8S/2319、H8S/2318、H8S/2317S、H8S/2316S、H8S/2315、H8S/2314) および ROM なし版 (H8S/2312S) の電気的特性

20.1.1 絶対最大定格

絶対最大定格を表 20.1 に示します。

表 20.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +4.3	V
入力電圧 (ポート 4 以外)	Vin	-0.3 ~ VCC+0.3	
入力電圧 (ポート 4)	Vin	-0.3 ~ AVCC+0.3	
リファレンス電源電圧	Vref	-0.3 ~ AVCC+0.3	
アナログ電源電圧	AVCC	-0.3 ~ +4.3	
アナログ入力電圧	VAN	-0.3 ~ AVCC+0.3	
動作温度	Topr	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
保存温度	Tstg	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

20. 電気的特性

20.1.2 DC 特性

表 20.2 DC 特性

条件：VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7V ~ AVCC、VSS = AVSS = 0V*1
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、2、 IRQ0 ~ IRQ7	VT ⁻	VCC×0.2			V	
		VT ⁺			VCC×0.7		
		VT ⁺ -VT ⁻	VCC×0.07				
入力 High レベル電圧	RES、STBY、NMI、 MD2 ~ MD0	VIH	VCC×0.9		VCC+0.3	V	
	EXTAL		VCC×0.7		VCC+0.3		
	ポート 3、A ~ G		2.2		VCC+0.3		
	ポート 4		2.2		AVCC+ 0.3		
入力 Low レベル電圧	RES、STBY、 MD2 ~ MD0	VIL	-0.3		VCC × 0.1	V	
	NMI、EXTAL、 ポート 3、4、A ~ G		-0.3		VCC × 0.2		
出力 High レベル電圧	全出力端子	VOH	VCC-0.5			V	IOH = -200μA
			VCC-1.0			V	IOH = -1mA
出力 Low レベル電圧	全出力端子	VOL			0.4	V	IOL = 1.6mA
入力リーク 電流	RES	I _{in}			10.0	μA	Vin = 0.5V ~ VCC-0.5V
	STBY、NMI、 MD2 ~ MD0				1.0		
	ポート 4				1.0	μA	Vin = 0.5V ~ AVCC-0.5V

項目		記号	min	typ	max	単位	測定条件
スリーステートリーク電流 (オフ状態)	ポート1~3、A~G	ITSI			1.0	μA	Vin = 0.5V ~ VCC-0.5V
入力プルアップMOS電流	ポートA~E	-Ip	10		300	μA	Vin = 0V
入力容量	RES	Cin			30	pF	Vin = 0V f = 1MHz Ta = 25
	NMI				30		
	RES、NMI以外の全入力端子				15		
消費電流*2	通常動作時	ICC*4		35 (3.0V)	80	mA	f = 20MHz
				50 (3.3V)	100	mA	f = 25MHz
	スリープ時			25 (3.0V)	64	mA	f = 20MHz
				35 (3.3V)	80	mA	f = 25MHz
	スタンバイ時*3			0.01	10	μA	Ta 50
					80	μA	50 < Ta
アナログ電源電流	A/D、D/A 変換中	AICC		0.2 (3.0V)	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
リファレンス電源電流	A/D、D/A 変換中	AICC		1.4 (3.0V)	3.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAMスタンバイ電圧		VRAM	2.0			V	

【注】 *1 A/DおよびD/A変換器未使用時にAVCC、Vref、AVSS端子を開放しないでください。

AVCC、Vref端子はVCCに、AVSS端子はVSSにそれぞれ接続してください。

*2 消費電流値は、VIH min = VCC-0.2V、VIL max = 0.2Vの条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

*3 VRAM VCC < 2.7Vのとき、VIH min = VCC×0.9、VIL max = 0.3Vとした場合の値です。

*4 ICCは下記の式に従ってVCCとfに依存します。

ICC max. = 1.0 (mA) + 1.10 (mA / (MHz×V)) × VCC×f (通常動作時)

ICC max. = 1.0 (mA) + 0.88 (mA / (MHz×V)) × VCC×f (スリープ時)

20. 電気的特性

表 20.3 出力許容電流値

条件：VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7V ~ AVCC、VSS = AVSS = 0V
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	IOL			2.0	mA
出力 Low レベル許容電流 (総和)	ΣIOL			80	
出力 High レベル許容電流 (1 端子あたり)	-IOH			2.0	
出力 High レベル許容電流 (総和)	Σ-IOH			40	

【注】 LSIの信頼性を確保するため、出力電流値は表 20.3の値を超えないようにしてください。

20.1.3 AC 特性

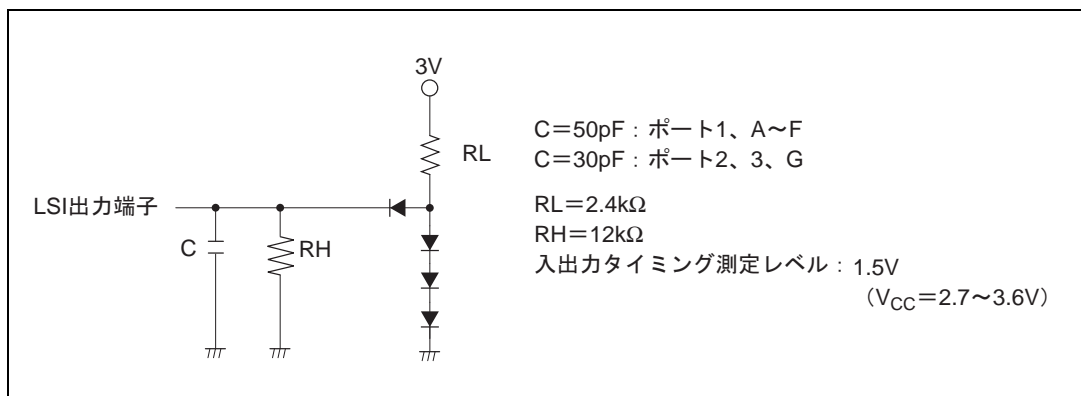


図 20.1 出力負荷回路

(1) クロックタイミング

表 20.4 クロックタイミング

条件 A : VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 20\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
クロックサイクル時間	t _{cyc}	50	500	40	500	ns	図 20.2
クロックハイレベルパルス幅	t _{CH}	20		15			
クロックローレベルパルス幅	t _{CL}	20		15			
クロック立ち上がり時間	t _{Cr}		5		5		
クロック立ち下がり時間	t _{Cf}		5		5		
リセット発振安定時間 (水晶)	t _{OSC1}	10		10		ms	図 20.3
ソフトウェアスタンバイ発振安定時間 (水晶)	t _{OSC2}	10		10		ms	
外部クロック出力安定遅延時間	t _{DEXT}	500		500		μs	図 20.3

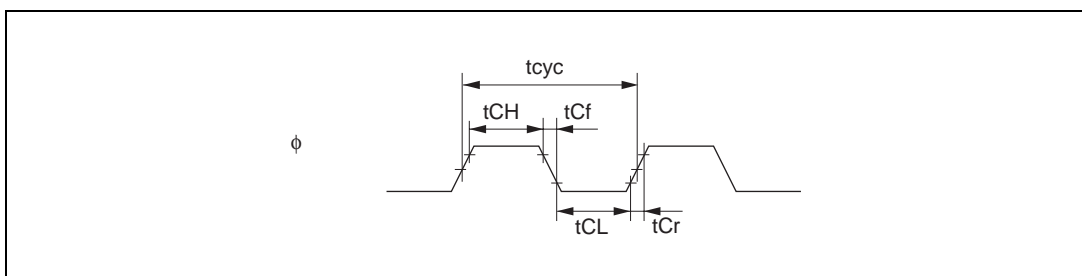


図 20.2 システムクロックタイミング

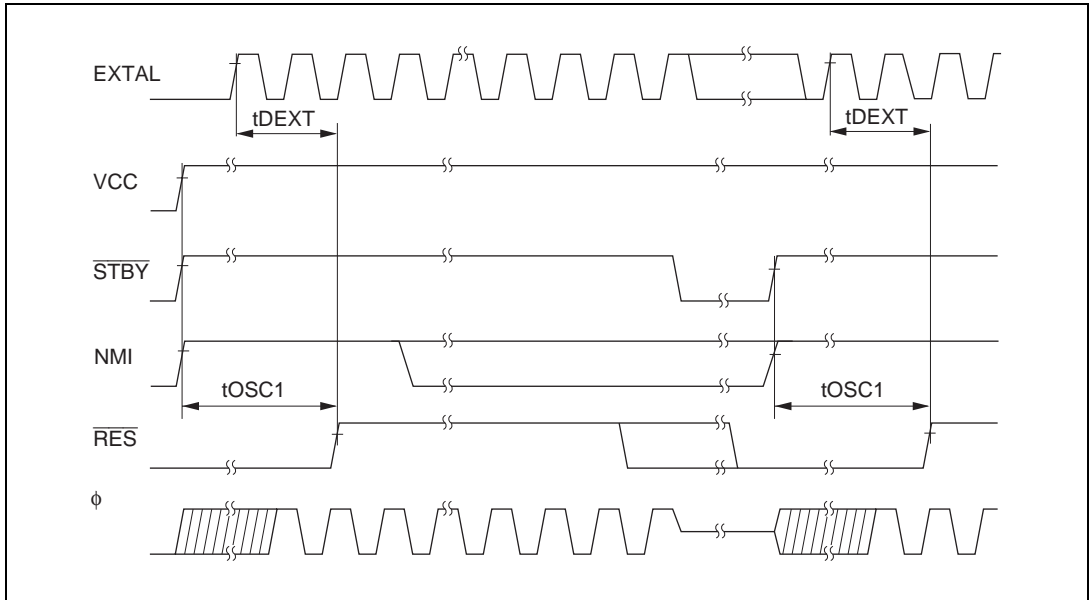


図 20.3 発振安定時間タイミング

(2) 制御信号タイミング

表 20.5 制御信号タイミング

条件 A : VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7 ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 20\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
RES セットアップ時間	tRESS	200		200		ns	図 20.4
RES パルス幅	tRESW	20		20		tcyc	
NMI セットアップ時間	tNMIS	150		150		ns	図 20.5
NMI ホールド時間	tNMIH	10		10			
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tNMIW	200		200			
IRQ セットアップ時間	tIRQS	150		150			
IRQ ホールド時間	tIRQH	10		10			
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tIRQW	200		200			

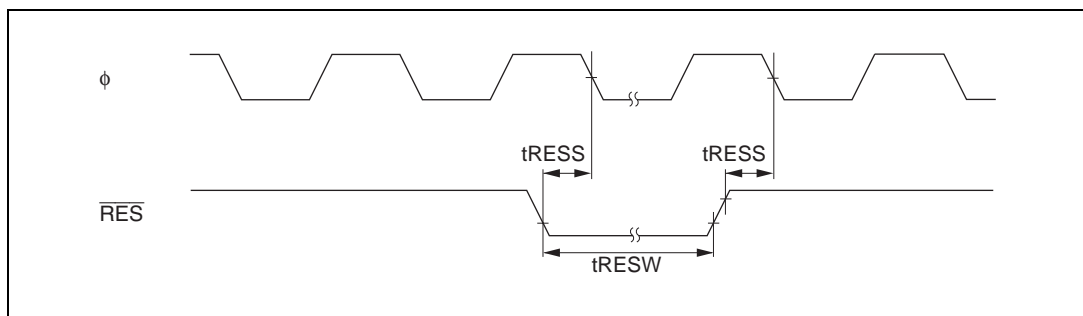


図 20.4 リセット入力タイミング

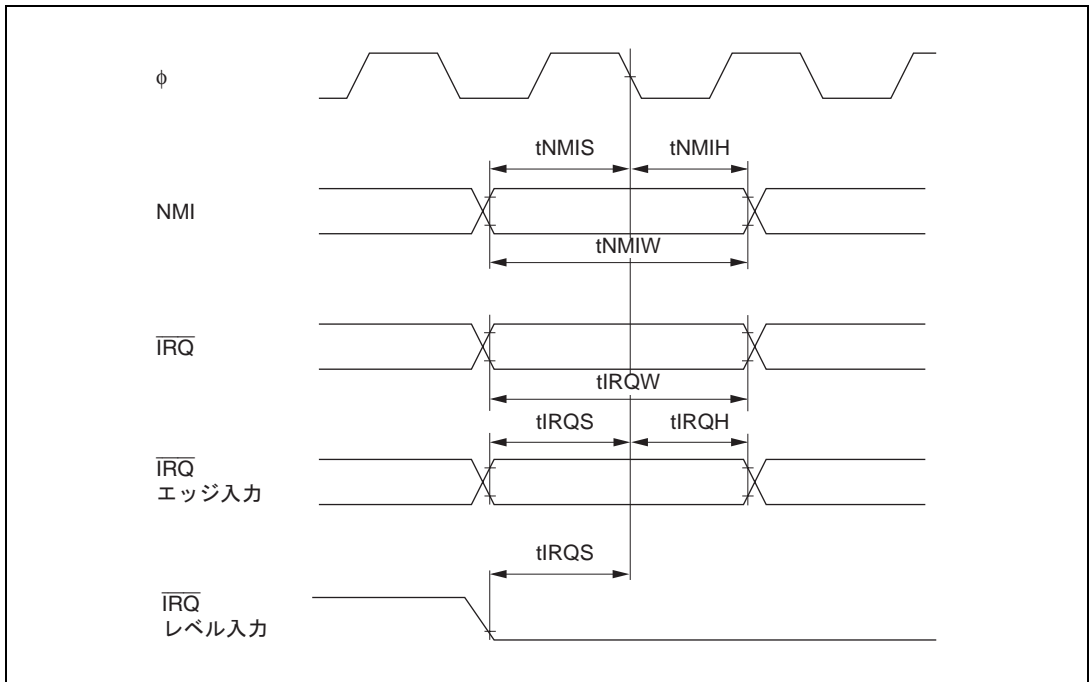


図 20.5 割り込み入力タイミング

(3) バスタイミング

表 20.6 バスタイミング

条件 A : VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 20\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
アドレス遅延時間	tAD		20		20	ns	図 20.6 ~ 図 20.10
アドレスセットアップ時間	tAS	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 15$			
アドレスホールド時間	tAH	$0.5 \times t_{cyc} - 10$		$0.5 \times t_{cyc} - 8$			
CS 遅延時間 1	tCSD1		20		15		
AS 遅延時間	tASD		20		15		
RD 遅延時間 1	tRSD1		20		15		
RD 遅延時間 2	tRSD2		20		15		
リードデータセットアップ時間	tRDS	15		15			
リードデータホールド時間	tRDH	0		0			
リードデータアクセス時間 1	tACC1		$1.0 \times t_{cyc} - 25$		$1.0 \times t_{cyc} - 20$		
リードデータアクセス時間 2	tACC2		$1.5 \times t_{cyc} - 25$		$1.5 \times t_{cyc} - 20$		
リードデータアクセス時間 3	tACC3		$2.0 \times t_{cyc} - 25$		$2.0 \times t_{cyc} - 20$		
リードデータアクセス時間 4	tACC4		$2.5 \times t_{cyc} - 25$		$2.5 \times t_{cyc} - 20$		
リードデータアクセス時間 5	tACC5		$3.0 \times t_{cyc} - 25$		$3.0 \times t_{cyc} - 20$		

20. 電気的特性

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
WR 遅延時間 1	tWRD1		20		15	ns	図 20.6 ~ 図 20.10
WR 遅延時間 2	tWRD2		20		15		
WR パルス幅 1	tWSW1	$1.0 \times t_{cyc} - 20$		$1.0 \times t_{cyc} - 15$			
WR パルス幅 2	tWSW2	$1.5 \times t_{cyc} - 20$		$1.5 \times t_{cyc} - 15$			
ライトデータ遅延時間	tWDD		30		20		
ライトデータセットアップ時間	tWDS	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$			
ライトデータホールド時間	tWDH	$0.5 \times t_{cyc} - 10$		$0.5 \times t_{cyc} - 8$			
WAIT セットアップ時間	tWTS	30		25		ns	図 20.8
WAIT ホールド時間	tWTH	5		5			
BREQ セットアップ時間	tBRQS	30		30		ns	図 20.11
BACK 遅延時間	tBACD		15		15		
バスフローティング時間	tBZD		50		40		
BREQO 遅延時間	tBRQOD		30		25		

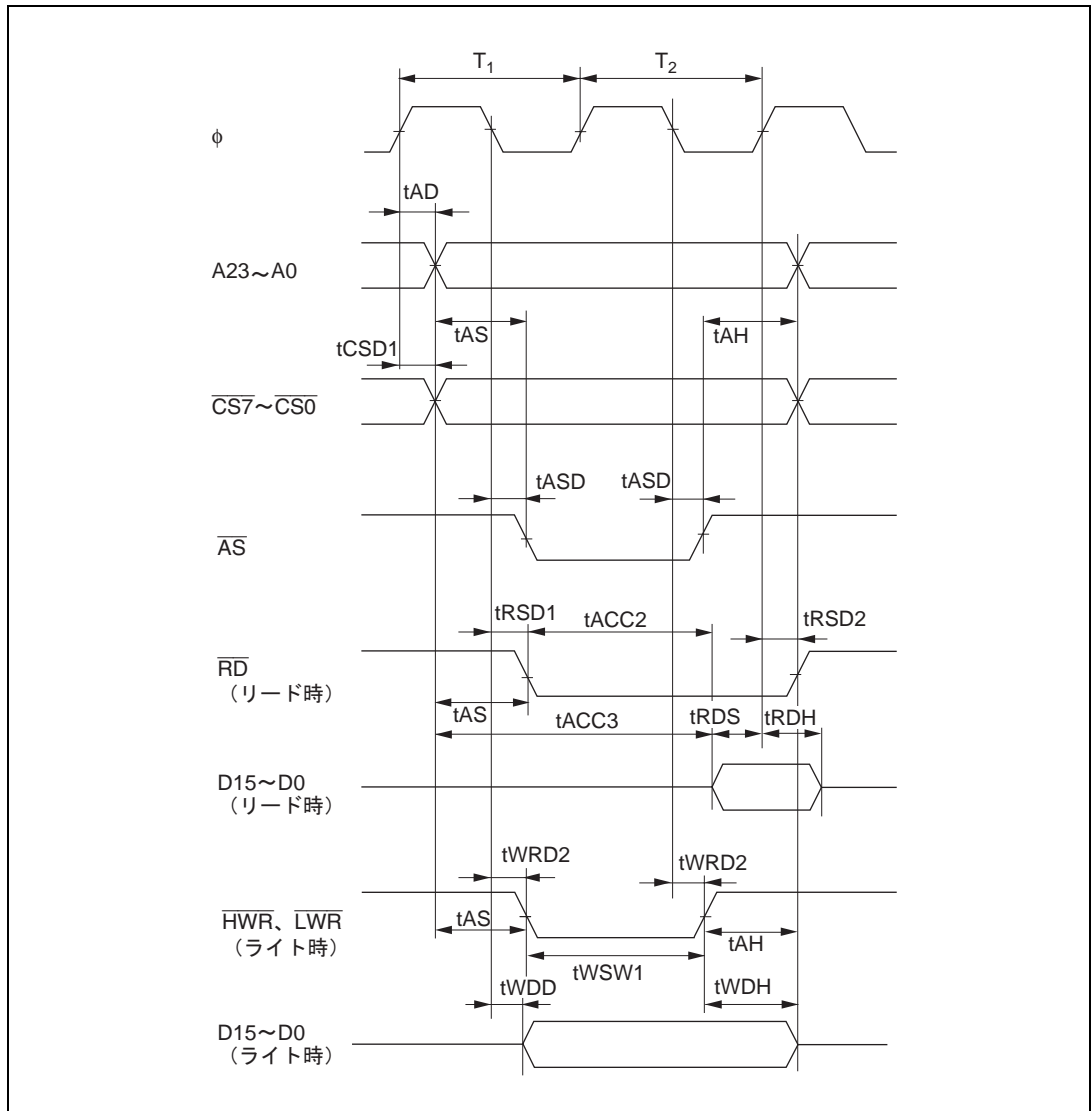


図 20.6 基本バスタイミング / 2 ステートアクセス

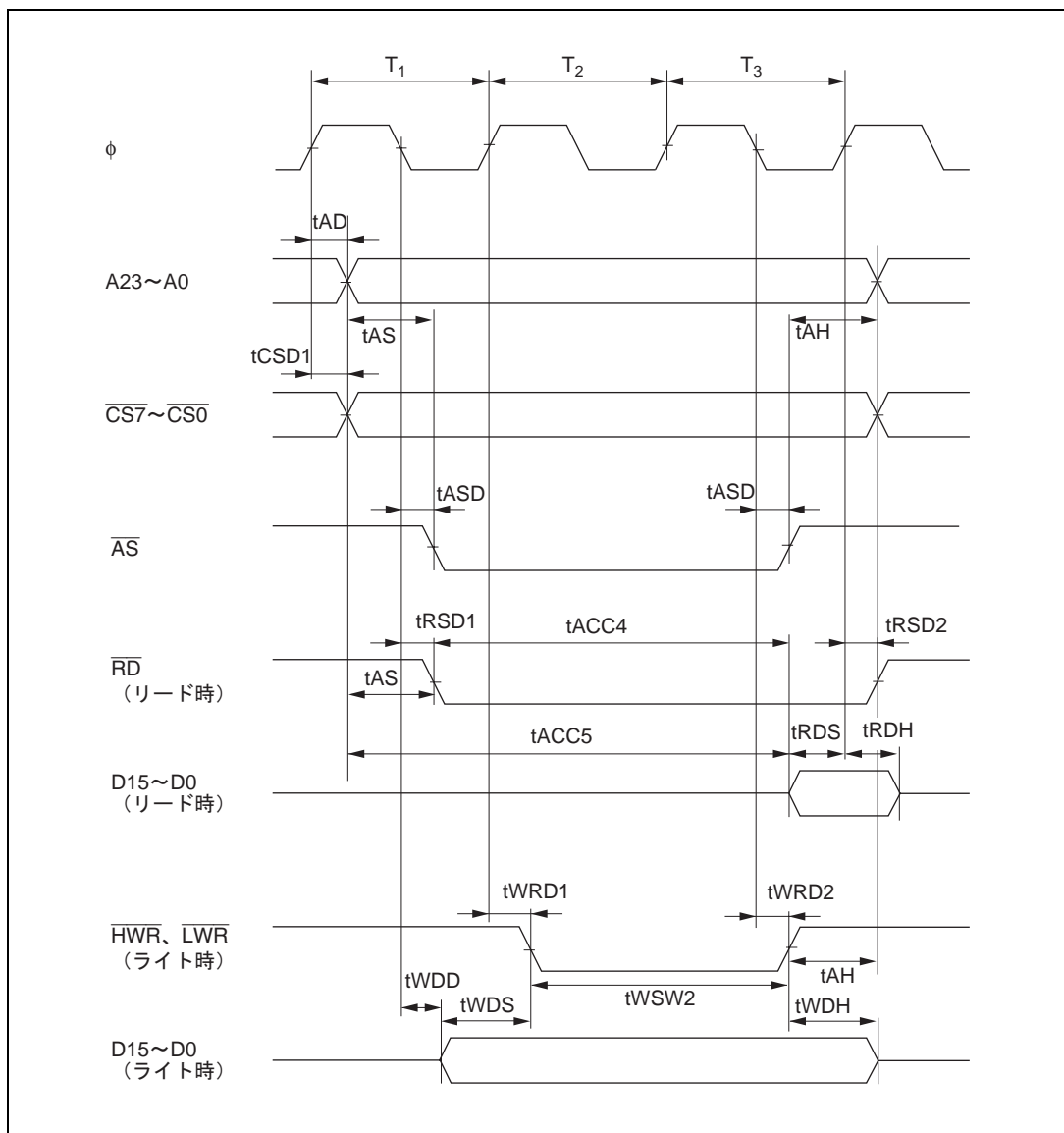


図 20.7 基本バスタイミング / 3 ステートアクセス

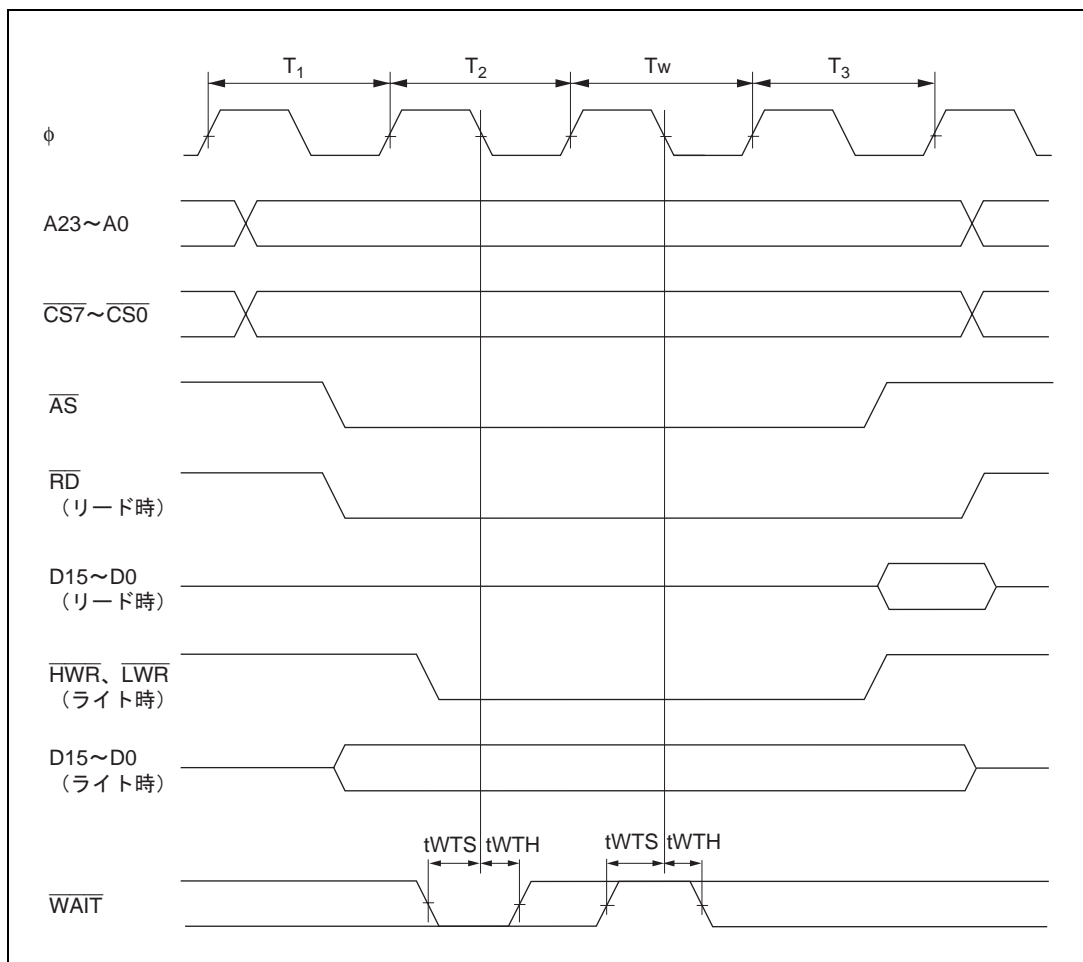


図 20.8 基本バスタイミング / 3 ステートアクセス 1 ウェイト

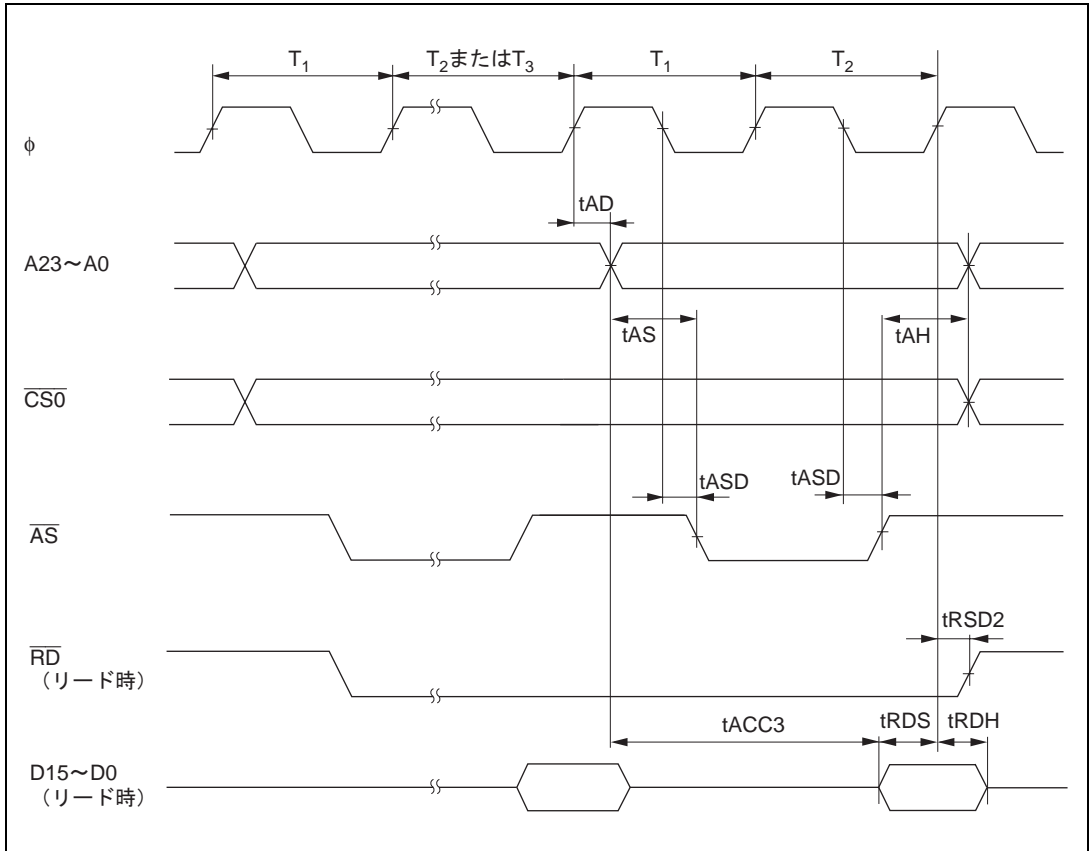


図 20.9 バーストROM アクセスタイミング / 2 ステートアクセス

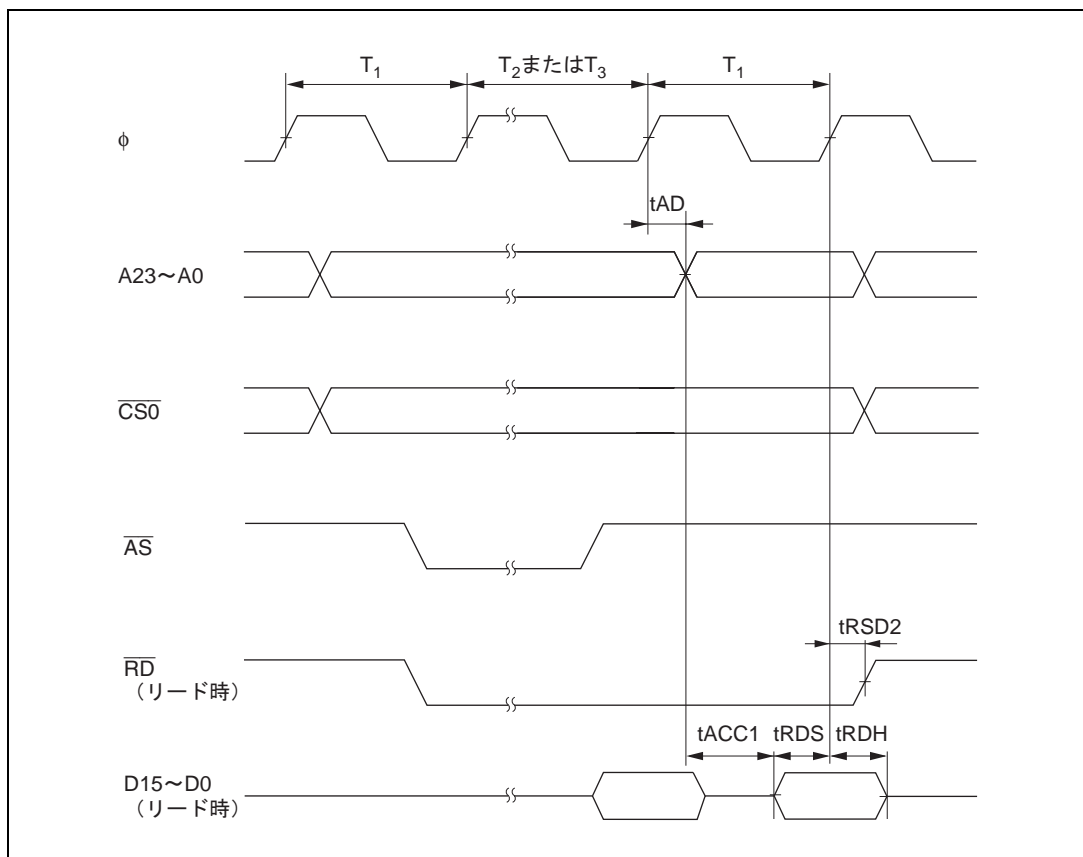


図 20.10 バースト ROM アクセスタイミング / 1 ステートアクセス

20. 電気的特性

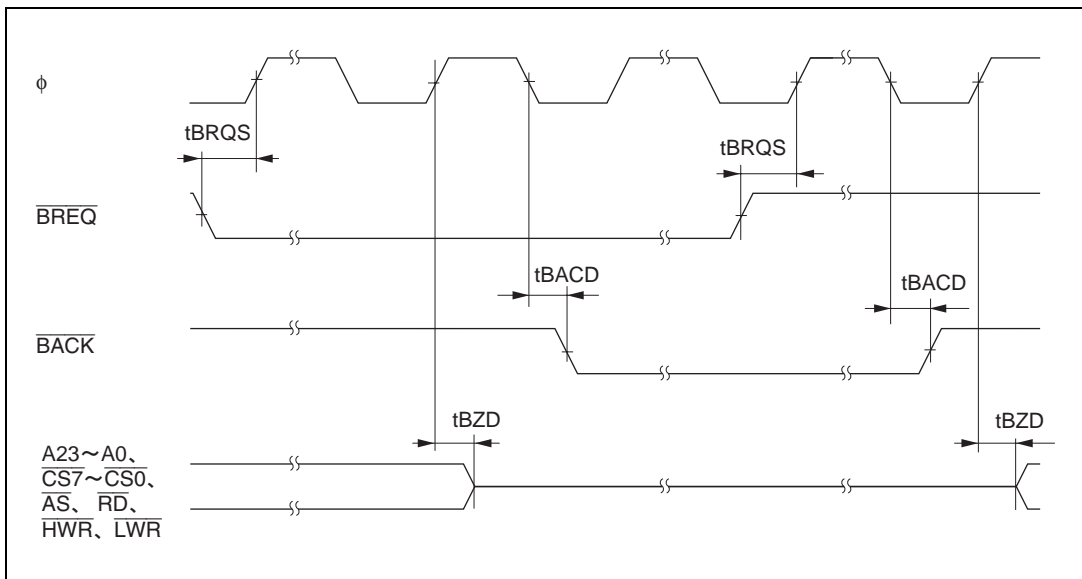


図 20.11 外部バス権解放タイミング

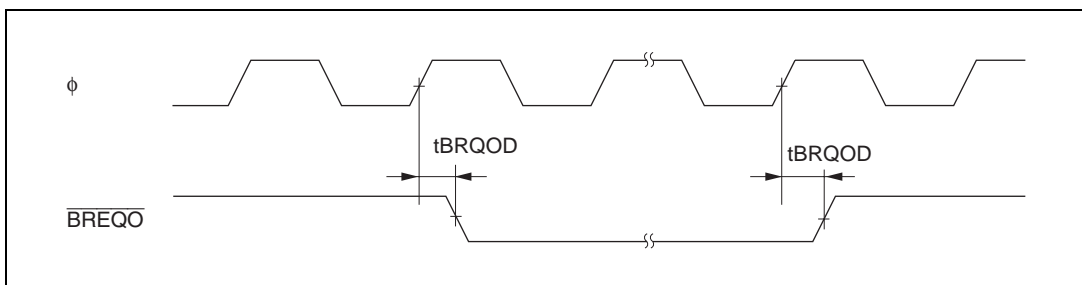


図 20.12 外部バス権要求出力タイミング

(4) 内蔵周辺モジュールタイミング

表 20.7 内蔵周辺モジュールタイミング

条件 A : VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 20\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件 A		条件 B		単位	測定条件	
			min	max	min	max			
I/O ポート	出力データ遅延時間	tPWD		50		40	ns	図 20.13	
	入力データセットアップ時間	tPRS	30		25				
	入力データホールド時間	tPRH	30		25				
TPU	タイマ出力遅延時間	tTOCD		50		40	ns	図 20.14	
	タイマ入力セットアップ時間	tTICS	30		25				
	タイマクロック入力セットアップ時間	tTCKS	30		25		ns	図 20.15	
	タイマクロック パルス幅	単エッジ指定	tTCKWH	1.5		1.5			tcyc
		両エッジ指定	tTCKWL	2.5		2.5			
8ビット タイマ	タイマ出力遅延時間	tTMOD		50		40	ns	図 20.16	
	タイマリセット入力セットアップ時間	tTMRS	30		25		ns		図 20.18
	タイマクロック入力セットアップ時間	tTMCS	30		25		ns	図 20.17	
	タイマクロック パルス幅	単エッジ指定	tTMCWH	1.5		1.5			tcyc
		両エッジ指定	tTMCWL	2.5		2.5			
WDT	オーバフロー出力遅延時間	tWOVD		50		40	ns	図 20.19	

20. 電気的特性

項目			記号	条件 A		条件 B		単位	測定条件	
				min	max	min	max			
SCI	入力クロック サイクル	調歩同期	tScyc	4		4		tcyc	図 20.20	
		クロック同期		6		6				
	入力クロックパルス幅		tSCKW	0.4	0.6	0.4	0.6	tScyc		
	入力クロック立ち上がり時間		tSCKr		1.5		1.5	tcyc		
	入力クロック立ち下がり時間		tSCKf		1.5		1.5			
	送信データ遅延時間		tTXD		50		40	ns		図 20.21
	受信データセットアップ時間 (クロック同期)		tRXS	50		40				
受信データホールド時間 (クロック同期)		tRXH	50		40					
A/D 変換器	トリガ入力セットアップ時間		tTRGS	30		30		ns	図 20.22	

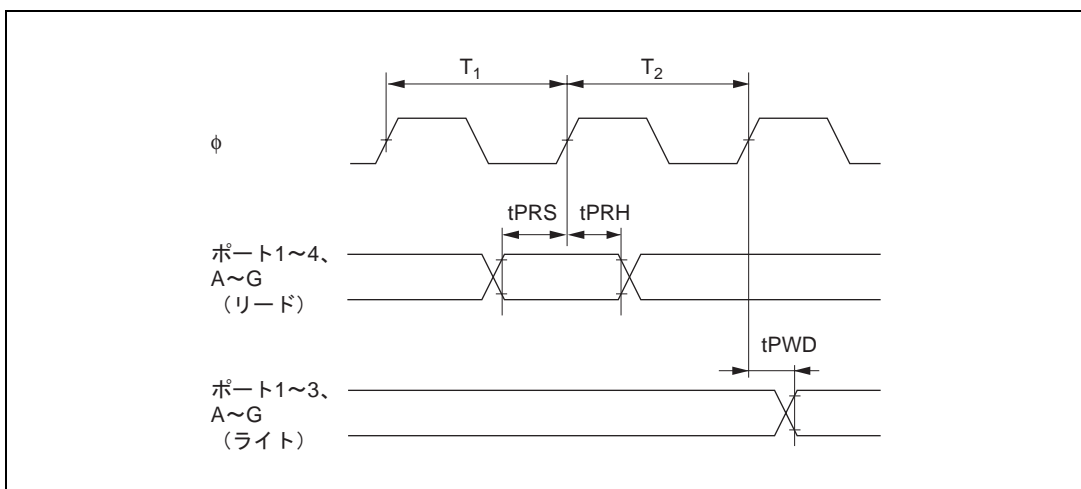


図 20.13 I/O ポート入出力タイミング

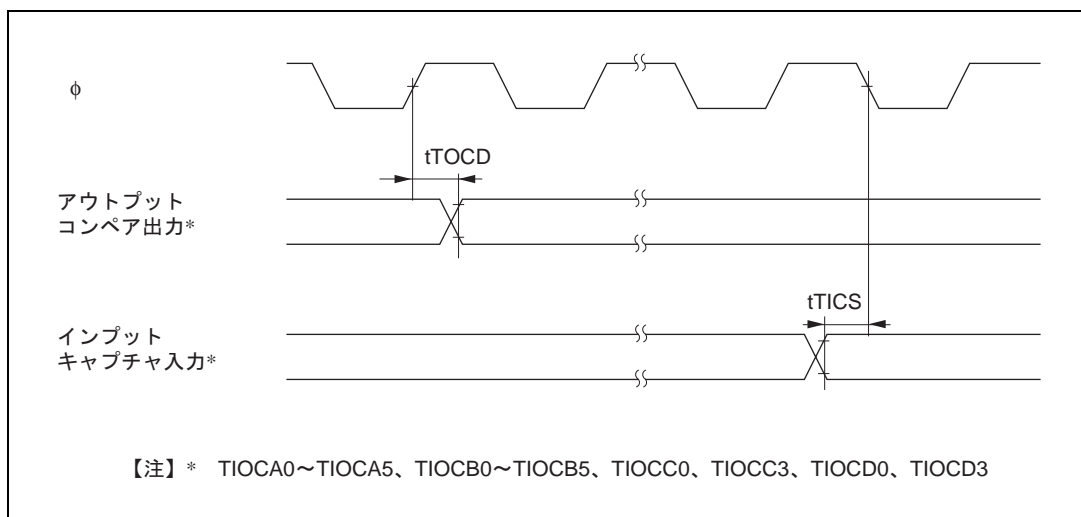


図 20.14 TPU 入出力タイミング

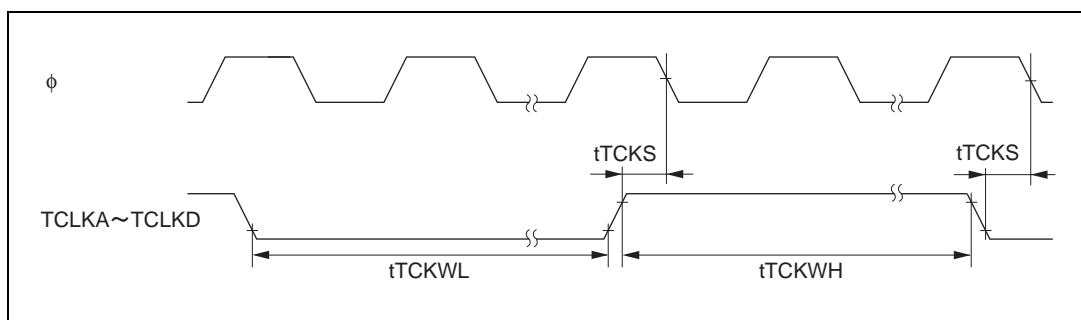


図 20.15 TPU クロック入力タイミング

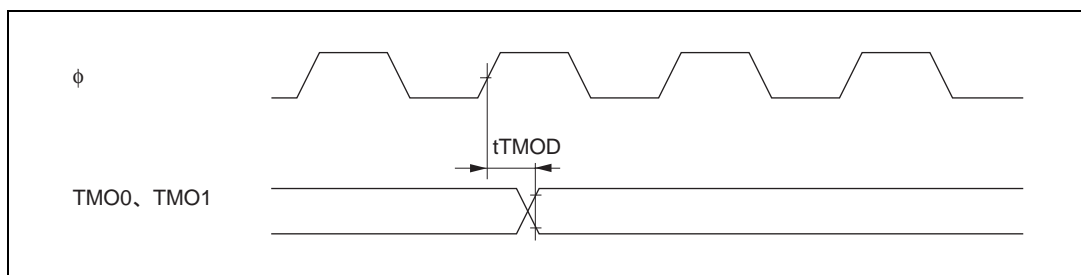


図 20.16 8ビットタイマ出力タイミング

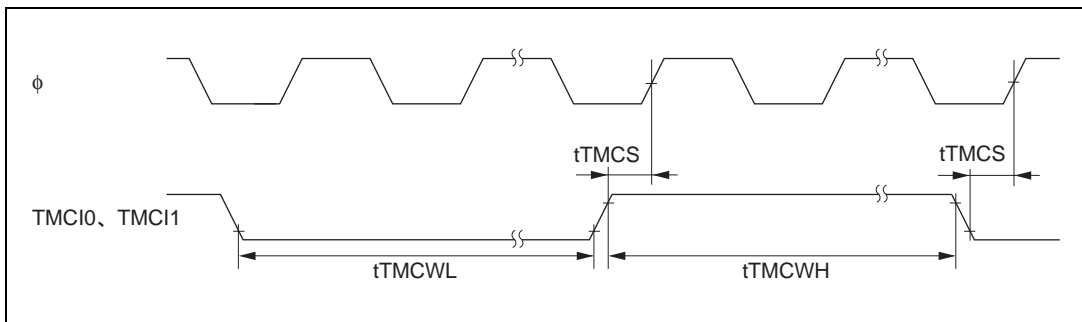


図 20.17 8ビットタイマクロック入力タイミング

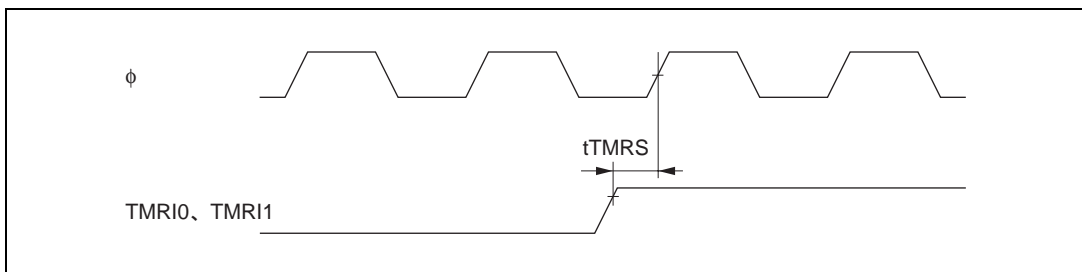


図 20.18 8ビットタイマリセット入力タイミング

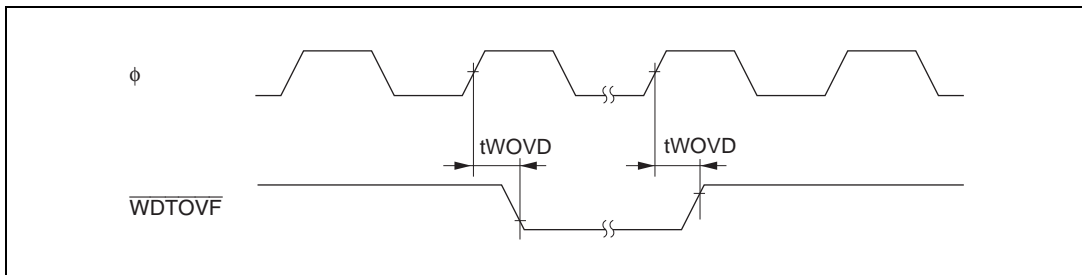


図 20.19 WDT 出力タイミング

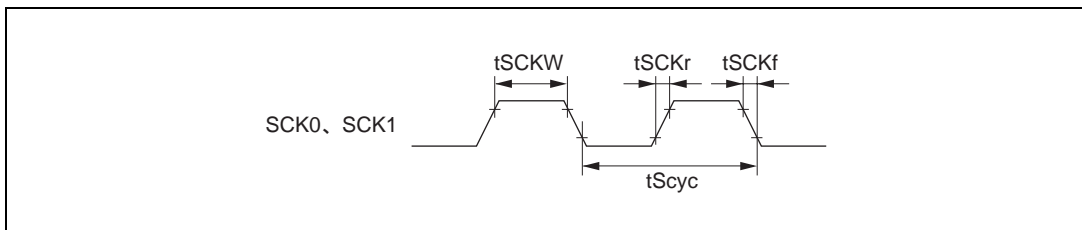


図 20.20 SCK クロック入力タイミング

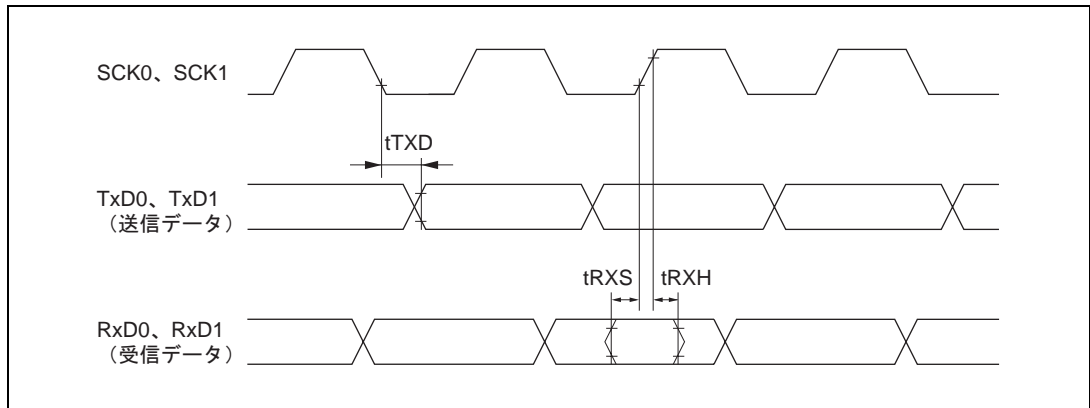


図 20.21 SCI 入出力タイミング/クロック同期式モード

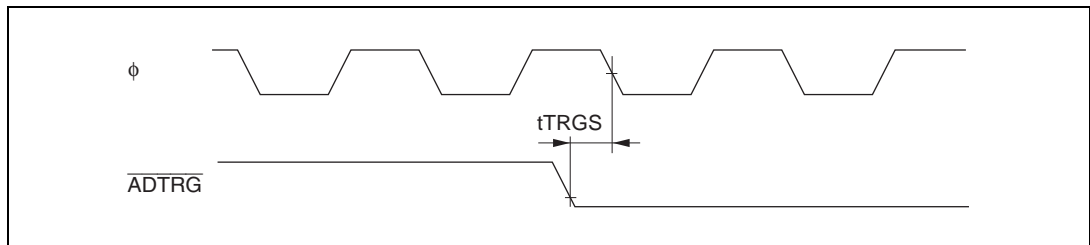


図 20.22 A/D 変換器外部トリガ入力タイミング

20.1.4 A/D 変換特性

表 20.8 A/D 変換特性

条件 A : VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7V ~ AVCC、VSS = AVSS = 0V、 ϕ = 2 ~ 20MHz
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)
 条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、 ϕ = 2 ~ 25MHz
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	条件 A			条件 B			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間	6.7			10.6			μ s
アナログ入力容量			20			20	pF
許容信号源 インピーダンス			5			5	k Ω
非直線性誤差			± 5.5			± 5.5	LSB
オフセット誤差			± 5.5			± 5.5	
フルスケール誤差			± 5.5			± 5.5	
量子化誤差			± 0.5			± 0.5	
絶対精度			± 6.0			± 6.0	

20.1.5 D/A 変換特性

表 20.9 D/A 変換特性

条件 A : VCC = 2.7 ~ 3.6V、AVCC = 2.7 ~ 3.6V、Vref = 2.7V ~ AVCC、VSS = AVSS = 0V、 ϕ = 2 ~ 20MHz

Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、 ϕ = 2 ~ 25MHz

Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	条件 A			条件 B			単位	測定条件
	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	ビット	
変換時間			10			10	μ s	負荷容量 20pF
絶対精度		± 2.0	± 3.0		± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
			± 2.0			± 2.0	LSB	負荷抵抗 4M Ω

20.2 F-ZTAT 版(H8S/2319、H8S/2319E、H8S/2318、H8S/2317、H8S/2315、H8S/2314) の電氣的特性

20.2.1 絶対最大定格

表 20.10 絶対最大定格

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +4.3	V
入力電圧 (FWE、EMLE)	Vin	-0.3 ~ VCC + 0.3	
入力電圧 (ポート 4 以外)	Vin	-0.3 ~ VCC + 0.3	
入力電圧 (ポート 4)	Vin	-0.3 ~ AVCC + 0.3	
リファレンス電源電圧	Vref	-0.3 ~ AVCC + 0.3	
アナログ電源電圧	AVCC	-0.3 ~ +4.3	
アナログ入力電圧	VAN	-0.3 ~ AVCC + 0.3	
動作温度	Topr	通常仕様品 : -20 ~ +75* 広温度範囲仕様品 : -40 ~ +85*	
保存温度	Tstg	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

- 【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は Ta = 0 ~ +75 (一般仕様)、
 Ta = 0 ~ +85 (広温度範囲仕様) です。

20. 電気的特性

20.2.2 DC 特性

表 20.11 DC 特性

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V*1
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、2、 IRQ0 ~ IRQ7	VT ⁻	VCC×0.2			V	
		VT ⁺			VCC×0.7		
		VT ⁺ - VT ⁻	VCC×0.07				
入力 High レベル電圧	RES、STBY、NMI、 MD2 ~ MD0、FWE、 EMLE	VIH	VCC×0.9		VCC + 0.3	V	
	EXTAL		VCC×0.7		VCC + 0.3		
	ポート 3、A ~ G		2.2		VCC + 0.3		
	ポート 4		2.2		AVCC + 0.3		
入力 Low レベル電圧	RES、STBY、 MD2 ~ MD0、FWE、 EMLE	VIL	- 0.3		VCC×0.1	V	
	NMI、EXTAL、 ポート 3、4、A ~ G		- 0.3		VCC×0.2		
出力 High レベル電圧	全出力端子	VOH	VCC - 0.5			V	IOH = - 200μA
			VCC - 1.0			V	IOH = - 1mA
出力 Low レベル電圧	全出力端子	VOL			0.4	V	IOL = 1.6mA
入力リーク 電流	RES	I _{in}			10.0	μA	Vin = 0.5V ~ VCC - 0.5V
	STBY、NMI、 MD2 ~ MD0、FWE、 EMLE				1.0		
	ポート 4				1.0	μA	Vin = 0.5V ~ AVCC - 0.5V

項目		記号	min	typ	max	単位	測定条件
スリープステート リーク電流 (オフ状態)	ポート1~3、A~G	ITSI			1.0	μA	Vin = 0.5V ~ VCC - 0.5V
入力プルアップ MOS電流	ポートA~E	-lp	10		300	μA	VCC = 3.0V ~ 3.6V、Vin = 0V
入力容量	RES	Cin			30	pF	Vin = 0V f = 1MHz Ta = 25
	NMI				30		
	RES、NMI以外の 全入力端子				15		
消費電流*2	通常動作時	ICC*4		50 (3.3V)	100	mA	f = 25MHz
	スリープ時			35 (3.3V)	80		
	スタンバイ時*3			0.01	10	μA	Ta 50
					80	μA	50 < Ta
アナログ 電源電流	A/D、D/A変換中	AICC		0.2 (3.0V)	2.0	mA	
	A/D、D/A変換待機時			0.01	5.0		
リファレンス 電源電流	A/D、D/A変換中	AICC		1.4 (3.0V)	3.0	mA	
	A/D、D/A変換待機時			0.01	5.0		
RAMスタンバイ電圧		VRAM	2.0			V	

【注】 *1 A/DおよびD/A変換器未使用時にAVCC、Vref、AVSS端子を開放しないでください。

AVCC、Vref端子はVCCに、AVSS端子はVSSにそれぞれ接続してください。

*2 消費電流値は、VIH min = VCC - 0.2V、VIL max = 0.2Vの条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

*3 VRAM VCC < 3.0Vのとき、VIH min = VCC×0.9、VIL max = 0.3Vとした場合の値です。

*4 ICCは下記の式に従ってVCCとfに依存します。

ICC max. = 1.0 (mA) + 1.10 (mA/(MHz×V))×VCC×f (通常動作時)

ICC max. = 1.0 (mA) + 0.88 (mA/(MHz×V))×VCC×f (スリープ時)

表 20.12 出力許容電流値

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V

Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1端子あたり)	全出力端子	IOL			2.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣIOL			80	
出力 High レベル許容電流 (1端子あたり)	全出力端子	-IOH			2.0	
出力 High レベル許容電流 (総和)	全出力端子の総和	Σ-IOH			40	

【注】 LSIの信頼性を確保するため、出力電流値は表20.12の値を超えないようにしてください。

20.2.3 AC 特性

(1) クロックタイミング

表 20.13 クロックタイミング

条件 B : $VCC = 3.0 \sim 3.6V$ 、 $AVCC = 3.0 \sim 3.6V$ 、 $Vref = 3.0V \sim AVCC$ 、 $VSS = AVSS = 0V$ 、
 $\phi = 2 \sim 25MHz$ 、 $Ta = -20 \sim +75$ (通常仕様品)、
 $Ta = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 B		単位	測定条件
		min	max		
クロックサイクル時間	tcyc	40	500	ns	図 20.2
クロックハイレベルパルス幅	tCH	15			
クロックローレベルパルス幅	tCL	15			
クロック立ち上がり時間	tCr		5		
クロック立ち下がり時間	tCf		5		
リセット発振安定時間 (水晶)	tOSC1	10		ms	図 20.3
ソフトウェアスタンバイ発振安定時間 (水晶)	tOSC2	10		ms	
外部クロック出力安定遅延時間	tDEXT	500		μs	図 20.3

(2) 制御信号タイミング

表 20.14 制御信号タイミング

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、Ta = -20 ~ +75 (通常仕様品)、
 Ta = -40 ~ +85 (広温度範囲仕様品)

項目	記号	条件 B		単位	測定条件
		min	max		
RES セットアップ時間	tRESS	200		ns	図 20.4
RES パルス幅	tRESW	20		tcyc	
NMI セットアップ時間	tNMIS	150		ns	図 20.5
NMI ホールド時間	tNMIH	10			
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tNMIW	200			
IRQ セットアップ時間	tIRQS	150			
IRQ ホールド時間	tIRQH	10			
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tIRQW	200			

20. 電気的特性

(3) バスタイミング

表 20.15 バスタイミング

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 B		単位	測定条件
		min	max		
アドレス遅延時間	tAD		20	ns	図 20.6 ~ 図 20.10
アドレスセットアップ時間	tAS	$0.5 \times t_{cyc} - 15$			
アドレスホールド時間	tAH	$0.5 \times t_{cyc} - 8$			
CS 遅延時間 1	tCSD1		15		
AS 遅延時間	tASD		15		
RD 遅延時間 1	tRSD1		15		
RD 遅延時間 2	tRSD2		15		
リードデータセットアップ時間	tRDS	15			
リードデータホールド時間	tRDH	0			
リードデータアクセス時間 1	tACC1		$1.0 \times t_{cyc} - 20$		
リードデータアクセス時間 2	tACC2		$1.5 \times t_{cyc} - 20$		
リードデータアクセス時間 3	tACC3		$2.0 \times t_{cyc} - 20$		
リードデータアクセス時間 4	tACC4		$2.5 \times t_{cyc} - 20$		
リードデータアクセス時間 5	tACC5		$3.0 \times t_{cyc} - 20$		
WR 遅延時間 1	tWRD1		15		
WR 遅延時間 2	tWRD2		15		
WR パルス幅 1	tWSW1	$1.0 \times t_{cyc} - 15$			
WR パルス幅 2	tWSW2	$1.5 \times t_{cyc} - 15$			
ライトデータ遅延時間	tWDD		20		
ライトデータセットアップ時間	tWDS	$0.5 \times t_{cyc} - 15$			
ライトデータホールド時間	tWDH	$0.5 \times t_{cyc} - 8$			
WAIT セットアップ時間	tWTS	25		ns	図 20.8
WAIT ホールド時間	tWTH	5			
BREQ セットアップ時間	tBRQS	30		ns	図 20.11
BACK 遅延時間	tBACD		15		
バスフローティング時間	tBZD		40		
BREQO 遅延時間	tBRQOD		25	ns	図 20.12

(4) 内蔵周辺モジュールタイミング

表 20.16 内蔵周辺モジュールタイミング

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件 B		単位	測定条件	
			min	max			
I/O ポート	出力データ遅延時間	tPWD		40	ns	図 20.13	
	入力データセットアップ時間	tPRS	25				
	入力データホールド時間	tPRH	25				
TPU	タイマ出力遅延時間	tTOCD		40	ns	図 20.14	
	タイマ入力セットアップ時間	tTICS	25				
	タイマクロック入力セットアップ時間	tTCKS	25		ns	図 20.15	
	タイマクロックパルス幅	単エッジ指定	tTCKWH	1.5			tcyc
	両エッジ指定	tTCKWL	2.5				
8 ビットタイマ	タイマ出力遅延時間	tTMOD		40	ns	図 20.16	
	タイマリセット入力セットアップ時間	tTMRS	25				ns
	タイマクロック入力セットアップ時間	tTMCS	25		ns	図 20.17	
	タイマクロックパルス幅	単エッジ指定	tTMCWH	1.5			tcyc
		両エッジ指定	tTMCWL	2.5			
SCI	入カクロックサイクル	調歩同期	tScyc	4	tcyc	図 20.20	
		クロック同期		6			
	入カクロックパルス幅	tSCKW	0.4	0.6	tScyc		
	入カクロック立ち上がり時間	tSCKr		1.5	tcyc		
	入カクロック立ち下がり時間	tSCKf		1.5			
	送信データ遅延時間	tTXD		40	ns		図 20.21
	受信データセットアップ時間 (クロック同期)	tRXS	40				
	受信データホールド時間 (クロック同期)	tRXH	40				
A/D 変換器	トリガ入力セットアップ時間	tTRGS	30		ns	図 20.22	

20. 電気的特性

20.2.4 A/D 変換特性

表 20.17 A/D 変換特性

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、 $\phi = 2 \sim 25\text{MHz}$
Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	条件 B			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	10.6			μs
アナログ入力容量			20	pF
許容信号源 インピーダンス			5	k Ω
非直線性誤差			± 5.5	LSB
オフセット誤差			± 5.5	
フルスケール誤差			± 5.5	
量子化誤差			± 0.5	
絶対精度			± 6.0	

20.2.5 D/A 変換特性

表 20.18 D/A 変換特性

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、 $\phi = 2 \sim 25\text{MHz}$
Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	条件 B			単位	測定条件
	min	typ	max		
分解能	8	8	8	ビット	
変換時間			10	μs	負荷容量 20pF
絶対精度		± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
			± 2.0	LSB	負荷抵抗 4M Ω

20.2.6 フラッシュメモリ特性

表 20.19 フラッシュメモリ特性

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V

Ta = 0 ~ +75 (書き込み / 消去時の動作温度範囲 ; 通常仕様品)

Ta = 0 ~ +85 (書き込み / 消去時の動作温度範囲 ; 広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件		
書き込み時間 ^{*1,*2,*4}	tP	-	10	200	ms/128 バイト			
消去時間 ^{*1,*3,*6}	tE	-	50	1000	ms/ ブロック			
書き換え回数	N _{WEC}	100 ^{*7}	10000 ^{*8}	-	回			
データ保持時間 ^{*9}	t _{DRP}	10	-	-	年			
書き 込み時	SWE ビットセット後の ウェイト時間 ^{*1}	x	1	-	-	μs		
	PSU ビットセット後の ウェイト時間 ^{*1}	y	50	-	-			
	P ビットセット後の ウェイト時間 ^{*1,*4}	z	(z1)	-	-	30	μs	1 n 6
			(z2)	-	-	200	μs	7 n 1000
			(z3)	-	-	10	μs	追加書き込み時 間ウェイト
	P ビットクリア後の ウェイト時間 ^{*1}	α	5	-	-	μs		
	PSU ビットクリア後の ウェイト時間 ^{*1}	β	5	-	-			
	PV ビットセット後の ウェイト時間 ^{*1}	γ	4	-	-			
	H'FF ダミーライト後の ウェイト時間 ^{*1}	ε	2	-	-			
	PV ビットクリア後の ウェイト時間 ^{*1}	η	2	-	-			
SWE ビットクリア後の ウェイト時間 ^{*1}	θ	100	-	-				
最大書き込み回数 ^{*1,*4}	N	-	-	1000 ^{*5}	回			
消去時	SWE ビットセット後の ウェイト時間 ^{*1}	x	1	-	-	μs		
	ESU ビットセット後の ウェイト時間 ^{*1}	y	100	-	-			
	E ビットセット後の ウェイト時間 ^{*1,*6}	z	-	-	10	ms		
	E ビットクリア後の ウェイト時間 ^{*1}	α	10	-	-	μs		
	ESU ビットクリア後の ウェイト時間 ^{*1}	β	10	-	-			
	EV ビットセット後の ウェイト時間 ^{*1}	γ	20	-	-			
	H'FF ダミーライト後の ウェイト時間 ^{*1}	ε	2	-	-			
	EV ビットクリア後の ウェイト時間 ^{*1}	η	4	-	-			
	SWE ビットクリア後の ウェイト時間 ^{*1}	θ	100	-	-			
	最大消去回数 ^{*1,*6}	N	-	-	100	回		

- 【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従い、行ってください。
- *2 128 バイトあたりの書き込み時間 (H8S/2318、H8S/2317、H8S/2315、H8S/2314 の場合、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。H8S/2319 の場合、フラッシュメモリコントロールレジスタ (FLMCR1、FLMCR2) の P1 ビット、P2 ビットをセットしているトータル期間を示します。書き込みペリファイ時間は含まれません。)
- *3 1 ブロックを消去する時間 (H8S/2318、H8S/2317、H8S/2315、H8S/2314 の場合、FLMCR1 の E ビットをセットしている期間を示します。H8S/2319 の場合、FLMCR1 の E1 ビット、FLMCR2 の E2 ビットをセットしているトータル期間を示します。消去ペリファイ時間は含まれません。)
- *4 書き込み時間の最大値

$$tP(\max) = \sum_{i=1}^N \text{Pビットセット後のウェイト時間}(z)$$
- *5 最大書き込み回数 (N) は、実際の (z) の設定値に合わせ、書き込み時間の最大値 (tP (max)) 以下となるように設定してください。
 また、P ビットセット後のウェイト時間 (z) は、下記のように書き込み回数 (n) の値によって切り替えてください。
 書き込み回数 n
 1 n 6 z = 30 μ s
 7 n 1000 z = 200 μ s
 [追加書き込み時]
 書き込み回数 n
 1 n 6 z = 10 μ s
- *6 消去時間の最大値 (tE (max)) に対して、E ビットセット後のウェイト時間 (z) と最大消去回数 (N) は以下の関係にあります。

$$tE(\max) = E \text{ ビットセット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$
- *7 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- *8 25 のときの参考値 (通常この値まで書き換えは機能するという目安です)。
- *9 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

20.3 H8S/2319C F-ZTAT の電気的特性

20.3.1 絶対最大定格

表 20.20 絶対最大定格

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	記号	定格値	単位
電源電圧	VCC* ¹	-0.3 ~ +4.3	V
入力電圧 (ポート 4 以外)	Vin	-0.3 ~ VCC + 0.3	
入力電圧 (ポート 4)	Vin	-0.3 ~ AVCC + 0.3	
リファレンス電源電圧	Vref	-0.3 ~ AVCC + 0.3	
アナログ電源電圧	AVCC	-0.3 ~ +4.3	
アナログ入力電圧	VAN	-0.3 ~ AVCC + 0.3	
動作温度	Topr	通常仕様品 : -20 ~ +75* ²	
		広温度範囲仕様品 : -40 ~ +85* ²	
保存温度	Tstg	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

- 【注】 *1 V_{CL} ピンには電源電圧を印加しないでください。印加した場合、LSI の永久破壊となることがあります。GND との間に外付けコンデンサを接続してください。
- *2 フラッシュメモリの書き込み / 消去時の動作温度範囲は Ta = 0 ~ +75 (通常仕様)、Ta = 0 ~ +85 (広温度範囲仕様) です。

20. 電気的特性

20.3.2 DC 特性

表 20.21 DC 特性

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V*1
 Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、2、 IRQ0 ~ IRQ7	VT ⁻	VCC×0.2			V	
		VT ⁺			VCC×0.7		
		VT ⁺ - VT ⁻	VCC×0.07				
入力 High レベル電圧	RES、STBY、NMI、 MD2 ~ MD0	VIH	VCC×0.9		VCC + 0.3	V	
	EXTAL		VCC×0.7		VCC + 0.3		
	ポート 3、A ~ G		2.2		VCC + 0.3		
	ポート 4		2.2		AVCC + 0.3		
入力 Low レベル電圧	RES、STBY、 MD2 ~ MD0	VIL	- 0.3		VCC×0.1	V	
	NMI、EXTAL、 ポート 3、4、A ~ G		- 0.3		VCC×0.2		
出力 High レベル電圧	全出力端子	VOH	VCC - 0.5			V	IOH = - 200μA
			VCC - 1.0			V	IOH = - 1mA
出力 Low レベル電圧	全出力端子	VOL			0.4	V	IOL = 1.6mA
入力リーク 電流	RES	I _{in}			10.0	μA	Vin = 0.5V ~ VCC - 0.5V
	STBY、NMI、 MD2 ~ MD0				1.0		
	ポート 4				1.0	μA	Vin = 0.5V ~ AVCC - 0.5V

項目		記号	min	typ	max	単位	測定条件
スリーステート リーク電流 (オフ状態)	ポート1~3、A~G	ITSI			1.0	μA	Vin = 0.5V ~ VCC - 0.5V
入力プルアップ MOS電流	ポートA~E	-I _p	10		300	μA	VCC = 3.0V ~ 3.6V、Vin = 0V
入力容量	RES	Cin			30	pF	Vin = 0V f = 1MHz Ta = 25
	NMI				30		
	RES、NMI以外の 全入力端子				15		
消費電流* ²	通常動作時	ICC* ⁴		25 (3.3V)	50	mA	f = 25MHz
	スリープ時			17 (3.3V)	40		
	スタンバイ時* ³			20	90		
					120	μA	50 < Ta
アナログ 電源電流	A/D、D/A変換中	AICC		1.0 (3.0V)	2.0	mA	
	A/D、D/A変換待機時			1.0	5.0		
リファレンス 電源電流	A/D、D/A変換中	AICC		1.4 (3.0V)	3.0	mA	
	A/D、D/A変換待機時			0.2	5.0		
RAMスタンバイ電圧		VRAM	2.5			V	
V _{CC} 開始電圧* ⁵		V _{CC start}			0.4	V	
V _{CC} 立ち上がり勾配* ⁵		SV _{CC}			10	ms/V	

【注】 *1 A/DおよびD/A変換器未使用時にAVCC、Vref、AVSS端子を開放しないでください。

AVCC、Vref端子はVCCに、AVSS端子はVSSにそれぞれ接続してください。

*2 消費電流値は、VIH min = VCC - 0.2V、VIL max = 0.2Vの条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

*3 VRAM VCC < 3.0Vのとき、VIH min = VCC×0.9、VIL max = 0.3Vとした場合の値です。

*4 ICCは下記の式に従ってVCCとfに依存します。

ICC max. = 0.5 (mA) + 0.55 (mA/(MHz × V)) × VCC × f (通常動作時)

ICC max. = 0.4 (mA) + 0.44 (mA/(MHz × V)) × VCC × f (スリープ時)

*5 電源投入時、RES端子がLowレベルになっている条件で適用します。

表 20.22 出力許容電流値

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V

Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1端子あたり)	全出力端子	IOL			2.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣIOL			80	
出力 High レベル許容電流 (1端子あたり)	全出力端子	-IOH			2.0	
出力 High レベル許容電流 (総和)	全出力端子の総和	Σ-IOH			40	

【注】 LSIの信頼性を確保するため、出力電流値は表 20.22の値を超えないようにしてください。

20.3.3 AC 特性

(1) クロックタイミング

表 20.23 クロックタイミング

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 B		単位	測定条件
		min	max		
クロックサイクル時間	tcyc	40	500	ns	図 20.2
クロックハイレベルパルス幅	tCH	15			
クロックローレベルパルス幅	tCL	15			
クロック立ち上がり時間	tCr		5		
クロック立ち下がり時間	tCf		5		
リセット発振安定時間 (水晶)	tOSC1	10		ms	図 20.3
ソフトウェアスタンバイ発振安定時間 (水晶)	tOSC2	10		ms	
外部クロック出力安定遅延時間	tDEXT	500		μs	図 20.3

(2) 制御信号タイミング

表 20.24 制御信号タイミング

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 B		単位	測定条件
		min	max		
RES セットアップ時間	tRESS	200		ns	図 20.4
RES パルス幅	tRESW	20		tcyc	
NMI セットアップ時間	tNMIS	150		ns	図 20.5
NMI ホールド時間	tNMIH	10			
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tNMIW	200			
IRQ セットアップ時間	tIRQS	150			
IRQ ホールド時間	tIRQH	10			
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	tIRQW	200			

20. 電気的特性

(3) バスタイミング

表 20.25 バスタイミング

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 B		単位	測定条件
		min	max		
アドレス遅延時間	tAD		20	ns	図 20.6 ~ 図 20.10
アドレスセットアップ時間	tAS	$0.5 \times t_{cyc} - 15$			
アドレスホールド時間	tAH	$0.5 \times t_{cyc} - 8$			
CS 遅延時間 1	tCSD1		15		
AS 遅延時間	tASD		15		
RD 遅延時間 1	tRSD1		15		
RD 遅延時間 2	tRSD2		15		
リードデータセットアップ時間	tRDS	15			
リードデータホールド時間	tRDH	0			
リードデータアクセス時間 1	tACC1		$1.0 \times t_{cyc} - 20$		
リードデータアクセス時間 2	tACC2		$1.5 \times t_{cyc} - 20$		
リードデータアクセス時間 3	tACC3		$2.0 \times t_{cyc} - 20$		
リードデータアクセス時間 4	tACC4		$2.5 \times t_{cyc} - 20$		
リードデータアクセス時間 5	tACC5		$3.0 \times t_{cyc} - 20$		
WR 遅延時間 1	tWRD1		15		
WR 遅延時間 2	tWRD2		15		
WR パルス幅 1	tWSW1	$1.0 \times t_{cyc} - 15$			
WR パルス幅 2	tWSW2	$1.5 \times t_{cyc} - 15$			
ライトデータ遅延時間	tWDD		20		
ライトデータセットアップ時間	tWDS	$0.5 \times t_{cyc} - 15$			
ライトデータホールド時間	tWDH	$0.5 \times t_{cyc} - 8$			
WAIT セットアップ時間	tWTS	25		ns	図 20.8
WAIT ホールド時間	tWTH	5		ns	図 20.11
BREQ セットアップ時間	tBRQS	30			
BACK 遅延時間	tBACD		15		
バスフローティング時間	tBZD		40	ns	図 20.12
BREQO 遅延時間	tBRQOD		25		

(4) 内蔵周辺モジュールタイミング

表 20.26 内蔵周辺モジュールタイミング

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、
 $\phi = 2 \sim 25\text{MHz}$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件 B		単位	測定条件	
			min	max			
I/O ポート	出力データ遅延時間	tPWD		40	ns	図 20.13	
	入力データセットアップ時間	tPRS	25				
	入力データホールド時間	tPRH	25				
TPU	タイマ出力遅延時間	tTOCD		40	ns	図 20.14	
	タイマ入力セットアップ時間	tTICS	25				
	タイマクロック入力セットアップ時間	tTCKS	25		ns	図 20.15	
	タイマクロックパルス幅	単エッジ指定	tTCKWH	1.5			tcyc
	両エッジ指定	tTCKWL	2.5				
8 ビットタイマ	タイマ出力遅延時間	tTMOD		40	ns	図 20.16	
	タイマリセット入力セットアップ時間	tTMRS	25				ns
	タイマクロック入力セットアップ時間	tTMCS	25		ns	図 20.17	
	タイマクロックパルス幅	単エッジ指定	tTMCWH	1.5			tcyc
		両エッジ指定	tTMCWL	2.5			
SCI	入カクロックサイクル	調歩同期	tScyc	4	tcyc	図 20.20	
		クロック同期		6			
	入カクロックパルス幅	tSCKW	0.4	0.6	tScyc		
	入カクロック立ち上がり時間	tSCKr		1.5	tcyc		
	入カクロック立ち下がり時間	tSCKf		1.5			
	送信データ遅延時間	tTXD		40	ns		図 20.21
	受信データセットアップ時間 (クロック同期)	tRXS	40				
	受信データホールド時間 (クロック同期)	tRXH	40				
A/D 変換器	トリガ入力セットアップ時間	tTRGS	30		ns	図 20.22	

20. 電氣的特性

20.3.4 A/D 変換特性

表 20.27 A/D 変換特性

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、 $\phi = 2 \sim 25\text{MHz}$
Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	条件 B			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	10.6			μs
アナログ入力容量			20	pF
許容信号源 インピーダンス			5	k Ω
非直線性誤差			± 5.5	LSB
オフセット誤差			± 5.5	
フルスケール誤差			± 5.5	
量子化誤差			± 0.5	
絶対精度			± 6.0	

20.3.5 D/A 変換特性

表 20.28 D/A 変換特性

条件 B : VCC = 3.0 ~ 3.6V、AVCC = 3.0 ~ 3.6V、Vref = 3.0V ~ AVCC、VSS = AVSS = 0V、 $\phi = 2 \sim 25\text{MHz}$
Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	条件 B			単位	測定条件
	min	typ	max		
分解能	8	8	8	ビット	
変換時間			10	μs	負荷容量 20pF
絶対精度		± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
			± 2.0	LSB	負荷抵抗 4M Ω

20.3.6 フラッシュメモリ特性

表 20.29 フラッシュメモリ特性

条件 B : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ $T_a = 0 \sim +75$ (書き込み / 消去時の動作温度範囲 ; 通常仕様品) $T_a = 0 \sim +85$ (書き込み / 消去時の動作温度範囲 ; 広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1,*2,*4}	tP	-	3	30	ms/128 バイト	
消去時間 ^{*1,*2,*4}	tE	-	80	800	ms/4K バイトブロック	
		-	500	5000	ms/32K バイトブロック	
		-	1000	10000	ms/64K バイトブロック	
書き込み時間 (総和) ^{*1,*2,*4}	ΣtP	-	10	30	s/512K バイト	$T_a = 25$ 、 all "0"時
消去時間 (総和) ^{*1,*2,*4}	ΣtE	-	10	30	s/512K バイト	$T_a = 25$
書き込み、消去時間 (総和) ^{*1,*2,*4}	ΣtPE	-	20	60		
書き換え回数	NWEC	100 ^{*3}	10000 ^{*5}	-	回	
データ保持時間 ^{*4}	tDRP	10	-	-	年	

【注】 *1 書き込み、消去時間は、データに依存します。

*2 書き込み、消去時間にはデータ転送時間は含みません。

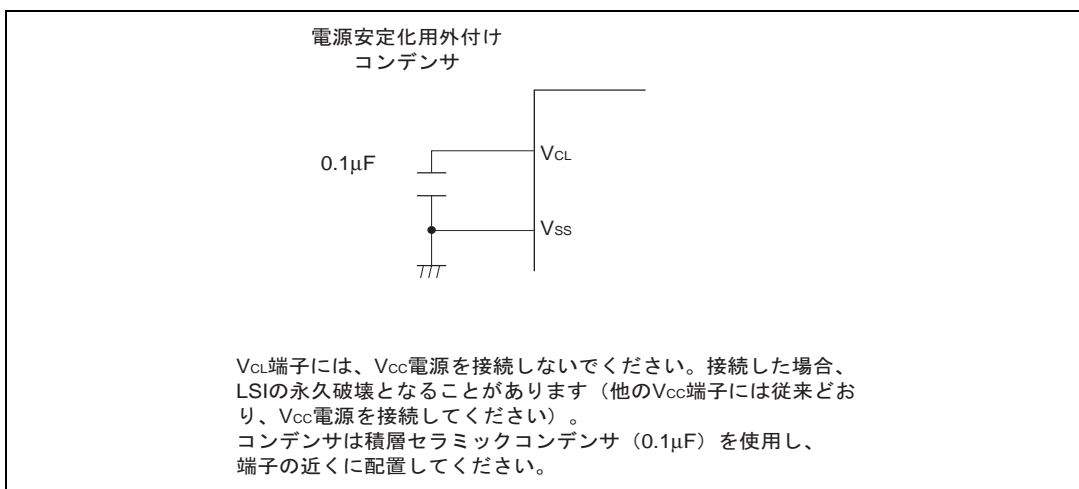
*3 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。

*4 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

*5 25 のときの参考値 (通常この値まで書き換えは機能するという目安です。)

20.3.7 使用上の注意 (H8S/2319C F-ZTAT 内部降圧)

H8S/2319C F-ZTAT では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧端子 (V_{CL} 端子) と V_{SS} 端子間には、内部電圧安定用のコンデンサ ($0.1\mu F$) を接続する必要があります。外付けコンデンサ接続方法を図 20.23 に示します。 V_{CL} 端子には、 V_{CC} 電源は接続しないでください。 V_{CC} 電源を接続した場合、LSI の永久破壊となることがあります (V_{CC} 端子には従来どおり、 V_{CC} 電源を接続してください)。

図 20.23 V_{CL} コンデンサ接続方法

20.4 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

記号	内容
Rd	汎用レジスタ (デスティネーション側) * ¹
Rs	汎用レジスタ (ソース側) * ¹
Rn	汎用レジスタ * ¹
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ) * ²
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
() < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 *¹ 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L)、16 ビット (R0~R7、E0~E7)、または 32 ビット (ER0~ER7) です。

*² MAC レジスタは本 LSI では使用できません。

《コンディションコード》

記号	内容
↕	実行結果に従い変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行 ステート数*1						
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	Z	V	C							
																	アドバンスト					
MOV	MOV.B #xx:8,Rd	B	2												#xx:8→Rd8	---	↑	↑	↑	0	---	1
	MOV.B Rs,Rd	B		2											Rs8→Rd8	---	↑	↑	↑	0	---	1
	MOV.B @ERs,Rd	B			2										@ERs→Rd8	---	↑	↑	↑	0	---	2
	MOV.B @(d:16,ERs),Rd	B				4									@(d:16,ERs)→Rd8	---	↑	↑	↑	0	---	3
	MOV.B @(d:32,ERs),Rd	B				8									@(d:32,ERs)→Rd8	---	↑	↑	↑	0	---	5
	MOV.B @ERs+,Rd	B					2								@ERs→Rd8,ERs32+1→ERs32	---	↑	↑	↑	0	---	3
	MOV.B @aa:8,Rd	B						2							@aa:8→Rd8	---	↑	↑	↑	0	---	2
	MOV.B @aa:16,Rd	B						4							@aa:16→Rd8	---	↑	↑	↑	0	---	3
	MOV.B @aa:32,Rd	B						6							@aa:32→Rd8	---	↑	↑	↑	0	---	4
	MOV.B Rs,@ERd	B			2										Rs8→@ERd	---	↑	↑	↑	0	---	2
	MOV.B Rs,@(d:16,ERd)	B				4									Rs8→@(d:16,ERd)	---	↑	↑	↑	0	---	3
	MOV.B Rs,@(d:32,ERd)	B				8									Rs8→@(d:32,ERd)	---	↑	↑	↑	0	---	5
	MOV.B Rs,@-ERd	B					2								ERd32-1→ERd32,Rs8→@ERd	---	↑	↑	↑	0	---	3
	MOV.B Rs,@aa:8	B						2							Rs8→@aa:8	---	↑	↑	↑	0	---	2
	MOV.B Rs,@aa:16	B						4							Rs8→@aa:16	---	↑	↑	↑	0	---	3
	MOV.B Rs,@aa:32	B						6							Rs8→@aa:32	---	↑	↑	↑	0	---	4
	MOV.W #xx:16,Rd	W	4												#xx:16→Rd16	---	↑	↑	↑	0	---	2
	MOV.W Rs,Rd	W		2											Rs16→Rd16	---	↑	↑	↑	0	---	1
	MOV.W @ERs,Rd	W			2										@ERs→Rd16	---	↑	↑	↑	0	---	2
	MOV.W @(d:16,ERs),Rd	W				4									@(d:16,ERs)→Rd16	---	↑	↑	↑	0	---	3
	MOV.W @(d:32,ERs),Rd	W				8									@(d:32,ERs)→Rd16	---	↑	↑	↑	0	---	5
	MOV.W @ERs+,Rd	W					2								@ERs→Rd16,ERs32+2→ERs32	---	↑	↑	↑	0	---	3
	MOV.W @aa:16,Rd	W						4							@aa:16→Rd16	---	↑	↑	↑	0	---	3
	MOV.W @aa:32,Rd	W						6							@aa:32→Rd16	---	↑	↑	↑	0	---	4
	MOV.W Rs,@ERd	W			2										Rs16→@ERd	---	↑	↑	↑	0	---	2
	MOV.W Rs,@(d:16,ERd)	W				4									Rs16→@(d:16,ERd)	---	↑	↑	↑	0	---	3
	MOV.W Rs,@(d:32,ERd)	W				8									Rs16→@(d:32,ERd)	---	↑	↑	↑	0	---	5
	MOV.W Rs,@-ERd	W					2								ERd32-2→ERd32,Rs16→@ERd	---	↑	↑	↑	0	---	3
	MOV.W Rs,@aa:16	W						4							Rs16→@aa:16	---	↑	↑	↑	0	---	3
	MOV.W Rs,@aa:32	W						6							Rs16→@aa:32	---	↑	↑	↑	0	---	4
	MOV.L #xx:32,ERd	L	6												#xx:32→ERd32	---	↑	↑	↑	0	---	3
	MOV.L ERs,ERd	L		2											ERs32→ERd32	---	↑	↑	↑	0	---	1
MOV.L @ERs,ERd	L			4										@ERs→ERd32	---	↑	↑	↑	0	---	4	
MOV.L @(d:16,ERs),ERd	L				6									@(d:16,ERs)→ERd32	---	↑	↑	↑	0	---	5	
MOV.L @(d:32,ERs),ERd	L				10									@(d:32,ERs)→ERd32	---	↑	↑	↑	0	---	7	
MOV.L @ERs+,ERd	L					4								@ERs→ERd32,ERs32+4→ERs32	---	↑	↑	↑	0	---	5	
MOV.L @aa:16,ERd	L						6							@aa:16→ERd32	---	↑	↑	↑	0	---	5	
MOV.L @aa:32,ERd	L						8							@aa:32→ERd32	---	↑	↑	↑	0	---	6	
MOV.L ERs,@ERd	L			4										ERs32→@ERd	---	↑	↑	↑	0	---	4	
MOV.L ERs,@(d:16,ERd)	L				6									ERs32→@(d:16,ERd)	---	↑	↑	↑	0	---	5	
MOV.L ERs,@(d:32,ERd)	L				10									ERs32→@(d:32,ERd)	---	↑	↑	↑	0	---	7	
MOV.L ERs,@-ERd	L					4								ERd32-4→ERd32,ERs32→@ERd	---	↑	↑	↑	0	---	5	
MOV.L ERs,@aa:16	L						6							ERs32→@aa:16	---	↑	↑	↑	0	---	5	
MOV.L ERs,@aa:32	L						8							ERs32→@aa:32	---	↑	↑	↑	0	---	6	
POP	POP.W Rn	W						2						@SP→Rn16,SP+2→SP	---	↑	↑	↑	0	---	3	
	POP.L ERn	L						4						@SP→ERn32,SP+4→SP	---	↑	↑	↑	0	---	5	
PUSH	PUSH.W Rn	W						2						SP-2→SP,Rn16→@SP	---	↑	↑	↑	0	---	3	
	PUSH.L ERn	L						4						SP-4→SP,ERn32→@SP	---	↑	↑	↑	0	---	5	
LDM	LDM @SP+,(ERm-ERn)	L						4						(@SP→ERn32,SP+4→SP) 復帰本数分繰り返し	---	---	---	---	---	---	7/9/11 [1]	
STM	STM (ERm-ERn),@-SP	L						4						(SP-4→SP,ERn32→@SP) 退避本数分繰り返し	---	---	---	---	---	---	7/9/11 [1]	
MOVFP	MOVFP @aa:16,Rd																					[2]
MOVTP	MOVTP Rs,@aa:16																					[2]

本LSIでは使用できません。

(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行ステート数*1 アドバンスト	
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V		C
AND	AND.B #xx:8,Rd	B	2														1
	AND.B Rs,Rd	B	2														1
	AND.W #xx:16,Rd	W	4														2
	AND.W Rs,Rd	W	4														1
	AND.L #xx:32,ERd	L	6														3
	AND.L ERs,ERd	L	4														2
OR	OR.B #xx:8,Rd	B	2														1
	OR.B Rs,Rd	B	2														1
	OR.W #xx:16,Rd	W	4														2
	OR.W Rs,Rd	W	4														1
	OR.L #xx:32,ERd	L	6														3
	OR.L ERs,ERd	L	4														2
XOR	XOR.B #xx:8,Rd	B	2														1
	XOR.B Rs,Rd	B	2														1
	XOR.W #xx:16,Rd	W	4														2
	XOR.W Rs,Rd	W	4														1
	XOR.L #xx:32,ERd	L	6														3
	XOR.L ERs,ERd	L	4														2
NOT	NOT.B Rd	B	2														1
	NOT.W Rd	W	2														1
	NOT.L ERd	L	2														1

(4) シフト命令

ニーモニック	オペレーション	サイズ	アドレッシングモード/命令長 (バイト)							コンディションコード					実行 ステート数*1		
			#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa	I	H	N	Z		V	C
SHAL	SHAL.B Rd	B		2													1
	SHAL.B #2,Rd	B		2													1
	SHAL.W Rd	W		2													1
	SHAL.W #2,Rd	W		2													1
	SHALL.ERd	L		2													1
	SHALL.#2,ERd	L		2													1
SHAR	SHAR.B Rd	B		2													1
	SHAR.B #2,Rd	B		2													1
	SHAR.W Rd	W		2													1
	SHAR.W #2,Rd	W		2													1
	SHAR.L ERd	L		2													1
	SHAR.L #2,ERd	L		2													1
SHLL	SHLL.B Rd	B		2													1
	SHLL.B #2,Rd	B		2													1
	SHLL.W Rd	W		2													1
	SHLL.W #2,Rd	W		2													1
	SHLLL.ERd	L		2													1
	SHLLL.#2,ERd	L		2													1
SHLR	SHLR.B Rd	B		2													1
	SHLR.B #2,Rd	B		2													1
	SHLR.W Rd	W		2													1
	SHLR.W #2,Rd	W		2													1
	SHLR.L ERd	L		2													1
	SHLR.L #2,ERd	L		2													1
ROTXL	ROTXL.B Rd	B		2													1
	ROTXL.B #2,Rd	B		2													1
	ROTXL.W Rd	W		2													1
	ROTXL.W #2,Rd	W		2													1
	ROTXLL.ERd	L		2													1
	ROTXLL.#2,ERd	L		2													1
ROTXR	ROTXR.B Rd	B		2													1
	ROTXR.B #2,Rd	B		2													1
	ROTXR.W Rd	W		2													1
	ROTXR.W #2,Rd	W		2													1
	ROTXR.L ERd	L		2													1
	ROTXR.L #2,ERd	L		2													1
ROTL	ROTL.B Rd	B		2													1
	ROTL.B #2,Rd	B		2													1
	ROTL.W Rd	W		2													1
	ROTL.W #2,Rd	W		2													1
	ROTL.L ERd	L		2													1
	ROTL.L #2,ERd	L		2													1
ROTR	ROTR.B Rd	B		2													1
	ROTR.B #2,Rd	B		2													1
	ROTR.W Rd	W		2													1
	ROTR.W #2,Rd	W		2													1
	ROTR.L ERd	L		2													1
	ROTR.L #2,ERd	L		2													1

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行 ステート数*1	
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@aa		I	H	N	Z	V		C
BSET	BSET #xx:3,Rd	B	2							(#xx:3 of Rd8)←1	—	—	—	—	—	1	
	BSET #xx:3,@ERd	B		4						(#xx:3 of @ERd)←1	—	—	—	—	—	4	
	BSET #xx:3,@aa:8	B						4		(#xx:3 of @aa:8)←1	—	—	—	—	—	4	
	BSET #xx:3,@aa:16	B						6		(#xx:3 of @aa:16)←1	—	—	—	—	—	5	
	BSET #xx:3,@aa:32	B						8		(#xx:3 of @aa:32)←1	—	—	—	—	—	6	
	BSET Rn,Rd	B	2							(Rn8 of Rd8)←1	—	—	—	—	—	1	
	BSET Rn,@ERd	B		4						(Rn8 of @ERd)←1	—	—	—	—	—	4	
	BSET Rn,@aa:8	B						4		(Rn8 of @aa:8)←1	—	—	—	—	—	4	
	BSET Rn,@aa:16	B						6		(Rn8 of @aa:16)←1	—	—	—	—	—	5	
BSET Rn,@aa:32	B						8		(Rn8 of @aa:32)←1	—	—	—	—	—	6		
BCLR	BCLR #xx:3,Rd	B	2							(#xx:3 of Rd8)←0	—	—	—	—	—	1	
	BCLR #xx:3,@ERd	B		4						(#xx:3 of @ERd)←0	—	—	—	—	—	4	
	BCLR #xx:3,@aa:8	B						4		(#xx:3 of @aa:8)←0	—	—	—	—	—	4	
	BCLR #xx:3,@aa:16	B						6		(#xx:3 of @aa:16)←0	—	—	—	—	—	5	
	BCLR #xx:3,@aa:32	B						8		(#xx:3 of @aa:32)←0	—	—	—	—	—	6	
	BCLR Rn,Rd	B	2							(Rn8 of Rd8)←0	—	—	—	—	—	1	
	BCLR Rn,@ERd	B		4						(Rn8 of @ERd)←0	—	—	—	—	—	4	
	BCLR Rn,@aa:8	B						4		(Rn8 of @aa:8)←0	—	—	—	—	—	4	
	BCLR Rn,@aa:16	B						6		(Rn8 of @aa:16)←0	—	—	—	—	—	5	
BCLR Rn,@aa:32	B						8		(Rn8 of @aa:32)←0	—	—	—	—	—	6		
BNOT	BNOT #xx:3,Rd	B	2							(#xx:3 of Rd8)← [~(#xx:3 of Rd8)]	—	—	—	—	—	1	
	BNOT #xx:3,@ERd	B		4						(#xx:3 of @ERd)← [~(#xx:3 of @ERd)]	—	—	—	—	—	4	
	BNOT #xx:3,@aa:8	B						4		(#xx:3 of @aa:8)← [~(#xx:3 of @aa:8)]	—	—	—	—	—	4	
	BNOT #xx:3,@aa:16	B						6		(#xx:3 of @aa:16)← [~(#xx:3 of @aa:16)]	—	—	—	—	—	5	
	BNOT #xx:3,@aa:32	B						8		(#xx:3 of @aa:32)← [~(#xx:3 of @aa:32)]	—	—	—	—	—	6	
	BNOT Rn,Rd	B	2							(Rn8 of Rd8)← [~(Rn8 of Rd8)]	—	—	—	—	—	1	
	BNOT Rn,@ERd	B		4						(Rn8 of @ERd)← [~(Rn8 of @ERd)]	—	—	—	—	—	4	
	BNOT Rn,@aa:8	B						4		(Rn8 of @aa:8)← [~(Rn8 of @aa:8)]	—	—	—	—	—	4	
	BNOT Rn,@aa:16	B						6		(Rn8 of @aa:16)← [~(Rn8 of @aa:16)]	—	—	—	—	—	5	
BNOT Rn,@aa:32	B						8		(Rn8 of @aa:32)← [~(Rn8 of @aa:32)]	—	—	—	—	—	6		
BTST	BTST #xx:3,Rd	B	2							~(#xx:3 of Rd8)→Z	—	—	—	—	—	1	
	BTST #xx:3,@ERd	B		4						~(#xx:3 of @ERd)→Z	—	—	—	—	—	3	
	BTST #xx:3,@aa:8	B						4		~(#xx:3 of @aa:8)→Z	—	—	—	—	—	3	
	BTST #xx:3,@aa:16	B						6		~(#xx:3 of @aa:16)→Z	—	—	—	—	—	4	
	BTST #xx:3,@aa:32	B						8		~(#xx:3 of @aa:32)→Z	—	—	—	—	—	5	
	BTST Rn,Rd	B	2							~(Rn8 of Rd8)→Z	—	—	—	—	—	1	
	BTST Rn,@ERd	B		4						~(Rn8 of @ERd)→Z	—	—	—	—	—	3	
	BTST Rn,@aa:8	B						4		~(Rn8 of @aa:8)→Z	—	—	—	—	—	3	
	BTST Rn,@aa:16	B						6		~(Rn8 of @aa:16)→Z	—	—	—	—	—	4	
BTST Rn,@aa:32	B						8		~(Rn8 of @aa:32)→Z	—	—	—	—	—	5		
BLD	BLD #xx:3,Rd	B	2							(#xx:3 of Rd8)→C	—	—	—	—	—	1	
	BLD #xx:3,@ERd	B		4						(#xx:3 of @ERd)→C	—	—	—	—	—	3	
	BLD #xx:3,@aa:8	B						4		(#xx:3 of @aa:8)→C	—	—	—	—	—	3	
	BLD #xx:3,@aa:16	B						6		(#xx:3 of @aa:16)→C	—	—	—	—	—	4	
	BLD #xx:3,@aa:32	B						8		(#xx:3 of @aa:32)→C	—	—	—	—	—	5	
BILD	BILD #xx:3,Rd	B	2							~(#xx:3 of Rd8)→C	—	—	—	—	—	1	
	BILD #xx:3,@ERd	B		4						~(#xx:3 of @ERd)→C	—	—	—	—	—	3	
	BILD #xx:3,@aa:8	B						4		~(#xx:3 of @aa:8)→C	—	—	—	—	—	3	
	BILD #xx:3,@aa:16	B						6		~(#xx:3 of @aa:16)→C	—	—	—	—	—	4	
	BILD #xx:3,@aa:32	B						8		~(#xx:3 of @aa:32)→C	—	—	—	—	—	5	
	BILD #xx:3,@aa:32	B						8		~(#xx:3 of @aa:32)→C	—	—	—	—	—	5	
BST	BST #xx:3,Rd	B	2							C→(#xx:3 of Rd8)	—	—	—	—	—	1	
	BST #xx:3,@ERd	B		4						C→(#xx:3 of @ERd)	—	—	—	—	—	4	
	BST #xx:3,@aa:8	B						4		C→(#xx:3 of @aa:8)	—	—	—	—	—	4	
	BST #xx:3,@aa:16	B						6		C→(#xx:3 of @aa:16)	—	—	—	—	—	5	
	BST #xx:3,@aa:32	B						8		C→(#xx:3 of @aa:32)	—	—	—	—	—	6	
BIST	BIST #xx:3,Rd	B	2							~C→(#xx:3 of Rd8)	—	—	—	—	—	1	
	BIST #xx:3,@ERd	B		4						~C→(#xx:3 of @ERd)	—	—	—	—	—	4	
	BIST #xx:3,@aa:8	B						4		~C→(#xx:3 of @aa:8)	—	—	—	—	—	4	
	BIST #xx:3,@aa:16	B						6		~C→(#xx:3 of @aa:16)	—	—	—	—	—	5	
	BIST #xx:3,@aa:32	B						8		~C→(#xx:3 of @aa:32)	—	—	—	—	—	6	
BAND	BAND #xx:3,Rd	B	2							C^(#xx:3 of Rd8)→C	—	—	—	—	—	1	
	BAND #xx:3,@ERd	B		4						C^(#xx:3 of @ERd)→C	—	—	—	—	—	3	
	BAND #xx:3,@aa:8	B						4		C^(#xx:3 of @aa:8)→C	—	—	—	—	—	3	
	BAND #xx:3,@aa:16	B						6		C^(#xx:3 of @aa:16)→C	—	—	—	—	—	4	
	BAND #xx:3,@aa:32	B						8		C^(#xx:3 of @aa:32)→C	—	—	—	—	—	5	

付録

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行ステート数*1					
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V		C				
															アドバンスト						
BIAND	BIAND #xx:3,Rd	B	2												C \wedge [~(#xx:3 of Rd8)]→C	--	--	--	--	↑	1
	BIAND #xx:3,@ERd	B		4											C \wedge [~(#xx:3 of @ERd)]→C	--	--	--	--	↑	3
	BIAND #xx:3,@aa:8	B						4							C \wedge [~(#xx:3 of @aa:8)]→C	--	--	--	--	↑	3
	BIAND #xx:3,@aa:16	B						6							C \wedge [~(#xx:3 of @aa:16)]→C	--	--	--	--	↑	4
	BIAND #xx:3,@aa:32	B						8							C \wedge [~(#xx:3 of @aa:32)]→C	--	--	--	--	↑	5
BOR	BOR #xx:3,Rd	B	2												Cv(#xx:3 of Rd8)→C	--	--	--	--	↑	1
	BOR #xx:3,@ERd	B		4											Cv(#xx:3 of @ERd)→C	--	--	--	--	↑	3
	BOR #xx:3,@aa:8	B						4							Cv(#xx:3 of @aa:8)→C	--	--	--	--	↑	3
	BOR #xx:3,@aa:16	B						6							Cv(#xx:3 of @aa:16)→C	--	--	--	--	↑	4
	BOR #xx:3,@aa:32	B						8							Cv(#xx:3 of @aa:32)→C	--	--	--	--	↑	5
BIOR	BIOR #xx:3,Rd	B	2												Cv [~(#xx:3 of Rd8)]→C	--	--	--	--	↑	1
	BIOR #xx:3,@ERd	B		4											Cv [~(#xx:3 of @ERd)]→C	--	--	--	--	↑	3
	BIOR #xx:3,@aa:8	B						4							Cv [~(#xx:3 of @aa:8)]→C	--	--	--	--	↑	3
	BIOR #xx:3,@aa:16	B						6							Cv [~(#xx:3 of @aa:16)]→C	--	--	--	--	↑	4
	BIOR #xx:3,@aa:32	B						8							Cv [~(#xx:3 of @aa:32)]→C	--	--	--	--	↑	5
BXOR	BXOR #xx:3,Rd	B	2												C \oplus (#xx:3 of Rd8)→C	--	--	--	--	↑	1
	BXOR #xx:3,@ERd	B		4											C \oplus (#xx:3 of @ERd)→C	--	--	--	--	↑	3
	BXOR #xx:3,@aa:8	B						4							C \oplus (#xx:3 of @aa:8)→C	--	--	--	--	↑	3
	BXOR #xx:3,@aa:16	B						6							C \oplus (#xx:3 of @aa:16)→C	--	--	--	--	↑	4
	BXOR #xx:3,@aa:32	B						8							C \oplus (#xx:3 of @aa:32)→C	--	--	--	--	↑	5
BIXOR	BIXOR #xx:3,Rd	B	2												C \oplus [~(#xx:3 of Rd8)]→C	--	--	--	--	↑	1
	BIXOR #xx:3,@ERd	B		4											C \oplus [~(#xx:3 of @ERd)]→C	--	--	--	--	↑	3
	BIXOR #xx:3,@aa:8	B						4							C \oplus [~(#xx:3 of @aa:8)]→C	--	--	--	--	↑	3
	BIXOR #xx:3,@aa:16	B						6							C \oplus [~(#xx:3 of @aa:16)]→C	--	--	--	--	↑	4
	BIXOR #xx:3,@aa:32	B						8							C \oplus [~(#xx:3 of @aa:32)]→C	--	--	--	--	↑	5

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)		@aa	I	H	N	Z		V	C
Bcc	BRA d:8(BT d:8)	—						2	if condition is true then PC←PC+d else next;	Always	—	—	—	—	—	2	
	BRA d:16(BT d:16)	—						4		—	—	—	—	—	—	3	
	BRN d:8(BF d:8)	—						2		Never	—	—	—	—	—	2	
	BRN d:16(BF d:16)	—						4		—	—	—	—	—	—	3	
	BHI d:8	—						2		CvZ=0	—	—	—	—	—	2	
	BHI d:16	—						4		—	—	—	—	—	—	3	
	BLS d:8	—						2		CvZ=1	—	—	—	—	—	2	
	BLS d:16	—						4		—	—	—	—	—	—	3	
	BCC d:8(BHS d:8)	—						2		C=0	—	—	—	—	—	2	
	BCC d:16(BHS d:16)	—						4		—	—	—	—	—	—	3	
	BCS d:8(BLO d:8)	—						2		C=1	—	—	—	—	—	2	
	BCS d:16(BLO d:16)	—						4		—	—	—	—	—	—	3	
	BNE d:8	—						2		Z=0	—	—	—	—	—	2	
	BNE d:16	—						4		—	—	—	—	—	—	3	
	BEQ d:8	—						2		Z=1	—	—	—	—	—	2	
	BEQ d:16	—						4		—	—	—	—	—	—	3	
	BVC d:8	—						2		V=0	—	—	—	—	—	2	
	BVC d:16	—						4		—	—	—	—	—	—	3	
	BVS d:8	—						2		V=1	—	—	—	—	—	2	
	BVS d:16	—						4		—	—	—	—	—	—	3	
	BPL d:8	—						2		N=0	—	—	—	—	—	2	
	BPL d:16	—						4		—	—	—	—	—	—	3	
	BMI d:8	—						2		N=1	—	—	—	—	—	2	
	BMI d:16	—						4		—	—	—	—	—	—	3	
	BGE d:8	—						2		N@V=0	—	—	—	—	—	2	
	BGE d:16	—						4		—	—	—	—	—	—	3	
	BLT d:8	—						2		N@V=1	—	—	—	—	—	2	
	BLT d:16	—						4		—	—	—	—	—	—	3	
	BGT d:8	—						2		Zv(N@V)=0	—	—	—	—	—	2	
	BGT d:16	—						4		—	—	—	—	—	—	3	
BLE d:8	—						2	Zv(N@V)=1	—	—	—	—	—	2			
BLE d:16	—						4	—	—	—	—	—	—	3			
JMP	JMP @ERn	—		2					PC←ERn	—	—	—	—	—	2		
	JMP @aa:24	—					4		PC←aa:24	—	—	—	—	—	3		
	JMP @aa:8	—						2	PC←@aa:8	—	—	—	—	—	5		
BSR	BSR d:8	—					2		PC→@-SP,PC←PC+d:8	—	—	—	—	—	4		
	BSR d:16	—					4		PC→@-SP,PC←PC+d:16	—	—	—	—	—	5		
JSR	JSR @ERn	—		2					PC→@-SP,PC←ERn	—	—	—	—	—	4		
	JSR @aa:24	—					4		PC→@-SP,PC←aa:24	—	—	—	—	—	5		
	JSR @aa:8	—						2	PC→@-SP,PC←@aa:8	—	—	—	—	—	6		
RTS	RTS	—						2	PC←@SP+	—	—	—	—	—	5		

(7) システム制御命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行ステート数
		#xx	Rn	@ERn	@(d,ERn)	@ERn@ERn+	@aa	@(d,PC)	@aa		I	H	N	Z	V	
TRAPA	TRAPA #xx:2	—								PC→@-SP,CCR→@-SP, EXR→@-SP,<ベクタ>→PC	1	—	—	—	—	8 [9]
RTE	RTE	—								EXR←@SP+,CCR←@SP+, PC←@SP+	↑	↑	↑	↑	↑	5 [9]
SLEEP	SLEEP	—								低消費電力状態に遷移	—	—	—	—	—	2
LDC	LDC #xx:8,CCR	B	2							#xx:8→CCR	↑	↑	↑	↑	↑	1
	LDC #xx:8,EXR	B	4							#xx:8→EXR	—	—	—	—	—	2
	LDC Rs,CCR	B		2						Rs8→CCR	↑	↑	↑	↑	↑	1
	LDC Rs,EXR	B		2						Rs8→EXR	—	—	—	—	—	1
	LDC @ERs,CCR	W			4					@ERs→CCR	↑	↑	↑	↑	↑	3
	LDC @ERs,EXR	W			4					@ERs→EXR	—	—	—	—	—	3
	LDC @(d:16,ERs),CCR	W				6				@(d:16,ERs)→CCR	↑	↑	↑	↑	↑	4
	LDC @(d:16,ERs),EXR	W				6				@(d:16,ERs)→EXR	—	—	—	—	—	4
	LDC @(d:32,ERs),CCR	W				10				@(d:32,ERs)→CCR	↑	↑	↑	↑	↑	6
	LDC @(d:32,ERs),EXR	W				10				@(d:32,ERs)→EXR	—	—	—	—	—	6
	LDC @ERs+,CCR	W					4			@ERs→CCR,ERs32+2→ERs32	↑	↑	↑	↑	↑	4
	LDC @ERs+,EXR	W					4			@ERs→EXR,ERs32+2→ERs32	—	—	—	—	—	4
	LDC @aa:16,CCR	W						6		@aa:16→CCR	↑	↑	↑	↑	↑	4
	LDC @aa:16,EXR	W						6		@aa:16→EXR	—	—	—	—	—	4
	LDC @aa:32,CCR	W						8		@aa:32→CCR	↑	↑	↑	↑	↑	5
	LDC @aa:32,EXR	W						8		@aa:32→EXR	—	—	—	—	—	5
STC	STC CCR,Rd	B		2						CCR→Rd8	—	—	—	—	—	1
	STC EXR,Rd	B		2						EXR→Rd8	—	—	—	—	—	1
	STC CCR,@ERd	W			4					CCR→@ERd	—	—	—	—	—	3
	STC EXR,@ERd	W			4					EXR→@ERd	—	—	—	—	—	3
	STC CCR,@(d:16,ERd)	W				6				CCR→@(d:16,ERd)	—	—	—	—	—	4
	STC EXR,@(d:16,ERd)	W				6				EXR→@(d:16,ERd)	—	—	—	—	—	4
	STC CCR,@(d:32,ERd)	W					10			CCR→@(d:32,ERd)	—	—	—	—	—	6
	STC EXR,@(d:32,ERd)	W					10			EXR→@(d:32,ERd)	—	—	—	—	—	6
	STC CCR,@-ERd	W						4		ERd32-2→ERd32,CCR→@ERd	—	—	—	—	—	4
	STC EXR,@-ERd	W						4		ERd32-2→ERd32,EXR→@ERd	—	—	—	—	—	4
	STC CCR,@aa:16	W						6		CCR→@aa:16	—	—	—	—	—	4
	STC EXR,@aa:16	W						6		EXR→@aa:16	—	—	—	—	—	4
	STC CCR,@aa:32	W						8		CCR→@aa:32	—	—	—	—	—	5
	STC EXR,@aa:32	W						8		EXR→@aa:32	—	—	—	—	—	5
ANDC	ANDC #xx:8,CCR	B	2							CCR^#xx:8→CCR	↑	↑	↑	↑	↑	1
	ANDC #xx:8,EXR	B	4							EXR^#xx:8→EXR	—	—	—	—	—	2
ORC	ORC #xx:8,CCR	B	2							CCR∨#xx:8→CCR	↑	↑	↑	↑	↑	1
	ORC #xx:8,EXR	B	4							EXR∨#xx:8→EXR	—	—	—	—	—	2
XORC	XORC #xx:8,CCR	B	2							CCR@#xx:8→CCR	↑	↑	↑	↑	↑	1
	XORC #xx:8,EXR	B	4							EXR@#xx:8→EXR	—	—	—	—	—	2
NOP	NOP	—							2	PC←PC+2	—	—	—	—	—	1

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード					実行 ステート数*1		
		#xx	Rn	@ERn	@(d)ERn	@-ERn/@ERn+	@aa	@(d)PC	@@aa		I	H	N	Z	V		C	
													アドバンス					
EEPMOV	EEPMOV.B	—									4	if R4L≠0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4L-1→R4L Until R4L=0 else next;						4+2n *2
	EEPMOV.W	—									4	if R4≠0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4-1→R4 Until R4=0 else next;						4+2n *2

【注】 *1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

*2 nはR4LまたはR4の初期設定値です。

*3 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

[1] 復帰/退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。

[2] 本LSIでは使用できません。

[3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[5] 演算結果が0（ゼロ）のとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数が0（ゼロ）のとき1にセットされ、それ以外のとき0にクリアされます。

[8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

[9] EXRが有効のとき、実行ステート数は1ステート多くなります。

A.2 命令コード一覧

表A.2 命令コード一覧

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
ADD	ADD.B #xx:8,Rd	B	8	rd	IMM															
	ADD.BRs,Rd	B	0	8	rs	rd														
	ADD.W #xx:16,Rd	W	7	9	1	rd		IMM												
	ADD.WRs,Rd	W	0	9	rs	rd														
	ADD.L #xx:32,ERd	L	7	A	1	0	erd		IMM											
ADDS	ADDS #1,ERd	L	0	A	1	ers	0	erd												
	ADDS #2,ERd	L	0	B	0	0	erd													
	ADDS #4,ERd	L	0	B	8	0	erd													
	ADDS #8,ERd	L	0	B	9	0	erd													
	ADDS #16,ERd	L	0	A	1	ers	0	erd												
ADDX	ADDX #xx:8,Rd	B	9	rd	IMM															
	ADDX Rs,Rd	B	0	E	rs	rd														
	ADDX #xx:8,Rd	B	E	rd	IMM															
	AND.BRs,Rd	B	1	6	rs	rd														
	AND.WRs,Rd	W	7	9	6	rs	rd		IMM											
ANDC	AND.L #xx:32,ERd	L	7	A	6	0	erd		IMM											
	AND.LRs,ERd	L	0	1	F	0	6	0	ers	0	erd									
	ANDC #xx:8,COR	B	0	6	IMM															
	ANDC #xx:8,EXR	B	0	1	4	1	0	6	IMM											
	ANDC #xx:3,Rd	B	7	6	0	IMM	rd													
BAND	BAND #xx:3,ERd	B	7	C	0	erd	0	7	6	0	IMM	0								
	BAND #xx:3,@aar:8	B	7	E	abs	abs	7	6	0	IMM	0									
	BAND #xx:3,@aar:16	B	6	A	1	0	abs	7	6	0	IMM	0								
	BAND #xx:3,@aar:32	B	6	A	3	0	abs	7	6	0	IMM	0								
	BAND #xx:3,@aar:64	B	6	A	3	0	abs	7	6	0	IMM	0								
Bcc	BRA d:8 (BT d:8)	-	4	0	disp															
	BRA d:16 (BT d:16)	-	5	8	0	0	disp													
	BRN d:8 (BF d:8)	-	4	1	disp															
	BRN d:16 (BF d:16)	-	5	8	1	0	disp													
	BHI d:8	-	4	2	disp															
	BHI d:16	-	5	8	2	0	disp													
	BLS d:8	-	4	3	disp															
	BLS d:16	-	5	8	3	0	disp													
	BCC d:8 (BHS d:8)	-	4	4	disp															
	BCC d:16 (BHS d:16)	-	5	8	4	0	disp													
	BCS d:8 (BLO d:8)	-	4	5	disp															
	BCS d:16 (BLO d:16)	-	5	8	5	0	disp													
	BNE d:8	-	4	6	disp															
	BNE d:16	-	5	8	6	0	disp													
	BEQ d:8	-	4	7	disp															
BEQ d:16	-	5	8	7	0	disp														
BVC d:8	-	4	8	disp																
BVC d:16	-	5	8	8	0	disp														
BVS d:8	-	4	9	disp																
BVS d:16	-	5	8	9	0	disp														

命令	二一モニック	サイズ	インストラクションフォーマット																	
			第11バイト	第12バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
Bcc (続き)	BPL d:8	— 4 A	disp																	
	BPL d:16	— 5 8 A	0	disp																
	BMI d:8	— 4 B	disp																	
	BMI d:16	— 5 8 B	0	disp																
	BGE d:8	— 4 C	disp																	
	BGE d:16	— 5 8 C	0	disp																
	BLT d:8	— 4 D	disp																	
	BLT d:16	— 5 8 D	0	disp																
	BGT d:8	— 4 E	disp																	
	BGT d:16	— 5 8 E	0	disp																
BCLR	BLE d:8	— 4 F	disp																	
	BLE d:16	— 5 8 F	0	disp																
	BCLR #xx:3,Rd	B 7 2 0:IMM	rd																	
	BCLR #xx:3,@ERd	B 7 D 0:erd	0	7 2 0:IMM	0															
	BCLR #xx:3,@aa:8	B 7 F	abs	7 2 0:IMM	0															
	BCLR #xx:3,@aa:16	B 6 A 1 8	abs	7 2 0:IMM	0															
	BCLR #xx:3,@aa:32	B 6 A 3 8	abs																	
	BCLR Rn,Rd	B 6 2	rn rd																	
	BCLR Rn,@ERd	B 7 D 0:erd	0	6 2 rn	0															
	BCLR Rn,@aa:8	B 7 F	abs	6 2 rn	0															
BIAND	BCLR Rn,@aa:16	B 6 A 1 8	abs	6 2 rn	0															
	BCLR Rn,@aa:32	B 6 A 3 8	abs																	
	BIAND #xx:3,Rd	B 7 6 1:IMM	rd																	
	BIAND #xx:3,@ERd	B 7 C 0:erd	0	7 6 1:IMM	0															
	BIAND #xx:3,@aa:8	B 7 E	abs	7 6 1:IMM	0															
	BIAND #xx:3,@aa:16	B 6 A 1 0	abs	7 6 1:IMM	0															
	BIAND #xx:3,@aa:32	B 6 A 3 0	abs																	
	BILD #xx:3,Rd	B 7 7 1:IMM	rd																	
	BILD #xx:3,@ERd	B 7 C 0:erd	0	7 7 1:IMM	0															
	BIOR	BILD #xx:3,@aa:8	B 7 E	abs	7 7 1:IMM	0														
BILD #xx:3,@aa:16		B 6 A 1 0	abs	7 7 1:IMM	0															
BILD #xx:3,@aa:32		B 6 A 3 0	abs																	
BIOR #xx:3,Rd		B 7 7 1:IMM	rd																	
BIOR #xx:3,@ERd		B 7 C 0:erd	0	7 4 1:IMM	0															
BIOR #xx:3,@aa:8		B 7 E	abs	7 4 1:IMM	0															
BIOR #xx:3,@aa:16		B 6 A 1 0	abs	7 4 1:IMM	0															
BIOR #xx:3,@aa:32		B 6 A 3 0	abs																	
BIST		BIOR #xx:3,Rd	B 6 A 1 0	abs	7 4 1:IMM	0														
BIST		BIST #xx:3,@ERd	B 6 A 3 0	rd																
	BIST #xx:3,@aa:8	B 7 D 0:erd	0	6 7 1:IMM	0															
	BIST #xx:3,@aa:16	B 7 F	abs	6 7 1:IMM	0															
	BIST #xx:3,@aa:32	B 6 A 1 8	abs	6 7 1:IMM	0															
		B 6 A 3 8	abs																	
		B 6 A 3 8	abs																	
		B 6 A 3 8	abs																	
		B 6 A 3 8	abs																	
		B 6 A 3 8	abs																	
		B 6 A 3 8	abs																	

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第11バイト	第12バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BIXOR	BIXOR #xx:3,Rd	B 7 5 1:IMM rd																		
	BIXOR #xx:3,@ERd	B 7 C 0:erd 0	7 5 1:IMM 0																	
	BIXOR #xx:3,@aa8	B 7 E abs	7 5 1:IMM 0																	
	BIXOR #xx:3,@aa:16	B 6 A 1 0 0	abs	7 5 1:IMM 0																
	BIXOR #xx:3,@aa:32	B 6 A 3 0 0	abs																	
BLD	BLD #xx:3,Rd	B 7 7 0:IMM rd																		
	BLD #xx:3,@ERd	B 7 C 0:erd 0	7 7 0:IMM 0																	
	BLD #xx:3,@aa8	B 7 E abs	7 7 0:IMM 0																	
	BLD #xx:3,@aa:16	B 6 A 1 0 0	abs	7 7 0:IMM 0																
	BLD #xx:3,@aa:32	B 6 A 3 0 0	abs																	
BNOT	BNOT #xx:3,Rd	B 7 1 0:IMM rd																		
	BNOT #xx:3,@ERd	B 7 D 0:erd 0	7 1 0:IMM 0																	
	BNOT #xx:3,@aa8	B 7 F abs	7 1 0:IMM 0																	
	BNOT #xx:3,@aa:16	B 6 A 1 8 8	abs	7 1 0:IMM 0																
	BNOT #xx:3,@aa:32	B 6 A 3 8 8	abs																	
	BNOT Rn,Rd	B 6 1 rn rd																		
	BNOT Rn,@ERd	B 7 D 0:erd 0	6 1 rn 0																	
	BNOT Rn,@aa8	B 7 F abs	6 1 rn 0																	
	BNOT Rn,@aa:16	B 6 A 1 8 8	abs	6 1 rn 0																
	BNOT Rn,@aa:32	B 6 A 3 8 8	abs																	
BOR	BOR #xx:3,Rd	B 7 4 0:IMM rd																		
	BOR #xx:3,@ERd	B 7 C 0:erd 0	7 4 0:IMM 0																	
	BOR #xx:3,@aa8	B 7 E abs	7 4 0:IMM 0																	
	BOR #xx:3,@aa:16	B 6 A 1 0 0	abs	7 4 0:IMM 0																
	BOR #xx:3,@aa:32	B 6 A 3 0 0	abs																	
BSET	BSET #xx:3,Rd	B 7 0 0:IMM rd																		
	BSET #xx:3,@ERd	B 7 D 0:erd 0	7 0 0:IMM 0																	
	BSET #xx:3,@aa8	B 7 F abs	7 0 0:IMM 0																	
	BSET #xx:3,@aa:16	B 6 A 1 8 8	abs	7 0 0:IMM 0																
	BSET #xx:3,@aa:32	B 6 A 3 8 8	abs																	
BSR	BSR d:8	- 5 5 disp																		
	BSR d:16	- 5 C 0 0	disp																	
	BST #xx:3,Rd	B 6 7 0:IMM rd																		
	BST #xx:3,@ERd	B 7 D 0:erd 0	6 7 0:IMM 0																	
	BST #xx:3,@aa:16	B 6 A 1 8 8	abs	6 7 0:IMM 0																
BST	BST #xx:3,@aa:16	B 6 A 1 8 8	abs	6 7 0:IMM 0																
	BST #xx:3,@aa:32	B 6 A 3 8 8	abs																	
	BST #xx:3,@aa:16	B 6 A 1 8 8	abs	6 7 0:IMM 0																
	BST #xx:3,@aa:32	B 6 A 3 8 8	abs																	
	BST #xx:3,@aa:16	B 6 A 1 8 8	abs	6 7 0:IMM 0																

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第11バイト	第12バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
BTST	BTST #xx:3,Rd	B 7 3	0:IMM rd																		
	BTST #xx:3,@ERd	B 7 C	0:erd 0	7 3	0:IMM 0																
	BTST #xx:3,@aa:8	B 7 E	abs	7 3	0:IMM 0																
	BTST #xx:3,@aa:16	B 6 A	1 0	abs	7 3	0:IMM 0															
	BTST #xx:3,@aa:32	B 6 A	3 0	abs																	
	BTST Rn,Rd	B 6 3	rn rd																		
BXOR	BTST Rn,@ERd	B 7 C	0:erd 0	6 3	rn 0																
	BTST Rn,@aa:8	B 7 E	abs	6 3	rn 0																
	BTST Rn,@aa:16	B 6 A	1 0	abs	6 3	rn 0															
	BTST Rn,@aa:32	B 6 A	3 0	abs																	
	BXOR #xx:3,Rd	B 7 5	0:IMM rd																		
	BXOR #xx:3,@ERd	B 7 C	0:erd 0	7 5	0:IMM 0																
CLRMAC	BXOR #xx:3,@aa:8	B 7 E	abs	7 5	0:IMM 0																
	BXOR #xx:3,@aa:16	B 6 A	1 0	abs	7 5	0:IMM 0															
	BXOR #xx:3,@aa:32	B 6 A	3 0	abs																	
	CLRMAC	—	本LSIでは使用できません。																		
	CMP	CMP.B #xx:8,Rd	B A	rd	IMM																
	DAA	CMP.B Rs,Rd	B 1 C	rs rd																	
CMP.W #xx:16,Rd		W 7 9	2 rd																		
CMP.W Rs,Rd		W 1 D	rs rd																		
CMP.L #xx:32,ERd		L 7 A	2 0:erd																		
CMP.L ERs,ERd		L 1 F	1:ers 0:erd																		
DAA Rd		B 0 F	0 rd																		
DEC	DAS Rd	B 1 F	0 rd																		
	DEC.B Rd	B 1 A	0 rd																		
	DEC.W #1,Rd	W 1 B	5 rd																		
	DEC.W #2,Rd	W 1 B	D rd																		
	DECL.#1,ERd	L 1 B	7 0:erd																		
	DECL.#2,ERd	L 1 B	F 0:erd																		
DIVXS	DIVXS.B Rs,Rd	B 0 1	D 0	5 1	rs rd																
	DIVXS.W Rs,ERd	W 0 1	D 0	5 3	rs 0:erd																
DIVXU	DIVXU.B Rs,Rd	B 5 1	rs rd																		
	DIVXU.W Rs,ERd	W 5 3	rs 0:erd																		
EEPMOV	EEPMOV.B	—	7 B	5 C	5 9	8 F															
	EEPMOV.W	—	7 B	D 4	5 9	8 F															
EXTS	EXTS.W Rd	W 1 7	D rd																		
	EXTS.L ERd	L 1 7	F 0:erd																		
EXTU	EXTU.W Rd	W 1 7	5 rd																		
	EXTU.L ERd	L 1 7	7 0:erd																		

		インストラクションフォーマット										
命令	ニーモニック	サイズ	第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
INC	INC.B Rd	B	0	rd								
	INC.W #1,Rd	W	0	B 5	rd							
	INC.W #2,Rd	W	0	B D	rd							
	INC.L #1,ERd	L	0	B 7	0::erd							
	INC.L #2,ERd	L	0	B F	0::erd							
	JMP @ERn	-	5	9	0::ern: 0							
	JMP @aa:24	-	5	A	abs							
	JMP @aa:8	-	5	B	abs							
	JSR @ERn	-	5	D	0::ern: 0							
	JSR @aa:24	-	5	E	abs							
LDC	JSR @aa:8	-	5	F	abs							
	LDC #xx:8,CCR	B	0	7	IMM							
	LDC #xx:8,EXR	B	0	1	4 1	0 7	IMM					
	LDC Rs,CCR	B	0	3	0 rs							
	LDC Rs,EXR	B	0	3	1 rs							
	LDC @ERs,CCR	W	0	1	4 0	6 9	0 ers: 0					
	LDC @ERs,EXR	W	0	1	4 1	6 9	0 ers: 0					
	LDC @(d:16,ERs),CCR	W	0	1	4 0	6 F	0 ers: 0	disp				
	LDC @(d:16,ERs),EXR	W	0	1	4 1	6 F	0 ers: 0	disp				
	LDC @(d:32,ERs),CCR	W	0	1	4 0	7 8	0 ers: 0	6 B 2 0	disp			
LDM	LDC @(d:32,ERs),EXR	W	0	1	4 1	7 8	0 ers: 0	6 B 2 0	disp			
	LDC @ERs+,CCR	W	0	1	4 0	6 D	0 ers: 0					
	LDC @ERs+,EXR	W	0	1	4 1	6 D	0 ers: 0					
	LDC @aa:16,CCR	W	0	1	4 0	6 B	0 0	abs				
	LDC @aa:16,EXR	W	0	1	4 1	6 B	0 0	abs				
	LDC @aa:32,CCR	W	0	1	4 0	6 B	2 0	abs				
	LDC @aa:32,EXR	W	0	1	4 1	6 B	2 0	abs				
	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1 0	6 D	7 0:ern+1					
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2 0	6 D	7 0:ern+2					
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3 0	6 D	7 0:ern+3					
LDMAC	LDMAC ERs,MACH	L										
	LDMAC ERs,MACL	L										
	MAC @ERn+,@ERm+	-										
	MOV.B #xx:8,Rd	B	F	rd	IMM							
	MOV.B Rs,Rd	B	0	C	rs rd							
	MOV.B @ERs,Rd	B	6	8	0 ers rd							
	MOV.B @(d:16,ERs),Rd	B	6	E	0 ers rd							
	MOV.B @(d:32,ERs),Rd	B	7	8	0 ers 0	6 A 2	rd	disp				
	MOV.B @ERs+,Rd	B	6	C	0 ers rd							
	MOV.B @aa:8,Rd	B	2	rd	abs							
MOV	MOV.B @aa:16,Rd	B	6	A	0 rd							
	MOV.B @aa:32,Rd	B	6	A	2 rd							
	MOV.B Rs,@ERd	B	6	8	1 erd rs							
	MOV.B Rs,@(d:16,ERd)	B	6	E	1 erd rs							
	MOV.B Rs,@(d:32,ERd)	B	7	8	0 erd 0	6 A	A rs	disp				

本LSIでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
MOV (続き)	MOV.B Rs,@ERd	B	6	C	1	erd	rs													
	MOV.B Rs,@aa:8	B	3	rs		abs														
	MOV.B Rs,@aa:16	B	6	A	8	rs														
	MOV.B Rs,@aa:32	B	6	A	A	rs														
	MOV.W #x:16,Rd	W	7	9	0	rd														
	MOV.W Rs,Rd	W	0	D	rs	rd														
	MOV.W @ERS,Rd	W	6	9	0	ers	rd													
	MOV.W @(d:16,ERS),Rd	W	6	F	0	ers	rd													
	MOV.W @(d:32,ERS),Rd	W	7	8	0	ers	0	6	B	2	rd									
	MOV.W @ERs+,Rd	W	6	D	0	ers	rd													
	MOV.W @aa:16,Rd	W	6	B	0	rd														
	MOV.W @aa:32,Rd	W	6	B	2	rd														
	MOV.W Rs,@ERd	W	6	9	1	erd	rs													
	MOV.W Rs,@(d:16,ERd)	W	6	F	1	erd	rs													
	MOV.W Rs,@(d:32,ERd)	W	7	8	0	erd	0	6	B	A	rs									
	MOV.W Rs,@aa:16	W	6	B	8	rs														
	MOV.W Rs,@aa:32	W	6	B	A	rs														
	MOV.L #x:32,Rd	L	7	A	0	erd														
	MOV.L ERs,ERd	L	0	F	1	ers	0	erd												
	MOV.L @ERS,ERd	L	0	1	0	0	0	6	9	0	ers	0	erd							
MOV.L @(d:16,ERS),ERd	L	0	1	0	0	0	6	F	0	ers	0	erd								
MOV.L @(d:32,ERS),ERd	L	0	1	0	0	7	8	0	ers	0	6	B	2	0	erd					
MOV.L @ERS+,ERd	L	0	1	0	0	0	6	D	0	ers	0	erd								
MOV.L @aa:16,ERd	L	0	1	0	0	0	6	B	0	erd										
MOV.L @aa:32,ERd	L	0	1	0	0	0	6	B	2	0	erd									
MOV.L ERs,@ERd	L	0	1	0	0	0	6	9	1	erd	0	ers								
MOV.L ERs,@(d:16,ERd)	L	0	1	0	0	0	6	F	1	erd	0	ers								
MOV.L ERs,@(d:32,ERd)*1	L	0	1	0	0	0	7	8	0	erd	0	6	B	A	0	ers				
MOV.L ERs,@ERd	L	0	1	0	0	0	6	D	1	erd	0	ers								
MOV.L ERs,@aa:16	L	0	1	0	0	0	6	B	8	0	ers									
MOV.L ERs,@aa:32	L	0	1	0	0	0	6	B	A	0	ers									
MOVFPPE @aa:16,Rd	B																			
MOVFPPE Rs,@aa:16	B																			
MULXS	MULXS.B Rs,Rd	B	0	1	C	0	5	0	rs	rd										
	MULXS.W Rs,ERd	W	0	1	C	0	5	2	rs	0	erd									
MULXU	MULXU.B Rs,Rd	B	5	0	rs	rd														
	MULXU.W Rs,ERd	W	5	2	rs	0	erd													
NEG	NEG.B Rd	B	1	7	8	rd														
	NEG.W Rd	W	1	7	9	rd														
	NEG.L ERd	L	1	7	B	0	erd													
NOP	NOP	-	0	0	0	0														

本LSIでは使用できません。



命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第11バイト	第12バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B	1	7	0	rd														
	NOT.W Rd	W	1	7	1	rd														
	NOT.L ERd	L	1	7	3	:0:erd														
OR	OR.B #xx:8,Rd	B	C	rd	IMM															
	OR.B Rs,Rd	B	1	4	rs	rd														
	OR.W #xx:16,Rd	W	7	9	4	rd	IMM													
ORC	OR.W Rs,Rd	W	6	4	rs	rd														
	OR.L #xx:32,ERd	L	7	A	4	:0:erd														
	OR.L ERs,ERd	L	0	1	F	0	6	4	0	ers:0:erd	IMM									
POP	ORC #xx:8,CCR	B	0	4	IMM															
	ORC #xx:8,EXR	B	0	1	4	1	0	4	IMM											
	POP.W Rn	W	6	D	7	rn														
PUSH	POP.L ERn	L	0	1	0	0	6	D	7	:0:ern										
	PUSH.W Rn	W	6	D	F	rn														
	PUSH.L ERn	L	0	1	0	0	6	D	F	:0:ern										
ROTL	ROTL.B Rd	B	1	2	8	rd														
	ROTL.B #2, Rd	B	1	2	C	rd														
	ROTL.W Rd	W	1	2	9	rd														
ROTR	ROTL.W #2, Rd	W	1	2	D	rd														
	ROTL.L ERd	L	1	2	B	:0:erd														
	ROTL.L #2, ERd	L	1	2	F	:0:erd														
ROTXL	ROTR.B Rd	B	1	3	8	rd														
	ROTR.B #2, Rd	B	1	3	C	rd														
	ROTR.W Rd	W	1	3	9	rd														
ROTXL	ROTR.W #2, Rd	W	1	3	D	rd														
	ROTR.L ERd	L	1	3	B	:0:erd														
	ROTR.L #2, ERd	L	1	3	F	:0:erd														
ROTXR	ROTXL.B Rd	B	1	2	0	rd														
	ROTXL.B #2, Rd	B	1	2	4	rd														
	ROTXL.W Rd	W	1	2	1	rd														
RTS	ROTXL.W #2, Rd	W	1	2	5	rd														
	ROTXL.L ERd	L	1	2	3	:0:erd														
	ROTXL.L #2, ERd	L	1	2	7	:0:erd														
RTS	ROTXR.B Rd	B	1	3	0	rd														
	ROTXR.B #2, Rd	B	1	3	4	rd														
	ROTXR.W Rd	W	1	3	1	rd														
RTE	ROTXR.W #2, Rd	W	1	3	5	rd														
	ROTXR.L ERd	L	1	3	3	:0:erd														
	ROTXR.L #2, ERd	L	1	3	7	:0:erd														
RTE	RTE	-	5	6	7	0														
RTS	RTS	-	5	4	7	0														

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SHAL	SHAL.B Rd	B	1	0	8	rd														
	SHAL.B #2, Rd	B	1	0	C	rd														
	SHAL.W Rd	W	1	0	9	rd														
	SHAL.W #2, Rd	W	1	0	D	rd														
	SHAL.L ERd	L	1	0	B	:0:erd														
SHAR	SHAL.L #2, ERd	L	1	0	F	:0:erd														
	SHAR.B Rd	B	1	1	8	rd														
	SHAR.B #2, Rd	B	1	1	C	rd														
	SHAR.W Rd	W	1	1	9	rd														
	SHAR.W #2, Rd	W	1	1	D	rd														
SHLL	SHAR.L ERd	L	1	1	B	:0:erd														
	SHAR.L #2, ERd	L	1	1	F	:0:erd														
	SHLL.B Rd	B	1	0	0	rd														
	SHLL.B #2, Rd	B	1	0	4	rd														
	SHLL.W Rd	W	1	0	1	rd														
	SHLL.W #2, Rd	W	1	0	5	rd														
	SHLL.L ERd	L	1	0	3	:0:erd														
	SHLL.L #2, ERd	L	1	0	7	:0:erd														
	SHLR.B Rd	B	1	1	1	0	rd													
	SHLR.B #2, Rd	B	1	1	4	rd														
SHLR	SHLR.W Rd	W	1	1	1	rd														
	SHLR.W #2, Rd	W	1	1	5	rd														
	SHLR.L ERd	L	1	1	3	:0:erd														
	SHLR.L #2, ERd	L	1	1	7	:0:erd														
	SLEEP	-	0	1	8	0														
STC	STC.B CCR, Rd	B	0	2	0	rd														
	STC.B EXR, Rd	B	0	2	1	rd														
	STC.W CCR, @ERd	W	0	1	4	0	6	9	1	erd	0									
	STC.W EXR, @ERd	W	0	1	4	1	6	9	1	erd	0									
	STC.W CCR, @(d:16, ERd)	W	0	1	4	0	6	F	1	erd	0	disp								
	STC.W EXR, @(d:16, ERd)	W	0	1	4	1	6	F	1	erd	0	disp								
	STC.W CCR, @(d:32, ERd)	W	0	1	4	0	7	8	0	erd	0	6	B	A	0	disp				
	STC.W EXR, @(d:32, ERd)	W	0	1	4	1	7	8	0	erd	0	6	B	A	0	disp				
	STC.W CCR, @ERd	W	0	1	4	0	6	D	1	erd	0									
	STC.W EXR, @ERd	W	0	1	4	1	6	D	1	erd	0									
	STC.W CCR, @aa:16	W	0	1	4	0	6	B	8	0		abs								
	STC.W EXR, @aa:16	W	0	1	4	1	6	B	8	0		abs								
	STM	STC.W CCR, @aa:32	W	0	1	4	0	6	B	A	0		abs							
STC.W EXR, @aa:32		W	0	1	4	1	6	B	A	0		abs								
STM.L(ERn-ERn+1), @-SP		L	0	1	1	0	6	D	F	0:ern										
STM.L(ERn-ERn+2), @-SP		L	0	1	2	0	6	D	F	0:ern										
STM.L(ERn-ERn+3), @-SP		L	0	1	3	0	6	D	F	0:ern										
STMAC	STMAC MACH, ERd	L																		
	STMAC MACL, ERd	L																		

本LSIでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SUB	SUBB Rs,Rd	B	1	8	rs	rd														
	SUBW #xx:16,Rd	W	7	9	3	rd	IMM													
	SUBW Rs,Rd	W	1	9	rs	rd														
	SUBL #xx:32,ERd	L	7	A	3	0	erd	IMM												
	SUBL ERs,ERd	L	1	A	1	ers	0	erd												
SUBS	SUBS #1,ERd	L	1	B	0	0	erd													
	SUBS #2,ERd	L	1	B	8	0	erd													
	SUBS #4,ERd	L	1	B	9	0	erd													
SUBX	SUBX #xx:8,Rd	B	B	rd	IMM															
	SUBX Rs,Rd	B	1	E	rs	rd														
TAS	TAS @ERd#2	B	0	1	E	0	7	B	0	erd	C									
TRAPA	TRAPA #x:2	—	5	7	00	IMM	0													
XOR	XORB #x:8,Rd	B	D	rd	IMM															
	XORB Rs,Rd	B	1	5	rs	rd														
	XORW #xx:16,Rd	W	7	9	5	rd	IMM													
	XORW Rs,Rd	W	6	5	rs	rd														
	XORL #xx:32,ERd	L	7	A	5	0	erd	IMM												
	XORL ERs,ERd	L	0	1	F	0	6	5	0	ers	0	erd								
XORC	XORC #x:8,CCR	B	0	5	IMM															
	XORC #x:8,EXR	B	0	1	4	1	0	5	IMM											

【注】 *1 MOV.L ERs, @ (d: 32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。
 *2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

《記号説明》

- IMM : イミディエイトデータ (2、3、8、16、32 ビット)
- abs : 絶対アドレス (8、16、24、32 ビット)
- disp : ディスプレースメント (8、16、32 ビット)
- rs、rd、rn : レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、rn はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
- ers、erd、ern、erm : レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタフィールド	汎用レジスタ	レジスタフィールド	汎用レジスタ	レジスタフィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

A.3 オペレーションコードマップ

表A.3にオペレーションコードマップを示します。

表A.3 オペレーションコードマップ (1)

命令コード:		第1バイト		第2バイト		BHの最上位ビットが0の場合を示します。 BHの最上位ビットが1の場合を示します。										
AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.3(2)	STC 表A.3(2)	LDC STMAC* LDMAC*	ORC	XORC	ANDC	LDC	ADD	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	表A.3(2)	
1	表A.3(2)	表A.3(2)	表A.3(2)	表A.3(2)	OR	XOR	AND	表A.3(2)	SUB	SUB	表A.3(2)	表A.3(2)	CMP	SUBX	表A.3(2)	
2																
3																
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)		JMP		BSR		JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV	MOV	表A.3(2)					
7					BIOR	BXOR	BAND	BLD	MOV	MOV	表A.3(2)	EPMOV				表A.3(3)
8									ADD							
9									ADDX							
A									CMP							
B									SUBX							
C									OR							
D									XOR							
E									AND							
F									MOV							

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (2)

第1バイト		第2バイト	
AH	AL	BH	BL

命令コード：

BH/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
MOV	LDM	STM		LDC	STC		MAC*		SLEEP		CLRMAC*		表A.3(3)	表A.3(3)	TAS	表A.3(3)
INC	ADD															
ADDS	INC		MOV													
DAA																
SHLL	SHLL		SHLL		SHLL	SHLL	SHLL	SHLL	SHAL	SHAL	SHAL	SHAL	SHAL	SHAL	SHAL	SHAL
SHLR	SHLR		SHLR		SHLR	SHLR	SHLR	SHLR	SHAR	SHAR	SHAR	SHAR	SHAR	SHAR	SHAR	SHAR
ROTXL	ROTXL		ROTXL		ROTXL	ROTXL	ROTXL	ROTXL	ROTL	ROTL	ROTL	ROTL	ROTL	ROTL	ROTL	ROTL
ROTXR	ROTXR		ROTXR		ROTXR	ROTXR	ROTXR	ROTXR	ROTR	ROTR	ROTR	ROTR	ROTR	ROTR	ROTR	ROTR
NOT	NOT		NOT		NOT	EXTU	EXTU	EXTU	NEG	NEG	NEG	NEG	NEG	EXTS	EXTS	EXTS
DEC	SUB															
SUBS	DEC		DEC		DEC	DEC	DEC	DEC	SUBS	SUBS	SUBS	SUBS	SUBS	DEC	DEC	DEC
DAS	CMP															
BRA	BRN	BHI	BLS	BCC	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
MOV	表A.3(4)	MOV	表A.3(4)	MOVFP*					MOV	MOV	MOV	MOV	MOVTP*			
MOV	ADD	CMP	SUB	OR	XOR	XOR	AND	AND								
MOV	ADD	CMP	SUB	OR	XOR	XOR	AND	AND								

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (3)

第1バイト		第2バイト		第3バイト		第4バイト	
AH	AL	BH	BL	CH	CL	DH	DL

命令コード:



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH/AL/BH/BL/CH	CL															
01C05	MULXS		MULXS													
01D05		DIVXS		DIVXS												
01F06					OR	XOR	AND									
7C706 *1				BTST												
7C707 *1				BTST	BOR	BXOR	BAND	BLD								
7D706 *1	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD	BST							
7D707 *1	BSET	BNOT	BCLR						BIST							
7Eaa6 *2				BTST												
7Eaa7 *2				BTST	BOR	BXOR	BAND	BLD								
7Faa6 *2	BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD	BST							
7Faa7 *2	BSET	BNOT	BCLR						BIST							

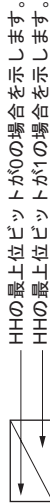
【注】 *1 rはレジスタ指定部
 *2 aaは絶対アドレス指定

表A.3 オペレーションコンコードマップ (4)

命令コード	第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト					
	AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL				
EL AHLBHL...FHFLGH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
6A10aaaaa6*				BTST												
6A10aaaaa7*					BOR BIOR	BXOR BIXOR	BAND BIAND	BLD BILD BST BIST								
6A18aaaaa6*																
6A18aaaaa7*																
	BSET	BNOT	BCLR													



命令コード	第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト	
	AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL
GL AHLBHL...FHFLGH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
6A30aaaaaaa6*				BTST												
6A30aaaaaaa7*					BOR BIOR	BXOR BIXOR	BAND BIAND	BLD BILD BST BIST								
6A38aaaaaaa6*																
6A38aaaaaaa7*																
	BSET	BNOT	BCLR													



【注】 * aaは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.4 におおのこのサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

(1) 実行ステート数計算例

アドバンストモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFC7:8

表A.5より

$$I = L = 2, J = K = M = N = 0$$

表A.4より

$$S_I = 4, S_L = 2$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 2 = 12$$

2. JSR @@30

表A.5より

$$I = J = K = 2, L = M = N = 0$$

表A.4より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.4 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺モジュール		外部デバイス			
				8ビットバス		16ビットバス	
		8ビット バス	16ビット バス	2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S_I	1	4	2	4	6+2m	2	3+m
分岐アドレスリード S_J							
スタック操作 S_K							
バイトデータアクセス S_L		2		2	3+m		
ワードデータアクセス S_M		4		4	6+2m		
内部動作 S_N	1						

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数

表 A.5 命令実行状態 (サイクル数)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
BHI d:16	2					1	

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1
	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
	BCLR Rn,@aa:32	4			2		
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		

付録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		
	BNOT Rn,@aa:32	4			2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		
BSET	BSET #xx:3,Rd	1					
	BSET #xx:3,@ERd	2			2		
	BSET #xx:3,@aa:8	2			2		
	BSET #xx:3,@aa:16	3			2		
	BSET #xx:3,@aa:32	4			2		
	BSET Rn,Rd	1					
	BSET Rn,@ERd	2			2		
	BSET Rn,@aa:8	2			2		
	BSET Rn,@aa:16	3			2		
	BSET Rn,@aa:32	4			2		
BSR	BSR d:8	2		2			
	BSR d:16	2		2			1

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BST	BST #xx:3,Rd	1					
	BST #xx:3,@ERd	2			2		
	BST #xx:3,@aa:8	2			2		
	BST #xx:3,@aa:16	3			2		
	BST #xx:3,@aa:32	4			2		
BTST	BTST #xx:3,Rd	1					
	BTST #xx:3,@ERd	2			1		
	BTST #xx:3,@aa:8	2			1		
	BTST #xx:3,@aa:16	3			1		
	BTST #xx:3,@aa:32	4			1		
	BTST Rn,Rd	1					
	BTST Rn,@ERd	2			1		
	BTST Rn,@aa:8	2			1		
	BTST Rn,@aa:16	3			1		
BTST Rn,@aa:32	4			1			
BXOR	BXOR #xx:3,Rd	1					
	BXOR #xx:3,@ERd	2			1		
	BXOR #xx:3,@aa:8	2			1		
	BXOR #xx:3,@aa:16	3			1		
	BXOR #xx:3,@aa:32	4			1		
CLRMAC	CLRMAC	本 LSI では使用できません。					
CMP	CMP.B #xx:8,Rd	1					
	CMP.B Rs,Rd	1					
	CMP.W #xx:16,Rd	2					
	CMP.W Rs,Rd	1					
	CMP.L #xx:32,ERd	3					
	CMP.L ERs,ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2,Rd	1					
	DEC.L #1/2,ERd	1					
DIVXS	DIVXS.B Rs,Rd	2					11
	DIVXS.W Rs,ERd	2					19
DIVXU	DIVXU.B Rs,Rd	1					11
	DIVXU.W Rs,ERd	1					19
EEMOV	EEMOV.B	2			$2n+2$ * ²		
	EEMOV.W	2			$2n+2$ * ²		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					

付録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					1
	JMP @ @aa:8	2	2				1
JSR	JSR @ERn	2		2			
	JSR @aa:24	2		2			1
	JSR @ @aa:8	2	2	2			
LDC	LDC #xx:8,CCR	1					
	LDC #xx:8,EXR	2					
	LDC Rs,CCR	1					
	LDC Rs,EXR	1					
	LDC @ERs,CCR	2				1	
	LDC @ERs,EXR	2				1	
	LDC @(d:16,ERs),CCR	3				1	
	LDC @(d:16,ERs),EXR	3				1	
	LDC @(d:32,ERs),CCR	5				1	
	LDC @(d:32,ERs),EXR	5				1	
	LDC @ERs+,CCR	2				1	1
	LDC @ERs+,EXR	2				1	1
	LDC @aa:16,CCR	3				1	
	LDC @aa:16,EXR	3				1	
	LDC @aa:32,CCR	4				1	
LDC @aa:32,EXR	4				1		
LDM	LDM.L @SP+, (ERn-ERn+1)	2		4			1
	LDM.L @SP+, (ERn-ERn+2)	2		6			1
	LDM.L @SP+, (ERn-ERn+3)	2		8			1
LDMAC	LDMAC ERs, MACH	本 LSI では使用できません。					
	LDMAC ERs, MACL						
MAC	MAC @ERn+, @ERm+						
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1				1	
	MOV.B @(d:16,ERs),Rd	2				1	
	MOV.B @(d:32,ERs),Rd	4				1	
	MOV.B @ERs+,Rd	1				1	1
	MOV.B @aa:8,Rd	1				1	
	MOV.B @aa:16,Rd	2				1	
	MOV.B @aa:32,Rd	3				1	

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		
	MOV.B Rs,@-ERd	1			1		1
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2					
	MOV.W Rs,Rd	1					
	MOV.W @ERs,Rd	1				1	
	MOV.W @(d:16,ERs),Rd	2				1	
	MOV.W @(d:32,ERs),Rd	4				1	
	MOV.W @ERs+,Rd	1				1	1
	MOV.W @aa:16,Rd	2				1	
	MOV.W @aa:32,Rd	3				1	
	MOV.W Rs,@ERd	1				1	
	MOV.W Rs,@(d:16,ERd)	2				1	
	MOV.W Rs,@(d:32,ERd)	4				1	
	MOV.W Rs,@-ERd	1				1	1
	MOV.W Rs,@aa:16	2				1	
	MOV.W Rs,@aa:32	3				1	
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2				2	
	MOV.L @(d:16,ERs),ERd	3				2	
	MOV.L @(d:32,ERs),ERd	5				2	
	MOV.L @ERs+,ERd	2				2	1
	MOV.L @aa:16,ERd	3				2	
	MOV.L @aa:32,ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs,@(d:16,ERd)	3				2	
	MOV.L ERs,@(d:32,ERd)	5				2	
	MOV.L ERs,@-ERd	2				2	1
MOV.L ERs,@aa:16	3				2		
MOV.L ERs,@aa:32	4				2		
MOVFPPE @:aa:16,Rd	本 LSI では使用できません。						
MOVTPPE Rs,@:aa:16							
MULXS	MULXS.B Rs,Rd	2					11
	MULXS.W Rs,ERd	2					19
MULXU	MULXU.B Rs,Rd	1					11
	MULXU.W Rs,ERd	1					19

付録

命令	二一モニツク	命令フェツチ	分岐アドレス リード	スタツク操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
RTE	RTE	2		2/3 ^{*1}			1
RTS	RTS	2		2			1
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
	STC.W CCR,@aa:32	4				1	
	STC.W EXR,@aa:32	4				1	

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
STM	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
STMAC	STMAC MACH,ERd STMAC MACL,ERd	本 LSI では使用できません。					
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					
TAS	TAS @ERd* ³	2			2		
TRAPA	TRAPA #x:2	2	2	2/3* ¹			2
XOR	XOR.B #xx:8,Rd	1					
	XOR.B Rs,Rd	1					
	XOR.W #xx:16,Rd	2					
	XOR.W Rs,Rd	1					
	XOR.L #xx:32,ERd	3					
	XOR.L ERs,ERd	2					
XORC	XORC #xx:8,CCR	1					
	XORC #xx:8,EXR	2					

【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。

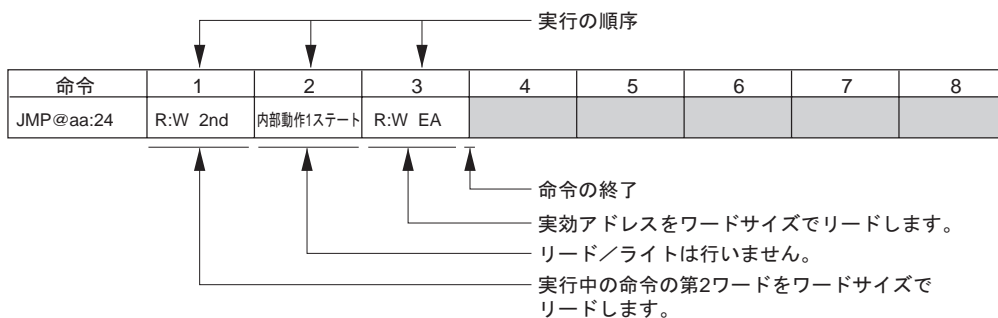
*2 転送データが n バイトのとき。

*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、表 A.4 を参照してください。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード(第3・第4バイト)のアドレスです。
3rd	第3ワード(第5・第6バイト)のアドレスです。
4th	第4ワード(第7・第8バイト)のアドレスです。
5th	第5ワード(第9・第10バイト)のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8ビットバス・3ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミングを図A.1に示します。

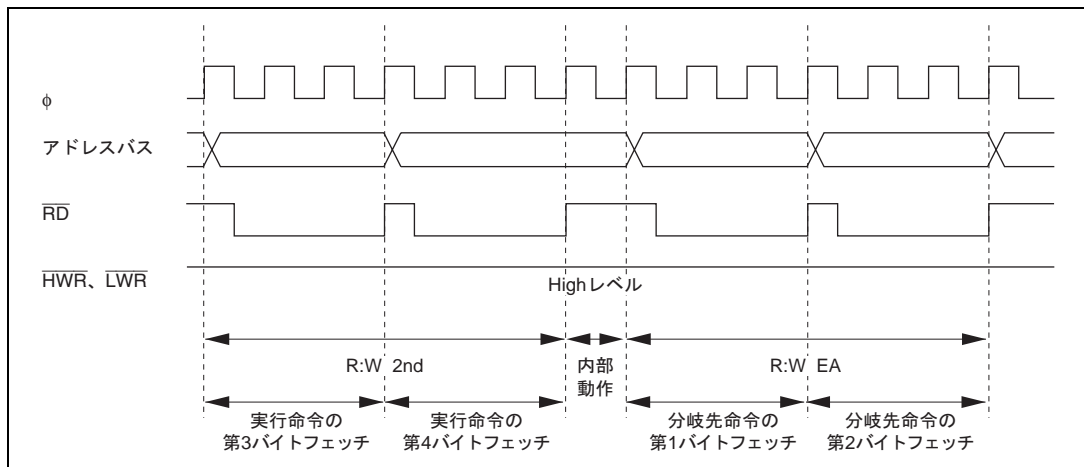


図 A.1 アドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミング
(8ビットバス・3ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8(BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8(BHS d:8)	R:W NEXT	R:W EA							
BCS d:8(BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16(BT d:16)	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BRN d:16(BF d:16)	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						
BHI d:16	R:W 2nd	内部動作 1 ｽﾀｰﾄ	R:W EA						

付録

命令	1	2	3	4	5	6	7	8	9
BLS d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BCC d:16(BHS d:16)	R:W 2nd	内部動作 1スタート	R:W EA						
BCS d:16(BLO d:16)	R:W 2nd	内部動作 1スタート	R:W EA						
BNE d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BVC d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BVS d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BPL d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BMI d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BGE d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BLT d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1スタート	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				

命令	1	2	3	4	5	6	7	8	9
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT	W:B EA			
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				

付録

命令	1	2	3	4	5	6	7	8	9
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
BSR d:16	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	本 LSI では使用できません。								
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEPMOV.B	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EEPMOV.W	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EXTS.W Rd	R:W NEXT			← n 回繰り返す * ² →					

命令	1	2	3	4	5	6	7	8	9
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1スタート	R:W EA						
JMP @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1スタート	R:W EA				
JSR @ERn	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
JSR @aa:24	R:W 2nd	内部動作 1スタート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC@(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1スタート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1スタート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1)	R:W 2nd	R:W:M NEXT	内部動作 1スタート	R:W:M スタック(H) ※ ³	R:W スタック(L) ※ ³				
LDM.L @SP+, (ERn-ERn+2)	R:W 2nd	R:W:M NEXT	内部動作 1スタート	R:W:M スタック(H) ※ ³	R:W スタック(L) ※ ³				
LDM.L @SP+, (ERn-ERn+3)	R:W 2nd	R:W:M NEXT	内部動作 1スタート	R:W:M スタック(H) ※ ³	R:W スタック(L) ※ ³				

付録

命令	1	2	3	4	5	6	7	8	9
LDMAC ERs,MACH	本 LSI では使用できません。								
LDMAC ERs,MACL									
MAC @ERn+,@ERm+									
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					

命令	1	2	3	4	5	6	7	8	9
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ｽﾀｰﾄ	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs, @(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs, @(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ｽﾀｰﾄ	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 ｽﾀｰﾄ	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 ｽﾀｰﾄ	R:W:M EA	R:W EA+2				

付録

命令	1	2	3	4	5	6	7	8	9
PUSH.W Rn	R:W NEXT	内部動作 1 スタート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:W スタック(EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W *4			
RTS	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W *4				
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 スー ト	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 スー ト	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スー ト	W:W:M スタック(H) ^{※3}	W:W スタック(L) ^{※3}				
STM.L (ERn-ERn+2), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スー ト	W:W:M スタック(H) ^{※3}	W:W スタック(L) ^{※3}				
STM.L (ERn-ERn+3), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スー ト	W:W:M スタック(H) ^{※3}	W:W スタック(L) ^{※3}				
STMACH,ERd	本 LSI では使用できません。								
STMACL,ERd									
SUB.B Rs,Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
SUB.L ERs,ERd	R:W NEXT								
SUBS #1/2/4,ERd	R:W NEXT								
SUBX #xx:8,Rd	R:W NEXT								
SUBX Rs,Rd	R:W NEXT								
TAS @ERd ^{*8}	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA					
TRAPA #x:2	R:W NEXT	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W ^{*7}
XOR.B #xx8,Rd	R:W NEXT								
XOR.B Rs,Rd	R:W NEXT								
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
XOR.W Rs,Rd	R:W NEXT								
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
XOR.L ERs,ERd	R:W 2nd	R:W NEXT							
XORC #xx:8,CCR	R:W NEXT								
XORC #xx:8,EXR	R:W 2nd	R:W NEXT							
リセット例外処理	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W ^{*5}					
割り込み例外処理	R:W ^{*6}	内部動作 1スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1スタート	R:W ^{*7}

【注】 *1 EAs は ER5、EAd は ER6 の内容です。

*2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。

また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。

*3 2 本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。

*4 リターン後の先頭アドレスです。

*5 プログラムのスタートアドレスです。

*6 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。

また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。

*7 割り込み処理ルーチンの先頭アドレスです。

*8 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

A.6 コンディションコードの変化

CPU の各命令について、命令実行後のコンディションコードの変化を示します。以下に、表中で使われている記号を説明します。

m =	31	: ロングワードサイズの時
	15	: ワードサイズの時
	7	: バイトサイズの時
Si		: ソースオペランドのビット i
Di		: デスティネーションオペランドのビット i
Ri		: 結果のビット i
Dn		: デスティネーションオペランドの指定されたビット
-		: 影響なし
↕		: 実行結果に応じて変化 (定義参照)
0		: 常に 0 にクリア
1		: 常に 1 にセット
*		: 値を保証しません。
Z'		: 実行前の Z フラグ
C'		: 実行前の C フラグ

表 A.7 コンディションコードの変化

命 令	H	N	Z	V	C	定 義
ADD	↕	↕	↕	↕	↕	$H = Sm-4 \cdot Dm-4 + Dm-4 \cdot \overline{Rm-4} + Sm-4 \cdot \overline{Rm-4}$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Sm \cdot Dm \cdot \overline{Rm} + \overline{Sm} \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot Dm + Dm \cdot \overline{Rm} + Sm \cdot \overline{Rm}$
ADDS	-	-	-	-	-	
ADDX	↕	↕	↕	↕	↕	$H = Sm-4 \cdot Dm-4 + Dm-4 \cdot \overline{Rm-4} + Sm-4 \cdot \overline{Rm-4}$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Sm \cdot Dm \cdot \overline{Rm} + \overline{Sm} \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot Dm + Dm \cdot \overline{Rm} + Sm \cdot \overline{Rm}$
AND	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ANDC	↕	↕	↕	↕	↕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
BAND	-	-	-	-	↕	$C = C' \cdot Dn$
Bcc	-	-	-	-	-	
BCLR	-	-	-	-	-	
BIAND	-	-	-	-	↕	$C = C' \cdot \overline{Dn}$
BILD	-	-	-	-	↕	$C = \overline{Dn}$
BIOR	-	-	-	-	↕	$C = C' + \overline{Dn}$
BIST	-	-	-	-	-	
BIXOR	-	-	-	-	↕	$C = C' \cdot Dn + \overline{C'} \cdot \overline{Dn}$
BLD	-	-	-	-	↕	$C = Dn$
BNOT	-	-	-	-	-	
BOR	-	-	-	-	↕	$C = C' + Dn$
BSET	-	-	-	-	-	
BSR	-	-	-	-	-	
BST	-	-	-	-	-	
BTST	-	-	↕	-	-	$Z = \overline{Dn}$
BXOR	-	-	-	-	↕	$C = C' \cdot \overline{Dn} + \overline{C'} \cdot Dn$
CLRMAC	本 LSI では使用できません。					
CMP	↕	↕	↕	↕	↕	$H = Sm-4 \cdot \overline{Dm-4} + \overline{Dm-4} \cdot Rm-4 + Sm-4 \cdot Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Sm} \cdot Dm \cdot \overline{Rm} + Sm \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot \overline{Dm} + \overline{Dm} \cdot Rm + Sm \cdot Rm$
DAA	*	↕	↕	*	↕	$N=Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C : 10 \text{ 進加算のキャリ}$
DAS	*	↕	↕	*	↕	$N=Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C : 10 \text{ 進減算のボロ}$

命 令	H	N	Z	V	C	定 義
DEC	-	⇕	⇕	⇕	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Dm \cdot \overline{Rm}$
DIVXS	-	⇕	⇕	-	-	$N = Sm \cdot \overline{Dm} + \overline{Sm} \cdot Dm$ $Z = \overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
DIVXU	-	⇕	⇕	-	-	$N = Sm$ $Z = \overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
EEPMOV	-	-	-	-	-	
EXTS	-	⇕	⇕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
EXTU	-	0	⇕	0	-	$Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
INC	-	⇕	⇕	⇕	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Dm} \cdot \overline{Rm}$
JMP	-	-	-	-	-	
JSR	-	-	-	-	-	
LDC	⇕	⇕	⇕	⇕	⇕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
LDM	-	-	-	-	-	
LDMAC	本 LSI では使用できません。					
MAC						
MOV	-	⇕	⇕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
MOVFP	本 LSI では使用できません。					
MOVTP						
MULXS	-	⇕	⇕	-	-	$N = R2m$ $Z = \overline{R2m} \cdot \overline{R2m-1} \cdot \dots \cdot \overline{R0}$
MULXU	-	-	-	-	-	
NEG	⇕	⇕	⇕	⇕	⇕	$H = Dm-4 + Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Dm \cdot Rm$ $C = Dm + Rm$
NOP	-	-	-	-	-	
NOT	-	⇕	⇕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
OR	-	⇕	⇕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ORC	⇕	⇕	⇕	⇕	⇕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
POP	-	⇕	⇕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$

命 令	H	N	Z	V	C	定 義
PUSH	-	⇕	⇕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ROTL	-	⇕	⇕	0	⇕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1ビットのとき)、 $C = Dm-1$ (2ビットのとき)
ROTR	-	⇕	⇕	0	⇕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
ROTXL	-	⇕	⇕	0	⇕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1ビットのとき)、 $C = Dm-1$ (2ビットのとき)
ROTXR	-	⇕	⇕	0	⇕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
RTE	⇕	⇕	⇕	⇕	⇕	実行結果の対応するビットの値が格納されます。
RTS	-	-	-	-	-	
SHAL	-	⇕	⇕	⇕	⇕	
SHAR	-	⇕	⇕	0	⇕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
SHLL	-	⇕	⇕	0	⇕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1ビットのとき)、 $C = Dm-1$ (2ビットのとき)
SHLR	-	0	⇕	0	⇕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1ビットのとき)、 $C = D1$ (2ビットのとき)
SLEEP	-	-	-	-	-	
STC	-	-	-	-	-	
STM	-	-	-	-	-	
STMAC	本 LSI では使用できません。					
SUB	⇕	⇕	⇕	⇕	⇕	$H = Sm-4 \cdot \overline{Dm-4} + \overline{Dm-4} \cdot Rm-4 + Sm-4 \cdot Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Sm} \cdot Dm \cdot \overline{Rm} + Sm \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot \overline{Dm} + \overline{Dm} \cdot Rm + Sm \cdot Rm$
SUBS	-	-	-	-	-	

命 令	H	N	Z	V	C	定 義
SUBX	↕	↕	↕	↕	↕	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
TAS	-	↕	↕	0	-	$N = D_m$ $Z = \overline{D_m} \cdot \overline{D_{m-1}} \cdot \dots \cdot \overline{D_0}$
TRAPA	-	-	-	-	-	
XOR	-	↕	↕	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
XORC	↕	↕	↕	↕	↕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。

B. 内部 I/O レジスタ

B.1 アドレス一覧 (アドレス順)

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅	
H'F800 ~ H'FBFF	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	16 / 32 * ¹ ビット	
	SAR											
	MRB	CHNE	DISEL	CHNS	-	-	-	-	-			
	DAR											
	CRA											
CRB												
H'FE80	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU3	16 ビット	
H'FE81	TMDR3	-	-	BFB	BFA	MD3	MD2	MD1	MD0			
H'FE82	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0			
H'FE83	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0			
H'FE84	TIER3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA			
H'FE85	TSR3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA			
H'FE86	TCNT3											
H'FE87												
H'FE88	TGR3A											
H'FE89												
H'FE8A	TGR3B											
H'FE8B												
H'FE8C	TGR3C											
H'FE8D												
H'FE8E	TGR3D											
H'FE8F												

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FE90	TCR4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU4	16ビット
H'FE91	TMDR4	-	-	-	-	MD3	MD2	MD1	MD0		
H'FE92	TIOR4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE94	TIER4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FE95	TSR4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FE96	TCNT4										
H'FE97											
H'FE98	TGR4A										
H'FE99											
H'FE9A	TGR4B										
H'FE9B											
H'FEA0	TCR5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU5	16ビット
H'FEA1	TMDR5	-	-	-	-	MD3	MD2	MD1	MD0		
H'FEA2	TIOR5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FEA4	TIER5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FEA5	TSR5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FEA6	TCNT5										
H'FEA7											
H'FEA8	TGR5A										
H'FEA9											
H'FEAA	TGR5B										
H'FEAB											
H'FEB0	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	ポート	8ビット
H'FEB1	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR		
H'FEB2	P3DDR	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
H'FEB9	PADDR	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
H'FEBA	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
H'FEBB	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR		
H'FEBC	PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR		
H'FEBD	PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR		
H'FEBE	PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR		
H'FEBF	PGDDR	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR		

付録

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FEC4	IPRA	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	割り込み コント ローラ	8ビット
H'FEC5	IPRB	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC6	IPRC	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC7	IPRD	-	IPR6	IPR5	IPR4	-	-	-	-		
H'FEC8	IPRE	-	-	-	-	-	IPR2	IPR1	IPR0		
H'FEC9	IPRF	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECA	IPRG	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECB	IPRH	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECC	IPRI	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECD	IPRJ	-	-	-	-	-	IPR2	IPR1	IPR0		
H'FECE	IPRK	-	IPR6	IPR5	IPR4	-	-	-	-		
H'FED0	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコン トローラ	8ビット
H'FED1	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'FED2	WCRH	W71	W70	W61	W60	W51	W50	W41	W40		
H'FED3	WCRL	W31	W30	W21	W20	W11	W10	W01	W00		
H'FED4	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	-	-		
H'FED5	BCRL	BRLE	BREQOE	EAE	-	-	-	-	WAITE		
H'FEDB	RAMER*2	-	-	-	-	RAMS	RAM2	RAM1	RAM0	FLASH	8ビット

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF2C	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	割り込み コントロ ーラ	8ビット
H'FF2D	ISCRL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA		
H'FF2E	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		
H'FF2F	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
H'FF30 ~ H'FF34	DT CER	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0	DTC	8ビット
H'FF37	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0		
H'FF38	SBYCR	SSBY	STS2	STS1	STS0	OPE	-	-	IRQ37S	低消費 電力	8ビット
H'FF39	SYSCR	-	-	INTM1	INTM0	NMIEG	LWROD	-	RAME	MCU	8ビット
H'FF3A	SCKCR	PSTOP	-	DIV	-	-	SCK2	SCK1	SCK0	クロック 発振器	8ビット
H'FF3B	MDCR	-	-	-	-	-	MDS2	MDS1	MDS0	MCU	8ビット
H'FF3C	MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	低消費 電力	8ビット
H'FF3D	MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0		
H'FF42	SYSCR2* ³	-	-	-	-	FLSHE	-	-	-	MCU	8ビット
H'FF44	リザーブ	-	-	-	-	-	-	-	-	リザーブ	-
H'FF45	PF0CR1	CSS17	CSS36	PF1CS5S	PF0CS4S	A23E	A22E	A21E	A20E	ポート	8ビット

付録

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF50	PORT1	P17	P16	P15	P14	P13	P12	P11	P10	ポート	8ビット
H'FF51	PORT2	P27	P26	P25	P24	P23	P22	P21	P20		
H'FF52	PORT3	-	-	P35	P34	P33	P32	P31	P30		
H'FF53	PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
H'FF59	PORTA	-	-	-	-	PA3	PA2	PA1	PA0		
H'FF5A	PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
H'FF5B	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
H'FF5C	PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
H'FF5D	PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0		
H'FF5E	PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
H'FF5F	PORTG	-	-	-	PG4	PG3	PG2	PG1	PG0		
H'FF60	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR		
H'FF61	P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR		
H'FF62	P3DR	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FF69	PADR	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR		
H'FF6A	PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FF6B	PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FF6C	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
H'FF6D	PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FF6E	PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
H'FF6F	PGDR	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR		
H'FF70	PAPCR	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR		
H'FF71	PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
H'FF72	PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
H'FF73	PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
H'FF74	PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
H'FF76	P3ODR	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
H'FF77	PAODR	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR		
H'FF78	SMR0	C/ \bar{A} /GM* ⁴	CHR /BLK* ⁵	PE	O/ \bar{E}	STOP /BCP1* ⁶	MP /BCP0* ⁷	CKS1	CKS0	SCIO、 スマート カードイ ンタフェ ース0	8ビット
H'FF79	BRR0										
H'FF7A	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF7B	TDR0										
H'FF7C	SSR0	TDRE	RDRF	ORER	FER /ERS* ⁸	PER	TEND	MPB	MPBT		
H'FF7D	RDR0										
H'FF7E	SCMR0	-	-	-	-	SDIR	SINV	-	SMIF		

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF80	SMR1	C/ \bar{A} /GM* ⁴	CHR /BLK* ⁵	PE	O/ \bar{E}	STOP /BCP1* ⁶	MP /BCP0* ⁷	CKS1	CKS0	SC11、 スマート カードイン タフェー ース1	8ビット
H'FF81	BRR1										
H'FF82	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF83	TDR1										
H'FF84	SSR1	TDRE	RDRF	ORER	FER /ERS* ⁸	PER	TEND	MPB	MPBT		
H'FF85	RDR1										
H'FF86	SCMR1	-	-	-	-	SDIR	SINV	-	SMIF		
H'FF90	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器	8ビット
H'FF91	ADDRAL	AD1	AD0	-	-	-	-	-	-		
H'FF92	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF93	ADDRBL	AD1	AD0	-	-	-	-	-	-		
H'FF94	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF95	ADDRCL	AD1	AD0	-	-	-	-	-	-		
H'FF96	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF97	ADDRDL	AD1	AD0	-	-	-	-	-	-		
H'FF98	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		
H'FF99	ADCR	TRGS1	TRGS0	-	-	CKS1	-	-	-		
H'FFA4	DADR0									D/A 変換器	8ビット
H'FFA5	DADR1										
H'FFA6	DACR01	DAOE1	DAOE0	DAE	-	-	-	-	-		
H'FFAC	PFCR2	-	-	CS167E	CS25E	ASOD	-	-	-	ポート	8ビット
H'FFB0	TCR0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイマ チャンネル 0、1	16ビット
H'FFB1	TCR1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFB2	TCSR0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
H'FFB3	TCSR1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		
H'FFB4	TCORA0										
H'FFB5	TCORA1										
H'FFB6	TCORB0										
H'FFB7	TCORB1										
H'FFB8	TCNT0										
H'FFB9	TCNT1										
H'FFBC (リード時)	TCSR	OVF	WT/ \bar{I} T	TME	-	-	CKS2	CKS1	CKS0	ウォッチ ドッグ タイマ	16ビット
H'FFBD (リード時)	TCNT										
H'FFBF (リード時)	RSTCSR	WOVF	RSTE	-	-	-	-	-	-		

付録

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FFC0	TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU	16ビット
H'FFC1	TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0		
H'FFC8* ⁹	FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH (2317 F-ZTAT)	8ビット
H'FFC9* ⁹	FLMCR2	FLER	-	-	-	-	-	-	-		
H'FFCA* ⁹	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFCB* ⁹	EBR2	-	-	-	-	-	-	EB9	EB8		
H'FFC8* ¹⁰	FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH (2318 F-ZTAT)	8ビット
H'FFC9* ¹⁰	FLMCR2	FLER	-	-	-	-	-	-	-		
H'FFCA* ¹⁰	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFCB* ¹⁰	EBR2	-	-	-	-	EB11	EB10	EB9	EB8		
H'FFC8* ¹¹	FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH (2315 F-ZTAT, 2314 F-ZTAT)	8ビット
H'FFC9* ¹¹	FLMCR2	FLER	-	-	-	-	-	-	-		
H'FFCA* ¹¹	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFCB* ¹¹	EBR2	-	-	EB13	EB12	EB11	EB10	EB9	EB8		
H'FFC8* ¹²	FLMCR1	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH (2319 F-ZTAT)	8ビット
H'FFC9* ¹²	FLMCR2	FLER	SWE2	ESU2	PSU2	EV2	PV2	E2	P2		
H'FFCA* ¹²	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFCB* ¹²	EBR2	EB15	EB14	EB13	EB12	EB11	EB10	EB9	EB8		
H'FFC4* ¹³	FCCS	-	-	-	FLER	-	-	-	SCO	FLASH (2319C F-ZTAT)	8ビット
H'FFC5* ¹³	FPCS	-	-	-	-	-	-	-	PPVS		
H'FFC6* ¹³	FECS	-	-	-	-	-	-	-	EPVB		
H'FFC7* ¹³	リザーブ	-	-	-	-	-	-	-	-		
H'FFC8* ¹³	FKEY	K7	K6	K5	K4	K3	K2	K1	K0		
H'FFC9* ¹³	FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0		
H'FFCA* ¹³	FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0		
H'FFCB* ¹³	リザーブ	-	-	-	-	-	-	-	-		
H'FFCC* ¹³	リザーブ	-	-	-	-	-	-	-	-		
H'FFCD* ¹³	リザーブ	-	-	-	-	-	-	-	-		
H'FFCE* ¹³	リザーブ	-	-	-	-	-	-	-	-		
H'FFCF* ¹³	リザーブ	-	-	-	-	-	-	-	-	16ビット	

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅		
H'FFD0	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU0	16ビット		
H'FFD1	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0				
H'FFD2	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FFD3	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0				
H'FFD4	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA				
H'FFD5	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA				
H'FFD6	TCNT0												
H'FFD7													
H'FFD8	TGR0A												
H'FFD9													
H'FFDA	TGR0B												
H'FFDB													
H'FFDC	TGR0C												
H'FFDD													
H'FFDE	TGR0D												
H'FFDF													
H'FFE0	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU1	16ビット		
H'FFE1	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0				
H'FFE2	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FFE4	TIER1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA				
H'FFE5	TSR1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA				
H'FFE6	TCNT1												
H'FFE7													
H'FFE8	TGR1A												
H'FFE9													
H'FFEA	TGR1B												
H'FFEB													
H'FFF0	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0			TPU2	16ビット
H'FFF1	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0				
H'FFF2	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FFF4	TIER2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA				
H'FFF5	TSR2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA				
H'FFF6	TCNT2												
H'FFF7													
H'FFF8	TGR2A												
H'FFF9													
H'FFFA	TGR2B												
H'FFFB													

【注】 *1 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。

*2 F-ZTAT 版のみ有効。ただし、H8S/2314 F-ZTAT は使用できませんので、アクセスしないでください。

- *3 F-ZTAT 版のみ有効。
- *4 SCI として使う場合は C/A、スマートカードインタフェースとして使う場合は GM として機能しません。
- *5 SCI として使う場合は CHR、スマートカードインタフェースとして使う場合は BLK として機能しません。
- *6 SCI として使う場合は STOP、スマートカードインタフェースとして使う場合は BCP1 として機能します。
- *7 SCI として使う場合は MP、スマートカードインタフェースとして使う場合は BCP0 として機能しません。
- *8 SCI として使う場合は FER、スマートカードインタフェースとして使う場合は ERS として機能しません。
- *9 H8S/2317 F-ZTAT に適用します。
- *10 H8S/2318 F-ZTAT に適用します。
- *11 H8S/2315 F-ZTAT、H8S/2314 F-ZTAT に適用します。
- *12 H8S/2319 F-ZTAT に適用します。
- *13 H8S/2319C F-ZTAT に適用します。

B.2 アドレス一覧 (モジュール別)

モジュール	名称	略称	R/W	初期値	アドレス* ¹
割り込み コント ローラ	システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
	IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FF2C
	IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FF2D
	IRQ イネーブルレジスタ	IER	R/W	H'00	H'FF2E
	IRQ ステータスレジスタ	ISR	R/(W)* ²	H'00	H'FF2F
	インタラプトプライオリティレジスタ A	IPRA	R/W	H'77	H'FEC4
	インタラプトプライオリティレジスタ B	IPRB	R/W	H'77	H'FEC5
	インタラプトプライオリティレジスタ C	IPRC	R/W	H'77	H'FEC6
	インタラプトプライオリティレジスタ D	IPRD	R/W	H'77	H'FEC7
	インタラプトプライオリティレジスタ E	IPRE	R/W	H'77	H'FEC8
	インタラプトプライオリティレジスタ F	IPRF	R/W	H'77	H'FEC9
	インタラプトプライオリティレジスタ G	IPRG	R/W	H'77	H'FECA
	インタラプトプライオリティレジスタ H	IPRH	R/W	H'77	H'FECB
	インタラプトプライオリティレジスタ I	IPRI	R/W	H'77	H'FECC
	インタラプトプライオリティレジスタ J	IPRJ	R/W	H'77	H'FECD
インタラプトプライオリティレジスタ K	IPRK	R/W	H'77	H'FECE	
DTC	DTC モードレジスタ A	MRA	- * ³	不定	- * ⁴
	DTC モードレジスタ B	MRB	- * ³	不定	- * ⁴
	DTC ソースアドレスレジスタ	SAR	- * ³	不定	- * ⁴
	DTC デスティネーションアドレスレジスタ	DAR	- * ³	不定	- * ⁴
	DTC 転送カウンタレジスタ A	CRA	- * ³	不定	- * ⁴
	DTC 転送カウンタレジスタ B	CRB	- * ³	不定	- * ⁴
	DTC イネーブルレジスタ	DTCER	R/W	H'00	H'FF30 ~ H'FF34
	DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FF37
	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C
バスコン トローラ	バス幅コントロールレジスタ	ABWCR	R/W	H'FF/H'00* ⁵	H'FED0
	アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	H'FED1
	ウェイトコントロールレジスタ H	WCRH	R/W	H'FF	H'FED2
	ウェイトコントロールレジスタ L	WCRL	R/W	H'FF	H'FED3
	バスコントロールレジスタ H	BCRH	R/W	H'D0	H'FED4
	バスコントロールレジスタ L	BCRL	R/W	H'3C	H'FED5

モジュール	名称	略称	R/W	初期値	アドレス*1
8ビット タイマ0	タイマコントロールレジスタ0	TCR0	R/W	H'00	H'FFB0
	タイマコントロール/ステータスレジスタ0	TCSR0	R/(W)*7	H'00	H'FFB2
	タイムコンスタントレジスタA0	TCORA0	R/W	H'FF	H'FFB4
	タイムコンスタントレジスタB0	TCORB0	R/W	H'FF	H'FFB6
	タイマカウンタ0	TCNT0	R/W	H'00	H'FFB8
8ビット タイマ1	タイマコントロールレジスタ1	TCR1	R/W	H'00	H'FFB1
	タイマコントロール/ステータスレジスタ1	TCSR1	R/(W)*7	H'10	H'FFB3
	タイムコンスタントレジスタA1	TCORA1	R/W	H'FF	H'FFB5
	タイムコンスタントレジスタB1	TCORB1	R/W	H'FF	H'FFB7
	タイマカウンタ1	TCNT1	R/W	H'00	H'FFB9
8ビット タイマ 共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C
WDT	タイマコントロール/ステータスレジスタ	TCSR	R/(W)*9	H'18	H'FFBC : ライト時*8 H'FFBC : リード時
	タイマカウンタ	TCNT	R/W	H'00	H'FFBC : ライト時*6 H'FFBD : リード時
	リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)*9	H'1F	H'FFBE : ライト時*8 H'FFBF : リード時
SCI0	シリアルモードレジスタ0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ0	SCMR0	R/W	H'F2	H'FF7E
SCI1	シリアルモードレジスタ1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ1	SCMR1	R/W	H'F2	H'FF86
SCI 共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C
SMCIO	シリアルモードレジスタ0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ0	SCMR0	R/W	H'F2	H'FF7E

モジュール	名称	略称	R/W	初期値	アドレス*1
SMCI1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
SMCI 共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C
ADC	A/D データレジスタ AH	ADDRAH	R	H'00	H'FF90
	A/D データレジスタ AL	ADDRAL	R	H'00	H'FF91
	A/D データレジスタ BH	ADDRBH	R	H'00	H'FF92
	A/D データレジスタ BL	ADDRBL	R	H'00	H'FF93
	A/D データレジスタ CH	ADDRCH	R	H'00	H'FF94
	A/D データレジスタ CL	ADDRCL	R	H'00	H'FF95
	A/D データレジスタ DH	ADDRDH	R	H'00	H'FF96
	A/D データレジスタ DL	ADDRDL	R	H'00	H'FF97
	A/D コントロール / ステータスレジスタ	ADCSR	R/(W)*9	H'00	H'FF98
	A/D コントロールレジスタ	ADCR	R/W	H'3F	H'FF99
	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C
DAC0、1	D/A データレジスタ 0	DADR0	R/W	H'00	H'FFA4
	D/A データレジスタ 1	DADR1	R/W	H'00	H'FFA5
	D/A コントロールレジスタ 01	DACR01	R/W	H'1F	H'FFA6
DAC 共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C
内蔵 RAM	システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
TPU0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFD0
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FFD1
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FFD2
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FFD3
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FFD4
	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'C0	H'FFD5
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FFD6
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FFD8
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FFDA
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FFDC
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FFDE

モジュール	名称	略称	R/W	初期値	アドレス*1
TPU1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFE0
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FFE1
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FFE2
	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'40	H'FFE4
	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'C0	H'FFE5
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FFE6
	タイマジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FFE8
	タイマジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FFEA
TPU2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFF0
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FFF1
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FFF2
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FFF4
	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'C0	H'FFF5
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FFF6
	タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FFF8
	タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FFFA
TPU3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FE80
	タイマモードレジスタ 3	TMDR3	R/W	H'C0	H'FE81
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W	H'00	H'FE82
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W	H'00	H'FE83
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'40	H'FE84
	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'C0	H'FE85
	タイマカウンタ 3	TCNT3	R/W	H'0000	H'FE86
	タイマジェネラルレジスタ 3A	TGR3A	R/W	H'FFFF	H'FE88
	タイマジェネラルレジスタ 3B	TGR3B	R/W	H'FFFF	H'FE8A
	タイマジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FE8C
	タイマジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FE8E
TPU4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FE90
	タイマモードレジスタ 4	TMDR4	R/W	H'C0	H'FE91
	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'00	H'FE92
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'40	H'FE94
	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'C0	H'FE95
	タイマカウンタ 4	TCNT4	R/W	H'0000	H'FE96
	タイマジェネラルレジスタ 4A	TGR4A	R/W	H'FFFF	H'FE98
	タイマジェネラルレジスタ 4B	TGR4B	R/W	H'FFFF	H'FE9A
TPU5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FEA0
	タイマモードレジスタ 5	TMDR5	R/W	H'C0	H'FEA1
	タイマ I/O コントロールレジスタ 5	TIOR5	R/W	H'00	H'FEA2
	タイマインタラプトイネーブルレジスタ 5	TIER5	R/W	H'40	H'FEA4
	タイマステータスレジスタ 5	TSR5	R/(W)*2	H'C0	H'FEA5
	タイマカウンタ 5	TCNT5	R/W	H'0000	H'FEA6
	タイマジェネラルレジスタ 5A	TGR5A	R/W	H'FFFF	H'FEA8
タイマジェネラルレジスタ 5B	TGR5B	R/W	H'FFFF	H'FEAA	

モジュール	名称	略称	R/W	初期値	アドレス*1
TPU 共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFC0
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFC1
	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C
フラッシュメモリ	フラッシュメモリコントロールレジスタ 1	FLMCR1*14	R/W*11	H'00/H'80*12	H'FFC8*10
	フラッシュメモリコントロールレジスタ 2	FLMCR2*14	R/W*11	H'00	H'FFC9*10
	消去ブロック指定レジスタ 1	EBR1*14	R/W*11	H'00*13	H'FFCA*10
	消去ブロック指定レジスタ 2	EBR2*14	R/W*11	H'00*13	H'FFCB*10
	フラッシュコードコントロール・ステータスレジスタ	FCCS*20	R/W	H'80	H'FFC4
	フラッシュプログラムコードセレクトレジスタ	FPCS*20	R/W	H'00	H'FFC5
	フラッシュイレーズコードセレクトレジスタ	FECS*20	R/W	H'00	H'FFC6
	フラッシュキーコードレジスタ	FKEY*20	R/W	H'00	H'FFC8
	フラッシュマットセレクトレジスタ	FMATS*20	R/W	H'00/H'AA*21	H'FFC9
	フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR*20	R/W	H'00	H'FFCA
	RAM エミュレーションレジスタ	RAMER*19	R/W	H'00	H'FEDB
システムコントロールレジスタ 2	SYSCR2*15	R/W	H'00	H'FF42	
クロック発振器	システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FF3A
MCU	システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
	モードコントロールレジスタ	MDCR	R	不定	H'FF3B
低消費電力	スタンバイコントロールレジスタ	SBYCR	R/W	H'08	H'FF38
	モジュールストップコントロールレジスタ H	MSTPCRH	R/W	H'3F	H'FF3C
	モジュールストップコントロールレジスタ L	MSTPCRL	R/W	H'FF	H'FF3D
ポート 1	ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FEB0
	ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF60
	ポート 1 レジスタ	PORT1	R	不定	H'FF50
	ポートファンクションコントロールレジスタ 1	PF1CR1	R/W	H'0F	H'FF45
ポート 2	ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FEB1
	ポート 2 データレジスタ	P2DR	R/W	H'00	H'FF61
	ポート 2 レジスタ	PORT2	R	不定	H'FF51
ポート 3	ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FEB2
	ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF62
	ポート 3 レジスタ	PORT3	R	不定	H'FF52
	ポート 3 オープンドレインコントロールレジスタ	P3ODR	R/W	H'00	H'FF76
ポート 4	ポート 4 レジスタ	PORT4	R	不定	H'FF53

モジュール	名称	略称	R/W	初期値	アドレス*1
ポート A	ポート A データディレクションレジスタ	PADDR	W	H'0* ¹⁶	H'FEB9
	ポート A データレジスタ	PADR	R/W	H'0* ¹⁶	H'FF69
	ポート A レジスタ	PORTA	R	不定* ¹⁶	H'FF59
	ポート A ブルアップ MOS コントロールレジスタ	PAPCR	R/W	H'0* ¹⁶	H'FF70
	ポート A オープンドレイン コントロールレジスタ	PAODR	R/W	H'0* ¹⁶	H'FF77
ポート B	ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FEBA
	ポート B データレジスタ	PBDR	R/W	H'00	H'FF6A
	ポート B レジスタ	PORTB	R	不定	H'FF5A
	ポート B ブルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FF71
ポート C	ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FEBC
	ポート C データレジスタ	PCDR	R/W	H'00	H'FF6B
	ポート C レジスタ	PORTC	R	不定	H'FF5B
	ポート C ブルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FF72
ポート D	ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FEBC
	ポート D データレジスタ	PDDR	R/W	H'00	H'FF6C
	ポート D レジスタ	PORTD	R	不定	H'FF5C
	ポート D ブルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FF73
ポート E	ポート E データディレクションレジスタ	PEDDR	W	H'00	H'FEBC
	ポート E データレジスタ	PEDR	R/W	H'00	H'FF6D
	ポート E レジスタ	PORTE	R	不定	H'FF5D
	ポート E ブルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FF74
ポート F	ポート F データディレクションレジスタ	PFDDR	W	H'80 / H'00* ¹⁷	H'FEBC
	ポート F データレジスタ	PFDR	R/W	H'00	H'FF6E
	ポート F レジスタ	PORTF	R	不定	H'FF5E
	ポートファンクションコントロールレジスタ 1	PFCR1	R/W	H'0F	H'FF45
	ポートファンクションコントロールレジスタ 2	PFCR2	R/W	H'30	H'FFAC
	システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
ポート G	ポート G データディレクションレジスタ	PGDDR	W	H'10 / H'00* ¹⁷ * ¹⁸	H'FEBC
	ポート G データレジスタ	PGDR	R/W	H'00* ¹⁸	H'FF6F
	ポート G レジスタ	PORTG	R	不定* ¹⁸	H'FF5F
	ポートファンクションコントロールレジスタ 1	PFCR1	R/W	H'0F	H'FF45
	ポートファンクションコントロールレジスタ 2	PFCR2	R/W	H'30	H'FFAC

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

*3 DTC 内のレジスタは直接リード/ライトできません。

*4 内蔵 RAM のアドレス H'EBC0 ~ H'EFBF にレジスタ情報として配置します。外部メモリ空間には配置できません。DTC を使用する場合は SYSCR の RAME ビットを 0 にクリアしないでください。

*5 MCU 動作モードによって決まります。

- *6 パルス出力として使用しているビットは、ライトできません。
- *7 ビット7~5は、フラグをクリアするための0ライトのみ可能です。
- *8 ライトについては、「11.2.4 レジスタアクセス時の注意」を参照してください。
- *9 ビット7は、フラグをクリアするための0ライトのみ可能です。
- *10 フラッシュメモリのレジスタの選択はシステムコントロールレジスタ2 (SYSCR2) のFLSHE ビットで行います。
- *11 内蔵フラッシュメモリが無効のモードのときは、リードするとH'00が読み出され、ライトも無効となります。また、FLMCR1のFWEビットがクリア(FWE=0)されているときもライトは無効です(H8S/2319 F-ZTATは除く)。
- *12 H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTATでは、FWE端子にHighレベルが入力されているときの初期値はH'80です。H8S/2319 F-ZTATの初期値はH'80です。
- *13 H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTATでは、FWE端子にLowレベルが入力されているとき、あるいはHighレベルが入力されていてもFLMCR1のSWEビットがセットされていないときはH'00に初期化されます。
H8S/2319 F-ZTATでは、SWE1ビットが設定されていないときは、EB11~EB0ビットが0に初期化され、SWE2ビットが設定されていないときは、EB15~EB12ビットが0に初期化されます。
- *14 FLMCR1、FLMCR2、EBR1、EBR2は8ビットのレジスタです。バイトアクセスのみ有効で、2ステートアクセスとなります(H8S/2319C F-ZTATを除くF-ZTAT版に適用されるレジスタです)。
- *15 SYSCR2は、F-ZTAT版専用のレジスタです。マスクROM版では、リードすると不定値が読み出されます。ライトは無効です。
- *16 ビット3~0の値を示しています。
- *17 モードによって、初期値が異なります。
- *18 ビット4~0の値を示します。
- *19 F-ZTAT版のみ有効です。ただし、H8S/2314 F-ZTATは使用できませんのでアクセスしないでください。
- *20 H8S/2319C F-ZTATのみの適用です。内蔵フラッシュメモリが有効のときアクセスできます。
- *21 ユーザモード、ユーザプログラムモードでは、起動時の初期値はH'00です。
ユーザブートモードでは、起動時の初期値はH'AAです。

B.3 機能一覧

H'F800 ~ H'FBFF : DTC モードレジスタ A MRA : DTC

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

DTCデータ トランスファサイズ	
0	バイトサイズ 転送
1	ワードサイズ 転送

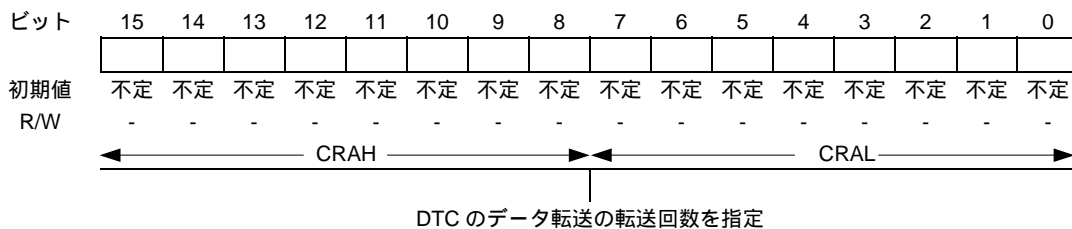
DTC転送モードセレクト	
0	デスティネーション側がリピート 領域またはブロック領域
1	ソース側がリピート領域または ブロック領域

DTCモード		
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	—

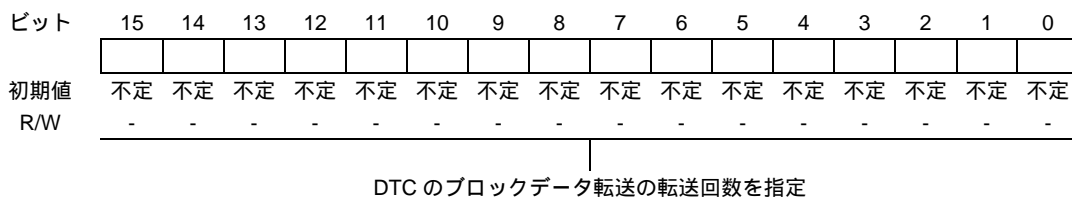
デスティネーションアドレスモード		
0	—	DARは固定
1	0	DARは転送後インクリメント (Sz=0のとき+1、Sz=1のとき+2)
	1	DARは転送後デクリメント (Sz=0のとき-1、Sz=1のとき-2)

ソースアドレスモード		
0	—	SARは固定
1	0	SARは転送後インクリメント (Sz=0のとき+1、Sz=1のとき+2)
	1	SARは転送後デクリメント (Sz=0のとき-1、Sz=1のとき-2)

H'F800 ~ H'FBFF : DTC 転送カウントレジスタ A CRA : DTC



H'F800 ~ H'FBFF : DTC 転送カウントレジスタ B CRB : DTC



H'FE80 : タイマコントロールレジスタ 3 TCR3 : TPU3

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック : $\phi/1$ でカウント
		1	内部クロック : $\phi/4$ でカウント
	1	0	内部クロック : $\phi/16$ でカウント
		1	内部クロック : $\phi/64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	内部クロック : $\phi/1024$ でカウント
	1	0	内部クロック : $\phi/256$ でカウント
		1	内部クロック : $\phi/4096$ でカウント

入カクロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 内部クロックのエッジ選択は、入カクロックが $\phi/4$ もしくはそれより遅い場合に有効です。入カクロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は、本設定は無視されます。

カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

H'FE81 : タイマモードレジスタ3 TMDR3 : TPU3

ビット :	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作		
		1	—	リザーブ		
		1	0	0	PWMモード1	
			1	—	PWMモード2	
	1	0	0	0	位相計数モード1	
			1	—	位相計数モード2	
		1	0	0	0	位相計数モード3
			1	—	0	位相計数モード4
1	*	*	*	—		

* : Don't care

- 【注】
- MD3はリザーブビットです。ライト時には常に0を書き込んでください。
 - チャンネル0、3では、位相計数モードの設定はできません。MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FE82 : タイマ I/O コントロールレジスタ 3H TIOR3H : TPU3

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR3A I/Oコントロール

0	0	0	0	TGR3Aは	出力禁止				
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
				1	コンペア	コンペアマッチで1出力			
		1	レジスタ	コンペアマッチでトグル出力					
		1	0	0	0	TGR3Aは	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
	1					コンペア	コンペアマッチで1出力		
	1		0	0	1	TGR3Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
						1	インプット	TIOCA3端子	立ち下がりエッジでインプットキャプチャ
						1	* キャプチャ	両エッジでインプットキャプチャ	
	1	*	*	*	レジスタ	キャプチャ入力元は	TCNT4のカウントアップ/カウントダウン		
					チャンネル4/カウントクロック	でインプットキャプチャ			

TGR3B I/Oコントロール

0	0	0	0	TGR3Bは	出力禁止				
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
				1	コンペア	コンペアマッチで1出力			
		1	0	0	0	TGR3Bは	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
						1	コンペア	コンペアマッチで1出力	
	1		0	0	1	TGR3Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
						1	インプット	TIOCB3端子	立ち下がりエッジでインプットキャプチャ
						1	* キャプチャ	両エッジでインプットキャプチャ	
	1	*	*	*	レジスタ	キャプチャ入力元は	TCNT4のカウントアップ/カウントダウン		
					チャンネル4/カウントクロック	でインプットキャプチャ*1			

* : Don't care

* : Don't care

【注】 *1 TCR4のTPSC2~TPSC0ビットをB'000とし、TCNT4のカウントクロックにφ/1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

H'FE83 : タイマ I/O コントロールレジスタ 3L TIOR3L : TPU3

ビット :

7	6	5	4	3	2	1	0
IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR3C I/Oコントロール

0	0	0	0	TGR3Cは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア	コンペアマッチで1出力	コンペアマッチで1出力	
				1	レジスタ*1	コンペアマッチでトグル出力	コンペアマッチでトグル出力	
	1	0	0	0	TGR3Cは	出力禁止		
					1	アウトプット	初期出力は1出力	コンペアマッチで0出力
					1	コンペア	コンペアマッチで1出力	コンペアマッチで1出力
					1	レジスタ*1	コンペアマッチでトグル出力	コンペアマッチでトグル出力
	1	0	0	0	TGR3Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCC3端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ	キャプチャ	両エッジでインプットキャプチャ
					1	レジスタ*	キャプチャ入力元は	TCNT4のカウンタアップ/カウンタダウン
					チャネル4/カウンタクロック	でインプットキャプチャ		

* : Don't care

【注】 *1 TMDR3のBFAビットを1にセットしてTGR3Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

TGR3D I/Oコントロール

0	0	0	0	TGR3Dは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア	コンペアマッチで1出力	コンペアマッチで1出力	
				1	レジスタ*2	コンペアマッチでトグル出力	コンペアマッチでトグル出力	
	1	0	0	0	TGR3Dは	出力禁止		
					1	アウトプット	初期出力は1出力	コンペアマッチで0出力
					1	コンペア	コンペアマッチで1出力	コンペアマッチで1出力
					1	レジスタ*2	コンペアマッチでトグル出力	コンペアマッチでトグル出力
	1	0	0	0	TGR3Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCD3端子	立ち下がりエッジでインプットキャプチャ
					1	キャプチャ	キャプチャ	両エッジでインプットキャプチャ
					1	レジスタ*2	キャプチャ入力元は	TCNT4のカウンタアップ/カウンタダウン
					チャネル4/カウンタクロック	でインプットキャプチャ*1		

* : Don't care

【注】 *1 TCR4のTPSC2~TPSC0ビットをB'000とし、TCNT4のカウンタクロックにφ/1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR3のBFBビットを1にセットしてTGR3Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FE84 : タイマインタラプトイネーブルレジスタ 3 TIER3 : TPU3

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	—	—	R/W	R/W	R/W	R/W	R/W

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

0	TGFCビットによる割り込み要求 (TGIC) を禁止
1	TGFCビットによる割り込み要求 (TGIC) を許可

0	TGFDビットによる割り込み要求 (TGID) を禁止
1	TGFDビットによる割り込み要求 (TGID) を許可

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FE85 : タイマステータスレジスタ 3 TSR3 : TPU3

ビット :	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

TGRAインพุットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGI A割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインพุットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGI B割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

TGRCインพุットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGI C割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFC=1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき (2) TGRCがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

TGRDインพุットキャプチャ/アウトプットコンペアフラグ

0	[クリア条件] (1) TGI D割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき (2) TGRDがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

オーバーフローフラグ

0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE86 : タイマカウンタ 3 TCNT3 : TPU3

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップカウンタ

H'FE88 : タイマジェネラルレジスタ 3A TGR3A : TPU3

H'FE8A : タイマジェネラルレジスタ 3B TGR3B : TPU3

H'FE8C : タイマジェネラルレジスタ 3C TGR3C : TPU3

H'FE8E : タイマジェネラルレジスタ 3D TGR3D : TPU3

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE90 : タイマコントロールレジスタ 4 TCR4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケーラ

0	0	内部クロック : $\phi/1$ でカウント
	1	内部クロック : $\phi/4$ でカウント
1	0	内部クロック : $\phi/16$ でカウント
	1	内部クロック : $\phi/64$ でカウント
1	0	外部クロック : TCLKA端子入力でカウント
	1	外部クロック : TCLKC端子入力でカウント
1	0	内部クロック : $\phi/1024$ でカウント
	1	TCNT5のオーバフロー/アンダフローでカウント

【注】 チャンネル4が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 チャンネル4が位相計数モード時、この設定は無効になります。

内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は、本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】 * 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FE91 : タイマモードレジスタ 4 TMDR4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1		リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	—

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FE92 : タイマ I/O コントロールレジスタ 4 TIOR4 : TPU4

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR4A I/Oコントロール

0	0	0	0	0	TGR4Aは	出力禁止			
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
					1	0	コンペア	コンペアマッチで1出力	
					1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0	0	TGR4Aは	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
						1	0	コンペアマッチで1出力	
						1	コンペアマッチでトグル出力		
	1	0	0	0	0	TGR4Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
						1	インプット	TIOCA4端子	立ち下がりエッジでインプットキャプチャ
						1	*	キャプチャ	両エッジでインプットキャプチャ
						1	*	レジスタ	キャプチャ入力元は TGR3Aのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

* : Don't care

TGR4B I/Oコントロール

0	0	0	0	0	TGR4Bは	出力禁止			
					1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
					1	0	コンペア	コンペアマッチで1出力	
					1	レジスタ	コンペアマッチでトグル出力		
	1	0	0	0	0	TGR4Bは	出力禁止		
						1	初期出力は1出力	コンペアマッチで0出力	
						1	0	コンペアマッチで1出力	
						1	コンペアマッチでトグル出力		
	1	0	0	0	0	TGR4Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
						1	インプット	TIOCB4端子	立ち下がりエッジでインプットキャプチャ
						1	*	キャプチャ	両エッジでインプットキャプチャ
						1	*	レジスタ	キャプチャ入力元は TGR3Cのコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

* : Don't care

H'FE94 : タイマインタラプトイネーブルレジスタ 4 TIER4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	—	R/W	R/W	—	—	R/W	R/W

TGRインタラプトイネーブルA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル	
0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FE95 : タイマステータスレジスタ 4 TSR4 : TPU4

ビット :	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ	
0	[クリア条件] TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FE96 : タイマカウンタ 4 TCNT4 : TPU4

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップ/ダウンカウンタ*

【注】 * 位相係数モード、他のチャンネルのオーバフロー/アンダフローのカウント時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FE98 : タイマジェネラルレジスタ 4A TGR4A : TPU4

H'FE9A : タイマジェネラルレジスタ 4B TGR4B : TPU4

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FEA0 : タイマコントロールレジスタ 5 TCR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケーラ

0	0	0	内部クロック : $\phi/1$ でカウント
		1	内部クロック : $\phi/4$ でカウント
	1	0	内部クロック : $\phi/16$ でカウント
		1	内部クロック : $\phi/64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKC端子入力でカウント
	1	0	内部クロック : $\phi/256$ でカウント
		1	外部クロック : TCLKD端子入力でカウント

【注】 チャンネル5が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 チャンネル5が位相計数モード時、この設定は無効になります。

内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー／アンダフローを選択した場合は、本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】 * 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FEA1 : タイマモードレジスタ 5 TMDR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1		リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	—

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FEA2 : タイマ I/O コントロールレジスタ 5 TIOR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR5A I/Oコントロール

0	0	0	0	TGR5Aは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
		1	0	0	レジスタ	コンペアマッチでトグル出力
				1	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
	1	0	0		コンペアマッチで1出力	
			1	コンペアマッチでトグル出力		
			1			
	1	*	0	0	TGR5Aは	キャプチャ入力元は
				1	インプット	立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	TIOCA5端子
1		*	1	*	レジスタ	両エッジでインプットキャプチャ

* : Don't care

TGR5B I/Oコントロール

0	0	0	0	TGR5Bは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
		1	0	0	レジスタ	コンペアマッチでトグル出力
				1	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
	1	0	0		コンペアマッチで1出力	
			1	コンペアマッチでトグル出力		
			1			
	1	*	0	0	TGR5Bは	キャプチャ入力元は
				1	インプット	立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	TIOCB5端子
1		*	1	*	レジスタ	両エッジでインプットキャプチャ

* : Don't care

H'FEA4 : タイマインタラプトイネーブルレジスタ 5 TIER5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	—	R/W	R/W	—	—	R/W	R/W

TGRインタラプトイネーブルA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル	
0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FEA5 : タイマステータスレジスタ 5 TSR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ	
0	[クリア条件] TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FEA6 : タイマカウンタ 5 TCNT5 : TPU5

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アップ/ダウンカウンタ*

【注】 * 位相係数モード、他のチャンネルのオーバフロー/アンダフローのカウント時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FEA8 : タイマジェネラルレジスタ 5A TGR5A : TPU5

H'FEAA : タイマジェネラルレジスタ 5B TGR5B : TPU5

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FEB0 : ポート 1 データディレクションレジスタ P1DDR : ポート 1

ビット	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポート 1 の各端子の入出力を指定

H'FEB1 : ポート 2 データディレクションレジスタ P2DDR : ポート 2

ビット	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポート 2 の各端子の入出力を指定

H'FEB2 : ポート 3 データディレクションレジスタ P3DDR : ポート 3

ビット	7	6	5	4	3	2	1	0
	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値	不定	不定	0	0	0	0	0	0
R/W	-	-	W	W	W	W	W	W

ポート 3 の各端子の入出力を指定

H'FEB9 : ポート A データディレクションレジスタ PADDR : ポート A

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	W	W	W	W

ポート A 各端子の入出力を指定

H'FEBA : ポート B データディレクションレジスタ PBDDR : ポート B

ビット	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポート B の各端子の入出力を指定

H'FEBC : ポート C データディレクションレジスタ PCDDR : ポート C

ビット	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポート C の各端子の入出力を指定

H'FEBC : ポート D データディレクションレジスタ PDDDR : ポート D

ビット	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポート D の各端子の入出力を指定

H'FEBD : ポート E データディレクションレジスタ PEDDR : ポート E

ビット	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポート E の各端子の入出力を指定

H'FEBE : ポート F データディレクションレジスタ PFDDR : ポート F

ビット	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
モード 4~6*	初期値	1	0	0	0	0	0	0
	R/W	W	W	W	W	W	W	W
モード 7*	初期値	0	0	0	0	0	0	0
	R/W	W	W	W	W	W	W	W

ポート F の各端子の入出力を指定

【注】 * ROM なし版ではモード 6、7 は使用できません。

H'FEBF : ポート G データディレクションレジスタ PGDDR : ポート G

ビット	7	6	5	4	3	2	1	0
	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR
モード 4、5	初期値	不定	不定	1	0	0	0	0
	R/W	-	-	W	W	W	W	W
モード 6、7*	初期値	不定	不定	0	0	0	0	0
	R/W	-	-	W	W	W	W	W

ポート G の各端子の入出力を指定

【注】 * ROM なし版ではモード 6、7 は使用できません。

H'FEC4 : インタラプトプライオリティレジスタ A IPRA : 割り込みコントローラ
 H'FEC5 : インタラプトプライオリティレジスタ B IPRB : 割り込みコントローラ
 H'FEC6 : インタラプトプライオリティレジスタ C IPRC : 割り込みコントローラ
 H'FEC7 : インタラプトプライオリティレジスタ D IPRD : 割り込みコントローラ
 H'FEC8 : インタラプトプライオリティレジスタ E IPRE : 割り込みコントローラ
 H'FEC9 : インタラプトプライオリティレジスタ F IPRF : 割り込みコントローラ
 H'FECA : インタラプトプライオリティレジスタ G IPRG : 割り込みコントローラ
 H'FECB : インタラプトプライオリティレジスタ H IPRH : 割り込みコントローラ
 H'FECC : インタラプトプライオリティレジスタ I IPRI : 割り込みコントローラ
 H'FECD : インタラプトプライオリティレジスタ J IPRJ : 割り込みコントローラ
 H'FECE : インタラプトプライオリティレジスタ K IPRK : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	—	R/W	R/W	R/W	—	R/W	R/W	R/W

割り込み要因の優先順位（レベル7～0）の設定

各割り込み要因とIPRの対応

レジスタ	ビット	
	6～4	2～0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	IRQ6	DTC
	IRQ7	
IPRD	WDT	—*
IPRE	—*	A/D変換器
IPRF	TPUチャンネル0	TPUチャンネル1
IPRG	TPUチャンネル2	TPUチャンネル3
IPRH	TPUチャンネル4	TPUチャンネル5
IPRI	8ビットタイマチャンネル0	8ビットタイマチャンネル1
IPRJ	—*	SCIチャンネル0
IPRK	SCIチャンネル1	—*

【注】 * リザーブビットです。

H'FED0 : バス幅コントロールレジスタ ABWCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0

モード5~7*

初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モード4

初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0バス幅コントロール

0	エリアnを16ビットアクセス空間に設定
1	エリアnを8ビットアクセス空間に設定

(n=7~0)

【注】 * モード 6、7 は ROM なし版では使用できません。

H'FED1 : アクセスステートコントロールレジスタ ASTCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0アクセスステートコントロール

0	エリアnを2ステートアクセス空間に設定 エリアnの外部空間アクセスにウェイトステートの挿入を禁止
1	エリアnの外部空間アクセスは3ステートアクセス エリアnの外部空間アクセスにウェイトステートの挿入を許可

(n=7~0)

H'FED2 : ウェイトコントロールレジスタ H WCRH : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア4ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア5ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア6ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア7ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

H'FED3 : ウェイトコントロールレジスタ L WCRL : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア0ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア1ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア2ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア3ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

H'FED4 : バスコントロールレジスタ H BCRH : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	—	—
初期値 :	1	1	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
0をライト

バーストサイクルセレクト0

0	バーストアクセスは最大4ワード
1	バーストアクセスは最大8ワード

バーストサイクルセレクト1

0	バーストサイクルは1ステート
1	バーストサイクルは2ステート

エリア0バーストROMイネーブル

0	基本バスインタフェース
1	バーストROMインタフェース

アイドルサイクル挿入0

0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する

アイドルサイクル挿入1

0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する

H'FED5 : バスコントロールレジスタ L BCRL : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	BRLE	BREQOE	EAE	—	—	—	—	WAITE
初期値 :	0	0	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

外部アドレスイネーブル	
0	アドレスH'010000~H'03FFFF*2は、 ・ H8S/2319、H8S/2319C、H8S/2315、H8S/2314では内蔵ROM ・ H8S/2318では内蔵ROM ・ H8S/2317、H8S/2317SではアドレスH'010000~H'01FFFFは内蔵ROM、 アドレスH'020000~H'03FFFFはリザーブ領域*1 ・ H8S/2316Sではリザーブ領域*1
1	アドレスH'010000~H'03FFFF*2は ・ 外部拡張モードの場合、外部アドレス ・ シングルチップモードの場合、リザーブ領域*1

【注】 *1 リザーブ領域はアクセスしないでください。
*2 H8S/2318は、H'010000~H'03FFFFになります。
H8S/2315、H8S/2314はH'010000~H'05FFFFになります。
H8S/2319、H8S/2319CはH'010000~H'07FFFFになります。

BREQO端子イネーブル	
0	BREQO出力禁止
1	BREQO出力許可

バスリリースイネーブル	
0	外部バス権の解放を禁止
1	外部バス権の解放を許可

WAIT端子イネーブル	
0	WAIT端子によるウェイト入力を禁止
1	WAIT端子によるウェイト入力を許可

リザーブビット
0をライト

リザーブビット
1をライト

H'FEDB : RAM エミュレーションレジスタ RAMER :
FLASH (F-ZTAT 版のみ有効*)

	7	6	5	4	3	2	1	0
ビット	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0
R/W	—	—	—	—	R/W	R/W	R/W	R/W

RAMセレクト、フラッシュメモリエリア選択

RAMS	RAM2	RAM1	RAM0	RAMエリア	ブロック名
0	*	*	*	H'FFDC00~H'FFEBFF	RAMエリア4k バイト
1	0	0	0	H'000000~H'000FFF	EB0 (4k バイト)
1	0	0	1	H'001000~H'001FFF	EB1 (4k バイト)
1	0	1	0	H'002000~H'002FFF	EB2 (4k バイト)
1	0	1	1	H'003000~H'003FFF	EB3 (4k バイト)
1	1	0	0	H'004000~H'004FFF	EB4 (4k バイト)
1	1	0	1	H'005000~H'005FFF	EB5 (4k バイト)
1	1	1	0	H'006000~H'006FFF	EB6 (4k バイト)
1	1	1	1	H'007000~H'007FFF	EB7 (4k バイト)

* Don't care

【注】 * ただし、H8S/2314 F-ZTATは使用できません。アクセスしないでください。

H'FF2C : IRQ センスコントロールレジスタ H ISCRH : 割り込みコントローラ
H'FF2D : IRQ センスコントロールレジスタ L ISCR L : 割り込みコントローラ

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↓
IRQ7~IRQ4センスコントロールA、B

ISCR L

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↓
IRQ3~IRQ0センスコントロールA、B

IRQnSCB	IRQnSCA	割り込み要求の発生
0	0	$\overline{\text{IRQn}}$ 入力のLowレベル
	1	$\overline{\text{IRQn}}$ 入力の立ち下がリエッジ
1	0	$\overline{\text{IRQn}}$ 入力の立ち上がリエッジ
	1	$\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がり両エッジ

(n=7~0)

H'FF2E : IRQ イネーブルレジスタ IER : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQnイネーブル

0	IRQn割り込みを禁止
1	IRQn割り込みを許可

(n=7~0)

H'FF2F : IRQ ステータスレジスタ ISR : 割り込みコントローラ

ビット	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ7 ~ IRQ0 割り込み要求のステータス表示

ビット n	説明
IRQnF	
0	<p>[クリア条件] (初期値)</p> <p>(1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき</p> <p>(2) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、または IRQnSCA = 1) の状態で IRQn 割り込み例外処理を実行したとき</p> <p>(4) IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき</p>
1	<p>[セット条件]</p> <p>(1) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力が高レベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

(n=7~0)

H'FF30 ~ H'FF34 : DTC イネーブルレジスタ DTCE0 : DTCE7

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTC起動イネーブル

0	割り込みによるDTC起動を禁止 [クリア条件] ・ DISELビットが1でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき
1	割り込みによるDTC起動を許可 [保持条件] DISELビットが0で、指定した回数の転送が終了していないとき

割り込み要因と DTCE0 の対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
DTCE0	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
DTCE1		ADI	TGI0A	TGI0B	TGI0C	TGI0D	TGI1A	TGI1B
DTCE2	TGI2A	TGI2B	TGI3A	TGI3B	TGI3C	TGI3D	TGI4A	TGI4B
DTCE3			TGI5A	TGI5B	CMIA0	CMIB0	CMIA1	CMIB1
DTCE4					RXI0	TXI0	RXI1	TXI1

【注】 DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。
ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

H'FF37 : DTC ベクタレジスタ DTVECR : DTC

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

DTCソフトウェア起動のベクタ番号を設定

DTCソフトウェア起動イネーブル

0	<p>DTCソフトウェア起動を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ・ DISELビットが0で、指定した回数の転送が終了していないとき ・ CPUに対し、ソフトウェア起動データ転送終了割り込み (SWDTEND) が要求された後、0をライトしたとき
1	<p>DTCソフトウェア起動を許可</p> <p>[保持条件]</p> <ul style="list-style-type: none"> ・ DISELビットが1でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき ・ ソフトウェア起動によるデータ転送中

【注】 * DTVEC6~DTVEC0ビットは、SWDTE=0のときライト可能です。

H'FF38 : スタンバイコントロールレジスタ SBYCR : 低消費電力

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	—	—	IRQ37S
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	—	—	R/W

IRQ37ソフトウェアスタンバイ解除セレクト

0	IRQ3~IRQ7をソフトウェアスタンバイモードの解除要因として使用できない
1	IRQ3~IRQ7をソフトウェアスタンバイモードの解除要因として使用できる

出力ポートイネーブル

0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持

スタンバイタイムセレクト

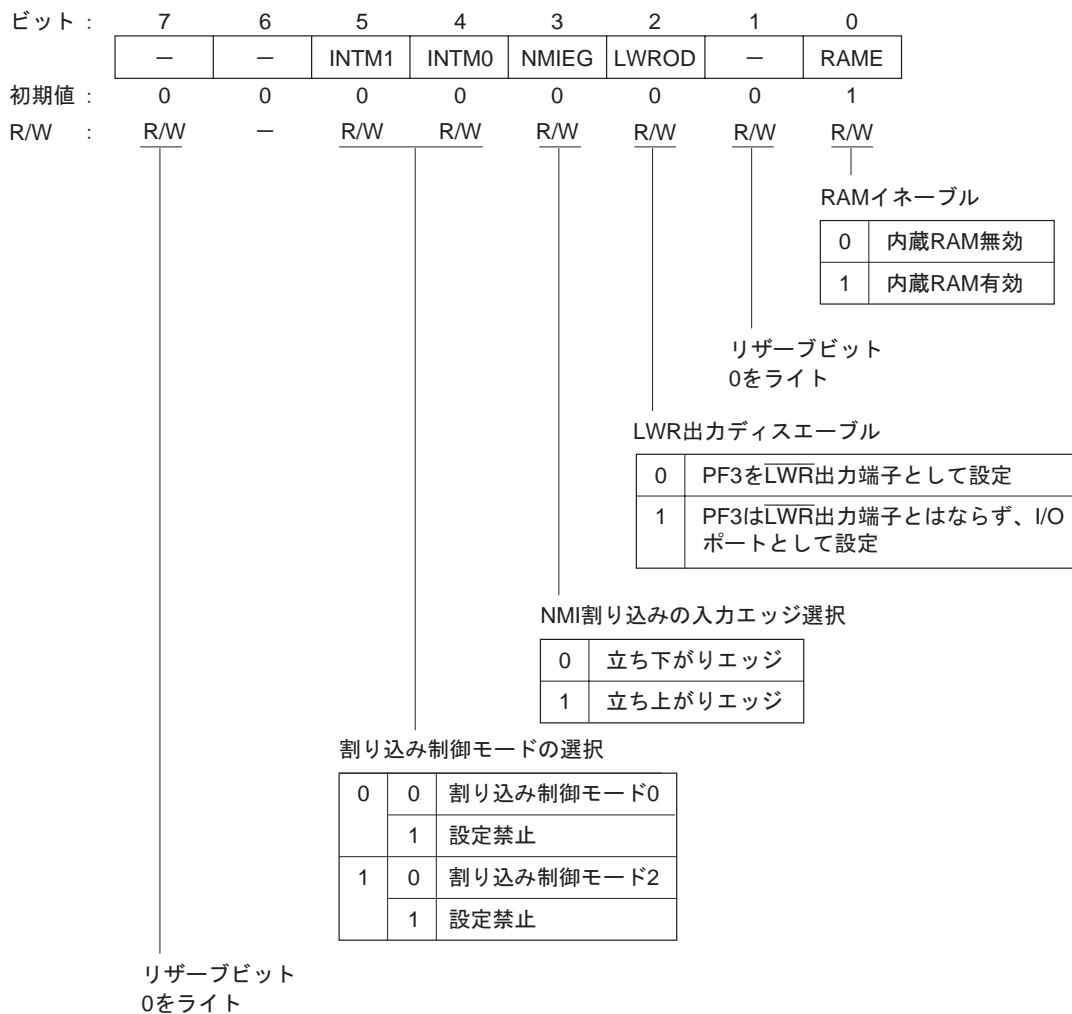
0	0	0	待機時間 = 8192 ステート
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート*

【注】* F-ZTAT版では、使用できません。

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

H'FF39 : システムコントロールレジスタ SYSCR : MCU



H'FF3A : システムクロックコントロールレジスタ SCKCR : クロック発振器

ビット :	7	6	5	4	3	2	1	0
	PSTOP	—	DIV	—	—	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	—	—	R/W	R/W	R/W

分周比セレクト

リザーブビット
0をライト

システムクロックセレクト

			DIV=0	DIV=1
0	0	0	バスマスタは高速モード	バスマスタは高速モード
		1	中速クロックは $\phi/2$	LSI全体に供給されるクロックは $\phi/2$
	1	0	中速クロックは $\phi/4$	LSI全体に供給されるクロックは $\phi/4$
		1	中速クロックは $\phi/8$	LSI全体に供給されるクロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$	—
		1	中速クロックは $\phi/32$	—
	1	—	—	—

ϕ クロック出力制御

PSTOP	通常動作状態	スリープモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
0	ϕ 出力	ϕ 出力	Highレベル固定	ハイインピーダンス
1	Highレベル固定	Highレベル固定	Highレベル固定	ハイインピーダンス

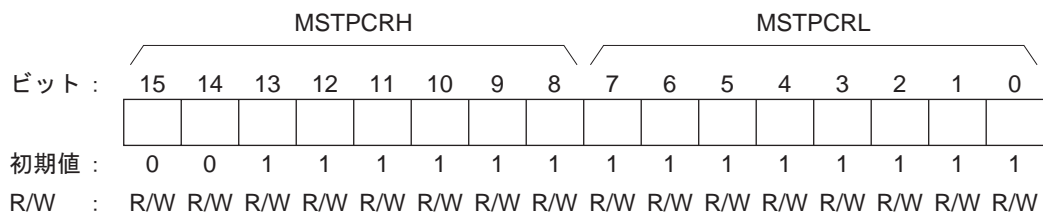
H'FF3B : モードコントロールレジスタ MDCCR : MCU

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値	1	0	0	0	0	- *	- *	- *
R/W	-	-	-	-	-	R	R	R

モード端子の現在の動作モード

【注】 * MD2~MD0 端子により決定されます。

H'FF3C : モジュールストップコントロールレジスタ H MSTPCRH : 低消費電力
 H'FF3D : モジュールストップコントロールレジスタ L MSTPCRL : 低消費電力



モジュールストップモードを指定

0	モジュールストップモード解除
1	モジュールストップモード設定

MSTPビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCRH	MSTP15	—
	MSTP14	DTC
	MSTP13	TPU
	MSTP12	8ビットタイマ
	MSTP11	—
	MSTP10	D/A
	MSTP9	A/D
	MSTP8	—
MSTPCRL	MSTP7	—
	MSTP6	SCI1
	MSTP5	SCI0
	MSTP4	—
	MSTP3	—
	MSTP2	—
	MSTP1	—
	MSTP0	—

H'FF42 : システムコントロールレジスタ 2 SYSCR2 : FLASH (F-ZTAT 版のみ有効)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	FLSHE	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	—	—	— (R/W)

H8S/2319、
H8S/2319Cのと
きリザーブビッ
トになります。
0をライトして
ください。

フラッシュメモリコントロールレジスタイネーブル

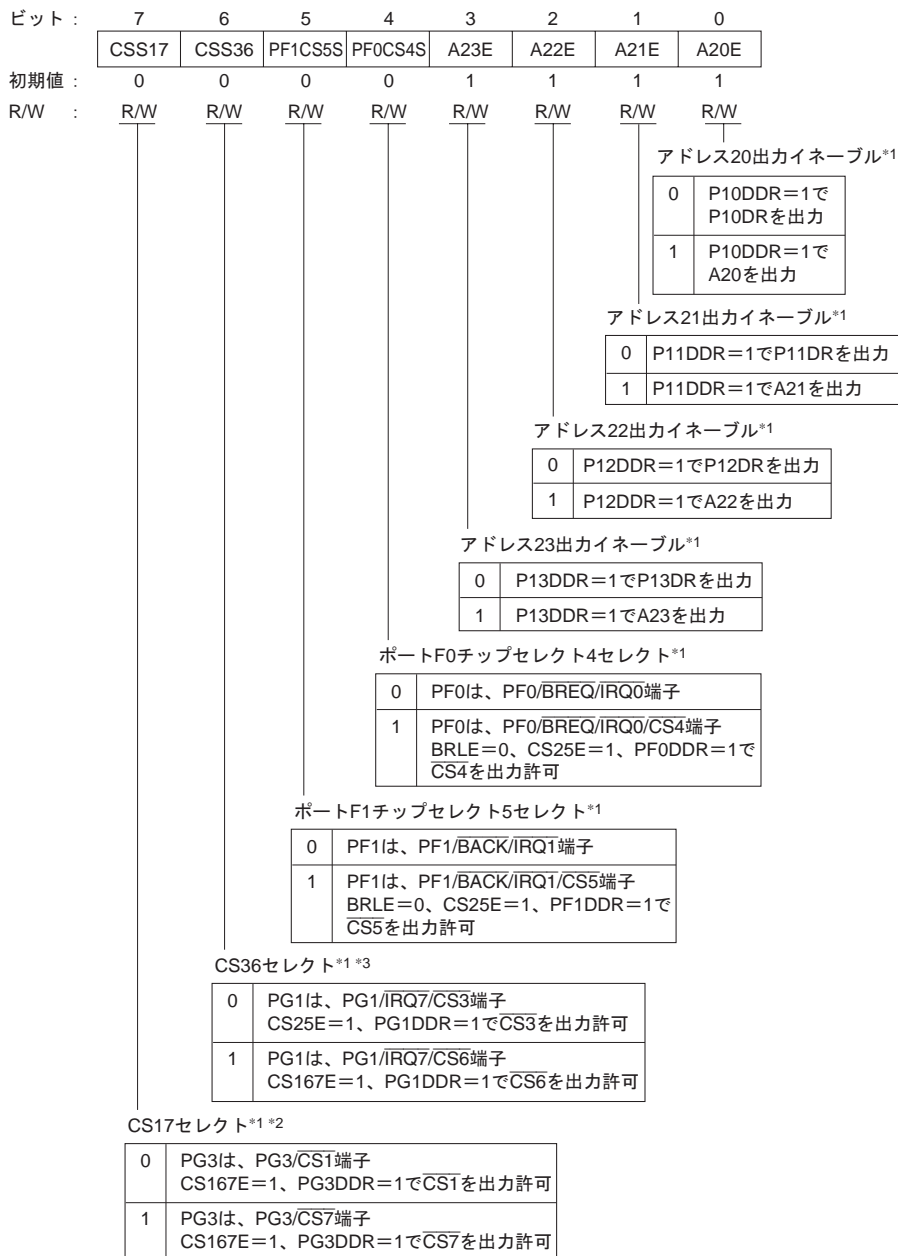
0	<p>H8S/2319 F-ZTAT、H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、 H8S/2315 F-ZTAT、H8S/2314 F-ZTATの場合 :</p> <ul style="list-style-type: none"> ・アドレスH'FFFFC8~H'FFFFCBのエリアはフラッシュ制御レジスタを非選択 <p>H8S/2319C F-ZTATの場合 :</p> <ul style="list-style-type: none"> ・アドレスH'FFFFC4~H'FFFFCFのエリアはフラッシュ制御レジスタを非選択
1	<p>H8S/2319 F-ZTAT、H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、 H8S/2315 F-ZTAT、H8S/2314 F-ZTATの場合 :</p> <ul style="list-style-type: none"> ・アドレスH'FFFFC8~H'FFFFCBのエリアはフラッシュ制御レジスタを選択 <p>H8S/2319C F-ZTATの場合 :</p> <ul style="list-style-type: none"> ・アドレスH'FFFFC4~H'FFFFCFのエリアはフラッシュ制御レジスタを選択

H'FF44 : リザーブレジスタ

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値	0	0	0	0	0	0	0	0
R/W	-	-	R/W	-	-	-	-	-

リザーブビット
0をライト

H'FF45 : ポートファクションコントロールレジスタ1 PF0CR1 : ポート



【注】 *1 モード4~6のとき有効となります。
 *2 PG3DDRを0にクリアしてCSS17を切り替えてください。
 *3 PG1DDRを0にクリアしてCSS36を切り替えてください。

H'FF50 : ポート 1 レジスタ PORT1 : ポート 1

ビット	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート 1 の各端子の状態

【注】 * P17 ~ P10 端子の状態により決定されます。

H'FF51 : ポート 2 レジスタ PORT2 : ポート 2

ビット	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート 2 の各端子の状態

【注】 * P27 ~ P20 端子の状態により決定されます。

H'FF52 : ポート 3 レジスタ PORT3 : ポート 3

ビット	7	6	5	4	3	2	1	0
	-	-	P35	P34	P33	P32	P31	P30
初期値	不定	不定	- *	- *	- *	- *	- *	- *
R/W	-	-	R	R	R	R	R	R

ポート 3 の各端子の状態

【注】 * P35 ~ P30 端子の状態により決定されます。

H'FF53 : ポート 4 レジスタ PORT4 : ポート 4

ビット	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート 4 の各端子の状態

【注】 * P47 ~ P40 端子の状態により決定されます。

H'FF59 : ポート A レジスタ PORTA : ポート A

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3	PA2	PA1	PA0
初期値	不定	不定	不定	不定	- *	- *	- *	- *
R/W	-	-	-	-	R	R	R	R

ポート A の各端子の状態

【注】 * PA3 ~ PA0 端子の状態により決定されます。

H'FF5A : ポート B レジスタ PORTB : ポート B

ビット	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート B の各端子の状態

【注】 * PB7 ~ PB0 端子の状態により決定されます。

H'FF5B : ポート C レジスタ PORTC : ポート C

ビット	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート C の各端子の状態

【注】 * PC7 ~ PC0 端子の状態により決定されます。

H'FF5C : ポート D レジスタ PORTD : ポート D

ビット	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート D の各端子の状態

【注】 * PD7 ~ PD0 端子の状態により決定されます。

H'FF5D : ポート E レジスタ PORTE : ポート E

ビット	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート E の各端子の状態

【注】 * PE7 ~ PE0 端子の状態により決定されます。

H'FF5E : ポート F レジスタ PORTF : ポート F

ビット	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値	- *	- *	- *	- *	- *	- *	- *	- *
R/W	R	R	R	R	R	R	R	R

ポート F の各端子の状態

【注】 * PF7 ~ PF0 端子の状態により決定されます。

H'FF5F : ポート G レジスタ PORTG : ポート G

ビット	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値	不定	不定	不定	- *	- *	- *	- *	- *
R/W	-	-	-	R	R	R	R	R

ポート G の各端子の状態

【注】 * PG4 ~ PG0 端子の状態により決定されます。

H'FF60 : ポート 1 データレジスタ P1DR : ポート 1

ビット	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 1 の各端子 (P17 ~ P10) の出力データを格納

H'FF61 : ポート 2 データレジスタ P2DR : ポート 2

ビット	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 2 の各端子 (P27 ~ P20) の出力データを格納

H'FF62 : ポート 3 データレジスタ P3DR : ポート 3

ビット	7	6	5	4	3	2	1	0
	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値	不定	不定	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

ポート 3 の各端子 (P35 ~ P30) のデータを格納

H'FF69 : ポート A データレジスタ PADR : ポート A

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

ポート A の各端子 (PA3 ~ PA0) の出力データを格納

H'FF6A : ポート B データレジスタ PBDR : ポート B

ビット	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B の各端子 (PB7 ~ PB0) の出力データを格納

H'FF6B : ポート C データレジスタ PCDR : ポート C

ビット	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C の各端子 (PC7 ~ PC0) の出力データを格納

H'FF6C : ポート D データレジスタ PDDR : ポート D

ビット	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D の各端子 (PD7 ~ PD0) の出力データを格納

H'FF6D : ポート E データレジスタ PEDR : ポート E

ビット	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E の各端子 (PE7 ~ PE0) の出力データを格納

H'FF6E : ポート F データレジスタ PFDR : ポート F

ビット	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F の各端子 (PF7 ~ PF0) の出力データを格納

H'FF6F : ポート G データレジスタ PGDR : ポート G

ビット	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値	不定	不定	不定	0	0	0	0	0
R/W	-	-	-	R/W	R/W	R/W	R/W	R/W

ポート G の各端子 (PG4 ~ PG0) の出力データを格納

H'FF70 : ポート A プルアップ MOS コントロールレジスタ PAPCR : ポート A

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

ポート A に内蔵された入力プルアップ MOS をビットごとに制御

H'FF71 : ポート B プルアップ MOS コントロールレジスタ PBPCR : ポート B

ビット	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B に内蔵された入力プルアップ MOS をビットごとに制御

H'FF72 : ポート C プルアップ MOS コントロールレジスタ PCPCR : ポート C

ビット	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート C に内蔵された入力プルアップ MOS をビットごとに制御

H'FF73 : ポート D プルアップ MOS コントロールレジスタ PDPCR : ポート D

ビット	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D に内蔵された入力プルアップ MOS をビットごとに制御

H'FF74 : ポート E プルアップ MOS コントロールレジスタ PEPCR : ポート E

ビット	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E に内蔵された入力プルアップ MOS をビットごとに制御

H'FF76 : ポート 3 オープンドレインコントロールレジスタ P3ODR : ポート 3

ビット	7	6	5	4	3	2	1	0
	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P35ODR	P30ODR
初期値	不定	不定	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

ポート 3 の各端子 (P35 ~ P30) の PMOS のオン / オフを制御

H'FF77 : ポート A オープンドレインコントロールレジスタ PAODR : ポート A

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値	不定	不定	不定	不定	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

ポート A の各端子 (PA3 ~ PA0) の PMOS の
オン / オフを制御

H'FF78 : シリアルモードレジスタ 0 SMR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	ϕ クロック
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】* PEビットに1をセットすると、送信時にはO/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。また、LSBファースト/MSBファーストの選択はできません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード

H'FF78 : シリアルモードレジスタ 0 SMR0 : スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/E	BCP1	BCP0	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

基本クロックパルス

BCP1	BCP0	基本クロックパルス
0	0	32クロック
	1	64クロック
1	0	372クロック
	1	256クロック

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティイネーブル

(スマートカードインタフェースを使用する場合は、1をセットしてください)

0	設定禁止
1	パリティビットの付加、およびチェックを許可

ブロック転送モード選択

0	通常のスマートカードインタフェースモード
1	ブロック転送モード

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etu (ブロック転送モードの時は11.5etu) のタイミングで発生 (2) クロック出力のON/OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON/OFF制御のほか、High/Low固定制御可能 (SCRで設定)

【注】 etu (Elementary Time Unit) : 1ビットの転送期間

H'FF79 : ビットレートレジスタ 0 BRR0 : SCIO、
スマートカードインタフェース 0

ビット	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信/受信のビットレートを設定

【注】 詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF7A : シリアルコントロールレジスタ 0 SCR0 : SCIO

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックインネーブル

0	0	調歩同期式モード クロック同期式モード	内部クロック/SCK端子は入力ポート 内部クロック/SCK端子は同期 クロック出力
	1	調歩同期式モード クロック同期式モード	内部クロック/SCK端子はクロック出力 ^{*1} 内部クロック/SCK端子は同期 クロック出力
1	0	調歩同期式モード クロック同期式モード	外部クロック/SCK端子はクロック入力 ^{*2} 外部クロック/SCK端子は同期 クロック入力
	1	調歩同期式モード クロック同期式モード	外部クロック/SCK端子はクロック入力 ^{*2} 外部クロック/SCK端子は同期 クロック入力

【注】*1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプティネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセスインタラプティネーブル

0	マルチプロセス割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセス割り込み許可状態* マルチプロセスビットが1のデータを受け取るまで受信データフル 割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】* MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブインネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】*1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

トランスミットインネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】*1 SSRのTDREフラグは1に固定されます。

*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。
なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプティネーブル

0	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を許可

【注】* RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプティネーブル

0	送信データエンティ割り込み (TXI) 要求の禁止*
1	送信データエンティ割り込み (TXI) 要求の許可

【注】* TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FF7A : シリアルコントロールレジスタ 0 SCR0 : スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル				SCK端子機能の説明
SCMR	SMR	SCRの設定		
SMIF	GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入出力端子として動作
1	0	0	1	SCK出力端子としてクロック出力
1	1	0	0	SCK出力端子としてLow出力固定
1	1	0	1	SCK出力端子としてクロック出力
1	1	1	0	SCK出力端子としてHigh出力固定
1	1	1	1	SCK出力端子としてクロック出力

トランスミットエンドインタラプティネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセッサインタラプティネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】* MPB=0を含む受信データを受信しているときは、RSCRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】*1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。

*2 この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

トランスミットイネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】*1 SSRのTDREフラグは1に固定されます。

*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプティネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】* RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプティネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止*
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】* TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FF7B : トランスミットデータレジスタ 0 TDR0 : SCI0、
スマートカードインタフェース 0

ビット	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルを送信するデータを格納

H'FF7C : シリアルステータスレジスタ 0 SSR0 : SCIO

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき*
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

【注】* マルチプロセッサフォーマットでSCRのREビットを0にクリアしたときには、以前の状態を保持します。

トランスミットエンド	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき

パリティエラー	
0	[クリア条件] PER=1の状態をリードした後、0をライトしたとき ^{*1}
1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき ^{*2}

【注】*1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。
*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期モードでは、シリアル送信も続けることができません。

フレーミングエラー	
0	[クリア条件] FER=1の状態をリードした後、0をライトしたとき ^{*1}
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき ^{*2}

【注】*1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。
*2 2ストップビットモードのときは、1ビット目のストップビットが0であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期モードでは、シリアル送信も続けることができません。

オーバランエラー	
0	[クリア条件] ORER=1の状態をリードした後、0をライトしたとき ^{*1}
1	[セット条件] RDRF=1の状態での次のシリアル受信を完了したとき ^{*2}

【注】*1 SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。
*2 RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。

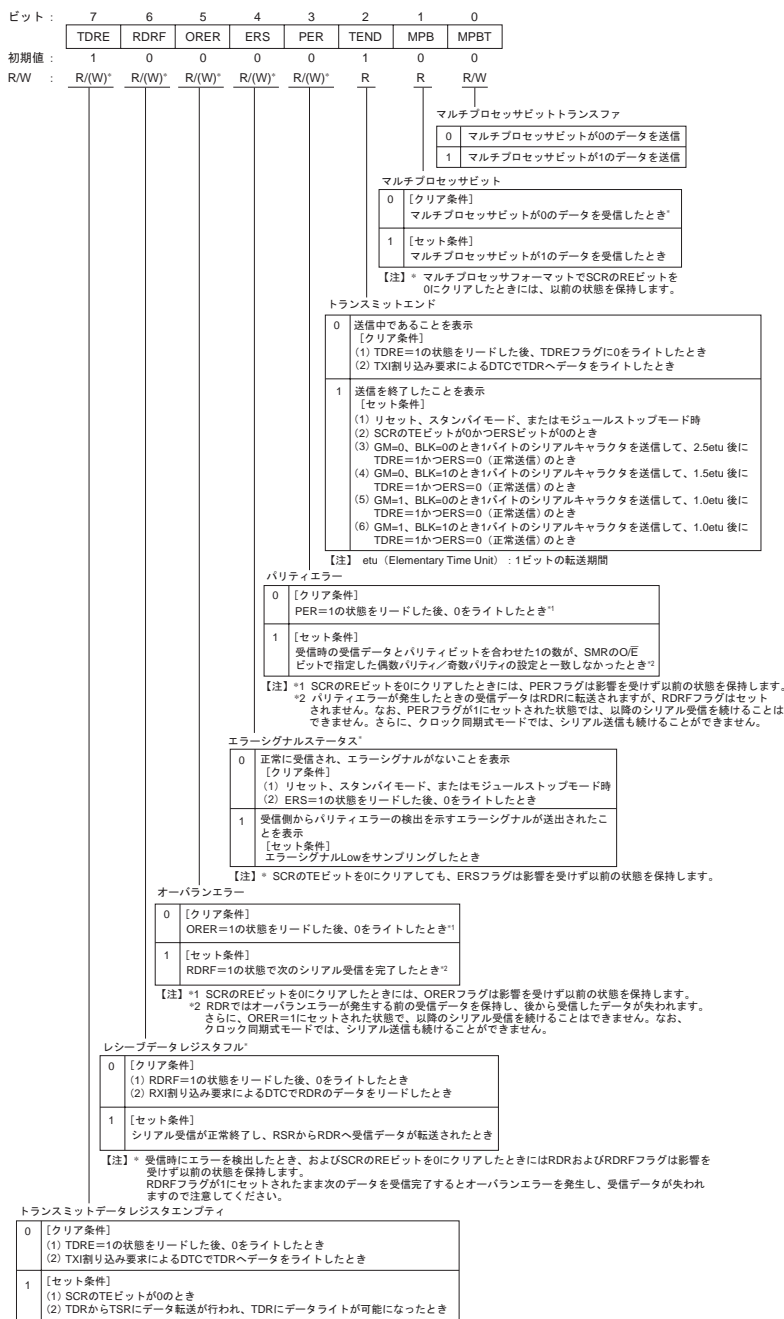
レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF=1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】* 受信時にエラーを検出したとき、およびSCRのREビットを0にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。
RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

トランスミットデータレジスタエンプティ	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRIにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF7C : シリアルステータスレジスタ 0 SSR0 : スマートカードインタフェース 0



H'FF7D : レシーブデータレジスタ 0 RDR0 : SCI0、
スマートカードインタフェース 0

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF7E : スマートカードモードレジスタ 0 SCMR0 : SCI0、
スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	SDIR	SINV	—	SMIF
R/W :	—	—	—	—	R/W	R/W	—	R/W

スマートカード
インタフェースモード選択

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF80 : シリアルモードレジスタ 1 SMR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	ϕ クロック
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】* PEビットに1をセットすると、送信時にはO/ \bar{E} ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/ \bar{E} ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。また、LSBファースト/MSBファーストの選択はできません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード

H'FF80 : シリアルモードレジスタ 1 SMR1 : スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/E	BCP1	BCP0	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

基本クロックパルス

BCP1	BCP0	基本クロックパルス
0	0	32クロック
	1	64クロック
1	0	372クロック
	1	256クロック

パリティモード

(スマートカードインタフェースを使用する場合は、1をセットしてください。)

0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティイネーブル

0	設定禁止
1	パリティビットの付加、およびチェックを許可*

【注】*PEビットに1をセットすると、送信時にはO/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ブロック転送モード選択

0	通常のスマートカードインタフェースモード
1	ブロック転送モード

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etu (ブロック転送モードの時は11.5etu) のタイミングで発生 (2) クロック出力のON/OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON/OFF制御のほか、High/Low固定制御可能 (SCRで設定)

【注】 etu (Elementary Time Unit) : 1ビットの転送期間

H'FF81 : ビットレートレジスタ1 BRR1 : SCI1、 スマートカードインタフェース1

ビット	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信/受信のビットレートを設定

【注】 詳細は「12.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF82 : シリアルコントロールレジスタ 1 SCR1 : SCI1

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード	内部クロック/SCK端子は入力ポート
	1	クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	内部クロック/SCK端子は同期クロック出力*1
	1	クロック同期式モード	内部クロック/SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK端子はクロック入力*2
	1	クロック同期式モード	外部クロック/SCK端子は同期クロック入力
1	0	調歩同期式モード	外部クロック/SCK端子は同期クロック入力*2
	1	クロック同期式モード	外部クロック/SCK端子は同期クロック入力

【注】 *1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプティネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTDREフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセッサインタラプティネーブル

0	マルチプロセッサ割り込み禁止状態 【クリア条件】 (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】 * MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。
*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

トランスミットイネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】 *1 SSRのTDREフラグは1に固定されます。
*2 この状態で、TDRIに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。
なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプティネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプティネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止*
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FF82 : シリアルコントロールレジスタ 1 SCR1 : スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル				SCK端子機能の説明
SCMR	SMR	SCRの設定		
SMIF	GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入出力端子として動作
1	0	0	1	SCK出力端子としてクロック出力
1	1	0	0	SCK出力端子としてLow出力固定
1	1	0	1	SCK出力端子としてクロック出力
1	1	1	0	SCK出力端子としてHigh出力固定
1	1	1	1	SCK出力端子としてクロック出力

トランスミットエンドインタラプティネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセッサインタラプティネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】* MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】*1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。
*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

トランスミットイネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】*1 SSRのTDREフラグは1に固定されます。
*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプティネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】* RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプティネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止*
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】* TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FF83 : トランスミットデータレジスタ 1 TDR1 : SCI1、
スマートカードインタフェース 1

ビット	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

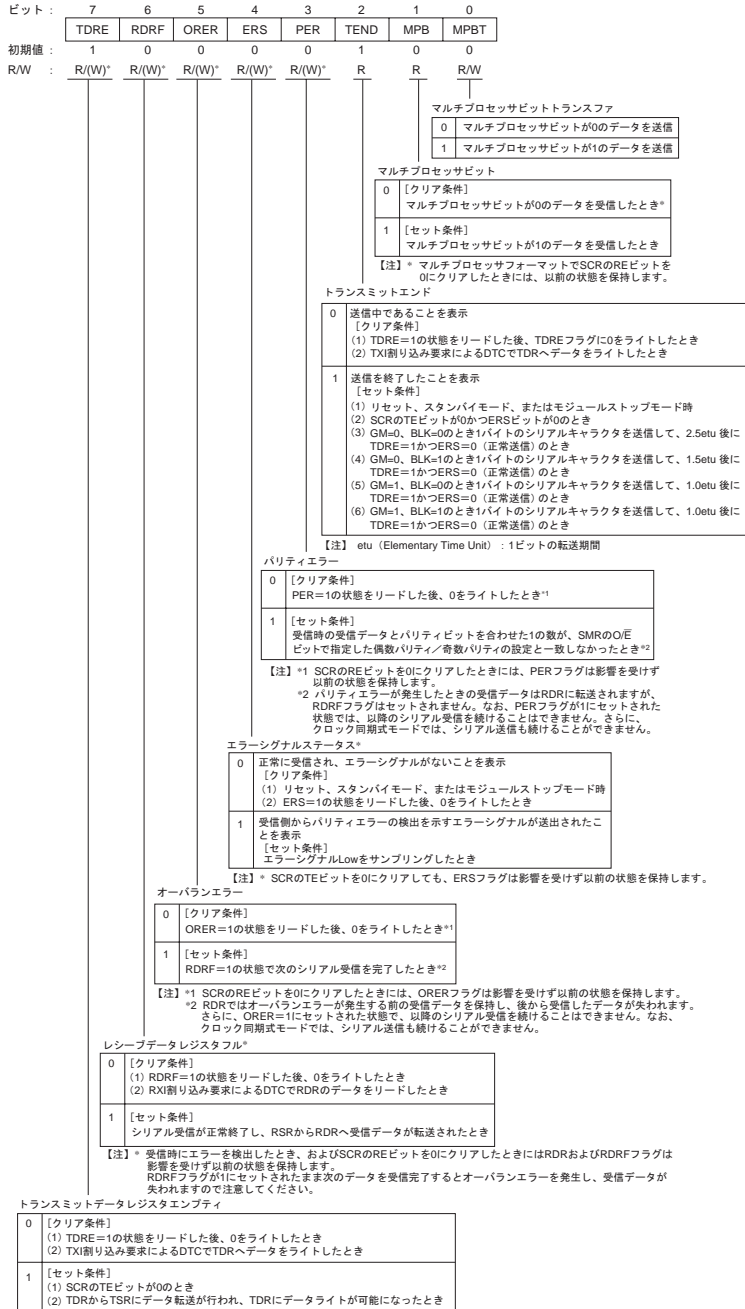
シリアル送信するデータを格納

H'FF84 : シリアルステータスレジスタ1 SSR1 : SCI1

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W
								マルチプロセッサビットトランスファ
								0 マルチプロセッサビットが0のデータを送信
								1 マルチプロセッサビットが1のデータを送信
								マルチプロセッサビット
								0 [クリア条件] マルチプロセッサビットが0のデータを受信したとき*
								1 [セット条件] マルチプロセッサビットが1のデータを受信したとき
								[注] * マルチプロセッサフォーマットでSCRのREビットを0にクリアしたときには、以前の状態を保持します。
								トランスミットエンド
								0 [クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
								1 [セット条件] (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき
								パリティエラー
								0 [クリア条件] PER=1の状態をリードした後、0をライトしたとき*
								1 [セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのOEビットで指定した偶数/パリティ/奇数パリティの設定と一致しなかったとき**
								[注] *1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。 *2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期モードでは、シリアル送信も続けることができません。
								フレーミングエラー
								0 [クリア条件] FER=1の状態をリードした後、0をライトしたとき*
								1 [セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき**
								[注] *1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。 *2 ストップビットモードのときは、1ビット目のストップビットが0であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期モードでは、シリアル送信も続けることができません。
								オーバランエラー
								0 [クリア条件] ORER=1の状態をリードした後、0をライトしたとき**
								1 [セット条件] RDRF=1の状態での次のシリアル受信を完了したとき**
								[注] *1 SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。 *2 RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。
								レシーブデータレジスタフル*
								0 [クリア条件] (1) RDRF=1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
								1 [セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき
								[注] * 受信時にエラーを検出したとき、およびSCRのREビットを0にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。 RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。
								トランスミットデータレジスタエンプティ
								0 [クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
								1 [セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

[注] * フラグをクリアするための0ライトのみ可能です。

H'FF84 : シリアルステータレジスタ1 SSR1 : スマートカードインタフェース1



H'FF85 : レシーブデータレジスタ 1 RDR1 : SCI1、 スマートカードインタフェース 1

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF86 : スマートカードモードレジスタ 1 SCMR1 : SCI1、 スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
初期値 :	—	—	—	—	SDIR	SINV	—	SMIF
R/W :	—	—	—	—	R/W	R/W	—	R/W

スマートカード
インタフェースモード選択

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF90 : A/D データレジスタ AH ADDR AH : A/D 変換器
 H'FF91 : A/D データレジスタ AL ADDR AL : A/D 変換器
 H'FF92 : A/D データレジスタ BH ADDR BH : A/D 変換器
 H'FF93 : A/D データレジスタ BL ADDR BL : A/D 変換器
 H'FF94 : A/D データレジスタ CH ADDR CH : A/D 変換器
 H'FF95 : A/D データレジスタ CL ADDR CL : A/D 変換器
 H'FF96 : A/D データレジスタ DH ADDR DH : A/D 変換器
 H'FF97 : A/D データレジスタ DL ADDR DL : A/D 変換器

ビット :

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

A/D変換された結果を格納

アナログ入力チャネル		A/Dデータレジスタ
グループ0	グループ1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

H'FF98 : A/D コントロール / ステータスレジスタ ADCSR : A/D 変換器

ビット :	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト

【注】アナログ入力チャンネルを選択します。

入力チャンネルの設定は交換停止中 (ADST=0) に行ってください。

グループ選択	チャンネル選択			説明	
CH2	CH1	CH0	シングルモード (SCAN=0)	スキャンモード (SCAN=1)	
0	0	0	AN0		AN0
		1	AN1		AN0、AN1
	1	0	AN2		AN0~AN2
		1	AN3		AN0~AN3
1	0	0	AN4		AN4
		1	AN5		AN4、AN5
	1	0	AN6		AN4~AN6
		1	AN7		AN4~AN7

クロックセレクト

CKSは、ADCRのビット3のCKS1と組み合わせて使用します。

ADCR Bit 3	Bit 3	説明
CKS1	CKS	
0	0	変換時間 = 530 ステート (Max)
	1	変換時間 = 68 ステート (Max)
1	0	変換時間 = 266 ステート (Max)
	1	変換時間 = 134 ステート (Max)

スキャンモード

0	シングルモード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) シングルモード : A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード : A/D変換を開始し、ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換

A/Dインタラプトイネーブル

0	A/D変換終了による割り込み要求を禁止
1	A/D変換終了による割り込み要求を許可

A/Dエンドフラグ

0	[クリア条件] (1) ADF=1の状態ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDTCが起動され、ADDRをリードしたとき
1	[セット条件] (1) シングルモード : A/D変換が終了したとき (2) スキャンモード : 設定されたすべてのチャンネルのA/D変換が終了したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF99 : A/D コントロールレジスタ ADCR : A/D 変換器

ビット :	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	CKS1	—	—	—
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W	R/W	—	—	R/W	R/W	—	—

リザーブビットです。
1を必ずライトしてください。

クロックセレクト

CKS1は、ADCSRのビット3のCKSと組み合わせて使用します。

ビット3	ADCSRビット3	説明
CKS1	CKS	
0	0	変換時間=530ステート (max)
	1	変換時間=68ステート (max)
1	0	変換時間=266ステート (max)
	1	変換時間=134ステート (max)

タイマトリガセレクト

TRGS1	TRGS0	説明
0	0	外部トリガによるA/D変換の開始を禁止
	1	外部トリガ (TPU) トリガによるA/D変換の開始を許可
1	0	外部トリガ (8ビットタイマ) トリガによるA/D変換の開始を許可
	1	外部トリガ端子 (ADTRG) によるA/D変換の開始を許可

H'FFA4 : D/A データレジスタ 0 DADR0 : D/A 変換器

H'FFA5 : D/A データレジスタ 1 DADR1 : D/A 変換器

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A 変換を行うデータを格納

H'FFA6 : D/A コントロールレジスタ 01 DACR01 : D/A 変換器

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	—	—	—	—	—

D/Aアウトプットイネーブル0

0	アナログ出力DA0を禁止
1	チャンネル0のD/A変換を許可。アナログ出力DA0を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA1を禁止
1	チャンネル1のD/A変換を許可。アナログ出力DA1を許可

D/A変換制御

DAOE1	DAOE0	DAE	説明
0	0	*	チャンネル0、1のD/A変換を禁止
		1	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
	1	チャンネル0、1のD/A変換を許可	
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
		1	チャンネル0、1のD/A変換を許可
	1	*	チャンネル0、1のD/A変換を許可

* : Don't care

H'FFAC : ポートファンクションコントロールレジスタ2 PFCR2 : ポート

ビット :	7	6	5	4	3	2	1	0
	—	—	CS167E	CS25E	ASOD	—	—	—
初期値 :	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R

リザーブビット
0をライト

AS出力ディスエーブル*

0	PF6を \overline{AS} 出力端子として設定
1	PF6は \overline{AS} 出力端子とはならずI/Oポートとして設定

【注】 * モード4~6のとき有効となります。

CS25イネーブル*1 *2

0	$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ の出力禁止 (I/Oポートとして使用可能)
1	$\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ の出力許可

【注】 *1 モード4~6のとき有効となります。

*2 DDRを0にクリアしてCS25Eを切り替えてください。

CS167イネーブル*1 *2

0	$\overline{CS1}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ の出力禁止 (I/Oポートとして使用可能)
1	$\overline{CS1}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ の出力許可

【注】 *1 モード4~6のとき有効となります。

*2 DDRを0にクリアしてCS167Eを切り替えてください。

H'FFB0 : タイマコントロールレジスタ 0 TCR0 :
8ビットタイマチャネル 0
H'FFB1 : タイマコントロールレジスタ 1 TCR1 :
8ビットタイマチャネル 1

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	0	クロック入力を禁止	
		1	内部クロック : φ/8立ち下がりがリエッジでカウント	
	1	0	内部クロック : φ/64立ち下がりがリエッジでカウント	
		1	内部クロック : φ/8192立ち下がりがリエッジでカウント	
	1	0	0	チャンネル0の場合 : TCNT1のオーバフロー信号でカウント* チャンネル1の場合 : TCNT0のコンペアマッチAでカウント*
			1	外部クロック : 立ち上がりエッジでカウント
		1	0	外部クロック : 立ち下がりエッジでカウント
			1	外部クロック : 立ち上がり/立ち下がり両エッジでカウント

【注】* チャンネル0のクロック入力をTCNT1のオーバフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア

0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

H'FFB2 : タイマコントロール/ステータスレジスタ0 TCSR0 :
8ビットタイマチャネル0

H'FFB3 : タイマコントロール/ステータスレジスタ1 TCSR1 :
8ビットタイマチャネル1

TCSR0 ビット :	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1 ビット :	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

アウトプットセレクト

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

A/Dトリガインエーブル (TCSR0のみ)

0	コンペアマッチAによるA/D変換開始要求を禁止
1	コンペアマッチAによるA/D変換開始要求を許可

タイマオーバフローフラグ

0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFIに0をライトしたとき
1	[セット条件] TCNTがH'FF→H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA=1の状態、CMFAをリードした後、CMFAIに0をライトしたとき (2) CMIA割り込みにより、DTCが起動され、DTCのMRBのDISELのビットが0のとき
1	[セット条件] TCNT=TCORAになったとき

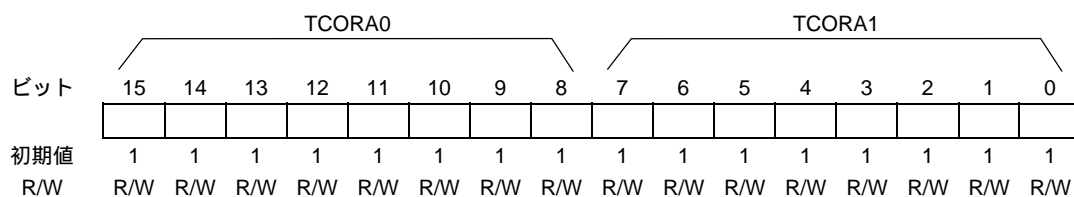
コンペアマッチフラグB

0	[クリア条件] (1) CMFB=1の状態、CMFBをリードした後、CMFBIに0をライトしたとき (2) CMIB割り込みにより、DTCが起動され、DTCのMRBのDISELのビットが0のとき
1	[セット条件] TCNT=TCORBIになったとき

[注] * ビット7~5は、フラグをクリアするための0ライトのみ可能です。

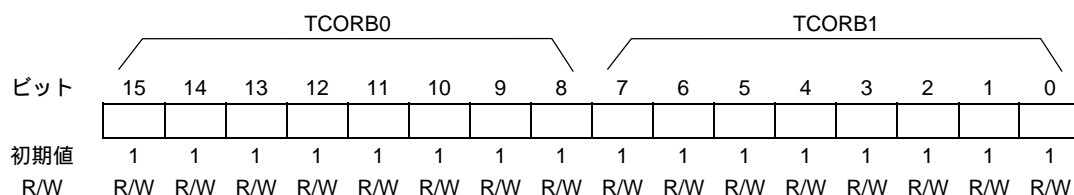
H'FFB4 : タイムコンスタントレジスタ A0 TCORA0 :
8 ビットタイマチャンネル 0

H'FFB5 : タイムコンスタントレジスタ A1 TCORA1 :
8 ビットタイマチャンネル 1



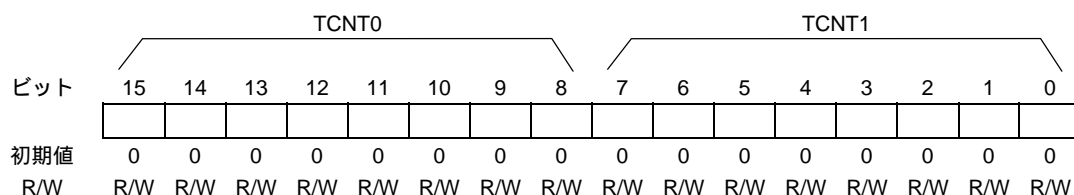
H'FFB6 : タイムコンスタントレジスタ B1 TCORB0 :
8 ビットタイマチャンネル 0

H'FFB7 : タイムコンスタントレジスタ B1 TCORB1 :
8 ビットタイマチャンネル 1



H'FFB8 : タイマカウンタ 0 TCNT0 : 8 ビットタイマチャンネル 0

H'FFB9 : タイマカウンタ 1 TCNT1 : 8 ビットタイマチャンネル 1



H'FFBC(W)、H'FFBC(R) : タイマコントロール/ステータスレジスタ TCSR : WDT

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値 :	0	0	0	1	1	0	0	0
R/W *1 :	R/(W)*2	R/W	R/W	—	—	R/W	R/W	R/W

CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (φ=20MHzの場合)
0	0	0	φ/2	25.6μs
		1	φ/64	819.2μs
	1	0	φ/128	1.6ms
		1	φ/512	6.6ms
1	0	0	φ/2048	26.2ms
		1	φ/8192	104.9ms
	1	0	φ/32768	419.4ms
		1	φ/131072	1.68s

【注】* オーバーフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

	0	1
0	TCNTをH'00に初期化し、カウント動作を停止	
1	TCNTはカウント動作	

	0	1
0	インターバルタイマモード : TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求	
1	ウォッチドッグタイマモード : TCNTがオーバーフローしたときWDTOVF信号*1を外部へ出力*2	

【注】*1 F-ZTAT版では、WDTOVF端子機能は使用できません。
*2 ウォッチドッグタイマモードのとき、TCNTがオーバーフローした場合についての詳細は「11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR) を参照してください。

	0	1
0	[クリア条件] OVF=1の状態、TCSRをリード後、OVFIに0をライトしたとき	
1	[セット条件] インターバルタイマモードで、TCNTがオーバーフロー (H'FF→H'00) したとき	

【注】*1 TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。
*2 フラグをクリアするための0ライトのみ可能です。

H'FFBC(W)、H'FFBD(R) : タイマカウンタ TCNT : WDT

ビット	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「11.2.4 レジスタアクセス時の注意」を参照してください。

H'FFBE(W)、H'FFBF(R) : リセットコントロール/ステータスレジスタ RSTCSR : WDT

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	—	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	—	—	—	—	—

リザーブビット
0をライトしてください。

リセットイネーブル

0	TCNTがオーバーフローしたとき、内部リセットしない*
1	TCNTがオーバーフローしたとき内部リセットする

【注】* 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

ウォッチドッグタイマオーバーフローフラグ

0	[クリア条件] WOVF=1の状態でもRSTCSRをリードした後、WOVFIに0をライトしたとき
1	[セット条件] ウォッチドッグタイマモードでTCNTがオーバーフロー (H'FF→H'00)したとき

【注】 RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。

詳細は「11.2.4 レジスタアクセス時の注意」を参照してください。

* フラグをクリアするための0ライトのみ可能です。

H'FFC0 : タイマスタートレジスタ TSTR : TPU

ビット :	7	6	5	4	3	2	1	0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

カウンタスタート

0	TCNTnのカウンタ動作は停止
1	TCNTnのカウンタ動作

(n=5~0)

【注】 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態ではTIOHへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

H'FFC1 : タイマシンクロレジスタ TSYR : TPU

ビット :	7	6	5	4	3	2	1	0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

タイマ同期

0	TCNTnは独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係)
1	TCNTnは同期動作 TCNTの同期プリセット/同期クリアが可能

(n=5~0)

- 【注】
1. 同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。
 2. 同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

H'FFC8 : フラッシュメモリコントロールレジスタ 1 FLMCR1 : FLASH (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値 :	1/0*	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プログラム*	
0	プログラムモードを解除
1	プログラムモードに移行 [セット条件] FWE=1、SWE=1、PSU=1のとき

【注】* 対象アドレスは、H'000000~H'03FFFF (H8S/2318 F-ZTAT)、H'000000~H'01FFFF (H8S/2317 F-ZTAT)、H'000000~H'05FFFF (H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) となります。

イレース*	
0	イレースモードを解除
1	イレースモードに移行 [セット条件] FWE=1、SWE=1、ESU=1のとき

【注】* 対象アドレスは、H'000000~H'03FFFF (H8S/2318 F-ZTAT)、H'000000~H'01FFFF (H8S/2317 F-ZTAT)、H'000000~H'05FFFF (H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) となります。

プログラムベリファイ*	
0	プログラムベリファイモードを解除
1	プログラムベリファイモードに移行 [セット条件] FWE=1、SWE=1のとき

【注】* 対象アドレスは、H'000000~H'03FFFF (H8S/2318 F-ZTAT)、H'000000~H'01FFFF (H8S/2317 F-ZTAT)、H'000000~H'05FFFF (H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) となります。

イレースベリファイ*	
0	イレースベリファイモードを解除
1	イレースベリファイモードに移行 [セット条件] FWE=1、SWE=1のとき

【注】* 対象アドレスは、H'000000~H'03FFFF (H8S/2318 F-ZTAT)、H'000000~H'01FFFF (H8S/2317 F-ZTAT)、H'000000~H'05FFFF (H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) となります。

プログラムセットアップ*	
0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] FWE=1、SWE=1のとき

【注】* 対象アドレスは、H'000000~H'03FFFF (H8S/2318 F-ZTAT)、H'000000~H'01FFFF (H8S/2317 F-ZTAT)、H'000000~H'05FFFF (H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) となります。

イレースセットアップ*	
0	イレースセットアップ解除
1	イレースセットアップ [セット条件] FWE=1、SWE=1のとき

【注】* 対象アドレスは、H'000000~H'03FFFF (H8S/2318 F-ZTAT)、H'000000~H'01FFFF (H8S/2317 F-ZTAT)、H'000000~H'05FFFF (H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) となります。

ソフトウェアライトインエーブル*	
0	書き込み無効
1	書き込み有効 [セット条件] FWE=1のとき

【注】* 対象アドレスは、H'000000~H'03FFFF (H8S/2318 F-ZTAT)、H'000000~H'01FFFF (H8S/2317 F-ZTAT)、H'000000~H'05FFFF (H8S/2315 F-ZTAT、H8S/2314 F-ZTAT) となります。

フラッシュライトインエーブル	
0	FWE端子にLowレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE端子にHighレベルが入力されているとき

【注】* FWE端子の状態により決定されます。

H'FFC8 : フラッシュメモリコントロールレジスタ 1 FLMCR1 : FLASH (H8S/2319 F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プログラム1*	
0	プログラムモードを解除
1	プログラムモードに遷移 [セット条件] SWE1=1、PSU1=1のとき

【注】* 対象アドレスは、H'000000～H'03FFFFとなります。

イレース1*	
0	イレースモードを解除
1	イレースモードに遷移 [セット条件] SWE1=1、ESU1=1のとき

【注】* 対象アドレスは、H'000000～H'03FFFFとなります。

プログラムベリファイ1*	
0	プログラムベリファイモードを解除
1	プログラムベリファイモードに遷移 [セット条件] SWE1=1のとき

【注】* 対象アドレスは、H'000000～H'03FFFFとなります。

イレースベリファイ1*	
0	イレースベリファイモードを解除
1	イレースベリファイモードに遷移 [セット条件] SWE1=1のとき

【注】* 対象アドレスは、H'000000～H'03FFFFとなります。

プログラムセットアップ1*	
0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] SWE1=1のとき

【注】* 対象アドレスは、H'000000～H'03FFFFとなります。

イレースセットアップ1*	
0	イレースセットアップ解除
1	イレースセットアップ [セット条件] SWE1=1のとき

【注】* 対象アドレスは、H'000000～H'03FFFFとなります。

ソフトウェアライトイネーブル1*	
0	書き込み無効
1	書き込み有効

【注】* 対象アドレスは、H'000000～H'03FFFFとなります。

フラッシュライトイネーブル

リードすると常に1が読み出されます。ライトは無効です。

H'FFC9 : フラッシュメモリコントロールレジスタ 2 FLMCR2 : FLASH
 (H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314
 F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	—	—	—	—	—	—	—

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み／消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効 [セット条件] 「17.8.3 エラープロテクト」参照

H'FFC9 : フラッシュメモリコントロールレジスタ 2 FLMCR2 : FLASH (H8S/2319 F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	FLER	SWE2	ESU2	PSU2	EV2	PV2	E2	P2
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プログラム2*

0	プログラムモードを解除
1	プログラムモードに移 [セット条件] SWE2=1、PSU2=1のとき

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

イレース2*

0	イレースモードを解除
1	イレースモードに移 [セット条件] SWE2=1、ESU2=1のとき

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

プログラムベリファイ2*

0	プログラムベリファイモードを解除
1	プログラムベリファイモードに移 [セット条件] SWE2=1のとき

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

イレースベリファイ2*

0	イレースベリファイモードを解除
1	イレースベリファイモードに移 [セット条件] SWE2=1のとき

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

プログラムセットアップ2*

0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] SWE2=1のとき

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

イレースセットアップ2*

0	イレースセットアップ解除
1	イレースセットアップ [セット条件] SWE2=1のとき

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

ソフトウェアライトイネーブル2*

0	書き込み無効
1	書き込み有効

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が有効 [セット条件] 「17.17.3 エラープロテクト」参照

【注】* 対象アドレスは、H'040000～H'07FFFFとなります。

H'FFCA : 消去ブロック指定レジスタ 1 EBR1 : FLASH
 H'FFCB : 消去ブロック指定レジスタ 2 EBR2 : FLASH
 (H8S/2319 F-ZTAT、H8S/2318 F-ZTAT、H8S/2317 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
EBR2	EB15 ^{*3}	EB14 ^{*3}	EB13 ^{*2}	EB12 ^{*2}	EB11 ^{*1}	EB10 ^{*1}	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W ^{*3}	R/W ^{*3}	R/W ^{*2}	R/W ^{*2}	R/W ^{*1}	R/W ^{*1}	R/W	R/W

- 【注】 *1 H8S/2319 F-ZTAT、H8S/2318 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT で有効。他の製品では 0 をライトしてください。
- *2 H8S/2319 F-ZTAT、H8S/2315 F-ZTAT、H8S/2314 F-ZTAT で有効。他の製品では 0 をライトしてください。
- *3 H8S/2319 F-ZTAT で有効。他の製品では 0 をライトしてください。

H'FFC4:フラッシュコードコントロールステータスレジスタ FCCS:FLASH (H8S/2319C F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	FLER	—	—	—	SCO
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	(R)/W

リザーブビット
リードすると常に
1が読み出されます。
ライト時には1を
ライトしてくだ
さい。

リザーブビット
リードすると常に
0が読み出されます。
ライト時には0を
ライトしてくだ
さい。

リザーブビット
リードすると常に
0が読み出されます。
ライト時には0を
ライトしてくだ
さい。

ソースプログラムコピーオペレーション

0	内蔵されている書き込み／消去プログラムの内蔵RAMへのダウンロードは行いません [クリア条件] ダウンロードを完了したとき
1	内蔵されている書き込み／消去プログラムの内蔵RAMへのダウンロードリクエストを発生します [セット条件] 以下の条件がすべて満足されている状態で、1を書き込んだとき (1) FKEYレジスタにH'A5が書かれていること (2) 内蔵RAM上で実行中であること (3) RAMエミュレーションモードでないこと (RAMERのRAMS=0であること)

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト)は無効 [クリア条件] パワーオンリセットまたはハード ウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み／消去中にエラーが 発生したことを示します。 フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト)が有効 [セット条件] 「17.25.3 エラープロテクト」参照

H'FFC5 : フラッシュプログラムコードセレクトレジスタ FPCS : FLASH (H8S/2319C F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PPVS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

プログラムパルスベリファイ

0	内蔵の書き込みプログラムを選択しません [クリア条件] 転送を終了したとき
1	内蔵の書き込みプログラムを選択

リザーブビット
リードすると常に0が
読み出されます。
ライト時には0をライト
してください。

H'FFC6 : フラッシュイレースコードレジスタ FECS : FLASH (H8S/2319C F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EPVB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

イレースパルスベリファイブロック

0	内蔵消去プログラムを選択しません [クリア条件] 転送を終了したとき
1	内蔵の消去プログラムを選択

リザーブビット
リードすると常に0が
読み出されます。
ライト時には0をライト
してください。

H'FFC8 : フラッシュキーコードレジスタ FKEY : FLASH (H8S/2319C F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	K7	K6	K5	K4	K3	K2	K1	K0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーコード

H'A5	SC0ビットの書き込みを許可 (H'A5以外ではSC0ビットのセットはできません)
H'5A	書き込み/消去を許可 (H'A5以外ではソフトプロテクト状態)
H'00	初期値

H'FFC9 : フラッシュマットセレクトレジスタ FMATS : FLASH (H8S/2319C F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0	
	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
初期値 :	0	0	0	0	0	0	0	0	(ユーザブートモード以外の場合)
初期値 :	1	0	1	0	1	0	1	0	(ユーザブートモードの場合)
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

マットセレクト

H'AA	ユーザブートモードを選択 (H'AA以外ではユーザマット選択状態)。 ユーザブートモードで立ち上がった場合の初期値
H'00	ユーザブートモード以外で立ち上がった場合の初期値 (ユーザマット選択状態)

[書き込み可能条件] 内蔵RAM上での実行状態であること

H'FFCA : フラッシュトランスファデスティネーションアドレスレジスタ FTDAR : FLASH (H8S/2319C F-ZTAT のみ有効)

ビット :	7	6	5	4	3	2	1	0
	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

トランスファデスティネーションアドレス設定エラー

0	TDA6~TDA0の設定は、正常値
1	TDER、TDA6~TDA0の設定値がH'04~H'FFであり、ダウンロードは中断したことを示します

トランスファデスティネーションアドレス

TDA6~TDA0	説明
H'00	ダウンロード先頭アドレスをH'FFBC00に設定
H'01	ダウンロード先頭アドレスをH'FFCC00に設定
H'02	ダウンロード先頭アドレスをH'FFDC00に設定
H'03	ダウンロード先頭アドレスをH'FFEC00に設定
H'04~H'7F	設定しないでください。設定された場合、ダウンロードにおいて、ビット7 : TDERが1になり、ダウンロード処理は中断されます

H'FFD0 : タイマコントロールレジスタ 0 TCR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック : $\phi/1$ でカウント
		1	内部クロック : $\phi/4$ でカウント
	1	0	内部クロック : $\phi/16$ でカウント
		1	内部クロック : $\phi/64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	外部クロック : TCLKC端子入力でカウント
		1	外部クロック : TCLKD端子入力でカウント

入カクロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 内部クロックのエッジ選択は、入カクロックが $\phi/4$ もしくはそれより遅い場合に有効です。入カクロックに $\phi/1$ 、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2
		1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

H'FFD1 : タイマモードレジスタ 0 TMDR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作		
		1	—	リザーブ		
		1	0	0	PWMモード1	
			1	—	PWMモード2	
	1	0	0	0	位相計数モード1	
			1	—	位相計数モード2	
		1	0	0	0	位相計数モード3
			1	—	0	位相計数モード4
1	*	*	*	—		

* : Don't care

- 【注】 1. MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
2. チャンネル0、3では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FFD2 : タイマ I/O コントロールレジスタ 0H TIOR0H : TPU0

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR0A I/Oコントロール

0	0	0	0	TGR0Aは	出力禁止		
				アウトプット	初期出力は0出力	コンペアマッチで0出力	
		1	0	0	コンペア		コンペアマッチで1出力
					レジスタ		コンペアマッチでトグル出力
	1	0	0	出力禁止			
				初期出力は1出力	コンペアマッチで0出力		
		1	0	0		コンペアマッチで1出力	
						コンペアマッチでトグル出力	
1	0	0	TGR0Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ		
			インプット	TIOCA0端子	立ち下がりエッジでインプットキャプチャ		
	1	*	*	キャプチャ		両エッジでインプットキャプチャ	
				レジスタ	キャプチャ入力元は	TCNT1のカウントアップ/カウントダウン	
			チャンネル/カウントクロック		でインプットキャプチャ		

TGR0B I/Oコントロール

0	0	0	0	TGR0Bは	出力禁止		
				アウトプット	初期出力は0出力	コンペアマッチで0出力	
		1	0	0	コンペア		コンペアマッチで1出力
					レジスタ		コンペアマッチでトグル出力
	1	0	0	出力禁止			
				初期出力は1出力	コンペアマッチで0出力		
		1	0	0		コンペアマッチで1出力	
						コンペアマッチでトグル出力	
1	0	0	TGR0Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ		
			インプット	TIOCB0端子	立ち下がりエッジでインプットキャプチャ		
	1	*	*	キャプチャ		両エッジでインプットキャプチャ	
				レジスタ	キャプチャ入力元は	TCNT1のカウントアップ/カウントダウン	
			チャンネル/カウントクロック		でインプットキャプチャ*1		

* : Don't care

* : Don't care

【注】 *1 TCR1のTPSC2~TPSC0ビットをB'000とし、TCNT1のカウントクロックにφ/1を使用した場合、本設定は無効となり、インプットキャプチャは発生しません。

H'FFD3 : タイマ I/O コントロールレジスタ 0L TIOR0L : TPU0

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR0C I/Oコントロール

0	0	0	0	TGR0Cは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
		1	0	0	コンペア	コンペアマッチで1出力
				1	レジスタ*1	コンペアマッチでトグル出力
	1	0	0	0	出力禁止	初期出力は1出力 コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力
				0	コンペア	コンペアマッチでトグル出力
				1	レジスタ*1	コンペアマッチでトグル出力
1	0	0	0	TGR0Cは	キャプチャ入力元は 立ち上がりエッジでインプットキャプチャ	
			1	インプット	TIOCC0端子 立ち下がりエッジでインプットキャプチャ	
			1	* キャプチャ	両エッジでインプットキャプチャ	
			1	* レジスタ*1	キャプチャ入力元は TCNT1のカウントアップ/カウントダウン チャンネル/カウントクロック でインプットキャプチャ	

* : Don't care

【注】*1 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

TGR0D I/Oコントロール

0	0	0	0	TGR0Dは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
		1	0	0	コンペア	コンペアマッチで1出力
				1	レジスタ*2	コンペアマッチでトグル出力
	1	0	0	0	出力禁止	初期出力は1出力 コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力
				0	コンペア	コンペアマッチでトグル出力
				1	レジスタ*2	コンペアマッチでトグル出力
1	0	0	0	TGR0Dは	キャプチャ入力元は 立ち上がりエッジでインプットキャプチャ	
			1	インプット	TIOCD0端子 立ち下がりエッジでインプットキャプチャ	
			1	* キャプチャ	両エッジでインプットキャプチャ	
			1	* レジスタ*2	キャプチャ入力元は TCNT1のカウントアップ/カウントダウン チャンネル/カウントクロック でインプットキャプチャ*1	

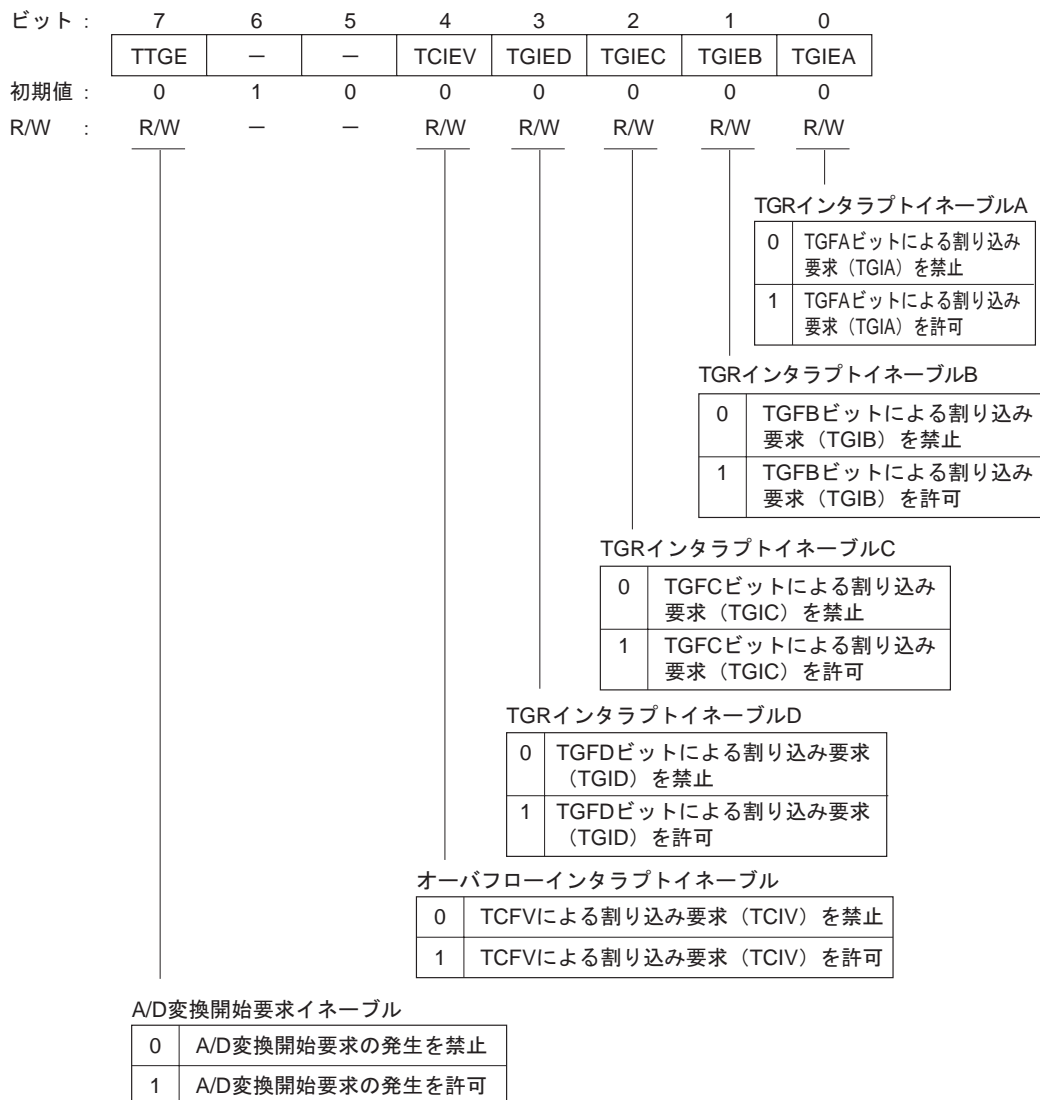
* : Don't care

【注】*1 TCR1のTPSC2~TPSC0ビットをB'000とし、TCNT1のカウントクロックにφ/1を使用した場合、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR0のBFBビットを1にセットしてTGR0Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FFD4 : タイマインタラプトイネーブルレジスタ 0 TIER0 : TPU0



H'FFD5 : タイマステータスレジスタ 0 TSR0 : TPU0

ビット :	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

TGRCインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFC=1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

TGRDインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFD6 : タイマカウンタ 0 TCNT0 : TPU0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップカウンタ

H'FFD8 : タイマジェネラルレジスタ 0A TGR0A : TPU0

H'FFDA : タイマジェネラルレジスタ 0B TGR0B : TPU0

H'FFDC : タイマジェネラルレジスタ 0C TGR0C : TPU0

H'FFDE : タイマジェネラルレジスタ 0D TGR0D : TPU0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFE0 : タイマコントロールレジスタ 1 TCR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック : $\phi/1$ でカウント
		1	内部クロック : $\phi/4$ でカウント
	1	0	内部クロック : $\phi/16$ でカウント
		1	内部クロック : $\phi/64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	内部クロック : $\phi/256$ でカウント
		1	TCNT2のオーバフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択*

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 * チャンネル1が位相計数モード時、この設定は無効になります。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】 * 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FFE1 : タイマモードレジスタ 1 TMDR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	—

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FFE2 : タイマ I/O コントロールレジスタ 1 TIOR1 : TPU1

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR1A I/Oコントロール

0	0	0	0	TGR1Aは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0	0	TGR1Aは	出力禁止
				1	アウトプット	初期出力は1出力 コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	1	0	0	0	TGR1Aは	キャプチャ入力元は
				1	インプット	TIOCA1端子 立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	立ち下がりエッジでインプットキャプチャ
				1	レジスタ	両エッジでインプットキャプチャ
1	*	*	0	TGR1Aは	キャプチャ入力元は	
			1	インプット	チャンネル0/TGR0Aのコンペアマッチ/ TGR0Aコンペアマッチ/ インプットキャプチャの発生でインプット インプットキャプチャ	
			1	キャプチャ	立ち上がりエッジでインプットキャプチャ	
			1	レジスタ	立ち下がりエッジでインプットキャプチャ	

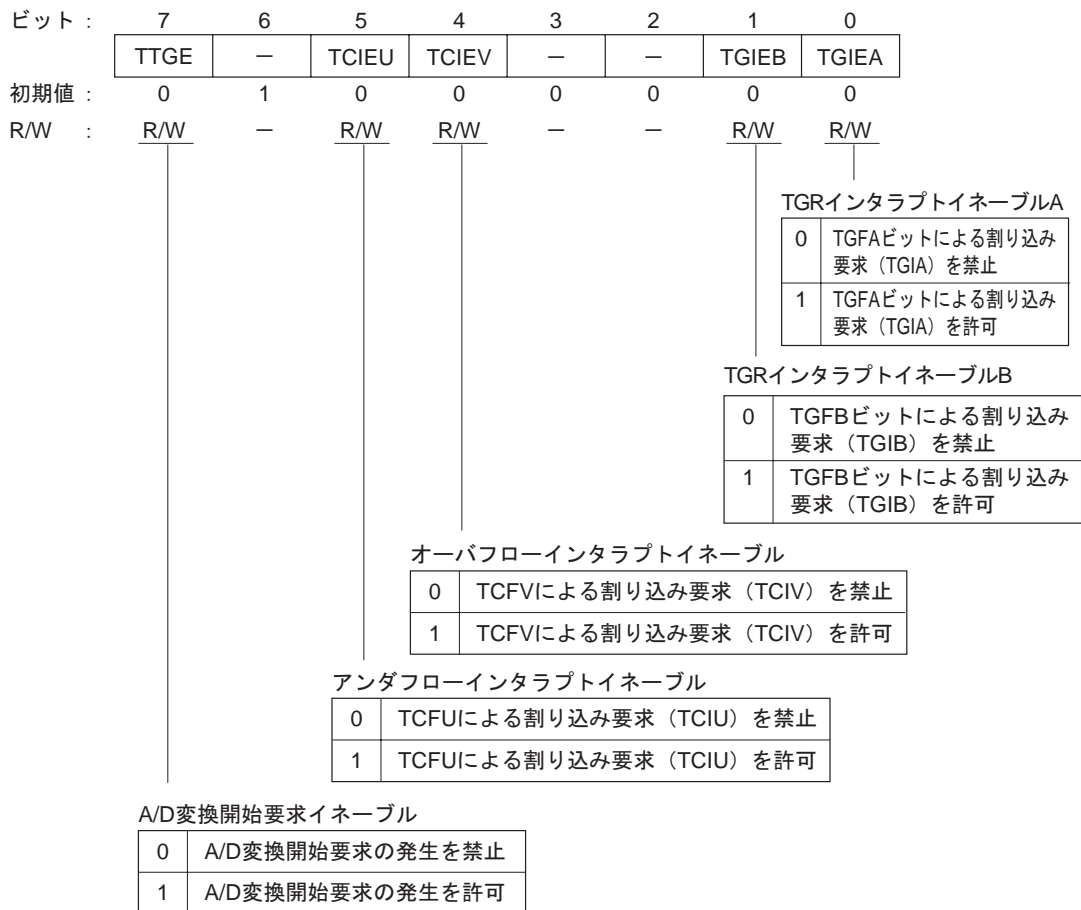
* : Don't care

TGR1B I/Oコントロール

0	0	0	0	TGR1Bは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0	0	TGR1Bは	出力禁止
				1	アウトプット	初期出力は1出力 コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	1	0	0	0	TGR1Bは	キャプチャ入力元は
				1	インプット	TIOCB1端子 立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	立ち下がりエッジでインプットキャプチャ
				1	レジスタ	両エッジでインプットキャプチャ
1	*	*	0	TGR1Bは	キャプチャ入力元は	
			1	インプット	TGR0Cのコンペアマッチ/ TGR0Cコンペアマッチ/ インプットキャプチャの発生でインプットキャプチャ	
			1	キャプチャ	立ち上がりエッジでインプットキャプチャ	
			1	レジスタ	立ち下がりエッジでインプットキャプチャ	

* : Don't care

H'FFE4 : タイマインタラプトイネーブルレジスタ 1 TIER1 : TPU1



H'FFE5 : タイマステータスレジスタ 1 TSR1 : TPU1

ビット :	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ	
0	[クリア条件] TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFE6 : タイマカウンタ 1 TCNT1 : TPU1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アップ/ダウンカウンタ*

【注】 * 位相計数モード、他のチャンネルのオーバーフロー/アンダフローのカウント時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FFE8 : タイマジェネラルレジスタ 1A TGR1A : TPU1

H'FFEA : タイマジェネラルレジスタ 1B TGR1B : TPU1

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFF0 : タイマコントロールレジスタ 2 TCR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケーラ

0	0	0	内部クロック : $\phi/1$ でカウント
		1	内部クロック : $\phi/4$ でカウント
	1	0	内部クロック : $\phi/16$ でカウント
		1	内部クロック : $\phi/64$ でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	外部クロック : TCLKC端子入力でカウント
		1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択*

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 * チャンネル2が位相計数モード時、この設定は無効になります。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】 * 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

H'FFF1 : タイマモードレジスタ 2 TMDR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1		リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	—

* : Don't care

【注】 MD3はリザーブビットです。
 ライト時には常に0を書き込んでください。

H'FFF2 : タイマ I/O コントロールレジスタ 2 TIOR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR2A I/Oコントロール

0	0	0	0	TGR2Aは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
		1	0	0	レジスタ	コンペアマッチでトグル出力
				1	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
	1	0	0		コンペアマッチで1出力	
			1	コンペアマッチでトグル出力		
			1			
	1	*	0	0	TGR2Aは	キャプチャ入力元は
				1	インプット	立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	TIOCA2端子
			1	レジスタ	両エッジでインプットキャプチャ	

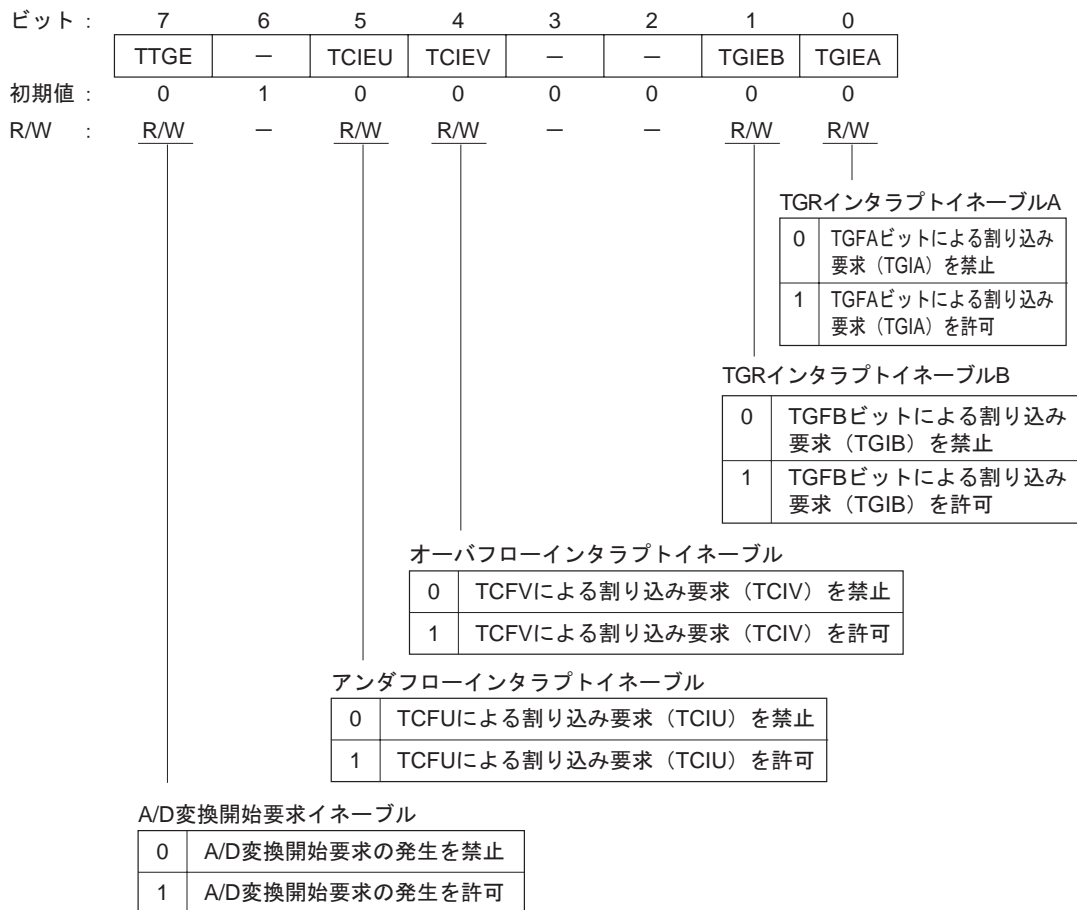
* : Don't care

TGR2B I/Oコントロール

0	0	0	0	TGR2Bは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
		1	0	0	レジスタ	コンペアマッチでトグル出力
				1	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
	1	0	0		コンペアマッチで1出力	
			1	コンペアマッチでトグル出力		
			1			
	1	*	0	0	TGR2Bは	キャプチャ入力元は
				1	インプット	立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	TIOCB2端子
			1	レジスタ	両エッジでインプットキャプチャ	

* : Don't care

H'FFF4 : タイマインタラプトイネーブルレジスタ 2 TIER2 : TPU2



H'FFF5 : タイマステータスレジスタ 2 TSR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGRB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき

アンダフローフラグ	
0	[クリア条件] TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000→H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFF6 : タイマカウンタ 2 TCNT2 : TPU2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アップ/ダウンカウンタ*

【注】 * 位相計数モード、他のチャンネルのオーバーフロー/アンダフローのカウント時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FFF8 : タイマジェネラルレジスタ 2A TGR2A : TPU2

H'FFFA : タイマジェネラルレジスタ 2B TGR2B : TPU2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

C. I/Oポートブロック図

C.1 ポート1

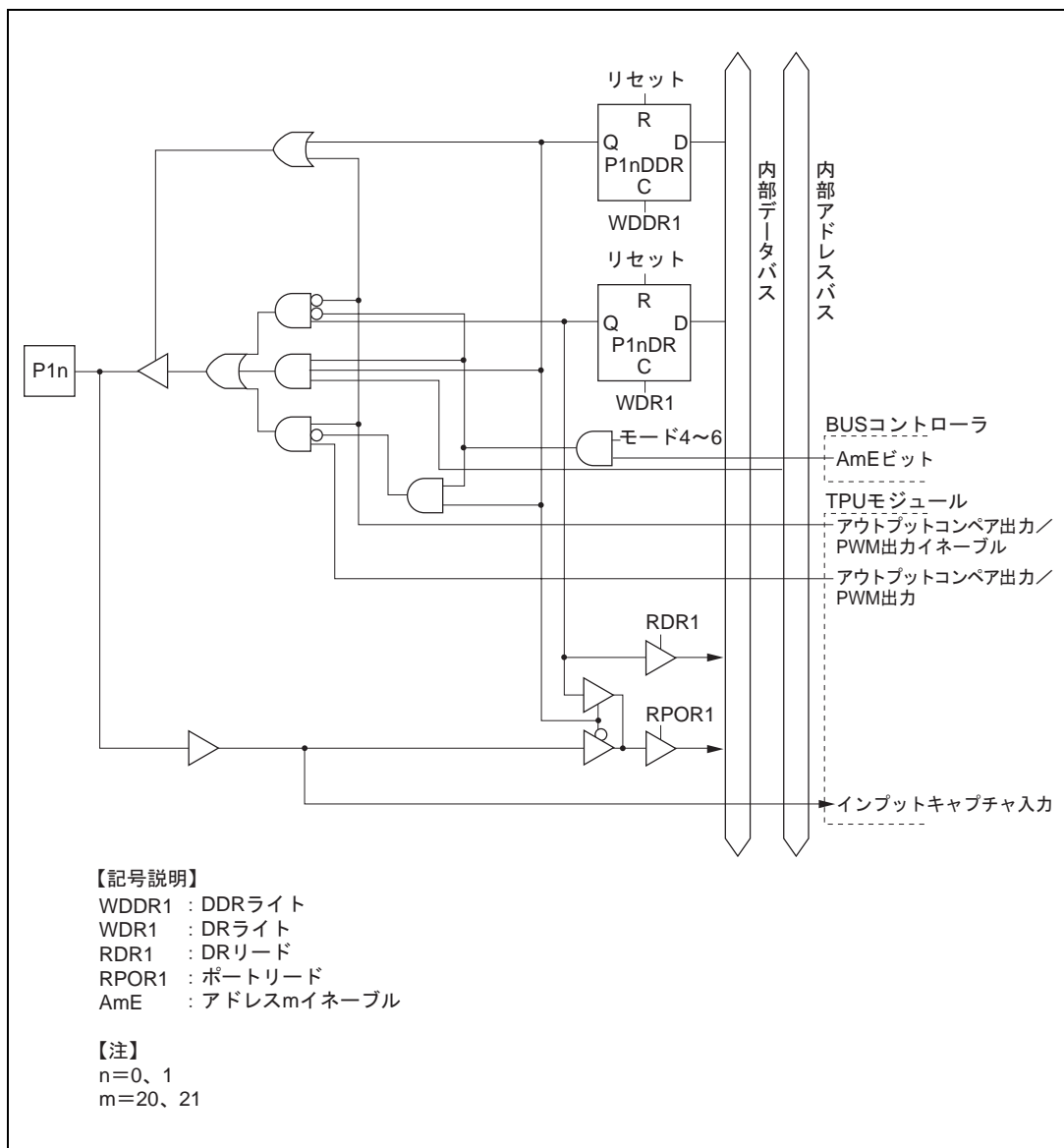


図 C.1 (a) ポート1 ブロック図 (P10、P11 端子)

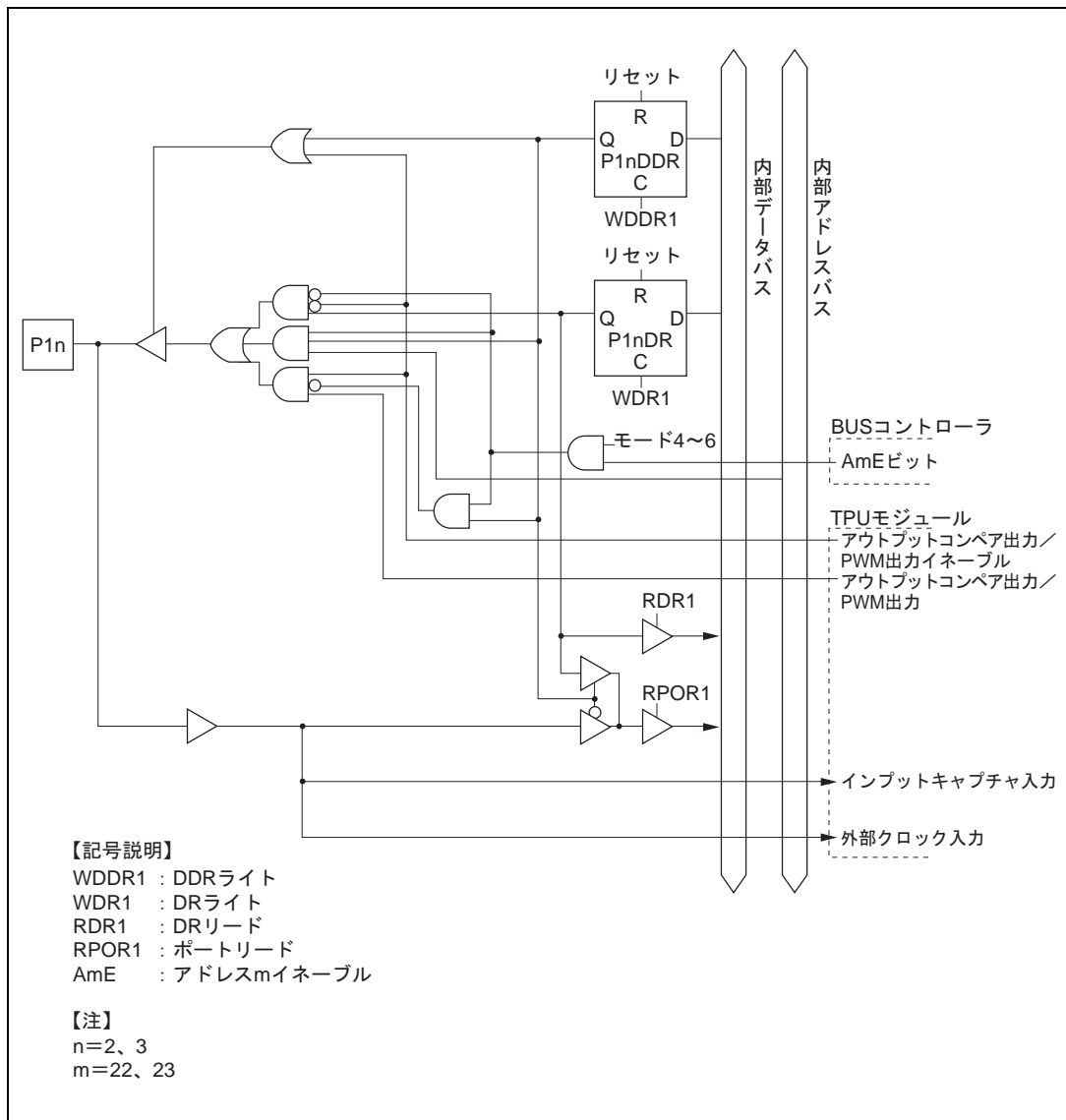


図 C.1 (b) ポート1ブロック図 (P12、P13 端子)

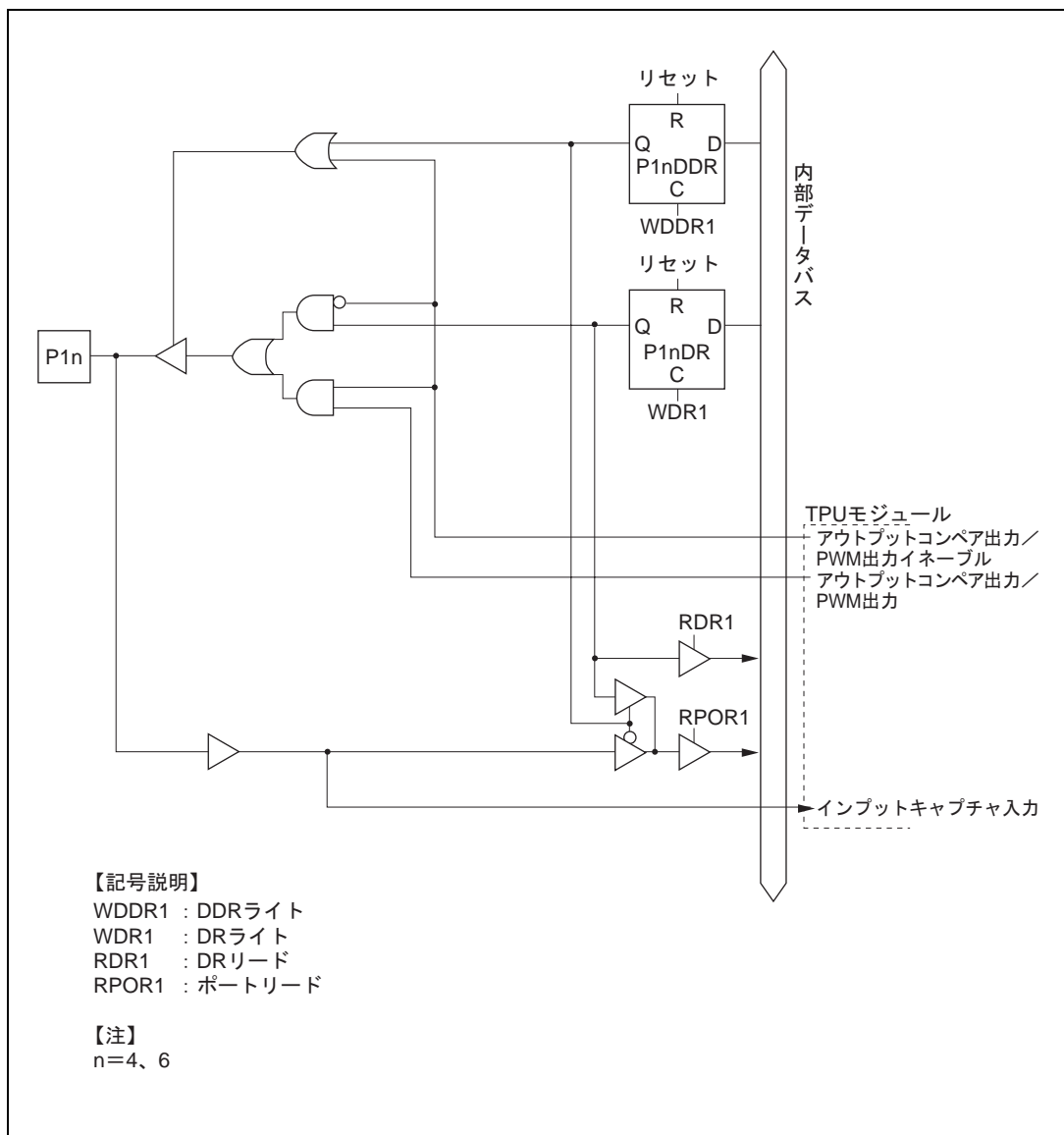


図 C.1 (c) ポート 1 ブロック図 (P14、P16 端子)

C.2 ポート 2

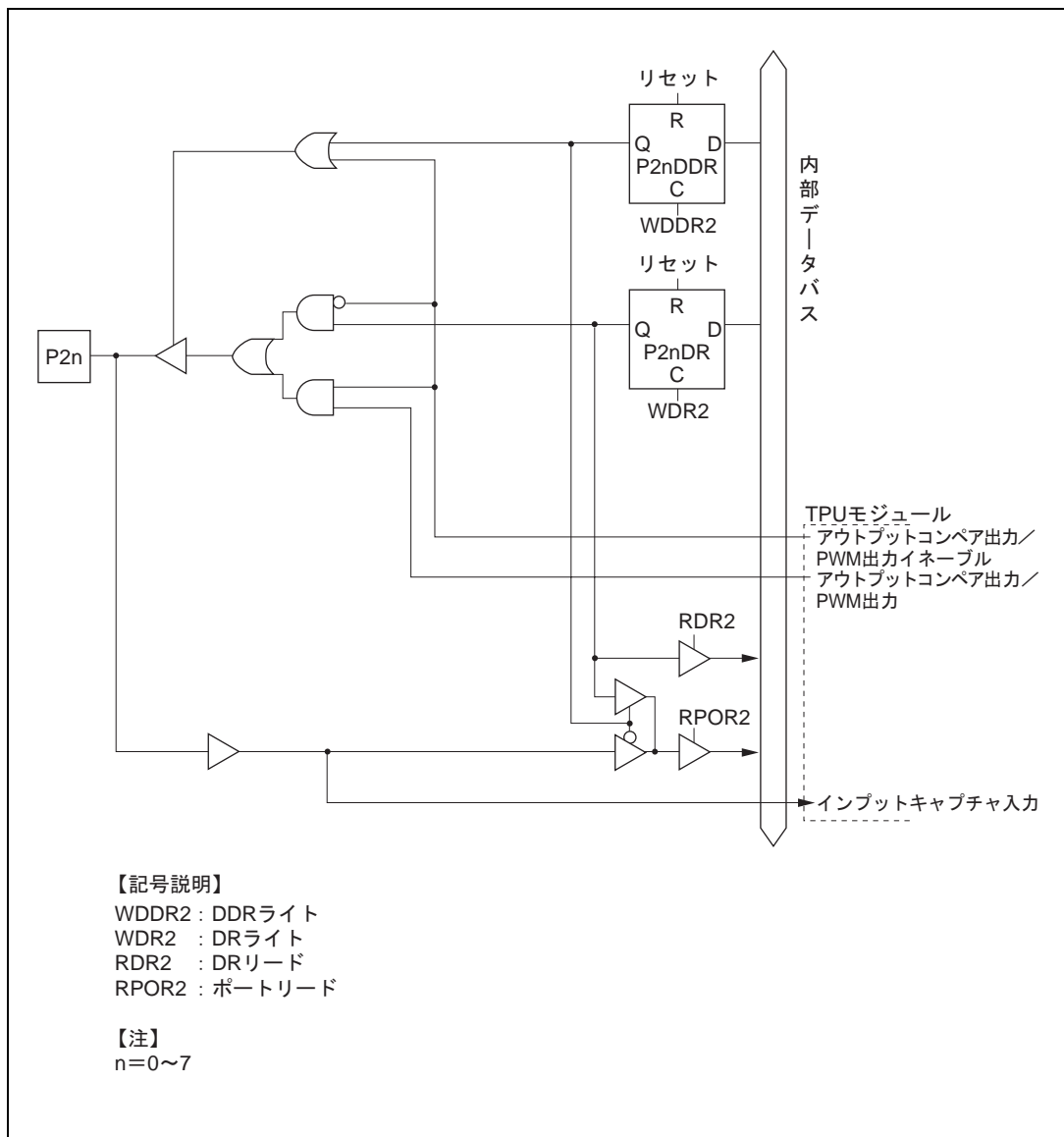


図 C.2 ポート 2 ブロック図 (P20 ~ P27 端子)

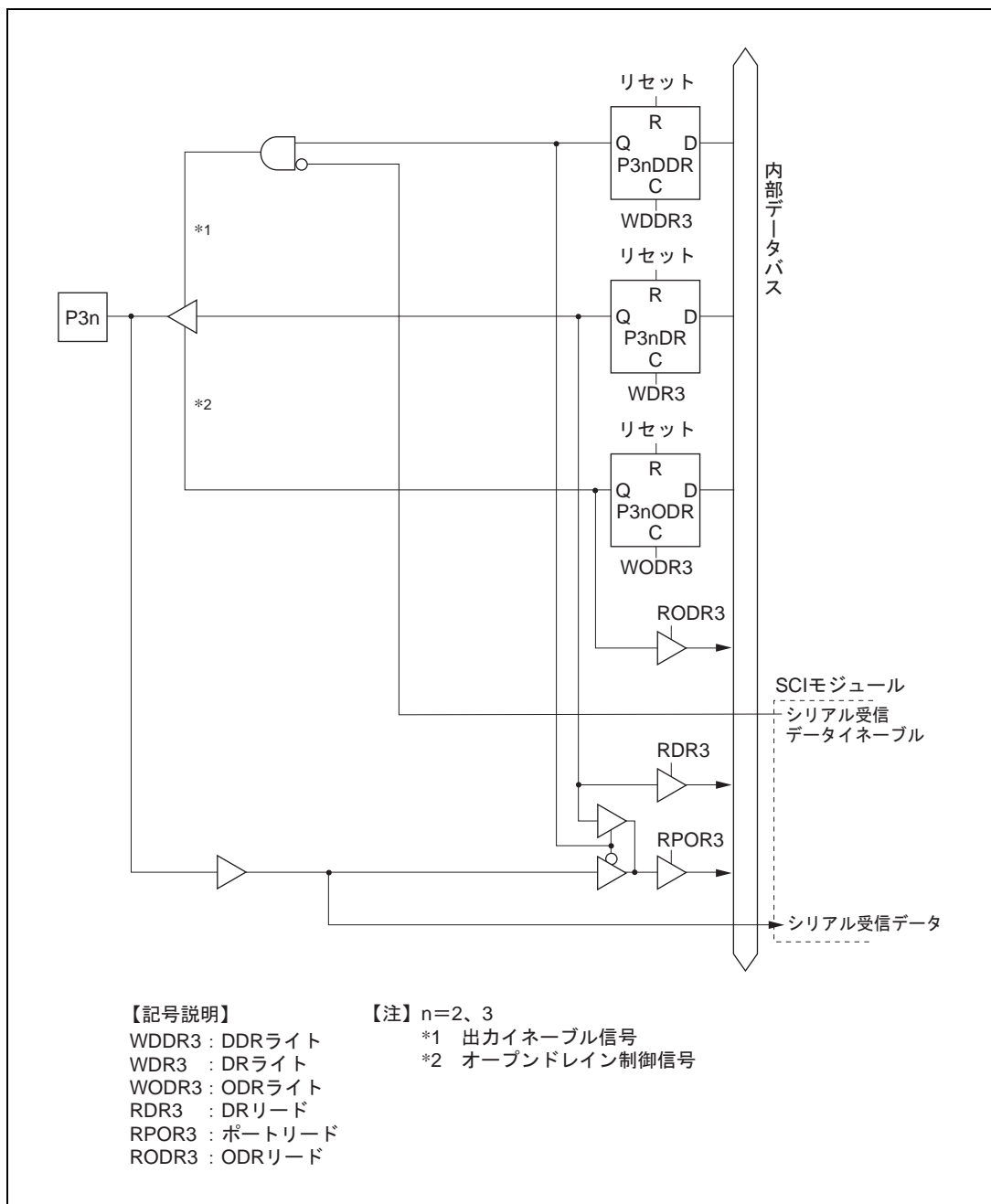


図 C.3 (b) ポート 3 ブロック図 (P32、P33 端子)

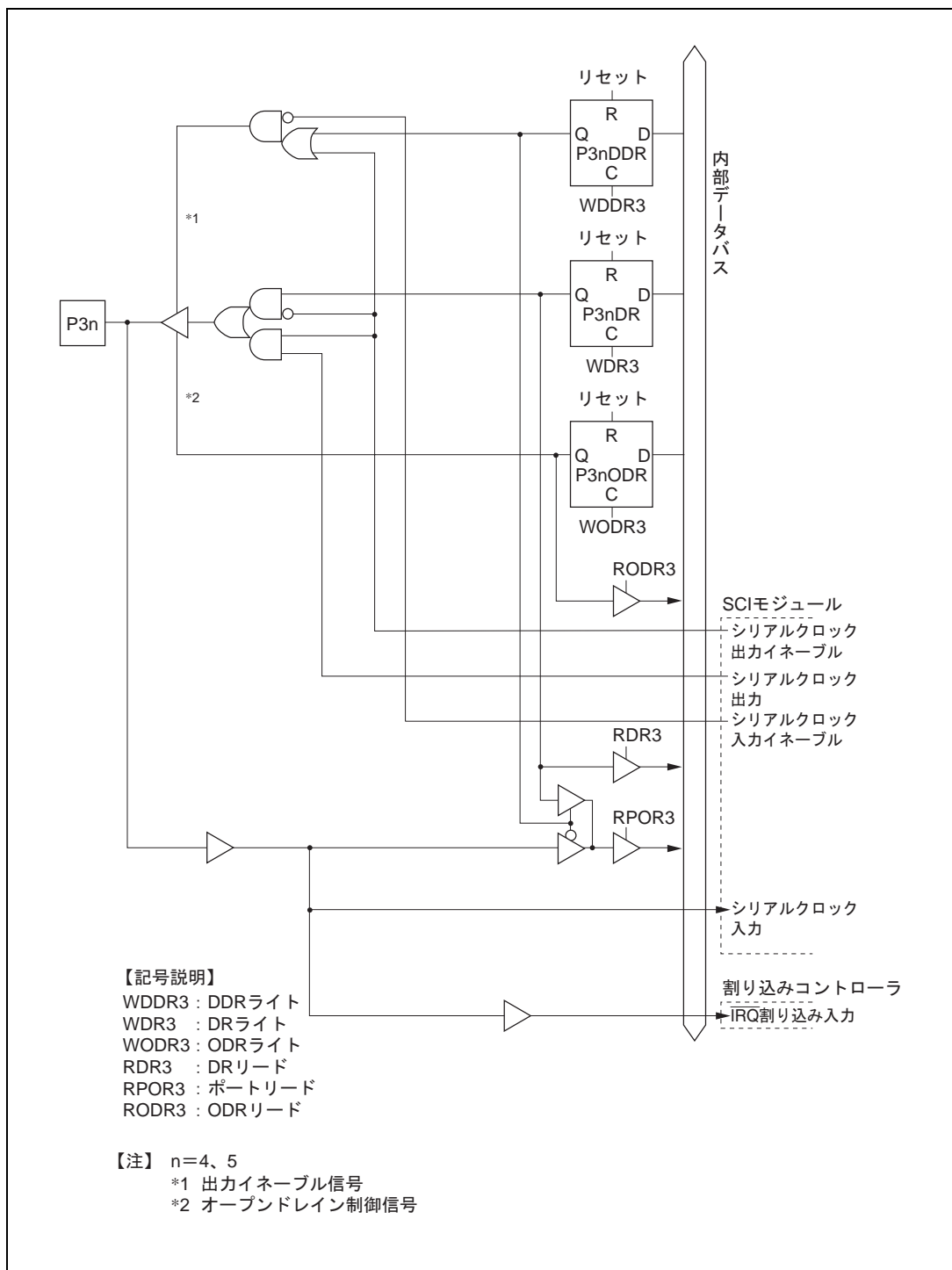


図 C.3 (c) ポート 3 ブロック図 (P34、P35 端子)

C.4 ポート4

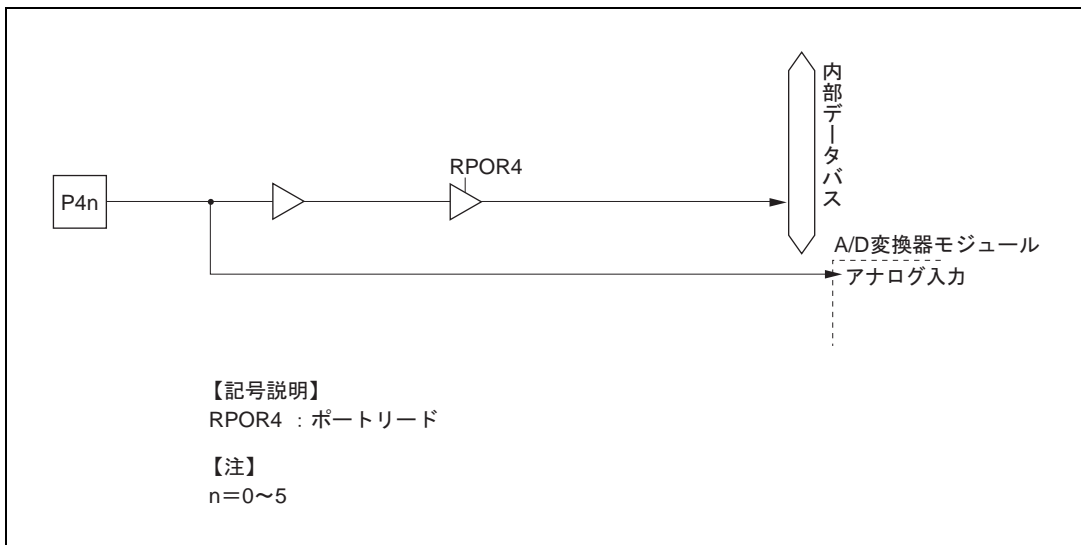


図 C.4 (a) ポート4 ブロック図 (P40~P45 端子)

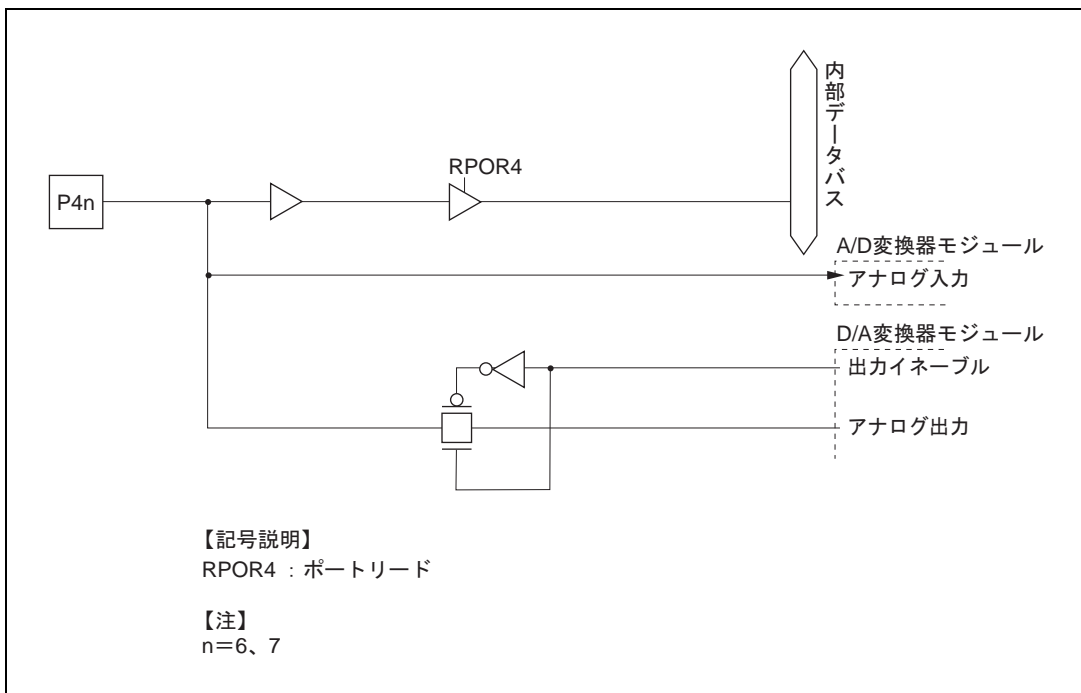


図 C.4 (b) ポート4 ブロック図 (P46、P47 端子)

C.5 ポート A

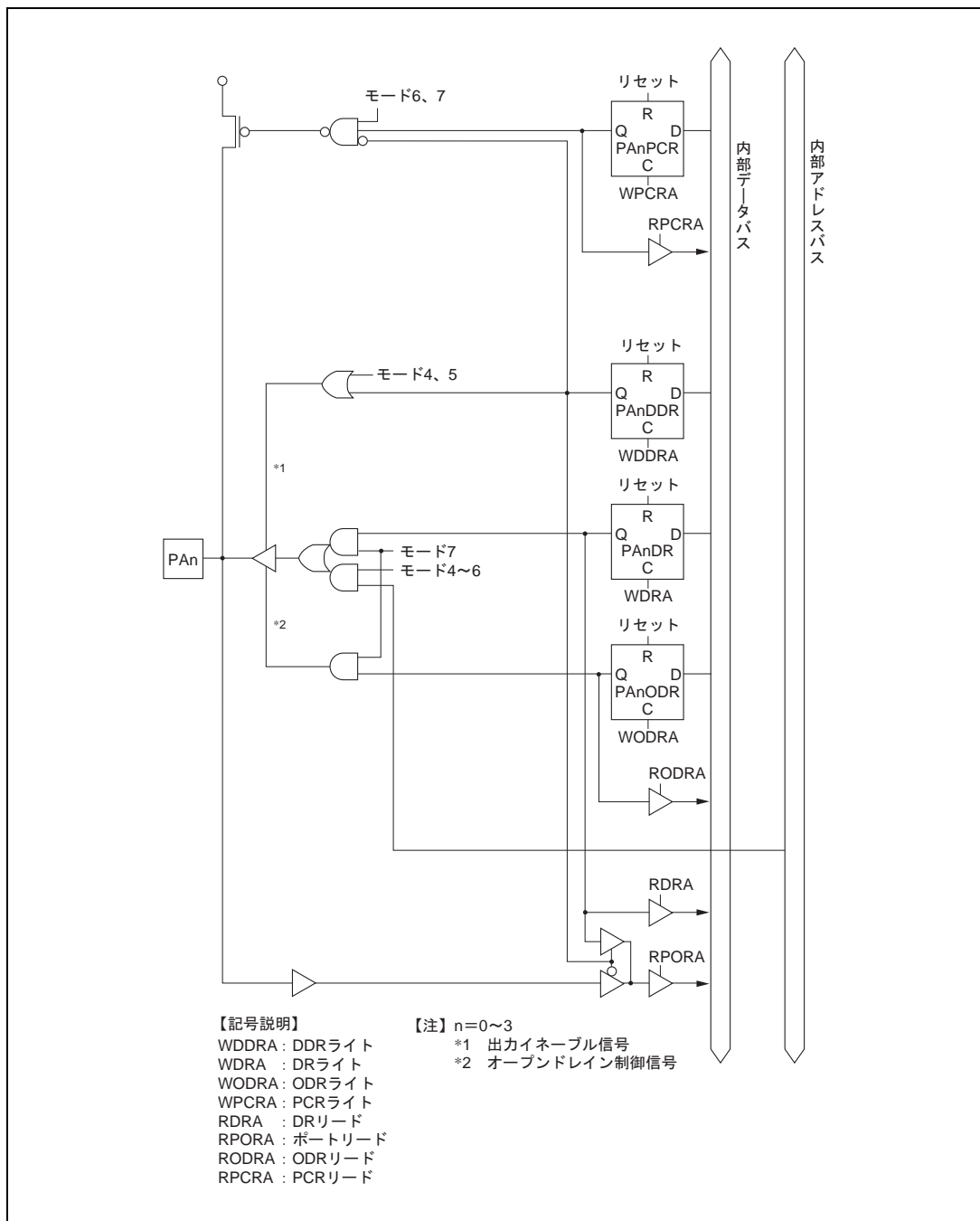


図 C.5 ポート A ブロック図 (PA0~PA3 端子)

C.6 ポート B

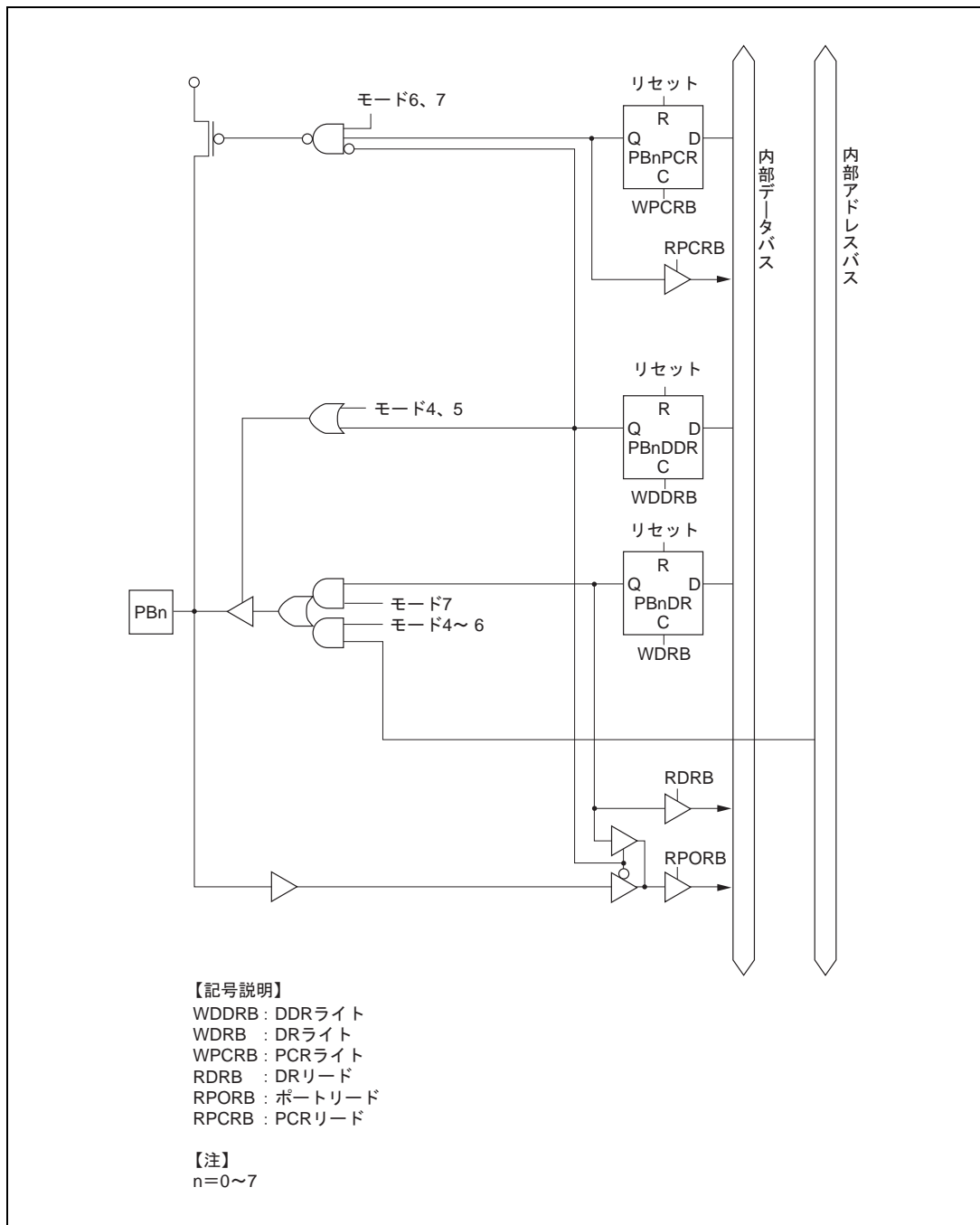


図 C.6 ポート B ブロック図 (PB0~PB7 端子)

C.8 ポート D

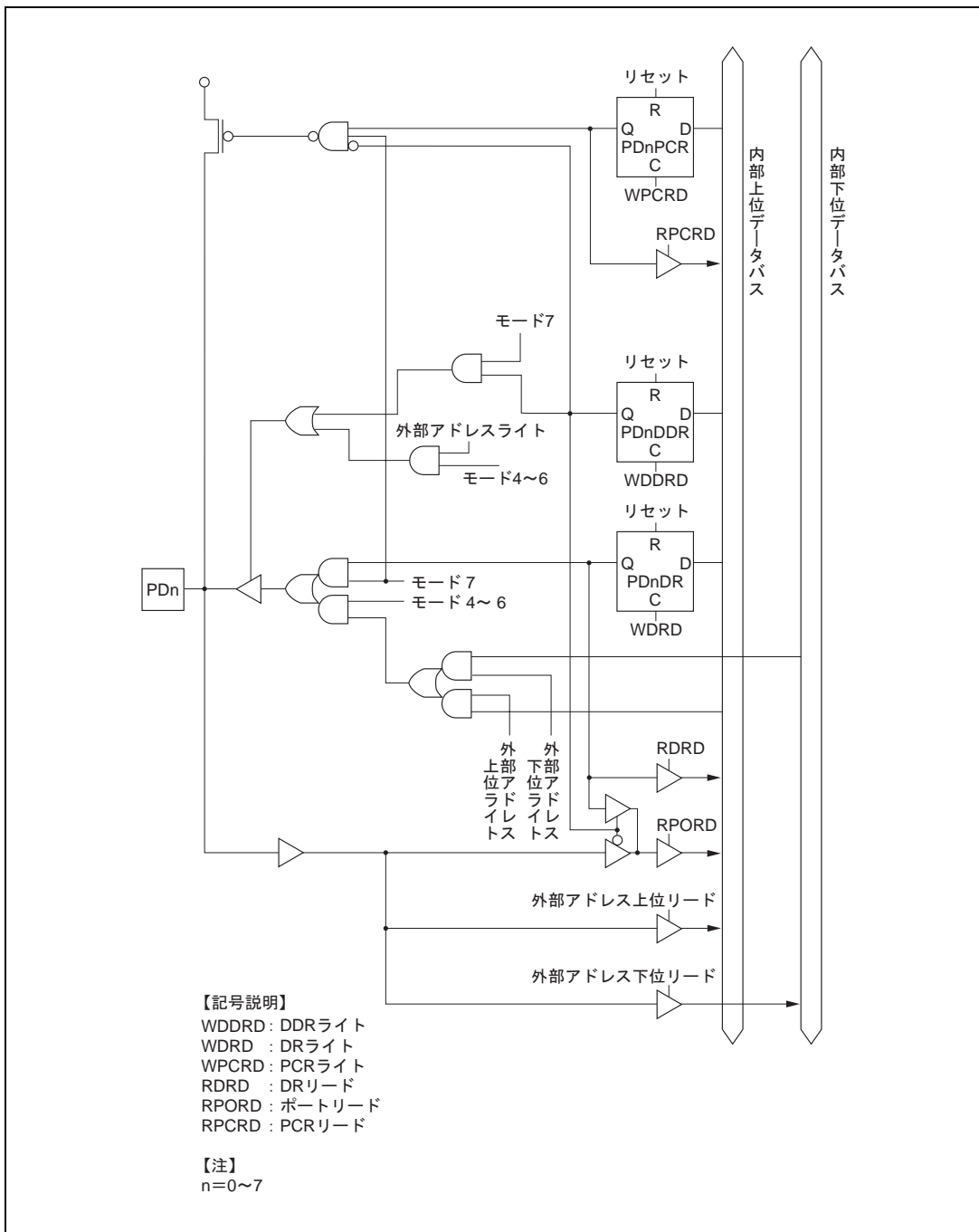


図 C.8 ポート D ブロック図 (PD0~PD7 端子)

C.9 ポート E

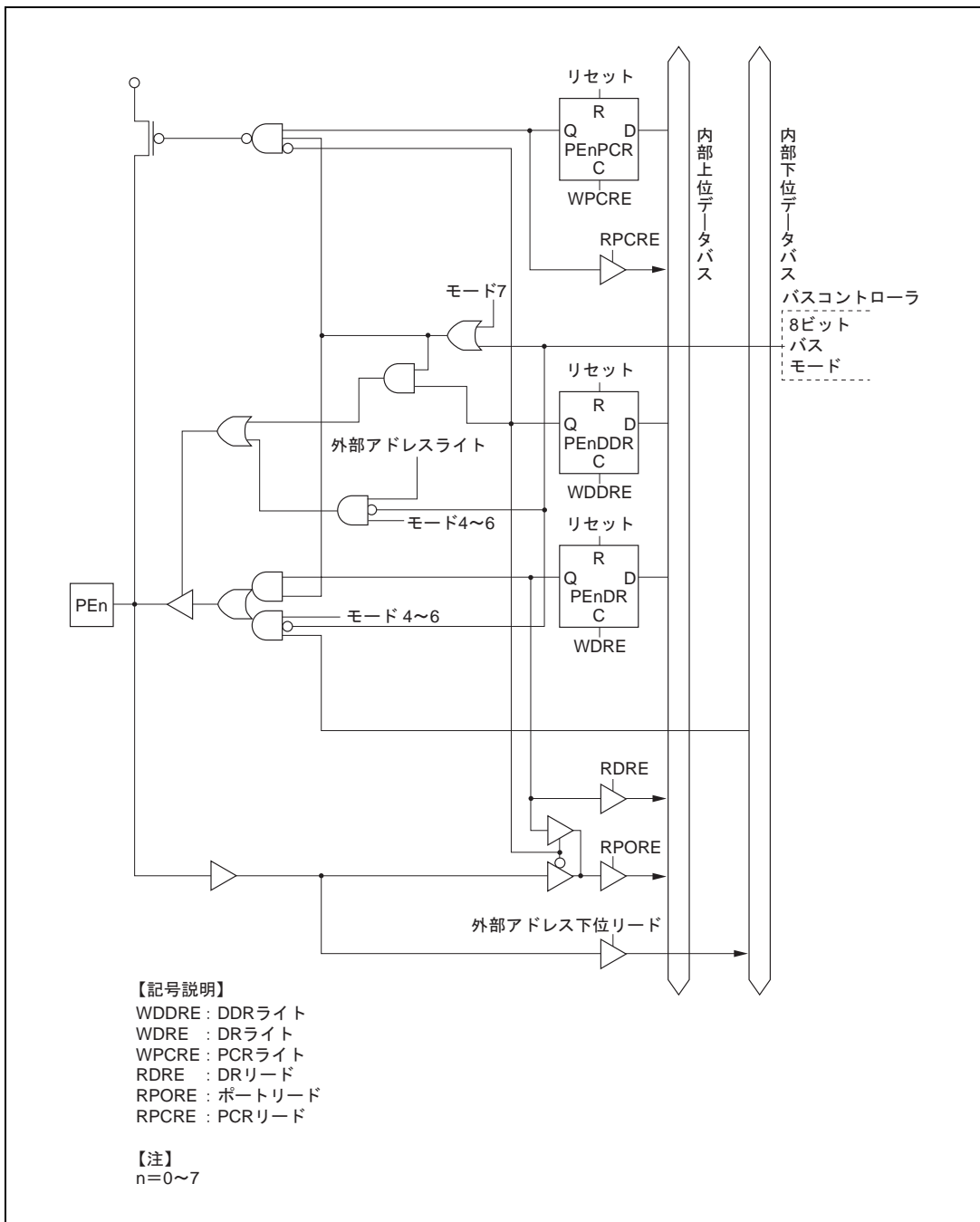


図 C.9 ポート E ブロック図 (PE0 ~ PE7 端子)

C.10 ポートF

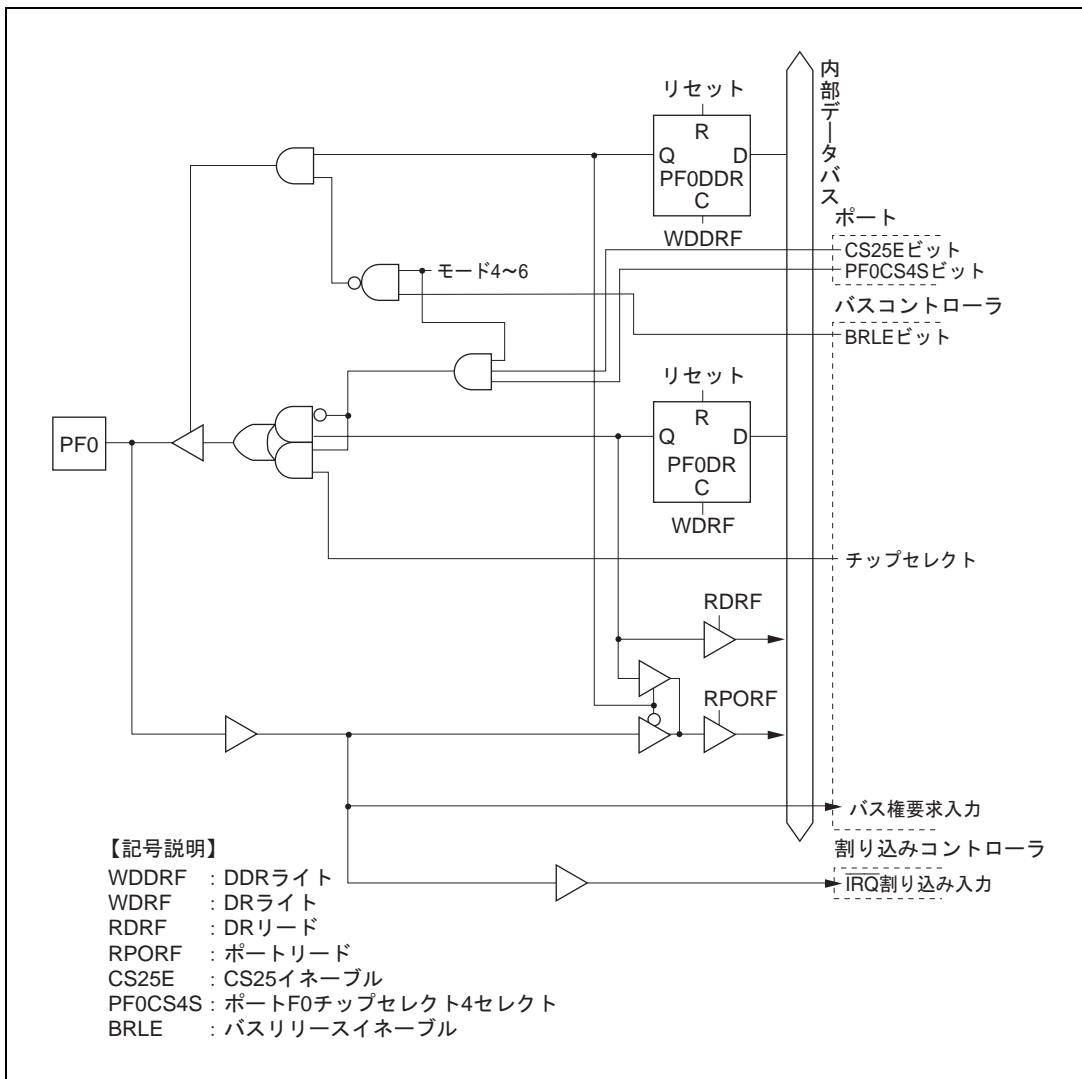


図 C.10 (a) ポートF ブロック図 (PF0 端子)

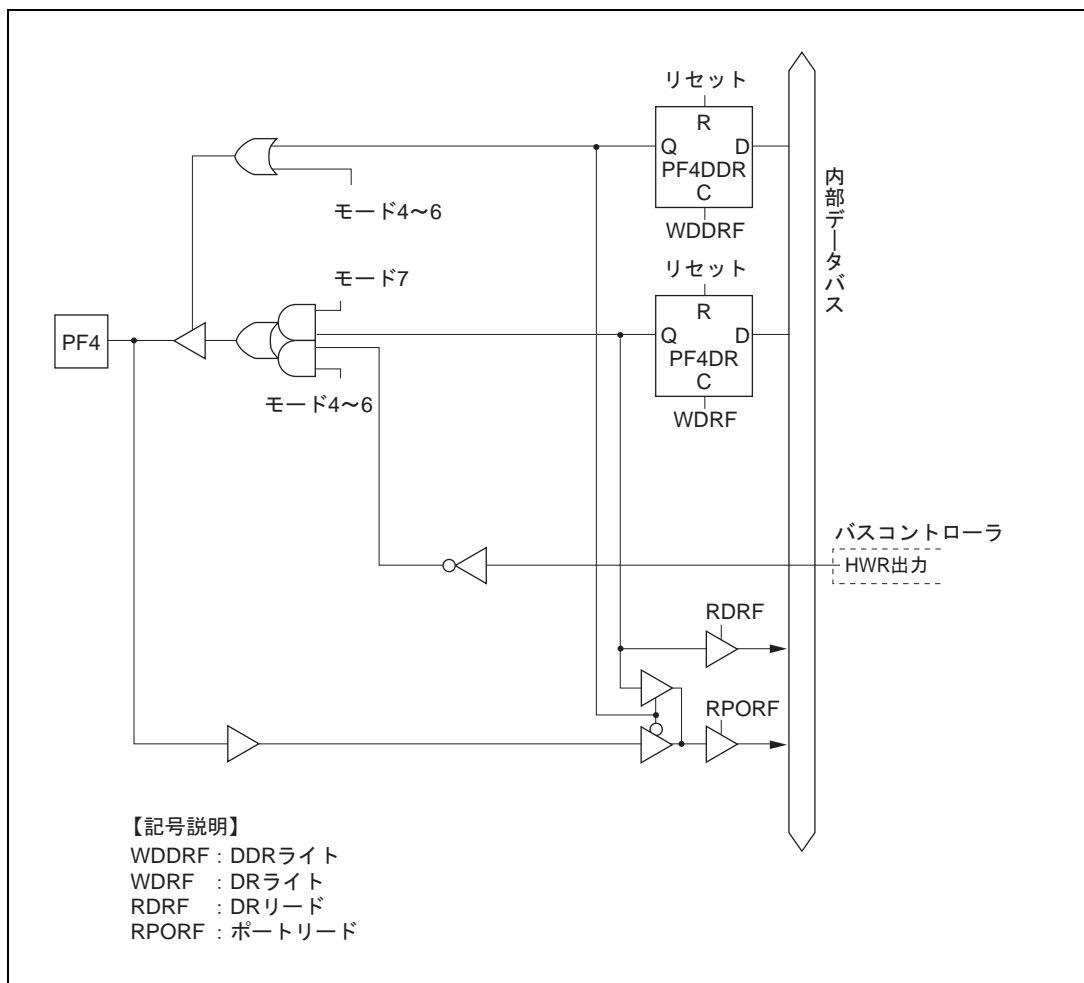


図 C.10 (e) ポートFブロック図 (PF4 端子)

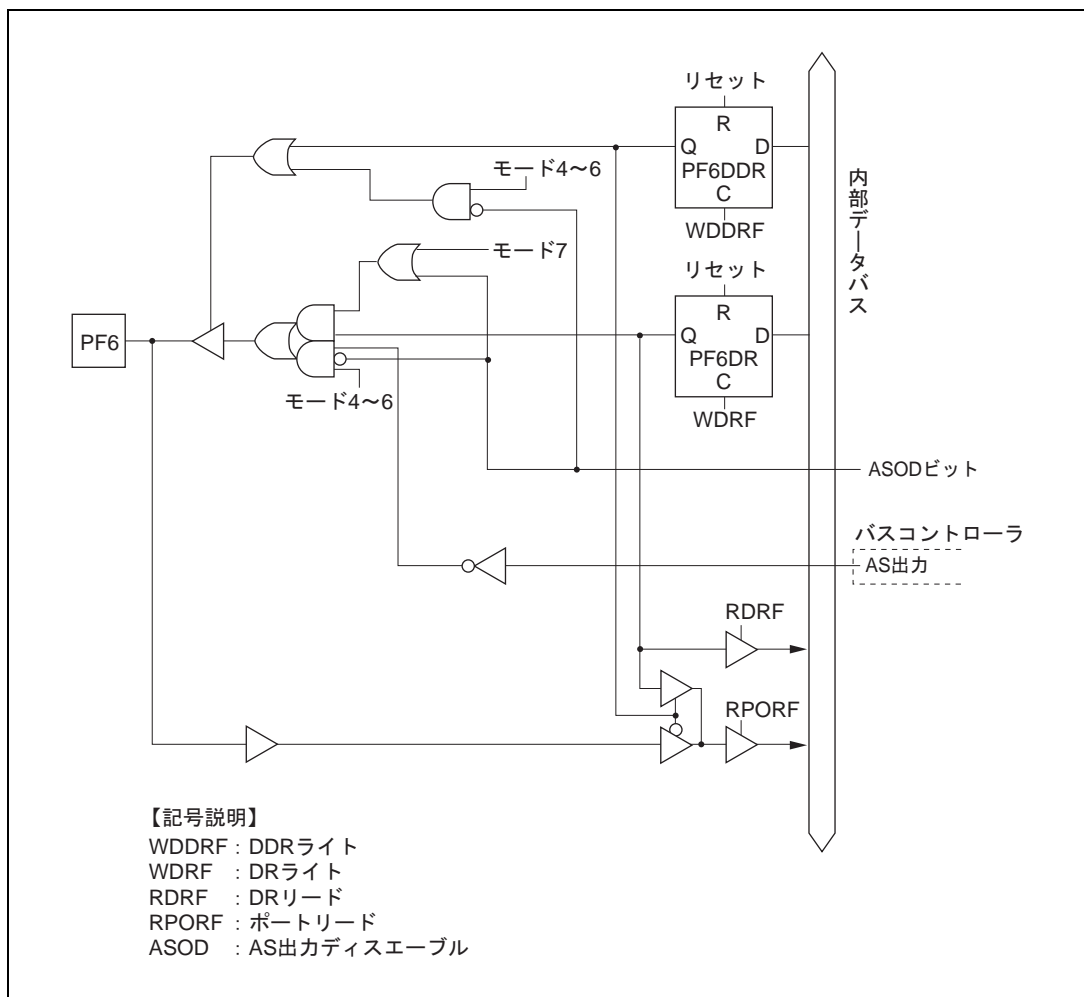


図 C.10 (g) ポートFブロック図 (PF6 端子)

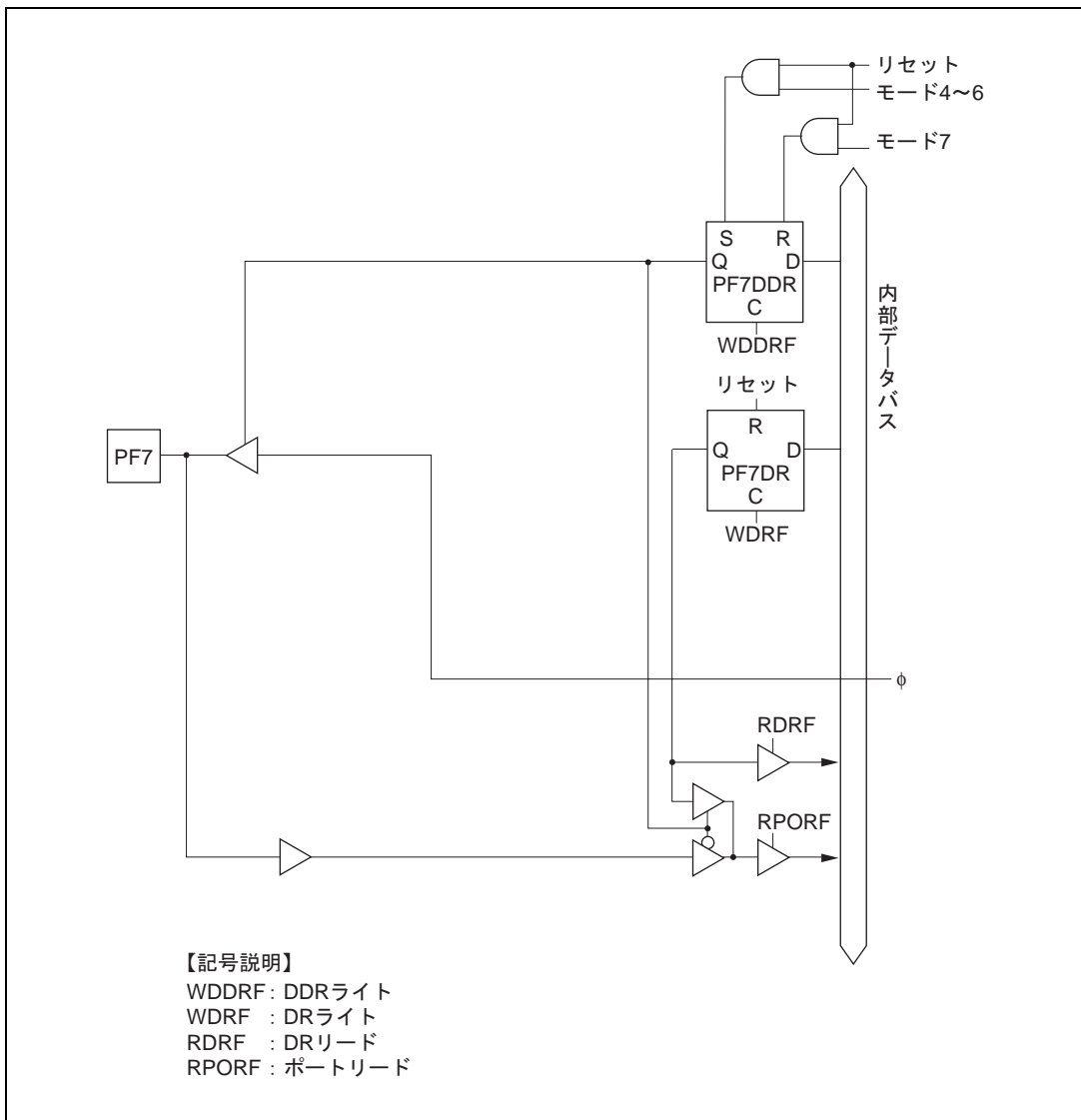


図 C.10 (h) ポートFブロック図 (PF7 端子)

C.11 ポート G

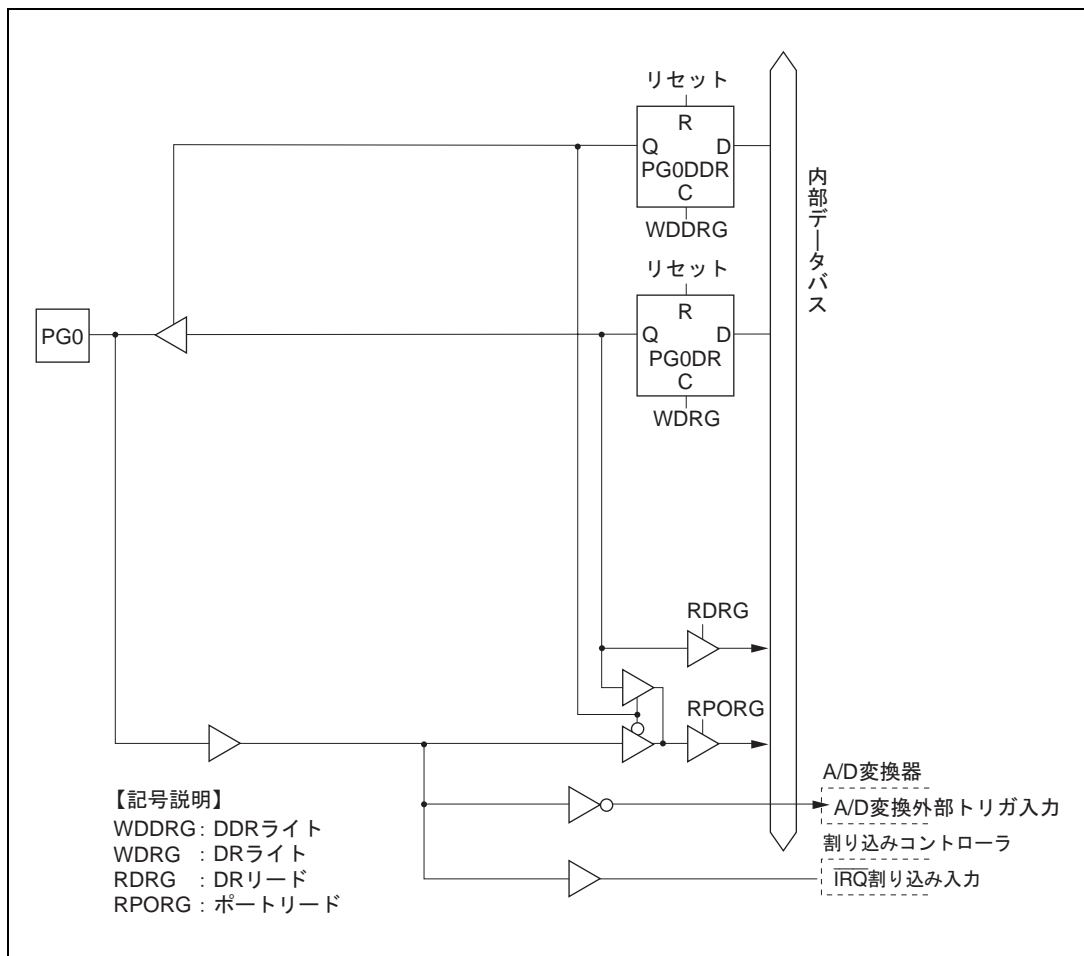


図 C.11 (a) ポート G ブロック図 (PG0 端子)

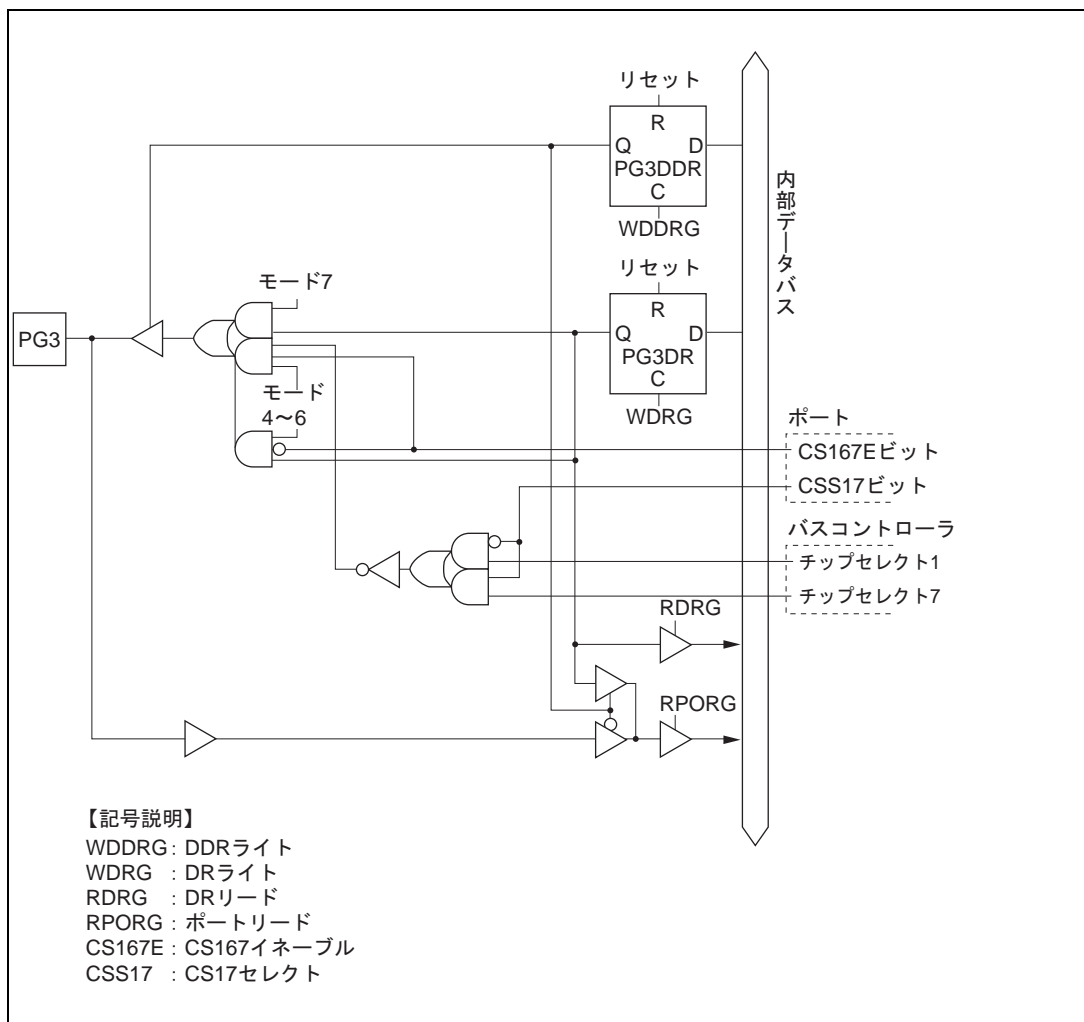


図 C.11 (d) ポート G ブロック図 (PG3 端子)

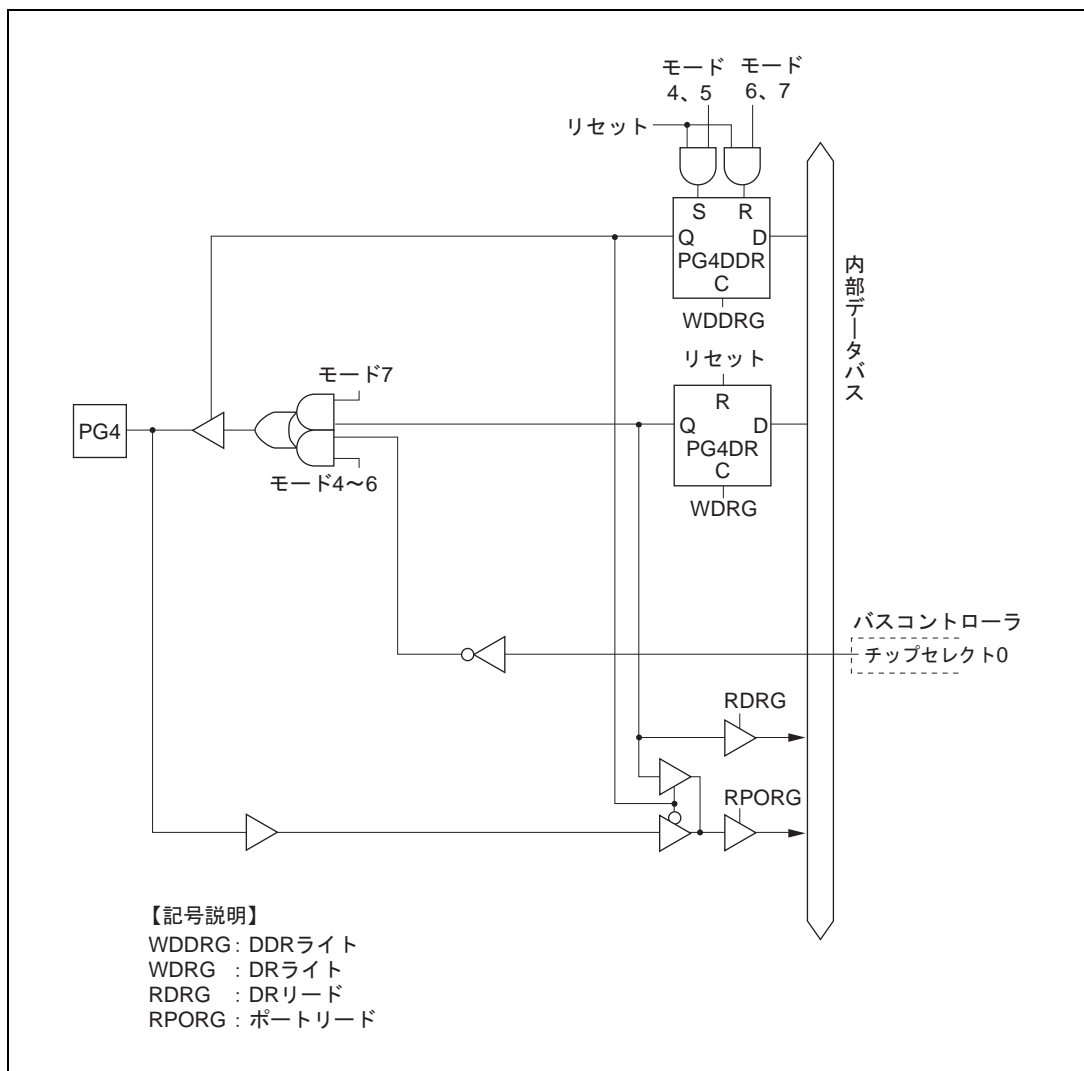


図 C.11 (e) ポート G ブロック図 (PG4 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
P17/TIOCB2/ TCLKD P16/TIOCA2 P15/TIOCB1/ TCLKC P14/TIOCA1	4~7	T	T	Keep	Keep	入出力ポート
P13/TIOGD0/ TCLKB/A23 P12/TIOCC0/ TCLKA/A22 P11/TIOCB0/ A21 P10/TIOCA0/ A20	4~6	T	T	[AnE = 0] Keep [AnE · DDR̄ = 1] Keep [AnE · DDR · OPĒ = 1] T [AnE · DDR · OPE = 1] Keep	[AnE = 0] Keep [AnE · DDR̄ = 1] Keep [AnE · DDR = 1] T	[AnE = 0] 入出力ポート [AnE · DDR̄ = 1] 入出力ポート [AnE · DDR = 1] アドレス出力
	7	T	T	Keep	Keep	入出力ポート
ポート 2	4~7	T	T	Keep	Keep	入出力ポート
ポート 3	4~7	T	T	Keep	Keep	入出力ポート
P47/DA1	4~7	T	T	[DAOE1 = 1] Keep [DAOE1 = 0] T	Keep	入出力ポート
P46/DA0	4~7	T	T	[DAOE0 = 1] Keep [DAOE0 = 0] T	Keep	入出力ポート
P45 ~ P40	4~7	T	T	T	T	入力ポート
PA3/A19 PA2/A18 PA1/A17 PA0/A16	4、5	L	T	[OPE = 0] T [OPE = 1] Keep	T	アドレス出力
	6	T	T	[DDR · OPE = 0] T [DDR · OPE = 1] Keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力
	7	T	T	Keep	Keep	入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート B	4、5	L	T	[OPE = 0] T [OPE = 1] Keep	T	アドレス出力	
	6	T	T	[DDR・OPE = 0] T [DDR・OPE = 1] Keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	7	T	T	Keep	Keep	入出力ポート	
ポート C	4、5	L	T	[OPE = 0] T [OPE = 1] Keep	T	アドレス出力	
	6	T	T	[DDR・OPE = 0] T [DDR・OPE = 1] Keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	7	T	T	Keep	Keep	入出力ポート	
ポート D	4~6	T	T	T	T	データバス	
	7	T	T	Keep	Keep	入出力ポート	
ポート E	4 ~ 6	8ビット バス	T	T	Keep	Keep	入出力ポート
	6 16ビット バス	T	T	T	T	データバス	
	7	T	T	Keep	Keep	入出力ポート	
PF7/ ϕ	4~6	クロック出力	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	
	7	T	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	
PF6/ \overline{AS}	4~6	H	T	[ASOD = 1] Keep [\overline{ASOD} ・ \overline{OPE} = 1] T [\overline{ASOD} ・OPE = 1] H	[ASOD = 1] Keep [ASOD = 0] T	[ASOD = 1] 入出力ポート [ASOD = 0] \overline{AS}	
	7	T	T	Keep	Keep	入出力ポート	

付録

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF5/RD PF4/HWR	4~6	H	T	[OPE = 0] T [OPE = 1] H	T	RD、HWR
	7	T	T	Keep	Keep	入出力ポート
PF3/LWR/ IRQ3	4~6	H	T	[LWROD = 1] Keep [LWROD · OPE = 1] T [LWROD · OPE = 1] H	[LWROD = 1] Keep [LWROD = 0] T	[LWROD = 1] 入出力ポート [LWROD = 0] LWR
	7	T	T	Keep	Keep	入出力ポート
PF2/WAIT/ IRQ2/BREQO	4~6	T	T	[BREQOE+WAITE = 0] Keep [BREQOE = 1] Keep [BREQOE = 0] かつ [WAITE · DDR = 1] T	[BREQOE+WAITE = 0] Keep [BREQOE = 1] BREQO [BREQOE = 0] かつ [WAITE · DDR = 1] T	[BREQOE+WAITE = 0] 入出力ポート [BREQOE = 1] BREQO [BREQOE = 0] かつ [WAITE · DDR = 1] WAIT
	7	T	T	Keep	Keep	入出力ポート
PF1/BACK/ IRQ1/CS5	4~6	T	T	[BRLE+CS25E · PF1CS5S = 0] Keep [BRLE · DDR · CS25E · PF1CS5S = 1] かつ [OPE = 0] T [BRLE · DDR · CS25E · PF1CS5S = 1] かつ [OPE = 1] H [BRLE = 1] BACK	L	[BRLE+ (CS25E · PF1CS5S) = 0] 入出力ポート [BRLE · DDR · CS25E · PF1CS5S = 1] CS5 [BRLE = 1] BACK
	7	T	T	Keep	Keep	入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF0/BREQ/ IRQ0/CS4	4~6	T	T	[BRLE+CS25E · PF0CS4S = 0] Keep [BRLE · DDR · CS25E · PF0CS4S = 1] かつ [OPE = 0] T [BRLE · DDR · CS25E · PF0CS4S = 1] かつ [OPE = 1] H [BRLE=1] T	T	[BRLE+CS25E · PF0CS4S = 0] 入出力ポート [BRLE · DDR · CS25E · PF0CS4S = 1] $\overline{CS4}$ [BRLE = 1] BREQ
	7	T	T	Keep	Keep	入出力ポート
PG4/CS0	4, 5	H	T	[DDR · OPE = 0]	T	[DDR = 0]
	6	T		T [DDR · OPE = 1] H		[DDR = 1] CS0
	7	T	T	Keep	Keep	入出力ポート
PG3/CS1/CS7	4~6	T	T	[CS167E = 0] Keep [CS167E · \overline{DDR} = 1] T [CS167E · DDR · \overline{OPE} = 1] T [CS167E · DDR · OPE = 1] H	[CS167E = 0] Keep [CS167E = 1] T	[CS167E = 0] 入出力ポート [CS167E · \overline{DDR} = 1] 入力ポート [CS167E · CSS17 · DDR = 1] $\overline{CS1}$ [CS167E · CSS17 · DDR = 1] CS7
				7	T	T

付録

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG2/CS2	4~6	T	T	[CS25E = 0] Keep [CS25E · DDR = 1] T [CS25E · DDR · OPE = 1] T [CS25E · DDR · OPE = 1] H	[CS25E = 0] Keep [CS25E = 1] T	[CS25E = 0] 入出力ポート [CS25E · DDR = 1] 入力ポート [CS25E · DDR = 1] CS2
	7	T	T	Keep	Keep	入出力ポート
PG1/CS3/ CS6/IRQ7	4~6	T	T	[CSS36 · CS25E+ CSS36 · CS167E = 0] Keep [CSS36 · CS25E · DDR = 1] T [CSS36 · CS167E · DDR = 1] T [CSS36 · CS25E · DDR · OPE = 1] T [CSS36 · CS167E · DDR · OPE = 1] T [CSS36 · CS25E · DDR · OPE = 1] H [CSS36 · CS167E · DDR · OPE = 1] H	[CSS36 · CS25E+ CSS36 · CS167E = 0] Keep [CSS36 · CS25E+ CSS36 · CS167E = 1] T	[CSS36 · CS25E+ CSS36 · CS167E = 0] 入出力ポート [CSS36 · CS25E · DDR = 1] 入力ポート [CSS36 · CS167E · DDR = 1] 入力ポート [CSS36 · CS25E · DDR = 1] CS3 [CSS36 · CS167E · DDR = 1] CS6
	7	T	T	Keep	Keep	入出力ポート
PG0/ADTRG/ IRQ6	4~7	T	T	Keep	Keep	入出力ポート
WDTOVF*1	4~7	H	H	H	H	H*2

【記号説明】

L	: Low レベル	H	: High レベル
Keep	: 入力ポートはハイインピーダンス、 出力ポートは保持	T	: ハイインピーダンス
OPE	: 出力ポートイネーブル	DDR	: データディレクションレジスタ
BRLE	: バスリリースイネーブル	WAITE	: ウェイト入力イネーブル
AnE	: アドレス n イネーブル (n=23~20)	BREQOE	: BREQO 端子イネーブル
CS25E	: CS25 イネーブル	ASOD	: AS 出力カディスエーブル
CSS36	: CS36 セレクト	CS167E	: CS167 イネーブル
		PF1CS5S	: ポート F1 チップセレクト 5 セレクト

CSS17 : CS17 セレクト

PF0CS4S : ポート F0 チップセレクト 4 セレクト

LWROD : LWR 出力ディスエーブル

DAOEn : D/A アウトプットイネーブル n (n=0, 1)

【注】 *1 F-ZTAT 版では $\overline{\text{WDTOVF}}$ 端子機能は使用できません。

*2 $\text{WT}/\overline{\text{IT}} = 1$ の状態で WDT がオーバーフローした場合 LOW 出力されます。

E. ROM 発注手順

E.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリスト、およびマーク仕様を一緒に提出していただきます。これにより、弊社では図 E.1 の流れに沿って ROM 書き換え品の開発を行います。

表 E.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

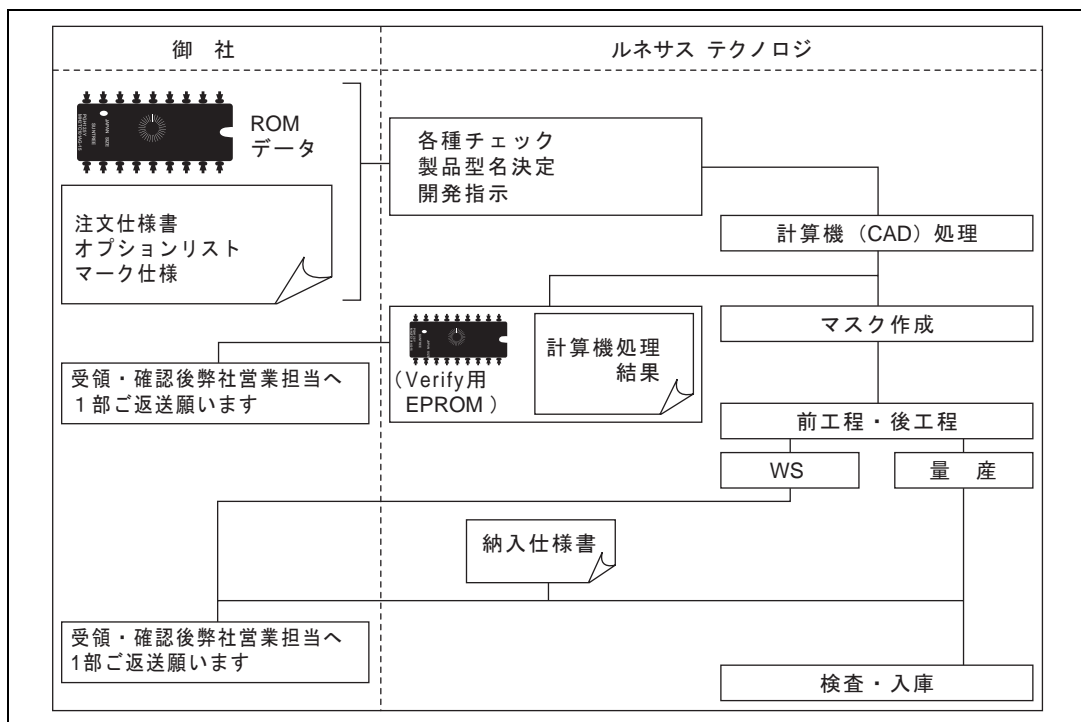


図 E.1 ROM 書き換え品開発の流れ

表 E.1 ROM 発注時に必要な提出物

発注媒体	EPROM、ZTAT、または F-ZTAT マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品グループにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

E.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従い、EPROM、ZTAT、または F-ZTAT マイコンで提出してください。なお、EPROM、ZTAT、または F-ZTAT マイコン以外の媒体（フロッピーディスクなど）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番などを記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロールなどは不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

F. 型名一覧

表 F.1 H8S/2319 グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ (パッケージコード)
H8S/2319	マスク ROM 版	HD6432319	HD64F2319TE	100 ピン TQFP (TFP-100B)
			HD64F2319F	100 ピン QFP (FP-100A)
	F-ZTAT 版	HD64F2319	HD64F2319VTE	100 ピン TQFP (TFP-100B)
			HD64F2319VF	100 ピン QFP (FP-100A)
		HD64F2319E* ¹	HD64F2319EVTE	100 ピン TQFP (TFP-100B)
			HD64F2319EVF	100 ピン QFP (FP-100A)
		HD64F2319C	HD64F2319CVTE	100 ピン TQFP (TFP-100B)
			HD64F2319CVF	100 ピン QFP (FP-100A)
	HD64F2319CLP	113 ピン LGA (TLP-113V)		
	H8S/2318	マスク ROM 版	HD6432318	HD6432318TE
HD6432318F				100 ピン QFP (FP-100A)
F-ZTAT 版		HD64F2318	HD64F2318VTE	100 ピン TQFP (TFP-100B)
			HD64F2318VTF	100 ピン TQFP (TFP-100G)
			HD64F2318VF	100 ピン QFP (FP-100A)
			HD64F2318VTF	100 ピン QFP (FP-100A)
H8S/2317(S)* ²	マスク ROM 版	HD6432317S	HD6432317STE	100 ピン TQFP (TFP-100B)
			HD6432317STF	100 ピン TQFP (TFP-100G)
			HD6432317SF	100 ピン QFP (FP-100A)
			HD6432317SLP	113 ピン LGA (TLP-113V)
	F-ZTAT 版	HD64F2317	HD64F2317VTE	100 ピン TQFP (TFP-100B)
			HD64F2317VTF	100 ピン TQFP (TFP-100G)
			HD64F2317VF	100 ピン QFP (FP-100A)
			HD64F2317VTF	100 ピン QFP (FP-100A)
H8S/2316S	マスク ROM 版	HD6432316S	HD6432316STE	100 ピン TQFP (TFP-100B)
			HD6432316STF	100 ピン TQFP (TFP-100G)
			HD6432316SF	100 ピン QFP (FP-100A)
			HD6432316SLP	113 ピン LGA (TLP-113V)
H8S/2315	マスク ROM 版	HD6432315	HD6432315VTE	100 ピン TQFP (TFP-100B)
			HD6432315VF	100 ピン QFP (FP-100A)
	F-ZTAT 版	HD64F2315	HD64F2315VTE	100 ピン TQFP (TFP-100B)
			HD64F2315VF	100 ピン QFP (FP-100A)
H8S/2314	マスク ROM 版	HD6432314	HD6432314VTE	100 ピン TQFP (TFP-100B)
			HD6432314VF	100 ピン QFP (FP-100A)
	F-ZTAT 版	HD64F2314	HD64F2314VTE	100 ピン TQFP (TFP-100B)
			HD64F2314VF	100 ピン QFP (FP-100A)
H8S/2312S	ROM なし版	HD6412312S	HD6412312SVTE	100 ピン TQFP (TFP-100B)
			HD6412312SVF	100 ピン QFP (FP-100A)

【注】 *1 E10A エミュレータにて、オンチップデバッグ機能を使用することができます (E10A 対応版)。

*2 マスク ROM 版は H8S/2317S となります。

G. 外形寸法図

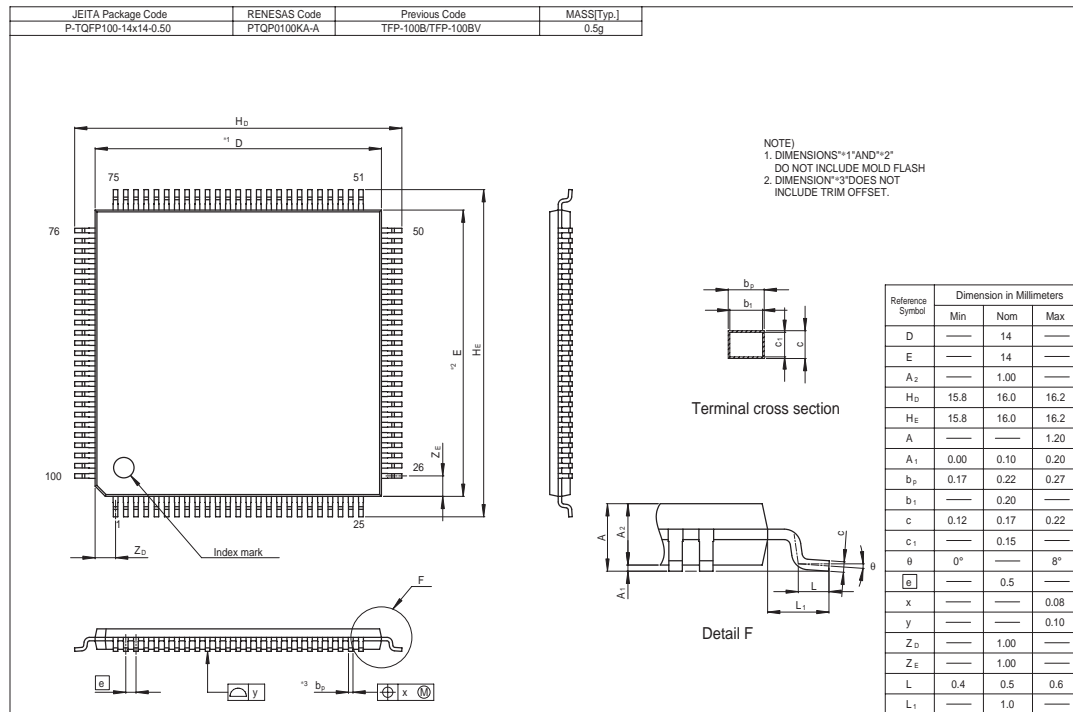


図 G.1 TFP-100B の外形寸法図

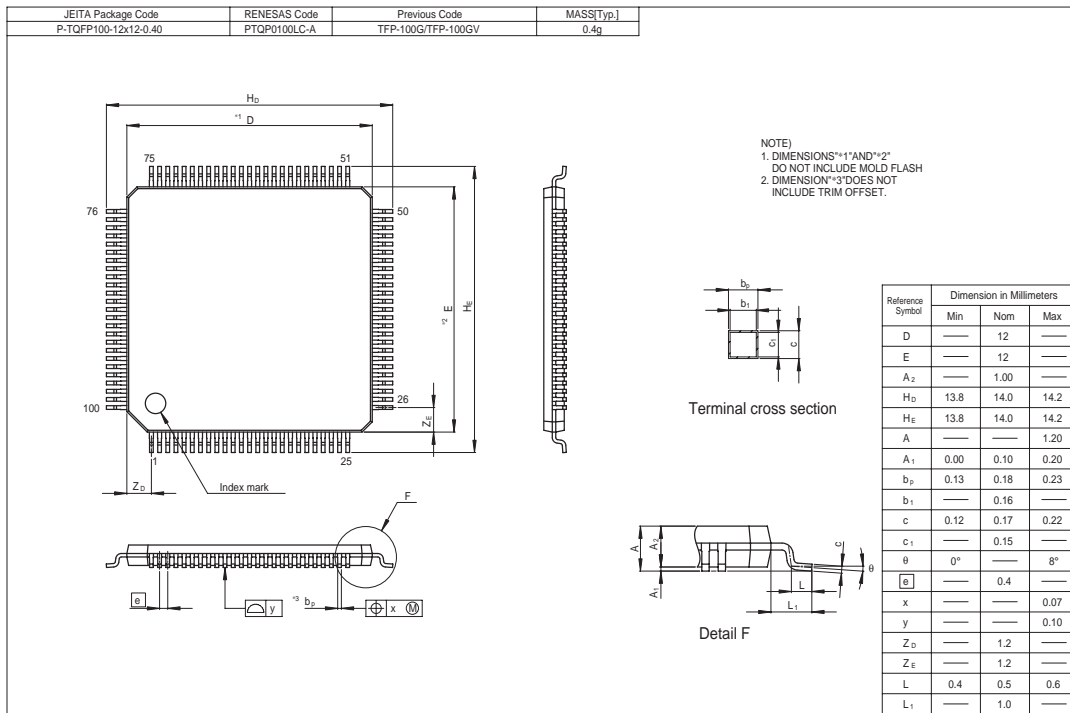


図 G.2 TFP-100G の外形寸法図

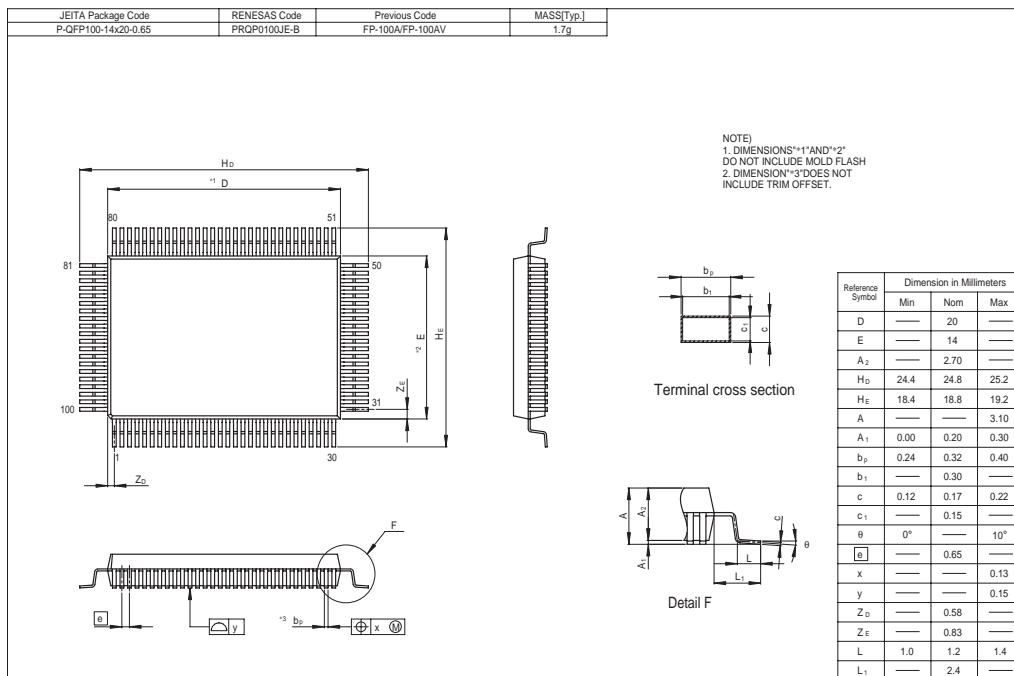


図 G.3 FP-100A の外形寸法図

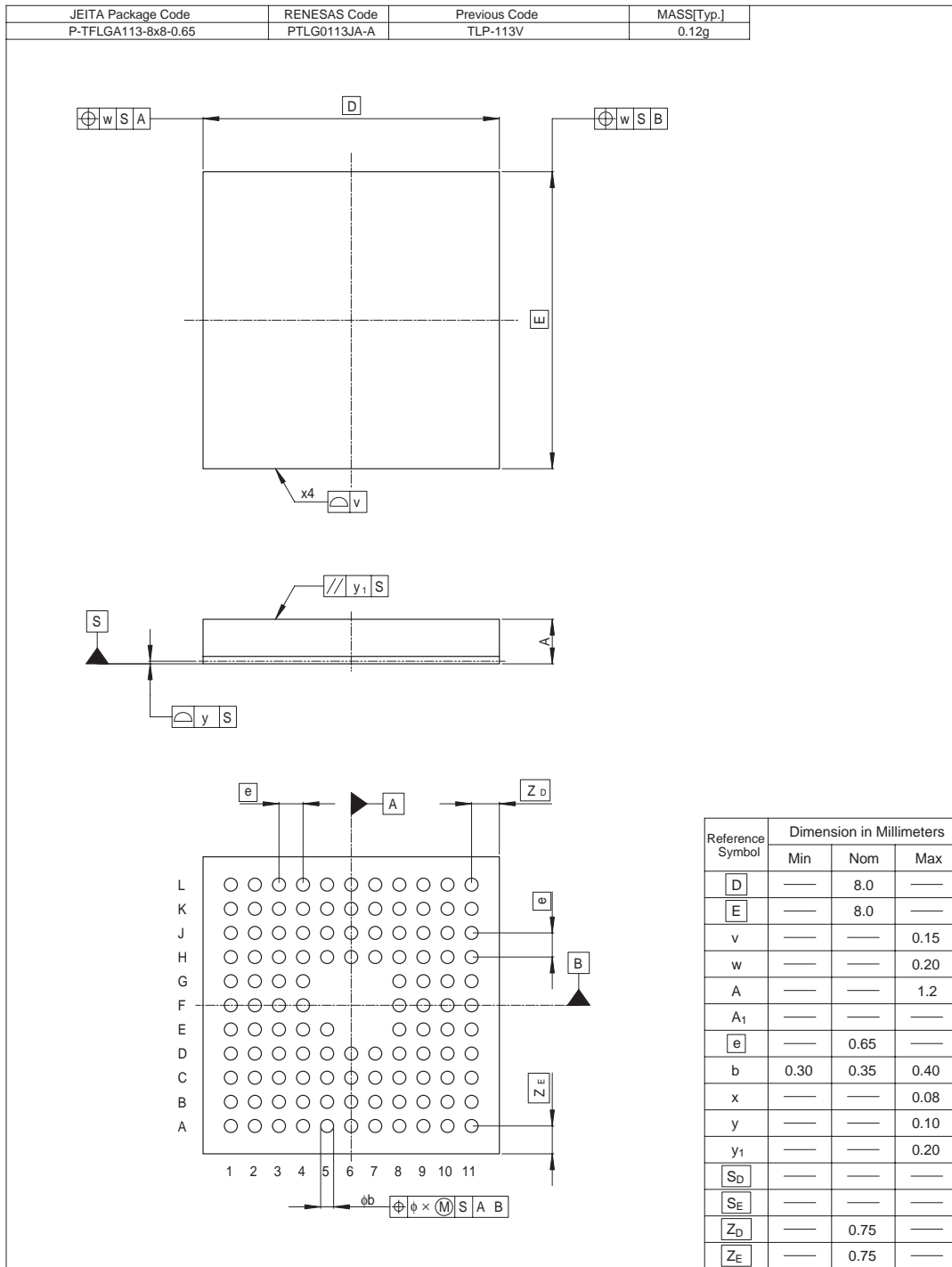


図 G.4 TLP-113V の外形寸法図

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2319グループ

発行年月日 1999年3月 第1版
2007年2月14日 Rev.7.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2319 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0083-0700