

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/2426、H8S/2426R、H8S/2424 グループ ユーザーズマニュアル ハードウェア編

ルネサス 16 ビットシングルチップマイクロコンピュータ
H8S ファミリ／H8S/2400 シリーズ

H8S/2426	R4F2426
	R4S2426
H8S/2426R	R4F2426R
	R4S2426R
H8S/2424	R4F2424
	R4S2424

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
 2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
 3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
 6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
 10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

H8S/2426、H8S/2426R、H8S/2424 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	-	-
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	H8S/2426、H8S/2426R、 H8S/2424 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	H8S/2600 シリーズ、 H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C 言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名. レジスタ名. ビット名」または「レジスタ名. ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

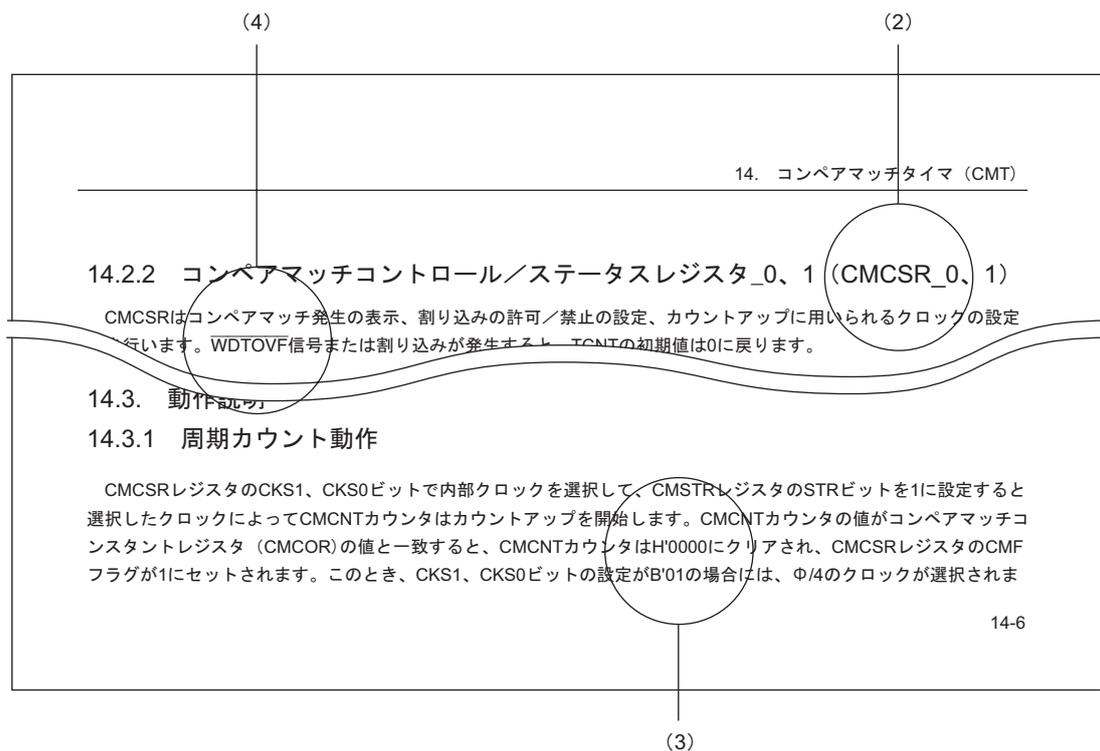
2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、10進数はnnnnで表します。

(例) 2進数 : B'11または11
16進数 : H'EFA0または0xEFA0
10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF



【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。

(1) ビット	(2) ビット名	(3) 初期値	(4) R/W	(5) 説明
15 14	—	0 0	R R	リザーブビット 読み出すと常に0が読み出されます。
13~11	ASID2~0	すべて0	R/W	アドレス識別子 端子機能の有効/無効を設定できます。
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	—	1	R	リザーブビット 読み出すと常に1が読み出されます。
—	—	0	—	—

【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]のように桁数の表記を追加します。

また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

— : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、

ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略語または略称

略称	英語名	日本語名
BSC	Bus Controller	バスコントローラ
CPG	Clock Pulse Generator	クロック発振器
INT	Interrupt Controller	割り込みコントローラ
SCI	Serial Communication Interface	シリアルコミュニケーションインタフェース
TMR	8-Bit Timer	8ビットタイマ
TPU	16-Bit Timer Pulse Unit	16ビットタイマパルスユニット
WDT	Watchdog Timer	ウォッチドッグタイマ

- その他の略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	-
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.1.1 用途.....	1-1
1.1.2 仕様概要.....	1-2
1.2 製品一覧.....	1-7
1.3 ブロック図.....	1-11
1.4 端子説明.....	1-13
1.4.1 ピン配置図.....	1-13
1.4.2 動作モード別ピン配置一覧.....	1-16
1.4.3 端子機能.....	1-28
2. CPU.....	2-1
2.1 特長.....	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点.....	2-2
2.1.2 H8/300 CPU との相違点.....	2-3
2.1.3 H8/300H CPU との相違点.....	2-3
2.2 CPU動作モード.....	2-4
2.2.1 ノーマルモード.....	2-4
2.2.2 アドバンスモード.....	2-6
2.3 アドレス空間.....	2-8
2.4 レジスタの構成.....	2-9
2.4.1 汎用レジスタ.....	2-10
2.4.2 プログラムカウンタ (PC).....	2-11
2.4.3 エクステンドレジスタ (EXR).....	2-11
2.4.4 コンディションコードレジスタ (CCR).....	2-12
2.4.5 積和レジスタ (MAC).....	2-13
2.4.6 CPU 内部レジスタの初期値.....	2-13
2.5 データ形式.....	2-14
2.5.1 汎用レジスタのデータ形式.....	2-14
2.5.2 メモリ上でのデータ形式.....	2-16
2.6 命令セット.....	2-17
2.6.1 命令の機能別一覧.....	2-18
2.6.2 命令の基本フォーマット.....	2-27
2.7 アドレッシングモードと実効アドレスの計算方法.....	2-28

2.7.1	レジスタ直接 Rn.....	2-28
2.7.2	レジスタ間接 @ERn.....	2-28
2.7.3	ディスプレイメント付きレジスタ @ (d:16,ERn) /@ (d:32,ERn)	2-28
2.7.4	ポストインクリメントレジスタ間接@ERn+/プリデクリメントレジスタ間接@-ERn.....	2-28
2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32	2-29
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32	2-30
2.7.7	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-30
2.7.8	メモリ間接 @@aa:8	2-30
2.7.9	実効アドレスの計算方法	2-31
2.8	処理状態.....	2-33
2.9	使用上の注意事項.....	2-35
2.9.1	ビット操作命令使用上の注意事項.....	2-35
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	各動作モードの説明	3-4
3.3.1	モード1	3-4
3.3.2	モード2	3-4
3.3.3	モード3	3-4
3.3.4	モード4	3-4
3.3.5	モード7	3-5
3.3.6	端子機能	3-5
3.4	各動作モードのアドレスマップ.....	3-6
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット	4-4
4.3.1	リセット例外処理	4-4
4.3.2	リセット直後の割り込み	4-7
4.3.3	リセット解除後の内蔵周辺機能.....	4-7
4.4	トレース例外処理	4-7
4.5	割り込み例外処理	4-8
4.6	トラップ命令例外処理	4-8
4.7	不当命令例外処理	4-9

4.8	例外処理後のスタックの状態.....	4-10
4.9	使用上の注意事項.....	4-11
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1
5.2	入出力端子.....	5-2
5.3	レジスタの説明.....	5-3
5.3.1	割り込みコントロールレジスタ (INTCR).....	5-4
5.3.2	インタラプトプライオリティレジスタ A~N (IPRA~IPRN).....	5-5
5.3.3	IRQ イネーブルレジスタ (IER).....	5-7
5.3.4	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL).....	5-8
5.3.5	IRQ ステータスレジスタ (ISR).....	5-11
5.3.6	IRQ 端子セレクトレジスタ (ITSR).....	5-12
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER).....	5-14
5.4	割り込み要因.....	5-15
5.4.1	外部割り込み要因.....	5-15
5.4.2	内部割り込み.....	5-16
5.5	割り込み例外処理ベクタテーブル.....	5-16
5.6	割り込み制御モードと割り込み動作.....	5-22
5.6.1	割り込み制御モード 0.....	5-22
5.6.2	割り込み制御モード 2.....	5-24
5.6.3	割り込み例外処理シーケンス.....	5-26
5.6.4	割り込み応答時間.....	5-27
5.6.5	割り込みによる DTC、DMAC の起動.....	5-28
5.7	使用上の注意事項.....	5-29
5.7.1	割り込みの発生とディスエーブルとの競合.....	5-29
5.7.2	割り込みを禁止している命令.....	5-30
5.7.3	割り込み禁止期間.....	5-30
5.7.4	EEPMOV 命令実行中の割り込み.....	5-30
5.7.5	IRQ 端子セレクトレジスタ (ITSR) 設定の変更.....	5-30
5.7.6	IRQ ステータスレジスタ (ISR) について.....	5-30
6.	バスコントローラ (BSC).....	6-1
6.1	特長.....	6-1
6.2	入出力端子.....	6-4
6.3	レジスタの説明.....	6-6
6.3.1	バス幅コントロールレジスタ (ABWCR).....	6-6
6.3.2	アクセスステートコントロールレジスタ (ASTCR).....	6-7

6.3.3	ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL)	6-8
6.3.4	リードストローブタイミングコントロールレジスタ (RDNCR)	6-12
6.3.5	$\overline{\text{CS}}$ アサート期間コントロールレジスタ H、L (CSACRH、CSACRL)	6-13
6.3.6	エリア 0 バースト ROM インタフェースコントロールレジスタ (BROMCRH) エリア 1 バースト ROM インタフェースコントロールレジスタ (BROMCRL)	6-15
6.3.7	バスコントロールレジスタ (BCR)	6-16
6.3.8	アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)	6-17
6.3.9	DRAM コントロールレジスタ (DRAMCR)	6-18
6.3.10	DRAM アクセスコントロールレジスタ (DRACCR)	6-22
6.3.11	リフレッシュコントロールレジスタ (REFCR)	6-25
6.3.12	リフレッシュタイマカウンタ (RTCNT)	6-28
6.3.13	リフレッシュタイムコンスタントレジスタ (RTCOR)	6-28
6.4	バス制御	6-29
6.4.1	エリア分割	6-29
6.4.2	バス仕様	6-30
6.4.3	メモリアンタフェース	6-32
6.4.4	チップセレクト信号	6-34
6.5	基本バスインタフェース	6-35
6.5.1	データサイズとデータアライメント	6-35
6.5.2	有効ストローブ	6-36
6.5.3	基本動作タイミング	6-37
6.5.4	ウェイト制御	6-45
6.5.5	リードストローブ ($\overline{\text{RD}}$) タイミング	6-46
6.5.6	チップセレクト ($\overline{\text{CS}}$) アサート期間拡張	6-47
6.6	アドレス/データマルチプレクス I/O インタフェース	6-48
6.6.1	アドレス/データマルチプレクス I/O 空間の設定	6-48
6.6.2	アドレス/データマルチプレクス	6-48
6.6.3	データバス	6-48
6.6.4	アドレスホールド信号	6-48
6.6.5	基本タイミング	6-49
6.6.6	ウェイト制御	6-57
6.6.7	リードストローブ ($\overline{\text{RD}}$) タイミング	6-58
6.6.8	データサイクルのチップセレクト ($\overline{\text{CS}}$) アサート期間拡張	6-59
6.7	DRAM インタフェース	6-61
6.7.1	DRAM 空間の設定	6-61
6.7.2	アドレスマルチプレクス	6-62
6.7.3	データバス	6-62

6.7.4	DRAM インタフェース使用端子.....	6-63
6.7.5	基本動作タイミング	6-64
6.7.6	カラムアドレス出力サイクル制御.....	6-65
6.7.7	ロウアドレス出力ステート制御.....	6-66
6.7.8	プリチャージステート制御.....	6-68
6.7.9	ウェイト制御	6-69
6.7.10	バイトアクセス制御	6-72
6.7.11	バースト動作	6-73
6.7.12	リフレッシュ制御	6-77
6.7.13	DMAC および EXDMAC のシングルアドレス転送モードと DRAM インタフェース.....	6-82
6.8	シンクロナスDRAMインタフェース.....	6-84
6.8.1	連続シンクロナス DRAM 空間の設定.....	6-84
6.8.2	アドレスマルチプレクス	6-85
6.8.3	データバス	6-85
6.8.4	シンクロナス DRAM インタフェース使用端子.....	6-86
6.8.5	シンクロナス DRAM 専用クロック	6-87
6.8.6	基本動作タイミング	6-87
6.8.7	CAS レイテンシ制御.....	6-89
6.8.8	ロウアドレス出力ステート制御.....	6-91
6.8.9	プリチャージステート数	6-92
6.8.10	ライトサイクル時のバスサイクル制御.....	6-93
6.8.11	バイトアクセス制御	6-94
6.8.12	バースト動作	6-97
6.8.13	リフレッシュ制御	6-101
6.8.14	シンクロナス DRAM のモードレジスタ設定.....	6-106
6.8.15	DMAC および EXDMAC のシングルアドレス転送モードとシンクロナス DRAM インタフェース	6-107
6.9	バーストROMインタフェース	6-112
6.9.1	基本タイミング	6-112
6.9.2	ウェイト制御	6-114
6.9.3	ライトアクセス	6-114
6.10	アイドルサイクル	6-115
6.10.1	動作説明	6-115
6.10.2	アイドルサイクルでの端子状態.....	6-134
6.11	ライトデータバッファ機能	6-135
6.12	バス権解放	6-136
6.12.1	動作説明	6-136
6.12.2	外部バス権解放状態での端子状態.....	6-137

6.12.3	遷移タイミング	6-138
6.13	バスアービトレーション	6-140
6.13.1	動作説明	6-140
6.13.2	バス権移行タイミング	6-141
6.14	リセットとバスコントローラ	6-142
6.15	使用上の注意事項	6-143
6.15.1	外部バス権解放機能と全モジュールクロックストップモード	6-143
6.15.2	外部バス権解放機能とソフトウェアスタンバイ	6-143
6.15.3	外部バス権解放機能と CBR リフレッシュ/オートリフレッシュ	6-143
6.15.4	$\overline{\text{BREQO}}$ 出力タイミング	6-143
6.15.5	シンクロナス DRAM 使用上の注意事項	6-144
7.	DMA コントローラ (DMAC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-2
7.3	レジスタの説明	7-3
7.3.1	メモリアドレスレジスタ (MARA、MARB)	7-5
7.3.2	I/O アドレスレジスタ (IOARA、IOARB)	7-5
7.3.3	転送カウンタレジスタ (ETCRA、ETCRB)	7-6
7.3.4	DMA コントロールレジスタ (DMACRA、DMACRB)	7-6
7.3.5	DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL)	7-12
7.3.6	DMA ライトイネーブルレジスタ (DMAWER)	7-19
7.3.7	DMA ターミナルコントロールレジスタ (DMATCR)	7-21
7.4	起動要因	7-22
7.4.1	内部割り込み要求による起動	7-23
7.4.2	外部リクエストによる起動	7-23
7.4.3	オートリクエストによる起動	7-23
7.5	動作説明	7-24
7.5.1	転送モード	7-24
7.5.2	シーケンシャルモード	7-26
7.5.3	アイドルモード	7-29
7.5.4	リピートモード	7-31
7.5.5	シングルアドレスモード	7-34
7.5.6	ノーマルモード	7-37
7.5.7	ブロック転送モード	7-40
7.5.8	基本バスサイクル	7-45
7.5.9	DMA 転送 (デュアルアドレスモード) のバスサイクル	7-46
7.5.10	DMA 転送 (シングルアドレスモード) のバスサイクル	7-54

7.5.11	ライトデータバッファ機能.....	7-58
7.5.12	複数チャネルの動作.....	7-60
7.5.13	DMAC と外部バス権要求、リフレッシュサイクル、EXDMAC.....	7-61
7.5.14	DMAC と NMI 割り込み.....	7-62
7.5.15	DMAC の強制終了.....	7-63
7.5.16	フルアドレスモードの解除.....	7-63
7.6	割り込み要因.....	7-64
7.7	使用上の注意事項.....	7-65
8.	EXDMA コントローラ (EXDMAC)	8-1
8.1	特長.....	8-1
8.2	入出力端子.....	8-3
8.3	レジスタの説明.....	8-4
8.3.1	EXDMA ソースアドレスレジスタ (EDSAR)	8-4
8.3.2	EXDMA デスティネーションアドレスレジスタ (EDDAR)	8-4
8.3.3	EXDMA 転送カウントレジスタ (EDTCR)	8-5
8.3.4	EXDMA モードコントロールレジスタ (EDMDR)	8-6
8.3.5	EXDMA アドレスコントロールレジスタ (EDACR)	8-9
8.4	動作説明.....	8-12
8.4.1	転送モード.....	8-12
8.4.2	アドレスモード.....	8-13
8.4.3	EXDMA 転送要求.....	8-16
8.4.4	バスモード.....	8-17
8.4.5	転送モード.....	8-19
8.4.6	リピートエリア機能.....	8-21
8.4.7	EXDMA 転送動作中のレジスタ.....	8-23
8.4.8	チャネルの優先順位.....	8-26
8.4.9	EXDMAC 転送 (デュアルアドレスモード) のバスサイクル.....	8-29
8.4.10	EXDMAC 転送 (シングルアドレスモード) のバスタイミング.....	8-35
8.4.11	各モードの動作タイミング.....	8-39
8.4.12	EXDMA 転送終了.....	8-50
8.4.13	EXDMAC と他のバスマスタ.....	8-51
8.5	割り込み要因.....	8-52
8.6	使用上の注意事項.....	8-54
9.	データトランスファコントローラ (DTC)	9-1
9.1	特長.....	9-1
9.2	レジスタの説明.....	9-3

9.2.1	DTC モードレジスタ A (MRA)	9-4
9.2.2	DTC モードレジスタ B (MRB)	9-5
9.2.3	DTC ソースアドレスレジスタ (SAR)	9-6
9.2.4	DTC デスティネーションアドレスレジスタ (DAR)	9-6
9.2.5	DTC 転送カウンタレジスタ A (CRA)	9-6
9.2.6	DTC 転送カウンタレジスタ B (CRB)	9-6
9.2.7	DTC イネーブルレジスタ A~I (DTCERA~DTCERI)	9-7
9.2.8	DTC ベクタレジスタ (DTVECR)	9-7
9.2.9	DTC コントロールレジスタ (DTCCR)	9-8
9.3	起動要因	9-9
9.4	レジスタ情報の配置とDTCベクタテーブル	9-10
9.5	動作説明	9-13
9.5.1	ノーマルモード	9-15
9.5.2	リピートモード	9-16
9.5.3	ブロック転送モード	9-17
9.5.4	チェイン転送	9-18
9.5.5	割り込み要因	9-19
9.5.6	動作タイミング	9-20
9.5.7	DTC 実行ステート数	9-21
9.6	DTC使用手順	9-22
9.6.1	割り込みによる起動	9-22
9.6.2	ソフトウェアによる起動	9-22
9.7	DTC使用例	9-23
9.7.1	ノーマルモード	9-23
9.7.2	チェイン転送	9-24
9.7.3	転送カウンタ=0 のときのチェイン転送	9-25
9.7.4	ソフトウェア起動	9-27
9.8	使用上の注意事項	9-28
9.8.1	モジュールストップ機能の設定	9-28
9.8.2	内蔵 RAM	9-28
9.8.3	DTCE ビットの設定	9-28
9.8.4	DMAC 転送終了割り込み	9-28
9.8.5	チェイン転送	9-28
10.	I/O ポート	10-1
10.1	ポート1	10-15
10.1.1	ポート1 データディレクションレジスタ (PIDDR)	10-15
10.1.2	ポート1 データレジスタ (PIDR)	10-15

10.1.3	ポート 1 レジスタ (PORT1)	10-16
10.1.4	ポート 1 オープンドレインコントロールレジスタ (P1ODR)	10-16
10.1.5	端子機能	10-17
10.2	ポート 2	10-35
10.2.1	ポート 2 データディレクションレジスタ (P2DDR)	10-35
10.2.2	ポート 2 データレジスタ (P2DR)	10-35
10.2.3	ポート 2 レジスタ (PORT2)	10-36
10.2.4	ポート 2 オープンドレインコントロールレジスタ (P2ODR)	10-36
10.2.5	端子機能	10-37
10.3	ポート 3	10-53
10.3.1	ポート 3 データディレクションレジスタ (P3DDR)	10-53
10.3.2	ポート 3 データレジスタ (P3DR)	10-53
10.3.3	ポート 3 レジスタ (PORT3)	10-54
10.3.4	ポート 3 オープンドレインコントロールレジスタ (P3ODR)	10-54
10.3.5	端子機能	10-55
10.4	ポート 4	10-58
10.4.1	ポート 4 レジスタ (PORT4)	10-58
10.4.2	端子機能	10-58
10.5	ポート 5	10-60
10.5.1	ポート 5 データディレクションレジスタ (P5DDR)	10-60
10.5.2	ポート 5 データレジスタ (P5DR)	10-60
10.5.3	ポート 5 レジスタ (PORT5)	10-61
10.5.4	ポート 5 オープンドレインコントロールレジスタ (P5ODR)	10-61
10.5.5	端子機能	10-62
10.6	ポート 6	10-68
10.6.1	ポート 6 データディレクションレジスタ (P6DDR)	10-68
10.6.2	ポート 6 データレジスタ (P6DR)	10-68
10.6.3	ポート 6 レジスタ (PORT6)	10-69
10.6.4	ポート 6 オープンドレインコントロールレジスタ (P6ODR)	10-69
10.6.5	端子機能	10-70
10.7	ポート 8	10-73
10.7.1	ポート 8 データディレクションレジスタ (P8DDR)	10-73
10.7.2	ポート 8 データレジスタ (P8DR)	10-73
10.7.3	ポート 8 レジスタ (PORT8)	10-74
10.7.4	ポート 8 オープンドレインコントロールレジスタ (P8ODR)	10-74
10.7.5	端子機能	10-75
10.8	ポート 9	10-84
10.8.1	ポート 9 レジスタ (PORT9)	10-84

10.8.2	端子機能	10-84
10.9	ポートA	10-86
10.9.1	ポート A データディレクションレジスタ (PADDDR)	10-87
10.9.2	ポート A データレジスタ (PADR)	10-89
10.9.3	ポート A レジスタ (PORTA)	10-89
10.9.4	ポート A プルアップ MOS コントロールレジスタ (PAPCR)	10-90
10.9.5	ポート A オープンドレインコントロールレジスタ (PAODR)	10-90
10.9.6	端子機能	10-91
10.9.7	ポート A 入力プルアップ MOS の状態	10-98
10.10	ポートB	10-99
10.10.1	ポート B データディレクションレジスタ (PBDDR)	10-99
10.10.2	ポート B データレジスタ (PBDR)	10-99
10.10.3	ポート B レジスタ (PORTB)	10-100
10.10.4	ポート B プルアップ MOS コントロールレジスタ (PBPCR)	10-100
10.10.5	ポート B オープンドレインコントロールレジスタ (PBODR)	10-101
10.10.6	端子機能	10-102
10.10.7	ポート B 入力プルアップ MOS の状態	10-109
10.11	ポートC	10-110
10.11.1	ポート C データディレクションレジスタ (PCDDR)	10-110
10.11.2	ポート C データレジスタ (PCDR)	10-110
10.11.3	ポート C レジスタ (PORTC)	10-111
10.11.4	ポート C プルアップ MOS コントロールレジスタ (PCPCR)	10-111
10.11.5	ポート C オープンドレインコントロールレジスタ (PCODR)	10-112
10.11.6	端子機能	10-112
10.11.7	ポート C 入力プルアップ MOS の状態	10-118
10.12	ポートD	10-119
10.12.1	ポート D データディレクションレジスタ (PDDDR)	10-119
10.12.2	ポート D データレジスタ (PDDR)	10-119
10.12.3	ポート D レジスタ (PORTD)	10-120
10.12.4	ポート D プルアップ MOS コントロールレジスタ (PDPCR)	10-120
10.12.5	ポート D オープンドレインコントロールレジスタ (PDODR)	10-121
10.12.6	端子機能	10-121
10.12.7	ポート D 入力プルアップ MOS の状態	10-122
10.13	ポートE	10-123
10.13.1	ポート E データディレクションレジスタ (PEDDR)	10-123
10.13.2	ポート E データレジスタ (PEDR)	10-124
10.13.3	ポート E レジスタ (PORTE)	10-124
10.13.4	ポート E プルアップ MOS コントロールレジスタ (PEPCR)	10-125

10.13.5	ポート E オープンドレインコントロールレジスタ (PEODR)	10-125
10.13.6	端子機能	10-126
10.13.7	ポート E 入力プルアップ MOS の状態	10-126
10.14	ポート F	10-127
10.14.1	ポート F データディレクションレジスタ (PFDDR)	10-128
10.14.2	ポート F データレジスタ (PFDR)	10-129
10.14.3	ポート F レジスタ (PORTF)	10-129
10.14.4	ポート F オープンドレインコントロールレジスタ (PFODR)	10-130
10.14.5	端子機能	10-131
10.15	ポート G	10-141
10.15.1	ポート G データディレクションレジスタ (PGDDR)	10-142
10.15.2	ポート G データレジスタ (PGDR)	10-143
10.15.3	ポート G レジスタ (PORTG)	10-143
10.15.4	ポート G オープンドレインコントロールレジスタ (PGODR)	10-144
10.15.5	端子機能	10-145
10.16	ポート H	10-149
10.16.1	ポート H データディレクションレジスタ (PHDDR)	10-150
10.16.2	ポート H データレジスタ (PHDR)	10-151
10.16.3	ポート H レジスタ (PORTH)	10-151
10.16.4	ポート H オープンドレインコントロールレジスタ (PHODR)	10-151
10.16.5	端子機能	10-152
10.17	ポート J	10-155
10.17.1	ポート J データディレクションレジスタ (PJDDR)	10-155
10.17.2	ポート J データレジスタ (PJDR)	10-155
10.17.3	ポート J レジスタ (PORTJ)	10-156
10.17.4	ポート J オープンドレインコントロールレジスタ (PJODR)	10-156
10.17.5	端子機能	10-156
10.18	ポートファンクションコントロールレジスタ	10-157
10.18.1	ポートファンクションコントロールレジスタ 0 (PFCR0)	10-157
10.18.2	ポートファンクションコントロールレジスタ 1 (PFCR1)	10-158
10.18.3	ポートファンクションコントロールレジスタ 2 (PFCR2)	10-159
10.18.4	ポートファンクションコントロールレジスタ 3 (PFCR3)	10-160
10.18.5	ポートファンクションコントロールレジスタ 4 (PFCR4)	10-161
10.18.6	ポートファンクションコントロールレジスタ 5 (PFCR5)	10-162
11.	16 ビットタイマパルスユニット (TPU)	11-1
11.1	特長	11-1
11.2	入出力端子	11-8

11.3	レジスタの説明	11-10
11.3.1	タイマコントロールレジスタ (TCR)	11-14
11.3.2	タイマモードレジスタ (TMDR)	11-18
11.3.3	タイマ I/O コントロールレジスタ (TIOR)	11-20
11.3.4	タイマインタラプトイネーブルレジスタ (TIER)	11-37
11.3.5	タイマステータスレジスタ (TSR)	11-38
11.3.6	タイマカウンタ (TCNT)	11-40
11.3.7	タイマジェネラルレジスタ (TGR)	11-40
11.3.8	タイマスタートレジスタ (TSTR)	11-41
11.3.9	タイマシンクロレジスタ (TSYR)	11-41
11.3.10	タイマスタートレジスタ B (TSTRB)	11-42
11.3.11	タイマシンクロレジスタ B (TSYRB)	11-42
11.4	動作説明	11-43
11.4.1	基本動作	11-43
11.4.2	同期動作	11-49
11.4.3	バッファ動作	11-51
11.4.4	カスケード接続動作	11-55
11.4.5	PWM モード	11-57
11.4.6	位相計数モード	11-62
11.5	割り込み要因	11-68
11.6	DTCの起動	11-72
11.7	DMACの起動	11-72
11.8	A/D変換器の起動	11-72
11.9	動作タイミング	11-73
11.9.1	入出力タイミング	11-73
11.9.2	割り込み信号タイミング	11-77
11.10	使用上の注意事項	11-80
11.10.1	モジュールストップ機能の設定	11-80
11.10.2	入力クロックの制限事項	11-80
11.10.3	周期設定上の注意事項	11-80
11.10.4	TCNT のライトとクリアの競合	11-81
11.10.5	TCNT のライトとカウントアップの競合	11-81
11.10.6	TGR のライトとコンペアマッチの競合	11-82
11.10.7	バッファレジスタのライトとコンペアマッチの競合	11-82
11.10.8	TGR のリードとインプットキャプチャの競合	11-83
11.10.9	TGR のライトとインプットキャプチャの競合	11-83
11.10.10	バッファレジスタのライトとインプットキャプチャの競合	11-84
11.10.11	オーバフロー／アンダフローとカウンタクリアの競合	11-84

11.10.12	TCNT のライトとオーバフロー／アンダフローの競合	11-85
11.10.13	入出力端子の兼用	11-85
11.10.14	モジュールストップ時の割り込み.....	11-85
12.	プログラマブルパルスジェネレータ (PPG)	12-1
12.1	特長	12-1
12.2	入出力端子	12-3
12.3	レジスタの説明	12-4
12.3.1	ネクストデータインネブルレジスタ H、L (NDERH、NDERL)	12-4
12.3.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	12-5
12.3.3	ネクストデータレジスタ H、L (NDRH、NDRL)	12-6
12.3.4	PPG 出力コントロールレジスタ (PCR)	12-8
12.3.5	PPG 出力モードレジスタ (PMR)	12-9
12.4	動作説明	12-11
12.4.1	出力タイミング	12-11
12.4.2	通常動作のパルス出力設定手順例.....	12-12
12.4.3	パルス出力通常動作例 (5 相パルス出力例)	12-13
12.4.4	パルス出力ノンオーバラップ動作.....	12-14
12.4.5	ノンオーバラップ動作のパルス出力設定手順例.....	12-15
12.4.6	パルス出力ノンオーバラップ動作例 (4 相の相補ノンオーバラップ出力例)	12-16
12.4.7	パルス反転出力	12-18
12.4.8	インプットキャプチャによるパルス出力.....	12-19
12.5	使用上の注意事項	12-20
12.5.1	モジュールストップ機能の設定.....	12-20
12.5.2	パルス出力端子の動作	12-20
13.	8 ビットタイマ (TMR)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	タイマカウンタ (TCNT)	13-4
13.3.2	タイムコンスタントレジスタ A (TCORA)	13-4
13.3.3	タイムコンスタントレジスタ B (TCORB)	13-4
13.3.4	タイマコントロールレジスタ (TCR)	13-5
13.3.5	タイマカウンタコントロールレジスタ (TCCR)	13-6
13.3.6	タイマコントロール／ステータスレジスタ (TCSR)	13-8
13.4	動作説明	13-10
13.4.1	パルス出力	13-10

13.4.2	リセット入力	13-11
13.5	動作タイミング	13-12
13.5.1	TCNT のカウントタイミング	13-12
13.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	13-13
13.5.3	コンペアマッチ時のタイマ出力タイミング	13-13
13.5.4	コンペアマッチによるカウンタクリアタイミング	13-14
13.5.5	TCNT の外部リセットタイミング	13-14
13.5.6	オーバフローフラグ (OVF) のセットタイミング	13-14
13.6	カスケード接続時の動作	13-15
13.6.1	16 ビットカウントモード	13-15
13.6.2	コンペアマッチカウントモード	13-15
13.7	割り込み要因	13-16
13.7.1	割り込み要因と DTC 起動	13-16
13.7.2	A/D 変換器の起動	13-16
13.8	使用上の注意事項	13-17
13.8.1	TCNT のライトとカウンタクリアの競合	13-17
13.8.2	TCNT のライトとカウントアップの競合	13-17
13.8.3	TCOR のライトとコンペアマッチの競合	13-18
13.8.4	コンペアマッチ A、B の競合	13-18
13.8.5	内部クロックの切り替えと TCNT の動作	13-19
13.8.6	カスケード接続時のモード設定	13-21
13.8.7	モジュールストップ機能の設定	13-21
13.8.8	モジュールストップ状態時の割り込み	13-21
14.	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	タイマカウンタ (TCNT)	14-3
14.3.2	タイマコントロール/ステータスレジスタ (TCSR)	14-4
14.3.3	リセットコントロール/ステータスレジスタ (RSTCSR)	14-5
14.4	動作説明	14-6
14.4.1	ウォッチドッグタイマモード	14-6
14.4.2	インターバルタイマモード時	14-7
14.5	割り込み要因	14-7
14.6	使用上の注意事項	14-8
14.6.1	レジスタアクセス時の注意	14-8
14.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	14-9

14.6.3	CKS2~CKS0 ビットの書き換え.....	14-10
14.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....	14-10
14.6.5	ウォッチドッグタイマモードでの内部リセット.....	14-10
14.6.6	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット.....	14-10
15.	シリアルコミュニケーションインタフェース (SCI、IrDA)	15-1
15.1	特長.....	15-1
15.2	入出力端子.....	15-3
15.3	レジスタの説明.....	15-4
15.3.1	レシーブシフトレジスタ (RSR)	15-6
15.3.2	レシーブデータレジスタ (RDR)	15-6
15.3.3	トランスミットデータレジスタ (TDR)	15-6
15.3.4	トランスミットシフトレジスタ (TSR)	15-6
15.3.5	シリアルモードレジスタ (SMR)	15-7
15.3.6	シリアルコントロールレジスタ (SCR)	15-9
15.3.7	シリアルステータスレジスタ (SSR)	15-13
15.3.8	スマートカードモードレジスタ (SCMR)	15-17
15.3.9	ビットレートレジスタ (BRR)	15-18
15.3.10	IrDA コントロールレジスタ (IrCR)	15-24
15.3.11	シリアル拡張モードレジスタ (SEMR)	15-25
15.4	調歩同期式モードの動作.....	15-26
15.4.1	送受信フォーマット.....	15-27
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン.....	15-28
15.4.3	クロック.....	15-29
15.4.4	SCI の初期化 (調歩同期式)	15-30
15.4.5	データ送信 (調歩同期式)	15-31
15.4.6	シリアルデータ受信 (調歩同期式)	15-33
15.5	マルチプロセッサ通信機能.....	15-36
15.5.1	マルチプロセッサシリアルデータ送信.....	15-37
15.5.2	マルチプロセッサシリアルデータ受信.....	15-38
15.6	クロック同期式モードの動作.....	15-41
15.6.1	クロック.....	15-41
15.6.2	SCI の初期化 (クロック同期式)	15-42
15.6.3	シリアルデータ送信 (クロック同期式)	15-43
15.6.4	シリアルデータ受信 (クロック同期式)	15-45
15.6.5	シリアルデータ送受信同時動作 (クロック同期式)	15-47
15.7	スマートカードインタフェースの動作説明.....	15-49
15.7.1	接続例.....	15-49

15.7.2	データフォーマット（ブロック転送モード時を除く）	15-50
15.7.3	ブロック転送モード	15-51
15.7.4	受信データサンプリングタイミングと受信マージン	15-52
15.7.5	初期設定	15-53
15.7.6	データ送信（ブロック転送モードを除く）	15-54
15.7.7	シリアルデータ受信（ブロック転送モードを除く）	15-57
15.7.8	クロック出力制御	15-59
15.8	IrDA動作	15-61
15.9	割り込み要因	15-64
15.9.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	15-64
15.9.2	スマートカードインタフェースモードにおける割り込み	15-65
15.10	使用上の注意事項	15-66
15.10.1	モジュールストップ機能の設定	15-66
15.10.2	ブレークの検出と処理について	15-66
15.10.3	マーク状態とブレークの送付	15-66
15.10.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	15-66
15.10.5	TDR へのライトと TDRE フラグの関係について	15-66
15.10.6	DMAC または DTC 使用上の制約事項	15-67
15.10.7	モード遷移時の動作について	15-68
16.	I ² C バスインタフェース 2 (IIC2)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-4
16.3.1	I ² C バスコントロールレジスタ A (IC CRA)	16-6
16.3.2	I ² C バスコントロールレジスタ B (IC CRB)	16-8
16.3.3	I ² C バスモードレジスタ (IC MR)	16-9
16.3.4	I ² C バスインタラプトイネーブルレジスタ (IC IER)	16-10
16.3.5	I ² C バスステータスレジスタ (IC SR)	16-11
16.3.6	スレーブアドレスレジスタ (SAR)	16-13
16.3.7	I ² C バス送信データレジスタ (IC DRT)	16-13
16.3.8	I ² C バス受信データレジスタ (IC DRR)	16-13
16.3.9	I ² C バスシフトレジスタ (IC DRS)	16-13
16.4	動作説明	16-14
16.4.1	I ² C バスフォーマット	16-14
16.4.2	マスタ送信動作	16-15
16.4.3	マスタ受信動作	16-17
16.4.4	スレーブ送信動作	16-19

16.4.5	スレーブ受信動作	16-21
16.4.6	ノイズ除去回路	16-23
16.4.7	使用例	16-24
16.5	割り込み要求	16-28
16.6	ビット同期回路	16-29
16.7	使用上の注意事項	16-30
17.	A/D 変換器	17-1
17.1	特長	17-1
17.2	入出力端子	17-4
17.3	レジスタの説明	17-6
17.3.1	A/D データレジスタ A~H (ADDRA~ADDRH)	17-7
17.3.2	A/D コントロール/ステータスレジスタ (ADCSR_0) ユニット 0	17-8
17.3.3	A/D コントロール/ステータスレジスタ (ADCSR_1) ユニット 1	17-10
17.3.4	A/D コントロールレジスタ (ADCR_0) ユニット 0	17-12
17.3.5	A/D コントロールレジスタ (ADCR_1) ユニット 1	17-13
17.4	動作説明	17-15
17.4.1	シングルモード	17-15
17.4.2	スキャンモード	17-16
17.4.3	入力サンプリングと A/D 変換時間	17-19
17.4.4	外部トリガ入力タイミング	17-21
17.5	割り込み要因	17-22
17.6	A/D変換精度の定義	17-22
17.7	使用上の注意事項	17-24
17.7.1	モジュールストップ機能の設定	17-24
17.7.2	ソフトウェアスタンバイ時の A/D 変換保持機能	17-24
17.7.3	A/D 変換の再スタート	17-24
17.7.4	許容信号源インピーダンスについて	17-25
17.7.5	絶対精度への影響	17-26
17.7.6	アナログ電源端子他の設定範囲	17-26
17.7.7	ボード設計上の注意	17-26
17.7.8	ノイズ対策上の注意	17-27
17.7.9	A/D 変換器を 2 ユニット同時に動作させる場合	17-28
17.7.10	TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始時の注意事項	17-29
18.	D/A 変換器	18-1
18.1	特長	18-1
18.2	入出力端子	18-2

18.3	レジスタの説明	18-2
18.3.1	D/A データレジスタ 2、3 (DADR2、DADR3)	18-2
18.3.2	D/A コントロールレジスタ 23 (DACR23)	18-3
18.4	動作説明	18-5
18.5	使用上の注意事項	18-6
18.5.1	モジュールストップ機能の設定.....	18-6
18.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能	18-6
19.	シンクロナスシリアルコミュニケーションユニット (SSU)	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-3
19.3.1	SS コントロールレジスタ H (SSCRH)	19-4
19.3.2	SS コントロールレジスタ L (SSCRL)	19-5
19.3.3	SS モードレジスタ (SSMR)	19-6
19.3.4	SS イネーブルレジスタ (SSER)	19-7
19.3.5	SS ステータスレジスタ (SSSR)	19-8
19.3.6	SS コントロールレジスタ 2 (SSCR2)	19-10
19.3.7	SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)	19-11
19.3.8	SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)	19-12
19.3.9	SS シフトレジスタ (SSTRSR)	19-12
19.4	動作説明	19-13
19.4.1	転送クロック	19-13
19.4.2	クロックの位相、極性とデータの関係.....	19-13
19.4.3	データ入出力端子とシフトレジスタの関係.....	19-14
19.4.4	各通信モードと端子機能	19-15
19.4.5	SSU モード.....	19-17
19.4.6	$\overline{\text{SCS}}$ 端子制御とコンフリクトエラー.....	19-24
19.4.7	クロック同期式通信モード.....	19-25
19.5	割り込み要求	19-31
19.6	使用上の注意事項	19-31
19.6.1	モジュールストップ機能の設定.....	19-31
20.	RAM.....	20-1
21.	フラッシュメモリ.....	21-1
21.1	メモリ配置	21-3
21.2	レジスタの説明	21-4

21.2.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	21-4
21.2.2	フラッシュメモリデータブロックプロテクトレジスタ (FLMDBPR)	21-5
21.2.3	フラッシュメモリステータスレジスタ (FLMSTR)	21-6
21.3	オンボードプログラム	21-7
21.3.1	ユーザプログラムモード	21-7
21.3.2	EW0 モード	21-8
21.4	ソフトウェアコマンド	21-9
21.4.1	リードアレイ	21-10
21.4.2	リードステータスレジスタ	21-10
21.4.3	クリアステータスレジスタ	21-10
21.4.4	プログラム	21-10
21.4.5	ブロックイレース	21-12
21.4.6	ブロックブランクチェック	21-13
21.5	ステータスレジスタ	21-14
21.5.1	シーケンサステータス (FMRDY ビット)	21-15
21.5.2	イレースステータス (FMERSF ビット)	21-15
21.5.3	プログラムステータス (FMPRSF ビット)	21-15
21.6	フルステータスチェック	21-15
21.7	ユーザプログラムモードの注意事項	21-17
21.7.1	割り込み (EW0 モード) 禁止	21-17
21.7.2	アクセス方法	21-17
21.7.3	書き換え (EW0 モード)	21-17
21.7.4	コマンド、データの書き込み	21-17
21.7.5	ソフトウェアスタンバイモード	21-17
21.8	ブートモード	21-18
21.9	SCIブートモード	21-18
21.10	ブートモードの標準シリアル通信インタフェース仕様	21-19
21.11	ライターモード	21-41
22.	クロック発振器	22-1
22.1	レジスタの説明	22-2
22.1.1	システムクロックコントロールレジスタ (SCKCR)	22-2
22.1.2	PLL コントロールレジスタ (PLLCR)	22-4
22.2	発振器	22-5
22.2.1	水晶発振子を接続する方法	22-5
22.2.2	外部クロックを入力する方法	22-6
22.3	システムクロックPLL回路、分周器	22-7
22.4	使用上の注意事項	22-8

22.4.1	クロック発振器に関する使用上の注意事項.....	22-8
22.4.2	発振子に関する注意事項.....	22-8
22.4.3	ボード設計上の注意事項.....	22-8
23.	低消費電力状態.....	23-1
23.1	レジスタの説明.....	23-4
23.1.1	スタンバイコントロールレジスタ (SBYCR).....	23-4
23.1.2	モジュールストップコントロールレジスタ H、L (MSTPCRH、MSTPCRL).....	23-6
23.1.3	エクステンションモジュールストップコントロールレジスタ H、L (EXMSTPCRH、EXMSTPCRL).....	23-7
23.1.4	RAM モジュールストップコントロールレジスタ H、L (RMMSTPCRH、RMMSTPCRL).....	23-8
23.2	動作説明.....	23-9
23.2.1	クロック分周モード.....	23-9
23.2.2	スリープモード.....	23-9
23.2.3	ソフトウェアスタンバイモード.....	23-10
23.2.4	ハードウェアスタンバイモード.....	23-13
23.2.5	モジュールストップ機能.....	23-15
23.2.6	全モジュールクロックストップモード.....	23-16
23.3	φクロック出力制御.....	23-17
23.4	SDRAM φクロック出力制御.....	23-18
23.5	使用上の注意事項.....	23-19
23.5.1	I/O ポートの状態.....	23-19
23.5.2	発振安定待機中の消費電流.....	23-19
23.5.3	EXDMAC、DMAC、DTC のモジュールストップ.....	23-19
23.5.4	内蔵周辺モジュールの割り込み.....	23-19
23.5.5	MSTPCR、EXMSTPCR、RMMSTPCR のライト.....	23-19
23.5.6	クロック分周モードにおける注意事項.....	23-19
24.	レジスタ一覧.....	24-1
24.1	レジスタアドレス一覧 (アドレス順).....	24-2
24.2	レジスタビット一覧.....	24-15
24.3	各動作モードにおけるレジスタの状態.....	24-31
25.	電気的特性.....	25-1
25.1	H8S/2426グループ、H8S/2426Rグループの電気的特性 (3V版).....	25-1
25.1.1	絶対最大定格.....	25-1
25.1.2	DC 特性.....	25-2
25.1.3	AC 特性.....	25-4

25.1.4	A/D 変換特性	25-11
25.1.5	D/A 変換特性	25-12
25.1.6	フラッシュメモリ特性	25-12
25.2	H8S/2424グループの電気的特性 (3V版)	25-14
25.2.1	絶対最大定格	25-14
25.2.2	DC 特性.....	25-15
25.2.3	AC 特性.....	25-17
25.2.4	A/D 変換特性	25-24
25.2.5	D/A 変換特性	25-24
25.2.6	フラッシュメモリ特性	25-25
25.3	タイミング図 (3V版)	25-26
25.3.1	クロックタイミング	25-26
25.3.2	制御信号タイミング	25-27
25.3.3	バスタイミング	25-28
25.3.4	DMAC、EXDMAC タイミング	25-46
25.3.5	内蔵周辺モジュールタイミング.....	25-49
25.4	H8S/2426グループの電気的特性 (5V版)	25-54
25.4.1	絶対最大定格	25-54
25.4.2	DC 特性.....	25-55
25.4.3	AC 特性.....	25-57
25.4.4	A/D 変換特性	25-63
25.4.5	D/A 変換特性	25-64
25.4.6	フラッシュメモリ特性	25-64
25.5	H8S/2424グループの電気的特性 (5V版)	25-66
25.5.1	絶対最大定格	25-66
25.5.2	DC 特性.....	25-67
25.5.3	AC 特性.....	25-69
25.5.4	A/D 変換特性	25-75
25.5.5	D/A 変換特性	25-75
25.5.6	フラッシュメモリ特性	25-76
25.6	タイミング図 (5V版)	25-77
25.6.1	クロックタイミング	25-77
25.6.2	制御信号タイミング	25-78
25.6.3	バスタイミング	25-79
25.6.4	DMAC、EXDMAC タイミング	25-88
25.6.5	内蔵周辺モジュールタイミング.....	25-91

付録.....	付録-1
A. 各処理状態におけるポートの状態.....	付録-1
B. 外形寸法図.....	付録-18
C. 未使用端子の処理について.....	付録-22
本版で修正または追加された箇所.....	改訂-1
索引.....	索引-1

1. 概要

1.1 特長

H8S/2426 グループ、H8S/2426R グループ、H8S/2424 グループは、ルネサスオリジナルマイコン H8/300、H8/300H、H8S の各 CPU に対し上位互換アーキテクチャを持ち、内部 16 ビット構成の H8S/2600 CPU をコアとする CISC (Complex Instruction Set Computer) マイコンです。

周辺機能として、DMA コントローラ、EXDMA コントローラ*、データトランスファコントローラ、シリアルコミュニケーションインタフェース、I²C バスインタフェース 2、シンクロナスシリアルコミュニケーションユニット、A/D 変換器、D/A 変換器、豊富なタイマを内蔵しており、低コストでのシステム構築を可能にします。内蔵 ROM は、フラッシュメモリであり 256K バイト、128K バイトの容量を持っています。

【注】 * H8S/2424 グループではサポートしていません。

1.1.1 用途

応用分野例：PC 周辺機器、OA 機器、民生機器など

1.1.2 仕様概要

表 1.1 に、本マイコンの仕様概要を示します。

表 1.1 仕様概要

分類	モジュール/機能	説明
メモリ	ROM	<ul style="list-style-type: none"> ROM 展開：フラッシュメモリ版 ユーザ ROM 256K バイト、128K バイト データフラッシュ 8K バイト ROM レス版
	RAM	<ul style="list-style-type: none"> RAM 容量：64K バイト、48K バイト
CPU	CPU	<ul style="list-style-type: none"> 16 ビット高速 H8S/2600 CPU (CISC タイプ) H8/300 CPU、H8/300H CPU および H8S CPU に対してオブジェクトレベルで上位互換 汎用レジスタ方式 (汎用レジスタ：16 ビット×16 本) アドレッシングモード：8 種類 アドレス空間：16M バイト (プログラム：16M バイト、データ：16M バイト) 基本命令数 69 種類 (ビット演算、乗除算、ビット操作、積和演算命令など) 最小命令実行時間 (ns) 30.3ns @システムクロック $\phi=33\text{MHz}$、$V_{cc}=3.0\sim 3.6\text{V}$ (ADD 命令) 動作時 乗算器を内蔵 (16×16→32 ビット) 積和演算命令をサポート (16×16+32→32 ビット)
	動作モード	<ul style="list-style-type: none"> アドバンストモード
	MCU 動作モード	<p>モード 1：内蔵 ROM 無効拡張モード、16 ビットバス (MD2、MD1 端子が Low レベル、MD0 端子が High レベルのとき)</p> <p>モード 2：内蔵 ROM 無効拡張モード、8 ビットバス (MD2 端子が Low レベル、MD1 端子が High レベル、MD0 端子が Low レベルのとき)</p> <p>モード 3：ブートモード (MD2 端子が Low レベル、MD1、MD0 端子が High レベルのとき)</p> <p>モード 4：内蔵 ROM 有効拡張モード、8 ビットバス (MD2 端子が High レベル、MD1、MD0 端子が Low レベルのとき)</p> <p>モード 7：シングルチップモード (MD2、MD1、MD0 端子が High レベルのとき)</p> <ul style="list-style-type: none"> 低消費電力状態 (SLEEP 命令により低消費電力状態に遷移)

分類	モジュール/機能	説明
割り込み (要因)	割り込み コントローラ	<ul style="list-style-type: none"> 外部割り込み端子 H8S/2426 グループ、H8S/2426R グループ : 33 本 (NMI、$\overline{IRQ15-A} \sim \overline{IRQ0-A}$、$\overline{IRQ15-B} \sim \overline{IRQ0-B}$) H8S/2424 グループ : 17 本 (NMI、$\overline{IRQ7-A} \sim \overline{IRQ0-A}$、$\overline{IRQ7-B} \sim \overline{IRQ0-B}$) 内部割り込み要因数 H8S/2426 グループ、H8S/2426R グループ : 96 本 H8S/2424 グループ : 94 本 2 種類の割り込み制御モード (割り込みコントロールレジスタで指定) 8 レベルの割り込み優先順位を設定可能 (インタラプトプライオリティレジスタで指定) 独立したベクタアドレス
DMA	DMA コントローラ (DMAC)	<ul style="list-style-type: none"> 4 チャンネルの DMA 転送が可能 起動要因 : 3 種類 (オートリクエスト、内蔵モジュール割り込み、外部リクエスト) 転送単位をバイト/ワードに設定可能 ショートアドレスモード/フルアドレスモードを選択可能 16M バイトのアドレス空間を直接指定可能
	EXDMA コントローラ (EXDMAC)	<ul style="list-style-type: none"> 2 チャンネルの DMA 転送が可能 起動要因 : 2 種類 (オートリクエスト、外部リクエスト) 転送モード : 2 種類 (ノーマルモード、ブロック転送モード) デュアルアドレスモード/シングルアドレスモードを選択可能 16M バイトのアドレス空間を直接指定可能 リピートエリア設定機能 <p>【注】 EXDMAC は、H8S/2426 グループ、H8S/2426R グループのみサポート</p>
	データトランスファ コントローラ (DTC)	<ul style="list-style-type: none"> 任意チャンネル数の転送可能 起動要因 : 割り込み要因により起動します (チェイン転送が可能) 転送モード : 3 種類 (ノーマルモード、リピートモード、ブロック転送モード) 転送単位をバイト/ワードに設定可能 ソフトウェアによる起動が可能

分類	モジュール/機能	説明
外部バス拡張	バスコントローラ (BSC)	<p>外部アドレス空間：16M バイト</p> <ul style="list-style-type: none"> 外部アドレス空間を 8 つのエリアに分割して管理可能 チップセレクト ($\overline{CS0} \sim \overline{CS7}$) 出力可能、8 ビットアクセス空間/16 ビットアクセス空間を選択可能、2/3 ステートアクセス空間を選択可能、プログラムウェイトステートを挿入可能 外部メモリインタフェース (バースト ROM、DRAM*¹、シンクロナス DRAM*²、アドレス/データマルチプレクス I/O) バス権調停機能 (バスマスタの CPU、DTC、DMAC、EXDMAC のバス権調停) <p>【注】 *1 5V 版ではサポートしていません *2 H8S/2426R グループのみサポート</p>
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none"> クロック発生回路：1 回路 発振器、システムクロック PLL 回路、分周器で構成され、周波数を変更可能 システムクロック (ϕ) 同期：8~33MHz 低消費電力状態：6 種類 <p>クロック分周モード、スリープモード、モジュールストップ機能、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモード</p>
A/D コンバータ	A/D 変換器 (ADC)	<ul style="list-style-type: none"> 2 ユニット 分解能 (10 ビット) 入力チャンネル数 <p>H8S/2426 グループ、H8S/2426R グループ：16 チャンネル</p> <ul style="list-style-type: none"> ・ユニット 0：8 チャンネル ・ユニット 1：8 チャンネル <p>H8S/2424 グループ：10 チャンネル</p> <ul style="list-style-type: none"> ・ユニット 0：8 チャンネル ・ユニット 1：2 チャンネル <ul style="list-style-type: none"> サンプル&ホールド機能付き 変換時間 3V 版：1 チャンネル当たり 4.0 μs (AD 変換クロック 10MHz 設定時) 5V 版：1 チャンネル当たり 2.5 μs (AD 変換クロック 16MHz 設定時) 動作モード：2 種類 (シングルモード、スキャンモード) A/D 変換開始方法：3 種類 (ソフトウェア、タイマ (TPU/TMR) のトリガ、外部トリガ)
D/A コンバータ	D/A 変換器 (DAC)	<ul style="list-style-type: none"> 分解能 (8 ビット) \times 出力チャンネル数 (2 チャンネル) 変換時間：最大 10 μs (負荷容量 20pF) 出力電圧：0V~Vref

分類	モジュール/機能	説明
タイマ	16ビットタイマパルスユニット (TPU)	<ul style="list-style-type: none"> 16ビット×12チャンネル (汎用パルスタイマユニット) 各チャンネルごとに8種類のカウンタ入力クロックを選択可能 最大16本のパルス入出力が可能 (外部拡張モード設定時) 最大32本のパルス入出力が可能 (シングルチップモード設定時) カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力が可能 チャンネルによりバッファ動作、位相計数モード (二相エンコーダ入力)、カスケード接続動作をサポート インプットキャプチャ機能をサポート アウトプットコンペア機能 (コンペアマッチによる波形出力) をサポート
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> 8ビット×2チャンネル (16ビットとしても動作可能) 7種類のクロックを選択可能: 内部クロック6種類または外部クロック 任意のデューティのパルス出力やPWM出力が可能
	プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> 16ビットのパルス出力 4系統に分割制御が出力可能、ノンオーバーラップ動作可能、反転出力の指定可能 データトランスファコントローラ (DTC)、DMAコントローラ (DMAC) との連携動作可能
ウォッチドッグタイマ	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> 8ビット×1チャンネル (8種類のカウンタ入力クロックを選択可能) ウォッチドッグタイマモードとインターバルタイマモードを切り替えて使用可能
シリアルインタフェース	シリアルコミュニケーションインタフェース (SCI)	<ul style="list-style-type: none"> チャンネル数: 5チャンネル (非同期式/クロック同期式兼用) 全二重通信が可能 任意のビットレート、LSBファースト/MSBファーストを選択可能 IrDA規格バージョン1.0に基づくIrDA通信の送受信が可能
スマートカード/SIM		<ul style="list-style-type: none"> SCIモジュールで、スマートカード (SIM) インタフェースをサポート
高機能通信	I ² Cバスインタフェース2 (IIC2)	<ul style="list-style-type: none"> チャンネル数: 4チャンネル 連続送信/受信が可能 マスタモードでは開始条件、停止条件の自動生成 受信時、アクノリッジの出力レベルを選択可能 送信時、アクノリッジビットを自動ロード ビット同期/ウェイト機能内蔵

分類	モジュール/機能	説明
高機能通信	シンクロナスシリアル コミュニケーション ユニット (SSU)	<ul style="list-style-type: none"> • チャンネル数：1チャンネル • マスタモード/スレーブモードを選択可能 • 標準モード/双方向モードを選択可能 • 全二重通信が可能 • 連続シリアル通信が可能
I/Oポート		<p>H8S/2426 グループ、H8S/2426R グループ：</p> <ul style="list-style-type: none"> • 入力専用：18本 • 入出力：98本 • プルアップ抵抗：40本 • オープンドレイン：98本 <p>H8S/2424 グループ：</p> <ul style="list-style-type: none"> • 入力専用：11本 • 入出力：83本 • プルアップ抵抗：40本 • オープンドレイン：83本
パッケージ		<p>H8S/2426 グループ、H8S/2426R グループ：</p> <ul style="list-style-type: none"> • 144ピン QFP パッケージ (PLQP0144KA-A) (略称：FP-144LV、ボディサイズ：20×20mm、ピンピッチ：0.50mm) • 145ピン TLP パッケージ (PTLG0145JB-A) (ボディサイズ：9×9mm、ピンピッチ：0.65mm) <p>H8S/2424 グループ：</p> <ul style="list-style-type: none"> • 120ピン QFP パッケージ (PLQP0120LA-A) (略称：FP-120BV、ボディサイズ：14×14mm、ピンピッチ：0.40mm) • 120ピン QFP パッケージ (PLQP0120KA-A) (ボディサイズ：16×16mm、ピンピッチ：0.50mm) • 鉛フリー版パッケージ
動作周波数/電源電圧		<ul style="list-style-type: none"> • 動作周波数：8～33MHz • 電源電圧 3V 版：Vcc=3.0～3.6V、AVcc=3.0～3.6V 5V 版：Vcc=4.5～5.5V、AVcc=4.5～5.5V • 消費電流 3V 版：45mA typ (Vcc=3.3V、AVcc=3.3V、ϕ =33MHz) 5V 版：45mA typ (Vcc=5.0V、AVcc=5.0V、ϕ =33MHz)
動作周囲温度 (°C)		<ul style="list-style-type: none"> • -20～+75°C (通常仕様品)、-40～+85°C (広温度範囲仕様品)

1.2 製品一覧

表 1.2 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.2 製品一覧表

製品分類	製品型名	Flash サイズ	RAM サイズ	動作電圧	温度保証範囲	パッケージ
H8S/2426R グループ	R4F24269NVRFQV	256KB	64KB	3.0~3.6V	-20~+75°C	PLQP0144KA-A
	R4F24268NVRFQV	256KB	48KB	3.0~3.6V		
	R4F24265NVRFQV	128KB	48KB	3.0~3.6V		
	R4S24262NVRFQV	—	64KB	3.0~3.6V		
	R4S24261NVRFQV	—	48KB	3.0~3.6V		
	R4F24269DVRFQV	256KB	64KB	3.0~3.6V	-40~+85°C	
	R4F24268DVRFQV	256KB	48KB	3.0~3.6V		
	R4F24265DVRFQV	128KB	48KB	3.0~3.6V		
	R4S24262DVRFQV	—	64KB	3.0~3.6V		
	R4S24261DVRFQV	—	48KB	3.0~3.6V		
	R4F24269NVRLPV	256KB	64KB	3.0~3.6V	-20~+75°C	PTLG0145JB-A
	R4F24268NVRLPV	256KB	48KB	3.0~3.6V		
	R4F24265NVRLPV	128KB	48KB	3.0~3.6V		
	R4S24262NVRLPV	—	64KB	3.0~3.6V		
	R4S24261NVRLPV	—	48KB	3.0~3.6V		
	R4F24269DVRLPV	256KB	64KB	3.0~3.6V	-40~+85°C	
	R4F24268DVRLPV	256KB	48KB	3.0~3.6V		
	R4F24265DVRLPV	128KB	48KB	3.0~3.6V		
	R4S24262DVRLPV	—	64KB	3.0~3.6V		
	R4S24261DVRLPV	—	48KB	3.0~3.6V		
H8S/2426 グループ	R4F24269NVFQV	256KB	64KB	3.0~3.6V	-20~+75°C	PLQP0144KA-A
	R4F24268NVFQV	256KB	48KB	3.0~3.6V		
	R4F24265NVFQV	128KB	48KB	3.0~3.6V		
	R4S24262NVFQV	—	64KB	3.0~3.6V		
	R4S24261NVFQV	—	48KB	3.0~3.6V		
	R4F24269NFQV	256KB	64KB	4.5~5.5V		
	R4F24268NFQV	256KB	48KB	4.5~5.5V		
	R4F24265NFQV	128KB	48KB	4.5~5.5V		
	R4S24262NFQV	—	64KB	4.5~5.5V		
	R4S24261NFQV	—	48KB	4.5~5.5V		

製品分類	製品型名	Flash サイズ	RAM サイズ	動作電圧	温度保証範囲	パッケージ
H8S/2426 グループ	R4F24269DVFQV	256KB	64KB	3.0~3.6V	-40~+85°C	PLQP0144KA-A
	R4F24268DVFQV	256KB	48KB	3.0~3.6V		
	R4F24265DVFQV	128KB	48KB	3.0~3.6V		
	R4S24262DVFQV	—	64KB	3.0~3.6V		
	R4S24261DVFQV	—	48KB	3.0~3.6V		
	R4F24269DFQV	256KB	64KB	4.5~5.5V		
	R4F24268DFQV	256KB	48KB	4.5~5.5V		
	R4F24265DFQV	128KB	48KB	4.5~5.5V		
	R4S24262DFQV	—	64KB	4.5~5.5V		
	R4S24261DFQV	—	48KB	4.5~5.5V		
	R4F24269NVLPV	256KB	64KB	3.0~3.6V	-20~+75°C	PTLG0145JB-A
	R4F24268NVLPV	256KB	48KB	3.0~3.6V		
	R4F24265NVLPV	128KB	48KB	3.0~3.6V		
	R4S24262NVLPV	—	64KB	3.0~3.6V		
	R4S24261NVLPV	—	48KB	3.0~3.6V		
	R4F24269NLPV	256KB	64KB	4.5~5.5V		
	R4F24268NLPV	256KB	48KB	4.5~5.5V		
	R4F24265NLPV	128KB	48KB	4.5~5.5V		
	R4S24262NLPV	—	64KB	4.5~5.5V		
	R4S24261NLPV	—	48KB	4.5~5.5V		
	R4F24269DVLPV	256KB	64KB	3.0~3.6V	-40~+85°C	
	R4F24268DVLPV	256KB	48KB	3.0~3.6V		
	R4F24265DVLPV	128KB	48KB	3.0~3.6V		
	R4S24262DVLPV	—	64KB	3.0~3.6V		
	R4S24261DVLPV	—	48KB	3.0~3.6V		
	R4F24269DLPV	256KB	64KB	4.5~5.5V		
	R4F24268DLPV	256KB	48KB	4.5~5.5V		
	R4F24265DLPV	128KB	48KB	4.5~5.5V		
	R4S24262DLPV	—	64KB	4.5~5.5V		
	R4S24261DLPV	—	48KB	4.5~5.5V		

製品分類	製品型名	Flash サイズ	RAM サイズ	動作電圧	温度保証範囲	パッケージ
H8S/2424 グループ	R4F24249NVFAU	256KB	64KB	3.0~3.6V	-20~+75°C	PLQP0120KA-A
	R4F24248NVFAU	256KB	48KB	3.0~3.6V		
	R4F24245NVFAU	128KB	48KB	3.0~3.6V		
	R4S24242NVFAU	—	64KB	3.0~3.6V		
	R4S24241NVFAU	—	48KB	3.0~3.6V		
	R4F24249NFAU	256KB	64KB	4.5~5.5V		
	R4F24248NFAU	256KB	48KB	4.5~5.5V		
	R4F24245NFAU	128KB	48KB	4.5~5.5V		
	R4S24242NFAU	—	64KB	4.5~5.5V		
	R4S24241NFAU	—	48KB	4.5~5.5V		
	R4F24249DVFAU	256KB	64KB	3.0~3.6V	-40~+85°C	PLQP0120KA-A
	R4F24248DVFAU	256KB	48KB	3.0~3.6V		
	R4F24245DVFAU	128KB	48KB	3.0~3.6V		
	R4S24242DVFAU	—	64KB	3.0~3.6V		
	R4S24241DVFAU	—	48KB	3.0~3.6V		
	R4F24249DFAU	256KB	64KB	4.5~5.5V		
	R4F24248DFAU	256KB	48KB	4.5~5.5V		
	R4F24245DFAU	128KB	48KB	4.5~5.5V		
	R4S24242DFAU	—	64KB	4.5~5.5V		
	R4S24241DFAU	—	48KB	4.5~5.5V		
	R4F24249NVFPV	256KB	64KB	3.0~3.6V	-20~+75°C	PLQP0120LA-A
	R4F24248NVFPV	256KB	48KB	3.0~3.6V		
	R4F24245NVFPV	128KB	48KB	3.0~3.6V		
	R4S24242NVFPV	—	64KB	3.0~3.6V		
	R4S24241NVFPV	—	48KB	3.0~3.6V		
	R4F24249NFPV	256KB	64KB	4.5~5.5V		
	R4F24248NFPV	256KB	48KB	4.5~5.5V		
	R4F24245NFPV	128KB	48KB	4.5~5.5V		
	R4S24242NFPV	—	64KB	4.5~5.5V		
	R4S24241NFPV	—	48KB	4.5~5.5V		

製品分類	製品型名	Flash サイズ	RAM サイズ	動作電圧	温度保証範囲	パッケージ
H8S/2424 グループ	R4F24249DVFPV	256KB	64KB	3.0~3.6V	-40~+85°C	PLQP0120LA-A
	R4F24248DVFPV	256KB	48KB	3.0~3.6V		
	R4F24245DVFPV	128KB	48KB	3.0~3.6V		
	R4S24242DVFPV	—	64KB	3.0~3.6V		
	R4S24241DVFPV	—	48KB	3.0~3.6V		
	R4F24249DFPV	256KB	64KB	4.5~5.5V		
	R4F24248DFPV	256KB	48KB	4.5~5.5V		
	R4F24245DFPV	128KB	48KB	4.5~5.5V		
	R4S24242DFPV	—	64KB	4.5~5.5V		
	R4S24241DFPV	—	48KB	4.5~5.5V		

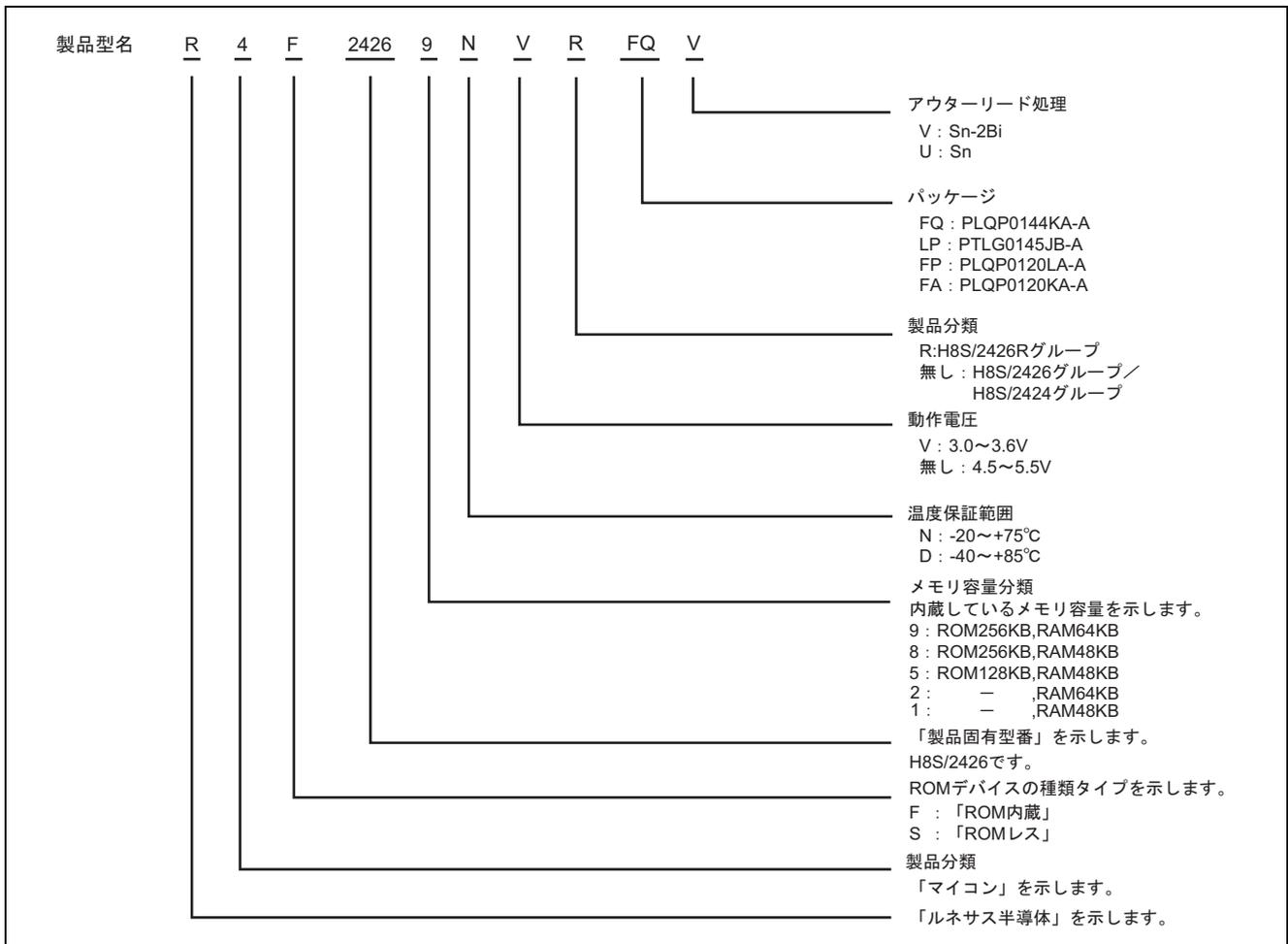


図 1.1 製品型名の読み方

1.3 ブロック図

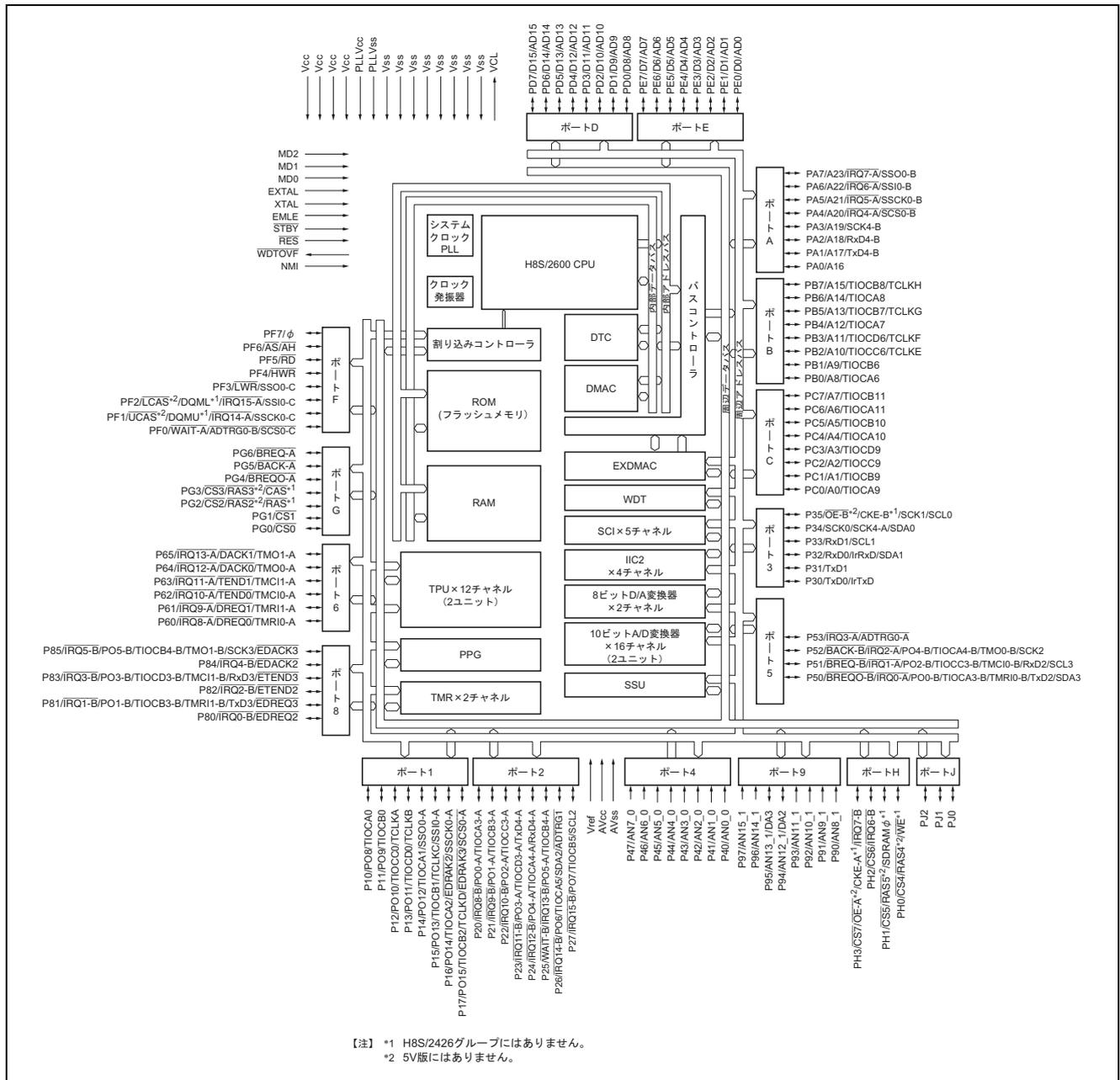


図 1.2 H8S/2426 グループ、H8S/2426R グループのブロック図

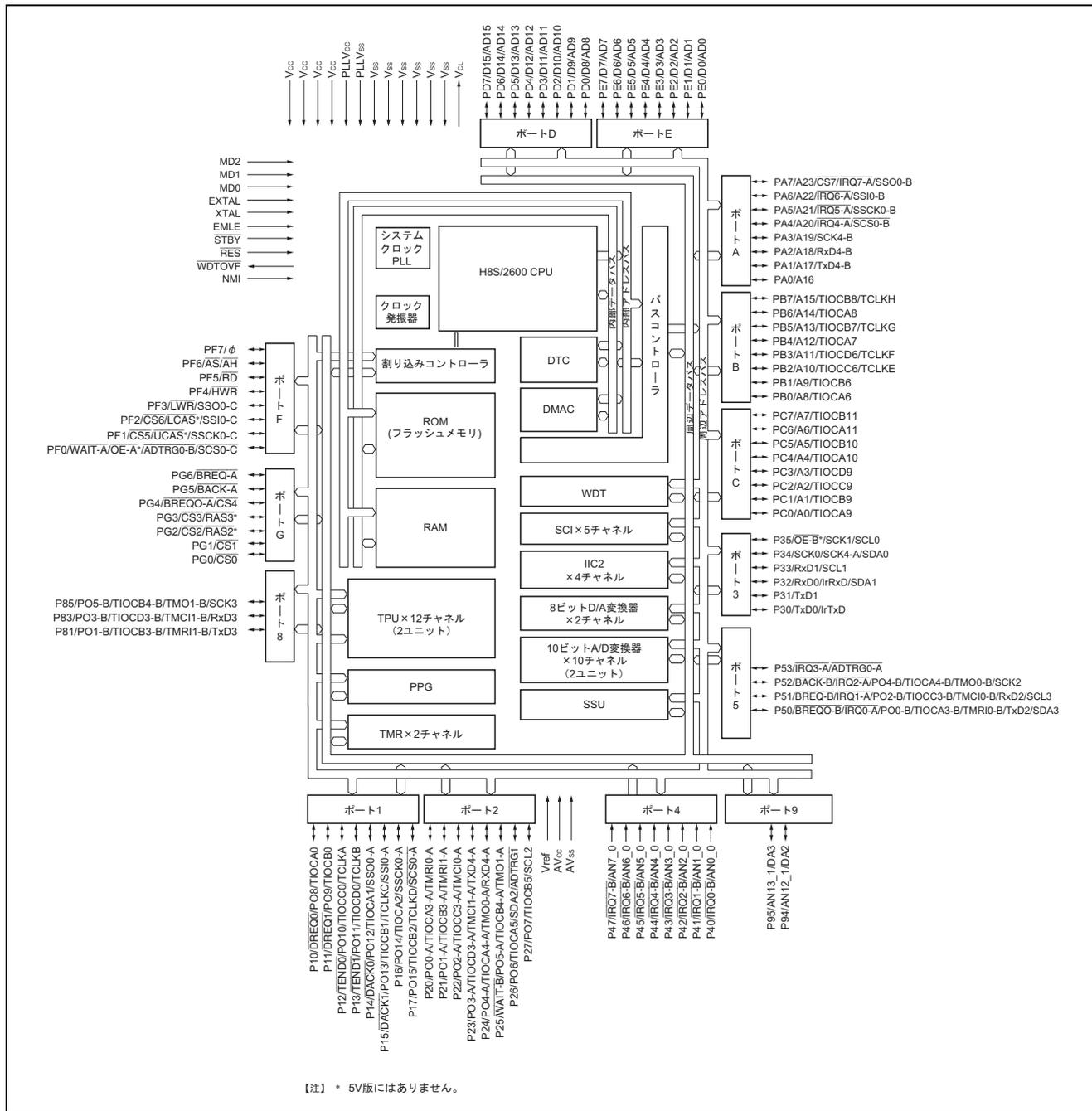


図 1.3 H8S/2424 グループのブロック図

1.4 端子説明

1.4.1 ピン配置図

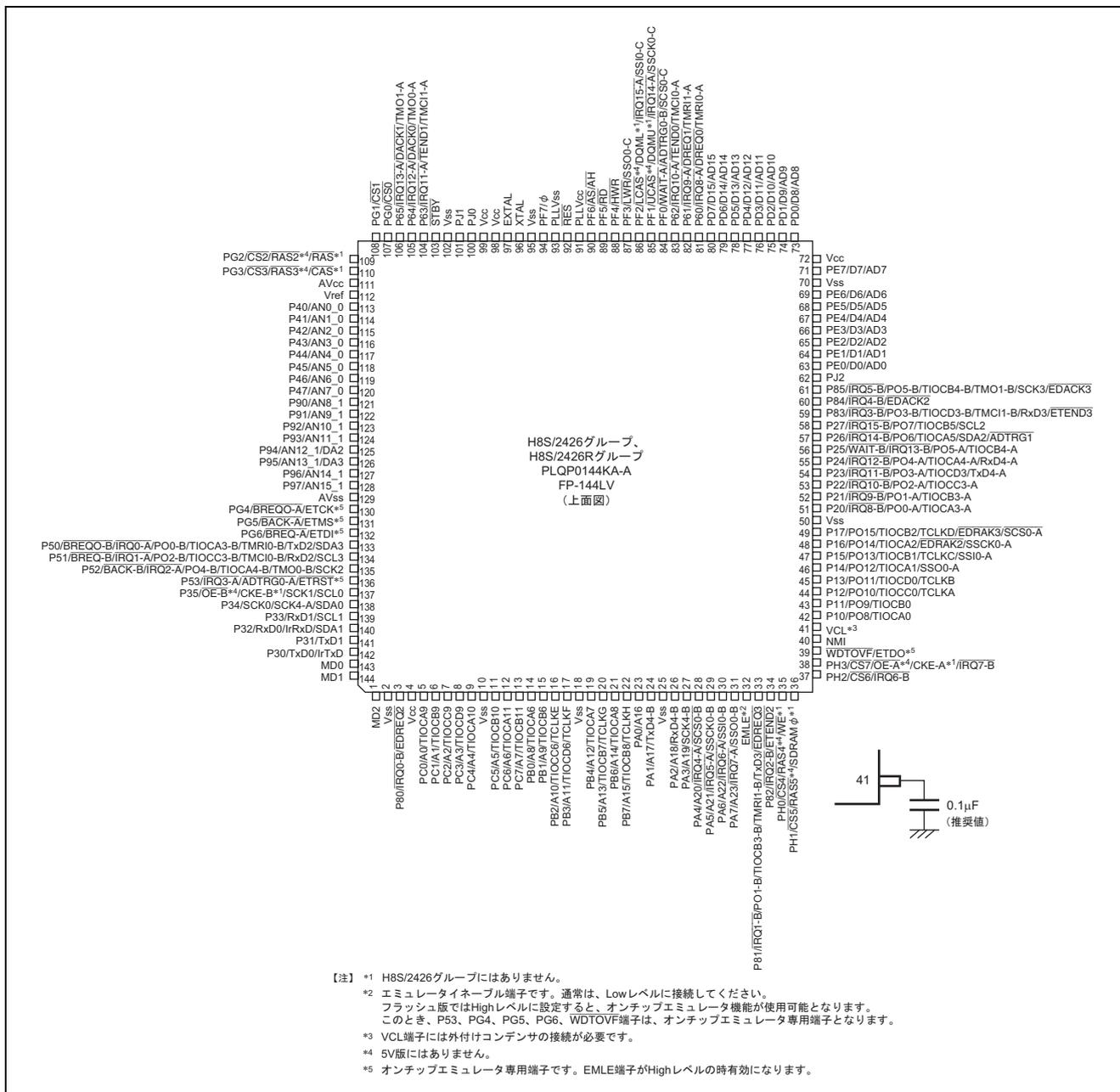


図 1.4 H8S/2426 グループ、H8S/2426R グループ ピン配置図 (1)

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	Vss	MD1	MD0	P32	P35	P50	AVss	P94	P90	P44	P40	PG2	PG3
B	MD2	Vcc	P31	P34	P51	PG4	P93	P47	P45	P42	AVcc	Vref	PG1
C	PC0	P80	PC1	P30	P33	P52	PG5	P92	P46	P43	P41	PG0	P65
D	PC4	PC2	PC3	P53	PG6	P97	P96	P95	P91	P63	PJ0	P64	$\overline{\text{STBY}}$
E	PC7	Vss	PC5	PB0	NC	H8S/2426グループ、 H8S/2426Rグループ PTLG0145JB-A (上面透視図)				Vss	Vcc	PJ1	Vcc
F	PB3	PC6	PB1	Vss	PF7					Vss	XTAL	EXTAL	
G	PB6	PB2	PA0	PB4	PF6					$\overline{\text{RES}}$	PF5	PLLVss	
H	Vss	PB7	PA3	PB5	PF2					PF4	PF1	PLLVcc	
J	PA5	PA2	PA7	PA1	P62					PF0	P60	PF3	
K	EMLE	PA6	P82	PA4	P15	P16	P27	P83	PE0	PE4	PD7	PD6	P61
L	PH0	P81	VCL	P12	P17	P20	P21	P26	PJ2	PE3	PD4	PD2	PD5
M	PH1	PH3	$\overline{\text{WDTOVF}}$	P11	P13	P22	P24	P85	PE2	PE6	Vss	PD3	PD0
N	NMI	PH2	P10	P14	Vss	P23	P25	P84	PE1	PE5	PE7	Vcc	PD1

【注】 NCはVSSにするかオープンとしてください。
VCL端子には外付けコンデンサの接続が必要です。(推奨値 : 0.1 μ F)

図 1.5 H8S/2426 グループ、H8S/2426R グループ ピン配置図 (2)

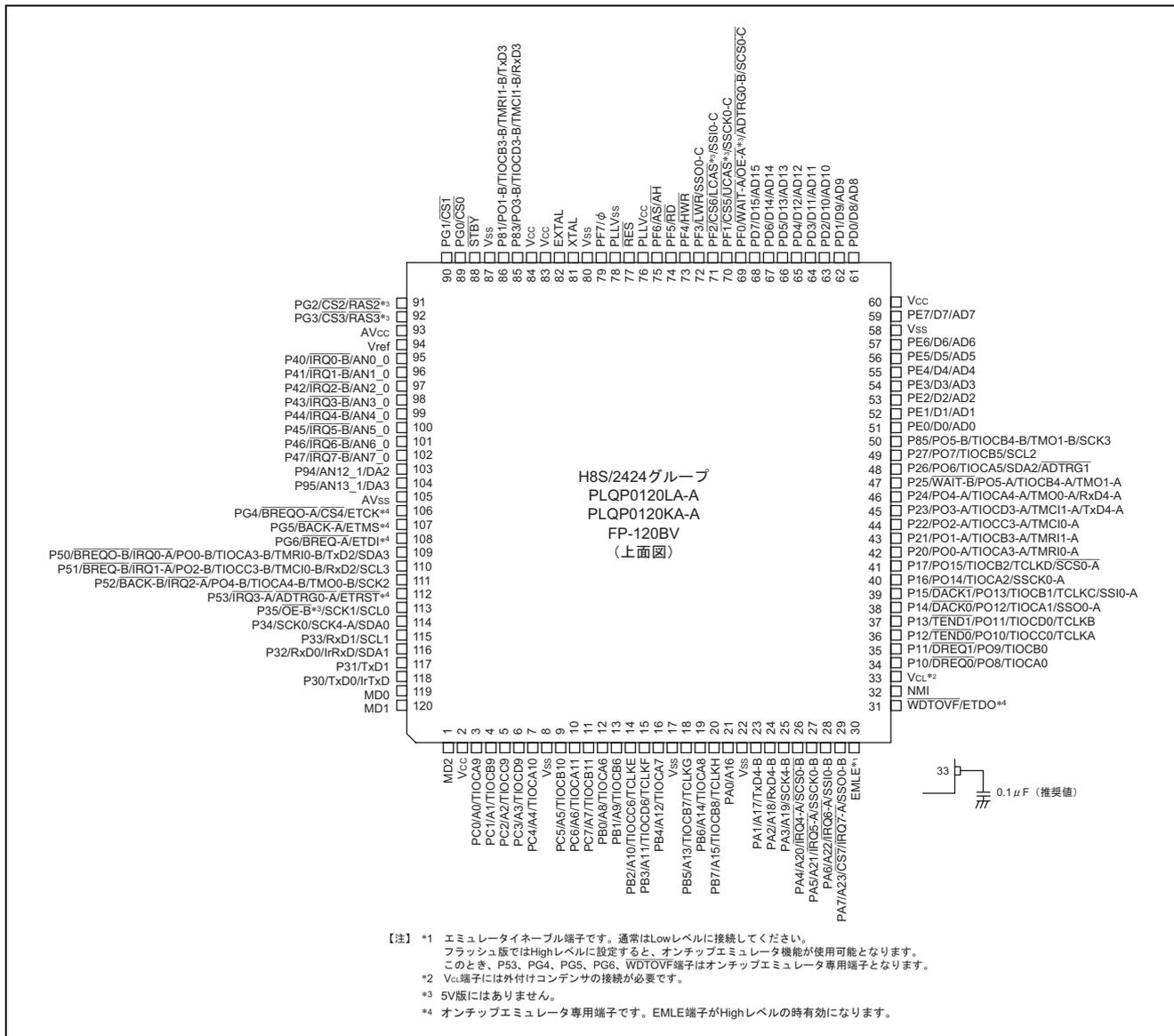


図 1.6 H8S/2424 グループ ピン配置図

1.4.2 動作モード別ピン配置一覧

表 1.3 H8S/2426、H8S/2426R 動作モード別ピン配置一覧

ピン番号		端子名					
PLQP0144 KA-A	PTLG0145 JB-A	モード1	モード2	モード4	モード3、7		フラッシュ メモリ ライターモード
					EXPE=1	EXPE=0	
1	B1	MD2	MD2	MD2	MD2	MD2	Vss
2	A1	Vss	Vss	Vss	Vss	Vss	Vss
3	C2	P80/IRQ0-B/ EDREQ2	P80/IRQ0-B/ EDREQ2	P80/IRQ0-B/ EDREQ2	P80/IRQ0-B/ EDREQ2	P80/IRQ0-B/ EDREQ2	NC
4	B2	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
5	C1	A0	A0	PC0/A0	PC0/A0	PC0/TIOCA9	A0
6	C3	A1	A1	PC1/A1	PC1/A1	PC1/TIOCB9	A1
7	D2	A2	A2	PC2/A2	PC2/A2	PC2/TIOCC9	A2
8	D3	A3	A3	PC3/A3	PC3/A3	PC3/TIOCD9	A3
9	D1	A4	A4	PC4/A4	PC4/A4	PC4/TIOCA10	A4
10	E2	Vss	Vss	Vss	Vss	Vss	Vss
11	E3	A5	A5	PC5/A5	PC5/A5	PC5/TIOCB10	A5
12	F2	A6	A6	PC6/A6	PC6/A6	PC6/TIOCA11	A6
13	E1	A7	A7	PC7/A7	PC7/A7	PC7/TIOCB11	A7
14	E4	A8	A8	PB0/A8	PB0/A8	PB0/TIOCA6	A8
15	F3	A9	A9	PB1/A9	PB1/A9	PB1/TIOCB6	A9
16	G2	A10	A10	PB2/A10	PB2/A10	PB2/TIOCC6/ TCLKE	A10
17	F1	A11	A11	PB3/A11	PB3/A11	PB3/TIOCD6/ TCLKF	A11
18	F4	Vss	Vss	Vss	Vss	Vss	Vss
19	G4	A12	A12	PB4/A12	PB4/A12	PB4/TIOCA7	A12
20	H4	A13	A13	PB5/A13	PB5/A13	PB5/TIOCB7/ TCLKG	A13
21	G1	A14	A14	PB6/A14	PB6/A14	PB6/TIOCA8	A14
22	H2	A15	A15	PB7/A15	PB7/A15	PB7/TIOCB8/ TCLKH	A15
23	G3	A16	A16	PA0/A16	PA0/A16	PA0	A16
24	J4	A17	A17	PA1/A17/TxD4-B	PA1/A17/TxD4-B	PA1/TxD4-B	A17
25	H1	Vss	Vss	Vss	Vss	Vss	Vss
26	J2	A18	A18	PA2/A18/RxD4-B	PA2/A18/RxD4-B	PA2/RxD4-B	A18
27	H3	A19	A19	PA3/A19/SCK4-B	PA3/A19/SCK4-B	PA3/SCK4-B	NC
28	K4	A20/IRQ4-A	A20/IRQ4-A	PA4/A20/IRQ4-A/ SCS0-B	PA4/A20/IRQ4-A/ SCS0-B	PA4/IRQ4-A/ SCS0-B	NC

ピン番号		端子名						フラッシュ メモリ ライタモード
PLQP0144 KA-A	PTLG0145 JB-A	モード1	モード2	モード4	モード3、7			
					EXPE=1	EXPE=0		
29	J1	PA5/A21/ $\overline{\text{IRQ5-A}}/\text{SSCK0-B}$	PA5/A21/ $\overline{\text{IRQ5-A}}/\text{SSCK0-B}$	PA5/A21/ $\overline{\text{IRQ5-A}}/\text{SSCK0-B}$	PA5/A21/ $\overline{\text{IRQ5-A}}/\text{SSCK0-B}$	PA5/ $\overline{\text{IRQ5-A}}/\text{SSCK0-B}$	NC	
30	K2	PA6/A22/ $\overline{\text{IRQ6-A}}/\text{SSI0-B}$	PA6/A22/ $\overline{\text{IRQ6-A}}/\text{SSI0-B}$	PA6/A22/ $\overline{\text{IRQ6-A}}/\text{SSI0-B}$	PA6/A22/ $\overline{\text{IRQ6-A}}/\text{SSI0-B}$	PA6/ $\overline{\text{IRQ6-A}}/\text{SSI0-B}$	NC	
31	J3	PA7/A23/ $\overline{\text{IRQ7-A}}/\text{SSO0-B}$	PA7/A23/ $\overline{\text{IRQ7-A}}/\text{SSO0-B}$	PA7/A23/ $\overline{\text{IRQ7-A}}/\text{SSO0-B}$	PA7/A23/ $\overline{\text{IRQ7-A}}/\text{SSO0-B}$	PA7/ $\overline{\text{IRQ7-A}}/\text{SSO0-B}$	NC	
32	K1	EMLE	EMLE	EMLE	EMLE	EMLE	Vss	
33	L2	P81/ $\overline{\text{IRQ1-B}}$ / PO1-B/TIOCB3-B/ TMRI1-B/TxD3/ EDREQ3	P81/ $\overline{\text{IRQ1-B}}$ / PO1-B/TIOCB3-B/ TMRI1-B/TxD3/ EDREQ3	P81/ $\overline{\text{IRQ1-B}}$ / PO1-B/TIOCB3-B/ TMRI1-B/TxD3/ EDREQ3	P81/ $\overline{\text{IRQ1-B}}$ / PO1-B/TIOCB3-B/ TMRI1-B/TxD3/ EDREQ3	P81/ $\overline{\text{IRQ1-B}}$ / PO1-B/TIOCB3-B/ TMRI1-B/TxD3/ EDREQ3	NC	
34	K3	P82/ $\overline{\text{IRQ2-B}}$ / ETEND2	P82/ $\overline{\text{IRQ2-B}}$ / ETEND2	P82/ $\overline{\text{IRQ2-B}}$ / ETEND2	P82/ $\overline{\text{IRQ2-B}}$ / ETEND2	P82/ $\overline{\text{IRQ2-B}}$ / ETEND2	NC	
35	L1	PH0/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}^*/\overline{\text{WE}}^*$	PH0/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}^*/\overline{\text{WE}}^*$	PH0/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}^*/\overline{\text{WE}}^*$	PH0/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}^*/\overline{\text{WE}}^*$	PH0	NC	
36	M1	PH1/ $\overline{\text{CS5}}/\overline{\text{RAS5}}^*/$ SDRAM ϕ^*	PH1/ $\overline{\text{CS5}}/\overline{\text{RAS5}}^*/$ SDRAM ϕ^*	PH1/ $\overline{\text{CS5}}/\overline{\text{RAS5}}^*/$ SDRAM ϕ^*	PH1/ $\overline{\text{CS5}}/\overline{\text{RAS5}}^*/$ SDRAM ϕ^*	PH1/ SDRAM ϕ^*	NC	
37	N2	PH2/ $\overline{\text{CS6}}/\overline{\text{IRQ6-B}}$	PH2/ $\overline{\text{CS6}}/\overline{\text{IRQ6-B}}$	PH2/ $\overline{\text{CS6}}/\overline{\text{IRQ6-B}}$	PH2/ $\overline{\text{CS6}}/\overline{\text{IRQ6-B}}$	PH2/ $\overline{\text{IRQ6-B}}$	NC	
38	M2	PH3/ $\overline{\text{CS7}}$ / $\overline{\text{OE-A}}^*/\overline{\text{CKE-A}}^*/$ $\overline{\text{IRQ7-B}}$	PH3/ $\overline{\text{CS7}}$ / $\overline{\text{OE-A}}^*/\overline{\text{CKE-A}}^*/$ $\overline{\text{IRQ7-B}}$	PH3/ $\overline{\text{CS7}}$ / $\overline{\text{OE-A}}^*/\overline{\text{CKE-A}}^*/$ $\overline{\text{IRQ7-B}}$	PH3/ $\overline{\text{CS7}}$ / $\overline{\text{OE-A}}^*/\overline{\text{CKE-A}}^*/$ $\overline{\text{IRQ7-B}}$	PH3/ $\overline{\text{IRQ7-B}}$	NC	
39	M3	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	NC	
40	N1	NMI	NMI	NMI	NMI	NMI	Vcc	
41	L3	VCL	VCL	VCL	VCL	VCL	VCL	
42	N3	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	NC	
43	M4	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	NC	
44	L4	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	$\overline{\text{OE}}$	
45	M5	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	$\overline{\text{CE}}$	
46	N4	P14/PO12/ TIOCA1/SSO0-A	P14/PO12/ TIOCA1/SSO0-A	P14/PO12/ TIOCA1/SSO0-A	P14/PO12/ TIOCA1/SSO0-A	P14/PO12/ TIOCA1/SSO0-A	$\overline{\text{WE}}$	

ピン番号		端子名					
PLQP0144 KA-A	PTLG0145 JB-A	モード 1	モード 2	モード 4	モード 3、7		フラッシュ メモリ ライターモード
					EXPE=1	EXPE=0	
47	K5	P15/PO13/ TIOCB1/TCLKC/ SSI0-A	P15/PO13/ TIOCB1/TCLKC/ SSI0-A	P15/PO13/ TIOCB1/TCLKC/ SSI0-A	P15/PO13/ TIOCB1/TCLKC/ SSI0-A	P15/PO13/ TIOCB1/TCLKC/ SSI0-A	NC
48	K6	P16/PO14/ TIOCA2/EDRAK2/ SSCK0-A	P16/PO14/ TIOCA2/EDRAK2/ SSCK0-A	P16/PO14/ TIOCA2/EDRAK2/ SSCK0-A	P16/PO14/ TIOCA2/EDRAK2/ SSCK0-A	P16/PO14/ TIOCA2/ SSCK0-A	NC
49	L5	P17/PO15/ TIOCB2/TCLKD/ EDRAK3/SCS0-A	P17/PO15/ TIOCB2/TCLKD/ EDRAK3/SCS0-A	P17/PO15/ TIOCB2/TCLKD/ EDRAK3/SCS0-A	P17/PO15/ TIOCB2/TCLKD/ EDRAK3/SCS0-A	P17/PO15/ TIOCB2/TCLKD/ SCS0-A	NC
50	N5	Vss	Vss	Vss	Vss	Vss	Vss
51	L6	P20/IRQ8-B/ PO0-A/TIOCA3-A	P20/IRQ8-B/ PO0-A/TIOCA3-A	P20/IRQ8-B/ PO0-A/TIOCA3-A	P20/IRQ8-B/ PO0-A/TIOCA3-A	P20/IRQ8-B/ PO0-A/TIOCA3-A	NC
52	L7	P21/IRQ9-B/ PO1-A/TIOCB3-A	P21/IRQ9-B/ PO1-A/TIOCB3-A	P21/IRQ9-B/ PO1-A/TIOCB3-A	P21/IRQ9-B/ PO1-A/TIOCB3-A	P21/IRQ9-B/ PO1-A/TIOCB3-A	Vcc
53	M6	P22/IRQ10-B/ PO2-A/TIOCC3-A	P22/IRQ10-B/ PO2-A/TIOCC3-A	P22/IRQ10-B/ PO2-A/TIOCC3-A	P22/IRQ10-B/ PO2-A/TIOCC3-A	P22/IRQ10-B/ PO2-A/TIOCC3-A	NC
54	N6	P23/IRQ11-B/ PO3-A/TIOCD3-A/ TxD4-A	P23/IRQ11-B/ PO3-A/TIOCD3-A/ TxD4-A	P23/IRQ11-B/ PO3-A/TIOCD3-A/ TxD4-A	P23/IRQ11-B/ PO3-A/TIOCD3-A/ TxD4-A	P23/IRQ11-B/ PO3-A/TIOCD3-A/ TxD4-A	NC
55	M7	P24/IRQ12-B/ PO4-A/TIOCA4-A/ RxD4-A	P24/IRQ12-B/ PO4-A/TIOCA4-A/ RxD4-A	P24/IRQ12-B/ PO4-A/TIOCA4-A/ RxD4-A	P24/IRQ12-B/ PO4-A/TIOCA4-A/ RxD4-A	P24/IRQ12-B/ PO4-A/TIOCA4-A/ RxD4-A	Vss
56	N7	P25/WAIT-B/ IRQ13-B/PO5-A/ TIOCB4-A	P25/WAIT-B/ IRQ13-B/PO5-A/ TIOCB4-A	P25/WAIT-B/ IRQ13-B/PO5-A/ TIOCB4-A	P25/WAIT-B/ IRQ13-B/PO5-A/ TIOCB4-A	P25/IRQ13-B/ PO5-A/ TIOCB4-A	NC
57	L8	P26/IRQ14-B/ PO6/TIOCA5/ SDA2/ADTRG1	P26/IRQ14-B/ PO6/TIOCA5/ SDA2/ADTRG1	P26/IRQ14-B/ PO6/TIOCA5/ SDA2/ADTRG1	P26/IRQ14-B/ PO6/TIOCA5/ SDA2/ADTRG1	P26/IRQ14-B/ PO6/TIOCA5/ SDA2/ADTRG1	NC
58	K7	P27/IRQ15-B/ PO7/TIOCB5/SCL2	P27/IRQ15-B/ PO7/TIOCB5/SCL2	P27/IRQ15-B/ PO7/TIOCB5/SCL2	P27/IRQ15-B/ PO7/TIOCB5/SCL2	P27/IRQ15-B/ PO7/TIOCB5/SCL2	NC
59	K8	P83/IRQ3-B/ PO3-B/TIOCD3-B/ TMC1-B/RxD3/ ETEND3	P83/IRQ3-B/ PO3-B/TIOCD3-B/ TMC1-B/RxD3/ ETEND3	P83/IRQ3-B/ PO3-B/TIOCD3-B/ TMC1-B/RxD3/ ETEND3	P83/IRQ3-B/ PO3-B/TIOCD3-B/ TMC1-B/RxD3/ ETEND3	P83/IRQ3-B/ PO3-B/TIOCD3-B/ TMC1-B/RxD3/ ETEND3	NC
60	N8	P84/IRQ4-B/ EDACK2	P84/IRQ4-B/ EDACK2	P84/IRQ4-B/ EDACK2	P84/IRQ4-B/ EDACK2	P84/IRQ4-B/ EDACK2	NC
61	M8	P85/IRQ5-B/ PO5-B/TIOCB4-B/ TMO1-B/SCK3/ EDACK3	P85/IRQ5-B/ PO5-B/TIOCB4-B/ TMO1-B/SCK3/ EDACK3	P85/IRQ5-B/ PO5-B/TIOCB4-B/ TMO1-B/SCK3/ EDACK3	P85/IRQ5-B/ PO5-B/TIOCB4-B/ TMO1-B/SCK3/ EDACK3	P85/IRQ5-B/ PO5-B/TIOCB4-B/ TMO1-B/SCK3/ EDACK3	NC

ピン番号		端子名						フラッシュ メモリ ライタモード
PLQP0144 KA-A	PTLG0145 JB-A	モード1	モード2	モード4	モード3、7			
					EXPE=1	EXPE=0		
62	L9	PJ2	PJ2	PJ2	PJ2	PJ2	Vss	
63	K9	PE0/D0/AD0	PE0/D0/AD0	PE0/D0/AD0	PE0/D0/AD0	PE0	NC	
64	N9	PE1/D1/AD1	PE1/D1/AD1	PE1/D1/AD1	PE1/D1/AD1	PE1	NC	
65	M9	PE2/D2/AD2	PE2/D2/AD2	PE2/D2/AD2	PE2/D2/AD2	PE2	NC	
66	L10	PE3/D3/AD3	PE3/D3/AD3	PE3/D3/AD3	PE3/D3/AD3	PE3	NC	
67	K10	PE4/D4/AD4	PE4/D4/AD4	PE4/D4/AD4	PE4/D4/AD4	PE4	NC	
68	N10	PE5/D5/AD5	PE5/D5/AD5	PE5/D5/AD5	PE5/D5/AD5	PE5	NC	
69	M10	PE6/D6/AD6	PE6/D6/AD6	PE6/D6/AD6	PE6/D6/AD6	PE6	NC	
70	M11	Vss	Vss	Vss	Vss	Vss	Vss	
71	N11	D7/AD7	PE7/D7/AD7	PE7/D7/AD7	PE7/D7/AD7	PE7	NC	
72	N12	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	
73	M13	D8/AD8	D8/AD8	D8/AD8	D8/AD8	PD0	I/O0	
74	N13	D9/AD9	D9/AD9	D9/AD9	D9/AD9	PD1	I/O1	
75	L12	D10/AD10	D10/AD10	D10/AD10	D10/AD10	PD2	I/O2	
76	M12	D11/AD11	D11/AD11	D11/AD11	D11/AD11	PD3	I/O3	
77	L11	D12/AD12	D12/AD12	D12/AD12	D12/AD12	PD4	I/O4	
78	L13	D13/AD13	D13/AD13	D13/AD13	D13/AD13	PD5	I/O5	
79	K12	D14/AD14	D14/AD14	D14/AD14	D14/AD14	PD6	I/O6	
80	K11	D15/AD15	D15/AD15	D15/AD15	D15/AD15	PD7	I/O7	
81	J12	P60/IRQ8-A/ DREQ0/TMRI0-A	P60/IRQ8-A/ DREQ0/TMRI0-A	P60/IRQ8-A/ DREQ0/TMRI0-A	P60/IRQ8-A/ DREQ0/TMRI0-A	P60/IRQ8-A/ DREQ0/TMRI0-A	NC	
82	K13	P61/IRQ9-A/ DREQ1/TMRI1-A	P61/IRQ9-A/ DREQ1/TMRI1-A	P61/IRQ9-A/ DREQ1/TMRI1-A	P61/IRQ9-A/ DREQ1/TMRI1-A	P61/IRQ9-A/ DREQ1/TMRI1-A	NC	
83	J10	P62/IRQ10-A/ TEND0/TMCI0-A	P62/IRQ10-A/ TEND0/TMCI0-A	P62/IRQ10-A/ TEND0/TMCI0-A	P62/IRQ10-A/ TEND0/TMCI0-A	P62/IRQ10-A/ TEND0/TMCI0-A	NC	
84	J11	PF0/WAIT-A/ ADTRG0-B/ SCS0-C	PF0/WAIT-A/ ADTRG0-B/ SCS0-C	PF0/WAIT-A/ ADTRG0-B/ SCS0-C	PF0/WAIT-A/ ADTRG0-B/ SCS0-C	PF0/ ADTRG0-B/ SCS0-C	NC	
85	H12	PF1/UCAS*2/ DQMU*1/IRQ14-A/ SSCK0-C	PF1/UCAS*2/ DQMU*1/IRQ14-A/ SSCK0-C	PF1/UCAS*2/ DQMU*1/IRQ14-A/ SSCK0-C	PF1/UCAS*2/ DQMU*1/IRQ14-A/ SSCK0-C	PF1/IRQ14-A/ SSCK0-C	NC	
86	H10	PF2/LCAS*2/ DQML*1/ IRQ15-A/SSI0-C	PF2/LCAS*2/ DQML*1/ IRQ15-A/SSI0-C	PF2/LCAS*2/ DQML*1/ IRQ15-A/SSI0-C	PF2/LCAS*2/ DQML*1/ IRQ15-A/SSI0-C	PF2/IRQ15-A/ SSI0-C	NC	
87	J13	PF3/LWR/ SSO0-C	PF3/LWR/ SSO0-C	PF3/LWR/ SSO0-C	PF3/LWR/ SSO0-C	PF3/ SSO0-C	NC	
88	H11	HWR	HWR	HWR	HWR	PF4	NC	

ピン番号		端子名					
PLQP0144 KA-A	PTLG0145 JB-A	モード1	モード2	モード4	モード3、7		フラッシュ メモリ ライターモード
					EXPE=1	EXPE=0	
89	G12	\overline{RD}	\overline{RD}	\overline{RD}	\overline{RD}	PF5	NC
90	G10	PF6/ $\overline{AS/AH}$	PF6/ $\overline{AS/AH}$	PF6/ $\overline{AS/AH}$	PF6/ $\overline{AS/AH}$	PF6	NC
91	H13	PLLvcc	PLLvcc	PLLvcc	PLLvcc	PLLvcc	Vcc
92	G11	\overline{RES}	\overline{RES}	\overline{RES}	\overline{RES}	\overline{RES}	\overline{RES}
93	G13	PLLvss	PLLvss	PLLvss	PLLvss	PLLvss	Vss
94	F10	PF7/ ϕ	PF7/ ϕ	PF7/ ϕ	PF7/ ϕ	PF7/ ϕ	NC
95	F11	Vss	Vss	Vss	Vss	Vss	Vss
96	F12	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
97	F13	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
98	E11	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
99	E13	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
100	D11	PJ0	PJ0	PJ0	PJ0	PJ0	NC
101	E12	PJ1	PJ1	PJ1	PJ1	PJ1	NC
102	E10	Vss	Vss	Vss	Vss	Vss	Vss
103	D13	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	Vcc
104	D10	P63/ $\overline{IRQ11-A/}$ $\overline{TEND1/TMCI1-A}$	P63/ $\overline{IRQ11-A/}$ $\overline{TEND1/TMCI1-A}$	P63/ $\overline{IRQ11-A/}$ $\overline{TEND1/TMCI1-A}$	P63/ $\overline{IRQ11-A/}$ $\overline{TEND1/TMCI1-A}$	P63/ $\overline{IRQ11-A/}$ $\overline{TEND1/TMCI1-A}$	NC
105	D12	P64/ $\overline{IRQ12-A/}$ $\overline{DACK0/TMO0-A}$	P64/ $\overline{IRQ12-A/}$ $\overline{DACK0/TMO0-A}$	P64/ $\overline{IRQ12-A/}$ $\overline{DACK0/TMO0-A}$	P64/ $\overline{IRQ12-A/}$ $\overline{DACK0/TMO0-A}$	P64/ $\overline{IRQ12-A/}$ $\overline{DACK0/TMO0-A}$	NC
106	C13	P65/ $\overline{IRQ13-A/}$ $\overline{DACK1/TMO1-A}$	P65/ $\overline{IRQ13-A/}$ $\overline{DACK1/TMO1-A}$	P65/ $\overline{IRQ13-A/}$ $\overline{DACK1/TMO1-A}$	P65/ $\overline{IRQ13-A/}$ $\overline{DACK1/TMO1-A}$	P65/ $\overline{IRQ13-A/}$ $\overline{DACK1/TMO1-A}$	NC
107	C12	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0	NC
108	B13	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1	NC
109	A12	PG2/ $\overline{CS2/}$ $\overline{RAS2^{*2}/RAS^{*1}}$	PG2/ $\overline{CS2/}$ $\overline{RAS2^{*2}/RAS^{*1}}$	PG2/ $\overline{CS2/}$ $\overline{RAS2^{*2}/RAS^{*1}}$	PG2/ $\overline{CS2/}$ $\overline{RAS2^{*2}/RAS^{*1}}$	PG2	NC
110	A13	PG3/ $\overline{CS3/}$ $\overline{RAS3^{*2}/CAS^{*1}}$	PG3/ $\overline{CS3/}$ $\overline{RAS3^{*2}/CAS^{*1}}$	PG3/ $\overline{CS3/}$ $\overline{RAS3^{*2}/CAS^{*1}}$	PG3/ $\overline{CS3/}$ $\overline{RAS3^{*2}/CAS^{*1}}$	PG3	NC
111	B11	AVcc	AVcc	AVcc	AVcc	AVcc	Vcc
112	B12	Vref	Vref	Vref	Vref	Vref	Vcc
113	A11	P40/AN0_0	P40/AN0_0	P40/AN0_0	P40/AN0_0	P40/AN0_0	NC
114	C11	P41/AN1_0	P41/AN1_0	P41/AN1_0	P41/AN1_0	P41/AN1_0	NC
115	B10	P42/AN2_0	P42/AN2_0	P42/AN2_0	P42/AN2_0	P42/AN2_0	NC
116	C10	P43/AN3_0	P43/AN3_0	P43/AN3_0	P43/AN3_0	P43/AN3_0	Vss
117	A10	P44/AN4_0	P44/AN4_0	P44/AN4_0	P44/AN4_0	P44/AN4_0	Vcc
118	B9	P45/AN5_0	P45/AN5_0	P45/AN5_0	P45/AN5_0	P45/AN5_0	Vss
119	C9	P46/AN6_0	P46/AN6_0	P46/AN6_0	P46/AN6_0	P46/AN6_0	NC
120	B8	P47/AN7_0	P47/AN7_0	P47/AN7_0	P47/AN7_0	P47/AN7_0	NC

ピン番号		端子名						フラッシュ メモリ ライタモード
PLQP0144 KA-A	PTLG0145 JB-A	モード1	モード2	モード4	モード3、7			
					EXPE=1	EXPE=0		
121	A9	P90/AN8_1	P90/AN8_1	P90/AN8_1	P90/AN8_1	P90/AN8_1	NC	
122	D9	P91/AN9_1	P91/AN9_1	P91/AN9_1	P91/AN9_1	P91/AN9_1	NC	
123	C8	P92/AN10_1	P92/AN10_1	P92/AN10_1	P92/AN10_1	P92/AN10_1	NC	
124	B7	P93/AN11_1	P93/AN11_1	P93/AN11_1	P93/AN11_1	P93/AN11_1	NC	
125	A8	P94/AN12_1/DA2	P94/AN12_1/DA2	P94/AN12_1/DA2	P94/AN12_1/DA2	P94/AN12_1/DA2	NC	
126	D8	P95/AN13_1/DA3	P95/AN13_1/DA3	P95/AN13_1/DA3	P95/AN13_1/DA3	P95/AN13_1/DA3	NC	
127	D7	P96/AN14_1	P96/AN14_1	P96/AN14_1	P96/AN14_1	P96/AN14_1	NC	
128	D6	P97/AN15_1	P97/AN15_1	P97/AN15_1	P97/AN15_1	P97/AN15_1	NC	
129	A7	AVss	AVss	AVss	AVss	AVss	Vss	
130	B6	PG4/BREQO-A	PG4/BREQO-A	PG4/BREQO-A	PG4/BREQO-A	PG4	NC	
131	C7	PG5/BACK-A	PG5/BACK-A	PG5/BACK-A	PG5/BACK-A	PG5	NC	
132	D5	PG6/BREQ-A	PG6/BREQ-A	PG6/BREQ-A	PG6/BREQ-A	PG6	NC	
133	A6	P50/BREQO-B/ IRQ0-A/PO0-B/ TIOCA3-B/ TMRI0-B/TxD2/ SDA3	P50/BREQO-B/ IRQ0-A/PO0-B/ TIOCA3-B/ TMRI0-B/TxD2/ SDA3	P50/BREQO-B/ IRQ0-A/PO0-B/ TIOCA3-B/ TMRI0-B/TxD2/ SDA3	P50/BREQO-B/ IRQ0-A/PO0-B/ TIOCA3-B/ TMRI0-B/TxD2/ SDA3	P50/IRQ0-A/ PO0-B/ TIOCA3-B/ TMRI0-B/TxD2/ SDA3	Vss	
134	B5	P51/BREQ-B/ IRQ1-A/PO2-B/ TIOCC3-B/ TMCI0-B/RxD2/ SCL3	P51/BREQ-B/ IRQ1-A/PO2-B/ TIOCC3-B/ TMCI0-B/RxD2/ SCL3	P51/BREQ-B/ IRQ1-A/PO2-B/ TIOCC3-B/ TMCI0-B/RxD2/ SCL3	P51/BREQ-B/ IRQ1-A/PO2-B/ TIOCC3-B/ TMCI0-B/RxD2/ SCL3	P51/IRQ1-A/ PO2-B/ TIOCC3-B/ TMCI0-B/ RxD2/SCL3	Vss	
135	C6	P52/BACK-B/ IRQ2-A/PO4-B/ TIOCA4-B/ TMO0-B/SCK2	P52/BACK-B/ IRQ2-A/PO4-B/ TIOCA4-B/ TMO0-B/SCK2	P52/BACK-B/ IRQ2-A/PO4-B/ TIOCA4-B/ TMO0-B/SCK2	P52/BACK-B/ IRQ2-A/PO4-B/ TIOCA4-B/ TMO0-B/SCK2	P52/IRQ2-A/ PO4-B/ TIOCA4-B/ TMO0-B/SCK2	Vcc	
136	D4	P53/IRQ3-A/ ADTRG0-A	P53/IRQ3-A/ ADTRG0-A	P53/IRQ3-A/ ADTRG0-A	P53/IRQ3-A/ ADTRG0-A	P53/IRQ3-A/ ADTRG0-A	NC	
137	A5	P35/OE-B*2/ CKE-B*1/ SCK1/SCL0	P35/OE-B*2/ CKE-B*1/ SCK1/SCL0	P35/OE-B*2/ CKE-B*1/ SCK1/SCL0	P35/OE-B*2/ CKE-B*1/ SCK1/SCL0	P35/SCK1/ SCL0	NC	
138	B4	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	NC	
139	C5	P33/RxD1/SCL1	P33/RxD1/SCL1	P33/RxD1/SCL1	P33/RxD1/SCL1	P33/RxD1/SCL1	NC	
140	A4	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	Vcc	
141	B3	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	NC	

ピン番号		端子名					
PLQP0144 KA-A	PTLG0145 JB-A	モード1	モード2	モード4	モード3、7		フラッシュ メモリ ライターモード
					EXPE=1	EXPE=0	
142	C4	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/ IrTxD	NC
143	A3	MD0	MD0	MD0	MD0	MD0	Vss
144	A2	MD1	MD1	MD1	MD1	MD1	Vss
—	E5	NC	NC	NC	NC	NC	NC

【注】 *1 H8S/2426 グループにはありません。

*2 5V 版にはありません。

表 1.4 H8S/2424 グループ動作モード別ピン配置一覧

ピン番号	端子名					
	モード 1	モード 2	モード 4	モード 3、7		フラッシュ メモリ ライターモード
				EXPE=1	EXPE=0	
PLQP0120LA-A PLQP0120KA-A						
1	MD2	MD2	MD2	MD2	MD2	Vss
2	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
3	A0	A0	PC0/A0	PC0/A0	PC0/TIOCA9	A0
4	A1	A1	PC1/A1	PC1/A1	PC1/TIOCB9	A1
5	A2	A2	PC2/A2	PC2/A2	PC2/TIOCC9	A2
6	A3	A3	PC3/A3	PC3/A3	PC3/TIOCD9	A3
7	A4	A4	PC4/A4	PC4/A4	PC4/TIOCA10	A4
8	Vss	Vss	Vss	Vss	Vss	Vss
9	A5	A5	PC5/A5	PC5/A5	PC5/TIOCB10	A5
10	A6	A6	PC6/A6	PC6/A6	PC6/TIOCA11	A6
11	A7	A7	PC7/A7	PC7/A7	PC7/TIOCB11	A7
12	A8	A8	PB0/A8	PB0/A8	PB0/TIOCA6	A8
13	A9	A9	PB1/A9	PB1/A9	PB1/TIOCB6	A9
14	A10	A10	PB2/A10	PB2/A10	PB2/TIOCC6/TCLKE	A10
15	A11	A11	PB3/A11	PB3/A11	PB3/TIOCD6/ TCLKF	A11
16	A12	A12	PB4/A12	PB4/A12	PB4/TIOCA7	A12
17	Vss	Vss	Vss	Vss	Vss	Vss
18	A13	A13	PB5/A13	PB5/A13	PB5/TIOCB7/TCLKG	A13
19	A14	A14	PB6/A14	PB6/A14	PB6/TIOCA8	A14
20	A15	A15	PB7/A15	PB7/A15	PB7/TIOCB8/TCLKH	A15
21	A16	A16	PA0/A16	PA0/A16	PA0	A16
22	Vss	Vss	Vss	Vss	Vss	Vss
23	A17	A17	PA1/A17/TxD4-B	PA1/A17/TxD4-B	PA1/TxD4-B	A17
24	A18	A18	PA2/A18/RxD4-B	PA2/A18/RxD4-B	PA2/RxD4-B	A18
25	A19	A19	PA3/A19/SCK4-B	PA3/A19/SCK4-B	PA3/SCK4-B	NC
26	A20/IRQ4-A	A20/IRQ4-A	PA4/A20/IRQ4-A/ SCS0-B	PA4/A20/IRQ4-A/ SCS0-B	PA4/IRQ4-A/ SCS0-B	NC
27	PA5/A21/IRQ5-A/ SSCK0-B	PA5/A21/IRQ5-A/ SSCK0-B	PA5/A21/IRQ5-A/ SSCK0-B	PA5/A21/IRQ5-A/ SSCK0-B	PA5/IRQ5-A/ SSCK0-B	NC
28	PA6/A22/ IRQ6-A/SSI0-B	PA6/A22/ IRQ6-A/SSI0-B	PA6/A22/ IRQ6-A/SSI0-B	PA6/A22/ IRQ6-A/SSI0-B	PA6/IRQ6-A/SSI0-B	NC
29	PA7/A23/CS7/ IRQ7-A/SSO0-B	PA7/A23/CS7/ IRQ7-A/SSO0-B	PA7/A23/CS7/ IRQ7-A/SSO0-B	PA7/A23/CS7/ IRQ7-A/SSO0-B	PA7/IRQ7-A/ SSO0-B	NC
30	EMLE	EMLE	EMLE	EMLE	EMLE	Vss
31	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	NC

ピン番号	端子名					
	モード 1	モード 2	モード 4	モード 3、7		フラッシュ メモリ ライタモード
PLQP0120LA-A PLQP0120KA-A				EXPE=1	EXPE=0	
32	NMI	NMI	NMI	NMI	NMI	Vcc
33	VCL	VCL	VCL	VCL	VCL	VCL
34	P10/DREQ0/ PO8/TIOCA0	P10/DREQ0/ PO8/TIOCA0	P10/DREQ0/ PO8/TIOCA0	P10/DREQ0/ PO8/TIOCA0	P10/DREQ0/ PO8/TIOCA0	NC
35	P11/DREQ1/ PO9/TIOCB0	P11/DREQ1/ PO9/TIOCB0	P11/DREQ1/ PO9/TIOCB0	P11/DREQ1/ PO9/TIOCB0	P11/DREQ1/ PO9/TIOCB0	NC
36	P12/TEND0/ PO10/TIOCC0/ TCLKA	P12/TEND0/ PO10/TIOCC0/ TCLKA	P12/TEND0/ PO10/TIOCC0/ TCLKA	P12/TEND0/ PO10/TIOCC0/ TCLKA	P12/TEND0/ PO10/TIOCC0/ TCLKA	OE
37	P13/TEND1/ PO11/TIOCD0/ TCLKB	P13/TEND1/ PO11/TIOCD0/ TCLKB	P13/TEND1/ PO11/TIOCD0/ TCLKB	P13/TEND1/ PO11/TIOCD0/ TCLKB	P13/TEND1/ PO11/TIOCD0/ TCLKB	CE
38	P14/DACK0/ PO12/TIOCA1/ SS00-A	P14/DACK0/ PO12/TIOCA1/ SS00-A	P14/DACK0/ PO12/TIOCA1/ SS00-A	P14/DACK0/ PO12/TIOCA1/ SS00-A	P14/DACK0/ PO12/TIOCA1/ SS00-A	WE
39	P15/DACK1/ PO13/TIOCB1/ TCLKC/SSI0-A	P15/DACK1/ PO13/TIOCB1/ TCLKC/SSI0-A	P15/DACK1/ PO13/TIOCB1/ TCLKC/SSI0-A	P15/DACK1/ PO13/TIOCB1/ TCLKC/SSI0-A	P15/DACK1/ PO13/TIOCB1/ TCLKC/SSI0-A	NC
40	P16/PO14/TIOCA2/ SSCK0-A	P16/PO14/TIOCA2/ SSCK0-A	P16/PO14/TIOCA2/ SSCK0-A	P16/PO14/TIOCA2/ SSCK0-A	P16/PO14/TIOCA2/ SSCK0-A	NC
41	P17/PO15/TIOCB2/ TCLKD/SCS0-A	P17/PO15/TIOCB2/ TCLKD/SCS0-A	P17/PO15/TIOCB2/ TCLKD/SCS0-A	P17/PO15/TIOCB2/ TCLKD/SCS0-A	P17/PO15/TIOCB2/ TCLKD/SCS0-A	NC
42	P20/PO0-A/ TIOCA3-A/TMRI0-A	P20/PO0-A/ TIOCA3-A/TMRI0-A	P20/PO0-A/ TIOCA3-A/TMRI0-A	P20/PO0-A/ TIOCA3-A/TMRI0-A	P20/PO0-A/ TIOCA3-A/TMRI0-A	NC
43	P21/PO1-A/ TIOCB3-A/TMRI1-A	P21/PO1-A/ TIOCB3-A/TMRI1-A	P21/PO1-A/ TIOCB3-A/TMRI1-A	P21/PO1-A/ TIOCB3-A/TMRI1-A	P21/PO1-A/ TIOCB3-A/TMRI1-A	Vcc
44	P22/PO2-A/ TIOCC3-A/TMCI0-A	P22/PO2-A/ TIOCC3-A/TMCI0-A	P22/PO2-A/ TIOCC3-A/TMCI0-A	P22/PO2-A/ TIOCC3-A/TMCI0-A	P22/PO2-A/ TIOCC3-A/TMCI0-A	NC
45	P23/PO3-A/ TIOCD3-A/ TMCI1-A/TxD4-A	P23/PO3-A/ TIOCD3-A/ TMCI1-A/TxD4-A	P23/PO3-A/ TIOCD3-A/ TMCI1-A/TxD4-A	P23/PO3-A/ TIOCD3-A/ TMCI1-A/TxD4-A	P23/PO3-A/ TIOCD3-A/ TMCI1-A/TxD4-A	NC
46	P24/PO4-A/ TIOCA4-A/ TMO0-A/RxD4-A	P24/PO4-A/ TIOCA4-A/ TMO0-A/RxD4-A	P24/PO4-A/ TIOCA4-A/ TMO0-A/RxD4-A	P24/PO4-A/ TIOCA4-A/ TMO0-A/RxD4-A	P24/PO4-A/ TIOCA4-A/ TMO0-A/RxD4-A	Vss
47	P25/WAIT-B/ PO5-A/TIOCB4-A/ TMO1-A	P25/WAIT-B/ PO5-A/TIOCB4-A/ TMO1-A	P25/WAIT-B/ PO5-A/TIOCB4-A/ TMO1-A	P25/WAIT-B/ PO5-A/TIOCB4-A/ TMO1-A	P25/WAIT-B/ PO5-A/TIOCB4-A/ TMO1-A	NC

ピン番号	端子名					
	モード 1	モード 2	モード 4	モード 3、7		フラッシュ メモリ ライタモード
				EXPE=1	EXPE=0	
PLQP0120LA-A PLQP0120KA-A						
48	P26/PO6/ TIOCA5/SDA2/ ADTRG1	P26/PO6/ TIOCA5/SDA2/ ADTRG1	P26/PO6/ TIOCA5/SDA2/ ADTRG1	P26/PO6/ TIOCA5/SDA2/ ADTRG1	P26/PO6/ TIOCA5/SDA2/ ADTRG1	NC
49	P27/PO7/ TIOCB5/SCL2	P27/PO7/ TIOCB5/SCL2	P27/PO7/ TIOCB5/SCL2	P27/PO7/ TIOCB5/SCL2	P27/PO7/ TIOCB5/SCL2	NC
50	P85/PO5-B/ TIOCB4-B/ TMO1-B/SCK3	P85/PO5-B/ TIOCB4-B/ TMO1-B/SCK3	P85/PO5-B/ TIOCB4-B/ TMO1-B/SCK3	P85/PO5-B/ TIOCB4-B/ TMO1-B/SCK3	P85/PO5-B/ TIOCB4-B/ TMO1-B/SCK3	NC
51	PE0/D0/AD0	PE0/D0/AD0	PE0/D0/AD0	PE0/D0/AD0	PE0	NC
52	PE1/D1/AD1	PE1/D1/AD1	PE1/D1/AD1	PE1/D1/AD1	PE1	NC
53	PE2/D2/AD2	PE2/D2/AD2	PE2/D2/AD2	PE2/D2/AD2	PE2	NC
54	PE3/D3/AD3	PE3/D3/AD3	PE3/D3/AD3	PE3/D3/AD3	PE3	NC
55	PE4/D4/AD4	PE4/D4/AD4	PE4/D4/AD4	PE4/D4/AD4	PE4	NC
56	PE5/D5/AD5	PE5/D5/AD5	PE5/D5/AD5	PE5/D5/AD5	PE5	NC
57	PE6/D6/AD6	PE6/D6/AD6	PE6/D6/AD6	PE6/D6/AD6	PE6	NC
58	Vss	Vss	Vss	Vss	Vss	Vss
59	D7/AD7	PE7/D7/AD7	PE7/D7/AD7	PE7/D7/AD7	PE7	NC
60	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
61	D8/AD8	D8/AD8	D8/AD8	D8/AD8	PD0	I/O0
62	D9/AD9	D9/AD9	D9/AD9	D9/AD9	PD1	I/O1
63	D10/AD10	D10/AD10	D10/AD10	D10/AD10	PD2	I/O2
64	D11/AD11	D11/AD11	D11/AD11	D11/AD11	PD3	I/O3
65	D12/AD12	D12/AD12	D12/AD12	D12/AD12	PD4	I/O4
66	D13/AD13	D13/AD13	D13/AD13	D13/AD13	PD5	I/O5
67	D14/AD14	D14/AD14	D14/AD14	D14/AD14	PD6	I/O6
68	D15/AD15	D15/AD15	D15/AD15	D15/AD15	PD7	I/O7
69	PF0/WAIT-A/ OE-A*/ADTRG0-B/ SCS0-C	PF0/WAIT-A/ OE-A*/ADTRG0-B/ SCS0-C	PF0/WAIT-A/ OE-A*/ADTRG0-B/ SCS0-C	PF0/WAIT-A/ OE-A*/ADTRG0-B/ SCS0-C	PF0/ ADTRG0-B/ SCS0-C	NC
70	PF1/CS5/ UCAS*/SSCK0-C	PF1/CS5/ UCAS*/SSCK0-C	PF1/CS5/ UCAS*/SSCK0-C	PF1/CS5/ UCAS*/SSCK0-C	PF1/ SSCK0-C	NC
71	PF2/CS6/ LCAS*/SSI0-C	PF2/CS6/ LCAS*/SSI0-C	PF2/CS6/ LCAS*/SSI0-C	PF2/CS6/ LCAS*/SSI0-C	PF2/ SSI0-C	NC
72	PF3/LWR/ SSO0-C	PF3/LWR/ SSO0-C	PF3/LWR/ SSO0-C	PF3/LWR/ SSO0-C	PF3/ SSO0-C	NC
73	HWR	HWR	HWR	HWR	PF4	NC
74	RD	RD	RD	RD	PF5	NC

ピン番号	端子名					
	モード 1	モード 2	モード 4	モード 3、7		フラッシュ メモリ ライタモード
PLQP0120LA-A PLQP0120KA-A				EXPE=1	EXPE=0	
75	PF6/ $\overline{AS/AH}$	PF6/ $\overline{AS/AH}$	PF6/ $\overline{AS/AH}$	PF6/ $\overline{AS/AH}$	PF6	NC
76	PLLvcc	PLLvcc	PLLvcc	PLLvcc	PLLvcc	Vcc
77	\overline{RES}	\overline{RES}	\overline{RES}	\overline{RES}	\overline{RES}	\overline{RES}
78	PLLvss	PLLvss	PLLvss	PLLvss	PLLvss	Vss
79	PF7/ ϕ	NC				
80	Vss	Vss	Vss	Vss	Vss	Vss
81	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
82	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
83	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
84	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
85	P83/PO3-B/ TIOCD3-B/ TMC11-B/RxD3	P83/PO3-B/ TIOCD3-B/ TMC11-B/RxD3	P83/PO3-B/ TIOCD3-B/ TMC11-B/RxD3	P83/PO3-B/ TIOCD3-B/ TMC11-B/RxD3	P83/PO3-B/ TIOCD3-B/ TMC11-B/RxD3	NC
86	P81/PO1-B/ TIOCB3-B/ TMR11-B/TxD3	P81/PO1-B/ TIOCB3-B/ TMR11-B/TxD3	P81/PO1-B/ TIOCB3-B/ TMR11-B/TxD3	P81/PO1-B/ TIOCB3-B/ TMR11-B/TxD3	P81/PO1-B/ TIOCB3-B/ TMR11-B/TxD3	NC
87	Vss	Vss	Vss	Vss	Vss	Vss
88	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	Vcc
89	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0	NC
90	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1	NC
91	PG2/ $\overline{CS2/RAS2^*}$	PG2/ $\overline{CS2/RAS2^*}$	PG2/ $\overline{CS2/RAS2^*}$	PG2/ $\overline{CS2/RAS2^*}$	PG2	NC
92	PG3/ $\overline{CS3/RAS3^*}$	PG3/ $\overline{CS3/RAS3^*}$	PG3/ $\overline{CS3/RAS3^*}$	PG3/ $\overline{CS3/RAS3^*}$	PG3	NC
93	AVcc	AVcc	AVcc	AVcc	AVcc	Vcc
94	Vref	Vref	Vref	Vref	Vref	Vcc
95	P40/ $\overline{IRQ0-B/AN0_0}$	NC				
96	P41/ $\overline{IRQ1-B/AN1_0}$	NC				
97	P42/ $\overline{IRQ2-B/AN2_0}$	NC				
98	P43/ $\overline{IRQ3-B/AN3_0}$	Vss				
99	P44/ $\overline{IRQ4-B/AN4_0}$	Vcc				
100	P45/ $\overline{IRQ5-B/AN5_0}$	Vss				
101	P46/ $\overline{IRQ6-B/AN6_0}$	NC				
102	P47/ $\overline{IRQ7-B/AN7_0}$	NC				
103	P94/AN12_1/DA2	P94/AN12_1/DA2	P94/AN12_1/DA2	P94/AN12_1/DA2	P94/AN12_1/DA2	NC
104	P95/AN13_1/DA3	P95/AN13_1/DA3	P95/AN13_1/DA3	P95/AN13_1/DA3	P95/AN13_1/DA3	NC
105	AVss	AVss	AVss	AVss	AVss	Vss
106	PG4/ $\overline{BREQO-A/CS4}$	PG4/ $\overline{BREQO-A/CS4}$	PG4/ $\overline{BREQO-A/CS4}$	PG4/ $\overline{BREQO-A/CS4}$	PG4	NC
107	PG5/ $\overline{BACK-A}$	PG5/ $\overline{BACK-A}$	PG5/ $\overline{BACK-A}$	PG5/ $\overline{BACK-A}$	PG5	NC

ピン番号	端子名					フラッシュ メモリ ライターモード
	モード 1	モード 2	モード 4	モード 3、7		
PLQP0120LA-A PLQP0120KA-A				EXPE=1	EXPE=0	
108	PG6/ $\overline{\text{BREQ-A}}$	PG6/ $\overline{\text{BREQ-A}}$	PG6/ $\overline{\text{BREQ-A}}$	PG6/ $\overline{\text{BREQ-A}}$	PG6	NC
109	P50/ $\overline{\text{BREQO-B}}$ / $\overline{\text{IRQ0-A}}$ /PO0-B/ TIOCA3-B/TMRI0-B/ TxD2/SDA3	P50/ $\overline{\text{IRQ0-A}}$ / PO0-B/ TIOCA3-B/TMRI0-B/ TxD2/SDA3	Vss			
110	P51/ $\overline{\text{BREQ-B}}$ / $\overline{\text{IRQ1-A}}$ /PO2-B/ TIOCC3-B/TMCI0-B/ RxD2/SCL3	P51/ $\overline{\text{IRQ1-A}}$ / PO2-B/ TIOCC3-B/TMCI0-B/ RxD2/SCL3	Vss			
111	P52/ $\overline{\text{BACK-B}}$ / $\overline{\text{IRQ2-A}}$ /PO4-B/ TIOCA4-B/ TMO0-B/SCK2	P52/ $\overline{\text{IRQ2-A}}$ / PO4-B/ TIOCA4-B/ TMO0-B/SCK2	Vcc			
112	P53/ $\overline{\text{IRQ3-A}}$ / $\overline{\text{ADTRG0-A}}$	P53/ $\overline{\text{IRQ3-A}}$ / $\overline{\text{ADTRG0-A}}$	P53/ $\overline{\text{IRQ3-A}}$ / $\overline{\text{ADTRG0-A}}$	P53/ $\overline{\text{IRQ3-A}}$ / $\overline{\text{ADTRG0-A}}$	P53/ $\overline{\text{IRQ3-A}}$ / $\overline{\text{ADTRG0-A}}$	NC
113	P35/ $\overline{\text{OE-B}}$ */ SCK1/SCL0	P35/ $\overline{\text{OE-B}}$ */ SCK1/SCL0	P35/ $\overline{\text{OE-B}}$ */ SCK1/SCL0	P35/ $\overline{\text{OE-B}}$ */ SCK1/SCL0	P35/SCK1/ SCL0	NC
114	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	P34/SCK0/ SCK4-A/SDA0	NC
115	P33/RxD1/SCL1	P33/RxD1/SCL1	P33/RxD1/SCL1	P33/RxD1/SCL1	P33/RxD1/SCL1	NC
116	P32/RxD0/ IrxD/SDA1	P32/RxD0/ IrxD/SDA1	P32/RxD0/ IrxD/SDA1	P32/RxD0/ IrxD/SDA1	P32/RxD0/ IrxD/SDA1	Vcc
117	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	NC
118	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	NC
119	MD0	MD0	MD0	MD0	MD0	Vss
120	MD1	MD1	MD1	MD1	MD1	Vss

【注】 * 5V 版にはありません。

1.4.3 端子機能

表 1.5 端子機能

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
電源	Vcc	4、72、98 99	B2、N12、E11 E13	2、60、83 84	入力	電源端子です。システムの電源に接続してください。
	Vss	2、10、18、25 50、70、95、102	A1、E2、F4、H1 N5、M11、E10 F11	8、17、22 58、80、87	入力	グランド端子です。システムの電源 (0V) に接続してください。
	PLLVcc	91	H13	76	入力	内蔵 PLL 発振器用の電源端子です。
	PLLvss	93	G13	78	入力	内蔵 PLL 発振器用のグランド端子です。
	VCL	41	L3	33	出力	電源に接続しないでください。0.1 μ F (推奨値) のコンデンサを介して Vss に接続してください。 (端子近くに配置)
クロック	XTAL	96	F12	81	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 22 章 クロック発振器」を参照してください。
	EXTAL	97	F13	82	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 22 章 クロック発振器」を参照してください。
	ϕ	94	F10	79	出力	外部デバイスにシステムクロックを供給します。
	SDRAM ϕ *1	36	M1	—	出力	シンクロナス DRAM を接続する場合に、シンクロナス DRAM の CLK 端子に接続します。詳細は「第 6 章 バスコントローラ (BSC)」を参照してください。
動作モード コントロール	MD2	1	B1	1	入力	動作モードを設定します。これらの端子は動作中に変化させないでください。
	MD1	144	A2	120		
	MD0	143	A3	119		

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
システム制御	RES	92	G11	77	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	STBY	103	D13	88	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	EMLE	32	K1	30	入力	オンチップエミュレータイネーブル端子です。オンチップエミュレータを使用する場合、High レベルとしてください。このとき、P53、PG4~PG6、WDTOVF 端子は、オンチップエミュレータ専用端子となり、該当端子の機能は使用できません。オンチップエミュレータを使用しない場合、Low レベルとしてください。
アドレスバス	A23~A0	31~26 24~19 17~11 9~5	J3、K2、J1、K4 H3、J2、J4、G3 H2、G1、H4、G4 F1、G2、F3、E4 E1、F2、E3、D1 D3、D2、C3、C1	29~23 21~18 16~9 7~3	出力	アドレスを出力端子です。
データバス	D15~D0	80~73 71 69~63	K11、K12、L13 L11、M12、L12 N13、M13、N11 M11、N10、L9 M10、N9、K10 L8	68~61 59 57~51	入出力	双方向データバスです。 アドレス/データマルチプレクス I/O 空間アクセス時は、アドレスも出力されます。
アドレス/ データマルチ プレクスバス	AD15~AD0	80~73 71 69~63	K11、K12、L13 L11、M12、L12 N13、M13、N11 M10、N10、K10 L10、M9、N9 K9	68~61 59 57~51	入出力	アドレス出力およびデータ入出力端子です。
バス制御	CS7~CS0	38~35 110~107	M2、N2 M1、L1 A13、A12 B13、C12	29、71 70、106 92~89	出力	外部アドレス空間の分割エリア 7~0 の 選択信号です。
	AS	90	G10	75	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
バス制御	AH	90	G10	75	出力	アドレス/データマルチプレクス I/O インタフェース空間をアクセス中で、アドレスをホールドするための信号です。
	RD	89	G12	74	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	88	H11	73	出力	外部アドレス空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロブ信号です。また、DRAM 空間アクセス時のライトイネーブル信号です。
	LWR	87	J13	72	出力	外部アドレス空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロブ信号です。
	$\overline{\text{BREQ-A}}$	132	D5	108	入力	本 LSI に対し外部バスマスタがバス権を要求します。
	$\overline{\text{BREQ-B}}$	134	B5	110		
	$\overline{\text{BREQO-A}}$	130	B6	106	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号です。
	$\overline{\text{BREQO-B}}$	133	A6	109		
	$\overline{\text{BACK-A}}$	131	C7	107	出力	バス権を外部バスマスタに解放したことを示します。
	$\overline{\text{BACK-B}}$	135	C6	111		
	$\overline{\text{UCAS}}^{*3}$	85	H12	70	出力	16 ビット DRAM 空間アクセス時のアップパーカラムアドレスストロブ信号です。また、8 ビット DRAM 空間アクセス時のカラムアドレスストロブ信号です。
	$\overline{\text{LCAS}}^{*3}$	86	H10	71	出力	16 ビット DRAM 空間アクセス時のロウアーカラムアドレスストロブ信号です。
	DQMU ^{*1}	85	H12	—	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のアップパーデータマスクイネーブル信号です。また、8 ビット連続シンクロナス DRAM 空間アクセス時のデータマスクイネーブル信号です。
	DQML ^{*1}	86	H10	—	出力	16 ビット連続シンクロナス DRAM インタフェース空間アクセス時のロウアーデータマスクイネーブル信号です。
$\overline{\text{RAS2}}^{*3}$	109	A12	91	出力	DRAM インタフェースのとき、DRAM のロウアドレススローブ信号です。また、エリア 2~5 を連続 DRAM 空間に設定したときのロウアドレススローブ信号です。	
$\overline{\text{RAS3}}^{*3}$	110	A13	92			
$\overline{\text{RAS4}}^{*2}$	35	L1	—			
$\overline{\text{RAS5}}^{*2}$	36	M1	—			

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
バス制御	\overline{RAS}^{*1}	109	A12	—	出力	シンクロナス DRAM インタフェースのとき、シンクロナス DRAM のロウアドレススロープ信号です。
	\overline{CAS}^{*1}	110	A13	—	出力	シンクロナス DRAM インタフェースのとき、シンクロナス DRAM のカラムアドレススロープ信号です。
	\overline{WE}^{*1}	35	L1	—	出力	シンクロナス DRAM インタフェースのとき、シンクロナス DRAM のライトイネーブル信号です。
	$\overline{WAIT-A}$	84	J11	69	入力	外部 3 ステートアドレス空間をアクセスすると、バスサイクルにウェイトステートの挿入を要求します。
	$\overline{WAIT-B}$	56	N7	47		
	$\overline{OE-A}^{*3}$	38	M2	69	出力	DRAM 空間アクセス時のアウトプットイネーブル信号です。
	$\overline{OE-B}^{*3}$	137	A5	113		
$\overline{CKE-A}^{*1}$	38	M2	—	出力	シンクロナス DRAM インタフェースのときのクロックイネーブル信号です。	
$\overline{CKE-B}^{*1}$	137	A5	—			
割り込み	NMI	40	N1	32	入力	ノンマスクابل割り込み要求端子です。 使用しない場合は High レベルに固定してください。
	$\overline{IRQ15-A} \sim$ $\overline{IRQ8-A}^{*2}$	86、85 106~104 83~81	H10、H12 C13、D12 D10、J10 K13、J12	—	入力	マスク可能な割り込みを要求します。 $\overline{IRQn-A}$ と $\overline{IRQn-B}$ の入力端子は、割り込みコントローラの IRQ 端子セレクトレジスタ (ITSR) により選択します。 (H8S/2426R、H8S/2426 : n=0~15) (H8S/2424 : n=0~7)
	$\overline{IRQ7-A} \sim$ $\overline{IRQ0-A}$	31~28 136~133	J3、K2、J1 K4、D4、C6 B5、A6	29~26 112~109		
	$\overline{IRQ15-B} \sim$ $\overline{IRQ8-B}^{*2}$	58~51	K7、L8、N7 M7、N6、M6、L7、 L6	—		
	$\overline{IRQ7-B} \sim$ $\overline{IRQ0-B}$	38、37 61~59 34、33、3	M2、N2、M8 N8、K8、K3 L2、C2	102~95		

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
DMA コントローラ (DMAC)	$\overline{\text{DREQ1}}$	82	K13		入力	DMAC の起動を要求します。
	$\overline{\text{DREQ0}}$	81	J12			
	$\overline{\text{TEND1}}$	104	D10	37	出力	DMAC のデータ転送終了を示します。
	$\overline{\text{TEND0}}$	83	J10	36		
	$\overline{\text{DACK1}}$	106	C13	39	出力	DMAC のシングルアドレス転送アクノリッジ端子です。
	$\overline{\text{DACK0}}$	105	D12	38		
EXDMA コントローラ (EXDMAC) *2	$\overline{\text{EDREQ3}}$	33	L2	—	入力	EXDMAC の起動を要求します。
	$\overline{\text{EDREQ2}}$	3	C2	—		
	$\overline{\text{ETEND3}}$	59	K8	—	出力	EXDMAC のデータ転送終了を示します。
	$\overline{\text{ETEND2}}$	34	K3	—		
	$\overline{\text{EDACK3}}$	61	M8	—	出力	EXDMAC のシングルアドレス転送アクノリッジ端子です。
	$\overline{\text{EDACK2}}$	60	N8	—		
	$\overline{\text{EDRAK3}}$	49	L5	—	出力	外部デバイスからの DMA 転送要求受け付け、実行開始を外部デバイスに通知します。
	$\overline{\text{EDRAK2}}$	48	K6	—		
16 ビット タイマパルス ユニット (TPU)	TCLKH	22	H2	20	入力	タイマの外部クロック入力端子です。
	TCLKG	20	H4	18		
	TCLKF	17	F1	15		
	TCLKE	16	G2	14		
	TCLKD	49	L5	41		
	TCLKC	47	K5	39		
	TCLKB	45	M5	37		
	TCLKA	44	L4	36		
	TIOCA0	42	N3	34	入出力	TGRA_0~TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB0	43	M4	35		
	TIOCC0	44	L4	36		
	TIOCD0	45	M5	37		
	TIOCA1	46	N4	38	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB1	47	K5	39		
	TIOCA2	48	K6	40	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
TIOCB2	49	L5	41			

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
16ビット タイマパルス ユニット (TPU)	TIOCA3-A	51	L6	42	入出力	TGRA_3~TGRD_3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB3-A	52	M7	43		
	TIOCC3-A	53	N6	44		
	TIOCD3-A	54	K6	45		
	TIOCA3-B	133	A6	109		
	TIOCB3-B	33	L2	86		
	TIOCC3-B	134	B5	110		
	TIOCD3-B	59	K8	85		
	TIOCA4-A	55	N7	46	入出力	TGRA_4、TGRB_4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB4-A	56	K8	47		
	TIOCA4-B	135	C6	111		
	TIOCB4-B	61	M8	50		
	TIOCA5	57	L8	48	入出力	TGRA_5、TGRB_5のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB5	58	K7	49		
	TIOCA6	14	E4	12	入出力	TGRA_6~TGRD_6のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB6	15	F3	13		
	TIOCC6	16	G2	14		
	TIOCD6	17	F1	15		
	TIOCA7	19	G4	16	入出力	TGRA_7、TGRB_7のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB7	20	H4	18		
	TIOCA8	21	G1	19	入出力	TGRA_8、TGRB_8のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB8	22	H2	20		
	TIOCA9	5	C1	3	入出力	TGRA_9~TGRD_9インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB9	6	C3	4		
	TIOCC9	7	D2	5		
	TIOCD9	8	D3	6		
	TIOCA10	9	D1	7	入出力	TGRA_10、TGRB_10のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。
	TIOCB10	11	E3	9		
TIOCA11	12	F2	10	入出力	TGRA_11、TGRB_11のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子です。	
TIOCB11	13	E1	11			

分類	記号	ピン番号			入出力	機能	
		H8S/2426、H8S/2426R		H8S/2424			
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A			
プログラマブルパルスジェネレータ (PPG)	PO15~PO8	49~42	L5、K6、K5 N4、M5、L4 M4、N3	41~34	出力	パルス出力端子です。	
	PO7 PO6 PO5-A~ PO0-A	58~51	K7、L8、N7 M7、N6、M6 L7、L6	49~42			
	PO5-B PO4-B PO3-B PO2-B PO1-B PO0-B	61 135 59 134 33 133	M8 C6 K8 B5 L2 A6	50 111 85 110 86 109	出力	パルス出力端子です。	
	8ビット タイマ (TMR)	TMO0-A	105	D12	46	出力	アウトプットコンペア機能による波形出力端子 です。
		TMO1-A	106	C13	47		
		TMO0-B	135	C6	111		
		TMO1-B	61	M8	50		
TMCI0-A		83	J10	44	入力	外部イベント入力端子です。	
TMCI1-A		104	D10	45			
TMCI0-B		134	B5	110			
TMCI1-B		59	K8	85			
TMRI0-A	81	J12	42	入力	カウンタリセット入力端子です。		
TMRI1-A	82	K13	43				
TMRI0-B	133	A6	109				
TMRI1-B	33	L2	86				
ウォッチ ドッグタイマ (WDT)	WDTOVF	39	M3	31	出力	ウォッチドッグタイマモード時のカウンタオー バフロー信号出力端子です。	

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
シリアルコ ミュニケーシ ョンインタフ ェース (SCI) /スマート カードインタ フェース (SCI_0 は IrDA 機能付き)	TxD4-A	54	K6	45	出力	データ出力端子です。
	TxD4-B	24	J4	23		
	TxD3	33	L2	86		
	TxD2	133	A6	109		
	TxD1	141	B3	117		
	TxD0/IrTxD	142	C4	118		
	RxD4-A	55	K7	46	入力	データ入力端子です。
	RxD4-B	26	J2	24		
	RxD3	59	K8	85		
	RxD2	134	B5	110		
	RxD1	139	C5	115		
	RxD0/IrRxD	140	A4	116		
	SCK4-A	138	B4	114	入出力	クロック入出力端子です。
	SCK4-B	27	H3	25		
	SCK3	61	M8	50		
	SCK2	135	C6	111		
	SCK1	137	A5	113		
	SCK0	138	B4	114		
	I ² C バスイン タフェース 2 (IIC2)	SCL3	134	B5	110	入出力
SCL2		58	K7	49		
SCL1		139	C5	115		
SCL0		137	A5	113		
SDA3		133	A6	109	入出力	I ² C のデータ入出力端子です。
SDA2		57	L8	48		
SDA1		140	A4	116		
SDA0		138	B4	114		

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
シンクロナス シリアル コミュニ ケーション ユニット (SSU)	SSO0-A	46	N4	38	入出力	データ入出力端子です。
	SSO0-B	31	J3	29		
	SSO0-C	87	J13	72		
	SSI0-A	47	K5	39	入出力	データ入出力端子です。
	SSI0-B	30	K2	28		
	SSI0-C	86	H10	71		
	SSCK0-A	48	K6	40	入出力	クロック入出力端子です。
	SSCK0-B	29	J1	27		
	SSCK0-C	85	H12	70		
	$\overline{\text{SCS0-A}}$	49	L5	41	入出力	チップセレクト入出力端子です。
$\overline{\text{SCS0-B}}$	28	K4	26			
$\overline{\text{SCS0-C}}$	84	J11	69			
A/D 変換器	AN15_1* ²	128	D6	—	入力	アナログ入力端子です。
	AN14_1* ²	127	D7			
	AN13_1	126	D8	104		
	AN12_1	125	A8	103		
	AN11_1~ AN8_1* ²	124~121	B7、C8 D9、A9	—		
	AN7_0~ AN0_0	120~113	B8、C9、B9 A10、C10、B10 C11、A11	102~95		
	$\overline{\text{ADTRG0-A}}$	136	D4	112	入力	A/D 変換開始のための外部トリガ入力端子です。
$\overline{\text{ADTRG0-B}}$	84	J11	69			
$\overline{\text{ADTRG1}}$	57	L8	48			
D/A 変換器	DA3	126	D8	104	出力	アナログ出力端子です。
	DA2	125	A8	103		
A/D 変換器 D/A 変換器	AVcc	111	B11	93	入力	A/D 変換器、D/A 変換器のアナログ電源端子です。 A/D 変換器、D/A 変換器を使用しない場合は、システムの電源 (Vcc) に接続してください。
	AVss	129	A7	105		
A/D 変換器 D/A 変換器	Vref	112	B12	94	入力	A/D 変換器、D/A 変換器の基準電圧入力端子です。 A/D 変換器、D/A 変換器を使用しない場合は、システムの電源 (Vcc) に接続してください。

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
I/O ポート	P17~P10	49~42	L5、K6、K5、N4 M5、L4、M4、N3	41~34	入出力	8ビットの入出力端子です。
	P27~P20	58~51	K7、L8、N7、M7 N6、M6、L7、L6	49~42	入出力	8ビットの入出力端子です。
	P35~P30	137~142	A5、B4、C5 A4、B3、C4	113~118	入出力	6ビットの入出力端子です。
	P47~P40	120~113	B8、C9、B9 A10、C10、B10 C11、A11	102~95	入力	8ビットの入力端子です。
	P53~P50	136~133	D4、C6、B5 A6	112~109	入出力	4ビットの入出力端子です。
	P65~P60	106~104 83~81	C13、D12、D10 J10、K13、J12	—	入出力	6ビットの入出力端子です。
	P85	61	M8	50	入出力	H8S/2426R、H8S/2426 では 6 ビットの入出力端子です。 H8S/2424 では 3 ビットの入出力端子です。
	P84* ²	60	N8	—		
	P83	59	K8	85		
	P82* ²	34	K3	—		
	P81	33	L2	86		
	P80* ²	3	C2	—		
	P97* ² 、P96* ² P95、P94 P93~P90* ²	128~121	D6、D7、D8 A8、B7、C8 D9、A9	104、103	入力	H8S/2426R、H8S/2426 では 8 ビットの入力端子です。 H8S/2424 では 2 ビットの入出力端子です。
	PA7~PA0	31~26 24、23	J3、K2、J1 K4、H3、J2 J4、G3	29~23 21	入出力	8ビットの入出力端子です。
	PB7~PB0	22~19 17~14	H2、G1、H4、G4 F1、G2、F3、E4	20~18 16~12	入出力	8ビットの入出力端子です。
PC7~PC0	13~11 9~5	E1、F2、E3 D1、D3、D2 C3、C1	11~9 7~3	入出力	8ビットの入出力端子です。	
PD7~PD0	80~73	K11、K12 L13、L11 M12、L12 N13、M13	68~61	入出力	8ビットの入出力端子です。	

分類	記号	ピン番号			入出力	機能
		H8S/2426、H8S/2426R		H8S/2424		
		PLQP0144KA-A	PTLG0145JB-A	PLQP0120LA-A PLQP0120KA-A		
I/O ポート	PE7~PE0	71 69~63	N11、M10 N10、K10 L10、M9 N9、K9	59 57~51	入出力	8 ビットの入出力端子です。
	PF7~PF0	94 90~84	F10、G10 G12、H11 J13、H10 H12、J11	79 75~69	入出力	8 ビットの入出力端子です。
	PG6~PG0	132~130 110~107	D5、C7、B6 A13、A12 B13、C12	108~106 92~89	入出力	7 ビットの入出力端子です。
	PH3~PH0* ²	38~35	M2、N2 M1、L1	—	入出力	4 ビットの入出力端子です。
	PJ2* ² PJ1* ² PJ0* ²	62 101 100	L9 E12 D11	— — —	入力	3 ビットの入力端子です。

【注】 *1 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*2 H8S/2424 グループではサポートしていません。

*3 5V 版ではサポートしていません。

2. CPU

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2600 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2600 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：69 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
積和演算命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレースメント付レジスタ間接 (@ (d:16,ERn) /@ (d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@ (d:8,PC) /@ (d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

- 高速動作
 - 頻出命令をすべて 1~2 ステートで実行
 - 8/16/32 ビットレジスタ間加減算：1 ステート
 - 8×8 ビットレジスタ間乗算：2 ステート
 - 16÷8 ビットレジスタ間除算：12 ステート
 - 16×16 ビットレジスタ間乗算：3 ステート
 - 32÷16 ビットレジスタ間除算：20 ステート
 - CPU動作モード：2種類
 - ノーマルモード/アドバンスモード
- 【注】 本 LSI ではノーマルモードは使用できません。
- 低消費電力状態
 - SLEEP 命令により低消費電力状態に遷移
 - CPU 動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成
 - MAC レジスタは、H8S/2600 CPU のみサポートしています。
- 基本命令
 - MAC、CLRMAC、LDMAC、STMAC の 4 命令は、H8S/2600 CPU のみサポートしています。
- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	2*	12
	MULXU.W Rs, ERd	2*	20
MULXS	MULXS.B Rs, Rd	3*	13
	MULXS.W Rs, ERd	3*	21
CLRMAC	CLRMAC	1*	サポートしていません
LDMAC	LDMAC ERs, MACH	1*	
	LDMAC ERs, MACL	1*	
STMAC	STMAC MACH, ERd	1*	
	STMAC MACL, ERd	1*	

【注】 * MAC 命令の直後は 1 ステート多くなります。
 そのほか、製品によってアドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2600 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16 ビット×8 本の拡張レジスタおよび 8 ビット×1 本、32 ビット×2 本のコントロールレジスタを追加
 - アドレス空間を拡張
ノーマルモードのとき、H8/300 CPU と同一の 64k バイトのアドレス空間を使用可能
アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
 - アドレッシングモードを強化
16M バイトのアドレス空間を有効に使用可能
 - 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
積和演算命令を追加
2 ビットシフト、2 ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
 - 高速化
基本的な命令を 2 倍に高速化
- 【注】 本 LSI では、ノーマルモードは使用できません。

2.1.3 H8/300H CPU との相違点

H8S/2600 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8 ビット×1 本、32 ビット×2 本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
積和演算命令を追加
2 ビットシフト、2 ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を 2 倍に高速化

2.2 CPU 動作モード

H8S/2600 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64k バイト、アドバンスモードでは 16M バイトです。動作モードは LSI のモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間
最大 64k バイトの空間をリニアにアクセス可能です。
- 拡張レジスタ (En)
拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。
拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。
- 命令セット
命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。
- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス
ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.1 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。
メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。
ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。
- スタック構造
ノーマルモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.2 に示します。EXR は割り込み制御モード 0 ではスタックされません。割り込み制御モードの詳細は「第 4 章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

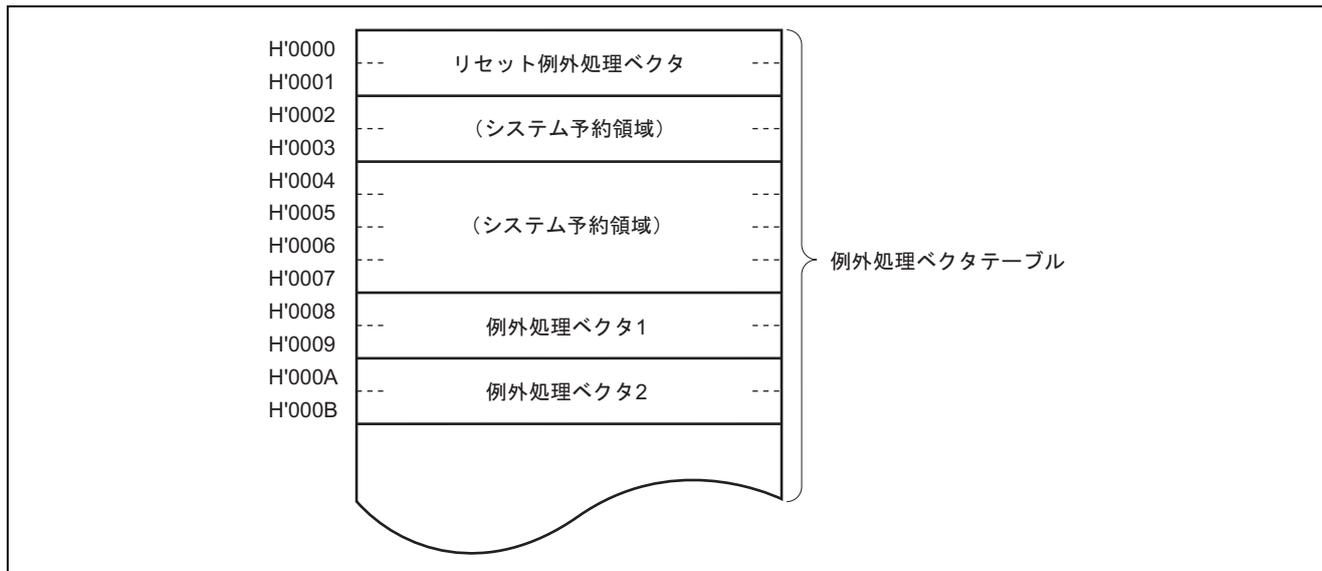


図 2.1 例外処理ベクタテーブル（ノーマルモード）

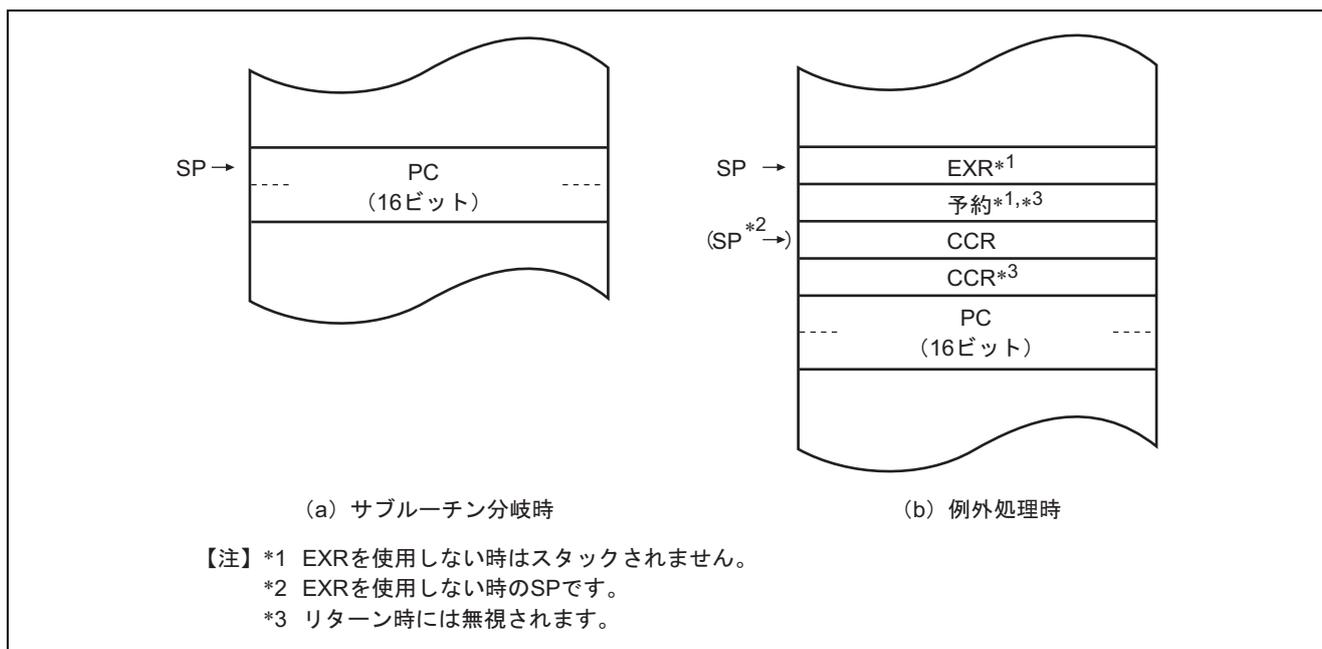


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間
最大 16M バイトの空間をリニアにアクセス可能です。
- 拡張レジスタ (En)
拡張レジスタ (E0~E7) は 16 ビットレジスタとして使用できます。また、32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。
- 命令セット
命令およびアドレッシングモードはすべて使用できます。
- 例外処理ベクタテーブル、メモリ間接の分岐アドレス
アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します (図 2.3 参照)。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

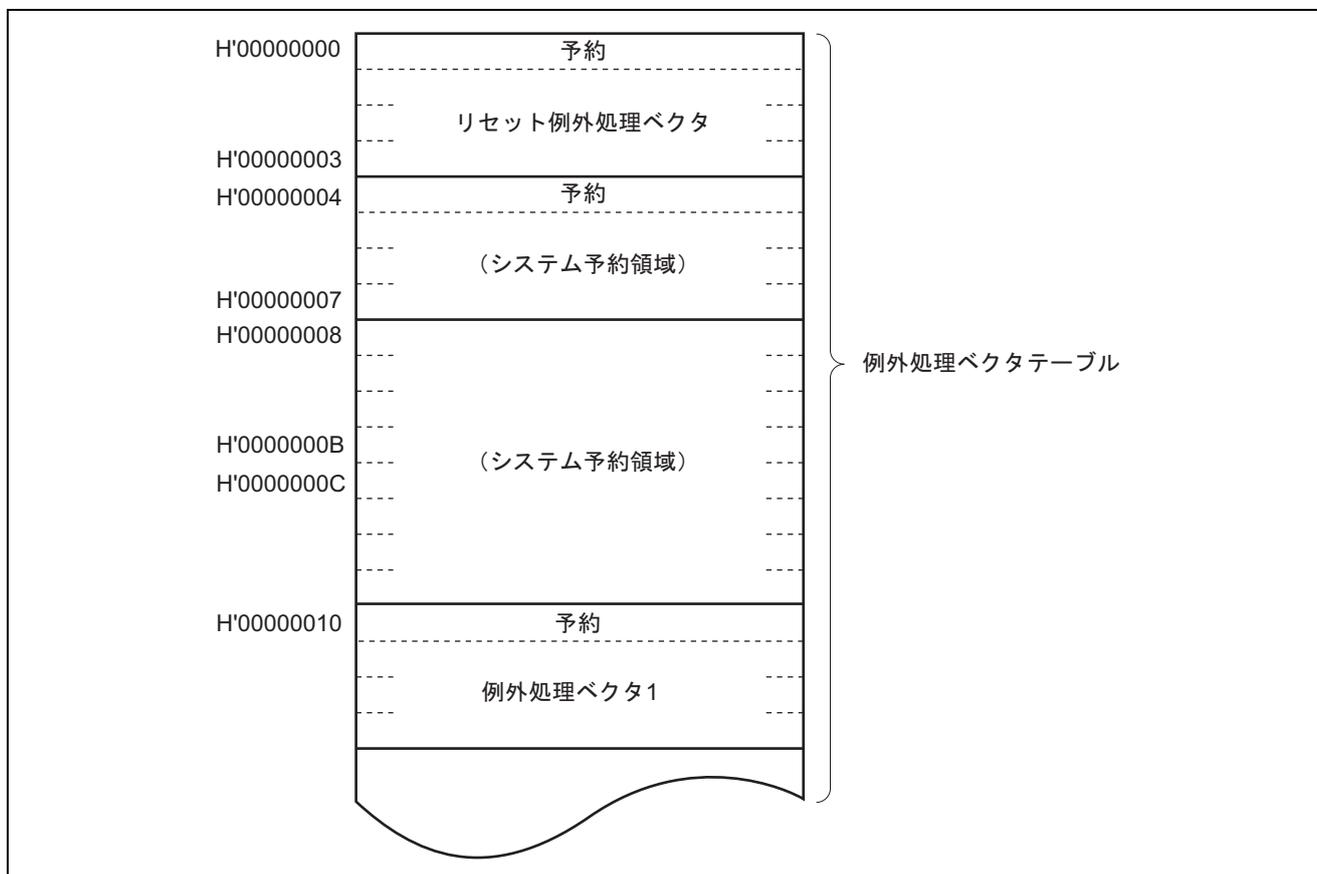


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000~H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.4 に示します。EXR は割り込み制御モード 0 ではスタックされません。割り込み制御モードの詳細は「第 4 章 例外処理」を参照してください。

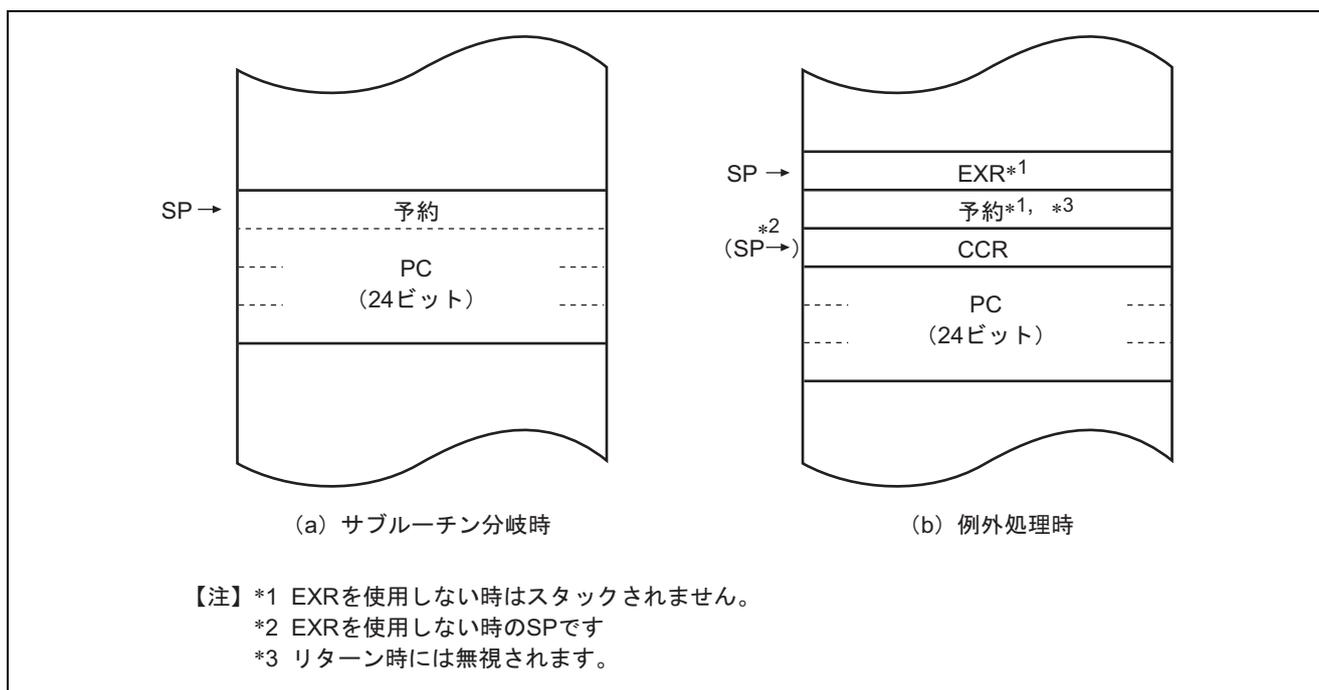


図 2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2600 CPU のメモリマップを図 2.5 に示します。H8S/2600 CPU は、ノーマルモードのとき最大 64k バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

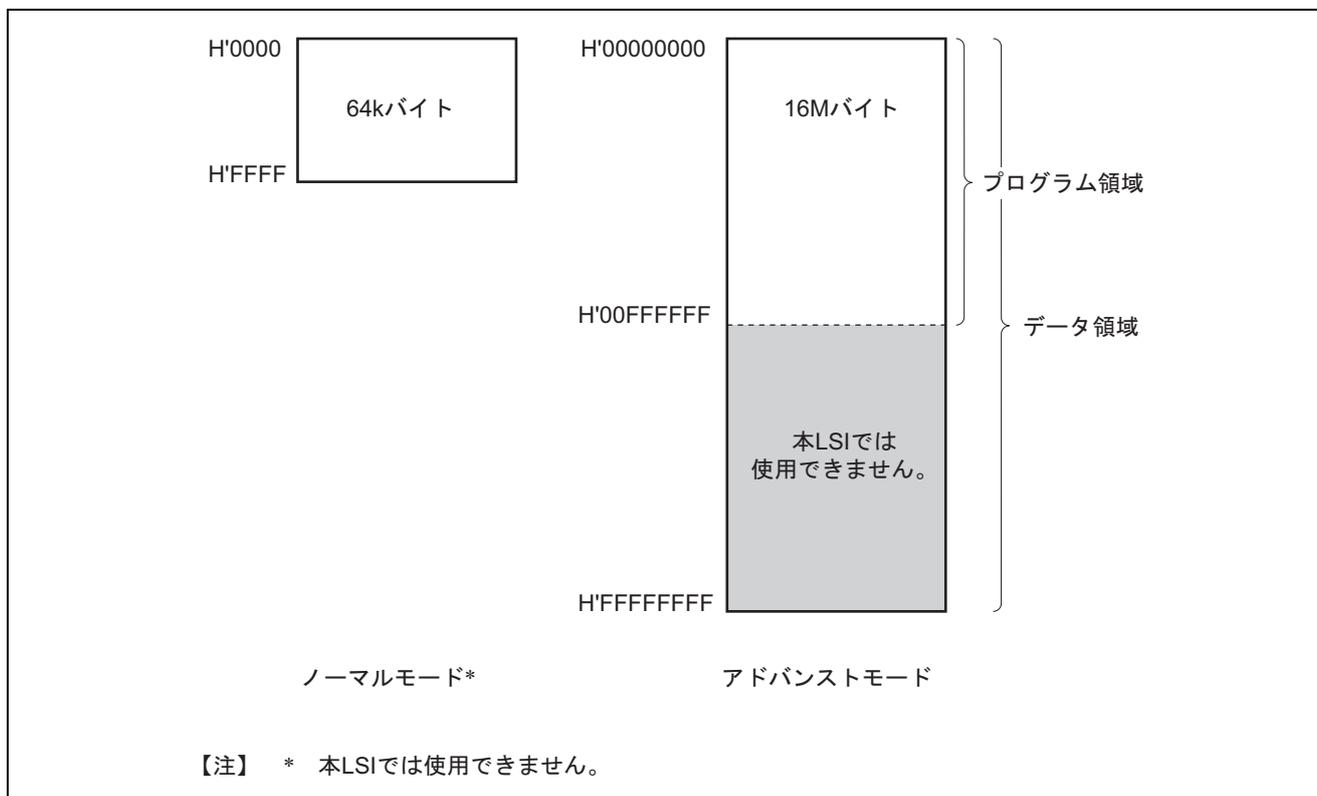


図 2.5 アドレス空間

【注】 本LSIでは、ノーマルモードは使用できません。

2.4 レジスタの構成

H8S/2600 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) および 64 ビット積和レジスタ (MAC) があります。

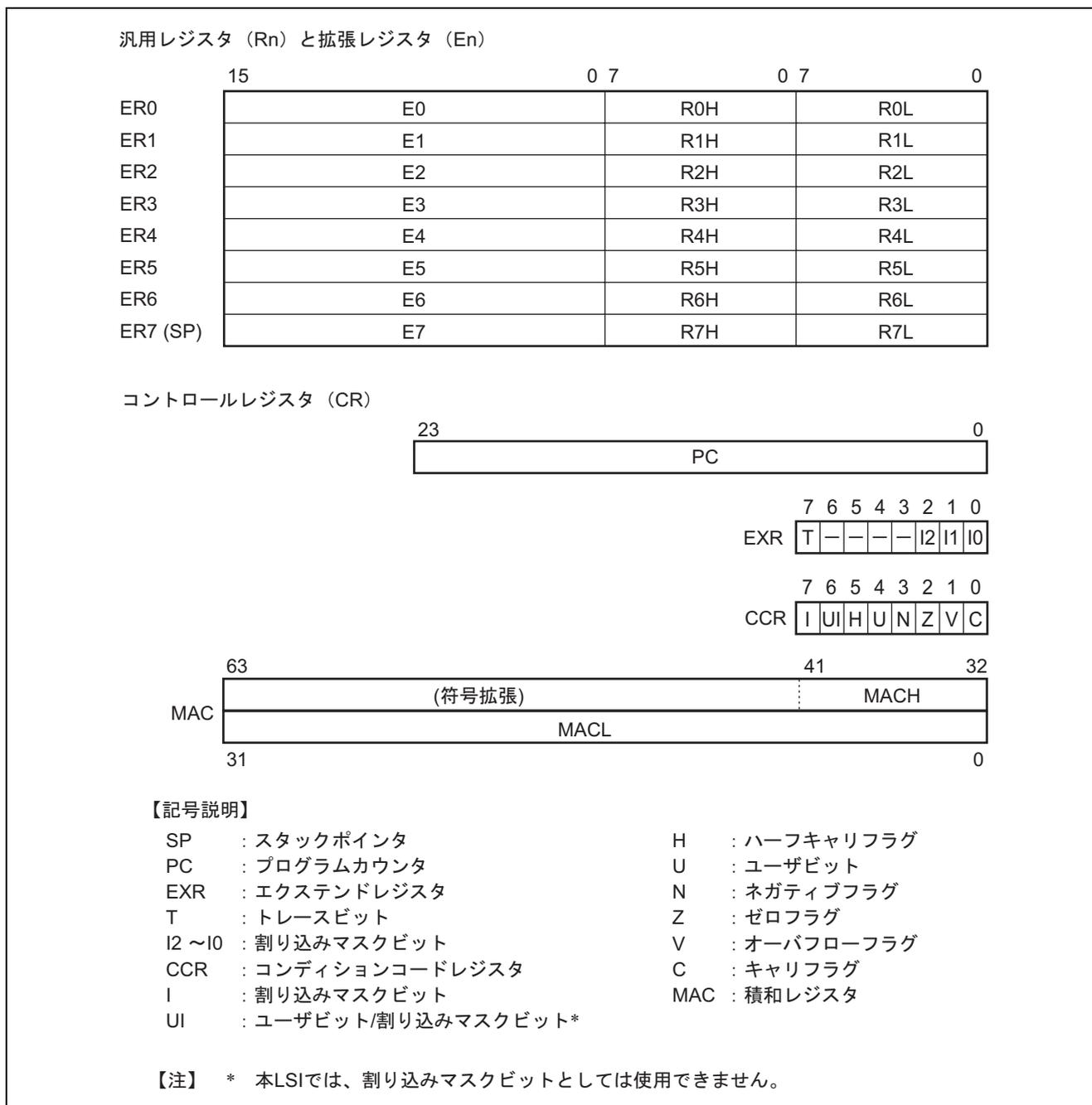


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2600 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

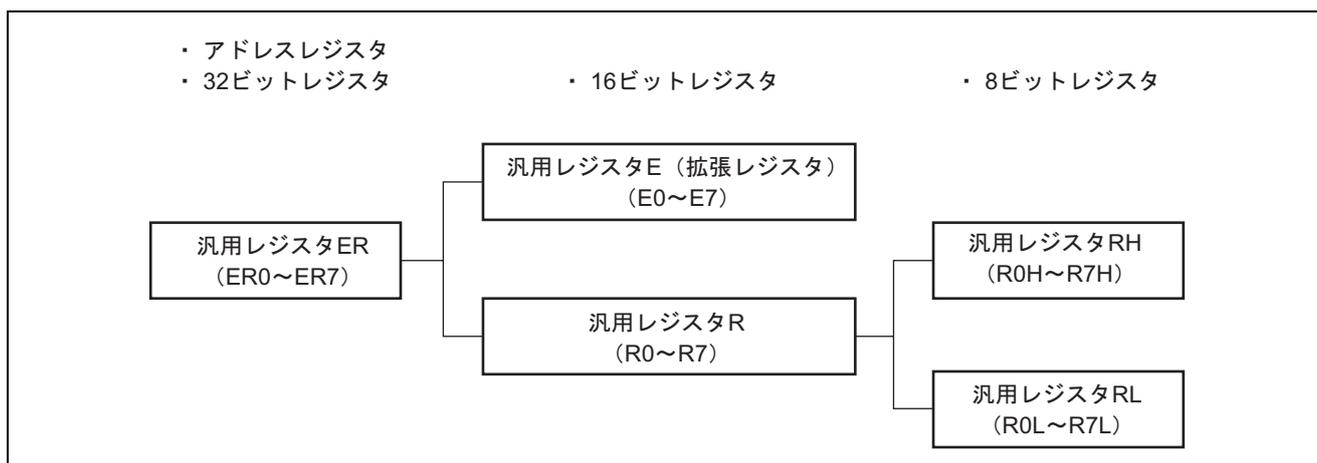


図 2.7 汎用レジスタの使用方法

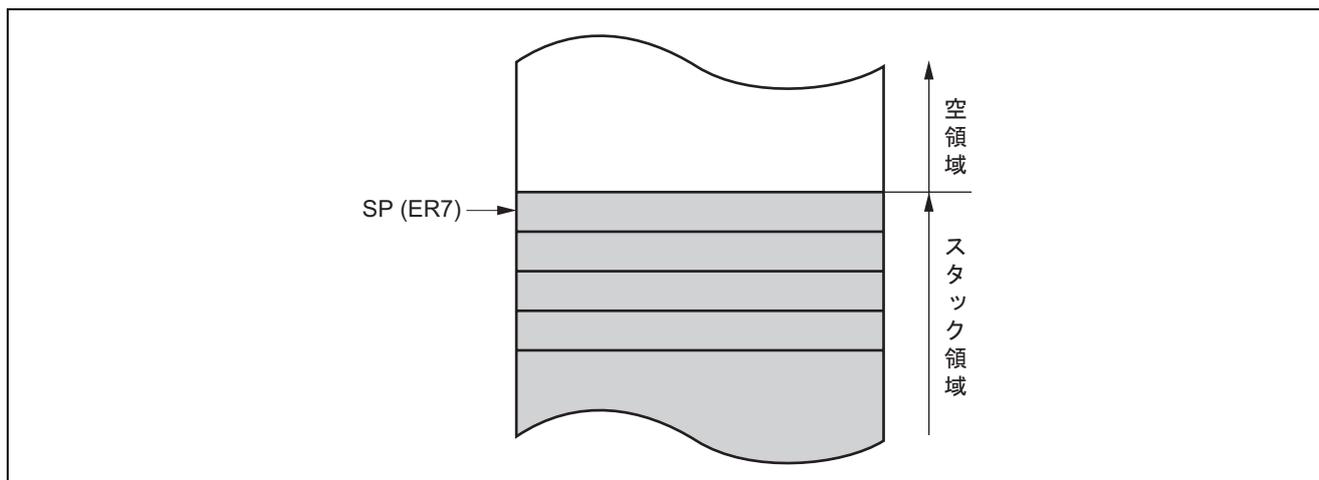


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行するごとにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはポローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> • 加算結果のキャリ • 減算結果のポロー • シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

2.4.6 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2600 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

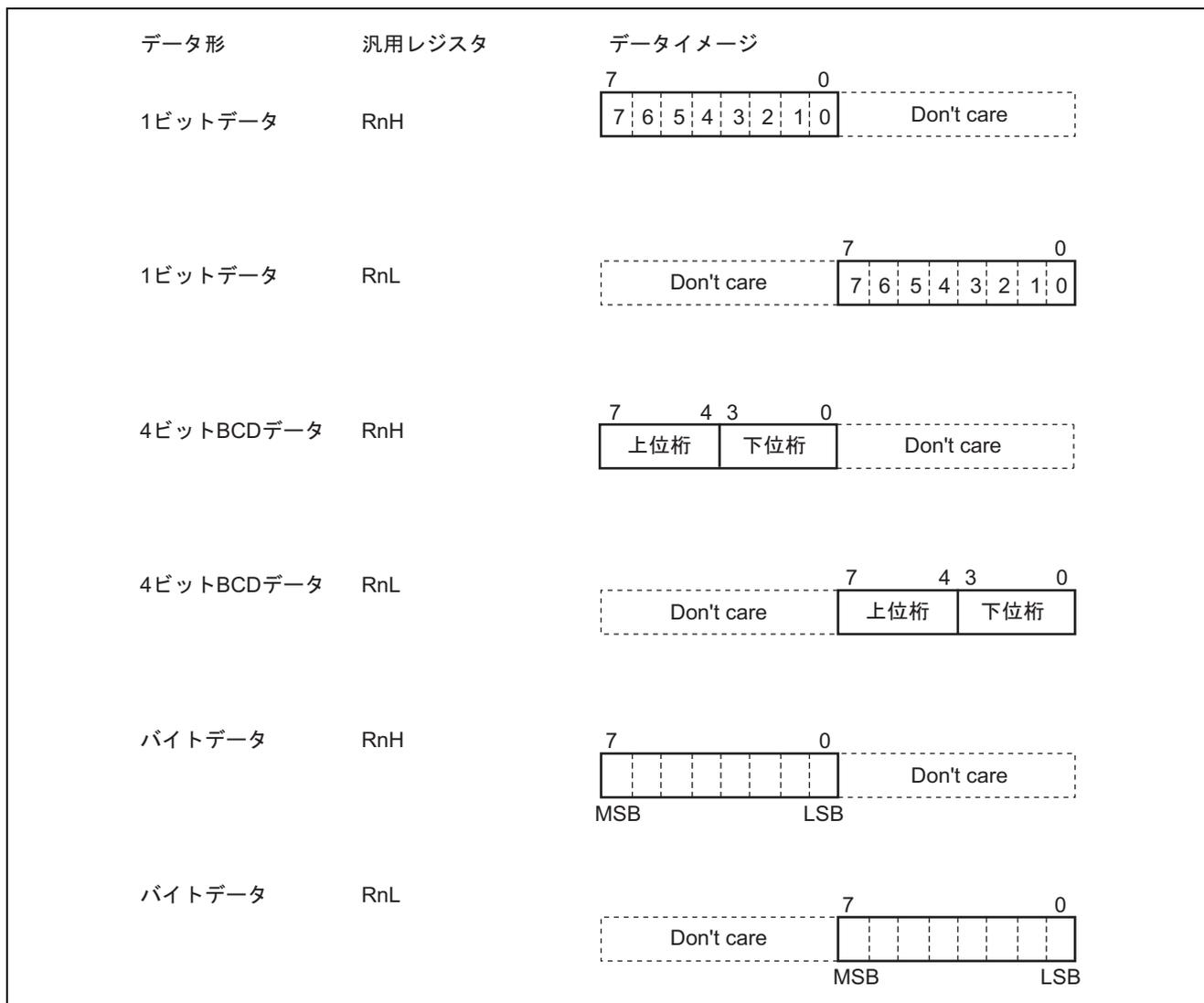


図 2.9 汎用レジスタのデータ形式 (1)

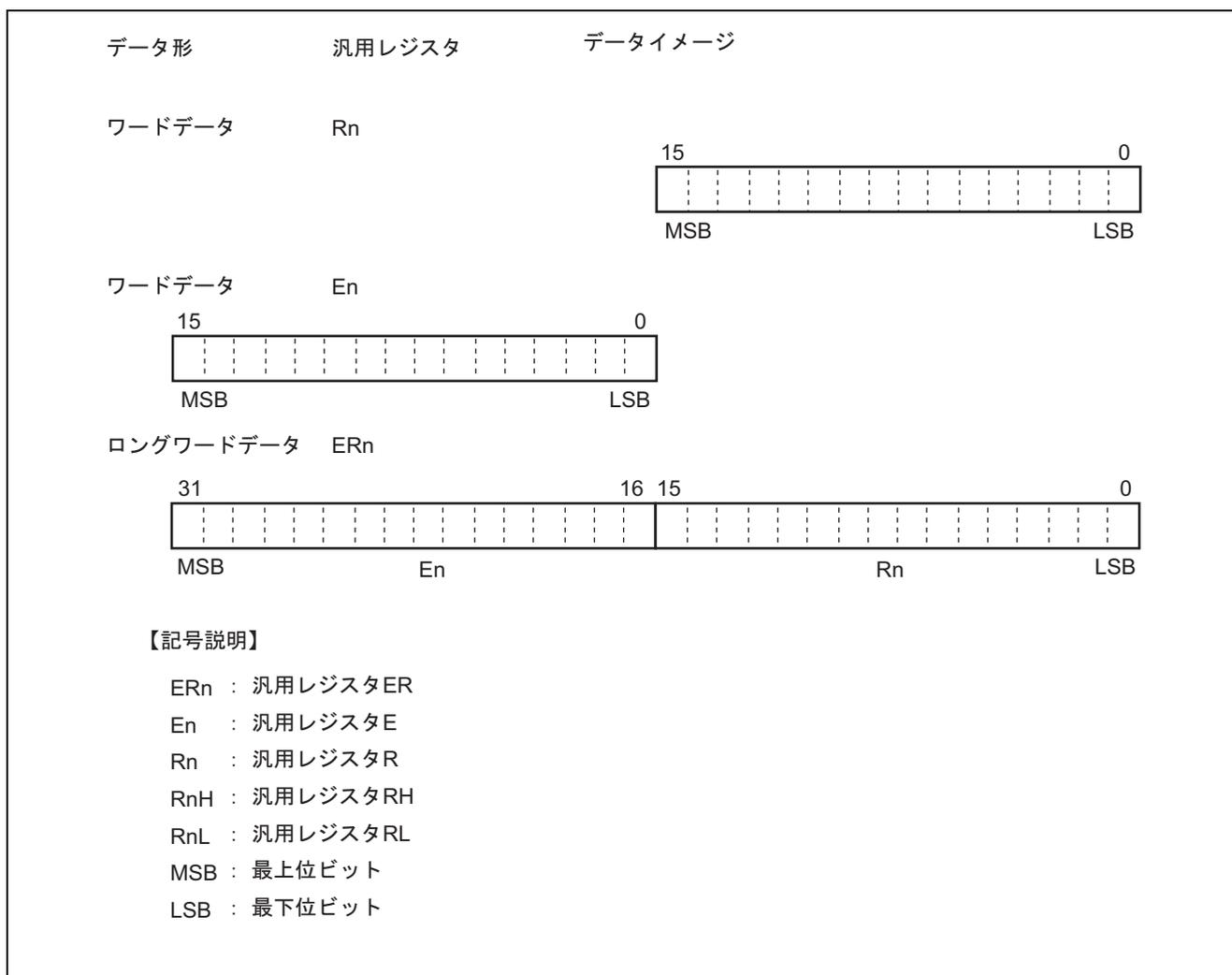


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2600 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

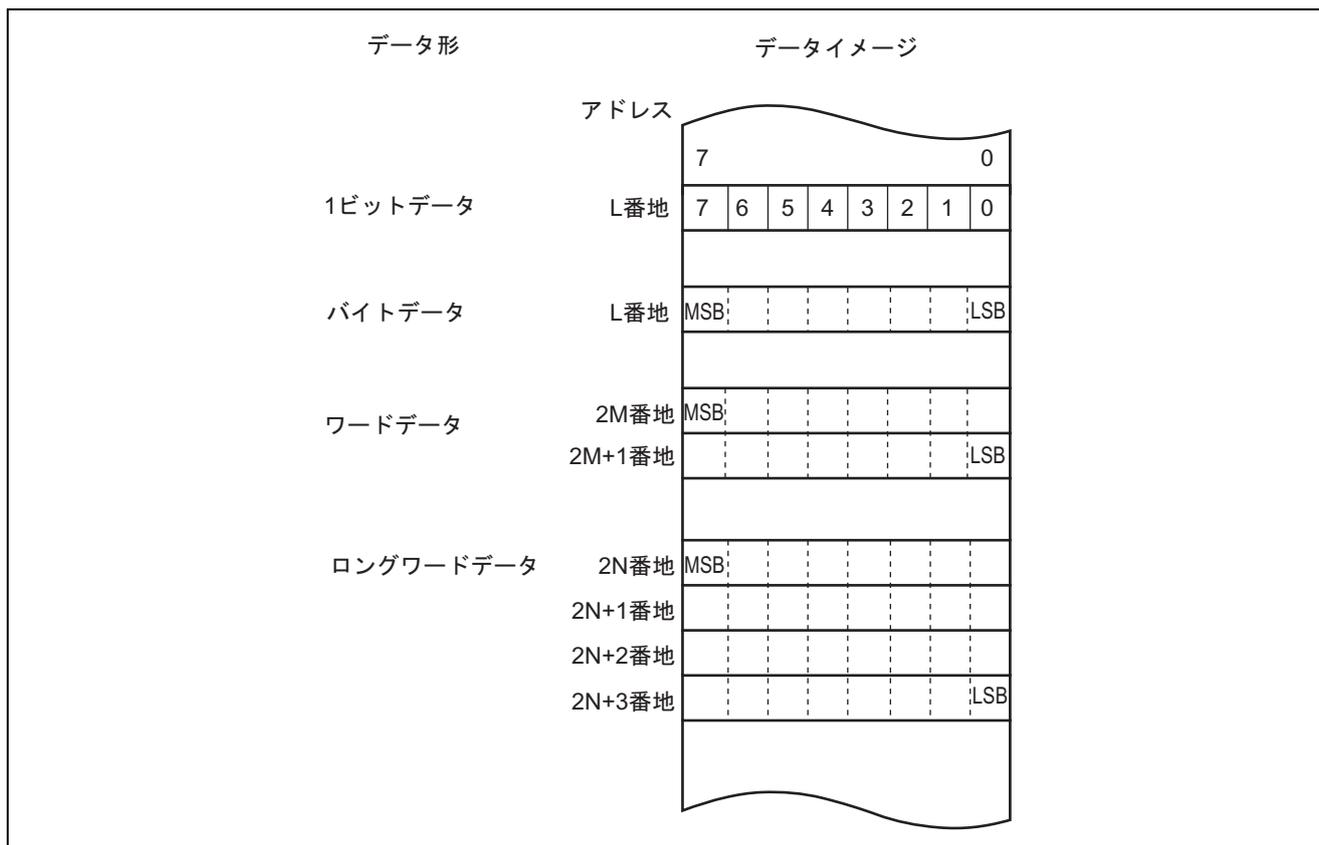


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2600 CPU の命令は合計 69 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * ¹ , PUSH * ¹	W/L	
	LDM, STM	L	
	MOVFPE* ³ , MOVTPE* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	23
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* ⁴	B	
	MAC, LDMAC, STMAC, CLRMAC	—	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EEPMOV	—	1

合計 69 種類

【注】 B : バイトサイズ W : ワードサイズ L : ロングワードサイズ

- *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
MAC	積和レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) →Rd、Rs→ (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ 、 $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 、 $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) $\rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット 余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* ¹	機能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd−Rs、Rd−#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0−Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd（ゼロ拡張）→Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd（符号拡張）→Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd−0、1→（<ビット 7>of @ERd） メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。
MAC	−	(EAs) × (EAd) + MAC→MAC メモリとメモリ間の符合付き乗算を行い、結果を積和レジスタに加算します。 16 ビット×16 ビット+32 ビット→32 ビットの飽和演算、 16 ビット×16 ビット+42 ビット→42 ビットの非飽和演算が可能です。
CLRMAC	−	0→MAC 積和レジスタをゼロクリアします。
LDMAC STMAC	L	Rs→MAC、MAC→Rd 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd （シフト処理） $\rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd （シフト処理） $\rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd （ローテート処理） $\rightarrow Rd$ 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd （ローテート処理） $\rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~ (<ビット番号>of<EAd>) → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号>of<EAd>) → Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C ∧ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C ∧ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C ∨ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C ∨ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	—	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z=0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z=1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C=0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>$C=1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z=0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z=1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V=0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V=1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N=0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N=1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V=0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V=1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$ZV (N \oplus V) =0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$ZV (N \oplus V) =1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z=0$	BLS	Low or Same	$C \vee Z=1$	BCC (BHS)	Carry Clear (High or Same)	$C=0$	BCS (BLO)	Carry Set (Low)	$C=1$	BNE	Not Equal	$Z=0$	BEQ	Equal	$Z=1$	BVC	oVerflow Clear	$V=0$	BVS	oVerflow Set	$V=1$	BPL	PLus	$N=0$	BMI	Minus	$N=1$	BGE	Greater or Equal	$N \oplus V=0$	BLT	Less Than	$N \oplus V=1$	BGT	Greater Than	$ZV (N \oplus V) =0$	BLE	Less or Equal	$ZV (N \oplus V) =1$
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z=0$																																																			
BLS	Low or Same	$C \vee Z=1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C=0$																																																			
BCS (BLO)	Carry Set (Low)	$C=1$																																																			
BNE	Not Equal	$Z=0$																																																			
BEQ	Equal	$Z=1$																																																			
BVC	oVerflow Clear	$V=0$																																																			
BVS	oVerflow Set	$V=1$																																																			
BPL	PLus	$N=0$																																																			
BMI	Minus	$N=1$																																																			
BGE	Greater or Equal	$N \oplus V=0$																																																			
BLT	Less Than	$N \oplus V=1$																																																			
BGT	Greater Than	$ZV (N \oplus V) =0$																																																			
BLE	Less or Equal	$ZV (N \oplus V) =1$																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs) →CCR、(EAs) →EXR 汎用レジスタまたはメモリの内容をCCR、EXRに転送します。また、イミディエイトデータをCCR、EXRに転送します。CCR、EXRは8ビットですが、メモリとCCR、EXR間の転送はワードサイズで行われ、上位8ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXRの内容を汎用レジスタまたはメモリに転送します。CCR、EXRは8ビットですが、CCR、EXRとメモリ間の転送はワードサイズで行われ、上位8ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXRとイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXRとイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXRとイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PCのインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	—	if R4L ≠ 0 then Repeat @ER5+ → @ER6+ R4L - 1 → R4L Until R4L = 0 else next;
EEPMOV.W	—	if R4 ≠ 0 then Repeat @ER5+ → @ER6+ R4 - 1 → R4 Until R4 = 0 else next; ブロック転送命令です。ER5で示されるアドレスから始まり、R4LまたはR4で指定されるバイト数のデータを、ER6で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.2 命令の基本フォーマット

H8S/2600 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド
命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。
- レジスタフィールド
汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。
- EA 拡張部
イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。
- コンディションフィールド
Bcc 命令の分岐条件を指定します。

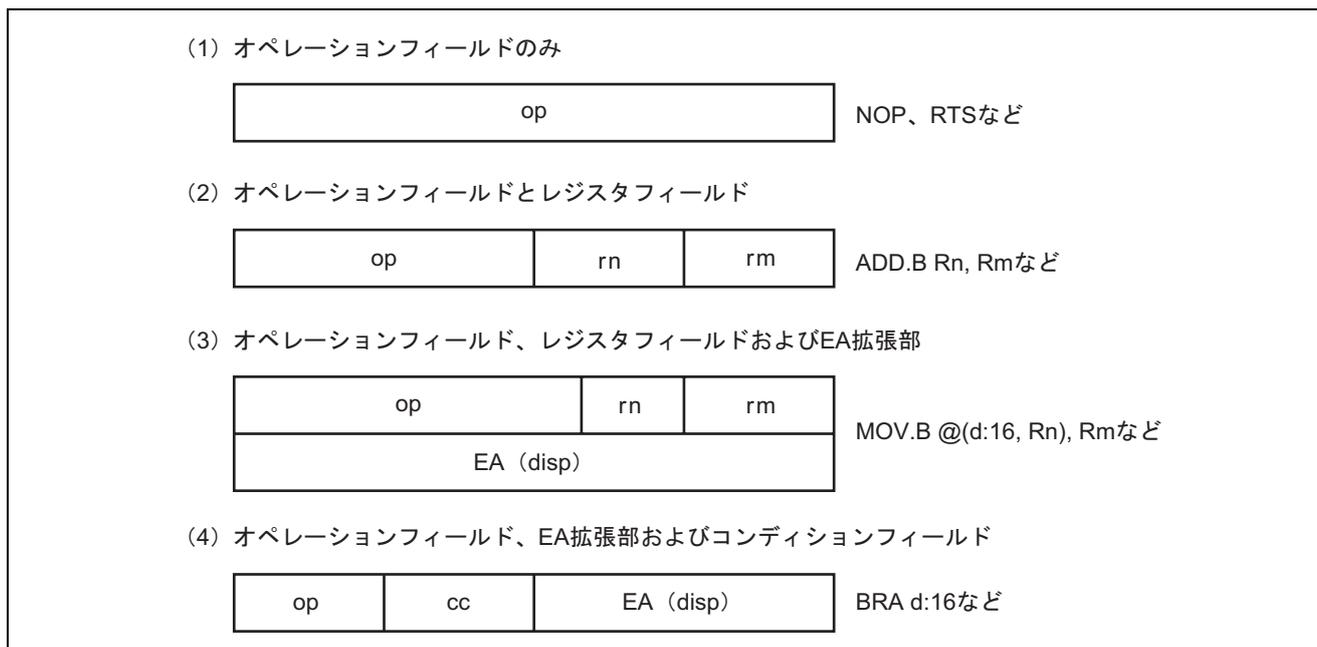


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2600 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@ (d:16,ERn) /@ (d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@ (d:8,PC) /@ (d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ @ (d:16,ERn) /@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+/プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズの時、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズの時、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンストモード
データ領域	8 ビット (@aa:8)	H'FF00~H'FFFF	H'FFFF00~H'FFFFFF
	16 ビット (@aa:16)	H'0000~H'FFFF	H'000000~H'007FFF、 H'FF8000~H'FFFFFF
	32 ビット (@aa:32)		H'000000~H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレイメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンストモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

【注】 本 LSI ではノーマルモードは使用できません。

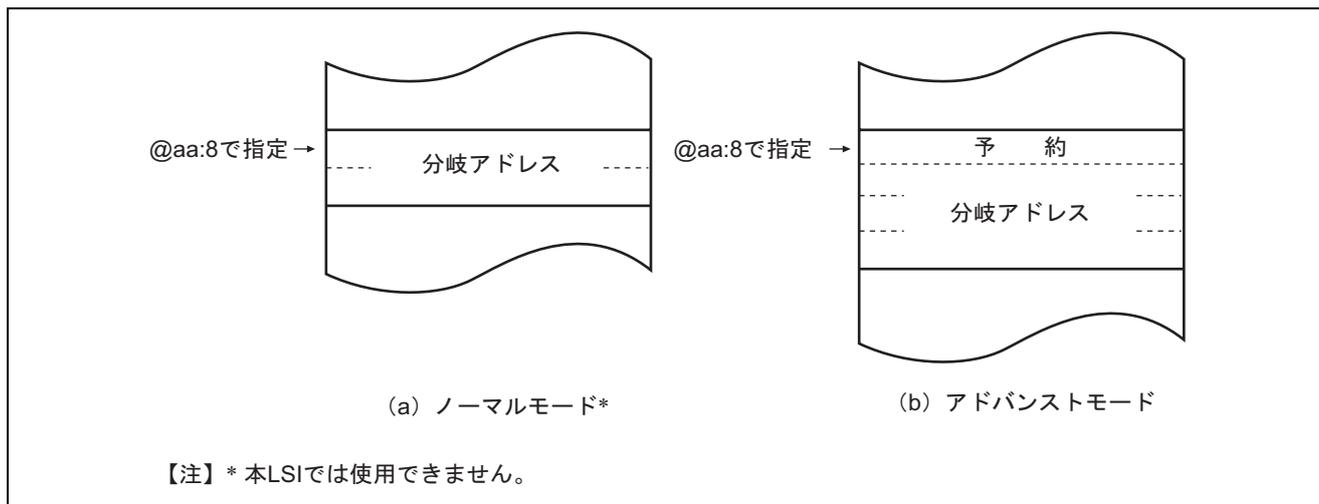


図 2.12 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】 本 LSI ではノーマルモードは使用できません。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)								
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。								
2	レジスタ間接 (@ERn) 										
3	ディスペースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 										
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ ・プリデクリメントレジスタ間接 @-ERn 										
		<table border="1"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8/#xx:16/#xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード* 		
	・アドバンストモード 		

【注】 * 本LSIでは使用できません。

2.8 処理状態

H8S/2600 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態
CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子を Low レベルから High レベルにすると、リセット例外処理を開始します。リセットの詳細は「第 4 章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。
- 例外処理状態
例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第 4 章 例外処理」を参照してください。
- プログラム実行状態
CPU がプログラムを順次実行している状態です。
- バス権解放状態
DMA コントローラ（DMAC）、データトランスファコントローラ（DTC）を内蔵している製品で、これら CPU 以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態では CPU は動作を停止します。
- プログラム停止状態
CPU が動作を停止し、消費電力を低下させた状態です。SLEEP 命令の実行、またはハードウェアスタンバイモードへの遷移で CPU はプログラム停止状態になります。詳細は「第 23 章 低消費電力状態」を参照してください。

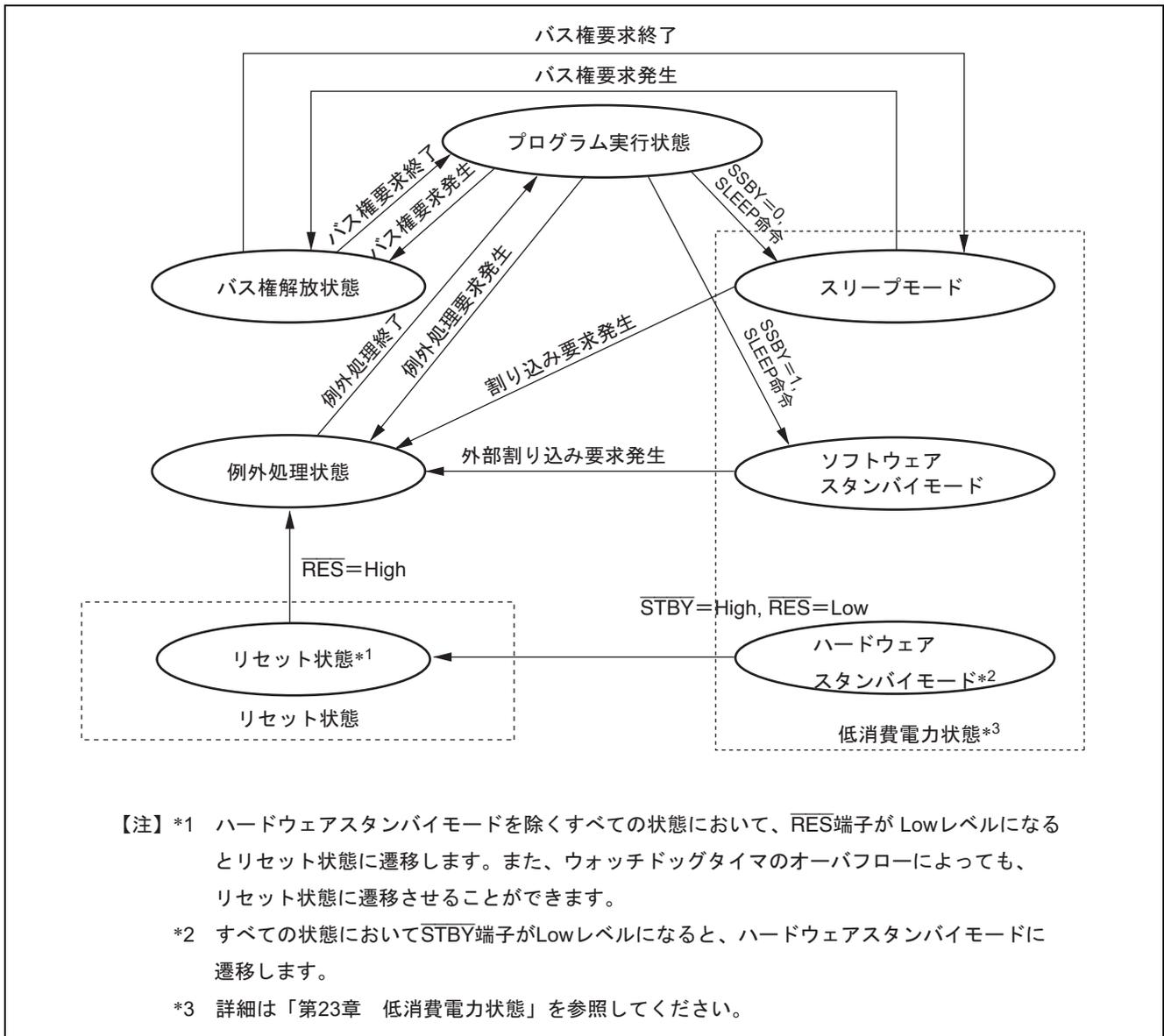


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 動作モードの選択

H8S/2426 グループ、H8S/2424 グループ、H8S/2426R グループは、5 種類の動作モード（モード 1～4、7）があります。動作モードはモード端子（MD2～MD0）の設定で決まります。

モード 1、2、4 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラにより、外部アドレス空間をエリアごとに 8 ビットまたは 16 ビットに設定できます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードとなります。

モード 7 は、外部メモリおよび周辺デバイスへのアクセスをプログラム実行開始時に切り替えることができるシングルチップ起動拡張モードです。

モード 3 は、フラッシュメモリに書き込み／消去を行えるブートモードです。ブートモードについては「[第 21 章 フラッシュメモリ](#)」を参照してください。

MD2～MD0 端子は、LSI の動作中に変化させないでください。

表 3.1 MCU 動作モード

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
1*	0	0	1	アドバンスモード	内蔵 ROM 無効拡張モード	無効	16 ビット	16 ビット
2*	0	1	0	アドバンスモード	内蔵 ROM 無効拡張モード	無効	8 ビット	16 ビット
3	0	1	1	アドバンスモード	ブートモード	有効	—	16 ビット
4	1	0	0	アドバンスモード	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
7	1	1	1	アドバンスモード	シングルチップモード	有効	—	16 ビット

【注】 * ROM レス版ではモード 1、2 のみ使用できます。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は本 LSI の現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	MDS2	—*	R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。これらのビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、MD2~MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
1	MDS1	—*	R	
0	MDS0	—*	R	

【注】 * MD2~MD0 端子の設定により決定されます。

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、MAC 命令の飽和演算の選択、フラッシュメモリの制御レジスタの CPU アクセスを制御、外部バスモードの設定、内蔵 RAM の有効/無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット
6	—	1	R/W	初期値を変更しないでください。
5	MACS	0	R/W	MAC 飽和演算制御 MAC 命令の飽和演算、非飽和演算を選択します。 0 : MAC 命令は非飽和演算 1 : MAC 命令は飽和演算
4	—	0	R/W	リザーブビット 初期値を変更しないでください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタ (FLMCR1、FLMDBPR、FLMSTR) の CPU アクセスを制御します。このビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリの制御レジスタの内容は保持されています。フラッシュメモリ版以外は 0 をライトしてください。 0 : アドレス H'FFFEB0~H'FFFEB3 のエリアはフラッシュメモリのレジスタを非選択 1 : アドレス H'FFFEB0~H'FFFEB3 のエリアはフラッシュメモリのレジスタを選択
2	—	0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	EXPE	—	R/W	外部バスモードイネーブル 外部バスモードを設定します。モード 1、2、4 では EXPE=1 に固定されており、ライトは無効です。モード 3、7 ではリード/ライト可能です。 EXPE=1 の状態で EXPE に 0 をライトする場合は、外部バスが実行されていない状態で行ってください。 0 : 外部アドレス空間無効 1 : 外部アドレス空間有効
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットはリセットを解除したとき初期化されます。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

3.3 各動作モードの説明

3.3.1 モード 1

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A～C がアドレスバス、ポート D、E がデータバス、ポート F、G、H の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.2 モード 2

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A～C がアドレスバス、ポート D、E がデータバス、ポート F、G、H の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.3 モード 3

フラッシュメモリブートモードです。フラッシュメモリの書き込み/消去以外は、モード 7 と同様の動作となります。モード 3 はフラッシュメモリ版のみ使用できます。

3.3.4 モード 4

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。エリア 0 の前半に接続された内蔵 ROM のプログラムを実行します。

ポート A～C はリセット直後は入力ポートになっていますが、各ポートレジスタの設定によりアドレスバスとすることができます。ポート D がデータバス、ポート F、G、H の一部がバス制御信号となります。ポート A～C の端子機能の切り替えについては「第 10 章 I/O ポート」を参照してください。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には 16 ビットバスモードとなり、ポート E がデータバスとなります。

フラッシュメモリ版では、FLMCR1 の CBIDB ビットを 0 にクリア、FMCMDEN ビットを 1 にセットすることによりユーザプログラムモードに遷移します。

3.3.5 モード 7

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。シングルチップモードで起動します。シングルチップモードでは外部アドレス空間は使用できません。

リセット直後はシングルチップモードで、すべての I/O ポートを入出力ポートとして使用できます。ただし SYSCR の EXPE ビットを 1 に設定すると外部拡張モードとなり、外部アドレス空間が有効となります。外部拡張モードの場合、初期状態はすべてのエリアが 16 ビットアクセス空間となっています。ポート A~H の端子は内蔵 ROM 有効外部拡張モードと同様です。

フラッシュメモリ版では、FLMCR1 の CBIDB ビットを 0 にクリア、FMCMDEN ビットを 1 にセットすることによりユーザプログラムモードに遷移します。

3.3.6 端子機能

各動作モードにおける端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3	モード 4	モード 7
ポート A	PA7~PA5	P*/A	P*/A	P*/A	P*/A	P*/A
	PA4~PA0	A	A			
ポート B		A	A	P*/A	P*/A	P*/A
ポート C		A	A	P*/A	P*/A	P*/A
ポート D		D	D	P*/D	D	P*/D
ポート E		P/D*	P*/D	P*/D	P*/D	P*/D
ポート F	PF7、PF6	P/C*	P/C*	P*/C	P/C*	P*/C
	PF5、PF4	C	C		C	
	PF3	P/C*	P/C*		P/C*	
	PF2~PF0	P*/C	P*/C		P*/C	
ポート G	PG6~PG1	P*/C	P*/C	P*/C	P*/C	P*/C
	PG0	P/C*	P/C*		P*/C	
ポート H	PH3、PH2	P*/C	P*/C	P*/C	P*/C	P*/C
	PH1 (H8S/2426R グループ)	P/C*	P/C*	P/C*	P/C*	P/C*
	PH1 (H8S/2426 グループ)	P*/C	P*/C	P*/C	P*/C	P*/C
	PH0	P*/C	P*/C	P*/C	P*/C	P*/C

【記号説明】

P : 入出力ポート

A : アドレスバス出力

D : データバス入出力

C : 制御信号、クロック入出力

* : リセット直後

【注】 H8S/2424 グループはポート H をサポートしていません。

3.4 各動作モードのアドレスマップ

各動作モードのアドレスマップを図 3.1～図 3.5 に示します。

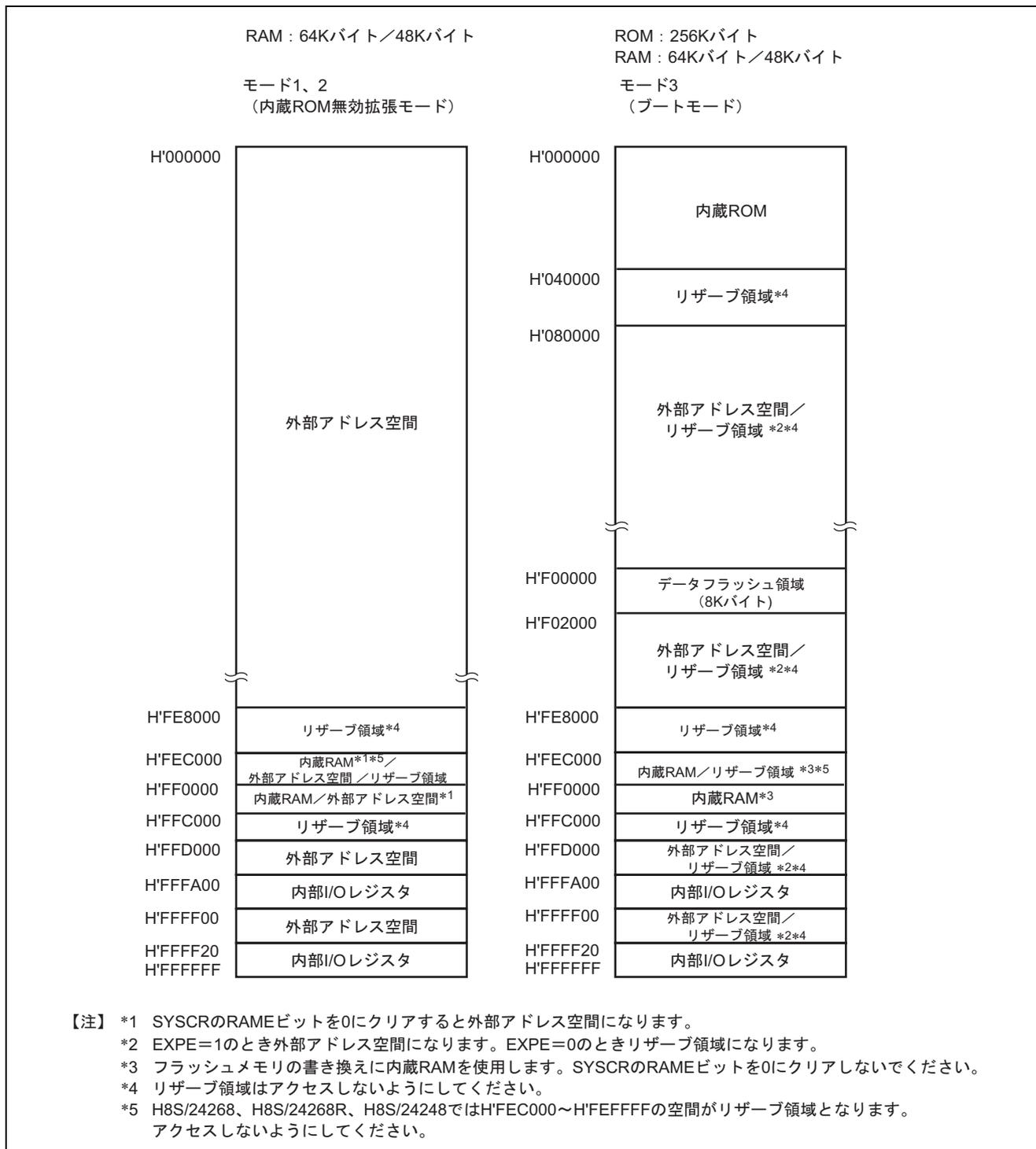


図 3.1 H8S/24269、H8S/24269R、H8S/24268、H8S/24268R、H8S/24249、H8S/24248 各動作モードのアドレスマップ (ROM : 256K バイト版) (1)

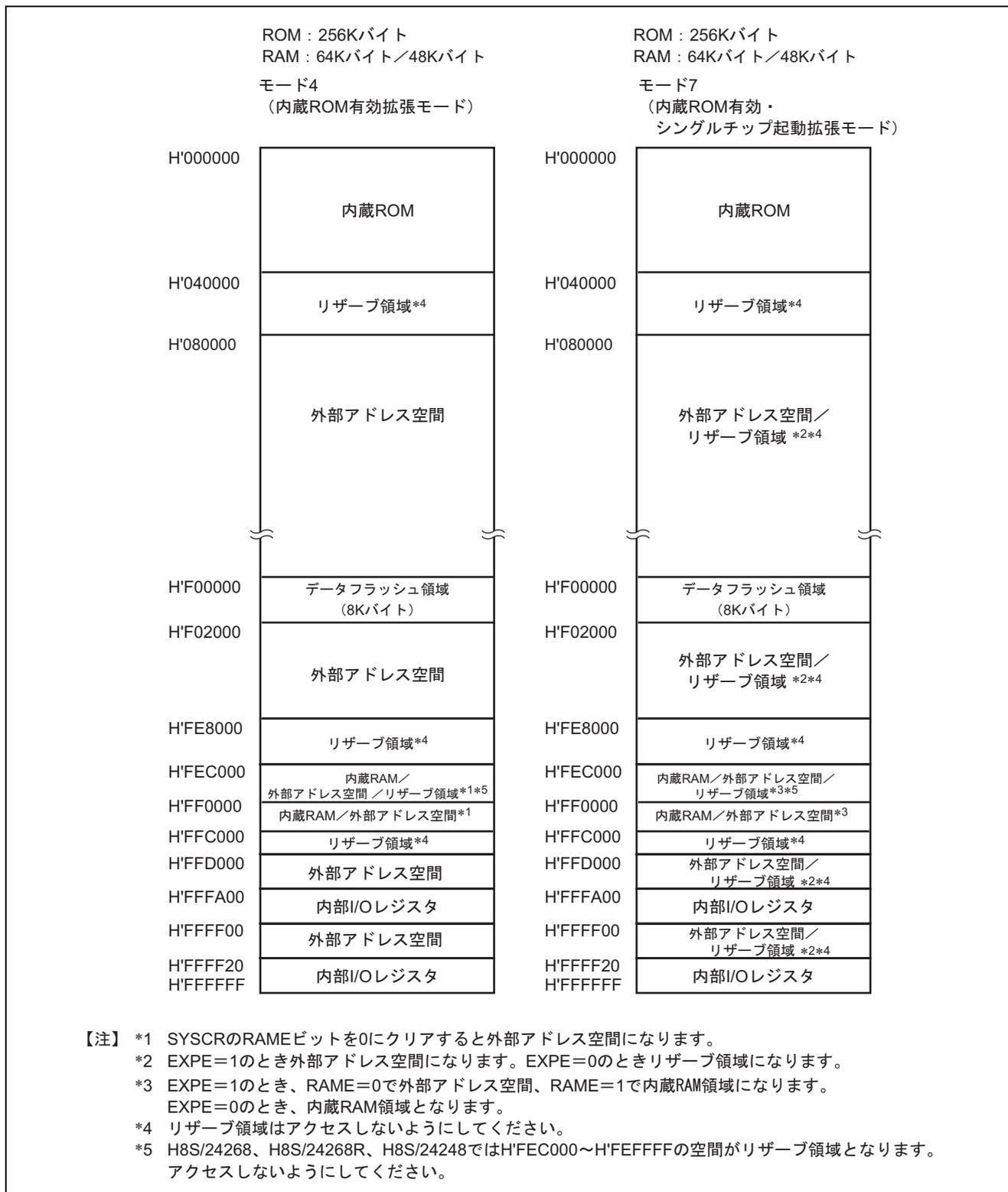


図 3.2 H8S/24269、H8S/24269R、H8S/24268、H8S/24268R、H8S/24249、H8S/24248 の各動作モードの
 アドレスマップ
 (ROM : 256K バイト版) (2)

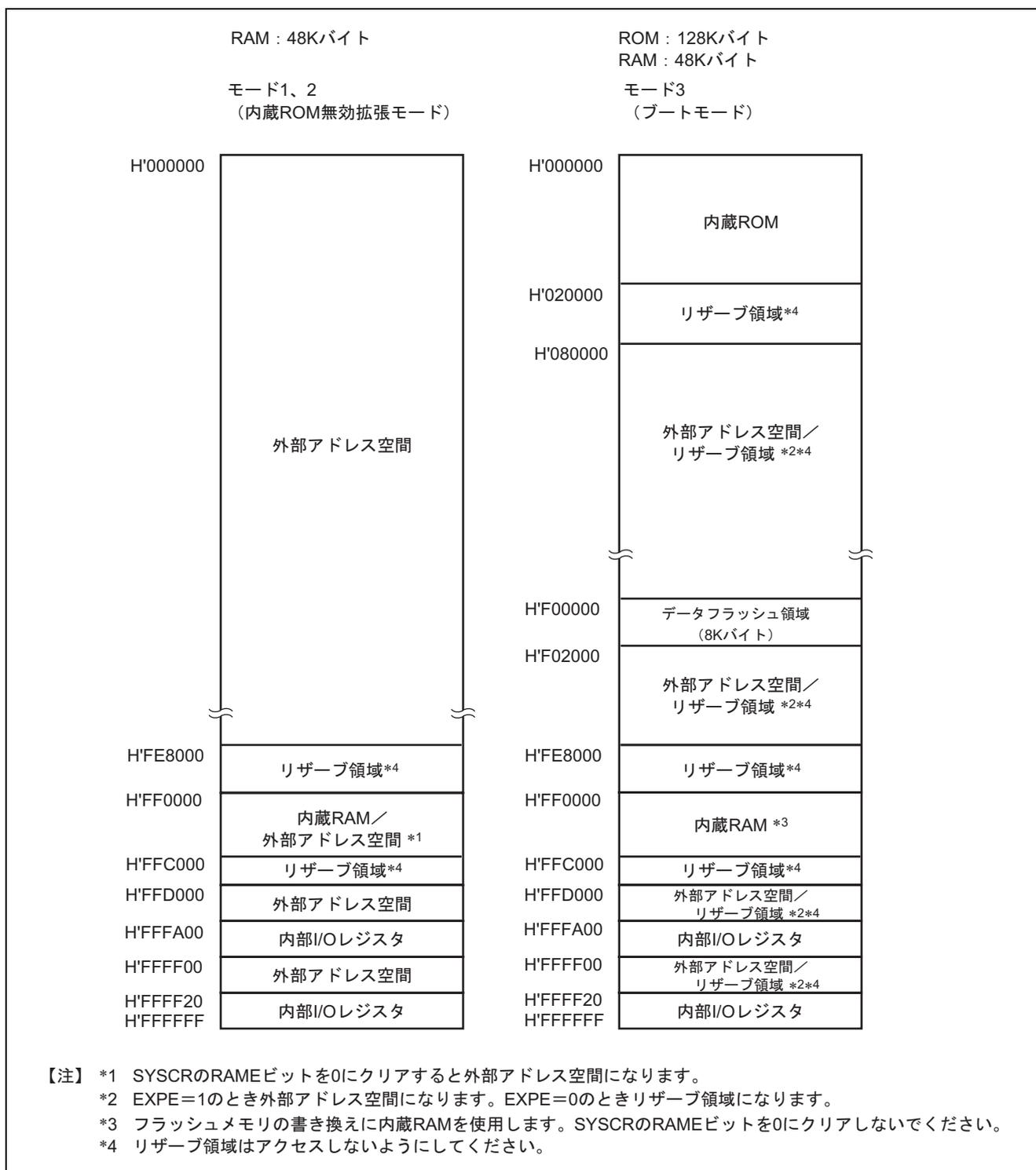


図 3.3 H8S/24265、H8S/24265R、H8S/24245 の各動作モードのアドレスマップ (ROM : 128K バイト版) (1)

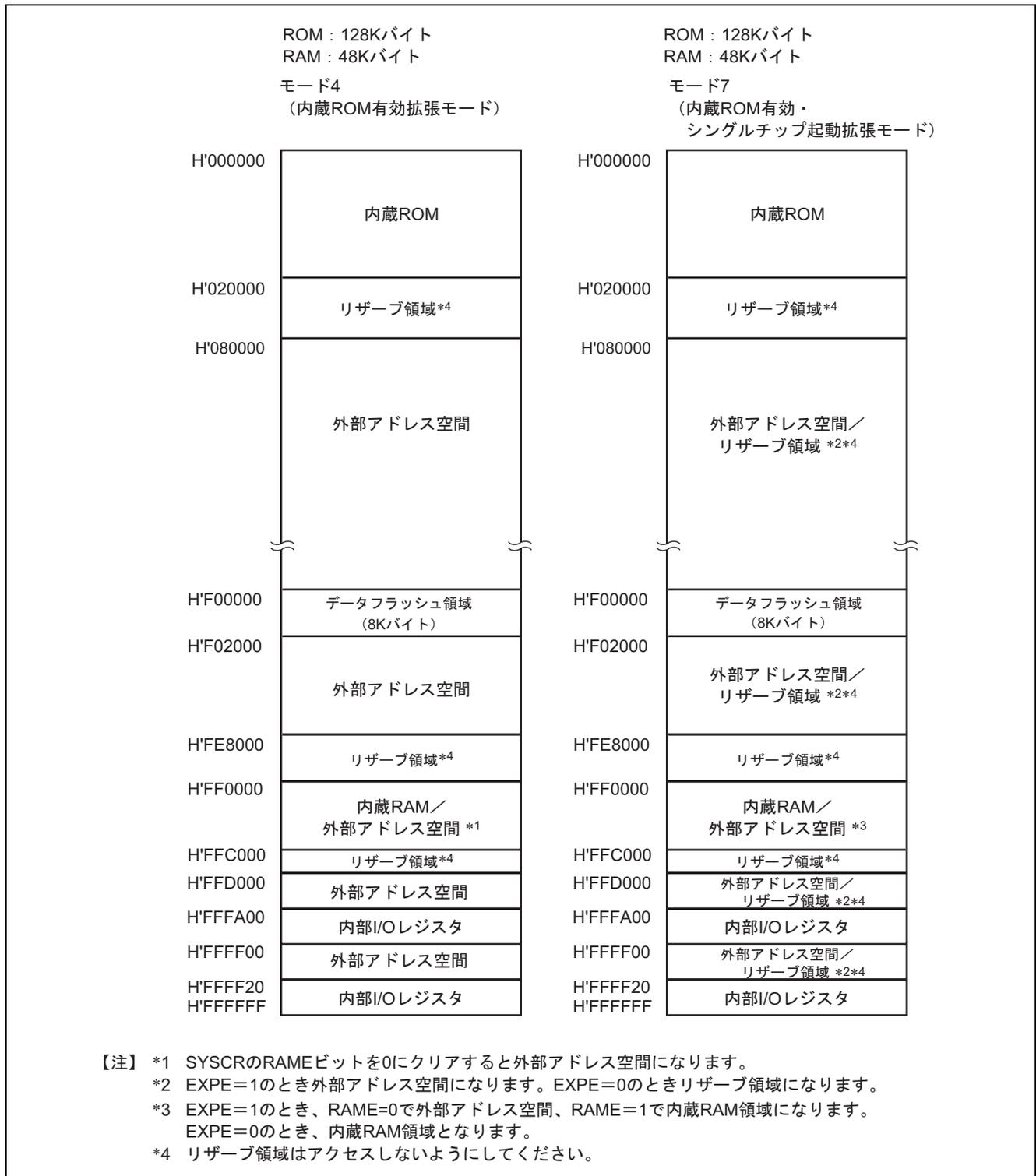


図 3.4 H8S/24265、H8S/24265R、H8S/24245 の各動作モードのアドレスマップ (ROM : 128K バイト版) (2)

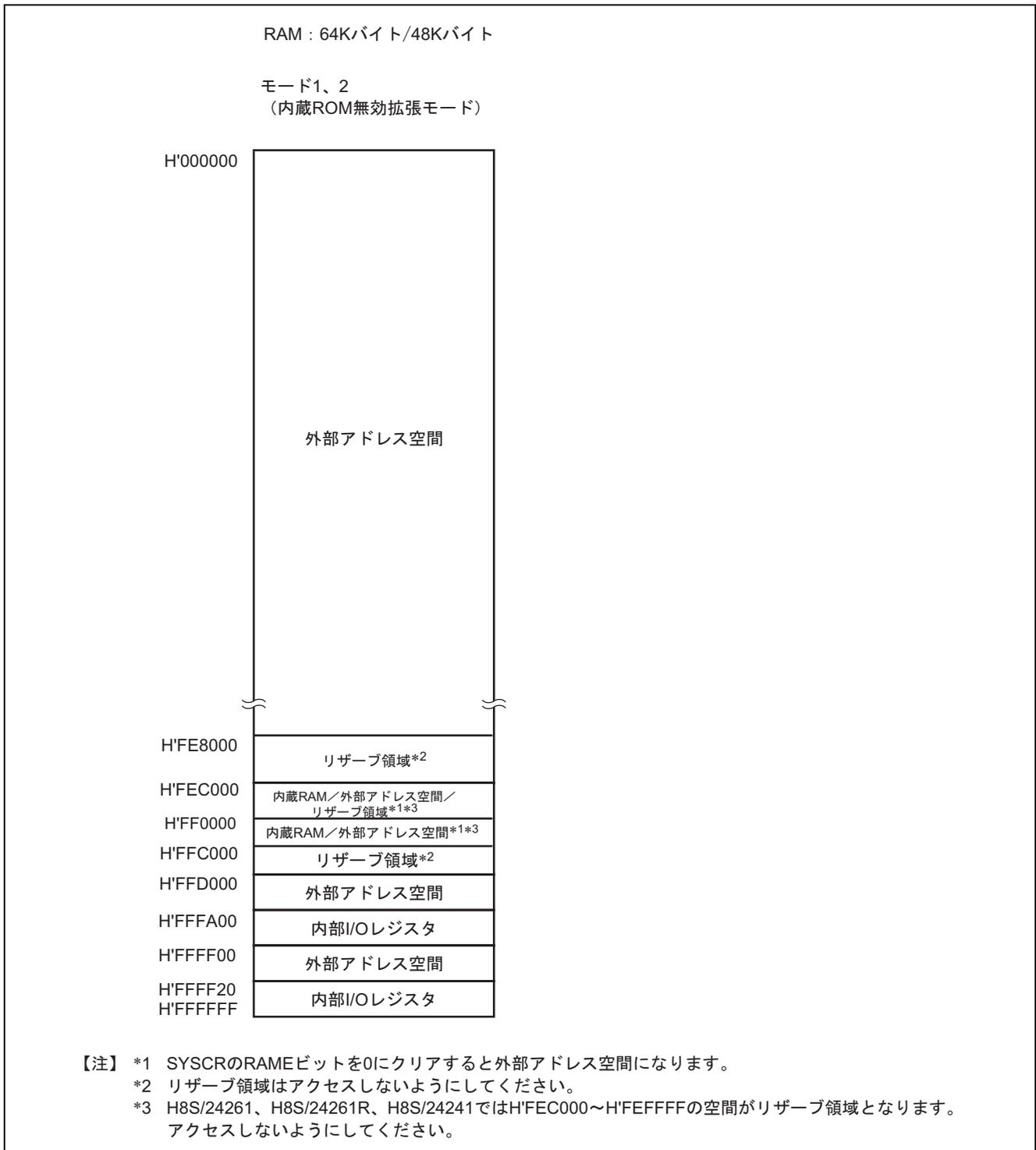


図 3.5 H8S/24262、H8S/24262R、H8S/24261、H8S/24261R、H8S/24242、H8S/24241 の各動作モードのアドレスマップ (ROM レス版)

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すように、リセット、トレース、割り込み、不当命令、およびトラップ命令があります。これらの例外処理要因には表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 5 章 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。 $\overline{\text{RES}}$ 端子が Low レベルのときリセット状態になります。
	不当命令	不当な命令コードを実行したことを検出すると開始します。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、実行中の命令または例外処理の実行終了時に開始します。
	直接遷移* ²	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ³
	トラップ命令* ⁴	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 本 LSI では使用できません。

*3 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*4 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス* ¹	
		ノーマルモード* ²	アドバンストモード
パワーオンリセット	0	H'0000~H'0001	H'0000~H'0003
マニュアルリセット* ³	1	H'0002~H'0003	H'0004~H'0007
システム予約	2	H'0004~H'0005	H'0008~H'000B
	3	H'0006~H'0007	H'000C~H'000F
不当命令	4	H'0008~H'0009	H'0010~H'0013
トレース	5	H'000A~H'000B	H'0014~H'0017
割り込み（直接遷移）* ³	6	H'000C~H'000D	H'0018~H'001B
割り込み（NMI）	7	H'000E~H'000F	H'001C~H'001F
トラップ命令（#0）	8	H'0010~H'0011	H'0020~H'0023
トラップ命令（#1）	9	H'0012~H'0013	H'0024~H'0027
トラップ命令（#2）	10	H'0014~H'0015	H'0028~H'002B
トラップ命令（#3）	11	H'0016~H'0017	H'002C~H'002F
システム予約	12	H'0018~H'0019	H'0030~H'0033
	13	H'001A~H'001B	H'0034~H'0037
	14	H'001C~H'001D	H'0038~H'003B
	15	H'001E~H'001F	H'003C~H'003F
外部割り込み IRQ0	16	H'0020~H'0021	H'0040~H'0043
外部割り込み IRQ1	17	H'0022~H'0023	H'0044~H'0047
外部割り込み IRQ2	18	H'0024~H'0025	H'0048~H'004B
外部割り込み IRQ3	19	H'0026~H'0027	H'004C~H'004F
外部割り込み IRQ4	20	H'0028~H'0029	H'0050~H'0053
外部割り込み IRQ5	21	H'002A~H'002B	H'0054~H'0057
外部割り込み IRQ6	22	H'002C~H'002D	H'0058~H'005B
外部割り込み IRQ7	23	H'002E~H'002F	H'005C~H'005F

例外処理要因	ベクタ番号	ベクタアドレス* ¹	
		ノーマルモード* ²	アドバンストモード
外部割り込み IRQ8* ⁵	24	H'0030~H'0031	H'0060~H'0063
外部割り込み IRQ9* ⁵	25	H'0032~H'0033	H'0064~H'0067
外部割り込み IRQ10* ⁵	26	H'0034~H'0035	H'0068~H'006B
外部割り込み IRQ11* ⁵	27	H'0036~H'0037	H'006C~H'006F
外部割り込み IRQ12* ⁵	28	H'0038~H'0039	H'0070~H'0073
外部割り込み IRQ13* ⁵	29	H'003A~H'003B	H'0074~H'0077
外部割り込み IRQ14* ⁵	30	H'003C~H'003D	H'0078~H'007B
外部割り込み IRQ15* ⁵	31	H'003E~H'003F	H'007C~H'007F
内部割り込み* ⁴	32	H'0040~H'0041	H'0080~H'0083
	157	H'013A~H'013B	H'0274~H'0277

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 本 LSI では使用できません。システム予約となります。

*4 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

*5 H8S/2424 グループではシステム予約です。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 15ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 2ms の間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

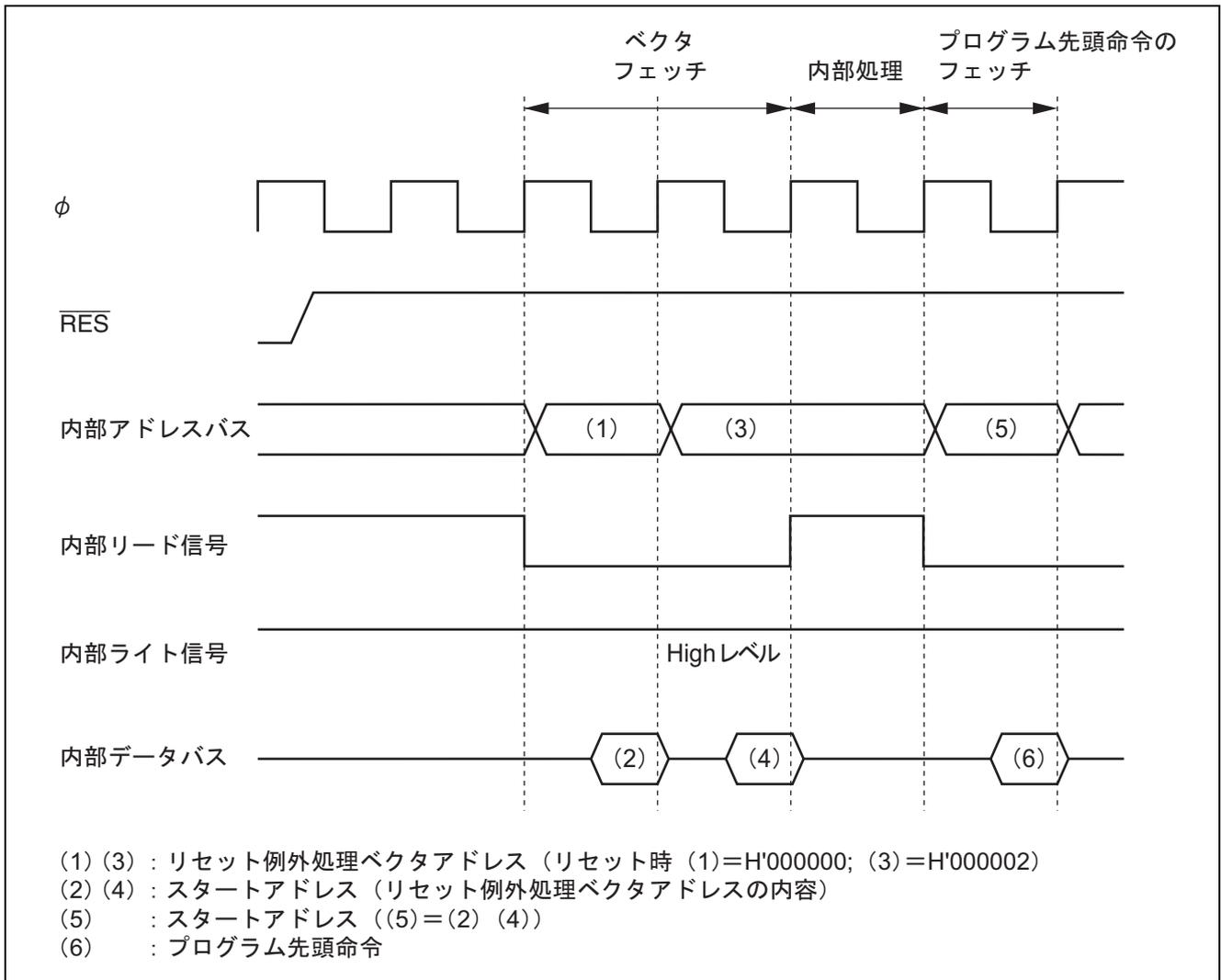


図 4.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

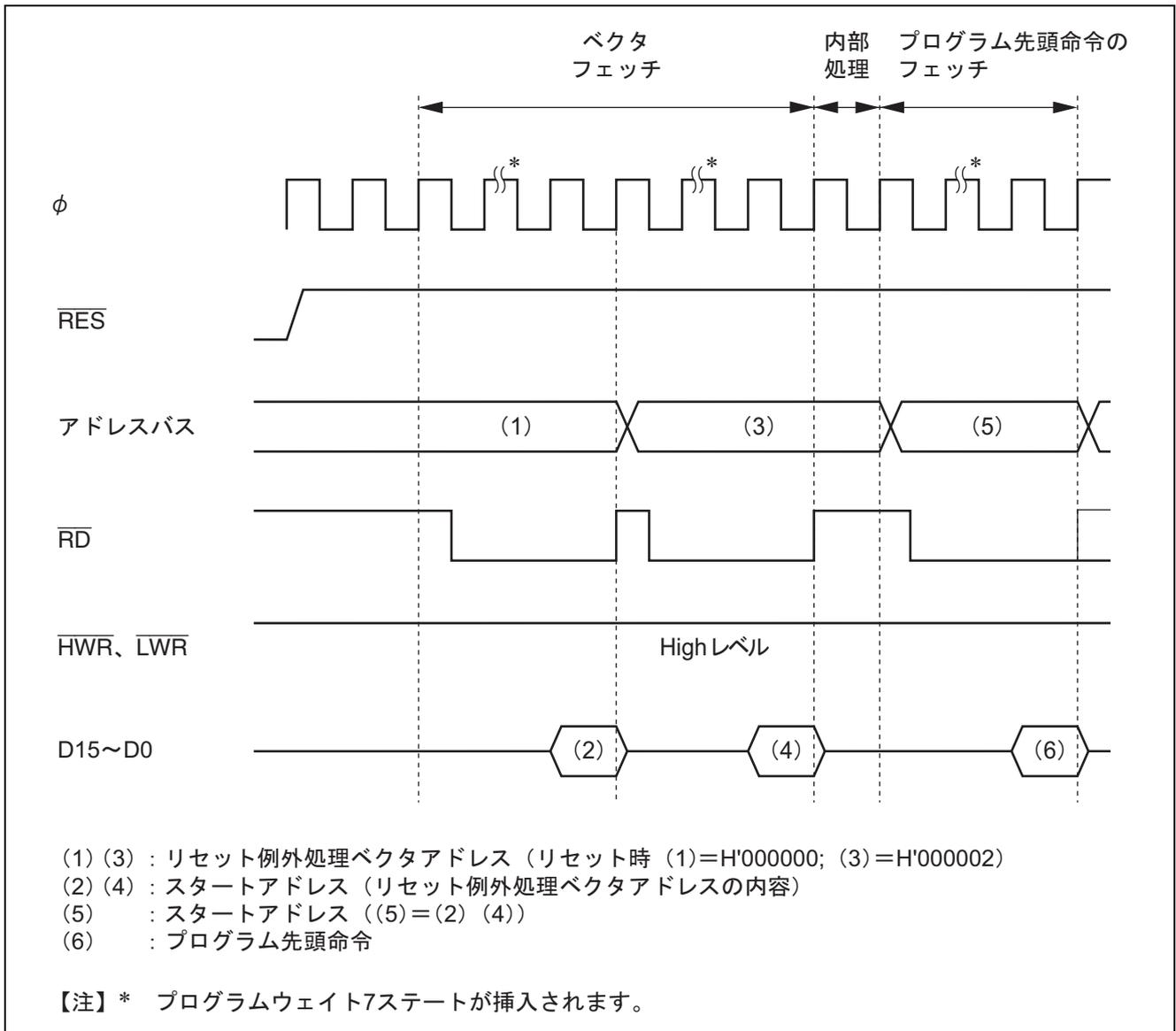


図 4.2 リセットシーケンス (アドバンスモード/内蔵 ROM 無効)

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx : 32, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCR は H'0FFF、EXMSTPCR は H'FFFF に初期化され、DMAC、EXDMAC と DTC を除くすべてのモジュールがモジュールストップ状態になっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップ状態を解除することにより、レジスタのリード/ライトが可能となります。

4.4 トレース例外処理

トレースは、割り込み制御モード 2 で有効です。割り込み制御モード 0 では、T ビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第 5 章 割り込みコントローラ」を参照してください。

EXR の T ビットを 1 にセットすると、トレースモードになります。トレースモードでは CPU が 1 命令を実行するたびにトレース例外処理を開始します。トレース例外処理は CCR の割り込みマスクビットの影響を受けません。表 4.3 にトレース例外処理後の CCR、EXR の状態を示します。トレース例外処理によって EXR の T ビットが 0 にクリアされてトレースモードが解除されますが、スタックに退避された T ビットは 1 を保持しており、RTE 命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE 命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.3 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	—	—	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	—	—	—
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.7 不当命令例外処理

CPU が不当な命令コードを実行したことを検出すると例外処理を開始します。

不当命令例外処理は、プログラム実行状態で常に実行可能です。

不当命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生した例外に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

表 4.5 に、不当命令例外処理後の CCR、EXR の状態を示します。

表 4.5 不当命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	—

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

不当な命令コードの検出は、EA 拡張部やレジスタフィールドなど、命令の定義に影響しないフィールドについては行いません。また、複数ワード構成されている命令の命令コードはそれぞれ検出し、命令コードの組み合わせは検出しません。

定義されていない命令コードは実行しないでください。定義されていない命令コードの実行、不当命令例外処理の実行後の、汎用レジスタの内容などは保証されません。不当命令例外処理時のスタックポインタや、退避される PC の内容なども保証されません。

4.8 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

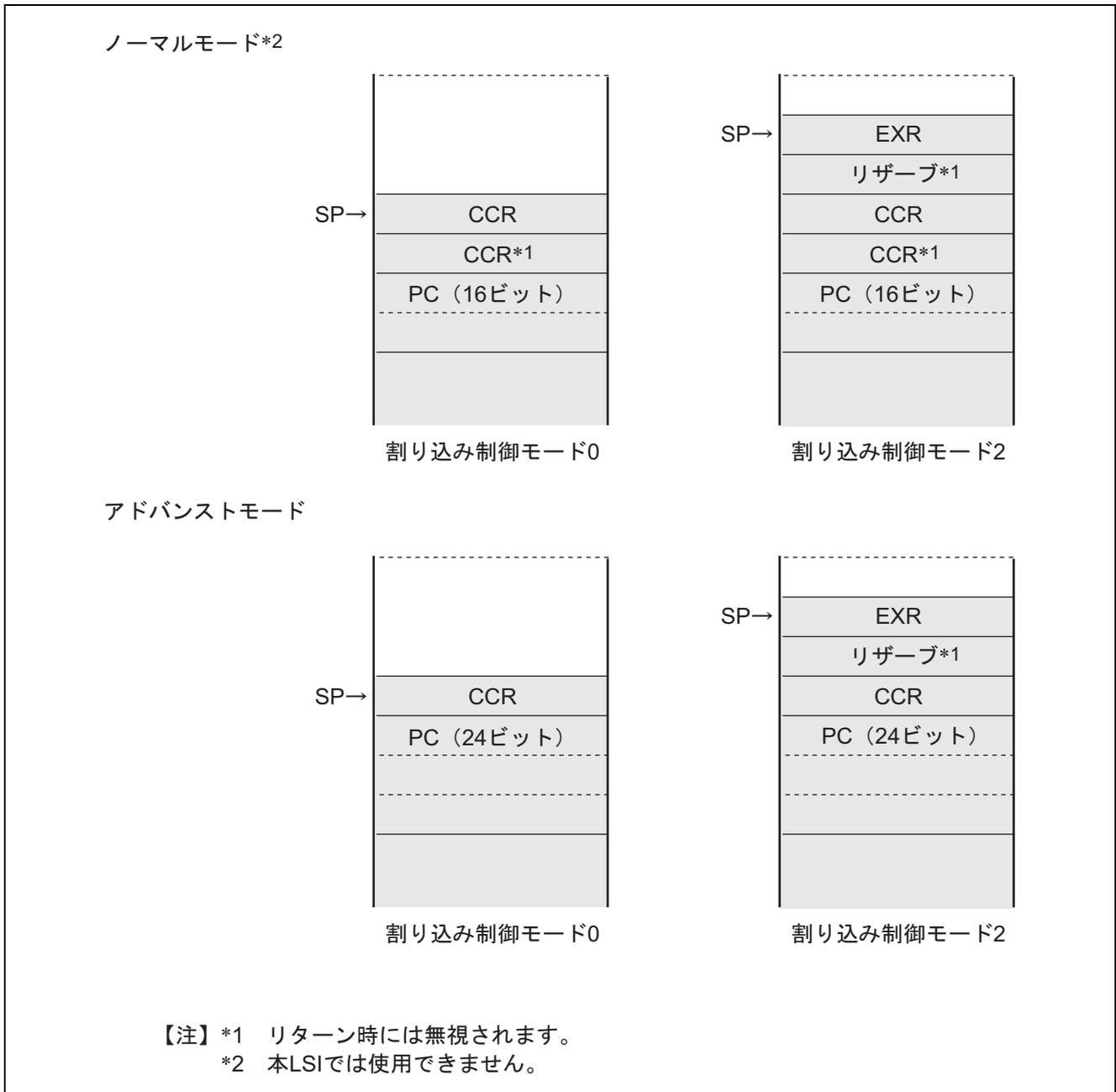


図 4.3 例外処理終了後のスタックの状態

4.9 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.4 に示します。

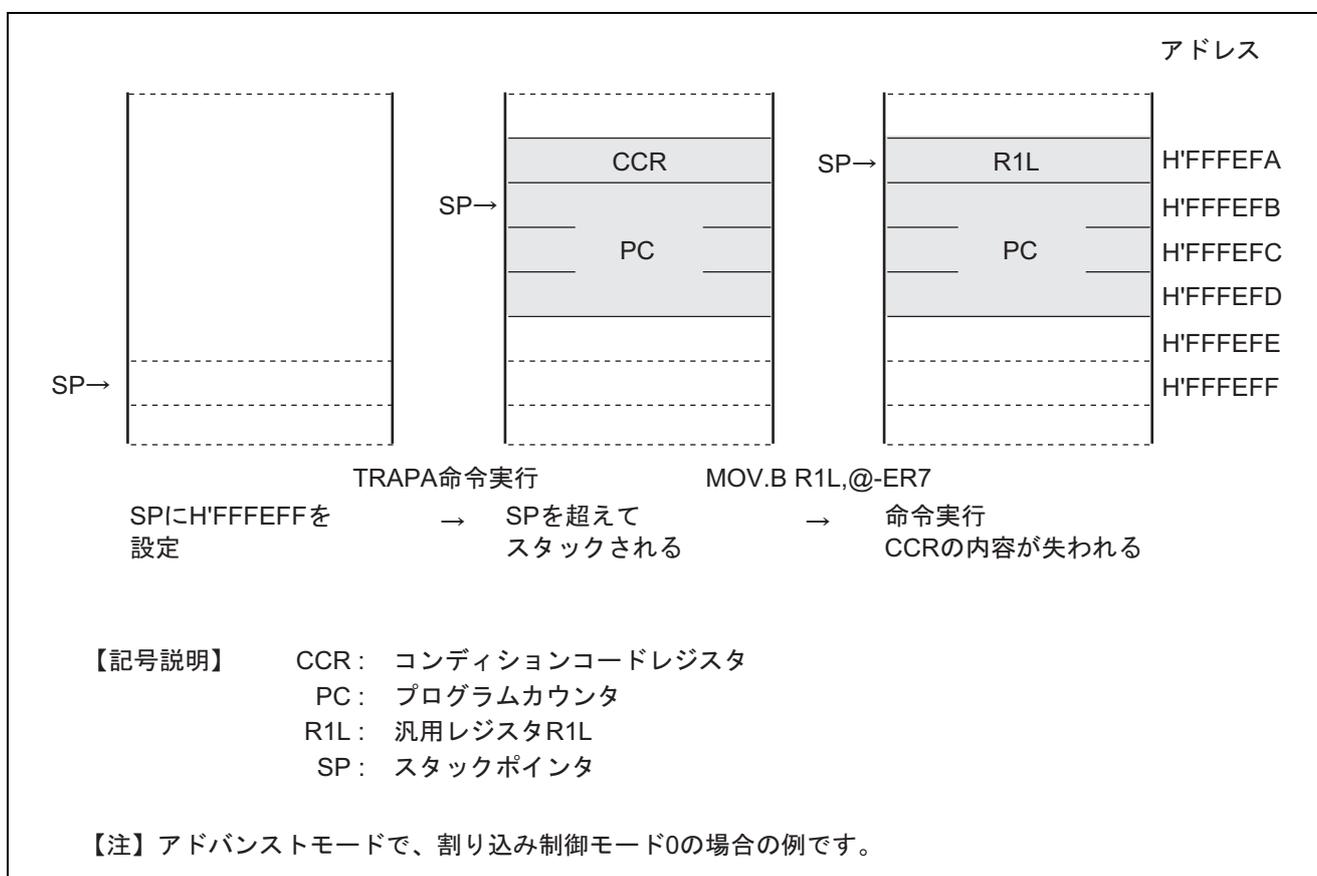


図 4.4 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード
割り込みコントロールレジスタ (INTCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードをサポートしています。
- IPRにより、優先順位を設定可能
インタラプトプライオリティレジスタ (IPR) により、NMI 以外の割り込み要求にはモジュールごとに 8 レベルの優先順位を設定できます。NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。
- 独立したベクタアドレス
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 外部割り込み端子
NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQn-A}}$ 、 $\overline{\text{IRQn-B}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
【注】 H8S/2426 シリーズ : n=15~0、H8S/2424 : n=7~0
- DTC、DMACの制御
割り込み要求により DTC、DMAC を起動することができます。

割り込みコントローラのブロック図を図 5.1 に示します。

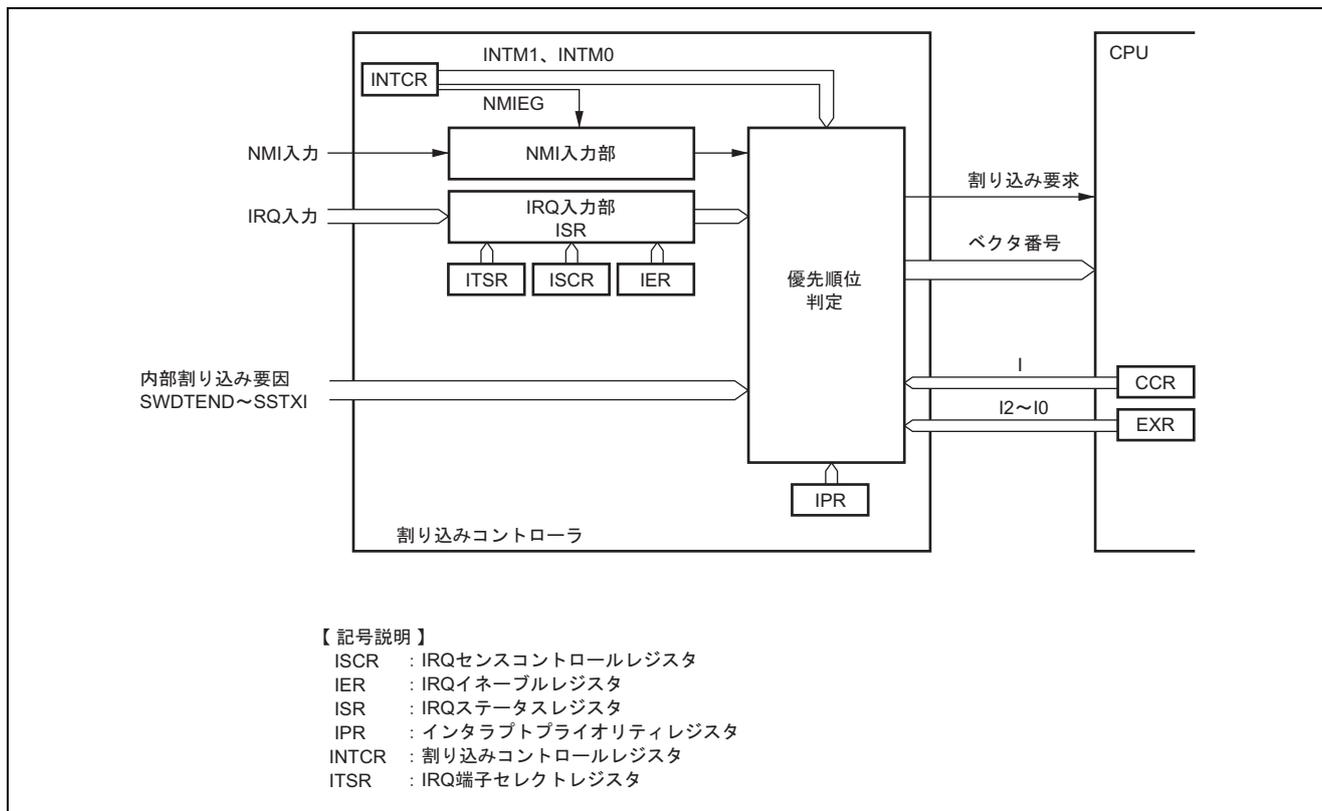


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスクブル外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
$\overline{\text{IRQ15-A}} \sim \overline{\text{IRQ0-A}}^*$ $\overline{\text{IRQ15-B}} \sim \overline{\text{IRQ0-B}}^*$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能。

【注】 * H8S/2424 グループでは $\overline{\text{IRQ7-A}} \sim \overline{\text{IRQ0-A}}$ 、 $\overline{\text{IRQ7-B}} \sim \overline{\text{IRQ0-B}}$ です。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- IRQ端子セレクトレジスタ (ITSR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)
- インタラプトプライオリティレジスタL (IPRL)
- インタラプトプライオリティレジスタM (IPRM)
- インタラプトプライオリティレジスタN (IPRN)

5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	リードすると常に0が読み出されます。ライトは無効です。
5	INTM1	0	R/W	割り込み制御選択モード 1、0
4	INTM0	0	R/W	割り込みコントローラの割り込み制御モードを選択します。 00：割り込み制御モード 0 1 ビットで割り込みを制御します。 01：設定禁止 10：割り込み制御モード 2 12~10 ビットと IPR で割り込みを制御します。 11：設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりがエッジで割り込み要求を発生 1：NMI 入力の立ち上がりがエッジで割り込み要求を発生
2~0	—	0	—	リザーブビット リードすると常に0が読み出されます。ライトは無効です。

5.3.2 インタラプトプライオリティレジスタ A~N (IPRA~IPRN)

IPR は 16 ビットのリード/ライト可能な 11 本のレジスタで、NMI を除く割り込み要因の優先順位（レベル 7~0）を設定します。各割り込み要因と IPR の対応については表 5.2 を参照してください。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説明
15	—	0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11	—	0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	
7	—	0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3	—	0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

5.3.3 IRQ イネーブルレジスタ (IER)

IER は IRQ15~IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
15	IRQ15E	0	R/W	IRQ15 イネーブル* このビットが1のとき IRQ15 割り込み要求がイネーブルになります。
14	IRQ14E	0	R/W	IRQ14 イネーブル* このビットが1のとき IRQ14 割り込み要求がイネーブルになります。
13	IRQ13E	0	R/W	IRQ13 イネーブル* このビットが1のとき IRQ13 割り込み要求がイネーブルになります。
12	IRQ12E	0	R/W	IRQ12 イネーブル* このビットが1のとき IRQ12 割り込み要求がイネーブルになります。
11	IRQ11E	0	R/W	IRQ11 イネーブル* このビットが1のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル* このビットが1のとき IRQ10 割り込み要求がイネーブルになります。
9	IRQ9E	0	R/W	IRQ9 イネーブル* このビットが1のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル* このビットが1のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが1のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが1のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが1のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが1のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが1のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが1のとき IRQ0 割り込み要求がイネーブルになります。

【注】 * H8S/2424 ではリザーブビットです。

5.3.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は $\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

- ISCRH (H8S/2426 グループのみ)

ビット	ビット名	初期値	R/W	説明
15	IRQ15SCB	0	R/W	IRQ15 センスコントロール B
14	IRQ15SCA	0	R/W	IRQ15 センスコントロール A 00 : $\overline{\text{IRQ15}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ15}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ15}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ15}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
13	IRQ14SCB	0	R/W	IRQ14 センスコントロール B
12	IRQ14SCA	0	R/W	IRQ14 センスコントロール A 00 : $\overline{\text{IRQ14}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ14}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ14}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ14}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
11	IRQ13SCB	0	R/W	IRQ13 センスコントロール B
10	IRQ13SCA	0	R/W	IRQ13 センスコントロール A 00 : $\overline{\text{IRQ13}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ13}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ13}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ13}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9	IRQ12SCB	0	R/W	IRQ12 センスコントロール B
8	IRQ12SCA	0	R/W	IRQ12 センスコントロール A 00 : $\overline{\text{IRQ12}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ12}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ12}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ12}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7	IRQ11SCB	0	R/W	IRQ11 センスコントロール B
6	IRQ11SCA	0	R/W	IRQ11 センスコントロール A 00 : $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ11}}$ 入力の立ち下がリエッジで割り込み要求を発生 10 : $\overline{\text{IRQ11}}$ 入力の立ち上がリエッジで割り込み要求を発生 11 : $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

ビット	ビット名	初期値	R/W	説明
5	IRQ10SCB	0	R/W	IRQ10 センスコントロール B
4	IRQ10SCA	0	R/W	IRQ10 センスコントロール A 00 : $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ10}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ10}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3	IRQ9SCB	0	R/W	IRQ9 センスコントロール B
2	IRQ9SCA	0	R/W	IRQ9 センスコントロール A 00 : $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ9}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ9}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ8SCB	0	R/W	IRQ8 センスコントロール B
0	IRQ8SCA	0	R/W	IRQ8 センスコントロール A 00 : $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ8}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ8}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

- ISCR_L

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B
14	IRQ7SCA	0	R/W	IRQ7 センスコントロール A 00 : $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
13	IRQ6SCB	0	R/W	IRQ6 センスコントロール B
12	IRQ6SCA	0	R/W	IRQ6 センスコントロール A 00 : $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

ビット	ビット名	初期値	R/W	説明
11 10	IRQ5SCB IRQ5SCA	0 0	R/W R/W	IRQ5 センスコントロール B IRQ5 センスコントロール A 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9 8	IRQ4SCB IRQ4SCA	0 0	R/W R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7 6	IRQ3SCB IRQ3SCA	0 0	R/W R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4	IRQ2SCB IRQ2SCA	0 0	R/W R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3 2	IRQ1SCB IRQ1SCA	0 0	R/W R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00: $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ1}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ1}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1 0	IRQ0SCB IRQ0SCA	0 0	R/W R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00: $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ0}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ0}}$ 入力の立ち上がリエッジで割り込み要求を発生 11: $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.3.5 IRQ ステータスレジスタ (ISR)

ISR は、IRQ15~IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IRQ15F* ²	0	R/(W)* ¹	[セット条件]
14	IRQ14F* ²	0	R/(W)* ¹	• ISCR で選択した割り込み要因が発生したとき
13	IRQ13F* ²	0	R/(W)* ¹	[クリア条件]
12	IRQ12F* ²	0	R/(W)* ¹	• 1 の状態をリードした後、0 をライトしたとき
11	IRQ11F* ²	0	R/(W)* ¹	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき
10	IRQ10F* ²	0	R/(W)* ¹	
9	IRQ9F* ²	0	R/(W)* ¹	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
8	IRQ8F* ²	0	R/(W)* ¹	
7	IRQ7F	0	R/(W)* ¹	• IRQn 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき
6	IRQ6F	0	R/(W)* ¹	
5	IRQ5F	0	R/(W)* ¹	
4	IRQ4F	0	R/(W)* ¹	
3	IRQ3F	0	R/(W)* ¹	
2	IRQ2F	0	R/(W)* ¹	
1	IRQ1F	0	R/(W)* ¹	
0	IRQ0F	0	R/(W)* ¹	

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 H8S/2424 グループではリザーブビットです。

5.3.6 IRQ 端子セレクトレジスタ (ITSR)

ITSR は、 $\overline{\text{IRQ15}}$ ~ $\overline{\text{IRQ0}}$ の入力端子を選択します。

• H8S/2426グループの場合

ビット	ビット名	初期値	R/W	説明
15	ITS15	0	R/W	$\overline{\text{IRQ15}}$ の入力端子を選択します。 0 : PF2/ $\overline{\text{IRQ15-A}}$ を選択します。 1 : P27/ $\overline{\text{IRQ15-B}}$ を選択します。
14	ITS14	0	R/W	$\overline{\text{IRQ14}}$ の入力端子を選択します。 0 : PF1/ $\overline{\text{IRQ14-A}}$ を選択します。 1 : P26/ $\overline{\text{IRQ14-B}}$ を選択します。
13	ITS13	0	R/W	$\overline{\text{IRQ13}}$ の入力端子を選択します。 0 : P65/ $\overline{\text{IRQ13-A}}$ を選択します。 1 : P25/ $\overline{\text{IRQ13-B}}$ を選択します。
12	ITS12	0	R/W	$\overline{\text{IRQ12}}$ の入力端子を選択します。 0 : P64/ $\overline{\text{IRQ12-A}}$ を選択します。 1 : P24/ $\overline{\text{IRQ12-B}}$ を選択します。
11	ITS11	0	R/W	$\overline{\text{IRQ11}}$ の入力端子を選択します。 0 : P63/ $\overline{\text{IRQ11-A}}$ を選択します。 1 : P23/ $\overline{\text{IRQ11-B}}$ を選択します。
10	ITS10	0	R/W	$\overline{\text{IRQ10}}$ の入力端子を選択します。 0 : P62/ $\overline{\text{IRQ10-A}}$ を選択します。 1 : P22/ $\overline{\text{IRQ10-B}}$ を選択します。
9	ITS9	0	R/W	$\overline{\text{IRQ9}}$ の入力端子を選択します。 0 : P61/ $\overline{\text{IRQ9-A}}$ を選択します。 1 : P21/ $\overline{\text{IRQ9-B}}$ を選択します。
8	ITS8	0	R/W	$\overline{\text{IRQ8}}$ の入力端子を選択します。 0 : P60/ $\overline{\text{IRQ8-A}}$ を選択します。 1 : P20/ $\overline{\text{IRQ8-B}}$ を選択します。
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : PA7/ $\overline{\text{IRQ7-A}}$ を選択します。 1 : PH3/ $\overline{\text{IRQ7-B}}$ を選択します。
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : PA6/ $\overline{\text{IRQ6-A}}$ を選択します。 1 : PH2/ $\overline{\text{IRQ6-B}}$ を選択します。
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : PA5/ $\overline{\text{IRQ5-A}}$ を選択します。 1 : P85/ $\overline{\text{IRQ5-B}}$ を選択します。

ビット	ビット名	初期値	R/W	説明
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : PA4/ $\overline{\text{IRQ4-A}}$ を選択します。 1 : P84/ $\overline{\text{IRQ4-B}}$ を選択します。
3	ITS3	0	R/W	$\overline{\text{IRQ3}}$ の入力端子を選択します。 0 : P53/ $\overline{\text{IRQ3-A}}$ を選択します。 1 : P83/ $\overline{\text{IRQ3-B}}$ を選択します。
2	ITS2	0	R/W	$\overline{\text{IRQ2}}$ の入力端子を選択します。 0 : P52/ $\overline{\text{IRQ2-A}}$ を選択します。 1 : P82/ $\overline{\text{IRQ2-B}}$ を選択します。
1	ITS1	0	R/W	$\overline{\text{IRQ1}}$ の入力端子を選択します。 0 : P51/ $\overline{\text{IRQ1-A}}$ を選択します。 1 : P81/ $\overline{\text{IRQ1-B}}$ を選択します。
0	ITS0	0	R/W	$\overline{\text{IRQ0}}$ の入力端子を選択します。 0 : P50/ $\overline{\text{IRQ0-A}}$ を選択します。 1 : P80/ $\overline{\text{IRQ0-B}}$ を選択します。

• H8S/2424グループの場合

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて0	R/W	リザーブビット 初期値を変更しないでください。
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : PA7/ $\overline{\text{IRQ7-A}}$ を選択します。 1 : P47/ $\overline{\text{IRQ7-B}}$ を選択します。
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : PA6/ $\overline{\text{IRQ6-A}}$ を選択します。 1 : P46/ $\overline{\text{IRQ6-B}}$ を選択します。
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : PA5/ $\overline{\text{IRQ5-A}}$ を選択します。 1 : P45/ $\overline{\text{IRQ5-B}}$ を選択します。
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : PA4/ $\overline{\text{IRQ4-A}}$ を選択します。 1 : P44/ $\overline{\text{IRQ4-B}}$ を選択します。
3	ITS3	0	R/W	$\overline{\text{IRQ3}}$ の入力端子を選択します。 0 : P53/ $\overline{\text{IRQ3-A}}$ を選択します。 1 : P43/ $\overline{\text{IRQ3-B}}$ を選択します。
2	ITS2	0	R/W	$\overline{\text{IRQ2}}$ の入力端子を選択します。 0 : P52/ $\overline{\text{IRQ2-A}}$ を選択します。 1 : P42/ $\overline{\text{IRQ2-B}}$ を選択します。

ビット	ビット名	初期値	R/W	説明
1	ITS1	0	R/W	$\overline{\text{IRQ1}}$ の入力端子を選択します。 0 : P51/ $\overline{\text{IRQ1-A}}$ を選択します。 1 : P41/ $\overline{\text{IRQ1-B}}$ を選択します。
0	ITS0	0	R/W	$\overline{\text{IRQ0}}$ の入力端子を選択します。 0 : P50/ $\overline{\text{IRQ0-A}}$ を選択します。 1 : P40/ $\overline{\text{IRQ0-B}}$ を選択します。

5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER はソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQ}}$ 端子を選択します。

ビット	ビット名	初期値	R/W	説明
15	SSI15*	0	R/W	これらのビットは、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQn}}$ 端子を選択します。 0 : $\overline{\text{IRQn}}$ 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません (n=15~3 のときの初期値)。 1 : ソフトウェアスタンバイ状態で $\overline{\text{IRQn}}$ 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します (n=2~0 のときの初期値)。
14	SSI14*	0	R/W	
13	SSI13*	0	R/W	
12	SSI12*	0	R/W	
11	SSI11*	0	R/W	
10	SSI10*	0	R/W	
9	SSI9*	0	R/W	
8	SSI8*	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	1	R/W	
1	SSI1	1	R/W	
0	SSI0	1	R/W	

【注】* H8S/2424 グループではリザーブビットです。

5.4 割り込み要因

5.4.1 外部割り込み要因

H8S/2426 グループ、H8S/2426R グループの外部割り込みには、NMI、IRQ15～IRQ0 の 17 要因があります。H8S/2424 グループの外部割り込みには、NMI、IRQ7～IRQ0 の 9 要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれかで割り込み要求を発生させるか、INTCR の NMIEG ビットで選択できます。

(2) IRQn 割り込み (H8S/2426 グループ、H8S/2426R グループ : n=0~15、 H8S/2424 グループ : n=0~7)

IRQn 割り込みは $\overline{\text{IRQn}}$ 端子の入力信号により割り込み要求を発生します。IRQn 割り込みには以下の特長があります。

- $\overline{\text{IRQn}}$ 入力の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込み要求を発生させるか、ISCR で選択できます。
- IRQn 割り込み要求は IER により選択できます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQn 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQn 割り込み要求を $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQn}}$ 入力を割り込み処理開始まで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻し、かつ ISR の IRQnF ビットを 0 にクリアしてください。割り込み処理開始前に、当該 IRQ 入力を High レベルに戻すと当該割り込みが実行されない場合があります。

IRQn 割り込みの検出は、当該端子の入出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、そのほかの機能の入出力端子としては使用しないでください。

IRQn 割り込みのブロック図を図 5.2 に示します。

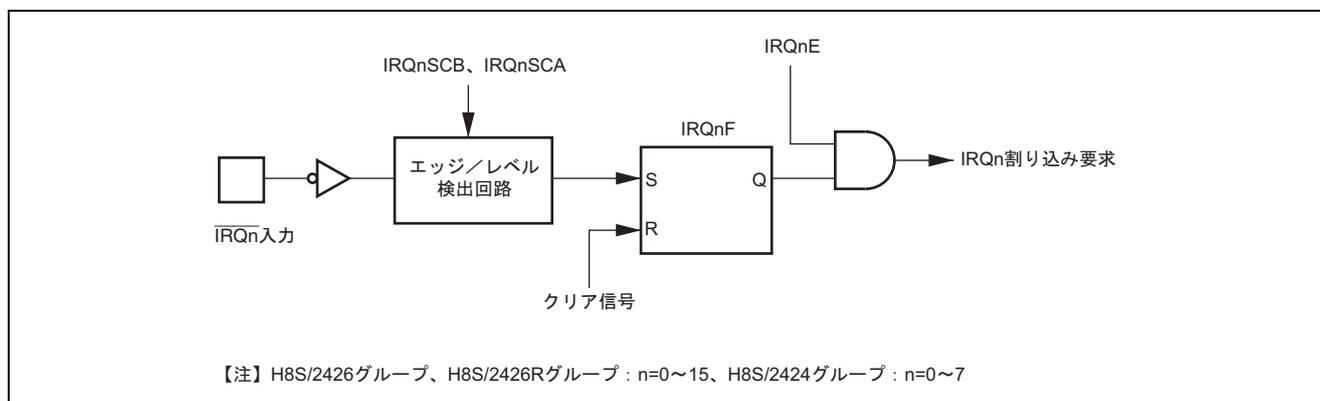


図 5.2 IRQ 割り込みのブロック図

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- TPU、SCIなどの割り込み要求によりDMAC、DTCを起動することができます。
- 割り込み要求によりDMAC、DTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5.5 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード2に設定されている場合、モジュール間の優先順位は、IPRにより変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名称	ベクタ番号	ベクタアドレス* ¹	IPR	優先順位	DTC起動	DMAC起動
			アドバンストモード				
外部端子	NMI	7	H'001C	—	高 ↑	—	—
	IRQ0	16	H'0040	IPRA14~IPRA12		○	—
	IRQ1	17	H'0044	IPRA10~IPRA8		○	—
	IRQ2	18	H'0048	IPRA6~IPRA4		○	—
	IRQ3	19	H'004C	IPRA2~IPRA0		○	—
	IRQ4	20	H'0050	IPRB14~IPRB12		○	—
	IRQ5	21	H'0054	IPRB10~IPRB8		○	—
	IRQ6	22	H'0058	IPRB6~IPRB4		○	—
	IRQ7	23	H'005C	IPRB2~IPRB0		○	—
	IRQ8* ²	24	H'0060	IPRC14~IPRC12		○	—
	IRQ9* ²	25	H'0064	IPRC10~IPRC8		○	—
	IRQ10* ²	26	H'0068	IPRC6~IPRC4		○	—
	IRQ11* ²	27	H'006C	IPRC2~IPRC0		○	—
	IRQ12* ²	28	H'0070	IPRD14~IPRD12		○	—
	IRQ13* ²	29	H'0074	IPRD10~IPRD8		○	—
	IRQ14* ²	30	H'0078	IPRD6~IPRD4		○	—
	IRQ15* ²	31	H'007C	IPRD2~IPRD0		○	—
DTC	SWDTEND	32	H'0080	IPRE14~IPRE12	○	—	
WDT	WOVI	33	H'0084	IPRE10~IPRE8	—	—	
	システム予約	34	H'0088	IPRE6~IPRE4	—	—	
リフレッシュコントローラ	CMI	35	H'008C	IPRE2~IPRE0	—	—	
—	システム予約	36	H'0090	IPRF14~IPRF12	—	—	
		37	H'0094		—	—	
A/D_0	ADI0	38	H'0098	IPRF10~IPRF8	○	○	
	システム予約	39	H'009C		—	—	
TPU_0	TGI0A	40	H'00A0	IPRF6~IPRF4	○	○	
	TGI0B	41	H'00A4		○	—	
	TGI0C	42	H'00A8		○	—	
	TGI0D	43	H'00AC		○	—	
	TCI0V	44	H'00B0		—	—	
	システム予約	45	H'00B4		—	—	
					低 ↓		

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
TPU_0	システム予約	46	H'00B8	IPRF6~IPRF4	高 ↑	-	-
		47	H'00BC			-	-
TPU_1	TGI1A	48	H'00C0	IPRF2~IPRF0		○	○
	TGI1B	49	H'00C4			○	-
	TCI1V	50	H'00C8			-	-
	TCI1U	51	H'00CC			-	-
TPU_2	TGI2A	52	H'00D0	IPRG14~IPRG12		○	○
	TGI2B	53	H'00D4			○	-
	TCI2V	54	H'00D8			-	-
	TCI2U	55	H'00DC			-	-
TPU_3	TGI3A	56	H'00E0	IPRG10~IPRG8	○	○	
	TGI3B	57	H'00E4		○	-	
	TGI3C	58	H'00E8		○	-	
	TGI3D	59	H'00EC		○	-	
	システム予約	60	H'00F0		-	-	
		61	H'00F4		-	-	
		62	H'00F8		-	-	
TPU_4	システム予約	63	H'00FC	-	-		
		64	H'0100	IPRG6~IPRG4	○	○	
		65	H'0104		○	-	
		66	H'0108		-	-	
67	H'010C	-	-				
TPU_5	TGI5A	68	H'0110	IPRG2~IPRG0	○	○	
	TGI5B	69	H'0114		○	-	
	TCI5V	70	H'0118		-	-	
	TCI5U	71	H'011C		-	-	
TMR_0	CMIA0	72	H'0120	IPRH14~IPRH12	○	-	
	CMIB0	73	H'0124		○	-	
	OVI0	74	H'0128		-	-	
	システム予約	75	H'012C		-	-	
TMR_1	CMIA1	76	H'0130	IPRH10~IPRH8	○	-	
	CMIB1	77	H'0134		○	-	
	OVI1	78	H'0138		-	-	
	システム予約	79	H'013C		-	-	
					低 ↓		

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス* ¹	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
DMAC	DMTEND0A	80	H'0140	IPRH6~IPRH4	高 ▲	○	—
	DMTEND0B	81	H'0144			○	—
	DMTEND1A	82	H'0148			○	—
	DMTEND1B	83	H'014C			○	—
EXDMAC* ²	システム予約	84	H'0150	IPRH2~IPRH0	▲	—	—
		85	H'0154	IPRI14~IPRI12		—	—
	EXDMTEND2	86	H'0158	IPRI10~IPRI8		—	—
	EXDMTEND3	87	H'015C	IPRI6~IPRI4		—	—
SCI_0	ERI0	88	H'0160	IPRI2~IPRI0	▲	—	—
	RXI0	89	H'0164			○	○
	TXI0	90	H'0168			○	○
	TEI0	91	H'016C			—	—
SCI_1	ERI1	92	H'0170	IPRJ14~IPRJ12	▲	—	—
	RXI1	93	H'0174			○	○
	TXI1	94	H'0178			○	○
	TEI1	95	H'017C			—	—
SCI_2	ERI2	96	H'0180	IPRJ10~IPRJ8	▲	—	—
	RXI2	97	H'0184			○	—
	TXI2	98	H'0188			○	—
	TEI2	99	H'018C			—	—
SCI_3	ERI3	100	H'0190	IPRJ6~IPRJ4	▲	—	—
	RXI3	101	H'0194			○	—
	TXI3	102	H'0198			○	—
	TEI3	103	H'019C			—	—
SCI_4	ERI4	104	H'01A0	IPRJ2~IPRJ0	▲	—	—
	RXI4	105	H'01A4			○	—
	TXI4	106	H'01A8			○	—
	TEI4	107	H'01AC			—	—
	システム予約	108	H'01B0	IPRK14~IPRK12		—	—
		109	H'01B4			—	—
		110	H'01B8			—	—
		111	H'01BC			—	—
					▼ 低		

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
A/D_1	ADI1	112	H'01C0	IPRK10~IPRK8	高 ↑	○	—
	システム予約	113	H'01C4			—	—
		114	H'01C8			—	—
		115	H'01CC			—	—
IIC2_0	IIC10	116	H'01D0	IPRK6~IPRK4		—	—
	システム予約	117	H'01D4			—	—
IIC2_1	IIC11	118	H'01D8			—	—
	システム予約	119	H'01DC			—	—
TPU_6	TGI6A	120	H'01E0	IPRK2~IPRK0		○	—
	TGI6B	121	H'01E4			○	—
	TGI6C	122	H'01E8			○	—
	TGI6D	123	H'01EC		○	—	
	TCI6V	124	H'01F0		—	—	
TPU_7	TGI7A	125	H'01F4	IPRL14~IPRL12	○	—	
	TGI7B	126	H'01F8		○	—	
	TCI7V	127	H'01FC		—	—	
	TCI7U	128	H'0200		—	—	
TPU_8	TGI8A	129	H'0204	IPRL10~IPRL8	○	—	
	TGI8B	130	H'0208		○	—	
	TCI8V	131	H'020C		—	—	
	TCI8U	132	H'0210		—	—	
TPU_9	TGI9A	133	H'0214	IPRL6~IPRL4	○	—	
	TGI9B	134	H'0218		○	—	
	TGI9C	135	H'021C		○	—	
	TGI9D	136	H'0220		○	—	
	TCI9V	137	H'0224		—	—	
TPU_10	TGI10A	138	H'0228	IPRL2~IPRL0	○	—	
	TGI10B	139	H'022C		○	—	
	TCI10V	140	H'0230		—	—	
	TCI10U	141	H'0234		—	—	
TPU_11	TGI11A	142	H'0238	IPRM14~IPRM12	○	—	
	TGI11B	143	H'023C		○	—	
	TCI11V	144	H'0240		—	—	
	TCI11U	145	H'0244		—	—	

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス* ¹	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
—	システム予約	146	H'0248	IPRM10~IPRM8	↑ 高	—	—
		147	H'024C			—	—
		148	H'0250			—	—
		149	H'0254			—	—
		150	H'0258	IPRM6~IPRM4		—	—
		151	H'025C			—	—
		152	H'0260			—	—
IIC2_2	IIC12	153	H'0264	IPRM2~IPRM0	—	—	
IIC2_3	IIC13	154	H'0268		—	—	
SSU	SSERI	155	H'026C	IPRN14~IPRN12	—	—	
	SSRXI	156	H'0270		—	—	
	SSTXI	157	H'0274		—	—	
—	システム予約	158	H'0278	IPRN10~IPRN8	↑ ↓ 低	—	—
		159	H'027C			—	—
		160	H'0280			—	—
		161	H'0284			—	—
		162	H'0288	IPRN6~IPRN4		—	—
		163	H'028C			—	—
		164	H'0290			—	—
		165	H'0294			—	—
		166	H'0298	IPRN2~IPRN0		—	—
		167	H'029C			—	—
		168	H'02A0			—	—
		169	H'02A4			—	—
170	H'02A8	—	—				
—	システム予約	255	H'03FC	—	—	—	—

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 H8S/2424 グループではサポートしていません。

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード2の2種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択はINTCRで行います。表5.3に割り込み制御モード0と割り込み制御モード2の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	I	各割り込み要因の優先順位はデフォルトで固定されています。 NMIを除く割り込み要因はIビットによりマスクされます。
2	IPR	I2~I0	IPRによりNMIを除く各割り込み要因に8レベルの優先順位を設定できます。 I2~I0ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIを除く割り込み要求はCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPUのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

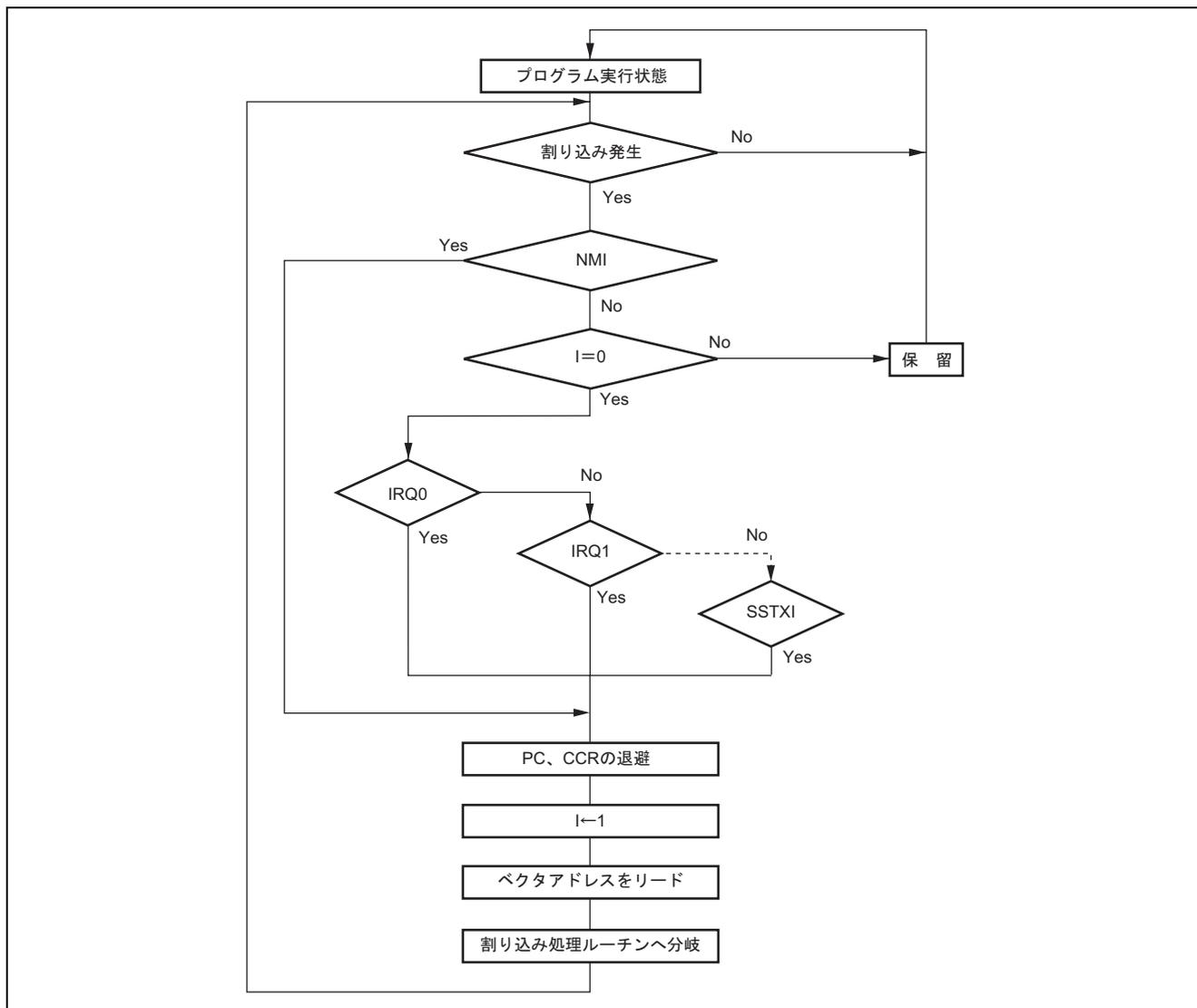


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード 2

割り込み制御モード2ではNMIを除く割り込み要求はCPUのEXRの割り込みマスクレベル(I2~I0ビット)とIPRとの比較によって8レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラはIPRに設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表5.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

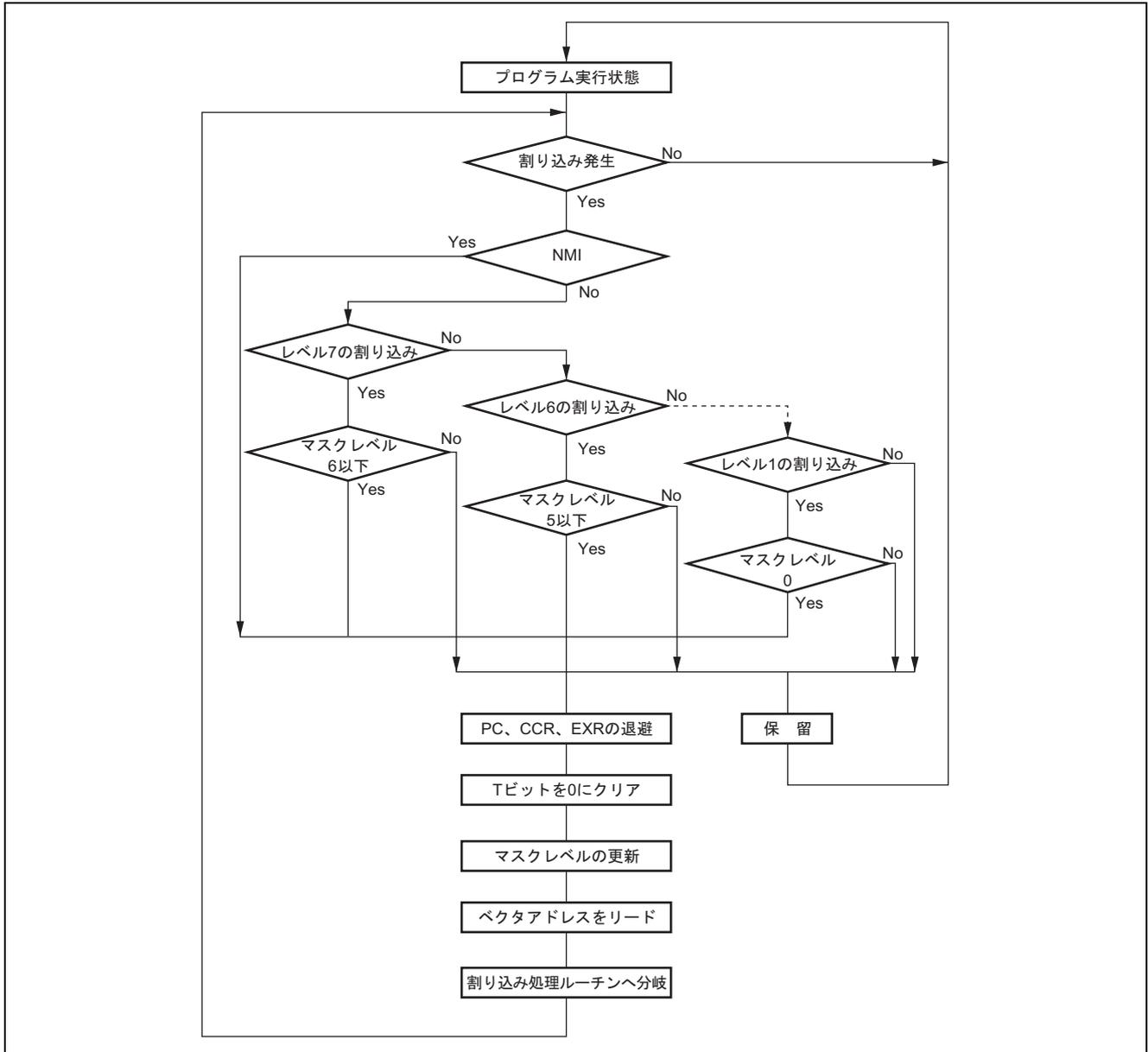


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

図 5.5 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

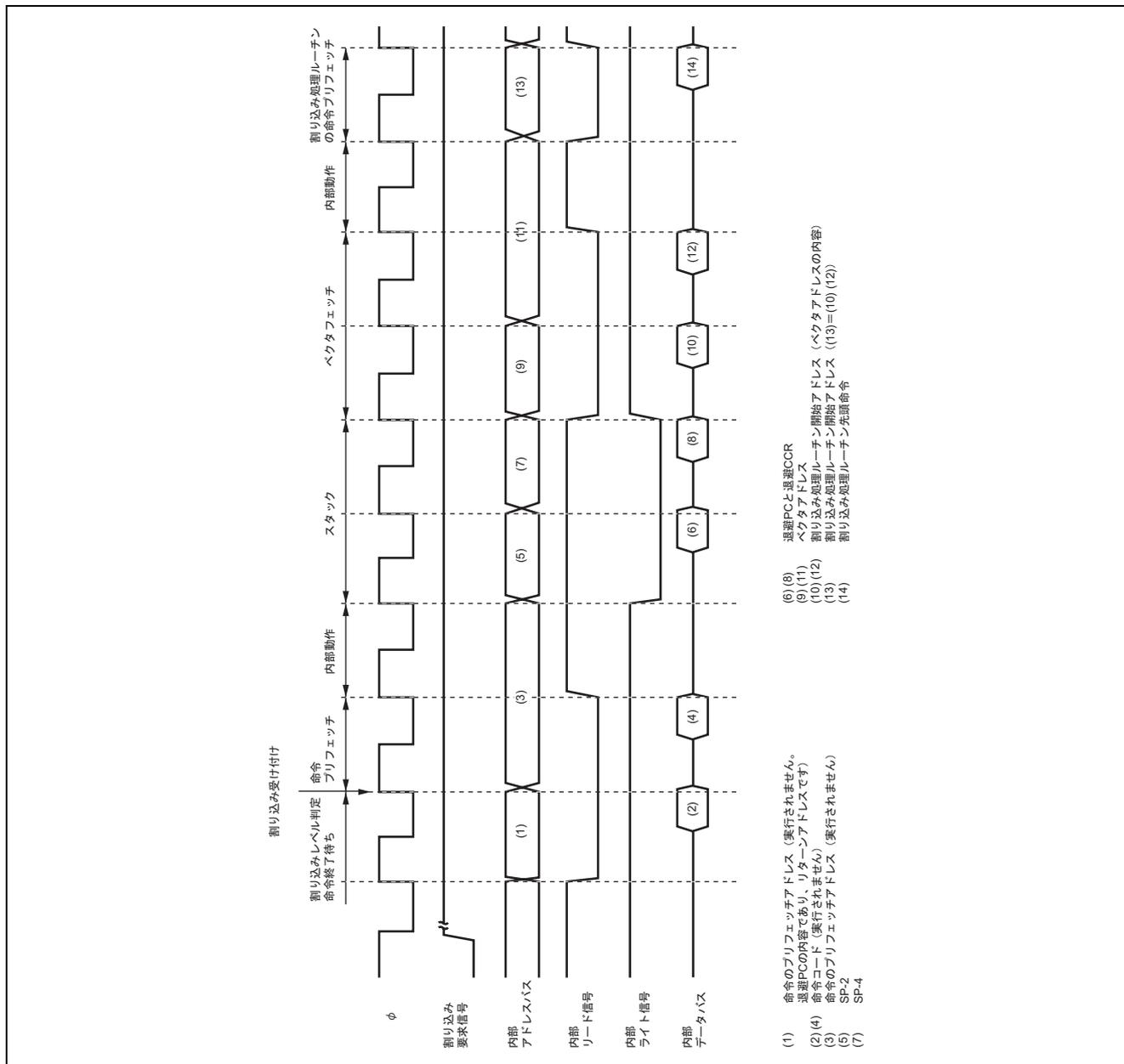


図 5.5 割り込み例外処理

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの 待ち状態数*2	$1 \sim 19 + 2 \cdot S_i$			
3	PC、CCR および EXR の スタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計（内蔵メモリ使用時）		11~31	12~32	12~32	13~33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.6.5 割り込みによる DTC、DMAC の起動

割り込み要求により、DTC、DMAC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. DMACに対する起動要求
4. 1～3の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、表 5.2 および「第 9 章 データ転送ファコントローラ (DTC)」および「第 7 章 DMA コントローラ (DMAC)」を参照してください。

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER_0 の TCIEV を 0 にクリアする場合の例を図 5.6 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

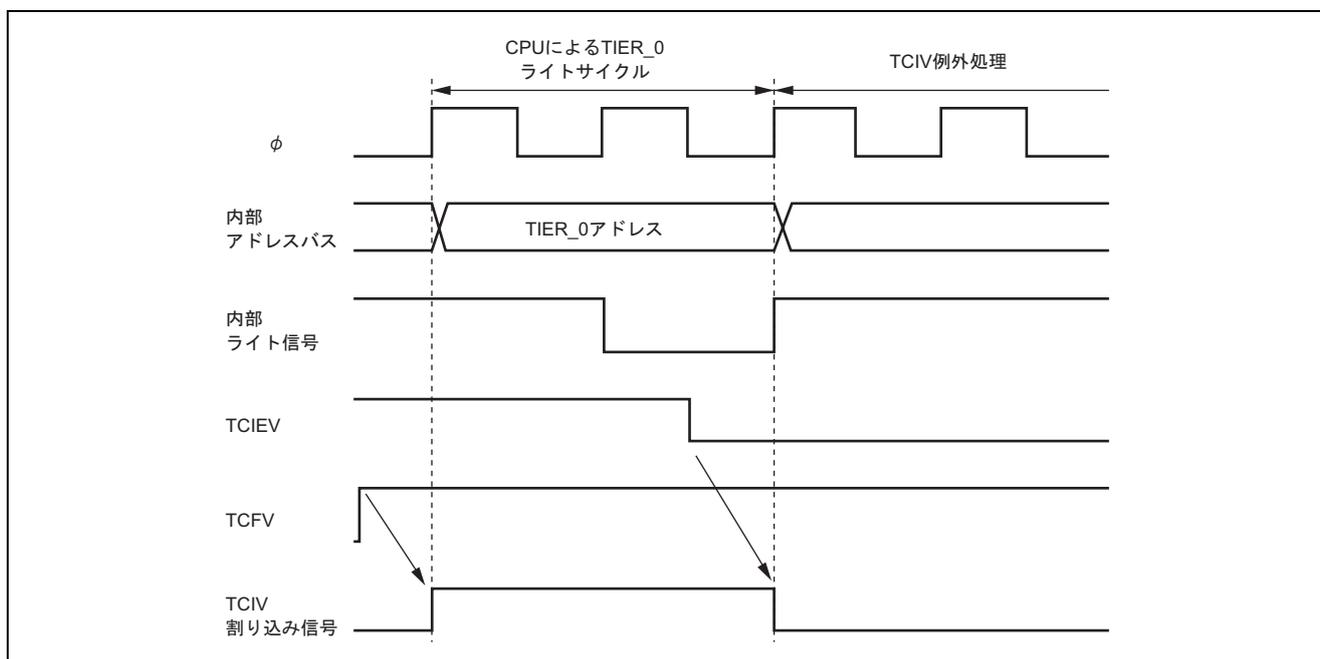


図 5.6 割り込みの発生とディスエーブルの競合

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:    EEPMOV.W  
      MOV.W    R4, R4  
      BNEL1
```

5.7.5 IRQ 端子セレクトレジスタ (ITSR) 設定の変更

ITSR の設定を変更する場合、変更前に選択されていた端子のレベルと変更後に選択された端子のレベルが異なると、内部にエッジが発生し、ISR の IRQnF (H8S/2426 グループ : n=0~15、H8S/2424 グループ : n=0~7) が意図しないタイミングで 1 にセットされることがあります。このとき IRQn 割り込み要求 (H8S/2426 グループ : n=0~15、H8S/2424 グループ : n=0~7) がイネーブルにされると、そのまま割り込み例外処理を実行します。意図しない割り込みを防ぐには、ITSR の設定変更を IRQn 割り込み要求を禁止の状態で行い、その後、IRQnF をクリアしてください。

5.7.6 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により IRQnF=1 となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部空間を 8 つのエリアに分割して管理します。バスコントローラはバス権調停機能を持っており、バスマスタである CPU、DMA コントローラ (DMAC)、EXDMA コントローラ (EXDMAC) *、およびデータトランスファコントローラ (DTC) の動作を制御します。

バスコントローラのブロック図を図 6.1 に示します。

【注】 * H8S/2424 グループではサポートしていません。

6.1 特長

- 外部空間をエリア単位で管理
外部空間を 2M バイト単位の 8 エリアに分割して管理
エリアごとにバス仕様を設定可能
バースト ROM、DRAM*¹、シンクロナス DRAM*²、アドレス/データマルチプレクス I/O インタフェースを設定可能
- 基本バスインタフェース
エリア 0~7 に対してチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
エリアごとに 8 ビットアクセス空間/16 ビットアクセス空間を選択可能
エリアごとに 2 ステートアクセス空間/3 ステートアクセス空間を選択可能
エリアごとにプログラムウェイトステートを挿入可能
エリアごとに \overline{CS} アサート期間拡張ステートを挿入可能
 \overline{WAIT} 端子による端子ウェイトを挿入可能
リードストロブ信号 (\overline{RD}) のネゲートタイミングを変更可能
- バーストROMインタフェース
エリア 0、エリア 1 に対してバースト ROM インタフェースを独立して設定可能
- アドレス/データマルチプレクスI/Oインタフェース
エリア 6、エリア 7 に対してアドレス/データマルチプレクス I/O インタフェースを設定可能
- DRAMインタフェース*¹
エリア 2~5 に対して DRAM インタフェースを設定可能
- シンクロナスDRAMインタフェース*²
エリア 2~5 を連続シンクロナス DRAM 空間に設定可能

- アイドルサイクル挿入
異なるエリア間の外部リードサイクルが連続する場合は、アイドルサイクルを挿入可能
リードサイクル後にライトサイクルが連続する場合は、アイドルサイクルを挿入可能
ライトサイクル後にリードサイクルが連続する場合は、アイドルサイクルを挿入可能
- ライトデータバッファ機能
外部ライトサイクルと内部アクセスを並列に実行可能
DMAC のシングルアドレス転送と内部アクセスを並列に実行可能
- バス権調停機能 (バスアービトレーション)
バスアービタを内蔵し、CPU、DMAC、DTC および EXDMAC*³ のバス権などを調停

【注】 *1 5V 版ではサポートしていません。

*2 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*3 H8S/2424 グループではサポートしていません。

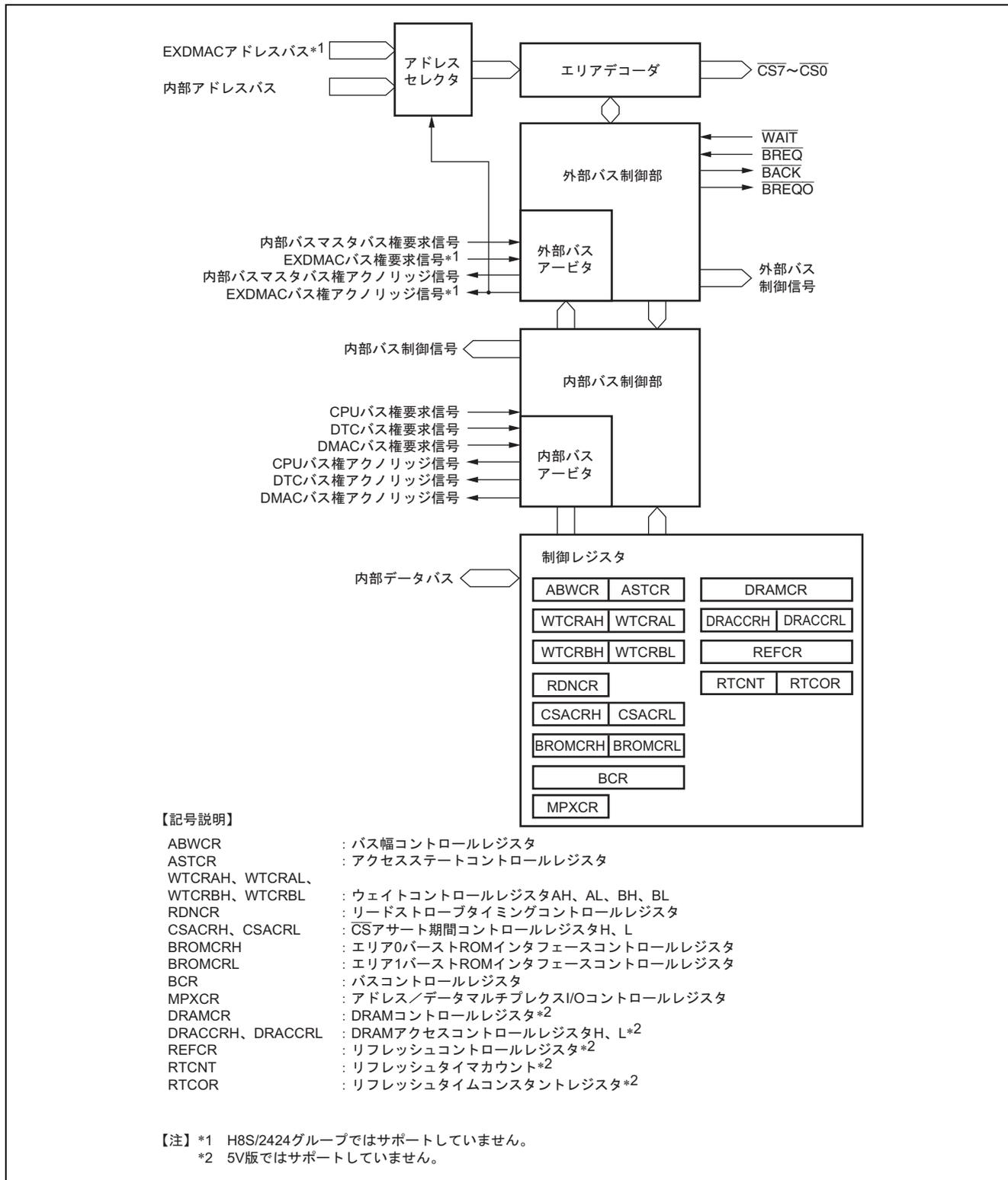


図 6.1 バスコントローラのブロック図

6.2 入出力端子

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名称	記号	入出力	機能
アドレスストロープ	AS	出力	通常空間をアクセスし、アドレスバス上のアドレス出力が有効であることを示すストロープ信号
アドレスホールド	\overline{AH}	出力	アドレス/データマルチプレクス I/O 空間設定時にアドレスの取り込みタイミングを示す信号
リード	\overline{RD}	出力	通常空間をリードしていることを示すストロープ信号
ハイライト/ライトイネーブル* ¹	$\overline{HWR}/\overline{WE}^{*1}$	出力	通常空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロープ信号/DRAM 空間のライトイネーブル信号
ローライト	\overline{LWR}	出力	通常空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロープ信号
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストロープ信号
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストロープ信号
チップセレクト 2/ ロウアドレスストロープ 2* ¹ / ロウアドレスストロープ* ²	$\overline{CS2}/$ $\overline{RAS2}^{*1}/$ \overline{RAS}^{*2}	出力	エリア 2 が選択されていることを示すストロープ信号/エリア 2 が DRAM 空間、またはエリア 2~5 を連続 DRAM 空間に設定したときの DRAM のロウアドレスストロープ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM のロウアドレスストロープ信号
チップセレクト 3/ ロウアドレスストロープ 3* ¹ / カラムアドレスストロープ* ²	$\overline{CS3}/$ $\overline{RAS3}^{*1}/$ \overline{CAS}^{*2}	出力	エリア 3 が選択されていることを示すストロープ信号/エリア 3 が DRAM 空間のときの DRAM のロウアドレスストロープ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM のカラムアドレスストロープ信号
チップセレクト 4/ ロウアドレスストロープ 4* ¹ / ライトイネーブル* ²	$\overline{CS4}/$ $\overline{RAS4}^{*1}/$ \overline{WE}^{*2}	出力	エリア 4 が選択されていることを示すストロープ信号/エリア 4 が DRAM 空間のときの DRAM のロウアドレスストロープ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM のライトイネーブル信号
チップセレクト 5/ ロウアドレスストロープ 5* ¹ / SDRAM ϕ * ²	$\overline{CS5}/$ $\overline{RAS5}^{*1}/$ SDRAM ϕ * ²	出力	エリア 5 が選択されていることを示すストロープ信号/エリア 5 が DRAM 空間のときの DRAM のロウアドレスストロープ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM の専用クロック
チップセレクト 6	$\overline{CS6}$	出力	エリア 6 が選択されていることを示すストロープ信号
チップセレクト 7	$\overline{CS7}$	出力	エリア 7 が選択されていることを示すストロープ信号
アッパーカラムアドレスストロープ* ¹ / アッパーデータマスクイネーブル* ²	$\overline{UCAS}^{*1}/$ DQMU* ²	出力	16ビット DRAM インタフェース空間のアッパーカラムアドレスストロープ信号または 8ビット DRAM 空間のカラムアドレスストロープ信号/16ビットシンクロナス DRAM インタフェース空間のアッパーデータマスク信号または 8ビットシンクロナス DRAM 空間のデータマスク信号

名称	記号	入出力	機能
ローアーカラムアドレス ストロブ/ローアーデータマスク イネーブル	$\overline{\text{LCAS}}^{*1}/$ DQML^{*2}	出力	16ビット DRAM 空間のローアーカラムアドレスストロブ 信号/16ビットシンクロナス DRAM空間のローアーデータマ スク信号
アウトプットイネーブル/ クロックイネーブル	$\overline{\text{OE}}^{*1}/\text{CKE}^{*2}$	出力	DRAM 空間のアウトプットイネーブル信号/シンクロナス DRAM 空間のクロックイネーブル信号
ウェイト	$\overline{\text{WAIT}}$	入力	外部空間をアクセスするときのウェイト要求信号
バス権要求	$\overline{\text{BREQ}}$	入力	バス権を外部バスマスタに解放することを要求するリクエ スト信号
バス権要求アクリッジ	$\overline{\text{BACK}}$	出力	バス権を外部バスマスタに解放したことを示すアクリッジ 信号
バス権要求出力	$\overline{\text{BREQO}}$	出力	外部バス権解放状態で、内部バスマスタが外部アドレス空間を アクセスするときの外部バス権要求信号
データ転送アクリッジ 1 (DMAC)	$\overline{\text{DACK1}}$	出力	DMAC チャンネル 1 がシングルアドレス転送時のデータ転送ア クリッジ信号
データ転送アクリッジ 0 (DMAC)	$\overline{\text{DACK0}}$	出力	DMAC チャンネル 0 がシングルアドレス転送時のデータ転送ア クリッジ信号
データ転送アクリッジ 3* ² (EXDMAC)	$\overline{\text{EDACK3}}^{*3}$	出力	EXDMAC チャンネル 3 がシングルアドレス転送時のデータ転送 アクリッジ信号
データ転送アクリッジ 2* ² (EXDMAC)	$\overline{\text{EDACK2}}^{*3}$	出力	EXDMAC チャンネル 2 がシングルアドレス転送時のデータ転送 アクリッジ信号

【注】 *1 5V 版ではポートしていません。

*2 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*3 H8S/2424 グループではサポートしていません。

6.3 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタAH (WTCRAH)
- ウェイトコントロールレジスタAL (WTCRAL)
- ウェイトコントロールレジスタBH (WTCRBH)
- ウェイトコントロールレジスタBL (WTCRBL)
- リードストロブタイミングコントロールレジスタ (RDNCR)
- \overline{CS} アサート期間コントロールレジスタH (CSACRH)
- \overline{CS} アサート期間コントロールレジスタL (CSACRL)
- エリア0バーストROMインタフェースコントロールレジスタH (BROMCRH)
- エリア1バーストROMインタフェースコントロールレジスタL (BROMCRL)
- バスコントロールレジスタ (BCR)
- アドレス/データマルチプレクスI/Oコントロールレジスタ (MPXCR)
- DRAMコントロールレジスタ (DRAMCR)
- DRAMアクセスコントロールレジスタ (DRACCR)
- リフレッシュコントロールレジスタ (REFCR)
- リフレッシュタイマカウンタ (RTCNT)
- リフレッシュタイムコンスタントレジスタ (RTCOR)

6.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCRは、外部アドレス空間の各エリアを8ビットアクセス空間、または16ビットアクセス空間のいずれかに設定します。

ビット	ビット名	初期値*	R/W	説明
7	ABW7	1/0	R/W	エリア7~0バス幅コントロール 対応するエリアを8ビットアクセス空間とするか、16ビットアクセス空間とするかを選択します。 0: エリアnを16ビットアクセス空間に設定 1: エリアnを8ビットアクセス空間に設定 (n=7~0)
6	ABW6	1/0	R/W	
5	ABW5	1/0	R/W	
4	ABW4	1/0	R/W	
3	ABW3	1/0	R/W	
2	ABW2	1/0	R/W	
1	ABW1	1/0	R/W	
0	ABW0	1/0	R/W	

【注】 * モード2、4では1、モード1、7では0となります。

6.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール
6	AST6	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。同時に、ウェイトステートの挿入を許可または禁止します。
5	AST5	1	R/W	
4	AST4	1	R/W	0: エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止
3	AST3	1	R/W	
2	AST2	1	R/W	1: エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可
1	AST1	1	R/W	
0	AST0	1	R/W	(n=7~0)

6.3.3 ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。また、シンクロナス DRAM*接続時は、CAS レイテンシの設定を行います。

【注】 * H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

• WTCRAH

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
14	W72	1	R/W	エリア7ウェイトコントロール2~0 ASTCRのAST7=1のとき、エリア7をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	
11	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
10	W62	1	R/W	エリア6ウェイトコントロール2~0 ASTCRのAST6=1のとき、エリア6をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	

• WTCRAL

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6 5 4	W52 W51 W50	1 1 1	R/W R/W R/W	エリア5ウェイトコントロール2~0 ASTCRのAST5=1のとき、エリア5をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
3	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2 1 0	W42 W41 W40	1 1 1	R/W R/W R/W	エリア4ウェイトコントロール2~0 ASTCRのAST4=1のとき、エリア4をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入

• WTCRBH

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
14	W32	1	R/W	エリア3ウェイトコントロール2~0 ASTCRのAST3=1のとき、エリア3をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
10	W22	1	R/W	エリア2ウェイトコントロール2~0 ASTCRのAST2=1のとき、エリア2をアクセスするときのプログラムウェイト ステート数を選択します。また、シンクロナスDRAM*接続時はCASレイテンシ の設定を行います。エリア2の設定がエリア2~5に反映されます。ASTCRのウ ェイトステートの挿入/禁止の設定によらず、CASレイテンシの設定が可能です。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入 000: エリア2~5はCASレイテンシ1のシンクロナスDRAMを接続 001: エリア2~5はCASレイテンシ2のシンクロナスDRAMを接続 010: エリア2~5はCASレイテンシ3のシンクロナスDRAMを接続 011: エリア2~5はCASレイテンシ4のシンクロナスDRAMを接続 1XX: 設定禁止
9	W21	1	R/W	
8	W20	1	R/W	

【注】 * H8S/2426 グループ、H8S/2424 グループではシンクロナスDRAM インタフェースをサポートしていません。

【記号説明】 X : Don't care

• WTCRBL

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	W12	1	R/W	エリア1ウェイトコントロール 2~0 ASTCRのAST1=1のとき、エリア1をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W11	1	R/W	
4	W10	1	R/W	
3	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	W02	1	R/W	エリア0ウェイトコントロール 2~0 ASTCRのAST0=1のとき、エリア0をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

6.3.4 リードストローブタイミングコントロールレジスタ (RDNCR)

RDNCR は、通常空間のリードアクセス時のリードストローブ信号 (\overline{RD}) のネゲートタイミングを設定します。

ビット	ビット名	初期値	R/W	説明
7	RDN7	0	R/W	リードストローブタイミングコントロール7~0
6	RDN6	0	R/W	これらのビットは対応するエリアのリードアクセス時のリードストローブのネゲートタイミングを設定します。図 6.2 に示すように RDNn=1 に設定したエリアのリードストローブは、RDNn=0 に設定したときと比べて半ステート早くネゲートします。リードデータのセットアップ/ホールドの規定も同様です。 0: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングは、リードサイクルの終わり 1: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングは、リードサイクルの終わりから半ステート手前 (n=7~0)
5	RDN5	0	R/W	
4	RDN4	0	R/W	
3	RDN3	0	R/W	
2	RDN2	0	R/W	
1	RDN1	0	R/W	
0	RDN0	0	R/W	

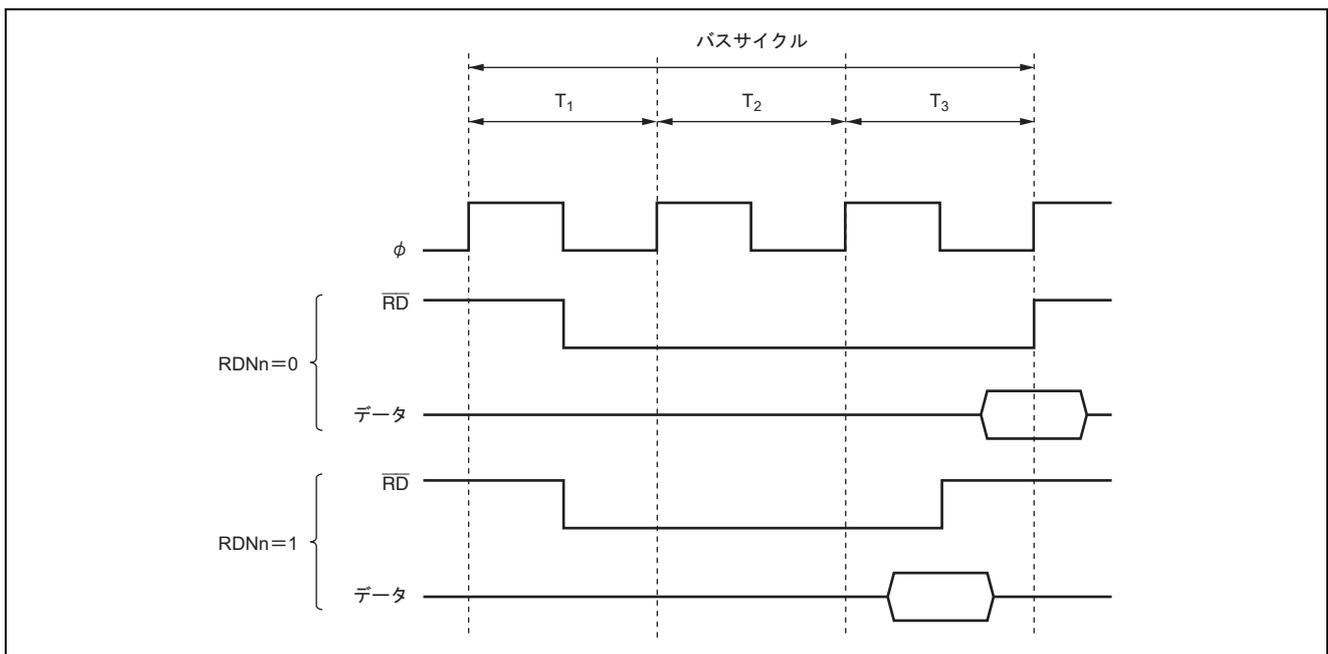


図 6.2 リードストローブネゲートタイミング (3 ステートアクセス空間の場合)

6.3.5 \overline{CS} アサート期間コントロールレジスタ H、L (CSACRH、CSACRL)

CSACRH、CSACRL は、基本バスインタフェースのチップセレクト信号 (\overline{CSn})、アドレス信号のアサート期間を拡張するか否かを選択します。 \overline{CSn} 、アドレス信号のアサート期間を拡張することにより、外部 I/O デバイスとのフレキシブルなインタフェースをとることが可能です。

• CSACRH

ビット	ビット名	初期値	R/W	説明
7	CSXH7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 1
6	CSXH6	0	R/W	Th サイクルを挿入するか否かを指定します (図 6.3 参照)。
5	CSXH5	0	R/W	CSXHn=1 に設定したエリアのアクセス時、通常のアクセスサイクルの前に
4	CSXH4	0	R/W	\overline{CSn} とアドレスがアサートされる Th サイクルが 1 ステート挿入されます。
3	CSXH3	0	R/W	0: エリア n の基本バスインタフェースをアクセス時、 \overline{CSn} 、アドレス
2	CSXH2	0	R/W	アサート期間 (Th) を拡張しない
1	CSXH1	0	R/W	1: エリア n の基本バスインタフェースをアクセス時、 \overline{CSn} 、アドレス
0	CSXH0	0	R/W	アサート期間 (Th) を拡張する (n=7~0)

• CSACRL

ビット	ビット名	初期値	R/W	説明
7	CSXT7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 2
6	CSXT6	0	R/W	Tt サイクルを挿入するか否かを指定します (図 6.3 参照)。
5	CSXT5	0	R/W	CSXTn=1 に設定したエリアのアクセス時、通常のアクセスサイクルの後に
4	CSXT4	0	R/W	\overline{CSn} とアドレスだけがアサートされる Tt サイクルが 1 ステート挿入されます。
3	CSXT3	0	R/W	0: エリア n の基本バスインタフェースをアクセス時、 \overline{CSn} 、アドレス
2	CSXT2	0	R/W	アサート期間 (Tt) を拡張しない
1	CSXT1	0	R/W	1: エリア n の基本バスインタフェースをアクセス時、 \overline{CSn} 、アドレス
0	CSXT0	0	R/W	アサート期間 (Tt) を拡張する (n=7~0)

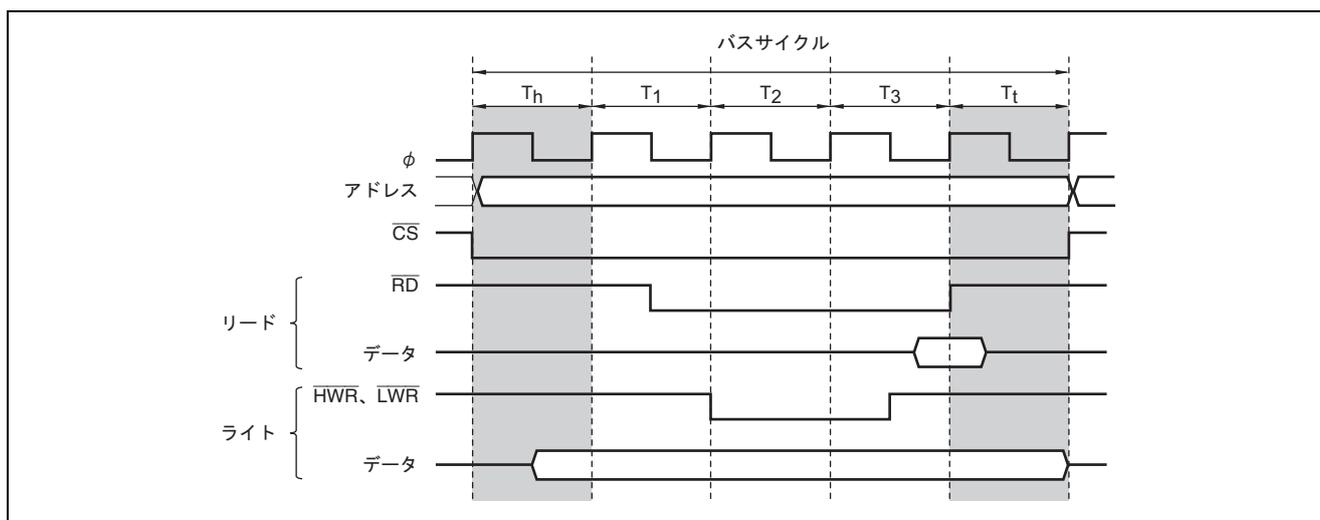


図 6.3 \overline{CS} 、アドレスアサート期間拡張 (3 ステートアクセス空間、 $RDNn=0$ の場合)

6.3.6 エリア 0 バースト ROM インタフェースコントロールレジスタ (BROMCRH) エリア 1 バースト ROM インタフェースコントロールレジスタ (BROMCRL)

BROMCRH、BROMCRL は、バースト ROM インタフェースの設定を行います。BROMCRH はエリア 0、BROMCRL はエリア 1 のバースト ROM インタフェースを独立に設定可能です。

ビット	ビット名	初期値	R/W	説明
7	BSRMn	0	R/W	バースト ROM インタフェース選択 基本バスインタフェース/バースト ROM インタフェースを選択します。 0 : 基本バスインタフェース 1 : バースト ROM インタフェース
6	BSTSn2	0	R/W	バーストサイクルセレクト バーストサイクルのステート数を選択します。 000 : 1 ステート 001 : 2 ステート 010 : 3 ステート 011 : 4 ステート 100 : 5 ステート 101 : 6 ステート 110 : 7 ステート 111 : 8 ステート
5	BSTSn1	0	R/W	
4	BSTSn0	0	R/W	
3	—	0	R/W	リザーブビット
2	—	0	R/W	リードすると常に 0 が読み出されます。初期値を変更しないでください。
1	BSWDn1	0	R/W	バーストワード数セレクト バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 00 : 最大 4 ワード 01 : 最大 8 ワード 10 : 最大 16 ワード 11 : 最大 32 ワード
0	BSWDn0	0	R/W	

(n=1、0)

6.3.7 バスコントロールレジスタ (BCR)

BCR はアイドルサイクル、外部バス解放状態のプロトコル、ライトデータバッファ機能の許可/禁止、 $\overline{\text{WAIT}}$ 端子入力の許可/禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
15	BRLE	0	R/W	外部バス解放イネーブル 外部バス権の解放を許可または禁止します。 0 : 外部バス権の解放を禁止 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ は入出力ポートとして使用可 1 : 外部バス権の解放を許可
14	BREQOE	0	R/W	$\overline{\text{BREQO}}$ 端子イネーブル 外部バス解放状態で、内部バスマスタが外部アドレス空間をアクセスするとき、またはリフレッシュ*要求が発生したときに外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQO}}$) の出力を制御します。 0 : $\overline{\text{BREQO}}$ 信号出力禁止、 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可能 1 : $\overline{\text{BREQO}}$ 信号出力許可
13	—	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
12	IDLC	1	R/W	アイドルサイクルステート数選択 ICIS2、ICIS1、ICIS0 で設定されたアイドルサイクルのステート数を指定します。 0 : アイドルサイクルは 1 ステート 1 : アイドルサイクルは 2 ステート
11	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する
10	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルの挿入することができます。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する
9	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクル、または DMAC のシングルアドレス転送のときライトデータバッファ機能を使用できます。 0 : ライトデータバッファ機能を使用しない 1 : ライトデータバッファ機能を使用する

ビット	ビット名	初期値	R/W	説明
8	WAITE	0	R/W	WAIT 端子イネーブル WAIT 端子によるウェイト入力の許可または禁止を選択します。 0: $\overline{\text{WAIT}}$ 端子によるウェイト入力を禁止 $\overline{\text{WAIT}}$ 端子は入出力ポートとして使用可能 1: $\overline{\text{WAIT}}$ 端子によるウェイト入力を許可
7~3	—	すべて0	R/W	リザーブビット リード/ライト可能ですが0をライトしてください。
2	ICIS2	0	R/W	アイドルサイクル挿入2 外部ライトサイクルと外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
1, 0	—	すべて0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

【注】 * 5V 版ではリフレッシュ制御をサポートしていません。

6.3.8 アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)

MPXCR は、アドレス/データマルチプレクス I/O インタフェースの設定を行います。

ビット	ビット名	初期値	R/W	説明
7	MPXE	0	R/W	アドレス/データマルチプレクス I/O インタフェースイネーブル エリア6、エリア7のバスインタフェースを選択します。 0: 基本バスインタフェース 1: アドレス/データマルチプレクス I/O インタフェース
6~1	—	すべて0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
0	ADDEX	0	R/W	アドレス出力サイクル拡張 アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトステートを挿入するか否かを選択します。 0: ウェイトステートを挿入しない 1: ウェイトステートを1ステート挿入する

6.3.9 DRAM コントロールレジスタ (DRAMCR)

DRAMCR は、DRAM/シンクロナス DRAM インタフェースの設定を行います。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。
5V 版では DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	OEE	0	R/W	<p>\overline{OE} 出カインーブル</p> <p>EDO ページモードを備えた DRAM の接続時に使用する \overline{OE} 信号を出力できます。\overline{OE} 信号は DRAM 空間に設定したすべてのエリアに共通です。</p> <p>シンクロナス DRAM 接続時は CKE 信号を出力できます。CKE 信号は連続シンクロナス DRAM 空間で共通です。</p> <p>0 : \overline{OE}/CKE 信号出力禁止、\overline{OE}/CKE 端子は入出力ポートとして使用可能 1 : \overline{OE}/CKE 信号出力許可</p>
14	RAST	0	R/W	<p>\overline{RAS} アサートタイミング選択</p> <p>DRAM アクセス時の \overline{RAS} 信号を Tr サイクルの先頭 (ϕ 立ち上がりエッジ) からアサートするか、ϕ 立ち下がりエッジからアサートするかを選択します。</p> <p>図 6.4 に RAST ビットの設定と \overline{RAS} アサートタイミングの関係を示します。このビットによる設定は、DRAM 空間に設定したすべてのエリアに共通です。</p> <p>0 : \overline{RAS} を Tr サイクルの ϕ 立ち下がりエッジでアサート 1 : \overline{RAS} を Tr サイクルの先頭からアサート</p>
13	—	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>
12	CAST	0	R/W	<p>カラムアドレス出力サイクル数選択</p> <p>DRAM アクセス時のカラムアドレス出力サイクルを 2 ステートにするか、3 ステートにするかを選択します。このビットによる設定は、DRAM 空間に設定したすべてのエリアに共通です。</p> <p>0 : カラムアドレス出力サイクルは 2 ステート 1 : カラムアドレス出力サイクルは 3 ステート</p>
11	—	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	RMTS2	0	R/W	DRAM/連続シンクロナス DRAM 空間選択
9	RMTS1	0	R/W	エリア 2~5 に DRAM/連続シンクロナス DRAM 空間を設定します。
8	RMTS0	0	R/W	<p>連続 DRAM 空間を設定すると、1 エリアの容量 2M バイトを超える大容量 DRAM を接続することができます。この場合、\overline{RAS} 信号は $\overline{CS2}$ 端子から出力されます。</p> <p>連続シンクロナス DRAM 空間を設定すると、1 エリアの容量 2M バイトを超える大容量シンクロナス DRAM を設定することができます。この場合、\overline{RAS}、\overline{CAS}、\overline{WE} 信号は、それぞれ $\overline{CS2}$、$\overline{CS3}$、$\overline{CS4}$ 端子から出力されます。またシンクロナス DRAM モードに設定とすると、シンクロナス DRAM のモードレジスタ設定を行うことができます。</p> <p>000 : 通常空間 001 : エリア 5~3 は通常空間、エリア 2 は DRAM 空間 010 : エリア 5、4 は通常空間、エリア 3、2 は DRAM 空間 011 : エリア 5~2 は DRAM 空間 100 : 連続シンクロナス DRAM 空間 (H8S/2426R グループのみ設定可能) 101 : シンクロナス DRAM モード設定 (H8S/2426R グループのみ設定可能) 110 : 設定禁止 111 : エリア 5~2 は連続 DRAM 空間</p>
7	BE	0	R/W	<p>バーストアクセスイネーブル</p> <p>DRAM/連続シンクロナス DRAM 空間に指定したエリアへのバーストアクセスの許可または禁止を選択します。DRAM/連続シンクロナス DRAM 空間のバーストアクセスは高速ページモードとなります。EDO ページモードを備えた DRAM を使用する場合には、\overline{OE} 信号を接続してください。</p> <p>0 : フルアクセス 1 : 高速ページモードでアクセス</p>
6	RCDM	0	R/W	<p>\overline{RAS} ダウンモード</p> <p>通常空間へのアクセス、内部 I/O レジスタへのアクセスのため DRAM 空間へのアクセスが途切れたときに、\overline{RAS} 信号を Low レベルにしたまま次の DRAM へのアクセスを待つか (\overline{RAS} ダウンモード)、\overline{RAS} 信号を High レベルに戻すか (\overline{RAS} アップモード) を選択します。このビットの設定は、BE ビットに 1 を設定したときのみ有効です。</p> <p>また、RCMD=1 の状態で \overline{RAS} ダウン中に、このビットを 0 にクリアした場合、その時点で \overline{RAS} ダウン状態は解除され、\overline{RAS} は High レベルとなります。</p> <p>連続シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。</p> <p>0 : DRAM 空間アクセス時、\overline{RAS} アップモードを選択 1 : DRAM 空間アクセス時、\overline{RAS} ダウンモードを選択</p>

ビット	ビット名	初期値	R/W	説明
5	DDS	0	R/W	<p>DMAC シングルアドレス転送時オプション</p> <p>DRAM/シンクロナス DRAM インタフェースで DMAC のシングルアドレス転送を行う際に、必ずフルアクセスを行うか、バーストアクセスを許可するかを選択します。</p> <p>DRAMCR の BE を 0 に設定して、DRAM/シンクロナス DRAM のバーストアクセスを禁止した場合、このビットの設定に関係なく、DMAC のシングルアドレス転送はフルアクセスになります。</p> <p>このビットは他のバスマスタの外部アクセス、DMAC のデュアルアドレス転送には影響を与えません。</p> <p>0 : 必ずフルアクセスを実行 1 : バーストアクセスを許可</p>
4	EDDS	0	R/W	<p>EXDMAC シングルアドレス転送時オプション</p> <p>DRAM/シンクロナス DRAM インタフェースで EXDMAC のシングルアドレス転送を行う際に、必ずフルアクセスを行うか、バーストアクセスを許可するかを選択します。</p> <p>DRAMCR の BE ビットを 0 に設定して、DRAM/シンクロナス DRAM のバーストアクセスを禁止した場合、このビットに関係なく、EXDMAC のシングルアドレス転送はフルアクセスになります。</p> <p>このビットは他のバスマスタの外部アクセス、EXDMAC デュアルアドレス転送には影響を与えません。</p> <p>0 : 必ずフルアクセスを実行 1 : バーストアクセスを許可</p>
3	—	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	MXC2	0	R/W	アドレスマルチプレクス選択
1	MXC1	0	R/W	ロウアドレス/カラムアドレスのアドレスマルチプレクスに対するロウアドレスの低位側へのシフト量を選択します。同時に、DRAM/シンクロナス DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。
0	MXC0	0	R/W	<p>DRAM インタフェース使用時には MXC2 ビットを 0 に設定してください。連続シンクロナス DRAM 空間設定時に MXC2 ビットを 1 に設定すると、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。詳細は「6.7.2 および 6.8.2 アドレスマルチプレクス」を参照してください。</p> <p>DRAM インタフェース</p> <p>000 : 8 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A8</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A9</p> <p>001 : 9 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A9</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A10</p> <p>010 : 10 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A10</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A11</p> <p>011 : 11 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A11</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A12</p> <p>シンクロナス DRAM インタフェース</p> <p>100 : 8 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A8</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A9</p> <p>Precharge-sel はカラムアドレスの A15~A9</p> <p>101 : 9 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A9</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A10</p> <p>Precharge-sel はカラムアドレスの A15~A10</p> <p>110 : 10 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A10</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A11</p> <p>Precharge-sel はカラムアドレスの A15~A11</p> <p>111 : 11 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A11</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23~A12</p> <p>Precharge-sel はカラムアドレスの A15~A12</p>

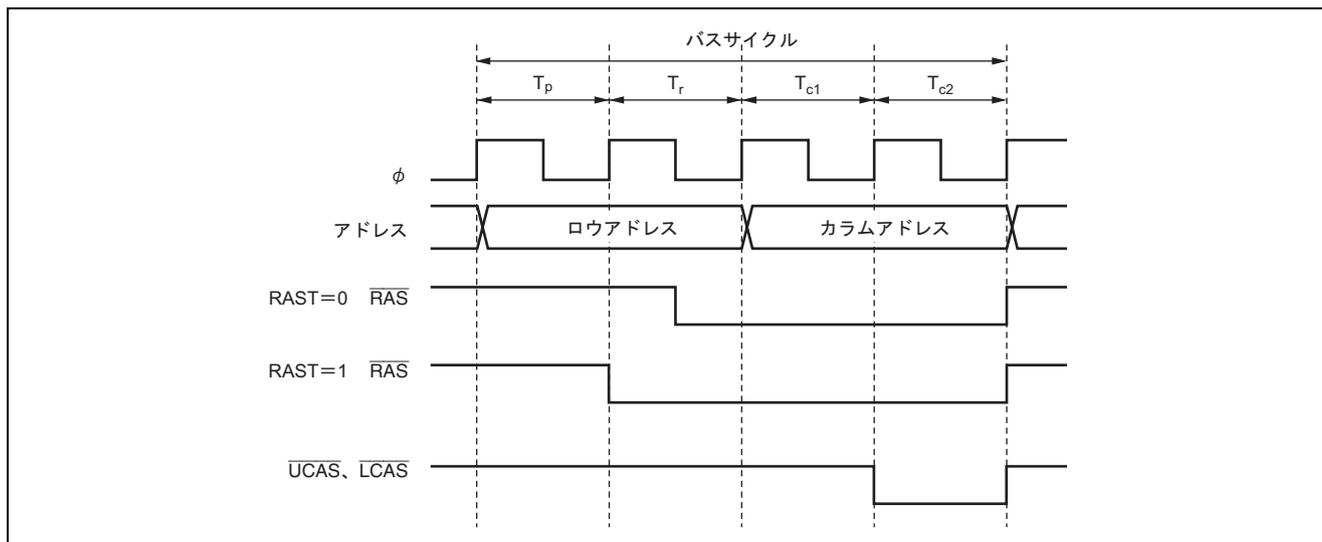


図 6.4 \overline{RAS} 信号アサートタイミング (カラムアドレス出力サイクル 2 ステート、フルアクセスする場合)

6.3.10 DRAM アクセスコントロールレジスタ (DRACCR)

DRACCR は、DRAM/シンクロナス DRAM インタフェースのバス仕様を設定します。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

5V 版では DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	DRMI	0	R/W	アイドルサイクル挿入 DRAM/シンクロナス DRAM アクセスサイクルの後に通常空間アクセスサイクルが連続する場合、DRAM/シンクロナス DRAM アクセスサイクルの後にアイドルサイクルを挿入することができます。アイドルサイクル挿入の条件、ステート数などの設定は BCR レジスタの ICIS2、ICIS1、ICIS0、IDLC ビットの設定に従います。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する
14	—	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
13	TPC1	0	R/W	プリチャージステート制御
12	TPC0	0	R/W	通常アクセス時ならびにリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00 : 1 ステート 01 : 2 ステート 10 : 3 ステート 11 : 4 ステート

ビット	ビット名	初期値	R/W	説明
11	SDWCD*	0	R/W	連続シンクロナス DRAM 空間ライトアクセス時、CAS レイテンシ制御サイクル無効 シンクロナス DRAM のライトアクセス時に WTCRBH の設定により挿入される CAS レイテンシ制御サイクル (Tcl) を無効にします (図 6.5 参照)。 0 : CAS レイテンシ制御サイクル有効 1 : CAS レイテンシ制御サイクル無効
10	—	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
9	RCD1	0	R/W	RAS、CAS 間ウェイト制御 \overline{RAS} アサートサイクルと \overline{CAS} アサートサイクルの間に挿入するウェイトサイクルを選択します。 00 : ウェイトサイクルを挿入しない 01 : ウェイトサイクルを 1 ステート挿入する 10 : ウェイトサイクルを 2 ステート挿入する 11 : ウェイトサイクルを 3 ステート挿入する
8	RCD0	0	R/W	
7~4	—	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
3	CKSPE*	0	R/W	クロックサスペンドイネーブル シンクロナス DRAM インタフェースで DMAC、EXDMAC のシングルアドレス転送時に、リードデータを拡張するためのクロックサスペンドモードを有効にします。 0 : クロックサスペンドモードを禁止する 1 : クロックサスペンドモードを有効にする
2	—	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
1	RDXC1*	0	R/W	リードデータ拡張サイクル数選択 クロックサスペンドモードにより挿入されるリードデータ拡張サイクル (Tsp) の挿入ステート数を選択します。このビットは CKSPE ビットが 1 にセットされているときに有効となります。 00 : 1 ステート挿入する 01 : 2 ステート挿入する 10 : 3 ステート挿入する 11 : 4 ステート挿入する
0	RDXC0*	0	R/W	

【注】 * H8S/2426 グループ、H8S/2424 グループではサポートしていません。

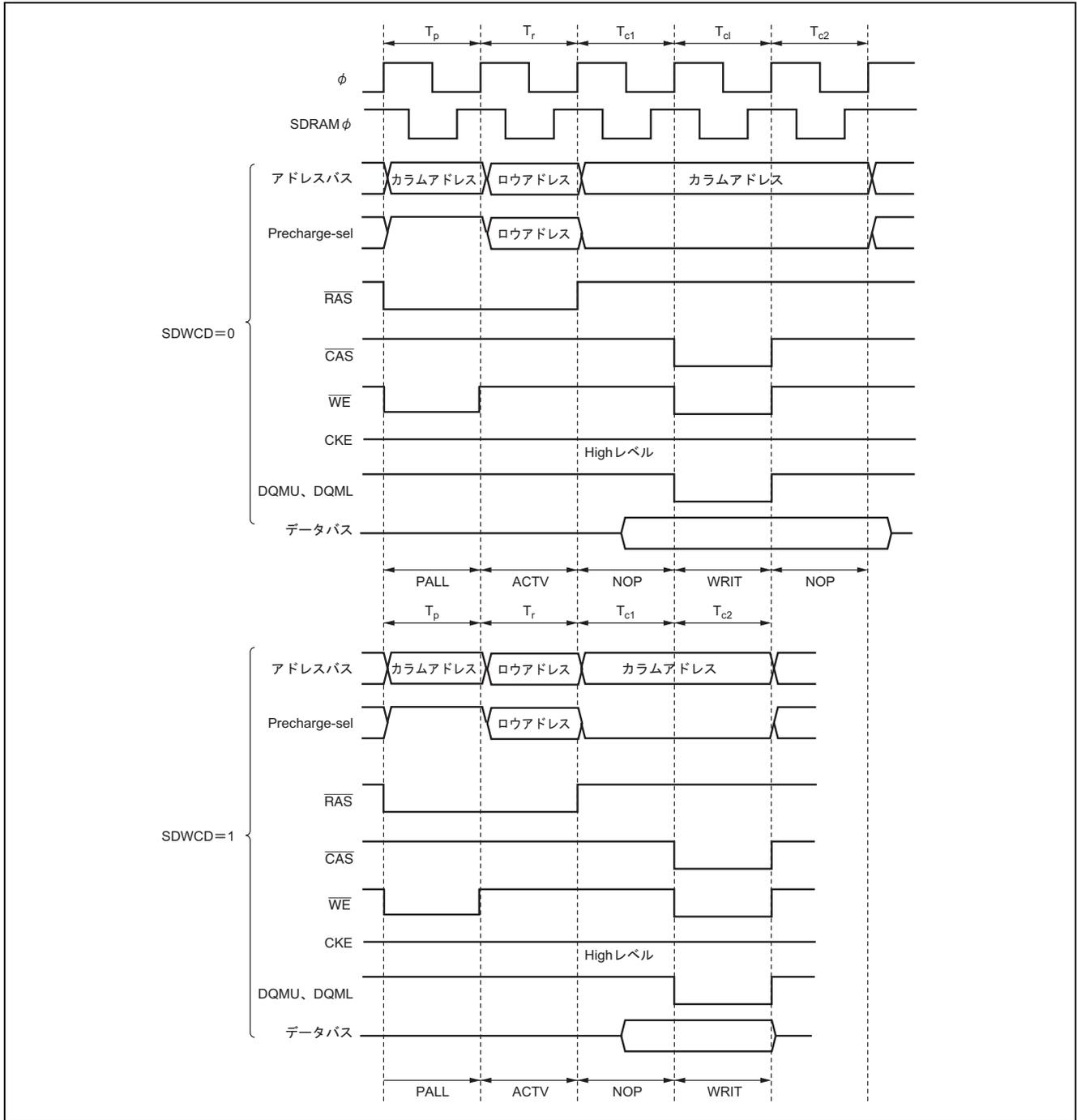


図 6.5 連続シンクロナス DRAM 空間ライトアクセス時の CAS レイテンシ制御サイクル無効タイミング (CAS レイテンシ 2 の場合)

6.3.11 リフレッシュコントロールレジスタ (REFCR)

REFCR は、DRAM/シンクロナス DRAM インタフェースのリフレッシュの制御を設定します。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。
5V 版では DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ</p> <p>RTCNT と RTCOR の値が一致したことを示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • RFSHE ビットが 0 にクリアされた状態で、CMF=1 をリードした後、CMF に 0 をライトしたとき • RFSHE ビットが 1 にセットされた状態で、CBR リフレッシュが実行されたとき <p>[セット条件]</p> <p>RTCOR=RTCNT となったとき</p>
14	CMIE	0	R/W	<p>コンペアマッチ割り込みイネーブル</p> <p>CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMI) を許可または禁止します。</p> <p>このビットはリフレッシュ制御を行わない場合 (RFSHE=0 のとき) に有効です。RFSHE ビットに 1 を設定してリフレッシュ制御を行っている場合 (RFSHE=1 のとき) このビットは常に 0 にクリアされており、ライトは無効です。</p> <p>0 : CMF フラグによる割り込み要求を禁止 1 : CMF フラグによる割り込み要求を許可</p>
13 12	RCW1 RCW0	0 0	R/W R/W	<p>CAS、RAS 間ウェイト制御</p> <p>DRAM/シンクロナス DRAM リフレッシュサイクルの $\overline{\text{CAS}}$ アサートサイクルと $\overline{\text{RAS}}$ アサートサイクルの間に挿入するウェイトサイクル数を選択します。</p> <p>00 : ウェイトステートを挿入しない 01 : ウェイトステートを 1 ステート挿入する 10 : ウェイトステートを 2 ステート挿入する 11 : ウェイトステートを 3 ステート挿入する</p>
11	—	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
10	RTCK2	0	R/W	リフレッシュカウンタクロックセレクト
9	RTCK1	0	R/W	リフレッシュカウンタのカウンタアップに使用するクロックを選択します。
8	RTCK0	0	R/W	<p>入力クロックを選択すると、リフレッシュカウンタがカウンタアップを開始します。</p> <p>000 : カウンタ動作停止</p> <p>001 : $\phi/2$ でカウンタ</p> <p>010 : $\phi/8$ でカウンタ</p> <p>011 : $\phi/32$ でカウンタ</p> <p>100 : $\phi/128$ でカウンタ</p> <p>101 : $\phi/512$ でカウンタ</p> <p>110 : $\phi/2048$ でカウンタ</p> <p>111 : $\phi/4096$ でカウンタ</p>
7	RFSHE	0	R/W	<p>リフレッシュ制御</p> <p>リフレッシュ制御を行うことができます。リフレッシュ制御を行わないときは、リフレッシュタイマをインターバルタイマとして使用できます。</p> <p>0 : リフレッシュ制御を行わない</p> <p>1 : リフレッシュ制御を行う</p>
6	CBRM	0	R/M	<p>CBR リフレッシュモード</p> <p>CBR リフレッシュを他の外部アクセスと並行して行うか、CBR リフレッシュのみ行うかを選択します。</p> <p>連続シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。</p> <p>0 : CAS ビフォ RAS リフレッシュ時の外部アクセスを許可</p> <p>1 : CAS ビフォ RAS リフレッシュ時の外部アクセスを禁止</p>
5	RLW1	0	R/W	リフレッシュサイクルウェイト制御
4	RLW0	0	R/W	<p>DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクル/シンクロナス DRAM インタフェースのオートリフレッシュサイクルに挿入するウェイトステート数を選択します。DRAM/連続シンクロナス DRAM 空間に設定しているすべてのエリアに共通です。</p> <p>00 : ウェイトステートを挿入しない</p> <p>01 : ウェイトステートを 1 ステート挿入する</p> <p>10 : ウェイトステートを 2 ステート挿入する</p> <p>11 : ウェイトステートを 3 ステート挿入する</p>

ビット	ビット名	初期値	R/W	説明
3	SLFRF	0	R/W	<p>セルフリフレッシュイネーブル</p> <p>ソフトウェアスタンバイ状態に遷移するときに、このビットに1がセットされていると DRAM/シンクロナス DRAM に対してセルフリフレッシュモードを設定します。RFSHE=1 に設定してリフレッシュ動作を行う場合に有効です。</p> <p>ソフトウェアスタンバイモードから復帰後は、クリアされます。</p> <p>0 : セルフリフレッシュを禁止 1 : セルフリフレッシュを許可</p>
2	TPCS2	0	R/W	セルフリフレッシュ時プリチャージサイクル制御
1	TPCS1	0	R/W	セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。
0	TPCS0	0	R/W	<p>セルフリフレッシュ直後のプリチャージサイクルのステート数は DRACCR レジスタの TPC1、TPC0 ビットで設定したステート数との加算になります。</p> <p>000 : TPC 設定値と同値 001 : TPC 設定値+1 ステート 010 : TPC 設定値+2 ステート 011 : TPC 設定値+3 ステート 100 : TPC 設定値+4 ステート 101 : TPC 設定値+5 ステート 110 : TPC 設定値+6 ステート 111 : TPC 設定値+7 ステート</p>

6.3.12 リフレッシュタイマカウンタ (RTCNT)

RTCNT は 8 ビットのリード/ライト可能なアップカウンタです。RTCNT は、REFCR の RTCK2~RTCK0 ビットで選択された内部クロックによりカウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき REFCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、RFSHE ビットが 0 にクリアされているとき、REFCR の CMIE ビットが 1 にセットされると、コンペアマッチ割り込み (CMI) が発生します。

RTCNT は、リセットおよびハードウェアスタンバイモード時 H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】 5V 版ではリフレッシュ制御をサポートしていません。

6.3.13 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は 8 ビットのリード/ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、リセットおよびハードウェアスタンバイモード時 H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】 5V 版ではリフレッシュ制御をサポートしていません。

6.4 バス制御

6.4.1 エリア分割

バスコントローラは、アドレス 16M バイトのアドレス空間を、2M バイト単位でエリア 0~7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。各エリアごとに、チップセレクト信号 ($\overline{CS0}$ ~ $\overline{CS7}$) を出力することができます。図 6.6 にメモリマップの概要を示します。

H'000000	エリア0 (2Mバイト)
H'1FFFFFF H'200000	エリア1 (2Mバイト)
H'3FFFFFF H'400000	エリア2 (2Mバイト)
H'5FFFFFF H'600000	エリア3 (2Mバイト)
H'7FFFFFF H'800000	エリア4 (2Mバイト)
H'9FFFFFF H'A00000	エリア5 (2Mバイト)
H'BFFFFFF H'C00000	エリア6 (2Mバイト)
H'DFFFFFF H'E00000	エリア7 (2Mバイト)
--- H'FFFFFF	

図 6.6 エリア分割の様子

6.4.2 バス仕様

外部空間のバス仕様は、バス幅、アクセスステート数、プログラムウェイトステート数、リードストロブタイミング、チップセレクト ($\overline{\text{CS}}$) アサート期間拡張ステートの5つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は、ABWCRにより8ビットまたは16ビットを選択します。8ビットバスを選択したエリアが8ビットアクセス空間、16ビットバスを選択したエリアが16ビットアクセス空間となります。すべてのエリアを8ビットアクセス空間に設定すると8ビットバスモードに、いずれかのエリアを16ビットアクセス空間に設定すると16ビットバスモードになります。

(2) アクセスステート数

アクセスステート数は、ASTCRにより2ステートまたは3ステートを選択します。2ステートアクセスを選択したエリアが2ステートアクセス空間、3ステートアクセスを選択したエリアが3ステートアクセス空間となります。なお、DRAM/シンクロナス DRAM インタフェースやバースト ROM インタフェースでは、ASTCRの設定によらず、アクセスステート数が決まることがあります。

2ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。3ステートアクセス空間に設定すると、WTCRA、WTCRBによるプログラムウェイトと、 $\overline{\text{WAIT}}$ 端子による外部ウェイトを挿入することが可能となります。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。5V 版では DRAM インタフェースをサポートしていません。

(3) プログラムウェイトステート数

ASTCR により 3 ステートアクセス空間に設定したとき、WTCRA、WTCRB により自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~7 ステートを選択可能です。バス幅、アクセスステート数、プログラムウェイトステート数による基本バスインタフェースの各エリアのバス仕様を表 6.2 に示します。

表 6.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WTCRA、WTCRB			バス仕様 (基本バスインタフェース)					
ABWn	ASTn	Wn2	Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数			
0	0	—	—	—	16	2	0			
				0						
	1	0	0	0				0	3	0
				1				0		
				1				0		
				1				0		
				1				0		
				1				0		
				1				0		
				1				0		
1	0	—	—	—	8	2	0			
				0						
	1	0	0	0				0	3	0
				1				0		
				1				0		
				1				0		
				1				0		
				1				0		
				1				0		
				1				0		

(n=0~7)

(4) リードストローブタイミング

RDNCR により、基本バスインタフェース空間のリードストローブ (\overline{RD}) のネゲートタイミングを 2 種類 (リードサイクルの終わり、またはリードサイクルの終わりから半ステート前) から選択することができます。

(5) チップセレクト (\overline{CS}) アサート期間拡張ステート

外部 I/O デバイスの中にはアドレス、 \overline{CS} 信号と、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} などのストローブ信号との間のセットアップ時間やホールド時間が必要なものがあります。CSACR により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレスだけがアサートされるステートを挿入することができます。

6.4.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などと直結が可能な基本バスインタフェース、アドレス/データマルチプレクスが必要な周辺 LSI の直結が可能なアドレス/データマルチプレクス I/O インタフェース、DRAM と直結が可能な DRAM インタフェース、シンクロナス DRAM との直結が可能なシンクロナス DRAM インタフェースおよびバースト ROM と直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、アドレス/データマルチプレクス I/O インタフェースを設定したエリアがアドレス/データマルチプレクス I/O 空間、DRAM インタフェースを設定したエリアが DRAM 空間、シンクロナス DRAM インタフェースを設定したエリアが連続シンクロナス DRAM 空間、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。5V 版では DRAM インタフェースをサポートしていません。

(1) エリア 0

エリア 0 は内蔵 ROM 有効拡張モードでは内蔵 ROM を含んでおり、内蔵 ROM を除いた空間が外部空間となります。内蔵 ROM 無効拡張モードではエリア 0 のすべての空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア 0 は、基本バスインタフェース、またはバースト ROM インタフェースを選択することができます。

(2) エリア 1

エリア 1 は、外部拡張モードのとき、エリア 1 のすべての空間が外部空間となります。

エリア 1 の外部空間をアクセスするとき、 $\overline{CS1}$ 信号を出力することができます。

エリア 1 は、基本バスインタフェース、またはバースト ROM インタフェースを選択することができます。

(3) エリア 2~5

エリア 2~5 は、外部拡張モードのとき、エリア 2~5 のすべての空間が外部空間となります。

エリア 2~5 の外部空間をアクセスするとき、 $\overline{CS2}$ ~ $\overline{CS5}$ 信号を出力することができます。

エリア 2~5 は、基本バスインタフェース、DRAM インタフェース、シンクロナス DRAM インタフェースを選択することができます。DRAM インタフェースでは、 $\overline{CS2}$ ~ $\overline{CS5}$ 信号は $\overline{RAS2}$ ~ $\overline{RAS5}$ 信号として使用されます。

エリア 2~5 を連続 DRAM 空間に設定すると、64M ビット DRAM など大容量 DRAM を接続することができます。このとき、 $\overline{CS2}$ 信号が連続 DRAM 空間の \overline{RAS} 信号として使用されます。

エリア 2~5 を連続シンクロナス DRAM 空間に設定すると、64M ビットまでのシンクロナス DRAM など大容量シンクロナス DRAM を接続することができます。このとき $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 端子は、それぞれ連続シンクロナス DRAM 空間の \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 、CLK 信号として使用されます。また、 \overline{OE} 端子は CKE 信号として使用されます。

(4) エリア 6

エリア 6 は、外部拡張モードのとき、エリア 6 のすべての空間が外部空間となります。

エリア 6 の外部空間をアクセスするとき、 $\overline{CS6}$ 信号を出力することができます。

エリア 6 は基本バスインタフェース、またはアドレス/データマルチプレクス I/O インタフェースを選択することができます。

(5) エリア 7

エリア 7 は、内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると内蔵 RAM は無効となり、対応するアドレスは外部空間になります。

エリア 7 の外部空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。

エリア 7 のメモリインタフェースには、基本バスインタフェースまたはアドレス/データマルチプレクス I/O インタフェースを選択することができます。

6.4.4 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS0}$ ~ $\overline{CS7}$) を出力することができます。 $\overline{CS0}$ ~ $\overline{CS7}$ 信号は、当該エリアの外部空間をアクセスしたとき Low レベルを出力します。図 6.7 に $\overline{CS0}$ ~ $\overline{CS7}$ 信号の出力タイミング例を示します。

$\overline{CS0}$ ~ $\overline{CS7}$ 信号出力の許可または禁止は各 $\overline{CS0}$ ~ $\overline{CS7}$ 端子に対応するポートのデータディレクションレジスタ (DDR) で設定します。

内蔵 ROM 無効拡張モードでは、 $\overline{CS0}$ 端子はリセット後に出力状態になっています。 $\overline{CS1}$ ~ $\overline{CS7}$ 端子はリセット後に入力状態になっていますので、 $\overline{CS1}$ ~ $\overline{CS7}$ 信号を出力するときには、対応する DDR および PFCR0 を 1 にセットしてください。

内蔵 ROM 有効拡張モードでは、 $\overline{CS0}$ ~ $\overline{CS7}$ 端子はリセット後にすべて入力状態になっていますので、 $\overline{CS0}$ ~ $\overline{CS7}$ 信号を出力するときには対応する DDR および PFCR0 を 1 にセットしてください。

なお、エリア 2~5 を DRAM*¹ 空間に設定したとき、 $\overline{CS2}$ ~ $\overline{CS5}$ 出力は $\overline{RAS2}$ ~ $\overline{RAS5}$ 信号、連続 DRAM 空間に設定すると、 $\overline{CS2}$ 出力は \overline{RAS} 信号として使用されます。

H8S/2426R では、エリア 2~5 を連続シンクロナス DRAM*² 空間に設定したとき、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力はそれぞれ、 \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 、CLK 信号として使用されます。

【注】 H8S/2424 グループで $\overline{CS7}$ 信号を出力するときには、PFCR1 の A23E ビットを 0 にクリアしてください。

*1 5V 版では DRAM インタフェースをサポートしていません。

*2 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

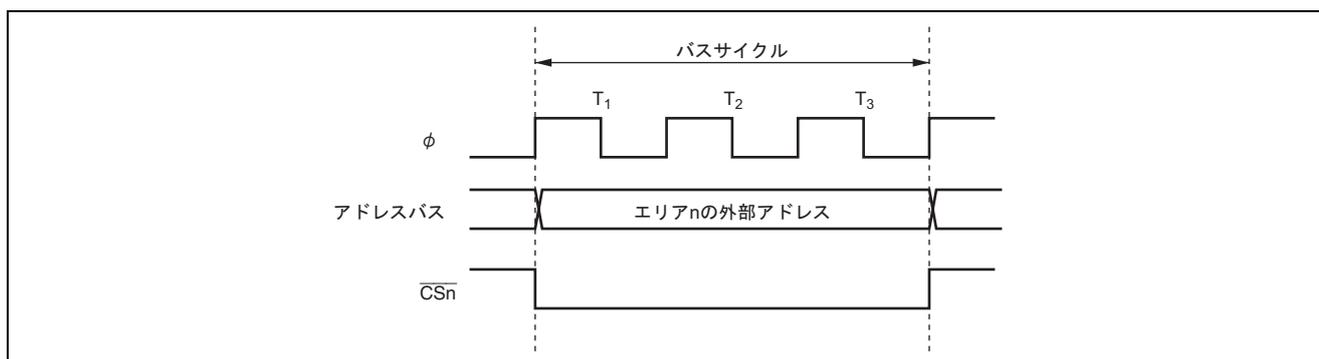


図 6.7 \overline{CSn} 信号出力タイミング (n=0~7)

6.5 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

6.5.1 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき上位側データバス (D15～D8) を使用するか、下位側データバス (D7～D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、または 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.8 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15～D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

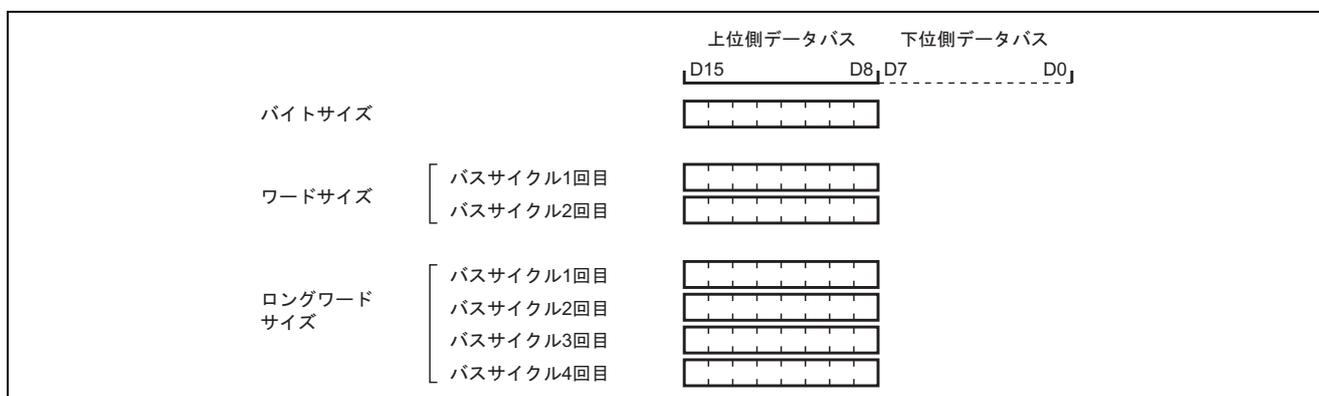


図 6.8 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 6.9 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

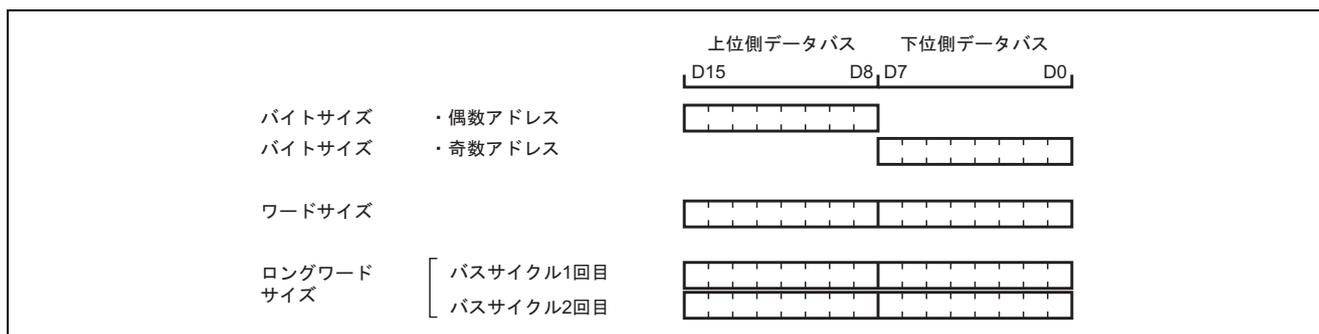


図 6.9 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.5.2 有効ストロープ

表 6.3 にアクセス空間と使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.3 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8 ビット アクセス空間	バイト	リード	—	\overline{RD}	有効	無効
		ライト	—	\overline{HWR}		Hi-Z
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	—	\overline{RD}	有効	有効
		ライト	—	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 Hi-Z: ハイインピーダンス状態

無効: 入力状態で、入力値は無視されます。

6.5.3 基本動作タイミング

(1) 8 ビット 2 ステートアクセス空間

図 6.10 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができません。

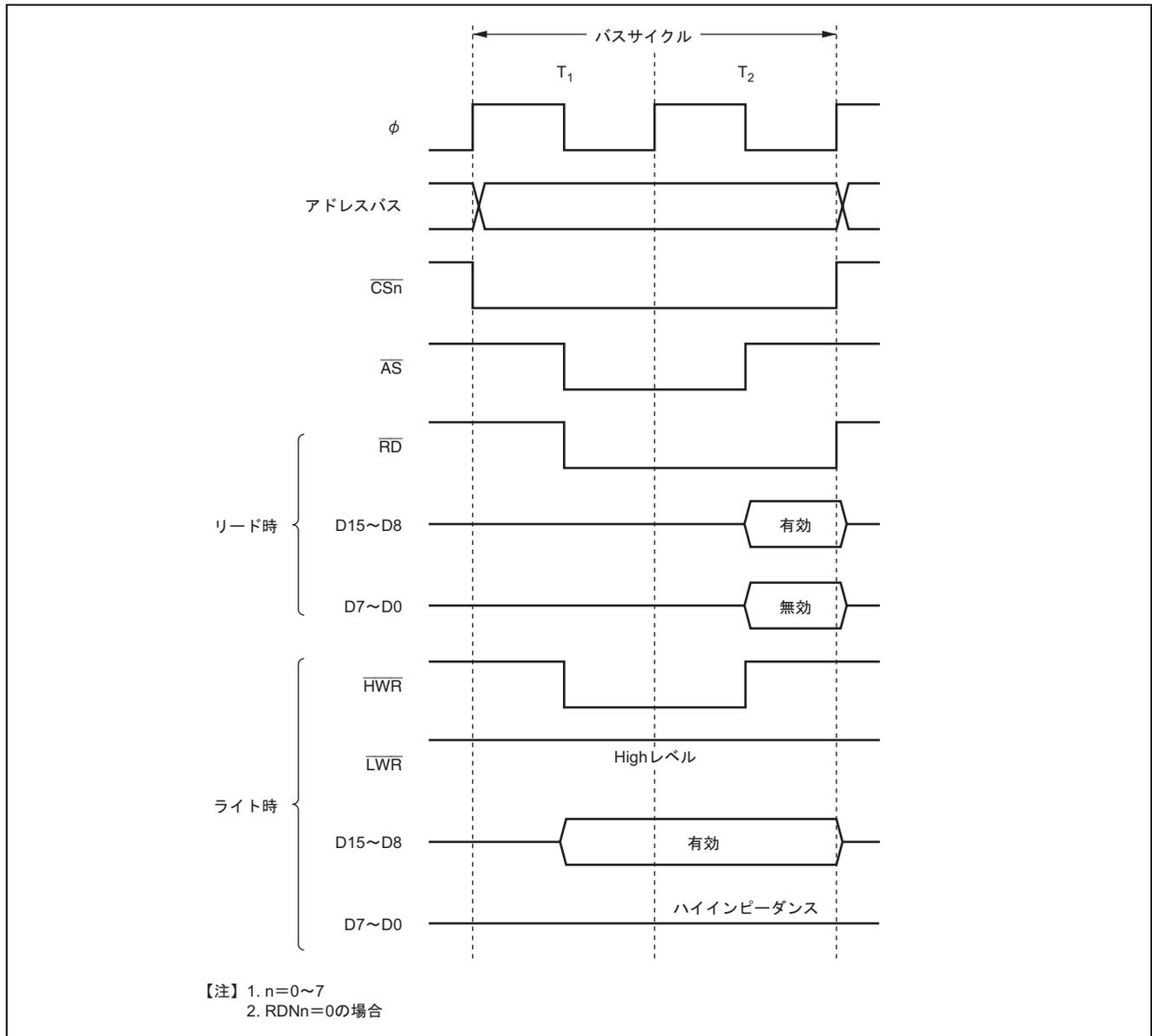


図 6.10 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図 6.11 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

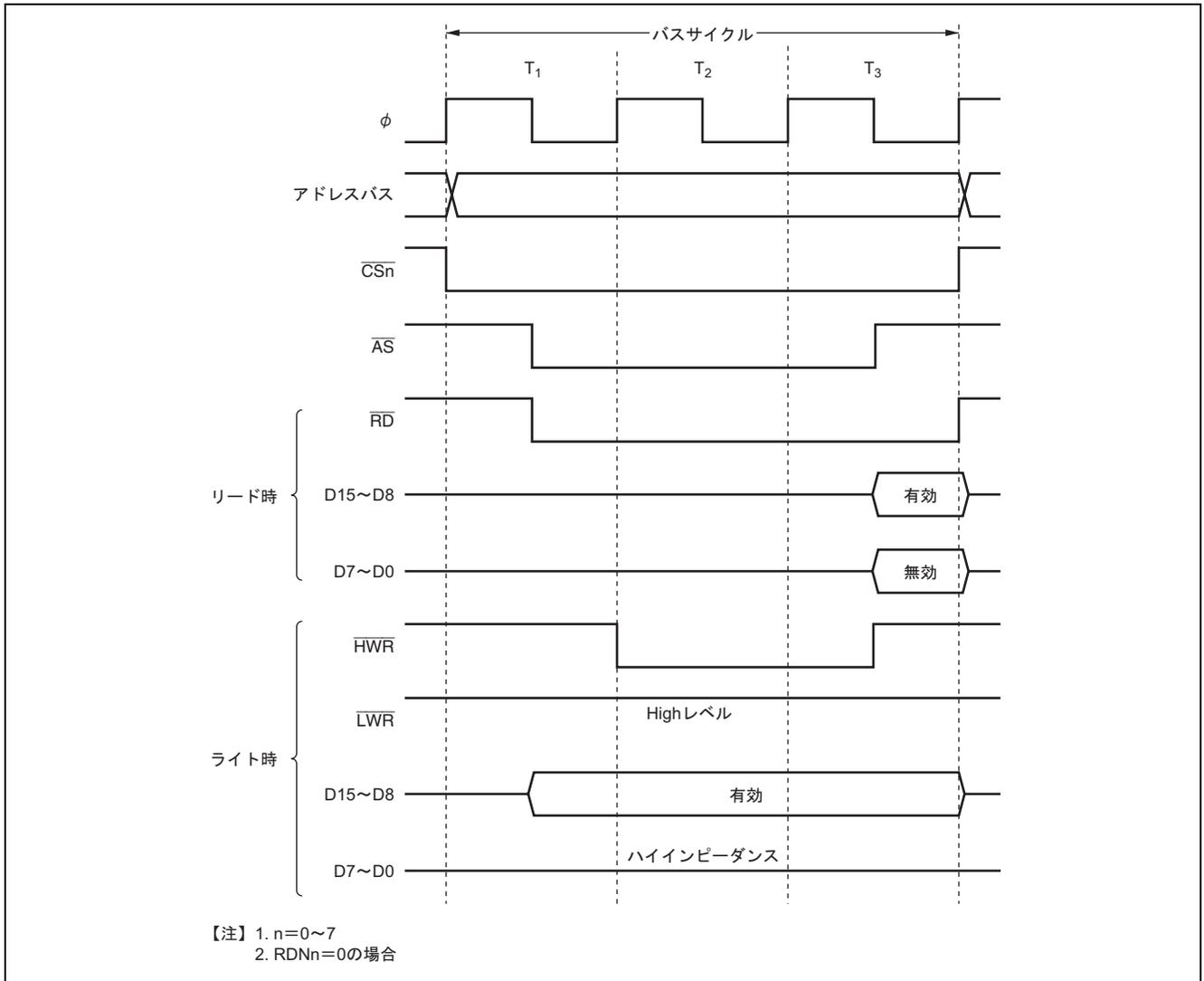


図 6.11 8ビット3ステートアクセス空間のバスタイミング

(3) 16 ビット 2 ステートアクセス空間

図 6.12～図 6.14 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することはできません。

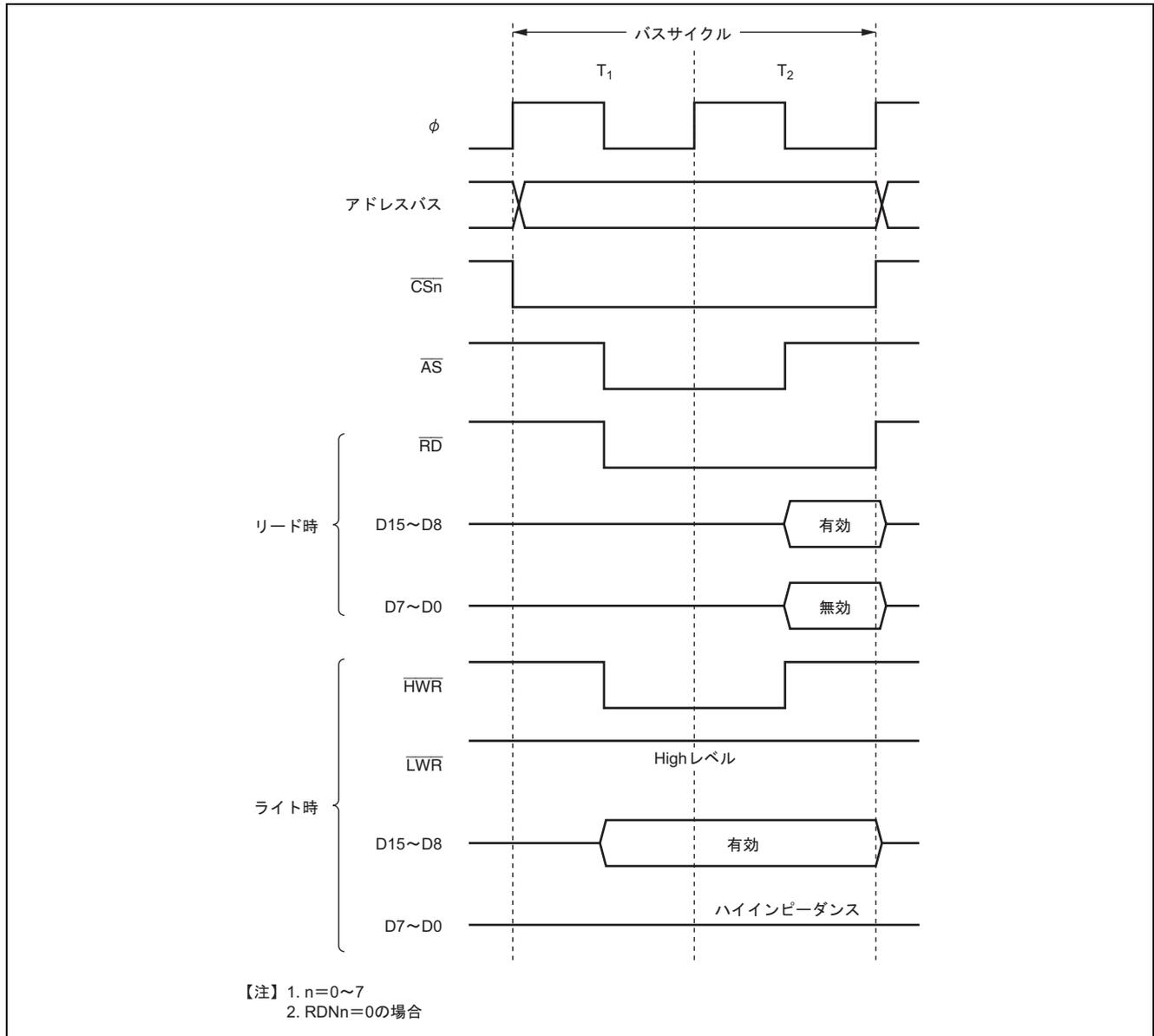


図 6.12 16 ビット 2 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

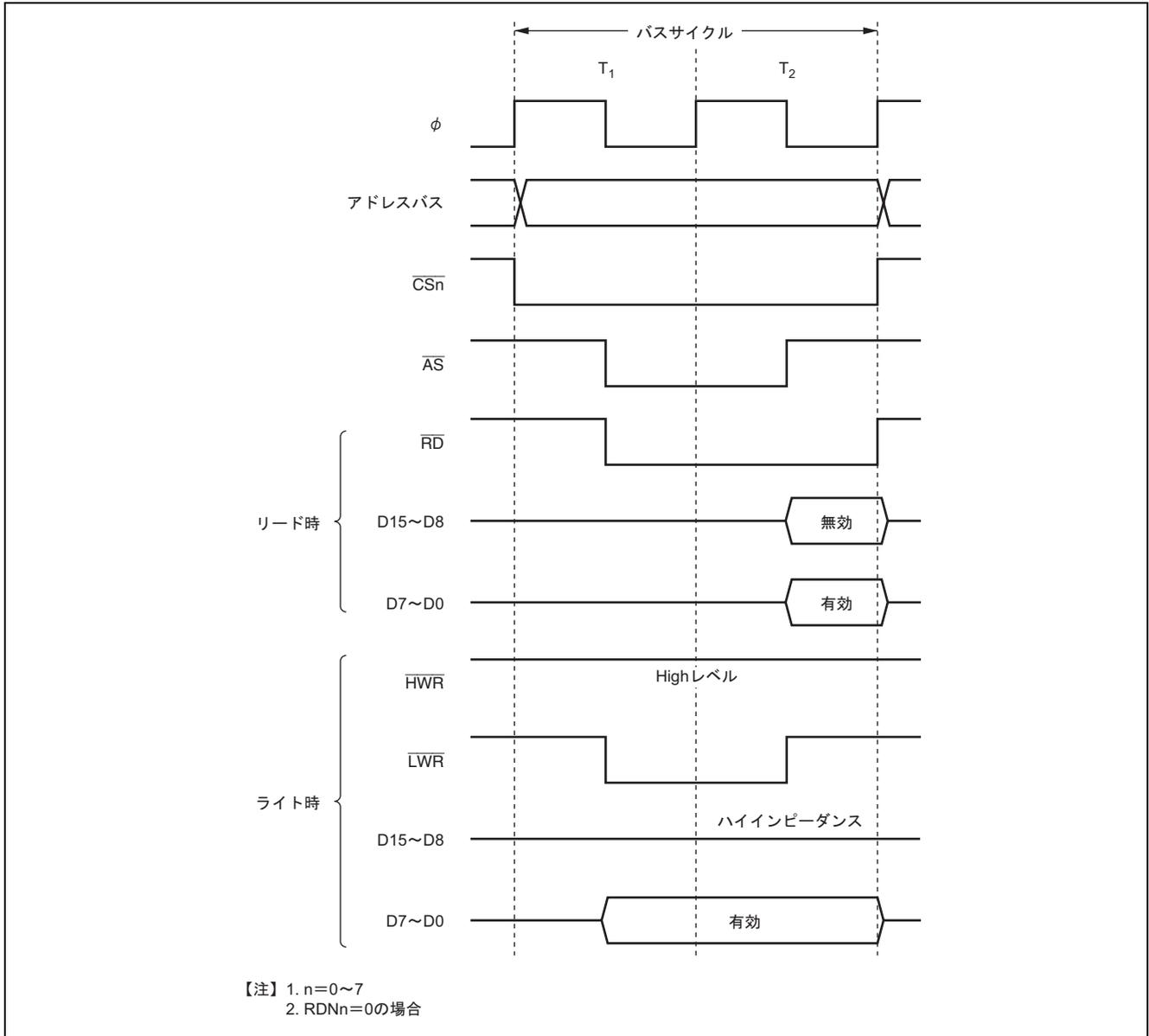


図 6.13 16 ビット 2 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

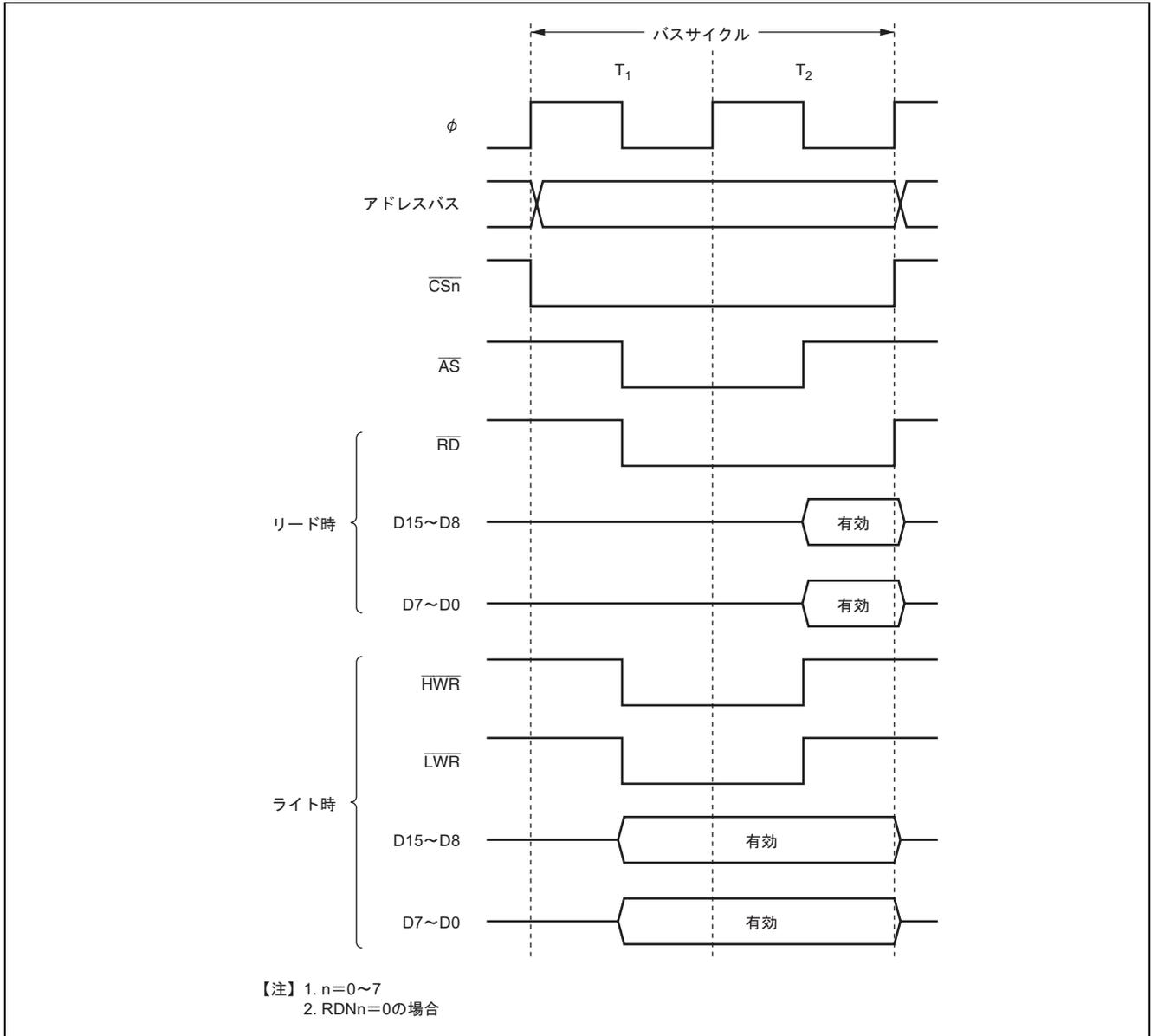


図 6.14 16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)

(4) 16 ビット 3 ステートアクセス空間

図 6.15～図 6.17 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

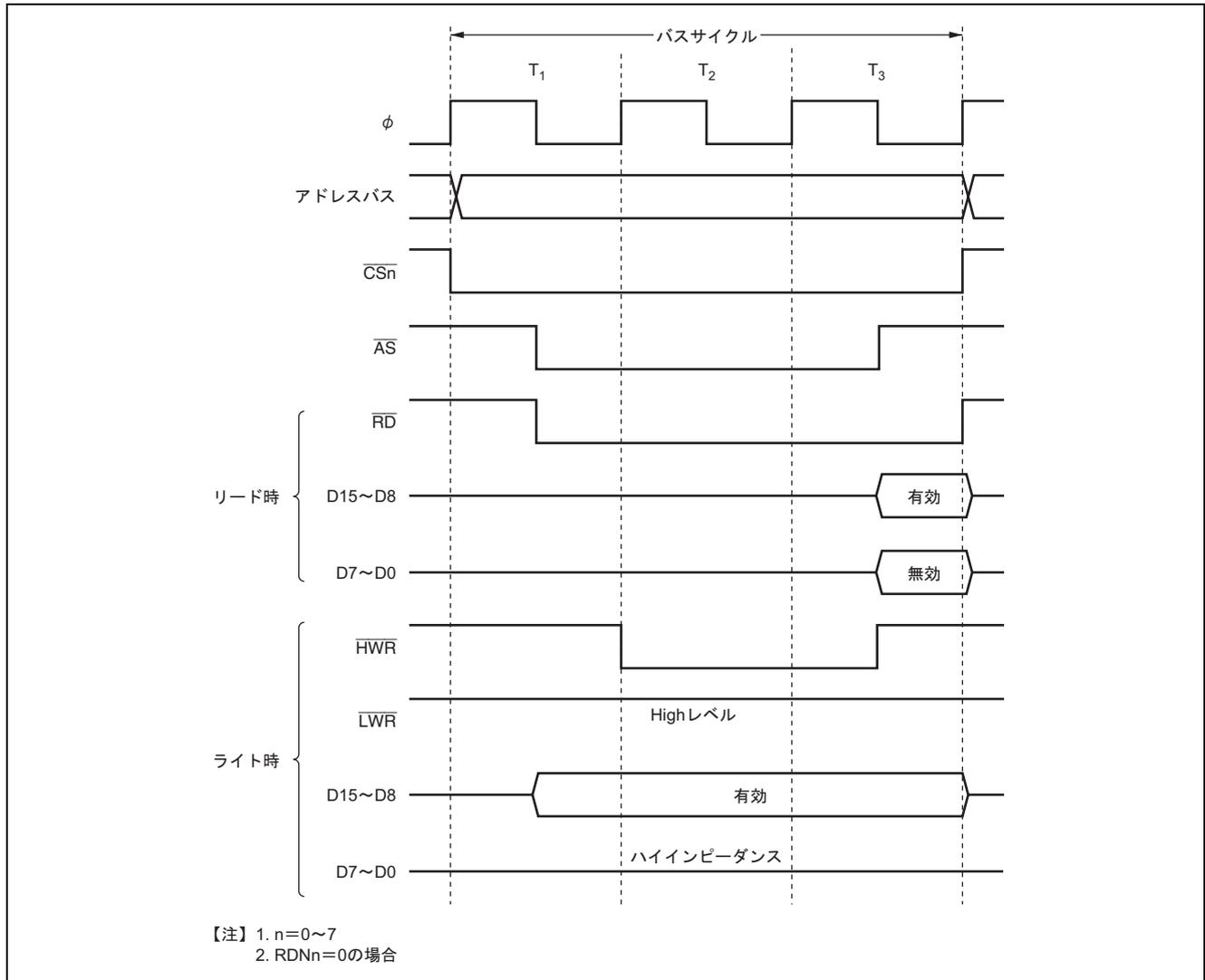


図 6.15 16 ビット 3 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

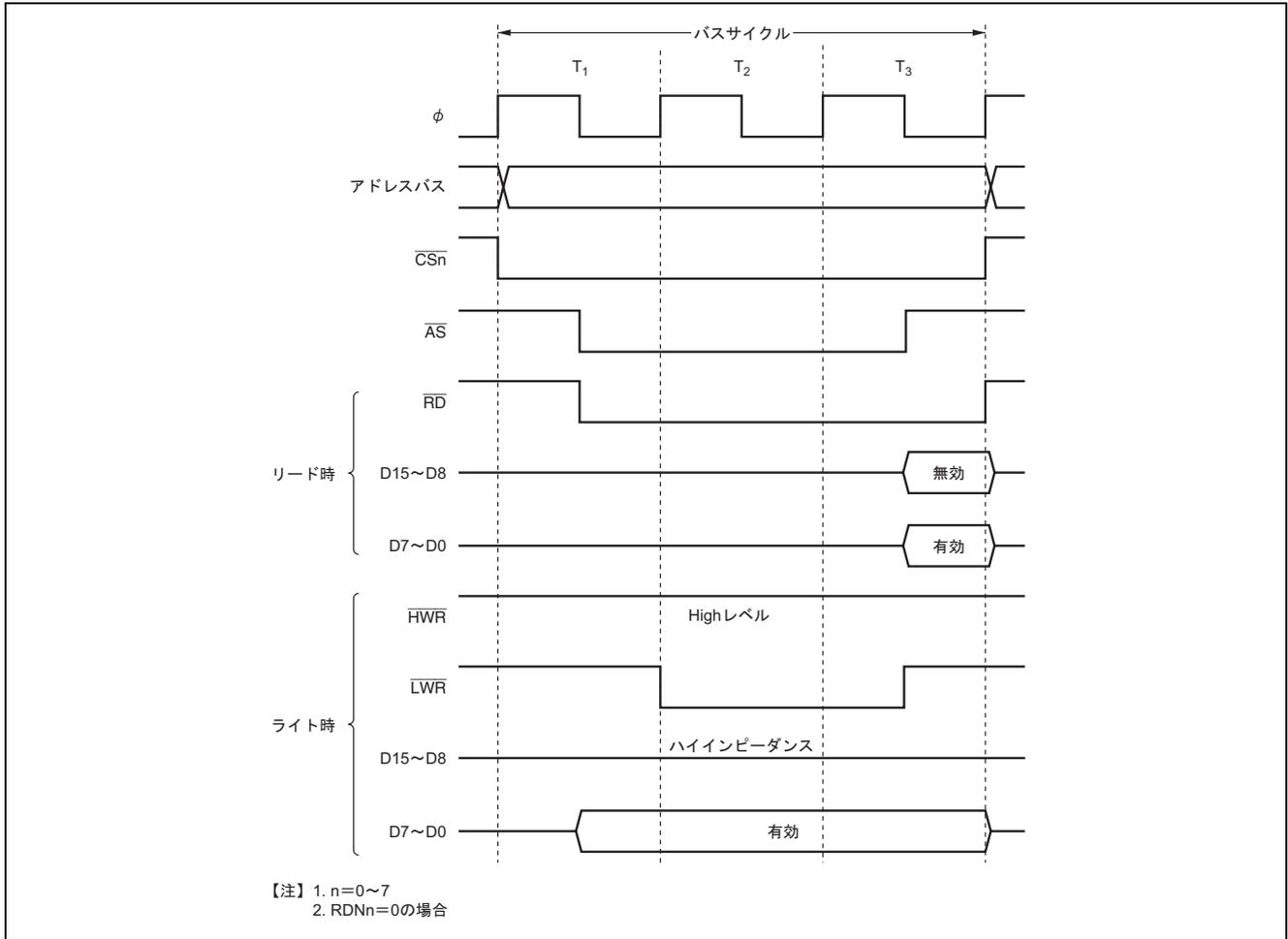


図 6.16 16 ビット 3 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

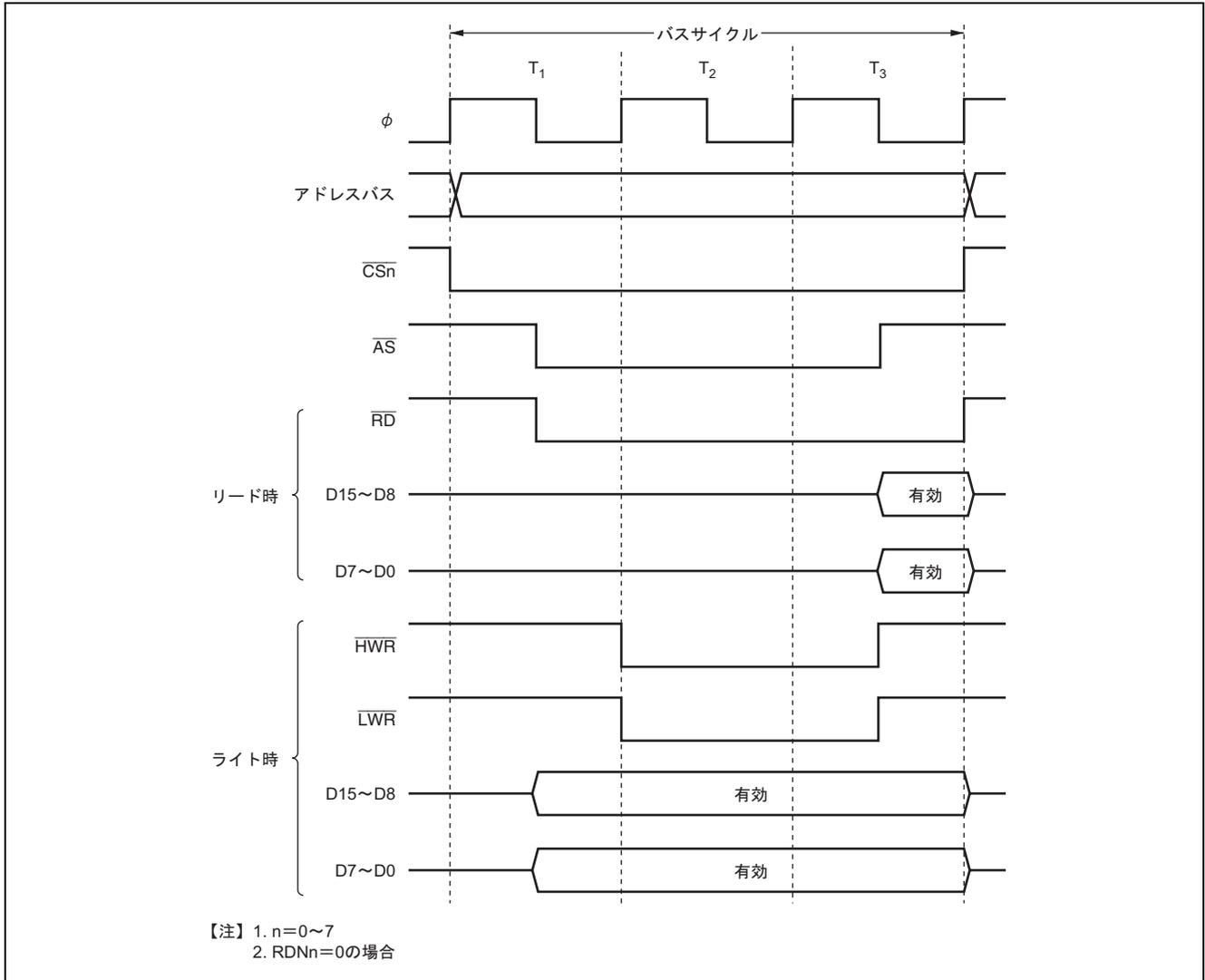


図 6.17 16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)

6.5.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入して、バスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入があります。

(1) プログラムウェイトの挿入

WTCRA、WTCRB により、3 ステートアクセス空間に対して、エリア単位で 0~7 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で外部空間をアクセスすると、まず WTCRA、WTCRB の設定に従いプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。7 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。なお、WAITE ビットはすべてのエリアに対して共通です。図 6.18 にウェイトステート挿入のタイミング例を示します。

リセット後は 3 ステートアクセスかつプログラムウェイト 7 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

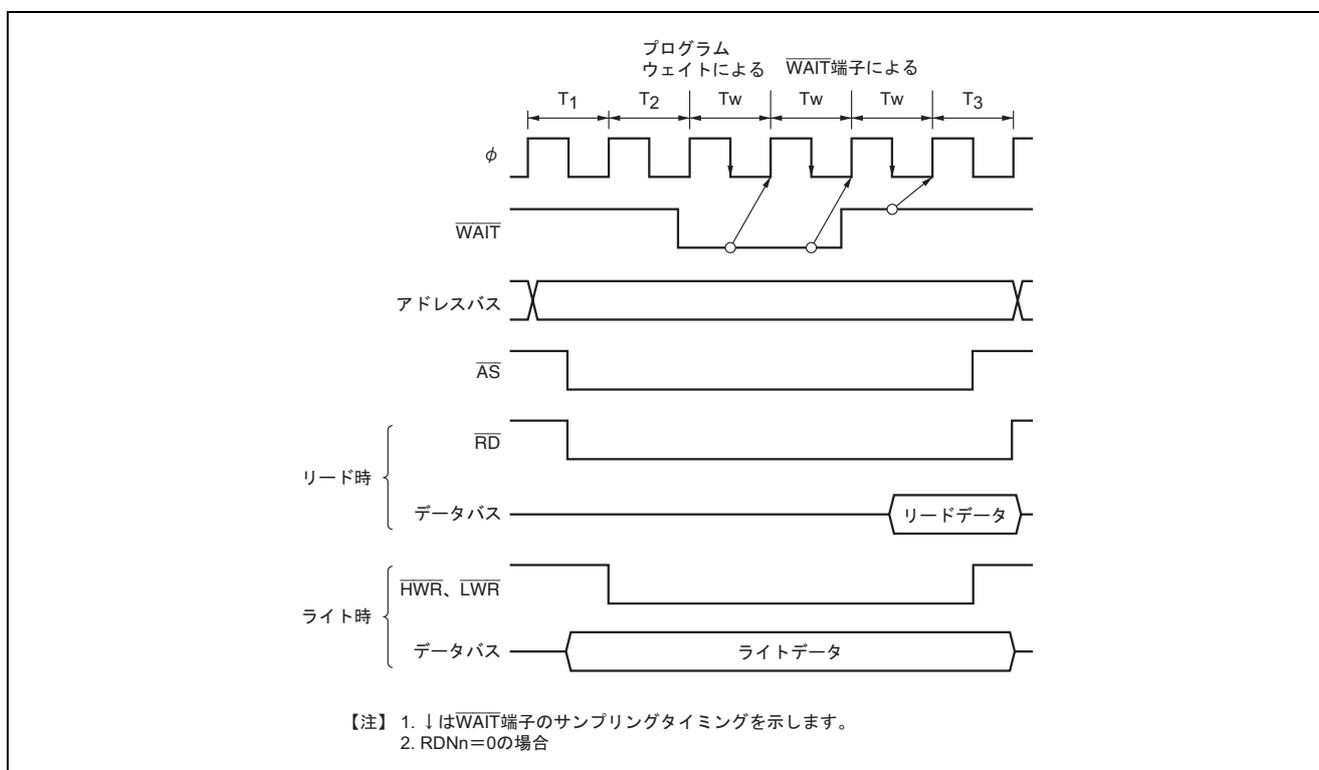


図 6.18 ウェイトステート挿入タイミング例

6.5.5 リードストローク (\overline{RD}) タイミング

RDNCR の RDN7~RDN0 ビットを 1 にセットすることにより、エリア単位にリードストローク (\overline{RD}) のタイミングを変更することが可能です。図 6.19 に基本バス 3 ステートアクセス空間でリードストロークのタイミングを変更した場合のタイミング例を示します。

DMAC および EXDMAC をシングルアドレスモードで使用している場合、 $RDNn=1$ に設定して \overline{RD} のタイミングを変更すると、 \overline{DACK} 、 \overline{EDACK} の立ち上がりに対して、 \overline{RD} のタイミングが変化しますので注意が必要です。

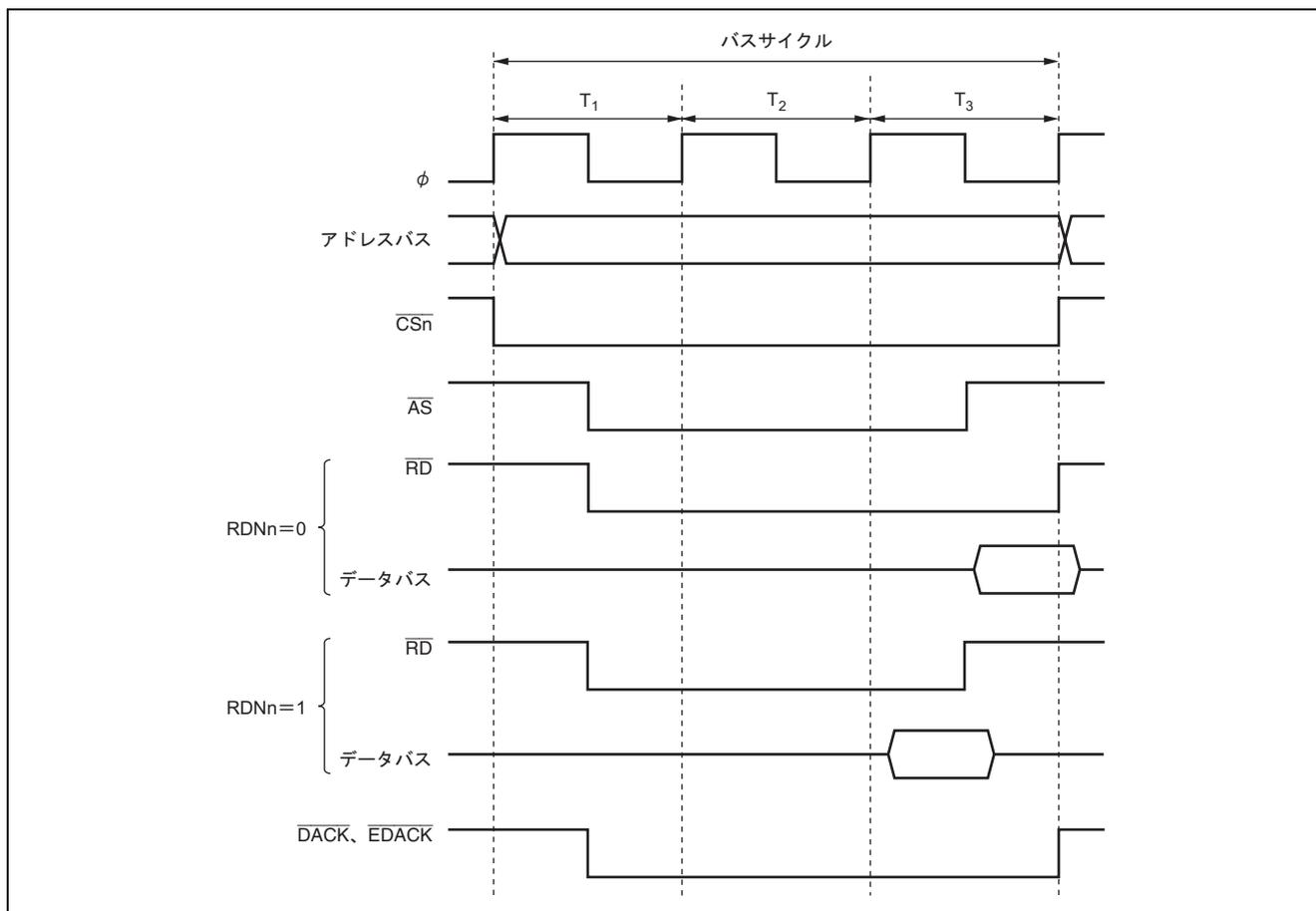


図 6.19 リードストロークタイミング例

6.5.6 チップセレクト (\overline{CS}) アサート期間拡張

外部 I/O デバイスには、アドレス、 \overline{CS} 信号と \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のストローブ信号の間のセットアップ時間やホールド時間が必要な場合があります。CSACR の設定により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレスだけがアサートされるステートを挿入することができます。 \overline{CS} アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の \overline{CS} アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間およびホールド時間が緩和されます。

図 6.20 に基本バス 3 ステートアクセス空間に \overline{CS} アサート期間を拡張した場合のタイミング例を示します。

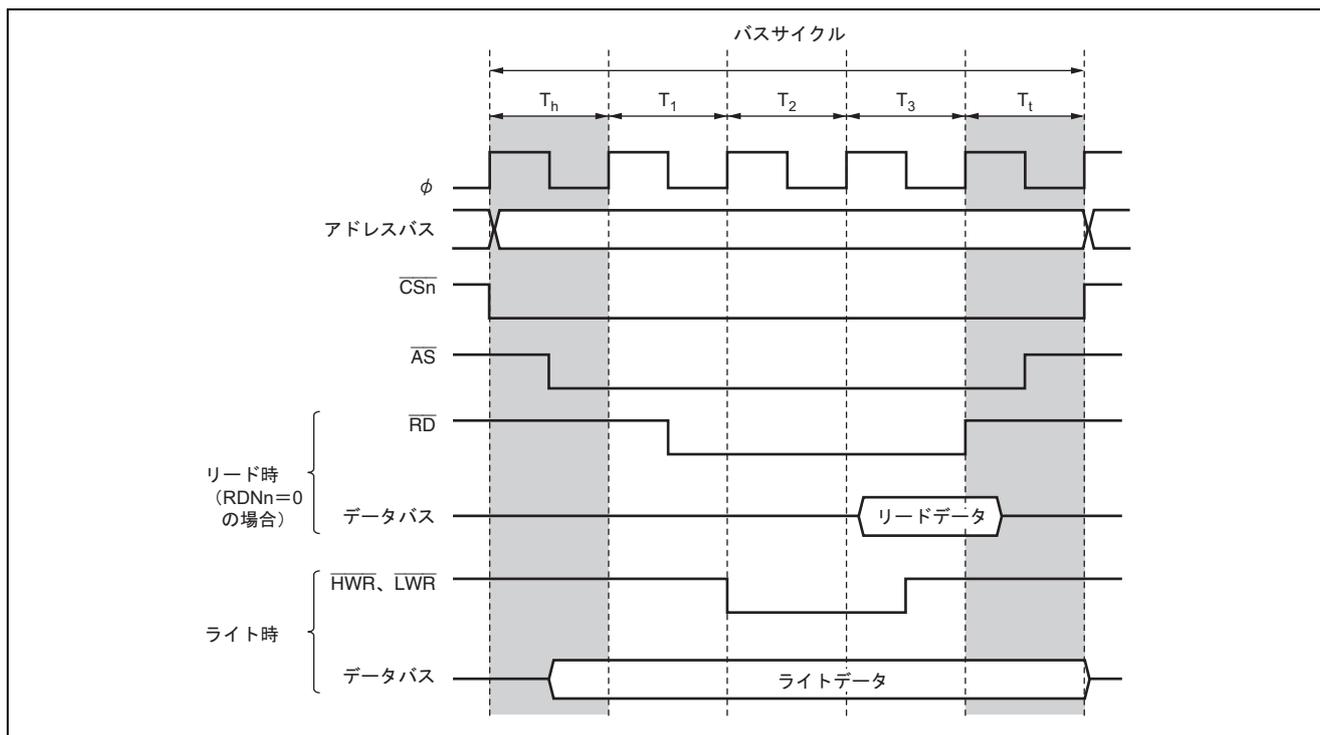


図 6.20 チップセレクトアサート期間拡張時タイミング例

基本バスサイクルの手前に挿入される拡張ステート (T_h) と、基本バスサイクルの後に挿入される拡張ステート (T_t) の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 8 ビットの CSXH7 ~ CSXH0 ビットで T_h ステート、下位 8 ビットの CSXT7 ~ CSXT0 ビットで T_t ステートの挿入の有無を設定することができます。

6.6 アドレス／データマルチプレクス I/O インタフェース

本 LSI は、エリア 6、エリア 7 の外部アドレス空間をアドレス／データマルチプレクス I/O 空間に設定するとアドレス／データマルチプレクス I/O インタフェースを行うことができます。アドレス／データマルチプレクス I/O インタフェースでは、アドレス／データマルチプレクスが必要な周辺 LSI を本 LSI に直結することができます。

6.6.1 アドレス／データマルチプレクス I/O 空間の設定

アドレス／データマルチプレクス I/O インタフェースは、MPXCR レジスタの MPXE ビットを 1 にセットすることで、エリア 6、エリア 7 をアドレス／データマルチプレクス I/O 空間に設定できます。

6.6.2 アドレス／データマルチプレクス

アドレス／データマルチプレクス I/O 空間では、データバスがアドレスバスとマルチプレクスされています。表 6.4 にバス幅に対応するアドレス出力関係を示します。

表 6.4 アドレス／データマルチプレクス一覧

バス幅	サイクル	データ端子															
		AD15	AD14	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
8 ビット	アドレス	A7	A6	A5	A4	A3	A2	A1	A0	—	—	—	—	—	—	—	—
	データ	D15	D14	D13	D12	D11	D10	D9	D8	—	—	—	—	—	—	—	—
16 ビット	アドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	データ	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

6.6.3 データバス

アドレス／データマルチプレクス I/O 空間のバス幅は、ABWCRA の ABW7、ABW6 ビットにより、当該エリアを 8 ビットアクセス空間または 16 ビット空間に設定できます。8 ビットアクセス空間に設定した場合はアドレス／データともに AD15～AD8 が有効となり、16 ビットアクセス空間に設定した場合はアドレス／データともに AD15～AD0 が有効となります。アドレス／データマルチプレクス I/O 空間がアクセスされた場合においても、アドレスバスには対応するアドレスが出力されます。アクセスサイズとデータアライメントについては、「6.5.1 データサイズとデータアライメント」を参照してください。

6.6.4 アドレスホールド信号

アドレス／データマルチプレクス I/O 空間では、アドレスを取り込むタイミングを示すホールド信号 (\overline{AH}) が出力されます。 \overline{AH} 端子は \overline{AS} 端子と出力端子が兼用になっています。外部アドレス空間をアドレス／データマルチプレクス I/O 空間に設定すると、 \overline{AH} 出力端子になります。アドレス／データマルチプレクス I/O 空間に設定するまでは \overline{AS} 出力端子ですので注意してください。

6.6.5 基本タイミング

アドレス/データマルチプレクス I/O インタフェースのバスサイクルは、アドレスサイクルとデータサイクルからなります。データサイクルは ABWCR、ASTCR、WTCRAH、RDNCR、CSACR による基本バスインタフェースの設定に従います。

(1) 8 ビット・データ 2 ステートアクセス空間

図 6.21 に 8 ビット・データ 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、アドレスバス、データバス共に上位側 (AD15~AD8) を使用します。データサイクルにウェイトステートを挿入することはできません。

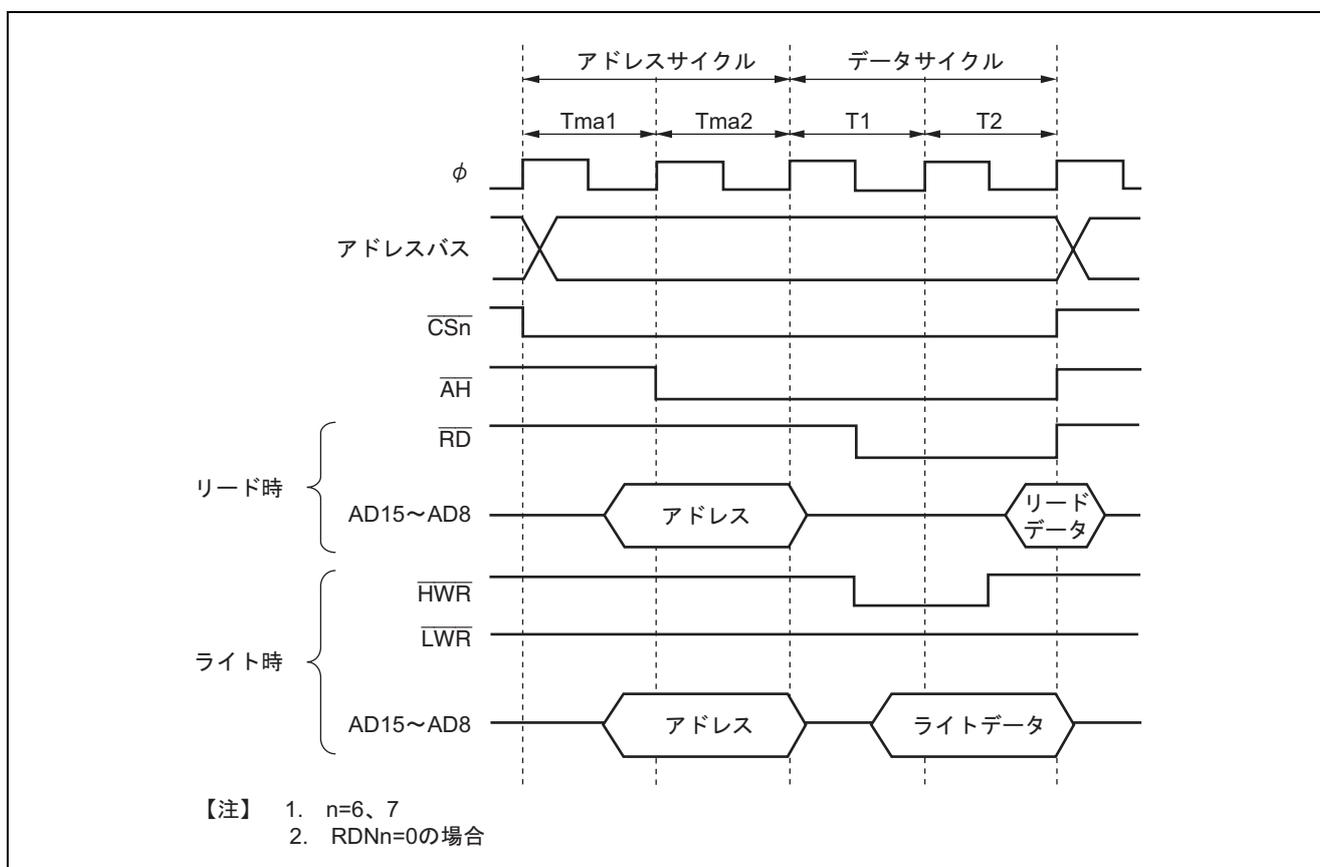


図 6.21 8 ビット・データ 2 ステートアクセス空間のバスタイミング

(2) 8ビット・データ3ステート

図 6.22 に 8 ビット・データ 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、アドレスバス、データバス共に上位側 (AD15~AD8) を使用します。データサイクルにウェイトステートを挿入することができます。

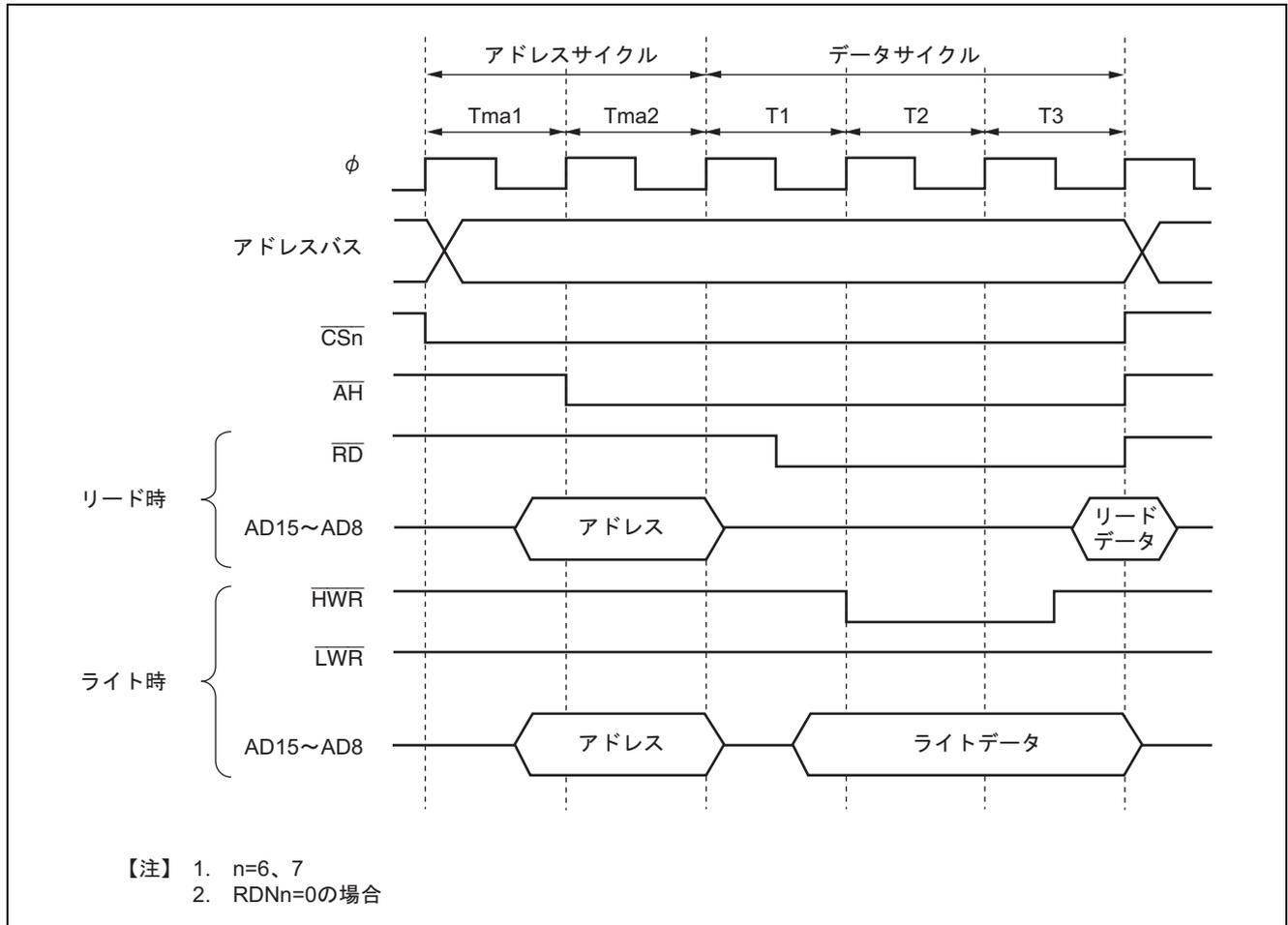


図 6.22 8ビット・データ3ステートアクセス空間のバスタイミング

(3) 16 ビット・データ 2 ステート

図 6.23～図 6.25 に 16 ビット・データ 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、アドレスバスはすべてのバス (AD15～AD0) を使用し、偶数アドレスに対してはデータバスは上位側 (AD15～AD8)、奇数アドレスに対してはデータバスは下位側 (AD7～AD0) を使用します。データサイクルにウェイトステートを挿入することはできません。

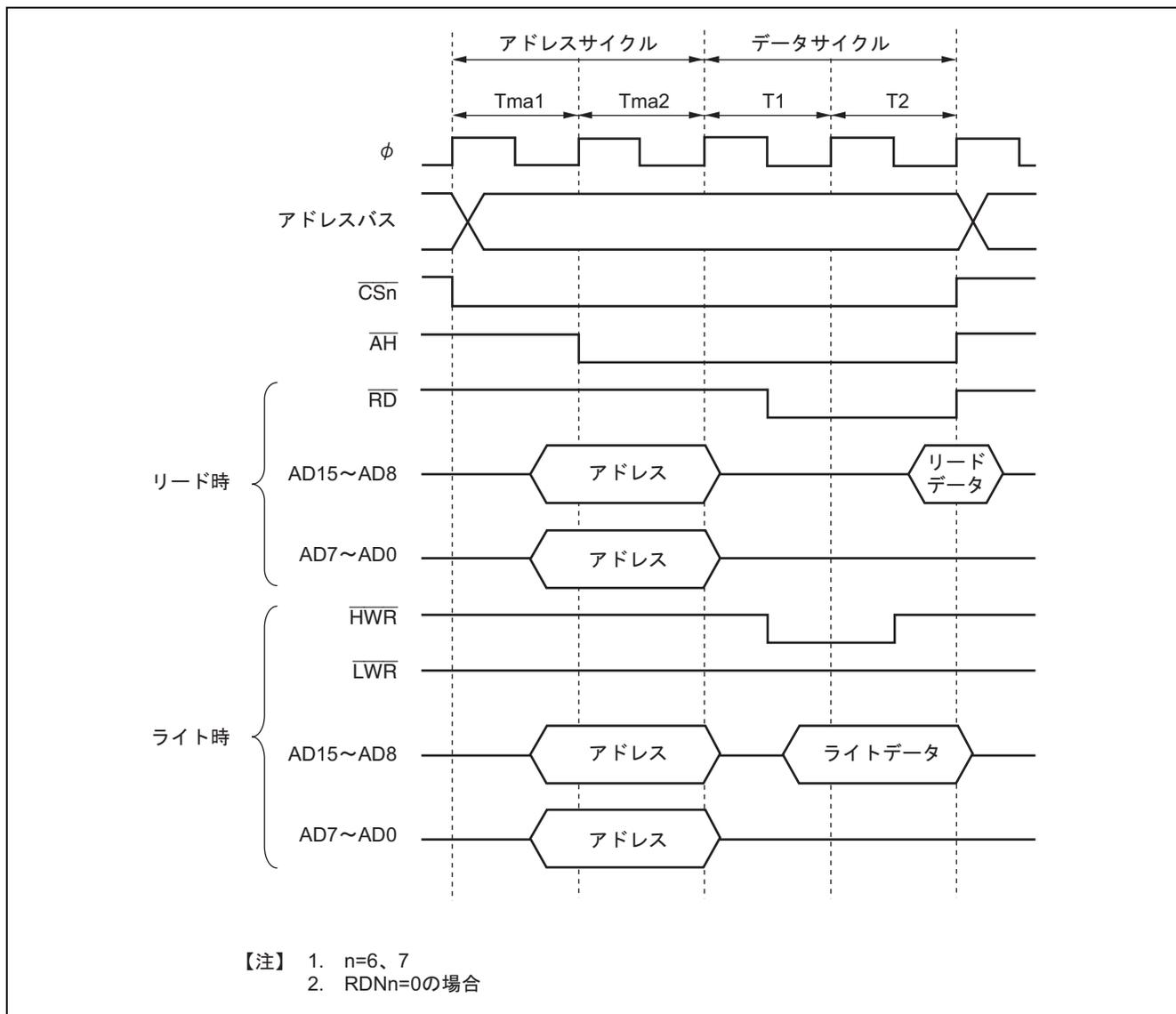


図 6.23 16 ビット・データ 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

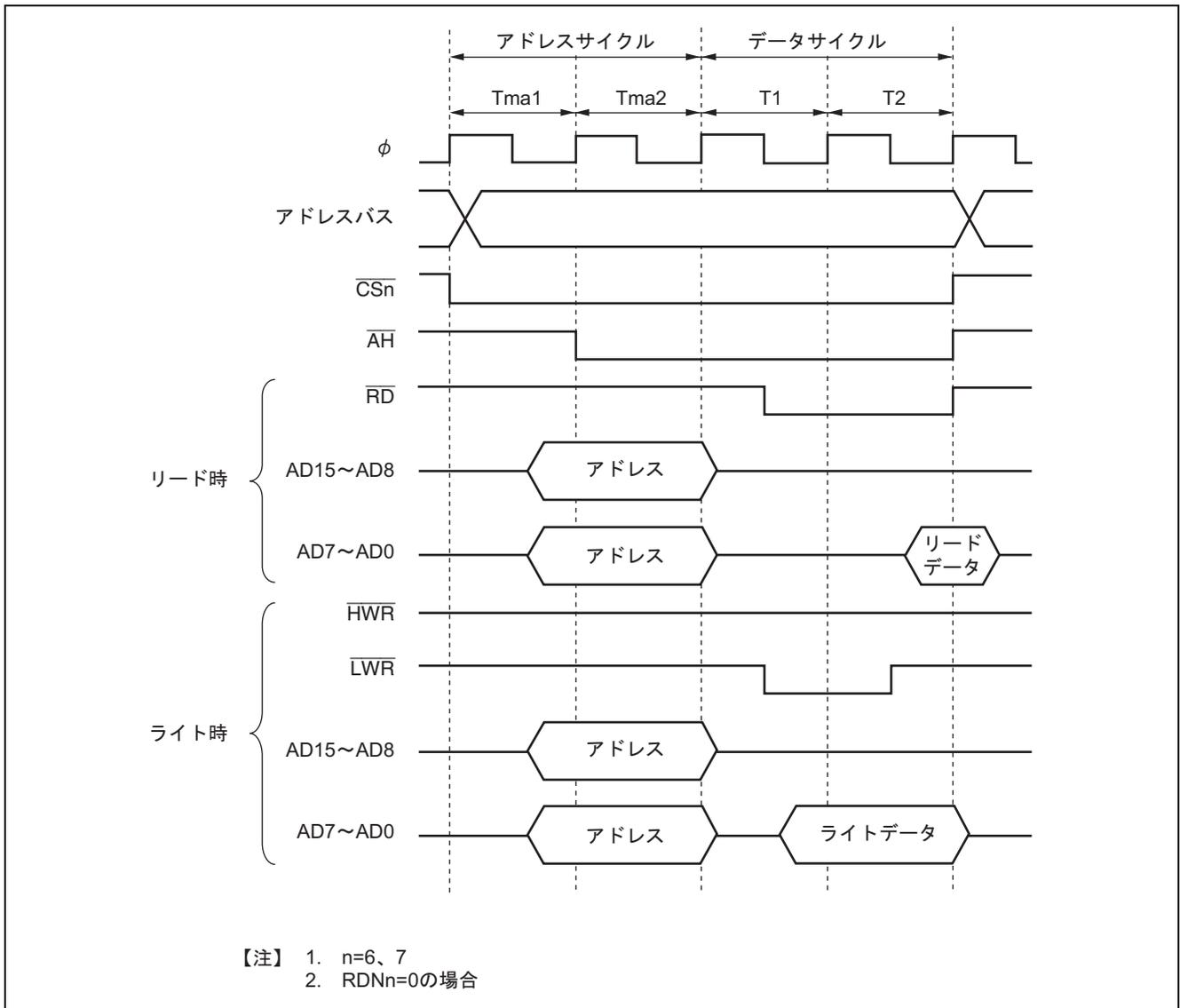


図 6.24 16 ビット・データ 2 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

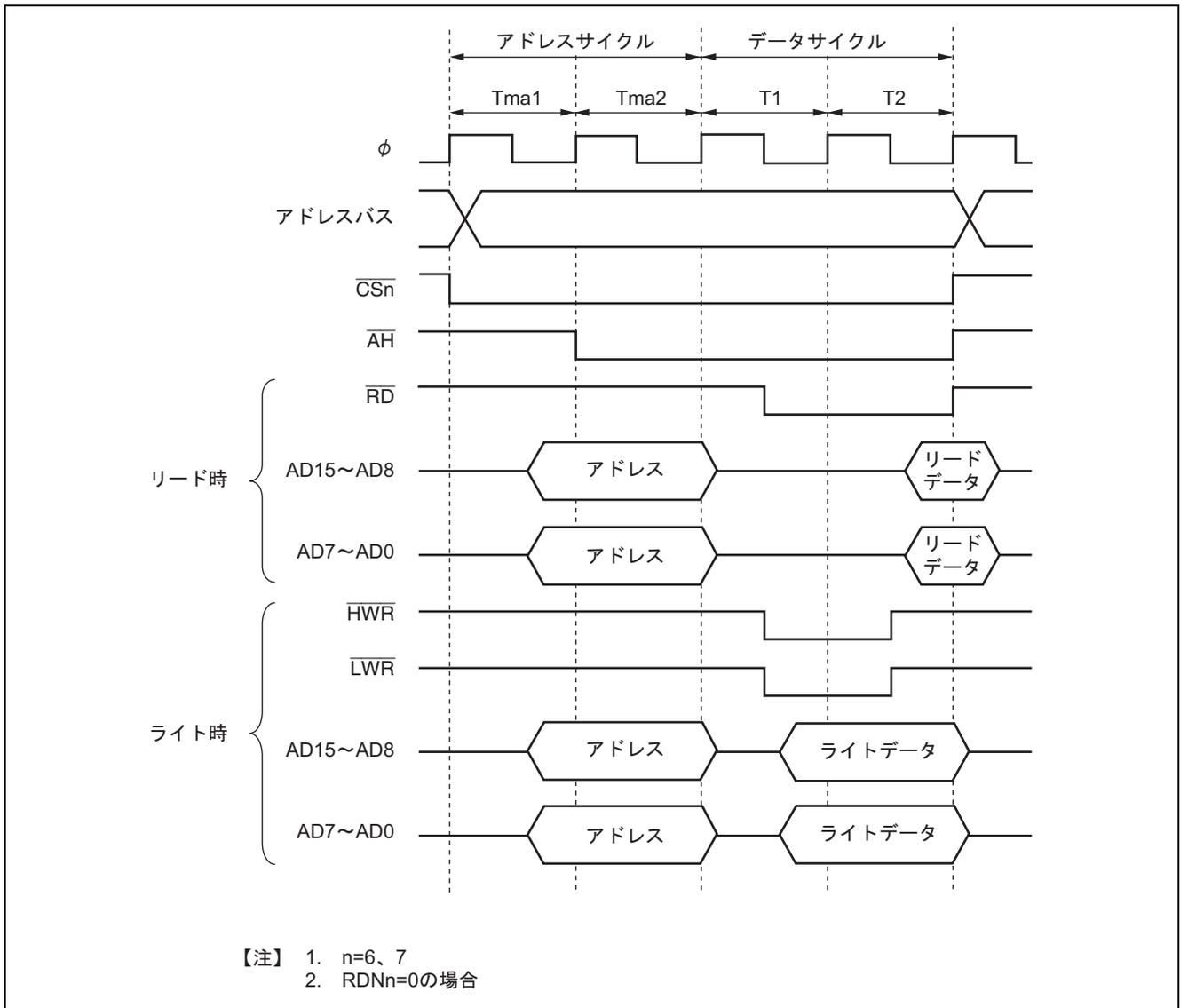


図 6.25 16 ビット・データ 2 ステートアクセス空間のバスタイミング (ワードアクセス)

(4) 16 ビット・データ 3 ステートアクセス空間

図 6.26～図 6.28 に 16 ビット・データ 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、アドレスバスはすべてのバス (AD15～AD0) を使用し、偶数アドレスに対してはデータバスは上位側 (AD15～AD8)、奇数アドレスに対してはデータバスは下位側 (AD7～AD0) を使用します。データサイクルにウェイトステートを挿入することができます。

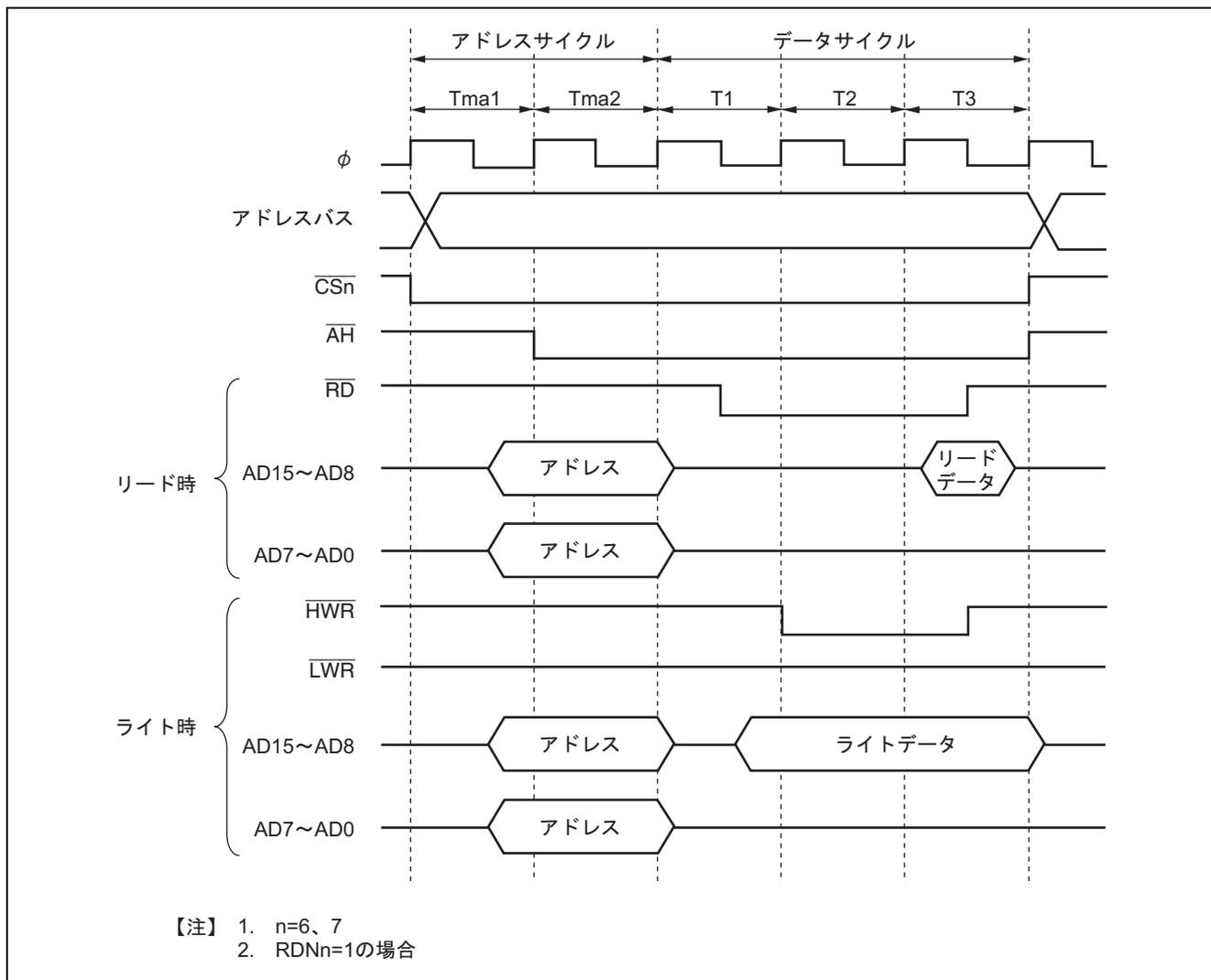


図 6.26 16 ビット・データ 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

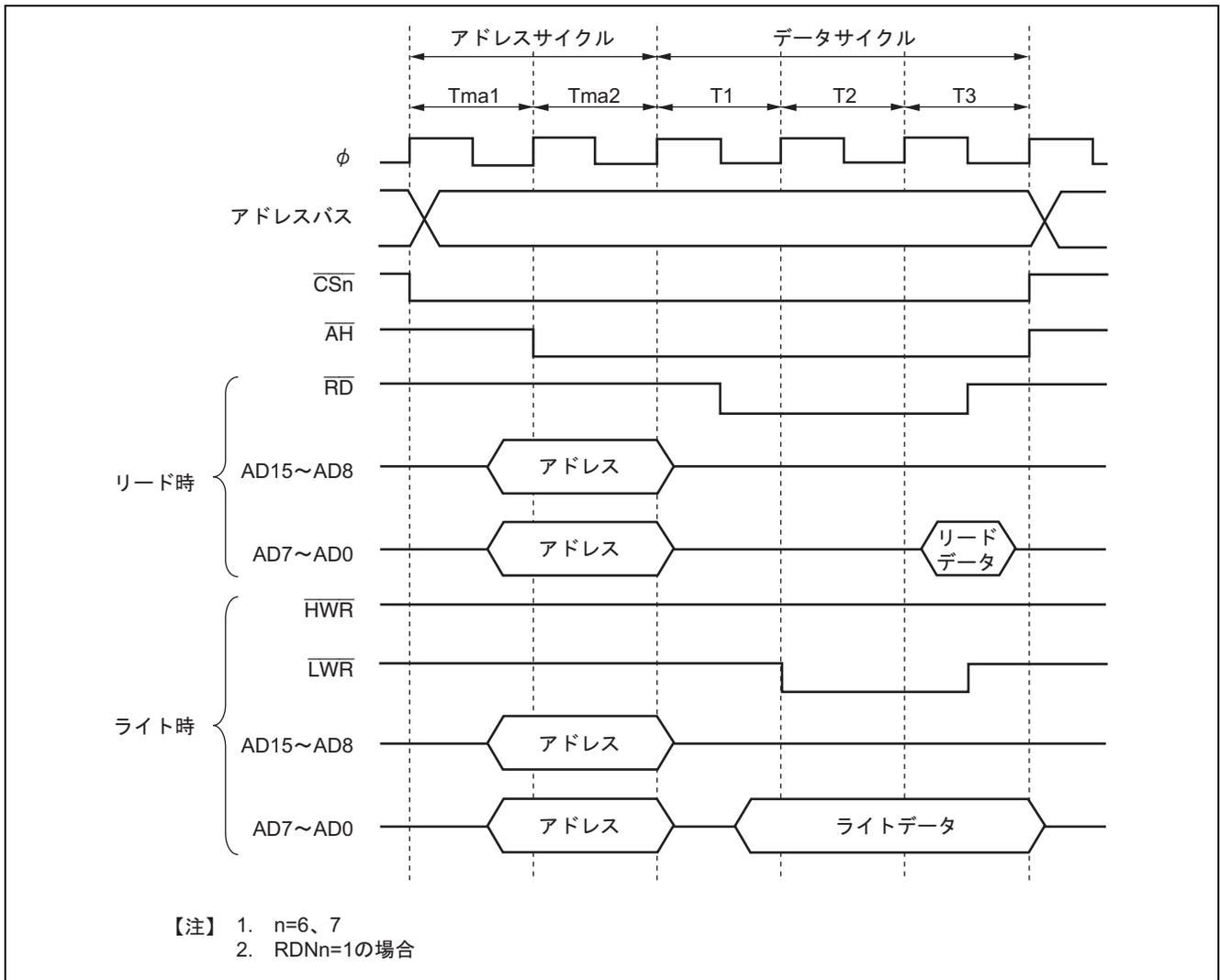


図 6.27 16 ビット・データ 3 テートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

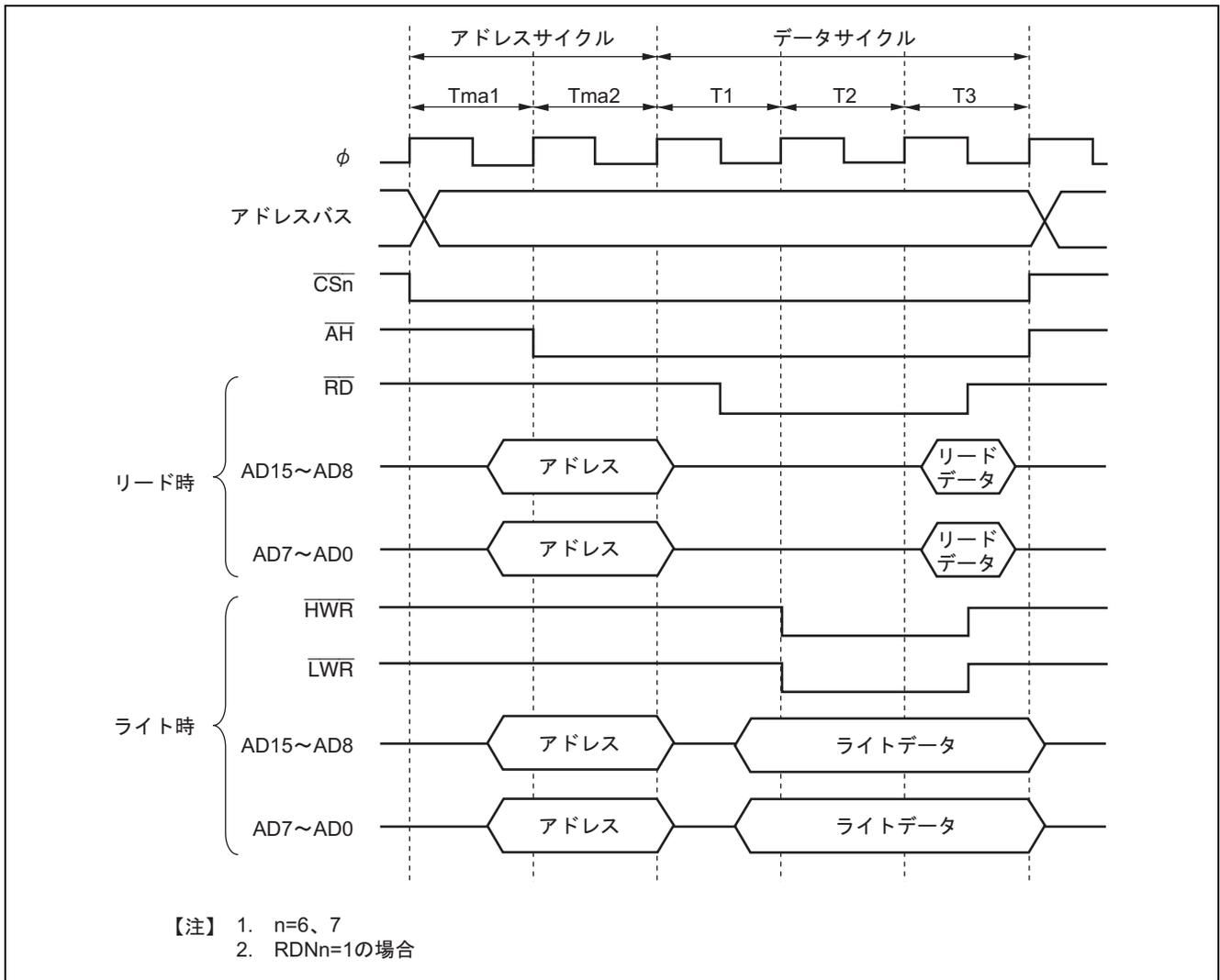


図 6.28 16ビット・データ3テートアクセス空間のバスタイミング (ワードアクセス)

6.6.6 ウェイト制御

(1) アドレスサイクル

ADDEX ビットを 1 にすることにより、Tma1 サイクルと Tma2 サイクルの間にアドレスウェイト Tmaw が 1 ステート挿入されます。図 6.29 にアドレスサイクルが 3 サイクルになる場合のアクセスタイミング例を示します。

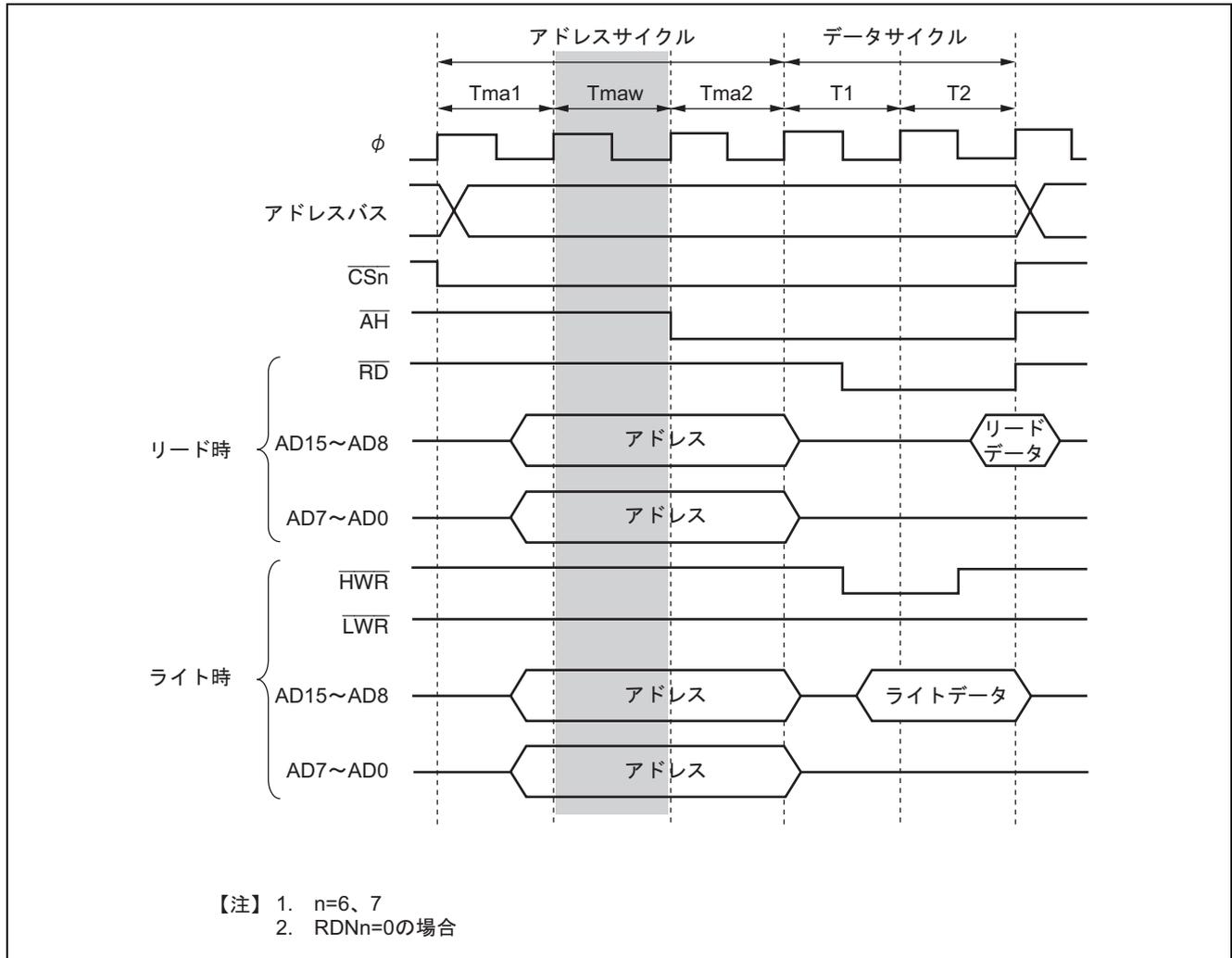


図 6.29 アドレスウェイトありのタイミング例

(2) データサイクル

データサイクルには、基本バスインタフェースと同様にプログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は「6.5.4 ウェイト制御」を参照してください。ウェイト制御の設定はアドレスサイクルに影響を与えません。

6.6.7 リードストロブ ($\overline{\text{RD}}$) タイミング

アドレス/データマルチプレクス I/O インタフェースでは基本バスインタフェースと同様にデータサイクルのリードストロブタイミングを変更することが可能です。詳細は「6.5.5 リードストロブ ($\overline{\text{RD}}$) タイミング」を参照してください。図 6.30 にリードストロブのタイミングを変更した場合のタイミング図を示します。

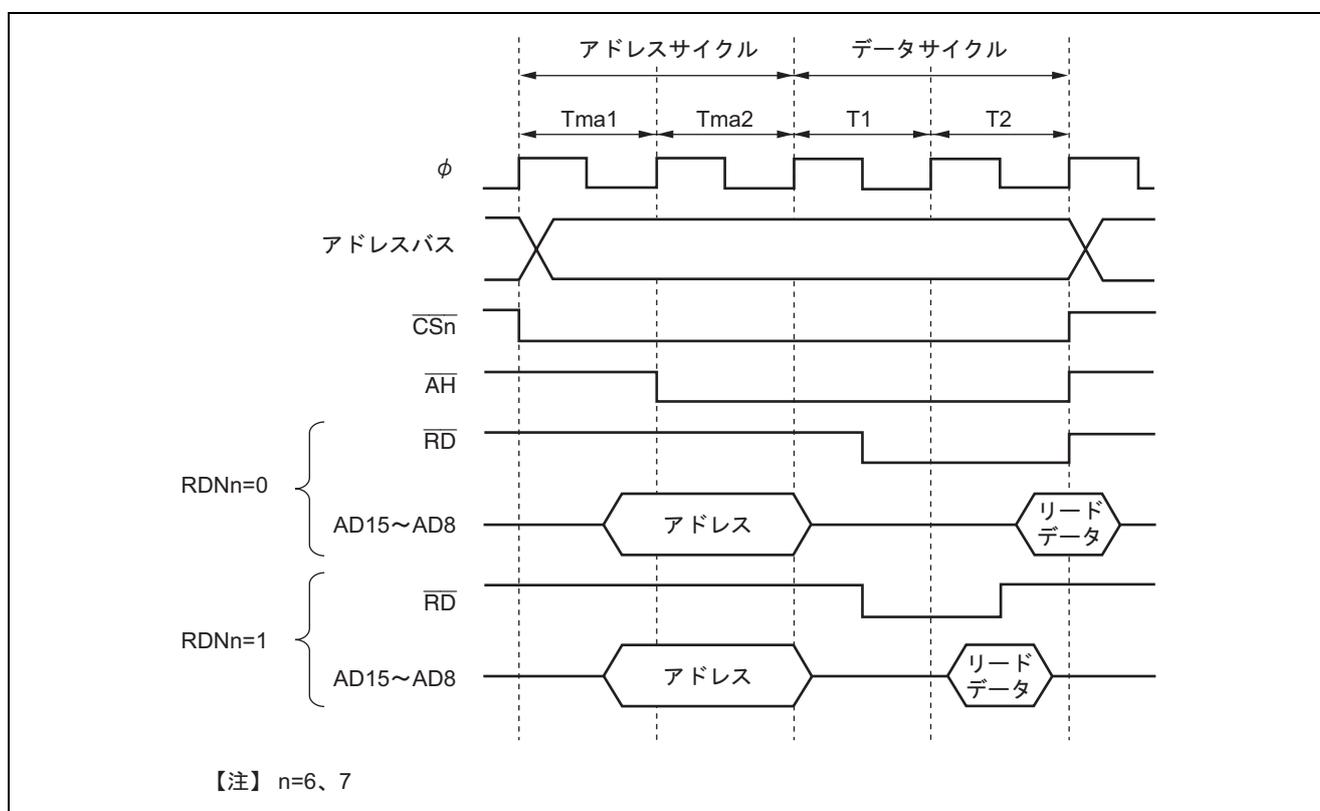


図 6.30 リードストロブタイミング例

6.6.8 データサイクルのチップセレクト (\overline{CS}) アサート期間拡張

アドレス/データマルチプレクス I/O インタフェースでは、データサイクルの前後に拡張を挿入することができます。詳細は「6.5.6 チップセレクト (\overline{CS}) アサート期間拡張」を参照してください。図 6.31 にデータサイクルのチップセレクトアサート期間拡張タイミング例を示します。

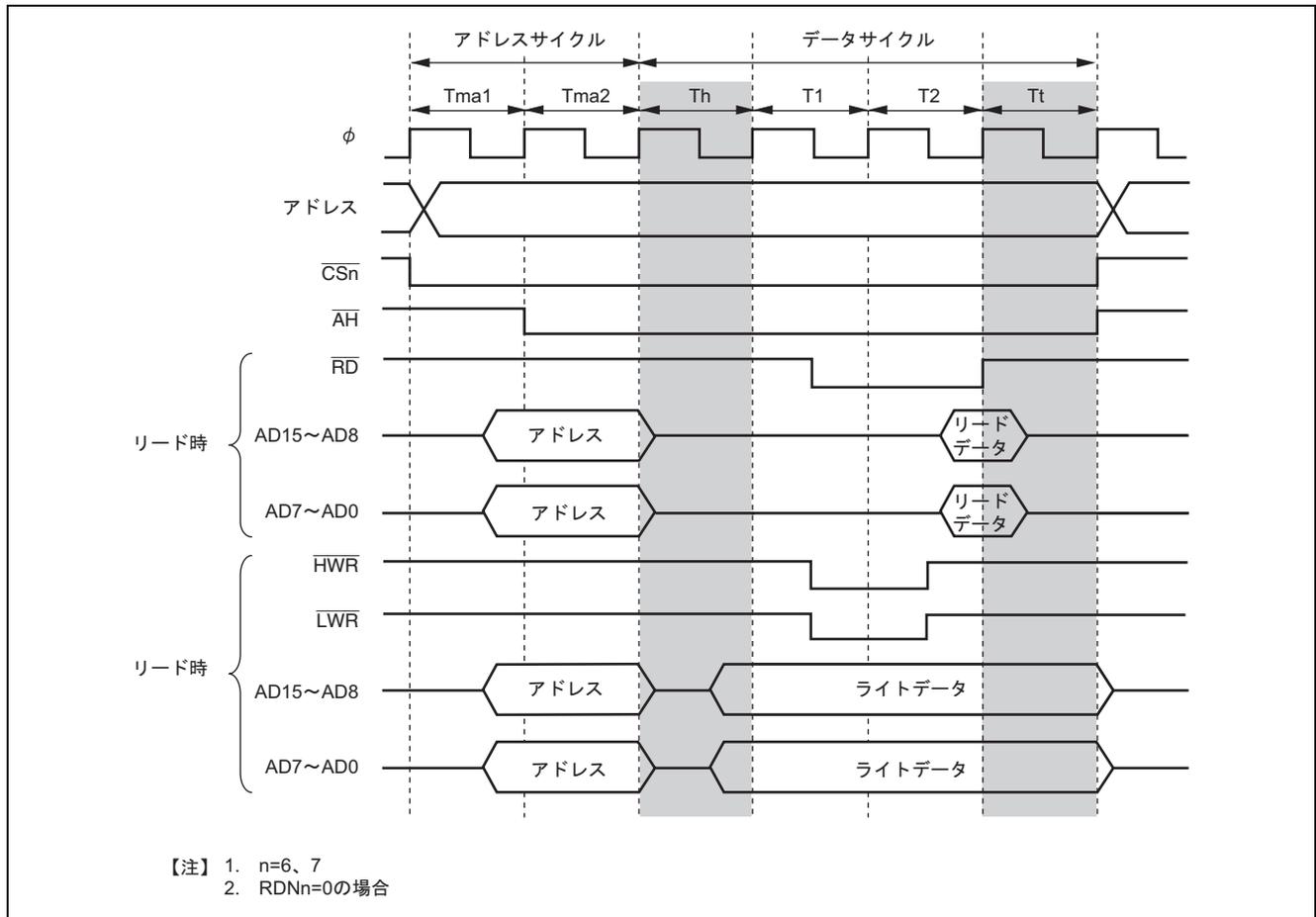


図 6.31 データサイクルのチップセレクトアサート期間拡張タイミング例

出力フローティング時間の大きい周辺 LSI が、接続されている同一エリアへの連続リードが発生した場合は、周辺 LSI のデータ出力と本 LSI のアドレス出力が衝突する可能性があります。この場合は、 \overline{CS} 拡張ステートをアクセスサイクルの後に挿入することにより、データ衝突を回避することができます。図 6.32 に動作例を示します。バスサイクル A、バスサイクル B はともに同一エリアへのアドレス/データマルチプレクス I/O 空間へのリードサイクルです。(a) は \overline{CS} 拡張ステートを挿入しない場合で、出力フローティング時間の大きい周辺 LSI のデータ出力と本 LSI のアドレス出力の衝突が発生しています。これに対し (b) は \overline{CS} 拡張ステートを挿入した場合で、データの衝突を回避しています。

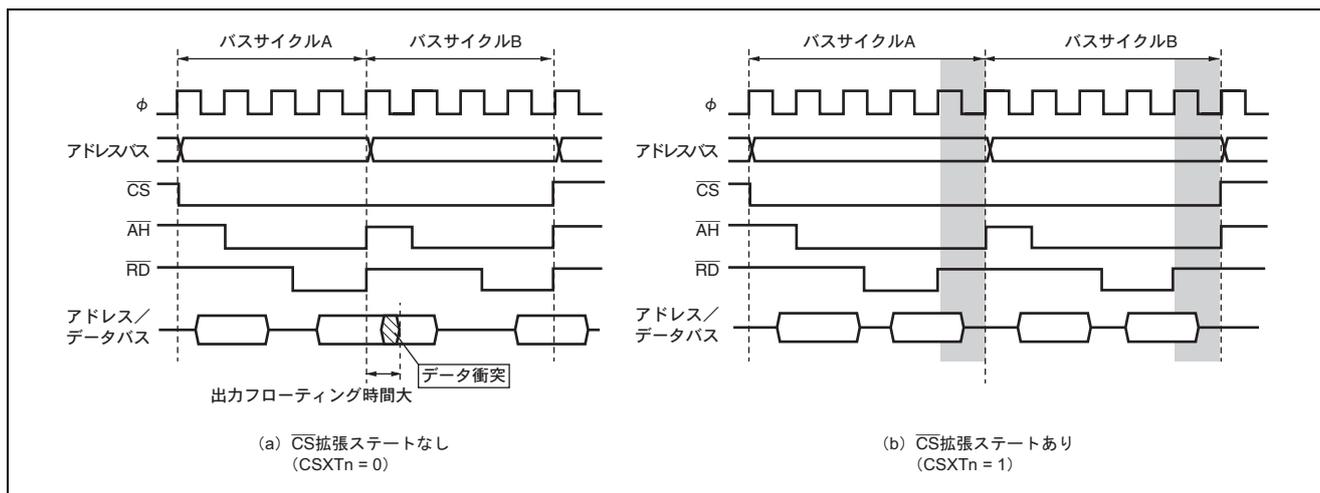


図 6.32 同一エリアのアドレス/データマルチプレクス I/O 空間連続リード

6.7 DRAM インタフェース

本 LSI はエリア 2~5 の外部空間を DRAM 空間に設定し、DRAM インタフェースを行うことができます。DRAM インタフェースでは DRAM を本 LSI と直結することができます。DRAMCR の RMTS2~RMTS0 ビットにより、2/4/8M バイトの DRAM 空間を設定できます。また、高速ページモードを利用したバースト動作を行うことができます。

【注】 5V 版では DRAM インタフェースをサポートしていません。

6.7.1 DRAM 空間の設定

エリア 2~5 を DRAM 空間にするには、DRAMCR レジスタの RMTS2~RMTS0 ビットを設定します。表 6.5 に RMTS2~RMTS0 ビットの設定値と DRAM 空間の関係を示します。DRAM 空間は、1 エリア設定 (エリア 2)、2 エリア設定 (エリア 2、3)、4 エリア設定 (エリア 2~5)、連続エリア設定 (エリア 2~5) を選択することができます。

表 6.5 RMTS2~RMTS0 の設定値と DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			
1	0	0	連続シンクロナス DRAM 空間*			
		1	シンクロナス DRAM のモードレジスタ設定*			
	1	0	リザーブ (設定禁止)			
		1	連続 DRAM 空間			

【注】 * H8S/2426 グループ、H8S/2424 グループではリザーブ (設定禁止) になります。

連続 DRAM 空間では、 $\overline{\text{RAS2}}$ が有効となります。また、バス幅、ウェイトステート数など連続 DRAM 空間のバス仕様は、エリア 2 の設定に従います。

6.7.2 アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、DRAMCR の MXC2~MXC0 ビットによりロウアドレスのシフト量を選択します。表 6.6 に MXC2~MXC0 の設定値とシフト量の関係を示します。

DRAM インタフェースのときは MXC2 を 0 に設定してください。

表 6.6 MXC2~MXC0 とアドレスマルチプレクスの関係

	DRAMCR			シフト量	アドレス端子																
	MXC2	MXC1	MXC0		A23~A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ロウ アドレス	0	0	0	8ビット	A23~A16	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			1	9ビット	A23~A16	A15	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
	1	0	10ビット	A23~A16	A15	A14	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	
		1	11ビット	A23~A16	A15	A14	A13	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	
	1	×	×	リザーブ (設定禁止)																	
カラム アドレス	0	×	×	—	A23~A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	1	×	×	リザーブ (設定禁止)																	

× : Don't care

6.7.3 データバス

DRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では、×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D15~D8 の上位側データバスが有効となり、16 ビット DRAM 空間では D15~D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.5.1 データサイズとデータアライメント」を参照してください。

6.7.4 DRAM インタフェース使用端子

表 6.7 に DRAM インタフェースで使用する端子と機能を示します。

表 6.7 DRAM インタフェース端子構成

端子	DRAM 設定時	名称	入出力	機能
HWR	WE	ライトイネーブル	出力	DRAM 空間アクセス時のライトイネーブル
CS2	RAS2	ロウアドレスストロープ 2	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストロープ/エリア 2~5 を連続 DRAM 空間に設定したときのロウアドレスストロープ
CS3	RAS3	ロウアドレスストロープ 3	出力	エリア 3 を DRAM 空間に設定したときのロウアドレスストロープ
CS4	RAS4	ロウアドレスストロープ 4	出力	エリア 4 を DRAM 空間に設定したときのロウアドレスストロープ
CS5	RAS5	ロウアドレスストロープ 5	出力	エリア 5 を DRAM 空間に設定したときのロウアドレスストロープ
UCAS	UCAS	アッパーカラムアドレスストロープ	出力	16 ビット DRAM 空間アクセス時のアッパーカラムストロープ/8 ビット DRAM 空間アクセス時のカラムアドレスストロープ
LCAS	LCAS	ローアーカラムアドレスストロープ	出力	16 ビット DRAM 空間アクセス時のローアーカラムアドレスストロープ信号
RD、OE	OE	アウトプットイネーブル	出力	DRAM 空間アクセス時のアウトプットイネーブル
WAIT	WAIT	ウェイト	入力	ウェイト要求信号
A15~A0	A15~A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力
D15~D0	D15~D0	データ端子	入出力	データ入出力端子

6.7.5 基本動作タイミング

DRAM 空間の基本アクセスタイミングを図 6.33 に示します。

基本タイミング 4 ステートは、 T_p (プリチャージサイクル) 1 ステート、 T_r (ロウアドレス出力サイクル) 1 ステート、 T_{c1} 、 T_{c2} (コラムアドレス出力サイクル) 2 ステートで構成されています。

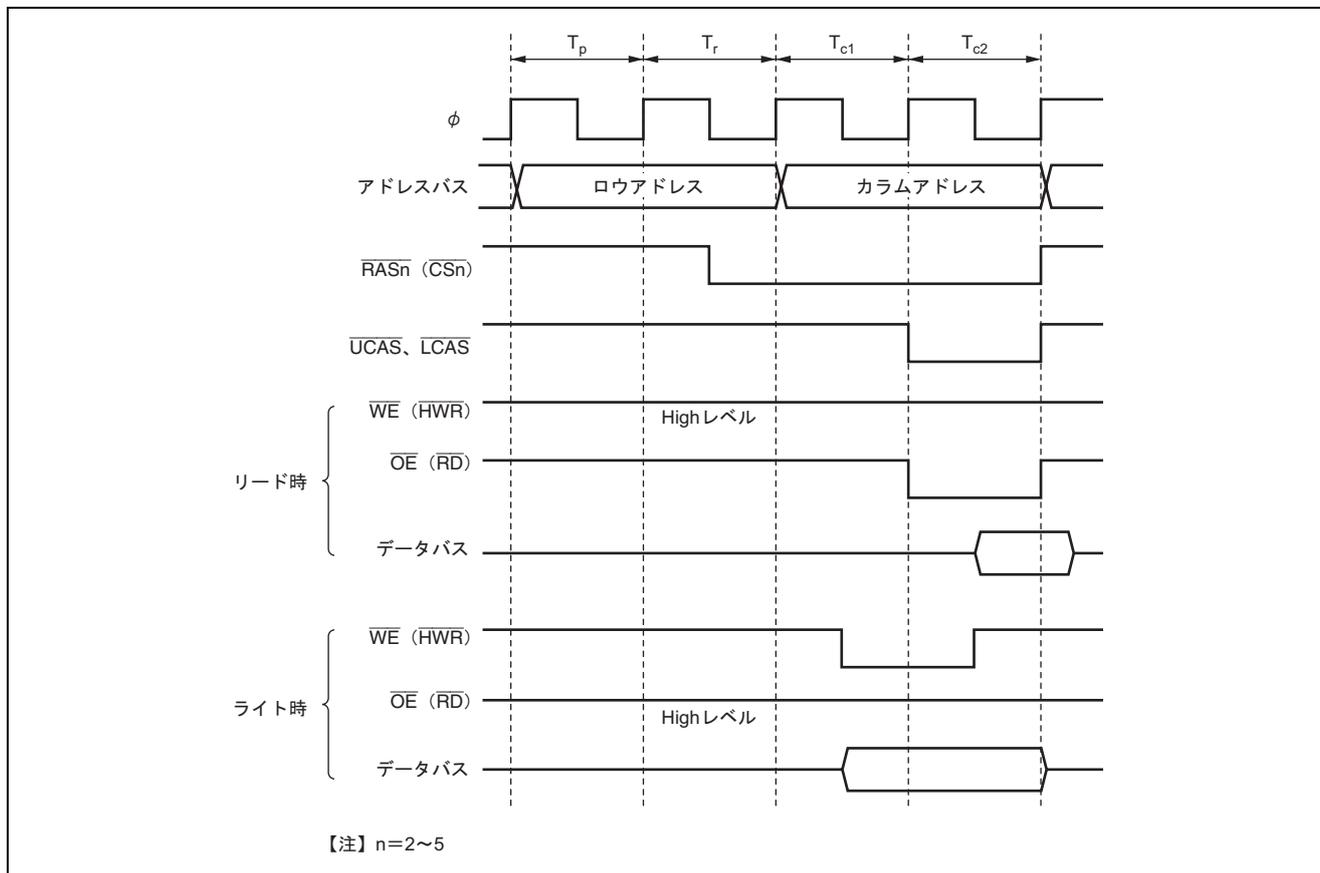


図 6.33 DRAM 基本アクセスタイミング (RAST=0、CAST=0 の場合)

DRAM 空間へのアクセス時、 \overline{RD} 信号は DRAM への \overline{OE} 信号として出力されています。EDO ページモードを備えた DRAM を接続する際には、 \overline{OE} 信号を DRAM の (\overline{OE}) 端子に接続してください。また、DRAMCR レジスタの OEE ビットを 1 にセットすることにより、DRAM 空間に対する \overline{OE} 信号を専用の \overline{OE} 端子から出力することも可能です。この場合、DRAM 空間に対する \overline{OE} 信号は \overline{RD} 端子、(\overline{OE}) 端子の両方から出力されますが、DRAM 空間以外の外部リードサイクルでは \overline{RD} 端子のみが出力されます。

6.7.6 カラムアドレス出力サイクル制御

DRAMCR レジスタの CAST ビットを 1 にセットすると、カラムアドレス出力サイクルを 2 ステートから 3 ステートへ変更することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{CAS}}$ パルス幅などの規定値が最適になるように設定してください。図 6.34 にカラムアドレス出力サイクルを 3 ステートに設定した場合のタイミング例を示します。

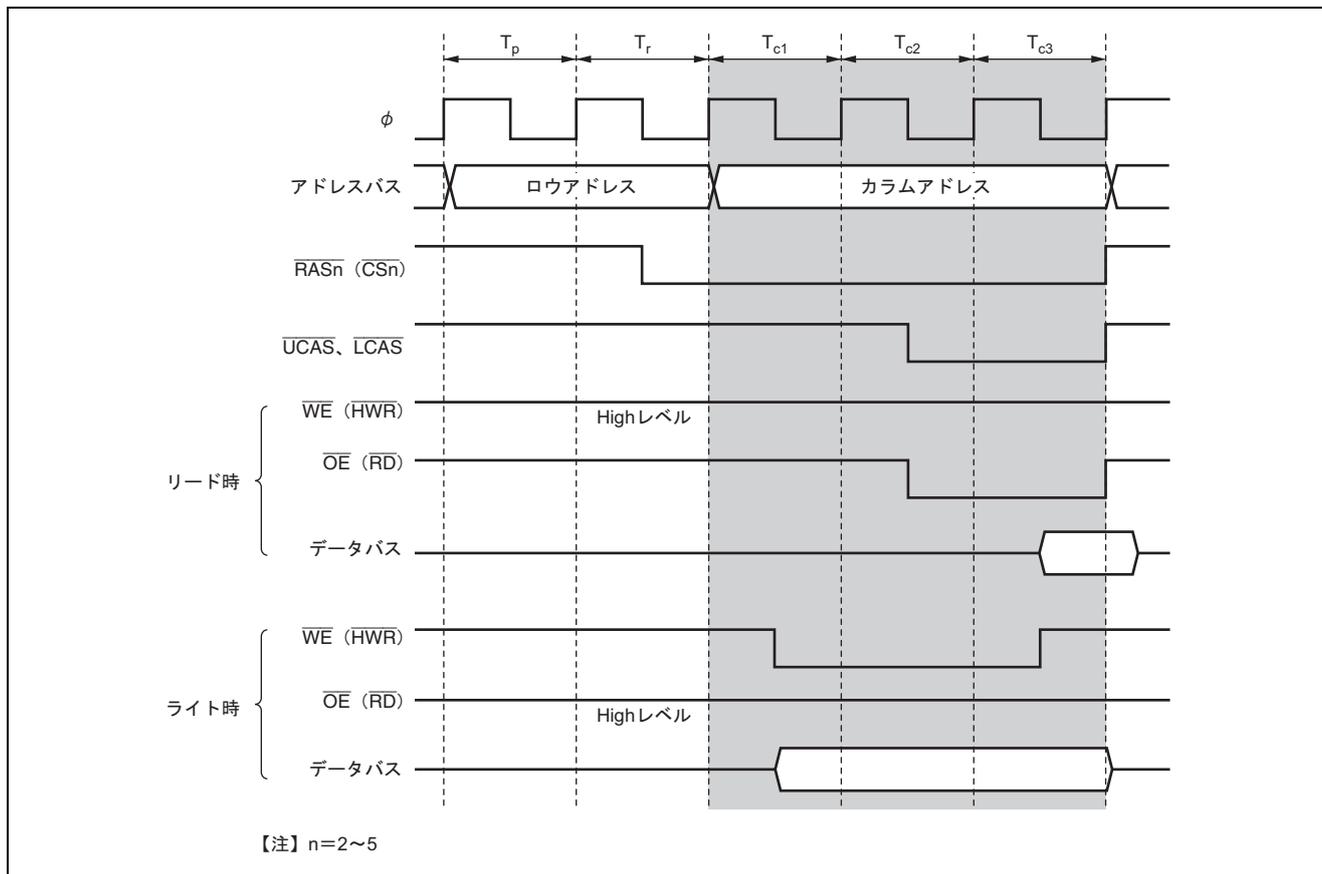


図 6.34 カラムアドレス出力サイクル 3 ステートの場合のアクセスタイミング例 (RAST=0 の場合)

6.7.7 ロウアドレス出力ステート制御

DRAMCR レジスタの RAST ビットを 1 にセットすると、 $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなり、 $\overline{\text{RAS}}$ 信号の立ち下がりに対するロウアドレスのホールド時間と DRAM リードアクセス時間が変化します。接続する DRAM と本 LSI の動作周波数に応じて最適になるように設定してください。図 6.35 に $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなる場合のタイミング例を示します。

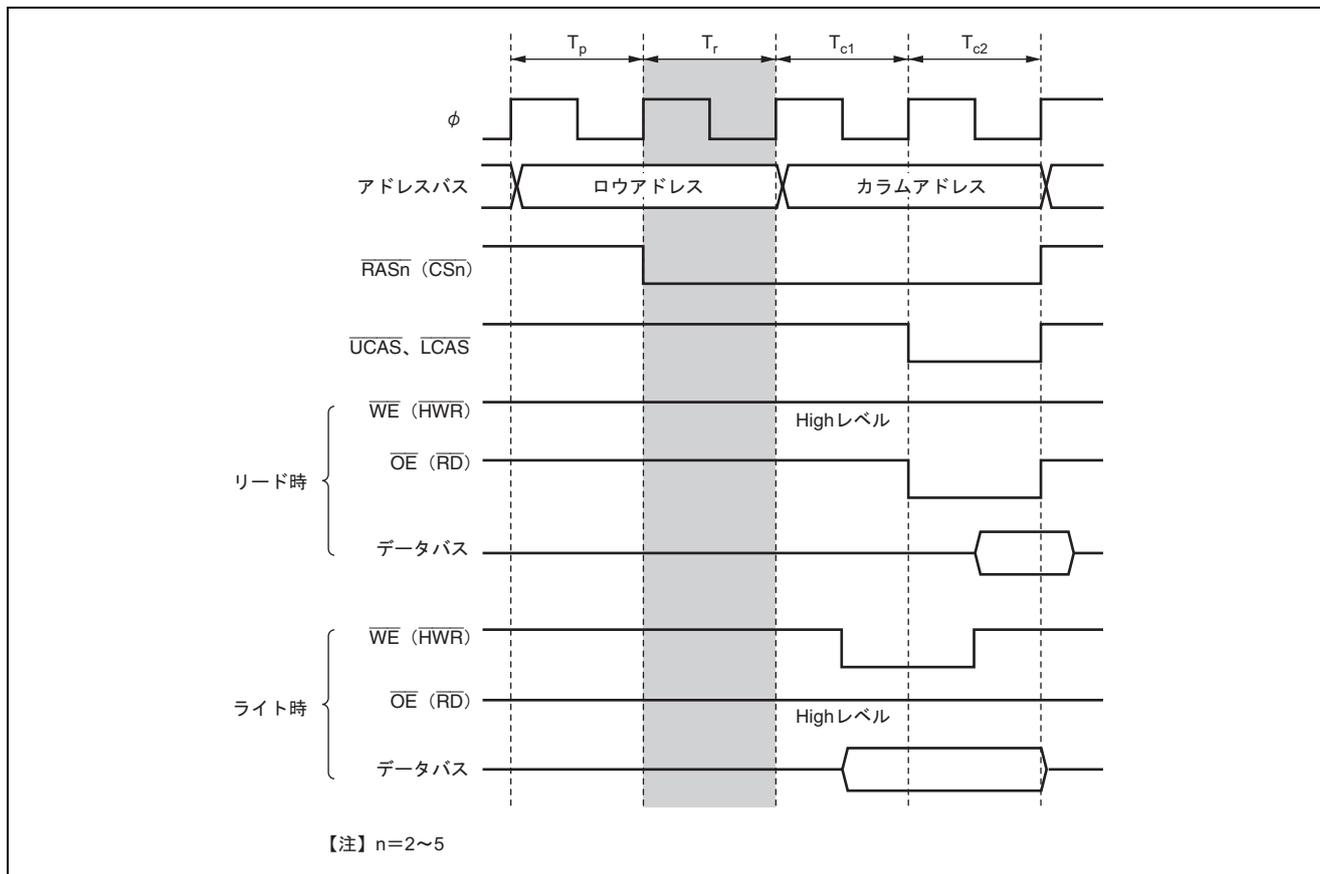


図 6.35 RAS 信号が Tr ステートの先頭から Low レベルとなる場合のアクセスタイミング例 (CAST=0 の場合)

ロウアドレスのホールド時間またはリード時のアクセス時間が必要な場合には、DRACCR の RCD1、RCD0 ビットを設定することにより、 $\overline{\text{RAS}}$ 信号が Low レベルとなる T_r サイクルと、カラムアドレスが出力される T_{c1} サイクルの間にロウアドレスが出力保持されるステート (T_{rw}) を 1~3 ステート挿入することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{RAS}}$ 信号の立ち下がりエッジに対するロウアドレス信号のホールド時間が最適になるように設定してください。図 6.36 に T_{rw} を 1 ステートに設定したときのタイミングを示します。

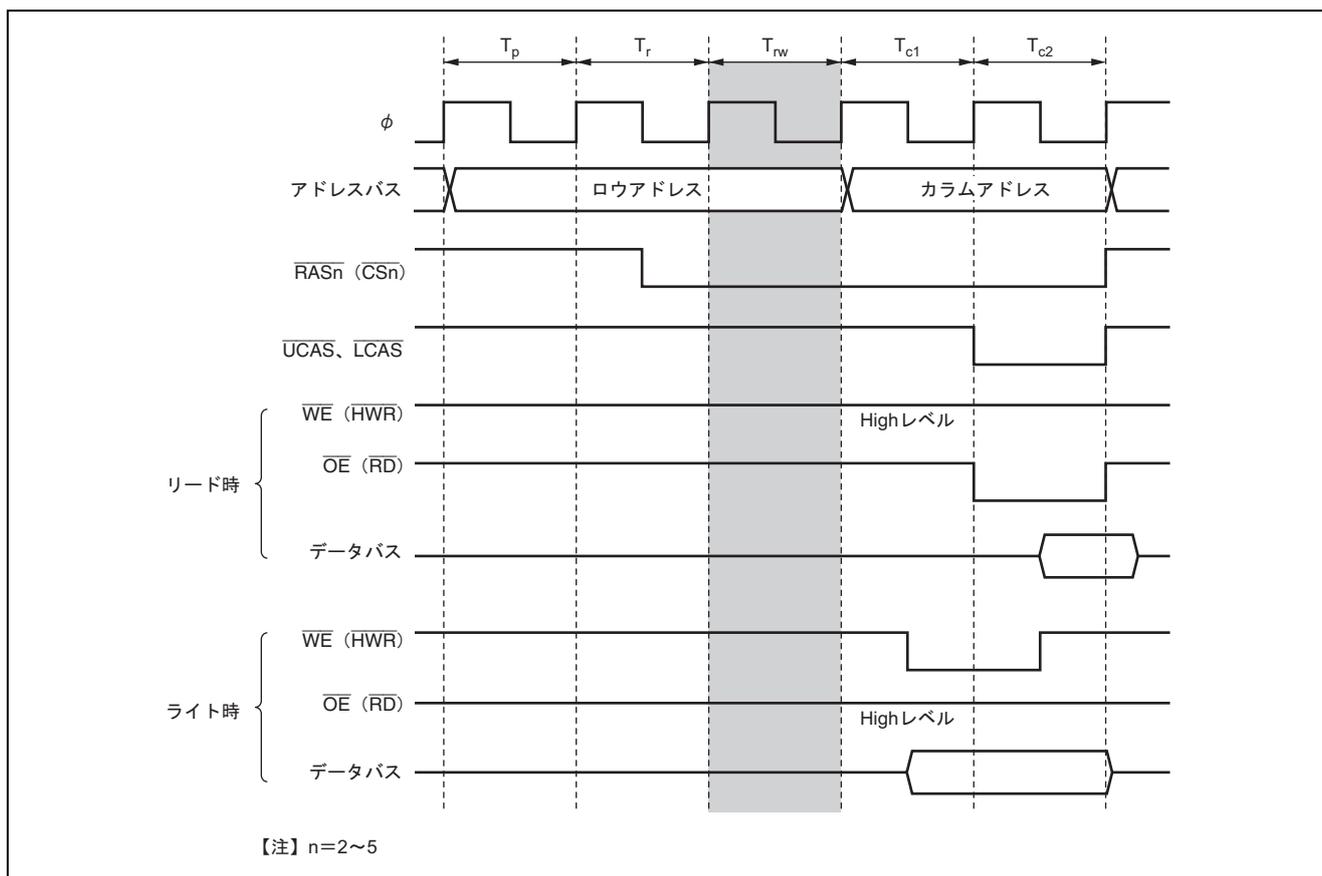


図 6.36 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例 (RAST=0、CAST=0 の場合)

6.7.8 プリチャージステート制御

DRAM をアクセスするときには、 $\overline{\text{RAS}}$ プリチャージ時間を確保する必要があります。本 LSI では、DRAM 空間をアクセスするとき、 T_p を必ず 1 ステート挿入します。さらに、DRACCR の TPC1、TPC0 ビットの設定により、 T_p を 1 ステートから 4 ステートの範囲で変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な T_p サイクル数を設定してください。図 6.37 に T_p を 2 ステートとしたときのタイミングを示します。TPC1、TPC0 ビットの設定は、リフレッシュサイクルの T_p にも有効です。

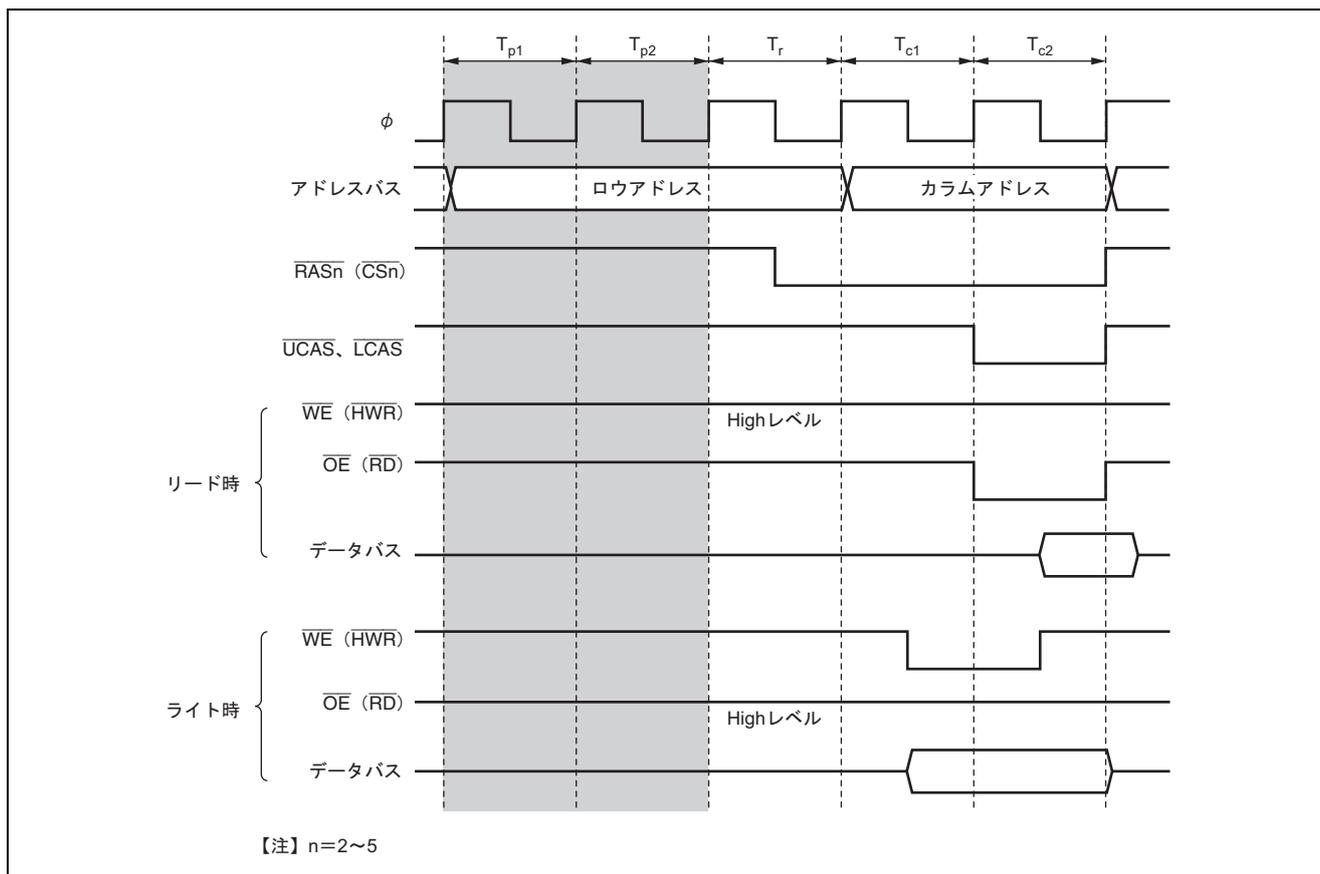


図 6.37 プリチャージサイクル 2 ステート時のタイミング例
($\text{RAST}=0$ 、 $\text{CAST}=0$ の場合)

6.7.9 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入の2種類があります。

ウェイトステートは、DRAM 空間リードアクセス時には $\overline{\text{CAS}}$ のアサート期間を引き延ばすように挿入され、ライトアクセス時にはライトデータと $\overline{\text{CAS}}$ の立ち下がりエッジとのセットアップ時間を引き延ばすように挿入されます。

(1) プログラムウェイトの挿入

DRAM 空間に設定されたエリアに対応する ASTCR のビットが 1 にセットされているとき、WTCR の設定により、0~7 ステートのウェイトステートを自動的に T_{c1} ステートと T_{c2} ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR レジスタの WAITE ビットが 1 にセットされ、かつ ASTCR のビットが 1 にセットされている場合、 $\overline{\text{WAIT}}$ 端子によるウェイト入力の有効になります。この状態で DRAM 空間をアクセスすると、まずプログラムウェイト (T_w) が挿入されます。 T_{c1} または T_w の最後のステートの ϕ の立ち下がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

カラムアドレス出力サイクルが 2 ステートのときのウェイトサイクル挿入タイミング例を図 6.38 に、3 ステートのときのウェイトサイクル挿入タイミング例を図 6.39 に示します。

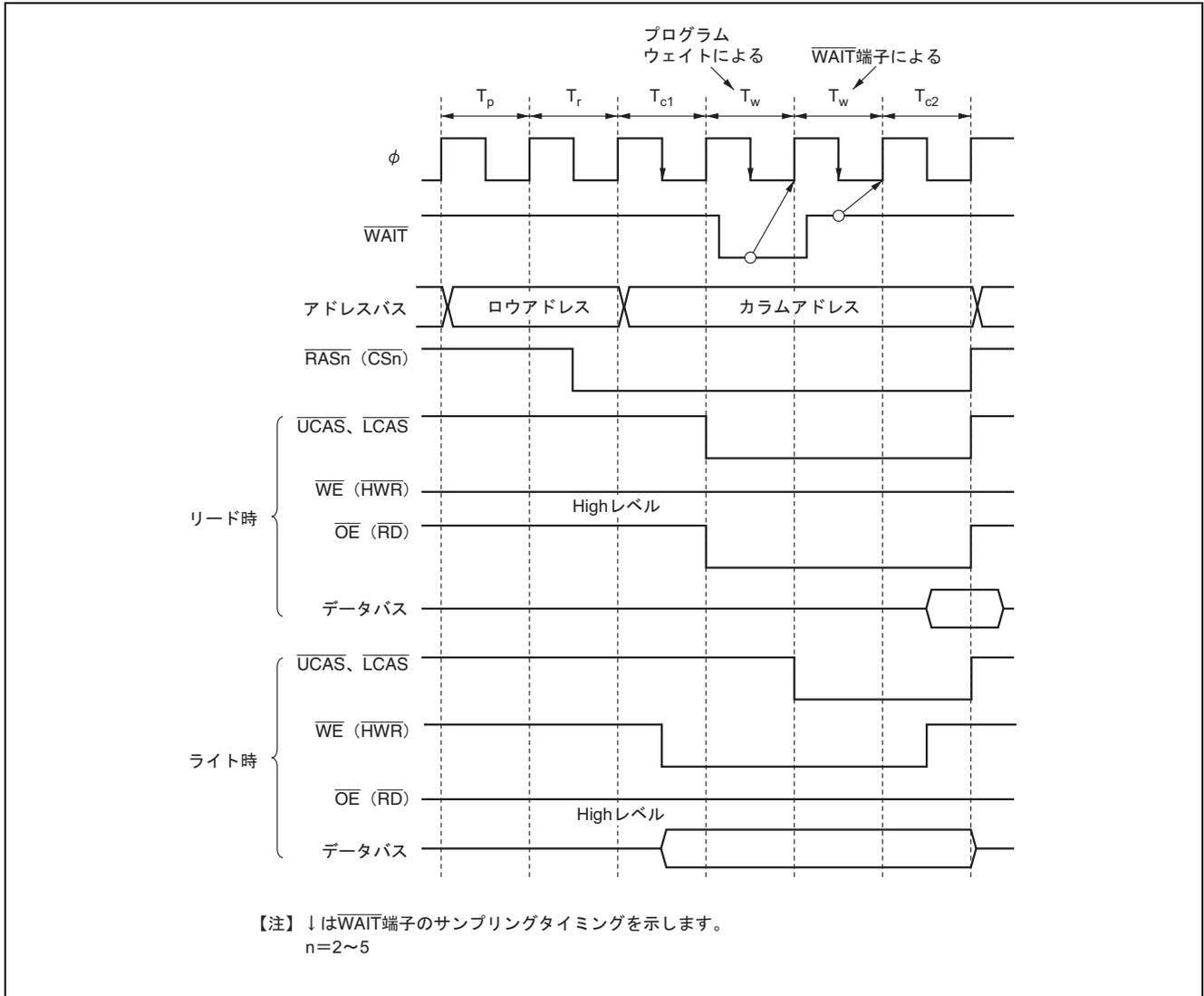


図 6.38 ウェイトステート挿入タイミング例 (カラムアドレス出力 2 ステートの場合)

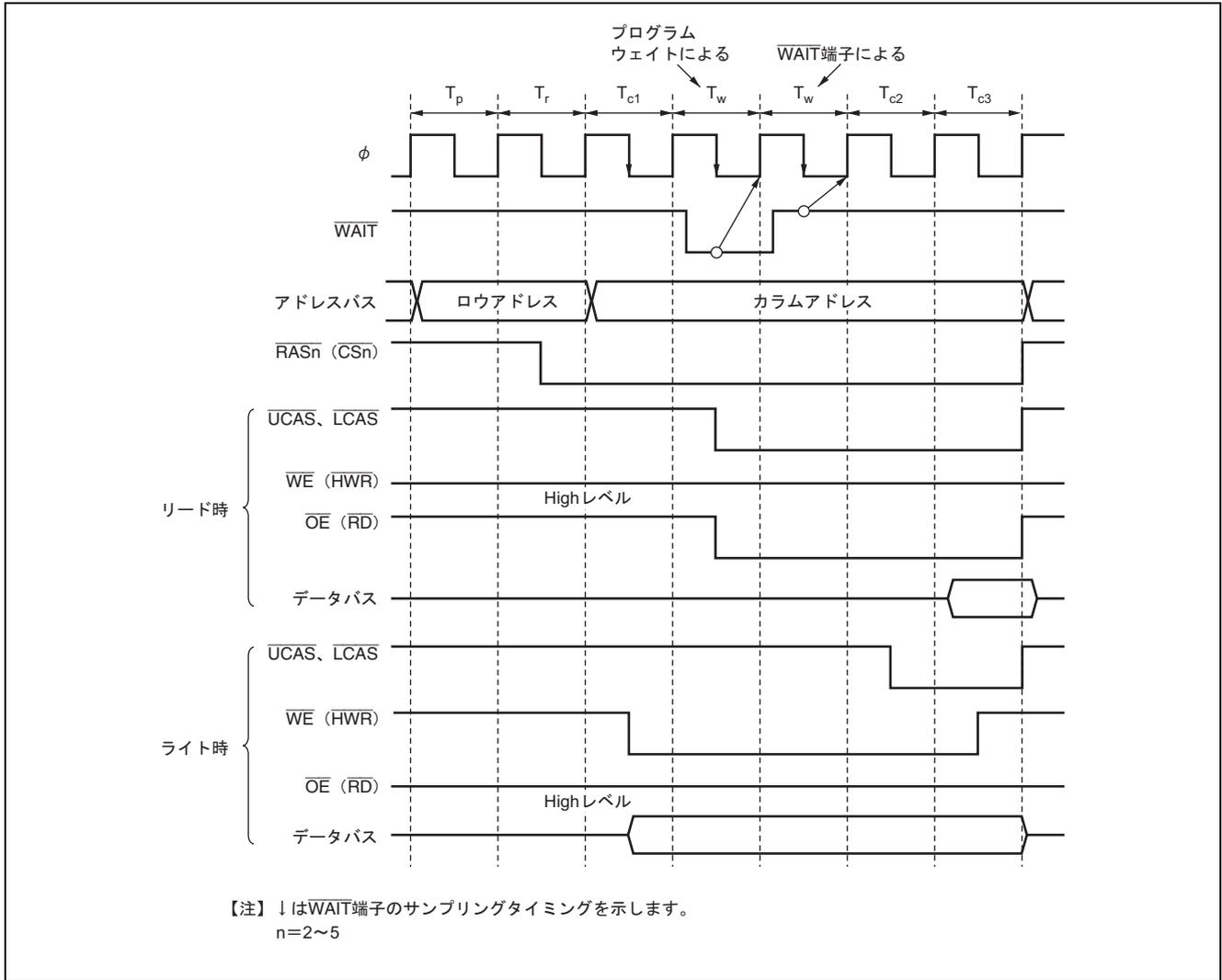


図 6.39 ウェイトステート挿入タイミング例 (カラムアドレス出力 3 ステートの場合)

6.7.10 バイトアクセス制御

×16 ビット構成の DRAM を接続するとき、バイトアクセスに必要な制御信号として CAS2 本方式を使用することができます。図 6.40 に CAS2 本方式の制御タイミングを示します。また図 6.41 に CAS2 本方式の接続例を示します。

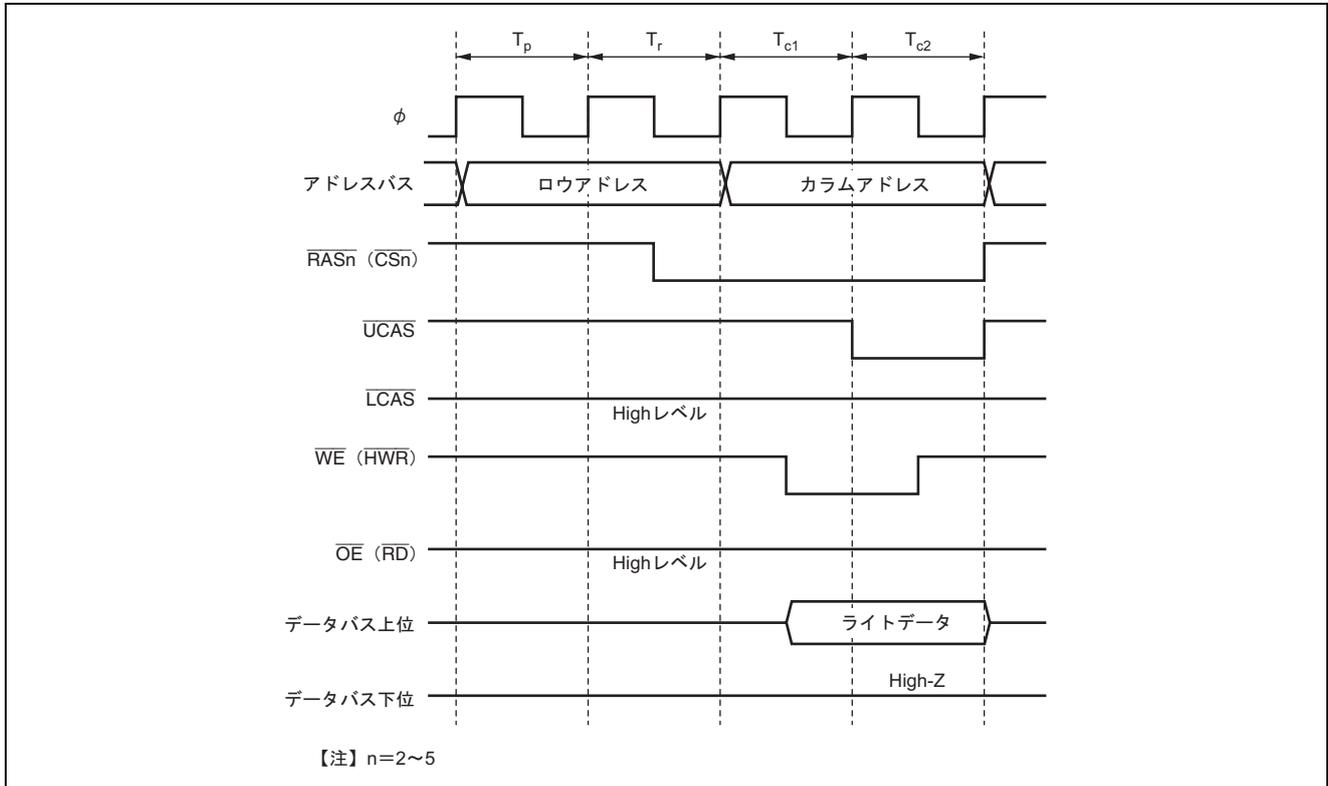


図 6.40 CAS2 本方式の制御タイミング
(上位バイトライトアクセス時、RAST=0、CAST=0 の場合)

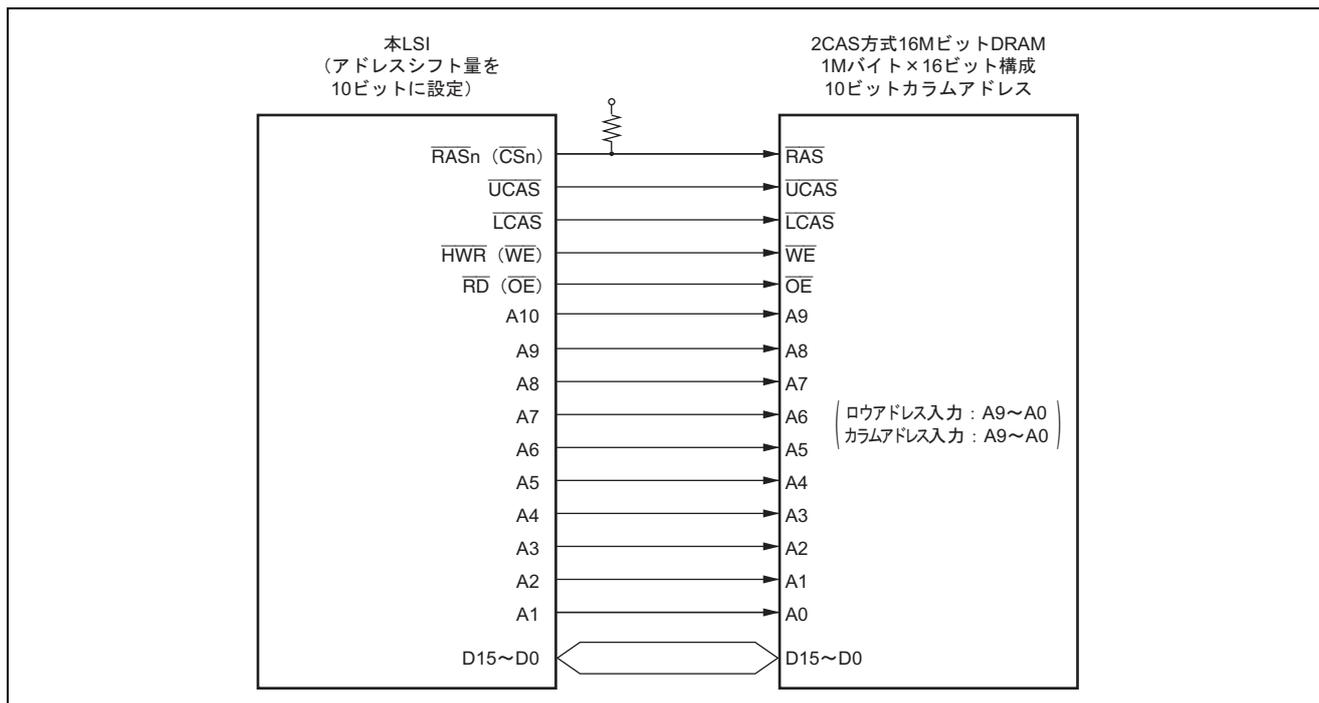


図 6.41 CAS2 本方式の接続例

6.7.11 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。DRAMCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

(1) バーストアクセス（高速ページモード）

図 6.42、図 6.43 にバーストアクセスの動作タイミングを示します。DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、 $\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクル（2 ステート）が連続して行われます。比較対象となるロウアドレスは DRAMCR の MXC2~MXC0 ビットにより設定します。

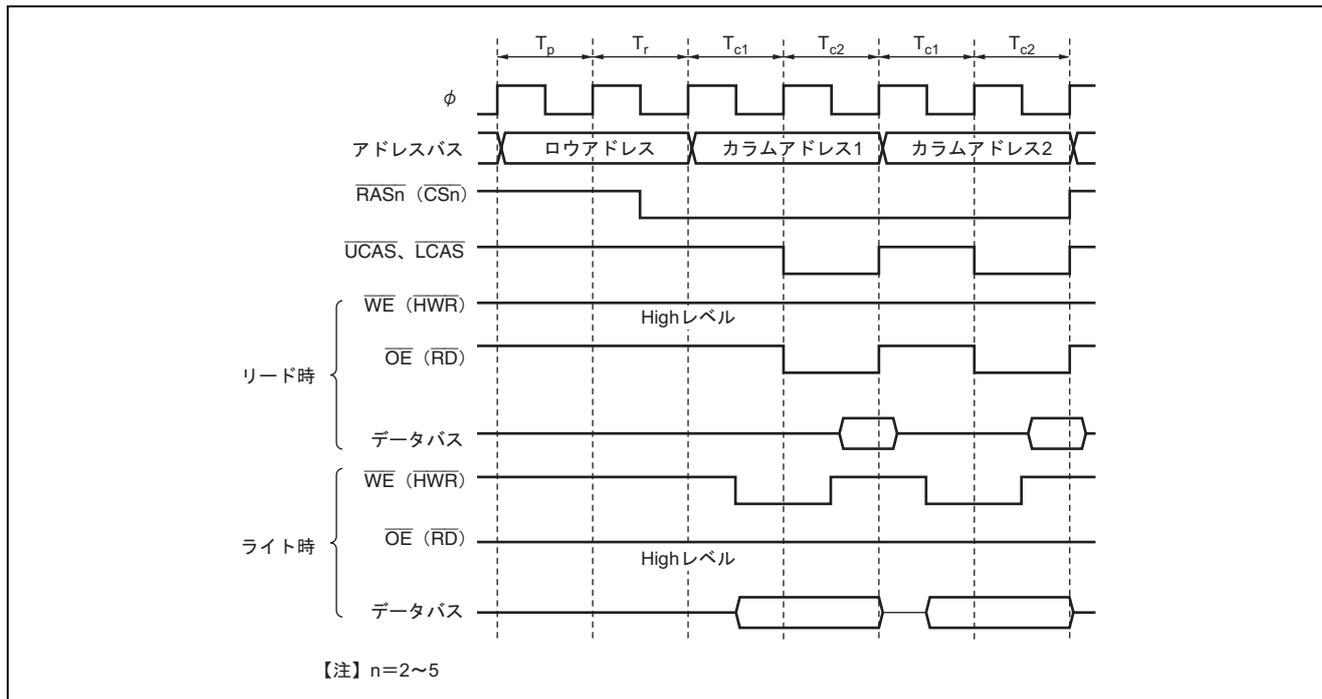


図 6.42 高速ページモードの動作タイミング (RAST=0、CAST=0 の場合)

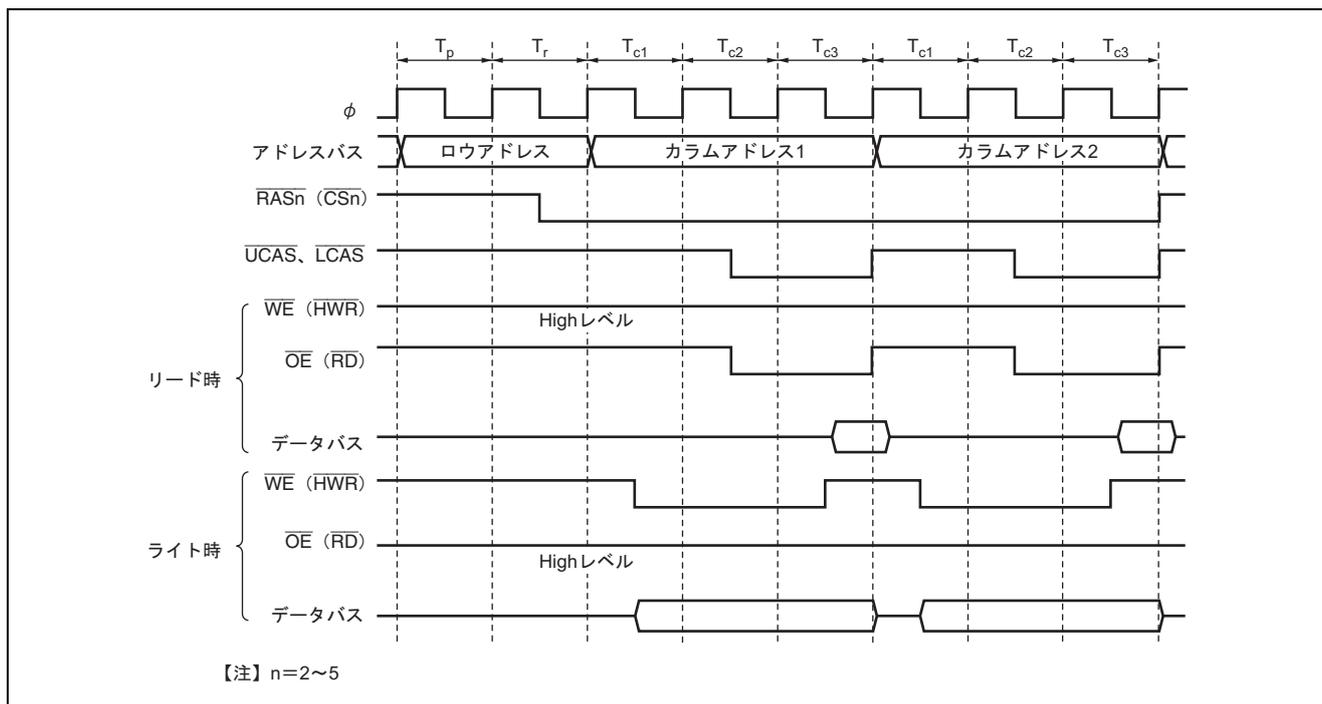


図 6.43 高速ページモードの動作タイミング (RAST=0、CAST=1 の場合)

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き延ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「6.7.9 ウェイト制御」を参照してください。

(2) RAS ダウンモードと RAS アップモード

バースト動作を選択しても、DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も $\overline{\text{RAS}}$ 信号を Low レベルに保持しておく、次に DRAM 空間の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。

(a) RAS ダウンモード

RAS ダウンモードを選択するときは、DRAMCR の RCDM ビットと BE ビットをともに 1 にセットしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$ 信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致したときに、バーストアクセスが行われます。図 6.44 に RAS ダウンモードのタイミング例を示します。

ただし、以下の場合、 $\overline{\text{RAS}}$ 信号は High レベルになります。

- リフレッシュ動作が RAS ダウン中に入る場合
- セルフリフレッシュが行われた場合
- ソフトウェアスタンバイモードへ遷移する場合
- 外部バスを解放する場合
- RCDM ビット、または BE ビットを 0 にクリアした場合

また、 $\overline{\text{RAS}}$ ダウン中に全モジュールクロックストップモードへ遷移すると、 $\overline{\text{RAS}}$ が Low レベルの状態でクロックが停止します。 $\overline{\text{RAS}}$ が High レベルの状態で全モジュールクロックストップモードへ遷移したい場合には、SLEEP 命令の実行の前に RCDM ビットを 0 にクリアしてください。

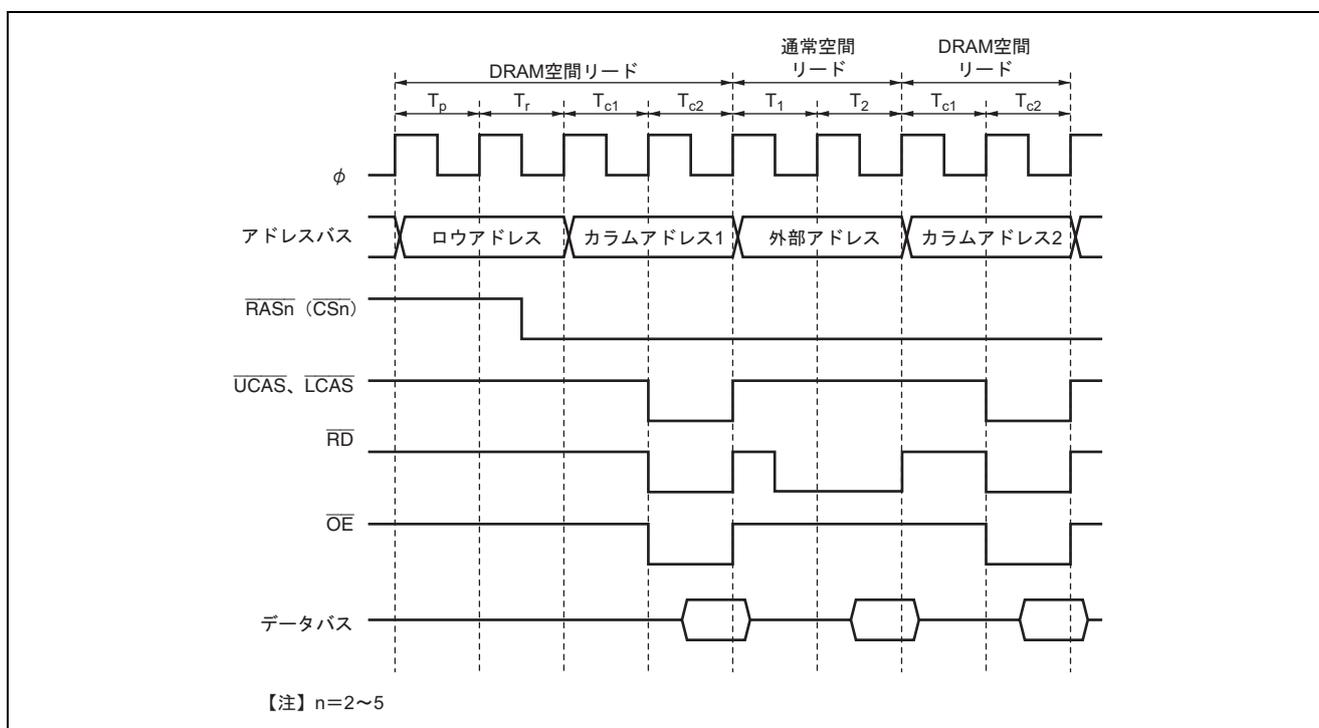


図 6.44 RAS ダウンモードの動作タイミング例 (RAST=0、CAST=0 の場合)

(b) RAS アップモード

RAS アップモードを選択するときは、DRAMCR の RCDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$ 信号を High レベルに戻します。DRAM 空間が連続している場合だけバースト動作が行われます。図 6.45 に RAS アップモードのタイミング例を示します。

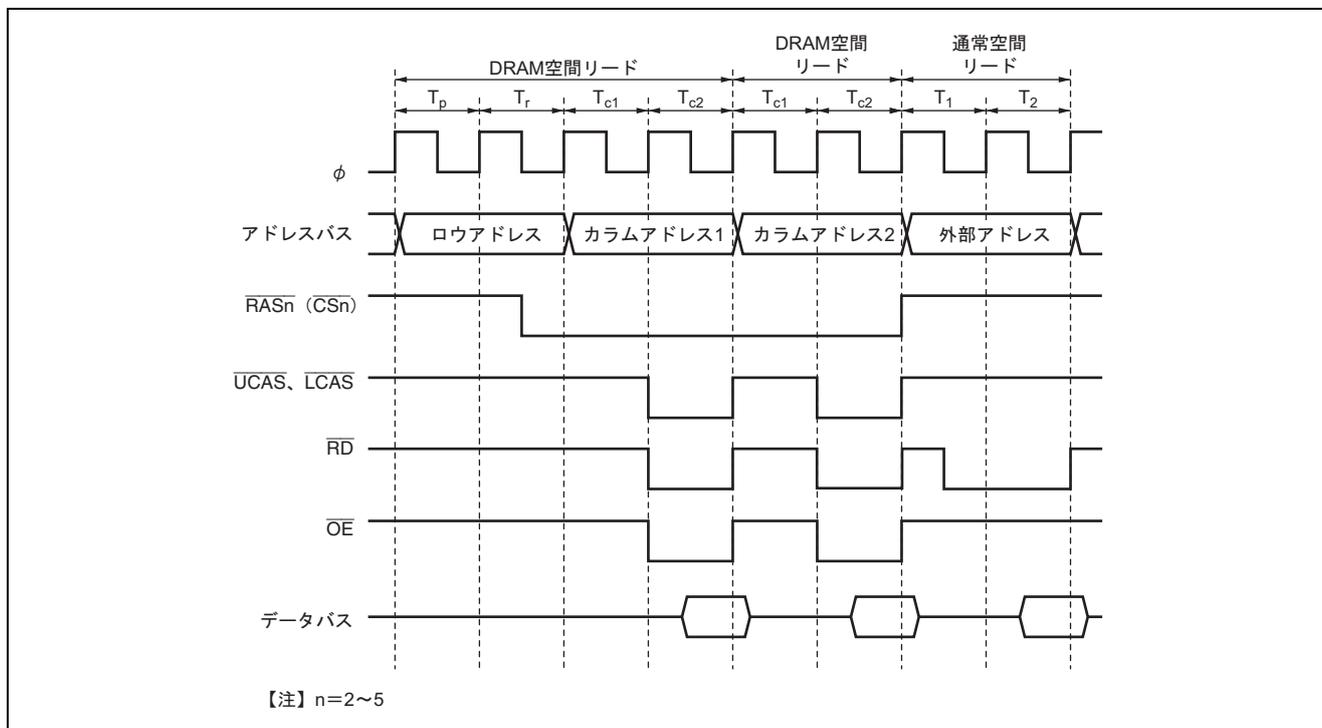


図 6.45 RAS アップモードの動作タイミング例 (RAST=0、CAST=0 の場合)

6.7.12 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、CAS ビフォ RAS (CBR) リフレッシュです。また、ソフトウェアスタンバイ状態に遷移するときにセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR レジスタの RMTS2~RMTS0 ビットの設定により、いずれかのエリアを DRAM 空間に設定した場合に有効です。

(1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

CBR リフレッシュでは、REFCR の RTCK2~RTCK0 ビットで選択した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2~RTCK0 ビットで決まる一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2~RTCK0 ビットの値を設定してください。

REFCR の RTCK2~RTCK0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、RTCK2~RTCK0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。図 6.46 に RTCNT の動作を、図 6.47 にコンペアマッチのタイミングを、図 6.48 に CBR リフレッシュのタイミングをそれぞれ示します。

また、REFCR の CBRM ビット=0 を設定したとき、CBR リフレッシュ期間中には、DRAM 空間以外の外部空間のアクセスを並行して行います。

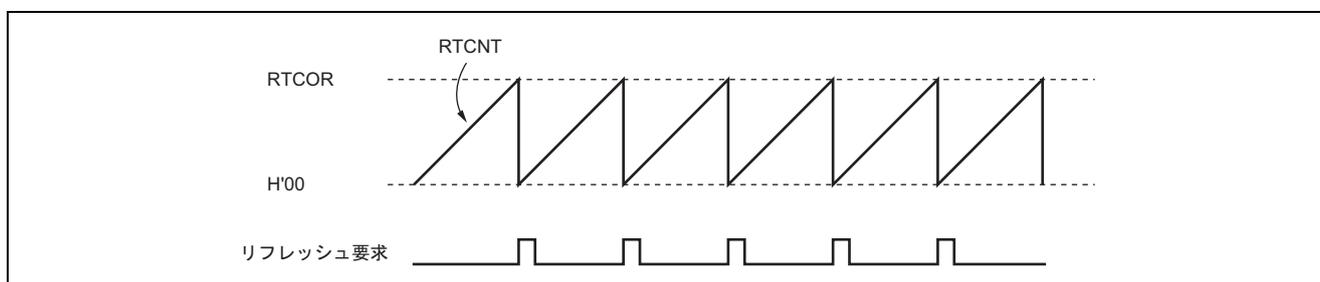


図 6.46 RTCNT の動作

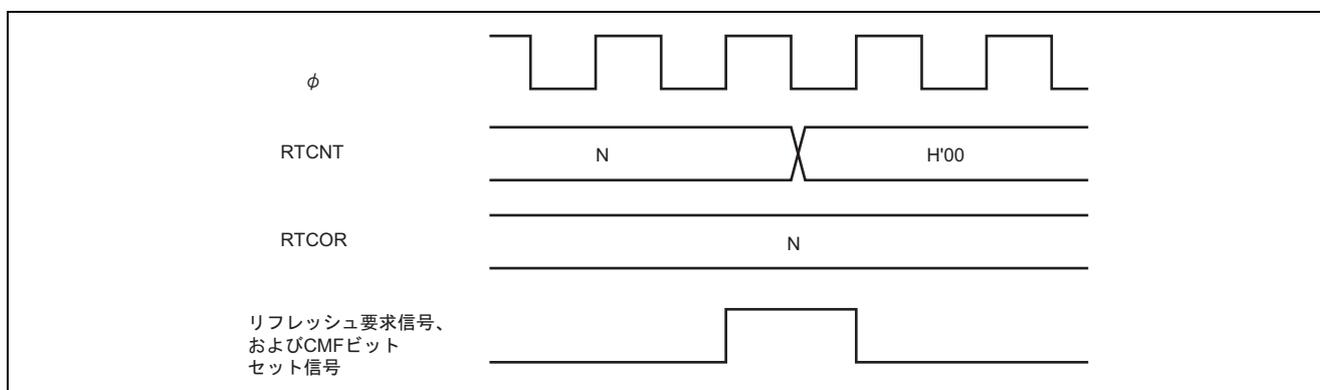


図 6.47 コンペアマッチのタイミング

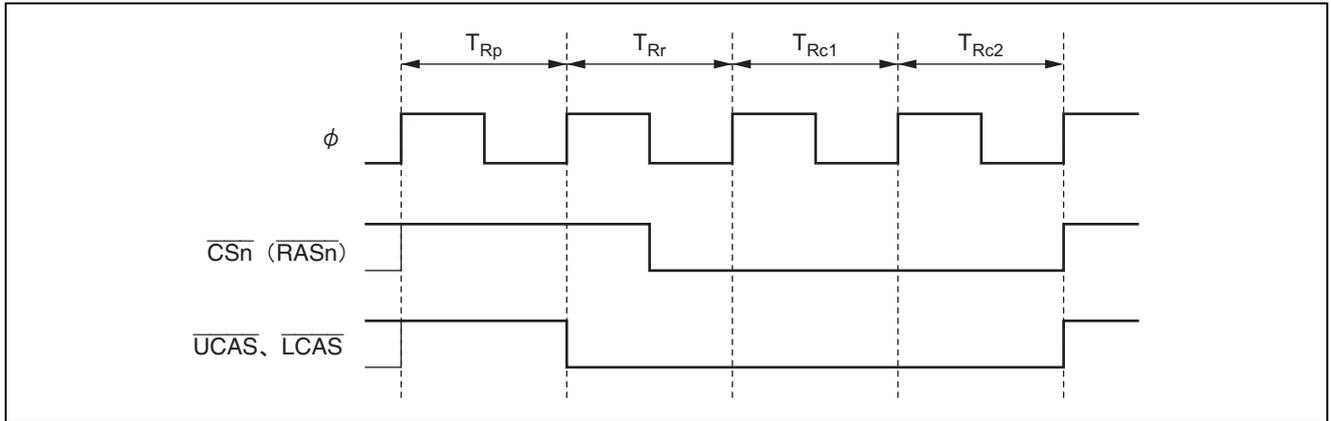


図 6.48 CBR リフレッシュタイミング

また、REFCR の RCW1、RCW0 ビットに設定することにより、 $\overline{\text{RAS}}$ 信号が 1 から 3 サイクル遅れて出力することが可能です。 $\overline{\text{RAS}}$ 信号幅は、REFCR の RLW1、RLW0 ビットで調整してください。RCW1、RCW0、RLW1、RLW0 ビットの設定は、リフレッシュのときのみ有効になります。図 6.49 に RCW1、RCW0 ビットを設定したときのタイミングを示します。

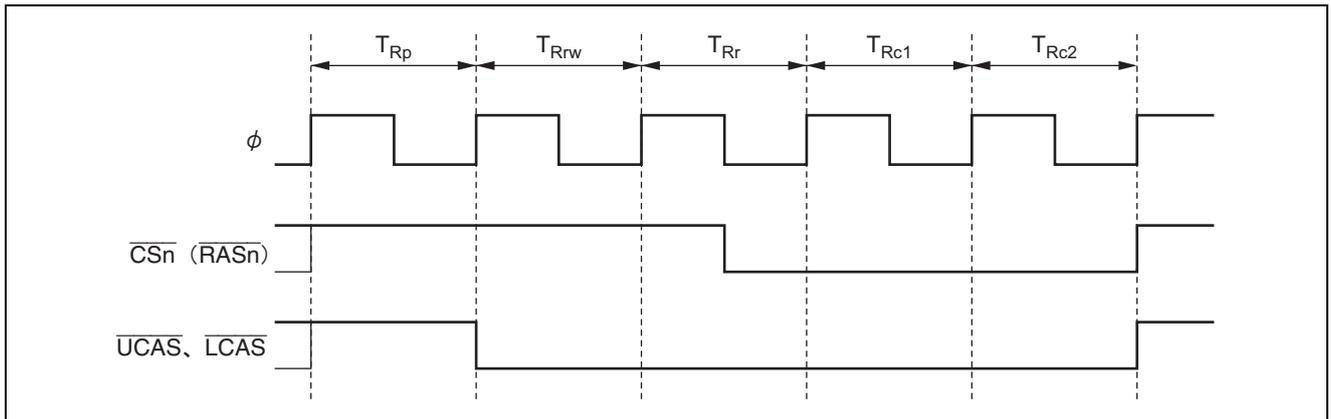


図 6.49 CBR リフレッシュタイミング
(RCW1=0、RCW0=1、RLW1=0、RLW0=0 の場合)

使用する DRAM によっては、リフレッシュ期間中の \overline{WE} 信号の変化を許可しないものがあります。その場合、REFCR の CBRM ビットに 1 を設定してください。この場合、バスコントローラは適当なバスサイクルの切れ目でリフレッシュサイクルを挿入します。CBRM ビットに 1 を設定したときのタイミング例を図 6.50 に示します。このとき \overline{CS} 信号は制御対象外で、リフレッシュ期間に入る直前の値を保持します。

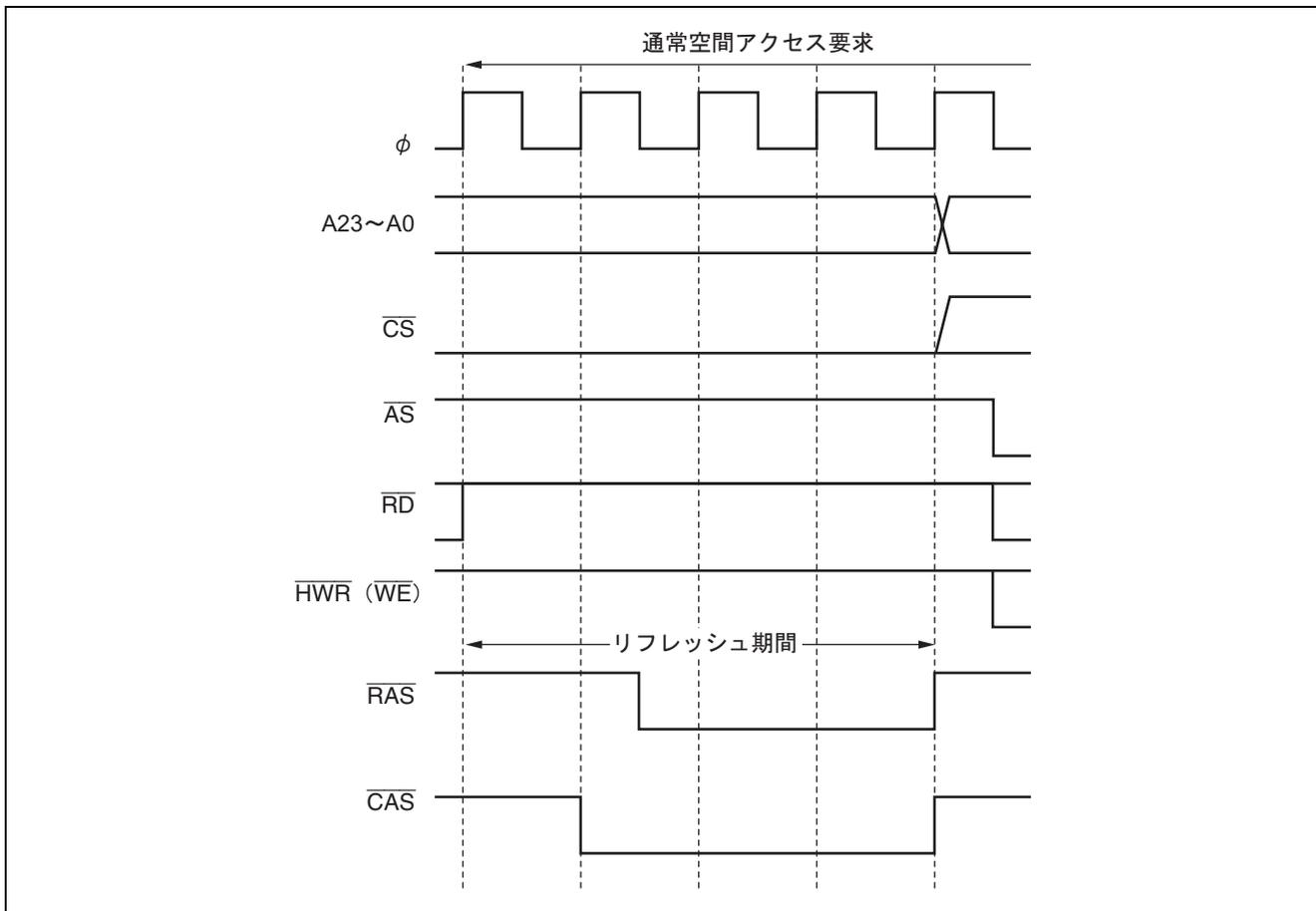


図 6.50 CBR リフレッシュタイミング例 (CBRM=1 のとき)

(2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、**図 6.51** に示すように $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され DRAM はセルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードを解除すると SLFRF ビットが 0 にクリアされ、セルフリフレッシュモードが自動的に解除されます。ソフトウェアスタンバイモードに遷移する場合、CBR リフレッシュ要求があると CBR リフレッシュを実行した後セルフリフレッシュモードに入ります。

セルフリフレッシュモードを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

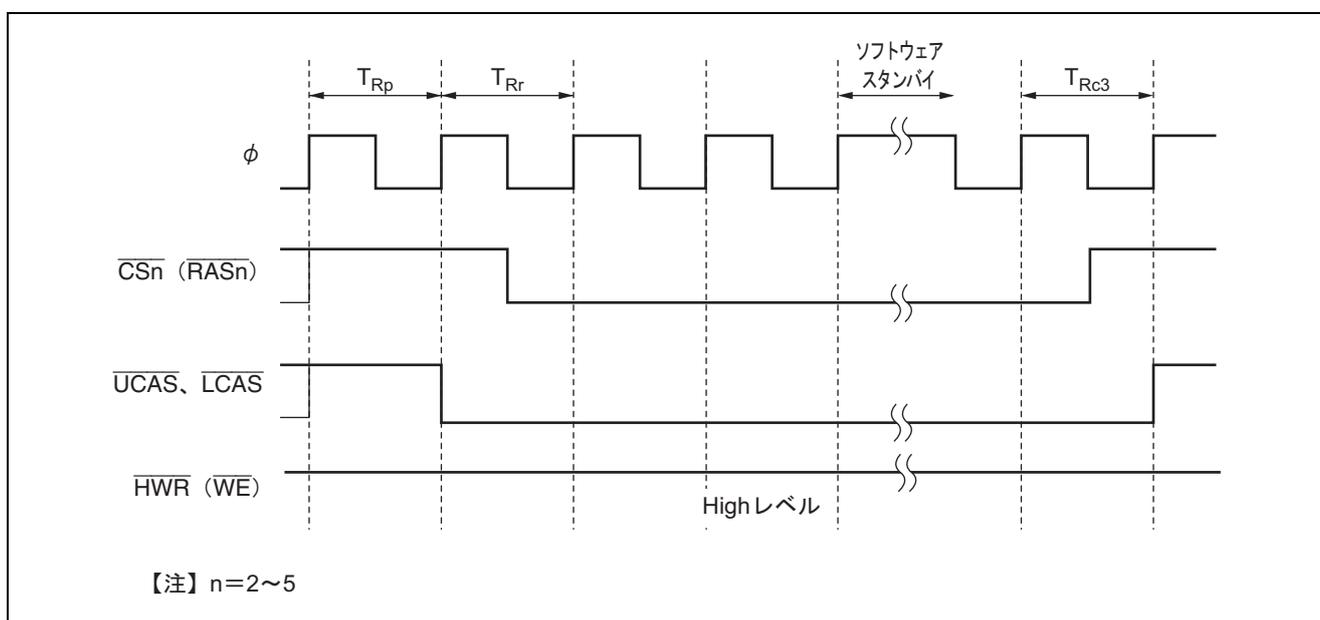


図 6.51 セルフリフレッシュタイミング

また、セルフリフレッシュモードを備える DRAM の中には、セルフリフレッシュ直後の $\overline{\text{RAS}}$ 信号のプリチャージ時間が通常のプリチャージ時間よりも長いものが存在します。REFCR の TPCS2~TPCS0 ビットの設定により、セルフリフレッシュ直後のプリチャージ時間のみを通常のプリチャージ時間より、1~7 ステート増加することが可能です。この場合、DRACCR の TPC1、TPC0 ビットの設定に従った通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。図 6.52 にセルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例を示します。

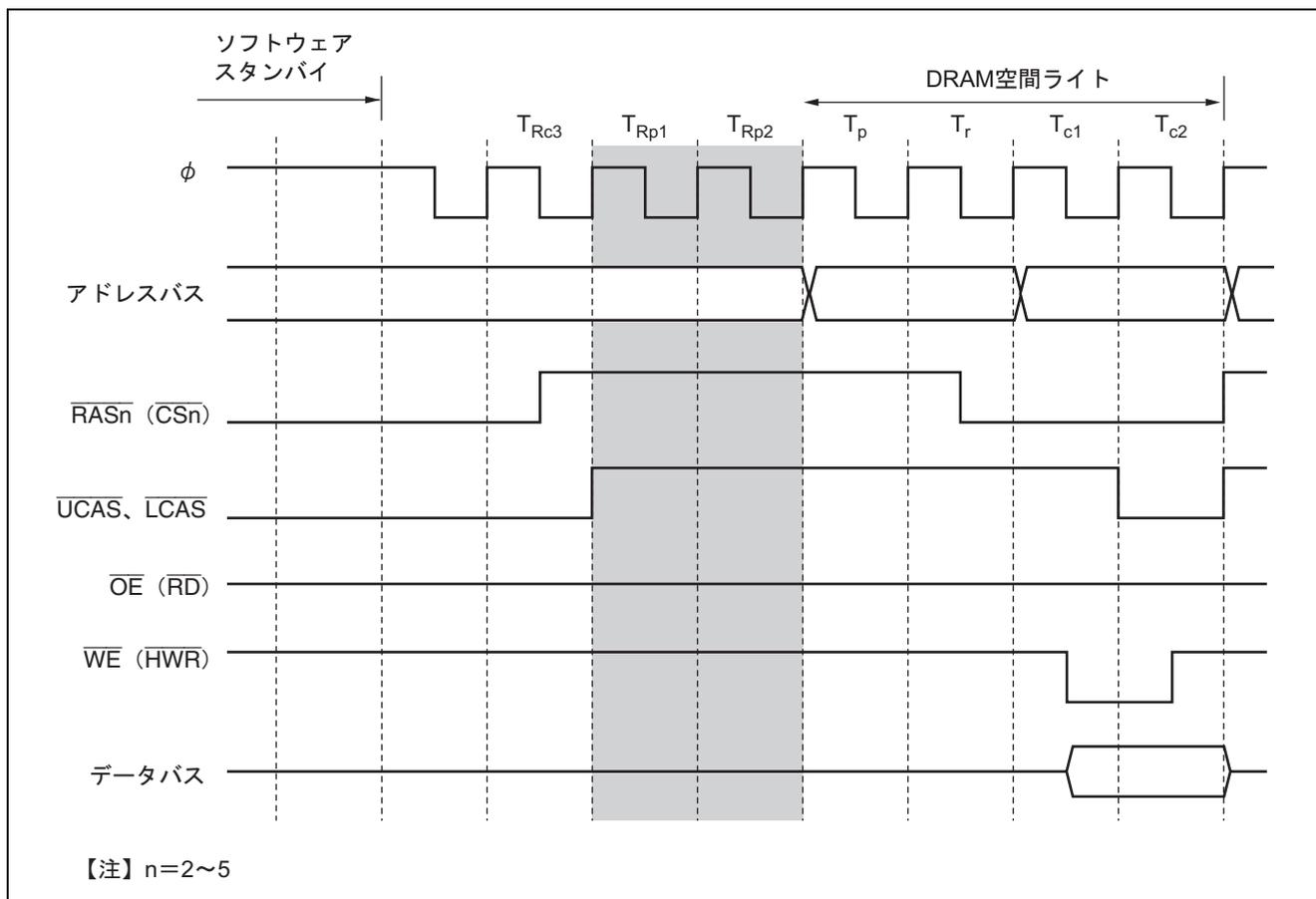


図 6.52 セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は、MSTPCR の ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR=H'FFFF、EXMSTPCR=H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR=H'FFFE、EXMSTPCR=H'FFFF) で SLEEP 命令を実行しスリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。このモードでは、バスコントローラもクロックが停止しますので CBR リフレッシュも実行されません。外部に DRAM を接続して、スリープモードで DRAM のデータを保持したい場合には、MSTPCR の ACSE ビットを 0 にクリアしてください。

6.7.13 DMAC および EXDMAC のシングルアドレス転送モードと DRAM インタフェース

DRAM インタフェースでバーストモードを設定したとき、DRAMCR の DDS、EDDS ビットによって $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを選択します。また、同時に DMAC および EXDMAC シングルアドレスモードで DRAM 空間をアクセスする場合に、バーストアクセスを行うか行わないかを選択します。

(1) DDS=1 または EDDS=1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは DRAM インタフェースの場合 T_{c1} ステートから Low レベルになります。

図 6.53 に DDS=1 または EDDS=1 のときの DRAM インタフェース時の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを示します。

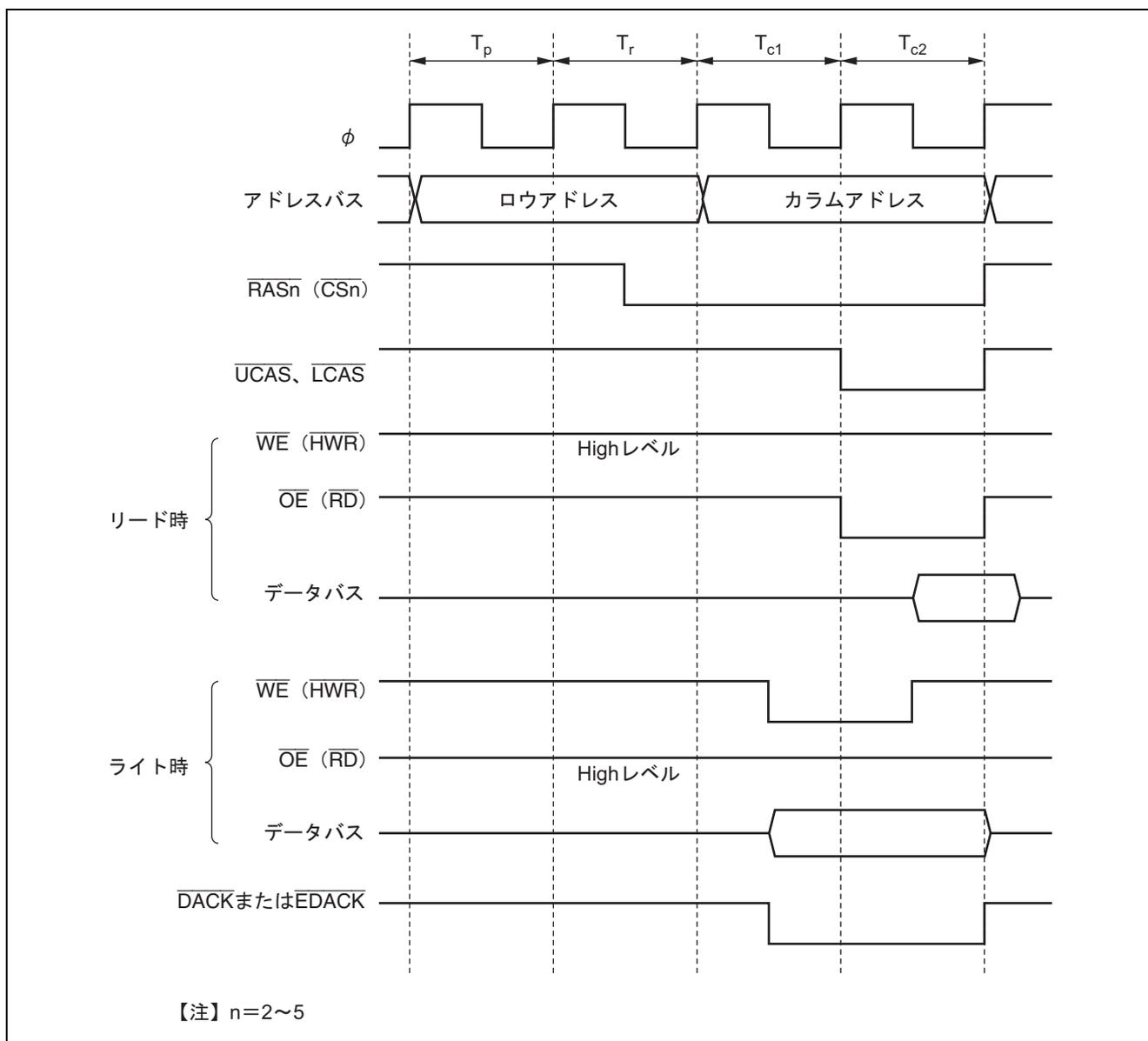


図 6.53 DDS=1 または EDDS=1 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 (RAST=0、CAST=0 の場合)

(2) DDS=0 または EDDS=0 のとき

DMAC または EXDMAC シングルアドレス転送モードで DRAM 空間をアクセスしたとき、必ずフルアクセス (ノーマルアクセス) を行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、DRAM インタフェースの場合 T_r ステートから Low レベルになります。

DMAC または EXDMAC シングルアドレス転送モード以外で DRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.54 に、DDS=0 または EDDS=0 のときの、DRAM インタフェース時の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを示します。

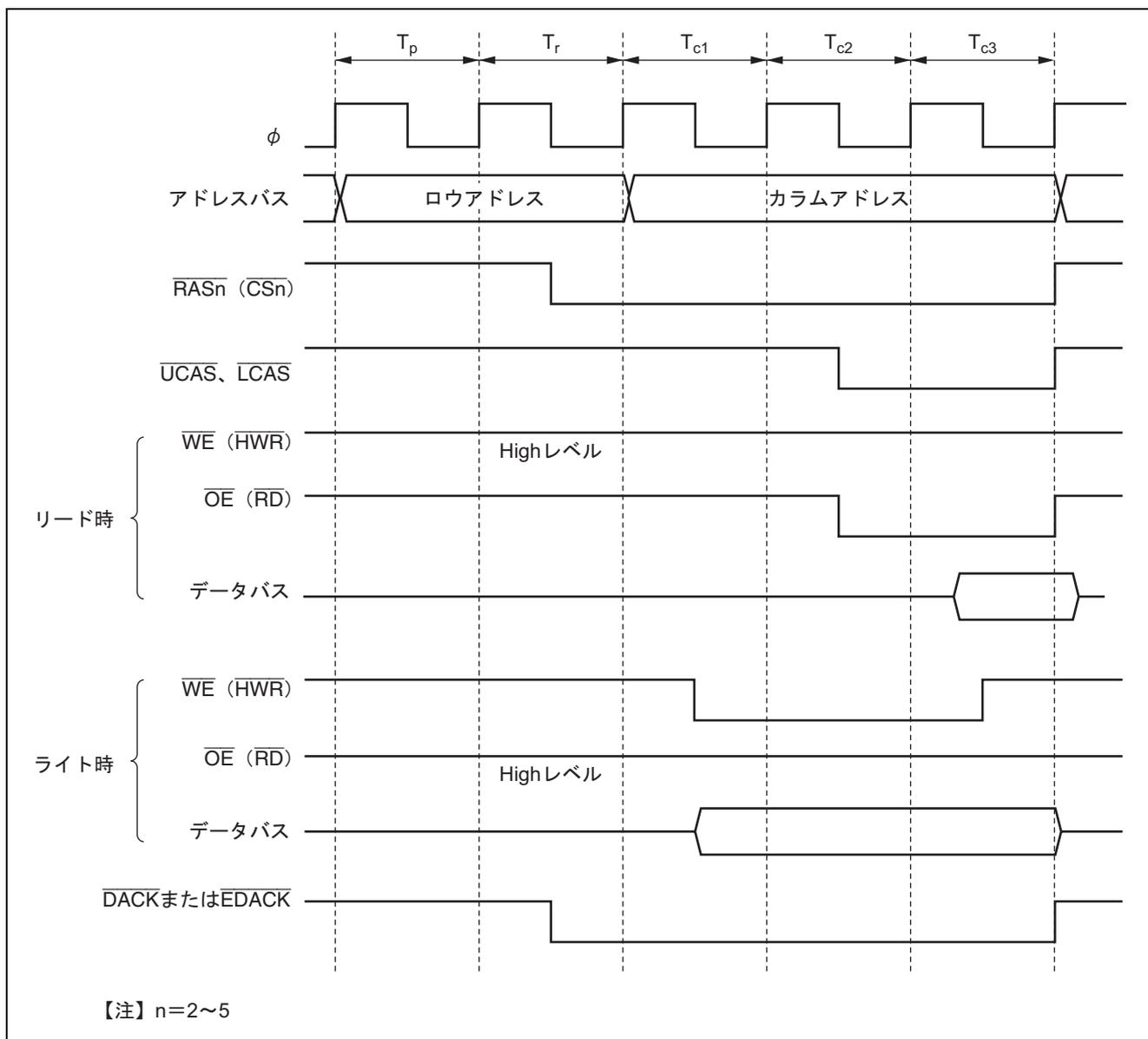


図 6.54 DDS=0 または EDDS=0 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 (RAST=0、CAST=1 の場合)

6.8 シンクロナス DRAM インタフェース

H8S/2426R は、エリア 2~5 の外部空間を連続シンクロナス DRAM 空間に設定し、シンクロナス DRAM インタフェースを行うことができます。シンクロナス DRAM インタフェースでは、DRAMCR レジスタの RMTS2~RMTS0 ビットの設定により、8M バイトまでのシンクロナス DRAM を本 LSI と直結することができます。CAS レイテンシ 1~4 のシンクロナス DRAM を接続することが可能です。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

6.8.1 連続シンクロナス DRAM 空間の設定

エリア 2~5 を連続シンクロナス DRAM 空間にするには、DRAMCR の RMTS2~RMTS0 ビットを設定します。RMTS2~RMTS0 ビットの設定値とシンクロナス DRAM 空間の関係を表 6.8 に示します。シンクロナス DRAM インタフェースは、連続エリア設定 (エリア 2~5) となります。

表 6.8 RMTS2~RMTS0 の設定値とシンクロナス DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			
1	0	0	連続シンクロナス DRAM 空間			
		1	シンクロナス DRAM モード設定			
	1	0	リザーブ (設定禁止)			
		1	連続 DRAM 空間			

連続シンクロナス DRAM 空間では、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 端子を \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 信号として使用します。また、DRAM の \overline{OE} 端子を \overline{CKE} 信号として使用し、 $\overline{CS5}$ 端子をシンクロナス DRAM 専用クロック (SDRAM ϕ) として使用します。連続シンクロナス DRAM 空間のバス仕様は、エリア 2 の設定に従います。連続シンクロナス DRAM 空間に対する端子ウェイト、プログラムウェイトは無効となります。

\overline{RAS} 、 \overline{CAS} 、 \overline{WE} およびカラムアドレスの上位に出力されるアドレスプリチャージ設定コマンド

(Precharge-sel) を組み合わせることにより、シンクロナス DRAM に対するコマンドが指定されます。

本 LSI がサポートするコマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロブ・バンクアクティブ (ACTV)、リード (READ)、ライト (WRIT)、モードレジスタ書き込み (MRS) です。バンク制御を行うコマンドは使用できません。

6.8.2 アドレスマルチプレクス

連続シンクロナス DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、DRAMCR の MXC2~MXC0 ビットによりロウアドレスのシフト量を選択します。また、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) を出力することができます。表 6.9 に MXC2~MXC0 ビットの設定値とシフト量の関係を示します。シンクロナス DRAM インタフェースのときは MXC2 ビットに 1 を設定してください。

表 6.9 MXC2~MXC0 とアドレスマルチプレクスの関係

	DRAMCR			シフト量	アドレス端子																	
	MXC2	MXC1	MXC0		A23~A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
ロウ アドレス	0	x	x	リザーブ (設定禁止)																		
	1	0	0	8ビット	A23~A16	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	
			1	9ビット	A23~A16	A15	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	
		1	0	10ビット	A23~A16	A15	A14	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	
			1	11ビット	A23~A16	A15	A14	A13	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	
カラム アドレス	0	x	x	リザーブ (設定禁止)																		
	1	0	0	—	A23~A16	P	P	P	P	P	P	P	P	A8	A7	A6	A5	A4	A3	A2	A1	A0
			1	—	A23~A16	P	P	P	P	P	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
		1	0	—	A23~A16	P	P	P	P	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
			1	—	A23~A16	P	P	P	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	

x : Don't care

P : Precharge-sel

6.8.3 データバス

連続シンクロナス DRAM 空間に設定した場合、ABWCR レジスタの ABW2 ビットを 1 にセットするとエリア 2~5 は 8 ビット連続シンクロナス DRAM 空間となり、0 にクリアすると 16 ビット連続シンクロナス DRAM 空間となります。16 ビット連続シンクロナス DRAM 空間では、×16 ビット構成のシンクロナス DRAM を直結することができます。

8 ビット連続シンクロナス DRAM 空間では D15~D8 の上位側データバスが有効となり、16 ビット連続シンクロナス DRAM 空間では D15~D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.5.1 データサイズとデータアライメント」を参照してください。

6.8.4 シンクロナス DRAM インタフェース使用端子

表 6.10 にシンクロナス DRAM インタフェースで使用する端子と機能を示します。

CKE 信号を出力する場合には DRAMCR レジスタの OEE ビットを 1 にセットしてください。

表 6.10 シンクロナス DRAM インタフェース端子構成

端子	シンクロナス DRAM 設定時	名称	入出力	機能
$\overline{CS2}$	RAS	ロウアドレス ストローブ	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときの ロウアドレスストローブ
$\overline{CS3}$	CAS	カラムアドレス ストローブ	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときの カラムアドレスストローブ
$\overline{CS4}$	\overline{WE}	ライトイネーブル	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときの ライトイネーブル
$\overline{CS5}$	SDRAM ϕ	クロック	出力	シンクロナス DRAM 専用クロック
\overline{OE}	CKE	クロックイネーブル	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときの クロックイネーブル
\overline{UCAS}	DQMU	アッパーデータ マスクイネーブル	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のアッパー データマスクイネーブル/8 ビット連続シンクロナス DRAM 空 間アクセス時のデータマスクイネーブル
\overline{LCAS}	DQML	ローアデータ マスクイネーブル	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のローア データマスクイネーブル
A15~A0	A15~A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力端子
D15~D0	D15~D0	データ端子	入出力	データ入出力端子

6.8.5 シンクロナス DRAM 専用クロック

$\overline{CS5}$ 端子よりシンクロナス専用クロック (SDRAM ϕ) が出力されます。SDRAM ϕ は ϕ に対して 90° 位相が進んで出力されます。そのため、クロックの立ち上がりエッジで動作するシンクロナス DRAM に対して安定したマージンを確保することができます。このときの ϕ と SDRAM ϕ の関係を図 6.55 に示します。

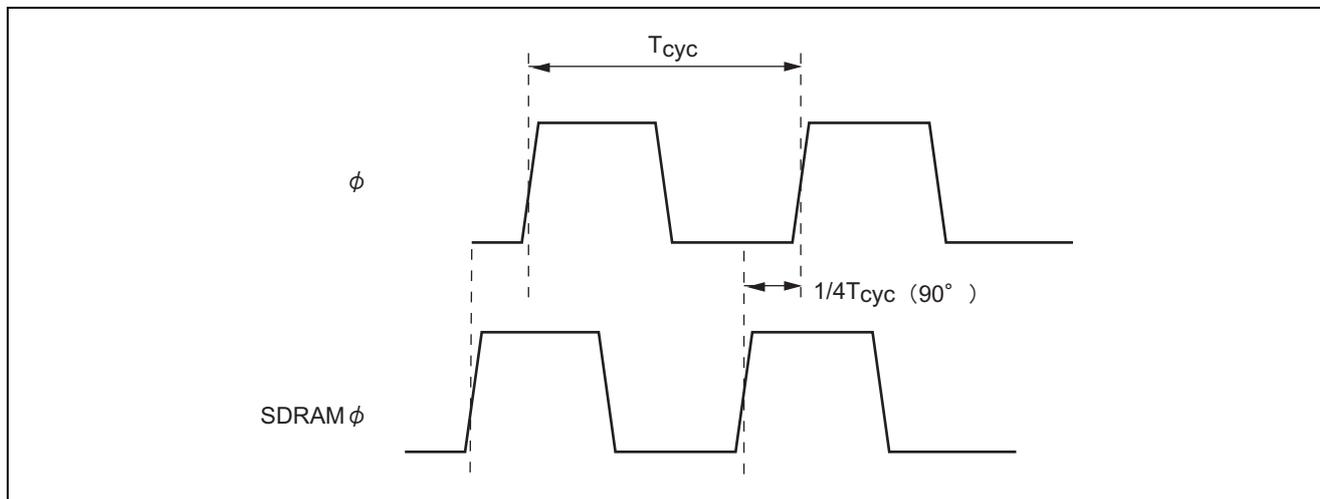


図 6.55 ϕ と SDRAM ϕ の関係

6.8.6 基本動作タイミング

基本タイミングは T_p (プリチャージサイクル) 1 ステート、 T_r (ロウアドレス出力サイクル) 1 ステート、 T_{c1} 、 T_{c2} (カラムアドレス出力サイクル) 2 ステートで構成されています。

エリア 2~5 を連続シンクロナス DRAM 空間に設定した場合、BCR の WAITE ビット、DRAMCR の RAST、CAST、RCDM ビット、REFCR の CBRM ビットの設定は無視されます。

シンクロナス DRAM の基本タイミングを図 6.56 に示します。

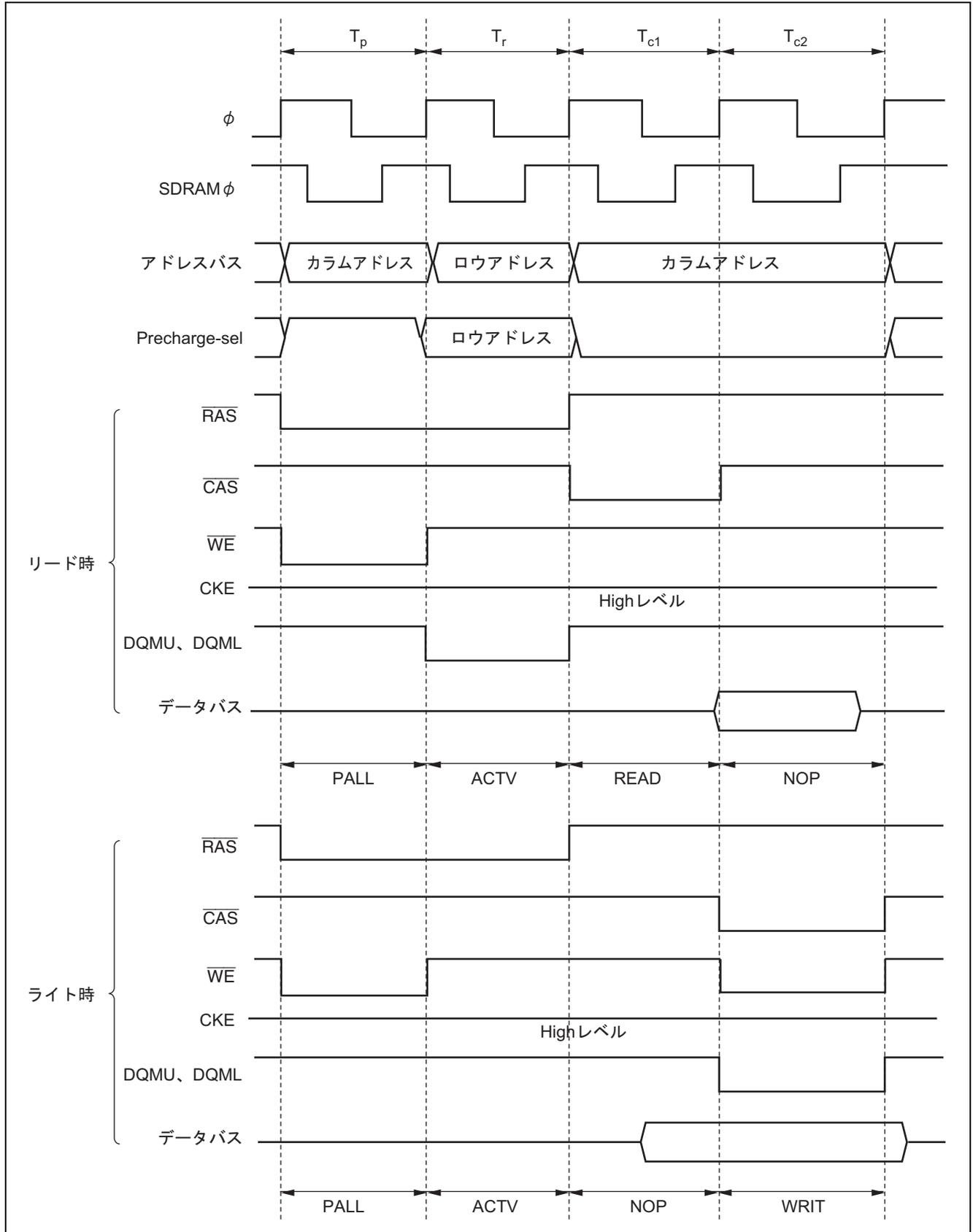


図 6.56 シンクロナス DRAM 基本アクセスタイミング (CAS レイテンシ 1 の場合)

6.8.7 CAS レイテンシ制御

CAS レイテンシの制御は WTCRB の W22~W20 ビットの設定で行います。シンクロナス DRAM の設定により、表 6.11 のように CAS レイテンシ数を設定してください。設定に応じて、CAS レイテンシ制御サイクル (Tcl) が挿入されます。このとき ASTCR の AST2 ビットの設定に関係なく WTCRB レジスタの設定が可能です。例として CAS レイテンシ 3 のシンクロナス DRAM を接続したときの CAS レイテンシ制御タイミングを図 6.57 に示します。

W22~W20 の初期値は H'7 となっていますので、接続するシンクロナス DRAM の CAS レイテンシにあわせて設定してください。

表 6.11 CAS レイテンシの設定

W22	W21	W20	説 明	CAS レイテンシ制御サイクル挿入数
0	0	0	CAS レイテンシ 1 のシンクロナス DRAM を接続	0 ステート
		1	CAS レイテンシ 2 のシンクロナス DRAM を接続	1 ステート
	1	0	CAS レイテンシ 3 のシンクロナス DRAM を接続	2 ステート
		1	CAS レイテンシ 4 のシンクロナス DRAM を接続	3 ステート
1	0	0	リザーブ (使用禁止)	—
		1	リザーブ (使用禁止)	—
	1	0	リザーブ (使用禁止)	—
		1	リザーブ (使用禁止)	—

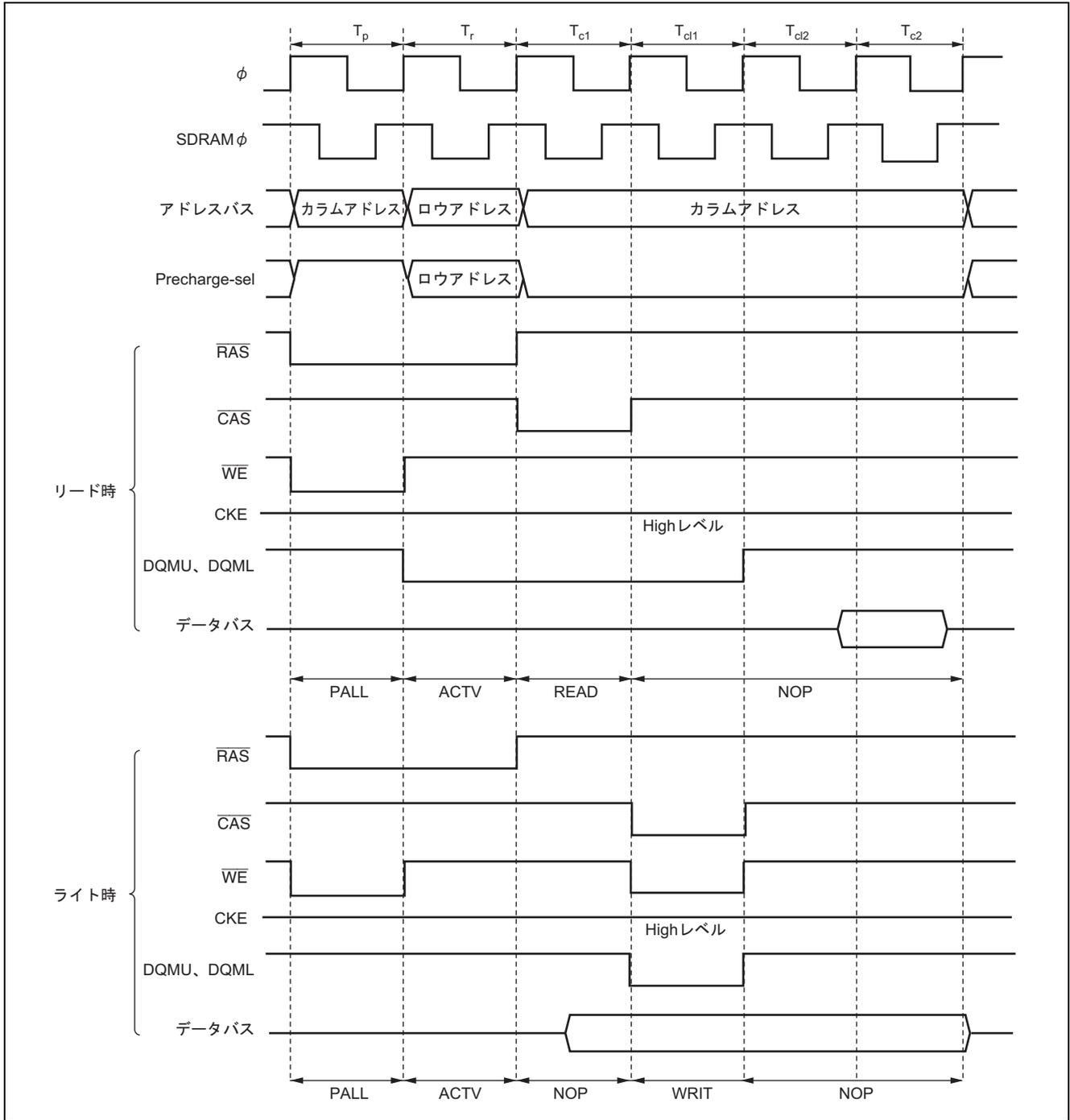


図 6.57 CAS レイテンシ制御タイミング (SDWCD=0、CAS レイテンシ 3 の場合)

6.8.8 ロウアドレス出力ステート制御

ACTV コマンドから次の READ/WRITE コマンドまでのコマンド間隔規定を満たすことができない場合には、DRACCR の RCD1、RCD0 ビットを設定することにより、ACTV コマンドが出力される T_r サイクルとカラムアドレスが出力される T_{c1} サイクルの間に NOP コマンドが出力されるステート (T_{rw}) を 1~3 ステート挿入することが可能です。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、ウェイト時間が最適になるように設定してください。図 6.58 に T_{rw} を 1 ステート設定したときのタイミングを示します。

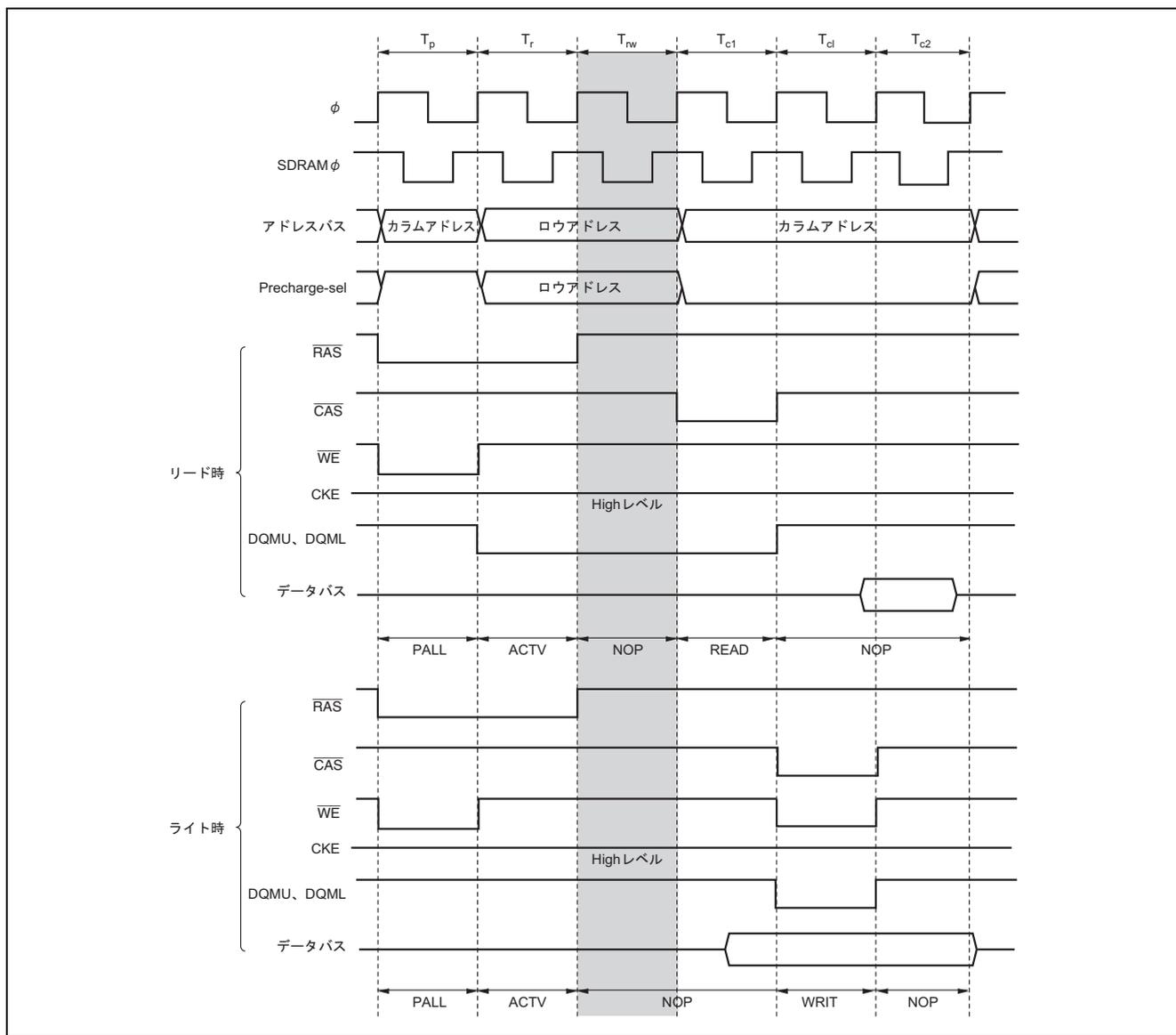


図 6.58 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例
(RCD1=0、RCD0=1、SDWCD=0、CAS レイテンシ 2 の場合)

6.8.9 プリチャージサイクル数

PALL コマンドから次の ACTV/REF コマンドまでの間隔規定を満たすことができない場合には、DRACCR の TPC1、TPC0 ビットを設定することにより、Tp サイクルを 1 ステートから 4 ステートの範囲で変更することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適な Tp サイクル数を設定してください。図 6.59 に Tp を 2 ステートとしたときのタイミングを示します。

TPC1、TPC0 ビットの設定は、リフレッシュサイクルの Tp にも有効です。

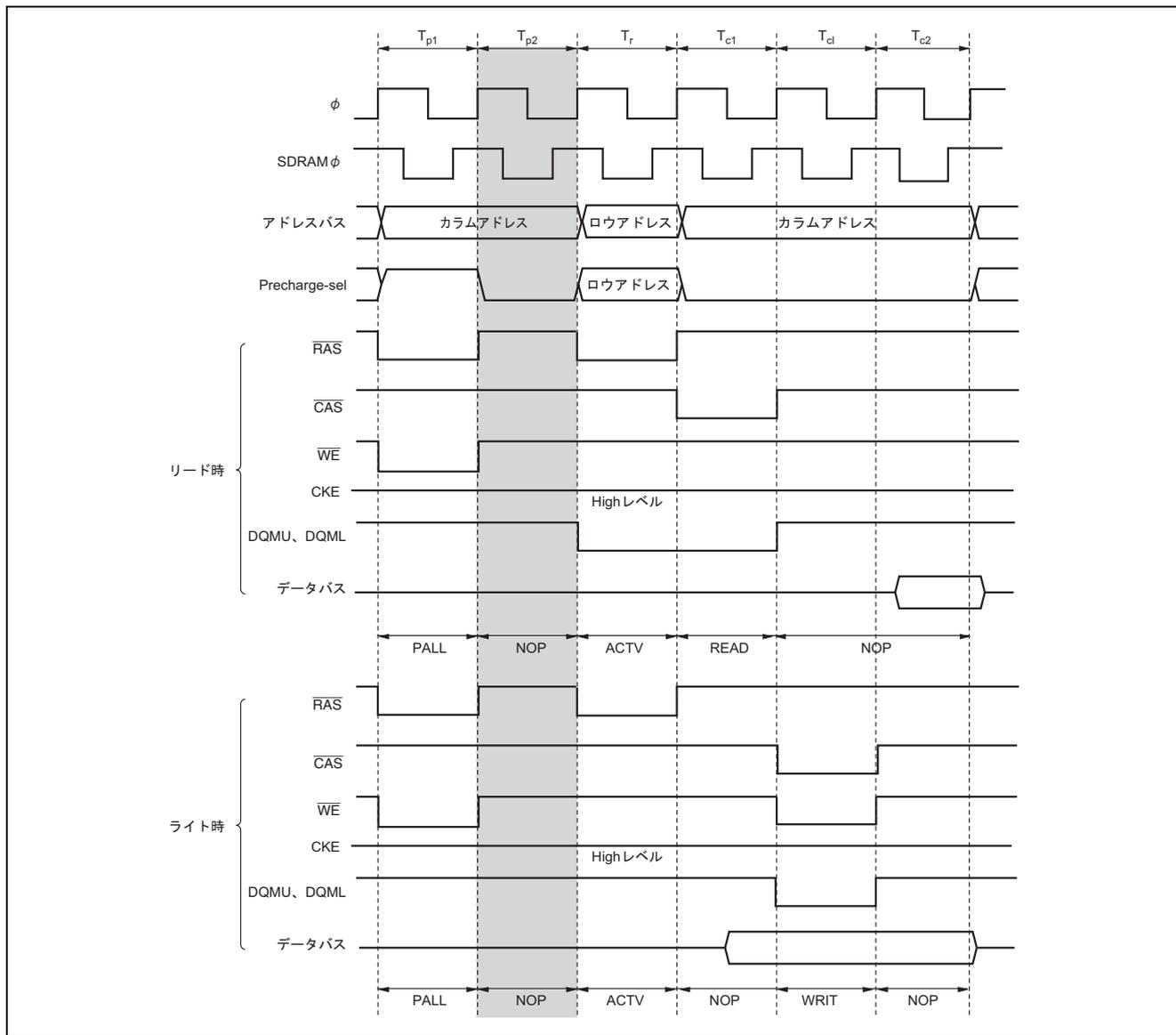


図 6.59 プリチャージサイクル 2 ステート時のタイミング例
(TPC1=0、TPC0=1、SDWCD=0、CAS レイテンシ 2 の場合)

6.8.10 ライトサイクル時のバスサイクル制御

DRACCR の SDWCD ビットを 1 にセットすると、シンクロナス DRAM のライトアクセス時に WTCRB により挿入される CAS レイテンシ制御サイクル (Tcl) を無効にすることができます。CAS レイテンシ制御サイクルを無効にするとシンクロナス DRAM のリードアクセスに比べ、ライトアクセスのサイクル数を減らすことができます。CAS レイテンシ制御サイクルを無効としたときのライトアクセスタイミング例を図 6.60 に示します。

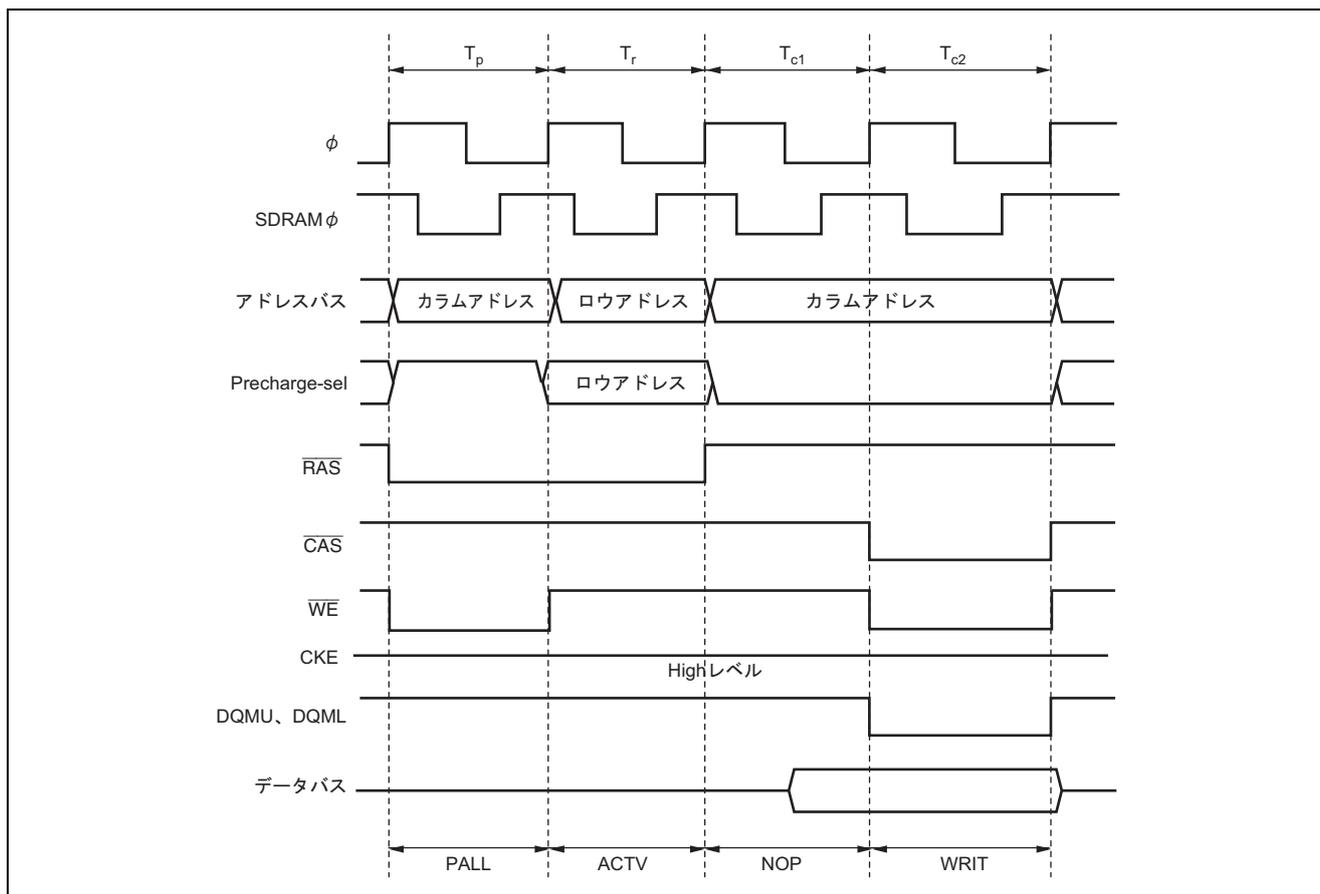


図 6.60 CAS レイテンシ制御サイクルを無効にしたときのライトアクセスタイミング例 (SDWCD=1 の場合)

6.8.11 バイトアクセス制御

×16 ビット構成のシンクロナス DRAM を接続するとき、DQMU、DQML を制御してバイトアクセスを行うことができます。

図 6.61、図 6.62 に DQM の制御タイミングを示します。また図 6.63 に DQMU、DQML によりバイト制御を行うときの接続例を示します。

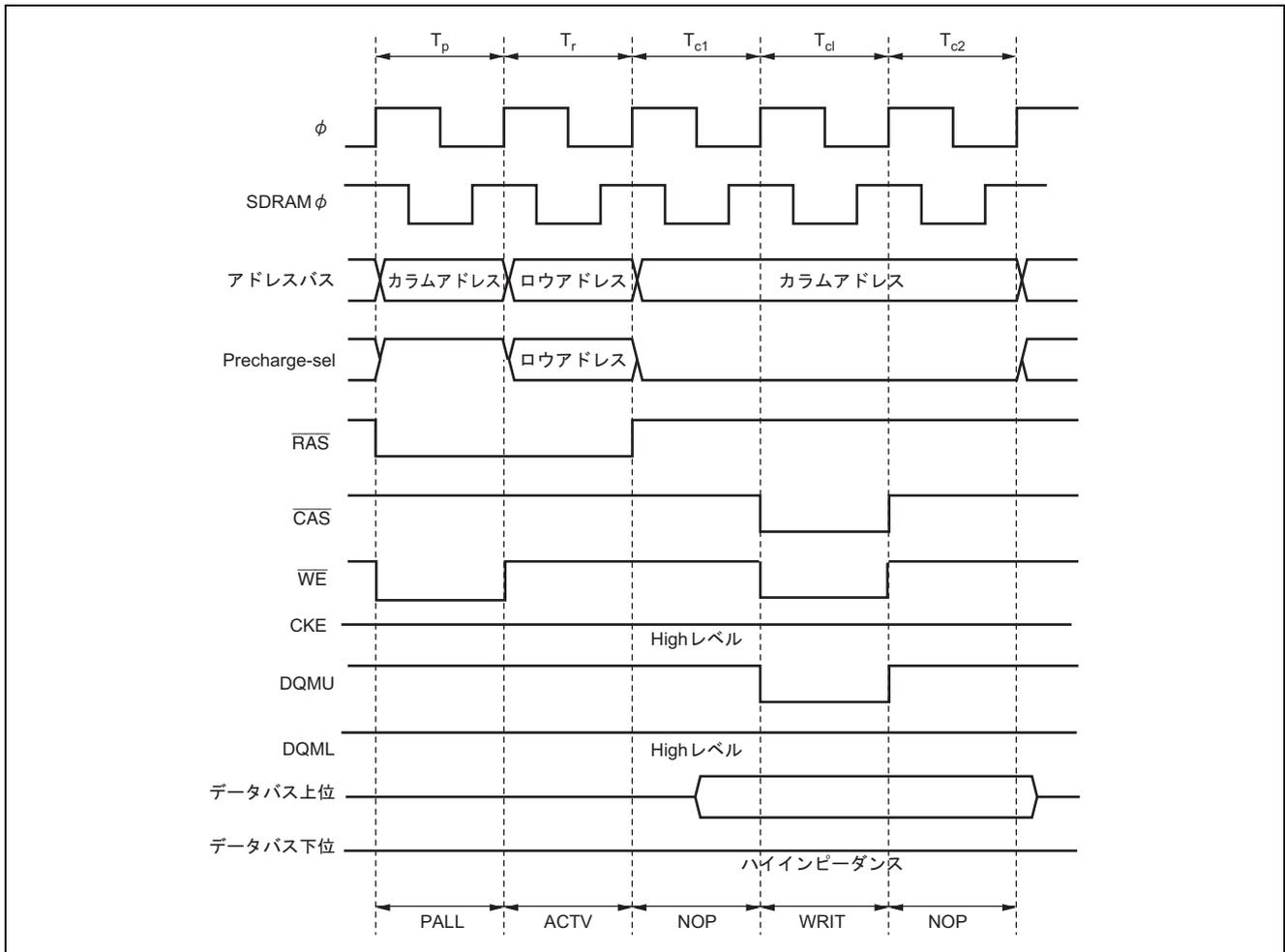


図 6.61 DQMU、DQML による制御タイミング
(上位バイトライトアクセス時、SDWCD=0 の場合、CAS レイテンシ 2 の場合)

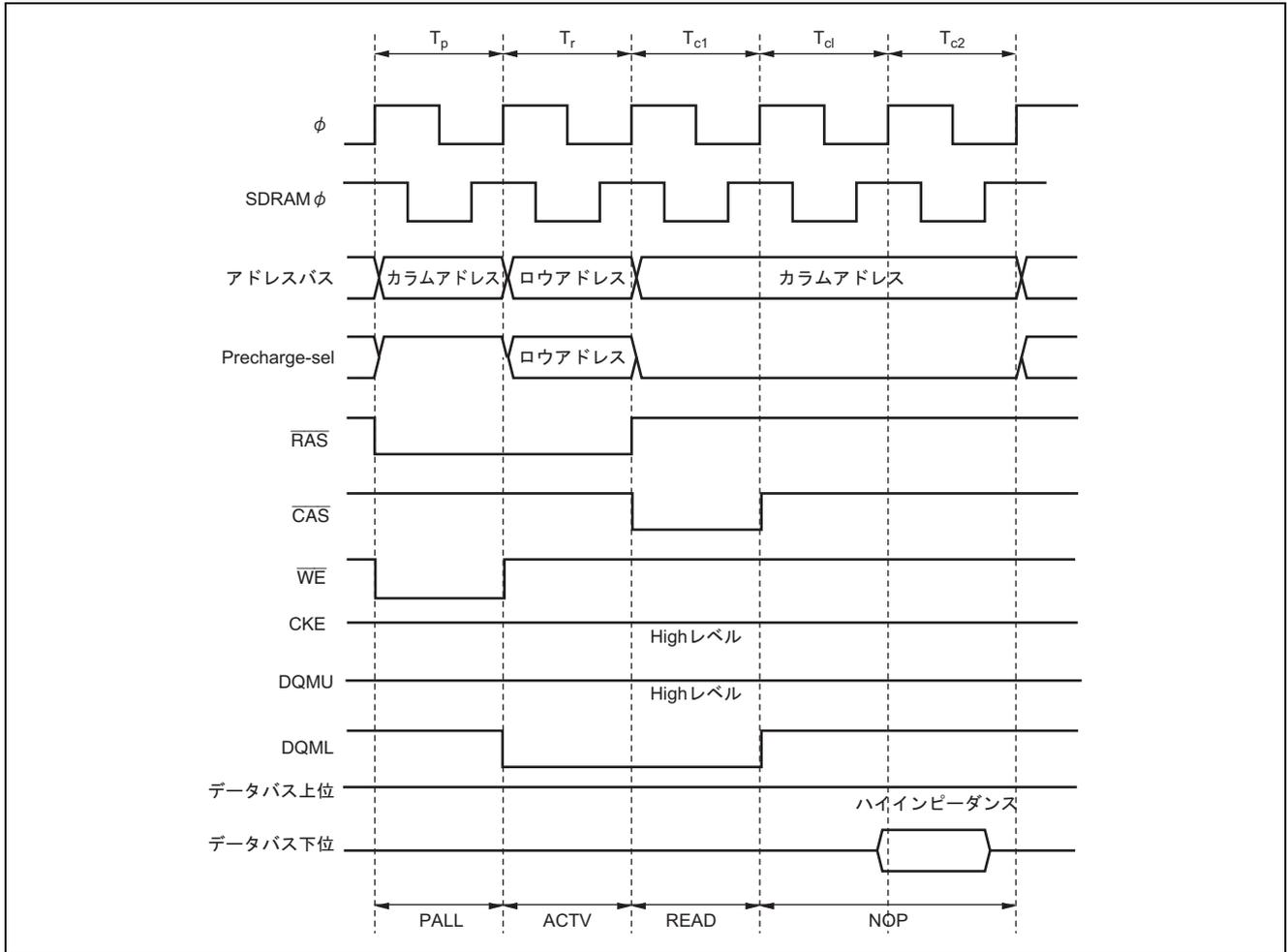


図 6.62 DQMU、DQML による制御タイミング
(下位バイトリードアクセス時、CAS レイテンシ 2 の場合)

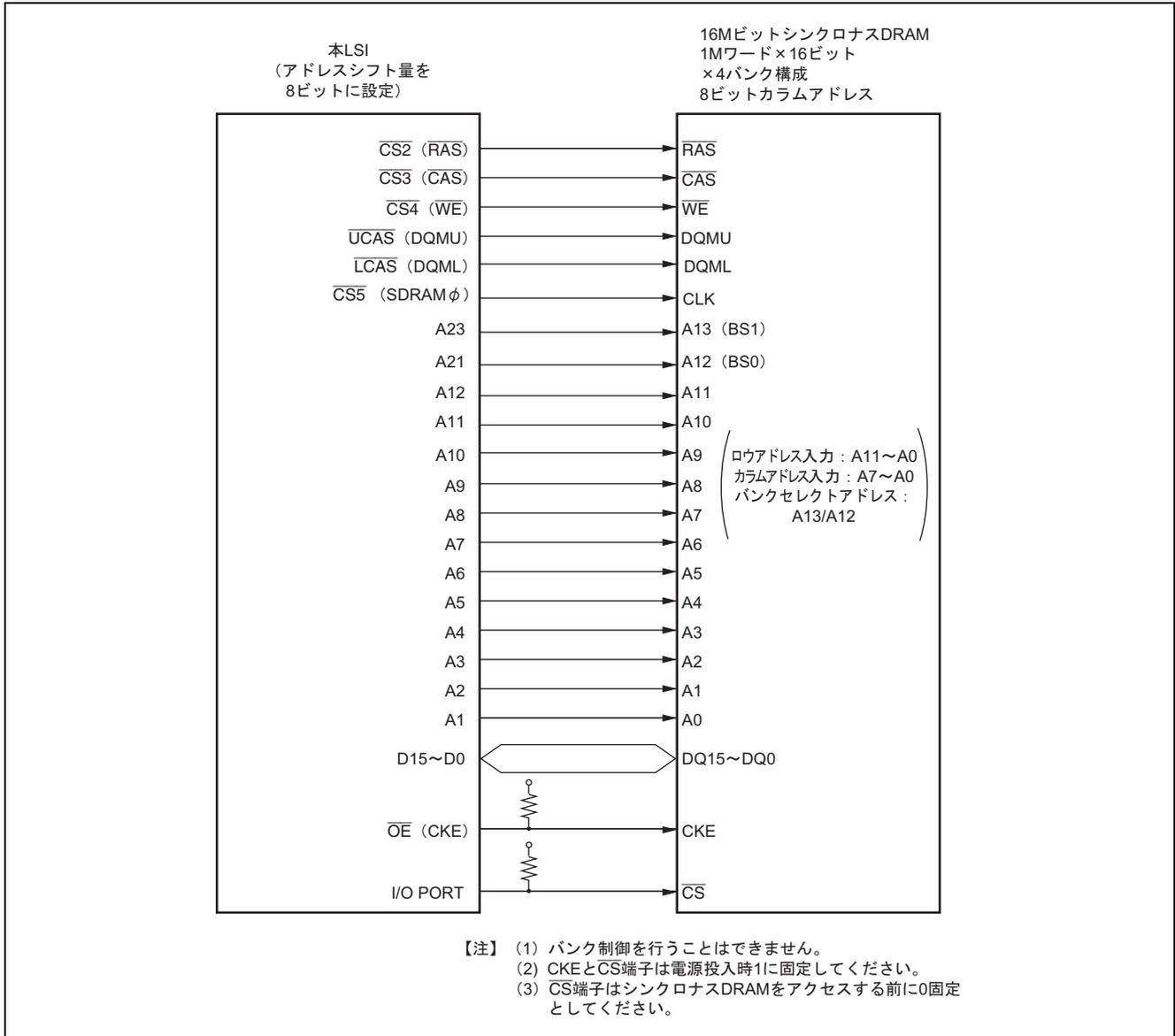


図 6.63 DQMU、DQML によるバイト制御の接続例

6.8.12 バースト動作

シンクロナス DRAM では、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）のほかに、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセスできるバーストアクセスがあります。

DRAMCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

シンクロナス DRAM をリードする際の DQM は常に 2 サイクルのレイテンシがあります。このために、CAS レイテンシを 1 に設定して READ コマンドを発行する場合、2 回目以降のカラムアドレスに対して Tc1 サイクルを直ちに行うと、Tc2 サイクルのデータ出力に対する DQM 信号の指定が行えません。したがって、CAS レイテンシ 1 のシンクロナス DRAM を接続するときは、BE ビットを 1 に設定しないでください。

(1) バーストアクセスの動作タイミング

図 6.64 にバーストアクセスの動作タイミングを示します。連続シンクロナス DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、カラムアドレスの出力サイクルが連続して行われます。比較対象となるロウアドレスは DRAMCR レジスタの MXC2~MXC0 ビットにより設定します。

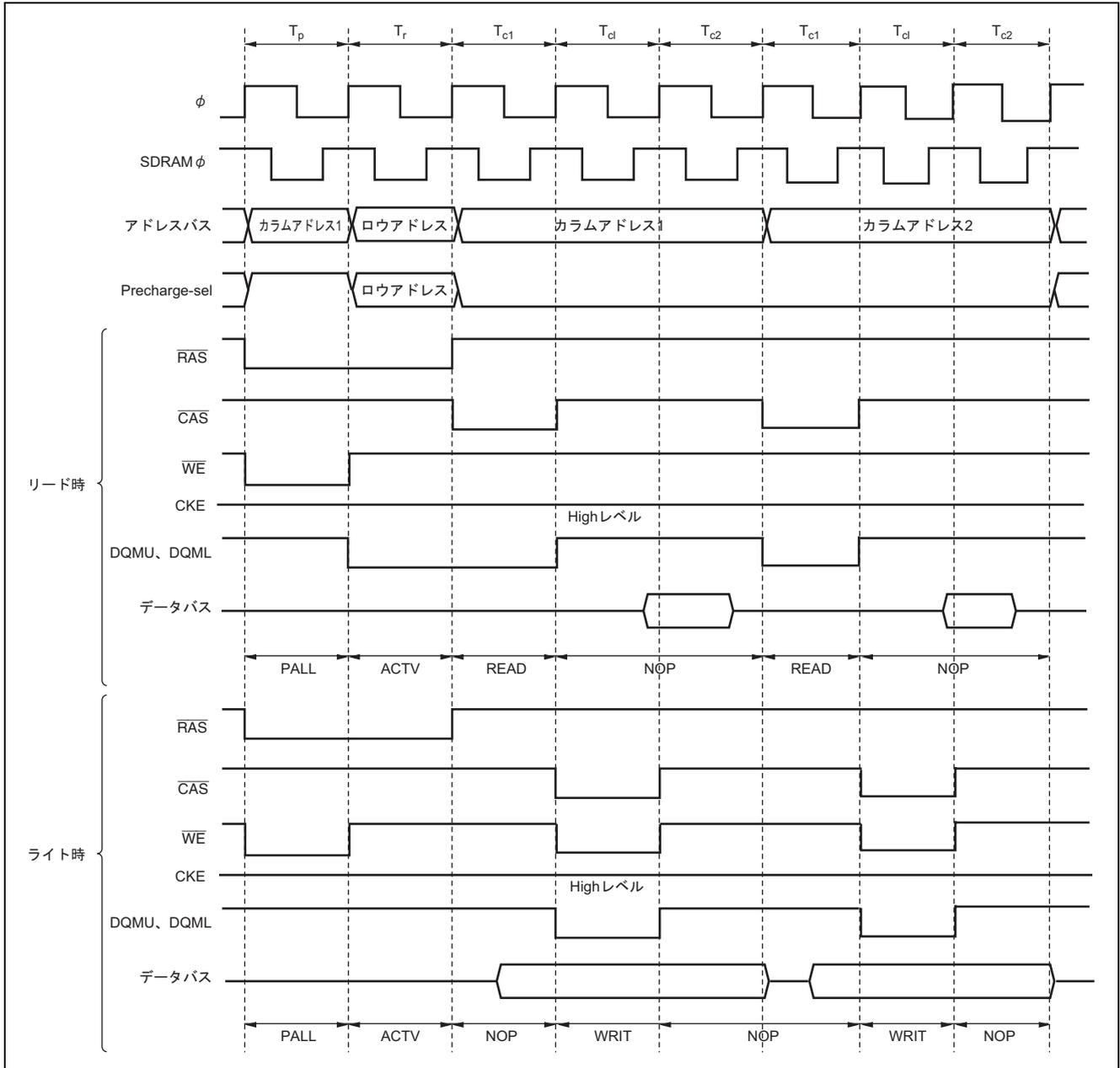


図 6.64 バーストアクセスの動作タイミング
(BE=1、SDWCD=0、CAS レイテンシ 2 の場合)

(2) RAS ダウンモード

バースト動作を選択していても、連続シンクロナス DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間もロウアドレスのアクティブ状態が保持され、DRAM の RAS ダウンモードと同様に ACTV コマンドを発生せずにリードまたはライトコマンドを発行することができます。

DRAMCR の BE ビットを 1 にセットすると、RCDM ビットの設定によらず RAS ダウンモードが選択されます。DRAM の RAS アップモードに相当する動作は本 LSI ではサポートしていません。

図 6.65 に RAS ダウンモードのタイミング例を示します。ただし、以下の状態に遷移した場合、次の連続シンクロナス DRAM 空間のアクセスはフルアクセスとなります。

- リフレッシュ動作が RAS ダウン中に入る場合
- セルフリフレッシュが行われた場合
- ソフトウェアスタンバイモードへ遷移する場合
- 外部バスを開放する場合
- BE ビットを 0 にクリアした場合
- シンクロナス DRAM のモードレジスタ設定を行った場合

各バンクをアクティブ状態にしておける時間に制限のあるシンクロナス DRAM が存在します。この場合、プログラムの実行によってこの値を守る周期で、別のロウアドレスにアクセスする保証がない場合（ソフトウェアスタンバイ、スリープなど）、オートリフレッシュまたはセルフリフレッシュを行う設定にし、各バンクの最大アクティブ状態時間の制約を満たす必要があります。リフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムで行う必要があります。

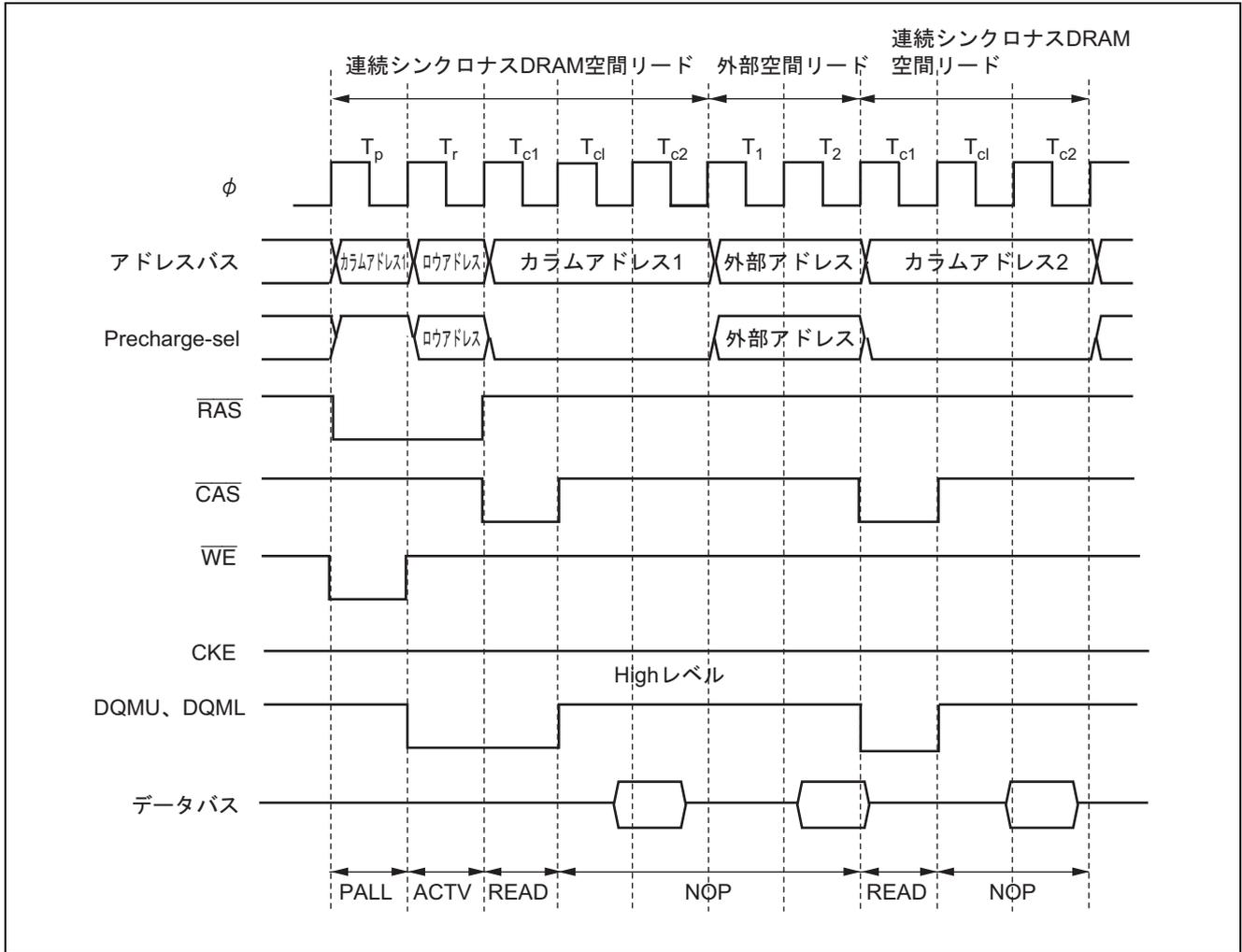


図 6.65 RAS ダウンモードの動作タイミング例
(BE=1、CAS レイテンシ 2 の場合)

6.8.13 リフレッシュ制御

本 LSI は、シンクロナス DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、オートリフレッシュです。また、ソフトウェアスタンバイ状態に遷移するときにセルフリフレッシュを実行することができます。リフレッシュ制御は、DRAMCR の RMTS2~RMTS0 ビットの設定により、連続シンクロナス DRAM 空間に設定した場合に有効です。

(1) オートリフレッシュ

オートリフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

オートリフレッシュでは、REFCR の RTCK2~RTCK0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2~RTCK0 ビットで決まる一定間隔で繰り返されます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2~RTCK0 ビットの値を設定してください。

RTCK2~RTCK0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、RTCK2~RTCK0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。図 6.66 にオートリフレッシュのタイミングを示します。

リフレッシュカウンタの動作は DRAM インタフェースと同様ですので、詳細は「6.7.12 リフレッシュ制御」を参照してください。

また、連続シンクロナス DRAM 空間を設定したときは、REFCR レジスタの CBRM ビットの設定は無視されるため、オートリフレッシュと連続シンクロナス DRAM 空間以外の外部空間アクセスを並行して行うことはできません。

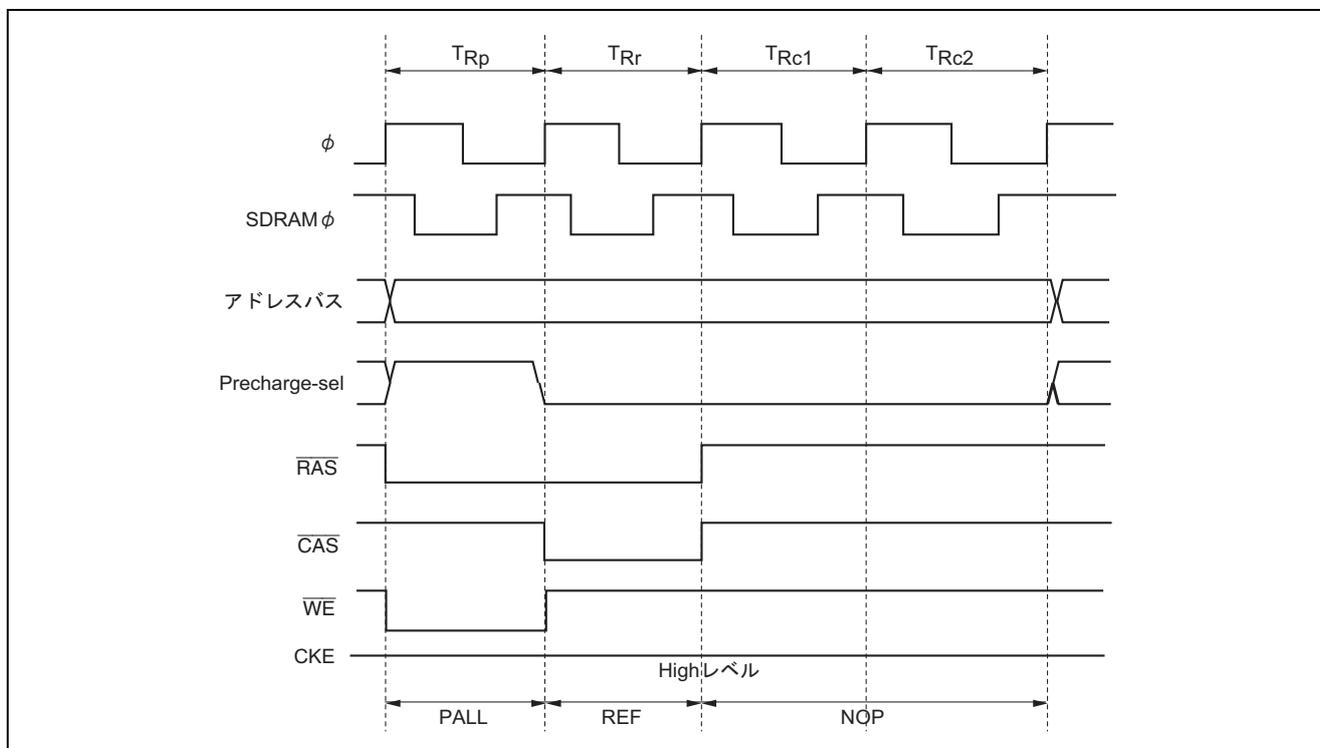


図 6.66 オートリフレッシュタイミング

PLL コマンドから REF コマンドまでの間隔規定を満たすことができない場合には、REFCR の RCW1、RCW0 ビットを設定することにより、DRACCR の TPC1、TPC0 ビットで設定される T_{Rp} サイクルに続き、1 ステートから 3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適なウェイト数を設定してください。図 6.67 にウェイトを 1 ステート挿入したときのタイミングを示します。リフレッシュサイクルにおいても DRACCR の TPC1、TPC0 ビットの設定は有効になるため、プリチャージサイクル数に続き RCW1、RCW0 ビットによりさらにコマンド間隔を引き延ばすことができます。

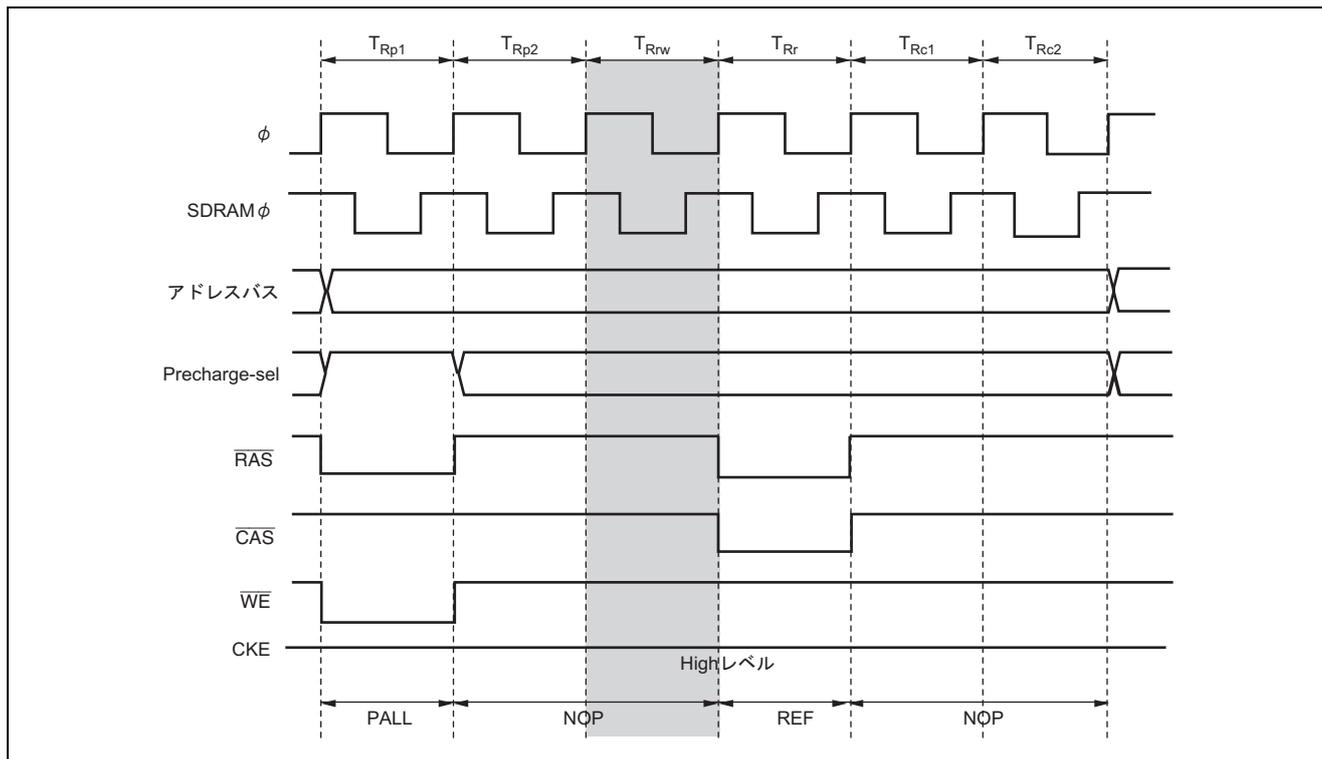


図 6.67 オートリフレッシュタイミング
(TPC=1、TPC0=1、RCW1=0、RCW0=1 の場合)

REF コマンドから次の ACTV までの間隔規定を満たすことのできない場合には、REFCR の RLW1、RLW0 ビットを設定することにより、リフレッシュサイクルに 1 ステートから 3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適なウェイト数を設定してください。図 6.68 に 1 ステートのウェイトを挿入したときのタイミングを示します。

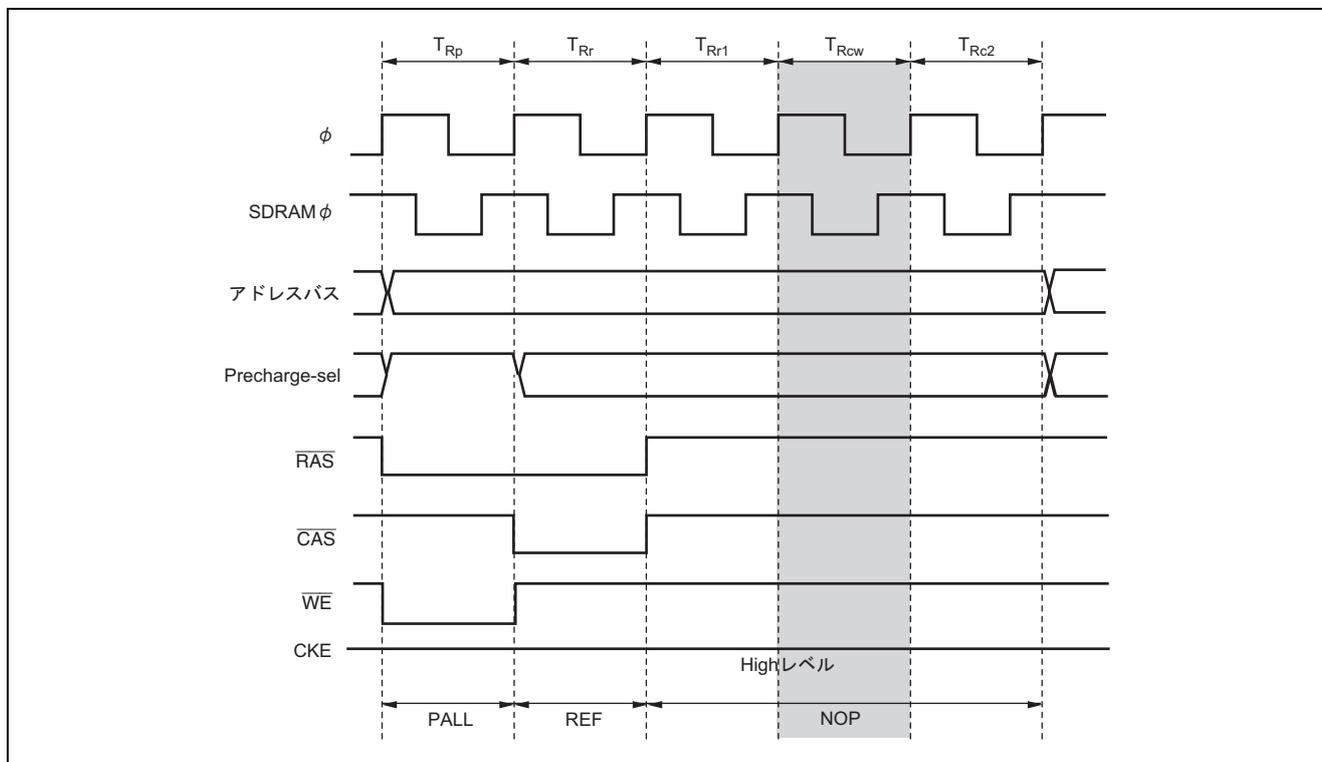


図 6.68 オートリフレッシュタイミング
(TPC=0、TPC0=0、RLW1=0、RLW0=1 の場合)

(2) セルフリフレッシュ

シンクロナス DRAM には、スタンバイモードの一種として、シンクロナス DRAM 内でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 6.69 に示すように SELF コマンドが発行されます。

ソフトウェアスタンバイモードを解除すると、REFCR の SLFRF ビットが 0 にクリアされ、セルフリフレッシュモードが自動的に解除されます。ソフトウェアスタンバイモードに遷移する場合、オートリフレッシュ要求があると、オートリフレッシュを実行した後セルフリフレッシュモードに入ります。

セルフリフレッシュモードを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

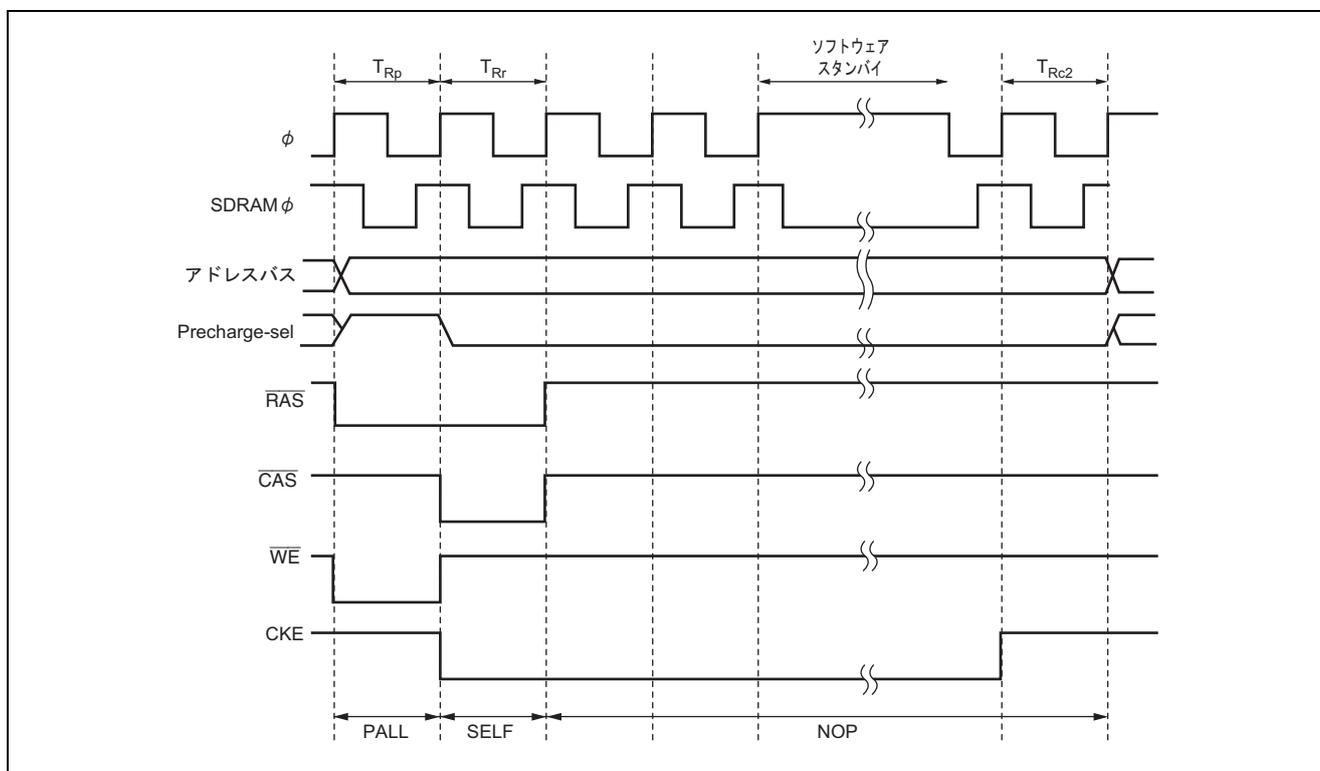


図 6.69 セルフリフレッシュタイミング (TPC1=1、TPC0=0、RCW1=0、RCW0=0、RLW1=0、RLW0=0 の場合)

また、セルフリフレッシュモードを備えるシンクロナス DRAM の中には、セルフリフレッシュの解除から次のコマンドまでの間隔規定のあるものが存在します。REFCR の TPCS2~TPCS0 ビットを設定することにより、セルフリフレッシュ解除後のプリチャージ時間より 1~7 ステート増加することが可能です。この場合にも、DRACCR の TPC1、TPC0 ビットの設定に従った通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。図 6.70 にセルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例を示します。

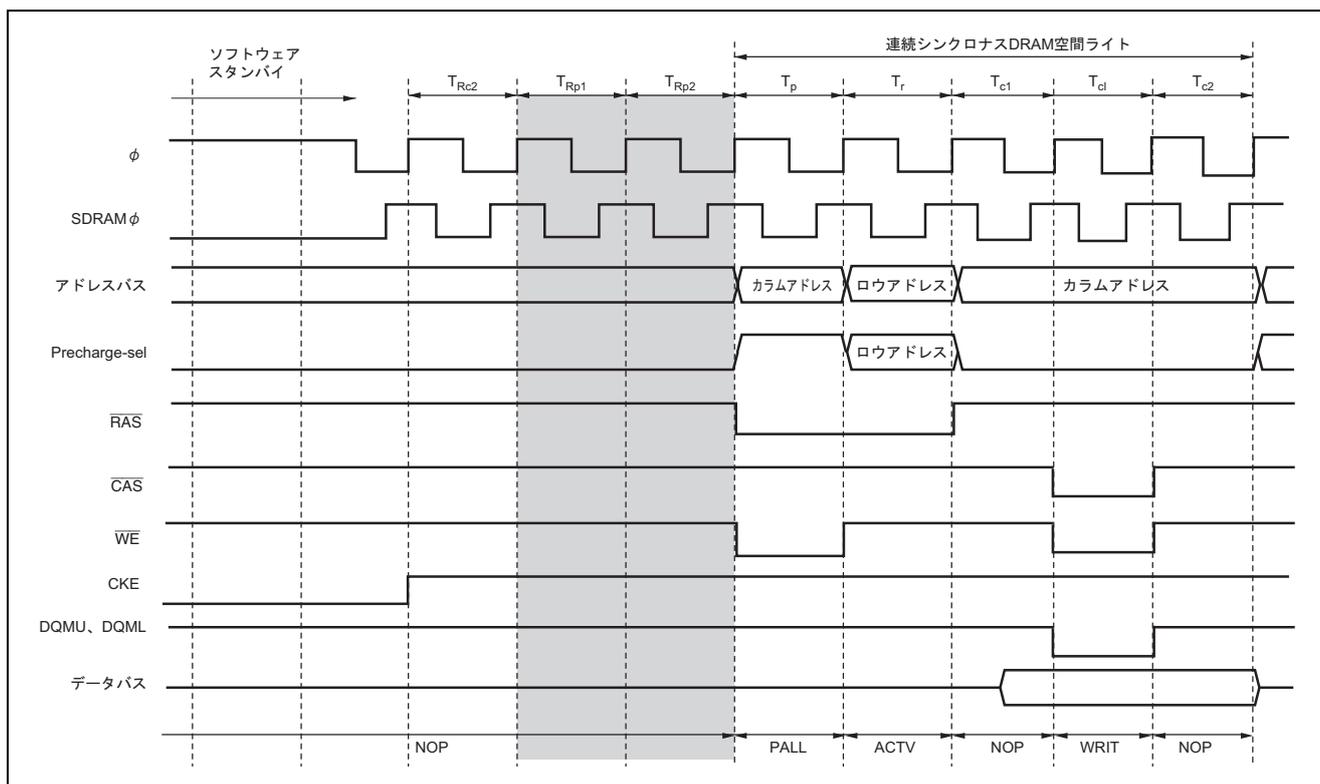


図 6.70 セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例 (TPCS2~TPCS0=H'2、TPC1=0、TPC0=0、CAS レイテンシ 2 の場合)

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は MSTPCRH レジスタの ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR=H'FFFF、EXMSTPCR=H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR=H'FFFE、EXMSTPCR=H'FFFF) で SLEEP 命令を実行しスリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。

このモードではバスコントローラもクロックが停止しますので、オートリフレッシュも実行されません。外部にシンクロナス DRAM を接続し、スリープモードを行う場合には MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。

(4) ソフトウェアスタンバイ

通常のソフトウェアスタンバイに遷移するとき PALL コマンドは出力されません。したがってシンクロナス DRAM を接続してソフトウェアスタンバイを行う場合にはセルフリフレッシュを設定してください。

6.8.14 シンクロナス DRAM のモードレジスタ設定

シンクロナス DRAM を使用するためには、パワーオン後、モードの設定を行う必要があります。モードの設定は DRAMCR の RMTS2~RMTS0 ビットを H'5 に設定し、シンクロナス DRAM モードレジスタの設定を有効にします。その後、連続シンクロナス DRAM 空間をバイトアクセスします。シンクロナス DRAM モードレジスタに設定したい値を X とすると、8 ビットバス構成のシンクロナス DRAM では H'400000+X 番地の連続シンクロナス DRAM 空間に、16 ビットバス構成のシンクロナス DRAM では H'400000+2X 番地の連続シンクロナス DRAM 空間に書き込みを行うことで値 X がシンクロナス DRAM のモードレジスタに設定されます。

シンクロナス DRAM のモードレジスタ設定値は MRS コマンド発行時点のアドレス信号の値が取り込まれます。

本 LSI はシンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。シンクロナス DRAM のモードレジスタを設定する際は、バーストリード/シングルライトを設定し、バースト長は 1 としてください。シンクロナス DRAM のモード設定タイミングを図 6.71 に示します。

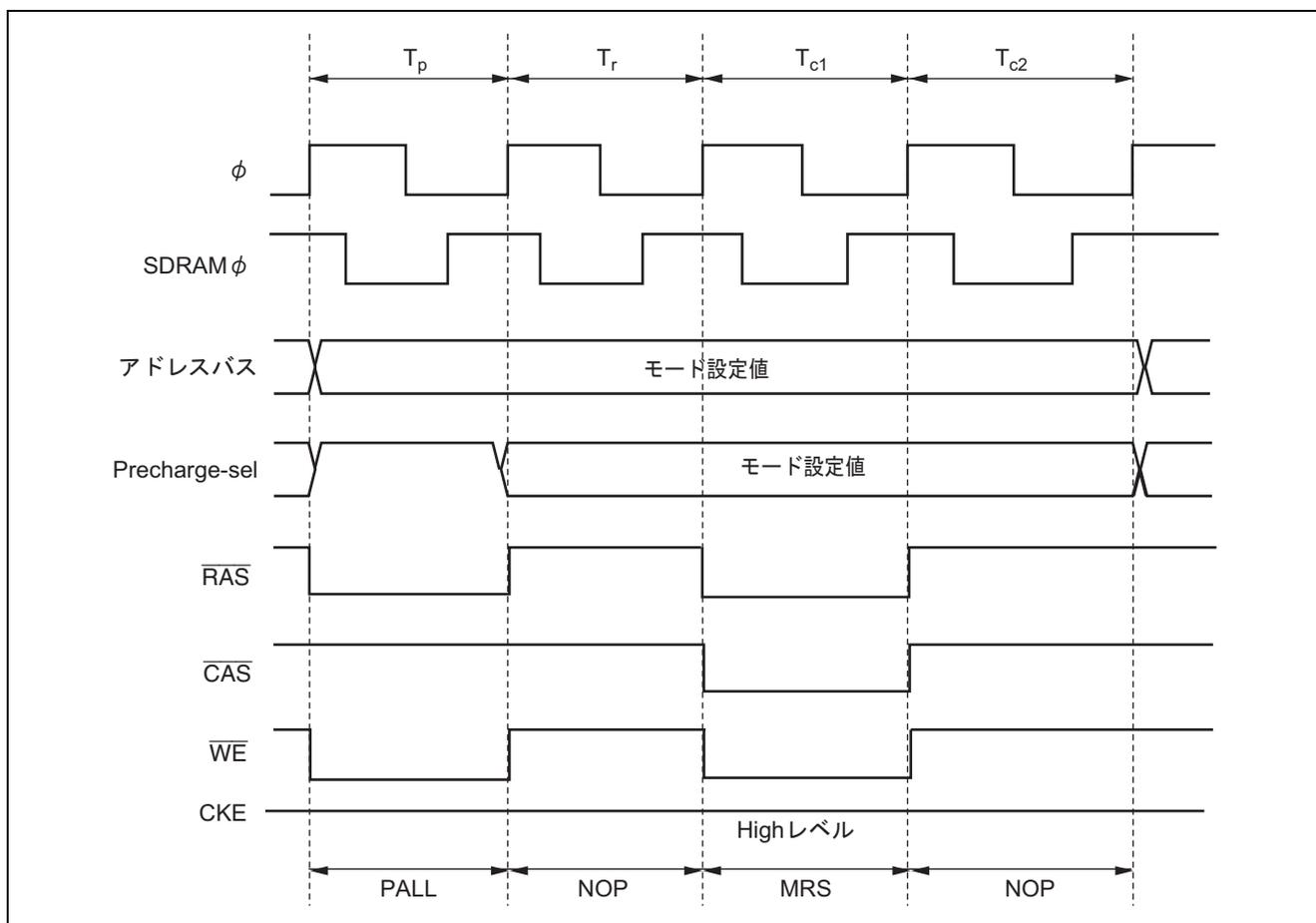


図 6.71 シンクロナス DRAM モード設定タイミング

6.8.15 DMAC および EXDMAC のシングルアドレス転送モードとシンクロナス DRAM インタフェース

シンクロナス DRAM インタフェースでバーストモードに設定したとき、DRAMCR の DDS、EDDS ビットによって $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを選択します。また、同時に DMAC および EXDMAC シングルアドレスモードで連続シンクロナス DRAM 空間をアクセスする場合に、必ずフルアクセス（ノーマルアクセス）を行うかバーストアクセスを許可するか選択します。また、DDS、EDDS ビットの設定によらず、リードデータの確定時間をクロックサスペンドモードにより拡張することができます。

(1) $\overline{\text{DACK}}$ または $\overline{\text{EDACK}}$ の出力タイミング

- DDS=1 または EDDS=1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、シンクロナス DRAM インタフェースの場合 Tc1 ステートから Low レベルになります。

図 6.72 に、DDS=1 または EDDS=1 のときの、シンクロナス DRAM インタフェース時の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを示します。

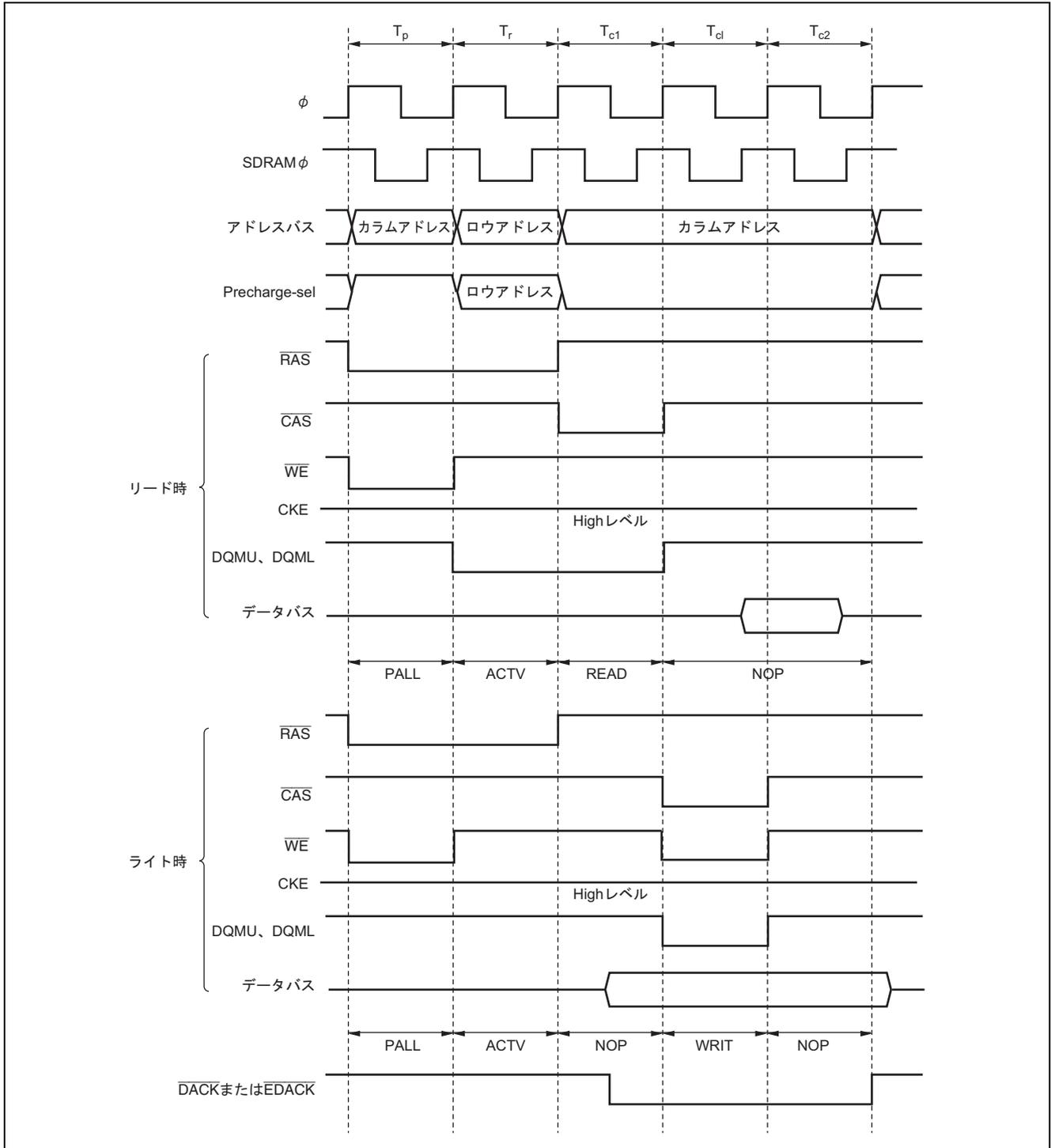


図 6.72 DDS=1 または EDDS=1 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出カタイミング例

(a) DDS=0 または EDDS=0 のとき

DMAC または EXDMAC シングルアドレス転送モードで連続シンクロナス DRAM 空間をアクセスしたとき、必ずフルアクセス（ノーマルアクセス）を行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、シンクロナス DRAM インタフェースの場合 Tr ステートから Low レベルになります。

DMAC または EXDAC シングルアドレス転送モード以外で、連続シンクロナス DRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.73 に、DDS=0 または EDDS=0 の場合の、シンクロナス DRAM インタフェース時の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを示します。

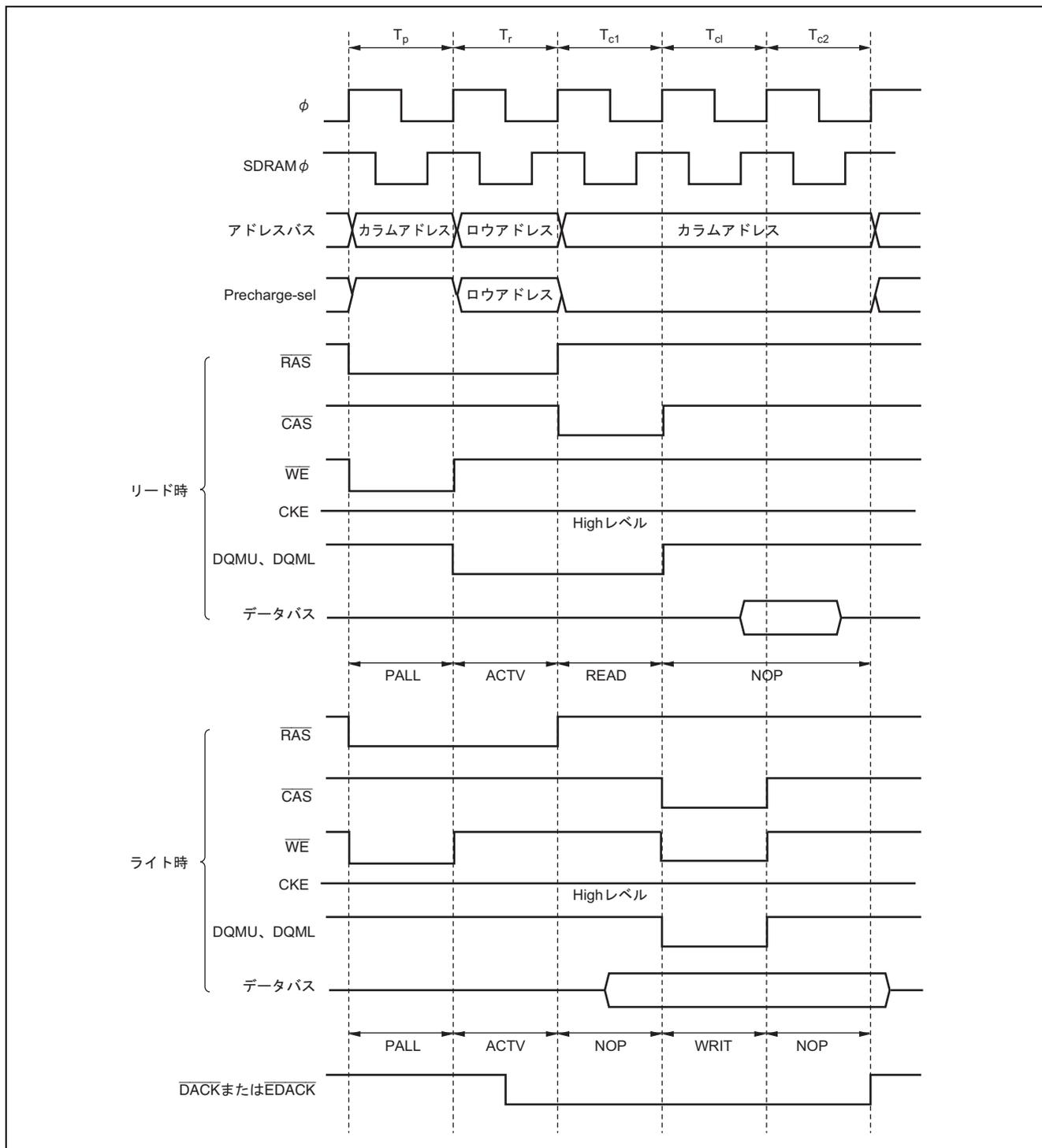


図 6.73 DDS=0 または EDDS=0 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出カタイミグ例

(2) リードデータ拡張

DMAC および EXDMAC のシングルアドレス転送モードで連続シンクロナス DRAM 空間をリードアクセスする場合に、DRACCR の CKSPE ビットを 1 に設定すると、リードデータの確定時間をクロックサスペンドモードにより拡張することができます。リードデータ拡張サイクル(T_{sp})の挿入ステート数はDRACCR の RDXC1、RDXC0 ビットにより設定します。リードデータの拡張を行う際は DRAMCR の OEE ビットを 1 に設定してください。リードデータの拡張は DDS、EDDS ビットに依存しません。

図 6.74 にリードデータを 2 サイクル拡張した場合のタイミング図を示します。

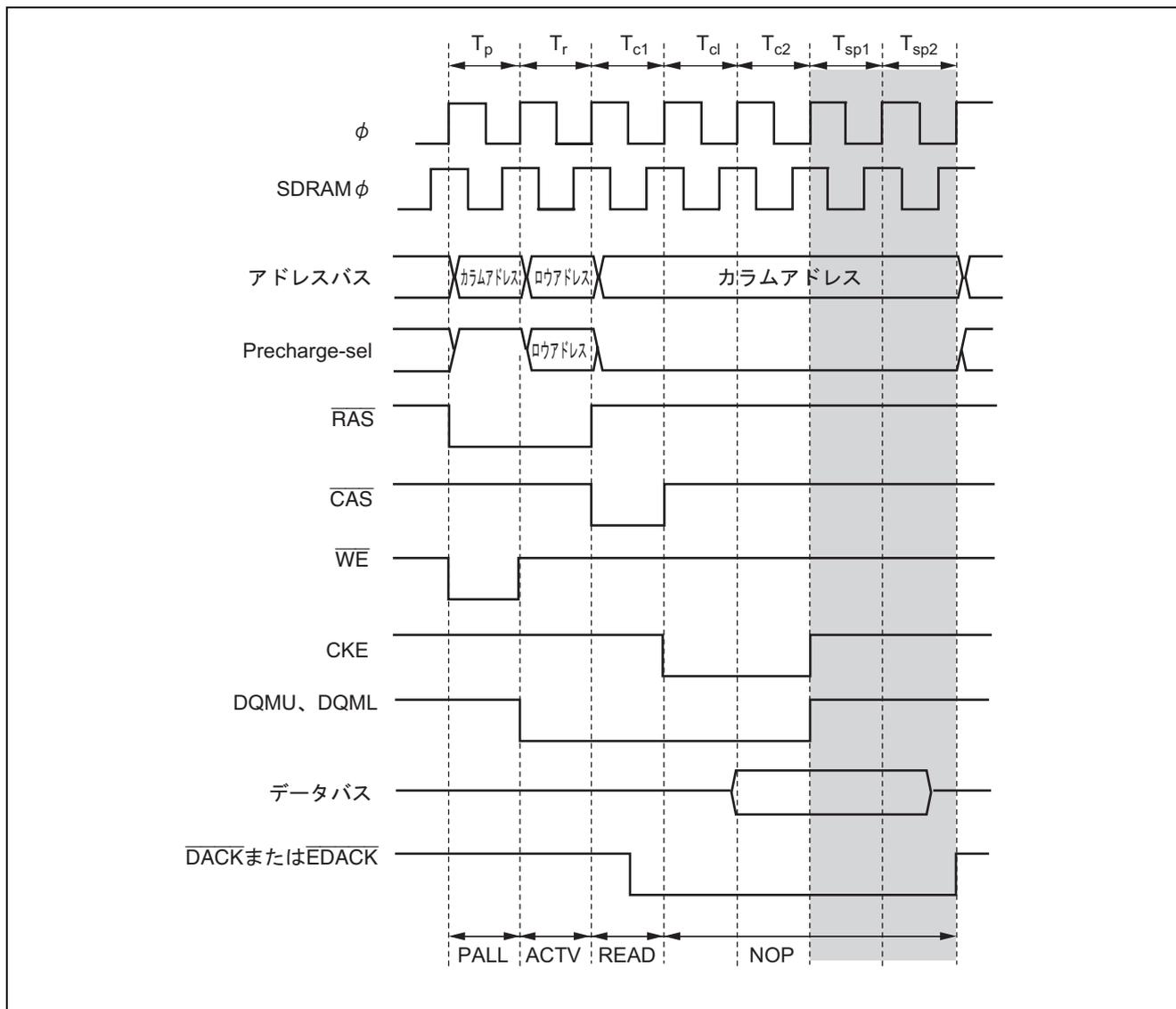


図 6.74 リードデータを 2 ステート拡張した場合のタイミング例
(DDS=1 または EDDS=1、RDXC1=0、RDXC0=1、CAS レイテンシ 2 の場合)

6.9 バースト ROM インタフェース

本 LSI は、エリア 0 およびエリア 1 の外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、バーストアクセス可能な ROM を高速にアクセスすることができます。

BROMCR の BSRM1、BSRM0 ビットにより、エリア 1 およびエリア 0 をバースト ROM 空間に設定します。BROMCR の BSWD11、BSWD10 ビットにより、4 ワード/8 ワード/16 ワード/32 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートから 8 ステートを選択できます。

エリア 0 およびエリア 1 を独立に設定することができます。

バースト ROM インタフェース空間では、CPU によるリードアクセスのみがバーストアクセスの対象となります。

6.9.1 基本タイミング

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) のアクセスステート数は ASTCR、ABWCR、WTCRA、WTCRB、CSACRH による基本バスインタフェースの設定に従います。エリア 0 またはエリア 1 をバースト ROM インタフェース空間に設定した場合、RDNCR、CSACRL レジスタの設定は無視されます。

バーストサイクルは、BROMCR の BSTS02~BSTS00、BSTS12~BSTS10 の設定により、1 ステートから 8 ステートの選択が可能です。ウェイトステートは挿入できません。また、BSTS01、BSTS00、BSTS11、BSTS10 ビットの設定により、最大 32 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.75、図 6.76 に示します。

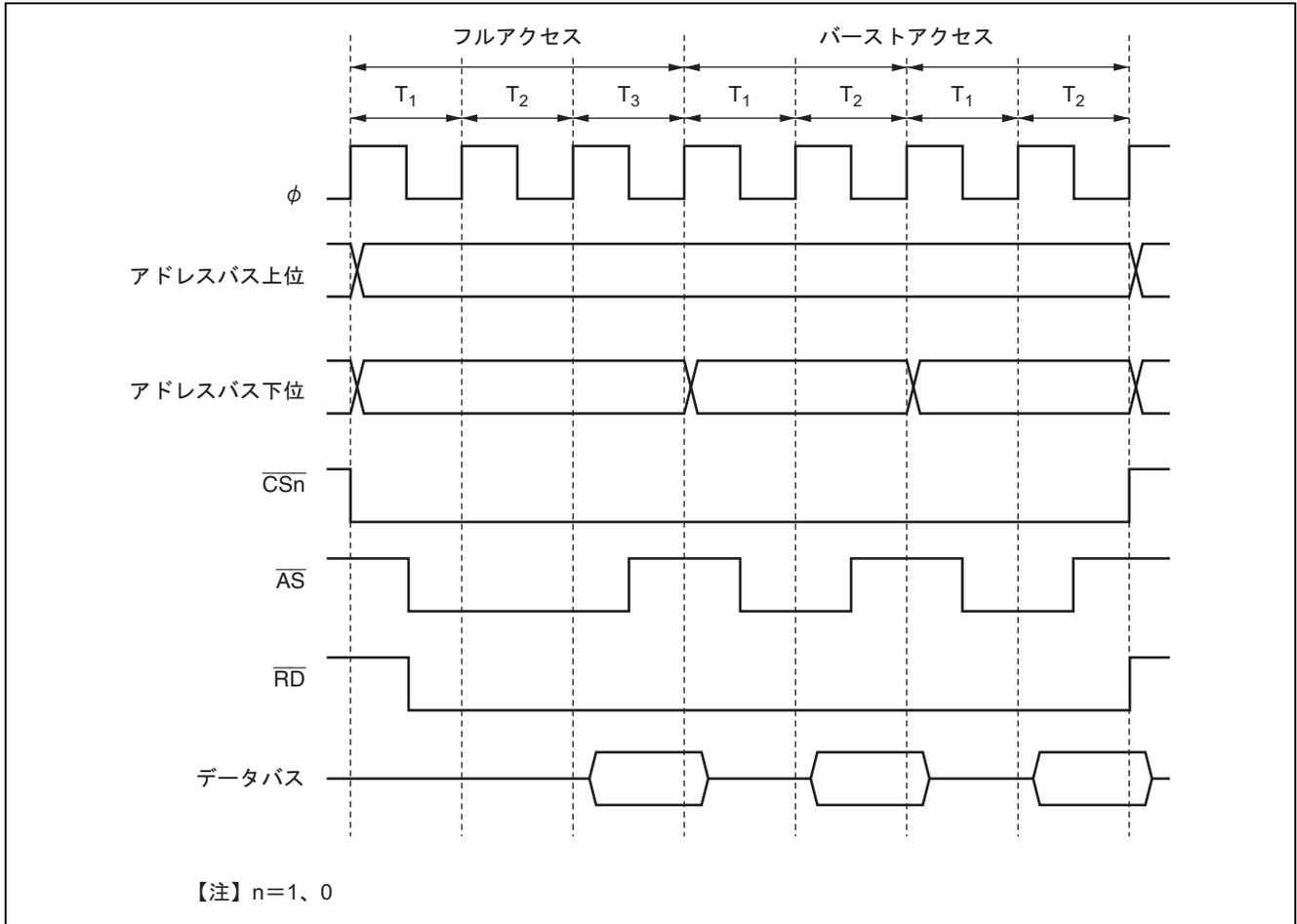


図 6.75 バースト ROM アクセスタイミング例
($ASTn=1$ 、バーストサイクル 2 ステートの場合)

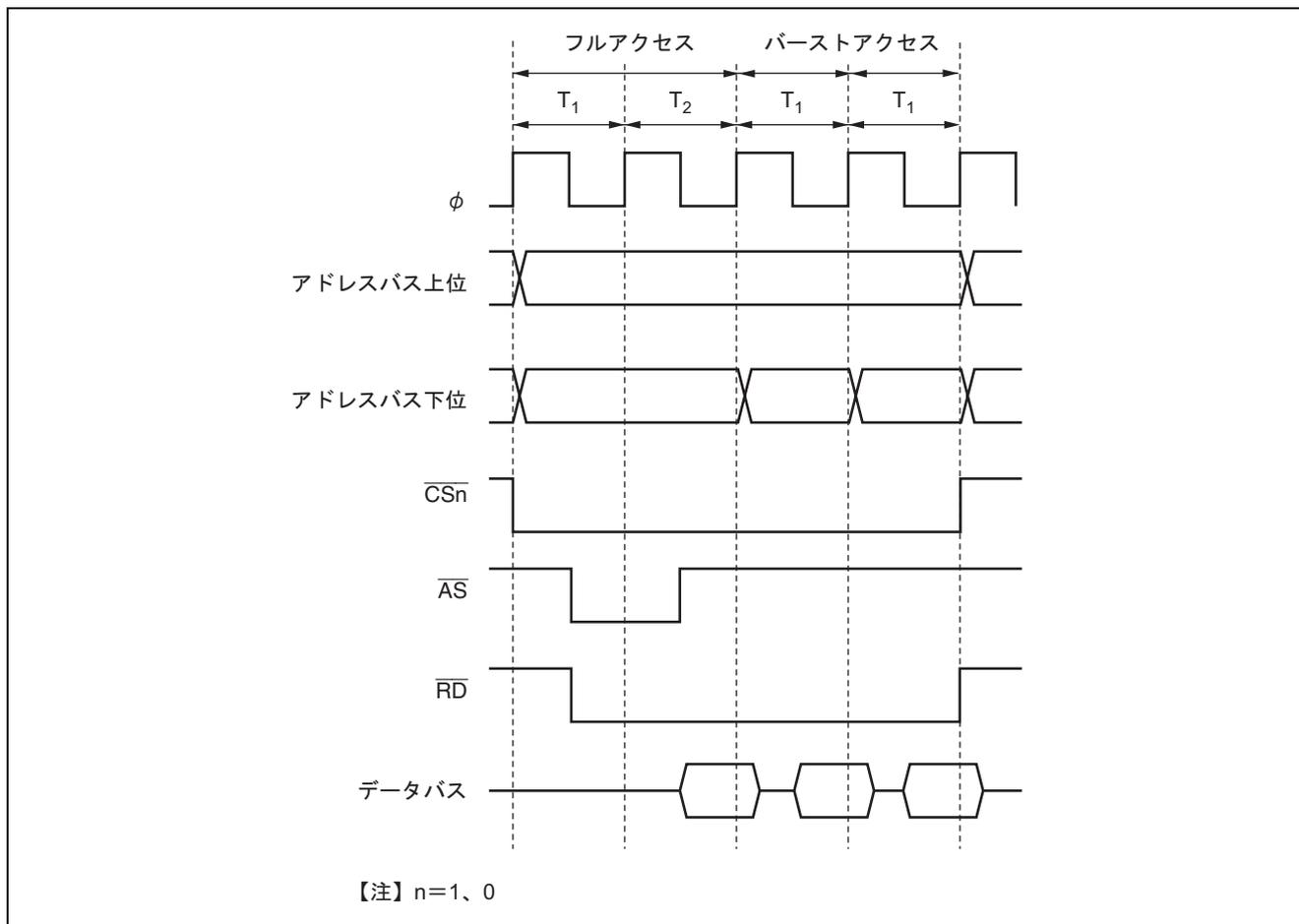


図 6.76 バースト ROM アクセスタイミング例
(ASTn=0、バーストサイクル 1 ステートの場合)

6.9.2 ウェイト制御

バースト ROM インタフェースのインisialサイクル (フルアクセス) には、基本バスインタフェースと同様に、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。「6.5.4 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

6.9.3 ライトアクセス

バースト ROM 空間へライトアクセスを実行すると、その時点でバーストアクセスは途切れ、基本バスインタフェースの設定に準じたライトアクセスが実行されます。また、バースト ROM 空間に設定した場合でも、ライトアクセスはバーストしません。

6.10 アイドルサイクル

6.10.1 動作説明

本 LSI は外部空間をアクセスするとき、(1) 異なるエリア間でリードアクセスが連続して発生したとき、(2) リードサイクルの直後にライトサイクルが発生したとき、(3) ライトサイクルの直後にリードサイクルが発生したときの 3 つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_i) を挿入することができます。BCR の IDLC ビットの設定により、アイドルサイクルを 1 ステートまたは 2 ステート挿入可能です。アイドルサイクルの挿入により、出力フローティング時間の大きい ROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCR の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 6.77 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルでそれぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入しデータの衝突を回避しています。

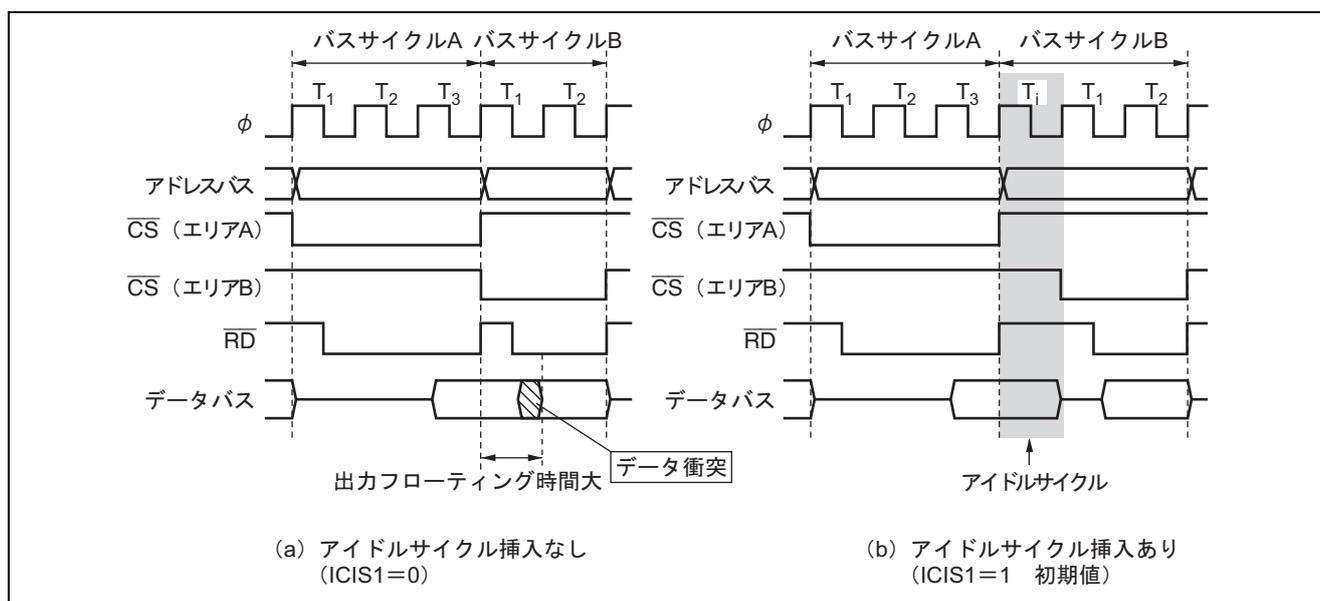


図 6.77 アイドルサイクル動作例 (異なるエリア間での連続リード)

(2) リード後のライト

BCR の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.78 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

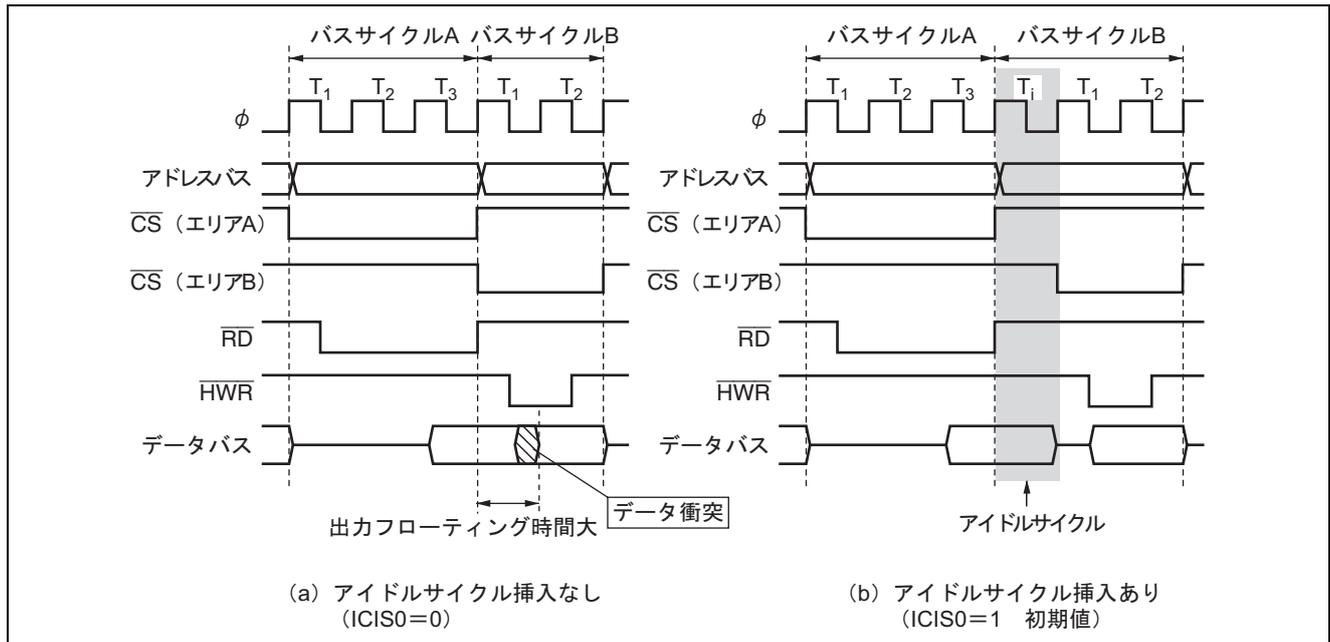


図 6.78 アイドルサイクル動作例 (リード後のライト)

(3) ライト後のリード

BCR の ICIS2 ビットを 1 にセットした状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。

図 6.79 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は外部からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU からのライトデータと外部からのリードデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

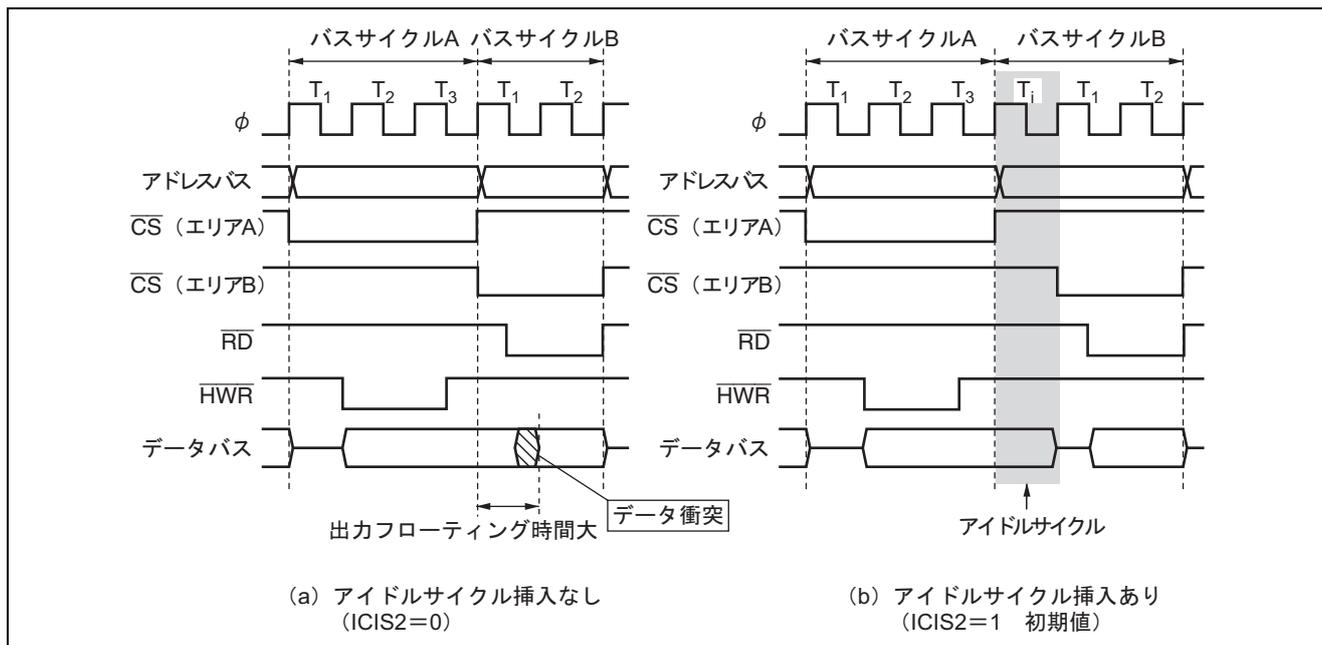


図 6.79 アイドルサイクル動作例 (ライト後のリード)

(4) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 6.80 に例を示します。(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

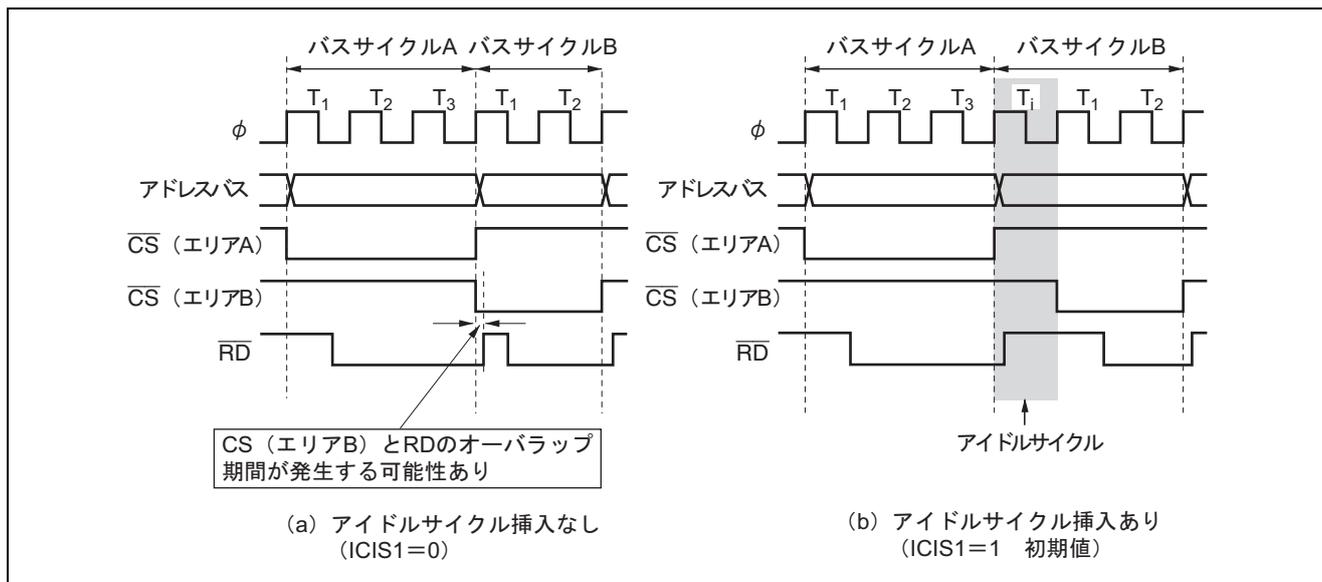


図 6.80 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

(5) 通常空間アクセス後に DRAM 空間をアクセスするときのアイドルサイクル

通常空間アクセス後の DRAM 空間アクセスでは、BCR の ICIS2、ICIS1、ICIS0、IDLIC ビットの設定が有効です。ただし、異なるエリア間での連続リードの場合、2 回目のリードが DRAM 空間へのフルアクセスのとき、Tp サイクルのみが挿入され Ti サイクルは挿入されません。このタイミングを図 6.81 に示します。

【注】 5V 版では DRAM インタフェースをサポートしていません。

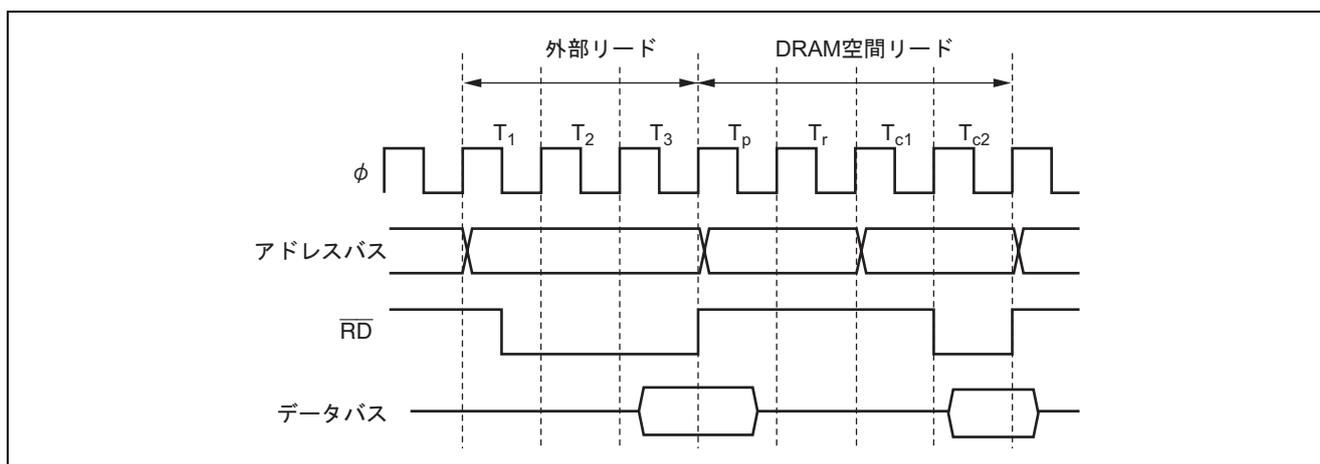


図 6.81 外部リード後の DRAM フルアクセス例 (CAST=0 の場合)

RAS ダウンモード時のバーストアクセスでは ICIS2、ICIS1、ICIS0、IDLIC ビットの設定が有効となり、アイドルサイクルが挿入されます。このタイミングを図 6.82、図 6.83 に示します。

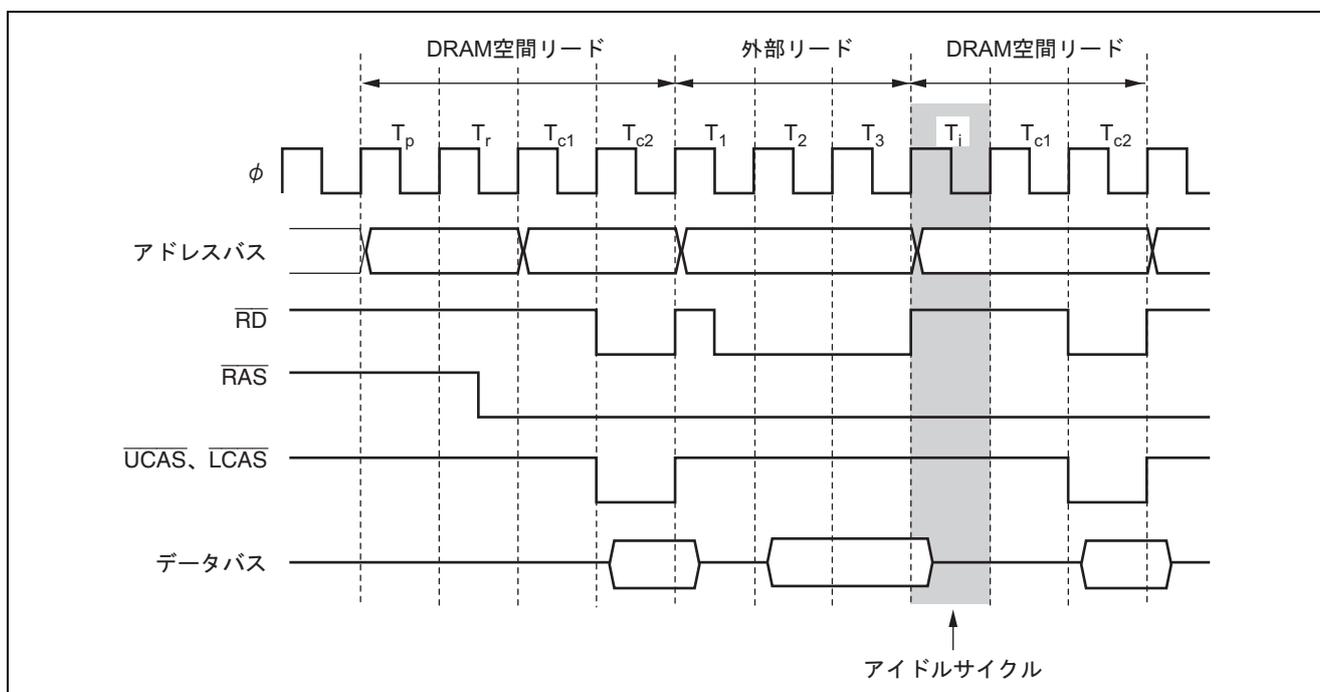


図 6.82 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリア間での連続リード) (IDLIC=0、RAST=0、CAST=0 の場合)

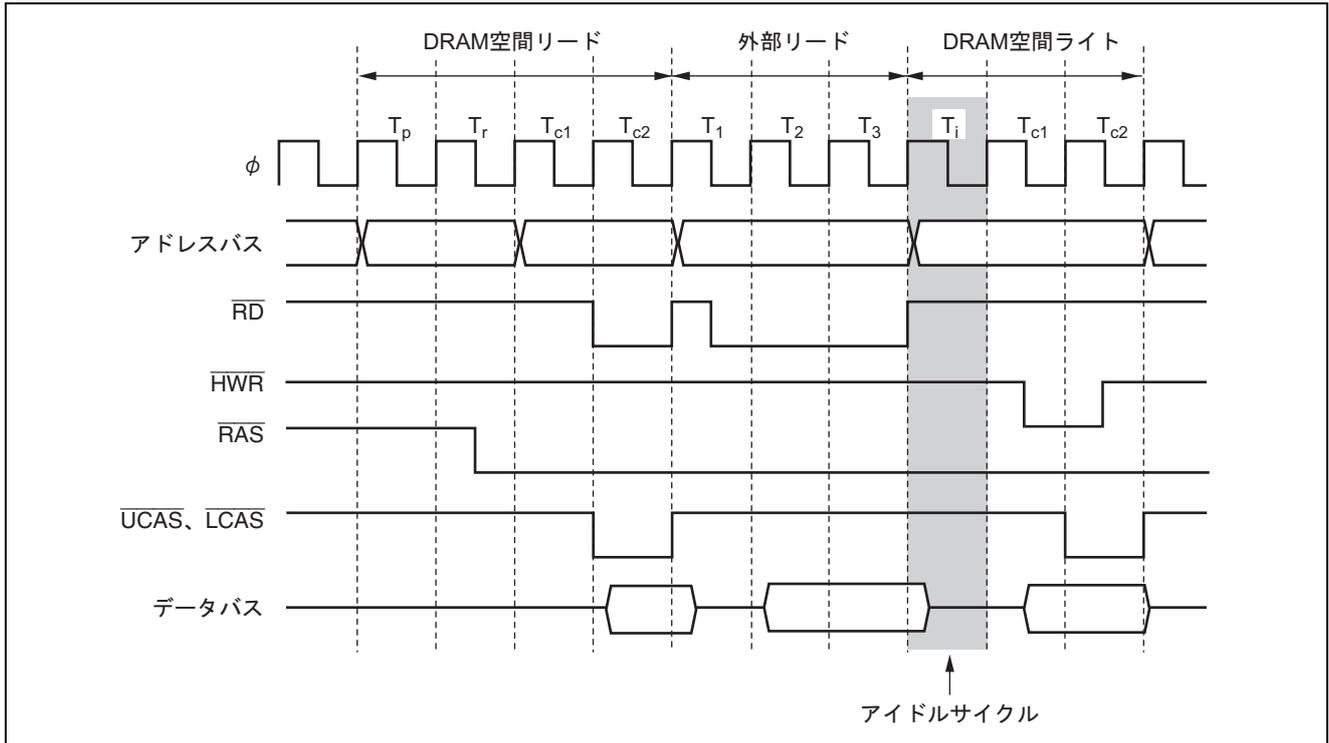


図 6.83 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)
(IDLIC=0、RAST=0、CAST=0 の場合)

(6) 通常空間アクセス後に連続シンクロナス DRAM 空間をアクセスするときのアイドルサイクル

通常空間アクセス後の連続シンクロナス DRAM 空間をアクセスでは、BCR の ICIS2、ICIS1、ICIS0、IDLC ビットの設定が有効です。ただし、異なるエリア間での連続リードの場合、2 回目のリードが連続シンクロナス DRAM 空間へのフルアクセスのとき、Tp サイクルのみが挿入され Ti サイクルは挿入されません。このタイミングを図 6.84 に示します。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

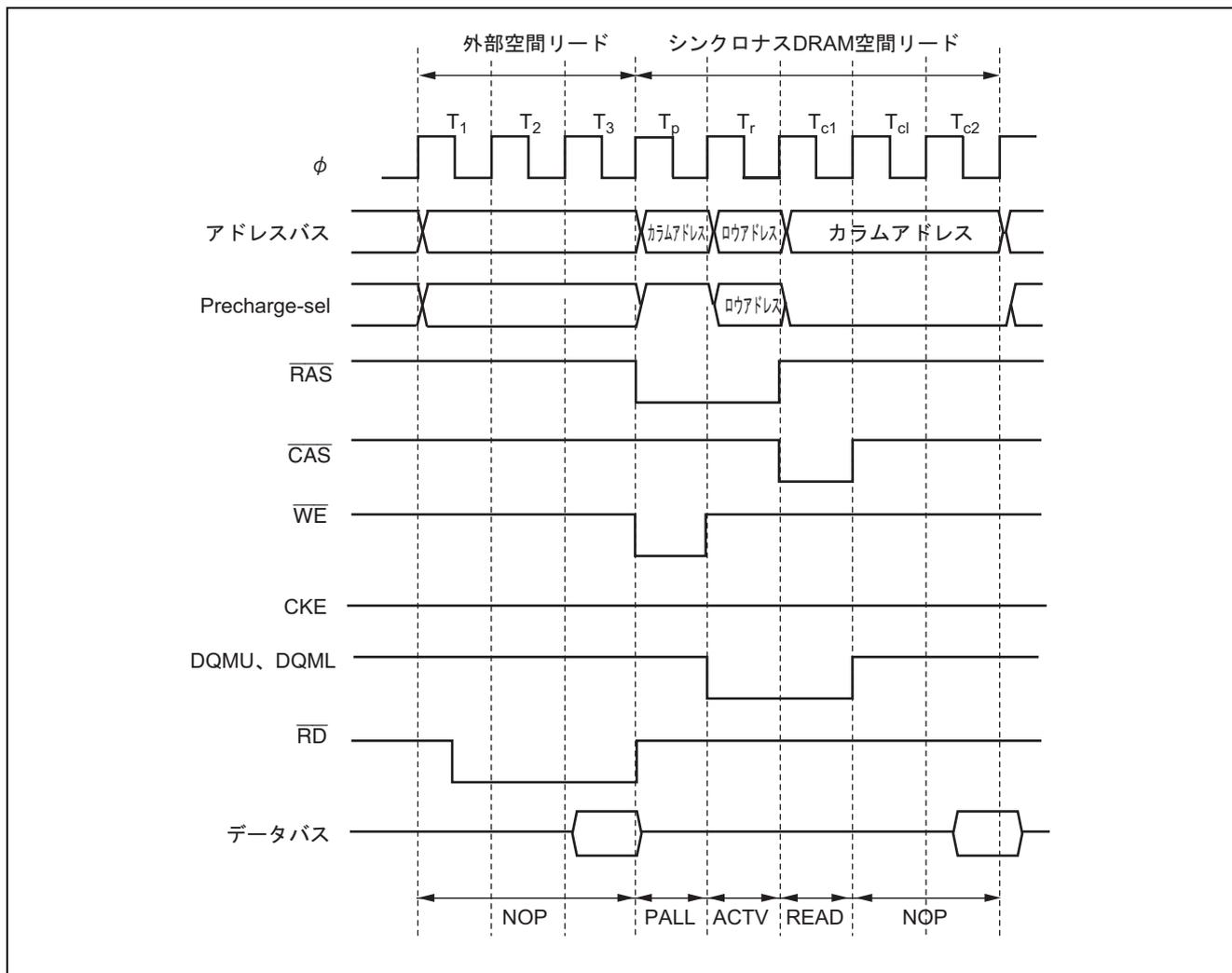


図 6.84 外部リード後のシンクロナス DRAM フルアクセス例 (CAS レイテンシ 2 の場合)

RAS ダウンモード時のバーストアクセスでは ICIS2、ICIS1、ICIS0、IDLIC ビットの設定が有効となり、アイドルサイクルが挿入されます。ただし、リードアクセス時には、IDLIC ビットの設定により、DQMU、DQML のタイミングが異なりますので、注意してください。このタイミングを図 6.85、図 6.86 に示します。ライトアクセス時には、DQMU、DQML は IDLIC ビットの設定に依存しません。このタイミングを図 6.87 に示します。

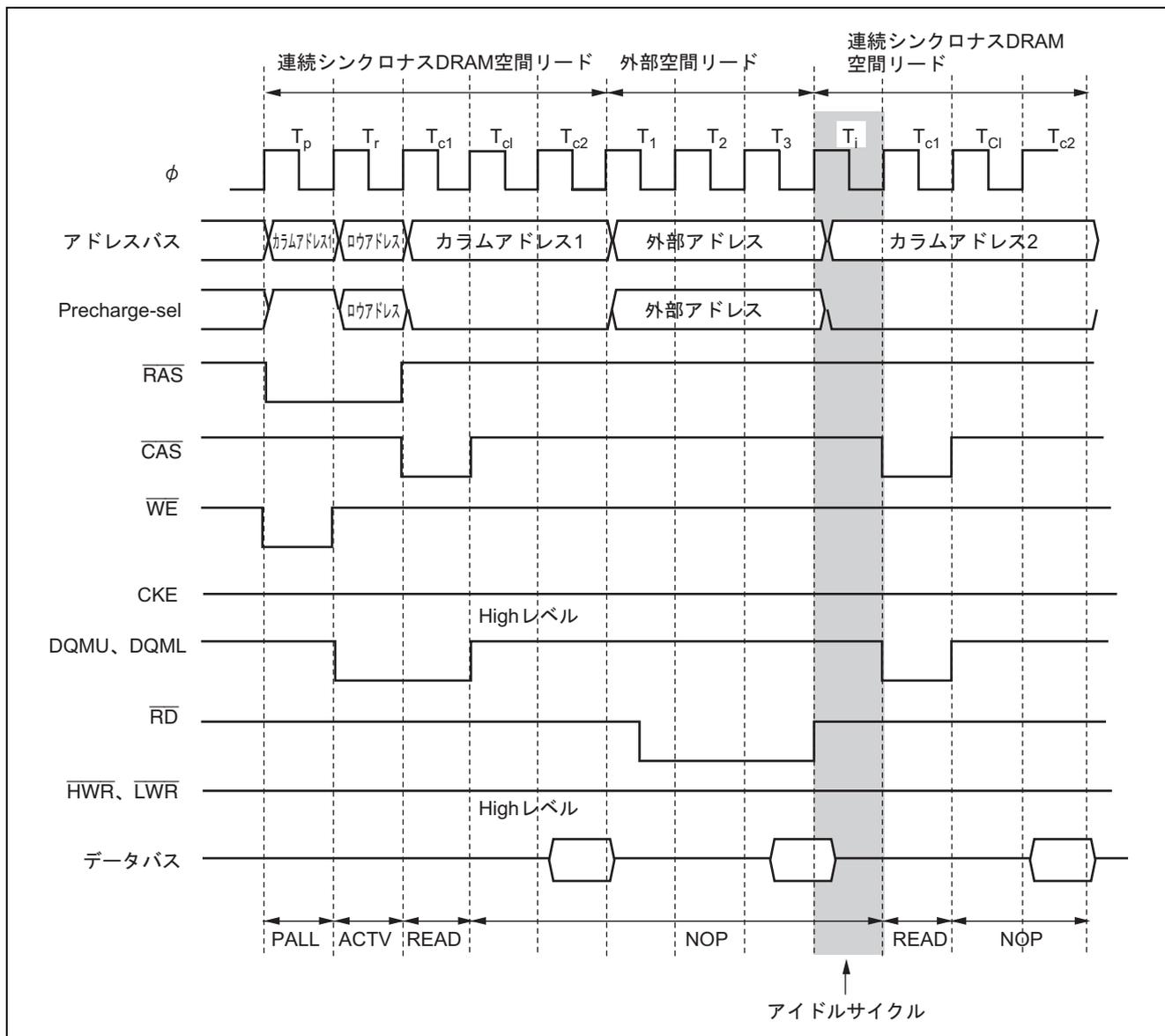


図 6.85 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード)
(IDLIC=0、CAS レイテンシ 2 の場合)

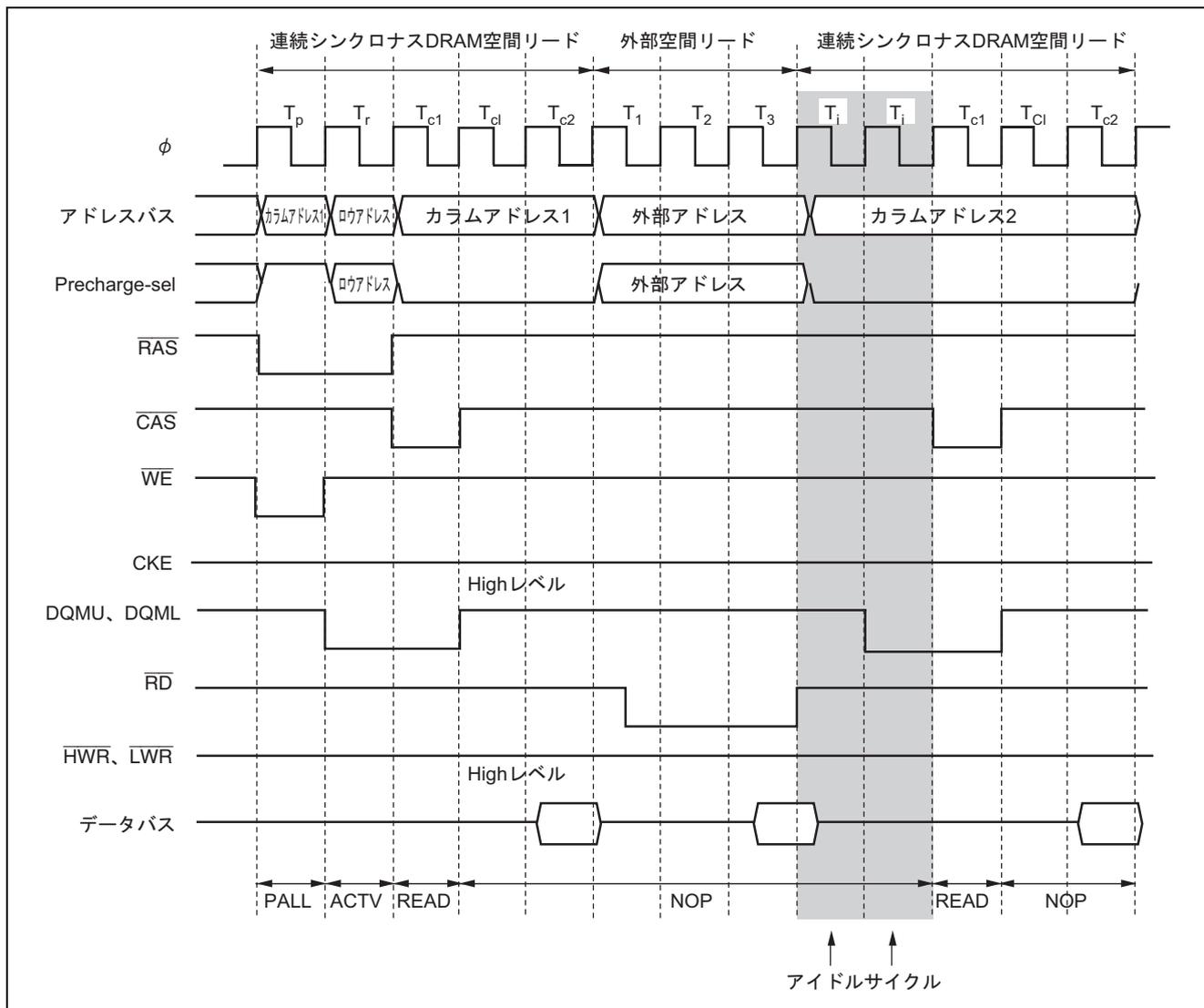


図 6.86 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード)
(IDLC=1、CAS レイテンシ 2 の場合)

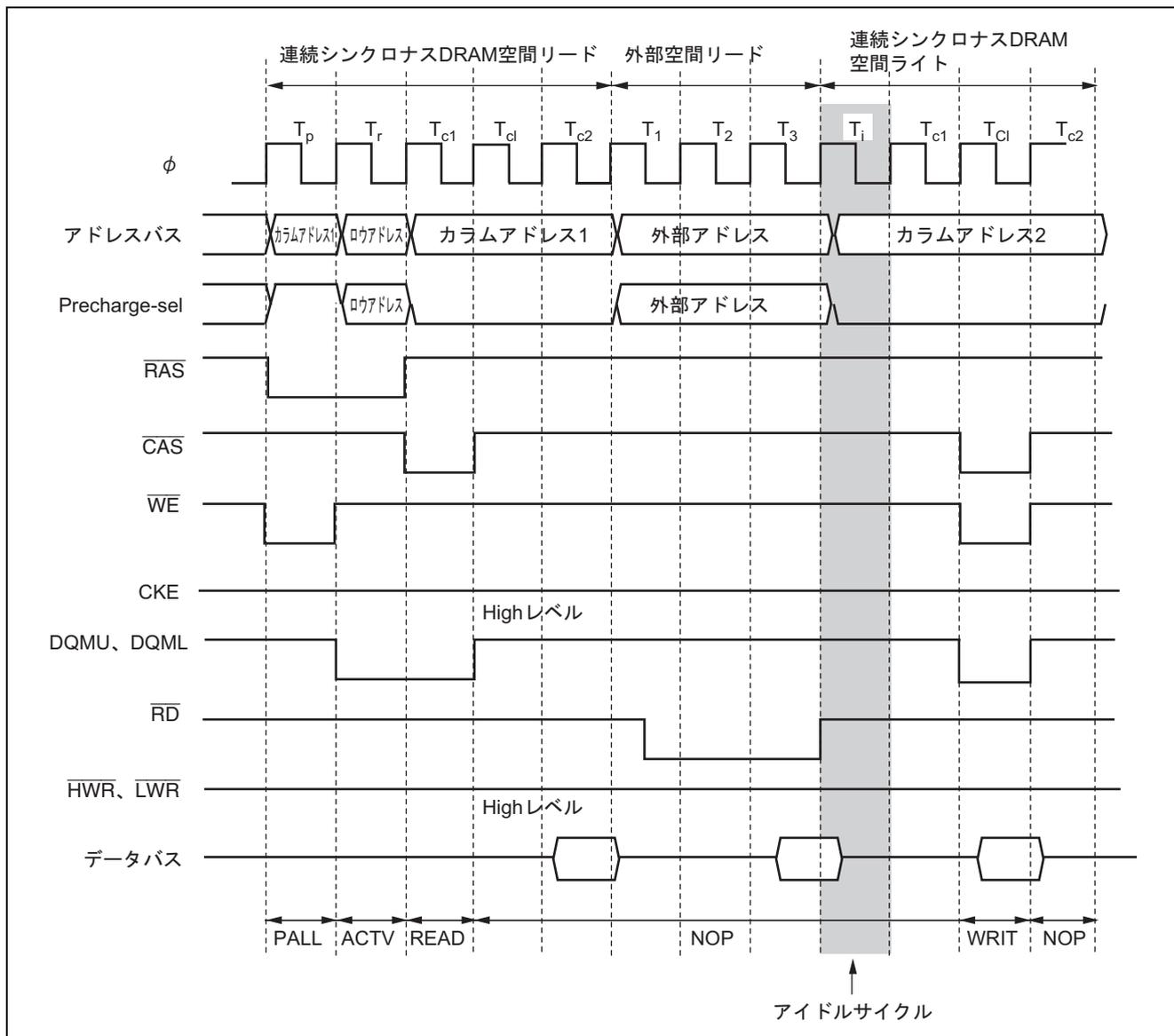


図 6.87 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)
(IDLC=0、CAS レイテンシ 2 の場合)

(7) DRAM 空間アクセス後に通常空間をアクセスするときのアイドルサイクル

【注】 5V 版では DRAM インタフェースをサポートしていません。

(a) DRAM 空間リードアクセス後の通常空間アクセス

DRACCR の DRMI ビットを 0 にクリアした状態では、DRAM 空間アクセス後のアイドルサイクルは無効です。DRMI ビットを 1 にセットすると、DRAM 空間アクセス後のアイドルサイクルを有効にすることができます。挿入されるアイドルサイクルの条件ならびにステート数は BCR の ICIS1、ICIS0、IDLC ビットの設定に従います。図 6.88、図 6.89 に DRMI ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

DRMI ビットを 0 にクリアすると、ICIS1、ICIS0 ビットを 1 に設定しても、DRAM 空間アクセス後にはアイドルサイクルは挿入されません。

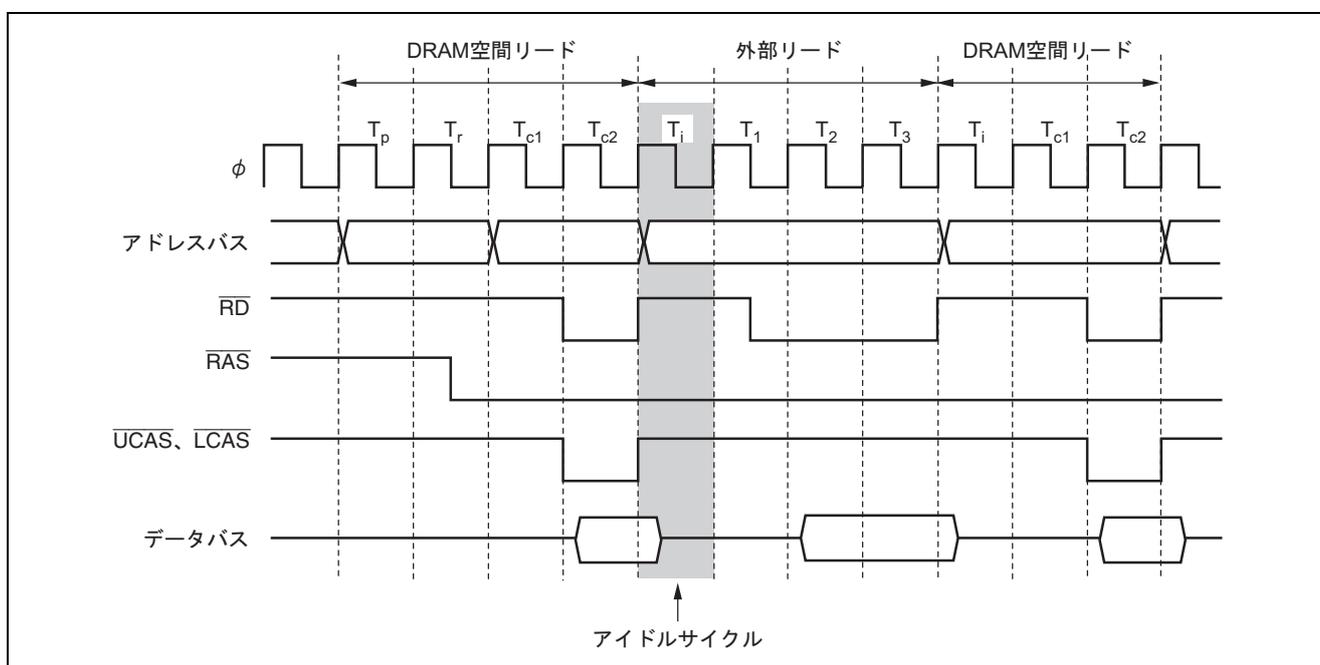


図 6.88 DRAM アクセス後のアイドルサイクル動作例 (異なるエリア間での連続リード)
(IDLC=0、RAST=0、CAST=0 の場合)

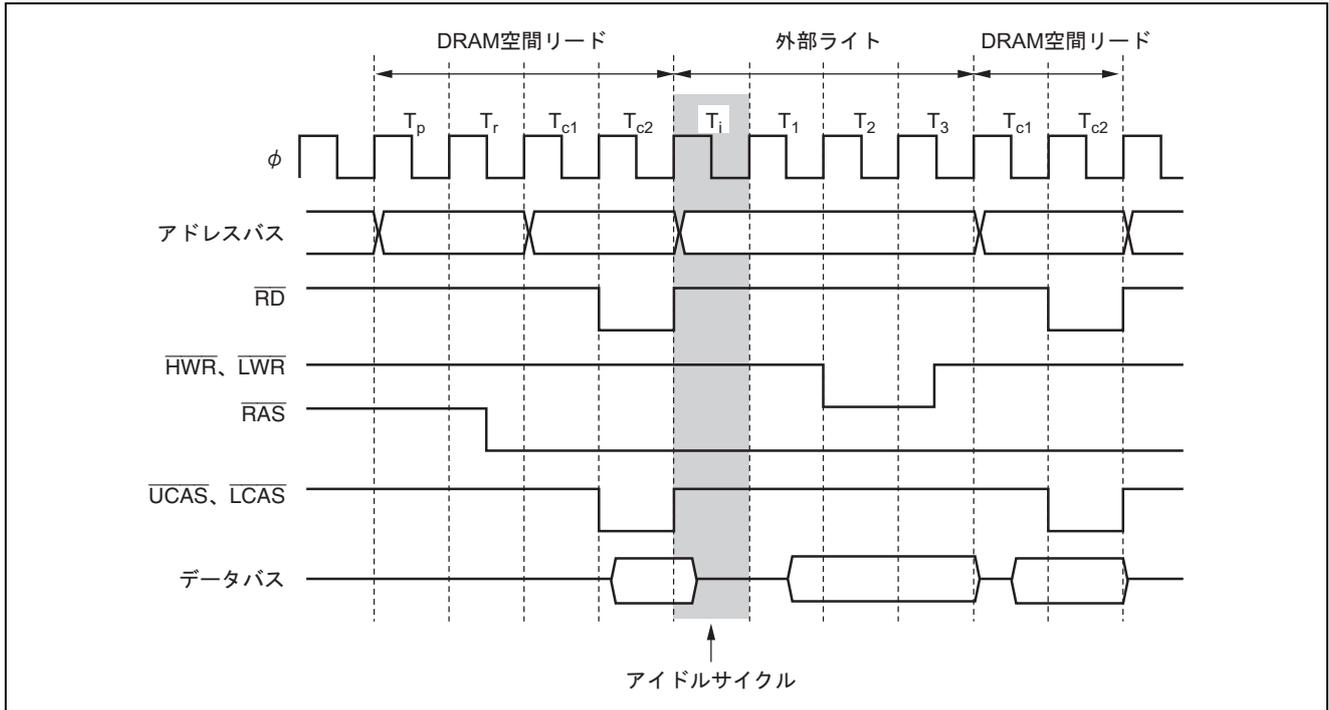


図 6.89 DRAM アクセス後のアイドルサイクル動作例 (リード後のライト)
(IDLIC=0、RAST=0、CAST=0 の場合)

(b) DRAM 空間ライトアクセス後の通常空間アクセス

BCR の ICIS2 ビットを 1 に設定した状態で、DRAM 空間ライトアクセス後に通常空間のリードアクセスが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。挿入されるアイドルサイクルのステート数は IDLC ビットの設定に従います。DRACCR の DRMI ビットに依存しません。図 6.90 に ICIS2 ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

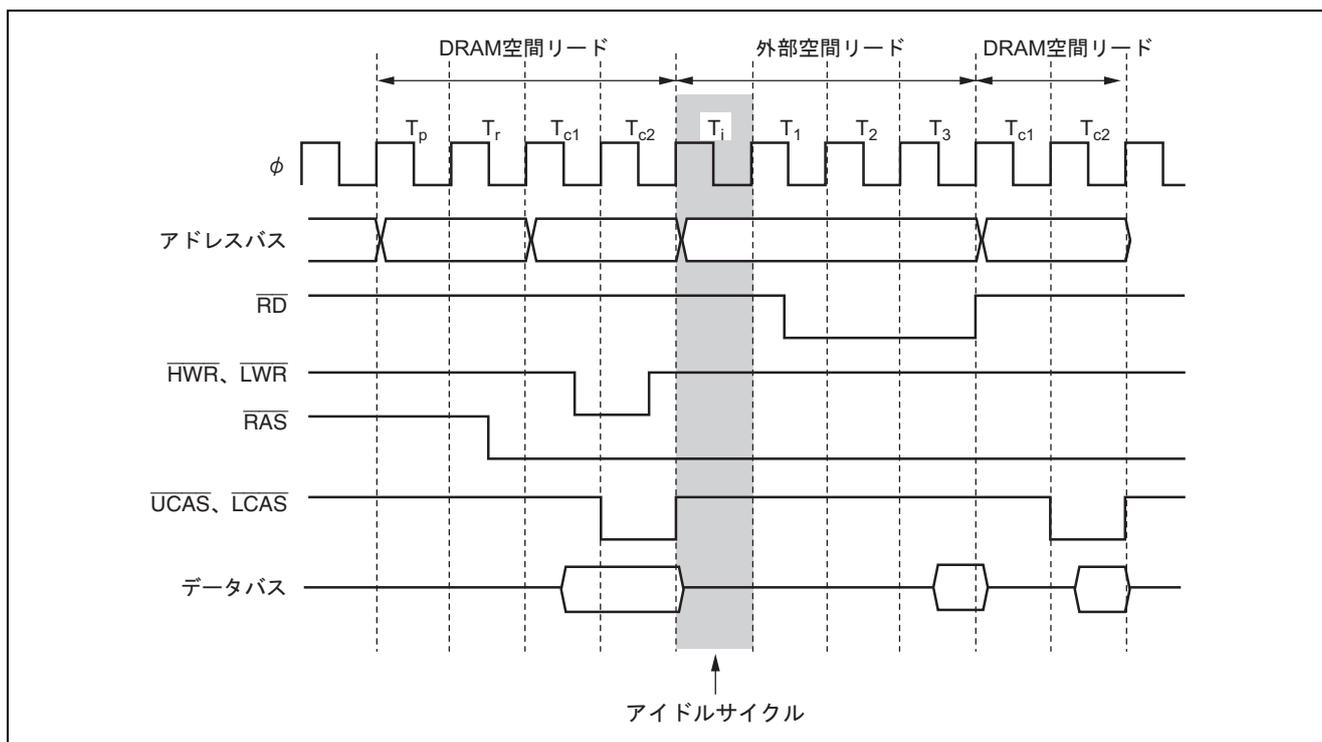


図 6.90 DRAM ライトアクセス後のアイドルサイクル動作例
(IDLC=0、ICIS1=0、RAST=0、CAST=0 の場合)

(8) 連続シンクロナス DRAM 空間アクセス後に通常空間をアクセスするときのアイドルサイクル

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

(a) 連続シンクロナス DRAM 空間リードアクセス後の通常空間アクセス

DRACCR の DRMI ビットを 0 にクリアした状態では、連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクルは無効です。DRMI ビットを 1 にセットすると、連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクルを有効にすることができます。挿入されるアイドルサイクルの条件ならびにステート数は RCR の ICIS1、ICIS0、IDLIC ビットの設定に従います。図 6.91 に DRMI ビットを 1 にセットした場合のアイドルサイクル動作例を示します。DRMI ビットを 0 にクリアすると、ICIS1、ICIS0 ビットを 1 に設定しても、連続シンクロナス DRAM 空間リードアクセス後にはアイドルサイクルは挿入されません。

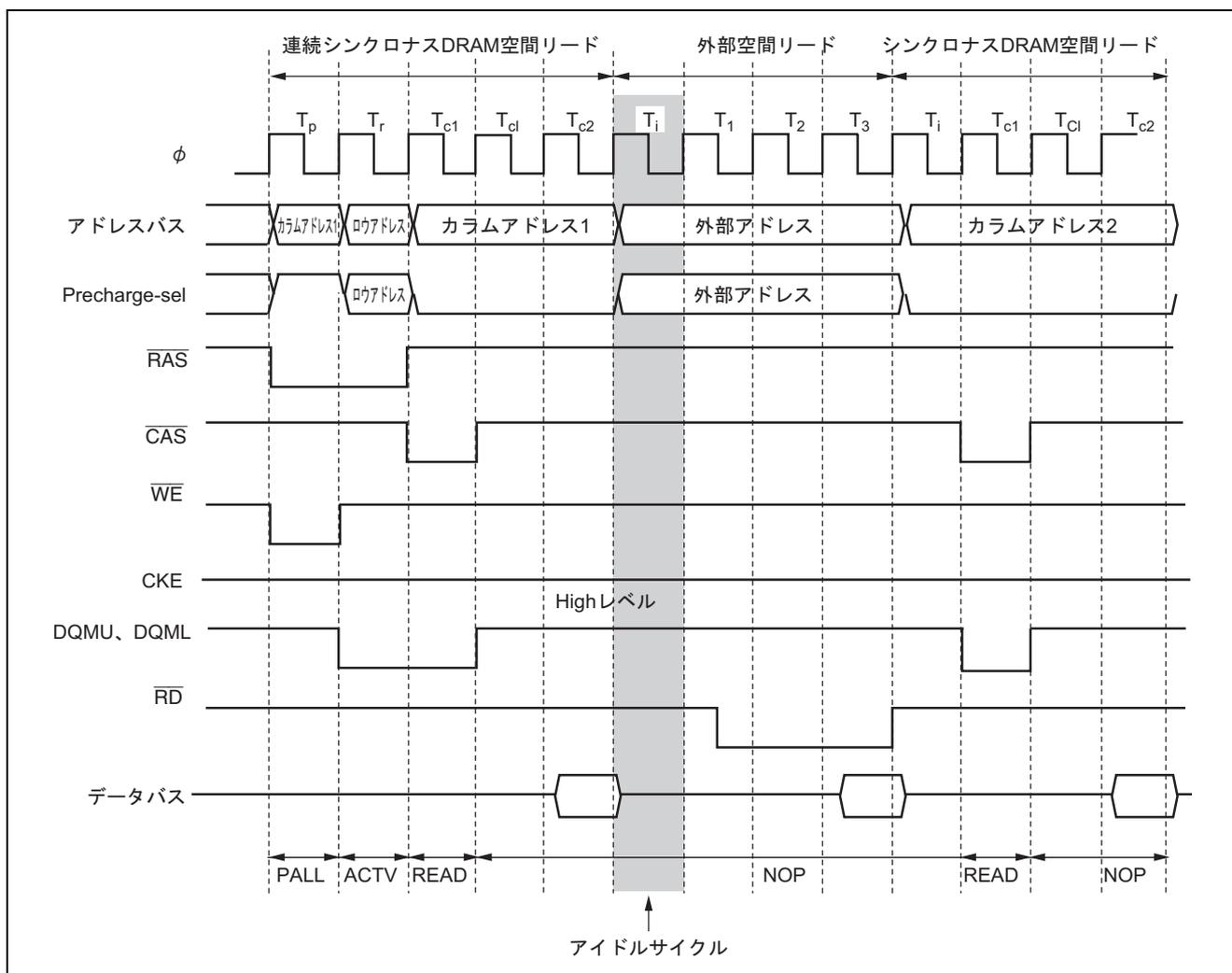


図 6.91 連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクル動作例
 (異なるエリア間のリード)
 (IDLIC=0、CAS レイテンシ 2 の場合)

(b) 連続シンクロナス DRAM 空間ライトアクセス後の通常空間アクセス

BCR の ICIS2 ビットを 1 に設定した状態で、連続シンクロナス DRAM 空間ライトアクセス後に通常空間のリードサイクルが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。挿入されるアイドルサイクルのステート数は IDLC ビットの設定に従います。DRACCR の DRMI ビットに依存しません。

図 6.92 に ICIS2 ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

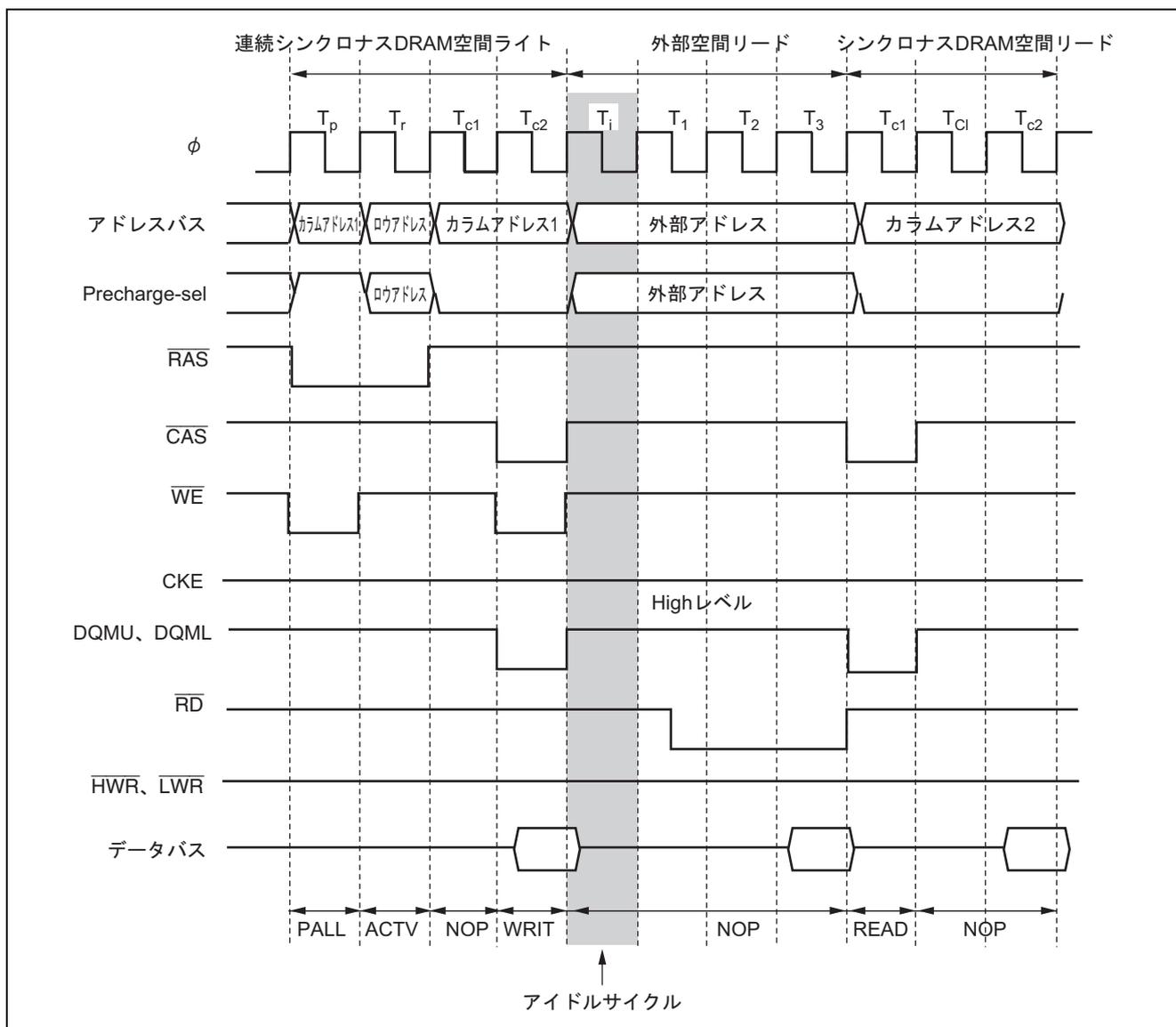


図 6.92 連続シンクロナス DRAM 空間ライトアクセス後のアイドルサイクル動作例 (IDLC=0、ICIS1=0、SDWCD=1、CAS レイテンシ 2 の場合)

表 6.12 に通常空間と DRAM 空間/連続シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル挿入の有無を示します。

表 6.12 通常空間と DRAM/連続シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	ICIS2	ICIS1	ICIS0	DRMI	IDLC	アイドルサイクル
通常空間リード	通常空間リード (異なるエリア)	—	0	—	—	—	無効
		—	1	—	—	0	1 ステート挿入
		—	—	—	—	1	2 ステート挿入
	DRAM*1/ 連続シンクロナス DRAM*2 空間リード	—	0	—	—	—	無効
		—	1	—	—	0	1 ステート挿入
		—	—	—	—	1	2 ステート挿入
	通常空間ライト	—	—	0	—	—	無効
		—	—	1	—	0	1 ステート挿入
		—	—	—	—	1	2 ステート挿入
	DRAM*1/ 連続シンクロナス DRAM*2 空間ライト	—	—	0	—	—	無効
		—	—	1	—	0	1 ステート挿入
		—	—	—	—	1	2 ステート挿入
DRAM*1/ 連続シンクロナス DRAM*2 空間リード	通常空間リード	—	0	—	—	—	無効
		—	1	—	0	—	無効
		—	—	—	—	1	0
	DRAM*1/ 連続シンクロナス DRAM*2 空間リード	—	0	—	—	—	無効
		—	1	—	0	—	無効
		—	—	—	—	1	0
	通常空間ライト	—	—	0	—	—	無効
		—	—	1	0	—	無効
		—	—	—	—	1	0
	DRAM*1/ 連続シンクロナス DRAM*2 空間ライト	—	—	0	—	—	無効
		—	—	1	0	—	無効
		—	—	—	—	1	0
						1	2 ステート挿入

前のアクセス	次のアクセス	ICIS2	ICIS1	ICIS0	DRMI	IDLC	アイドルサイクル
通常空間ライト	通常空間リード	0	—	—	—	—	無効
		1	—	—	—	0	1 ステート挿入
						1	2 ステート挿入
	DRAM* ¹ / 連続シンクロナス DRAM* ² 空間リード	0	—	—	—	—	無効
		1	—	—	—	0	1 ステート挿入
						1	2 ステート挿入
DRAM* ¹ / 連続シンクロナス DRAM* ² 空間ライト	通常空間リード	0	—	—	—	—	無効
		1	—	—	—	0	1 ステート挿入
						1	2 ステート挿入
	DRAM* ¹ / 連続シンクロナス DRAM* ² 空間リード	0	—	—	—	—	無効
		1	—	—	—	0	1 ステート挿入
						1	2 ステート挿入

【注】 *1 5V 版では DRAM インタフェースをサポートしていません。

*2 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

また、DRACCR の DRMI ビットを 1 にセットすることにより、DRAM/連続シンクロナス DRAM 空間バーストアクセス時にリードとライトが連続した場合のアイドルサイクルを挿入することが可能です。図 6.93、図 6.94 に DRAM/連続シンクロナス DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例を示します。

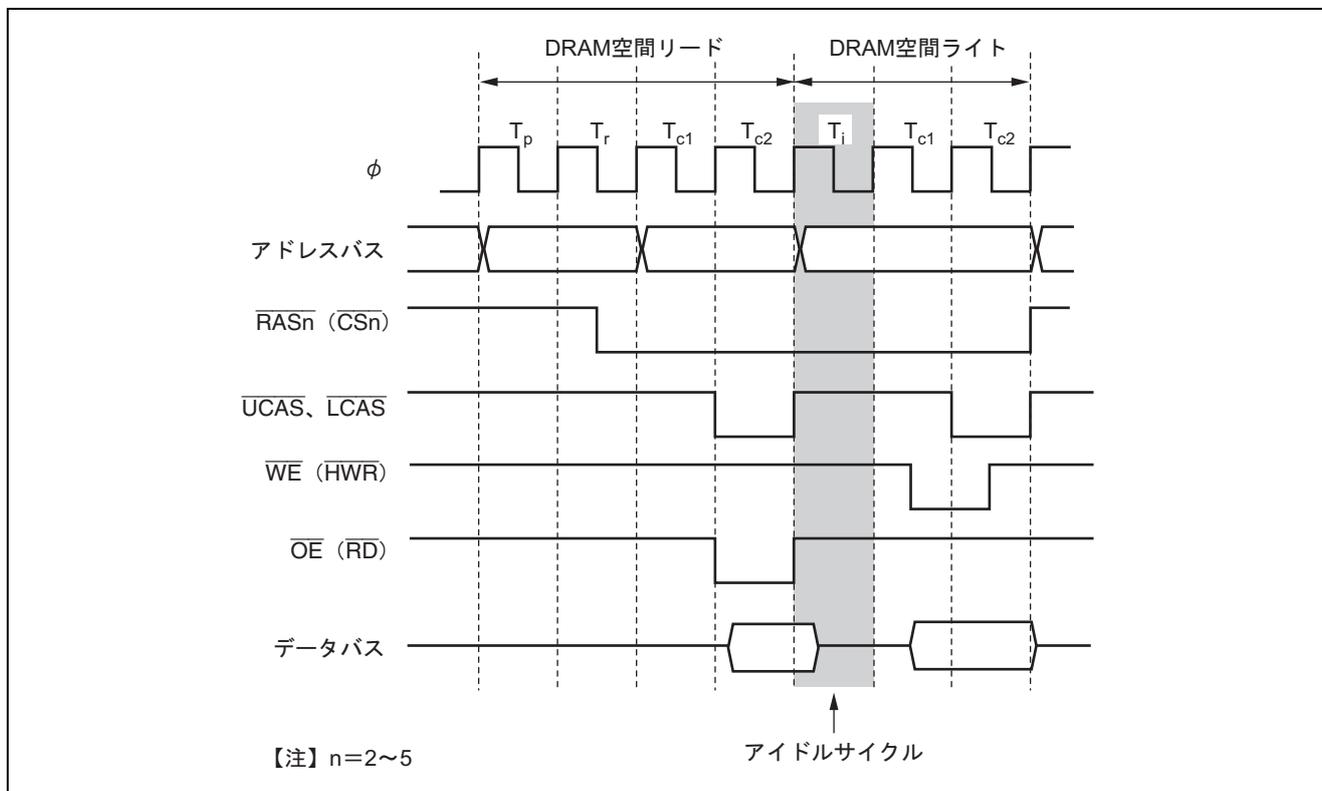


図 6.93 RAS ダウンモードで DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例

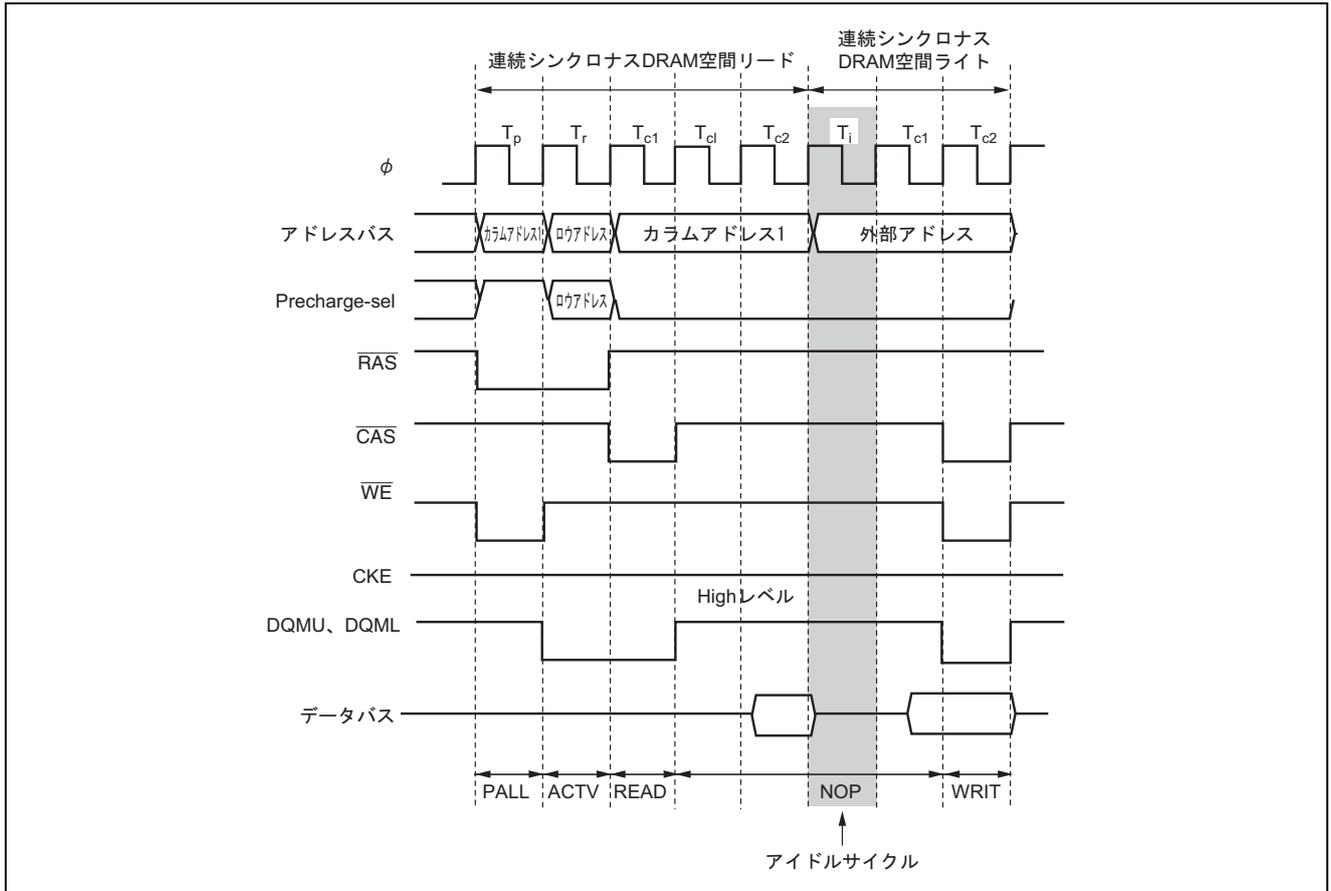


図 6.94 RAS ダウンモードで連続シンクロナス DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例 (SDWCD=1、CAS レイテンシ 2 の場合)

6.10.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.13 に示します。

表 6.13 アイドルサイクルでの端子状態

端子名	端子の状態
A23~A0	直後のバスサイクルの内容
D15~D0	ハイインピーダンス
\overline{CS}_n (n=7~0)	High レベル*1*2
\overline{UCAS} 、 \overline{LCAS}	High レベル*2
$\overline{AS}/\overline{AH}$	High レベル
\overline{RD}	High レベル
\overline{OE}	High レベル
\overline{HWR} 、 \overline{LWR}	High レベル
\overline{DACK}_n (n=1、0)	High レベル
\overline{EDACK}_n (n=3、2)	High レベル

【注】 *1 DRAM 空間での RAS ダウンモードでは Low レベルを保持します。

*2 DRAM 空間でのリフレッシュサイクルでは Low レベルを保持します。

6.11 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMA シングルアドレスモード転送と、内部アクセスを並行して実行することができます。BCR の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.95 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMA シングルアドレスモード転送が 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

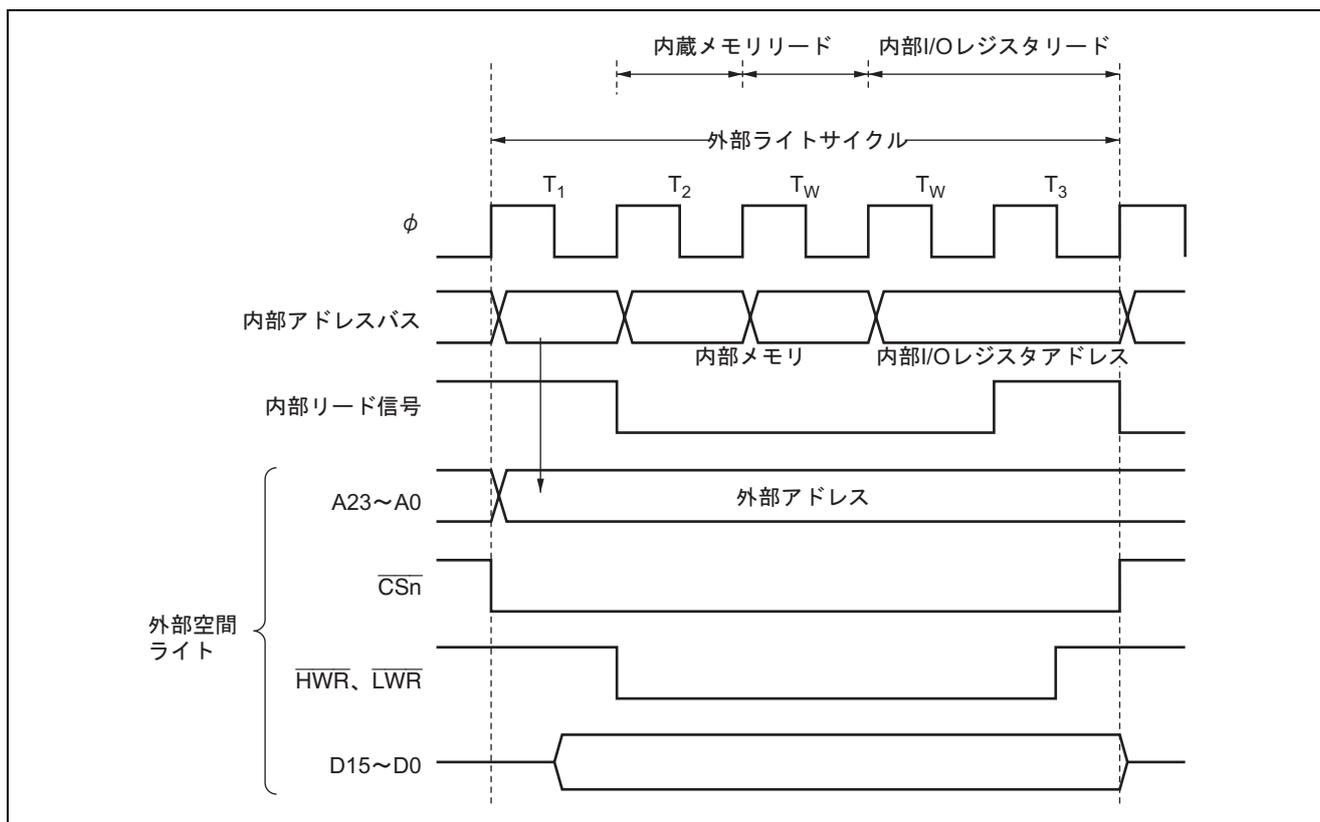


図 6.95 ライトデータバッファ機能使用時のタイミング例

6.12 バス権解放

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り EXDMAC*¹ を除く内部バスマスタは動作を継続します。また、外部バス権解放状態で、以下の要求が発生すると、外部に対し $\overline{\text{BREQO}}$ 信号を Low レベルにしてバス権を要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- リフレッシュ要求が発生したとき*²
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

【注】 *¹ H8S/2424 グループではサポートしていません。

*² 5V 版ではリフレッシュ制御をサポートしていません。

6.12.1 動作説明

外部拡張モードで、BCR の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルにすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を Low レベルにし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして外部バス権解放状態になります。

外部バス権解放状態で、EXDMAC*¹ を除く内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態でリフレッシュ要求が発生した場合、ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合も、外部バスマスタのバス権要求が取り下げられるまでリフレッシュ制御、並びにソフトウェアスタンバイ、全モジュールクロックストップ制御は保留されます。

BCR の BREQOE ビットが 1 にセットされていると、以下の要求が発生したときに $\overline{\text{BREQO}}$ 端子を Low レベルとし、外部にバス権要求を取り下げよう要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- リフレッシュ要求*²が発生したとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセスが同時に発生したときの優先順位は

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

また、リフレッシュ要求*²、外部バス権解放要求が同時に発生したときの優先順位は

(高) リフレッシュ*² > 外部バス権解放 (低)

となります。

【注】 *1 H8S/2424 グループではサポートしていません。

*2 5V 版ではサポートしていません。

6.12.2 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.14 に示します。

表 6.14 バス権解放状態での端子状態

端子名	端子の状態
A23~A0	ハイインピーダンス
D15~D0	ハイインピーダンス
$\overline{\text{CSn}}$ (n=7~0)	ハイインピーダンス
$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$	ハイインピーダンス
$\overline{\text{AS/AH}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
$\overline{\text{OE}}$	ハイインピーダンス
$\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$	ハイインピーダンス
$\overline{\text{DACKn}}$ (n=1、0)	High レベル
$\overline{\text{EDACKn}}$ * (n=3、2)	High レベル

【注】 * H8S/2424 グループではサポートしていません。

6.12.3 遷移タイミング

バス権解放状態への遷移タイミングを図 6.96 に示します。

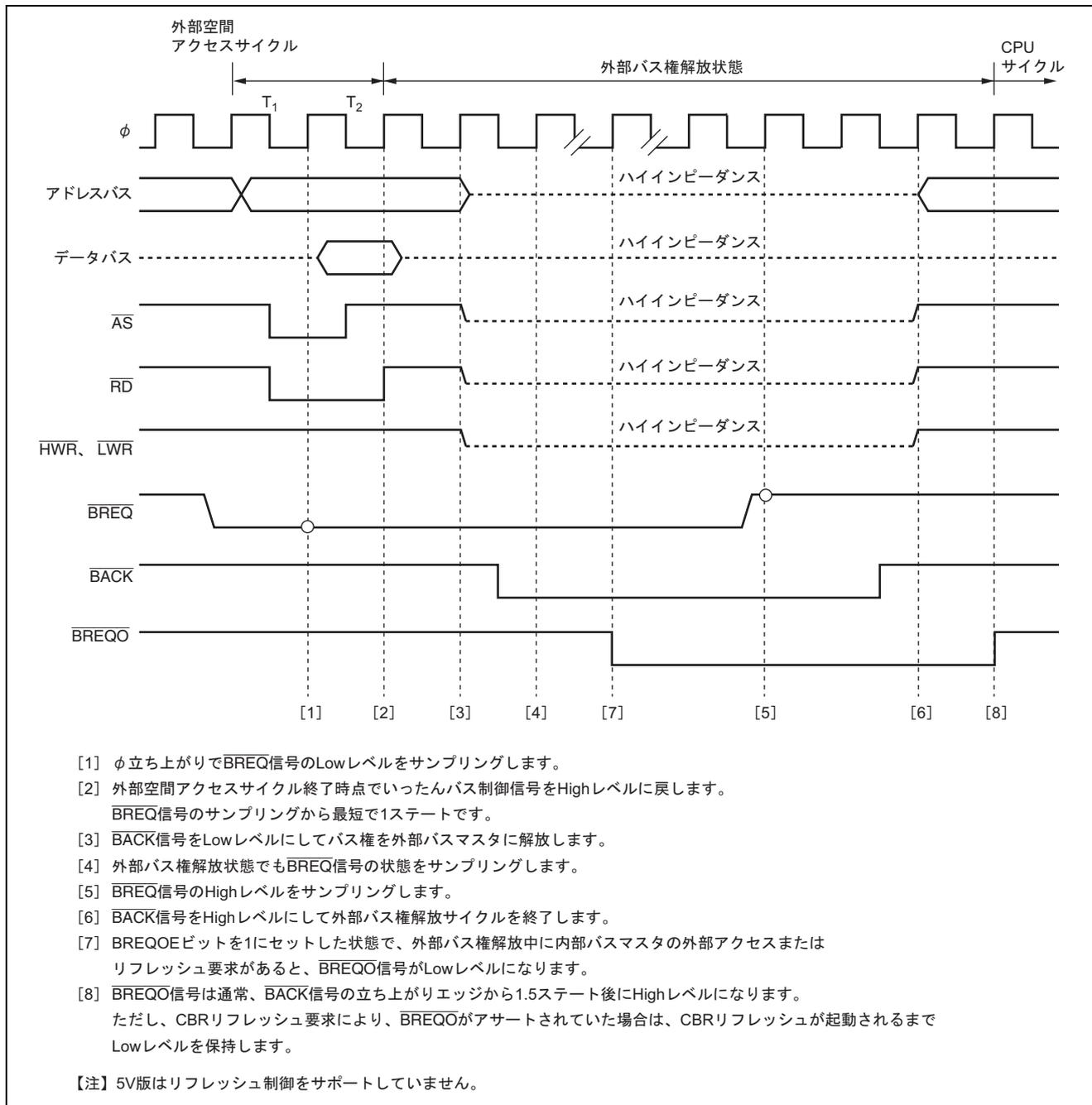


図 6.96 バス権解放状態遷移タイミング

シンクロナス DRAM インタフェース時のバス権解放状態への遷移タイミングを図 6.97 に示します。

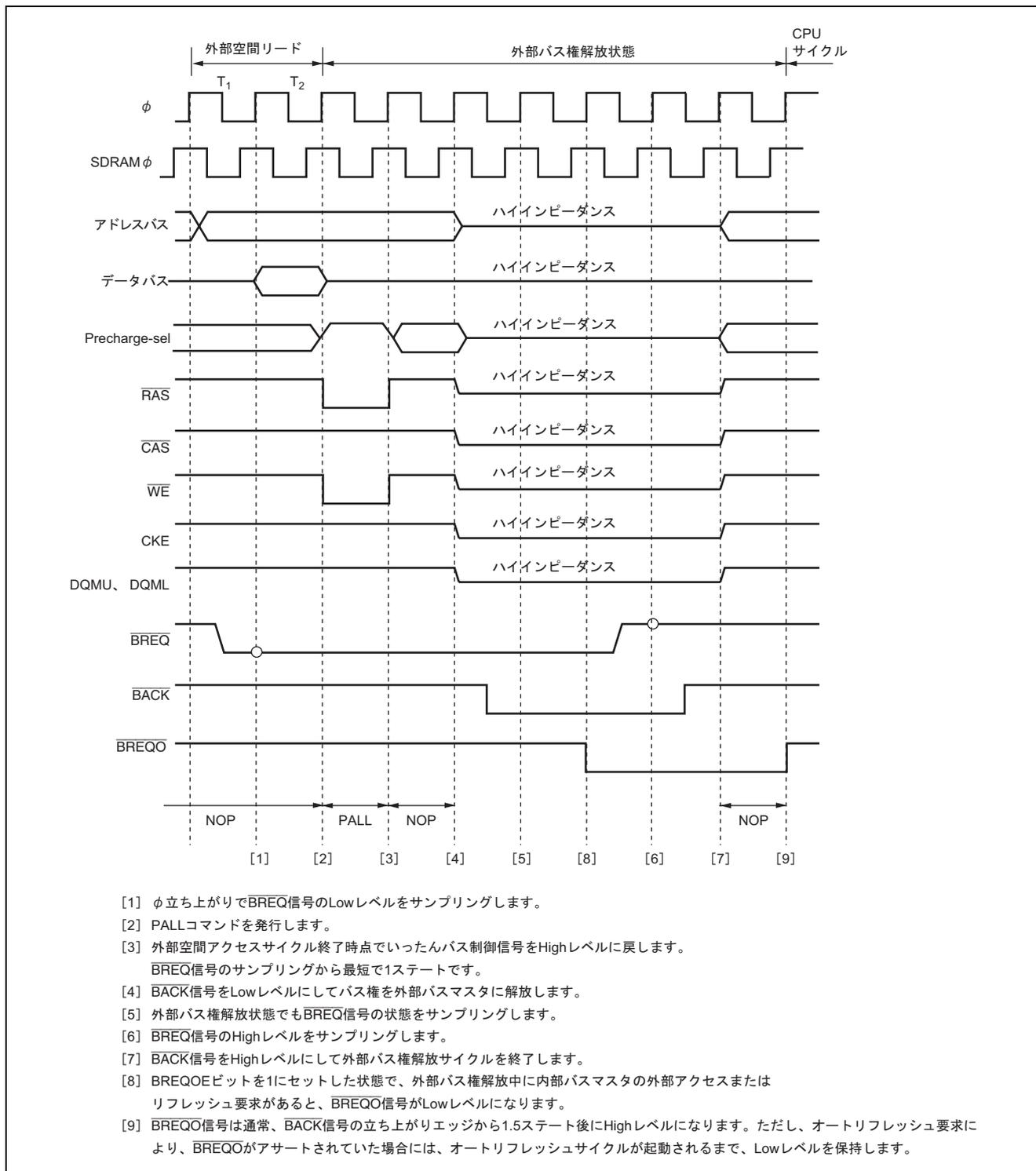


図 6.97 シンクロナス DRAM インタフェース時のバス解放状態遷移タイミング

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

6.13 バスアービトレーション

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU、DTC、DMAC および EXDMAC* の 4 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

【注】 * H8S/2424 グループではサポートしていません。

6.13.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていればそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) EXDMAC*² > DMAC > DTC > CPU (低)

なお、EXDMAC*²を除く内部バスマスタの内部バスアクセスと、外部バス権解放、CBRM ビットが 0 の場合のリフレッシュ、EXDMAC*²の外部バスアクセスは並行して実行することができます。

外部バス権解放要求、リフレッシュ*²要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

(高) リフレッシュ*¹ > EXDMAC*² > 外部バス権解放 (低)

(高) 外部バス権解放 > EXDMAC*²を除く内部バスマスタの外部アクセス (低)

ただし、REFCR の CBRM ビットを 0 にクリアした場合のリフレッシュ*¹と、内部バスマスタの DRAM 空間以外への外部アクセスは同時に実行可能なため優先順位はありません。

【注】 *1 5V 版ではサポートしていません。

*2 H8S/2424 グループではサポートしていません。

6.13.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC、DMAC および EXDMAC*からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

【注】 * H8S/2424 グループではサポートしていません。

- バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
- BSET、BCLRなどのビット操作命令では、いったん対象のデータを読み込み（リード）、所定のビット操作演算後（モディファイ）、書き戻し（ライト）します。このようなリード—モディファイ—ライトサイクルの間は一連のバスサイクルとして実行されるためバス権を移行しません。
- CPUがスリープモードの場合、直ちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3 ステート）後、1回のデータ転送後、レジスタ情報のライト（3 ステート）後です。レジスタ情報のリード（3 ステート）中、1回のデータ転送中、レジスタ情報のライト（3 ステート）中にはバスを解放しません。

(3) DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はショートアドレスモード、ノーマルモードの外部リクエスト、またはサイクルスチールモードの場合、1回の転送終了後にバス権を解放します。

ブロック転送モードの場合は1ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。ただし、DMAC より優先順位の高い、EXDMAC*、外部バス権解放要求があった場合、ブロック転送中、バースト転送中にもこれらのバスマスタにバス権を移行する場合があります。

【注】 * H8S/2424 グループではサポートしていません。

(4) EXDMAC

EXDMAC は起動要求が発生するとバスアービタに対してバス権を要求します。EXDMAC は外部バス間転送専用のため、EXDMAC にバス権が移行しても、他の内部バスマスタの内部アクセスは並列して実行されます。

EXDMAC はノーマル転送モードまたはサイクルスチール転送モードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バースト転送モードの場合は転送終了後にバス権を解放します。このとき、EDMDR レジスタの BGUP ビットに 1 をセットすることにより、内部バスマスタからの外部アクセス要求があった場合にいったんバス権を解放するように設定することが可能です。詳しくは「第 8 章 EXDMA コントローラ (EXDMAC)」を参照してください。

【注】 EXDMAC は H8S/2424 グループではサポートしていません。

(5) 外部バス権解放

BCR レジスタの BRLE ビットを 1 にセットした状態で $\overline{\text{BREQ}}$ 端子が Low レベルとなって外部バス権解放要求が起こるとバスアービタに対してバス権を要求します。

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

6.14 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

6.15 使用上の注意事項

6.15.1 外部バス権解放機能と全モジュールクロックストップモード

本 LSI は MSTPCR レジスタの ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF、EXMSTPCR = H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE、EXMSTPCR = H'FFFF) で SLEEP 命令を実行しスリープ状態へ移行すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ移行します。この状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。逆に、外部バス権解放状態で、全モジュールクロックストップモードへ移行するための SLEEP 命令が実行された場合、全モジュールクロックストップモードへの移行は保留され、バス権復帰後に移行します。

6.15.2 外部バス権解放機能とソフトウェアスタンバイ

本 LSI はバス解放中でも、プログラムが内蔵 ROM など動作していて外部アクセスが起きない場合には、内部バスマスタの動作は停止しません。外部バス解放中にソフトウェアスタンバイモードに遷移するための SLEEP 命令が実行された場合、ソフトウェアスタンバイモードへの移行は保留され、バス権復帰後に移行します。

また、ソフトウェアスタンバイモードではクロック発振も停止するため、ソフトウェアスタンバイ中に $\overline{\text{BREQ}}$ が Low レベルとなり、外部バス解放要求があっても、ソフトウェアスタンバイ状態から復帰するまで外部バス解放に応答できません。

6.15.3 外部バス権解放機能と CBR リフレッシュ/オートリフレッシュ

外部バス権解放中には CBR リフレッシュ*1/オートリフレッシュ*2 を実行することができません。BCR の BREQOE ビットを 1 にセットしておくこと、CBR リフレッシュ*1/オートリフレッシュ*2 要求が発生したときに、 $\overline{\text{BREQO}}$ 信号を出力することができます。

【注】 *1 5V 版では CBR リフレッシュ制御をサポートしていません。

*2 H8S/2426 グループ、H8S/2424 グループではオートリフレッシュ制御をサポートしていません。

6.15.4 $\overline{\text{BREQO}}$ 出カタイミング

BREQOE ビットに 1 をセットして $\overline{\text{BREQO}}$ 信号を出力する場合、 $\overline{\text{BACK}}$ 信号が Low レベルになる前に $\overline{\text{BREQO}}$ が Low レベルになる場合があります。

これは、本 LSI が $\overline{\text{BREQ}}$ の Low レベルをサンプリングして、内部のバス権を調停している間に、すでに次の外部アクセス要求または、CBR リフレッシュ要求が発生した場合に起こります。

【注】 5V 版では CBR リフレッシュ制御をサポートしていません。

6.15.5 シンクロナス DRAM 使用上の注意事項

(1) 接続クロック

シンクロナス DRAM に接続するクロックは必ず SDRAM ϕ としてください。

(2) $\overline{\text{WAIT}}$ 端子

連続シンクロナス DRAM 空間では $\overline{\text{WAIT}}$ 端子によるウェイトステートの挿入は BCR レジスタの WAITE ビットの設定によらず無効となります。

(3) バンク制御

本 LSI はシンクロナス DRAM のバンク制御を行うことはできません。全バンクが選択されます。

(4) バーストアクセス

シンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。シンクロナス DRAM のモードレジスタを設定する際は、バーストリード/シングルライトを設定し、バースト長は 1 としてください。

(5) CAS レイテンシ

CAS レイテンシが 1 のシンクロナス DRAM を接続する場合は、DRAMCR レジスタの BE ビットは 0 を設定してください。

【注】 H8S/2426 グループ、H8S/2424 グループではシンクロナス DRAM インタフェースをサポートしていません。

7. DMA コントローラ (DMAC)

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

7.1 特長

- ショートアドレスモードとフルアドレスモードを選択可能
 - (1) ショートアドレスモード
 - 最大 4 チャンネルを使用可能
 - デュアルアドレスモード/シングルアドレスモードの選択が可能
 - デュアルアドレスモードでは転送元、転送先アドレスの一方を 24 ビット、他方を 16 ビットで指定
 - シングルアドレスモードでは転送元、転送先アドレスの一方だけを 24 ビットで指定
 - シングルアドレスモードでは 1 バスサイクルでの転送が可能
 - デュアルアドレスモード、シングルアドレスモードに対し、シーケンシャルモード/アイドルモード/リピートモードの選択が可能
 - (2) フルアドレスモード
 - 最大 2 チャンネルを使用可能
 - 転送元、転送先アドレスを 24 ビットで指定
 - ノーマルモード/ブロック転送モードの選択が可能
- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)
 - 16 ビットタイマパルスユニット (TPU) のコンペアマッチ/インプットキャプチャ割り込み×6
 - シリアルコミュニケーションインタフェース (SCI_0、SCI_1) の送信データエンプティ割り込み、受信データフル割り込み
 - A/D 変換器 (A/D_0) の変換終了割り込み
 - 外部リクエスト
 - オートリクエスト
- モジュールストップ状態への設定可能

DMAC のブロック図を図 7.1 に示します。

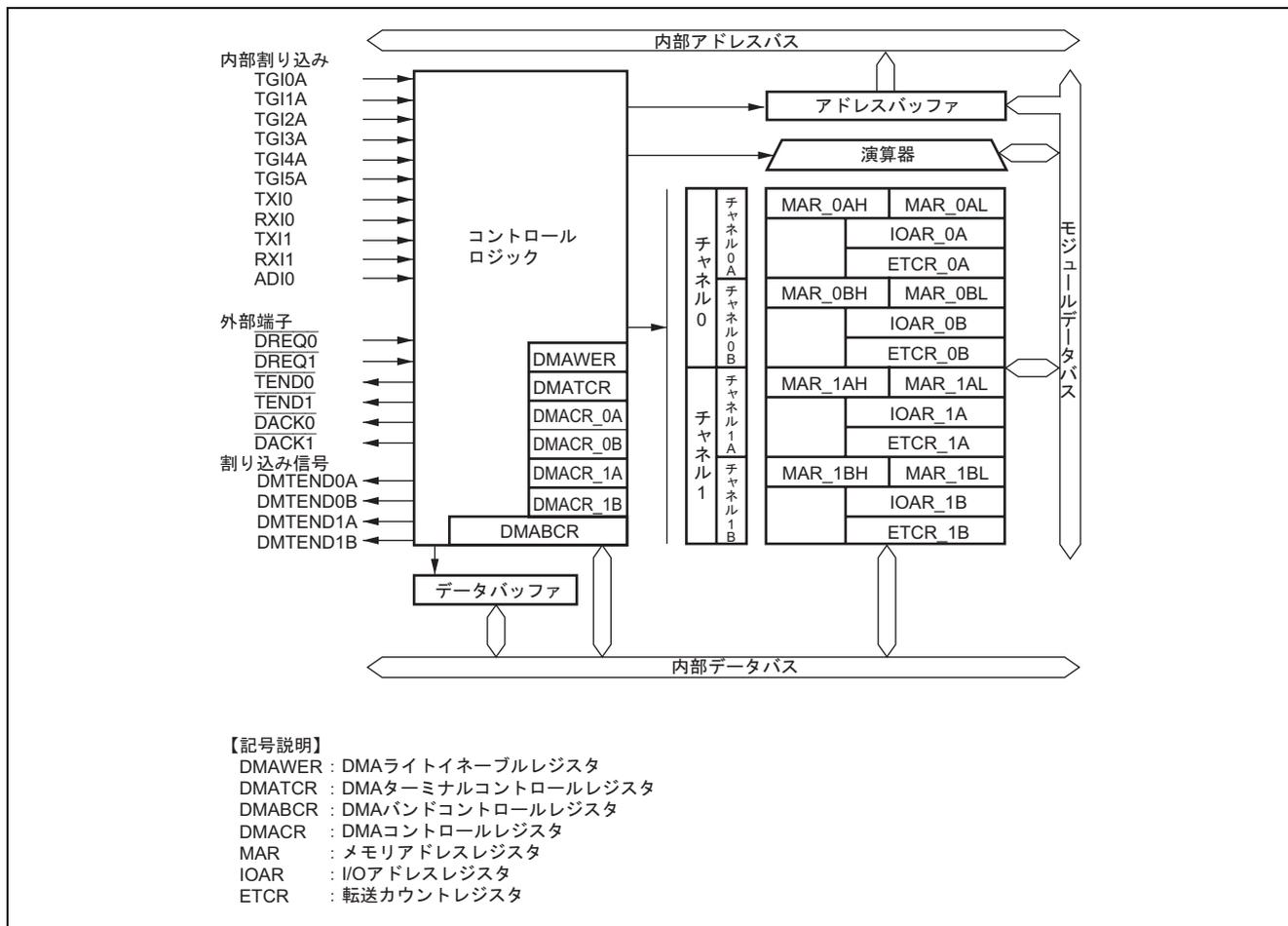


図 7.1 DMAC のブロック図

7.2 入出力端子

DMAC の端子構成を表 7.1 に示します。

表 7.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA リクエスト 0	$\overline{DREQ0}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{DACK0}$	出力	チャンネル 0 のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{TEND0}$	出力	チャンネル 0 の転送終了
1	DMA リクエスト 1	$\overline{DREQ1}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{DACK1}$	出力	チャンネル 1 のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{TEND1}$	出力	チャンネル 1 の転送終了

7.3 レジスタの説明

DMAC には以下のレジスタがあります。

- メモリアドレスレジスタ_0AH (MAR_0AH)
- メモリアドレスレジスタ_0AL (MAR_0AL)
- I/Oアドレスレジスタ_0A (IOAR_0A)
- 転送カウントレジスタ_0A (ETCR_0A)
- メモリアドレスレジスタ_0BH (MAR_0BH)
- メモリアドレスレジスタ_0BL (MAR_0BL)
- I/Oアドレスレジスタ_0B (IOAR_0B)
- 転送カウントレジスタ_0B (ETCR_0B)
- メモリアドレスレジスタ_1AH (MAR_1AH)
- メモリアドレスレジスタ_1AL (MAR_1AL)
- I/Oアドレスレジスタ_1A (IOAR_1A)
- 転送カウントレジスタ_1A (ETCR_1A)
- メモリアドレスレジスタ_1BH (MAR_1BH)
- メモリアドレスレジスタ_1BL (MAR_1BL)
- I/Oアドレスレジスタ_1B (IOAR_1B)
- 転送カウントレジスタ_1B (ETCR_1B)
- DMAコントロールレジスタ_0A (DMACR_0A)
- DMAコントロールレジスタ_0B (DMACR_0B)
- DMAコントロールレジスタ_1A (DMACR_1A)
- DMAコントロールレジスタ_1B (DMACR_1B)
- DMAバンドコントロールレジスタH (DMABCRH)
- DMAバンドコントロールレジスタL (DMABCRL)
- DMAライトイネーブルレジスタ (DMAWER)
- DMAターミナルコントロールレジスタ (DMATCR)

MAR、IOAR、ETCR、DMACR、DMABCR は、転送モード（ショートアドレスモード、フルアドレスモード）により機能が異なります。転送モードは、DMABCRH の FAE1、FAE0 ビットにより選択できます。表 7.2 にチャンネル 0 のショートアドレスモードとフルアドレスモードのレジスタ構成を示します。

表 7.2 ショートアドレスモードとフルアドレスモード (チャンネル 0)

FAE0	説明																								
0	<p>ショートアドレスモードを指定 (チャンネル0A、0Bはそれぞれ独立して動作)</p> <div style="display: flex; justify-content: space-around; align-items: flex-start;"> <div style="border: 1px solid black; padding: 5px; writing-mode: vertical-rl; transform: rotate(180deg);">チャンネル0A</div> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width: 50px; height: 20px;">MAR_0AH</td> <td style="width: 50px; height: 20px;">MAR_0AL</td> <td style="font-size: small;">← 転送元/転送先アドレスを指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">IOAR_0A</td> <td style="font-size: small;">← 転送先/転送元アドレスを指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">ETCR_0A</td> <td style="font-size: small;">← 転送回数を指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">DMACR_0A</td> <td style="font-size: small;">← 転送サイズ、モード、起動要因を指定</td> </tr> </table> <div style="display: flex; justify-content: space-around; align-items: flex-start;"> <div style="border: 1px solid black; padding: 5px; writing-mode: vertical-rl; transform: rotate(180deg);">チャンネル0B</div> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width: 50px; height: 20px;">MAR_0BH</td> <td style="width: 50px; height: 20px;">MAR_0BL</td> <td style="font-size: small;">← 転送元/転送先アドレスを指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">IOAR_0B</td> <td style="font-size: small;">← 転送先/転送元アドレスを指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">ETCR_0B</td> <td style="font-size: small;">← 転送回数を指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">DMACR_0B</td> <td style="font-size: small;">← 転送サイズ、モード、起動要因を指定</td> </tr> </table> </div> </div>	MAR_0AH	MAR_0AL	← 転送元/転送先アドレスを指定		IOAR_0A	← 転送先/転送元アドレスを指定		ETCR_0A	← 転送回数を指定		DMACR_0A	← 転送サイズ、モード、起動要因を指定	MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定		IOAR_0B	← 転送先/転送元アドレスを指定		ETCR_0B	← 転送回数を指定		DMACR_0B	← 転送サイズ、モード、起動要因を指定
MAR_0AH	MAR_0AL	← 転送元/転送先アドレスを指定																							
	IOAR_0A	← 転送先/転送元アドレスを指定																							
	ETCR_0A	← 転送回数を指定																							
	DMACR_0A	← 転送サイズ、モード、起動要因を指定																							
MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定																							
	IOAR_0B	← 転送先/転送元アドレスを指定																							
	ETCR_0B	← 転送回数を指定																							
	DMACR_0B	← 転送サイズ、モード、起動要因を指定																							
1	<p>フルアドレスモードを指定 (チャンネル0A、0Bを組み合わせせてチャンネル0として動作)</p> <div style="display: flex; justify-content: space-around; align-items: flex-start;"> <div style="border: 1px solid black; padding: 5px; writing-mode: vertical-rl; transform: rotate(180deg);">チャンネル0</div> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width: 50px; height: 20px;">MAR_0AH</td> <td style="width: 50px; height: 20px;">MAR_0AL</td> <td style="font-size: small;">← 転送元アドレスを指定</td> </tr> <tr> <td style="width: 50px; height: 20px;">MAR_0BH</td> <td style="width: 50px; height: 20px;">MAR_0BL</td> <td style="font-size: small;">← 転送先アドレスを指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">IOAR_0A</td> <td style="font-size: small;">← 未使用</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">IOAR_0B</td> <td style="font-size: small;">← 未使用</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">ETCR_0A</td> <td style="font-size: small;">← 転送回数を指定</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">ETCR_0B</td> <td style="font-size: small;">← 転送回数を指定 (ブロック転送モード時のみ使用)</td> </tr> <tr> <td style="width: 50px; height: 20px;"></td> <td style="width: 100px; height: 20px;">DMACR_0A</td> <td style="width: 50px; height: 20px;">DMACR_0B</td> <td style="font-size: small;">← 転送サイズ、モード、起動要因を指定</td> </tr> </table> </div>	MAR_0AH	MAR_0AL	← 転送元アドレスを指定	MAR_0BH	MAR_0BL	← 転送先アドレスを指定		IOAR_0A	← 未使用		IOAR_0B	← 未使用		ETCR_0A	← 転送回数を指定		ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)		DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因を指定		
MAR_0AH	MAR_0AL	← 転送元アドレスを指定																							
MAR_0BH	MAR_0BL	← 転送先アドレスを指定																							
	IOAR_0A	← 未使用																							
	IOAR_0B	← 未使用																							
	ETCR_0A	← 転送回数を指定																							
	ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)																							
	DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因を指定																						

7.3.1 メモリアドレスレジスタ (MARA、MARB)

MAR は、ソースアドレス (転送元アドレス)、デスティネーションアドレス (転送先アドレス) を指定する 32 ビットのリード/ライト可能なレジスタです。MAR は 2 本の 16 ビットレジスタ MARH、MARL から構成されています。MARH の上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。

MAR は、チャンネル 0 に MAR_0A (チャンネル 0A)、MAR_0B (チャンネル 0B)、チャンネル 1 に MAR_1A (チャンネル 1A)、MAR_1B (チャンネル 1B) の 4 本があります。

MAR は、リセットまたはスタンバイモード時に初期化されません。

(1) ショートアドレスモード

ショートアドレスモードでは、MARA、MARB はそれぞれ独立して動作します。DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかを選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新します。

(2) フルアドレスモード

フルアドレスモードでは、MARA はソースアドレスレジスタとして機能し、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新します。

7.3.2 I/O アドレスレジスタ (IOARA、IOARB)

IOAR はソースアドレス (転送元アドレス) またはデスティネーションアドレス (転送先アドレス) の下位 16 ビットを指定する 16 ビットのリード/ライト可能なレジスタです。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。

IOAR は、チャンネル 0 に IOAR_0A (チャンネル 0A)、IOAR_0B (チャンネル 0B)、チャンネル 1 に IOAR_1A (チャンネル 1A)、IOAR_1B (チャンネル 1B) の 4 本があります。

IOAR は、DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかを選択できます。

IOAR はデータ転送でインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

IOAR はリセットまたはスタンバイモード時に初期化されません。

IOAR はショートアドレスモードで使用し、フルアドレスモードでは使用しません。

7.3.3 転送カウントレジスタ (ETCRA、ETCRB)

ETCR は転送回数を設定する 16 ビットのリード/ライト可能なレジスタです。ETCR は、チャンネル 0 に ETCR_0A (チャンネル 0A)、ETCR_0B (チャンネル 0B)、チャンネル 1 に ETCR_1A (チャンネル 1A)、ETCR_1B (チャンネル 1B) の 4 本があります。

ETCR は、リセットまたはスタンバイモード時に初期化されません。

(1) ショートアドレスモード

ETCR は、シーケンシャルモードおよびアイドルモードと、リピートモードでは設定が異なります。

シーケンシャルモードおよびアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、H'0000 になると DMABCRL の DTE ビットをクリアし、転送を終了します。

リピートモードでは、ETCR は 8 ビットの転送カウンタ (ETCRL) と、転送回数保持レジスタ (ETCRH) として機能します。1 回のデータ転送を行うたびに ETCRL は 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRH の値をロードします。このとき MAR はデータ転送を開始したときの値に自動的に戻ります。DMABCRL の DTE ビットはクリアされません。DTE ビットをクリアするまで、繰り返しデータ転送が行えます。

(2) フルアドレスモード

ETCR は、ノーマルモードとブロック転送モードでは機能が異なります。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'0000 になると転送を終了します。ETCRB はノーマルモードでは使用しません。

ブロック転送モードでは、ETCRA は 8 ビットのブロックサイズカウンタ (ETCRAL) と、ブロックサイズ保持レジスタ (ETCRAH) として機能します。ETCRAL は 1 バイトまたは 1 ワードのデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRAH の値がロードされます。ETCRAL、ETCRAH にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 ずつデクリメントされ、H'0000 になると転送を終了します。

7.3.4 DMA コントロールレジスタ (DMACRA、DMACRB)

DMACR は DMAC の各チャンネルの動作を制御します。DMACR は、チャンネル 0 に DMACR_0A (チャンネル 0A)、DMACR_0B (チャンネル 0B)、チャンネル 1 に DMACR_1A (チャンネル 1A)、DMACR_1B (チャンネル 1B) の 4 本があります。DMACR は、ショートアドレスモードではチャンネル A、チャンネル B はそれぞれ独立して動作し、フルアドレスモードではチャンネル A、チャンネル B は組み合わせて動作します。DMACR は、転送モードにより一部のビット機能が異なります。

(1) ショートアドレスモード

- DMACR_0A、DMACR_0B、DMACR_1A、DMACR_1B

ビット	ビット名	初期値	R/W	説明
7	DTSZ	0	R/W	データトランスファサイズ 1回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
6	DTID	0	R/W	データトランスインクリメント/デクリメント シーケンシャルモードまたはリピートモードの場合、データ転送ごとのMARのインクリメント/デクリメントを選択します。アイドルモードの場合、MARはインクリメント/デクリメントされません。 0: データ転送後MARをインクリメント • DTSZ=0のとき、MARを+1 • DTSZ=1のとき、MARを+2 1: データ転送後MARをデクリメント • DTSZ=0のとき、MARを-1 • DTSZ=1のとき、MARを-2
5	RPE	0	R/W	リピートイネーブル DMABCRのDTIEビットと組み合わせて、シーケンシャルモード、アイドルモード、リピートモードのどのモードで転送するかを選択します。 DTIE=0のとき(転送終了割り込みなし) 0: シーケンシャルモードで転送 1: リピートモードで転送 DTIE=1のとき(転送終了割り込みあり) 0: シーケンシャルモードで転送 1: アイドルモードで転送
4	DTDIR	0	R/W	データトランスファディレクション DMABCRのSAEビットと組み合わせて、データ転送の方向(ソース側、デスティネーション側)を指定します。デュアルアドレスモードとシングルアドレスモードでは機能が異なります。 SAE=0のとき 0: MARをソースアドレス、IOARをデスティネーションアドレスとして転送 1: IOARをソースアドレス、MARをデスティネーションアドレスとして転送 SAE=1のとき 0: MARをソースアドレス、 \overline{DACK} 端子をライトストロープとして転送 1: \overline{DACK} 端子をリードストロープ、MARをデスティネーションアドレスとして転送

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データトランスファファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	チャンネル A 0000 : 設定禁止 0001 : A/D 変換器ユニット 0 の変換終了割り込みで起動 0010 : 設定禁止 0011 : 設定禁止 0100 : SCI チャンネル 0 の送信データエンpty割り込みで起動 0101 : SCI チャンネル 0 の受信データフル割り込みで起動 0110 : SCI チャンネル 1 の送信データエンpty割り込みで起動 0111 : SCI チャンネル 1 の受信データフル割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1011 : TPU チャンネル 3 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1100 : TPU チャンネル 4 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1101 : TPU チャンネル 5 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1110 : 設定禁止 1111 : 設定禁止 チャンネル B の場合 0000 : 設定禁止 0001 : A/D 変換器ユニット 0 の変換終了割り込みで起動 0010 : DREQ 端子の立ち下がりがエッジで起動 (転送許可後の最初の転送は Low レベルで検出します。) 0011 : DREQ 端子の Low レベル入力で起動 0100 : SCI チャンネル 0 の送信データエンpty割り込みで起動 0101 : SCI チャンネル 0 の受信データフル割り込みで起動 0110 : SCI チャンネル 1 の送信データエンpty割り込みで起動 0111 : SCI チャンネル 1 の受信データフル割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1011 : TPU チャンネル 3 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1100 : TPU チャンネル 4 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1101 : TPU チャンネル 5 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1110 : 設定禁止 1111 : 設定禁止 複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.12 複数チャンネルの動作」を参照してください。

(2) フルアドレスモード

• DMACR_0A、DMACR_1A

ビット	ビット名	初期値	R/W	説明
15	DTSZ	0	R/W	データトランスファサイズ 1回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
14 13	SAID SAIDE	0 0	R/W R/W	ソースアドレスインクリメント/デクリメント ソースアドレスインクリメント/デクリメントイネーブル データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: 固定 01: データ転送後、MARA をインクリメント • DTSZ=0 のとき、MARA を+1 • DTSZ=1 のとき、MARA を+2 10: 固定 11: データ転送後、MARA をデクリメント • DTSZ=0 のとき、MARA を-1 • DTSZ=1 のとき、MARA を-2
12 11	BLKDIR BLKE	0 0	R/W R/W	ブロックディレクション ブロックイネーブル ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE ビットで指定します。またブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR ビットで指定します。 X0: ノーマルモードで転送 01: ブロック転送モードで転送 (ブロックエリアはデスティネーション側) 11: ブロック転送モードで転送 (ブロックエリアはソース側)
10~8	—	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

【記号説明】 X: Don't care

• DMACR_0B、DMACR_1B

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6	DAID	0	R/W	デスティネーションアドレスインクリメント/デクリメント
5	DAIDE	0	R/W	デスティネーションアドレスインクリメント/デクリメントイネーブル データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00 : 固定 01 : データ転送後、MARB をインクリメント • DTSZ=0 のとき、MARB を+1 • DTSZ=1 のとき、MARB を+2 10 : 固定 11 : データ転送後、MARB をデクリメント • DTSZ=0 のとき、MARB を-1 • DTSZ=1 のとき、MARB を-2
4	—	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データトランスファファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	
				ノーマルモード
				0000 : 設定禁止
				0001 : 設定禁止
				0010 : $\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動 (転送許可後の最初の転送は、Low レベルで検出します。)
				0011 : $\overline{\text{DREQ}}$ 端子の Low レベル入力で起動
				010X : 設定禁止
				0110 : オートリクエスト (サイクルスチール)
				0111 : オートリクエスト (バースト)
				1XXX : 設定禁止
				ブロック転送モード
				0000 : 設定禁止
				0001 : A/D 変換器ユニット 0 の変換終了割り込みで起動
				0010 : $\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動 (転送許可後の最初の転送は、Low レベルで検出します。)
				0011 : $\overline{\text{DREQ}}$ 端子の Low レベルで起動
				0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動
				0101 : SCI チャンネル 0 の受信データフル割り込みで起動
				0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動
				0111 : SCI チャンネル 1 の受信データフル割り込みで起動
				1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1011 : TPU チャンネル 3 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1100 : TPU チャンネル 4 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1101 : TPU チャンネル 5 のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1110 : 設定禁止
				1111 : 設定禁止
				複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.12 複数チャンネルの動作」を参照してください。

【記号説明】 X : Don't care

7.3.5 DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL)

DMABCR は DMAC の各チャンネルの動作を制御します。DMABCR は、転送モードにより一部ビットの機能が異なります。

(1) ショートアドレスモード

• DMABCRH

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	フルアドレスイネーブル 1 チャンネル 1 をショートアドレスモード／フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 1A、1B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
14	FAE0	0	R/W	フルアドレスイネーブル 0 チャンネル 0 をショートアドレスモード／フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 0A、0B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
13	SAE1	0	R/W	シングルアドレスイネーブル 1 チャンネル 1B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード
12	SAE0	0	R/W	シングルアドレスイネーブル 0 チャンネル 0B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード

ビット	ビット名	初期値	R/W	説明
11	DTA1B	0	R/W	データトランスファアクノレッジ 1B
10	DTA1A	0	R/W	データトランスファアクノレッジ 1A
9	DTA0B	0	R/W	データトランスファアクノレッジ 0B
8	DTA0A	0	R/W	データトランスファアクノレッジ 0A
<p>DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。</p> <p>DTE=1 のとき DTA=1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE=1、DTA=1 の状態では、内部割り込みは CPU および DTC に割り込みを要求しません。</p> <p>DTE=1 のとき DTA=0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。</p> <p>DTE=0 のとき DTA ビットの設定に関係なく、内部割り込み要因は CPU または DTC に割り込みを要求します。</p>				

• DMABCRL

ビット	ビット名	初期値	R/W	説明
7	DTE1B	0	R/W	データトランスファイネーブル 1B
6	DTE1A	0	R/W	データトランスファイネーブル 1A
5	DTE0B	0	R/W	データトランスファイネーブル 0B
4	DTE0A	0	R/W	データトランスファイネーブル 0A
<p>DTIE=1 のとき DTE=0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>DTE=1 はデータ転送許可状態であり、DMACR の DTF3~0 ビットによって選択されている起動要因は無視されます。DMACR の DTF3~0 ビットによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 初期化されたとき リピートモードを除いた転送モードで、指定した回数の転送を終了したとき 強制的に転送を中断するなどの理由により、DTE ビットに 0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> DTE=0 をリード後、DTE=1 をライトしたとき 				

ビット	ビット名	初期値	R/W	説明
3	DTIE1B	0	R/W	データトランスファエンドインタラプトイネーブル 1B
2	DTIE1A	0	R/W	データトランスファエンドインタラプトイネーブル 1A
1	DTIE0B	0	R/W	データトランスファエンドインタラプトイネーブル 0B
0	DTIE0A	0	R/W	データトランスファエンドインタラプトイネーブル 0A

転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE=0 のときに DTIE=1 にすると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。

(2) フルアドレスモード

• DMABCRH

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	フルアドレスイネーブル 1 チャンネル 1 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 1A、1B を組み合わせてチャンネル 1 として使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
14	FAE0	0	R/W	フルアドレスイネーブル 0 チャンネル 0 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 0A、0B を組み合わせてチャンネル 0 として使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
13	—	0	R/W	リザーブビット
12	—	0	R/W	リード/ライト可能ですが、0 をライトしてください。
11	DTA1	0	R/W	データトランスファアクノレッジ 1 チャンネル 1 の DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。 DTE1=1 のとき DTA1=1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE1=1、DTA1=1 の状態では内部割り込みは CPU および DTC に割り込みを要求しません。 DTE1=1 のとき DTA1=0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。 DTE1=0 のとき、DTA1 ビットの設定に関係なく、内部割り込みは CPU または DTC に割り込みを要求します。 DTME1 ビットの状態は、前述の動作に影響を与えません。

ビット	ビット名	初期値	R/W	説明
10	—	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
9	DTA0	0	R/W	データトランスファアクノレッジ0 チャンネル0のDMACRのDTF3~0ビットによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。 DTE0=1のときDTA0=1にすると、内部割り込み要因はDMA転送により自動的にクリアされます。DTE0=1、DTA0=1の状態では内部割り込みはCPUおよびDTCに割り込みを要求しません。 DTE0=1のときDTA0=0にすると、内部割り込み要因は転送時にはクリアされず、並行してCPUまたはDTCに割り込みを要求することができます。この場合、CPUまたはDTC転送で割り込み要因をクリアしてください。 DTE0=0のとき、DTA0ビットの設定に関係なく、内部割り込みはCPUまたはDTCに割り込みを要求します。 DTME0ビットの状態は、前述の動作に影響を与えません。
8	—	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

• DMABCRL

ビット	ビット名	初期値	R/W	説明
7	DTME1	0	R/W	<p>データトランスファマスタインープル 1</p> <p>DTE1 ビットとともにチャンネル 1 のデータ転送を許可または禁止するビットです。DTME1 ビットと DTE1 ビットをいずれも 1 にセットすると、チャンネル 1 は転送許可状態となります。</p> <p>NMI 割り込みが発生したとき、チャンネル 1 がバーストモード転送中のときは DTME1 ビットが 0 にクリアされ、転送を中断して CPU にバス権を移します。その後、DTME1 ビットを 1 にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI 割り込みにより DTME1 ビットがクリアされることはなく、転送を中断することはありません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 初期化されたとき • バーストモードで NMI が入力されたとき • DTME1 ビットに 0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTME1 ビット=0 をリード後、DTME1 ビットに 1 をライトしたとき
6	DTE1	0	R/W	<p>データトランスファイネープル 1</p> <p>チャンネル 1 の DMACR の DTF3~0 ビットによって選択されている起動要因の DMA 転送を許可または禁止するビットです。</p> <p>DTE1=0 のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTIE1=1 のとき DTE1=0 になると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>DTE1=1 かつ DTME1=1 のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 初期化されたとき • 指定した回数の転送を終了したとき • 強制的に転送を中断するなどの理由により、DTE1 ビットに 0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTE1=0 をリード後、DTE1 ビットに 1 をライトしたとき

ビット	ビット名	初期値	R/W	説明
5	DTME0	0	R/W	<p>データトランスファマスタイネーブル 0</p> <p>DTE0 ビットとともにチャンネル 0 のデータ転送を許可または禁止するビットです。DTME0 ビットと DTE0 ビットをいずれも 1 にセットすると、チャンネル 0 は転送許可状態となります。</p> <p>NMI 割り込みが発生したとき、チャンネル 0 がバーストモード転送中のときは DTME0 ビットが 0 にクリアされ、転送を中断して CPU にバス権を移します。その後、DTME0 ビットを 1 にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI 割り込みにより DTME0 ビットがクリアされることはなく、転送を中断することはありません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 初期化されたとき バーストモードで NMI が入力されたとき DTME0 ビットに 0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> DTME0 ビット=0 をリード後、DTME0 ビットに 1 をライトしたとき
4	DTE0	0	R/W	<p>データトランスファイネーブル 0</p> <p>チャンネル 0 の DMACR の DTF3~0 ビットによって選択されている起動要因の DMA 転送を許可または禁止するビットです。</p> <p>DTE0=0 のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTIE0=1 のとき DTE0=0 になると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>DTE0=1 かつ DTME0=1 のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 初期化されたとき 指定した回数の転送を終了したとき 強制的に転送を中断するなどの理由により、DTE0 ビットに 0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> DTE0=0 をリード後、DTE0 ビットに 1 をライトしたとき
3	DTIE1B	0	R/W	<p>データトランスファインタラプトイネーブル 1B</p> <p>チャンネル 1 の転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE1B=1 のとき DTME1=0 になると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIE1B ビットを 0 にクリアする方法と、DTME1 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>

ビット	ビット名	初期値	R/W	説明
2	DTIE1A	0	R/W	<p>データトランスファエンドインタラプトイネーブル 1A</p> <p>チャンネル 1 の転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE1A=1 のとき DTE1=0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE1A ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE1 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
1	DTIE0B	0	R/W	<p>データトランスファインタラプトイネーブル 0B</p> <p>チャンネル 0 の転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0B=1 のとき DTME0=0 になると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIE0B ビットを 0 にクリアする方法と、DTME0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
0	DTIE0A	0	R/W	<p>データトランスファエンドインタラプトイネーブル 0A</p> <p>チャンネル 0 の転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0A=1 のとき DTE0=0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE0A ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>

7.3.6 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェーン転送を利用して書き換え、再起動させることができます。DMAWER は、目的とするチャンネル以外のレジスタを不用意に書き換えることができないように、DTC に対し特定チャンネルの DMACR および DMATCR、DMABCR の特定ビットの変更を制限します。DMAWER による制限は、DTC に対し有効です。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	WE1B	0	R/W	ライトイネーブル 1B DMACR1B のすべてのビットと、DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可
2	WE1A	0	R/W	ライトイネーブル 1A DMACR1A のすべてのビットと、DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可
1	WE0B	0	R/W	ライトイネーブル 0B DMACR0B のすべてのビットと、DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可
0	WE0A	0	R/W	ライトイネーブル 0A DMACR0A のすべてのビットと、DMABCR のビット 8、4、0 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可

図 7.2 にチャンネル 0A の転送終了割り込み要求により DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送でアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェイン転送でコントロールレジスタの領域を再設定します。コントロールレジスタの領域を再設定する際には、他のチャンネルの内容を変更できないように DMAWER のビットを設定してマスクしてください。

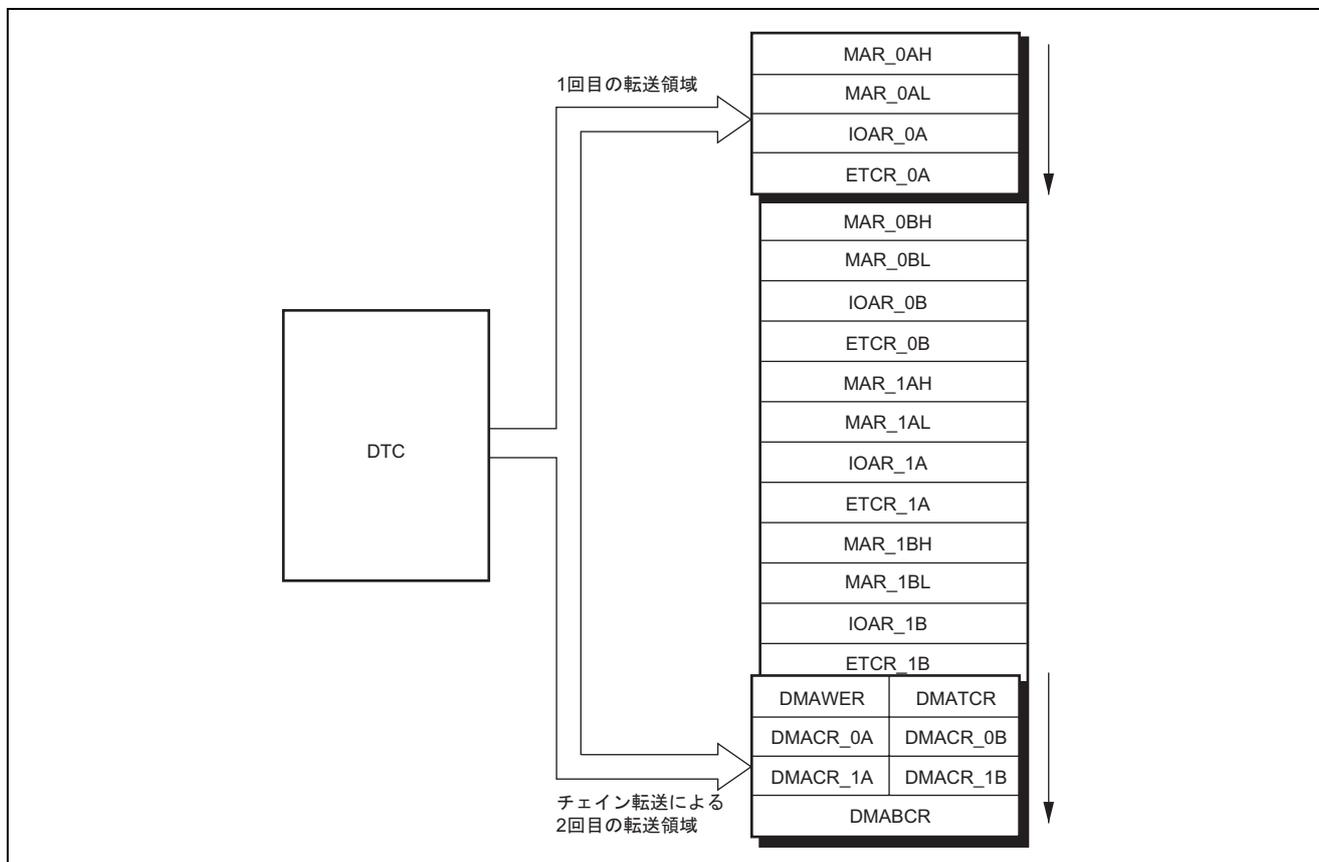


図 7.2 DTC によるレジスタ再設定領域 (チャンネル 0A)

DMAWER の設定にかかわらず、DTC による DMABCR のビット 15~12 (FAE、SAE) へのライトは無効です。これらのビットの変更は CPU による処理で行ってください。

DTC による DMABCR のビット 7~4 (DTE) へのライトは、0 をリードせずに 1 をライトすることができます。フルアドレスモードに設定されているチャンネルの再起動は、再起動するチャンネルのライトイネーブル A、ライトイネーブル B とともに 1 をライトしてください。

MAR、IOAR、ETCR は、DMAWER の設定に関係なく常にライト可能です。これらのレジスタの変更は、変更するチャンネルが停止している状態で行ってください。

7.3.7 DMA ターミナルコントロールレジスタ (DMATCR)

DMATCR は、DMAC の転送終了端子の出力の許可または禁止を制御します。ビットの設定によりポートを自動的に出力に設定し、転送終了信号を出力することができます。TEND 端子は、ショートアドレスモードではチャンネル B のみに割り当てられています。転送終了信号は、転送要因によらず、転送カウンタが 0 になった転送サイクルを示しています。例外として、ブロック転送モードの場合は、ブロックカウンタが 0 になった転送サイクルを示しています。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	リードすると常に 0 が読み出されます。ライトは無効です。
5	TEE1	0	R/W	転送終了端子イネーブル 1 転送終了端子 1 ($\overline{TEND1}$) の出力を許可または禁止するビットです。 0 : $\overline{TEND1}$ 端子出力を禁止 1 : $\overline{TEND1}$ 端子出力を許可
4	TEE0	0	R/W	転送終了端子イネーブル 0 転送終了端子 0 ($\overline{TEND0}$) の出力を許可または禁止するビットです。 0 : $\overline{TEND0}$ 端子出力を禁止 1 : $\overline{TEND0}$ 端子出力を許可
3~0	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

7.4 起動要因

DMAC は内部割り込み要求または外部リクエスト、オートリクエストにより起動します。表 7.3 に DMAC の起動要因を示します。指定できる要因は、転送モードによって異なります。

表 7.3 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマル モード	ブロック 転送モード
内部 割り込み	ADI	○	○	×	○
	TXI0	○	○	×	○
	RXI0	○	○	×	○
	TXI1	○	○	×	○
	RXI1	○	○	×	○
	TGI0A	○	○	×	○
	TGI1A	○	○	×	○
	TGI2A	○	○	×	○
	TGI3A	○	○	×	○
	TGI4A	○	○	×	○
	TGI5A	○	○	×	○
外部 リクエスト	DREQ 端子の立ち下がリエッジ入力	×	○	○	○
	DREQ 端子の Low レベル入力	×	○	○	○
オートリクエスト		×	×	○	×

【記号説明】 ○ : 指定可能 × : 指定不可

7.4.1 内部割り込み要求による起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に割り込み要求を発生させることができます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

内部割り込み要求による起動要因では、DMAC は割り込みコントローラとは独立して割り込み要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、または DTC の起動要因としない割り込み要求により DMAC を起動する場合 (DTA = 1)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みは、DMA 転送で所定のレジスタをアクセスしないと、割り込み要求フラグはクリアされません。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持され優先順位に従って起動されます。

転送終了後の DTE=0 の状態では、DTA ビットの設定に関係なく、選択された起動要因は DMAC に割り込みを要求しません。この場合、当該割り込みは CPU または DTC に割り込みを要求します。

CPU の割り込み要因または、DTC の起動要因と重なっている場合 (DTA=0)、割り込み要求フラグは DMAC によりクリアされません。

7.4.2 外部リクエストによる起動

DMAC の起動要因として外部リクエスト ($\overline{\text{DREQ}}$ 端子) を指定する場合は、該当ポートをあらかじめ入力に設定してください*。外部リクエストにはレベルセンスとエッジセンスがあります。

ショートアドレスモード、フルアドレスモードのノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合、 $\overline{\text{DREQ}}$ 端子の High レベルから Low レベルの変化を検出するたびに、1 バイトまたは 1 ワードのデータ転送を行います。データ転送を完了する前に次のエッジが入力された場合は、次のデータ転送を行わないことがあります。

レベルセンスを選択した場合、 $\overline{\text{DREQ}}$ 端子が High レベルに保持されているときは、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$ 端子が Low レベルに保持されているときは、1 バイトまたは 1 ワードの転送を行うたびにバスを解放しつつ、連続して転送を継続します。転送の途中で $\overline{\text{DREQ}}$ 端子が High レベルになると、転送を中断し転送要求待ち状態になります。

【注】 * 当該ポートをほかの機能の出力端子に設定した場合、当該チャンネルの DMA 転送は保証されません。

7.4.3 オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を継続します。オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。バーストモードでは、転送終了までバスを占有し連続して転送を行います。

7.5 動作説明

7.5.1 転送モード

DMAC の転送モードを表 7.4 に示します。

表 7.4 DMAC の転送モード

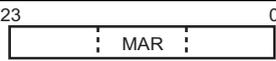
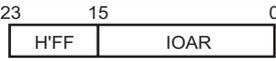
転送モード		転送要因	備考
ショート アドレスモード	デュアルアドレスモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 転送先/転送元アドレスを指定 し、2 バスサイクルで転送 <ul style="list-style-type: none"> (1) シーケンシャルモード <ul style="list-style-type: none"> メモリアドレスを 1 または 2 増 減 転送回数は 1~65,536 (2) アイドルモード <ul style="list-style-type: none"> メモリアドレスは固定 転送回数は 1~65,536 (3) リピートモード <ul style="list-style-type: none"> メモリアドレスを 1 または 2 増 減 転送回数 (1~256) 転送後、 初期状態を回復して動作を継続 	<ul style="list-style-type: none"> TPU チャンネル 0~5 の コンペアマッチ/インプット キャプチャ A 割り込み SCI の送信データエンプティ 割り込み SCI の受信データフル割り込 み A/D 変換器の変換終了割り込 み 外部リクエスト 	<ul style="list-style-type: none"> 最大 4 チャンネルを独立に動作 可能 外部リクエストはチャンネル B のみ可能 シングルアドレスモードは チャンネル B のみ可能
	シングルアドレスモード <ul style="list-style-type: none"> 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 I/O を指定するアドレスの代わ りに DACK 端子を用いて 1 バス サイクルで転送 シーケンシャルモード、アイド ルモード、リピートモードの各 モードを指定可能 	外部リクエスト	

転送モード		転送要因	備考
フル アドレスモード	ノーマルモード (1) オートリクエスト <ul style="list-style-type: none"> 転送要求を内部保持 指定回数 (1~65,536) を継続して転送 バースト/サイクルスチール転送を選択可能 	<ul style="list-style-type: none"> オートリクエスト 	<ul style="list-style-type: none"> チャンネル A、B を組み合わせて、最大 2 チャンネル動作可能
	(2) 外部リクエスト <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 転送回数は 1~65,536 	<ul style="list-style-type: none"> 外部リクエスト 	
	ブロック転送モード <ul style="list-style-type: none"> 1 回の転送要求で指定した 1 ブロックサイズの転送を実行 転送回数は 1~65,536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズは 1~256 バイトまたはワード 	<ul style="list-style-type: none"> TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込み SCI の送信データエンプティ割り込み SCI の受信データフル割り込み A/D 変換器の変換終了割り込み 外部リクエスト 	

7.5.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.5 にシーケンシャルモード時のレジスタの機能を示します。

表 7.5 シーケンシャルモード時のレジスタ機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR=0	DTDIR=1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワードデータ転送を行うたびに 1 または 2 をインクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。

図 7.3 にシーケンシャルモードの動作を示します。

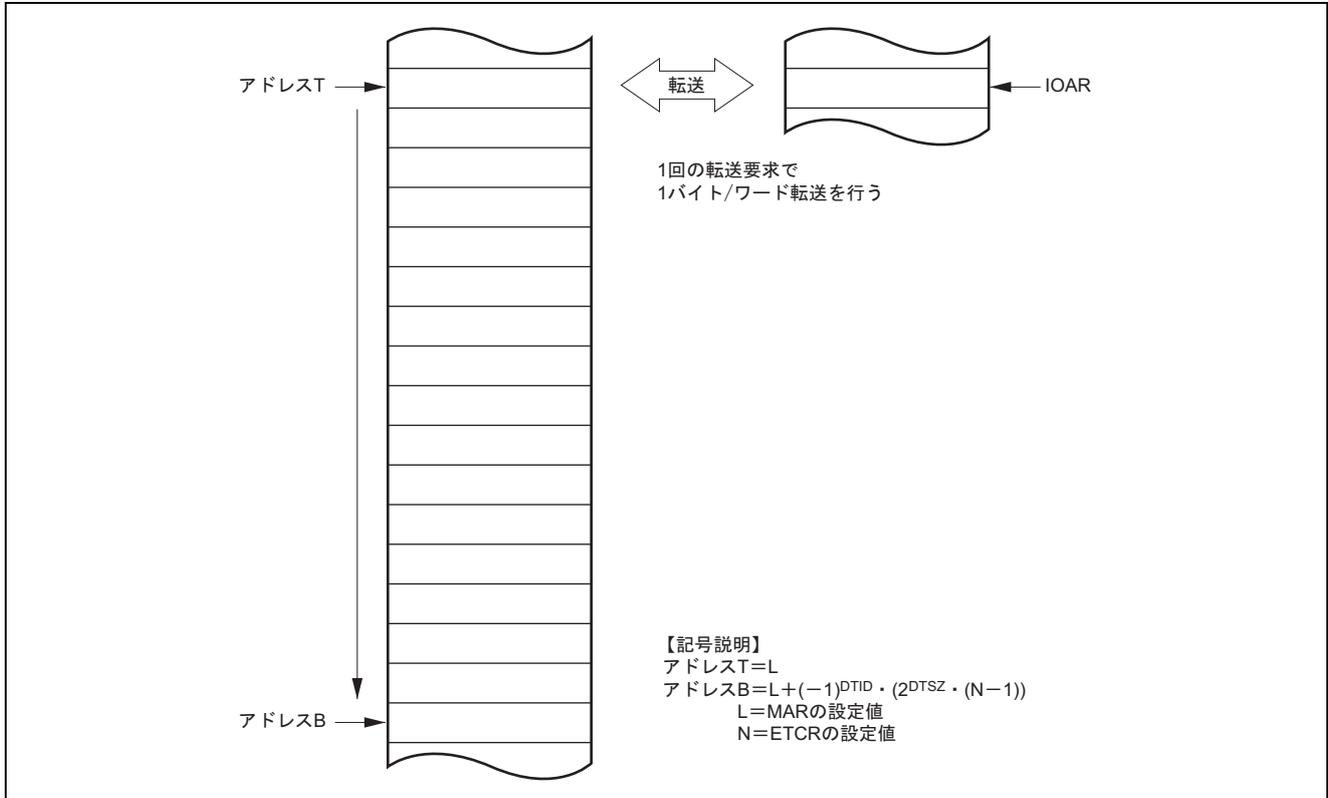


図 7.3 シーケンシャルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCR の DTE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65,536 となります。

転送要求（起動要因）には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ/受信データフル割り込み、および TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 7.4 にシーケンシャルモードの設定手順例を示します。

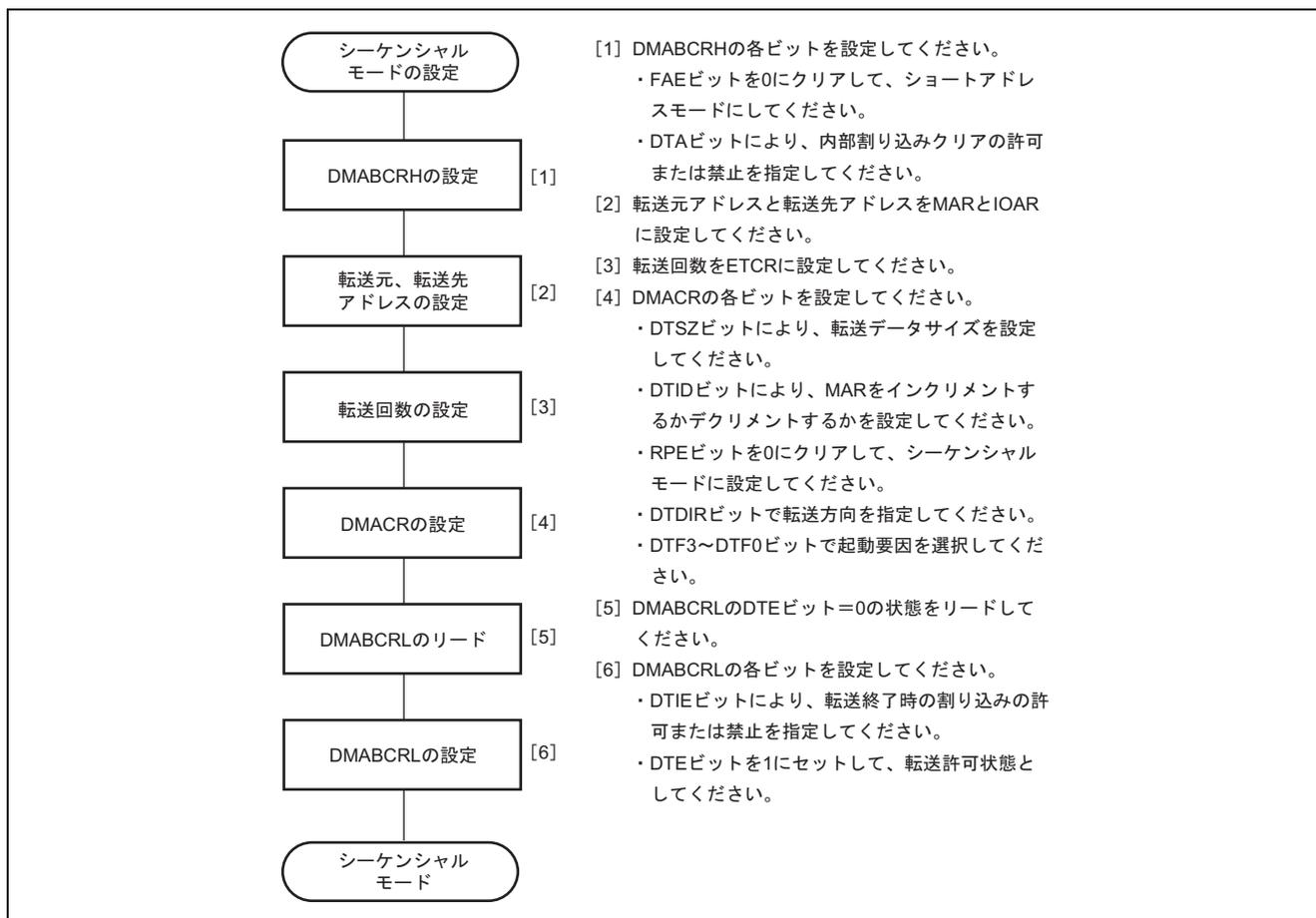
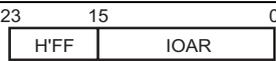


図 7.4 シーケンシャルモードの設定手順例

7.5.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DMABCRL の DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行います。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.6 にアイドルモード時のレジスタの機能を示します。

表 7.6 アイドルモード時のレジスタ機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR=0	DTDIR=1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR はデータ転送でインクリメント/デクリメントされません。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。図 7.5 にアイドルモードの動作を示します。

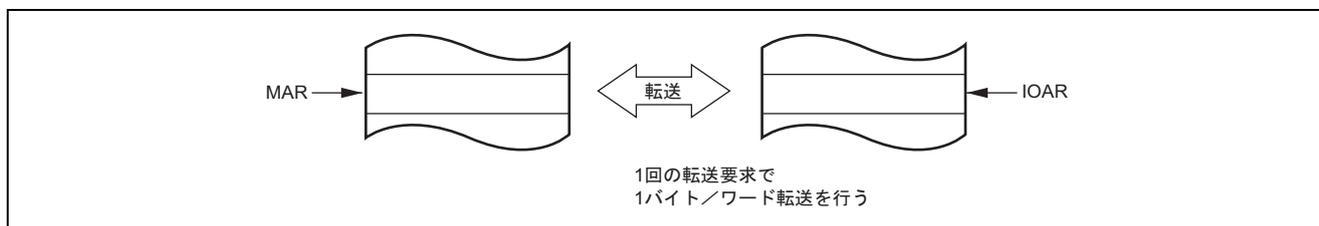


図 7.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCR の DTE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65,536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ/受信データフル割り込み、および TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 7.6 にアイドルモードの設定手順例を示します。

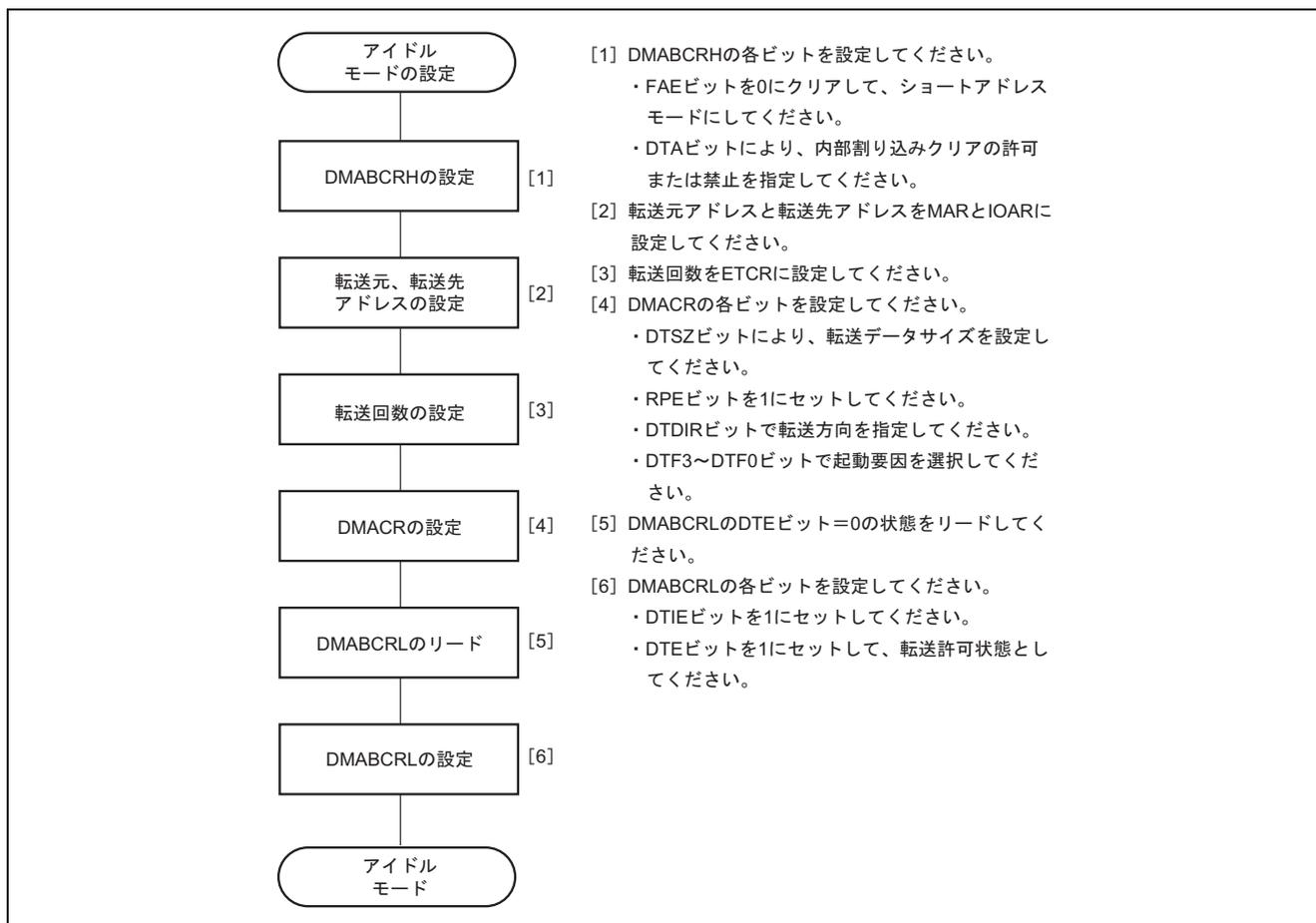
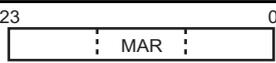
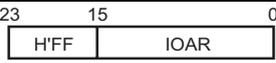


図 7.6 アイドルモードの設定手順例

7.5.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1 に、DMABCRL の DTIE ビットを 0 に設定することで指定できます。リピートモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRL で設定した回数だけ実行します。設定回数の転送を終了すると、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.7 にリピートモード時のレジスタの機能を示します。

表 7.7 リピートモード時のレジスタ機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR=0	DTDIR=1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント H'0000 になると初期設定値に回復
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
				
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'00 になると ETCRH の値をロード

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに 1 または 2 をインクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで 256 となります。

リピートモードでは、ETCRL を転送カウンタ、ETCRH を転送回数保持レジスタとして使用します。ETCRL は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は同じ値に設定してください。

リピートモードでは、DMABCRL の DTE ビットがクリアされるまで動作を継続します。したがって、データ転送を終了するには DTE ビットを 0 にクリアしてください。CPU または DTC に対して転送終了割り込みは要求しません。DTE ビットをクリア後、DTE ビットを再びセットすると、DTE ビットをクリアした時点で終了した転送の続きから再開することができます。

図 7.7 にリピートモードの動作を示します。

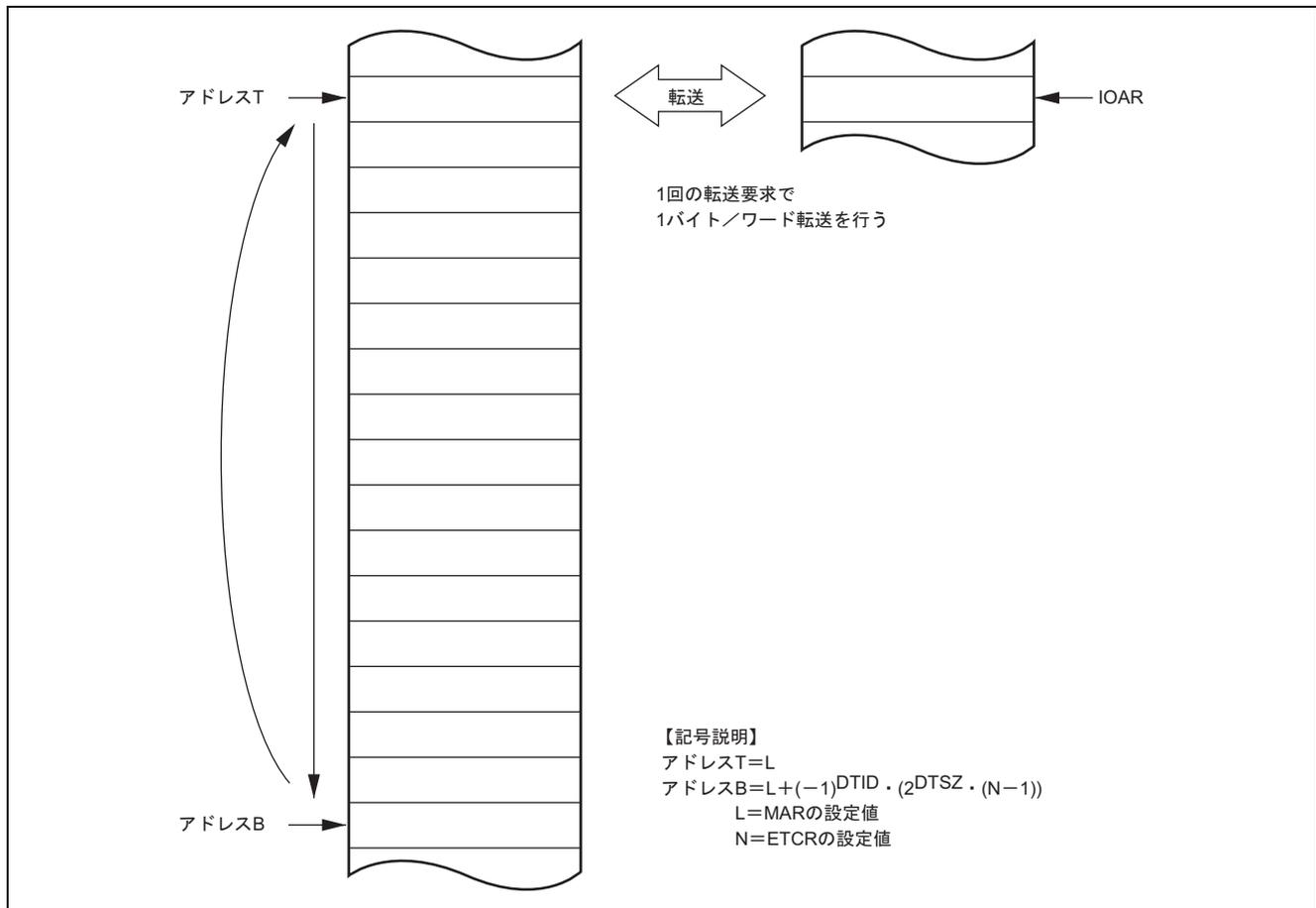


図 7.7 リピートモードの動作

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インプットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 7.8 にリピートモードの設定手順例を示します。

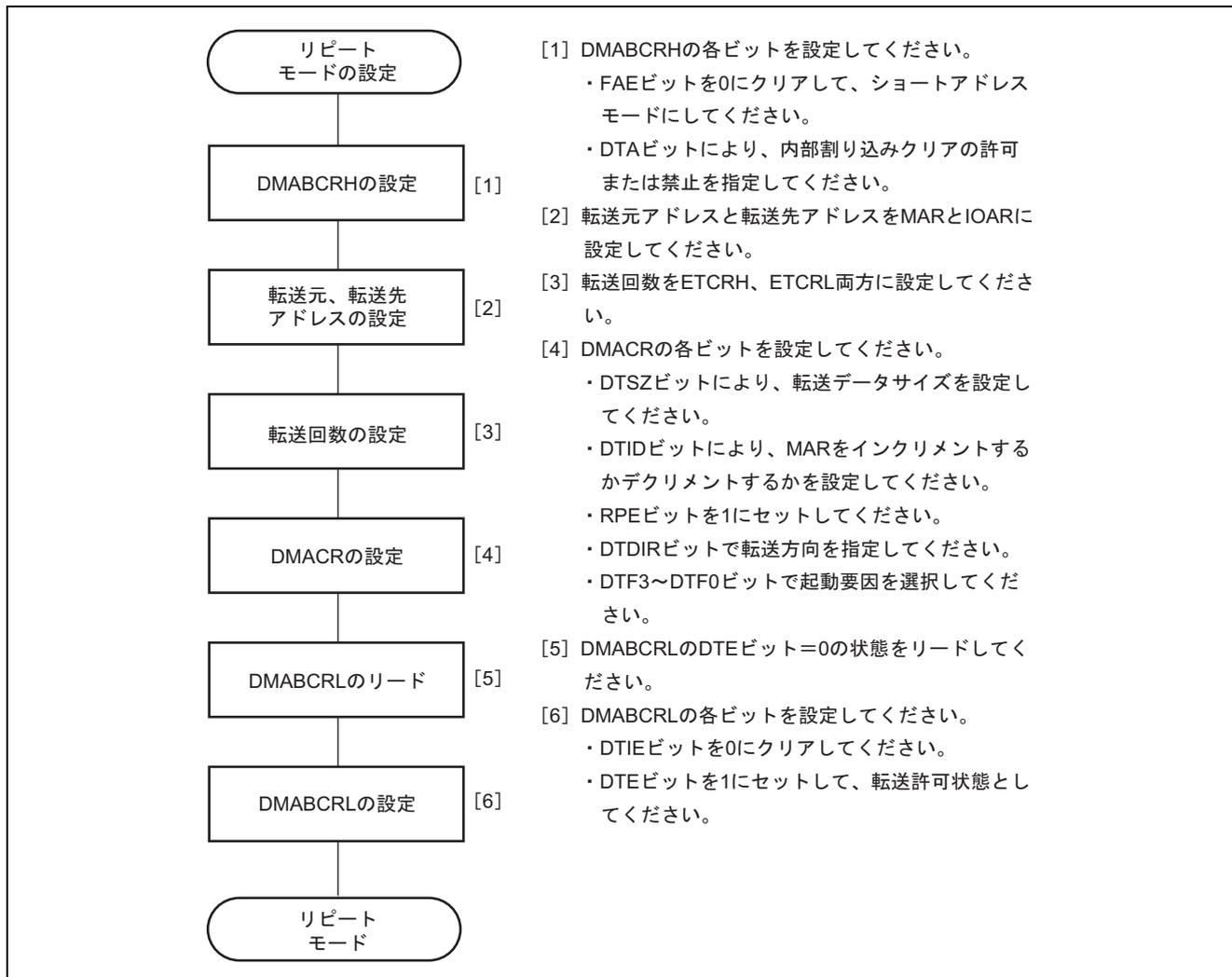


図 7.8 リピートモードの設定手順例

7.5.5 シングルアドレスモード

シングルアドレスモードは、チャンネル B のみ設定できます。シングルアドレスモードは、ショートアドレスモードにおいて DMABCRH の SAE ビットを 1 に設定することで指定できます。

アドレスの一方は MAR で指定し、他方は自動的にデータ転送アクノレッジ端子 ($\overline{\text{DACK}}$) に設定されます。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.8 にシングルアドレスモード時のレジスタの機能を示します。

表 7.8 シングルアドレスモード時レジスタの機能

対象レジスタ	機 能		初期設定値	動作
	DTDIR=0	DTDIR=1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照
$\overline{\text{DACK}}$ 端子	ライトストロープ	リードストロープ	(DMABCRH の SAE ビットによる自動設定、IOAR は無効)	外部デバイスに対するストロープ
	転送カウンタ		転送回数	「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。IOAR は無効となり、代わりに外部デバイスに対するストロープ ($\overline{\text{DACK}}$) を出力します。

図 7.9 にシングルアドレスモード (シーケンシャルモード指定) の動作を示します。

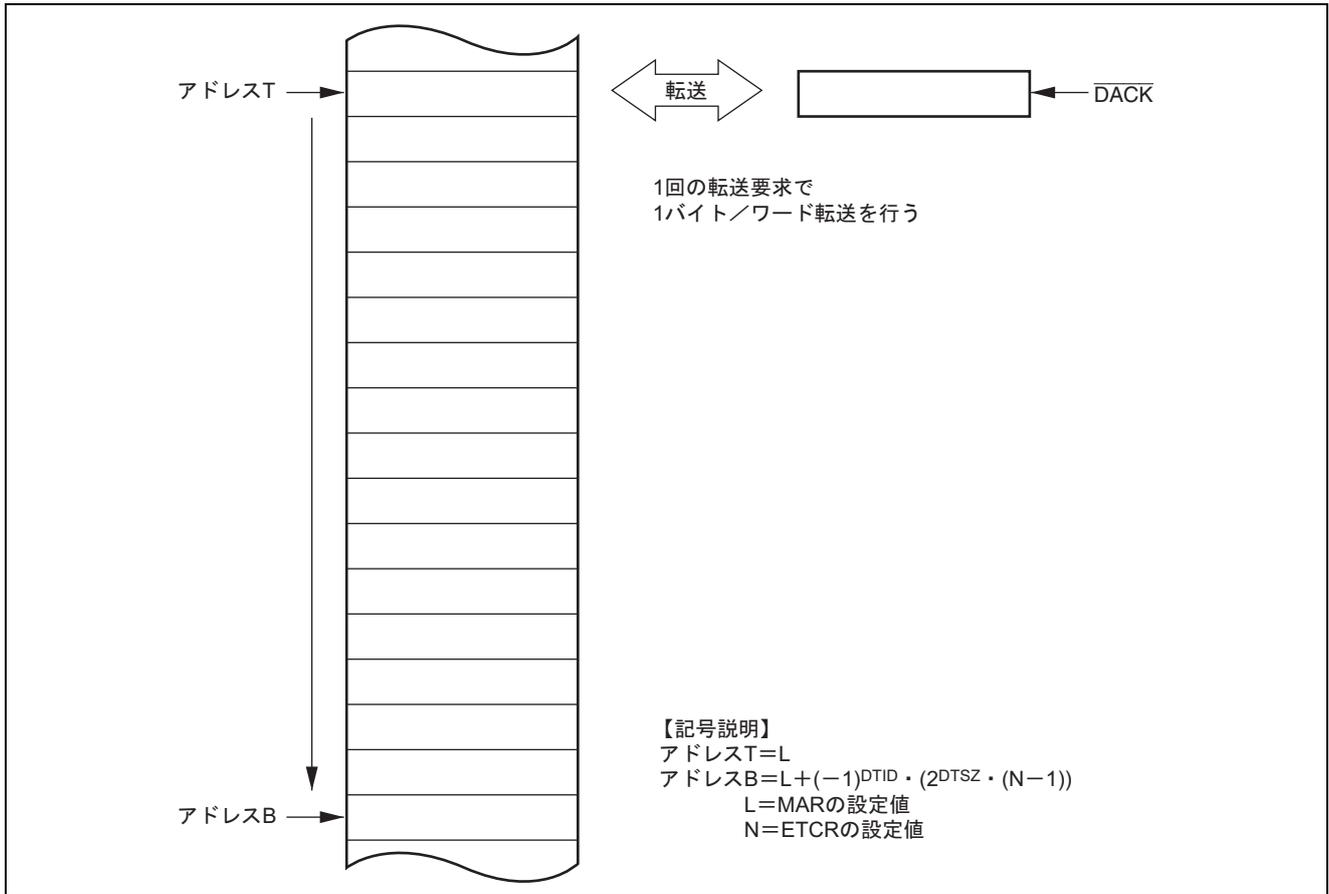


図 7.9 シングルアドレスモード (シーケンシャルモード指定) の動作

図 7.10 にシングルアドレスモード (シーケンシャルモード指定) の設定手順例を示します。

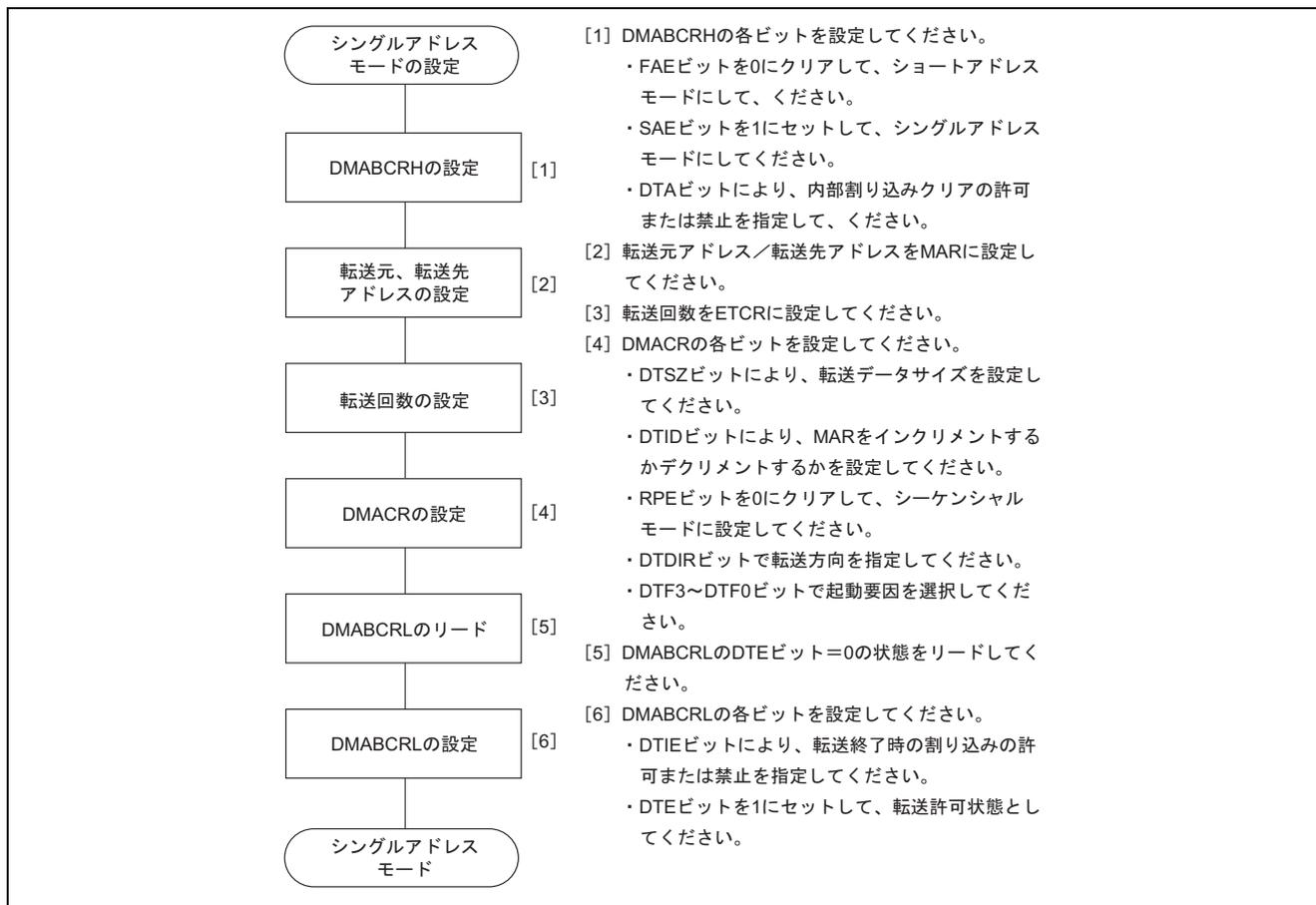


図 7.10 シングルアドレスモード (シーケンシャルモード指定) の設定手順例

7.5.6 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせてデータ転送を行います。ノーマルモードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 0 に設定することで指定できます。ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRA で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。表 7.9 にノーマルモード時のレジスタの機能を示します。

表 7.9 ノーマルモード時のレジスタ機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元の先頭アドレス	1 回の転送ごとにインクリメント／デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先の先頭アドレス	1 回の転送ごとにインクリメント／デクリメント、または固定
	転送カウンタ	転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに、1 または 2 インクリメント／デクリメントするか、または固定にすることができます。インクリメント／デクリメント／固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA により 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTE ビットをクリアしてデータ転送を終了します。このとき、DMABCRL の DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCRA に H'0000 を設定したときで 65,536 となります。

図 7.11 にノーマルモードの動作を示します。

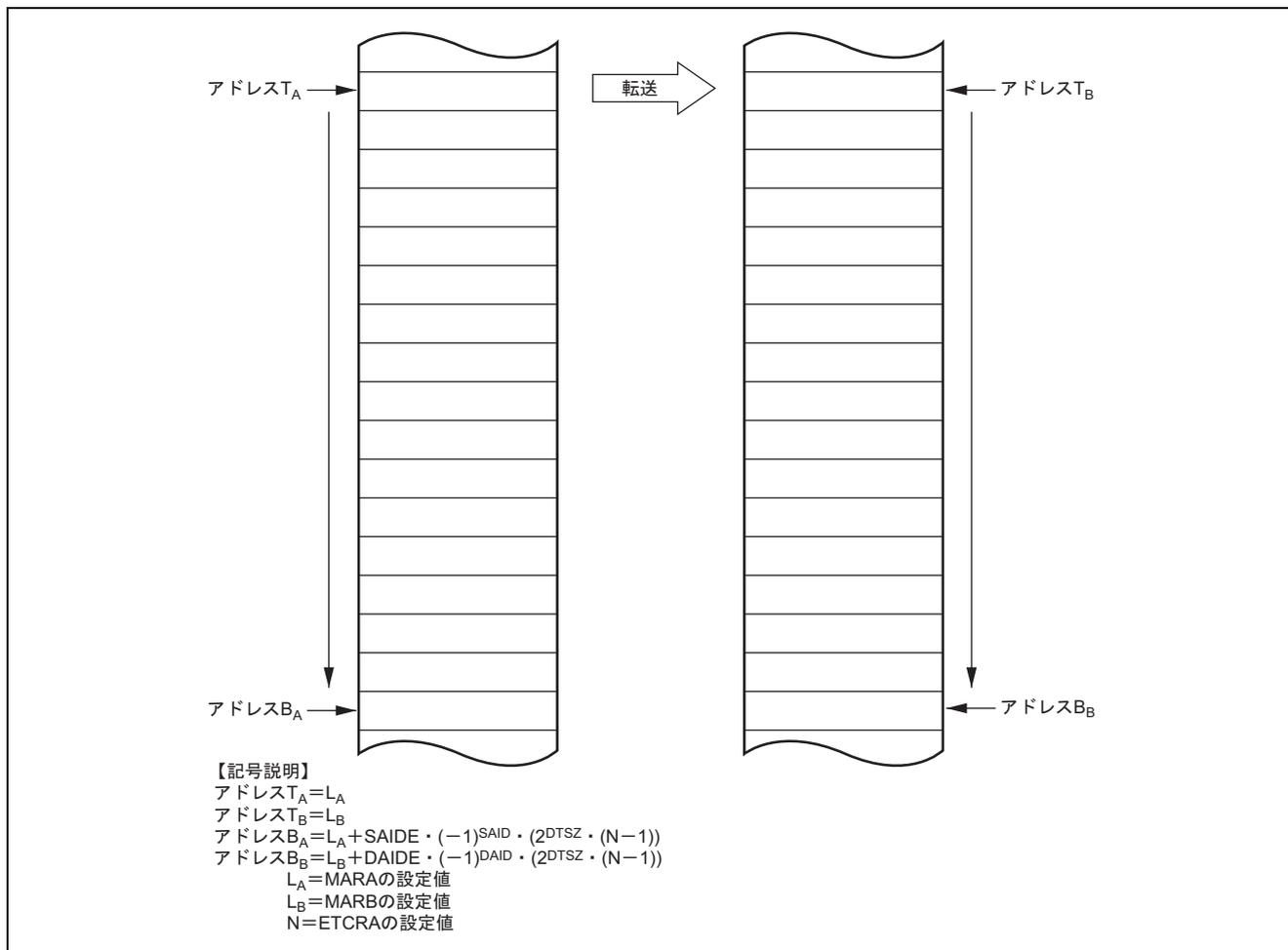


図 7.11 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、設定された回数 of データ転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、1回のデータ転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。

図 7.12 にノーマルモードの設定手順例を示します。

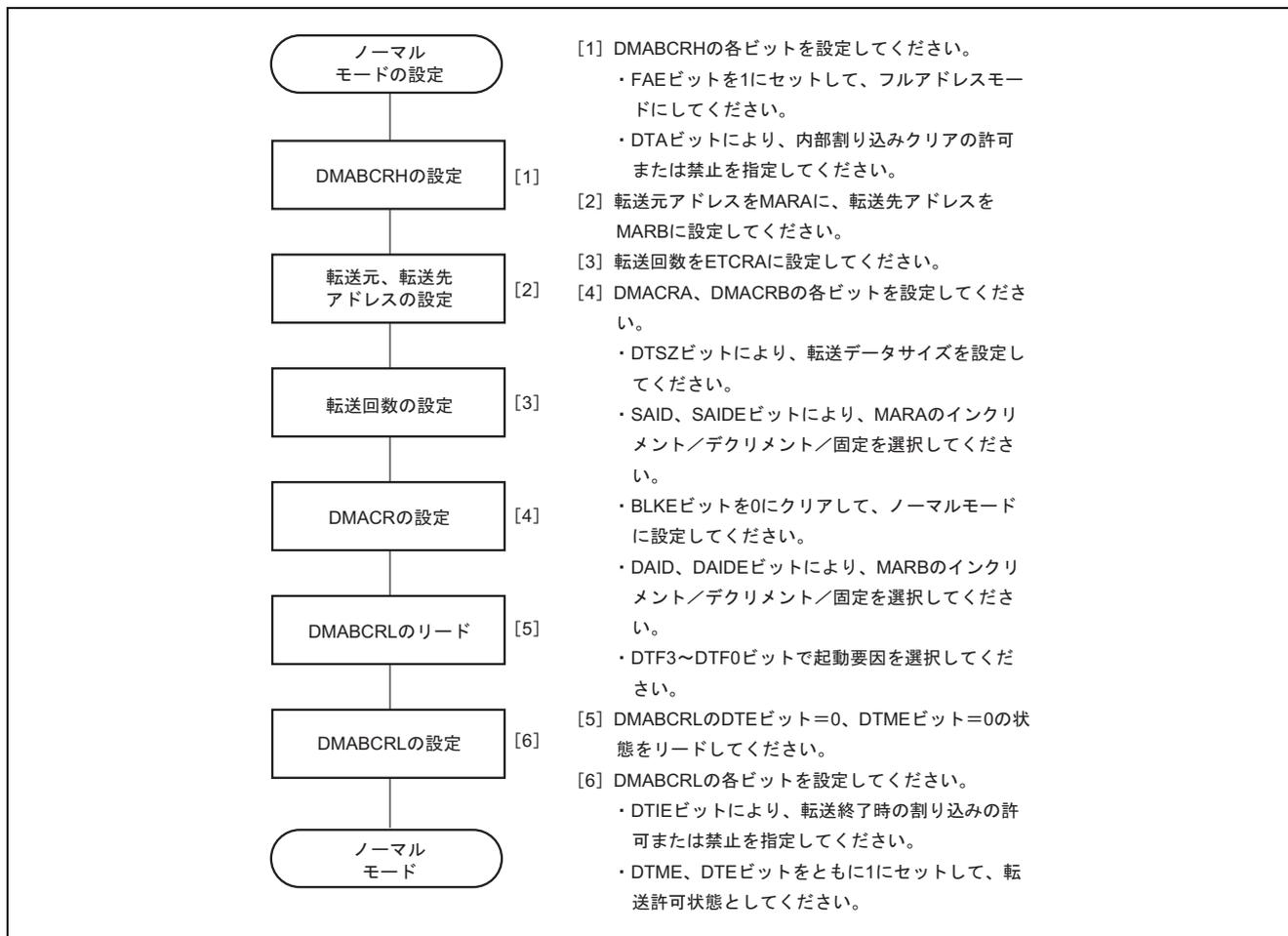
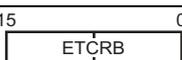


図 7.12 ノーマルモードの設定手順例

7.5.7 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせてデータ転送を行います。ブロック転送モードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。ブロック転送モードでは、1 回の転送要求に対して指定されたブロックサイズ of データ転送を行います。これを ETCRB で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア (複数バイト/ワードで構成されたエリア) とするかを選択できます。表 7.10 にブロック転送モード時のレジスタの機能を示します。

表 7.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント H'00 になると ETCRAH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに 1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを M (M=1~256) とし、N (N=1~65,536) 回の転送を行うとき、ETCRAH、ETCRAL の両方に M を、ETCRB に N を設定します。

図 7.13 に MARB をブロックエリアにした場合のブロック転送モードの動作を示します。

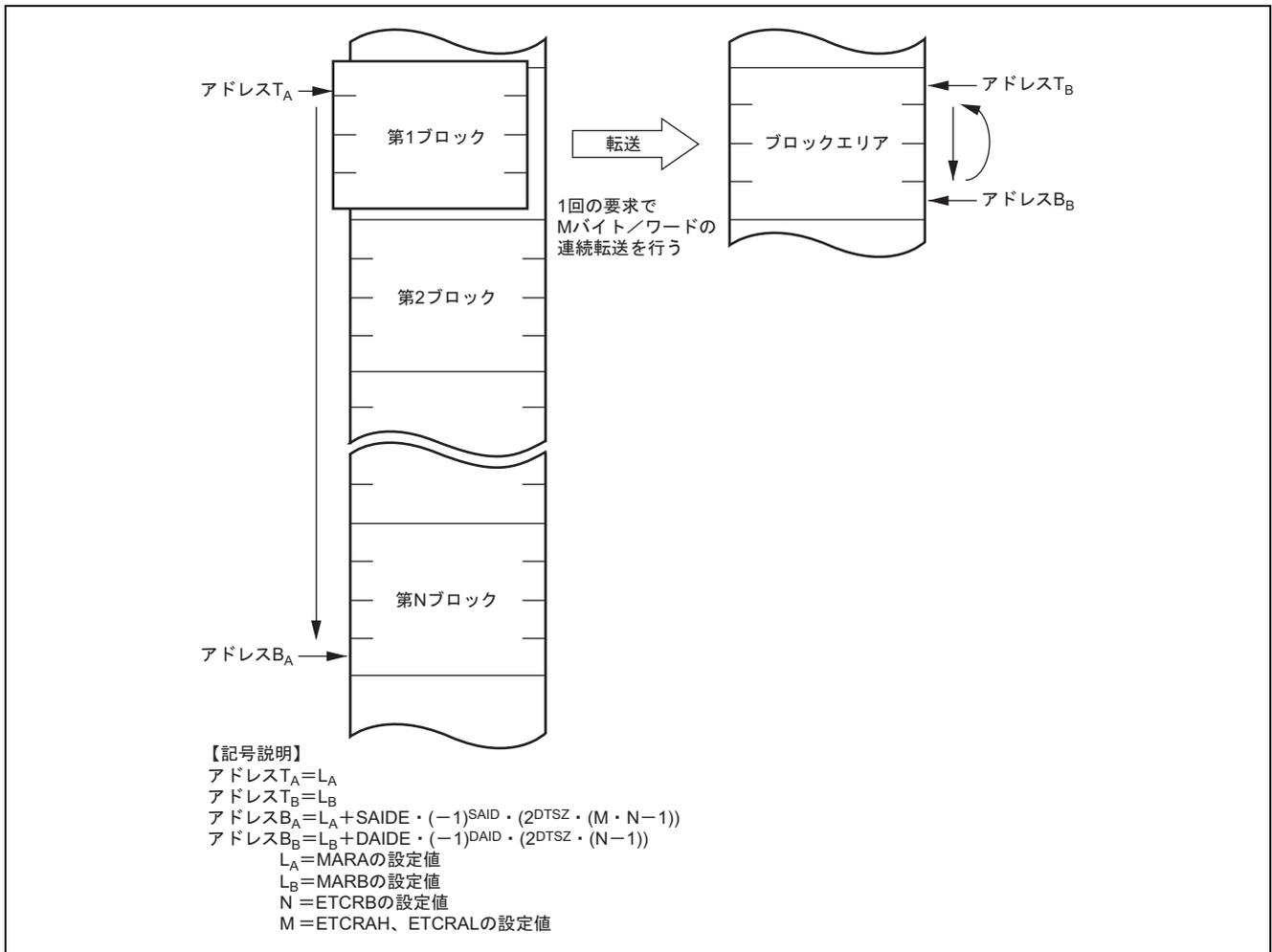


図 7.13 ブロック転送モードの動作 (BLKDIR=0)

図 7.14 に MARA をブロックエリアにした場合のブロック転送モードの動作を示します。

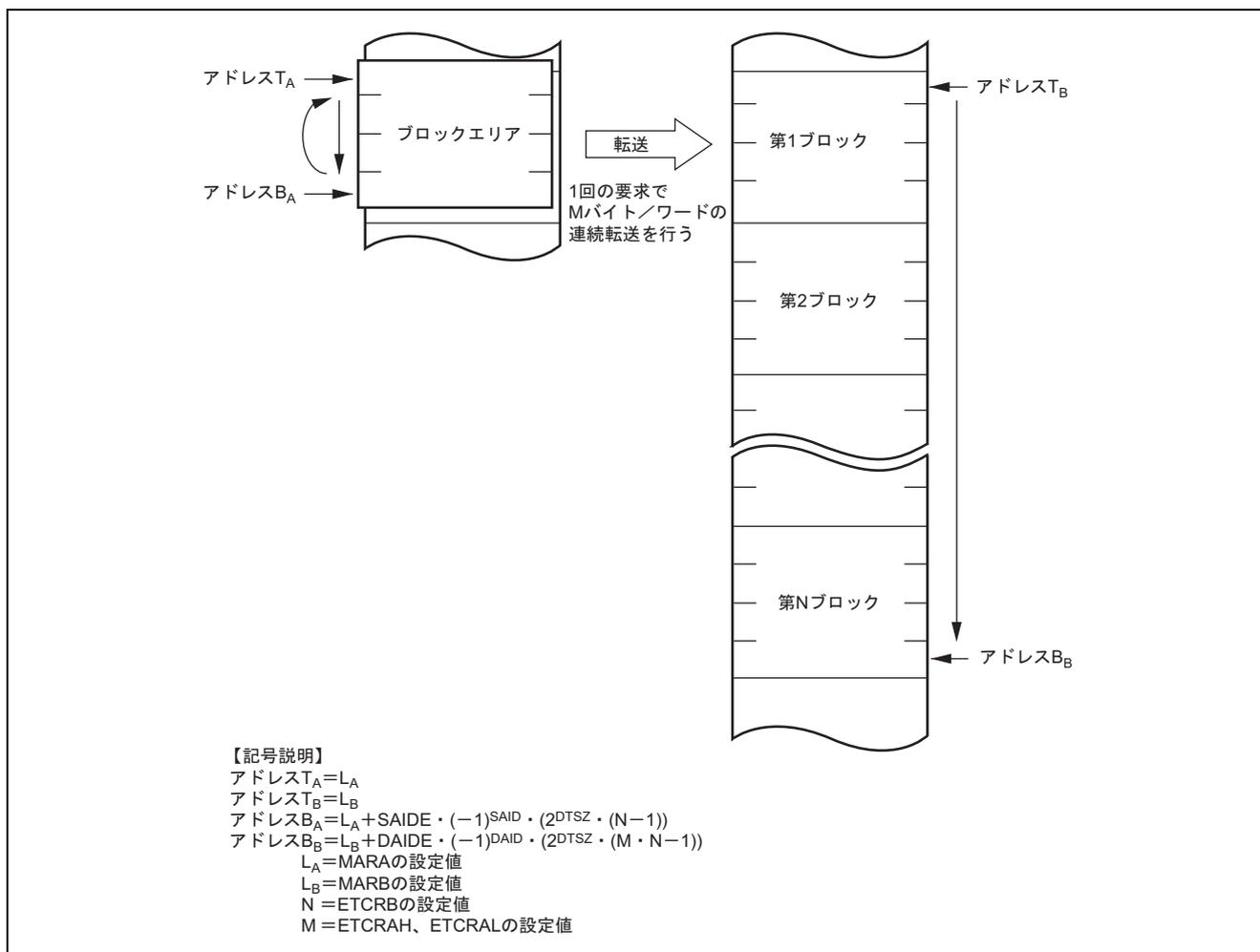


図 7.14 ブロック転送モードの動作 (BLKDIR=1)

ETCRAL は 1 回のデータ転送を行うたびに 1 だけデクリメントされます。1 回の転送要求に対して、ETCRAL が H'00 になるまでバースト転送が行われます。ETCRAL が H'00 になると ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ および SAID/DAID、SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は 1 回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTE ビットをクリアして転送を終了します。このとき、DMABCRL の DTIE ビットが 1 にセットされていると、CPU または DTC に対して割り込みを要求します。図 7.15 にブロック転送モードの動作フローを示します。

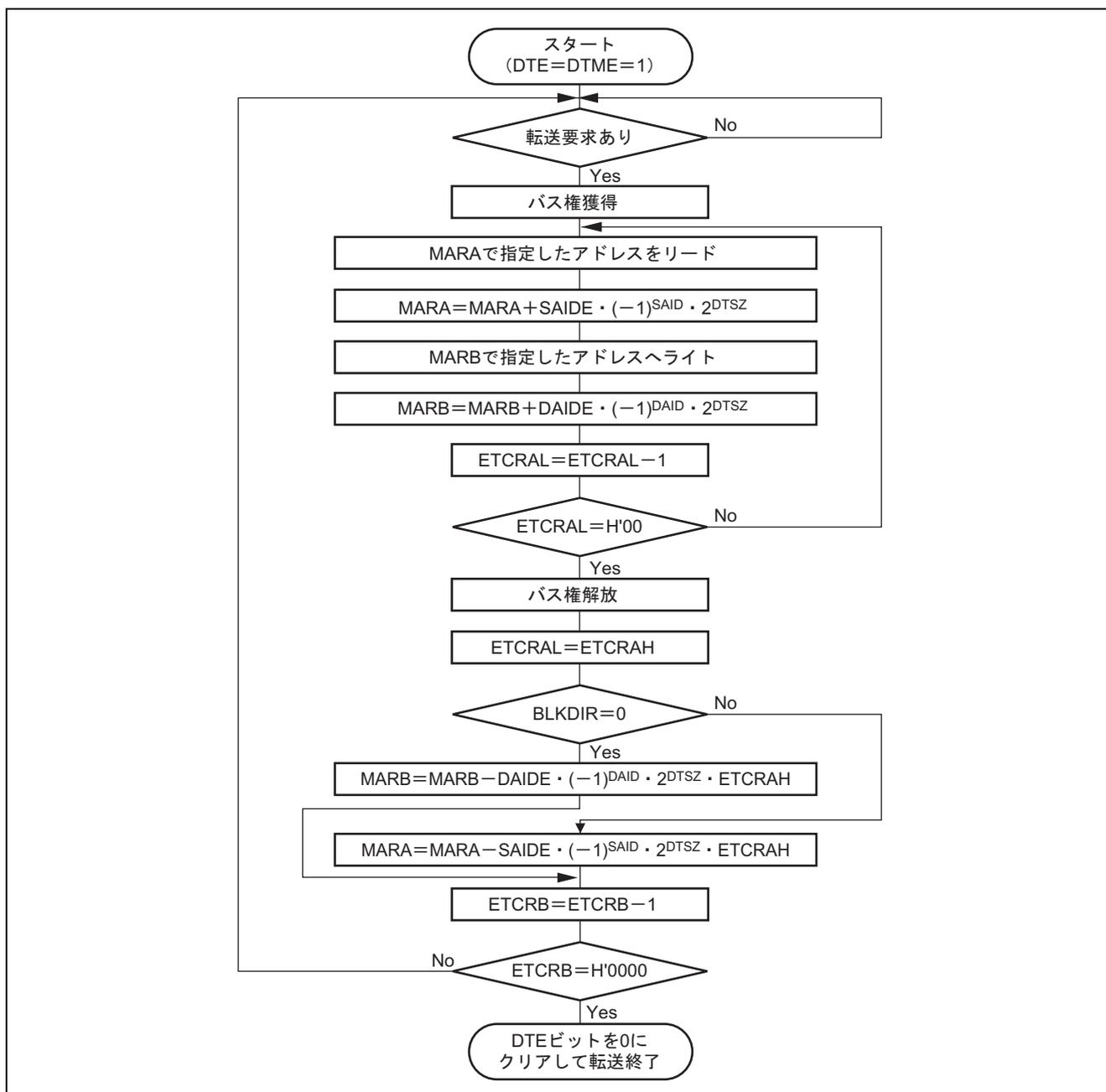


図 7.15 ブロック転送モードの動作フロー

転送要求（起動要因）には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ/受信データフル割り込み、および TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込みがあります。図 7.16 にブロック転送モードの設定手順例を示します。

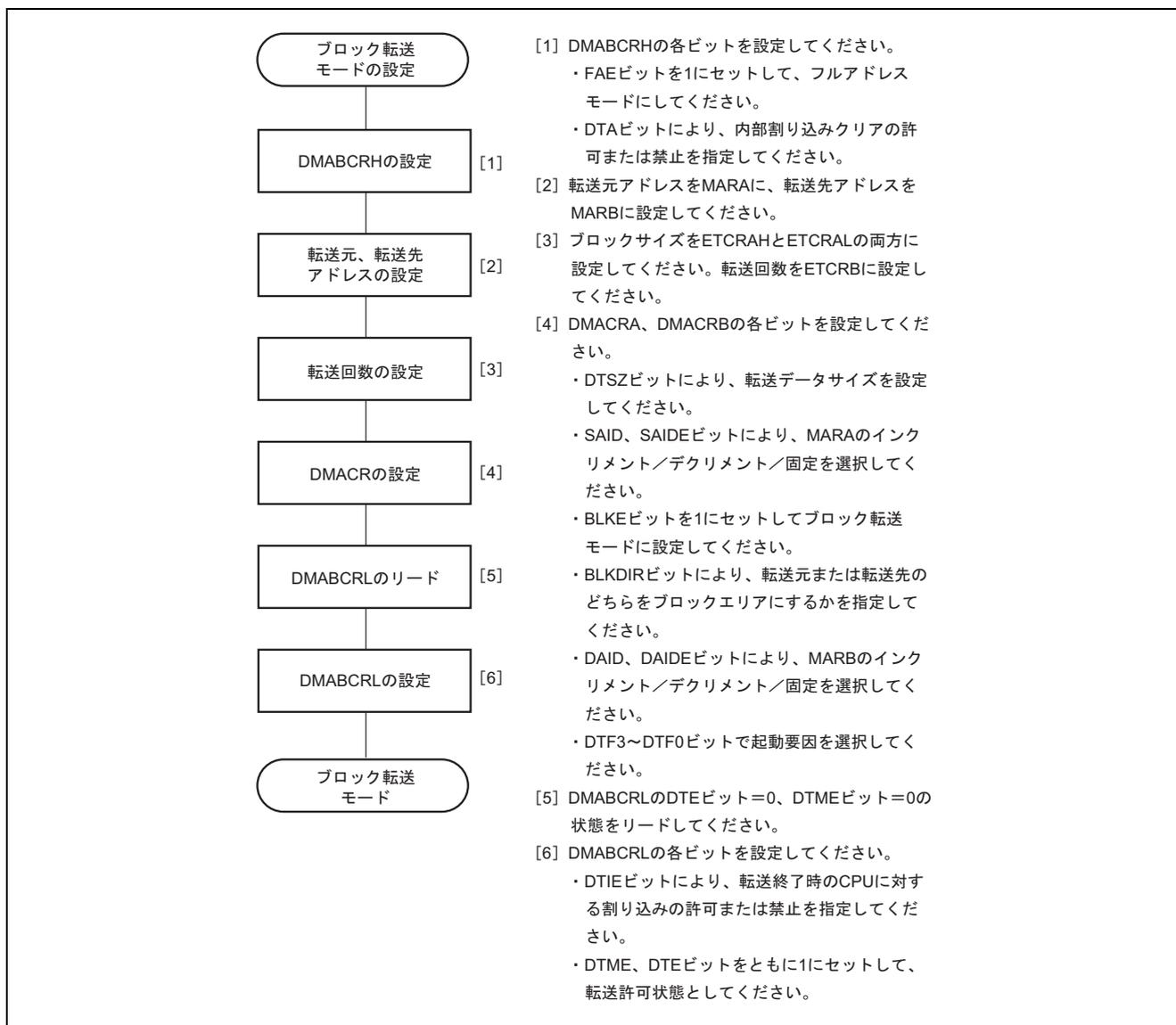


図 7.16 ブロック転送モードの設定手順例

7.5.8 基本バスサイクル

図 7.17 に DMAC の基本的なバスサイクルのタイミング例を示します。図 7.17 はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMA サイクルは CPU サイクルと同様に、バスコントローラの設定に従います。なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部アドレスバスに出力されません。

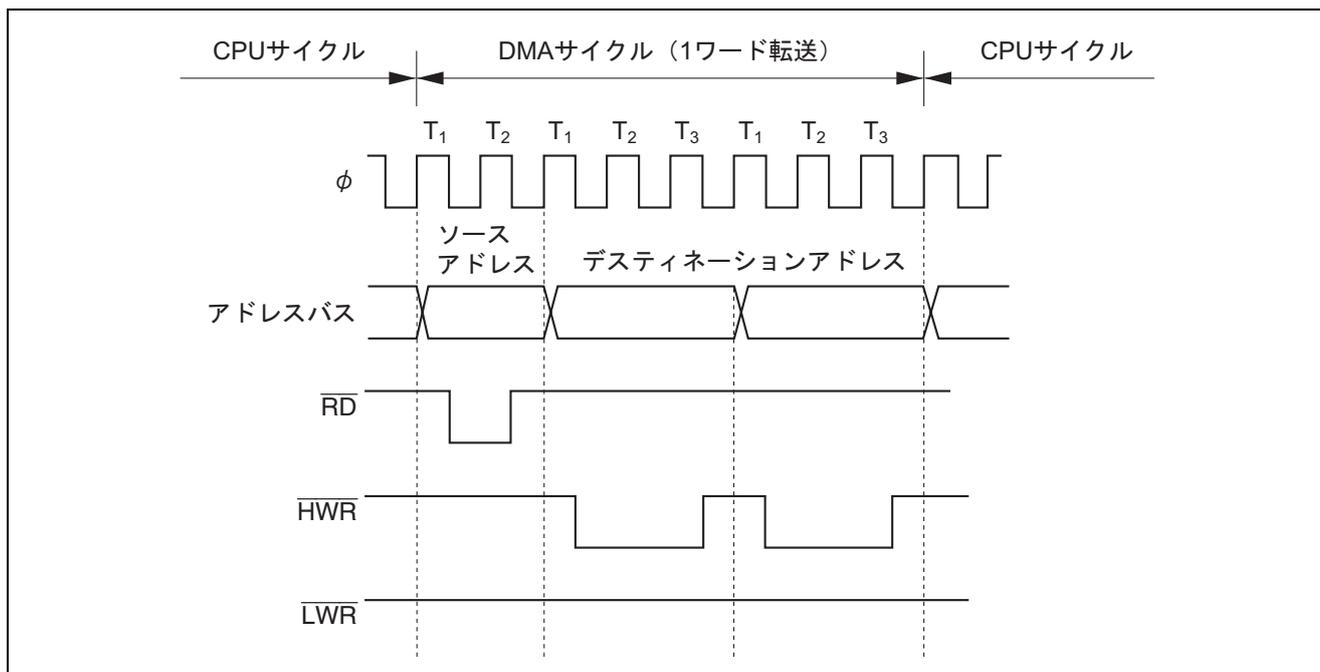


図 7.17 DMA 転送バスタイミング例

7.5.9 DMA 転送 (デュアルアドレスモード) のバスサイクル

(1) ショートアドレスモード

図 7.18 に $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から内部 I/O 空間へ、バイトサイズでショートアドレスモード転送 (シーケンシャル/アイドル/リピートモード) を行った場合の転送例を示します。

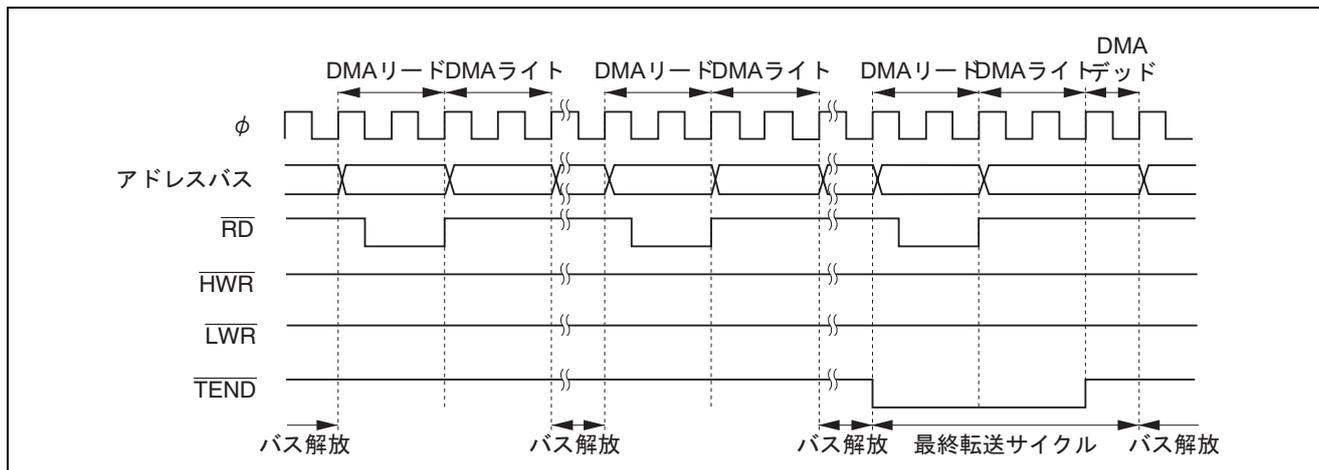


図 7.18 ショートアドレスモード転送例

1回の転送要求に対して1バイトまたは1ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中はCPUまたはDTCによるバスサイクルが1回以上入ります。

転送終了サイクル (転送カウンタが0となったサイクル) では、DMAライトサイクルの後にDMAデッドサイクルが1ステート入ります。

リピートモードの場合、 $\overline{\text{TEND}}$ 出力を許可すると、転送終了サイクルで $\overline{\text{TEND}}$ 出力がLowレベルになります。

(2) フルアドレスモード (サイクルスチールモード)

図 7.19 に \overline{TEND} 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

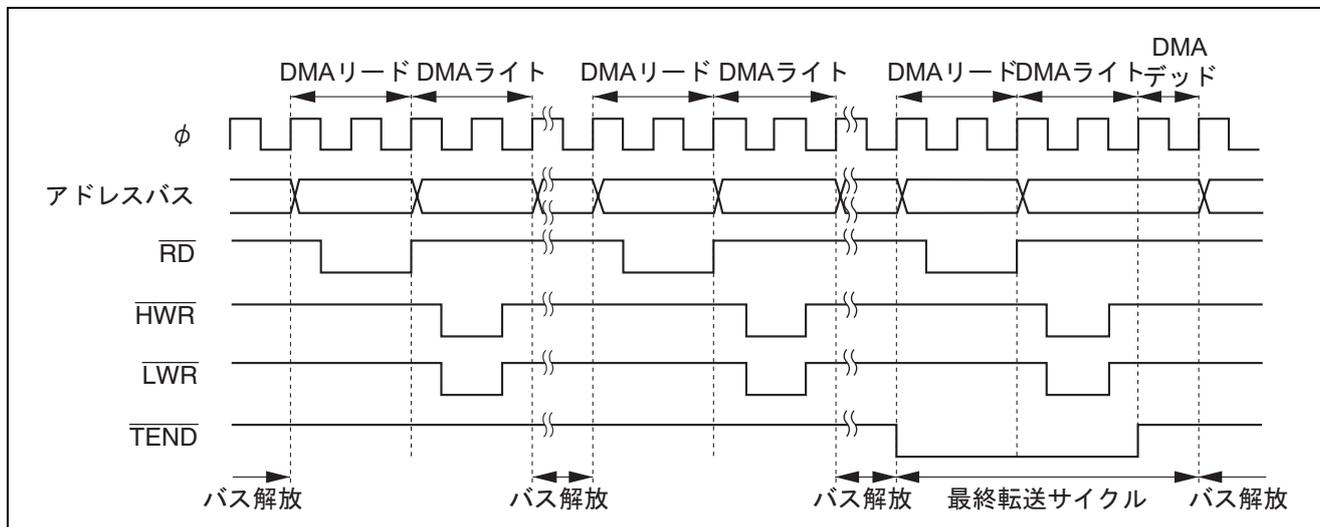


図 7.19 フルアドレスモード (サイクルスチール) 転送例

1回の転送要求に対して1バイトまたは1ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中はCPUまたはDTCによるバスサイクルが1回入ります。

転送終了サイクル (転送カウンタが0となったサイクル) では、DMAライトサイクルの後にDMAデッドサイクルが1ステート入ります。

(3) フルアドレスモード (バーストモード)

図 7.20 に \overline{TEND} 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

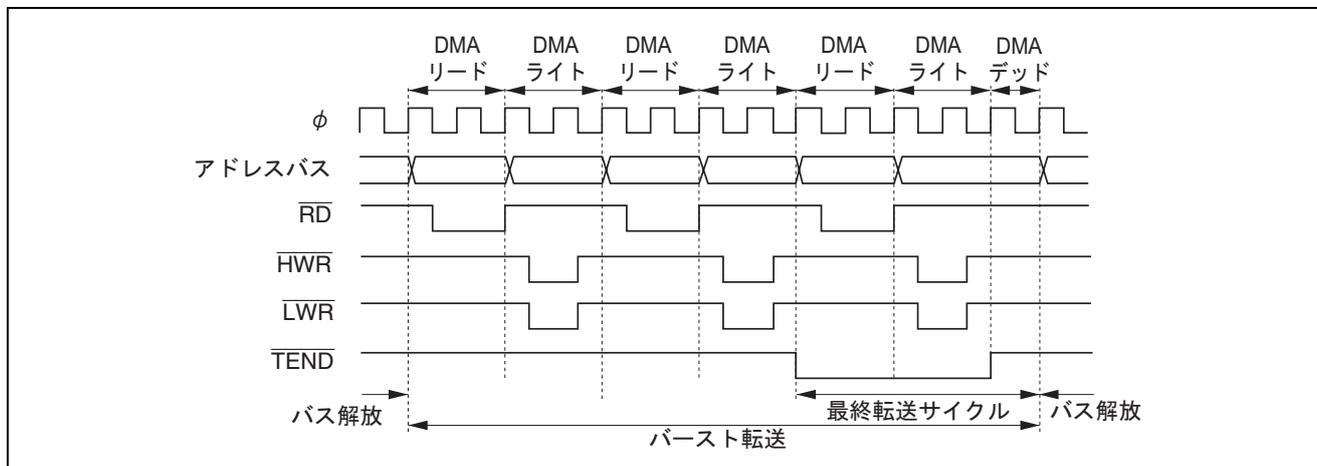


図 7.20 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードのデータ転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

バースト転送が始まると、他の優先順位の高いチャネルの割り込み要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャネルが転送許可状態のときに NMI が発生すると、DMABCRL の DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードのデータ転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

(4) フルアドレスモード (ブロック転送モード)

図 7.21 に $\overline{\text{TEND}}$ 出力を許可して、内部 16 ビット 1 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

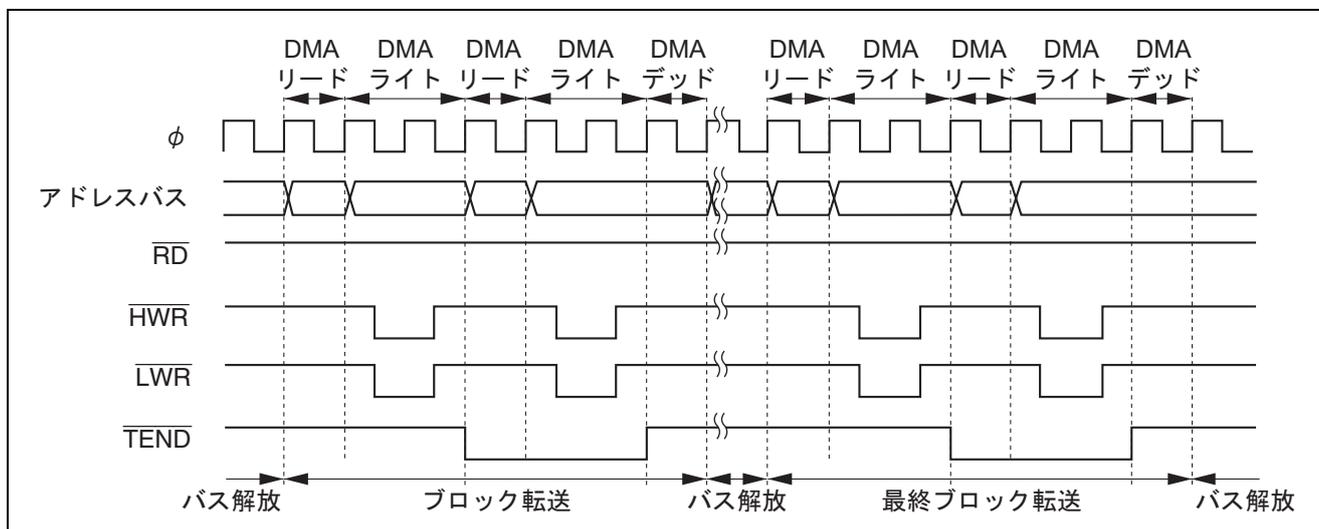


図 7.21 フルアドレスモード (ブロック転送モード) 転送例

1 回の転送要求に対して 1 ブロック分のデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

各ブロックの転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。データ転送中に NMI が発生しても、1 ブロック分のデータ転送終了までブロック転送の動作に影響を与えません。

(5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.22 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例を示します。

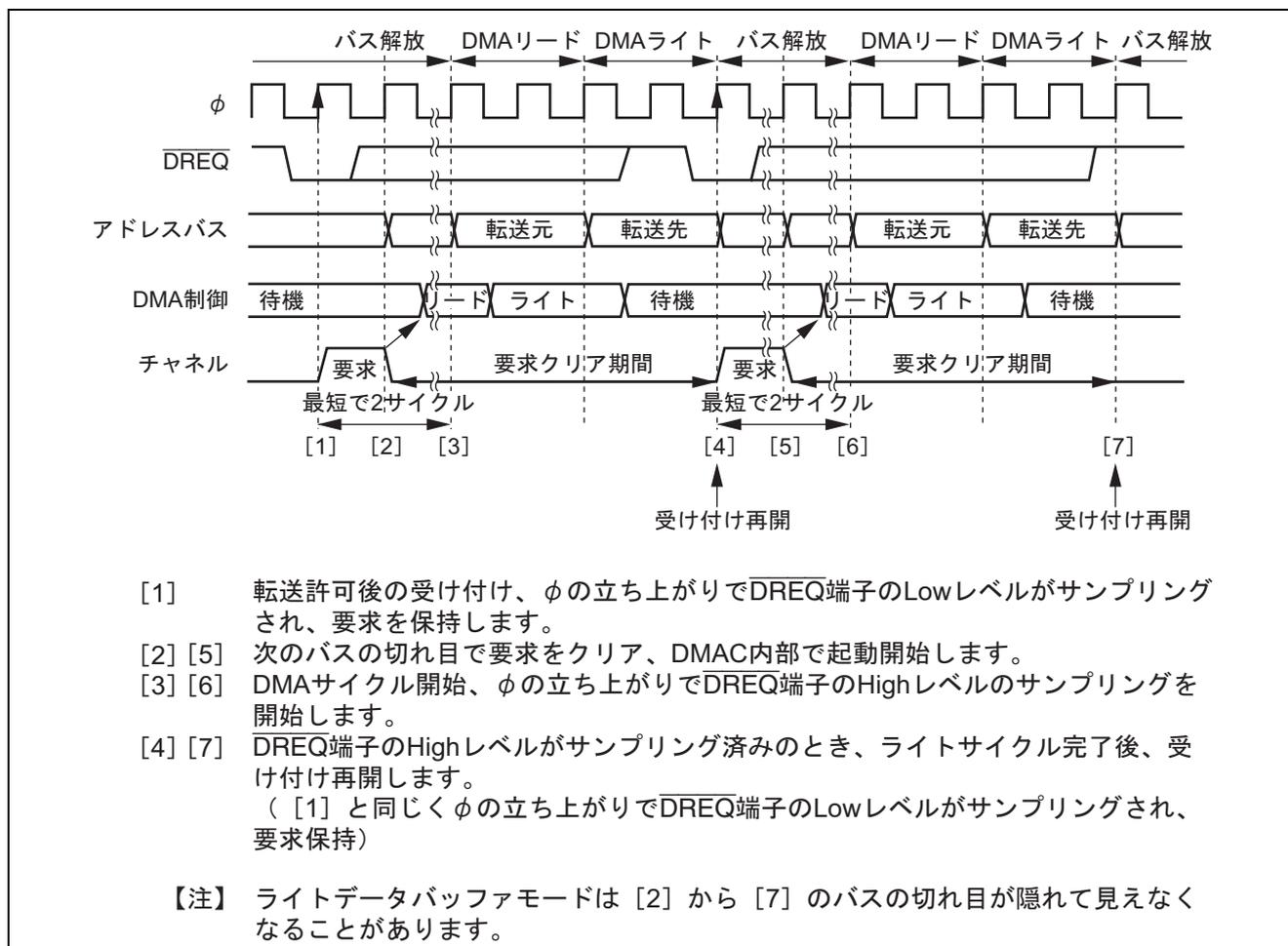


図 7.22 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.23 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例を示します。

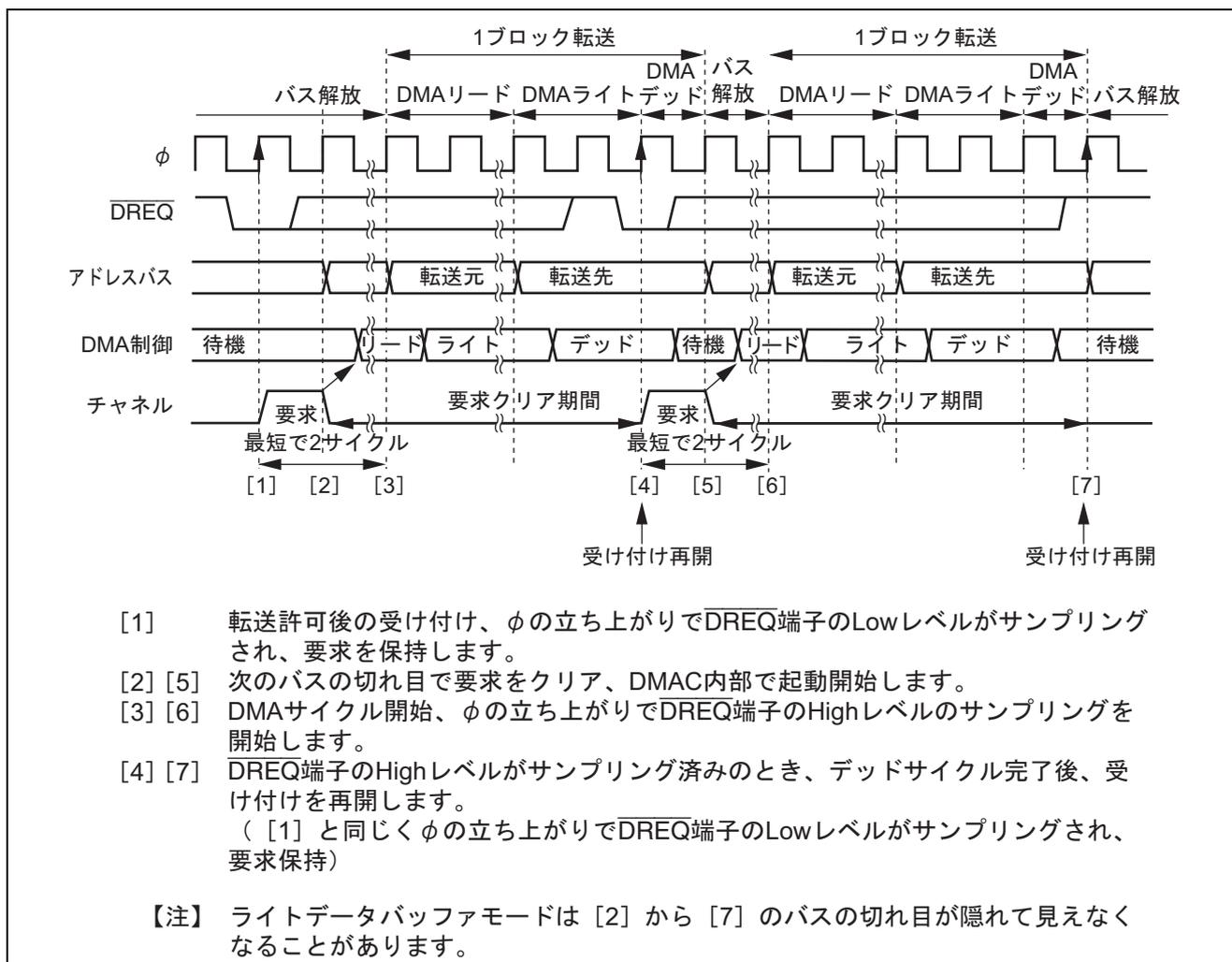


図 7.23 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA デッドサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、DMA デッドサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(6) $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.24 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例を示します。

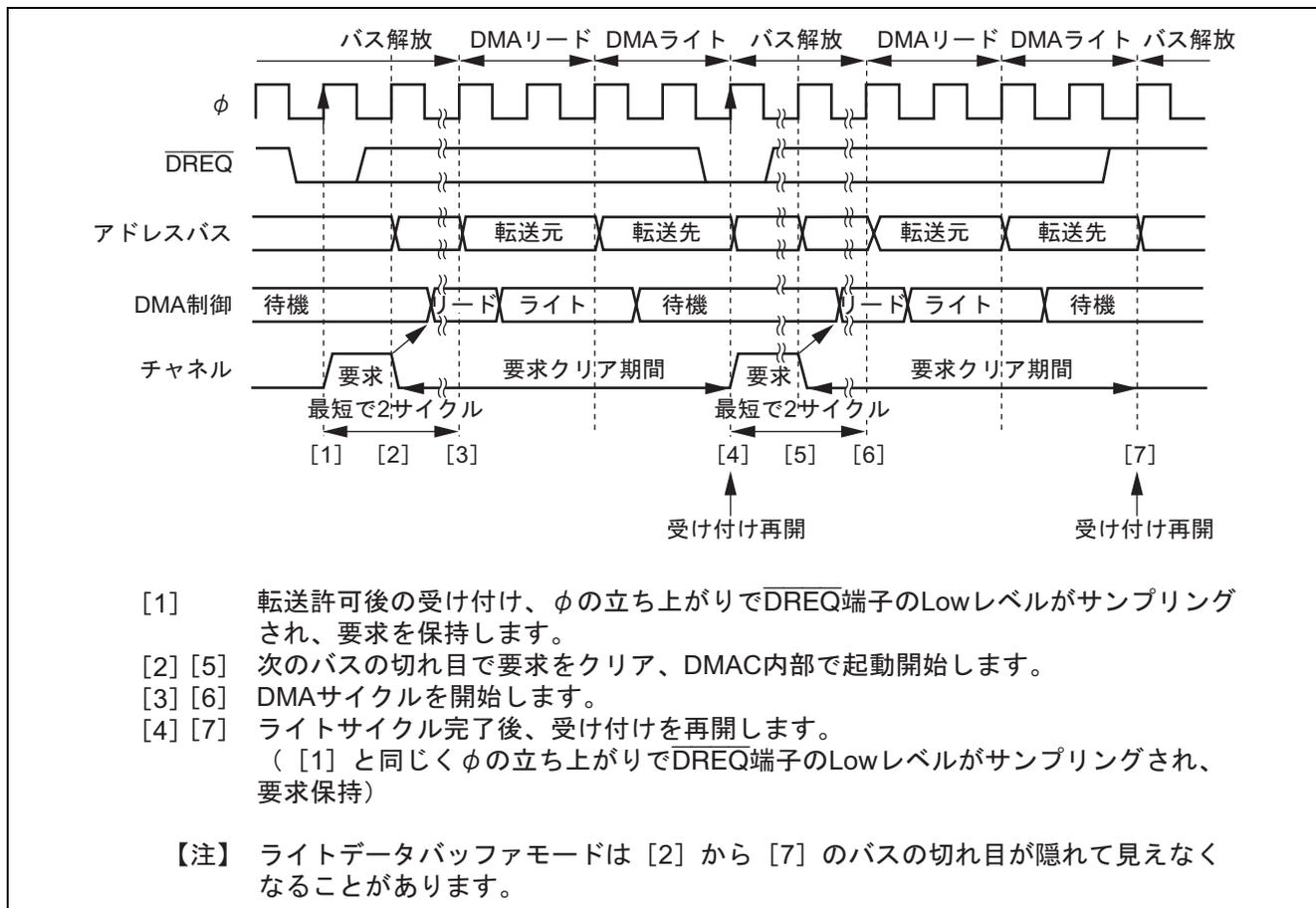


図 7.24 $\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.25 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例を示します。

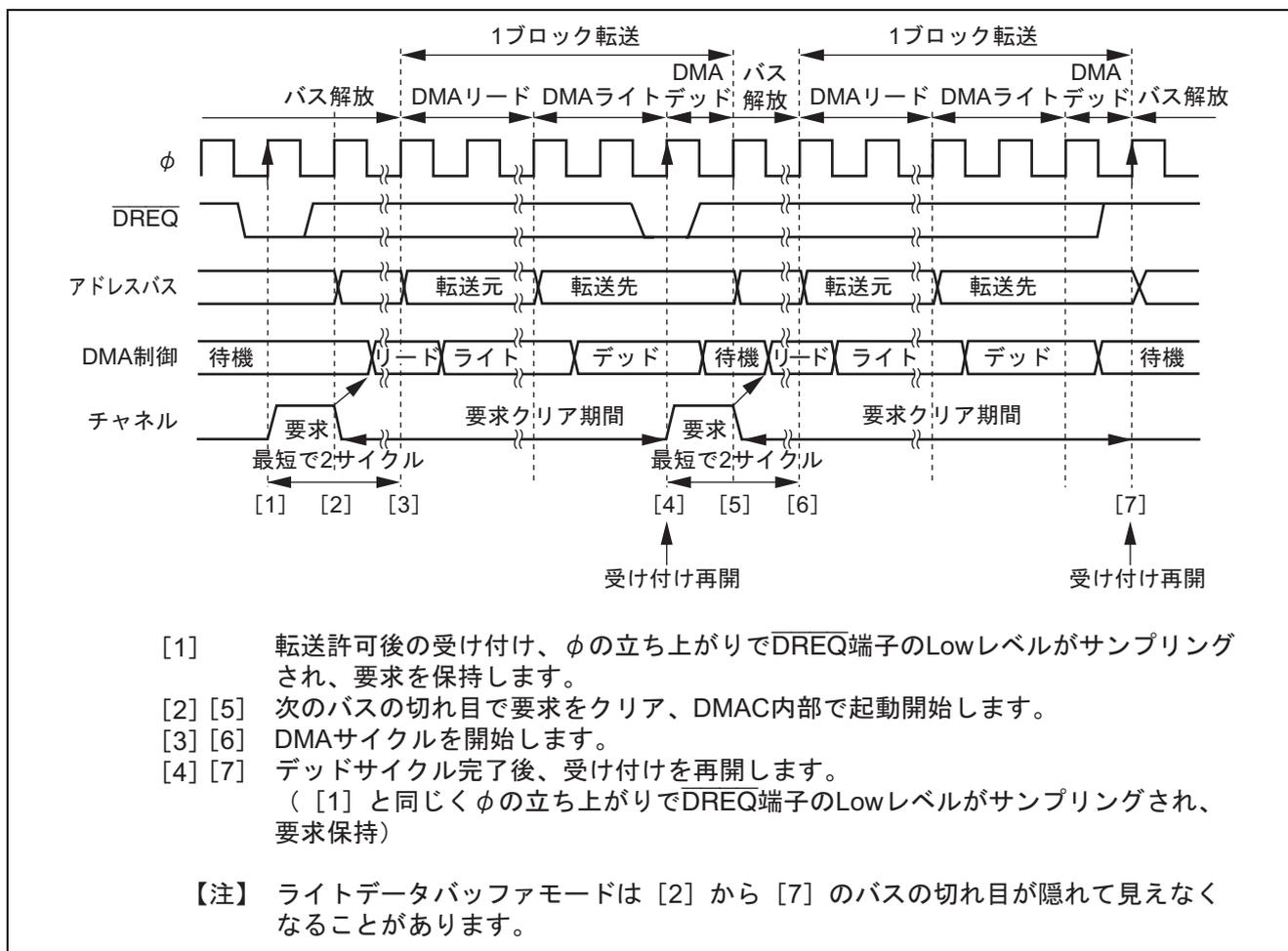


図 7.25 $\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の ϕ の立ち上がりから毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。DMA デッドサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7.5.10 DMA 転送 (シングルアドレスモード) のバスサイクル

(1) シングルアドレスモード (リード)

図 7.26 に \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

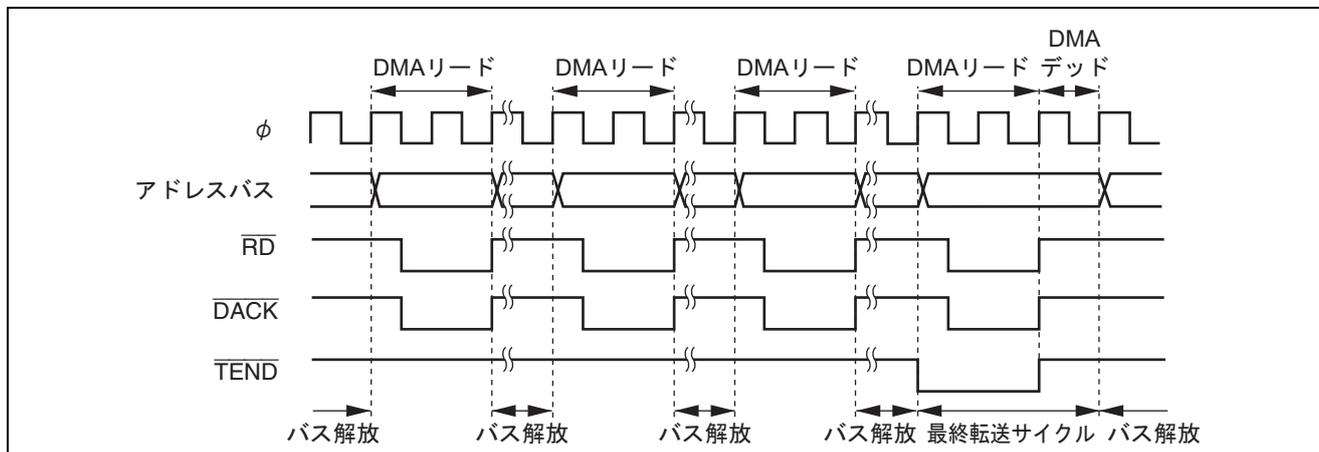


図 7.26 シングルアドレスモード (バイトリード) 転送例

図 7.27 に \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

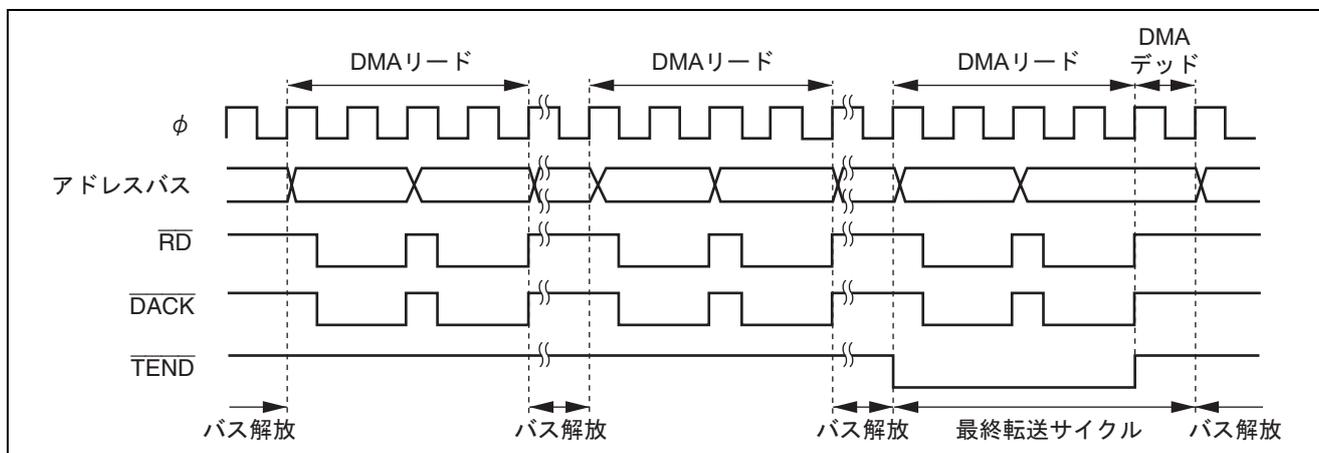


図 7.27 シングルアドレスモード (ワードリード) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(2) シングルアドレスモード (ライト)

図 7.28 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

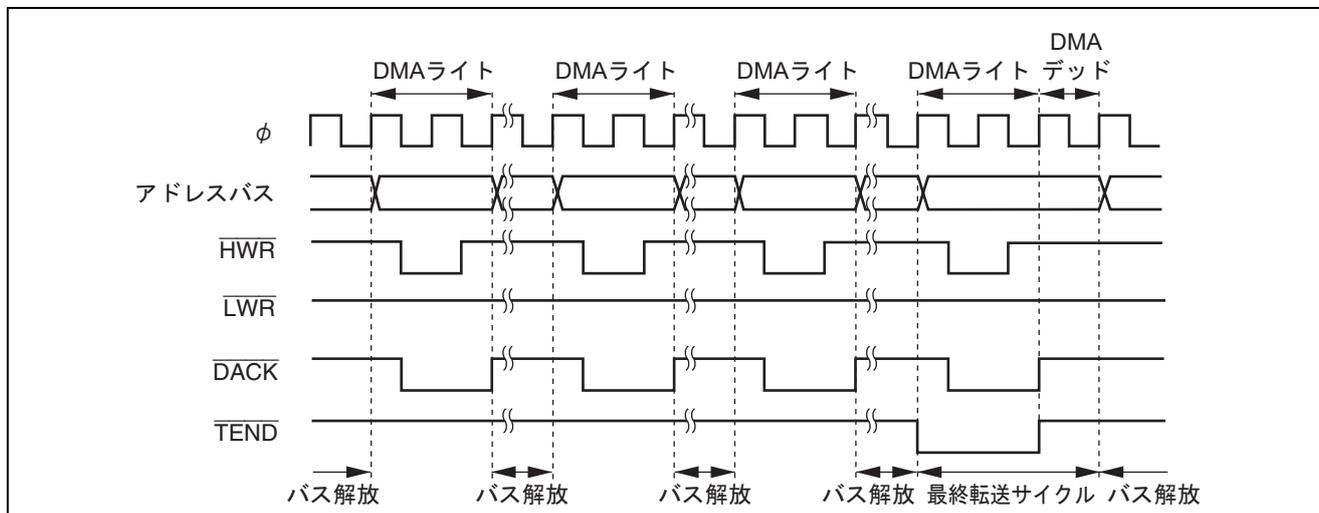


図 7.28 シングルアドレスモード (バイトライト) 転送例

図 7.29 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

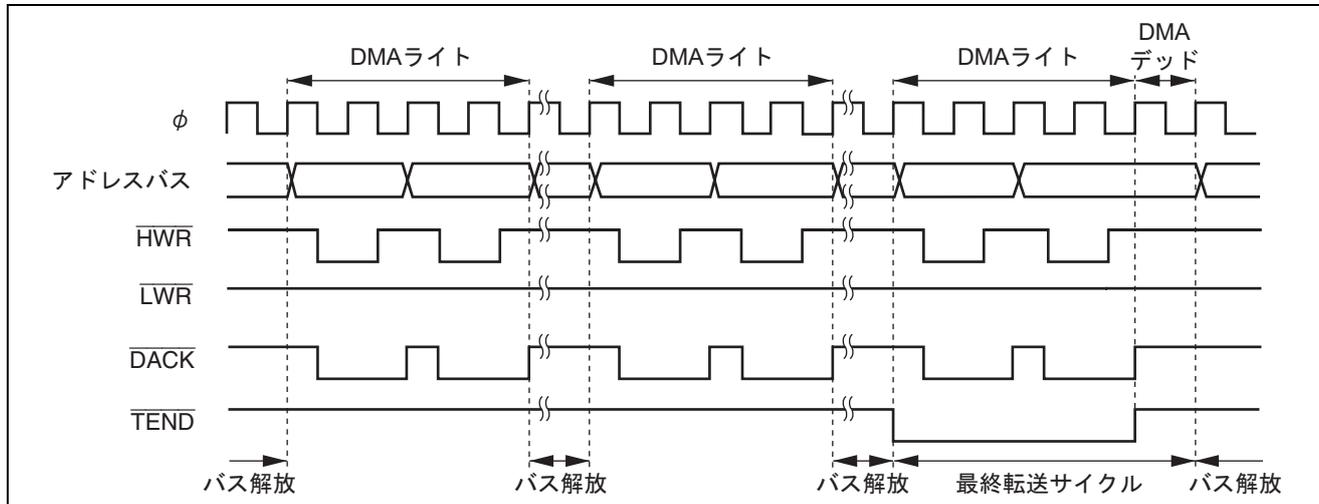


図 7.29 シングルアドレスモード (ワードライト) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(3) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.30 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

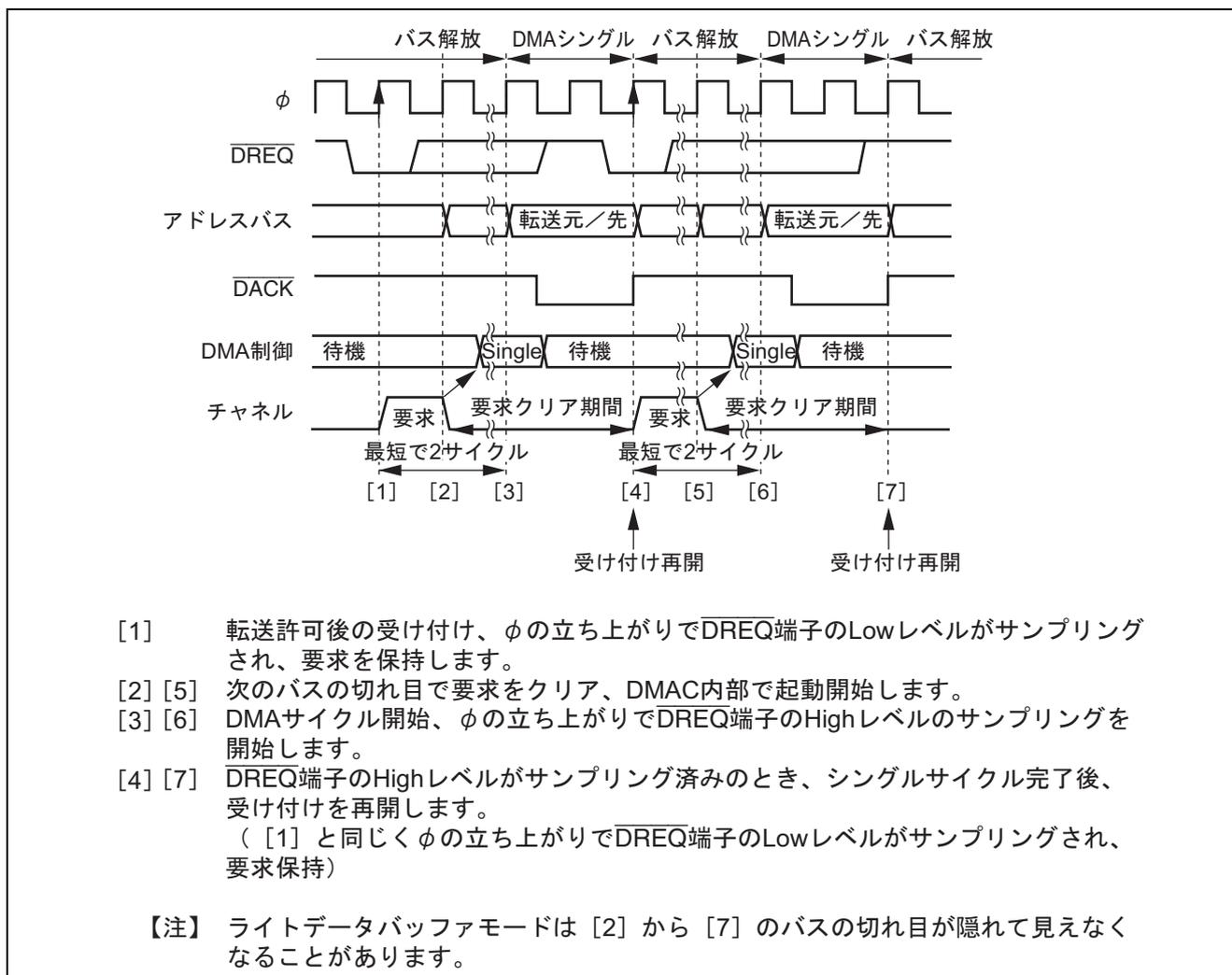


図 7.30 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(4) $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.31 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例を示します。

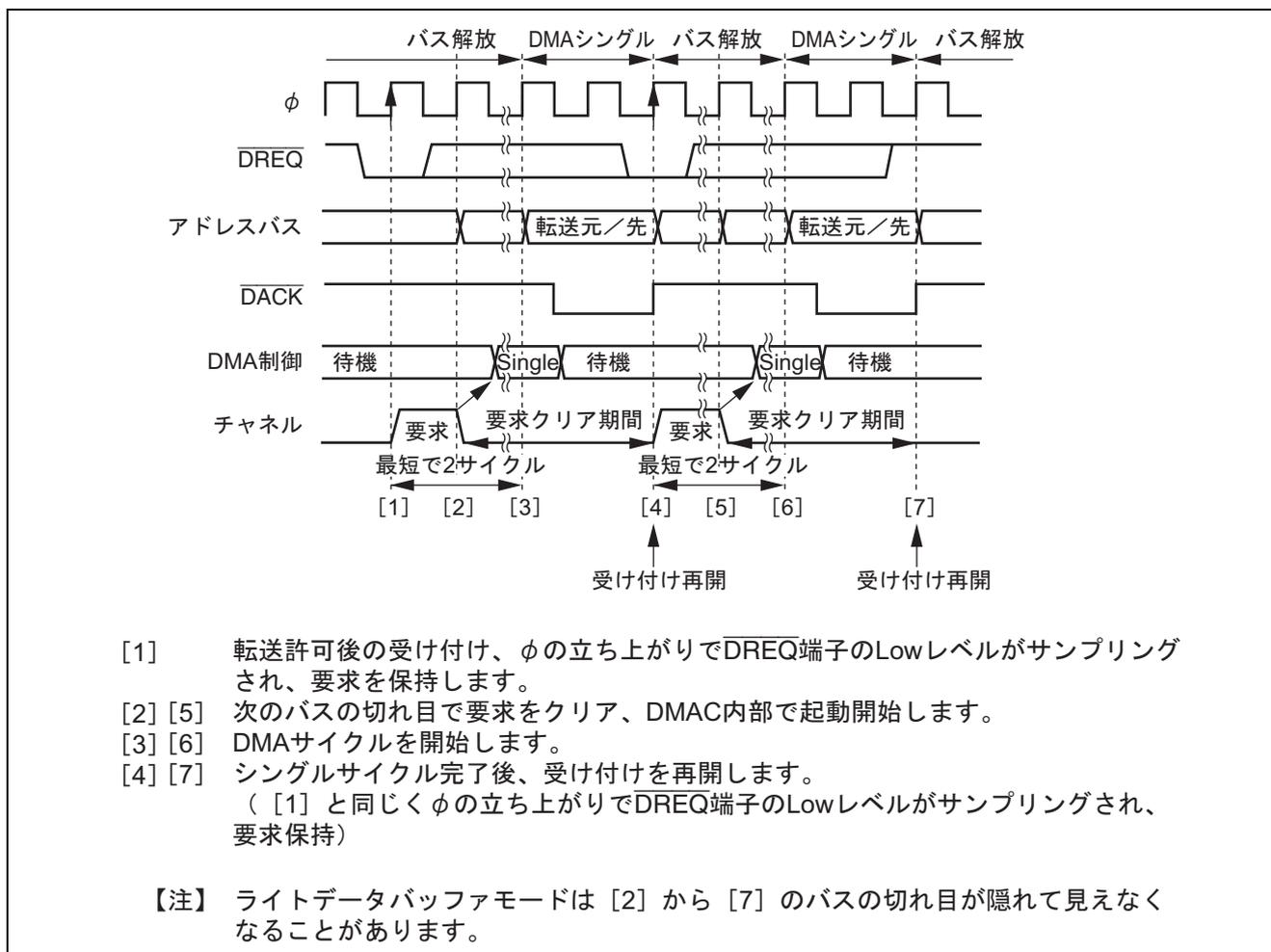


図 7.31 $\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7.5.11 ライトデータバッファ機能

DMAC 内部から外部のデュアルアドレス転送やシングルアドレス転送をライトデータバッファ機能を用いて高速に実行し、システムのスループットを向上させることができます。

バスコントローラの BCR の WDBE ビットを 1 にセットして、ライトデータバッファ機能を有効にすると、デュアルアドレス転送の外部ライトサイクルまたは、シングルアドレス転送と内部アクセス（内蔵メモリまたは内部 I/O レジスタ）を並行して実行します。内部アクセスはバスマスタに依存しません。なお、DMAC の DMA デッドサイクルは内部アクセスとみなされます。

$\overline{\text{TEND}}$ 端子から Low レベルを出力するバスサイクルが外部バスサイクルの場合は、必ず $\overline{\text{TEND}}$ 端子から Low レベルを出力できます。一方、 $\overline{\text{TEND}}$ 端子から Low レベルを出力するバスサイクルが内部バスサイクルで、かつ並行して外部ライトサイクルが実行されている場合は、 $\overline{\text{TEND}}$ 端子から Low レベルを出力しませんので注意してください。

図 7.32 にライトデータバッファ機能を用いたデュアルアドレス転送の例を示します。内蔵 RAM から外部メモリへのバーストモード転送の例です。

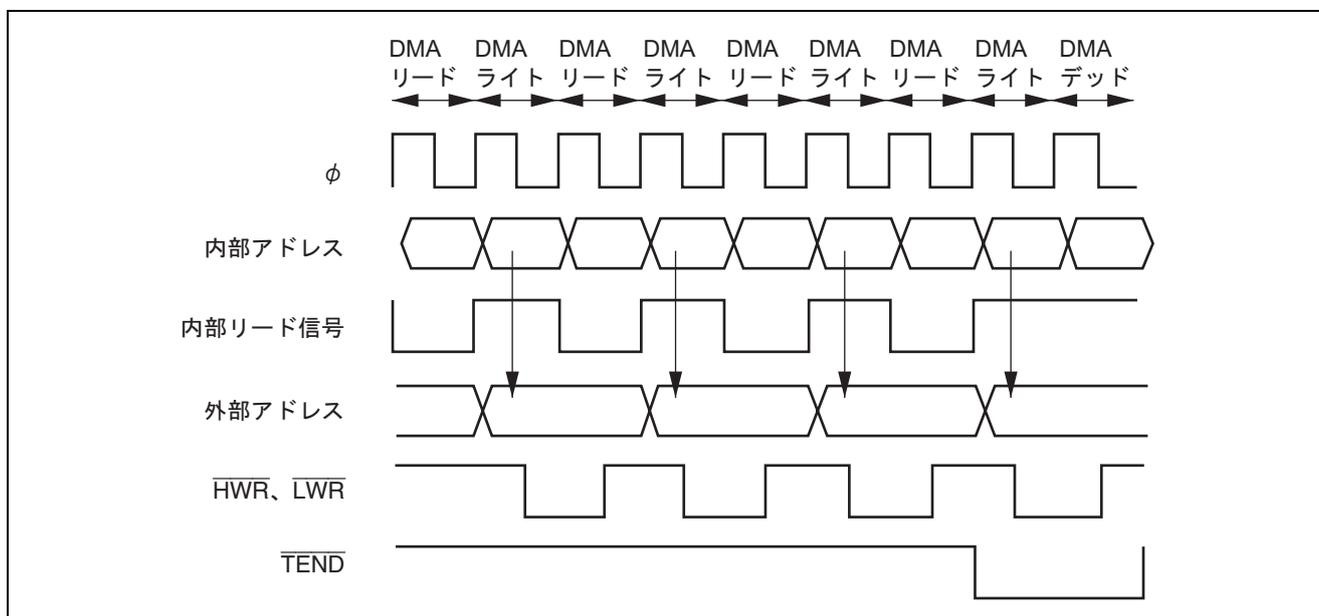


図 7.32 ライトデータバッファ機能を用いたデュアルアドレス転送例

図 7.33 に、ライトデータバッファ機能を用いたシングルアドレス転送の例を示します。CPU のプログラム領域が内蔵メモリにある場合の例です。

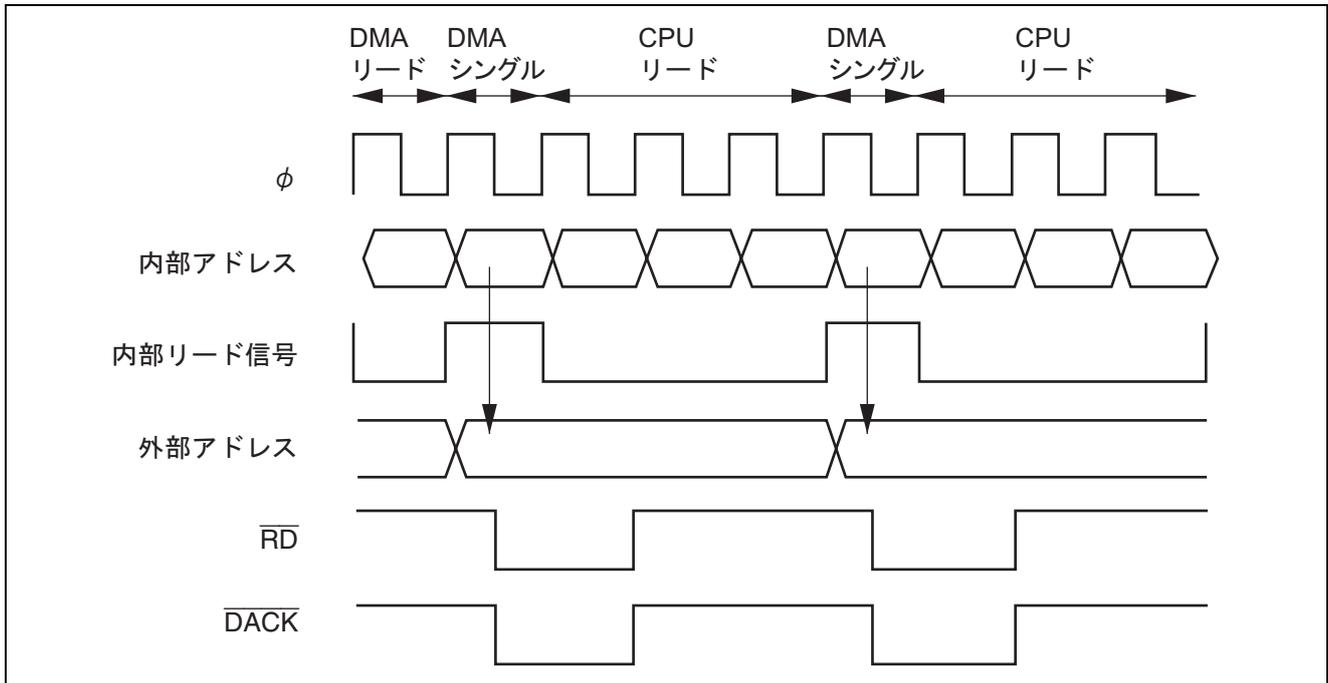


図 7.33 ライトデータバッファ機能を用いたシングルアドレス転送例

DMAC は、ライトデータバッファ機能を起動した時点で、当該バスサイクルは終了したと認識して次の動作を開始します。したがって、 \overline{DREQ} 端子のサンプリングは、DMA ライトサイクルまたはシングルアドレス転送開始の 1 ステート後から開始されます。

7.5.12 複数チャネルの動作

DMAC のチャネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 7.11 に DMAC のチャネル間優先順位を示します。

表 7.11 DMAC のチャネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑
チャンネル 0B		
チャンネル 1A	チャンネル 1	↓ 低
チャンネル 1B		

複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合は、DMAC はバスを解放した時点で転送要求の発生しているチャネルの中から表 7.11 の優先順位に従って、最も優先度の高いチャネルを選択して転送します。バースト転送中およびブロック転送で 1 ブロック転送中は、転送終了までチャネルを切り替えて転送することはありません。図 7.34 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

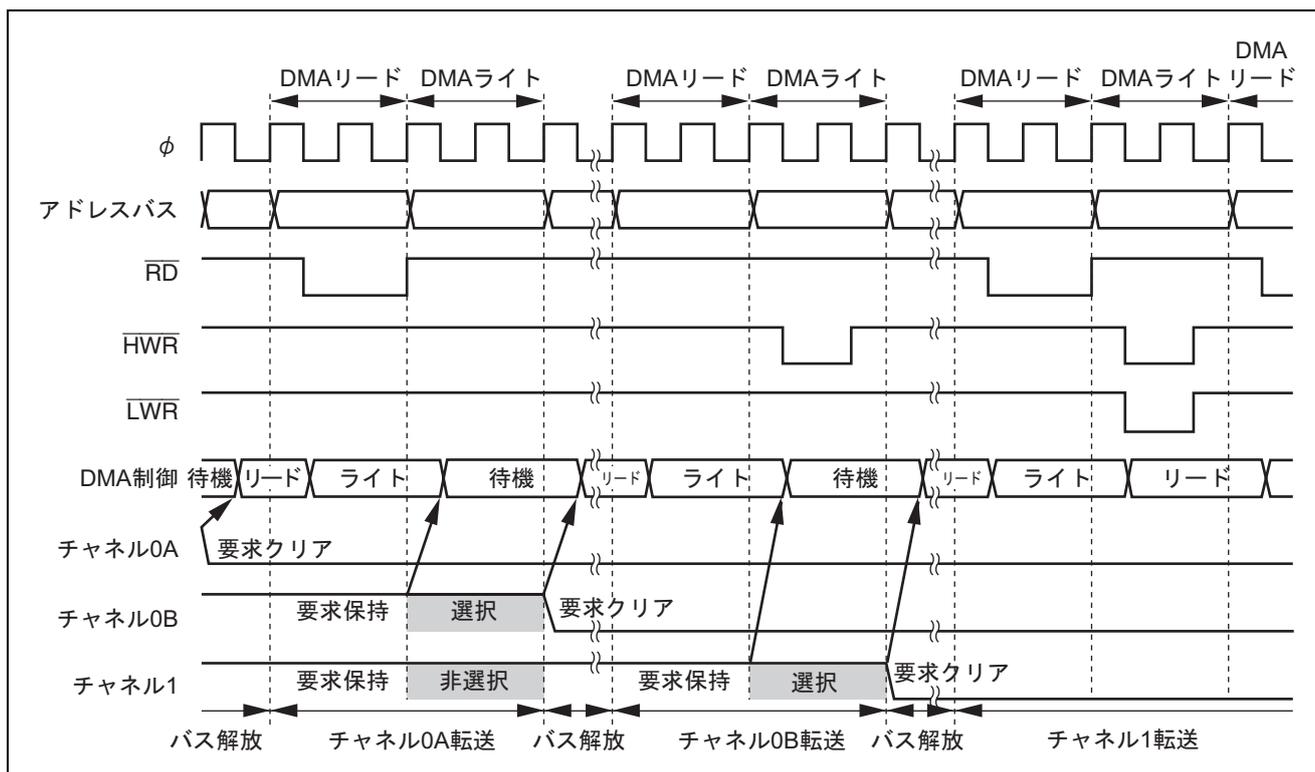


図 7.34 複数チャネル転送例

7.5.13 DMAC と外部バス権要求、リフレッシュサイクル*¹、EXDMAC*²

DMAC が外部空間をアクセスする場合、リフレッシュサイクル*¹、EXDMAC サイクル*²、外部バス解放サイクルとの競合が発生する場合があります。このとき、バスコントローラは外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っている場合でも転送をいったん中断し、リフレッシュサイクル*¹、EXDMAC サイクル*²、外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い DTC、CPU の外部アクセスは、DMAC が外部バスを解放するまで待機します)。

DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクル後となります。外部リードサイクルと外部ライトサイクルの間は分割不可のため、この間でバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMA サイクルがリフレッシュサイクル*¹、EXDMAC サイクル*²、外部バス解放サイクルと同時に実行される場合があります。

【注】 *1 5V 版ではサポートしていません。

*2 H8S/2424 グループではサポートしていません。

7.5.14 DMAC と NMI 割り込み

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DMABCRL の DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で転送を中断してバスを解放し、CPU にバス権を移します。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。図 7.35 にバーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を示します。

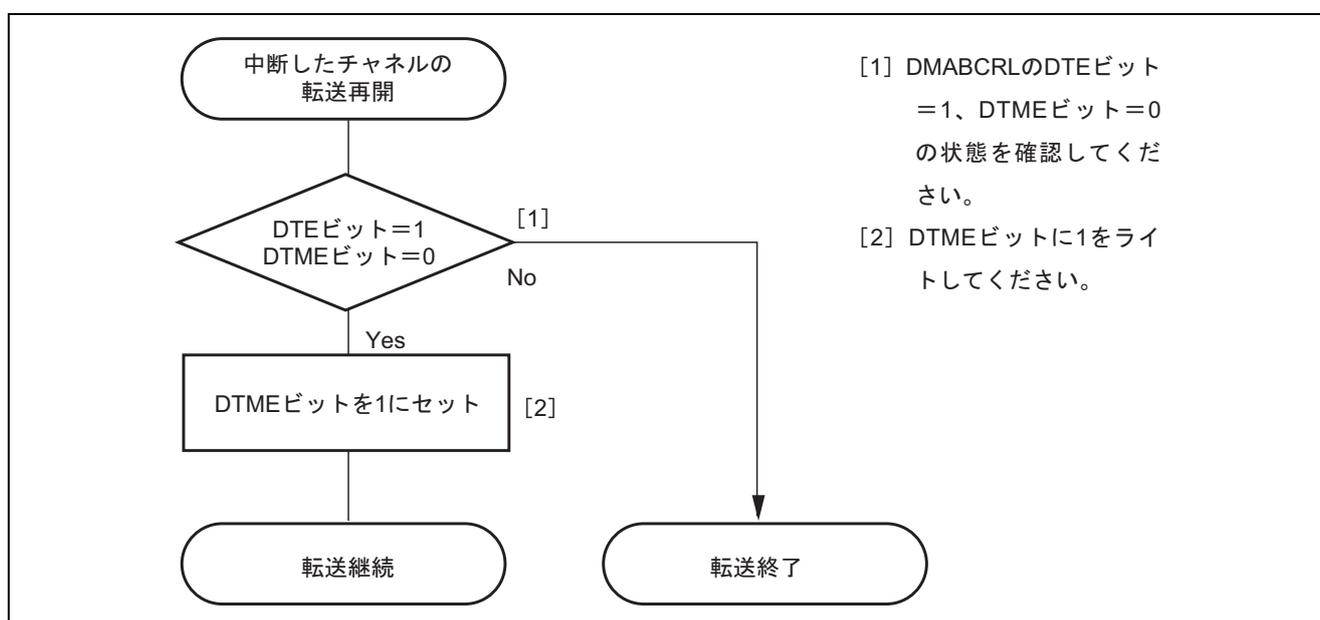


図 7.35 NMI 割り込みにより中断したチャンネルの転送継続手順例

7.5.15 DMAC の強制終了

動作中のチャンネルの DMABCRL の DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。フルアドレスモードの場合は DMABCRL の DTME ビットについても同様です。図 7.36 に DMAC をソフトウェアで強制終了させる場合の手順を示します。

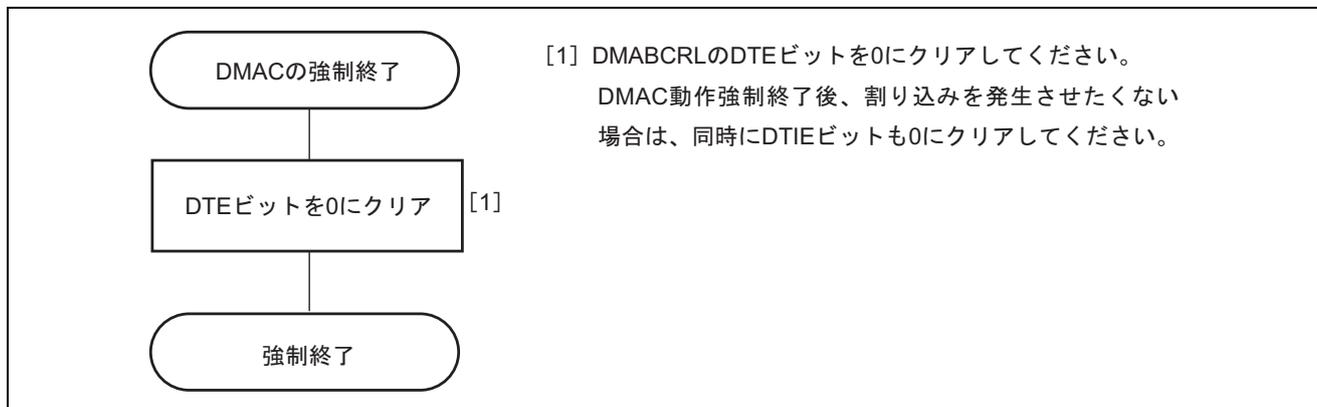


図 7.36 DMAC の強制終了手順例

7.5.16 フルアドレスモードの解除

図 7.37 にフルアドレスモードに設定したチャンネルを解除し、初期化する手順を示します。解除後に再設定する場合には、各転送モードの設定手順に従ってください。

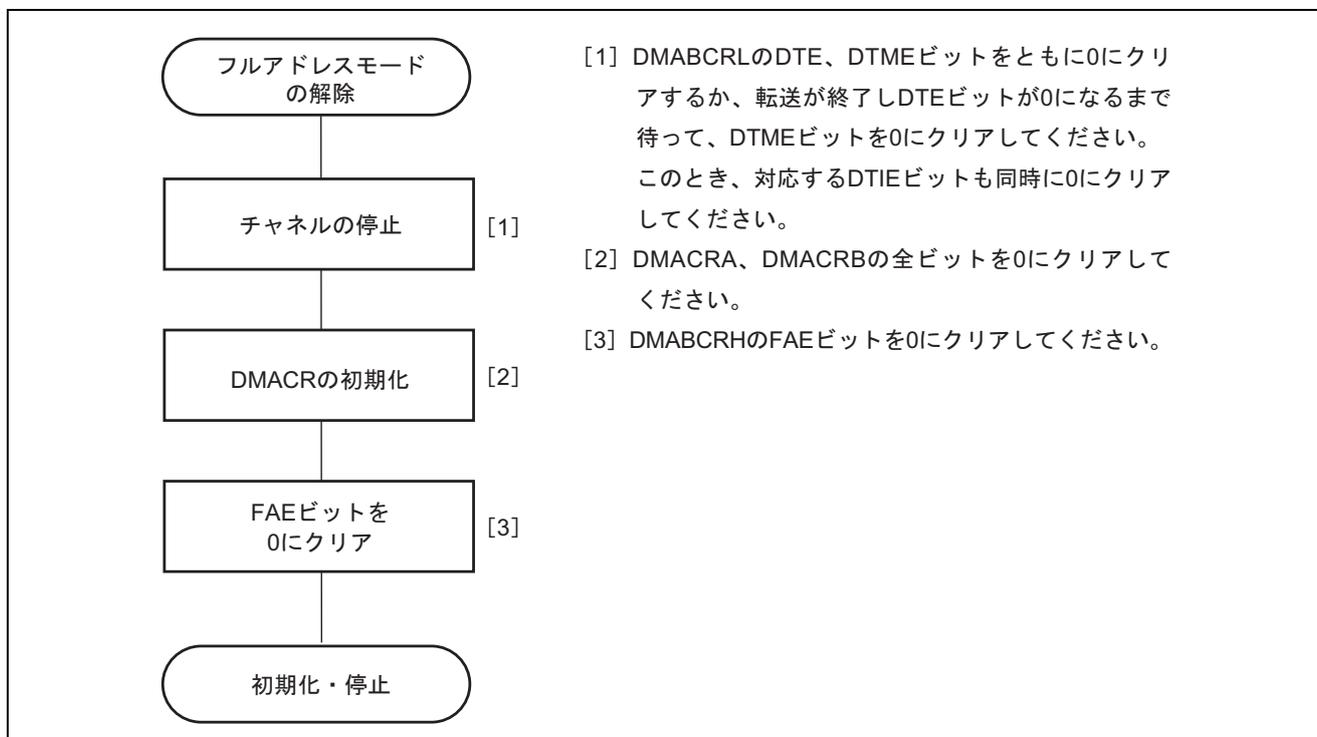


図 7.37 フルアドレスモード解除手順例

7.6 割り込み要因

DMAC が発生する割り込み要因は転送終了、転送中断です。表 7.12 に割り込み要因と優先度を示します。

表 7.12 割り込み要因と優先度

割り込み 名称	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DMTEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ ↓ 低
DMTEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DMTEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DMTEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCRL の対応するチャンネルの DMABCRL の DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 7.12 に示すようになっています。

図 7.38 に転送終了／転送中断割り込みのブロック図を示します。DMABCRL の DTE=0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

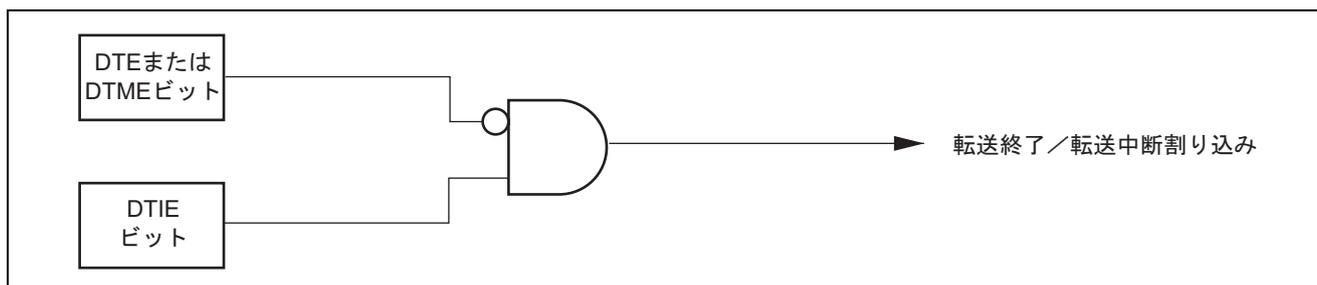


図 7.38 転送終了／転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIE=1 のときに DTME ビットが 0 にクリアされると発生します。ショートアドレスモード、フルアドレスモードともに設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

7.7 使用上の注意事項

(1) 動作中の DMAC のレジスタアクセス

DMAC の強制終了を除き、動作中（転送待ち状態を含む）のチャンネルの設定は変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。また、DMA 転送による DMAC のレジスタへのライトは行わないでください。

動作中（転送待ち状態を含む）の DMAC のレジスタリードに関しては次のようになります。

- DMA制御は、バスサイクルより1サイクル早く起動し、アドレス値を出力します。このため、MARはDMA転送前のバスサイクルに更新されます。図7.39にデュアルアドレス転送モードにおけるDMACのレジスタの更新タイミング例を示します。

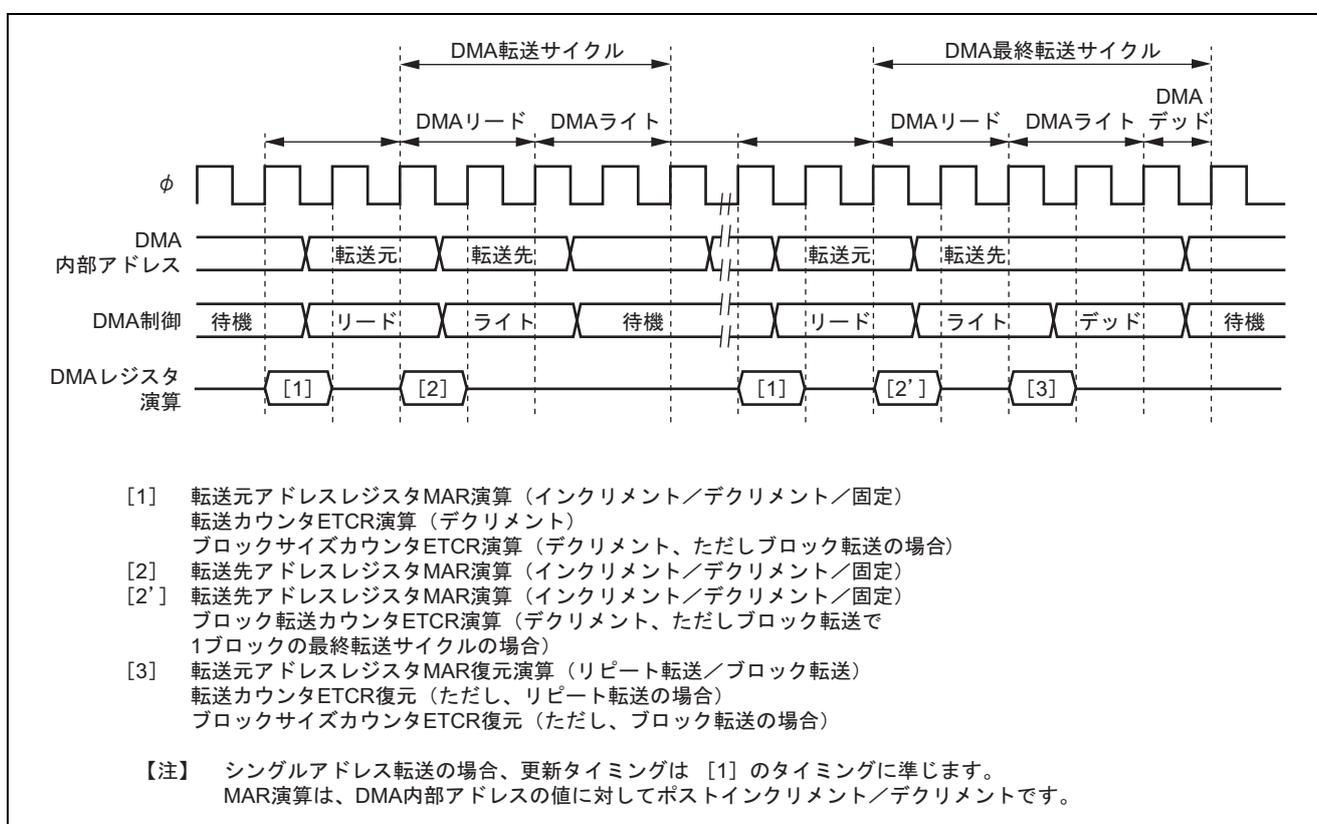


図 7.39 DMAC のレジスタの更新タイミング

- DMACのレジスタリード直後にDMACの転送サイクルが起ると、図7.40のようにDMACのレジスタがリードされます。

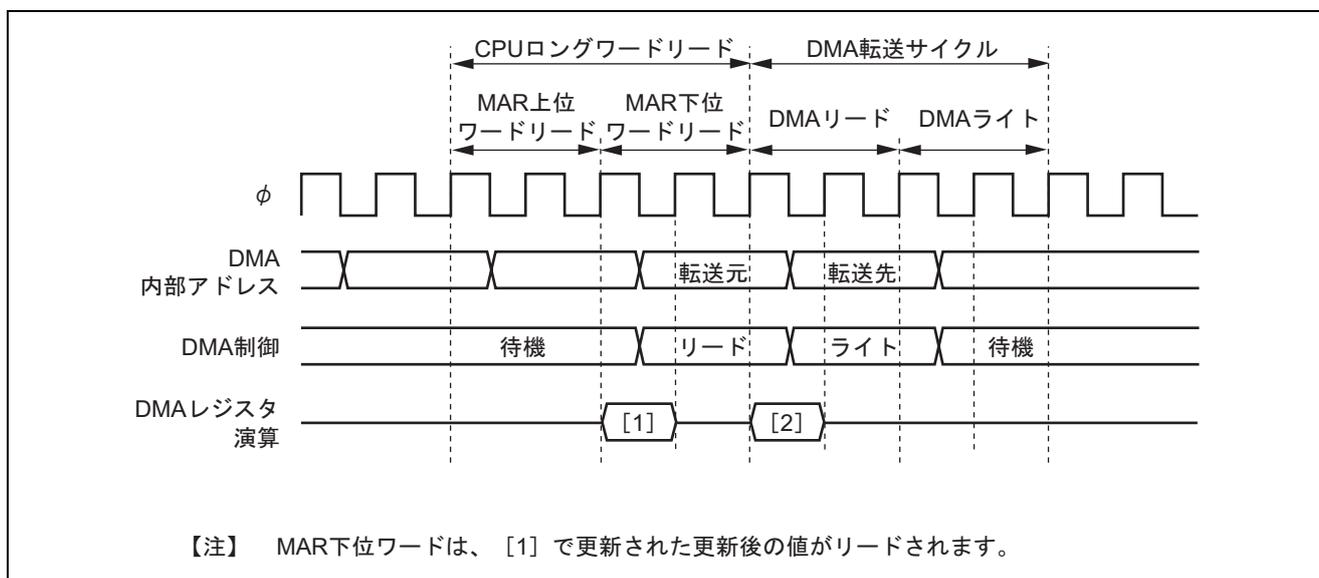


図 7.40 DMAC レジスタの更新と CPU リードの競合

(2) モジュールストップ

MSTPCRH の MSTP13 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTP13 ビットを 1 にセットできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じてモジュールストップに先立って無効にしてください。

- 転送終了/中断割り込み (DTE=0かつDTIE=1)
- $\overline{\text{TEND}}$ 端子イネーブル (TEE=1)
- $\overline{\text{DACK}}$ 端子イネーブル (FAE=0かつSAE=1)

(3) ライトデータバッファ機能

バスコントローラの BCR の WDBE ビットを 1 にセットし、ライトデータバッファ機能を有効にすると、デュアルアドレス転送の外部ライトサイクルまたは、シングルアドレス転送と内部アクセス（内蔵メモリまたは内部 I/O レジスタ）とを並行して実行します。

- ライトデータバッファ機能とDMACのレジスタ設定
ライトデータバッファ機能による外部アクセス実行中に、外部アクセスを制御するようにDMACのレジスタの設定を変更すると、外部アクセスが正常に行えない場合があります。外部アクセスを制御するレジスタの操作は、DMACの動作を禁止した状態で外部リードするなどして、外部アクセスと並行しない状態で行ってください。
- ライトデータバッファ機能とDMACの次の動作
ライトデータバッファ機能を用いた外部アクセス中に、DMACは次の動作を開始することができます。このため、ライトデータバッファ機能を禁止している場合と比較して、 $\overline{\text{DREQ}}$ 端子のサンプリングタイミングや、 $\overline{\text{TEND}}$ 出力タイミングなどが変化します。また、内部バスサイクルが隠れて見えなくなることがあります。

(4) $\overline{\text{TEND}}$ 出力について

最終転送サイクルが内部アドレスの場合には、 $\overline{\text{TEND}}$ 端子から Low レベルを出力するように設定にした場合でも、外部バスが下記の条件では最終転送サイクル（内部バスサイクル）と外部バスサイクルが平行して実行されるため、 $\overline{\text{TEND}}$ 端子から Low レベルが出力されない場合がありますので注意してください。

1. EXDMACサイクル*1
2. ライトバッファモードがイネーブル状態でのライトサイクル
3. ライトバッファモードがイネーブル状態での別チャンネルのDMACのシングルアドレスサイクル
4. バス解放サイクル
5. CBRリフレッシュサイクル

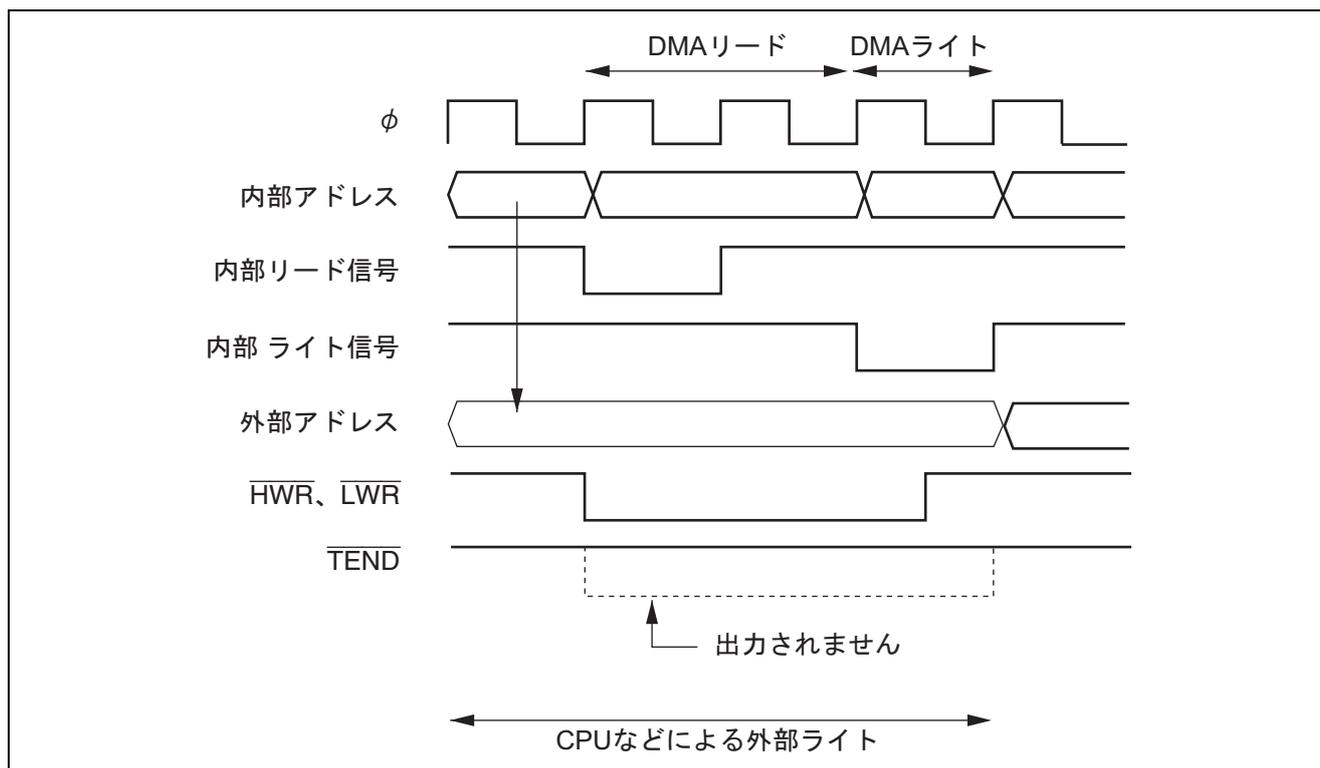
図 7.41 に、上記の 2. の場合で $\overline{\text{TEND}}$ 端子から Low レベルが出力されない場合の例を示します。

最終転送サイクルが外部アドレスの場合には、バスサイクルに同期して $\overline{\text{TEND}}$ 端子から Low レベルが出力されます。

ただし、最終転送サイクルと CBR リフレッシュ*2 が同時に発生した場合、CBR リフレッシュ*2 と最終転送サイクルが連続して実行される場合がありますが、このときリフレッシュサイクル*2 に対しても $\overline{\text{TEND}}$ 端子が Low レベル出力となる場合がありますので注意してください。

【注】 *1 H8S/2424 グループではサポートしていません。

*2 5V 版ではサポートしていません。

図 7.41 $\overline{\text{TEND}}$ 端子に Low レベルが出力されない例

(5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$ 端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い次のようになります。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ 端子のLowレベルの検出を待ち、2.に遷移します。
2. 転送待ち状態：DMACのデータ転送が可能になるのを待ち、3.に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ 端子のHighレベルの検出を待ち、1.に遷移します。

DMAC の転送許可後は、1.に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(6) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ 端子の立ち下がりエッジセンス/Low レベルセンスともに Low レベルを検出しています。同様に内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL へのライト以前に発生している内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベル出力は、要求を受け付けます。

DMAC の起動時には、必要に応じて前回の転送終了時などの内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベルが残らないようにしてください。

(7) 転送終了後の内部割り込み

転送終了または強制終了により、DMABCRL の DTE ビットが 0 にクリアされると、DMABCRH の DTA=1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時にすでに DMAC 内部で起動がかかっている場合にはデータ転送は実行されますが、DTA=1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

(8) チャネルの再設定

複数のチャネルが転送許可状態で複数のチャネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR の制御ビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行うと、元の処理ルーチンで DMABCR をライトするデータが異なってしまい、ライトにより多重割り込みでの操作結果を無効にしてしまうことがありますので注意してください。多重割り込みで DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアするとき、および 0 をライトするときは DTE/DTME=0 の状態をいったんリードしないと、CPU で 1 をライトできません。

8. EXDMA コントローラ (EXDMAC)

本 LSI は、2 チャンネルの外部バス転送専用 DMA コントローラ (EXDMAC) を内蔵しています。EXDMAC は、DACK (DMA 転送通知) 付き外部デバイスと外部メモリ間の転送を CPU に代わって高速に行うことができます。

【注】 H8S/2424 グループでは EXDMAC をサポートしていません。

8.1 特長

- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 最大転送回数は16M (16,777,215回) /無限大 (フリーランニング)
- アドレスモードはデュアルアドレスモード/シングルアドレスモードの選択が可能
- バスモードはサイクルスチールモード/バーストモードの選択が可能
- 転送モードはノーマルモード/ブロック転送モードの選択が可能
- 転送要求は、外部リクエスト、オートリクエスト
- 割り込み要求は設定した転送回数終了後、CPUに割り込み要求を発生
- リピートエリア設定機能
- 内部バスマスタとの並列動作が可能
- $\overline{\text{EDRAK}}$ 端子により、外部デバイスに対して転送要求を受け付けて転送処理開始を通知
- モジュールストップ状態への設定が可能

EXDMAC のブロック図を図 8.1 に示します。

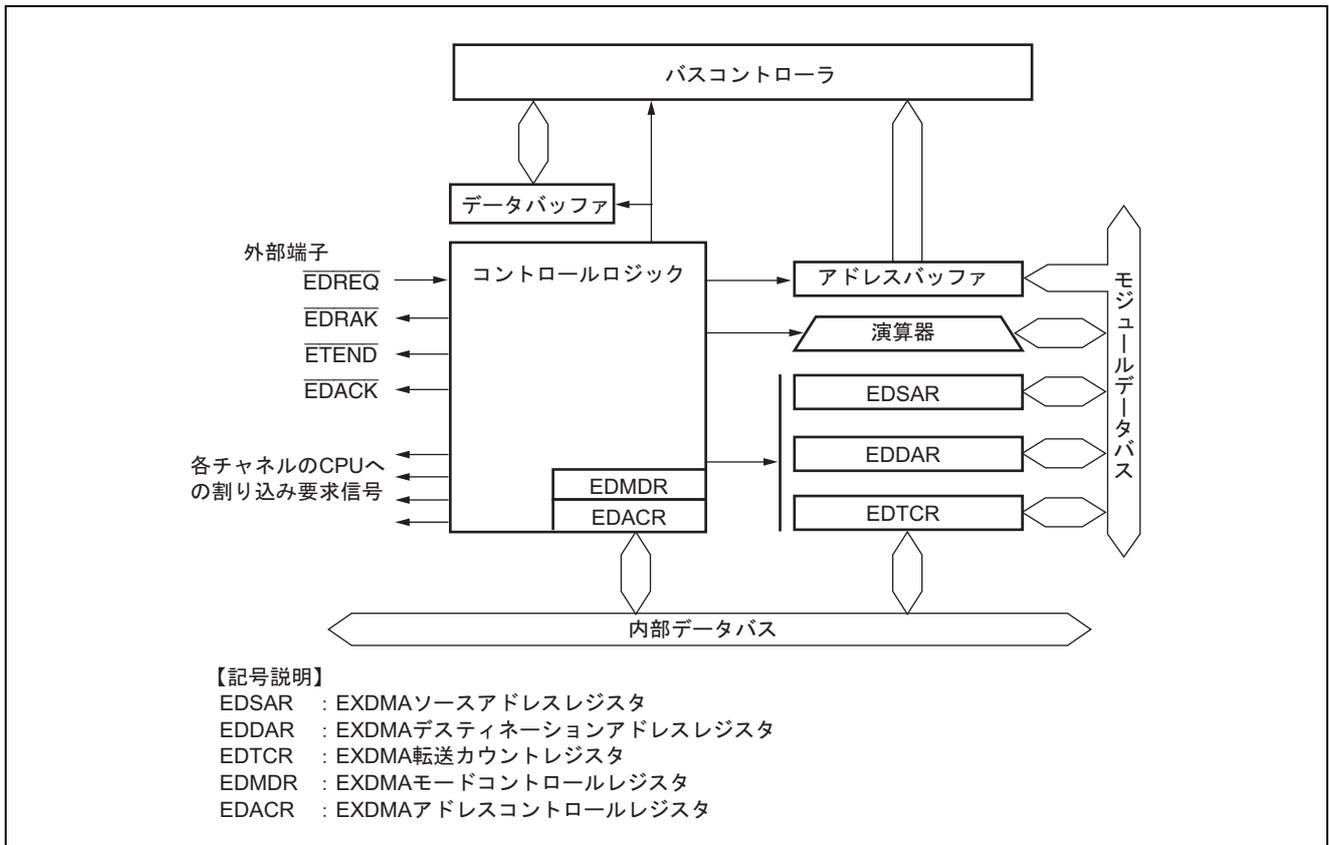


図 8.1 EXDMAC のブロック図

8.2 入出力端子

EXDMAC の端子構成を表 8.1 に示します。

表 8.1 端子構成

チャンネル	名称	略称	入出力	機能
2	EXDMA 転送リクエスト 2	EDREQ2	入力	チャンネル 2 の外部リクエスト
	EXDMA 転送アクノレッジ 2	EDACK2	出力	チャンネル 2 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 2	ETEND2	出力	チャンネル 2 の転送終了
	EDREQ2 受け付け確認	EDRAK2	出力	チャンネル 2 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知
3	EXDMA 転送リクエスト 3	EDREQ3	入力	チャンネル 3 の外部リクエスト
	EXDMA 転送アクノレッジ 3	EDACK3	出力	チャンネル 3 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 3	ETEND3	出力	チャンネル 3 の転送終了
	EDREQ3 受け付け確認	EDRAK3	出力	チャンネル 3 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知

8.3 レジスタの説明

EXDMAC には以下のレジスタがあります。

- EXDMA ソースアドレスレジスタ₂ (EDSAR₂)
- EXDMA デスティネーションアドレスレジスタ₂ (EDDAR₂)
- EXDMA 転送カウンタレジスタ₂ (EDTCR₂)
- EXDMA モードコントロールレジスタ₂ (EDMDR₂)
- EXDMA アドレスコントロールレジスタ₂ (EDACR₂)
- EXDMA ソースアドレスレジスタ₃ (EDSAR₃)
- EXDMA デスティネーションアドレスレジスタ₃ (EDDAR₃)
- EXDMA 転送カウンタレジスタ₃ (EDTCR₃)
- EXDMA モードコントロールレジスタ₃ (EDMDR₃)
- EXDMA アドレスコントロールレジスタ₃ (EDACR₃)

8.3.1 EXDMA ソースアドレスレジスタ (EDSAR)

EDSAR は転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送元アドレスに更新されます。シングルアドレスモードにおいて、 $\overline{\text{DACK}}$ 付きデバイスを転送元に指定した場合、EDSAR の値は無視されます。

上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。ライトするときは 0 をライトしてください。

EDSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDSAR をリードする場合はロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDSAR にはライトしないでください。EDSAR の初期値は不定です。

8.3.2 EXDMA デスティネーションアドレスレジスタ (EDDAR)

EDDAR は転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送先アドレスに更新されます。シングルアドレスモードにおいて、 $\overline{\text{DACK}}$ 付きデバイスを転送先に指定した場合、EDDAR の値は無視されます。

上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。ライトするときは 0 をライトしてください。

EDDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDDAR をリードする場合はロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDDAR にはライトしないでください。EDDAR の初期値は不定です。

8.3.3 EXDMA 転送カウントレジスタ (EDTCR)

EDTCR は転送回数を設定します。転送モードにより機能が異なります。EXDMA 動作中のチャンネルの EDTCR にライトしないでください。

(1) ノーマル転送モード

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
23~0		すべて 不定	R/W	24 ビット転送カウンタ 転送回数を設定します。H'000001 に設定すると、転送要求は 1 回です。H'000000 に設定すると"転送回数=設定なし"となり、転送カウンタは機能を停止します。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFF に設定すると、最大値 16,777,215 回になります。EXDMA 動作中は残りの転送回数を示します。 リードは常に可能です。転送処理中のチャンネルの EDTCR をリードするときは、ロングワードサイズでリードしてください。

(2) ブロック転送モード

ビット	ビット名	初期値	R/W	説明
31~24	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
23~16		すべて 不定	R/W	ブロックサイズ ブロック転送時のブロックサイズ (バイト数、ワード数) を設定します。H'01 に設定すると、ブロックサイズは 1 です。H'00 に設定すると、ブロックサイズは最大値 256 になります。レジスタの値は常に指定したブロックサイズを示します。
15~0		すべて 不定	R/W	16 ビット転送カウンタ ブロック転送回数を設定します。H'0001 に設定すると、ブロック転送回数は 1 回です。H'0000 に設定すると"転送回数=設定なし"となり、転送カウンタは機能を停止します。この場合、転送カウンタによる転送終了割り込みは発生しません。H'FFFF に設定すると、ブロック転送回数は最大値 65,535 回になります。EXDMA 動作中は残りの転送回数を示します。

8.3.4 EXDMA モードコントロールレジスタ (EDMDR)

EDMDR は EXDMAC の動作を制御します。

ビット	ビット名	初期値	R/W	説明
15	EDA	0	R/W	<p>EXDMA アクティブ</p> <p>対応するチャンネルのデータ転送を許可/禁止します。このビットが1にセットされていると、EXDMA 動作中であることを示します。</p> <p>オートリクエストを指定 (MDS1、MDS0 ビットで指定) した場合、このビットを1にセットすると転送処理に入ります。外部リクエストでは、このビットを1にセットした後に転送要求が発生すると転送処理に入ります。</p> <p>EXDMA 動作中にこのビットを0にクリアすると転送を停止します。ブロック転送モードで、EXDMA 動作中にこのビットを0にクリアすると、処理中の1ブロック転送期間は転送を継続し、1ブロックの転送終了後にこのビットが0にクリアされます。</p> <p>転送を終了 (中断) させる外的要因が発生した場合は、自動的にこのビットが0にクリアされて、転送を終了します。このビットを1にセットした状態で動作モード、転送方法などを変更しないでください。</p> <p>0: 対応チャンネルのデータ転送を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 指定回数の転送を終了したとき リピートエリアオーバフロー割り込みにより停止したとき EDA=1 のときに0 ライトしたとき <p>ただし、ブロック転送モードでは1ブロック転送終了後に反映</p> <ul style="list-style-type: none"> リセット、NMI 割り込み、ハードウェアスタンバイモード時 <p>1: 対応チャンネルのデータ転送を許可</p> <p>【注】 EDA ビットは、ライトした値が直ちに反映されない期間が存在します。</p>
14	BEF	0	R/(W)*	<p>ブロック転送エラーフラグ</p> <p>ブロック転送中にエラーが発生したことを示すフラグです。ブロック転送中に NMI 割り込みが発生すると、EXDMAC は直ちに EXDMA 動作を終了し、このビットを1にセットします。アドレスレジスタは次の転送アドレスを示しますが、1ブロックサイズの内の転送を行ったデータは失われます。</p> <p>0: ブロック転送エラーなし</p> <p>[クリア条件]</p> <p>BEF=1 をリード後、0 をライトしたとき</p> <p>1: ブロック転送エラーあり</p> <p>[セット条件]</p> <p>ブロック転送中に NMI 割り込みの発生</p>

ビット	ビット名	初期値	R/W	説明
13	EDRAKE	0	R/W	EDRAK 端子出力イネーブル EDREQ 受け付け確認、転送処理開始 (EDRAK) 端子の出力を許可するビットです。 0 : EDRAK 端子の出力を禁止 1 : EDRAK 端子の出力を許可
12	ETENDE	0	R/W	$\overline{\text{ETEND}}$ 端子出力イネーブル EXDMA 転送終了 ($\overline{\text{ETEND}}$) 端子の出力を許可するビットです。 0 : $\overline{\text{ETEND}}$ 端子の出力を禁止 1 : $\overline{\text{ETEND}}$ 端子の出力を許可
11	EDREQS	0	R/W	$\overline{\text{EDREQ}}$ セレクト 外部リクエストモードで使用する $\overline{\text{EDREQ}}$ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。 0 : Low レベル検出 1 : 立ち下がりエッジ検出 (転送許可後の最初の転送は Low レベルで検出します。)
10	AMS	0	R/W	アドレスモードセレクト アドレスモードをシングルアドレスモードとデュアルアドレスモードから選択します。シングルアドレスモードにすると $\overline{\text{EDACK}}$ 端子が有効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード
9 8	MDS1 MDS0	0 0	R/W R/W	モードセレクト 1、0 起動要因、バスモード、転送モードを指定します。 00 : オートリクエスト、サイクルスチールモード、ノーマル転送モード 01 : オートリクエスト、バーストモード、ノーマル転送モード 10 : 外部リクエスト、サイクルスチールモード、ノーマル転送モード 11 : 外部リクエスト、サイクルスチールモード、ブロック転送モード
7	EDIE	0	R/W	EXDMA インタラプトイネーブル 割り込み要求を許可または禁止するビットです。このビットを 1 にセットすると、IRF ビットが 1 にセットされたときに割り込み要求を発生します。割り込み要求は、このビットを 0 にクリアするか、IRF ビットを 0 にクリアすると解除されます。 0 : 割り込み要求禁止 1 : 割り込み要求許可

ビット	ビット名	初期値	R/W	説明
6	IRF	0	R/(W)*	<p>インタラプトリクエストフラグ</p> <p>割り込み要求が発生し、転送終了したことを示すフラグです。</p> <p>0: 割り込み要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> EDA ビットに 1 をライトしたとき IRF=1 をリード後、0 をライトしたとき <p>1: 割り込み要求の発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 転送カウンタによる転送終了割り込み要求が発生したとき ソースアドレスリピートエリアオーバフロー割り込み要求が発生したとき デスティネーションアドレスリピートエリアオーバフロー割り込み要求が発生したとき
5	TCEIE	0	R/W	<p>転送カウンタエンドインタラプトイネーブル</p> <p>転送カウンタによる転送終了割り込み要求を許可または禁止するビットです。このビットが 1 にセットされているとき、転送カウンタにより転送終了すると、IRF ビットが 1 にセットされ、割り込み要求が発生したことを示します。</p> <p>0: 転送カウンタによる転送終了割り込み要求を禁止</p> <p>1: 転送カウンタによる転送終了割り込み要求を許可</p>
4	SDIR	0	R/W	<p>シングルアドレスディレクション</p> <p>シングルアドレスモード時のデータ転送の方向を指定します。デュアルアドレスモードでは、このビットの設定は無視されます。</p> <p>0: 転送方向は、EDSAR→DACK 付き外部デバイス</p> <p>1: 転送方向は、DACK 付き外部デバイス→EDDAR</p>
3	DTSIZE	0	R/W	<p>データトランスミットサイズ</p> <p>転送するデータのサイズを指定するビットです。</p> <p>0: バイトサイズ</p> <p>1: ワードサイズ</p>
2	BGUP	0	R/W	<p>バスギブアップ</p> <p>このビットを 1 にセットすると、バーストモード、ブロック転送モード時に、内部バスマスタからバス権の要求があると、バス権を譲ることができます。ノーマルモード、サイクルスチールモード時はこのビットの設定は無視されます。</p> <p>0: バス権を解放しない</p> <p>1: 内部バスマスタからバス権の要求があると、バス権を譲る</p>
1	—	0	R/W	リザーブビット
0	—	0	R/W	リード/ライト可能ですが、0 をライトしてください。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8.3.5 EXDMA アドレスコントロールレジスタ (EDACR)

EDACR はアドレスレジスタの増減、リピートエリア機能を指定します。

ビット	ビット名	初期値	R/W	説明
15	SAT1	0	R/W	ソースアドレス更新モード
14	SAT0	0	R/W	<p>転送元アドレス (EDSAR) の増減を指定します。シングルアドレスモードで転送元を DACK 付き外部デバイスに設定した場合は、このビットの指定は無視されません。</p> <p>0X : 固定</p> <p>10 : 増加 (バイト転送時+1、ワード転送時+2)</p> <p>11 : 減少 (バイト転送時-1、ワード転送時-2)</p>
13	SARIE	0	R/W	<p>ソースアドレスリピートインタラプトイネーブル</p> <p>このビットを 1 にセットすると、ソースアドレスのリピートエリアのオーバフローが発生したときに、EDMDR の IRF ビットを 1 にセットし、EDMDR の EDA ビットを 0 にクリアして転送を終了します。IRF ビットが 1 にセットされているとき EDMDR の EDIE=1 の場合、CPU に対して割り込み要求が発生します。</p> <p>ブロック転送モードと併用する場合、ソースアドレスリピート割り込み要求は 1 ブロックサイズの転送が終了してから発生します。ソースアドレスリピート割り込みにより転送終了したチャンネルの EDMDR の EDA ビットを 1 にセットすると、転送終了した状態から引き続き転送を再開することができます。ソースアドレスリピートエリアを設定していない場合は、このビットは無視されます。</p> <p>0 : ソースアドレスリピート割り込み要求が発生しない。</p> <p>1 : ソースアドレスのリピートエリアのオーバフローが発生したときに EDMDR の IRF ビットを 1 にして、割り込み要求が発生する。</p>

ビット	ビット名	初期値	R/W	説明
12	SARA4	0	R/W	<p>ソースアドレスリピートエリア</p> <p>ソースアドレス (EDSAR) にリピートエリアを設定するビットです。</p> <p>リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。リピートエリアのサイズは、2 バイトから 8 M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。アドレスが増減してリピートエリアがオーバーフローした場合、下位アドレスはアドレスが増加するとリピートエリアの先頭アドレスになり、アドレスが減少するとリピートエリアの最後のアドレスになります。SARIE ビットを 1 にセットすると、リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>00000 : リピートエリアの設定なし</p> <p>00001 : 下位 1 ビット (2 バイト) をリピートエリアに設定</p> <p>00010 : 下位 2 ビット (4 バイト) をリピートエリアに設定</p> <p>00011 : 下位 3 ビット (8 バイト) をリピートエリアに設定</p> <p>00100 : 下位 4 ビット (16 バイト) をリピートエリアに設定</p> <p style="text-align: center;">:</p> <p>10011 : 下位 19 ビット (512K バイト) をリピートエリアに設定</p> <p>10100 : 下位 20 ビット (1M バイト) をリピートエリアに設定</p> <p>10101 : 下位 21 ビット (2M バイト) をリピートエリアに設定</p> <p>10110 : 下位 22 ビット (4M バイト) をリピートエリアに設定</p> <p>10111 : 下位 23 ビット (8M バイト) をリピートエリアに設定</p> <p>11XXX : 設定禁止</p>
11	SARA3	0	R/W	
10	SARA2	0	R/W	
9	SARA1	0	R/W	
8	SARA0	0	R/W	
7	DAT1	0	R/W	<p>デスティネーションアドレス更新モード</p> <p>転送先アドレス (EDDAR) の増減を指定します。シングルアドレスモードで転送先を DACK 付き外部デバイスに設定した場合は、このビットの指定は無視されません。</p> <p>0X : 固定</p> <p>10 : 増加 (バイト転送時+1、ワード転送時+2)</p> <p>11 : 減少 (バイト転送時-1、ワード転送時-2)</p>
6	DAT0	0	R/W	

ビット	ビット名	初期値	R/W	説明
5	DARIE	0	R/W	<p>デスティネーションアドレスリポートインタラプトイネーブル</p> <p>このビットを1にセットすると、デスティネーションアドレスのリポートエリアのオーバフローが発生したときに、EDMDRのIRFビットを1にセットし、EDMDRのEDAビットを0にクリアして転送を終了します。IRFビットが1にセットされているときEDMDRのEDIE=1の場合、CPUに対して割り込み要求が発生します。ブロック転送モードと併用する場合、デスティネーションアドレスリポート割り込み要求は1ブロックサイズの転送が終了してから発生します。デスティネーションアドレスリポート割り込みにより転送終了したチャンネルのEDMDRのEDAビットに1をセットすると、転送終了した状態から引き続き転送を再開することができます。デスティネーションアドレスリポートエリアを設定していない場合は、このビットは無視されます。</p> <p>0：デスティネーションアドレスリポート割り込み要求が発生しない。</p> <p>1：デスティネーションアドレスのリポートエリアのオーバフローが発生したときにEDMDRのIRFビットを1にして、割り込み要求が発生をする。</p>
4	DARA4	0	R/W	<p>デスティネーションアドレスリポートエリア</p> <p>デスティネーションアドレス (EDDAR) にリポートエリアを設定するビットです。リポートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。リポートエリアのサイズは、2バイトから8Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。アドレスが増減してリポートエリアがオーバフローした場合、下位アドレスは、アドレスが増加するとリポートエリアの先頭アドレスになり、アドレスが減少するとリポートエリアの最後のアドレスになります。DARIEビットを1にセットすると、リポートエリアのオーバフローが発生したときに割り込み要求が発生することができます。</p> <p>00000：リポートエリアの設定なし</p> <p>00001：下位1ビット(2バイト)をリポートエリアに設定</p> <p>00010：下位2ビット(4バイト)をリポートエリアに設定</p> <p>00011：下位3ビット(8バイト)をリポートエリアに設定</p> <p>00100：下位4ビット(16バイト)をリポートエリアに設定</p> <p>：</p> <p>：</p> <p>10011：下位19ビット(512Kバイト)をリポートエリアに設定</p> <p>10100：下位20ビット(1Mバイト)をリポートエリアに設定</p> <p>10101：下位21ビット(2Mバイト)をリポートエリアに設定</p> <p>10110：下位22ビット(4Mバイト)をリポートエリアに設定</p> <p>10111：下位23ビット(8Mバイト)をリポートエリアに設定</p> <p>11XXX：設定禁止</p>
3	DARA3	0	R/W	
2	DARA2	0	R/W	
1	DARA1	0	R/W	
0	DARA0	0	R/W	

【記号説明】 X：Don't care

8.4 動作説明

8.4.1 転送モード

EXDMAC の転送モードを表 8.2 に示します。

表 8.2 EXDMAC の転送モード

転送モード			転送要因	転送回数	アドレスレジスタ	
					ソース	デスティネーション
デュアル アドレス モード	ノーマル 転送モード	オートリクエストモード ・ バースト/ サイクルスチールモード	オートリクエスト	1~16,777,215 または指定なし	EDSAR	EDDAR
		外部リクエストモード ・ サイクルスチールモード	外部リクエスト			
	ブロック 転送モード	外部リクエストモード ・ 1回の転送要求で指定した ブロックサイズをバースト 転送 ・ ブロックサイズは 1~256 バイトまたはワード	外部リクエスト	1~65,535 または指定なし		
シングル アドレス モード	<ul style="list-style-type: none"> ・ ソースまたはデスティネーションアドレスレジスタの代わりに EDACK 端子を用いて外部デバイスとの直接データ転送 ・ アドレスレジスタの設定以外は、上記の各転送モードを指定可能 ・ 1バスサイクルで 1回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 				EDSAR/ EDACK	EDACK/ EDDAR

転送モードは各チャンネルごとに設定可能です。

ノーマル転送モードでは、1回の転送要求で1バイトまたは1ワードのデータ転送を実行します。オートリクエストの場合、バースト/サイクルスチール転送モードを設定可能です。バースト転送モードの場合、指定した転送回数を実行するか、転送イネーブルビットを0にクリアするまで高速に連続転送することができます。

ブロック転送モードでは、1回の転送要求で指定したブロックサイズの転送を実行します。ブロックサイズは1~256 (バイト/ワード) です。1ブロック内の転送はバースト転送モードと同等の高速転送が可能です。

転送回数に指定なしを設定した場合 (EDTCR=H'000000)、転送カウンタは停止して、転送回数に制限がなくなり永続して転送が可能になります。

メモリアドレスは、1または2の増減、固定を各アドレスレジスタに対して独立に設定可能です。

各モードとも、2のべき乗バイトのリPEATエリアを設定可能です。

8.4.2 アドレスモード

(1) デュアルアドレスモード

転送元、転送先を共に EXDMAC 内のレジスタで指定して、1 回の転送を 2 バスサイクルで実行するモードです。

転送元アドレスはソースアドレスレジスタ (EDSAR) に、転送先アドレスはデスティネーションアドレスレジスタ (EDDAR) に設定します。

転送動作は、最初のバスサイクルで転送元アドレスで指定した外部メモリの値をリードして、次のバスサイクルで転送先アドレスで指定した外部メモリにライトします。

リードサイクルとライトサイクルの間は分割不可となっています。このため、2つのバスサイクルの間に他のバスサイクル (内部バスマスタの外部アクセス、リフレッシュサイクル、外部バス解放サイクル) は発生しません。

$\overline{\text{ETEND}}$ 端子の出力は、EDMDR の ETENDE ビットにより、許可/禁止を設定することができます。 $\overline{\text{ETEND}}$ は連続する 2 バスサイクルの間出力されます。 $\overline{\text{EDACK}}$ 端子は出力されません。

図 8.2 に、デュアルアドレスモードのタイミング例を示します。

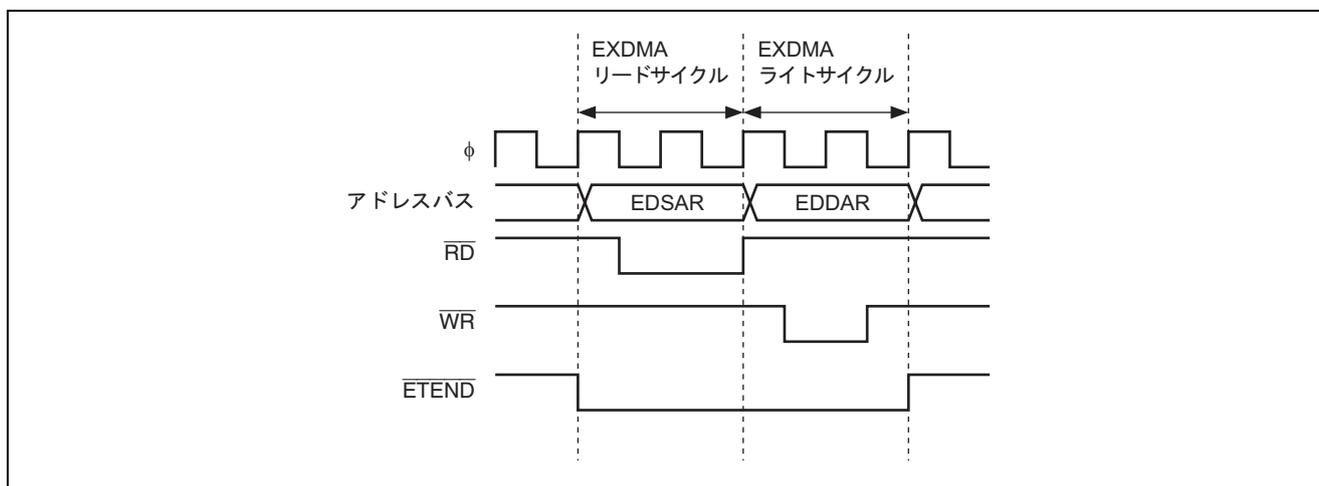


図 8.2 デュアルアドレスモードのタイミング例

(2) シングルアドレスモード

ソースまたはデスティネーションアドレスレジスタの代わりに $\overline{\text{EDACK}}$ 端子を用いて外部デバイスと外部メモリの間で直接データを転送するモードです。このモードで EXDMAC は、外部 I/O へのストローブ信号 ($\overline{\text{EDACK}}$) を転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1つのバスサイクルで EXDMA 転送を行うことができます。図 8.3 に示す外部メモリと DACK 付き外部デバイスとの転送の例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

転送方向は、EDMDR の SDIR ビットにより、DACK 付き外部デバイスを転送元にするか転送先にするかを指定できます。SDIR=0 では、外部メモリ (EDSAR) → DACK 付き外部デバイスへの転送、SDIR=1 では、DACK 付き外部デバイス → 外部メモリ (EDDAR) への転送になります。

転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタ設定は無視されます。

$\overline{\text{EDACK}}$ 端子は、シングルアドレスモードに設定すると自動的に有効になります。 $\overline{\text{EDACK}}$ 端子はローアクティブです。 $\overline{\text{ETEND}}$ 端子の出力は、EDMDR の ETENDE ビットにより、許可/禁止を設定することができます。 $\overline{\text{ETEND}}$ は 1 バスサイクルの間出力されます。

図 8.3 にシングルアドレスモードでのデータの流れを示します。図 8.4 にシングルアドレスモードのタイミング例を示します。

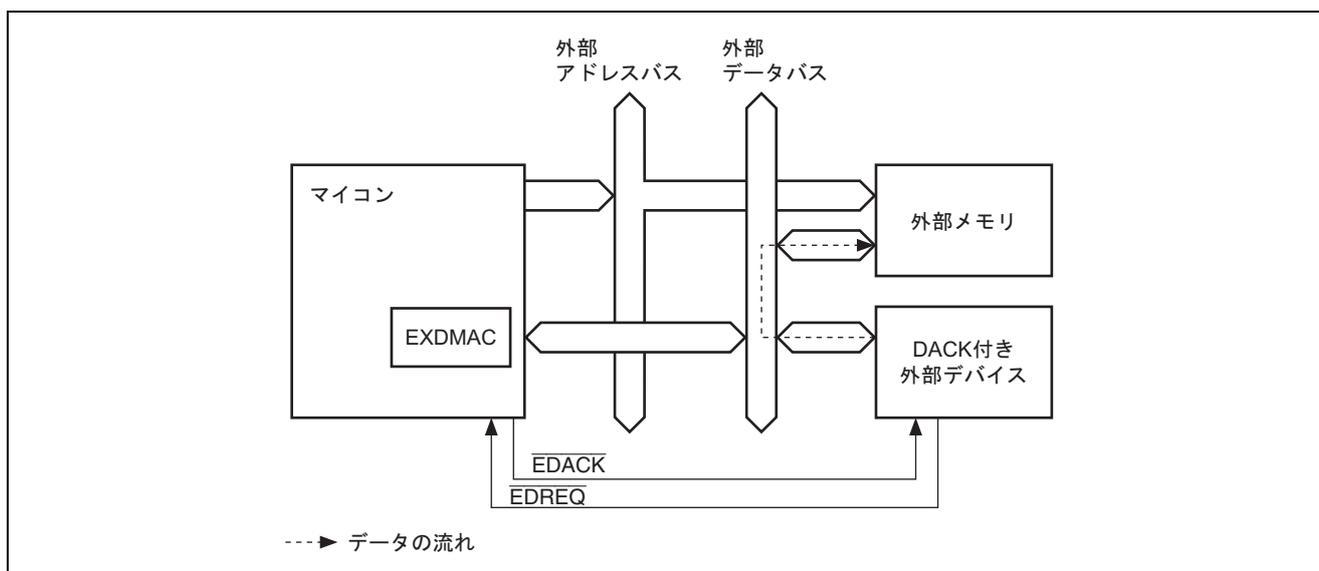


図 8.3 シングルアドレスモードでのデータの流れ

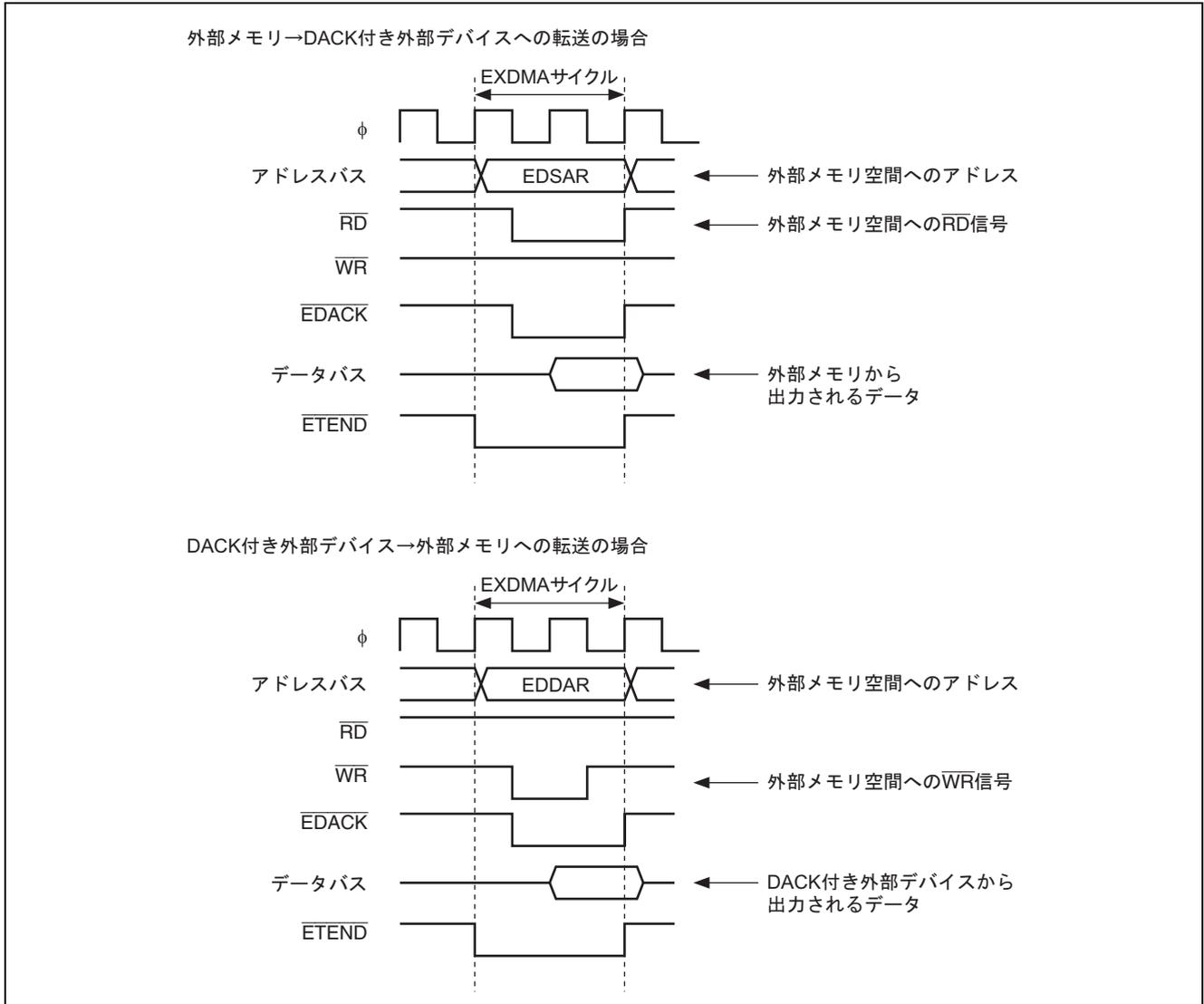


図 8.4 シングルアドレスモードのタイミング例

8.4.3 EXDMA 転送要求

(1) オートリクエストモード

オートリクエストモードは、メモリとメモリ間の転送や、転送要求を発生できない周辺モジュールとメモリ間との転送のように、転送要求信号が外部から来ない場合に、EXDMAC 内部で自動的に転送要求信号を発生するモードです。オートリクエストモードでは、EDMDR の EDA ビットを 1 にセットすると転送が開始されます。

オートリクエストモードでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。ブロック転送モードではオートリクエストモードは使用できません。

(2) 外部リクエストモード

外部リクエストモードは、本 LSI の外部デバイスからの転送要求信号 ($\overline{\text{EDREQ}}$) によって転送を開始するモードです。EXDMA 転送が許可されているとき (EDA=1) に $\overline{\text{EDREQ}}$ が入力されると EXDMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

転送要求信号は、 $\overline{\text{EDREQ}}$ 端子で受け付けます。 $\overline{\text{EDREQ}}$ 端子を立ち下がりエッジで検出するか Low レベルで検出するかは、EDMDR の EDREQS ビットで選択します (EDREQS=0 は Low レベル検出、EDREQS=1 は立ち下がりエッジ検出)。

EDMDR の EDRAKE ビットを 1 にセットすると、転送要求を受け付けたことを確認する信号を $\overline{\text{EDRAK}}$ 端子から出力することができます。 $\overline{\text{EDRAK}}$ 信号は、1 回の外部リクエストに対して、受け付けおよび転送処理を開始したときに出力します。 $\overline{\text{EDRAK}}$ 信号により、外部デバイスは $\overline{\text{EDREQ}}$ 信号のネゲートタイミングを知ることができ、転送要求元と EXDMAC とのハンドシェイクを容易にとることができます。

外部リクエストモードでは、バーストモードの代わりにブロック転送モードが使用できます。ブロック転送モードは 1 回の転送要求で指定の回数 (ブロックサイズ) の転送を連続 (バースト) して転送することができます。ブロック転送モードの $\overline{\text{EDRAK}}$ 信号は、 $\overline{\text{EDREQ}}$ による転送要求が 1 ブロック単位なので、1 ブロックの転送に対して 1 回のみ出力されます。

8.4.4 バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。起動要因がオートリクエストの場合、サイクルスチールモードとバーストモードを選択することができます。起動要因が外部リクエストの場合は、サイクルスチールモードになります。

(1) サイクルスチールモード

サイクルスチールモードでは、EXDMAC は 1 回の転送単位 (バイト、ワードまたは 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。これを転送終了条件が満たされるまで繰り返します。

EXDMA 転送中に他のチャンネルに転送要求がある場合は、いったんバス権を解放した後に、転送要求のあったチャンネルの転送を行います。他のバスマスタから外部空間へのバス権要求がない場合は、バス権解放期間が 1 サイクル挿入されます。複数のチャンネルに転送要求がある場合の動作の詳細については「8.4.8 チャンネルの優先順位」を参照してください。

図 8.5 にサイクルスチールモードのタイミング例を示します。

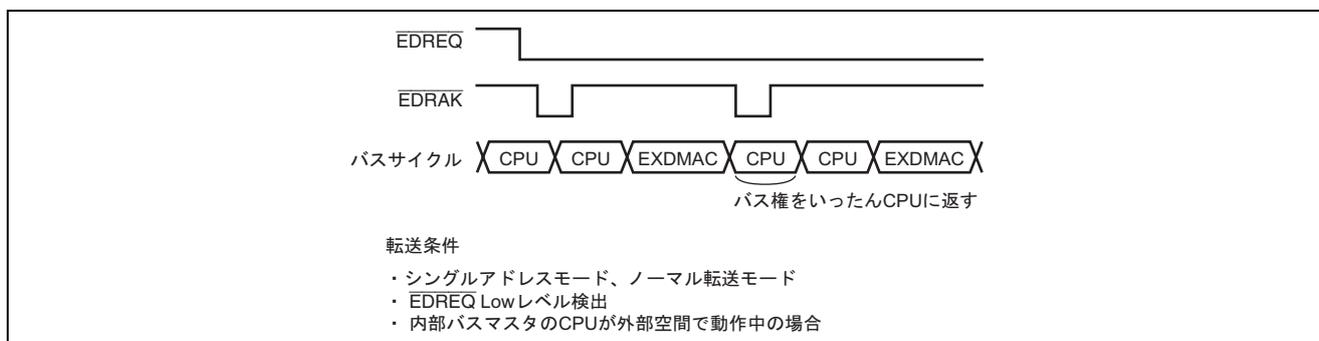


図 8.5 サイクルスチールモードのタイミング例

(2) バーストモード

バーストモードでは、EXDMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。外部リクエストモードにはバーストモードはありません。

バーストモードでは一度転送を開始すると、優先順位の高い他のチャンネルに転送要求がある場合でも、転送を中断することはありません。バーストモードのチャンネルが転送終了すると、次のサイクルはサイクルスチールモードと同様にバス権を解放します。

EDMDR の EDA ビットを 0 にクリアすると、EXDMA 転送は停止します。ただし、EDA ビットを 0 にクリアするまでに EXDMAC 内部で発生した転送要求分の EXDMA 転送は実行されます。

リピートエリアオーバーフロー割り込みが発生した場合は、EDA ビットを 0 にクリアして転送を終了します。

EDMDR の BGUP ビットを 1 にセットすると、バースト転送中に他のバスマスタからバス権要求があった場合、バス権を譲ります。バス権の要求がなければ、BGUP ビットを 1 にセットした場合でもバースト転送します。

図 8.6 にバーストモードのタイミング例を示します。

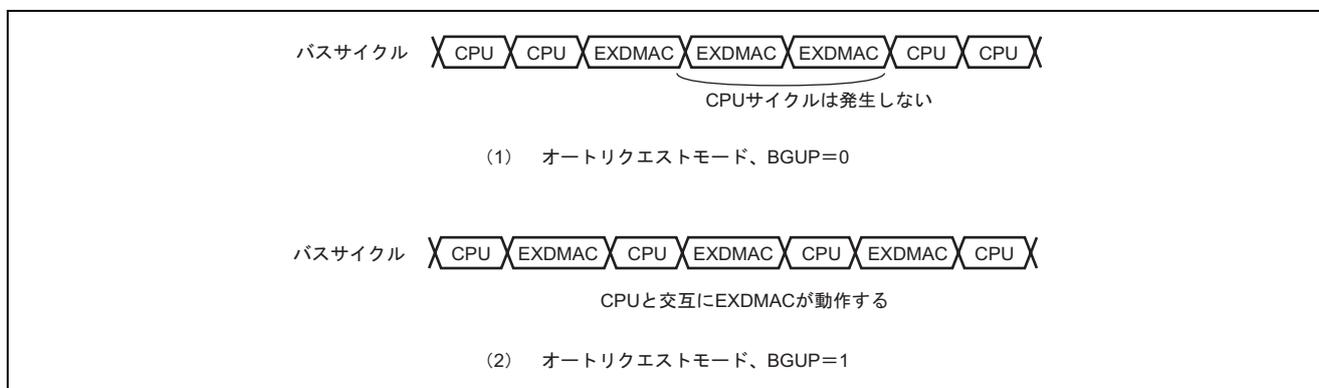


図 8.6 バーストモードのタイミング例

8.4.5 転送モード

転送モードにはノーマル転送モードとブロック転送モードがあります。起動要因が外部リクエストの場合、ノーマル転送モードとブロック転送モードを選択することができます。起動要因がオートリクエストの場合は、ノーマル転送モードになります。

(1) ノーマル転送モード

ノーマル転送モードでは、1回の転送要求に対して1回の転送単位の転送を処理します。EDTCRは24ビット転送カウンタとして機能します。

\overline{ETEND} 出力は、最後の EXDMA 転送でのみ出力されます。 \overline{EDRAK} 出力は、転送要求受け付け、転送処理開始ごとに出力されます。

図 8.7 にノーマル転送モードでの EXDMA 転送タイミング例を示します。

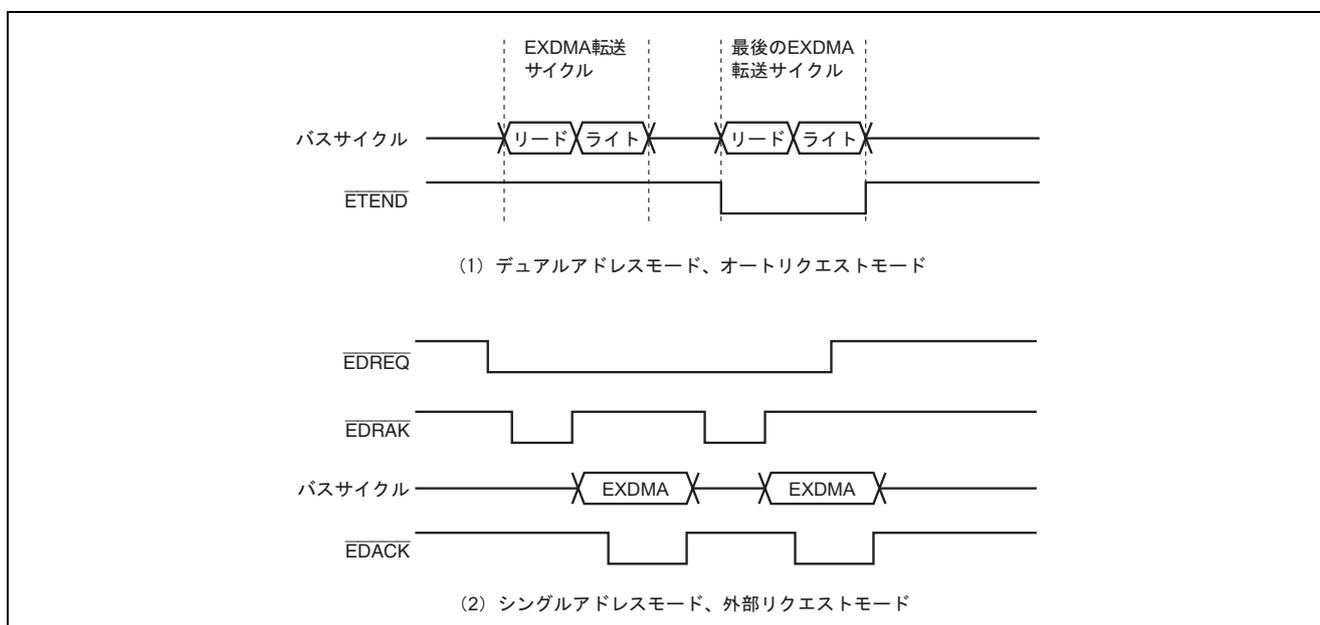


図 8.7 ノーマル転送モードの例

(2) ブロック転送モード

ブロック転送モードでは、1回の転送要求に対してブロックサイズにより指定されたサイズ（バイト数、ワード数）を連続に EXDMA 転送します。EDTCR は上位 8 ビットがブロックサイズ、下位 16 ビットが 16 ビット転送カウンタとして機能します。ブロックサイズは、1～256 まで指定できます。1 ブロック分の転送中は優先順位の高い他のチャンネルの転送要求は待たされます。1 ブロックサイズの転送が終了すると、次のサイクルはバス権を解放します。

EDMDR の BGUP ビットを 1 にセットすると、ブロック転送中に他のバスマスタからバス権要求があった場合にバス権を譲るようになります。

アドレスレジスタの値はノーマルモードの場合と同様に更新されます。1 ブロックの転送終了ごとにアドレスレジスタの値を最初の値に戻す機能はありません。

$\overline{\text{ETEND}}$ 出力は、1 ブロックサイズの転送ごとに、各ブロックの終わりの EXDMA 転送サイクルで出力されます。 $\overline{\text{EDRAK}}$ 出力は、1 回の転送要求（1 ブロック分）に対して 1 回出力されます。

ブロック転送モードでリPEATエリア機能のリPEATエリアオーバフロー割り込みを設定する場合は注意が必要です。詳細は「8.4.6 リPEATエリア機能」を参照してください。

NMI 割り込みが発生した場合は、ブロック転送を強制終了します。詳細は「8.4.12 EXDMA 転送終了」を参照してください。

図 8.8 にブロック転送モードでの EXDMA 転送タイミング例を示します。

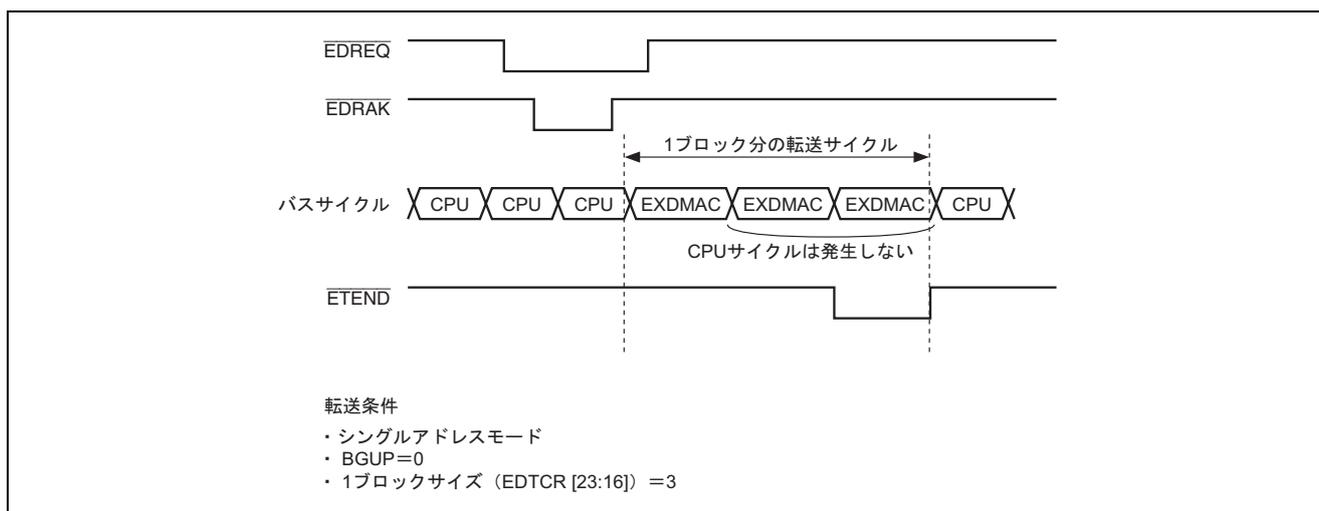


図 8.8 ブロック転送モードの例

8.4.6 リpeatエリア機能

EXDMACにはソースアドレス、デスティネーションアドレス各々にリpeatエリアを設定する機能があります。リpeatエリアを設定するとアドレスレジスタはリpeatエリアに指定された範囲の値を繰り返します。リングバッファを転送対象にしている場合、アドレスレジスタの値がバッファの最終アドレスになる（リングバッファに対するアドレスオーバーフロー）たびに、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要になりますが、リpeatエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作をEXDMAC内で行うことができます。

リpeatエリア機能は、ソースアドレスレジスタとデスティネーションアドレスレジスタに独立して設定できます。

ソースアドレスのリpeatエリアはEDACRのSARA4~0で指定します。デスティネーションアドレスのリpeatエリアはEDACRのDARA4~0で指定します。各々のリpeatエリアのサイズは独立に指定することができます。

アドレスレジスタの値がリpeatエリアの終端になり、リpeatエリアオーバーフローになったときにEXDMA転送を一時停止させCPUに対する割り込みを発生することが可能です。EDACRのSARIEビットを1にセットすると、ソースアドレスレジスタがリpeatエリアオーバーフローしたときにEDMDRのIRFビットを1にセットし、EDMDRのEDAビットを0にクリアして転送を終了します。このとき、EDMDRのEDIEビット=1の場合、割り込み要求を発生させます。EDACRのDARIEビットに1をセットするとデスティネーションアドレスレジスタが対象になります。

割り込み発生中にEDMDRのEDAビットに1をセットすると、引き続き転送を再開します。図8.9にリpeatエリア機能の例を示します。

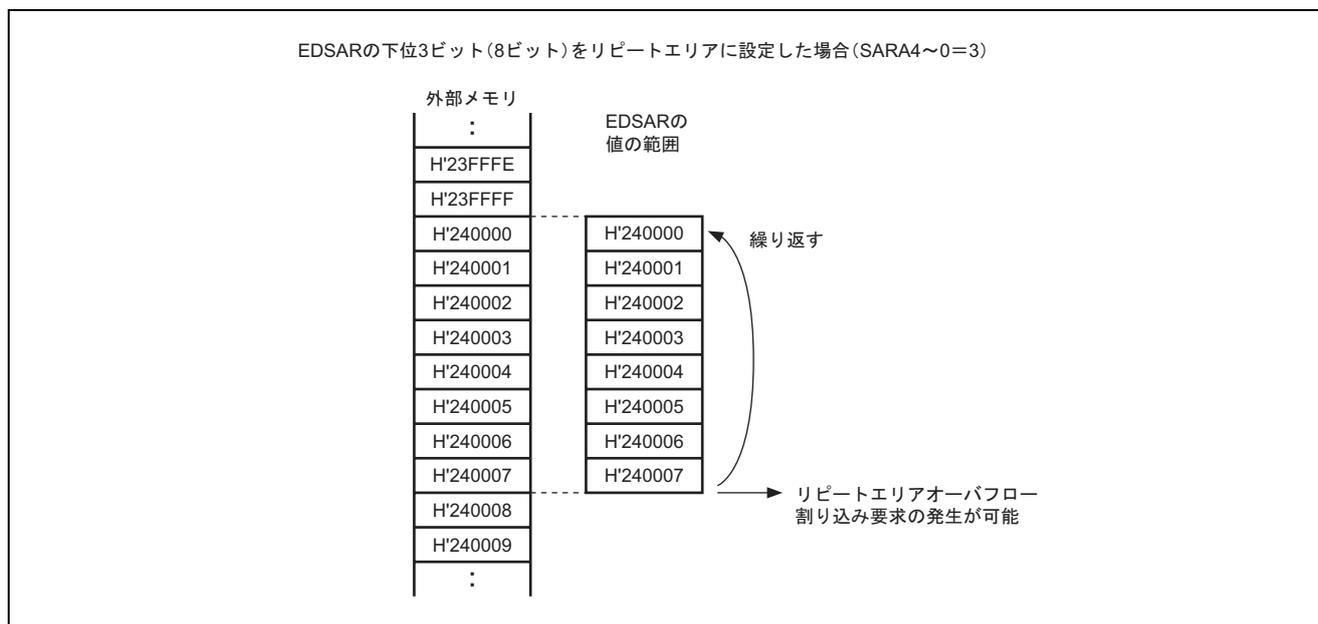


図 8.9 リpeatエリア機能の例

リピートエリアのオーバーフロー割り込み機能をブロック転送モードと併用する場合は注意が必要です。ブロック転送モードにおいてリピートエリアオーバーフローが発生した場合は、転送を終了させるときは、ブロックサイズを2のべき乗になるように指定する必要があります。または、ブロックサイズの切れ目とリピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。

ブロック転送モードの1ブロックサイズを転送している期間にリピートエリアオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまでリピート割り込み要求は保留され、転送はオーバーランします。図8.10にブロック転送モードとリピートエリア機能を併用したときの例を示します。

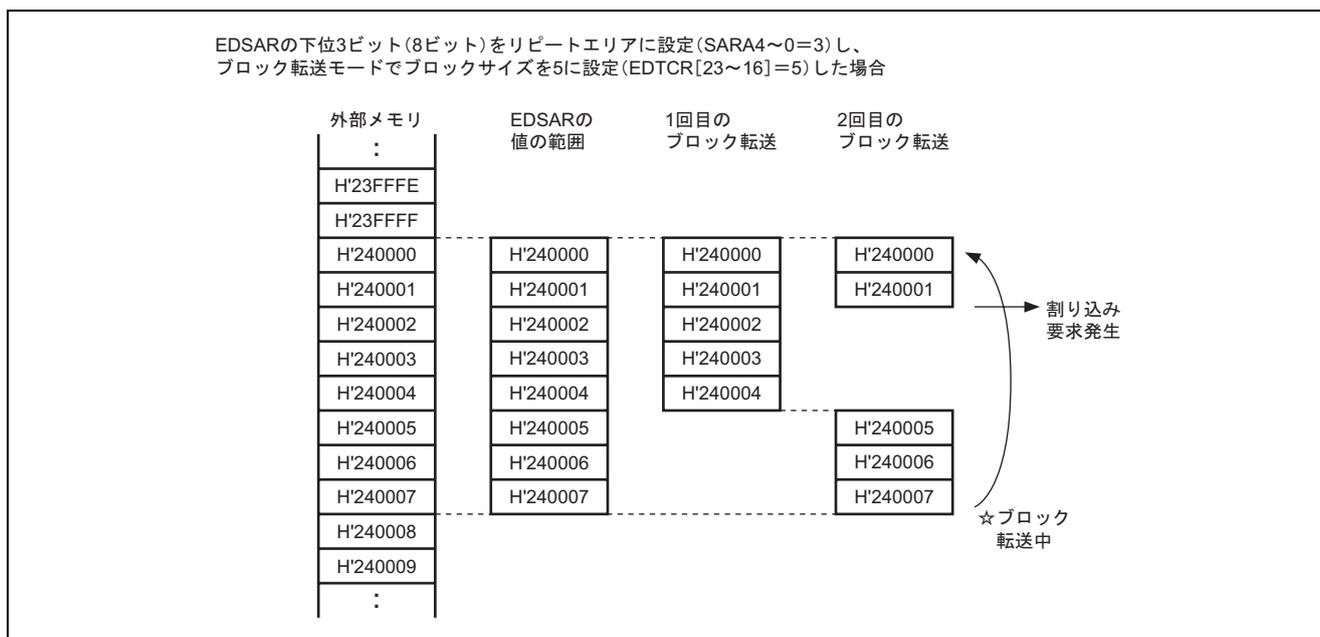


図 8.10 ブロック転送モードとリピートエリア機能を併用したときの例

8.4.7 EXDMA 転送動作中のレジスタ

EXDMAC のレジスタは EXDMA 転送処理に伴い値を更新します。更新される値は各種設定や転送の状態によって異なります。更新するレジスタは、EDSAR、EDDAR、EDTCR、EDMDR の EDA、BEF、IRF ビットです。

(1) EXDMA ソースアドレスレジスタ (EDSAR)

転送元として、EDSAR のアドレスをアクセスするときに、EDSAR の値を出力するとともに次にアクセスするアドレスに更新します。EDACR の SAT1、0 ビットでアドレスの増減を指定します。SAT1=0 ではアドレスは固定されます。SAT1=1 でかつ SAT0=0 では増加、SAT0=1 では減少します。

増減サイズは、転送するデータのサイズで決まります。EDMDR の DTSIZE=0 の場合、バイトサイズになり、アドレスは±1 増減されます。DTSIZE=1 の場合、ワードサイズになり、アドレスは±2 増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に EDSAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の EDSAR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDSAR の値をいったんバッファリングすることによって正常な値を出力します。

転送動作中のチャンネルの EDSAR にライトしないでください。

(2) EXDMA デスティネーションアドレスレジスタ (EDDAR)

転送先として、EDDAR のアドレスをアクセスするときに、EDDAR の値を出力するとともに次にアクセスするアドレスに更新します。EDACR の DAT1、0 ビットで増減を指定します。DAT1=0 ではアドレスは固定されます。DAT1=1 でかつ DAT0=0 では増加、DAT0=1 では減少します。

増減サイズは、転送するデータのサイズで決まります。EDMDR の DTSIZE=0 の場合、バイトサイズになり、アドレスは±1 増減されます。DTSIZE=1 の場合、ワードサイズになり、アドレスは±2 増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に EDDAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の EDDAR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDDAR の値をいったんバッファリングすることによって正常な値を出力します。

転送動作中のチャンネルの EDDAR にライトしないでください。

(3) EXDMA トランスファカウントレジスタ (EDTCR)

EXDMA 転送を行うとともに EDTCR の値は 1 減少します。ただし、EDTCR の値が 0 の場合は転送回数はカウントされないため、EDTCR の値は変化しません。

ブロック転送モードでは、EDTCR の機能が変わります。EDTCR [23:16] の上位 8 ビットはブロックサイズを指定するために使用され、その値は変化しません。EDTCR [15:0] の下位 16 ビットは転送カウンタとして機能し、DMA 転送を行うと同時に EDTCR の値は 1 減少します。ただし、EDTCR [15:0] の値が 0 の場合は転送回数はカウントされないため、EDTCR [15:0] の値は変化しません。

ノーマル転送モードの場合は EDTCR が 24 ビット変化する可能性があるため、EXDMA 転送中に CPU から EDTCR をリードする場合は、ロングワードサイズでアクセスする必要があります。動作中の EDTCR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDTCR の値をいったんバッファリングすることによって正常な値を出力します。

ブロック転送モードでは上位 8 バイトは更新されることがないのでワードサイズでアクセスできます。

動作中のチャンネルの EDTCR にライトしないでください。EXDMA 転送に伴うアドレス更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。

EDTCR=1→0 への更新と CPU によるライト (値は 0 以外) が競合した場合は、EDTCR の値は CPU によるライトが優先されますが、転送終了します。CPU によって EDTCR に 0 をライトしても転送終了はしません。

図 8.11 にノーマル転送モードとブロック転送モードのときの EDTCR の更新動作を示します。

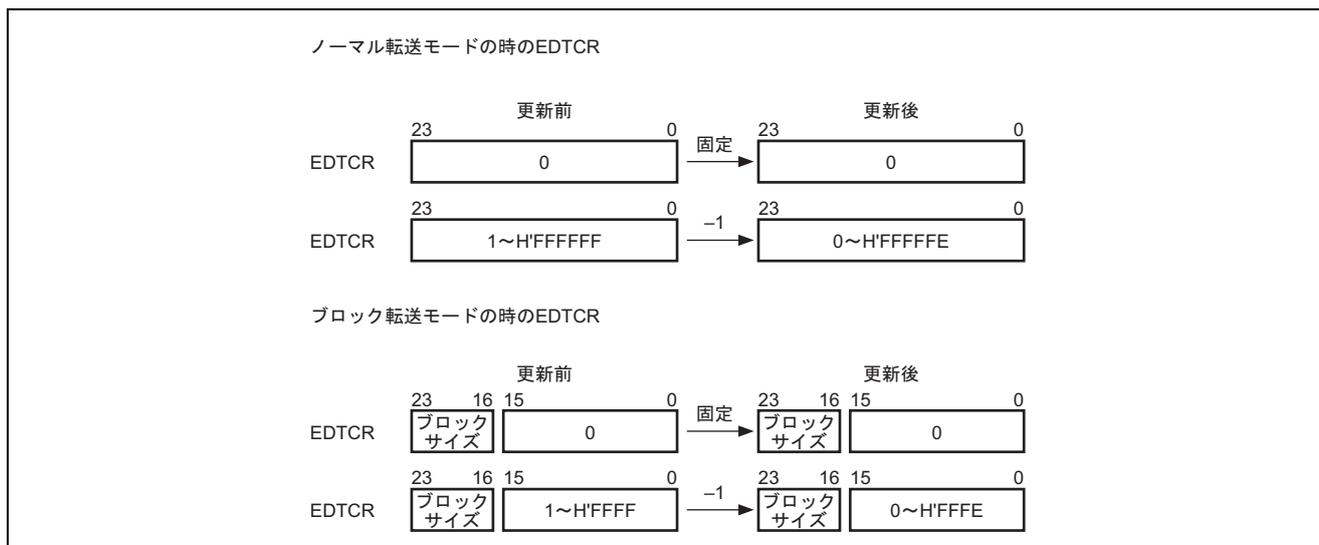


図 8.11 ノーマル転送モードとブロック転送モード時の EDTCR の更新動作

(4) EDMDR の EDA ビット

EDMDR の EDA ビットは CPU によりライトしてデータ転送の許可/禁止を制御して使用しますが、EXDMA 転送状態により EXDMAC によって自動的に EDA ビットをクリアする場合があります。また、転送中には CPU による EDA ビットの 0 ライトが反映されない期間があります。

EXDMAC により EDA ビットがクリアされる条件には以下のものがあります。

- EDTCR の値が 1→0 になり、転送が終了した場合
- リピートエリアオーバフロー割り込み要求が発生し、転送が終了した場合
- NMI 割り込みが発生し、転送が停止した場合
- リセット
- ハードウェアスタンバイモード
- EDA ビットに 0 ライトして、転送が停止した場合

EDA ビットに 0 ライトして転送を停止させるとき、EXDMA 転送中の期間は EDA ビットは 1 を保持します。ブロック転送モードの場合は、1 ブロックサイズの転送は中断されずに行われるため、EDA ビットに 0 ライトしてから 1 ブロックサイズの転送が終了する期間、EDA ビットは 1 を保持します。

バーストモードの場合、EDA ビットに 0 ライトしたバスサイクルから最大で 3 回の EXDMA 転送が行われてから転送を停止します。EDA ビットに 0 ライトしてから最後の EXDMA サイクルが終了するまでの期間、EDA ビットは 1 を保持します。

EDA ビットが 1 になっているチャンネルのレジスタには、ライトすることが禁止されています (EDA ビットは除く)。EDA ビットに 0 ライトしてから各レジスタの設定を変更するときは EDA ビットが 0 にクリアされていることを確認する必要があります。

図 8.12 に動作中のチャンネルのレジスタの設定を変更するときの手順を示します。

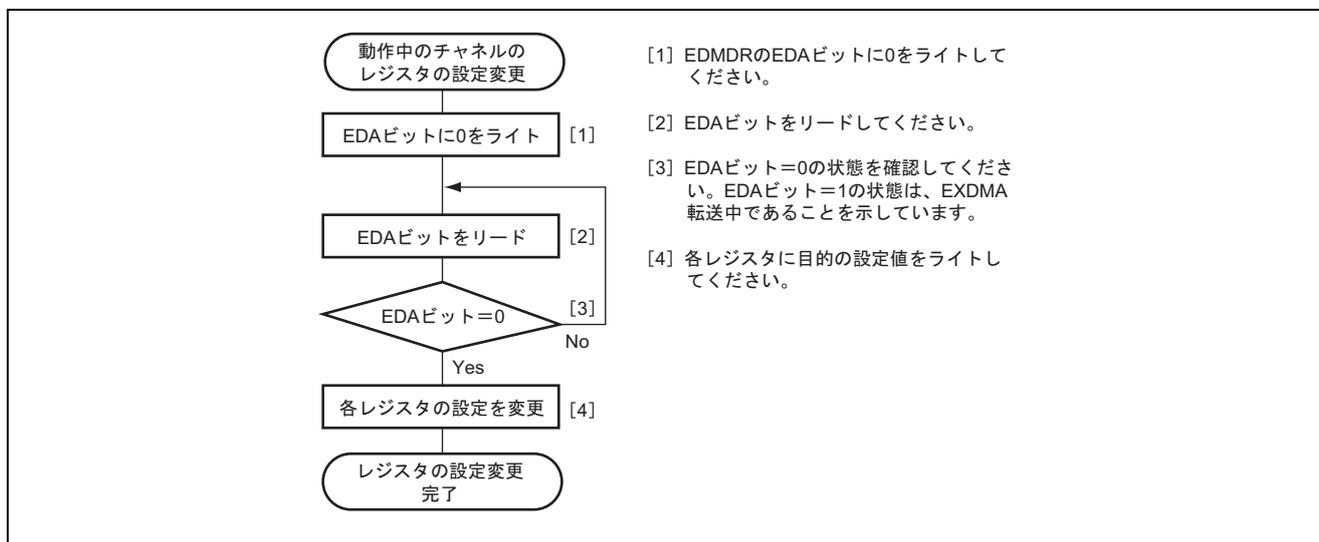


図 8.12 動作中のチャンネルのレジスタの設定を変更するときの手順

(5) EDMDR の BEF ビット

ブロック転送モードは1回の転送要求に対して設定された回数（1ブロックサイズ）の転送を行います。転送回数を正確に保証するために1ブロックサイズの転送は、リセット時、スタンバイ時、そしてNMI 割り込みが発生したときを除いて必ず実行されます。

ブロック転送の最中にNMI 割り込みが発生した場合、1ブロックサイズの転送は途中で中止してEDA ビットを0にクリアして終了します。このとき、ブロック転送中に異常が発生したことを示すBEF ビットをセットします。

(6) EDMDR の IRF ビット

割り込み要求の要因が発生したときEDMDR のIRF ビットは1にセットされます。IRF ビットが1にセットされ、EDMDR のEDIE ビットが1にセットされていると割り込み要求が発生します。

IRF ビットに1がセットされるタイミングは、割り込みを発生させる要因になったEXDMA 転送のバスサイクルが終了して、EDMDR のEDA ビットが0になって転送終了したときです。

割り込み処理の中でEDA ビットに1をセットして転送を再開した場合、自動的にIRF ビットが0クリアされ、割り込み要求は解除されます。

割り込みについての詳細は「8.5 割り込み要因」を参照してください。

8.4.8 チャネルの優先順位

EXDMAC のチャネル間の優先順位はチャネル2>チャネル3の順になっています。表8.3にEXDMAC のチャネル間の優先順位を示します。

表 8.3 EXDMAC のチャネル間の優先順位

チャネル	優先順位
チャネル 2	高
チャネル 3	低

↑
↓

複数のチャネルに対して同時に転送要求が発生した場合、要求の発生しているチャネルの中から表8.3の優先順位に従って、最も優先度の高いチャネルを選択して転送します。

(1) 複数チャンネルからの転送要求 (オートリクエストのサイクルスチールモードを除く)

転送中に他のチャンネルの転送要求が発生した場合は、転送中のチャンネルを除いて最も優先度の高いチャンネルを選択します。選択されたチャンネルは転送中のチャンネルがバスを解放してから転送を開始します。このとき EXDMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。他にバス権要求がなければ 1 サイクルバス解放します。

バースト転送中、および 1 ブロック分のブロック転送中は、チャンネルを切り替えて転送することはありません。

図 8.13 にチャンネル 2、3 の転送要求が同時に発生した場合の転送例を示します。図の例は外部リクエストのサイクルスチールモードの場合です。

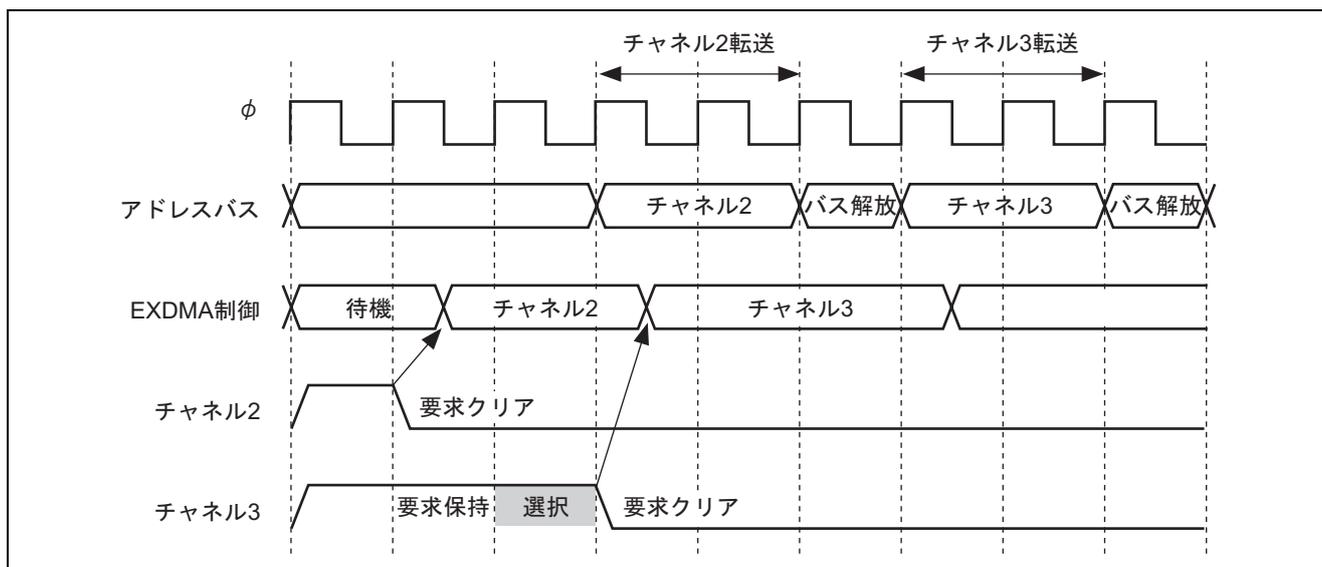


図 8.13 チャンネルの優先順位のタイミング例

(2) オートリクエストのサイクルスチールモードのときの複数チャンネルからの転送要求

オートリクエストのサイクルスチールモードで転送中に他のチャンネルの転送要求が発生した場合は、チャンネルの優先度により動作が異なります。

転送要求をしたチャンネルが転送中のチャンネルよりも優先度が高い場合は、転送要求をしたチャンネルを選択します。転送要求をしたチャンネルが転送中のチャンネルよりも優先度が低い場合は、転送要求をしたチャンネルの転送要求は保留され、転送中のチャンネルを引き続き選択します。

選択されたチャンネルは転送中のチャンネルがバスを解放してから転送を開始します。このとき EXDMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。他にバス権要求がなければ1サイクルバス解放します。

図 8.14 にオートリクエストのサイクルスチールモードを含んだ場合の転送例を示します。

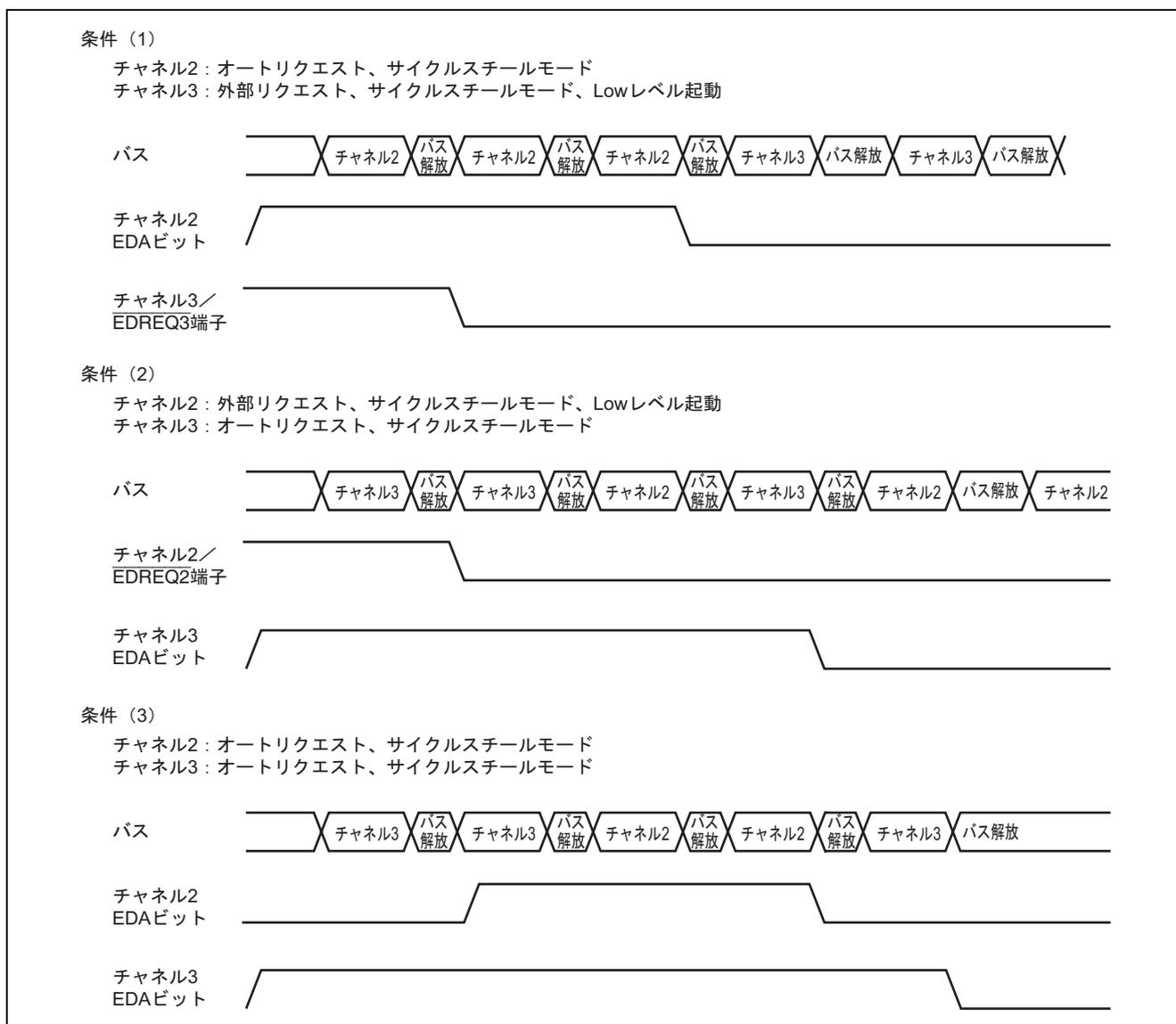


図 8.14 チャンネルの優先順位のタイミング例

8.4.9 EXDMAC 転送 (デュアルアドレスモード) のバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

図 8.15 に $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モード (サイクルスチールモード) 転送を行った場合の転送例を示します。

1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

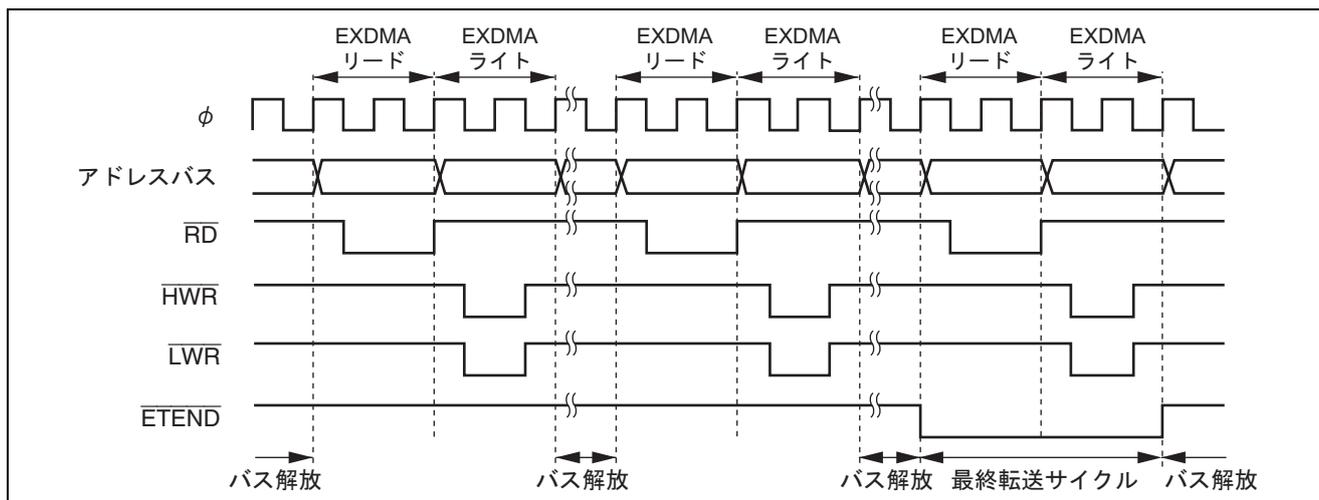


図 8.15 ノーマル転送モード (サイクルスチールモード) 転送例

(2) ノーマル転送モード (バーストモード)

図 8.16 に $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モード (バーストモード) 転送を行った場合の転送例を示します。

バーストモードでは、1 バイトまたは 1 ワードの転送を転送が終了するまで継続して実行します。

バースト転送が始まると、他の優先順位の高いチャンネルの要求が発生しても、バースト転送が終了するまで待たされます。

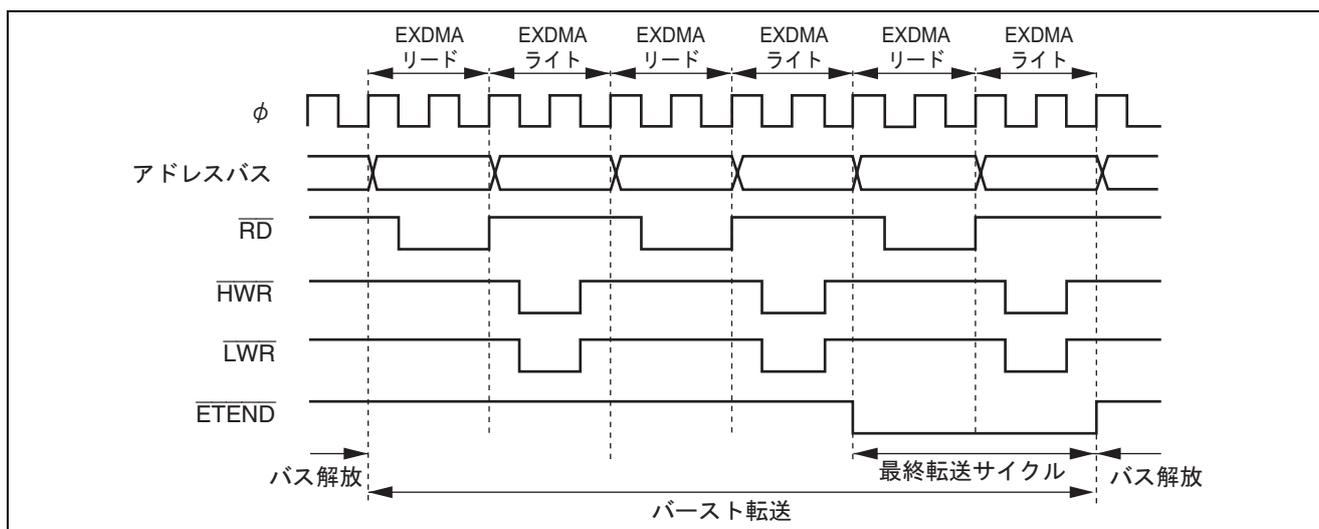


図 8.16 ノーマル転送モード (バーストモード) 転送例

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、EDA ビットがクリアされ、転送禁止状態になります。すでにバースト転送が EXDMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが EXDMAC 内部で起動されている場合は、EDA ビットがクリアされてもそのまま転送終了まで実行します。

(3) ブロック転送モード (サイクルスチールモード)

図 8.17 に ETEND 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでブロック転送モード (サイクルスチールモード) 転送を行った場合の転送例を示します。

1 回の転送要求につき 1 ブロック分の転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

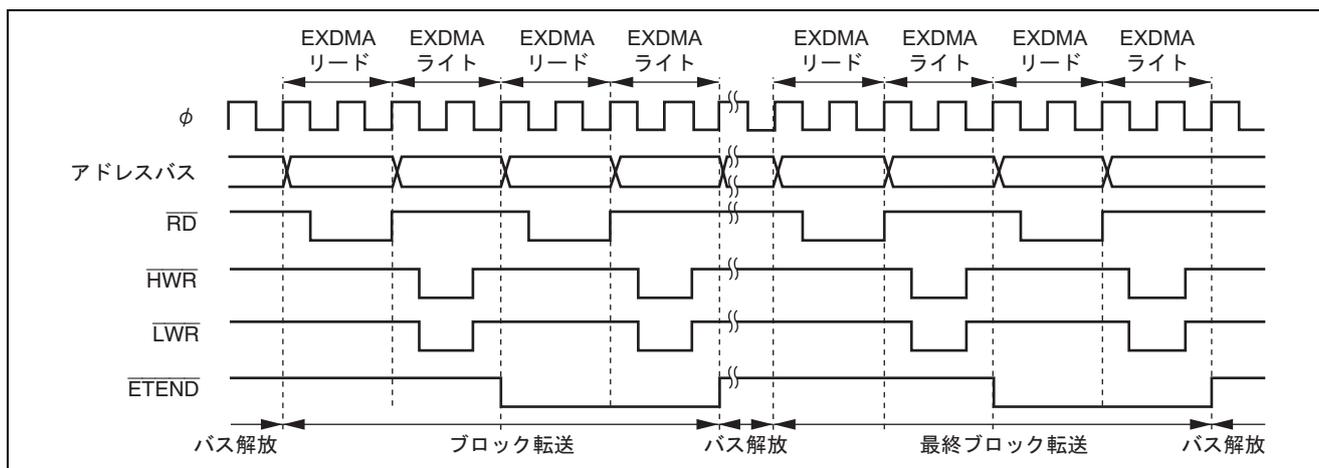


図 8.17 ブロック転送モード (サイクルスチールモード) 転送例

(4) $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動タイミング

図 8.18 に $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例を示します。

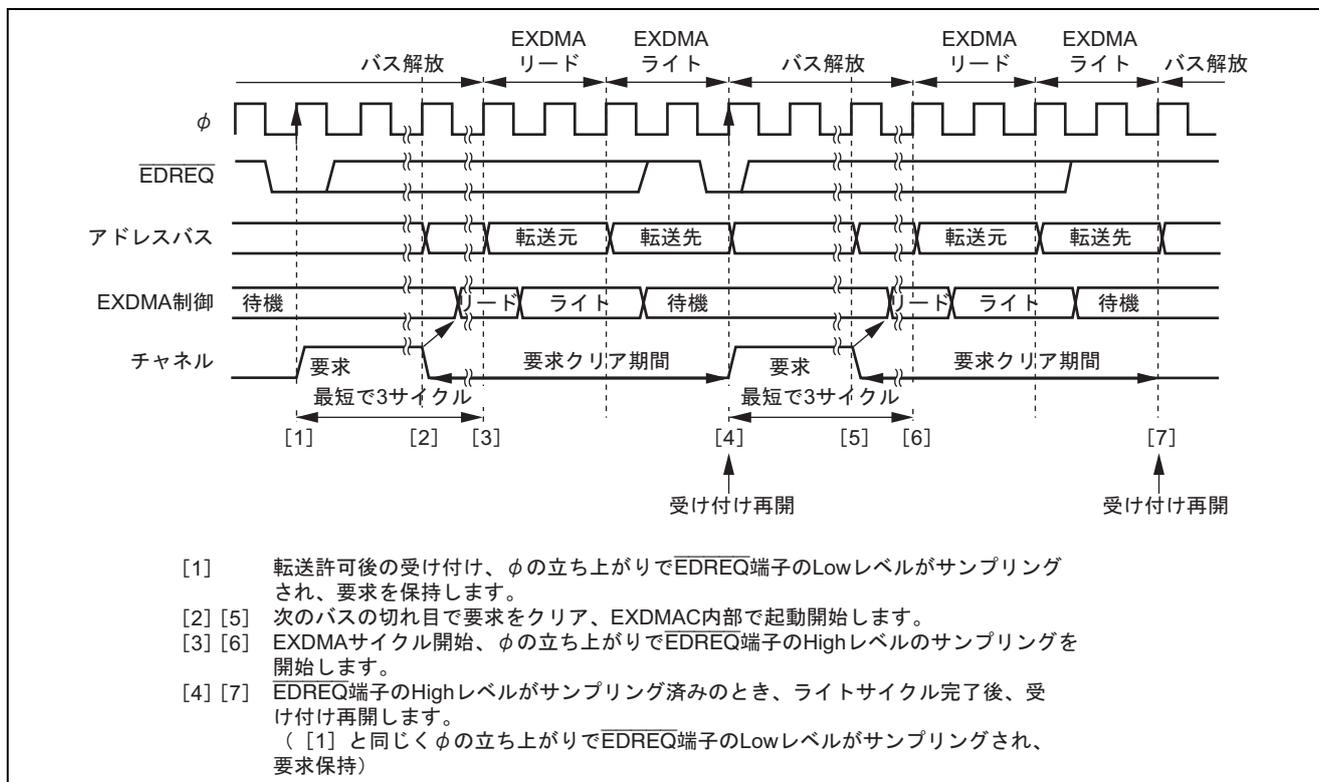


図 8.18 $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EXMDR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが開始されます。EXDMA ライトサイクル終了までに $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 8.19 に $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例を示します。

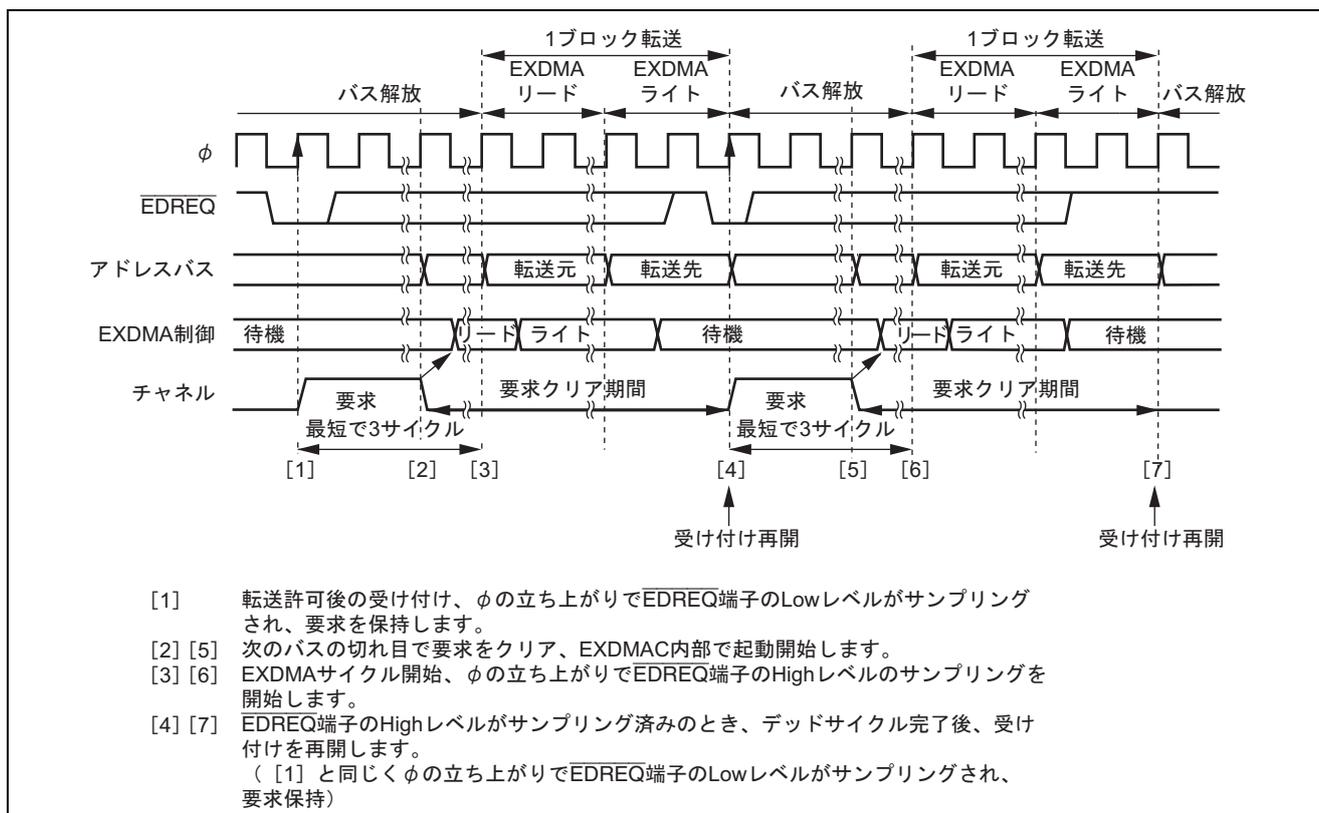


図 8.19 $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが開始されます。EXDMA ライトサイクル終了までに $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(5) $\overline{\text{EDREQ}}$ レベル起動タイミング

図 8.20 に $\overline{\text{EDREQ}}$ レベル起動のノーマルモード転送例を示します。

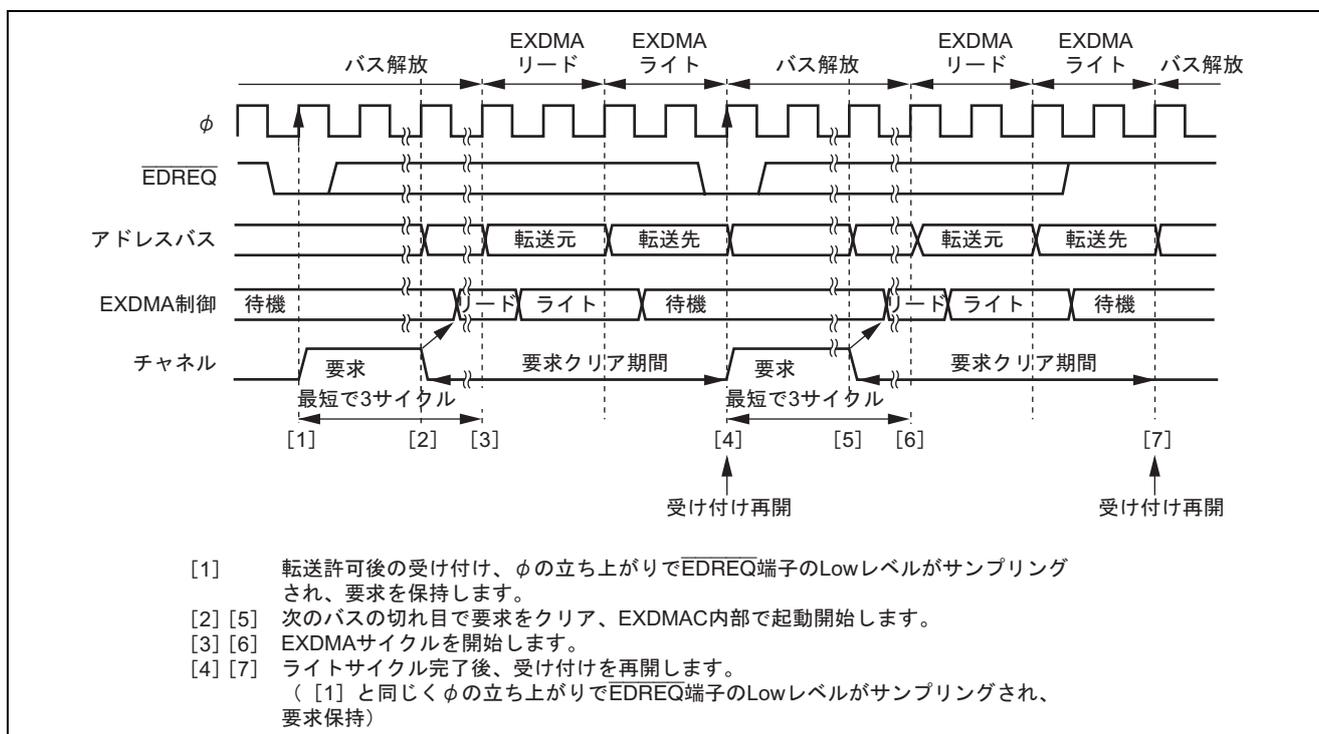


図 8.20 $\overline{\text{EDREQ}}$ レベル起動のノーマルモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 8.21 に $\overline{\text{EDREQ}}$ レベル起動のブロック転送モード転送例を示します。

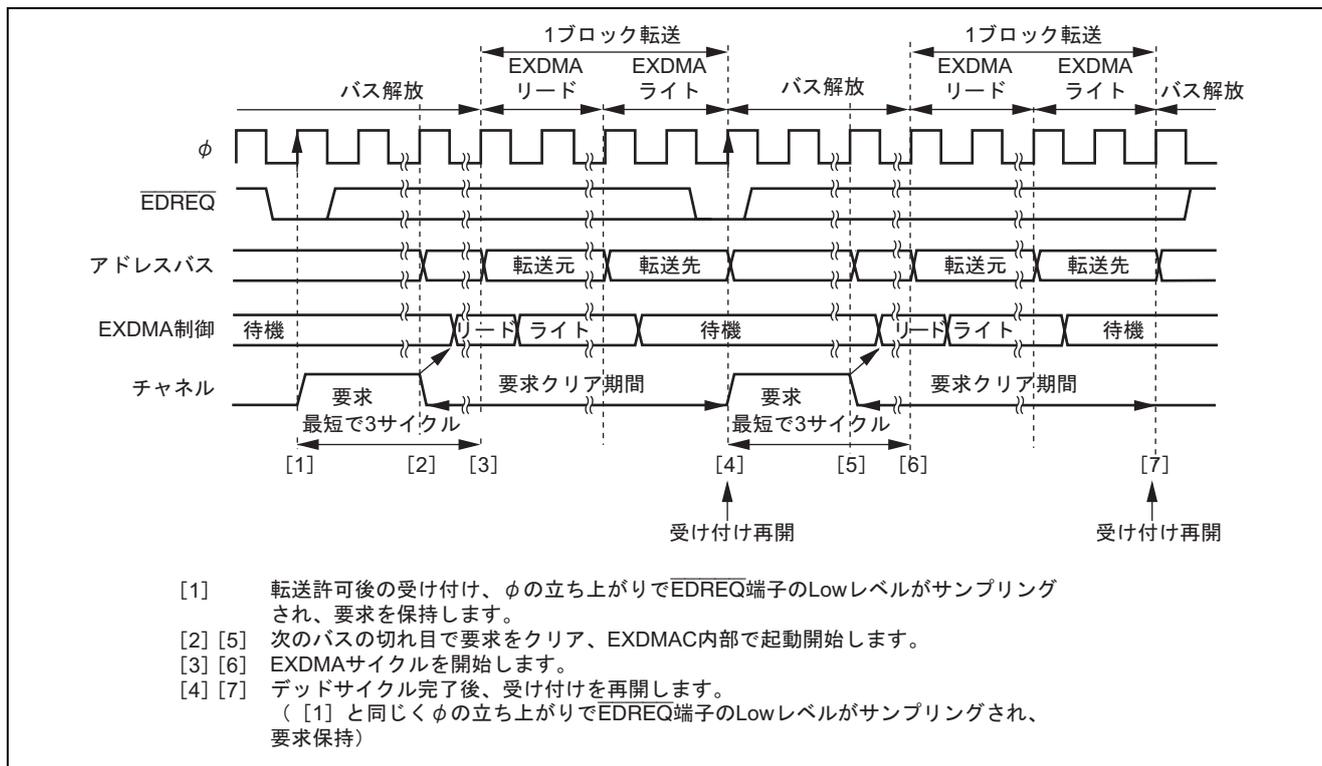


図 8.21 $\overline{\text{EDREQ}}$ レベル起動のブロック転送モード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EXMDR ライトサイクル終了直後の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

8.4.10 EXDMAC 転送 (シングルアドレスモード) のバスタイミング

(1) シングルアドレスモード (リード)

図 8.22 に $\overline{\text{ETEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

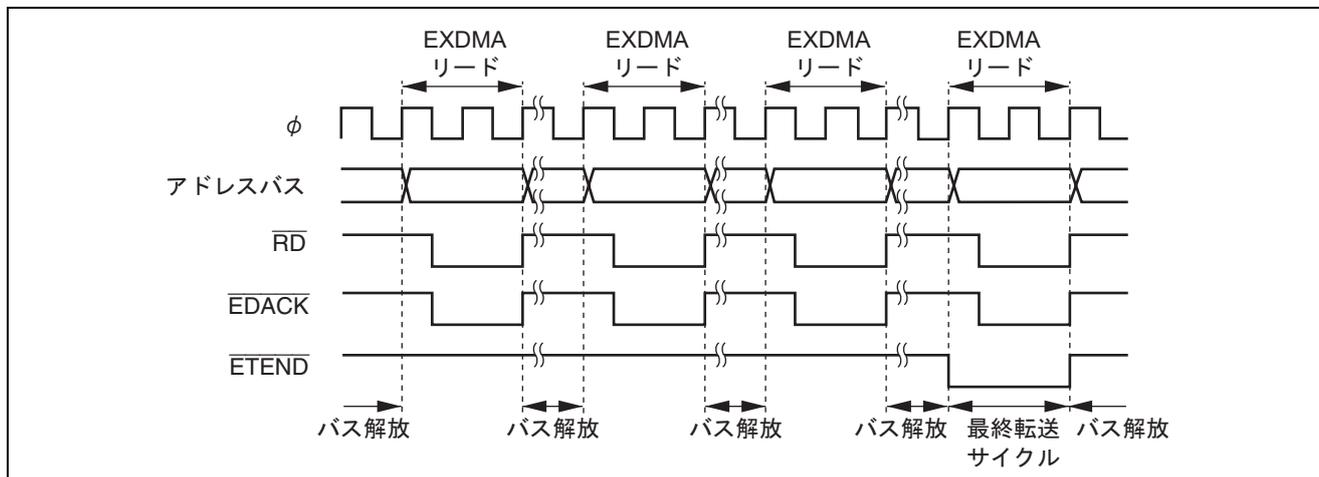


図 8.22 シングルアドレスモード (バイトリード) 転送例

図 8.23 に $\overline{\text{ETEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

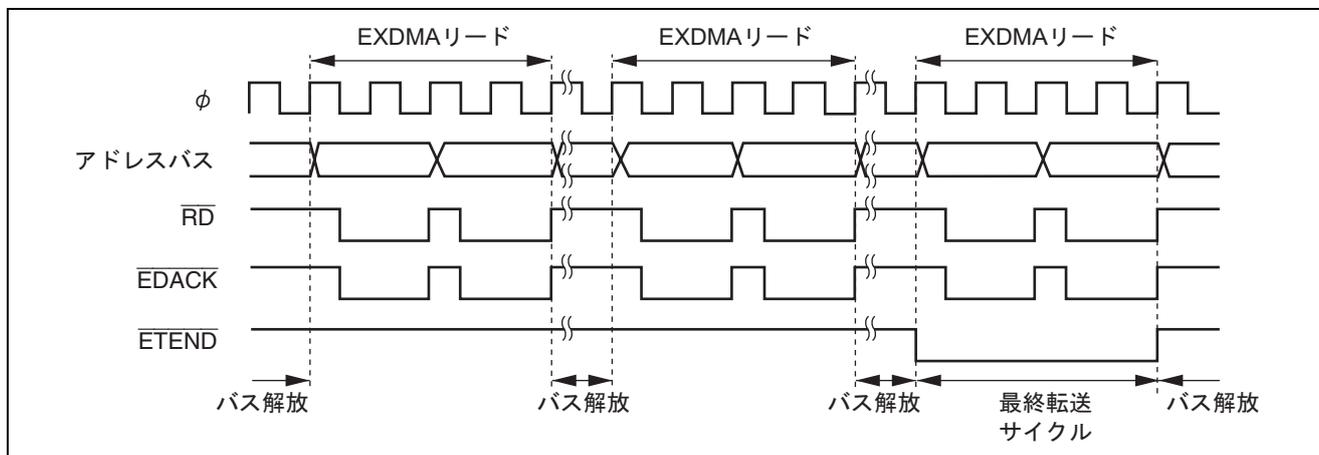


図 8.23 シングルアドレスモード (ワードリード) 転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

(2) シングルアドレスモード (ライト)

図 8.24 に \overline{ETEND} 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

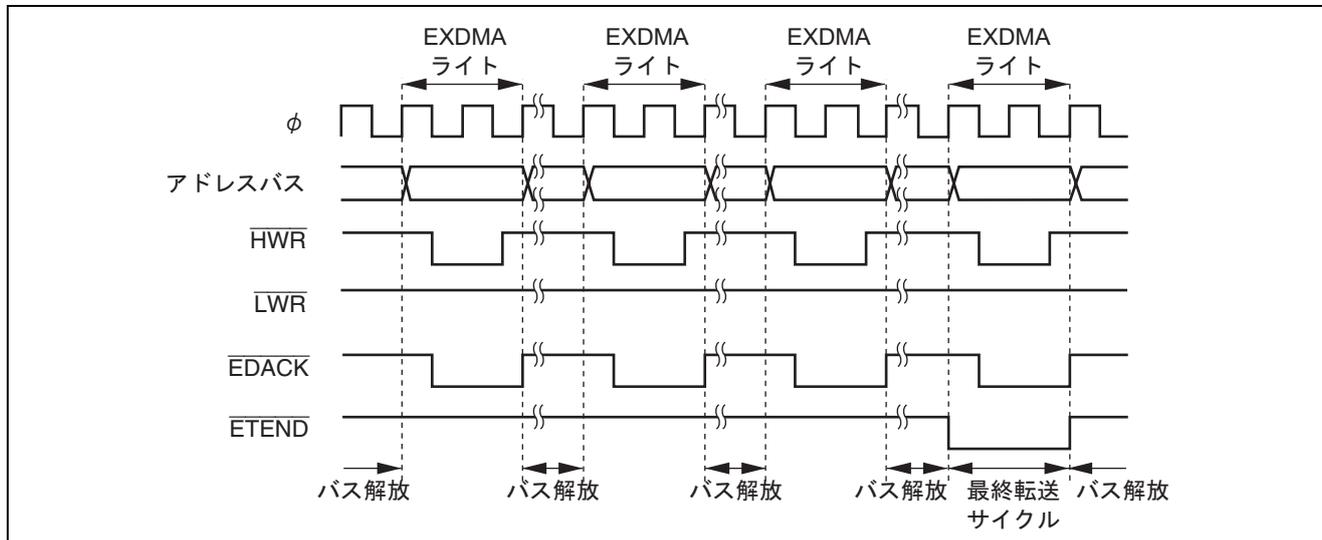


図 8.24 シングルアドレスモード (バイトライト) 転送例

図 8.25 に \overline{ETEND} 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

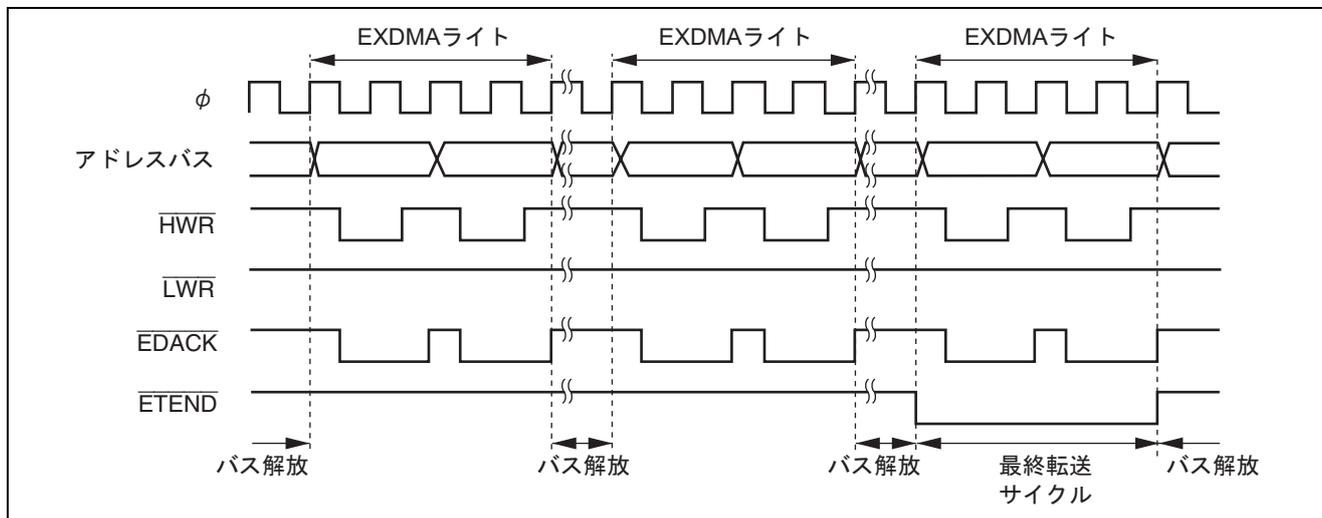


図 8.25 シングルアドレスモード (ワードライト) 転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

(3) $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動タイミング

図 8.26 に $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

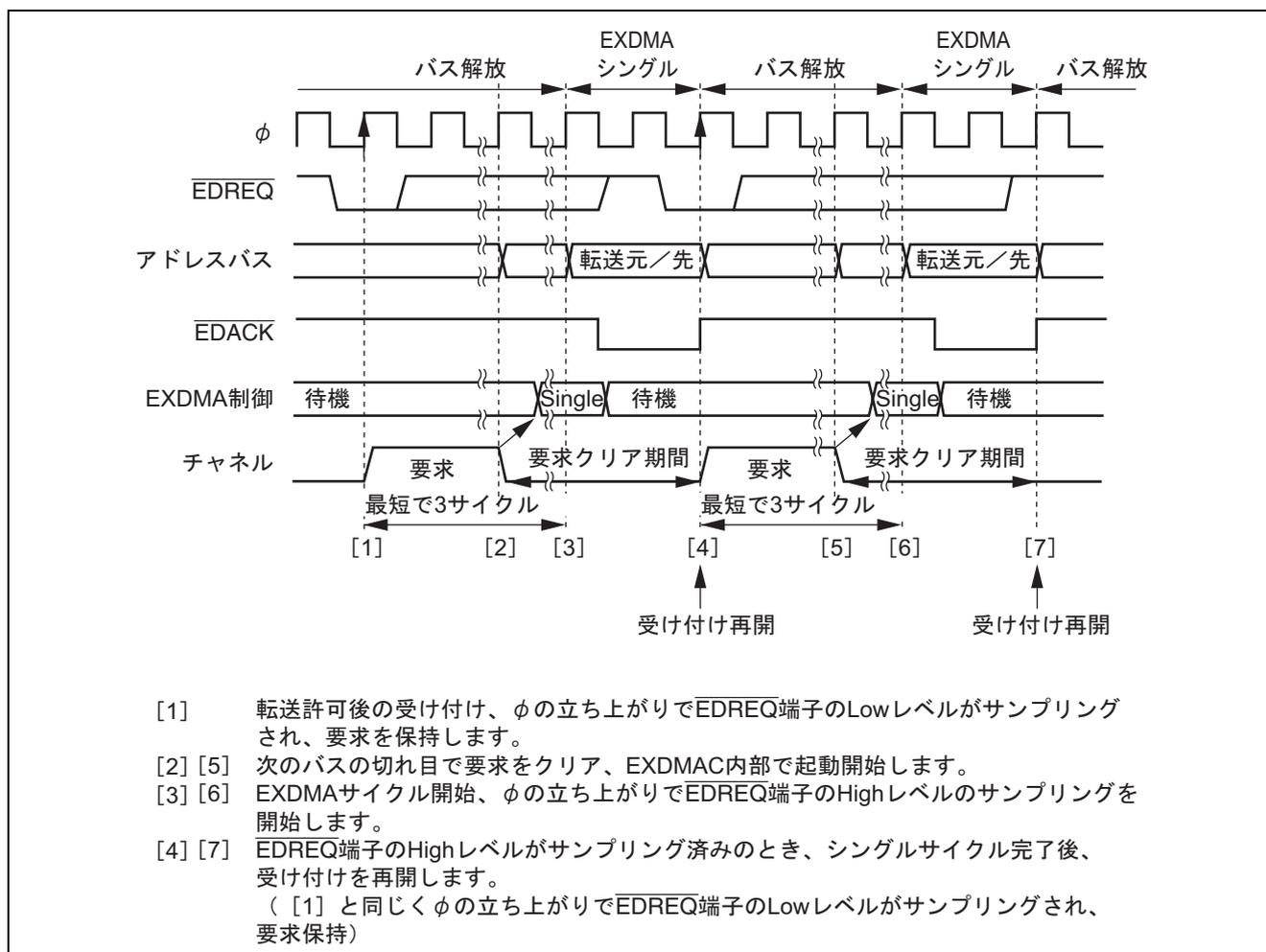


図 8.26 $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の ϕ の立ち上がりから毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが開始されます。EXDMA シングルサイクル終了までに $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(4) $\overline{\text{EDREQ}}$ 端子 Low レベル起動タイミング

図 8.27 に $\overline{\text{EDREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例を示します。

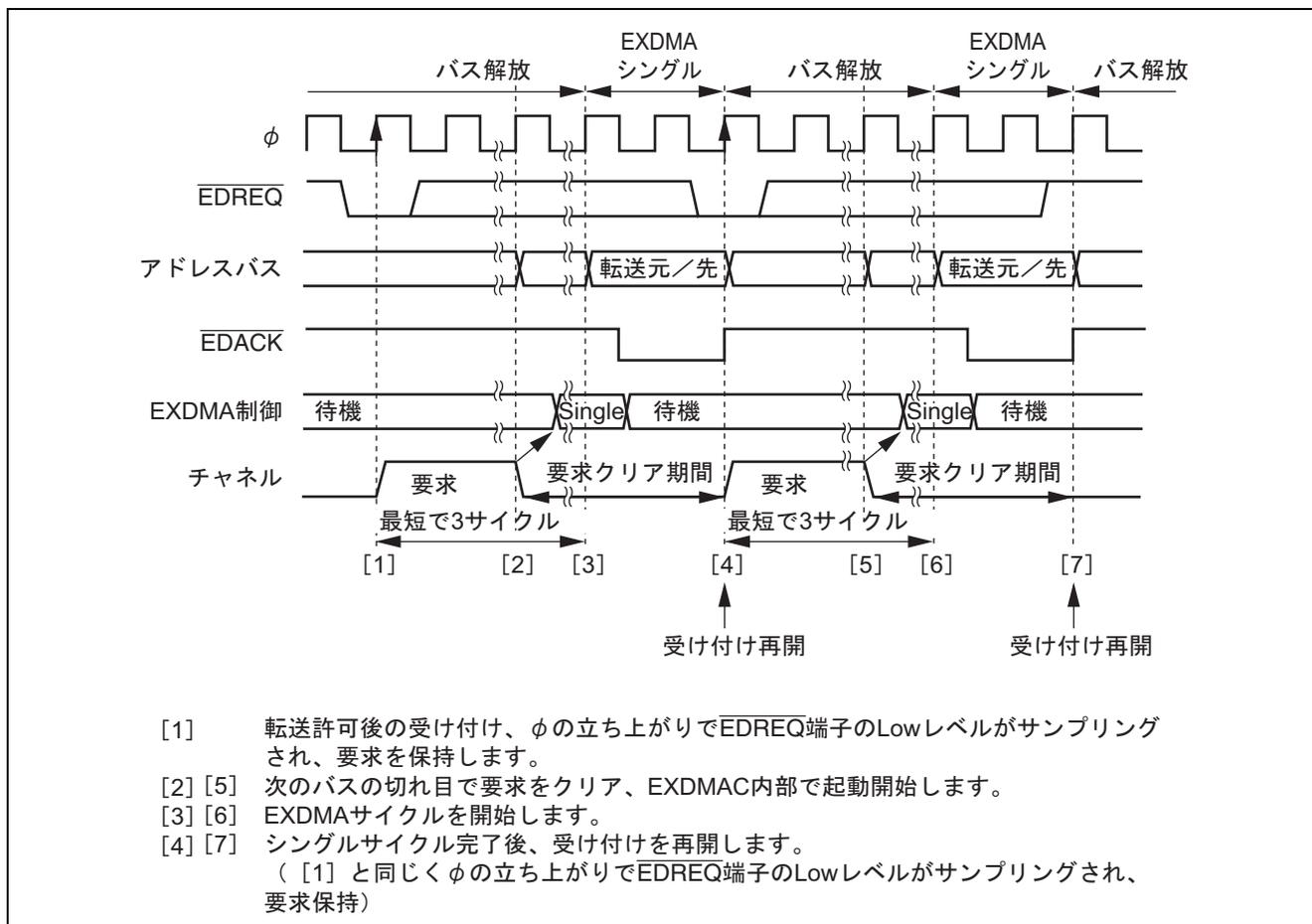


図 8.27 $\overline{\text{EDREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

8.4.11 各モードの動作タイミング

(1) オートリクエスト/サイクルスチールモード/ノーマル転送モード

EDMDR の EDA ビットを 1 セットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。1 転送単位の EXDMA サイクルの終了から次の転送開始までにバス解放期間が 1 サイクル発生します。

優先順位の高い他のチャンネルに転送要求がある場合は、当該チャンネルの転送要求は一時保留され、次の転送から他のチャンネルの転送を行います。他のチャンネルの転送が終了すると、当該チャンネルの転送を再開します。

図 8.28～図 8.30 に各条件の動作タイミング例を示します。

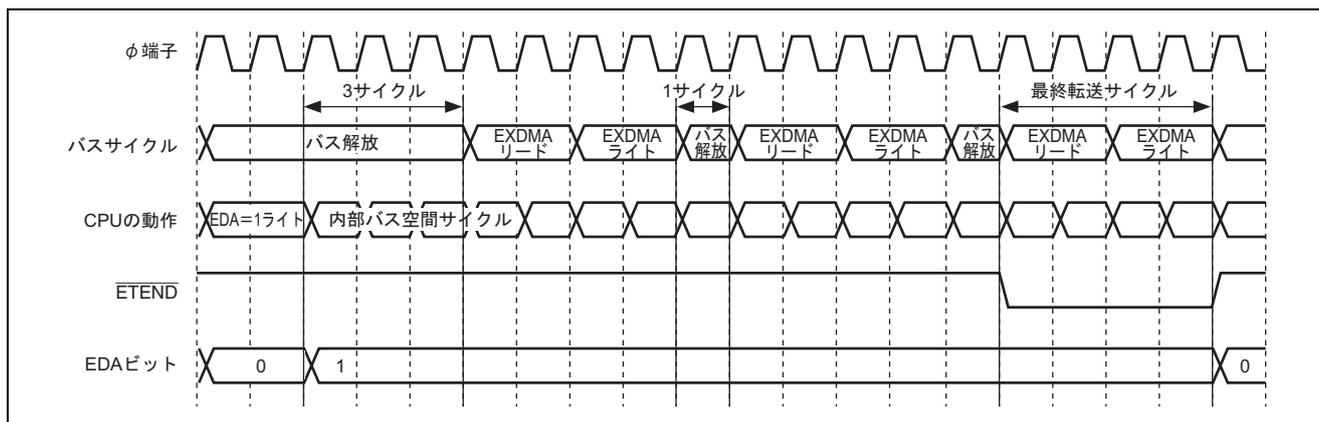


図 8.28 オートリクエスト/サイクルスチールモード/ノーマル転送モード
(競合がない場合/デュアルアドレスモード)

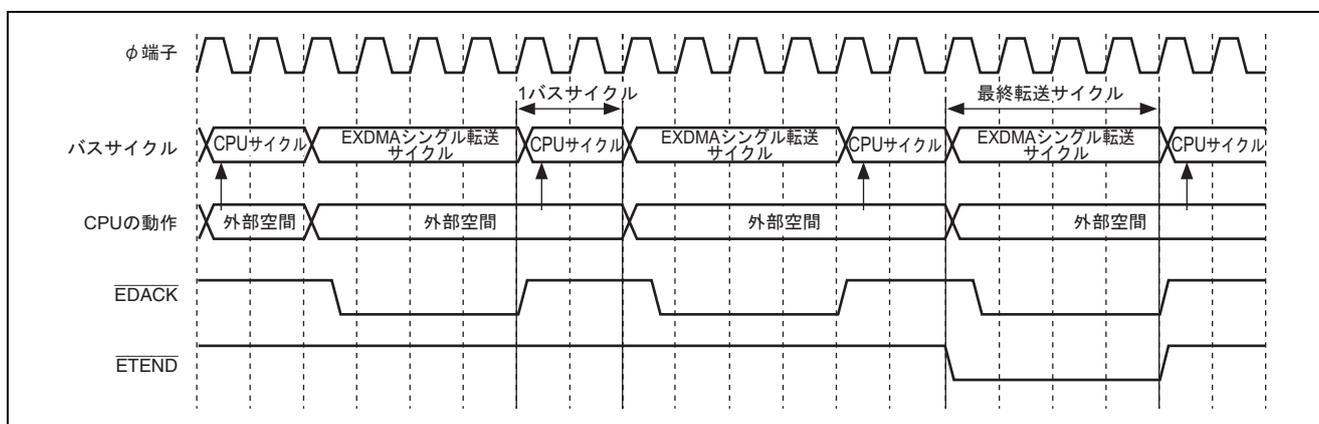


図 8.29 オートリクエスト/サイクルスチールモード/ノーマル転送モード
(CPU サイクルあり/シングルアドレスモード)

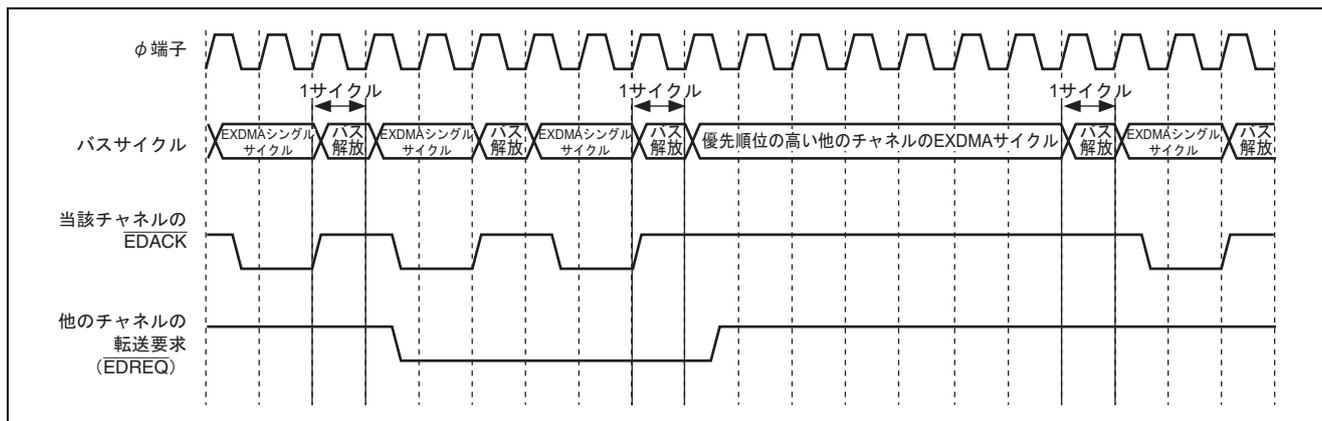


図 8.30 オートリクエスト/サイクルスチールモード/ノーマル転送モード
(他のチャンネルと競合する場合/シングルアドレスモード)

(2) オートリクエスト/バーストモード/ノーマル転送モード

EDMDR の EDA ビットを 1 セットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。一度転送を開始すると転送終了条件が満たされるまで連続 (バースト) して転送します。

EDMDR の BGUP ビット=1 の場合は、他のバスマスタからのバス権要求があったときにバス権を譲ります。他のチャンネルの転送要求は、当該チャンネルの転送が終了するまで保留されます。

図 8.31~図 8.34 に各条件の動作タイミング例を示します。

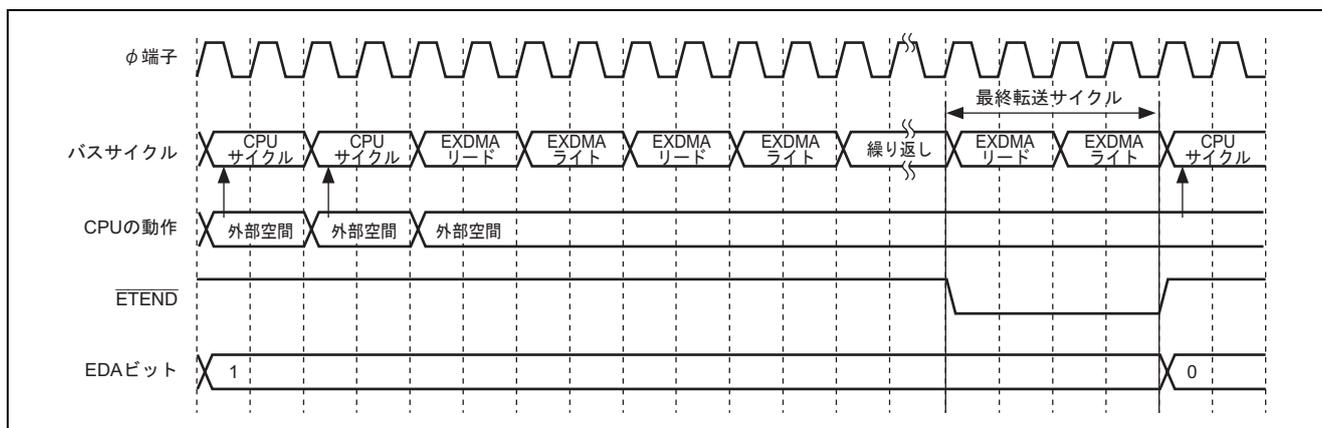


図 8.31 オートリクエスト/バーストモード/ノーマル転送モード
(CPU サイクルあり/デュアルアドレスモード/BGUP=0)

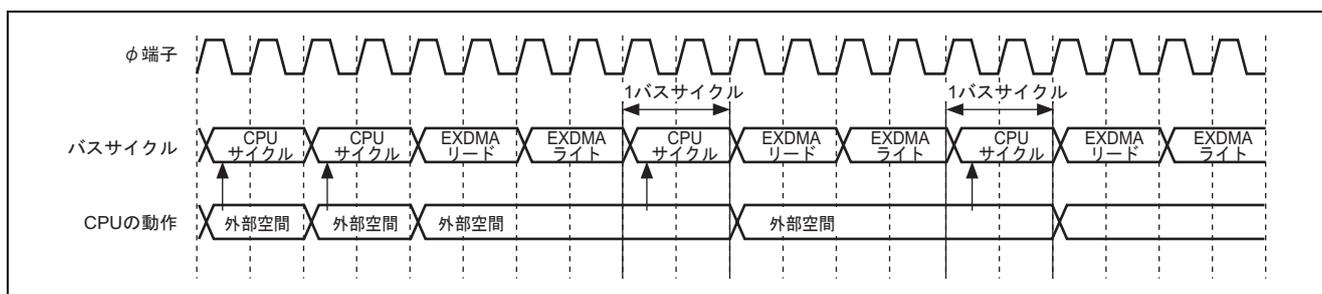


図 8.32 オートリクエスト/バーストモード/ノーマル転送モード
(CPU サイクルあり/デュアルアドレスモード/BGUP=1)

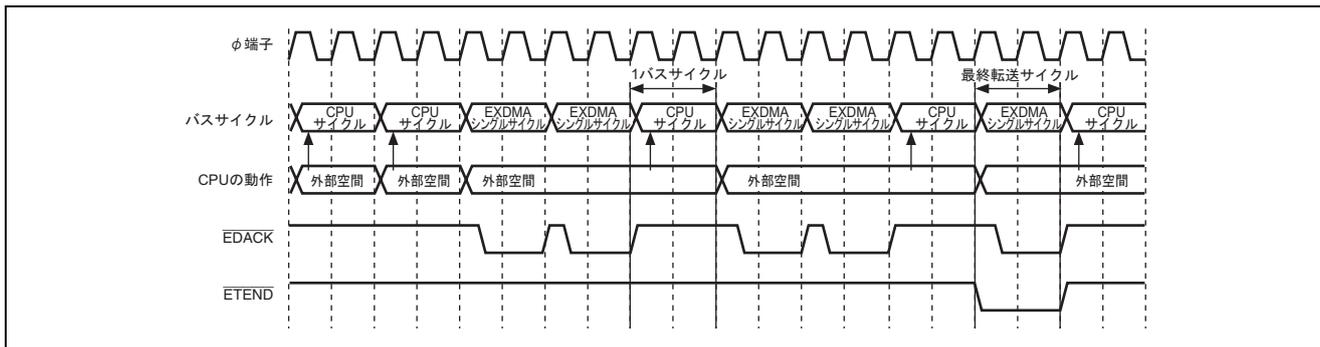


図 8.33 オートリクエスト/バーストモード/ノーマル転送モード
(CPU サイクルあり/シングルアドレスモード/BGUP=1)

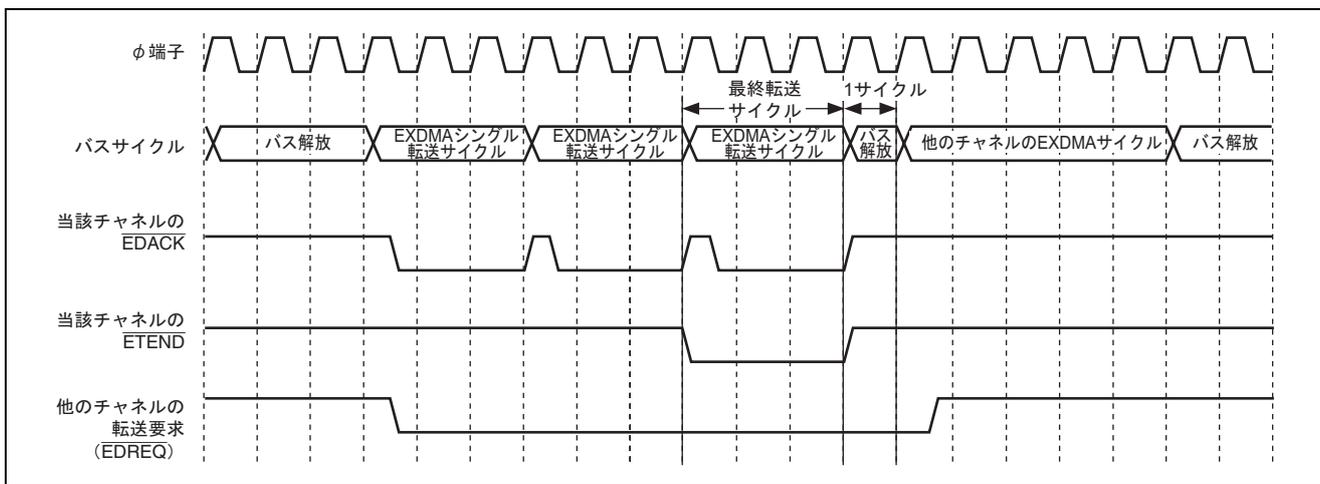


図 8.34 オートリクエスト/バーストモード/ノーマル転送モード
(他のチャンネルと競合する場合/シングルアドレスモード)

(3) 外部リクエスト/サイクルスチールモード/ノーマル転送モード

外部リクエストモードでは、転送要求を受け付けてから最短3サイクル後に EXDMA 転送サイクルを開始します。次の転送要求の受け付けは1転送単位の EXDMA サイクルの終了からです。外部バス空間での CPU サイクルは、次の EXDMA サイクルの間に最短2バスサイクル発生します。

他のチャンネルに転送要求が発生すると、次の EXDMA サイクルの前に他のチャンネルの EXDMA サイクルが発生します。

$\overline{\text{EDREQ}}$ 端子の Low レベル検出と立ち上がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 8.35～図 8.38 に各条件の動作タイミング例を示します。

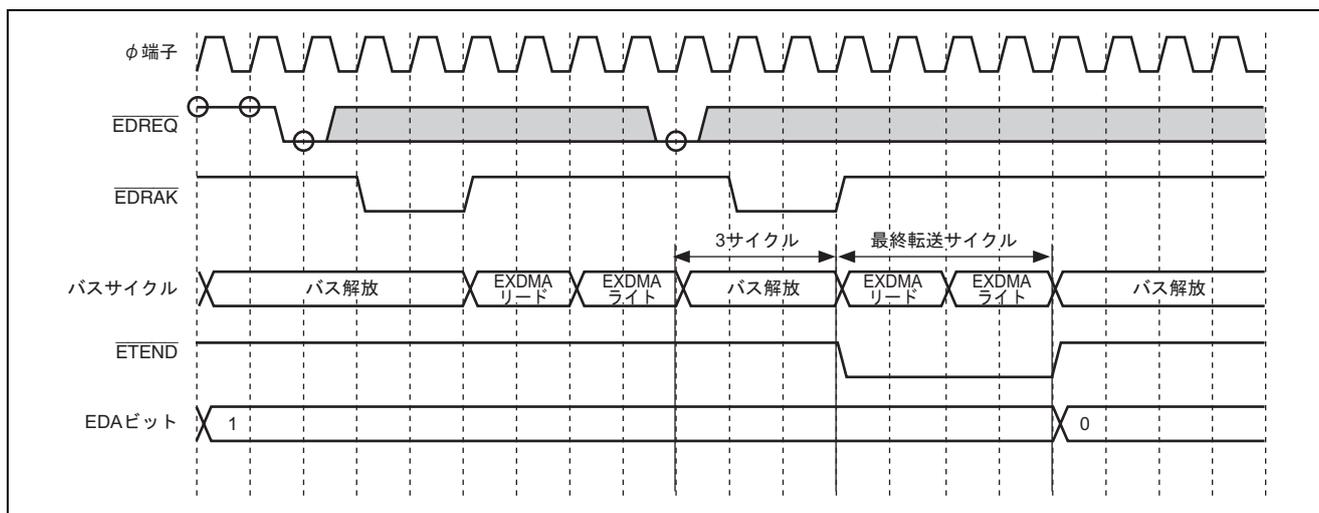


図 8.35 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(競合がない場合/デュアルアドレスモード/Low レベル検出)

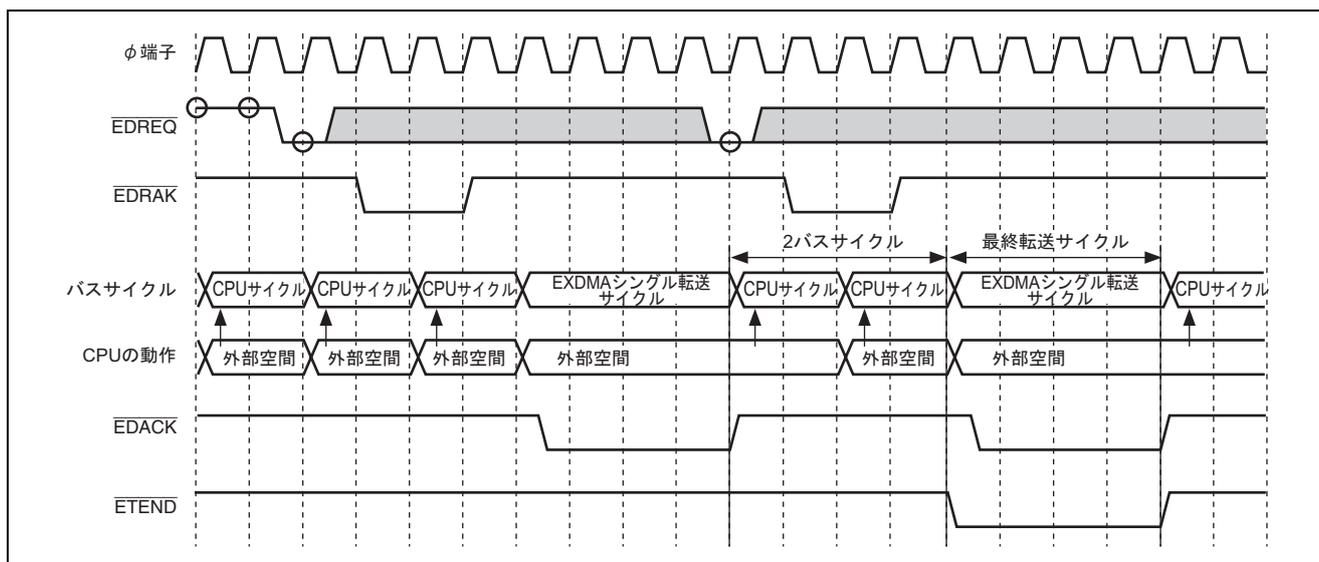


図 8.36 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(CPU サイクルあり/シングルアドレスモード/Low レベル検出)

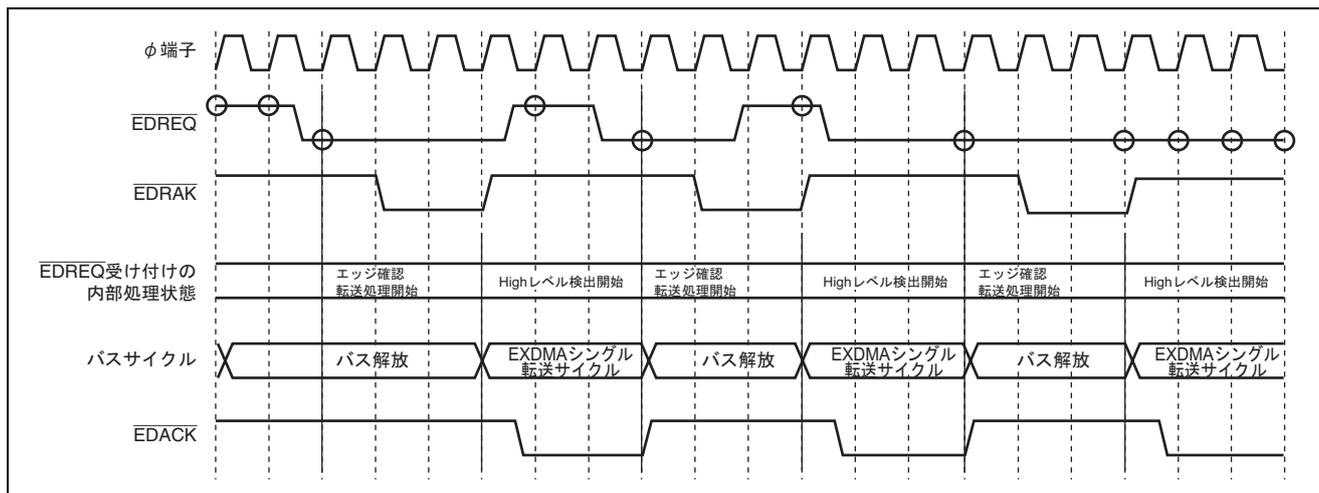


図 8.37 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(競合がない場合/シングルアドレスモード/立ち下がりエッジ検出)

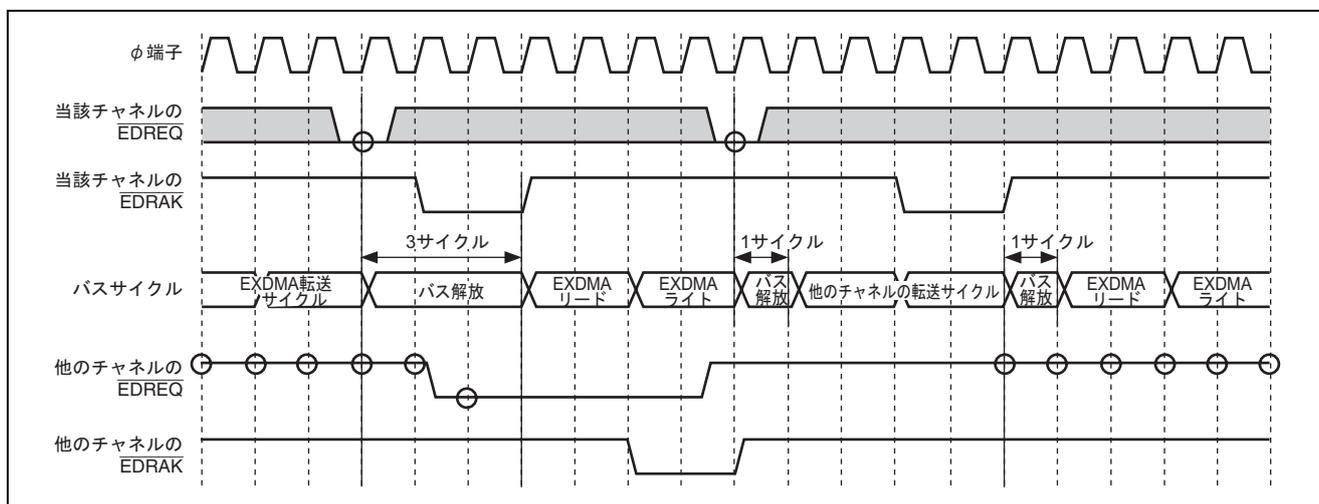


図 8.38 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(他のチャンネルと競合する場合/デュアルアドレスモード/Low レベル検出)

(4) 外部リクエスト/サイクルスチールモード/ブロック転送モード

ブロック転送モードでは、1ブロック分の転送はバーストモードと同様に連続転送します。次のブロック転送の開始タイミングは通常の転送モードと同様です。

他のチャンネルに転送要求が発生すると、次のブロック転送の前に他のチャンネルの EXDMA サイクルが発生します。

EDREQ 端子の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 8.39～図 8.44 に各条件の動作タイミング例を示します。

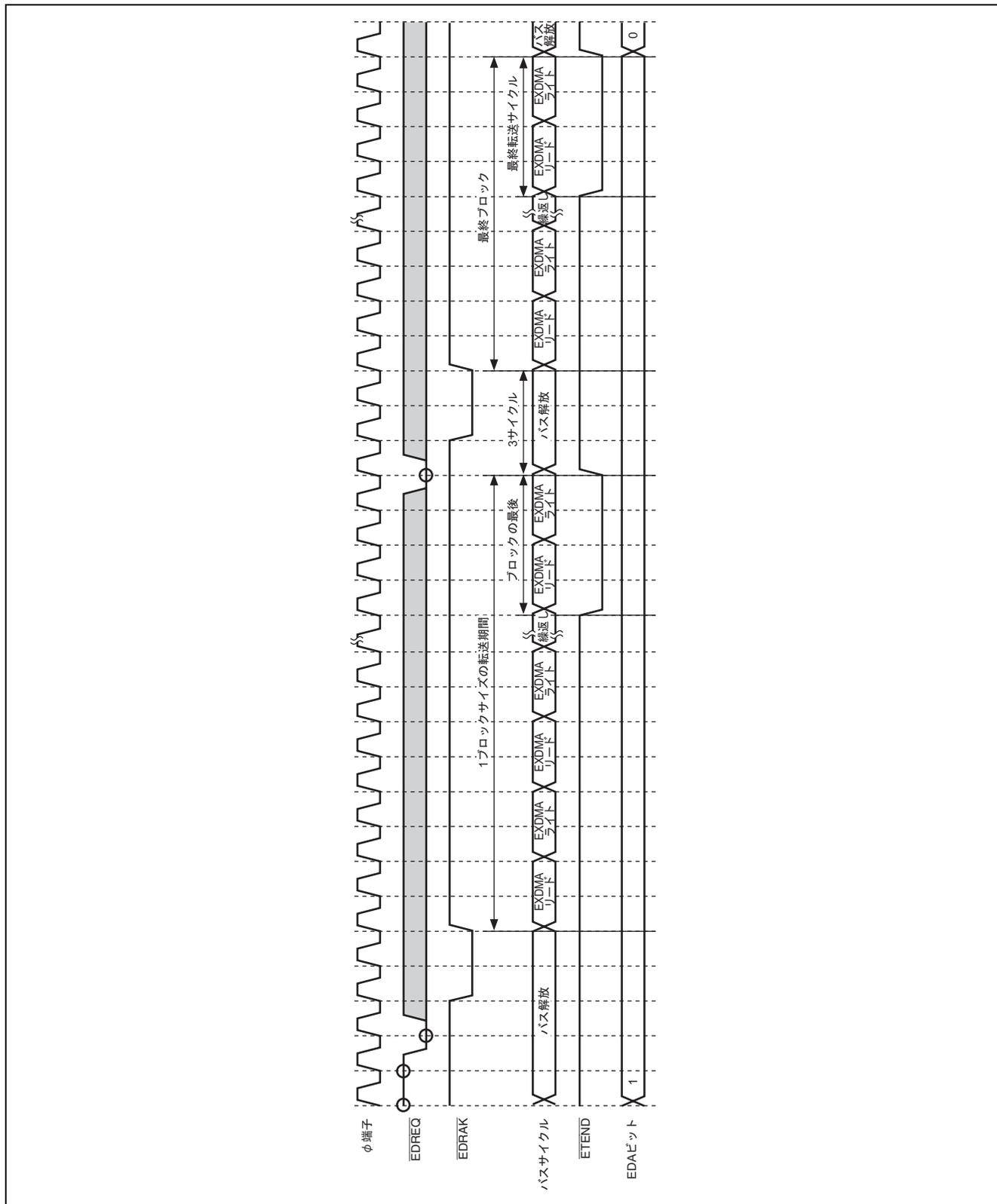


図 8.39 外部リクエスト/サイクルスチールモード/ブロック転送モード
 (競合がない場合/デュアルアドレスモード/Low レベル検出/BGUP=0)

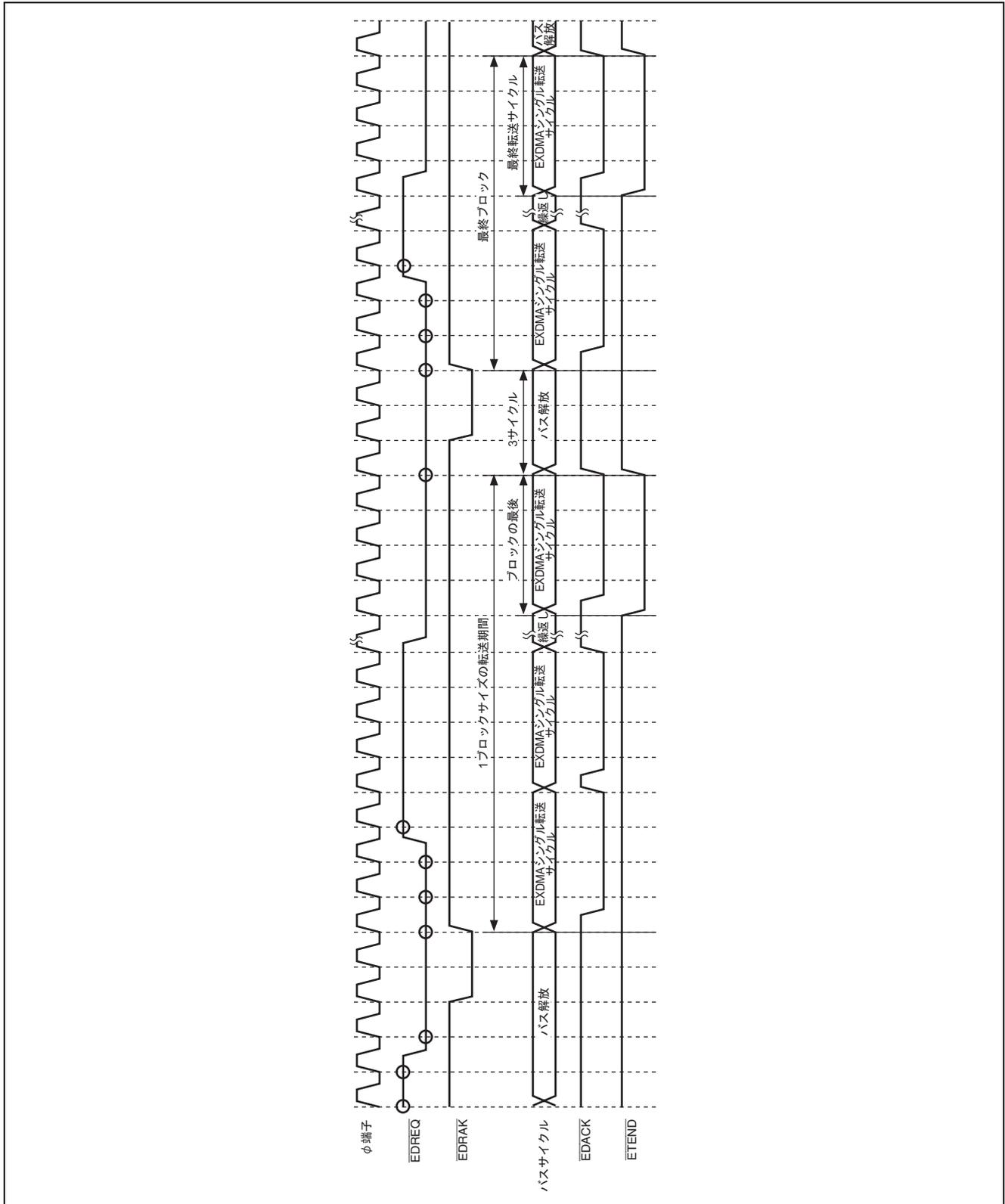


図 8.40 外部リクエスト/サイクルスチールモード/ブロック転送モード
(競合がない場合/シングルアドレスモード/立ち下がりエッジ検出/BGUP=0)

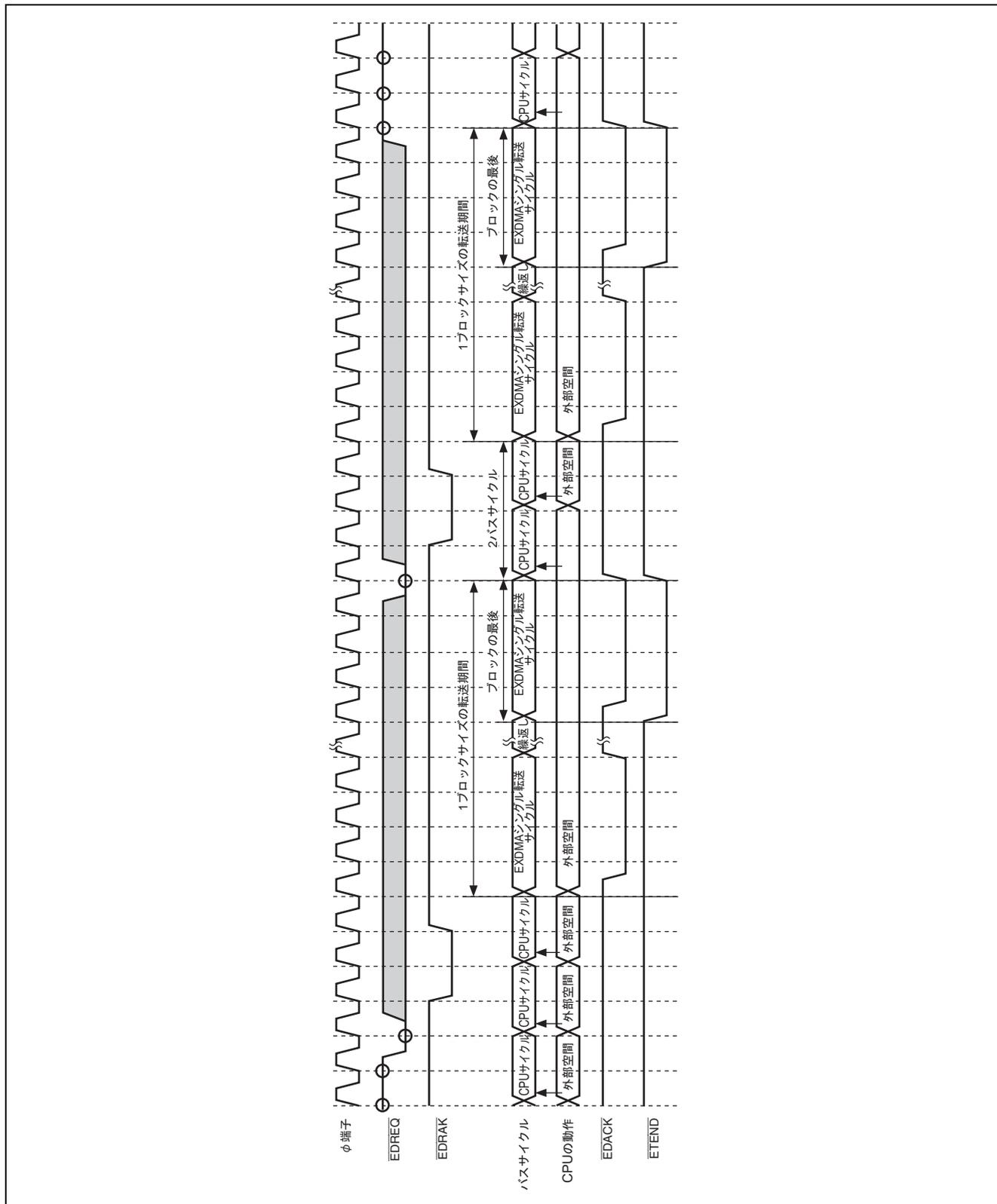


図 8.41 外部リクエスト/サイクルスチールモード/ブロック転送モード
(CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP=0)

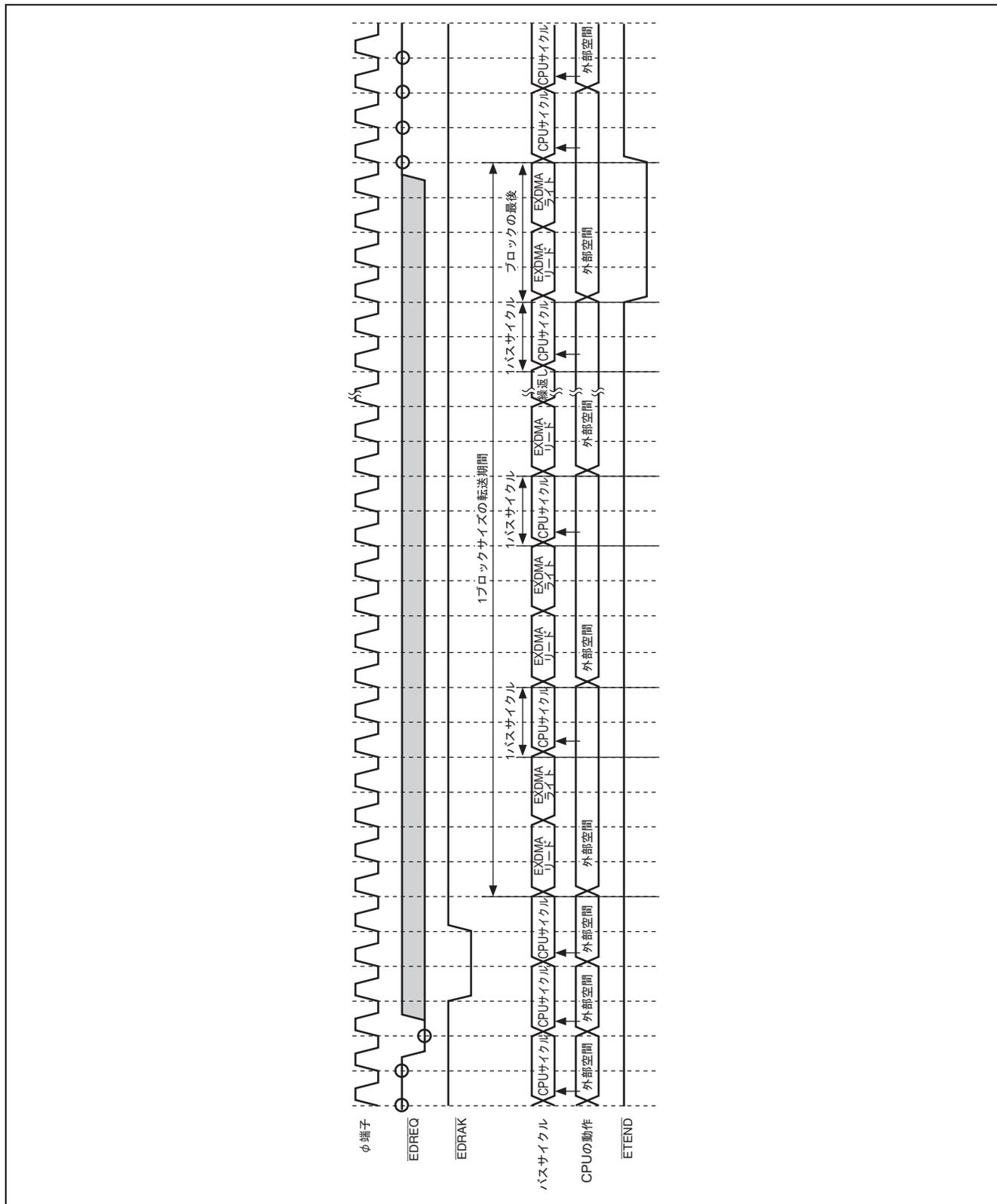


図 8.42 外部リクエスト/サイクルスチールモード/ブロック転送モード
(CPU サイクルあり/デュアルアドレスモード/Low レベル検出/BGUP=1)

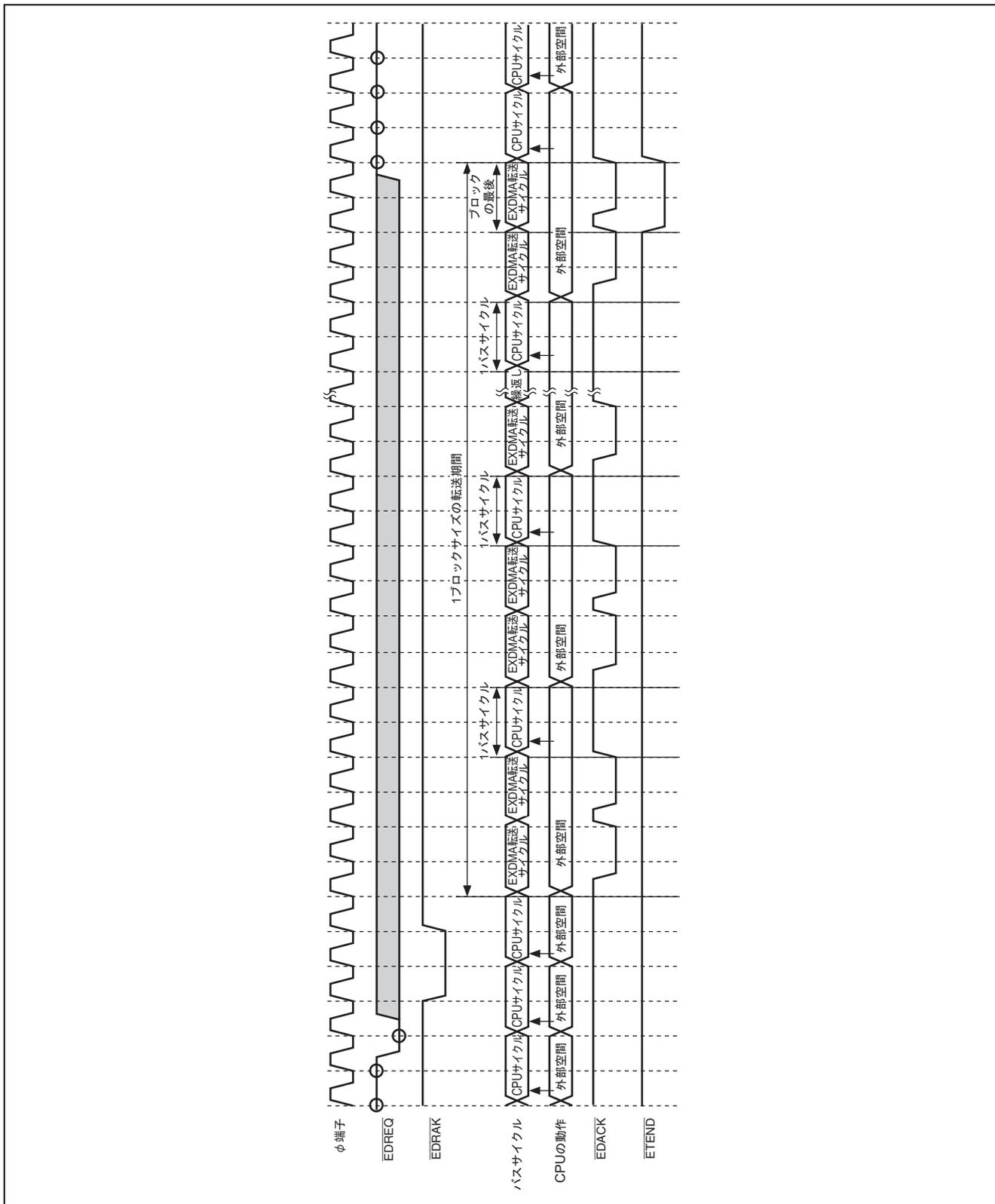


図 8.43 外部リクエスト/サイクルスチールモード/ブロック転送モード
(CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP=1)

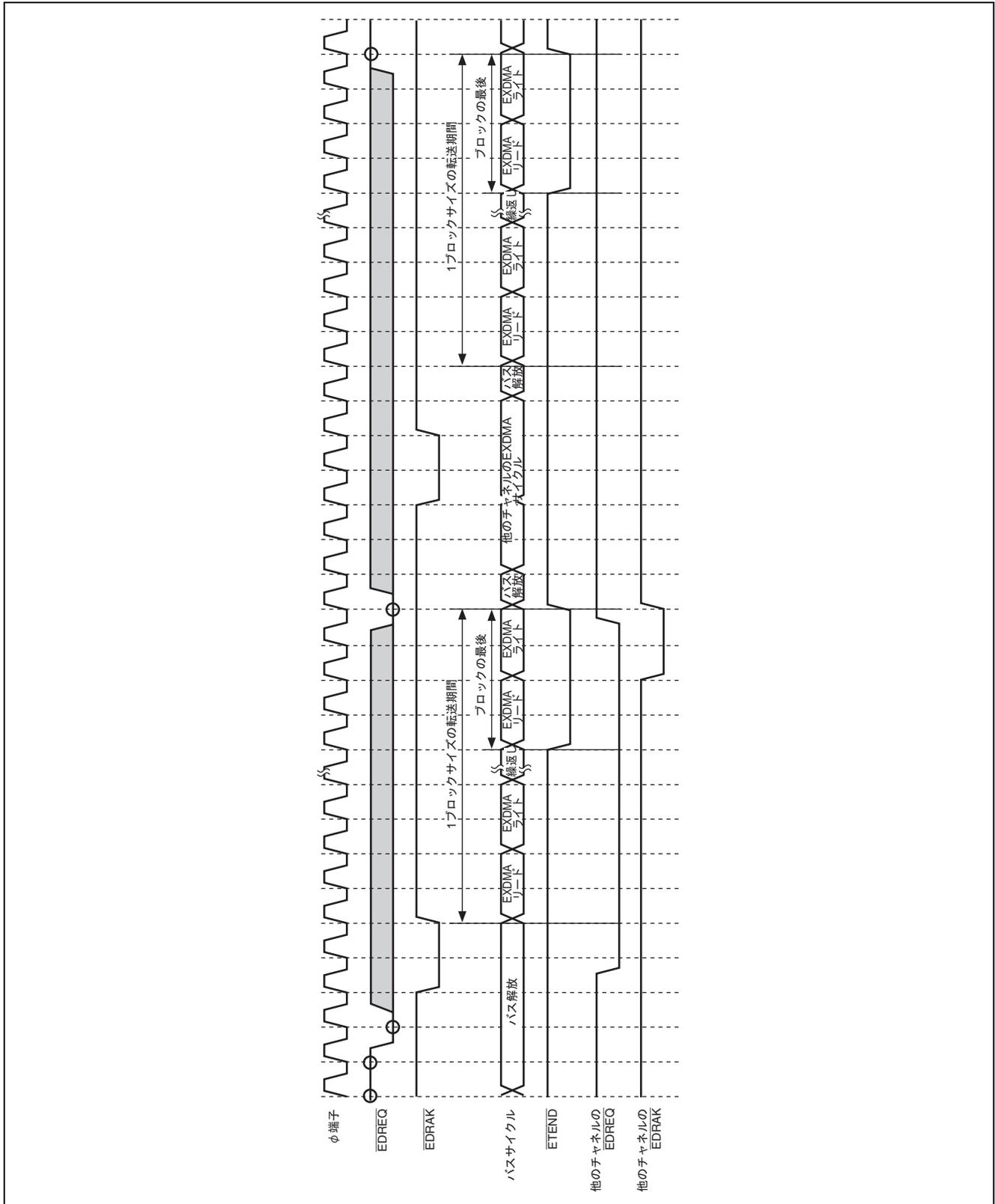


図 8.44 外部リクエスト/サイクルスチールモード/ブロック転送モード
(他のチャネルと競合する場合/デュアルアドレスモード/Low レベル検出)

8.4.12 EXDMA 転送終了

EXDMA 転送終了は転送終了条件によって動作が異なります。EXDMA 転送が終了すると、EDMDR の EDA ビットが 1 から 0 になり EXDMA 転送が終了したことを示します。

(1) EDTCR=1→0 による転送終了

EDTCR の値が 1 から 0 になると、対応するチャンネルの EXDMA 転送が終了し、EDMDR の EDA ビットが 0 にクリアされます。このとき EDMDR の TCEIE ビットがセットされていると、転送カウンタによる転送終了割り込み要求が発生し、EDMDR の IRF ビットが 1 セットされます。

ブロック転送モードの場合は、EDTCR の 15~0 ビットの値が 1 から 0 になると EXDMA 転送が終了します。EDTCR の値が転送前から 0 の場合では、EXDMA 転送は終了しません。

(2) リポートエリアオーバフロー割り込みによる転送終了

リポートエリアを指定し、リポートインタラプトイネーブル (EDACR の SARIE ビット、または DARIE ビット) をセットしている状態で、アドレスがリポートエリアオーバフローした場合、リポートエリアオーバフロー割り込み要求が発生します。このとき EXDMA 転送は終了し、EDMDR の EDA ビットが 0 にクリアされ、EDMDR の IRF ビットが 1 セットされます。

デュアルアドレスモードの場合、リードサイクル中にリポートエリアオーバフロー割り込み要求が発生しても、続くライトサイクル処理は実行されます。

ブロック転送モードの場合は、1 ブロック分の転送中にリポートエリアオーバフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。リポートエリアオーバフロー割り込みによる転送終了はブロックサイズの区切りで発生します。

(3) EDMDR の EDA ビットに 0 ライトすることによる転送終了

CPU によって EDMDR の EDA ビットを 0 ライトすると、転送中の EXDMA サイクルおよび、転送要求を受け付けた EXDMA サイクルまでが実行され、転送終了になります。

ブロック転送モードの場合、1 ブロックサイズの転送が終了してから EXDMA 転送は停止します。

EDMDR の EDA ビットの値が 0 にクリアされるタイミングは転送の処理がすべて終了してからになります。それまでは EDMDR の EDA ビットの値は 1 が読み出されます。

(4) NMI 割り込みによる強制終了

NMI 割り込みが発生すると、EXDMA 転送は強制終了します。すべてのチャンネルの EDA ビットは 0 にクリアされます。外部リクエストの場合、 $\overline{\text{EDRAK}}$ が出力された転送要求の分まで EXDMA 転送を行います。デュアルアドレスモードの場合、リードサイクルに続くライトサイクル処理は実行されます。

ブロック転送モードの場合、1 ブロックサイズの転送中でも強制終了します。このとき 1 ブロックサイズの途中で転送を中止するので、EDMDR の BEF ビットに 1 セットして、ブロック転送が正常に行われなかったことを示します。

強制終了したとき、レジスタの値は保持され、アドレスレジスタは次の転送アドレスを示しているため、EDMDR の EDA ビットに 1 をセットすれば転送を再開することができます。EDMDR の BEF=1 になっていると、1 ブロックサイズの途中から再開することになります。

(5) ハードウェアスタンバイモード、リセット入力

ハードウェアスタンバイモード、またはリセット入力により、EXDMAC は初期化されます。EXDMA 転送は保証されません。

8.4.13 EXDMAC と他のバスマスタ

EXDMA 転送サイクルのリードとライトの間は分割不可となっています。このため、EXDMA 転送サイクルのリードとライトの間にリフレッシュサイクル*、外部バス解放サイクル、内部バスマスタ (CPU、DTC、DMAC) の外部空間アクセスサイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルの後に、リフレッシュ*および外部バス解放状態が挿入されることがあります。内部バスマスタは、EXDMAC より優先度が低いため、EXDMAC がバスを解放するまで内部バスマスタの外部空間アクセスは動作しません。

EXDMAC がバスを解放するタイミングには以下の場合があります。

1. サイクルスチールモードのEXDMA転送が行われたとき
2. 異なるチャンネルに切り替わる時
3. バースト転送モードで転送が終了したとき
4. ブロック転送の1ブロック転送が終了したとき
5. EDMDRのBGUPビットを1にセットしてバースト転送またはブロック転送を行っているとき (ただし、リードとライトの間は除きます)

【注】 * 5V 版ではサポートしていません。

8.5 割り込み要因

EXDMAC が発生する割り込み要因は転送カウンタによる転送終了、リピートエリアオーバーフロー割り込みです。表 8.4 に割り込み要因と優先度を示します。

表 8.4 割り込み要因と優先度

割り込み名称	割り込み要因	割り込み優先順位
EXDMTEND2	チャンネル 2 の転送カウンタによる転送終了による割り込み	高 ↑ ↓ 低
	チャンネル 2 のソースアドレスリピートエリアオーバーフローによる割り込み	
	チャンネル 2 のデスティネーションアドレスリピートエリアオーバーフローによる割り込み	
EXDMTEND3	チャンネル 3 の転送カウンタによる転送終了による割り込み	
	チャンネル 3 のソースアドレスリピートエリアオーバーフローによる割り込み	
	チャンネル 3 のデスティネーションアドレスリピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルの EDMDR の EDIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 8.4 に示すようになっています。

転送終了割り込みのブロック図を図 8.45 に示します。EDMDR の IRF ビット=1 の状態で EDIE ビットを 1 に設定すると、常に転送終了割り込みが発生します。

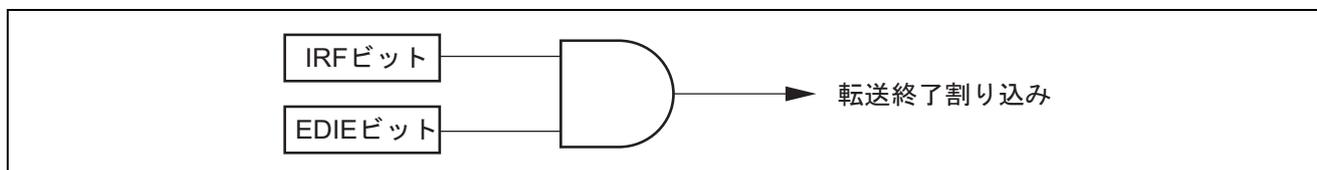


図 8.45 転送終了割り込みのブロック図

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで各々設定します。転送カウンタによる転送終了割り込みは EDMDR の TCEIE ビットにより、ソースアドレスレジスタリピートエリアオーバーフロー割り込みは EDACR の SARIE ビットにより、デスティネーションアドレスレジスタリピートエリアオーバーフロー割り込みは EDACR の DARIE ビットにより、許可または禁止を設定します。各割り込みの割り込みイネーブルビットを 1 セットした状態で、各割り込み要因が発生すると EDMDR の IRF ビットが 1 にセットされます。各割り込み要因は区別せずに、IRF ビットに反映します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて EDMDR の IRF ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に EDMDR の EDA ビットを 1 にセットして転送継続の処理を行う方法があります。転送終了割り込みを解除して、転送を再開する手順例を図 8.46 に示します。

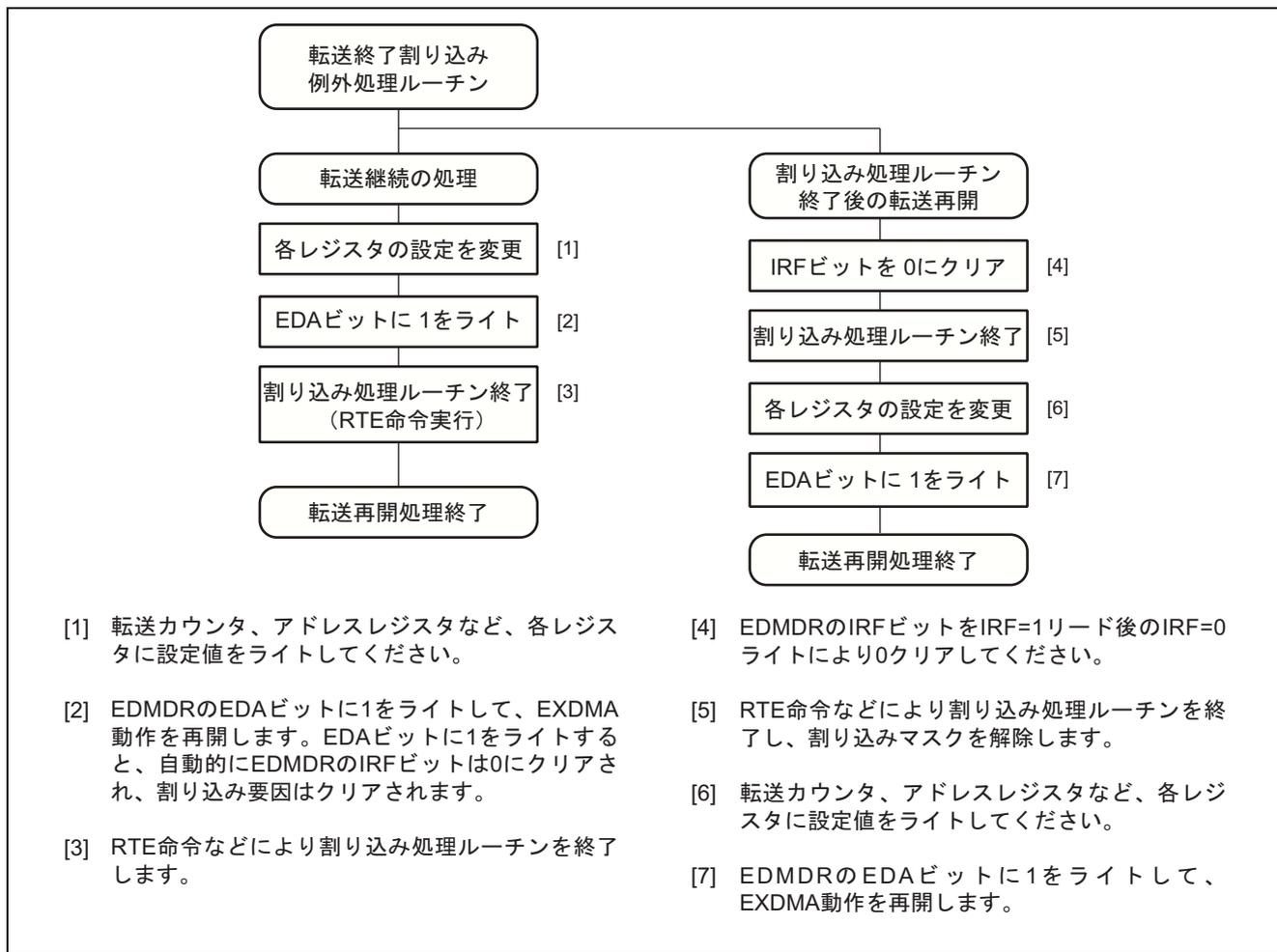


図 8.46 転送終了割り込みが発生したチャンネルの転送再開手順例

8.6 使用上の注意事項

(1) 動作中の EXDMAC のレジスタアクセス

EDMDR の EDA ビットを 0 にクリアする場合を除き、動作中 (転送待ち状態を含む) のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ

MSTPCRH の MSTP14 ビットを 1 にセットすると、EXDMAC のクロックが停止し、EXDMAC はモジュールストップ状態となります。ただし、EXDMAC のいずれかのチャンネルが転送許可状態になっている場合と割り込み要求を発生中の場合は、MSTP14 ビットを 1 にライトできません。EDMDR の EDA ビットを 0 クリアした状態にし、EDMDR の IRF ビットまたは EDIE ビットを 0 クリアした状態にしてから MSTP14 ビットを設定してください。

EXDMAC のクロックが停止すると、EXDMAC のレジスタに対するアクセスができなくなります。以下の EXDMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

- EDMDR の ETENDE=1 ($\overline{\text{ETEND}}$ 端子イネーブル)
- EDMDR の EDRAKE=1 ($\overline{\text{EDRAK}}$ 端子イネーブル)
- EDMDR の AMS=1 ($\overline{\text{EDACK}}$ 端子イネーブル)

(3) $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{EDREQ}}$ 端子の立ち下がりエッジの検出は、EXDMAC の内部動作に同期して行い次のようになります。

1. 起動要求待ち状態： $\overline{\text{EDREQ}}$ 端子の Low レベルの検出を待ち、2. に遷移します。
2. 転送待ち状態：EXDMAC のデータ転送が可能になるのを待ち、3. に遷移します。
3. 起動要求禁止状態： $\overline{\text{EDREQ}}$ 端子の High レベルの検出を待ち、1. に遷移します。

EXDMAC の転送許可後は、1. に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{EDREQ}}$ 端子の立ち下がりエッジセンス / Low レベルセンスとともに Low レベルを検出しています。したがって、転送許可状態にするための EDMDR へのライト以前から発生している $\overline{\text{EDREQ}}$ 端子の Low レベルは要求を受け付けます。

EXDMAC の起動時には、必要に応じて、前回の転送終了時などの $\overline{\text{EDREQ}}$ 端子の Low レベルが残らないようにしてください。

(5) EDMDR の IRF=1 の状態からの割り込み要求の許可

EDMDR の IRF ビットが 1 の状態から転送開始する場合に、EDMDR の EDA ビットと共に EDMDR の EDIE ビットを 1 にセットして割り込み要求を許可すると、EDIE=1 かつ IRF=1 の状態が生じるために割り込み要求が発生します。転送開始時に誤って割り込み要求が発生させないために、IRF ビットを 0 クリアしてから EDIE ビットを 1 にセットするようにしてください。

(6) $\overline{\text{ETEND}}$ と CBR リフレッシュサイクル*

EXDMAC の最終転送サイクルと CBR リフレッシュサイクル*が同時に発生した場合、CBR リフレッシュ*と最終転送サイクルが連続して実行される場合があります。このときリフレッシュサイクル*に対して $\overline{\text{ETEND}}$ が Low レベルになることがありますので注意してください。

【注】 * 5V版ではサポートしていません。

9. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 9.1 に DTC のブロック図を示します。

9.1 特長

- 任意チャネル数の転送可能
- 転送モード：3 種類

(1) ノーマルモード

1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
メモリアドレスを 1 または 2 増減
転送回数は 1~65,536

(2) リピートモード

1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行
メモリアドレスを 1 または 2 増減
転送回数 (1~256) 転送後、初期状態を回復して動作を継続

(3) ブロック転送モード

1 回の転送要求で指定したブロックサイズの転送
ブロックサイズ 1~256 バイトまたはワード
転送回数は 1~65,536
ソースまたはデスティネーションのいずれかをブロックエリアに指定可能

- 1 つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16M バイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTC を起動した割り込みを CPU に要求可能
- モジュールストップ状態への設定可能

DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットし、RMMSTPCR の MSTP32 ビットを 0 クリアしてください。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

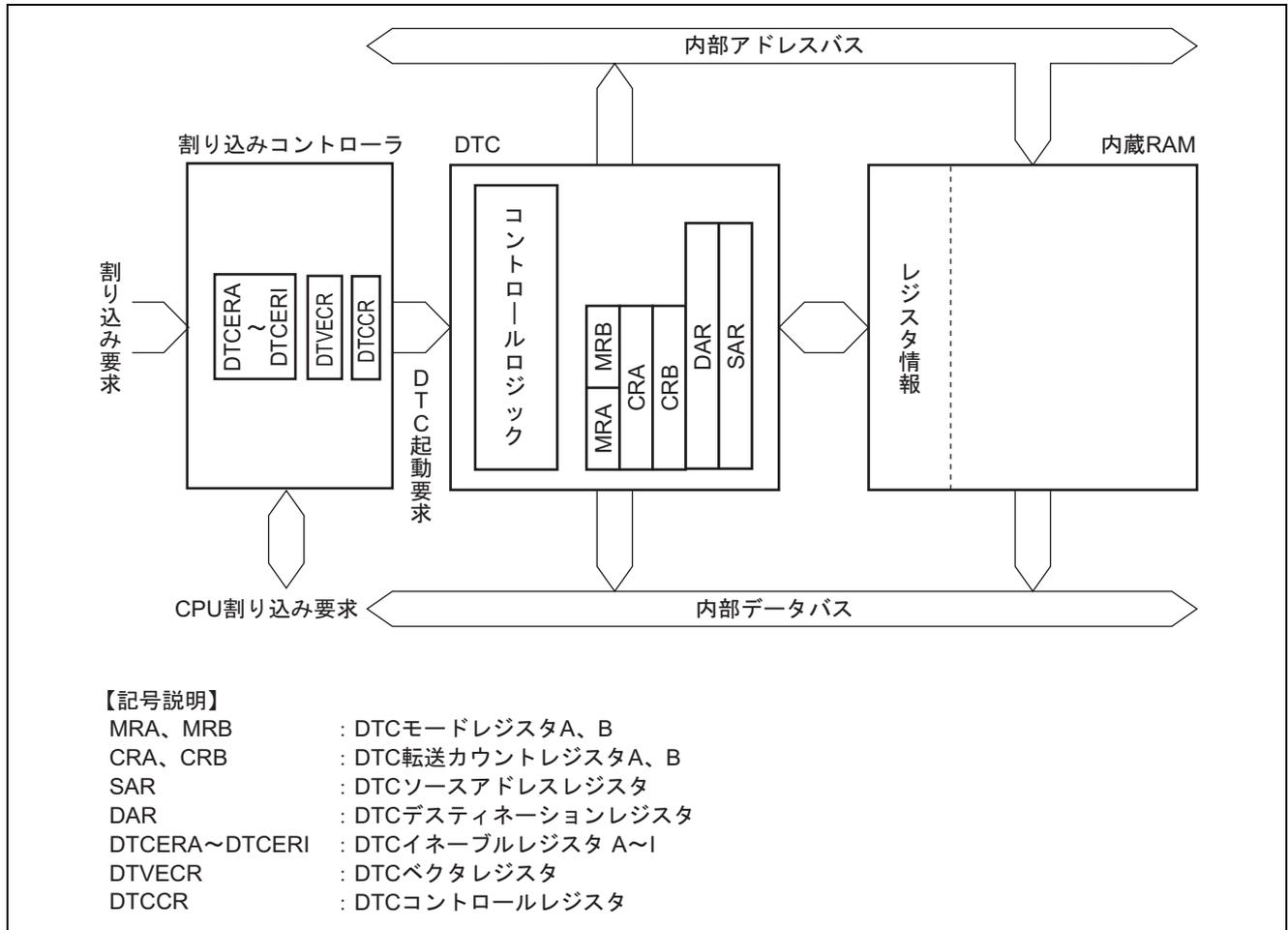


図 9.1 DTC のブロック図

9.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタA~I (DTCERA~DTCERI)
- DTCベクタレジスタ (DTVECR)
- DTCコントロールレジスタ (DTCCR)

9.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	SM1	不定	—	ソースアドレスモード 1、0
6	SM0	不定	—	データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
5	DM1	不定	—	デスティネーションアドレスモード 1、0
4	DM0	不定	—	データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき+1、Sz=1 のとき+2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき-1、Sz=1 のとき-2)
3	MD1	不定	—	DTC モード
2	MD0	不定	—	DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定	—	DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定	—	DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【注】 X : Don't care

9.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	—	DTC チェイン転送イネーブル このビットが1のときチェイン転送を行います。チェイン転送の詳細は「9.5.4 チェイン転送」を参照してください。 CHNE=1に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアやDTCERのクリアは行いません。
6	DISEL	不定	—	DTC インタラプトセレクト このビットが1のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットは0のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
5	CHNS	不定	—	チェイン転送セレクト チェイン転送の条件を選択します。 0：連続してチェイン転送を行う 1：転送カウンタ=0のときのみチェイン転送を行う
4~0	—	不定	—	リザーブビット DTC の動作に影響を与えません。ライトするときは0をライトしてください。

9.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

9.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

9.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65,536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。

9.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65,536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。ノーマルモードおよびリピートモードでは使用しません。

9.2.7 DTC イネーブルレジスタ A~I (DTCERA~DTCERI)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERI があります。各割り込み要因と DTCE ビットの対応については表 9.2 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	[クリア条件]
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときは自動クリアされません。
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	• DTCE=1 の状態でリードした後、DTCE に 0 をライトしたとき

9.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	DTVEC7	0	R/W	DTC ソフトウェア起動ベクタ 7~0
6	DTVEC6	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
5	DTVEC5	0	R/W	ベクタアドレスは、H'0400+ベクタ番号×2 となります。たとえば、DTVEC7~DTVEC0=H'10 のとき、ベクタアドレスは H'0420 となります。
4	DTVEC4	0	R/W	
3	DTVEC3	0	R/W	SWDTE=0 のときだけライト可能です。
2	DTVEC2	0	R/W	
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

9.2.9 DTC コントロールレジスタ (DTCCR)

DTCCR は、ソフトウェアによる DTC 起動を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	<p>DTC ソフトウェア起動イネーブル</p> <p>このビットを 1 にセットすると DTC が起動します。1 のライトのみ可能です。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DISEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込みが要求 (SWDTEND) が発生したあと、0 をライトしたとき <p>DISEL ビットが 1 で、データ転送を終了したとき、および指定した回数の転送が終了したときはクリアされません。</p>
6~0	—	すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

9.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR、DTCCR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RX10 の場合、起動要因フラグは、SCI_0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。起動要因と DTCER のクリアを表 9.1 に、DTC 起動要因制御ブロック図を図 9.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

表 9.1 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> • SWDTE ビットは 1 を保持 • CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> • DTCER の対応するビットは 1 を保持 • 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> • DTCER の対応するビットは 0 にクリア • 起動要因フラグは 1 を保持 • 起動要因となった割り込みを CPU に要求

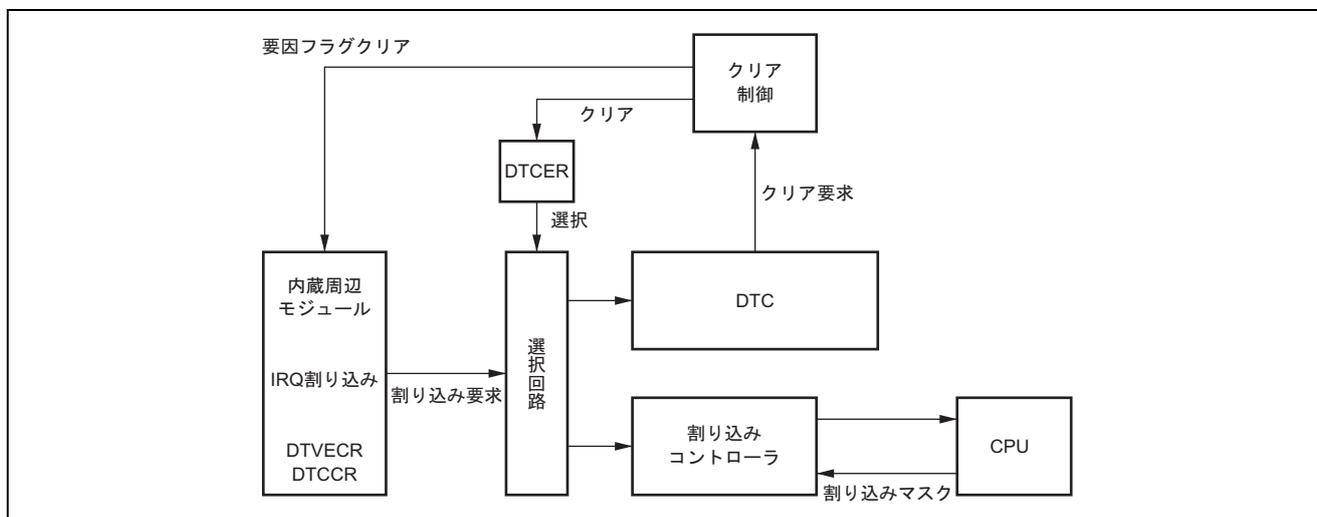


図 9.2 DTC 起動要因制御ブロック図

9.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFBC00~H'FFBFFF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは4の倍数の番地としてください。図 9.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 9.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 9.4 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは H'0400+ (DTVECR [7:0]×2) となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモード*とアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

【注】 * 本 LSI では使用しません。

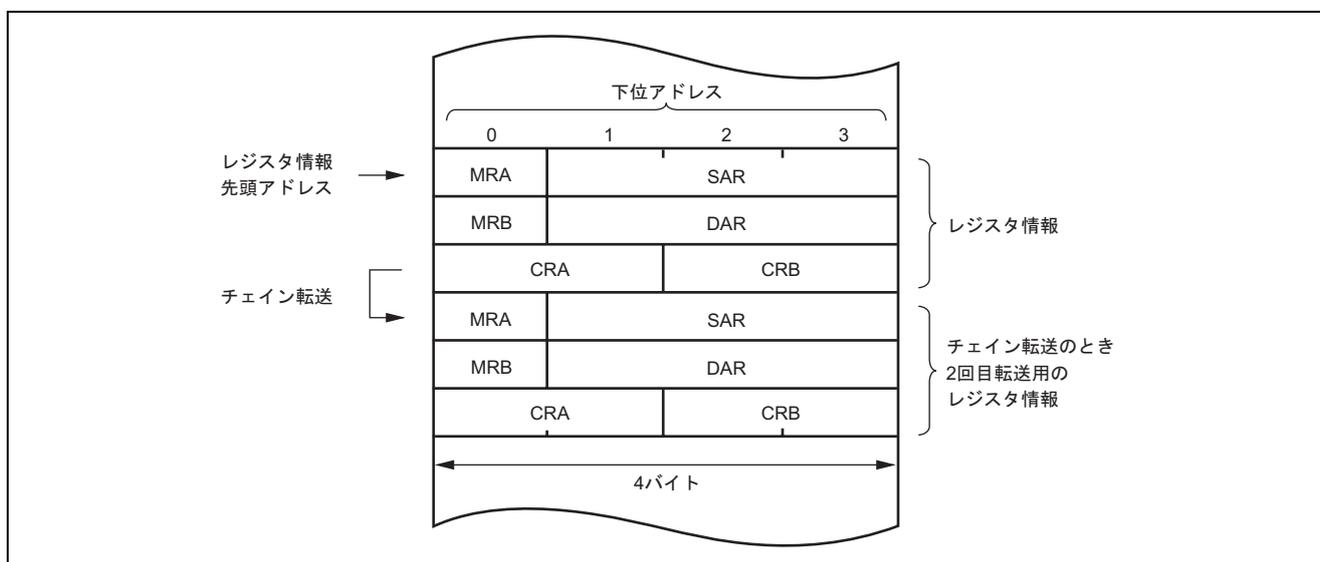


図 9.3 アドレス空間上での DTC レジスタ情報の配置

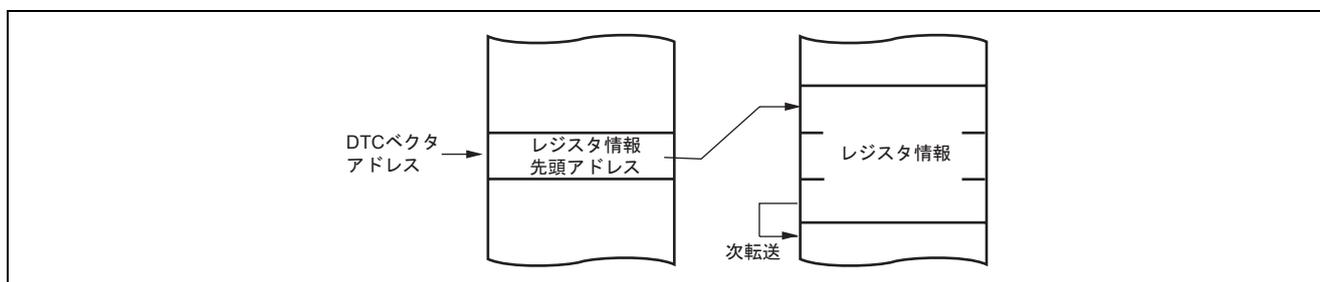


図 9.4 DTC ベクタアドレスとレジスタ情報との対応

表 9.2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ番号	DTC ベクタアドレス	DTCE* ¹	優先 順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400+ (DTVECR[7:0]×2)	—	高 ↑ ↓ 低
外部端子	IRQ0	16	H'0420	DTCEA7	
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
	IRQ4	20	H'0428	DTCEA3	
	IRQ5	21	H'042A	DTCEA2	
	IRQ6	22	H'042C	DTCEA1	
	IRQ7	23	H'042E	DTCEA0	
	IRQ8* ²	24	H'0430	DTCEB7	
	IRQ9* ²	25	H'0432	DTCEB6	
	IRQ10* ²	26	H'0434	DTCEB5	
	IRQ11* ²	27	H'0436	DTCEB4	
	IRQ12* ²	28	H'0438	DTCEB3	
	IRQ13* ²	29	H'043A	DTCEB2	
	IRQ14* ²	30	H'043C	DTCEB1	
IRQ15* ²	31	H'043E	DTCEB0		
A/D_0	AD10	38	H'044C	DTCEC6	
TPU_0	TGI0A	40	H'0450	DTCEC5	
	TGI0B	41	H'0452	DTCEC4	
	TGI0C	42	H'0454	DTCEC3	
	TGI0D	43	H'0456	DTCEC2	
TPU_1	TGI1A	48	H'0460	DTCEC1	
	TGI1B	49	H'0462	DTCEC0	
TPU_2	TGI2A	52	H'0468	DTCED7	
	TGI2B	53	H'046A	DTCED6	
TPU_3	TGI3A	56	H'0470	DTCED5	
	TGI3B	57	H'0472	DTCED4	
	TGI3C	58	H'0474	DTCED3	
	TGI3D	59	H'0476	DTCED2	
TPU_4	TGI4A	64	H'0480	DTCED1	
	TGI4B	65	H'0482	DTCED0	
TPU_5	TGI5A	68	H'0488	DTCEE7	
	TGI5B	69	H'048A	DTCEE6	

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE* ¹	優先 順位
TMR_0	CMIA0	72	H'0490	DTCEE3	↑ 高
	CMIB0	73	H'0492	DTCEE2	
TMR_1	CMIA1	76	H'0498	DTCEE1	
	CMIB1	77	H'049A	DTCEE0	
DMAC	DMTEND0A	80	H'04A0	DTCEF7	
	DMTEND0B	81	H'04A2	DTCEF6	
	DMTEND1A	82	H'04A4	DTCEF5	
	DMTEND1B	83	H'04A6	DTCEF4	
SCI_0	RXI0	89	H'04B2	DTCEF3	
	TXI0	90	H'04B4	DTCEF2	
SCI_1	RXI1	93	H'04BA	DTCEF1	
	TXI1	94	H'04BC	DTCEF0	
SCI_2	RXI2	97	H'04C2	DTCEG7	
	TXI2	98	H'04C4	DTCEG6	
SCI_3	RXI3	101	H'04CA	DTCEG5	
	TXI3	102	H'04CC	DTCEG4	
SCI_4	RXI4	105	H'04D2	DTCEG3	
	TXI4	106	H'04D4	DTCEG2	
A/D_1	AD11	112	H'04E0	DTCEG1	
TPU_6	TGI6A	120	H'04F0	DTCEG0	
	TGI6B	121	H'04F2	DTCEH7	
	TGI6C	122	H'04F4	DTCEH6	
	TGI6D	123	H'04F6	DTCEH5	
TPU_7	TGI7A	125	H'04FA	DTCEH4	
	TGI7B	126	H'04FC	DTCEH3	
TPU_8	TGI8A	129	H'0502	DTCEH2	
	TGI8B	130	H'0504	DTCEH1	
TPU_9	TGI9A	133	H'050A	DTCEH0	
	TGI9B	134	H'050C	DTCEI7	
	TGI9C	135	H'050E	DTCEI6	
	TGI9D	136	H'0510	DTCEI5	
TPU_10	TGI10A	138	H'0514	DTCEI4	
	TGI10B	139	H'0516	DTCEI3	
TPU_11	TGI11A	142	H'051C	DTCEI2	↓ 低
	TGI11B	143	H'051E	DTCEI1	

【注】 *1 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

ソフトウェアスタンバイ状態および全モジュールクロックストップ状態を割り込みにより解除する場合は、対応する DTCE ビットに 0 をライトしてください。

*2 H8S/2424 グループではサポートしていません。

9.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると内蔵 RAM からレジスタ情報をリードして、データ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意チャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。さらに、CHNS ビットを 1 にセットすることにより、転送カウンタ=0 のときのみチェーン転送を行うこともできます。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメントまたはデクリメントされるか固定されます。

図 9.5 に DTC の動作フローチャートを示します。表 9.3 に第 1 の転送から第 2 の転送を行うチェーン転送の条件を示します。

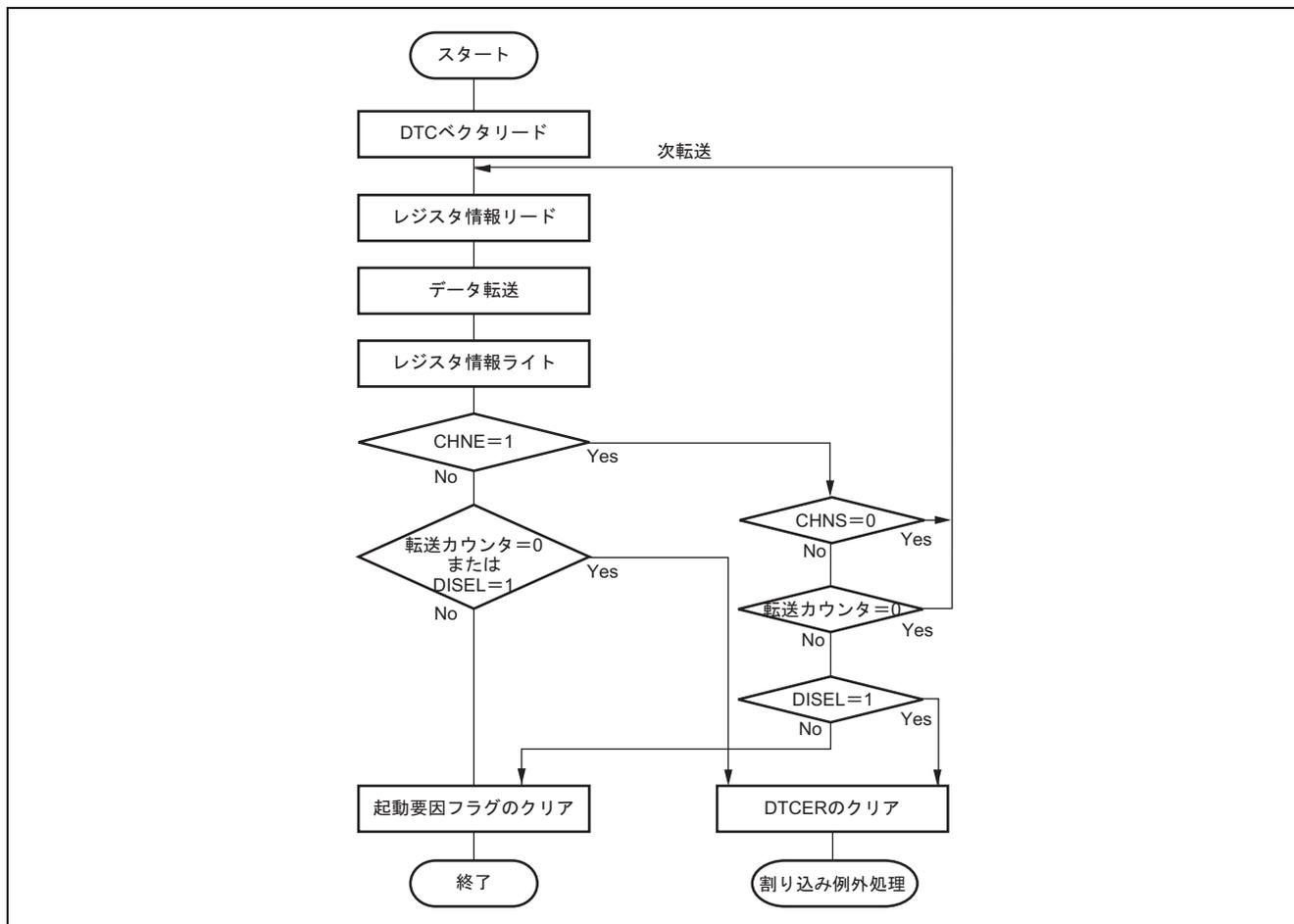


図 9.5 DTC 動作フローチャート

表 9.3 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	CR	CHNE	CHNS	DISEL	CR	
0	—	0	0 以外	—	—	—	—	第 1 の転送で終了
0	—	0	0	—	—	—	—	第 1 の転送で終了
0	—	1	—	—	—	—	—	CPU へ割り込み要求
1	0	—	—	0	—	0	0 以外	第 2 の転送で終了
				0	—	0	0	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	0	0 以外	—	—	—	—	第 1 の転送で終了
1	1	—	0	0	—	0	0 以外	第 2 の転送で終了
				0	—	0	0	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	1	0 以外	—	—	—	—	第 1 の転送で終了 CPU へ割り込み要求

9.5.1 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 9.4 にノーマルモードにおけるレジスタ機能を示します。転送回数は1~65,536 です。指定回数の転送が終了すると、CPU へ割り込み要求を発生することができます。

表 9.4 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

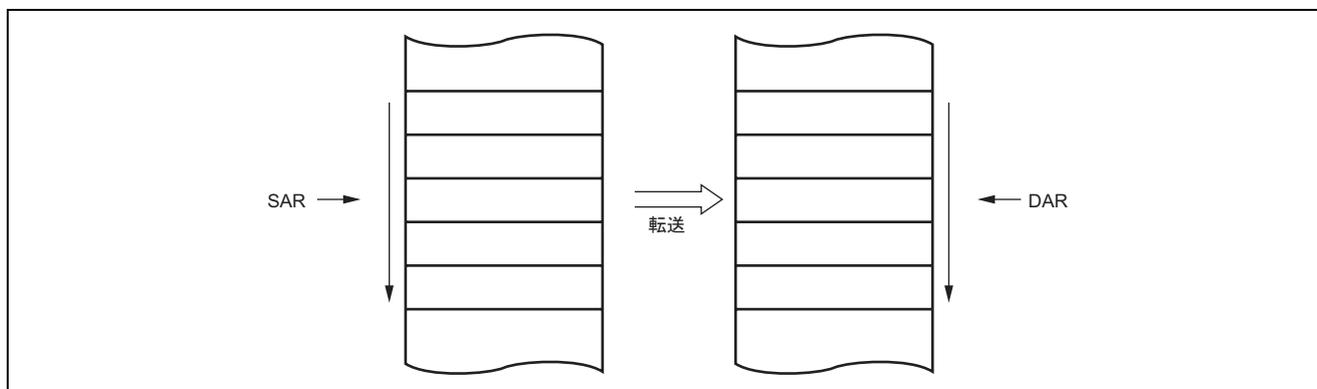


図 9.6 ノーマルモードのメモリマップ

9.5.2 リpeatモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 9.5 にリpeatモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリpeatエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リpeatモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 9.5 リpeatモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

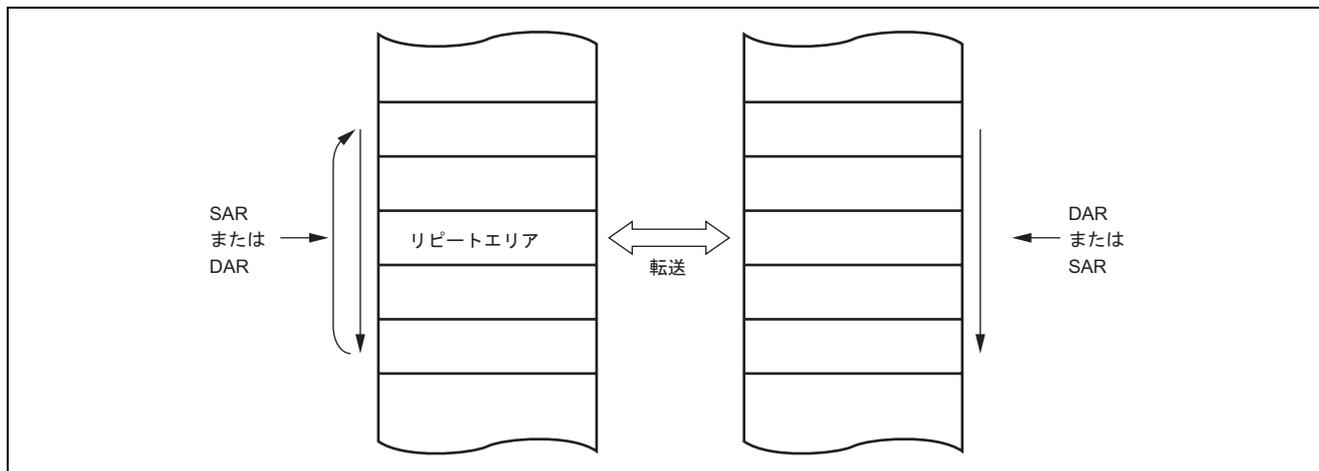


図 9.7 リpeatモードのメモリマップ

9.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 9.6 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65,536です。指定回数 of ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 9.6 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

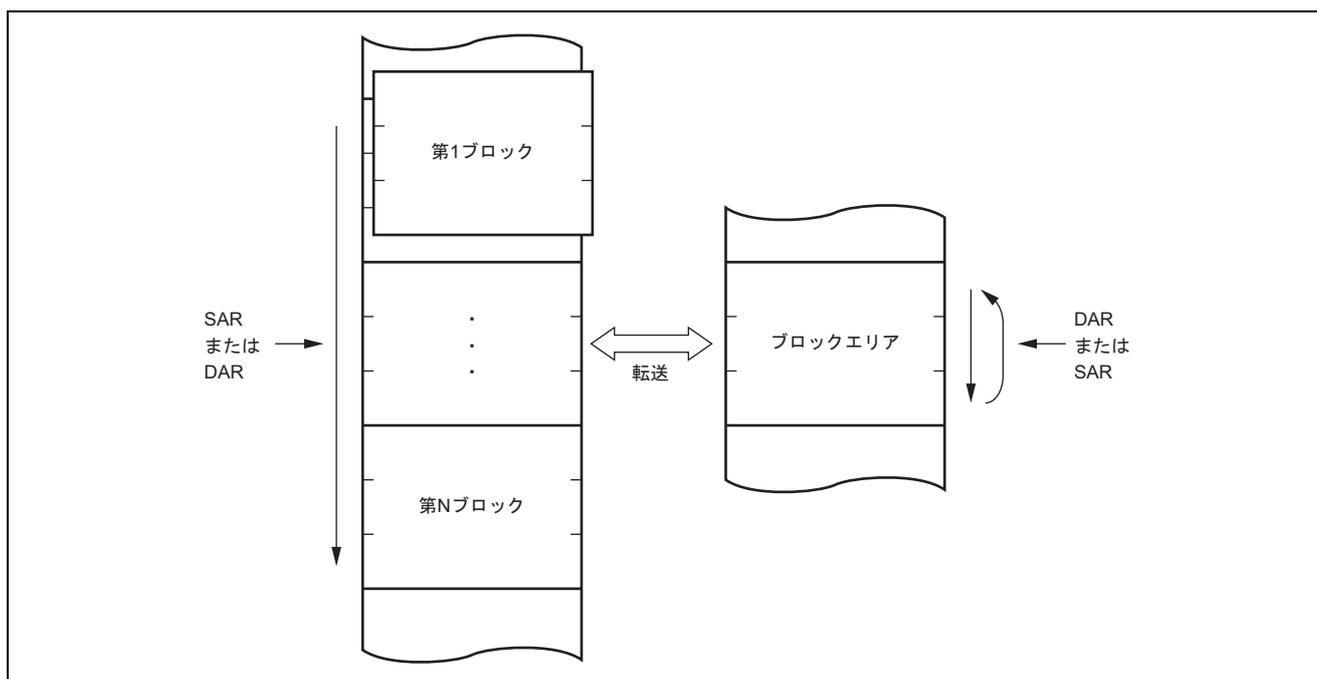


図 9.8 ブロック転送モードのメモリマップ

9.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 9.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後 MRB の CHNE ビットが 1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を共に CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。また、CHNE ビット、CHNS ビットを共に 1 にセットすると転送カウンタ=0 のときのみチェイン転送を行うこともできます。

CHNE=1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

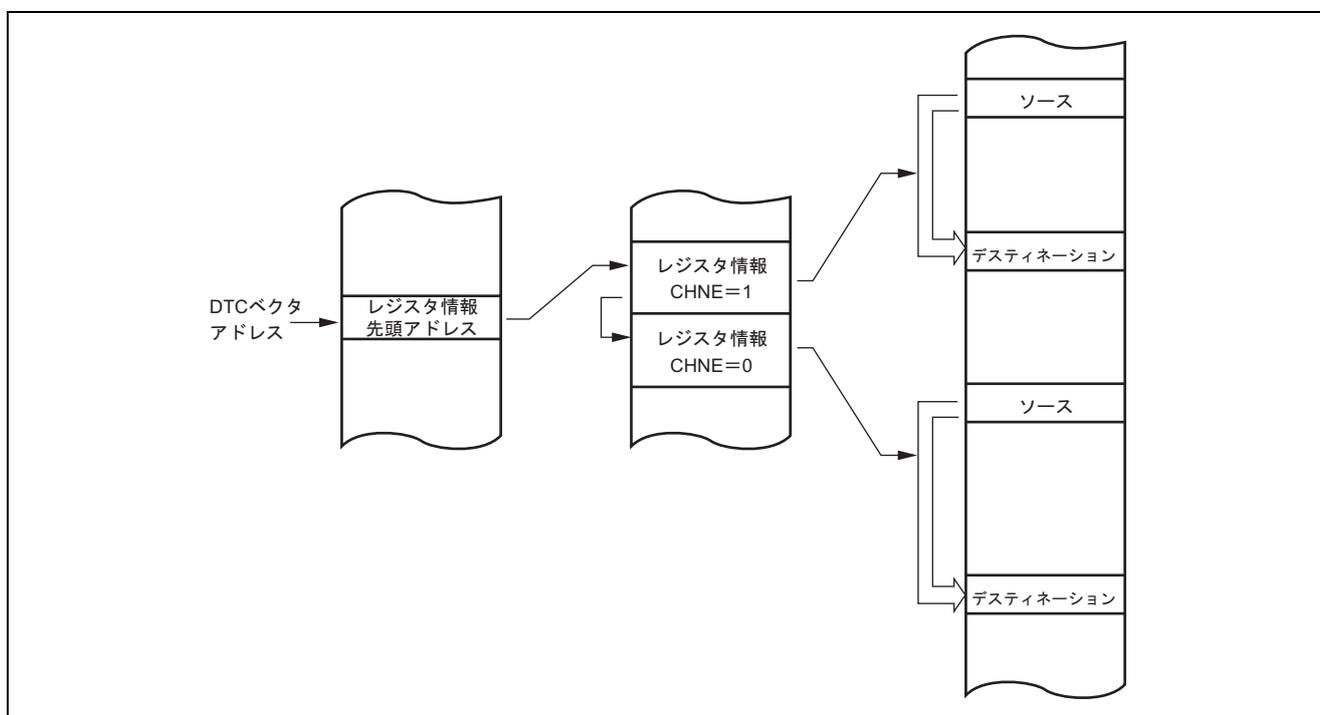


図 9.9 チェイン転送の動作

9.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、または DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

9.5.6 動作タイミング

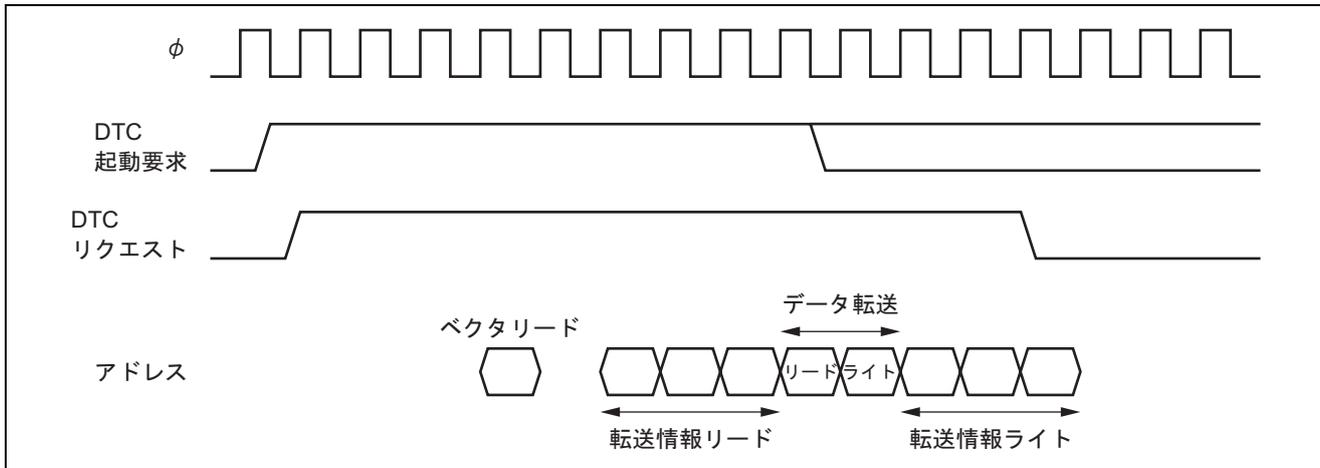


図 9.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

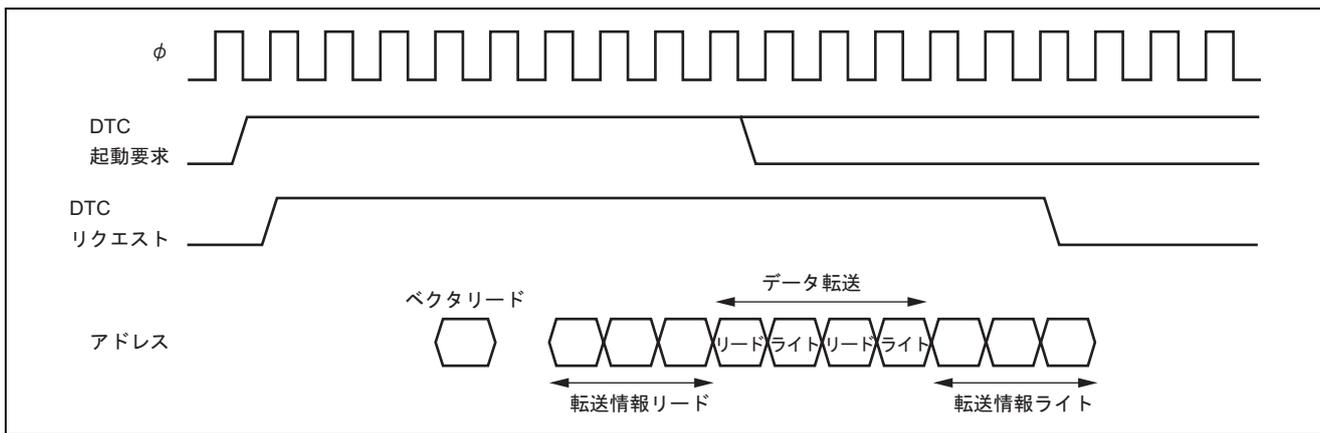


図 9.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

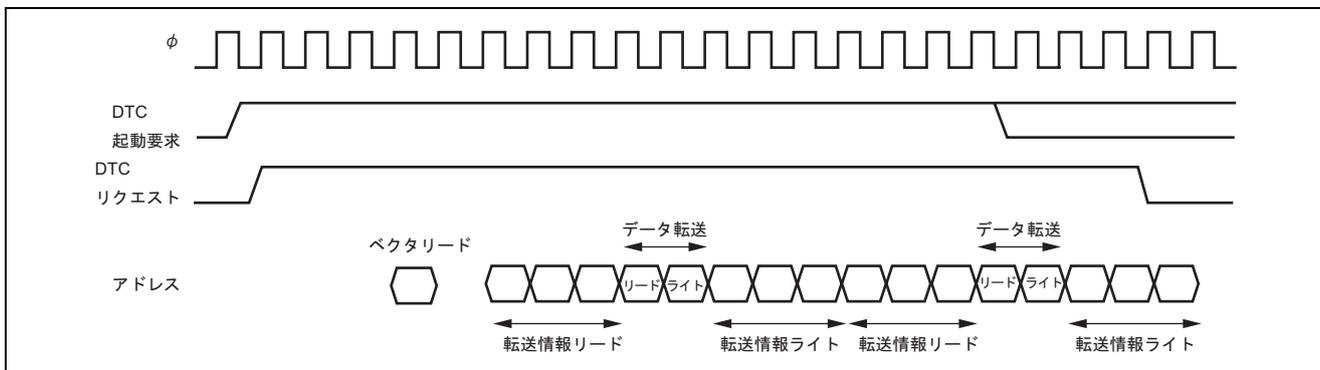


図 9.12 DTC の動作タイミング (チェイン転送の例)

9.5.7 DTC 実行ステート数

表 9.7 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 9.8 に、実行状態に必要なステート数を示します。

表 9.7 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N：ブロックサイズ（CRAH、CRAL の初期設定値）

表 9.8 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実 行 状 態	ベクタリード S_i	—	1	—	—	4	6+2m	2	3+m
	レジスタ情報 S_j リード/ライト	1	—	—	—	—	—	—	—
	バイトデータリード S_k	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S_k	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S_l	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S_l	1	1	4	2	4	6+2m	2	3+m
	内部動作 S_m	1							

実行ステート数は次の計算式で計算されます。なお、 Σ は 1 つの起動要因で転送する回数分（CHNE ビットを 1 にセットした数+1）の和を示します。

$$\text{実行ステート数} = I \cdot S_i + \Sigma (J \cdot S_j + K \cdot S_k + L \cdot S_l) + M \cdot S_m$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

9.6 DTC 使用手順

9.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

9.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE=0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

9.7 DTC 使用例

9.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

9.7.2 チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピートモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE=0 のときの転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、リピートモード (MD1=0、MD0=1)、ワードサイズ (Sz=1) を設定します。ソース側をリピート領域 (DTS=1) に設定します。MRBはチェインモード (CHNE=1、DISEL=0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、ノーマルモード (MD1=MD0=0)、ワードサイズ (Sz=1) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
3. NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。
4. NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
5. DTCERのTGIAに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ (出力禁止) に設定し、TIERでTGIA割り込みを許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後 (TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

9.7.3 転送カウンタ=0のときのチェイン転送

DTCは、転送カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって転送回数が256回以上のリピート転送を行うことができます。128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレスH'0000から始まるように設定します。図9.13に転送カウンタ=0のときのチェイン転送の概要を示します。

1. 第1のデータ転送として、入力データ用のノーマルモードを設定します。転送元アドレスは固定(G/Aなど)、CRA=H'0000 (65,536回)、CHNE=1、CHNS=1、DISEL=0としてください。
2. 第1のデータ転送の転送先アドレスの65536回ごとの先頭アドレスの上位8ビットアドレスを別の領域(ROMなど)に用意してください。たとえば、入力バッファをH'200000~H'21FFFFとする場合には、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレスの再設定用のリピートモード(ソース側をリピート領域)とします。転送先は第1の転送用レジスタ情報領域のDARの上位8ビットとします。CHNE=DISEL=0としてください。上記入力バッファをH'200000~H'21FFFFとする場合には、転送カウンタ=2とします。
4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
5. 引き続き、割り込みによって第1のデータ転送を第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
6. 前記4.5.を無限に繰り返します。第2のデータ転送がリピートモードのため、CPUには割り込みを要求しません。

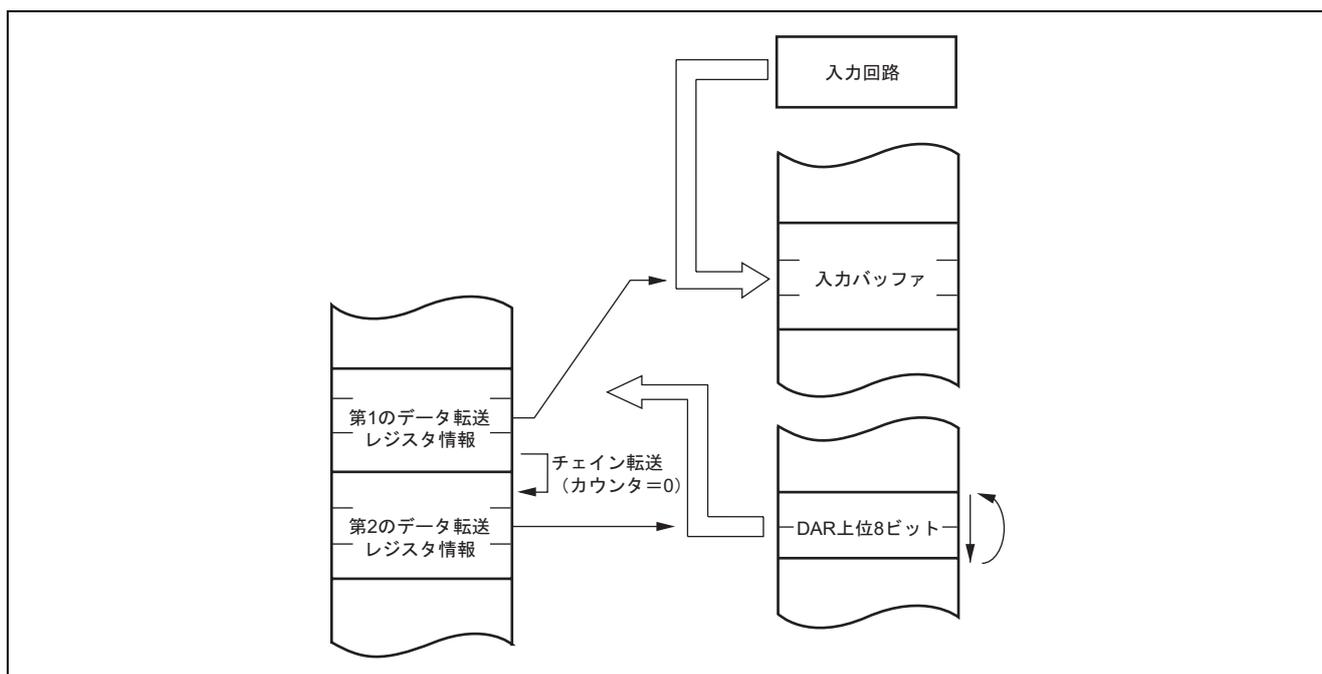


図 9.13 カウンタ=0 のときのチェーン転送

9.7.4 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTCCRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'60です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表わします。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3] に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

9.8 使用上の注意事項

9.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DTC の動作禁止/許可を設定することが可能です。初期値では、DTC の動作許可状態です。モジュールストップ状態に設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中はモジュールストップ状態に設定できません。詳細は、「第 23 章 低消費電力状態」を参照してください。

9.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしたり、RMMSTPCR の対応する MSTP ビットを 1 にセットしないでください。

9.8.3 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するために、割り込みを禁止して、当該レジスタのダメージリードを行ってからライトすることができます。

9.8.4 DMAC 転送終了割り込み

DMAC 転送終了割り込みで DTC を起動したとき、転送カウンタ、DISEL ビットにかかわらず、DMAC の DTE ビットは DTC の制御を受けずライトデータが優先されます。このため、DTC の転送カウンタが 0 になった場合でも、CPU への割り込みが発生しない場合があります。

9.8.5 チェイン転送

チェイン転送の場合には、連結された最後のデータ転送時に起動要因または DTCER のクリアを行います。一方、SCI および高速 A/D 変換器の割り込み/起動要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされます。したがって、これらの割り込み/起動要因によって DTC を起動する場合、チェインで連結された最後のデータ転送で当該レジスタのリード/ライトを含まない場合は割り込み/起動要因が保持されます。

10. I/O ポート

H8S/2426 グループ、H8S/2426R グループのポートの機能一覧を表 10.1 に、H8S/2424 グループのポートの機能一覧を表 10.2 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT)、入出力先を設定するポートファンクションコントロールレジスタ (PFCR) から構成されています。各端子の入出力の設定は、PFCR で入出力先を選択した後、各端子の入出力を有効にするようにしてください。入力専用ポートには DR、DDR はありません。

ポート A~E には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

ポート 1~3、5~8、A~J にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン/オフを選択できます。

ポート 1~3、5~8 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。ポート A~J は 1 個の TTL と 50pF の容量負荷を駆動することができます。

すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

ポート 1、ポート 2 はシュミットトリガ入力です。その他のポートは $\overline{\text{IRQ}}$ 入力、16 ビットタイマパルスユニット (TPU) 入力、8 ビットタイマ (TMR) 入力、 I^2C バスインタフェース (IIC) 入力として使用するときにシュミットトリガ入力端子となります。

表 10.1 H8S/2426 グループ、H8S/2426R グループのポートの機能一覧

ポート名	概要	モード 1	モード 2	モード 4	モード 3、7		シュミットトリガ 入力端子*3	入力ブルアップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*2	
					EXPE=1	EXPE=0					
ポート 1	PPG 出力、 TPU 入出力、 EXDMAC 出力、 SSU 入出力と 兼用汎用入出力 ポート	P17/PO15/TIOCB2/TCLKD/EDRAK3/SCS0-A			P17/PO15/TIOCB2/ TCLKD/SCS0-A		P17、TIOCB2/ TCLKD	-	全出力端子 機能	-	
		P16/PO14/TIOCA2/EDRAK2/SSCK0-A			P16/PO14/TIOCA2/ SSCK0-A		P16、TIOCA2				
		P15/PO13/TIOCB1/TCLKG/SSI0-A					P15、TIOCB1				
		P14/PO12/TIOCA1/SSO0-A					P14、TIOCA1				
		P13/PO11/TIOCD0/TCLKB					全入力端子機能				
		P12/PO10/TIOCC0/TCLKA					全入力端子機能				
		P11/PO9/TIOCB0					全入力端子機能				
P10/PO8/TIOCA0					全入力端子機能						
ポート 2	PPG 出力、 TPU 入出力 割り込み入力、 SCI 入出力、 I ² C 入出力、 A/D 変換器入力、 バス制御入出力と 兼用汎用入出力 ポート	P27/I ² C15-B/PO7/TIOCB5/SCL2			P26/I ² C14-B/PO6/TIOCA5/SDA2/ADTRG1		全入力端子機能	-	全出力端子 機能	○	
		P25/WAIT-B/I ² C13-B/PO5-A/TIOCB4-A			P25/I ² C13-B/PO5-A/ TIOCB4-A		P25、I ² C13-B、 TIOCB4-A				
		P24/I ² C12-B/PO4-A/TIOCA4-A/RxD4-A					P24、I ² C12-B、 TIOCA4-A				
		P23/I ² C11-B/PO3-A/TIOCD3-A/TxD4-A					全入力端子機能				
		P22/I ² C10-B/PO2-A/TIOCC3-A					全入力端子機能				
		P21/I ² C9-B/PO1-A/TIOCB3-A					全入力端子機能				
		P20/I ² C8-B/PO0-A/TIOCA3-A					全入力端子機能				
ポート 3	SCI 入出力、 I ² C 入出力、 バス制御入出力と 兼用汎用入出力 ポート	P35/OE-B*2/CKE-B*1/SCK1/SCL0			P35/SCK1/SCL0		SCL0	-	OE-B*2、 CKE-B*1 以外の 全出力端子 機能	○	
		P34/SCK0/SCK4-A/SDA0					SDA0				
		P33/RxD1/SCL1					SCL1				
		P32/RxD0/IrRxD/SDA1					SDA1				
		P31/TxD1					-				
		P30/TxD0/IrTxD					-				
ポート 4	A/D 変換器 アナログ入力と 兼用汎用入力ポート	P47/AN7_0					-	-	-	-	
		P46/AN6_0									
		P45/AN5_0									
		P44/AN4_0									
		P43/AN3_0									
		P42/AN2_0									
		P41/AN1_0									
P40/AN0_0											

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*3	入力プルアップ MOS 機能	オープンドレイン 出力機能	5V トレラント 機能*2	
					EXPE=1	EXPE=0					
ポート5	割り込み入力、 A/D 変換器入力、 SCI 入出力、 PPG 出力 TPU 入出力 TMR 入出力 I ² C 入出力、 バス制御入出力と 兼用汎用入出力 ポート	P53/IRQ3-A/ADTRG0-A					IRQ3-A	-	-	全出力端子 機能	-
		P52/BACK-B/IRQ2-A/PO4-B/TIOCA4-B/ TMO0-B/SCK2		P52/IRQ2-A/PO4-B/ TIOCA4-B/TMO0-B/ SCK2		IRQ2-A、 TIOCA4-B	BACK-B 以外の 全出力端子 機能				
		P51/BREQ-B/IRQ1-A/PO2-B/TIOCC3-B/ TMCIO-B/RxD2/SCL3		P51/IRQ1-A/PO2-B/ TIOCC3-B/TMCIO-B/ RxD2/SCL3		IRQ1-A、 TIOCC3-B、 TMCIO-B、SCL3	全出力端子 機能			○	
		P50/BREQ0-B/IRQ0-A/PO0-B/TIOCA3-B/ TMRIO-B/TxD2/SDA3		P50/IRQ0-A/PO0-B/ TIOCA3-B/TMRIO-B/ TxD2/SDA3		IRQ0-A、 TIOCA3-B、 TMRIO-B、SDA3	BREQ0-B 以外の 全出力端子 機能				
ポート6	割り込み入力、 TMR 入出力、 DMAC 入出力と 兼用汎用入出力 ポート	P65/IRQ13-A/DACK1/TMO1-A					IRQ13-A	-	-	全出力端子 機能	-
		P64/IRQ12-A/DACK0/TMO0-A					IRQ12-A				
		P63/IRQ11-A/TEND1/TMC1-A					IRQ11-A、 TMC1-A				
		P62/IRQ10-A/TEND0/TMCIO-A					IRQ10-A、 TMCIO-A				
		P61/IRQ9-A/DREQ1/TMR1-A					IRQ9-A、 TMR1-A				
		P60/IRQ8-A/DREQ0/TMRIO-A					IRQ8-A、 TMRIO-A				

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*3	入力プルアップ MOS 機能	オープンドレイン 出力機能	5V トレラント 機能*2	
					EXPE=1	EXPE=0					
ポート8	EXDMAC 入出力、 PPG 出力、 TPU 入出力、 TMR 入出力、 SCI 入出力、 割り込み入力と 兼用汎用入出力 ポート	P85/IRQ5-B/PO5-B/ TIOCB4-B/TMO1-B/SCK3/EDACK3			P85/IRQ5-B/PO5-B/ TIOCB4-B/TMO1-B/ SCK3		IRQ5-B、 TIOCB4-B	-	全出力端子 機能	-	
		P84/IRQ4-B/EDACK2			P84/IRQ4-B		IRQ4-B				
		P83/IRQ3-B/PO3-B/TIOCD3-B/ TMC11-B/RxD3/ETEND3			P83/IRQ3-B/PO3-B/ TIOCD3-B/TMC11-B/ RxD3		IRQ3-B、 TIOCD3-B、 TMC11-B				
		P82/IRQ2-B/ETEND2			P82/IRQ2-B		IRQ2-B				
		P81/IRQ1-B/PO1-B/TIOCB3-B/ TMR11-B/TxD3/EDREQ3			P81/IRQ1-B/PO1-B/ TIOCB3-B/TMR11-B/ TxD3		IRQ1-B、 TIOCB3-B、 TMR11-B				
		P80/IRQ0-B/EDREQ2			P80/IRQ0-B		IRQ0-B				
ポート9	A/D 変換器 アナログ入力、D/A 変換器 アナログ出力と 専用入力ポート	P97/AN15_1 P96/AN14_1 P95/AN13_1/DA3 P94/AN12_1/DA2 P93/AN11_1 P92/AN10_1 P91/AN9_1 P90/AN8_1					-	-	-	-	
ポートA	アドレス出力、 割り込み入力、 SSU 入出力、 SCI 入出力と 兼用汎用入出力 ポート	PA7/A23/IRQ7-A/ SSO0-B		PA7/A23/IRQ7-A/ SSO0-B		PA7/IRQ7-A/SSO0-B	IRQ7-A	○	アドレス 出力以外の 全出力端子 機能	-	
		PA6/A22/IRQ6-A/ SSI0-B		PA6/A22/IRQ6-A/ SSI0-B		PA6/IRQ6-A/SSI0-B	IRQ6-A				
		PA5/A21/IRQ5-A/ SSCK0-B		PA5/A21/IRQ5-A/ SSCK0-B		PA5/IRQ5-A/ SSCK0-B	IRQ5-A				
		A20/IRQ4-A		PA4/A20/IRQ4-A/ SCS0-B		PA4/IRQ4-A/SCS0-B	IRQ4-A				
		A19		PA3/A19/SCK4-B		PA3/SCK4-B					-
		A18		PA2/A18/RxD4-B		PA2/RxD4-B					
A17		PA1/A17/TxD4-B		PA1/TxD4-B							
A16		PA0/A16		PA0							

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*3	入力プルアップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*2	
					EXPE=1	EXPE=0					
ポート B	アドレス出力、 TPU 入出力と 兼用汎用入出力 ポート	A15 A14 A13 A12 A11 A10 A9 A8		PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8		PB7/TIOCB8/TCLKH PB6/TIOCA8 PB5/TIOCB7/TCLKG PB4/TIOCA7 PB3/TIOCD6/TCLKF PB2/TIOCC6/TCLKE PB1/TIOCB6 PB0/TIOCA6		TIOCB8/TCLKH TIOCA8 TIOCB7/TCLKG TIOCA7 TIOCD6/TCLKF TIOCC6/TCLKE TIOCB6 TIOCA6	○	アドレス 出力以外の 全出力端子 機能	—
ポート C	アドレス出力、 TPU 入出力と 兼用汎用入出力 ポート	A7 A6 A5 A4 A3 A2 A1 A0		PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0		PC7/TIOCB11 PC6/TIOCA11 PC5/TIOCB10 PC4/TIOCA10 PC3/TIOCD9 PC2/TIOCC9 PC1/TIOCB9 PC0/TIOCA9		TIOCB11 TIOCA11 TIOCB10 TIOCA10 TIOCD9 TIOCC9 TIOCB9 TIOCA9	○	アドレス 出力以外の 全出力端子 機能	—
ポート D	データ入出力、 アドレス出力と 兼用汎用入出力 ポート	D15/AD15 D14/AD14 D13/AD13 D12/AD12 D11/AD11 D10/AD10 D9/AD9 D8/AD8				PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	—	○	データ出力、 アドレス 出力以外の 全出力端子 機能	—	
ポート E	データ入出力、 アドレス出力と 兼用汎用入出力 ポート	PE7/D7/AD7 PE6/D6/AD6 PE5/D5/AD5 PE4/D4/AD4 PE3/D3/AD3 PE2/D2/AD2 PE1/D1/AD1 PE0/D0/AD0				PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0	—	○	データ出力、 アドレス 出力以外の 全出力端子 機能	—	

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*3	入力プルアップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*2		
					EXPE=1	EXPE=0						
ポート F	割り込み入力、 バス制御入出力、 SSU 入出力、 A/D 変換器入力と 兼用汎用 入出力ポート	PF7/ ϕ			PF7/ ϕ		—	—	—	—		
		PF6/ $\overline{AS}/\overline{AH}$			PF6						\overline{AS} 、 \overline{AH} 以外の 全出力端子 機能	
		\overline{RD}			PF5							\overline{RD} 以外の 全出力端子 機能
		\overline{HWR}			PF4							
		PF3/ $\overline{LWR}/\overline{SSO0-C}$			PF3/ $\overline{SSO0-C}$							\overline{LWR} 以外の 全出力端子 機能
		PF2/ $\overline{LCAS}^{*2}/\overline{DQML}^{*1}/\overline{IRQ15-A}/\overline{SSI0-C}$			PF2/ $\overline{IRQ15-A}/\overline{SSI0-C}$						$\overline{IRQ15-A}$	\overline{LCAS}^{*2} 、 \overline{DQML}^{*1} 以外の 全出力端子 機能
		PF1/ $\overline{UCAS}^{*2}/\overline{DQMU}^{*1}/\overline{IRQ14-A}/\overline{SSCK0-C}$			PF1/ $\overline{IRQ14-A}/\overline{SSCK0-C}$						$\overline{IRQ14-A}$	\overline{UCAS}^{*2} 、 \overline{DQMU}^{*1} 以外の 全出力端子 機能
		PF0/ $\overline{WAIT-A}/\overline{ADTRG0-B}/\overline{SCS0-C}$			PF0/ $\overline{ADTRG0-B}/\overline{SCS0-C}$						—	全出力端子 機能

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*3	入力プルアップ MOS 機能	オープンドレイン 出力機能	5V トレラント 機能*2	
					EXPE=1	EXPE=0					
ポート G	バス制御入出力と兼用汎用入出力ポート	PG6/ $\overline{\text{BREQ-A}}$			PG6		—	—	全出力端子機能	—	
		PG5/ $\overline{\text{BACK-A}}$			PG5						BACK-A 以外の全出力端子機能
		PG4/ $\overline{\text{BREQO-A}}$			PG4						$\overline{\text{BREQO-A}}$ 以外の全出力端子機能
		PG3/ $\overline{\text{CS3/RAS3}}^{*2}/\overline{\text{CAS}}^{*1}$			PG3						CS3、 $\overline{\text{RAS3}}^{*2}$ 、 $\overline{\text{CAS}}^{*1}$ 以外の全出力端子機能
		PG2/ $\overline{\text{CS2/RAS2}}^{*2}/\overline{\text{RAS}}^{*1}$			PG2						$\overline{\text{CS2}}$ 、 $\overline{\text{RAS2}}^{*2}$ 、 $\overline{\text{RAS}}^{*1}$ 以外の全出力端子機能
		PG1/ $\overline{\text{CS1}}$			PG1						CS1 以外の全出力端子機能
		PG0/ $\overline{\text{CS0}}$			PG0						CS0 以外の全出力端子機能

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*3	入力プルアップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*2	
					EXPE=1	EXPE=0					
ポート H	割り込み入力、 バス制御入出力と 兼用汎用 入出力ポート	PH3/ $\overline{CS7}$ / $\overline{OE-A}^{*2}$ / $\overline{CKE-A}^{*1}$ / $\overline{IRQ7-B}$			PH3/ $\overline{IRQ7-B}$	$\overline{IRQ7-B}$	-	-	$\overline{CS7}$ 、 $\overline{OE-A}^{*2}$ 、 $\overline{CKE-A}^{*1}$ 以外の 全出力端子 機能	-	
		PH2/ $\overline{CS6}$ / $\overline{IRQ6-B}$			PH2/ $\overline{IRQ6-B}$	$\overline{IRQ6-B}$					$\overline{CS6}$ 以外の 全出力端子 機能
		PH1/ $\overline{CS5}$ / $\overline{RAS5}^{*2}$ / $\overline{SDRAM}\phi^{*1}$			PH1/ $\overline{SDRAM}\phi^{*1}$	-					$\overline{RAS5}^{*2}$ 、 $\overline{SDRAM}\phi^{*1}$ 以外の 全出力端子 機能
		PH0/ $\overline{CS4}$ / $\overline{RAS4}^{*2}$ / \overline{WE}^{*1}			PH0	-					$\overline{RAS4}^{*2}$ 、 \overline{WE}^{*1} 以外の 全出力端子 機能
ポート J	汎用入出力 ポート	PJ2 PJ1 PJ0				-	-	- 全出力端子 機能	○		

【注】 *1 H8S/2426 グループではサポートしていません。

*2 5V 版ではサポートしていません。

*3 シュミットトリガ入力端子以外は CMOS 入力端子になります。

表 10.2 H8S/2424 グループのポートの機能一覧

ポート名	概要	モード 1	モード 2	モード 4	モード 3、7		シュミット トリガ 入力端子*2	入力プル アップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*1
					EXPE=1	EXPE=0				
ポート 1	PPG 出力、 TPU 入出力、 DMAC 入出力、 SSU 入出力と 兼用汎用入出力 ポート	P17/PO15/TIOCB2/TCLKD/ $\overline{\text{SCS0-A}}$					P17、TIOCB2/ TCLKD	-	全出力端子 機能	-
		P16/PO14/TIOCA2/SSCK0-A					P16、TIOCA2			
		P15/ $\overline{\text{DACK1}}$ /PO13/TIOCB1/TCLKC/SSI0-A					P15、TIOCB1			
		P14/ $\overline{\text{DACK0}}$ /PO12/TIOCA1/SSO0-A					P14、TIOCA1			
		P13/ $\overline{\text{TEND1}}$ /PO11/TIOCD0/TCLKB					全入力端子機能			
		P12/ $\overline{\text{TEND0}}$ /PO10/TIOCC0/TCLKA					全入力端子機能			
		P11/ $\overline{\text{DREQ1}}$ /PO9/TIOCB0					全入力端子機能			
		P10/ $\overline{\text{DREQ0}}$ /PO8/TIOCA0					全入力端子機能			
ポート 2	PPG 出力、 TPU 入出力、 SCI 入出力、 TMR 入出力、 I ² C 入出力、 A/D 変換器入力、 バス制御入出力と 兼用汎用入出力 ポート	P27/PO7/TIOCB5/SCL2					全入力端子機能	-	全出力端子 機能	○
		P26/PO6/TIOCA5/SDA2/ $\overline{\text{ADTRGT}}$					P26、TIOCA5、 SDA2			
		P25/ $\overline{\text{WAIT-B}}$ /PO5-A/TIOCB4-ATMO1-A			P25/PO5-A/ TIOCB4-ATMO1-A		P25、TIOCB4-A			
		P24/PO4-A/TIOCA4-ATMO0-A/RxD4-A					P24、TIOCA4-A			
		P23/PO3-A/TIOCD3-A/TMCI1-A/TxD4-A					全入力端子機能			
		P22/PO2-A/TIOCC3-A/TMCI0-A								
		P21/PO1-A/TIOCB3-A/TMRI1-A								
		P20/PO0-A/TIOCA3-A/TMRI0								
ポート 3	SCI 入出力、 I ² C 入出力、 バス制御入出力と 兼用汎用入出力 ポート	P35/ $\overline{\text{OE-B}}^*1$ /SCK1/SCL0			P35/SCK1/SCL0		SCL0	-	以外の 全出力端子 機能	○
		P34/SCK0/SCK4-A/SDA0					SDA0			
		P33/RxD1/SCL1					SCL1			
		P32/RxD0/IrRxD/SDA1					SDA1			
		P31/TxD1					-			
		P30/TxD0/IrTxD								
									-	

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*2	入力プルアップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*1	
					EXPE=1	EXPE=0					
ポート4	A/D 変換器 アナログ入力、 割り込み入力と 兼用汎用入力 ポート	P47/ $\overline{\text{IRQ7-B}}$ /AN7_0 P46/ $\overline{\text{IRQ6-B}}$ /AN6_0 P45/ $\overline{\text{IRQ5-B}}$ /AN5_0 P44/ $\overline{\text{IRQ4-B}}$ /AN4_0 P43/ $\overline{\text{IRQ3-B}}$ /AN3_0 P42/ $\overline{\text{IRQ2-B}}$ /AN2_0 P41/ $\overline{\text{IRQ1-B}}$ /AN1_0 P40/ $\overline{\text{IRQ0-B}}$ /AN0_0					$\overline{\text{IRQ7-B}}$ $\overline{\text{IRQ6-B}}$ $\overline{\text{IRQ5-B}}$ $\overline{\text{IRQ4-B}}$ $\overline{\text{IRQ3-B}}$ $\overline{\text{IRQ2-B}}$ $\overline{\text{IRQ1-B}}$ $\overline{\text{IRQ0-B}}$	—	—	—	
ポート5	割り込み入力、 A/D 変換器入力、 SCI 入出力、 PPG 出力 TPU 入出力 TMR 入出力 I ² C 入出力、 バス制御入出力と 兼用汎用入出力 ポート	P53/ $\overline{\text{IRQ3-A}}$ /ADTRG0-A					$\overline{\text{IRQ3-A}}$	—	全出力端子 機能	—	
		P52/ $\overline{\text{BACK-B}}$ / $\overline{\text{IRQ2-A}}$ /PO4-B/ TIOCA4-B/TMO0-B/SCK2		P52/ $\overline{\text{IRQ2-A}}$ /PO4-B/ TIOCA4-B/TMO0-B/ SCK2		$\overline{\text{IRQ2-A}}$ 、 TIOCA4-B	BACK-B 以外の 全出力端子 機能				
		P51/ $\overline{\text{BREQ-B}}$ / $\overline{\text{IRQ1-A}}$ /PO2-B/TIOCC3-B/ TMCIO-B/RxD2/SCL3		P51/ $\overline{\text{IRQ1-A}}$ /PO2-B/ TIOCC3-B/TMCIO-B/ RxD2/SCL3		$\overline{\text{IRQ1-A}}$ 、 TIOCC3-B、 TMCIO-B、SCL3	全出力端子 機能				○
		P50/ $\overline{\text{BREQ0-B}}$ / $\overline{\text{IRQ0-A}}$ /PO0-B/TIOCA3-B/ TMRIO-B/TxD2/SDA3		P50/ $\overline{\text{IRQ0-A}}$ /PO0-B/ TIOCA3-B/TMRIO-B/ TxD2/SDA3		$\overline{\text{IRQ0-A}}$ 、 TIOCA3-B、 TMRIO-B、SDA3	BREQ0-B 以 外の 全出力端子 機能				
ポート8	PPG 出力、 TPU 入出力、 TMR 入出力、 SCI 入出力と 兼用汎用入出力 ポート	P85/PO5-B/TIOCB4-B/TMO1-B/SCK3				TIOCB4-B		—	全出力端子 機能	—	
		P83/PO3-B/TIOCD3-B/TMC11-B/RxD3				TIOCD3-B、 TMC11-B					○
		P81/PO1-B/TIOCB3-B/TMRI1-B/TxD3				TIOCB3-B、 TMRI1-B					○
ポート9	A/D 変換器 アナログ入力、 D/A 変換器 アナログ出力と専用 入力ポート	P95/AN13_1/DA3 P94/AN12_1/DA2					—	—	—	—	

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*2	入カプル アップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*1
					EXPE=1	EXPE=0				
ポート A	アドレス出力、 割り込み入力、 SSU 入出力、 SCI 入出力、 バス制御出力と 兼用汎用入出力 ポート	PA7/A23/CS7/ IRQ7-A/SSO0-B		PA7/A23/CS7/IRQ7-A/ SSO0-B	PA7/IRQ7-A/SSO0-B		IRQ7-A	○	アドレス 出力、CS7 以 外の 全出力端子 機能	-
		PA6/A22/IRQ6-A/ SSIO-B		PA6/A22/IRQ6-A/SSIO-B	PA6/IRQ6-A/SSIO-B		IRQ6-A			
		PA5/A21/IRQ5-A/ SSCK0-B		PA5/A21/IRQ5-A/ SSCK0-B	PA5/IRQ5-A/ SSCK0-B		IRQ5-A			
		A20/IRQ4-A		PA4/A20/IRQ4-A/ SCS0-B	PA4/IRQ4-A/SCS0-B		IRQ4-A			
		A19	PA3/A19/SCK4-B	PA3/SCK4-B		-				
A18	PA2/A18/RxD4-B	PA2/RxD4-B								
A17	PA1/A17/TxD4-B	PA1/TxD4-B								
A16	PA0/A16	PA0								
ポート B	アドレス出力、 TPU 入出力と 兼用汎用入出力 ポート	A15	PB7/A15	PB7/TIOCB8/TCLKH	TIOCB8/TCLKH	○	アドレス 出力以外の 全出力端子 機能	-		
		A14	PB6/A14	PB6/TIOCA8	TIOCA8					
		A13	PB5/A13	PB5/TIOCB7/TCLKG	TIOCB7/TCLKG					
		A12	PB4/A12	PB4/TIOCA7	TIOCA7					
		A11	PB3/A11	PB3/TIOCD6/TCLKF	TIOCD6/TCLKF					
		A10	PB2/A10	PB2/TIOCC6/TCLKE	TIOCC6/TCLKE					
		A9	PB1/A9	PB1/TIOCB6	TIOCB6					
		A8	PB0/A8	PB0/TIOCA6	TIOCA6					
ポート C	アドレス出力、 TPU 入出力と 兼用汎用入出力 ポート	A7	PC7/A7	PC7/TIOCB11	TIOCB11	○	アドレス 出力以外の 全出力端子 機能	-		
		A6	PC6/A6	PC6/TIOCA11	TIOCA11					
		A5	PC5/A5	PC5/TIOCB10	TIOCB10					
		A4	PC4/A4	PC4/TIOCA10	TIOCA10					
		A3	PC3/A3	PC3/TIOCD9	TIOCD9					
		A2	PC2/A2	PC2/TIOCC9	TIOCC9					
		A1	PC1/A1	PC1/TIOCB9	TIOCB9					
		A0	PC0/A0	PC0/TIOCA9	TIOCA9					

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*2	入カプル アップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*1
					EXPE=1	EXPE=0				
ポート D	データ入出力、 アドレス出力と 兼用汎用入出力 ポート	D15/AD15 D14/AD14 D13/AD13 D12/AD12 D11/AD11 D10/AD10 D9/AD9 D8/AD8			PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0		—	○	データ出力、 アドレス 出力以外の 全出力端子 機能	—
ポート E	データ入出力、 アドレス出力と 兼用汎用入出力 ポート	PE7/D7/AD7 PE6/D6/AD6 PE5/D5/AD5 PE4/D4/AD4 PE3/D3/AD3 PE2/D2/AD2 PE1/D1/AD1 PE0/D0/AD0			PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0		—	○	データ出力、 アドレス 出力以外の 全出力端子 機能	—

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*2	入カプル アップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*1		
					EXPE=1	EXPE=0						
ポート F	バス制御入出力、 SSU 入出力、 A/D 変換器入力と 兼用汎用入出力 ポート	PF7/φ			PF7/φ		-	-	-	-		
		PF6/ $\overline{AS}/\overline{AH}$			PF6						\overline{AS} 、 \overline{AH} 以外の 全出力 端子機能	
		\overline{RD}			PF5							\overline{RD} 以外の 全出力 端子機能
		\overline{HWR}			PF4							
		PF3/ $\overline{LWR}/\overline{SSO0-C}$			PF3/ $\overline{SSO0-C}$							\overline{LWR} 以外の 全出力 端子機能
		PF2/ $\overline{CS6}/\overline{LCAS}^{*1}/\overline{SSI0-C}$			PF2/ $\overline{SSI0-C}$							
		PF1/ $\overline{CS5}/\overline{UCAS}^{*1}/\overline{SSCK0-C}$			PF1/ $\overline{SSCK0-C}$							$\overline{CS5}$ 、 \overline{UCAS}^{*1} 以外の 全出力 端子機能
		PF0/ $\overline{WAIT-A}/\overline{OE-A}^{*1}/\overline{ADTRG0-B}/\overline{SCS0-C}$			PF0/ $\overline{ADTRG0-B}/\overline{SCS0-C}$							

ポート名	概要	モード1	モード2	モード4	モード3、7		シュミットトリガ 入力端子*2	入カブル アップ MOS 機能	オープン ドレイン 出力機能	5V トレラント 機能*1	
					EXPE=1	EXPE=0					
ポート G	バス制御入出力と 兼用汎用入出力 ポート	PG6/ $\overline{\text{BREQ-A}}$			PG6		-	-		全出力 端子機能	-
		PG5/ $\overline{\text{BACK-A}}$			PG5					$\overline{\text{BACK-A}}$ 以外の 全出力 端子機能	
		PG4/ $\overline{\text{BREQO-A/CS4}}$			PG4					$\overline{\text{BREQO-A}}$ 、 $\overline{\text{CS4}}$ 以外の 全出力 端子機能	
		PG3/ $\overline{\text{CS3/RAS3}}$ *1			PG3					$\overline{\text{CS3}}$ 、 $\overline{\text{RAS3}}$ *1 以外の 全出力 端子機能	
		PG2/ $\overline{\text{CS2/RAS2}}$ *1			PG2					$\overline{\text{CS2}}$ 、 $\overline{\text{RAS2}}$ *1 以外の 全出力 端子機能	
		PG1/ $\overline{\text{CS1}}$			PG1					$\overline{\text{CS1}}$ 以外の 全出力 端子機能	
		PG0/ $\overline{\text{CS0}}$			PG0					$\overline{\text{CS0}}$ 以外の 全出力 端子機能	

【注】 *1 5V 版ではサポートしていません。

*2 シュミットトリガ入力端子以外は CMOS 入力端子になります。

10.1 ポート 1

ポート 1 は 8 ビットの兼用入出力ポートです。ポート 1 には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート 1 データディレクションレジスタ (P1DDR)
- ポート 1 データレジスタ (P1DR)
- ポート 1 レジスタ (PORT1)
- ポート 1 オープンドレインコントロールレジスタ (P1ODR)
- ポートファンクションコントロールレジスタ 5 (PFCR5)

10.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR はポート 1 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

10.1.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

10.1.3 ポート 1 レジスタ (PORT1)

PORT1 はポート 1 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P17	—*	R	このレジスタをリードすると、P1DDR がセットされているビットは P1DR の値がリードされます。P1DDR がクリアされているビットは端子の状態がリードされます。
6	P16	—*	R	
5	P15	—*	R	
4	P14	—*	R	
3	P13	—*	R	
2	P12	—*	R	
1	P11	—*	R	
0	P10	—*	R	

【注】 * P17～P10 端子の状態により決定されます。

10.1.4 ポート 1 オープンドレインコントロールレジスタ (P1ODR)

P1ODR は、ポート 1 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	P17ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	P16ODR	0	R/W	
5	P15ODR	0	R/W	
4	P14ODR	0	R/W	
3	P13ODR	0	R/W	
2	P12ODR	0	R/W	
1	P11ODR	0	R/W	
0	P10ODR	0	R/W	

10.1.5 端子機能

ポート 1 の各端子は、PPG の出力端子、TPU の入出力端子、EXDMAC (H8S/2426 グループ、H8S/2426R グループ) の入出力端子、SSU 入出力端子、DMAC (H8S/2424 グループ) 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

(1) H8S/2426 グループ、H8S/2426R グループの端子機能

- P17/PO15/TIOCB2/TCLKD/EDRAK3/SCS0-A

動作モードと EXPE ビット TPU の TMDR_2 の MD3~MD0 ビット、TIOR_2 の IOB3~IOB0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、TCR_0、TCR_5 の TPSC2~TPSC0 ビット、PPG の NDERH の NDER15 ビット、EXDMAC の EDMDR_3 の EDRAKE ビット、SSU の SSCRH の MSS、CSS1、CSS0 ビット、SSCRL の SSUMS ビット、PFCR5 の SCS0S1、SCS0S0 ビット、P17DDR ビットの組み合わせにより、次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

SSU の設定	下表 (1)					下表 (2)	下表 (4)	下表 (3)
EDRAKE	0					1	-	
TPU チャンネル 2 の設定	下表 (1)	下表 (2)				-	-	
P17DDR	-	0	1	1	-	0* ⁶	0* ⁶	-
NDER15	-	-	0	1	-	-		
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力	EDRAK3 出力	SCS0-A 入力* ^{3*7}	SCS0-A 入出力* ^{5*7}	SCS0-A 出力* ^{4*7}
		TIOCB2 入力* ¹						
	TCLKD 入力* ²							

- モード3、7 (EXPE=0)

SSU の設定	下表 (1)					下表 (2)	下表 (4)	下表 (3)
EDRAKE	0					-		
TPU チャンネル 2 の設定	下表 (1)	下表 (2)				-		
P17DDR	-	0	1	1	-	0* ⁶	0* ⁶	-
NDER15	-	-	0	1	-	-		
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力	SCS0-A 入力* ^{3*7}	SCS0-A 入出力* ^{5*7}	SCS0-A 出力* ^{4*7}	
		TIOCB2 入力* ¹						
	TCLKD 入力* ²							

- 【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB2 入力となります。
- *2 TCR_0、TCR_5 のいずれかの設定が TPSC2~TPSC0=B'111 の場合に TCLKD 入力となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。
- *3 SCS0-A 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 SCS0-A 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 SCS0-A 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *6 SSU 端子を入力として使用する場合は P17DDR=0 にしてください。
- *7 PFCR5 の SCS0S1、SCS0S0=B'00 以外の場合は SSU の設定をしないでください。
- I/O ポート、TPU 端子、EXDMAC 端子として使用してください。

TPU チャンネル 2 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

SSU の設定	(2)	(1)	(2)	(4)	(3)	(1)
SSUMS	0					1
MSS	0	1				x
CSS1	x	0		1		x
CSS0	x	0	1	0	1	x
端子状態	$\overline{\text{SCS}}$ 入力	—	$\overline{\text{SCS}}$ 入力	$\overline{\text{SCS}}$ 自動入出力	$\overline{\text{SCS}}$ 出力	—

【記号説明】 x : Don't care

— : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

• P16/PO14/TIOCA2/ $\overline{\text{EDRAK2}}$ /SSCK0-A

動作モードと EXPE ビット、TPU の TMDR_2 の MD3~MD0 ビット、TIOA2 の IOA3~IOA0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、PPG の NDERH の NDERH14 ビット、EXDMAC の EDMDR_2 の EDRAKE ビット、SSU の SSCRH の MSS、SCKS ビット、SSCRL の SSUMS ビット、PFCR5 の SSCK0S1、SSCK0S0 ビット、P16DDR ビットの組み合わせにより、次のように切り替わります。

• モード1、2、4 モード3、7 (EXPE=1)

SSU の設定	下表 (1)				下表 (2)	下表 (3)
EDRAKE	0			1	—	
TPU チャンネル 2 の設定	下表 (1)	下表 (2)			—	—
P16DDR	—	0	1	1	—	0* ⁵ —
NDER14	—	—	0	1	—	—
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力	$\overline{\text{EDRAK2}}$ 出力	SSCK0-A 入力* ^{3,6} SSCK0-A 出力* ^{4,6}
		TIOCA2 入力* ¹				

• モード3、7 (EXPE=0)

SSU の設定	下表 (1)				下表 (2)	下表 (3)
EDRAKE	0				-	
TPU チャンネル 2 の設定	下表 (1)	下表 (2)			-	
P16DDR	-	0	1	1	0* ⁵	-
NDER14	-	-	0	1	-	
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力	SSCK0-A 入力* ^{3*6}	SSCK0-A 出力* ^{4*6}
		TIOCA2 入力* ¹				

TPU チャンネル 2 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* ² モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA2 入力となります。

*2 TIOCB2 は出力禁止となります。

*3 SSCK0-A 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSCK0-A 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*5 SSU 端子を入力として使用する場合は P16DDR=0 にしてください。

*6 PFCR5 の SSCK0S1、SSCK0S0=B'00 以外の場合は SSU の設定をしないでください。

I/O ポート、TPU 端子、EXDMAC 端子として使用してください。

SSU の設定	(1)	(2)	(1)	(3)	(1)	(2)	(1)	(3)
SSUMS	0				1			
MSS	0		1		0		1	
SCKS	0	1	0	1	0	1	0	1
端子状態	-	SSCK 入力	-	SSCK 出力	-	SSCK 入力	-	SSCK 出力

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

● P15/PO13/TIOCB1/TCLKC/SSI0-A

TPU の TMDR_1 の MD3~MD0 ビット、TIOR_1 の IOB3~IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャネル 1 の設定、TCR_0、TCR_2、TCR_4、TCR_5 の TPSC2~TPSC0 ビット、PPG の NDERH の NDER13 ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビット、PFCR5 の SSI0S1、SSI0S0 ビット、P15DDR ビットの組み合わせにより、次のように切り替わります。

SSU の設定	下表 (1)			下表 (2)	下表 (3)	
TPU チャネル 1 の設定	下表 (1)	下表 (2)			—	
P15DDR	—	0	1	1	0* ⁵	
NDER13	—	—	0	1	—	
端子機能	TIOCB1 出力	P15 入力	P15 出力	PO13 出力	SSI0-A 入力* ^{3*6}	SSI0-A 出力* ^{4*6}
		TIOCB1 入力* ¹				
	TCLKC 入力* ²					

- 【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx の場合に TIOCB1 入力となります。
- *2 TCR_0、TCR_2 のいずれかの設定が TPSC2~TPSC0=B'111 または TCR_4、TCR_5 のいずれかの設定が TPSC2~TPSC0=B'101 の場合に TCLKC 入力となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。
- *3 SSI0-A 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 SSI0-A 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 SSU 端子を入力として使用する場合は P15DDR=0 にしてください。
- *6 PFCR5 の SSI0S1、SSI0S0=B'00 以外の場合は SSU の設定をしないでください。
I/O ポート、TPU 端子として使用してください。

TPU チャネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

SSU の 設定	(1)	(1)	(3)	(3)	(2)	(1)	(2)	(1)	(1)	(1)	(1)	(2)	(1)	(2)	(2)	(1)	(2)	
SSUMS	0							0				1* ¹						
BIDE	0							1* ²				0						
MSS	0				1			0		1		0			1			
TE	0		1		0	1		0	1	0	1	0	1		0	1		
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1	
端子状態	-	-	SSI 出力	SSI 出力	SSI 入力	-	SSI 入力	-	-	-	-	SSI 入力	-	SSI 入力	SSI 入力	-	SSI 入力	

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

*1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。

*2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

- P14/PO12/TIOCA1/SSO0-A

TPU の TMDR_1 の MD3~MD0 ビット、TIOR_1 の IOA3~IOA0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、PPG の NDERH の NDER12 ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビット、PFCR5 の SSO0S1、SSO0S0 ビット、P14DDR ビットの組み合わせにより、次のように切り替わります。

SSU の設定	下表 (1)				下表 (2)	下表 (3)
TPU チャンネル 1 の設定	下表 (1)	下表 (2)			-	
P14DDR	-	0	1	1	0* ⁵	-
NDER12	-	-	0	1	-	
端子機能	TIOCA1 出力	P14 入力	P14 出力	PO12 出力	SSO0-A 入力* ^{3*6}	SSO0-A 出力* ^{4*6}
		TIOCA1 入力* ¹				

TPU チャンネル 1 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* ² モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx の場合に TIOCA1 入力となります。

*2 TIOCB1 は出力禁止となります。

*3 SSO0-A 入力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSO0-A 出力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*5 SSU 端子を入力として使用する場合は P14DDR=0 にしてください。

*6 PFCR5 の SSO0S1、SSO0S0=B'00 以外の場合は SSU の設定をしないでください。

I/O ポート、TPU 端子として使用してください。

SSU の設定	(1)	(2)	(1)	(2)	(1)	(3)	(3)	(2)	(3)	(2)	(3)	(1)	(3)	(3)	(1)	(3)	(3)	
SSUMS	0							0				1*1						
BIDE	0							1*2				0						
MSS	0				1				0		1		0			1		
TE	0		1		0	1		0	1	0	1	0	1		0	1		
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1	
端子状態	-	SSO 入力	-	SSO 入力	-	SSO 出力	SSO 出力	SSO 入力	SSO 出力	SSO 入力	SSO 出力	-	SSO 出力	SSO 出力	-	SSO 出力	SSO 出力	

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

*1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。

*2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

● P13/PO11/TIOCD0/TCLKB

TPU の TMDR_0 の MD3~MD0 ビット、TIOR L_0 の IOD3~IOD0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャネル 0 の設定、TCR_0~TCR_2 の TPSC2~TPSC0 ビット、PPG の NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャネル 0 の設定	下表 (1)	下表 (2)		
P13DDR	-	0	1	
NDER11	-	-	0	1
端子機能	TIOCD0 出力	P13 入力	P13 出力	PO11 出力
		TIOCD0 入力*1		
	TCLKB 入力*2			

【注】 *1 MD3~MD0=B'0000 かつ IOD3~IOD0=B'10xx の場合に TIOCD0 入力となります。

*2 TCR_0~TCR_2 のいずれかの設定が TPSC2~TPSC0=B'101 の場合に TCLKB 入力となります。
また、チャンネル 1、5 を位相計数モードに設定すると、TCLKB 入力となります。

TPU チャネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	-	B'xx00	B'xx00 以外	
CCLR2~CCLR0	-	-	-	-	B'110 以外	B'110
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

【記号説明】 x : Don't care

- P12/PO10/TIOCC0/TCLKA

TPU の TMDR_0 の MD3~MD0 ビット、TIOR L_0 の IOC3~IOC0 ビット、TCR0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0~TCR_5 の TPSC2~TPSC0 ビット、PPG の NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P12DDR	—	0	1	
NDER10	—	—	0	1
端子機能	TIOCC0 出力	P12 入力	P12 出力	PO10 出力
		TIOCC0 入力*1		
	TCLKA 入力*2			

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM*3 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

- 【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx の場合に TIOCC0 入力となります。
- *2 TCR_0~TCR_5 のいずれかの設定が TPSC2~TPSC0=B'100 の場合に TCLKA 入力となります。
また、チャンネル 1、5 を位相計数モードに設定すると、TCLKA 入力となります。
- *3 TIOCC0 は出力禁止となります。TMDR0 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。

- P11/PO9/TIOCB0

TPU の TMDR_0 の MD3~MD0 ビット、TIORH_0 の IOB3~IOB0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、PPG の NDERH の NDER9 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P11DDR	—	0	1	
NDER9	—	—	0	1
端子機能	TIOCB0 出力	P11 入力	P11 出力	PO9 出力
		TIOCB0 入力*		

【注】 * MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB0 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

- P10/PO8/TIOCA0

TPU の TMDR_0 の MD3~MD0 ビット、TIORH_0 の IOA3~IOA0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、PPG の NDERH の NDER8 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P10DDR	—	0	1	
NDER8	—	—	0	1
端子機能	TIOCA0 出力	P10 入力	P10 出力	PO8 出力
		TIOCA0 入力* ¹		

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM* ² モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *¹ MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に TIOCA0 入力となります。

*² TIOCB0 は出力禁止となります。

(2) H8S/2424 グループの端子機能

• P17/PO15/TIOCB2/TCLKD/SCS0-A

TPU の TMDR_2 の MD3~MD0 ビット、TIOR_2 の IOB3~IOB0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、TCR_0、TCR_5 の TPSC2~TPSC0 ビット、PPG の NDERH の NDER15 ビット、SSU の SSCRH の MSS、CSS1、CSS0 ビット、SSCRL の SSUMS ビット、PFCR5 の SCS0S1、SCS0S0 ビット、P17DDR ビットの組み合わせにより、次のように切り替わります。

SSU の設定	下表 (1)				下表 (2)	下表 (4)	下表 (3)
TPU チャネル 2 の設定	下表 (1)	下表 (2)			-		
P17DDR	-	0	1	1	0*6	0*6	-
NDER15	-	-	0	1	-		
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力	SCS0-A 入力*3*7	SCS0-A 入出力*5*7	SCS0-A 出力*4*7
		TIOCB2 入力*1					
	TCLKD 入力*2						

- 【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB2 入力となります。
- *2 TCR_0、TCR_5 のいずれかの設定が TPSC2~TPSC0=B'111 の場合に TCLKD 入力となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。
- *3 $\overline{\text{SCS0-A}}$ 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 $\overline{\text{SCS0-A}}$ 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 $\overline{\text{SCS0-A}}$ 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *6 SSU 端子を入力として使用する場合は P17DDR=0 にしてください。
- *7 PFCR5 の SCS0S1、SCS0S0=B'00 以外の場合は SSU の設定をしないでください。
I/O ポート、TPU 端子として使用してください。

TPU チャネル 2 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

【記号説明】 x : Don't care

• SSU設定表

SSU の設定	(2)	(1)	(2)	(4)	(3)	(1)
SSUMS	0					1
MSS	0	1				x
CSS1	x	0		1		x
CSS0	x	0	1	0	1	x
端子状態	$\overline{\text{SCS}}$ 入力	-	SCS 入力	$\overline{\text{SCS}}$ 自動入出力	SCS 出力	-

【記号説明】 x : Don't care
 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

• P16/PO14/TIOCA2/SSCK0-A

TPU の TMDR_2 の MD3~MD0 ビット、TIOR_2 の IOA3~IOA0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、PPG の NDERH の NDERH14 ビット、SSU の SSCRH の MSS、SCKS ビット、SSCRL の SSUMS ビット、PFCR5 の SSCK0S1、SSCK0S0 ビット、P16DDR ビットの組み合わせにより、次のように切り替わります。

SSU の設定	下表 (1)				下表 (2)	下表 (3)
TPU チャネル 2 の設定	下表 (1)	下表 (2)			-	
P16DDR	-	0	1	1	0*4	-
NDER14	-	-	0	1	-	
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力	SSCK0-A 入力*2*5	SSCK0-A 出力*3*5
		TIOCA2 入力*1				

TPU チャネル 2 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA2 入力となります。

*2 SSCK0-A 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*3 SSCK0-A 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSU 端子を入力として使用する場合は P16DDR=0 にしてください。

*5 PFCR5 の SSCK0S1、SSCK0S0=B'00 以外の場合は SSU の設定をしないでください。
 I/O ポート、TPU 端子として使用してください。

SSU の設定	(1)	(2)	(1)	(3)	(1)	(2)	(1)	(3)
SSUMS	0				1			
MSS	0		1		0		1	
SCKS	0	1	0	1	0	1	0	1
端子状態	-	SSCK 入力	-	SSCK 出力	-	SSCK 入力	-	SSCK 出力

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

● P15/ $\overline{\text{DACK1}}$ /PO13/TIOCB1/TCLKC/SSI0-A

DMAC の DMABCRH の SAE1 ビット、TPU の TMDR_1 の MD3～MD0 ビット、TIOCB1 の IOB3～IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャネル 1 の設定、TCR_0、TCR_2、TCR_4、TCR_5 の TPSC2～TPSC0 ビット、PPG の NDERH の NDER13 ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビット、PFCR5 の SSI0S1、SSI0S0 ビット、P15DDR ビットの組み合わせにより、次のように切り替わります。

SSU の設定	下表 (1)				下表 (2)	下表 (3)	
SAE1	0			1	—		
TPU チャネル 1 の設定	下表 (1)	下表 (2)			—	—	
P15DDR	—	0	1	1	—	0* ⁵	
NDER13	—	—	0	1	—	—	
端子機能	TIOCB1 出力	P15 入力	P15 出力	PO13 出力	$\overline{\text{DACK1}}$ 出力	SSI0-A 入力* ^{3*6}	SSI0-A 出力* ^{4*6}
		TIOCB1 入力* ¹					
	TCLKC 入力* ²						

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOB3～IOB0=B'10xx の場合に TIOCB1 入力となります。

*2 TCR_0、TCR_2 のいずれかの設定が TPSC2～TPSC0=B'111 または TCR_4、TCR_5 のいずれかの設定が TPSC2～TPSC0=B'101 の場合に TCLKC 入力となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。

*3 SSI0-A 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSI0-A 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

*5 SSU 端子を入力として使用する場合は P15DDR=0 にしてください。

*6 PFCR5 の SSI0S1、SSI0S0=B'00 以外の場合は SSU の設定をしないでください。

I/O ポート、TPU 端子、DMAC 端子として使用してください。

TPU チャネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

• SSU設定表

SSU の設定	(1)	(1)	(3)	(3)	(2)	(1)	(2)	(1)	(1)	(1)	(1)	(2)	(1)	(2)	(2)	(1)	(2)	
SSUMS	0							0				1* ¹						
BIDE	0							1* ²				0						
MSS	0				1			0		1		0			1			
TE	0		1		0	1		0	1	0	1	0	1		0	1		
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1	
端子状態	-	-	SSI 出力	SSI 出力	SSI 入力	-	SSI 入力	-	-	-	-	SSI 入力	-	SSI 入力	SSI 入力	-	SSI 入力	

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

*1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。

*2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

• P14/DACK0/PO12/TIOCA1/SSO0-A

DMAC の DMABCRH の SAE0 ビット、TPU の TMDR_1 の MD3~MD0 ビット、TIOCA1 の IOA3~IOA0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、PPG の NDERH の NDER12 ビット、SSU の SSCRH の MMS、BIDE ビット SSCR1 の SSUMS ビット、SSER の TE、RE ビット PFCR5 の SSO0S1、SSO0S0 ビット、P14DDR ビットの組み合わせにより、次のように切り替わります。

SSU の設定	下表 (1)				下表 (2)	下表 (3)
SAE0	0			1	-	
TPU チャンネル 1 の設定	下表 (1)	下表 (2)			-	-
P14DDR	-	0	1	1	-	0* ⁴ / -
NDER12	-	-	0	1	-	-
端子機能	TIOCA1 出力	P14 入力	P14 出力	PO12 出力	DACK0 出力	SSO0-A 入力* ^{2*5} / SSO0-A 出力* ^{3*5}
	TIOCA1 入力* ¹					

TPU チャンネル 1 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* ² モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx の場合に TIOCA1 入力となります。

*2 SSO0-A 入力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。

- *3 SSO0-A 出力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'00 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 SSU 端子を入力として使用する場合は P14DDR=0 にしてください。
- *5 PFCR5 の SSO0S1、SSO0S0=B'00 以外の場合は SSU の設定をしないでください。
I/O ポート、TPU 端子、DMAC 端子として使用してください。

● SSU設定表

SSU の 設定	(1)	(2)	(1)	(2)	(1)	(3)	(3)	(2)	(3)	(2)	(3)	(1)	(3)	(3)	(1)	(3)	(3)
SSUMS	0				0				1*1								
BIDE	0				1*2				0								
MSS	0		1		0		1		0		1						
TE	0		1		0	1		0	1	0	1	0	1		0	1	
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1
端子 状態	—	SSO 入力	—	SSO 入力	—	SSO 出力	SSO 出力	SSO 入力	SSO 出力	SSO 入力	SSO 出力	—	SSO 出力	SSO 出力	—	SSO 出力	SSO 出力

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

- *1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。
- *2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

- P13/ $\overline{\text{TEND1}}$ /PO11/TIOCD0/TCLKB

DMAC の DMATCR の TEE1 ビット、TPU の TMDR_0 の MD3~MD0 ビット、TIOR L_0 の IOD3~IOD0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0~TCR_2 の TPSC2~TPSC0 ビット、PPG の NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

TEE1	0				1
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			—
P13DDR	—	0	1		—
NDER11	—	—	0	1	—
端子機能	TIOCD0 出力	P13 入力	P13 出力	PO11 出力	$\overline{\text{TEND1}}$ 出力
		TIOCD0 入力* ¹			
	TCLKB 入力* ²				

【注】 *1 MD3~MD0=B'0000 かつ IOD3~IOD0=B'10xx の場合に TIOCD0 入力となります。

*2 TCR_0~TCR_2 のいずれかの設定が TPSC2~TPSC0=B'101 の場合に TCLKB 入力となります。

また、チャンネル 1、5 を位相計数モードに設定すると、TCLKB 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

- P12/ $\overline{\text{TEND0}}$ /PO10/TIOCC0/TCLKA

DMAC の DMATCR の TEE0 ビット、TPU の TMDR_0 の MD3~MD0 ビット、TIOR_L_0 の IOC3~IOC0 ビット、TCR0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0~TCR_5 の TPSC2~TPSC0 ビット、PPG の NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

TEE0	0				1
TPU チャンネル 0 の設定	下表 (1)	下表 (2)			—
P12DDR	—	0	1		—
NDER10	—	—	0	1	—
端子機能	TIOCC0 出力	P12 入力	P12 出力	PO10 出力	$\overline{\text{TEND0}}$ 出力
		TIOCC0 入力* ¹			
	TCLKA 入力* ²				

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM* ³ モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx の場合に TIOCC0 入力となります。

*2 TCR_0~TCR_5 のいずれかの設定が TPSC2~TPSC0=B'100 の場合に TCLKA 入力となります。
また、チャンネル 1、5 を位相計数モードに設定すると、TCLKA 入力となります。

*3 TIOCC0 は出力禁止となります。TMDR_0 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。

- P11/ $\overline{\text{DREQ1}}$ /PO9/TIOCB0

TPU の TMDR_0 の MD3~MD0 ビット、TIORH_0 の IOB3~IOB0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、PPG の NDERH の NDER9 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P11DDR	—	0	1	
NDER9	—	—	0	1
端子機能	TIOCB0 出力	P11 入力	P11 出力	PO9 出力
		TIOCB0 入力*		
	$\overline{\text{DREQ1}}$ 入力			

【注】 * MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB0 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

- P10/ $\overline{\text{DREQ0}}$ /PO8/TIOCA0

TPU の TMDR_0 の MD3~MD0 ビット、TIORH_0 の IOA3~IOA0 ビット、TCR_0 の CCLR2~CCLR0 ビットによる TPU チャンネル 0 の設定、PPG の NDERH の NDER8 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P10DDR	—	0	1	
NDER8	—	—	0	1
端子機能	TIOCA0 出力	P10 入力	P10 出力	PO8 出力
		TIOCA0 入力*1		
	$\overline{\text{DREQ0}}$ 入力			

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~ B'0011 B'0101~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に TIOCA0 入力となります。

*2 TIOCB0 は出力禁止となります。

10.2 ポート 2

ポート 2 は 8 ビットの兼用入出力ポートです。ポート 2 には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート 2 データディレクションレジスタ (P2DDR)
- ポート 2 データレジスタ (P2DR)
- ポート 2 レジスタ (PORT2)
- ポート 2 オープンドレインコントロールレジスタ (P2ODR)
- ポートファンクションコントロールレジスタ 3 (PFCR3)

10.2.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR は、ポート 2 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	P27DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

10.2.2 ポート 2 データレジスタ (P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P27DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

10.2.3 ポート 2 レジスタ (PORT2)

PORT2 は、ポート 2 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	P27	—*	R	このレジスタをリードすると、P2DDR がセットされているビットは、P2DR の値がリードされます。P2DDR がクリアされているビットは端子の状態がリードされます。
6	P26	—*	R	
5	P25	—*	R	
4	P24	—*	R	
3	P23	—*	R	
2	P22	—*	R	
1	P21	—*	R	
0	P20	—*	R	

【注】 * P27～P20 端子の状態により決定されます。

10.2.4 ポート 2 オープンドレインコントロールレジスタ (P2ODR)

P2ODR は、ポート 2 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説 明
7	P27ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	P26ODR	0	R/W	
5	P25ODR	0	R/W	
4	P24ODR	0	R/W	
3	P23ODR	0	R/W	
2	P22ODR	0	R/W	
1	P21ODR	0	R/W	
0	P20ODR	0	R/W	

10.2.5 端子機能

ポート 2 は、PPG の出力端子、TPU の入出力端子、割り込み入力端子（H8S/2426 グループ、H8S/2426R グループ）、8 ビットタイマの入出力端子（H8S/2424 グループ）、I²C 入出力端子、バス制御入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

(1) H8S/2426 グループ、H8S/2426R グループの端子機能

- P27/PO7/TIOCB5/ $\overline{\text{IRQ15-B}}$ /SCL2

TPU の TMDR_5 の MD3~MD0 ビット、TIOR_5 の IOB3~IOB0 ビット、TCR_5 の CCLR1、CCLR0 ビットによる TPU チャネル 5 の設定、PPG の NDERL の NDER7 ビット、I²C の ICCRA_2 の ICE ビット、P27DDR ビットおよび割り込みコントローラの ITSR の ITS15 の組み合わせにより、次のように切り替わります。

ICE	0				1
TPU チャネル 5 の設定	下表 (1)	下表 (2)			—
P27DDR	—	0	1	1	—
NDER7	—	—	0	1	—
端子機能	TIOCB5 出力	P27 入力	P27 出力	PO7 出力	SCL2 入出力*3
		TIOCB5 入力*1			
	$\overline{\text{IRQ15-B}}$ 割り込み入力*2				

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB5 入力となります。

*2 ITSR の ITS15 ビットが 1 のとき $\overline{\text{IRQ15-B}}$ 入力となります。

*3 P27ODR に関係なく NMOS オープンドレイン出力になります。

TPU チャネル 5 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

• P26/PO6/TIOCA5/ $\overline{\text{IRQ14-B}}$ /SDA2/ $\overline{\text{ADTRG1}}$

TPU の TMDR_5 の MD3~MD0 ビット、TIOA_5 の IOA3~IOA0 ビット、TCR_5 の CCLR1、CCLR0 ビットによる TPU チャネル 5 の設定、PPG の NDERL の NDER6 ビット、ADC の ADCR_1 の TRGS1 ビット、TRGS0 ビット、EXTRGS ビット、 I^2C の ICCRA_2 の ICE ビット、P26DDR ビットおよび割り込みコントローラの ITSR の ITS14 ビットの組み合わせにより、次のように切り替わります。

ICE	0				1
TPU チャネル 5 の設定	下表 (1)	下表 (2)			—
P26DDR	—	0	1	1	—
NDER6	—	—	0	1	—
端子機能	TIOCA5 出力	P26 入力	P26 出力	PO6 出力	SDA2 入出力*5
		TIOCA5 入力*1			
	$\overline{\text{IRQ14-B}}$ 割り込み入力*2				
ADTRG1 入力*4					

TPU チャネル 5 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*3 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA5 入力となります。

*2 ITSR の ITS14 ビットが 1 のとき $\overline{\text{IRQ14-B}}$ 入力となります。

*3 TIOCB5 は出力禁止となります。

*4 EXTRGS=0、TRGS1=TRGS0=1 のとき $\overline{\text{ADTRG1}}$ 入力となります。

*5 P26ODR に関係なく NMOS オープンドレイン出力となります。

● P25/PO5-A/TIOCB4-A/ $\overline{\text{IRQ13-B}}$ / $\overline{\text{WAIT-B}}$

動作モードと EXPE ビット、バスコントローラの BCR の WAITE ビット、TPU の TMDR_4 の MD3~MD0 ビット、TIOB_4 の IOB3~IOB0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャンネル 4 の設定、PPG の NDERL の NDER5 ビット、PFCR3 の PPGS、TPUS、PFCR4 の WAITS ビット、P25DDR ビットおよび割り込みコントローラの ITSr の ITS13 ビットの組み合わせにより、次のように切り替わります。

● モード1、2、4 モード3、7 (EXPE=1)

WAITE	0				1
TPU チャンネル 4 の設定	下表 (1)	下表 (2)			—
P25DDR	—	0	1	1	—
NDER5	—	—	0	1	—
端子機能	TIOCB4-A 出力*4	P25 入力	P25 出力	PO5-A 出力*3	$\overline{\text{WAIT-B}}$ 入力*5
		TIOCB4-A 入力*1*4			
	$\overline{\text{IRQ13-B}}$ 割り込み入力*2				

● モード3、7 (EXPE=0)

WAITE				
TPU チャンネル 4 の設定	下表 (1)	下表 (2)		
P25DDR	—	0	0	1
NDER5	—	—	—	0
端子機能	TIOCB4-A 出力*4	P25 入力	P25 出力	PO5-A 出力*3
		TIOCB4-A 入力*1*4		
	$\overline{\text{IRQ13-B}}$ 割り込み入力*2			

- 【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx の場合に TIOCB4-A 入力となります。
 *2 ITSr の ITS13 ビットが 1 のとき $\overline{\text{IRQ13-B}}$ 入力となります。
 *3 PO5-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。
 *4 TIOCB4-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。
 *5 PFCR4 の WAITS=1 の場合に $\overline{\text{WAIT-B}}$ 入力となります。0 とした場合は $\overline{\text{WAIT-B}}$ 入力として使用できません。

TPU チャンネル 4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

- P24/ $\overline{\text{IRQ12-B}}$ /PO4-A/TIOCA4-A/RxD4-A

TPU の TMDR_4 の MD3~MD0 ビット、TIOR_4 の IOA3~IOA0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャンネル 4 の設定、PPG の NDERL の NDER4 ビット、SCI の SCR_4 の RE ビット、PFCR3 の PPGS、TPUS ビット、PFCR4 の RXD4S ビット、P24DDR ビット、割り込みコントローラの ITSR の ITS12 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 4 の設定	下表 (1)	下表 (2)			
RE	—	0			1
P24DDR	—	0	1		—
NDER4	—	—	0	1	—
端子機能	TIOCA4-A 出力*5	P24 入力	P24 出力	PO4-A 出力*4	RxD4-A 入力*6
		TIOCA4-A 入力*1*5			
	$\overline{\text{IRQ12-B}}$ 割り込み入力*2				

TPU チャンネル 4 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*3 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx の場合に TIOCA4-A 入力となります。

*2 ITSR の ITS12 ビットが 1 のとき $\overline{\text{IRQ12-B}}$ 入力となります。

*3 TIOCB4 は出力禁止となります。

*4 PO4-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*5 TIOCA4-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*6 RxD4-A 入力として使用する場合は、PFCR4 の RXD4S=0 にしてから、その他のレジスタ設定を行うようにしてください。

● P23/ $\overline{\text{IRQ11-B}}$ /PO3-A/TIOCD3-A/TxD4-A

TPU の TMDR_3 の MD3~MD0 ビット、TIORL_3 の IOD3~IOD0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャネル 3 の設定、PPG の NDERL の NDER3 ビット、SCI の SCR_4 の TE ビット、PFCR3 の PPGS、TPUS ビット、PFCR4 の TXD4S ビット、P23DDR ビットおよび割り込みコントローラの ITSR の ITS11 ビットの組み合わせにより、次のように切り替わります。

TPU チャネル 3 の設定	下表 (1)	下表 (2)			
TE	—	0			1
P23DDR	—	0	1		—
NDER3	—	—	0	1	—
端子機能	TIOCD3-A 出力*4	P23 入力	P23 出力	PO3-A 出力*3	TxD4-A 出力*5
		TIOCD3-A 入力*1*4			
	$\overline{\text{IRQ11-B}}$ 割り込み入力*2				

【注】 *1 MD3~MD0=B'0000、かつ IOD3~IOD0=B'10xx の場合に TIOCD3-A 入力となります。

*2 ITSR の ITS11 ビットが 1 のとき $\overline{\text{IRQ11-B}}$ 入力となります。

*3 PO3-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*4 TIOCD3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*5 TxD4-A 出力として使用する場合は、PFCR4 の TXD4S=0 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

● P22/ $\overline{\text{IRQ10-B}}$ /PO2-A/TIOCC3-A

TPU の TMDR_3 の MD3~MD0 ビット、TIOR_L_3 の IOC3~IOC0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER2 ビット、PFCR3 の PPGS、TPUS ビット、P22DDR ビットおよび割り込みコントローラの ITSR の ITS10 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P22DDR	—	0	1	
NDER2	—	—	0	1
端子機能	TIOCC3-A 出力*5	P22 入力	P22 出力	PO2-A 出力*4
		TIOCC3-A 入力*1*5		
	IRQ10-B 割り込み入力*2			

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM*3 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

- 【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx の場合に TIOCC3-A 入力となります。
- *2 ITSR の ITS10 ビットが 1 のとき $\overline{\text{IRQ10-B}}$ 入力となります。
- *3 TIOCD3 は出力禁止となります。TMDR_3 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。
- *4 PO2-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TIOCC3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P21/ $\overline{\text{IRQ9-B}}$ /PO1-A/TIOCB3-A

TPU の TMDR_3 の MD3~MD0 ビット、TIOR_H_3 の IOB3~IOB0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER1 ビット、PFCR3 の PPGS、TPUS ビット、P21DDR ビットおよび割り込みコントローラの ITSR の ITS9 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P21DDR	—	0	1	
NDER1	—	—	0	1
端子機能	TIOCB3-A 出力*4	P21 入力	P21 出力	PO1-A 出力*3
		TIOCB3-A 入力*1*4		
	$\overline{\text{IRQ9-B}}$ 割り込み入力*2			

【注】 *1 MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB3-A 入力となります。

*2 ITSR の ITS9 ビットが 1 のとき $\overline{\text{IRQ9-B}}$ 入力となります。

*3 PO1-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*4 TIOCB3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

● P20/PO0-A/TIOCA3-A/ $\overline{\text{IRQ8-B}}$

TPU の TMDR_3 の MD3~MD0 ビット、TIOR_H_3 の IOA3~IOA0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER0 ビット、PFCR3 の PPGS、TPUS、P20DDR ビットおよび割り込みコントローラの ITSr の ITS8 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P20DDR	—	0	1	
NDER0	—	—	0	1
端子機能	TIOCA3-A 出力*5	P20 入力	P20 出力	PO0-A 出力*4
		TIOCA3-A 入力*1*5		
	$\overline{\text{IRQ8-B}}$ 割り込み入力*2			

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、 B'0100、B'1xxx	B'0001~ B'0011 B'0101~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM*3 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に TIOCA3-A 入力となります。

*2 ITSr の ITS8 ビットが 1 のとき $\overline{\text{IRQ8-B}}$ 入力となります。

*3 TIOCB3 は出力禁止となります。

*4 PO0-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*5 TIOCA3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。

(2) H8S/2424 グループの端子機能

- P27/PO7/TIOCB5/SCL2

TPU の TMDR_5 の MD3~MD0 ビット、TIOR_5 の IOB3~IOB0 ビット、TCR_5 の CCLR1、CCLR0 ビットによる TPU チャンネル 5 の設定、PPG の NDERL の NDER7 ビット、I²C の IICRA_2 の ICE ビット、P27DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0				1
TPU チャンネル 5 の設定	下表 (1)	下表 (2)			—
P27DDR	—	0	1	1	—
NDER7	—	—	0	1	—
端子機能	TIOCB5 出力	P27 入力	P27 出力	PO7 出力	SCL2 入出力* ²
		TIOCB5 入力* ¹			

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB5 入力となります。

*2 P27ODR に関係なく NMOS オープンドレイン出力になります。

TPU チャンネル 5 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

• P26/PO6/TIOCA5/SDA2/ $\overline{\text{ADTRG1}}$

TPU の TMDR_5 の MD3~MD0 ビット、TIOR_5 の IOA3~IOA0 ビット、TCR_5 の CCLR1、CCLR0 ビットによる TPU チャンネル 5 の設定、PPG の NDERL の NDER6 ビット、ADC の ADCR_1 の TRGS1 ビット、TRGS0 ビット、EXTRGS ビット、 I^2C の ICCRA_2 の ICE ビット、P26DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0				1
TPU チャンネル 5 の設定	下表 (1)	下表 (2)			—
P26DDR	—	0	1	1	—
NDER6	—	—	0	1	—
端子機能	TIOCA5 出力	P26 入力	P26 出力	PO6 出力	SDA2 入出力*4
		TIOCA5 入力			
	$\overline{\text{ADTRG1}}$ 入力*3				

TPU チャンネル 5 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA5 入力となります。

*2 TIOCB5 は出力禁止となります。

*3 EXTRGS=0、TRGS1=TRGS0=1 のとき $\overline{\text{ADTRG1}}$ 入力となります。

*4 P26ODR に関係なく NMOS オープンドレイン出力になります。

- P25/WAIT-B/PO5-A/TIOCB4-A/TMO1-A

動作モードと EXPE ビット、バスコントローラ BCR の WAITE ビット、TPU の TMDR_4 の MD3～MD0 ビット、TIOCB4 の IOB3～IOB0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャンネル 4 の設定、8 ビットタイマの TCSR_1 の OS3～OS0 ビット、PPG の NDERL の NDER5 ビット、PFCR3 の PPGS、TPUS、TMRS ビット、PFCR4 の WAITS ビット、P25DDR ビットの組み合わせにより、次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

WAITE	0					1
TPU チャンネル 4 の設定	下表 (1)	下表 (2)				—
OS3～OS0	—	すべてが 0			いずれかが 1	—
P25DDR	—	0	1	1	—	—
NDER5	—	—	0	1	—	—
端子機能	TIOCB4-A 出力*3	P25 入力	P25 出力	PO5-A 出力*2	TMO1-A 出力*4	WAIT-B 入力*5
		TIOCB4-A 入力*1*3				

- モード3、7 (EXPE=0)

WAITE	—				
TPU チャンネル 4 の設定	下表 (1)	下表 (2)			
OS3～OS0	—	すべてが 0			いずれかが 1
P25DDR	—	0	1	1	—
NDER5	—	—	0	1	—
端子機能	TIOCB4-A 出力*3	P25 入力	P25 出力	PO5-A 出力*2	TMO1-A 出力*4
		TIOCB4-A 入力*1*3			

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOB3～IOB0=B'10xx の場合に TIOCB4-A 入力となります。

*2 PO5-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*3 TIOCB4-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*4 TMO1-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*5 PFCR4 の WAITS=1 の場合に WAIT-B 入力となります。0 とした場合は WAIT-B 入力として使用できません。

TPU チャンネル 4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

- P24/PO4-A/TIOCA4-A/TMO0-A/RxD4-A

8ビットタイマの TCSR_0 の OS3～OS0 ビット、TPU の TMDR_4 の MD3～MD0 ビット、TIOA_4 の IOA3～IOA0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャネル4 の設定、PPG の NDERL の NDER4 ビット、SCI の SCR_4 の RE ビット、PFCR3 の PPGS、TPUS、TMRS ビット、PFCR4 の RXD4S ビットおよび P24DDR ビットの組み合わせにより、次のように切り替わります。

RE	0					1
TPU チャネル4 の設定	下表 (1)	下表 (2)				—
OS3～OS0	すべてが0				いずれかが1	—
P24DDR	—	0	1	1	—	—
NDER4	—	—	0	1	—	—
端子機能	TIOCA4-A 出力* ⁴	P24 入力	P24 出力	PO4-A 出力* ³	TMO0-A 出力* ⁵	RxD4-A 入力* ⁶
		TIOCA4-A 入力* ^{1*4}				

TPU チャネル4 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM* ² モード1 出力	PWM モード2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3～IOA0=B'10xx の場合に TIOCA4-A 入力となります。

*2 TIOCB4 は出力禁止となります。

*3 PO4-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*4 TIOCA4-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*5 TMO0-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

*6 RxD4-A 入力として使用する場合は、PFCR4 の RXD4S=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P23/PO3-A/TIOCD3-A/TMCI1-A/TxD4-A

TPU の TMDR_3 の MD3~MD0 ビット、TIORL_3 の IOD3~IOD0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER3 ビット、SCI の SCR_4 の TE ビット、PFCR3 の PPGS、TPUS ビット、TMRS ビット、PFCR4 の TXD4S ビットおよび P23DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)			
TE	—	0			1
P23DDR	—	0	1	1	—
NDER3	—	—	0	1	—
端子機能	TIOCD3-A 出力*4	P23 入力	P23 出力	PO3-A 出力*3	TxD4-A 出力*6
		TIOCD3-A 入力*1*4			
	TMCI1-A 入力*2*5				

- 【注】 *1 MD3~MD0=B'0000、かつ IOD3~IOD0=B'10xx の場合に TIOCD3-A 入力となります。
- *2 TMR の外部クロック入力端子として使用する場合は、PFCR3 の TMRS ビットを 0 としてから、TCR_1 の CKS2~CKS0 ビットで外部クロックを選択します。
- *3 PO3-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 TIOCD3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TMCI1-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *6 TxD4-A 出力として使用する場合は、PFCR4 の TXD4S=0 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

- P22/PO2-A/TIOCC3-A/TMCI0-A

TPU の TMDR_3 の MD3~MD0 ビット、TIORL_3 の IOC3~IOC0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER2 ビット、PFCR3 の PPGS、TPUS、TMRS ビットおよび P22DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P22DDR	—	0	1	
NDER2	—	—	0	1
端子機能	TIOCC3-A 出力*5	P22 入力	P22 出力	PO2-A 出力*4
		TIOCC3-A 入力*1*5		
	TMCI0-A 入力*2*6			

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM*3 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

- 【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx の場合に TIOCC3-A 入力となります。
- *2 TMR の外部クロック入力端子として使用する場合は、PFCR3 の TMRS ビットを 0 としてから、TCR_0 の CKS2~CKS0 ビットで外部クロックを選択します。
- *3 TIOCD3 は出力禁止となります。TMDR_3 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。
- *4 PO2-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TIOCC3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *6 TMCI0-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P21/PO1-A/TIOCB3-A/TMRI1-A

TPU の TMDR_3 の MD3~MD0 ビット、TIOR_H_3 の IOB3~IOB0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER1 ビット、PFCR3 の PPGS、TPUS、TMRS ビットおよび P21DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
		0	1	
P21DDR	—	0	1	
NDER1	—	—	0	1
端子機能	TIOCB3-A 出力*4	P21 入力	P21 出力	PO1-A 出力*3
		TIOCB3-A 入力*1*4		
	TMRI1-A 入力*2*5			

- 【注】 *1 MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB3-A 入力となります。
- *2 TMR のカウンタリセットとして使用する場合は、PFCR3 の TMRS ビットを 0 としてから、TCR_1 の CCLR1、CCLR0 ビットと TCCR_1 の TMRIS ビットで外部リセットを選択します。
- *3 PO1-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 TIOCB3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TMRI1-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

- P20/PO0-A/TIOCA3-A/TMRI0-A

TPU の TMDR_3 の MD3~MD0 ビット、TIOR_H_3 の IOA3~IOA0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER0 ビット、PFCR3 の PPGS、TPUS、TMRS ビットおよび P20DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P20DDR	—	0	1	
NDER0	—	—	0	1
端子機能	TIOCA3-A 出力*5	P20 入力	P20 出力	PO0-A 出力*4
		TIOCA3-A 入力*1*5		
	TMRI0-A 入力*2*6			

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~ B'0011 B'0101~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM*3 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

- 【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に TIOCA3-A 入力となります。
- *2 TMR のカウンタリセットとして使用する場合は、PFCR3 の TMRS ビットを 0 としてから、TCR_0 の CCLR1、CCLR0 ビットと TCCR_0 の TMRIS ビットで外部リセットを選択します。
- *3 TIOCB3 は出力禁止となります。
- *4 PO0-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TIOCA3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。
- *6 TMRI0-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

10.3 ポート 3

ポート 3 は 6 ビットの兼用入出力ポートです。ポート 3 には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)
- ポートファンクションコントロールレジスタ2 (PFCR2)

10.3.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	—	0	—	
5	P35DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

10.3.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット
6	—	0	—	
5	P35DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

10.3.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット
6	—	不定	—	リードすると不定値が読み出されます。
5	P35	—*	R	このレジスタをリードすると、P3DDR がセットされているビットは、P3DR の値がリードされます。P3DDR がクリアされているビットは端子の状態がリードされます。
4	P34	—*	R	
3	P33	—*	R	
2	P32	—*	R	
1	P31	—*	R	
0	P30	—*	R	

【注】 * P35～P30 端子の状態により決定されます。

10.3.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	リードすると 0 が読み出されます。ライトは無効です。
5	P35ODR	0	R/W	$\overline{OE-B}^{*1}$ 、 $\overline{CKE-B}^{*2}$ 出力以外するとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
4	P34ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

【注】 *1 5V 版ではサポートしていません。

*2 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

10.3.5 端子機能

ポート 3 は SCI 入出力端子、I²C 入出力端子、バス制御出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P35/ $\overline{\text{OE-B}}^{\ast 3}$ /CKE-B^{*2}/SCK1/SCL0

動作モードと EXPE ビット、I²C の ICCRA_0 の ICE ビット、SCI の SMR_1 の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、バスコントローラの DRAMCR^{*3} の OEE ビット、RMTS2~RMTS0 ビット、PFCR2 の OES ビットと P35DDR ビットの組み合わせにより、次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

OEE	0						1											
OES	-						1			0								
RMTS2~ RMTS0	-						-						エリア 2~5の いずれかが DRAM空間	エリア 2~5が 連続 シンクロナス DRAM空間				
ICE	0			1			0			1			-					
CKE1	0			1			-			0			1			-		
C/ $\overline{\text{A}}$	0			1			-			0			1			-		
CKE0	0		1		-		-		0		1		-		-		-	
P35DDR	0	1	-	-	-	-	0	1	-	-	-	-	-					
端子機能	P35 入力	P35 出力	SCK1 出力	SCK1 出力	SCK1 入力	SCL0 入出力 ^{*1}	P35 入力	P35 出力	SCK1 出力	SCK1 出力	SCK1 入力	SCL0 入出力 ^{*1}	$\overline{\text{OE-B}}$ 出力 ^{*3}	CKE-B出力 ^{*2}				

- モード3、7 (EXPE=0)

OEE	-							
OES	-							
RMTS2~ RMTS0	-							
ICE	0					1		
CKE1	0				1		-	
C/ $\overline{\text{A}}$	0			1			-	
CKE0	0			1			-	
P35DDR	0		1		-		-	
端子機能	P35 入力		P35 出力		SCK1 出力		SCK1 出力	
					SCK1 入力		SCL0 入出力 ^{*1}	

【注】 *1 P35ODR に関係なく NMOS オープンドレイン出力になります。

*2 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*3 5V 版ではサポートしていません。

- P34/SCK0/SCK4-A/SDA0

I²C の ICCRA_0 の ICE ビット、SCI の SMR_0 と SMR_4 の C/ \bar{A} ビット、SCR_0 と SCR_4 の CKE0、CKE1 ビット、PFCR4 の SCK4S ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0				1	—
C/ \bar{A}	0			1	—	—
CKE0	0		1	—	—	—
P34DDR	0	1	—	—	—	—
端子機能	P34 入力	P34 出力	SCK0/SCK4-A 出力* ² * ³	SCK0/SCK4-A 出力* ² * ³	SCK0/SCK4-A 入力* ³	SDA0 入出力* ¹

【注】 *1 P34ODR に関係なく NMOS オープンドレイン出力になります。

*2 SCK0 と SCK4 の同時出力は設定禁止となります。

*3 SCK4-A 入出力として使用する場合は、PFCR4 の SCK4S=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P33/RxD1/SCL1

I²C の ICCRA_1 の ICE ビット、SCI の SCR_1 の RE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0			1
RE	0		1	—
P33DDR	0	1	—	—
端子機能	P33 入力	P33 出力	RxD1 入力	SCL1 入出力*

【注】 * P33ODR に関係なく NMOS オープンドレイン出力になります。

- P32/RxD0/IrRxD/SDA1

I²C の ICCRA_1 の ICE ビット、SCI の SCR_0 の RE ビットと P32DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0			1
RE	0		1	—
P32DDR	0	1	—	—
端子機能	P32 入力	P32 出力	RxD0/IrRxD 入力	SDA1 入出力*

【注】 * P32ODR に関係なく NMOS オープンドレイン出力になります。

- P31/TxD1

SCI の SCR_1 の TE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P31DDR	0	1	—
端子機能	P31 入力	P31 出力	TxD1 出力

- P30/TxD0/IrTxD

SCI の SCR_0 の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	—
端子機能	P30 入力	P30 出力	TxD0/IrTxD 出力

10.4 ポート 4

ポート 4 は 8 ビットのアナログ入力兼用入力ポートです。ポート 4 には以下のレジスタがあります。

- ポート 4 レジスタ (PORT4)

10.4.1 ポート 4 レジスタ (PORT4)

PORT4 は 8 ビットのリード専用レジスタでポート 4 の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P47	—*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P46	—*	R	
5	P45	—*	R	
4	P44	—*	R	
3	P43	—*	R	
2	P42	—*	R	
1	P41	—*	R	
0	P40	—*	R	

【注】 * P47~P40 端子の状態により決定されます。

10.4.2 端子機能

ポート 4 は A/D 変換器のアナログ入力端子、割り込み入力端子 (H8S/2424) と兼用になっています。端子の関係は以下のとおりです。

(1) H8S/2426、H8S/2426R の端子機能

- P40/AN0_0、P41/AN1_0、P42/AN2_0、P43/AN3_0、P44/AN4_0、P45/AN5_0、P46/AN6_0、P47/AN7_0

端子機能	ANn_0 入力
------	----------

【記号説明】 n=7~0

(2) H8S/2424 グループの端子機能

• P47/ $\overline{\text{IRQ7-B}}$ /AN7_0

端子機能	AN7_0 入力
	$\overline{\text{IRQ7-B}}$ 割り込み入力*

• P46/ $\overline{\text{IRQ6-B}}$ /AN6_0

端子機能	AN6_0 入力
	$\overline{\text{IRQ6-B}}$ 割り込み入力*

• P45/ $\overline{\text{IRQ5-B}}$ /AN5_0

端子機能	AN5_0 入力
	$\overline{\text{IRQ5-B}}$ 割り込み入力*

• P44/ $\overline{\text{IRQ4-B}}$ /AN4_0

端子機能	AN4_0 入力
	$\overline{\text{IRQ4-B}}$ 割り込み入力*

• P43/ $\overline{\text{IRQ3-B}}$ /AN3_0

端子機能	AN3_0 入力
	$\overline{\text{IRQ3-B}}$ 割り込み入力*

• P42/ $\overline{\text{IRQ2-B}}$ /AN2_0

端子機能	AN2_0 入力
	$\overline{\text{IRQ2-B}}$ 割り込み入力*

• P41/ $\overline{\text{IRQ1-B}}$ /AN1_0

端子機能	AN1_0 入力
	$\overline{\text{IRQ1-B}}$ 割り込み入力*

• P40/ $\overline{\text{IRQ0-B}}$ /AN0_0

端子機能	AN0_0 入力
	$\overline{\text{IRQ0-B}}$ 割り込み入力*

【注】 * ITSR の ITS_n ビットが 1 のとき $\overline{\text{IRQn}}$ 入力となります。(n=7~0)

10.5 ポート 5

ポート 5 は 4 ビットの入出力ポートです。ポート 5 には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート 5 データディレクションレジスタ (P5DDR)
- ポート 5 データレジスタ (P5DR)
- ポート 5 レジスタ (PORT5)
- ポート 5 オープンドレインコントロールレジスタ (P5ODR)
- ポートファンクションコントロールレジスタ 4 (PFCR4)

10.5.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	—	0	—	リザーブビット
3	P53DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	P52DDR	0	W	
1	P51DDR	0	W	
0	P50DDR	0	W	

10.5.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	P53DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	P52DR	0	R/W	
1	P51DR	0	R/W	
0	P50DR	0	R/W	

10.5.3 ポート 5 レジスタ (PORT5)

PORT5 は、ポート 5 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	—	不定	R	リザーブビット リードすると不定値が読み出されます。
3	P53	—*	R	P53~P50 をリードすると、P5DDR がセットされているビットは、P5DR の値がリードされます。P5DDR がクリアされているビットは端子の状態がリードされます。
2	P52	—*	R	
1	P51	—*	R	
0	P50	—*	R	

【注】* P53~P50 端子の状態により決定されます。

10.5.4 ポート 5 オープンドレインコントロールレジスタ (P5ODR)

P5ODR は、ポート 5 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7~4	—	0	—	リザーブビット リードすると 0 が読み出されます。ライト時は初期値をライトしてください。
3	P53ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
2	P52ODR	0	R/W	BACK-B 出力以外のとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
1	P51ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
0	P50ODR	0	R/W	BREQO-B 出力以外のとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。

10.5.5 端子機能

ポート 5 は SCI 入出力端子、A/D 変換器の入力端子、割り込み入力端子、 I^2C 入出力端子、バス制御入出力端子、PPG の出力端子、TPU の入出力端子、8 ビットタイマの入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P53/ $\overline{IRQ3-A}$ / $\overline{ADTRG0-A}$

ADC の ADCR0 の TRGS1 ビット、TRGS0 ビット、EXTRGS ビット、P53DDR ビットおよび割り込みコントローラの ITSR の ITS3 ビットの組み合わせにより次のように切り替わります。

P53DDR	0	1
端子機能	P53 入力	P53 出力
	$\overline{ADTRG0-A}$ 入力* ¹	
	$\overline{IRQ3-A}$ 割り込み入力* ²	

【注】 *1 ADCR0 の EXTRGS=0、TRGS1=TRGS0=1 のとき $\overline{ADTRG0-A}$ 入力となります。

*2 ITSR の ITS3 ビットが 0 のとき $\overline{IRQ3-A}$ 入力となります。

- P52/ $\overline{SCK2}$ / $\overline{IRQ2-A}$ / $\overline{BACK-B}$ / $\overline{PO4-B}$ / $\overline{TIOCA4-B}$ / $\overline{TMO0-B}$

動作モードと EXPE ビット、バスコントローラの BRLE ビット、8 ビットタイマの TCSR の OS3~OS0 ビット、TPU の TMDR_4 の MD3~MD0 ビット、TIOR_4 の IOA3~IOA0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャネル 4 の設定、PPG の NDERL の NDER4 ビット、SCI の SMR_2 の C/\overline{A} ビット、SCR_2 の CKE0、CKE1 ビット、PFCR3 の PPGS、TPUS、TMRS ビット、PFCR4 の BACKS ビット、P52DDR ビットおよび割り込みコントローラの ITSR の ITS2 ビットの組み合わせにより次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

BRLE BACKS	BRLE=0 または BRLE=1 かつ BACKS=0							BRLE=1 かつ BACKS=1	
TPU チャネル 4 の設定	下表(1)	下表(2)							—
OS3~OS0	—	すべてが 0					いずれか 1	—	
CKE1	—	0			1	—	—	—	
C/\overline{A}	—	0		1	—	—	—	—	
CKE0	—	0		1	—	—	—	—	
P52DDR	—	0	1	1	—	—	—	—	
NDER4	—	—	0	1	—	—	—	—	
端子機能	$\overline{TIOCA4-B}$ 出力* ⁵	P52 入力	P52 出力	$\overline{PO4-B}$ 出力* ⁴	$\overline{SCK2}$ 出力	$\overline{SCK2}$ 出力	$\overline{SCK2}$ 入力	$\overline{TMO0-B}$ 出力* ⁶	$\overline{BACK-B}$ 出力
		$\overline{TIOCA4-B}$ 入力* ^{1*5}							
		$\overline{IRQ2-A}$ 割り込み入力* ²							

• モード3、7 (EXPE=0)

BRLE BACKS	—							
TPU チャンネル 4 の設定	下表 (1)	下表 (2)						
OS3~OS0	—	すべてが 0						いずれか 1
CKE1	—	0				1		—
C/A	—	0			1		—	—
CKE0	—	0		1		—	—	—
P52DDR	—	0	1	1	—	—	—	—
NDER4	—	—	0	1	—	—	—	—
端子機能	TIOCA4-B 出力*5	P52 入力	P52 出力	PO4-B 出力*4	SCK2 出力	SCK2 出力	SCK2 入力	TMO0-B 出力*6
		TIOCA4-B 入力*1*5						
	IRQ2-A 割り込み入力*2							

TPU チャンネル 4 の設定	(2)	(1)	(1)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'001x	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	xx00 以外	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	PWM*3 モード 1 出力	—	PWM モード 2 出力	—

- 【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx の場合に TIOCA4-B 入力となります。
- *2 ITSR の ITS2 ビットが 0 のとき $\overline{\text{IRQ2-A}}$ 入力となります。
- *3 TIOCB4-B は出力禁止となります。
- *4 PO4-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TIOCA4-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *6 TMO0-B 出力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

- P51/RxD2/ $\overline{\text{IRQ1-A}}$ /SCL3/ $\overline{\text{BREQ-B}}$ /PO2-B/TIOCC3-B/TMCI0-B

動作モードと EXPE ビット、バスコントローラの BRLE ビット、I²C の ICCRA_3 の ICE ビット、TPU の TMDR_3 の MD3~MD0 ビット、TIORL_3 の IOC3~IOC0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル3 の設定、PPG の NDERL の NEDR2 ビット、SCI の SCR_2 の RE ビット、P51DDR、PFCR3 の PPGS、TPUS、TMRS ビット、PFCR4 の BREQS ビットおよび割り込みコントローラの ITSR の ITS1 ビット組み合わせにより次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

BRLE BREQS	BRLE=0、または BRLE=1 かつ BREQS=0						BRLE=1 かつ BREQS=1
ICE	0					1	—
TPU チャンネル3 の 設定	下表 (1)	下表 (2)				—	—
RE	—	0			1	—	—
P51DDR	—	0	1	1	—	—	—
NDER2	—	—	0	1	—	—	—
端子機能	TIOCC3-B 出力* ⁷	P51 入力	P51 出力	PO2-B 出力* ⁶	RxD2 入力	SCL3* ⁵ 入出力	$\overline{\text{BREQ-B}}$ 入力
		TIOCC3-B 入力* ^{1*7}					
	$\overline{\text{IRQ1-A}}$ 割り込み入力* ²						
	TMCI0-B 入力* ^{3*8}						

- モード3、7 (EXPE=0)

BRLE BREQS	—						
ICE	0						1
TPU チャンネル3 の 設定	下表 (1)	下表 (2)				—	—
RE	—	0			1	—	—
P51DDR	—	0	1	1	—	—	—
NDER2	—	—	0	1	—	—	—
端子機能	TIOCC3-B 出力* ⁷	P51 入力	P51 出力	PO2-B 出力* ⁶	RxD2 入力	SCL3 入出力* ⁵	
		TIOCC3-B 入力* ^{1*7}					
	$\overline{\text{IRQ1-A}}$ 割り込み入力* ²						
	TMCI0-B 入力* ^{3*8}						

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOC3~IOC0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM*4 モード 1 出力	PWM モード 2 出力	—

- 【注】 *1 MD3~MD0=B'0000、かつ IOC3~IOC0=B'10xx の場合に TIOCC3-B 入力となります。
- *2 ITSR の ITS1 ビットが 0 のとき $\overline{\text{IRQ1-A}}$ 入力となります。
- *3 TMR の外部クロック入力端子として使用する場合は、PFCR3 の TMRS ビットを 1 としてから、TCR_0 の CKS2 ~CKS0 ビットで外部クロックを選択します。
- *4 TIOCC3-B は出力禁止となります。TMDR_3 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。
- *5 P51ODR に関係なく NMOS オープンドレイン出力になります。
- *6 PO2-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *7 TIOCC3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *8 TMCIO-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

- P50/TxD2/ $\overline{\text{IRQ0-A}}$ /SDA3/ $\overline{\text{BREQO-B}}$ /PO0-B/TIOCA3-B/TMRI0-B
 動作モードと EXPE ビット、バスコントローラの BRLE ビット、BREQOE ビット、I²C の ICCRA_3 の ICE ビット、TPU の TMDR_3 の MD3~MD0 ビット、TIORH_3 の IOA3~IOA0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル3 の設定、PPG の NDERL の NDER0 ビット、SCI の SCR_2 の TE ビット、PFCR3 の PPGS、TPUS、TMRS ビット、PFCR4 の BREQOS ビット、P50DDR ビットおよび割り込みコントローラの ITSR の ITS0 ビットの組み合わせにより次のように切り替わります。

● モード1、2、4 モード3、7 (EXPE=1)

BRLE BREQOE BREQOS	BRLE=0、 または BRLE=1 かつ BREQOE=0、 または BRLE=1 かつ BREQOE=1 かつ BREQOS=0						BRLE=1 かつ BREQOE=1 かつ BREQOS=1
ICE	0					1	—
TPU チャンネル3 の設定	下表 (1)	下表 (2)				—	—
TE	—	0			1	—	—
P50DDR	—	0	1	1	—	—	—
NDER0	—	—	0	1	—	—	—
端子機能	TIOCA3-B 出力*7	P50 入力	P50 出力	PO0-B 出力*6	TxD2 出力	SDA3*5 入出力	$\overline{\text{BREQO-B}}$ 出力
		TIOCA3-B 入力*1*7					
	$\overline{\text{IRQ0-A}}$ 割り込み入力*2						
	TMRI0-B 入力*3*8						

● モード3、7 (EXPE=0)

BRLE	—						
BREQO	—						
BREQOS	—						
ICE	0					1	
TPU チャンネル3 の設定	下表 (1)	下表 (2)				—	
TE	—	0			1	—	
P50DDR	—	0	1	1	—	—	
NDER0	—	—	0	1	—	—	
端子機能	TIOCA3-B 出力*7	P50 入力	P50 出力	PO0-B 出力*6	TxD2 出力	SDA3*5 入出力	
		TIOCA3-B 入力*1*7					
	$\overline{\text{IRQ0-A}}$ 割り込み入力*2						
	TMRI0-B 入力*3*8						

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM*4 モード 1 出力	PWM モード 2 出力	—

- 【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に TIOCA3-B 入力となります。
- *2 ITSR の ITS0 ビットが 0 のとき $\overline{IRQ0-A}$ 入力となります。
- *3 TMR のカウンタリセットとして使用する場合は、PFCR3 の TMRS ビットを 1 としてから、TCR_0 の CCLR1、CCLR0 ビットと TCCR_0 の TMRIS ビットで外部リセットを選択します。
- *4 TIOCB3-B は出力禁止となります。
- *5 P50ODR に関係なく NMOS オープンドレイン出力になります。
- *6 PO0-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *7 TIOCA3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *8 TMRI0-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

10.6 ポート 6

【注】H8S/2424 グループはポート 6 をサポートしていません。

ポート 6 は 6 ビットの兼用入出力ポートです。ポート 6 には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート 6 データディレクションレジスタ (P6DDR)
- ポート 6 データレジスタ (P6DR)
- ポート 6 レジスタ (PORT6)
- ポート 6 オープンドレインコントロールレジスタ (P6ODR)
- ポートファンクションコントロールレジスタ 2 (PFCR3)

10.6.1 ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、ポート 6 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	
5	P65DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

10.6.2 ポート 6 データレジスタ (P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	
5	P65DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

10.6.3 ポート 6 レジスタ (PORT6)

PORT6 は、ポート 6 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット
6	—	不定	—	リードすると不定値が読み出されます。
5	P65	—*	R	このレジスタをリードすると、P6DDR がセットされているビットは、P6DR の値がリードされます。P6DDR がクリアされているビットは端子の状態がリードされます。
4	P64	—*	R	
3	P63	—*	R	
2	P62	—*	R	
1	P61	—*	R	
0	P60	—*	R	

【注】 * P65～P60 端子の状態により決定されます。

10.6.4 ポート 6 オープンドレインコントロールレジスタ (P6ODR)

P6ODR は、ポート 6 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	リードすると 0 が読み出されます。ライト時は初期値をライトしてください。
5	P65ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
4	P64ODR	0	R/W	
3	P63ODR	0	R/W	
2	P62ODR	0	R/W	
1	P61ODR	0	R/W	
0	P60ODR	0	R/W	

10.6.5 端子機能

ポート 6 は 8 ビットタイマの入出力端子、割り込み入力端子、DMAC 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P65/ $\overline{\text{IRQ13-A}}$ /DACK1/TMO1-A

DMAC の DMABCRH の SAE1 ビット、8 ビットタイマの TCSR_1 の OS3～OS0 ビット、PFCR3 の TMRS ビット、P65DDR ビットおよび割り込みコントローラの ITSR の ITS13 ビットの組み合わせにより、次のように切り替わります。

SAE1	0			1
OS3～OS0	すべてが 0		いずれかが 1	—
P65DDR	0	1	—	—
端子機能	P65 入力	P65 出力	TMO1-A 出力*2	$\overline{\text{DACK1}}$ 出力
	$\overline{\text{IRQ13-A}}$ 割り込み入力*1			

【注】 *1 ITSR の ITS13 ビットが 0 のとき $\overline{\text{IRQ13-A}}$ 入力となります。

*2 TMO1-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P64/ $\overline{\text{IRQ12-A}}$ /DACK0/TMO0-A

DMAC の DMABCRH の SAE0 ビット、8 ビットタイマの TCSR_0 の OS3～OS0 ビット、PFCR3 の TMRS ビット、P64DDR ビットおよび割り込みコントローラの ITSR の ITS12 ビットの組み合わせにより、次のように切り替わります。

SAE0	0			1
OS3～OS0	すべてが 0		いずれかが 1	—
P64DDR	0	1	—	—
端子機能	P64 入力	P64 出力	TMO0-A 出力*2	$\overline{\text{DACK0}}$ 出力
	$\overline{\text{IRQ12-A}}$ 割り込み入力*1			

【注】 *1 ITSR の ITS12 ビットが 0 のとき $\overline{\text{IRQ12-A}}$ 入力となります。

*2 TMO0-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P63/ $\overline{\text{IRQ11-A}}$ / $\overline{\text{TEND1}}$ /TMCI1-A

DMAC の DMATCR の TEE1 ビット、PFCR3 の TMRS ビット、P63DDR ビットおよび割り込みコントローラの ITSR の ITS11 ビットの組み合わせにより、次のように切り替わります。

TEE1	0		1
P63DDR	0	1	—
端子機能	P63 入力	P63 出力	$\overline{\text{TEND1}}$ 出力
	$\overline{\text{IRQ11-A}}$ 割り込み入力* ¹		
	TMCI1-A 入力* ² * ³		

【注】 *1 ITSR の ITS11 ビットが 0 のとき $\overline{\text{IRQ11-A}}$ 入力となります。

*2 TMR の外部クロック入力端子として使用する場合は、TCR_1 の CKS2~CKS0 ビットで外部クロックを選択します。

*3 TMCI1-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P62/ $\overline{\text{IRQ10-A}}$ / $\overline{\text{TEND0}}$ /TMCI0-A

DMAC の DMATCR の TEE0 ビット、PFCR3 の TMRS ビット、P62DDR ビットおよび割り込みコントローラ、ITSR の ITS10 ビットの組み合わせにより、次のように切り替わります。

TEE0	0		1
P62DDR	0	1	—
端子機能	P62 入力	P62 出力	$\overline{\text{TEND0}}$ 出力
	$\overline{\text{IRQ10-A}}$ 割り込み入力* ¹		
	TMCI0-A 入力* ² * ³		

【注】 *1 ITSR の ITS10 ビットが 0 のとき $\overline{\text{IRQ10-A}}$ 入力となります。

*2 TMR の外部クロック入力端子として使用する場合は、TCR_0 の CKS2~CKS0 ビットで外部クロックを選択します。

*3 TMCI0-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P61/ $\overline{\text{IRQ9-A}}$ / $\overline{\text{DREQ1}}$ /TMRI1-A

PFCR3 の TMRS ビット、P61DDR ビットおよび割り込みコントローラの ITSR の ITS9 ビットにより、次のように切り替わります。

P61DDR	0		1
端子機能	P61 入力		P61 出力
	TMRI1-A 入力* ¹ * ³		
	$\overline{\text{DREQ1}}$ 入力		
	$\overline{\text{IRQ9-A}}$ 割り込み入力* ²		

【注】 *1 TMR のカウンタリセットとして使用する場合は、TCR_1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

*2 ITSR の ITS9 ビットが 0 のとき $\overline{\text{IRQ9-A}}$ 入力となります。

*3 TMRI1-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

- P60/ $\overline{\text{IRQ8-A}}$ / $\overline{\text{DREQ0}}$ /TMR10-A

PF3CR3 の TMRS ビット、P60DDR ビットおよび割り込みコントローラの ITSR の ITS8 ビットにより、次のように切り替わります。

P60DDR	0	1
端子機能	P60 入力	P60 出力
	$\overline{\text{TMR10-A}}$ 入力*1*3.	
	$\overline{\text{DREQ0}}$ 入力	
	$\overline{\text{IRQ8-A}}$ 割り込み入力*2	

【注】 *1 TMR のカウンタリセットとして使用する場合は、TCR_0 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

*2 ITSR の ITS8 ビットが 0 のとき $\overline{\text{IRQ8-A}}$ 入力となります。

*3 TMR10-A 入力として使用する場合は、PF3CR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

10.7 ポート 8

ポート 8 は 6 ビットの兼用入出力ポートです。ポート 8 には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート 8 データディレクションレジスタ (P8DDR)
- ポート 8 データレジスタ (P8DR)
- ポート 8 レジスタ (PORT8)
- ポート 8 オープンドレインコントロールレジスタ (P8ODR)
- ポートファンクションコントロールレジスタ 3 (PFCR3)

10.7.1 ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、ポート 8 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	
5	P85DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 H8S/2424 グループでは、ビット 4、2、0 はリザーブビットになります。
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

10.7.2 ポート 8 データレジスタ (P8DR)

P8DR は、ポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	
5	P85DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。 H8S/2424 グループでは、ビット 4、2、0 はリザーブビットになります。
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

10.7.3 ポート 8 レジスタ (PORT8)

PORT8 は、ポート 8 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット
6	—	不定	—	リードすると不定値が読み出されます。
5	P85	—*	R	このレジスタをリードすると、P8DDR がセットされているビットは、P8DR の値がリードされます。P8DDR がクリアされているビットは端子の状態がリードされます。 H8S/2424 グループでは、ビット 4、2、0 はリザーブビットになります。
4	P84	—*	R	
3	P83	—*	R	
2	P82	—*	R	
1	P81	—*	R	
0	P80	—*	R	

【注】 * P85～P80 端子の状態により決定されます。

10.7.4 ポート 8 オープンドレインコントロールレジスタ (P8ODR)

P8ODR は、ポート 8 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	リードすると 0 が読み出されます。ライト時は初期値をライトしてください。
5	P85ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。 H8S/2424 グループでは、ビット 4、2、0 はリザーブビットになります。
4	P84ODR	0	R/W	
3	P83ODR	0	R/W	
2	P82ODR	0	R/W	
1	P81ODR	0	R/W	
0	P80ODR	0	R/W	

10.7.5 端子機能

ポート 8 は、SCI 入出力端子、割り込み入力端子、EXDMAC 入出力端子、PPG の出力端子、TPU の入出力端子、8 ビットタイマの入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

(1) H8S/2426 グループ、H8S/2426R グループの端子機能

- P85/EDACK3/IRQ5-B/SCK3/PO5-B/TIOCB4-B/TMO1-B

動作モードと EXPE ビット、TPU の TMDR_4 の MD3～MD0 ビット、TIOCB4-B の IOB3～IOB0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャンネル 4 の設定、8 ビットタイマの TSCR_1 の OS3～OS0 ビット、PPG の NDERL の NDER5 ビット、EXDMAC の EDMDR_3 の AMS ビット、SCI の SMR_3 の C/A ビット、SCR_3 の CKE0、CKE1 ビット、PFCR3 の PPGS、TPUS、TMRS ビット、P85DDR ビットおよび割り込みコントローラの ITS5 の ITS5 ビットにより、次のように切り替わります。

- モード1、2、4 モード3、7、(EXPE=1)

TPU チャンネル 4 の設定	下表(1)	下表(2)							
OS3～OS0	—	すべてが 0							いずれか 1
AMS	—	0					1	—	—
CKE1	—	0				1	—	—	—
C/ <u>A</u>	—	0			1	—	—	—	—
CKE0	—	0		1	—	—	—	—	
P85DDR	—	0	1	1	—	—	—	—	
NDER5	—	—	0	1	—	—	—	—	
端子機能	TIOCB4-B 出力*4	P85 入力	P85 出力	PO5-B 出力*3	SCK3 出力	SCK3 出力	SCK3 入力	<u>EDACK3</u> 出力	TMO1-B 出力*5
		TIOCB4-B 入力*2*4							
	IRQ5-B 割り込み入力*1								

• モード3、7 (EXPE=0)

TPU チャンネル4 の設定	下表(1)	下表(2)							
OS3~OS0	—	すべてが 0							いずれか 1
AMS	—	—							—
CKE1	—	0					1		—
C/A	—	0				1			—
CKE0	—	0			1		—	—	—
P85DDR	—	0	1	1	—	—	—	—	
NDER5	—	—	0	1	—	—	—	—	
端子機能	TIOCB4-B 出力*4	P85 入力	P85 出力	PO5-B 出力*3	SCK3 出力	SCK3 出力	SCK3 入力	TMO1-B 出力*5	
		TIOCB4-B 入力*2*4							
		IRQ5-B 割り込み入力*1							

- 【注】 *1 ITS5 ビットが 1 のとき $\overline{\text{IRQ5-B}}$ 入力となります。
- *2 MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx の場合に TIOCB4-B 入力となります。
- *3 PO5-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 TIOCB4-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TMO1-B 出力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャンネル4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

- P84/ $\overline{\text{IRQ4-B}}$ / $\overline{\text{EDACK2}}$

EXDMAC の EDMDR_2 の AMS ビット、P84DDR ビットおよび割り込みコントローラの ITSR の ITS4 ビットにより、次のように切り替わります。

動作モード	1、2、4		3、7 (EXPE=1)		3、7 (EXPE=0)	
AMS	0		1		—	
P84DDR	0	1	—		0	1
端子機能	P84 入力	P84 出力	$\overline{\text{EDACK2}}$ 出力		P84 入力	P84 出力
	$\overline{\text{IRQ4-B}}$ 割り込み入力*					

【注】 * ITSR の ITS4 ビットが 1 のとき $\overline{\text{IRQ4-B}}$ 入力となります。

- P83/ $\overline{\text{ETEND3}}$ / $\overline{\text{IRQ3-B}}$ /RxD3/PO3-B/TIOCD3-B/TMCI1-B

EXDMAC の EDMDR_3 の ETENDE ビット、SCI の SCR_3 の RE ビット、TPU の TMDR_3 の MD3～MD0 ビット、TIORL_3 の IOD3～IOD0 ビット、TCR_3 の CCLR2～CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER3 ビット、PFCR3 の PPGS、TPUS、TMRS ビットと P83DDR ビットおよび割り込みコントローラの ITSR の ITS3 ビットにより、次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

TPU チャンネル 3 の設定	下表(1)	下表(2)				
ETENDE	—	0				1
RE	—	0			1	—
P83DDR	—	0	1	1	—	—
NDER3	—	—	0	1	—	—
端子機能	TIOCD3-B 出力*5	P83 入力	P83 出力	PO3-B 出力*4	RxD3 入力	$\overline{\text{ETEND3}}$ 出力
		TIOCD3-B 入力*2*5				
	$\overline{\text{IRQ3-B}}$ 割り込み入力*1					
	TMCI1-B 入力*3*6					

- モード3、7 (EXPE=0)

TPU チャンネル 3 の設定	下表(1)	下表(2)			
ETENDE	—	0			1
RE	—	0		1	—
P83DDR	—	0	1		—
NDER3	—	—	0	1	—
端子機能	TIOCD3-B 出力*5	P83 入力	P83 出力	PO3-B 出力*4	RxD3 入力
		TIOCD3-B 入力*2*5			
	$\overline{\text{IRQ3-B}}$ 割り込み入力*1				
	TMCI1-B 入力*3*6				

【注】 *1 ITSR の ITS3 ビットが 1 のとき $\overline{\text{IRQ3-B}}$ 入力となります。

*2 MD3～MD0=B'0000、かつ IOD3～IOD0=B'10xx の場合に TIOCD3-B 入力となります。

*3 TMR の外部クロック入力端子として使用する場合は、PFCR3 の TMRS ビットを 1 としてから、TCR_1 の CKS2～CKS0 ビットで外部クロックを選択します。

*4 PO3-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*5 TIOCD3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*6 TMCI1-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

- P82/ $\overline{\text{IRQ2-B}}$ / $\overline{\text{ETEND2}}$

EXDMAC の EDMDR_2 の ETENDE ビット、P82DDR ビットおよび割り込みコントローラの ITSR の ITS2 ビットにより、次のように切り替わります。

動作モード	1、2、4		3、7 (EXPE=1)		3、7 (EXPE=0)	
ETENDE	0		1		—	
P82DDR	0	1	—		0	1
端子機能	P82 入力	P82 出力	$\overline{\text{ETEND2}}$ 出力		P82 入力	P82 出力
	$\overline{\text{IRQ2-B}}$ 割り込み入力*					

【注】 * ITSR の ITS2 ビットが 1 のとき $\overline{\text{IRQ2-B}}$ 入力となります。

- P81/EDREQ3/IRQ1-B/TxD3/PO1-B/TIOCB3-B/TMRI1-B

SCI の SCR_3 の TE ビット、TPU の TMDR_3 の MD3~MD0 ビット、TIOCB3-B の IOB3~IOB0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャネル 3 の設定、PPG の NDERL の NDER1 ビット、PFCR3 の PPGS、TPUS、TMRS ビットと P81DDR ビットおよび割り込みコントローラの ITSR の ITS1 ビットにより、次のように切り替わります。

TPU チャネル 3 の設定	下表 (1)	下表 (2)			
TE	—	0			1
P81DDR	—	0	1	1	—
NDER1	—	—	0	1	—
端子機能	TIOCB3-B 出力*5	P81 入力	P81 出力	PO1-B 出力*4	TxD3 出力
		TIOCB3-B 入力*2*5			
	EDREQ3 入力				
	IRQ1-B 割り込み入力*1				
TMRI1-B 入力*3*6					

【注】 *1 ITSR の ITS1 ビットが 1 のとき IRQ1-B 入力となります。

*2 MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB3-B 入力になります。

*3 TMR のカウンタリセットとして使用する場合は、PFCR3 の TMRS ビットを 1 としてから、TCR_1 の CCLR1、CCLR0 ビットと TCCR_1 の TMRIS ビットで外部リセットを選択します。

*4 PO1-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*5 TIOCB3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*6 TMRI1-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

- P80/ $\overline{\text{IRQ0-B}}$ / $\overline{\text{EDREQ2}}$

P80DDR ビットおよび割り込みコントローラの ITSR の ITS0 ビットにより、次のように切り替わります。

P80DDR	0	1
端子機能	P80 入力	P80 出力
	$\overline{\text{EDREQ2}}$ 入力	
	$\overline{\text{IRQ0-B}}$ 割り込み入力*	

【注】 * ITSR の ITS0 ビットが 1 のとき $\overline{\text{IRQ0-B}}$ 入力となります。

(2) H8S/2424 グループの端子機能

- P85/SCK3/PO5-B/TIOCB4-B/TMO1-B

TPU の TMDR_4 の MD3~MD0 ビット、TIOCB4-B の IOB3~IOB0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャネル 4 の設定、8 ビットタイマの TCSR_1 の OS3~OS0 ビット、PPG の NDERL の NDER5 ビット、SCI の SMR_3 の C/A ビット、SCR_3 の CKE0、CKE1 ビット、PFCR3 の PPGS、TPUS、TMRS ビット、P85DDR ビットにより、次のように切り替わります。

TPU チャネル 4 の設定	下表 (1)	下表 (2)						
OS3~OS0	—	すべてが 0						いずれか 1
CKE1	—	0				1		—
C/A	—	0			1		—	—
CKE0	—	0		1		—	—	—
P85DDR	—	0	1	1	—	—	—	—
NDER5	—	—	0	1	—	—	—	—
端子機能	TIOCB4-B 出力*3	P85 入力	P85 出力	PO5-B 出力*2	SCK3 出力	SCK3 出力	SCK3 入力	TMO1-B 出力*4
		TIOCB4-B 入力*1*3						

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx の場合に TIOCB4-B 入力となります。

*2 PO5-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*3 TIOCB4-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*4 TMO1-B 出力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャネル 4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

- P83/PO3-B/TIOCD3-B/TMCI1-B/RxD3

TPU の TMDR_3 の MD3~MD0 ビット、TIORL_3 の IOD3~IOD0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 設定、PPG の NDERL の NDER3 ビット、SCI の SCR_3 の RE ビット、PFCR3 の PPGS、TPUS、TMRS ビットおよび P83DDR ビットにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)			
		0			1
RE	—	0			1
P83DDR	—	0	1		—
NDER3	—	—	0	1	—
端子機能	TIOCD3-B 出力*4	P83 入力	P83 出力	PO3-B 出力*3	RxD3 入力
		TIOCD3-B 入力*1*4			
	TMCI1-B 入力*2*5				

【注】 *1 MD3~MD0=B'0000、かつ IOD3~IOD0=B'10xx の場合に TIOCD3-B 入力となります。

*2 TMR の外部クロック入力端子として使用する場合は、PFCR3 の TMRS ビットを 1 としてから、TCR_1 の CKS2~CKS0 ビットで外部クロックを選択します。

*3 PO3-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*4 TIOCD3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。

*5 TMCI1-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

● P81/PO1-B/TIOCB3-B/TMRI1-B/TxD3

TPU の TMDR_3 の MD3~MD0 ビット、TIOCB3-B の TOB3~IOB0 ビット、TCR_3 の CCLR2~CCLR0 ビットによる TPU チャンネル 3 の設定、PPG の NDERL の NDER1 ビット、SCI の SCR_3 の TE ビット、PFCR3 の PPGS、TPUS、TMRS ビットと P81DDR ビットにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)			
TE	—	0			1
P81DDR	—	0	1		—
NDER1	—	—	0	1	—
端子機能	TIOCB3-B 出力*4	P81 入力	P81 出力	PO1-B 出力*3	TxD3 出力
		TIOCB3-B 入力*1*4			
	TMRI1-B 入力*2*5				

- 【注】 *1 MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB3-B 入力となります。
- *2 TMR のカウンタリセットとして使用する場合は、PFCR3 の TMRS ビットを 1 としてから、TCR_1 の CCLR1、CCLR0 ビットと TCCR_1 の TMRIS ビットで外部リセットを選択します。
- *3 PO1-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 TIOCB3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 TMRI1-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

10.8 ポート 9

ポート 9 は 8 ビットの兼用入力ポートです。ポート 9 には以下のレジスタがあります。

- ポート9レジスタ (PORT9)

10.8.1 ポート 9 レジスタ (PORT9)

PORT9 は、ポート 9 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P97	—*	R	このレジスタをリードすると、常に端子の状態が読み出されます。 H8S/2424 グループでは、ビット 7、6、3~0 はリザーブビットになります。
6	P96	—*	R	
5	P95	—*	R	
4	P94	—*	R	
3	P93	—*	R	
2	P92	—*	R	
1	P91	—*	R	
0	P90	—*	R	

【注】 * P97~P90 端子の状態により決定されます。

10.8.2 端子機能

ポート 9 は A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子と兼用になっています。端子の関係は以下のとおりです。

(1) H8S/2426 グループ、H8S/2426R グループの端子機能

- P97/AN15_1

端子機能	AN15_1 入力
------	-----------

- P96/AN14_1

端子機能	AN14_1 入力
------	-----------

- P95/AN13_1/DA3

端子機能	AN13_1 入力
	DA3 出力

- P94/AN12_1/DA2

端子機能	AN12_1 入力
	DA2 出力

- P93/AN11_1

端子機能	AN11_1 入力
------	-----------

- P92/AN10_1

端子機能	AN10_1 入力
------	-----------

- P91/AN9_1

端子機能	AN9_1 入力
------	----------

- P90/AN8_1

端子機能	AN8_1 入力
------	----------

(2) H8S/2424 グループの端子機能

- P95/AN13_1/DA3

端子機能	AN13_1 入力
	DA3 出力

- P94/AN12_1/DA2

端子機能	AN12_1 入力
	DA2 出力

10.9 ポート A

ポート A は 8 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート A データディレクションレジスタ (PADDR)
- ポート A データレジスタ (PADR)
- ポート A レジスタ (PORTA)
- ポート A プルアップ MOS コントロールレジスタ (PAPCR)
- ポート A オープンドレインコントロールレジスタ (PAODR)
- ポートファンクションコントロールレジスタ 0 (PFCR0) (H8S/2424 グループ)
- ポートファンクションコントロールレジスタ 1 (PFCR1)
- ポートファンクションコントロールレジスタ 4 (PFCR4)
- ポートファンクションコントロールレジスタ 5 (PFCR5)

10.9.1 ポート A データディレクションレジスタ (PADDDR)

PADDDR は、ポート A の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	<ul style="list-style-type: none"> モード 1、2 のとき <p>PA4～PA0 端子は、アドレス出力になります。</p> <p>PA6、PA5 端子は、A22E、A21E ビットがそれぞれ 1 にセットされているとき、PADDDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A22E、A21E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDDR によって端子機能を切り替えることができます。</p> <p>PA7 端子は、A23E が 1 にセットされているとき、PA7DDR を 1 にセットすると端子はアドレス出力となり、0 にクリアすると入力ポートになります。</p> <p>A23E が 0 にクリアされているとき、H8S/2426 グループ、H8S/2426R グループと H8S/2424 グループで動作が異なります。</p> <p>[H8S/2426 グループ、H8S/2426R グループ]</p> <p>汎用入出力ポートの機能が選択されているとき、PA7DDR によって端子機能を切り替えることができます。</p> <p>[H8S/2424 グループ]</p> <p>\overline{CS} 出力許可ビット (CS7E) を 1 にセットしたとき、PA7DDR を 1 にセットすると $\overline{CS7}$ 出力になり、0 にクリアすると入力ポートになります。</p> <p>\overline{CS} 出力許可ビット (CS7E) を 0 にクリアして汎用入出力ポートの機能が選択されているとき、PA7DDR によって端子機能を切り替えることができます。</p>
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	<ul style="list-style-type: none"> モード 4、モード 3、7 (EXPE=1) のとき PA6~PA0 端子は A22E~A16E ビットがそれぞれ 1 にセットされているとき、PADDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A22E~A16E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDR によって端子機能を切り替えることができます。 PA7 端子は、A23E が 1 にセットされているとき、PA7DDR を 1 にセットすると端子はアドレス出力となり、0 にクリアすると入力ポートになります。 A23E が 0 にクリアされているとき、H8S/2426 グループ、H8S/2426R グループと H8S/2424 グループで動作が異なります。 [H8S/2426 グループ、H8S/2426R グループ] 汎用入出力ポートの機能が選択されているとき、PA7DDR によって端子機能を切り替えることができます。 [H8S/2424 グループ] \overline{CS} 出力許可ビット (CS7E) を 1 にセットしたとき、PA7DDR を 1 にセットすると $\overline{CS7}$ 出力になり、0 にクリアすると入力ポートになります。 \overline{CS} 出力許可ビット (CS7E) を 0 にクリアして汎用入出力ポートの機能が選択されているとき、PA7DDR によって端子機能を切り替えることができます。 <ul style="list-style-type: none"> モード 3、7 (EXPE=0) のとき ポート A は入出力ポートとなり、PADDR によって端子機能を切り替えることができます。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

10.9.2 ポート A データレジスタ (PADR)

PADR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PA7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

10.9.3 ポート A レジスタ (PORTA)

PORTA は、ポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PA7	—*	R	このレジスタをリードすると、PADDR がセットされているビットは、PADR の値がリードされます。PADDR がクリアされているビットは端子の状態がリードされます。
6	PA6	—*	R	
5	PA5	—*	R	
4	PA4	—*	R	
3	PA3	—*	R	
2	PA2	—*	R	
1	PA1	—*	R	
0	PA0	—*	R	

【注】 * PA7~PA0 端子の状態により決定されます。

10.9.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR は、ポート A の入力プルアップ MOS のオン/オフを制御します。モード 1、2 ではビット 7～5 が有効です。モード 4、7 ではすべてのビットが有効です。

ビット	ビット名	初期値	R/W	説明
7	PA7PCR	0	R/W	入力ポート状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。 SCI 使用時は 1 にセットしないでください。
6	PA6PCR	0	R/W	
5	PA5PCR	0	R/W	
4	PA4PCR	0	R/W	
3	PA3PCR	0	R/W	
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

10.9.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR は、ポート A の端子の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	アドレス出力、 $\overline{CS7}$ 出力*以外のときこのビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

【注】 * H8S/2426 グループ、H8S/2426R グループではサポートしていません。

10.9.6 端子機能

ポート A はアドレス出力端子、割り込み入力端子、SSU 入出力端子、SCI 入出力端子、バス制御出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PA7/A23/ $\overline{CS7}^{*6}$ / $\overline{IRQ7-A}$ /SSO0-B

動作モードと EXPE ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビット、PFCR5 の SSO0S1、SSO0S0 ビットと PFCR0 の CS7E ビット*6 (H8S/2424 グループ)、PFCR1 の A23E ビットと PA7DDR ビットおよび割り込みコントローラの ITSr の ITS7 ビットにより次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

A23E	0						1	
CS7E*6	0				1		-	
SSU の設定	下表 (1)		下表 (2)	下表 (3)	-		-	
PA7DDR	0	1	0*4	-	0	1	0	1
端子機能	PA7 入力	PA7 出力	SSO0-B 入力*2*5	SSO0-B 出力*3*5	PA7 入力	$\overline{CS7}$ 出力*6	PA7 入力	A23 出力
IRQ7-A 割り込み入力*1								

- モード3、7 (EXPE=0)

A23E	-			
CS7E*6	0			
SSU の設定	下表 (1)		下表 (2)	下表 (3)
PA7DDR	0	1	0*4	-
端子機能	PA7 入力	PA7 出力	SSO0-B 入力*2*5	SSO0-B 出力*3*5
IRQ7-A 割り込み入力*1				

【注】 *1 ITSr の ITS7 ビットが 0 のとき $\overline{IRQ7-A}$ 入力となります。

*2 SSO0-B 入力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。

*3 SSO0-B 出力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSU 端子を入力として使用する場合は PA7DDR=0 にしてください。

*5 PFCR5 の SSO0S1、SSO0S0=B'01 以外の場合は SSU の設定をしないでください。

I/O ポートとして使用してください。

*6 H8S/2426 グループ、H8S/2426R グループではサポートしていません。

SSUの設 定	(1)	(2)	(1)	(2)	(1)	(3)	(3)	(2)	(3)	(2)	(3)	(1)	(3)	(3)	(1)	(3)	(3)
SSUMS	0							0				1* ¹					
BIDE	0							1* ²				0					
MSS	0				1			0		1		0			1		
TE	0		1		0	1		0	1	0	1	0	1		0	1	
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1
端子状態	-	SSO 入力	-	SSO 入力	-	SSO 出力	SSO 出力	SSO 入力	SSO 出力	SSO 入力	SSO 出力	-	SSO 出力	SSO 出力	-	SSO 出力	SSO 出力

【記号説明】 - : SSUとして端子を用いない (I/Oポートとして使用可能)

【注】 表 19.4～表 19.6 を参照してください。

*1 SSUのSSUMS=1の場合、BIDE=1にセットしないでください。

*2 BIDE=1 (双方向モード)の場合はTE=RE=1としないでください。

● PA6/A22/ $\overline{\text{IRQ6-A}}$ /SSI0-B

動作モードと EXPE ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビットと PFCR1 の A22E ビットと PFCR5 の SSI0S1、SSI0S0 ビット、PA6DDR ビットおよび割り込みコントローラの ITSr の ITS6 ビットにより次のように切り替わります。

● モード1、2、4

A22E	0				1	
SSU の設定	下表 (1)		下表 (2)	下表 (3)	-	
PA6DDR	0	1	0* ⁴	-	0	1
端子機能	PA6 入力	PA6 出力	SSI0-B 入力* ^{2*5}	SSI0-B 出力* ^{3*5}	PA6 入力	A22 出力
	$\overline{\text{IRQ6-A}}$ 割り込み入力* ¹					

● モード3、7

EXPE	1						0			
A22E	0				1		-			
SSU の設定	下表 (1)		下表 (2)	下表 (3)	-		下表 (1)		下表 (2)	下表 (3)
PA6DDR	0	1	0* ⁴	-	0	1	0	1	0* ⁴	-
端子機能	PA6 入力	PA6 出力	SSI0-B 入力* ^{2*5}	SSI0-B 出力* ^{3*5}	PA6 入力	A22 出力	PA6 入力	PA6 出力	SSI0-B 入力* ^{2*5}	SSI0-B 出力* ^{3*5}
	$\overline{\text{IRQ6-A}}$ 割り込み入力* ¹									

【注】 *1 ITSr の ITS6 ビットが 0 のとき $\overline{\text{IRQ6-A}}$ 入力となります。

*2 SSI0-B 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。

*3 SSI0-B 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSU 端子を入力として使用する場合は PA6DDR=0 にしてください。

*5 PFCR5 の SSI0S1、SSI0S0=B'01 以外の場合は SSU の設定をしないでください。

I/O ポートとして使用してください。

SSU の設定	(1)	(1)	(3)	(3)	(2)	(1)	(2)	(1)	(1)	(1)	(1)	(2)	(1)	(2)	(2)	(1)	(2)
SSUMS	0				0				1* ¹								
BIDE	0				1* ²				0								
MSS	0		1		0		1		0		1						
TE	0	1	0	1	0	1	0	1	0	1	0	1	0	1			
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1
端子状態	-	-	SSI 出力	SSI 出力	SSI 入力	-	SSI 入力	-	-	-	-	SSI 入力	-	SSI 入力	SSI 入力	-	SSI 入力

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

*1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。

*2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

- PA5/A21/ $\overline{\text{IRQ5-A}}$ /SSCK0-B

動作モードと EXPE ビット、SSU の SSCRH の MSS、SCKS ビット、SSCRL の SSUMS ビットと PFCR1 の A21E ビットと PFCR5 の SSCK0S1、SSCK0S0 ビット、PA5DDR ビットおよび割り込みコントローラの ITSР の ITS5 ビットにより次のように切り替わります。

- モード1、2、4

A21E	0				1	
SSU の設定	下表 (1)		下表 (2)	下表 (3)	—	
PA5DDR	0	1	0* ⁴	—	0	1
端子機能	PA5 入力	PA5 出力	SSCK0-B 入力* ^{2*5}	SSCK0-B 出力* ^{3*5}	PA5 入力	A21 出力
	$\overline{\text{IRQ5-A}}$ 割り込み入力* ¹					

- モード3、7

EXPE	1						0			
A21E	0				1		—			
SSU の設定	下表 (1)		下表 (2)	下表 (3)	—	—	下表 (1)		下表 (2)	下表 (3)
PA5DDR	0	1	0* ⁴	—	0	1	0	1	0* ⁴	—
端子機能	PA5 入力	PA5 出力	SSCK0-B 入力* ^{2*5}	SSCK0-B 出力* ^{3*5}	PA5 入力	A21 出力	PA5 入力	PA5 出力	SSCK0-B 入力* ^{2*5}	SSCK0-B 出力* ^{3*5}
	$\overline{\text{IRQ5-A}}$ 割り込み入力* ¹									

【注】 *1 ITSР の ITS5 ビットが 0 のとき $\overline{\text{IRQ5-A}}$ 入力となります。

*2 SSCK0-B 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。

*3 SSCK0-B 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSU 端子を入力として使用する場合は PA5DDR=0 にしてください。

*5 PFCR5 の SSCK0S1、SSCK0S0=B'01 以外の場合は SSU の設定をしないでください。

I/O ポート、TPU 端子、EXDMAC 端子として使用してください。

SSU の設定	(1)	(2)	(1)	(3)	(1)	(2)	(1)	(3)
SSUMS	0				1			
MSS	0		1		0		1	
SCKS	0	1	0	1	0	1	0	1
端子状態	—	SSCK 入力	—	SSCK 出力	—	SSCK 入力	—	SSCK 出力

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

● PA4/A20/ $\overline{\text{IRQ4-A}}$ / $\overline{\text{SCS0-B}}$

動作モードと EXPE ビットと SSU の SSCRH の MSS、CSS1、CSS0 ビット、SSCRL の SSUMS ビットと PFCR1 の A20E ビットと PFCR5 の SCS0S1、SCS0S0 ビット、PA4DDR ビットおよび割り込みコントローラの ITS4 の ITS4 ビットにより次のように切り替わります。

動作モード	1、2		4					
EXPE	-		-					
A20E	-		0				1	
SSU の設定	-		下表 (1)		下表 (2)	下表 (4)	下表 (3)	-
PA4DDR	-		0	1	0*5	0*5	-	0 1
端子機能	A20	PA4	PA4	$\overline{\text{SCS0-B}}$	$\overline{\text{SCS0-B}}$	$\overline{\text{SCS0-B}}$	PA4	A20
	出力	入力	出力	入力*2*6	入出力*4*6	出力*3*6	入力	出力
$\overline{\text{IRQ4-A}}$ 割り込み入力*1								

動作モード	3、7											
EXPE	0						1					
A20E	-						0				1	
SSU の設定	下表 (1)		下表 (2)	下表 (4)	下表 (3)	下表 (1)		下表 (2)	下表 (4)	下表 (3)	-	
PA4DDR	0	1	0*5	0*5	-	0	1	0*5	0*5	-	0	1
端子機能	PA4	PA4	$\overline{\text{SCS0-B}}$	$\overline{\text{SCS0-B}}$	$\overline{\text{SCS0-B}}$	PA4	PA4	$\overline{\text{SCS0-B}}$	$\overline{\text{SCS0-B}}$	$\overline{\text{SCS0-B}}$	PA4	A20
	入力	出力	入力*2*6	入出力*4*6	出力*3*6	入力	出力	入力*2*6	入出力*4*6	出力*3*6	入力	出力
$\overline{\text{IRQ4-A}}$ 割り込み入力*1												

- 【注】 *1 ITS4 の ITS4 ビットが 0 のとき $\overline{\text{IRQ4-A}}$ 入力となります。
- *2 $\overline{\text{SCS0-B}}$ 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。
- *3 $\overline{\text{SCS0-B}}$ 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 $\overline{\text{SCS0-B}}$ 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 SSU 端子を入力として使用する場合は PA4DDR=0 にしてください。
- *6 PFCR5 の SCS0S1、SCS0S0=B'01 以外の場合は SSU の設定をしないでください。
I/O ポートとして使用してください。

SSU の設定	(2)	(1)	(2)	(4)	(3)	(1)	
SSUMS	0					1	
MSS	0	1				x	
CSS1	x	0			1		x
CSS0	x	0	1	0	1	x	
端子状態	$\overline{\text{SCS}}$ 入力	-	$\overline{\text{SCS}}$ 入力	$\overline{\text{SCS}}$ 自動入出力	$\overline{\text{SCS}}$ 出力	-	

- 【記号説明】 x : Don't care
- : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

- PA3/A19/SCK4-B

動作モードと EXPE ビットと SCI の SMR_4 の C/A ビット、SCR_4 の CKE0、CKE1 ビットと PFCR1 の A19E ビットと PFCR4 の SCK4S ビット、PA3DDR ビットにより次のように切り替わります。

動作モード	1、2	4						
EXPE	—	—						
A19E	—	0					1	
CKE1	—	0			1		—	
C/A	—	0		1	—		—	
CKE0	—	0		1	—		—	
PA3DDR	—	0	1	—	—	—	0	1
端子機能	A19 出力	PA3 入力	PA3 出力	SCK4-B 出力*	SCK4-B 出力*	SCK4-B 入力*	PA3 入力	A19 出力

動作モード	3、7											
EXPE	0						1					
A19E	—						0				1	
CKE1	0			1			0			1		—
C/A	0		1	—		0		1	—		—	
CKE0	0	1	—		—		0	1	—		—	
PA3DDR	0	1	—	—	—	0	1	—	—	—	0	1
端子機能	PA3 入力	PA3 出力	SCK4-B 出力*	SCK4-B 出力*	SCK4-B 入力*	PA3 入力	PA3 出力	SCK4-B 出力*	SCK4-B 出力*	SCK4-B 入力*	PA3 入力	A19 出力

【注】 * SCK4-B 入出力として使用する場合は、PFCR4 の SCK4S=1 にしてから、その他のレジスタ設定を行うようにしてください。

- PA2/A18/RxD4-B

動作モードと EXPE ビットと SCI の SCR_4 の RE ビットと PFCR1 の A18E、PFCR4 の RXD4S ビットと PADDR ビットにより次のように切り替わります。

動作モード	1、2		4				3、7								
EXPE	-		-				0		1						
A18E	-		0		1		-		0		1				
RE	-		0	1	-		0	1	0	1	-				
PA2DDR	-		0	1	-	0	1	0	1	-	0	1	-	0	1
端子機能	A18 出力	PA2 入力	PA2 出力	RxD4-B 入力*	PA2 入力	A18 出力	PA2 入力	PA2 出力	RxD4-B 入力*	PA2 入力	PA2 出力	RxD4-B 入力*	PA2 入力	A18 出力	

【注】 * RxD4-B 入力として使用する場合は、PFCR4 の RXD4S=1 にしてから、その他のレジスタ設定を行うようにしてください。

- PA1/A17/TxD4-B

動作モードと EXPE ビットと SCI の SCR_4 の TE ビットと PFCR1 の A17E ビットと PFCR4 の TXD4S ビットと PA1DDR ビットにより次のように切り替わります。

動作モード	1、2		4				3、7								
EXPE	-		-				0		1						
A17E	-		0		1		-		0		1				
TE	-		0	1	-		0	1	0	1	-				
PA1DDR	-		0	1	-	0	1	0	1	-	0	1	-	0	1
端子機能	A17 出力	PA1 入力	PA1 出力	TxD4-B 出力*	PA1 入力	A17 出力	PA1 入力	PA1 出力	TxD4-B 出力*	PA1 入力	PA1 出力	TxD4-B 出力*	PA1 入力	A17 出力	

【注】 * TxD4-B 出力として使用する場合は、PFCR4 の TXD4S=1 にしてから、その他のレジスタ設定を行うようにしてください。

- PA0/A16

動作モードと EXPE ビットと PFCR1 の A16E ビットと PA0DDR ビットにより次のように切り替わります。

動作モード	1、2		4				3、7						
EXPE	-		-				0		1				
A16E	-		0		1		-		0		1		
PA0DDR	-		0	1	0	1	0	1	0	1	0	1	
端子機能	A16 出力	PA0 入力	PA0 出力	PA0 入力	A16 出力	PA0 入力	PA0 出力	PA0 入力	PA0 出力	PA0 入力	PA0 出力	PA0 入力	A16 出力

10.9.7 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 1、2 のときは PA7～PA5 端子が使用でき、モード 3、4、7 のときはすべての端子が使用できます。入力プルアップ MOS は、ビット単位でオン／オフを指定できます。

入力プルアップ MOS の状態を表 10.3 に示します。

SCI 使用時は、入力プルアップ MOS をオンしないでください。

表 10.3 ポート A 入力プルアップ MOS の状態

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
3、4、7	PA7～PA0	OFF		ON/OFF	
1、2	PA7～PA5			ON/OFF	
	PA4～PA0			OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 入力ポート状態かつ PAPCR=1 のときオン状態、その他のときはオフ状態です。

10.10 ポート B

ポート B は 8 ビットの兼用入出力ポートです。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)
- ポート B オープンドレインコントロールレジスタ (PBODR)

10.10.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PB7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2 のとき PBDDR にかかわらず、対応する各端子はアドレス出力となります。 • モード 4、モード 3、7 (EXPE=1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。 • モード 3、7 (EXPE=0) のとき ポート B は入出力ポートになり、PBDDR によって端子機能を切り替えることができます。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

10.10.2 ポート B データレジスタ (PBDR)

PBDR はポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

10.10.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	—*	R	このレジスタをリードすると、PBDDR がセットされているビットは PBDR の値がリードされます。PBDDR がクリアされているビットは端子の状態がリードされます。
6	PB6	—*	R	
5	PB5	—*	R	
4	PB4	—*	R	
3	PB3	—*	R	
2	PB2	—*	R	
1	PB1	—*	R	
0	PB0	—*	R	

【注】 * PB7~PB0 端子の状態により決定されます。

10.10.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン/オフを制御します。モード 4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	入力ポート状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

10.10.5 ポート B オープンドレインコントロールレジスタ (PBODR)

PBODR は、ポート B の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PB7ODR	0	R/W	アドレス出力以外するとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PB6ODR	0	R/W	
5	PB5ODR	0	R/W	
4	PB4ODR	0	R/W	
3	PB3ODR	0	R/W	
2	PB2ODR	0	R/W	
1	PB1ODR	0	R/W	
0	PB0ODR	0	R/W	

10.10.6 端子機能

ポート B の各端子は、TPU 入出力端子、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/A15/TIOCB8/TCLKH

動作モード、EXPE ビット、TPU の TMDR_8 の MD3～MD0 ビット、TIOR_8 の IOB3～IOB0 ビット、TCR_8 の CCLR1、CCLR0 ビットによる TPU チャネル 8 の設定、TCR_6、TCR_11 の TPSC2～TPSC0 ビットと PB7DDR ビットにより次のように切り替わります。

動作モード	1, 2	4	3, 7 (EXPE=1)	3, 7 (EXPE=0)		
TPU チャネル 8 の設定	—	—		(1)	(2)	
PB7DDR	—	0	1	—	0	1
端子機能	A15 出力	PB7 入力	A15 出力	TIOCB8 出力	PB7 入力	PB7 出力
					TIOCB8 入力* ¹	
					TCLKH 入力* ²	

TPU チャネル 8 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB8 入力となります。

*2 TCR_6、TCR_11 のいずれかの設定が TPSC2～TPSC0=B'111 の場合に TCLKH 入力となります。

また、チャネル 8、10 を位相計数モードに設定すると、TCLKH 入力となります。

- PB6/A14/TIOCA8

動作モード、EXPE ビット、TPU の TMDR_8 の MD3～MD0 ビット、TIOR_8 の IOA3～IOA0 ビット、TCR_8 の CCLR1、CCLR0 ビットによる TPU チャネル 8 の設定と PB6DDR ビットにより次のように切り替わります。

動作モード	1、2	4	3、7 (EXPE=1)	3、7 (EXPE=0)		
TPU チャネル 8 の設定	—	—		(1)	(2)	
PB6DDR	—	0	1	—	0	1
端子機能	A14 出力	PB6 入力	A14 出力	TIOCA8 出力	PB6 入力	PB6 出力
					TIOCA8 入力*1	

TPU チャネル 8 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA8 入力となります。

*2 TIOCB8 は出力禁止となります。

- PB5/A13/TIOCB7/TCLKG

動作モード、EXPE ビット、TPU の TMDR_7 の MD3~MD0 ビット、TIOR_7 の IOB3~IOB0 ビット、TCR_7 の CCLR1、CCLR0 ビットによる TPU チャンネル7 の設定、TCR_6、TCR_8、TCR_10、TCR_11 の TPSC2 ~TPSC0 ビットと PB5DDR ビットにより次のように切り替わります。

動作モード	1、2	4	3、7 (EXPE=1)	3、7 (EXPE=0)		
TPU チャンネル7 の設定	—	—		(1)	(2)	
PB5DDR	—	0	1	—	0	1
端子機能	A13 出力	PB5 入力	A13 出力	TIOCB7 出力	PB5 入力	PB5 出力
				TIOCB7 入力*1		
				TCLKG 入力*2		

TPU チャンネル7 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx の場合に TIOCB7 入力となります。

*2 TCR_6、TCR_8 のいずれかの設定が TPSC2~TPSC0=B'111 または TCR_10、TCR_11 のいずれかの設定が TPSC2~TPSC0=B'101 の場合に TCLKG 入力となります。また、チャンネル 8、10 を位相計数モードに設定すると、TCLKG 入力となります。

- PB4/A12/TIOCA7

動作モード、EXPE ビット、TPU の TMDR_7 の MD3～MD0 ビット、TIOR_7 の IOA3～IOA0 ビット、TCR_7 の CCLR1、CCLR0 ビットによる TPU チャネル 7 の設定と PB4DDR ビットにより次のように切り替わります。

動作モード	1、2	4	3、7 (EXPE=1)	3、7 (EXPE=0)		
TPU チャネル 7 の設定	—	—		(1)	(2)	
PB4DDR	—	0	1	—	0	1
端子機能	A12 出力	PB4 入力	A12 出力	TIOCA7 出力	PB4 入力	PB4 出力
					TIOCA7 入力* ¹	

TPU チャネル 7 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウプット コンペア出力	—	PWM* ² モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3～IOA0=B'10xx の場合に TIOCA7 入力となります。

*2 TIOCB7 は出力禁止となります。

- PB3/A11/TIOCD6/TCLKF

動作モード、EXPE ビット、TPU の TMDR_6 の MD3~MD0 ビット、TIOR L_6 の IOD3~IOD0 ビット、TCR_6 の CCLR2~CCLR0 ビットによる TPU チャネル 6 の設定、TCR_6~TCR_8 の TPSC2~TPSC0 ビットと PB3DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャネル 6 の設定	—	—		(1)	(2)	
PB3DDR	—	0	1	—	0	1
端子機能	A11 出力	PB3 入力	A11 出力	TIOCD6 出力	PB3 入力	PB3 出力
				TIOCD6 入力* ¹		
				TCLKF 入力* ²		

TPU チャネル 6 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000 かつ IOD3~IOD0=B'10xx の場合に TIOCD6 入力となります。

*2 TCR_6~TCR_8 のいずれかの設定が TPSC2~TPSC0=B'101 の場合に TCLKF 入力となります。

また、チャンネル 7、11 を位相計数モードに設定すると、TCLKF 入力となります。

- PB2/A10/TIOCC6/TCLKE

動作モード、EXPE ビット、TPU の TMDR_6 の MD3～MD0 ビット、TIOR L_6 の IOC3～IOC0 ビット、TCR6 の CCLR2～CCLR0 ビットによる TPU チャンネル 6 の設定、TCR_6～TCR_11 の TPSC2～TPSC0 ビットと PB2DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャンネル 6 の設定	—	—		(1)	(2)	
PB2DDR	—	0	1	—	0	1
端子機能	A10 出力	PB2 入力	A10 出力	TIOCC6 出力	PB2 入力	PB2 出力
				TIOCC6 入力* ¹		
				TCLKE 入力* ²		

TPU チャンネル 6 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000		B'001x	B'0010	B'0011	
IOC3～IOC0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM* ³ モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3～MD0=B'0000、かつ IOC3～IOC0=B'10xx の場合に TIOCC6 入力となります。

*2 TCR_6～TCR_11 のいずれかの設定が TPSC2～TPSC0=B'100 の場合に TCLKE 入力となります。
また、チャンネル 7、11 を位相計数モードに設定すると、TCLKE 入力となります。

*3 TIOCC6 は出力禁止となります。TMDR6 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。

- PB1/A9/TIOCB6

動作モード、EXPE ビット、TPU の TMDR_6 の MD3～MD0 ビット、TIOCB6 の IOB3～IOB0 ビット、TCR_6 の CCLR2～CCLR0 ビットによる TPU チャネル6 の設定と PB1DDR ビットにより次のように切り替わります。

動作モード	1、2	4	3、7 (EXPE=1)	3、7 (EXPE=0)		
TPU チャネル6 の設定	—	—		(1)	(2)	
PB1DDR	—	0	1	—	0	1
端子機能	A9 出力	PB1 入力	A9 出力	TIOCB6 出力	PB1 入力	PB1 出力
					TIOCB6 入力* ¹	

TPU チャネル6 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOB3～IOB0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード2 出力	—

【記号説明】 x : Don't care

【注】 *¹ MD3～MD0=B'0000、かつ IOB3～IOB0=B'10xx の場合に TIOCB6 入力となります。

- PB0/A8/TIOCA6

動作モード、EXPE ビット、TPU の TMDR_6 の MD3～MD0 ビット、TIOCA6 の IOA3～IOA0 ビット、TCR_6 の CCLR2～CCLR0 ビットによる TPU チャネル6 の設定と PB0DDR ビットにより次のように切り替わります。

動作モード	1、2	4	3、7 (EXPE=1)	3、7 (EXPE=0)		
TPU チャネル6 の設定	—	—		(1)	(2)	
PB0DDR	—	0	1	—	0	1
端子機能	A8 出力	PB0 入力	A8 出力	TIOCA6 出力	PB0 入力	PB0 出力
					TIOCA6 入力* ¹	

TPU チャネル6 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM* ² モード1 出力	PWM モード2 出力	—

【記号説明】 x : Don't care

【注】 *¹ MD3～MD0=B'0000、かつ IOA3～IOA0=B'10xx の場合に TIOCA6 入力となります。

*² TIOCB6 は出力禁止となります。

10.10.7 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、4、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 3、4、7 のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.4 に示します。

表 10.4 ポート B 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2	OFF		OFF	
3、4、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 入力ポート状態かつ PBPCR=1 のときオン状態、その他のときはオフ状態です。

10.11 ポート C

ポート C は 8 ビットの兼用入出力ポートです。ポート C には以下のレジスタがあります。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C データレジスタ (PCDR)
- ポート C レジスタ (PORTC)
- ポート C プルアップ MOS コントロールレジスタ (PCPCR)
- ポート C オープンドレインコントロールレジスタ (PCODR)

10.11.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PC7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2 のとき PCDDR にかかわらず、対応する各端子はアドレス出力となります。 • モード 4、モード 3、7 (EXPE=1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。 • モード 3、7 (EXPE=0) のとき ポート C は入出力ポートになり、PCDDR によって端子機能を切り替えることができます。
6	PC6DDR	0	W	
5	PC5DDR	0	W	
4	PC4DDR	0	W	
3	PC3DDR	0	W	
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

10.11.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

10.11.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PC7	—*	R	このレジスタをリードすると、PCDDR がセットされているビットは PCDR の値がリードされます。PCDDR がクリアされているビットは端子の状態がリードされます。
6	PC6	—*	R	
5	PC5	—*	R	
4	PC4	—*	R	
3	PC3	—*	R	
2	PC2	—*	R	
1	PC1	—*	R	
0	PC0	—*	R	

【注】 * PC7~PC0 端子の状態により決定されます。

10.11.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン/オフを制御します。モード 4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	入力ポート状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

10.11.5 ポート C オープンドレインコントロールレジスタ (PCODR)

PCODR は、ポート C の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PC7ODR	0	R/W	アドレス出力以外するとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PC6ODR	0	R/W	
5	PC5ODR	0	R/W	
4	PC4ODR	0	R/W	
3	PC3ODR	0	R/W	
2	PC2ODR	0	R/W	
1	PC1ODR	0	R/W	
0	PC0ODR	0	R/W	

10.11.6 端子機能

ポート C の各端子は、TPU 入出力端子、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/A7/TIOCB11

動作モード、EXPE ビット、TPU の TMDR_11 の MD3~MD0 ビット、TIOR_11 の IOB3~IOB0 ビット、TCR_11 の CCLR1、CCLR0 ビットによる TPU チャネル 11 の設定と PC7DDR ビットにより次のように切り替わります。

動作モード	1, 2	4	3, 7 (EXPE=1)	3, 7 (EXPE=0)		
TPU チャネル 11 の設定	—	—		(1)	(2)	
PC7DDR	—	0	1	—	0	1
端子機能	A7 出力	PC7 入力	A7 出力	TIOCB11 出力	PC7 入力	PC7 出力
					TIOCB11 入力*	

TPU チャネル 11 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 * MD3~MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB11 入力となります。

- PC6/A6/TIOCA11

動作モード、EXPE ビット、TPU の TMDR_11 の MD3～MD0 ビット、TIOA_11 の IOA3～IOA0 ビット、TCR_11 の CCLR1、CCLR0 ビットによる TPU チャンネル 11 の設定と PC6DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャンネル 11 の設定	—	—		(1)	(2)	
PC6DDR	—	0	1	—	0	1
端子機能	A6 出力	PC6 入力	A6 出力	TIOCA11 出力	PC6 入力	PC6 出力
					TIOCA11 入力*1	

TPU チャンネル 11 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA11 入力となります。

*2 TIOCB11 は出力禁止となります。

- PC5/A5/TIOCB10

動作モード、EXPE ビット、TPU の TMDR_10 の MD3~MD0 ビット、TIOCB10 の IOB3~IOB0 ビット、TCR_10 の CCLR1、CCLR0 ビットによる TPU チャネル 10 の設定と PC5DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャネル 10 の設定	—	—		(1)	(2)	
PC5DDR	—	0	1	—	0	1
端子機能	A5 出力	PC5 入力	A5 出力	TIOCB10 出力	PC5 入力	PC5 出力
					TIOCB10 入力*	

TPU チャネル 10 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'10 以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 * MD3~MD0=B'0000、B'01xx かつ IOB3~IOB0=B'10xx の場合に TIOCB10 入力となります。

- PC4/A4/TIOCA10

動作モード、EXPE ビット、TPU の TMDR_10 の MD3~MD0 ビット、TIOA_10 の IOA3~IOA0 ビット、TCR_10 の CCLR1、CCLR0 ビットによる TPU チャンネル 10 の設定と PC4DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャンネル 10 の設定	—	—		(1)	(2)	
PC4DDR	—	0	1	—	0	1
端子機能	A4 出力	PC4 入力	A4 出力	TIOCA10 出力	PC4 入力	PC4 出力
					TIOCA10 入力*1	

TPU チャンネル 10 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	—	—	—	—	B'01 以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOA3~IOA0=B'10xx の場合に TIOCA10 入力となります。

*2 TIOCB10 は出力禁止となります。

- PC3/A3/TIOCD9

動作モード、EXPE ビット、TPU の TMDR_9 の MD3～MD0 ビット、TIORL_9 の IOD3～IOD0 ビット、TCR_9 の CCLR2～CCLR0 ビットによる TPU チャンネル 9 の設定と PC3DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャンネル 9 の設定	—	—		(1)	(2)	
PC3DDR	—	0	1	—	0	1
端子機能	A3 出力	PC3 入力	A3 出力	TIOCD9 出力	PC3 入力	PC3 出力
					TIOCD9 入力*	

TPU チャンネル 9 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOD3～IOD0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'110 以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 * MD3～MD0=B'0000、かつ IOD3～IOD0=B'10xx の場合に TIOCD9 入力となります。

- PC2/A2/TIOCC9

動作モード、EXPE ビット、TPU の TMDR_9 の MD3～MD0 ビット、TIORL_9 の IOC3～IOC0 ビット、TCR_9 の CCLR2～CCLR0 ビットによる TPU チャンネル 9 の設定と PC2DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャンネル 9 の設定	—	—		(1)	(2)	
PC2DDR	—	0	1	—	0	1
端子機能	A2 出力	PC2 入力	A2 出力	TIOCC9 出力	PC2 入力	PC2 出力
					TIOCC9 入力* ¹	

TPU チャンネル 9 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000		B'001x	B'0010	B'0011	
IOC3～IOC0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2～CCLR0	—	—	—	—	B'101 以外	B'101
出力機能	—	アウトプット コンペア出力	—	PWM* ² モード 1 出力	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 *¹ MD3～MD0=B'0000、かつ IOC3～IOC0=B'10xx の場合に TIOCC9 入力となります。

*² TIOCD9 は出力禁止となります。TMDR_9 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。

- PC1/A1/TIOCB9

動作モード、EXPE ビット、TPU の TMDR_9 の MD3~MD0 ビット、TIO RH_9 の IOB3~IOB0 ビット、TCR_9 の CCLR2~CCLR0 ビットによる TPU チャネル 9 の設定と PC1DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャネル 9 の設定	—	—		(1)	(2)	
PC1DDR	—	0	1	—	0	1
端子機能	A1 出力	PC1 入力	A1 出力	TIOCB9 出力	PC1 入力	PC1 出力
					TIOCB9 入力*	

TPU チャネル 9 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOB3~IOB0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'010 以外	B'010
出力機能	—	アウトプット コンペア出力	—	—	PWM モード 2 出力	—

【記号説明】 x : Don't care

【注】 * MD3~MD0=B'0000、かつ IOB3~IOB0=B'10xx の場合に TIOCB9 入力となります。

- PC0/A0/TIOCA9

動作モード、EXPE ビット、TPU の TMDR_9 の MD3~MD0 ビット、TIORH_9 の IOA3~IOA0 ビット、TCR_9 の CCLR2~CCLR0 ビットによる TPU チャネル9 の設定と PC0DDR ビットにより次のように切り替わります。

動作モード	1、2	4 3、7 (EXPE=1)		3、7 (EXPE=0)		
TPU チャネル9 の設定	—	—		(1)	(2)	
PC0DDR	—	0	1	—	0	1
端子機能	A0 出力	PC0 入力	A0 出力	TIOCA9 出力	PC0 入力	PC0 出力
					TIOCA9 入力*1	

TPU チャネル9 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3~MD0	B'0000		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2~CCLR0	—	—	—	—	B'001 以外	B'001
出力機能	—	アウトプット コンペア出力	—	PWM*2 モード1 出力	PWM モード2 出力	—

【記号説明】 x : Don't care

【注】 *1 MD3~MD0=B'0000、かつ IOA3~IOA0=B'10xx の場合に TIOCA9 入力となります。

*2 TIOCB9 は出力禁止となります。

10.11.7 ポート C 入力プルアップ MOS の状態

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、4、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 3、4、7 のとき、PCDDR を 0 にクリアした状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.5 に示します。

表 10.5 ポート C 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2	OFF		OFF	
3、4、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 入力ポート状態かつ PCPCR=1 のときオン状態、その他のときはオフ状態です。

10.12 ポート D

ポート D は 8 ビットの兼用入出力ポートです。ポート D には以下のレジスタがあります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D プルアップ MOS コントロールレジスタ (PDPCR)
- ポート D オープンドレインコントロールレジスタ (PDODR)

10.12.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PD7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、4 モード 3、7 (EXPE=1) のとき ポート D は、自動的にデータ入出力となります。 • モード 3、7 (EXPE=0) のとき ポート D は入出力ポートになり、PDDDR によって端子機能を切り替えることができます。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

10.12.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

10.12.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PD7	—*	R	このレジスタをリードすると、PDDDR がセットされているビットは PDDR の値がリードされます。PDDDR がクリアされているビットは端子の状態がリードされます。
6	PD6	—*	R	
5	PD5	—*	R	
4	PD4	—*	R	
3	PD3	—*	R	
2	PD2	—*	R	
1	PD1	—*	R	
0	PD0	—*	R	

【注】 * PD7~PD0 端子の状態により決定されます。

10.12.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン/オフを制御します。モード 7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	PDDDR=0 (入力ポート) 状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

10.12.5 ポート D オープンドレインコントロールレジスタ (PDODR)

PDODR は、ポート D の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PD7ODR	0	R/W	データ、アドレス出力以外するとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PD6ODR	0	R/W	
5	PD5ODR	0	R/W	
4	PD4ODR	0	R/W	
3	PD3ODR	0	R/W	
2	PD2ODR	0	R/W	
1	PD1ODR	0	R/W	
0	PD0ODR	0	R/W	

10.12.6 端子機能

ポート D の各端子は、データ入出力端子、アドレス出力端子と兼用となっています。レジスタの設定値と端子の関係は以下のとおりです。

- PD7/D15/AD15、PD6/D14/AD14、PD5/D13/AD13、PD4/D12/AD12、PD3/D11/AD11、PD2/D10/AD10、PD1/D9/AD9、PD0/D8/AD8

動作モードと EXPE ビットとバスコントローラの MPXCR の MPXE ビットと PDnDDR ビットにより次のように切り替わります。

動作モード	1、2、4		3、7			
EXPE	-		0		1	
MPXE	0	1	-		0	1
PDnDDR	-		0	1	-	
端子機能	データ 入出力	アドレス出力/ データ入出力	PDn 入力	PDn 出力	データ入出力	アドレス出力/ データ入出力

【記号説明】 n=7~0

10.12.7 ポート D 入力プルアップ MOS の状態

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 3、7 のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.6 に示します。

表 10.6 ポート D 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、4	OFF		OFF	
3、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR=0 かつ PDPCR=1 のときオン状態、その他のときはオフ状態です。

10.13 ポート E

ポート E は 8 ビットの兼用入出力ポートです。ポート E には以下のレジスタがあります。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E データレジスタ (PEDR)
- ポート E レジスタ (PORTE)
- ポート E プルアップ MOS コントロールレジスタ (PEPCR)
- ポート E オープンドレインコントロールレジスタ (PEODR)

10.13.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ポート E の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PE7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、4 のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。 8 ビット/16 ビットバスモードについては「第 6 章 バスコントローラ (BSC)」を参照してください。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	
				<ul style="list-style-type: none"> • モード 3、7 (EXPE=1) のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなります。このビットを 1 にセットすると対応する端子は、出力ポートになり、0 にクリアすると入力ポートになります。 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。 • モード 3、7 (EXPE=0) のとき ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。

10.13.2 ポート E データレジスタ (PEDR)

PEDR は、ポート E の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

10.13.3 ポート E レジスタ (PORTE)

PORTE は、ポート E の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PE7	—*	R	このレジスタをリードすると、PEDDR がセットされているビットは、PEDR の値がリードされます。PEDDR がクリアされているビットは端子の状態がリードされます。
6	PE6	—*	R	
5	PE5	—*	R	
4	PE4	—*	R	
3	PE3	—*	R	
2	PE2	—*	R	
1	PE1	—*	R	
0	PE0	—*	R	

【注】 * PE7~PE0 端子の状態により決定されます。

10.13.4 ポート E プルアップ MOS コントロールレジスタ (PEPCR)

PEPCR は、ポート E の入力プルアップ MOS のオン/オフを制御します。8 ビットバスモードのとき有効です。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	PEDDR=0 (入力ポート) 状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

10.13.5 ポート E オープンドレインコントロールレジスタ (PEODR)

PEODR は、ポート E の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PE7ODR	0	R/W	データ、アドレス出力以外のとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PE6ODR	0	R/W	
5	PE5ODR	0	R/W	
4	PE4ODR	0	R/W	
3	PE3ODR	0	R/W	
2	PE2ODR	0	R/W	
1	PE1ODR	0	R/W	
0	PE0ODR	0	R/W	

10.13.6 端子機能

ポート E の各端子は、データ入出力端子、アドレス出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PE7/D7/AD7、PE6/D6/AD6、PE5/D5/AD5、PE4/D4/AD4、PE3/D3/AD3、PE2/D2/AD2、PE1/D1/AD1、PE0/D0/AD0

動作モードとバスモードと EXPE ビットとバスコントローラの PEnDDR ビットにより次のように切り替わります。

動作モード	1、2、4				3、7					
バスモード	すべてのエリアが 8 ビット空間		いずれかのエリアが 16 ビット空間		—		すべてのエリアが 8 ビット空間		いずれかのエリアが 16 ビット空間	
EXPE	—		—		0		1		1	
MPXE	—		0	1	—		—		0	1
PEnDDR	0	1	—		0	1	0	1	—	
端子機能	PEn 入力	PEn 出力	データ 入出力	アドレス出力/ データ入出力	PEn 入力	PEn 出力	PEn 入力	PEn 出力	データ 入出力	アドレス出力/ データ入出力

【記号説明】 n=7~0

10.13.7 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、8 ビットバスモードのとき、またはモード 3、7 のときに使用でき、ビット単位でオン/オフを指定できます。8 ビットバスモードのとき、またはモード 3、7 のとき、PEDDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.7 に示します。

表 10.7 ポート E 入力プルアップ MOS の状態

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、4	8 ビットバス	OFF	OFF	ON/OFF	OFF
	16 ビットバス			OFF	
3、7		OFF	OFF	ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDDR=0 かつ PEPCR=1 のときオン状態、その他のときはオフ状態です。

10.14 ポート F

ポート F は 8 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)
- ポートファンクションコントロールレジスタ 0 (PFCR0)
- ポートファンクションコントロールレジスタ 2 (PFCR2)
- ポートファンクションコントロールレジスタ 4 (PFCR4)
- ポートファンクションコントロールレジスタ 5 (PFCR5)
- ポート F オープンドレインコントロールレジスタ (PFODR)

10.14.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	1/0* ¹	W	<ul style="list-style-type: none"> モード 1、2、4、モード 3、7 (EXPE=1) のとき <p>PF7 端子は、1 にセットすると ϕ 出力となり、0 にクリアすると入力ポートになります。</p> <p>PF6 端子は、ASOE を 1 にセットすると AS 出力となり、0 にクリアすると入出力ポートとなり、PF6DDR によって端子機能を切り替えることができます。</p> <p>PF5、PF4 端子は、バス制御出力 (\overline{RD}、\overline{HWR}) となります。</p> <p>PF3 端子は、LWROE を 1 にセットすると \overline{LWR} 出力となり、0 にクリアすると入出力ポートとなり、PF3DDR によって端子機能を切り替えることができます。</p> <p>PF2、PF1 端子は、バスコントローラの設定*²によりバス制御入出力 (\overline{LCAS}、\overline{UCAS}) となります。それ以外の場合 H8S/2426 グループ、H8S/2426R グループと H8S/2424 グループで動作が異なります。</p> <p>[H8S/2426 グループ、H8S/2426R グループ]</p> <p>汎用入出力ポートの機能が選択されているとき、PFDDR によって端子機能を切り替えることができます。</p> <p>[H8S/2424 グループ]</p> <p>\overline{CS} 出力許可ビット (CS6E、CS5E) を 1 にセットすると \overline{CS} 出力になり、0 にクリアすると入力ポートになります。</p> <p>\overline{CS} 出力許可ビット (CS6E、CS5E) を 0 にクリアして汎用入出力ポートの機能が選択されているとき、PFDDR によって端子機能を切り替えることができます。</p> <p>PF0 端子は、バスコントローラの設定によりバス制御入力 (\overline{WAIT}) となります。それ以外の場合入出力ポートとなり、PF0DDR によって端子機能を切り替えることができます。</p> <ul style="list-style-type: none"> モード 3、7 (EXPE=0) のとき <p>PF7 端子は、1 にセットすると ϕ 出力となり、0 にクリアすると入力ポートになります。PF6~PF0 端子は入出力ポートとなり、PFDDR によって端子機能を切り替えることができます。</p>
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

【注】 *1 モード 1、2、4 のときは 1 に、モード 3、7 のときは 0 になります。

*2 5V 版ではサポートしていません。

10.14.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

10.14.3 ポート F レジスタ (PORTF)

PORTF は、ポート F の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PF7	—*	R	このレジスタをリードすると、PFDDR がセットされているビットは、PFDR の値がリードされます。PFDDR がクリアされているビットは端子の状態がリードされます。
6	PF6	—*	R	
5	PF5	—*	R	
4	PF4	—*	R	
3	PF3	—*	R	
2	PF2	—*	R	
1	PF1	—*	R	
0	PF0	—*	R	

【注】 * PF7～PF0 端子の状態により決定されます。

10.14.4 ポート F オープンドレインコントロールレジスタ (PFODR)

PFODR は、ポート F の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PF7ODR	0	R/W	φ、AS、AH、RD、HWR、LWR、LCAS* ³ 、UCAS* ³ 、DQML* ¹ 、DQMU* ¹ 、 $\overline{CS5}$ * ² 、 $\overline{CS6}$ * ² 、 $\overline{OE-A}$ * ^{2*3} 出力以外するとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PF6ODR	0	R/W	
5	PF5ODR	0	R/W	
4	PF4ODR	0	R/W	
3	PF3ODR	0	R/W	
2	PF2ODR	0	R/W	
1	PF1ODR	0	R/W	
0	PF0ODR	0	R/W	

【注】 *1 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*2 H8S/2426 グループ、H8S/2426R グループではサポートしていません。

*3 5V 版ではサポートしていません。

10.14.5 端子機能

ポート F は SSU 入出力端子、A/D 変換器入力端子、割り込み入力端子、バス制御信号入出力端子、システムクロック出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PF7/ ϕ

PF7DDR ビットにより、次のように切り替わります。

動作モード	1、2、3、4、7	
PF7DDR	0	1
端子機能	PF7 入力	ϕ 出力

- PF6/ $\overline{AS}/\overline{AH}$

動作モードと EXPE ビット、バスコントローラの MPXCR の MPXE ビット、PFCR2 の ASOE ビット、PF6DDR ビットにより、次のように切り替わります。

動作モード	1、2、4			3、7				
EXPE	-			0		1		
ASOE	1	0		-		1	0	
PF6DDR	-	0	1	0	1	-	0	1
端子機能	AS/AH* 出力	PF6 入力	PF6 出力	PF6 入力	PF6 出力	AS/AH* 出力	PF6 入力	PF6 出力

【注】 * MPXE=1 のとき \overline{AH} 出力、0 のとき \overline{AS} 出力となります。

- PF5/ \overline{RD}

動作モードと EXPE ビット、PF5DDR ビットにより、次のように切り替わります。

動作モード	1、2、4	3、7		
EXPE	-	0		1
PF5DDR	-	0	1	-
端子機能	\overline{RD} 出力	PF5 入力	PF5 出力	\overline{RD} 出力

- PF4/ \overline{HWR}

動作モードと EXPE ビット、PF4DDR ビットにより、次のように切り替わります。

動作モード	1、2、4	3、7		
EXPE	-	0		1
PF4DDR	-	0	1	-
端子機能	\overline{HWR} 出力	PF4 入力	PF4 出力	\overline{HWR} 出力

● PF3/ $\overline{\text{LWR}}$ /SSO0-C

動作モードと EXPE ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビット、PFCR2 の LWROE ビット、PFCR5 の SSOS1、SSOS0 ビット、PF3DDR ビットにより、次のように切り替わります。

動作モード	1、2、4				3、7 (EXPE=1)				3、7 (EXPE=0)									
LWROE	1				0				0									
SSU の設定	—				下表 (1)		下表 (2)	下表 (3)	下表 (1)		下表 (2)	下表 (3)						
PF3DDR	—				0	1	0* ³	—	0	1	0* ³	—						
端子機能	$\overline{\text{LWR}}$ 出力		PF3 入力		PF3 出力		SSO0-C 入力* ¹ * ⁴		SSO0-C 出力* ² * ⁴		PF3 入力		PF3 出力		SSO0-C 入力* ¹ * ⁴		SSO0-C 出力* ² * ⁴	

【注】 *1 SSO0-C 入力として使用する場合は、PFCR5 の SSOS1、SSOS0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。

*2 SSO0-C 出力として使用する場合は、PFCR5 の SSOS1、SSOS0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。

*3 SSU 端子を入力として使用する場合は PF3DDR=0 にしてください。

*4 PFCR5 の SSOS1、SSOS0=B'10 以外の場合は SSU の設定をしないでください。

I/O ポートとして使用してください。

SSU の設定	(1)	(2)	(1)	(2)	(1)	(3)	(3)	(2)	(3)	(2)	(3)	(1)	(3)	(3)	(1)	(3)	(3)		
SSUMS	0							0				1* ¹							
BIDE	0							1* ²				0							
MSS	0				1			0		1			0				1		
TE	0		1		0	1		0	1	0	1	0		1		0	1		
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1		
端子状態	—	SSO 入力	—	SSO 入力	—	SSO 出力	SSO 出力	SSO 入力	SSO 出力	SSO 入力	SSO 出力	—	SSO 出力	SSO 出力	—	SSO 出力	SSO 出力		

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

*1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。

*2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

- PF2/LCAS*⁷/DQML*⁶/IRQ15-A/SSI0-C (H8S/2426グループ、H8S/2426Rグループのとき)
動作モード、EXPE ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビット、バスコントローラの DRAMCR*⁷ の RMTS2~RMTS0 ビット、ABWCR の ABW5~ABW2 ビット、PFCR5 の SSI0S1、SSI0S0 ビットおよび PF2DDR ビットの組み合わせにより、次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

エリア 2~5	DRAM/シンクロナス DRAM 空間の エリアのいずれかが 16 ビットバス空間	DRAM/シンクロナス DRAM 空間のエリアすべてが 8 ビットバス空間またはエリア 2~5 がすべて通常空間			
SSU の設定	—	下表 (1)		下表 (2)	下表 (3)
PF2DDR	—	0	1	0* ⁴	—
端子機能	LCAS* ⁷ 出力 DQML* ⁶ 出力	PF2 入力	PF2 出力	SSI0-C 入力* ^{2*5}	SSI0-C 出力* ^{3*5}
	IRQ15-A 割り込み入力* ¹				

- モード3、7 (EXPE=0)

エリア 2~5	—			
SSU の設定	下表 (1)		下表 (2)	下表 (3)
PF2DDR	0	1	0* ⁴	—
端子機能	PF2 入力	PF2 出力	SSI0-C 入力* ^{2*5}	SSI0-C 出力* ^{3*5}
	IRQ15-A 割り込み入力* ¹			

【注】 *1 ITS_R の ITS15 ビットが 0 のとき IRQ15 入力となります。

*2 SSI0-C 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。

*3 SSI0-C 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSU 端子を入力として使用する場合は PF2DDR=0 にしてください。

*5 PFCR5 の SSI0S1、SSI0S0=B'10 以外の場合は SSU の設定をしなさいでください。

I/O ポートとして使用してください。

*6 H8S/2426 グループではサポートしていません。

*7 5V 版ではサポートしていません。

SSU の 設定	(1)	(1)	(3)	(3)	(2)	(1)	(2)	(1)	(1)	(1)	(1)	(2)	(1)	(2)	(2)	(1)	(2)	
SSUMS	0							0				1*1						
BIDE	0							1*2				0						
MSS	0				1			0		1		0			1			
TE	0		1		0	1		0	1	0	1	0	1		0	1		
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1	
端子状態	-	-	SSI 出力	SSI 出力	SSI 入力	-	SSI 入力	-	-	-	-	SSI 入力	-	SSI 入力	SSI 入力	-	SSI 入力	

【記号説明】 - : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

*1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。

*2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

• PF2/ $\overline{\text{CS6}}$ / $\overline{\text{LCAS}}^*5$ /SSIO-C (H8S/2424グループのとき)

動作モード、EXPE ビット、SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビット、バスコントローラの DRAMCR^{*5} の RMTS2~RMTS0 ビット、ABWCR の ABW5~ABW2 ビット、PFCR0 の CS6E ビット、PFCR5 の SSI0S1、SSI0S0 ビットおよび PF2DDR ビットの組み合わせにより、次のように切り替わります。

• モード1、2、4 モード3、7 (EXPE=1)

エリア 2~5	DRAM 空間のエリアの いずれかが 16 ビットバス空間	DRAM 空間のエリアすべてが 8 ビットバス空間または エリア 2~5 がすべて通常空間					
CS6E	—	0				1	
SSU の設定	—	下表 (1)		下表 (2)		下表 (3)	
PF2DDR	—	0	1	0 ^{*3}		—	—
端子機能	$\overline{\text{LCAS}}$ 出力 ^{*5}	PF2 入力	PF2 出力	SSIO-C 入力 ^{*1*4}	SSIO-C 出力 ^{*2*4}	PF2 入力	$\overline{\text{CS6}}$ 出力

• モード3、7 (EXPE=0)

エリア 2~5	—					
CS6E	—					
SSU の設定	下表 (1)			下表 (2)		下表 (3)
PF2DDR	0		1		0 ^{*3}	
端子機能	PF2 入力		PF2 出力		SSIO-C 出力 ^{*2*4}	

- 【注】 *1 SSI0-C 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *2 SSI0-C 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *3 SSU 端子を入力として使用する場合は PF2DDR=0 にしてください。
- *4 PFCR5 の SSI0S1、SSI0S0=B'10 以外の場合は SSU の設定をししないでください。
I/O ポートとして使用してください。
- *5 5V 版ではサポートしていません。

SSU の設定	(1)	(1)	(3)	(3)	(2)	(1)	(2)	(1)	(1)	(1)	(1)	(2)	(1)	(2)	(2)	(1)	(2)	
SSUMS	0						0				1 ^{*1}							
BIDE	0						1 ^{*2}				0							
MSS	0				1				0		1		0				1	
TE	0		1		0		1		0		1		0		1		0	
RE	0	1	0	1	1	0	1	1	0	1	0	1	0	1	1	0	1	
端子状態	—	—	SSI 出力	SSI 出力	SSI 入力	—	SSI 入力	—	—	—	—	SSI 入力	—	SSI 入力	SSI 入力	—	SSI 入力	

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

- *1 SSU の SSUMS=1 の場合、BIDE=1 にセットしないでください。
- *2 BIDE=1 (双方向モード) の場合は TE=RE=1 としないでください。

• PF1/ \overline{UCAS}^{*7} / \overline{DQMU}^{*6} / $\overline{IRQ14-A}$ / $\overline{SSCK0-C}$ (H8S/2426グループ、H8S/2426Rグループのとき)

動作モードと EXPE ビット、SSU の SSCRH の MSS、SCKS ビット、SSCRL の SSUMS ビット、バスコントローラの DRAMCR^{*7} の RMTS2~RMTS0 ビット、PFCR5 の SSCK0S1、SSCK0S0 ビットおよび PF1DDR ビットの組み合わせにより、次のように切り替わります。

• モード1、2、4 モード3、7 (EXPE=1)

エリア 2~5	エリア 2~5 のいずれかが DRAM/シンクロナス DRAM 空間	エリア 2~5 がすべて通常空間			
SSU の設定	—	下表 (1)		下表 (2)	下表 (3)
PF1DDR	—	0	1	0 ^{*4}	—
端子機能	\overline{UCAS}^{*7} 出力 \overline{DQMU}^{*6} 出力	PF1 入力	PF1 出力	SSCK 0-C 入力 ^{*2*5}	SSCK 0-C 出力 ^{*3*5}
	$\overline{IRQ14-A}$ 割り込み入力 ^{*1}				

• モード3、7 (EXPE=0)

エリア 2~5	—			
SSU の設定	下表 (1)		下表 (2)	下表 (3)
PF1DDR	0	1	0 ^{*4}	—
端子機能	PF1 入力	PF1 出力	SSCK 0-C 入力 ^{*2*5}	SSCK0-C 出力 ^{*3*5}
	$\overline{IRQ14-A}$ 割り込み入力 ^{*1}			

【注】 *1 ITSr の ITS14 ビットが 0 のとき $\overline{IRQ14}$ 入力となります。

*2 SSCK0-C 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。

*3 SSCK0-C 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。

*4 SSU 端子を入力として使用する場合は PF1DDR=0 にしてください。

*5 PFCR5 の SSCK0S1、SSCK0S0=B'10 以外の場合は SSU の設定をしないでください。
I/O ポートとして使用してください。

*6 H8S/2426 グループではサポートしていません。

*7 5V 版ではサポートしていません。

SSU の設定	(1)	(2)	(1)	(3)	(1)	(2)	(1)	(3)
SSUMS	0				1			
MSS	0		1		0		1	
SCKS	0	1	0	1	0	1	0	1
端子状態	—	SSCK 入力	—	SSCK 出力	—	SSCK 入力	—	SSCK 出力

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

• PF1/ $\overline{CS5}$ / \overline{UCAS}^{*5} /SSCK0-C (H8S/2424グループのとき)

動作モードと EXPE ビット、SSU の SSCRH の MSS、SCKS ビット、SSCRL の SSUMS ビット、バスコントローラの DRAMCR^{*5} の RMTS2~RMTS0 ビット、PFCR0 の CS5E ビット、PFCR5 の SSCK0S1、SSCJK0S0 ビットおよび PF1DDR ビットの組み合わせにより、次のように切り替わります。

• モード1、2、4 モード3、7 (EXPE=1)

エリア 2~5	エリア 2~5 のいずれかが DRAM 空間	エリア 2~5 がすべて通常空間					
CS5E	—	0				1	
SSU の設定	—	下表 (1)		下表 (2)	下表 (3)		—
PF1DDR	—	0	1	0 ^{*3}	—	0	1
端子機能	\overline{UCAS}^{*5} 出力	PF1 入力	PF1 出力	SSCK 0-C 入力 ^{*1*4}	SSCK 0-C 出力 ^{*2*4}	PF1 入力	$\overline{CS5}$ 出力

• モード3、7 (EXPE=0)

エリア 2~5	—		
CS5E	—		
SSU の設定	下表 (1)		下表 (2)
PF1DDR	0	1	0 ^{*3}
端子機能	PF1 入力	PF1 出力	SSCK 0-C 出力 ^{*2*4}

- 【注】 *1 SSCK0-C 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *2 SSCK0-C 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *3 SSU 端子を入力として使用する場合は PF1DDR=0 にしてください。
- *4 PFCR5 の SSCK0S1、SSCK0S0=B'10 以外の場合は SSU の設定をしないでください。
I/O ポートとして使用してください。
- *5 5V 版ではサポートしていません。

SSU の設定	(1)	(2)	(1)	(3)	(1)	(2)	(1)	(3)
SSUMS	0				1			
MSS	0		1		0		1	
SCKS	0	1	0	1	0	1	0	1
端子状態	—	SSCK 入力	—	SSCK 出力	—	SSCK 入力	—	SSCK 出力

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

• PF0/WAIT-A/ADTRG0-B/SCS0-C (H8S/2426グループ、H8S/2426Rグループのとき)

動作モードと EXPE ビット、バスコントローラの BCR の WAITE ビット、SSU の SSCRH の MSS、CSS1、CSS0 ビット、SSCRL の SSUMS ビット、ADC の ADCR0 の TRGS1 ビット、TRGS0 ビット、EXTRGS ビット、PFCR4 の ADTRG0S、WAITS ビット、PFCR5 の SCS0S1、SCS0S0 ビットおよび PF0DDR ビットにより、次のように切り替わります。

• モード1、2、4 モード3、7 (EXPE=1)

WAITE	0				
WAITS	-				
SSU の設定	下表 (1)		下表 (2)	下表 (4)	下表 (3)
PF0DDR	0	1	0* ⁵	0* ⁵	-
端子機能	PF0 入力	PF0 出力	SCS0-C 入力* ^{2*6}	SCS0-C 入出力* ^{4*6}	SCS0-C 出力* ^{3*6}
	ADTRG0-B 入力* ¹				

WAITE	1					
WAITS	0	1				
SSU の設定	-	下表 (1)	下表 (2)	下表 (4)	下表 (3)	-
PF0DDR	-	0	0* ⁵	0	0	1
端子機能	WAIT-A 入力	PF0 入力	SCS0-C 入力* ^{2*6}	設定禁止	設定禁止	設定禁止
	ADTRG0-B 入力* ¹					

• モード3、7 (EXPE=0)

WAITE	-				
SSU の設定	下表 (1)		下表 (2)	下表 (4)	下表 (3)
PF0DDR	0	1	0* ⁵	0* ⁵	-
端子機能	PF0 入力	PF0 出力	SCS0-C 入力* ^{2*6}	SCS0-C 入出力* ^{4*6}	SCS0-C 出力* ^{3*6}
	ADTRG0-B 入力* ¹				

- 【注】 *1 PFCR4 の ADTRG0S ビットが 1、かつ TRGS1=TRGS0=0、EXTRGS=1 のとき ADTRG0-B 入力となります。
- *2 SCS0-C 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *3 SCS0-C 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 SCS0-C 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 SSU 端子を入力として使用する場合は PF0DDR=0 にしてください。
- *6 PFCR5 の SCS0S1、SCS0S0=B'10 以外の場合は SSU の設定をしないでください。
I/O ポートとして使用してください。

SSU の設定	(2)	(1)	(2)	(4)	(3)	(1)
SSUMS	0					1
MSS	0	1				x
CSS1	x	0		1		x
CSS0	x	0	1	0	1	x
端子状態	$\overline{\text{SCS}}$ 入力	—	$\overline{\text{SCS}}$ 入力	$\overline{\text{SCS}}$ 自動入出力	$\overline{\text{SCS}}$ 出力	—

【記号説明】 x : Don't care

— : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

• PF0/WAIT-A/ADTRG0-B/SCS0-C/OE-A*⁸ (H8S/2424グループのとき)

動作モードと EXPE ビット、バスコントローラの BCR の WAITE ビット、DRAMCR*⁸ の OEE ビット、SSU の SSCRH の MSS、CSS1、CSS0 ビット、SSCRL の SSUMS ビット、ADC の ADCR0 の TRGS1 ビット、TRGS0 ビット、EXTRGS ビット、PFCR2 の OES ビット、PFCR4 の ADTRG0S、WAITS ビット、PFCR5 の SCS0S1、SCS0S0 ビットおよび PF0DDR ビットにより、次のように切り替わります。

• モード1、2、4 モード3、7 (EXPE=1)

OEE	0									
RMTS2~ RMTS0	—									
WAITE	0					1				
WAITS	—					0	1			
SSU の設定	下表 (1)		下表 (2)	下表 (4)	下表 (3)	—	下表 (1)	—	下表 (2)	下表 (3) (4)
PF0DDR	0	1	0* ⁸	0* ⁸	—	—	0	1	0* ⁸	0
端子機能	PF0 入力	PF0 出力	$\overline{\text{SCS0-C}}$ 入力* ^{3*7}	$\overline{\text{SCS0-C}}$ 入出力* ^{5*7}	$\overline{\text{SCS0-C}}$ 出力* ^{4*7}	WAIT-A 入力	PF0 入力	設定禁止	$\overline{\text{SCS0-C}}$ 入力* ⁴	設定禁止
	ADTRG0-B 入力* ²									

OEE	1										
RMTS2~ RMTS0	エリア 2~5 が DRAM 空間以外									エリア 2~5 が DRAM 空間	
WAITE	0					1					
WAITS	—					0	1				
SSU の設定	下表 (1)		下表 (2)	下表 (4)	下表 (3)	—	下表 (1)	—	下表 (2)	下表 (3) (4)	
PF0DDR	0	1	0* ⁸	0* ⁸	—	—	0	1	0* ⁸	0	
端子機能	PF0 入力	PF0 出力	$\overline{\text{SCS0-C}}$ 入力* ^{3*7}	$\overline{\text{SCS0-C}}$ 入出力* ^{5*7}	$\overline{\text{SCS0-C}}$ 出力* ^{4*7}	WAIT-A 入力	PF0 入力	設定禁止	$\overline{\text{SCS0-C}}$ 入力* ^{3*7}	設定禁止	OE-A 出力* ^{1*8}
	ADTRG0-B 入力* ²										

• モード3、7 (EXPE=0)

OEE	—				
エリア 2	—				
WAITE	—				
SSU の設定	下表 (1)		下表 (2)	下表 (4)	下表 (3)
PF0DDR	0	1	0* ⁶	0* ⁶	—
端子機能	PF0 入力	PF0 出力	SCS0-C 入力* ³ * ⁷	SCS0-C 入出力* ⁵ * ⁷	SCS0-C 出力* ⁴ * ⁷
	ADTRG0-B 入力* ²				

- 【注】 *1 PFCR2 の OES ビットが 1 のとき $\overline{OE-A}$ 入力となります。
- *2 TRGS1=TRGS0=0、EXTRGS=1 または TRGS1=TRGS0=EXTRGS=1 のとき $\overline{ADTRG0-B}$ 入力となります。
- *3 $\overline{SCS0-C}$ 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *4 $\overline{SCS0-C}$ 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *5 $\overline{SCS0-C}$ 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
- *6 SSU 端子を入力として使用する場合は PF0DDR=0 にしてください。
- *7 PFCR5 の SCS0S1、SCS0S0=B'10 以外の場合は SSU の設定をしないでください。
I/O ポートとして使用してください。
- *8 5V 版ではサポートしていません。

SSU の設定	(2)	(1)	(2)	(4)	(3)	(1)
SSUMS	0					1
MSS	0	1				x
CSS1	x	0		1		x
CSS0	x	0	1	0	1	x
端子状態	\overline{SCS} 入力	—	\overline{SCS} 入力	\overline{SCS} 自動入出力	\overline{SCS} 出力	—

【記号説明】 x : Don't care

— : SSU として端子を用いない (I/O ポートとして使用可能)

【注】 表 19.4~表 19.6 を参照してください。

10.15 ポート G

ポート G は 7 ビットの兼用入出力ポートです。ポート G には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート G データディレクションレジスタ (PGDDR)
- ポート G データレジスタ (PGDR)
- ポート G レジスタ (PORTG)
- ポートファンクションコントロールレジスタ 0 (PFCR0)
- ポートファンクションコントロールレジスタ 4 (PFCR4)
- ポート G オープンドレインコントロールレジスタ (PGODR)

10.15.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR は、ポート G の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	PG6DDR	0	W	<ul style="list-style-type: none"> モード 1、2、4、モード 3、7 (EXPE=1) のとき PG6、PG5 端子は、バスコントローラの設定によりバス制御入出力 ($\overline{\text{BREQ}}$、$\overline{\text{BACK}}$) となります。それ以外るとき、入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。 PG4 端子は、バスコントローラの設定によりバス制御入出力 ($\overline{\text{BREQO}}$) となります。それ以外るとき、H8S/2426 グループ、H8S/2426R グループと H8S/2424 グループで動作が異なります。 [H8S/2426 グループ、H8S/2426R グループ] 入出力ポートとなり、PG4DDR によって端子機能を切り替えることができます。 [H8S/2424 グループ] $\overline{\text{CS}}$ 出力許可ビット (CS4E) を 1 にセットしたとき、PG4DDR を 1 にセットすると $\overline{\text{CS4}}$ 出力になり、0 にクリアすると入力ポートとなります。 $\overline{\text{CS}}$ 出力許可ビット (CS4E) を 0 にクリアすると入出力ポートとなり、PG4DDR によって端子機能を切り替えることができます。 PG3~PG0 端子は $\overline{\text{CS}}$ 出力許可ビット (CS3E~CS0E) を 1 にセットしたとき、PGDDR を 1 にセットすると $\overline{\text{CS}}$ 出力となり、0 にクリアすると入力ポートとなります。CS 出力許可ビット (CS3E~CS0E) を 0 にクリアすると入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。 モード 3、7 (EXPE=0) のとき PG6~PG0 端子は入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。
5	PG5DDR	0	W	
4	PG4DDR	0	W	
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	1/0*	W	

【注】 * モード 1、2 のときは 1 に、モード 3、4、7 のときは 0 になります。

10.15.2 ポート G データレジスタ (PGDR)

PGDR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
6	PG6DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
5	PG5DR	0	R/W	
4	PG4DR	0	R/W	
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

10.15.3 ポート G レジスタ (PORTG)

PORTG は、ポート G の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	—	不定	—	リザーブビット リードすると不定値が読み出されます。
6	PG6	—*	R	このレジスタをリードすると、PGDDR がセットされているビットは、PGDR の値がリードされます。PGDDR がクリアされているビットは端子の状態がリードされます。
5	PG5	—*	R	
4	PG4	—*	R	
3	PG3	—*	R	
2	PG2	—*	R	
1	PG1	—*	R	
0	PG0	—*	R	

【注】 * PG6~PG0 端子の状態により決定されます。

10.15.4 ポート G オープンドレインコントロールレジスタ (PGODR)

PGODR は、ポート G の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは初期値をライトしてください。
6	PG6ODR	0	R/W	BACK-A、BREQO-A、CS0、CS1、CS2、CS3、CS4* ² 、RAS2* ³ 、RAS3* ³ 、 RAS* ¹ 、CAS* ¹ 出力以外のおき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
5	PG5ODR	0	R/W	
4	PG4ODR	0	R/W	
3	PG3ODR	0	R/W	
2	PG2ODR	0	R/W	
1	PG1ODR	0	R/W	
0	PG0ODR	0	R/W	

【注】 *1 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*2 H8S/2426 グループ、H8S/2426R グループではサポートしていません。

*3 5V 版ではサポートしていません。

10.15.5 端子機能

ポート G は、バス制御信号入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PG6/ $\overline{\text{BREQ-A}}$

動作モードと EXPE ビット、バスコントローラの BRLE ビット、PFCR4 の BREQS ビット、PG6DDR ビットにより、次のように切り替わります。

動作モード	1、2、4			3、7				
	-			0		1		
BRLE BREQS	BRLE=0、または BRLE=1 かつ BREQS=1		BRLE=1 かつ BREQS=0	-		BRLE=0、または BRLE=1 かつ BREQS=1		BRLE=1 かつ BREQS=0
PG6DDR	0	1	-	0	1	0	1	-
端子機能	PG6 入力	PG6 出力	$\overline{\text{BREQ-A}}$ 入力	PG6 入力	PG6 出力	PG6 入力	PG6 出力	$\overline{\text{BREQ-A}}$ 入力

- PG5/ $\overline{\text{BACK-A}}$

動作モードと EXPE ビット、バスコントローラの BRLE ビット、PFCR4 の BACKS ビット、PG5DDR ビットにより、次のように切り替わります。

動作モード	1、2、4			3、7				
	-			0		1		
BRLE BACKS	BRLE=0、または BRLE=1 かつ BACKS=1		BRLE=1 かつ BACKS=0	-		BRLE=0、または BRLE=1 かつ BACKS=1		BRLE=1 かつ BACKS=0
PG5DDR	0	1	-	0	1	0	1	-
端子機能	PG5 入力	PG5 出力	$\overline{\text{BACK-A}}$ 出力	PG5 入力	PG5 出力	PG5 入力	PG5 出力	$\overline{\text{BACK-A}}$ 出力

- PG4/ $\overline{\text{BREQO-A}}$ / $\overline{\text{CS4}}$ *

動作モードと EXPE ビット、バスコントローラの BRLE ビット、BREQOE ビット、PFCR4 の BREQOS ビット、PFCR0 の CS4E ビット、PG4DDR ビットにより、次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

BRLE	0			1			
BREQOE BREQOS	-			BREQOE=0、または BREQOE=1 かつ BREQOS=1			BREQOE=1 かつ BREQOS=0
CS4E	0		1	0		1	-
PG4DDR	0	1	-	0	1	-	-
端子機能	PG4 入力	PG4 出力	$\overline{\text{CS4}}$ 出力*	PG4 入力	PG4 出力	$\overline{\text{CS4}}$ 出力*	$\overline{\text{BREQO-A}}$ 出力

- モード3、7 (EXPE=0)

BRLE	-					
BREQOE BREQOS	-					
CS4E	0			1		
PG4DDR	0		1		-	
端子機能	PG4 入力		PG4 出力		$\overline{\text{CS4}}$ 出力*	

【注】 * H8S/2426R グループ、H8S/2426 グループではサポートしていません。

- PG3/ $\overline{\text{CS3}}$ / $\overline{\text{RAS3}}^{*2}$ / $\overline{\text{CAS}}^{*1}$

動作モードとバスコントローラの RMTS2～RMTS0 ビット、PFCR0 の CS3E ビット、PG3DDR ビットにより、次のように切り替わります。

動作モード	1、2、4						3、7											
EXPE	-						0		1									
CS3E	0		1				-		0		1							
RMTS2 ～ RMTS0	-		エリア 3 が 通常空間		エリア 3 が DRAM 空間		エリア 2～5 が シンクロ ナス DRAM 空間		-		-		エリア 3 が 通常空間		エリア 3 が DRAM 空間		エリア 2～5 が シンクロ ナス DRAM 空間	
PG3DDR	0	1	0	1	-	-	0	1	0	1	0	1	0	1	-	-		
端子機能	PG3 入力	PG3 出力	PG3 入力	$\overline{\text{CS3}}$ 出力	$\overline{\text{RAS3}}^{*2}$ 出力	$\overline{\text{CAS}}^{*1}$ 出力	PG3 入力	PG3 出力	PG3 入力	PG3 出力	PG3 入力	$\overline{\text{CS3}}$ 出力	$\overline{\text{RAS3}}^{*2}$ 出力	$\overline{\text{CAS}}^{*1}$ 出力				

【注】 *1 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*2 5V 版ではサポートしていません。

- PG2/ $\overline{\text{CS2}}$ / $\overline{\text{RAS2}}^{*2}$ / $\overline{\text{RAS}}^{*1}$

動作モードとバスコントローラの RMTS2~RMTS0 ビット、PFCR0 の CS2E ビット、PG2DDR ビットにより、次のように切り替わります。

動作モード	1、2、4						3、7									
EXPE	-						0		1							
CS2E	0		1				-		0		1					
RMTS2 ~ RMTS0	-		エリア 2 が 通常空間		エリア 2 が DRAM 空間、 エリア 2~5 が 連続 DRAM 空間		-		-		エリア 2 が 通常空間		エリア 2 が DRAM 空間、 エリア 2~5 が 連続 DRAM 空間		エリア 2~5 が シンクロ ナス DRAM 空間	
PG2DDR	0	1	0	1	-		0	1	0	1	0	1	-		-	
端子機能	PG2 入力	PG2 出力	PG2 入力	$\overline{\text{CS2}}$ 出力	$\overline{\text{RAS2}}^{*2}$ 出力	$\overline{\text{RAS}}^{*1}$ 出力	PG2 入力	PG2 出力	PG2 入力	PG2 出力	PG2 入力	PG2 出力	$\overline{\text{CS2}}$ 出力	$\overline{\text{RAS2}}^{*2}$ 出力	$\overline{\text{RAS}}^{*1}$ 出力	

【注】 *1 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*2 5V 版ではサポートしていません。

- PG1/ $\overline{\text{CS1}}$ 、PG0/ $\overline{\text{CS0}}$

動作モードと PFCR0 の CSnE ビット、PGnDDR ビットにより、次のように切り替わります。

動作モード	1、2、4				3、7					
EXPE	-				0		1			
CSnE	0		1		-		0		1	
PGnDDR	0	1	0	1	0	1	0	1	0	1
端子機能	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力	PGn 入力	PGn 出力	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力

【記号説明】 n=0、1

10.16 ポート H

【注】 H8S/2424 グループはポート H をサポートしていません。

ポート H は 4 ビットの兼用入出力ポートです。ポート H には以下のレジスタがあります。ポートファンクションコントロールレジスタについては「10.18 ポートファンクションコントロールレジスタ」を参照してください。

- ポート H データディレクションレジスタ (PHDDR)
- ポート H データレジスタ (PHDR)
- ポート H レジスタ (PORTH)
- ポートファンクションコントロールレジスタ 0 (PFCR0)
- ポートファンクションコントロールレジスタ 2 (PFCR2)
- ポート H オープンドレインコントロールレジスタ (PHODR)

10.16.1 ポート H データディレクションレジスタ (PHDDR)

PHDDR は、ポート H の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	—	0	—	リザーブビット
3	PH3DDR	0	W	<p>• モード 3、7 (EXPE=1)、1、2、4、のとき</p> <p>PH3 端子は \overline{OE} 出力許可ビット (OEE) と \overline{OE} 出力セレクトビット (OES) を 1 にセットしたとき、\overline{OE} 出力になります。それ以外の場合、CS7E ビットを 1 にセットしたとき、PH3DDR を 1 にセットすると $\overline{CS7}$ 出力になり、0 にクリアすると入力ポートとなります。CS7E ビットを 0 にクリアすると入出力ポートになり、PH3DDR によって端子機能を切り替えることができます。エリア 2~5 が連続 SDRAM*¹ 空間のとき、\overline{OE} 出力は CKE 出力となります。</p> <p>PH2 端子は、CS6E ビットを 1 にセットしたとき、PH2DDR を 1 にセットすると $\overline{CS6}$ 出力になり、0 にクリアすると入出力ポートになります。CS6E ビットを 0 にクリアすると入出力ポートになり、PH2DDR によって端子機能を切り替えることができます。</p> <p>PH1 端子は、H8S/2426R グループかつ SDPSTP ビットが 0 のとき SDRAM ϕ*¹ 出力となります。H8S/2426R グループかつ SDPSTP ビットが 1 もしくは H8S/2426 グループで、エリア 5 が通常空間で CS5E ビットを 1 にセットしたとき、PH1DDR を 1 にセットすると $\overline{CS5}$ 出力になり、0 にクリアすると入力ポートとなります。CS5E ビットを 0 にクリアすると入出力ポートになり、PH1DDR によって端子機能を切り替えることができます。エリア 5 が DRAM*² 空間で CS5E ビットを 1 にセットすると $\overline{RAS5}$*² 出力になり、0 にクリアすると入出力ポートになります。</p> <p>PH0 端子は、エリア 4 が通常空間で CS4E ビットを 1 にセットしたとき、PH0DDR を 1 にセットすると $\overline{CS4}$ 出力になり、0 にクリアすると入出力ポートとなります。CS4E ビットを 0 にクリアすると入出力ポートとなり、PH0DDR によって端子機能を切り替えることができます。エリア 4 が DRAM*² 空間で CS4E ビットを 1 にセットすると $\overline{RAS4}$*² 出力になり、0 にクリアすると入出力ポートとなります。エリア 2~5 が連続 SDRAM*¹ 空間のとき、CS4E ビットを 1 にセットすると \overline{WE} 出力になり、0 にクリアすると入出力ポートとなります。</p> <p>• モード 3、7 (EXPE=0) のとき</p> <p>PH3、PH2、PH0 端子は入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。</p> <p>PH1 端子は、H8S/2426R グループかつ SDPSTP ビットが 0 のとき SDRAM ϕ*¹ 出力となります。H8S/2426R グループかつ SDPSTP ビットが 1 もしくは H8S/2426 グループのとき入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。</p>
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

【注】 *1 H8S/2426 グループではサポートしていません。

*2 5V 版ではサポートしていません。

10.16.2 ポート H データレジスタ (PHDR)

PHDR は、ポート H の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	PH3DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

10.16.3 ポート H レジスタ (PORTH)

PORTH は、ポート H の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	—	不定	—	リザーブビット リードすると不定値が読み出されます。
3	PH3	—*	R	このレジスタをリードすると、PHDDR がセットされているビットは、PHDR の値がリードされます。PHDDR がクリアされているビットは端子の状態がリードされます。
2	PH2	—*	R	
1	PH1	—*	R	
0	PH0	—*	R	

【注】 * PH3~PH0 端子の状態により決定されます。

10.16.4 ポート H オープンドレインコントロールレジスタ (PHODR)

PHODR は、ポート H の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは初期値をライトしてください。
6	—	0	—	
5	—	0	—	
4	—	0	—	
3	PH3ODR	0	R/W	$\overline{CS4}$ 、 $\overline{CS5}$ 、 $\overline{CS6}$ 、 $\overline{CS7}$ 、 $\overline{OE-A}^{*2}$ 、 $\overline{CKE-A}^{*1}$ 、 $\overline{RAS4}^{*2}$ 、 $\overline{RAS5}^{*2}$ 、 \overline{WE}^{*1} 、SDRAM ϕ^{*1} 出力以外のとき、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
2	PH2ODR	0	R/W	
1	PH1ODR	0	R/W	
0	PH0ODR	0	R/W	

【注】 *1 H8S/2426 グループではサポートしていません。

*2 5V 版ではサポートしていません。

10.16.5 端子機能

ポート H はバス制御信号入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PH3/ $\overline{CS7}$ / $\overline{OE-A}^{*3}$ / $\overline{CKE-A}^{*2}$ / $\overline{IRQ7-B}$

動作モードと EXPE ビット、バスコントローラの OEE ビット、PFCR2 の OES ビット、PFCR0 の CS7E ビット、PH3DDR ビットにより、次のように切り替わります。

- モード1、2、4 モード3、7 (EXPE=1)

OEE	0				1					
OES	-				0				1	
RMSTS2~ RMSTS0	-				-				エリア 2~5 の いずれかが DRAM 空間	エリア 2~5 が シンクロナス DRAM 空間
CS7E	0		1		0		1			
PH3DDR	0	1	0	1	0	1	0	1	-	-
端子機能	PH3 入力	PH3 出力	PH3 入力	$\overline{CS7}$ 出力	PH3 入力	PH3 出力	PH3 入力	$\overline{CS7}$ 出力	$\overline{OE-A}^{*3}$ 出力	$\overline{CKE-A}^{*2}$ 出力
	$\overline{IRQ7-B}$ 入力* ¹									

- モード7 (EXPE=0)

OEE	-									
OES	-									
RMSTS2~RMSTS0	-									
CS7E	-									
PH3DDR	0					1				
端子機能	PH3 入力					PH3 出力				
	$\overline{IRQ7-B}$ 入力* ¹									

【注】 *1 ITSR の ITS7 ビットが 1 のとき $\overline{IRQ7-B}$ 入力となります。

*2 H8S/2426 グループではサポートしていません。

*3 5V 版ではサポートしていません。

- PH2/ $\overline{\text{CS6}}$ / $\overline{\text{IRQ6-B}}$

動作モードと PFCR0 の CS6E ビット、PH2DDR ビットにより、次のように切り替わります。

動作モード	1、2、4				3、7					
EXPE	-				0		1			
CS6E	0		1		-		0		1	
PH2DDR	0	1	0	1	0	1	0	1	0	1
端子機能	PH2 入力	PH2 出力	PH2 入力	$\overline{\text{CS6}}$ 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	$\overline{\text{CS6}}$ 出力
	$\overline{\text{IRQ6-B}}$ 割り込み入力*									

【注】 * ITSR の ITS6 ビットが 1 のとき $\overline{\text{IRQ6-B}}$ 入力となります。

- PH1/ $\overline{\text{CS5}}$ / $\overline{\text{RAS5}}^{\ast 2}$ /SDRAM $\phi^{\ast 1}$

動作モードと EXPE ビット、バスコントローラの RMTS2~0 ビット、クロック発振器の SCKCR の SDPSTP ビット、PFCR0 の CS5E ビット、PH1DDR ビットにより、次のように切り替わります。

SDPSTP	1															0			
動作モード	1、2、4						3、7									-			
EXPE	-						0		1						-				
RMTS2~ RMTS0	エリア 5 が通常空間			エリア 5 が DRAM 空間			-		エリア 5 が通常空間			エリア 5 が DRAM 空間			-				
CS5E	0		1		0		1		-		0		1		0		1		-
PH1DDR	0	1	0	1	0	1	-	0	1	0	1	0	1	0	1	-	-		
端子機能	PH1 入力	PH1 出力	PH1 入力	$\overline{\text{CS5}}$ 出力	PH1 入力	PH1 出力	$\overline{\text{RAS5}}^{\ast 2}$ 出力	PH1 入力	PH1 出力	PH1 入力	PH1 出力	PH1 入力	PH1 出力	$\overline{\text{CS5}}$ 出力	PH1 入力	PH1 出力	$\overline{\text{RAS5}}^{\ast 2}$ 出力	SDRAM ϕ 出力 $\ast 1$	

【注】 *1 H8S/2426 グループではサポートしていません。

*2 5V 版ではサポートしていません。

- PH0/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}$ *2/ $\overline{\text{WE}}$ *1

動作モードと EXPE ビット、バスコントローラの RMTS2~0 ビット、PFCR0 の CS4E ビット、PH0DDR ビットにより、次のように切り替わります。

動作モード	1、2、4						3、7								
EXPE	—						0		1						
CS4E	0		1				—		0		1				
RMTS2~ RMTS0	—		エリア 4 が 通常空間		エリア 4 が DRAM 空間	エリア 2~5 が シンク ロナス DRAM 空間	—		—		エリア 4 が 通常空間		エリア 4 が DRAM 空間	エリア 2~5 が シンクロ ナス DRAM 空間	
PH0DDR	0	1	0	1	—	—	0	1	0	1	0	1	—	—	
端子機能	PH0 入力	PH0 出力	PH0 入力	$\overline{\text{CS4}}$ 出力	$\overline{\text{RAS4}}$ *2 出力	$\overline{\text{WE}}$ *1 出力	PH0 入力	PH0 出力	PH0 入力	PH0 出力	PH0 入力	PH0 出力	$\overline{\text{CS4}}$ 出力	$\overline{\text{RAS4}}$ *2 出力	$\overline{\text{WE}}$ *1 出力

【注】 *1 H8S/2426 グループではサポートしていません。

*2 5V 版ではサポートしていません。

10.17 ポート J

【注】 H8S/2424 グループではポート J をサポートしていません。
ポート J は 3 ビットの入出力ポートです。

- ポート J データディレクションレジスタ (PJDDR)
- ポート J データレジスタ (PJDR)
- ポート J レジスタ (PORTJ)
- ポート J オープンドレインコントロールレジスタ (PJODR)

10.17.1 ポート J データディレクションレジスタ (PJDDR)

PJDDR は、ポート J の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~2	—	0	—	リザーブビット
1	PJ1DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
0	PJ0DDR	0	W	

10.17.2 ポート J データレジスタ (PJDR)

PJDR は、ポート J の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~2	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
1	PJ1DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
0	PJ0DR	0	R/W	

10.17.3 ポート J レジスタ (PORTJ)

PORTJ は、ポート J の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~3	—	不定	—	リザーブビット リードすると不定値が読み出されます。
2	PJ2	—*	R	端子の状態がリードされます。
1	PJ1	—*	R	このレジスタをリードすると、PJDDR がセットされているビットは PJDR の値がリードされます。PJDDR がクリアされているビットは、端子の状態がリードされます。
0	PJ0	—*	R	

【注】 * PJ0~PJ2 端子の状態により決定されます。

10.17.4 ポート J オープンドレインコントロールレジスタ (PJODR)

PJODR は、ポート J の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7~2	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは初期値をライトしてください。
1	PJ1ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
0	PJ0ODR	0	R/W	

10.17.5 端子機能

ポート J は専用入出力になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PJ2

PJ2 は入力専用端子となります。

端子機能	PJ2 入力
------	--------

- PJ1、PJ0

PJnDDR ビットの組み合わせにより次のように切り替わります。

PJnDDR	0	1
端子機能	PJn 入力	PJn 出力

【記号説明】 n=0、1

10.18 ポートファンクションコントロールレジスタ

ポートファンクションコントローラは I/O ポートの制御を行います。各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。

ポートファンクションコントローラには以下のレジスタがあります。

- ポートファンクションコントロールレジスタ 0 (PFCR0)
- ポートファンクションコントロールレジスタ 1 (PFCR1)
- ポートファンクションコントロールレジスタ 2 (PFCR2)
- ポートファンクションコントロールレジスタ 3 (PFCR3)
- ポートファンクションコントロールレジスタ 4 (PFCR4)
- ポートファンクションコントロールレジスタ 5 (PFCR5)

10.18.1 ポートファンクションコントロールレジスタ 0 (PFCR0)

PFCR0 は、チップセレクト出力端子の切り替えの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CS7E	1	R/W	CS7~CS0 イネーブル
6	CS6E	1	R/W	対応する \overline{CSn} 出力の出力許可/禁止を選択します。
5	CS5E	1	R/W	0 : I/O ポートとして設定
4	CS4E	1	R/W	1 : \overline{CSn} 出力端子として設定
3	CS3E	1	R/W	(n=7~0)
2	CS2E	1	R/W	
1	CS1E	1	R/W	
0	CS0E	1	R/W	

10.18.2 ポートファンクションコントロールレジスタ 1 (PFCR1)

PFCR1 は、アドレス出力 (A23~A16) の許可/禁止の制御を行います。

モード 1、2 ではビット 7~5 が有効です。モード 4、7 ではすべてのビットが有効です

ビット	ビット名	初期値	R/W	説明
7	A23E	1	R/W	アドレス A23 イネーブル アドレス出力 23 (A23) の許可/禁止を選択します。 0 : PA7DDR=1 で DR を出力 1 : PA7DDR=1 で A23 を出力
6	A22E	1	R/W	アドレス A22 イネーブル アドレス出力 22 (A22) の許可/禁止を選択します。 0 : PA6DDR=1 で DR を出力 1 : PA6DDR=1 で A22 を出力
5	A21E	1	R/W	アドレス A21 イネーブル アドレス出力 21 (A21) の許可/禁止を選択します。 0 : PA5DDR=1 で DR を出力 1 : PA5DDR=1 で A21 を出力
4	A20E	1	R/W	アドレス A20 イネーブル アドレス出力 20 (A20) の許可/禁止を選択します。 0 : PA4DDR=1 で DR を出力 1 : PA4DDR=1 で A20 を出力
3	A19E	1	R/W	アドレス A19 イネーブル アドレス出力 19 (A19) の許可/禁止を選択します。 0 : PA3DDR=1 で DR を出力 1 : PA3DDR=1 で A19 を出力
2	A18E	1	R/W	アドレス A18 イネーブル アドレス出力 18 (A18) の許可/禁止を選択します。 0 : PA2DDR=1 で DR を出力 1 : PA2DDR=1 で A18 を出力
1	A17E	1	R/W	アドレス A17 イネーブル アドレス出力 17 (A17) の許可/禁止を選択します。 0 : PA1DDR=1 で DR を出力 1 : PA1DDR=1 で A17 を出力
0	A16E	1	R/W	アドレス A16 イネーブル アドレス出力 16 (A16) の許可/禁止を選択します。 0 : PA0DDR=1 で DR を出力 1 : PA0DDR=1 で A16 を出力

10.18.3 ポートファンクションコントロールレジスタ 2 (PFCR2)

PFCR2 は、 \overline{AS} 出力、 \overline{LWR} 出力、 \overline{OE} 出力の許可／禁止の制御を行います

ビット	ビット名	初期値	R/W	説明
7~4	—	0	—	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	ASOE	1	R/W	\overline{AS} 出カイネーブル \overline{AS} 出力の許可／禁止を選択します。 0 : PF6 は I/O ポートとして設定 1 : PF6 は \overline{AS} 出力端子として設定
2	LWROE	1	R/W	\overline{LWR} 出カイネーブル \overline{LWR} 出力の許可／禁止を選択します。 0 : PF3 は I/O ポートとして設定 1 : PF3 は \overline{LWR} 出力端子として設定
1	OES	1	R/W	\overline{OE} 出力セレクト DRAMCR の OEE ビットを 1 にセット ($\overline{OE}^{*2}/\text{CKE}^{*1}$ 出力許可) したとき、 $\overline{OE}^{*2}/\text{CKE}^{*1}$ 出力端子のポートを選択します。 0 : P35 を $\overline{OE}\text{-B}^{*2}/\text{CKE}\text{-B}^{*1}$ 出力端子として設定 1 : [H8S/2426 グループ、H8S/2426R グループ時] PH3 を $\overline{OE}\text{-A}^{*2}/\text{CKE}\text{-A}^{*1}$ 出力端子として設定 [H8S/2424 グループ時] PF0 を $\overline{OE}\text{-A}^{*2}$ 出力端子として設定
0	—	0	—	リザーブビット リードすると 0 が読み出されます。ライト時は初期値をライトしてください。

【注】 *1 H8S/2426 グループ、H8S/2424 グループではサポートしていません。

*2 5V 版ではサポートしていません。

10.18.4 ポートファンクションコントロールレジスタ 3 (PFCR3)

PFCR3 は、PPG 出力端子、TPU 入出力端子、TMR 入出力端子の切り替え制御を行います。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット リードすると 1 が読み出されます。ライト時は初期値をライトしてください。
6	PPGS	0	R/W	PPG 端子セレクト PO5～PO0 の出力端子を選択します。 0 : P25/PO5-A、P24/PO4-A、P23/PO3-A、P22/PO2-A、P21/PO1-A、 P20/PO0-A を選択します。 1 : P85/PO5-B、P52/PO4-B、P83/PO3-B、P51/PO2-B、P81/PO1-B、 P50/PO0-B を選択します。
5	TPUS	0	R/W	TPU 端子セレクト TIOC(A/B/C/D)3、TIOC(A/B)4 の出力端子を選択します。 0 : P25/TIOCB4-A、P24/TIOCA4-A、P23/TIOCD3-A、P22/TIOCC3-A、 P21/TIOCB3-A、P20/TIOCA3-A を選択します。 1 : P85/TIOCB4-B、P52/TIOCA4-B、P83/TIOCD3-B、P51/TIOCC3-B、 P81/TIOCB3-B、P50/TIOCA3-B を選択します。
4	TMRS	0	R/W	TMR 端子セレクト TMO(1-0)の出力端子、TMCI/TMRI(1-0)の入力端子を選択します。 0 : [H8S/2426 グループ、H8S/2426R グループ時] P65/TMO1-A、P64/TMO0-A、P63/TMCI1-A、 P62/TMCI0-A、P61/TMRI1-A、P60/TMRI0-A を選択します。 [H8S/2424 グループ時] P25/TMO1-A、P24/TMO0-A、P23/TMCI1-A、 P22/TMCI0-A、P21/TMRI1-A、P20/TMRI0-A を選択します。 1 : P85/TMO1-B、P52/TMO0-B、P83/TMCI1-B、P51/TMCI0-B、 P81/TMRI1-B、P50/TMRI0-B を選択します。
3～1	—	0	—	リザーブビット リードすると 0 が読み出されます。ライト時は初期値をライトしてください。
0	—	1	—	リザーブビット リードすると 1 が読み出されます。ライト時は初期値をライトしてください。

10.18.5 ポートファンクションコントロールレジスタ 4 (PFCR4)

PFCR4 は、 $\overline{\text{WAIT}}$ 入力端子、 $\overline{\text{BREQ}}$ 入力端子、 $\overline{\text{BACK}}$ 出力端子、 $\overline{\text{BREQO}}$ 出力端子、TxD4 出力端子、RxD4 入力端子、SCK4 入出力端子の切り替えの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	WAITS	0	R/W	$\overline{\text{WAIT}}$ 端子セレクト $\overline{\text{WAIT}}$ の入力端子を選択します。 0 : PF0/ $\overline{\text{WAIT-A}}$ を選択します。 1 : P25/ $\overline{\text{WAIT-B}}$ を選択します。
6	BREQS	0	R/W	$\overline{\text{BREQ}}$ 端子セレクト $\overline{\text{BREQ}}$ の入力端子を選択します。 0 : PG6/ $\overline{\text{BREQ-A}}$ を選択します。 1 : P51/ $\overline{\text{BREQ-B}}$ を選択します。
5	BACKS	0	R/W	$\overline{\text{BACK}}$ 端子セレクト $\overline{\text{BACK}}$ の出力端子を選択します。 0 : PG5/ $\overline{\text{BACK-A}}$ を選択します。 1 : P52/ $\overline{\text{BACK-B}}$ を選択します。
4	BREQOS	0	R/W	$\overline{\text{BREQO}}$ 端子セレクト $\overline{\text{BREQO}}$ の出力端子を選択します。 0 : PG4/ $\overline{\text{BREQO-A}}$ を選択します。 1 : P50/ $\overline{\text{BREQO-B}}$ を選択します。
3	—	0	—	リザーブビット リードすると 0 が読み出されず。ライト時は初期値をライトしてください。
2	TXD4S	0	R/W	TxD4 端子セレクト TxD4 の出力端子を選択します。 0 : P23/TxD4-A を選択します。 1 : PA1/TxD4-B を選択します。
1	RXD4S	0	R/W	RxD4 端子セレクト RxD4 の入力端子を選択します。 0 : P24/RxD4-A を選択します。 1 : PA2/RxD4-B を選択します。
0	SCK4S	0	R/W	SCK4 端子セレクト SCK4 の入出力端子を選択します。 0 : P34/SCK4-A を選択します。 1 : PA3/SCK4-B を選択します。

10.18.6 ポートファンクションコントロールレジスタ 5 (PFCR5)

PFCR5 は、SSU 入出力端子の切り替えの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSO0S1	0	R/W	SSO0 端子セレクト SSO0 の入出力端子を選択します。 00 : P14/SSO0-A を選択します。 01 : PA7/SSO0-B を選択します。 10 : PF3/SSO0-C を選択します。 11 : 設定禁止
6	SSO0S0	0	R/W	
5	SSI0S1	0	R/W	SSI0 端子セレクト SSI0 の入出力端子を選択します。 00 : P15/SSI0-A を選択します。 01 : PA6/SSI0-B を選択します。 10 : PF2/SSI0-C を選択します。 11 : 設定禁止
4	SSI0S0	0	R/W	
3	SSCK0S1	0	R/W	SSCK0 端子セレクト SSCK0 の入出力端子を選択します。 00 : P16/SSCK0-A を選択します。 01 : PA5/SSCK0-B を選択します。 10 : PF1/SSCK0-C を選択します。 11 : 設定禁止
2	SSCK0S0	0	R/W	
1	SCS0S1	0	R/W	$\overline{\text{SCS0}}$ 端子セレクト $\overline{\text{SCS0}}$ の入出力端子を選択します。 00 : P17/ $\overline{\text{SCS0}}$ -A を選択します。 01 : PA4/ $\overline{\text{SCS0}}$ -B を選択します。 10 : PF0/ $\overline{\text{SCS0}}$ -C を選択します。 11 : 設定禁止
0	SCS0S0	0	R/W	

11. 16 ビットタイマパルスユニット (TPU)

LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を 2 ユニット (ユニット 0、ユニット 1) 合計 12 チャンネル内蔵しています。ユニット 0 の機能一覧を表 11.1 に、ユニット 1 の機能一覧を表 11.2 に示します。また、ユニット 0 のブロック図を図 11.1 に、ユニット 1 のブロック図を図 11.2 に示します。

本文中は、ユニット 0 について説明します。

11.1 特長

- 最大32本のパルス入出力が可能 (ユニット0: 16本、ユニット1: 16本、シングルチップモードかつEXPE=0 設定時)
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能: コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0 (6)、3 (9) はバッファ動作を設定可能
- チャンネル1 (7)、2 (8)、4 (10)、5 (11) は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因 (1ユニットあたり)
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能 (ユニット0のみ対応)
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップ状態への設定可能
- DMAC (ユニット0のみ)、DTCの起動可能

表 11.1 TPU (ユニット 0) の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	φ/1 φ/4 φ/16 φ/64 TCLKA TCLKB TCLKC TCLKD	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKB TCLKC	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKB TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 φ/1024 φ/4096 TCLKA	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—	TGRC_3 TGRD_3	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ
コンペア	0 出力	○	○	○	○	○
マッチ	1 出力	○	○	○	○	○
出力	トグル 出力	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ

【記号説明】

○ : 可能

— : 不可

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペア マッチまたは インプット キャプチャ	TGRA_1 の コンペア マッチまたは インプット キャプチャ	TGRA_2 の コンペア マッチまたは インプット キャプチャ	TGRA_3 の コンペア マッチまたは インプット キャプチャ	TGRA_4 の コンペア マッチまたは インプット キャプチャ	TGRA_5 の コンペア マッチまたは インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペア マッチまたは インプット キャプチャ	TGRA_1 の コンペア マッチまたは インプット キャプチャ	TGRA_2 の コンペア マッチまたは インプット キャプチャ	TGRA_3 の コンペア マッチまたは インプット キャプチャ	TGRA_4 の コンペア マッチまたは インプット キャプチャ	TGRA_5 の コンペア マッチまたは インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペア マッチまたは インプット キャプチャ	TGRA_1、 TGRB_1 の コンペア マッチまたは インプット キャプチャ	TGRA_2、 TGRB_2 の コンペア マッチまたは インプット キャプチャ	TGRA_3、 TGRB_3 の コンペア マッチまたは インプット キャプチャ	—	—
割り込み要因	5 要因 ・コンペアマッチ ／インプット キャプチャ 0A ・コンペアマッチ ／インプット キャプチャ 0B ・コンペアマッチ ／インプット キャプチャ 0C ・コンペアマッチ ／インプット キャプチャ 0D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 1A ・コンペアマッチ ／インプット キャプチャ 1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 2A ・コンペアマッチ ／インプット キャプチャ 2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ ／インプット キャプチャ 3A ・コンペアマッチ ／インプット キャプチャ 3B ・コンペアマッチ ／インプット キャプチャ 3C ・コンペアマッチ ／インプット キャプチャ 3D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 4A ・コンペアマッチ ／インプット キャプチャ 4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 5A ・コンペアマッチ ／インプット キャプチャ 5B ・オーバフロー ・アンダフロー

表 11.2 TPU (ユニット 1) の機能一覧

項 目	チャンネル 6	チャンネル 7	チャンネル 8	チャンネル 9	チャンネル 10	チャンネル 11
カウントクロック	φ/1 φ/4 φ/16 φ/64 TCLKE TCLKF TCLKG TCLKH	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKE TCLKF	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKE TCLKF TCLKG	φ/1 φ/4 φ/16 φ/64 φ/256 φ/1024 φ/4096 TCLKE	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKE TCLKG	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKE TCLKG TCLKH
ジェネラルレジスタ (TGR)	TGRA_6 TGRB_6	TGRA_7 TGRB_7	TGRA_8 TGRB_8	TGRA_9 TGRB_9	TGRA_10 TGRB_10	TGRA_11 TGRB_11
ジェネラルレジスタ/ バッファレジスタ	TGRC_6 TGRD_6	—	—	TGRC_9 TGRD_9	—	—
入出力端子*1	TIOCA6 TIOCB6 TIOCC6 TIOCD6	TIOCA7 TIOCB7	TIOCA8 TIOCB8	TIOCA9*2 TIOCB9 TIOCC9 TIOCD9	TIOCA10 TIOCB10	TIOCA11 TIOCB11
カウンタクリア機能	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ
コンペア マッチ 出力	0 出力 1 出力 トグル 出力	○ ○ ○	○ ○ ○	○ ○ ○	○ ○ ○	○ ○ ○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ	TGR の コンペア マッチまたは インプット キャプチャ
DMAC の起動	—	—	—	—	—	—

【注】 *1 シングルチップモードかつ EXPE=0 設定時

*2 TIOCA9-B 端子の場合はシングルチップモードかつ EXPE=1 設定の場合も使用することができます。詳細は「第 10 章 I/O ポート」を参照してください。

項 目	チャンネル 6	チャンネル 7	チャンネル 8	チャンネル 9	チャンネル 10	チャンネル 11
A/D 変換開始 トリガ	TGRA_6 の コンペアマッチ または インプット キャプチャ	TGRA_7 の コンペアマッチ または インプット キャプチャ	TGRA_8 の コンペアマッチ または インプット キャプチャ	TGRA_9 の コンペアマッチ または インプット キャプチャ	TGRA_10 の コンペアマッチ または インプット キャプチャ	TGRA_11 の コンペアマッチ または インプット キャプチャ
PPG トリガ	—	—	—	—	—	—
割り込み要因	5 要因 ・コンペアマッチ ／インプット キャプチャ 6A ・コンペアマッチ ／インプット キャプチャ 6B ・コンペアマッチ ／インプット キャプチャ 6C ・コンペアマッチ ／インプット キャプチャ 6D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 7A ・コンペアマッチ ／インプット キャプチャ 7B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 8A ・コンペアマッチ ／インプット キャプチャ 8B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ ／インプット キャプチャ 9A ・コンペアマッチ ／インプット キャプチャ 9B ・コンペアマッチ ／インプット キャプチャ 9C ・コンペアマッチ ／インプット キャプチャ 9D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 10A ・コンペアマッチ ／インプット キャプチャ 10B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ 11A ・コンペアマッチ ／インプット キャプチャ 11B ・オーバフロー ・アンダフロー

【記号説明】

○：可能

—：不可

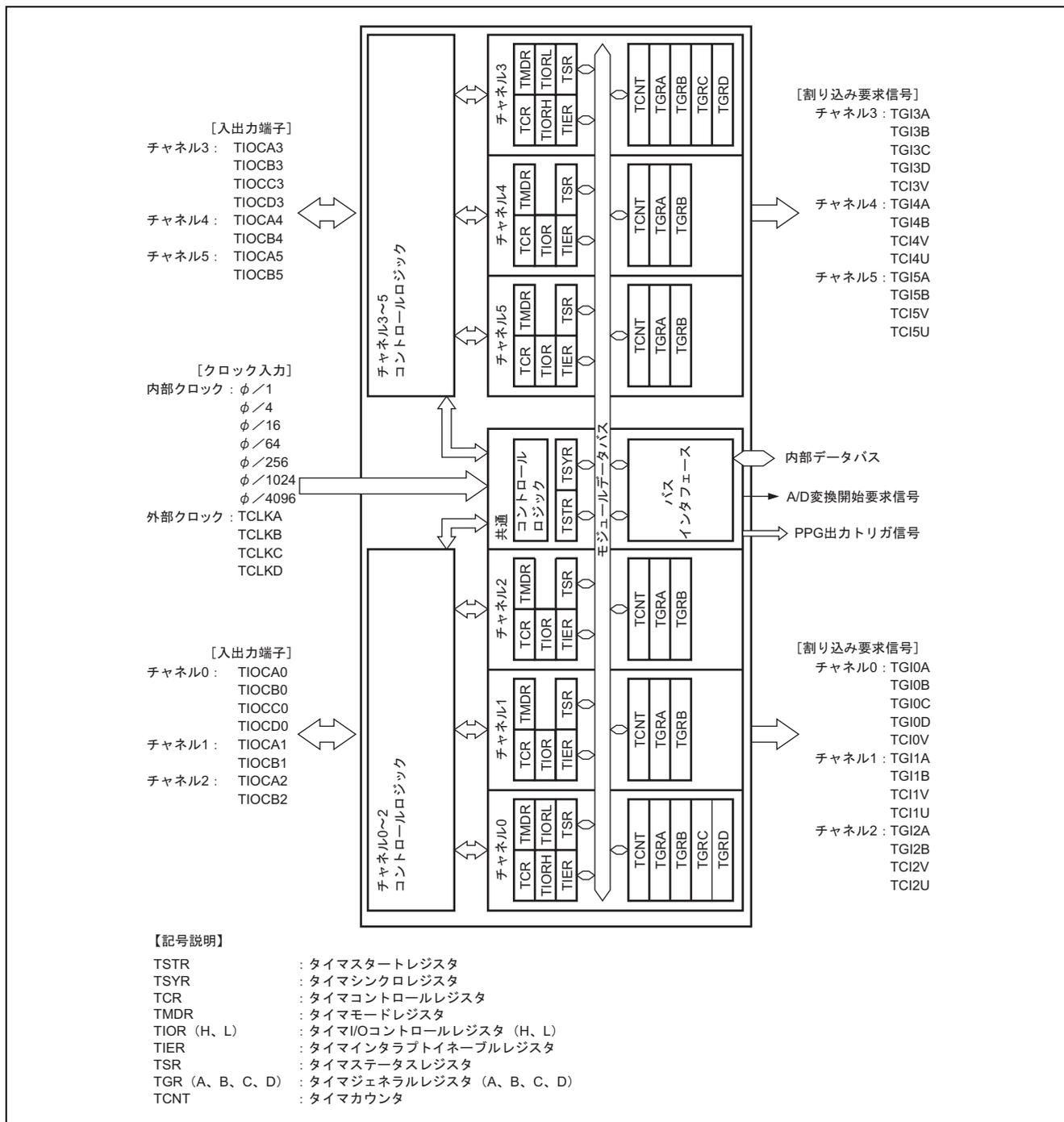


図 11.1 TPU (ユニット0) のブロック図

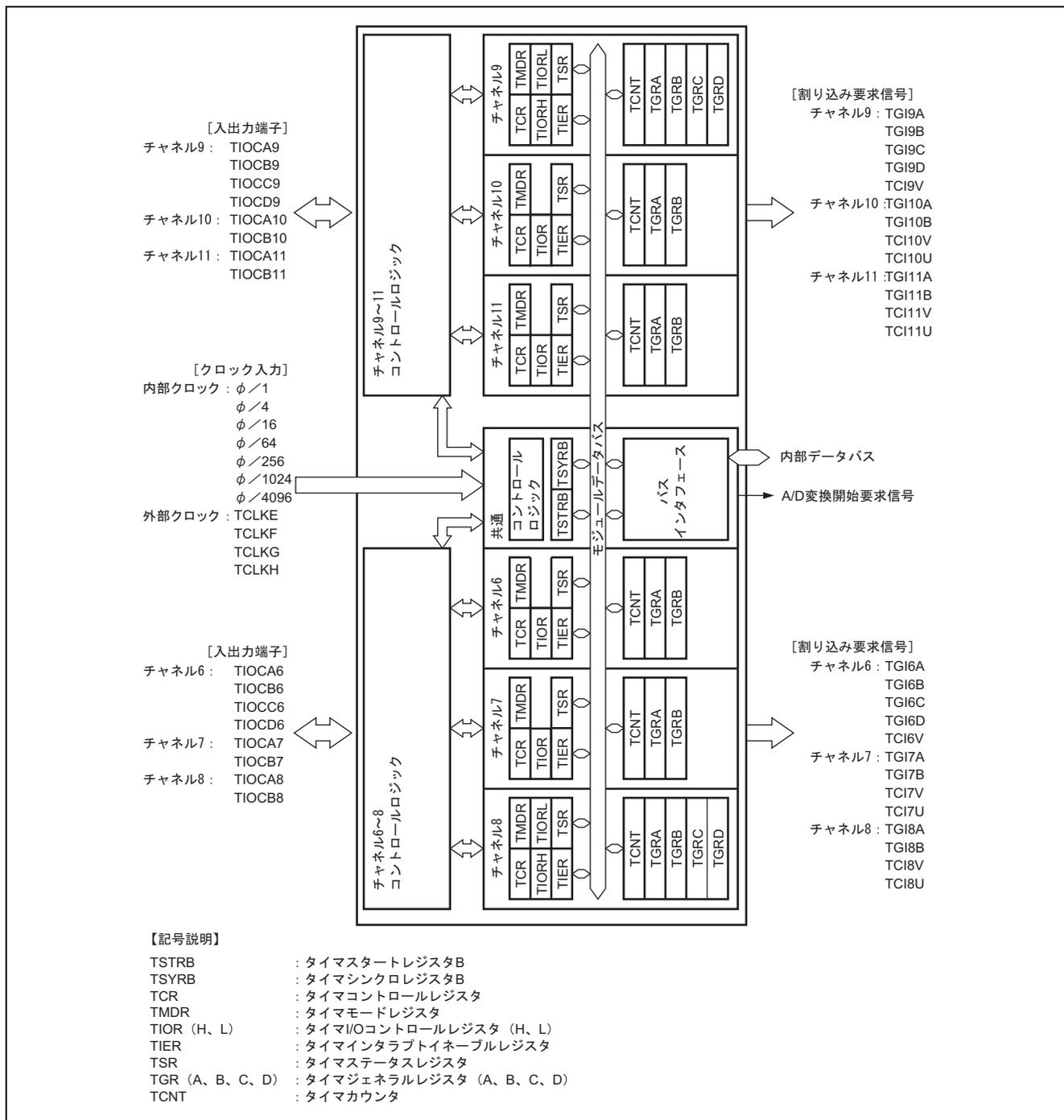


図 11.2 TPU (ユニット 1) のブロック図

11.2 入出力端子

表 11.3 端子構成

ユニット	チャンネル	名称	入出力	機能
0	共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
		TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
		TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
		TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
	0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	4	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	5	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

ユニット	チャンネル	名称	入出力	機能
1*	共通	TCLKE	入力	外部クロック E 入力端子 (チャンネル 7、11 の位相計数モード A 相入力)
		TCLKF	入力	外部クロック F 入力端子 (チャンネル 7、11 の位相計数モード B 相入力)
		TCLKG	入力	外部クロック G 入力端子 (チャンネル 8、10 の位相計数モード A 相入力)
		TCLKH	入力	外部クロック H 入力端子 (チャンネル 8、10 の位相計数モード B 相入力)
	6	TIOCA6	入出力	TGRA_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB6	入出力	TGRB_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC6	入出力	TGRC_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD6	入出力	TGRD_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	7	TIOCA7	入出力	TGRA_7 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB7	入出力	TGRB_7 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	8	TIOCA8	入出力	TGRA_8 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB8	入出力	TGRB_8 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	9	TIOCA9	入出力	TGRA_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB9	入出力	TGRB_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC9	入出力	TGRC_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD9	入出力	TGRD_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	10	TIOCA10	入出力	TGRA_10 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB10	入出力	TGRB_10 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	11	TIOCA11	入出力	TGRA_11 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB11	入出力	TGRB_11 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

【注】* ユニット 1 の出力機能はシングルチップかつ EXPE=0 設定時のみ有効です。

11.3 レジスタの説明

TPUには各チャンネルに以下のレジスタがあります。本文中では、ユニット0のレジスタについて説明します。

• ユニット0

チャンネル0

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

チャンネル1

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

チャンネル2

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

チャンネル 3

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

チャンネル 4

- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)

チャンネル 5

- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

ユニット 0 共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

- ユニット1

チャンネル6

- タイマコントロールレジスタ_6 (TCR_6)
- タイマモードレジスタ_6 (TMDR_6)
- タイマI/OコントロールレジスタH_6 (TIORH_6)
- タイマI/OコントロールレジスタL_6 (TIORL_6)
- タイマインタラプトイネーブルレジスタ_6 (TIER_6)
- タイマステータスレジスタ_6 (TSR_6)
- タイマカウンタ_6 (TCNT_6)
- タイマジェネラルレジスタA_6 (TGRA_6)
- タイマジェネラルレジスタB_6 (TGRB_6)
- タイマジェネラルレジスタC_6 (TGRC_6)
- タイマジェネラルレジスタD_6 (TGRD_6)

チャンネル7

- タイマコントロールレジスタ_7 (TCR_7)
- タイマモードレジスタ_7 (TMDR_7)
- タイマI/Oコントロールレジスタ_7 (TIOR_7)
- タイマインタラプトイネーブルレジスタ_7 (TIER_7)
- タイマステータスレジスタ_7 (TSR_7)
- タイマカウンタ_7 (TCNT_7)
- タイマジェネラルレジスタA_7 (TGRA_7)
- タイマジェネラルレジスタB_7 (TGRB_7)

チャンネル8

- タイマコントロールレジスタ_8 (TCR_8)
- タイマモードレジスタ_8 (TMDR_8)
- タイマI/Oコントロールレジスタ_8 (TIOR_8)
- タイマインタラプトイネーブルレジスタ_8 (TIER_8)
- タイマステータスレジスタ_8 (TSR_8)
- タイマカウンタ_8 (TCNT_8)
- タイマジェネラルレジスタA_8 (TGRA_8)
- タイマジェネラルレジスタB_8 (TGRB_8)

チャンネル 9

- タイマコントロールレジスタ_9 (TCR_9)
- タイマモードレジスタ_9 (TMDR_9)
- タイマI/OコントロールレジスタH_9 (TIORH_9)
- タイマI/OコントロールレジスタL_9 (TIORL_9)
- タイマインタラプトイネーブルレジスタ_9 (TIER_9)
- タイマステータスレジスタ_9 (TSR_9)
- タイマカウンタ_9 (TCNT_9)
- タイマジェネラルレジスタA_9 (TGRA_9)
- タイマジェネラルレジスタB_9 (TGRB_9)
- タイマジェネラルレジスタC_9 (TGRC_9)
- タイマジェネラルレジスタD_9 (TGRD_9)

チャンネル 10

- タイマコントロールレジスタ_10 (TCR_10)
- タイマモードレジスタ_10 (TMDR_10)
- タイマI/Oコントロールレジスタ_10 (TIOR_10)
- タイマインタラプトイネーブルレジスタ_10 (TIER_10)
- タイマステータスレジスタ_10 (TSR_10)
- タイマカウンタ_10 (TCNT_10)
- タイマジェネラルレジスタA_10 (TGRA_10)
- タイマジェネラルレジスタB_10 (TGRB_10)

チャンネル 11

- タイマコントロールレジスタ_11 (TCR_11)
- タイマモードレジスタ_11 (TMDR_11)
- タイマI/Oコントロールレジスタ_11 (TIOR_11)
- タイマインタラプトイネーブルレジスタ_11 (TIER_11)
- タイマステータスレジスタ_11 (TSR_11)
- タイマカウンタ_11 (TCNT_11)
- タイマジェネラルレジスタA_11 (TGRA_11)
- タイマジェネラルレジスタB_11 (TGRB_11)

ユニット 1 共通レジスタ

- タイマスタートレジスタB (TSTRB)
- タイマシンクロレジスタB (TSYRB)

11.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 11.4、表 11.5 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー／アンダフローを選択した場合は本設定は無視されます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント 【記号説明】 X: Don't care
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.6～表 11.11 を参照してください。
0	TPSC0	0	R/W	

表 11.4 CCLR2～CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ／インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ／インプットキャプチャで TCNT クリア
	0	1	1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ／インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ／インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNT はクリアされません。

表 11.5 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ* ²	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア* ¹

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 11.6 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.7 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

表 11.9 TPSC2~TPSC0 (チャンネル 3)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : $\phi/1024$ でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	内部クロック : $\phi/4096$ でカウント

表 11.10 TPSC2~TPSC0 (チャンネル 4)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : $\phi/1024$ でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】 チャンネル 4 が位相計数モード時、この設定は無効になります。

表 11.11 TPSC2~TPSC0 (チャンネル5)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】 チャンネル5が位相計数モード時、この設定は無効になります。

11.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャネルの動作モードの設定を行います。TPU には、各チャネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブ
6	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0
2	MD2	0	R/W	MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 11.12 を参照してください。

表 11.12 MD3~MD0

ビット3 MD3* ¹	ビット2 MD2* ²	ビット1 MD1	ビット0 MD0	説 明
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード1
0	0	1	1	PWM モード2
0	1	0	0	位相計数モード1
0	1	0	1	位相計数モード2
0	1	1	0	位相計数モード3
0	1	1	1	位相計数モード4
1	X	X	X	—

【記号説明】 X : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に0としてください。

*2 チャンネル0、3では、位相計数モードの設定はできません。MD2には常に0をライトしてください。

11.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~B0
6	IOB2	0	R/W	TGRB の機能を設定します。詳細は表 11.13、表 11.15、表 11.16、表 11.17、表 11.19、表 11.20 を参照してください。
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	
2	IOA2	0	R/W	TGRA の機能を設定します。詳細は表 11.21、表 11.23、表 11.24、表 11.25、表 11.27、表 11.28 を参照してください。
1	IOA1	0	R/W	
0	IOA0	0	R/W	

- TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~D0
6	IOD2	0	R/W	TGRD の機能を設定します。詳細は表 11.14、表 11.18 を参照してください。
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	
2	IOC2	0	R/W	TGRC の機能を設定します。詳細は表 11.22、表 11.26 を参照してください。
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 11.13 TIORH_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ
1	0	0	1	キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	X	キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ	
1	1	X	X	キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでインプットキャプチャ*	

【記号説明】 X : Don't care

【注】 * TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 11.14 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ*2	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでインプ ットキャプチャ*1

【記号説明】 X : Don't care

【注】 *1 TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.15 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	X	X		TGRC_0 コンペアマッチ／インプットキャプチャ TGRC_0 のコンペアマッチ／インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

表 11.16 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.17 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 X : Don't care

【注】 * TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 11.18 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ*2	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*1

【記号説明】 X : Don't care

【注】 *1 TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.19 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRC_3 コンペアマッチ/ インプットキャプチャ TGRC_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

表 11.20 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5 の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.21 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

表 11.22 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.23 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_0 コンペアマッチ/ インプットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ/インプッ トキャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

表 11.24 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.25 TIORH_3

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

表 11.26 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.27 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_3 コンペアマッチ/ インプットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

表 11.28 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5 の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

11.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	—	リザーブビット リードすると 1 がリードされます。ライトは無効です。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求(TGIB)を禁止 1 : TGFB ビットによる割り込み要求(TGIB)を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

11.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	—	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。
5	TCFU	0	R(W)* ¹	アンダフローフラグ チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 [セット条件] • TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R(W)* ¹	オーバフローフラグ (TCFV) TCNT のオーバフローの発生を示すステータスフラグです。 [セット条件] • TCNT の値がオーバフローしたとき (H'FFFF→ H'0000) [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
2	TGFC	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	TGFB	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)* ¹	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTE ビットが 1 のとき*² • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 ユニット 0 のみ可能です。

11.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。

11.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~5 の TCNT の動作/停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	ライト時は必ず 0 としてください。
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは
2	CST2	0	R/W	停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。
1	CST1	0	R/W	CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端
0	CST0	0	R/W	子の出力レベルが更新されます。 0 : TCNT_5~TCNT_0 のカウント動作は停止 1 : TCNT_5~TCNT_0 はカウント動作

11.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	ライト時は必ず 0 としてください。
5	SYNC5	0	R/W	タイマ同期 5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウ
2	SYNC2	0	R/W	ンタクリアによる同期クリアが可能となります。
1	SYNC1	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要が
0	SYNC0	0	R/W	あります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_5~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャネ ルと無関係) 1 : TCNT_5~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

11.3.10 タイマスタートレジスタ B (TSTRB)

TSTRB は、チャンネル 6～11 の TCNT の動作/停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	ライト時は必ず 0 としてください。
5	CST11	0	R/W	カウンタスタート 11～6
4	CST10	0	R/W	TCNT の動作または停止を選択します。
3	CST9	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは
2	CST8	0	R/W	停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。
1	CST7	0	R/W	CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端
0	CST6	0	R/W	子の出力レベルが更新されます。 0 : TCNT_11～TCNT_6 のカウント動作は停止 1 : TCNT_11～TCNT_6 はカウント動作

11.3.11 タイマシンクロレジスタ B (TSYRB)

TSYRB は、チャンネル 6～11 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	ライト時は必ず 0 としてください。
5	SYNC11	0	R/W	タイマ同期 11～6
4	SYNC10	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC9	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウ
2	SYNC8	0	R/W	ンタクリアによる同期クリアが可能となります。
1	SYNC7	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要が
0	SYNC6	0	R/W	あります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2～ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_11～TCNT_6 は独立動作 (TCNT のプリセット/クリアは他チャネ ルと無関係) 1 : TCNT_11～TCNT_6 は同期動作 TCNT の同期プリセット/同期クリアが可能

11.4 動作説明

11.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0~CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 11.3 に示します。

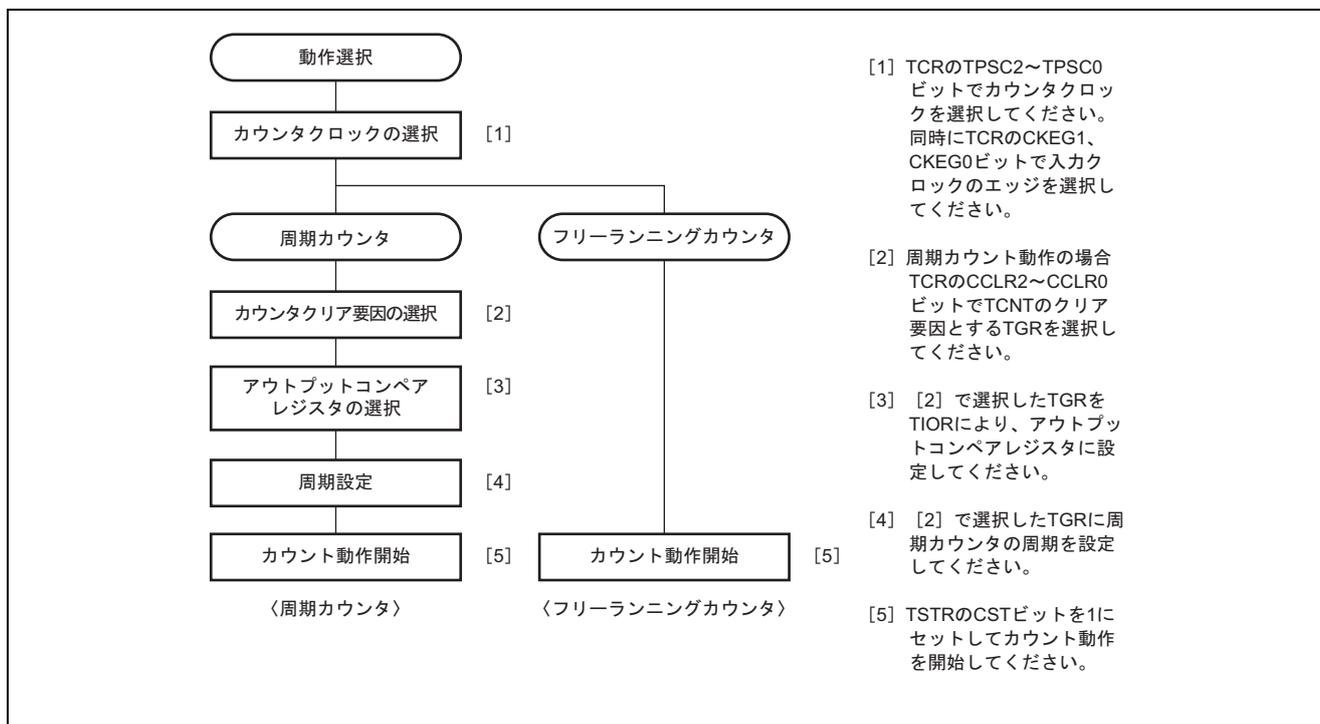


図 11.3 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (H'FFFF→H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 11.4 に示します。

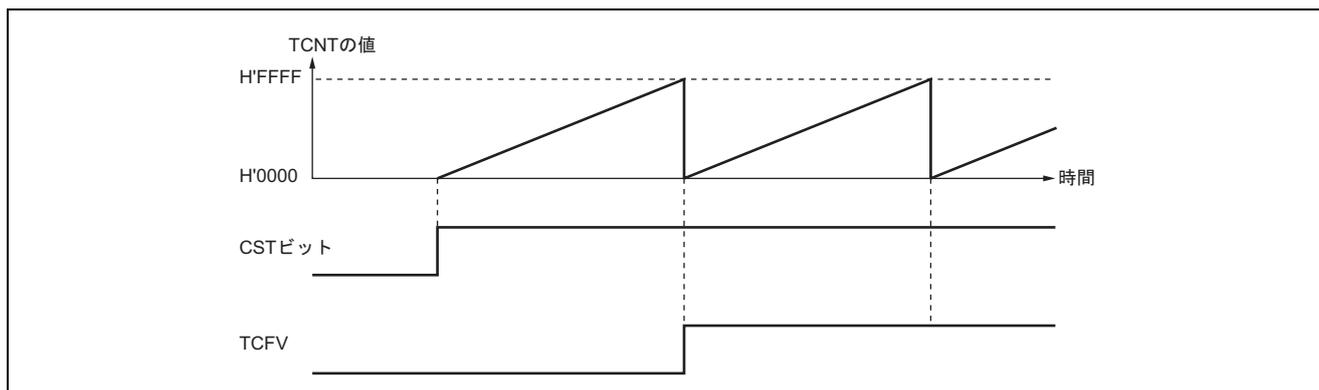


図 11.4 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 11.5 に示します。

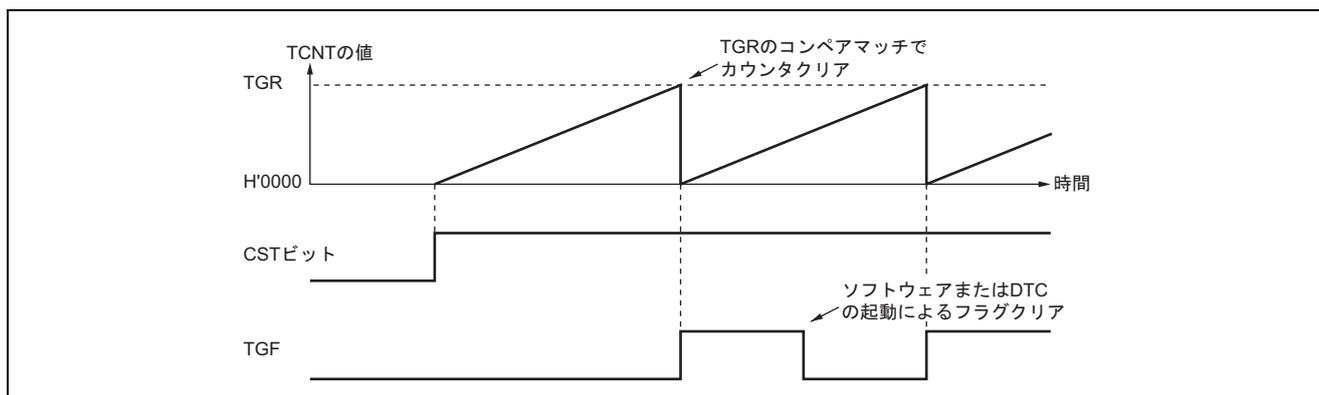


図 11.5 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.6 に示します。

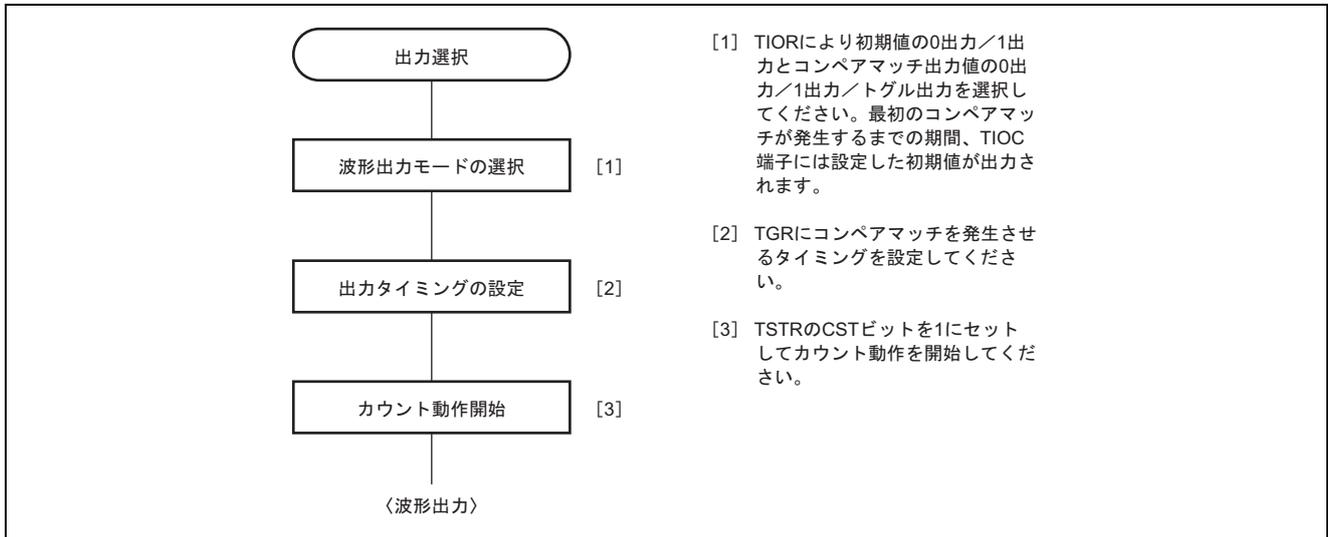


図 11.6 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力/1 出力例を図 11.7 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

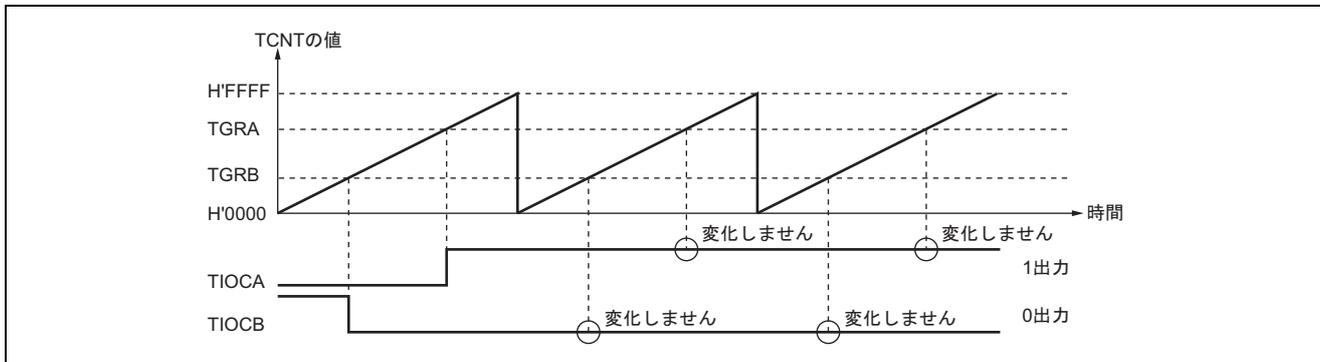


図 11.7 0 出力/1 出力の動作例

トグル出力の例を図 11.8 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

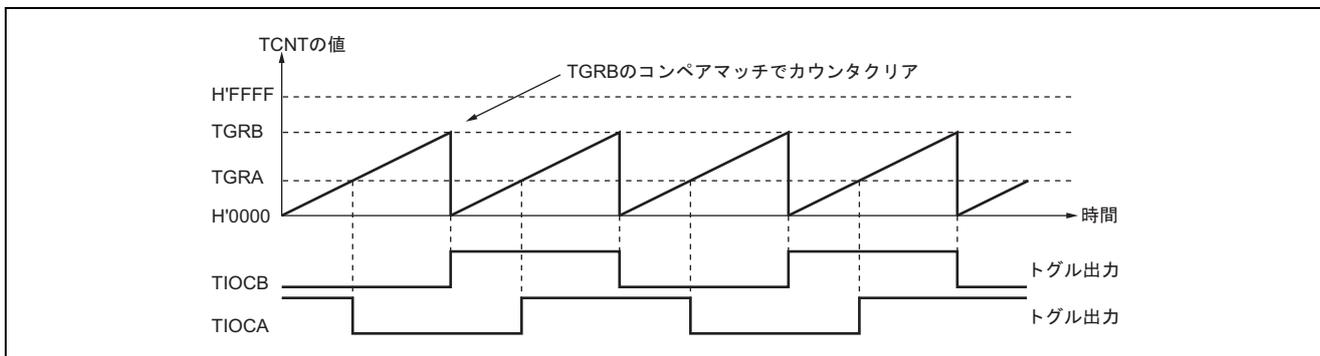


図 11.8 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1、3、4、6、7、9、10 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3、6、9 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 11.9 に示します。

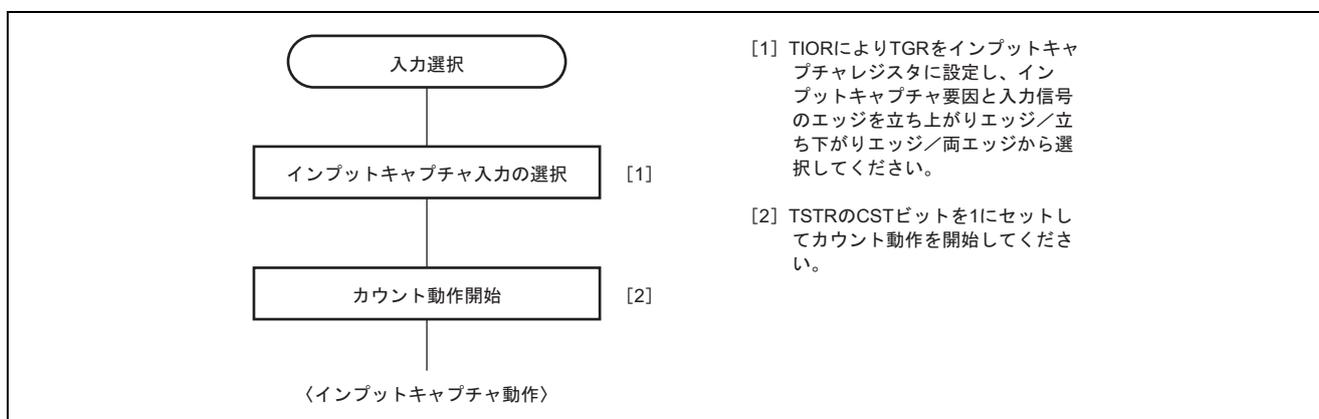


図 11.9 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.10 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

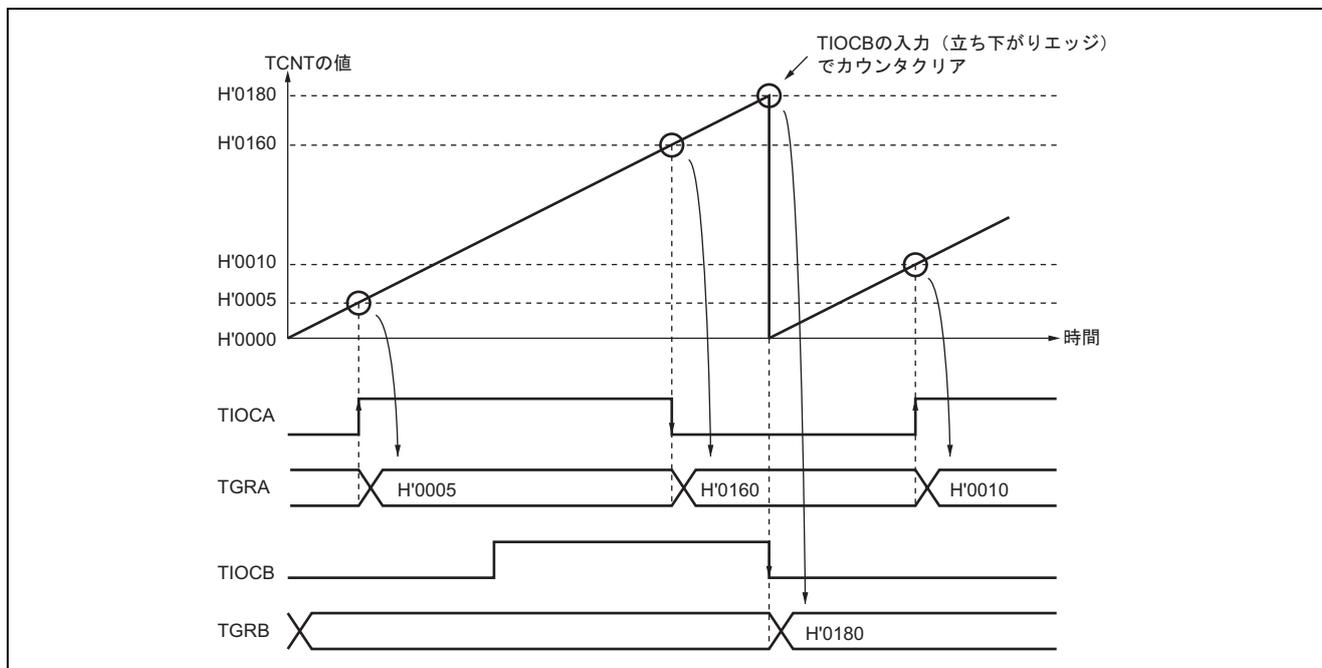


図 11.10 インพุットキャプチャ動作例

11.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5、6~11 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 11.11 に示します。

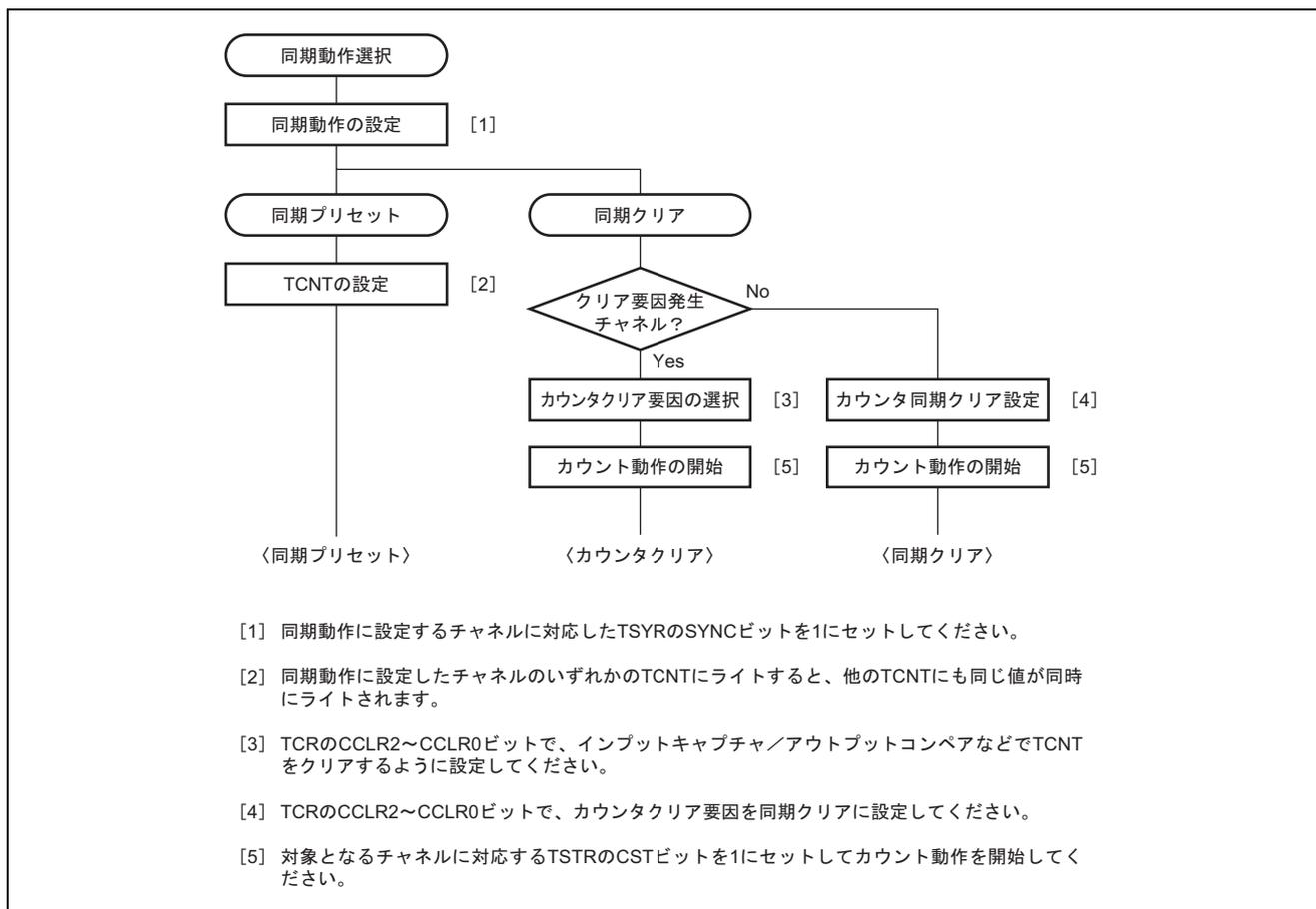


図 11.11 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 11.12 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「11.4.5 PWM モード」を参照してください。

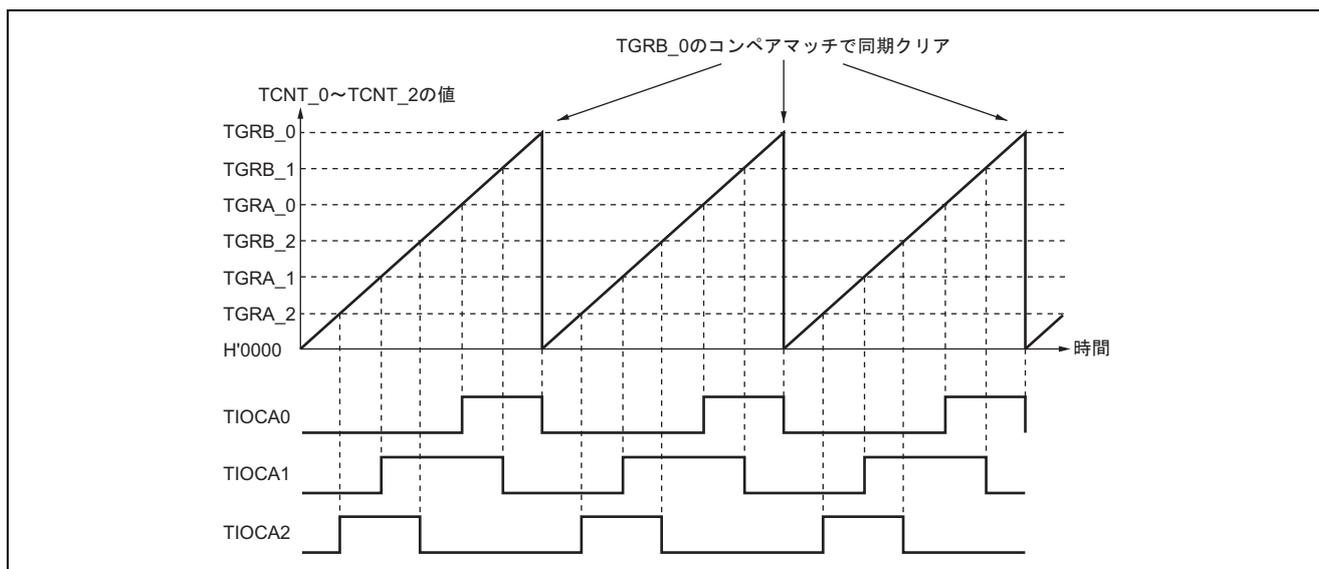


図 11.12 同期動作の動作例

11.4.3 バッファ動作

バッファ動作は、チャンネル 0、3、6、9 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 11.29 にバッファ動作時のレジスタの組み合わせを示します。

表 11.29 レジスタの組み合わせ

ユニット	チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	0	TGRA_0	TGRC_0
		TGRB_0	TGRD_0
	3	TGRA_3	TGRC_3
		TGRB_3	TGRD_3
1	6	TGRA_6	TGRC_6
		TGRB_6	TGRD_6
	9	TGRA_9	TGRC_9
		TGRB_9	TGRD_9

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。この動作を図 11.13 に示します。

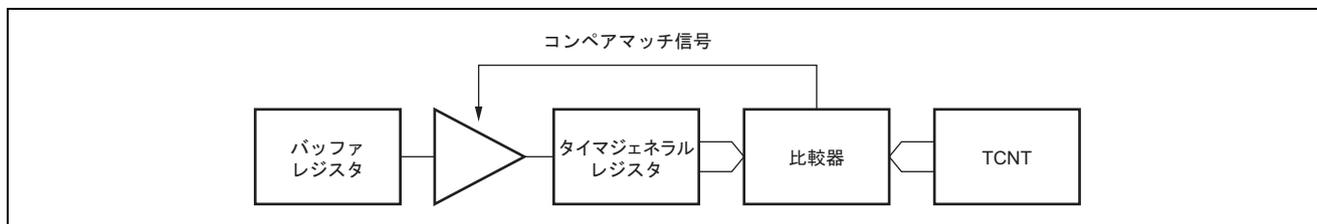


図 11.13 コンペアマッチバッファ動作

- TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。この動作を図 11.14 に示します。

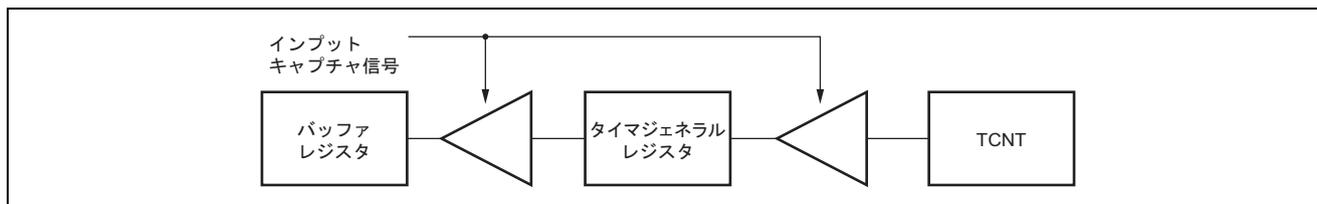


図 11.14 入力キャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.15 に示します。

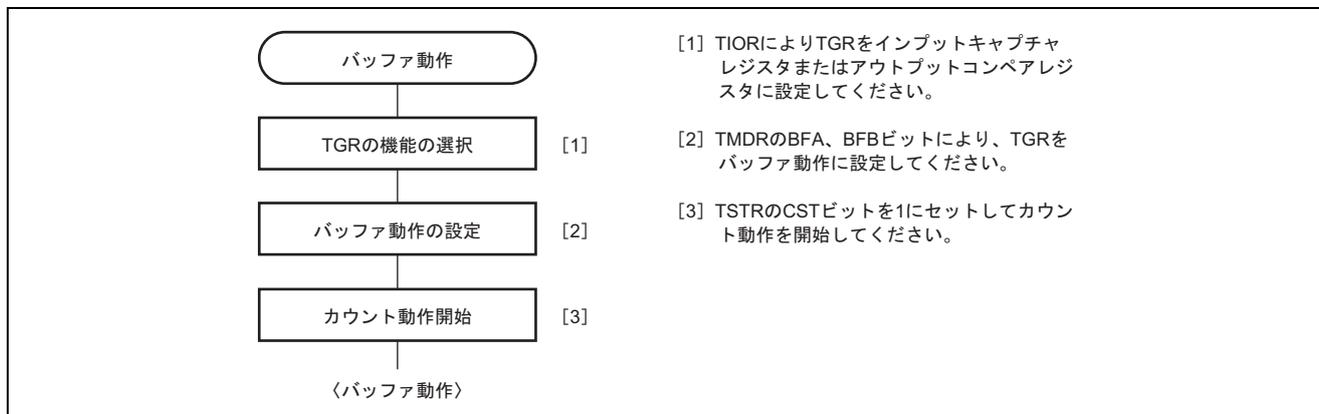


図 11.15 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 11.16 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「11.4.5 PWM モード」を参照してください。

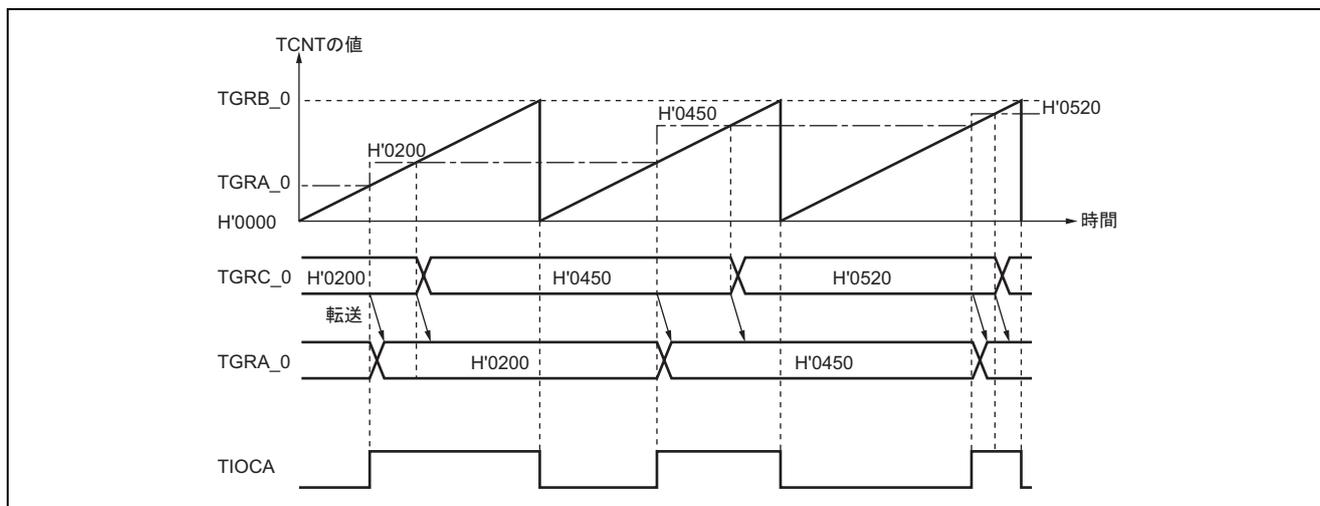


図 11.16 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 11.17 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

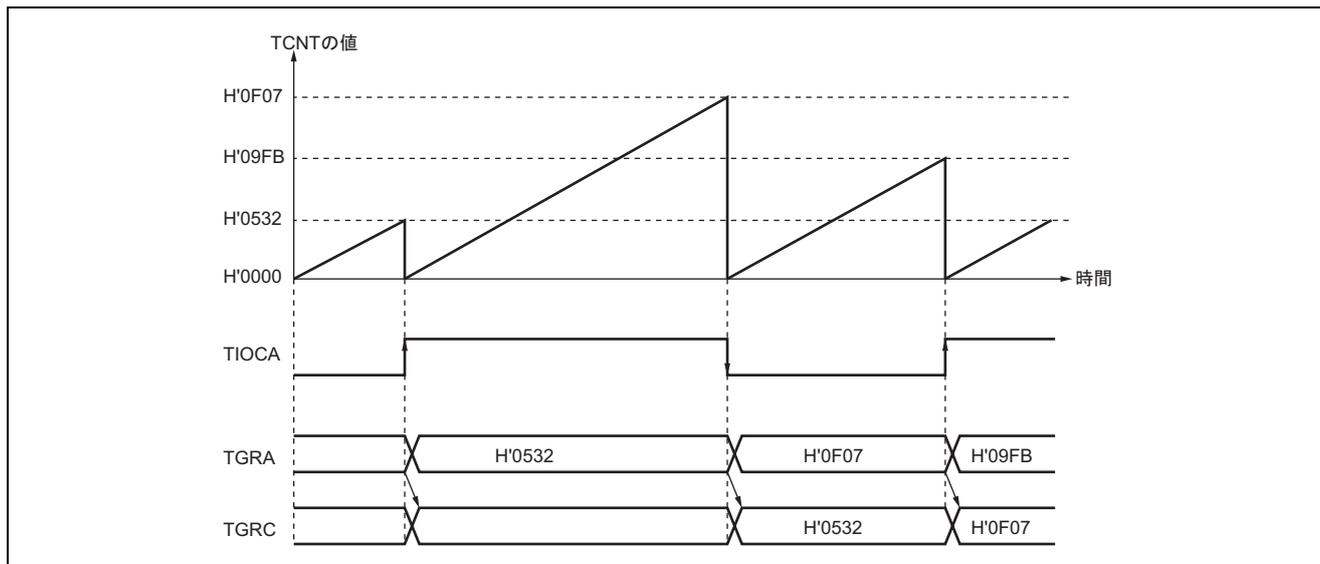


図 11.17 バッファ動作例 (2)

11.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 (チャンネル 4、チャンネル 7、チャンネル 10) のカウンタクロックを TCR の TPSC2~TPSC0 ビットで TCNT_2 (TCNT_5、TCNT_8、TCNT_11) のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 11.30 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4、7、10 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 11.30 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2
チャンネル 4 とチャンネル 5	TCNT_4	TCNT_5
チャンネル 7 とチャンネル 8	TCNT_7	TCNT_8
チャンネル 10 とチャンネル 11	TCNT_10	TCNT_11

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.18 に示します。

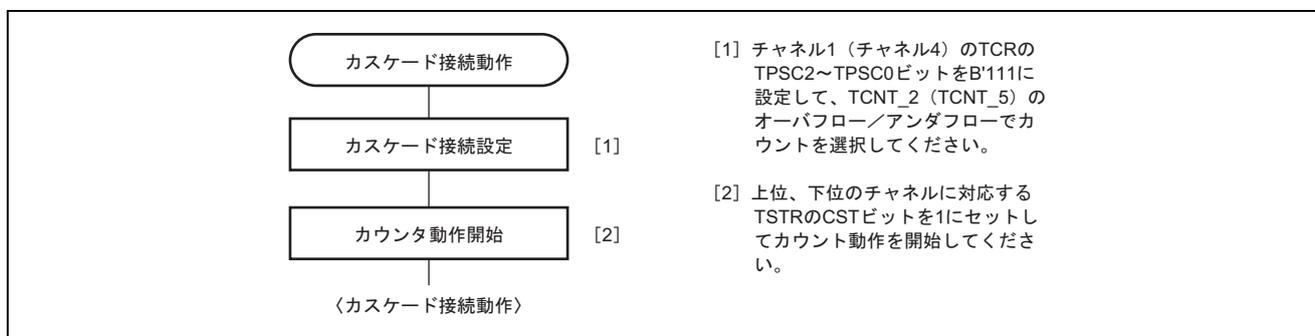


図 11.18 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択したときの動作を図 11.19 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

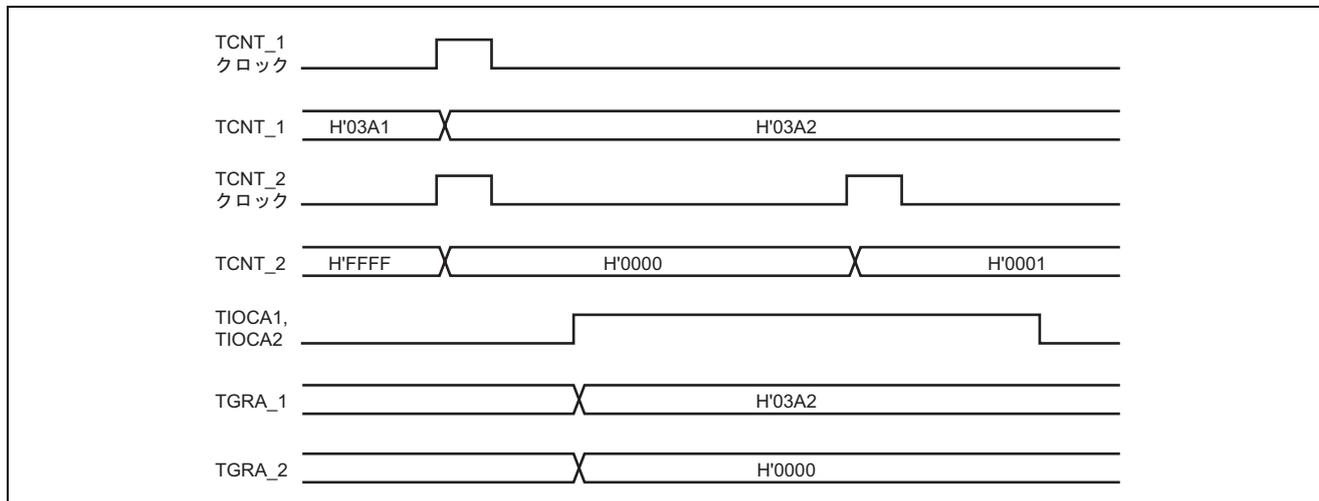


図 11.19 カスケード接続動作例 (1)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 11.20 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

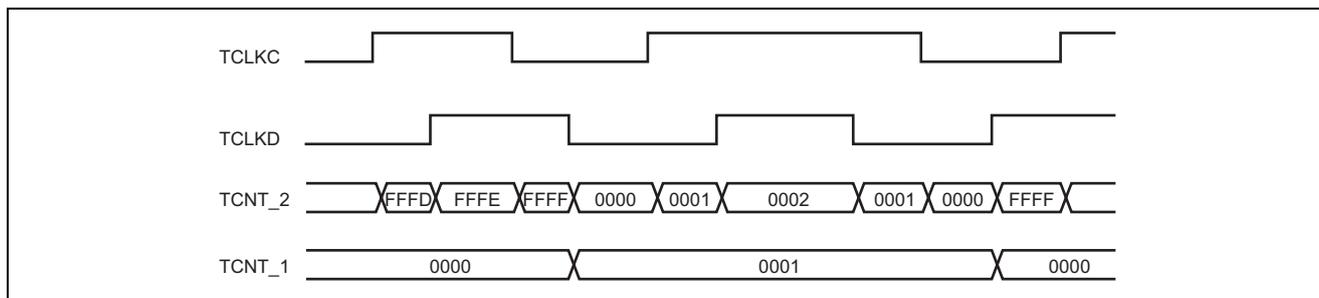


図 11.20 カスケード接続動作例 (2)

11.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.31 に示します。

表 11.31 各 PWM 出力のレジスタと出力端子

ユニット	チャンネル	レジスタ	出力端子	
			PWM モード 1	PWM モード 2
0	0	TGRA_0	TIOCA0	TIOCA0
		TGRB_0		TIOCB0
		TGRC_0	TIOCC0	TIOCC0
		TGRD_0		TIOCD0
	1	TGRA_1	TIOCA1	TIOCA1
		TGRB_1		TIOCB1
	2	TGRA_2	TIOCA2	TIOCA2
		TGRB_2		TIOCB2
	3	TGRA_3	TIOCA3	TIOCA3
		TGRB_3		TIOCB3
		TGRC_3	TIOCC3	TIOCC3
		TGRD_3		TIOCD3
	4	TGRA_4	TIOCA4	TIOCA4
		TGRB_4		TIOCB4
	5	TGRA_5	TIOCA5	TIOCA5
		TGRB_5		TIOCB5
1	6	TGRA_6	TIOCA6	TIOCA6
		TGRB_6		TIOCB6
		TGRC_6	TIOCC6	TIOCC6
		TGRD_6		TIOCD6
	7	TGRA_7	TIOCA7	TIOCA7
		TGRB_7		TIOCB7
	8	TGRA_8	TIOCA8	TIOCA8
		TGRB_8		TIOCB8
	9	TGRA_9	TIOCA9	TIOCA9
		TGRB_9		TIOCB9
		TGRC_9	TIOCC9	TIOCC9
		TGRD_9		TIOCD9
	10	TGRA_10	TIOCA10	TIOCA10
		TGRB_10		TIOCB10
	11	TGRA_11	TIOCA11	TIOCA11
		TGRB_11		TIOCB11

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 11.21 に示します。

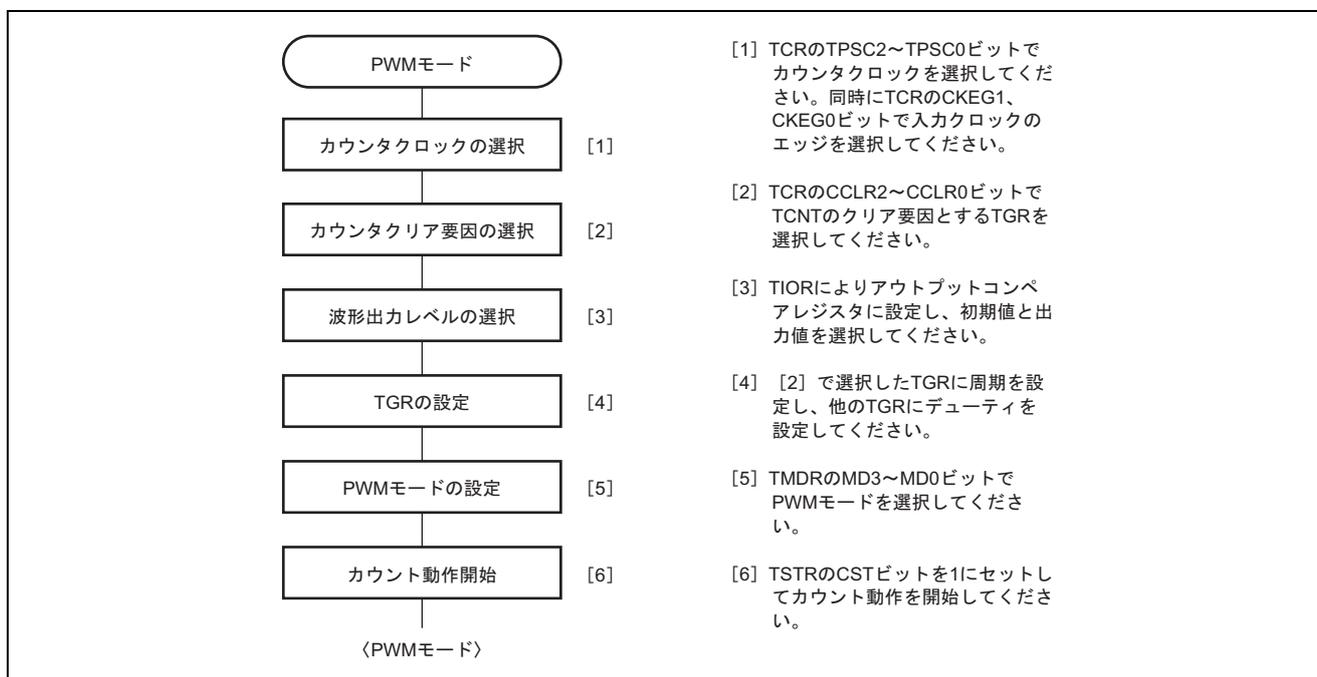


図 11.21 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1 の動作例を図 11.22 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

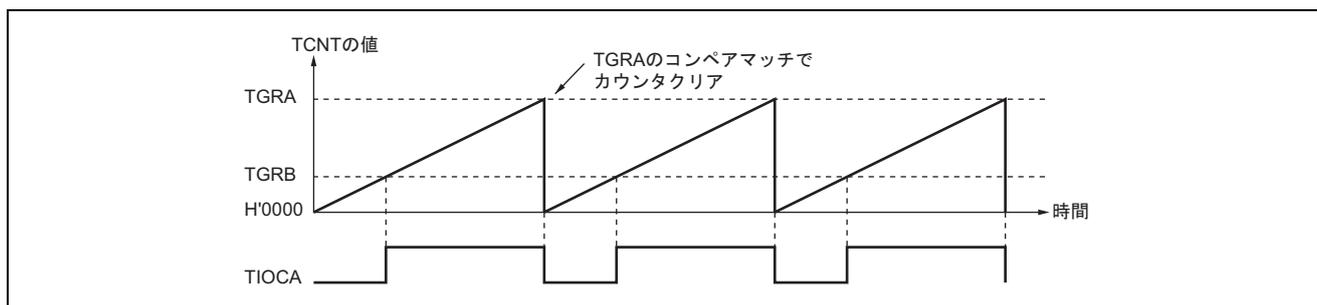


図 11.22 PWM モードの動作例 (1)

PWM モード2 の動作例を図 11.23 に示します。

この図は、チャンネル0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0、TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

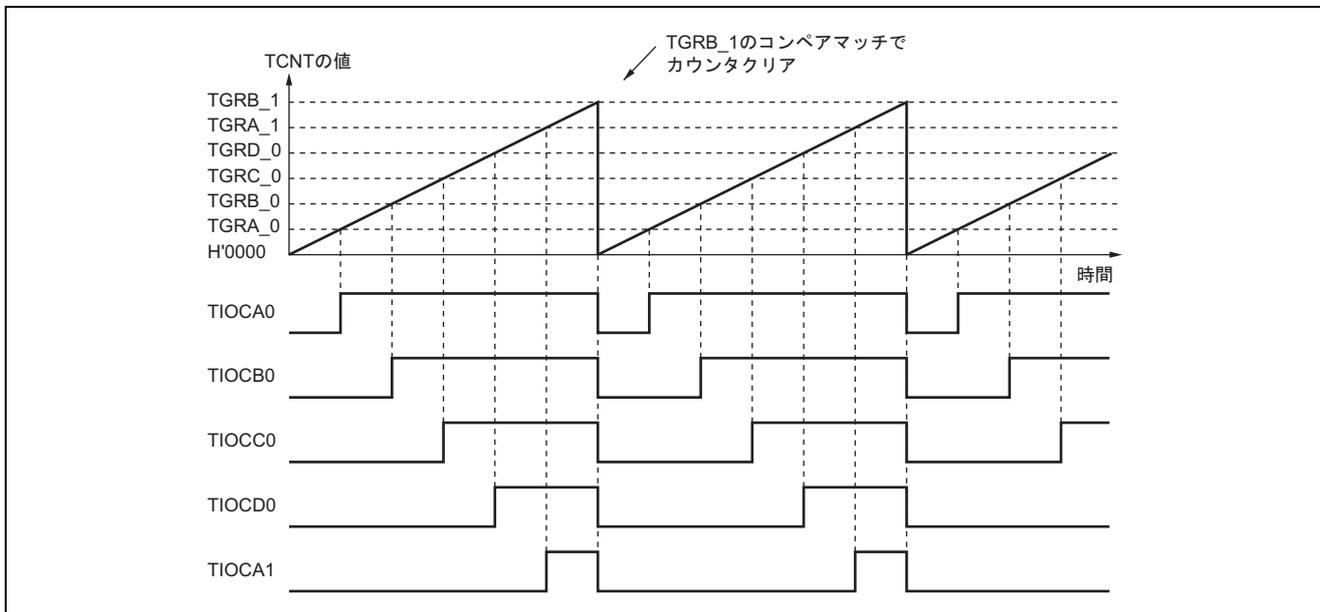


図 11.23 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 11.24 に示します。

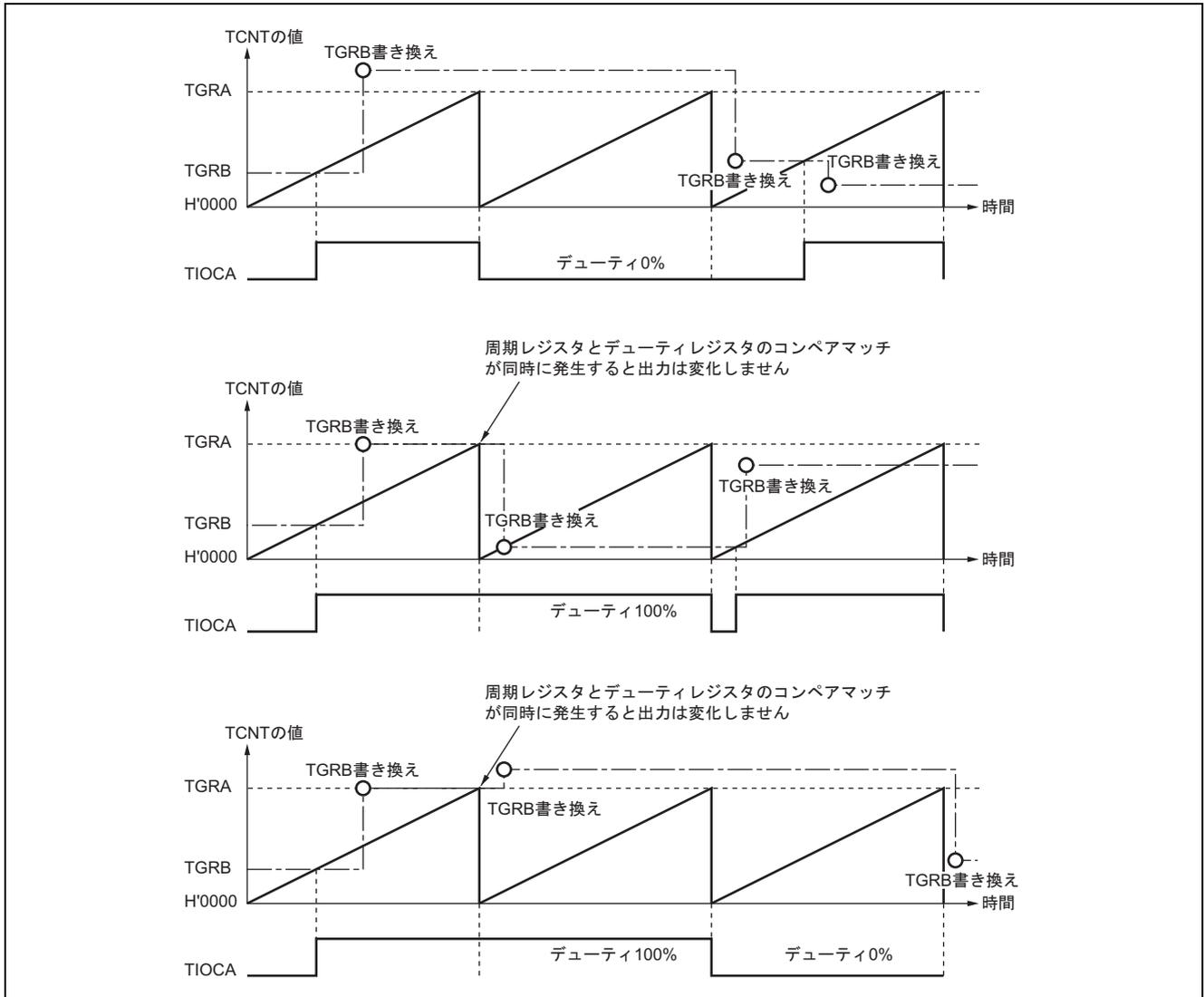


図 11.24 PWM モード動作例 (3)

11.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5、7、8、10、11 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2~TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.32 に外部クロック端子とチャンネルの対応を示します。

表 11.32 位相計数モードクロック入力端子

ユニット	チャンネル	外部クロック端子	
		A 相	B 相
0	チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
	チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD
1	チャンネル 7 または 11 を位相計数モードとするとき	TCLKE	TCLKF
	チャンネル 8 または 10 を位相計数モードとするとき	TCLKG	TCLKH

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.25 に示します。

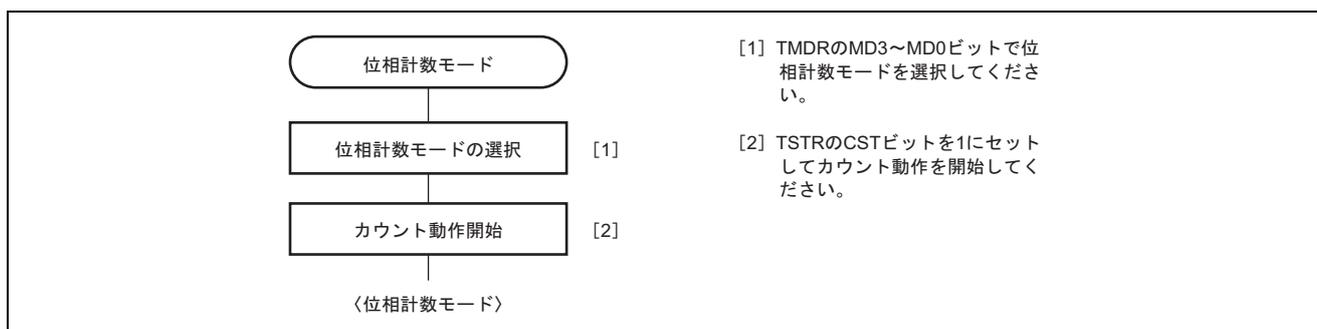


図 11.25 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 11.26 に、TCNT のアップ/ダウンカウント条件を表 11.33 に示します。

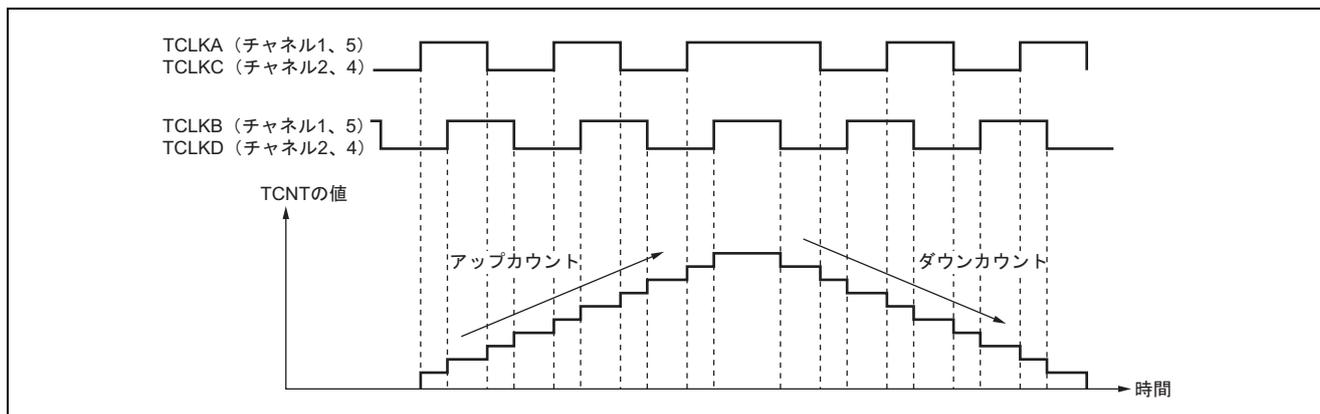


図 11.26 位相計数モード 1 の動作例

表 11.33 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4) TCLKE (チャンネル 7、11) TCLKG (チャンネル 8、10)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4) TCLKF (チャンネル 7、11) TCLKH (チャンネル 8、10)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 11.27 に、TCNT のアップ/ダウンカウント条件を表 11.34 に示します。

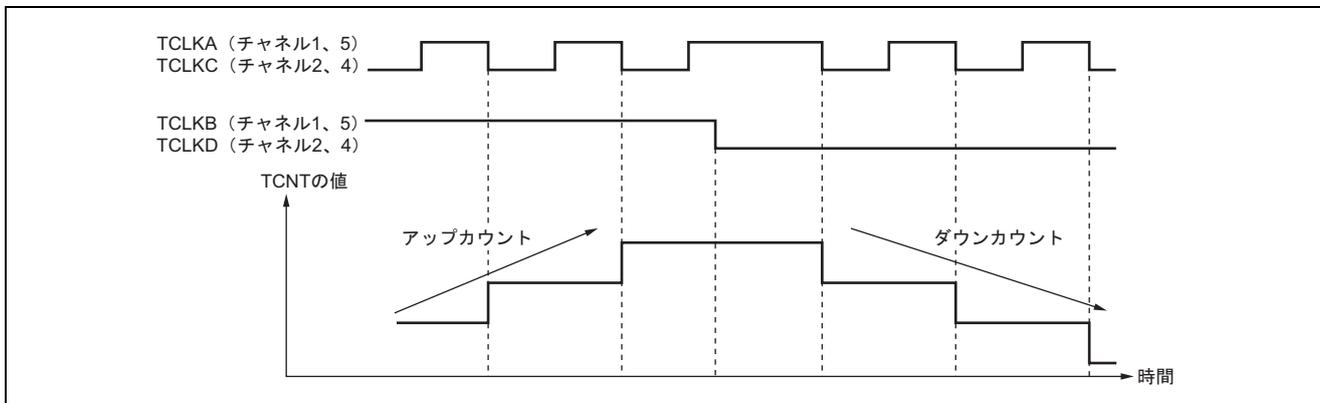


図 11.27 位相計数モード 2 の動作例

表 11.34 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4) TCLKE (チャンネル 7、11) TCLKG (チャンネル 8、10)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4) TCLKF (チャンネル 7、11) TCLKH (チャンネル 8、10)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.28 に、TCNT のアップ/ダウンカウント条件を表 11.35 に示します。

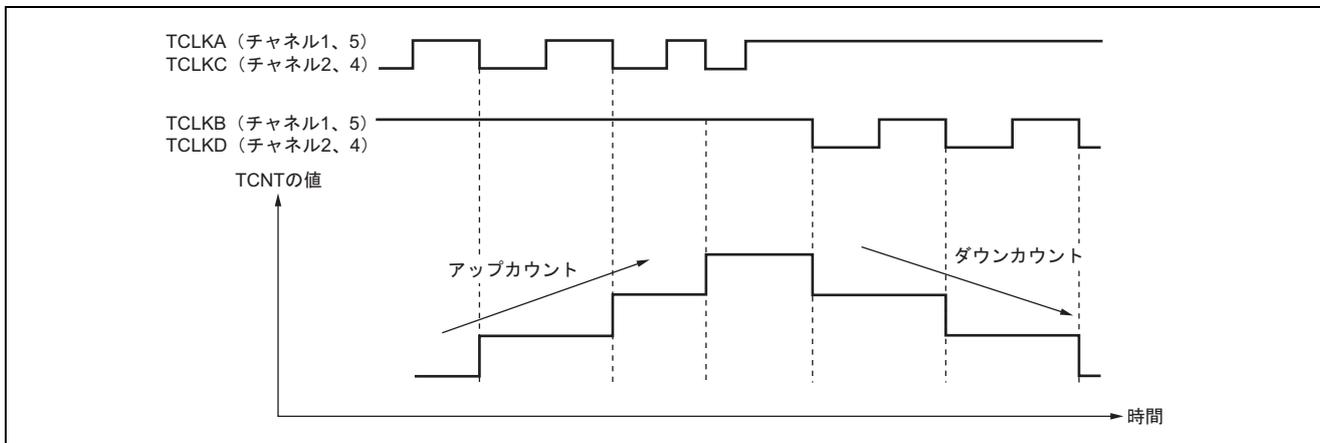


図 11.28 位相計数モード 3 の動作例

表 11.35 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4) TCLKE (チャンネル 7、11) TCLKG (チャンネル 8、10)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4) TCLKF (チャンネル 7、11) TCLKH (チャンネル 8、10)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.29 に、TCNT のアップ/ダウンカウント条件を表 11.36 に示します。

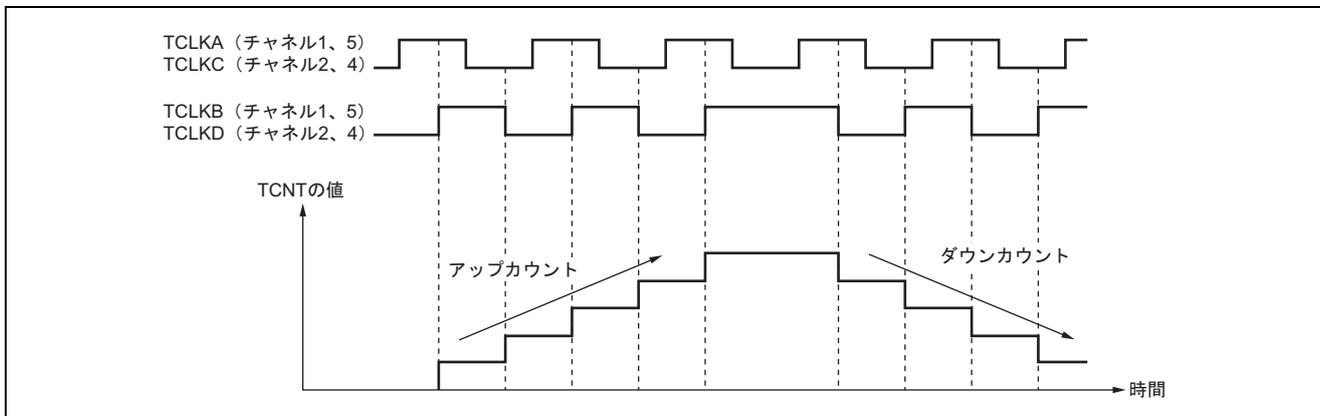


図 11.29 位相計数モード 4 の動作例

表 11.36 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4) TCLKE (チャンネル 7、11) TCLKG (チャンネル 8、10)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4) TCLKF (チャンネル 7、11) TCLKH (チャンネル 8、10)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図11.30に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGRC_0のコンペアマッチでカウンタクリアとして動作させ、TGRA_0とTGRC_0はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0は入力キャプチャ機能で使用し、TGRB_0とTGRD_0をバッファ動作させます。TGRB_0の入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

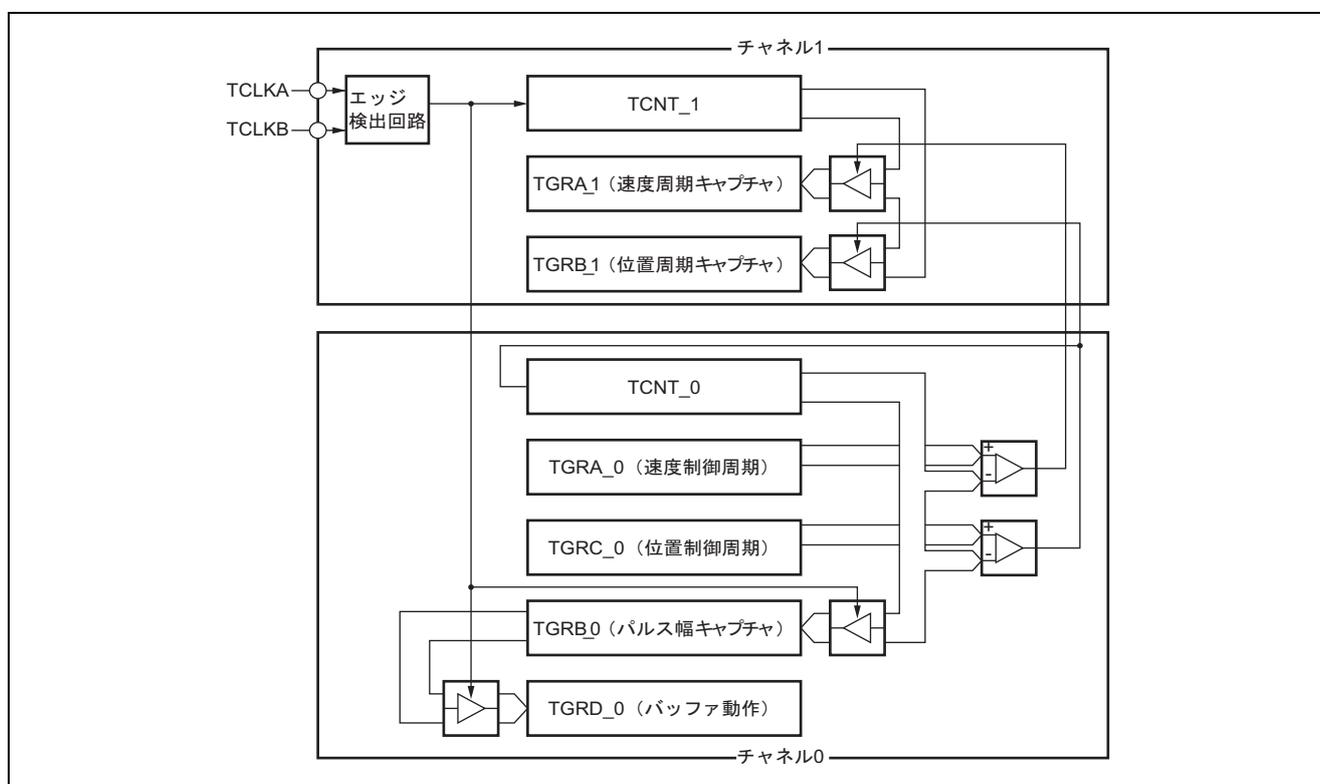


図 11.30 位相計数モードの応用例

11.5 割り込み要因

TPU の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

表 11.37 に TPU の割り込み要因の一覧を示します。

表 11.37 TPU 割り込み一覧

ユニット	チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動	DMAC の起動
0	0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	可
		TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	可	不可
		TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	可	不可
		TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	可	不可
		TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	不可
	1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	可
		TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	可	不可
		TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	不可
		TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	不可
	2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	可
		TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	可	不可
		TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	不可
		TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	不可
	3	TGI3A	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	可
		TGI3B	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	可	不可
		TGI3C	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	可	不可
		TGI3D	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	可	不可
		TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	不可
	4	TGI4A	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可	可
		TGI4B	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	可	不可
TCI4V		TCNT_4 のオーバフロー	TCFV_4	不可	不可	
TCI4U		TCNT_4 のアンダフロー	TCFU_4	不可	不可	
5	TGI5A	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可	可	
	TGI5B	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	可	不可	
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可	不可	
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可	不可	
1	6	TGI6A	TGRA_6 のインプットキャプチャ/コンペアマッチ	TGFA_6	可	不可
		TGI6B	TGRB_6 のインプットキャプチャ/コンペアマッチ	TGFB_6	可	不可
		TGI6C	TGRC_6 のインプットキャプチャ/コンペアマッチ	TGFC_6	可	不可
		TGI6D	TGRD_6 のインプットキャプチャ/コンペアマッチ	TGFD_6	可	不可
		TCI6V	TCNT_6 のオーバフロー	TCFV_6	不可	不可

ユニット	チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動	DMAC の起動
1	7	TGI7A	TGRA_7 のインプットキャプチャ/コンペアマッチ	TGFA_7	可	不可
		TGI7B	TGRB_7 のインプットキャプチャ/コンペアマッチ	TGFB_7	可	不可
		TCI7V	TCNT_7 のオーバフロー	TCFV_7	不可	不可
		TCI7U	TCNT_7 のアンダフロー	TCFU_7	不可	不可
	8	TGI8A	TGRA_8 のインプットキャプチャ/コンペアマッチ	TGFA_8	可	不可
		TGI8B	TGRB_8 のインプットキャプチャ/コンペアマッチ	TGFB_8	可	不可
		TCI8V	TCNT_8 のオーバフロー	TCFV_8	不可	不可
		TCI8U	TCNT_8 のアンダフロー	TCFU_8	不可	不可
	9	TGI9A	TGRA_9 のインプットキャプチャ/コンペアマッチ	TGFA_9	可	不可
		TGI9B	TGRB_9 のインプットキャプチャ/コンペアマッチ	TGFB_9	可	不可
		TGI9C	TGRC_9 のインプットキャプチャ/コンペアマッチ	TGFC_9	可	不可
		TGI9D	TGRD_9 のインプットキャプチャ/コンペアマッチ	TGFD_9	可	不可
		TCI9V	TCNT_9 のオーバフロー	TCFV_9	不可	不可
	10	TGI10A	TGRA_10 のインプットキャプチャ/コンペアマッチ	TGFA_10	可	不可
		TGI10B	TGRB_10 のインプットキャプチャ/コンペアマッチ	TGFB_10	可	不可
		TCI10V	TCNT_10 のオーバフロー	TCFV_10	不可	不可
		TCI10U	TCNT_10 のアンダフロー	TCFU_10	不可	不可
	11	TGI11A	TGRA_11 のインプットキャプチャ/コンペアマッチ	TGFA_11	可	不可
		TGI11B	TGRB_11 のインプットキャプチャ/コンペアマッチ	TGFB_11	可	不可
		TCI11V	TCNT_11 のオーバフロー	TCFV_11	不可	不可
TCI11U		TCNT_11 のアンダフロー	TCFU_11	不可	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3、6、9 に各 4 本、チャンネル 1、2、4、5、7、8、10、11 に各 2 本、計 32 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 12 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5、7、8、10、11 に各 1 本、計 8 本のアンダフロー割り込みがあります。

11.6 DTC の起動

各チャンネルの TGR のインプットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3、6、9 が各 4 本、チャンネル 1、2、4、5、7、8、10、11 が各 2 本、計 32 本のインプットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

11.7 DMAC の起動

TPU のユニット 0 では、各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 7 章 DMA コントローラ (DMAC)」を参照してください。(ユニット 1 では、DMAC を起動することはできません。)

TPU のユニット 0 では、各チャンネルに 1 本、計 6 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

11.8 A/D 変換器の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 12 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

11.9 動作タイミング

11.9.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.31 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.32 に示します。

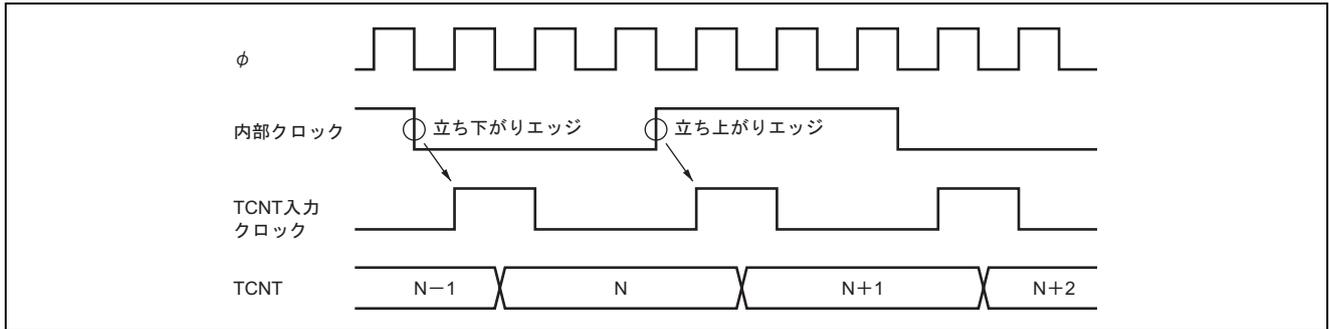


図 11.31 内部クロック動作時のカウントタイミング

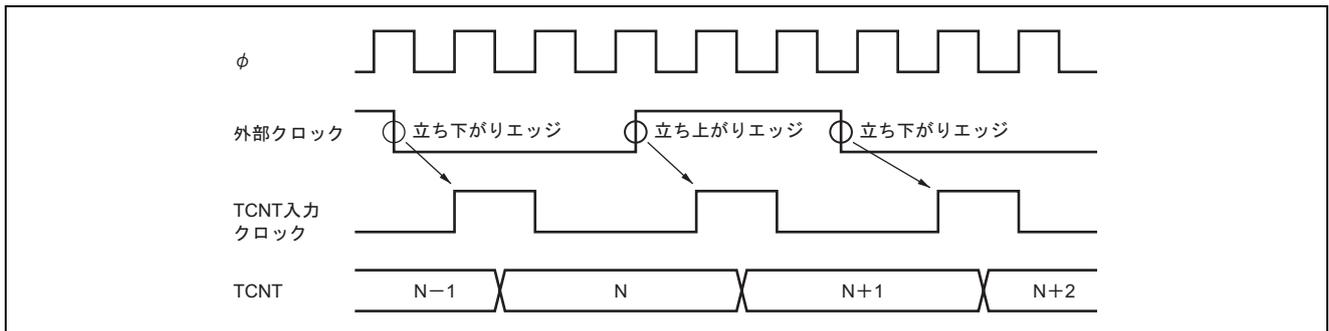


図 11.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 11.33 に示します。

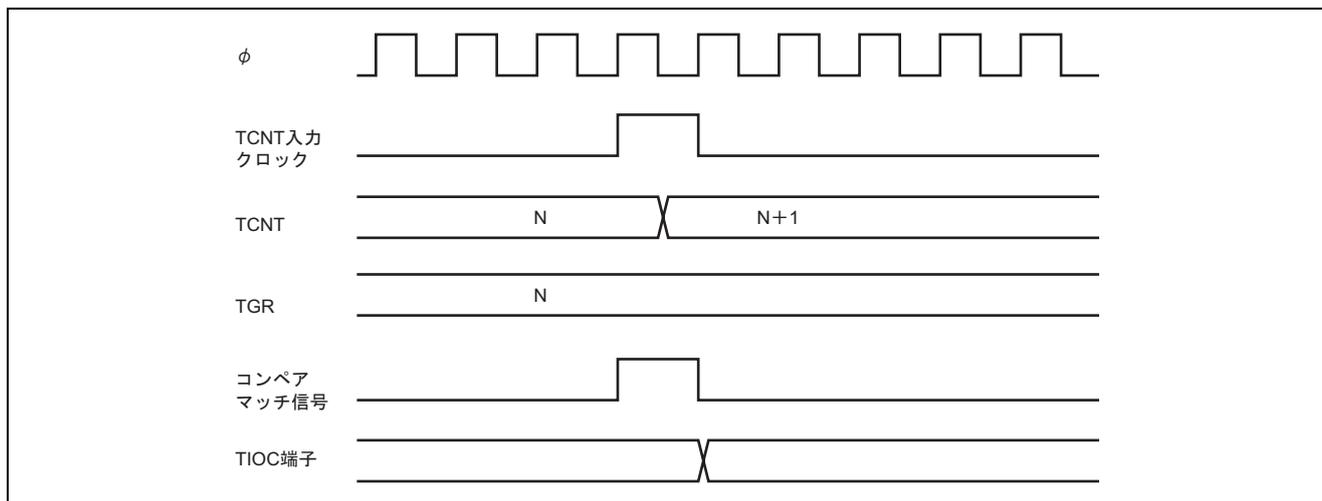


図 11.33 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 11.34 に示します。

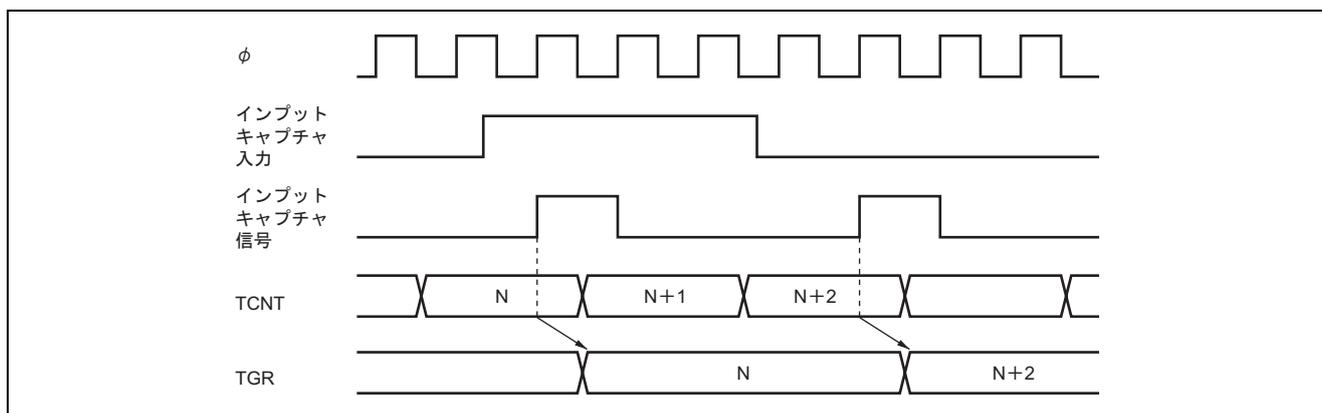


図 11.34 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.35 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.36 に示します。

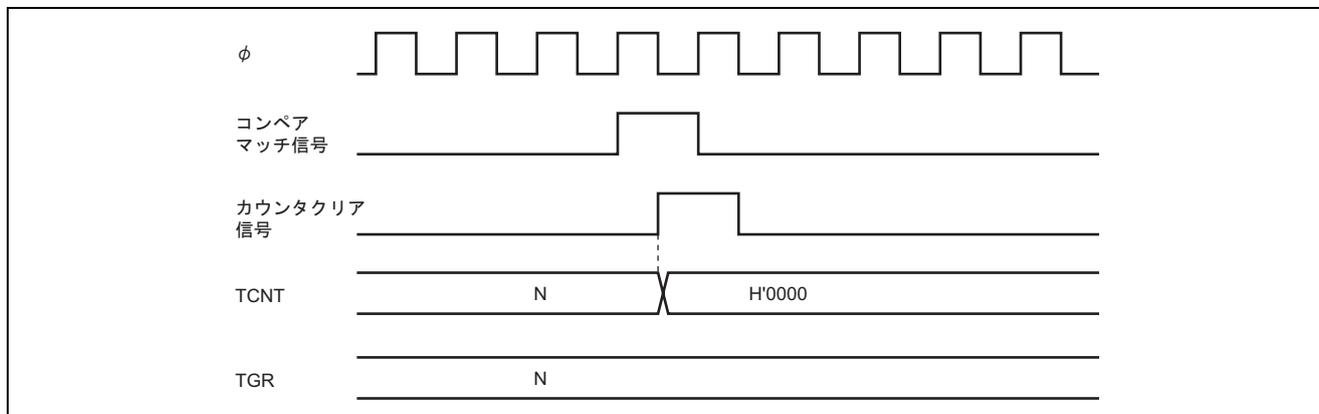


図 11.35 カウンタクリアタイミング (コンペアマッチ)

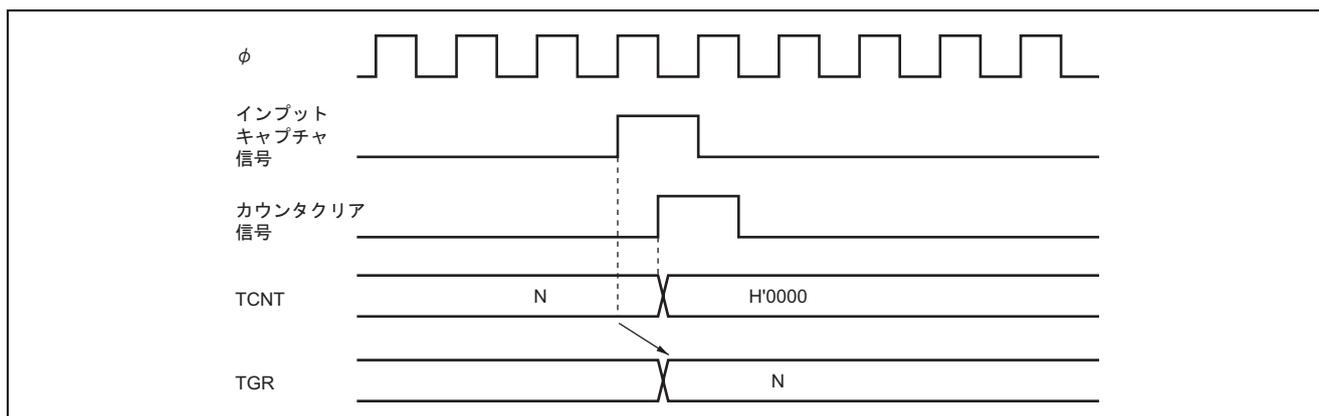


図 11.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.37、図 11.38 に示します。

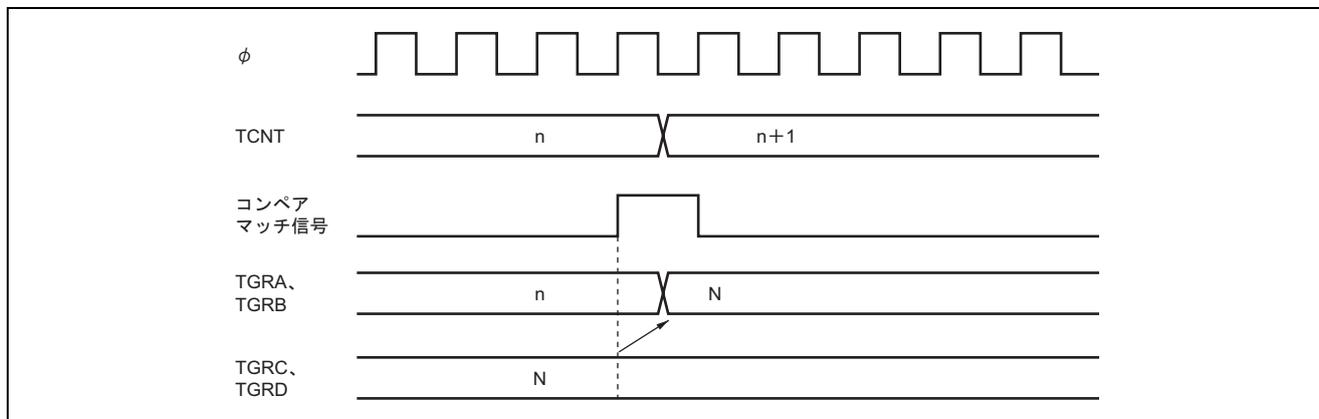


図 11.37 バッファ動作タイミング (コンペアマッチ)

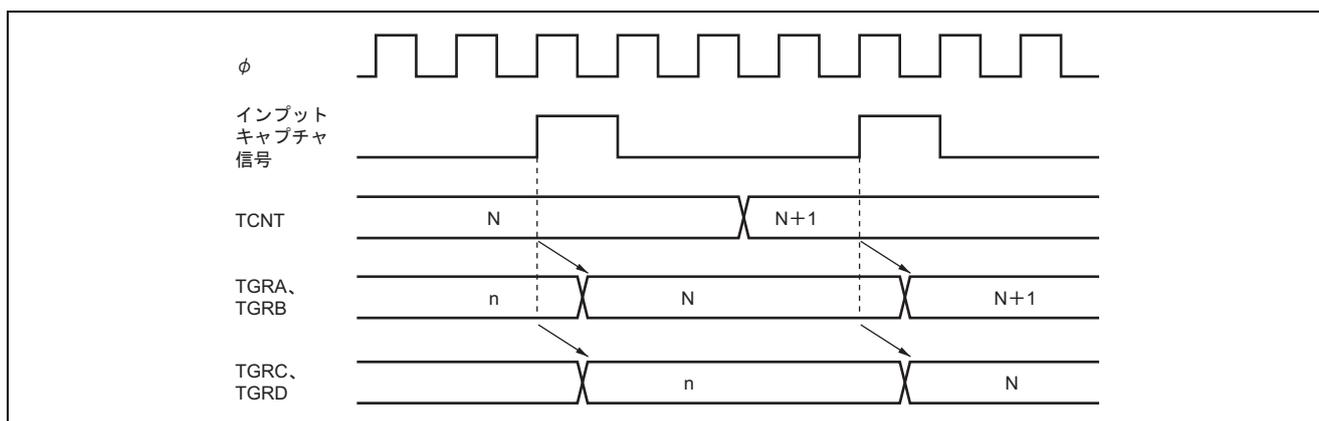


図 11.38 バッファ動作タイミング (インプットキャプチャ)

11.9.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.39 に示します。

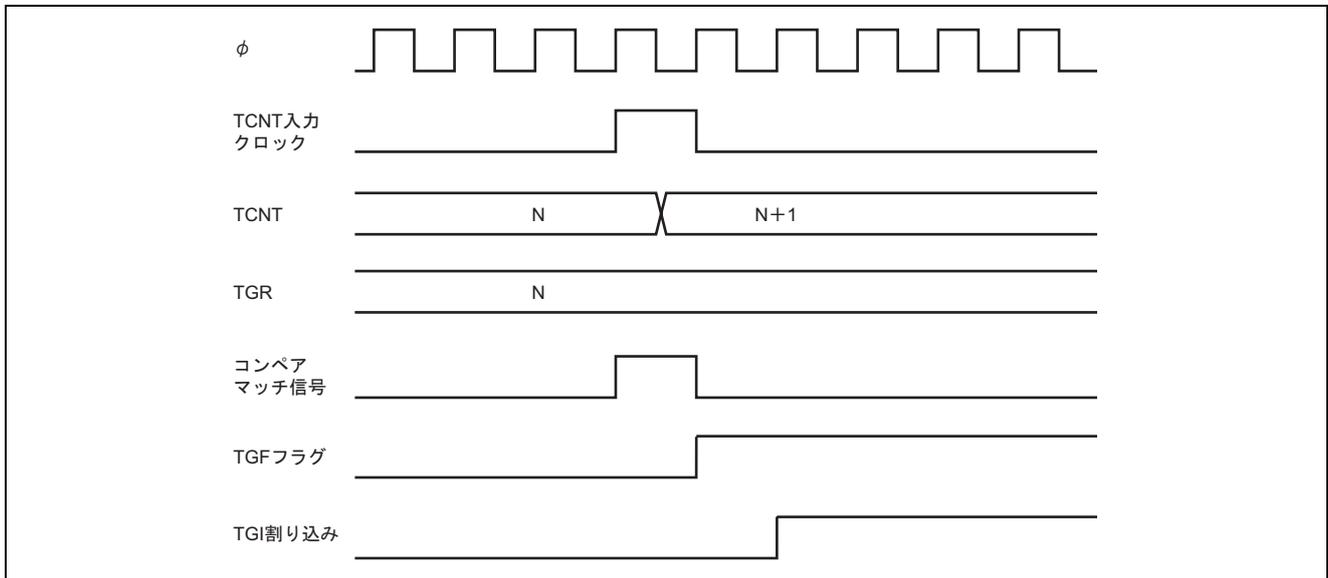


図 11.39 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.40 に示します。

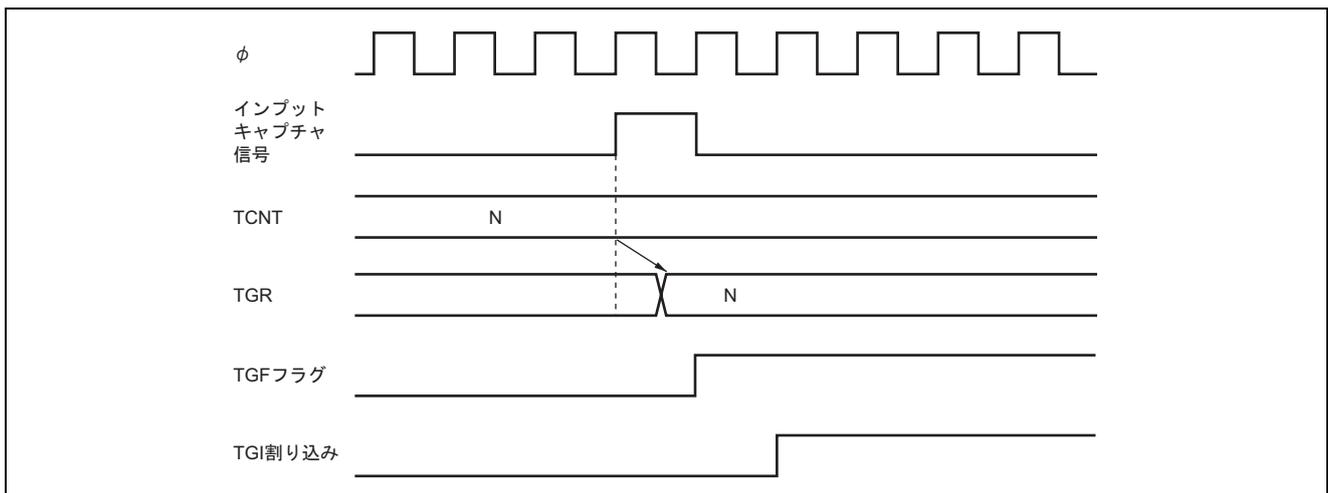


図 11.40 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.41 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.42 に示します。

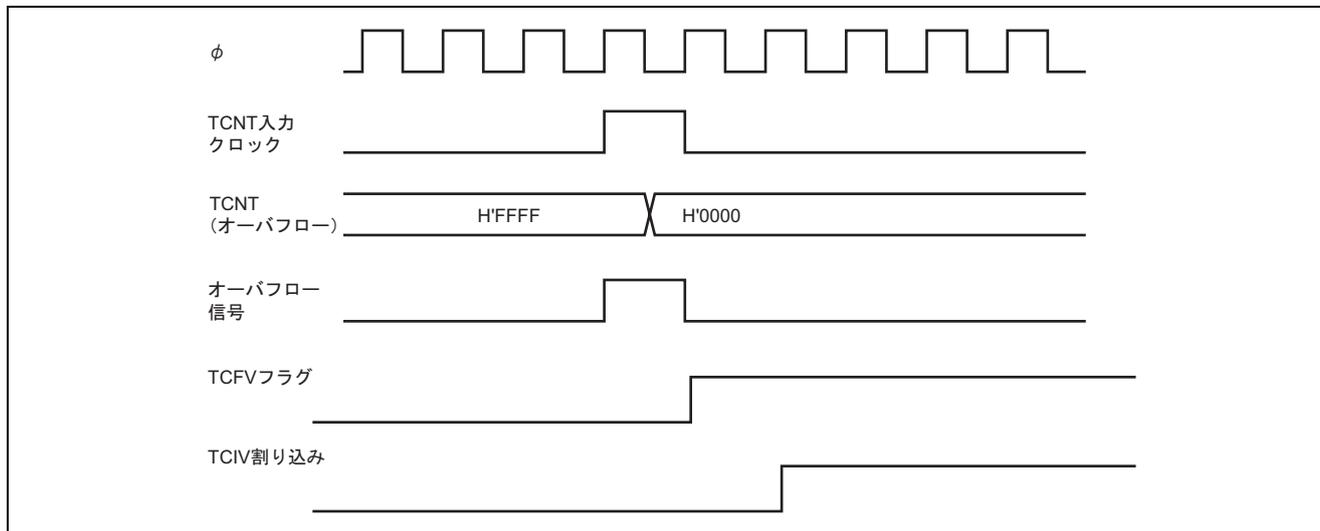


図 11.41 TCIV 割り込みのセットタイミング

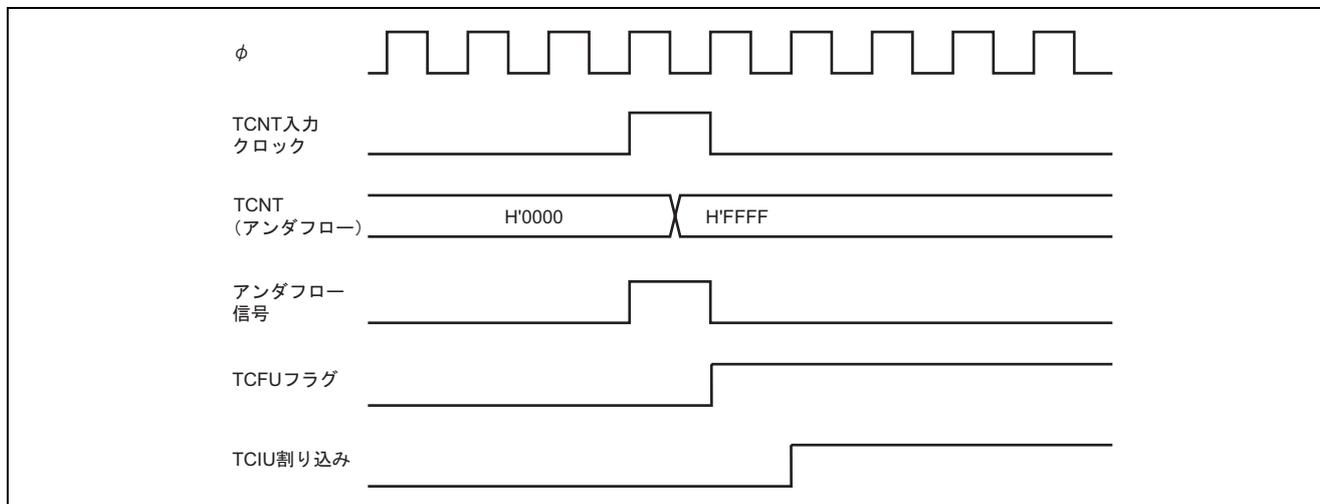


図 11.42 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCまたはDMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図11.43に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図11.44に示します。

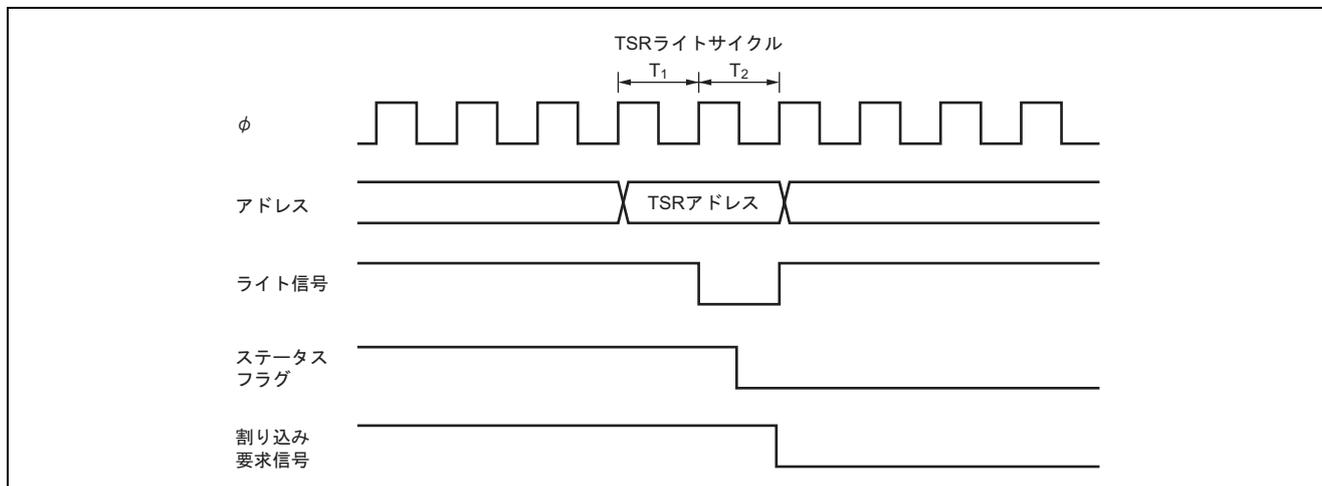


図 11.43 CPUによるステータスフラグのクリアタイミング

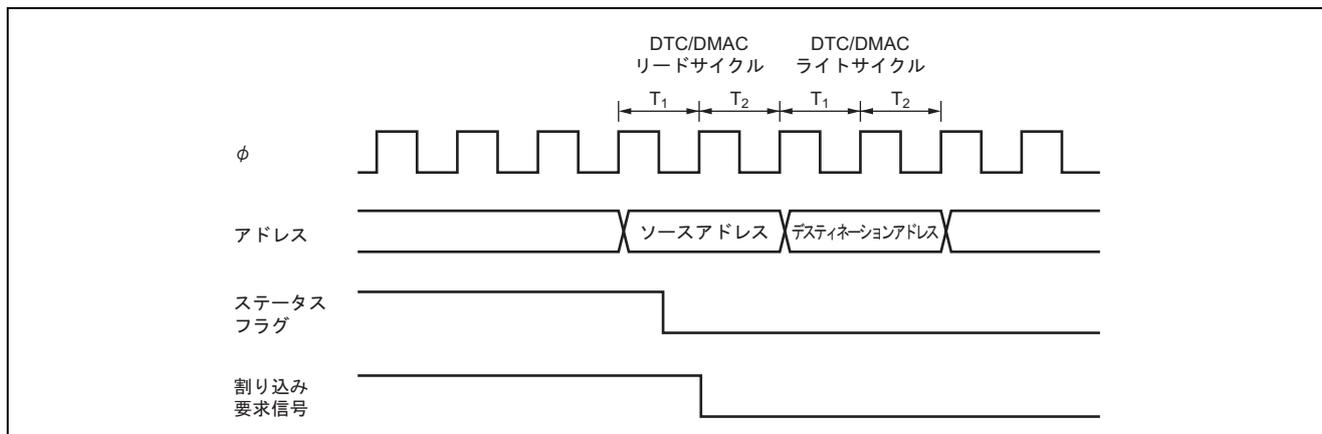


図 11.44 DTC/DMACの起動によるステータスフラグのクリアタイミング

11.10 使用上の注意事項

11.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TPU の動作禁止/許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「第 23 章 低消費電力状態」を参照してください。

11.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.45 に示します。

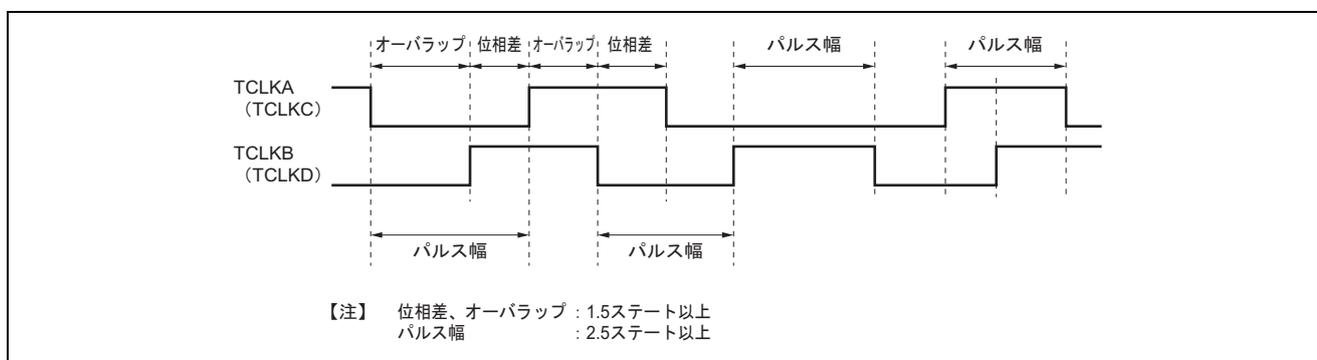


図 11.45 位相計数モード時の位相差、オーバーラップ、およびパルス幅

11.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

ϕ : 動作周波数

N : TGR の設定値

11.10.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T_2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。このタイミングを図 11.46 に示します。

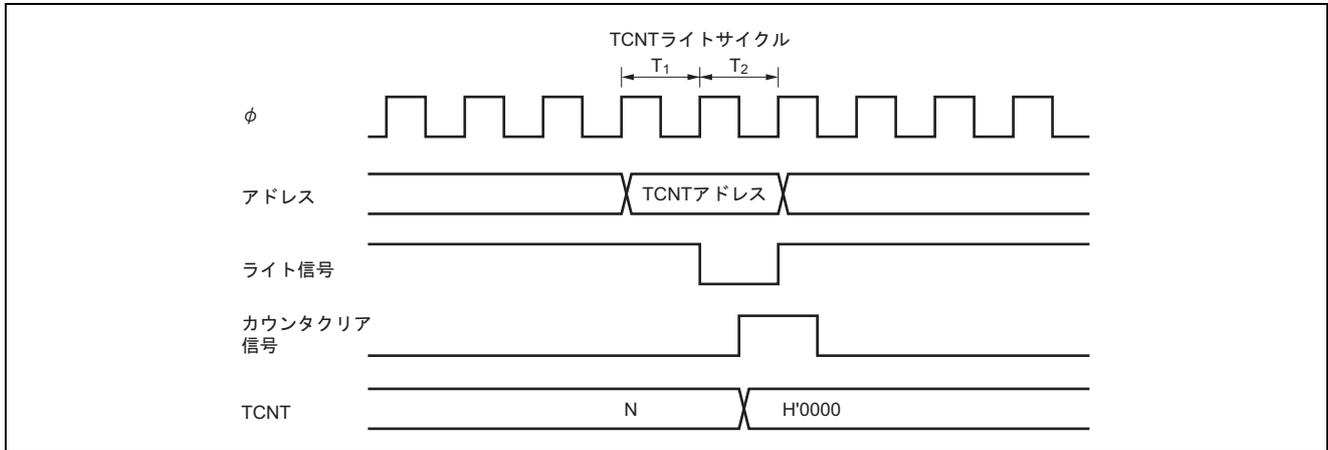


図 11.46 TCNT のライトとクリアの競合

11.10.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。このタイミングを図 11.47 に示します。

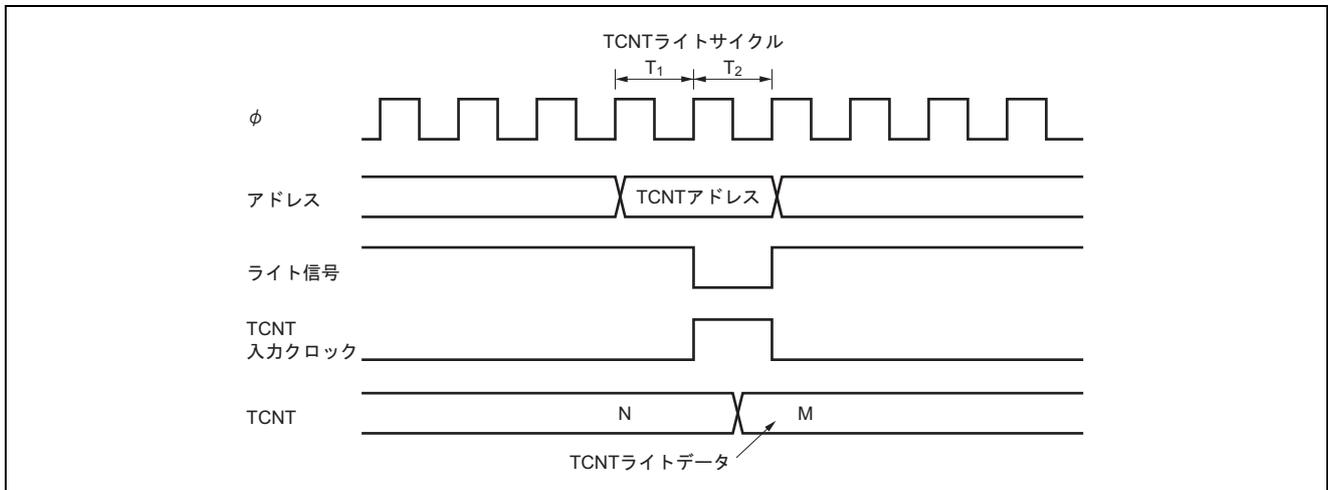


図 11.47 TCNT のライトとカウントアップの競合

11.10.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。このタイミングを図 11.48 に示します。

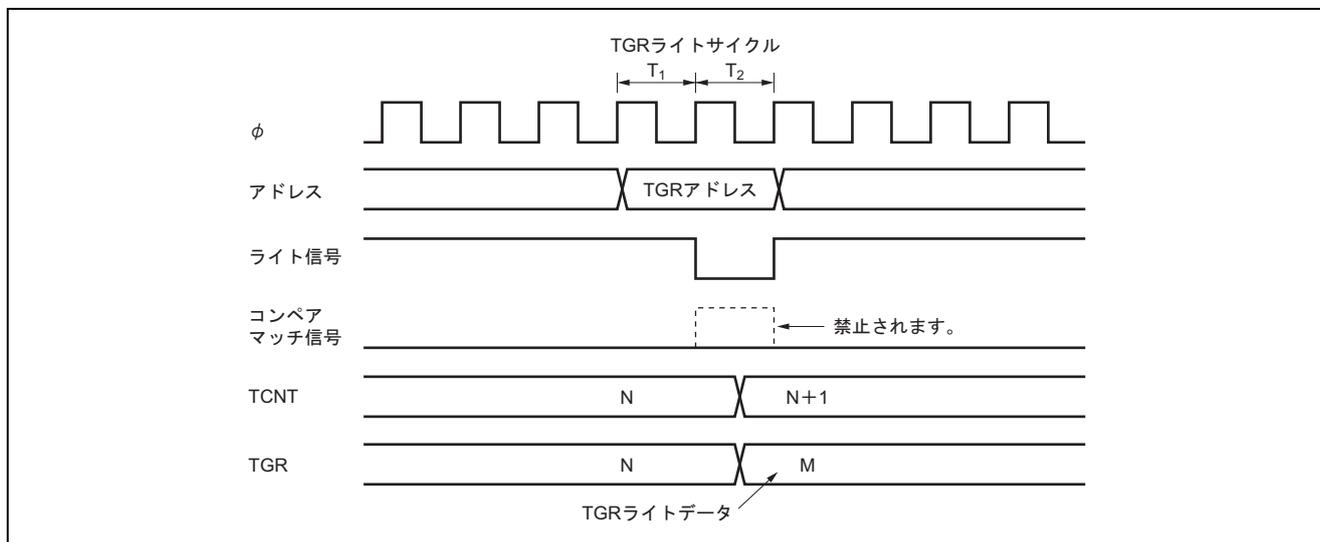


図 11.48 TGR のライトとコンペアマッチの競合

11.10.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。このタイミングを図 11.49 に示します。

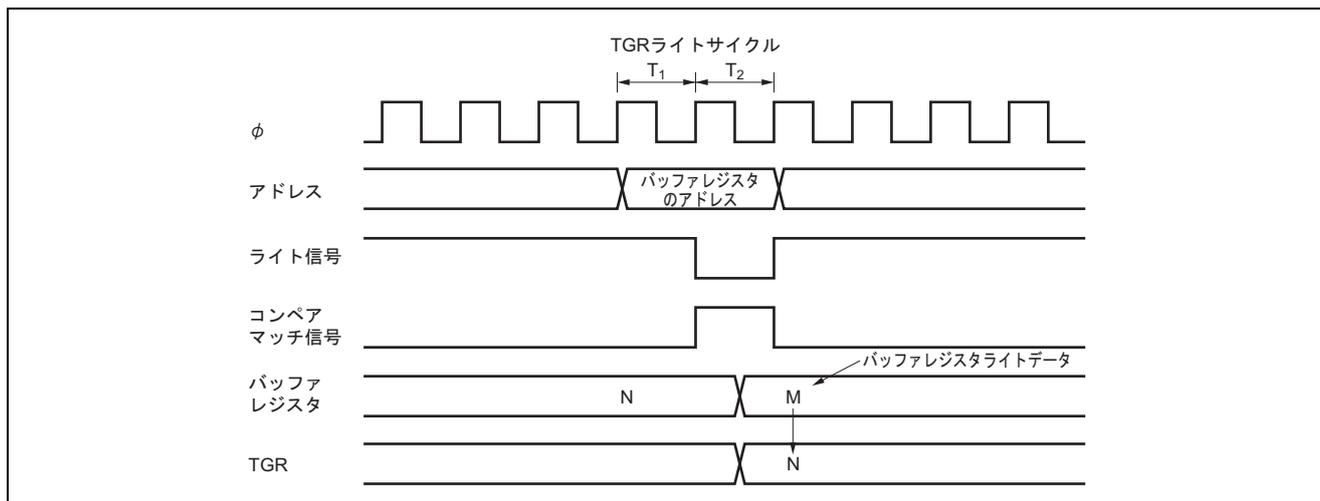


図 11.49 バッファレジスタのライトとコンペアマッチの競合

11.10.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T_1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 11.50 に示します。

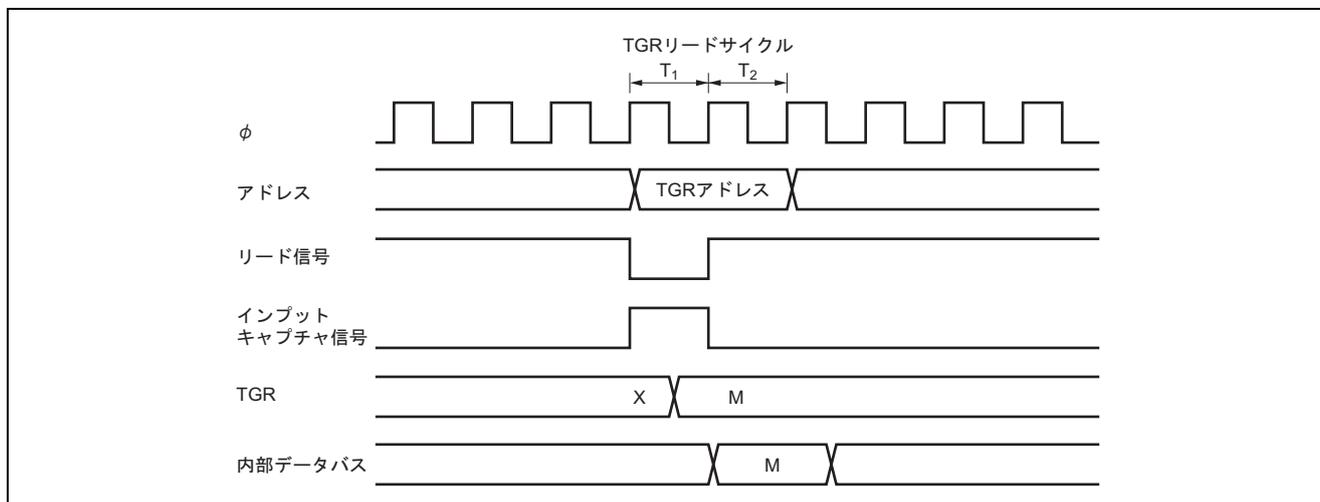


図 11.50 TGR のリードとインプットキャプチャの競合

11.10.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。このタイミングを図 11.51 に示します。

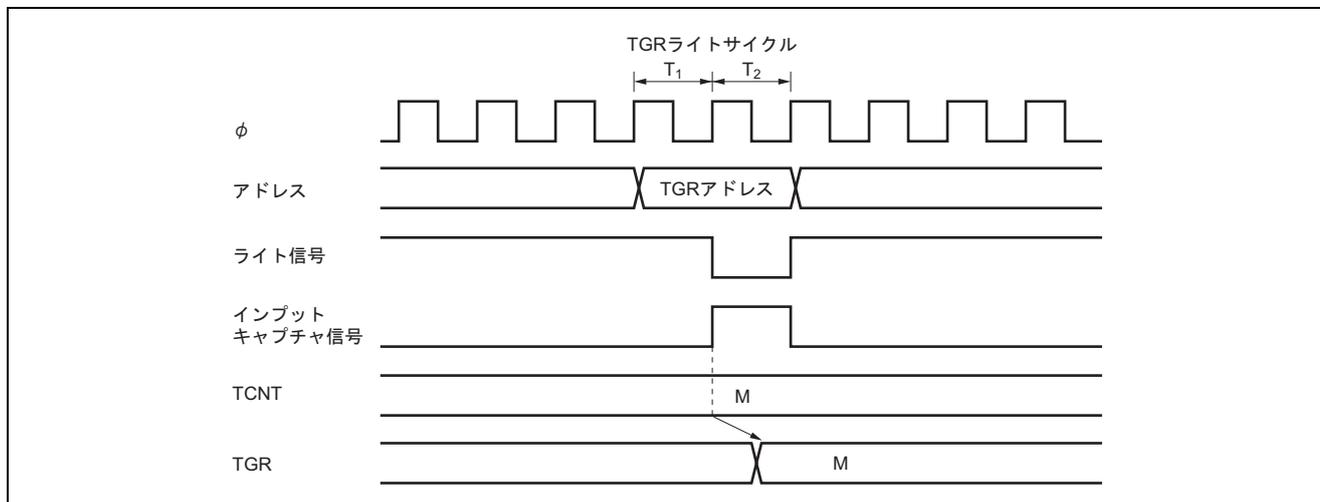


図 11.51 TGR のライトとインプットキャプチャの競合

11.10.10 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 11.52 に示します。

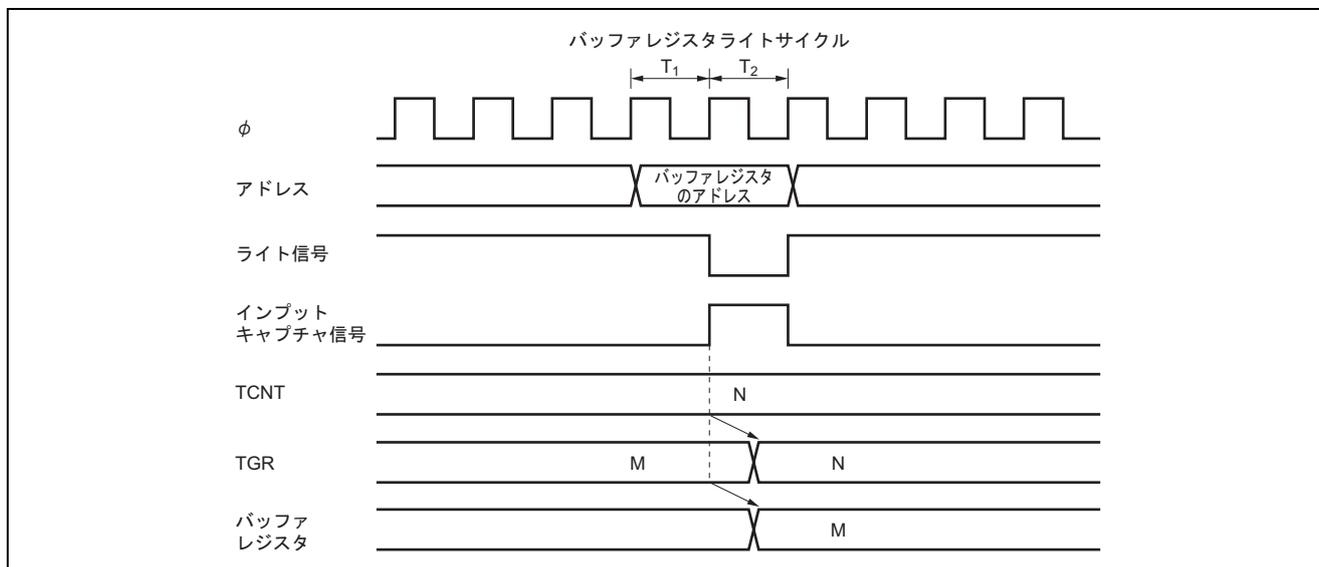


図 11.52 バッファレジスタのライトとインプットキャプチャの競合

11.10.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.53 に示します。

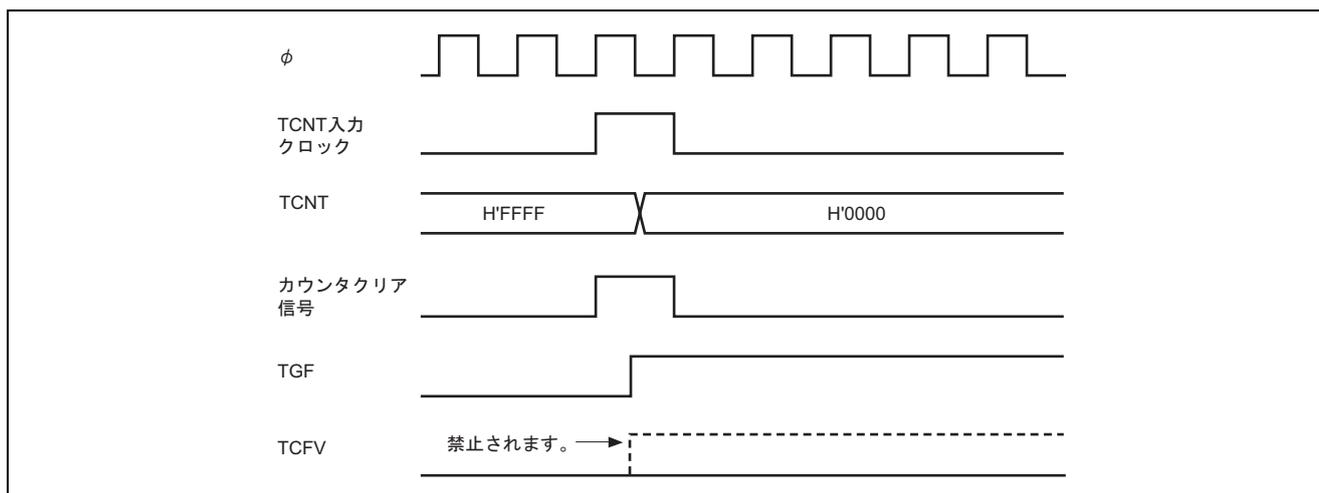


図 11.53 オーバフローとカウンタクリアの競合

11.10.12 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 11.54 に示します。

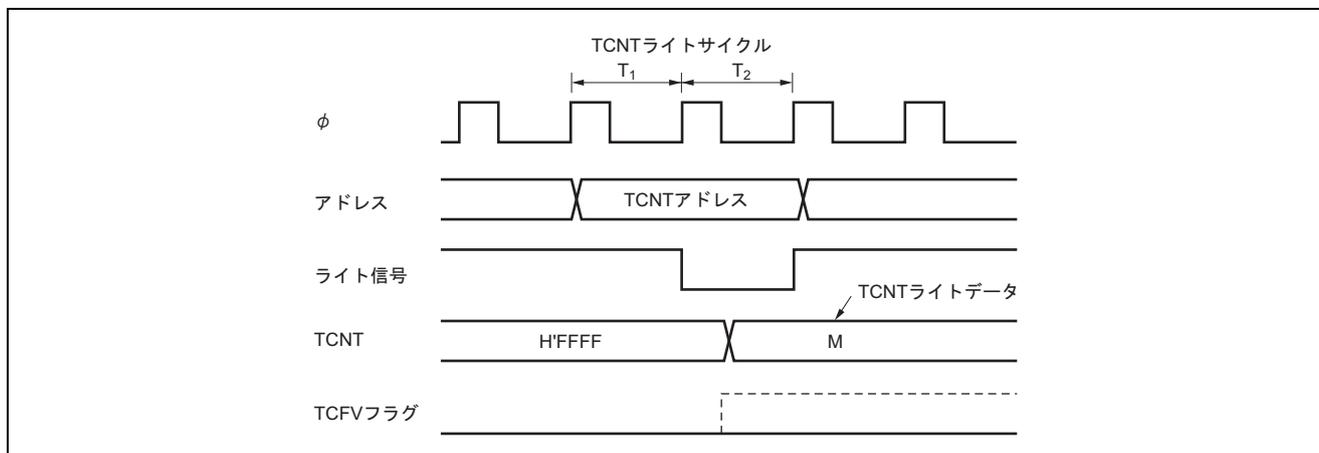


図 11.54 TCNT のライトとオーバフローの競合

11.10.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力、TCLKE 入力と TIOCC6 入出力、TCLKF 入力と TIOCD6 入出力、TCLKG 入力と TIOCB7 入出力、TCLKH 入力と TIOCB8 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

11.10.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップ状態にすると、CPU の割り込み要因、DMAC または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップ状態としてください。

12. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 12.1 に示します。

12.1 特長

- 出力データ16ビット
- 4系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC)、DMAコントローラ (DMAC) との連携動作可能
- 反転出力の指定可能
- モジュールストップ状態への設定可能

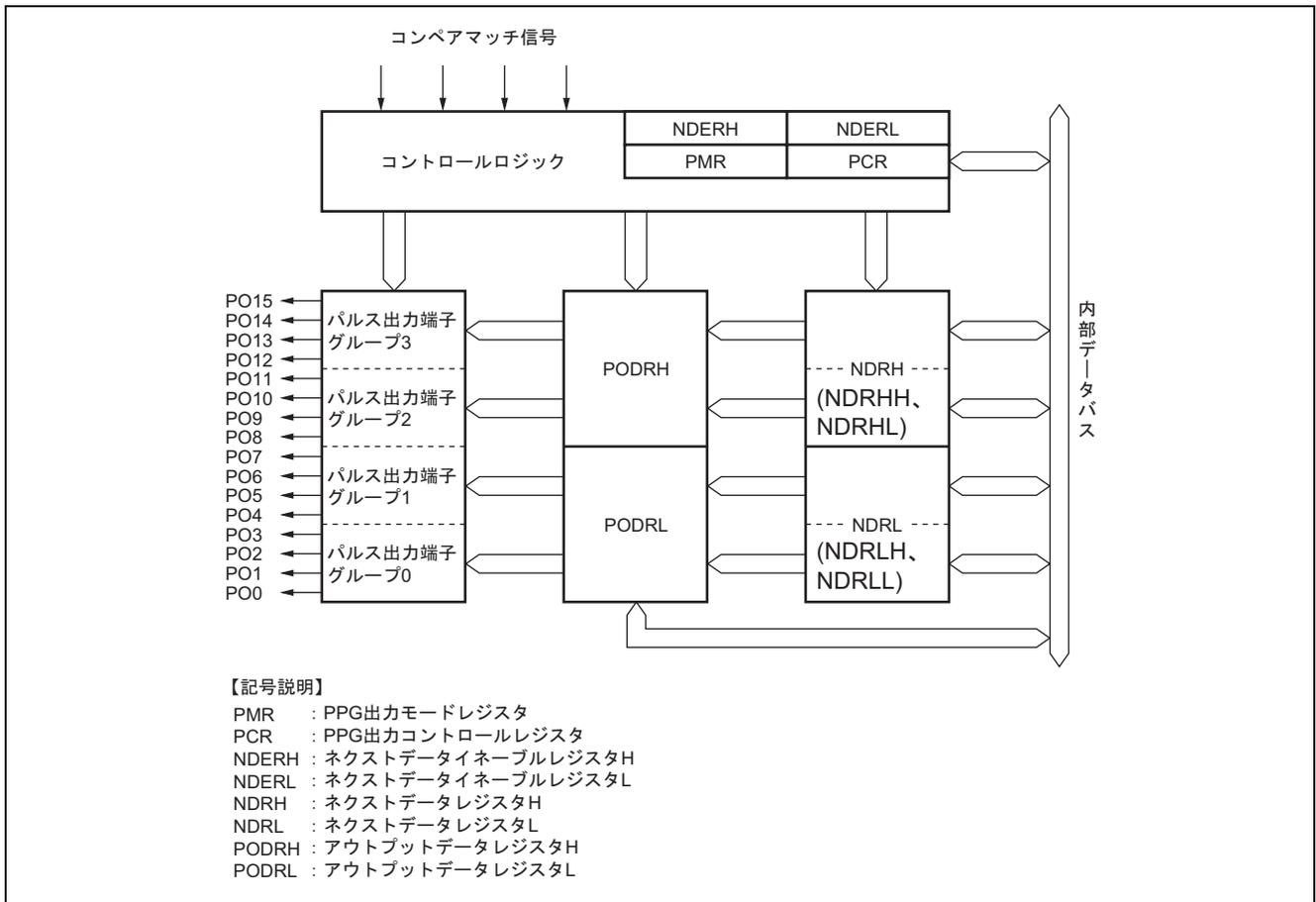


図 12.1 PPG のブロック図

12.2 入出力端子

PPG には表 12.1 の入出力端子があります。

表 12.1 PPG の入出力端子

端子名	入出力	機能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	
PO7	出力	パルス出力グループ 1 のパルス出力
PO6	出力	
PO5	出力	
PO4	出力	
PO3	出力	パルス出力グループ 0 のパルス出力
PO2	出力	
PO1	出力	
PO0	出力	

12.3 レジスタの説明

PPG には以下のレジスタがあります。

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

12.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。PPG によってパルスを出力するためにはこのほかに対応する DDR を 1 にセットする必要があります。

- NDERH

ビット	ビット名	初期値	R/W	説明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH ヘデータが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

- NDERL

ビット	ビット名	初期値	R/W	説明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘデータが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

12.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

- PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

- PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

12.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

- NDRH (NDRHH、NDRHL) *

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- NDRHH*

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

- NDRHL*

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

- NDRL (NDRLH、NDRLL) *

パルス出力グループ 0、1 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

- NDRLH*

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

- NDRLL*

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

【注】 * PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは NDRHL (H'FF4E)、グループ 3 に対応する NDRH のアドレスは NDRHH (H'FF4C) となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは NDRLL (H'FF4F)、グループ 1 に対する NDRL のアドレスは NDRLH (H'FF4D) となります。

12.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「12.3.5 PPG 出力モードレジスタ (PMR)」をあわせて参照してください。

ビット	ビット名	初期値	R/W	説明
7 6	G3CMS1 G3CMS0	1 1	R/W R/W	グループ3コンペアマッチセレクト1、0 パルス出力グループ3の出力トリガを選択します。 00: TPUチャンネル0のコンペアマッチ 01: TPUチャンネル1のコンペアマッチ 10: TPUチャンネル2のコンペアマッチ 11: TPUチャンネル3のコンペアマッチ
5 4	G2CMS1 G2CMS0	1 1	R/W R/W	グループ2コンペアマッチセレクト1、0 パルス出力グループ2の出力トリガを選択します。 00: TPUチャンネル0のコンペアマッチ 01: TPUチャンネル1のコンペアマッチ 10: TPUチャンネル2のコンペアマッチ 11: TPUチャンネル3のコンペアマッチ
3 2	G1CMS1 G1CMS0	1 1	R/W R/W	グループ1コンペアマッチセレクト1、0 パルス出力グループ1の出力トリガを選択します。 00: TPUチャンネル0のコンペアマッチ 01: TPUチャンネル1のコンペアマッチ 10: TPUチャンネル2のコンペアマッチ 11: TPUチャンネル3のコンペアマッチ
1 0	G0CMS1 G0CMS0	1 1	R/W R/W	グループ0コンペアマッチセレクト1、0 パルス出力グループ0の出力トリガを選択します。 00: TPUチャンネル0のコンペアマッチ 01: TPUチャンネル1のコンペアマッチ 10: TPUチャンネル2のコンペアマッチ 11: TPUチャンネル3のコンペアマッチ

12.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「12.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ 1 インバート パルス出力グループ 1 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ 0 インバート パルス出力グループ 0 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

ビット	ビット名	初期値	R/W	説明
1	G1NOV	0	R/W	グループ1 ノンオーバーラップ パルス出力グループ1 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
0	G0NOV	0	R/W	グループ0 ノンオーバーラップ パルス出力グループ0 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

12.4 動作説明

PPG 概要図を図 12.2 に示します。PPG は、P1DDR、P2DDR、NDR の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

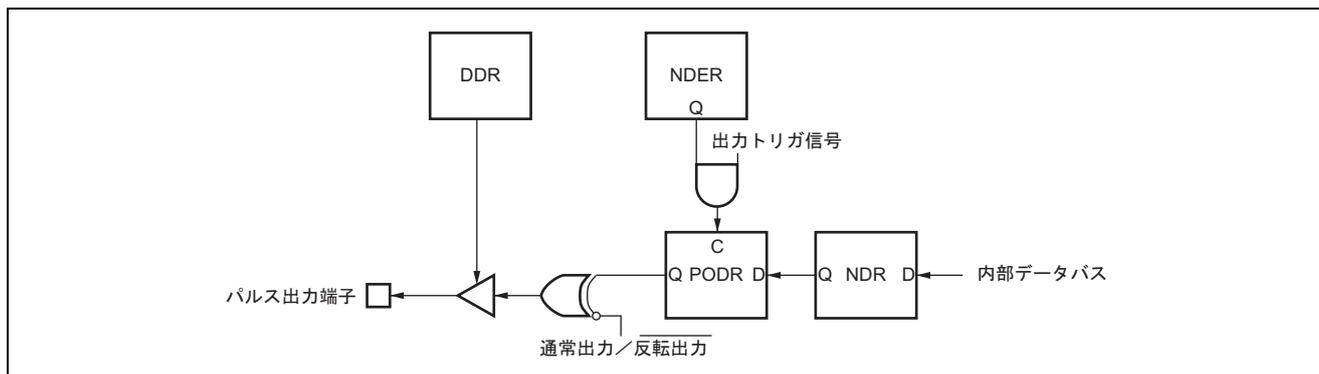


図 12.2 PPG 概要図

12.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 12.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

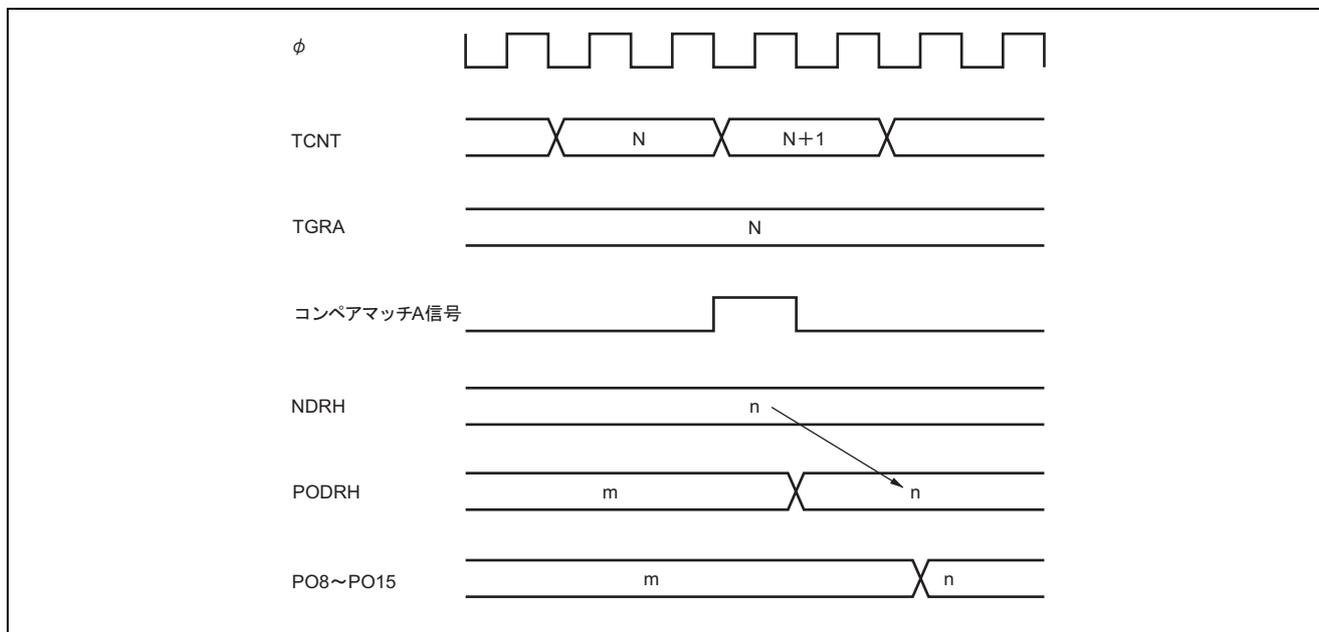


図 12.3 NDR の内容が転送・出力されるタイミング例

12.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 12.4 に示します。

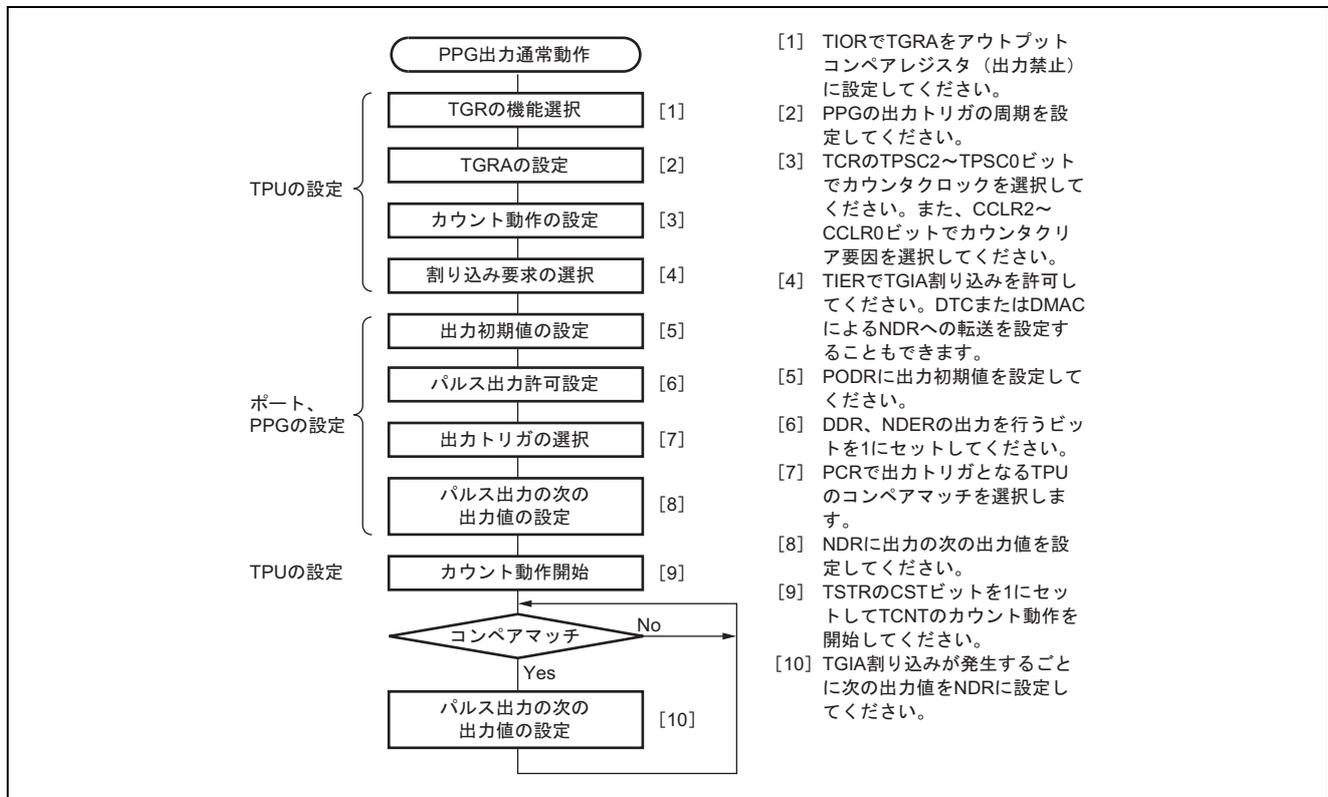


図 12.4 パルス出力通常動作の設定手順例

12.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図12.5に示します。

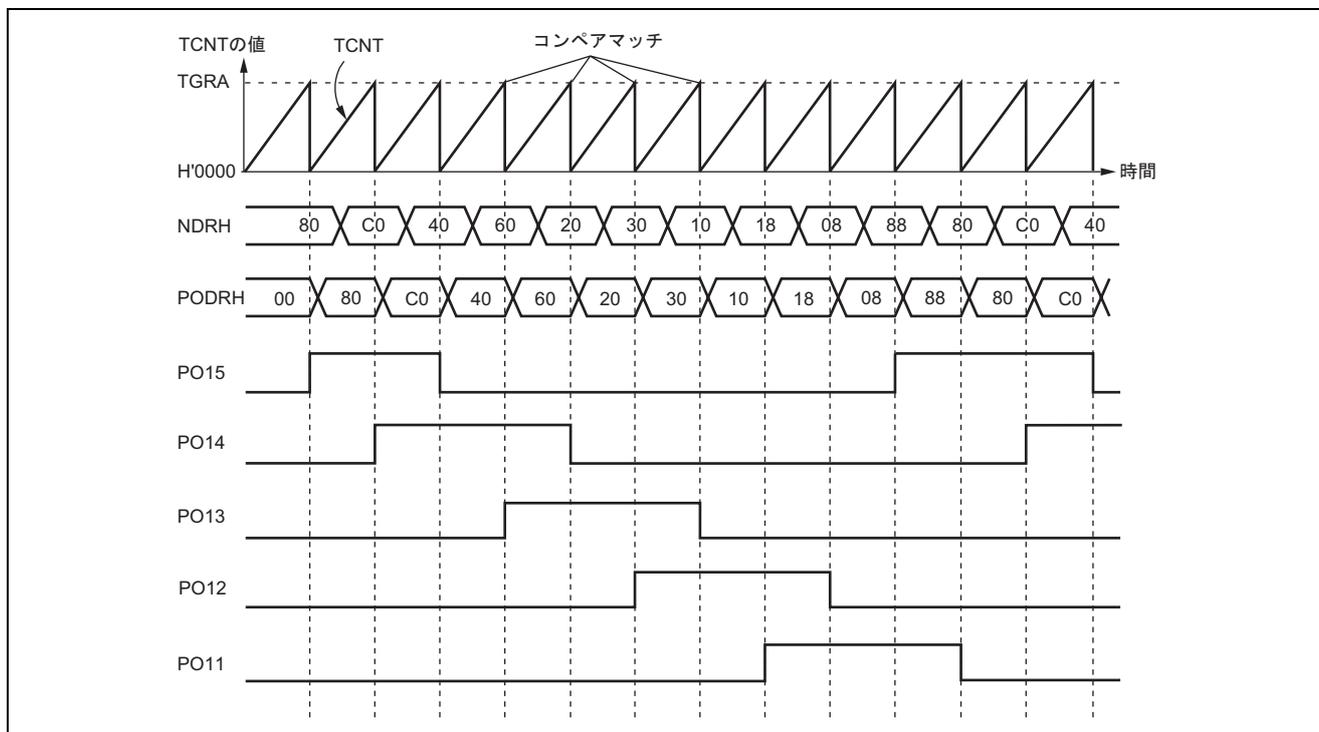


図 12.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- P1DDR、NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

12.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時のNDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 12.6 に示します。

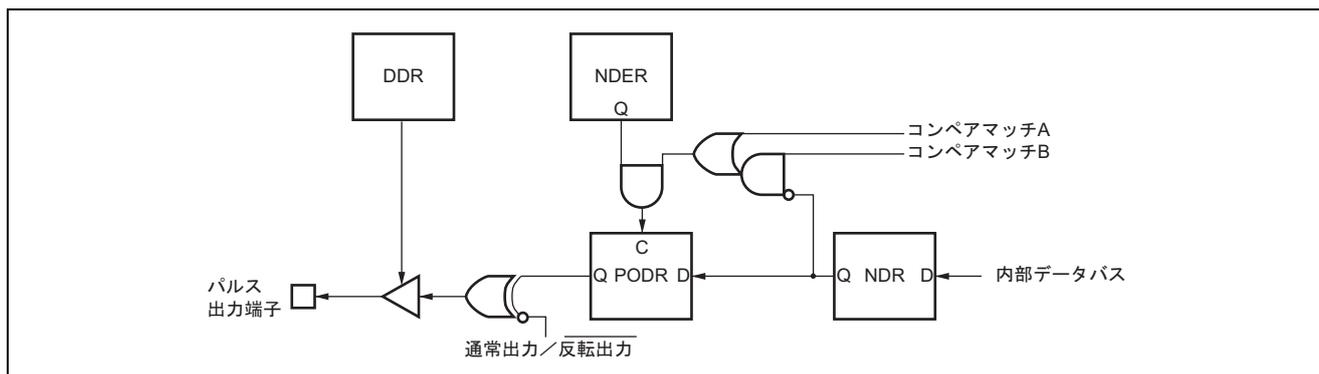


図 12.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバーラップ期間）の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 12.7 に示します。

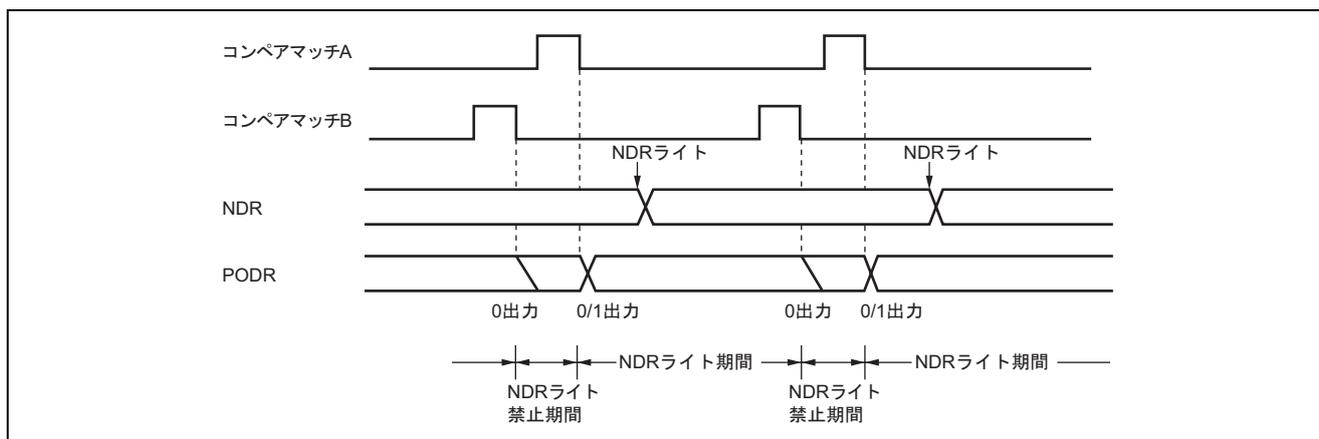


図 12.7 ノンオーバーラップ動作と NDR ライトタイミング

12.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 12.8 に示します。

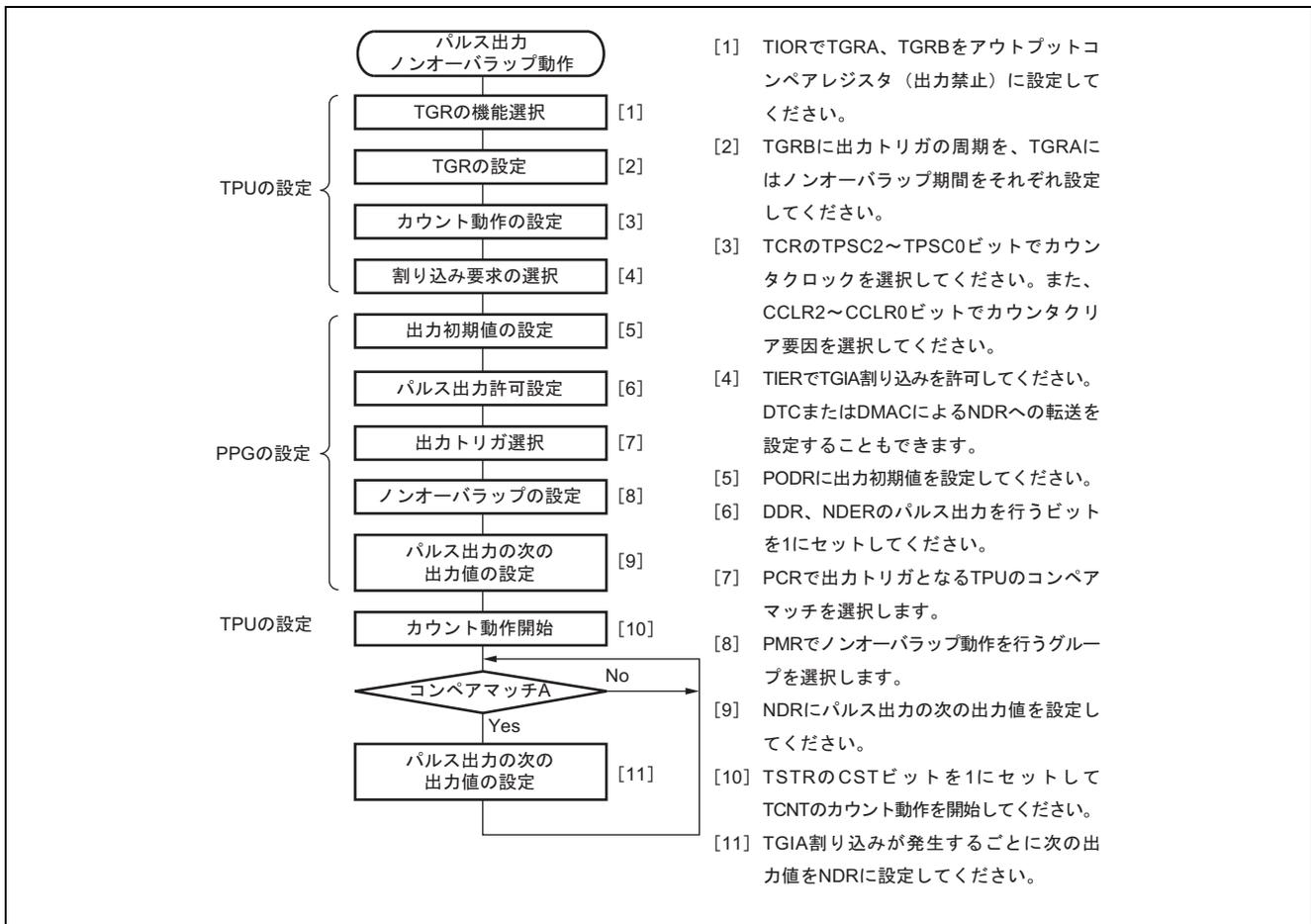


図 12.8 パルス出力ノンオーバーラップ動作の設定手順例

12.4.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図12.9に示します。

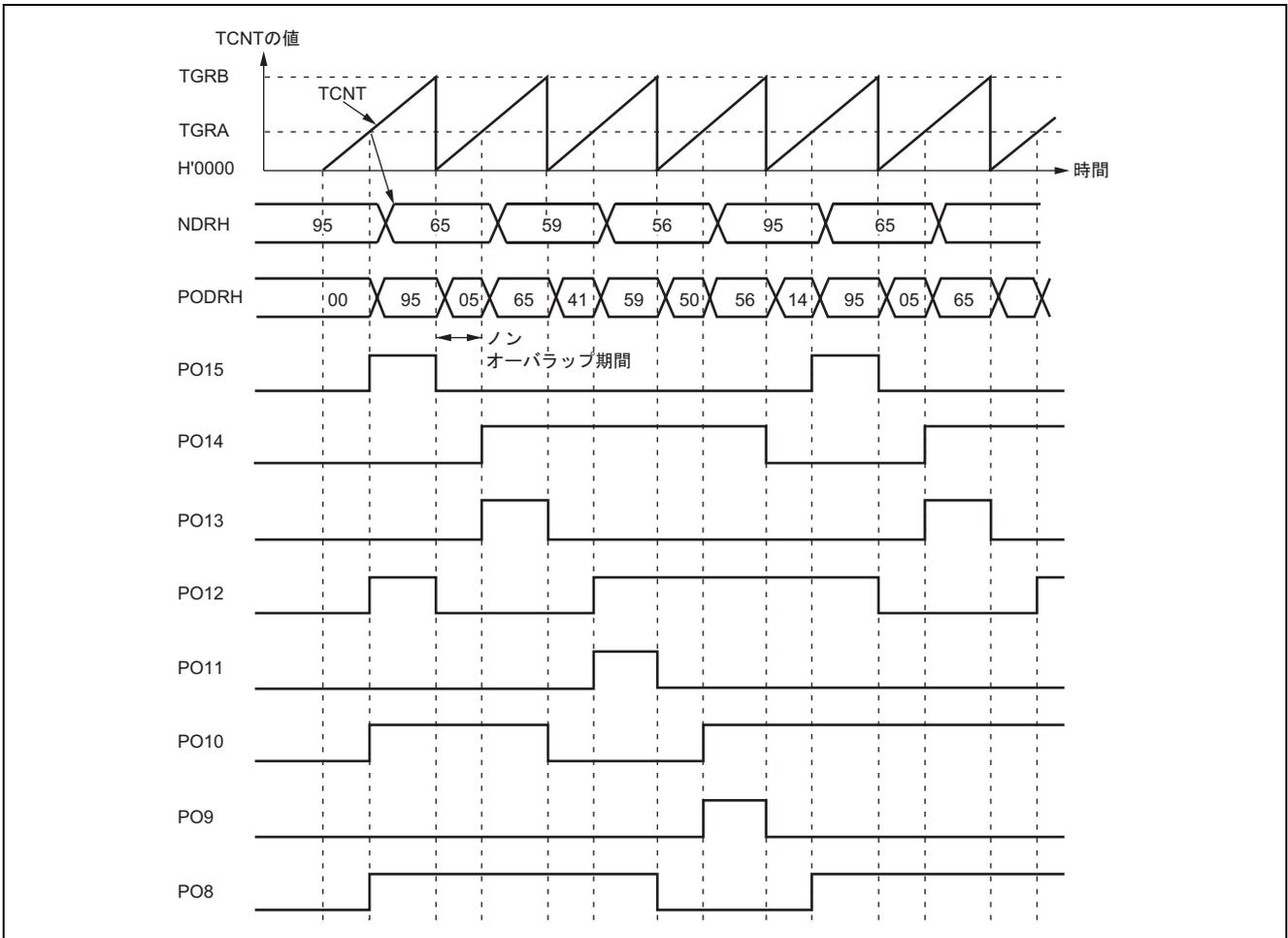


図 12.9 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

1. 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
2. P1DDR、NDERHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。
3. TPU当該チャンネルの動作を開始すると、TGRBのコンペアマッチで1出力→0出力の変化、TGRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はTGRAの設定値分遅延することになります）。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
4. 以後、TGIA割り込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

12.4.7 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 12.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 12.10 に示します。

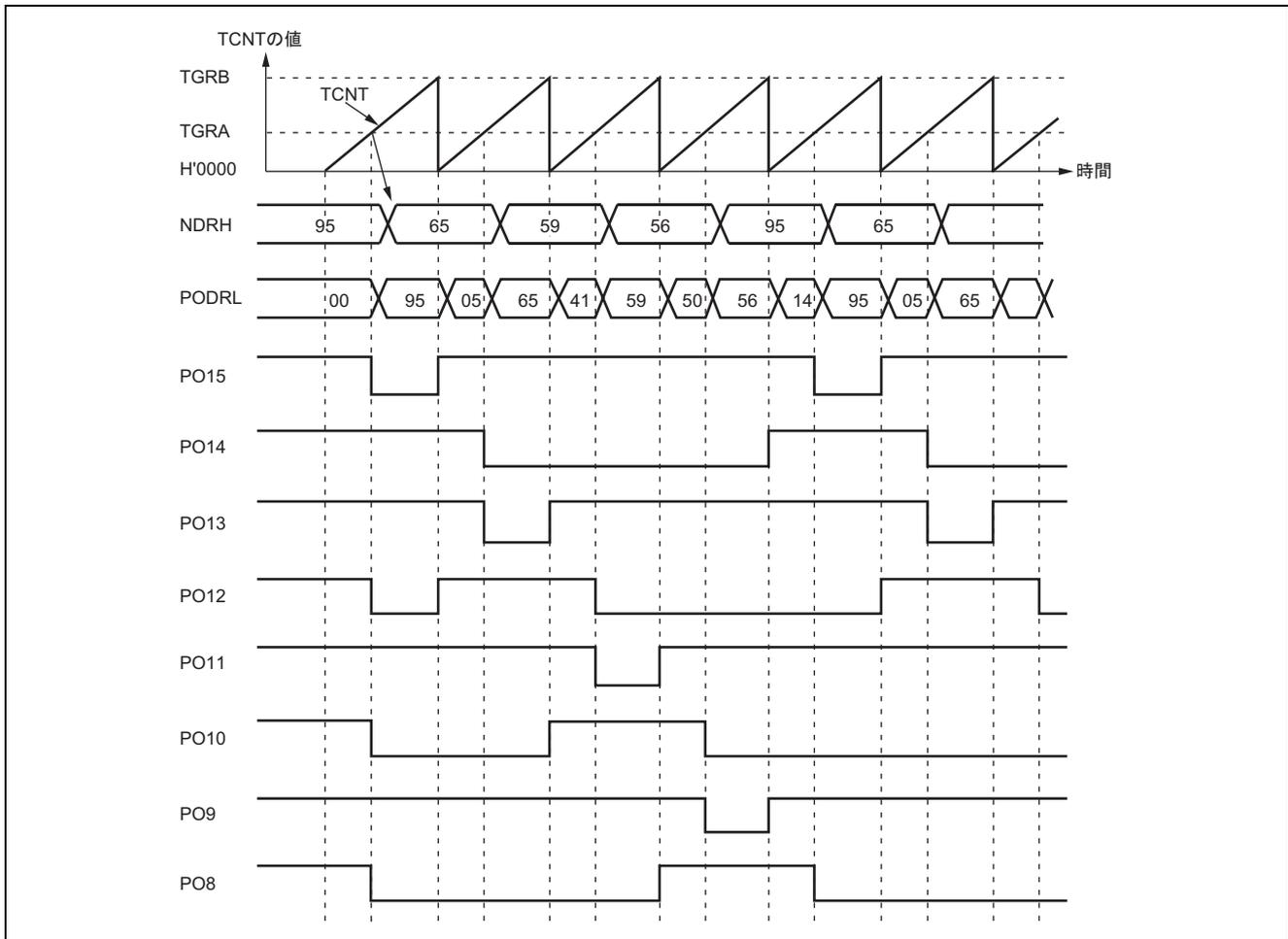


図 12.10 パルス反転出力例

12.4.8 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 12.11 に示します。

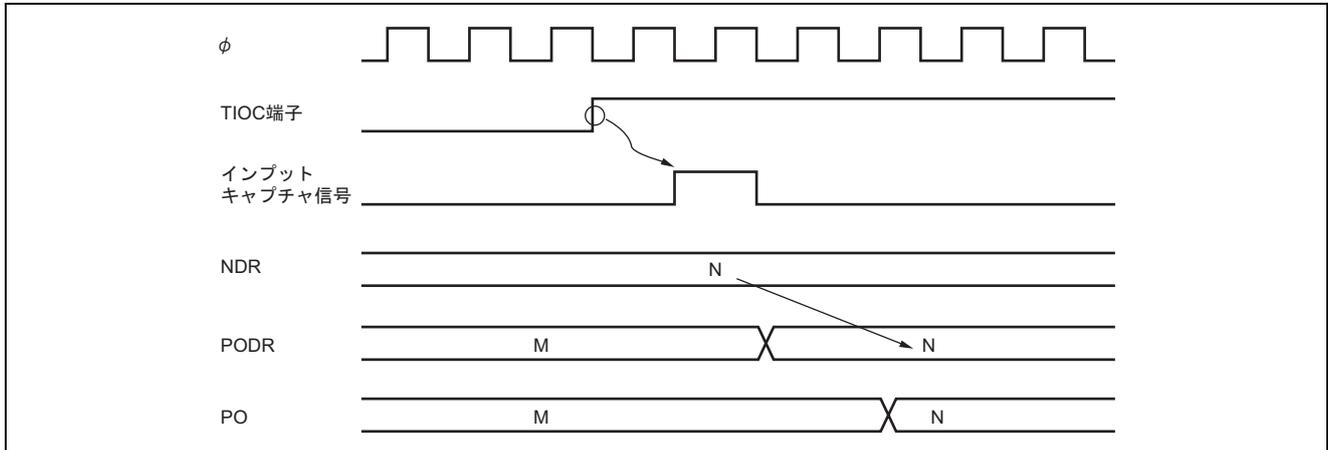


図 12.11 インพุットキャプチャによるパルス出力例

12.5 使用上の注意事項

12.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作禁止/許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「第 23 章 低消費電力状態」を参照してください。

12.5.2 パルス出力端子の動作

PO0~PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

13. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 2 チャネルの 8 ビットタイマを内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

13.1 特長

- 7種類のクロックを選択可能
6種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/1024$ 、 $\phi/8192$) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチ A、コンペアマッチ B、または外部リセット信号 (立ち上がりエッジ、立ち上がり/立ち下がり両エッジ、立ち下がりエッジ、ローレベル、ハイレベル) のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な 2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。
- 2チャネルのカスケード接続が可能 (TMR_0、TMR_1)
TMR_0 を上位、TMR_1 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
TMR_1 は TMR_0 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- 複数の割り込み要因
コンペアマッチ A、コンペアマッチ B、オーバフローの 3種類があります。
- A/D変換器の変換開始トリガを生成可能

8ビットタイマ (TMR_0、TMR_1) のブロック図を図 13.1 に示します。

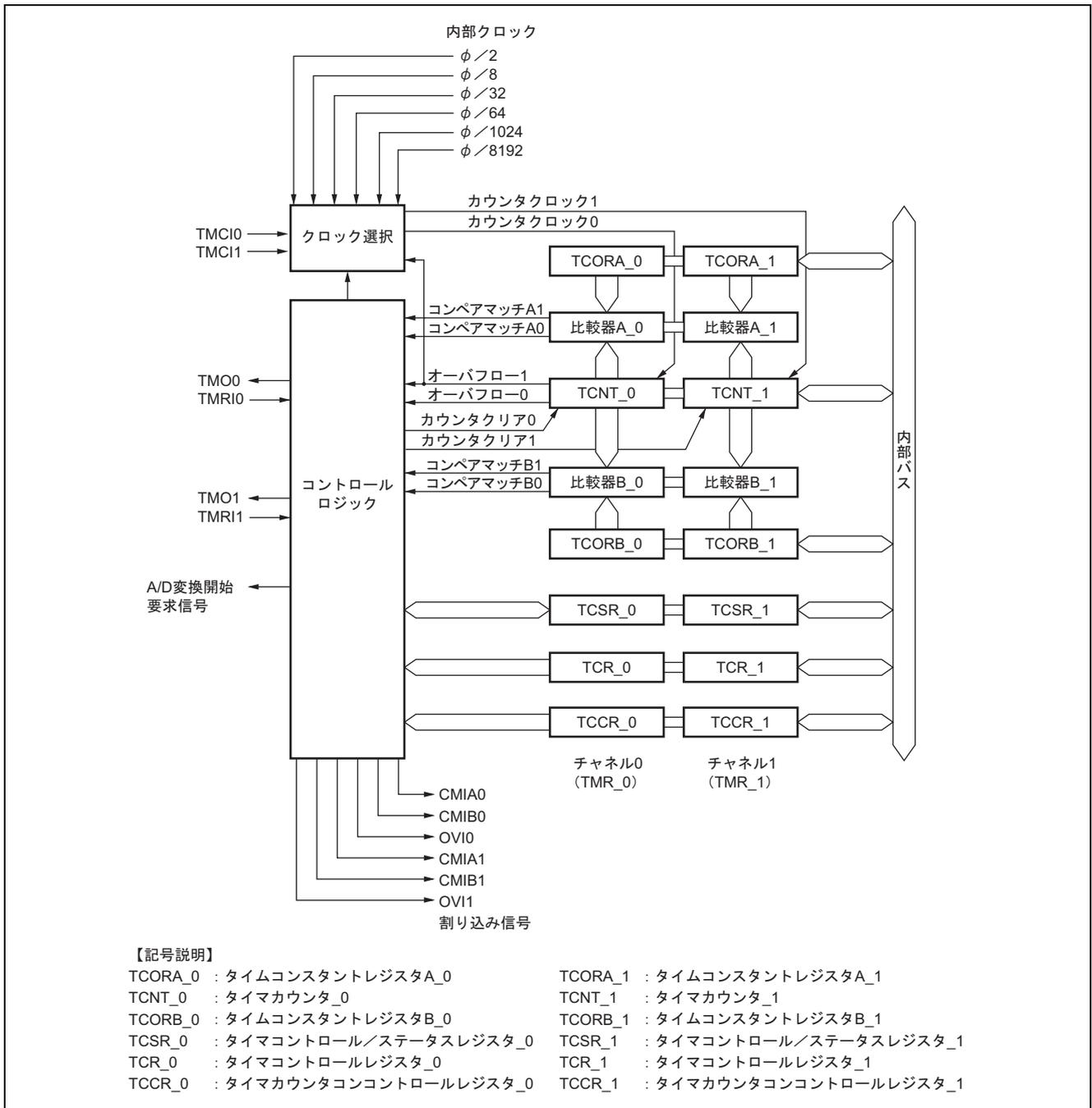


図 13.1 8ビットタイマのブロック図

13.2 入出力端子

TMR の端子構成を表 13.1 に示します。

表 13.1 端子構成

チャンネル	名称	略称	入出力	機能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi1	入力	カウンタ外部リセット入力

13.3 レジスタの説明

TMR には以下のレジスタがあります。モジュールストップコントロールレジスタについては「23.1.2 モジュールストップコントロールレジスタ H、L (MSTPCR_H、MSTPCR_L)」を参照してください。

- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)
- タイマカウンタコントロールレジスタ_0 (TCCR_0)
- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)
- タイマカウンタコントロールレジスタ_1 (TCCR_1)

13.3.1 タイマカウンタ (TCNT)

TCNT は 8 ビットのアップカウンタです。TCNT_0、TCNT_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCR の CKS2~CKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットにより選択します。また、TCNT がオーバフロー (H'FF →H'00) すると、TCSR の OVF が 1 にセットされます。TCNT の初期値は H'00 です。

13.3.2 タイムコンスタントレジスタ A (TCORA)

TCORA は 8 ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T₂ ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ A) と TCSR の OS1、OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。

13.3.3 タイムコンスタントレジスタ B (TCORB)

TCORB は 8 ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1 を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの T₂ ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ B) と TCSR の OS3、OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。

13.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0
3	CCLR0	0	R/W	CCLR1、CCLR0 は TCCR の TMRIS ビットと組み合わせて、TCNT のクリア条件を指定します。表 13.2 を参照してください。
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	CKS2~CKS0 ビットは TCCR の ICKS1、ICKS0 ビットと組み合わせて TCNT
0	CKS0	0	R/W	に入力するクロックとカウント条件を選択します。表 13.3 を参照してください。

13.3.5 タイマカウンタコントロールレジスタ (TCCR)

TCCR は TCNT の内部クロックの選択、外部リセット入力の制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	TMRIS	0	R/W	タイマリセット入力セレクト TMRIS は、TCR の CCLR1、CCLR0 ビットと組み合わせて、外部リセット入力を選択します。表 13.2 を参照してください
2	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	ICKS1	0	R/W	インターナルクロックセレクト 1、0
0	ICKS0	0	R/W	ICKS1、ICKS0 ビットは TCR の CKS2~CKS0 ビットと組み合わせて内部クロックを選択します。表 13.3 を参照してください。

表 13.2 TCNT に入力するリセットとクリア条件

TCR		TCCR	説明
ビット 1	ビット 0	ビット 3	
CCLR1	CCLR0	TMRIS	
0	0	0	クリアを禁止
0	1	0	コンペアマッチ A によりクリア
1	0	0	コンペアマッチ B によりクリア
1	1	0	外部リセット入力の立ち上がりエッジによりクリア
0	0	1	外部リセット入力の立ち上がり/立ち下がり両エッジによりクリア
0	1	1	外部リセット入力の立ち下がりエッジによりクリア
1	0	1	外部リセット入力のロウレベルによりクリア
1	1	1	外部リセット入力のハイレベルによりクリア

表 13.3 TCNTに入力するクロックとカウント条件

チャンネル	TCR			TCCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック $\phi/8$ 立ち上がりエッジでカウント
				0	1	内部クロック $\phi/2$ 立ち上がりエッジでカウント
				1	0	内部クロック $\phi/8$ 立ち下がりエッジでカウント
				1	1	内部クロック $\phi/2$ 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック $\phi/64$ 立ち上がりエッジでカウント
				0	1	内部クロック $\phi/32$ 立ち上がりエッジでカウント
				1	0	内部クロック $\phi/64$ 立ち下がりエッジでカウント
				1	1	内部クロック $\phi/32$ 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック $\phi/8192$ 立ち上がりエッジでカウント
				0	1	内部クロック $\phi/1024$ 立ち上がりエッジでカウント
				1	0	内部クロック $\phi/8192$ 立ち下がりエッジでカウント
				1	1	内部クロック $\phi/1024$ 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント*
	TMR_1	0	0	0	—	—
0		0	1	0	0	内部クロック $\phi/8$ 立ち上がりエッジでカウント
				0	1	内部クロック $\phi/2$ 立ち上がりエッジでカウント
				1	0	内部クロック $\phi/8$ 立ち下がりエッジでカウント
				1	1	内部クロック $\phi/2$ 立ち下がりエッジでカウント
0		1	0	0	0	内部クロック $\phi/64$ 立ち上がりエッジでカウント
				0	1	内部クロック $\phi/32$ 立ち上がりエッジでカウント
				1	0	内部クロック $\phi/64$ 立ち下がりエッジでカウント
				1	1	内部クロック $\phi/32$ 立ち下がりエッジでカウント
0		1	1	0	0	内部クロック $\phi/8192$ 立ち上がりエッジでカウント
				0	1	内部クロック $\phi/1024$ 立ち上がりエッジでカウント
				1	0	内部クロック $\phi/8192$ 立ち下がりエッジでカウント
				1	1	内部クロック $\phi/1024$ 立ち下がりエッジでカウント
1		0	0	—	—	TCNT_0 のコンペアマッチ A でカウント*
共通		1	0	1	—	—
	1	1	0	—	—	外部クロックの立ち下がりエッジでカウント
	1	1	1	—	—	外部クロックの立ち上がり／立ち下がり両エッジでカウント

【注】 * TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

13.3.6 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R(W)*	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウットプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
2	OS2	0	R/W	
1	OS1	0	R/W	アウットプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
0	OS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

13.4 動作説明

13.4.1 パルス出力

任意のデューティパルスを出力させる例を図 13.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

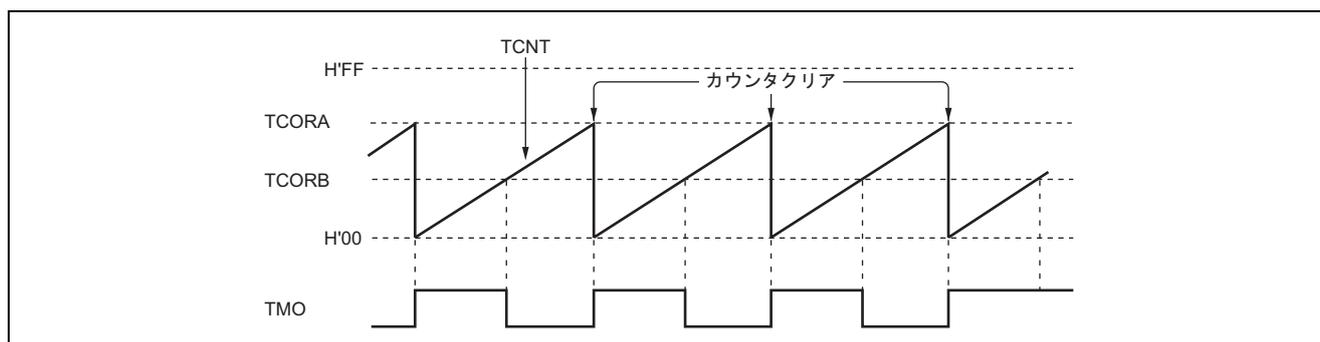


図 13.2 パルス出力例

13.4.2 リセット入力

TMRI 入力に対する任意の遅延時間のパルスを出力させる例を図 13.3 に示します。

1. TMRI入力のハイレベルでTCNTがクリアされるように、TCRのCCLR0ビットを1にセットし、TCCRのTMRISビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により TMRI 入力からの遅延が TCORA、パルス幅が (TCORB-TCORA) の波形を出力できます。

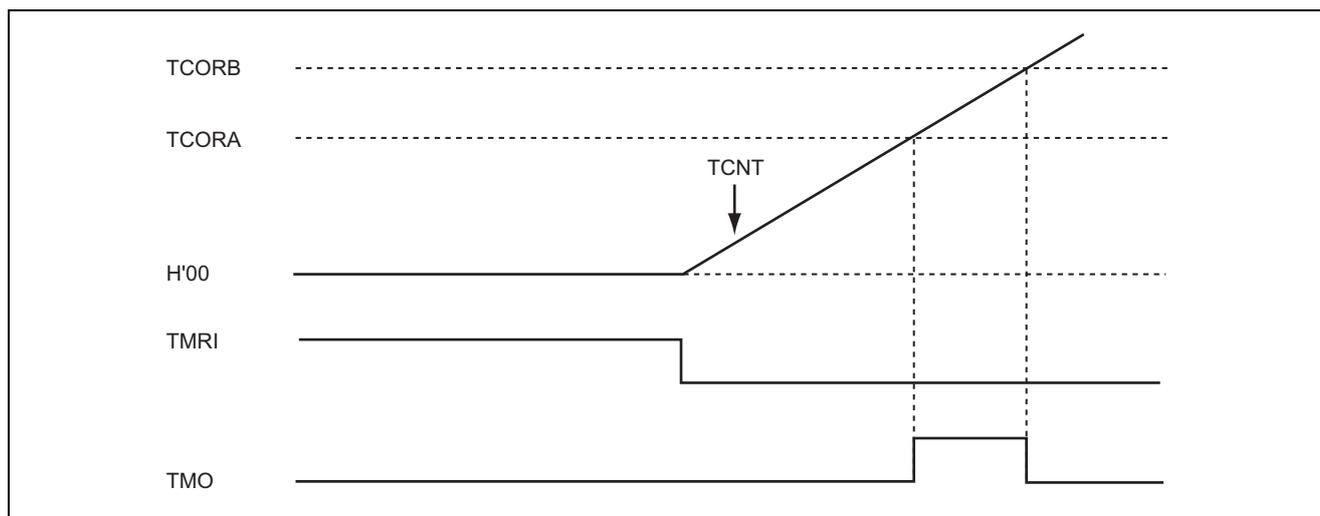


図 13.3 リセット入力例

13.5 動作タイミング

13.5.1 TCNTのカウントタイミング

内部クロック動作の場合のTCNTのカウントタイミングを図13.4に示します。また、外部クロック動作の場合のTCNTのカウントタイミングを図13.5に示します。なお外部クロックのパルス幅は、単エッジの場合は1.5ステート以上、両エッジの場合は2.5ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

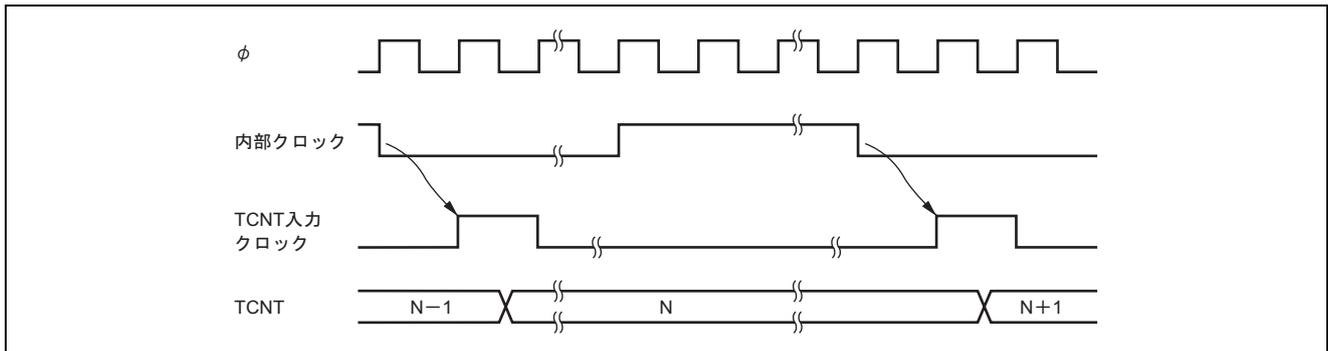


図 13.4 内部クロック動作時のカウントタイミング

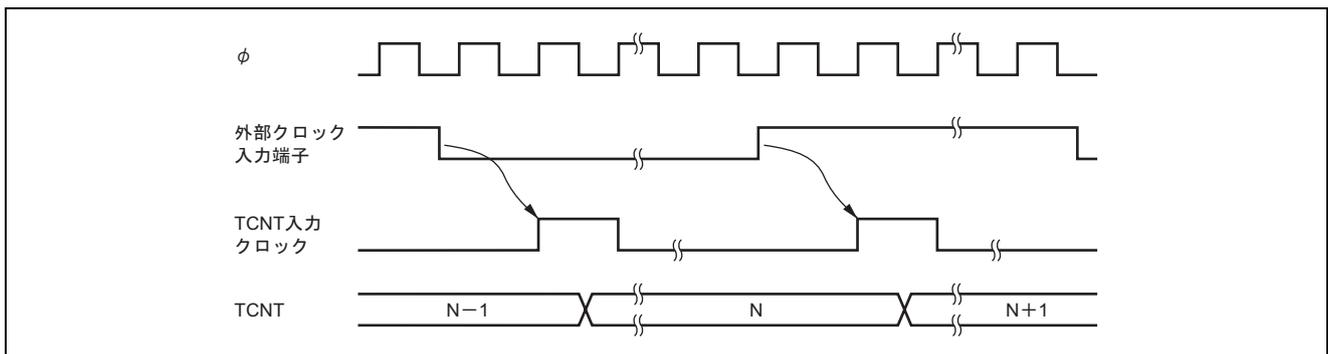


図 13.5 外部クロック動作時のカウントタイミング

13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 13.6 に示します。

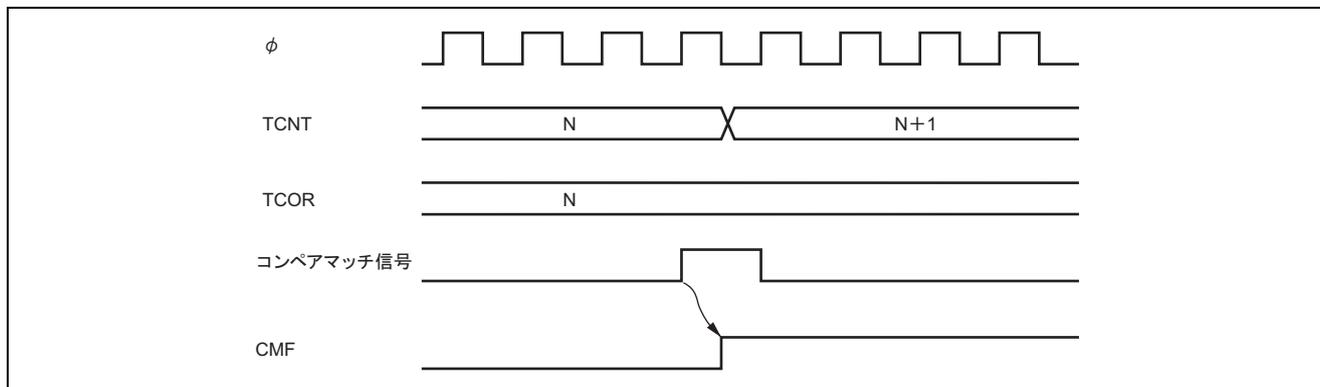


図 13.6 コンペアマッチ時の CMF フラグのセットタイミング

13.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 13.7 に示します。

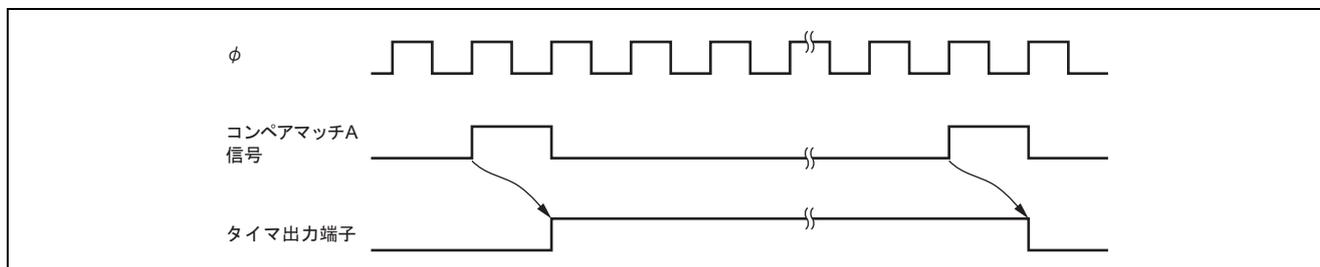


図 13.7 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

13.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビット、TCCR の TMRIS ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 13.8 に示します。

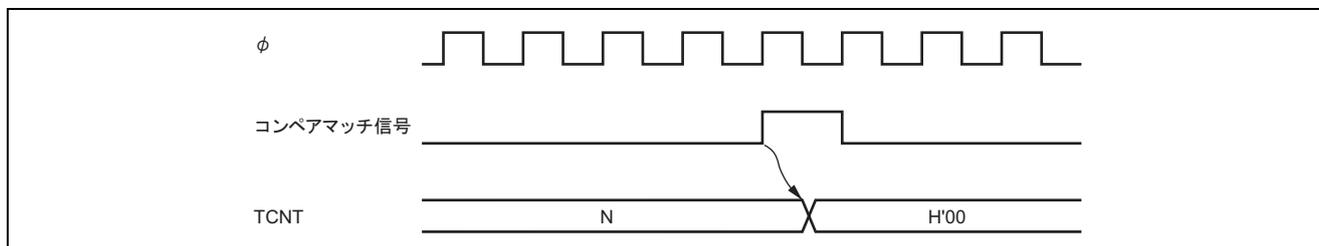


図 13.8 コンペアマッチによるカウンタクリアタイミング

13.5.5 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビット、TCCR の TMRIS ビットの選択により外部リセット入力の立ち上がり立ち下がりエッジまたはロウ/ハイレベルでクリアされます。クリアまでのパルス幅は単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 13.9 に示します。

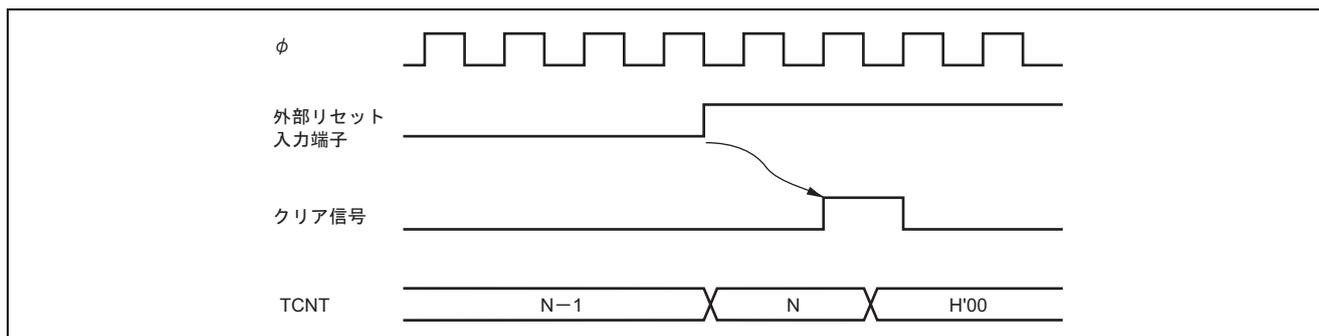


図 13.9 外部リセット入力によるクリアタイミング

13.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 13.10 に示します。

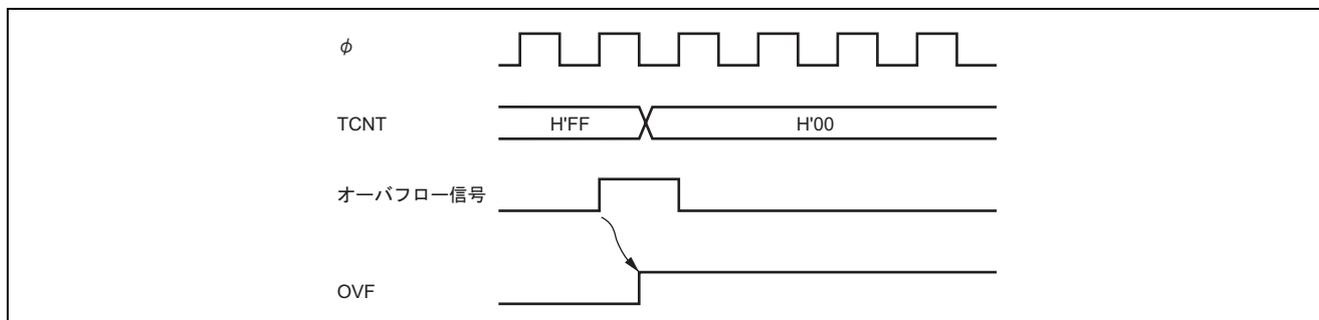


図 13.10 OVF フラグのセットタイミング

13.6 カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントするコンペアマッチカウントモードにすることができます。

13.6.1 16ビットカウントモード

TCR_0のCKS2~CKS0ビットがB'100のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

13.6.2 コンペアマッチカウントモード

TCR_1のCKS2~CKS0ビットがB'100のとき、TCNT_1はチャンネル0のコンペアマッチAをカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

13.7 割り込み要因

13.7.1 割り込み要因と DTC 起動

8 ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。表 13.4 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 13.4 8 ビットタイマ TMR_0、TMR_1 の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	高 ↑ ↓ 低
CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
OVI0	TCNT_0 のオーバフロー	OVF	不可	
CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	高 ↑ ↓ 低
CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
OVI1	TCNT_1 のオーバフロー	OVF	不可	

13.7.2 A/D 変換器の起動

TMR_0 のコンペアマッチ A により、A/D 変換器を起動することができます。TMR_0 のコンペアマッチ A の発生により TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

13.8 使用上の注意事項

13.8.1 TCNTのライトとカウンタクリアの競合

図 13.11 のように TCNT のライトサイクル中の T₂ ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

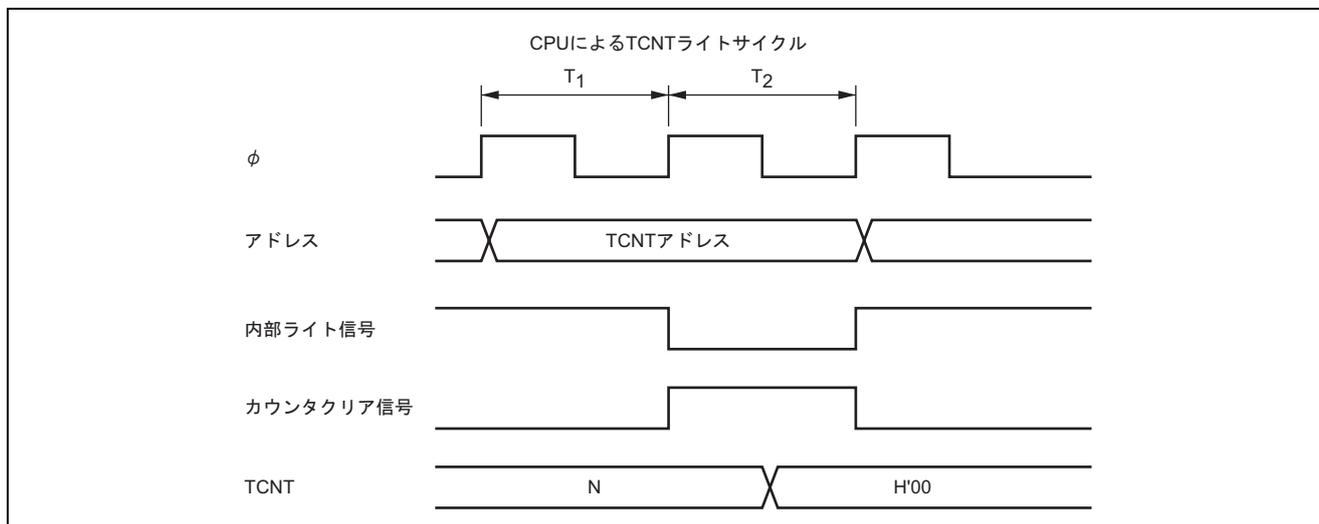


図 13.11 TCNTのライトとクリアの競合

13.8.2 TCNTのライトとカウントアップの競合

図 13.12 のように TCNT のライトサイクル中の T₂ ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

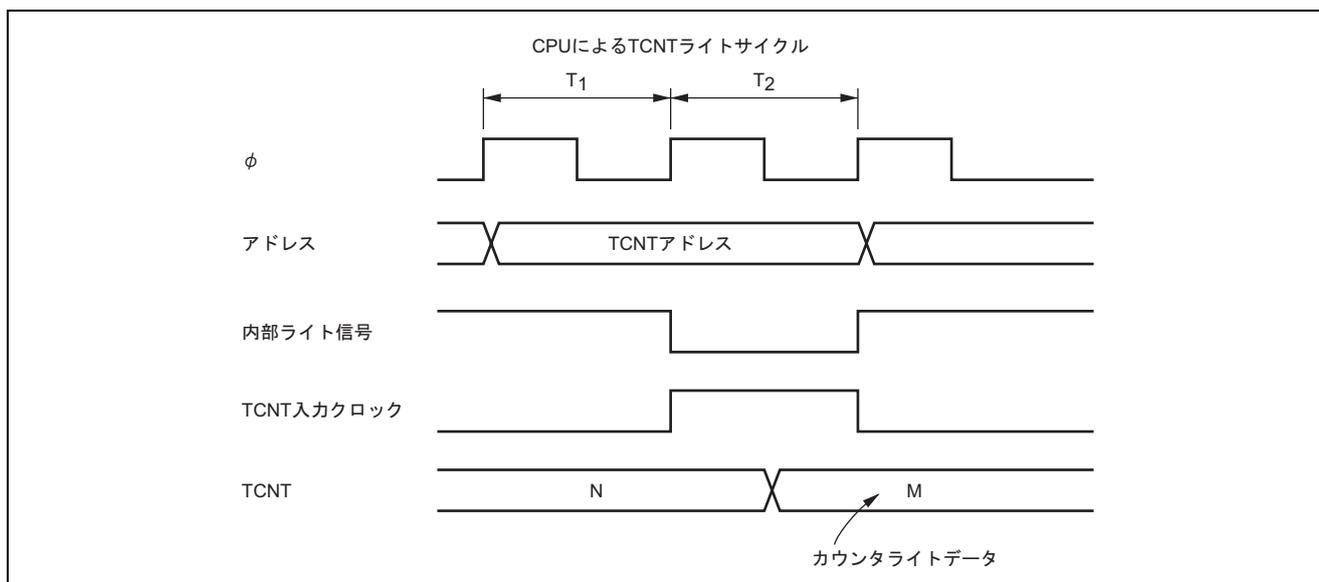


図 13.12 TCNTのライトとカウントアップの競合

13.8.3 TCOR のライトとコンペアマッチの競合

図 13.13 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

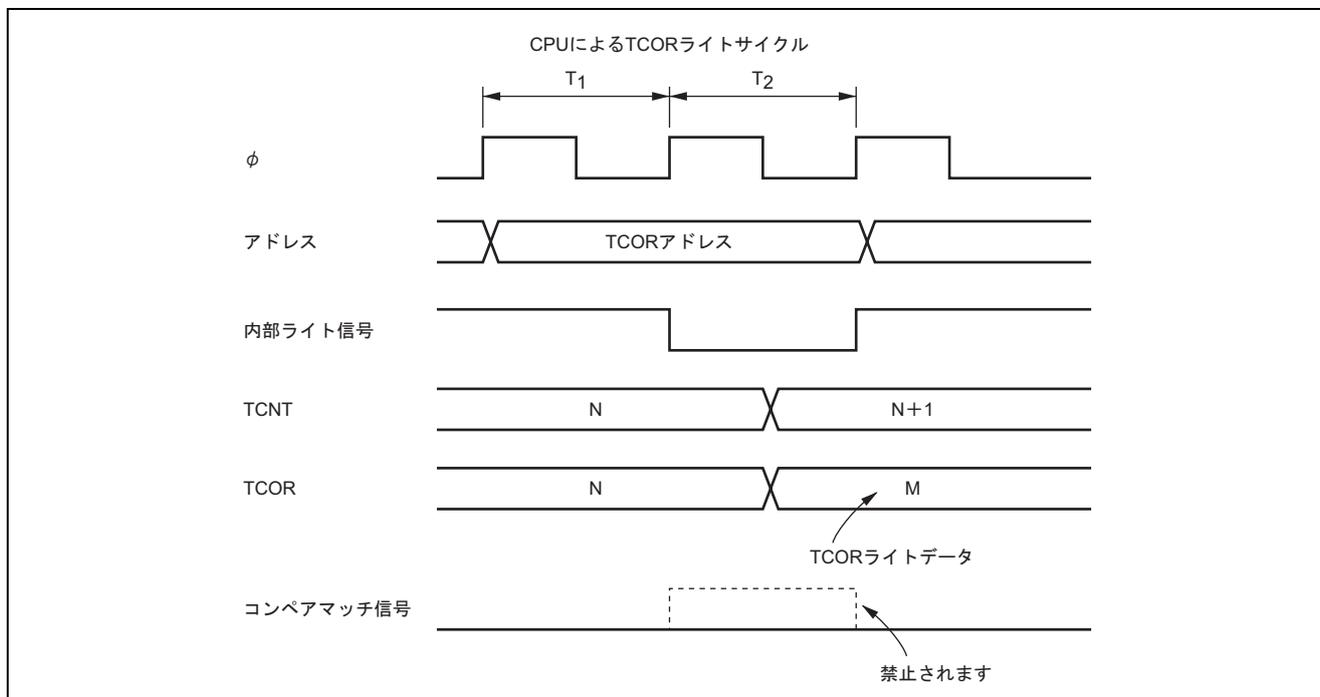


図 13.13 TCOR のライトとコンペアマッチの競合

13.8.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 13.5 に示すタイマ出力の優先順位に従って動作します。

表 13.5 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ ↓ 低
1 出力	
0 出力	
変化しない	

13.8.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0、ICKS1、ICKS0 ビットの書き換え) と TCNT 動作の関係を表 13.6 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち上がりエッジまたは立ち下がりエッジで検出しています。そのため、たとえば立ち下がりエッジを選択している場合、表 13.6 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。立ち上がりエッジを選択している場合も同様です。

また、内部クロックの立ち上がりエッジと立ち下がりエッジを切り替えるとき、および内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 13.6 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット、 ICKS1、ICKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビットビット、 ICKS1、ICKS0 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル* ³ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

- 【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。
- *2 停止→High レベルの場合を含みます。
- *3 High レベル→停止を含みます。
- *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

13.8.6 カスケード接続時のモード設定

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1 の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

13.8.7 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止/許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「第 23 章 低消費電力状態」を参照してください。

13.8.8 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態にすると、CPU の割り込み要因、または DTC、DMAC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップ状態にしてください。

14. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 14.1 に示します。

14.1 特長

- 8種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力、このとき同時に本LSI内部をリセットするかしないかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

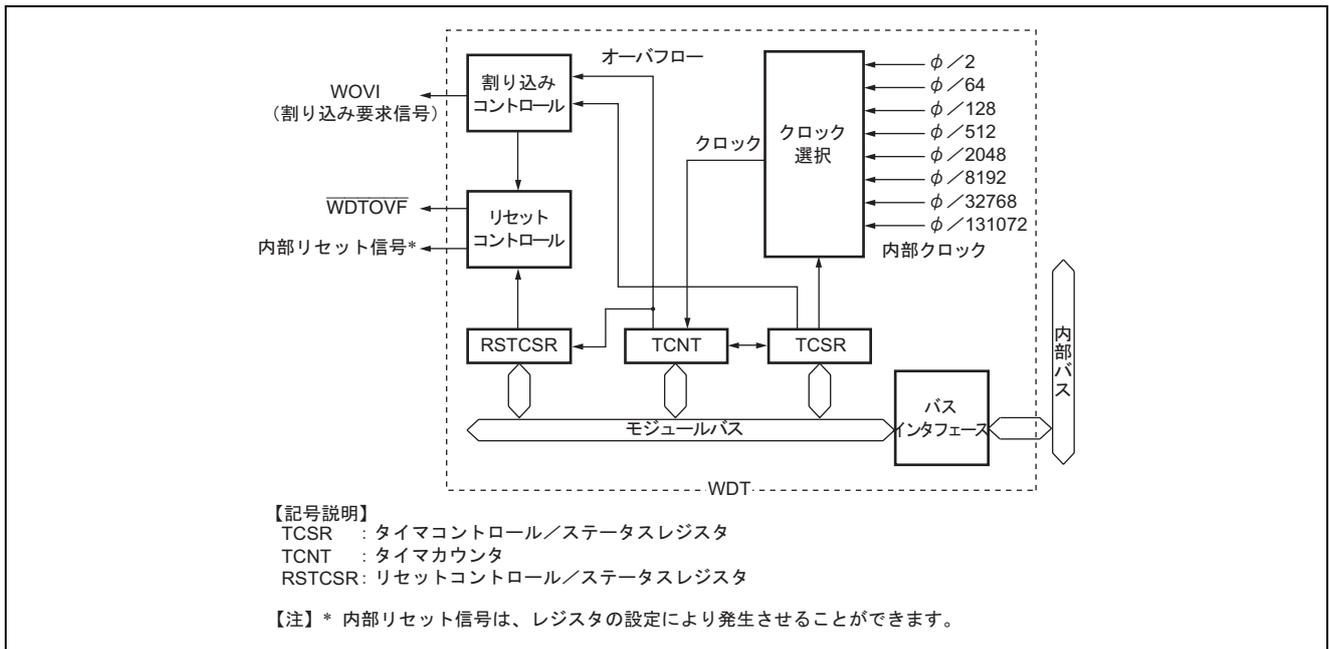


図 14.1 WDT のブロック図

14.2 入出力端子

WDT の端子構成を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
ウォッチドッグタイマオーバーフロー	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマモード時のカウンタ オーバーフロー信号出力

14.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「14.6.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

14.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

14.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>インターバルタイマモードで TCNT がオーバフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <p>インターバルタイマモードで TCNT がオーバフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>TCNT がオーバフローしたとき、CPU インターバルタイマ割り込み (WOVI) を要求します。</p> <p>1 : ウォッチドッグタイマモード</p> <p>TCNT がオーバフローしたとき、外部へ $\overline{\text{WDTOVF}}$ を出力します。</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	—	1	—	リザーブビット
3	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
2	CKS2	0	R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。() 内は $\phi=20\text{MHz}$ のときのオーバフロー周期を表します。</p> <p>000 : クロック $\phi/2$ (周期 25.6μs)</p> <p>001 : クロック $\phi/64$ (周期 819.2μs)</p> <p>010 : クロック $\phi/128$ (周期 1.6ms)</p> <p>011 : クロック $\phi/512$ (周期 6.6ms)</p> <p>100 : クロック $\phi/2048$ (周期 26.2ms)</p> <p>101 : クロック $\phi/8192$ (周期 104.9ms)</p> <p>110 : クロック $\phi/32768$ (周期 419.4ms)</p> <p>111 : クロック $\phi/131072$ (周期 1.68s)</p>
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されます。WDT のオーバフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバフローフラグ ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー(H'FF→ H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバフローにより LSI 内部をリセットするかどうかを選択します。 0: TCNT がオーバフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1: TCNT がオーバフローすると内部がリセットされます。
5	—	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.4 動作説明

14.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときには、TCSR の $\overline{WT/IT}$ ビット=1 に、TME ビット=1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が出力されます。

システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバーフローを発生させないようにプログラムしてください。さらに、ウォッチドッグタイマモード時には、 \overline{WDTOVF} 信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。 \overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

\overline{WDTOVF} 信号は、RSTCSR の RSTE ビット=1 のとき 132 ステート、RSTE ビット=0 のとき 130 ステートの間出力されます。内部リセット信号は、518 ステートの間出力されます。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

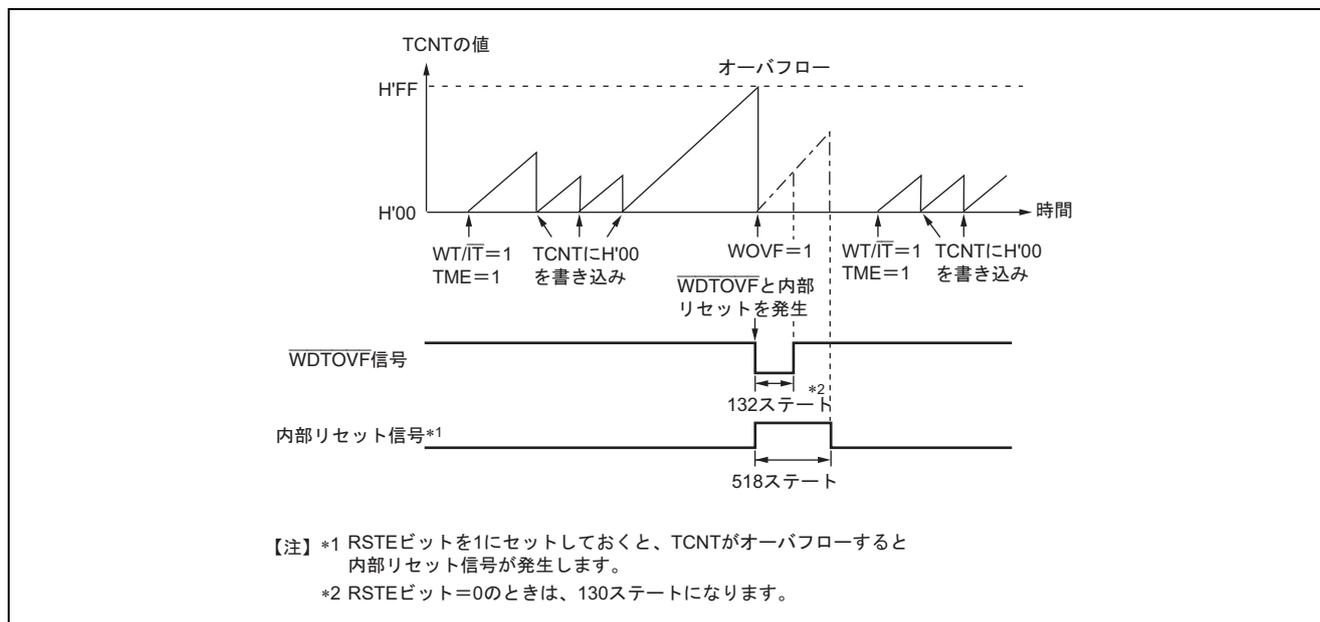


図 14.2 ウォッチドッグタイマモード時の動作

14.4.2 インターバルタイマモード時

インターバルタイマとして使用するときは、TCSR の WT/\overline{IT} ビット=0 に、TME ビット=1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

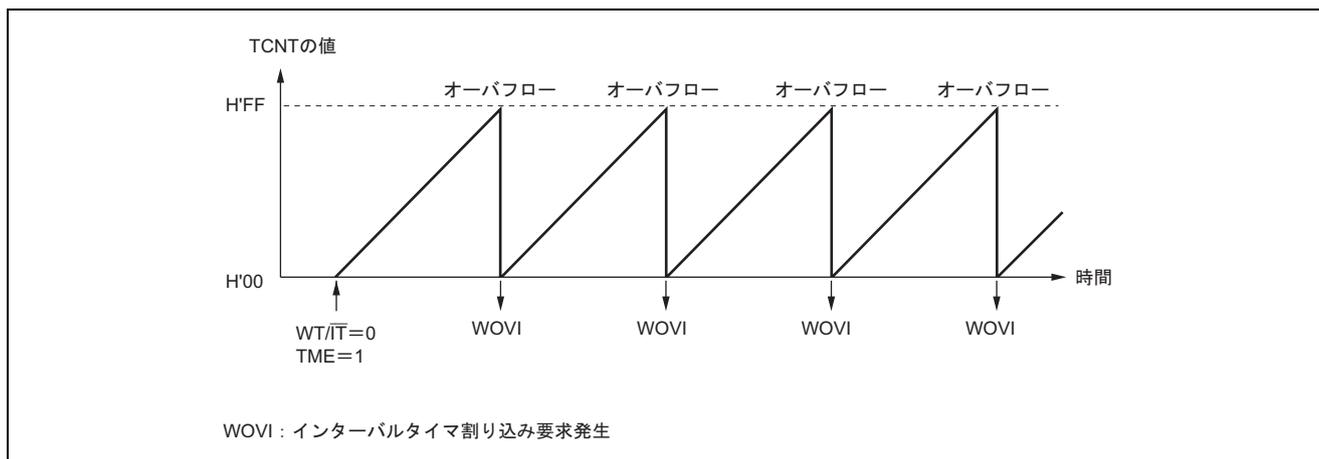


図 14.3 インターバルタイマモード時の動作

14.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 14.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバーフロー	OVF	不可

14.6 使用上の注意事項

14.6.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 14.4 に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス H'FFBE に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合は、ライトの方法が異なります。このため、図 14.4 に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、図 14.4 に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

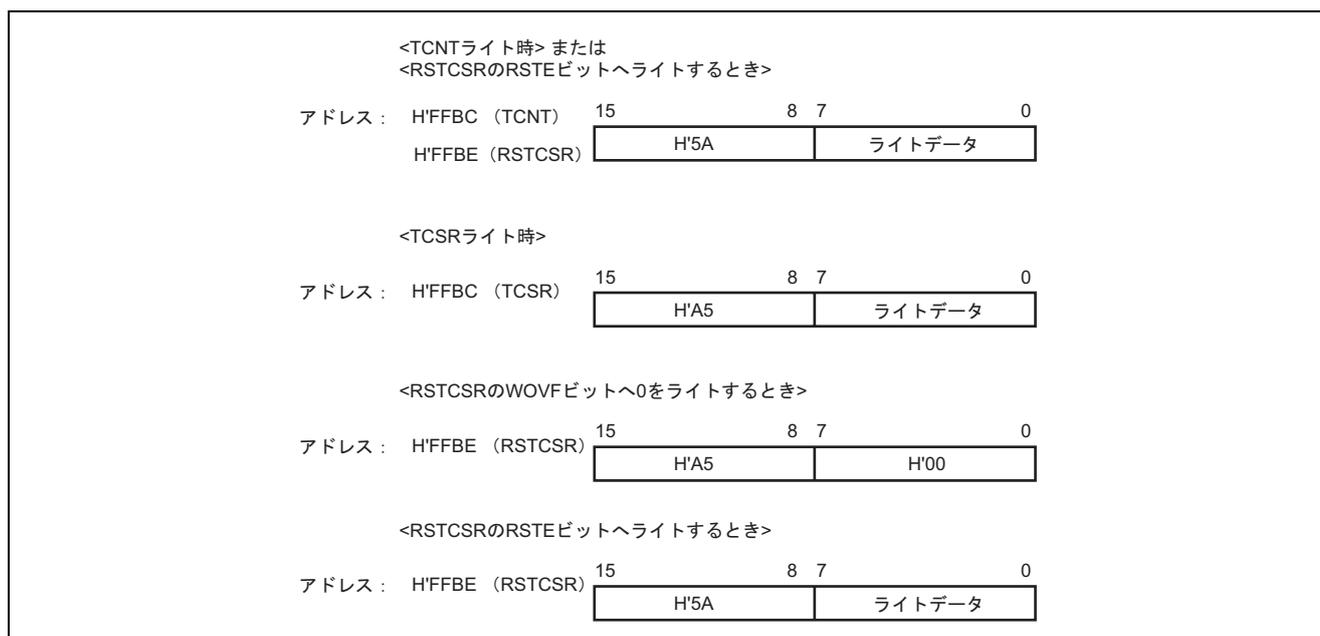


図 14.4 TCNT、TCSR、RSTCSR へのライト

(2) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFBC に、TCNT はアドレス H'FFBD に、RSTCSR はアドレス H'FFBF にそれぞれ割り当てられています。

14.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートの次サイクルでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.5 に示します。

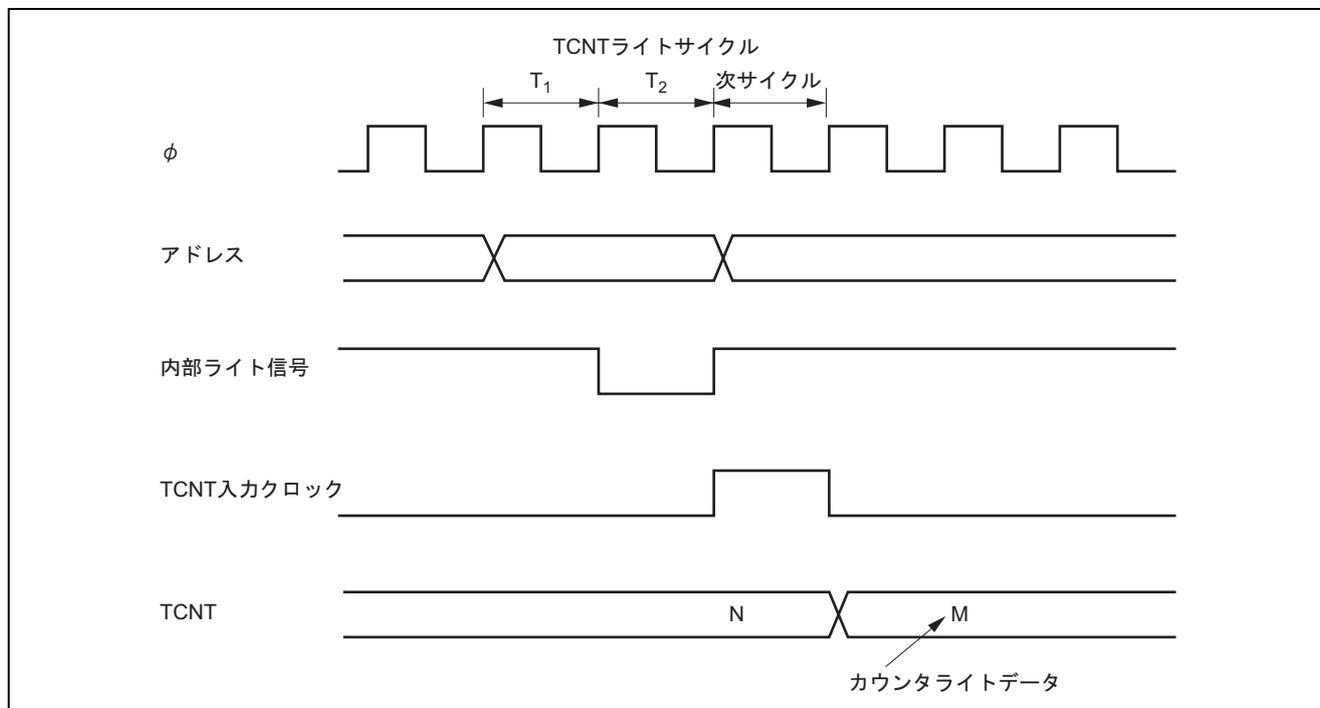


図 14.5 TCNT のライトとカウントアップの競合

14.6.3 CKS2~CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

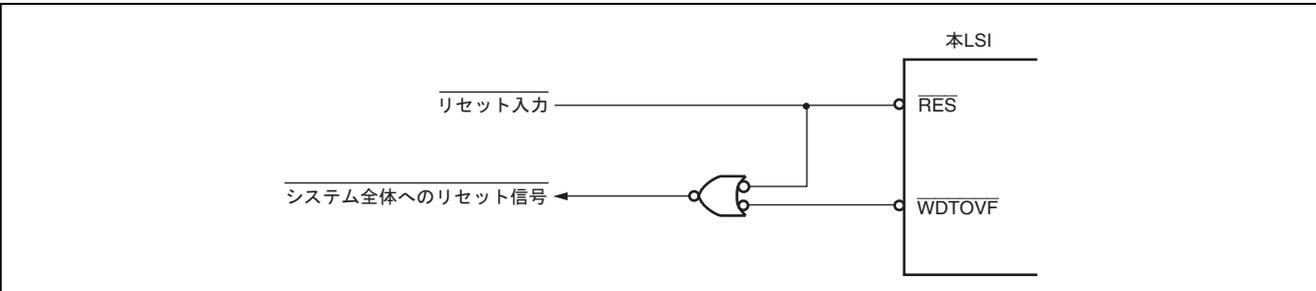
WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われな場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号が Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

14.6.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、 図 14.6 の示すような回路で行ってください。

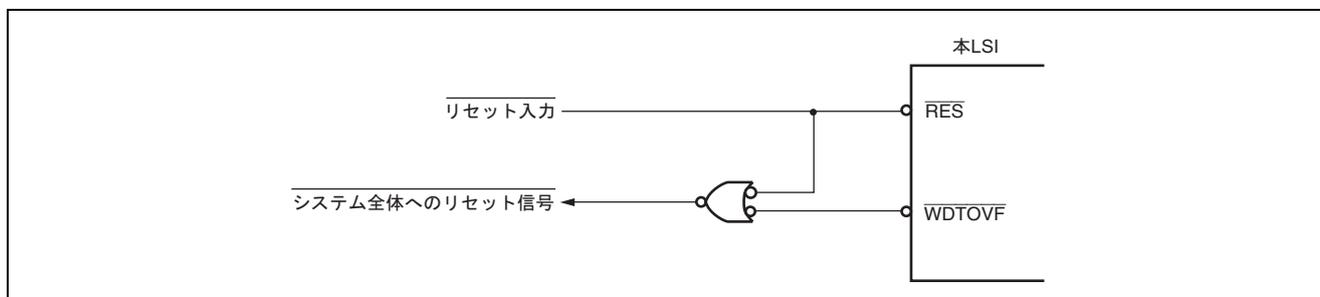


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

本 LSI は独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。また、5 チャンネルのうち 1 チャンネル (SCI_0) は、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の生成が可能です。SCI のブロック図を図 15.1 に示します。

15.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因により DTC または DMAC を起動することができます。
- モジュールストップ状態への設定可能
調歩同期式モード
 - データ長 : 7ビット/8ビット選択可能
 - ストップビット長 : 1ビット/2ビット選択可能
 - パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
 - 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
 - ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能
 - 平均転送レートジェネレータ (SCI_2のみ) : 10.667MHz動作時に115.152kbps/460.606kbps
16MHz 動作時に 115.196kbps/460.784kbps/720kbps
32MHz 動作時に 720kbps を選択可能
- クロック同期式モード
 - データ長 : 8ビット
 - 受信エラーの検出 : オーバランエラー
- スマートカードインタフェース
 - 受信時パリティエラーを検出するとエラーシグナルを自動送出
 - 送信時エラーシグナルを受信するとデータを自動再送信
 - ダイレクトコンベンション/インバースコンベンションの両方をサポート

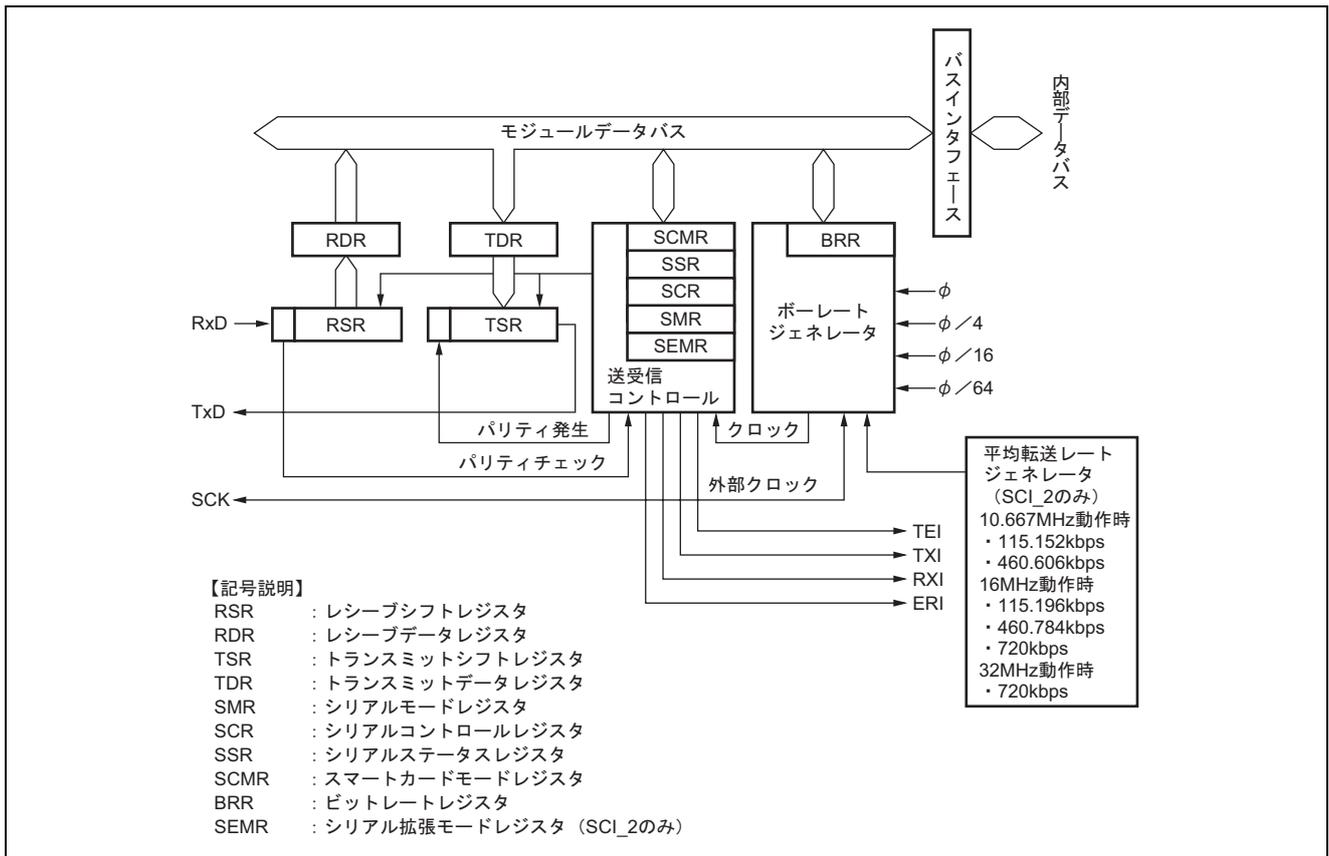


図 15.1 SCI のブロック図

15.2 入出力端子

SCI には、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル 0 のクロック入出力端子
	RxD0/IrRxD	入力	チャンネル 0 の受信データ入力端子 (通常/IrDA)
	TxD0/IrTxD	出力	チャンネル 0 の送信データ出力端子 (通常/IrDA)
1	SCK1	入出力	チャンネル 1 のクロック入出力端子
	RxD1	入力	チャンネル 1 の受信データ入力端子
	TxD1	出力	チャンネル 1 の送信データ出力端子
2	SCK2	入出力	チャンネル 2 のクロック入出力端子
	RxD2	入力	チャンネル 2 の受信データ入力端子
	TxD2	出力	チャンネル 2 の送信データ出力端子
3	SCK3	入出力	チャンネル 3 のクロック入出力端子
	RxD3	入力	チャンネル 3 の受信データ入力端子
	TxD3	出力	チャンネル 3 の送信データ出力端子
4	SCK4	入出力	チャンネル 4 のクロック入出力端子
	RxD4	入力	チャンネル 4 の受信データ入力端子
	TxD4	出力	チャンネル 4 の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.3 レジスタの説明

SCIには以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ_0 (RSR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)
- ビットレートレジスタ_0 (BRR_0)
- IrDAコントロールレジスタ_0 (IrCR_0)
- レシーブシフトレジスタ_1 (RSR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- シリアルモードレジスタ_1 (SMR_1)
- シリアルコントロールレジスタ_1 (SCR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- スマートカードモードレジスタ_1 (SCMR_1)
- ビットレートレジスタ_1 (BRR_1)
- レシーブシフトレジスタ_2 (RSR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)
- シリアル拡張モードレジスタ_2 (SEMR_2)
- レシーブシフトレジスタ_3 (RSR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- レシーブデータレジスタ_3 (RDR_3)

- トランスミットデータレジスタ_3 (TDR_3)
- シリアルモードレジスタ_3 (SMR_3)
- シリアルコントロールレジスタ_3 (SCR_3)
- シリアルステータスレジスタ_3 (SSR_3)
- スマートカードモードレジスタ_3 (SCMR_3)
- ビットレートレジスタ_3 (BRR_3)
- レシーブシフトレジスタ_4 (RSR_4)
- トランスミットシフトレジスタ_4 (TSR_4)
- レシーブデータレジスタ_4 (RDR_4)
- トランスミットデータレジスタ_4 (TDR_4)
- シリアルモードレジスタ_4 (SMR_4)
- シリアルコントロールレジスタ_4 (SCR_4)
- シリアルステータスレジスタ_4 (SSR_4)
- スマートカードモードレジスタ_4 (SCMR_4)
- ビットレートレジスタ_4 (BRR_4)

15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

15.3.5 シリアルモードレジスタ (SMR)

SMRは通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMRは通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「15.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「15.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「15.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SCMR の BCP2 ビットと組み合わせて選択します。 BCP2、BCP1、BCP0 の設定値 000 : 93 クロック (S=93) 001 : 128 クロック (S=128) 010 : 186 クロック (S=186) 011 : 512 クロック (S=512) 100 : 32 クロック (S=32) (初期値) 101 : 64 クロック (S=64) 110 : 372 クロック (S=372) 111 : 256 クロック (S=256) 詳細は、「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「15.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : ϕ クロック (n=0) 01 : $\phi/4$ クロック (n=1) 10 : $\phi/16$ クロック (n=2) 11 : $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアするか、TIE ビットを0にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、RIE ビットを0にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、TE ビットを1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを0にして、送信動作を禁止すると、SSR の TDRE フラグは1に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを0にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 クリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01 : 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1X : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>クロック同期式の場合</p> <p>0X : 内部クロック (SCK 端子はクロック出力端子となります。)</p> <p>1X : 外部クロック (SCK 端子はクロック入力端子となります。)</p>

【記号説明】 X : Don't care

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。TXI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアするか、TIE ビットを0にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。</p> <p>RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、RIE ビットを0にクリアすることで行うことができます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、TE ビットを1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。</p> <p>このビットを0にして、送信動作を禁止すると、SSR の TDRE フラグは1に固定されます。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを1にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを0にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効)</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	<p>SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「15.7.8 クロック出力制御」を参照してください。</p> <p>SMR の GM=0 の場合</p> <p>00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可)</p> <p>01 : クロック出力</p> <p>1X : リザーブ</p> <p>SMR の GM=1 の場合</p> <p>00 : Low 出力固定</p> <p>01 : クロック出力</p> <p>10 : High 出力固定</p> <p>11 : クロック出力</p>

【記号説明】 X : Don't care

15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。 [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき <p>2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCRのTEが0のとき 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、ORER は影響を受けず状態を保持します。</p>
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCRのTE=0かつERS=0のとき 1バイトのデータを送信して一定期間後、ERS=0かつTDRE=1のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0のとき、送信開始から12.5etu後 GM=0、BLK=1のとき、送信開始から11.5etu後 GM=1、BLK=0のとき、送信開始から11.0etu後 GM=1、BLK=1のとき、送信開始から11.0etu後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき。 TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

15.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	BCP2	1	R/W	基本クロックパルス 2 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR の BCP1、BCP0 ビットと組み合わせて選択します。 設定値は「15.3.5 シリアルモードレジスタ (SMR)」を参照してください。
6~4	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0 : TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1 : TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 15.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 15.2 BRR の設定値 N とビットレート B の関係

モード	ABCSビット	BRRの設定値	誤差
調歩同期式	0	$N = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$N = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式		$N = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース		$N = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SCMR の設定値	SMR の設定値		S
BCP2	BCP1	BCP0	
0	0	0	93
0	0	1	128
0	1	0	186
0	1	1	512
1	0	0	32
1	0	1	64
1	1	0	372
1	1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.3 に、各動作周波数における設定可能な最大ビットレートを表 15.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 15.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 15.5、表 15.7 に外部クロック入力時の最大ビットレートを示します。

調歩同期モードで SCI_2 のシリアル拡張モードレジスタ (SEMR_2) の ABCS ビットを 1 にセットしたときのビットレートは表 15.3 の 2 倍になります。

表 15.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	動作周波数 ϕ (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.69	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	1.73	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	1.73	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

【注】 SCI_2 では SEMR_2 の ABCS=0 のときの例です。
 ABCS=1 に設定したときは、ビットレートが 2 倍になります。

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	18			19.6608			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	86	0.31	3	88	-0.25	3	110	-0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	-0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	-0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	-0.15
9600	0	58	-0.69	0	63	0.00	0	64	0.16	0	80	0.47
19200	0	28	1.01	0	31	0.00	0	32	-1.36	0	40	-0.76
31250	0	17	0.00	0	19	-1.70	0	19	0.00	0	24	0.00
38400	0	14	-2.34	0	15	0.00	0	15	1.73	0	19	1.73

ビットレート (bit/s)	動作周波数 ϕ (MHz)					
	30			33		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33
150	3	97	-0.35	3	106	0.39
300	2	194	0.16	2	214	-0.07
600	2	97	-0.35	2	106	0.39
1200	1	194	0.16	1	214	-0.07
2400	1	97	-0.35	1	106	0.39
4800	0	194	0.16	0	214	-0.07
9600	0	97	-0.35	0	106	0.39
19200	0	48	-0.35	0	53	-0.54
31250	0	29	0.00	0	32	0.00
38400	0	23	1.73	0	26	-0.54

【注】 SCI_2 では SEMR_2 の ABCS=0 のときの例です。
 ABCS=1 に設定したときは、ビットレートが2倍になります。

表 15.4 各動作周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0
33	1031250	0	0

【注】 SCI_2 では SEMR_2 の ABCS=0 のときの例です。
 ABCS=1 に設定したときは、ビットレートが 2 倍になります。

表 15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500
25	6.2500	390625
30	7.5000	468750
33	8.2500	515625

【注】 SCI_2 では SEMR_2 の ABCS=0 のときの例です。
 ABCS=1 に設定したときは、ビットレートが 2 倍になります。

表 15.6 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート (bit/s)	動作周波数 ϕ (MHz)													
	8		10		16		20		25		30		33	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110														
250	3	124	—	—	3	249								
500	2	249	—	—	3	124	—	—			3	233		
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—
1M	0	1			0	3	0	4	—	—	—	—	—	—
2.5M			0	0*			0	1	—	—	0	2	—	—
5M							0	0*	—	—	—	—	—	—

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

* : 連続送信/連続受信はできません。

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	18	3.0000	3000000.0
10	1.6667	1666666.7	20	3.3333	3333333.3
12	2.0000	2000000.0	25	4.1667	4166666.7
14	2.3333	2333333.3	30	5.0000	5000000.0
16	2.6667	2666666.7	33	5.5000	5500000.0

表 15.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	30.00	0	1	25.00	0	1	8.99

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	14.2848			16.00			18.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	20.00			25.00			30.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	2	6.66	0	3	12.49	0	3	5.01

ビットレート (bit/s)	動作周波数 ϕ (MHz)		
	33.00		
	n	N	誤差 (%)
9600	0	4	7.59

表 15.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

ϕ (MHz)	最大ビットレート (bit/s)	n	N	ϕ (MHz)	最大ビットレート (bit/s)	n	N
10.00	13441	0	0	18.00	24194	0	0
10.7136	14400	0	0	20.00	26882	0	0
13.00	17473	0	0	25.00	33602	0	0
14.2848	19200	0	0	30.00	40323	0	0
16.00	21505	0	0	33.00	44355	0	0

15.3.10 IrDA コントロールレジスタ (IrCR)

IrCR は、SCI_0 の機能の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI_0 の入出力を通常の SCI か IrDA かに設定します。 0 : TxD0/IrTxD、RxD0/IrRxD 端子は TxD0、RxD0 として動作 1 : TxD0/IrTxD、RxD0/IrRxD 端子は IrTxD、IrRxD として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : パルス幅 = $B \times 3/16$ (ビットレートの 16 分の 3) 001 : パルス幅 = $\phi/2$ 010 : パルス幅 = $\phi/4$ 011 : パルス幅 = $\phi/8$ 100 : パルス幅 = $\phi/16$ 101 : パルス幅 = $\phi/32$ 110 : パルス幅 = $\phi/64$ 111 : パルス幅 = $\phi/128$
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3	IrTxINV	0	R/W	
2	IrRxINV	0	R/W	IrRx データインバート IrRxD 入力のロジックレベルの反転を指定します。反転したときビット 6~4 で指定した High パルス幅は Low パルス幅となります。 0 : IrRxD 入力をそのまま受信データとして使用 1 : IrRxD 入力を反転して受信データとして使用
1、0	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

15.3.11 シリアル拡張モードレジスタ (SEMR)

SEMR は、SCI_2 の調歩同期式モード時のクロックソースを選択するためのレジスタです。
平均転送レートの選択により基本クロックが自動設定できます。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて不定	—	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作
2	ACS2	0	R/W	調歩同期クロックソースセレクト (調歩同期式モードで $CKE1=1$ のときのみ有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCS ビットの値に関係なく基本クロックが自動設定されます。 000 : 外部クロック入力 001 : $\phi = 10.667\text{MHz}$ 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 010 : $\phi = 10.667\text{MHz}$ 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 011 : $\phi = 32\text{MHz}$ 専用の平均転送レート 720kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 100 : 設定禁止 101 : $\phi = 16\text{MHz}$ 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 110 : $\phi = 16\text{MHz}$ 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 111 : $\phi = 16\text{MHz}$ 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 平均転送レートは、10.667MHz、16MHz または 32MHz の動作周波数以外には対応していません。
1	ACS1	0	R/W	
0	ACS0	0	R/W	

15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

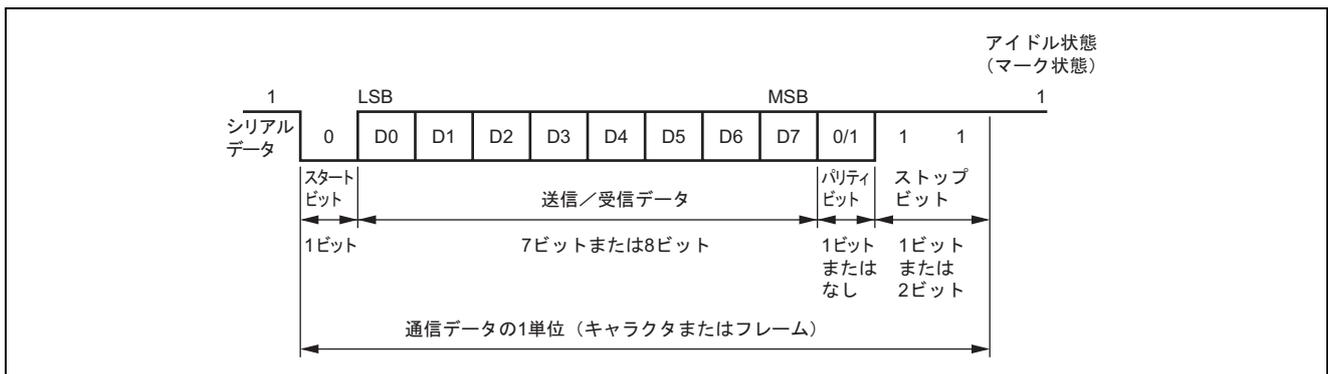


図 15.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

表 15.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	—	1	0	S	8ビットデータ								MPB	STOP			
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	—	1	0	S	7ビットデータ							MPB	STOP				
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図15.3に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

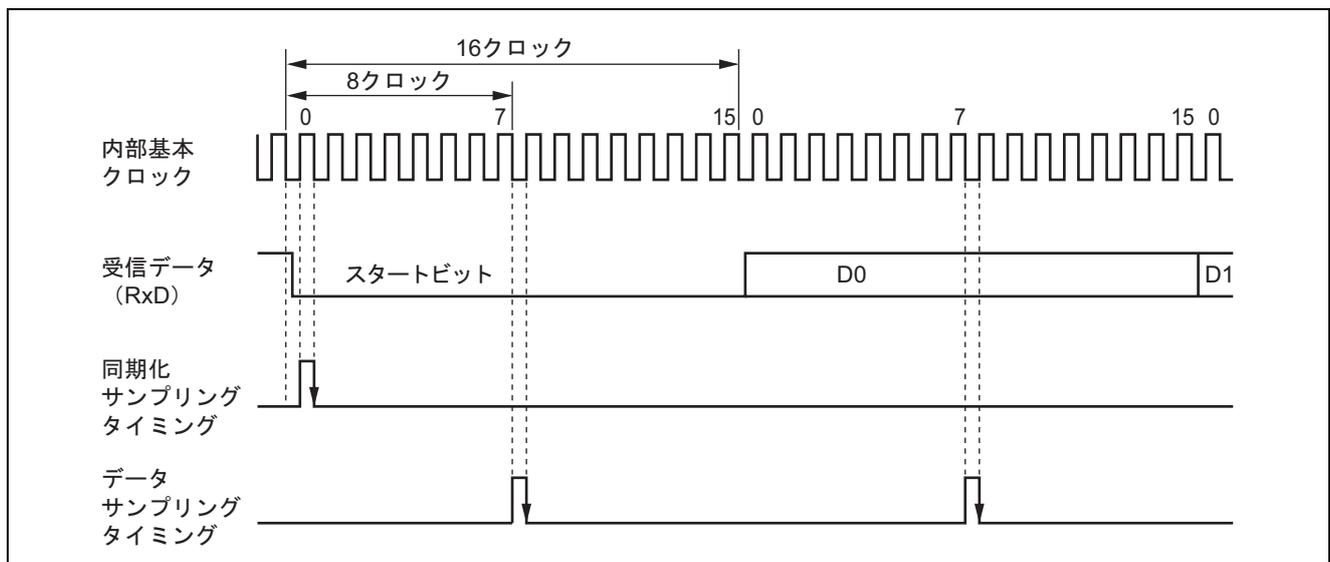


図 15.3 調歩同期式モードの受信データサンプリングタイミング

15.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.4に示すように送信データの中央でクロックが立ち上がります。

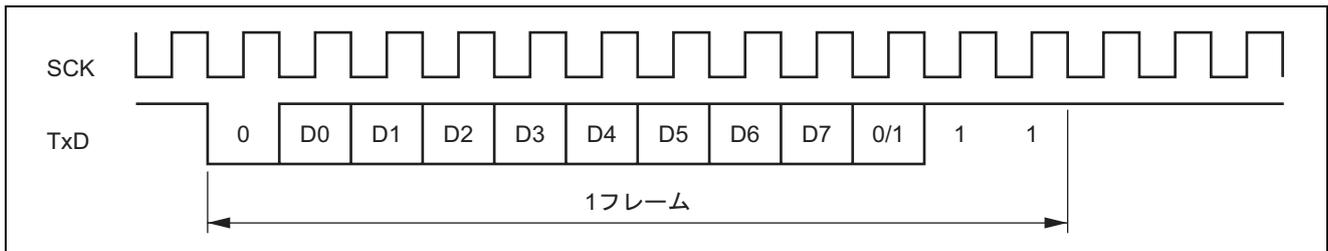


図 15.4 出カクロックと送信データの位相関係 (調歩同期式モード)

15.4.4 SCI の初期化（調歩同期式）

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 15.5** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

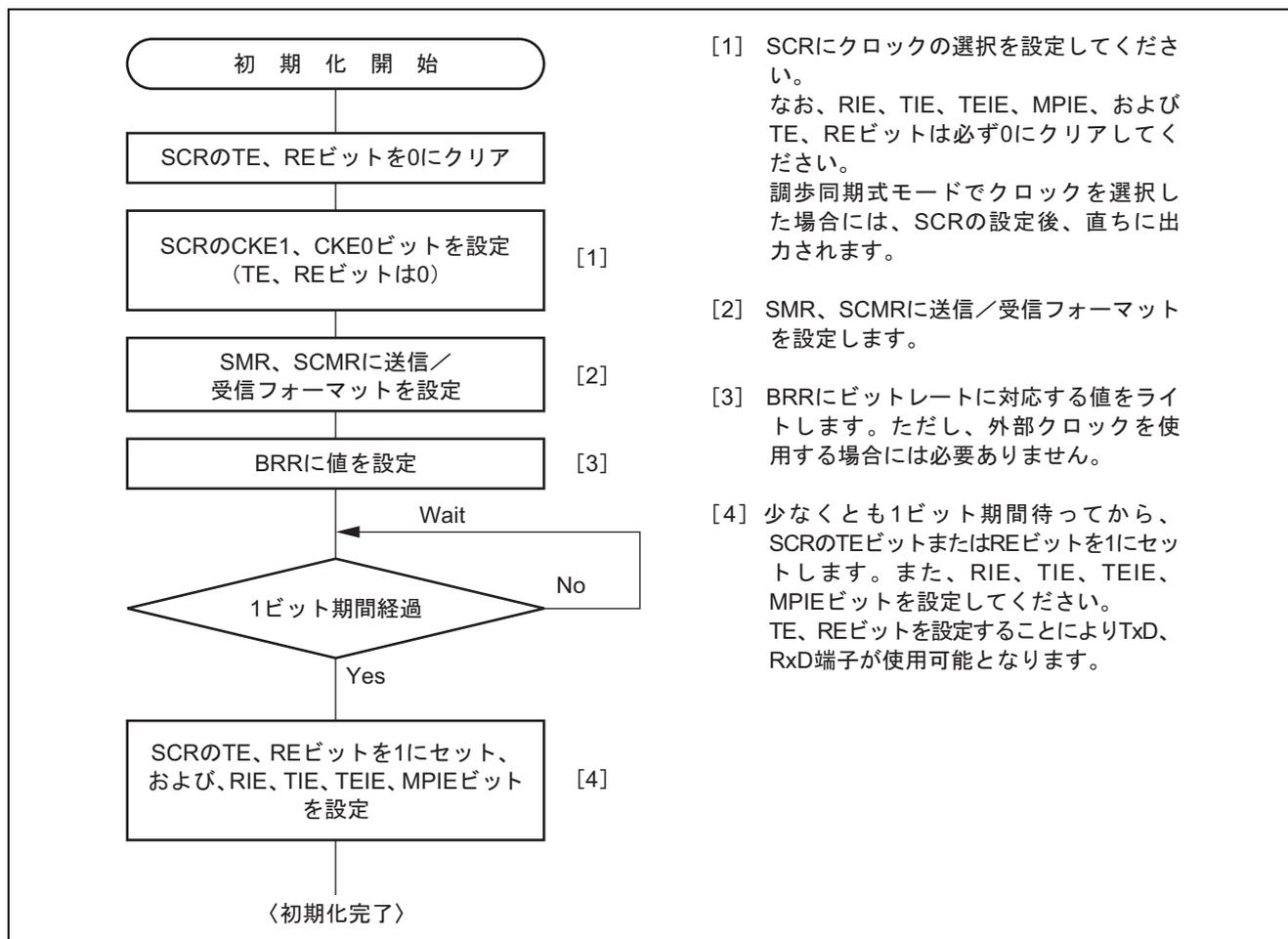


図 15.5 SCI の初期化フローチャートの例

15.4.5 データ送信 (調歩同期式)

図 15.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 15.7 にデータ送信のフローチャートの例を示します。

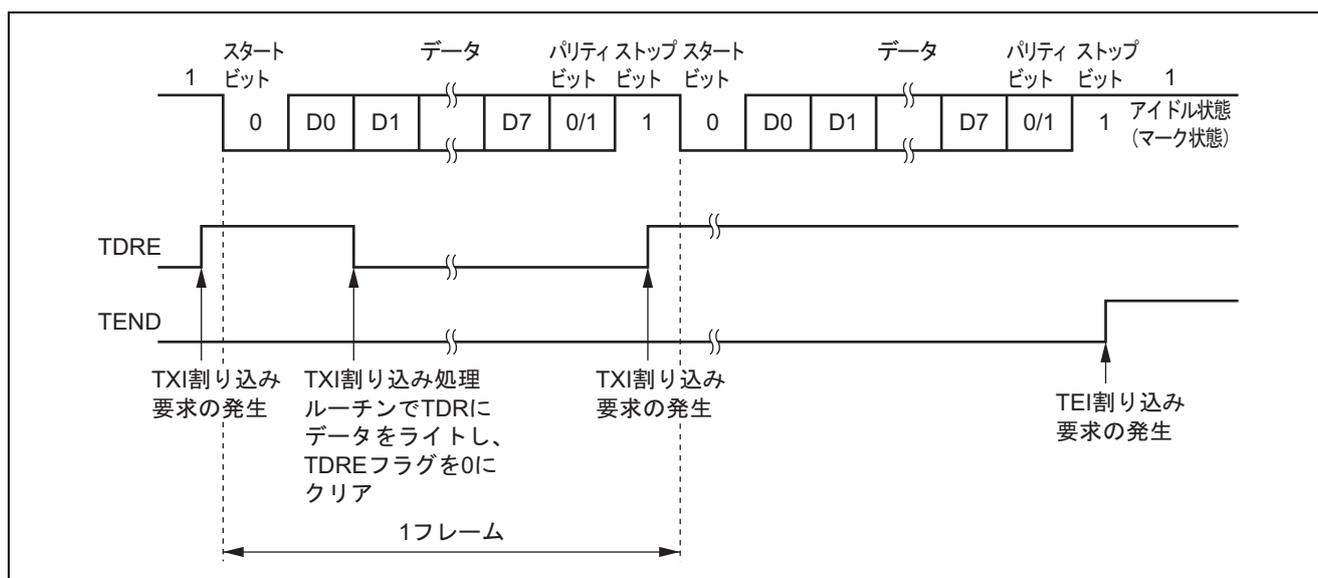


図 15.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

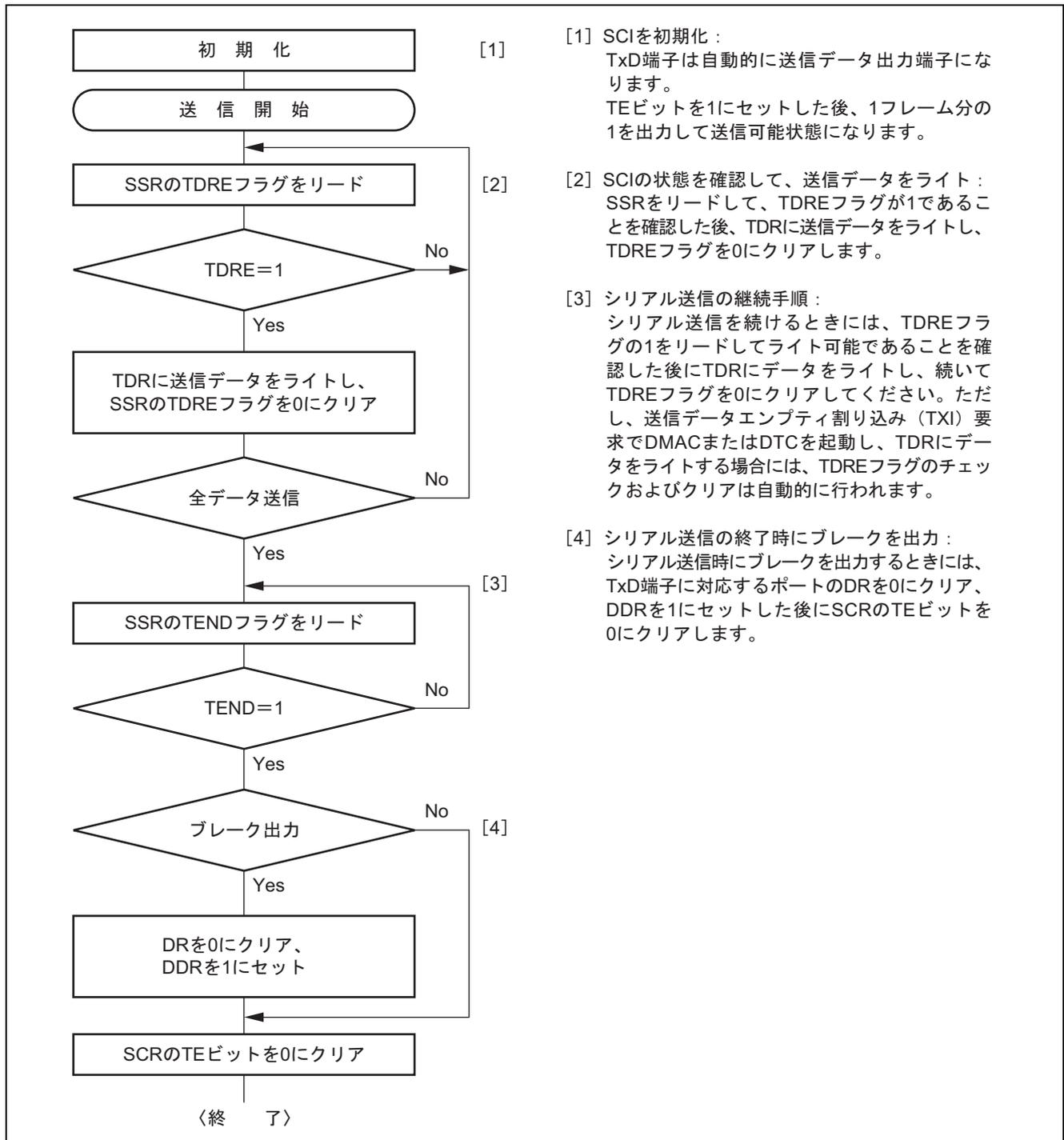


図 15.7 シリアル送信のフローチャートの例

15.4.6 シリアルデータ受信（調歩同期式）

図 15.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

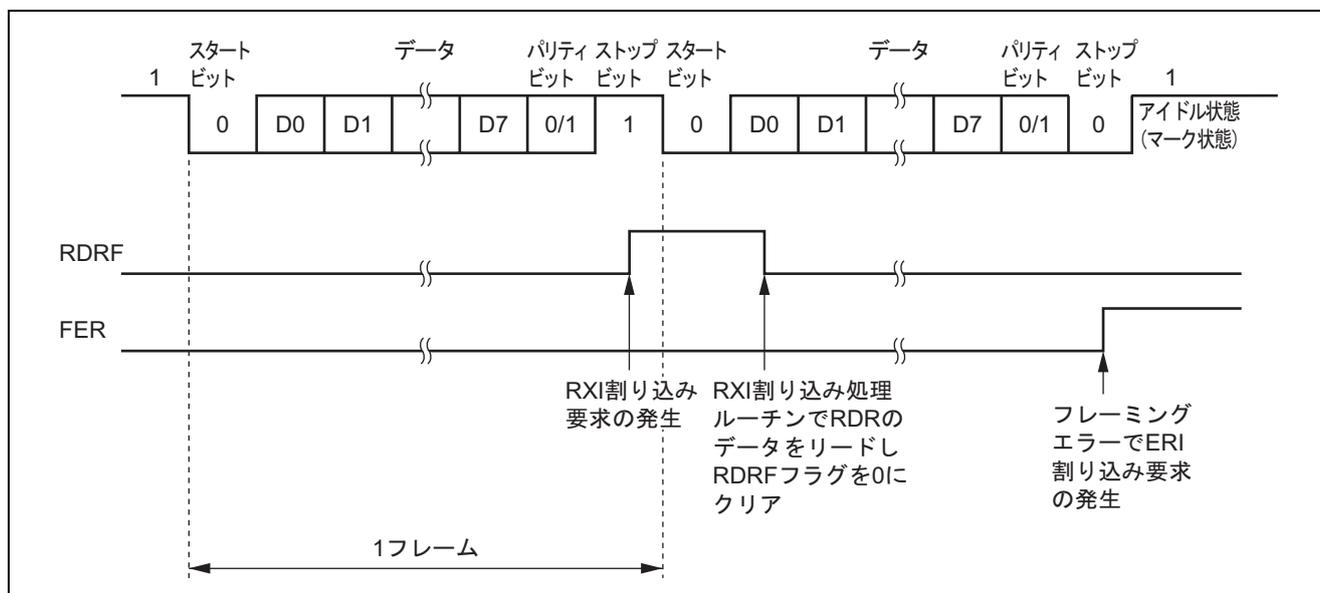


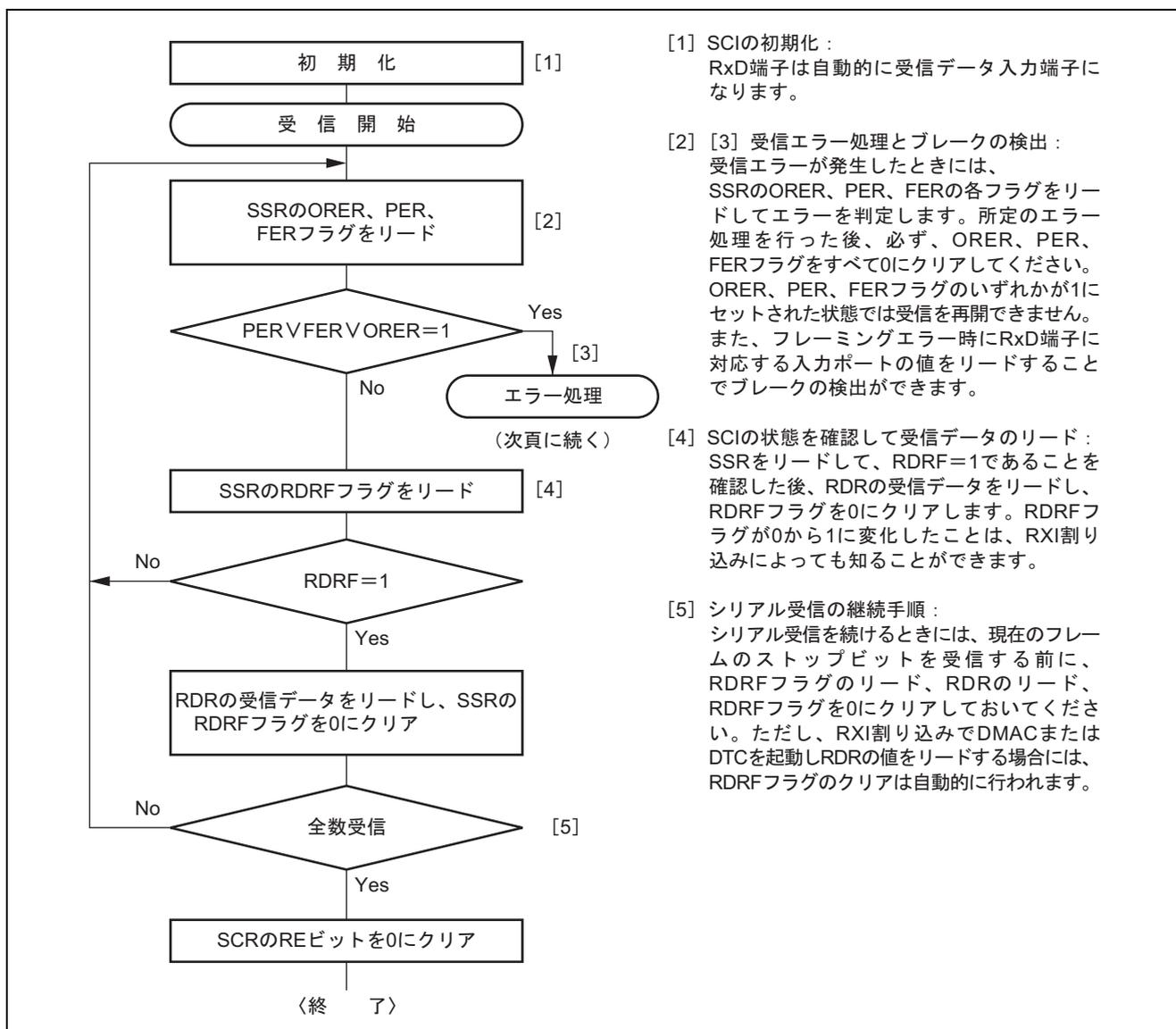
図 15.8 SCI の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 15.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.9 にデータ受信のためのフローチャートの例を示します。

表 15.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。



[1] SCIの初期化：
RxD端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理とブレイクの検出：
受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ず、ORER、PER、FERフラグをすべて0にクリアしてください。ORER、PER、FERフラグのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子に対応する入力ポートの値をリードすることでブレイクの検出ができます。

[4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRF=1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを0にクリアしておいてください。ただし、RXI割り込みでDMACまたはDTCを起動しRDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。

図 15.9 シリアル受信データフローチャートの例 (1)

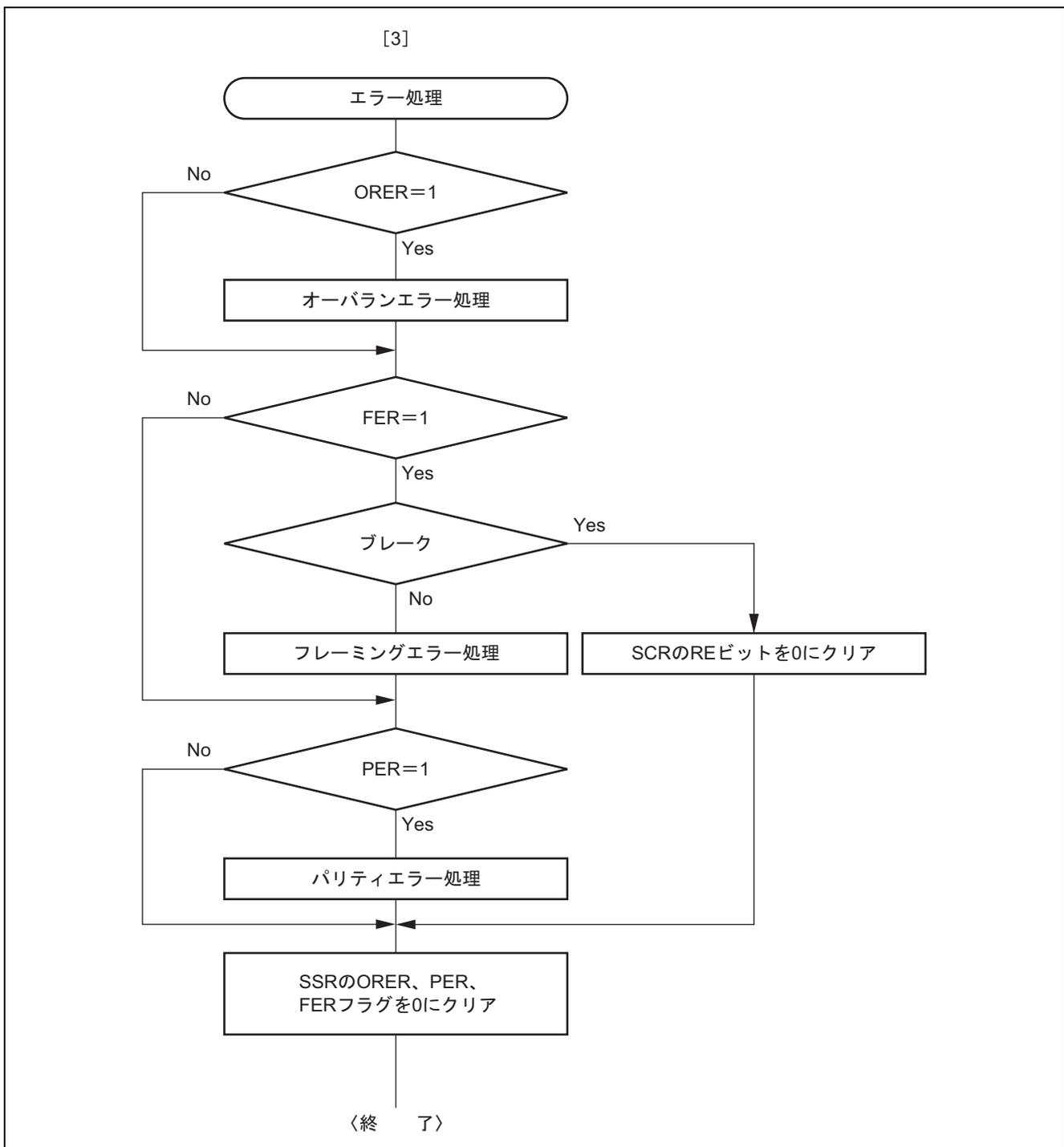


図 15.9 シリアル受信データフローチャートの例 (2)

15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

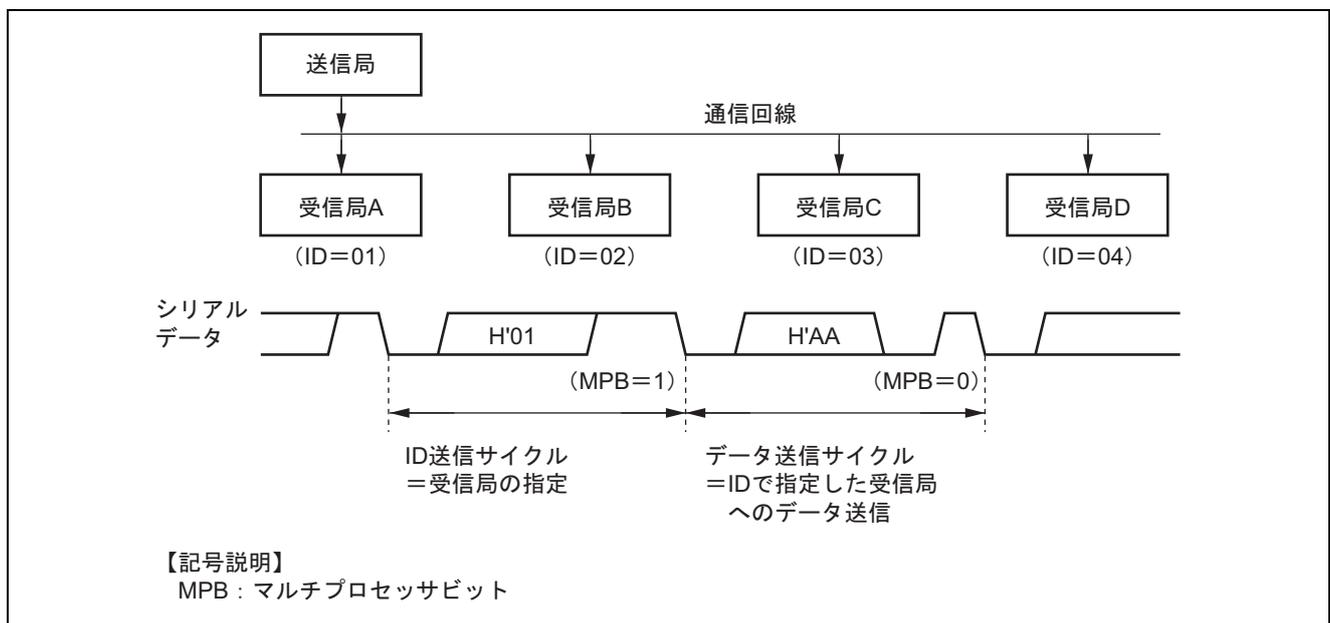


図 15.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

15.5.1 マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

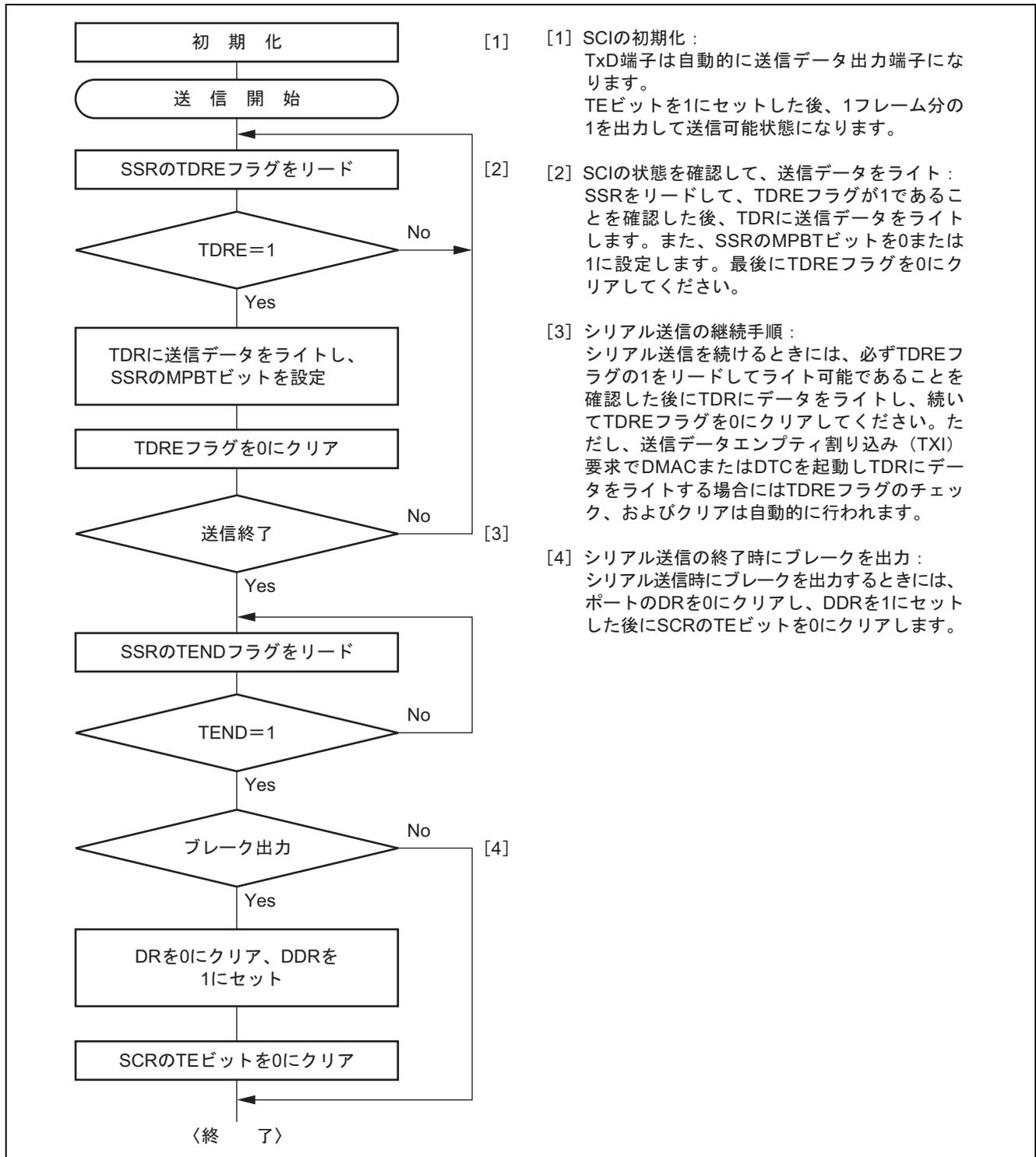


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

15.5.2 マルチプロセッサシリアルデータ受信

図 15.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 15.12 に受信時の動作例を示します。

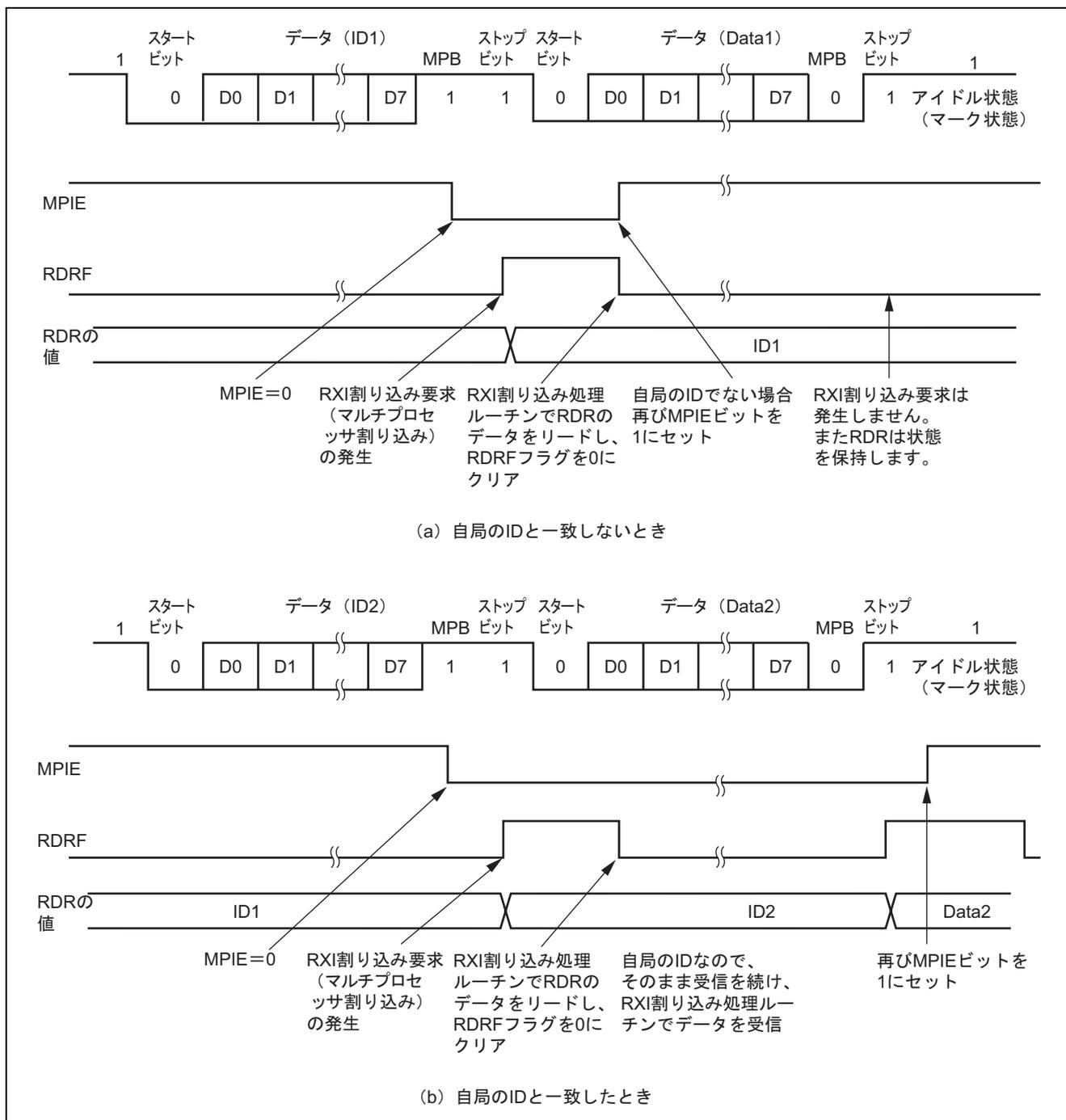


図 15.12 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

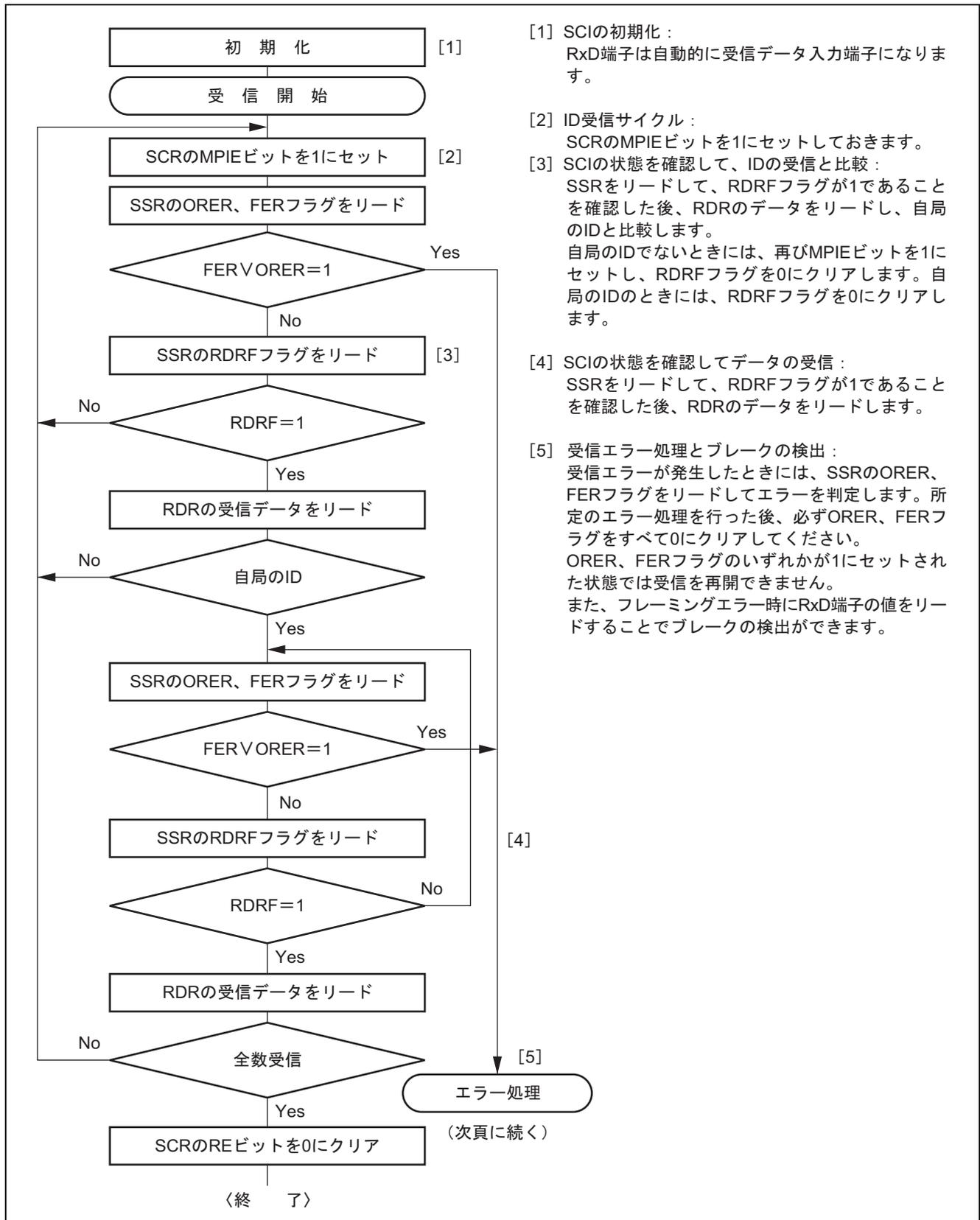


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

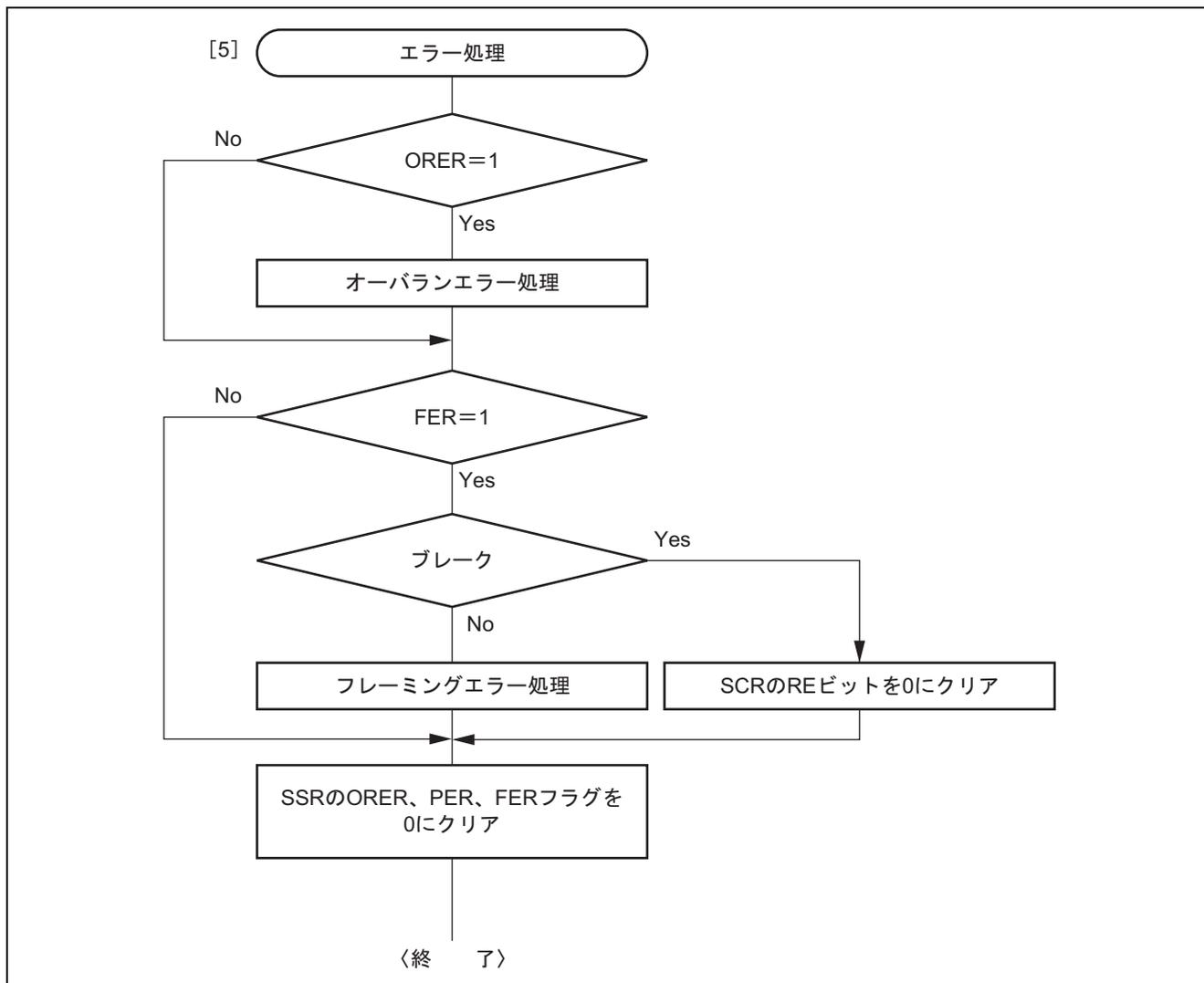


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部／受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

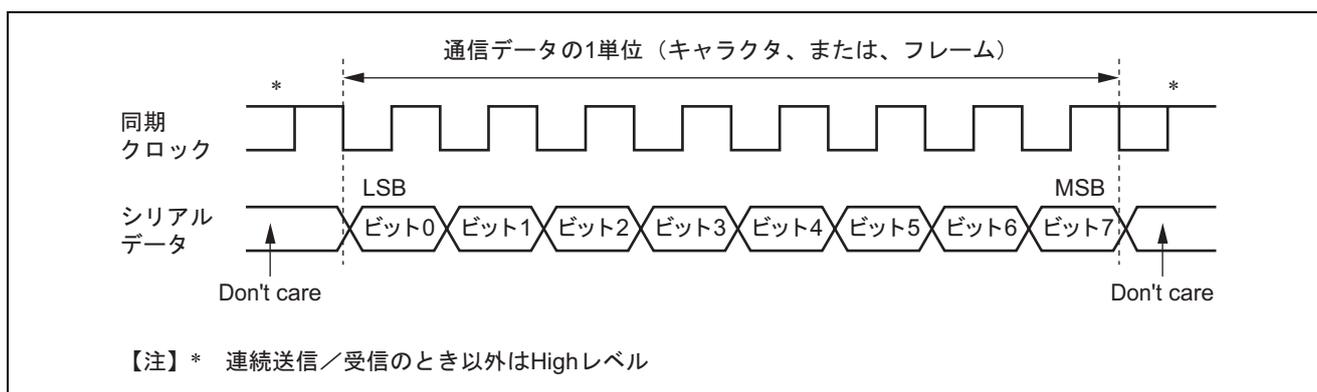


図 15.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

15.6.2 SCI の初期化 (クロック同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 15.15 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

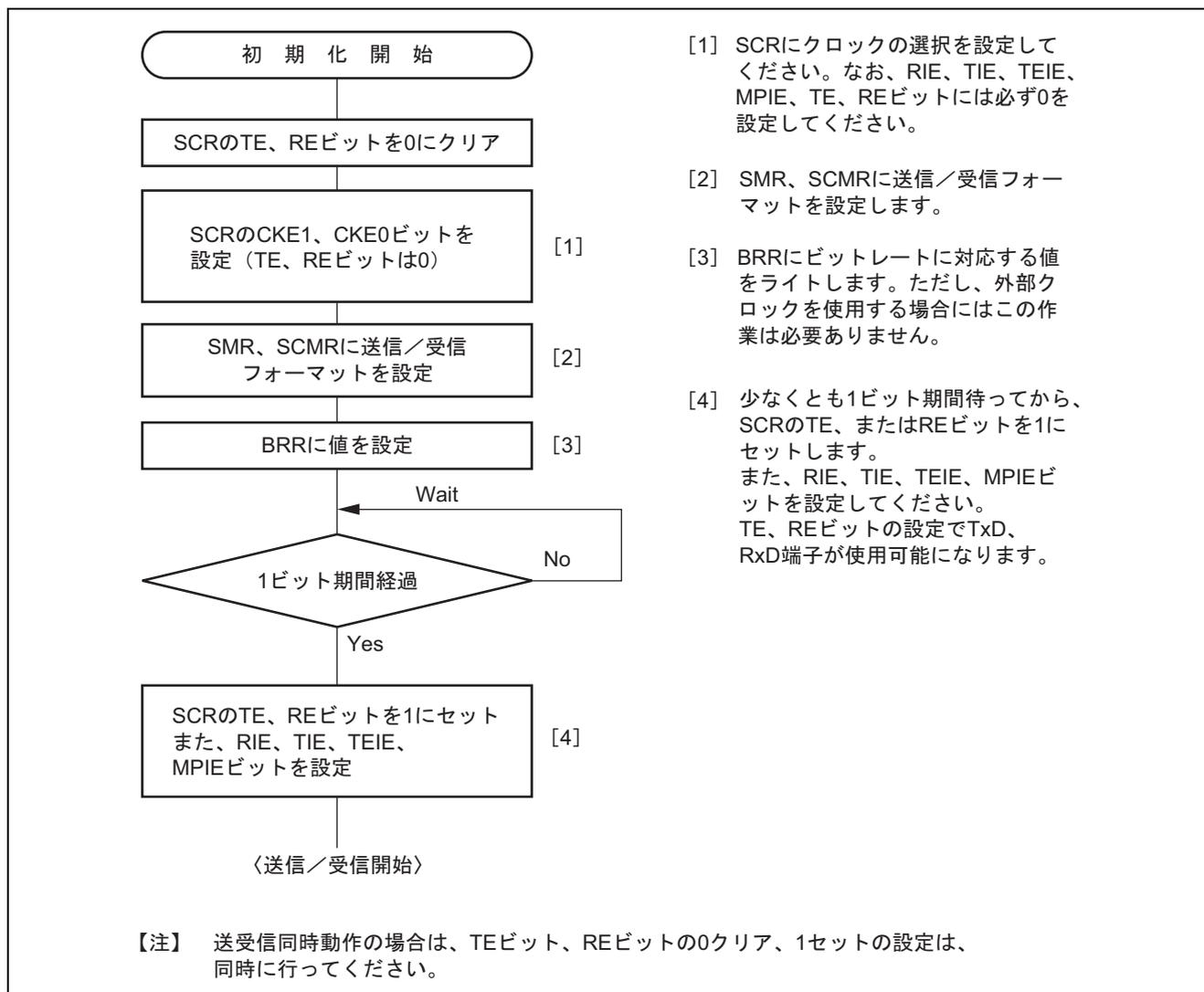


図 15.15 SCI の初期化フローチャートの例

15.6.3 シリアルデータ送信（クロック同期式）

図 15.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 15.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ（ORER、FER、PER）が1にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはRE ビットをクリアしただけではクリアされませんので注意してください。

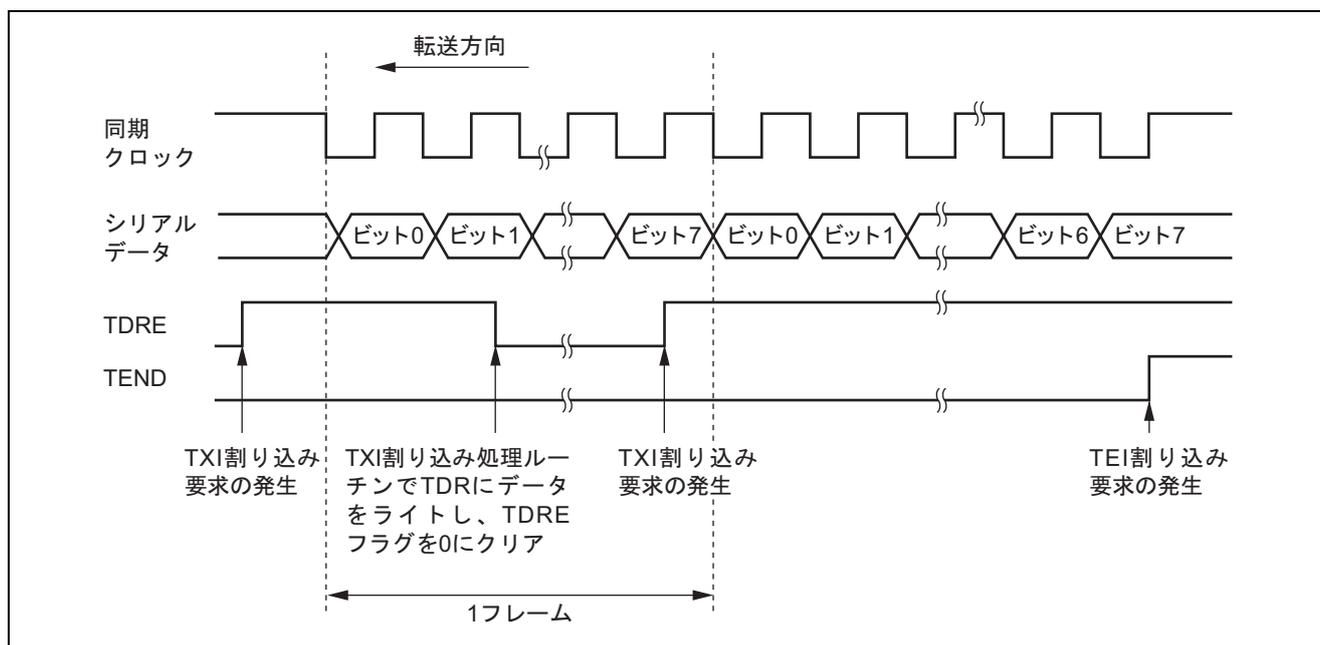


図 15.16 クロック同期式モードの送信時の動作例

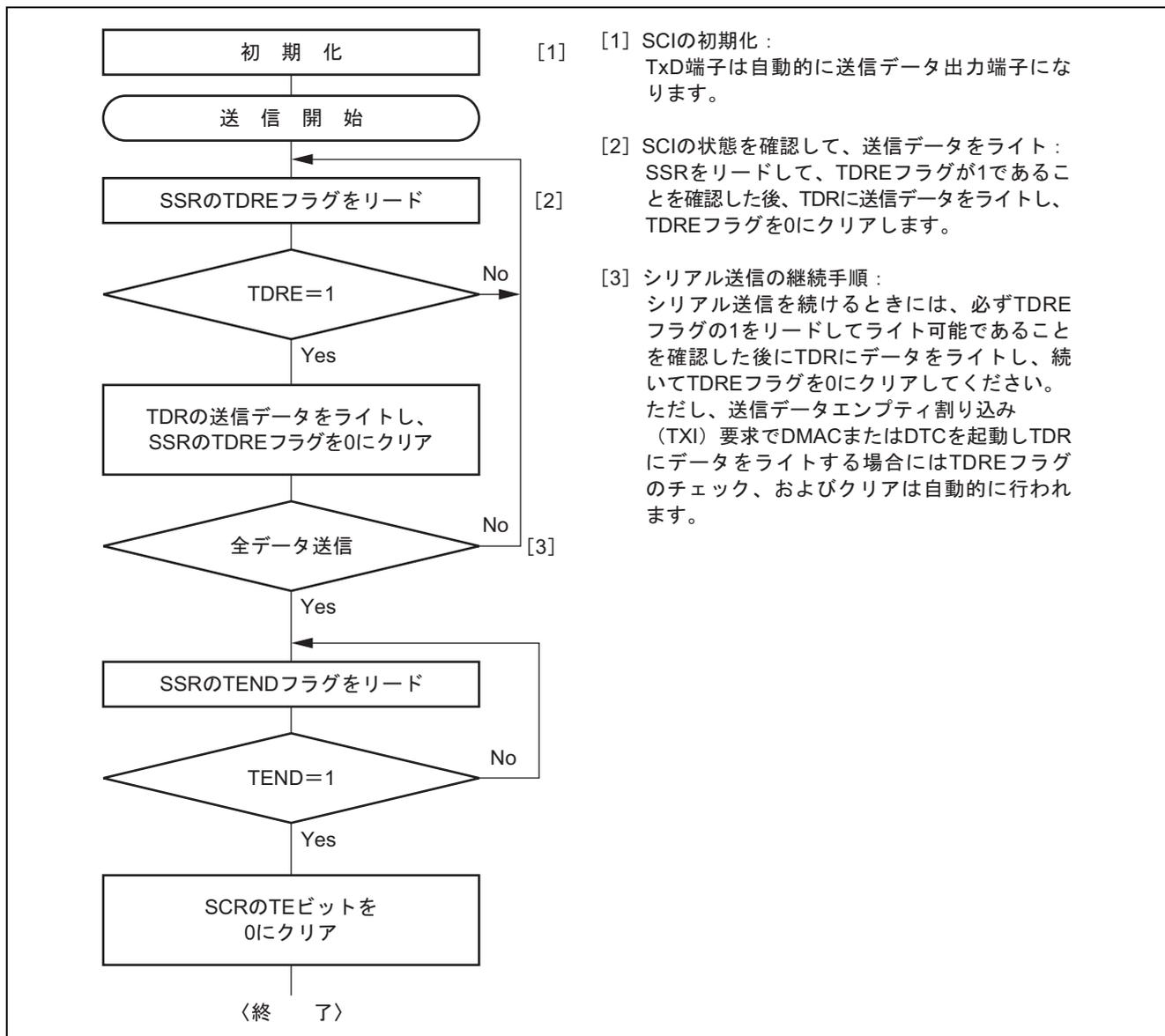


図 15.17 シリアル送信のフローチャートの例

15.6.4 シリアルデータ受信（クロック同期式）

図 15.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

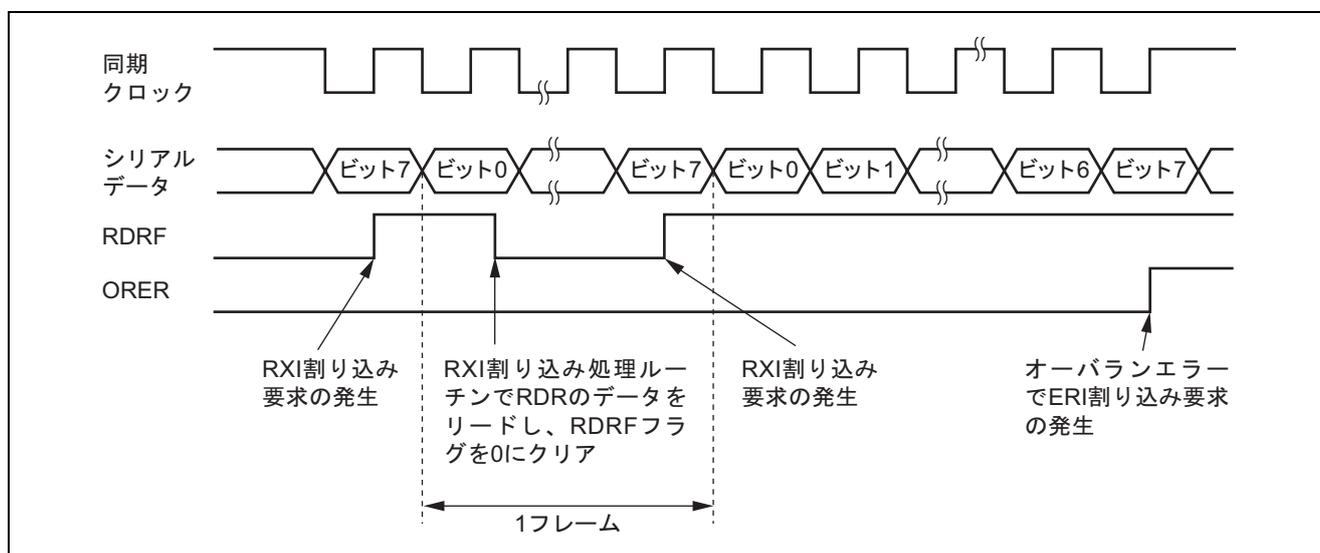


図 15.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.19 にデータ受信のためのフローチャートの例を示します。

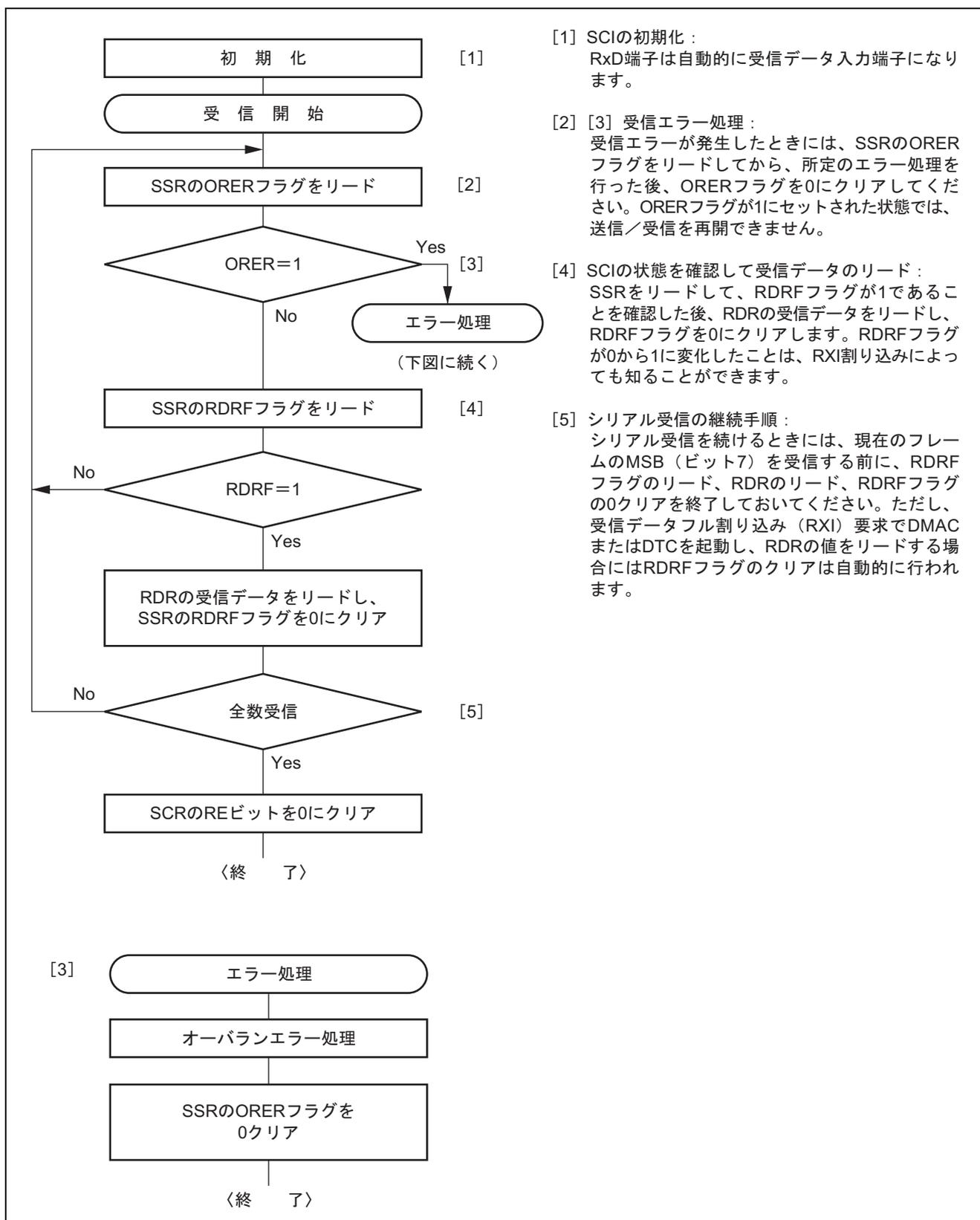


図 15.19 シリアルデータ受信フローチャートの例

15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

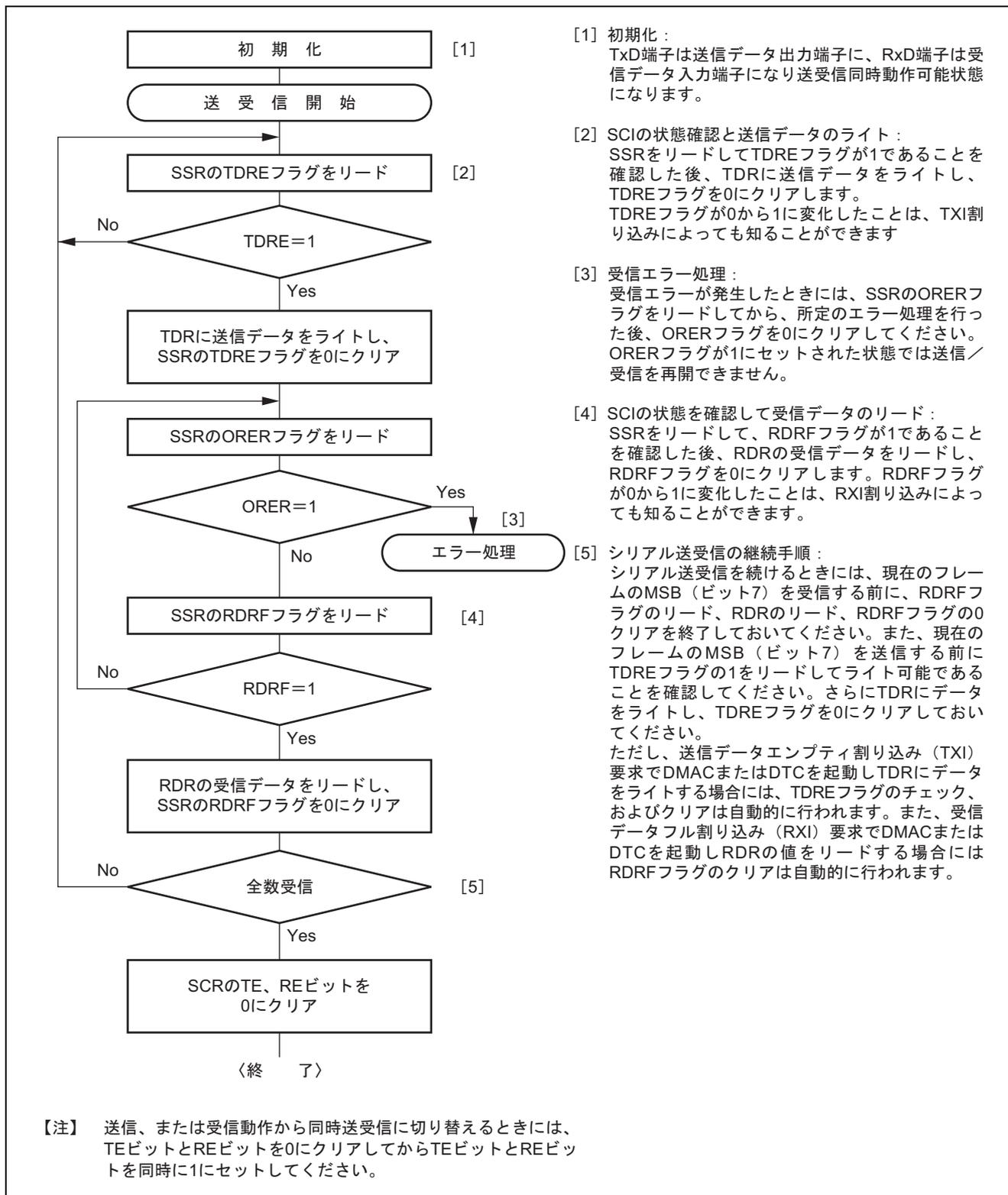


図 15.20 シリアル送受信同時動作のフローチャートの例

15.7 スマートカードインタフェースの動作説明

SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

15.7.1 接続例

図 15.21 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{cc} 側にプルアップしてください。IC カードを接続しない状態で $RE=TE=1$ に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

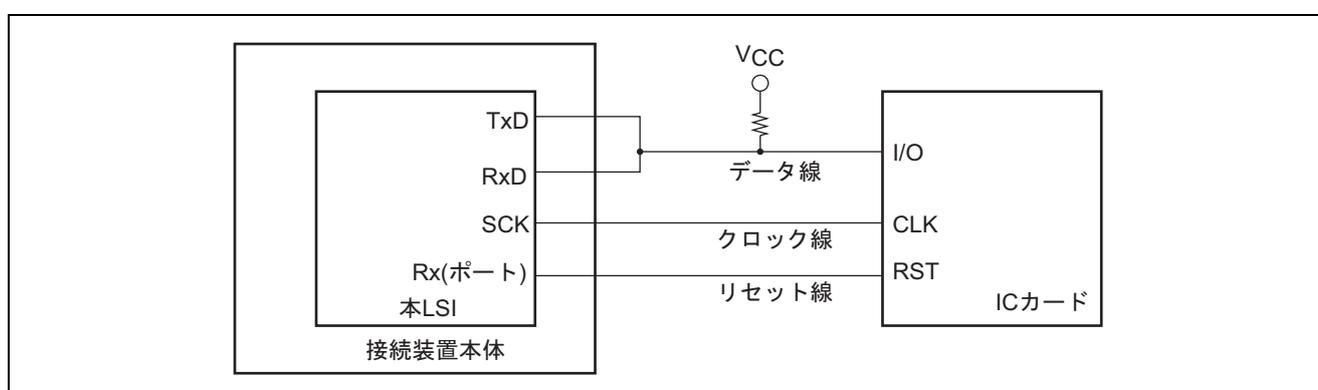


図 15.21 スマートカードインタフェース端子接続概要

15.7.2 データフォーマット (ブロック転送モード時を除く)

図 15.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

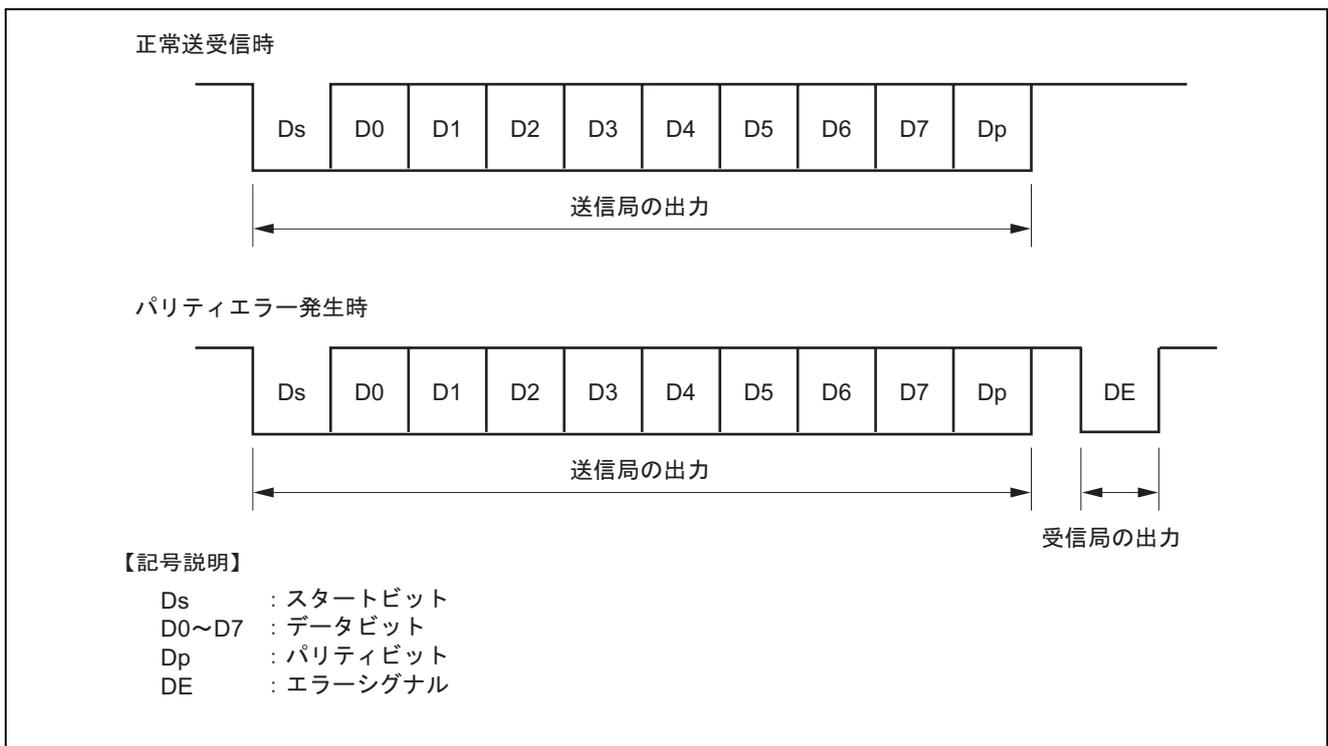


図 15.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

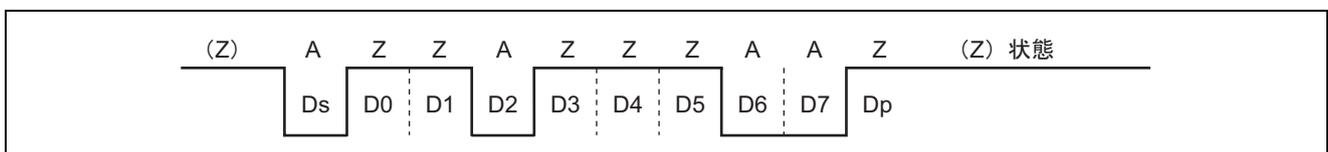


図 15.23 ダイレクトコンベンション (SDIR=SINV=0/E=0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/\bar{E} ビットには 0 をセットしてください。

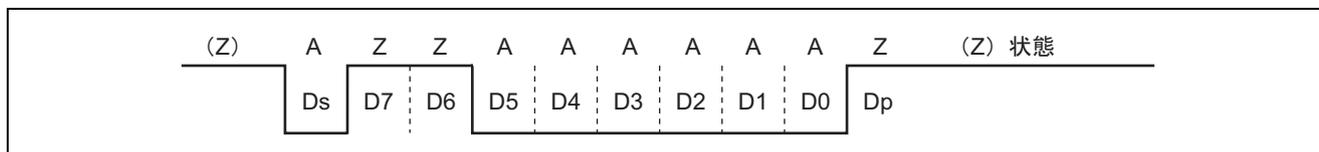


図 15.24 インバースコンベンション (SDIR=SINV= O/\bar{E} =1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7~D0 のみ反転させます。このため、送受信とも SMR の O/\bar{E} ビットに 1 を設定してパリティビットを反転させてください。

15.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1 t_{etu} 以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5 t_{etu} 後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

15.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP2、BCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを中心クロックでサンプリングして内部を同期化します。また、図15.25に示すように受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=32、64、372、256、93、128、186、512)

D：クロックのデューティ (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= \left(0.5 - \frac{1}{2 \times 372} \right) \times 100\% \\ &= 49.866\% \end{aligned}$$

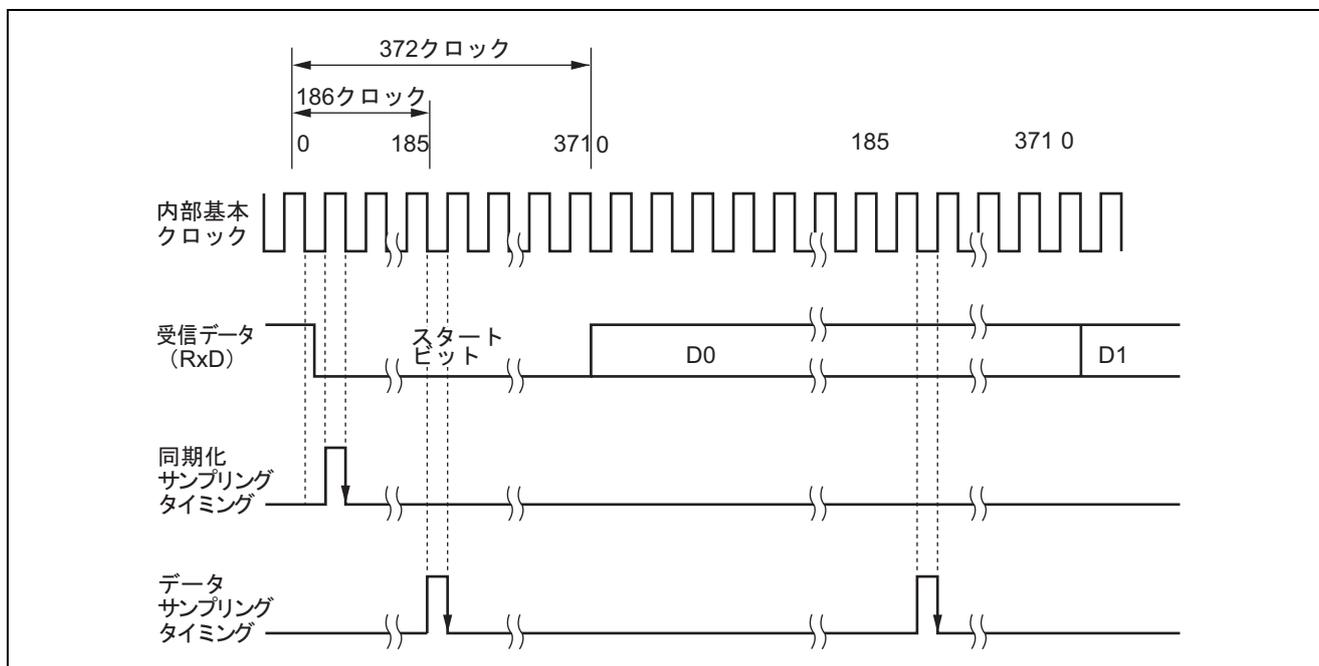


図 15.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

15.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビット、およびSCMRのBCP2ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIF ビットを 1 にセットすると、TxD 端子および RxD 端子は共にポートから SCI の端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0 ビットを 1 にセットした場合は、SCK 端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

15.7.6 データ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 15.26 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
4. 再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 15.28 に示します。これら一連の処理は TXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「第 9 章 データトランスファコントローラ (DTC)」「第 7 章 DMA コントローラ (DMAC)」を参照してください。

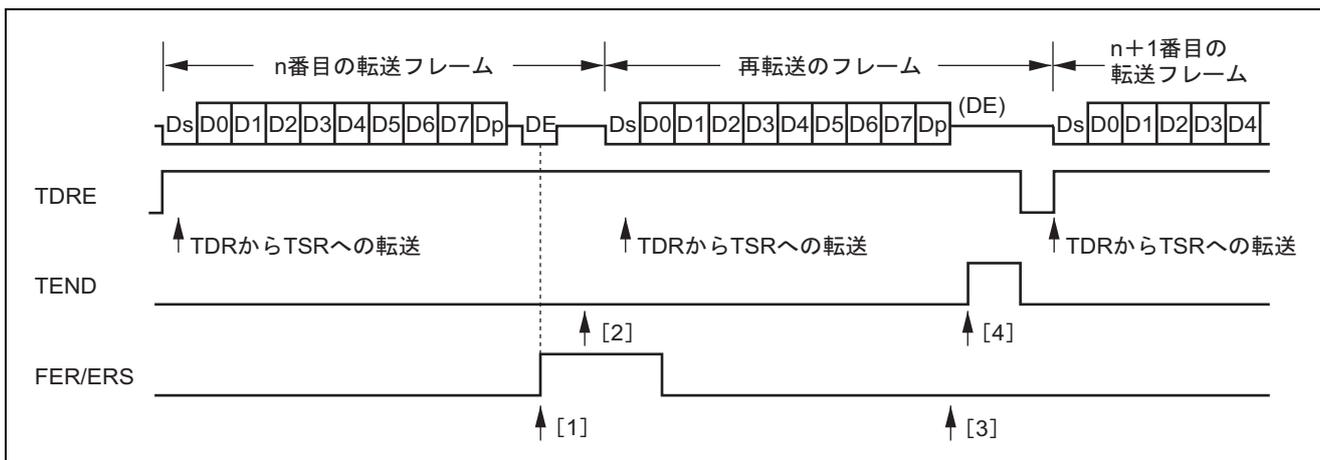


図 15.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 15.27 に TEND フラグ発生タイミングを示します。

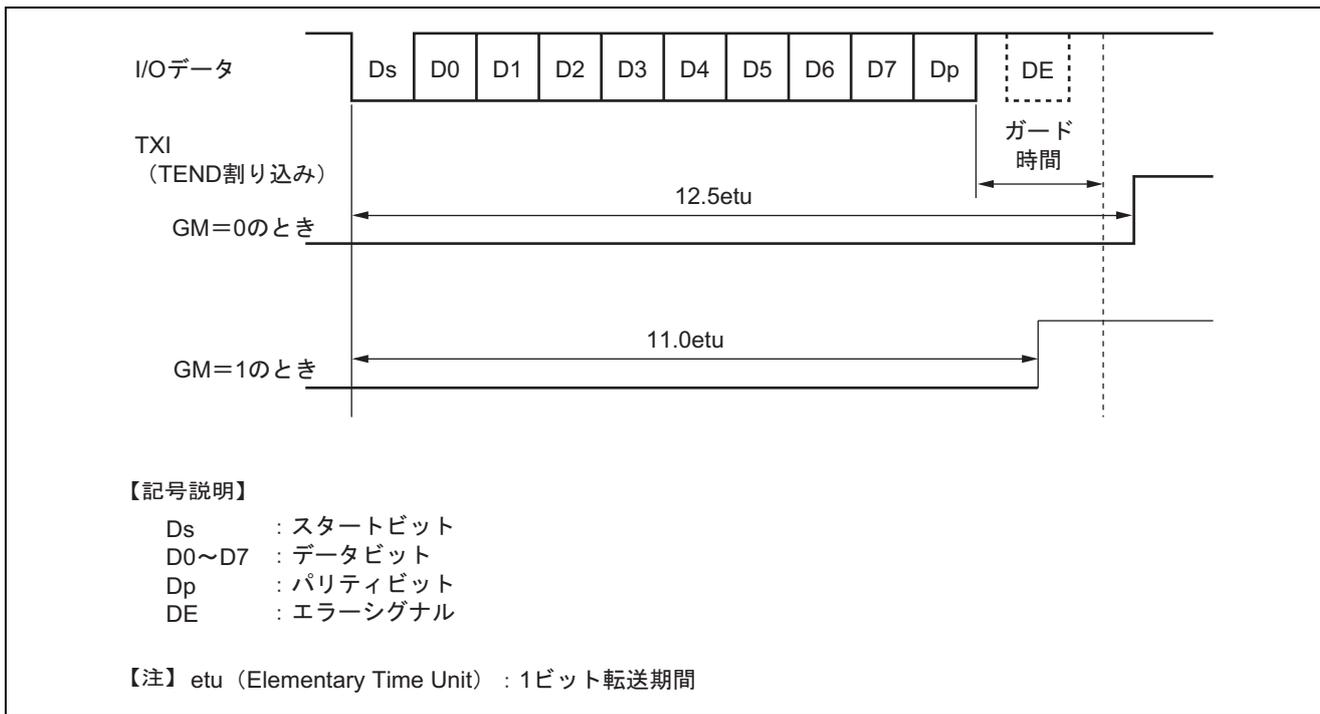


図 15.27 送信動作時の TEND フラグ発生タイミング

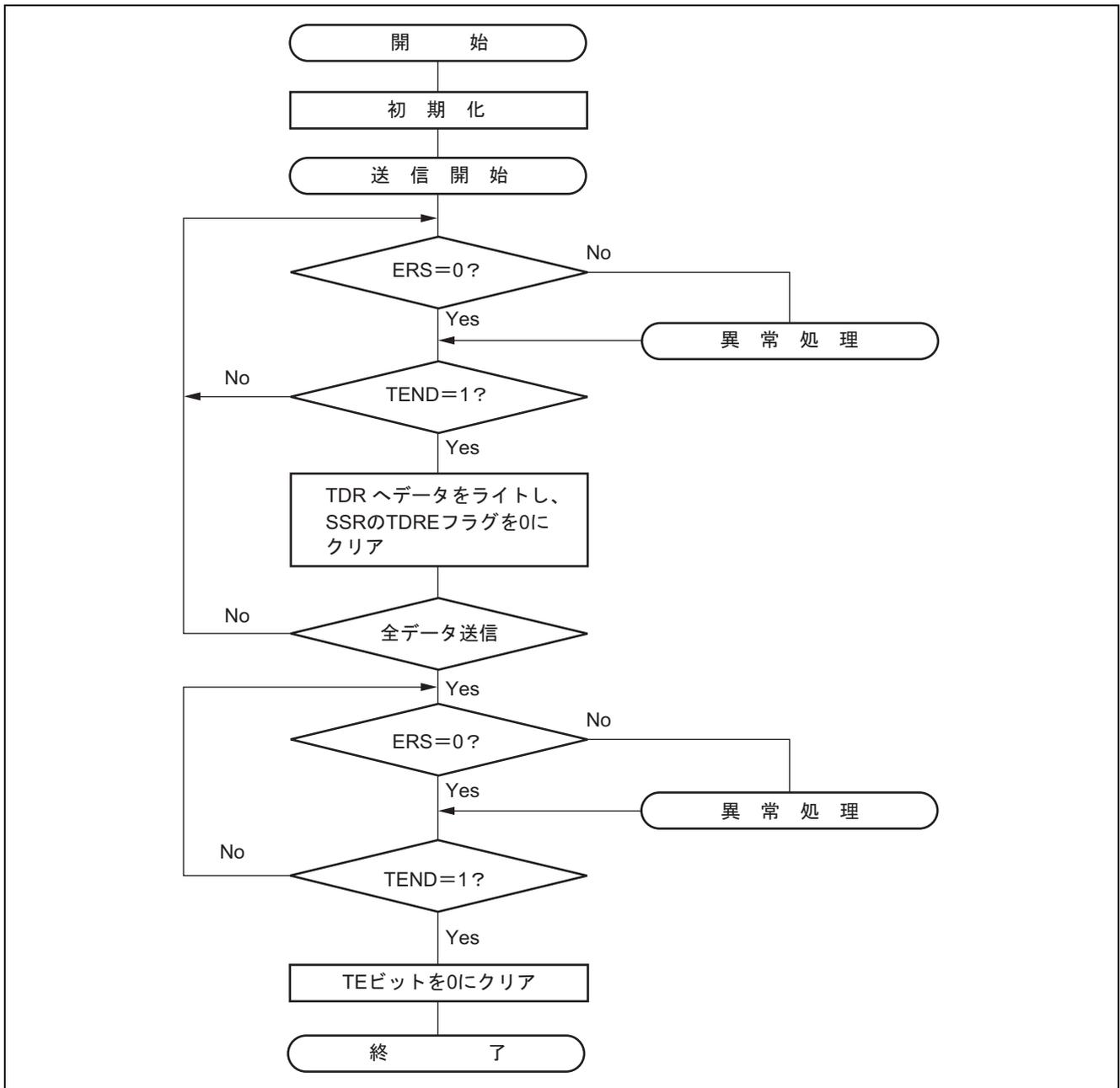


図 15.28 送信処理フローの例

15.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 15.29 に示します。

1. 受信データにパリティエラーを検出すると SSR の PER ビットが 1 にセットされます。このとき、SCR の RIE がセットされていると ERI 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに PER ビットをクリアしてください。
2. パリティエラーを検出したフレームでは SSR の RDRF ビットはセットされません。
3. パリティエラーが検出されない場合は、SSR の PER ビットはセットされません。
4. 正常に受信を完了したと判断して、SSR の RDRF が 1 にセットされます。このとき SCR の RIE ビットがセットされていれば、RXI 割り込み要求を発生します。

受信フローの例を図 15.30 に示します。これら一連の処理は RXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DTC または DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求により DTC または DMAC が起動されて受信データの転送を行います。DTC または DMAC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「15.4 調歩同期式モードの動作」を参照してください。

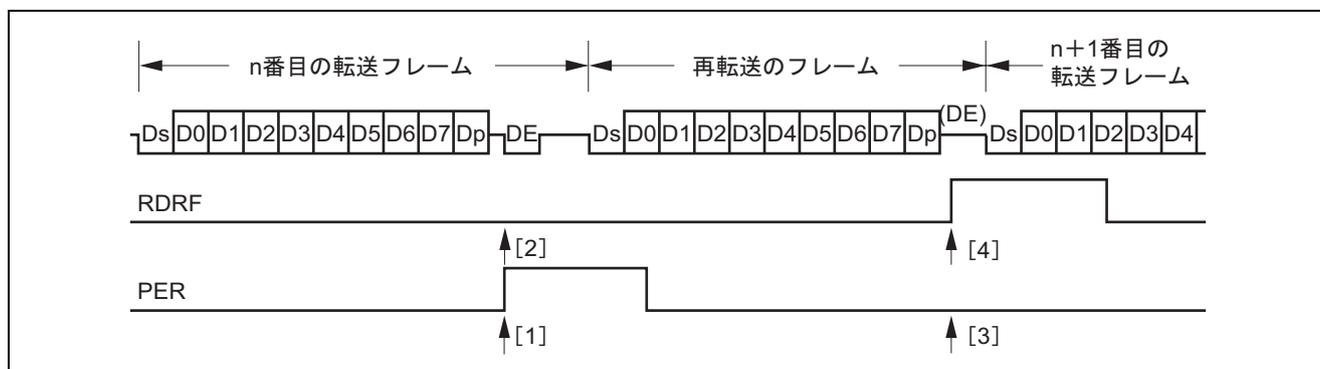


図 15.29 SCI 受信モードの場合の再転送動作

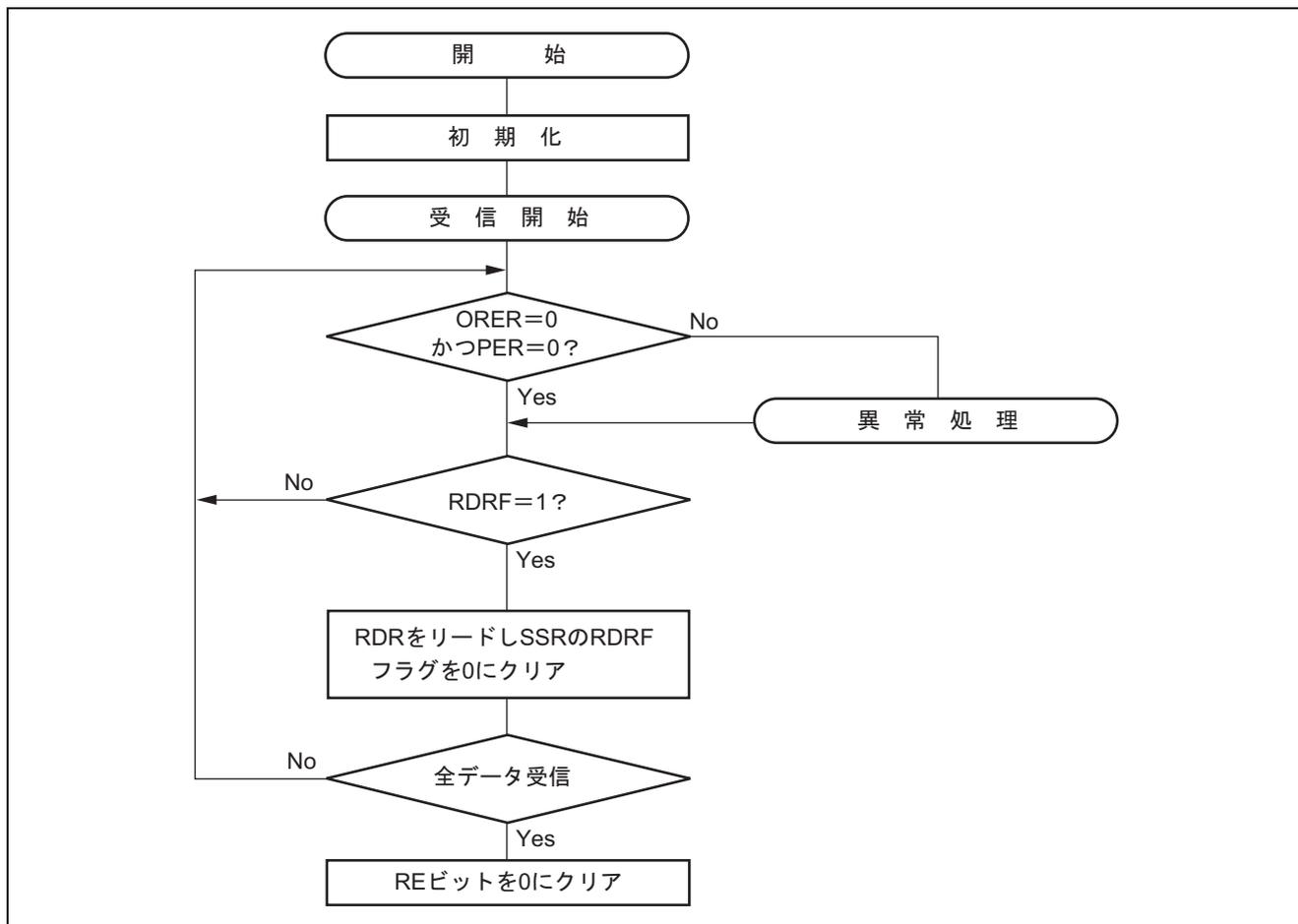


図 15.30 受信フローの例

15.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.31 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

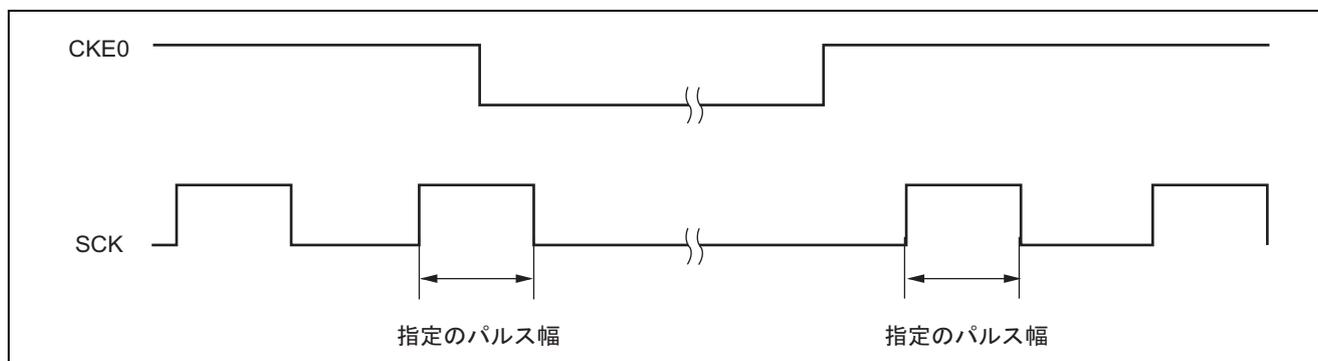


図 15.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

• 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

• スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

• ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

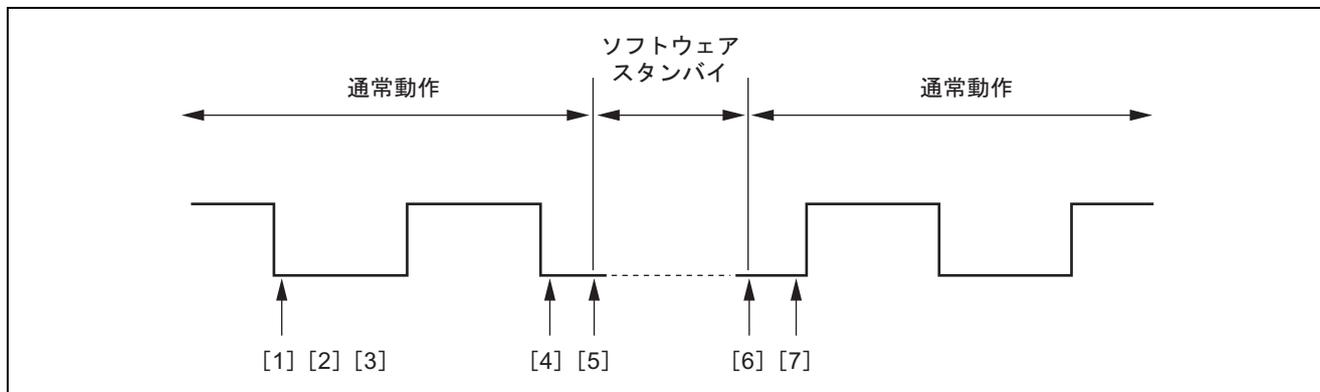


図 15.32 クロック停止・再起動手順

15.8 IrDA 動作

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI_0 の TxD0/RxD0 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTxD/IrRxD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

図 15.33 に IrDA のブロック図を示します。

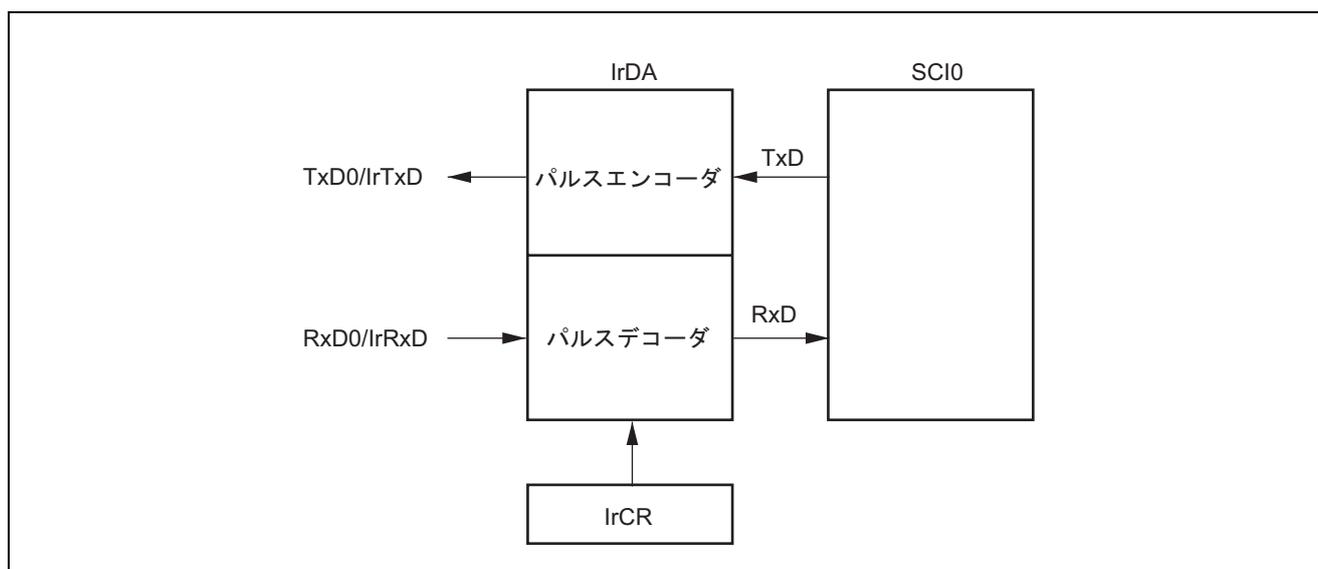


図 15.33 IrDA ブロック図

(1) 送信

送信時には、SCI からの出力信号 (UART フレーム) は IrDA インタフェースにより IR フレームに変換されます (図 15.34 参照)。シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ の High パルスが出力されます (初期値)。なお、High パルス幅は、IrCR の IrCKS2~IrCKS0 ビットの設定値により変化させることも可能です。規格では、High パルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(3/16+2.5\%) \times$ ビットレート、または $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$ と定められています。システムクロック ϕ が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最小の High パルス幅としては $1.6 \mu\text{s}$ が設定可能です。また、シリアルデータが 1 のときは、パルスは出力されません。

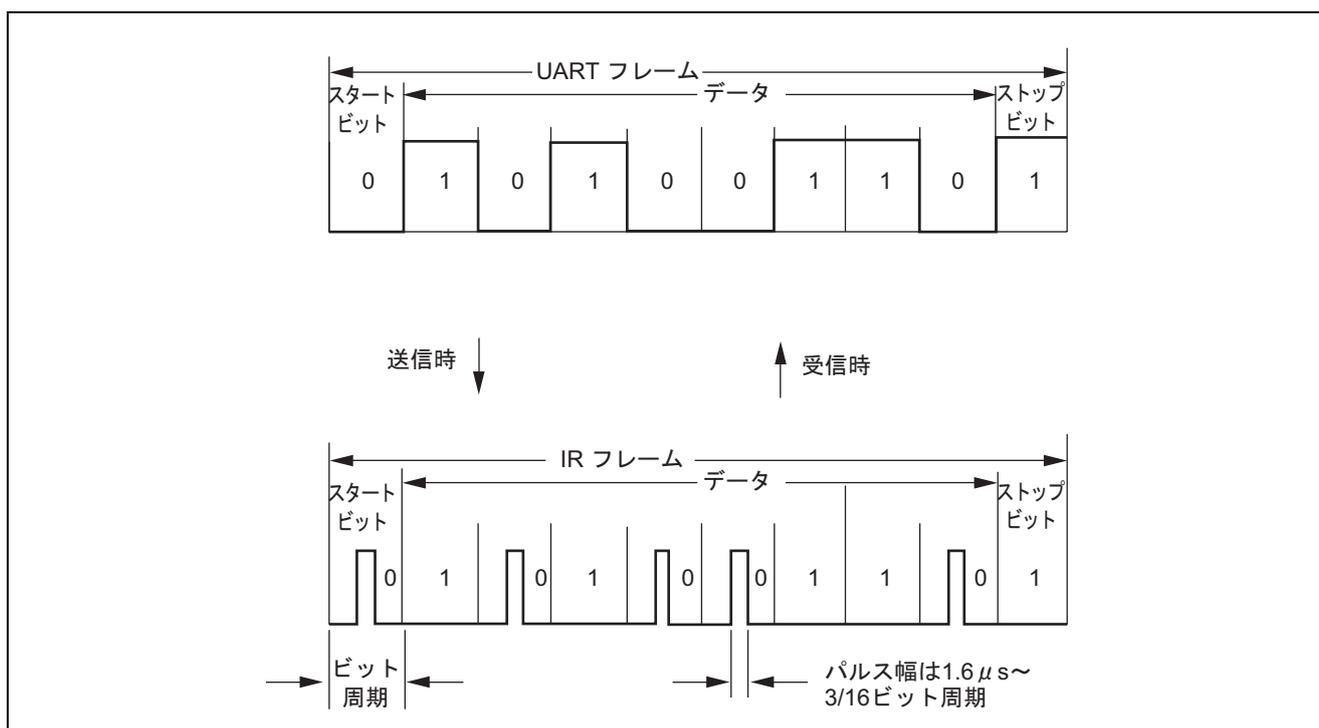


図 15.34 IrDA の送信/受信動作

(2) 受信

受信時には、IR フレームのデータは IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の $1.41 \mu\text{s}$ より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート $\times 3/16$ よりパルス幅を短くする場合に、適用可能な IrCKS2~IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 15.12 に示します。

表 15.12 IrCKS2~IrCKS0 ビット設定

動作周波数 φ (MHz)	ビットレート (bps) (上段) / ビット周期 × 3/16 (μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	—
30	110	110	110	110	110	—
33	110	110	110	110	110	—

【記号説明】

— : SCI 側のビットレート設定ができません。

15.9 割り込み要因

15.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 15.13 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC または DMAC を起動してデータ転送を行うことができます。TDRE フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC または DMAC を起動してデータ転送を行うことができます。RDRF フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 15.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
0	ERI0	受信エラー	ORER、FER、PER	不可	不可	高 ↑
	RX10	受信データフル	RDRF	可	可	
	TX10	送信データエンpty	TDRE	可	可	
	TEI0	送信終了	TEND	不可	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	不可	↓ 低
	RX11	受信データフル	RDRF	可	可	
	TX11	送信データエンpty	TDRE	可	可	
	TEI1	送信終了	TEND	不可	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	不可	
	RX12	受信データフル	RDRF	可	不可	
	TX12	送信データエンpty	TDRE	可	不可	
	TEI2	送信終了	TEND	不可	不可	
3	ERI3	受信エラー	ORER、FER、PER	不可	不可	
	RX13	受信データフル	RDRF	可	不可	
	TX13	送信データエンpty	TDRE	可	不可	
	TEI3	送信終了	TEND	不可	不可	
4	ERI4	受信エラー	ORER、FER、PER	不可	不可	
	RX14	受信データフル	RDRF	可	不可	
	TX14	送信データエンpty	TDRE	可	不可	
	TEI4	送信終了	TEND	不可	不可	

15.10 使用上の注意事項

15.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「第23章 低消費電力状態」を参照してください。

15.10.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD端子の値を直接リードすることでブレークを検出できます。ブレークではRxD端子からの入力すべて0になりますので、FERがセットされ、またPERもセットされる可能性があります。SCIは、ブレークを受信した後も受信動作を続けます。したがってFERを0にクリアしても再びFERが1にセットされますので注意してください。

15.10.3 マーク状態とブレークの送付

TEが0のとき、TxD端子はDRとDDRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTxD端子をマーク状態にしたりデータ送信時にブレークの送付をすることができます。TEを1にセットするまで、通信回線をマーク状態(1の状態)にするためには、DDR=1、DR=1を設定します。このとき、TEが0にクリアされていますので、TxD端子はI/Oポートとなっており1が出力されます。一方、データ送信時にブレークを送付したいときは、DDR=1、DR=0に設定した後TEを0にクリアします。TEを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されます。

15.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ(ORER、PER、FER)が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

15.10.5 TDRへのライトとTDREフラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが1にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態では新しいデータをTDRにライトすると、TDRに格納されていたデータはTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

15.10.6 DMAC または DTC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、 ϕ クロックで5クロック以上経過した後に送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると誤動作することがあります（図15.35参照）。
2. DMACまたはDTCによりRDRのリードを行うときは、必ず起動要因を当該SCIの受信完了割り込み（RXI）に設定してください。

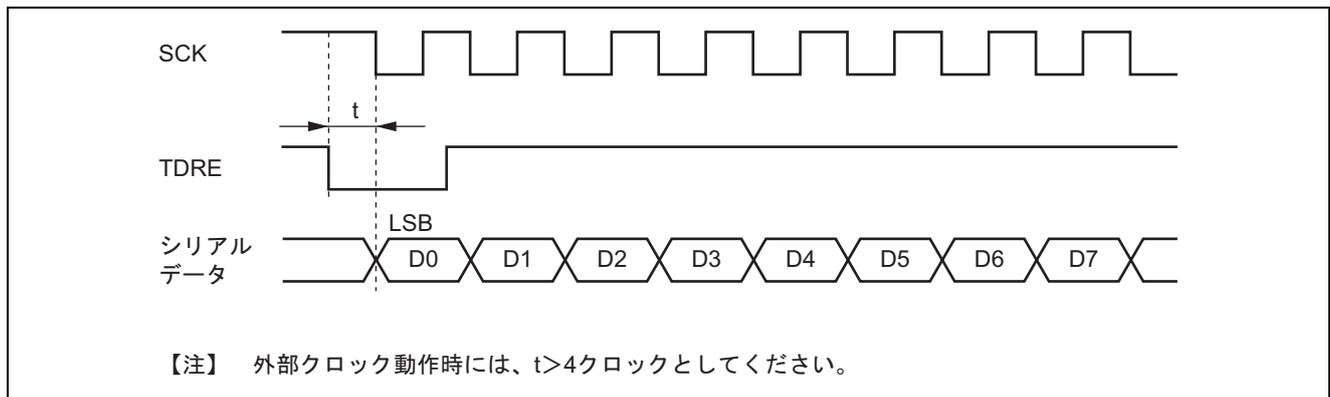


図 15.35 DTC によるクロック同期式送信時の例

15.10.7 モード遷移時の動作について

(1) 送信

モジュールストップ状態への設定または、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。モード解除後に送信モードを変えないで送信する場合は、 $TE=1$ に設定、SSR リード→TDR ライト→TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。図 15.36 に送信時のモード遷移フローチャートの例を示します。なお、モード遷移時のポートの端子状態を図 15.37、図 15.38 に示します。

また、DTC 転送による送信からモジュールストップ状態への設定または、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。解除後 DTC による送信をする場合は $TE=1$ 、 $TIE=1$ に設定すると TXI フラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモード遷移時には、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 15.39 に受信時のモード遷移フローチャートの例を示します。

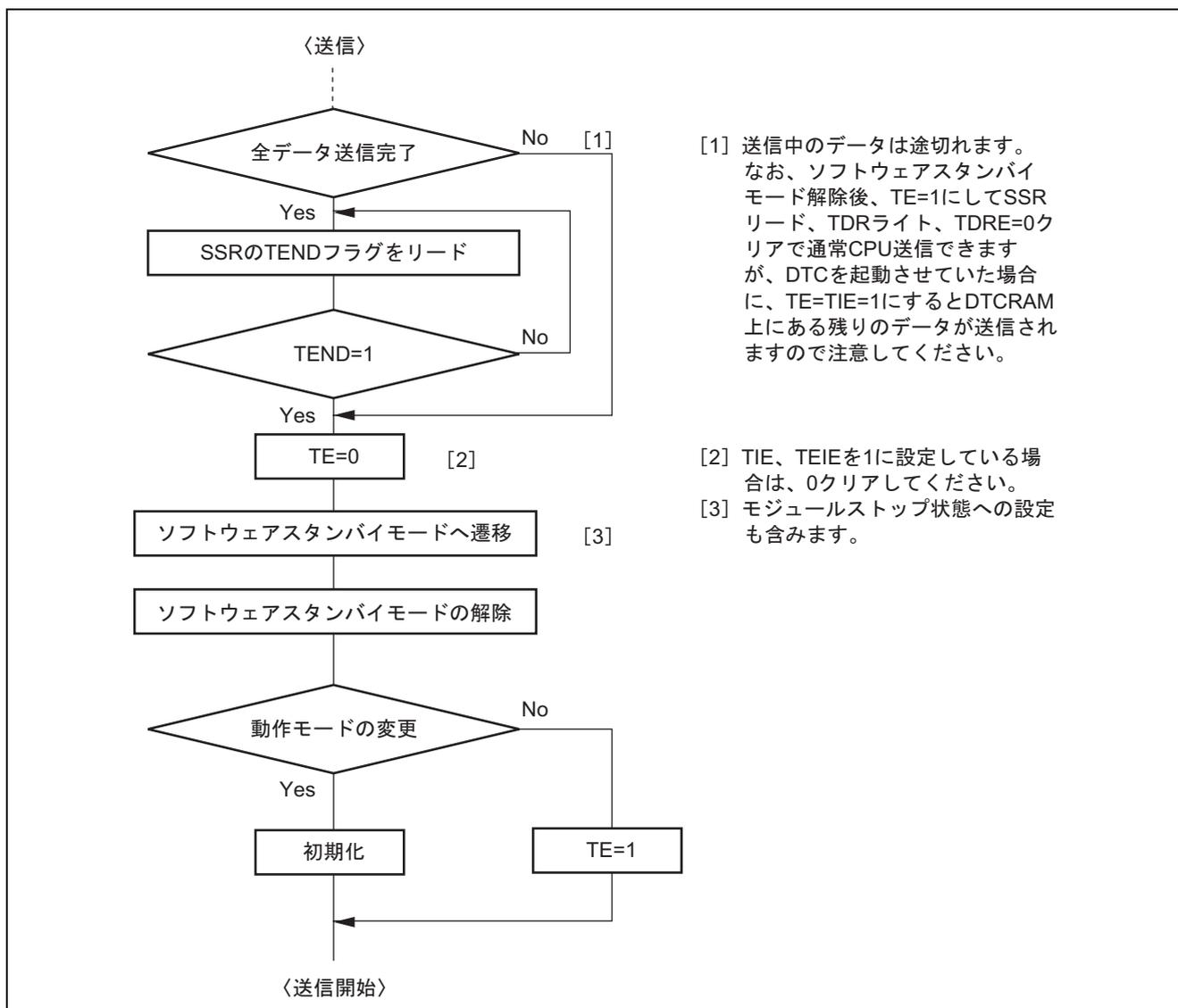


図 15.36 送信時のモード遷移フローチャートの例

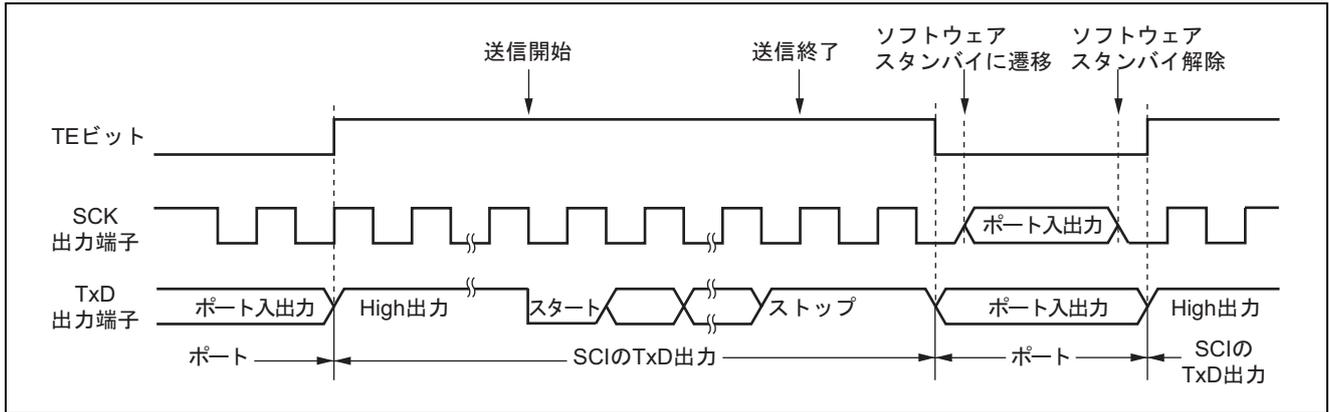


図 15.37 モード遷移時のポート端子状態 (内部クロック、調歩同期送信)

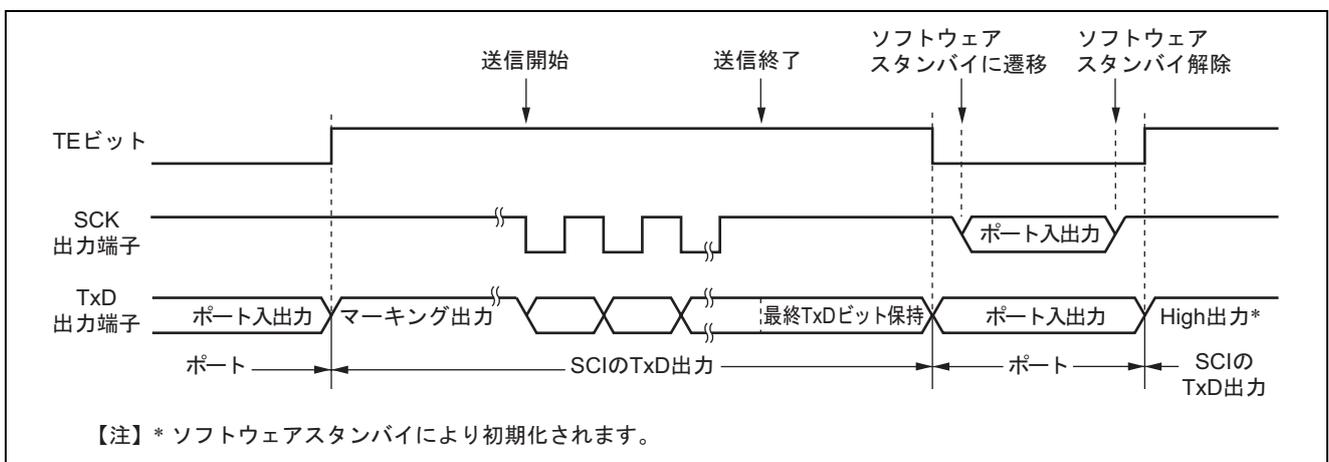


図 15.38 モード遷移時のポート端子状態 (内部クロック、クロック同期送信)

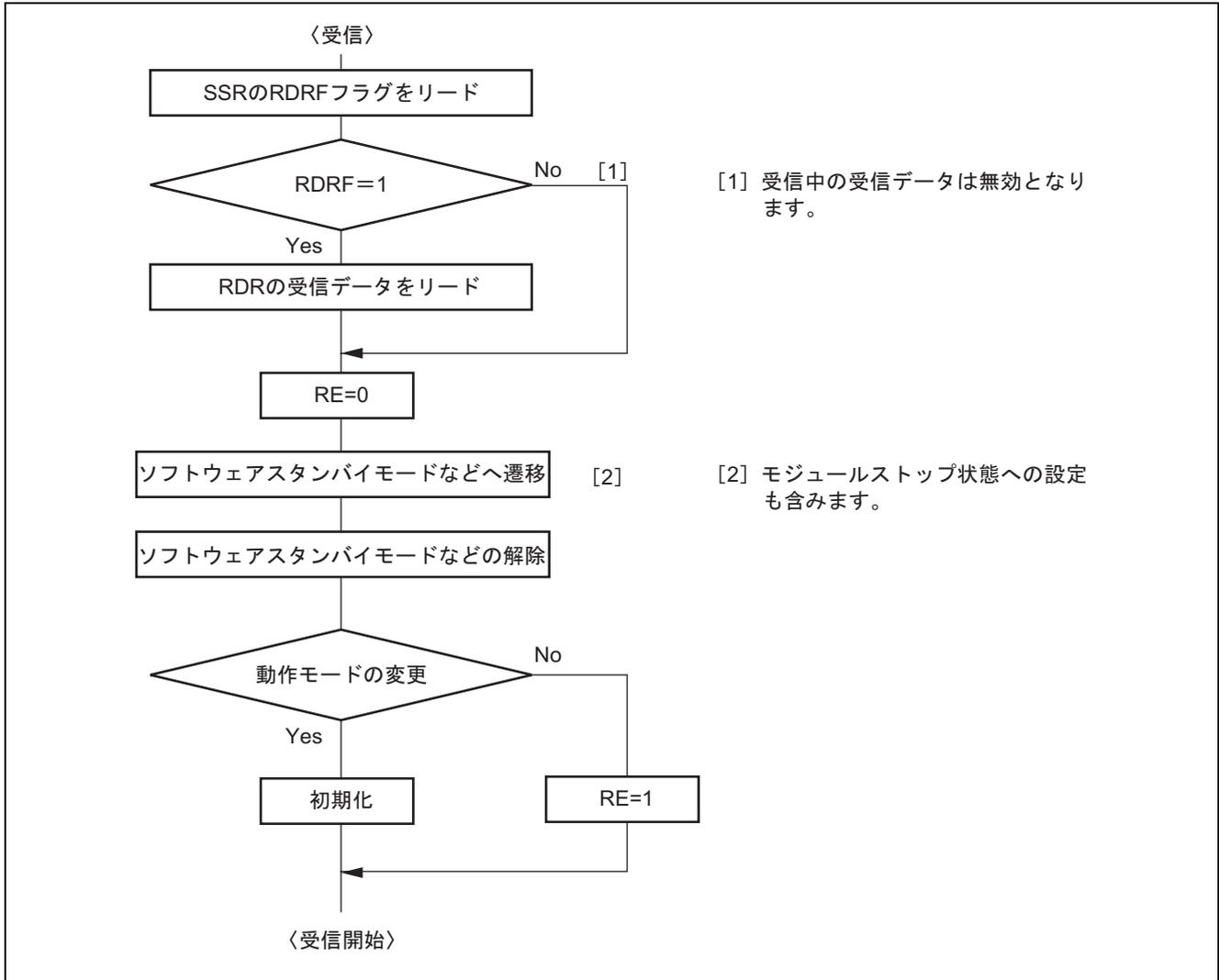


図 15.39 受信時のモード遷移フローチャートの例

16. I²C バスインタフェース 2 (IIC2)

本 LSI は、4 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースは、NXP セミコンダクターズ社が提唱する I²C バス (Inter IC Bus) インタフェース方式 (Rev.03) のスタンダードモードおよびファーストモードに準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部 NXP セミコンダクターズ社と異なりますので注意してください。

I²C バスインタフェース 2 のブロック図を図 16.1 に、入出力端子の外部回路接続例を図 16.2 に示します。

16.1 特長

- 連続送信／受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信／受信が可能
- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期/ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL をローレベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信完了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出時、停止条件検出時
- バスを直接駆動可能
SCL、SDA の各端子は、NMOS オープンドレイン出力

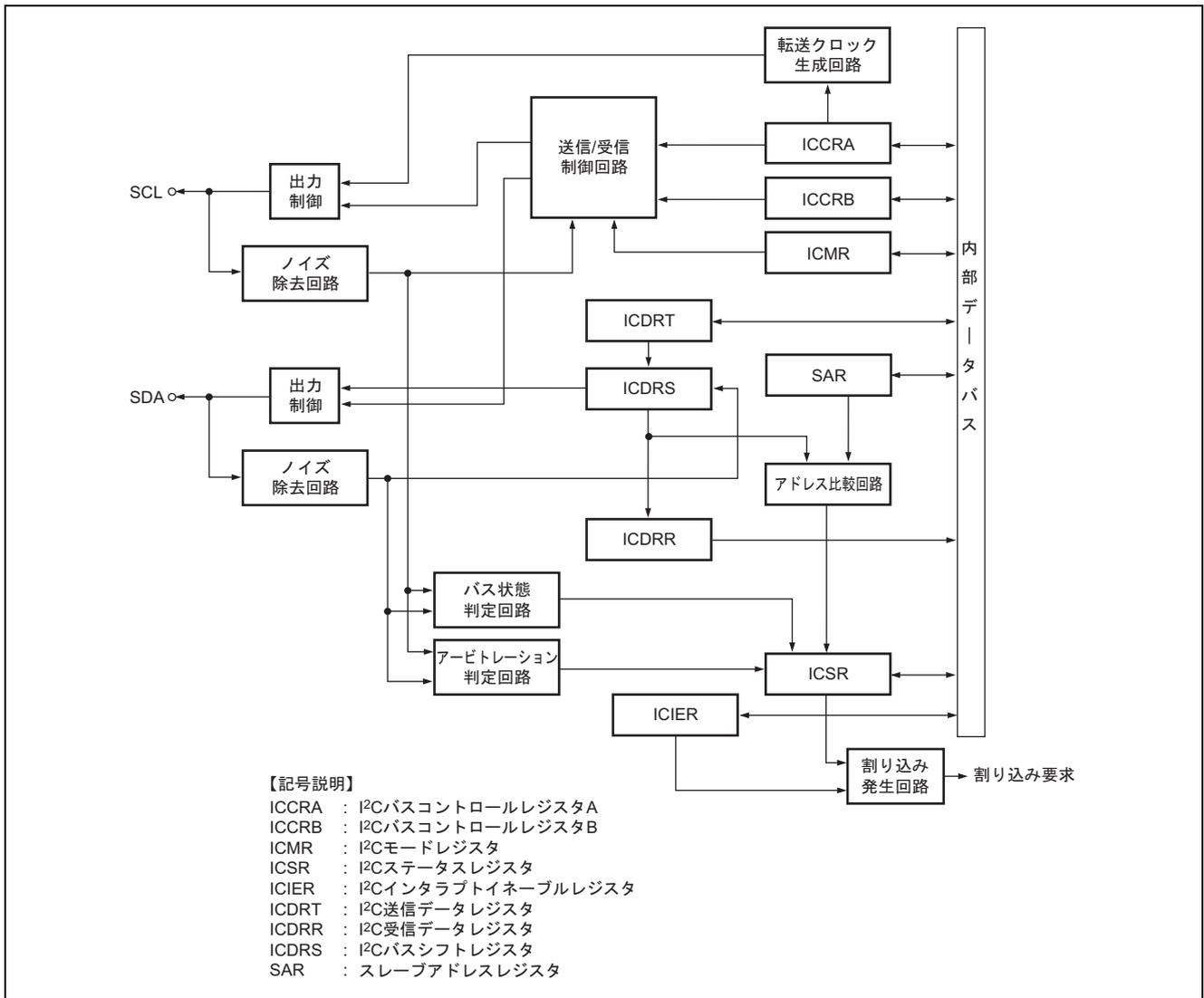


図 16.1 I²C バスインタフェース 2 のブロック図

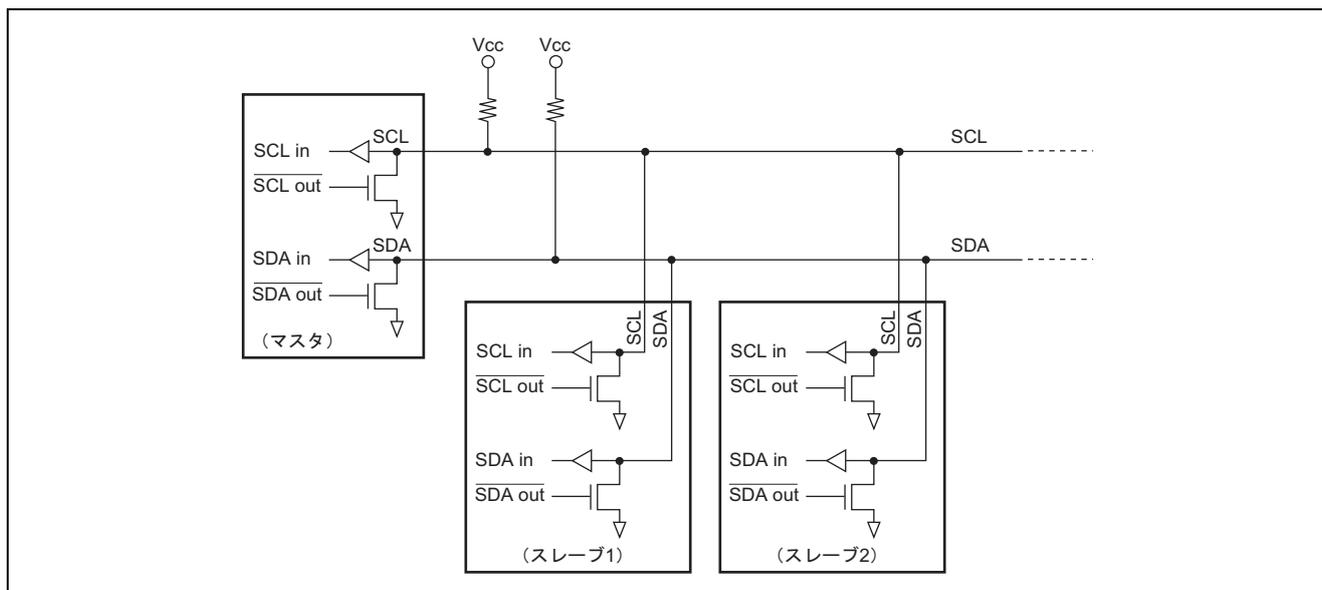


図 16.2 入出力端子の外部回路接続例

16.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	記号	入出力	機能
シリアルクロック端子	SCL0	入出力	I ² C_0 シリアルクロック入出力端子
シリアルデータ端子	SDA0	入出力	I ² C_0 シリアルデータ入出力端子
シリアルクロック端子	SCL1	入出力	I ² C_1 シリアルクロック入出力端子
シリアルデータ端子	SDA1	入出力	I ² C_1 シリアルデータ入出力端子
シリアルクロック端子	SCL2	入出力	I ² C_2 シリアルクロック入出力端子
シリアルデータ端子	SDA2	入出力	I ² C_2 シリアルデータ入出力端子
シリアルクロック端子	SCL3	入出力	I ² C_3 シリアルクロック入出力端子
シリアルデータ端子	SDA3	入出力	I ² C_3 シリアルデータ入出力端子

【注】本文中では、チャンネルを省略し、それぞれ SCL、SDA と略称します。

16.3 レジスタの説明

I²C には以下のレジスタがあります。

チャンネル 0

- I²C バスコントロールレジスタ A_0 (ICCRA_0)
- I²C バスコントロールレジスタ B_0 (ICCRB_0)
- I²C バスモードレジスタ (ICMR_0)
- I²C バスインタラプトイネーブルレジスタ_0 (ICIER_0)
- I²C バスステータスレジスタ_0 (ICSR_0)
- スレーブアドレスレジスタ_0 (SAR_0)
- I²C バス送信データレジスタ_0 (ICDRT_0)
- I²C バス受信データレジスタ_0 (ICDRR_0)
- I²C バスシフトレジスタ_0 (ICDRS_0)

チャンネル 1

- I²C バスコントロールレジスタ A_1 (ICCRA_1)
- I²C バスコントロールレジスタ B_1 (ICCRB_1)
- I²C バスモードレジスタ_1 (ICMR_1)
- I²C バスインタラプトイネーブルレジスタ_1 (ICIER_1)
- I²C バスステータスレジスタ_1 (ICSR_1)
- スレーブアドレスレジスタ_1 (SAR_1)
- I²C バス送信データレジスタ_1 (ICDRT_1)
- I²C バス受信データレジスタ_1 (ICDRR_1)
- I²C バスシフトレジスタ_1 (ICDRS_1)

チャンネル 2

- I²C バスコントロールレジスタ A_2 (ICCRA_2)
- I²C バスコントロールレジスタ B_2 (ICCRB_2)
- I²C バスモードレジスタ_2 (ICMR_2)
- I²C バスインタラプトイネーブルレジスタ_2 (ICIER_2)
- I²C バスステータスレジスタ_2 (ICSR_2)
- スレーブアドレスレジスタ_2 (SAR_2)
- I²C バス送信データレジスタ_2 (ICDRT_2)
- I²C バス受信データレジスタ_2 (ICDRR_2)
- I²C バスシフトレジスタ_2 (ICDRS_2)

チャンネル 3

- I²CバスコントロールレジスタA_3 (ICCRA_3)
- I²CバスコントロールレジスタB_3 (ICCRB_3)
- I²Cバスモードレジスタ_3 (ICMR_3)
- I²Cバスインタラプトイネーブルレジスタ_3 (ICIER_3)
- I²Cバスステータスレジスタ_3 (ICSR_3)
- スレーブアドレスレジスタ_3 (SAR_3)
- I²Cバス送信データレジスタ_3 (ICDRT_3)
- I²Cバス受信データレジスタ_3 (ICDRR_3)
- I²Cバスシフトレジスタ_3 (ICDRS_3)

16.3.1 I²C バスコントロールレジスタ A (ICCRA)

ICCRA は、I²C バスインタフェースの動作/停止、送信/受信制御、マスタモード/スレーブモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS=0 の状態で ICDRR をリードしたときに次の動作の継続/禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ/スレーブ選択 送信/受信選択 マスタモードでバス競合負けをすると、MST、TRS 共にハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。 MST と TRS との組み合わせにより、以下の動作モードになります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3 2 1 0	CKS3 CKS2 CKS1 CKS0	0 0 0 0	R/W R/W R/W R/W	転送クロック選択 3~0 マスタモードのとき、必要な転送レート (表 16.2 参照) にあわせて設定してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間は CKS3=0 のとき 10 tcy、CKS3=1 のとき 20 tcy となります。

表 16.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート				
					$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 20\text{MHz}$	$\phi = 25\text{MHz}$	$\phi = 33\text{MHz}$
0	0	0	0	$\phi/28$	286kHz	357kHz	714kHz*	893kHz*	1179kHz*
			1	$\phi/40$	200kHz	250kHz	500kHz*	625kHz*	825kHz*
		1	0	$\phi/48$	167kHz	208kHz	417kHz*	521kHz*	688kHz*
			1	$\phi/64$	125kHz	156kHz	313kHz	391kHz	516kHz*
	1	0	0	$\phi/168$	47.6kHz	59.5kHz	119kHz	149kHz	196kHz
			1	$\phi/100$	80.0kHz	100kHz	200kHz	250kHz	330kHz
		1	0	$\phi/112$	71.4kHz	89.3kHz	179kHz	223kHz	295kHz
			1	$\phi/128$	62.5kHz	78.1kHz	156kHz	195kHz	258kHz
1	0	0	0	$\phi/56$	143kHz	179kHz	357kHz	446kHz*	589kHz*
			1	$\phi/80$	100kHz	125kHz	250kHz	313kHz	413kHz*
		1	0	$\phi/96$	83.3kHz	104kHz	208kHz	260kHz	344kHz
			1	$\phi/128$	62.5kHz	78.1kHz	156kHz	195kHz	258kHz
	1	0	0	$\phi/336$	23.8kHz	29.8kHz	59.5kHz	74.4kHz	98.2kHz
			1	$\phi/200$	40.0kHz	50.0kHz	100kHz	125kHz	165kHz
		1	0	$\phi/224$	35.7kHz	44.6kHz	89.3kHz	112kHz	147kHz
			1	$\phi/256$	31.3kHz	39.1kHz	78.1kHz	97.7kHz	129kHz

【注】 * I²C バスインタフェース仕様（通常モード：最大 100kHz、高速モード：最大 400kHz）の範囲外になりますので、動作保証できません。

16.3.2 I²C バスコントロールレジスタ B (ICCRB)

ICCRB は、開始/停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C のコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I ² C バスの占有/開放状態を示すフラグ機能とマスタモードの開始/停止条件発行機能の 2 つがあります。SCL=ハイレベルの状態、SDA がハイレベルからローレベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=ハイレベルの状態、SDA がローレベルからハイレベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトします。なお開始条件/停止条件の発行は、MOV 命令を用いてください。
6	SCP	1	R/W	開始/停止条件発行禁止ビット SCP ビットはマスタモードで開始条件/停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトします。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R	SDAO は SDA の出力レベルをモニタします。リード時に SDAO が 1 の場合 SDA 端子出力はハイレベル、SDAO が 0 の場合 SDA 端子出力はローレベルとなります。
4	—	1	R/W	リザーブビット ライトするときは必ず 1 をライトしてください。
3	SCLO	1	R	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力はハイレベル、SCLO が 0 の場合 SCL 端子出力はローレベルとなります。
2	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C のレジスタを除くコントロール部をリセットします。I ² C の動作中に通信不具合などによりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I ² C のコントロール部をリセットすることができます。
0	—	1	—	リザーブビット リードすると常に 1 が読み出されます。

16.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット ライトするときは必ず 0 をライトしてください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT はマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分ロー期間を延ばします。WAIT が 0 の場合、ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なおスレーブモードの場合、本ビットの設定値は無効です。
5	—	1	—	リザーブビット
4	—	1	—	リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2~BC0 の書き込みを制御します。BC2~BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。 0 : ライト時、BC2~BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2~BC0 設定値は無効
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL がロー状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。 000 : 9 ビット 001 : 2 ビット 010 : 3 ビット 011 : 4 ビット 100 : 5 ビット 101 : 6 ビット 110 : 7 ビット 111 : 8 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

16.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0: 送信データエンプティ割り込み要求 (TXI) の禁止 1: 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	レシーブインタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI) の許可/禁止を選択します。なお NAKI は、NACKF または AL を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可
3	STIE	0	R/W	停止条件検出インタラプトイネーブル 0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可
2	ACKE	0	R/W	アクノリッジビット判定選択 0: 受信アクノリッジの内容を無視して連続的に転送を行う。 1: 受信アクノリッジが 1 の場合、転送を中断する。

ビット	ビット名	初期値	R/W	説明
1	ACKBR	0	R	受信アクリッジ 送信モード時、受信デバイスから受け取ったアクリッジビットの内容を格納しておくビットです。ライトは無効です。 0: 受信アクリッジ=0 1: 受信アクリッジ=1
0	ACKBT	0	R/W	送信アクリッジ 受信モード時、アクリッジのタイミングで送出するビットを設定します。 0: アクリッジのタイミングで0を送出 1: アクリッジのタイミングで1を送出

16.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき TRS をセットしたとき 開始条件（再送含む）を発行したとき スレーブモードで受信モードから送信モードになったとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき ICDRT ヘデータをライトしたとき
6	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき ICDRT ヘデータをライトしたとき
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> ICDRS から ICDRR に受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき ICDRR をリードしたとき

ビット	ビット名	初期値	R/W	説明
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ICIER の ACKE=1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレームの転送の完了後に停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
2	AL	0	R/W	<p>アービトレーションロストフラグ</p> <p>AL は、マスタモード時にバス競合負けをしたことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子がハイレベルのとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第 1 フレームが SAR の SVA6~SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>スレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき

16.3.6 スレーブアドレスレジスタ (SAR)

SAR は、スレーブアドレスを設定します。スレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~0	0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	—	0	R/W	リザーブビット リード/ライト可能ですが、必ず 0 をライトしてください。

16.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、I²C バスシフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。ICDRT の初期値は H'FF です。

16.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

16.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

16.4 動作説明

16.4.1 I²C バスフォーマット

I²C バスフォーマットを図 16.3 に、I²C バスのタイミングを図 16.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

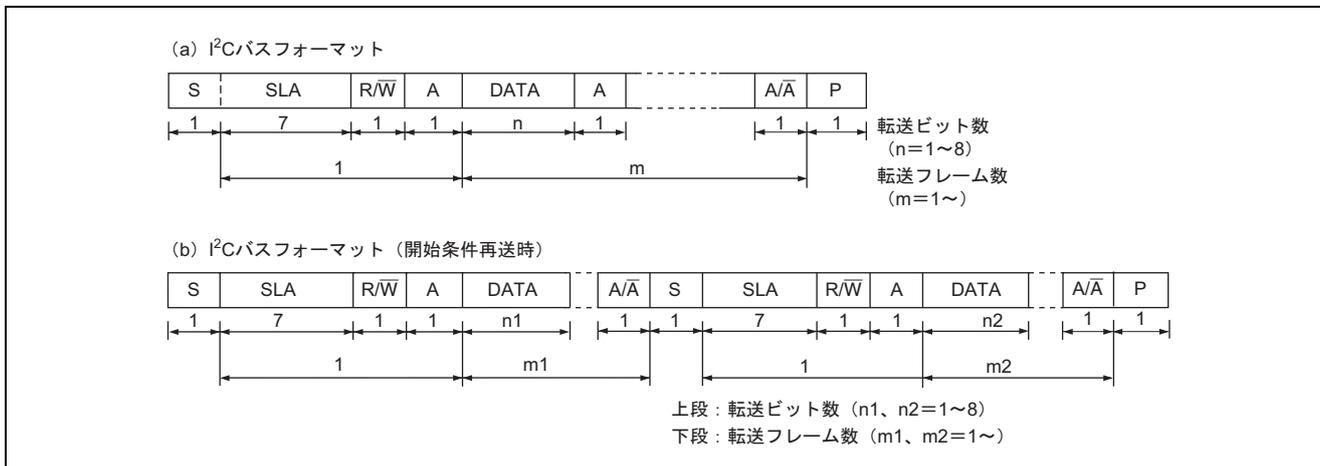


図 16.3 I²C バスフォーマット

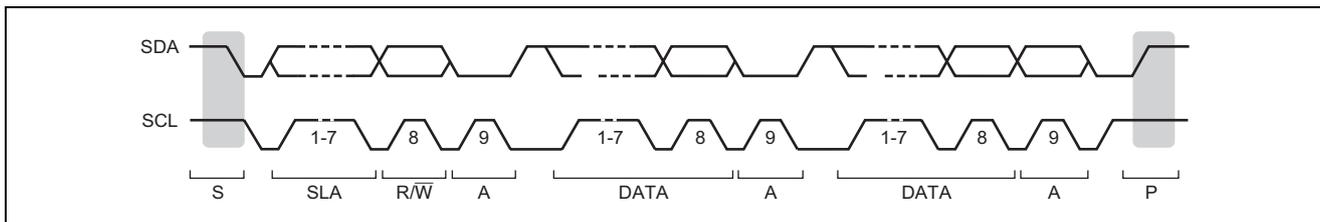


図 16.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL=ハイレベルの状態 で SDA をハイレベルからローレベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA をローレベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=ハイレベルの状態 で SDA をローレベルからハイレベルに変化させます。

16.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 16.5 と図 16.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCRAのICEビットを1に設定します。またICMRのWAIT、ICCRAのCKS3～CKS0などを設定します（初期設定）。
2. ICCRBのBBSYフラグをリードしてバスが開放状態であることを確認後、ICCRAのMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがローレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

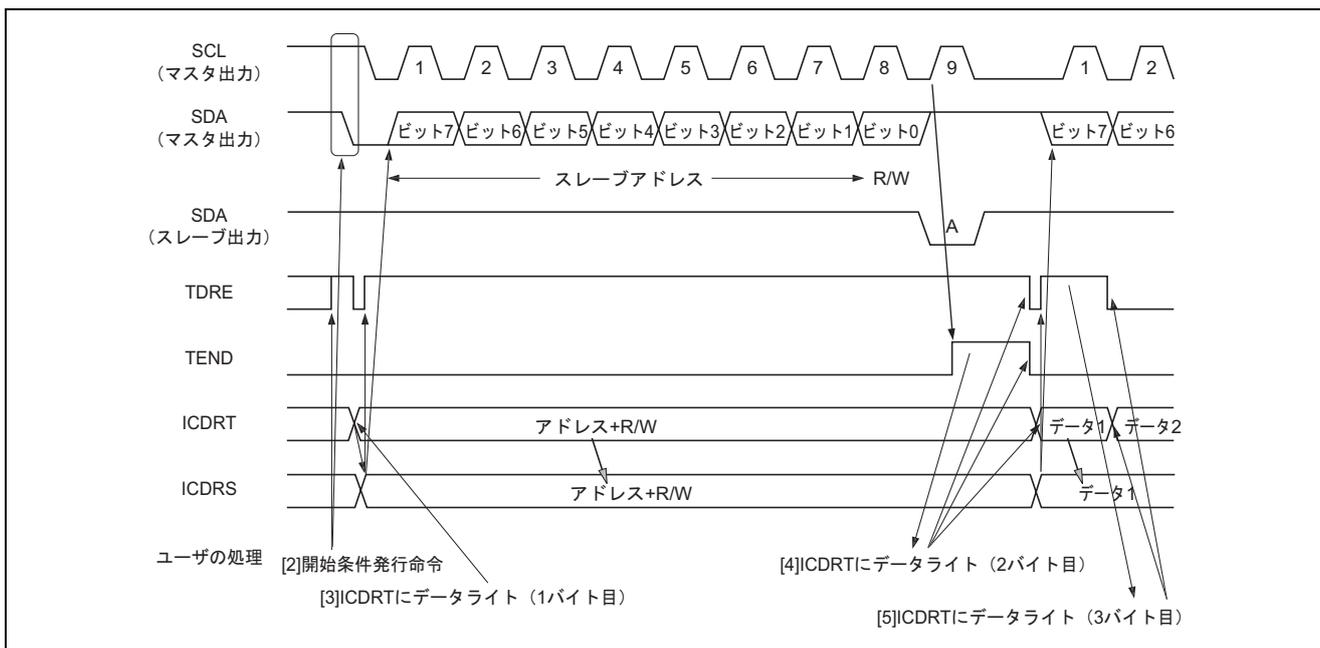


図 16.5 マスタ送信モード動作タイミング 1

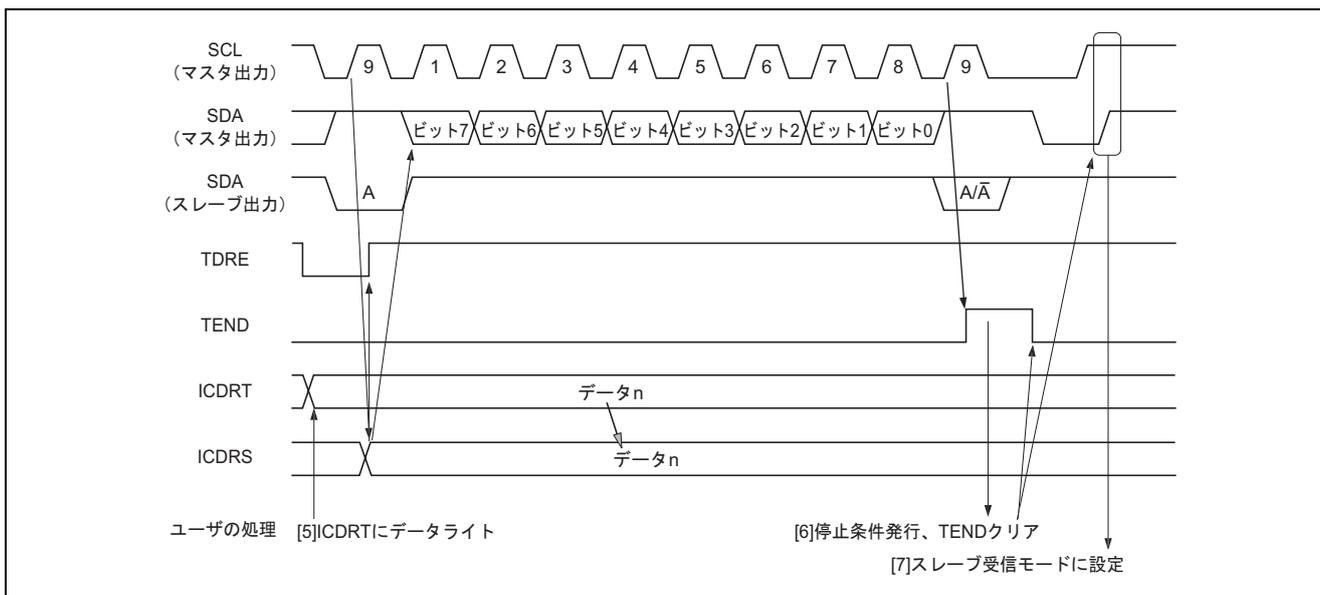


図 16.6 マスタ送信モード動作タイミング 2

16.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 16.7 と図 16.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCRAのTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードし、RDRFをクリアすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがローレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCRAのRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

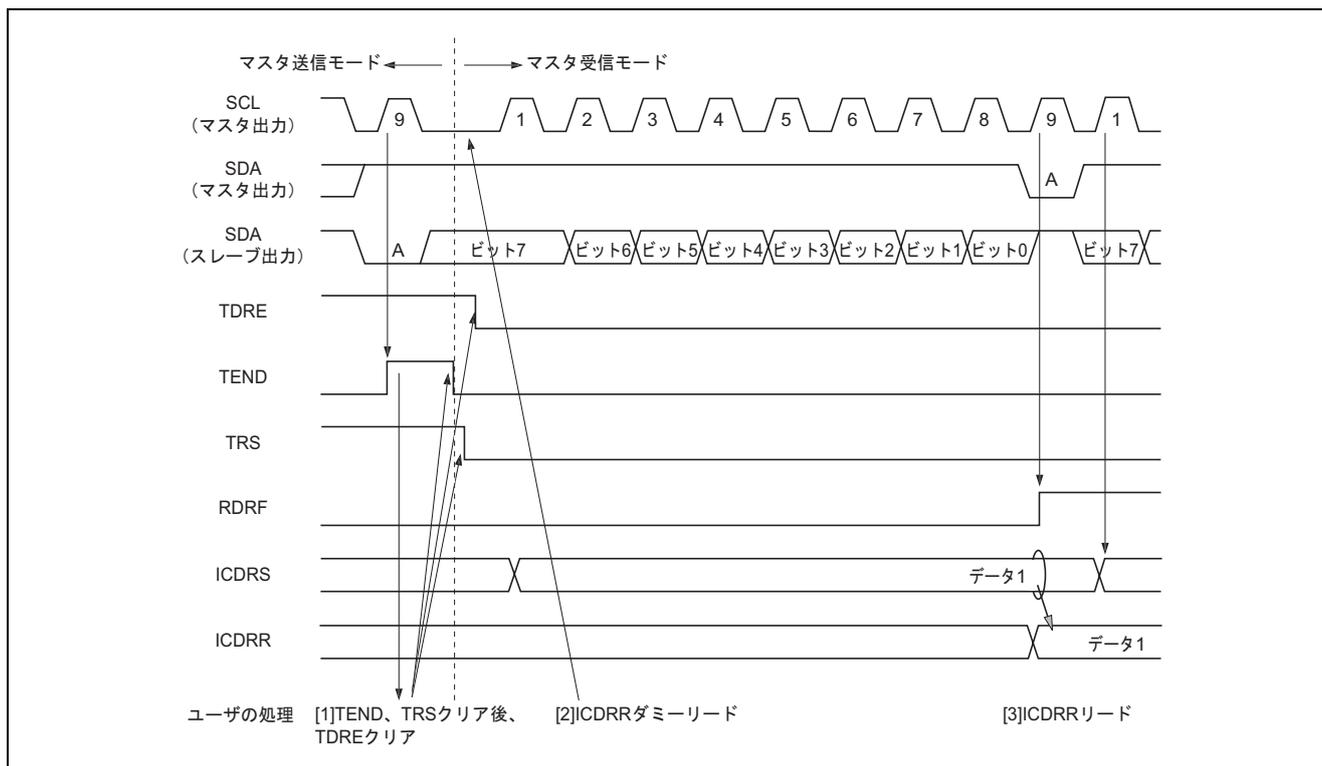


図 16.7 マスタ受信モード動作タイミング 1

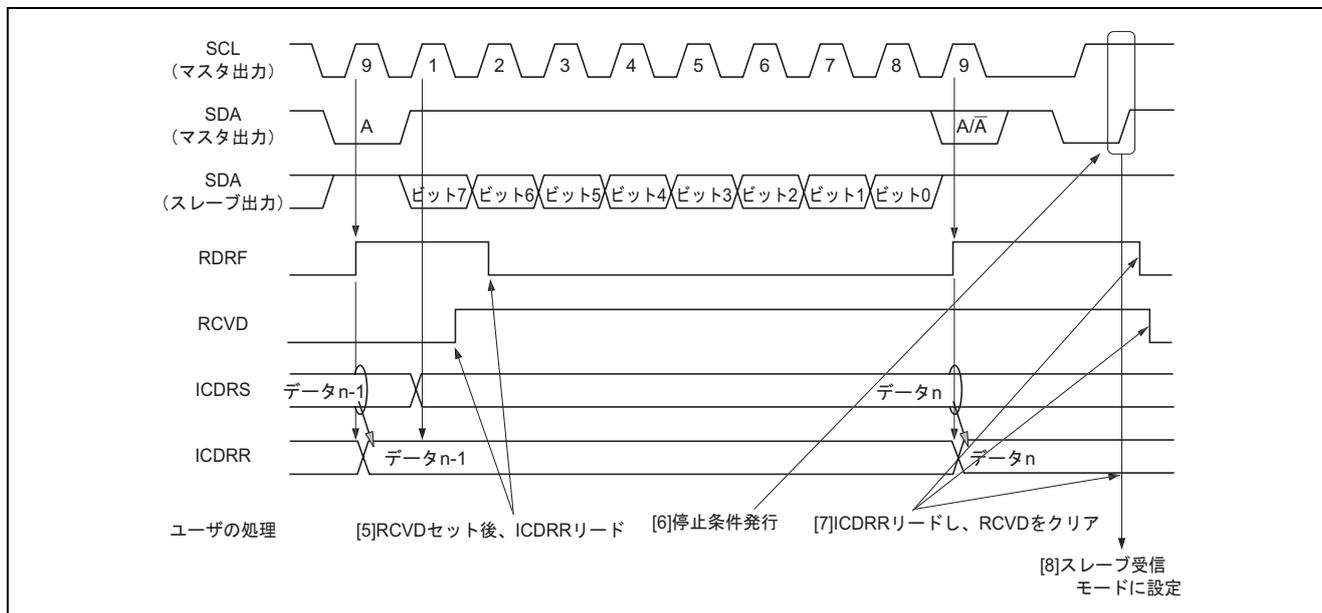


図 16.8 マスタ受信モード動作タイミング 2

16.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 16.9 と図 16.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0などを設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCRAのTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

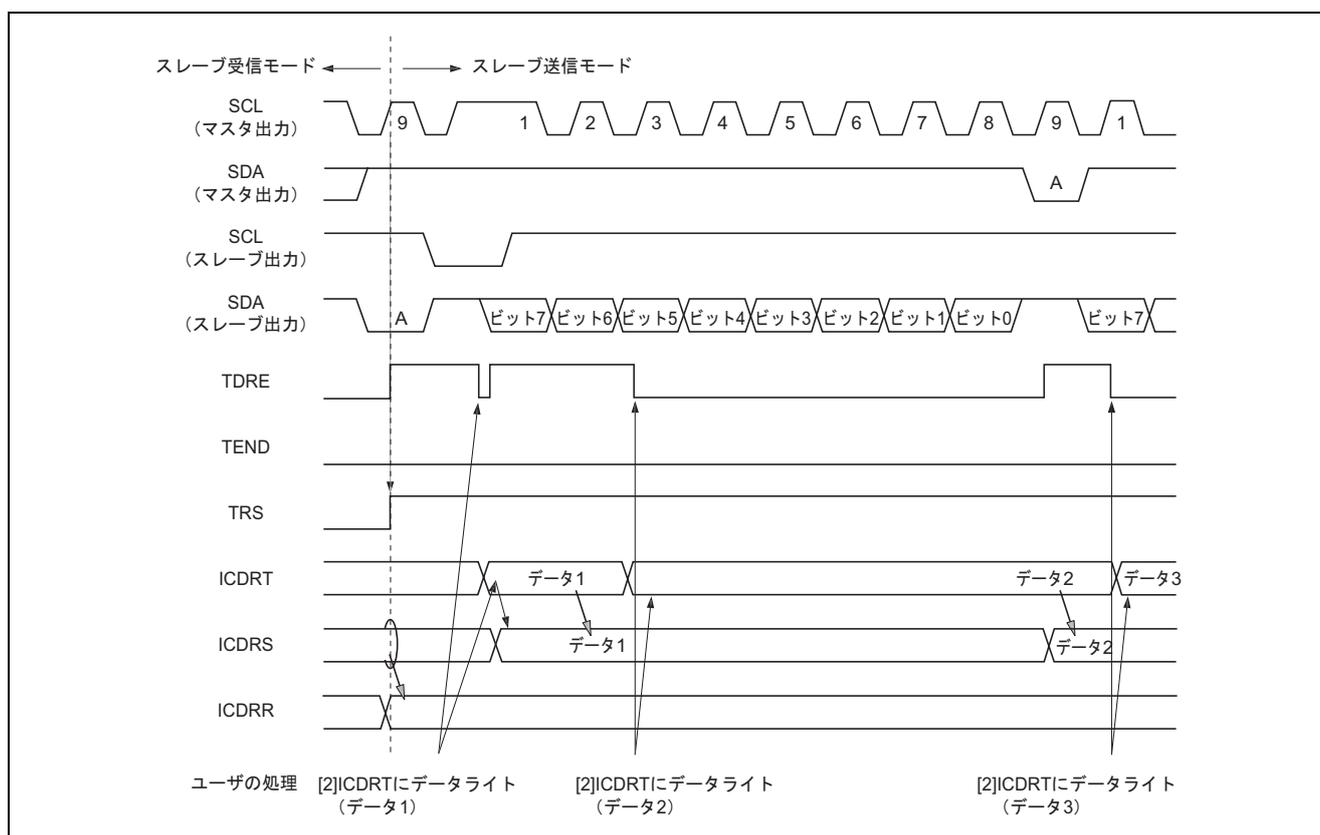


図 16.9 スレーブ送信モード動作タイミング 1

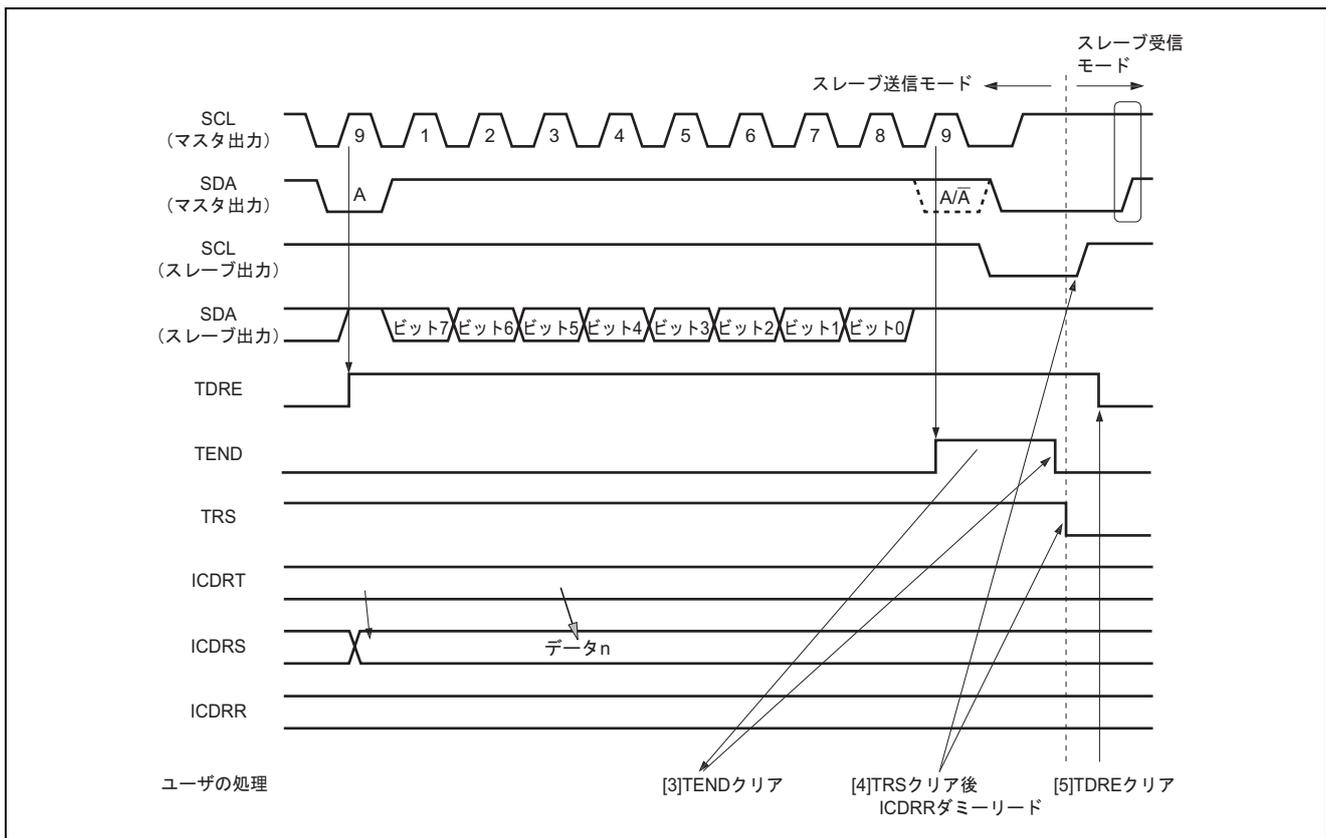


図 16.10 スレーブ送信モード動作タイミング 2

16.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 16.11 と図 16.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0などを設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをローに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

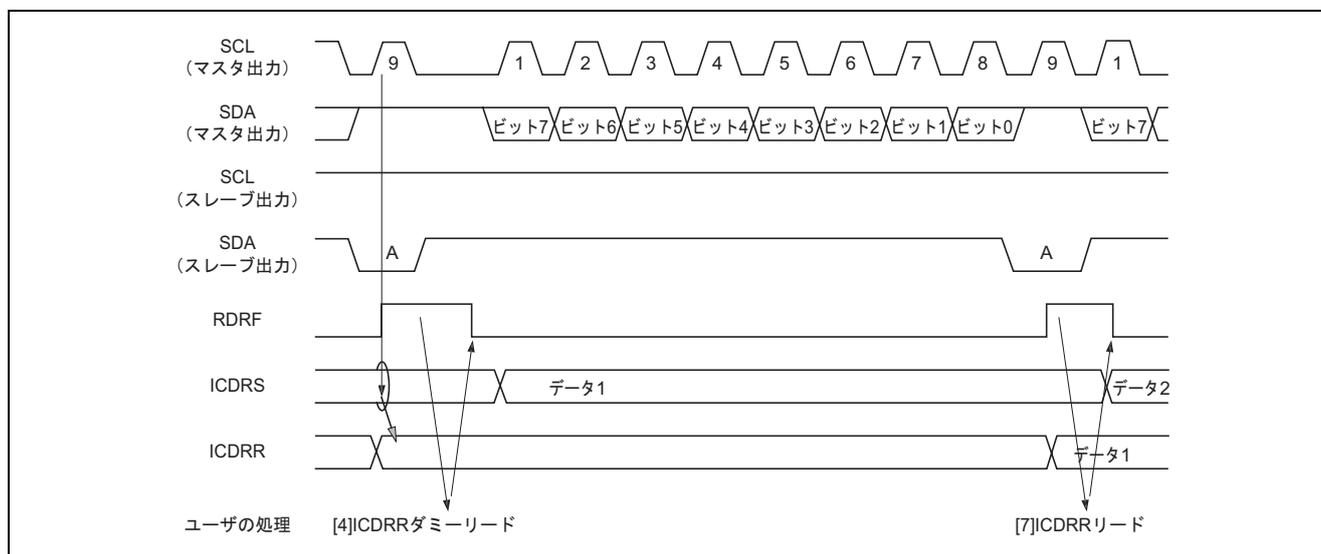


図 16.11 スレーブ受信モード動作タイミング 1

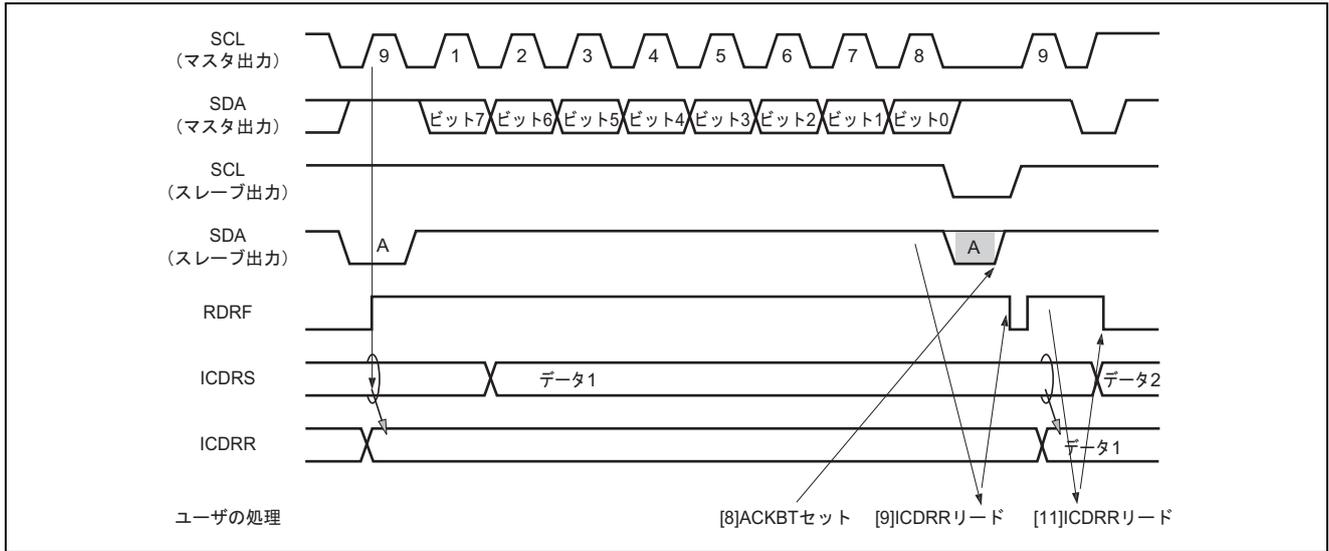


図 16.12 スレーブ受信モード動作タイミング 2

16.4.6 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

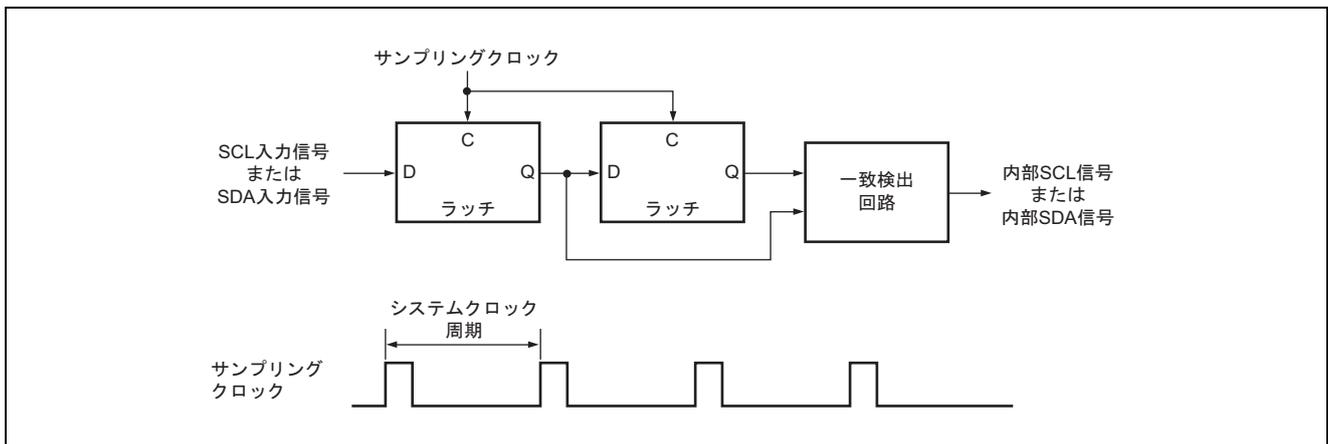


図 16.13 ノイズ除去回路のブロック図

16.4.7 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 16.14～図 16.17 に示します。

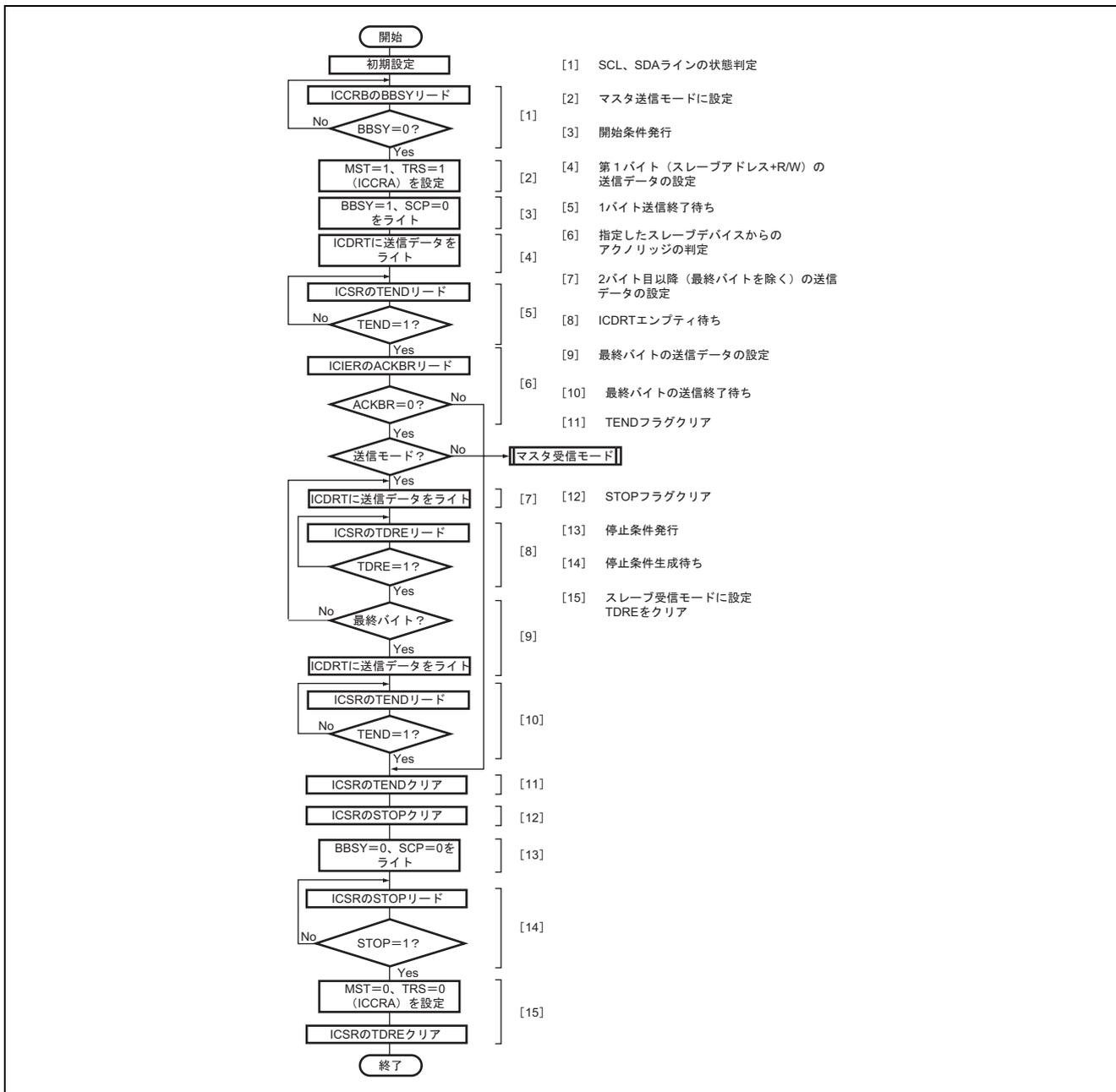


図 16.14 マスタ送信モードのフローチャート例

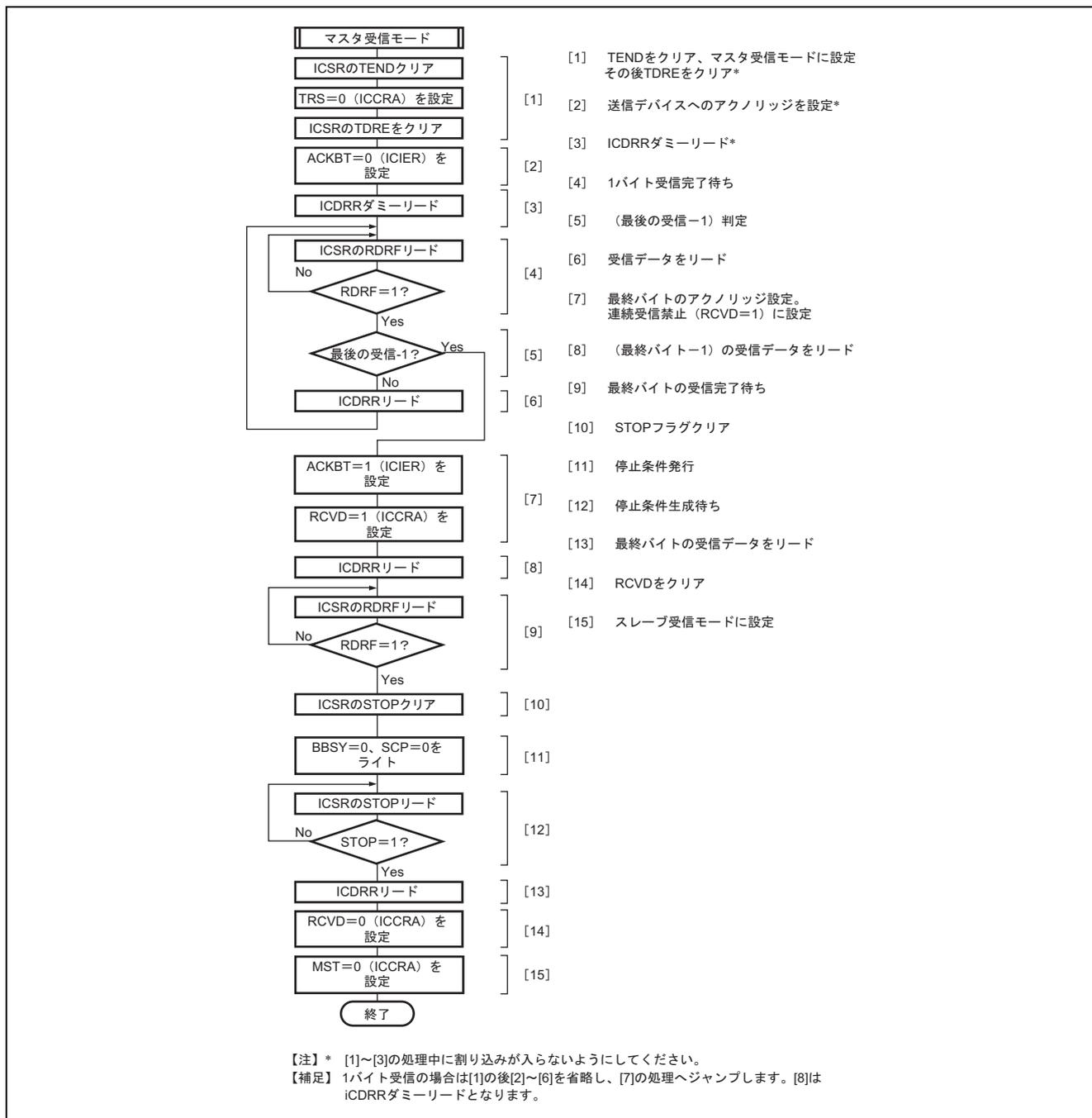


図 16.15 マスタ受信モードのフローチャート例

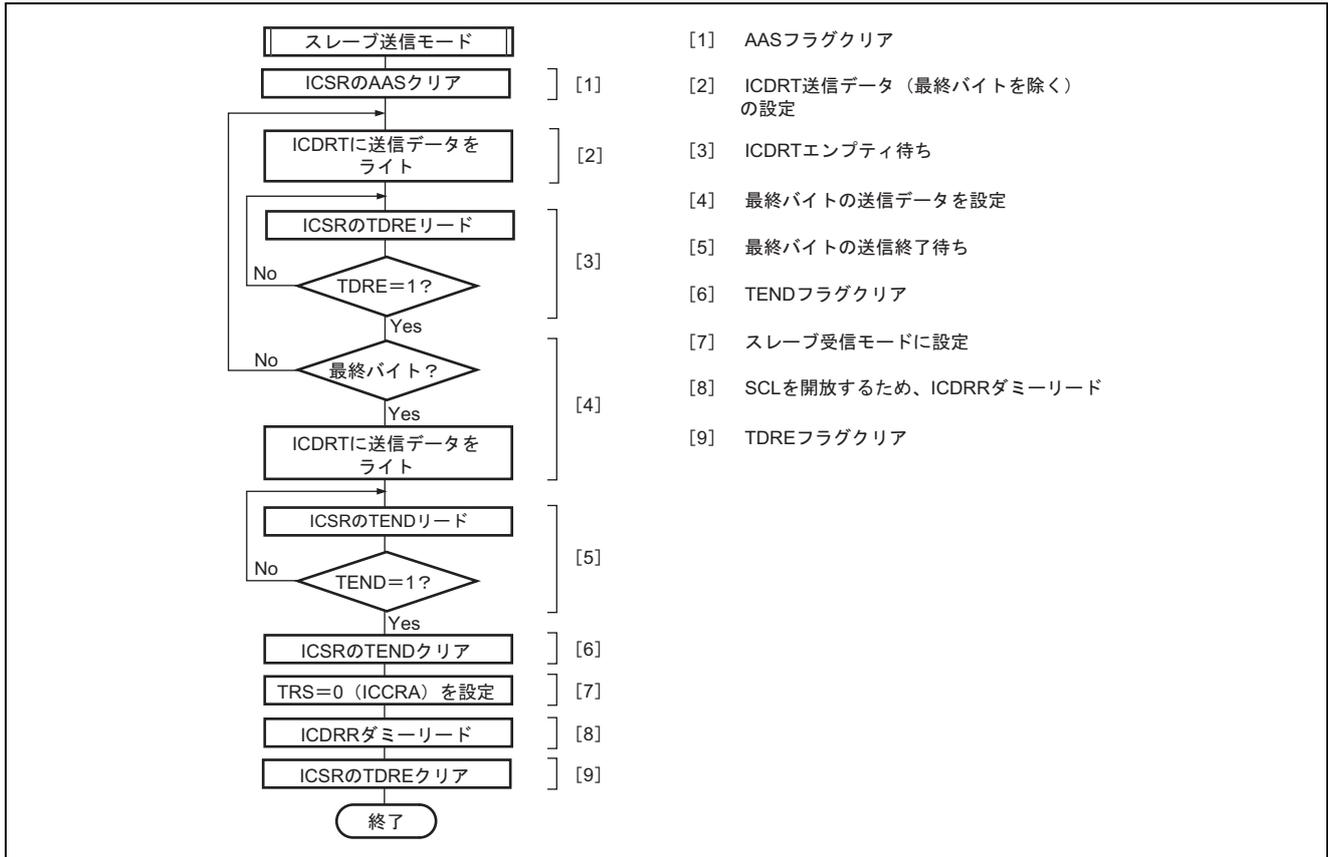


図 16.16 スレーブ送信モードフローチャート例

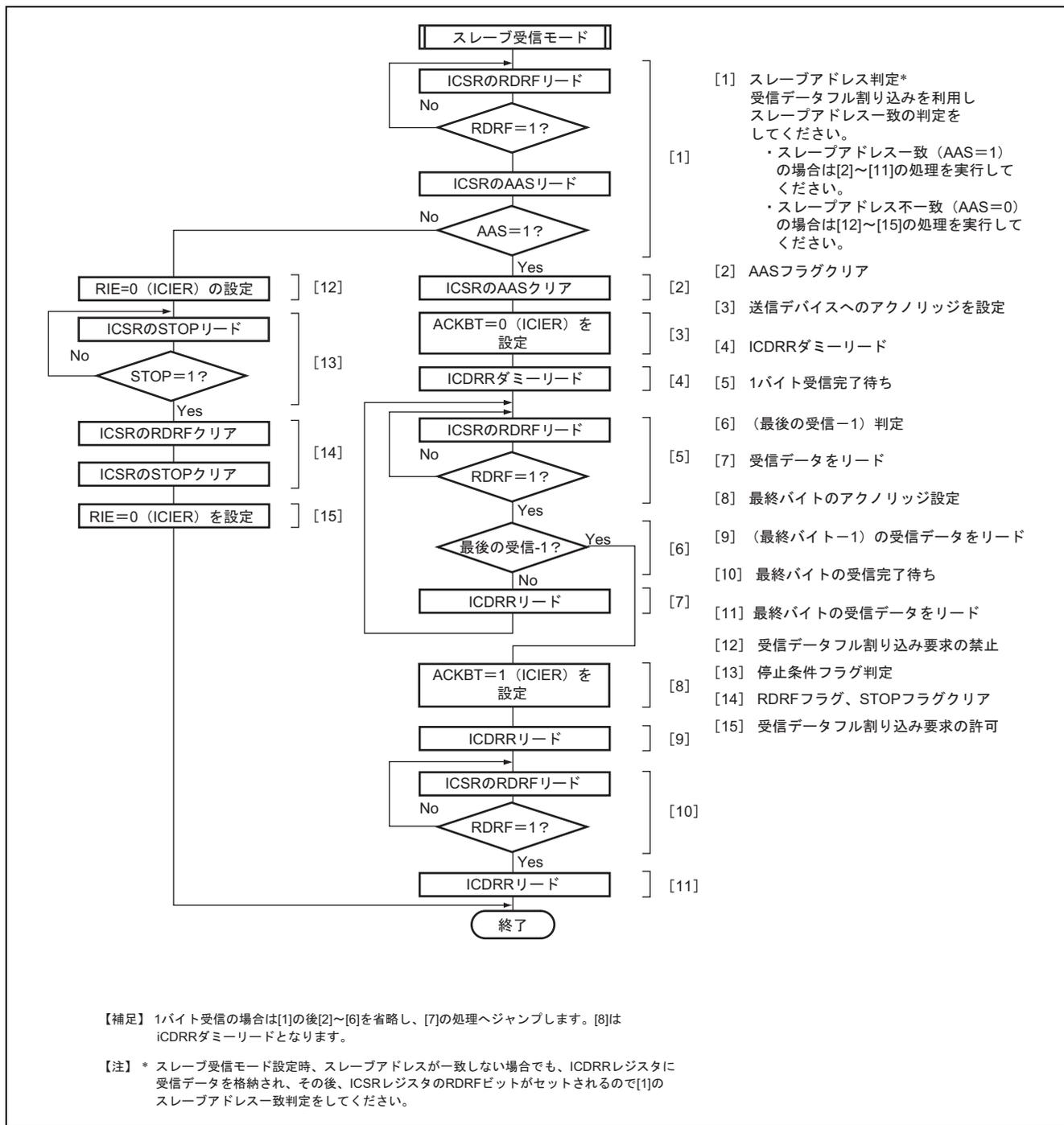


図 16.17 スレーブ受信モードフローチャート例

16.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、STOP 認識、アービトレーションロストの 6 種類があります。表 16.3 に各割り込み要求の内容を示します。

表 16.3 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データエンプティ	TXI	(TDRE=1)・(TIE=1)
送信終了	TEI	(TEND=1)・(TEIE=1)
受信データフル	RXI	(RDRF=1)・(RIE=1)
STOP 認識	STPI	(STOP=1)・(STIE=1)
NACK 検出	NAKI	{(NACKF=1)+(AL=1)}・(NAKIE=1)
アービトレーションロスト		

表 16.3 の割り込み条件が 1 がかつ CPU が割り込み受け付け許可状態のとき、割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

16.6 ビット同期回路

本モジュールはマスターモード設定時に、

- スレーブデバイスによりSCLがローレベルに引っ張られた場合
 - SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまったりした場合
- の2つの状態でハイレベル期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信を行います。ビット同期回路のタイミングを図 16.18 に、SCLをロー出力→Hi-ZにしてからSCLをモニタするまでの時間を表 16.4 に示します。

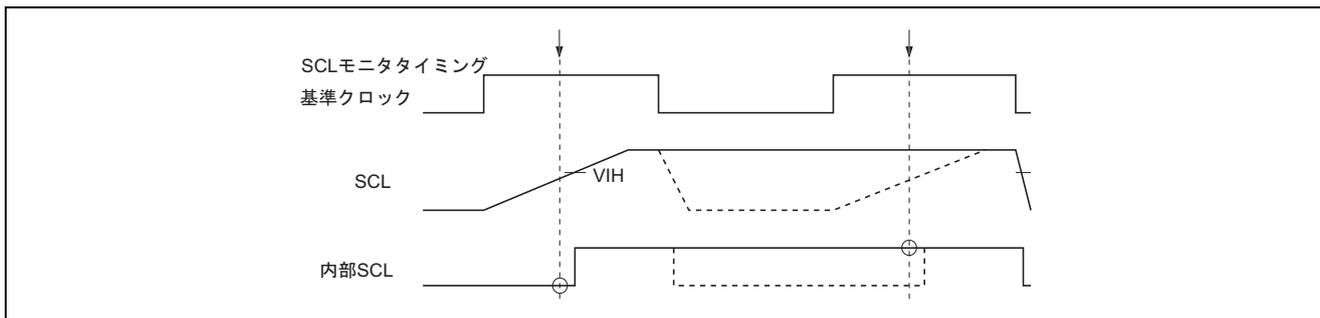


図 16.18 ビット同期回路のタイミング

表 16.4 SCL をモニタする時間

CKS3	CKS2	CKS1	CKS0	SCL をモニタする時間
0	0	*	*	7.5 t _{cyc}
		0	0	41.5 t _{cyc}
			1	19.5 t _{cyc}
		1	*	
1	0	*	*	17.5 t _{cyc}
		0	0	85.5 t _{cyc}
			1	41.5 t _{cyc}
		1	*	

16.7 使用上の注意事項

1. 停止条件の発行および開始条件（再送）の発行は9クロック目の立ち下がりを経験してから行ってください。
9クロック目の立ち下がりにはI²C コントロールレジスタ B (ICCRB) の SCLO をチェックすることにより認識することができます。
下記 (i) または (ii) の条件下で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。この条件以外での使用は問題ありません。
 - (i) SCL バスの負荷（負荷容量、プルアップ抵抗）により SCL の立ち上がりが「16.6 ビット同期回路」に規定されている時間以上なまっている場合
 - (ii) スレーブデバイスが 8 クロック目と 9 クロック目の"Low"期間を引っ張ってビット同期回路が働いた場合
2. I²Cバスモードレジスタ (ICMR) のWAITは0の状態で使用してください。
WAIT を 1 にセットして使用したとき、かつスレーブデバイスが 8 クロック目と 9 クロック目の"Low"期間を 2 転送クロック分以上 SCL を"Low"に引っ張ったときに、9 クロック目の"High"期間が短くなる場合があります。この条件以外での使用は問題ありません。
3. スレーブ受信モードでスレーブアドレスが一致しない場合でも、ICDRRレジスタに受信データが格納され、その後、ICSRレジスタのRDRFビットがセットされてしまいます。
スレーブアドレスが一致しているかどうかは、I²C バスステータスレジスタ (ICSR) の AAS ビットをチェックすることにより確認できます。「図 16.17 スレーブ受信モードフローチャート例」を参照してください。
4. 下記 (1) ~ (4) のいずれかの状態で、ICCRAのICEに0をライトもしくはICCRBのIICRSTに1をライトすると、ICCRBのBBSYとICSRのSTOPは不定となります。
 - (1) マスタ送信モード (ICCRA の MST=1、TRS=1) において、本モジュールが I²C のバス権を保有しているとき。
 - (2) マスタ受信モード (ICCRA の MST=1、TRS=0) において、本モジュールが I²C のバス権を保有しているとき。
 - (3) スレーブ送信モード (ICCRA の MST=0、TRS=1) において、本モジュールがデータ送信中のとき。
 - (4) スレーブ受信モード (ICCRA の MST=0、TRS=0) において、本モジュールがアクノリッジを送信しているとき。

ICCRB の BBSY の不定状態は、以下のいずれかで解消することができます。

- ・ 開始条件 (SCL=High かつ SDA 立ち下がり) を入力すると、BBSY は 1 セットされます。
- ・ 停止条件 (SCL=High かつ SDA 立ち上がり) を入力すると、BBSY は 0 クリアされます。
- ・ マスタ送信モードにおいて、SCL=High かつ SDA=High の状態で、ICCRB の BBSY に 1、SCP に 0 ライトして開始条件を発行します。開始条件 (SCL=High かつ SDA 立ち下がり) が出力されると、BBSY は 1 セットされます。
- ・ マスタ送信モードもしくはマスタ受信モードにおいて、SDA=Low かつ本モジュール以外に SCL を Low にするデバイスがない状態で、ICCRB の BBSY に 0、SCP に 0 ライトして停止条件を発行します。停止条件 (SCL=High かつ SDA 立ち上がり) が出力されると、BBSY は 0 クリアされます。

5. マルチマスタで使用時の転送レート設定値の制限について
マルチマスタで使用し、本 LSI の I²C 転送レートの設定が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。この現象を回避するためには、他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定してください。たとえば、他のマスタの一番速い転送レートが 400kbps の場合、本 LSI の I²C 転送レートは 223kbps (=400/1.8) 以上の設定値にする必要があります。
6. マルチマスタで使用時の MST、TRS 設定時のビット操作命令の使用制限について
マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL=1 かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。
この現象を回避するためには下記の方法があります。
- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
 - アービトレーションロストした場合、MST=0、TRS=0 を確認してください。万が一、MST=0、TRS=0 以外の状態の場合、MST=0、TRS=0 を設定し直してください。
7. マスタ受信モードの注意事項について
マスタ受信モードで使用した場合、RDRF=1 の状態で 8 クロック目の立ち下がりがくると SCL を L に引っ張りますが、8 クロック目の立ち下がり付近で ICDRR をリードすると、次の受信データの 8 クロック目を 1 クロック分 L に固定するだけで、その後 ICDRR をリードしなくても SCL の固定を解除し、9 クロック目を出力します。結果として、受信データの取りこぼしとなります。
この現象を回避するためには下記の方法があります。
- マスタ受信モードで ICDRR をリードする処理は 8 クロック目の立ち上がりまでに行ってください。
 - マスタ受信モードは RCVD=1 にし 1 バイトごとの通信で処理を行ってください。
8. マスタ受信モード切り替え時の注意事項について
マスタ送信モードからマスタ受信モードへ切り替えの際、TRS=0 クリア処理がマスタ送信モード時の 9 クロック目立ち下がりよりも前に行われた場合、IIC2 モジュールは ICDRR のダミーリード有無に関わらず内部クロックに同期した受信クロックを出力します。
このとき DMAC/DTC 転送などにより ICDRR のダミーリード処理が、上記受信クロックの 9 クロック目出力以降に行われた場合、IIC2 モジュールは ICDRR のダミーリードが行われても次の受信クロック出力のトリガにはならず、受信クロック出力が停止します。
これにより、SCL が Low 固定されたまま通信がハングアップしますので注意してください。
この現象を回避するためには下記の方法があります。
- (1) マスタ受信モード切り替え時の ICDRR ダミーリード処理が、受信クロックの 9 クロック目よりも前に行えるようタイミング設計をしてください。
 - (2) マスタ受信モード切り替え時の TRS=0 クリア処理を、マスタ送信時の送信クロックの 9 クロック目立ち下がり以降に行ってください。

なお、後者の 9 クロック目立ち下がり以降に TRS=0 クリア処理を行う場合には、ICCR2 レジスタの SCLO ビット (SCL モニタフラグ) が 0 (SCL 端子は “L”) になったことを確認してから行ってください。
また後者の回避方法の場合には、ICDRR ダミーリード処理がマスタ受信モードの最初の受信クロック出力トリガとなるため、DMAC/DTC 転送による ICDRR ダミーリード遅延は不問となり、同様に他割り込み処理による遅延も不問となるため、「**図 16.15 マスタ受信モードのフローチャート例**」に記載されている注意事項、[1] ~ [3] の割り込み禁止区間は不要となります。

17. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を 2 ユニット (ユニット 0、ユニット 1) 内蔵しています。H8S/2426 グループ、H8S/2426R グループは、ユニット 0 は最大 8 チャンネル、ユニット 1 は最大 8 チャンネル、H8S/2424 グループは、ユニット 0 は最大 8 チャンネル、ユニット 1 は最大 2 チャンネルのアナログ入力を選択することができます。

ユニット 0 のブロック図を図 17.1 に、ユニット 1 のブロック図を図 17.2 に示します。

17.1 特長

- 分解能：10ビット
- 入力チャンネル：
H8S/2426 グループ、H8S/2426R グループ：8 チャンネル (16 チャンネル/2 ユニット合計)
H8S/2424 グループ：ユニット 0 は 8 チャンネル、ユニット 1 は 2 チャンネル (10 チャンネル/2 ユニット合計)
- 変換サイクル：64サイクル、40サイクル (A/D変換用クロック)
- 動作モード：2種類
シングルモード：1 チャンネルの A/D 変換
スキャンモード：1~4 チャンネルの連続 A/D 変換、または 1~8 チャンネル*1 の連続 A/D 変換
- A/D変換用クロックを個別に設定可能 (ϕ 、 $\phi/2$ 、 $\phi/4$)
- データレジスタ：ユニット0が8本、ユニット1が8本*2 (16本/2ユニット)
A/D 変換結果は各チャンネルに対応した 16 ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
ソフトウェア
16 ビットタイマパルスユニット (TPU) または 8 ビットタイマ (TMR) による変換開始トリガ
外部トリガ信号
- 割り込み要因
A/D 変換終了割り込み要求 (ADI) を発生
- モジュールストップ状態への設定可能

【注】 *1 H8S/2424 グループでは 1~2 チャンネルの連続 A/D 変換

*2 H8S/2424 グループではユニット 1 が 2 本 (10 本/2 ユニット)

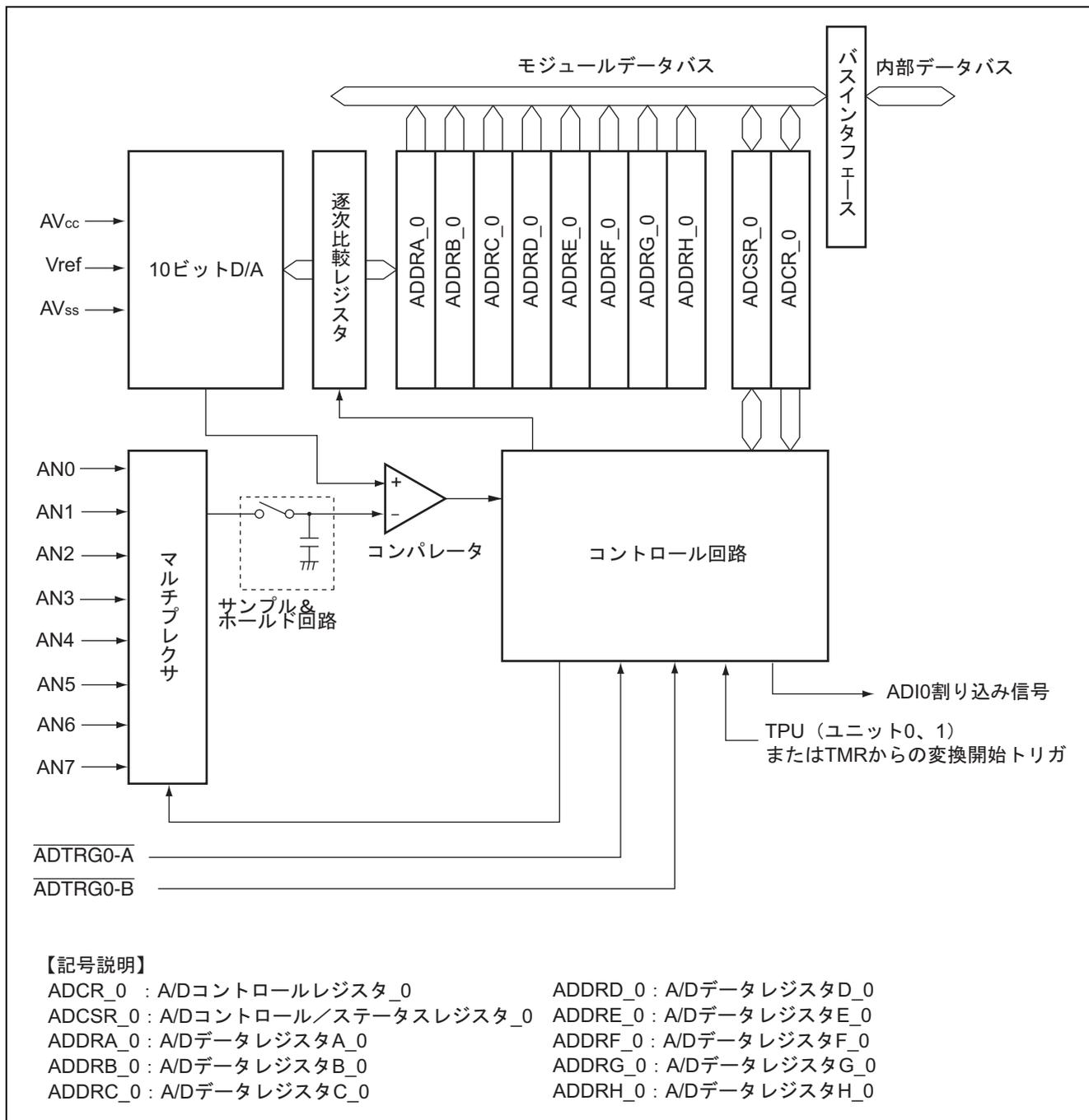


図 17.1 A/D 変換器 (ユニット 0/AD_0) のブロック図

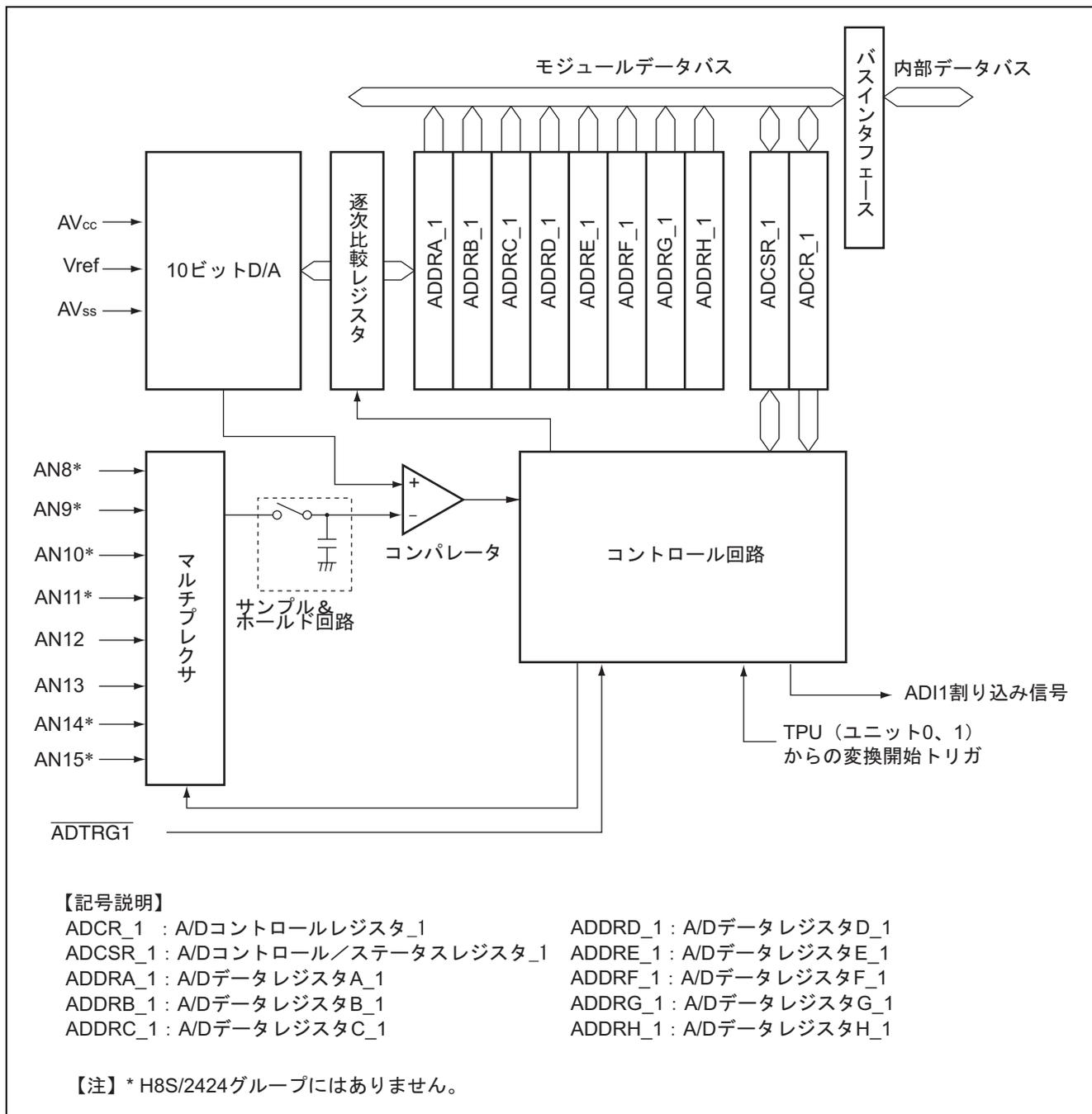


図 17.2 A/D 変換器 (ユニット 1/AD_1) のブロック図

17.2 入出力端子

A/D 変換器で使用する入力端子を表 17.1、表 17.2 に示します。

表 17.1 端子構成 (H8S/2426 グループ、H8S/2426R グループ)

ユニット	略称	端子名	記号	入出力	機能
0	AD_0	アナログ入力端子 0	AN0	入力	アナログ入力端子
		アナログ入力端子 1	AN1	入力	
		アナログ入力端子 2	AN2	入力	
		アナログ入力端子 3	AN3	入力	
		アナログ入力端子 4	AN4	入力	
		アナログ入力端子 5	AN5	入力	
		アナログ入力端子 6	AN6	入力	
		アナログ入力端子 7	AN7	入力	
		A/D 外部トリガ入力端子 0_A	$\overline{\text{ADTRG0-A}}$	入力	
		A/D 外部トリガ入力端子 0_B	$\overline{\text{ADTRG0-B}}$	入力	A/D 変換開始のための外部トリガ入力端子 0_B*
1	AD_1	アナログ入力端子 8	AN8	入力	アナログ入力端子
		アナログ入力端子 9	AN9	入力	
		アナログ入力端子 10	AN10	入力	
		アナログ入力端子 11	AN11	入力	
		アナログ入力端子 12	AN12	入力	
		アナログ入力端子 13	AN13	入力	
		アナログ入力端子 14	AN14	入力	
		アナログ入力端子 15	AN15	入力	
		A/D 外部トリガ入力端子 1	$\overline{\text{ADTRG1}}$	入力	A/D 変換開始のための外部トリガ入力端子 A
共通		アナログ電源端子	AVcc	入力	アナログ部の電源端子
		アナロググランド端子	AVss	入力	アナログ部のグランド端子
		リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子

【注】 * ADCR の TRGS1、TRGS0、EXTRGS ビットの設定によって選択します。

表 17.2 端子構成 (H8S/2424 グループ)

ユニット	略称	端子名	記号	入出力	機能
0	AD_0	アナログ入力端子 0	AN0	入力	アナログ入力端子
		アナログ入力端子 1	AN1	入力	
		アナログ入力端子 2	AN2	入力	
		アナログ入力端子 3	AN3	入力	
		アナログ入力端子 4	AN4	入力	
		アナログ入力端子 5	AN5	入力	
		アナログ入力端子 6	AN6	入力	
		アナログ入力端子 7	AN7	入力	
	A/D 外部トリガ入力端子 0_A	$\overline{\text{ADTRG0-A}}$	入力	A/D 変換開始のための外部トリガ入力端子 0_A*	
	A/D 外部トリガ入力端子 0_B	$\overline{\text{ADTRG0-B}}$	入力	A/D 変換開始のための外部トリガ入力端子 0_B*	
1	AD_1	アナログ入力端子 12	AN12	入力	アナログ入力端子
		アナログ入力端子 13	AN13	入力	
	A/D 外部トリガ入力端子 1	$\overline{\text{ADTRG1}}$	入力	A/D 変換開始のための外部トリガ入力端子 A	
共通		アナログ電源端子	AVcc	入力	アナログ部の電源端子
		アナロググランド端子	AVss	入力	アナログ部のグランド端子
		リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子

【注】 * ADCR の TRGS1、TRGS0、EXTRGS ビットの設定によって選択します。

17.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

【ユニット0 (A/D_0)】

- A/DデータレジスタA_0 (ADDRA_0)
- A/DデータレジスタB_0 (ADDRB_0)
- A/DデータレジスタC_0 (ADDRC_0)
- A/DデータレジスタD_0 (ADDRD_0)
- A/DデータレジスタE_0 (ADDRE_0)
- A/DデータレジスタF_0 (ADDRF_0)
- A/DデータレジスタG_0 (ADDRG_0)
- A/DデータレジスタH_0 (ADDRH_0)
- A/Dコントロール/ステータスレジスタ_0 (ADCSR_0)
- A/Dコントロールレジスタ_0 (ADCR_0)

【ユニット1 (A/D_1)】

- A/DデータレジスタA_1 (ADDRA_1)
- A/DデータレジスタB_1 (ADDRB_1)
- A/DデータレジスタC_1 (ADDRC_1)
- A/DデータレジスタD_1 (ADDRD_1)
- A/DデータレジスタE_1 (ADDRE_1)
- A/DデータレジスタF_1 (ADDRF_1)
- A/DデータレジスタG_1 (ADDRG_1)
- A/DデータレジスタH_1 (ADDRH_1)
- A/Dコントロール/ステータスレジスタ_1 (ADCSR_1)
- A/Dコントロールレジスタ_1 (ADCR_1)

17.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADDRA~ADDRH の 8 本あります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 17.3、表 17.4 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU との間のデータバスは 16 ビット幅で、CPU から直接リードできます。ADDR をアクセスする場合は、16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

表 17.3 アナログ入力チャンネルと ADDR の対応 (H8S/2426 グループ、H8S/2426R グループ)

アナログ入力チャンネル チャンネルセット 0 (CH3=0)	変換結果が格納される レジスタ	アナログ入力チャンネル チャンネルセット 1 (CH3=1)	変換結果が格納される レジスタ
AN0	ADDRA_0	AN8	ADDRA_1
AN1	ADDRB_0	AN9	ADDRB_1
AN2	ADDRC_0	AN10	ADDRC_1
AN3	ADDRD_0	AN11	ADDRD_1
AN4	ADDRE_0	AN12	ADDRE_1
AN5	ADDRF_0	AN13	ADDRF_1
AN6	ADDRG_0	AN14	ADDRG_1
AN7	ADDRH_0	AN15	ADDRH_1

表 17.4 アナログ入力チャンネルと ADDR の対応 (H8S/2424 グループ)

アナログ入力チャンネル チャンネルセット 0 (CH3=0)	変換結果が格納される レジスタ	アナログ入力チャンネル チャンネルセット 1 (CH3=1)	変換結果が格納される レジスタ
AN0	ADDRA_0	—	—
AN1	ADDRB_0	—	—
AN2	ADDRC_0	—	—
AN3	ADDRD_0	—	—
AN4	ADDRE_0	AN12	ADDRE_1
AN5	ADDRF_0	AN13	ADDRF_1
AN6	ADDRG_0	—	—
AN7	ADDRH_0	—	—

17.3.2 A/D コントロール/ステータスレジスタ (ADCSR_0) ユニット 0

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DMAC または DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。また、ADCR の ADSTCLR ビットが 1 にセットされているときは、選択したすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、A/D 変換を停止させます。 ADST が自動的にクリアされるタイミングは、ADF がセットされるタイミングとは異なり、ADF がセットされる前に ADST がクリアされます。
4	EXCKS	0	R/W	拡張クロックセレクト ADCR の CKS1/0 ビットと合わせて A/D 変換時間の設定を行います。詳細は、ADCR の説明をご参照ください。EXCKS ビットへのライトは CKS1/0 ビットと同時に行ってください。

ビット	ビット名	初期値	R/W	説明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	SCANE=0、
0	CH0	0	R/W	SCANE=1、
				SCANS=X のとき
				SCANS=0 のとき
				SCANS=1 のとき
				0000 : AN0
				0001 : AN1
				0010 : AN2
				0011 : AN3
				0100 : AN4
				0101 : AN5
				0110 : AN6
				0111 : AN7
				1XXX : 設定禁止

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

17.3.3 A/D コントロール/ステータスレジスタ (ADCSR_1) ユニット 1

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。また、ADCR の ADSTCLR ビットが 1 にセットされているときは、選択したすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、A/D 変換を停止させます。 ADST が自動的にクリアされるタイミングは、ADF がセットされるタイミングとは異なり、ADF がセットされる前に ADST がクリアされます。
4	EXCKS	0	R/W	拡張クロックセレクト ADCR の CKS1/0 と合わせて AD 変換時間の設定を行います。詳細は ADCR の説明をご参照ください。EXCKS へのライトは CKS1/0 と同時に行ってください。

● H8S/2426 グループ、H8S/2426R グループ

ビット	ビット名	初期値	R/W	説明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	SCANE=0、
0	CH0	0	R/W	SCANE=1、 SCANS=X のとき
				SCANS=0 のとき
				SCANS=1 のとき
				0XXX : 設定禁止
				1000 : AN8
				1001 : AN9
				1010 : AN10
				1011 : AN11
				1100 : AN12
				1101 : AN13
				1110 : AN14
				1111 : AN15

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

● H8S/2424 グループ

ビット	ビット名	初期値	R/W	説明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。
1	CH1	0	R/W	SCANE=0、
0	CH0	0	R/W	SCANE=1、 SCANS=X のとき
				SCANS=0 のとき
				0XXX : 設定禁止
				10XX : 設定禁止
				1100 : AN12
				1101 : AN13
				111X : 設定禁止
				SCANE=1、SCANS=1 は設定禁止です。

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

17.3.4 A/D コントロールレジスタ (ADCR_0) ユニット 0

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0、拡張トリガセレクト
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。
0	EXTRGS	0	R/W	000 : 外部トリガによる A/D 変換開始を禁止 010 : TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始* 100 : TMR からの変換トリガによる A/D 変換開始 110 : $\overline{\text{ADTRG0-A}}$ による A/D 変換開始 001 : $\overline{\text{ADTRG0-B}}$ による A/D 変換開始 011 : TPU (ユニット 0、1) からの変換トリガによるユニット間同時 A/D 変換開始 101 : TMR からの変換トリガによるユニット間同時 A/D 変換開始 111 : $\overline{\text{ADTRG0-B}}$ によるユニット間同時 A/D 変換開始
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンネルの連続 A/D 変換) 11 : スキャンモード (1~8 チャンネルの連続 A/D 変換)
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	EXCKS と合わせて、A/D 変換用クロック (ADCLK) を設定し、A/D 変換時間の設定を行います。 変換時間の設定は ADCSR の ADST ビットが 0 のときに行い、その後変換モードの設定を行うようにしてください。また、ソフトウェアスタンバイモード、モジュールストップ状態に遷移させる場合は遷移の前に B'11 にセットしてください。 ADCLK は変換時間を満足するように CKS1、CKS0 の設定を行ってください。 EXCKS CKS1 CKS0 000 : 設定しないでください。 001 : 変換時間 = 268 ステート (max)、ADCLK = $\phi/4$ 010 : 変換時間 = 138 ステート (max)、ADCLK = $\phi/2$ 011 : 変換時間 = 73 ステート (max)、ADCLK = ϕ 100 : 設定しないでください。 101 : 変換時間 = 172 ステート (max)、ADCLK = $\phi/4$ 110 : 変換時間 = 90 ステート (max)、ADCLK = $\phi/2$ 111 : 変換時間 = 49 ステート (max)、ADCLK = ϕ

ビット	ビット名	初期値	R/W	説明
1	ADSTCLR	0	R/W	A/D スタートクリア スキャンモード時に ADST ビットの自動クリアの設定をします。 0: スキャンモードの時、ADST ビットの自動的なクリアを禁止 1: スキャンモードの時、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされます。

【記号説明】 X : Don't care

【注】 * 本ビット設定と ADCR_1 の TRGS1、TRGS0、EXTRGS ビットの設定を同様にした場合、TPU (ユニット 0、1) からの変換トリガによって A/D ユニット 0、A/D ユニット 1 が A/D 変換を開始します。

17.3.5 A/D コントロールレジスタ (ADCR_1) ユニット 1

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0、拡張トリガセレクト
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。
0	EXTRGS	0	R/W	000: 外部トリガによる A/D 変換開始を禁止 010: TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始* ¹ 100: TMR からの変換トリガによる A/D 変換開始 110: $\overline{\text{ADTRG1}}$ による A/D 変換開始 001: 設定禁止 011: TPU (ユニット 0、1) からの変換トリガによるユニット間同時 A/D 変換開始 101: TMR からの変換トリガによるユニット間同時 A/D 変換開始 111: $\overline{\text{ADTRG0-B}}$ によるユニット間同時 A/D 変換開始
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X: シングルモード 10: スキャンモード (1~4 チャンネルの連続 A/D 変換) 11: スキャンモード (1~8 チャンネルの連続 A/D 変換) * ²

ビット	ビット名	初期値	R/W	説明
3 2	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1、0</p> <p>EXCKS と合わせて、A/D 変換用クロック (ADCLK) を設定し、A/D 変換時間の設定を行います。</p> <p>変換時間の設定は ADCSR の ADST ビットが 0 のときに行い、その後変換モードの設定を行うようにしてください。また、ソフトウェアスタンバイモード、モジュールストップ状態に遷移させる場合は遷移の前に B'11 にセットしてください。</p> <p>ADCLK は変換時間を満足するように CKS1、CKS0 の設定を行ってください。</p> <p>EXCKS CKS1 CKS0</p> <p>000 : 設定しないでください。</p> <p>001 : 変換時間 = 268 ステート (max)、ADCLK = $\phi/4$</p> <p>010 : 変換時間 = 138 ステート (max)、ADCLK = $\phi/2$</p> <p>011 : 変換時間 = 73 ステート (max)、ADCLK = ϕ</p> <p>100 : 設定しないでください。</p> <p>101 : 変換時間 = 172 ステート (max)、ADCLK = $\phi/4$</p> <p>110 : 変換時間 = 90 ステート (max)、ADCLK = $\phi/2$</p> <p>111 : 変換時間 = 49 ステート (max)、ADCLK = ϕ</p>
1	ADSTCLR	0	R/W	<p>A/D スタートクリア</p> <p>スキャンモード時に ADST ビットの自動クリアの設定をします。</p> <p>0 : スキャンモードのとき、ADST ビットの自動的なクリアを禁止</p> <p>1 : スキャンモードのとき、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされます</p>

【記号説明】 X : Don't care

【注】 *1 本ビット設定と ADCR_0 の TRGS1、TRGS0、EXTRGS ビットの設定を同様にした場合、TPU (ユニット 0、1) からの変換トリガによって A/D ユニット 0、A/D ユニット 1 が A/D 変換を開始します。

*2 H8S/2424 グループでは設定禁止です。

17.4 動作説明

動作モードには、シングルモード、スキャンモードがあります。最初に A/D 変換に使用するクロックの設定を行ってください。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

17.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、TPU、TMR、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

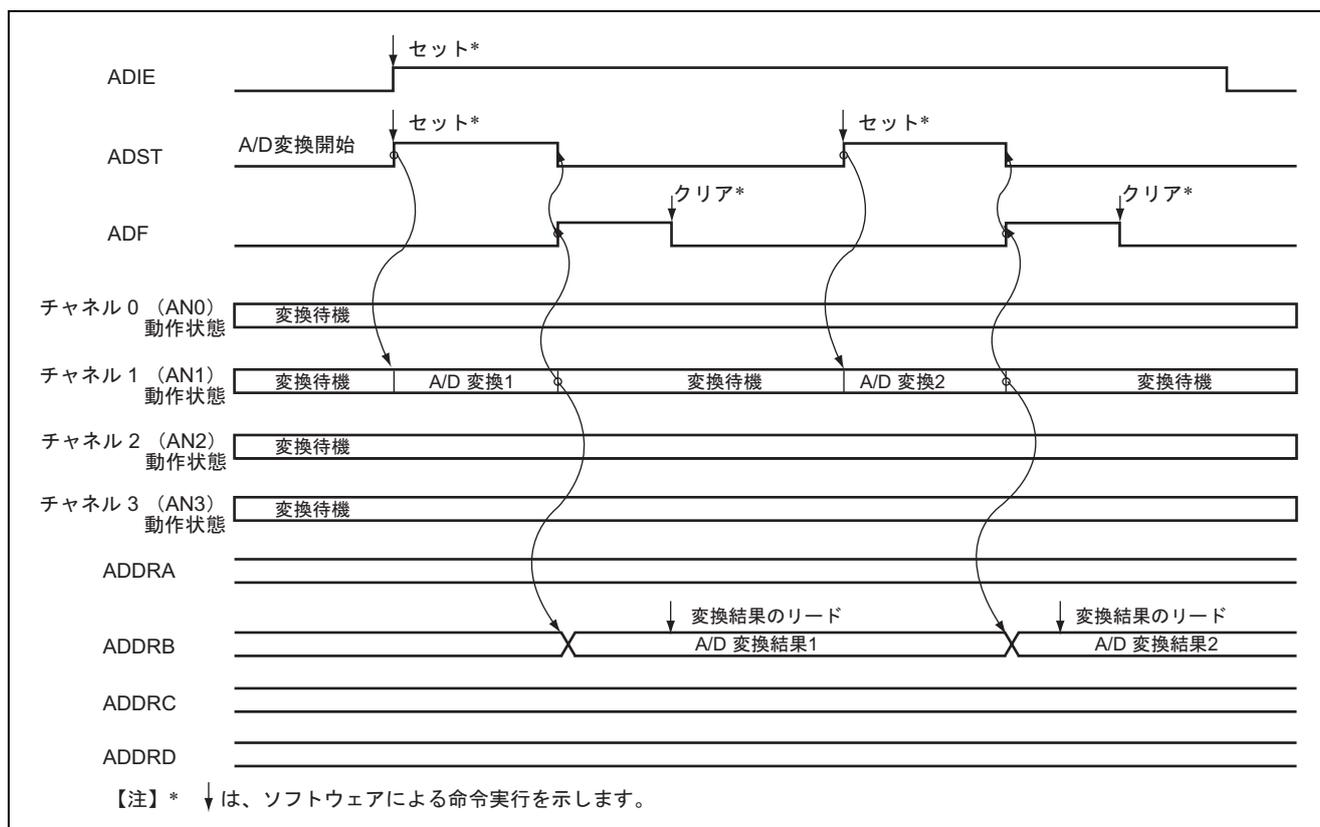


図 17.3 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

17.4.2 スキャンモード

スキャンモードは、指定された最大4チャンネル、または最大8チャンネル*のアナログ入力を以下のように順次連続してA/D変換します。スキャンモードにはA/D変換を繰り返す連続スキャンとA/D変換を設定されたチャンネルを1サイクル行う1サイクルスキャンがあります。

• 連続スキャンモード

1. ソフトウェア、TPU、TMR、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換（SCANE、SCANS=B'10）、または最大8チャンネルの連続A/D変換（SCANE、SCANS=B'11）を選択できます。4チャンネルの連続A/D変換の場合は、ユニット0がCH3、CH2=B'00のときAN0、CH3、CH2=B'01のときAN4、ユニット1がCH3、CH2=B'10のときAN8*、CH3、CH2=B'11のときAN12からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、CH3=B'0のときAN0、CH3=B'1のときAN8*からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再び第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

【注】 * H8S/2426 グループ、H8S/2426R グループのみ対応します。

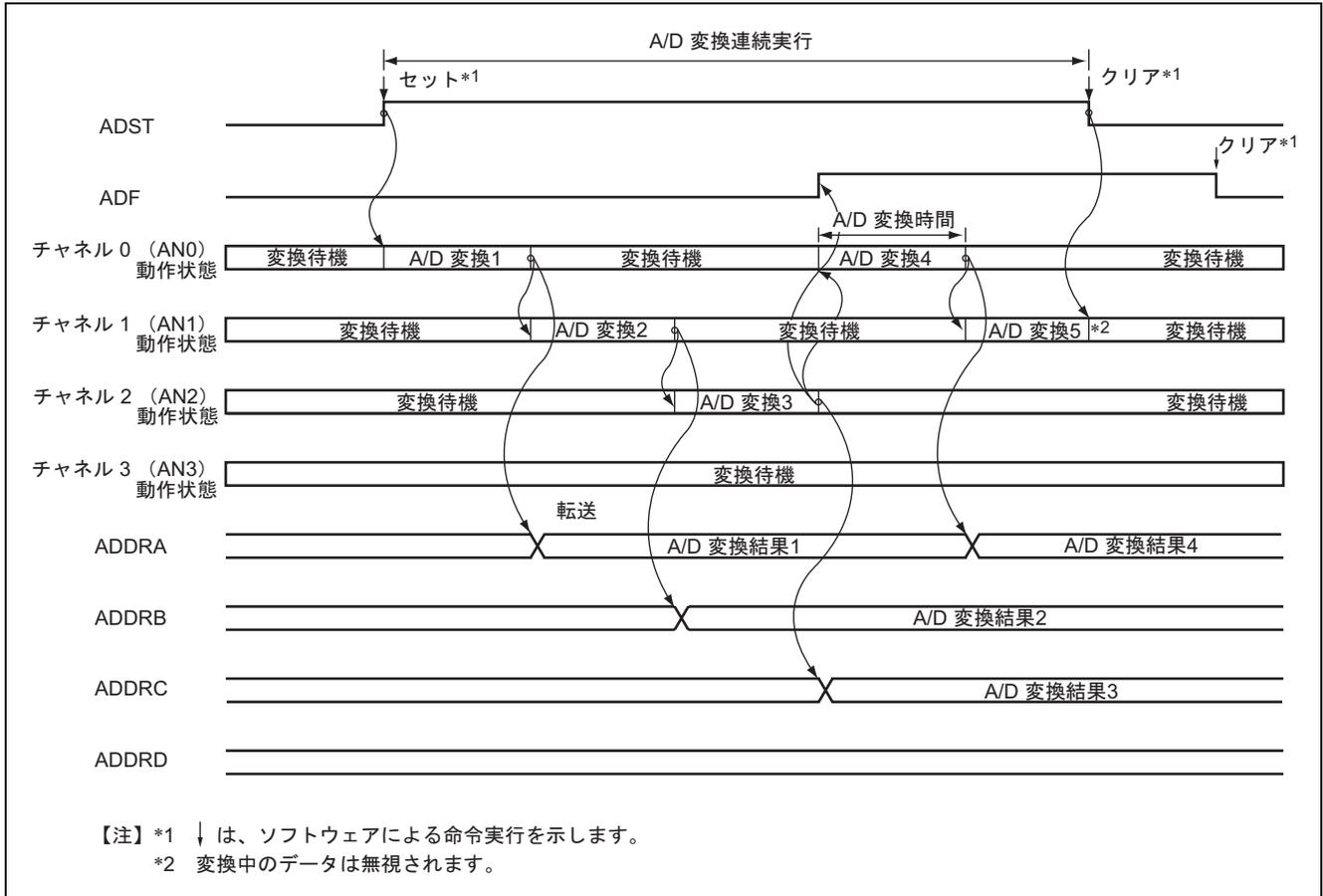


図 17.4 A/D 変換器の動作例 (連続スキャンモード、AN0~AN2 の 3 チャンネル選択時)

● 1サイクルスキャンモード

1. ADCRのADSTCLRビットを1にセットします。
2. ソフトウェア、TPU、TMR、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換（SCANE、SCANS=B'10）、または最大8チャンネルの連続A/D変換（SCANE、SCANS=B'11）を選択できます。4チャンネルの連続A/D変換の場合は、ユニット0がCH3、CH2=B'00のときAN0、CH3、CH2=B'01のときAN4、ユニット1がCH3、CH2=B'10のときAN8*、CH3、CH2=B'11のときAN12からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、CH3=B'0のときAN0、CH3=B'1のときAN8*からA/D変換を開始します。
3. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
4. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
5. ADSTビットは選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、A/D変換を中止し、A/D変換器は待機状態になります。

【注】* H8S/2426 グループ、H8S/2426R グループのみ対応します。

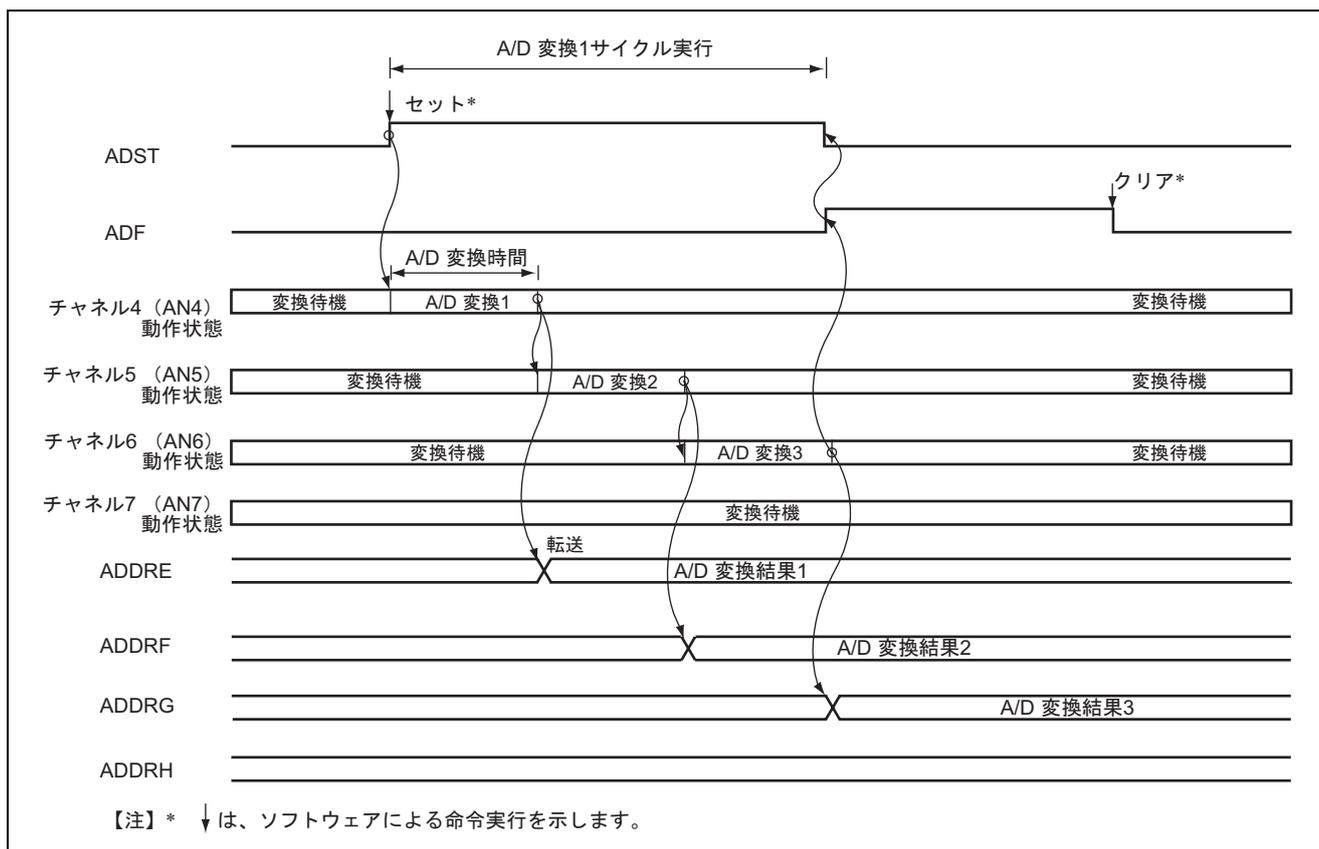


図 17.5 A/D 変換器の動作例（1 サイクルスキャンモード、AN4～AN6 の 3 チャンネル選択時）

17.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 17.6 に示します。また、A/D 変換時間を表 17.5、17.6 に示します。

A/D 変換時間 (t_{CONV}) は、図 17.6 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 17.5、17.6 に示す範囲で変化します。

スキャンモードの変換時間は、表 17.5、17.6 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 17.7 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCSR の EXCKS ビット、ADCR の CKS1、CKS0 ビットを設定してください。

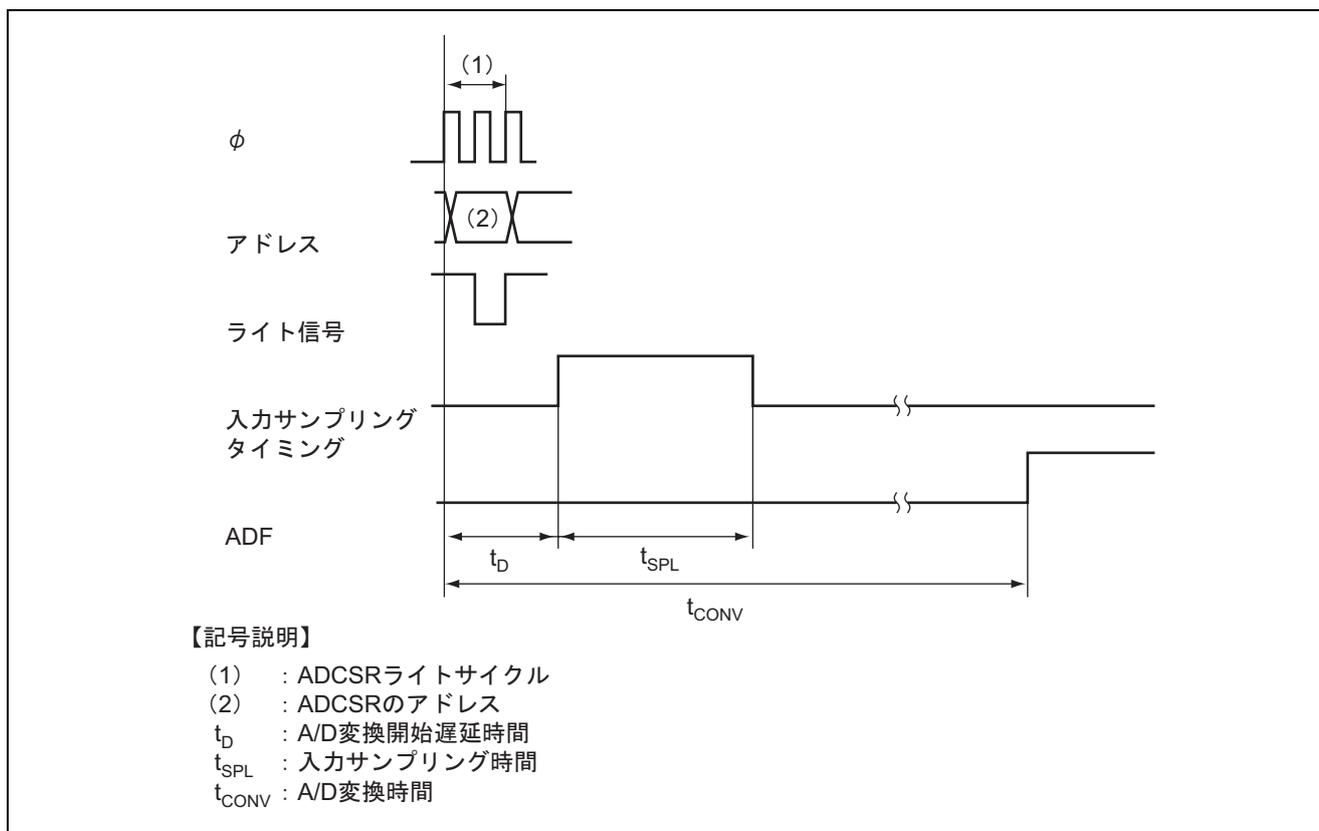


図 17.6 A/D 変換タイミング

表 17.5 A/D 変換特性 (EXCKS=0 時)

項目	記号	CKS1=0			CKS1=1					
		CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t _D	4	—	10	4	—	8	3	—	7
入力サンプリング時間	t _{SPL}	—	156	—	—	78	—	—	39	—
A/D 変換時間	t _{CONV}	262	—	268	134	—	138	69	—	73

表 17.6 A/D 変換特性 (EXCKS=1 時)

項目	記号	CKS1=0			CKS1=1					
		CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t _D	4	—	10	4	—	8	3	—	7
入力サンプリング時間	t _{SPL}	—	60	—	—	30	—	—	15	—
A/D 変換時間	t _{CONV}	166	—	172	86	—	90	45	—	49

【注】 表中の数値の単位はステートです。

表 17.7 A/D 変換時間 (スキャンモード)

EXCKS	CKS1	CKS0	変換時間 (ステート)
0	0	0	設定禁止
		1	256 (固定)
	1	0	128 (固定)
		1	64 (固定)
1	0	0	設定禁止
		1	160 (固定)
	1	0	80 (固定)
		1	40 (固定)

17.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。ユニット 0 の外部トリガ入力は、ADCR_0 の TRGS1、TRGS0、EXTRGS ビットが B'110 もしくは B'001 にセットされているとき、 $\overline{\text{ADTRG0}}$ 端子から入力されます。ユニット 1 の外部トリガ入力は、ADCR_1 の TRGS1、TRGS0、EXTRGS ビットが B'110 にセットされているとき、 $\overline{\text{ADTRG1}}$ 端子から入力されます。ユニット間同時の外部トリガ入力は ADCR の TRGS1、TRGS0、EXTRGS ビットが B'111 にセットされているとき、 $\overline{\text{ADTRG0}}$ 端子から入力されます。 $\overline{\text{ADTRG0}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 17.7 に示します。また、ユニット間同時トリガを選択した場合のタイミングを図 17.8 に示します。

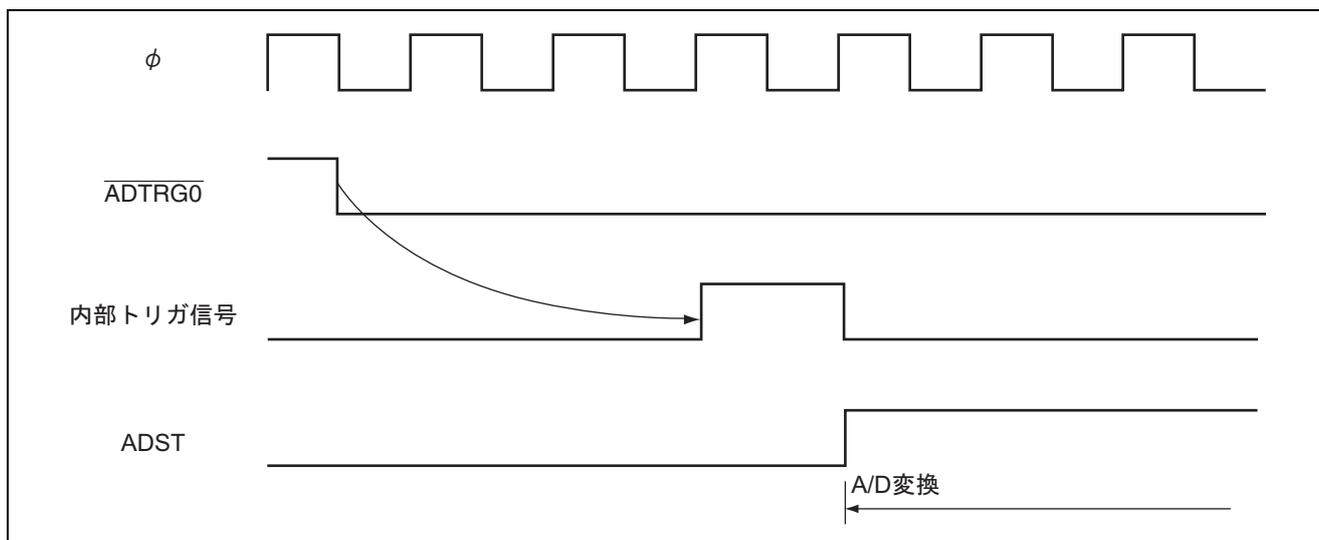


図 17.7 外部トリガ入力タイミング (TRGS1、TRGS0、EXTRGS≠B'111)

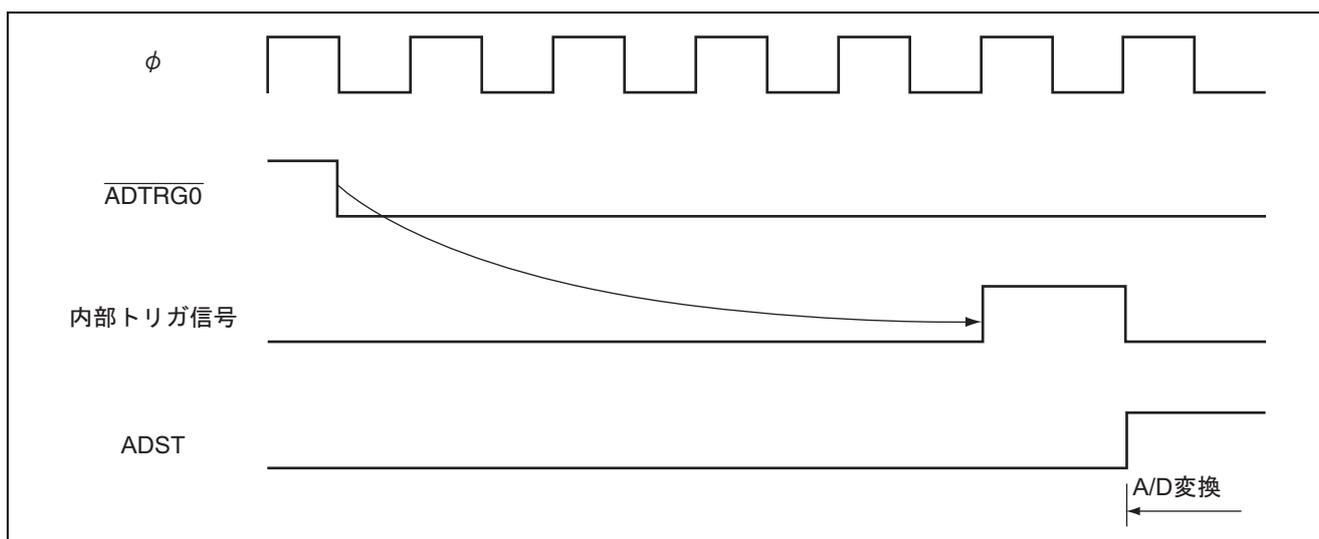


図 17.8 外部トリガ入力タイミング (ユニット間同時起動時 : TRGS1、TRGS0、EXTRGS=B'111)

17.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで、データトランスファコントローラ (DTC) および DMA コントローラ (DMAC) *の起動ができます。ADI 割り込みで変換されたデータのリードを DTC または DMAC*で行うと、連続変換がソフトウェアの負担なく実現できます。

【注】 * ユニット 0 のみ可能

表 17.8 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ADI	A/D 変換終了	ADF	可	可*

【注】 * ユニット 0 のみ可能

17.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D 変換器のデジタル出力コード数
- 量子化誤差
A/D 変換器が本質的に有する偏差であり、1/2LSB で与えられる (図 17.9)
- オフセット誤差
デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 17.10)
- フルスケール誤差
デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 17.10)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図 17.10)
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

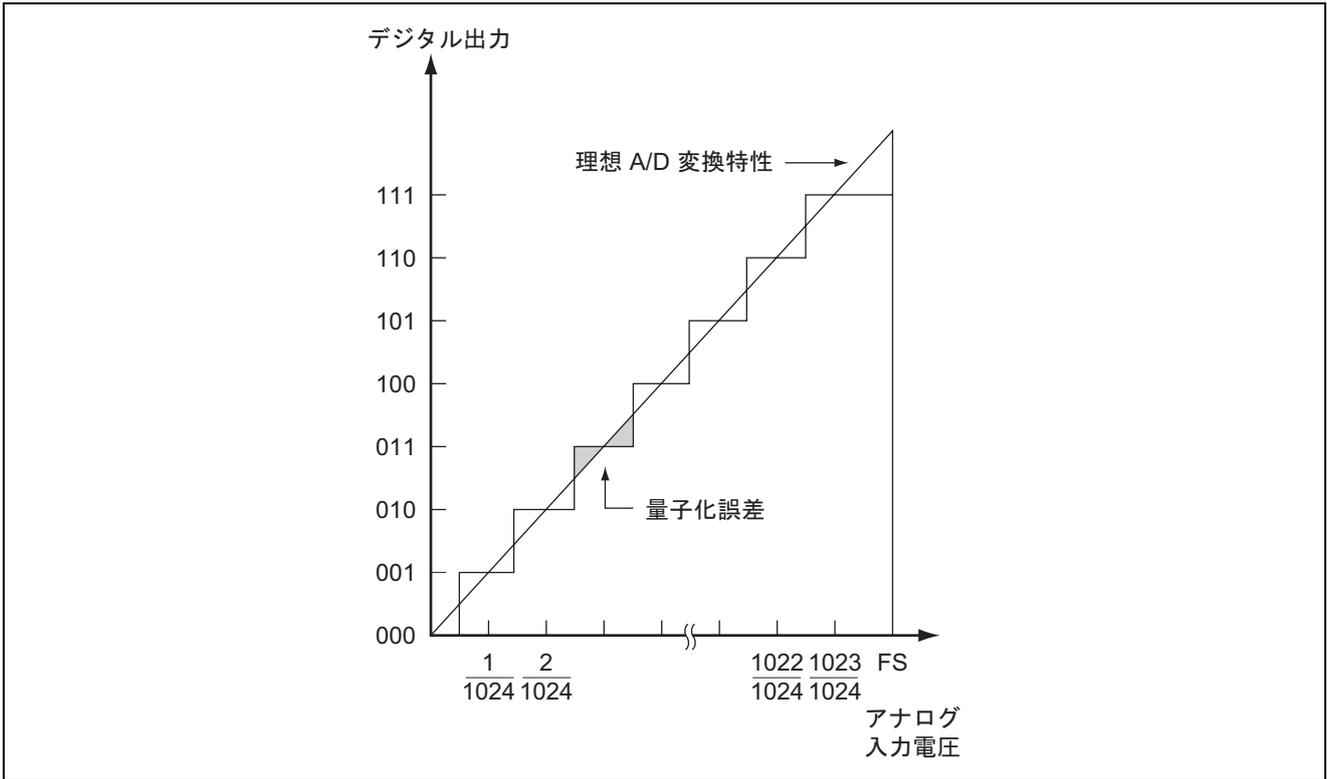


図 17.9 A/D 変換精度の定義

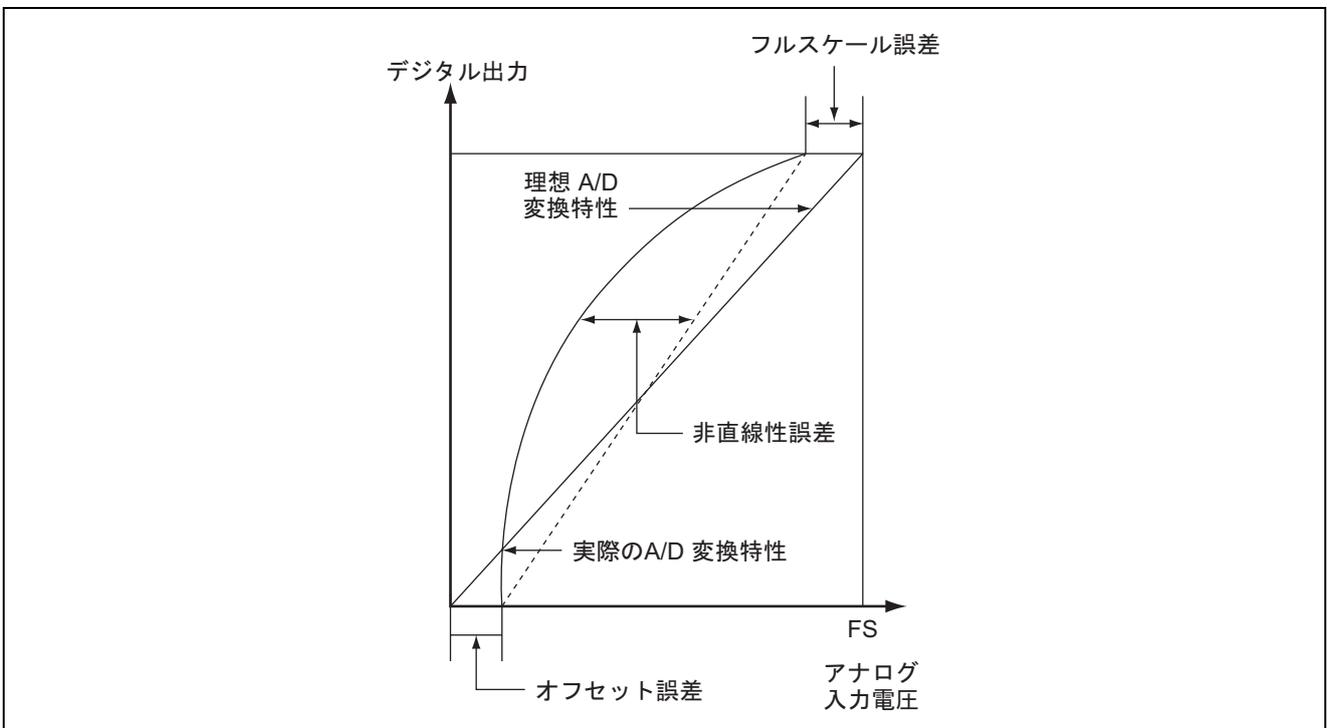


図 17.10 A/D 変換精度の定義

17.7 使用上の注意事項

17.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。A/D 変換器の動作後、モジュールストップ状態に遷移する場合は CKS1、CKS2 ビットを 1 にセットし、ADCLK を ϕ に設定し、ADST、TRGS1、TRGS0、EXTRGS ビットをすべて 0 にクリアして A/D 変換を禁止してください。その後、1 ワードダミーリードしてからモジュールストップコントロールレジスタを設定してください。モジュールストップコントロールレジスタの詳細は、「第 23 章 低消費電力状態」を参照してください。

17.7.2 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電源電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は CKS1、CKS2 ビットを 1 にセットして ADCLK を ϕ に設定し、ADST、TRGS1、TRGS0、EXTRGS ビットをすべて 0 にクリアして A/D 変換を禁止してください。その後、1 ワードダミーリードしてソフトウェアスタンバイモードに遷移させてください。

17.7.3 A/D 変換の再スタート

ADST ビットを 0 にクリアすると ADCLK に同期して A/D 変換が停止し、待機状態になります。ADST ビットを 0 にクリアしてから最大 10cyc (ϕ) までは待機状態に遷移していない場合があるため、ADCLK、動作モードやアナログ入力チャネルの変更を行わないでください。

ADST ビットが 0 にクリアされた直後に A/D 変換を再開する場合は、ADDRA~ADDRH の 16 バイトをリードしてから ADST ビットを 1 にセットし、A/D 変換を開始してください。ただし、シングルモード、または 1 サイクルスキャンモードの場合は、A/D 変換終了で ADF ビットが 1 にセットされたことを確認し、ADF ビットを 0 クリアすることで、ADST ビットを 1 にセットできます。

17.7.4 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 17.11）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

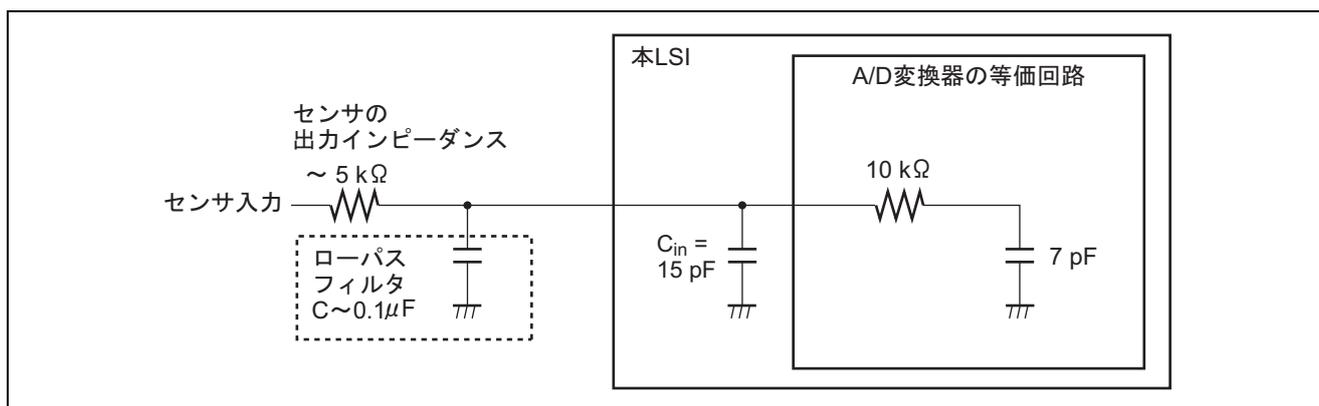


図 17.11 アナログ入力回路の例

17.7.5 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

17.7.6 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \leq V_{AN} \leq V_{ref}$ の範囲としてください。

- AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{SS} と V_{SS} との関係は $AV_{SS} = V_{SS}$ としてください。A/D 変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

- V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} \leq AV_{CC}$ にしてください。

17.7.7 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 ($AN0 \sim AN15^*$)、アナログ基準電源 (V_{ref})、アナログ電源電圧 (AV_{CC}) は、アナロググランド (AV_{SS}) でデジタル回路と分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したグランド (V_{SS}) に一点接続してください。

【注】 * H8S/2424 グループのアナログ入力端子は、 $AN0 \sim AN7$ 、 $AN12$ 、 $AN13$ になります。

17.7.8 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN15*）の破壊を防ぐために、**図 17.12** に示すように AV_{CC}–AV_{SS}間に保護回路を接続してください。AV_{CC}に接続するバイパスコンデンサ、AN0～AN11に接続するフィルタ用のコンデンサは、必ず AV_{SS}に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN15*の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（R_{in}）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

【注】* H8S/2424 グループのアナログ入力端子は、AN0～AN7、AN11、AN12 になります。

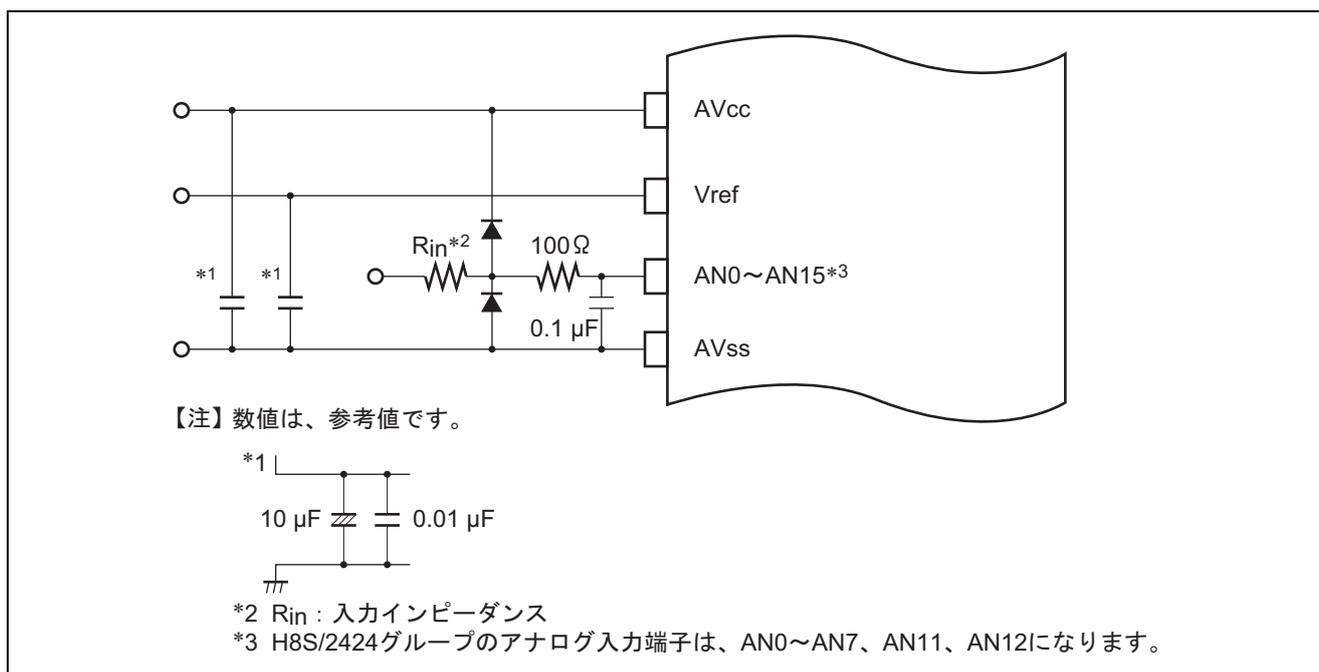


図 17.12 アナログ入力保護回路の例

表 17.9 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	15	pF
許容信号源インピーダンス	—	5	kΩ

17.7.9 A/D 変換器を 2 ユニット同時に動作させる場合

A/D 変換器を 2 ユニット使用時に、各ユニット間の変換開始タイミングが異なる場合、相互ユニット間のノイズ干渉により精度に影響がでる場合があります。

図 17.13 に示すように、ユニット X が A/D 変換を開始後、ユニット Y が T_{X-Y} ステートのタイミングで A/D 変換を開始した場合において、ユニット Y の A/D 変換中にユニット X の変換を終了させた場合にユニット Y の A/D 変換精度が保証されない場合があります。

A/D 変換器を 2 ユニット同時に使用する場合は、十分な評価を実施してください。

【注】 ユニット X、Y の X、Y は 0、1 の任意

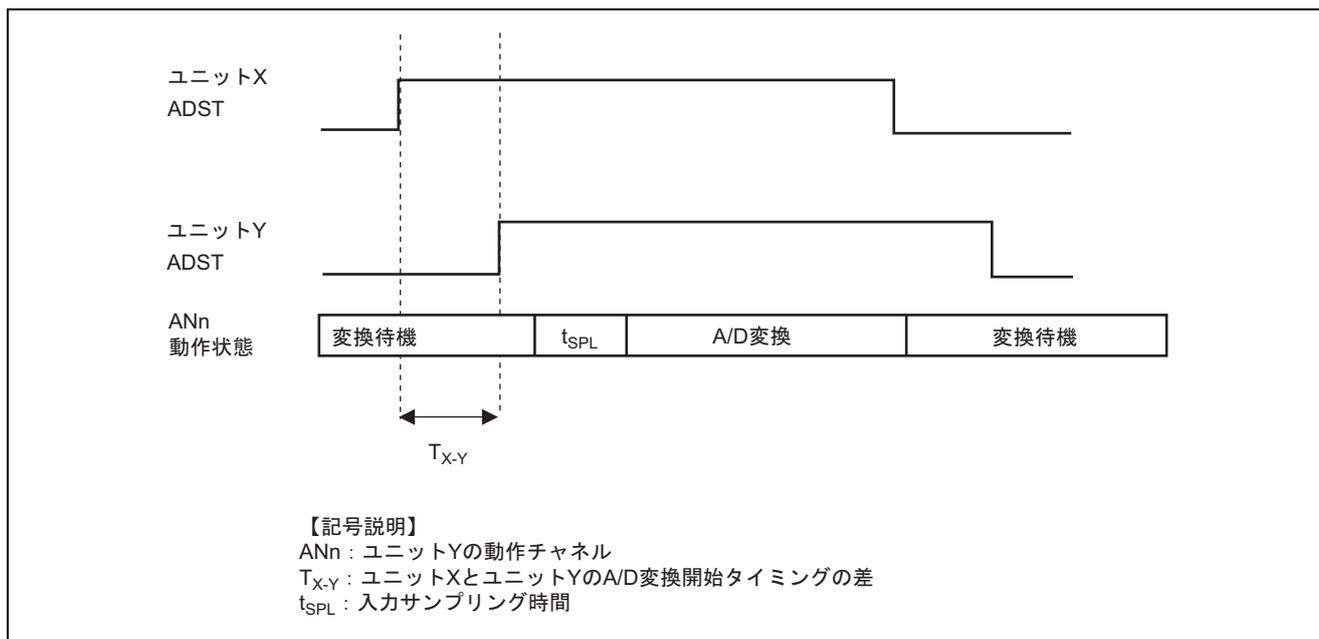


図 17.13 A/D 変換精度が保証されない場合の動作タイミング例

表 17.10 図 17.13 の場合の A/D 変換開始タイミングの差 T_{X-Y}

T_{X-Y}	単位
0~10	ADCLK

17.7.10 TPU（ユニット 0、1）からの変換トリガによる A/D 変換開始時の注意事項

TPU からの変換トリガで A/D 変換を開始する際には、TPU と A/D のレジスタ設定を確認の上、意図しないタイミングでの A/D 変換開始とならないように注意してください。

TPU からの変換トリガによる A/D 変換開始設定時に、TPU ユニット 0、1 の複数チャンネルの TTGE ビットが 1 にセットかつ、A/D の ADCR_0、ADCR_1 両方の設定が TRGS1、TRGS0、EXTRGS=b'010 の場合、変換トリガ発行元の TPU ユニット番号にかかわらず、先に受け付けられた変換トリガによって、A/D ユニット 0、1 は両方の A/D 変換を開始します。なお、A/D 変換中に要求された変換トリガは無視されます。図 17.14 に TPU（ユニット 0、1）からの変換トリガによる A/D 変換開始時の動作タイミング例を示します。

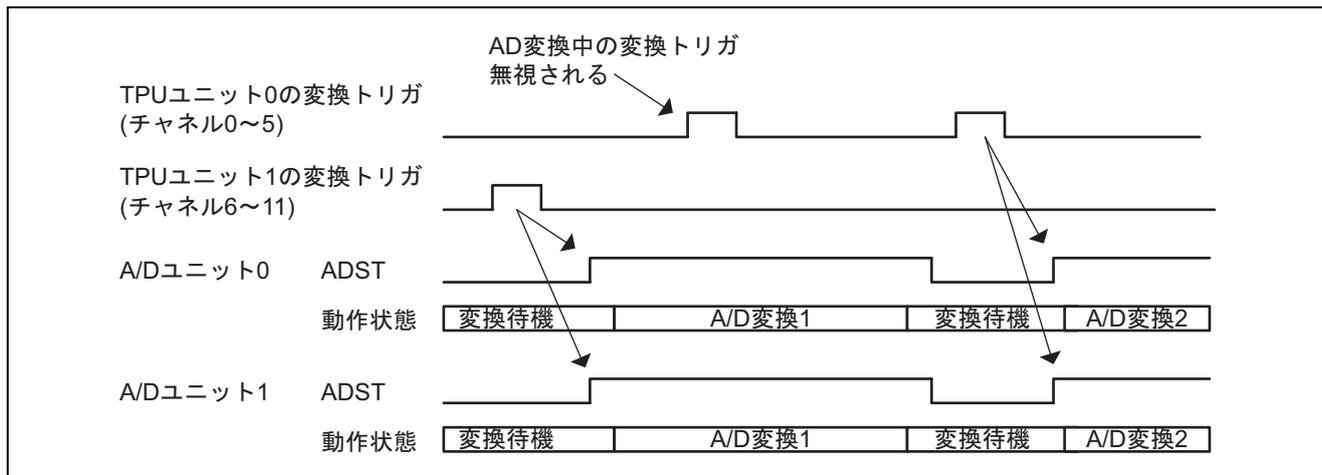


図 17.14 TPU（ユニット 0、1）からの変換トリガによる A/D 変換開始時の動作タイミング例

18. D/A 変換器

18.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大 $10\mu\text{s}$ （負荷容量 20pF 時）
- 出力電圧： $0\text{V}\sim\text{Vref}$
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップ状態への設定可能

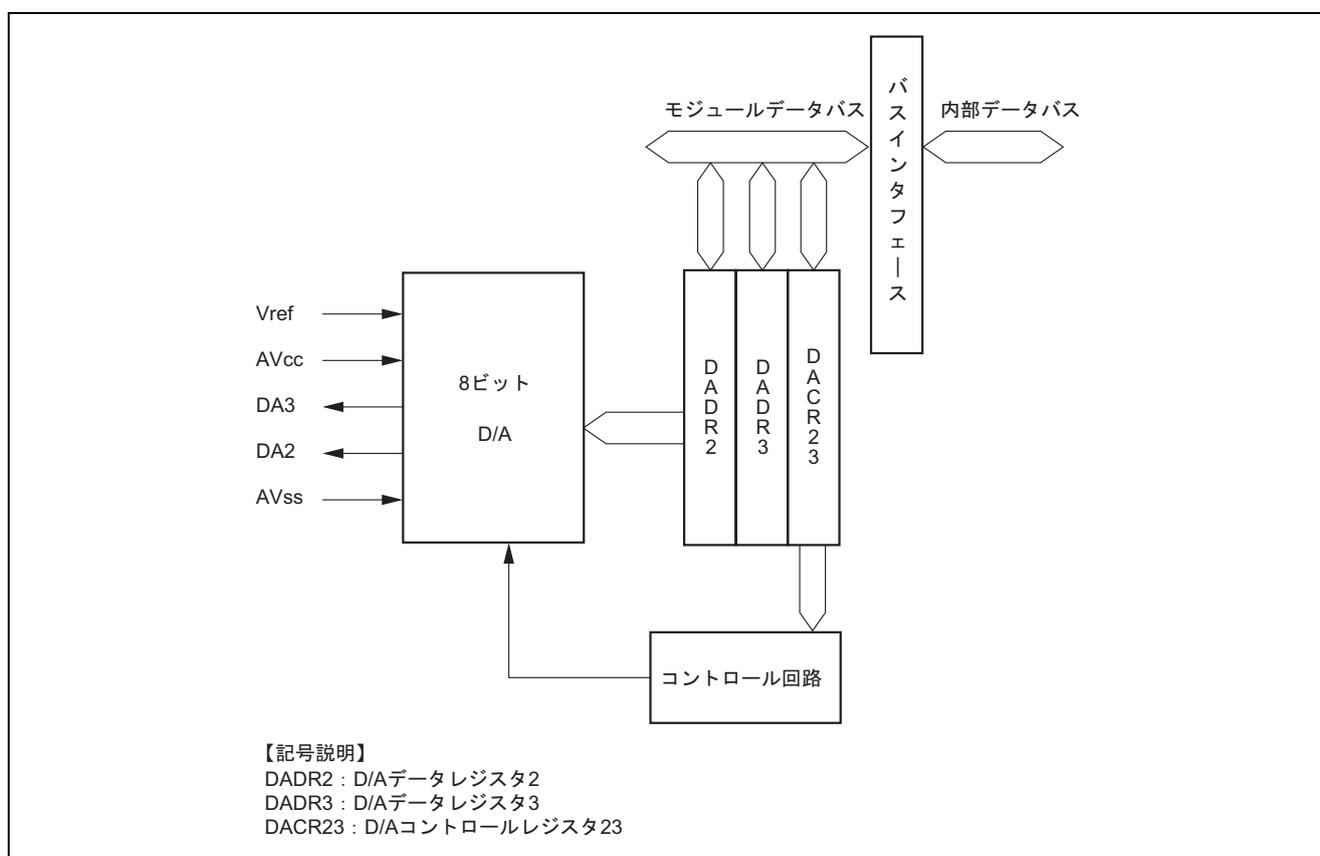


図 18.1 D/A 変換器のブロック図

18.2 入出力端子

D/A 変換器で使用する入出力端子を表 18.1 に示します。

表 18.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電源端子	Vref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 2	DA2	出力	チャンネル 2 のアナログ出力
アナログ出力端子 3	DA3	出力	チャンネル 3 のアナログ出力

18.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ2 (DADR2)
- D/Aデータレジスタ3 (DADR3)
- D/Aコントロールレジスタ23 (DACR23)

18.3.1 D/A データレジスタ 2、3 (DADR2、DADR3)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換され、アナログ出力端子に出力されます。

18.3.2 D/A コントロールレジスタ 23 (DACR23)

DACR23 は D/A 変換器の動作を制御します。DACR23 はチャンネル 2、3 の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	DAOE3	0	R/W	D/A アウトプットイネーブル 3 D/A 変換とアナログ出力を制御します。 0 : チャンネル 3 のアナログ出力 (DA3) を禁止 1 : チャンネル 3 の D/A 変換を許可。チャンネル 3 のアナログ出力 (DA3) を許可
6	DAOE2	0	R/W	D/A アウトプットイネーブル 2 D/A 変換とアナログ出力を制御します。 0 : チャンネル 2 のアナログ出力 (DA2) を禁止 1 : チャンネル 2 の D/A 変換を許可。チャンネル 2 のアナログ出力 (DA2) を許可
5	DAE	0	R/W	D/A イネーブル DAOE2、DAOE3 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 2、3 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 2、3 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE2、DAOE3 ビットにより制御されます。表 18.2 を参照してください。
4~0	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 18.2 D/A 変換の制御

ビット 5 DAE	ビット 7 DAOE3	ビット 6 DAOE2	説 明
0	0	0	D/A 変換を禁止
		1	チャンネル 2 の D/A 変換を許可、チャンネル 3 の D/A 変換を禁止 チャンネル 2 のアナログ出力 (DA2) を許可、チャンネル 3 のアナログ出力 (DA3) を禁止
	1	0	チャンネル 2 の D/A 変換を禁止、チャンネル 3 の D/A 変換を許可 チャンネル 2 のアナログ出力 (DA2) を禁止、チャンネル 3 のアナログ出力 (DA3) を許可
		1	チャンネル 2、3 の D/A 変換を許可 チャンネル 2、3 のアナログ出力 (DA2、DA3) を許可
1	0	0	チャンネル 2、3 の D/A 変換を許可 チャンネル 2、3 のアナログ出力 (DA2、DA3) を禁止
		1	チャンネル 2、3 の D/A 変換を許可 チャンネル 2 のアナログ出力 (DA2) を許可、チャンネル 3 のアナログ出力 (DA3) を禁止
	1	0	チャンネル 2、3 の D/A 変換を許可 チャンネル 2 のアナログ出力 (DA2) を禁止、チャンネル 3 のアナログ出力 (DA3) を許可
		1	チャンネル 2、3 の D/A 変換を許可 チャンネル 2、3 のアナログ出力 (DA2、DA3) を許可

18.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACR23のDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。チャンネル2のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図18.2に示します。

1. DADR2に変換データをライトします。
2. DACR23のDAOE2ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA2より出力されます。DADR2を書き換えるかDAOE2ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR2を書き換えると直ちに变換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE2ビットを0にクリアするとアナログ出力を禁止します。

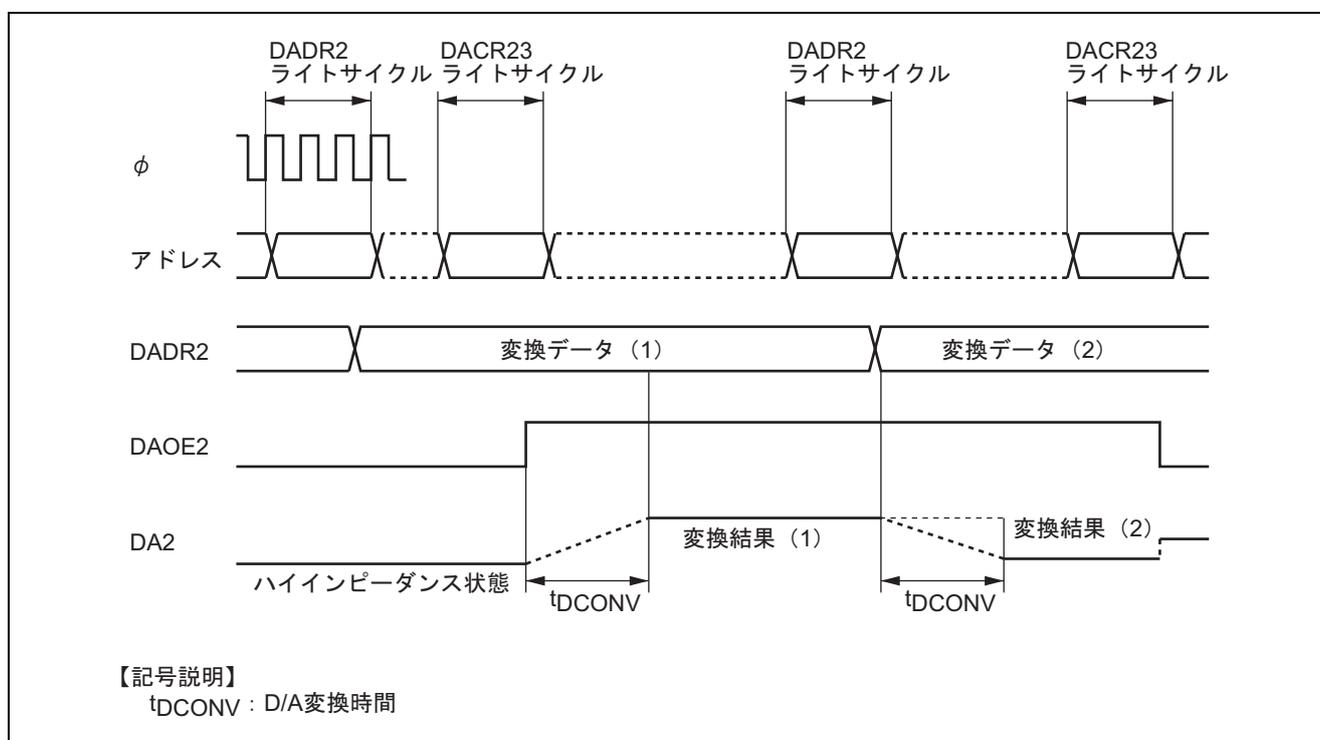


図 18.2 D/A 変換器の動作例

18.5 使用上の注意事項

18.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「第 23 章 低消費電力状態」を参照してください。

18.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE、DAOE、DAE ビットをすべて 0 にクリアして D/A 出力を禁止にしてください。

19. シンクロナスシリアルコミュニケーションユニット (SSU)

本 LSI は独立した 1 チャネルのシンクロナスシリアルコミュニケーションユニット (SSU: Synchronous Serial communication Unit) を備えています。SSU には、本 LSI がマスタデバイスとして外部にクロックを出力し同期シリアル通信を行うマスタモードと、外部デバイスからのクロックを入力し同期シリアル通信を行うスレーブモードがあります。また、クロック極性とクロック位相の異なるデバイス間との同期シリアル通信が可能です。図 19.1 に SSU のブロック図を示します。

19.1 特長

- SSUモードとクロック同期式通信モードを選択可能
- マスタモードとスレーブモードが選択可能
- 標準モードと双方向モードが選択可能
- クロック位相とクロック極性の異なる他のデバイスとの同期シリアル通信が可能
- 送受信データ長を8ビット/16ビット/24ビット/32ビットで選択可能
- 全二重通信が可能
送信と受信を同時に実行可能なシフトレジスタを装備
- 連続シリアル通信が可能
- LSBファースト方式/MSBファースト方式が選択可能
- クロックソースとして7種類の内部クロック ($\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$) と外部クロックを選択可能
- 割り込み要因: 5種類
送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因
- モジュールストップ状態への設定が可能

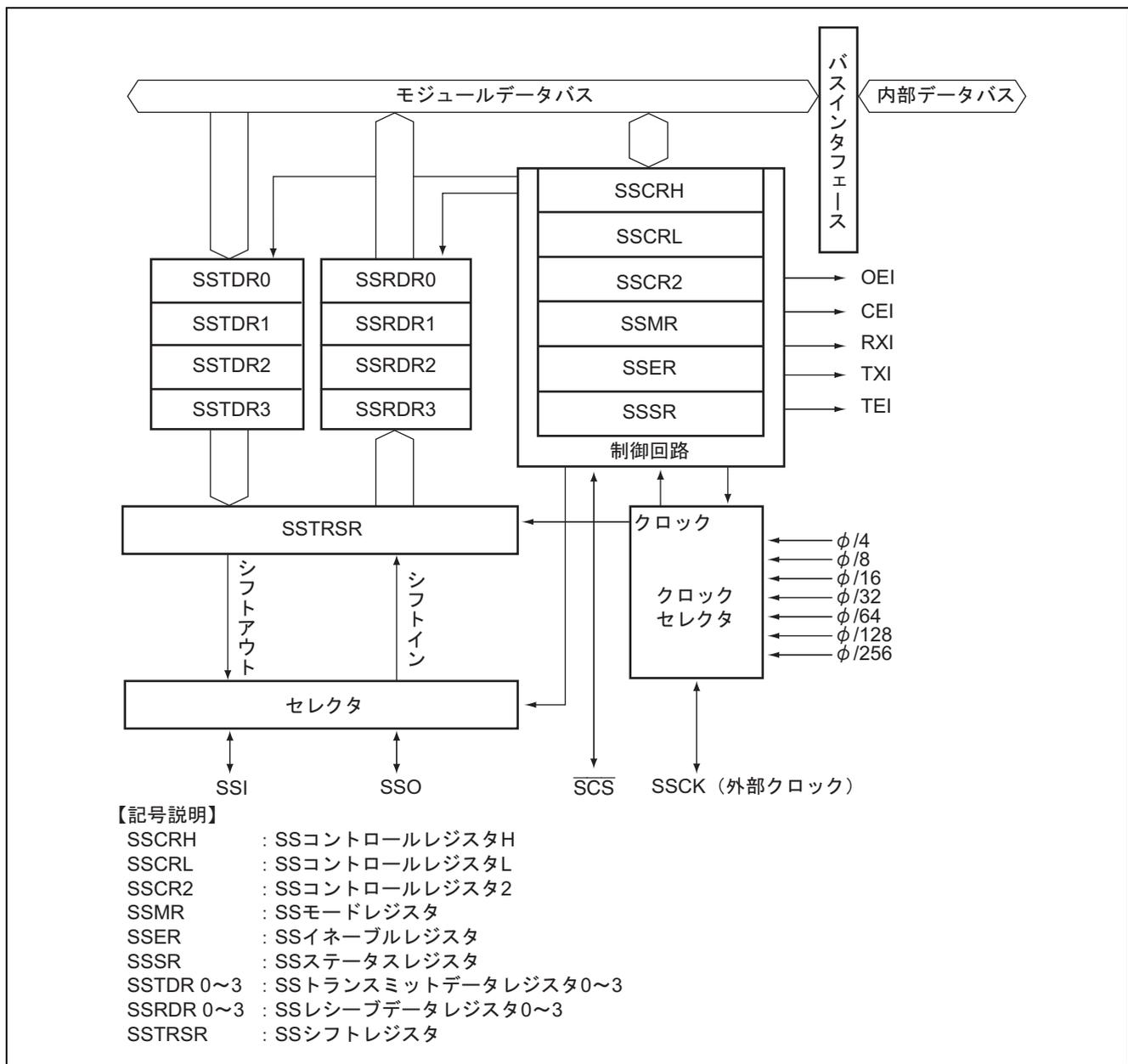


図 19.1 SSU のブロック図

19.2 入出力端子

SSU には、表 19.1 の入出力端子があります。

表 19.1 端子構成

チャンネル	端子名*	入出力	機能
0	SSCK0	入出力	SSU クロック入出力端子
	SSI0	入出力	SSU データ入出力端子
	SSO0	入出力	SSU データ入出力端子
	$\overline{\text{SCS0}}$	入出力	SSU チップセレクト入出力端子

【注】 * 本文中では端子名を省略し、それぞれ SSCK、SSI、SSO、 $\overline{\text{SCS}}$ と略称します。

19.3 レジスタの説明

SSU には以下のレジスタがあります。

- SSコントロールレジスタH_0 (SSCRH_0)
- SSコントロールレジスタL_0 (SSCRL_0)
- SSモードレジスタ_0 (SSMR_0)
- SSイネーブルレジスタ_0 (SSER_0)
- SSステータスレジスタ_0 (SSSR_0)
- SSコントロールレジスタ2_0 (SSCR2_0)
- SSトランスミットデータレジスタ0_0 (SSTD0_0)
- SSトランスミットデータレジスタ1_0 (SSTD1_0)
- SSトランスミットデータレジスタ2_0 (SSTD2_0)
- SSトランスミットデータレジスタ3_0 (SSTD3_0)
- SSレシーブデータレジスタ0_0 (SSRD0_0)
- SSレシーブデータレジスタ1_0 (SSRD1_0)
- SSレシーブデータレジスタ2_0 (SSRD2_0)
- SSレシーブデータレジスタ3_0 (SSRD3_0)
- SSシフトレジスタ_0 (SSTRSR_0)

19.3.1 SS コントロールレジスタ H (SSCRH)

SSCRH は、マスタ/スレーブデバイス選択、双方向モードイネーブル、SSO 端子の出力値選択、SSCK 端子選択、SCS 端子選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	MSS	0	R/W	<p>マスタ/スレーブデバイス選択</p> <p>SSU をマスタモードとして使用するか、スレーブモードとして使用するかを選択します。マスタモードで使用する場合は、SSCK 端子から転送クロックを出力します。SSSR の CE ビットがセットされた場合、このビットは自動的にクリアされます。</p> <p>0: スレーブモードを選択 1: マスタモードを選択</p>
6	BIDE	0	R/W	<p>双方向モードイネーブル</p> <p>シリアルデータ入力端子、出力端子を 2 端子使用するか、1 端子のみ使用するかを選択します。ただし、双方向モードを選択した場合、送受信を同時に行うことはできません。詳細は、「19.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。</p> <p>0: 標準モード (データ入力端子とデータ出力端子の 2 端子を使用して通信) 1: 双方向モード (データ入力とデータ出力を 1 端子のみで通信)</p>
5	—	0	R/W	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。</p>
4	SOL	0	R/W	<p>シリアルデータ出力値選択</p> <p>送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保存しますが、送信前または、送信後にシリアルデータの出力レベルを変更できます。出力レベルを変更する場合は、SOLP ビットを 0 にして MOV 命令で行ってください。なおデータ転送中にこのビットにライトすると誤動作の原因となりますので、送信中は操作しないでください。</p> <p>0: シリアルデータの出力を Low レベルに変更 1: シリアルデータの出力を High レベルに変更</p>
3	SOLP	1	R/W	<p>SOL ビットライトプロテクト</p> <p>シリアルデータの出力レベルを変更する場合には、SOL=1 かつ SOLP=0、または SOL=0 かつ SOLP=0 を MOV 命令で行ってください。</p> <p>0: SOL の値によって出力レベルを変更可能 1: SOL の値によって出力レベルを変更不可能</p> <p>リード時は常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
2	SCKS	0	R/W	SSCK 端子選択 SSCK 端子をポートとして機能させるか、シリアルクロック端子として機能させるかを選択します。SSCK 端子をシリアルクロック端子として用いる場合には、このビットを 1 にセットしてください。 0 : I/O ポートとして機能 1 : シリアルクロック端子として機能
1 0	CSS1 CSS0	0 0	R/W R/W	SCS 端子選択 SCS 端子をポートとして機能させるか、SCS 入力または SCS 出力として機能させるかを選択します。ただし、MSS=0 のときは、CSS1、CSS0 ビットの設定に関わらず SCS 端子は、入力端子として機能します。 00 : I/O ポート 01 : SCS 入力として機能 10 : SCS 自動入出力機能 (転送前、転送後は SCS 入力、転送中は Low 出力) 11 : SCS 自動出力機能 (転送前、転送後は High 出力、転送中は Low 出力)

19.3.2 SS コントロールレジスタ L (SSCRL)

SSCRL は、動作モード、ソフトウェアリセット、送受信データのデータ長を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
6	SSUMS	0	R/W	SSU モードとクロック同期式通信モードを選択します。 0 : SSU モード 1 : クロック同期式通信モード
5	SRES	0	R/W	ソフトウェアリセット 本ビットを 1 にセットすると SSU 内部シーケンサを強制的にリセットします。その後、本ビットは自動的にクリアされ、SSSR の ORER、TEND、TDRE、RDRF、CE の各ビットおよび、SSER の TE、RE ビットが初期化されます。その他の SSU 内部レジスタ値は保持されます。 なお、転送を途中で中断したい場合には、本ビットに 1 を書き込んで、内部シーケンサをリセットしてください。
4~2	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
1 0	DATS1 DATS0	0 0	R/W R/W	送受信データ長選択 シリアルデータのデータ長を選択します。 00 : 8 ビットデータ長 01 : 16 ビットデータ長 10 : 32 ビットデータ長 11 : 24 ビットデータ長

19.3.3 SS モードレジスタ (SSMR)

SSMR は、MSB ファースト/LSB ファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを選択します。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト/LSB ファースト選択 シリアルデータを MSB ファーストで転送するか、LSB ファーストで転送するかを選択します。 0 : LSB ファースト 1 : MSB ファースト
6	CPOS	0	R/W	クロック極性選択 SSCK クロックの極性を選択します。 0 : アイドル時に High 出力、アクティブ時に Low 出力 1 : アイドル時に Low 出力、アクティブ時に High 出力
5	CPHS	0	R/W	クロック位相選択 (SSU モード時のみ有効) SSCK クロックの位相を選択します。 0 : 最初のエッジでデータ変化 1 : 最初のエッジでデータラッチ
4	—	0	R/W	リザーブビット
3	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
2	CKS2	0	R/W	転送クロックレート選択
1	CKS1	0	R/W	内部クロックを選択した場合の転送クロックレートを選擇します。
0	CKS0	0	R/W	000 : リザーブ 001 : $\phi/4$ 010 : $\phi/8$ 011 : $\phi/16$ 100 : $\phi/32$ 101 : $\phi/64$ 110 : $\phi/128$ 111 : $\phi/256$

19.3.4 SS イネーブルレジスタ (SSER)

SSER は、トランスミットイネーブル、レシーブイネーブル、および割り込み要求イネーブルを設定します。

ビット	ビット名	初期値	R/W	説明
7	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
6	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
5	—	0	R/W	リザーブビット
4	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
3	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。
2	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると TXI 割り込み要求がイネーブルになります。
1	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると RXI 割り込みおよび、OEI 割り込み要求がイネーブルになります。
0	CEIE	0	R/W	コンフリクトエラーインタラプトイネーブル このビットを1にセットすると CEI 割り込み要求がイネーブルになります。

19.3.5 SS ステータスレジスタ (SSSR)

SSSR は、各種割り込みのステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	ORER	0	R/W	オーバランエラー RDRF=1の状態、次のデータを受信するとオーバランエラーが発生し、異常終了したことを示します。SSRDRは、オーバランエラーが発生する前の1フレーム分の受信データを保持し、後から受信したデータは失われます。さらにORER=1にセットされた状態でそれ以降のシリアル受信を続けることはできません。またシリアル送信も続けることはできません。 [セット条件] • RDRF=1の状態、次のシリアル受信の1バイトが完了したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
5	—	0	R/W	リザーブビット
4	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
3	TEND	0	R/W	トランスミットエンド [セット条件] • SSCR2のTENDSTSが0のとき、TDRE=1の状態、送信データの最後尾ビットの送信時 • SSCR2のTENDSTSが1のとき、TDRE=1の状態、送信データの最後尾ビットの送信後 [クリア条件] • TEND=1の状態をリードした後、TENDフラグに0をライトしたとき • SSTDRヘデータをライトしたとき
2	TDRE	1	R/W	トランスミットデータエンプティ SSTDR内のデータの有無を表示します。 [セット条件] • SSERのTEが0のとき • SSTDRからSSTRSRにデータが転送され、SSTDRにデータライトが可能になったとき [クリア条件] • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき • TE=1で、SSTDRヘデータをライトしたとき

ビット	ビット名	初期値	R/W	説明
1	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>SSRDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき SSRDR から受信データをリードしたとき
0	CE	0	R/W	<p>コンフリクトエラー／インコンプリートエラー</p> <p>SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より \overline{SCS} から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、\overline{SCS} 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタデバイス (SSCRH の MSS=1) のとき \overline{SCS} 端子に Low レベルが入力されたとき スレーブデバイス (SSCRH の MSS=0) のとき転送途中で \overline{SCS} 端子が 1 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

19.3.6 SS コントロールレジスタ 2 (SSCR2)

SSCR2 は、SSO 端子、SSI 端子、SSCK 端子、 $\overline{\text{SCS}}$ 端子のオープンドレイン出力、 $\overline{\text{SCS}}$ 端子のアサートタイミング、SSO 端子のデータ出力タイミング、TEND ビットのセットタイミングを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	SDOS	0	R/W	シリアルデータオープンドレイン出力選択 シリアルデータ出力端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。シリアルデータ出力端子はレジスタ設定値によって変わります。詳細は「19.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
6	SSCKOS	0	R/W	SSCK 端子のオープンドレイン出力選択 SSCK 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
5	SCSOS	0	R/W	$\overline{\text{SCS}}$ 端子のオープンドレイン出力選択 $\overline{\text{SCS}}$ 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
4	TENDSTS	0	R/W	TEND ビットのセットタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : 最後尾ビットの送信中に TEND ビットをセット 1 : 最後尾ビットの送信後に TEND ビットをセット
3	SCSATS	0	R/W	$\overline{\text{SCS}}$ 端子のアサートタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : t_{LEAD} 、 t_{LAG} の出力期間の min を $1/2 \times t_{\text{SUcyc}}$ とする 1 : t_{LEAD} 、 t_{LAG} の出力期間の min を $3/2 \times t_{\text{SUcyc}}$ とする
2	SSODTS	0	R/W	SSO 端子のデータ出力タイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき SSO 端子はデータを出力 1 : BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき、かつ $\overline{\text{SCS}}$ 端子の Low レベル期間中で SSO 端子はデータを出力
1	—	0	R/W	リザーブビット
0	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

19.3.7 SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)

SSTDR は、送信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSTDR0、16 ビットデータ長を選択した場合は SSTDR0、SSTDR1、24 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、32 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、SSTDR3 が有効になります。有効になっていない SSTDR へはアクセスしないでください。

SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中に SSTDR に次のデータをライトしておくと、連続シリアル送信ができます。

SSTDR は CPU と DMAC から常にリード/ライト可能ですが、シリアル通信を確実にを行うためには、SSTDR へのライトは、必ず SSSR の TDRE が 1 にセットされていることを確認してから行ってください。

表 19.2 DATS ビットの設定と SSTDR の対応表

SSTDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	有効
1	無効	有効	有効	有効
2	無効	無効	有効	有効
3	無効	無効	有効	無効

19.3.8 SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)

SSRDR は、受信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSRDR0、16 ビットデータ長を選択した場合は SSRDR0、SSRDR1、24 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、32 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、SSRDR3 が有効になります。有効になっていない SSRDR へはアクセスしないでください。

SSU は、1 バイトのデータ受信を完了すると、SSTRSR から SSRDR へ受信したシリアルデータを転送して格納します。この後、SSTRSR は受信可能となります。このように、SSTRSR と SSRDR はダブルバッファになっているため、連続受信動作が可能です。

SSRDR のリードは、SSSR レジスタの RDRF ビットが 1 にセットされていることを確認して行ってください。SSRDR はリード専用レジスタです。CPU からライトすることはできません。

表 19.3 DATS ビットの設定と SSRDR の対応表

SSRDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	有効
1	無効	有効	有効	有効
2	無効	無効	有効	有効
3	無効	無効	有効	無効

19.3.9 SS シフトレジスタ (SSTRSR)

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。

SSTDR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。その後、SSTRSR の LSB (ビット 0) から順に SSO 端子にデータを送り出すことでシリアルデータ送信を行います。

また、受信時は、SSI 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順に SSTRSR にセットします。1 バイトのデータ受信を完了すると、SSTRSR のデータを自動的に SSRDR へ転送します。SSTRSR は CPU から直接アクセスすることはできません。

19.4 動作説明

19.4.1 転送クロック

転送クロックは7種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合はSSCRHのSCKSを1にセットしてSSCK端子をシリアルクロックとして選択しておく必要があります。SSCRHのMSS=1のときは、内部クロックが選択されSSCK端子が出力になります。転送が開始されるとSSMRのCKS2~CKS0に設定された転送レートクロックがSSCK端子から出力されます。MSS=0のときは外部クロックが選択され、SSCK端子は入力端子になります。

19.4.2 クロックの位相、極性とデータの関係

SSCRLのSSUMS=0のとき、SSMRのCPOSとCPHSの組み合わせでクロックの位相、極性および転送データの関係が変わります。これらの関係を図19.2に示します。SSUMS=1のとき、CPOSの設定は有効ですが、CPHSの設定は無効となります。

なお、SSMRのMLSの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLS=0のときはLSBからMSBの順で転送されます。また、MLS=1のときは、MSBからLSBの順で転送されます。

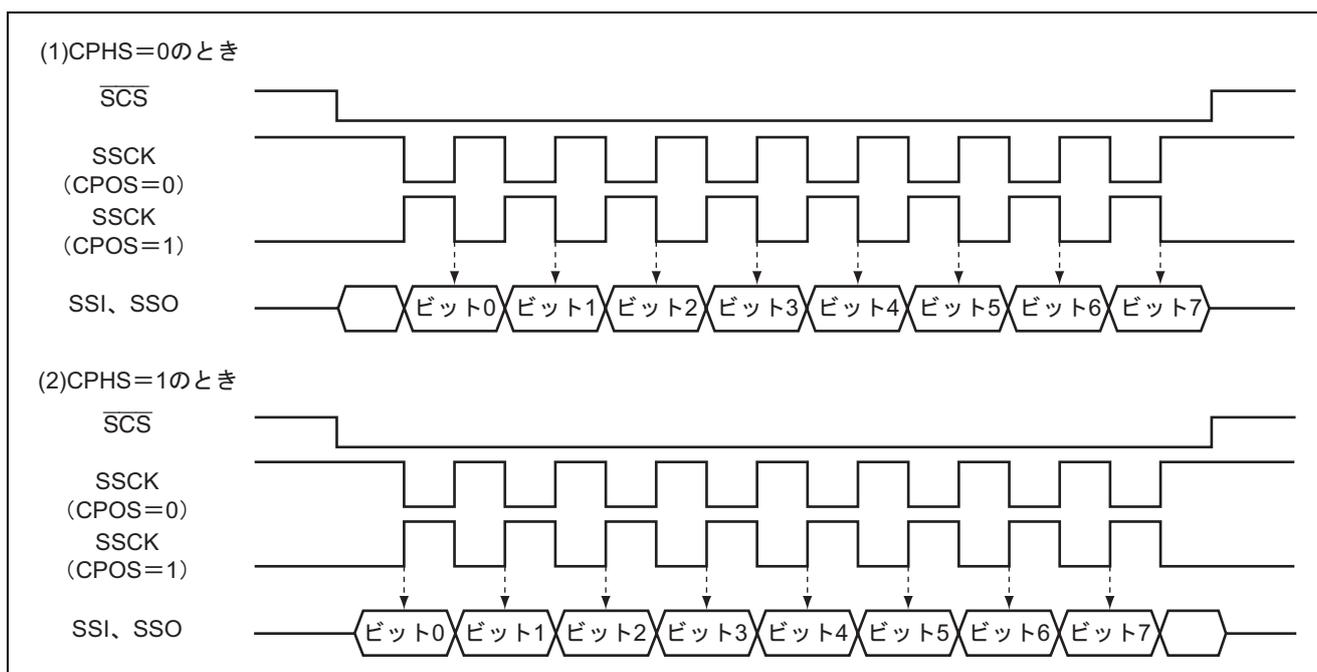


図 19.2 クロックの位相、極性とデータの関係

19.4.3 データ入出力端子とシフトレジスタの関係

SSCRH の MSS、BIDE と、SSCRL の SSUMS の組み合わせにより、データ入出力端子と SS シフトレジスタ (SSTRSR) の接続関係が変わります。これらの接続関係を図 19.3 に示します。

SSU は、BIDE=0、MSS=1 (標準、マスタモード) で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します (図 19.3 (1))。また、BIDE=0、MSS=0 (標準、スレーブモード) で動作しているとき、SSI 端子からシリアルデータを送信し、SSO 端子からシリアルデータを受信します (図 19.3 (2))。

BIDE=1 (双方向モード) では、マスタモード、スレーブモードに関わらず、SSO 端子からシリアルデータの送信または受信を行います (図 19.3 (3)、図 19.3 (4))。

ただし、TE と RE を同時に 1 にセットしての送受信同時動作はできません。必ず、TE または RE のどちらか 1 つを選択してください。

SSUMS=1 で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します。MSS=1 のときは SSCK 端子から内部クロックを出力し、MSS=0 のときは SSCK 端子は入力端子となります (図 19.3 (5)、図 19.3 (6))。

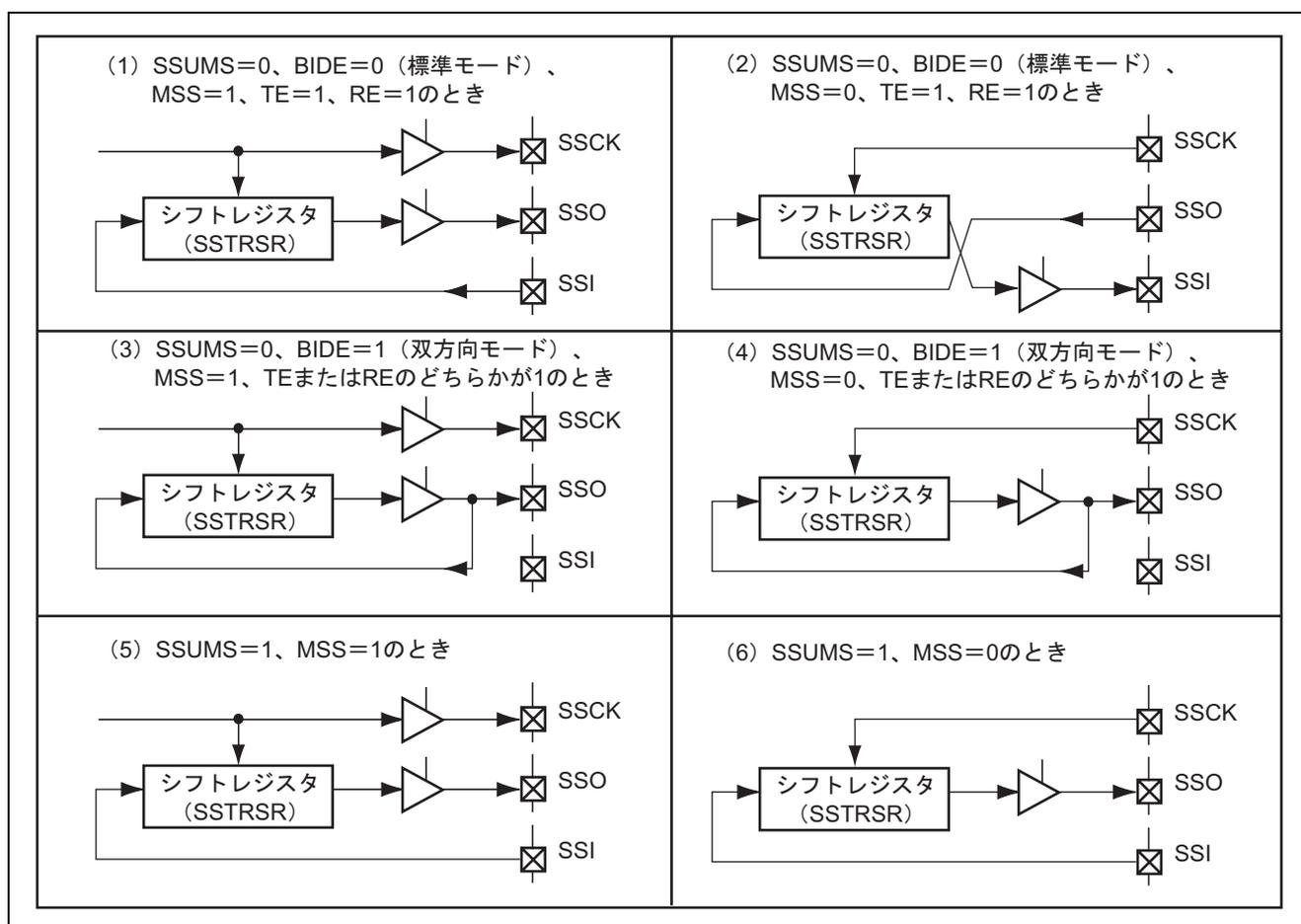


図 19.3 データ入出力端子とシフトレジスタの関係

19.4.4 各通信モードと端子機能

SSUは各通信モードとレジスタの設定により入出力端子 (SSI、SSO、SSCK、 \overline{SCS}) の機能を切り替えます。入力端子として使用する場合、ポートデータディレクションレジスタ (DDR) の対応する端子のビットを0にクリアしてください。各通信モードと入出力端子の関係を表 19.4～表 19.6 に示します。

表 19.4 各通信モードと SSI、SSO 端子の状態

通信モード	レジスタ状態					端子状態	
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO
SSU 通信モード	0	0	0	0	1	—	入力
				1	0	出力	—
				1	1	出力	入力
			1	0	1	入力	—
				1	0	—	出力
				1	1	入力	出力
SSU (双方向) 通信モード	0	1	0	0	1	—	入力
				1	0	—	出力
			1	0	1	—	入力
				1	0	—	出力
クロック同期式通 信モード	1	0	0	0	1	入力	—
				1	0	—	出力
				1	1	入力	出力
			1	0	1	入力	—
				1	0	—	出力
				1	1	入力	出力

【記号説明】 — : SSUとして端子を用いない (I/Oポートとして使用可能)

表 19.5 各通信モードと SSCK 端子の状態

通信モード	レジスタ状態			端子状態
	SSUMS	MSS	SCKS	SSCK
SSU 通信モード	0	0	0	—
			1	入力
		1	0	—
			1	出力
クロック同期式 通信モード	1	0	0	—
			1	入力
		1	0	—
			1	出力

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

表 19.6 各通信モードと \overline{SCS} 端子の状態

通信モード	レジスタ状態				端子状態	
	SSUMS	MSS	CSS1	CSS0	\overline{SCS}	
SSU 通信モード	0	0	*	*	入力	
		1	0	0	0	—
			0	1	1	入力
			1	0	0	自動入出力
			1	1	1	出力
クロック同期式 通信モード	1	*	*	*	—	

【記号説明】 * : Don't care

— : SSU として端子を用いない (I/O ポートとして使用可能)

19.4.5 SSU モード

SSU モードは、クロックライン (SSCK)、データ入力ライン (SSI または SSO)、データ出力ライン (SSI または SSO)、チップセレクト ($\overline{\text{SCS}}$) の 4 本のバスを使用してデータ通信を行います。

また、データ入力ラインとデータ出力ラインを 1 端子で行う双方向モードも対応しています。

(1) SSU モードの初期設定

SSU モードの初期設定例を図 19.4 に示します。データの送信/受信前には、SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

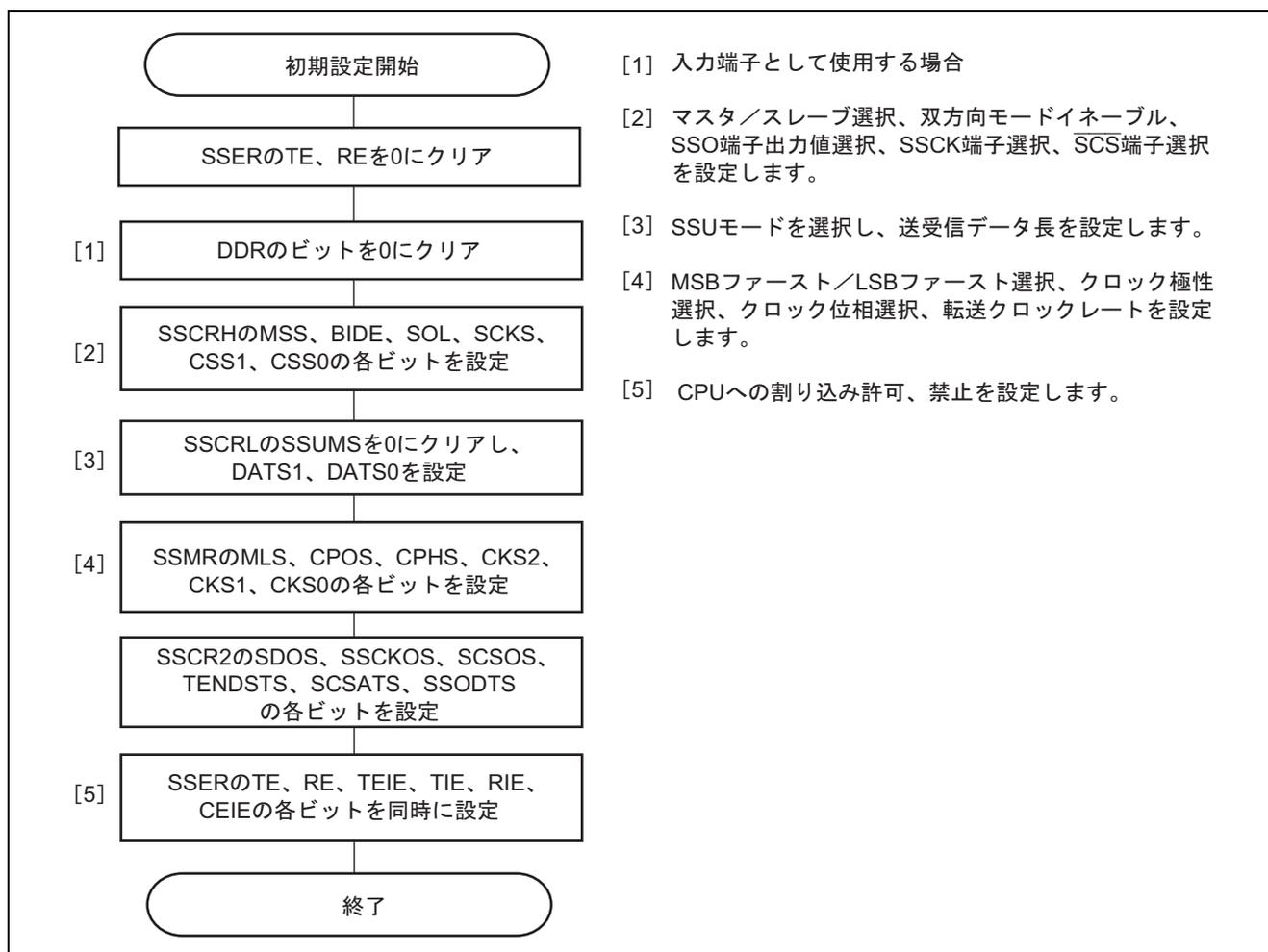


図 19.4 SSU モードの初期設定例

(2) データ送信

図 19.5 に送信時の動作例を、図 19.6 にデータ送信のフローチャートの例を示します。

データ送信時に SSU は以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$ 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTD R に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTD R から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求を発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTD R から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込みを発生します。送信終了後は、SSCK 端子は SSMR の CPOS=0 のとき High レベルに固定され、CPOS=1 のときには Low レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

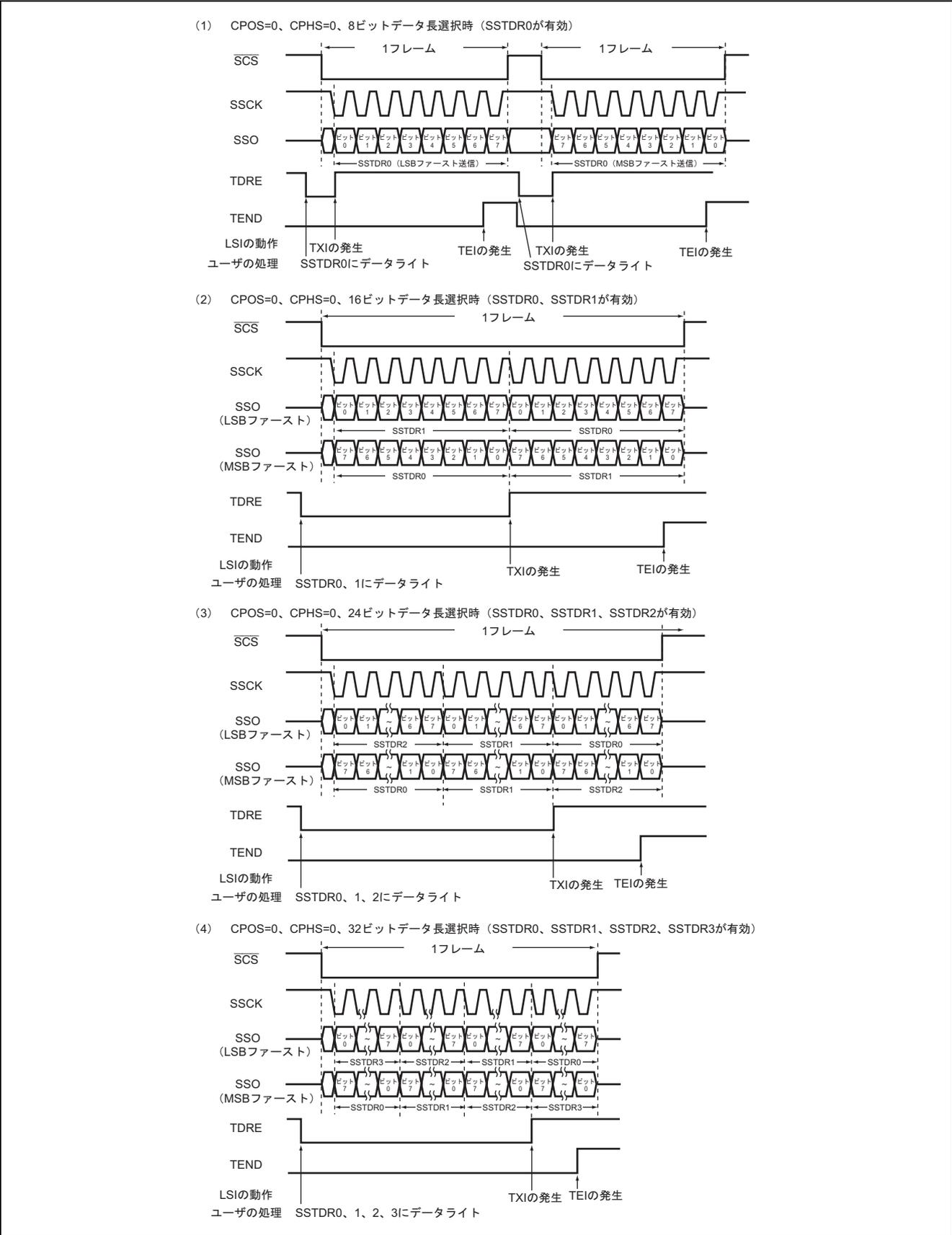


図 19.5 送信時の動作例 (SSU モード)

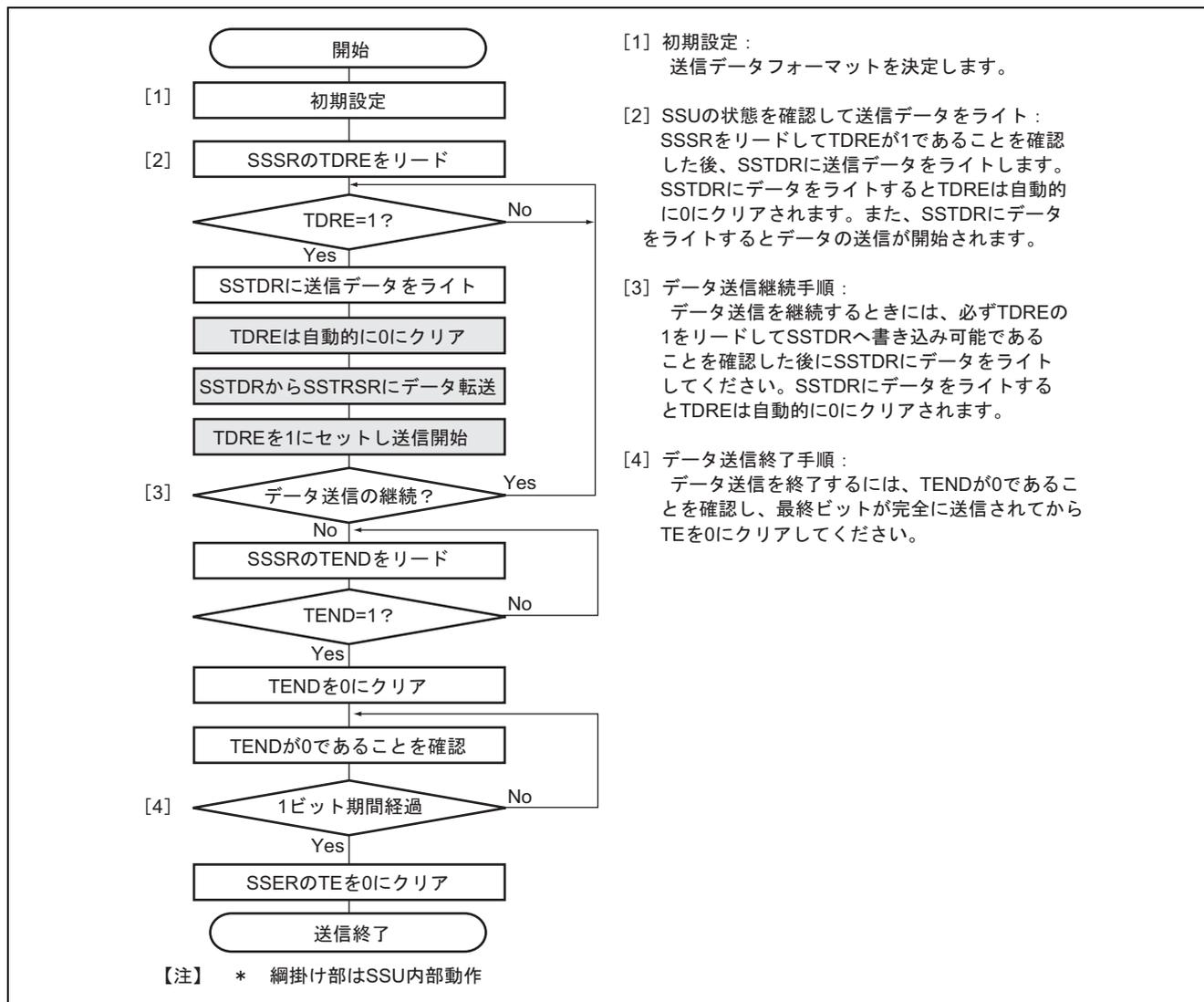


図 19.6 データ送信のフローチャート例 (SSU モード)

(3) データ受信

図 19.7 に受信時の動作例を、図 19.8 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットし、SSRDR をダミーリードすることにより受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、SCS 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (OEI) が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

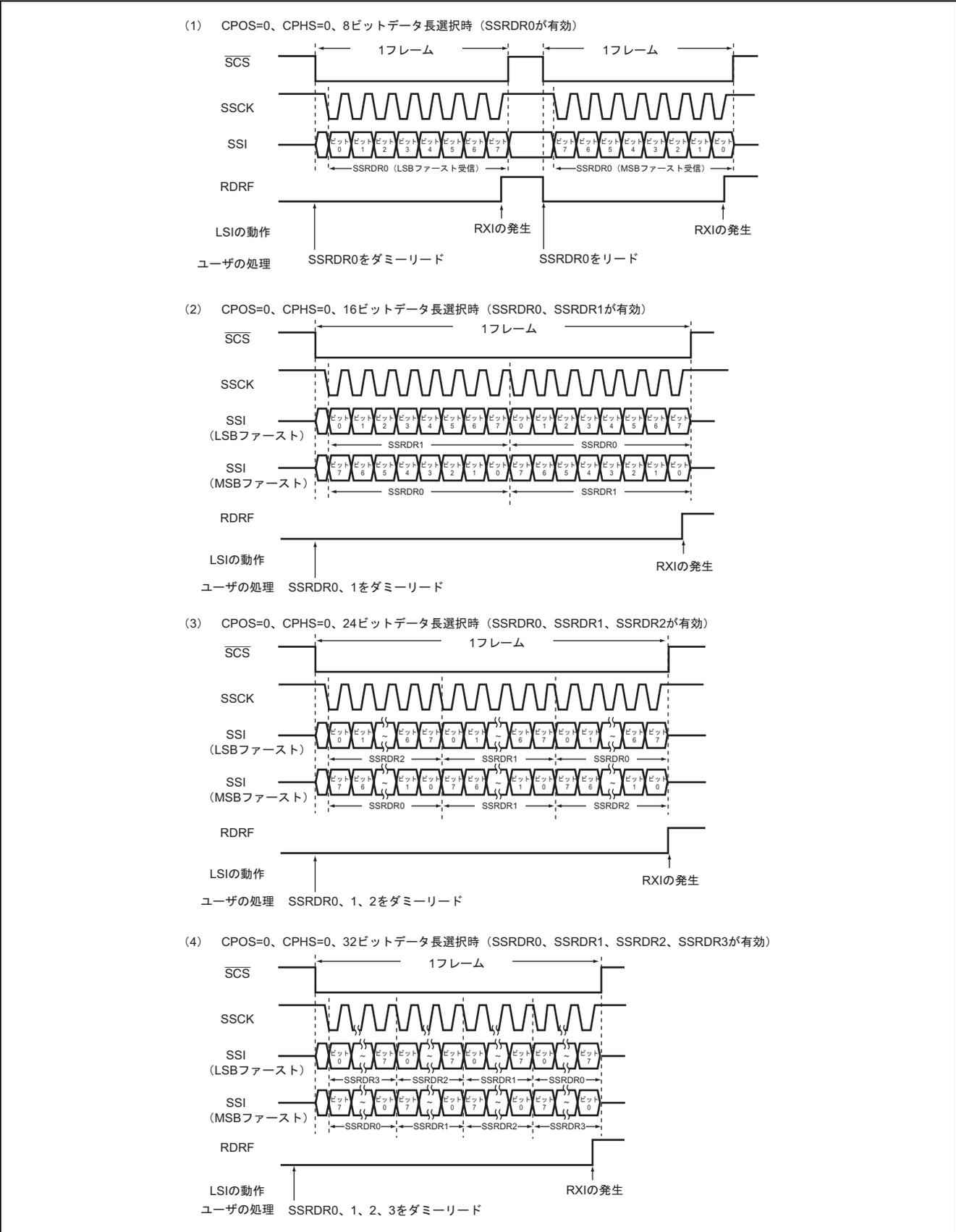
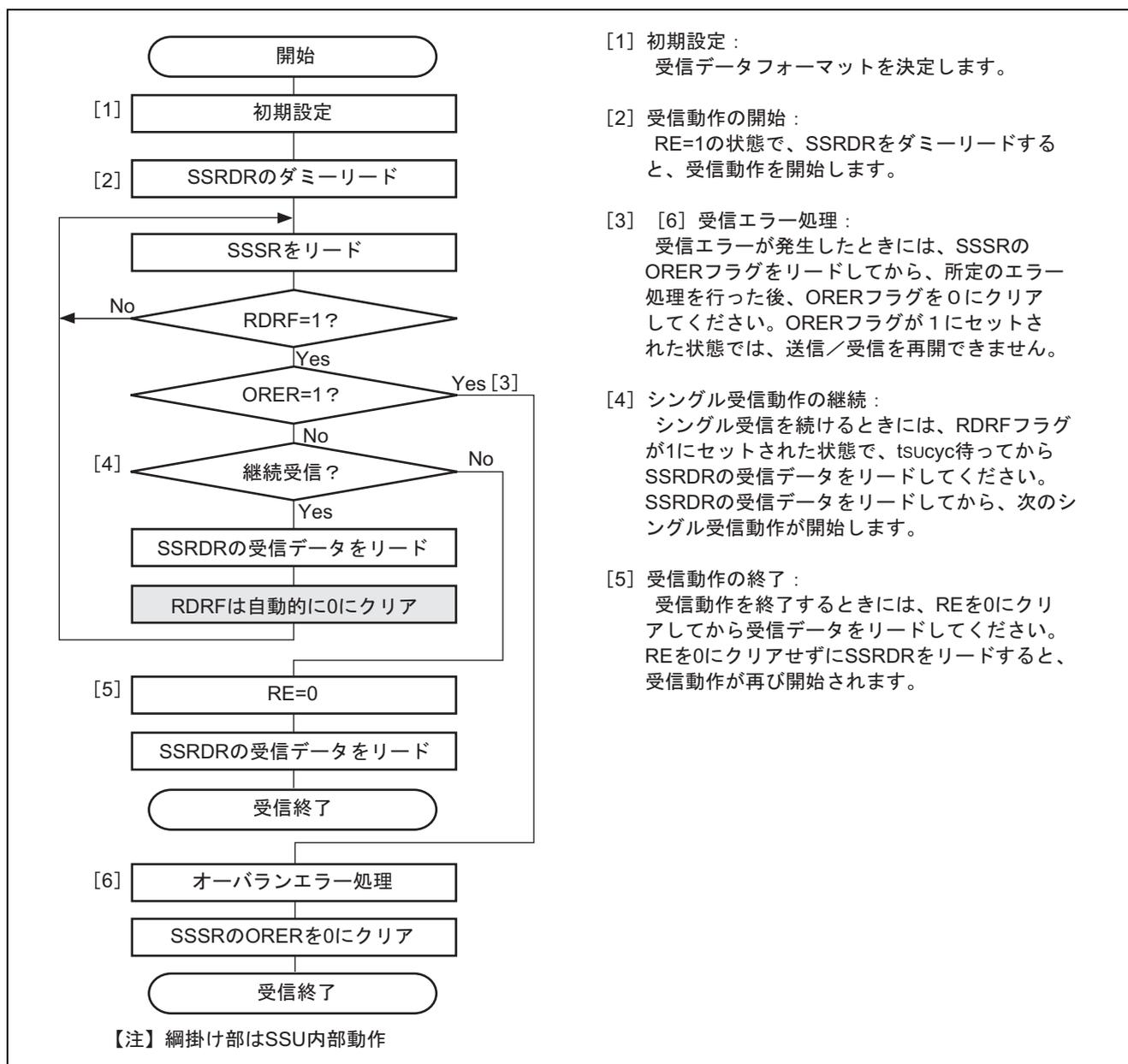


図 19.7 受信時の動作例 (SSU モード)



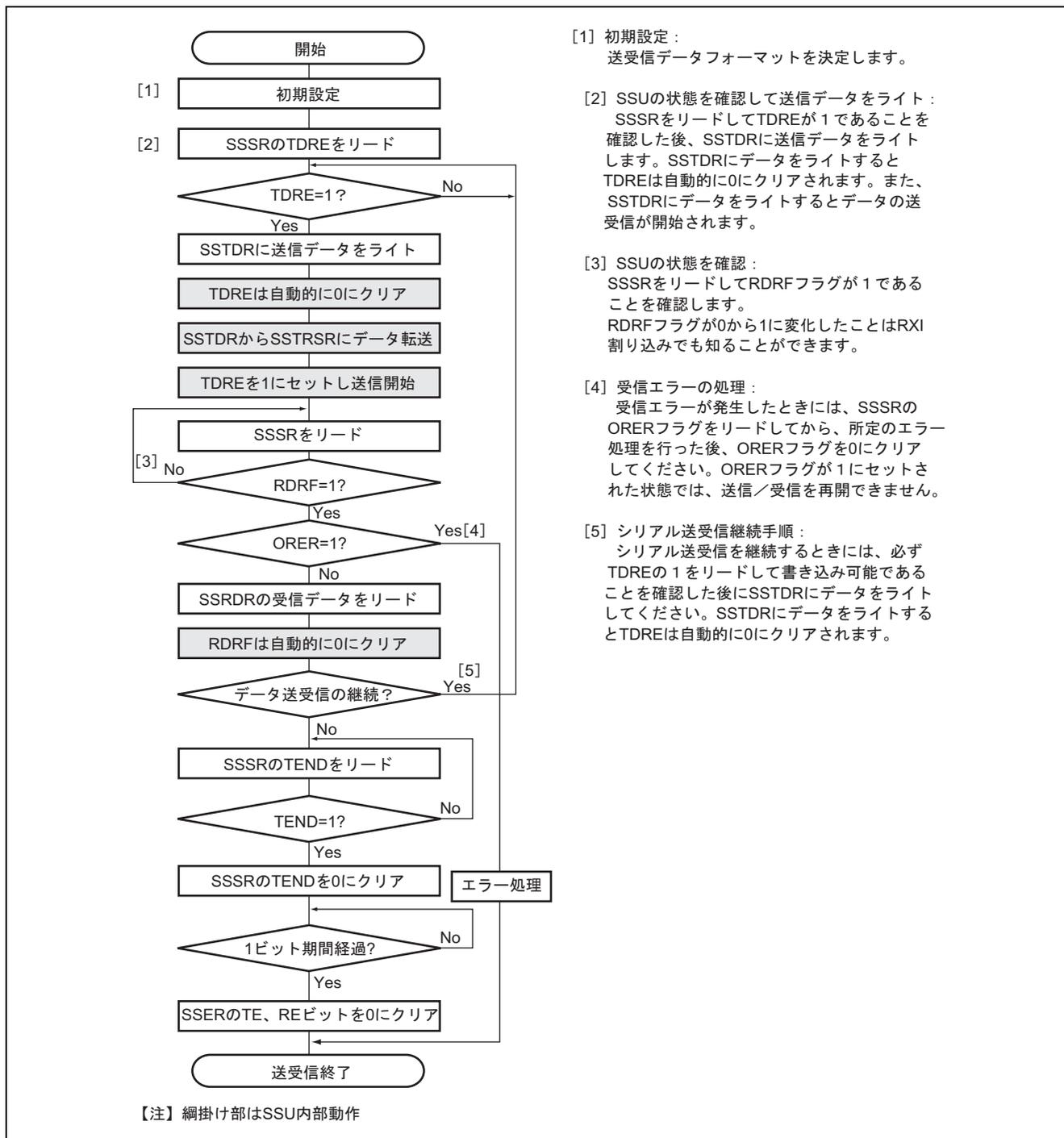
- [1] 初期設定：
受信データフォーマットを決定します。
- [2] 受信動作の開始：
RE=1の状態、SSRDRをダミーリードすると、受信動作を開始します。
- [3] [6] 受信エラー処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信/受信を再開できません。
- [4] シングル受信動作の継続：
シングル受信を続けるときには、RDRFフラグが1にセットされた状態で、tsucyc待ってからSSRDRの受信データをリードしてください。SSRDRの受信データをリードしてから、次のシングル受信動作が開始します。
- [5] 受信動作の終了：
受信動作を終了するときには、REを0にクリアしてから受信データをリードしてください。REを0にクリアせずにSSRDRをリードすると、受信動作が再び開始されます。

図 19.8 データ受信のフローチャート例 (SSU モード)

(4) データ送受信

図 19.9 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE=RE=1 の状態で、SSTDR に送信データをライトすることで開始されます。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。



- [1] 初期設定：
送受信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDRに送信データをライトします。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDRにデータをライトするとデータの送受信が開始されます。
- [3] SSUの状態を確認：
SSSRをリードしてRDRFフラグが1であることを確認します。
RDRFフラグが0から1に変化したことはRXI割り込みでも知ることができます。
- [4] 受信エラーの処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信/受信を再開できません。
- [5] シリアル送受信継続手順：
シリアル送受信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後にSSTDRにデータをライトしてください。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。

図 19.9 データ送受信同時動作のフローチャート例 (SSU モード)

19.4.6 $\overline{\text{SCS}}$ 端子制御とコンフリクトエラー

SSCRH の CSS1、CSS0=10、SSCRL の SSUMS=0 に設定した場合、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前と転送終了後に $\overline{\text{SCS}}$ 端子は入力 (Hi-Z) となり、コンフリクトエラーを検出します。この期間に $\overline{\text{SCS}}$ 端子から Low レベルが入力されるとコンフリクトエラーとなり、SSSR の CE がセットされ、MSS はクリアされます。

【注】 コンフリクトエラーがセットされた状態では、以後の送信/受信動作はできません。送信/受信を開始する前には、必ず CE を 0 にクリアしてください。

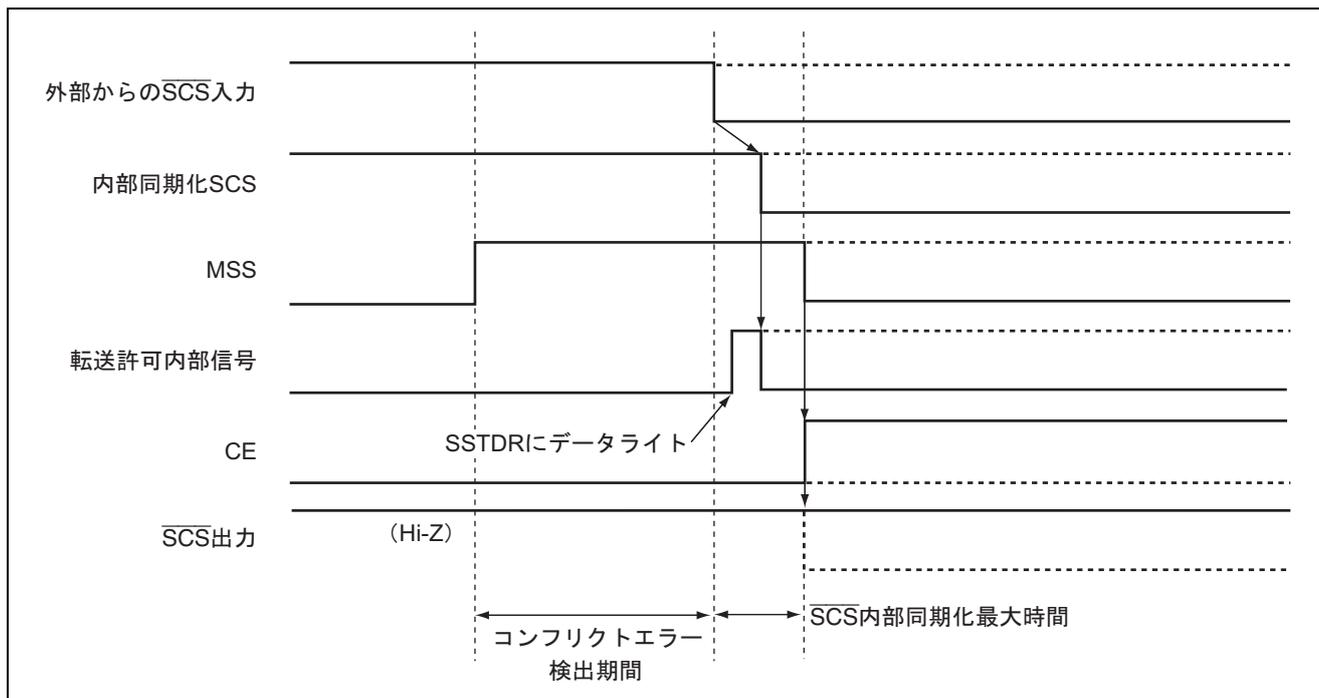


図 19.10 コンフリクトエラー検出タイミング (転送前)

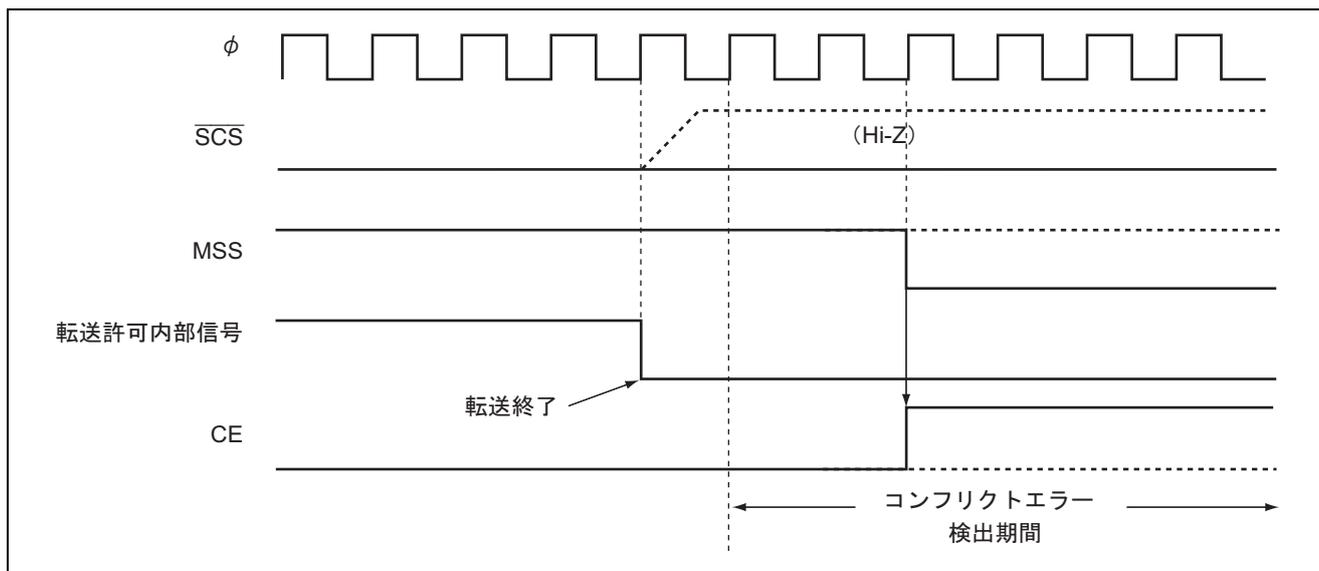


図 19.11 コンフリクトエラー検出タイミング (転送終了後)

19.4.7 クロック同期式通信モード

クロック同期式通信モードは、クロックライン (SSCK)、データ入力ライン (SSI)、データ出力ライン (SSO) の3本のバスを使用してデータ通信を行います。

(1) クロック同期式通信モードの初期設定

クロック同期式通信モードの初期設定例を図 19.12 に示します。データの送信/受信前には、まず SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグ および SSRDR の内容は保持されていますので注意してください。

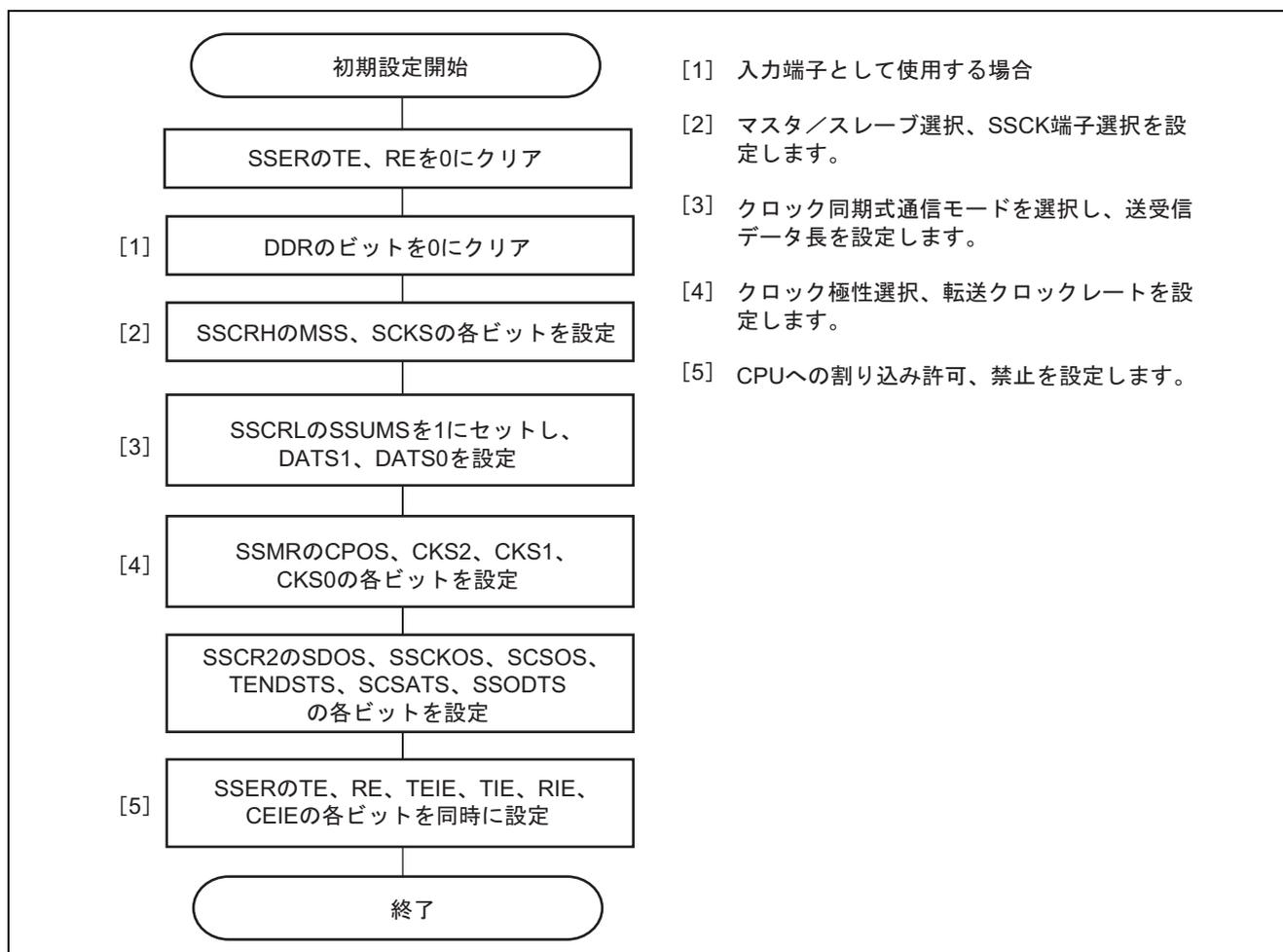


図 19.12 クロック同期式通信モードの初期設定例

(2) データ送信

図 19.13 に送信時の動作例を、図 19.14 にデータ送信のフローチャートの例を示します。データ送信時にクロック同期式通信モードでは以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。SSU をスレーブデバイスに設定し、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求が発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送り出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込み要求が発生します。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

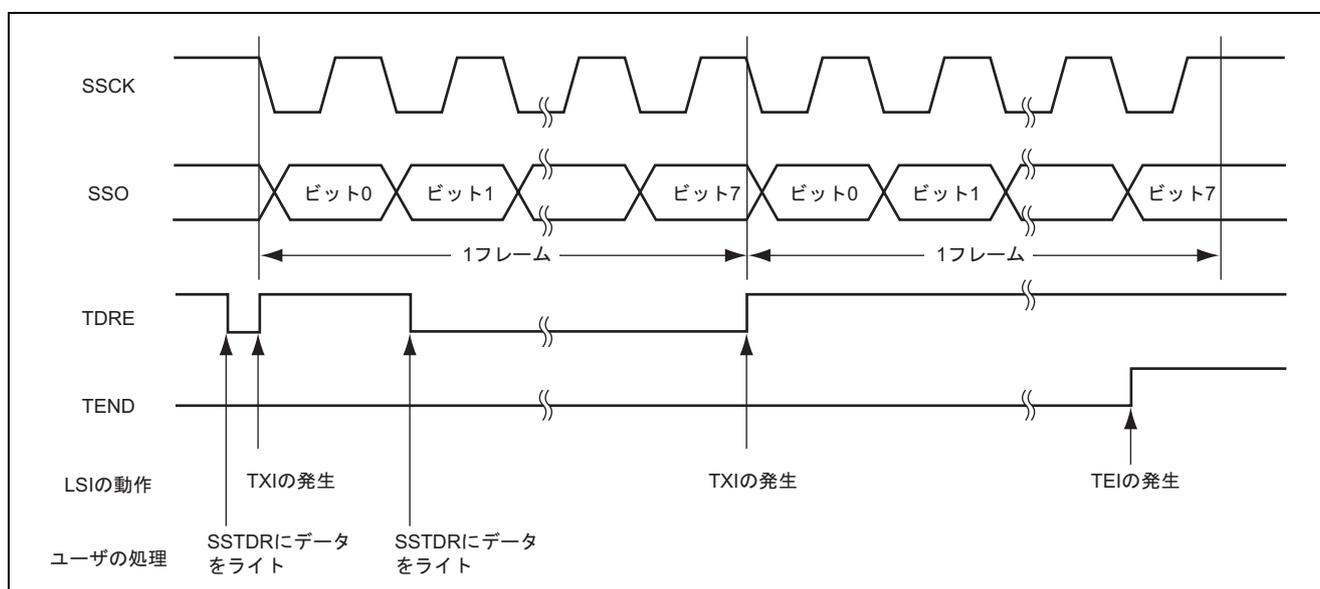
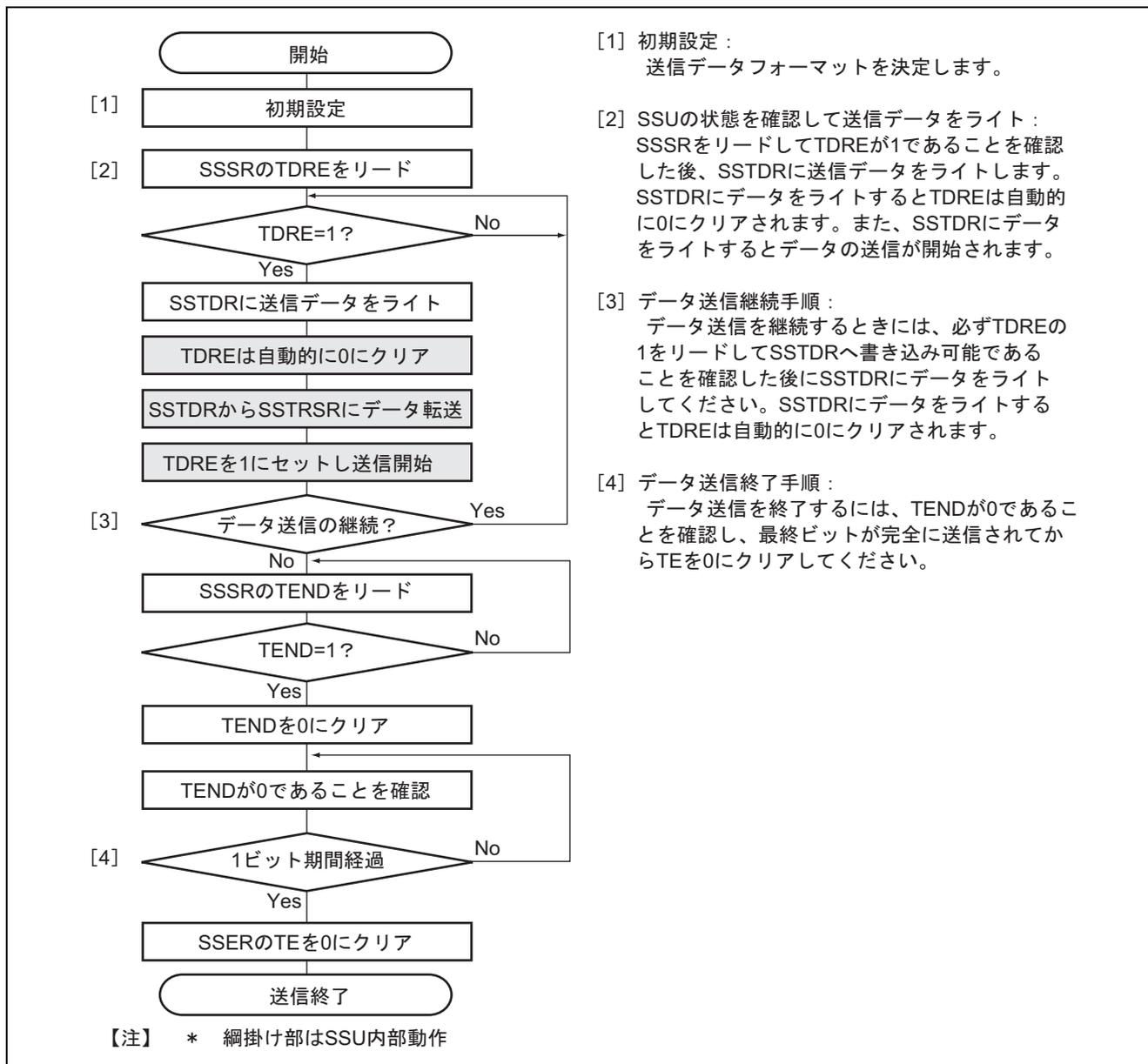


図 19.13 送信時の動作例 (クロック同期式通信モード)



- [1] 初期設定：
送信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDRに送信データをライトします。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDRにデータをライトするとデータの送信が開始されます。
- [3] データ送信継続手順：
データ送信を継続するときには、必ずTDREの1をリードしてSSTDRへ書き込み可能であることを確認した後にSSTDRにデータをライトしてください。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。
- [4] データ送信終了手順：
データ送信を終了するには、TENDが0であることを確認し、最終ビットが完全に送信されてからTEを0にクリアしてください。

図 19.14 データ送信のフローチャート例 (クロック同期式通信モード)

(3) データ受信

図 19.15 に受信時の動作例を、図 19.16 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットすると受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求が発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (OEI) が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

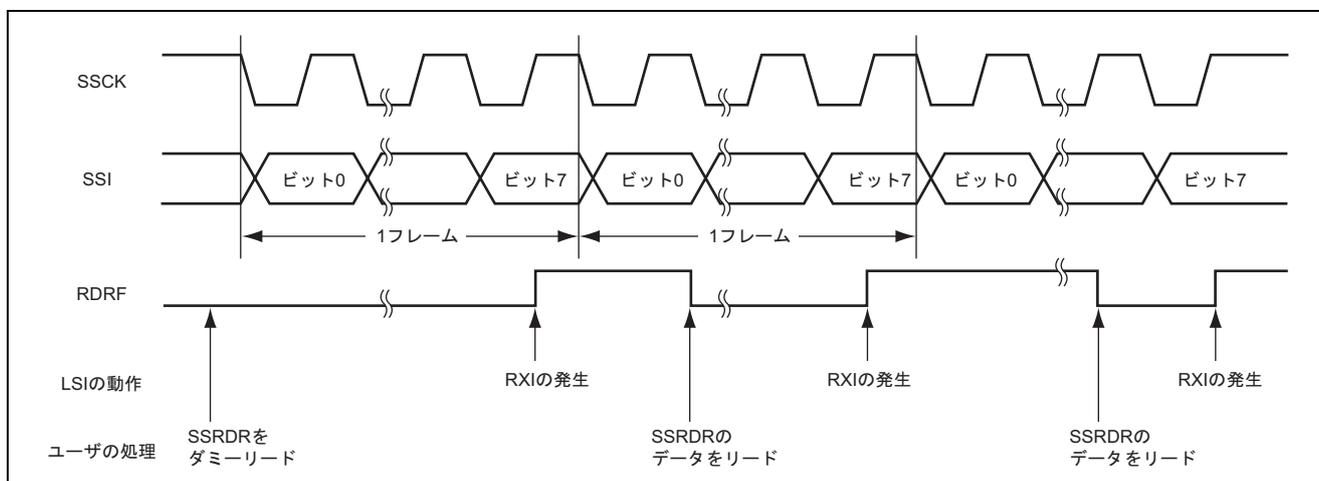
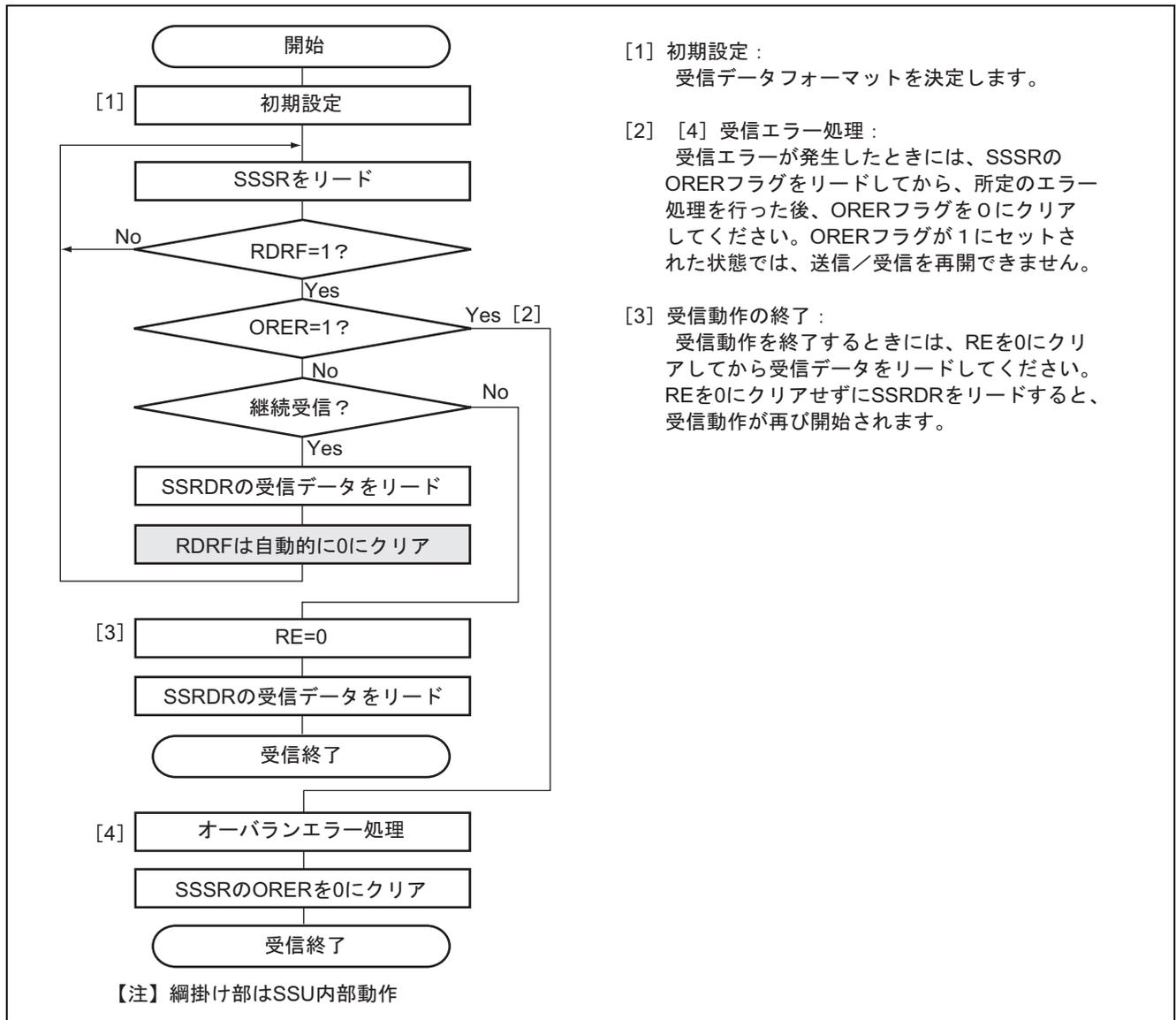


図 19.15 受信時の動作例 (クロック同期式通信モード)



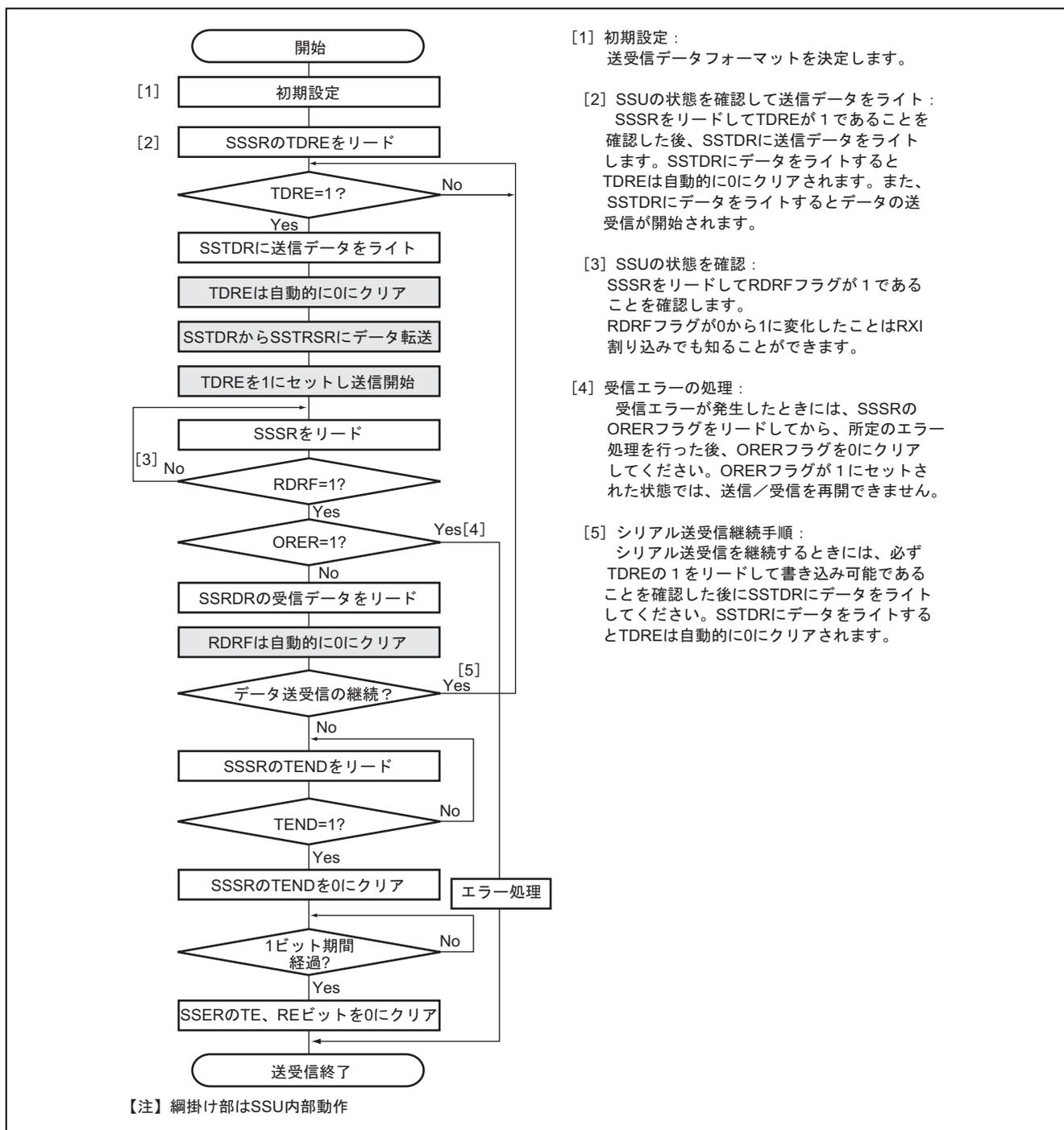
- [1] 初期設定：
受信データフォーマットを決定します。
- [2] [4] 受信エラー処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信／受信を再開できません。
- [3] 受信動作の終了：
受信動作を終了するときには、REを0にクリアしてから受信データをリードしてください。REを0にクリアせずにSSRDRをリードすると、受信動作が再び開始されます。

図 19.16 データ受信のフローチャート例 (クロック同期式通信モード)

(4) データ送受信

図 19.17 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE=RE=1 の状態で、SSTDR に送信データをライトすることで開始されます。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。



- [1] 初期設定：
送受信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDRに送信データをライトします。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDRにデータをライトするとデータの送受信が開始されます。
- [3] SSUの状態を確認：
SSSRをリードしてRDRFフラグが1であることを確認します。
RDRFフラグが0から1に変化したことはRXI割り込みでも知ることができます。
- [4] 受信エラーの処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信/受信を再開できません。
- [5] シリアル送受信継続手順：
シリアル送受信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後にSSTDRにデータをライトしてください。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。

図 19.17 データ送受信同時動作のフローチャート例 (クロック同期式通信モード)

19.5 割り込み要求

SSU の割り込み要求には、オーバーランエラー、コンフリクトエラー、受信データフル、送信データエンプティ、送信終了割り込みがあります。

オーバーランエラー、コンフリクトエラーの割り込み要求が SSERI、送信データエンプティ、送信終了の割り込み要求が SSTXI のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 19.7 に割り込み要因を示します。

表 19.7 の割り込み条件が成立すると、割り込み要求が発生します。CPU または DMAC によるデータ転送で割り込み要因をクリアしてください。

表 19.7 SSU 割り込み要因

チャンネル	名称	割り込み要因	略称	割り込み条件	DMAC の起動
0	SSERI0	オーバーランエラー	OEI0	(RIE=1) ・ (ORER=1)	—
		コンフリクトエラー	CEI0	(CEIE=1) ・ (CE=1)	—
	SSRXI0	受信データフル	RXI0	(RIE=1) ・ (RDRF=1)	—
	SSTXI0	送信データエンプティ	TXI0	(TIE=1) ・ (TDRE=1)	—
		送信終了	TEI0	(TEIE=1) ・ (TEND=1)	—

19.6 使用上の注意事項

19.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、SSU の動作禁止／許可を設定することが可能です。初期値では、SSU の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「第 23 章 低消費電力状態」を参照してください。

20. RAM

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品型名		ROM タイプ	RAM 容量	RAM アドレス	
H8S/24269	R4F24269	フラッシュメモリ版	64K バイト	H'FEC000~H'FFBFFF	
H8S/24269R	R4F24269R				
H8S/24249	R4F24249				
H8S/24268	R4F24268		ROM レス版	48K バイト	H'FF0000~H'FFBFFF
H8S/24268R	R4F24268R				
H8S/24265	R4F24265				
H8S/24265R	R4F24265R				
H8S/24248	R4F24248				
H8S/24245	R4F24245				
H8S/24262	R4S24262	ROM レス版	64K バイト	H'FEC000~H'FFBFFF	
H8S/24262R	R4S24262R				
H8S/24242	R4S24242				
H8S/24261	R4S24261		48K バイト	H'FF0000~H'FFBFFF	
H8S/24261R	R4S24261R				
H8S/24241	R4S24241				

21. フラッシュメモリ

本製品では、ユーザプログラムモード、ブートモード、ライターモードの3つの書き換えモードでフラッシュメモリを操作できます。

表 21.1 にフラッシュメモリの仕様概要を示します（表 21.1 に示す以外の項目は「第 1 章 概要」を参照してください）。

表 21.1 フラッシュメモリ版の仕様概要

項 目		性 能
フラッシュメモリの書き換えモード		3 モード（ユーザプログラムモード、ブートモード、ライターモード）
消去ブロック分割	ユーザ ROM	図 21.1 を参照してください。
	データフラッシュ	
プログラム方式		ワード単位
イレース方式		ブロック消去
プログラム、イレース制御方式		ソフトウェアコマンドによるプログラム、イレース制御
コマンド数		6 コマンド
プログラム、イレース回数		1,000 回／10,000 回*2*3
データ保持		10 年間

【注】 *1 プログラム、イレース回数の定義

*2 プログラム、イレース回数はブロックごとのイレース回数です。

たとえば、4K バイトのブロックについて、1 ワードの書き込みを 2,048 回に分けて書き込みを行った後、そのブロックをイレースするとプログラム、イレース回数 1 回と数えます。プログラム、イレース回数が 1,000 回の場合、ブロックごとに 1,000 回ずつイレースすることができます。

*3 データフラッシュは 10,000 回、それ以外のブロックは 1,000 回です。

表 21.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ 書き換えモード	オンボードプログラムモード		オフボードモード
	ユーザプログラムモード	ブートモード	ライターモード
機能概要	CPU がソフトウェアコマンドを実行することにより、ユーザ ROM を書き換える EW0 モード： フラッシュメモリ以外の領域で書き換え可能	内蔵 SCI インタフェースを使用して、ユーザ ROM を書き換える 標準シリアル入出力モード 1： クロック同期シリアル I/O 標準シリアル入出力モード 2： クロック非同期シリアル I/O	専用パラレルライターを使用し、ユーザ ROM を書き換える
書き換えできる領域	ユーザ ROM、 データフラッシュ	ユーザ ROM、 データフラッシュ	ユーザ ROM、 データフラッシュ
動作モード	シングルチップモード 内蔵 ROM 有効拡張モード	ブートモード	ライターモード
ROM ライタ	—	—	パラレルライター

21.1 メモリ配置

本製品のROMはユーザROM、データフラッシュに分けられます。図21.1にフラッシュメモリのブロック図を示します。

ユーザROMとデータフラッシュはいくつかのブロックに分割されています。ユーザROMは、ユーザプログラムモード、ブートモード、またはライターモードで書き換えられます。

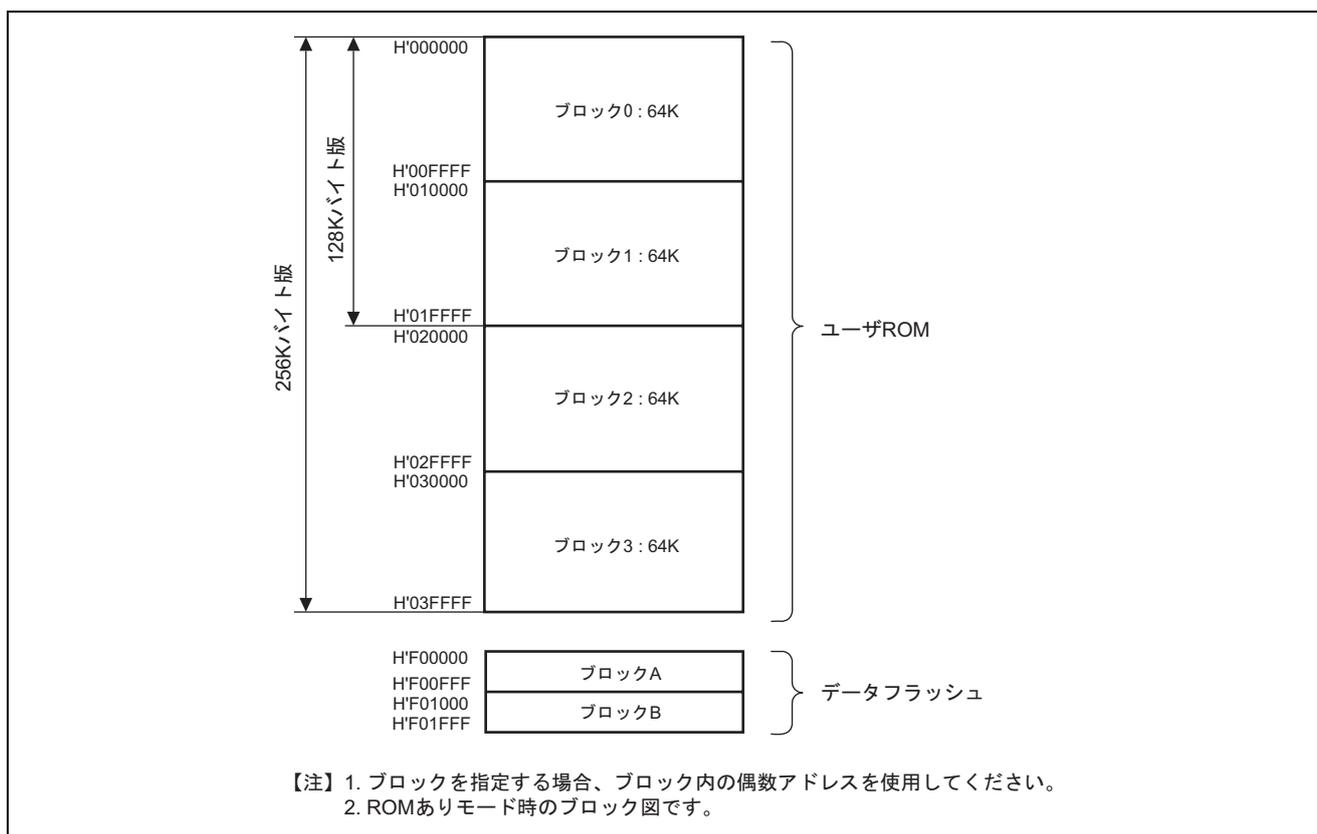


図 21.1 フラッシュメモリのブロック図

21.2 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリデータブロックプロテクトレジスタ (FLMDBPR)
- フラッシュメモリステータスレジスタ (FLMSTR)

【注】 SYSCR レジスタの FLSHE ビットが0の場合、リード値不定、ライトは無効です。

21.2.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 初期値を変更しないでください。
6	CBIDB	1	R/W	ユーザプログラムモード選択 このビットを0 (ユーザプログラムモード) にすると、コマンドの受け付けが可能になります。 0 : ユーザプログラムモード選択有効 1 : ユーザプログラムモード選択無効
5	—	0	—	リザーブビット 初期値を変更しないでください。
4	—	0	—	リザーブビット 初期値を変更しないでください。
3	—	0	—	リザーブビット 初期値を変更しないでください。
2	—	1	—	リザーブビット 初期値を変更しないでください。
1	—	0	—	リザーブビット 初期値を変更しないでください。
0	FMCMDEN	0	R/W	フラッシュメモリソフトウェアコマンド許可ビット このビットを1 (ユーザプログラムモード) にすると、コマンドの受け付けが可能になります。 0 : フラッシュメモリソフトウェアコマンド禁止 1 : フラッシュメモリソフトウェアコマンド許可 1 を書く場合は0 を書いた後、続けて1 を書いてください。

21.2.2 フラッシュメモリデータブロックプロテクトレジスタ (FLMDBPR)

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 初期値を設定しないでください。
6	—	0	—	リザーブビット 初期値を設定しないでください。
5	—	0	—	リザーブビット 初期値を設定しないでください。
4	—	0	—	リザーブビット 初期値を設定しないでください。
3	—	0	—	リザーブビット 初期値を設定しないでください。
2	—	0	—	リザーブビット 初期値を設定しないでください。
1	—	0	—	リザーブビット 初期値を設定しないでください。
0	FMDBPT0	0	R/W	データフラッシュ E/W 禁止ビット* 0 : データフラッシュ E/W 禁止 1 : データフラッシュ E/W 許可 0 を書く場合は 1 を書いた後、続けて 0 を書いてください。

【注】 * FLMCR1 の FMCMDEN ビットを 1 にセットしたとき、同時に 1 にセットされます。

1 を書く場合は 0 を書いた後、続けて 1 を書いてください。

21.2.3 フラッシュメモリステータスレジスタ (FLMSTR)

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 初期値を設定しないでください。
6	—	0	—	リザーブビット 初期値を設定しないでください。
5	FMERSF*	0	R	イレース・ブラックチェックステータスフラグ 0: 正常終了 1: エラー終了
4	—	0	—	リザーブビット 初期値を設定しないでください。
3	FMPRSF*	0	R	プログラムステータスフラグ 0: 正常終了 1: エラー終了
2	—	0	—	リザーブビット 初期値を設定しないでください。
1	—	1	—	リザーブビット 初期値を設定しないでください。
0	FMRDY	1	R	フラッシュメモリレディ/ビジーステータス 0: ビジー (割り込み、消去実行中) 1: レディ

【注】 * FMERSF、FMPRSF ビットはクリアステータスコマンドを実行すると 0 になります。

21.3 オンボードプログラム

モード端子（MD0、MD1、MD2）をオンボードプログラムモードに設定し、リセットスタートすると、内蔵フラッシュメモリへの書き込み／消去を行うことができるオンボードプログラムモードへ遷移します。オンボードプログラムモードには、SCI ブートモードおよびユーザプログラムモードの 2 種類の動作モードがあります。

各動作モードへの設定方法を表 21.3 に示します。

表 21.3 オンボードプログラムモードの設定方法

モード設定	EMLE	MD2	MD1	MD0
SCI ブートモード	0	0	1	1
ユーザプログラムモード		内蔵 ROM 有効拡張モード、 シングルチップモード		

21.3.1 ユーザプログラムモード

ユーザプログラムモードでは、CPU がソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROM ライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザ ROM とデータフラッシュを書き換えることができます。

プログラム、ブロックイレースのコマンドは、ユーザ ROM、データフラッシュの各ブロック領域のみに対して実行してください。

ユーザプログラムモードには、イレースライト 0 モード（EW0 モード）があります。表 21.4 に EW0 モードの仕様を示します。

表 21.4 EW0 モードの仕様

項目	EW0 モード
動作モード	<ul style="list-style-type: none"> シングルチップモード 内蔵 ROM 有効拡張モード
書き換え制御プログラムを配置できる領域	ユーザ ROM
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外（RAM など）へ転送してから実行する必要あり*2
書き換えられる領域	ユーザ ROM、データフラッシュ
ソフトウェアコマンドの制限	なし
プログラム、イレース後のモード	リードステータスレジスタモード
自動書き込み、自動消去時の CPU 状態	動作
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> プログラムで FLMSTR レジスタの FMPSRF、FMERSF ビットを読む リードステータスレジスタコマンドを実行し、ステータスレジスタの SR7、SR5、SR4 ビットを読む

【注】 *1 割り込み（NMI を除く）、DMA 転送が起こらないようにしてください。

*2 ユーザプログラムモードでは、書き換え制御プログラムを実行する領域は内部 RAM、または外部領域で実行してください。

21.3.2 EW0 モード

FLMCR1 レジスタの FMCMDEN ビットを 1 (ユーザプログラムモードを有効) にするとユーザプログラムモードになり、コマンドの受け付けが可能となります。図 21.2 に EW0 モードの設定と解除方法を示します。

プログラム、イレース動作の制御はソフトウェアコマンドで行います。プログラム、イレースの終了時の状態などは FLMSTR レジスタまたはステータスレジスタで確認できます。

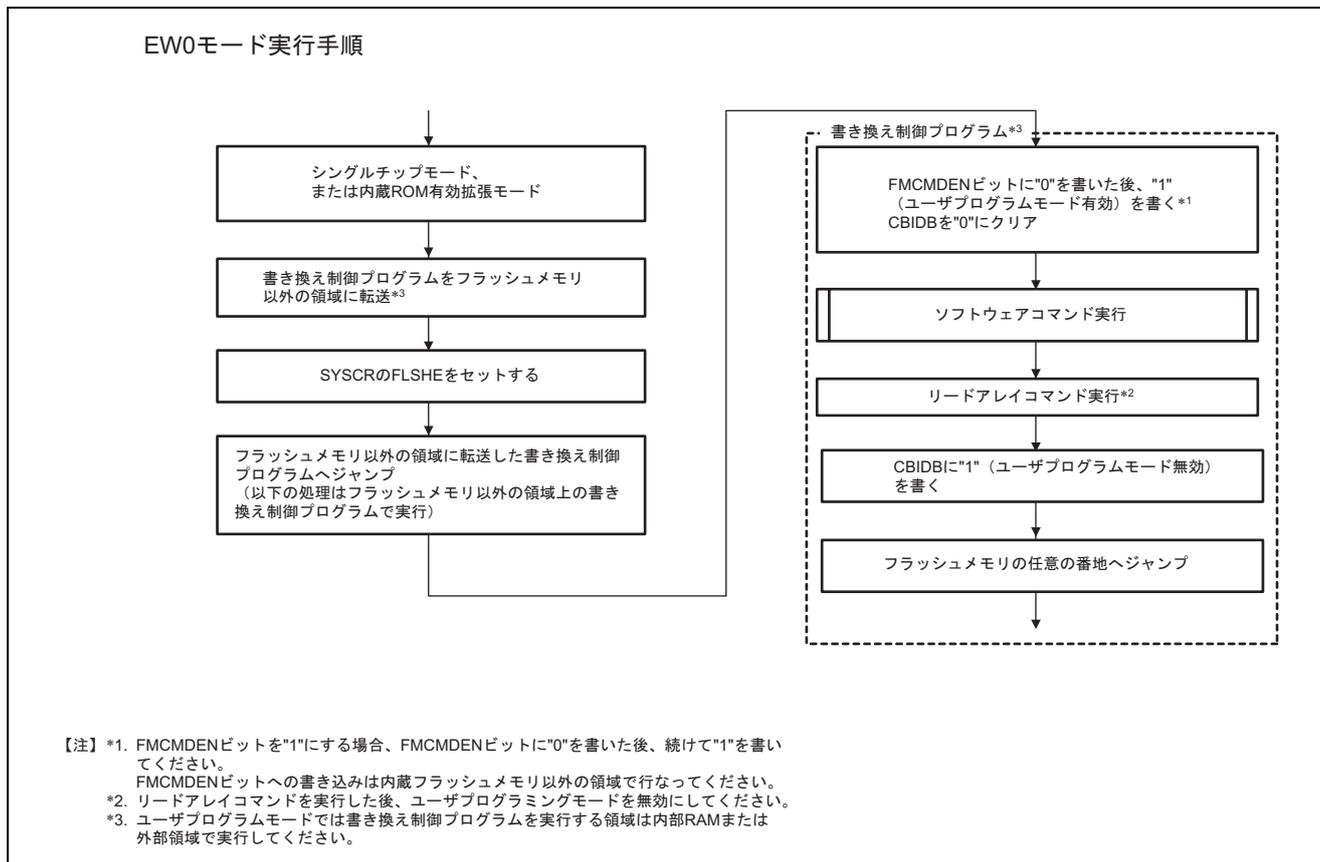


図 21.2 EW0 モードの設定と解除方法

21.4 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM、またはデータフラッシュ内の偶数番地に行ってください。コマンドコード書き込み時、下位8ビット(D7~D0)は無視されます。

表 21.5 ソフトウェアコマンド一覧表

ソフトウェア コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)	モード	アドレス	データ (D15~D0)
リードアレイ	ライト	×	H'FFxx						
リードステータス レジスタ	ライト	×	H'70xx	リード	×	SRD			
クリアステータス レジスタ	ライト	×	H'50xx						
プログラム	ライト	WA0	H'41xx	ライト	WA0	WD0	ライト	WA1	WD1
ブロックイレース	ライト	×	H'20xx	ライト	BA	H'D0xx			
ブロックブランク チェック	ライト	×	H'25xx	ライト	BA	H'D0xx			

【記号説明】

SRD : ステータスレジスタデータ (D7~D0)

WA0 : 下位ワード書き込み番地 (第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。)

WA1 : 上位ワード書き込み番地

WD0 : 書き込みデータ下位ワード (16ビット)

WD1 : 書き込みデータ上位ワード (16ビット)

BA : ブロックの最下位番地 (ただし、偶数番地)

例) ブロック 0 : H'0000 0000、ブロック 1 : H'0001 0000

×

xx : コマンドコード下位8ビット (無視されます)

21.4.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで H'FFxx を書くと、リードアレイモードになります。FLMCR1 レジスタの CBIDB ビットを 1 にセットしたあと次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が 16 ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

21.4.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで H'70xx を書くと、第2バスサイクルでステータスレジスタが読めます（「21.5 ステータスレジスタ」参照）。なお、読むときもユーザ ROM、データフラッシュまたは、ユーザブート ROM 内の偶数番地を読んでください。

21.4.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで H'50xx を書くと、FLMSTR レジスタの FMERSF、FMPSRF は 0 になります。

21.4.4 プログラム

2ワード単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで H'41xx を書き、第2バスサイクルと第3バスサイクルで書き込み番地にデータを書く
と自動書き込み（データのプログラムとベリファイ）を開始します。第1バスサイクルにおけるアドレス値は、
第2バスサイクルで指定する書き込み番地と同一の偶数番地にしてください。

自動書き込み終了は FLMSTR レジスタの FMRDY ビットで確認できます。FMRDY ビットは、自動書き込み
期間中は 0（ビジー）、終了後は 1（レディ）になります。

自動書き込み終了後、FLMSTR レジスタの FMPSRF ビットで自動書き込みの結果を知ることができます
（「21.6 フルステータスチェック」参照）。

すでにプログラムされた番地には追加書き込みはしないでください。図 21.3 にプログラムフローチャート
を示します。

EW0 モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタ
が読めます。ステータスレジスタの SR7 ビットは自動書き込み開始とともに 0 となり、終了とともに 1 に戻
ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。
また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることが
できます。

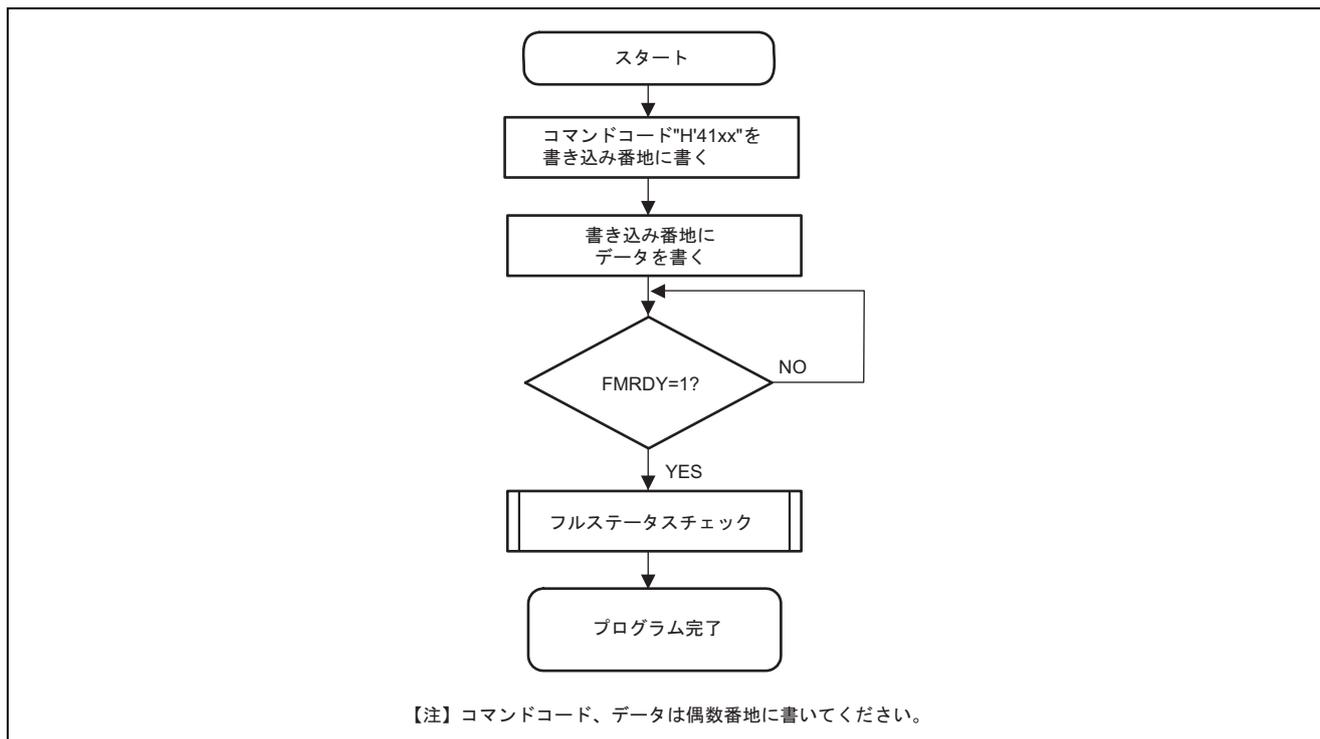


図 21.3 プログラムフローチャート

21.4.5 ブロックイレース

第1バスサイクルで H'20xx、第2バスサイクルで H'D0xx をブロックの最下位番地（ただし、偶数番地）に書くと指定されたブロックに対し、自動消去（イレースとイレースベリファイ）を開始します。

自動消去の終了は、FLMSTR レジスタの FMRDY ビットで確認できます。

FMRDY ビットは、自動消去期間中は0（ビジー）、終了後は1（レディ）になります。

自動消去終了後、FLMSTR レジスタの FMERSF ビットで、自動消去の結果を知ることができます（「21.6 フルスステータスチェック」参照）。

図 21.4 にブロックイレースフローチャート例を示します。

EW0 モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタの SR7 ビットは自動消去の開始とともに0となり、終了とともに1に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。なお、イレースエラーが発生した場合は、イレースエラーが発生しなくなるまで、クリアステータスレジスタコマンド→ブロックイレースコマンドを少なくとも3回実行してください。

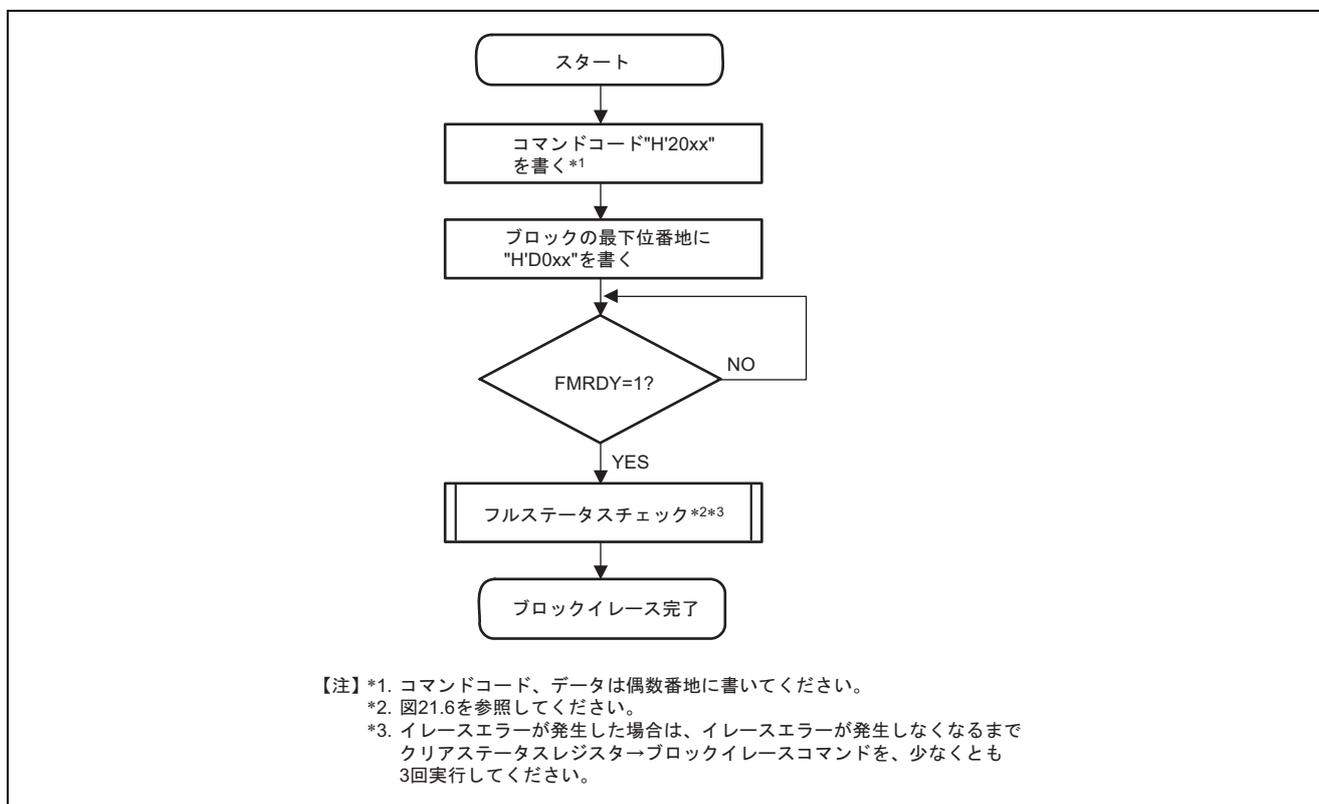


図 21.4 ブロックイレースフローチャート

21.4.6 ブロックブランクチェック

任意のブロックがブランク（消去後の状態）かチェックするコマンドです。

第1バスサイクルでH'25xx、第2バスサイクルでブロックの最下位番地（ただし、偶数番地）にH'D0xxを書くと、チェック結果がFLMSTRレジスタのFMERSFビットに格納されます。FLMSTRレジスタのFMRDYビットが1（レディ）になった後、FMERSFビットを読んでください。

図21.5にブロックブランクチェックフローチャートを示します。

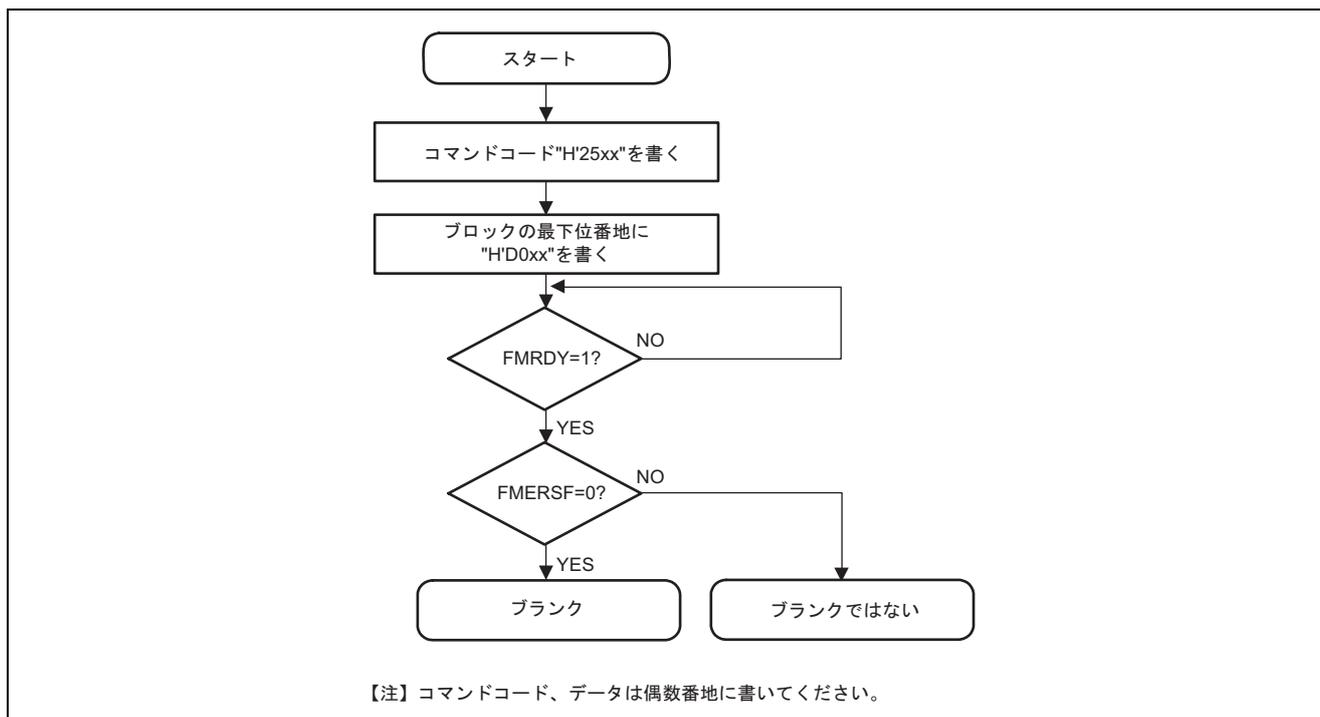


図 21.5 ブロックブランクチェックフローチャート

21.5 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレース、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態は、FMLSTR レジスタのFMRDY、FMPRSF、FMERSF ビットで読めます。

表 21.6 にステータスレジスタを示します。

なお、EW0 モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM、またはデータフラッシュ内の任意の偶数番地を読んだとき
- プログラムコマンド、ブロックイレースコマンド、またはブロックブランクチェックコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM、またはデータフラッシュ内の任意の偶数番地を読んだとき

表 21.6 ステータスレジスタ

ステータス レジスタのビット	FMLSTR レジスタ のビット	ステータス名	内容		リセット後の値
			0	1	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMPRSF	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMERSF	イレースステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMRDY	シーケンサステータス	ビジー	レディ	1

【記号説明】

SR0～SR7：ステータスレジスタデータ

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

【注】 FMERSF ビット (SR5 ビット)、FMPRSF ビット (SR4 ビット) は、クリアステータスレジスタコマンドを実行すると 0 になります。

FMERSF ビット (SR5 ビット) または FMPRSF ビット (SR4 ビット) が 1 の場合、プログラム、ブロックイレース、ブロックブランクチェックコマンドは受け付けられません。

21.5.1 シーケンサステータス (FMRDY ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレース、ブロックブランクチェック実行中には0、それ以外の場合は1になります。

21.5.2 イレースステータス (FMERSF ビット)

「21.6 フルステータスチェック」を参照してください。

21.5.3 プログラムステータス (FMPRSF ビット)

「21.6 フルステータスチェック」を参照してください。

21.6 フルステータスチェック

エラーが発生すると、FLMSTR レジスタの FMERSF、FMPRSF ビットが1になり、各エラーの発生を示します。したがって、これらのステータスをチェック (フルステータスチェック) することにより、実行結果を確認できます。

表 21.7 にエラーと FLMSTR レジスタの状態を、図 21.6 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 21.7 エラーとレジスタの状態

FLMSTR レジスタ (ステータスレジスタ) の状態		エラー	エラー発生条件
FMERSF ビット (SR5)	FMPRSF ビット (SR4)		
1	1	コマンド シーケンス エラー	<ul style="list-style-type: none"> • コマンドを正しく書かなかったとき • ブロックイレースコマンドの第2バスサイクルのデータに書いてもよい値 (H'D0xx または H'FFxx) 以外のデータを書いたとき*
1	0	イレースエラー	<ul style="list-style-type: none"> • ブロックイレースコマンドを実行し、正しく自動消去されなかったとき • ブロックブランクチェックコマンドを実行して、チェック結果がブランクでなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> • プログラムコマンドを実行し、正しく自動書き込みされなかったとき

【注】 * これらのコマンドの第2バスサイクルで H'FFxx を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

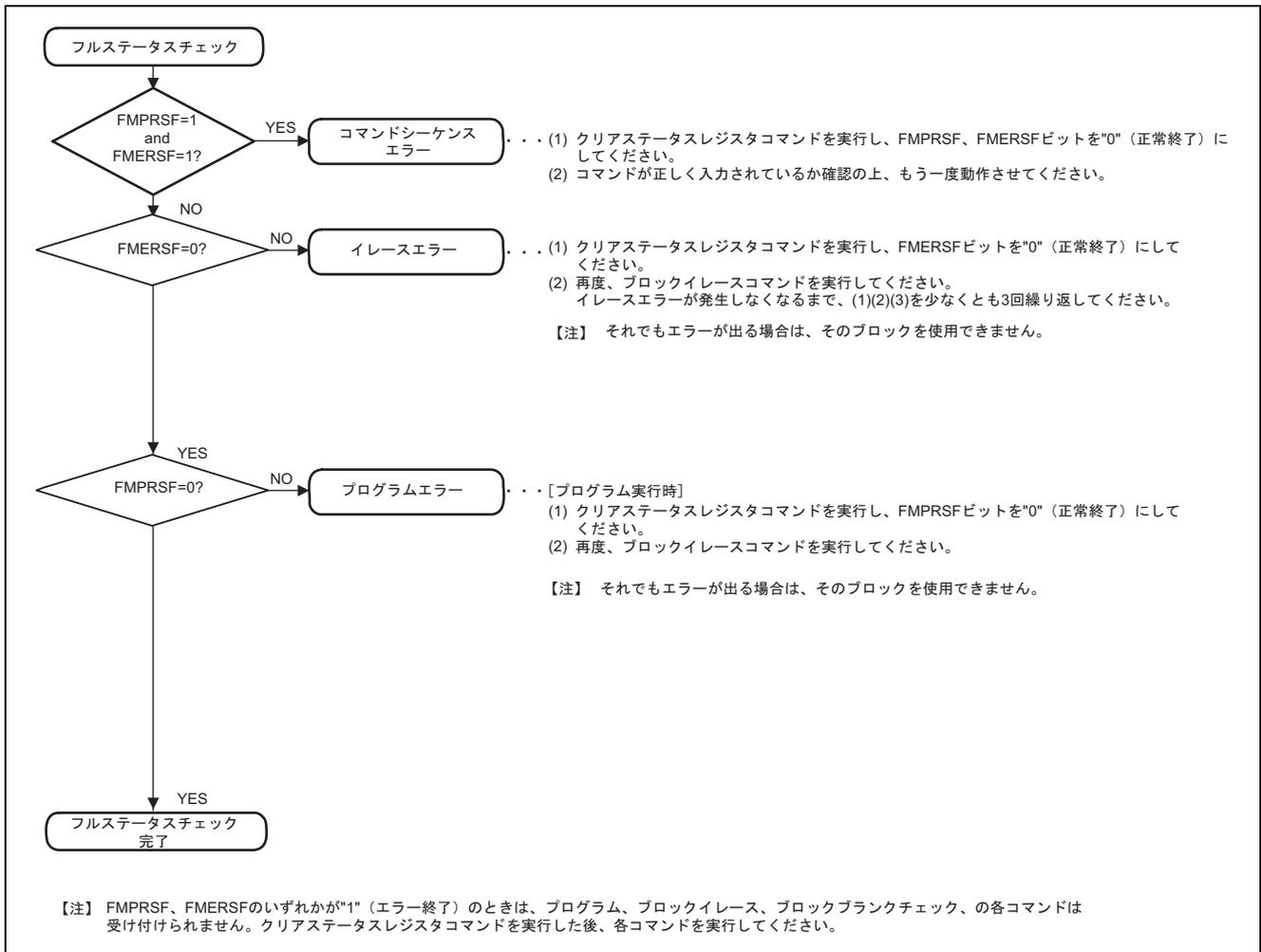


図 21.6 フルステータスチェックフローチャート、各エラー発生時の対処方法

21.7 ユーザプログラムモードの注意事項

21.7.1 割り込み（EW0 モード）禁止

- NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFLMCR1レジスタが初期化されるので使用できません。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。

21.7.2 アクセス方法

FMCMDEN ビットを1にする場合、対象となるビットに0を書いた後、続けて1を書いてください。なお、0を書いた後、1を書くまでに割り込み、EXDMAC、DTC 転送、DMA 転送が入らないようにしてください。

21.7.3 書き換え（EW0 モード）

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、ブートモードまたはライターモードを使用してください。

21.7.4 コマンド、データの書き込み

コマンドコードは、H'0、H'4、H'8、H'C・・・番地に書いてください。

21.7.5 ソフトウェアスタンバイモード

ストップモードに移行する場合は、FMCMDEN ビットを0（ユーザプログラムモード無効）にし、DMA 転送を禁止した後で、ソフトウェアスタンバイモードに移行してください。

21.8 ブートモード

モード端子をモード3に設定してハードウェアリセットすると、ブートモードになり、内蔵された標準プログラムを実行します。

21.9 SCI ブートモード

SCI ブートモードは、SCI_1 を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザ ROM への書き込み／消去を行うモードです。

SCI ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。使用するシリアル通信は調歩同期式モードです。図 21.7 にブートモードのシステム構成を示します。SCI ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

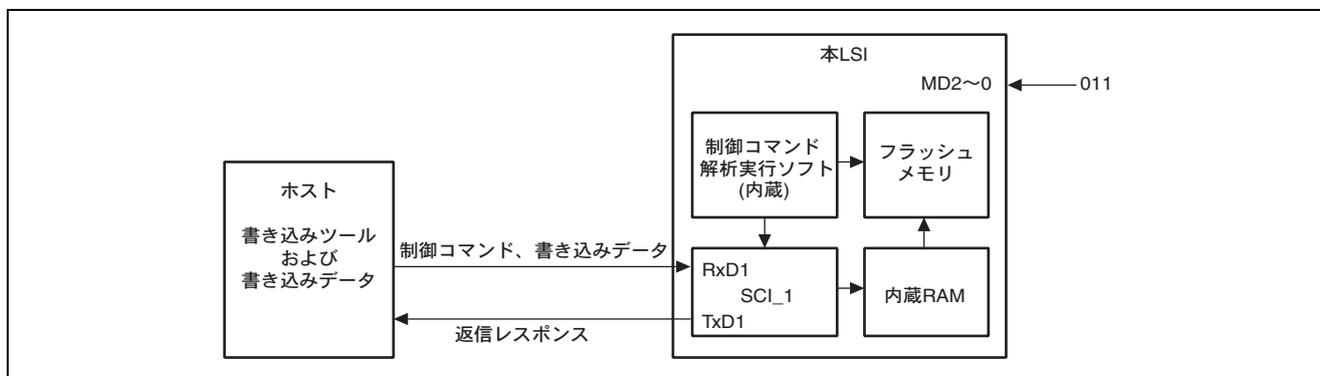


図 21.7 SCI ブートモードのシステム構成図

21.10 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストパソコンと LSI 内蔵の SCI_1 を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

(1) ステータス

ブートプログラムは3つのステータスを持ちます。

1. ビットレート合わせ込みステータス
ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。
2. 問い合わせ選択ステータス
ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリを RAM 上に転送し、ユーザ ROM を消去します。
3. 書き込み消去ステータス
書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み、消去プログラムを RAM に転送し、書き込み／消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 21.8 に示します。

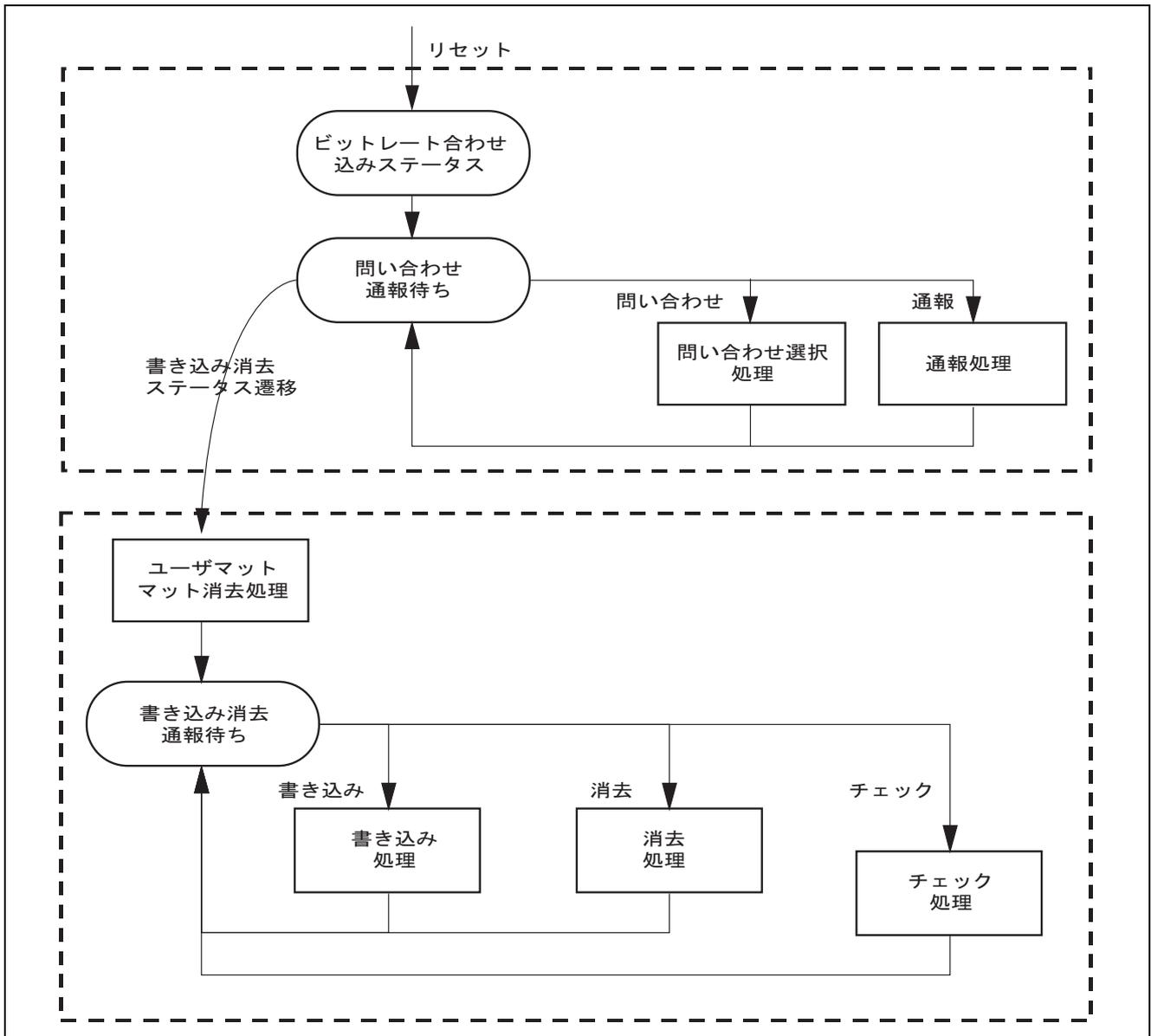


図 21.8 ブートプログラムのステータス

(2) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 21.9 に示します。

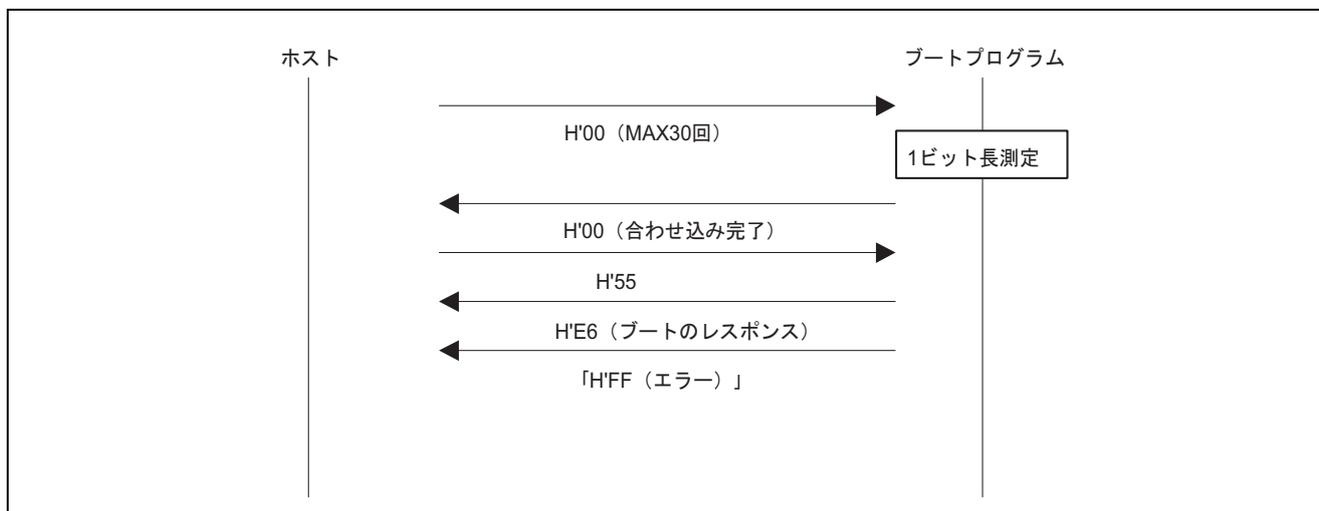


図 21.9 ビットレート合わせ込みのシーケンス

(3) 通信プロトコル

ビットレート合わせ込みが完了した後の、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

- 1文字コマンドまたは1文字レスポンス
コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了の ACK があります。
- n文字コマンドまたはn文字レスポンス
コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。
書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。
- エラーレスポンス
コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。
- 128バイト書き込み
サイズの無いコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。
- メモリリードのレスポンス
サイズが4バイトのレスポンスです。

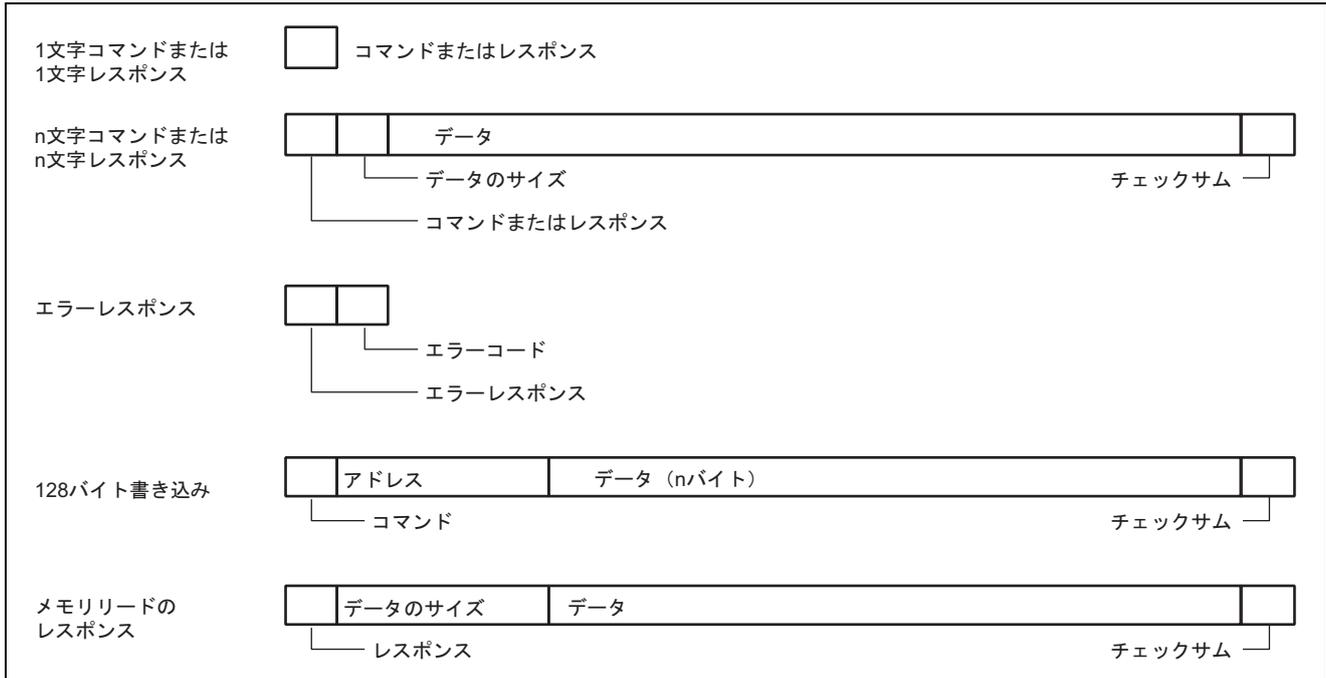


図 21.10 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長

(4) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 21.8 に示します。

表 21.8 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'25	ユーザROM 情報問い合わせ	ユーザROM の個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザROM を消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受け付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数（1バイト）：マイコン内のブートプログラムがサポートする品種数
- 文字数（1バイト）：デバイスコードとブートプログラム品名の文字数
- デバイスコード（4バイト）：サポートする品名のASCIIコード
- 品名（nバイト）：ブートプログラム型名、ASCIIコード
- SUM（1バイト）：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ（1バイト）：デバイスコードの文字数、固定値で2
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCIIコード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'21：デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード	...	SUM
------	-----	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モードの合計サイズ
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数が H'00、H'01 の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 通倍比問い合わせ

通倍比問い合わせに対して、ブートプログラムは選択可能な通倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：通倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
通倍比数	通倍比	...					
...							
SUM							

- レスポンス「H'32」（1バイト）：通倍比問い合わせに対する応答
- サイズ（1バイト）：種別数、通倍比数、通倍比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な通倍比の種別の数
（メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02）
- 通倍比数（1バイト）：各動作周波数で選択可能な通倍比数
メインモジュール、周辺モジュールで選択可能な通倍比数
- 通倍比（1バイト）
 - ・ 通倍比： 通倍する数値（例 4通倍：H'04）
 - ・ 分周比： 通倍比を通倍比数の数だけ繰り返し、通倍比数と通倍比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス

H'33	サイズ	周波数の数
動作周波数最小値		動作周波数最大値
...		
SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスで必要な動作周波数の種類数、
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：通倍あるいは分周されたクロックの最小値、
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値、
（たとえば、64MHzのときは100倍して6400とし、H'1900とする）
- 動作周波数最大値（2バイト）：通倍あるいは分周されたクロックの最大値、
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM（1バイト）：サムチェック

(g) ユーザ ROM 情報問い合わせ

ユーザ ROM 情報問い合わせに対して、ブートプログラムはユーザ ROM のエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」（1バイト）：ユーザROM情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- レスポンス「H'35」（1バイト）：ユーザROM情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザROMのエリアの数、ユーザROMのマットエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(h) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス、ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(i) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス

H'37	サイズ	書き込みサイズ	SUM
------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ、このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(j) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド

H'3F	サイズ	ビットレート	入力周波数
通倍比数	通倍比 1	通倍比 2	
SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、通倍比数、通倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート、1/100の値とする、（たとえば、19,200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数、周波数（MHz）の小数点2位までの値とする（たとえば、64MHzのときは100倍して6400とし、H'1900とする）。
- 通倍比数（1バイト）：デバイスで選択可能な通倍比数、通常はメイン動作周波数と周辺モジュール動作周波数で2
- 通倍比1（1バイト）：メイン動作周波数の通倍比または分周比
通倍比：通倍する数値（例 4通倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- 通倍比2（1バイト）：周辺動作周波数の通倍比または分周比
通倍比：通倍する数値（例 4通倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK
エラー
レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
 - H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
 - H'26：通倍比エラー、通倍比が一致しない
 - H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(5) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば入力周波数エラーです。

2. 通倍比

受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と一致するかどうかをチェックします。一致しなければ通倍比エラーです。

3. 動作周波数

受信した入力周波数と通倍比または分周比とから動作周波数を計算します。入力周波数は LSI に供給される周波数で、動作周波数は実際に LSI が動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 通倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば動作周波数エラーです。

4. ビットレート

パリティ動作周波数（ ϕ ）とビットレート（B）から、シリアルモードレジスタ（SMR）のクロックセレクト（CKS）の値（n）とビットレートレジスタ（BRR）の値（N）を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left[\frac{\phi * 10^6}{(N+1) * B * 64 * 2^{(2^n-1)}} - 1 \right] * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認 H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 21.11 に示します。

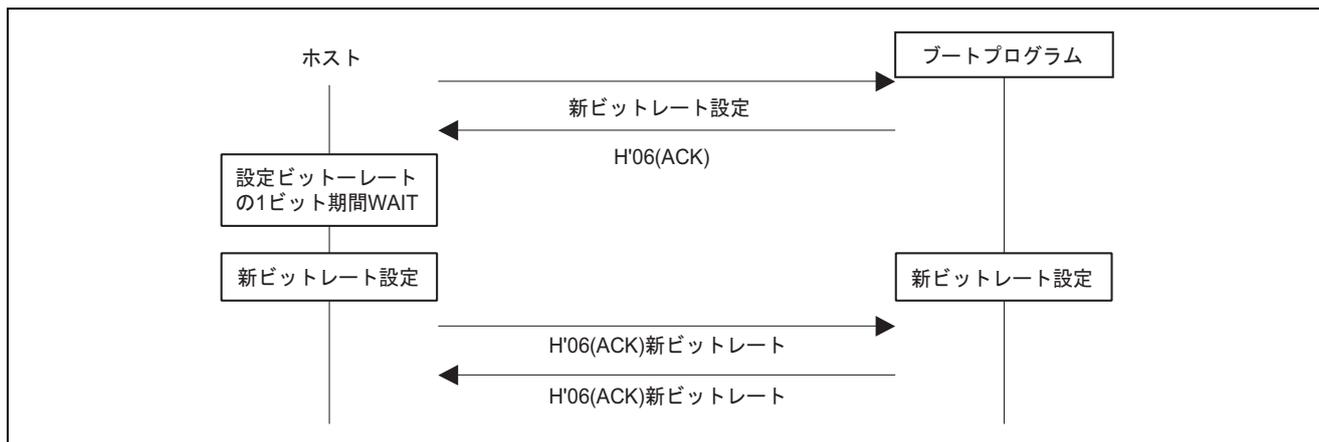


図 21.11 新ビットレート選択のシーケンス

(6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザ ROM のデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、消去プログラムを転送した後、ユーザROMが正常にデータを消去できたときACK

エラー

レスポンス

H'C0 H'51

- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 逡倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザROM情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザROMへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

(9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を下表に示します。

表 21.9 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'43	ユーザ ROM 書き込み選択	ユーザ ROM 書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4B	ユーザ ROM のサムチェック	ユーザ ROM のサムチェック
H'61	データフラッシュのサムチェック	データフラッシュのサムチェック
H'4D	ユーザ ROM のブランクチェック	ユーザ ROM のブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

• **書き込み**

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により「ユーザ ROM 書き込み選択」があります。

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは128バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスがH'FFFFFFFの 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドとに 128 バイト書き込みコマンドのシーケンスを図 21.12 に示します。

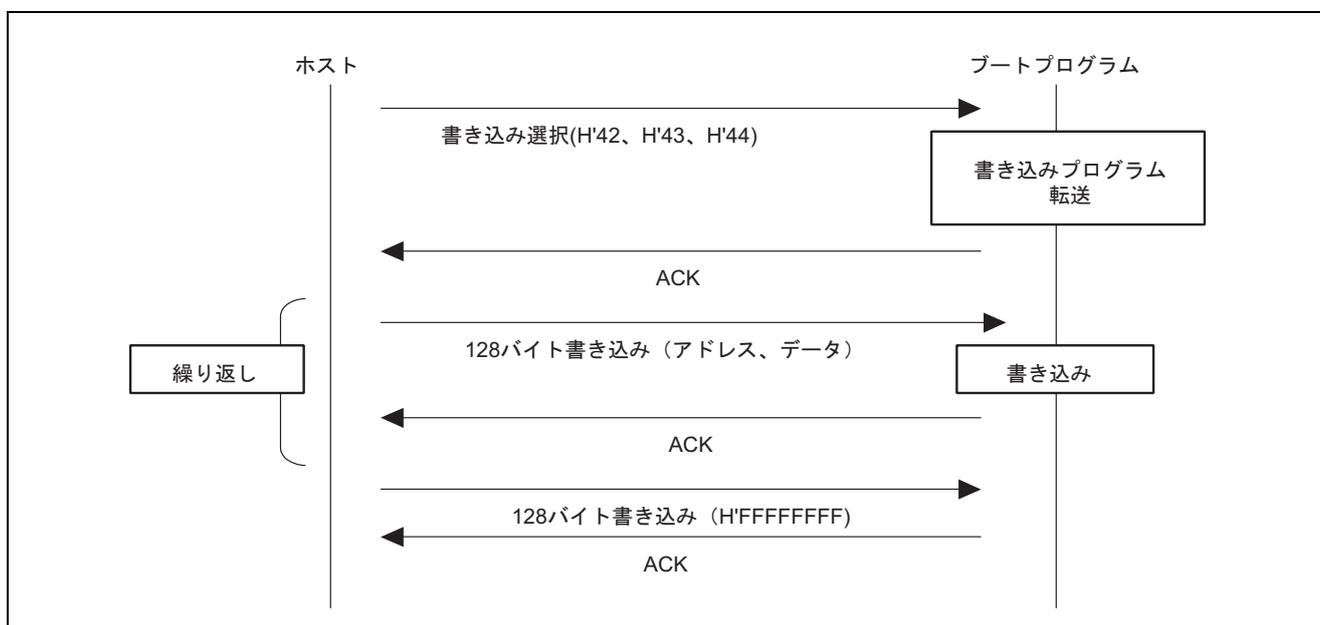


図 21.12 書き込みシーケンス

(a) ユーザプログラム書き込み選択

ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザ ROM に書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

--	--

レスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザプログラム書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー、転送エラーが発生し処理が完了しない

(b) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザ ROM に書き込みます。

コマンド	H'50	アドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数
例) H'00,H'01,H'00,H'00：H'00010000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'2A：アドレスエラー、アドレスが指定のマットの範囲にない
H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位バイトを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータがない部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACKエラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'53：書き込みエラー、書き込みエラーが発生し書き込めない

(10) 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 21.13 に示します。

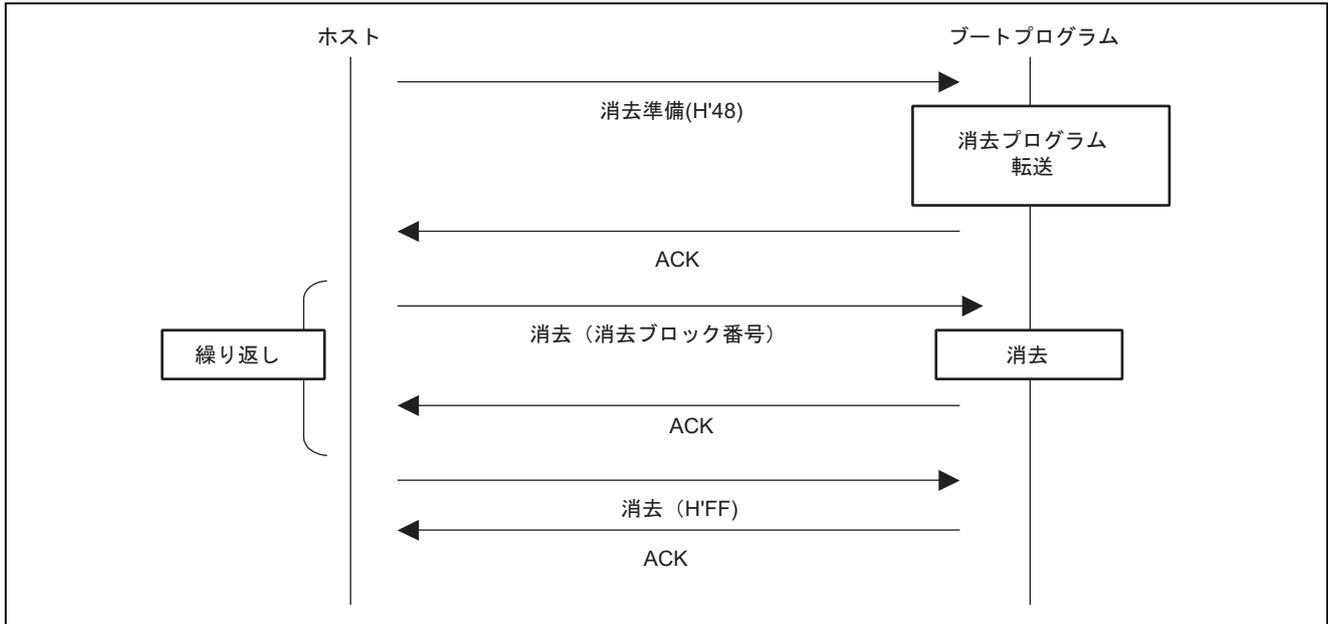


図 21.13 消去シーケンス

(a) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザ ROM のデータを消去します。

コマンド

H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答、消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」（1バイト）：消去選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラー

レスポンス	H'D8	ERROR
-------	------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

(11) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答する。

コマンド	H'52	サイズ	エリア	読み出しアドレス
	読み出しサイズ			SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）
 - H'01：ユーザROM
 エリアの指定が正しくないときはアドレスエラー
- 読み出しアドレス（4バイト）：読み出し先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス	H'52	読み出しサイズ						
	データ	...						
	SUM							

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ

- SUM (1バイト) : サムチェック

エラー

レスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」 (1バイト) : メモリリードに対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'2A : アドレスエラー、読み出しアドレスがROMの範囲にない
 - H'2B : サイズエラー、読み出しサイズがROMの範囲を超えている

(12) ユーザ ROM のサムチェック

ユーザ ROM のサムチェックに対して、ブートプログラムはユーザ ROM のデータを加算してその結果を応答する。

コマンド

H'4B

- コマンド「H'4B」 (1バイト) : ユーザROMのサムチェック

レスポンス

H'5B	サイズ	ユーザROMのサムチェック	SUM
------	-----	---------------	-----

- レスポンス「H'5B」 (1バイト) : ユーザROMのサムチェックに対する応答
- サイズ (1バイト) : サムチェックデータの文字数 (固定値で4)
- サムチェック (4バイト) : ユーザROMのサムチェック値、バイト単位で加算
- SUM (1バイト) : 送信データのサムチェック

(13) データフラッシュのサムチェック

データフラッシュのサムチェックに対して、ブートプログラムはデータフラッシュのデータを加算してその結果を応答する。

コマンド

H'61

- コマンド「H'61」 (1バイト) : データフラッシュのサムチェック

レスポンス

H'71	サイズ	データフラッシュのサムチェック	SUM
------	-----	-----------------	-----

- レスポンス「H'71」 (1バイト) : データフラッシュのサムチェックに対する応答
- サイズ (1バイト) : サムチェックデータの文字数 (固定値で4)
- サムチェック (4バイト) : データフラッシュのサムチェック値、バイト単位で加算
- SUM (1バイト) : サムチェック (コマンドからSUMまで加算し、H'00となるように設定)

(14) ユーザ ROM のブランクチェック

ユーザ ROM のブランクチェックに対して、ブートプログラムはユーザ ROM がすべてブランクであることをチェックしてその結果を応答する。

コマンド

H'4D

- コマンド「H'4D」（1バイト）：ユーザROMのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザROMのブランクチェックに対する応答
エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」（1バイト）：ユーザROMのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

(15) データフラッシュのブランクチェック

データフラッシュのブランクチェックに対して、ブートプログラムはデータフラッシュがすべてブランクであることをチェックしてその結果を応答する。

コマンド

H'62

- コマンド「H'62」（1バイト）：データフラッシュのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：データフラッシュのブランクチェックに対する応答
エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'E2	H'52
------	------

- エラーレスポンス「H'E2」（1バイト）：データフラッシュのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

(16) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答する。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データ文字数（固定値で2）
- STATUS（1バイト）：標準ブートプログラムのステータス

表 21.10 ステータスコード

コマンド	内容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	書き込みステータス（消去中）
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ送信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

- ERROR（1バイト）：エラー状態
ERROR=0で正常
ERRORが0以外で異常

表 21.11 エラーコード

コマンド	内容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

- SUM（1バイト）：サムチェック

21.11 ライタモード

プログラム/データの書き込み/消去が可能なモードとして、オンボードプログラムモード以外にライタモードがあります。ライタモードではルネサス 256K バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み/消去対象マツトは、ユーザ ROM です。

自動書き込み/自動消去/ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。ライタモードでは、入力クロックとして 12MHz を入力してください。

22. クロック発振器

本 LSI はクロック発振器を内蔵しており、システムクロック (ϕ)、および 内部クロックを生成します。クロック発振器は、発振器、システムクロック PLL 回路、分周器から構成されます。クロック発振器のブロック図を図 22.1 に示します。

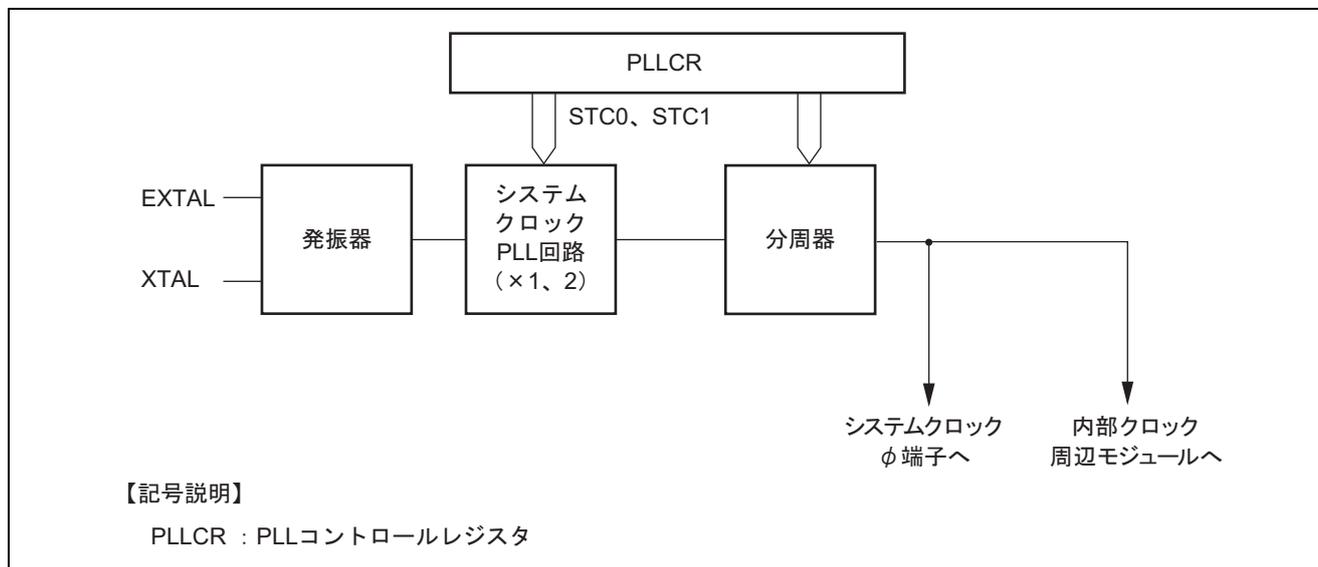


図 22.1 クロック発振器のブロック図

発振器からのシステムクロック周波数は、システムクロック PLL 回路と分周器により変更できます。システムクロック周波数の変更は、PLL コントロールレジスタ (PLLCR) 設定によりソフトウェアで行います。

22.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- PLLコントロールレジスタ (PLLCR)

22.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は ϕ 出力の制御、PLLCR レジスタ変換時の動作選択を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	ϕ 出力禁止 ϕ 出力を制御します。 通常動作状態 0 : ϕ 出力 1 : High レベル固定 スリープモード 0 : ϕ 出力 1 : High レベル固定 ソフトウェアスタンバイモード 0 : High レベル固定 1 : High レベル固定 ハードウェアスタンバイモード 0 : ハイインピーダンス 1 : ハイインピーダンス 全モジュールクロックストップモード 0 : ϕ 出力 1 : High レベル固定
6	—	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

ビット	ビット名	初期値	R/W	説明
5	SDPSTP*	0	R/W	<p>SDRAMφ出力禁止 SDRAMφを制御します。</p> <p>0 : SDRAMφ出力 1 : PH1/$\overline{\text{CS5}}$/$\overline{\text{RAS5}}$として使用可能</p> <p>SDRAMφ出力選択時、各低消費電力モードにおける状態は以下のようになります。</p> <p>通常動作状態</p> <p>SDRAMφ出力</p> <p>スリープモード</p> <p>SDRAMφ出力</p> <p>ソフトウェアスタンバイ</p> <p>Low レベル固定</p> <p>ハードウェアスタンバイ</p> <p>ハイインピーダンス</p> <p>全モジュールクロックストップモード</p> <p>SDRAMφ出力</p>
4	—	0	—	<p>リザーブビット</p> <p>リードすると常に0が読み出されます。ライトは無効です。</p>
3	STCS	0	R/W	<p>周波数逡倍率切り替えモード選択</p> <p>PLLCR レジスタ変更時の動作を選択します。</p> <p>0 : 変更した逡倍率は、ソフトウェアスタンバイモードへ遷移後に有効 1 : 変更した逡倍率は、STC1、STC0 ビット書き換え後に有効</p>
2	—	0	R/W	リザーブビット
1	—	0	R/W	リードすると常に0が読み出されます。ライトは無効です。
0	—	0	R/W	リザーブビット

【注】 * H8S/2426 グループ、H8S/2424 グループではサポートしていません。レジスタの値に関係なく I/O ポートとして設定されます。

22.1.2 PLL コントロールレジスタ (PLLCR)

PLLCR はシステムクロック PLL 回路の周波数通倍率を設定します。

本レジスタをライトする場合、注意が必要です。詳細は「22.3 システムクロック PLL 回路、分周器」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7~4	—	0	—	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	—	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
2	—	0	—	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
1 0	STC1 STC0	0 0	R/W R/W	システムクロック PLL 回路周波数通倍率、システムクロック分周器設定 発振器に対するシステムクロックの通倍率、分周比を設定します。 00 : ×1 01 : ×2 10 : 設定禁止 11 : 1/2

22.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

22.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 22.2 に示します。ダンピング抵抗 R_d は表 22.1 に示すものを使用してください。水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は 8~20MHz としてください。

水晶発振子の等価回路を図 22.3 に示します。水晶発振子は表 22.2 に示す特性のものを使用してください。

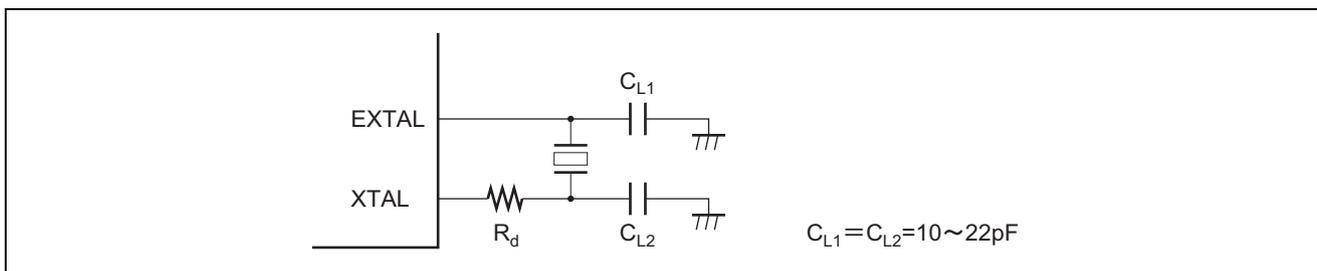


図 22.2 水晶発振子の接続例

表 22.1 ダンピング抵抗値

周波数 (MHz)	8	12	16	20
R_d (Ω)	200	0	0	0

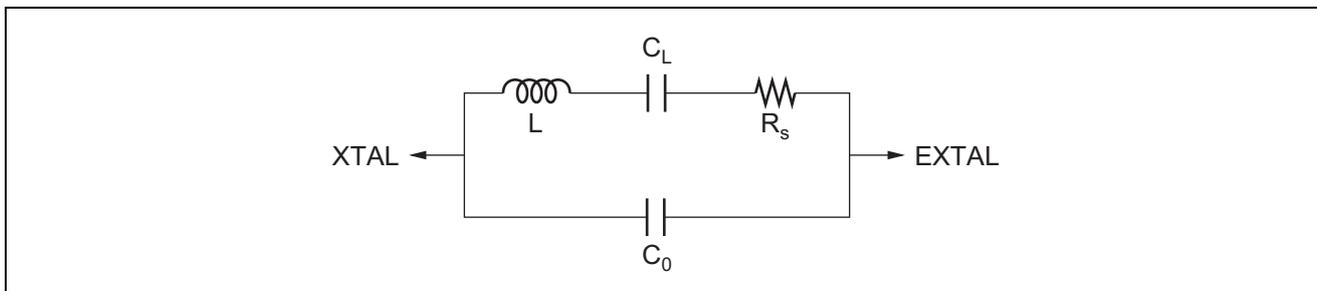


図 22.3 水晶発振子の等価回路

表 22.2 水晶発振子の特性

周波数 (MHz)	8	12	16	20
R_s max (Ω)	80	60	50	40
C_0 max (pF)	7			

22.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 22.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

外部クロックの入力条件を表 22.3 に示します。入力する外部クロックは 8~20MHz としてください。

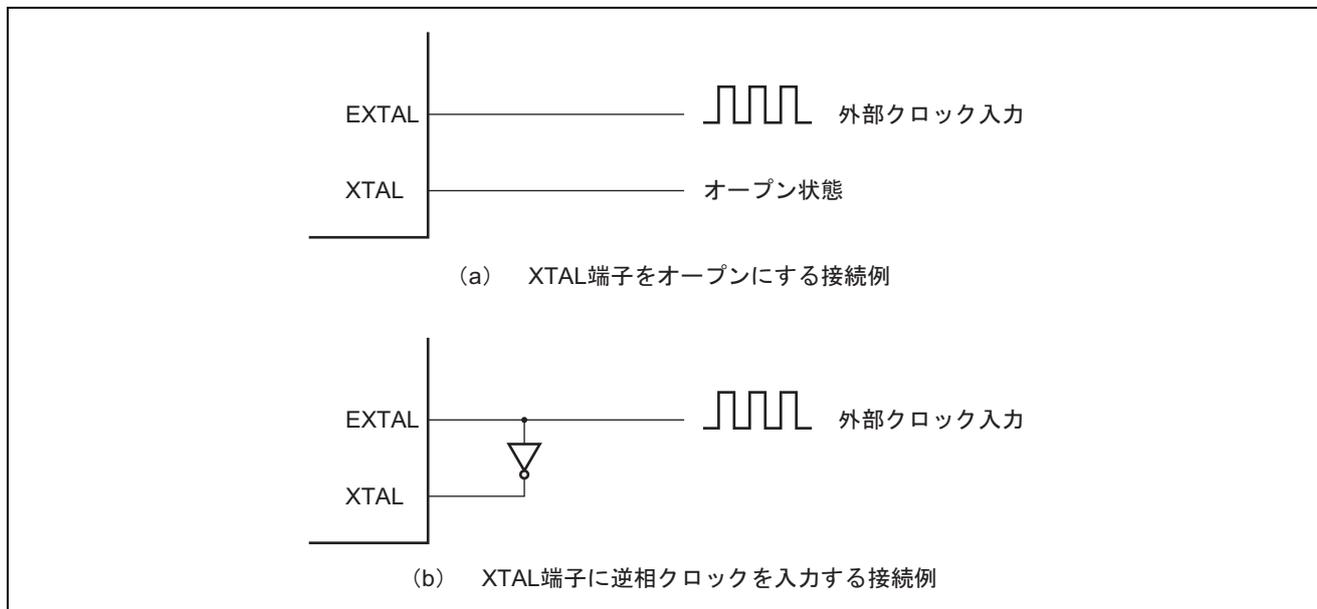


図 22.4 外部クロックの接続例

表 22.3 外部クロック入力条件

項目	記号	V _{CC} =3.0~3.6V		V _{CC} =4.5~5.5V		単位	測定条件
		min	max	min	max		
外部クロック入力パルス幅 Low レベル	t _{EXL}	20	—	20	—	ns	図 22.5
外部クロック入力パルス幅 High レベル	t _{EXH}	20	—	20	—	ns	
外部クロック立ち上がり時間	t _{EXr}	—	5	—	5	ns	
外部クロック立ち下がり時間	t _{EXf}	—	5	—	5	ns	
クロックパルス幅 Low レベル	t _{CL}	0.4	0.6	0.4	0.6	tcyc	
クロックパルス幅 High レベル	t _{CH}	0.4	0.6	0.4	0.6	tcyc	

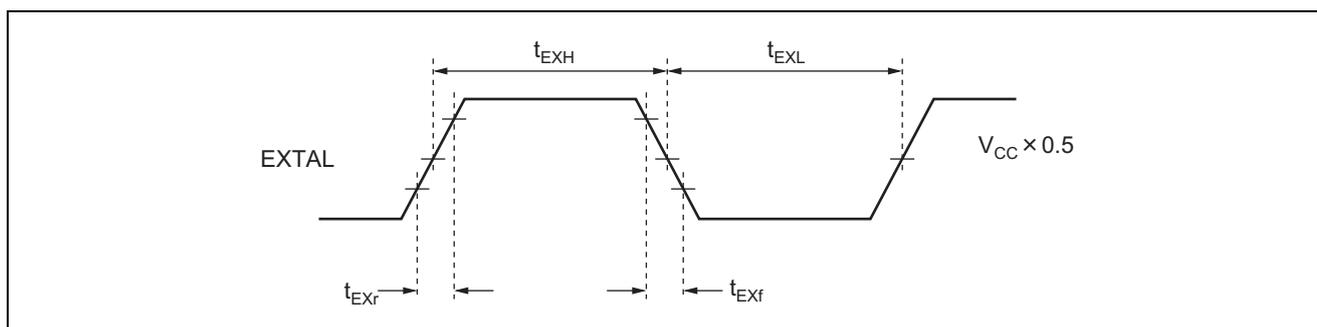


図 22.5 外部クロック入力タイミング

22.3 システムクロック PLL 回路、分周器

システムクロック PLL 回路と分周器で、発振器からの周波数を 1 倍、2 倍、1/2 にする機能を持っています。システムクロックと周波数は PLLCR の STC1、STC0 ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

システムクロック PLL 回路と分周器で周波数を変更する場合、SCKCR の STCS ビットの設定で動作が異なります。

STCS ビットが 0 の場合、変更した周波数設定はソフトウェアスタンバイモードへ遷移後に有効になります。遷移時間は、スタンバイコントロールレジスタ (SBYCR) の STS3～STS0 ビットで設定します。SBYCR については「23.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

1. 初期状態では、PLL回路の通倍率は1倍です。
2. STS3～STS0ビットで遷移時間を設定します。
3. STC1、STC0ビットで周波数通倍率を設定し、ソフトウェアスタンバイモードに遷移します。
4. クロック発振器が停止し、設定したSTC1～STC0の設定が有効となります。
5. ソフトウェアスタンバイモードを解除し、STS3～STS0ビットで設定した、遷移時間が確保されます。
6. 設定した遷移時間経過後、変更した周波数通倍率で本LSIは動作を再開します。

STCS ビットが 1 の場合、変更した周波数設定は設定変更から最大 4 サイクルで有効になります。クロック切り替えが外部アドレス空間へのアクセス中に発生した場合、その動作は保証できません。そのため、STC1、STC0 ビットの書き替え命令と周波数が切り替わるまでの 4 サイクル分の命令は、内蔵 ROM もしくは内蔵 RAM にプログラムを置き、クロックが切り替わるまでの命令は、外部アドレス空間にアクセスしない内容にしてください。

22.4 使用上の注意事項

22.4.1 クロック発振器に関する使用上の注意事項

1. PLLCRの設定により ϕ の周波数が変わりますので以下の点に注意してください。
分周比は電気的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。つまり、 $\phi_{min}=8\text{MHz}$ 、 $\phi_{max}=33\text{MHz}$ とし、 $\phi < 8\text{MHz}$ 、 $\phi > 33\text{MHz}$ とならないように注意してください。
2. 内部モジュールは、すべて ϕ を基準に動作します。このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。また、ソフトウェアスタンバイモード解除用の待機時間も分周比を変更することで変わります。詳細は「23.2.3 (3) ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。
3. ライトデータバッファ機能、EXDMACを用いて、外部バスサイクル実行中にPLLCRの設定を行うと、 ϕ の周波数が変わりますので注意してください。

22.4.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

22.4.3 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけXTAL、EXTAL端子の近くに配置してください。図22.6に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

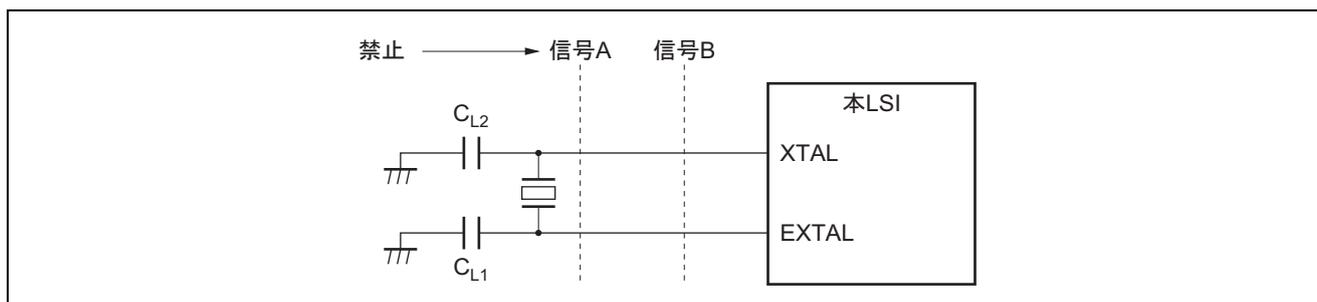


図 22.6 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 22.7 に示します。PLL V_{cc} 、PLL V_{ss} と V_{cc} 、 V_{ss} はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

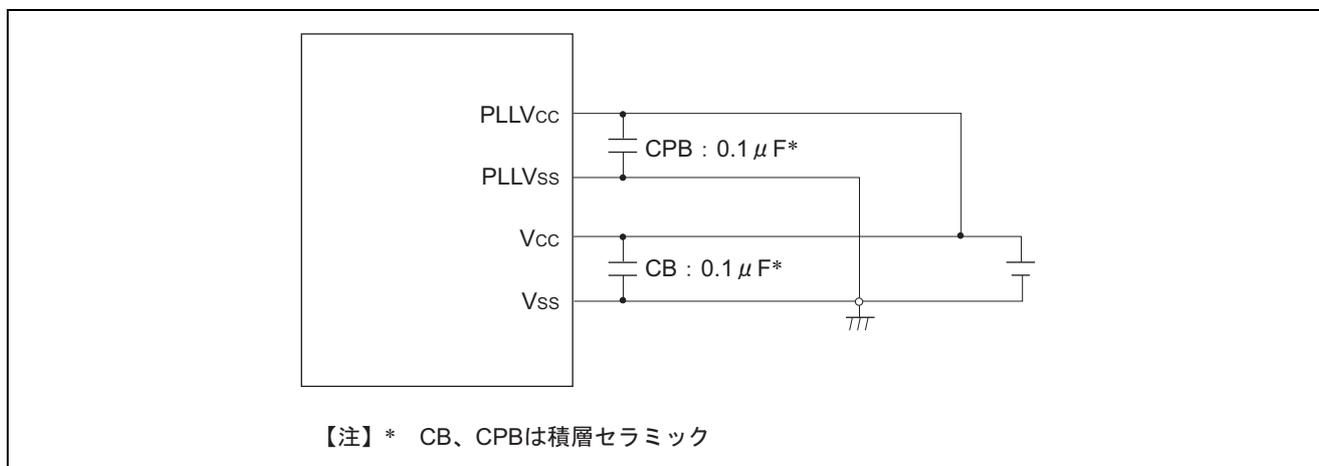


図 22.7 PLL 回路の外付け推奨回路

23. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードのほか、

- クロック分周モード
- スリープモード
- モジュールストップ機能
- 全モジュールクロックストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、クロック分周モードは内蔵周辺機能（CPU とバスマスタを含む）の状態、モジュールストップ機能は内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 23.1 に各モードでの本 LSI 本の内部状態を示します。図 23.1 に可能なモード間遷移を示します。

表 23.1 各モードでの本 LSI の内部状態

動作状態		高速 モード	クロック 分周 モード	スリープ モード	モジュール ストップ 機能	全モジュール クロック ストップ モード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード
クロック発振器		動作	動作	動作	動作	動作	停止	停止
CPU	命令実行	動作	動作	停止	動作	停止	停止	停止
	レジスタ			保持			保持	不定
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	停止
	IRQ0~15*1							
周辺機能	WDT	動作	動作	動作	動作	動作	停止 (保持)	停止 (リセット)
	TMR	動作	動作	動作	停止 (保持)	動作/ 停止(保持)*2	停止 (保持)	停止 (リセット)
	EXDMAC*3	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	DMAC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	DTC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	PPG	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	D/A	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	A/D	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	SCI	動作	動作	動作	停止*4 (リセット/ 保持)	停止*4 (リセット/ 保持)	停止*4 (リセット/ 保持)	停止 (リセット)
	IIC2	動作	動作	動作	停止*5 (リセット/ 保持)	停止*5 (リセット/ 保持)	停止*5 (リセット/ 保持)	停止 (リセット)
	SSU	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	RAM	動作	動作	動作	停止 (保持)	動作/ 停止(保持)*6	保持	保持
I/O	動作	動作	動作	動作	保持	保持	ハイインピー ダンス	

- 【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。
 停止（リセット）は、内部レジスタ値および内部状態を初期化します。
 モジュールストップ機能は、停止設定をしたモジュールのみ停止（リセットまたは保持）します。
- *1 H8S/2424 グループでは IRQ8~IRQ15 はサポートしていません。
 - *2 MSTPCR の MSTP0 ビットの設定により、動作/停止を選択することができます。
 - *3 H8S/2424 グループではサポートしていません。
 - *4 TDR、SSR、RDR は停止（リセット）、その他のレジスタは停止（保持）となります。
 - *5 BC2~BC0 は停止（リセット）、その他のレジスタは停止（保持）となります。
 - *6 RMMSTPCR のビットの設定により、動作/停止を選択することができます。

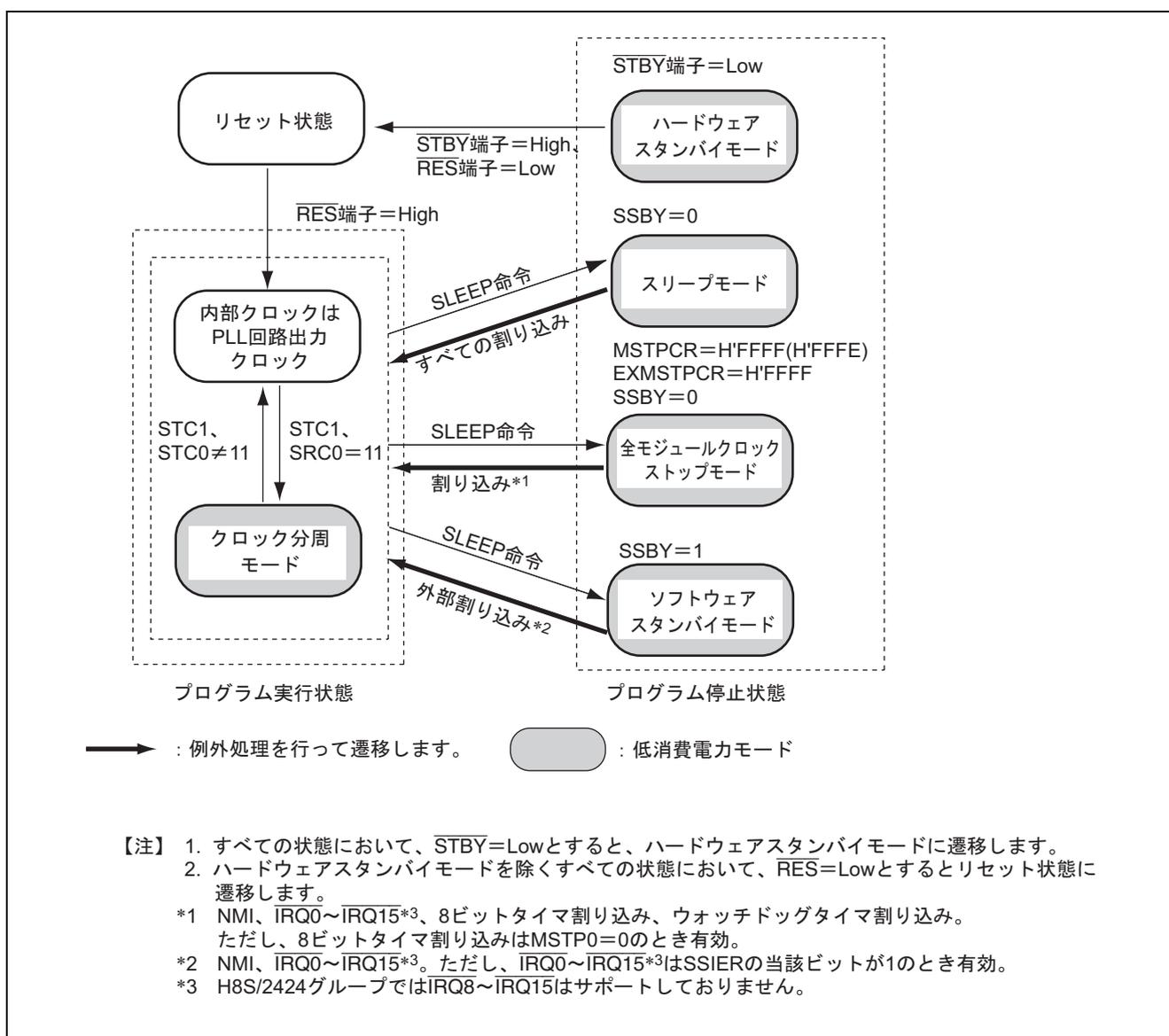


図 23.1 モード遷移図

23.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。PLL コントロールレジスタ (PLLCR) については「22.1.2 PLL コントロールレジスタ (PLLCR)」を参照してください。

- PLLコントロールレジスタ (PLLCR)
- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタH (MSTPCRH)
- モジュールストップコントロールレジスタL (MSTPCRL)
- エクステンションモジュールストップコントロールレジスタH (EXMSTPCRH)
- エクステンションモジュールストップコントロールレジスタL (EXMSTPCRL)
- RAMモジュールストップコントロールレジスタH (RMMSTPCRH)
- RAMモジュールストップコントロールレジスタL (RMMSTPCRL)

23.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR はソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0 : SLEEP 命令実行後、スリープモードに遷移 1 : SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは1にセットされたまま値が変わりません。クリアする場合は0をライトしてください。
6	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS7} \sim \overline{CS0}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{UCAS}^* 、 \overline{LCAS}^*) の端子状態を保持するか、ハイインピーダンスにするかを指定します。 0 : ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス 1 : ソフトウェアスタンバイモード時に、端子状態を保持する
5	—	0	—	リザーブビット リードすると常に0が読み出されます。初期値を変更しないでください。
4	—	0	—	リザーブビット リード/ライト可能ですがライト時は0をライトしてください。

ビット	ビット名	初期値	R/W	説明
3	STS3	1	R/W	スタンバイタイムセレクト 3~0
2	STS2	1	R/W	<p>外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。</p> <p>水晶発振の場合、表 23.2 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。</p> <p>外部クロックの場合、PLL 回路の安定時間が必要になります。表 23.2 を参照し、待機時間を設定してください。</p> <p>DRAM を使用しソフトウェアスタンバイ状態でセルフリフレッシュを選択する場合、DRAM の tRAS (セルフリフレッシュ時 RAS パルス幅) を満たす必要があります。</p> <p>0000 : 設定禁止</p> <p>0001 : 設定禁止</p> <p>0010 : 設定禁止</p> <p>0011 : 設定禁止</p> <p>0100 : 設定禁止</p> <p>0101 : 待機時間=64 ステート</p> <p>0110 : 待機時間=512 ステート</p> <p>0111 : 待機時間=1024 ステート</p> <p>1000 : 待機時間=2048 ステート</p> <p>1001 : 待機時間=4096 ステート</p> <p>1010 : 待機時間=16384 ステート</p> <p>1011 : 待機時間=32768 ステート</p> <p>1100 : 待機時間=65536 ステート</p> <p>1101 : 待機時間=131072 ステート</p> <p>1110 : 待機時間=262144 ステート</p> <p>1111 : 待機時間=524288 ステート</p>
1	STS1	1	R/W	
0	STS0	1	R/W	

【注】 * 5V 版ではサポートしていません。

23.1.2 モジュールストップコントロールレジスタ H、L (MSTPCR_H、MSTPCRL)

MSTPCR はモジュールストップ状態の制御を行います。1 のとき対応するモジュールはモジュールストップ状態になり、クリアするとモジュールストップ状態は解除されます。

• MSTPCR_H

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR、EXMSTPCR で制御されるすべての内蔵周辺機能、または TMR 以外の内蔵周辺機能をモジュールストップ状態にし、SLEEP 命令実行後の全モジュールクロックストップモードへの遷移を許可または禁止します。 0 : 全モジュールクロックストップモードを禁止 1 : 全モジュールクロックストップモードを許可
14	MSTP14	0	R/W	EXDMA コントローラ (EXDMAC) *
13	MSTP13	0	R/W	DMA コントローラ (DMAC)
12	MSTP12	0	R/W	データ転送コントローラ (DTC)
11	MSTP11	1	R/W	16 ビットタイマパルスユニット 0 (TPU_0)
10	MSTP10	1	R/W	プログラマブルパルスジェネレータ (PPG)
9	MSTP9	1	R/W	16 ビットタイマパルスユニット 1 (TPU_1)
8	MSTP8	1	R/W	D/A 変換器 (チャンネル 2、3)

• MSTPCRL

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	A/D 変換器ユニット 1
6	MSTP6	1	R/W	A/D 変換器ユニット 0
5	MSTP5	1	R/W	シリアルコミュニケーションインタフェース 4 (SCI_4)
4	MSTP4	1	R/W	シリアルコミュニケーションインタフェース 3 (SCI_3)
3	MSTP3	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI_2)
2	MSTP2	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI_1)
1	MSTP1	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI_0)
0	MSTP0	1	R/W	8 ビットタイマ (TMR)

【注】 * H8S/2424 グループではサポートしていません。

23.1.3 エクステンションモジュールストップコントロールレジスタ H、L (EXMSTPCR_H、EXMSTPCR_L)

EXMSTPCR はモジュールストップ状態の制御を行います。1 のとき対応するモジュールはモジュールストップ状態になり、クリアするとモジュールストップ状態は解除されます。全モジュールクロックストップモードへ遷移する場合、EXMSTPCR=H'FFFF としてください。

- EXMSTPCR_H

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTP31	1	R/W	—
14	MSTP30	1	R/W	—
13	MSTP29	1	R/W	—
12	MSTP28	1	R/W	—
11	MSTP27	1	R/W	—
10	MSTP26	1	R/W	—
9	MSTP25	1	R/W	—
8	MSTP24	1	R/W	—

- EXMSTPCR_L

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP23	1	R/W	シンクロナスシリアルコミュニケーションユニット (SSU)
6	MSTP22	1	R/W	I ² C バスインタフェース 2_3 (IIC2_3)
5	MSTP21	1	R/W	I ² C バスインタフェース 2_2 (IIC2_2)
4	MSTP20	1	R/W	I ² C バスインタフェース 2_1 (IIC2_1)
3	MSTP19	1	R/W	I ² C バスインタフェース 2_0 (IIC2_0)
2	MSTP18	1	R/W	リザーブビット リード/ライト可能ですがライト時は 1 をライトしてください。
1	MSTP17	1	R/W	リザーブビット リード/ライト可能ですがライト時は 1 をライトしてください。
0	MSTP16	1	R/W	—

23.1.4 RAM モジュールストップコントロールレジスタ H、L (RMMSTPCRH、RMMSTPCRL)

RMMSTPCR は RAM のモジュールストップ状態の制御を行います。MSTP32～MSTP39 ビットを 1 にセットすると、対応する内蔵 RAM が停止します。内蔵 RAM アクセス中に該当する MSTP32～MSTP39 ビットを 1 にセットしないでください。また、SYSCR の RAME ビットが 1 かつ MSTP32～MSTP39 が 1 の状態で該当する RAM にアクセスしないでください。

- RMMSTPCRH

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTP47	0	R/W	—
14	MSTP46	0	R/W	—
13	MSTP45	0	R/W	—
12	MSTP44	0	R/W	—
11	MSTP43	0	R/W	—
10	MSTP42	0	R/W	—
9	MSTP41	0	R/W	—
8	MSTP40	0	R/W	—

- RMMSTPCRL

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP39	0	R/W	内蔵 RAM_7 (H'FEC000~H'FEDFFF) *
6	MSTP38	0	R/W	内蔵 RAM_6 (H'FEE000~H'FEFFFF) *
5	MSTP37	0	R/W	内蔵 RAM_5 (H'FF0000~H'FF1FFF)
4	MSTP36	0	R/W	内蔵 RAM_4 (H'FF2000~H'FF3FFF)
3	MSTP35	0	R/W	内蔵 RAM_3 (H'FF4000~H'FF5FFF)
2	MSTP34	0	R/W	内蔵 RAM_2 (H'FF6000~H'FF7FFF)
1	MSTP33	0	R/W	内蔵 RAM_1 (H'FF8000~H'FF9FFF)
0	MSTP32	0	R/W	内蔵 RAM_0 (H'FFA000~H'FFBFFF)

【注】 * H8S/24268R、H8S/24268、H8S/24265R、H8S/24265、H8S/24261R、H8S/24261、H8S/24248、H8S/24245、H8S/24241 ではサポートしていません。

23.2 動作説明

23.2.1 クロック分周モード

PLLCR の STC1、STC0 ビットを 11 に設定すると、クロック分周モードに遷移し、システムクロック周波数は発振器からの周波数の 1/2 になります。

クロック分周モードの解除は、STC1、STC0 ビットを 11 以外に設定することによって行われます。

遷移、解除されるタイミングは SCKCR の STCS ビットの設定で異なります。遷移、解除時の動作については「22.3 システムクロック PLL 回路、分周器」を参照してください。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されるとクロック分周モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されるとクロック分周モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、クロック分周モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットについても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

23.2.2 スリープモード

(1) スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

(2) スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

23.2.3 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、SCI、IIC2 および SSU を除く内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、SBYCR の OPE ビットによりハイインピーダンス状態とするか、端子状態を保持するかを指定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み ($\overline{\text{NMI}}$ 、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ15}}$ *端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ15}}$ *端子は、SSIER の当該 SSI ビットを 1 にセットすることより、ソフトウェアスタンバイモードの解除要因として使用することができます。

- 割り込みによる解除

NMI、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ15}}$ *割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS3~STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

$\overline{\text{IRQ0}}\sim\overline{\text{IRQ15}}$ *¹割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ $\overline{\text{IRQ0}}\sim\overline{\text{IRQ15}}$ *割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 * H8S/2424 グループでは $\overline{\text{IRQ8}}\sim\overline{\text{IRQ15}}$ はサポートしていません。

(3) ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS3~STS0 ビットの設定は、以下のようにしてください。

- 水晶発振の場合

待機時間が発振安定時間以上となるように STS3~STS0 ビットを設定してください。

表 23.2 に、動作周波数と STS3~STS0 ビットの設定に対する待機時間を示します。

- 外部クロックの場合

PLL 回路の安定時間が必要となります。表 23.2 を参照し待機時間を設定してください。

表 23.2 発振安定時間の設定

STS3	STS2	STS1	STS0	待機時間	ϕ^* [MHz]						単位
					33	25	20	13	10	8	
0	0	0	0	リザーブ	—	—	—	—	—	—	μ s
			1	リザーブ	—	—	—	—	—	—	
		1	0	リザーブ	—	—	—	—	—	—	
			1	リザーブ	—	—	—	—	—	—	
	1	0	0	リザーブ	—	—	—	—	—	—	
			1	64	1.9	2.6	3.2	4.9	6.4	8.0	
		1	0	512	15.5	20.5	25.6	39.4	51.2	64.0	
			1	1024	31.0	41.0	51.2	78.8	102.4	128.0	
1	0	0	0	2048	62.1	81.9	102.4	157.5	204.8	256.0	ms
			1	4096	0.12	0.16	0.20	0.32	0.41	0.51	
		1	0	16384	0.50	0.66	0.82	1.26	1.64	2.05	
			1	32765	0.99	1.31	1.64	2.52	3.28	4.10	
	1	0	0	65536	1.99	2.62	3.28	5.04	6.55	8.19	
			1	131072	3.97	5.24	6.55	10.08	13.11	16.38	
		1	0	262144	7.94	10.49	13.11	20.16	26.21	32.77	
			1	524288	15.89	20.97	26.21	40.33	52.43	65.54	

【注】 * ϕ は分周器の出力です。

(4) ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 23.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

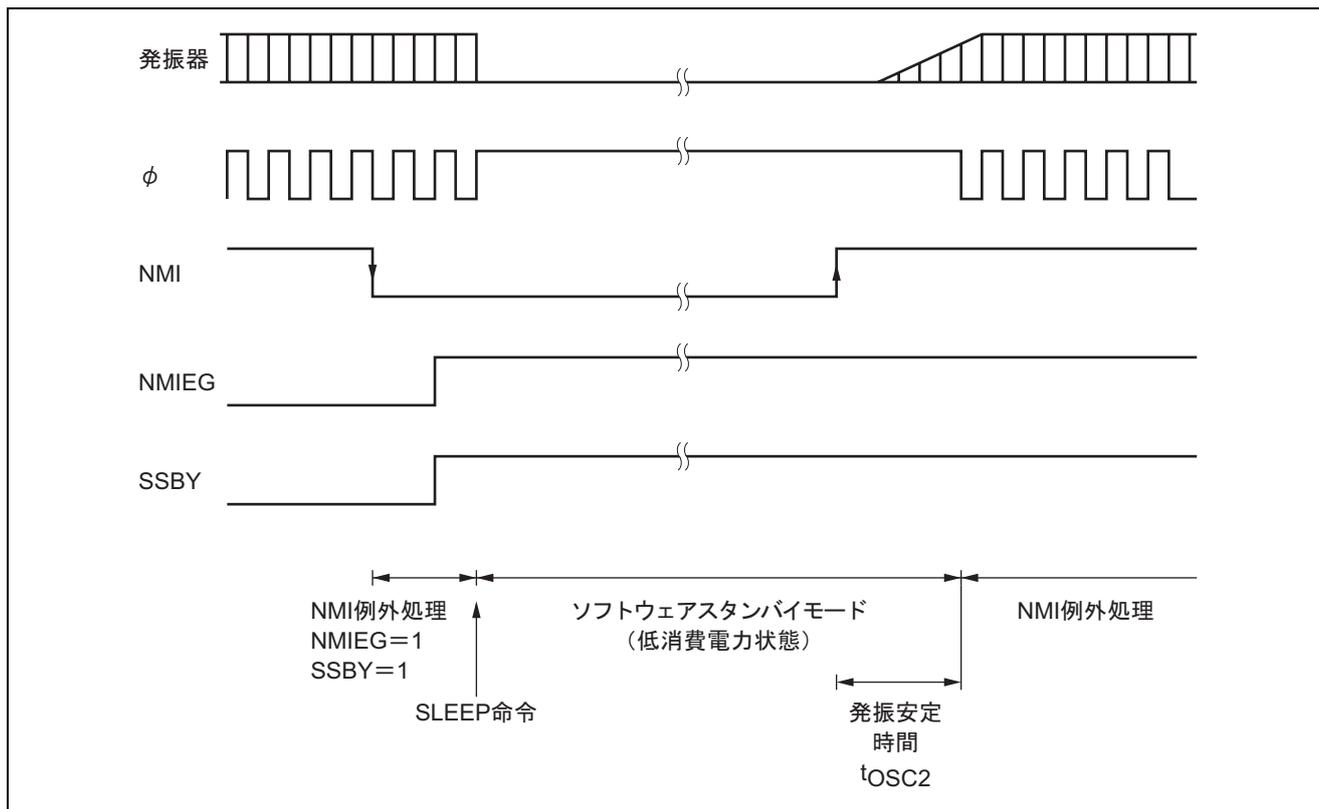


図 23.2 ソフトウェアスタンバイモードの応用例

23.2.4 ハードウェアスタンバイモード

(1) ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

(2) ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで（発振安定時間については、表 23.2 参照）Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

(3) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 23.3 に示します。 $\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにするとハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子を High レベルにしクロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

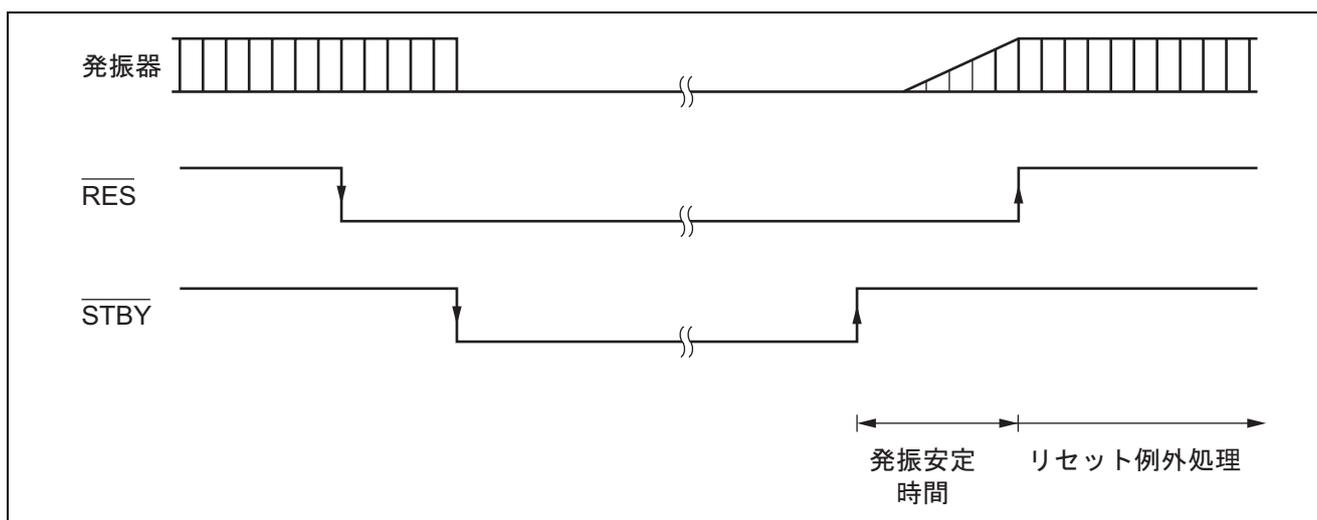


図 23.3 ハードウェアスタンバイモードのタイミング

(4) 電源投入時のハードウェアスタンバイモードのタイミング

電源投入時よりハードウェアスタンバイモードに遷移する場合、必ず $\overline{\text{STBY}}$ 端子を High レベルにした状態で規定の時間 $\overline{\text{RES}}$ 端子を Low レベルにし、リセット解除以降に $\overline{\text{STBY}}$ 端子を Low レベルにするようにしてください。

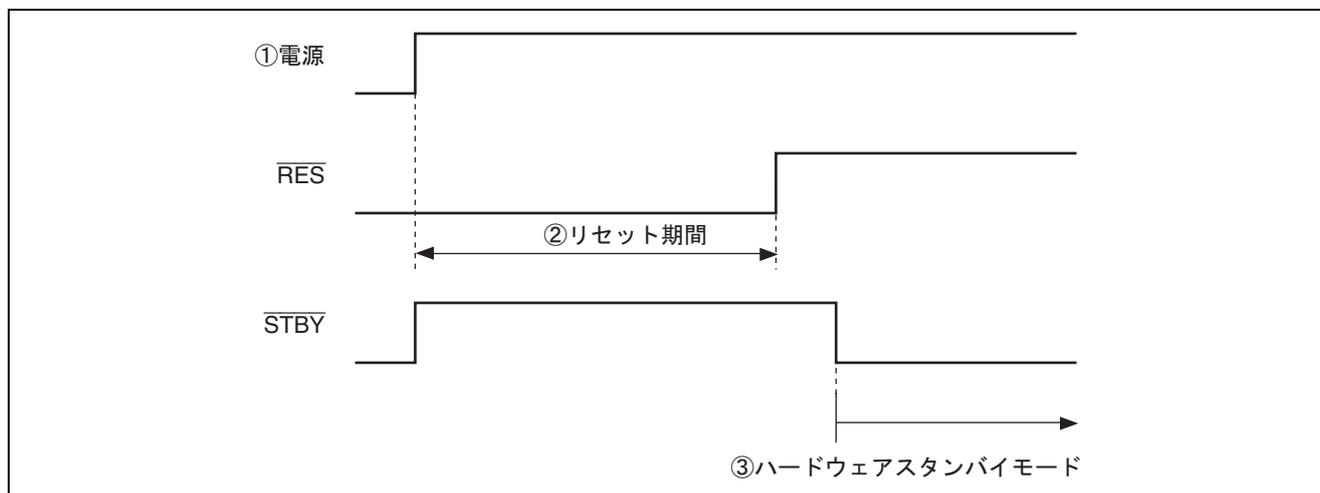


図 23.4 電源投入時のハードウェアスタンバイモードのタイミング

23.2.5 モジュールストップ機能

モジュールストップ機能は内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR、EXMSTPCR、RMMSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、SCI の一部のレジスタ、SSU の内部状態はリセット、その他の周辺モジュールは状態が保持されています。

リセット解除後は、EXDMAC*、DMAC、DTC、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、リード/ライトできません。

RAM のモジュールストップ機能は内蔵 RAM に対してのみ有効です。

SYSCR の RAME、EXPE ビットにより内蔵 RAM 領域が外部アドレス空間に設定されている場合、モジュールストップ設定に関係なく外部空間にアクセスできます。

表 23.3 に内蔵 RAM 領域にアクセスしたときの動作を示します。

【注】 * H8S/2424 グループでは EXDMAC はサポートしていません。

表 23.3 内蔵 RAM 領域にアクセスしたときの動作

レジスタの設定値			アクセス先	備 考
RAME	EXPE	MSTPn		
1	X	1	—	リード/ライト不可。アクセスしないでください。
		0	内蔵 RAM	
0	1	X	外部アドレス空間	
	0	X	—	リード/ライト不可。アクセスしないでください。

【記号説明】 X : Don't care.

23.2.6 全モジュールクロックストップモード

MSTPCR の ACSE ビットを 1 にセットし、かつ MSTPCR、EXMSTPCR で制御されるすべての内蔵周辺機能をモジュールストップ状態にしたとき (MSTPCR=H'FFFF、EXMSTPCR=H'FFFF)、または 8 ビットタイマ以外の内蔵周辺機能をモジュールストップ状態にしたとき (MSTPCR=H'FFFE、EXMSTPCR=H'FFFF)、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ、ウォッチドッグタイマを除く内蔵周辺機能、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。8 ビットタイマは MSTP0 ビットにより動作/停止を選択できます。

全モジュールクロックストップモード時に、さらに消費電流を低減する必要がある場合は、RMMSTPCR で制御されるモジュールをストップ (RMMSTPCR=H'FFFF) してください。

全モジュールクロックストップモードの解除は、外部割り込み (NMI、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ15}}$ *端子)、 $\overline{\text{RES}}$ 端子、内部割り込み (8 ビットタイマ、ウォッチドッグタイマ) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合と NMI 以外の割り込みが CPU でマスクされている場合、または DTC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

【注】 * H8S/2424 グループでは $\overline{\text{IRQ8}} \sim \overline{\text{IRQ15}}$ はサポートしていません。

23.3 ϕ クロック出力制御

SCKCR の PSTOP ビット、対応するポートの DDR により、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で ϕ クロックは停止し、 ϕ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 ϕ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 ϕ クロック出力は禁止され、入力ポートになります。表 23.4 に各処理状態における ϕ 端子の状態を示します。

表 23.4 各処理状態における ϕ 端子の状態

レジスタの設定値		通常動作状態	スリープモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード	全モジュールクロック ストップモード
DDR	PSTOP					
0	X	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス
1	0	ϕ 出力	ϕ 出力	High 固定	ハイ インピーダンス	ϕ 出力
1	1	High 固定	High 固定	High 固定	ハイ インピーダンス	High 固定

23.4 SDRAM ϕ クロック出力制御

SCKCR の SDPSTP ビットにより、SDRAM ϕ クロックの出力を制御することができます。SDPSTP ビットを 1 にセットすると、バスサイクルの終了時点で SDRAM ϕ クロックは停止し、汎用ポートとして使用できます。SDPSTP を 0 にクリアした状態では、DDR の値に関係なく SDRAM ϕ クロック出力は許可されます。表 23.5 に各処理状態における SDRAM ϕ 端子の状態を示します。

【注】 H8S/2426 グループ、H8S/2424 グループでは SDRAM インタフェースをサポートしていません。

表 23.5 各処理状態における SDRAM ϕ 端子の状態

レジスタの設定値		通常動作状態	スリープモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード	全モジュール クロック ストップモード
SDPSTP	DDR					
0	X	SDRAM ϕ 出力	SDRAM ϕ 出力	Low 固定	ハイ インピーダンス	SDRAM ϕ 出力
1	0	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス
1	1	PH1/CS5/RAS5 出力	PH1/CS5/RAS5 出力	PH1/CS5/RAS5 出力	ハイ インピーダンス	PH1/CS5/RAS5 出力

【注】 SDRAM は、H8S/2426 グループ、H8S/2424 グループではサポートしていません。これらの製品では SDPSTP ビットの値に関係なく汎用ポートになります。

23.5 使用上の注意事項

23.5.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

23.5.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

23.5.3 EXDMAC、DMAC、DTC のモジュールストップ

EXDMAC、DMAC、DTC の動作状態によっては、MSTP12～MSTP14 ビットは 1 にセットされない場合があります。EXDMAC、DMAC または DTC のモジュールストップ状態の設定は、それぞれ起動されない状態で行ってください。

詳細は「第 8 章 EXDMA コントローラ (EXDMAC)」、「第 7 章 DMA コントローラ (DMAC)」、「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

【注】 H8S/2424 グループでは EXDMAC をサポートしていません。

23.5.4 内蔵周辺モジュールの割り込み

モジュールストップ状態では、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因、または EXDMAC、DMAC、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップ状態としてください。

【注】 H8S/2424 では EXDMAC をサポートしていません。

23.5.5 MSTPCR、EXMSTPCR、RMMSTPCR のライト

MSTPCR、EXMSTPCR および RMMSTPCR は CPU のみでライトしてください。

23.5.6 クロック分周モードにおける注意事項

クロック分周モードにおいて、以下の点に注意してください。

1. STC1、STC0 ビットで設定する分周比は、電気的特性のクロックサイクル時間 t_{cyc} の動作保証範囲内におさまるように選択してください。すなわち、 $\phi_{min}=8\text{MHz}$ とし、 $\phi < 8\text{MHz}$ とならないように注意してください。
2. 内部モジュールは、すべて ϕ を基準に動作します。
このため、分周比変更の前後でタイマや SCI などの時間処理が変わりますので注意してください。またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。
3. ϕ 端子のクロック出力も分周比を変更することにより変化します。

24. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧 (アドレス順)」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「—」で表記しています。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧 (アドレス順)」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

24.1 レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
DTC モードレジスタ A	MRA	8	H'BC00	DTC	16/32	2
DTC ソースアドレスレジスタ	SAR	24	~	DTC	16/32	2
DTC モードレジスタ B	MRB	8	H'BFFF	DTC	16/32	2
DTC デスティネーションアドレスレジスタ	DAR	24		DTC	16/32	2
DTC 転送カウントレジスタ A	CRA	16		DTC	16/32	2
DTC 転送カウントレジスタ B	CRB	16		DTC	16/32	2
RAM モジュールストップコントロール レジスタ H	RMMSTPCRH	8	H'FC80	SYSTEM	8	2
RAM モジュールストップコントロール レジスタ L	RMMSTPCRL	8	H'FC81	SYSTEM	8	2
インタラプトプライオリティレジスタ L	IPRL	16	H'FC90	INT	16	2
インタラプトプライオリティレジスタ M	IPRM	16	H'FC92	INT	16	2
インタラプトプライオリティレジスタ N	IPRN	16	H'FC94	INT	16	2
DTC イネーブルレジスタ I	DTCERI	8	H'FC96	DTC	16	2
DTC コントロールレジスタ	DTCCR	8	H'FC98	DTC	16	2
A/D データレジスタ A_1	ADDR_A_1	16	H'FCA0	A/D_1	16	2
A/D データレジスタ B_1	ADDR_B_1	16	H'FCA2	A/D_1	16	2
A/D データレジスタ C_1	ADDR_C_1	16	H'FCA4	A/D_1	16	2
A/D データレジスタ D_1	ADDR_D_1	16	H'FCA6	A/D_1	16	2
A/D データレジスタ E_1	ADDR_E_1	16	H'FCA8	A/D_1	16	2
A/D データレジスタ F_1	ADDR_F_1	16	H'FCAA	A/D_1	16	2
A/D データレジスタ G_1	ADDR_G_1	16	H'FCAC	A/D_1	16	2
A/D データレジスタ H_1	ADDR_H_1	16	H'FCAE	A/D_1	16	2
A/D コントロール/ステータスレジスタ_1	ADCSR_1	8	H'FCB0	A/D_1	16	2
A/D コントロールレジスタ_1	ADCR_1	8	H'FCB1	A/D_1	16	2
タイマスタートレジスタ_1	TSTRB	8	H'FCC0	TPU	16	2
タイマシンクロレジスタ_1	TSYRB	8	H'FCC1	TPU	16	2
タイマコントロールレジスタ_6	TCR_6	8	H'FCD0	TPU_6	16	2
タイマモードレジスタ_6	TMDR_6	8	H'FCD1	TPU_6	16	2
タイマ I/O コントロールレジスタ H_6	TIORH_6	8	H'FCD2	TPU_6	16	2
タイマ I/O コントロールレジスタ L_6	TIORL_6	8	H'FCD3	TPU_6	16	2
タイマインタラプトイネーブルレジスタ_6	TIER_6	8	H'FCD4	TPU_6	16	2
タイマステータスレジスタ_6	TSR_6	8	H'FCD5	TPU_6	16	2
タイマカウンタ_6	TCNT_6	16	H'FCD6	TPU_6	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
タイマジェネラルレジスタ A_6	TGRA_6	16	H'FCD8	TPU_6	16	2
タイマジェネラルレジスタ B_6	TGRB_6	16	H'FCDA	TPU_6	16	2
タイマジェネラルレジスタ C_6	TGRC_6	16	H'FCDC	TPU_6	16	2
タイマジェネラルレジスタ D_6	TGRD_6	16	H'FCDE	TPU_6	16	2
タイマコントロールレジスタ_7	TCR_7	8	H'FCE0	TPU_7	16	2
タイマモードレジスタ_7	TMDR_7	8	H'FCE1	TPU_7	16	2
タイマ I/O コントロールレジスタ_7	TIOR_7	8	H'FCE2	TPU_7	16	2
タイマインタラプトイネーブルレジスタ_7	TIER_7	8	H'FCE4	TPU_7	16	2
タイマステータスレジスタ_7	TSR_7	8	H'FCE5	TPU_7	16	2
タイマカウンタ_7	TCNT_7	16	H'FCE6	TPU_7	16	2
タイマジェネラルレジスタ A_7	TGRA_7	16	H'FCE8	TPU_7	16	2
タイマジェネラルレジスタ B_7	TGRB_7	16	H'FCEA	TPU_7	16	2
タイマコントロールレジスタ_8	TCR_8	8	H'FCF0	TPU_8	16	2
タイマモードレジスタ_8	TMDR_8	8	H'FCF1	TPU_8	16	2
タイマ I/O コントロールレジスタ_8	TIOR_8	8	H'FCF2	TPU_8	16	2
タイマインタラプトイネーブルレジスタ_8	TIER_8	8	H'FCF4	TPU_8	16	2
タイマステータスレジスタ_8	TSR_8	8	H'FCF5	TPU_8	16	2
タイマカウンタ_8	TCNT_8	16	H'FCF6	TPU_8	16	2
タイマジェネラルレジスタ A_8	TGRA_8	16	H'FCF8	TPU_8	16	2
タイマジェネラルレジスタ B_8	TGRB_8	16	H'FCFA	TPU_8	16	2
タイマコントロールレジスタ_9	TCR_9	8	H'FD00	TPU_9	16	2
タイマモードレジスタ_9	TMDR_9	8	H'FD01	TPU_9	16	2
タイマ I/O コントロールレジスタ H_9	TIORH_9	8	H'FD02	TPU_9	16	2
タイマ I/O コントロールレジスタ L_9	TIORL_9	8	H'FD03	TPU_9	16	2
タイマインタラプトイネーブルレジスタ_9	TIER_9	8	H'FD04	TPU_9	16	2
タイマステータスレジスタ_9	TSR_9	8	H'FD05	TPU_9	16	2
タイマカウンタ_9	TCNT_9	16	H'FD06	TPU_9	16	2
タイマジェネラルレジスタ A_9	TGRA_9	16	H'FD08	TPU_9	16	2
タイマジェネラルレジスタ B_9	TGRB_9	16	H'FD0A	TPU_9	16	2
タイマジェネラルレジスタ C_9	TGRC_9	16	H'FD0C	TPU_9	16	2
タイマジェネラルレジスタ D_9	TGRD_9	16	H'FD0E	TPU_9	16	2
タイマコントロールレジスタ_10	TCR_10	8	H'FD10	TPU_10	16	2
タイマモードレジスタ_10	TMDR_10	8	H'FD11	TPU_10	16	2
タイマ I/O コントロールレジスタ_10	TIOR_10	8	H'FD12	TPU_10	16	2
タイマインタラプトイネーブルレジスタ_10	TIER_10	8	H'FD14	TPU_10	16	2
タイマステータスレジスタ_10	TSR_10	8	H'FD15	TPU_10	16	2
タイマカウンタ_10	TCNT_10	16	H'FD16	TPU_10	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
タイマジェネラルレジスタ A_10	TGRA_10	16	H'FD18	TPU_10	16	2
タイマジェネラルレジスタ B_10	TGRB_10	16	H'FD1A	TPU_10	16	2
タイマコントロールレジスタ_11	TCR_11	8	H'FD20	TPU_11	16	2
タイマモードレジスタ_11	TMDR_11	8	H'FD21	TPU_11	16	2
タイマ I/O コントロールレジスタ_11	TIOR_11	8	H'FD22	TPU_11	16	2
タイマインタラプトイネーブルレジスタ_11	TIER_11	8	H'FD24	TPU_11	16	2
タイマステータスレジスタ_11	TSR_11	8	H'FD25	TPU_11	16	2
タイマカウンタ_11	TCNT_11	16	H'FD26	TPU_11	16	2
タイマジェネラルレジスタ A_11	TGRA_11	16	H'FD28	TPU_11	16	2
タイマジェネラルレジスタ B_11	TGRB_11	16	H'FD2A	TPU_11	16	2
ポート1 オープンドレインコントロール レジスタ	P1ODR	8	H'FD40	PORT	8	2
ポート2 オープンドレインコントロール レジスタ	P2ODR	8	H'FD41	PORT	8	2
ポート5 オープンドレインコントロール レジスタ	P5ODR	8	H'FD42	PORT	8	2
ポート6 オープンドレインコントロール レジスタ	P6ODR	8	H'FD43	PORT	8	2
ポート8 オープンドレインコントロール レジスタ	P8ODR	8	H'FD44	PORT	8	2
ポートB オープンドレインコントロール レジスタ	PBODR	8	H'FD45	PORT	8	2
ポートC オープンドレインコントロール レジスタ	PCODR	8	H'FD46	PORT	8	2
ポートD オープンドレインコントロール レジスタ	PDODR	8	H'FD47	PORT	8	2
ポートE オープンドレインコントロール レジスタ	PEODR	8	H'FD48	PORT	8	2
ポートF オープンドレインコントロール レジスタ	PFODR	8	H'FD49	PORT	8	2
ポートG オープンドレインコントロール レジスタ	PGODR	8	H'FD4A	PORT	8	2
ポートH オープンドレインコントロール レジスタ	PHODR	8	H'FD4B	PORT	8	2
ポートJ オープンドレインコントロール レジスタ	PJODR	8	H'FD4C	PORT	8	2
I ² C バスコントロールレジスタ A_0	ICCRA_0	8	H'FD58	IIC2_0	8	2
I ² C バスコントロールレジスタ B_0	ICCRB_0	8	H'FD59	IIC2_0	8	2
I ² C バスモードレジスタ_0	ICMR_0	8	H'FD5A	IIC2_0	8	2
I ² C バスインタラプトイネーブルレジスタ_0	ICIER_0	8	H'FD5B	IIC2_0	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FD5C	IIC2_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FD5D	IIC2_0	8	2
I ² C 送信データレジスタ_0	ICDRT_0	8	H'FD5E	IIC2_0	8	2
I ² C 受信データレジスタ_0	ICDRR_0	8	H'FD5F	IIC2_0	8	2
I ² C バスコントロールレジスタ A_1	ICCRA_1	8	H'FD60	IIC2_1	8	2
I ² C バスコントロールレジスタ B_1	ICCRB_1	8	H'FD61	IIC2_1	8	2
I ² C バスモードレジスタ_1	ICMR_1	8	H'FD62	IIC2_1	8	2
I ² C バスインタラプトイネーブルレジスタ_1	ICIER_1	8	H'FD63	IIC2_1	8	2
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FD64	IIC2_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FD65	IIC2_1	8	2
I ² C 送信データレジスタ_1	ICDRT_1	8	H'FD66	IIC2_1	8	2
I ² C 受信データレジスタ_1	ICDRR_1	8	H'FD67	IIC2_1	8	2
I ² C バスコントロールレジスタ A_2	ICCRA_2	8	H'FD68	IIC2_2	8	2
I ² C バスコントロールレジスタ B_2	ICCRB_2	8	H'FD69	IIC2_2	8	2
I ² C バスモードレジスタ_2	ICMR_2	8	H'FD6A	IIC2_2	8	2
I ² C バスインタラプトイネーブルレジスタ_2	ICIER_2	8	H'FD6B	IIC2_2	8	2
I ² C バスステータスレジスタ_2	ICSR_2	8	H'FD6C	IIC2_2	8	2
スレーブアドレスレジスタ_2	SAR_2	8	H'FD6D	IIC2_2	8	2
I ² C 送信データレジスタ_2	ICDRT_2	8	H'FD6E	IIC2_2	8	2
I ² C 受信データレジスタ_2	ICDRR_2	8	H'FD6F	IIC2_2	8	2
I ² C バスコントロールレジスタ A_3	ICCRA_3	8	H'FD70	IIC2_3	8	2
I ² C バスコントロールレジスタ B_3	ICCRB_3	8	H'FD71	IIC2_3	8	2
I ² C バスモードレジスタ_3	ICMR_3	8	H'FD72	IIC2_3	8	2
I ² C バスインタラプトイネーブルレジスタ_3	ICIER_3	8	H'FD73	IIC2_3	8	2
I ² C バスステータスレジスタ_3	ICSR_3	8	H'FD74	IIC2_3	8	2
スレーブアドレスレジスタ_3	SAR_3	8	H'FD75	IIC2_3	8	2
I ² C 送信データレジスタ_3	ICDRT_3	8	H'FD76	IIC2_3	8	2
I ² C 受信データレジスタ_3	ICDRR_3	8	H'FD77	IIC2_3	8	2
シリアル拡張モードレジスタ_2	SEMR_2	8	H'FDA8	SCI_2	8	2
SS コントロールレジスタ H	SSCRH	8	H'FDB0	SSU	16	2
SS コントロールレジスタ L	SSCRL	8	H'FDB1	SSU	16	2
SS モードレジスタ	SSMR	8	H'FDB2	SSU	16	2
SS イネーブルレジスタ	SSER	8	H'FDB3	SSU	16	2
SS ステータスレジスタ	SSSR	8	H'FDB4	SSU	16	2
SS コントロールレジスタ 2	SSCR2	8	H'FDB5	SSU	16	2
SS トランスミットデータレジスタ 0	SSTDR0	8	H'FDB6	SSU	16	2
SS トランスミットデータレジスタ 1	SSTDR1	8	H'FDB7	SSU	16	2
SS トランスミットデータレジスタ 2	SSTDR2	8	H'FDB8	SSU	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
SS トランスミットデータレジスタ 3	SSTDR3	8	H'FDB9	SSU	16	2
SS レシーブデータレジスタ 0	SSRDR0	8	H'FDBA	SSU	16	2
SS レシーブデータレジスタ 1	SSRDR1	8	H'FDBB	SSU	16	2
SS レシーブデータレジスタ 2	SSRDR2	8	H'FDBC	SSU	16	2
SS レシーブデータレジスタ 3	SSRDR3	8	H'FDBD	SSU	16	2
EXDMA ソースアドレスレジスタ_2	EDSAR_2	32	H'FDE0	EXDMAC_2*3	16	2
EXDMA デスティネーションアドレス レジスタ_2	EDDAR_2	32	H'FDE4	EXDMAC_2*3	16	2
EXDMA 転送カウントレジスタ_2	EDTCR_2	32	H'FDE8	EXDMAC_2*3	16	2
EXDMA モードコントロールレジスタ_2	EDMDR_2	16	H'FDEC	EXDMAC_2*3	16	2
EXDMA アドレスコントロールレジスタ_2	EDACR_2	16	H'FDEE	EXDMAC_2*3	16	2
EXDMA ソースアドレスレジスタ_3	EDSAR_3	32	H'FDF0	EXDMAC_3*3	16	2
EXDMA デスティネーションアドレス レジスタ_3	EDDAR_3	32	H'FDF4	EXDMAC_3*3	16	2
EXDMA 転送カウントレジスタ_3	EDTCR_3	32	H'FDF8	EXDMAC_3*3	16	2
EXDMA モードコントロールレジスタ_3	EDMDR_3	16	H'FDFF	EXDMAC_3*3	16	2
EXDMA アドレスコントロールレジスタ_3	EDACR_3	16	H'FDFF	EXDMAC_3*3	16	2
インタラプトプライオリティレジスタ A	IPRA	16	H'FE00	INT	16	2
インタラプトプライオリティレジスタ B	IPRB	16	H'FE02	INT	16	2
インタラプトプライオリティレジスタ C	IPRC	16	H'FE04	INT	16	2
インタラプトプライオリティレジスタ D	IPRD	16	H'FE06	INT	16	2
インタラプトプライオリティレジスタ E	IPRE	16	H'FE08	INT	16	2
インタラプトプライオリティレジスタ F	IPRF	16	H'FE0A	INT	16	2
インタラプトプライオリティレジスタ G	IPRG	16	H'FE0C	INT	16	2
インタラプトプライオリティレジスタ H	IPRH	16	H'FE0E	INT	16	2
インタラプトプライオリティレジスタ I	IPRI	16	H'FE10	INT	16	2
インタラプトプライオリティレジスタ J	IPRJ	16	H'FE12	INT	16	2
インタラプトプライオリティレジスタ K	IPRK	16	H'FE14	INT	16	2
IRQ 端子セレクトレジスタ	ITSR	16	H'FE16	INT	16	2
ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ	SSIER	16	H'FE18	INT	16	2
IRQ センスコントロールレジスタ H	ISCRH	16	H'FE1A	INT	16	2
IRQ センスコントロールレジスタ L	ISCR L	16	H'FE1C	INT	16	2
IrDA コントロールレジスタ_0	IrCR_0	8	H'FE1E	IrDA	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE20	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FE21	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE22	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FE24	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'FE25	PORT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
ポート 8 データディレクションレジスタ	P8DDR	8	H'FE27	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FE29	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FE2A	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE2B	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'FE2C	PORT	8	2
ポート E データディレクションレジスタ	PEDDR	8	H'FE2D	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE2E	PORT	8	2
ポート G データディレクションレジスタ	PGDDR	8	H'FE2F	PORT	8	2
ポートファンクションコントロールレジスタ 0	PFCCR0	8	H'FE32	PORT	8	2
ポートファンクションコントロールレジスタ 1	PFCCR1	8	H'FE33	PORT	8	2
ポートファンクションコントロールレジスタ 2	PFCCR2	8	H'FE34	PORT	8	2
ポート A ブルアップ MOS コントロール レジスタ	PAPCR	8	H'FE36	PORT	8	2
ポート B ブルアップ MOS コントロール レジスタ	PBPCR	8	H'FE37	PORT	8	2
ポート C ブルアップ MOS コントロール レジスタ	PCPCR	8	H'FE38	PORT	8	2
ポート D ブルアップ MOS コントロール レジスタ	PDPCR	8	H'FE39	PORT	8	2
ポート E ブルアップ MOS コントロール レジスタ	PEPCR	8	H'FE3A	PORT	8	2
ポート 3 オープンドレインコントロール レジスタ	P3ODR	8	H'FE3C	PORT	8	2
ポート A オープンドレインコントロール レジスタ	PAODR	8	H'FE3D	PORT	8	2
シリアルモードレジスタ_3	SMR_3	8	H'FE40	SCI_3	8	2
ビットレートレジスタ_3	BRR_3	8	H'FE41	SCI_3	8	2
シリアルコントロールレジスタ_3	SCR_3	8	H'FE42	SCI_3	8	2
トランスミットデータレジスタ_3	TDR_3	8	H'FE43	SCI_3	8	2
シリアルステータスレジスタ_3	SSR_3	8	H'FE44	SCI_3	8	2
レシーブデータレジスタ_3	RDR_3	8	H'FE45	SCI_3	8	2
スマートカードモードレジスタ_3	SCMR_3	8	H'FE46	SCI_3	8	2
シリアルモードレジスタ_4	SMR_4	8	H'FE48	SCI_4	8	2
ビットレートレジスタ_4	BRR_4	8	H'FE49	SCI_4	8	2
シリアルコントロールレジスタ_4	SCR_4	8	H'FE4A	SCI_4	8	2
トランスミットデータレジスタ_4	TDR_4	8	H'FE4B	SCI_4	8	2
シリアルステータスレジスタ_4	SSR_4	8	H'FE4C	SCI_4	8	2
レシーブデータレジスタ_4	RDR_4	8	H'FE4D	SCI_4	8	2
スマートカードモードレジスタ_4	SCMR_4	8	H'FE4E	SCI_4	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロールレジスタ_3	TCR_3	8	H'FE80	TPU_3	16	2
タイマモードレジスタ_3	TMDR_3	8	H'FE81	TPU_3	16	2
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FE82	TPU_3	16	2
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FE83	TPU_3	16	2
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FE84	TPU_3	16	2
タイマステータスレジスタ_3	TSR_3	8	H'FE85	TPU_3	16	2
タイマカウンタ_3	TCNT_3	16	H'FE86	TPU_3	16	2
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FE88	TPU_3	16	2
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FE8A	TPU_3	16	2
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FE8C	TPU_3	16	2
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FE8E	TPU_3	16	2
タイマコントロールレジスタ_4	TCR_4	8	H'FE90	TPU_4	16	2
タイマモードレジスタ_4	TMDR_4	8	H'FE91	TPU_4	16	2
タイマ I/O コントロールレジスタ_4	TIOR_4	8	H'FE92	TPU_4	16	2
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FE94	TPU_4	16	2
タイマステータスレジスタ_4	TSR_4	8	H'FE95	TPU_4	16	2
タイマカウンタ_4	TCNT_4	16	H'FE96	TPU_4	16	2
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FE98	TPU_4	16	2
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FE9A	TPU_4	16	2
タイマコントロールレジスタ_5	TCR_5	8	H'FEA0	TPU_5	16	2
タイマモードレジスタ_5	TMDR_5	8	H'FEA1	TPU_5	16	2
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FEA2	TPU_5	16	2
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FEA4	TPU_5	16	2
タイマステータスレジスタ_5	TSR_5	8	H'FEA5	TPU_5	16	2
タイマカウンタ_5	TCNT_5	16	H'FEA6	TPU_5	16	2
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FEA8	TPU_5	16	2
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FEAA	TPU_5	16	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FEB0	FLASH	8	2
フラッシュメモリデータブロックプロテクトレジスタ	FLMDBPR	8	H'FEB2	FLASH	8	2
フラッシュメモリステータスレジスタ	FLMSTR	8	H'FEB3	FLASH	8	2
バス幅コントロールレジスタ	ABWCR	8	H'FEC0	BSC	16	2
アクセスステートコントロールレジスタ	ASTCR	8	H'FEC1	BSC	16	2
ウェイトコントロールレジスタ AH	WTCRAH	8	H'FEC2	BSC	16	2
ウェイトコントロールレジスタ AL	WTCRAL	8	H'FEC3	BSC	16	2
ウェイトコントロールレジスタ BH	WTCRBH	8	H'FEC4	BSC	16	2
ウェイトコントロールレジスタ BL	WTCRBL	8	H'FEC5	BSC	16	2
リードストロープタイミングコントロールレジスタ	RDNCR	8	H'FEC6	BSC	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
CS アサート期間コントロールレジスタ H	CSACRH	8	H'FEC8	BSC	16	2
CS アサート期間コントロールレジスタ L	CSACRL	8	H'FEC9	BSC	16	2
バースト ROM インタフェースコントロール レジスタ H	BROMCRH	8	H'FECA	BSC	16	2
バースト ROM インタフェースコントロール レジスタ L	BROMCRL	8	H'FECB	BSC	16	2
バスコントロールレジスタ	BCR	16	H'FECC	BSC	16	2
アドレス/データマルチプレクス I/O コントロールレジスタ	MPXCR	8	H'FECE	BSC	16	2
DRAM コントロールレジスタ L	DRAMCR	16	H'FED0	BSC	16	2
DRAM アクセスコントロールレジスタ H	DRACCRH	8	H'FED2	BSC	16	2
DRAM アクセスコントロールレジスタ L	DRACCRL	8	H'FED3	BSC	16	2
リフレッシュコントロールレジスタ	REFCR	16	H'FED4	BSC	16	2
リフレッシュタイマカウンタ	RTCNT	8	H'FED6	BSC	16	2
リフレッシュタイムコンスタントレジスタ	RTCOR	8	H'FED7	BSC	16	2
メモリアドレスレジスタ_0AH	MAR_0AH	16	H'FEE0	DMAC	16	2
メモリアドレスレジスタ_0AL	MAR_0AL	16	H'FEE2	DMAC	16	2
I/O アドレスレジスタ_0A	IOAR_0A	16	H'FEE4	DMAC	16	2
転送カウントレジスタ_0A	ETCR_0A	16	H'FEE6	DMAC	16	2
メモリアドレスレジスタ_0BH	MAR_0BH	16	H'FEE8	DMAC	16	2
メモリアドレスレジスタ_0BL	MAR_0BL	16	H'FEEA	DMAC	16	2
I/O アドレスレジスタ_0B	IOAR_0B	16	H'FEEC	DMAC	16	2
転送カウントレジスタ_0B	ETCR_0B	16	H'FEEE	DMAC	16	2
メモリアドレスレジスタ_1AH	MAR_1AH	16	H'FEF0	DMAC	16	2
メモリアドレスレジスタ_1AL	MAR_1AL	16	H'FEF2	DMAC	16	2
I/O アドレスレジスタ_1A	IOAR_1A	16	H'FEF4	DMAC	16	2
転送カウントレジスタ_1A	ETCR_1A	16	H'FEF6	DMAC	16	2
メモリアドレスレジスタ_1BH	MAR_1BH	16	H'FEF8	DMAC	16	2
メモリアドレスレジスタ_1BL	MAR_1BL	16	H'FEFA	DMAC	16	2
I/O アドレスレジスタ_1B	IOAR_1B	16	H'FEFC	DMAC	16	2
転送カウントレジスタ_1B	ETCR_1B	16	H'FEFE	DMAC	16	2
DMA ライトイネーブルレジスタ	DMAWER	8	H'FF20	DMAC	8	2
DMA ターミナルコントロールレジスタ	DMATCR	8	H'FF21	DMAC	8	2
DMA コントロールレジスタ_0A	DMACR_0A	8	H'FF22	DMAC	16	2
DMA コントロールレジスタ_0B	DMACR_0B	8	H'FF23	DMAC	16	2
DMA コントロールレジスタ_1A	DMACR_1A	8	H'FF24	DMAC	16	2
DMA コントロールレジスタ_1B	DMACR_1B	8	H'FF25	DMAC	16	2
DMA バンドコントロールレジスタ H	DMABCRH	8	H'FF26	DMAC	16	2
DMA バンドコントロールレジスタ L	DMABCRL	8	H'FF27	DMAC	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
DTC イネーブルレジスタ A	DTCERA	8	H'FF28	DTC	16	2
DTC イネーブルレジスタ B	DTCERB	8	H'FF29	DTC	16	2
DTC イネーブルレジスタ C	DTCERC	8	H'FF2A	DTC	16	2
DTC イネーブルレジスタ D	DTCERD	8	H'FF2B	DTC	16	2
DTC イネーブルレジスタ E	DTCERE	8	H'FF2C	DTC	16	2
DTC イネーブルレジスタ F	DTCERF	8	H'FF2D	DTC	16	2
DTC イネーブルレジスタ G	DTCERG	8	H'FF2E	DTC	16	2
DTC イネーブルレジスタ H	DTCERH	8	H'FF2F	DTC	16	2
DTC ベクタレジスタ	DTVECR	8	H'FF30	DTC	16	2
割り込みコントロールレジスタ	INTCR	8	H'FF31	INT	16	2
IRQ イネーブルレジスタ	IER	16	H'FF32	INT	16	2
IRQ ステータスレジスタ	ISR	16	H'FF34	INT	16	2
スタンバイコントロールレジスタ	SBYCR	8	H'FF3A	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FF3B	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FF3D	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FF3E	SYSTEM	8	2
モジュールストップコントロール レジスタ H	MSTPCRH	8	H'FF40	SYSTEM	8	2
モジュールストップコントロール レジスタ L	MSTPCRL	8	H'FF41	SYSTEM	8	2
エクステンションモジュールストップ コントロールレジスタ H	EXMSTPCRH	8	H'FF42	SYSTEM	8	2
エクステンションモジュールストップ コントロールレジスタ L	EXMSTPCRL	8	H'FF43	SYSTEM	8	2
PLL コントロールレジスタ	PLLCR	8	H'FF45	SYSTEM	8	2
PPG 出力コントロールレジスタ	PCR	8	H'FF46	PPG	8	2
PPG 出力モードレジスタ	PMR	8	H'FF47	PPG	8	2
ネクストデータイネーブルレジスタ H	NDERH	8	H'FF48	PPG	8	2
ネクストデータイネーブルレジスタ L	NDERL	8	H'FF49	PPG	8	2
アウトプットデータレジスタ H	PODRH	8	H'FF4A	PPG	8	2
アウトプットデータレジスタ L	PODRL	8	H'FF4B	PPG	8	2
ネクストデータレジスタ H* ¹	NDRHH	8	H'FF4C	PPG	8	2
ネクストデータレジスタ L* ¹	NDRLH	8	H'FF4D	PPG	8	2
ネクストデータレジスタ H* ¹	NDRHL	8	H'FF4E	PPG	8	2
ネクストデータレジスタ L* ¹	NDRLH	8	H'FF4F	PPG	8	2
ポート 1 レジスタ	PORT1	8	H'FF50	PORT	8	2
ポート 2 レジスタ	PORT2	8	H'FF51	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FF52	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FF53	PORT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
ポート5レジスタ	PORT5	8	H'FF54	PORT	8	2
ポート6レジスタ	PORT6	8	H'FF55	PORT	8	2
ポート8レジスタ	PORT8	8	H'FF57	PORT	8	2
ポート9レジスタ	PORT9	8	H'FF58	PORT	8	2
ポートAレジスタ	PORTA	8	H'FF59	PORT	8	2
ポートBレジスタ	PORTB	8	H'FF5A	PORT	8	2
ポートCレジスタ	PORTC	8	H'FF5B	PORT	8	2
ポートDレジスタ	PORTD	8	H'FF5C	PORT	8	2
ポートEレジスタ	PORTE	8	H'FF5D	PORT	8	2
ポートFレジスタ	PORTF	8	H'FF5E	PORT	8	2
ポートGレジスタ	PORTG	8	H'FF5F	PORT	8	2
ポート1データレジスタ	P1DR	8	H'FF60	PORT	8	2
ポート2データレジスタ	P2DR	8	H'FF61	PORT	8	2
ポート3データレジスタ	P3DR	8	H'FF62	PORT	8	2
ポート5データレジスタ	P5DR	8	H'FF64	PORT	8	2
ポート6データレジスタ	P6DR	8	H'FF65	PORT	8	2
ポート8データレジスタ	P8DR	8	H'FF67	PORT	8	2
ポートAデータレジスタ	PADR	8	H'FF69	PORT	8	2
ポートBデータレジスタ	PBDR	8	H'FF6A	PORT	8	2
ポートCデータレジスタ	PCDR	8	H'FF6B	PORT	8	2
ポートDデータレジスタ	PDDR	8	H'FF6C	PORT	8	2
ポートEデータレジスタ	PEDR	8	H'FF6D	PORT	8	2
ポートFデータレジスタ	PFDR	8	H'FF6E	PORT	8	2
ポートGデータレジスタ	PGDR	8	H'FF6F	PORT	8	2
ポートHレジスタ	PORTH	8	H'FF70	PORT	8	2
ポートJレジスタ	PORTJ	8	H'FF71	PORT	8	2
ポートHデータレジスタ	PHDR	8	H'FF72	PORT	8	2
ポートJデータレジスタ	PJDR	8	H'FF73	PORT	8	2
ポートHデータディレクションレジスタ	PHDDR	8	H'FF74	PORT	8	2
ポートJデータディレクションレジスタ	PJDDR	8	H'FF75	PORT	8	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78	SCI_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79	SCI_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	SCI_0	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
シリアルモードレジスタ_1	SMR_1	8	H'FF80	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	SCI_1	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FF88	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FF89	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	SCI_2	8	2
A/D データレジスタ A_0	ADDRA_0	16	H'FF90	A/D_0	16	2
A/D データレジスタ B_0	ADDRB_0	16	H'FF92	A/D_0	16	2
A/D データレジスタ C_0	ADDRC_0	16	H'FF94	A/D_0	16	2
A/D データレジスタ D_0	ADDRD_0	16	H'FF96	A/D_0	16	2
A/D データレジスタ E_0	ADDRE_0	16	H'FF98	A/D_0	16	2
A/D データレジスタ F_0	ADDRF_0	16	H'FF9A	A/D_0	16	2
A/D データレジスタ G_0	ADDRG_0	16	H'FF9C	A/D_0	16	2
A/D データレジスタ H_0	ADDRH_0	16	H'FF9E	A/D_0	16	2
A/D コントロール/ステータスレジスタ_0	ADCSR_0	8	H'FFA0	A/D_0	16	2
A/D コントロールレジスタ_0	ADCR_0	8	H'FFA1	A/D_0	16	2
D/A データレジスタ 2	DADR2	8	H'FFA8	D/A	8	2
D/A データレジスタ 3	DADR3	8	H'FFA9	D/A	8	2
D/A コントロールレジスタ 23	DACR23	8	H'FFAA	D/A	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFB0	TMR_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFB1	TMR_1	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFB2	TMR_0	16	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFB3	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFB4	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFB5	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFB6	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFB7	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFB8	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFB9	TMR_1	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマカウンタコントロールレジスタ_0	TCCR_0	8	H'FFBA	TMR	16	2
タイマカウンタコントロールレジスタ_1	TCCR_1	8	H'FFBB	TMR	16	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFBC* ² (ライト時) H'FFBC (リード時)	WDT	16	2
タイマカウンタ	TCNT	8	H'FFBC* ² (ライト時) H'FFBD (リード時)	WDT	16	2
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FFBE* ² (ライト時) H'FFBF (リード時)	WDT	16	2
タイマスタートレジスタ	TSTR	8	H'FFC0	TPU	16	2
タイマシンクロレジスタ	TSYR	8	H'FFC1	TPU	16	2
ポートファンクションコントロールレジスタ 3	PFCR3	8	H'FFC8	PORT	8	2
ポートファンクションコントロールレジスタ 4	PFCR4	8	H'FFC9	PORT	8	2
ポートファンクションコントロールレジスタ 5	PFCR5	8	H'FFCA	PORT	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFD0	TPU_0	16	2
タイマモードレジスタ_0	TMDR_0	8	H'FFD1	TPU_0	16	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFD2	TPU_0	16	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFD3	TPU_0	16	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFD4	TPU_0	16	2
タイマステータスレジスタ_0	TSR_0	8	H'FFD5	TPU_0	16	2
タイマカウンタ_0	TCNT_0	16	H'FFD6	TPU_0	16	2
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFD8	TPU_0	16	2
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFDA	TPU_0	16	2
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFDC	TPU_0	16	2
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFDE	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFE0	TPU_1	16	2
タイマモードレジスタ_1	TMDR_1	8	H'FFE1	TPU_1	16	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFE2	TPU_1	16	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFE4	TPU_1	16	2
タイマステータスレジスタ_1	TSR_1	8	H'FFE5	TPU_1	16	2
タイマカウンタ_1	TCNT_1	16	H'FFE6	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFE8	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFEA	TPU_1	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
タイマコントロールレジスタ_2	TCR_2	8	H'FFF0	TPU_2	16	2
タイマモードレジスタ_2	TMDR_2	8	H'FFF1	TPU_2	16	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFF2	TPU_2	16	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFF4	TPU_2	16	2
タイマステータスレジスタ_2	TSR_2	8	H'FFF5	TPU_2	16	2
タイマカウンタ_2	TCNT_2	16	H'FFF6	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFF8	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFA	TPU_2	16	2

- 【注】 *1 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FF4E、グループ 3 に対する NDRH のアドレスは H'FF4C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FF4F、グループ 1 に対する NDRL のアドレスは H'FF4D となります。
- *2 ライトについては、「14.6.1 レジスタアクセス時の注意」を参照してください。
- *3 H8S/2424 グループではサポートしていません。

24.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC* ¹
SAR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
MRB	CHNE	DISEL	CHNS	—	—	—	—	—	
DAR	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
CRA	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
CRB	—	—	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
RMMSTPCR _H	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	MSTP41	MSTP40	SYSTEM
RMMSTPCR _L	MSTP39	MSTP38	MSTP37	MSTP36	MSTP35	MSTP34	MSTP33	MSTP32	
IPRL	—	IPRL14	IPRL13	IPRL12	—	IPRL10	IPRL9	IPRL8	INTC
	—	IPRL6	IPRL5	IPRL4	—	IPRL2	IPRL1	IPRL0	
IPRM	—	IPRM14	IPRM13	IPRM12	—	IPRM10	IPRM9	IPRM8	
	—	IPRM6	IPRM5	IPRM4	—	IPRM2	IPRM1	IPRM0	
IPRN	—	IPRN14	IPRN13	IPRN12	—	IPRN10	IPRN9	IPRN8	
	—	IPRN6	IPRN5	IPRN4	—	IPRN2	IPRN1	IPRN0	
DTCE _R	DTCEI7	DTCEI6	DTCEI5	DTCEI4	DTCEI3	DTCEI2	DTCEI1	DTCEI0	
DTCCR	SWDTE	—	—	—	—	—	—	—	
ADDRA_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D_1
	AD1	AD0	—	—	—	—	—	—	
ADDRB_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRC_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRD_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRE_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRF_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ADDRG_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D_1
	AD1	AD0	—	—	—	—	—	—	
ADDRH_1	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADCSR_1	ADF	ADIE	ADST	EXCKS	CH3	CH2	CH1	CH0	
ADCR_1	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADSTCLR	EXTRGS	
TSTRB	—	—	CST11	CST10	CST9	CST8	CST7	CST6	TPU
TSYRB	—	—	SYNC11	SYNC10	SYNC9	SYNC8	SYNC7	SYNC6	
TCR_6	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_6
TMDR_6	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_6	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_6	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_6	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_6	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_6	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_6	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_6	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_6	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_6	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_7	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_7
TMDR_7	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_7	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_7	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_7	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_7	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_7	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_7	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_8
TMDR_8	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_8	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIER_8	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	TPU_8
TSR_8	TCFD	—	TCFU	TCFV	—	—	TGFEB	TGFA	
TCNT_8	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_8	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_8	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_9	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_9
TMDR_9	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_9	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_9	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_9	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_9	—	—	—	TCFV	TGFD	TGFC	TGFEB	TGFA	
TCNT_9	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_9	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_9	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_9	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_9	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_10	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_10
TMDR_10	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_10	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_10	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_10	TCFD	—	TCFU	TCFV	—	—	TGFEB	TGFA	
TCNT_10	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_10	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_10	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_11	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_11
TMDR_11	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_11	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TIER_11	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	TPU_11	
TSR_11	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNT_11	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRA_11	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRB_11	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
P1ODR	P17ODR	P16ODR	P15ODR	P14ODR	P13ODR	P12ODR	P11ODR	P10ODR	PORT	
P2ODR	P27ODR	P26ODR	P25ODR	P24ODR	P23ODR	P22ODR	P21ODR	P20ODR		
P5ODR	—	—	—	—	P53ODR	P52ODR	P51ODR	P50ODR		
P6ODR	—	—	P65ODR	P64ODR	P63ODR	P62ODR	P61ODR	P60ODR		
P8ODR	—	—	P85ODR	P84ODR	P83ODR	P82ODR	P81ODR	P80ODR		
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR		
PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR		
PDODR	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	PD0ODR		
PEODR	PE7ODR	PE6ODR	PE5ODR	PE4ODR	PE3ODR	PE2ODR	PE1ODR	PE0ODR		
PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR		
PGODR	—	PG6ODR	PG5ODR	PG4ODR	PG3ODR	PG2ODR	PG1ODR	PG0ODR		
PHODR	—	—	—	—	PH3ODR	PH2ODR	PH1ODR	PH0ODR		
PJODR	—	—	—	—	—	—	PJ1ODR	PJ0ODR		
ICCRA_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0		IIC2_0
ICCRB_0	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—		
ICMR_0	—	WAIT	—	—	BCWP	BC2	BC1	BC0		
ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT		
ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ		
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—		
ICDRT_0	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0		
ICDRR_0	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0		
ICCRA_1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_1	
ICCRB_1	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—		
ICMR_1	—	WAIT	—	—	BCWP	BC2	BC1	BC0		
ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT		
ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ		
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—		
ICDRT_1	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0		
ICDRR_1	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0		

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICCRA_2	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_2
ICCRB_2	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_2	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_2	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_2	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_2	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_2	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR_2	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
ICCRA_3	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	
ICCRB_3	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_3	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_3	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_3	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_3	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_3	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR_3	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
SEMR_2	—	—	—	—	ABCS	ACS2	ACS1	ACS0	SCI_2
SSCRH	MSS	BIDE	—	SOL	SOLP	SCKS	CSS1	CSS0	SSU
SSCRL	—	SSUMS	SRES	—	—	—	DATS1	DATS0	
SSMR	MLS	CPOS	CPHS	—	—	CKS2	CKS1	CKS0	
SSER	TE	RE	—	—	TEIE	TIE	RIE	CEIE	
SSSR	—	ORER	—	—	TEND	TDRE	RDRF	CE	
SSCR2	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	—	—	
SSTDR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSTDR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSTDR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSTDR3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSRDR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSRDR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSRDR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSRDR3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
EDSAR_2	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	EXDMAC_2*7
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
EDDAR_2	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	EXDMAC_2*7
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
EDTCR_2	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
EDMDR_2	EDA	BEF	EDRAKE	ETENDE	EDREQS	AMS	MDS1	MDS0	
	EDIE	IRF	TCEIE	SDIR	DTSIZE	BGUP	—	—	
EDACR_2	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_3	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	EXDMAC_3*7
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
EDDAR_3	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	
EDTCR_3	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	
	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
EDMDR_3	EDA	BEF	EDRAKE	ETENDE	EDREQS	AMS	MDS1	MDS0	
	EDIE	IRF	TCEIE	SDIR	DTSIZE	BGUP	—	—	
EDACR_3	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
IPRA	—	IPRA14	IPRA13	IPRA12	—	IPRA10	IPRA9	IPRA8	INT
	—	IPRA6	IPRA5	IPRA4	—	IPRA2	IPRA1	IPRA0	
IPRB	—	IPRB14	IPRB13	IPRB12	—	IPRB10	IPRB9	IPRB8	
	—	IPRB6	IPRB5	IPRB4	—	IPRB2	IPRB1	IPRB0	
IPRC	—	IPRC14	IPRC13	IPRC12	—	IPRC10	IPRC9	IPRC8	
	—	IPRC6	IPRC5	IPRC4	—	IPRC2	IPRC1	IPRC0	
IPRD	—	IPRD14	IPRD13	IPRD12	—	IPRD10	IPRD9	IPRD8	
	—	IPRD6	IPRD5	IPRD4	—	IPRD2	IPRD1	IPRD0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IPRE	—	IPRE14	IPRE13	IPRE12	—	IPRE10	IPRE9	IPRE8	INT
	—	IPRE6	IPRE5	IPRE4	—	IPRE2	IPRE1	IPRE0	
IPRF	—	IPRF14	IPRF13	IPRF12	—	IPRF10	IPRF9	IPRF8	
	—	IPRF6	IPRF5	IPRF4	—	IPRF2	IPRF1	IPRF0	
IPRG	—	IPRG14	IPRG13	IPRG12	—	IPRG10	IPRG9	IPRG8	
	—	IPRG6	IPRG5	IPRG4	—	IPRG2	IPRG1	IPRG0	
IPRH	—	IPRH14	IPRH13	IPRH12	—	IPRH10	IPRH9	IPRH8	
	—	IPRH6	IPRH5	IPRH4	—	IPRH2	IPRH1	IPRH0	
IPRI	—	IPRI14	IPRI13	IPRI12	—	IPRI10	IPRI9	IPRI8	
	—	IPRI6	IPRI5	IPRI4	—	IPRI2	IPRI1	IPRI0	
IPRJ	—	IPRJ14	IPRJ13	IPRJ12	—	IPRJ10	IPRJ9	IPRJ8	
	—	IPRJ6	IPRJ5	IPRJ4	—	IPRJ2	IPRJ1	IPRJ0	
IPRK	—	IPRK14	IPRK13	IPRK12	—	IPRK10	IPRK9	IPRK8	
	—	IPRK6	IPRK5	IPRK4	—	IPRK2	IPRK1	IPRK0	
ITSR	ITS15	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8	
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0	
SSIER	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8	
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
ISCRH	IRQ15SCB	IRQ15SCA	IRQ14SCB	IRQ14SCA	IRQ13SCB	IRQ13SCA	IRQ12SCB	IRQ12SCA	
	IRQ11SCB	IRQ11SCA	IRQ10SCB	IRQ10SCA	IRQ9SCB	IRQ9SCA	IRQ8SCB	IRQ8SCA	
ISCR_L	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IrCR_0	IrE	IrCKS2	IrCKS1	IrCKS0	IrTxINV	IrRxINV	—	—	IrDA
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	—	—	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P5DDR	—	—	—	—	P53DDR	P52DDR	P51DDR	P50DDR	
P6DDR	—	—	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P8DDR	—	—	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
PGDDR	—	PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	
PFCR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E	
PFCR1	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PFCR2	—	—	—	—	ASOE	LWROE	OES	—	PORT
PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR	
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
P3ODR	—	—	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	
SMR_3* ⁴	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_3
SMR_3* ⁵	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0	スマートカ ードインタ フェース_3
BRR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_3* ⁴	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_3* ⁵	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_3	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SMR_4* ⁴	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_4
SMR_4* ⁵	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0	スマートカ ードインタ フェース_4
BRR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_4* ⁴	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_4* ⁵	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_4	BCP2	—	—	—	SDIR	SINV	—	SMIF	
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3
TMDR_3	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRC_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	TPU_3
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_4	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_4	TCFD	—	TCFU	TCFV	—	—	TGFEB	TGFBA	
TCNT_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_5	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_5	TCFD	—	TCFU	TCFV	—	—	TGFEB	TGFBA	
TCNT_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
FLMCR1	—	CBIDB	—	—	—	—	—	FMCMEN	FLASH
FLMDBPR	—	—	—	—	—	—	—	FMDBPT0	
FLMSTR	—	—	FMERSF	—	FMRSF	—	—	FMRDY	
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	BSC
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WTCRAH	—	W72	W71	W70	—	W62	W61	W60	
WTCRAL	—	W52	W51	W50	—	W42	W41	W40	
WTCRBH	—	W32	W31	W30	—	W22	W21	W20	
WTCRBL	—	W12	W11	W10	—	W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
CSACRH	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0	
CSACRL	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BROMCRH	BSRM0	BSTS02	BSTS01	BSTS00	—	—	BSWD01	BSWD00	BSC
BROMCRL	BSRM1	BSTS12	BSTS11	BSTS10	—	—	BSWD11	BSWD10	
BCR	BRLE	BREQOE	—	IDLC	ICIS1	ICIS0	WDBE	WAITE	
	—	—	—	—	—	ICIS2	—	—	
MPXCR	MPXE	—	—	—	—	—	—	ADDEX	
DRAMCR	OEE	RAST	—	CAST	—	RMTS2	RMTS1	RMTS0	
	BE	RCDM	DDS	EDDS	—	MXC2	MXC1	MXC0	
DRACCR	DRMI	—	TPC1	TPC0	SDWCD	—	RCD1	RCD0	
	—	—	—	—	CKSPE	—	RDXC1	RDXC0	
REFCR	CMF	CMIE	RCW1	RCW0	—	RTCK2	RTCK1	RTCK0	
	RFSHE	CBRM	RLW1	RLW0	SLFRF	TPCS2	TPCS1	TPCS0	
RTCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RTCOR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0AH	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	DMAC
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0AL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR_0A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_0A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0BH	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0BL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR_0B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_0B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1AH	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1AL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR_1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MAR_1BH	—	—	—	—	—	—	—	—	DMAC
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1BL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOARV1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMAWER	—	—	—	—	WE1B	WE1A	WE0B	WE0A	
DMATCR	—	—	TEE1	TEE0	—	—	—	—	
DMACR_0A* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0A* ³	DTSZ	SAID	SAIDE	BLKDIR	BLKE	—	—	—	
DMACR_0B* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0B* ³	—	DAID	DAIDE	—	DTF3	DTF2	DTF1	DTF0	
DMACR_1A* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1A* ³	DTSZ	SAID	SAIDE	BLKDIR	BLKE	—	—	—	
DMACR_1B* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1B* ³	—	DAID	DAIDE	—	DTF3	DTF2	DTF1	DTF0	
DMABCRH* ²	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A	
DMABCRH* ³	FAE1	FAE0	—	—	DTA1	—	DTA0	—	
DMABCRL* ²	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DMABCRL* ³	DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	
DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCERF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0	
DTCERG	DTCEG7	DTCEG6	DTCEG5	DTCEG4	DTCEG3	DTCEG2	DTCEG1	DTCEG0	
DTCERH	DTCEH7	DTCEH6	DTCEH5	DTCEH4	DTCEH3	DTCEH2	DTCEH1	DTCEH0	
DTVECR	DTVEC7	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
INTCR	—	—	INTM1	INTM0	NMIEG	—	—	—	
IER	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SBYCR	SSBY	OPE	—	—	STS3	STS2	STS1	STS0	SYSTEM
SCKCR	PSTOP	—	SDPSTP	—	STCS	—	—	—	
SYSCR	—	—	MACS	—	FLSHE	—	EXPE	RAME	
MDCR	—	—	—	—	—	MDS2	MDS1	MDS0	
MSTPCRH	ACSE	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
EXMSTPCRH	MSTP31	MSTP30	MSTP29	MSTP28	MSTP27	MSTP26	MSTP25	MSTP24	
EXMSTPCRL	MSTP23	MSTP22	MSTP21	MSTP20	MSTP19	MSTP18	MSTP17	MSTP16	
PLLCR	—	—	—	—	—	—	STC1	STC0	
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
NDRHH* ⁶	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
NDRLH* ⁶	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDRHL* ⁶	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
NDRLL* ⁶	—	—	—	—	NDR3	NDR2	NDR1	NDR1	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	—	—	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT5	—	—	—	—	P53	P52	P51	P50	
PORT6	—	—	P65	P64	P63	P62	P61	P60	
PORT8	—	—	P85	P84	P83	P82	P81	P80	
PORT9	P97	P96	P95	P94	P93	P92	P91	P90	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG	—	PG6	PG5	PG4	PG3	PG2	PG1	PG0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	—	—	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P5DR	—	—	—	—	P53DR	P52DR	P51DR	P50DR	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
P6DR	—	—	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	PORT
P8DR	—	—	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR	
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PGDR	—	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
PORTH	—	—	—	—	PH3	PH2	PH1	PH0	
PORTJ	—	—	—	—	—	PJ2	PJ1	PJ0	
PHDR	—	—	—	—	PH3DR	PH2DR	PH1DR	PH0DR	
PJDR	—	—	—	—	—	—	PJ1DR	PJ0DR	
PHDDR	—	—	—	—	PH3DDR	PH2DDR	PH1DDR	PH0DDR	
PJDDR	—	—	—	—	—	—	PJ1DDR	PJ0DDR	
SMR_0* ⁴	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	
SMR_0* ⁵	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0	スマート
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	カード
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_0
SSR_0* ⁴	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_0* ⁵	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_0	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SMR_1* ⁴	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_1、
SMR_1* ⁵	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0	スマート
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	カード
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_1
SSR_1* ⁴	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_1* ⁵	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_1	BCP2	—	—	—	SDIR	SINV	—	SMIF	
SMR_2* ⁴	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_2、
SMR_2* ⁵	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0	スマート
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	カード
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_2

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SSR_2* ⁴	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	SCI_2、
SSR_2* ⁵	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	スマート
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	カード
SCMR_2	BPC2	—	—	—	SDIR	SINV	—	SMIF	インタフ ェース_2
ADDRA_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	A/D_0
ADDRB_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRC_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRD_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRE_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRF_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRG_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRH_0	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADCSR_0	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0	
ADCR_0	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	—	
DADR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	D/A
DADR3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR23	DAOE3	DAOE2	DAE	—	—	—	—	—	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
TCORA_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORA_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORB_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORB_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCCR0	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR
TCCR1	—	—	—	—	TMRIS	—	ICKS1	ICKS0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCSR	OVF	WT/ \bar{I} T	TME	—	—	CKS2	CKS1	CKS0	WDT
TCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RSTCSR	WOVF	RSTE	—	—	—	—	—	—	
TSTR	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
PFCR3	—	PPGS	TPUS	TMRS	—	—	—	—	PORT
PFCR4	WAITS	BREQS	BACKS	BREQOS	—	TXD4S	RXD4S	SCK4S	
PFCR5	SSO0S1	SSO0S0	SSI0S1	SSI0S0	SSCK0S1	SSCK0S0	SCS0S1	SCS0S0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	TPU_2
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

- 【注】 *1 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。
- *2 ショートアドレスモードのときです。
- *3 フルアドレスモードのときです。
- *4 通常モードのときです。
- *5 スマートカードインタフェースモードのときです。
- *6 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FF4E、グループ 3 に対する NDRH のアドレスは H'FF4C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FF4F、グループ 1 に対する NDRL のアドレスは H'FF4D となります。
- *7 H8S/2424 グループではサポートしていません。

24.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
MRA	初期化	—	—	—	—	—	—	初期化	DTC
SAR	初期化	—	—	—	—	—	—	初期化	
MRB	初期化	—	—	—	—	—	—	初期化	
DAR	初期化	—	—	—	—	—	—	初期化	
CRA	初期化	—	—	—	—	—	—	初期化	
RMMSTPCRH	初期化	—	—	—	—	—	—	初期化	SYSTEM
RMMSTPCRL	初期化	—	—	—	—	—	—	初期化	
IPRL	初期化	—	—	—	—	—	—	初期化	INT
IPRM	初期化	—	—	—	—	—	—	初期化	
IPRN	初期化	—	—	—	—	—	—	初期化	
DTCERI	初期化	—	—	—	—	—	—	初期化	DTC
DTCCR	初期化	—	—	—	—	—	—	初期化	
ADDRA_1	初期化	—	—	—	—	—	—	初期化	AVD_1
ADDRB_1	初期化	—	—	—	—	—	—	初期化	
ADDRC_1	初期化	—	—	—	—	—	—	初期化	
ADDRD_1	初期化	—	—	—	—	—	—	初期化	
ADDRE_1	初期化	—	—	—	—	—	—	初期化	
ADDRF_1	初期化	—	—	—	—	—	—	初期化	
ADDRG_1	初期化	—	—	—	—	—	—	初期化	
ADDRH_1	初期化	—	—	—	—	—	—	初期化	
ADCSR_1	初期化	—	—	—	—	—	—	初期化	
ADCR_1	初期化	—	—	—	—	—	—	初期化	
TSTRB	初期化	—	—	—	—	—	—	初期化	TPU
TSYRB	初期化	—	—	—	—	—	—	初期化	
TCR_6	初期化	—	—	—	—	—	—	初期化	TPU_6
TMDR_6	初期化	—	—	—	—	—	—	初期化	
TIORH_6	初期化	—	—	—	—	—	—	初期化	
TIORL_6	初期化	—	—	—	—	—	—	初期化	
TIER_6	初期化	—	—	—	—	—	—	初期化	
TSR_6	初期化	—	—	—	—	—	—	初期化	
TCNT_6	初期化	—	—	—	—	—	—	初期化	
TGRA_6	初期化	—	—	—	—	—	—	初期化	
TGRB_6	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TGRC_6	初期化	—	—	—	—	—	—	初期化	TPU_6
TGRD_6	初期化	—	—	—	—	—	—	初期化	
TCR_7	初期化	—	—	—	—	—	—	初期化	TPU_7
TMDR_7	初期化	—	—	—	—	—	—	初期化	
TIOR_7	初期化	—	—	—	—	—	—	初期化	
TIER_7	初期化	—	—	—	—	—	—	初期化	
TSR_7	初期化	—	—	—	—	—	—	初期化	
TCNT_7	初期化	—	—	—	—	—	—	初期化	
TGRA_7	初期化	—	—	—	—	—	—	初期化	
TGRB_7	初期化	—	—	—	—	—	—	初期化	
TCR_8	初期化	—	—	—	—	—	—	初期化	TPU_8
TMDR_8	初期化	—	—	—	—	—	—	初期化	
TIOR_8	初期化	—	—	—	—	—	—	初期化	
TIER_8	初期化	—	—	—	—	—	—	初期化	
TSR_8	初期化	—	—	—	—	—	—	初期化	
TCNT_8	初期化	—	—	—	—	—	—	初期化	
TGRA_8	初期化	—	—	—	—	—	—	初期化	
TGRB_8	初期化	—	—	—	—	—	—	初期化	
TCR_9	初期化	—	—	—	—	—	—	初期化	TPU_9
TMDR_9	初期化	—	—	—	—	—	—	初期化	
TIORH_9	初期化	—	—	—	—	—	—	初期化	
TIORL_9	初期化	—	—	—	—	—	—	初期化	
TIER_9	初期化	—	—	—	—	—	—	初期化	
TSR_9	初期化	—	—	—	—	—	—	初期化	
TCNT_9	初期化	—	—	—	—	—	—	初期化	
TGRA_9	初期化	—	—	—	—	—	—	初期化	
TGRB_9	初期化	—	—	—	—	—	—	初期化	
TGRC_9	初期化	—	—	—	—	—	—	初期化	
TGRD_9	初期化	—	—	—	—	—	—	初期化	
TCR_10	初期化	—	—	—	—	—	—	初期化	TPU_10
TMDR_10	初期化	—	—	—	—	—	—	初期化	
TIOR_10	初期化	—	—	—	—	—	—	初期化	
TIER_10	初期化	—	—	—	—	—	—	初期化	
TSR_10	初期化	—	—	—	—	—	—	初期化	
TCNT_10	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TGRA_10	初期化	—	—	—	—	—	—	初期化	TPU_10
TGRB_10	初期化	—	—	—	—	—	—	初期化	
TCR_11	初期化	—	—	—	—	—	—	初期化	TPU_11
TMDR_11	初期化	—	—	—	—	—	—	初期化	
TIOR_11	初期化	—	—	—	—	—	—	初期化	
TIER_11	初期化	—	—	—	—	—	—	初期化	
TSR_11	初期化	—	—	—	—	—	—	初期化	
TCNT_11	初期化	—	—	—	—	—	—	初期化	
TGRA_11	初期化	—	—	—	—	—	—	初期化	
TGRB_11	初期化	—	—	—	—	—	—	初期化	
P1ODR	初期化	—	—	—	—	—	—	初期化	PORT
P2ODR	初期化	—	—	—	—	—	—	初期化	
P5ODR	初期化	—	—	—	—	—	—	初期化	
P6ODR	初期化	—	—	—	—	—	—	初期化	
P8ODR	初期化	—	—	—	—	—	—	初期化	
PBODR	初期化	—	—	—	—	—	—	初期化	
PCODR	初期化	—	—	—	—	—	—	初期化	
PDODR	初期化	—	—	—	—	—	—	初期化	
PEODR	初期化	—	—	—	—	—	—	初期化	
PFODR	初期化	—	—	—	—	—	—	初期化	
PGODR	初期化	—	—	—	—	—	—	初期化	
PHODR	初期化	—	—	—	—	—	—	初期化	
PJODR	初期化	—	—	—	—	—	—	初期化	
ICCRA_0	初期化	—	—	—	—	—	—	初期化	
ICCRB_0	初期化	—	—	—	—	—	—	初期化	
ICMR_0	初期化	—	—	—	—	—	—	初期化	
ICIER_0	初期化	—	—	—	—	—	—	初期化	
ICSR_0	初期化	—	—	—	—	—	—	初期化	
SAR_0	初期化	—	—	—	—	—	—	初期化	
ICDRT_0	初期化	—	—	—	—	—	—	初期化	
ICDRR_0	初期化	—	—	—	—	—	—	初期化	
ICCRA_1	初期化	—	—	—	—	—	—	初期化	IIC2_1
ICCRB_1	初期化	—	—	—	—	—	—	初期化	
ICMR_1	初期化	—	—	—	—	—	—	初期化	
ICIER_1	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
ICSR_1	初期化	—	—	—	—	—	—	初期化	IIC2_1
SAR_1	初期化	—	—	—	—	—	—	初期化	
ICDRT_1	初期化	—	—	—	—	—	—	初期化	
ICDRR_1	初期化	—	—	—	—	—	—	初期化	
ICCRA_2	初期化	—	—	—	—	—	—	初期化	IIC2_2
ICCRB_2	初期化	—	—	—	—	—	—	初期化	
ICMR_2	初期化	—	—	—	—	—	—	初期化	
ICIER_2	初期化	—	—	—	—	—	—	初期化	
ICSR_2	初期化	—	—	—	—	—	—	初期化	
SAR_2	初期化	—	—	—	—	—	—	初期化	
ICDRT_2	初期化	—	—	—	—	—	—	初期化	
ICDRR_2	初期化	—	—	—	—	—	—	初期化	
ICCRA_3	初期化	—	—	—	—	—	—	初期化	IIC2_3
ICCRB_3	初期化	—	—	—	—	—	—	初期化	
ICMR_3	初期化	—	—	—	—	—	—	初期化	
ICIER_3	初期化	—	—	—	—	—	—	初期化	
ICSR_3	初期化	—	—	—	—	—	—	初期化	
SAR_3	初期化	—	—	—	—	—	—	初期化	
ICDRT_3	初期化	—	—	—	—	—	—	初期化	
ICDRR_3	初期化	—	—	—	—	—	—	初期化	
SEMR_2	初期化	—	—	—	—	—	—	初期化	SCI_2
SSCRH	初期化	—	—	—	初期化	初期化	初期化	初期化	SSU
SSCRL	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSMR	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSER	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSSR	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSCR2	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSTDR0	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSTDR1	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSTDR2	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSTDR3	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSRDR0	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSRDR1	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSRDR2	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSRDR3	初期化	—	—	—	初期化	初期化	初期化	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
EDSAR_2	初期化	—	—	—	—	—	—	初期化	EXDMAC_2*
EDDAR_2	初期化	—	—	—	—	—	—	初期化	
EDTCR_2	初期化	—	—	—	—	—	—	初期化	
EDMDR_2	初期化	—	—	—	—	—	—	初期化	
EDACR_2	初期化	—	—	—	—	—	—	初期化	
EDSAR_3	初期化	—	—	—	—	—	—	初期化	EXDMAC_3*
EDDAR_3	初期化	—	—	—	—	—	—	初期化	
EDTCR_3	初期化	—	—	—	—	—	—	初期化	
EDMDR_3	初期化	—	—	—	—	—	—	初期化	
EDACR_3	初期化	—	—	—	—	—	—	初期化	
IPRA	初期化	—	—	—	—	—	—	初期化	INT
IPRB	初期化	—	—	—	—	—	—	初期化	
IPRC	初期化	—	—	—	—	—	—	初期化	
IPRD	初期化	—	—	—	—	—	—	初期化	
IPRE	初期化	—	—	—	—	—	—	初期化	
IPRF	初期化	—	—	—	—	—	—	初期化	
IPRG	初期化	—	—	—	—	—	—	初期化	
IPRH	初期化	—	—	—	—	—	—	初期化	
IPRI	初期化	—	—	—	—	—	—	初期化	
IPRJ	初期化	—	—	—	—	—	—	初期化	
IPRK	初期化	—	—	—	—	—	—	初期化	
ITSR	初期化	—	—	—	—	—	—	初期化	
SSIER	初期化	—	—	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	—	—	初期化	
ISCR_L	初期化	—	—	—	—	—	—	初期化	
IrCR_0	初期化	—	—	—	—	—	—	初期化	IrDA
P1DDR	初期化	—	—	—	—	—	—	初期化	PORT
P2DDR	初期化	—	—	—	—	—	—	初期化	
P3DDR	初期化	—	—	—	—	—	—	初期化	
P5DDR	初期化	—	—	—	—	—	—	初期化	
P6DDR	初期化	—	—	—	—	—	—	初期化	
P8DDR	初期化	—	—	—	—	—	—	初期化	
PADDR	初期化	—	—	—	—	—	—	初期化	
PBDDR	初期化	—	—	—	—	—	—	初期化	
PCDDR	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
PDDDR	初期化	—	—	—	—	—	—	初期化	PORT
PEDDR	初期化	—	—	—	—	—	—	初期化	
PFDDR	初期化	—	—	—	—	—	—	初期化	
PGDDR	初期化	—	—	—	—	—	—	初期化	
PFCR0	初期化	—	—	—	—	—	—	初期化	
PFCR1	初期化	—	—	—	—	—	—	初期化	
PFCR2	初期化	—	—	—	—	—	—	初期化	
PAPCR	初期化	—	—	—	—	—	—	初期化	
PBPCR	初期化	—	—	—	—	—	—	初期化	
PCPCR	初期化	—	—	—	—	—	—	初期化	
PDPCR	初期化	—	—	—	—	—	—	初期化	
PEPCR	初期化	—	—	—	—	—	—	初期化	
P3ODR	初期化	—	—	—	—	—	—	初期化	
PAODR	初期化	—	—	—	—	—	—	初期化	
SMR_3	初期化	—	—	—	—	—	—	初期化	SCI_3
BRR_3	初期化	—	—	—	—	—	—	初期化	
SCR_3	初期化	—	—	—	—	—	—	初期化	
TDR_3	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSR_3	初期化	—	—	—	初期化	初期化	初期化	初期化	
RDR_3	初期化	—	—	—	初期化	初期化	初期化	初期化	
SCMR_3	初期化	—	—	—	—	—	—	初期化	
SMR_4	初期化	—	—	—	—	—	—	初期化	SCI_4
BRR_4	初期化	—	—	—	—	—	—	初期化	
SCR_4	初期化	—	—	—	—	—	—	初期化	
TDR_4	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSR_4	初期化	—	—	—	初期化	初期化	初期化	初期化	
RDR_4	初期化	—	—	—	初期化	初期化	初期化	初期化	
SCMR_4	初期化	—	—	—	—	—	—	初期化	
TCR_3	初期化	—	—	—	—	—	—	初期化	TPU_3
TMDR_3	初期化	—	—	—	—	—	—	初期化	
TIORH_3	初期化	—	—	—	—	—	—	初期化	
TIORL_3	初期化	—	—	—	—	—	—	初期化	
TIER_3	初期化	—	—	—	—	—	—	初期化	
TSR_3	初期化	—	—	—	—	—	—	初期化	
TCNT_3	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TGRA_3	初期化	—	—	—	—	—	—	初期化	TPU_3
TGRB_3	初期化	—	—	—	—	—	—	初期化	
TGRC_3	初期化	—	—	—	—	—	—	初期化	
TGRD_3	初期化	—	—	—	—	—	—	初期化	
TCR_4	初期化	—	—	—	—	—	—	初期化	TPU_4
TMDR_4	初期化	—	—	—	—	—	—	初期化	
TIOR_4	初期化	—	—	—	—	—	—	初期化	
TIER_4	初期化	—	—	—	—	—	—	初期化	
TSR_4	初期化	—	—	—	—	—	—	初期化	
TCNT_4	初期化	—	—	—	—	—	—	初期化	
TGRA_4	初期化	—	—	—	—	—	—	初期化	
TGRB_4	初期化	—	—	—	—	—	—	初期化	
TCR_5	初期化	—	—	—	—	—	—	初期化	TPU_5
TMDR_5	初期化	—	—	—	—	—	—	初期化	
TIOR_5	初期化	—	—	—	—	—	—	初期化	
TIER_5	初期化	—	—	—	—	—	—	初期化	
TSR_5	初期化	—	—	—	—	—	—	初期化	
TCNT_5	初期化	—	—	—	—	—	—	初期化	
TGRA_5	初期化	—	—	—	—	—	—	初期化	
TGRB_5	初期化	—	—	—	—	—	—	初期化	
FLMCR1	初期化	—	—	—	—	—	—	初期化	FLASH
DFPR	初期化	—	—	—	—	—	—	初期化	
FLMSTR	初期化	—	—	—	—	—	—	初期化	
ABWCR	初期化	—	—	—	—	—	—	初期化	BSC
ASTCR	初期化	—	—	—	—	—	—	初期化	
WTCRAH	初期化	—	—	—	—	—	—	初期化	
WTCRAL	初期化	—	—	—	—	—	—	初期化	
WTCRBH	初期化	—	—	—	—	—	—	初期化	
WTCRBL	初期化	—	—	—	—	—	—	初期化	
RDNCR	初期化	—	—	—	—	—	—	初期化	
CSACRH	初期化	—	—	—	—	—	—	初期化	
CSACRL	初期化	—	—	—	—	—	—	初期化	
BROMCRH	初期化	—	—	—	—	—	—	初期化	
BROMCRL	初期化	—	—	—	—	—	—	初期化	
BCR	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
MPXCR	初期化	—	—	—	—	—	—	初期化	BSC
DRAMCR	初期化	—	—	—	—	—	—	初期化	
DRACCRH	初期化	—	—	—	—	—	—	初期化	
DRACCRL	初期化	—	—	—	—	—	—	初期化	
REFCR	初期化	—	—	—	—	—	—	初期化	
RTCNT	初期化	—	—	—	—	—	—	初期化	
RTCOR	初期化	—	—	—	—	—	—	初期化	
MAR_0AH	初期化	—	—	—	—	—	—	初期化	DMAC
MAR_0AL	初期化	—	—	—	—	—	—	初期化	
IOAR_0A	初期化	—	—	—	—	—	—	初期化	
ETCR_0A	初期化	—	—	—	—	—	—	初期化	
MAR_0BH	初期化	—	—	—	—	—	—	初期化	
MAR_0BL	初期化	—	—	—	—	—	—	初期化	
IOAR_0B	初期化	—	—	—	—	—	—	初期化	
ETCR_0B	初期化	—	—	—	—	—	—	初期化	
MAR_1AH	初期化	—	—	—	—	—	—	初期化	
MAR_1AL	初期化	—	—	—	—	—	—	初期化	
IOAR_1A	初期化	—	—	—	—	—	—	初期化	
ETCR_1A	初期化	—	—	—	—	—	—	初期化	
MAR_1BH	初期化	—	—	—	—	—	—	初期化	
MAR_1BL	初期化	—	—	—	—	—	—	初期化	
IOAR_1B	初期化	—	—	—	—	—	—	初期化	
ETCR_1B	初期化	—	—	—	—	—	—	初期化	
DMAWER	初期化	—	—	—	—	—	—	初期化	
DMATCR	初期化	—	—	—	—	—	—	初期化	
DMACR_0A	初期化	—	—	—	—	—	—	初期化	
DMACR_0B	初期化	—	—	—	—	—	—	初期化	
DMACR_1A	初期化	—	—	—	—	—	—	初期化	
DMACR_1B	初期化	—	—	—	—	—	—	初期化	
DMABCRH	初期化	—	—	—	—	—	—	初期化	
DMABCRL	初期化	—	—	—	—	—	—	初期化	
DTCERA	初期化	—	—	—	—	—	—	初期化	DTC
DTCERB	初期化	—	—	—	—	—	—	初期化	
DTCERC	初期化	—	—	—	—	—	—	初期化	
DTCERD	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
DTCERE	初期化	—	—	—	—	—	—	初期化	DTC
DTCERF	初期化	—	—	—	—	—	—	初期化	
DTCERG	初期化	—	—	—	—	—	—	初期化	
DTCERH	初期化	—	—	—	—	—	—	初期化	
DTVECR	初期化	—	—	—	—	—	—	初期化	
INTCR	初期化	—	—	—	—	—	—	初期化	INT
IER	初期化	—	—	—	—	—	—	初期化	
ISR	初期化	—	—	—	—	—	—	初期化	
SBYCR	初期化	—	—	—	—	—	—	初期化	SYSTEM
SCKCR	初期化	—	—	—	—	—	—	初期化	
SYSCR	初期化	—	—	—	—	—	—	初期化	
MDCR	初期化	—	—	—	—	—	—	初期化	
MSTPCRH	初期化	—	—	—	—	—	—	初期化	
MSTPCRL	初期化	—	—	—	—	—	—	初期化	
EXMSTPCRH	初期化	—	—	—	—	—	—	初期化	
EXMSTPCRL	初期化	—	—	—	—	—	—	初期化	
PLLCR	初期化	—	—	—	—	—	—	初期化	
PCR	初期化	—	—	—	—	—	—	初期化	PPG
PMR	初期化	—	—	—	—	—	—	初期化	
NDERH	初期化	—	—	—	—	—	—	初期化	
NDERL	初期化	—	—	—	—	—	—	初期化	
PODRH	初期化	—	—	—	—	—	—	初期化	
PODRL	初期化	—	—	—	—	—	—	初期化	
NDRHH	初期化	—	—	—	—	—	—	初期化	
NDRLH	初期化	—	—	—	—	—	—	初期化	
NDRHL	初期化	—	—	—	—	—	—	初期化	
NDRLL	初期化	—	—	—	—	—	—	初期化	
PORT1	—	—	—	—	—	—	—	—	PORT
PORT2	—	—	—	—	—	—	—	—	
PORT3	—	—	—	—	—	—	—	—	
PORT4	—	—	—	—	—	—	—	—	
PORT5	—	—	—	—	—	—	—	—	
PORT6	—	—	—	—	—	—	—	—	
PORT8	—	—	—	—	—	—	—	—	
PORT9	—	—	—	—	—	—	—	—	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール	
PORTA	—	—	—	—	—	—	—	—	PORT	
PORTB	—	—	—	—	—	—	—	—		
PORTC	—	—	—	—	—	—	—	—		
PORTD	—	—	—	—	—	—	—	—		
PORTE	—	—	—	—	—	—	—	—		
PORTF	—	—	—	—	—	—	—	—		
PORTG	—	—	—	—	—	—	—	—		
P1DR	初期化	—	—	—	—	—	—	初期化		
P2DR	初期化	—	—	—	—	—	—	初期化		
P3DR	初期化	—	—	—	—	—	—	初期化		
P5DR	初期化	—	—	—	—	—	—	初期化		
P6DR	初期化	—	—	—	—	—	—	初期化		
P8DR	初期化	—	—	—	—	—	—	初期化		
PADR	初期化	—	—	—	—	—	—	初期化		
PBDR	初期化	—	—	—	—	—	—	初期化		
PCDR	初期化	—	—	—	—	—	—	初期化		
PDDR	初期化	—	—	—	—	—	—	初期化		
PEDR	初期化	—	—	—	—	—	—	初期化		
PFDR	初期化	—	—	—	—	—	—	初期化		
PGDR	初期化	—	—	—	—	—	—	初期化		
PORTH	初期化	—	—	—	—	—	—	初期化		
PHDR	初期化	—	—	—	—	—	—	初期化		
PJDR	初期化	—	—	—	—	—	—	初期化		
PHDDR	初期化	—	—	—	—	—	—	初期化		
PJDDR	初期化	—	—	—	—	—	—	初期化		
SMR_0	初期化	—	—	—	—	—	—	初期化		SCI_0
BRR_0	初期化	—	—	—	—	—	—	初期化		
SCR_0	初期化	—	—	—	—	—	—	初期化		
TDR_0	初期化	—	—	—	初期化	初期化	初期化	初期化		
SSR_0	初期化	—	—	—	初期化	初期化	初期化	初期化		
RDR_0	初期化	—	—	—	初期化	初期化	初期化	初期化		
SCMR_0	初期化	—	—	—	—	—	—	初期化		
SMR_1	初期化	—	—	—	—	—	—	初期化	SCI_1	
BRR_1	初期化	—	—	—	—	—	—	初期化		
SCR_1	初期化	—	—	—	—	—	—	初期化		

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TDR_1	初期化	—	—	—	初期化	初期化	初期化	初期化	SCI_1
SSR_1	初期化	—	—	—	初期化	初期化	初期化	初期化	
RDR_1	初期化	—	—	—	初期化	初期化	初期化	初期化	
SCMR_1	初期化	—	—	—	—	—	—	初期化	
SMR_2	初期化	—	—	—	—	—	—	初期化	SCI_2
BRR_2	初期化	—	—	—	—	—	—	初期化	
SCR_2	初期化	—	—	—	—	—	—	初期化	
TDR_2	初期化	—	—	—	初期化	初期化	初期化	初期化	
SSR_2	初期化	—	—	—	初期化	初期化	初期化	初期化	
RDR_2	初期化	—	—	—	初期化	初期化	初期化	初期化	
SCMR_2	初期化	—	—	—	—	—	—	初期化	
ADDRA_0	初期化	—	—	—	—	—	—	初期化	AVD_0
ADDRB_0	初期化	—	—	—	—	—	—	初期化	
ADDRC_0	初期化	—	—	—	—	—	—	初期化	
ADDRD_0	初期化	—	—	—	—	—	—	初期化	
ADDRE_0	初期化	—	—	—	—	—	—	初期化	
ADDRF_0	初期化	—	—	—	—	—	—	初期化	
ADDRG_0	初期化	—	—	—	—	—	—	初期化	
ADDRH_0	初期化	—	—	—	—	—	—	初期化	
ADCSR_0	初期化	—	—	—	—	—	—	初期化	
ADCR_0	初期化	—	—	—	—	—	—	初期化	
DADR2	初期化	—	—	—	—	—	—	初期化	D/A
DADR3	初期化	—	—	—	—	—	—	初期化	
DACR23	初期化	—	—	—	—	—	—	初期化	
TCR_0	初期化	—	—	—	—	—	—	初期化	TMR_0
TCR_1	初期化	—	—	—	—	—	—	初期化	TMR_1
TCSR_0	初期化	—	—	—	—	—	—	初期化	
TCSR_1	初期化	—	—	—	—	—	—	初期化	
TCORA_0	初期化	—	—	—	—	—	—	初期化	
TCORA_1	初期化	—	—	—	—	—	—	初期化	
TCORB_0	初期化	—	—	—	—	—	—	初期化	
TCORB_1	初期化	—	—	—	—	—	—	初期化	
TCNT_0	初期化	—	—	—	—	—	—	初期化	
TCNT_1	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCCR_0	初期化	—	—	—	—	—	—	初期化	TMR
TCCR_1	初期化	—	—	—	—	—	—	初期化	
TCSR	初期化	—	—	—	—	—	—	初期化	WDT
TCNT	初期化	—	—	—	—	—	—	初期化	
RSTCSR	初期化	—	—	—	—	—	—	—	
TSTR	初期化	—	—	—	—	—	—	初期化	TPU
TSYR	初期化	—	—	—	—	—	—	初期化	
PFCR3	初期化	—	—	—	—	—	—	初期化	PORT
PFCR4	初期化	—	—	—	—	—	—	初期化	
PFCR5	初期化	—	—	—	—	—	—	初期化	
TCR_0	初期化	—	—	—	—	—	—	初期化	TPU_0
TMDR_0	初期化	—	—	—	—	—	—	初期化	
TIORH_0	初期化	—	—	—	—	—	—	初期化	
TIORL_0	初期化	—	—	—	—	—	—	初期化	
TIER_0	初期化	—	—	—	—	—	—	初期化	
TSR_0	初期化	—	—	—	—	—	—	初期化	
TCNT_0	初期化	—	—	—	—	—	—	初期化	
TGRA_0	初期化	—	—	—	—	—	—	初期化	
TGRB_0	初期化	—	—	—	—	—	—	初期化	
TGRC_0	初期化	—	—	—	—	—	—	初期化	
TGRD_0	初期化	—	—	—	—	—	—	初期化	
TCR_1	初期化	—	—	—	—	—	—	初期化	
TMDR_1	初期化	—	—	—	—	—	—	初期化	
TIOR_1	初期化	—	—	—	—	—	—	初期化	
TIER_1	初期化	—	—	—	—	—	—	初期化	
TSR_1	初期化	—	—	—	—	—	—	初期化	
TCNT_1	初期化	—	—	—	—	—	—	初期化	
TGRA_1	初期化	—	—	—	—	—	—	初期化	TPU_1
TGRB_1	初期化	—	—	—	—	—	—	初期化	
TCR_2	初期化	—	—	—	—	—	—	初期化	TPU_2
TMDR_2	初期化	—	—	—	—	—	—	初期化	
TIOR_2	初期化	—	—	—	—	—	—	初期化	
TIER_2	初期化	—	—	—	—	—	—	初期化	
TSR_2	初期化	—	—	—	—	—	—	初期化	
TCNT_2	初期化	—	—	—	—	—	—	初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TGRA_2	初期化	—	—	—	—	—	—	初期化	TPU_2
TGRB_2	初期化	—	—	—	—	—	—	初期化	

【注】 * H8S/2424 グループではサポートしていません。

25. 電気的特性

25.1 H8S/2426 グループ、H8S/2426R グループの電気的特性（3V 版）

25.1.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	-0.3~+4.3	V
入力電圧（ポート 4、9、ポート 2、P32~P35、P50~P51、PJ0~PJ2 以外）	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧（ポート 2、P50~P51、P32~P35、PJ0~PJ2）	V _{in}	-0.3~+6.5	V
入力電圧（ポート 4、9）	V _{in}	-0.3~AV _{cc} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+4.3	V
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V
動作温度	T _{opr}	通常仕様品：-20~+75*	°C
		広温度範囲仕様品：-40~+85*	°C
保存温度	T _{stg}	-55~+125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み/消去時の動作温度範囲は、

T_a=0~+75°C（一般仕様）

T_a=0~+85°C（広温度範囲仕様）

です。

25.1.2 DC 特性

表 25.2 DC 特性 (1)

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1* ⁶ 、ポート 2* ⁶ 、 P32~P35* ² 、 P50~P53* ² 、 ポート 6* ² 、ポート 8* ² 、 PA4~PA7* ² 、ポート B* ² 、 ポート C* ² 、PF1* ² 、PF2* ² 、 PH2* ² 、PH3* ²	VT ⁻	$V_{CC} \times 0.2$	—	—	V	
		VT ⁺	—	—	$V_{CC} \times 0.7$	V	
		VT ⁺ -VT ⁻	$V_{CC} \times 0.07$	—	—	V	
入力 High レベル電圧	STBY、MD2~MD0	V _{IH}	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V	
	RES、NMI、EMLE						
	EXTAL						
	P14~P17* ⁵ P24~P26* ⁵ ポート 3* ³ 、P50~P53* ³ ポート 6* ³ 、ポート 8* ³ 、 ポート A~J* ³						
	ポート 4、ポート 9						
入力 Low レベル電圧	RES、STBY MD2~MD0、EMLE	V _{IL}	-0.3	—	$V_{CC} \times 0.1$	V	
	NMI、EXTAL						
	P14~P17* ⁵ 、P24~P26* ⁵ 、 ポート 3* ³ 、5* ³ 、6* ³ 、ポート 8* ³ 、 ポート A~J* ³						
	ポート 4、ポート 9						
出力 High レベル電圧	全出力端子	V _{OH}	$V_{CC} - 0.3$	—	—	V	I _{OH} = -200 μA
			$V_{CC} - 0.5$	—	—	V	I _{OH} = -1mA
			$V_{CC} - 0.8$	—	—	V	I _{OH} = -2mA
出力 Low レベル電圧	全出力端子	V _{OL}	—	—	0.4	V	I _{OL} = 4.0mA
	P26、P27* ⁴ 、P32~P35* ⁴ P50~P51* ⁴		—	—	0.4	V	I _{OL} = 8.0mA
入力リーク 電流	RES	I _{in}	—	—	10.0	μA	V _{in} = 0.5~V _{CC} - 0.5 V
	STBY、NMI、MD2~MD0		—	—	1.0	μA	
	ポート 4、ポート 9		—	—	1.0	μA	V _{in} = 0.5~AV _{CC} - 0.5 V

【注】 ポート 2、P32~P35、P50、P51、PJ0~PJ2 は 5V トレラント対応です。

- *1 A/D および D/A 変換器未使用時に AVcc、Vref、AVss 端子を開放しないでください。
AVcc、Vref 端子は Vcc に、AVss 端子は Vss にそれぞれ接続してください。
- *2 $\overline{\text{IRQ}}$ 、TIOC、TCLK、TMRI、SCL、SDA として使用した場合です。
- *3 $\overline{\text{IRQ}}$ 、TIOC、TCLK、TMRI、SCL、SDA 以外として使用した場合です。
- *4 SCL、SDA として使用した場合です。
- *5 SSO、SSI、SSCK、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ として使用した場合です。
- *6 SSO、SSI、SSCK、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ 以外として使用した場合です。

表 25.3 DC 特性 (2)

条件 : Vcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=AVss=0V*1

項目		記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (オフ状態)	ポート 1~3、P50~P53	$ I_{TSL} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{cc}$ -0.5V
	ポート 6、ポート 8、 ポート A~J						
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	—	300	μA	$V_{cc}=3.0\sim 3.6V$ $V_{in}=0V$
入力容量	RES	C_{in}	—	—	30	pF	$V_{in}=0V$ $f=1\text{MHz}$ $T_a=25^\circ\text{C}$
	NMI		—	—	30	pF	
	RES、NMI 以外の全入力端子		—	—	18	pF	
消費電流*2	通常動作時	I_{cc}^{*4}	—	45 (3.3V)	60	mA	$f=33\text{MHz}$
	スリープ時		—	35 (3.3V)	45	mA	$f=33\text{MHz}$
	スタンバイ時*3		—	20	80	μA	$T_a\leq 50^\circ\text{C}$
			—	80	500	μA	$50^\circ\text{C}<T_a$
アナログ 電源電流	A/D、D/A 変換中	I_{CC}	—	0.5 (3.3V)	2.0	mA	1ch 使用時
	A/D、D/A 変換待機時		—	0.01	5.0	μA	1ch 使用時
リファレンス 電源電流	A/D、D/A 変換中	I_{CC}	—	0.5 (3.3V)	1.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.5	—	—	V	
V_{CC} 開始電圧*5		$V_{CC\ start}$	—	—	0.3	V	
V_{CC} 立ち上がり勾配*5		SV_{CC}	—	—	20	ms/V	

- 【注】 *1 A/D および D/A 変換器未使用時に AVcc、Vref、AVss 端子を開放しないでください。
AVcc、Vref 端子は Vcc に、AVss 端子は Vss にそれぞれ接続してください。
- *2 消費電流値は、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- *3 $V_{RAM}\leq V_{CC}<3.0V$ のとき、 $V_{IH\ min}=V_{CC}\times 0.9$ 、 $V_{IL\ max}=0.3V$ とした場合の値です。
- *4 I_{CC} は下記の式に従って Vcc と f に依存します。
 $I_{CC\ max}=5.2\ (\text{mA}) + 1.66\ (\text{mA}/\text{MHz}) \times f$ (通常動作時)
 $I_{CC\ max}=2.6\ (\text{mA}) + 1.28\ (\text{mA}/\text{MHz}) \times f$ (スリープ時)
- *5 電源投入時、 $\overline{\text{RES}}$ 端子が Low レベルになっている条件で適用します。

表 25.4 出力許容電流値

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ *

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	I ² C 端子以外の全出力端子	I_{OL}	—	—	4.0	mA
	I ² C 出力端子	I_{OL}	—	—	8.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.4 の値を超えないようにしてください。

- * A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。
 AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

25.1.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、DMAC、EXDMAC タイミングおよび内蔵周辺機能タイミングを以下に示します。

(1) クロックタイミング

表 25.5 クロックタイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	30.3	125	ns	図 25.3
クロックハイレベルパルス幅	t_{CH}	10	—	ns	図 25.3
クロックローレベルパルス幅	t_{CL}	10	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	15	—	ms	図 25.5(1)
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	5	—	ms	図 25.5(2)
外部クロック出力遅延安定時間	t_{DEXT}	15	—	ms	図 25.5(1)
クロック位相差*	t_{dif}	$1/4 \times t_{cyc} - 3$	$1/4 \times t_{cyc} + 3$	ns	図 25.4
クロックハイレベルパルス幅 (SDRAM ϕ) *	t_{SDCH}	10	—	ns	図 25.4
クロックローレベルパルス幅 (SDRAM ϕ) *	t_{SDCL}	10	—	ns	図 25.4
クロック立ち上がり時間 (SDRAM ϕ) *	t_{sdcr}	—	5	ns	図 25.4
クロック立ち下がり時間 (SDRAM ϕ) *	t_{sdcf}	—	5	ns	図 25.4

【注】 * H8S/2426R グループのみ対応しています。

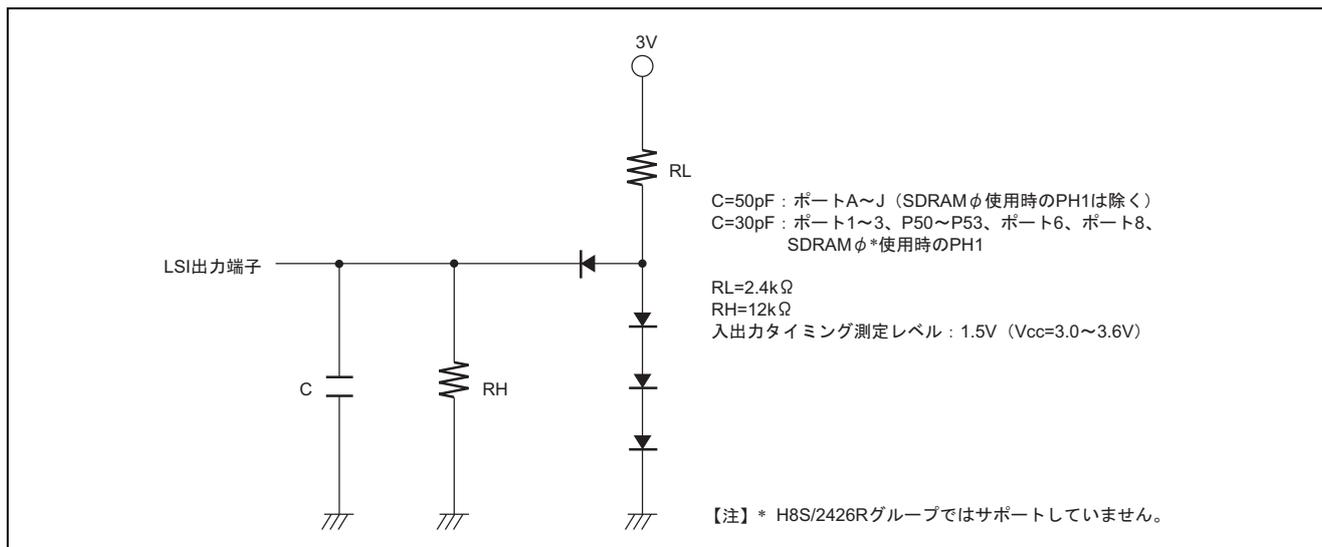


図 25.1 出力負荷回路

(2) 制御信号タイミング

表 25.6 制御信号タイミング

条件 : Vcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=AVss=0V
 φ=8~33MHz

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t _{RESS}	200	—	ns	図 25.6
RES パルス幅	t _{RESW}	2	—	ms	
NMI セットアップ時間	t _{NMIS}	150	—	ns	図 25.7
NMI ホールド時間	t _{NMIH}	10	—		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t _{NMIW}	200	—		
IRQ セットアップ時間	t _{IRQS}	150	—	ns	
IRQ ホールド時間	t _{IRQH}	10	—		
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t _{IRQW}	200	—		

(3) バスタイミング

表 25.7 バスタイミング (1)

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	20	ns	図 25.8
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 13$	—	ns	~
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 13$	—	ns	図 25.23、
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 13$	—	ns	図 25.29、
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 13$	—	ns	図 25.30
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 8$	—	ns	
\overline{CS} 遅延時間 1	t_{CSD1}	—	15	ns	
\overline{CS} 遅延時間 2	t_{CSD2}	—	15	ns	
\overline{CS} 遅延時間 3	t_{CSD3}	—	20	ns	
\overline{AS} 遅延時間	t_{ASD}	—	15	ns	
\overline{RD} 遅延時間 1	t_{RSD1}	—	15	ns	
\overline{RD} 遅延時間 2	t_{RSD2}	—	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	—	ns	
リードデータホールド時間 1	t_{RDH1}	0	—	ns	
リードデータホールド時間 2	t_{RDH2}	0	—	ns	
リードデータアクセス時間 1	t_{AC1}	—	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 2	t_{AC2}	—	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{AC3}	—	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	t_{AC4}	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{AC5}	—	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 6	t_{AC6}	—	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 7	t_{AC7}	—	$4.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 8	t_{AC8}	—	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 1	t_{AA1}	—	$1.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	—	$1.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	—	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	—	$2.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	—	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 6	t_{AA6}	—	$4.0 \times t_{cyc} - 25$	ns	

項目	記号	min	max	単位	測定条件
マルチプレクスアドレス遅延時間	t_{MAD}	—	20	ns	図 25.8
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5 \times t_{cyc} - 15$	—	ns	~
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5 \times t_{cyc} - 15$	—	ns	図 25.23、
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0 \times t_{cyc} - 15$	—	ns	図 25.29、
AH 遅延時間	t_{AHD}	—	15	ns	図 25.30

表 25.8 バスタイミング (2)

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	t_{WRD1}	—	15	ns	図 25.8
WR 遅延時間 2	t_{WRD2}	—	15	ns	~
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	—	ns	図 25.23、
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	—	ns	図 25.29、
ライトデータ遅延時間	t_{WDD}	—	23	ns	図 25.30
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 15$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 2	t_{WDH2}	$1.0 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトコマンドセットアップ時間 1	t_{WCS1}	$0.5 \times t_{cyc} - 10$	—	ns	
ライトコマンドセットアップ時間 2	t_{WCS2}	$1.0 \times t_{cyc} - 10$	—	ns	
ライトコマンドホールド時間 1	t_{WCH1}	$0.5 \times t_{cyc} - 10$	—	ns	
ライトコマンドホールド時間 2	t_{WCH2}	$1.0 \times t_{cyc} - 10$	—	ns	
リードコマンドセットアップ時間 1	t_{RCS1}	$1.5 \times t_{cyc} - 10$	—	ns	
リードコマンドセットアップ時間 2	t_{RCS2}	$2.0 \times t_{cyc} - 10$	—	ns	
リードコマンドホールド時間	t_{RCH}	$0.5 \times t_{cyc} - 10$	—	ns	
CAS 遅延時間 1	t_{CASD1}	—	15	ns	
CAS 遅延時間 2	t_{CASD2}	—	15	ns	
CAS セットアップ時間 1	t_{CSR1}	$0.5 \times t_{cyc} - 10$	—	ns	
CAS セットアップ時間 2	t_{CSR2}	$1.5 \times t_{cyc} - 10$	—	ns	
CAS パルス幅 1	t_{CASW1}	$1.0 \times t_{cyc} - 20$	—	ns	
CAS パルス幅 2	t_{CASW2}	$1.5 \times t_{cyc} - 20$	—	ns	
CAS プリチャージ時間 1	t_{CPW1}	$1.0 \times t_{cyc} - 20$	—	ns	
CAS プリチャージ時間 2	t_{CPW2}	$1.5 \times t_{cyc} - 20$	—	ns	

項目	記号	min	max	単位	測定条件
OE 遅延時間 1* ¹	t _{OED1}	—	15	ns	図 25.8
	t _{OED1B}	—	19	ns	~
OE 遅延時間 2* ¹	t _{OED2}	—	15	ns	図 25.23、
	t _{OED2B}	—	19	ns	図 25.29、 図 25.30
プリチャージ時間 1	t _{PCH1}	1.0 × t _{cyc} - 20	—	ns	
プリチャージ時間 2	t _{PCH2}	1.5 × t _{cyc} - 20	—	ns	
セルフリフレッシュ時プリチャージ時間 1	t _{RPS1}	2.5 × t _{cyc} - 20	—	ns	図 25.22
セルフリフレッシュ時プリチャージ時間 2	t _{RPS2}	3.0 × t _{cyc} - 20	—	ns	図 25.23
WAIT セットアップ時間	t _{WTS}	25	—	ns	図 25.10、
WAIT ホールド時間	t _{WTH}	1	—	ns	図 25.16、 図 25.35
BREQ セットアップ時間	t _{BREQS}	30	—	ns	図 25.24
BACK 遅延時間	t _{BACD}	—	15	ns	
バスフローティング時間	t _{BZD}	—	40	ns	
BREQO 遅延時間	t _{BRQOD}	—	25	ns	図 25.25
アドレス遅延時間 2* ²	t _{AD2}	—	16.5	ns	図 25.26
CS 遅延時間 4* ²	t _{CSD4}	—	16.5	ns	図 25.26
DQM 遅延時間* ²	t _{DQMD}	—	16.5	ns	図 25.26
CKE 遅延時間* ² * ³	t _{CKED}	—	16.5	ns	図 25.27、
	t _{CKEDB}	—	19	ns	図 25.28
リードデータセットアップ時間 3* ²	t _{RDS3}	15	—	ns	図 25.26
リードデータホールド時間 3* ²	t _{RDH3}	0	—	ns	図 25.26
ライトデータ遅延時間 2* ²	t _{WDD2}	—	31.5	ns	図 25.26
ライトデータホールド時間 4* ²	t _{WDH4}	2	—	ns	図 25.26

【注】 *1 t_{OED1}、t_{OED2} は OE-A、RD に対応しています。t_{OED1B}、t_{OED2B} は OE-B に対応しています。

*2 H8S/2426R グループのみ対応しています。

*3 t_{CKED} は CKE-A に対応しています。t_{CKEDB} は CKE-B に対応しています。

(4) DMAC、EXDMAC タイミング

表 25.9 DMAC、EXDMAC タイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
\overline{DREQ} セットアップ時間	t_{DRQS}	25	—	ns	図 25.34
\overline{DREQ} ホールド時間	t_{DRQH}	10	—		
\overline{TEND} 遅延時間	t_{TED}	—	18	ns	図 25.33
\overline{DACK} 遅延時間 1	t_{DACD1}	—	18		
\overline{DACK} 遅延時間 2	t_{DACD2}	—	18		
\overline{EDREQ} セットアップ時間	t_{EDRQS}	25	—	ns	図 25.34
\overline{EDREQ} ホールド時間	t_{EDRQH}	10	—		
\overline{ETEND} 遅延時間	t_{ETED}	—	18	ns	図 25.33
\overline{EDACK} 遅延時間 1	t_{EDACD1}	—	18		
\overline{EDACK} 遅延時間 2	t_{EDACD2}	—	18		
\overline{EDRAK} 遅延時間	t_{EDRKD}	—	18	ns	図 25.35

(5) 内蔵周辺モジュールタイミング

表 25.10 内蔵周辺モジュールタイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	ns	図 25.36	
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{PRH}	25	—	ns		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 25.37	
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 25.38	
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 25.39	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}		
8ビット タイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図 25.40	
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図 25.42	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 25.41	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}
		両エッジ指定	t_{TMCWL}	2.5	—		t_{cyc}

項目		記号	min	max	単位	測定条件		
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 25.43		
SCI	入カロックサイクル	調歩同期	t_{SCYC}	4	—	t_{CYC}	図 25.44	
		クロック同期		6	—			
	入カロックパルス幅		t_{SCKW}	0.4	0.6	t_{SCYC}		
	入カロック立ち上がり時間		t_{SCKr}	—	1.5	t_{CYC}		
	入カロック立ち下がり時間		t_{SCKf}	—	1.5			
	送信データ遅延時間		t_{TXD}	—	40	ns		図 25.45
	受信データセットアップ時間 (クロック同期)		t_{RXS}	40	—	ns		
受信データホールド時間 (クロック同期)		t_{RXH}	40	—	ns			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 25.46		
IIC2	SCL 入カサイクル時間		t_{SCL}	$12t_{CYC} + 600$	—	ns	図 25.47	
	SCL 入力 High パルス幅		t_{SCLH}	$3t_{CYC} + 300$	—	ns		
	SCL 入力 Low パルス幅		t_{SCLL}	$5t_{CYC} + 300$	—	ns		
	SCL、SDA 入力立ち下がり時間		t_{sf}	—	300	ns		
	SCL、SDA 入力 スパイクパルス除去時間		t_{SP}	—	$1t_{CYC}$	ns		
	SDA 入力バスフリー時間		t_{BUF}	$5t_{CYC}$	—	ns		
	開始条件入力ホールド時間		t_{STAH}	$3t_{CYC}$	—	ns		
	再送開始条件入力 セットアップ時間		t_{STAS}	$3t_{CYC}$	—	ns		
	停止条件入力 セットアップ時間		t_{STOS}	$3t_{CYC}$	—	ns		
	データ入力セットアップ時間		t_{SDAS}	$1t_{CYC} + 20$	—	ns		
	データ入力ホールド時間		t_{SDAH}	0	—	ns		
	SCL、SDA の容量性負荷		C_b	—	400	pF		
	SCL、SDA 立ち下がり時間		t_{sf}	—	300	ns		
SSU*	クロックサイクル	マスタ	t_{SUcyc}	4	256	t_{CYC}	図 25.48 ~ 図 25.51	
		スレーブ		4	256			
	クロックハイレベル パルス幅	マスタ	t_{HI}	48	—	ns		
		スレーブ		48	—			
	クロックローレベル パルス幅	マスタ	t_{LO}	48	—	ns		
		スレーブ		48	—			
	クロック立ち上がり時間		t_{RISE}	—	12	ns		
クロック立ち下がり時間		t_{FALL}	—	12	ns			

項目			記号	min	max	単位	測定条件
SSU*	データ入力セットアップ時間	マスタ	t_{SU}	25	—	ns	図 25.48 ~ 図 25.51
		スレーブ		30	—		
	データ入力ホールド時間	マスタ	t_H	10	—	ns	
		スレーブ		10	—		
	\overline{SCS} セットアップ時間	マスタ	t_{LEAD}	2.5	—	t_{cyc}	
		スレーブ		2.5	—		
	\overline{SCS} ホールド時間	マスタ	t_{LAG}	2.5	—	t_{cyc}	
		スレーブ		2.5	—		
	データ出力遅延時間	マスタ	t_{OD}	—	40	ns	
		スレーブ		—	40		
	データ出力ホールド時間	マスタ	t_{OH}	-5	—	ns	
		スレーブ		0	—		
連続送信時間遅延時間	マスタ	t_{TD}	2.5	—	t_{cyc}		
	スレーブ		2.5	—			
スレーブアクセス時間			t_{SA}	—	1	t_{cyc}	図 25.50、
スレーブアウト解放時間			t_{REL}	—	1	t_{cyc}	図 25.51

【注】 * SSU : Synchronous Serial communication Unit

25.1.4 A/D 変換特性

表 25.11 A/D 変換特性

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{REF}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$
 $\phi = 8\sim 33MHz$

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	4.0*	—	—	μs
アナログ入力容量	—	—	15	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	± 5.5	LSB
オフセット誤差	—	—	± 5.5	LSB
フルスケール誤差	—	—	± 5.5	LSB
量子化誤差	—	—	± 0.5	LSB
絶対精度	—	—	± 6.0	LSB

【注】 * 40 ステートで ADCLK=10MHz の時

25.1.5 D/A 変換特性

表 25.12 D/A 変換特性

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
	—	—	± 2.0	LSB	負荷抵抗 4M Ω

25.1.6 フラッシュメモリ特性

表 25.13 フラッシュメモリ特性の電気的特性

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	対象領域	規格値			単位
		最小	標準	最大	
書き込み/消去回数*1	ユーザ ROM	1,000*2	—	—	回
	データフラッシュ	10,000*2	—	—	
書き込み時間 (4 バイト当たり)	ユーザ ROM	—	150	4,000	μs
	データフラッシュ	—	300	4,000	
消去時間 (1 ブロック当たり)	ユーザ ROM	—	300	3,000	ms
	データフラッシュ	—	300	3,000	
書き込み/消去電圧	ユーザ ROM	3.0	—	3.6	V
	データフラッシュ				
読み出し電圧	ユーザ ROM	3.0	—	3.6	V
	データフラッシュ				
アクセスレート	ユーザ ROM	1	—	—	レート
	データフラッシュ	2	—	—	

【注】 1 多回数の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどしてブランク領域ができるだけ残らないように書き込みを実施した上で 1 回の消去を行ってください。たとえば 1 組 16 バイトを書き込む場合、最大 256 組の書き込みを実施した上で 1 回の消去をすることで、実効的な書き換え回数を少なくすることができます。

ブロックごとに何回消去を実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

2 消去でイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスコマンド→イレースコマンドを少なくとも 3 回実行してください。

*1 書き込み/消去回数の定義

書き込み/消去回数はブロックごとの消去回数です。

書き込み/消去回数が n 回 (n=100) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。

たとえば、4Kバイト／ブロックのデータフラッシュ A に対して、それぞれ異なる番地に 4 バイト書き込みを 1024 回に分けて行った後に、そのブロックを消去した場合も、書き込み/消去回数は 1 回と数えます。

ただし、消去 1 回に対して、同一番地に複数回の書き込みは行わないでください。（上書き禁止）

*2 書き込み／消去回数後の全ての電気的特性を保証する回数です。（保証は 1 から"最小"値の範囲です。）

25.2 H8S/2424 グループの電気的特性 (3V 版)

25.2.1 絶対最大定格

絶対最大定格を表 25.14 に示します。

表 25.14 絶対最大定格

項 目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	-0.3~+4.3	V
入力電圧 (ポート 4、9、ポート 2、P32~P35、P50~P51、P81、P83 以外)	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧 (ポート 2、P50~P51、P32~P35、P81、P83)	V _{in}	-0.3~+6.5	V
入力電圧 (ポート 4、9)	V _{in}	-0.3~AV _{cc} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+4.3	V
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V
動作温度	Topr	通常仕様品 : -20~+75*	°C
		広温度範囲仕様品 : -40~+85*	°C
保存温度	Tstg	-55~+125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み/消去時の動作温度範囲は、

Ta=0~+75°C (一般仕様)

Ta=0~+85°C (広温度範囲仕様)

です。

25.2.2 DC 特性

表 25.15 DC 特性 (1)

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V^{*1}$

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	ポート 1* ⁶ 、ポート 2* ⁶ 、 P32~P35* ² 、P50~P53* ² 、	VT ⁻	$V_{cc}\times 0.2$	—	—	V		
	ポート 8* ² 、PA4~PA7* ² 、 ポート B* ² 、ポート C* ² 、 PF1* ² 、PF2* ² 、P81* ² 、P83* ²	VT ⁺	—	—	$V_{cc}\times 0.7$	V		
		VT ⁺ -VT ⁻	$V_{cc}\times 0.07$	—	—	V		
入力 High レベル電圧	STBY、MD2~MD0	V _{IH}	$V_{cc}\times 0.9$	—	$V_{cc}+0.3$	V		
	RES、NMI、EMLE							
	EXTAL		$V_{cc}\times 0.7$	—	$V_{cc}+0.3$	V		
	P10~P11* ⁵ 、P14~P17* ⁵ 、 P24~P26* ⁵ 、 ポート 3* ³ 、P50~P53* ³ ポート 8* ³ 、ポート A~G* ³		2.2	—	$V_{cc}+0.3$	V		
	ポート 4、ポート 9		2.2	—	$AV_{cc}+0.3$	V		
入力 Low レベル電圧	RES、STBY	V _{IL}	-0.3	—	$V_{cc}\times 0.1$	V		
	MD2~MD0、EMLE							
	NMI、EXTAL		-0.3	—	$V_{cc}\times 0.2$	V		
	P10~P11* ⁵ 、P14~P17* ⁵ 、 P24~P26* ⁵ 、 ポート 3* ³ 、5* ³ 、ポート 8* ³ 、 ポート A~G* ³		-0.3	—	$V_{cc}\times 0.2$	V		
	ポート 4、ポート 9		-0.3	—	$AV_{cc}\times 0.2$	V		
出力 High レベル電圧	全出力端子	V _{OH}	$V_{cc}-0.3$	—	—	V	I _{OH} =-200μA	
			$V_{cc}-0.5$	—	—	V	I _{OH} =-1mA	
			$V_{cc}-0.8$	—	—	V	I _{OH} =-2mA	
出力 Low レベル電圧	全出力端子	V _{OL}	—	—	0.4	V	I _{OL} =4.0mA	
			P26、P27* ⁴ 、P32~P35* ⁴ 、 P50~P51* ⁴	—	—	0.4	V	I _{OL} =8.0mA
入力リーク 電流	RES	I _{in}	—	—	10.0	μA	V _{in} =0.5~V _{cc} -	
	STBY、NMI、MD2~MD0		—	—	1.0	μA	0.5 V	
	ポート 4、ポート 9		—	—	1.0	μA	V _{in} =0.5~AV _{cc} - 0.5 V	

【注】 ポート 2、P32~P35、P50、P51、P81、P83 は 5V トレラント対応です。

*1 A/D および D/A 変換器未使用時に AV_{cc}、V_{ref}、AV_{ss} 端子を開放しないでください。AV_{cc}、V_{ref} 端子は V_{cc} に、AV_{ss} 端子は V_{ss} にそれぞれ接続してください。*2 \overline{IRQ} 、TIOC、TCLK、TMRI、SCL、SDA として使用した場合です。*3 \overline{IRQ} 、TIOC、TCLK、TMRI、SCL、SDA 以外として使用した場合です。

- *4 SCL、SDA として使用した場合です。
- *5 SSO、SSI、SSCK、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ 、 $\overline{\text{DREQ}}$ として使用した場合です。
- *6 SSO、SSI、SSCK、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ 、 $\overline{\text{DREQ}}$ 以外として使用した場合です。

表 25.16 DC 特性 (2)

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $AV_{CC}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ *¹

項 目		記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (オフ状態)	ポート 1~3、P50~P53	$ I_{TSL} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	ポート 8、ポート A~G						
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	—	300	μA	$V_{CC}=3.0\sim 3.6V$ $V_{in}=0V$
入力容量	$\overline{\text{RES}}$	C_{in}	—	—	30	pF	$V_{in}=0V$
	NMI		—	—	30	pF	$f=1MHz$
	$\overline{\text{RES}}$ 、NMI 以外の全入力端子		—	—	18	pF	$T_a=25^\circ C$
消費電流* ²	通常動作時	I_{CC} * ⁴	—	45 (3.3V)	60	mA	$f=33MHz$
	スリープ時		—	35 (3.3V)	45	mA	$f=33MHz$
	スタンバイ時* ³		—	20	80	μA	$T_a\leq 50^\circ C$
			—	80	500	μA	$50^\circ C < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}	—	0.5 (3.3V)	2.0	mA	1ch 使用時
	A/D、D/A 変換待機時		—	0.01	5.0	μA	1ch 使用時
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}	—	0.5 (3.3V)	1.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.5	—	—	V	
V_{CC} 開始電圧* ⁵		$V_{CC\ start}$	—	—	0.3	V	
V_{CC} 立ち上がり勾配* ⁵		SV_{CC}	—	—	20	ms/V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。 AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

- *2 消費電流値は、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- *3 $V_{RAM}\leq V_{CC}<3.0V$ のとき、 $V_{IH\ min}=V_{CC}\times 0.9$ 、 $V_{IL\ max}=0.3V$ とした場合の値です。
- *4 I_{CC} は下記の式に従って V_{CC} と f に依存します。
 $I_{CC\ max}=5.2\ (mA) + 1.66\ (mA/(MHz)) \times f$ (通常動作時)
 $I_{CC\ max}=2.6\ (mA) + 1.28\ (mA/(MHz)) \times f$ (スリープ時)
- *5 電源投入時、 $\overline{\text{RES}}$ 端子が Low レベルになっている条件で適用します。

表 25.17 出力許容電流値

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V^*$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	I^2C 端子以外の全出力端子	—	—	4.0	mA
	I^2C 出力端子	—	—	8.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	—	—	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	—	—	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.30 の値を超えないようにしてください。

- * A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。
 AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

25.2.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、DMAC、タイミングおよび内蔵周辺機能タイミングを以下に示します。

(1) クロックタイミング

表 25.18 クロックタイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	30.3	125	ns	図 25.3
クロックハイレベルパルス幅	t_{CH}	10	—	ns	図 25.3
クロックローレベルパルス幅	t_{CL}	10	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cf}	—	5	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	15	—	ms	図 25.5(1)
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	5	—	ms	図 25.5(2)
外部クロック出力遅延安定時間	t_{DEXT}	15	—	ms	図 25.5(1)

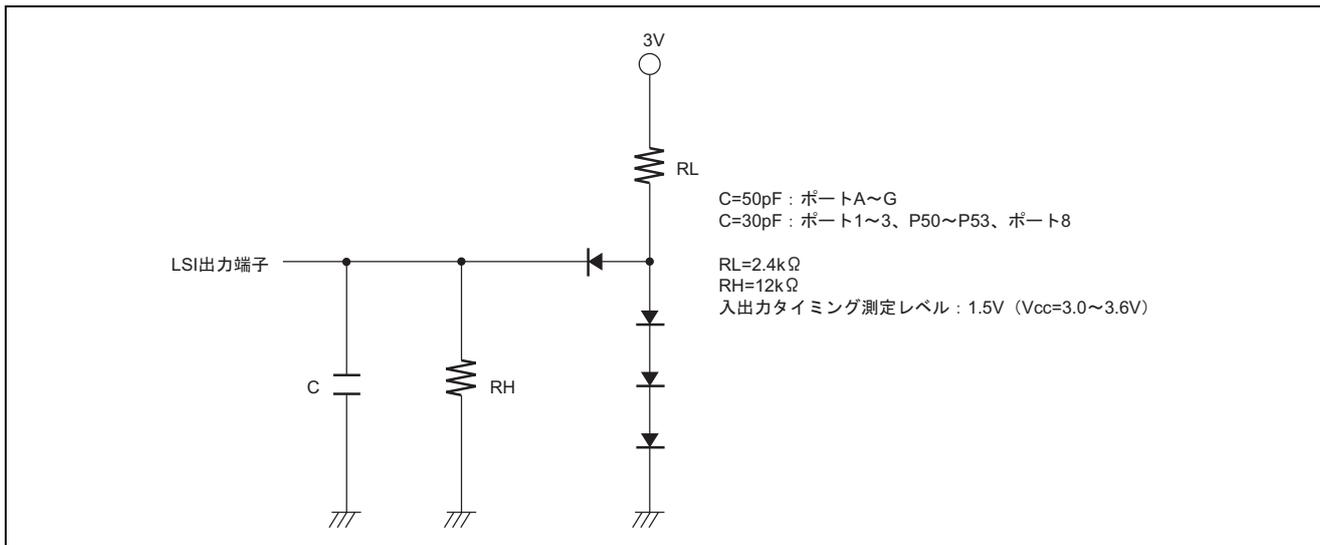


図 25.2 出力負荷回路

(2) 制御信号タイミング

表 25.19 制御信号タイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200	—	ns	図 25.6
RES パルス幅	t_{RESW}	2	—	ms	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 25.7
NMI ホールド時間	t_{NMIH}	10	—		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—		
$\bar{I}RQ$ セットアップ時間	t_{IRQS}	150	—	ns	
$\bar{I}RQ$ ホールド時間	t_{IRQH}	10	—		
$\bar{I}RQ$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—		

(3) バスタイミング

表 25.20 バスタイミング (1)

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	20	ns	図 25.8
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 13$	—	ns	~
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 13$	—	ns	図 25.23、
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 13$	—	ns	図 25.34、
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 13$	—	ns	図 25.35
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 8$	—	ns	
\overline{CS} 遅延時間 1	t_{CSD1}	—	15	ns	
\overline{CS} 遅延時間 2	t_{CSD2}	—	15	ns	
\overline{CS} 遅延時間 3	t_{CSD3}	—	20	ns	
\overline{AS} 遅延時間	t_{ASD}	—	15	ns	
\overline{RD} 遅延時間 1	t_{RSD1}	—	15	ns	
\overline{RD} 遅延時間 2	t_{RSD2}	—	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	—	ns	
リードデータホールド時間 1	t_{RDH1}	0	—	ns	
リードデータホールド時間 2	t_{RDH2}	0	—	ns	
リードデータアクセス時間 1	t_{AC1}	—	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 2	t_{AC2}	—	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{AC3}	—	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	t_{AC4}	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{AC5}	—	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 6	t_{AC6}	—	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 7	t_{AC7}	—	$4.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 8	t_{AC8}	—	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 1	t_{AA1}	—	$1.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	—	$1.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	—	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	—	$2.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	—	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 6	t_{AA6}	—	$4.0 \times t_{cyc} - 25$	ns	

項目	記号	min	max	単位	測定条件
マルチプレクスアドレス遅延時間	t_{MAD}	—	20	ns	図 25.8
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5 \times t_{cyc} - 15$	—	ns	~
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5 \times t_{cyc} - 15$	—	ns	図 25.23、
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0 \times t_{cyc} - 15$	—	ns	図 25.34、
AH 遅延時間	t_{AHD}	—	15	ns	図 25.35

表 25.20 バスタイミング (2)

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	t_{WRD1}	—	15	ns	図 25.8
WR 遅延時間 2	t_{WRD2}	—	15	ns	~
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	—	ns	図 25.23、
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	—	ns	図 25.34、
ライトデータ遅延時間	t_{WDD}	—	23	ns	図 25.35
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 15$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 2	t_{WDH2}	$1.0 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトコマンドセットアップ時間 1	t_{WCS1}	$0.5 \times t_{cyc} - 10$	—	ns	
ライトコマンドセットアップ時間 2	t_{WCS2}	$1.0 \times t_{cyc} - 10$	—	ns	
ライトコマンドホールド時間 1	t_{WCH1}	$0.5 \times t_{cyc} - 10$	—	ns	
ライトコマンドホールド時間 2	t_{WCH2}	$1.0 \times t_{cyc} - 10$	—	ns	
リードコマンドセットアップ時間 1	t_{RCS1}	$1.5 \times t_{cyc} - 10$	—	ns	
リードコマンドセットアップ時間 2	t_{RCS2}	$2.0 \times t_{cyc} - 10$	—	ns	
リードコマンドホールド時間	t_{RCH}	$0.5 \times t_{cyc} - 10$	—	ns	
\overline{CAS} 遅延時間 1	t_{CASD1}	—	15	ns	
\overline{CAS} 遅延時間 2	t_{CASD2}	—	15	ns	
\overline{CAS} セットアップ時間 1	t_{CSR1}	$0.5 \times t_{cyc} - 10$	—	ns	
\overline{CAS} セットアップ時間 2	t_{CSR2}	$1.5 \times t_{cyc} - 10$	—	ns	
\overline{CAS} パルス幅 1	t_{CASW1}	$1.0 \times t_{cyc} - 20$	—	ns	
\overline{CAS} パルス幅 2	t_{CASW2}	$1.5 \times t_{cyc} - 20$	—	ns	
\overline{CAS} プリチャージ時間 1	t_{CPW1}	$1.0 \times t_{cyc} - 20$	—	ns	
\overline{CAS} プリチャージ時間 2	t_{CPW2}	$1.5 \times t_{cyc} - 20$	—	ns	

項目	記号	min	max	単位	測定条件
OE 遅延時間 1	t _{OED1}	—	15	ns	図 25.8 ~
	t _{OED1B}	—	19	ns	
OE 遅延時間 2	t _{OED2}	—	15	ns	図 25.23、 図 25.34、 図 25.35
	t _{OED2B}	—	19	ns	
プリチャージ時間 1	t _{PCH1}	1.0 × t _{cyc} - 20	—	ns	図 25.22
プリチャージ時間 2	t _{PCH2}	1.5 × t _{cyc} - 20	—	ns	
セルフリフレッシュ時プリチャージ時間 1	t _{RPS1}	2.5 × t _{cyc} - 20	—	ns	図 25.23
セルフリフレッシュ時プリチャージ時間 2	t _{RPS2}	3.0 × t _{cyc} - 20	—	ns	
WAIT セットアップ時間	t _{WTS}	25	—	ns	図 25.10、 図 25.16、 図 25.35
WAIT ホールド時間	t _{WTH}	1	—	ns	
BREQ セットアップ時間	t _{BREQS}	30	—	ns	図 25.24
BACK 遅延時間	t _{BACD}	—	15	ns	
バスフローティング時間	t _{BZD}	—	40	ns	
BREQO 遅延時間	t _{BRQOD}	—	25	ns	図 25.25

【注】 * t_{OED1}、t_{OED2}は $\overline{OE-A}$ 、 \overline{RD} に対応しています。t_{OED1B}、t_{OED2B}は $\overline{OE-B}$ に対応しています。

(4) DMAC タイミング

表 25.21 DMAC タイミング

条件 : V_{cc}=3.0~3.6V、AV_{cc}=3.0~3.6V、V_{ref}=3.0V~AV_{cc}、V_{ss}=AV_{ss}=0V

φ = 8~33MHz

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	t _{DRQS}	25	—	ns	図 25.32
DREQ ホールド時間	t _{DRQH}	10	—		
TEND 遅延時間	t _{TED}	—	18	ns	図 25.31
DACK 遅延時間 1	t _{DACD1}	—	18		図 25.29
DACK 遅延時間 2	t _{DACD2}	—	18		図 25.30

(5) 内蔵周辺モジュールタイミング

表 25.22 内蔵周辺モジュールタイミング

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi=8\sim 33MHz$

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	ns	図 25.36	
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{PRH}	25	—	ns		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 25.37	
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 25.38	
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 25.39	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}		
8ビット タイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図 25.40	
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図 25.42	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 25.41	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}
		両エッジ指定	t_{TMCWL}	2.5	—		t_{cyc}
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 25.43	
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 25.44
		クロック同期		6	—		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間	t_{SCKr}	—	1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}	—	1.5	t_{cyc}		
	送信データ遅延時間	t_{TXD}	—	40	ns	図 25.45	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40	—	ns		
受信データホールド時間 (クロック同期)	t_{RXH}	40	—	ns			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 25.46	
IIC2	SCL 入力サイクル時間	t_{SCL}	$12t_{cyc}+600$	—	ns	図 25.47	
	SCL 入力 High パルス幅	t_{SCLH}	$3t_{cyc}+300$	—	ns		
	SCL 入力 Low パルス幅	t_{SCLL}	$5t_{cyc}+300$	—	ns		
	SCL、SDA 入力立ち下がり時間	t_{sf}	—	300	ns		
	SCL、SDA 入力 スパイクパルス除去時間	t_{SP}	—	$1t_{cyc}$	ns		

項目		記号	min	max	単位	測定条件	
IIC2	SDA 入力バスフリー時間		t_{BUF}	$5t_{cyc}$	—	ns	図 25.47
	開始条件入力ホールド時間		t_{STAH}	$3t_{cyc}$	—	ns	
	再送開始条件入力 セットアップ時間		t_{STAS}	$3t_{cyc}$	—	ns	
	停止条件入力 セットアップ時間		t_{STOS}	$3t_{cyc}$	—	ns	
	データ入力セットアップ時間		t_{SDAS}	$1t_{cyc} + 20$	—	ns	
	データ入力ホールド時間		t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷		Cb	—	400	pF	
	SCL、SDA 立ち下がり時間		t_{sf}	—	300	ns	
SSU*	クロックサイクル	マスタ	t_{SUcyc}	4	256	t_{cyc}	図 25.48~ 図 25.51
		スレーブ		4	256		
	クロックハイレベル パルス幅	マスタ	t_{HI}	48	—	ns	
		スレーブ		48	—		
	クロックローレベル パルス幅	マスタ	t_{LO}	48	—	ns	
		スレーブ		48	—		
	クロック立ち上がり時間		t_{RISE}	—	12	ns	
	クロック立ち下がり時間		t_{FALL}	—	12	ns	
	データ入力セットアップ 時間	マスタ	t_{SU}	25	—	ns	
		スレーブ		30	—		
	データ入力ホールド時間	マスタ	t_{H}	10	—	ns	
		スレーブ		10	—		
	SCS セットアップ時間	マスタ	t_{LEAD}	2.5	—	t_{cyc}	
		スレーブ		2.5	—		
	SCS ホールド時間	マスタ	t_{LAG}	2.5	—	t_{cyc}	
		スレーブ		2.5	—		
	データ出力遅延時間	マスタ	t_{OD}	—	40	ns	
		スレーブ		—	40		
	データ出力ホールド時間	マスタ	t_{OH}	-5	—	ns	
		スレーブ		0	—		
連続送信時間遅延時間	マスタ	t_{TD}	2.5	—	t_{cyc}		
	スレーブ		2.5	—			
スレーブアクセス時間		t_{SA}	—	1	t_{cyc}	図 25.50、	
スレーブアウト解放時間		t_{REL}	—	1	t_{cyc}	図 25.51	

【注】 * SSU : Synchronous Serial communication Unit

25.2.4 A/D 変換特性

表 25.23 A/D 変換特性

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi = 8\sim 33MHz$

項 目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	4.0*	—	—	μs
アナログ入力容量	—	—	15	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	± 5.5	LSB
オフセット誤差	—	—	± 5.5	LSB
フルスケール誤差	—	—	± 5.5	LSB
量子化誤差	—	—	± 0.5	LSB
絶対精度	—	—	± 6.0	LSB

【注】 * 40 ステートで ADCLK=10MHz の時

25.2.5 D/A 変換特性

表 25.24 D/A 変換特性

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi = 8\sim 33MHz$

項 目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
	—	—	± 2.0	LSB	負荷抵抗 4M Ω

25.2.6 フラッシュメモリ特性

表 25.25 フラッシュメモリ特性の電気的特性

条件 : $V_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi = 8\sim 33MHz$

項目	対象領域	規格値			単位
		最小	標準	最大	
書き込み/消去回数*1	ユーザ ROM	1,000*2	—	—	回
	データフラッシュ	10,000*2	—	—	
書き込み時間 (4 バイトあたり)	ユーザ ROM	—	150	4,000	μs
	データフラッシュ	—	300	4,000	
消去時間 (1 ブロックあたり)	ユーザ ROM	—	300	3,000	ms
	データフラッシュ	—	300	3,000	
書き込み/消去電圧	ユーザ ROM	3.0	—	3.6	V
	データフラッシュ				
読み出し電圧	ユーザ ROM	3.0	—	3.6	V
	データフラッシュ				
アクセスレート	ユーザ ROM	1	—	—	レート
	データフラッシュ	2	—	—	

【注】 1 多回数の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどしてブランク領域ができるだけ残らないように書き込みを実施した上で 1 回の消去を行ってください。たとえば 1 組 16 バイトを書き込む場合、最大 256 組の書き込みを実施した上で 1 回の消去をすることで、実効的な書き換え回数を少なくすることができます。

ブロックごとに何回消去を実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

2 消去でイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスコマンド→イレースコマンドを少なくとも 3 回実行してください。

*1 書き込み/消去回数の定義

書き込み/消去回数はブロックごとの消去回数です。

書き込み/消去回数が n 回 (n=100) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。

たとえば、4K バイト/ブロックのデータフラッシュ A に対して、それぞれ異なる番地に 4 バイト書き込みを 1024 回に分けて行った後に、そのブロックを消去した場合も、書き込み/消去回数は 1 回と数えます。

ただし、消去 1 回に対して、同一番地に複数回の書き込みは行わないでください。(上書き禁止)

*2 書き込み/消去回数後の全ての電気的特性を保証する回数です。(保証は 1 から"最小"値の範囲です。)

25.3 タイミング図 (3V 版)

25.3.1 クロックタイミング

クロックタイミングを以下に示します。

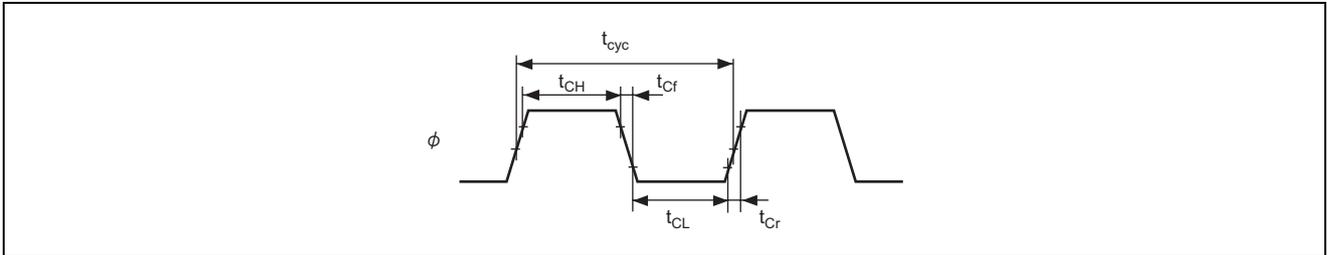


図 25.3 システムクロックタイミング

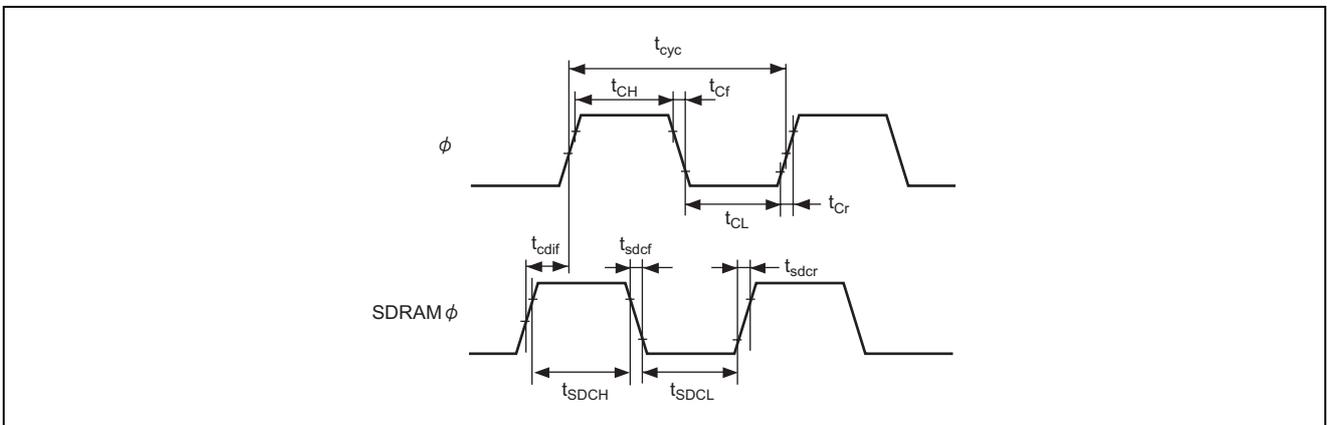


図 25.4 SDRAM ϕ タイミング

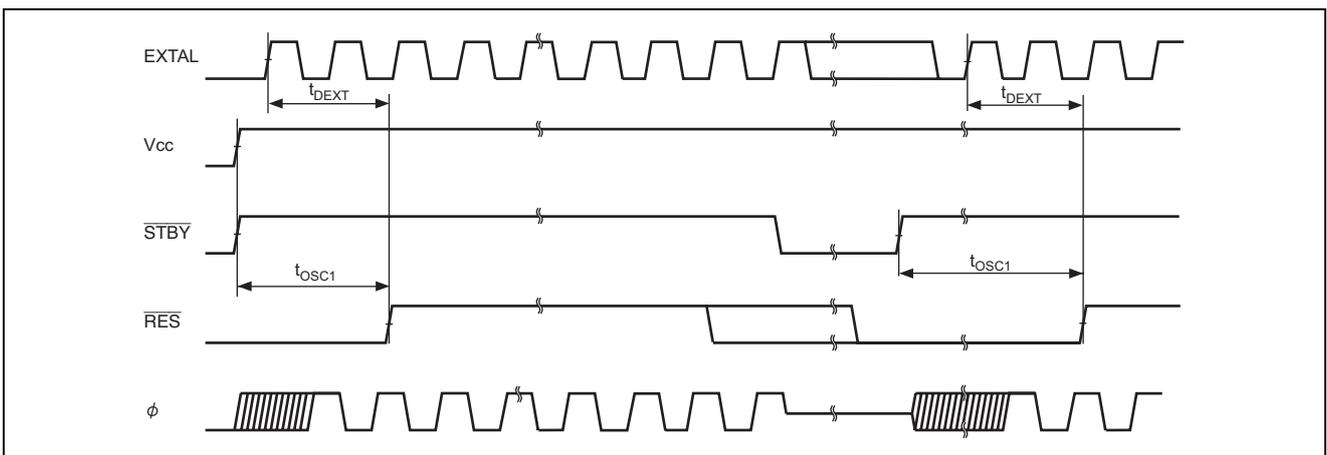


図 25.5 発振安定時間タイミング (1)

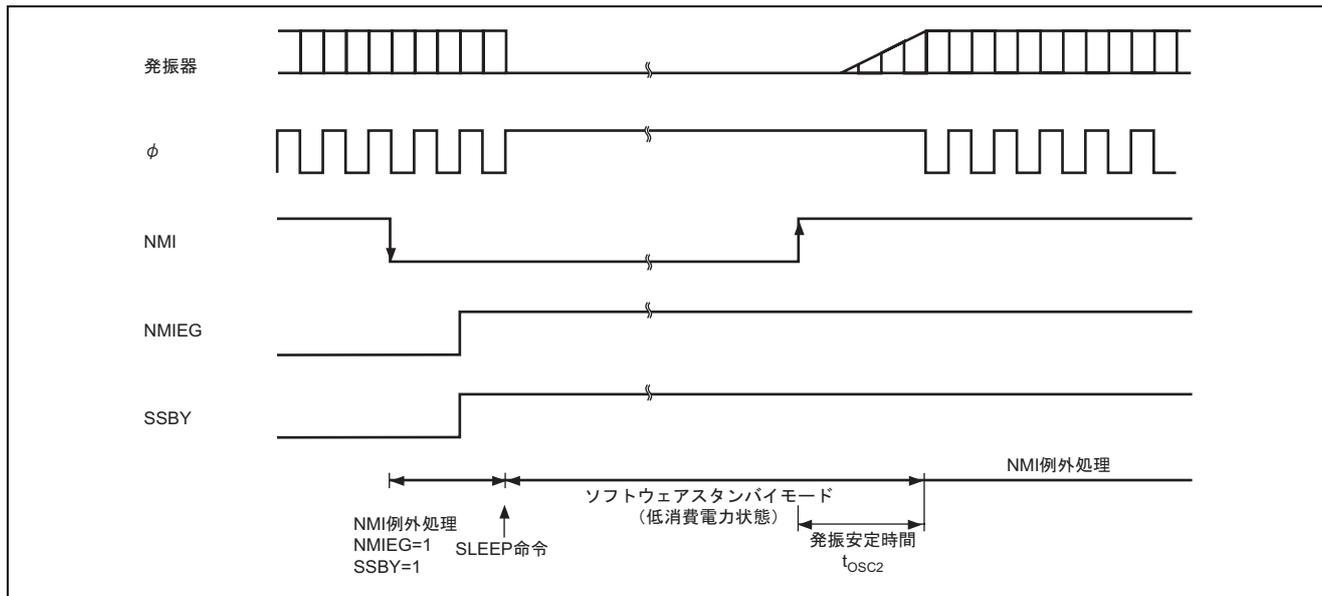


図 25.5 発振安定時間タイミング (2)

25.3.2 制御信号タイミング

制御信号タイミングを以下に示します。

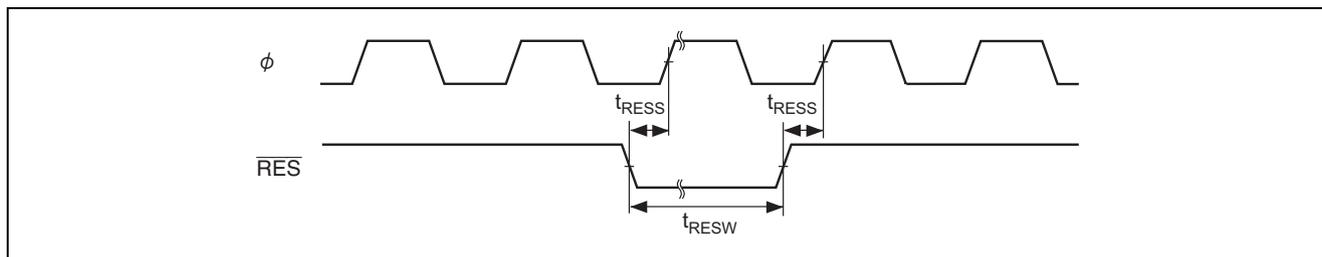


図 25.6 リセット入力タイミング

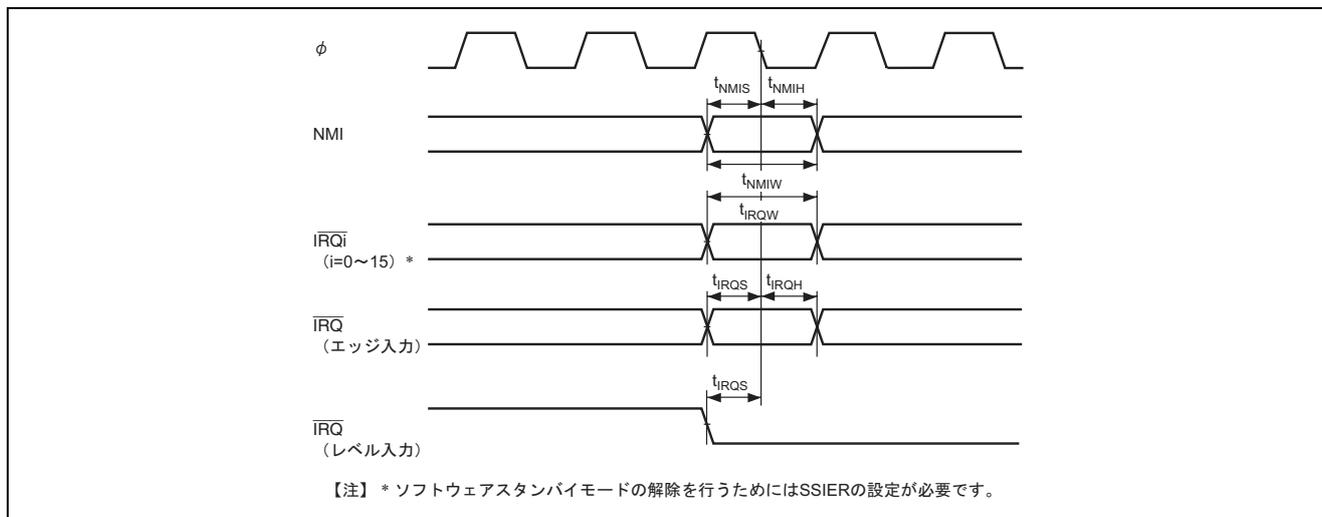


図 25.7 割り込み入力タイミング

25.3.3 バスタイミング

バスタイミングを以下に示します。

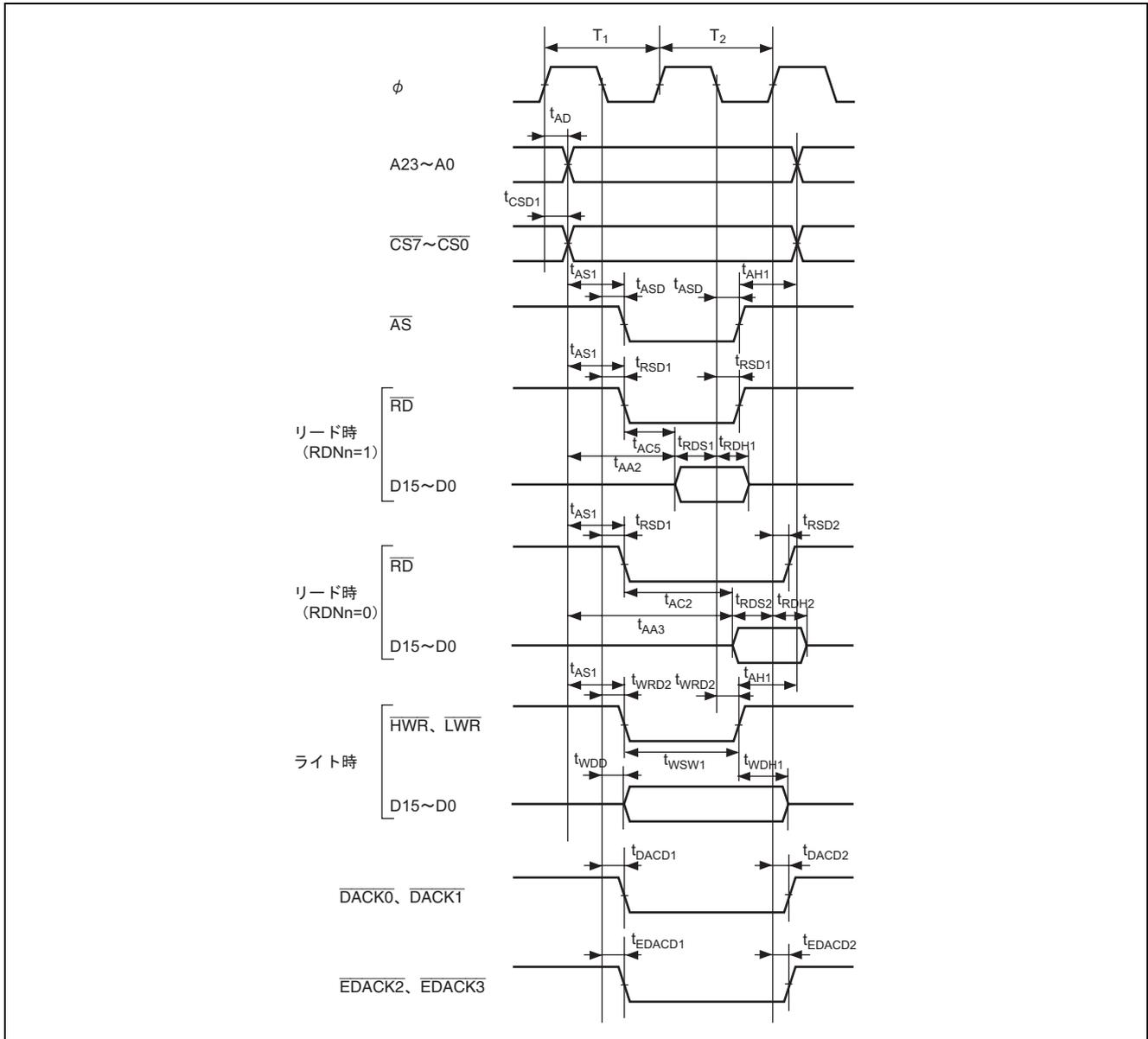


図 25.8 基本バスタイミング/2 ステートアクセス

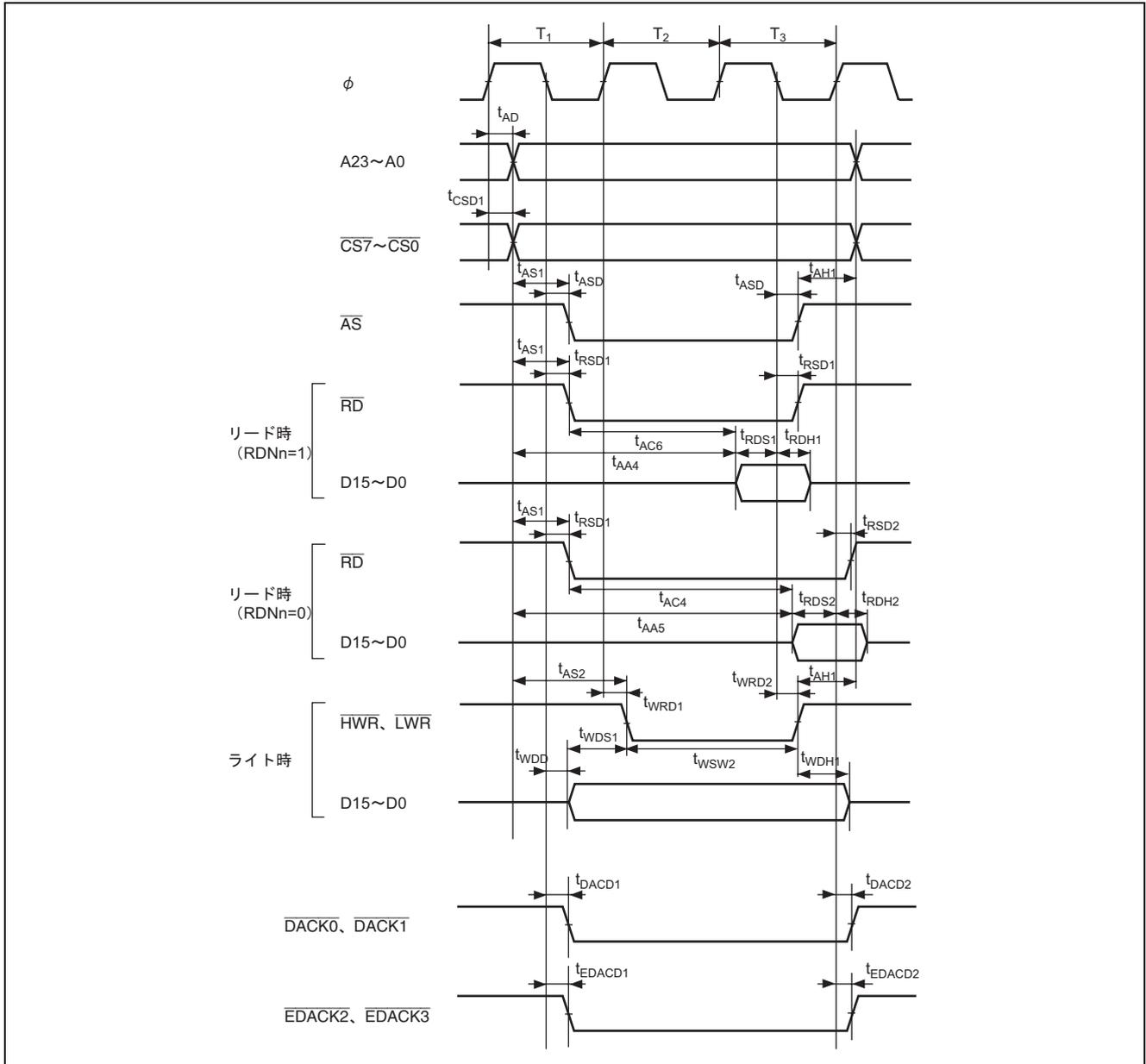


図 25.9 基本バスタイミング/3 ステートアクセス

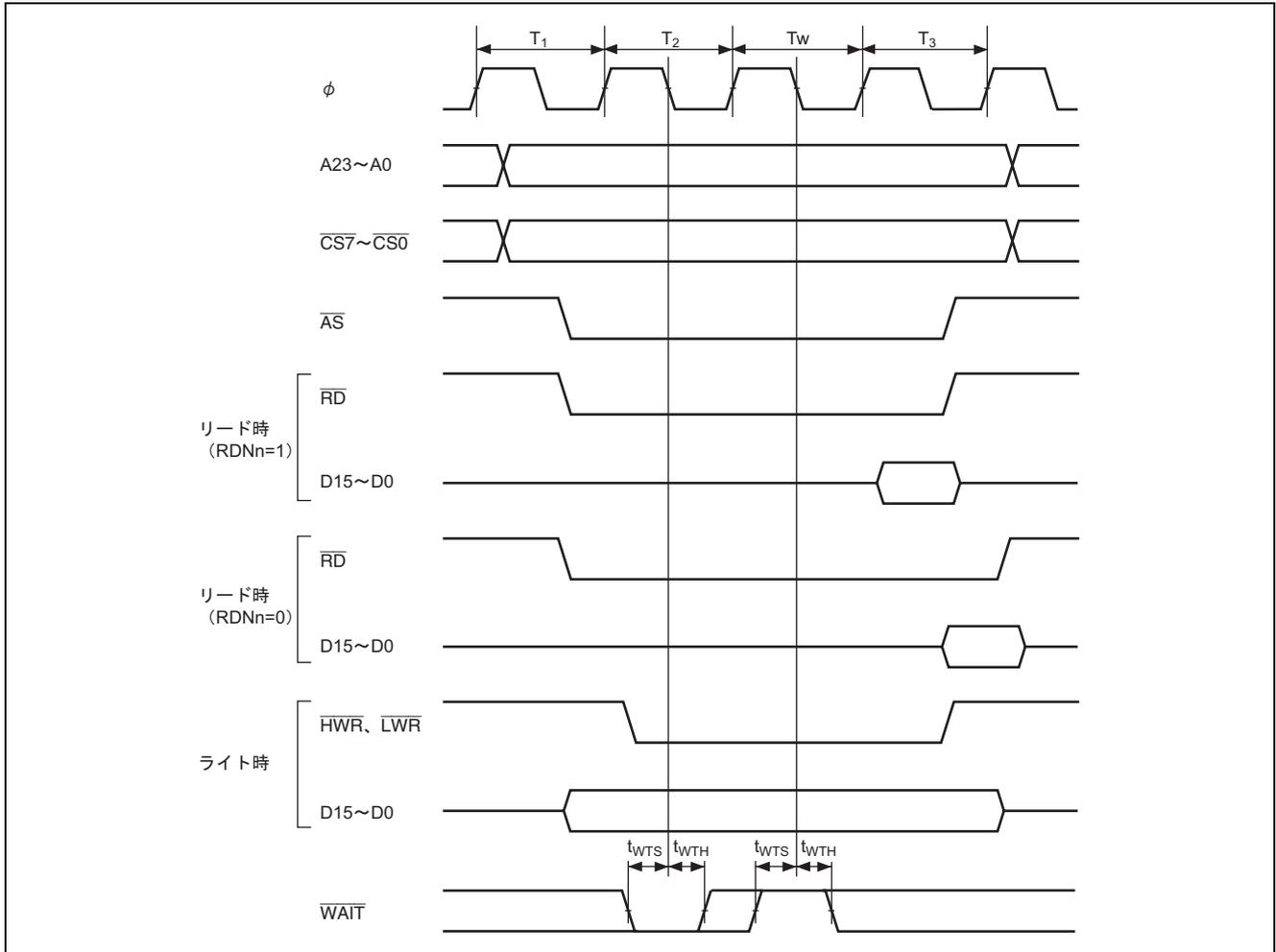


図 25.10 基本バスタイミング/3 ステートアクセス 1 ウェイト

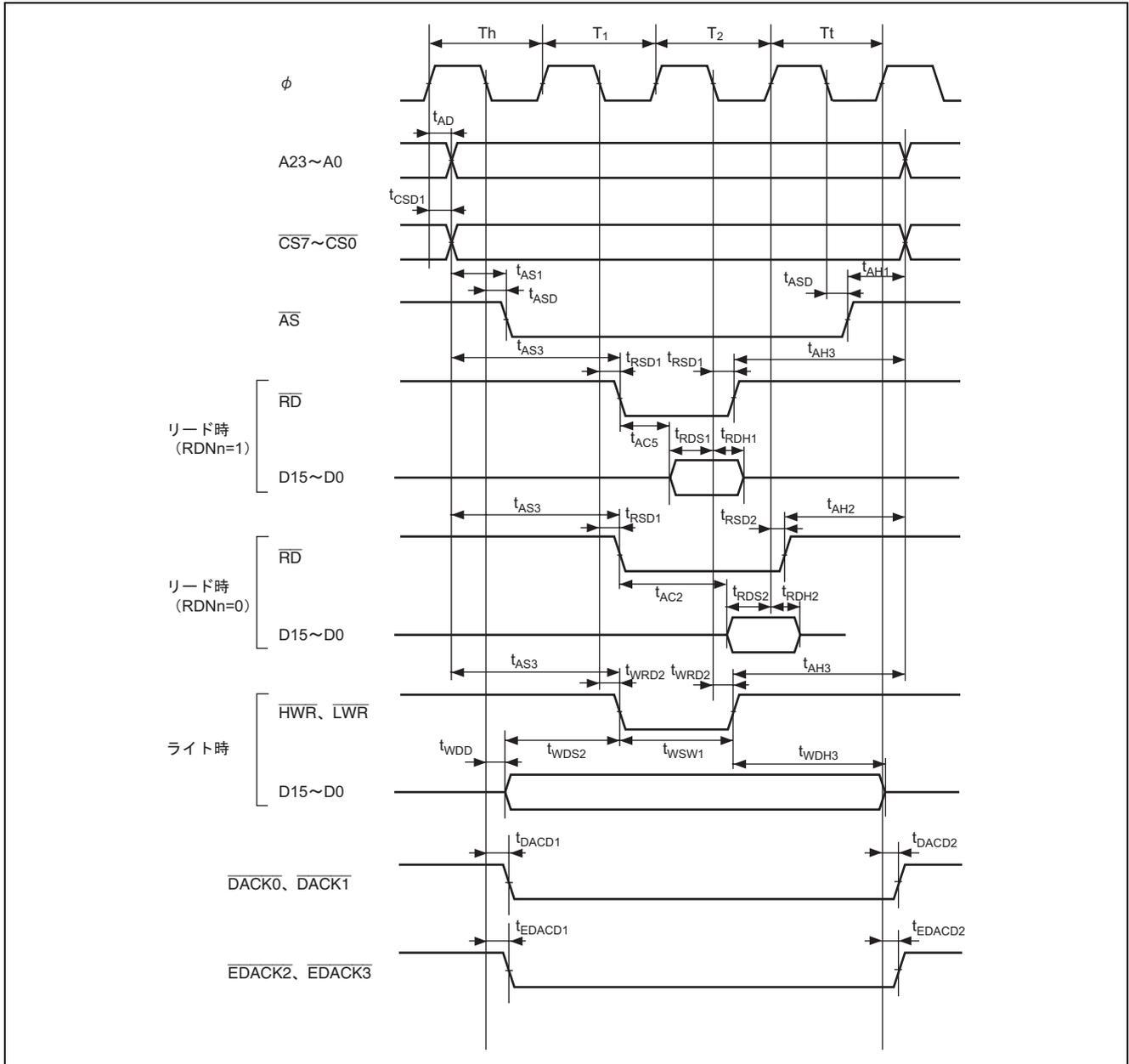


図 25.11 基本バスタイミング/2 ステートアクセス
(\overline{CS} アサート期間延長)

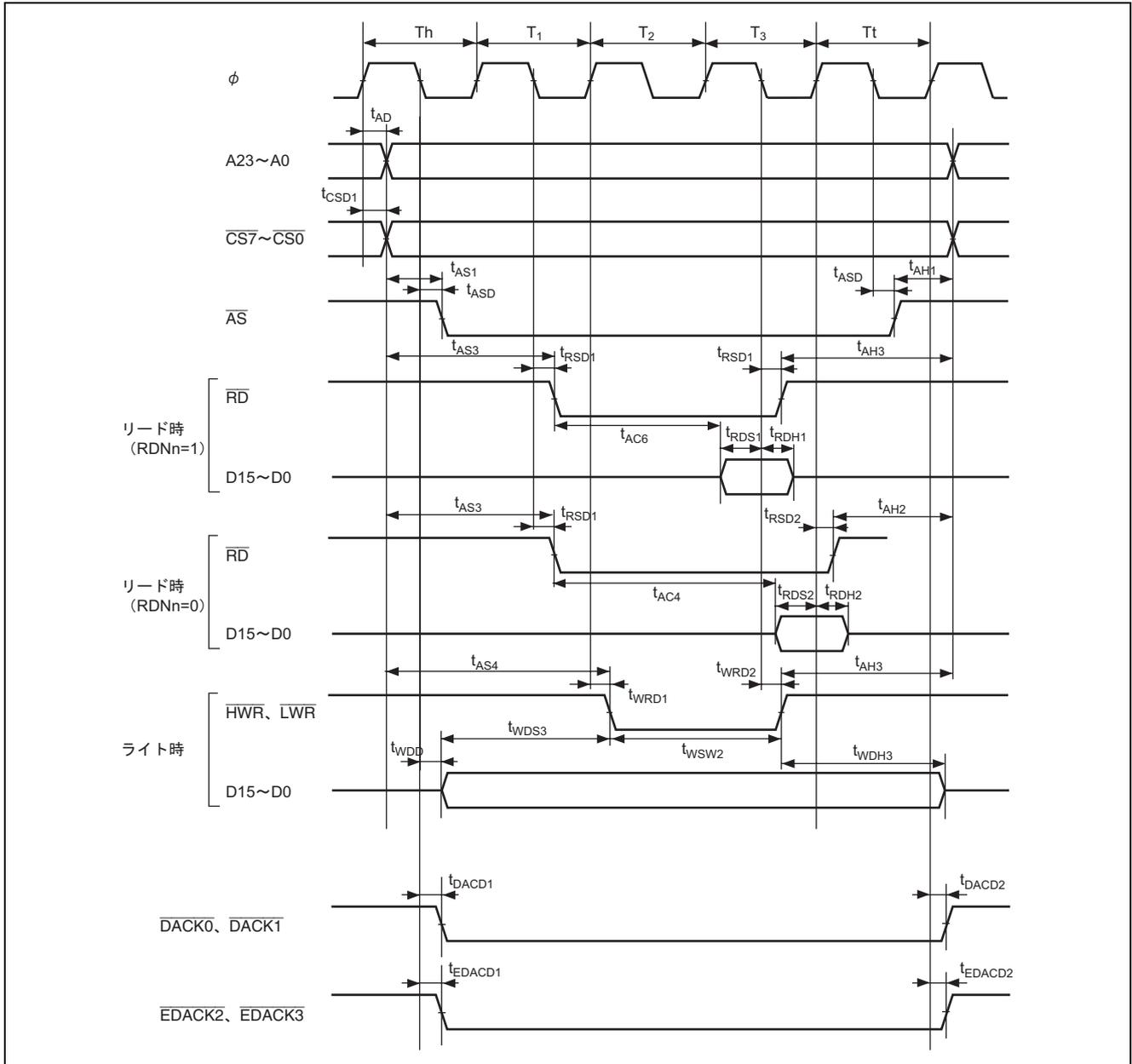


図 25.12 基本バスタイミング/3 ステートアクセス (CS アサート期間延長)

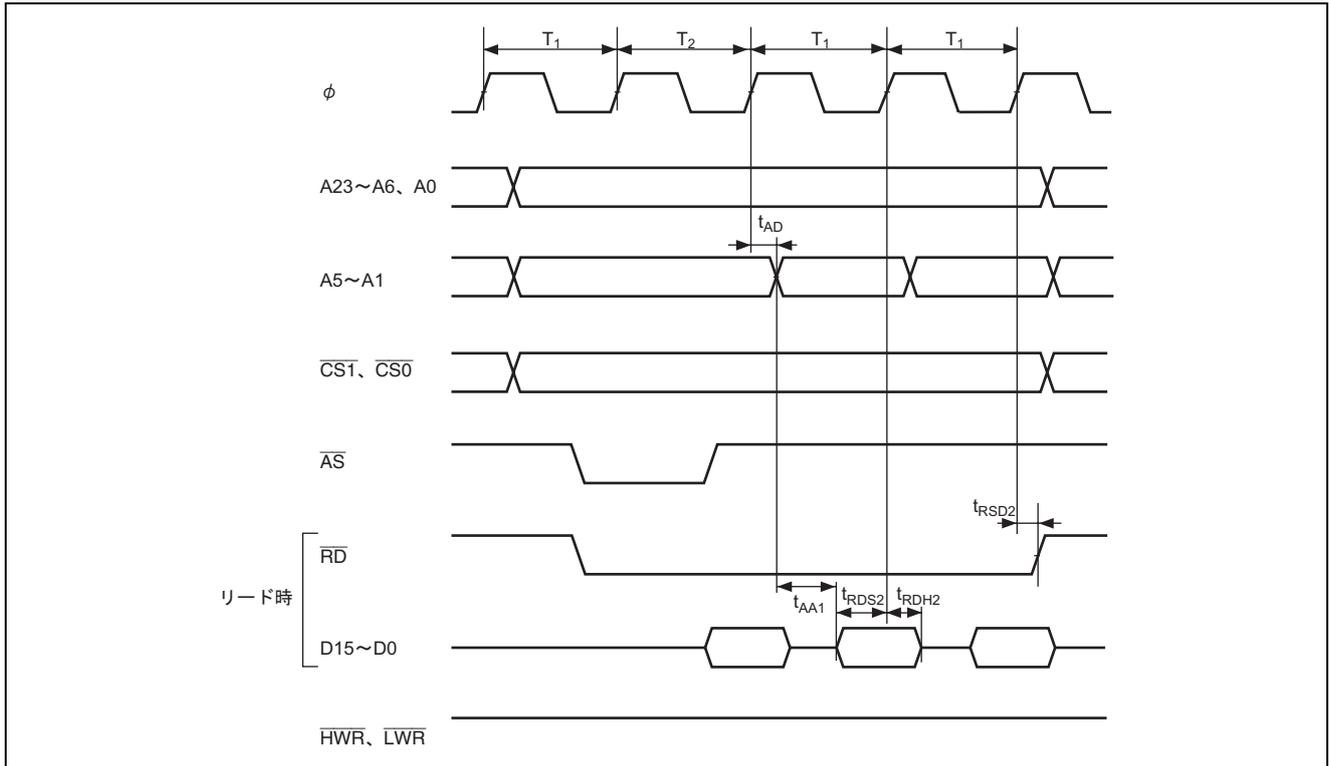


図 25.13 バースト ROM アクセスタイミング／1 ステートバーストアクセス

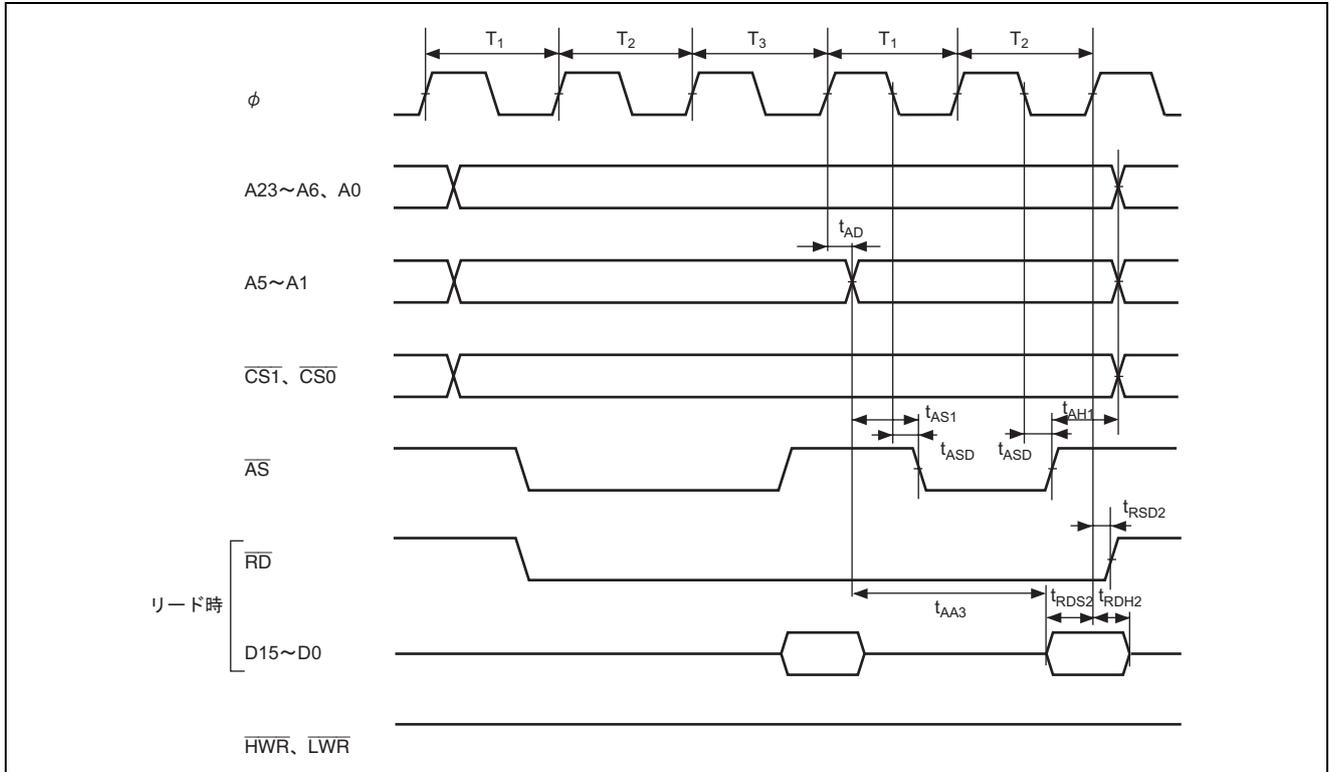


図 25.14 バースト ROM アクセスタイミング／2 ステートバーストアクセス

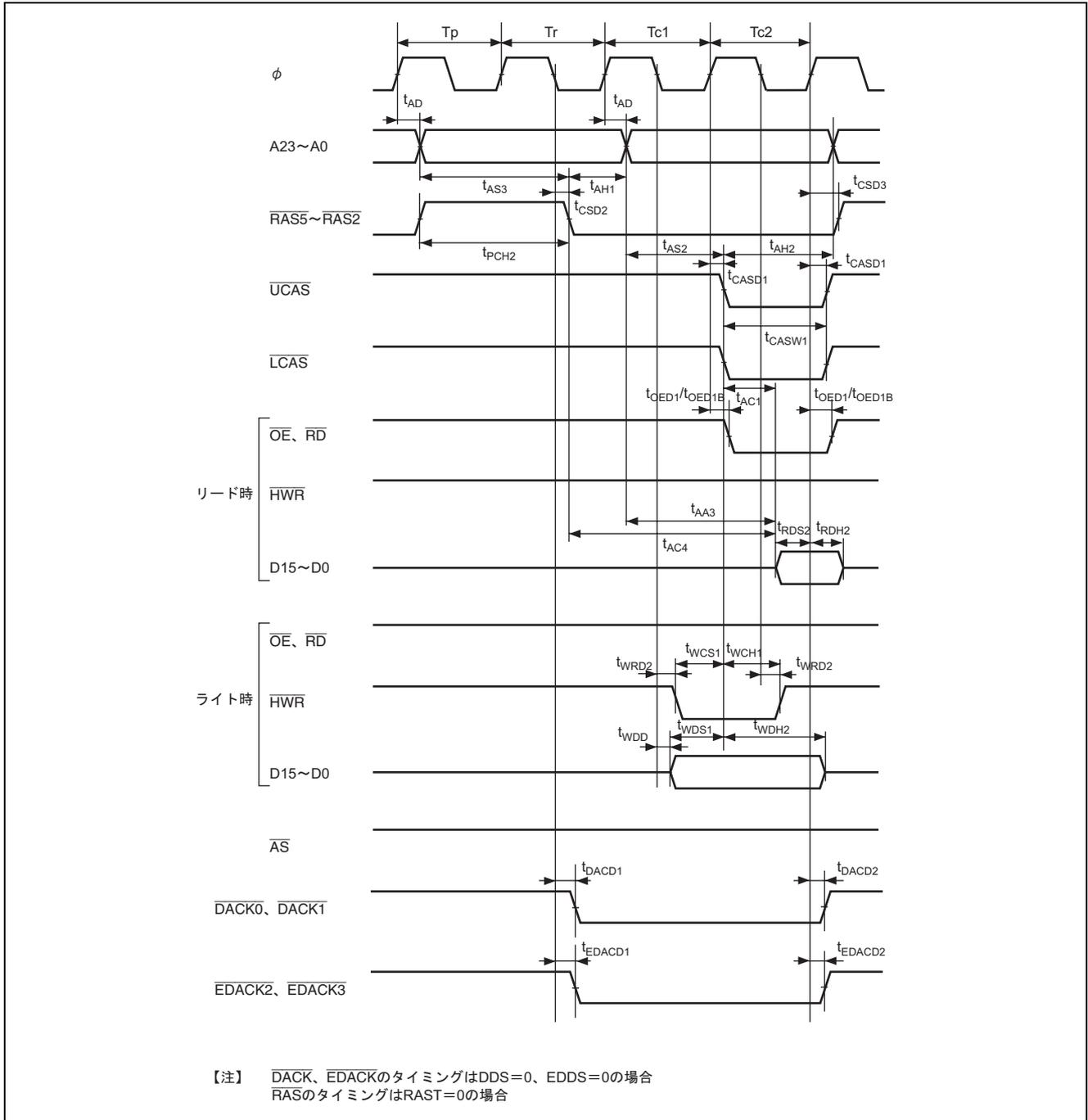


図 25.15 DRAM アクセスタイミング/2 ステートアクセス

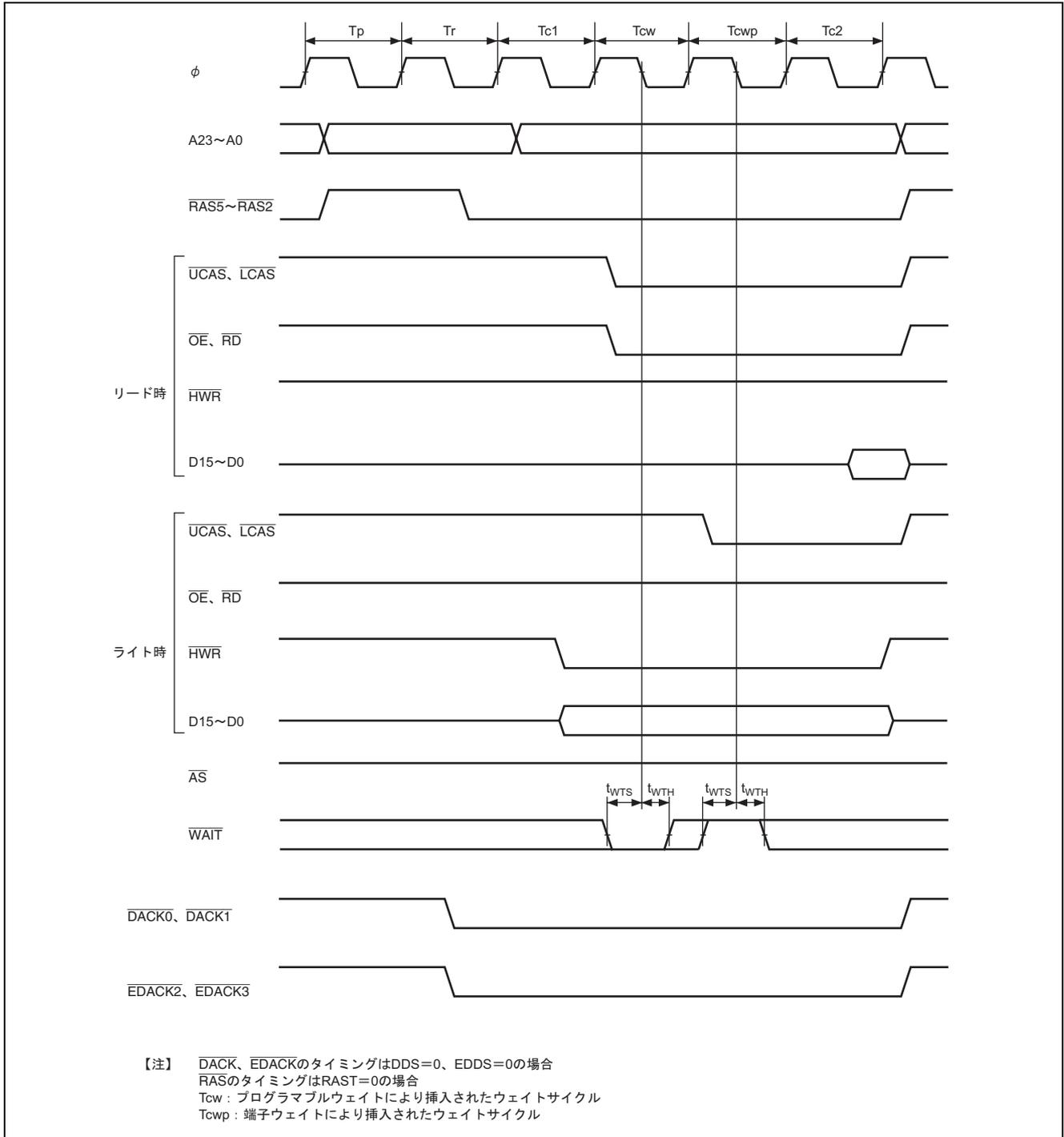


図 25.16 DRAM アクセスタイミング/2 ステートアクセス 1 ウェイト

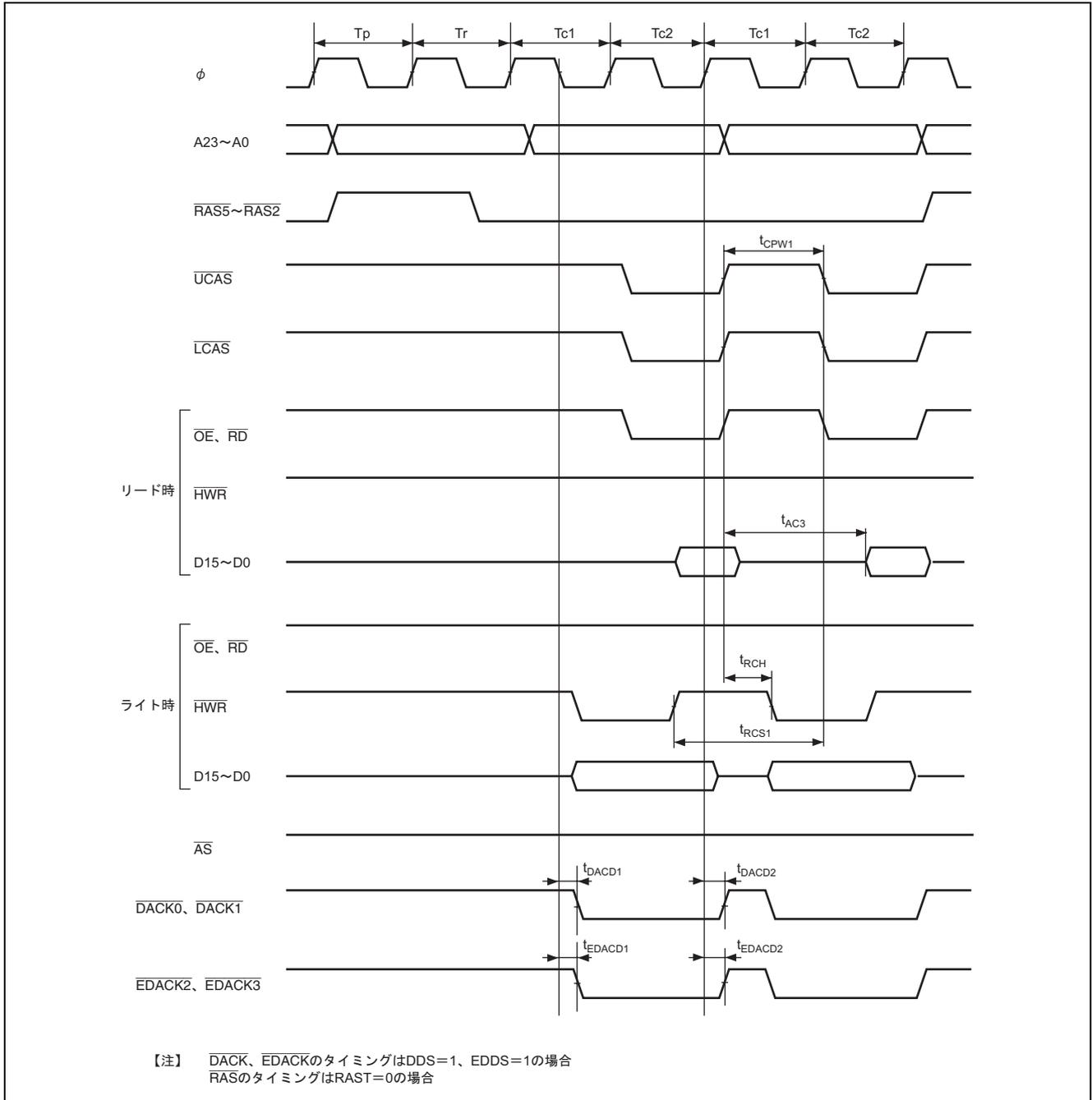


図 25.17 DRAM アクセスタイミング/2 ステートバーストアクセス

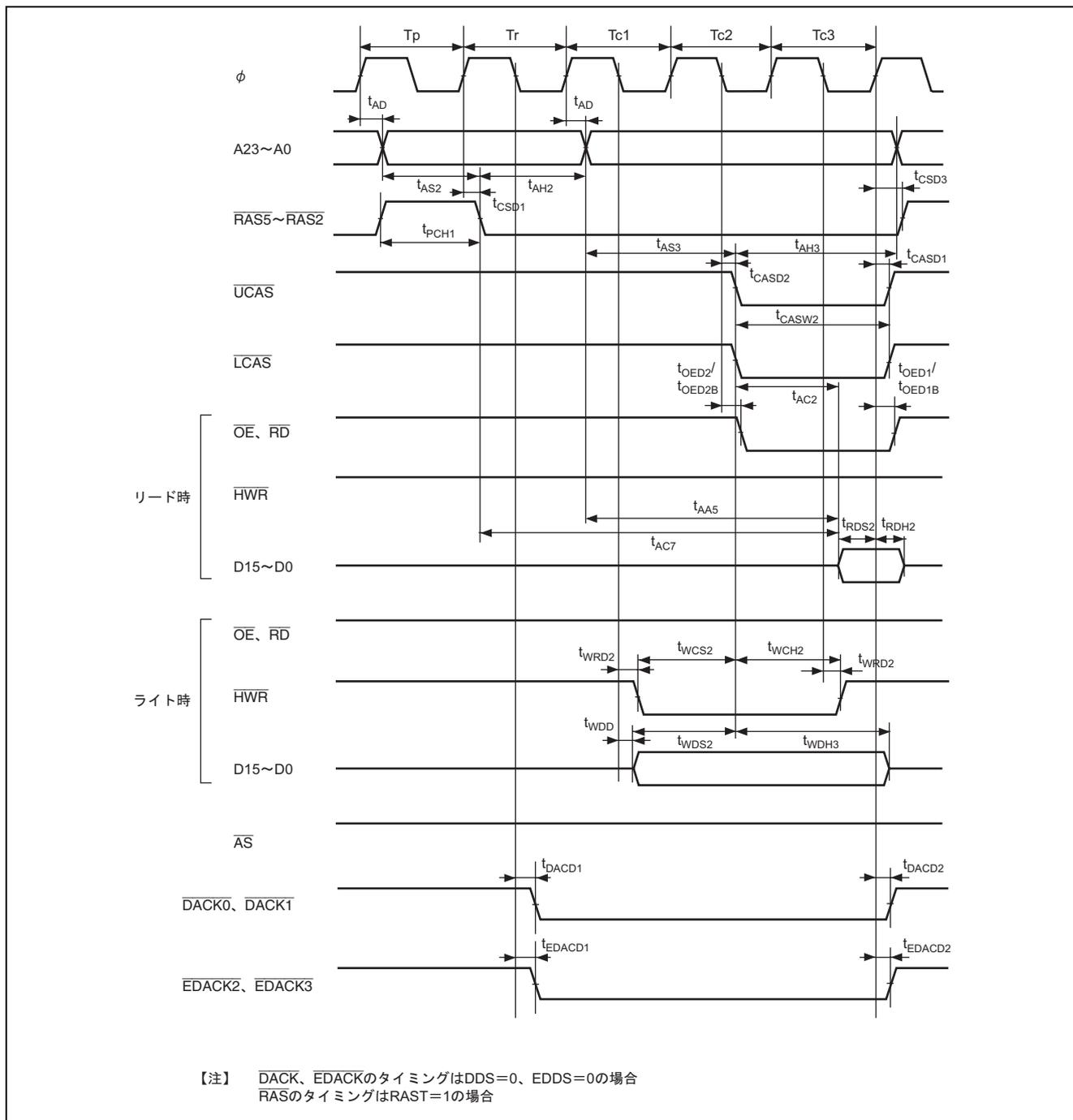


図 25.18 DRAM アクセスタイミング／3 ステートアクセス (RAST=1 のとき)

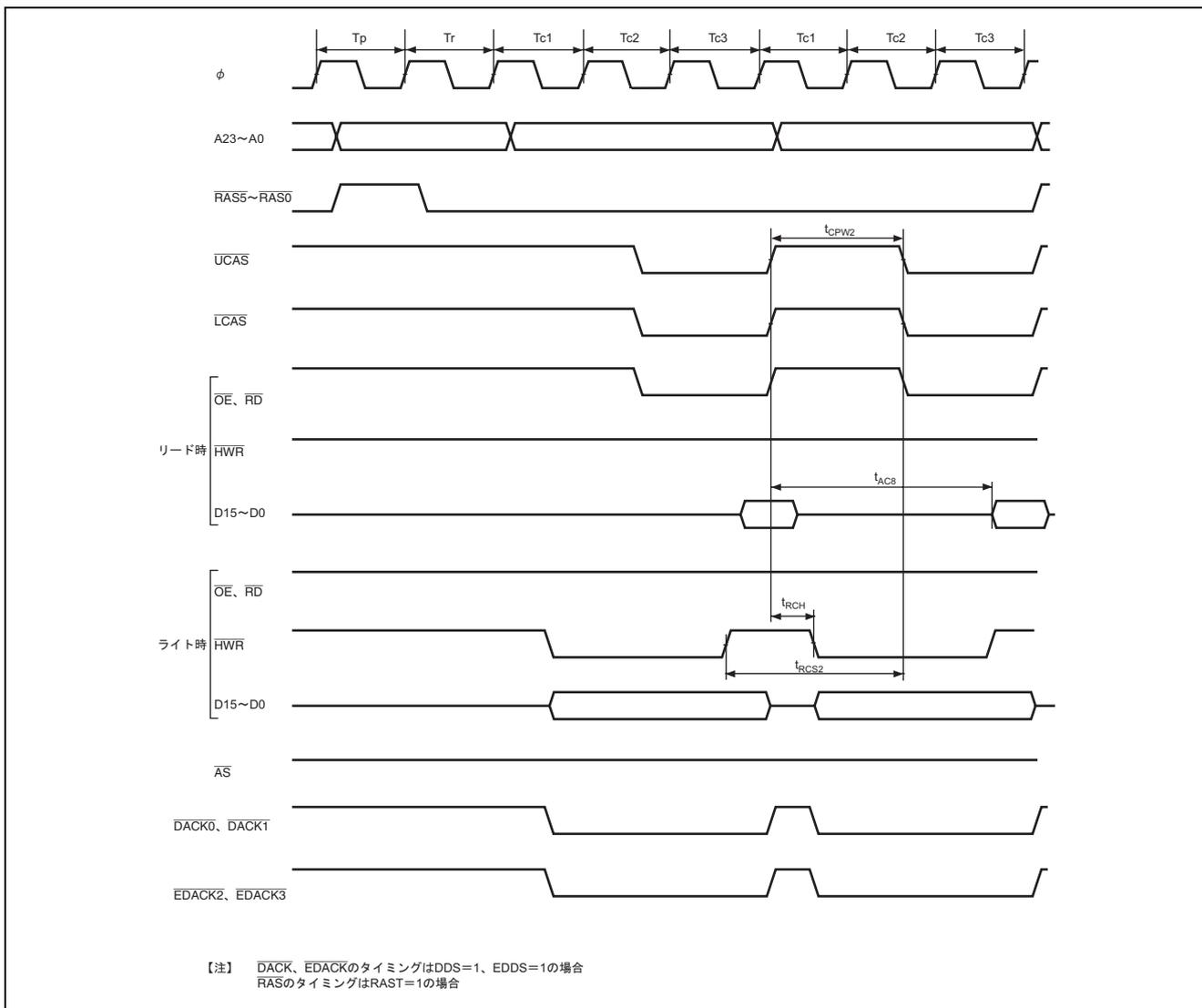


図 25.19 DRAM アクセスタイミング/3 ステートバーストアクセス

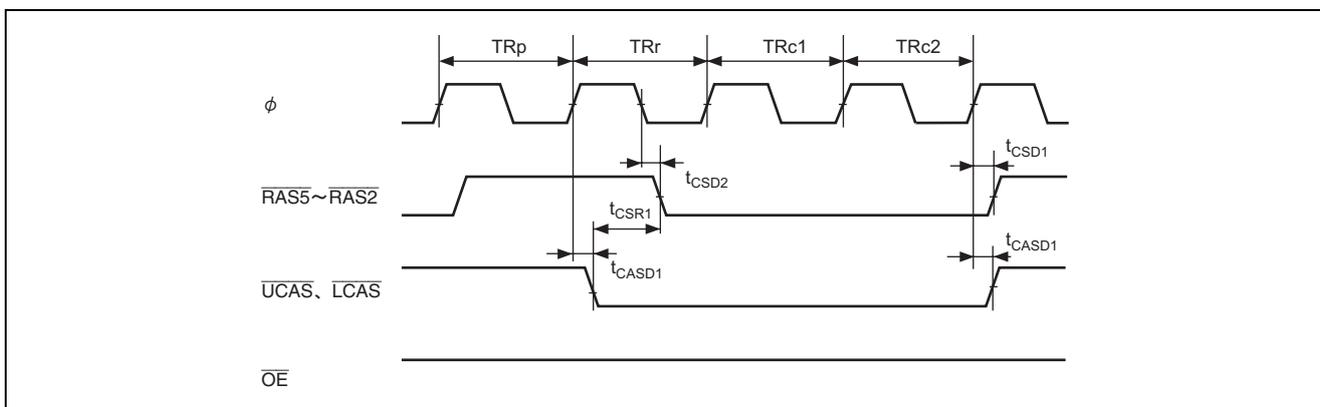


図 25.20 CAS ビフォア RAS リフレッシュタイミング

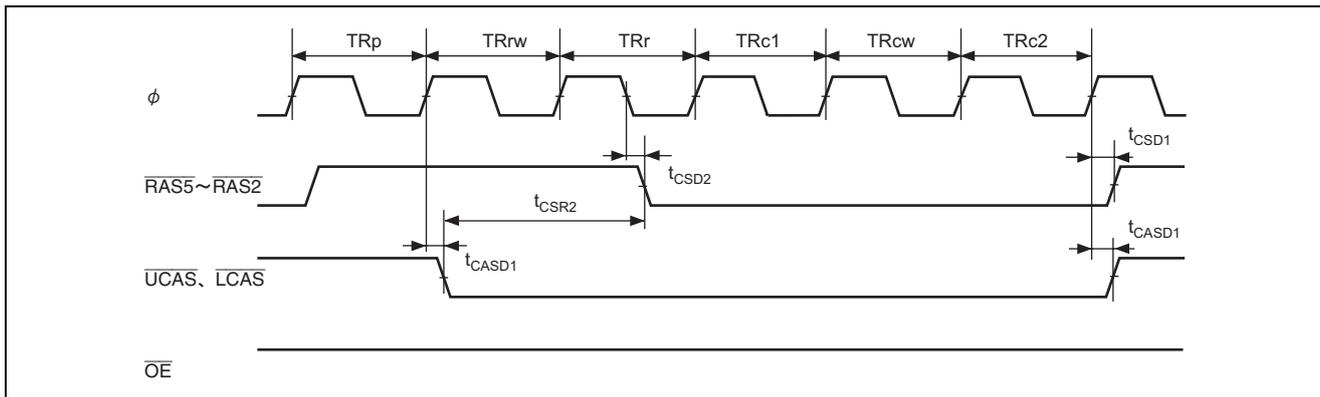


図 25.21 CAS ビフォア RAS リフレッシュタイミング (ウェイトサイクル挿入)

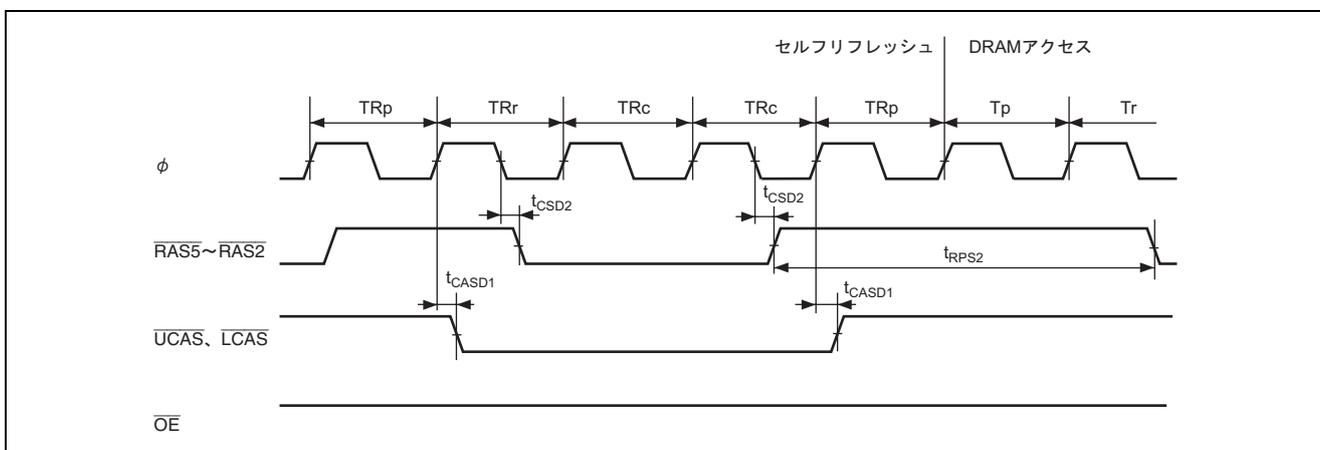


図 25.22 セルフリフレッシュタイミング
(ソフトウェアスタンバイからの復帰時 : RAST=0 のとき)

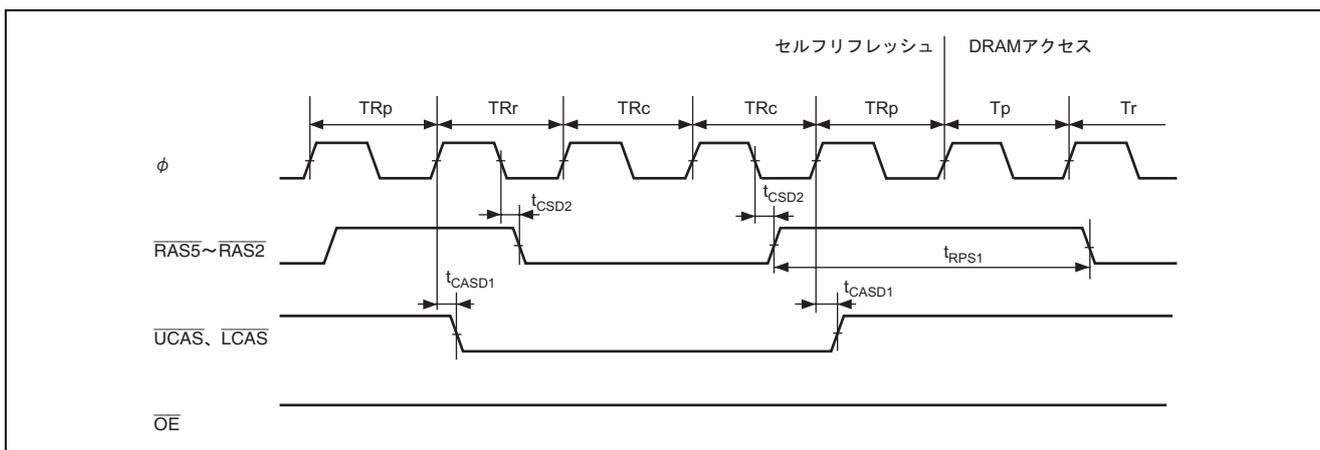


図 25.23 セルフリフレッシュタイミング
(ソフトウェアスタンバイからの復帰時 : RAST=1 のとき)

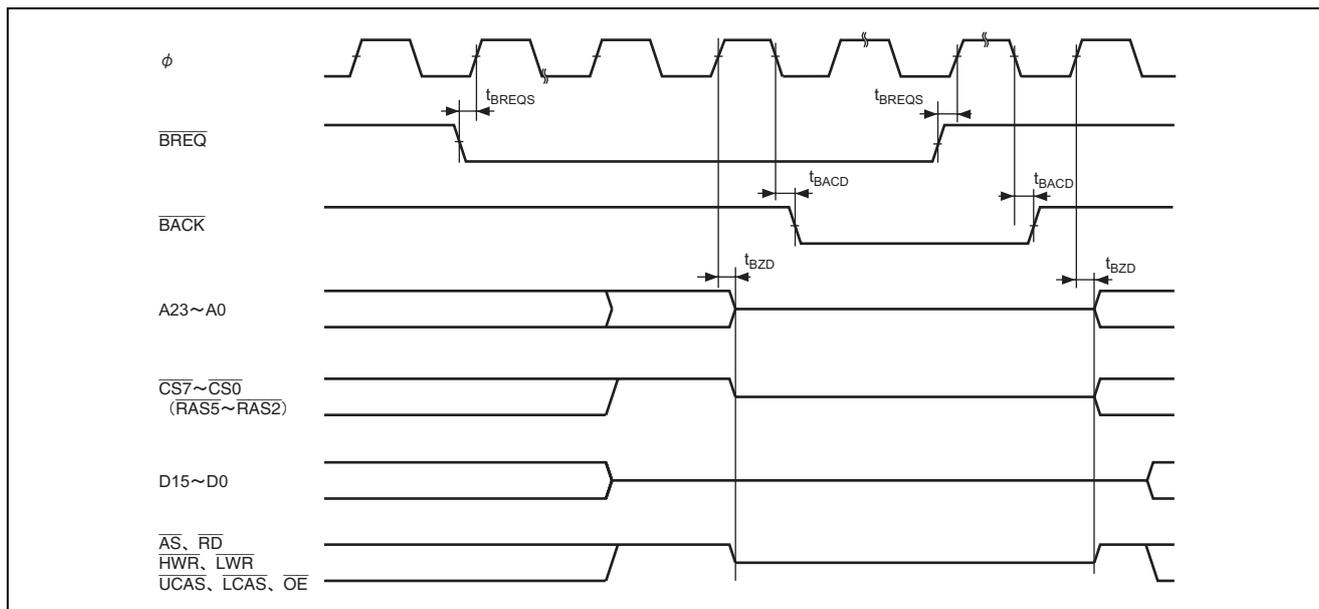


図 25.24 外部バス権開放タイミング

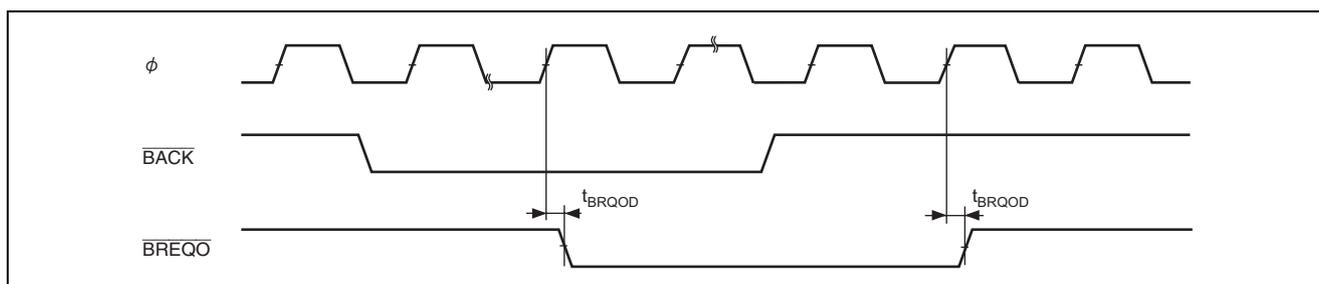


図 25.25 外部バス権要求出カタイミング

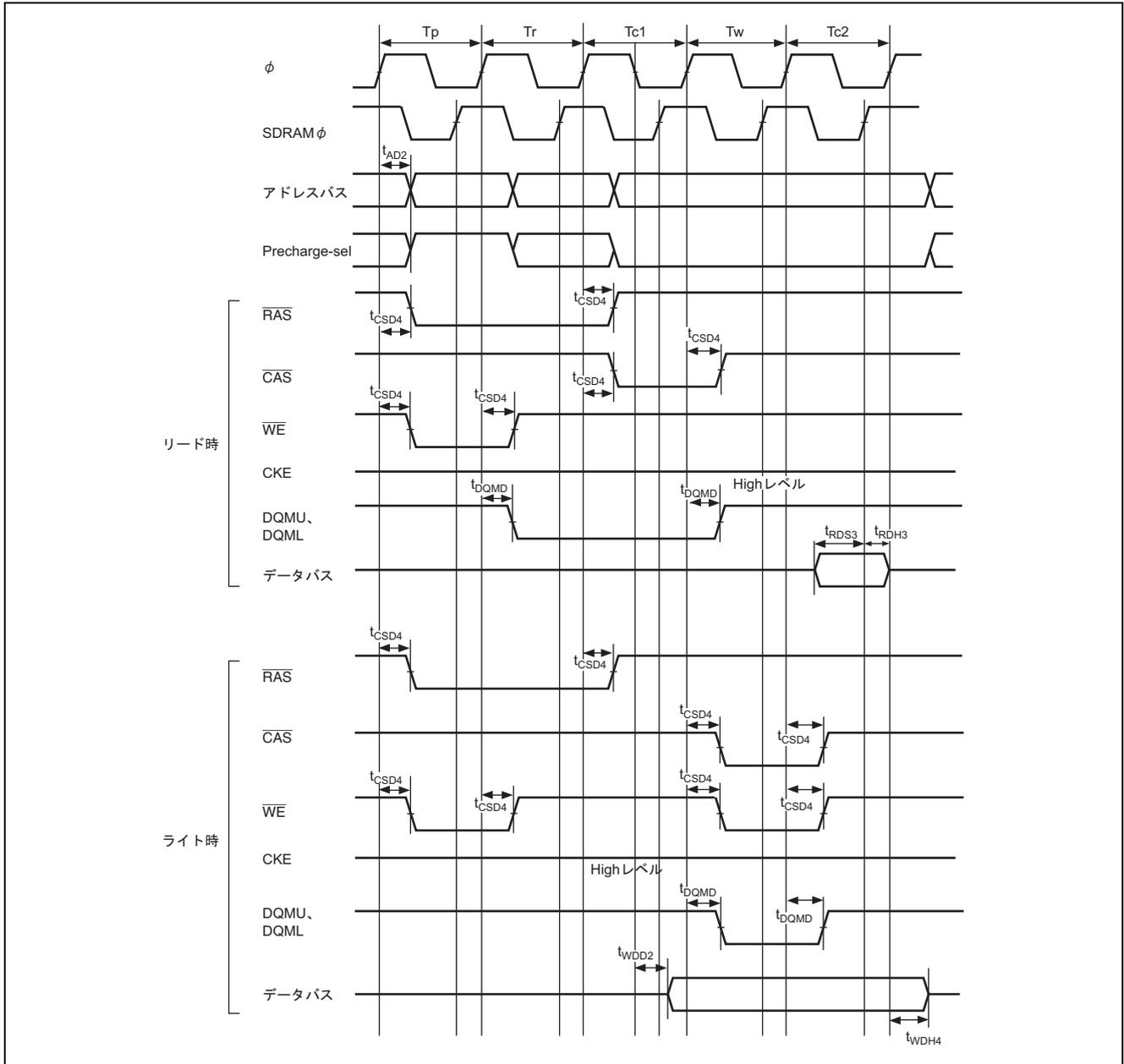


図 25.26 シンクロナス DRAM 基本アクセスタイミング (CAS レイテンシ 2 の場合)

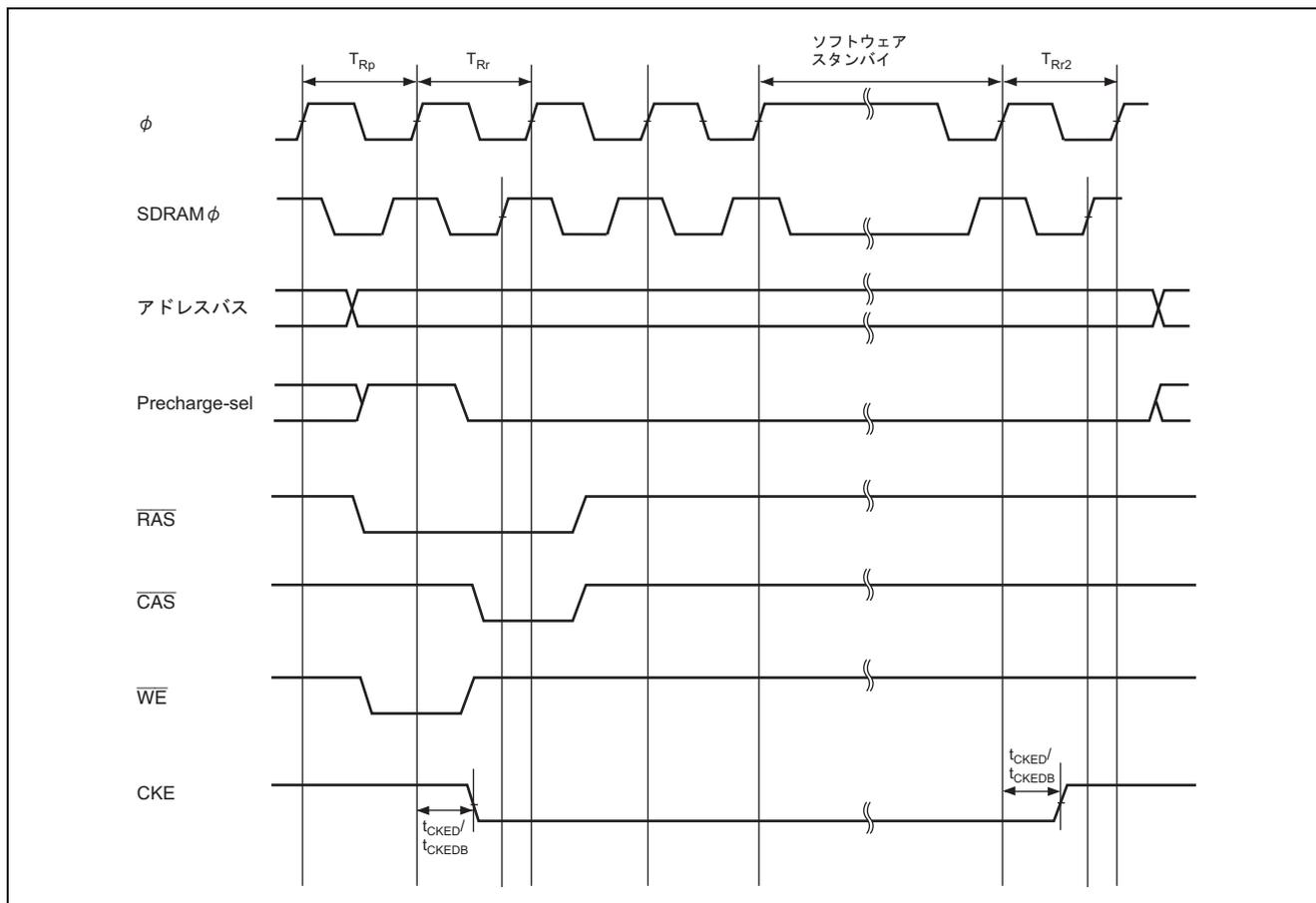


図 25.27 シンクロナス DRAM セルフリフレッシュタイミング

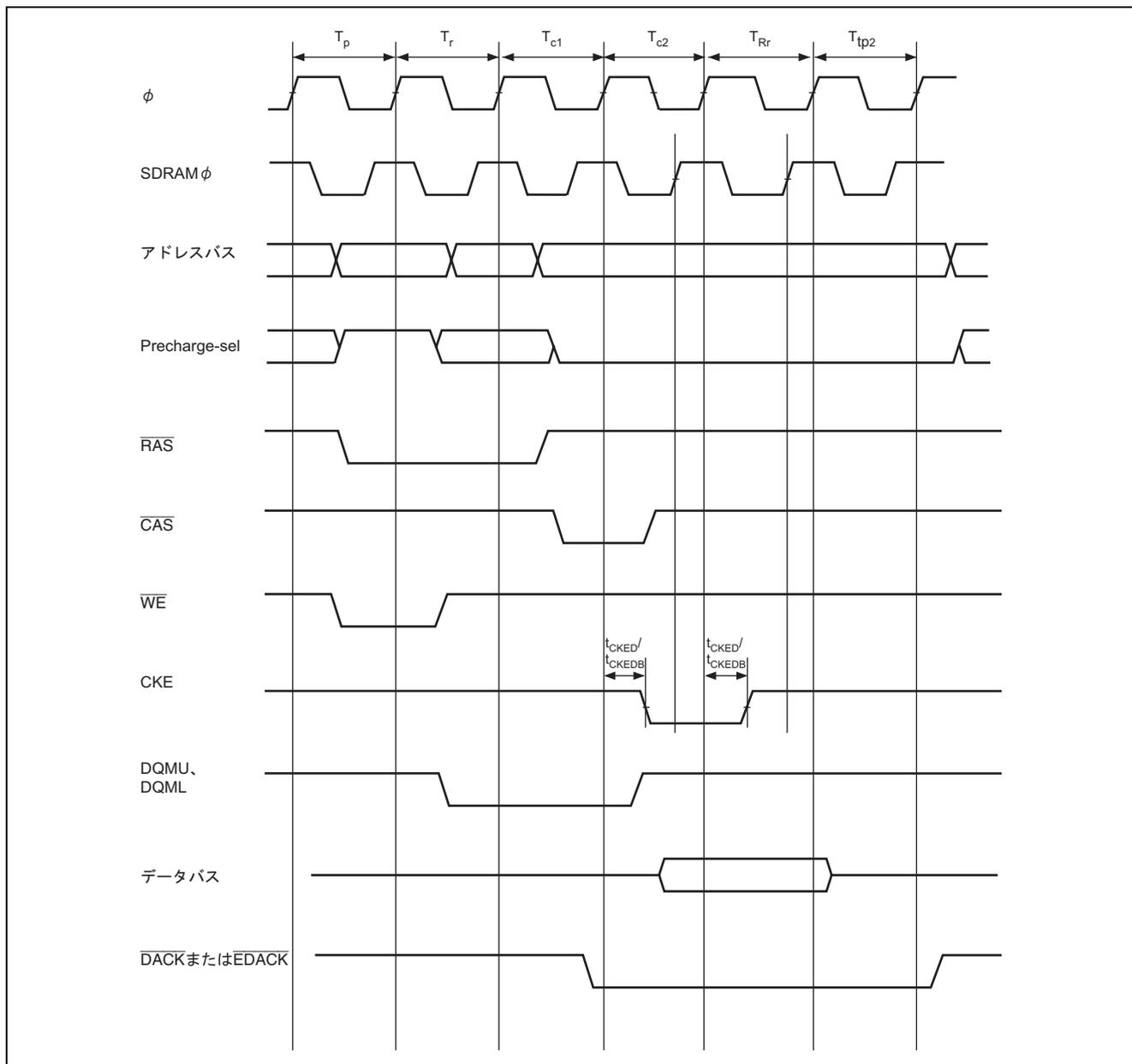


図 25.28 リードデータを 2 ステート拡張した場合 (CAS レイテンシ 2 の場合)

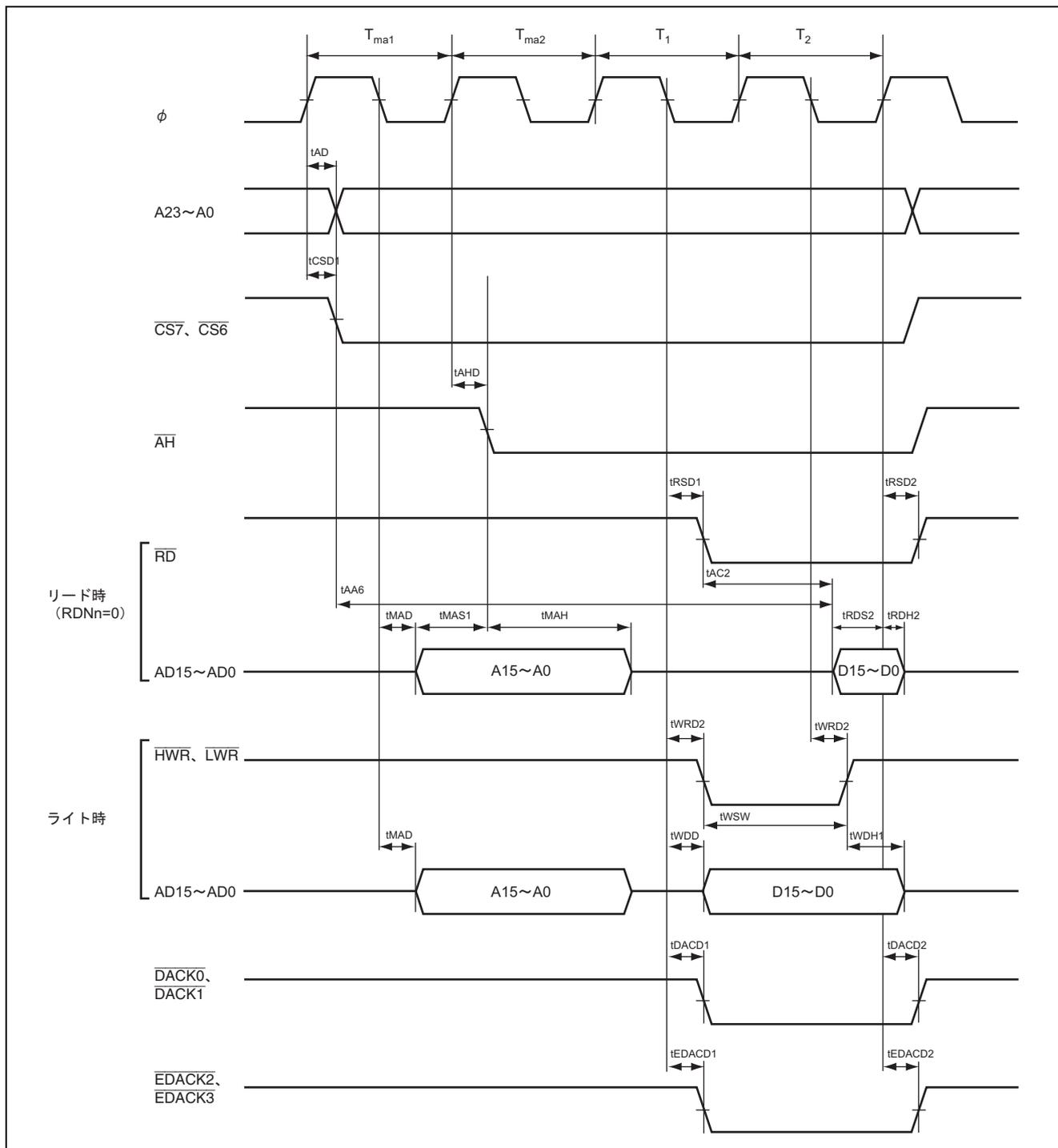


図 25.29 マルチプレクスバスタイミング/データ 2 ステートアクセス

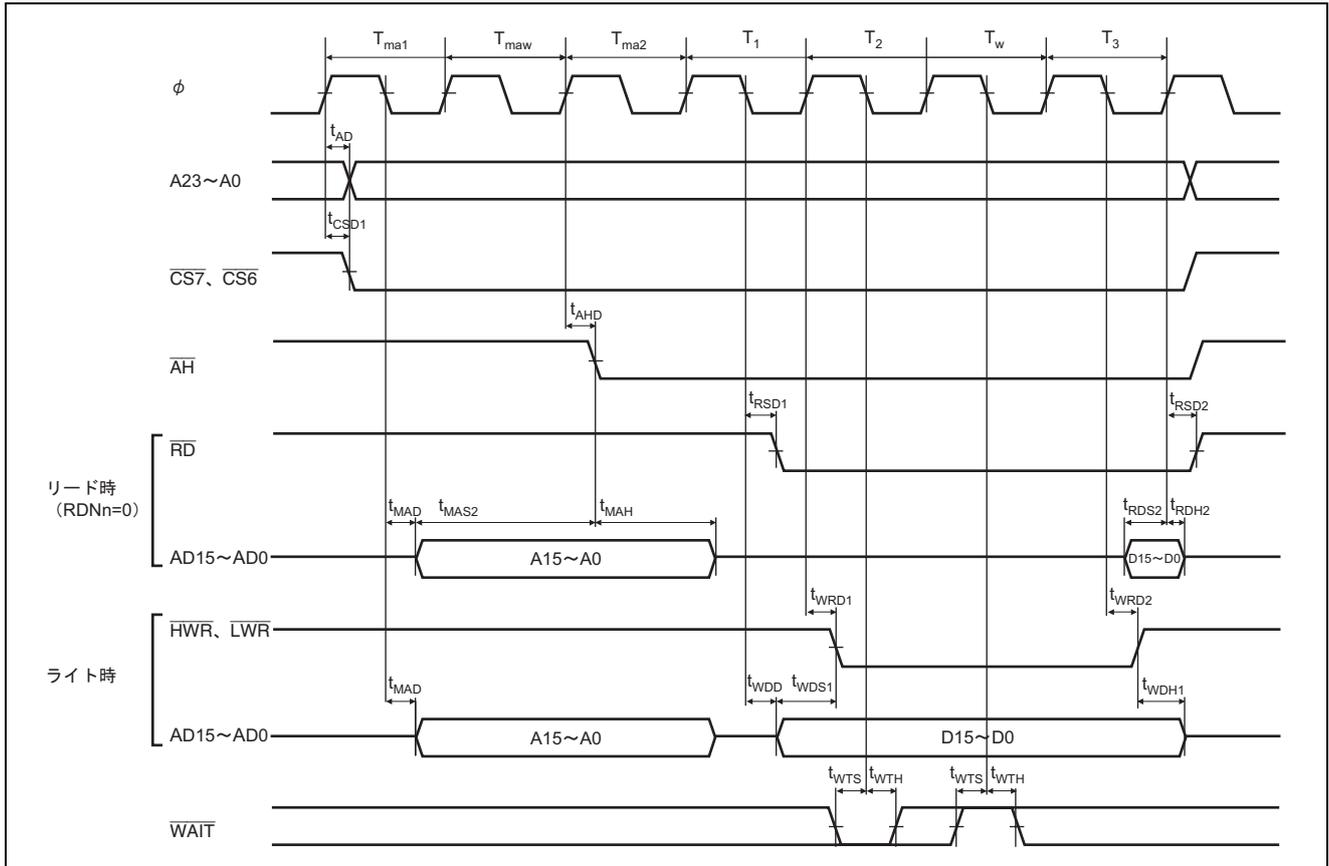


図 25.30 マルチプレクスバスタイミング／データ 3 ステートアクセス 1 ウェイト
(アドレスウェイトあり : ADDEX=1 のとき)

25.3.4 DMAC、EXDMAC タイミング

DMAC、EXDMAC タイミングを以下に示します。

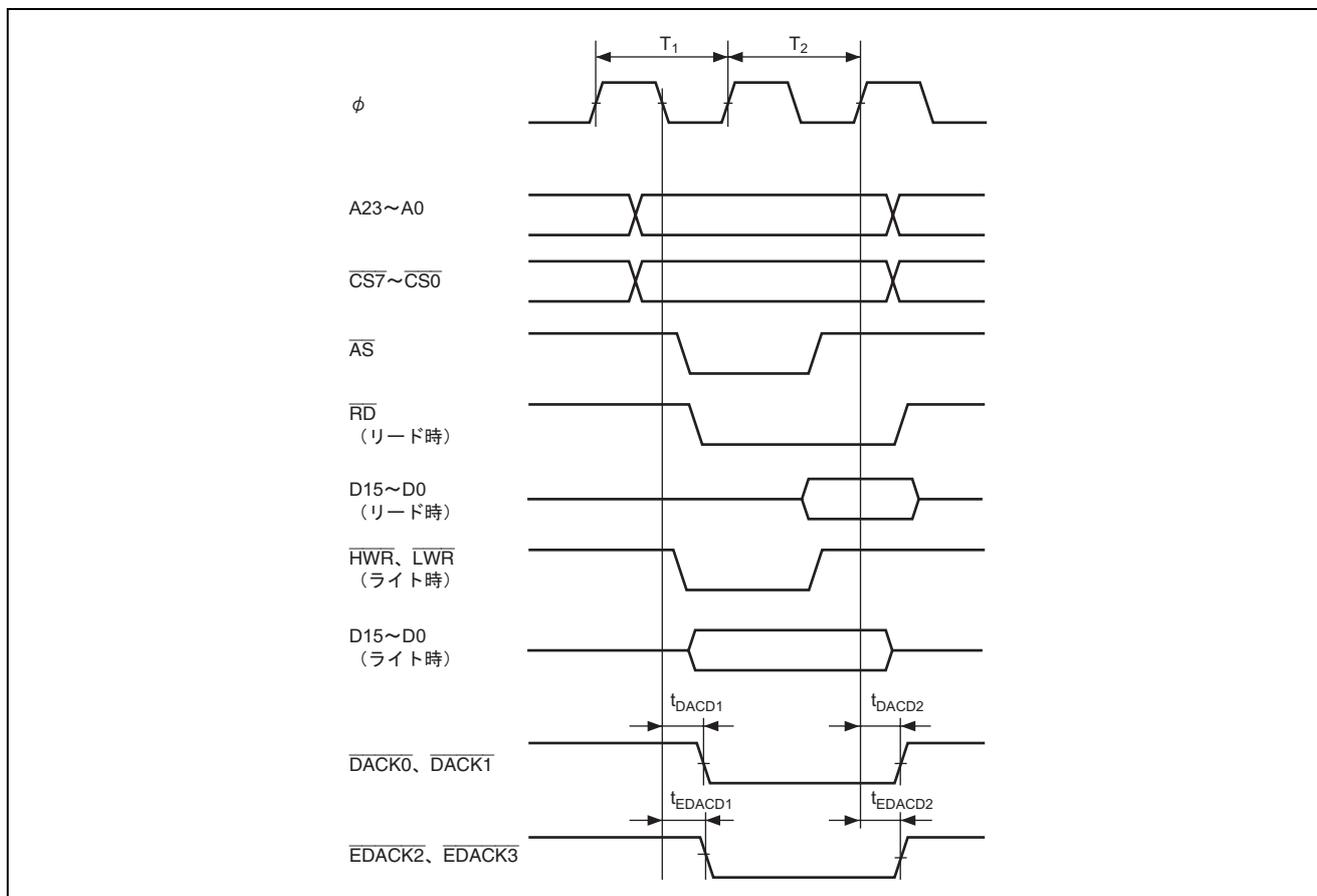


図 25.31 DMAC および EXDMAC、シングルアドレス転送タイミング／2 ステートアクセス

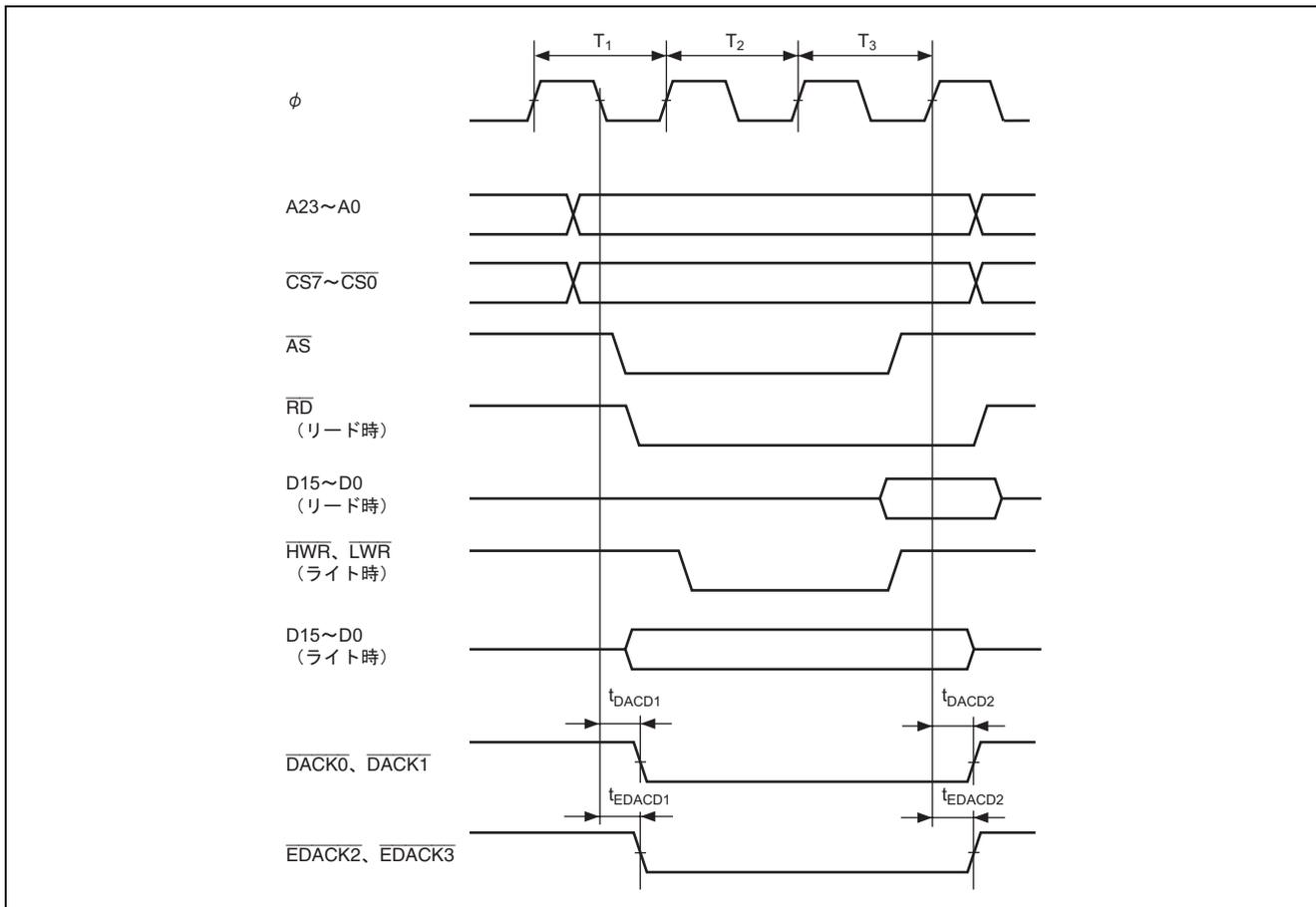


図 25.32 DMAC および EXDMAC、シングルアドレス転送タイミング／3ステートアクセス

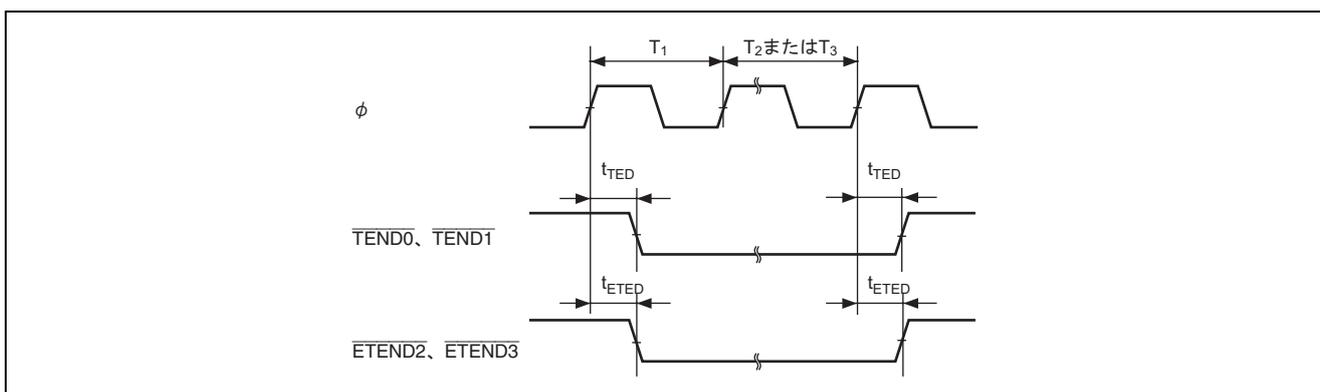
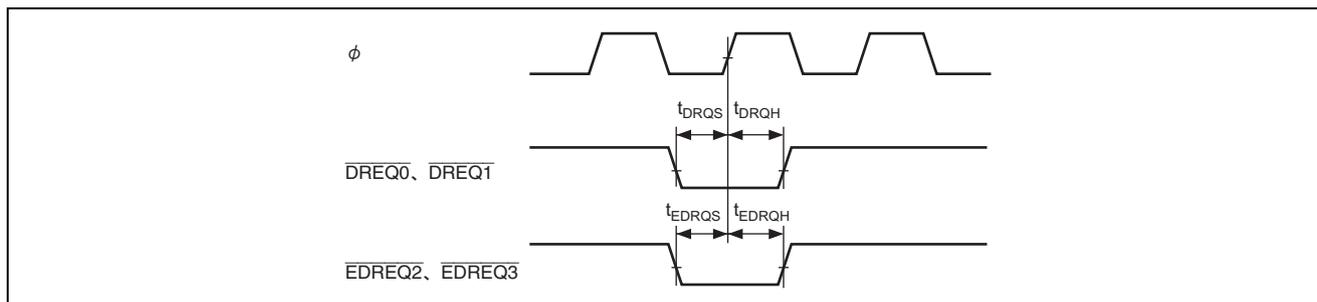
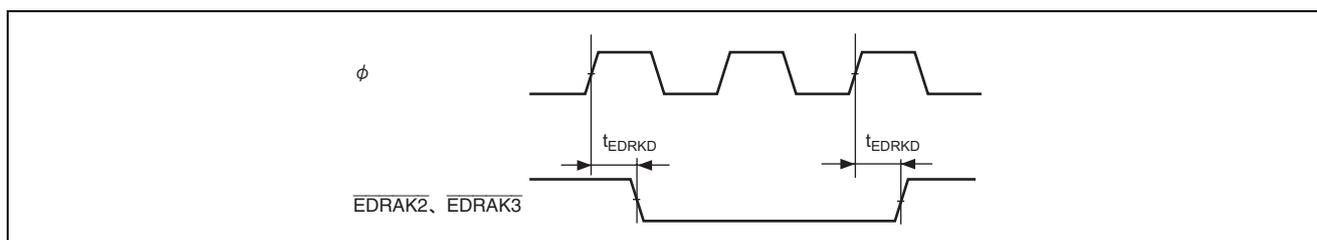


図 25.33 DMAC および EXDMAC、TEND、ETEND 出力タイミング

図 25.34 DMAC および EXDMAC、 \overline{DREQ} 、 \overline{EDREQ} 入カタイミング図 25.35 EXDMAC、 \overline{EDRAK} 出カタイミング

25.3.5 内蔵周辺モジュールタイミング

内蔵周辺モジュールタイミングを以下に示します。

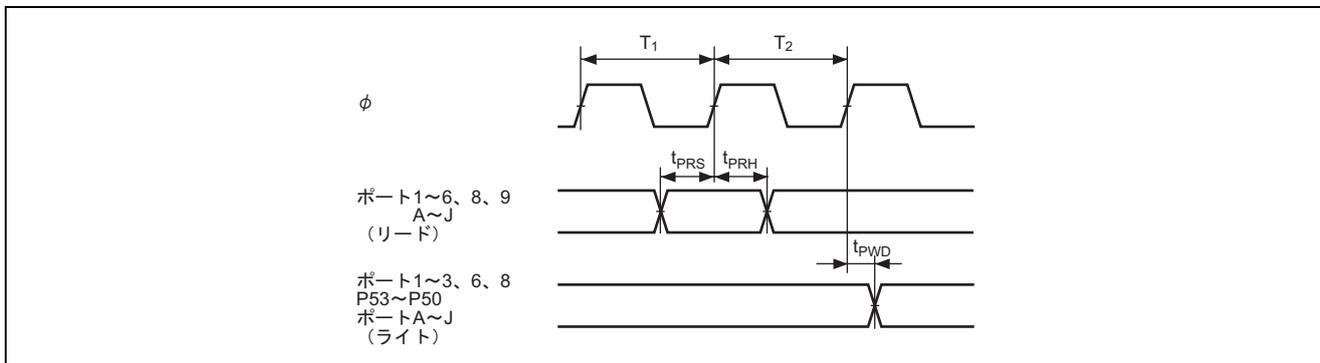


図 25.36 I/O ポート入出カタイミン

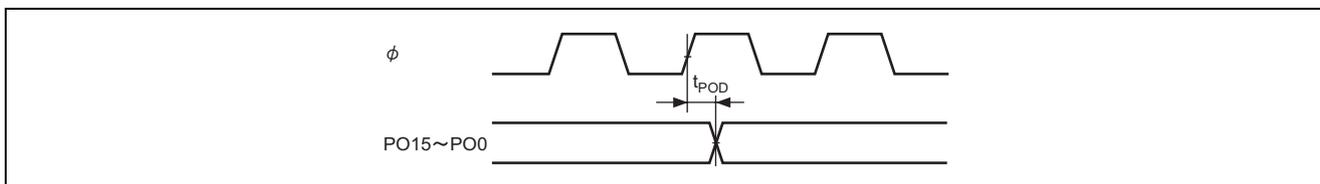


図 25.37 PPG 出カタイミン

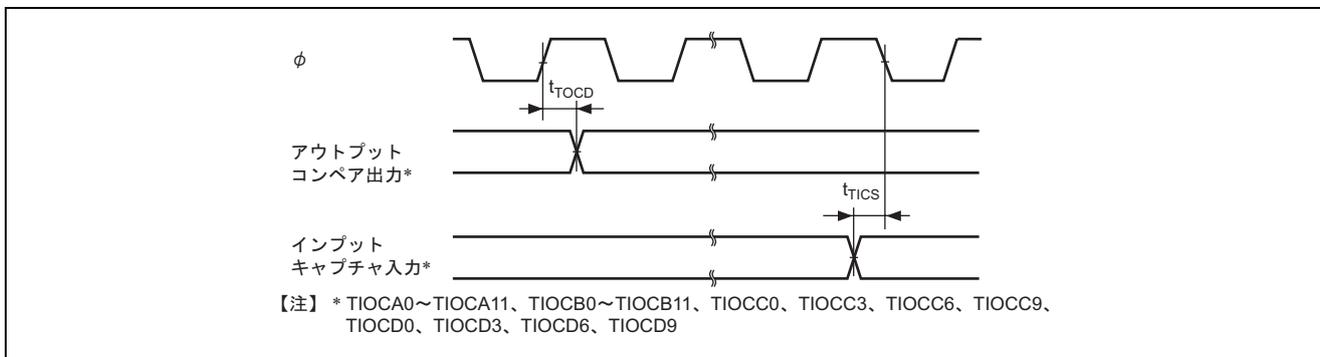


図 25.38 TPU 入出カタイミン

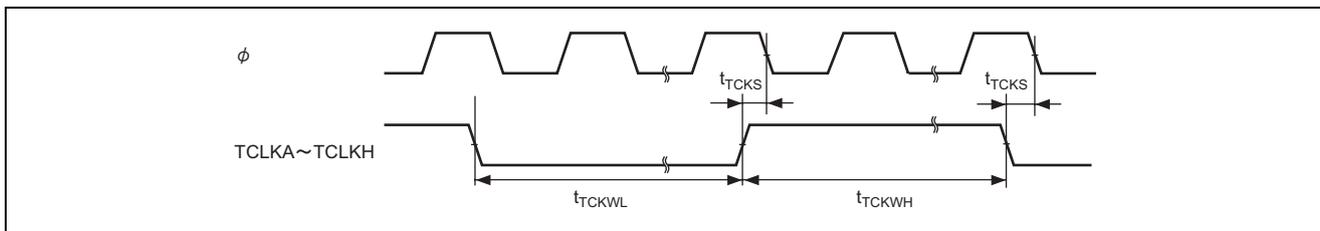


図 25.39 TPU クロック入カタイミン

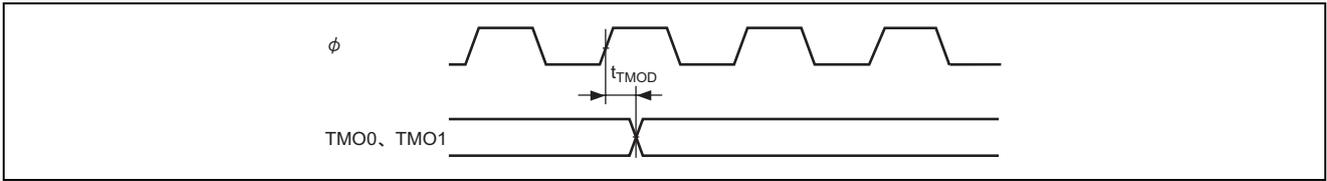


図 25.40 8 ビットタイマ出力タイミング

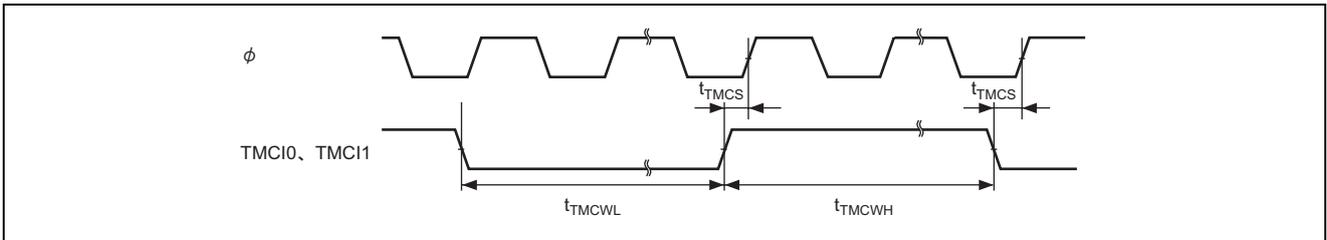


図 25.41 8 ビットタイマクロック入力タイミング

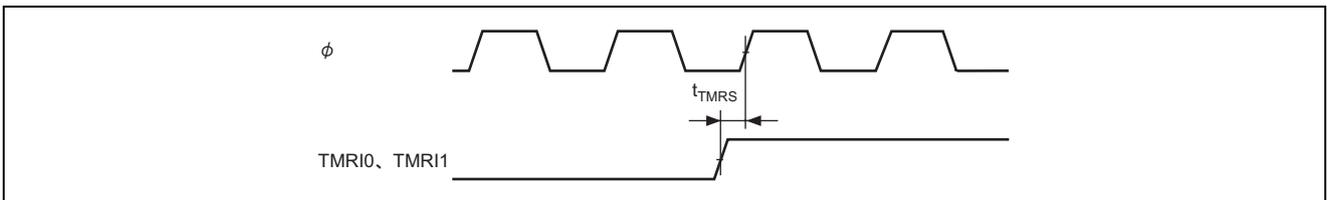


図 25.42 8 ビットタイマリセット入力タイミング

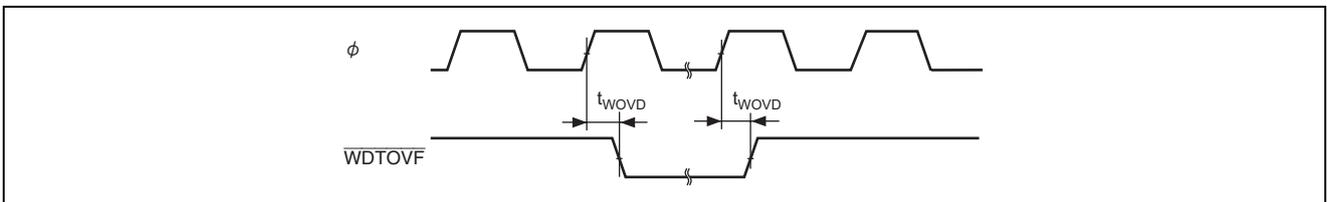


図 25.43 WDT 出力タイミング

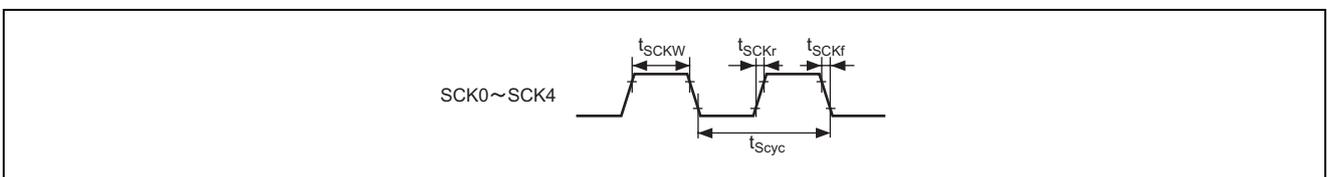


図 25.44 SCK クロック入力タイミング

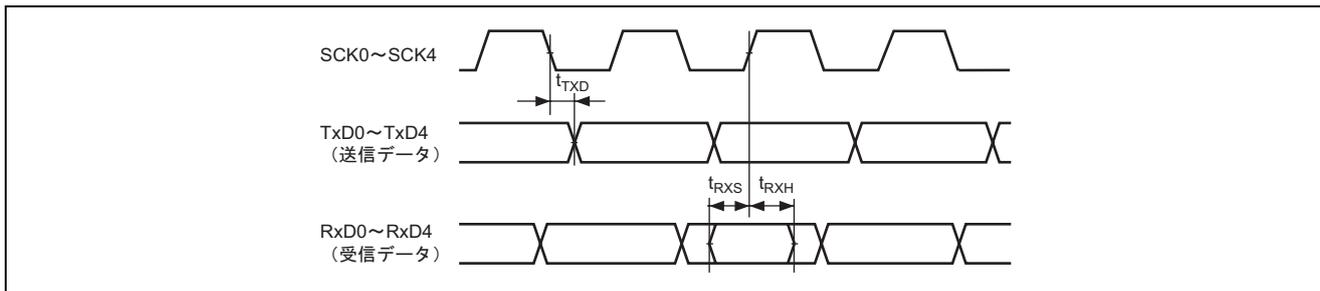


図 25.45 SCI 入出力タイミング/クロック同期式モード

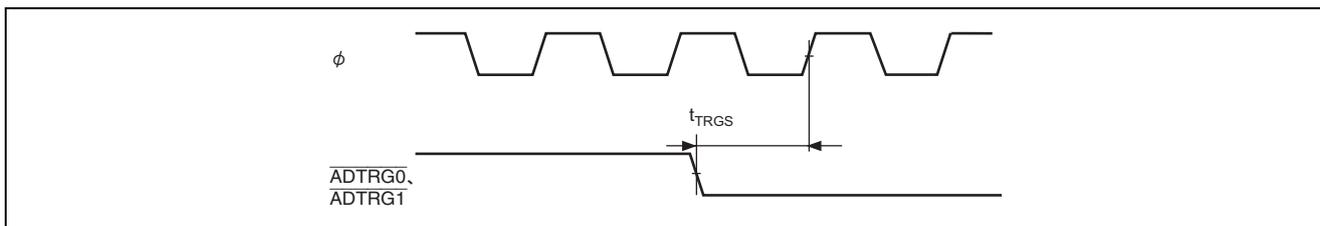


図 25.46 A/D 変換器外部トリガ入力タイミング

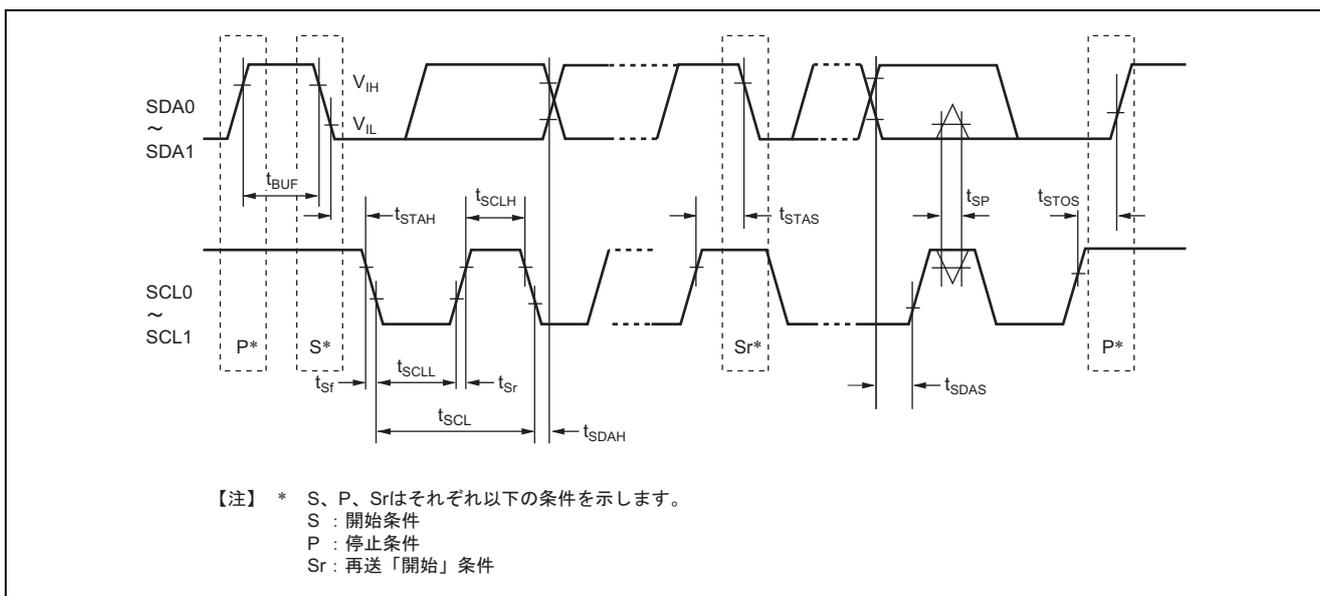


図 25.47 I²C バスインタフェース 2 入出力タイミング

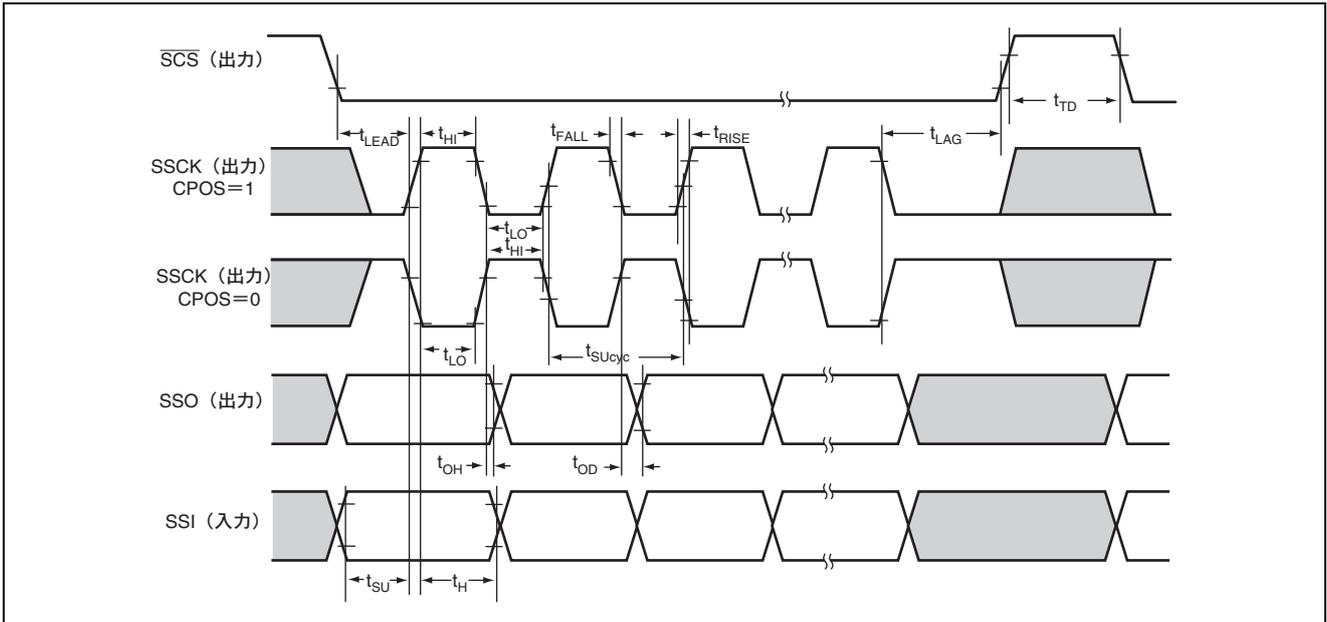


図 25.48 SSU タイミング (マスタ、CPHS=1)

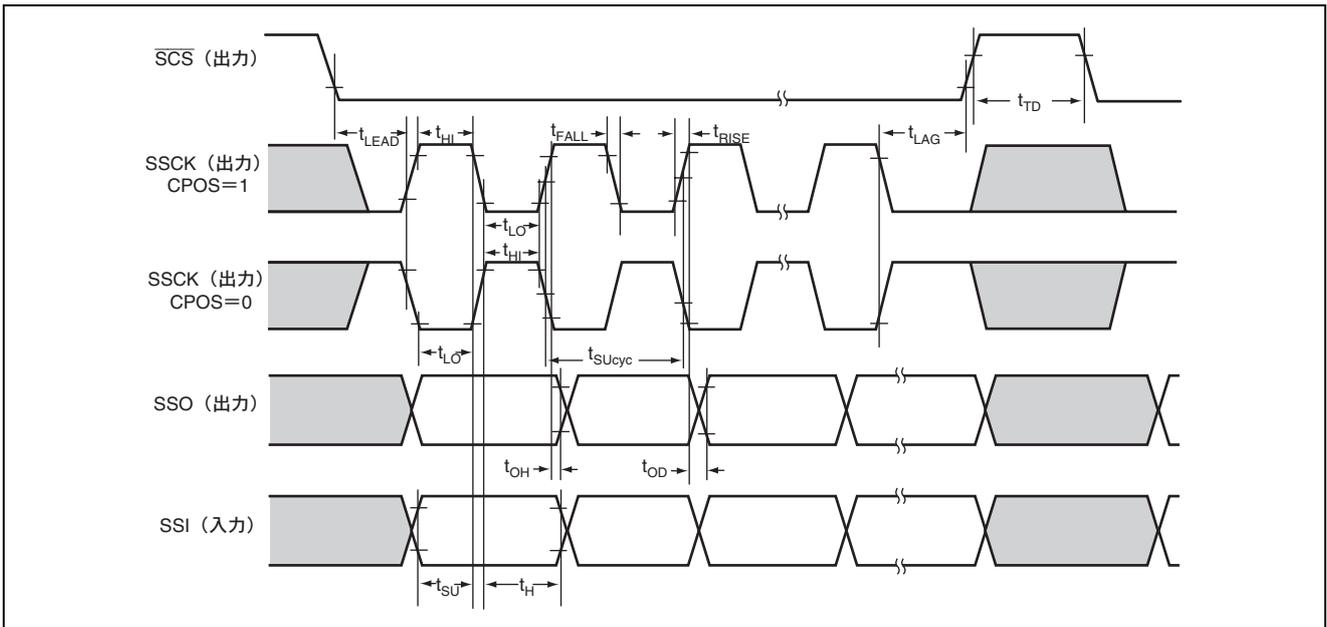


図 25.49 SSU タイミング (マスタ、CPHS=0)

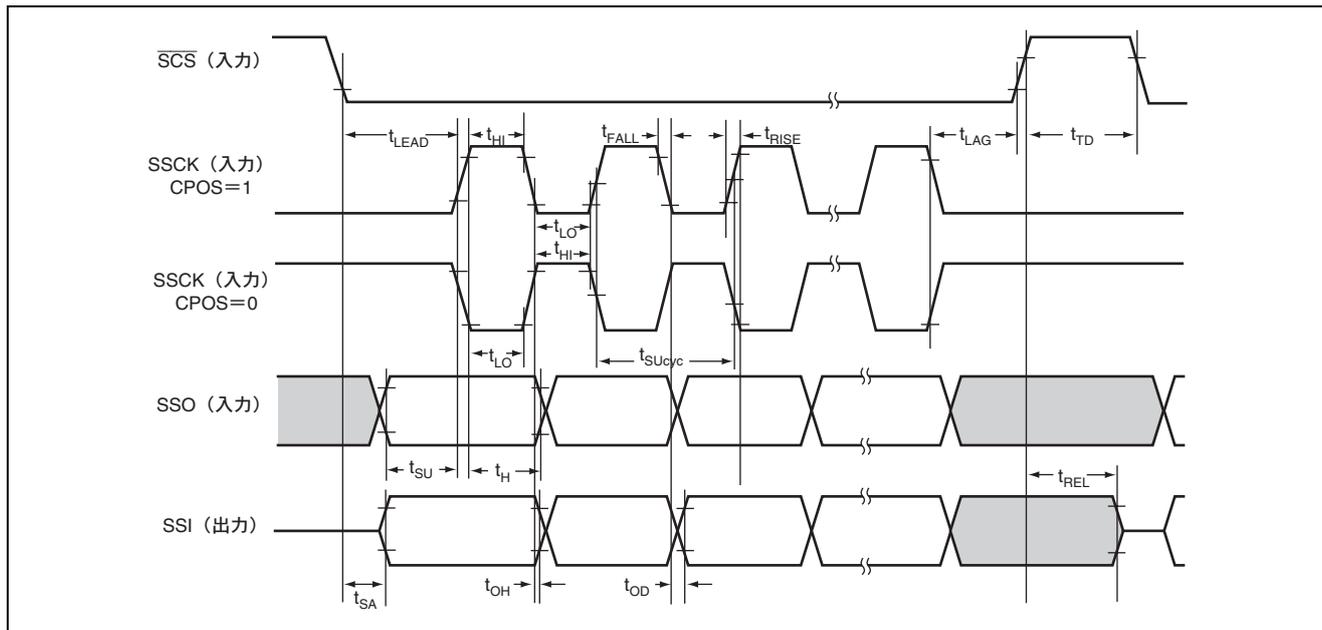


図 25.50 SSU タイミング (スレーブ、CPHS=1)

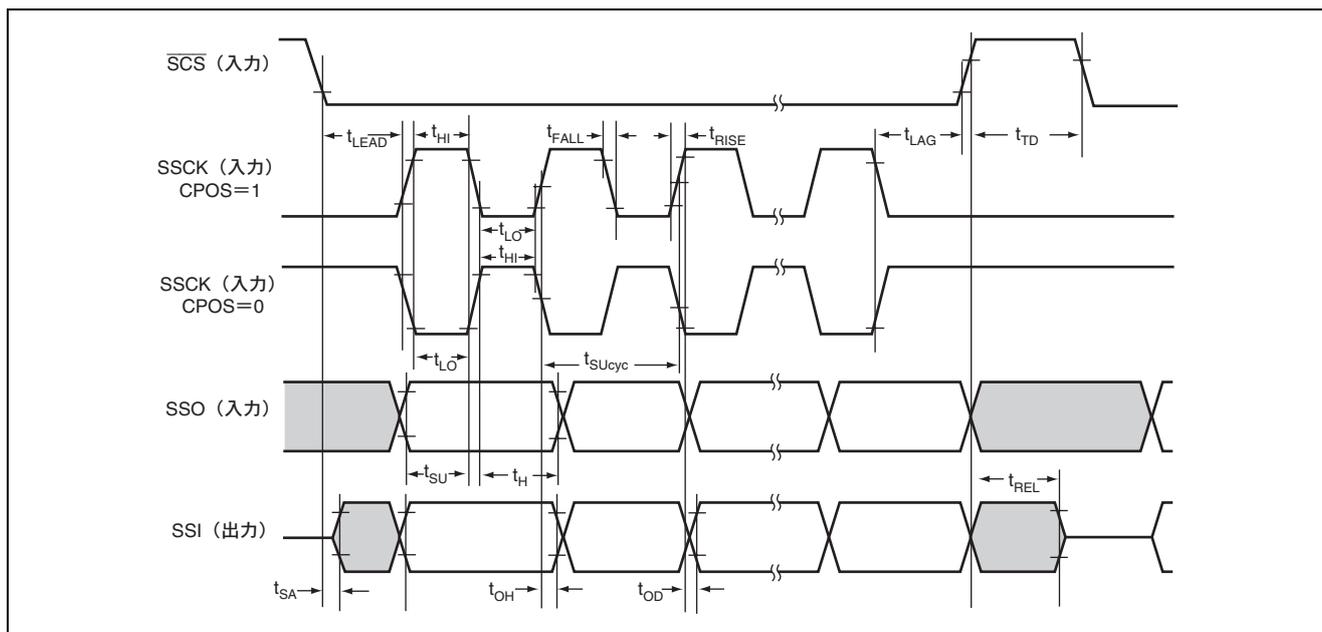


図 25.51 SSU タイミング (スレーブ、CPHS=0)

25.4 H8S/2426 グループの電気的特性 (5V 版)

25.4.1 絶対最大定格

絶対最大定格を表 25.26 に示します。

表 25.26 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	-0.3~+6.5	V
入力電圧 (ポート 4、9、ポート 2、P32~P35、P50~P51、PJ0~PJ2 以外)	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧 (ポート 2、P50~P51、P32~P35、PJ0~PJ2)	V _{in}	-0.3~+6.5	V
入力電圧 (ポート 4、9)	V _{in}	-0.3~AV _{cc} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+6.5	V
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V
動作温度	Topr	通常仕様品 : -20~+75*	°C
		広温度範囲仕様品 : -40~+85*	°C
保存温度	Tstg	-55~+125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み/消去時の動作温度範囲は、

Ta=0~+75°C (一般仕様)

Ta=0~+85°C (広温度範囲仕様)

です。

25.4.2 DC 特性

表 25.27 DC 特性 (1)

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1 ^{*6} 、ポート 2 ^{*6} 、 P32~P35 ^{*2} 、 P50~P53 ^{*2} 、 ポート 6 ^{*2} 、ポート 8 ^{*2} 、 PA4~PA7 ^{*2} 、ポート B ^{*2} 、 ポート C ^{*2} 、PF1 ^{*2} 、 PF2 ^{*2} 、PH2 ^{*2} 、PH3 ^{*2}	VT^-	$V_{CC} \times 0.2$	—	—	V	
		VT^+	—	—	$V_{CC} \times 0.7$	V	
		$VT^+ - VT^-$	$V_{CC} \times 0.07$	—	—	V	
入力 High レベル電圧	\overline{STBY} 、MD2~MD0	V_{IH}	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V	
	\overline{RES} 、NMI、EMLE						
	EXTAL		$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$	V	
	P14~P17 ^{*5} P24~P26 ^{*5} ポート 3 ^{*3} 、P50~P53 ^{*3} ポート 6 ^{*3} 、ポート 8 ^{*3} 、 ポート A~J ^{*3}		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	
	ポート 4、ポート 9		$V_{CC} \times 0.8$	—	$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} MD2~MD0、EMLE	V_{IL}	-0.3	—	$V_{CC} \times 0.1$	V	
	NMI、EXTAL		-0.3	—	$V_{CC} \times 0.2$	V	
	P14~P17 ^{*5} 、P24~P26 ^{*5} 、 ポート 3 ^{*3} 、5 ^{*3} 、6 ^{*3} 、ポート 8、 ポート A~J ^{*3}		-0.3	—	$V_{CC} \times 0.2$	V	
	ポート 4、ポート 9		-0.3	—	$AV_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.3$	—	—	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 0.5$	—	—	V	$I_{OH} = -1mA$
			$V_{CC} - 0.8$	—	—	V	$I_{OH} = -2mA$
出力 Low レベル電圧	全出力端子 P26、P27 ^{*4} 、P32~P35 ^{*4} P50~P51 ^{*4}	V_{OL}	—	—	0.4	V	$I_{OL} = 4.0mA$
			—	—	0.4	V	$I_{OL} = 8.0mA$
			—	—	0.4	V	
入力リーク 電流	\overline{RES}	I _{in}	—	—	10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5 V$
	\overline{STBY} 、NMI、MD2~MD0		—	—	1.0	μA	0.5 V
	ポート 4、ポート 9		—	—	1.0	μA	$V_{in} = 0.5 \sim AV_{CC} - 0.5 V$

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。 AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。*2 \overline{IRQ} 、 $TIOC$ 、 $TCLK$ 、 $TMRI$ 、 SCL 、 SDA として使用した場合です。

- *3 $\overline{\text{IRQ}}$ 、 $\overline{\text{TIOC}}$ 、 $\overline{\text{TCLK}}$ 、 $\overline{\text{TMRI}}$ 、 $\overline{\text{SCL}}$ 、 $\overline{\text{SDA}}$ 以外として使用した場合です。
- *4 $\overline{\text{SCL}}$ 、 $\overline{\text{SDA}}$ として使用した場合です。
- *5 $\overline{\text{SSO}}$ 、 $\overline{\text{SSI}}$ 、 $\overline{\text{SSCK}}$ 、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ として使用した場合です。
- *6 $\overline{\text{SSO}}$ 、 $\overline{\text{SSI}}$ 、 $\overline{\text{SSCK}}$ 、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ 以外として使用した場合です。

表 25.28 DC 特性 (2)

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ *1

項目		記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (オフ状態)	ポート 1~3、P50~P53	$ I_{TSL} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}$ $-0.5V$
	ポート 6、ポート 8、 ポート A~J						
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	—	300	μA	$V_{CC}=4.5\sim 5.5V$ $V_{in}=0V$
入力容量	$\overline{\text{RES}}$	C_{in}	—	—	30	pF	$V_{in}=0V$
	NMI		—	—	30	pF	$f=1MHz$
	$\overline{\text{RES}}$ 、NMI 以外の全入力端子		—	—	18	pF	$T_a=25^\circ C$
消費電流*2	通常動作時	I_{CC} *4	—	45 (5.0V)	70	mA	$f=33MHz$
	スリープ時		—	35 (5.0V)	45	mA	$f=33MHz$
	スタンバイ時*3		—	20	80	μA	$T_a \leq 50^\circ C$
			—	80	500	μA	$50^\circ C < T_a$
アナログ 電源電流	A/D、D/A 変換中	$A_{I_{CC}}$	—	0.5 (5.0V)	2.0	mA	1ch 使用時
	A/D、D/A 変換待機時		—	0.01	5.0	μA	1ch 使用時
リファレンス 電源電流	A/D、D/A 変換中	$A_{I_{CC}}$	—	0.5 (5.0V)	1.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.5	—	—	V	
V_{CC} 開始電圧*5		$V_{CC\ start}$	—	—	0.3	V	
V_{CC} 立ち上がり勾配*5		SV_{CC}	—	—	20	ms/V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。 AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。*2 消費電流値は、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 $V_{RAM} \leq V_{CC} < 4.5V$ のとき、 $V_{IH\ min}=V_{CC} \times 0.9$ 、 $V_{IL\ max}=0.3V$ とした場合の値です。*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC\ max}=5.2\ (mA) + 1.96\ (mA/(MHz)) \times f\ (\text{通常動作時})$$

$$I_{CC\ max}=2.6\ (mA) + 1.28\ (mA/(MHz)) \times f\ (\text{スリープ時})$$

*5 電源投入時、 $\overline{\text{RES}}$ 端子が Low レベルになっている条件で適用します。

表 25.29 出力許容電流値

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ *

項目	記号	min	typ	max	単位	
出力 Low レベル許容電流 (1 端子あたり)	I ² C 端子以外の全出力端子	I _{OL}	—	—	4.0	ma
	I ² C 出力端子	I _{OL}	—	—	8.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力 High レベル許容電流量 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.29 の値を超えないようにしてください。

- * A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。
 AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

25.4.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、DMAC、EXDMAC タイミングおよび内蔵周辺機能タイミングを以下に示します。

(1) クロックタイミング

表 25.30 クロックタイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t _{cyc}	30.3	125	ns	図 25.54
クロックハイレベルパルス幅	t _{CH}	10	—	ns	
クロックローレベルパルス幅	t _{CL}	10	—	ns	
クロック立ち上がり時間	t _{Cr}	—	5	ns	
クロック立ち下がり時間	t _{Cf}	—	5	ns	
リセット発振安定時間 (水晶)	t _{OSC1}	15	—	ms	図 25.55(1)
ソフトウェアスタンバイ発振安定時間 (水晶)	t _{OSC2}	5	—	ms	図 25.55(2)
外部クロック出力遅延安定時間	t _{DEXT}	15	—	ms	図 25.55(1)

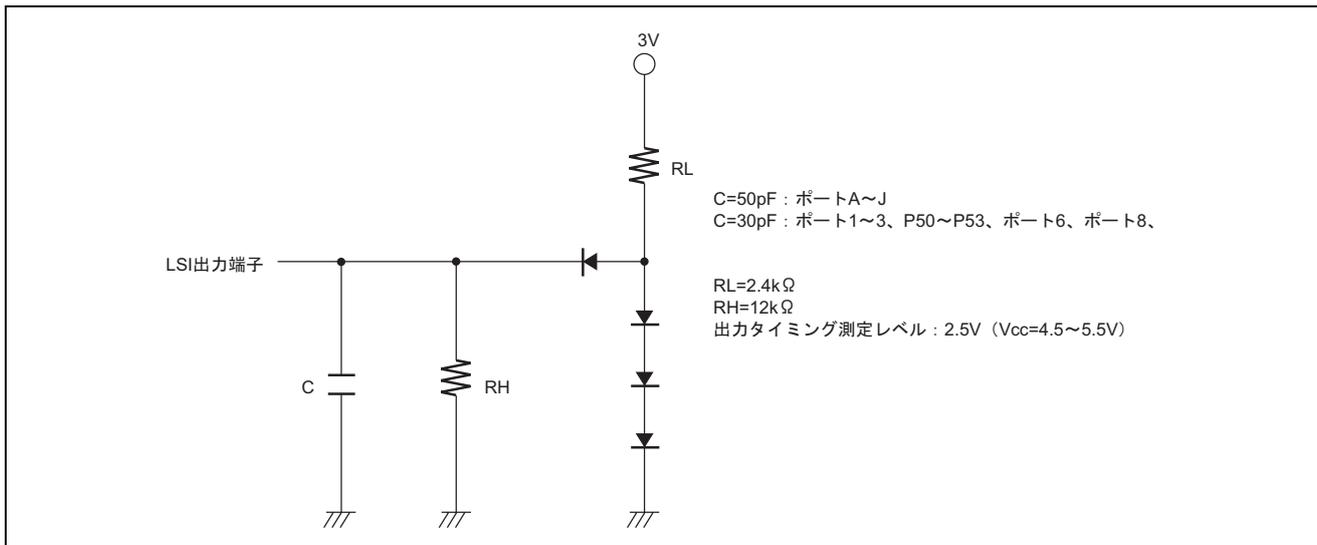


図 25.52 出力負荷回路

(2) 制御信号タイミング

表 25.31 制御信号タイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200	—	ns	図 25.56
RES パルス幅	t_{RESW}	2	—	ms	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 25.57
NMI ホールド時間	t_{NMIH}	10	—		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—		
\overline{IRQ} セットアップ時間	t_{IRQS}	150	—	ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10	—		
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—		

(3) バスタイミング

表 25.32 バスタイミング (1)

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	20	ns	図 25.58 ~ 図 25.73
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 13$	—	ns	
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 13$	—	ns	
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 13$	—	ns	
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 13$	—	ns	
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 8$	—	ns	
CS 遅延時間 1	t_{CSD1}	—	15	ns	
AS 遅延時間	t_{ASD}	—	15	ns	
\overline{RD} 遅延時間 1	t_{RSD1}	—	15	ns	
\overline{RD} 遅延時間 2	t_{RSD2}	—	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	—	ns	
リードデータホールド時間 1	t_{RDH1}	0	—	ns	
リードデータホールド時間 2	t_{RDH2}	0	—	ns	
リードデータアクセス時間 2	t_{AC2}	—	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	t_{AC4}	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{AC5}	—	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 6	t_{AC6}	—	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 1	t_{AA1}	—	$1.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	—	$1.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	—	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	—	$2.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	—	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 6	t_{AA6}	—	$4.0 \times t_{cyc} - 25$	ns	
マルチプレクスアドレス遅延時間	t_{MAD}	—	20	ns	
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0 \times t_{cyc} - 15$	—	ns	
AH 遅延時間	t_{AHD}	—	15	ns	

表 25.33 バスタイミング (2)

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
\overline{WR} 遅延時間 1	t_{WRD1}	—	15	ns	図 25.58 ~ 図 25.73
\overline{WR} 遅延時間 2	t_{WRD2}	—	15	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	—	ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	23	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 15$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 13$	—	ns	
\overline{WAIT} セットアップ時間	t_{WTS}	25	—	ns	図 25.60、 図 25.73
\overline{WAIT} ホールド時間	t_{WTH}	1	—	ns	
\overline{BREQ} セットアップ時間	t_{BREQS}	30	—	ns	図 25.65
\overline{BACK} 遅延時間	t_{BACD}	—	15	ns	
バスフローティング時間	t_{BZD}	—	40	ns	
$\overline{BREQ0}$ 遅延時間	t_{BRQOD}	—	25	ns	図 25.66

(4) DMAC、EXDMAC タイミング

表 25.34 DMAC、EXDMAC タイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
\overline{DREQ} セットアップ時間	t_{DRQS}	25	—	ns	図 25.70
\overline{DREQ} ホールド時間	t_{DRQH}	10	—		
\overline{TEND} 遅延時間	t_{TED}	—	18	ns	図 25.69
\overline{DACK} 遅延時間 1	t_{DACD1}	—	18		
\overline{DACK} 遅延時間 2	t_{DACD2}	—	18		
\overline{EDREQ} セットアップ時間	t_{EDRQS}	25	—	ns	図 25.70
\overline{EDREQ} ホールド時間	t_{EDRQH}	10	—		
\overline{ETEND} 遅延時間	t_{ETED}	—	18	ns	図 25.69
\overline{EDACK} 遅延時間 1	t_{EDACD1}	—	18		
\overline{EDACK} 遅延時間 2	t_{EDACD2}	—	18		
\overline{EDRAK} 遅延時間	t_{EDRKD}	—	18	ns	図 25.71

(5) 内蔵周辺モジュールタイミング

表 25.35 内蔵周辺モジュールタイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	ns	図 25.74	
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{PRH}	25	—	ns		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 25.75	
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 25.76	
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 25.77	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}		
8ビット タイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図 25.78	
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図 25.80	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 25.79	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}
		両エッジ指定	t_{TMCWL}	2.5	—		t_{cyc}

項目		記号	min	max	単位	測定条件		
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 25.81		
SCI	入力クロックサイクル	調歩同期	t_{SCYC}	4	—	t_{CYC}	図 25.82	
		クロック同期		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{SCYC}		
	入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{CYC}		
	入力クロック立ち下がり時間		t_{SCKf}	—	1.5			
	送信データ遅延時間		t_{TXD}	—	40	ns		図 25.83
	受信データセットアップ時間 (クロック同期)		t_{RXS}	40	—	ns		
受信データホールド時間 (クロック同期)		t_{RXH}	40	—	ns			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 25.84		
IIC2	SCL 入力サイクル時間		t_{SCL}	$12t_{CYC} + 600$	—	ns	図 25.85	
	SCL 入力 High パルス幅		t_{SCLH}	$3t_{CYC} + 300$	—	ns		
	SCL 入力 Low パルス幅		t_{SCLL}	$5t_{CYC} + 300$	—	ns		
	SCL、SDA 入力立ち下がり時間		t_{Sf}	—	300	ns		
	SCL、SDA 入力 スパイクパルス除去時間		t_{SP}	—	$1t_{CYC}$	ns		
	SDA 入力バスフリー時間		t_{BUF}	$5t_{CYC}$	—	ns		
	開始条件入力ホールド時間		t_{STAH}	$3t_{CYC}$	—	ns		
	再送開始条件入力 セットアップ時間		t_{STAS}	$3t_{CYC}$	—	ns		
	停止条件入力 セットアップ時間		t_{STOS}	$3t_{CYC}$	—	ns		
	データ入力セットアップ時間		t_{SDAS}	$1t_{CYC} + 20$	—	ns		
	データ入力ホールド時間		t_{SDAH}	0	—	ns		
	SCL、SDA の容量性負荷		C_b	—	400	pF		
	SCL、SDA 立ち下がり時間		t_{Sf}	—	300	ns		
SSU*	クロックサイクル	マスタ	t_{SUcyc}	4	256	t_{CYC}	図 25.86 ~ 図 25.89	
		スレーブ		4	256			
	クロックハイレベル パルス幅	マスタ	t_{HI}	48	—	ns		
		スレーブ		48	—			
	クロックローレベル パルス幅	マスタ	t_{LO}	48	—	ns		
		スレーブ		48	—			
	クロック立ち上がり時間		t_{RISE}	—	12	ns		
	クロック立ち下がり時間		t_{FALL}	—	12	ns		

項目		記号	min	max	単位	測定条件	
SSU*	データ入力セットアップ時間	マスタ	25	-	ns	図 25.86 ~ 図 25.89	
		スレーブ					
	データ入力ホールド時間	マスタ	10	-	ns		
		スレーブ					
	SCS セットアップ時間	マスタ	2.5	-	t _{cyc}		
		スレーブ					
	SCS ホールド時間	マスタ	2.5	-	t _{cyc}		
		スレーブ					
	データ出力遅延時間	マスタ	0	40	ns		
		スレーブ		-			40
	データ出力ホールド時間	マスタ	t _{OH}	-5	-		ns
		スレーブ		0			
連続送信時間遅延時間	マスタ	t _{TD}	2.5	-	t _{cyc}		
	スレーブ		2.5				
スレーブアクセス時間		t _{SA}	-	1	t _{cyc}	図 25.88、	
スレーブアウト解放時間		t _{REL}	-	1	t _{cyc}	図 25.89	

【注】 * SSU : Synchronous Serial communication Unit

25.4.4 A/D 変換特性

表 25.36 A/D 変換特性

条件 : V_{cc}=4.5~5.5V、AV_{cc}=4.5~5.5V、V_{ref}=4.5V~AV_{cc}、V_{ss}=AV_{ss}=0V
φ=8~33MHz

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	2.5*	-	-	μs
アナログ入力容量	-	-	15	pF
許容信号源インピーダンス	-	-	5	kΩ
非直線性誤差	-	-	±3.5	LSB
オフセット誤差	-	-	±3.5	LSB
フルスケール誤差	-	-	±3.5	LSB
量子化誤差	-	-	±0.5	LSB
絶対精度	-	-	±4.0	LSB

【注】 * 40 ステートで ADCLK=16MHz の時

25.4.5 D/A 変換特性

表 25.37 D/A 変換特性

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 1.0	± 2.0	LSB	負荷抵抗 2M Ω
	—	—	± 1.0	LSB	負荷抵抗 4M Ω

25.4.6 フラッシュメモリ特性

表 25.38 フラッシュメモリ特性の電気的特性

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	対象領域	規格値			単位
		最小	標準	最大	
書き込み/消去回数*1	ユーザ ROM	1,000*2	—	—	回
	データフラッシュ	10,000*2	—	—	
書き込み時間 (4 バイト当たり)	ユーザ ROM	—	150	4,000	μs
	データフラッシュ	—	300	4,000	
消去時間 (1 ブロック当たり)	ユーザ ROM	—	300	3,000	ms
	データフラッシュ	—	300	3,000	
書き込み/消去電圧	ユーザ ROM	4.5	—	5.5	V
	データフラッシュ				
読み出し電圧	ユーザ ROM	4.5	—	5.5	V
	データフラッシュ				
アクセスレート	ユーザ ROM	1	—	—	ステート
	データフラッシュ	2	—	—	

【注】 1 多回数の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどしてブランク領域ができるだけ残らないように書き込みを実施した上で 1 回の消去を行ってください。たとえば 1 組 16 バイトを書き込む場合、最大 256 組の書き込みを実施した上で 1 回の消去をすることで、実効的な書き換え回数を少なくすることができます。

ブロックごとに何回消去を実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

2 消去でイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスコマンド→イレースコマンドを少なくとも 3 回実行してください。

*1 書き込み/消去回数の定義

書き込み/消去回数はブロックごとの消去回数です。

書き込み/消去回数が n 回 (n=100) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。

たとえば、4Kバイト／ブロックのデータフラッシュ A に対して、それぞれ異なる番地に 4 バイト書き込みを 1024 回に分けて行った後に、そのブロックを消去した場合も、書き込み/消去回数は 1 回と数えます。

ただし、消去 1 回に対して、同一番地に複数回の書き込みは行わないでください。（上書き禁止）

*2 書き込み／消去回数後の全ての電気的特性を保証する回数です。（保証は 1 から"最小"値の範囲です。）

25.5 H8S/2424 グループの電気的特性 (5V 版)

25.5.1 絶対最大定格

絶対最大定格を表 25.39 に示します。

表 25.39 絶対最大定格

項 目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	-0.3~+6.5	V
入力電圧 (ポート 4、9、ポート 2、P32~P35、P50~P51、P81、P83 以外)	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧 (ポート 2、P50~P51、P32~P35、P81、P83 以外)	V _{in}	-0.3~+6.5	V
入力電圧 (ポート 4、9)	V _{in}	-0.3~AV _{cc} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+6.5	V
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V
動作温度	Topr	通常仕様品 : -20~+75*	°C
		広温度範囲仕様品 : -40~+85*	°C
保存温度	Tstg	-55~+125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み/消去時の動作温度範囲は、

Ta=0~+75°C (一般仕様)

Ta=0~+85°C (広温度範囲仕様)

です。

25.5.2 DC 特性

表 25.40 DC 特性 (1)

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$

項 目		記号	min	typ	max	単位	測定条件				
シュミット トリガ入力 電圧	ポート 1* ⁶ 、ポート 2* ⁶ 、 P32~P35* ² 、P50~P53* ² 、 ポート 8* ² 、PA4~PA7* ² 、 ポート B* ² 、ポート C* ² 、PF1* ² 、 PF2* ² 、P81* ² 、P83* ²	VT ⁻	$V_{cc} \times 0.2$	—	—	V					
		VT ⁺	—	—	$V_{cc} \times 0.7$	V					
		VT ⁺ -VT ⁻	$V_{cc} \times 0.07$	—	—	V					
入力 High レベル電圧	STBY、MD2~MD0	V _{IH}	$V_{cc} \times 0.9$	—	$V_{cc} + 0.3$	V					
	\overline{RES} 、NMI、EMLE										
	EXTAL							$V_{cc} \times 0.7$	—	$V_{cc} + 0.3$	V
	P10~P11* ⁵ 、P14~P17* ⁵ 、 P24~P26* ⁵ 、 ポート 3* ³ 、P50~P53* ³ ポート 8* ³ 、ポート A~G* ³							$V_{cc} \times 0.8$	—	$V_{cc} + 0.3$	V
	ポート 4、ポート 9							$V_{cc} \times 0.8$	—	$AV_{cc} + 0.3$	V
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} MD2~MD0、EMLE	V _{IL}	-0.3	—	$V_{cc} \times 0.1$	V					
	NMI、EXTAL							-0.3	—	$V_{cc} \times 0.2$	V
	P10~P11* ⁵ 、P14~P17* ⁵ 、 P24~P26* ⁵ 、 ポート 3* ³ 、5* ³ 、ポート 8* ³ 、 ポート A~G* ³							-0.3	—	$V_{cc} \times 0.2$	V
	ポート 4、ポート 9							-0.3	—	$AV_{cc} \times 0.2$	V
出力 High レベル電圧	全出力端子	V _{OH}	$V_{cc} - 0.3$	—	—	V	I _{OH} = -200 μ A				
			$V_{cc} - 0.5$	—	—	V	I _{OH} = -1mA				
			$V_{cc} - 0.8$	—	—	V	I _{OH} = -2mA				
出力 Low レベル電圧	全出力端子	V _{OL}	—	—	0.4	V	I _{OL} = 4.0mA				
	P26、P27* ⁴ 、P32~P35* ⁴ 、 P50~P51* ⁴		—	—	0.4	V	I _{OL} = 8.0mA				
入力リーク 電流	\overline{RES}	I _{in}	—	—	10.0	μ A	V _{in} = 0.5~V _{cc} - 0.5 V				
	STBY、NMI、MD2~MD0		—	—	1.0	μ A					
	ポート 4、ポート 9		—	—	1.0	μ A	V _{in} = 0.5~AV _{cc} - 0.5 V				

【注】 *1 A/D および D/A 変換器未使用時に AV_{cc}、V_{ref}、AV_{ss} 端子を開放しないでください。AV_{cc}、V_{ref} 端子は V_{cc} に、AV_{ss} 端子は V_{ss} にそれぞれ接続してください。*2 \overline{IRQ} 、TIOC、TCLK、TMRI、SCL、SDA として使用した場合です。*3 \overline{IRQ} 、TIOC、TCLK、TMRI、SCL、SDA 以外として使用した場合です。

*4 SCL、SDA として使用した場合です。

*5 SSO、SSI、SSCK、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ 、 $\overline{\text{DREQ}}$ として使用した場合です。

*6 SSO、SSI、SSCK、 $\overline{\text{SCS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{ADTRG1}}$ 、 $\overline{\text{DREQ}}$ 以外として使用した場合です。

表 25.41 DC 特性 (2)

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$

項目		記号	min	typ	max	単位	測定条件				
スリープ状態 リーク電流 (オフ状態)	ポート 1~3、P50~P53	$ I_{TSI} $	-	-	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$				
	ポート 8、ポート A~G										
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	-	300	μA	$V_{CC}=4.0\sim 5.5V$ $V_{in}=0V$				
入力容量	RES	C_{in}	-	-	30	pF	$V_{in}=0V$ $f=1MHz$ $T_a=25^\circ C$				
	NMI										
	RES、NMI 以外の全入力端子										
消費電流*2	通常動作時	I_{CC}^{*4}	-	45 (5.0V)	70	mA	$f=33MHz$				
	スリープ時										
	スタンバイ時*3							20	80	μA	$T_a \leq 50^\circ C$
								80	500	μA	
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}	-	0.5 (5.0V)	2.0	mA	1ch 使用時				
	A/D、D/A 変換待機時							0.01	5.0	μA	1ch 使用時
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}	-	0.5 (5.0V)	1.0	mA					
	A/D、D/A 変換待機時							0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.5	-	-	V					
V_{CC} 開始電圧*5		$V_{CC\ start}$	-	-	0.3	V					
V_{CC} 立ち上がり勾配*5		SV_{CC}	-	-	20	ms/V					

【注】 *1 A/D および D/A 変換器未使用時に AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 、 V_{ref} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} \leq V_{CC} < 4.5V$ のとき、 $V_{IH\ min}=V_{CC} \times 0.9$ 、 $V_{IL\ max}=0.3V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC\ max}=5.2 \text{ (mA)} + 1.96 \text{ (mA/ (MHz))} \times f \text{ (通常動作時)}$$

$$I_{CC\ max}=2.6 \text{ (mA)} + 1.28 \text{ (mA/ (MHz))} \times f \text{ (スリープ時)}$$

*5 電源投入時、 $\overline{\text{RES}}$ 端子が Low レベルになっている条件で適用します。

表 25.42 出力許容電流値

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$

項目	記号	min	typ	max	単位	
出力 Low レベル許容電流 (1 端子あたり)	I ² C 端子以外の全出力端子	I _{OL}	—	—	4.0	mA
	I ² C 出力端子	I _{OL}	—	—	8.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	—	—	80	mA
出力 High レベル許容電流量 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25.30 の値を超えないようにしてください。

- * A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。
 AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

25.5.3 AC 特性

クロックタイミング、制御信号タイミング、バスタiming、DMAC、タイミングおよび内蔵周辺機能タイミングを以下に示します。

(1) クロックタイミング

表 25.43 クロックタイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t _{cyc}	30.3	125	ns	図 25.54
クロックハイレベルパルス幅	t _{CH}	10	—	ns	図 25.54
クロックローレベルパルス幅	t _{CL}	10	—	ns	
クロック立ち上がり時間	t _{Cr}	—	5	ns	
クロック立ち下がり時間	t _{Cf}	—	5	ns	
リセット発振安定時間 (水晶)	t _{OSC1}	15	—	ms	図 25.55(1)
ソフトウェアスタンバイ発振安定時間 (水晶)	t _{OSC2}	5	—	ms	図 25.55(2)
外部クロック出力遅延安定時間	t _{DEXT}	15	—	ms	図 25.55(1)

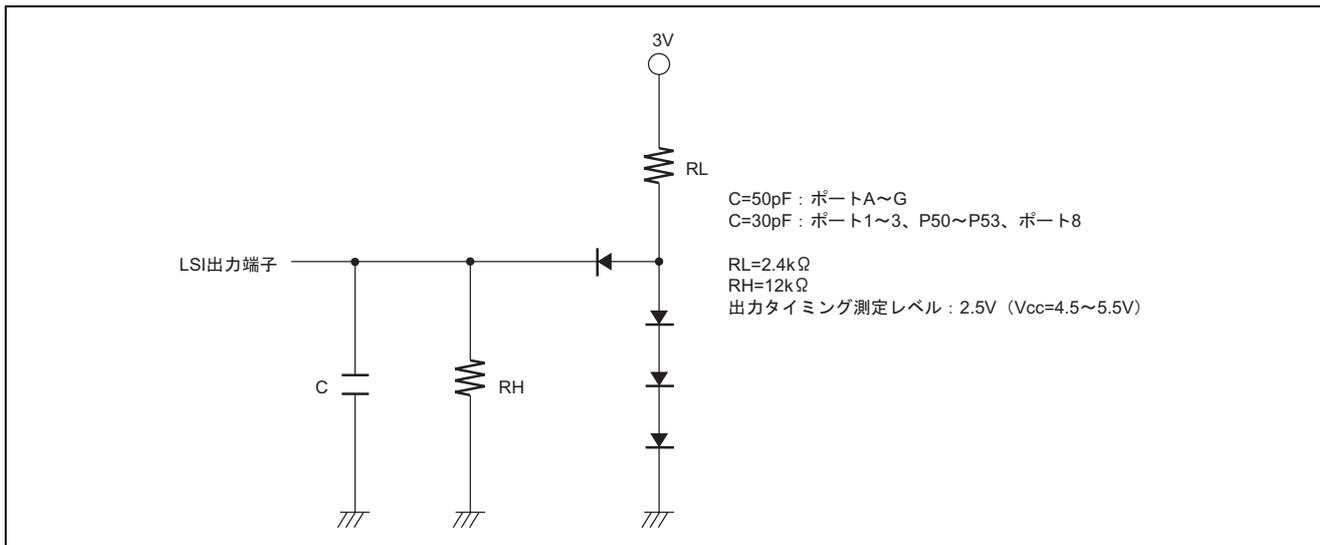


図 25.53 出力負荷回路

(2) 制御信号タイミング

表 25.44 制御信号タイミング

条件 : Vcc=4.5~5.5V、AVcc=4.5~5.5V、Vref=4.5V~AVcc、Vss=AVss=0V
 $\phi = 8 \sim 33\text{MHz}$

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200	—	ns	図 25.56
RES パルス幅	t_{RESW}	2	—	ms	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 25.57
NMI ホールド時間	t_{NMIH}	10	—		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—		
$\bar{I}RQ$ セットアップ時間	t_{IRQS}	150	—	ns	
$\bar{I}RQ$ ホールド時間	t_{IRQH}	10	—		
$\bar{I}RQ$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—		

(3) バスタイミング

表 25.45 バスタイミング (1)

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi = 8\sim 33MHz$

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	20	ns	図 25.58
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 13$	—	ns	~
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 13$	—	ns	図 25.68
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 13$	—	ns	
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 13$	—	ns	
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 8$	—	ns	
CS 遅延時間 1	t_{CSD1}	—	15	ns	
AS 遅延時間	t_{ASD}	—	15	ns	
\overline{RD} 遅延時間 1	t_{RSD1}	—	15	ns	
\overline{RD} 遅延時間 2	t_{RSD2}	—	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	—	ns	
リードデータホールド時間 1	t_{RDH1}	0	—	ns	
リードデータホールド時間 2	t_{RDH2}	0	—	ns	
リードデータアクセス時間 2	t_{AC2}	—	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	t_{AC4}	—	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{AC5}	—	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 6	t_{AC6}	—	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 1	t_{AA1}	—	$1.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	—	$1.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	—	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	—	$2.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	—	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 6	t_{AA6}	—	$4.0 \times t_{cyc} - 25$	ns	
マルチプレクスアドレス遅延時間	t_{MAD}	—	20	ns	
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5 \times t_{cyc} - 15$	—	ns	
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0 \times t_{cyc} - 15$	—	ns	
AH 遅延時間	t_{AHD}	—	15	ns	

表 25.45 バスタイミング (2)

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	t_{WRD1}	—	15	ns	図 25.58 ~ 図 25.68
WR 遅延時間 2	t_{WRD2}	—	15	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	23	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 15$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 15$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 13$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 13$	—	ns	
WAIT セットアップ時間	t_{WTS}	25	—	ns	図 25.60、 図 25.68
WAIT ホールド時間	t_{WTH}	1	—	ns	
BREQ セットアップ時間	t_{BREQS}	30	—	ns	図 25.65
BACK 遅延時間	t_{BACD}	—	15	ns	
バスフローティング時間	t_{BZD}	—	40	ns	
BREQO 遅延時間	t_{BRQOD}	—	25	ns	図 25.66

(4) DMAC タイミング

表 25.46 DMAC タイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi=8\sim 33MHz$

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	t_{DRQS}	25	—	ns	図 25.72
DREQ ホールド時間	t_{DRQH}	10	—		
TEND 遅延時間	t_{TED}	—	18	ns	図 25.71
DACK 遅延時間 1	t_{DACD1}	—	18		図 25.69
DACK 遅延時間 2	t_{DACD2}	—	18		図 25.70

(5) 内蔵周辺モジュールタイミング

表 25.47 内蔵周辺モジュールタイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$ $\phi=8\sim 33MHz$

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	ns	図 25.74	
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{PRH}	25	—	ns		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 25.75	
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 25.76	
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 25.77	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}		
8ビット タイマ	タイマ出力遅延時間	t_{TMOD}	—	40	ns	図 25.78	
	タイマリセット入力セットアップ時間	t_{TMRS}	25	—	ns	図 25.80	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 25.79	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}
		両エッジ指定	t_{TMCWL}	2.5	—		t_{cyc}
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 25.81	
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 25.82
		クロック同期		6	—		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間	t_{SCKr}	—	1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}	—	1.5	t_{cyc}		
	送信データ遅延時間	t_{TXD}	—	40	ns	図 25.83	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40	—	ns		
	受信データホールド時間 (クロック同期)	t_{RXH}	40	—	ns		
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 25.84	
IIC2	SCL 入力サイクル時間	t_{SCL}	$12t_{cyc}+600$	—	ns	図 25.85	
	SCL 入力 High パルス幅	t_{SCLH}	$3t_{cyc}+300$	—	ns		
	SCL 入力 Low パルス幅	t_{SCLL}	$5t_{cyc}+300$	—	ns		
	SCL、SDA 入力立ち下がり時間	t_{sf}	—	300	ns		
	SCL、SDA 入力 スパイクパルス除去時間	t_{SP}	—	$1t_{cyc}$	ns		

項目		記号	min	max	単位	測定条件	
IIC2	SDA 入力バスフリー時間	t_{BUF}	$5t_{cyc}$	—	ns	図 25.85	
	開始条件入力ホールド時間	t_{STAH}	$3t_{cyc}$	—	ns		
	再送開始条件入力 セットアップ時間	t_{STAS}	$3t_{cyc}$	—	ns		
	停止条件入力 セットアップ時間	t_{STOS}	$3t_{cyc}$	—	ns		
	データ入力セットアップ時間	t_{SDAS}	$1t_{cyc}+20$	—	ns		
	データ入力ホールド時間	t_{SDAH}	0	—	ns		
	SCL、SDA の容量性負荷	Cb	—	400	pF		
	SCL、SDA 立ち下がり時間	t_{sf}	—	300	ns		
SSU*	クロックサイクル	マスタ	t_{SUcyc}	4	256	t_{cyc}	図 25.86 ~ 図 25.89
		スレーブ		4	256		
	クロックハイレベル パルス幅	マスタ	t_{HI}	48	—	ns	
		スレーブ		48	—		
	クロックローレベル パルス幅	マスタ	t_{LO}	48	—	ns	
		スレーブ		48	—		
	クロック立ち上がり時間		t_{RISE}	—	12	ns	
	クロック立ち下がり時間		t_{FALL}	—	12	ns	
	データ入力セットアップ 時間	マスタ	t_{SU}	25	—	ns	
		スレーブ		30	—		
	データ入力ホールド時間	マスタ	t_{H}	10	—	ns	
		スレーブ		10	—		
	SCS セットアップ時間	マスタ	t_{LEAD}	2.5	—	t_{cyc}	
		スレーブ		2.5	—		
	SCS ホールド時間	マスタ	t_{LAG}	2.5	—	t_{cyc}	
		スレーブ		2.5	—		
	データ出力遅延時間	マスタ	t_{OD}	—	40	ns	
		スレーブ		—	40		
	データ出力ホールド時間	マスタ	t_{OH}	-5	—	ns	
		スレーブ		0	—		
連続送信時間遅延時間	マスタ	t_{TD}	2.5	—	t_{cyc}		
	スレーブ		2.5	—			
スレーブアクセス時間		t_{SA}	—	1	t_{cyc}	図 25.88、	
スレーブアウト解放時間		t_{REL}	—	1	t_{cyc}	図 25.89	

【注】 * SSU : Synchronous Serial communication Unit

25.5.4 A/D 変換特性

表 25.48 A/D 変換特性

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項 目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	2.5*	—	—	μs
アナログ入力容量	—	—	15	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	± 3.5	LSB
オフセット誤差	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	LSB
量子化誤差	—	—	± 0.5	LSB
絶対精度	—	—	± 4.0	LSB

【注】 * 40 ステートで ADCLK=16MHz の時

25.5.5 D/A 変換特性

表 25.49 D/A 変換特性

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi=8\sim 33MHz$

項 目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	± 1.0	± 2.0	LSB	負荷抵抗 2M Ω
	—	—	± 1.0	LSB	負荷抵抗 4M Ω

25.5.6 フラッシュメモリ特性

表 25.50 フラッシュメモリ特性の電気的特性

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$
 $\phi = 8\sim 33MHz$

項目	対象領域	規格値			単位
		最小	標準	最大	
書き込み/消去回数*1	ユーザ ROM	1000*2	—	—	回
	データフラッシュ	10000*2	—	—	
書き込み時間 (4 バイト当たり)	ユーザ ROM	—	150	4,000	μs
	データフラッシュ	—	300	4,000	
消去時間 (1 ブロック当たり)	ユーザ ROM	—	300	3,000	ms
	データフラッシュ	—	300	3,000	
書き込み/消去電圧	ユーザ ROM	4.5	—	5.6	V
	データフラッシュ				
読み出し電圧	ユーザ ROM	4.5	—	5.5	V
	データフラッシュ				
アクセスレート	ユーザ ROM	1	—	—	レート
	データフラッシュ	2	—	—	

【注】 1 多回数の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどしてブランク領域ができるだけ残らないように書き込みを実施した上で 1 回の消去を行ってください。たとえば 1 組 16 バイトを書き込む場合、最大 256 組の書き込みを実施した上で 1 回の消去をすることで、実効的な書き換え回数を少なくすることができます。

ブロックごとに何回消去を実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

2 消去でイレースエラーが発生した場合は、イレースエラーが発生しなくなるまでクリアステータスコマンド→イレースコマンドを少なくとも 3 回実行してください。

*1 書き込み/消去回数の定義

書き込み/消去回数はブロックごとの消去回数です。

書き込み/消去回数が n 回 (n=100) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。

たとえば、4K バイト/ブロックのデータフラッシュ A に対して、それぞれ異なる番地に 4 バイト書き込みを 1024 回に分けて行った後に、そのブロックを消去した場合も、書き込み/消去回数は 1 回と数えます。

ただし、消去 1 回に対して、同一番地に複数回の書き込みは行わないでください。(上書き禁止)

*2 書き込み/消去回数後の全ての電気的特性を保証する回数です。(保証は 1 から"最小"値の範囲です。)

25.6 タイミング図 (5V 版)

25.6.1 クロックタイミング

クロックタイミングを以下に示します。

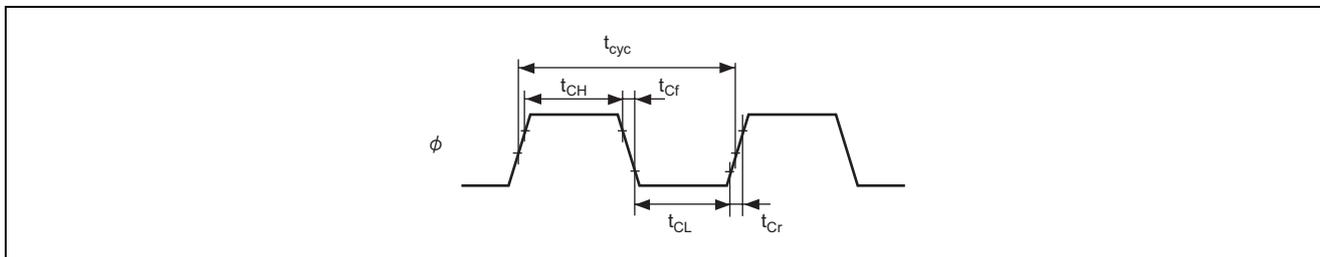


図 25.54 システムクロックタイミング

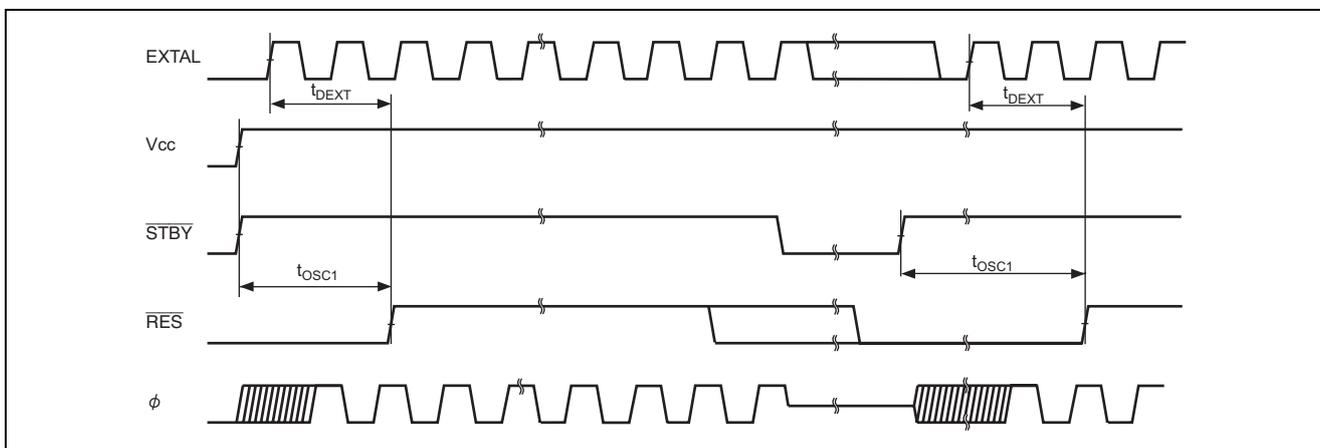


図 25.55 発振安定時間タイミング (1)

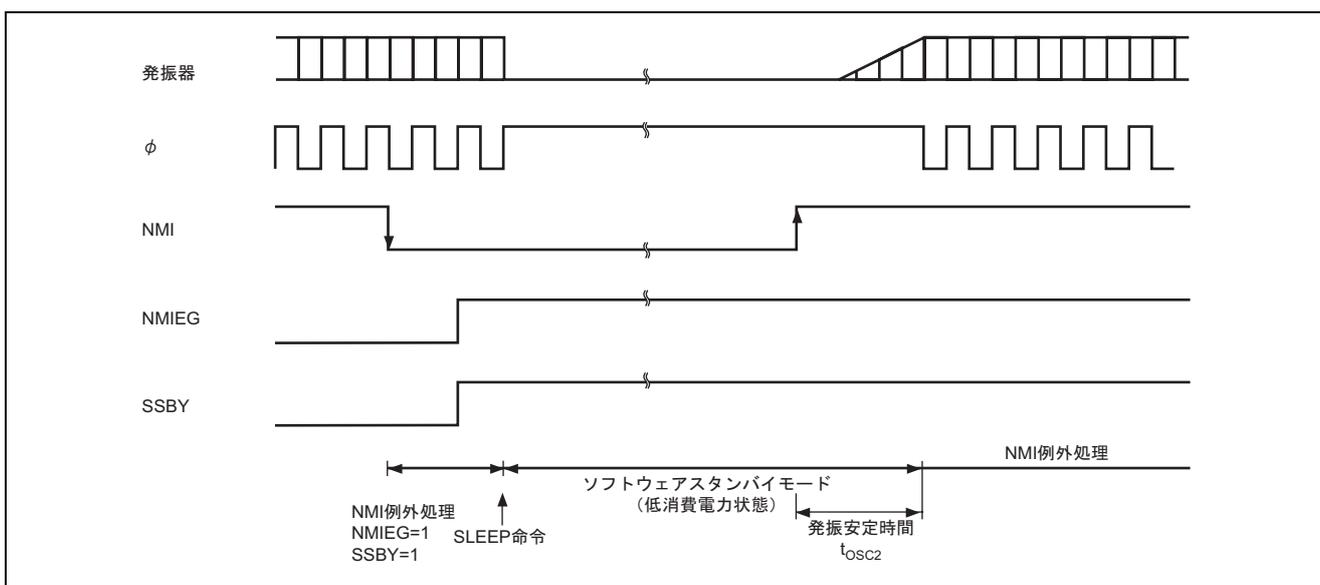


図 25.55 発振安定時間タイミング (2)

25.6.2 制御信号タイミング

制御信号タイミングを以下に示します。

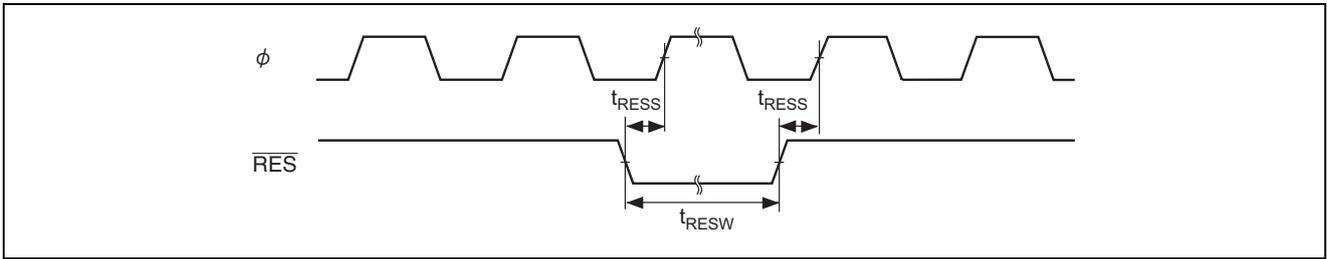


図 25.56 リセット入力タイミング

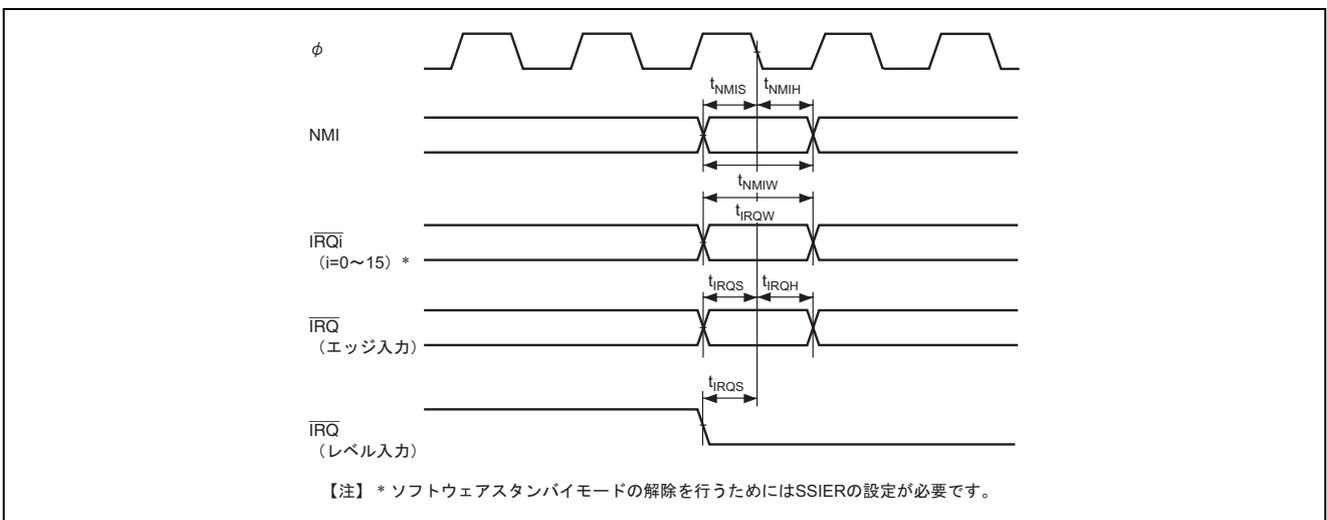


図 25.57 割り込み入力タイミング

25.6.3 バスタイミング

バスタイミングを以下に示します。

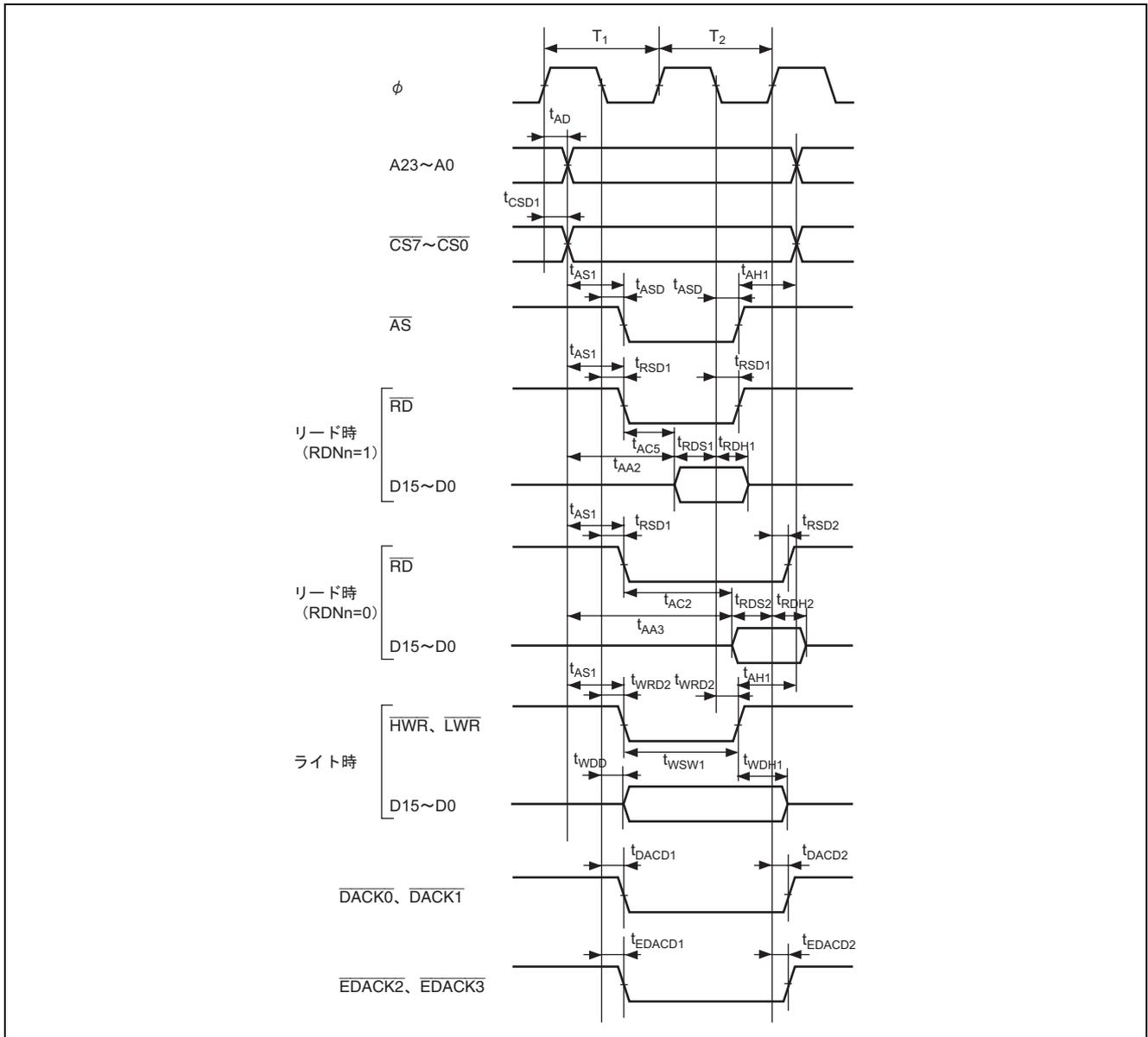


図 25.58 基本バスタイミング/2 ステートアクセス

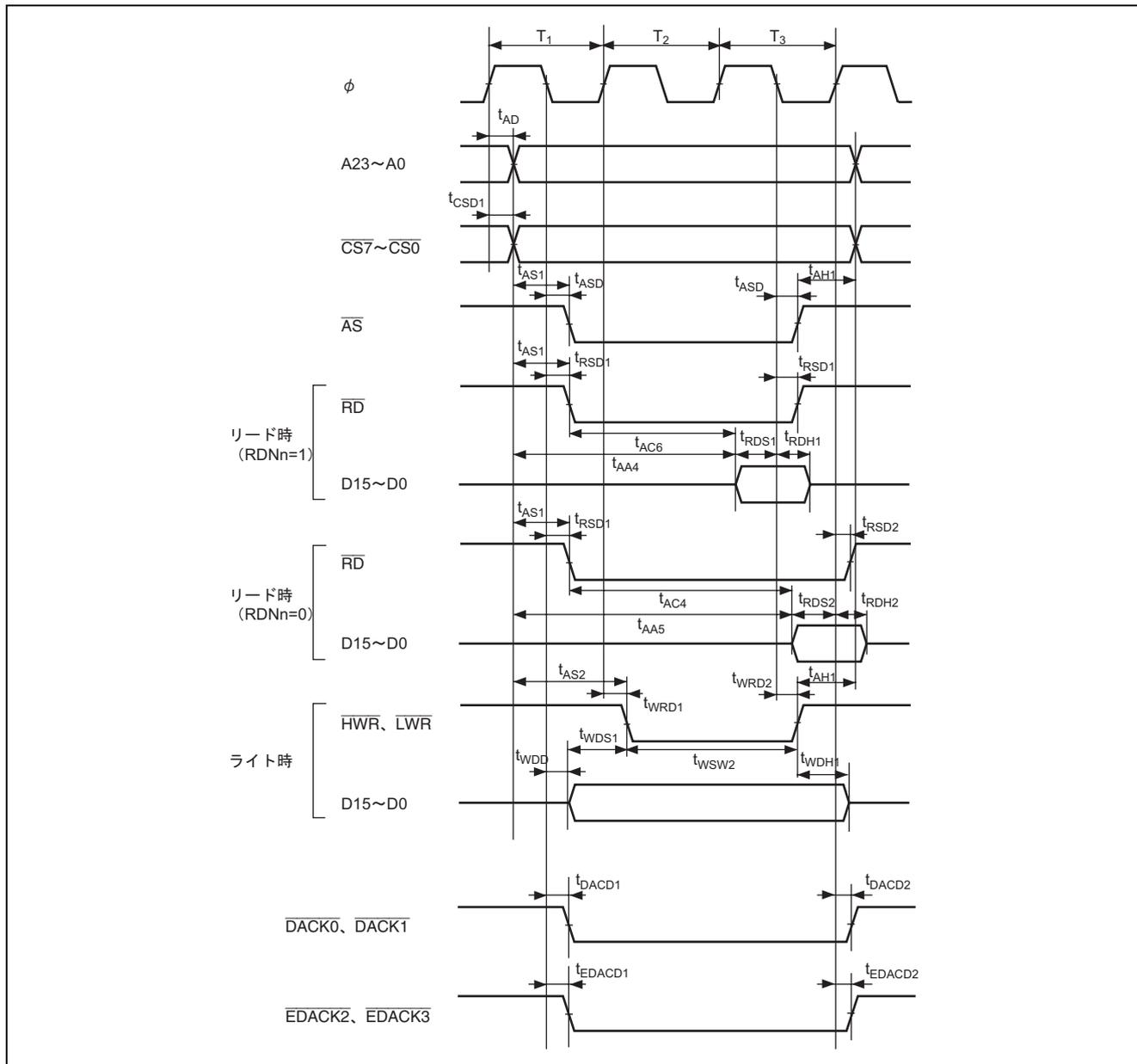


図 25.59 基本バスタイミング/3ステートアクセス

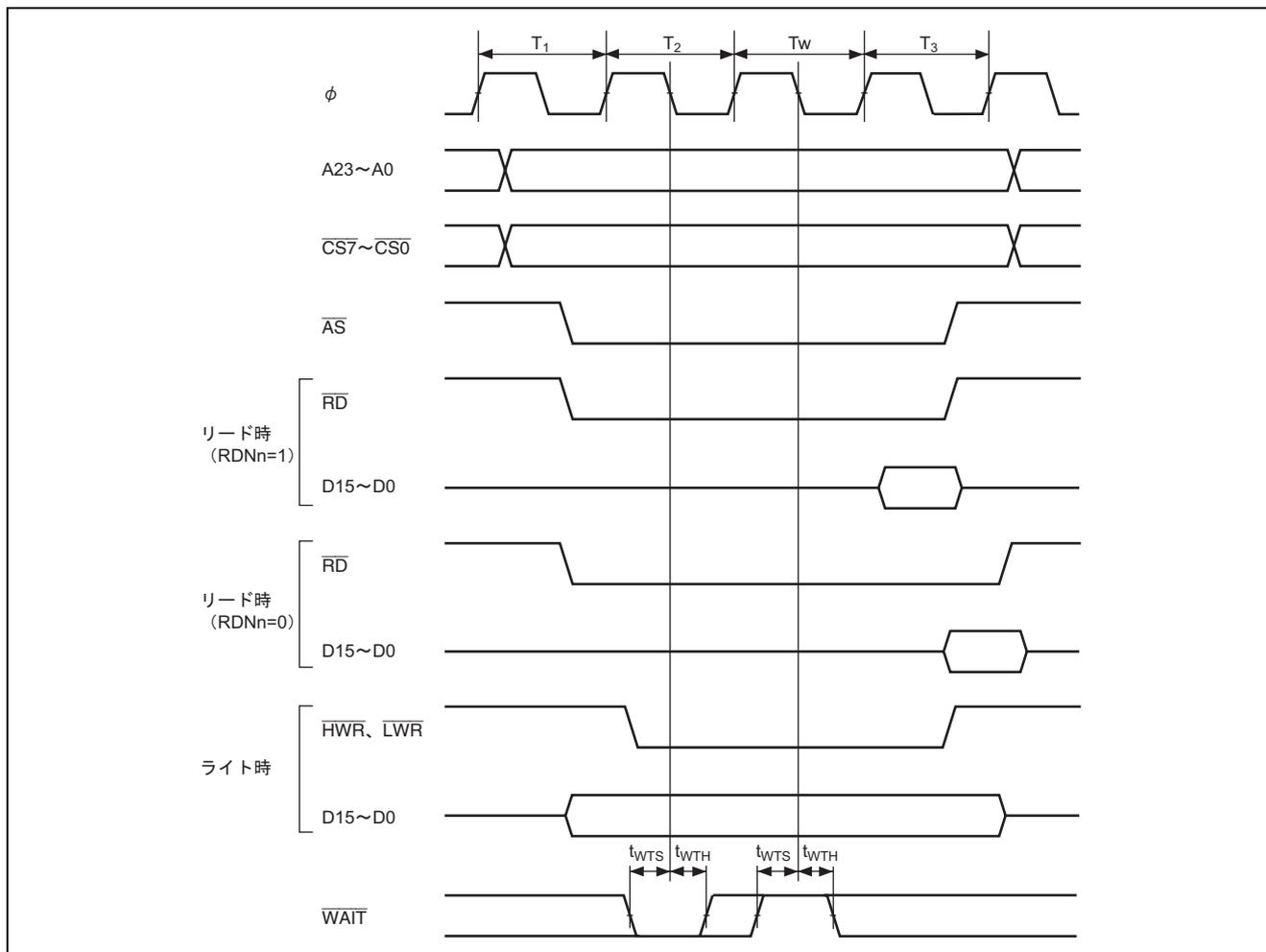


図 25.60 基本バスタイミング／3 ステートアクセス 1 ウェイト

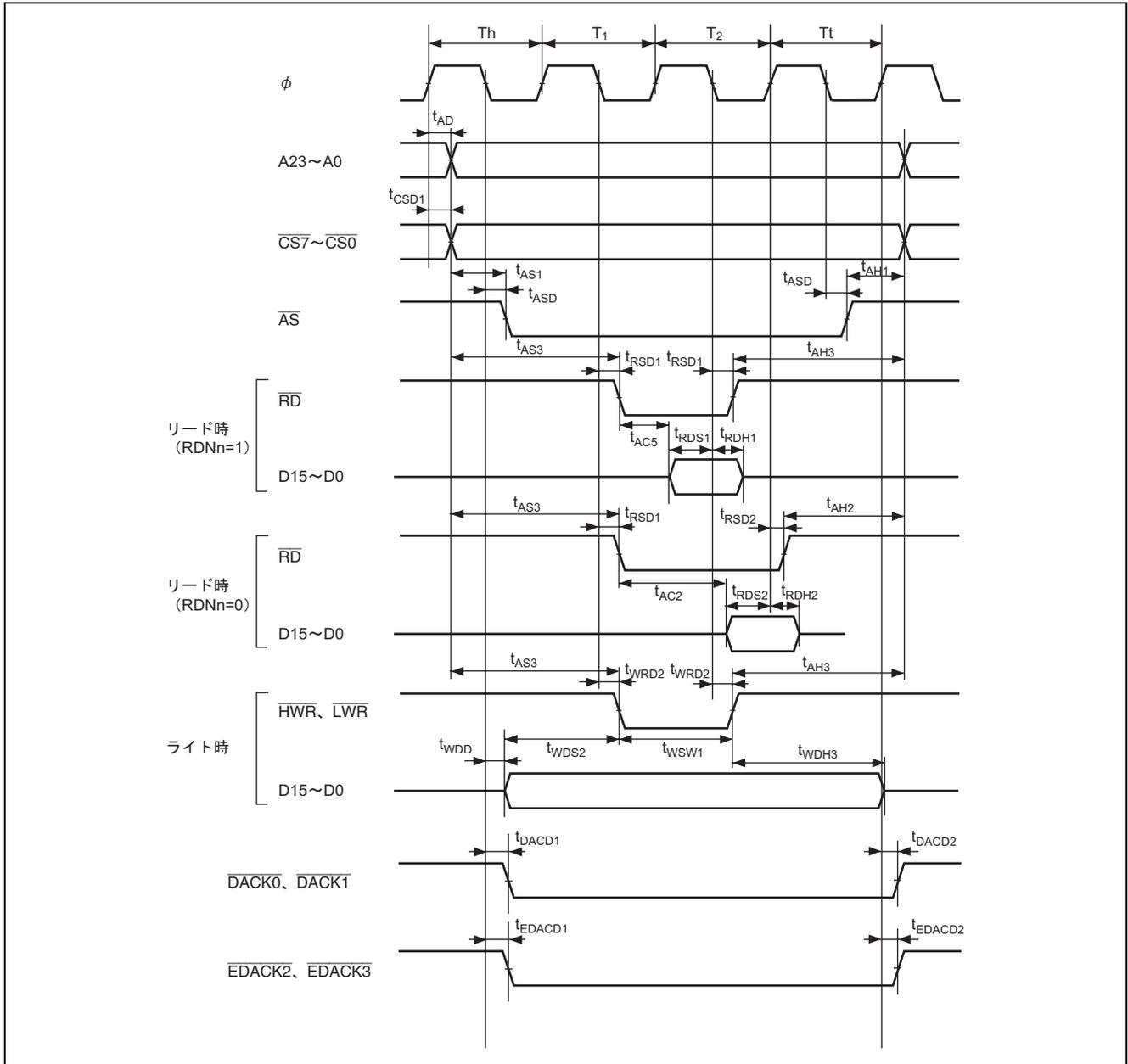


図 25.61 基本バスタイミング/2 ステートアクセス
(CS アサート期間延長)

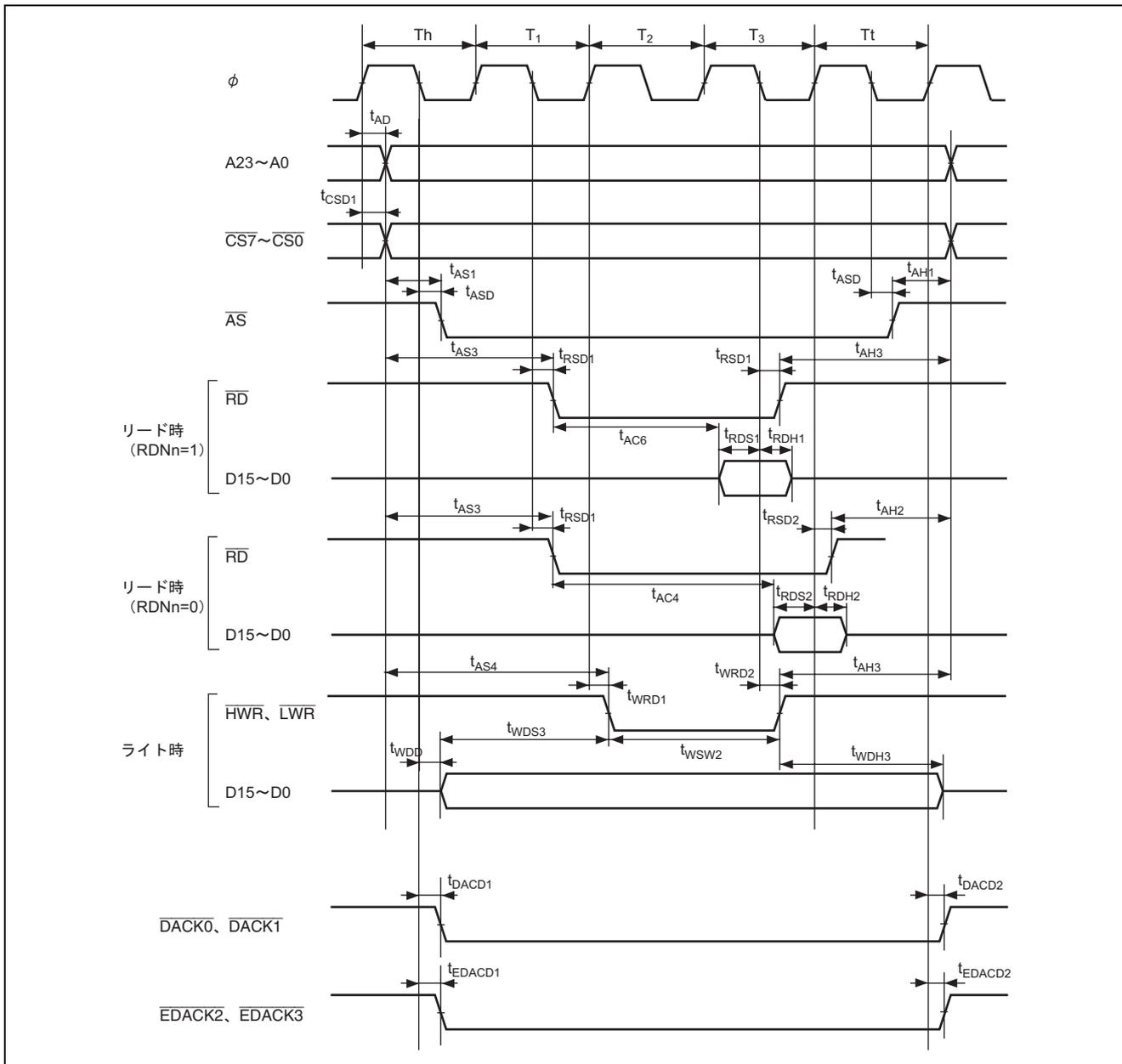


図 25.62 基本バスタイミング/3ステートアクセス (CSアサート期間延長)

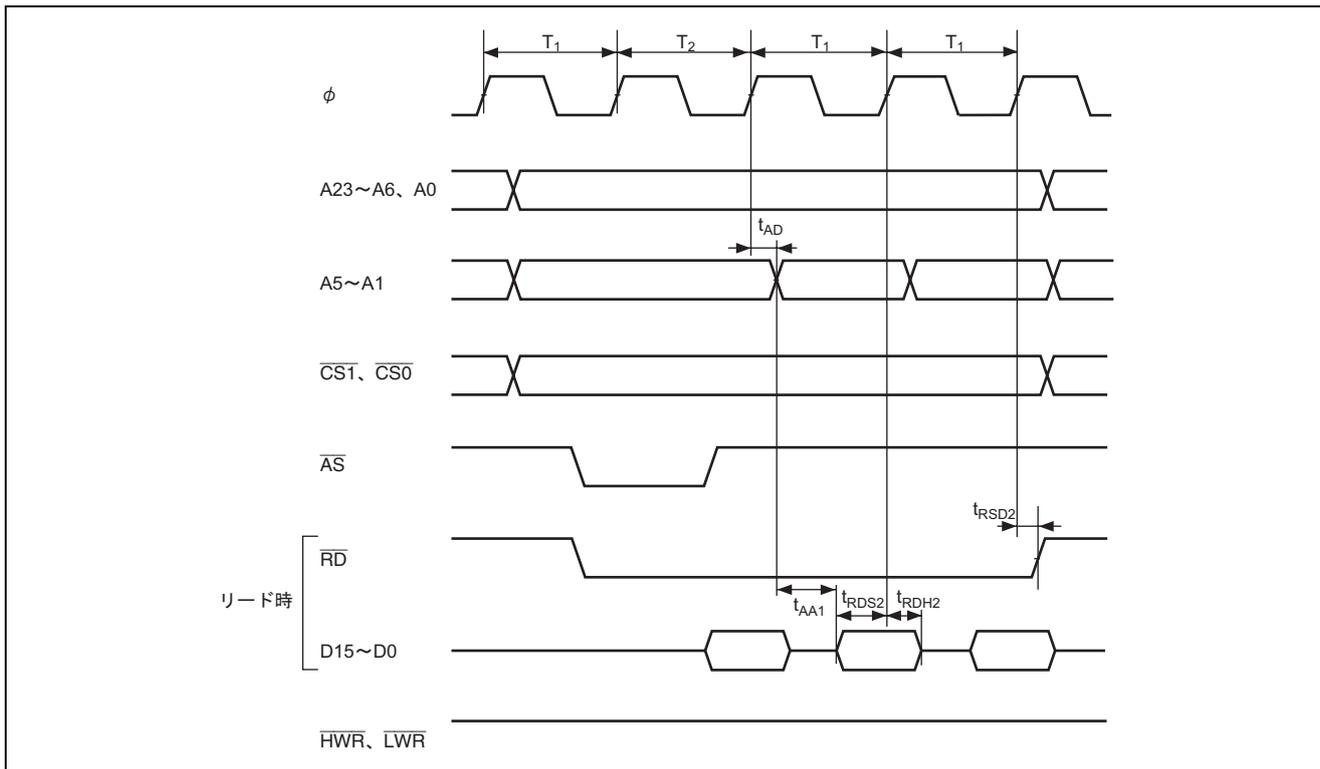


図 25.63 バースト ROM アクセスタイミング／1 ステートバーストアクセス

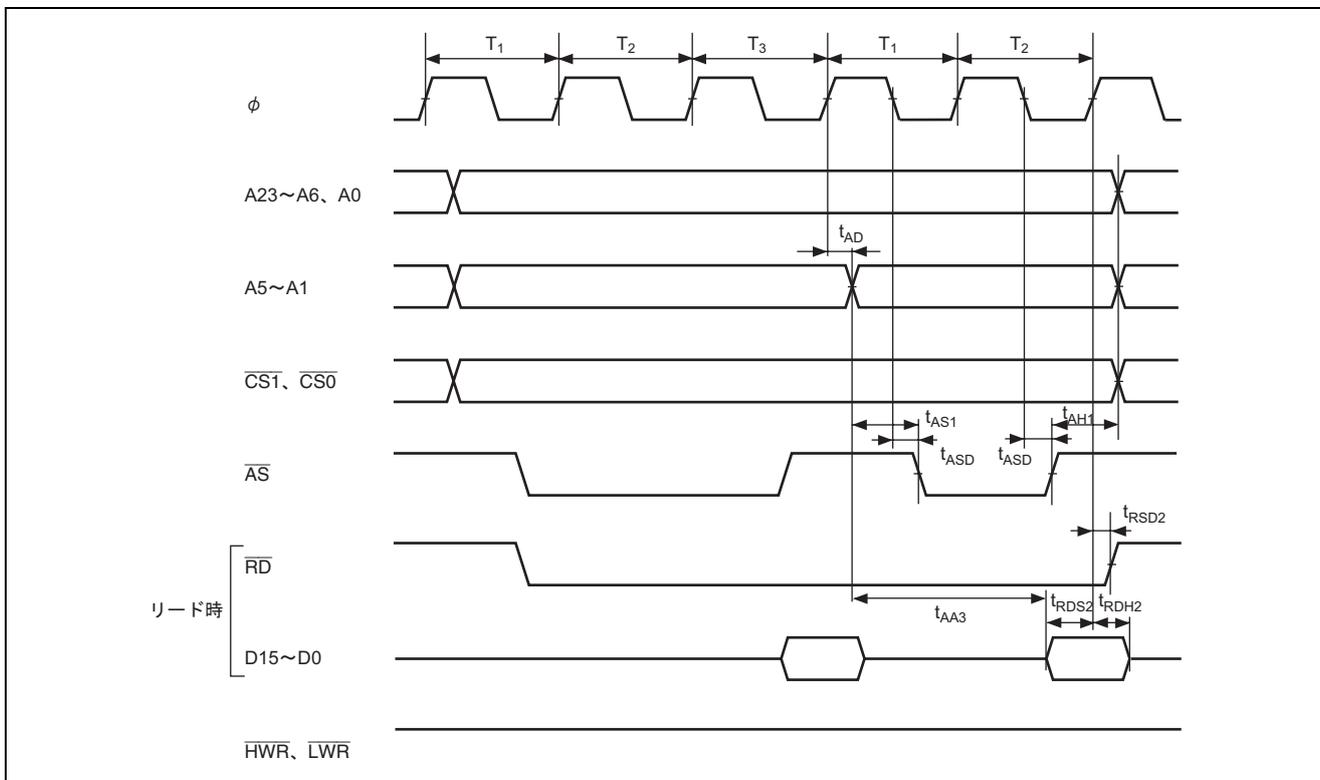


図 25.64 バースト ROM アクセスタイミング／2 ステートバーストアクセス

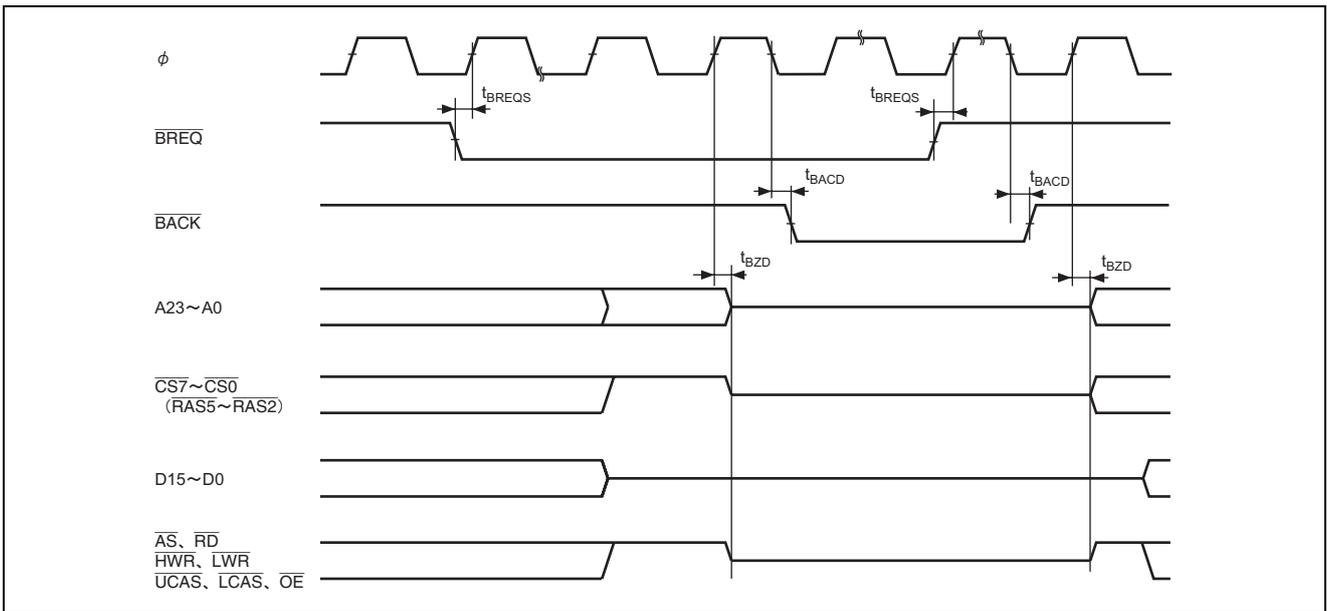


図 25.65 外部バス権開放タイミング

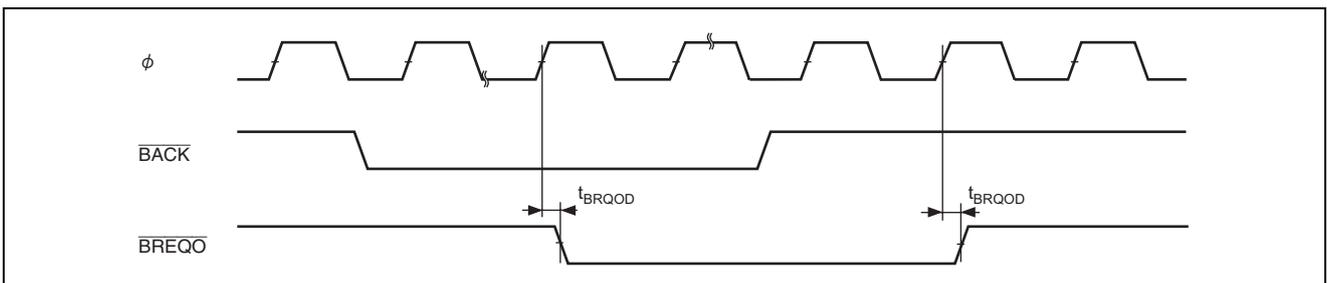


図 25.66 外部バス権要求出カタイミング

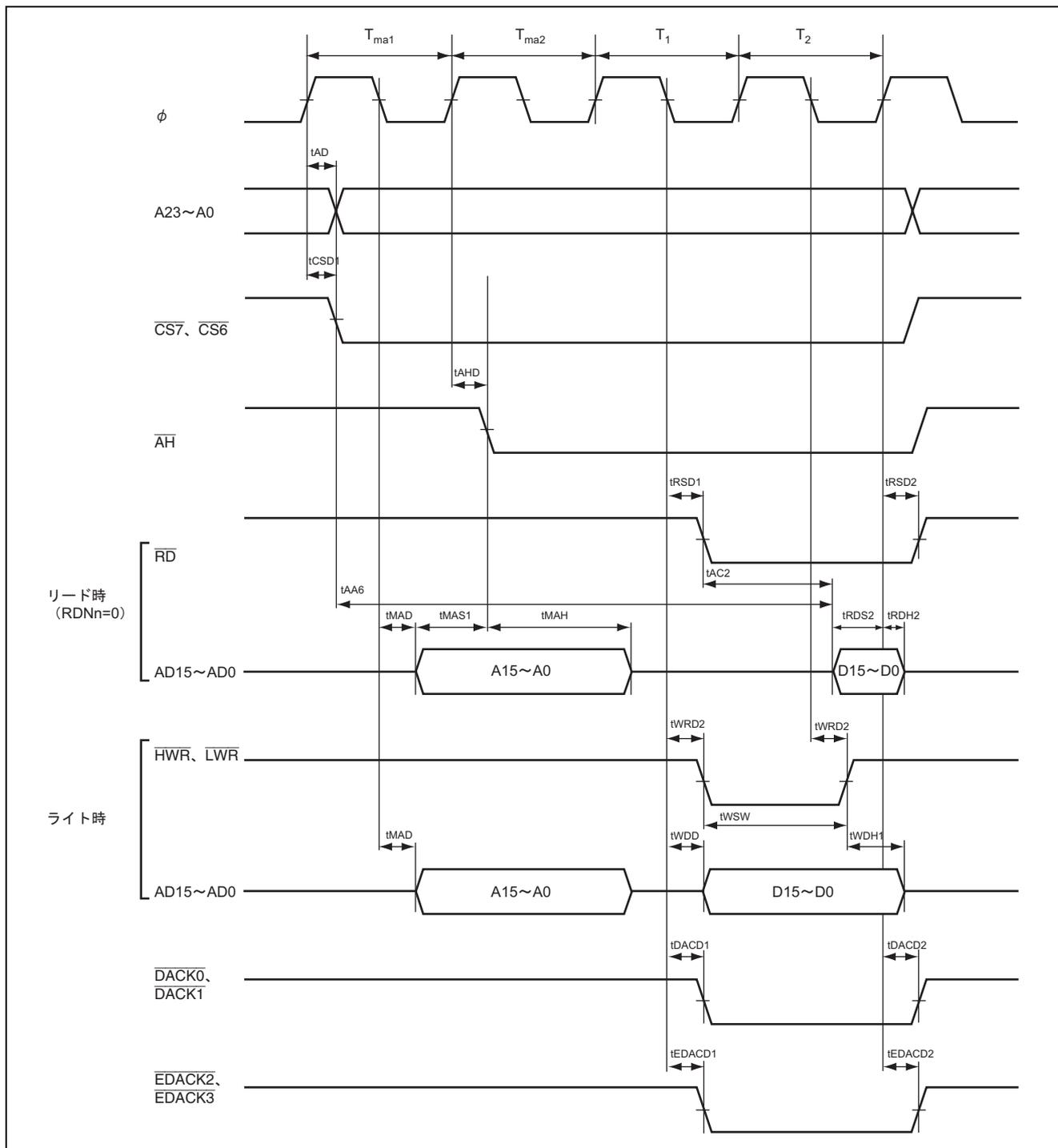


図 25.67 マルチプレクスバスタイミング/データ 2 ステートアクセス

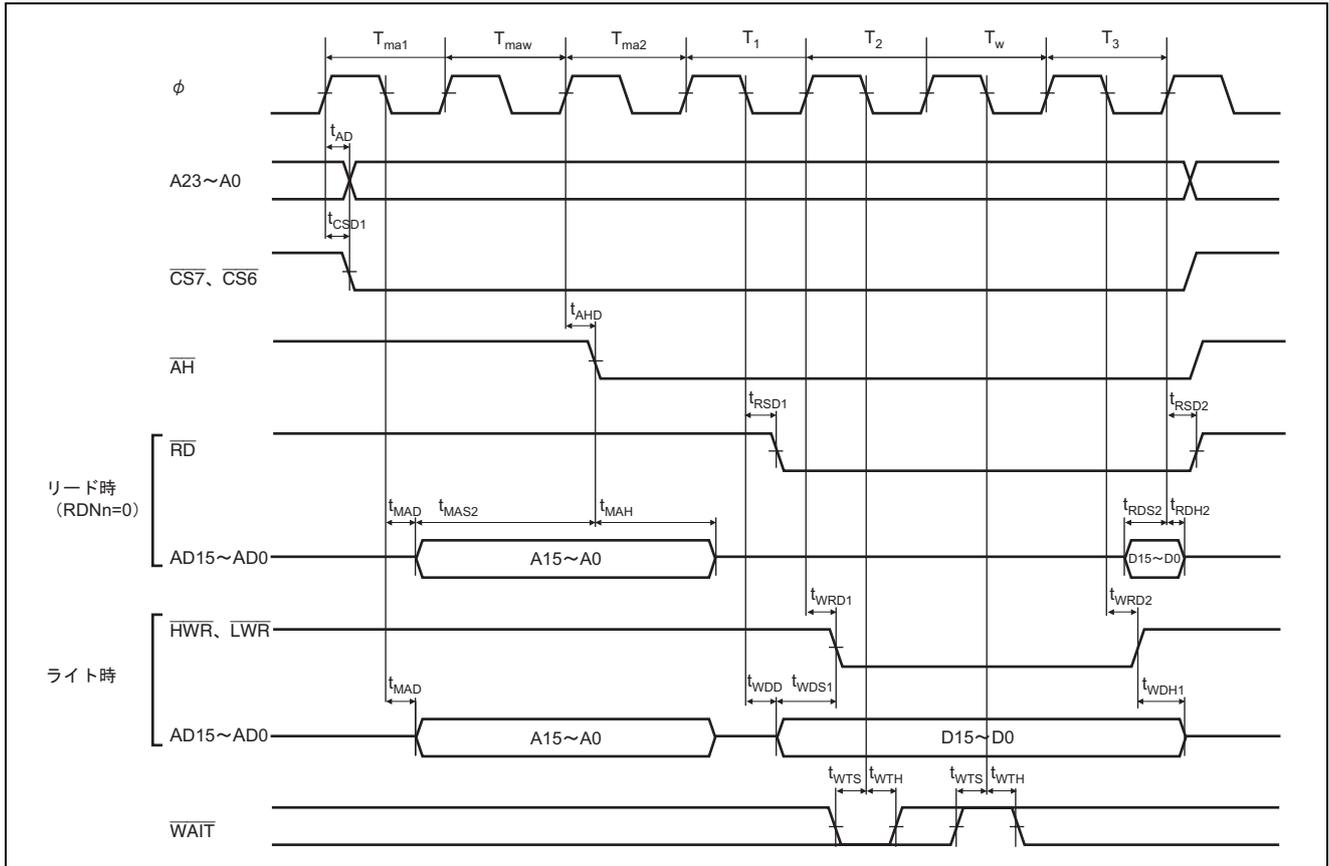


図 25.68 マルチプレクスバスタイミング/データ 3 ステートアクセス 1 ウェイト
(アドレスウェイトあり : ADDEX=1 のとき)

25.6.4 DMAC、EXDMAC タイミング

DMAC、EXDMAC タイミングを以下に示します。

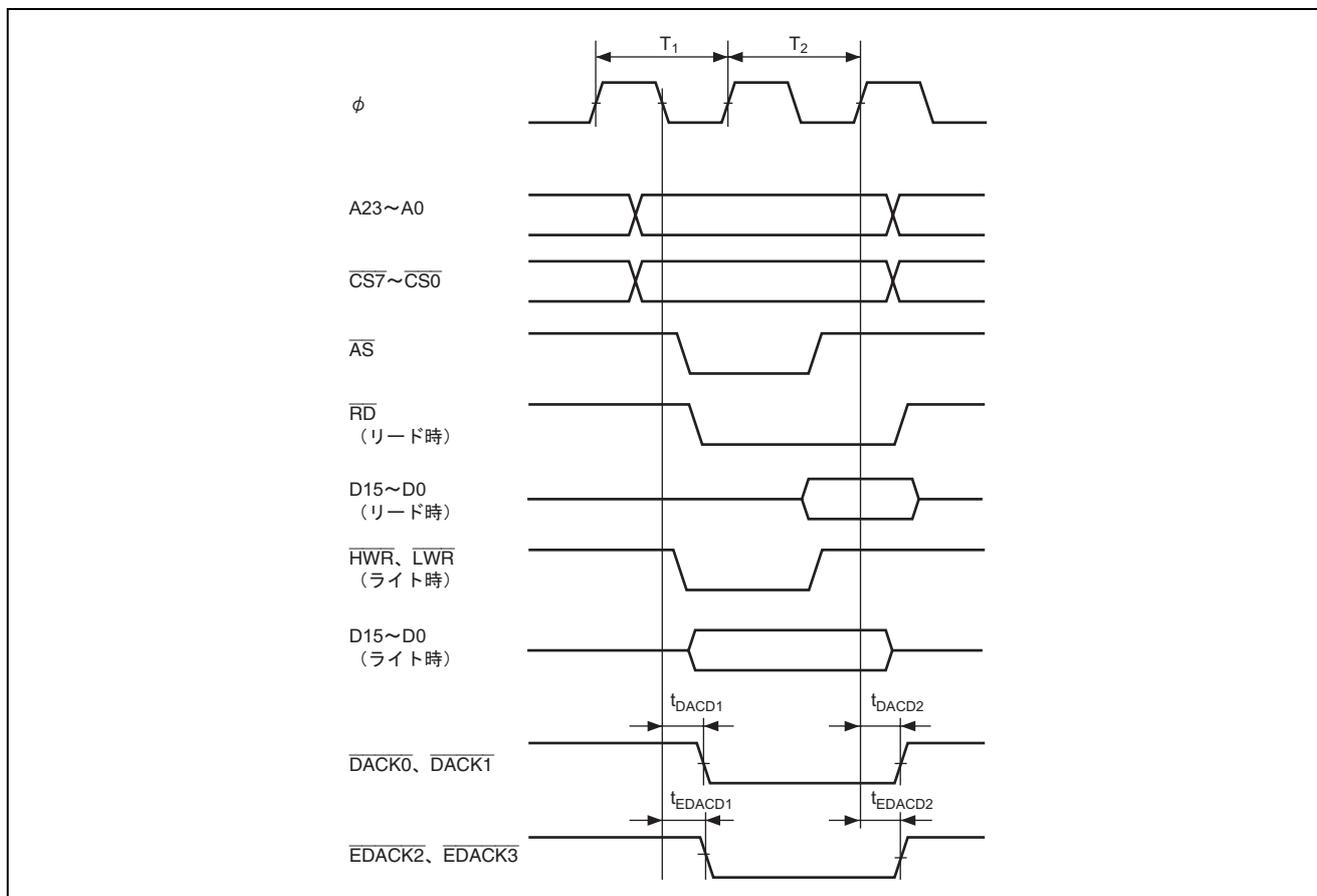


図 25.69 DMAC および EXDMAC、シングルアドレス転送タイミング／2 ステートアクセス

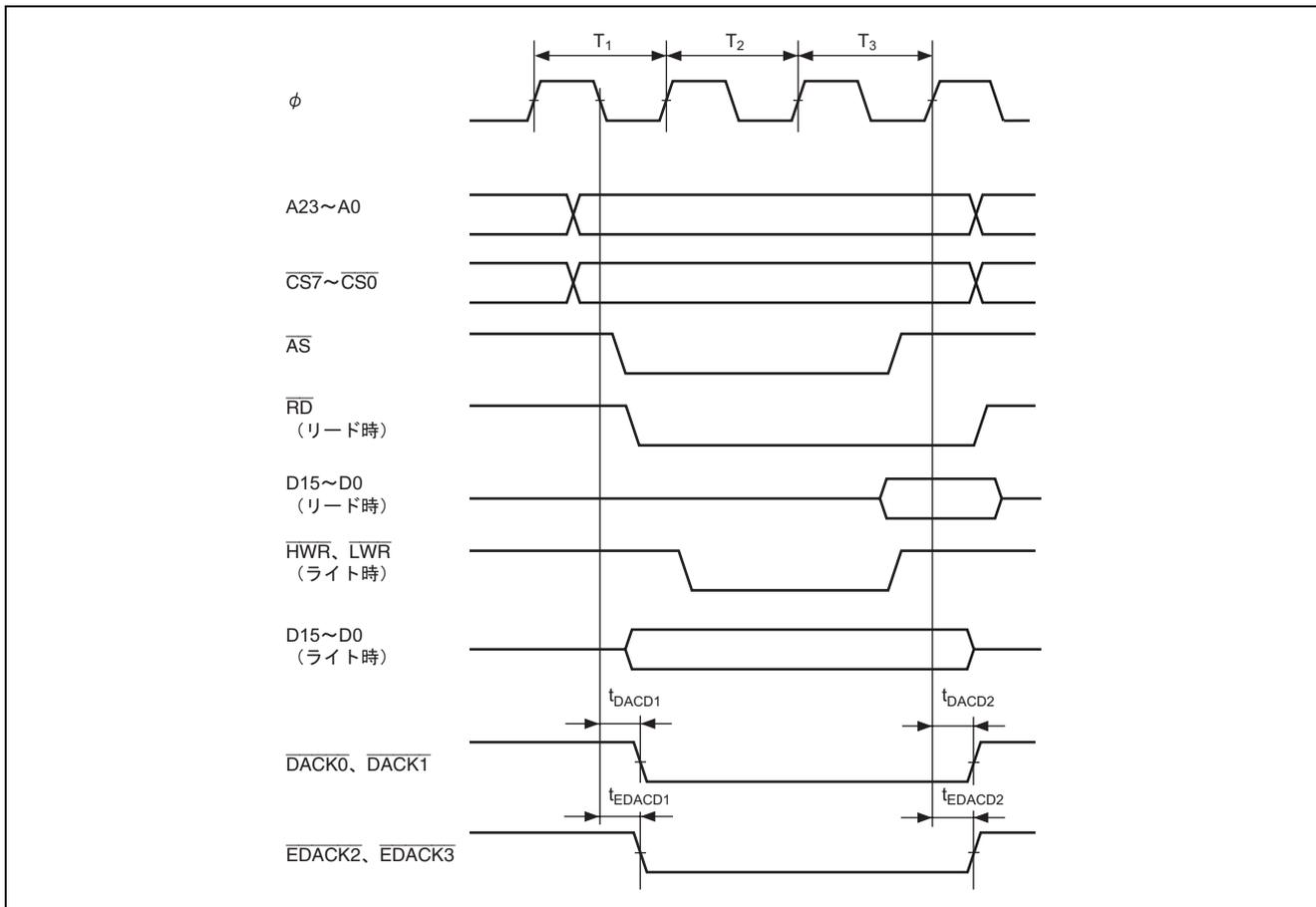


図 25.70 DMAC および EXDMAC、シングルアドレス転送タイミング／3ステートアクセス

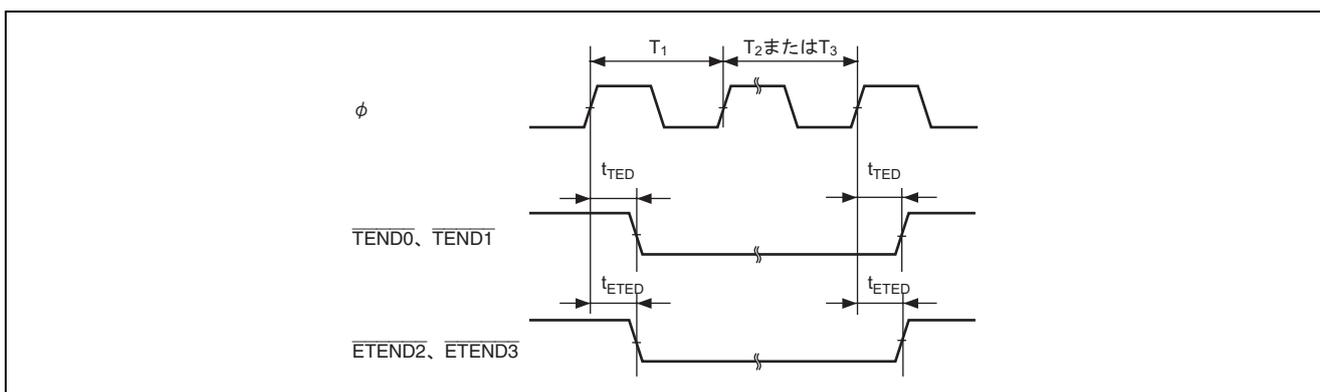


図 25.71 DMAC および EXDMAC、TEND、ETEND 出力タイミング

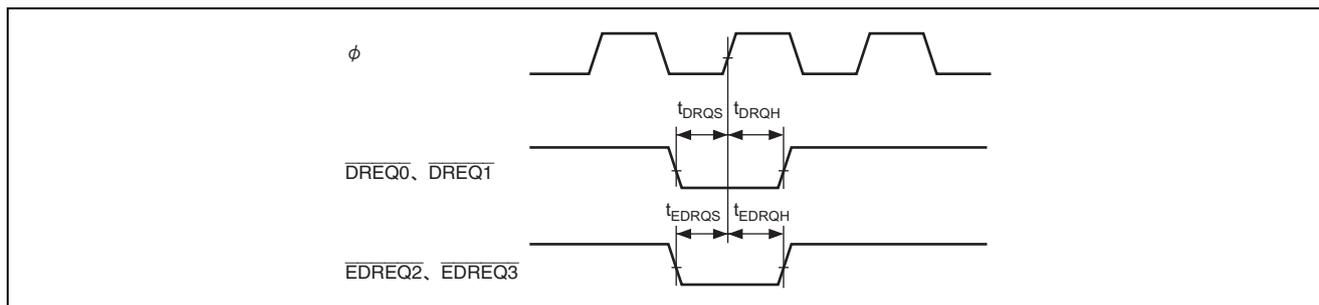


図 25.72 DMAC および EXDMAC、 $\overline{\text{DREQ}}$ 、 $\overline{\text{EDREQ}}$ 入カタイミング

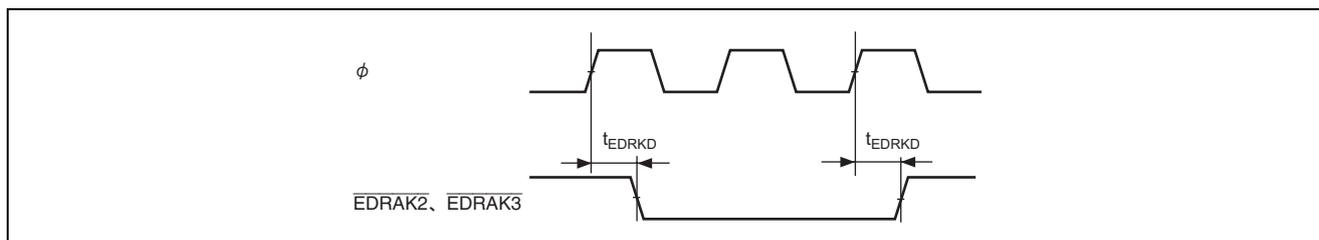


図 25.73 EXDMAC、 $\overline{\text{EDRAK}}$ 出カタイミング

25.6.5 内蔵周辺モジュールタイミング

内蔵周辺モジュールタイミングを以下に示します。

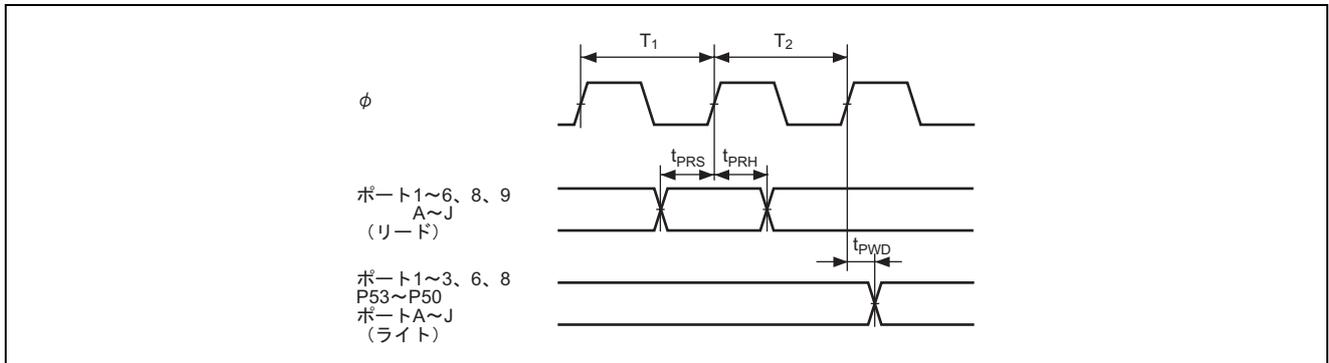


図 25.74 I/O ポート入出カタイミン

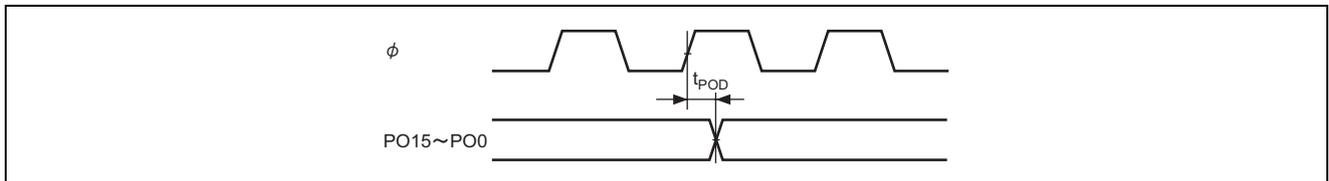


図 25.75 PPG 出カタイミン

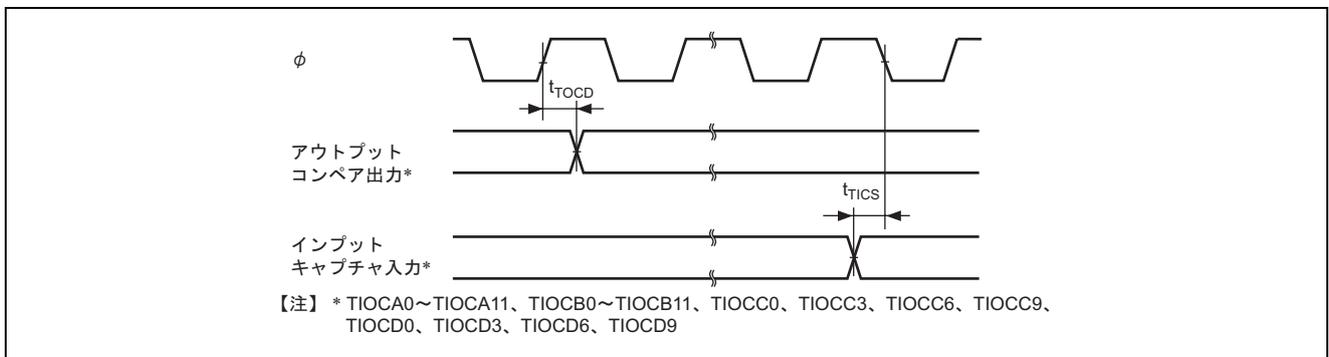


図 25.76 TPU 入出カタイミン

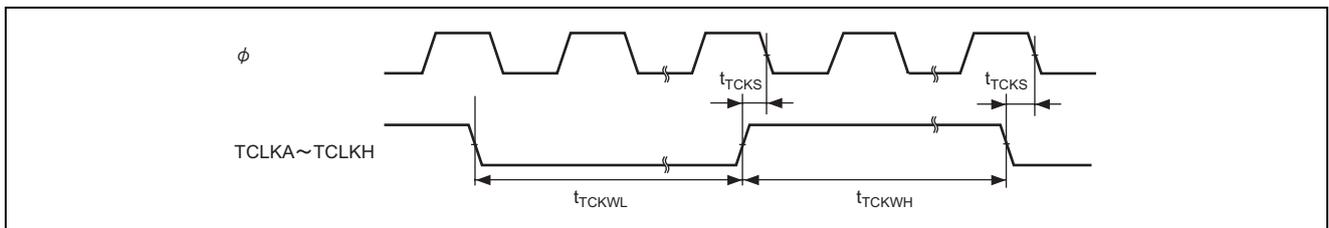


図 25.77 TPU クロック入カタイミン

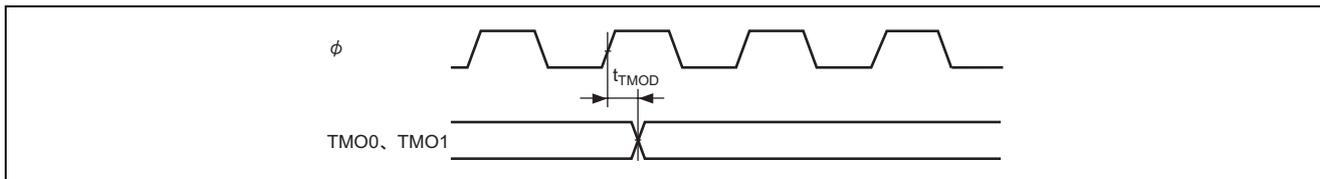


図 25.78 8 ビットタイマ出力タイミング

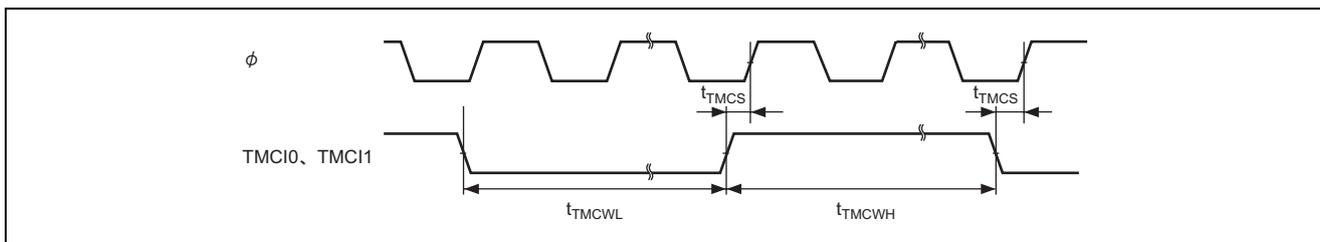


図 25.79 8 ビットタイマクロック入力タイミング

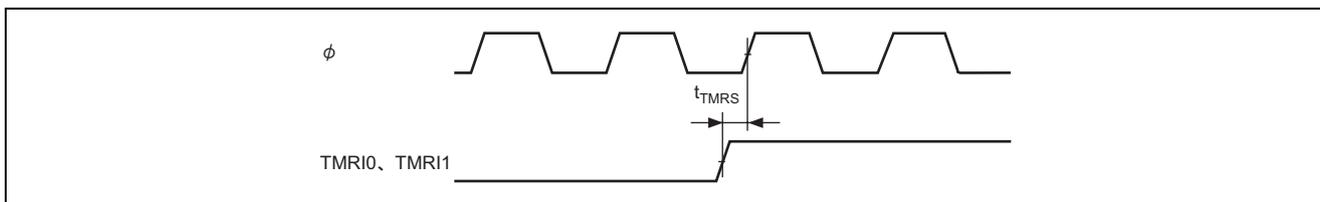


図 25.80 8 ビットタイマリセット入力タイミング

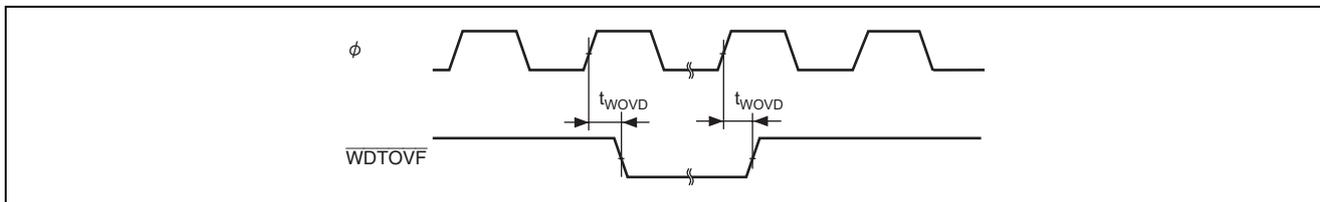


図 25.81 WDT 出力タイミング

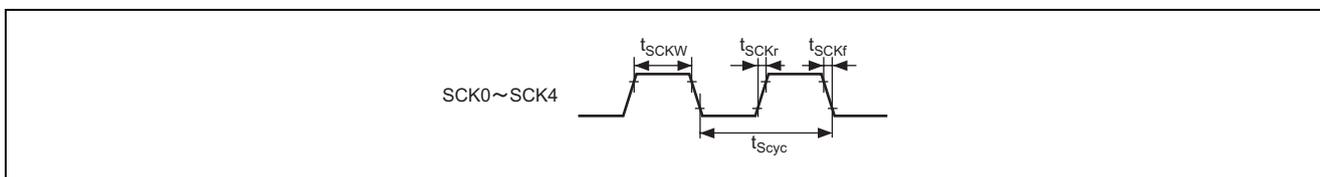


図 25.82 SCK クロック入力タイミング

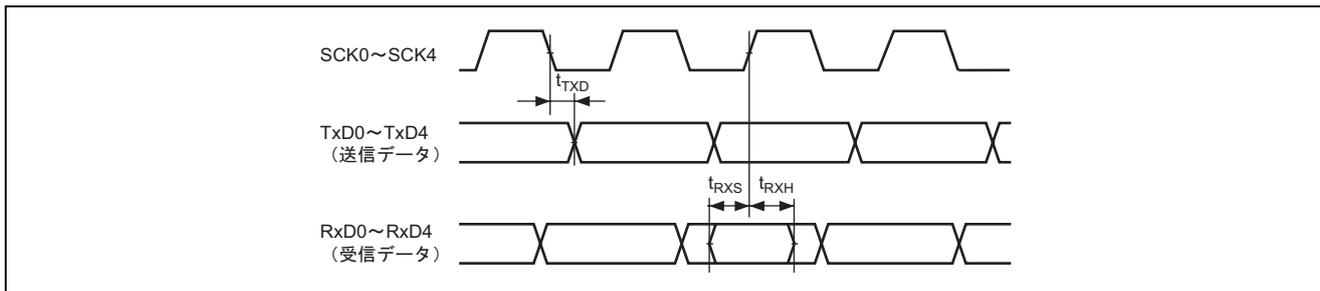


図 25.83 SCI 入出カタイミング/クロック同期式モード

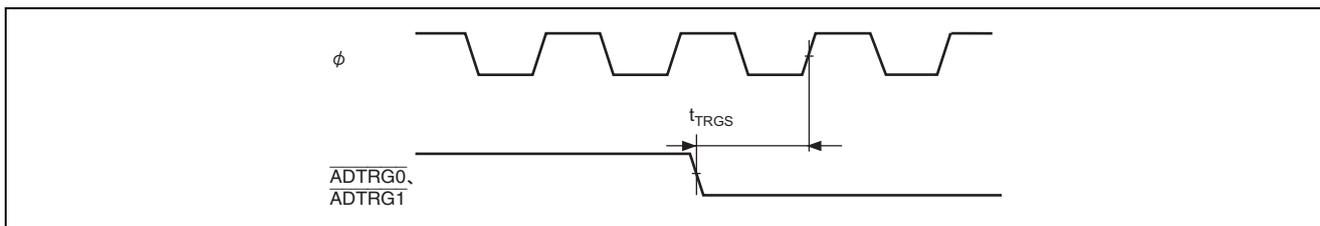


図 25.84 A/D 変換器外部トリガ入カタイミング

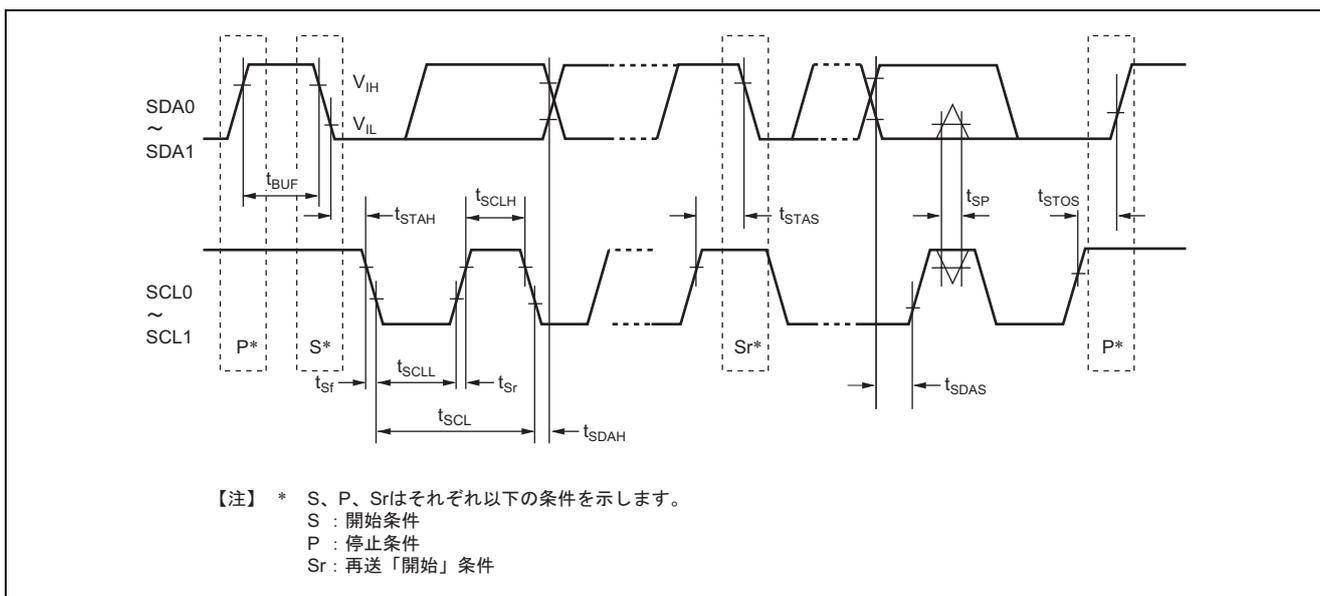


図 25.85 I²C バスインタフェース 2 入出カタイミング

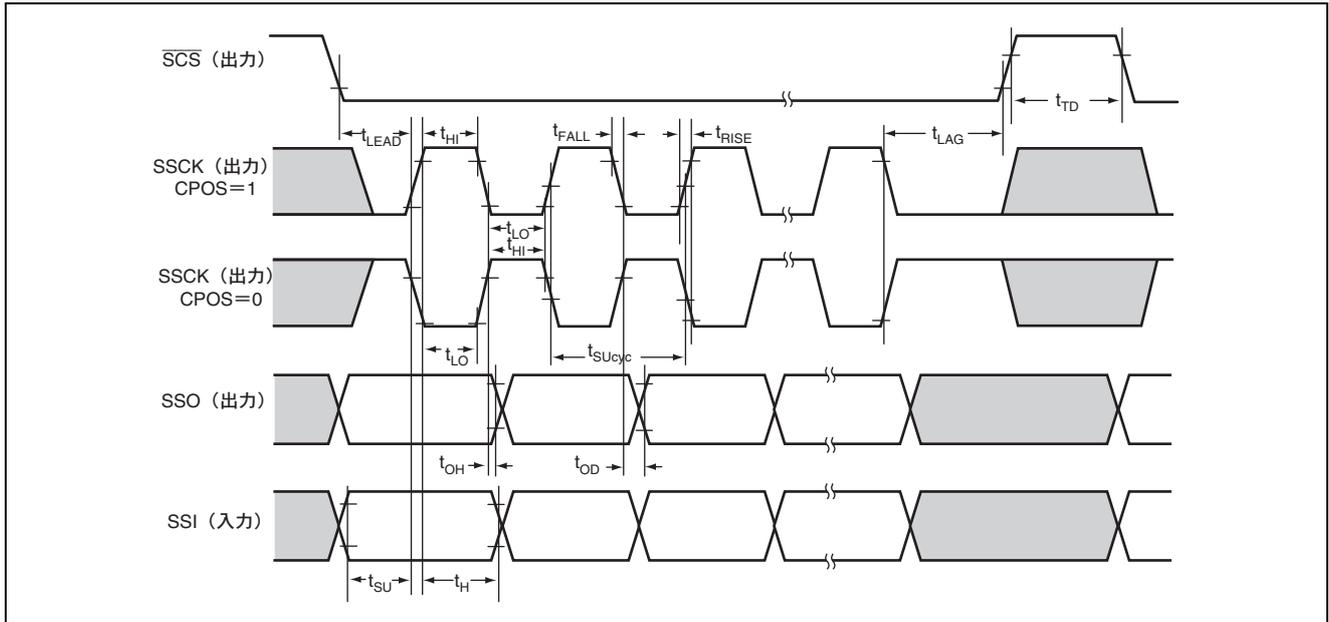


図 25.86 SSU タイミング (マスタ、CPHS=1)

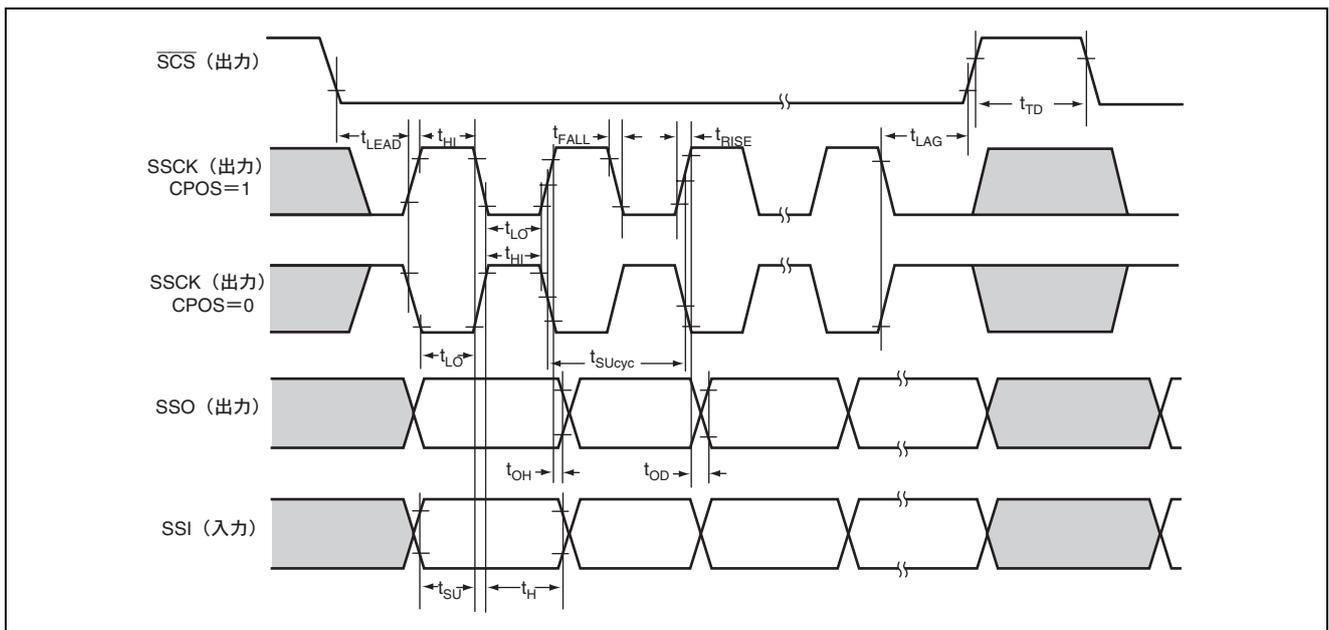


図 25.87 SSU タイミング (マスタ、CPHS=0)

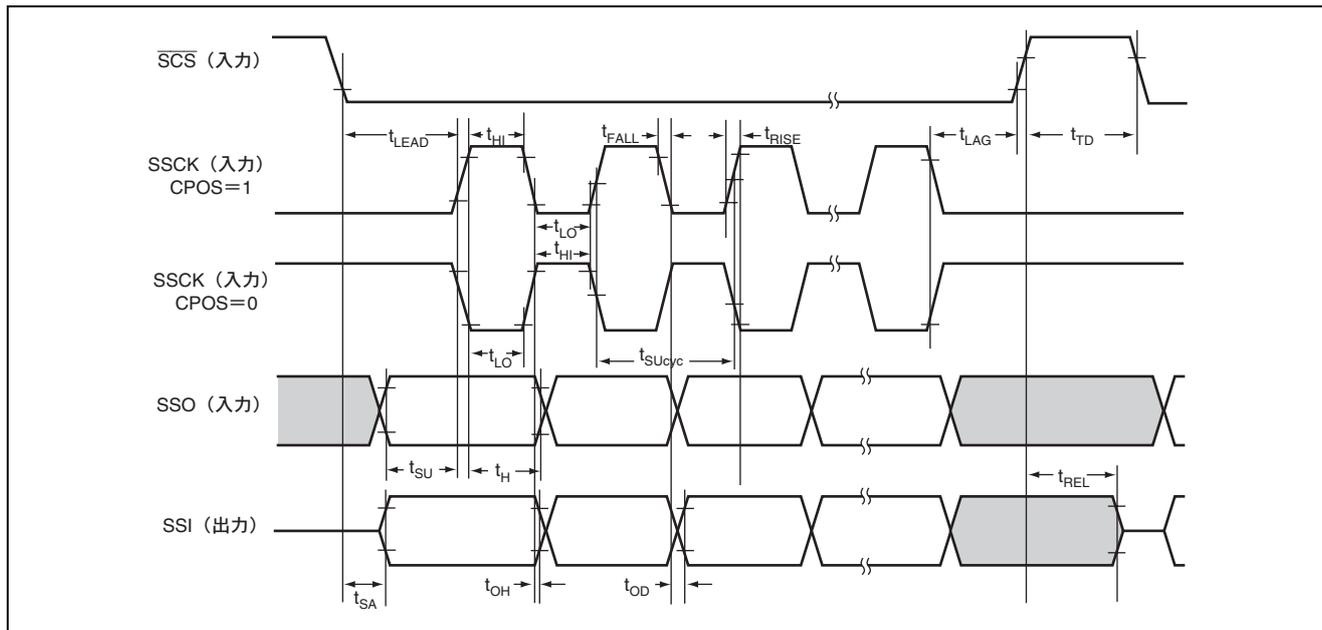


図 25.88 SSU タイミング (スレーブ、CPHS=1)

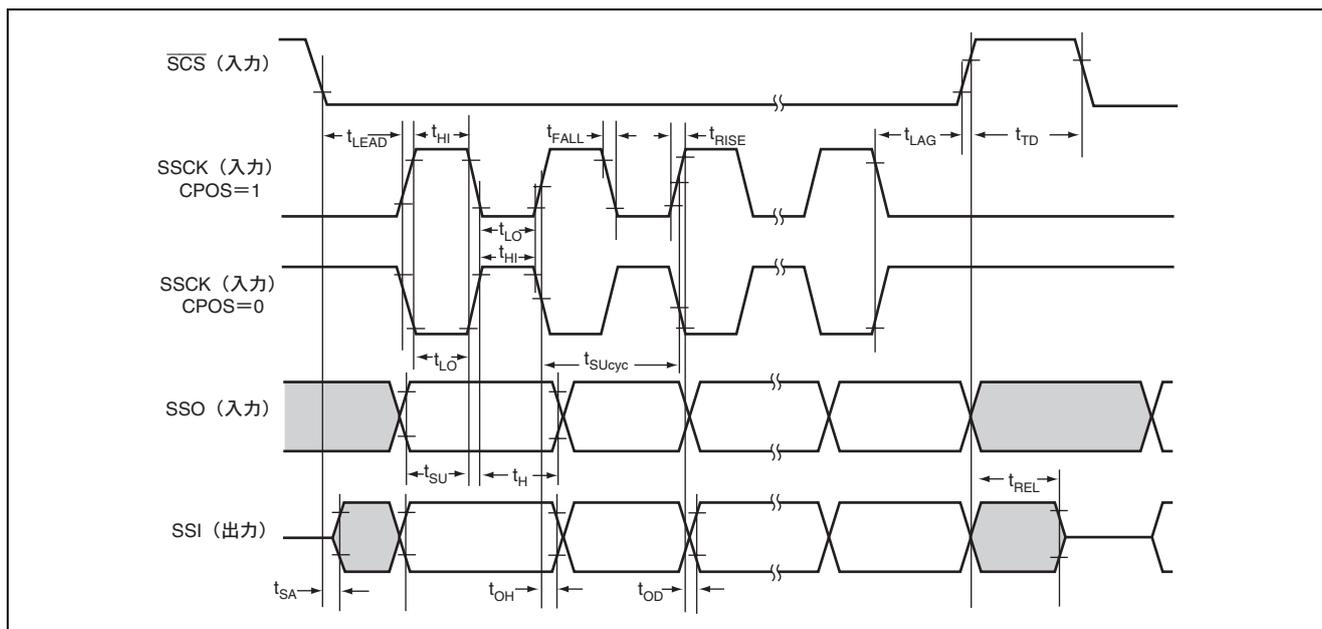


図 25.89 SSU タイミング (スレーブ、CPHS=0)

付録

A. 各処理状態におけるポートの状態

表 A.1 各処理状態におけるポートの状態 (H8S/2426R グループ、H8S/2426 グループ)

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	1、2、3、4、7	T	T	keep	keep	入出力ポート
P27~P26	1、2、3、4、7	T	T	keep	keep	入出力ポート
P25/WAIT	1、2、3、4、7	T	T	[WAIT-B 入力時] T [上記以外] keep	[WAIT-B 入力時] T [上記以外] keep	[WAIT-B 入力時] WAIT-B [上記以外] 入出力ポート
P24~P20	1、2、3、4、7	T	T	keep	keep	入出力ポート
P34~P30	1、2、3、4、7	T	T	keep	keep	入出力ポート
P35/ $\overline{OE-B}^{*2}$ / CKE-B ^{*1}	1、2、3、4、7	T	T	[$\overline{OE-B}$ 、 CKE-B 出力、OPE=0] T [$\overline{OE-B}$ 出力時、 OPE=1] H [CKE-B 出力時、 OPE=1] L [上記以外] keep	[$\overline{OE-B}$ 、 CKE-B 出力時] T [上記以外] keep	[$\overline{OE-B}$ 、 CKE-B 出力時、 OPE=0] $\overline{OE-B}$ 、CKE-B [上記以外] 入出力ポート
ポート 4	1、2、3、4、7	T	T	T	T	入力ポート
P53	1、2、3、4、7	T	T	keep	keep	入出力ポート
P52/BACK-B	1、2、3、4、7	T	T	[BACK-B 出力時] BACK-B [上記以外] keep	[BACK-B 出力時] BACK-B [上記以外] keep	[BACK-B 出力時] BACK-B [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
P51/BREQ-B	1、2、3、4、7	T	T	[BREQ-B 入力時] T [上記以外] keep	[BREQ-B 入力時] BREQ-B [上記以外] keep	[BREQ-B 入力時] BREQ-B [上記以外] 入出力ポート
P50/BREQO-B	1、2、3、4、7	T	T	[BREQO-B 出力時] BREQO-B [上記以外] keep	[BREQO-B 出力時] BREQO-B [上記以外] keep	[BREQO-B 出力時] BREQO-B [上記以外] 入出力ポート
ポート 6	1、2、3、4、7	T	T	keep	keep	入出力ポート
ポート 8	1、2、3、4、7	T	T	keep	keep	入出力ポート
P97~P96	1、2、3、4、7	T	T	T	T	入力ポート
P95/DA3	1、2、3、4、7	T	T	[DAOE3=1] keep [DAOE3=0] T	keep	入力ポート
P94/DA2	1、2、3、4、7	T	T	[DAOE2=1] keep [DAOE2=0] T	keep	入力ポート
P93~P90	1、2、3、4、7	T	T	T	T	入力ポート
PA7/A23 PA6/A22 PA5/A21	1、2、3、4、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A23~A21 [上記以外] 入出力ポート
PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	1、2	L	T	[OPE=0] T [OPE=1] keep	T	[アドレス出力時] A20~A16

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	3、4、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A20~A16 [上記以外] 入出力ポート
ポート B	1、2	L	T	[OPE=0] T [OPE=1] keep	T	[アドレス出力時] A15~A8
	3、4、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A15~A8 [上記以外] 入出力ポート
ポート C	1、2	L	T	[OPE=0] T [OPE=1] keep	T	[アドレス出力時] A7~A0
	3、4、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A7~A0 [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート D	1、2、4	T	T	T	T	D15~D8、 AD15~AD8	
	3、7	T	T	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] D15~D8、 AD15~AD8 [上記以外] 入出力ポート	
ポート E	1、 2、 4	8ビット バス	T	T	keep	keep	入出力ポート
		16ビット バス	T	T	T	T	D7~D0、 AD7~AD0
	3、 7	8ビット バス	T	T	keep	keep	入出力ポート
		16ビット バス	T	T	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] D7~D0、 AD7~AD0 [上記以外] 入出力ポート
PF7/ ϕ	1、2、4	クロック出力	T	[クロック出力時] H [上記以外] keep	[クロック出力時] クロック出力 [上記以外] keep	[クロック出力時] クロック出力 [上記以外] 入力ポート	
	3、7	T					
PF6/AS/AH	1、2、4	H	T	[AS 出力時、 OPE=0] T [AS 出力時、 OPE=1] H [上記以外] keep	[AS 出力時] T [上記以外] keep	[AS 出力時] AS [上記以外] 入出力ポート	
	3、7	T					

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF5/RD PF4/HWR	1、2、4	H	T	[OPE=0] T [OPE=1] H	T	R \bar{D} 、HWR
	3、7	T		[R \bar{D} 、HWR 出力時、 OPE=0] T [R \bar{D} 、HWR 出力時、 OPE=1] H [上記以外] keep	[R \bar{D} 、HWR 出力時] T [上記以外] keep	[R \bar{D} 、HWR 出力時] R \bar{D} 、HWR [上記以外] 入出力ポート
PF3/LWR	1、2、4	H	T	[LWR 出力時、 OPE=0] T [LWR 出力時、 OPE=1] H [上記以外] keep	[LWR 出力時] T [上記以外] keep	[LWR 出力時] LWR [上記以外] 入出力ポート
	3、7	T		[LWR 出力時、 OPE=0] T [LWR 出力時、 OPE=1] H [上記以外] keep	[LWR 出力時] T [上記以外] keep	[LWR 出力時] LWR [上記以外] 入出力ポート
PF2/LCAS* ² / DQML* ¹	1、2、3、4、7	T	T	[LCAS、 DQML 出力時、 OPE=0] T [LCAS、 DQML 出力時、 OPE=1] H [上記以外] keep	[LCAS、 DQML 出力時] T [上記以外] keep	[LCAS、 DQML 出力時] LCAS、DQML [上記以外] 入出力ポート
PF1/UCAS* ² / DQMU* ¹	1、2、3、4、7	T	T	[UCAS、 DQMU 出力時、 OPE=0] T [UCAS、 DQMU 出力時、 OPE=1] H [上記以外] keep	[UCAS、 DQMU 出力時] T [上記以外] keep	[UCAS、 DQMU 出力時] UCAS [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF0/WAIT-A	1、2、3、4、7	T	T	[WAIT-A 入力時] T [上記以外] keep	[WAIT-A 入力時] T [上記以外] keep	[WAIT-A 入力時] WAIT-A [上記以外] 入出力ポート
PG6/BREQ-A	1、2、3、4、7	T	T	[BREQ-A 入力時] T [上記以外] keep	[BREQ-A 入力時] BREQ-A [上記以外] keep	[BREQ-A 入力時] BREQ-A [上記以外] 入出力ポート
PG5/BACK-A	1、2、3、4、7	T	T	[BACK-A 出力時] BACK-A [上記以外] keep	[BACK-A 出力時] BACK-A [上記以外] keep	[BACK-A 出力時] BACK-A [上記以外] 入出力ポート
PG4/BREQO-A	1、2、3、4、7	T	T	[BREQO-A 出力時] BREQO-A [上記以外] keep	[BREQO-A 出力時] BREQO-A [上記以外] keep	[BREQO-A 出力時] BREQO-A [上記以外] 入出力ポート
PG3/ $\overline{\text{CS3}}$ / $\overline{\text{RAS3}}^{*2}/$ $\overline{\text{CAS}}^{*1}$ PG2/ $\overline{\text{CS2}}$ / $\overline{\text{RAS2}}^{*2}/$ $\overline{\text{RAS}}^{*1}$ PG1/ $\overline{\text{CS1}}$	1、2、3、4、7	T	T	[$\overline{\text{CS}}$ 出力時、 OPE=0] T [$\overline{\text{CS}}$ 出力時、 OPE=1] H [上記以外] keep	[$\overline{\text{CS}}$ 出力時] T [上記以外] keep	[$\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] 入出力ポート
PG0/ $\overline{\text{CS0}}$	1、2	H	T	[$\overline{\text{CS}}$ 出力時、 OPE=0] T [$\overline{\text{CS}}$ 出力時、 OPE=1] H [上記以外] keep	[$\overline{\text{CS}}$ 出力時] T [上記以外] keep	[$\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] 入出力ポート
	3、4、7	T				

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PH3/ $\overline{OE-A}^{*2}/$ CKE-A $^{*1}/\overline{CS7}$	1、2、3、4、7	T	T	[$\overline{OE-A}$ 、 \overline{CS} 、 CKE-A 出力時、 OPE=0] T [$\overline{OE-A}$ 出力時、 OPE=1] H [\overline{CS} 出力時、 OPE=1] H [CKE-A 出力時、 OPE=1] L [上記以外] keep	[$\overline{OE-A}$ 、 \overline{CS} 、 CKE-A 出力時] T [上記以外] keep	[$\overline{OE-A}$ 、 CKE-A 出力時] $\overline{OE-A}$ 、CKE-A [\overline{CS} 出力時] \overline{CS} [上記以外] 入出力ポート
PH2/ $\overline{CS6}$	1、2、3、4、7	T	T	[\overline{CS} 出力時、 OPE=0] T [\overline{CS} 出力時、 OPE=1] H [上記以外] keep	[\overline{CS} 出力時] T [上記以外] keep	[\overline{CS} 出力時] \overline{CS} [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PH1/ $\overline{CS5}$ /RAS5* ² SDRAM ϕ * ¹	1、2、3、4、7	[H8S/2426R グループ] クロック出力 [H8S/2426 グループ] T	[H8S/2426R グループ] L [H8S/2426 グループ] T	[H8S/2426R グループかつ SDPSTP=0] L [H8S/2426R グループかつ SDPSTP=1、 もしくは H8S/2426 グループ、 \overline{CS} 出力時、 OPE=0] T [SDPSTP=1、 \overline{CS} 出力時、 OPE=1] H [上記以外] keep	[H8S/2426R グループかつ SDPSTP=0] クロック出力 [H8S/2426R グループかつ SDPSTP=1、 もしくは H8S/2426 グループ、 \overline{CS} 出力時] T [上記以外] keep	[H8S/2426R グループかつ SDPSTP=0] クロック出力 [H8S/2426R グループかつ SDPSTP=1、 もしくは H8S/2426 グループ、 \overline{CS} 出力時] \overline{CS} [上記以外] keep
PH0/ $\overline{CS4}$ /RAS4* ² / \overline{WE} * ¹	1、2、3、4、7	T	T	[\overline{CS} 出力時、 OPE=0] T [\overline{CS} 出力時、 OPE=1] H [上記以外] keep	[\overline{CS} 出力時] T [上記以外] keep	[\overline{CS} 出力時] \overline{CS} [上記以外] 入出力ポート
PJ2	1、2、3、4、7	T	T	T	T	入力ポート
PJ1~PJ0	1、2、3、4、7	T	T	keep	keep	入出力ポート
\overline{WDTOVF}	1、2、3、4、7	H	H	H	H	H* ³

【記号説明】

H : High レベル

L : Low レベル

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

T : ハイインピーダンス

DDR : データディレクションレジスタ

OPE : 出力ポートイネーブル

- 【注】 *1 H8S/2426 グループでは、サポートしていません。
- *2 5V 版ではサポートしていません。
- *3 $WT/IT=1$ の状態でウォッチドッグタイマがオーバーフローした場合、Low 出力されます。

表 A.2 各処理状態におけるポートの状態 (H8S/2424 グループ)

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	1、2、3、4、7	T	T	keep	keep	入出力ポート
P27、P26	1、2、3、4、7	T	T	keep	keep	入出力ポート
P25/WAIT-B	1、2、3、4、7	T	T	[WAIT-B 入力時] T [上記以外] keep	[WAIT-B 入力時] T [上記以外] keep	[WAIT-B 入力時] WAIT-B [上記以外] 入出力ポート
P24~P20	1、2、3、4、7	T	T	keep	keep	入出力ポート
P34~P30	1、2、3、4、7	T	T	keep	keep	入出力ポート
P35/ $\overline{\text{OE-B}}^*$	1、2、3、4、7	T	T	[$\overline{\text{OE-B}}$ 出力時、 OPE=0] T [$\overline{\text{OE-B}}$ 出力時、 OPE=1] H [上記以外] keep	[$\overline{\text{OE-B}}$ 出力時] T [上記以外] keep	[$\overline{\text{OE-B}}$ 出力時] $\overline{\text{OE}}$ [上記以外] 入出力サポート
ポート 4	1、2、3、4、7	T	T	T	T	入力ポート
P53	1、2、3、4、7	T	T	keep	keep	入出力ポート
P52/ $\overline{\text{BACK-B}}$	1、2、3、4、7	T	T	[$\overline{\text{BACK-B}}$ 出力時] $\overline{\text{BACK-B}}$ [上記以外] keep	[$\overline{\text{BACK-B}}$ 出力時] $\overline{\text{BACK-B}}$ [上記以外] keep	[$\overline{\text{BACK-B}}$ 出力時] $\overline{\text{BACK-B}}$ [上記以外] 入出力ポート
P51/ $\overline{\text{BREQ-B}}$	1、2、3、4、7	T	T	[$\overline{\text{BREQ-B}}$ 入力時] $\overline{\text{BREQ-B}}$ [上記以外] keep	[$\overline{\text{BREQ-B}}$ 入力時] $\overline{\text{BREQ-B}}$ [上記以外] keep	[$\overline{\text{BREQ-B}}$ 入力時] $\overline{\text{BREQ-B}}$ [上記以外] 入出力ポート
P50/ $\overline{\text{BREQO-B}}$	1、2、3、4、7	T	T	[$\overline{\text{BREQO-B}}$ 出力時] $\overline{\text{BREQO-B}}$ [上記以外] keep	[$\overline{\text{BREQO-B}}$ 出力時] $\overline{\text{BREQO-B}}$ [上記以外] keep	[$\overline{\text{BREQO-B}}$ 出力時] $\overline{\text{BREQO-B}}$ [上記以外] 入出力ポート
ポート 8	1、2、3、4、7	T	T	keep	keep	入出力ポート
P95/DA3	1、2、3、4、7	T	T	[DAOE3=1] keep [DAOE3=0] T	keep	入力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
P94/DA2	1、2、3、4、7	T	T	[DAOE2=1] keep [DAOE2=0] T	keep	入力ポート
PA7/A23/ $\overline{CS7}$	1、2、3、4、7	T	T	[\overline{CS} 出力時、 OPE=0] T [\overline{CS} 出力時、 OPE=1] H [アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] keep [上記以外] keep	[\overline{CS} 出力時] T [アドレス出力時] T [上記以外] keep	[\overline{CS} 出力時] \overline{CS} [アドレス出力時] A23 [上記以外] 入出力ポート
PA6/A22 PA5/A21	1、2、3、4、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A22~A21 [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	1、2	L	T	[OPE=0] T [OPE=1] keep	T	[アドレス出力時] A20~A16
	3、4、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A20~A16 [上記以外] 入出力ポート
ポート B	1、2	L	T	[OPE=0] T [OPE=1] keep	T	[アドレス出力時] A15~A8
	4	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A15~A8 [上記以外] 入出力ポート
	3、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A15~A8 [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート C	1、2	L	T	[OPE=0] T [OPE=1] keep	T	[アドレス出力時] A7~A0	
	4	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A7~A0 [上記以外] 入出力ポート	
	3、7	T	T	[アドレス出力時、 OPE=0] T [アドレス出力時、 OPE=1] Keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A7~A0 [上記以外] 入出力ポート	
ポート D	1、2、4	T	T	T	T	D15~D8、 AD15~AD8	
	3、7	T	T	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] D15~D8、 AD15~AD8 [上記以外] 入出力ポート	
ポート E	1、 2、 4	8ビット バス	T	T	keep	keep	入出力ポート
		16ビット バス	T	T	T	T	D7~D0、 AD7~AD0
	3、 7	8ビット バス	T	T	keep	keep	入出力ポート
		16ビット バス	T	T	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] T [上記以外] keep	[データバス、 アドレスデータ マルチプレクスバス] D7~D0、 AD7~AD0 [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF7/ ϕ	1、2、4	クロック出力	T	[クロック出力時]	[クロック出力時]	[クロック出力時]
	3、7	T		H [上記以外] keep	クロック出力 [上記以外] keep	クロック出力 [上記以外] 入力ポート
PF6/ \overline{AS}	1、2、4	H	T	[\overline{AS} 出力時、 OPE=0]	[\overline{AS} 出力時]	[\overline{AS} 出力時]
	3、7	T		T [\overline{AS} 出力時、 OPE=1] H [上記以外] keep	T [上記以外] keep	\overline{AS} [上記以外] 入出力ポート
PF5/ \overline{RD} PF4/ \overline{HWR}	1、2、4	H	T	[OPE=0] T [OPE=1] H	T	\overline{RD} 、 \overline{HWR}
	3、7	T		[\overline{RD} 、 \overline{HWR} 出力時、 OPE=0] T [\overline{RD} 、 \overline{HWR} 出力時、 OPE=1] H [上記以外] keep	[\overline{RD} 、 \overline{HWR} 出力時] T [上記以外] keep	[\overline{RD} 、 \overline{HWR} 出力時] \overline{RD} 、 \overline{HWR} [上記以外] 入出力ポート
PF3/ \overline{LWR}	1、2、4	H	T	[\overline{LWR} 出力時、 OPE=0]	[\overline{LWR} 出力時]	[\overline{LWR} 出力時]
	3、7	T		T [\overline{LWR} 出力時、 OPE=1] H [上記以外] keep	T [上記以外] keep	\overline{LWR} [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF2/ $\overline{\text{LCAS}}^*/\overline{\text{CS6}}$	1、2、3、 4、7	T	T	[$\overline{\text{LCAS}}$ 出力時、OPE =0] T [$\overline{\text{LCAS}}$ 出力時、OPE =1] H [$\overline{\text{CS}}$ 出力時、 OPE=1] T [$\overline{\text{CS}}$ 出力時、 OPE=1] H [上記以外] keep	[$\overline{\text{LCAS}}$ 出力時] T [$\overline{\text{CS}}$ 出力時] T [上記以外] keep	[$\overline{\text{LCAS}}$ 出力時] $\overline{\text{LCAS}}$ [$\overline{\text{CS}}$ 出力時] [$\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] [上記以外] 入出力ポート
PF1/ $\overline{\text{UCAS}}^*/\overline{\text{CS5}}$	1、2、3、 4、7	T	T	[$\overline{\text{UCAS}}$ 出力時、 OPE=0] T [$\overline{\text{UCAS}}$ 出力時、 OPE=1] H [$\overline{\text{CS}}$ 出力時、 OPE=1] T [$\overline{\text{CS}}$ 出力時、 OPE=1] H [上記以外] keep	[$\overline{\text{UCAS}}$ 出力時] T [$\overline{\text{CS}}$ 出力時] T [上記以外] keep	[$\overline{\text{UCAS}}$ 出力時] $\overline{\text{UCAS}}$ [$\overline{\text{CS}}$ 出力時] [$\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] [上記以外] 入出力ポート
PF0/ $\overline{\text{WAIT-A}}/\overline{\text{OE-A}}^*$	1、2、3、 4、7	T	T	[$\overline{\text{WAIT-A}}$ 入力時] T [$\overline{\text{OE-A}}$ 出力時] T [$\overline{\text{OE-A}}$ 出力時、 OPE=1] H [上記以外] keep	[$\overline{\text{WAIT-A}}$ 入力時] T [$\overline{\text{OE-A}}$ 出力時、 OPE=0] T [上記以外] keep	[$\overline{\text{WAIT-A}}$ 入力時] $\overline{\text{WAIT-A}}$ [$\overline{\text{OE-A}}$ 出力時、 OPE=0] OPE=0] $\overline{\text{OE-A}}$ [上記以外] [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG6/BREQ-A	1、2、3、 4、7	T	T	[BREQ-A 入力時] T [上記以外] keep	[BREQ-A 入力時] BREQ-A [上記以外] keep	[BREQ-A 入力時] BREQ-A [上記以外] 入出力ポート
PG5/BACK-A	1、2、3、 4、7	T	T	[BACK-A 出力時] BACK-A [上記以外] keep	[BACK-A 出力時] BACK-A [上記以外] keep	[BACK-A 出力時] BACK-A [上記以外] 入出力ポート
PG4/BREQO-A/ CS4	1、2、3、 4、7	T	T	[BREQO-A 出力時] BREQO-A [CS4 出力時、 OPE=0] T [CS4 出力時、 OPE=1] H [上記以外] keep	[BREQO-A 出力時] BREQO-A [CS4 出力時] T [上記以外] keep	[BREQO-A 出力時] BREQO-A [CS4 出力時] CS4 [上記以外] 入出力ポート
PG3/CS3/RAS3* ¹ PG2/CS2/RAS2* ¹ PG1/CS1	1、2、3、 4、7	T	T	[CS 出力時、 OPE=0] T [CS 出力時、 OPE=1] H [上記以外] keep	[CS 出力時] T [上記以外] keep	[CS 出力時] CS [上記以外] 入出力ポート
PG0/CS0	1、2	H	T	[CS 出力時、 OPE=0] T [CS 出力時、 OPE=1] H [上記以外] keep	[CS 出力時] T [上記以外] keep	[CS 出力時] CS [上記以外] 入出力ポート
	3、4、7	T				
WDOVF	1、2、4、7	H	H	H	H	H* ²

【記号説明】

H : High レベル

L : Low レベル

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

T : ハイインピーダンス

DDR : データディレクションレジスタ

OPE : 出力ポートイネーブル

【注】 *1 5V 版ではサポートしていません。

*2 $WT/\overline{IT}=1$ の状態でウォッチドッグタイマがオーバーフローした場合、Low 出力されます。

B. 外形寸法図

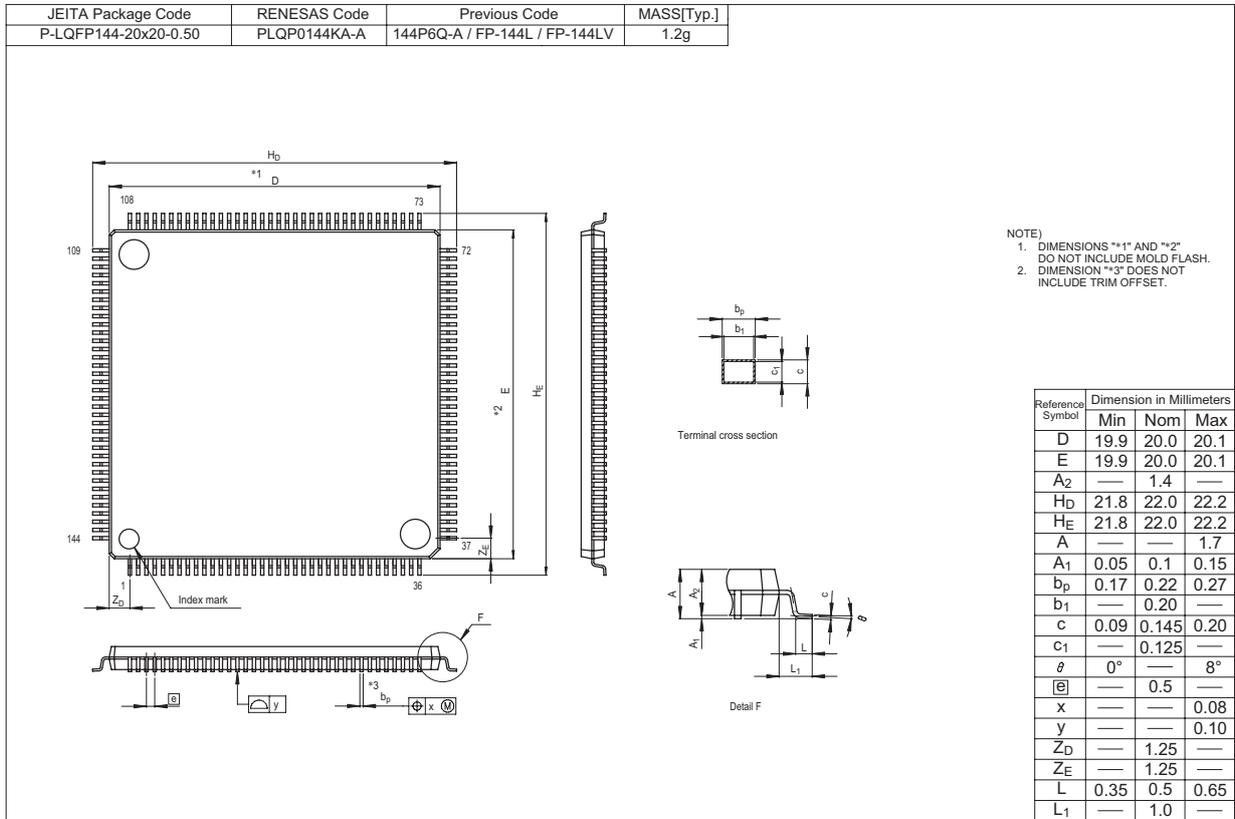


図 B.1 外形寸法図 (PLQP0144KA-A)

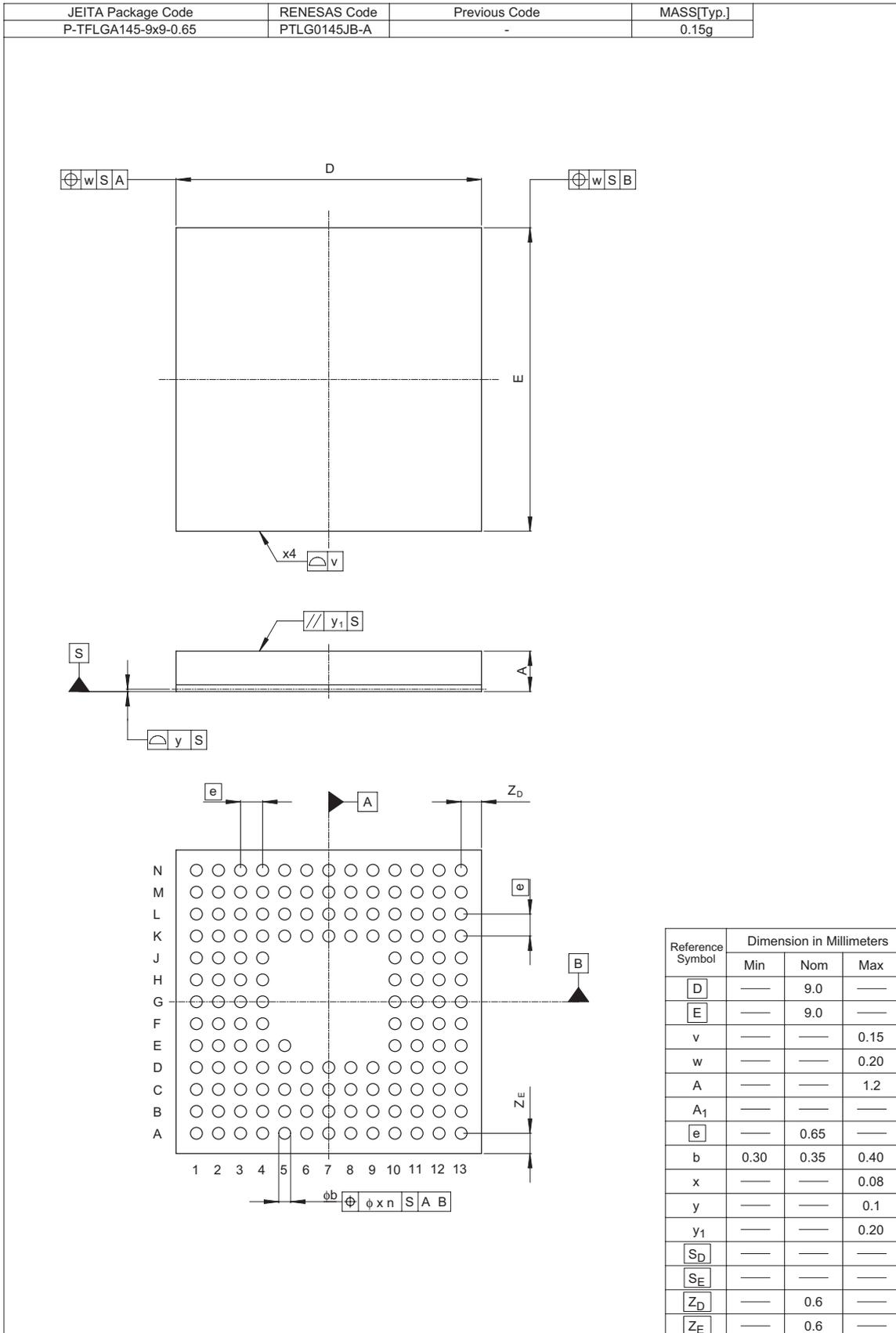


図 B.2 外形寸法図 (PTLG0145JB-A)

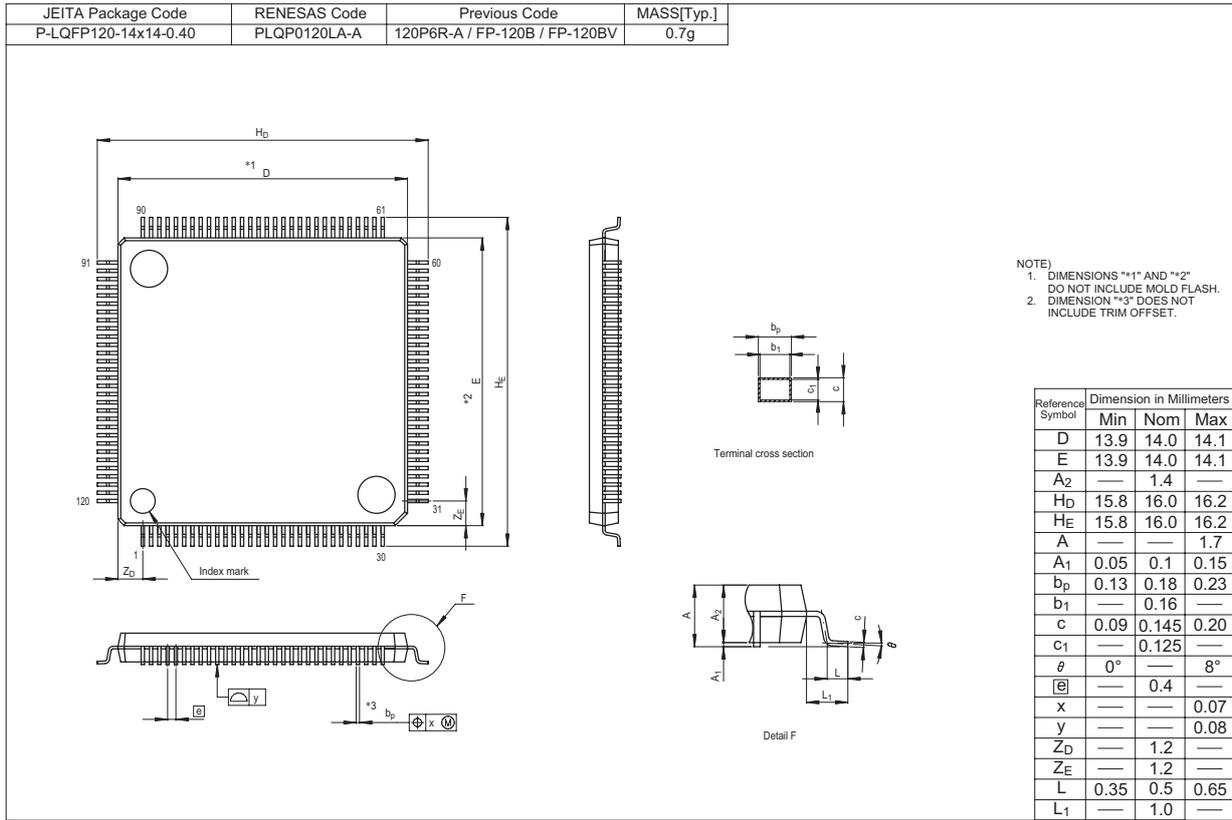


図 B.3 外形寸法図 (PLQP0120LA-A)

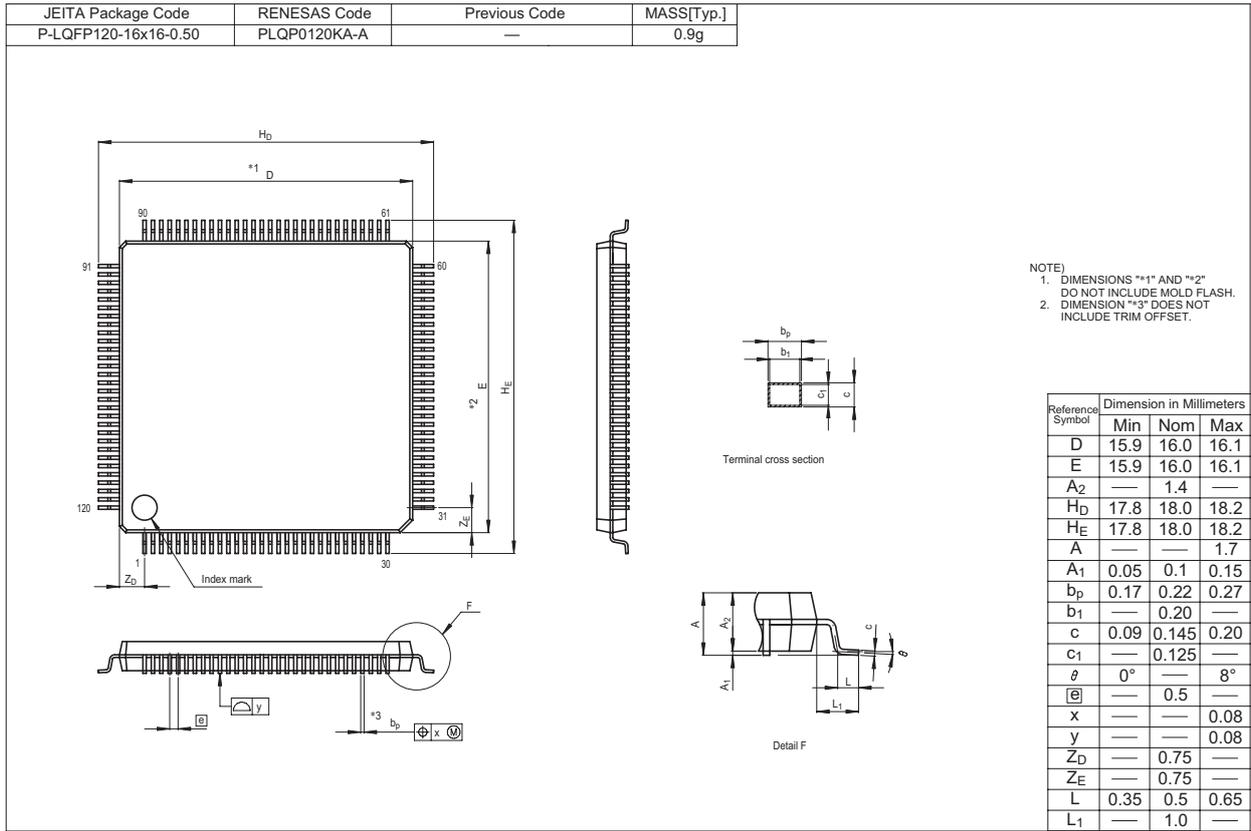


図 B.4 外形寸法図 (PLQP0120KA-A)

C. 未使用端子の処理について

未使用端子の処理を表 C.1 に示します。

表 C.1 未使用端子の処理例

端子名	モード 1	モード 2	モード 4	モード 7
RES	<ul style="list-style-type: none"> 抵抗を介して Vcc に接続 (プルアップ) 			
STBY	<ul style="list-style-type: none"> 抵抗を介して Vcc に接続 (プルアップ) 			
EMLE	<ul style="list-style-type: none"> 抵抗を介して Vss に接続 (プルダウン) 			
MD2~MD0	(モード端子として必ず使用)			
NMI	<ul style="list-style-type: none"> 抵抗を介して Vcc に接続 (プルアップ) 			
EXTAL	(クロック端子として必ず使用)			
XTAL	<ul style="list-style-type: none"> 端子を開放 			
WDTOVF	<ul style="list-style-type: none"> 端子を開放 			
ポート 1 ポート 2 ポート 3 ポート 5 ポート 8 PA7~PA5 PF2~PF0 PG7~PG1 PH3、PH2、PH0 PJ2~PJ0	<ul style="list-style-type: none"> 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン) 			
ポート 4 ポート 9	<ul style="list-style-type: none"> 端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン) 			
PF7	<ul style="list-style-type: none"> 初期状態では ϕ 出力のため端子を開放 			<ul style="list-style-type: none"> 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
PF6	<ul style="list-style-type: none"> 初期状態では \overline{AS} 出力のため端子を開放 			
PF5	<ul style="list-style-type: none"> 初期状態では \overline{RD} 出力のため端子を開放 			
PF4	<ul style="list-style-type: none"> 初期状態では \overline{HWR} 出力のため端子を開放 			
PF3	<ul style="list-style-type: none"> 初期状態では \overline{LWR} 出力のため端子を開放 			
PG0	<ul style="list-style-type: none"> 初期状態では $\overline{CS0}$ 出力のため端子を開放 			
PA4~PA0 ポート B ポート C	<ul style="list-style-type: none"> 初期状態ではアドレス出力のため端子を開放 			
PH1	<ul style="list-style-type: none"> 初期状態では SDRAM ϕ 出力のため端子を開放 (H8S/2426R) 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン) (H8S/2426、H8S/2424) 			

本版で修正または追加された箇所

項目	ページ	修正箇所																																	
4.3 リセット	4-4	<p>修正</p> <p>リセットは、最も優先順位の高い例外処理です。$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 15ms の間、$\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 2ms の間、Low レベルに保持してください。</p>																																	
7.1 特長	7-1	<p>修正</p> <ul style="list-style-type: none"> 起動要因は、内部割り込み、外部リクエスト、オートリクエスト（転送モードに依存）16 ビットタイマパルスユニット（TPU）のコンペアマッチ/インプットキャプチャ割り込み×6 <p>シリアルコミュニケーションインタフェース（SCI_0、SCI_1）の送信データエンプティ割り込み、受信データフル割り込み</p>																																	
7.3.4 DMA コントロールレジスタ（DMACRA、DMACRB） (1) ショートアドレスモード •DMACR_0A、DMACR_0B、DMACR_1A、DMACR_1B	7-8	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ビット</th> <th style="text-align: center;">ビット名</th> <th style="text-align: center;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td style="text-align: center;">DTF3</td> <td>チャンネル A</td> </tr> <tr> <td style="text-align: center;">2</td> <td style="text-align: center;">DTF2</td> <td>0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">DTF1</td> <td>0101 : SCI チャンネル 0 の受信データフル割り込みで起動</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">DTF0</td> <td>0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動</td> </tr> <tr> <td></td> <td></td> <td>0111 : SCI チャンネル 1 の受信データフル割り込みで起動</td> </tr> <tr> <td></td> <td></td> <td>チャンネル B の場合</td> </tr> <tr> <td></td> <td></td> <td>0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動</td> </tr> <tr> <td></td> <td></td> <td>0101 : SCI チャンネル 0 の受信データフル割り込みで起動</td> </tr> <tr> <td></td> <td></td> <td>0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動</td> </tr> <tr> <td></td> <td></td> <td>0111 : SCI チャンネル 1 の受信データフル割り込みで起動</td> </tr> </tbody> </table>	ビット	ビット名	説明	3	DTF3	チャンネル A	2	DTF2	0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動	1	DTF1	0101 : SCI チャンネル 0 の受信データフル割り込みで起動	0	DTF0	0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動			0111 : SCI チャンネル 1 の受信データフル割り込みで起動			チャンネル B の場合			0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動			0101 : SCI チャンネル 0 の受信データフル割り込みで起動			0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動			0111 : SCI チャンネル 1 の受信データフル割り込みで起動
ビット	ビット名	説明																																	
3	DTF3	チャンネル A																																	
2	DTF2	0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動																																	
1	DTF1	0101 : SCI チャンネル 0 の受信データフル割り込みで起動																																	
0	DTF0	0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動																																	
		0111 : SCI チャンネル 1 の受信データフル割り込みで起動																																	
		チャンネル B の場合																																	
		0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動																																	
		0101 : SCI チャンネル 0 の受信データフル割り込みで起動																																	
		0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動																																	
		0111 : SCI チャンネル 1 の受信データフル割り込みで起動																																	
(2) フルアドレスモード •DMACR_0B、DMACR_1B	7-11	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ビット</th> <th style="text-align: center;">ビット名</th> <th style="text-align: center;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td style="text-align: center;">DTF3</td> <td>ブロック転送モード</td> </tr> <tr> <td style="text-align: center;">2</td> <td style="text-align: center;">DTF2</td> <td>0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">DTF1</td> <td>0101 : SCI チャンネル 0 の受信データフル割り込みで起動</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">DTF0</td> <td>0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動</td> </tr> <tr> <td></td> <td></td> <td>0111 : SCI チャンネル 1 の受信データフル割り込みで起動</td> </tr> </tbody> </table>	ビット	ビット名	説明	3	DTF3	ブロック転送モード	2	DTF2	0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動	1	DTF1	0101 : SCI チャンネル 0 の受信データフル割り込みで起動	0	DTF0	0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動			0111 : SCI チャンネル 1 の受信データフル割り込みで起動															
ビット	ビット名	説明																																	
3	DTF3	ブロック転送モード																																	
2	DTF2	0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動																																	
1	DTF1	0101 : SCI チャンネル 0 の受信データフル割り込みで起動																																	
0	DTF0	0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動																																	
		0111 : SCI チャンネル 1 の受信データフル割り込みで起動																																	

項目	ページ	修正箇所						
表 7.4 DMAC の転送モード	7-24、 7-25	<p>修正</p> <table border="1"> <thead> <tr> <th>転送モード</th> <th>転送要因</th> </tr> </thead> <tbody> <tr> <td> ショート アドレスモード デュアルアドレスモード <ul style="list-style-type: none"> 1回の転送要求で1バイトまたは1ワードの転送を実行 転送先/転送元アドレスを指定し、2バスサイクルで転送 <ol style="list-style-type: none"> シーケンシャルモード <ul style="list-style-type: none"> メモリアドレスを1または2増減 転送回数は1~65,536 アイドルモード <ul style="list-style-type: none"> メモリアドレスは固定 転送回数は1~65,536 リピートモード <ul style="list-style-type: none"> メモリアドレスを1または2増減 転送回数(1~256)転送後、初期状態を回復して動作を継続 </td> <td> <ul style="list-style-type: none"> TPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込み SCIの送信データエンプティ割り込み SCIの受信データフル割り込み A/D変換器の変換終了割り込み 外部リクエスト </td> </tr> <tr> <td> フル アドレスモード ブロック転送モード <ul style="list-style-type: none"> 1回の転送要求で指定した1ブロックサイズの転送を実行 転送回数は1~65,536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズは1~256バイトまたはワード </td> <td> <ul style="list-style-type: none"> TPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込み SCIの送信データエンプティ割り込み SCIの受信データフル割り込み A/D変換器の変換終了割り込み 外部リクエスト </td> </tr> </tbody> </table>	転送モード	転送要因	ショート アドレスモード デュアルアドレスモード <ul style="list-style-type: none"> 1回の転送要求で1バイトまたは1ワードの転送を実行 転送先/転送元アドレスを指定し、2バスサイクルで転送 <ol style="list-style-type: none"> シーケンシャルモード <ul style="list-style-type: none"> メモリアドレスを1または2増減 転送回数は1~65,536 アイドルモード <ul style="list-style-type: none"> メモリアドレスは固定 転送回数は1~65,536 リピートモード <ul style="list-style-type: none"> メモリアドレスを1または2増減 転送回数(1~256)転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> TPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込み SCIの送信データエンプティ割り込み SCIの受信データフル割り込み A/D変換器の変換終了割り込み 外部リクエスト 	フル アドレスモード ブロック転送モード <ul style="list-style-type: none"> 1回の転送要求で指定した1ブロックサイズの転送を実行 転送回数は1~65,536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズは1~256バイトまたはワード 	<ul style="list-style-type: none"> TPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込み SCIの送信データエンプティ割り込み SCIの受信データフル割り込み A/D変換器の変換終了割り込み 外部リクエスト
転送モード	転送要因							
ショート アドレスモード デュアルアドレスモード <ul style="list-style-type: none"> 1回の転送要求で1バイトまたは1ワードの転送を実行 転送先/転送元アドレスを指定し、2バスサイクルで転送 <ol style="list-style-type: none"> シーケンシャルモード <ul style="list-style-type: none"> メモリアドレスを1または2増減 転送回数は1~65,536 アイドルモード <ul style="list-style-type: none"> メモリアドレスは固定 転送回数は1~65,536 リピートモード <ul style="list-style-type: none"> メモリアドレスを1または2増減 転送回数(1~256)転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> TPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込み SCIの送信データエンプティ割り込み SCIの受信データフル割り込み A/D変換器の変換終了割り込み 外部リクエスト 							
フル アドレスモード ブロック転送モード <ul style="list-style-type: none"> 1回の転送要求で指定した1ブロックサイズの転送を実行 転送回数は1~65,536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズは1~256バイトまたはワード 	<ul style="list-style-type: none"> TPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込み SCIの送信データエンプティ割り込み SCIの受信データフル割り込み A/D変換器の変換終了割り込み 外部リクエスト 							
7.5.2 シーケンシャルモード	7-28	<p>修正</p> <p>転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信データエンプティ/受信データフル割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。外部リクエストは、チャンネルBのみ設定できます。</p>						
7.5.3 アイドルモード	7-30	<p>修正</p> <p>転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信データエンプティ/受信データフル割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。外部リクエストは、チャンネルBのみ設定できます。</p>						
7.5.3 リピートモード	7-33	<p>修正</p> <p>転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信データエンプティ/受信データフル割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。外部リクエストは、チャンネルBのみ設定できます。</p>						
7.5.7 ブロック転送モード	7-44	<p>修正</p> <p>転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信データエンプティ/受信データフル割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。</p>						

項目	ページ	修正箇所
10.1.5 端子機能 (1) H8S/2426 グループ、 H8S/2426R グループの端 子機能 ・P17/PO15/TIOCB2/ TCLKD/EDRAK3/ SCS0-A ・モード 3、7 (EXPE=0)	10-17	注記を修正 *3 SCS0-A 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にし たら、その他のレジスタ設定を行うようにしてください。 *4 SCS0-A 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にし たら、その他のレジスタ設定を行うようにしてください。 *5 SCS0-A 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にし たら、その他のレジスタ設定を行うようにしてください。
・P16/PO14/TIOCA2/ EDRAK2/SSCK0-A ・モード 3、7 (EXPE=0)	10-19	注記を修正 *3 SSCK0-A 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 に してから、その他のレジスタ設定を行うようにしてください。 *4 SSCK0-A 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 に してから、その他のレジスタ設定を行うようにしてください。
・P15/PO13/TIOCB1/ TCLKC/SSI0-A	10-20	注記を修正 *3 SSI0-A 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてか ら、その他のレジスタ設定を行うようにしてください。 *4 SSI0-A 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてか ら、その他のレジスタ設定を行うようにしてください。
・P14/PO12/TIOCA1/ SSO0-A	10-22	注記を修正 *3 SSO0-A 入力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'00 にして たら、その他のレジスタ設定を行うようにしてください。 *4 SSO0-A 出力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'00 にして たら、その他のレジスタ設定を行うようにしてください。
(2) H8S/2424 グループの 端子機能 ・P17/PO15/TIOCB2/ TCLKD/SCS0-A	10-26	注記を修正 *3 SCS0-A 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にして たら、その他のレジスタ設定を行うようにしてください。 *4 SCS0-A 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にして たら、その他のレジスタ設定を行うようにしてください。 *5 SCS0-A 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'00 にし たら、その他のレジスタ設定を行うようにしてください。
・P16/PO14/TIOCA2/ SSCK0-A	10-27	注記を修正 *2 SSCK0-A 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 に してから、その他のレジスタ設定を行うようにしてください。 *3 SSCK0-A 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'00 に してから、その他のレジスタ設定を行うようにしてください。
・P15/DACK1/PO13/ TIOCB1/TCLKC/SSI0-A	10-28	注記を修正 *3 SSI0-A 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてか ら、その他のレジスタ設定を行うようにしてください。 *4 SSI0-A 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'00 にしてか ら、その他のレジスタ設定を行うようにしてください。

項目	ページ	修正箇所
<ul style="list-style-type: none"> • P14/DACK0/PO12/TIOCA1/SSO0-A 	10-29、 10-30	注記を修正 *2 SSO0-A 入力として使用する場合は、PFCR5のSSO0S1、SSO0S0=B'00にしてから、その他のレジスタ設定を行うようにしてください。 *3 SSO0-A 出力として使用する場合は、PFCR5のSSO0S1、SSO0S0=B'00にしてから、その他のレジスタ設定を行うようにしてください。
10.2.5 端子機能 (1) H8S/2426 グループ、 H8S/2426R グループの端子機能 <ul style="list-style-type: none"> • P25/PO5-A/TIOCB4-A/IRQ13-B/WAIT-B • モード 3、7 (EXPE=0) 	10-39	注記を修正 *3 PO5-A 出力として使用する場合は、PFCR3のPPGS=0にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCB4-A 入出力として使用する場合は、PFCR3のTPUS=0にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P24/IRQ12-B/PO4-A/TIOCA4-A/RxD4-A 	10-40	注記を修正 *4 PO4-A 出力として使用する場合は、PFCR3のPPGS=0にしてから、その他のレジスタ設定を行うようにしてください。 *5 TIOCA4-A 入出力として使用する場合は、PFCR3のTPUS=0にしてから、その他のレジスタ設定を行うようにしてください。 *6 RxD4-A 入力として使用する場合は、PFCR4のRXD4S=0にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P23/IRQ11-B/PO3-A/TIOCD3-A/TxD4-A 	10-41	注記を修正 *3 PO3-A 出力として使用する場合は、PFCR3のPPGS=0にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCD3-A 入出力として使用する場合は、PFCR3のTPUS=0にしてから、その他のレジスタ設定を行うようにしてください。 *5 TxD4-A 出力として使用する場合は、PFCR4のTXD4S=0にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P22/IRQ10-B/PO2-A/TIOCC3-A 	10-42	注記を修正 *4 PO2-A 出力として使用する場合は、PFCR3のPPGS=0にしてから、その他のレジスタ設定を行うようにしてください。 *5 TIOCC3-A 入出力として使用する場合は、PFCR3のTPUS=0にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P21/IRQ9-B/PO1-A/TIOCB3-A 	10-43	注記を修正 *3 PO1-A 出力として使用する場合は、PFCR3のPPGS=0にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCB3-A 入出力として使用する場合は、PFCR3のTPUS=0にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P20/PO0-A/TIOCA3-A/IRQ8-B 	10-44	注記を修正 *4 PO0-A 出力として使用する場合は、PFCR3のPPGS=0にしてから、その他のレジスタ設定を行うようにしてください。 *5 TIOCA3-A 入出力として使用する場合は、PFCR3のTPUS=0にしてから、その他のレジスタ設定を行うようにしてください。

項目	ページ	修正箇所
(2) H8S/2424 グループの 端子機能 • P25/WAIT-B/PO5-A/ TIOCB4-A/TMO1-A • モード 3、7 (EXPE=0)	10-47	注記を修正 *2 PO5-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *3 TIOCB4-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *4 TMO1-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。
• P24/PO4-A/TIOCA4-A/ TMO0-A/RxD4-A	10-48	注記を修正 *3 PO4-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCA4-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TMO0-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *6 RxD4-A 入力として使用する場合は、PFCR4 の RXD4S=0 にしてから、その他のレジスタ設定を行うようにしてください。
• P23/PO3-A/TIOCD3-A/ TMCI1-A/TxD4-A	10-49	注記を修正 *3 PO3-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCD3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TMCI1-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *6 TxD4-A 出力として使用する場合は、PFCR4 の TXD4S=0 にしてから、その他のレジスタ設定を行うようにしてください。
• P22/PO2-A/TIOCC3-A/ TMCIO-A	10-50	注記を修正 *4 PO2-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TIOCC3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *6 TMCIO-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。
• P21/PO1-A/TIOCB3-A/ TMRI1-A	10-51	注記を修正 *3 PO1-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCB3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TMRI1-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

項目	ページ	修正箇所
<ul style="list-style-type: none"> • P20/PO0-A/TIOCA3-A/ TMRIO-A 	10-52	注記を修正 *4 PO0-A 出力として使用する場合は、PFCR3 の PPGS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TIOCA3-A 入出力として使用する場合は、PFCR3 の TPUS=0 にしてから、その他のレジスタ設定を行うようにしてください。 *6 TMRIO-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。
10.3.5 端子機能 <ul style="list-style-type: none"> • P34/SCK0/SCK4-A/ SDA0 	10-56	注記を修正 *3 SCK4-A 入出力として使用する場合は、PFCR4 の SCK4S=0 にしてから、その他のレジスタ設定を行うようにしてください。
10.5.5 端子機能 <ul style="list-style-type: none"> • P52/SCK2/IRQ2-A/ BACK-B/PO4-B/ TIOCA4-B/TMO0-B • モード 3、7 (EXPE=0) 	10-63	注記を修正 *4 PO4-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TIOCA4-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *6 TMO0-B 出力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P51/RxD2/IRQ1-A/ SCL3/BREQ-B/PO2-B/ TIOCC3-B/TMCI0-B • モード 3、7 (EXPE=0) 	10-65	注記を修正 *6 PO2-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *7 TIOCC3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *8 TMCI0-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P50/TxD2/IRQ0-A/ SDA3/BREQ0-B/ PO0-B/TIOCA3-B/ TMRIO-B • モード 3、7 (EXPE=0) 	10-67	注記を修正 *6 PO0-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *7 TIOCA3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *8 TMRIO-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。
10.6.5 端子機能 <ul style="list-style-type: none"> • P65/IRQ13-A/DACK1/ TMO1-A 	10-70	注記を修正 *2 TMO1-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P64/IRQ12-A/DACK0/ TMO0-A 	10-70	注記を修正 *2 TMO0-A 出力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P63/IRQ11-A/TEND1/ TMCI1-A 	10-71	注記を修正 *3 TMCI1-A 入力として使用する場合は、PFCR3 の TMRS=0 にしてから、その他のレジスタ設定を行うようにしてください。

項目	ページ	修正箇所
<ul style="list-style-type: none"> • P62/$\overline{\text{IRQ10-A}}/\overline{\text{TEND0}}/\text{TMC10-A}$ 	10-71	注記を修正 *3 $\overline{\text{TMC10-A}}$ 入力として使用する場合は、PFCR3の $\text{TMRS}=0$ にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P61/$\overline{\text{IRQ9-A}}/\overline{\text{DREQ1}}/\text{TMRI1-A}$ 	10-71	注記を修正 *3 $\overline{\text{TMRI1-A}}$ 入力として使用する場合は、PFCR3の $\text{TMRS}=0$ にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P60/$\overline{\text{IRQ8-A}}/\overline{\text{DREQ0}}/\text{TMRI0-A}$ 	10-72	注記を修正 *3 $\overline{\text{TMRI0-A}}$ 入力として使用する場合は、PFCR3の $\text{TMRS}=0$ にしてから、その他のレジスタ設定を行うようにしてください。
10.7.5 端子機能 (1) H8S/2426 グループ、H8S/2426R グループの端子機能 <ul style="list-style-type: none"> • P85/$\overline{\text{EDACK3}}/\overline{\text{IRQ5-B}}/\text{SCK3}/\text{PO5-B}/\text{TIOCB4-B}/\text{TMO1-B}$ • モード 3、7 ($\text{EXPE}=0$) 	10-76	注記を修正 *3 PO5-B 出力として使用する場合は、PFCR3の $\text{PPGS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *4 $\overline{\text{TIOCB4-B}}$ 入出力として使用する場合は、PFCR3の $\text{TPUS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *5 TMO1-B 出力として使用する場合は、PFCR3の $\text{TMRS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P83/$\overline{\text{ETEND3}}/\overline{\text{IRQ3-B}}/\text{RxD3}/\text{PO3-B}/\text{TIOCD3-B}/\text{TMCI1-B}$ • モード 3、7 ($\text{EXPE}=0$) 	10-78	注記を修正 *4 PO3-B 出力として使用する場合は、PFCR3の $\text{PPGS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *5 $\overline{\text{TIOCD3-B}}$ 入出力として使用する場合は、PFCR3の $\text{TPUS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *6 $\overline{\text{TMCI1-B}}$ 入力として使用する場合は、PFCR3の $\text{TMRS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P81/$\overline{\text{EDREQ3}}/\overline{\text{IRQ1-B}}/\text{TxD3}/\text{PO1-B}/\text{TIOCB3-B}/\text{TMRI1-B}$ 	10-80	注記を修正 *4 PO1-B 出力として使用する場合は、PFCR3の $\text{PPGS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *5 $\overline{\text{TIOCB3-B}}$ 入出力として使用する場合は、PFCR3の $\text{TPUS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *6 $\overline{\text{TMRI1-B}}$ 入力として使用する場合は、PFCR3の $\text{TMRS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。
(2) H8S/2424 グループの端子機能 <ul style="list-style-type: none"> • P85/$\text{SCK3}/\text{PO5-B}/\text{TIOCB4-B}/\text{TMO1-B}$ 	10-81	注記を修正 *2 PO5-B 出力として使用する場合は、PFCR3の $\text{PPGS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *3 $\overline{\text{TIOCB4-B}}$ 入出力として使用する場合は、PFCR3の $\text{TPUS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。 *4 TMO1-B 出力として使用する場合は、PFCR3の $\text{TMRS}=1$ にしてから、その他のレジスタ設定を行うようにしてください。

項目	ページ	修正箇所
<ul style="list-style-type: none"> • P83/PO3-B/TIOCD3-B/ TMC11-B/RxD3 	10-82	注記を修正 *3 PO3-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCD3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TMC11-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • P81/PO1-B/TIOCB3-B/ TMRI1-B/TxD3 	10-83	注記を修正 *3 PO1-B 出力として使用する場合は、PFCR3 の PPGS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *4 TIOCB3-B 入出力として使用する場合は、PFCR3 の TPUS=1 にしてから、その他のレジスタ設定を行うようにしてください。 *5 TMRI1-B 入力として使用する場合は、PFCR3 の TMRS=1 にしてから、その他のレジスタ設定を行うようにしてください。
10.9.6 端子機能 <ul style="list-style-type: none"> • PA7/A23/CS7*⁶/ IRQ7-A/SSO0-B • モード 3、7 (EXPE=0) 	10-91	注記を修正 *2 SSO0-B 入力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。 *3 SSO0-B 出力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • PA6/A22/IRQ6-A/ SSI0-B • モード 3、7 	10-93	注記を修正 *2 SSI0-B 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。 *3 SSI0-B 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • PA5/A21/IRQ5-A/ SSCK0-B • モード 3、7 	10-94	注記を修正 *2 SSCK0-B 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。 *3 SSCK0-B 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • PA4/A20/IRQ4-A/ SCS0-B 	10-95	注記を修正 *2 SCS0-B 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。 *3 SCS0-B 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。 *4 SCS0-B 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'01 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> • PA3/A19/SCK4-B 	10-96	注記を修正 * SCK4-B 入出力として使用する場合は、PFCR4 の SCK4S=1 にしてから、その他のレジスタ設定を行うようにしてください。

項目	ページ	修正箇所
<ul style="list-style-type: none"> PA2/A18/RxD4-B 	10-97	注記を修正 * RxD4-B 入力として使用する場合は、PFCR4 の RxD4S=1 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> PA1/A17/TxD4-B 	10-97	注記を修正 * TxD4-B 出力として使用する場合は、PFCR4 の TxD4S=1 にしてから、その他のレジスタ設定を行うようにしてください。
10.14.5 端子機能 <ul style="list-style-type: none"> PF3/LWR/SSO0-C 	10-132	注記を修正 *1 SSO0-C 入力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。 *2 SSO0-C 出力として使用する場合は、PFCR5 の SSO0S1、SSO0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> PF2/LCAS*⁷/DQML*⁶/IRQ15-A/SSI0-C (H8S/2426 グループ、H8S/2426R グループのとき) モード 3、7 (EXPE=0) 	10-133	注記を修正 *2 SSI0-C 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。 *3 SSI0-C 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> PF2/CS6/LCAS*⁵/SSI0-C (H8S/2424 グループのとき) モード 3、7 (EXPE=0) 	10-135	注記を修正 *1 SSI0-C 入力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。 *2 SSI0-C 出力として使用する場合は、PFCR5 の SSI0S1、SSI0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> PF1/UCAS*⁷/DQMU*⁶/IRQ14-A/SSCK0-C (H8S/2426 グループ、H8S/2426R グループのとき) モード 3、7 (EXPE=0) 	10-136	注記を修正 *2 SSCK0-C 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。 *3 SSCK0-C 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> PF1/CS5/UCAS*⁵/SSCK0-C (H8S/2424 グループのとき) モード 3、7 (EXPE=0) 	10-137	注記を修正 *1 SSCK0-C 入力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。 *2 SSCK0-C 出力として使用する場合は、PFCR5 の SSCK0S1、SSCK0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。
<ul style="list-style-type: none"> PF0/WAIT-A/ADTRG0-B/SCS0-C (H8S/2426 グループ、H8S/2426R グループのとき) モード 3、7 (EXPE=0) 	10-138	注記を修正 *2 SCS0-C 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。 *3 SCS0-C 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。 *4 SCS0-C 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にしてから、その他のレジスタ設定を行うようにしてください。

項目	ページ	修正箇所												
<ul style="list-style-type: none"> PF0/WAIT-A/ ADTRG0-B/SCS0-C/ OE-A*⁸ (H8S/2424 グループの とき) モード 3、7 (EXPE=0) 	10-140	注記を修正 *3 SCS0-C 入力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にして から、その他のレジスタ設定を行うようにしてください。 *4 SCS0-C 出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にして から、その他のレジスタ設定を行うようにしてください。 *5 SCS0-C 入出力として使用する場合は、PFCR5 の SCS0S1、SCS0S0=B'10 にし てから、その他のレジスタ設定を行うようにしてください。												
15.3.7 シリアルステータ スレジスタ (SSR) <ul style="list-style-type: none"> スマートカードインタフ ェース (SCMR の SMIF =1 のとき) 	15-16	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>TEND</td> <td> セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0 のとき、送信開始から 12.5etu 後 GM=0、BLK=1 のとき、送信開始から 11.5etu 後 GM=1、BLK=0 のとき、送信開始から 11.0etu 後 GM=1、BLK=1 のとき、送信開始から 11.0etu 後 </td> </tr> </tbody> </table>	ビット	ビット名	説 明	2	TEND	セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0 のとき、送信開始から 12.5etu 後 GM=0、BLK=1 のとき、送信開始から 11.5etu 後 GM=1、BLK=0 のとき、送信開始から 11.0etu 後 GM=1、BLK=1 のとき、送信開始から 11.0etu 後						
ビット	ビット名	説 明												
2	TEND	セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0 のとき、送信開始から 12.5etu 後 GM=0、BLK=1 のとき、送信開始から 11.5etu 後 GM=1、BLK=0 のとき、送信開始から 11.0etu 後 GM=1、BLK=1 のとき、送信開始から 11.0etu 後												
表 15.2 BRR の設定値 N とビットレート B の関係	15-18	修正・追加 <table border="1"> <thead> <tr> <th colspan="2">BRR の設定値</th> </tr> </thead> <tbody> <tr> <td>$N = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$</td> <td></td> </tr> <tr> <td>$N = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$</td> <td></td> </tr> <tr> <td>$N = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$</td> <td></td> </tr> <tr> <td>$N = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$</td> <td></td> </tr> </tbody> </table>	BRR の設定値		$N = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$		$N = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$		$N = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$		$N = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$			
BRR の設定値														
$N = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$														
$N = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$														
$N = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$														
$N = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$														
16.7 使用上の注意事項	16-31	追加 5. マルチマスタで使用時の転送レート設定値の制限について 6. マルチマスタで使用時の MST、TRS 設定時のビット操作命令の使用制限について 7. マスタ受信モードの注意事項について 8. マスタ受信モード切り替え時の注意事項について												
17.3.4 A/D コントロール レジスタ (ADCR_0) ユ ニット 0	17-12、 17-13	追加 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TRGS1</td> <td>010 : TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始*</td> </tr> <tr> <td>6</td> <td>TRGS0</td> <td></td> </tr> <tr> <td>0</td> <td>EXTRGS</td> <td></td> </tr> </tbody> </table> <p>【注】* 本ビット設定と ADCR_1 の TRGS1、TRGS0、EXTRGS ビットの設定を同様にした場合、TPU (ユ ニット 0、1) からの変換トリガによって A/D ユニット 0、A/D ユニット 1 が A/D 変換を開始しま す。</p>	ビット	ビット名	説 明	7	TRGS1	010 : TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始*	6	TRGS0		0	EXTRGS	
ビット	ビット名	説 明												
7	TRGS1	010 : TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始*												
6	TRGS0													
0	EXTRGS													

項目	ページ	修正箇所																		
17.3.5 A/D コントロールレジスタ_1(ADCR_1) ユニット 1	17-13、 17-14	<p>追加</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TRGS1</td> <td rowspan="3">010 : TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始*1</td> </tr> <tr> <td>6</td> <td>TRGS0</td> </tr> <tr> <td>0</td> <td>EXTRGS</td> </tr> <tr> <td>5</td> <td>SCANE</td> <td rowspan="2">11 : スキャンモード (1~8 チャンネルの連続 A/D 変換) *2</td> </tr> <tr> <td>4</td> <td>SCANS</td> </tr> </tbody> </table> <p>【注】 *1 本ビット設定と ADCR_0 の TRGS1、TRGS0、EXTRGS ビットの設定を同様にした場合、TPU (ユニット 0、1) からの変換トリガによって A/D ユニット 0、A/D ユニット 1 が A/D 変換を開始します。 *2 H8S/2424 グループでは設定禁止です。</p>	ビット	ビット名	説明	7	TRGS1	010 : TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始*1	6	TRGS0	0	EXTRGS	5	SCANE	11 : スキャンモード (1~8 チャンネルの連続 A/D 変換) *2	4	SCANS			
ビット	ビット名	説明																		
7	TRGS1	010 : TPU (ユニット 0、1) からの変換トリガによる A/D 変換開始*1																		
6	TRGS0																			
0	EXTRGS																			
5	SCANE	11 : スキャンモード (1~8 チャンネルの連続 A/D 変換) *2																		
4	SCANS																			
17.7.10 TPU(ユニット 0、1)からの変換トリガによる A/D 変換開始時の注意事項	17-29	項目を追加																		
19.3.5 SS ステータスレジスタ (SSSR)	19-8、 19-9	<p>削除</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>ORER</td> <td>[クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) </td> </tr> <tr> <td>3</td> <td>TEND</td> <td>[クリア条件] <ul style="list-style-type: none"> TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき SSTDR ヘーダをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) </td> </tr> <tr> <td>2</td> <td>TDRE</td> <td>[クリア条件] <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TE=1 で、SSTDR ヘーダをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) </td> </tr> <tr> <td>1</td> <td>RDRF</td> <td>[クリア条件] <ul style="list-style-type: none"> RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき SSRDR から受信データをリードしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) </td> </tr> <tr> <td>0</td> <td>CE</td> <td>[クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) </td> </tr> </tbody> </table>	ビット	ビット名	説明	6	ORER	[クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 	3	TEND	[クリア条件] <ul style="list-style-type: none"> TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき SSTDR ヘーダをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 	2	TDRE	[クリア条件] <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TE=1 で、SSTDR ヘーダをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 	1	RDRF	[クリア条件] <ul style="list-style-type: none"> RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき SSRDR から受信データをリードしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 	0	CE	[クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)
ビット	ビット名	説明																		
6	ORER	[クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 																		
3	TEND	[クリア条件] <ul style="list-style-type: none"> TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき SSTDR ヘーダをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 																		
2	TDRE	[クリア条件] <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TE=1 で、SSTDR ヘーダをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 																		
1	RDRF	[クリア条件] <ul style="list-style-type: none"> RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき SSRDR から受信データをリードしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 																		
0	CE	[クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) 																		
21.1 メモリ配置	21-3	<p>追加</p> <p>ユーザ ROM とデータフラッシュはいくつかのブロックに分割されています。ユーザ ROM は、ユーザプログラムモード、ブートモード、またはライターモードで書き換えられます。</p>																		

項目	ページ	修正箇所								
図 21.2 EW0 モードの設定と解除方法	21-8	<p>修正</p> <p>EW0モード実行手順</p> <p>【注】 *3. ユーザープログラムモードでは書き換え制御プログラムを実行する領域は内部RAM、または外部領域で実行してください。</p>								
表 25.2 DC 特性 (1) 表 25.27 DC 特性 (1)	25-2、 25-3 25-55、 25-56	<p>追加、修正</p> <table border="1" data-bbox="549 815 1018 1346"> <thead> <tr> <th colspan="2">項目</th> </tr> </thead> <tbody> <tr> <td>シュミットトリガ入力電圧</td> <td>ポート 1*6、ポート 2*6、P32~P35*2、P50~P53*2、ポート 6*2、ポート 8*2、PA4~PA7*2、ポート B*2、ポート C*2、PF1*2、PF2*2、PH2*2、PH3*2</td> </tr> <tr> <td>入力 High レベル電圧</td> <td>P14~P17*5 P24~P26*5 ポート 3*3、P50~P53*3 ポート 6*3、ポート 8*3、ポート A~J*3</td> </tr> <tr> <td>入力 Low レベル電圧</td> <td>P14~P17*5、P24~P26*5、 ポート 3*3、5*3、6*3、ポート 8*3、 ポート A~J*3</td> </tr> </tbody> </table> <p>【注】 *5 SSO、SSI、SSCK、SCS、WAIT、ADTRG1 として使用した場合です。 *6 SSO、SSI、SSCK、SCS、WAIT、ADTRG1 以外として使用した場合です。</p>	項目		シュミットトリガ入力電圧	ポート 1*6、ポート 2*6、P32~P35*2、P50~P53*2、ポート 6*2、ポート 8*2、PA4~PA7*2、ポート B*2、ポート C*2、PF1*2、PF2*2、PH2*2、PH3*2	入力 High レベル電圧	P14~P17*5 P24~P26*5 ポート 3*3、P50~P53*3 ポート 6*3、ポート 8*3、ポート A~J*3	入力 Low レベル電圧	P14~P17*5、P24~P26*5、 ポート 3*3、5*3、6*3、ポート 8*3、 ポート A~J*3
項目										
シュミットトリガ入力電圧	ポート 1*6、ポート 2*6、P32~P35*2、P50~P53*2、ポート 6*2、ポート 8*2、PA4~PA7*2、ポート B*2、ポート C*2、PF1*2、PF2*2、PH2*2、PH3*2									
入力 High レベル電圧	P14~P17*5 P24~P26*5 ポート 3*3、P50~P53*3 ポート 6*3、ポート 8*3、ポート A~J*3									
入力 Low レベル電圧	P14~P17*5、P24~P26*5、 ポート 3*3、5*3、6*3、ポート 8*3、 ポート A~J*3									

項目	ページ	修正箇所																																																										
表 25.13 フラッシュメモリ特性の電気的特性	25-12	削除、修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>測定条件</th> <th>対象領域</th> <th>規格値</th> </tr> <tr> <td colspan="4"></td> <th>最大</th> </tr> </thead> <tbody> <tr> <td rowspan="3">書き込み/消去回数*¹</td> <td rowspan="3"></td> <td rowspan="3"></td> <td>ユーザ ROM</td> <td>—</td> </tr> <tr> <td>ユーザブート ROM</td> <td>—</td> </tr> <tr> <td>データフラッシュ</td> <td>—</td> </tr> <tr> <td rowspan="3">書き込み時間(4 バイト当たり)</td> <td rowspan="3"></td> <td rowspan="3"></td> <td>ユーザ ROM</td> <td>4,000</td> </tr> <tr> <td>ユーザブート ROM</td> <td>4,000</td> </tr> <tr> <td>データフラッシュ</td> <td>4,000</td> </tr> <tr> <td rowspan="3">消去時間(1 ブロック当たり)</td> <td rowspan="3"></td> <td rowspan="3"></td> <td>ユーザ ROM</td> <td>3,000</td> </tr> <tr> <td>ユーザブート ROM</td> <td>3,000</td> </tr> <tr> <td>データフラッシュ</td> <td>3,000</td> </tr> <tr> <td rowspan="3">書き込み/消去電圧</td> <td rowspan="3"></td> <td rowspan="3"></td> <td>ユーザ ROM</td> <td rowspan="3">3.6</td> </tr> <tr> <td>ユーザブート ROM</td> </tr> <tr> <td>データフラッシュ</td> </tr> <tr> <td rowspan="3">読み出し電圧</td> <td rowspan="3"></td> <td rowspan="3"></td> <td>ユーザ ROM</td> <td rowspan="3">3.6</td> </tr> <tr> <td>ユーザブート ROM</td> </tr> <tr> <td>データフラッシュ</td> </tr> <tr> <td rowspan="3">アクセスステート</td> <td rowspan="3"></td> <td rowspan="3"></td> <td>ユーザ ROM</td> <td rowspan="3">—</td> </tr> <tr> <td>ユーザブート ROM</td> </tr> <tr> <td>データフラッシュ</td> </tr> </tbody> </table>	項目	記号	測定条件	対象領域	規格値					最大	書き込み/消去回数* ¹			ユーザ ROM	—	ユーザブート ROM	—	データフラッシュ	—	書き込み時間(4 バイト当たり)			ユーザ ROM	4,000	ユーザブート ROM	4,000	データフラッシュ	4,000	消去時間(1 ブロック当たり)			ユーザ ROM	3,000	ユーザブート ROM	3,000	データフラッシュ	3,000	書き込み/消去電圧			ユーザ ROM	3.6	ユーザブート ROM	データフラッシュ	読み出し電圧			ユーザ ROM	3.6	ユーザブート ROM	データフラッシュ	アクセスステート			ユーザ ROM	—	ユーザブート ROM	データフラッシュ
項目	記号		測定条件	対象領域	規格値																																																							
				最大																																																								
書き込み/消去回数* ¹				ユーザ ROM	—																																																							
				ユーザブート ROM	—																																																							
				データフラッシュ	—																																																							
書き込み時間(4 バイト当たり)				ユーザ ROM	4,000																																																							
				ユーザブート ROM	4,000																																																							
				データフラッシュ	4,000																																																							
消去時間(1 ブロック当たり)				ユーザ ROM	3,000																																																							
				ユーザブート ROM	3,000																																																							
				データフラッシュ	3,000																																																							
書き込み/消去電圧			ユーザ ROM	3.6																																																								
			ユーザブート ROM																																																									
			データフラッシュ																																																									
読み出し電圧			ユーザ ROM	3.6																																																								
			ユーザブート ROM																																																									
			データフラッシュ																																																									
アクセスステート			ユーザ ROM	—																																																								
			ユーザブート ROM																																																									
			データフラッシュ																																																									
表 25.15 DC 特性 (1)	25-15、	修正、追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">項 目</th> </tr> </thead> <tbody> <tr> <td>シュミットトリガ入力電圧</td> <td>ポート 1*⁶、ポート 2*⁶、P32~P35*²、P50~P53*²、ポート 8*²、PA4~PA7*²、ポート B*²、ポート C*²、PF1*²、PF2*²、P81*²、P83*²</td> </tr> <tr> <td>入力 High レベル電圧</td> <td>P10~P11*⁵、P14~P17*⁵、P24~P26*⁵、ポート 3*³、P50~P53*³、ポート 8*³、ポート A~G*³</td> </tr> <tr> <td>入力 Low レベル電圧</td> <td>P10~P11*⁵、P14~P17*⁵、P24~P26*⁵、ポート 3*³、5*³、ポート 8*³、ポート A~G*³</td> </tr> </tbody> </table>	項 目		シュミットトリガ入力電圧	ポート 1* ⁶ 、ポート 2* ⁶ 、P32~P35* ² 、P50~P53* ² 、ポート 8* ² 、PA4~PA7* ² 、ポート B* ² 、ポート C* ² 、PF1* ² 、PF2* ² 、P81* ² 、P83* ²	入力 High レベル電圧	P10~P11* ⁵ 、P14~P17* ⁵ 、P24~P26* ⁵ 、ポート 3* ³ 、P50~P53* ³ 、ポート 8* ³ 、ポート A~G* ³	入力 Low レベル電圧	P10~P11* ⁵ 、P14~P17* ⁵ 、P24~P26* ⁵ 、ポート 3* ³ 、5* ³ 、ポート 8* ³ 、ポート A~G* ³																																																		
項 目																																																												
シュミットトリガ入力電圧	ポート 1* ⁶ 、ポート 2* ⁶ 、P32~P35* ² 、P50~P53* ² 、ポート 8* ² 、PA4~PA7* ² 、ポート B* ² 、ポート C* ² 、PF1* ² 、PF2* ² 、P81* ² 、P83* ²																																																											
入力 High レベル電圧	P10~P11* ⁵ 、P14~P17* ⁵ 、P24~P26* ⁵ 、ポート 3* ³ 、P50~P53* ³ 、ポート 8* ³ 、ポート A~G* ³																																																											
入力 Low レベル電圧	P10~P11* ⁵ 、P14~P17* ⁵ 、P24~P26* ⁵ 、ポート 3* ³ 、5* ³ 、ポート 8* ³ 、ポート A~G* ³																																																											
表 25.40 DC 特性 (1)	25-67、 25-68	【注】 *5 SSO、SSI、SSCK、SCS、WAIT、ADTRG1、DREQ として使用した場合です。 *6 SSO、SSI、SSCK、SCS、WAIT、ADTRG1、DREQ 以外として使用した場合です。																																																										

索引

【数字／記号】	
16 ビットカウントモード.....	13-15
16 ビットタイマパルスユニット.....	11-1
8 ビットタイマ.....	13-1
【A】	
A/D 変換器.....	17-1
A/D 変換器の起動.....	11-72
A/D 変換精度.....	17-22
ATI.....	5-20
【B】	
Bcc.....	2-17, 2-25
【C】	
CMI.....	5-17
CMIA.....	13-16
CMIA0.....	5-18
CMIA1.....	5-18
CMIB.....	13-16
CMIB0.....	5-18
CMIB1.....	5-18
CPU 動作モード.....	2-4
【D】	
D/A 変換器.....	18-1
DMAC 複数チャネルの動作.....	7-60
DMA コントローラ (DMAC).....	7-1
DMA 転送終了.....	8-50
DMTEND0A.....	5-19
DMTEND0B.....	5-19
DMTEND1A.....	5-19
DMTEND1B.....	5-19
DRAM インタフェース.....	6-61
DTC ベクタテーブル.....	9-10
【E】	
EA 拡張部.....	2-27
ERI0.....	15-64
ERI1.....	5-19
ERI2.....	5-19
ERI3.....	5-19
ERI4.....	5-19
EXDMA コントローラ (EXDMAC).....	8-1
EXDMTEND2.....	5-19
EXDMTEND3.....	5-19
【I】	
I ² C バスフォーマット.....	16-14
IICI0.....	5-20, 5-21
IICI1.....	5-20, 5-21
IrDA 動作.....	15-61
IRQ0.....	5-17
【M】	
MCU 動作モード.....	3-1
【N】	
NMI.....	5-17
NMI 割り込み.....	5-30
【O】	
OVI.....	13-16
OVI0.....	5-18
OVI1.....	5-18
【P】	
PLL 回路.....	22-7
PWM モード.....	11-57
【R】	
RAM.....	20-1
RXI0.....	15-64
RXI1.....	5-19
RXI2.....	5-19
RXI3.....	5-19
RXI4.....	5-19
【S】	
SSU モード.....	19-17
SWDTEND.....	9-19

【T】

TCI0V.....	11-69
TCI1U.....	11-69, 11-70
TCI1V.....	11-69, 11-70
TCI2U.....	11-69, 11-70
TCI2V.....	11-69, 11-70
TCI3V.....	11-69, 11-70
TCI4U.....	11-69, 11-70
TCI4V.....	11-69, 11-70
TCI5U.....	11-69, 11-70
TCI5V.....	11-69, 11-70
TEI0.....	15-64
TEI1.....	5-19
TEI2.....	5-19
TEI3.....	5-19
TEI4.....	5-19
TGI0A.....	11-69
TGI0B.....	11-69
TGI0C.....	11-69
TGI0D.....	11-69
TGI1A.....	11-69, 11-70
TGI1B.....	11-69, 11-70
TGI2A.....	11-69, 11-70
TGI2B.....	11-69, 11-70
TGI3A.....	11-69, 11-70
TGI3B.....	11-69, 11-70
TGI3C.....	11-69, 11-70
TGI3D.....	11-69, 11-70
TGI4A.....	11-69, 11-70
TGI4B.....	11-69, 11-70
TGI5A.....	11-69, 11-70
TGI5B.....	11-69, 11-70
TRAPA 命令.....	2-30, 4-8
TXI0.....	15-64
TXI1.....	5-19
TXI2.....	5-19
TXI3.....	5-19
TXI4.....	5-19

【W】

WOVI.....	14-7
-----------	------

【あ】

アイドルサイクル.....	6-115
アイドルモード.....	7-29
アクノリッジ.....	16-15, 16-19
アドバンスモード.....	2-6
アドレスモード.....	8-13
アドレス空間.....	2-8
アドレッシングモード.....	2-28
位相計数モード.....	11-62
イミディエイト.....	2-30
インターバルタイマモード.....	14-7
インタラプトプライオリティレジスタ (IPR).....	5-1
インプットキャプチャ機能.....	11-47
ウェイト制御.....	6-45
ウォッチドッグタイマ.....	14-1
エクステンドレジスタ (EXR).....	2-11
オートリクエストによる起動.....	7-23
オートリクエストモード.....	8-16
オーバフロー.....	14-7
オーバランエラー.....	15-33
オープンドレインコントロールレジスタ.....	10-1
オフセット誤差.....	17-22
オペレーションフィールド.....	2-27
オンボードプログラミング.....	21-7
オンボードプログラミングモード.....	21-7

【か】

外形寸法図.....	付録-18
開始条件.....	16-14
外部リクエストによる起動.....	7-23
外部リクエストモード.....	8-16
カウンタ=0 時のチェイン転送.....	9-25
各動作モードにおけるレジスタの状態.....	24-31
カスケード接続.....	13-15
カスケード接続動作.....	11-55
基本動作タイミング.....	6-37
クロック同期式モード.....	15-41
クロック同期式通信モード.....	19-25
クロック発振器.....	22-1
コンディションコードレジスタ (CCR).....	2-12
コンディションフィールド.....	2-27

コンペアマッチカウントモード	13-15
コンペアマッチによる波形出力	11-45

【さ】

サイクルスチールモード	8-17
算術演算命令	2-17, 2-20
サンプル&ホールド回路	17-19
シーケンシャルモード	7-26
システム制御命令	2-26
実効アドレス	2-28, 2-31
シフト命令	2-22
出力トリガ	12-8
シリアルコミュニケーションインタフェース	15-1
シングルアドレスモード	7-34, 8-14
シングルモード	17-15
シンクロナス DRAM インタフェース	6-84
シンクロナスシリアルコミュニケーション	
ユニット (SSU)	19-1
スキャンモード	17-16
スタックポインタ (SP)	2-10
スレーブアドレス	16-14, 16-15
積和レジスタ (MAC)	2-13
絶対アドレス	2-29
絶対精度	17-22
ゼネラルコールアドレス	16-12
ソフトウェアによる起動	9-19
ソフトウェア起動	9-27
ソフトウェア起動割り込み用ベクタ番号	9-7, 9-8

【た】

チェイン転送	9-18
チップセレクト (\overline{CS}) アサート期間拡張	6-47
調歩同期式モード	15-26
通信プロトコル	21-21
停止条件	16-14
ディスプレイメント付きレジスタ	2-28
データサイズとデータアライメント	6-35
データディレクションレジスタ	10-1
データトランスファコントローラ	9-1
データレジスタ	10-1
データ転送命令	2-19
デュアルアドレスモード	8-13

転送クロック	19-13
転送モード	7-24
転送レート	16-7
同期動作	11-49
トグル出力	11-45, 13-18
トラップ命令	4-1
トラップ命令例外処理	4-8
トレースビット	2-11
トレース例外処理	4-7

【な】

入力プルアップ MOS	10-1
ノーマルモード	2-4, 2-5, 7-37, 9-15
ノーマル転送モード	8-19

【は】

バースト ROM インタフェース	6-112
バーストモード	7-48, 8-18
バスアービトラクション	6-140
バスコントローラ	6-1
バス解放	6-136
バッファ動作	11-51
パリティエラー	15-33
パルス出力	13-10
パルス出力ノンオーバーラップ動作	12-14
汎用レジスタ	2-10
非直線性誤差	17-22
ビットレート	15-18
ビット操作命令	2-23
標準シリアル通信インタフェース仕様	21-19
ブートモード	21-18
不当命令例外処理	4-9
フリーランニングカウント動作	11-44
プリデクリメントレジスタ間接	2-28
プルアップ MOS コントロールレジスタ	10-99
フルスケール誤差	17-22
ブレーク	15-66
フレーミングエラー	15-33
プログラマブルパルスジェネレータ	12-1
プログラムカウンタ (PC)	2-11
プログラムカウンタ相対	2-30
ブロック転送モード	7-40, 8-20, 9-17

ブロック転送命令.....	2-26	DAR.....	9-6
分解能.....	17-22	DMABCR.....	7-12
分岐命令.....	2-25	DMACR.....	7-6
ポートファンクションコントロール		DMATCR.....	7-21
レジスタ 1.....	10-158	DMAWER.....	7-19
ポートレジスタ.....	10-1	DRACCR.....	6-22
ポストインクリメントレジスタ間接.....	2-28	DRAMCR.....	6-17, 6-18
【ま】		DTCER.....	9-7
マーク状態.....	15-66	DTVECR.....	9-7, 9-8
命令セット.....	2-17	EDACR.....	8-9
メモリ間接.....	2-30	EDDAR.....	8-4
【や】		EDMDR.....	8-6
有効ストローブ.....	6-36	EDSAR.....	8-4
【ら】		EDTCR.....	8-5
ライターモード.....	21-41	ETCR.....	7-6
ライトデータバッファ機能.....	6-135, 7-58	EXMSTPCR.....	23-7, 23-8
リードストローブ (RD) タイミング.....	6-46	ICCRA.....	16-6
リセット.....	4-4	ICCRB.....	16-8
リセット例外処理.....	4-4	ICDRR.....	16-13
リピートエリア機能.....	8-21	ICDRS.....	16-13
リピートモード.....	7-31, 9-16	ICDRT.....	16-13
量子化誤差.....	17-22	ICIER.....	16-10
例外処理.....	4-1	ICMR.....	16-9
例外処理後のスタックの状態.....	4-10	ICSR.....	16-11
例外処理ベクタテーブル.....	4-2	IER.....	5-7
レジスタ		INTCR.....	5-4
ABWCR.....	6-6	IOAR.....	7-5
ADCR_0.....	17-12	IPR.....	5-5
ADCR_1.....	17-13	IrCR.....	15-24
ADCSR.....	17-8, 17-10	ISCR.....	5-8
ADDR.....	17-7	ISR.....	5-11
ASTCR.....	6-7	ITSR.....	5-12
BROMCR.....	6-15	MAR.....	7-5
BRR.....	15-18	MDCR.....	3-2
CRA.....	9-6	MRA.....	9-4
CRB.....	9-6	MRB.....	9-5
CSACR.....	6-13	MSTPCR.....	23-6
DACR.....	18-3	NDER.....	12-4
DADR.....	18-2	NDR.....	12-6
		P1DDR.....	10-15
		P1DR.....	10-15

P1ODR.....	10-16	PGDDR	10-142
P2DDR.....	10-35	PGDR.....	10-143
P2DR.....	10-35	PGODR	10-144
P2ODR.....	10-36	PHDDR	10-150
P3DDR.....	10-53	PHDR.....	10-151
P3DR.....	10-53	PHODR	10-151
P3ODR.....	10-54	PJODR	10-156
P5DDR.....	10-60, 10-155	PLLCR.....	22-4
P5DR.....	10-60, 10-155	PMR	12-9
P5ODR.....	10-61	PODR.....	12-5
P6DDR.....	10-68	PORT1	10-16
P6DR.....	10-68	PORT2	10-36
P6ODR.....	10-69	PORT3	10-54
P8DDR.....	10-73	PORT4	10-58
P8DR.....	10-73	PORT5	10-61
P8ODR.....	10-74	PORT6	10-69
PADDR.....	10-87	PORT8	10-74, 10-156
PADR	10-89	PORTA.....	10-89
PAODR	10-90	PORTB.....	10-100
PAPCR.....	10-90	PORTC.....	10-111
PBDDR.....	10-99	PORTD.....	10-120
PBDR	10-99	PORTE.....	10-124
PBODR	10-101	PORTF	10-129
PBPCR.....	10-100	PORTG	10-143
PCDDR	10-110	PORTH.....	10-151
PCDR	10-110	RDNCR	6-12
PCODR	10-112	RDR	15-6
PCPCR.....	10-111	REFCR.....	6-25
PCR	12-8	RSR.....	15-6
PDDDR	10-119	RSTCSR	14-5
PDDR	10-119	RTCNT	6-28
PDODR	10-121	RTCOR	6-28
PDPCR.....	10-120	SAR.....	16-13
PEDDR.....	10-123	SBYCR.....	23-4
PEDR	10-124	SCKCR.....	22-2
PEODR	10-125	SCMR.....	15-17
PEPCR.....	10-125	SCR.....	15-9
PFCR	10-157	SEMR.....	15-25
PFDDR.....	10-128	SMR	15-7
PFDR	10-129	SSCR2	19-10
PFODR.....	10-130	SSCRH.....	19-4

SSCRL.....	19-5
SSER.....	19-7
SSIER.....	5-14
SSMR.....	19-6
SSR.....	15-13
SSRDR.....	19-12
SSSR.....	19-8
SSTDR.....	19-11
SSTRSR.....	19-12
SYSCR.....	3-3
TCNT.....	11-40, 14-3
TCORA.....	13-4
TCORB.....	13-4
TCR.....	11-14, 13-5, 13-6
TCSR.....	13-8, 14-4
TDR.....	15-6
TGR.....	11-34, 11-40
TIER.....	11-37
TIOR.....	11-20
TMDR.....	11-18

TSR.....	11-38, 15-6
TSTR.....	11-41, 11-42
TSYR.....	11-41, 11-42
WTCR.....	6-8
レジスタアドレス一覧.....	24-2
レジスタビット一覧.....	24-15
レジスタフィールド.....	2-27
レジスタ間接.....	2-28
レジスタ情報.....	9-10
レジスタ直接.....	2-28
論理演算命令.....	2-22

【わ】

割り込みコントローラ.....	5-1
割り込み制御モード.....	5-22
割り込みマスクビット.....	2-12
割り込み要因.....	7-64
割り込み要求マスクレベル.....	2-11
割り込み例外処理.....	4-8
割り込み例外処理ベクタテーブル.....	5-16

H8S/2426、H8S/2426R、H8S/2424グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2008年9月16日 Rev.1.00
2012年9月14日 Rev.5.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

H8S/2426、H8S/2426R、H8S/2424 グループ