

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2556 グループ、H8S/2552 グループ、 H8S/2506 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8S ファミリ / H8S/2500 シリーズ

H8S/2556	HD64F2556
H8S/2552	HD64F2552
H8S/2551	HD64F2551
H8S/2506	HD64F2506
H8S/2505	HD64F2505

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・CPU およびシステム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上
でご確認ください。

11. 索引

はじめに

本 LSI は、内部 32 ビット構成の H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

内蔵 ROM は、単一電源フラッシュメモリ (F-ZTATTM*1) で、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。各製品の内蔵周辺機能を以下に示します。

- 内蔵周辺機能一覧

グループ名	H8S/2556 グループ	H8S/2552 グループ	H8S/2506 グループ
製品名	H8S/2556	H8S/2552 H8S/2551	H8S/2506 H8S/2505
バスコントローラ	(16 ビット)	(16 ビット)	(16 ビット)
データトランスファコントローラ (DTC)			
PC ブレークコントローラ (PBC)			
16 ビットタイマパルスユニット (TPU)	× 6	× 6	× 6
8 ビットタイマ (TMR)	× 4	× 4	× 4
ウォッチドッグタイマ (WDT)	× 2	× 2	× 2
シリアルコミュニケーションインタフェース (SCI)	× 5	× 5	× 5
I ² C バスインタフェース 2 (IIC2)	× 2	× 2	× 2
IEBus TM *2 コントローラ (IEB)		× 1	
コントローラエリアネットワーク (HCAN)	× 1		
D/A 変換器	× 2	× 2	× 2
A/D 変換器	× 16	× 16	× 16

【注】 *1 F-ZTAT は (株) ルネサス テクノロジーの商標です。

*2 IEBus (Inter Equipment Bus) は NEC エレクトロニクスの商標です。

対象者 このマニュアルは、H8S/2556 グループ、H8S/2552 グループ、H8S/2506 グループを用いた応用システムを設計するユーザを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2556 グループ、H8S/2552 グループ、H8S/2506 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますのであわせて御覧ください。

読み方

- 機能全体を理解しようとするとき

→ 目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

→ 別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名が分かっていて、詳細機能を知りたいとき

→ 本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第23章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。 $\overline{\text{xxxx}}$

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

- H8S/2556グループ、H8S/2552グループ、H8S/2506グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2556 グループ、H8S/2552 グループ、H8S/2506 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 グループ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++ コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ Ver.6.01 ユーザーズマニュアル	RJJ10B0166
H8S、H8/300 シリーズ シミュレータ/デバッガ ユーザーズマニュアル	RJJ10B0219
H8S、H8/300 シリーズ High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2495

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.2 内部ブロック図.....	1-3
1.3 端子説明.....	1-6
1.3.1 ピン配置図.....	1-6
1.3.2 動作モード別ピン配置一覧.....	1-11
1.3.3 端子機能.....	1-16
2. CPU.....	2-1
2.1 特長.....	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点.....	2-2
2.1.2 H8/300 CPU との相違点.....	2-3
2.1.3 H8/300H CPU との相違点.....	2-3
2.2 CPU動作モード.....	2-4
2.2.1 ノーマルモード.....	2-4
2.2.2 アドバンスモード.....	2-6
2.3 アドレス空間.....	2-8
2.4 レジスタの構成.....	2-9
2.4.1 汎用レジスタ.....	2-10
2.4.2 プログラムカウンタ (PC).....	2-11
2.4.3 エクステンドレジスタ (EXR).....	2-11
2.4.4 コンディションコードレジスタ (CCR).....	2-12
2.4.5 CPU 内部レジスタの初期値.....	2-13
2.5 データ形式.....	2-14
2.5.1 汎用レジスタのデータ形式.....	2-14
2.5.2 メモリ上でのデータ形式.....	2-16
2.6 命令セット.....	2-17
2.6.1 命令の機能別一覧.....	2-18
2.6.2 命令の基本フォーマット.....	2-28
2.7 アドレッシングモードと実効アドレスの計算方法.....	2-29
2.7.1 レジスタ直接 Rn.....	2-29
2.7.2 レジスタ間接 @ERn.....	2-29
2.7.3 ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn).....	2-29
2.7.4 ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn.....	2-30

2.7.5	絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32	2-30
2.7.6	イミディエイト #xx:8 / #xx:16 / #xx:32	2-31
2.7.7	プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)	2-31
2.7.8	メモリ間接 @@aa:8	2-31
2.7.9	実効アドレスの計算方法	2-33
2.8	処理状態	2-35
2.9	使用上の注意事項	2-37
2.9.1	TAS 命令	2-37
2.9.2	STM/LDM 命令	2-37
2.9.3	ビット操作命令使用上の注意事項	2-37
2.9.4	ライト専用ビットを含むレジスタのアクセス方法	2-39
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	各動作モードの説明	3-4
3.3.1	モード6	3-4
3.3.2	モード7	3-4
3.3.3	端子機能	3-4
3.4	各動作モードのアドレスマップ	3-5
4.	例外処理	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル	4-2
4.3	リセット	4-3
4.3.1	リセットの種類	4-3
4.3.2	リセット例外処理	4-4
4.3.3	リセット直後の割り込み	4-5
4.3.4	リセット解除後の内蔵周辺機能	4-5
4.4	トレース例外処理	4-5
4.5	割り込み例外処理	4-6
4.6	トラップ命令例外処理	4-6
4.7	例外処理後のスタックの状態	4-7
4.8	使用上の注意事項	4-7
5.	割り込みコントローラ	5-1
5.1	特長	5-1
5.2	入出力端子	5-3

5.3	レジスタの説明	5-4
5.3.1	インタラプトプライオリティレジスタ A~M、O (IPRA~IPRM、IPRO)	5-5
5.3.2	IRQ イネーブルレジスタ (IER)	5-6
5.3.3	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-6
5.3.4	IRQ ステータスレジスタ (ISR)	5-8
5.4	割り込み要因	5-8
5.4.1	外部割り込み	5-8
5.4.2	内部割り込み	5-9
5.4.3	割り込み例外処理ベクタテーブル	5-9
5.5	割り込み動作	5-14
5.5.1	割り込み制御モードと割り込み動作	5-14
5.5.2	割り込み制御モード 0	5-16
5.5.3	割り込み制御モード 2	5-19
5.5.4	割り込み例外処理シーケンス	5-20
5.5.5	割り込み応答時間	5-22
5.5.6	割り込みによる DTC の起動	5-23
5.6	使用上の注意事項	5-25
5.6.1	割り込みの発生とディスエーブルとの競合	5-25
5.6.2	割り込みを禁止している命令	5-26
5.6.3	割り込み禁止期間	5-26
5.6.4	EEPMOV 命令実行中の割り込み	5-26
5.6.5	IRQ 割り込み	5-26
5.6.6	NMI 割り込み使用上の注意	5-26
6.	PC ブレークコントローラ (PBC)	6-1
6.1	特長	6-1
6.2	レジスタの説明	6-2
6.2.1	ブレークアドレスレジスタ A (BARA)	6-2
6.2.2	ブレークアドレスレジスタ B (BARB)	6-2
6.2.3	ブレークコントロールレジスタ A (BCRA)	6-3
6.2.4	ブレークコントロールレジスタ B (BCRB)	6-3
6.3	動作説明	6-4
6.3.1	命令フェッチによる PC ブレーク割り込み動作	6-4
6.3.2	データアクセスによる PC ブレーク割り込み動作	6-4
6.3.3	連続データ転送時の PC ブレーク動作	6-5
6.3.4	低消費電力モード遷移時の動作	6-5
6.3.5	命令実行が 1 ステート遅れる場合	6-6
6.4	使用上の注意事項	6-6
6.4.1	モジュールストップモードの設定	6-6
6.4.2	PC ブレーク割り込み	6-6

6.4.3	CMFA、CMFB.....	6-6
6.4.4	DTC がバスマスタのときに発生した PC ブレーク割り込み.....	6-6
6.4.5	BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの 命令フェッチに PC ブレークを設定した場合.....	6-7
6.4.6	LDC、ANDC、ORC、XORC 命令により I ビットを設定した場合.....	6-7
6.4.7	Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合.....	6-7
6.4.8	Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合.....	6-7
7.	バスコントローラ.....	7-1
7.1	特長.....	7-1
7.2	入出力端子.....	7-3
7.3	レジスタの説明.....	7-3
7.3.1	バス幅コントロールレジスタ (ABWCR).....	7-4
7.3.2	アクセスステートコントロールレジスタ (ASTCR).....	7-4
7.3.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL).....	7-5
7.3.4	バスコントロールレジスタ H (BCRH).....	7-7
7.3.5	バスコントロールレジスタ L (BCRL).....	7-8
7.3.6	端子機能コントロールレジスタ (PFCR).....	7-9
7.4	バス制御.....	7-10
7.4.1	エリア分割.....	7-10
7.4.2	バス仕様.....	7-11
7.4.3	各エリアのバスインタフェース.....	7-12
7.4.4	チップセレクト信号.....	7-13
7.5	基本動作タイミング.....	7-14
7.5.1	内蔵メモリ (ROM、RAM) アクセスタイミング.....	7-14
7.5.2	内蔵周辺モジュールアクセスタイミング.....	7-15
7.5.3	外部アドレス空間アクセスタイミング.....	7-18
7.6	基本バスインタフェース.....	7-19
7.6.1	データサイズとデータアライメント.....	7-19
7.6.2	有効ストロブ.....	7-20
7.6.3	基本タイミング.....	7-21
7.6.4	ウェイト制御.....	7-29
7.7	バーストROMインタフェース.....	7-30
7.7.1	基本タイミング.....	7-30
7.7.2	ウェイト制御.....	7-32
7.8	アイドルサイクル.....	7-33
7.9	バス解放.....	7-36
7.9.1	バス権解放の使用上の注意事項.....	7-37
7.10	バスアービトレーション.....	7-38
7.10.1	動作説明.....	7-38
7.10.2	バス権移行タイミング.....	7-38

7.10.3	外部バス権解放使用上の注意事項	7-39
7.11	リセットとバスコントローラ	7-39
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-2
8.2.1	DTC モードレジスタ A (MRA)	8-3
8.2.2	DTC モードレジスタ B (MRB)	8-4
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-4
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-4
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-4
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-5
8.2.7	DTC イネーブルレジスタ A ~ G、I (DTCERA ~ DTCERG、DTCERI)	8-5
8.2.8	DTC ベクタレジスタ (DTVECR)	8-6
8.3	起動要因	8-7
8.4	レジスタ情報の配置とDTCベクタテーブル	8-8
8.5	動作説明	8-12
8.5.1	ノーマルモード	8-13
8.5.2	リピートモード	8-14
8.5.3	ブロック転送モード	8-15
8.5.4	チェイン転送	8-16
8.5.5	割り込み要因	8-17
8.5.6	動作タイミング	8-17
8.5.7	DTC 実行ステート数	8-18
8.6	DTC使用手順	8-20
8.6.1	割り込みによる起動	8-20
8.6.2	ソフトウェアによる起動	8-20
8.7	DTC使用例	8-21
8.7.1	ノーマルモード	8-21
8.7.2	ソフトウェア起動	8-21
8.8	使用上の注意事項	8-22
8.8.1	モジュールストップモードの設定	8-22
8.8.2	内蔵 RAM	8-22
8.8.3	DTCE ビットの設定	8-22
9.	I/O ポート	9-1
9.1	ポート1	9-6
9.1.1	ポート1 データディレクションレジスタ (PIDDR)	9-6
9.1.2	ポート1 データレジスタ (PIDR)	9-6
9.1.3	ポート1 レジスタ (PORT1)	9-7

9.1.4	端子機能	9-7
9.2	ポート2	9-11
9.2.1	ポート2 データディレクションレジスタ (P2DDR)	9-11
9.2.2	ポート2 データレジスタ (P2DR)	9-11
9.2.3	ポート2 レジスタ (PORT2)	9-12
9.2.4	端子機能	9-12
9.3	ポート3	9-15
9.3.1	ポート3 データディレクションレジスタ (P3DDR)	9-15
9.3.2	ポート3 データレジスタ (P3DR)	9-15
9.3.3	ポート3 レジスタ (PORT3)	9-16
9.3.4	ポート3 オープンドレインコントロールレジスタ (P3ODR)	9-16
9.3.5	端子機能	9-17
9.4	ポート4	9-20
9.4.1	ポート4 レジスタ (PORT4)	9-20
9.4.2	端子機能	9-20
9.5	ポート5	9-21
9.5.1	ポート5 データディレクションレジスタ (P5DDR)	9-21
9.5.2	ポート5 データレジスタ (P5DR)	9-21
9.5.3	ポート5 レジスタ (PORT5)	9-21
9.5.4	端子機能	9-22
9.6	ポート7	9-23
9.6.1	ポート7 データディレクションレジスタ (P7DDR)	9-23
9.6.2	ポート7 データレジスタ (P7DR)	9-23
9.6.3	ポート7 レジスタ (PORT7)	9-24
9.6.4	端子機能	9-24
9.7	ポート9	9-26
9.7.1	ポート9 レジスタ (PORT9)	9-26
9.7.2	端子機能	9-26
9.8	ポートA	9-27
9.8.1	ポートA データディレクションレジスタ (PADDR)	9-27
9.8.2	ポートA データレジスタ (PADR)	9-28
9.8.3	ポートA レジスタ (PORTA)	9-28
9.8.4	ポートA プルアップMOS コントロールレジスタ (PAPCR)	9-28
9.8.5	ポートA オープンドレインコントロールレジスタ (PAODR)	9-29
9.8.6	端子機能	9-29
9.8.7	ポートA 入力プルアップMOS の状態	9-31
9.9	ポートB	9-32
9.9.1	ポートB データディレクションレジスタ (PBDDR)	9-32
9.9.2	ポートB データレジスタ (PBDR)	9-32
9.9.3	ポートB レジスタ (PORTB)	9-33
9.9.4	ポートB プルアップMOS コントロールレジスタ (PBPCR)	9-33

9.9.5	端子機能	9-33
9.9.6	ポート B 入力プルアップ MOS の状態	9-36
9.10	ポート C	9-36
9.10.1	ポート C データディレクションレジスタ (PCDDR)	9-36
9.10.2	ポート C データレジスタ (PCDR)	9-37
9.10.3	ポート C レジスタ (PORTC)	9-37
9.10.4	ポート C プルアップ MOS コントロールレジスタ (PCPCR)	9-37
9.10.5	端子機能	9-38
9.10.6	ポート C 入力プルアップ MOS の状態	9-38
9.11	ポート D	9-39
9.11.1	ポート D データディレクションレジスタ (PDDDR)	9-39
9.11.2	ポート D データレジスタ (PDDR)	9-39
9.11.3	ポート D レジスタ (PORTD)	9-40
9.11.4	ポート D プルアップ MOS コントロールレジスタ (PDPCR)	9-40
9.11.5	端子機能	9-40
9.11.6	ポート D 入力プルアップ MOS の状態	9-41
9.12	ポート E	9-42
9.12.1	ポート E データディレクションレジスタ (PEDDR)	9-42
9.12.2	ポート E データレジスタ (PEDR)	9-42
9.12.3	ポート E レジスタ (PORTE)	9-43
9.12.4	ポート E プルアップ MOS コントロールレジスタ (PEPCR)	9-43
9.12.5	端子機能	9-44
9.12.6	ポート E 入力プルアップ MOS の状態	9-44
9.13	ポート F	9-45
9.13.1	ポート F データディレクションレジスタ (PFDDR)	9-45
9.13.2	ポート F データレジスタ (PFDR)	9-45
9.13.3	ポート F レジスタ (PORTF)	9-46
9.13.4	端子機能	9-46
9.14	ポート G	9-48
9.14.1	ポート G データディレクションレジスタ (PGDDR)	9-48
9.14.2	ポート G データレジスタ (PGDR)	9-49
9.14.3	ポート G レジスタ (PORTG)	9-49
9.14.4	端子機能	9-49
9.15	ポート H	9-51
9.15.1	ポート H データディレクションレジスタ (PHDDR)	9-51
9.15.2	ポート H データレジスタ (PHDR)	9-51
9.15.3	ポート H レジスタ (PORTH)	9-52
9.15.4	端子機能	9-52
9.16	ポート J	9-53
9.16.1	ポート J データディレクションレジスタ (PJDDR)	9-53
9.16.2	ポート J データレジスタ (PJDR)	9-53

9.16.3	ポートJレジスタ (PORTJ)	9-54
9.16.4	端子機能	9-54
9.17	端子電源の制御	9-55
9.17.1	IC パワーコントロールレジスタ (ICPCR)	9-55
9.18	未使用端子の処理	9-56
10.	16 ビットタイマパルスユニット (TPU)	10-1
10.1	特長	10-1
10.2	入出力端子	10-5
10.3	レジスタの説明	10-5
10.3.1	タイマコントロールレジスタ (TCR)	10-8
10.3.2	タイマモードレジスタ (TMDR)	10-12
10.3.3	タイマ I/O コントロールレジスタ (TIOR)	10-13
10.3.4	タイマインタラプトイネーブルレジスタ (TIER)	10-30
10.3.5	タイマステータスレジスタ (TSR)	10-31
10.3.6	タイマカウンタ (TCNT)	10-33
10.3.7	タイマジェネラルレジスタ (TGR)	10-33
10.3.8	タイマスタートレジスタ (TSTR)	10-34
10.3.9	タイマシンクロレジスタ (TSYR)	10-34
10.4	動作説明	10-35
10.4.1	基本動作	10-35
10.4.2	同期動作	10-41
10.4.3	バッファ動作	10-43
10.4.4	カスケード接続動作	10-46
10.4.5	PWM モード	10-48
10.4.6	位相計数モード	10-53
10.5	割り込み要因	10-58
10.6	DTCの起動	10-60
10.7	A/D変換器の起動	10-60
10.8	動作タイミング	10-61
10.8.1	入出力タイミング	10-61
10.8.2	割り込み信号タイミング	10-65
10.9	使用上の注意事項	10-68
10.9.1	モジュールストップモードの設定	10-68
10.9.2	入力クロックの制限事項	10-68
10.9.3	周期設定上の注意事項	10-69
10.9.4	TCNT のライトとクリアの競合	10-69
10.9.5	TCNT のライトとカウントアップの競合	10-70
10.9.6	TGR のライトとコンペアマッチの競合	10-70
10.9.7	バッファレジスタのライトとコンペアマッチの競合	10-71

10.9.8	TGR のリードとインプットキャプチャの競合	10-71
10.9.9	TGR のライトとインプットキャプチャの競合	10-72
10.9.10	バッファレジスタのライトとインプットキャプチャの競合	10-72
10.9.11	オーバフロー / アンダフローとカウンタクリアの競合	10-73
10.9.12	TCNT のライトとオーバフロー / アンダフローの競合	10-73
10.9.13	入出力端子の兼用	10-74
10.9.14	モジュールストップ時の割り込み	10-74
11.	8 ビットタイマ (TMR)	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-3
11.3.1	タイマカウンタ (TCNT)	11-4
11.3.2	タイムコンスタントレジスタ A (TCORA)	11-4
11.3.3	タイムコンスタントレジスタ B (TCORB)	11-4
11.3.4	タイマコントロールレジスタ (TCR)	11-5
11.3.5	タイマコントロール / ステータスレジスタ (TCSR)	11-6
11.4	動作説明	11-9
11.4.1	パルス出力	11-9
11.5	動作タイミング	11-10
11.5.1	TCNT のカウントタイミング	11-10
11.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	11-10
11.5.3	コンペアマッチ時のタイマ出力タイミング	11-11
11.5.4	コンペアマッチによるカウンタクリアタイミング	11-11
11.5.5	TCNT の外部リセットタイミング	11-12
11.5.6	オーバフローフラグ (OVF) のセットタイミング	11-12
11.6	カスケード接続時の動作	11-13
11.6.1	16 ビットカウントモード	11-13
11.6.2	コンペアマッチカウントモード	11-13
11.7	割り込み要因	11-14
11.7.1	割り込み要因と DTC 起動	11-14
11.7.2	A/D 変換器の起動	11-14
11.8	使用上の注意事項	11-14
11.8.1	モジュールストップモードの設定	11-14
11.8.2	TCNT のライトとカウンタクリアの競合	11-15
11.8.3	TCNT のライトとカウントアップの競合	11-15
11.8.4	TCOR のライトとコンペアマッチの競合	11-16
11.8.5	コンペアマッチ A、B の競合	11-16
11.8.6	内部クロックの切り替えと TCNT の動作	11-17
11.8.7	モジュールストップ時の割り込み	11-18

11.8.8	カスケード接続時のモード設定	11-18
12.	ウォッチドッグタイマ (WDT)	12-1
12.1	特長	12-1
12.2	入出力端子	12-3
12.3	レジスタの説明	12-3
12.3.1	タイマカウンタ (TCNT)	12-3
12.3.2	タイマコントロール/ステータスレジスタ (TCSR)	12-3
12.3.3	リセットコントロール/ステータスレジスタ (RSTCSR) (WDT_0 のみ)	12-7
12.4	動作説明	12-8
12.4.1	ウォッチドッグタイマモード	12-8
12.4.2	インターバルタイマモード	12-9
12.4.3	オーバフローフラグ (OVF) のセットタイミング	12-9
12.4.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	12-10
12.5	割り込み要因	12-10
12.6	使用上の注意事項	12-11
12.6.1	レジスタアクセス時の注意事項	12-11
12.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	12-12
12.6.3	PSS、CKS2～CKS0 ビットの書き換え	12-13
12.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-13
12.6.5	ウォッチドッグタイマモードでの内部リセット	12-13
12.6.6	インターバルタイマモードでの OVF フラグのクリア	12-13
12.6.7	TME ビットによる TCNT 初期化時の注意	12-13
13.	シリアルコミュニケーションインタフェース (SCI)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	レシーブシフトレジスタ (RSR)	13-5
13.3.2	レシーブデータレジスタ (RDR)	13-5
13.3.3	トランスミットデータレジスタ (TDR)	13-6
13.3.4	トランスミットシフトレジスタ (TSR)	13-6
13.3.5	シリアルモードレジスタ (SMR)	13-7
13.3.6	シリアルコントロールレジスタ (SCR)	13-10
13.3.7	シリアルステータスレジスタ (SSR)	13-14
13.3.8	スマートカードモードレジスタ (SCMR)	13-18
13.3.9	ビットレートレジスタ (BRR)	13-19
13.4	調歩同期式モードの動作	13-24
13.4.1	送受信フォーマット	13-25
13.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	13-26

13.4.3	クロック	13-27
13.4.4	SCI の初期化 (調歩同期式)	13-28
13.4.5	シリアルデータ送信 (調歩同期式)	13-29
13.4.6	シリアルデータ受信 (調歩同期式)	13-31
13.5	マルチプロセッサ通信機能.....	13-34
13.5.1	マルチプロセッサシリアルデータ送信	13-35
13.5.2	マルチプロセッサシリアルデータ受信	13-36
13.6	クロック同期式モードの動作.....	13-39
13.6.1	クロック	13-39
13.6.2	SCI の初期化.....	13-40
13.6.3	シリアルデータ送信 (クロック同期式)	13-41
13.6.4	シリアルデータ受信 (クロック同期式)	13-43
13.6.5	シリアルデータ送受信同時動作 (クロック同期式)	13-45
13.7	スマートカードインタフェースの動作説明.....	13-47
13.7.1	接続例.....	13-47
13.7.2	データフォーマット (ブロック転送モード時を除く)	13-48
13.7.3	ブロック転送モード	13-49
13.7.4	受信データサンプリングタイミングと受信マージン.....	13-49
13.7.5	初期設定.....	13-50
13.7.6	シリアルデータ送信 (ブロック転送モードを除く)	13-51
13.7.7	シリアルデータ受信 (ブロック転送モードを除く)	13-54
13.7.8	クロック出力制御.....	13-55
13.8	割り込み要因.....	13-57
13.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	13-57
13.8.2	スマートカードインタフェースモードにおける割り込み.....	13-58
13.9	使用上の注意事項	13-59
13.9.1	モジュールストップモードの設定.....	13-59
13.9.2	ブレークの検出と処理について (調歩同期式モードのみ)	13-59
13.9.3	マーク状態とブレークの送出 (調歩同期式モードのみ)	13-59
13.9.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	13-59
13.9.5	DTC 使用上の制約事項.....	13-59
13.9.6	モード遷移時の動作について.....	13-60
13.9.7	SCK 端子からポート端子へ切り替えるときの注意事項.....	13-64
14.	I ² C バスインタフェース 2 (IIC2)	14-1
14.1	特長.....	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明.....	14-4
14.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	14-5
14.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	14-6

14.3.3	I ² C バスモードレジスタ (ICMR)	14-8
14.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	14-9
14.3.5	I ² C バスステータスレジスタ (ICSR)	14-11
14.3.6	スレーブアドレスレジスタ (SAR)	14-13
14.3.7	I ² C バス送信データレジスタ (ICDRT)	14-13
14.3.8	I ² C バス受信データレジスタ (ICDRR)	14-13
14.3.9	I ² C バスシフトレジスタ (ICDRS)	14-13
14.4	動作説明	14-14
14.4.1	I ² C バスフォーマット	14-14
14.4.2	マスタ送信動作	14-15
14.4.3	マスタ受信動作	14-17
14.4.4	スレーブ送信動作	14-19
14.4.5	スレーブ受信動作	14-21
14.4.6	クロック同期式シリアルフォーマット	14-23
14.4.7	ノイズ除去回路	14-25
14.4.8	使用例	14-26
14.5	割り込み要求	14-30
14.6	ビット同期回路	14-31
14.7	使用上の注意事項	14-31
14.7.1	モジュールストップモードの設定	14-31
14.7.2	停止条件および開始条件の発行について	14-32
14.7.3	I ² C バスモードレジスタ (ICMR) の WAIT ビットについて	14-32
14.7.4	マスタ受信モードの注意事項について	14-32
14.7.5	マルチマスタで使用時の転送レート設定値の制限について	14-32
14.7.6	マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について	14-33
15.	A/D 変換器	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	15-4
15.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	15-5
15.3.3	A/D コントロールレジスタ (ADCR)	15-7
15.4	バスマスタとのインタフェース	15-8
15.5	動作説明	15-9
15.5.1	シングルモード	15-9
15.5.2	スキャンモード	15-10
15.5.3	入力サンプリングと A/D 変換時間	15-11
15.5.4	外部トリガ入力タイミング	15-12
15.6	割り込み要因	15-13

15.7	A/D変換精度の定義	15-13
15.8	使用上の注意事項	15-15
15.8.1	モジュールストップモードの設定	15-15
15.8.2	許容信号源インピーダンスについて	15-15
15.8.3	絶対精度への影響	15-15
15.8.4	アナログ電源端子他の設定範囲	15-16
15.8.5	ボード設計上の注意	15-16
15.8.6	ノイズ対策上の注意	15-16
16.	D/A 変換器	16-1
16.1	特長	16-1
16.2	入出力端子	16-2
16.3	レジスタの説明	16-2
16.3.1	D/A データレジスタ 0、1 (DADR0、DADR1)	16-2
16.3.2	D/A コントロールレジスタ (DACR)	16-3
16.4	動作説明	16-4
16.5	使用上の注意事項	16-5
16.5.1	低消費電力モード時のアナログ電源電流	16-5
16.5.2	モジュールストップモードの設定	16-5
17.	IEBus コントローラ (IEB) 【H8S/2552 グループ】	17-1
17.1	特長	17-1
17.1.1	IEBus 通信プロトコル	17-3
17.1.2	伝送プロトコル	17-5
17.1.3	伝送データ (データフィールドの内容)	17-12
17.1.4	ビットフォーマット	17-15
17.2	入出力端子	17-15
17.3	レジスタの説明	17-16
17.3.1	IEBus コントロールレジスタ (IECTR)	17-17
17.3.2	IEBus コマンドレジスタ (IECMR)	17-19
17.3.3	IEBus マスタコントロールレジスタ (IEMCR)	17-20
17.3.4	IEBus 自局アドレスレジスタ 1 (IEAR1)	17-22
17.3.5	IEBus 自局アドレスレジスタ 2 (IEAR2)	17-22
17.3.6	IEBus スレーブアドレス設定レジスタ 1 (IESA1)	17-23
17.3.7	IEBus スレーブアドレス設定レジスタ 2 (IESA2)	17-23
17.3.8	IEBus 送信電文長レジスタ (IETBFL)	17-24
17.3.9	IEBus 送信バッファレジスタ (IETBR)	17-24
17.3.10	IEBus 受信マスタアドレスレジスタ 1 (IEMA1)	17-25
17.3.11	IEBus 受信マスタアドレスレジスタ 2 (IEMA2)	17-26
17.3.12	IEBus 受信コントロールフィールドレジスタ (IERCTL)	17-26

17.3.13	IEBus 受信電文長レジスタ (IERBFL)	17-27
17.3.14	IEBus 受信バッファレジスタ (IERBR)	17-27
17.3.15	IEBus ロックアドレスレジスタ 1 (IELA1)	17-28
17.3.16	IEBus ロックアドレスレジスタ 2 (IELA2)	17-29
17.3.17	IEBus ゼネラルフラグレジスタ (IEFLG)	17-30
17.3.18	IEBus 送信 / 暴走ステータスレジスタ (IETSR)	17-32
17.3.19	IEBus 送信 / 暴走割り込み許可レジスタ (IEIET)	17-34
17.3.20	IEBus 送信エラーフラグレジスタ (IETEF)	17-35
17.3.21	IEBus 受信ステータスレジスタ (IERSR)	17-37
17.3.22	IEBus 受信割り込み許可レジスタ (IEIER)	17-38
17.3.23	IEBus 送信エラーフラグレジスタ (IEREF)	17-39
17.4	動作説明	17-41
17.4.1	マスタ送信動作	17-41
17.4.2	スレーブ受信動作	17-44
17.4.3	マスタ受信動作	17-47
17.4.4	スレーブ送信動作	17-50
17.5	割り込み要因	17-53
17.6	使用上の注意事項	17-54
17.6.1	モジュールストップモードの設定	17-54
17.6.2	TxRDY フラグとアンダーランエラーについて	17-54
17.6.3	RxRDY フラグとオーバランエラーについて	17-55
17.6.4	IETEF のエラーフラグについて	17-55
17.6.5	IEREF のエラーフラグについて	17-56
17.6.6	スレーブ送信時の注意事項	17-57
17.6.7	DTC 設定時の注意事項	17-57
17.6.8	送信時のエラー処理	17-57
17.6.9	低消費電力モードの動作	17-58
17.6.10	中速モードにおける注意事項	17-58
17.6.11	レジスタアクセスにおける注意事項	17-58
18.	コントローラエリアネットワーク (HCAN) 【H8S/2556 グループ】	18-1
18.1	特長	18-1
18.2	入出力端子	18-3
18.3	レジスタの説明	18-3
18.3.1	マスタコントロールレジスタ (MCR)	18-4
18.3.2	ジェネラルステータスレジスタ (GSR)	18-5
18.3.3	ビットコンフィギュレーションレジスタ (BCR)	18-6
18.3.4	メールボックスコンフィギュレーションレジスタ (MBCR)	18-8
18.3.5	送信待ちレジスタ (TXPR)	18-9
18.3.6	送信待ち取り消しレジスタ (TXCR)	18-10

18.3.7	送信アクノレッジレジスタ (TXACK)	18-11
18.3.8	取り消しアクノレッジレジスタ (ABACK)	18-12
18.3.9	受信完了レジスタ (RXPR)	18-13
18.3.10	リモートリクエストレジスタ (RFPR)	18-14
18.3.11	インタラプトレジスタ (IRR)	18-15
18.3.12	メールボックスインタラプトマスクレジスタ (MBIMR)	18-17
18.3.13	インタラプトマスクレジスタ (IMR)	18-18
18.3.14	受信エラーカウンタ (REC)	18-19
18.3.15	送信エラーカウンタ (TEC)	18-19
18.3.16	未読メッセージステータスレジスタ (UMSR)	18-19
18.3.17	ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)	18-20
18.3.18	メッセージコントロール (MC0 ~ MC15)	18-22
18.3.19	メッセージデータ (MD0 ~ MD15)	18-24
18.4	動作説明	18-25
18.4.1	ハードウェアリセットとソフトウェアリセット	18-25
18.4.2	ハードウェアリセット後の初期設定	18-25
18.4.3	メッセージ送信	18-31
18.4.4	メッセージ受信	18-34
18.4.5	HCAN スリープモード	18-38
18.4.6	HCAN HALT モード	18-40
18.5	割り込み要因	18-41
18.6	DTCインタフェース	18-42
18.7	CANバスインタフェース	18-43
18.8	使用上の注意事項	18-44
18.8.1	モジュールストップモードの設定	18-44
18.8.2	リセット	18-44
18.8.3	HCAN スリープモード	18-44
18.8.4	割り込み	18-44
18.8.5	エラーカウンタ	18-44
18.8.6	レジスタアクセス	18-45
18.8.7	HCAN 中速モード	18-45
18.8.8	スタンバイおよびウォッチモード時のレジスタ保持	18-45
18.8.9	ビット操作命令の使用について	18-45
18.8.10	HCAN の TXCR 動作について	18-45
18.8.11	HCAN 送信手続きについて	18-46
18.8.12	HCAN ソフトウェアリセットおよび HCAN スリープの解除について	18-47
18.8.13	HCAN スリープ中のメールボックスアクセスについて	18-47
19.	RAM	19-1
20.	フラッシュメモリ	20-1

20.1	特長	20-1
20.1.1	ブロック図	20-3
20.1.2	動作モード	20-4
20.1.3	モード比較	20-5
20.1.4	フラッシュマツ構成	20-6
20.1.5	ブロック分割	20-7
20.1.6	書き込み/消去インタフェース	20-8
20.2	端子構成	20-10
20.3	レジスタの説明	20-10
20.3.1	書き込み/消去インタフェースレジスタ	20-12
20.3.2	書き込み/消去インタフェースパラメータ	20-17
20.3.3	RAM エミュレーションレジスタ (RAMER)	20-25
20.3.4	フラッシュベクタアドレスコントロールレジスタ (FVACR)	20-26
20.3.5	フラッシュベクタアドレスデータレジスタ (FVADR)	20-27
20.4	オンボードプログラミングモード	20-28
20.4.1	ブートモード	20-28
20.4.2	ユーザプログラムモード	20-31
20.4.3	ユーザブートモード	20-41
20.4.4	手順プログラム、または書き込みデータの格納可能領域	20-44
20.5	プロテクト	20-49
20.5.1	ハードウェアプロテクト	20-49
20.5.2	ソフトウェアプロテクト	20-49
20.5.3	エラープロテクト	20-50
20.6	RAMによるフラッシュメモリのエミュレーション	20-51
20.7	ユーザマツとユーザブートマツの切り替え	20-54
20.8	使用上の注意事項	20-55
20.9	ライターモード	20-56
20.9.1	ソケットアダプタの端子対応図	20-56
20.9.2	ライターモードの動作	20-58
20.9.3	メモリ読み出しモード	20-59
20.9.4	自動書き込みモード	20-59
20.9.5	自動消去モード	20-60
20.9.6	ステータス読み出しモード	20-60
20.9.7	ステータスポーリング	20-61
20.9.8	ライターモードへの遷移時間	20-61
20.9.9	ライターモード使用時の注意事項	20-61
20.10	ブートモードの標準シリアル通信インタフェース仕様	20-62
20.11	ライターモード時のAC特性、タイミング	20-86
21.	クロック発振器	21-1

21.1	レジスタの説明	21-2
21.1.1	システムクロックコントロールレジスタ (SCKCR)	21-2
21.1.2	ローパワーコントロールレジスタ (LPWRCR)	21-3
21.2	システムクロック発振器	21-4
21.2.1	水晶発振子を接続する方法	21-4
21.2.2	外部クロックを入力する方法	21-5
21.2.3	外部クロック切り替え時の注意	21-7
21.3	PLL回路	21-8
21.4	中速クロック分周器	21-8
21.5	バスマスタクロック選択回路	21-8
21.6	IEBusを使用する場合のシステムクロック	21-8
21.7	サブクロック発振器	21-9
21.7.1	32.768kHz 水晶発振子を接続する方法	21-9
21.7.2	サブクロックを使用しない場合の端子処理	21-9
21.8	サブクロック波形成形回路	21-10
21.9	使用上の注意事項	21-10
21.9.1	発振子に関する注意事項	21-10
21.9.2	ボード設計上の注意事項	21-10
22.	低消費電力状態	22-1
22.1	レジスタの説明	22-4
22.1.1	スタンバイコントロールレジスタ (SBYCR)	22-5
22.1.2	モジュールストップコントロールレジスタ A ~ C (MSTPCRA ~ MSTPCRC)	22-6
22.2	中速モード	22-7
22.3	スリープモード	22-8
22.3.1	スリープモードへの遷移	22-8
22.3.2	スリープモードの解除	22-8
22.4	ソフトウェアスタンバイモード	22-8
22.4.1	ソフトウェアスタンバイモードへの遷移	22-8
22.4.2	ソフトウェアスタンバイモードの解除	22-8
22.4.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	22-9
22.4.4	ソフトウェアスタンバイモードの応用例	22-10
22.5	ハードウェアスタンバイモード	22-10
22.5.1	ハードウェアスタンバイモードへの遷移	22-10
22.5.2	ハードウェアスタンバイモードの解除	22-11
22.5.3	ハードウェアスタンバイモードのタイミング	22-11
22.6	モジュールストップモード	22-11
22.7	ウォッチモード	22-12
22.7.1	ウォッチモードへの遷移	22-12
22.7.2	ウォッチモードの解除	22-12

22.8	φクロック出力禁止機能	22-13
22.9	使用上の注意事項	22-13
22.9.1	I/O ポートの状態	22-13
22.9.2	発振安定待機中の消費電流	22-13
22.9.3	DTC のモジュールストップ	22-13
22.9.4	内蔵周辺モジュールの割り込み	22-14
22.9.5	MSTPCR のライト	22-14
22.9.6	ウォッチモード遷移と DTC のモジュールストップ	22-14
23.	レジスタ一覧	23-1
23.1	レジスタアドレス一覧 (アドレス順)	23-2
23.2	レジスタビット一覧	23-19
23.3	各動作モードにおけるレジスタの状態	23-37
24.	電気的特性	24-1
24.1	電源電圧と動作周波数範囲	24-1
24.2	絶対最大定格	24-3
24.3	DC特性	24-4
24.4	AC特性	24-9
24.4.1	電源投入・切断タイミング	24-9
24.4.2	クロックタイミング	24-10
24.4.3	制御信号タイミング	24-12
24.4.4	バスタイミング	24-14
24.4.5	内蔵周辺モジュールタイミング	24-19
24.5	A/D変換特性	24-25
24.6	D/A変換特性	24-26
24.7	フラッシュメモリ特性	24-27
付録	付録-1
A.	各端子状態におけるI/Oポートの状態	付録-1
B.	型名一覧	付録-5
C.	外形寸法図	付録-6
本版で改訂された箇所		改-1
索引		索引-1

図目次

1. 概要.....	1-1
図 1.1 H8S/2556 グループの内部ブロック図.....	1-3
図 1.2 H8S/2552 グループの内部ブロック図.....	1-4
図 1.3 H8S/2506 グループの内部ブロック図.....	1-5
図 1.4 H8S/2556 グループのピン配置図 (FP-144J、FP-144JV：上面図).....	1-6
図 1.5 H8S/2552 グループのピン配置図 (FP-144J、FP-144JV：上面図).....	1-7
図 1.6 H8S/2506 グループのピン配置図 (FP-144J、FP-144JV：上面図).....	1-8
図 1.7 H8S/2552 グループのピン配置図 (BP-176V：上面図).....	1-9
図 1.8 H8S/2506 グループのピン配置図 (BP-176V：上面図).....	1-10
2. CPU.....	2-1
図 2.1 例外処理ベクタテーブル (ノーマルモード).....	2-5
図 2.2 ノーマルモードのスタック構造.....	2-5
図 2.3 例外処理ベクタテーブル (アドバンスモード).....	2-6
図 2.4 アドバンスモードのスタック構造.....	2-7
図 2.5 アドレス空間.....	2-8
図 2.6 CPU 内部レジスタ構成.....	2-9
図 2.7 汎用レジスタの使用方法.....	2-10
図 2.8 スタックの状態.....	2-11
図 2.9 汎用レジスタのデータ形式 (1).....	2-14
図 2.9 汎用レジスタのデータ形式 (2).....	2-15
図 2.10 メモリ上でのデータ形式.....	2-16
図 2.11 命令フォーマットの例.....	2-28
図 2.12 メモリ間接による分岐アドレスの指定.....	2-32
図 2.13 状態遷移図.....	2-36
図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例.....	2-39
3. MCU 動作モード.....	3-1
図 3.1 H8S/2556、H8S/2552、H8S/2506 のアドレスマップ.....	3-5
図 3.2 H8S/2551 のアドレスマップ.....	3-6
図 3.3 H8S/2505 のアドレスマップ.....	3-7
4. 例外処理.....	4-1
図 4.1 リセットシーケンス (アドバンスモード / 内蔵 ROM 有効).....	4-4

図 4.2	例外処理終了後のスタックの状態 (アドバンスモード)	4-7
図 4.3	SP を奇数に設定したときの動作	4-8
5.	割り込みコントローラ	5-1
図 5.1	割り込みコントローラのブロック図	5-2
図 5.2	IRQ7 ~ IRQ0 割り込みのブロック図	5-9
図 5.3	IRQ7F ~ IRQ0F のセットタイミング	5-9
図 5.4	割り込み制御動作のブロック図	5-15
図 5.5	割り込み制御モード 0 の割り込み受け付けまでのフロー	5-18
図 5.6	割り込み制御モード 2 の割り込み受け付けまでのフロー	5-20
図 5.7	割り込み例外処理	5-21
図 5.8	DTC と割り込み制御	5-23
図 5.9	割り込みの発生とディスエーブルの競合	5-25
6.	PC ブレークコントローラ (PBC)	6-1
図 6.1	PC ブレークコントローラのブロック図	6-2
図 6.2	低消費電力モード遷移時の動作	6-5
7.	バスコントローラ	7-1
図 7.1	バスコントローラのブロック図	7-2
図 7.2	エリア分割の様子	7-10
図 7.3	\overline{CS}_n 信号出力タイミング ($n=0\sim7$)	7-13
図 7.4	内蔵メモリアクセスサイクル	7-14
図 7.5	内蔵メモリアクセス時の端子状態	7-14
図 7.6	内蔵周辺モジュールアクセスサイクル	7-15
図 7.7	内蔵周辺モジュールアクセス時の端子状態	7-15
図 7.8	内蔵ポート H、ポート J、IIC2 モジュールアクセスサイクル	7-16
図 7.9	内蔵ポート H、ポート J、IIC2 モジュールアクセス時の端子状態	7-16
図 7.10	内蔵 IEB モジュールアクセスサイクル	7-17
図 7.11	内蔵 IEB モジュールアクセス時の端子状態	7-17
図 7.12	内蔵 HCAN モジュールアクセスサイクル	7-18
図 7.13	内蔵 HCAN モジュールアクセス時の端子状態	7-18
図 7.14	アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)	7-19
図 7.15	アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)	7-20
図 7.16	8 ビット 2 ステートアクセス空間のバスタイミング	7-21
図 7.17	8 ビット 3 ステートアクセス空間のバスタイミング	7-22
図 7.18	16 ビット 2 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス)	7-23
図 7.19	16 ビット 2 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス)	7-24
図 7.20	16 ビット 2 ステートアクセス空間のバスタイミング (3) (ワードアクセス)	7-25
図 7.21	16 ビット 3 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス)	7-26
図 7.22	16 ビット 3 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス)	7-27

図 7.23	16 ビット 3 ステートアクセス空間のバスタイミング (3) (ワードアクセス)	7-28
図 7.24	ウェイトステート挿入タイミング例	7-30
図 7.25	バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)	7-31
図 7.26	バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合)	7-32
図 7.27	アイドルサイクル動作例 (1)	7-33
図 7.28	アイドルサイクル動作例 (2)	7-34
図 7.29	チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係	7-35
図 7.30	バス権解放状態遷移タイミング	7-37
8.	データトランスファコントローラ (DTC)	8-1
図 8.1	DTC のブロック図	8-2
図 8.2	DTC 起動要因制御ブロック図	8-7
図 8.3	アドレス空間上での DTC レジスタ情報の配置	8-8
図 8.4	DTC ベクタアドレスとレジスタ情報との対応	8-9
図 8.5	DTC 動作フローチャート	8-12
図 8.6	ノーマルモードのメモリマップ	8-13
図 8.7	リピートモードのメモリマップ	8-14
図 8.8	ブロック転送モードのメモリマップ	8-15
図 8.9	チェイン転送の動作	8-16
図 8.10	DTC の動作タイミング (ノーマルモード、リピートモードの例)	8-17
図 8.11	DTC の動作タイミング (ブロック転送モード、ブロックサイズ = 2 の例)	8-18
図 8.12	DTC の動作タイミング (チェイン転送の例)	8-18
9.	I/O ポート	9-1
図 9.1	オープンドレイン出力形式の違い	9-17
10.	16 ビットタイマパルスユニット (TPU)	10-1
図 10.1	TPU のブロック図	10-4
図 10.2	カウンタ動作設定手順例	10-35
図 10.3	フリーランニングカウンタの動作	10-36
図 10.4	周期カウンタの動作	10-37
図 10.5	コンペアマッチによる波形出力動作例	10-37
図 10.6	0 出力 / 1 出力の動作例	10-38
図 10.7	トグル出力の動作例	10-38
図 10.8	インプットキャプチャ動作の設定例	10-39
図 10.9	インプットキャプチャ動作例	10-40
図 10.10	同期動作の設定手順例	10-41
図 10.11	同期動作の動作例	10-42
図 10.12	コンペアマッチバッファ動作	10-43
図 10.13	インプットキャプチャバッファ動作	10-43
図 10.14	バッファ動作の設定手順例	10-44

図 10.15	バッファ動作例 (1)	10-44
図 10.16	バッファ動作例 (2)	10-45
図 10.17	カスケード接続動作設定手順	10-46
図 10.18	カスケード接続動作例 (1)	10-47
図 10.19	カスケード接続動作例 (2)	10-47
図 10.20	PWM モードの設定手順例	10-50
図 10.21	PWM モードの動作例 (1)	10-50
図 10.22	PWM モードの動作例 (2)	10-51
図 10.23	PWM モード動作例 (3)	10-52
図 10.24	位相計数モードの設定手順例	10-53
図 10.25	位相計数モード 1 の動作例	10-54
図 10.26	位相計数モード 2 の動作例	10-55
図 10.27	位相計数モード 3 の動作例	10-56
図 10.28	位相計数モード 4 の動作例	10-57
図 10.29	位相計数モードの応用例	10-58
図 10.30	内部クロック動作時のカウントタイミング	10-61
図 10.31	外部クロック動作時のカウントタイミング	10-61
図 10.32	アウトプットコンペア出力タイミング	10-62
図 10.33	インプットキャプチャ入力信号タイミング	10-62
図 10.34	カウンタクリアタイミング (コンペアマッチ)	10-63
図 10.35	カウンタクリアタイミング (インプットキャプチャ)	10-63
図 10.36	バッファ動作タイミング (コンペアマッチ)	10-64
図 10.37	バッファ動作タイミング (インプットキャプチャ)	10-64
図 10.38	TGI 割り込みタイミング (コンペアマッチ)	10-65
図 10.39	TGI 割り込みタイミング (インプットキャプチャ)	10-66
図 10.40	TCIV 割り込みのセットタイミング	10-66
図 10.41	TCIU 割り込みのセットタイミング	10-67
図 10.42	CPU によるステータスフラグのクリアタイミング	10-67
図 10.43	DTC の起動によるステータスフラグのクリアタイミング	10-68
図 10.44	位相計数モード時の位相差、オーバーラップ、およびパルス幅	10-68
図 10.45	TCNT のライトとクリアの競合	10-69
図 10.46	TCNT のライトとカウントアップの競合	10-70
図 10.47	TGR のライトとコンペアマッチの競合	10-70
図 10.48	バッファレジスタのライトとコンペアマッチの競合	10-71
図 10.49	TGR のリードとインプットキャプチャの競合	10-71
図 10.50	TGR のライトとインプットキャプチャの競合	10-72
図 10.51	バッファレジスタのライトとインプットキャプチャの競合	10-72
図 10.52	オーバーフローとカウンタクリアの競合	10-73
図 10.53	TCNT のライトとオーバーフローの競合	10-73

11. 8ビットタイマ (TMR)	11-1
図 11.1 8ビットタイマのブロック図.....	11-2
図 11.2 パルス出力例.....	11-9
図 11.3 内部クロック動作時のカウントタイミング.....	11-10
図 11.4 外部クロック動作時のカウントタイミング.....	11-10
図 11.5 コンペアマッチ時の CMF フラグのセットタイミング.....	11-11
図 11.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング.....	11-11
図 11.7 コンペアマッチによるカウンタクリアタイミング.....	11-11
図 11.8 外部リセット入力によるクリアタイミング.....	11-12
図 11.9 OVF フラグのセットタイミング.....	11-12
図 11.10 TCNT のライトとクリアの競合.....	11-15
図 11.11 TCNT のライトとカウントアップの競合.....	11-15
図 11.12 TCOR のライトとコンペアマッチの競合.....	11-16
12. ウォッチドッグタイマ (WDT)	12-1
図 12.1 WDT_0 のブロック図 (1)	12-2
図 12.1 WDT_1 のブロック図 (2)	12-2
図 12.2 ウォッチドッグタイマモード時の動作.....	12-8
図 12.3 インターバルタイマモード時の動作.....	12-9
図 12.4 OVF のセットタイミング.....	12-9
図 12.5 WOVF のセットタイミング.....	12-10
図 12.6 TCNT、TCSR へのライト (WDT_0 の例)	12-11
図 12.7 RSTCSR へのライト	12-12
図 12.8 TCNT のライトとカウントアップの競合.....	12-12
13. シリアルコミュニケーションインタフェース (SCI)	13-1
図 13.1 SCI のブロック図.....	13-2
図 13.2 調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	13-24
図 13.3 調歩同期式モードの受信データサンプリングタイミング.....	13-26
図 13.4 出力クロックと送信データの位相関係 (調歩同期式モード).....	13-27
図 13.5 SCI の初期化フローチャートの例.....	13-28
図 13.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	13-29
図 13.7 シリアル送信のフローチャートの例.....	13-30
図 13.8 SCI の受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例).....	13-31
図 13.9 シリアル受信データフローチャートの例 (1)	13-32
図 13.9 シリアル受信データフローチャートの例 (2)	13-33
図 13.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	13-34
図 13.11 マルチプロセッサシリアル送信のフローチャートの例.....	13-35

図 13.12	SCI の受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	13-36
図 13.13	マルチプロセッサシリアル受信のフローチャートの例(1)	13-37
図 13.13	マルチプロセッサシリアル受信のフローチャートの例(2)	13-38
図 13.14	クロック同期式通信のデータフォーマット(LSB ファーストの場合)	13-39
図 13.15	SCI の初期化フローチャートの例	13-40
図 13.16	クロック同期モードの送信時の動作例	13-41
図 13.17	シリアル送信のフローチャートの例	13-42
図 13.18	SCI の受信時の動作例	13-43
図 13.19	シリアルデータ受信フローチャートの例	13-44
図 13.20	シリアル送受信同時動作のフローチャートの例	13-46
図 13.21 (1)	スマートカードインタフェース端子接続概要(チャンネル0、1、3、4)	13-47
図 13.21 (2)	スマートカードインタフェース端子接続概要(チャンネル2)	13-47
図 13.22	通常のスマートカードインタフェースのデータフォーマット	13-48
図 13.23	ダイレクトコンベンション(SDIR = SINV = O/\bar{E} = 0)	13-48
図 13.24	インバースコンベンション(SDIR = SINV = O/\bar{E} = 1)	13-49
図 13.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	13-50
図 13.26	SCI 送信モードの場合の再転送動作	13-52
図 13.27	送信動作時の TEND フラグ発生タイミング	13-52
図 13.28	送信処理フローの例	13-53
図 13.29	SCI 受信モードの場合の再転送動作	13-54
図 13.30	受信フローの例	13-55
図 13.31	クロック出力固定タイミング	13-55
図 13.32	クロック停止・再起動手順	13-56
図 13.33	DTC によるクロック同期式送信時の例	13-60
図 13.34	送信時のモード遷移フローチャートの例	13-61
図 13.35	内部クロック、調歩同期送信の場合のポート端子状態	13-62
図 13.36	内部クロック、クロック同期送信の場合のポート端子状態	13-62
図 13.37	受信時のモード遷移フローチャートの例	13-63
図 13.38	SCK 端子からポート端子へ切り替えるときの動作	13-64
図 13.39	SCK 端子からポート端子へ切り替えるときの動作(Low 出力の回避例)	13-65
14.	I ² C バスインタフェース 2 (IIC2)	14-1
図 14.1	I ² C バスインタフェース 2 のブロック図	14-2
図 14.2	入出力端子の外部回路接続例	14-3
図 14.3	I ² C バスフォーマット	14-14
図 14.4	I ² C バスタイミング	14-14
図 14.5	マスタ送信モード動作タイミング(1)	14-16
図 14.6	マスタ送信モード動作タイミング(2)	14-16
図 14.7	マスタ受信モード動作タイミング(1)	14-18

図 14.8	マスタ受信モード動作タイミング (2)	14-18
図 14.9	スレーブ送信モード動作タイミング (1)	14-20
図 14.10	スレーブ送信モード動作タイミング (2)	14-21
図 14.11	スレーブ受信モード動作タイミング (1)	14-22
図 14.12	スレーブ受信モード動作タイミング (2)	14-22
図 14.13	クロック同期式シリアル転送フォーマット	14-23
図 14.14	送信モード動作タイミング	14-24
図 14.15	受信モード動作タイミング	14-25
図 14.16	ノイズ除去回路のブロック図	14-25
図 14.17	マスタ送信モードのフローチャート例	14-26
図 14.18	マスタ受信モードのフローチャート例	14-27
図 14.19	スレーブ送信モードフローチャート例	14-28
図 14.20	スレーブ受信モードフローチャート例	14-29
図 14.21	ビット同期回路のタイミング	14-31
15.	A/D 変換器	15-1
図 15.1	A/D 変換器のブロック図	15-2
図 15.2	ADDR のアクセス動作 (H'AA40 リード時)	15-8
図 15.3	A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)	15-9
図 15.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)	15-10
図 15.5	A/D 変換タイミング	15-11
図 15.6	外部トリガ入力タイミング	15-12
図 15.7	A/D 変換精度の定義	15-14
図 15.8	A/D 変換精度の定義	15-14
図 15.9	アナログ入力回路の例	15-15
図 15.10	アナログ入力保護回路の例	15-17
図 15.11	アナログ入力端子等価回路	15-17
16.	D/A 変換器	16-1
図 16.1	D/A 変換器のブロック図	16-1
図 16.2	D/A 変換器の動作例	16-4
17.	IEBus コントローラ (IEB) 【H8S/2552 グループ】	17-1
図 17.1	IEB のブロック図	17-2
図 17.2	伝送信号フォーマット	17-5
図 17.3	スレーブステータス (SSR) のビット構成	17-13
図 17.4	ロックアドレスの構成	17-14
図 17.5	IEBus のビットフォーマット (概念)	17-15
図 17.6	送信時の伝送信号フォーマットと各レジスタの関係	17-25
図 17.7	受信時の伝送信号フォーマットと各レジスタの関係	17-28
図 17.8	マスタ送信動作タイミング図	17-43

図 17.9	スレーブ受信動作タイミング図.....	17-46
図 17.10	同報受信動作でエラーが発生した場合 (DEE = 1)	17-47
図 17.11	マスタ受信動作タイミング図.....	17-50
図 17.12	スレーブ送信動作タイミング図.....	17-52
図 17.13	送信割り込み要因の関係	17-53
図 17.14	受信割り込み要因の関係	17-53
図 17.15	送信時のエラー処理	17-58
18.	コントローラエリアネットワーク (HCAN) 【H8S/2556 グループ】	18-1
図 18.1	HCAN のブロック図.....	18-2
図 18.2	メッセージコントロール構成.....	18-22
図 18.3	スタンダードフォーマット	18-22
図 18.4	エクステンデッドフォーマット.....	18-22
図 18.5	メッセージデータ構成	18-24
図 18.6	ハードウェアリセット時のフローチャート.....	18-26
図 18.7	ソフトウェアリセット時のフローチャート.....	18-27
図 18.8	1 ビットタイムの詳細	18-28
図 18.9	送信時のフローチャート	18-31
図 18.10	送信メッセージの取り消しのフローチャート.....	18-33
図 18.11	受信時のフローチャート	18-34
図 18.12	未読メッセージオーバーライトのフローチャート	18-37
図 18.13	HCAN スリープモードのフローチャート.....	18-38
図 18.14	HCAN HALT モードのフローチャート.....	18-40
図 18.15	DTC の転送フローチャート.....	18-42
図 18.16	PCA82C250 を用いたハイスピードインタフェース.....	18-43
20.	フラッシュメモリ	20-1
図 20.1	フラッシュメモリのブロック図.....	20-3
図 20.2	フラッシュメモリに関するモード遷移図.....	20-4
図 20.3	フラッシュメモリ構成図	20-6
図 20.4	ユーザマットのブロック分割.....	20-7
図 20.5	ユーザの手続きプログラムの概要.....	20-8
図 20.6	ブートモード時のシステム構成図.....	20-28
図 20.7	SCI ビットレートの自動合わせ込み動作.....	20-29
図 20.8	ブートモードの状態遷移の概略図.....	20-30
図 20.9	書き込み / 消去概略フロー	20-31
図 20.10	書き込み / 消去実施時の RAM マップ.....	20-32
図 20.11	書き込み手順.....	20-33
図 20.12	消去手順.....	20-38
図 20.13	RAM エミュレーション、消去、書き込みの繰り返し例 (概要)	20-40
図 20.14	ユーザブートモードでのユーザマットへの書き込み手順	20-42

図 20.15	ユーザブートモードでのユーザマットの消去手順	20-43
図 20.16	エラープロテクト状態への状態遷移図	20-50
図 20.17	RAM によるエミュレーション	20-51
図 20.18	RAM のオーバラップ動作例	20-52
図 20.19	チューニング完了データの書き込み	20-53
図 20.20	ユーザマット / ユーザブートマットの切り替え	20-54
図 20.21	内蔵フラッシュのメモリマップ	20-56
図 20.22	ソケットアダプタの端子対応図	20-57
図 20.23	ブートプログラムのステータス	20-63
図 20.24	ビットレート合わせ込みのシーケンス	20-64
図 20.25	通信プロトコルフォーマット	20-65
図 20.26	新ビットレート選択のシーケンス	20-74
図 20.27	書き込みシーケンス	20-77
図 20.28	消去シーケンス	20-80
図 20.29	コマンド書き込み後メモリ読み出しタイミング図	20-86
図 20.30	メモリ読み出しモードから他のモードへ遷移時のタイミング波形	20-87
図 20.31	\overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形	20-88
図 20.32	\overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形	20-88
図 20.33	自動書き込みモードのタイミング波形	20-89
図 20.34	自動消去モードのタイミング波形	20-90
図 20.35	ステータス読み出しモードのタイミング波形	20-91
図 20.36	発振安定時間、ライターモードセットアップ時間、電源立ち下げシーケンス	20-92
21. クロック発振器 21-1		
図 21.1	クロック発振器のブロック図	21-1
図 21.2	水晶発振子の接続例	21-4
図 21.3	水晶発振子の等価回路	21-5
図 21.4	外部クロックの接続例	21-5
図 21.5	外部クロック入力タイミング	21-6
図 21.6	外部クロック切り替え回路例	21-7
図 21.7	外部クロック切り替えタイミング例	21-7
図 21.8	32.768kHz 水晶発振子の接続例	21-9
図 21.9	32.768kHz 水晶発振子の等価回路	21-9
図 21.10	サブクロックを使用しない場合の端子処理	21-10
図 21.11	発振回路部のボード設計に関する注意事項	21-10
図 21.12	電源端子と V_{SS} 端子間の接続推奨回路	21-11
22. 低消費電力状態 22-1		
図 22.1	モード遷移図	22-3
図 22.2	中速モードの遷移・解除タイミング	22-7
図 22.3	ソフトウェアスタンバイモードの応用例	22-10

図 22.4	ハードウェアスタンバイモードのタイミング	22-11
24.	電気的特性	24-1
図 24.1 (1)	H8S/2552 グループ、H8S/2506 グループの電源電圧と動作範囲	24-1
図 24.1 (2)	H8S/2556 グループの電源電圧と動作範囲	24-2
図 24.2	出力負荷回路	24-9
図 24.3	電源投入・切断タイミング	24-9
図 24.4	電源投入タイミング	24-10
図 24.5	システムクロックタイミング	24-11
図 24.6	発振安定時間タイミング	24-12
図 24.7	リセット入力タイミング	24-13
図 24.8	割り込み入力タイミング	24-13
図 24.9	基本バスタイミング / 2 ステートアクセス	24-15
図 24.10	基本バスタイミング / 3 ステートアクセス	24-16
図 24.11	基本バスタイミング / 3 ステートアクセス 1 ウェイト	24-17
図 24.12	パースト ROM アクセスタイミング / 2 ステートアクセス	24-18
図 24.13	外部バス権解放タイミング	24-18
図 24.14	I/O ポート入出力タイミング	24-20
図 24.15	TPU 入出力タイミング	24-21
図 24.16	TPU クロック入力タイミング	24-21
図 24.17	8 ビットタイマ出力タイミング	24-21
図 24.18	8 ビットタイマクロック入力タイミング	24-21
図 24.19	8 ビットタイマリセット入力タイミング	24-22
図 24.20	WDT_1 出力タイミング	24-22
図 24.21	SCK クロック入力タイミング	24-22
図 24.22	SCI 入出力タイミング / クロック同期式モード	24-22
図 24.23	A/D 変換器外部トリガ入力タイミング	24-23
図 24.24	HCAN 入出力タイミング	24-23
図 24.25	I ² C2 バスインタフェース入出力タイミング	24-24
付録		付録-1
図 C.1	外形寸法図 (FP-144J、FP-144JV)	付録-6
図 C.2	外形寸法図 (BP-176V)	付録-7

表目次

1. 概要.....	1-1
表 1.1 動作モード別ピン配置一覧.....	1-11
表 1.2 端子機能.....	1-16
2. CPU.....	2-1
表 2.1 命令の分類.....	2-17
表 2.2 オペレーションの記号.....	2-18
表 2.3 データ転送命令.....	2-19
表 2.4 算術演算命令 (1).....	2-20
表 2.4 算術演算命令 (2).....	2-21
表 2.5 論理演算命令.....	2-22
表 2.6 シフト命令.....	2-22
表 2.7 ビット操作命令 (1).....	2-23
表 2.7 ビット操作命令 (2).....	2-24
表 2.8 分岐命令.....	2-25
表 2.9 システム制御命令.....	2-26
表 2.10 ブロック転送命令.....	2-27
表 2.11 アドレッシングモード一覧表.....	2-29
表 2.12 絶対アドレスのアクセス範囲.....	2-30
表 2.13 実行アドレスの計算方法 (1).....	2-33
表 2.13 実行アドレスの計算方法 (2).....	2-34
3. MCU 動作モード.....	3-1
表 3.1 MCU 動作モードの選択.....	3-1
表 3.2 各動作モードにおける端子機能.....	3-4
4. 例外処理.....	4-1
表 4.1 例外処理の種類と優先度.....	4-1
表 4.2 例外処理ベクタテーブル.....	4-2
表 4.3 リセットの種類.....	4-3
表 4.4 トレース例外処理後の CCR、EXR の状態.....	4-5
表 4.5 トラップ命令例外処理後の CCR、EXR の状態.....	4-6

5.	割り込みコントローラ	5-1
表 5.1	端子構成	5-3
表 5.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-10
表 5.3	割り込み制御モード	5-14
表 5.4	割り込み制御モードと選択される割り込み (1)	5-15
表 5.5	割り込み制御モードと選択される割り込み (2)	5-16
表 5.6	割り込み制御モードと動作および制御信号機能	5-16
表 5.7	割り込み応答時間	5-22
表 5.8	割り込み例外処理の実行状態のステート数	5-22
表 5.9	割り込み要因の選択とクリア制御	5-24
7.	バスコントローラ	7-1
表 7.1	端子構成	7-3
表 7.2	各エリアのバス仕様 (基本バスインタフェース)	7-11
表 7.3	使用するデータバスと有効ストロープ	7-20
表 7.4	アイドルサイクルでの端子状態	7-35
表 7.5	バス権解放状態での端子状態	7-36
8.	データトランスファコントローラ (DTC)	8-1
表 8.1	起動要因と DTCER のクリア	8-7
表 8.2	割り込み要因と DTC ベクタアドレスおよび対応する DTCE	8-10
表 8.3	ノーマルモードのレジスタ機能	8-13
表 8.4	リピートモードのレジスタ機能	8-14
表 8.5	ブロック転送モードのレジスタ機能	8-15
表 8.6	DTC の実行状態	8-18
表 8.7	実行状態に必要なステート数	8-19
9.	I/O ポート	9-1
表 9.1	ポートの機能一覧	9-2
表 9.2	ポート A 入力プルアップ MOS の状態	9-31
表 9.3	ポート B 入力プルアップ MOS の状態	9-36
表 9.4	ポート C 入力プルアップ MOS の状態	9-38
表 9.5	ポート D 入力プルアップ MOS の状態	9-41
表 9.6	ポート E 入力プルアップ MOS の状態	9-44
表 9.7	未使用の入力端子の処理例	9-56
10.	16 ビットタイマパルスユニット (TPU)	10-1
表 10.1	TPU の機能一覧 (1)	10-2
表 10.1	TPU の機能一覧 (2)	10-3
表 10.2	端子構成	10-5

表 10.3	CCLR2 ~ CCLR0 (チャンネル 0、3)	10-8
表 10.4	CCLR2 ~ CCLR0 (チャンネル 1、2、4、5)	10-9
表 10.5	TPSC2 ~ TPSC0 (チャンネル 0)	10-9
表 10.6	TPSC2 ~ TPSC0 (チャンネル 1)	10-9
表 10.7	TPSC2 ~ TPSC0 (チャンネル 2)	10-10
表 10.8	TPSC2 ~ TPSC0 (チャンネル 3)	10-10
表 10.9	TPSC2 ~ TPSC0 (チャンネル 4)	10-11
表 10.10	TPSC2 ~ TPSC0 (チャンネル 5)	10-11
表 10.11	MD3 ~ MD0	10-13
表 10.12	TIORH_0	10-14
表 10.13	TIORL_0	10-15
表 10.14	TIOR_1	10-16
表 10.15	TIOR_2	10-17
表 10.16	TIORH_3	10-18
表 10.17	TIORL_3	10-19
表 10.18	TIOR_4	10-20
表 10.19	TIOR_5	10-21
表 10.20	TIORH_0	10-22
表 10.21	TIORL_0	10-23
表 10.22	TIOR_1	10-24
表 10.23	TIOR_2	10-25
表 10.24	TIORH_3	10-26
表 10.25	TIORL_3	10-27
表 10.26	TIOR_4	10-28
表 10.27	TIOR_5	10-29
表 10.28	レジスタの組み合わせ	10-43
表 10.29	カスケード接続組み合わせ	10-46
表 10.30	各 PWM 出力のレジスタと出力端子	10-49
表 10.31	位相計数モードクロック入力端子	10-53
表 10.32	位相計数モード 1 のアップ / ダウンカウント条件	10-54
表 10.33	位相計数モード 2 のアップ / ダウンカウント条件	10-55
表 10.34	位相計数モード 3 のアップ / ダウンカウント条件	10-56
表 10.35	位相計数モード 4 のアップ / ダウンカウント条件	10-57
表 10.36	TPU 割り込み一覧	10-59
11.	8 ビットタイマ (TMR)	11-1
表 11.1	端子構成	11-3
表 11.2	8 ビットタイマの割り込み要因	11-14
表 11.3	タイマ出力の優先順位	11-16
表 11.4	内部クロックの切り替えと TCNT の動作	11-17

12. ウォッチドッグタイマ (WDT)	12-1
表 12.1 端子構成.....	12-3
表 12.2 WDT の割り込み要因.....	12-10
13. シリアルコミュニケーションインタフェース (SCI)	13-1
表 13.1 端子構成.....	13-3
表 13.2 BRR の設定値 N とビットレート B の関係.....	13-19
表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕.....	13-20
表 13.4 各動作周波数における最大ビットレート (調歩同期式モード).....	13-21
表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード).....	13-21
表 13.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕.....	13-22
表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード).....	13-22
表 13.8 ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき).....	13-23
表 13.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき).....	13-23
表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード).....	13-25
表 13.11 SSR のステータスフラグの状態と受信データの処理.....	13-32
表 13.12 シリアルコミュニケーションインタフェースモードの割り込み要因.....	13-57
表 13.13 スマートカードインタフェースモードの割り込み要因.....	13-58
14. I ² C バスインタフェース 2 (IIC2)	14-1
表 14.1 端子構成.....	14-3
表 14.2 転送レート.....	14-6
表 14.3 割り込み要求一覧.....	14-30
表 14.4 SCL をモニタする時間.....	14-31
15. A/D 変換器.....	15-1
表 15.1 端子構成.....	15-3
表 15.2 アナログ入力チャンネルと ADDR の対応.....	15-4
表 15.3 A/D 変換時間 (シングルモード).....	15-12
表 15.4 A/D 変換時間 (スキャンモード).....	15-12
表 15.5 A/D 変換器の割り込み要因.....	15-13
表 15.6 アナログ端子の規格.....	15-17
16. D/A 変換器.....	16-1
表 16.1 端子構成.....	16-2
表 16.2 D/A 変換の制御.....	16-3

17. IEBus コントローラ (IEB) 【H8S/2552 グループ】	17-1
表 17.1 3 種類のモード	17-3
表 17.2 各通信モードにおける伝送速度、最大伝送バイト数	17-4
表 17.3 電文長ビットの内容	17-8
表 17.4 コントロールビットの内容	17-12
表 17.5 ロックされたスレーブユニットに対するコントロールフィールド	17-12
表 17.6 端子構成	17-15
表 17.7 システムクロック分周選択一覧	17-18
18. コントローラエリアネットワーク (HCAN) 【H8S/2556 グループ】	18-1
表 18.1 端子構成	18-3
表 18.2 BCR に設定可能なレジスタ値の範囲	18-28
表 18.3 BCR の TSEG1、TSEG2 の設定可能な範囲	18-29
表 18.4 HCAN の割り込み要因	18-41
表 18.5 TXPR と TXPR 設定時間または TXPR と TXCR の設定時間の間隔制限	18-46
20. フラッシュメモリ	20-1
表 20.1 MD 端子設定と動作モード	20-4
表 20.2 プログラミングモードの比較	20-5
表 20.3 端子構成	20-10
表 20.4 使用レジスタ / パラメータと対象モード	20-11
表 20.5 使用パラメータと対象モード	20-17
表 20.6 ユーザマットエリアの分割	20-26
表 20.7 本 LSI の自動合わせ込みが可能なシステムクロックの周波数	20-29
表 20.8 実行可能マットまとめ	20-45
表 20.9 (1) ユーザプログラムモードでの書き込み処理で使用可能エリア	20-45
表 20.9 (2) ユーザプログラムモードでの消去処理で使用可能エリア	20-46
表 20.9 (3) ユーザブートモードでの書き込み処理で使用可能エリア	20-47
表 20.9 (4) ユーザブートモードでの消去処理で使用可能エリア	20-48
表 20.10 ハードウェアプロテクト	20-49
表 20.11 ソフトウェアプロテクト	20-49
表 20.12 ライタモード時の各動作モードの設定方法	20-58
表 20.13 ライタモード時の各コマンド	20-59
表 20.14 ステータス読み出しモードのリターンコード	20-61
表 20.15 ステータスポーリング出力の真理値表	20-61
表 20.16 問い合わせ選択コマンド一覧	20-66
表 20.17 書き込み消去コマンド一覧	20-76
表 20.18 ステータスコード	20-84
表 20.19 エラーコード	20-85
表 20.20 メモリ読み出しモード時の AC 特性	20-86

表 20.21	メモリ読み出しモードから他のモードへ遷移時の AC 特性	20-87
表 20.22	メモリ読み出しモード時の AC 特性	20-88
表 20.23	自動書き込みモード時の AC 特性	20-89
表 20.24	自動消去モード時の AC 特性	20-90
表 20.25	ステータス読み出しモード時の AC 特性	20-91
表 20.26	コマンド待ち状態までの遷移時間規定	20-92
21.	クロック発振器	21-1
表 21.1	ダンピング抵抗値	21-4
表 21.2	水晶発振子の特性	21-5
表 21.3	外部クロック入力条件	21-6
22.	低消費電力状態	22-1
表 22.1	各モードでの本 LSI の内部状態	22-2
表 22.2	低消費電力モード遷移条件	22-4
表 22.3	発振安定時間の設定	22-9
表 22.4	各処理状態における ϕ 端子の状態	22-13
24.	電気的特性	24-1
表 24.1	絶対最大定格	24-3
表 24.2	DC 特性 (1)	24-4
表 24.2	DC 特性 (2)	24-5
表 24.2	DC 特性 (3)	24-7
表 24.3	出力許容電流	24-8
表 24.4	バス駆動特性	24-8
表 24.5	電源投入・切断タイミング	24-9
表 24.6	クロックタイミング (1)	24-10
表 24.6	クロックタイミング (2)	24-11
表 24.7	制御信号タイミング	24-12
表 24.8	バスタイミング	24-14
表 24.9	内蔵周辺タイミング	24-19
表 24.10	I ² C バスタイミング	24-23
表 24.11	A/D 変換特性	24-25
表 24.12	D/A 変換特性	24-26
表 24.13	フラッシュメモリ特性	24-27

1. 概要

1.1 特長

- 16ビット高速H8S/2000CPU
H8/300CPU、H8/300HCPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：65種類
- 豊富な周辺機能
PCブレークコントローラ
データトランスファコントローラ（DTC）
16ビットタイマパルスユニット(TPU)
8ビットタイマ（TMR）
ウォッチドッグタイマ（WDT）
シリアルコミュニケーションインタフェース（SCI）
I²Cバスインタフェース2（IIC2）
10ビットA/D変換器
8ビットD/A変換器
IEBusTMコントローラ（IEB）（H8S/2552、H8S/2551）
コントローラエリアネットワーク（HCAN）（H8S/2556）
- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2556	512K バイト	32K バイト	
	HD64F2552	512K バイト	32K バイト	
	HD64F2551	384K バイト	24K バイト	
	HD64F2506	512K バイト	32K バイト	
	HD64F2505	384K バイト	32K バイト	

1. 概要

- 汎用入出力ポート

2種類の異電源ポートインタフェース

H8S/2556グループ

入出力ポート：102本

HCAN専用ポート：2本（入力1本、出力1本）

入力ポート：16本

H8S/2552グループ、H8S/2506グループ

入出力ポート：104本

入力ポート：16本

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	コード*2	ボディサイズ	ピンピッチ
PRQP0144KB-A	FP-144J/FP-144JV	20.0 × 20.0mm	0.5mm
LFBGA-176*1	BP-176V	13.0 × 13.0mm	0.8mm

【注】 *1 H8S/2552 グループ、H8S/2506 グループのみ

*2 パッケージコードの末尾がVのパッケージは鉛フリー対応品です。

1.2 内部ブロック図

内部ブロック図を図 1.1 ~ 図 1.3 に示します。

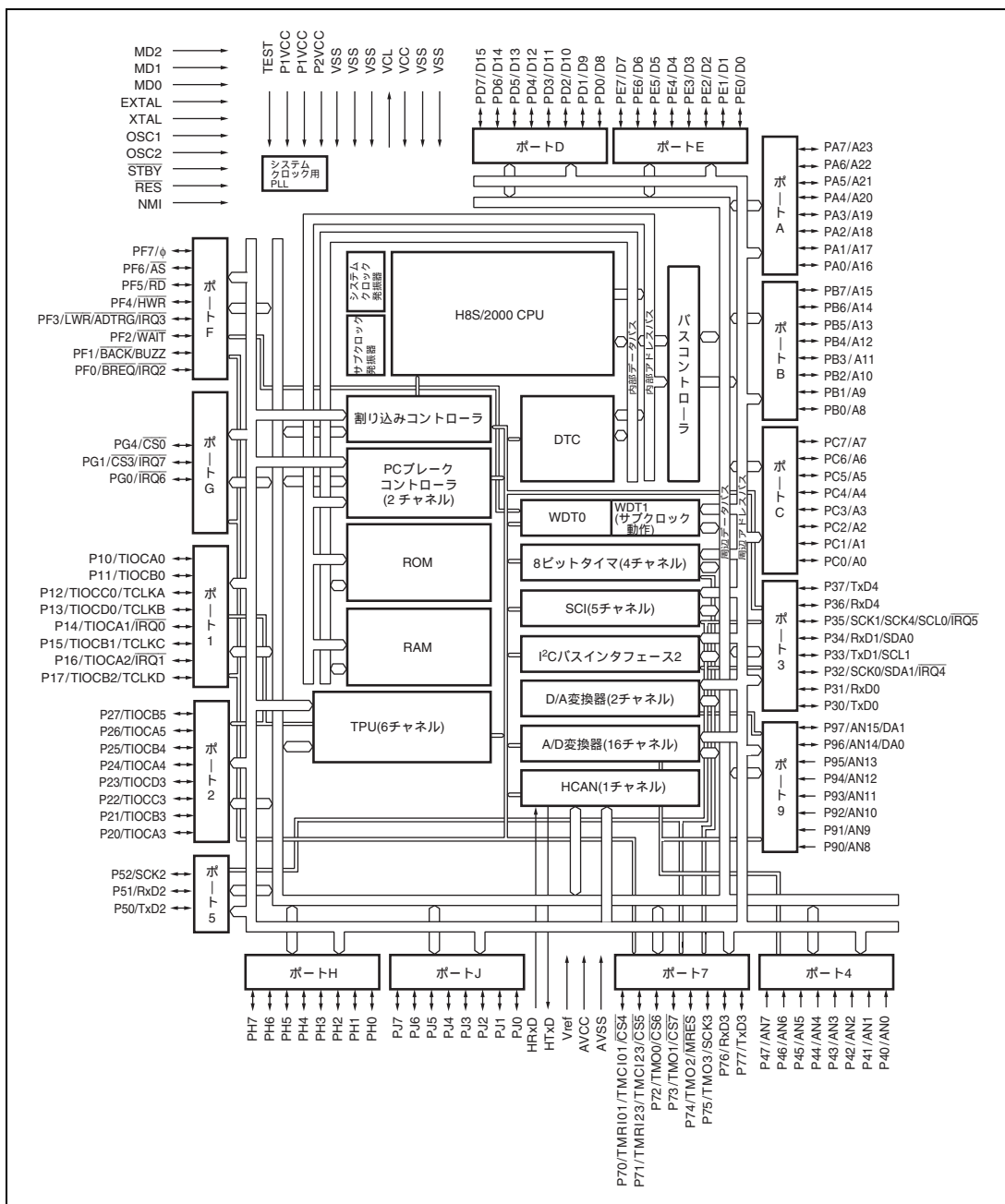


図 1.1 H8S/2556 グループの内部ブロック図

1. 概要

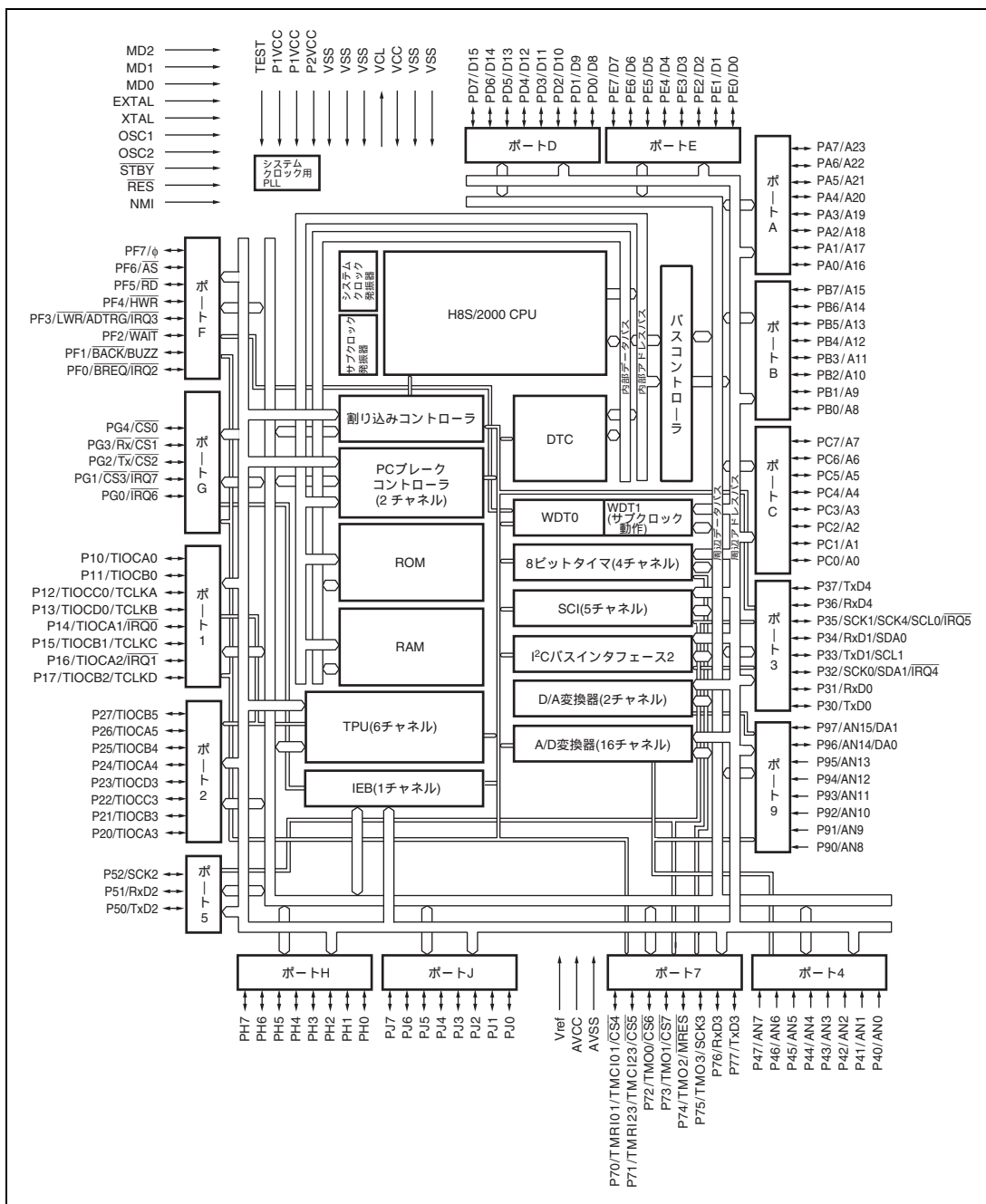


図 1.2 H8S/2552 グループの内部ブロック図

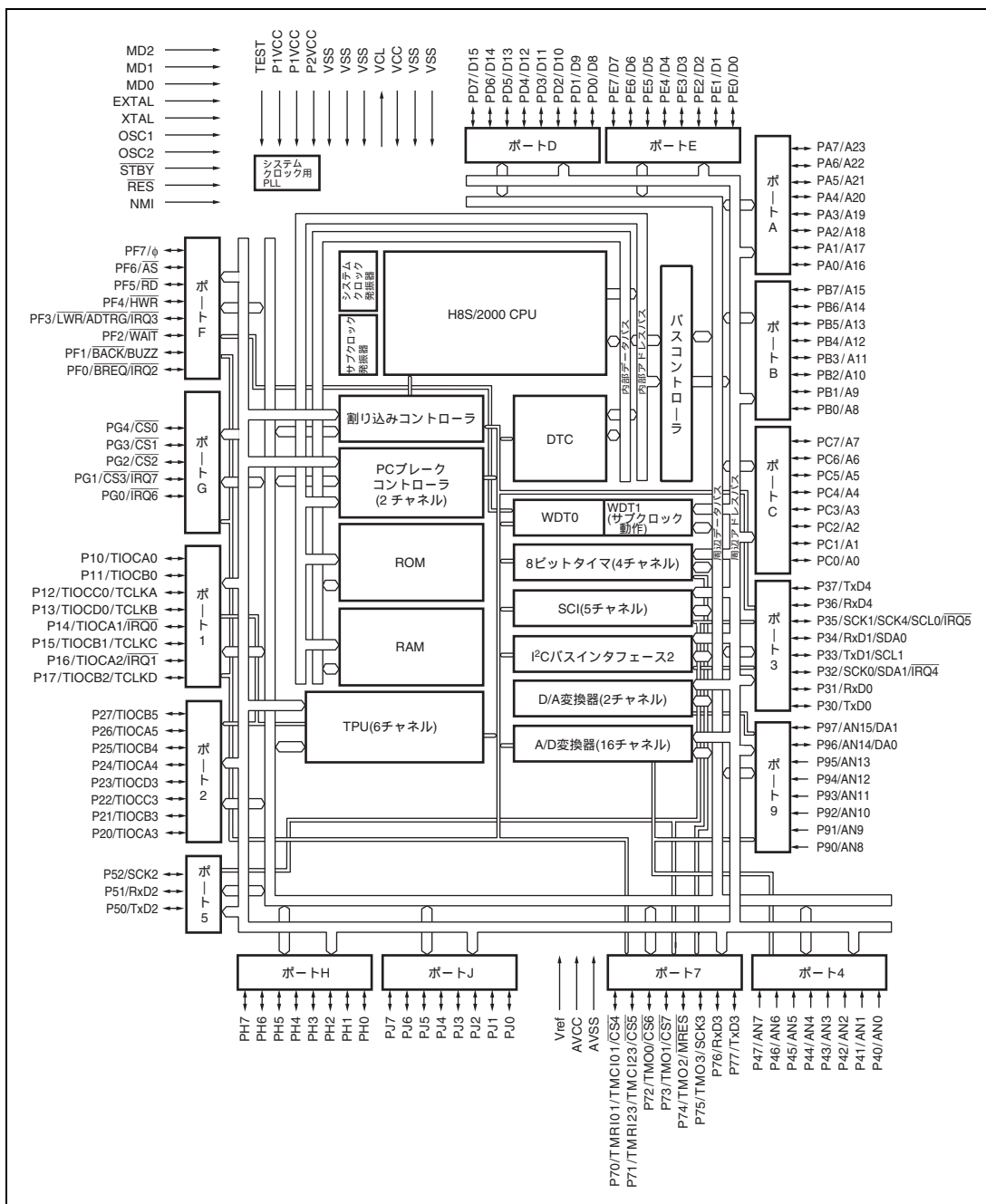


図 1.3 H8S/2506 グループの内部ブロック図

1. 概要

1.3 端子説明

1.3.1 ピン配置図

ピン配置図を図 1.4 ~ 図 1.8 に示します。

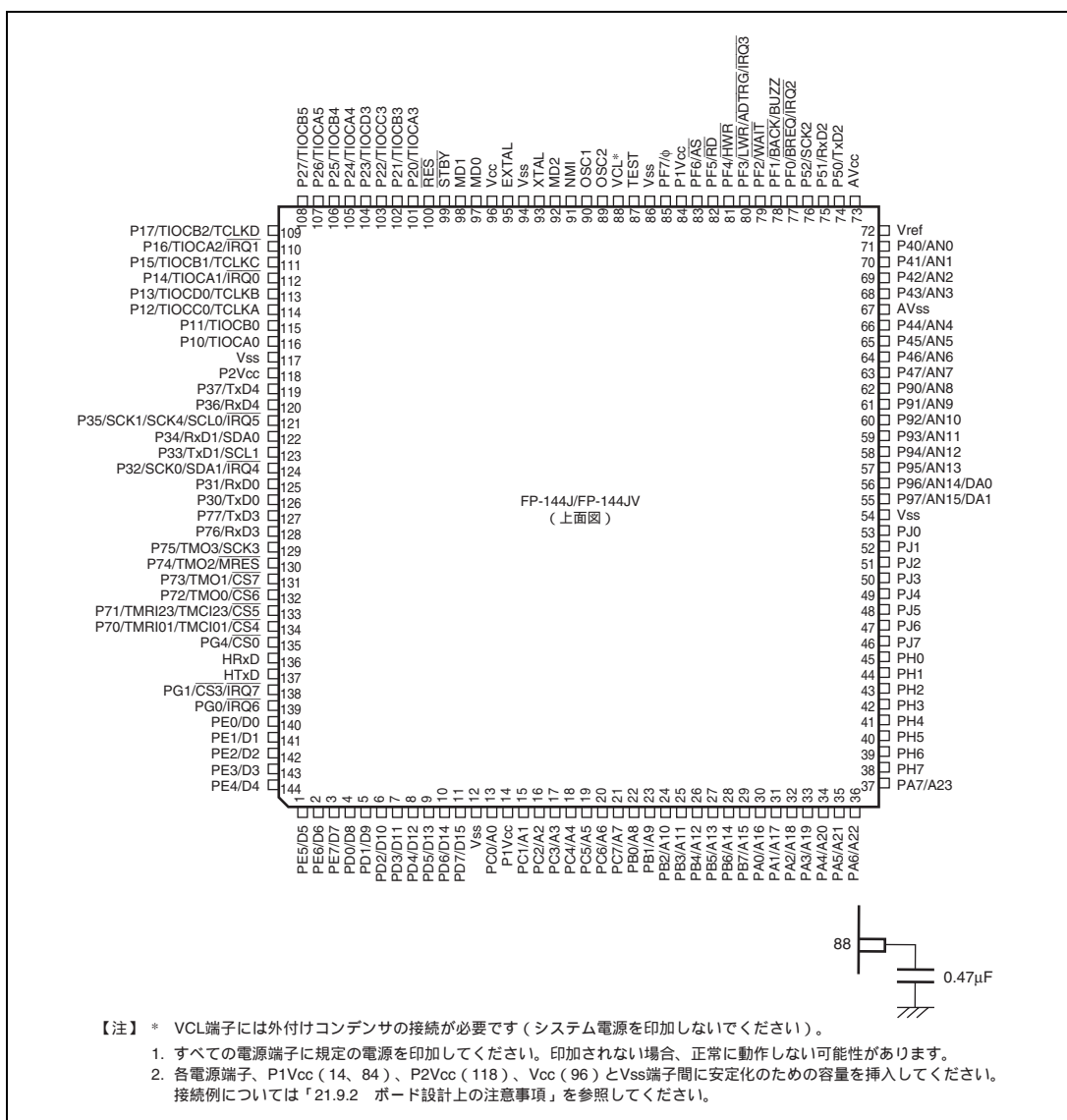


図 1.4 H8S/2556 グループのピン配置図 (FP-144J、FP-144JV : 上面図)

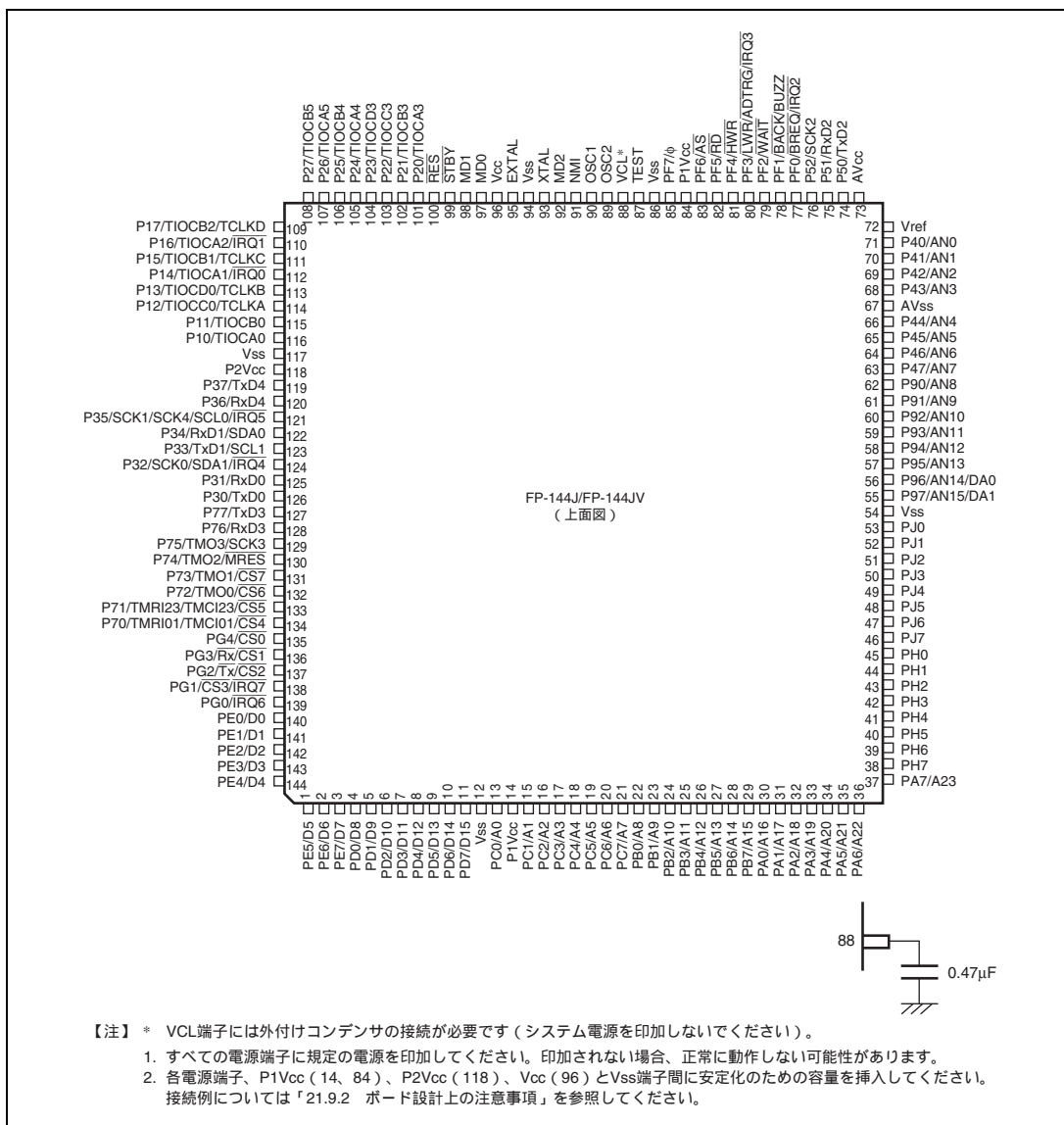


図 1.5 H8S/2552 グループのピン配置図 (FP-144J、FP-144JV : 上面図)

1. 概要

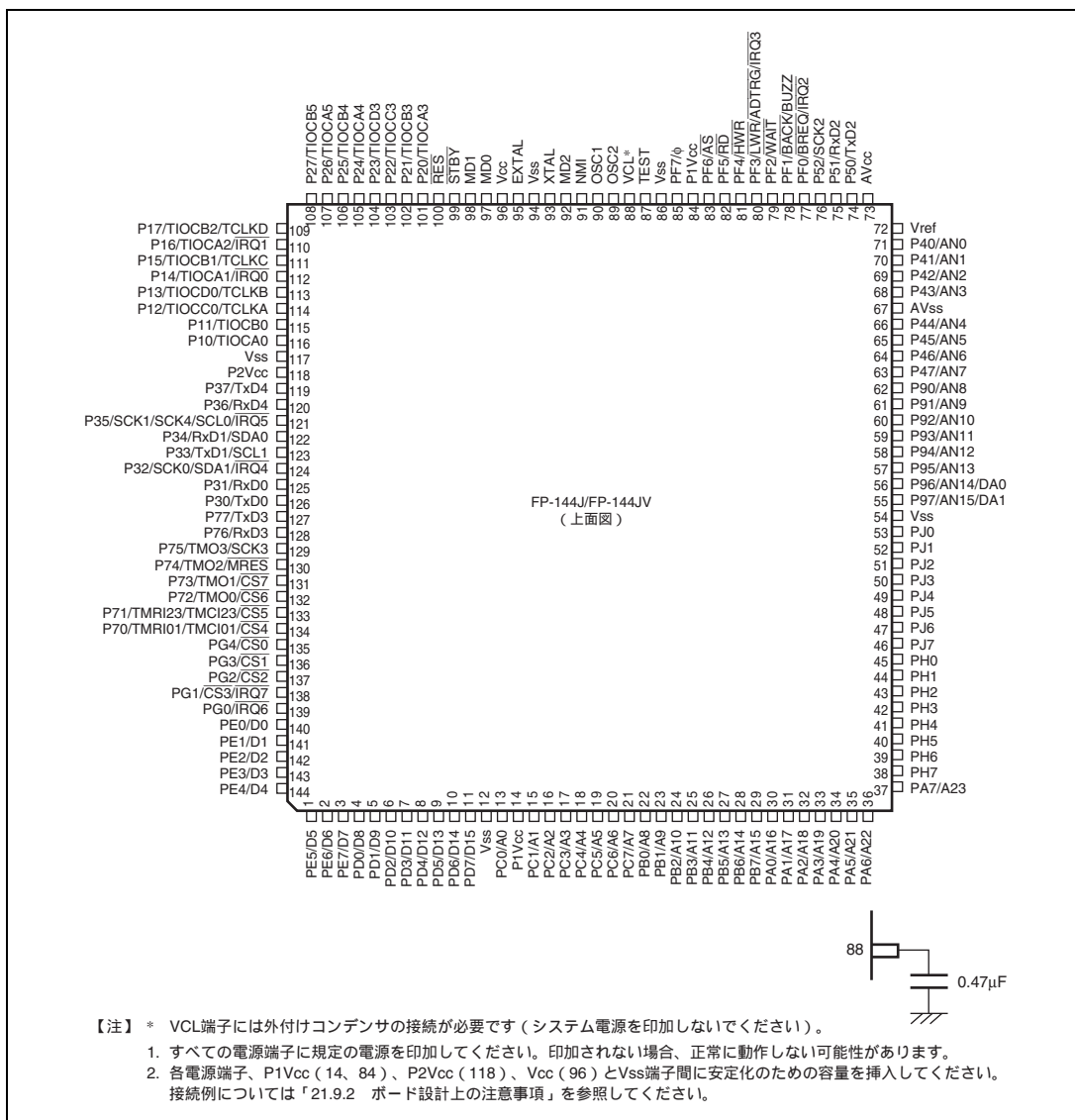


図 1.6 H8S/2506 グループのピン配置図 (FP-144J、FP-144JV : 上面図)

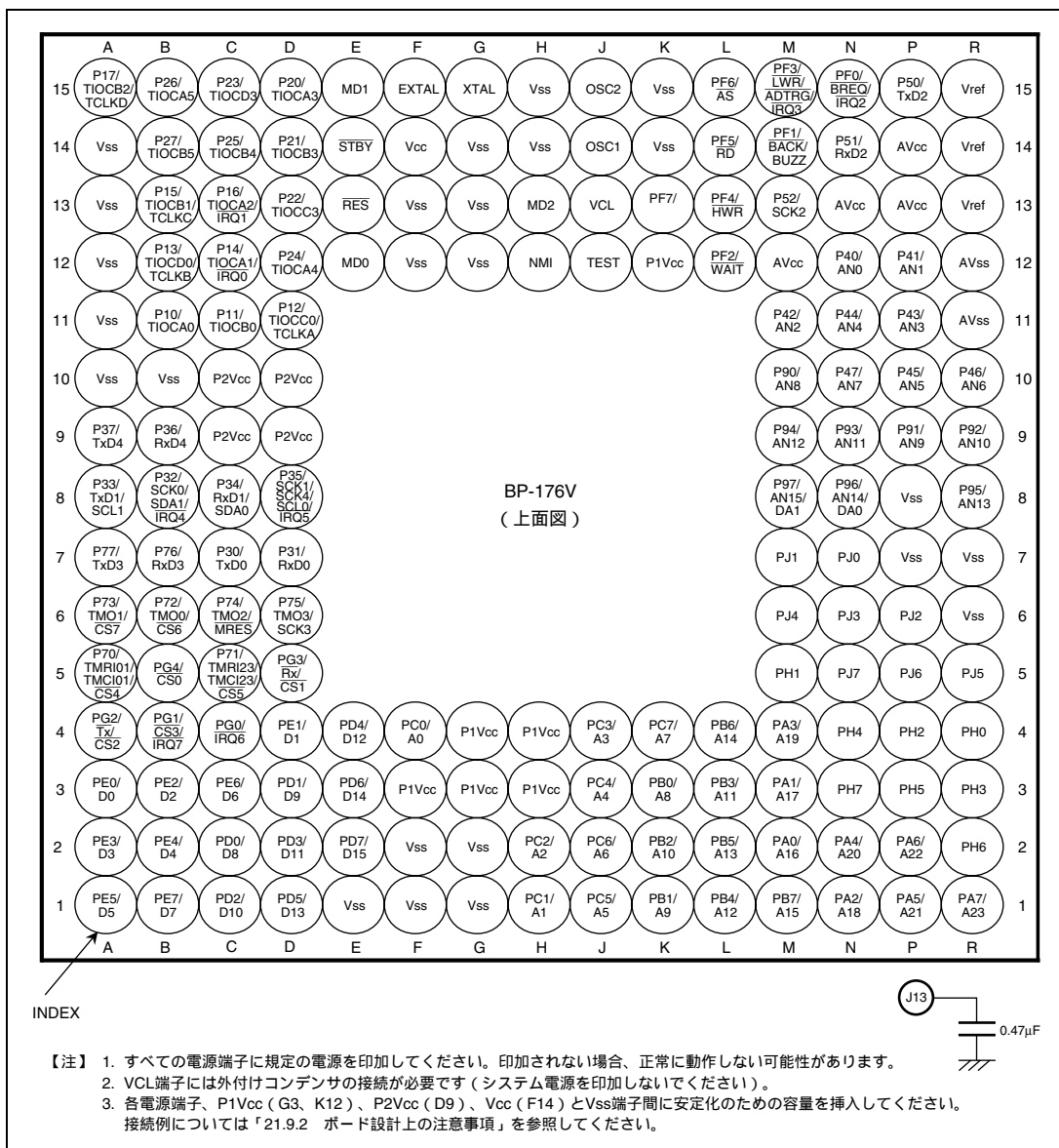


図 1.7 H8S/2552 グループのピン配置図 (BP-176V : 上面図)

1. 概要

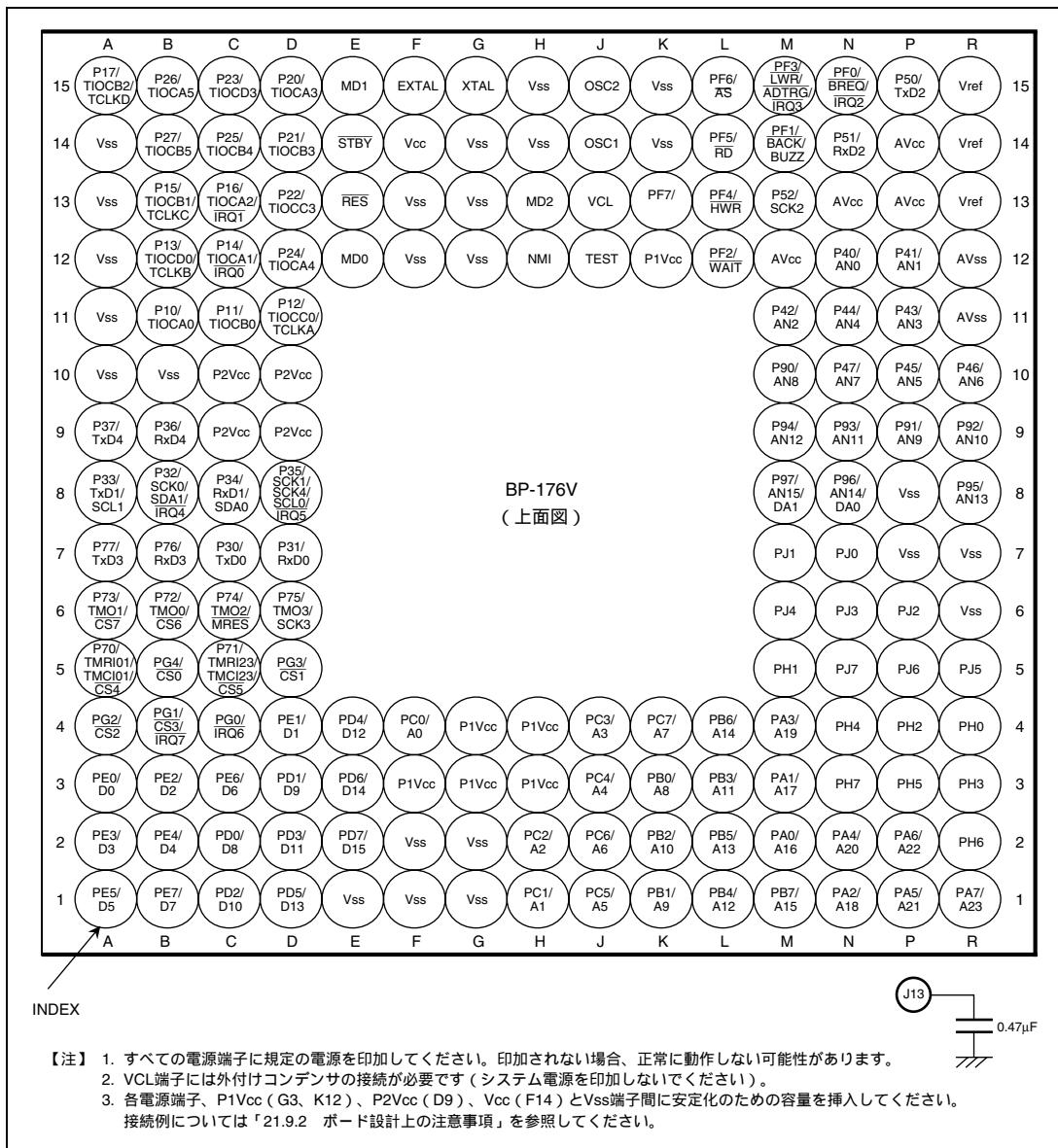


図 1.8 H8S/2506 グループのピン配置図 (BP-176V : 上面図)

1.3.2 動作モード別ピン配置一覧

動作モード別端子機能を表 1.1 に示します。

表 1.1 動作モード別ピン配置一覧

ピン番号		端子名			端子電源
FP-144J、 FP-144JV	BP-176V*4	モード 6	モード 7	フラッシュメモリ ライターモード*5	
1	A1	PE5/D5	PE5	OE	P1Vcc
2	C3	PE6/D6	PE6	WE	P1Vcc
3	B1	PE7/D7	PE7	CE	P1Vcc
4	C2	D8	PD0	D0	P1Vcc
5	D3	D9	PD1	D1	P1Vcc
6	C1	D10	PD2	D2	P1Vcc
7	D2	D11	PD3	D3	P1Vcc
8	E4	D12	PD4	D4	P1Vcc
9	D1	D13	PD5	D5	P1Vcc
10	E3	D14	PD6	D6	P1Vcc
11	E2	D15	PD7	D7	P1Vcc
12	G2、G1、 F2、F1、 E1	Vss	Vss	Vss	Vss
13	F4	PC0/A0	PC0	A0	P1Vcc
14	H4、H3、 G4、G3、 F3	P1Vcc	P1Vcc	Vcc	P1Vcc
15	H1	PC1/A1	PC1	A1	P1Vcc
16	H2	PC2/A2	PC2	A2	P1Vcc
17	J4	PC3/A3	PC3	A3	P1Vcc
18	J3	PC4/A4	PC4	A4	P1Vcc
19	J1	PC5/A5	PC5	A5	P1Vcc
20	J2	PC6/A6	PC6	A6	P1Vcc
21	K4	PC7/A7	PC7	A7	P1Vcc
22	K3	PB0/A8	PB0	A8	P1Vcc
23	K1	PB1/A9	PB1	A9	P1Vcc
24	K2	PB2/A10	PB2	A10	P1Vcc
25	L3	PB3/A11	PB3	A11	P1Vcc
26	L1	PB4/A12	PB4	A12	P1Vcc

1. 概要

ピン番号		端子名			端子電源
FP-144J、 FP-144JV	BP-176V* ⁴	モード 6	モード 7	フラッシュメモリ ライターモード* ⁵	
27	L2	PB5/A13	PB5	A13	P1Vcc
28	L4	PB6/A14	PB6	A14	P1Vcc
29	M1	PB7/A15	PB7	A15	P1Vcc
30	M2	PA0/A16	PA0	A16	P1Vcc
31	M3	PA1/A17	PA1	A17	P1Vcc
32	N1	PA2/A18	PA2	A18	P1Vcc
33	M4	PA3/A19	PA3	NC	P1Vcc
34	N2	PA4/A20	PA4	NC	P1Vcc
35	P1	PA5/A21	PA5	NC	P1Vcc
36	P2	PA6/A22	PA6	NC	P1Vcc
37	R1	PA7/A23	PA7	NC	P1Vcc
38	N3	PH7	PH7	NC	P1Vcc
39	R2	PH6	PH6	NC	P1Vcc
40	P3	PH5	PH5	NC	P1Vcc
41	N4	PH4	PH4	NC	P1Vcc
42	R3	PH3	PH3	NC	P1Vcc
43	P4	PH2	PH2	NC	P1Vcc
44	M5	PH1	PH1	NC	P1Vcc
45	R4	PH0	PH0	NC	P1Vcc
46	N5	PJ7	PJ7	NC	P1Vcc
47	P5	PJ6	PJ6	NC	P1Vcc
48	R5	PJ5	PJ5	NC	P1Vcc
49	M6	PJ4	PJ4	NC	P1Vcc
50	N6	PJ3	PJ3	NC	P1Vcc
51	P6	PJ2	PJ2	NC	P1Vcc
52	M7	PJ1	PJ1	NC	P1Vcc
53	N7	PJ0	PJ0	NC	P1Vcc
54	R7、R6、 P8、P7	Vss	Vss	Vss	Vss
55	M8	P97/AN15/DA1	P97/AN15/DA1	NC	AVcc
56	N8	P96/AN14/DA0	P96/AN14/DA0	NC	AVcc
57	R8	P95/AN13	P95/AN13	NC	AVcc
58	M9	P94/AN12	P94/AN12	NC	AVcc
59	N9	P93/AN11	P93/AN11	NC	AVcc

1. 概要

ピン番号		端子名			端子電源
FP-144J、 FP-144JV	BP-176V* ⁴	モード 6	モード 7	フラッシュメモリ ライターモード* ⁵	
60	R9	P92/AN10	P92/AN10	NC	AVcc
61	P9	P91/AN9	P91/AN9	NC	AVcc
62	M10	P90/AN8	P90/AN8	NC	AVcc
63	N10	P47/AN7	P47/AN7	NC	AVcc
64	R10	P46/AN6	P46/AN6	NC	AVcc
65	P10	P45/AN5	P45/AN5	NC	AVcc
66	N11	P44/AN4	P44/AN4	NC	AVcc
67	R12、 R11	AVss	AVss	Vss	AVss
68	P11	P43/AN3	P43/AN3	NC	AVcc
69	M11	P42/AN2	P42/AN2	NC	AVcc
70	P12	P41/AN1	P41/AN1	NC	AVcc
71	N12	P40/AN0	P40/AN0	NC	AVcc
72	R15、 R14、 R13	Vref	Vref	Vcc	Vref
73	P14、 P13、 N13、 M12	AVcc	AVcc	Vcc	AVcc
74	P15	P50/TxD2	P50/TxD2	NC	P1Vcc
75	N14	P51/RxD2	P51/RxD2	NC	P1Vcc
76	M13	P52/SCK2	P52/SCK2	NC	P1Vcc
77	N15	PF0/BREQ/IRQ2	PF0/IRQ2	Vcc	P1Vcc
78	M14	PF1/BACK/BUZZ	PF1/BUZZ	NC	P1Vcc
79	L12	PF2/WAIT	PF2	NC	P1Vcc
80	M15	PF3/LWR/ADTRG/IRQ3	PF3/ADTRG/IRQ3	Vcc	P1Vcc
81	L13	HWR	PF4	NC	P1Vcc
82	L14	RD	PF5	NC	P1Vcc
83	L15	AS	PF6	NC	P1Vcc
84	K12	P1Vcc	P1Vcc	Vcc	P1Vcc
85	K13	PF7/φ	PF7/φ	NC	P1Vcc
86	K15、 K14	Vss	Vss	Vss	Vss
87	J12	TEST	TEST	Vss	Vcc
88	J13	VCL	VCL	VCL	VCL
89	J15	OSC2	OSC2	NC	-
90	J14	OSC1	OSC1	Vss	-
91	H12	NMI	NMI	Vcc	Vcc

1. 概要

ピン番号		端子名			端子電源
FP-144J、 FP-144JV	BP-176V* ⁴	モード 6	モード 7	フラッシュメモリ ライターモード* ⁵	
92	H13	MD2	MD2	Vss	Vcc
93	G15	XTAL	XTAL	XTAL	-
94	H15、H14、 G14、G13、 G12、F13、 F12	Vss	Vss	Vss	Vss
95	F15	EXTAL	EXTAL	EXTAL	Vcc
96	F14	Vcc	Vcc	Vcc	Vcc
97	E12	MD0	MD0	Vss	Vcc
98	E15	MD1	MD1	Vss	Vcc
99	E14	\overline{STBY}	\overline{STBY}	Vcc	Vcc
100	E13	\overline{RES}	\overline{RES}	\overline{RES}	Vcc
101	D15	P20/TIOCA3	P20/TIOCA3	NC	P2Vcc
102	D14	P21/TIOCB3	P21/TIOCB3	NC	P2Vcc
103	D13	P22/TIOCC3	P22/TIOCC3	NC	P2Vcc
104	C15	P23/TIOCD3	P23/TIOCD3	NC	P2Vcc
105	D12	P24/TIOCA4	P24/TIOCA4	NC	P2Vcc
106	C14	P25/TIOCB4	P25/TIOCB4	NC	P2Vcc
107	B15	P26/TIOCA5	P26/TIOCA5	NC	P2Vcc
108	B14	P27/TIOCB5	P27/TIOCB5	NC	P2Vcc
109	A15	P17/TIOCB2/TCLKD	P17/TIOCB2/TCLKD	NC	P2Vcc
110	C13	P16/TIOCA2/ $\overline{IRQ1}$	P16/TIOCA2/ $\overline{IRQ1}$	Vss	P2Vcc
111	B13	P15/TIOCB1/TCLKC	P15/TIOCB1/TCLKC	NC	P2Vcc
112	C12	P14/TIOCA1/ $\overline{IRQ0}$	P14/TIOCA1/ $\overline{IRQ0}$	Vss	P2Vcc
113	B12	P13/TIOCD0/TCLKB	P13/TIOCD0/TCLKB	NC	P2Vcc
114	D11	P12/TIOCC0/TCLKA	P12/TIOCC0/TCLKA	NC	P2Vcc
115	C11	P11/TIOCB0	P11/TIOCB0	NC	P2Vcc
116	B11	P10/TIOCA0	P10/TIOCA0	NC	P2Vcc
117	B10、A14、 A13、A12、 A11、A10	Vss	Vss	Vss	Vss
118	D10、D9、 C10、C9	P2Vcc	P2Vcc	Vcc	P2Vcc
119	A9	P37/TxD4	P37/TxD4	NC	P2Vcc
120	B9	P36/RxD4	P36/RxD4	NC	P2Vcc

1. 概要

ピン番号		端子名			端子電源
FP-144J、 FP-144JV	BP-176V* ⁴	モード 6	モード 7	フラッシュメモリ ライタモード* ⁵	
121	D8	P35/SCK1/SCK4/SCL0/ $\overline{\text{IRQ5}}$	P35/SCK1/SCK4/SCL0/ $\overline{\text{IRQ5}}$	NC	P2Vcc
122	C8	P34/RxD1/SDA0	P34/RxD1/SDA0	NC	P2Vcc
123	A8	P33/TxD1/SCL1	P33/TxD1/SCL1	NC	P2Vcc
124	B8	P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$	P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$	NC	P2Vcc
125	D7	P31/RxD0	P31/RxD0	NC	P2Vcc
126	C7	P30/TxD0	P30/TxD0	NC	P2Vcc
127	A7	P77/TxD3	P77/TxD3	NC	P2Vcc
128	B7	P76/RxD3	P76/RxD3	NC	P2Vcc
129	D6	P75/TMO3/SCK3	P75/TMO3/SCK3	NC	P2Vcc
130	C6	P74/TMO2/ $\overline{\text{MRES}}$	P74/TMO2/ $\overline{\text{MRES}}$	NC	P2Vcc
131	A6	P73/TMO1/ $\overline{\text{CS7}}$	P73/TMO1	NC	P2Vcc
132	B6	P72/TMO0/ $\overline{\text{CS6}}$	P72/TMO0	NC	P2Vcc
133	C5	P71/TMRI23/TMCI23/ $\overline{\text{CS5}}$	P71/TMRI23/TMCI23	NC	P2Vcc
134	A5	P70/TMRI01/TMCI01/ $\overline{\text{CS4}}$	P70/TMRI01/TMCI01	NC	P2Vcc
135	B5	PG4/ $\overline{\text{CS0}}$	PG4	NC	P1Vcc
136	D5	HRxD* ¹	HRxD* ¹	NC	P1Vcc
		PG3/Rx/ $\overline{\text{CS1}}$ * ²	PG3/Rx* ²		
		PG3/ $\overline{\text{CS1}}$ * ³	PG3* ³		
137	A4	HTxD* ¹	HTxD* ¹	NC	P1Vcc
		PG2/Tx/ $\overline{\text{CS2}}$ * ²	PG2/Tx* ²		
		PG2/ $\overline{\text{CS2}}$ * ³	PG2* ³		
138	B4	PG1/ $\overline{\text{CS3}}$ / $\overline{\text{IRQ7}}$	PG1/ $\overline{\text{IRQ7}}$	NC	P1Vcc
139	C4	PG0/ $\overline{\text{IRQ6}}$	PG0/ $\overline{\text{IRQ6}}$	NC	P1Vcc
140	A3	PE0/D0	PE0	NC	P1Vcc
141	D4	PE1/D1	PE1	NC	P1Vcc
142	B3	PE2/D2	PE2	NC	P1Vcc
143	A2	PE3/D3	PE3	Vcc	P1Vcc
144	B2	PE4/D4	PE4	Vss	P1Vcc

- 【注】 *1 H8S/2556 グループの端子名
*2 H8S/2552 グループの端子名
*3 H8S/2506 グループの端子名
*4 H8S/2552、H8S/2506 グループのみ
*5 NC は開放としてください。

1. 概要

1.3.3 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号		入出力	機能
		FP-144J、 FP-144JV	BP-176V ^{※2}		
電源	Vcc	96	F14	入力	電源端子です。システムの電源に接続してください。
	P1Vcc	14、84	F3、G3、 G4、H3、 H4、K12	入力	表 1.1 の端子電源が P1Vcc のポート用の電源端子です。
	P2Vcc	118	C9、C10、 D9、D10	入力	表 1.1 の端子電源が P2Vcc のポート用の電源端子です。
	VCL	88	J13	出力	内部降圧電圧の電圧安定用のコンデンサを接続する端子です。電源に直接接続しないでください。0.47 μ F のコンデンサを介して Vss に接続してください。（端子近くに配置）
	Vss	12、54、86、 94、117	G2、G1、 F2、F1、 E1、F7、 R6、P8、 P7、K15、 K14、H15、 H14、G14、 G13、G12、 F13、F12、 B10、A14、 A13、A12、 A11、A10	入力	グラウンド端子です。システムの電源 (0V) に接続してください。
クロック	XTAL	93	G15	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 21 章 クロック発振器」を参照してください。
	EXTAL	95	F15	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 21 章 クロック発振器」を参照してください。
	OSC1	90	J14	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 21 章 クロック発振器」を参照してください。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144J、 FP-144JV	BP-176V* ²		
クロック	OSC2	89	J15	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 21 章 クロック発振器」を参照してください。
	ϕ	85	K13	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2	92	H13	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。 モード端子 (MD2 ~ MD0) は、モード切り替え以外は、パワーオフまでプルダウンまたはプルアップしてレベルを必ず固定してください。
	MD1	98	E15		
	MD0	97	E12		
システム制御	$\overline{\text{RES}}^{*1}$	100	E13	入力	リセット端子です。この端子が Low レベルになると、パワーオンリセット状態となります。
	$\overline{\text{MRES}}^{*1}$	130	C6	入力	この端子が Low レベルになると、マニュアルリセット状態となります。
	$\overline{\text{STBY}}^{*1}$	99	E14	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	$\overline{\text{BREQ}}$	77	N15	入力	本 LSI に対し、外部バスマスタがバス権を要求します。
	$\overline{\text{BACK}}$	78	M14	出力	バス権を外部バスマスタに解放したことを示します。
	$\overline{\text{TEST}}^{*1}$	87	J12	入力	テスト用端子です。V _{SS} を入力してください。
割り込み	NMI^{*1}	91	H12	入力	ノンマスクابل割り込み要求端子です。 未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ7}}$	138	B4	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ6}}$	139	C4		
	$\overline{\text{IRQ5}}$	121	D8		
	$\overline{\text{IRQ4}}$	124	B8		
	$\overline{\text{IRQ3}}$	80	M15		
	$\overline{\text{IRQ2}}$	77	N15		
	$\overline{\text{IRQ1}}$	110	C13		
	$\overline{\text{IRQ0}}$	112	C12		
アドレスバス	A23 ~ A0	37 ~ 15、 13	R1、P2、 P1、N2、 M4、N1、 M3、M2、 M1、L4、 L2、L1、 L3、K2、 K1、K3、 K4、J2、 J1、J3、 J4、H2、 H1、F4		

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144J、 FP-144JV	BP-176V*2		
データバス	D15 ~ D0	11 ~ 1、 144 ~ 140	E2、E3、 D1、E4、 D2、C1、 D3、C2、 B1、C3、 A1、B2、 A2、B3、 D4、A3	入出力	双方向データバスです。
バス制御	$\overline{CS7}$	131	A6	出力	エリア7~0の選択信号です。 ($\overline{CS2}$ 、 $\overline{CS1}$ はH8S/2556グループにはありません。)
	$\overline{CS6}$	132	B6		
	$\overline{CS5}$	133	C5		
	$\overline{CS4}$	134	A5		
	$\overline{CS3}$	138	B4		
	$\overline{CS2}$	137	A4		
	$\overline{CS1}$	136	D5		
	$\overline{CS0}$	135	B5		
	\overline{AS}	83	L15	出力	この端子がLowレベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	\overline{RD}	82	L14	出力	この端子がLowレベルのとき、外部アドレス空間のリード状態であることを示します。
	\overline{HWR}	81	L13	出力	外部空間をライトし、データバスの上位側(D15~D8)が有効であることを示すストロープ信号です。
	\overline{LWR}	80	M15	出力	外部空間をライトし、データバスの下位側(D7~D0)が有効であることを示すストロープ信号です。
	\overline{WAIT}	79	L12	入力	外部3ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16ビットタイム バスユニット (TPU)	TCLKD	109	A15	入力	外部クロックを入力します。
	TCLKC	111	B13		
	TCLKB	113	B12		
	TCLKA	114	D11		
	TIOCA0	116	B11	入出力	TGRA_0~TGRD_0のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB0	115	C11		
	TIOCC0	114	D11		
TIOCD0	113	B12			

分類	記号	ピン番号		入出力	機能
		FP-144J、 FP-144JV	BP-176V*2		
16 ビットタイマバ ルスユニット (TPU)	TIOCA1	112	C12	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB1	111	B13		
	TIOCA2	110	C13	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB2	109	A15		
	TIOCA3	101	D15	入出力	TGRA_3 ~ TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB3	102	D14		
	TIOCC3	103	D13		
TIOCD3	104	C15			
TIOCA4	105	D12	入出力	TGRA_4、TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。	
TIOCB4	106	C14			
TIOCA5	107	B15	入出力	TGRA_5、TGRB_5 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。	
TIOCB5	108	B14			
8 ビットタイマ (TMR)	TMO3 ~ TMO0	129 ~ 132	D6、C6、 A6、B6	出力	コンペアマッチ出力端子です。
	TMCI23	133	C5	入力	カウンタに入力する外部クロックの入力端子です。
	TMCI01	134	A5		
	TMRI23	133	C5	入力	カウンタリセット入力端子です。
TMRI01	134	A5			
ウォッチドッグタイ マ (WDT)	BUZZ	78	M14	出力	ウォッチドッグタイマで分周されたパルスの出力端子 です。
シリアルコミュニ ケーション インタフェース (SCI) / スマートカード インタフェース	TxD4	119	A9	出力	データ出力端子です。
	TxD3	127	A7		
	TxD2	74	P15		
	TxD1	123	A8		
	TxD0	126	C7		
	RxD4	120	B9	入力	データ入力端子です。
	RxD3	128	B7		
	RxD2	75	N14		
	RxD1	122	C8		
	RxD0	125	D7		
SCK4	121	D8	入出力	クロック入出力端子です。 SCK4、SCK1 は NMOS プッシュプル出力です。	
SCK3	129	D6			
SCK2	76	M13			
SCK1	121	D8			
SCK0	124	B8			

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144J、 FP-144JV	BP-176V*2		
I ² C バスインタ フェース 2 (IIC2)	SCL1	123	A8	入出力	I ² C クロック入出力端子です。バス駆動機能を持っています。SCL0 の出力形式は NMOS オープンドレインです。
	SCL0	121	D8		
A/D 変換器	SDA1	124	B8	入出力	I ² C のデータ入出力端子です。バス駆動機能を持っています。SDA0 の出力形式は NMOS オープンドレインです。
	SDA0	122	C8		
A/D 変換器	AN15 ~ AN0	55 ~ 66、 68 ~ 71	M8、N8、 R8、M9、 N9、R9、 P9、M10、 N10、R10、 P10、N11、 P11、M11、 P12、N12	入力	A/D 変換器のアナログ入力端子です。
	ADTRG	80	M15	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1 DA0	55 56	M8 N8	出力	D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AVcc	73	M12、N13、 P13、P14	入力	A/D 変換器および D/A 変換器の電源端子です。A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (Vcc レベル) に接続してください。
	AVss	67	R11、R12	入力	A/D 変換器および D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	72	R13、R14、 R15	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (Vcc レベル) に接続してください。
IEBus™ コントローラ(IEB)	Tx	137	A4	出力	IEB の送信データ出力端子です。 (H8S/2552 グループのみです。)
	Rx	136	D5	入力	IEB の受信データ入力端子です。 (H8S/2552 グループのみです。)
コントローラ エリアネット ワーク (HCAN)	HTxD	137	A4	出力	CAN バス送信用端子です。 (H8S/2556 グループのみです。)
	HRxD	136	D5	入力	CAN バス受信用端子です。 (H8S/2556 グループのみです。)
I/O ポート	P17 ~ P10	109 ~ 116	A15、C13、 B13、C12、 B12、D11、 C11、B11	入出力	8 ビットの入出力端子です。

分類	記号	ピン番号		入出力	機能
		FP-144J、 FP-144JV	BP-176V*2		
I/O ポート	P27 ~ P20	108 ~ 101	B14、B15、 C14、D12、 C15、D13、 D14、D15	入出力	8 ビットの入出力端子です。
	P37 ~ P30	119 ~ 126	A9、B9、 D8、C8、 A8、B8、 D7、C7	入出力	8 ビットの入出力端子です。 P34、P35 は NMOS プッシュプル出力です。
	P47 ~ P40	63 ~ 66、 68 ~ 71	N10、R10、 P10、N11、 P11、M11、 P12、N12	入力	8 ビットの入力端子です。
	P52 ~ P50	76 ~ 74	M13、N14、 P15	入出力	3 ビットの入出力端子です。
	P77 ~ P70	127 ~ 134	A7、B7、 D6、C6、 A6、B6、 C5、A5	入出力	8 ビットの入出力端子です。
	P97 ~ P90	55 ~ 62	M8、N8、 R8、M9、 N9、R9、 P9、M10	入力	8 ビットの入力端子です。
	PA7 ~ PA0	37 ~ 30	R1、P2、 P1、N2、 M4、N1、 M3、M2	入出力	8 ビットの入出力端子です。
	PB7 ~ PB0	29 ~ 22	M1、L4、 L2、L1、 L3、K2、 K1、K3	入出力	8 ビットの入出力端子です。
	PC7 ~ PC0	21 ~ 15、13	K4、J2、 J1、J3、 J4、H2、 H1、F4	入出力	8 ビットの入出力端子です。
	PD7 ~ PD0	11 ~ 4	E2、E3、 D1、E4、 D2、C1、 D3、C2	入出力	8 ビットの入出力端子です。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144J、 FP-144JV	BP-176V* ²		
I/O ポート	PE7 ~ PE0	3 ~ 1、 144 ~ 140	B1、C3、 A1、B2、 A2、B3、 D4、A3	入出力	8 ビットの入出力端子です。
	PF7 ~ PF0	85、 83 ~ 77	K13、L15、 L14、L13、 M15、L12、 M14、N15	入出力	8 ビットの入出力端子です。
	PG4 ~ PG0	135 ~ 139	B5、D5、 A4、B4、 C4	入出力	5 ビットの入出力端子です。 (PG3、PG2 は H8S/2556 グループにはありません。)
	PH7 ~ PH0	38 ~ 45	N3、R2、 P3、N4、 R3、P4、 M5、R4	入出力	8 ビットの入出力端子です。
	PJ7 ~ PJ0	46 ~ 53	N5、P5、 R5、M6、 N6、P6、 M7、N7	入出力	8 ビットの入出力端子です。

【注】 *1 誤動作の原因になる可能性がありますので、ノイズ対策を行ってください。

*2 H8S/2552、H8S/2506 グループのみ

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：65 種類
8 / 16 / 32 ビット演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
イミディエイト (#xx:8 / #xx:16 / #xx:32)
プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作

頻出命令をすべて1、2ステートで実行

8 / 16 / 32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：12ステート

16÷8ビットレジスタ間除算：12ステート

16×16ビットレジスタ間乗算：20ステート

32÷16ビットレジスタ間除算：20ステート

- CPU動作モード：2種類

ノーマルモード / アドバンスモード

【注】 本LSIではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
2ビットシフト命令を追加
複数レジスタの退避 / 復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
2ビットシフト命令を追加
複数レジスタの退避 / 復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64K バイト、アドバンスモードでは 16M バイトです。動作モードはモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

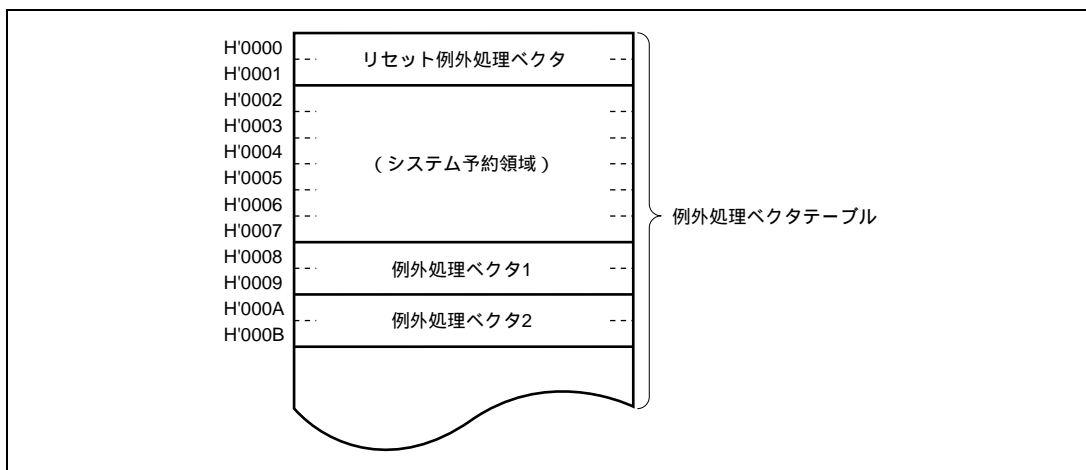


図 2.1 例外処理ベクタテーブル (ノーマルモード)

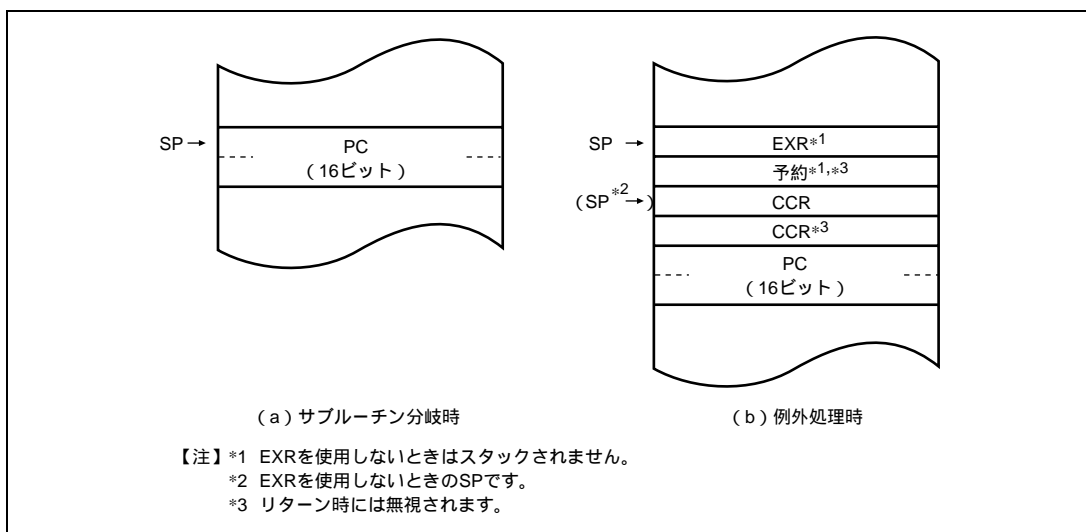


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

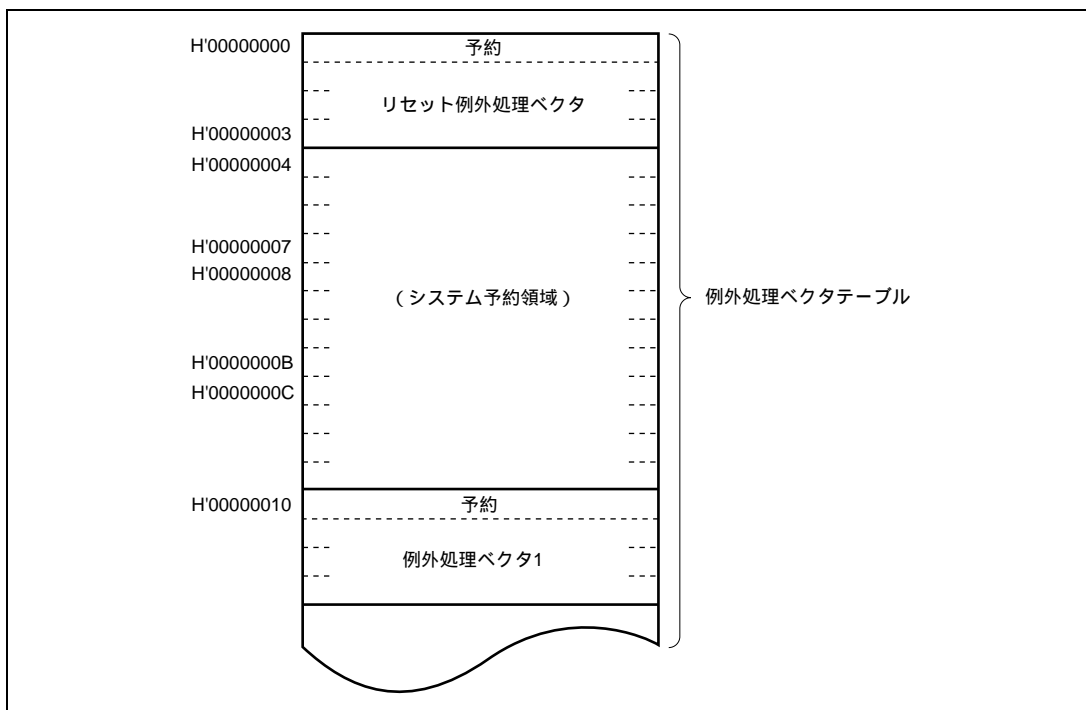


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

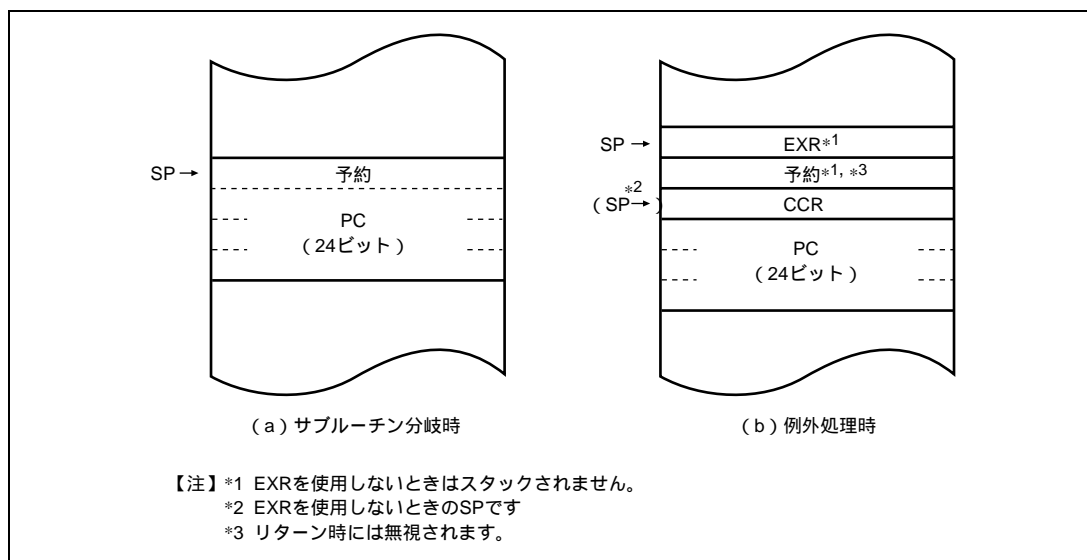


図 2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

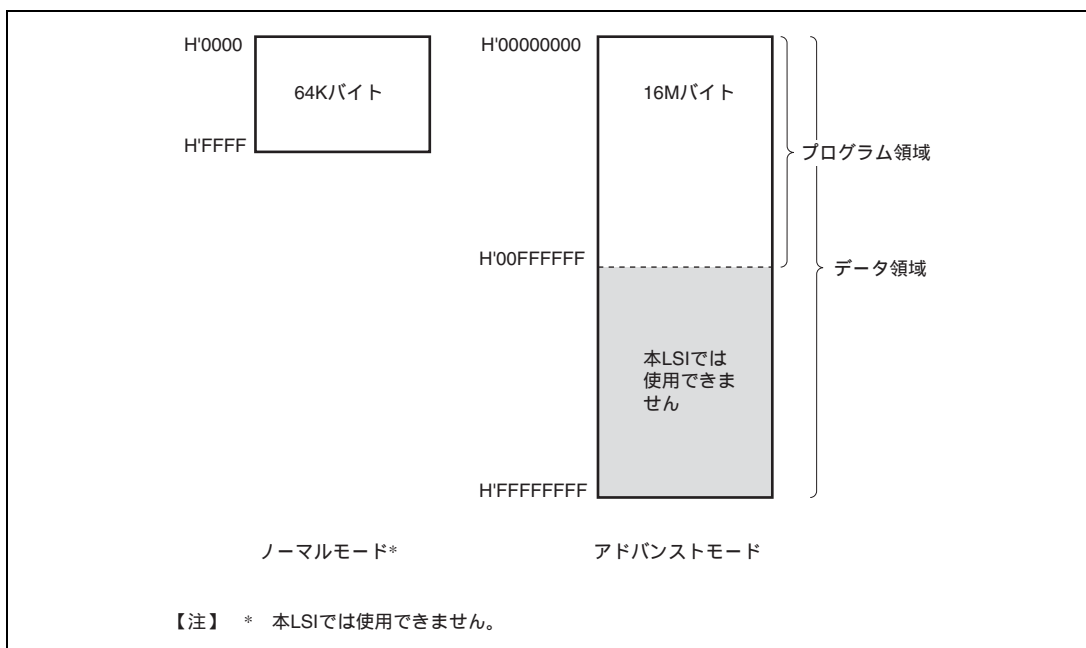


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

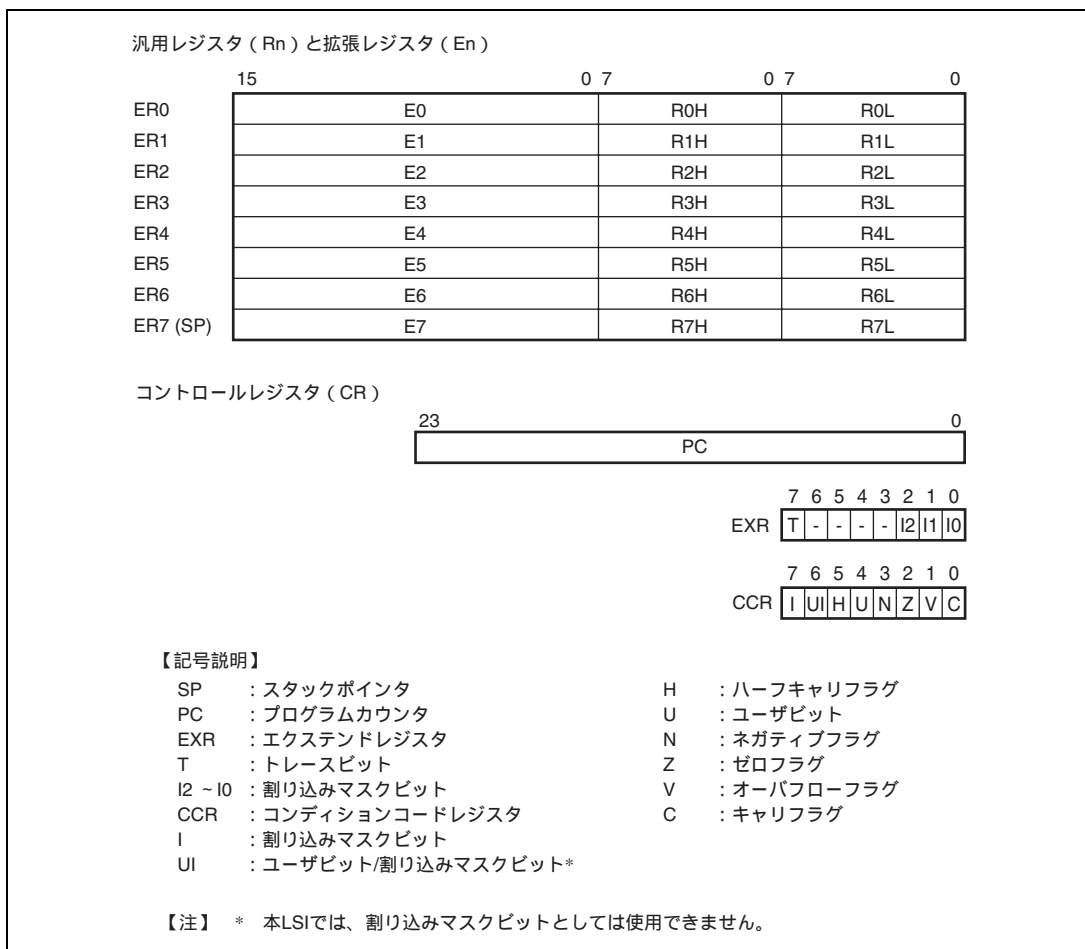


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

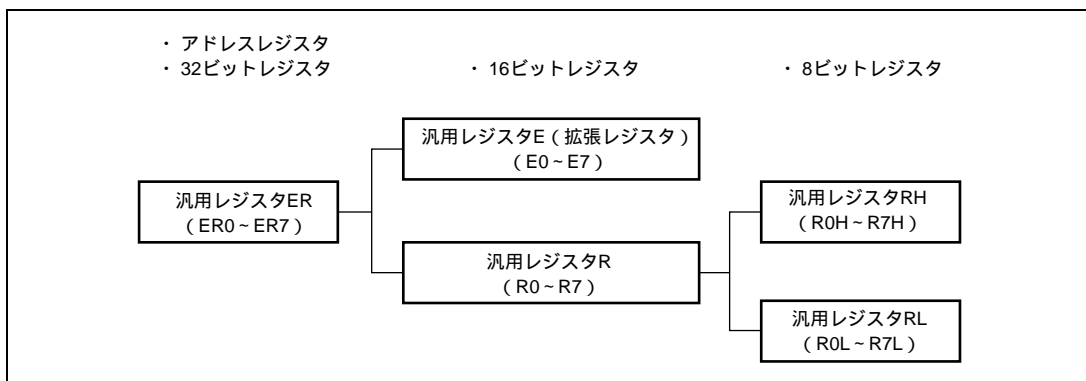


図 2.7 汎用レジスタの使用方法

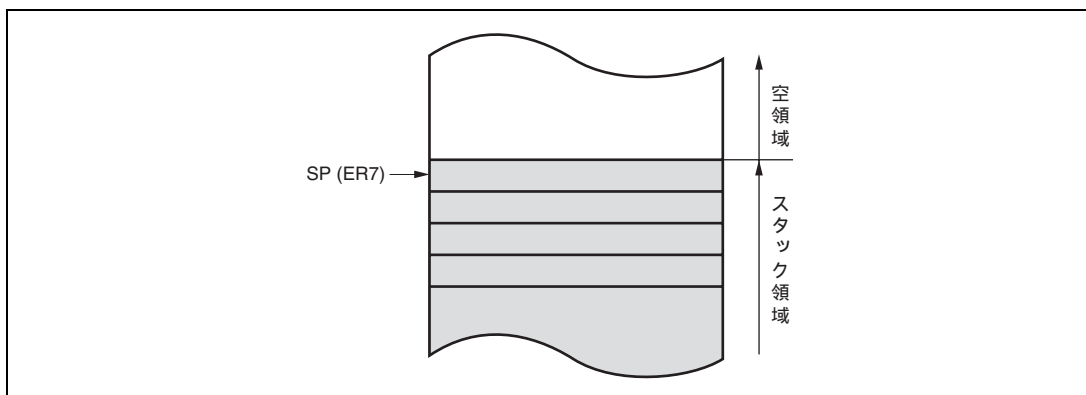


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		すべて 1		リザーブビット リードすると常に 1 がリードされます。
2	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
1	I1	1	R/W	
0	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> • 加算結果のキャリ • 減算結果のポロー • シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

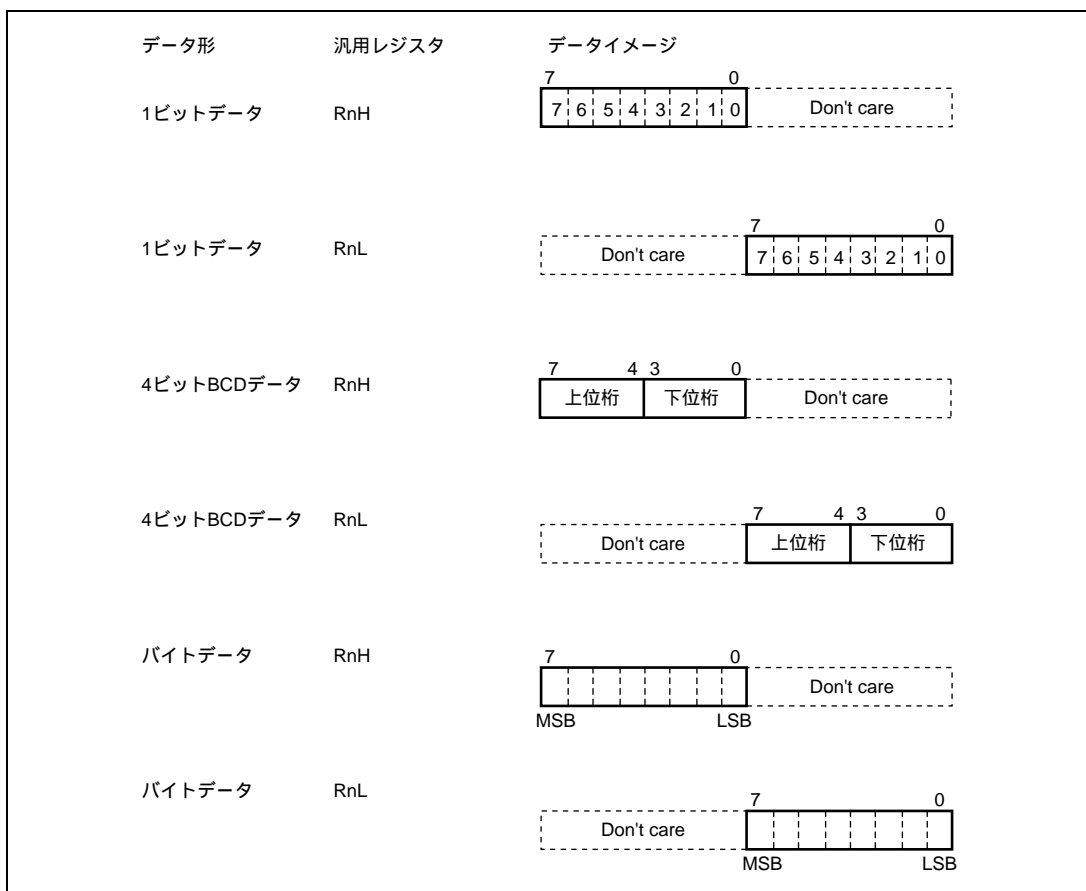


図 2.9 汎用レジスタのデータ形式 (1)

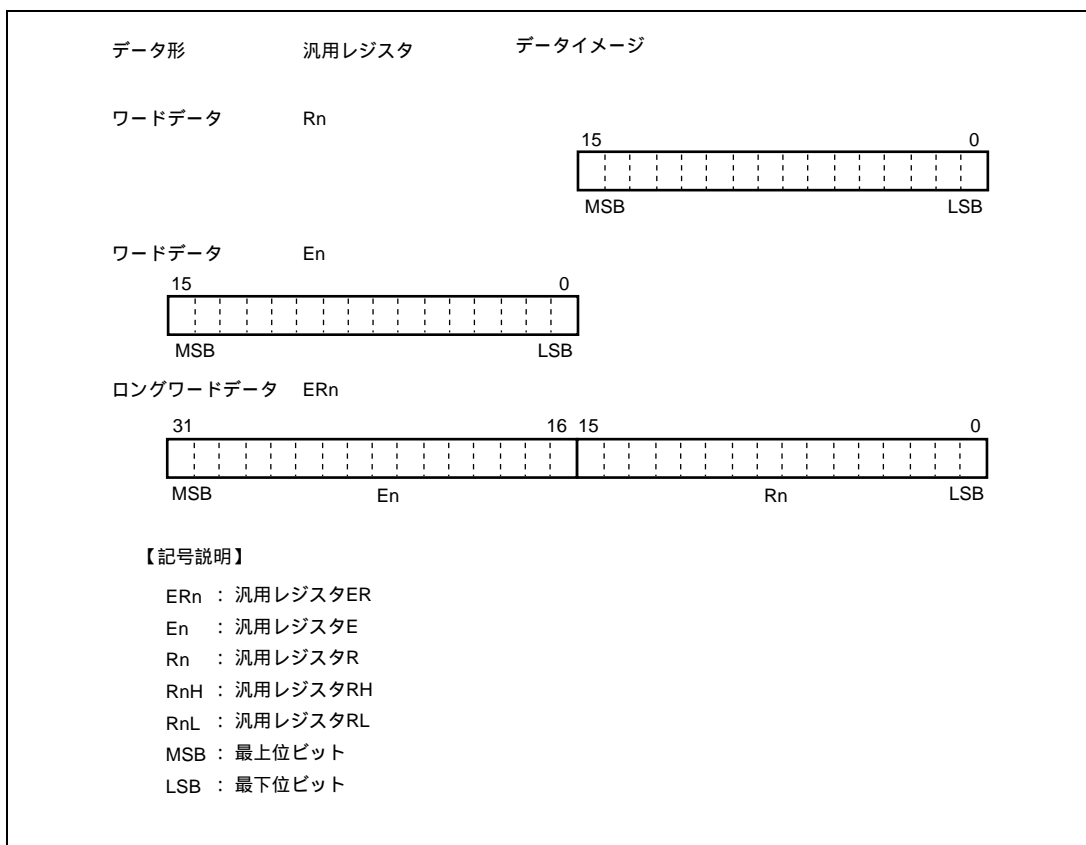


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

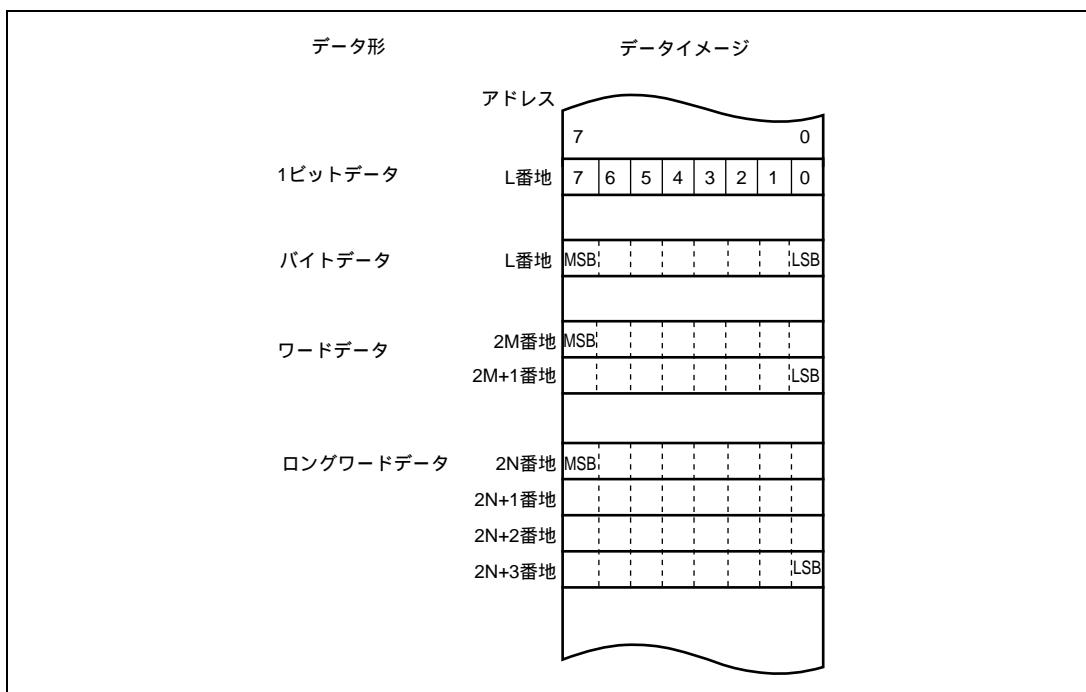


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B / W / L	5
	POP * ¹ , PUSH * ¹	W / L	
	LDM* ⁵ , STM* ⁵	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B / W / L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B / W / L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B / W	
	EXTU, EXTS	W / L	
	TAS* ⁴	B	
論理演算命令	AND, OR, XOR, NOT	B / W / L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B / W / L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

【記号説明】

B : バイト

W : ワード

L : ロングワード

【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。

また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。

*2 Bcc は条件分岐命令の総称です。

*3 本 LSI では使用できません。

*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*5 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

2. CPU

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ* ¹	機能
MOV	B / W / L	(EAs)→Rd, Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* ²	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* ²	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

*2 STM/LDM 命令を使用する場合は ER0 ~ ER6 を使用してください。

2. CPU

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B / W / L	$Rd \pm Rs \rightarrow Rd$, $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$, $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* ¹	機能
DIVXS	B / W	Rd ÷ Rs → Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビット、 32 ビット ÷ 16 ビット → 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B / W / L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	0 - Rd → Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W / L	Rd (ゼロ拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	Rd (符号拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd - 0、1 → (<ビット 7> of @ERd) メモリの内容をテストしたあと、最上位ビット (ビット 7) を 1 にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B / W / L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B / W / L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B / W / L	~Rd→Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B / W / L	Rd(シフト処理) →Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B / W / L	Rd(シフト処理) →Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B / W / L	Rd(ローテート処理) →Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B / W / L	Rd(ローテート処理) →Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

2. CPU

表 2.7 ビット操作命令 (2)

命令	サイズ*	機 能
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z (N⊕V)=0	BLE	Less or Equal	Z (N⊕V)=1
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z (N⊕V)=0																																																			
BLE	Less or Equal	Z (N⊕V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に移移します。
LDC	B / W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then Repeat @ER5+→@ER6+ R4L - 1→R4L Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then Repeat @ER5+→@ER6+ R4 - 1→R4 Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

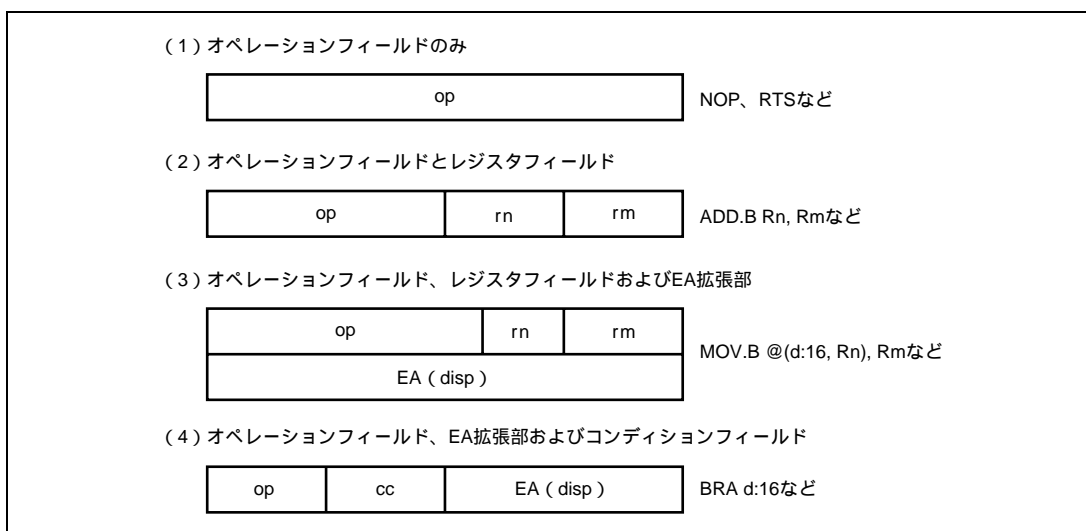


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

2.7.6 イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモード*のとき H'0000 ~ H'00FF、アドバンストモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

【注】 * 本 LSI では使用できません。

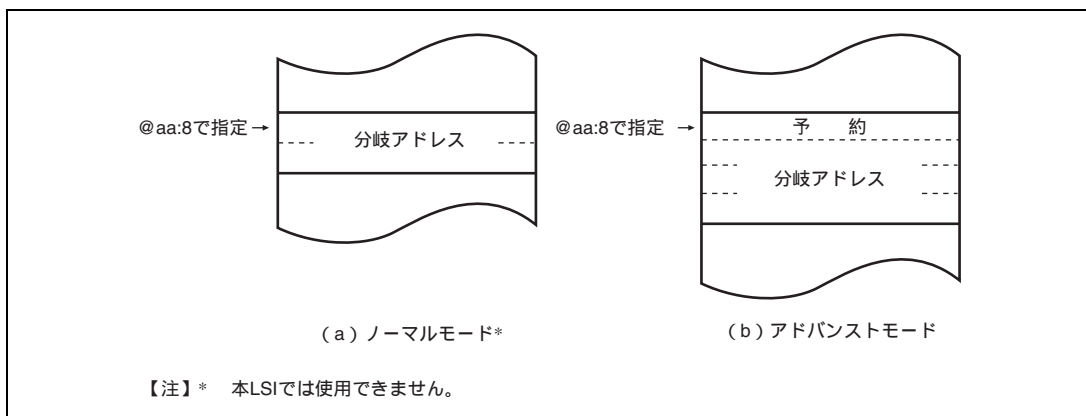
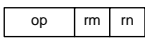

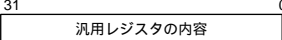
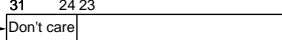
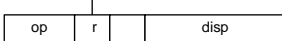
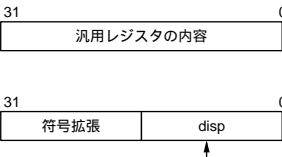
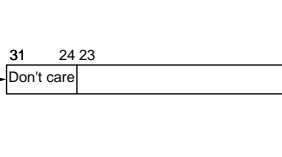


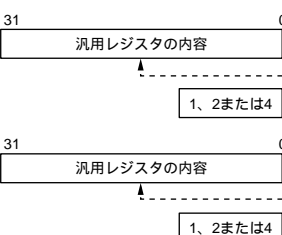
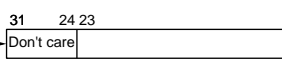
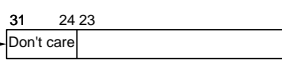


図 2.12 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。
 ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）								
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。								
2	レジスタ間接（@ERn） 										
3	ディスプレースメント付きレジスタ間接 @d:(d:16,ERn) / @:(d:32,ERn) 										
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 <table border="1" data-bbox="563 1155 802 1240"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	 
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

2. CPU

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
5	絶対アドレス @aa:8		
	@aa:16		
	@aa:24		
	@aa:32		
6	イミディエイト #xx:8 / #xx:16 / #xx:32		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)		
8	メモリ間接 @aa:8 ・ノーマルモード*		
	・アドバンストモード		

【注】 * 本LSIでは使用できません。

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

データトランスファコントローラ（DTC）を内蔵している製品で、CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- 低消費電力状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第22章 低消費電力状態」を参照してください。

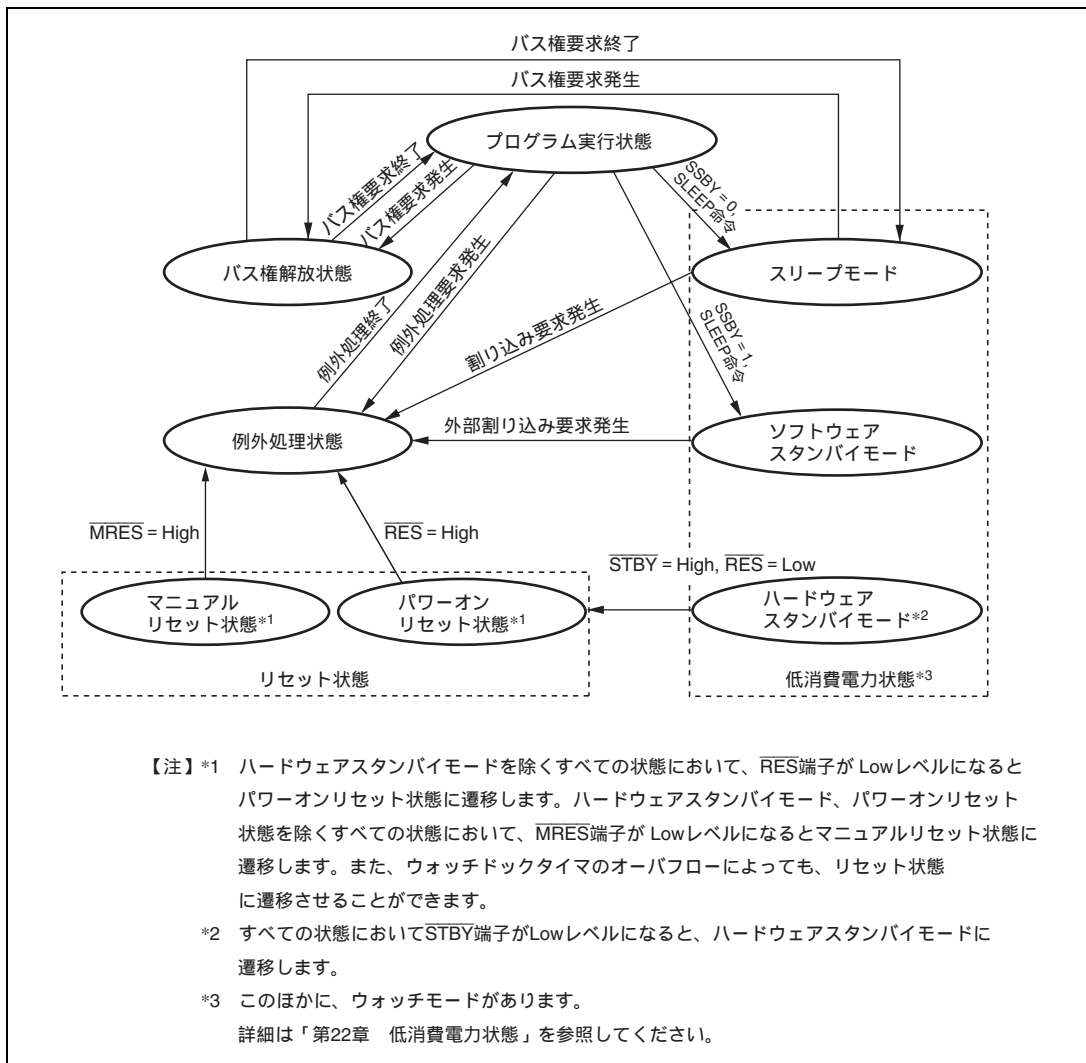


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

2.9.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、待避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で待避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。

そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

2.9.3 ビット操作命令使用上の注意事項

ライト専用ビットを含むレジスタに対してビット操作命令を使用すると本来操作すべきビットが正しく操作されない場合や、ビット操作に無関係のビットが変化することがあります。

ライト専用ビットを含むレジスタをリードすると固定値や不定値をリードします。したがって、リードした値を演算に使用するビット操作命令 (BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD) は正しいビット操作がされません。

また、演算したあとにリードしたデータに対してライトを伴うビット操作命令 (BSET、BCLR、BNOT、BST、BIST) はビット操作に無関係のビットが変化することがありますので、ライト専用ビットを含むレジスタに対してビット操作命令を行う場合は注意が必要です。

BSET、BCLR、BNOT、BST、BIST の各命令は、

1. バイト単位でデータをリード
2. リードしたデータを命令に従いビット操作
3. 再びバイト単位でデータをライト

の順番で動作を行います。

2. CPU

- 例 ポート1のP1DDRのビット4のみをクリアするのにBCLR命令を実行した場合

P1DDRは、8ビットのライト専用ビットで構成されたレジスタで、ポート1の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR命令でP14を入力ポートに指定する例を示します。現時点では、P17~P14は出力端子に、P13~P10は入力端子に設定されているとします。この時点で、P1DDRの値はH'F0です。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

P14を出力端子から入力端子に切り替えるには、P1DDRのビット4の値を1から0(H'F0→H'E0)に変えなければなりません。ここでBCLR命令を使ってP1DDRのビット4をクリアするとします。

BCLR #4, @P1DDR

しかし、ライト専用レジスタであるP1DDRに対して上記のようにビット操作命令を行うと以下のような不具合が発生する場合があります。

P1DDRに対して、最初にバイト単位でデータをリードしますが、このとき、リードされる値は不定値です。不定値は、レジスタ上では0または1となりますが、どちらの値がリードされるか解かりません。P1DDRはすべてライト専用ビットなので、どのビットでも不定値をリードします。ここでは、本来のP1DDRの値はH'F0ですが、ビット3が1となるH'F8がリードされたとします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
リード値	1	1	1	1	1	0	0	0

ビット操作は、このリードされた値に対して行われます。この例ではH'F8に対してビット4をクリアします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
ビット操作後	1	1	1	0	1	0	0	0

ビット操作を行ったあと、そのデータをP1DDRにライトしてBCLR命令を終了します。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	出力	入力	入力	入力
P1DDR	1	1	1	0	1	0	0	0
ライト値	1	1	1	0	1	0	0	0

本来は P1DDR の値を H'E0 に書き換えるはずでしたが、実際は H'E8 がライトされ、入力端子であるはずの P13 が出力端子に変化してしまいます。ここではリードしたときに P1DDR のビット 3 が 1 の場合について説明しましたが、P1DDR のビット 7～ビット 0 をリードした場合にはリード値は不定ですので、ビット操作命令終了後には 0 が 1 に変化したり、1 が 0 に変化したりしますので注意してください。このような事態を避けるために、ライト専用ビットを含むレジスタの値を変更する場合は、「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.9.4 ライト専用ビットを含むレジスタのアクセス方法

ライト専用ビットを含むレジスタからのデータ転送命令、またはライト専用ビットを含むレジスタに対してビット操作命令を行うと不定値をリードします。不定値をリードしないために、以下のような方法を用いてライト専用ビットを含むレジスタにアクセスしてください。

ライト専用ビットを含むレジスタにライトする際は、内蔵 RAM などのメモリ上にワークエリアを設け、そこに一度データをライトしてから、そのメモリに対してアクセスを行い、そのメモリのデータをライト専用ビットを含むレジスタにライトするようにしてください。

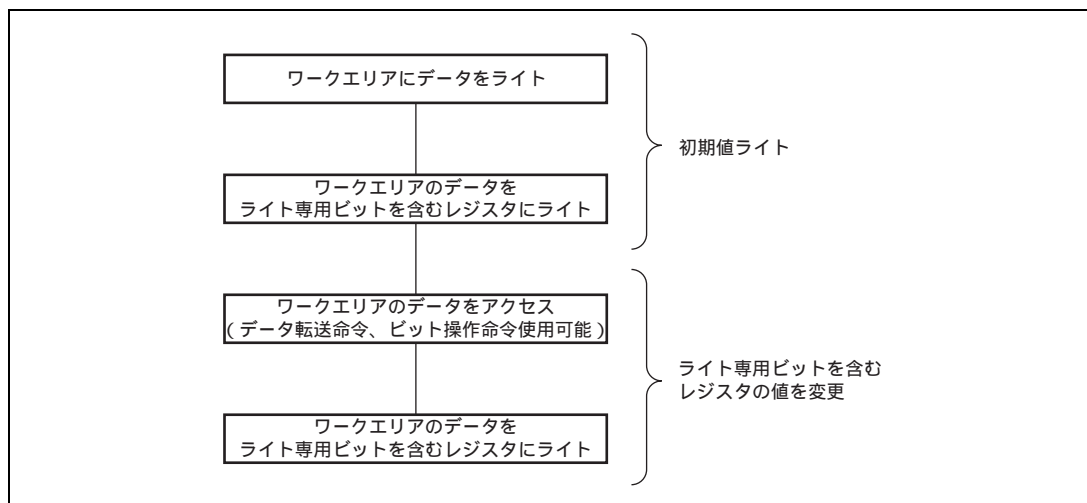


図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例

- 例 ポート1のP1DDRのビット4のみをクリアする場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

2. CPU

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。まず P1DDR にライトする初期値 H'F0 をあらかじめメモリ上のワークエリア (RAM0) にライトしておきます。

```
MOV.B #H'F0, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	1	0	0	0	0
------	---	---	---	---	---	---	---	---

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を 1 から 0 (H'F0→H'E0) に変えなければなりません。ここで BCLR 命令を RAM0 に対して行います。

```
BCLR #4, @RAM0
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

RAM0 はリード/ライト可能なので、ビット操作命令を行うと、RAM0 のビット 4 のみがクリアされます。この RAM0 の値を P1DDR にライトします。

```
MOV.B @RAM0, R0L
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	入力	入力	入力	入力
P1DDR	1	1	1	0	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

この手順でライト専用ビットを含むレジスタのアクセスを行えば、命令の種類に依存せずにプログラムを作ることができます。

3. MCU 動作モード

3.1 動作モードの選択

本 LSI は、2 種類の動作モード（モード 6、7）があります。各動作モードによって端子の機能が切り替わりま
す。動作モードはモード端子（MD2～MD0）の設定で決まります。モード 6 は、外部メモリおよび周辺デバイ
スをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラにより、
エリアごとに 8 ビットまたは 16 ビットアドレス空間にできます。また、いずれかの 1 つのエリアを 16 ビットア
ドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると、8 ビットバ
スモードとなります。

モード 7 は、外部アドレス空間を使用できません。また、モード端子は動作中に変化させないでください。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
6	1	1	0	アドバンスモード	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
7	1	1	1	アドバンスモード	シングルチップモード	有効	-	-

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は本 LSI の現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6~3		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2 1 0	MDS2 MDS1 MDS0	* * *	R R R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2~MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。

【注】 * MD2~MD0 端子の設定により決定されます。

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は割り込み制御モードの選択、NMI の検出エッジの選択、 $\overline{\text{MRES}}$ 端子入力の許可 / 禁止の選択、内蔵 RAM の有効 / 無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット ライトするときは0をライトしてください。
6		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.5.1 割り込み制御モードと割り込み動作」を参照してください。 00: 割り込み制御モード0 01: 設定禁止 10: 割り込み制御モード2 11: 設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0: NMI 入力の立ち下がりエッジで割り込み要求を発生 1: NMI 入力の立ち上がりエッジで割り込み要求を発生
2	MRESE	0	R/W	マニュアルリセット選択ビット $\overline{\text{MRES}}$ 端子の入力許可 / 禁止を選択します。 0: マニュアルリセットを禁止 1: マニュアルリセットを許可 $\overline{\text{MRES}}$ 入力端子として使用できます。
1		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したとき初期化されます。 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効

3.3 各動作モードの説明

3.3.1 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。リセット直後、ポート A、B、C は入力ポートになります。PF0CR の AE3 ~ AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23 ~ A8) 出力の許可 / 禁止を設定できます。ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。

ポート C では対応する DDR を 1 にセットするとアドレス (A7 ~ A0) は出力になります。

ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合は、16 ビットバスモードとなりポート E がデータバスとなります。

3.3.2 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレス空間は使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

3.3.3 端子機能

モード 6、7 における端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 6	モード 7
ポート A		P* / A	P
ポート B		P* / A	P
ポート C		P* / A	P
ポート D		D	P
ポート E		P* / D	P
ポート F	PF7	P / C*	P* / C
	PF6 ~ PF4	C	P
	PF3	P* / C	
	PF2 ~ PF0	P* / C	

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3.4 各動作モードのアドレスマップ

各製品のアドレスマップを図 3.1～図 3.3 に示します。

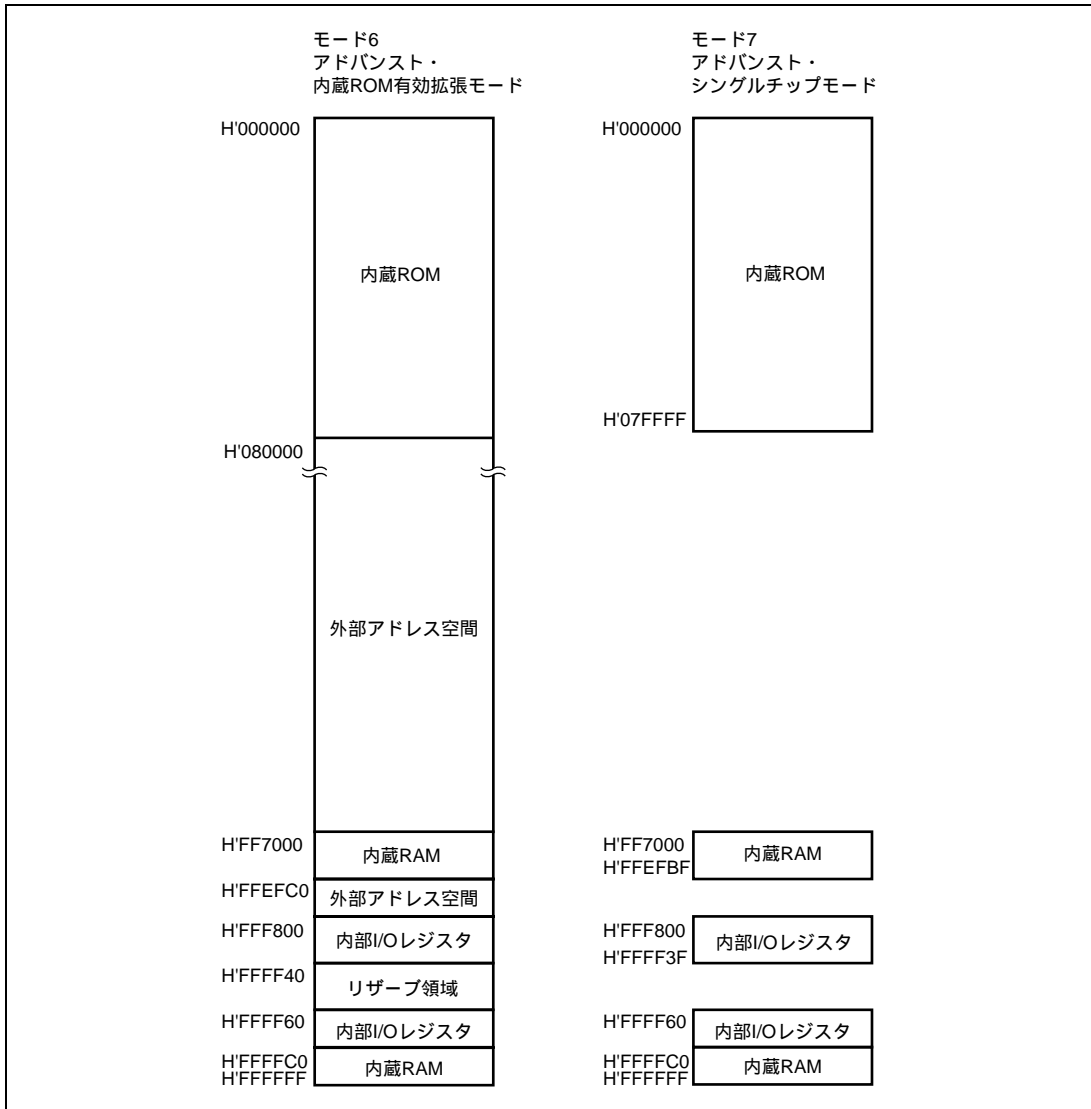


図 3.1 H8S/2556、H8S/2552、H8S/2506 のアドレスマップ

3. MCU 動作モード

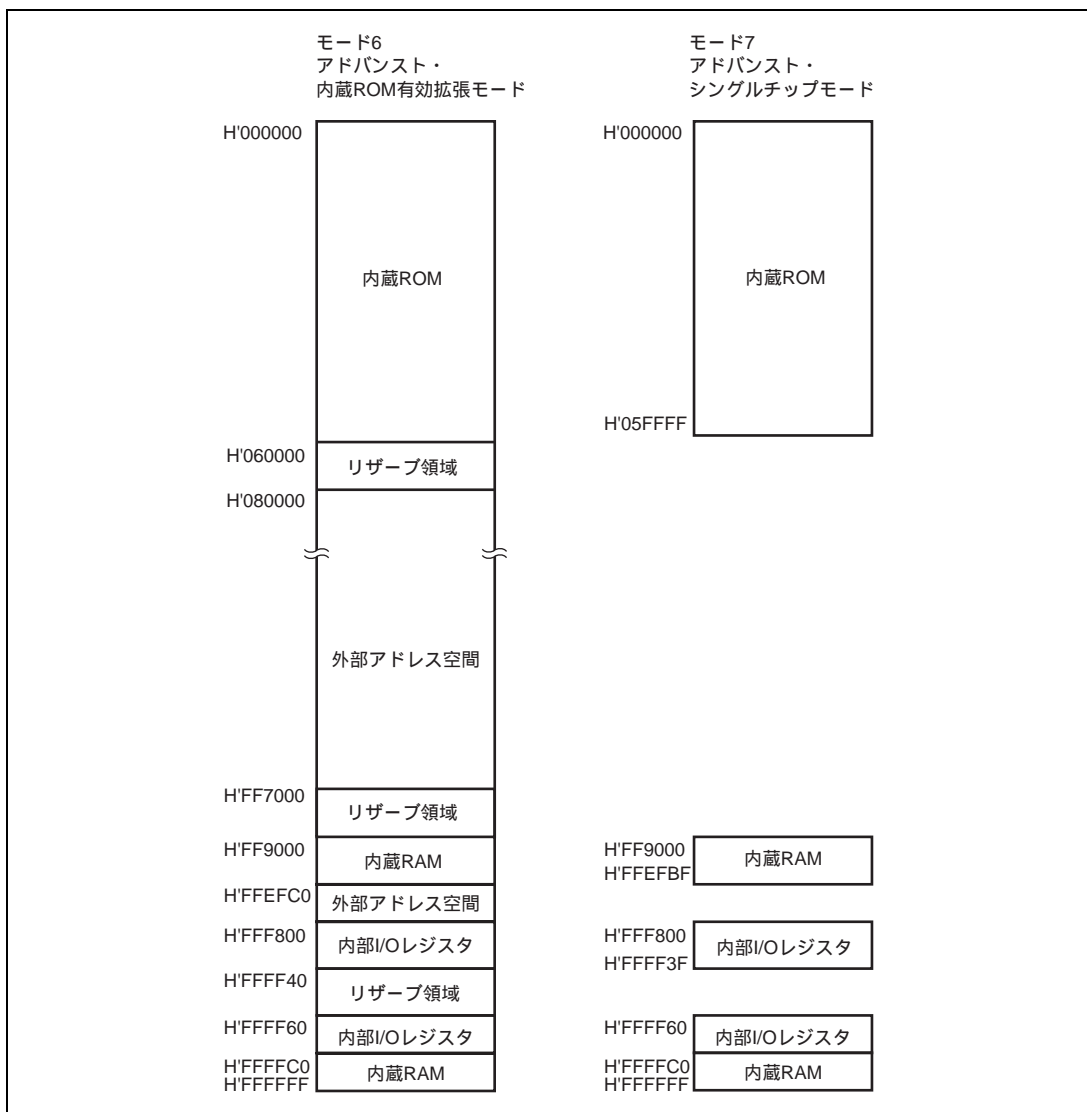


図 3.2 H8S/2551 のアドレスマップ

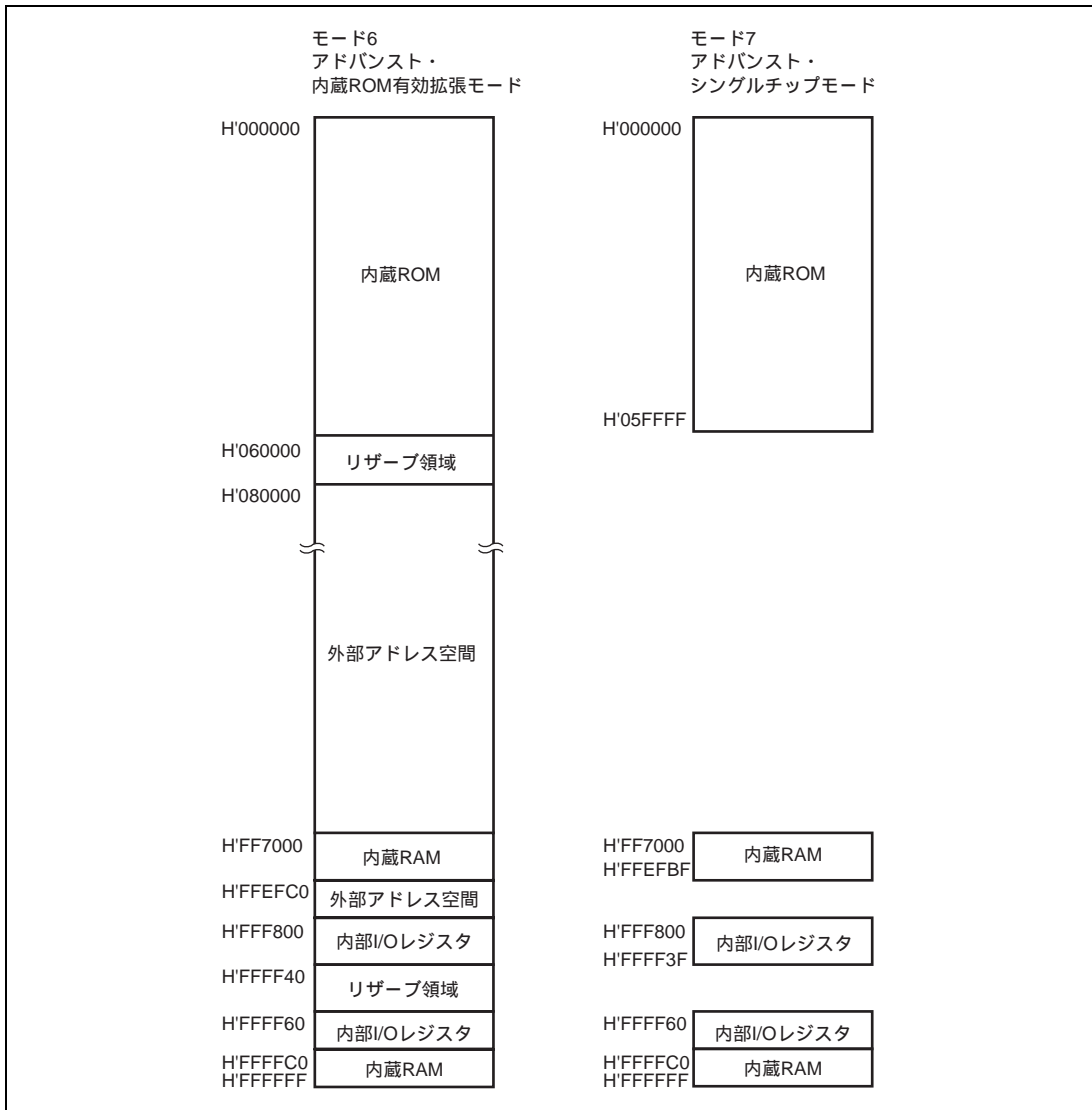


図 3.3 H8S/2505 のアドレスマップ

3. MCU 動作モード

4. 例外処理

4.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トレース、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子、MRES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバーフローにより開始します。RES 端子が Low レベルのときパワーオンリセット状態になります。MRES 端子が Low レベルのときマニュアルリセット状態になります。
	トレース	トレース (T) ビットが 1 の状態で、命令または例外処理の実行終了時に開始します。トレースは割り込み制御モード 2 のみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1
		アドバンストモード
パワーオンリセット	0	H'0000 ~ H'0003
マニュアルリセット	1	H'0004 ~ H'0007
システム予約	2	H'0008 ~ H'000B
	3	H'000C ~ H'000F
	4	H'0010 ~ H'0013
トレース	5	H'0014 ~ H'0017
直接遷移*3	6	H'0018 ~ H'001B
外部割り込み NMI	7	H'001C ~ H'001F
トラップ命令 (4 要因)	8	H'0020 ~ H'0023
	9	H'0024 ~ H'0027
	10	H'0028 ~ H'002B
	11	H'002C ~ H'002F
システム予約	12	H'0030 ~ H'0033
	13	H'0034 ~ H'0037
	14	H'0038 ~ H'003B
	15	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0044 ~ H'0047
外部割り込み IRQ2	18	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0050 ~ H'0053
外部割り込み IRQ5	21	H'0054 ~ H'0057
外部割り込み IRQ6	22	H'0058 ~ H'005B
外部割り込み IRQ7	23	H'005C ~ H'005F
内部割り込み*2	24	H'0060 ~ H'0063
	 127	 H'01FC ~ H'01FF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.4.3 割り込み例外処理ベクタテーブル」を参照してください。

*3 本 LSI では使用できません。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.3.1 リセットの種類

リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

表 4.3 リセットの種類

種類	リセットへの遷移条件		内部状態	
	$\overline{\text{MRES}}$	RES	CPU	内蔵周辺モジュール
パワーオンリセット	*	Low	初期化	初期化
マニュアルリセット	Low	High	初期化	バスコントローラ、I/O ポート以外初期化

【記号説明】 *Don't care

ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの 2 種類があります。

なお、 $\overline{\text{MRES}}$ 端子を使用する場合は、SYSCR の MRESE ビットで、 $\overline{\text{MRES}}$ 端子を入力許可 (MRESE=1) に設定してください。

4. 例外処理

4.3.2 リセット例外処理

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子が $\overline{\text{MRES}}$ 端子を最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$ 端子が $\overline{\text{MRES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送したあと、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。

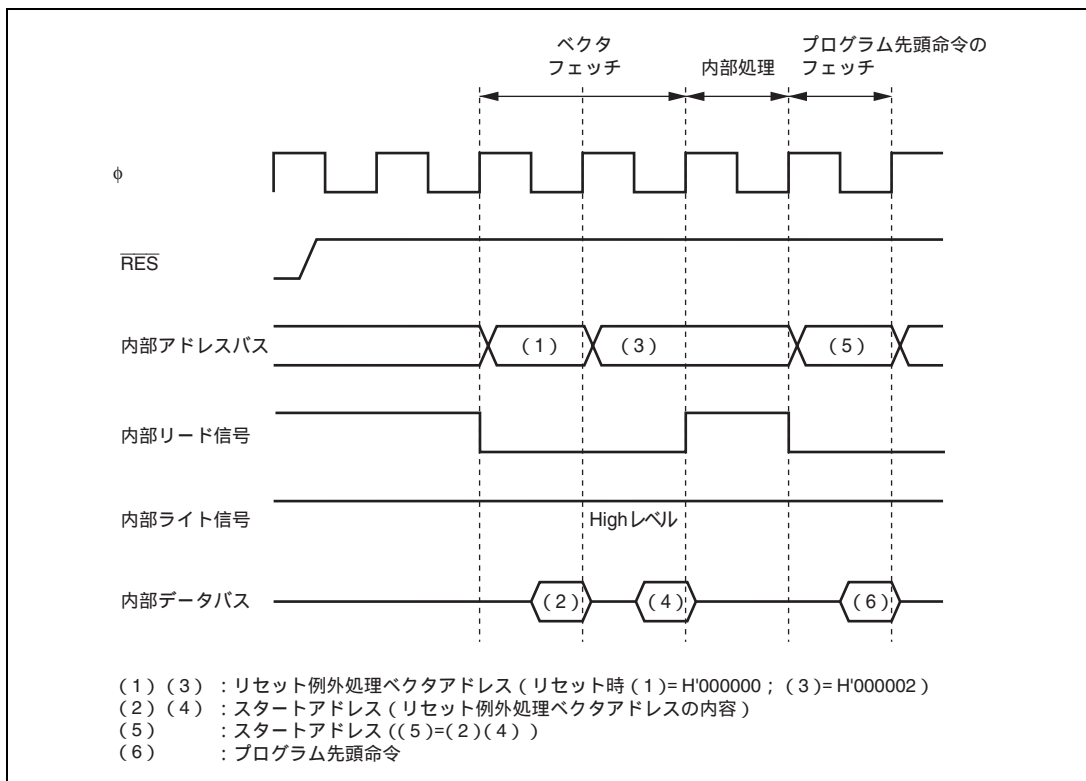


図 4.1 リセットシーケンス (アドバンスモード / 内蔵 ROM 有効)

4.3.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx:32, SP)。

4.3.4 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'3F、MSTPCRB、MSTPCRC は H'FF に初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4.4 トレース例外処理

トレースは、割り込み制御モード 2 で有効です。割り込み制御モード 0 では、T ビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第 5 章 割り込みコントローラ」を参照してください。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。表 4.4 にトレース命令例外処理実行後の CCR、EXR の状態を示します。トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。RTE 命令実行後は、トレース例外処理を行いません。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.5 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
2. 割り込みマスクビットを更新します。Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
2. 割り込みマスクビットを更新します。Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した0~3のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

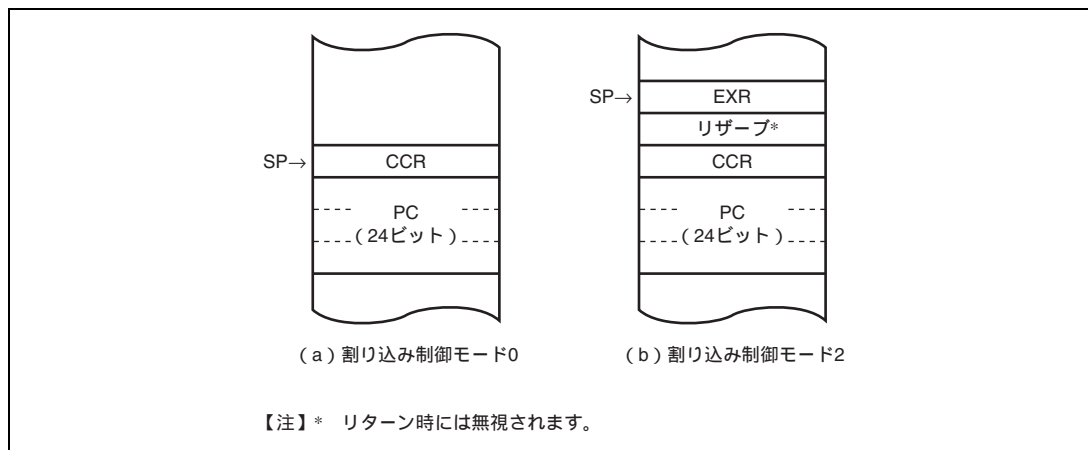


図 4.2 例外処理終了後のスタックの状態（アドバンスモード）

4.8 使用上の注意事項

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.3 に示します。

4. 例外処理

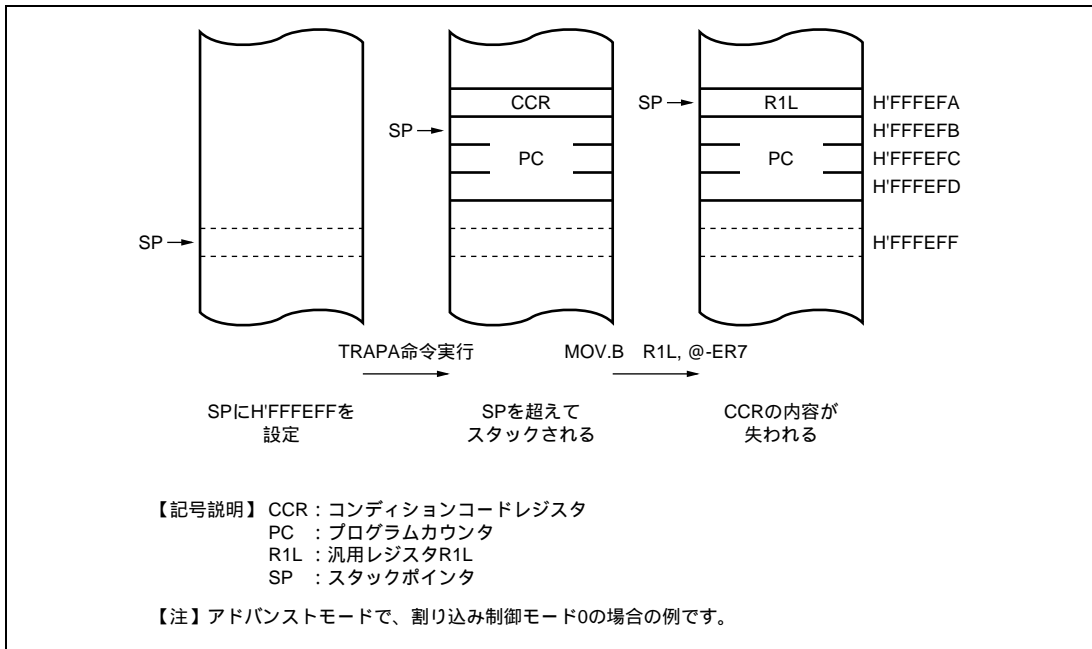


図 4.3 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

- 2種類の割り込み制御モード

システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2種類の割り込み制御モードを設定できます。

- IPR により、優先順位を設定可能

割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) により、NMI 以外の割り込みは、モジュールごとに 8 レベルの優先順位を設定できます。

NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。

- 独立したベクタアドレス

すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 9本の外部割り込み端子

NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。

$\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

- DTC の制御

割り込み要求により DTC を起動することができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

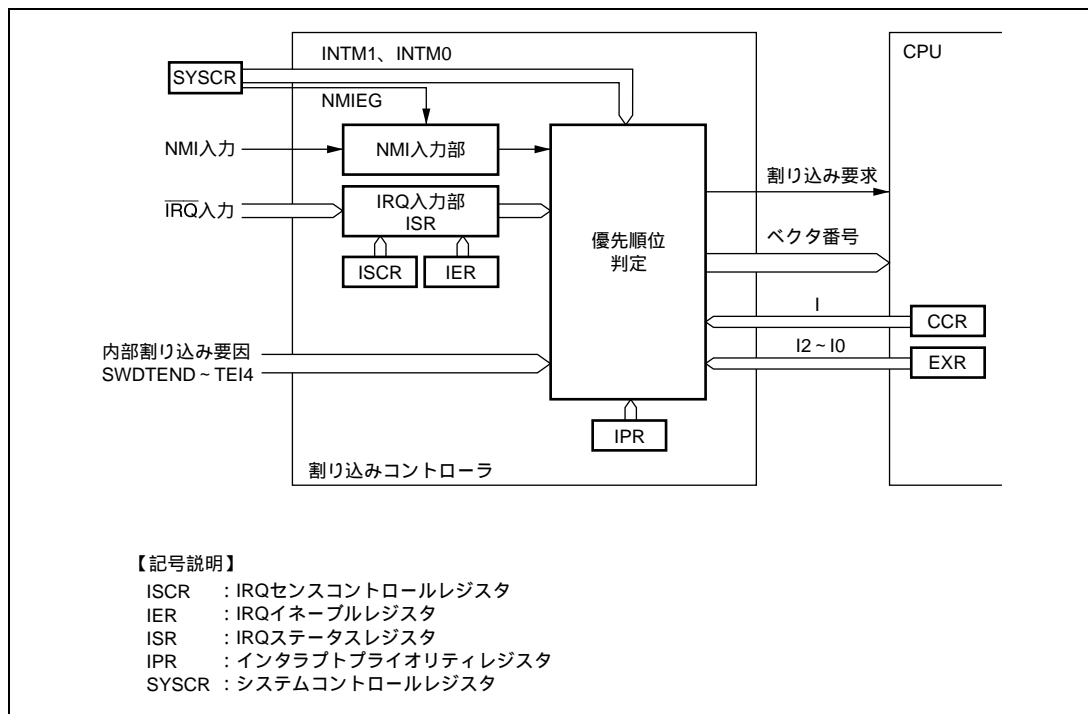


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスク可能外部割り込み 立ち上がりエッジまたは立ち下がりエッジを選択可能。
$\overline{\text{IRQ7}}$	入力	マスク可能な外部割り込み
$\overline{\text{IRQ6}}$	入力	立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能。
$\overline{\text{IRQ5}}$	入力	
$\overline{\text{IRQ4}}$	入力	
$\overline{\text{IRQ3}}$	入力	
$\overline{\text{IRQ2}}$	入力	
$\overline{\text{IRQ1}}$	入力	
$\overline{\text{IRQ0}}$	入力	

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- システムコントロールレジスタ (SYSCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)
- インタラプトプライオリティレジスタL (IPRL)
- インタラプトプライオリティレジスタM (IPRM)
- インタラプトプライオリティレジスタO (IPRO)

5.3.1 インタラプトプライオリティレジスタ A~M、O (IPRA~IPRM、IPRO)

IPR は 8 ビットのリード/ライト可能な 14 本のレジスタで、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。各割り込み要因と IPR の対応を「5.4.3 割り込み例外処理ベクタテーブル」に示します。

ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値をセットすることによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説 明
7		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

5. 割り込みコントローラ

5.3.2 IRQ イネーブルレジスタ (IER)

IER は、IRQ7 ~ IRQ0 割り込み要求の許可または禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが 1 のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが 1 のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります

5.3.3 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B IRQ7 センスコントロール A 00 : $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SCA	0	R/W	
13	IRQ6SCB	0	R/W	IRQ6 センスコントロール B IRQ6 センスコントロール A 00 : $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
12	IRQ6SCA	0	R/W	

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
11 10	IRQ5SCB IRQ5SCA	0 0	R/W R/W	IRQ5 センスコントロール B IRQ5 センスコントロール A 00 : $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9 8	IRQ4SCB IRQ4SCA	0 0	R/W R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00 : $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7 6	IRQ3SCB IRQ3SCA	0 0	R/W R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00 : $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4	IRQ2SCB IRQ2SCA	0 0	R/W R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00 : $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3 2	IRQ1SCB IRQ1SCA	0 0	R/W R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1 0	IRQ0SCB IRQ0SCA	0 0	R/W R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

5.3.4 IRQ ステータスレジスタ (ISR)

ISR は、IRQ7 ~ IRQ0 割り込み要求のステータス表示を行います。

ビット	ビット名	初期値	R/W*	説明
7	IRQ7F	0	R/W	IRQ7 ~ IRQ0 フラグ
6	IRQ6F	0	R/W	IRQ7 ~ IRQ0 割り込み要求のステータス表示を行います。
5	IRQ5F	0	R/W	[セット条件]
4	IRQ4F	0	R/W	• ISCR で選択した割り込み要因が発生したとき
3	IRQ3F	0	R/W	[クリア条件]
2	IRQ2F	0	R/W	• 1 の状態をリードしたあと、0 をライトしたとき
1	IRQ1F	0	R/W	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ ($n=0 \sim 7$) 入力が高レベルの状態、割り込み例外処理を実行したとき
0	IRQ0F	0	R/W	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で転送カウンタが 0 でないとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

5.4 割り込み要因

5.4.1 外部割り込み

外部割り込みには、NMI、IRQ7 ~ IRQ0 の 9 要因があります。各外部割り込みは、ソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

(2) IRQ7 ~ IRQ0 割り込み

IRQ7 ~ IRQ0 割り込みは $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ7 ~ IRQ0 割り込みには次の特長があります。

- $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジ、または両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- IRQ7 ~ IRQ0 割り込み要求を許可するか禁止するかを、IER で選択できます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ7 ~ IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ7～IRQ0 割り込みのブロック図を図 5.2 に示します。

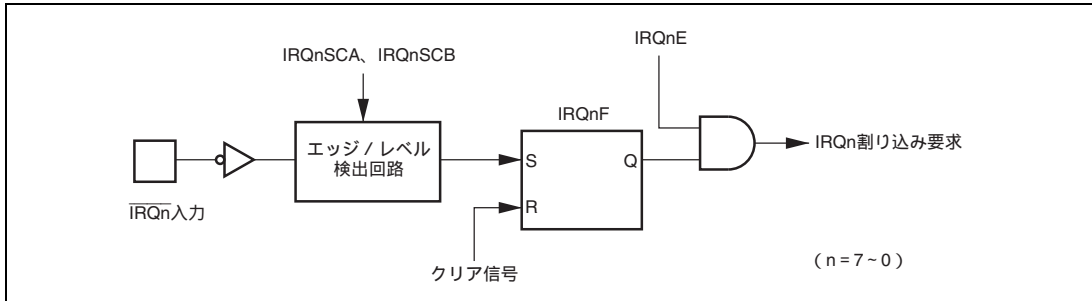


図 5.2 IRQ7～IRQ0 割り込みのブロック図

IRQ7F～IRQ0F のセットタイミングを図 5.3 に示します。

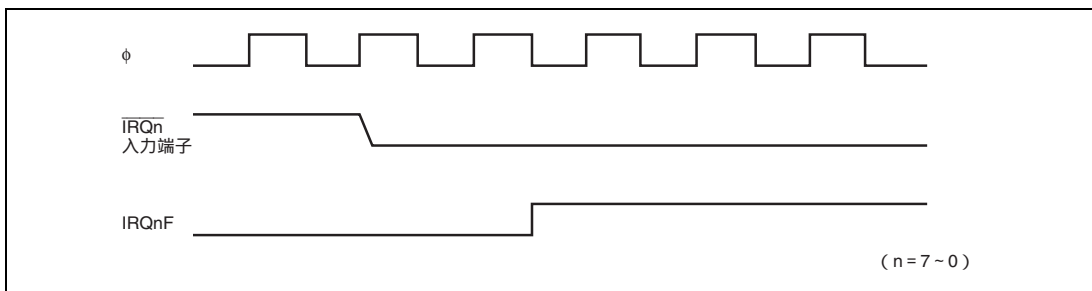


図 5.3 IRQ7F～IRQ0F のセットタイミング

IRQ7～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてその他の機能の入出力端子としては使用しないでください。また、割り込み要求フラグ IRQ7F～IRQ0F は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

5.4.2 内部割り込み

各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに送られます。

5.4.3 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、IPR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合は、デフォルトの優先順位に従います。またモジュール内の優先順位は、固定されています。

5. 割り込みコントローラ

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンストモード		
外部端子	NMI	7	H'001C		高 ↑ 低
	IRQ0	16	H'0040	IPRA6 ~ IPRA4	
	IRQ1	17	H'0044	IPRA2 ~ IPRA0	
	IRQ2	18	H'0048	IPRB6 ~ IPRB4	
	IRQ3	19	H'004C		
	IRQ4	20	H'0050	IPRB2 ~ IPRB0	
	IRQ5	21	H'0054		
	IRQ6	22	H'0058	IPRC6 ~ IPRC4	
	IRQ7	23	H'005C		
DTC	SWDTEND (ソフトウェア起動データ転送終了)	24	H'0060	IPRC2 ~ IPRC0	
ウォッチドッグ タイマ 0	WOVI0 (インターバルタイマ 0)	25	H'0064	IPRD6 ~ IPRD4	
PC ブレーク	PC ブレーク	27	H'006C	IPRE6 ~ IPRE4	
A/D	ADI (A/D 変換終了)	28	H'0070	IPRE2 ~ IPRE0	
ウォッチドッグ タイマ 1	WOVI1 (インターバルタイマ 1)	29	H'0074		
-	リザーブ	30 31	H'0078 H'007C		
TPU チャンネル 0	TGI0A (TGR0A インพุットキャプチャ/ コンペアマッチ)	32	H'0080	IPRF6 ~ IPRF4	
	TGI0B (TGR0B インพุットキャプチャ/ コンペアマッチ)	33	H'0084		
	TGI0C (TGR0C インพุットキャプチャ/ コンペアマッチ)	34	H'0088		
	TGI0D (TGR0D インพุットキャプチャ/ コンペアマッチ)	35	H'008C		
	TCI0V (オーバフロー 0)	36	H'0090		
-	リザーブ	37 38 39	H'0094 H'0098 H'009C		

5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスモード		
TPU チャンネル 1	TGI1A (TGR1A インพุットキャプチャ/ コンペアマッチ)	40	H'00A0	IPRF2 ~ IPRF0	高 ↑
	TGI1B (TGR1B インพุットキャプチャ/ コンペアマッチ)	41	H'00A4		
	TCI1V (オーバフロー-1)	42	H'00A8		
	TCI1U (アンダフロー-1)	43	H'00AC		
TPU チャンネル 2	TGI2A (TGR2A インพุットキャプチャ/ コンペアマッチ)	44	H'00B0	IPRG6 ~ IPRG4	
	TGI2B (TGR2B インพุットキャプチャ/ コンペアマッチ)	45	H'00B4		
	TCI2V (オーバフロー-2)	46	H'00B8		
	TCI2U (アンダフロー-2)	47	H'00BC		
TPU チャンネル 3	TGI3A (TGR3A インพุットキャプチャ/ コンペアマッチ)	48	H'00C0	IPRG2 ~ IPRG0	
	TGI3B (TGR3B インพุットキャプチャ/ コンペアマッチ)	49	H'00C4		
	TGI3C (TGR3C インพุットキャプチャ/ コンペアマッチ)	50	H'00C8		
	TGI3D (TGR3D インพุットキャプチャ/ コンペアマッチ)	51	H'00CC		
	TCI3V (オーバフロー-3)	52	H'00D0		
-	リザーブ	53	H'00D4		
		54	H'00D8		
		55	H'00DC		
TPU チャンネル 4	TGI4A (TGR4A インพุットキャプチャ/ コンペアマッチ)	56	H'00E0	IPRH6 ~ IPRH4	
	TGI4B (TGR4B インพุットキャプチャ/ コンペアマッチ)	57	H'00E4		
	TCI4V (オーバフロー-4)	58	H'00E8		
	TCI4U (アンダフロー-4)	59	H'00EC		
TPU チャンネル 5	TGI5A (TGR5A インพุットキャプチャ/ コンペアマッチ)	60	H'00F0	IPRH2 ~ IPRH0	低
	TGI5B (TGR5B インพุットキャプチャ/ コンペアマッチ)	61	H'00F4		
	TCI5V (オーバフロー-5)	62	H'00F8		
	TCI5U (アンダフロー-5)	63	H'00FC		

5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンストモード		
8ビットタイム チャンネル0	CMIA0 (コンペアマッチ A0)	64	H'0100	IPRI6 ~ IPRJ4	↑ 高
	CMIB0 (コンペアマッチ B0)	65	H'0104		
	OVI0 (オーバフロー0)	66	H'0108		
-	リザーブ	67	H'010C		
8ビットタイム チャンネル1	CMIA1 (コンペアマッチ A1)	68	H'0110	IPRI2 ~ IPRJ0	
	CMIB1 (コンペアマッチ B1)	69	H'0114		
	OVI1 (オーバフロー1)	70	H'0118		
-	リザーブ	71	H'011C		
SCI チャンネル0	ERI0 (受信エラー0)	80	H'0140	IPRJ2 ~ IPRJ0	
	RXI0 (受信完了0)	81	H'0144		
	TXI0 (送信データエンプティ0)	82	H'0148		
	TEI0 (送信終了0)	83	H'014C		
SCI チャンネル1	ERI1 (受信エラー1)	84	H'0150	IPRK6 ~ IPRK4	
	RXI1 (受信完了1)	85	H'0154		
	TXI1 (送信データエンプティ1)	86	H'0158		
	TEI1 (送信終了1)	87	H'015C		
SCI チャンネル2	ERI2 (受信エラー2)	88	H'0160	IPRK2 ~ IPRK0	
	RXI2 (受信完了2)	89	H'0164		
	TXI2 (送信データエンプティ2)	90	H'0168		
	TEI2 (送信終了2)	91	H'016C		
8ビットタイム チャンネル2	CMIA2 (コンペアマッチ A2)	92	H'0170	IPRL6 ~ IPRL4	
	CMIB2 (コンペアマッチ B2)	93	H'0174		
	OVI2 (オーバフロー2)	94	H'0178		
-	リザーブ	95	H'017C		
8ビットタイム チャンネル3	CMIA3 (コンペアマッチ A3)	96	H'0180		
	CMIB3 (コンペアマッチ B3)	97	H'0184		
	OVI3 (オーバフロー3)	98	H'0188		
-	リザーブ	99	H'018C		
IEB (H8S/2552 グループのみ)	IERSI (受信ステータス)	104	H'01A0	IPRM6 ~ IPRM4	
	IERxI (RxRDY)	105	H'01A4		
	IETxI (TxRDY)	106	H'01A8		
	IETSI (送信ステータス)	107	H'01AC		
					↓ 低

5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスモード		
HCAN (H8S/2556 グループのみ)	ERS0、OVR0、RM1、SLE0	108	H'01B0	IPRM2 ~ IPRM0	↑ 高
	RM0	109	H'01B4		
IIC2 チャンネル 0	IIC10 (1 バイト送信 / 受信完了)	110	H'01B8		
IIC2 チャンネル 1	IIC11 (1 バイト送信 / 受信完了)	111	H'01BC		
SCI チャンネル 3	ERI3 (受信エラー 3)	120	H'01E0	IPRO6 ~ IPRO4	↑ 高 ↓ 低
	RX13 (受信完了 3)	121	H'01E4		
	TX13 (送信データエンプティ 3)	122	H'01E8		
	TE13 (送信終了 3)	123	H'01EC		
SCI チャンネル 4	ERI4 (受信エラー 4)	124	H'01F0	IPRO2 ~ IPRO0	
	RX14 (受信完了 4)	125	H'01F4		
	TX14 (送信データエンプティ 4)	126	H'01F8		
	TE14 (送信終了 4)	127	H'01FC		

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.5 割り込み動作

5.5.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.3 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定、および、CPU の CCR の I ビット、EXR の I2~I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.3 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0		1	1 ビットにより、割り込みマスク制御を行います。
		1			設定禁止
2	1	0	IPR	I2~I0	I2~I0 ビットにより、8 レベルの割り込みマスク制御 を行います。 IPR により、8 レベルの優先順位の設定ができます。
		1			設定禁止

図 5.4 に優先順位判定回路のブロック図を示します。

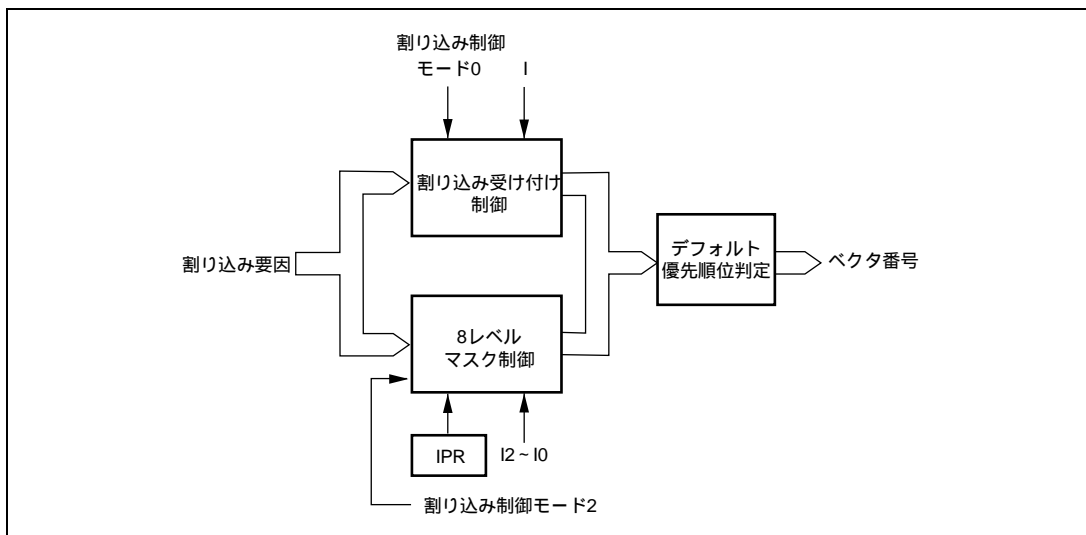


図 5.4 割り込み制御動作のブロック図

(1) 割り込み受け付け制御

割り込み制御モード0のとき、CCRのIビットにより割り込み受け付け制御を行います。

表 5.4 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.4 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2	*	すべての割り込み

【記号説明】 * : Don't care

(2) 8レベル制御

割り込み制御モード2のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル (IPR) に従った8レベルのマスクレベル判定を行います。

IPRで設定したプライオリティレベルが、マスクレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

5. 割り込みコントローラ

表 5.5 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスクレベルより大きい (IPR > I2 ~ I0) かつ、プライオリティレベル (IPR) が最大の割り込み

(3) デフォルト優先順位判定

8 レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.6 に割り込み制御モードと動作および制御信号機能を示します。

表 5.6 割り込み制御モードと動作および制御信号機能

割り込み制御 モード	設 定		割り込み受け付け制御		8 レベル制御			デフォルト優先順位 判定	T (トレース)
	INTM1	INTM0		I	I2 ~ I0	IPR			
0	0	0		IM	x	-	- *2		-
2	1	0	x	- *1		IM	PR		T

【記号説明】

- : 割り込み動作制御を行います。
- x : 動作しません。(割り込みはすべて許可)
- IM : 割り込みマスクビットとして使用。
- PR : 優先順位を設定。
- : 使用しません。

【注】 *1 割り込み受け付け時に 1 にセットされます。

*2 初期設定値を保持してください。

5.5.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビットによって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

- 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。

3. 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択され、その他は保留となります。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
6. 次にCCRのIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

5. 割り込みコントローラ

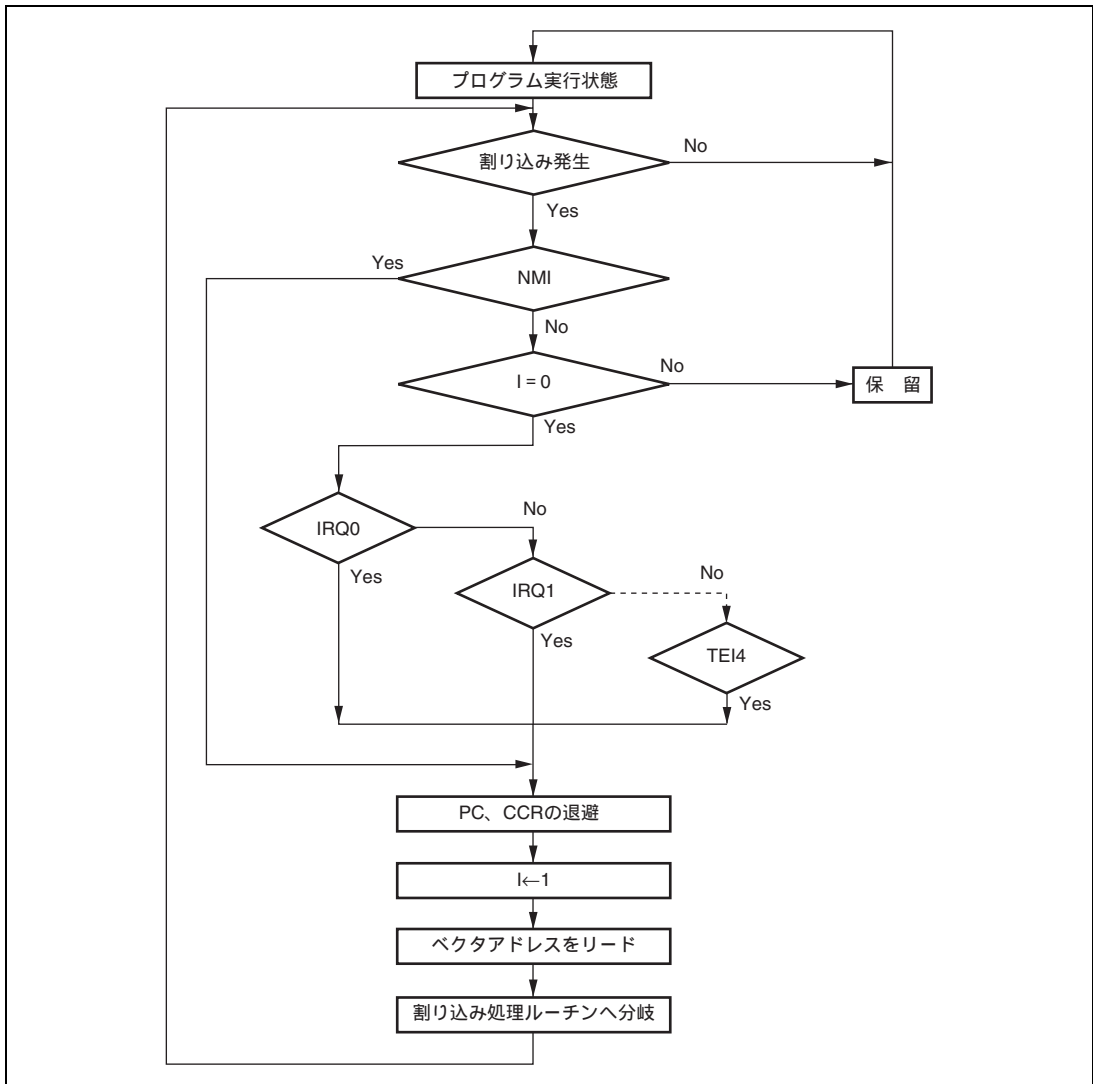


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.5.3 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル(I2~I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
2. 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.2に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
3. その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

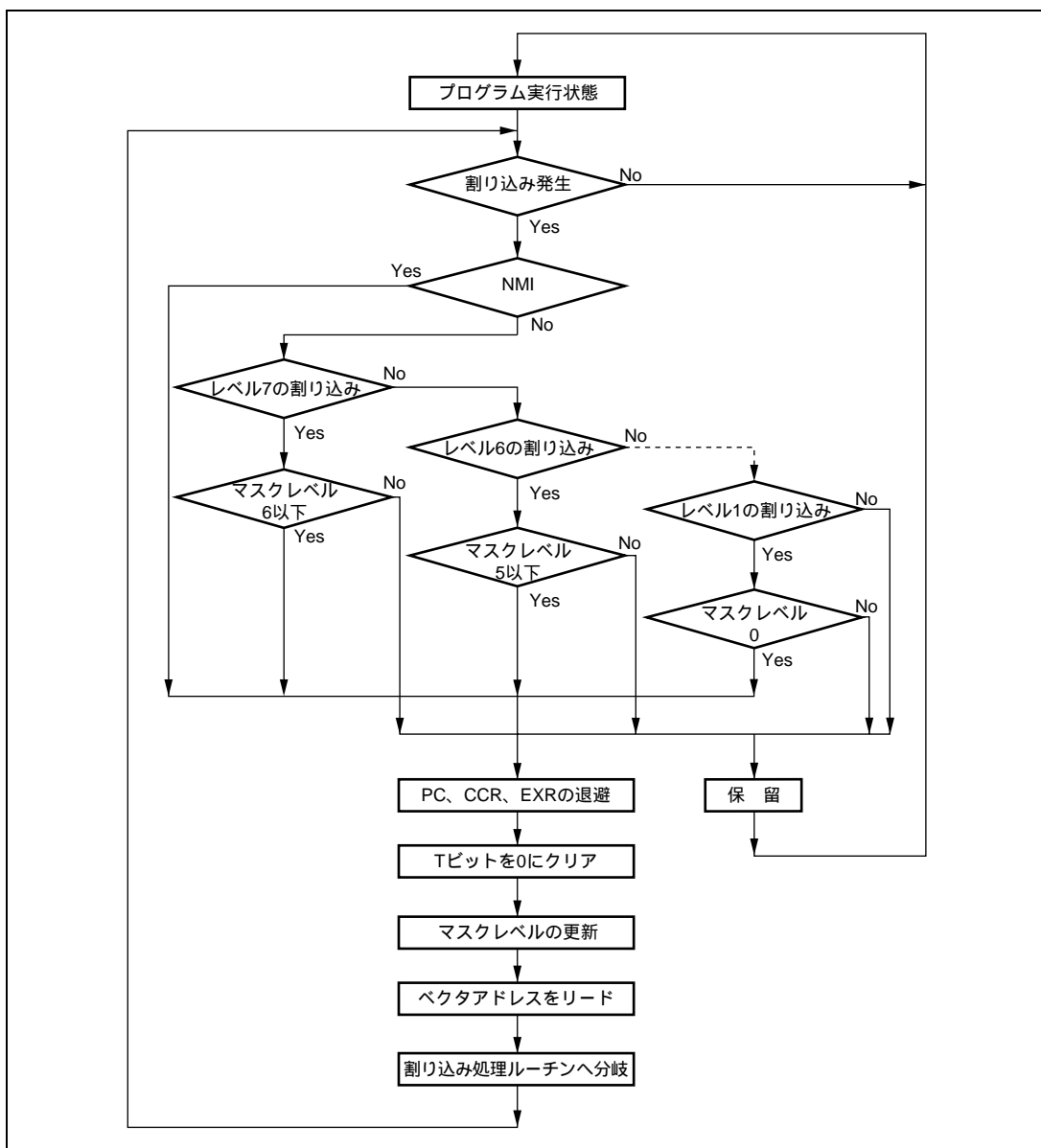


図 5.6 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.5.4 割り込み例外処理シーケンス

図 5.7 に、割り込み例外処理シーケンスを示します。アドバンスドモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

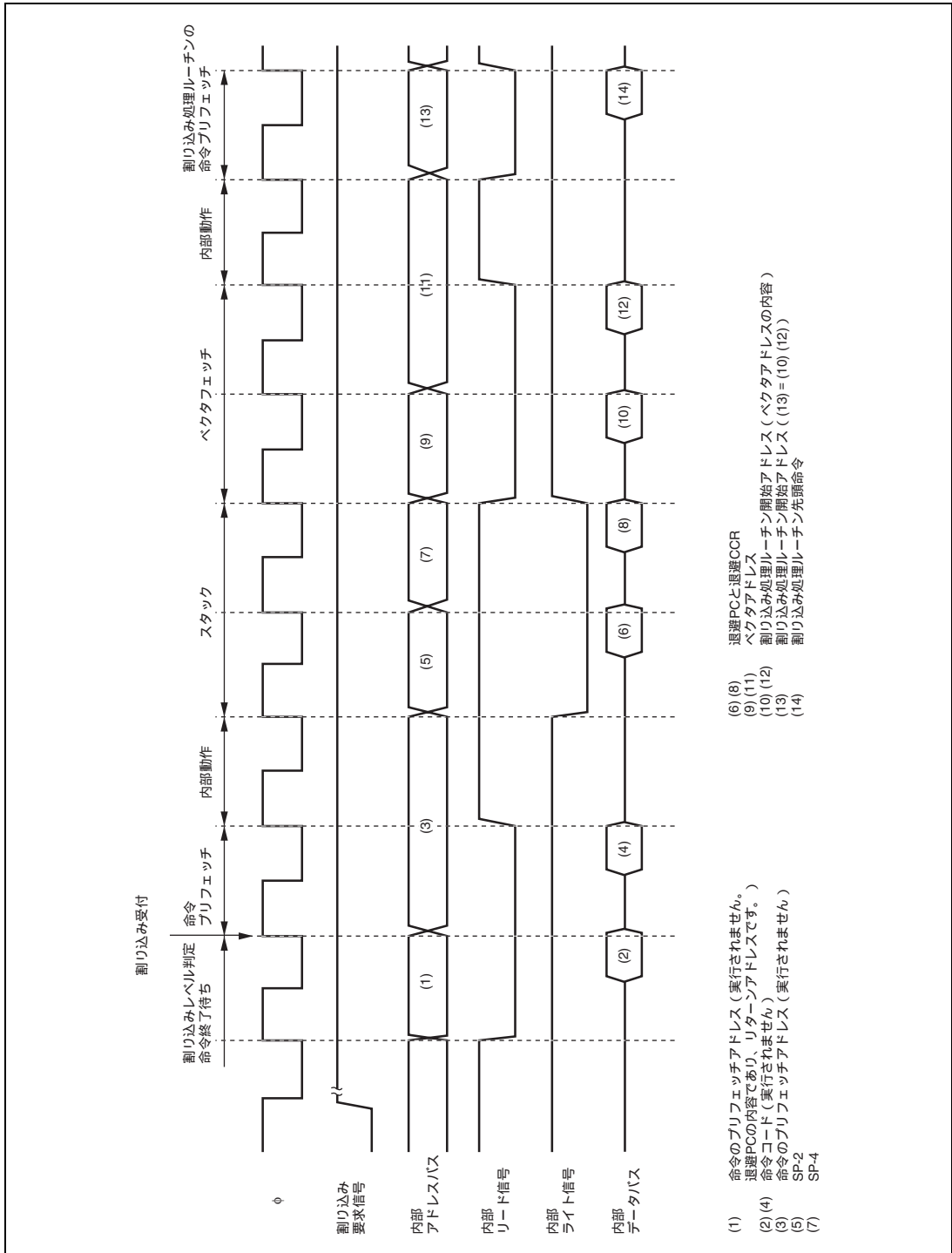


図 5.7 割り込み例外処理

5. 割り込みコントローラ

5.5.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.7 に示します。表 5.7 の実行状態の記号については表 5.8 を参照してください。

表 5.7 割り込み応答時間

No	実行状態	ノーマルモード*5		アドバンスモード	
		INTM1 = 0	INTM1 = 1	INTM1 = 0	INTM1 = 1
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ち状態数*2	$(1 \sim 19) + 2 \cdot S_i$			
3	PC、CCR、および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。

表 5.8 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス*			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

- 【注】 * 本 LSI では使用できません。

5.5.6 割り込みによる DTC の起動

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. 1.~2.の複数の選択

なお、DTC を起動できる割り込み要求については、「第 8 章 データトランスファコントローラ (DTC) 」を参照してください。図 5.8 に DTC と割り込みコントローラのブロック図を示します。

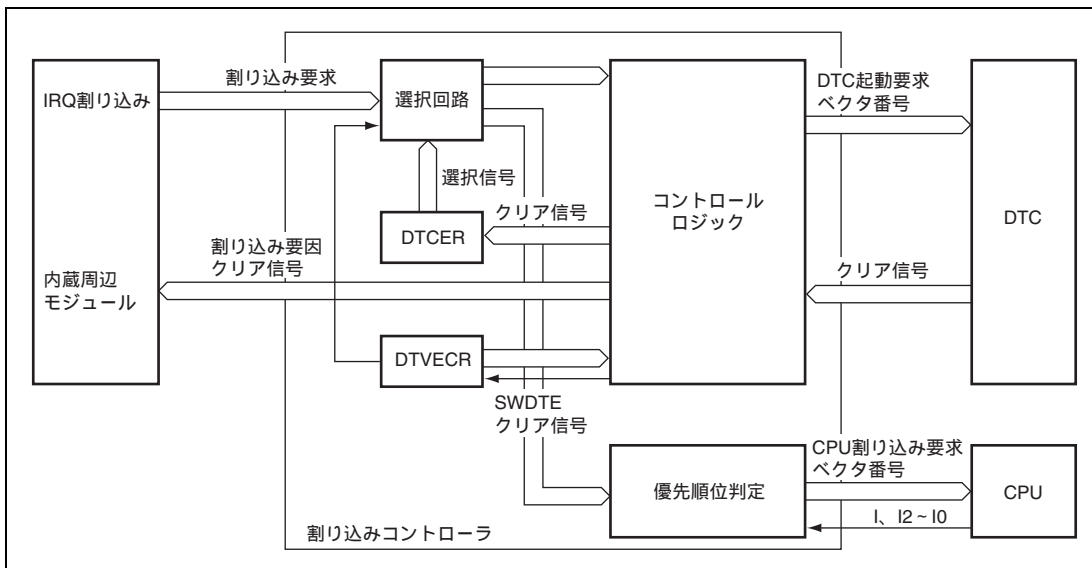


図 5.8 DTC と割り込み制御

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

割り込み要因は、DTCのDTCERA ~ DTCERG、DTCERIのDTCEビットにより、DTC起動要求とするか、CPU割り込み要求とするかを選択します。DTCのMRBのDISELビットの指定により、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求することができます。なお、DTCが所定回数のデータ転送を行い、転送カウンタが0になった場合には、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求します。

5. 割り込みコントローラ

(2) 優先順位判定

DTCの起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「8.4 レジスタ情報の配置とDTCベクタテーブル」を参照してください。

(3) 動作順序

同一の割り込みをDTCの起動要因とCPUの割り込み要因に選択した場合、DTCのデータ転送が行われ、その後、CPUの割り込み例外処理が行われます。

表 5.9 に DTC の DTCERA ~ DTCERG、DTCERI の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.9 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	
1	0		×
	1		

【記号説明】

: 当該割り込みを使用します。割り込み要因のクリアを行います。

(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)

: 当該割り込みを使用します。割り込み要因をクリアしません。

× : 当該割り込みは使用できません。

* : Don't care

(4) 使用上の注意事項

SCI および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTCE ビットや DISEL ビットには依存しません。

5.6 使用上の注意事項

5.6.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込み要求を禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令等で割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

なお、割り込みを禁止した状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.9に示します。

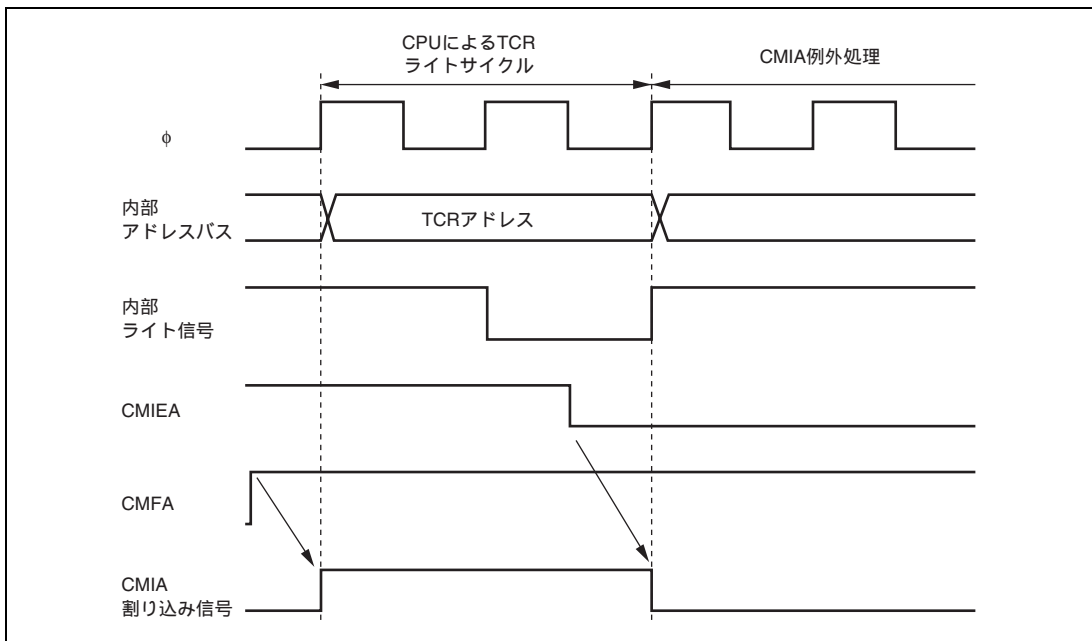


図 5.9 割り込みの発生とディスエーブルの競合

5. 割り込みコントローラ

5.6.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.6.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

5.6.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W   R4, R4
      BNE     L1
```

5.6.5 IRQ 割り込み

クロック動作時、IRQ はクロック同期で入力を受け付けます。

ソフトウェアスタンバイモード、ウォッチモード時は非同期で入力を受け付けます。

入力条件については「24.4.3 制御信号タイミング」を参照してください。

5.6.6 NMI 割り込み使用上の注意

NMI 割り込みは、電気的特性で規定された条件下で正常に動作している場合に、本 LSI に内蔵している割り込みコントローラ、CPU の連携で実行される例外処理です。ソフトウェアの不具合や、LSI 端子への異常入力などで正常動作を行っていない場合（暴走状態）は、NMI 割り込みを含めすべての動作は保証されません。本ケースにおいては、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。

6. PC ブレークコントローラ (PBC)

PC ブレークコントローラ (PBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても LSI 単体で手軽にプログラムをデバッグできます。PC ブレークコントローラのブロック図を図 6.1 に示します。

6.1 特長

- チャンネル数：2チャンネル (チャンネルA、B)
- ブレークアドレス：24ビット
 - 部分的にマスク可能
- コンペア条件：4種類
 - 命令フェッチ
 - データリード
 - データライト
 - データリード/ライト
- 対象バスマスタ
 - CPU、CPU / DTCのいずれか選択可能
- ブレーク条件成立後、下記タイミングでPCブレーク例外処理を実行
 - 設定したアドレスでフェッチした命令の実行直前 (命令フェッチ)
 - 設定したアドレスのデータをアクセスする命令の実行直後 (データアクセス)
- モジュールストップモードの設定可能

6. PC ブレークコントローラ (PBC)

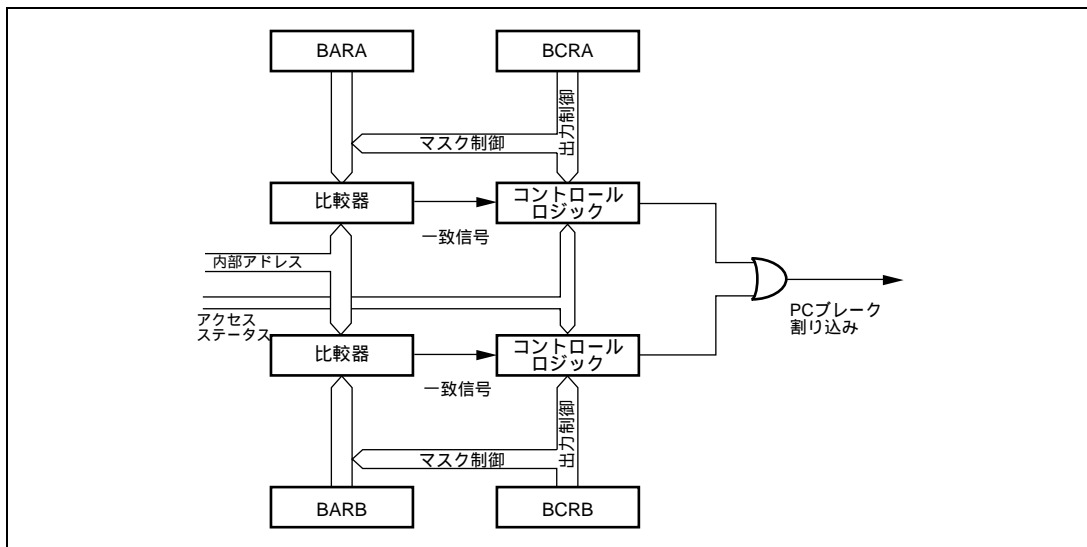


図 6.1 PC ブレークコントローラのブロック図

6.2 レジスタの説明

PC ブレークコントローラには以下のレジスタがあります。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスレジスタB (BARB)
- ブレークコントロールレジスタA (BCRA)
- ブレークコントロールレジスタB (BCRB)

6.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットのリード/ライト可能なレジスタで、チャンネル A のブレークアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~24		不定		リザーブビット リード値は不定で、ライトは無効です。
23~0	BAA23~BAA0	H'000000	R/W	チャンネル A の PC ブレークのアドレスを設定します。

6.2.2 ブレークアドレスレジスタ B (BARB)

チャンネル B のブレークアドレスレジスタです。ビット構成は BARA と同様です。

6.2.3 ブレークコントロールレジスタ A (BCRA)

BCRA はチャンネル A の PC ブレークを制御します。

ビット	ビット名	初期値	R/W	説明
7	CMFA	0	R/(W)* ¹	コンディションマッチフラグ A [セット条件] チャンネル A に設定したブレーク条件が成立したとき [クリア条件] 1 の状態をリード**後、0 をライトしたとき
6	CDA	0	R/W	CPU サイクル / DTC サイクルセレクト A チャンネル A のブレーク条件のバスマスタを選択します。 0 : CPU 1 : CPU または DTC
5 4 3	BAMRA2 BAMRA1 BAMRA0	0 0 0	R/W R/W R/W	ブレークアドレスマスクレジスタ A2 ~ A0 BARA に設定されているブレークアドレスの有効ビットを指定します。 000 : BAA23 ~ 0 (全ビット有効) 001 : BAA23 ~ 1 (下位 1 ビットをマスク) 010 : BAA23 ~ 2 (下位 2 ビットをマスク) 011 : BAA23 ~ 3 (下位 3 ビットをマスク) 100 : BAA23 ~ 4 (下位 4 ビットをマスク) 101 : BAA23 ~ 8 (下位 8 ビットをマスク) 110 : BAA23 ~ 12 (下位 12 ビットをマスク) 111 : BAA23 ~ 16 (下位 16 ビットをマスク)
2 1	CSELA1 CSELA0	0 0	R/W R/W	ブレーク条件選択 チャンネル A のブレーク条件を選択します。 00 : 命令フェッチ 01 : データリードサイクル 10 : データライトサイクル 11 : データリード / ライトサイクル
0	BIEA	0	R/W	ブレーク割り込みイネーブル このビットが 1 のときチャンネル A の PC ブレーク割り込み要求がイネーブルになります。

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 PC ブレーク割り込みを禁止して、CMFA をポーリングした場合、CMFA=1 の状態を 2 回以上リードしてください。

6.2.4 ブレークコントロールレジスタ B (BCRB)

チャンネル B のブレークコントロールレジスタです。ビット構成は BCRA と同様です。

6.3 動作説明

チャンネル A を例にブレーク条件の初期設定から PC ブレーク割り込み例外処理までの動作の流れを「6.3.1 命令フェッチによる PC ブレーク割り込み動作」、「6.3.2 データアクセスによる PC ブレーク割り込み動作」に示します。

6.3.1 命令フェッチによる PC ブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

命令フェッチによるPCブレークでは、命令の第1バイトが存在するアドレスにブレークアドレスを設定してください。

2. ブレーク条件をBCRに設定します。

命令フェッチによるPCブレークではバスマスタはCPUに限定されるため、ビット6 (CDA) には0を設定してCPUを選択してください。ビット5~3 (BAMRA2~0) にマスクするアドレスのビットを設定します。ビット2~1 (CSELA1~0) には00を設定して命令フェッチをブレーク条件とします。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスの命令をフェッチすると、フェッチした命令を実行する直前でPCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

6.3.2 データアクセスによる PC ブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

データアクセスによるPCブレークでは、ブレークアドレスを対象のROMまたはRAM、I/Oあるいは外部アドレス空間のアドレスに設定してください。データアクセスにはスタック動作や分岐アドレスのリードも含まれます。

2. ブレーク条件をBCRAに設定します。

ビット6 (CDA) でバスマスタを選択してください。ビット5~3 (BAMRA2~0) にマスクするアドレスのビットを設定します。ビット2~1 (CSELA1~0) に01、10または11を設定してデータアクセスのブレーク条件を設定します。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスのデータをアクセスした命令の実行後、PCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

6.3.3 連続データ転送時の PC ブレーク動作

- EEPMOV.B命令の転送アドレスにPCブレーク割り込みが発生した場合
すべてのデータの転送が終了しEEPMOV.B命令が終了したあと、PCブレーク例外処理を実行します。
- DTCの転送アドレスにブレーク割り込みが発生した場合
DTCが指定された回数のデータ転送を終了したあと、あるいはDISELビットが1にセットされたデータを転送終了した後、PCブレーク例外処理を実行します。

6.3.4 低消費電力モード遷移時の動作

SLEEP命令の次のアドレスの命令フェッチにPCブレーク割り込みを設定した場合、以下のように動作します。

- SLEEP命令により高速（中速）モードからスリープモードへ遷移する場合
SLEEP命令実行後、スリープモードに遷移せず、PCブレーク例外処理を実行します。PCブレーク例外処理実行後、SLEEP命令の次のアドレスの命令を実行します（図6.2（A））。
- SLEEP命令によりソフトウェアスタンバイモード、ウォッチモードへ遷移する場合
SLEEP命令実行後、各モードに遷移し、PCブレーク例外処理は実行しません。ただし、CMFA、CMFBはセットされます（図6.2（B））。

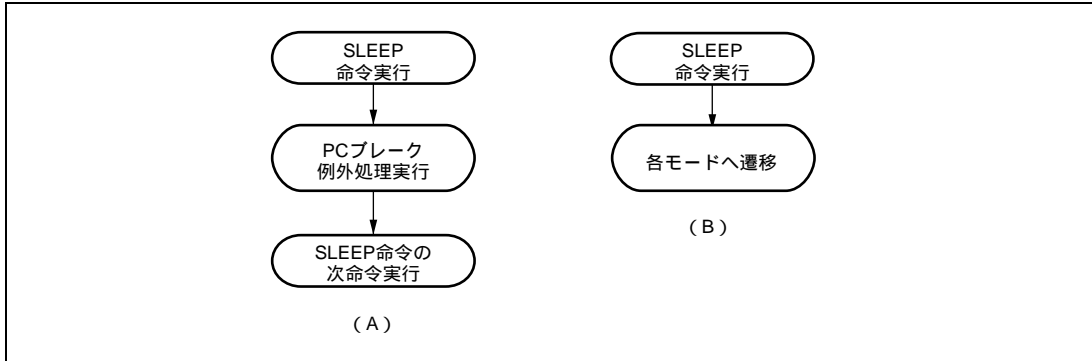


図 6.2 低消費電力モード遷移時の動作

6.3.5 命令実行が1ステート遅れる場合

ブレーク割り込みイネーブルビットがセットされている期間、通常の動作と比較して以下の命令の実行が1ステート遅れます。

- 内蔵ROM/RAM内に存在する1ワード分岐命令 (Bcc d:8, BSR, JSR, JMP, TRAPA, RTE, RTS)
- 命令フェッチによるブレーク割り込みを設定した場合で、ブレークアドレスが内蔵ROM/RAM空間にあって、同一アドレスをデータアクセスする命令
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より一つ前に実行される命令が以下のアドレッシングモードを持ち、そのアドレスが内蔵ROM/RAM空間にある場合
(@ERn,@(d:16,ERn),@(d:32,ERn),@-ERn/ERn+,@aa:8,@aa:24,@aa:32,@(d:8,PC), @(d:16,:PC),@@aa:8)
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より一つ前に実行される命令が NOP、SLEEPであるか、あるいは#xx,Rnをアドレッシングモードとして持ち、かつその命令が内蔵ROM/RAM空間に存在する場合

6.4 使用上の注意事項

6.4.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PBC の動作禁止 / 許可を設定することが可能です。初期値では、PBC の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

6.4.2 PC ブレーク割り込み

PC ブレーク割り込みは、チャンネル A とチャンネル B の兼用です。割り込み処理の中でどちらのチャンネルからの要求かを判定してください。

6.4.3 CMFA、CMFB

CMFA、CMFB は自動的にクリアされませんので、CMFA = 1 または CMFB = 1 の状態で、CMFA または CMFB をリード後、0 をライトしてください。1 にセットしたままの状態では、割り込み処理後、再度割り込み要求が発生します。

6.4.4 DTC がバスマスタのときに発生した PC ブレーク割り込み

DTC がバスマスタのときに発生した PC ブレーク割り込みは、バス権が CPU に移行したあと受け付けられません。

6.4.5 BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合

BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令はフェッチされても実行しないため、次のアドレスの命令フェッチで PC ブレーク割り込みは発生しません。

6.4.6 LDC、ANDC、ORC、XORC 命令により 1 ビットを設定した場合

LDC、ANDC、ORC、XORC 命令により 1 ビットを設定した場合、実行命令終了の 2 ステート後に PC ブレーク割り込みが有効になります。また、これらの命令の次命令に PC ブレーク割り込みを設定した場合、LDC、ANDC、ORC、XOR は、3 ステート期間、NMI 割り込みを含めて割り込みが禁止されるため、必ず次の命令を実行します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

6.4.7 Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により次のアドレスの命令を実行するときは PC ブレーク割り込みが発生しますが、次のアドレスの命令を実行しないときは PC ブレーク割り込みが発生しません。

6.4.8 Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により分岐先の命令を実行するときは PC ブレーク割り込みが発生しますが、分岐先の命令を実行しないときは PC ブレーク割り込みが発生しません。

6. PC ブレークコントローラ (PBC)

7. バスコントローラ

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。また、バスコントローラはバス権調停機能をもっており、内部バスマスタである CPU およびデータトランスファコントローラ (DTC) の動作を制御します。

7.1 特長

- 外部アドレス空間をエリア単位で管理
 - 外部アドレス空間を 2M バイト単位の 8 エリアに分割して管理
 - エリアごとにバス仕様を設定可能
 - バースト ROM インタフェースを設定可能
- 基本バスインタフェース
 - H8S/2552 グループ、H8S/2506 グループ：エリア 0 ~ 7 に対してチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
 - H8S/2556 グループ：エリア 0、3 ~ 7 に対してチップセレクト ($\overline{CS0}$ 、 $\overline{CS3} \sim \overline{CS7}$) を出力可能
 - エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
 - エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
 - エリアごとに、プログラムウェイトステートを挿入可能
- バースト ROM インタフェース
 - エリア 0 に対してバースト ROM インタフェースを設定可能
 - バーストアクセスの 1 または 2 ステートを選択可能
- アイドルサイクル挿入
 - 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
 - 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能
- バス権調停機能 (バスアービトレーション)
 - バスアービタを内蔵し、CPU、DTC のバス権を調停
- その他
 - 外部バス権解放機能

7. バスコントローラ

バスコントローラのブロック図を図 7.1 に示します。

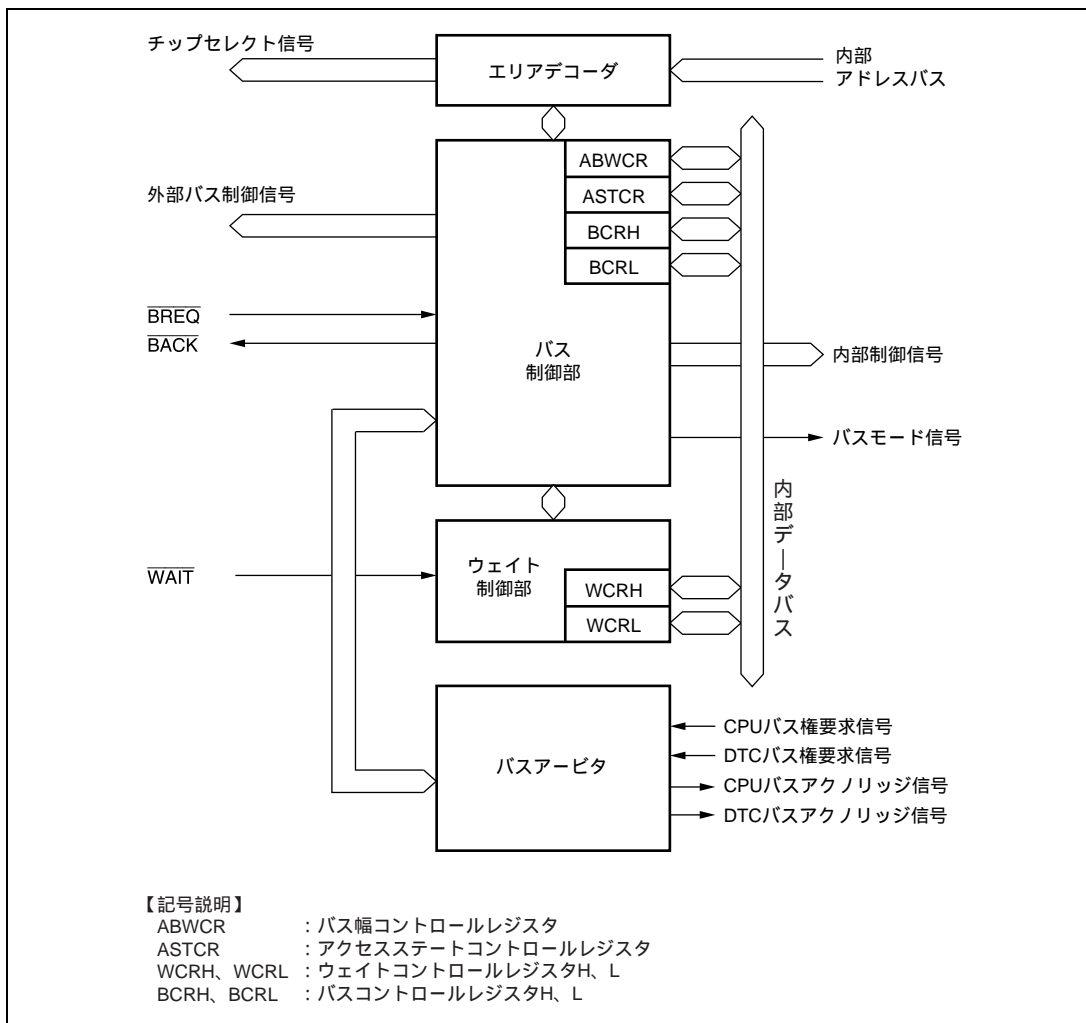


図 7.1 バスコントローラのブロック図

7.2 入出力端子

表 7.1 にバスコントローラの端子構成を示します。

表 7.1 端子構成

名称	記号	入出力	機能
アドレスストロープ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号。
リード	RD	出力	外部アドレス空間をリードしていることを示すストロープ信号。
ハイライト	\overline{HWR}	出力	外部アドレス空間をライトし、データバスの上位側 (D15～D8) が有効であることを示すストロープ信号。
ローライト	\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位側 (D7～D0) が有効であることを示すストロープ信号。
チップセレクト 0～7	$\overline{CS0} \sim \overline{CS7}^*$	出力	エリア 0～7 が選択されていることを示すストロープ信号。
ウェイト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	$BACK$	出力	バス権を解放したことを示すアクノリッジ信号。

【注】 * H8S/2556 グループに $\overline{CS1}$ 、 $\overline{CS2}$ はありません。

7.3 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタH (WCRH)
- ウェイトコントロールレジスタL (WCRL)
- バスコントロールレジスタH (BCRH)
- バスコントロールレジスタL (BCRL)
- 端子機能コントロールレジスタ (PFCR)

7. バスコントローラ

7.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	ABW7	1	R/W	エリア 7~0 バス幅コントロール
6	ABW6	1	R/W	対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。
5	ABW5	1	R/W	
4	ABW4	1	R/W	0 : エリア n を 16 ビットアクセス空間に設定
3	ABW3	1	R/W	1 : エリア n を 8 ビットアクセス空間に設定
2	ABW2	1	R/W	【注】 n = 7~0
1	ABW1	1	R/W	
0	ABW0	1	R/W	

7.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール
6	AST6	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。
5	AST5	1	R/W	
4	AST4	1	R/W	同時に、ウェイトステートの挿入を許可または禁止します。
3	AST3	1	R/W	0 : エリア n を 2 ステートアクセス空間に設定
2	AST2	1	R/W	エリア n のアクセスにウェイトステートの挿入を禁止
1	AST1	1	R/W	1 : エリア n を 3 ステートアクセス空間に設定
0	AST0	1	R/W	エリア n のアクセスにウェイトステートの挿入を許可
				【注】 n = 7~0

7.3.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

• WCRH

ビット	ビット名	初期値	R/W	説明
7 6	W71 W70	1 1	R/W R/W	エリア7ウェイトコントロール1、0 ASTCRのAST7=1のとき、エリア7をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入
5 4	W61 W60	1 1	R/W R/W	エリア6ウェイトコントロール1、0 ASTCRのAST6=1のときでエリア6をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入
3 2	W51 W50	1 1	R/W R/W	エリア5ウェイトコントロール1、0 ASTCRのAST5=1のとき、エリア5をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入
1 0	W41 W40	1 1	R/W R/W	エリア4ウェイトコントロール1、0 ASTCRのAST4=1のとき、エリア4をアクセスするときの、プログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを1ステート挿入 10：プログラムウェイトを2ステート挿入 11：プログラムウェイトを3ステート挿入

7. バスコントローラ

• WCRL

ビット	ビット名	初期値	R/W	説明
7 6	W31 W30	1 1	R/W R/W	<p>エリア3ウェイトコントロール1、0</p> <p>ASTCRのAST3=1のとき、エリア3をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
5 4	W21 W20	1 1	R/W R/W	<p>エリア2ウェイトコントロール1、0</p> <p>ASTCRのAST2=1のとき、エリア2をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
3 2	W11 W10	1 1	R/W R/W	<p>エリア1ウェイトコントロール1、0</p> <p>ASTCRのAST1=1のとき、エリア1をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
1 0	W01 W00	1 1	R/W R/W	<p>エリア0ウェイトコントロール1、0</p> <p>ASTCRのAST0=1のとき、エリア0をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>

7.3.4 バスコントロールレジスタ H (BCRH)

BCRH はアイドルサイクル挿入の許可または禁止、エリア 0 のメモリインタフェースの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない 1: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する
6	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない 1: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する
5	BRSTRM	0	R/W	バースト ROM イネーブル エリア 0 をバースト ROM インタフェースとするかを選択します。 0: エリア 0 は基本バスインタフェース 1: エリア 0 はバースト ROM インタフェース
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0: バーストサイクルは 1 ステート 1: バーストサイクルは 2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: バーストアクセスは最大 4 ワード 1: バーストアクセスは最大 8 ワード
2~0	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

7. バスコントローラ

7.3.5 バスコントロールレジスタ L (BCRL)

BCRL は外部バス解放状態のプロトコルの選択、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	BRLE	0	R/W	バスリリズイネーブル 外部バス権の解放を許可または禁止します。 0 : 外部バス権の解放を禁止。BREQ、BACK は入出力ポートとして使用可 1 : 外部バス権の解放を許可
6	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
3	-	1	R/W	リザーブビット ライトするときは 1 をライトしてください。
2、1	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。
0	WAITE	0	R/W	WAIT 端子イネーブル $\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。 0 : WAIT 端子によるウェイト入力を禁止。 $\overline{\text{WAIT}}$ 端子は入出力ポートとして 使用可 1 : WAIT 端子によるウェイト入力を許可

7.3.6 端子機能コントロールレジスタ (PFCR)

PFCR は外部拡張モード時のアドレス出力制御を行います。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	R/W	リザーブビット ライトするときは0をライトしてください。
5	BUZZE	0	R/W	BUZZ 出力イネーブル PF1 端子の BUZZ 出力を許可/禁止します。PSS、CKS2~CKS0 ビットにより選択された WDT_1 の入力クロックを BUZZ 信号として出力します。 0 : PF1 入出力端子として機能 1 : BUZZ 出力端子として機能
4	-	0	R/W	リザーブビット ライトするときは0をライトしてください。
3 2 1 0	AE3 AE2 AE1 AE0	0 0 0 0	R/W R/W R/W R/W	アドレス出力イネーブル 3~0 ROM あり拡張モード時のアドレス出力 A8~A23 の許可/禁止を選択します。アドレス出力を許可した端子は、対応する DDR に関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力となります。 0000 : A8~A23 出力を禁止。 0001 : A8 出力を許可。A9~A23 出力を禁止。 0010 : A8、A9 出力を許可。A10~A23 出力を禁止。 0011 : A8~A10 出力を許可。A11~A23 出力を禁止。 0100 : A8~A11 出力を許可。A12~A23 出力を禁止。 0101 : A8~A12 出力を許可。A13~A23 出力を禁止。 0110 : A8~A13 出力を許可。A14~A23 出力を禁止。 0111 : A8~A14 出力を許可。A15~A23 出力を禁止。 1000 : A8~A15 出力を許可。A16~A23 出力を禁止。 1001 : A8~A16 出力を許可。A17~A23 出力を禁止。 1010 : A8~A17 出力を許可。A18~A23 出力を禁止。 1011 : A8~A18 出力を許可。A19~A23 出力を禁止。 1100 : A8~A19 出力を許可。A20~A23 出力を禁止。 1101 : A8~A20 出力を許可。A21~A23 出力を禁止。 1110 : A8~A21 出力を許可。A22、A23 出力を禁止。 1111 : A8~A23 出力を許可。

7. バスコントローラ

7.4 バス制御

7.4.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 0 ~ 7 の 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。また、ノーマルモード*では、エリア 0 の一部の、64K バイトのアドレス空間を制御します。図 7.2 にメモリマップの概要を示します。

各エリアごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。

【注】 * 本 LSI では使用できません。

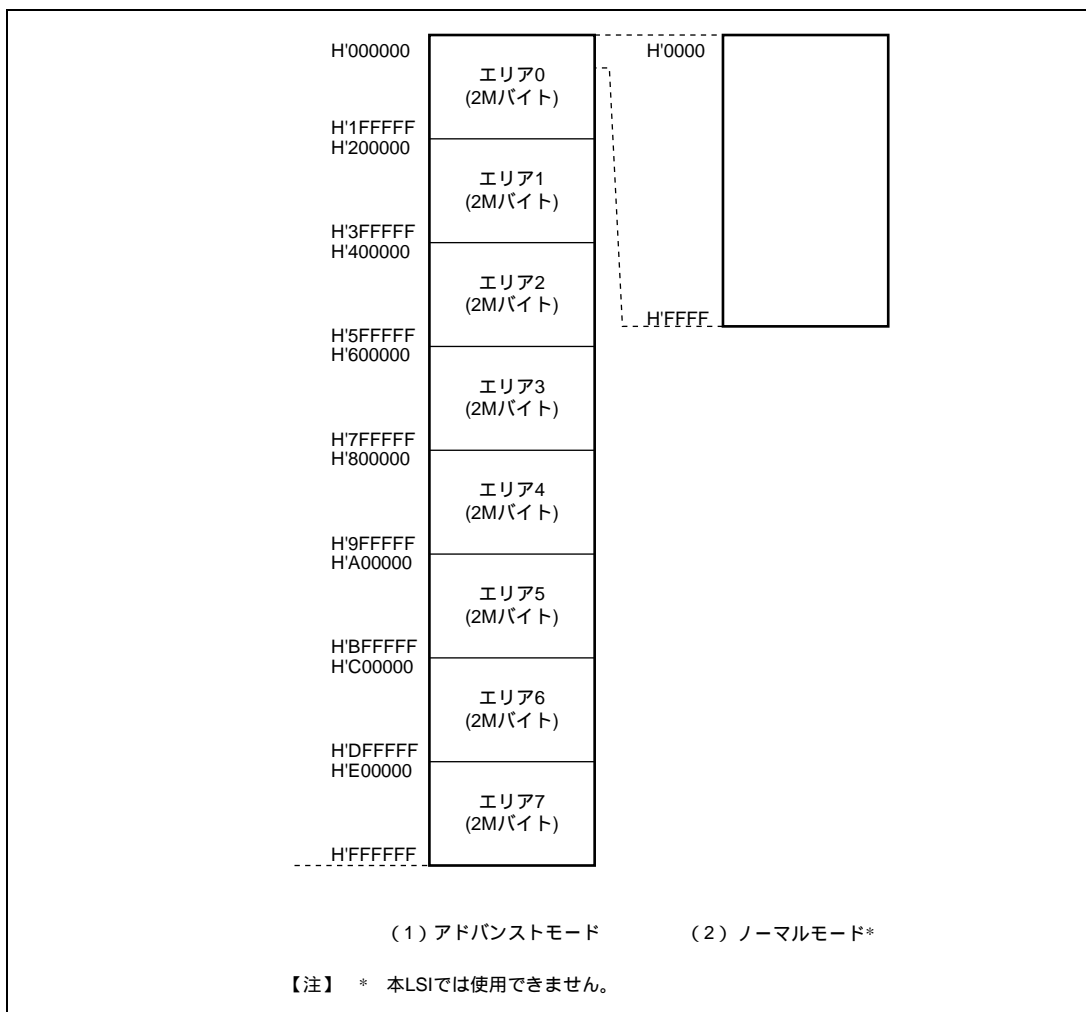


図 7.2 エリア分割の様子

7.4.2 バス仕様

外部アドレス空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタのバス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

表 7.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH, WCRL		バス仕様 (基本バスインタフェース)			
ABWn	ASTn	Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数	
0	0			16	2	0	
	1	0	0		3	0	
			1				1
		1	0				2
			1				3
1	0			8	2	0	
	1	0	0		3	0	
			1				1
		1	0				2
			1				3

7. バスコントローラ

7.4.3 各エリアのバスインタフェース

各エリアの初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「7.6 基本バスインタフェース」、「7.7 パースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。

(1) エリア0

エリア0は内蔵ROMを含んでおり、ROM有効拡張モードでは、内蔵ROMを除いた空間が外部アドレス空間となります。

エリア0の外部アドレス空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア0は、基本バスインタフェースまたはパーストROMインタフェースを選択することができます。

(2) エリア1~6

エリア1~6は、外部拡張モードのとき、エリア1~6のすべての空間が外部アドレス空間となります。エリア1~6の外部アドレス空間をアクセスするとき、それぞれ、 $\overline{CS1} \sim \overline{CS6}$ 端子信号を出力することができます。エリア1~6は、基本バスインタフェースのみを使用することができます。

(3) エリア7

エリア7は内蔵RAM、および内部I/Oレジスタを含んでおり、外部拡張モードのとき、内蔵RAM、および内部I/Oレジスタ空間を除いた空間が外部アドレス空間となります。なお、内蔵RAMはシステムコントロールレジスタ(SYSCR)のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部アドレス空間になります。エリア7の外部アドレス空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。エリア7は、基本バスインタフェースのみを使用することができます。

7.4.4 チップセレクト信号

本 LSI は、エリア 0~7 に対して、それぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができ、当該エリアの外部アドレス空間をアクセスしたとき、Low レベルを出力します。図 7.3 に \overline{CSn} ($n=0 \sim 7$) 信号出力タイミング例を示します。 \overline{CSn} 信号出力の許可または禁止は各 \overline{CSn} 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$ 端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。詳細は「第 9 章 I/O ポート」を参照してください。

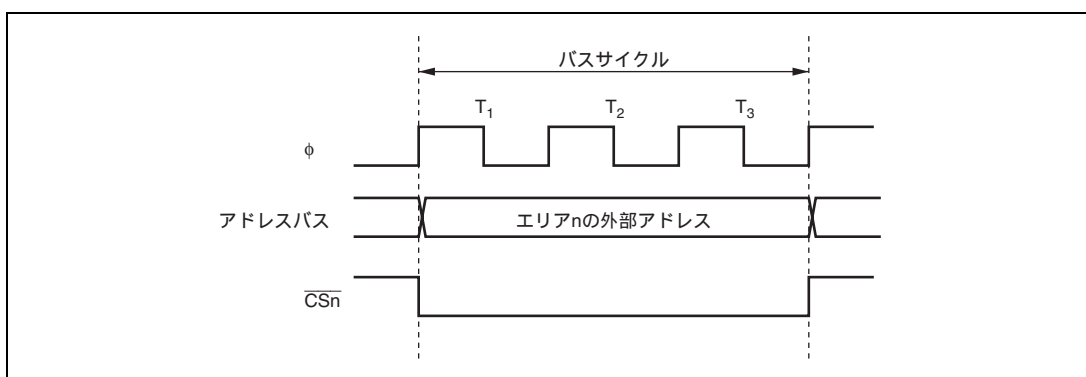


図 7.3 \overline{CSn} 信号出力タイミング ($n=0 \sim 7$)

7.5 基本動作タイミング

本 CPU は、システムクロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2、または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

7.5.1 内蔵メモリ (ROM、RAM) アクセスタイミング

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 7.4 に、端子状態を図 7.5 に示します。

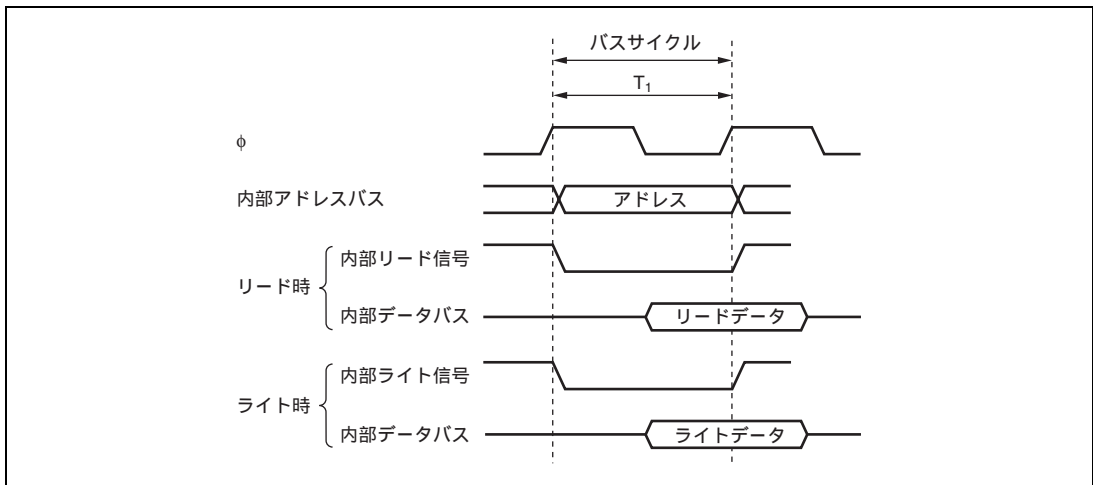


図 7.4 内蔵メモリアクセスサイクル

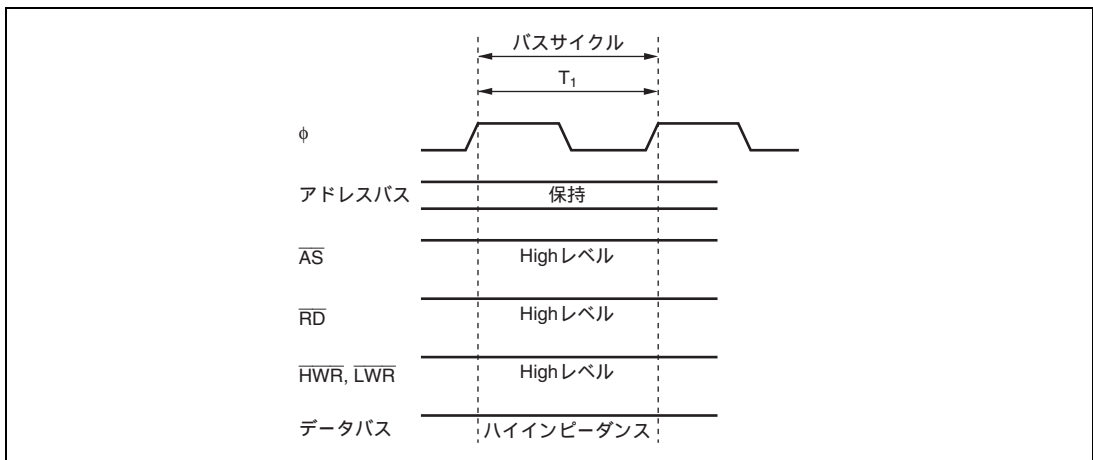


図 7.5 内蔵メモリアクセス時の端子状態

7.5.2 内蔵周辺モジュールアクセスタイミング

(1) ポートH、ポートJ、IIC2、IEB、HCANを除く内蔵周辺モジュールアクセスタイミング

ポートH、ポートJ、IIC2、IEB、HCANを除く内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図7.6、端子状態を図7.7に示します。

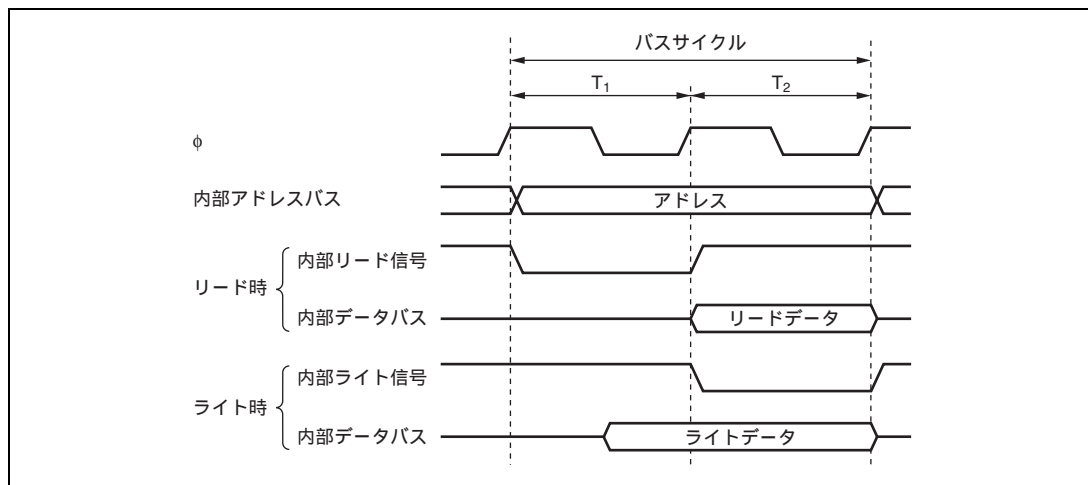


図 7.6 内蔵周辺モジュールアクセスサイクル

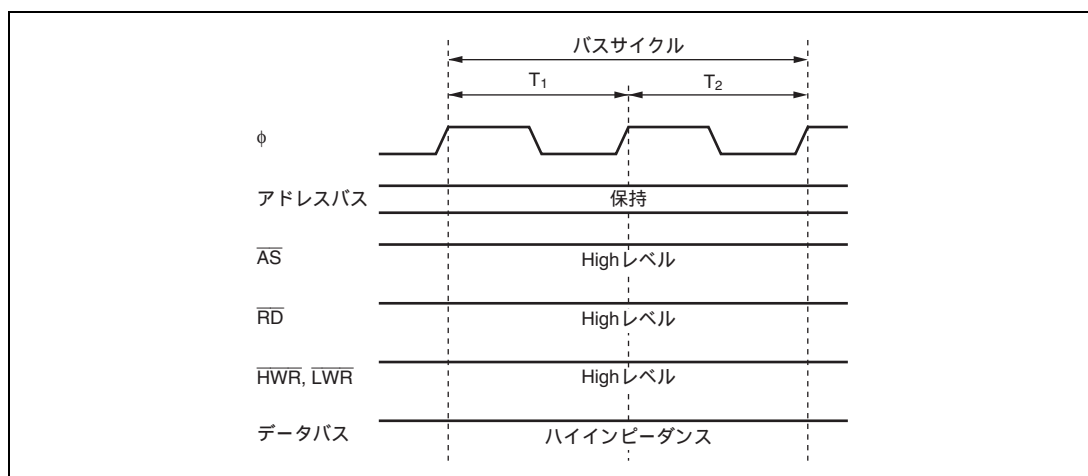


図 7.7 内蔵周辺モジュールアクセス時の端子状態

7. バスコントローラ

(2) 内蔵ポートH、ポートJ、IIC2 モジュールアクセスタイミング

内蔵ポートH、ポートJ、IIC2 モジュールのアクセスは4 ステートで行われます。このとき、データバス幅は8ビットです。内蔵ポートH、ポートJ、IIC2 モジュールアクセスタイミングを図7.8に、端子状態を図7.9に示します。

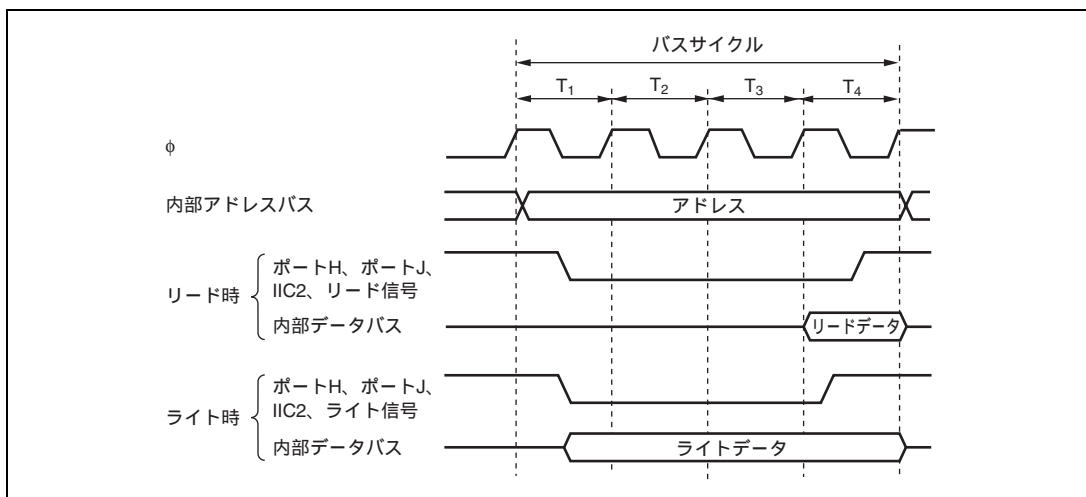


図 7.8 内蔵ポートH、ポートJ、IIC2 モジュールアクセスサイクル

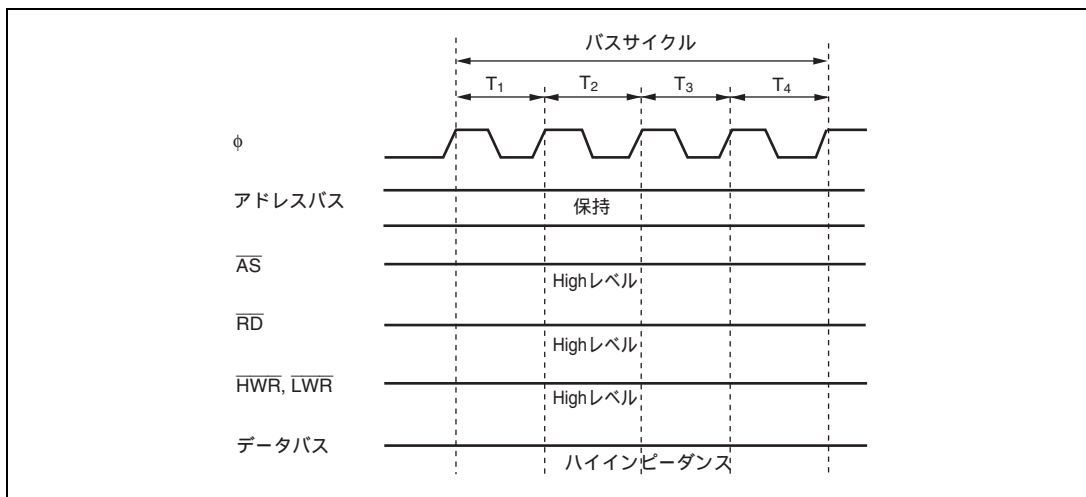
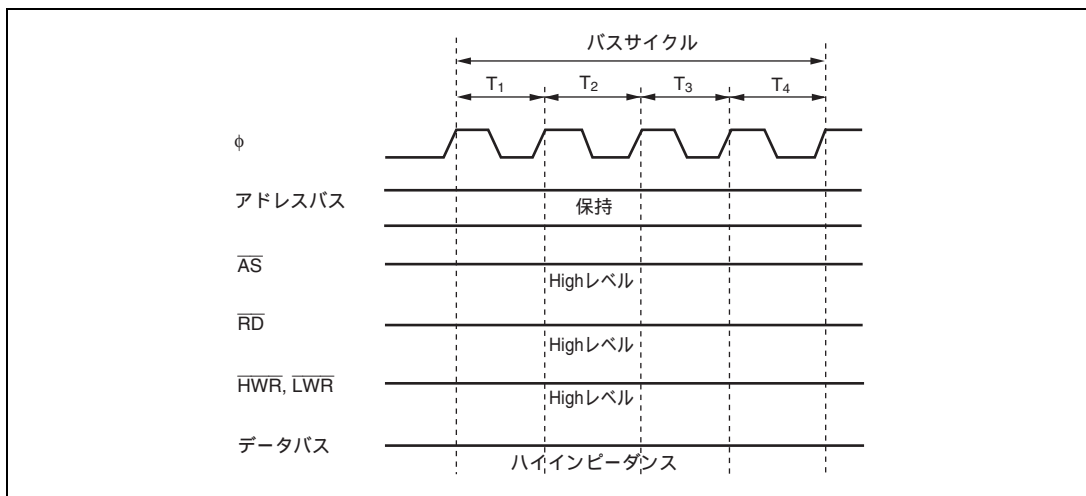
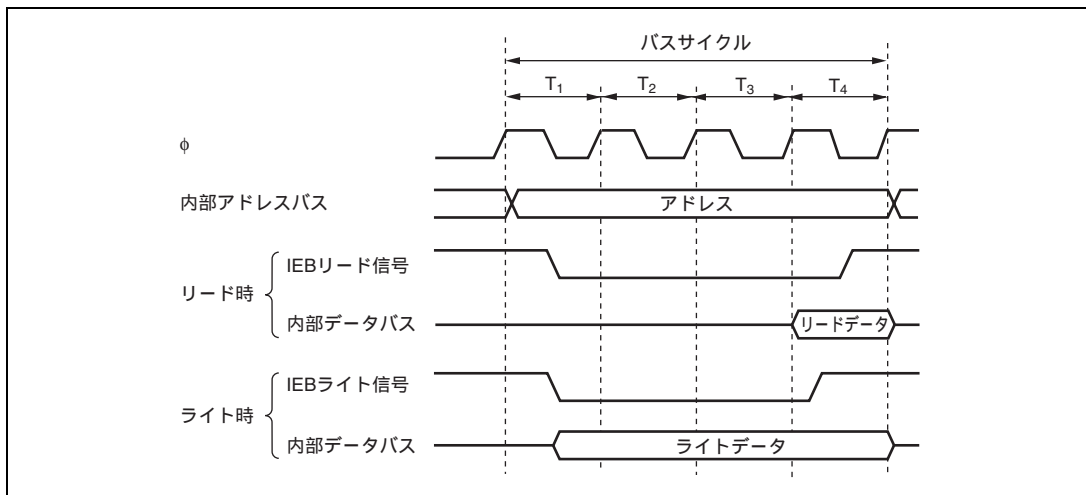


図 7.9 内蔵ポートH、ポートJ、IIC2 モジュールアクセス時の端子状態

(3) 内蔵 IEB モジュールアクセスタイミング (H8S/2552 グループのみ)

内蔵 IEB モジュールのアクセスは4 ステートで行われます。このとき、データバス幅は8 ビットです。内蔵 IEB モジュールアクセスタイミングを図 7.10 に、端子状態を図 7.11 に示します。



7. バスコントローラ

(4) 内蔵 HCAN モジュールアクセスタイミング (H8S/2556 グループのみ)

内蔵 HCAN モジュールのアクセスは 5 ステートで行われます。このとき、データバス幅は 16 ビットです。内蔵 HCAN モジュールアクセスタイミングを図 7.12 に、端子状態を図 7.13 に示します。

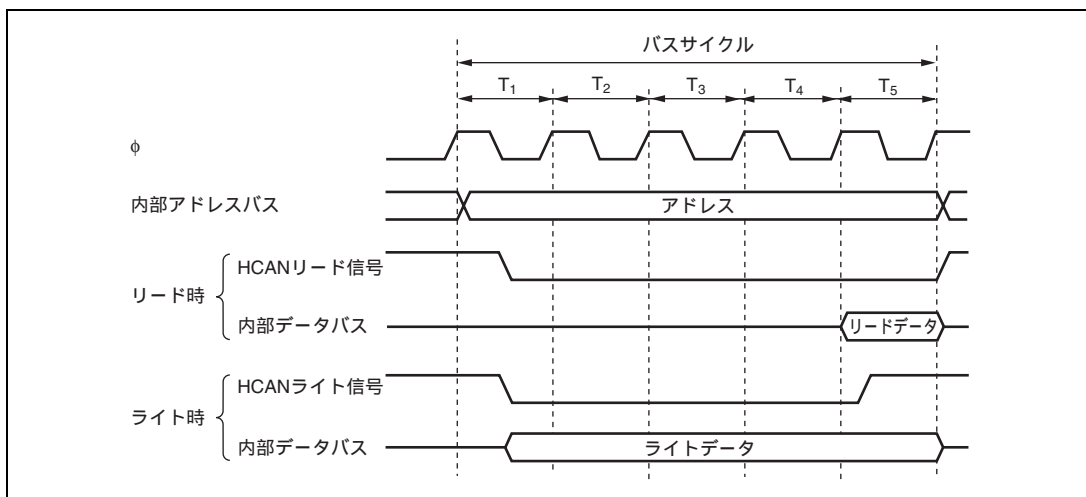


図 7.12 内蔵 HCAN モジュールアクセスサイクル

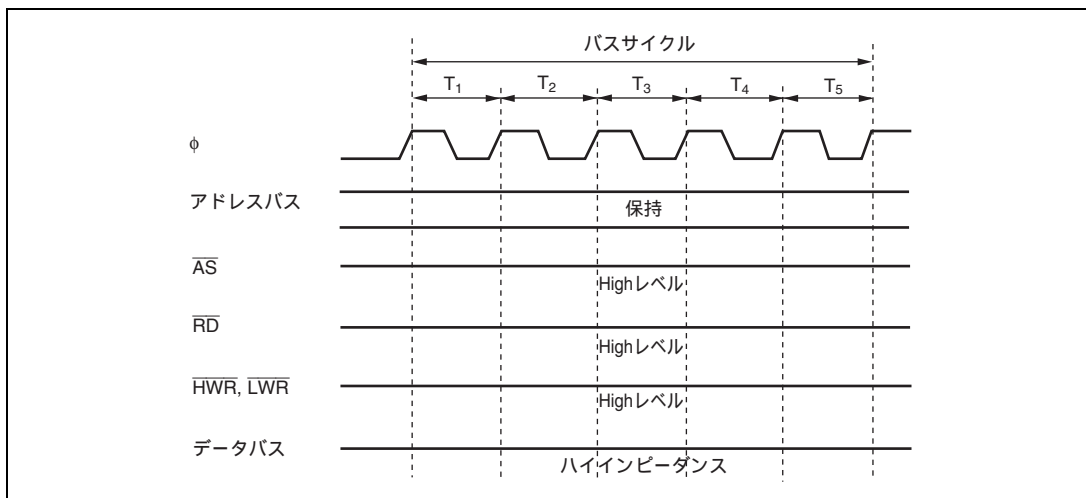


図 7.13 内蔵 HCAN モジュールアクセス時の端子状態

7.5.3 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8 ビットまたは 16 ビット、バスサイクルは 2 ステートまたは 3 ステートです。3 ステートアクセスではウェイトステートを挿入することができます。詳細は「7.6.3 基本タイミング」を参照してください。

7.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

7.6.1 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス (D15～D8) を使用するか、下位側データバス (D7～D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 7.14 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15～D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

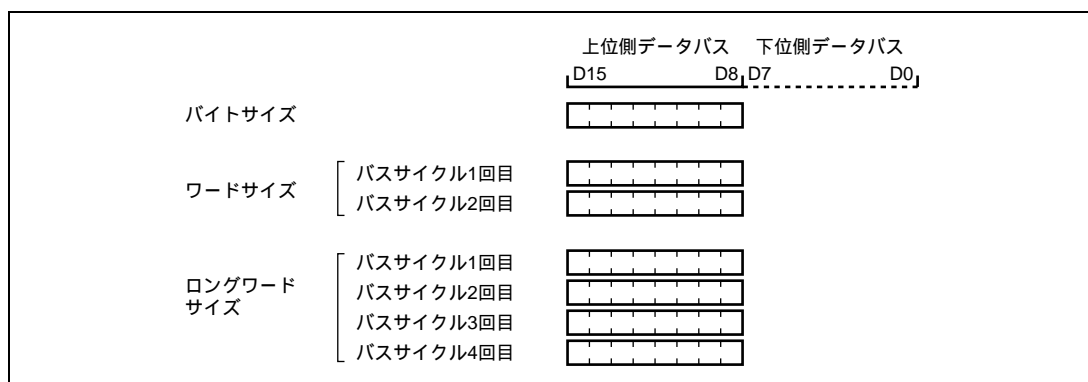


図 7.14 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 7.15 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15～D8) および下位側データバス (D7～D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

7. バスコントローラ

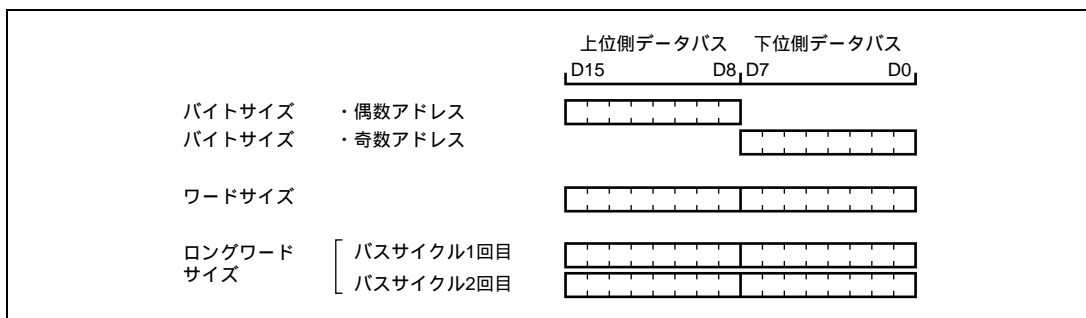


図 7.15 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

7.6.2 有効ストロープ

表 7.3 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 7.3 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}	有効	Hi-Z
16ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数	\overline{RD}	無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	-	\overline{RD}	有効	有効
		ライト	-	\overline{HWR} , \overline{LWR}	有効	有効

【注】 Hi-Z: ハイインピーダンス状態です。

無効: 入力状態であり、入力値は無視されます。

7.6.3 基本タイミング

(1) 8ビット2ステートアクセス空間

図 7.16 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することはできません。

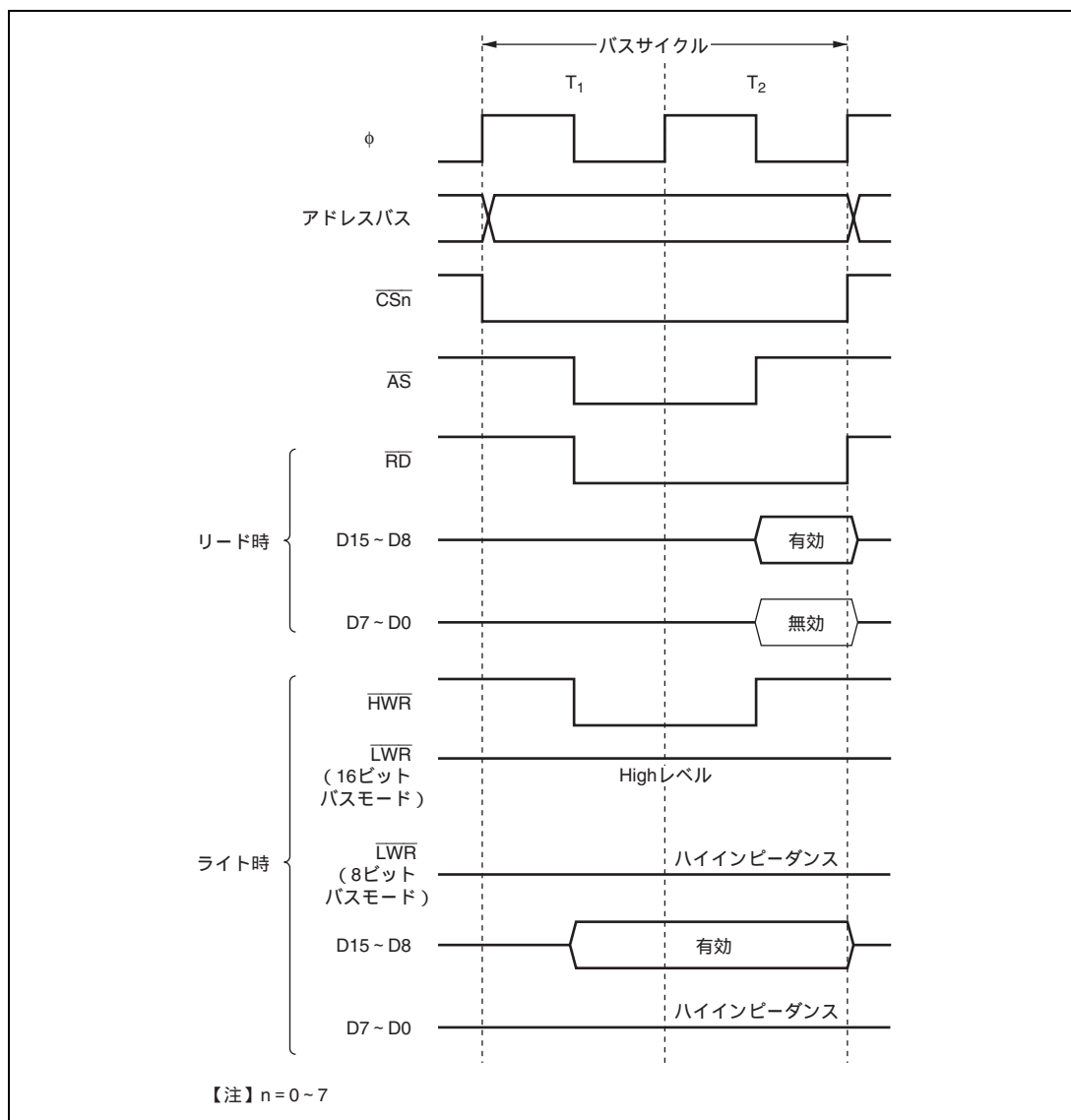


図 7.16 8 ビット 2 ステートアクセス空間のバスタイミング

7. バスコントローラ

(2) 8ビット3ステートアクセス空間

図 7.17 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することができます。

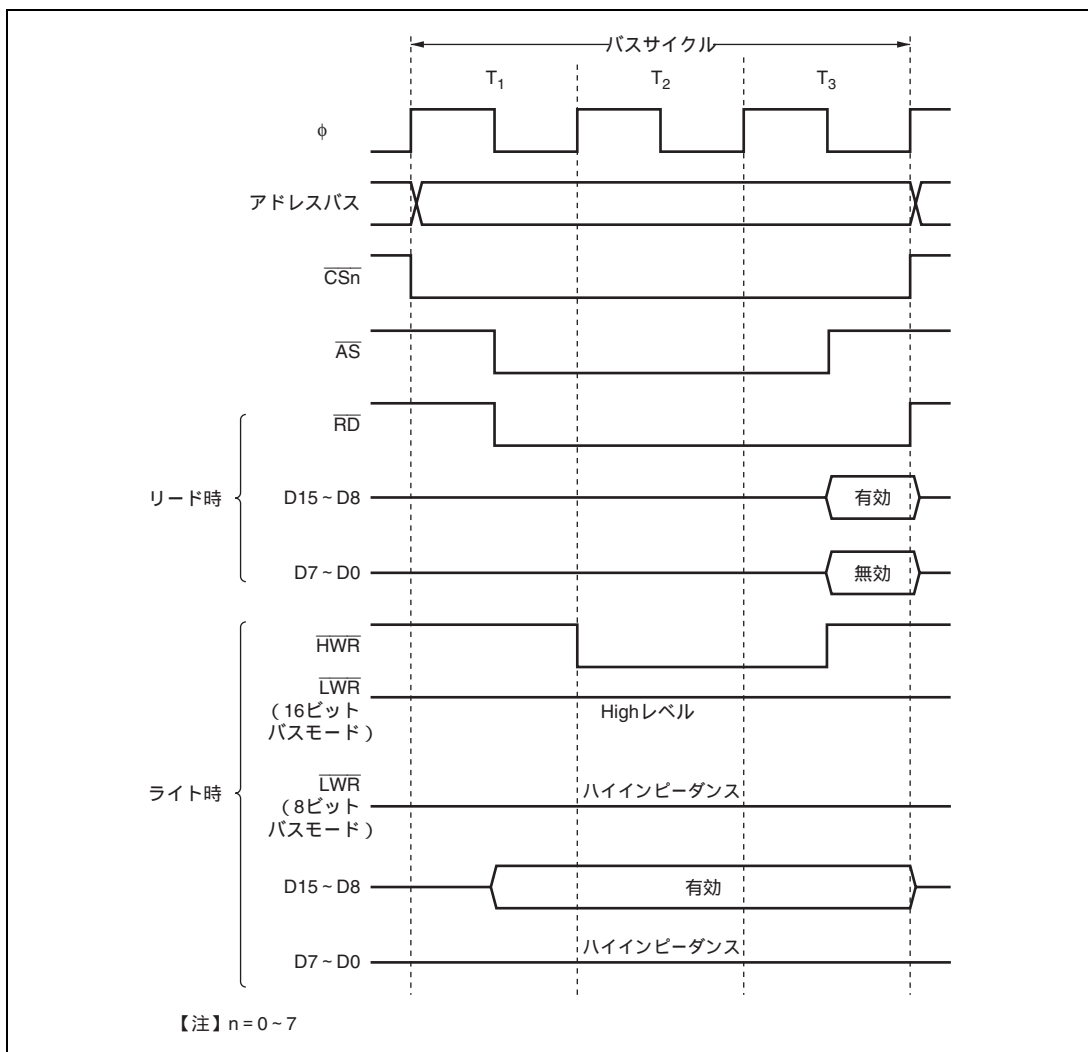


図 7.17 8ビット3ステートアクセス空間のバスタイミング

(3) 16ビット2ステートアクセス空間

図7.18～図7.20に16ビット2ステートアクセス空間のバスタイミングを示します。16ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側(D15～D8)を使用し、奇数アドレスに対してはデータバスは下位側(D7～D0)を使用します。

ウェイトステートを挿入することはできません。

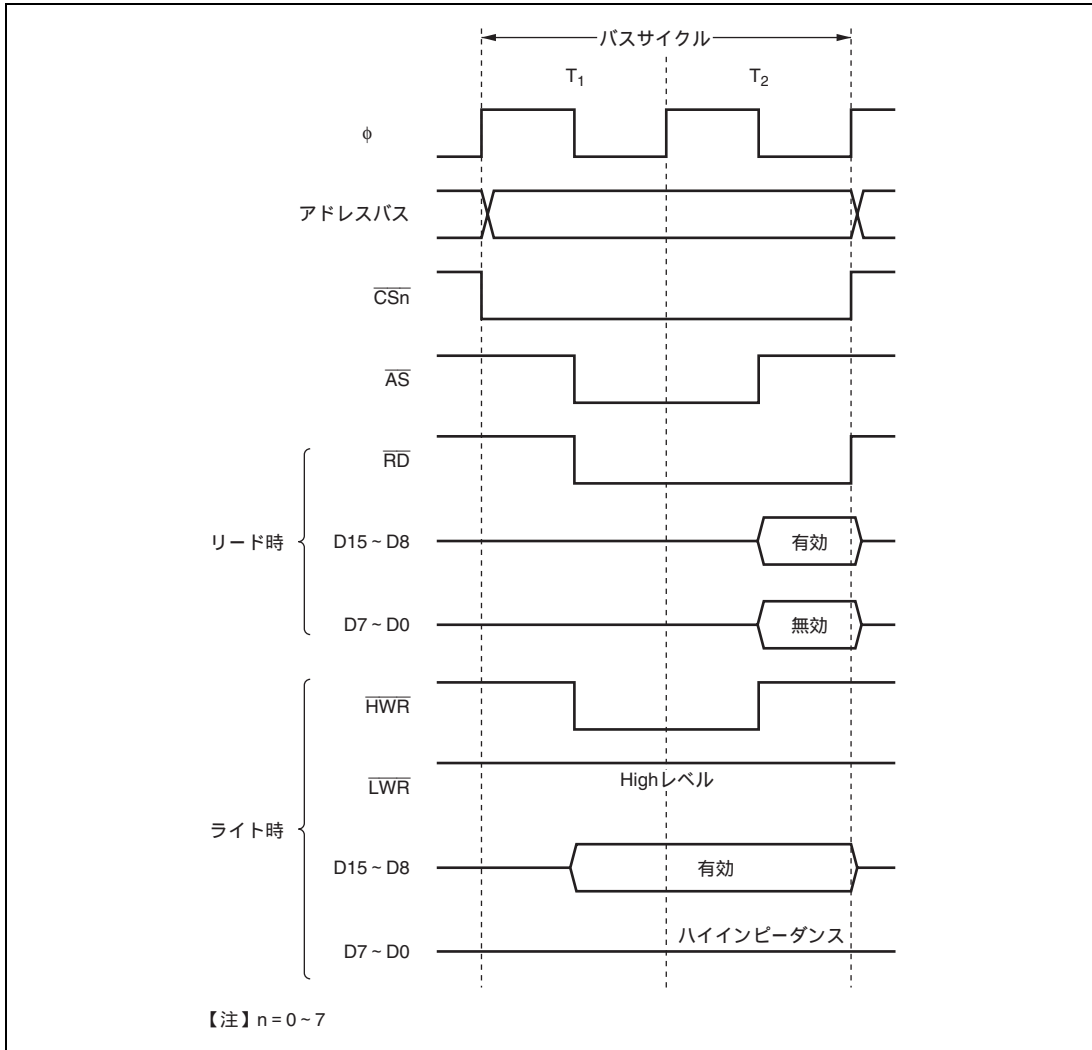


図 7.18 16ビット2ステートアクセス空間のバスタイミング(1)
(偶数アドレスバイトアクセス)

7. バスコントローラ

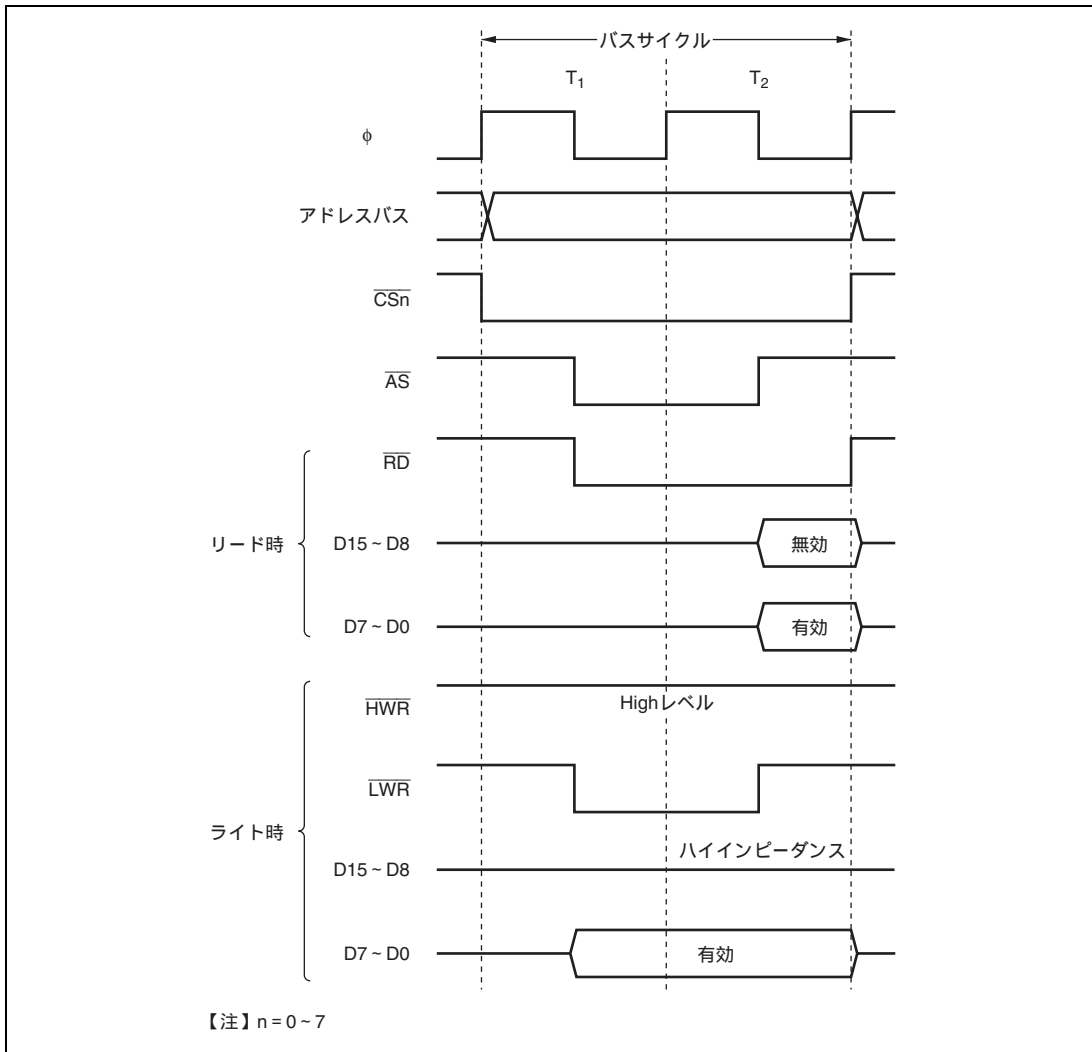


図 7.19 16 ビット 2 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

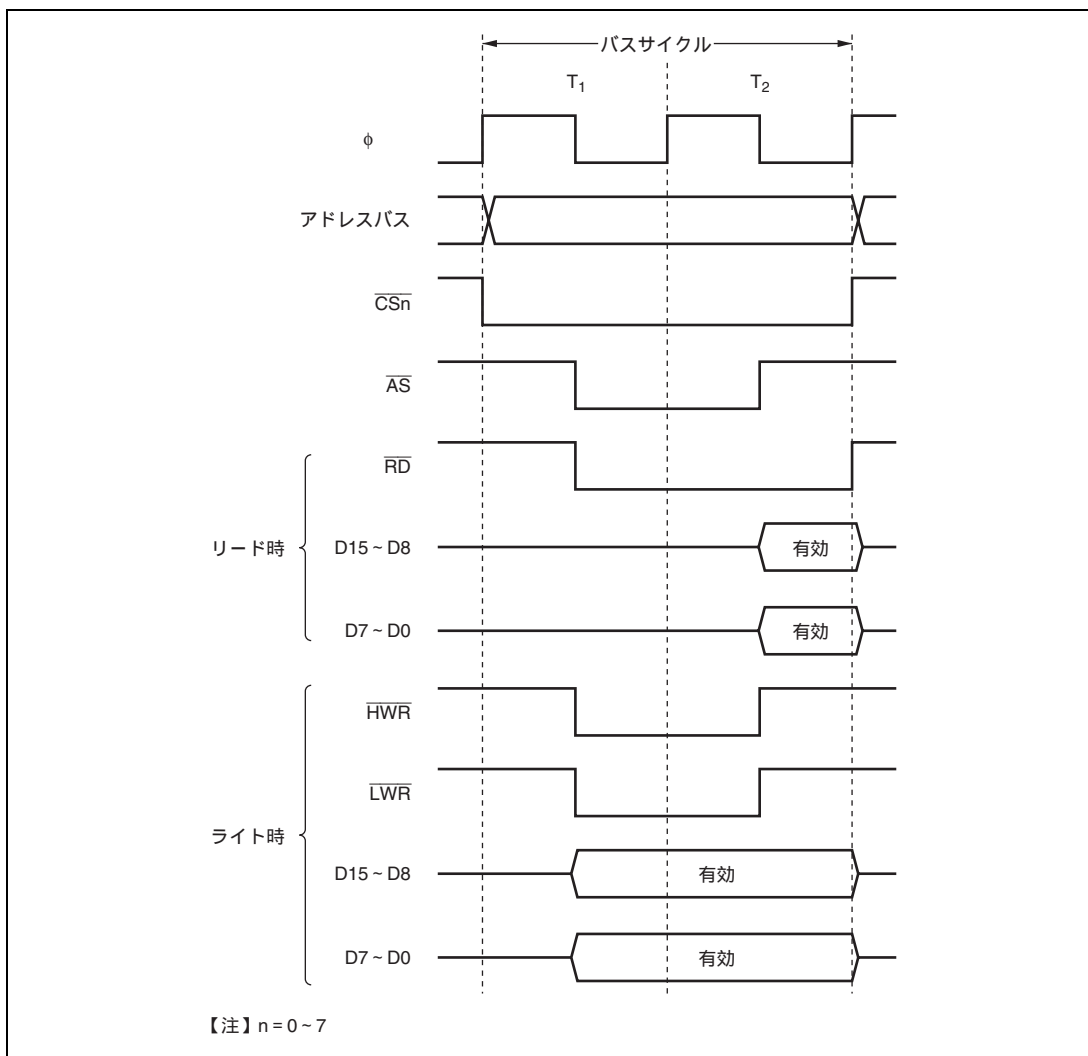


図 7.20 16 ビット 2 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

7. バスコントローラ

(4) 16ビット3ステートアクセス空間

図 7.21～図 7.23 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することができます。

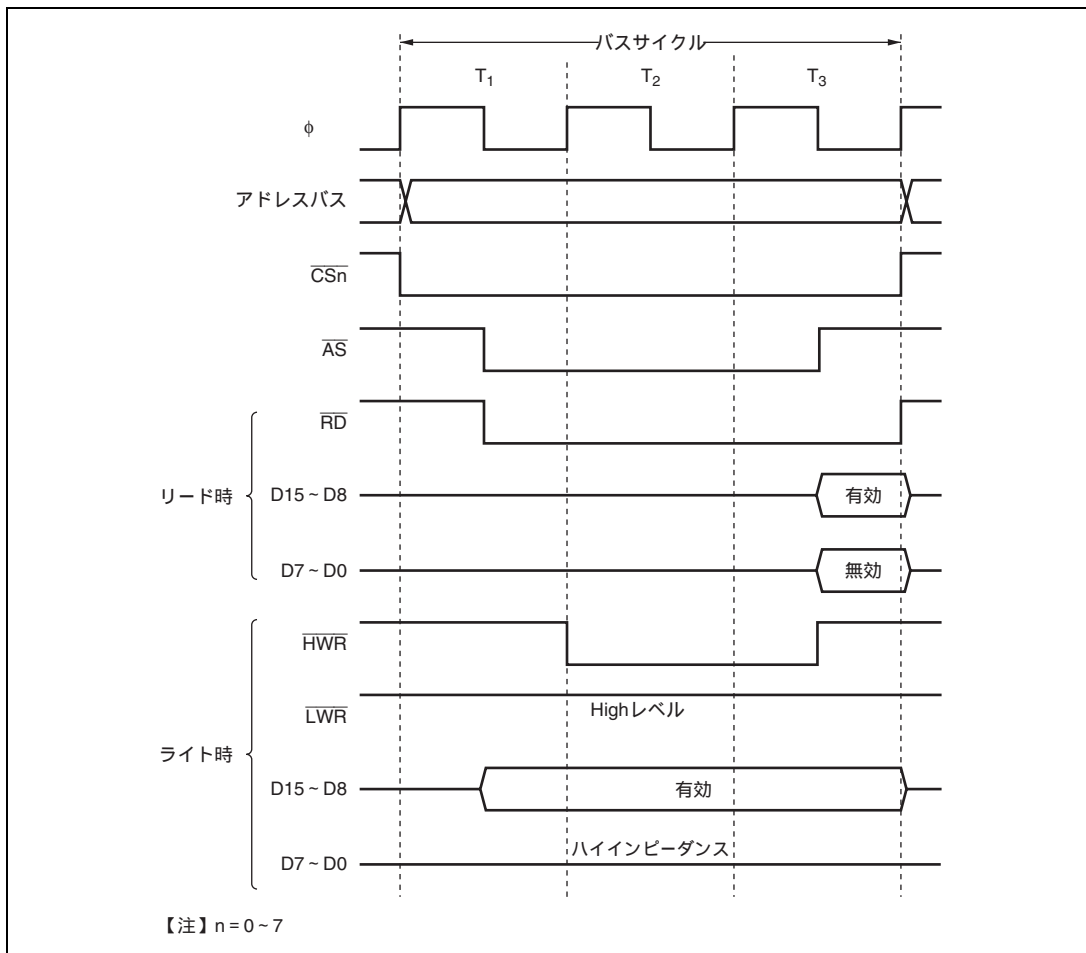


図 7.21 16 ビット 3 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

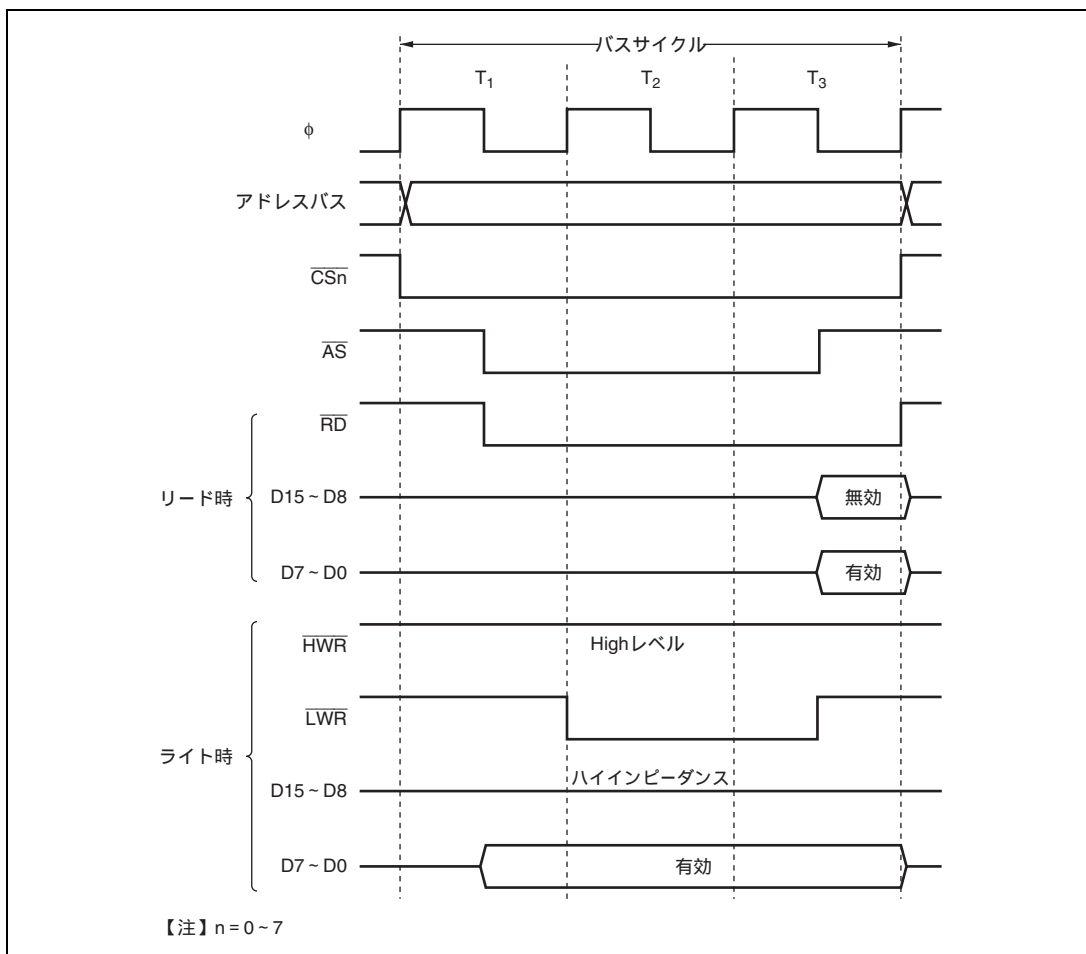


図 7.22 16 ビット 3 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

7. バスコントローラ

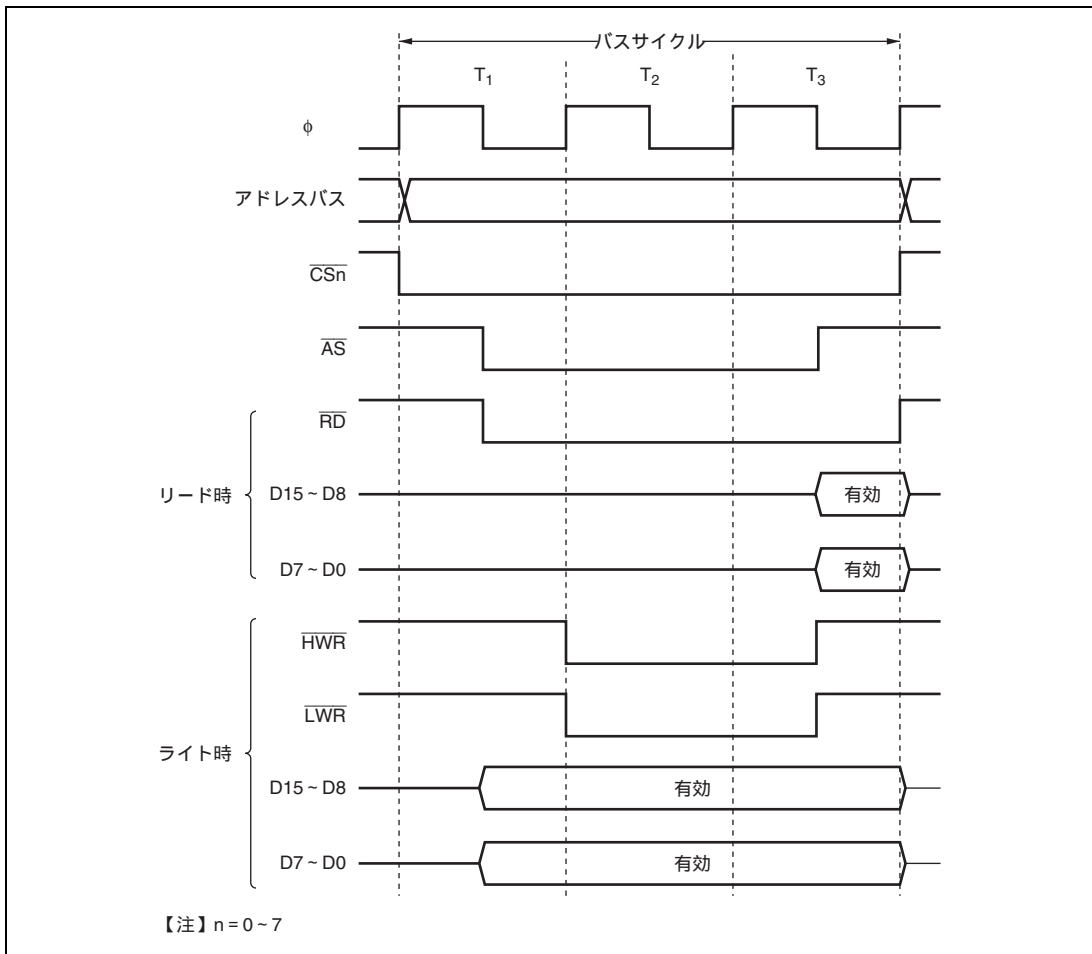


図 7.23 16 ビット 3 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

7.6.4 ウェイト制御

本 LSI は、外部アドレス空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCRH の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部アドレス空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

図 7.24 にウェイトステート挿入のタイミング例を示します。

7. バスコントローラ

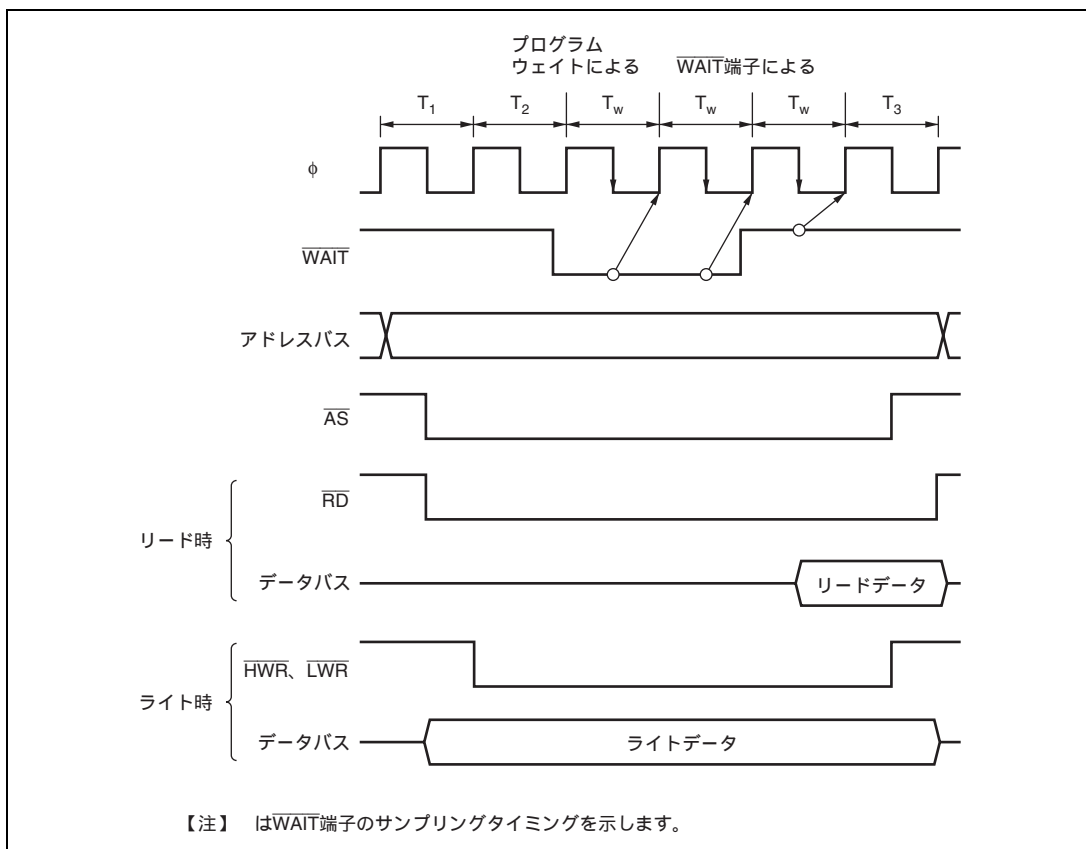


図 7.24 ウェイトステート挿入タイミング例

7.7 バースト ROM インタフェース

本 LSI は、エリア 0 の外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

7.7.1 基本タイミング

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビ

ットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 7.25、図 7.26 に示します。

図 7.25 は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 7.26 は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

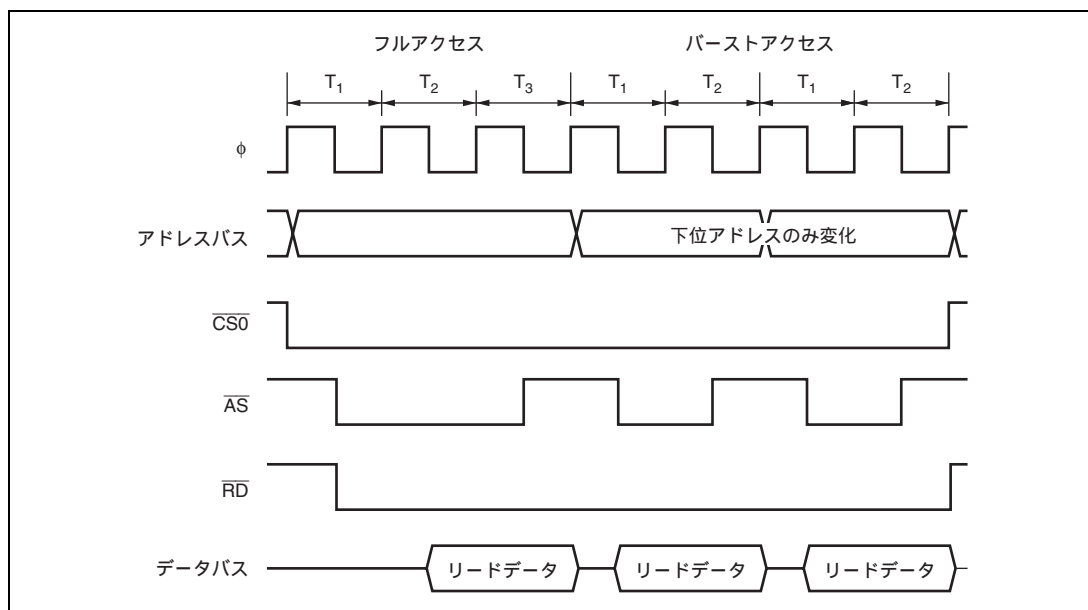


図 7.25 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)

7. バスコントローラ

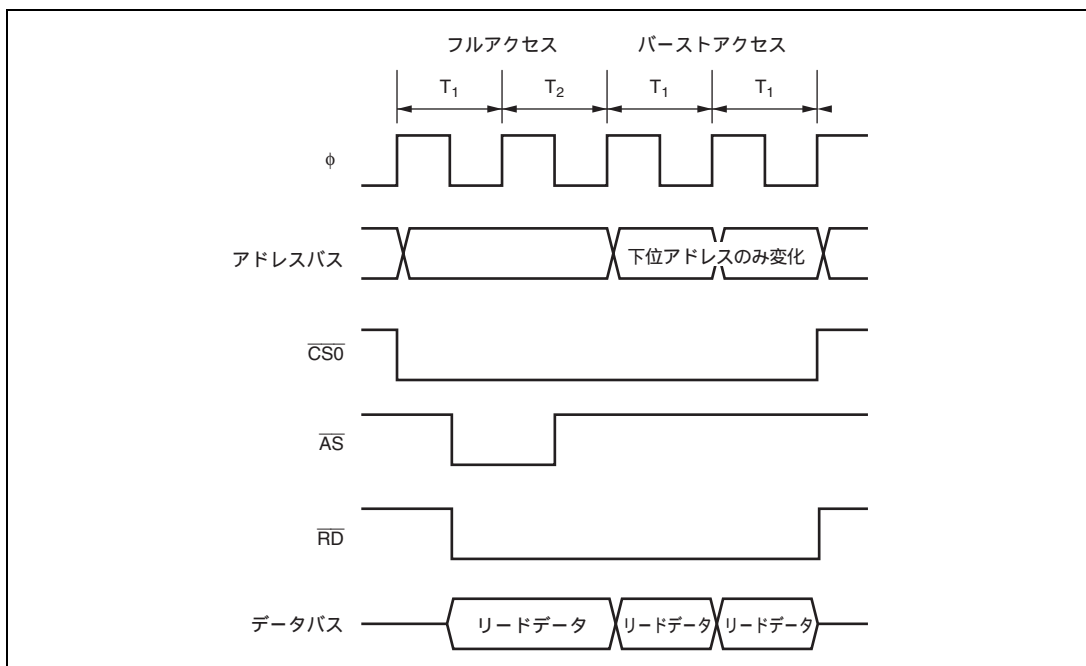


図 7.26 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合)

7.7.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) \overline{WAIT} 端子による端子ウェイトの挿入、が可能です。「7.6.4 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

7.8 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_I) を1ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きいROMと、高速メモリ、I/O インタフェースとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 7.27 に動作例を示します。バスサイクル A は、出力フローティング時間の大きいROMからのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

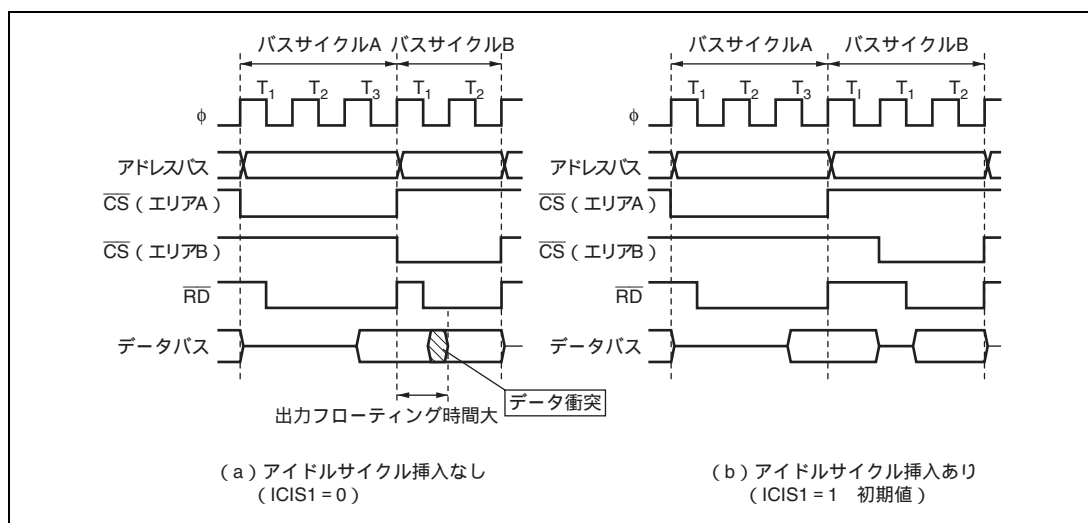


図 7.27 アイドルサイクル動作例 (1)

7. バスコントローラ

(2) リード後のライト

BCRHのICIS0ビットを1にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図7.28に動作例を示します。バスサイクルAは、出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはCPUのライトサイクルの場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBで、ROMからのリードデータとCPUのライトデータの衝突が発生しています。これに対し(b)ではアイドルサイクルを挿入し、データの衝突を回避しています。

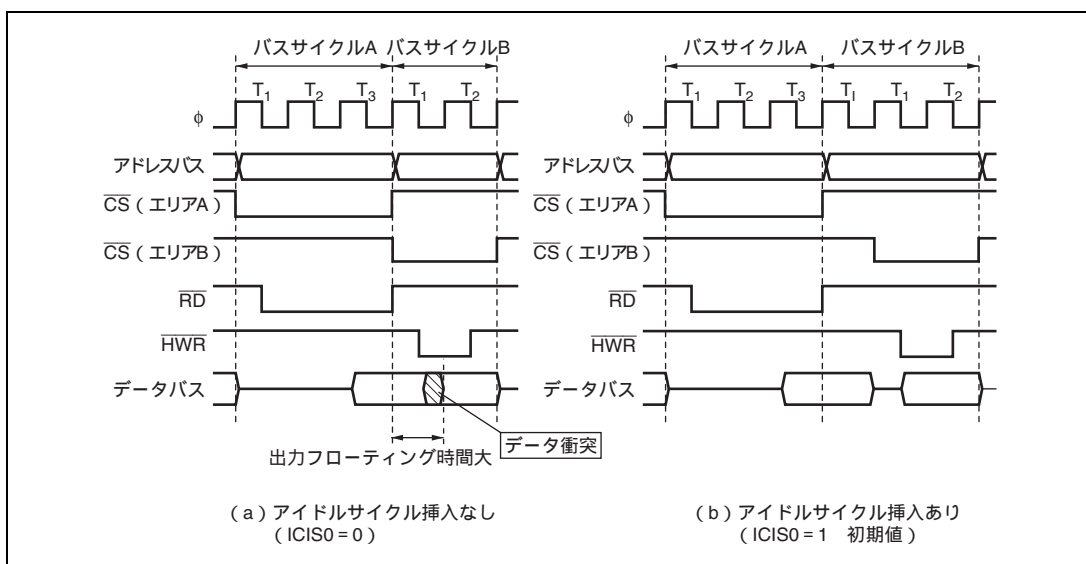
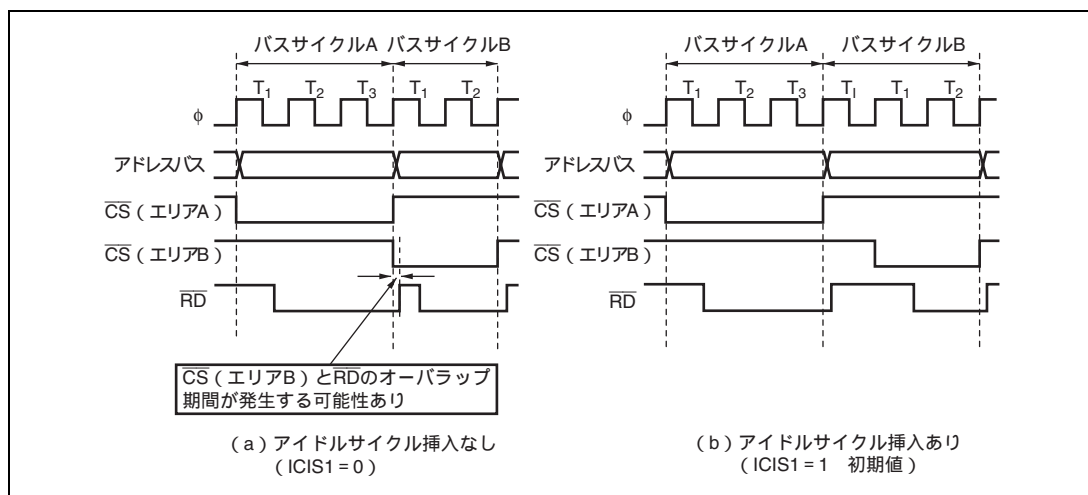


図 7.28 アイドルサイクル動作例 (2)

(3) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 7.29 に例を示します。このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

図 7.29 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

アイドルサイクルでの端子状態を表 7.4 に示します。

表 7.4 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
\overline{CSn}	High レベル
\overline{AS}	High レベル
\overline{RD}	High レベル
HWR	High レベル
LWR	High レベル

7. バスコントローラ

7.9 バス解放

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り、内部バスマスタは動作を継続します。

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで、 $\overline{\text{BACK}}$ 端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとすると、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求と外部アクセスをが同時に発生したときの優先順位：

(高) 外部バス権 > 内部バスマスタの外部アクセス (低)

外部バス権解放状態での端子状態を表 7.5 に示します。

表 7.5 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{\text{CSn}}$	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
HWR	ハイインピーダンス
LWR	ハイインピーダンス

バス権解放状態への遷移タイミングを図 7.30 に示します。

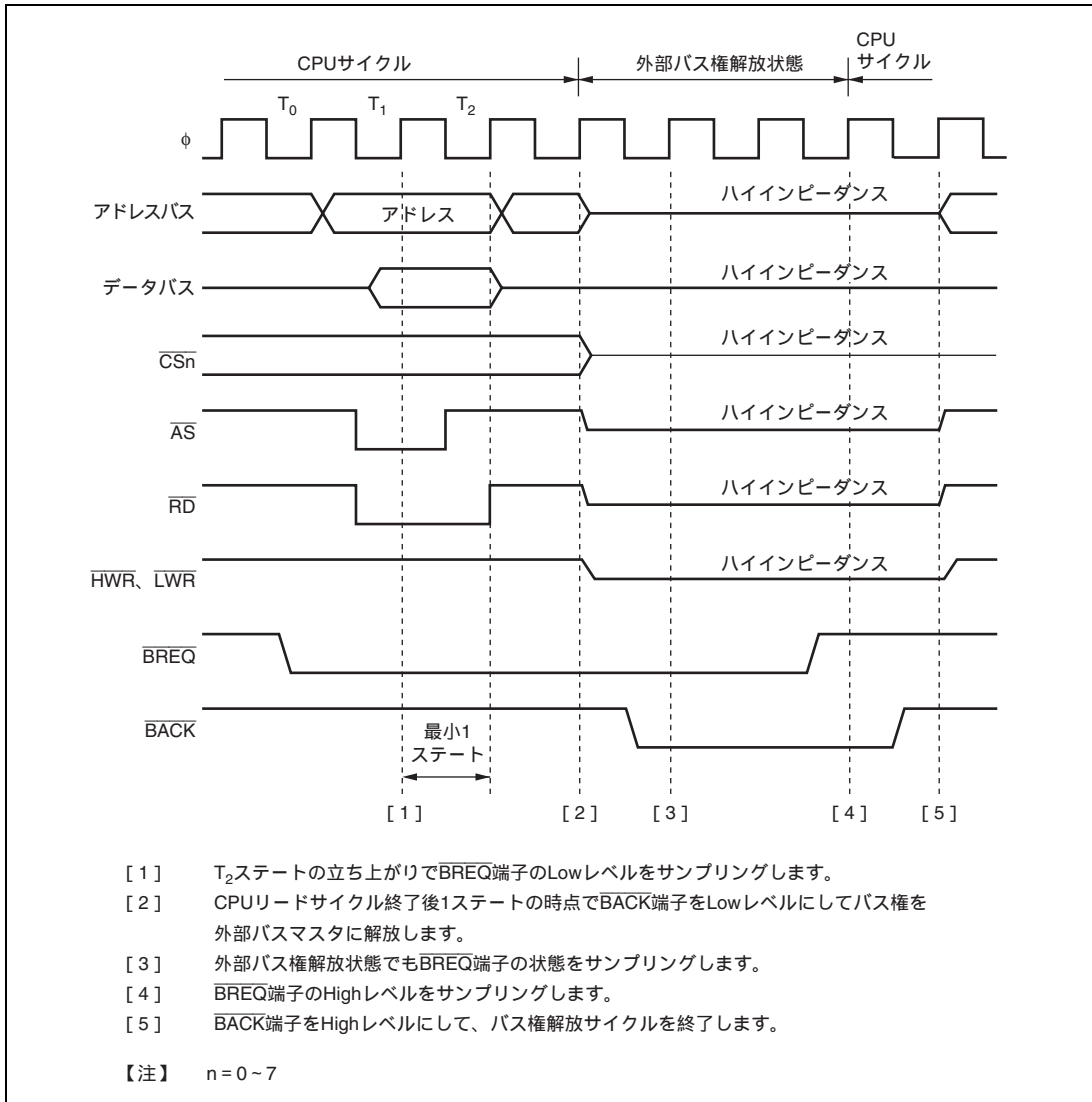


図 7.30 バス権解放状態遷移タイミング

7.9.1 バス権解放の使用上の注意事項

ソフトウェアスタンバイ、ウォッチモードに遷移する場合、外部バス権解放機能は停止します。また、MSTPCR を H'FFFFFF に設定し、かつスリープモードに遷移した状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は MSTPCR には H'FFFFFF を設定しないでください。

7.10 バスアービトレーション

本 LSI はバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU および DTC の 2 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

7.10.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

（高） DTC > CPU （低）

なお、内部バスマスタの内部バスアクセスと外部バス権解放は並行して実行することができます。

外部バス権解放要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

（高）外部バス権解放 > 内部バスマスタの外部アクセス（低）

7.10.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

（1）CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権をバスマスタの要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

1. バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
2. CPU がスリープモードの場合、直ちにバス権を移行します。

（2）DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3 ステート）後、1 回のデータ転送後、レジスタ情報のライト（3 ステート）後です。レジスタ情報のリード（3 ステート）中、1 回のデータ転送中、レジスタ情報のライト（3 ステート）中にはバスを解放しません。

7.10.3 外部バス権解放使用上の注意事項

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

\overline{CS} 信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 \overline{CS} 信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

7.11 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセットでは、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 \overline{WAIT} 入力は無視されます。ライトデータは保証されません。

8. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 8.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときは、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

8.1 特長

- 任意チャンネル数の転送可能
 - 一つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 転送モード : 3種類
 - ノーマルモード、リピーモード、ブロック転送モード
- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- ソフトウェアによる起動が可能
- モジュールストップモードの設定可能

8. データトランスファコントローラ (DTC)

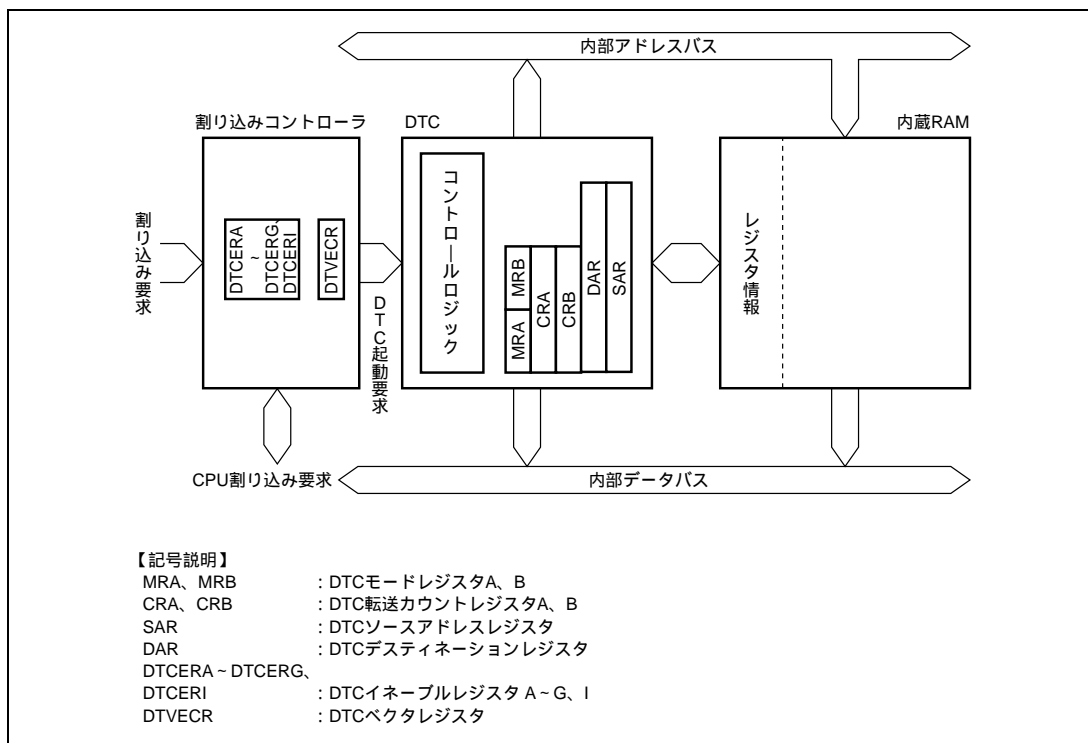


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタA~G, I (DTCERA~DTCERG, DTCERI)
- DTCベクタレジスタ (DTVECR)

8.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード 1、0 DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 :
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【記号説明】 X : Don't care

8. データトランスファコントローラ (DTC)

8.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル チェイン転送を指定するビットです。チェイン転送の詳細は「8.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。 0 : DTC データ転送終了 (起動待ち状態) 1 : DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)
6	DISEL	不定		DTC インタラプトセレクト 1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定するビットです。 0 : 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します (DTC は、起動要因となった割り込み要求フラグを 0 にクリア)。 1 : DTC データ転送のたびに CPU に対して割り込み要求を発生します (DTC は、起動要因となった割り込み要求フラグを 0 にクリアしない)
5~0		不定		リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リピートモードでは CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。ブロック転送モードでは CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

8.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

8.2.7 DTC イネーブルレジスタ A ~ G、I (DTCERA ~ DTCERG、DTCERI)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERG、DTCERI があります。各割り込み要因と DTCE ビットの対応、およびそのとき割り込みコントローラが発生するベクタ番号については表 8.2 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし複数の起動要因を一度に設定するときには、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードしたあとライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCEn7	0	R/W	DTC 起動イネーブル
6	DTCEn6	0	R/W	0 : 割り込み DTC 起動を禁止します。
5	DTCEn5	0	R/W	1 : 対応する割り込み要因が DTC 起動要因として選択されます。
4	DTCEn4	0	R/W	[クリア条件]
3	DTCEn3	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
2	DTCEn2	0	R/W	• 指定した回数の転送が終了したとき
1	DTCEn1	0	R/W	[保持条件]
0	DTCEn0	0	R/W	• DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n = A ~ G、I)

8. データトランスファコントローラ (DTC)

8.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェアによる DTC 起動の許可または禁止の設定およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル DTC ソフトウェア起動の許可または禁止を設定するビットです。 0 : DTC ソフトウェア起動禁止 1 : DTC ソフトウェア起動許可 [クリア条件] <ul style="list-style-type: none">• DISEL ビットが 0 で、指定した回数の転送が終了しないとき• CPU に対し、ソフトウェア起動データ転送終了割り込み要求 (SWDTEND) が発生したあと、0 をライトしたとき [保持条件] <ul style="list-style-type: none">• DISEL ビットが 1 でデータ転送を終了したとき• 指定した回数の転送が終了したとき• ソフトウェア起動によるデータ転送中
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE = 0 のときのみライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

8.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると CPU の割り込み要因となります。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。表 8.1 に起動要因と DTCER クリアを示します。たとえば RX10 の場合、起動要因フラグは、SCI_0 の RDRF フラグになります。DTC の起動要因は多数あるため、最終バイト (またはワード) の転送に対しては起動要因となったフラグをクリアしません。各割り込み処理にて必要な処理をしてください。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 8.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

表 8.1 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	<ul style="list-style-type: none"> • SWDTE ビットは 0 にクリア 	<ul style="list-style-type: none"> • SWDTE ビットは 1 を保持 • CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> • DTCER の対応するビットは 1 を保持 • 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> • DTCER の対応するビットは 0 にクリア • 起動要因フラグは 1 を保持 • 起動要因となった割り込みを CPU に要求

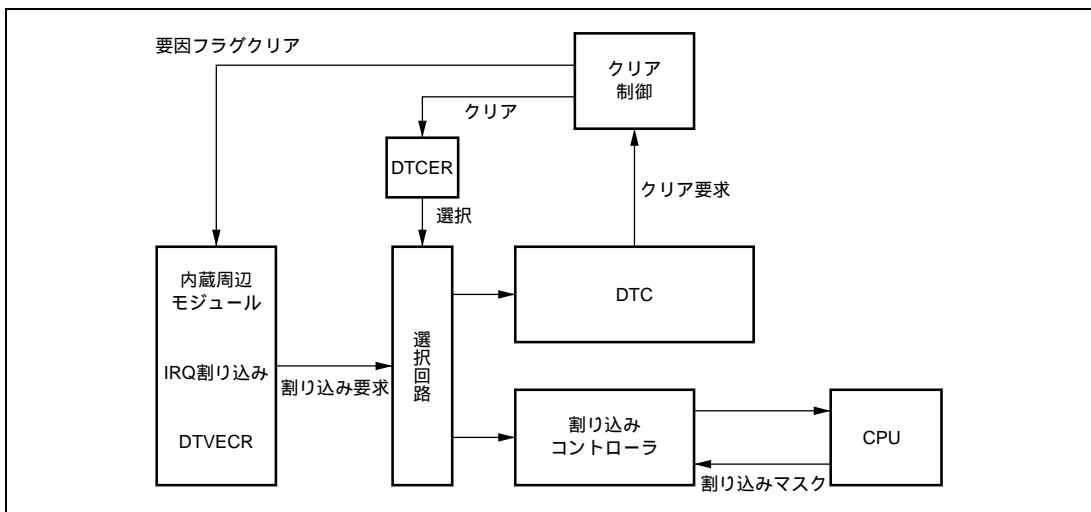


図 8.2 DTC 起動要因制御ブロック図

8.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFEB00 ~ H'FFEFBF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは 4 の倍数の番地としてください。図 8.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 8.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 8.4 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは $H'0400 + (DTVECR[6:0] \times 2)$ となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモード*とアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

【注】 * 本 LSI では使用できません。

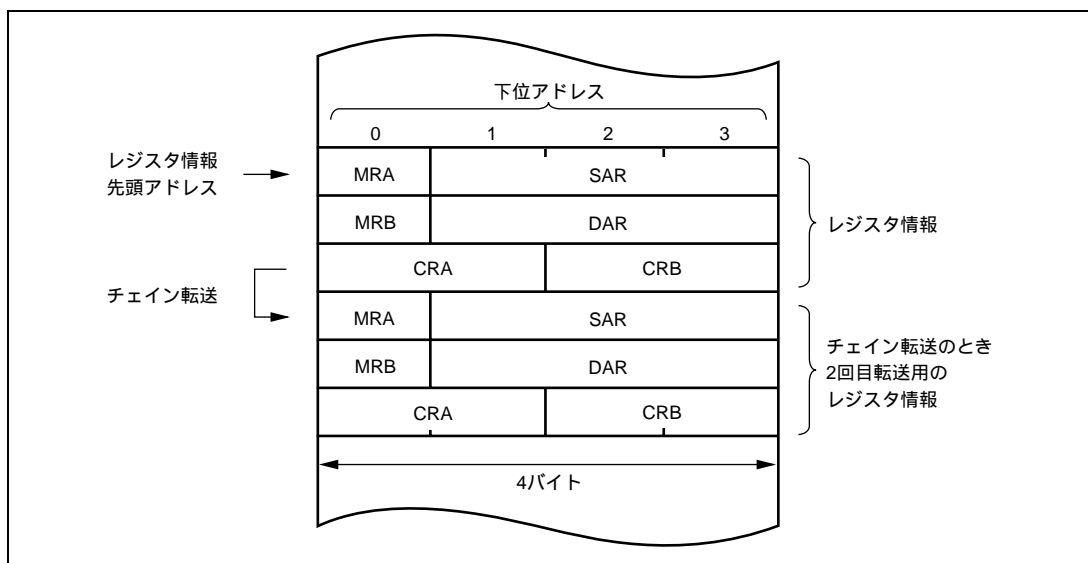


図 8.3 アドレス空間上での DTC レジスタ情報の配置

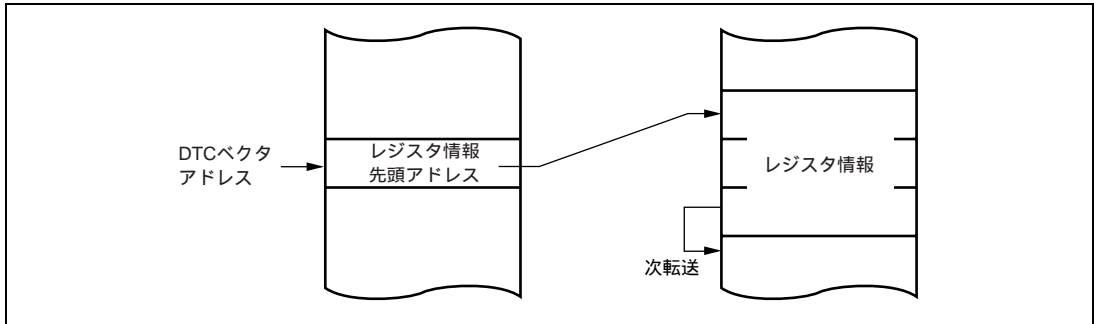


図 8.4 DTC ベクタアドレスとレジスタ情報との対応

8. データトランスファコントローラ (DTC)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
SCI チャンネル 1	RXI1	85	H'04AA	DTCEE1	<div style="display: flex; align-items: center; justify-content: center;"> <div style="border-left: 1px solid black; border-right: 1px solid black; height: 100%;"></div> <div style="margin: 0 5px;">↑</div> </div> 高
	TXI1	86	H'04AC	DTCEE0	
SCI チャンネル 2	RXI2	89	H'04B2	DTCEF7	
	TXI2	90	H'04B4	DTCEF6	
8ビットタイム チャンネル 2	CMIA2	92	H'04B8	DTCEF5	
	CMIB2	93	H'04BA	DTCEF4	
8ビットタイム チャンネル 3	CMIA3	96	H'04C0	DTCEF3	
	CMIB3	97	H'04C2	DTCEF2	
IEB (H8S/2552 グループのみ)	IERxl	105	H'04D2	DTCEG6	
	IETxl	106	H'04D4	DTCEG5	
HCAN (H8S/2556 グループのみ)	RM0	109	H'04DA	DTCEG2	
SCI チャンネル 3	RXI3	121	H'04F2	DTCEI7	
	TXI3	122	H'04F4	DTCEI6	
SCI チャンネル 4	RXI4	125	H'04FA	DTCEI5	
	TXI4	126	H'04FC	DTCEI4	

【注】 * 対応する割り込みのないDTCEビットはリザーブビットとなります。0をライトしてください。

8.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

図 8.5 に DTC の動作フローチャートを示します。

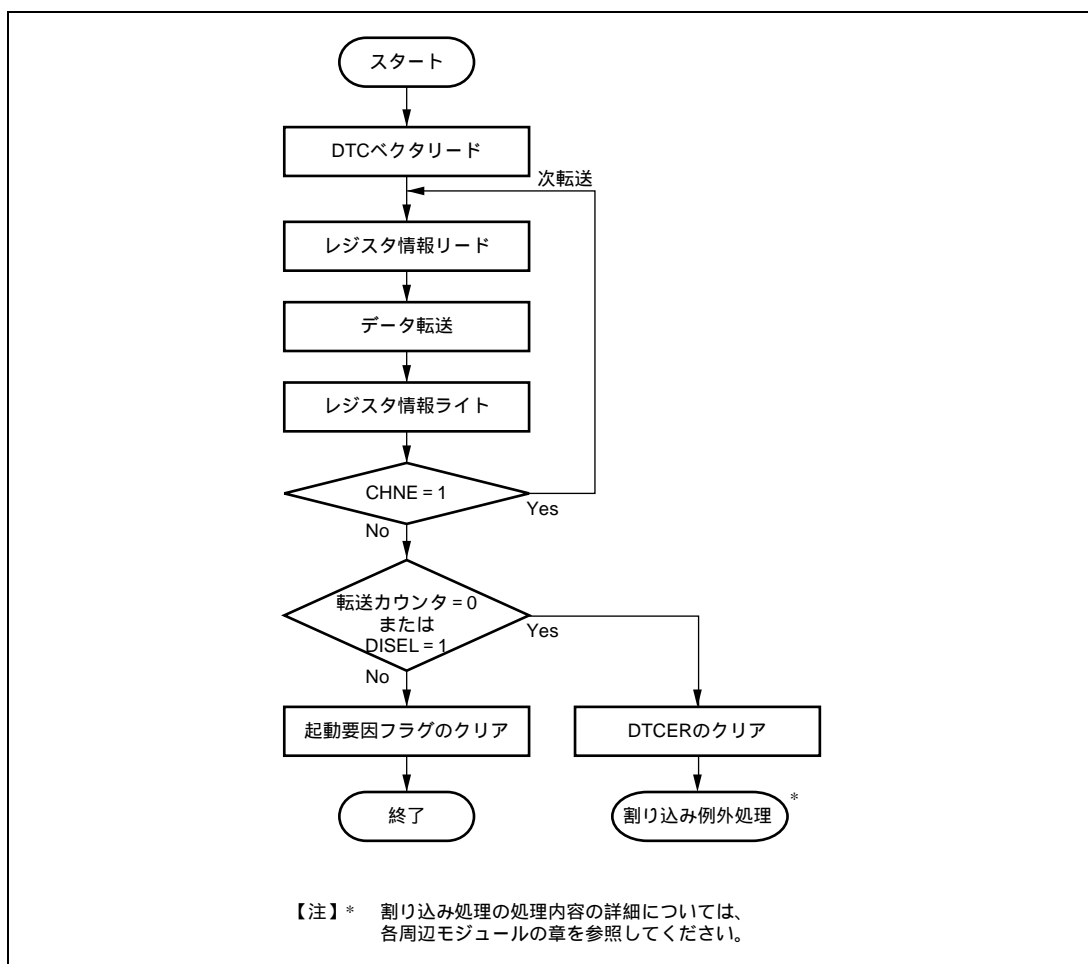


図 8.5 DTC 動作フローチャート

8.5.1 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。表8.3にノーマルモードにおけるレジスタ機能を、図8.6にノーマルモードのメモリマップを示します。

表 8.3 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

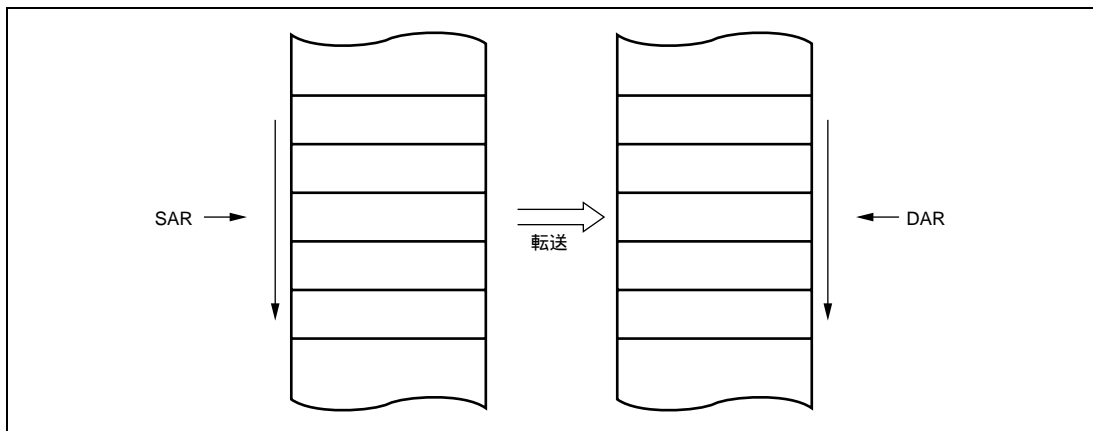


図 8.6 ノーマルモードのメモリマップ

8. データトランスファコントローラ (DTC)

8.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。表8.4にリピートモードにおけるレジスタ機能を、図8.7にリピートモードのメモリマップを示します。

表 8.4 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

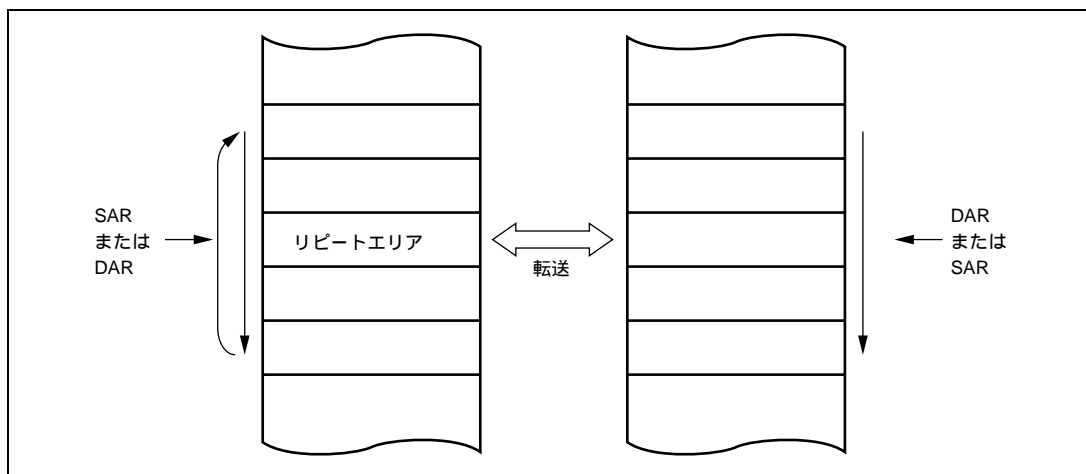


図 8.7 リピートモードのメモリマップ

8.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。表 8.5 にブロック転送モードにおけるレジスタ機能を、図 8.8 にブロック転送モードのメモリマップを示します。

表 8.5 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

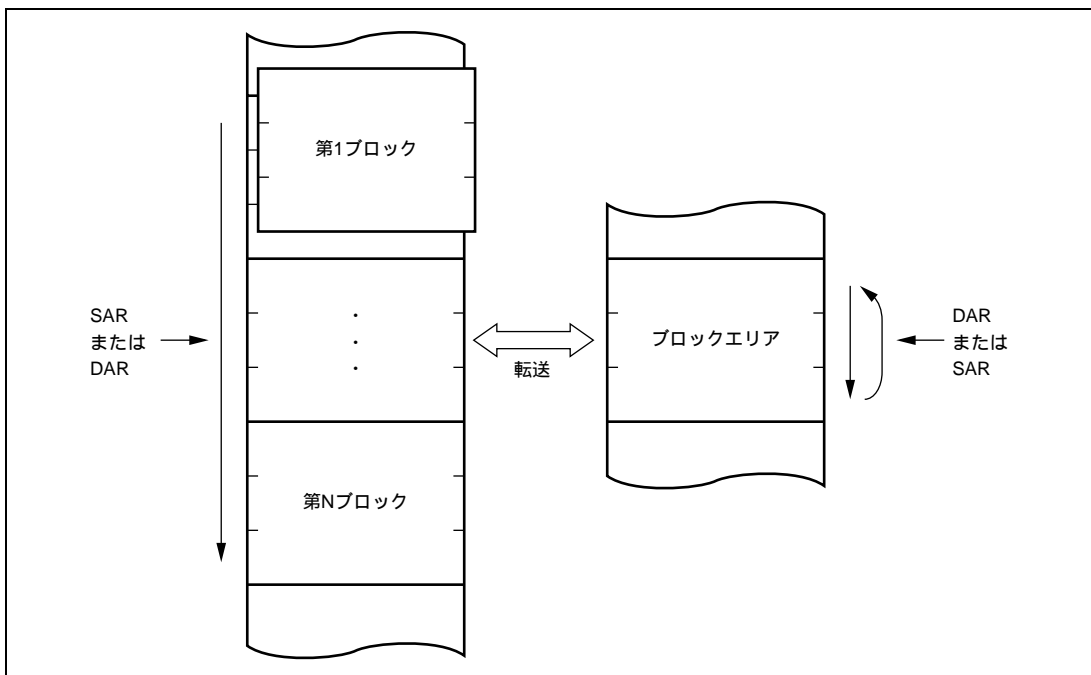


図 8.8 ブロック転送モードのメモリマップ

8.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB、MRA、および MRB は個別に設定できます。

図 8.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISSEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

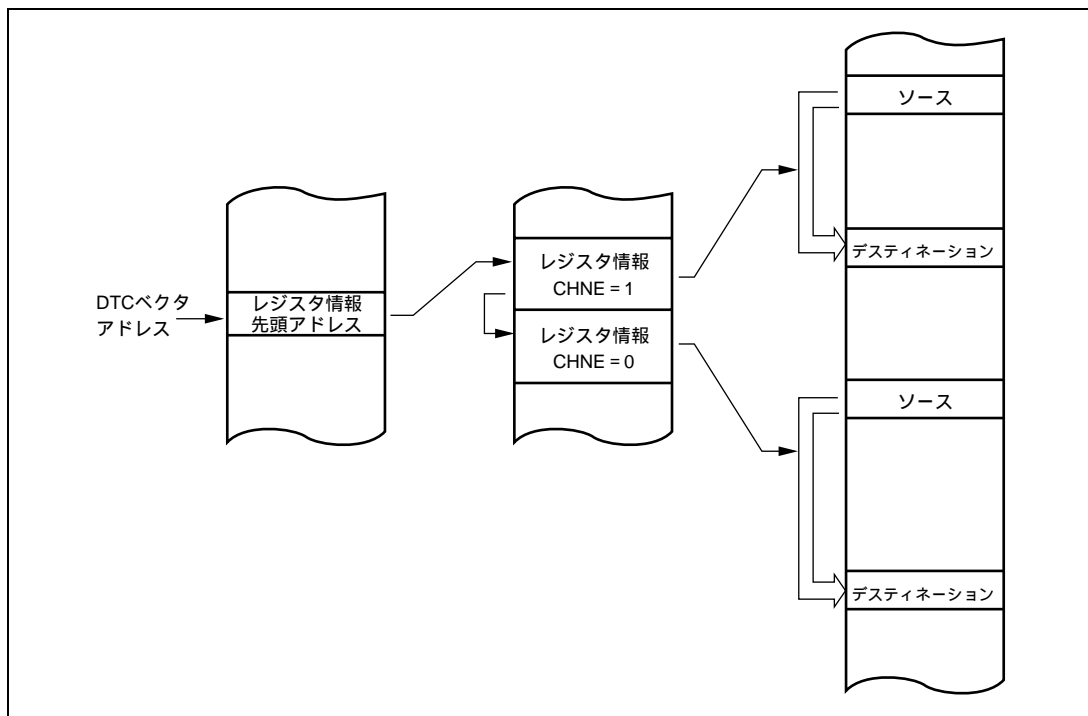


図 8.9 チェイン転送の動作

8.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

8.5.6 動作タイミング

図 8.10 ~ 図 8.12 に DTC の動作タイミングを示します。

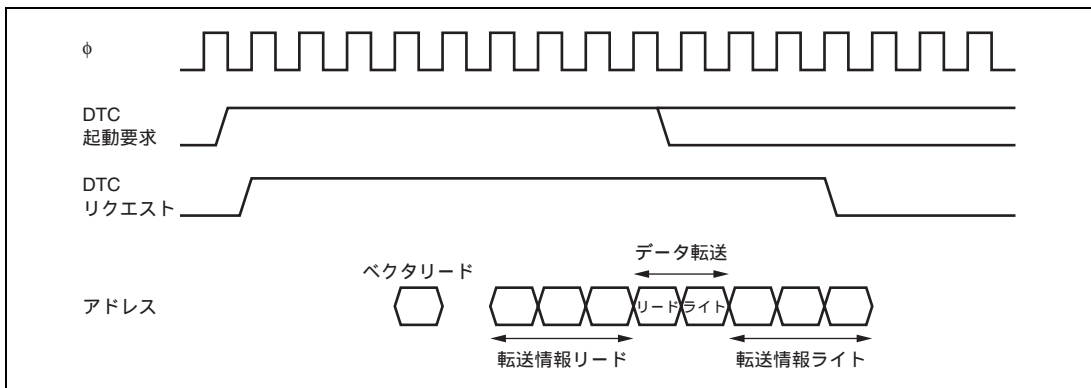


図 8.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

8. データトランスファコントローラ (DTC)

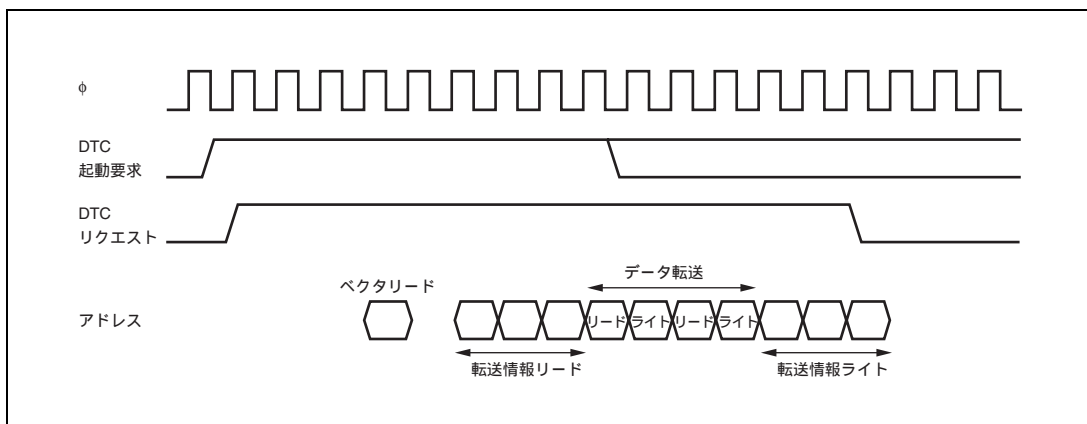


図 8.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

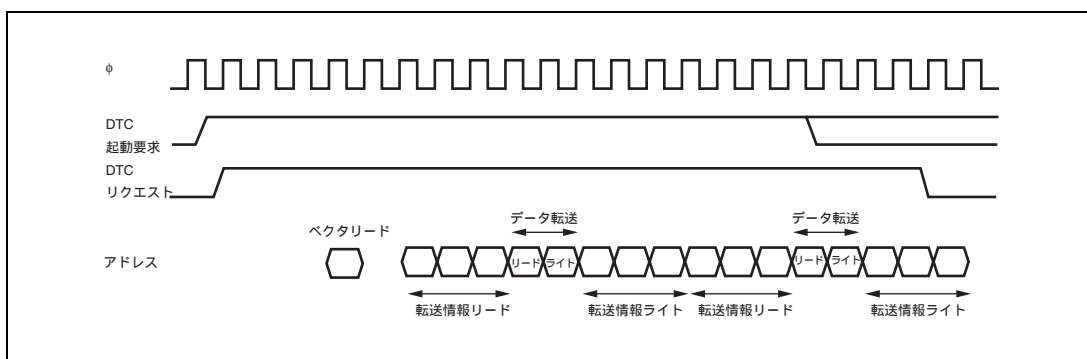


図 8.12 DTC の動作タイミング (チェイン転送の例)

8.5.7 DTC 実行ステート数

表 8.6 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.7 に、実行状態に必要なステート数を示します。

表 8.6 DTC の実行状態

モード	ベクタリード	レジスタ情報 リード/ライト	データリード	データライト	内部動作
	I	J	K	L	M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

【記号説明】

N : ブロックサイズ (CRAH、CRAL の初期設定値)

8. データトランスファコントローラ (DTC)

表 8.7 実行状態に必要なステート数

アクセス対象	内蔵 RAM	内蔵 ROM	内部 I/O レジスタ				外部デバイス				
			IEB* ¹	HCAN* ²	IEB、HCAN 以外						
バス幅	32	16	8	16	8	16	8		16		
アクセスステート	1	1	4	5	2	2	2	3	2	3	
実行状態	ベクタリード S _i	-	1	-	-	-	-	4	6+2m	2	3+m
	レジスタ情報 S _j リード/ライト	1	-	-	-	-	-	-	-	-	-
	バイトデータリード S _k	1	1	4	5	2	2	2	3+m	2	3+m
	ワードデータリード S _k	1	1	-	5	4	2	4	6+2m	2	3+m
	バイトデータライト S _L	1	1	4	5	2	2	2	3+m	2	3+m
	ワードデータライト S _L	1	1	-	5	4	2	4	6+2m	2	3+m
	内部動作 S _M	1									

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

【注】 *1 H8S/2552 グループのみ

*2 H8S/2556 グループのみ

実行ステート数は次の計算式で計算されます。なお、は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = 1 \cdot S_i + (J \cdot S_j + K \cdot S_k + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

8.6 DTC 使用手順

8.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

8.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

8.7 DTC 使用例

8.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.2 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1とともに、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。

8. データトランスファコントローラ (DTC)

- 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3]と[4]の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]に戻ってください。
- ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

8.8 使用上の注意事項

8.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTCの動作禁止/許可を設定することが可能です。初期値では、DTCの動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTCが起動中にはモジュールストップモードに設定できません。詳細は、「第22章 低消費電力状態」を参照してください。

8.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRBの各レジスタは、内蔵RAMに配置します。DTCを使用する場合は、SYSCRのRAMEビットを0にクリアしないでください。

8.8.3 DTCE ビットの設定

DTCEビットの設定は、必ずBSET、BCLRなどビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

9. I/O ポート

ポートの機能一覧を表 9.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート A ~ E には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン / オフを制御できます。

ポート 3、ポート A にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン / オフを選択できます。

すべてのポートは 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

ポート 3 の P34、P35 の出力形式は、NMOS プッシュプル出力となっています。

$\overline{\text{IRQ}}$ 端子は、シュミットトリガ入力です。

9. I/O ポート

表 9.1 ポートの機能一覧

ポート名	概要	モード 6	モード 7	入出力形態他
ポート 1	TPU 入出力端子、割り込み入力端子と兼用汎用入出力ポート	P17/TIOCB2/TCLKD P16/TIOCA2/ $\overline{\text{IRQ1}}$ P15/TIOCB1/TCLKC P14/TIOCA1/ $\overline{\text{IRQ0}}$ P13/TIOCD0/TCLKB P12/TIOCC0/TCLKA P11/TIOCB0 P10/TIOCA0		シュミットトリガ入力 ($\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$)
ポート 2	TPU 入出力端子と兼用汎用入出力ポート	P27/TIOCB5 P26/TIOCA5 P25/TIOCB4 P24/TIOCA4 P23/TIOCD3 P22/TIOCC3 P21/TIOCB3 P20/TIOCA3		
ポート 3	I ² C バスインタフェース 2 入出力端子、SCI 入出力端子、割り込み入力端子と兼用汎用入出力ポート	P37/TxD4 P36/RxD4 P35/SCK1/SCK4/SCL0/ $\overline{\text{IRQ5}}$ P34/RxD1/SDA0 P33/TxD1/SCL1 P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$ P31/RxD0 P30/TxD0		オープンドレイン出力可能 シュミットトリガ入力 ($\overline{\text{IRQ5}}$ 、 $\overline{\text{IRQ4}}$) NMOS プッシュプル出力 (P35、P34、SCK1、SCK4)
ポート 4	A/D 変換器アナログ入力端子と兼用汎用入力ポート	P47/AN7 P46/AN6 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0		
ポート 5	SCI 入出力端子と兼用汎用入出力ポート	P52/SCK2 P51/RxD2 P50/TxD2		

ポート名	概要	モード 6	モード 7	入出力形態他
ポート 7	SCI 入出力端子、TMR 入出力端子、バス制御出力端子、マニュアルリセット入力端子と兼用汎用入出力ポート	P77/TxD3 P76/RxD3 P75/TMO3/SCK3 P74/TMO2/MRES P73/TMO1/CS7 P72/TMO0/CS6 P71/TMRI23/TMCI23/CS5 P70/TMRI01/TMCI01/CS4	P73/TMO1 P72/TMO0 P71/TMRI23/TMCI23 P70/TMRI01/TMCI01	
ポート 9	A/D 変換器アナログ入力端子、D/A 変換器アナログ出力端子と兼用汎用入力ポート	P97/AN15/DA1 P96/AN14/DA0 P95/AN13 P94/AN12 P93/AN11 P92/AN10 P91/AN9 P90/AN8		
ポート A	アドレス出力端子と兼用汎用入出力ポート	PA7/A23 PA6/A22 PA5/A21 PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	PA7 PA6 PA5 PA4 PA3 PA2 PA1 PA0	入力プルアップ MOS 内蔵 オープンドレイン出力可能
ポート B	アドレス出力端子と兼用汎用入出力ポート	PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8	PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	入力プルアップ MOS 内蔵

9. I/O ポート

ポート名	概要	モード 6	モード 7	入出力形態他
ポート C	アドレス出力端子と兼用汎用入出力ポート	PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	PC7 PC6 PC5 PC4 PC3 PC2 PC1 PC0	入力プルアップ MOS 内蔵
ポート D	データ入出力端子と兼用汎用入出力ポート	D15 D14 D13 D12 D11 D10 D9 D8	PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	入力プルアップ MOS 内蔵
ポート E	データ入出力端子と兼用汎用入出力ポート	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0	入力プルアップ MOS 内蔵
ポート F	システムクロック出力端子、割り込み入力端子、バス制御入出力端子、A/D 変換器入力端子、BUZZ 出力端子と兼用汎用入出力ポート	PF7/ ϕ \overline{AS} \overline{RD} \overline{HWR} PF3/ $\overline{LWR}/\overline{ADTRG}/\overline{IRQ3}$ PF2/ \overline{WAIT} PF1/ $\overline{BACK}/\overline{BUZZ}$ PF0/ $\overline{BREQ}/\overline{IRQ2}$	PF7/ ϕ PF6 PF5 PF4 PF3/ $\overline{ADTRG}/\overline{IRQ3}$ PF2 PF1/ \overline{BUZZ} PF0/ $\overline{IRQ2}$	シュミット トリガ入力 ($\overline{IRQ3}$ 、 $\overline{IRQ2}$)
ポート G	バス制御出力端子、割り込み入力端子、IEB 入出力端子* ¹ と兼用汎用入出力ポート	PG4/ $\overline{CS0}$ PG3/ $\overline{Rx}^{*1}/\overline{CS1}^{*2}$ PG2/ $\overline{Tx}^{*1}/\overline{CS2}^{*2}$ PG1/ $\overline{CS3}/\overline{IRQ7}$ PG0/ $\overline{IRQ6}$	PG4 PG3/ \overline{Rx}^{*1*2} PG2/ \overline{Tx}^{*1*2} PG1/ $\overline{IRQ7}$ PG0/ $\overline{IRQ6}$	シュミット トリガ入力 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$)

ポート名	概要	モード 6	モード 7	入出力形態他
ポート H	汎用入出力ポート	PH7 PH6 PH5 PH4 PH3 PH2 PH1 PH0		
ポート J	汎用入出力ポート	PJ7 PJ6 PJ5 PJ4 PJ3 PJ2 PJ1 PJ0		

【注】 *1 IEB の $\overline{R\bar{x}}$ 、 $\overline{T\bar{x}}$ は H8S/2552 グループのみ有効となります。

*2 H8S/2556 グループには PG3/ $\overline{R\bar{x}}$ /CS1、PG2/ $\overline{T\bar{x}}$ /CS2 端子はありません。

9. I/O ポート

9.1 ポート 1

ポート 1 は 8 ビットの兼用入出力ポートです。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

9.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR はポート 1 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

9.1.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

9.1.3 ポート 1 レジスタ (PORT1)

PORT1 はポート 1 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P17	*	R	このレジスタをリードすると、P1DDR がセットされているビットは P1DR の値がリードされます。P1DDR がクリアされているビットは端子の状態がリードされます。
6	P16	*	R	
5	P15	*	R	
4	P14	*	R	
3	P13	*	R	
2	P12	*	R	
1	P11	*	R	
0	P10	*	R	

【注】 * P17～P10 端子の状態により決定されます。

9.1.4 端子機能

ポート 1 は、TPU の入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P17/TIOCB2/TCLKD

TPU チャンネル 2 の設定、TCR_0、TCR_5 の TPSC2～TPSC0 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定*1	出力設定	入力設定または初期値	
P17DDR	-	0	1
端子機能	TIOCB2 出力端子	P17 入力端子	P17 出力端子
		TIOCB2 入力端子*2	
TCLKD 入力端子*3			

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 2 のタイマの動作モードが通常モードまたは位相計数モードで TIOR_2 の IOB3=1 のとき、TIOCB2 入力端子となります。

*3 TCR_0、TCR_5 のいずれかの設定が TPSC2～TPSC0=111 の場合に TCLKD 入力端子となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力端子となります。

9. I/O ポート

• P16/TIOCA2/IRQT

TPU チャンネル 2 の設定、および P16DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定*1	出力設定	入力設定または初期値	
P16DDR	-	0	1
端子機能	TIOCA2 出力端子	P16 入力端子	P16 出力端子
		TIOCA2 入力端子*2	
	IRQT 入力端子*3		

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 2 のタイマの動作モードが通常動作または位相計数モードで TIOR_2 の IOA3 = 1 のとき、TIOCA2 入力端子となります。

*3 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

• P15/TIOCB1/TCLKC

TPU チャンネル 1 の設定、TCR_0、TCR_2、TCR_4、TCR_5 の TPSC2 ~ TPSC0 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定*1	出力設定	入力設定または初期値	
P15DDR	-	0	1
端子機能	TIOCB1 出力端子	P15 入力端子	P15 出力端子
		TIOCB1 入力端子*2	
	TCLKC 入力端子*3		

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR_1 の IOB3 ~ IOB0 = 10xx のとき、TIOCB1 入力端子となります。

*3 TCR_0、TCR_2 のいずれかの設定が TPSC2 ~ TPSC0 = 110 または TCR_4、TCR_5 のいずれかの設定が TPSC2 ~ TPSC0 = 101 の場合に TCLKC 入力端子となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力端子となります。

- P14/TIOCA1/ $\overline{\text{IRQ0}}$

TPU チャンネル 1 の設定、および P14DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定*1	出力設定	入力設定または初期値	
P14DDR	-	0	1
端子機能	TIOCA1 出力端子	P14 入力端子	P14 出力端子
		TIOCA1 入力端子*2	
	IRQ0 入力端子*3		

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR_1 の IOA3 ~ IOA0 = 10xx のとき、TIOCA1 入力端子となります。

*3 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- P13/TIOCD0/TCLKB

TPU チャンネル 0 の設定、TCR_0 ~ TCR_2 の TPSC2 ~ TPSC0 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定*1	出力設定	入力設定または初期値	
P13DDR	-	0	1
端子機能	TIOCD0 出力端子	P13 入力端子	P13 出力端子
		TIOCD0 入力端子*2	
	TCLKB 入力端子*3		

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 0 のタイマの動作モードが通常動作で TIORL_0 の IOD3 ~ IOD0 = 10xx のとき、TIOCD0 入力端子となります。

*3 TCR_0 ~ TCR_2 のいずれかの設定が TPSC2 ~ TPSC0 = 101 の場合に TCLKB 入力端子となります。また、チャンネル 1、5 を位相計数モードに設定すると、TCLKB 入力端子となります。

9. I/O ポート

• P12/TIOCC0/TCLKA

TPU チャンネル 0 の設定、TCR_0 ~ TCR_5 の TPSC2 ~ TPSC0 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定*1	出力設定	入力設定または初期値	
P12DDR	-	0	1
端子機能	TIOCC0 出力端子	P12 入力端子	P12 出力端子
		TIOCC0 入力端子*2	
	TCLKA 入力端子*3		

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 0 のタイマの動作モードが通常動作で TIORL_0 の IOC3 ~ IOC0 = 10xx のとき、TIOCC0 入力端子となります。

*3 TCR_0 ~ TCR_5 のいずれかの設定が TPSC2 ~ TPSC0 = 100 の場合に TCLKA 入力端子となります。また、チャンネル 1、5 を位相数モードに設定すると、TCLKA 入力端子となります。

• P11/TIOCB0

TPU チャンネル 0 の設定、および P11DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定*1	出力設定	入力設定または初期値	
P11DDR	-	0	1
端子機能	TIOCB0 出力端子	P11 入力端子	P11 出力端子
		TIOCB0 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 0 のタイマの動作モードが通常動作で TIORH_0 の IOB3 ~ IOB0 = 10xx のとき、TIOCB0 入力端子となります。

• P10/TIOCA0

TPU チャンネル 0 の設定、および P10DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定*1	出力設定	入力設定または初期値	
P10DDR	-	0	1
端子機能	TIOCA0 出力端子	P10 入力端子	P10 出力端子
		TIOCA0 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 0 のタイマの動作モードが通常動作で TIORH_0 の IOA3 ~ IOA0 = 10xx のとき、TIOCA0 入力端子となります。

9.2 ポート 2

ポート 2 は 8 ビットの兼用入出力ポートです。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ (P2DDR)
- ポート2データレジスタ (P2DR)
- ポート2レジスタ (PORT2)

9.2.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR はポート 2 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	P27DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

9.2.2 ポート 2 データレジスタ (P2DR)

P2DR はポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P27DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

9. I/O ポート

9.2.3 ポート 2 レジスタ (PORT2)

PORT2 はポート 2 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P27	*	R	このレジスタをリードすると、P2DDR がセットされているビットは P2DR の値がリードされます。P2DDR がクリアされているビットは端子状態がリードされます。
6	P26	*	R	
5	P25	*	R	
4	P24	*	R	
3	P23	*	R	
2	P22	*	R	
1	P21	*	R	
0	P20	*	R	

【注】 * P27 ~ P20 端子の状態により決定されます。

9.2.4 端子機能

ポート 2 は、TPU の入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P27/TIOCB5

TPU チャンネル 5 の設定、および P27DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 5 の設定*1	出力設定	入力設定または初期値	
P27DDR	-	0	1
端子機能	TIOCB5 出力端子	P27 入力端子	P27 出力端子
		TIOCB5 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 5 のタイマの動作モードが通常動作または位相計数モードで TIOR_5 の IOB3 = 1 のとき、TIOCB5 入力端子となります。

- P26/TIOCA5

TPU チャンネル 5 の設定、および P26DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 5 の設定*1	出力設定	入力設定または初期値	
P26DDR	-	0	1
端子機能	TIOCA5 出力端子	P26 入力端子	P26 出力端子
		TIOCA5 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 5 のタイマの動作モードが通常動作または位相計数モードで TIOR_5 の IOA3 = 1 のとき、TIOCA5 入力端子となります。

- P25/TIOCB4

TPU チャンネル 4 の設定、および P25DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 4 の設定*1	出力設定	入力設定または初期値	
P25DDR	-	0	1
端子機能	TIOCB4 出力端子	P25 入力端子	P25 出力端子
		TIOCB4 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 4 のタイマの動作モードが通常動作または位相計数モードで TIOR_4 の IOB3 ~ IOB0 = 10xx のとき、TIOCB4 入力端子となります。

- P24/TIOCA4

TPU チャンネル 4 の設定、および P24DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 4 の設定*1	出力設定	入力設定または初期値	
P24DDR	-	0	1
端子機能	TIOCA4 出力端子	P24 入力端子	P24 出力端子
		TIOCA4 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 4 のタイマの動作モードが通常動作または位相計数モードで TIOR_4 の IOA3 ~ IOA0 = 10xx のとき、TIOCA4 入力端子となります。

- P23/TIOCD3

TPU チャンネル 3 の設定、および P23DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定*1	出力設定	入力設定または初期値	
P23DDR	-	0	1
端子機能	TIOCD3 出力端子	P23 入力端子	P23 出力端子
		TIOCD3 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 3 のタイマの動作モードが通常動作で TIORL_3 の IOD3 ~ IOD0 = 10xx のとき、TIOCD3 入力端子となります。

9. I/O ポート

• P22/TIOCC3

TPU チャンネル 3 の設定、および P22DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定*1	出力設定	入力設定または初期値	
P22DDR	-	0	1
端子機能	TIOCC3 出力端子	P22 入力端子	P22 出力端子
		TIOCC3 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 3 のタイマの動作モードが通常動作で TIORL_3 の IOC3 ~ IOC0 = 10xx のとき、TIOCC3 入力端子となります。

• P21/TIOCB3

TPU チャンネル 3 の設定、および P21DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定*1	出力設定	入力設定または初期値	
P21DDR	-	0	1
端子機能	TIOCB3 出力端子	P21 入力端子	P21 出力端子
		TIOCB3 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 3 のタイマの動作モードが通常動作で TIORH_3 の IOB3 ~ IOB0 = 10xx のとき、TIOCB3 入力端子となります。

• P20/TIOCA3

TPU チャンネル 3 の設定、および P20DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定*1	出力設定	入力設定または初期値	
P20DDR	-	0	1
端子機能	TIOCA3 出力端子	P20 入力端子	P20 出力端子
		TIOCA3 入力端子*2	

【注】 *1 TPU チャンネルの設定は「第 10 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

*2 TPU チャンネル 3 のタイマの動作モードが通常動作で TIORH_3 の IOA3 ~ IOA0 = 10xx のとき、TIOCA3 入力端子となります。

9.3 ポート 3

ポート 3 は 8 ビットの兼用入出力ポートです。ポート 3 には以下のレジスタがあります。

ポート P34、P35、SCK1、SCK4 は NMOS プッシュプル出力となります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オーブンドレインコントロールレジスタ (P3ODR)

9.3.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	P37DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

9.3.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P37DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

9. I/O ポート

9.3.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P37	*	R	このレジスタをリードすると、P3DDR がセットされているビットは、P3DR の値がリードされます。P3DDR がクリアされているビットは端子の状態がリードされます。
6	P36	*	R	
5	P35	*	R	
4	P34	*	R	
3	P33	*	R	
2	P32	*	R	
1	P31	*	R	
0	P30	*	R	

【注】 * P37 ~ P30 端子の状態により決定されます。

9.3.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の PMOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P37ODR	0	R/W	P37、P36、P33 ~ P30 は、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。 P35、P34 は、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると NMOS プッシュプル出力になります。
6	P36ODR	0	R/W	
5	P35ODR	0	R/W	
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

9.3.5 端子機能

ポート 3 は、SCI 入出力端子、I²C バスインタフェース 2 入出力端子、割り込み入力端子と兼用になっています。

図 9.1 に示すように、P34、P35、SCK1、SCK4、SCL0、SDA0 のタイプのオープンドレイン出力形式の場合、本 LSI の電源がダウンした場合でも、バスラインに影響を与えることはありません。システムで、本 LSI に電源が供給されない状態があるバスラインを使用する場合は (a) のオープンドレイン出力を使用してください。

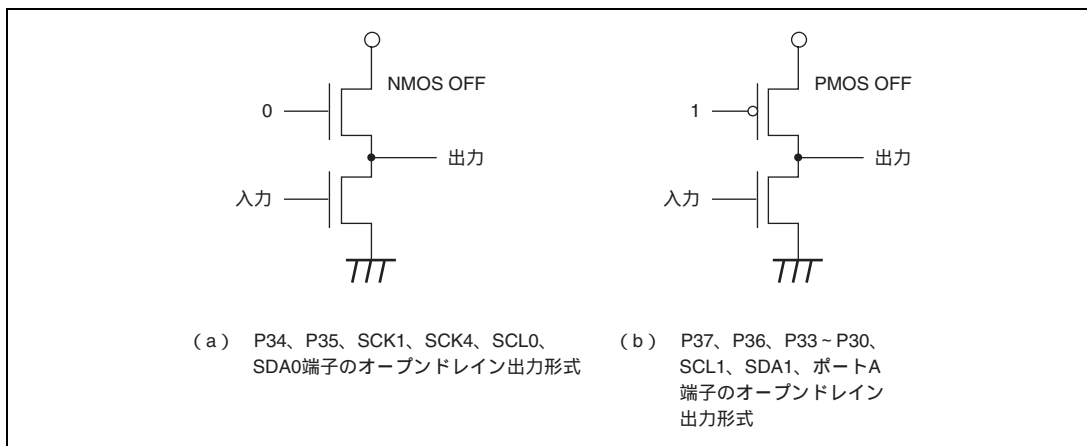


図 9.1 オープンドレイン出力形式の違い

ポート P34、P35、SCK1、SCK4 の NMOS プッシュプル出力は High 出力を設定しても負荷にかかわらず P2V_{cc} レベルは出力されません。P2V_{cc} レベルを出力するにはプルアップ抵抗を外付けする必要があります。

- 【注】
1. プルアップ抵抗を外付けした場合、信号の立ち下がり、立ち上がり時間が長くなりますのでご注意ください。信号の立ち下がり、立ち上がり時間が長い信号を入力する場合、シュミットトリガ回路などノイズ除去信号機能がある入力回路を使用してください。
 2. 高速で動作させる場合にはレベルシフタを入れるなど外付け回路で対策してください。
 3. 出力特性に関しては、表 24.2 の出力 High レベル電圧 P34、P35 を参照してください。プルアップ抵抗値に関しては、表 24.3 を満足する値にしてください。

- P37/TxD4

SCI₄ の SCR₄ の TE ビット、および P37DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P37DDR	0	1	-
端子機能	P37 入力端子	P37 出力端子*	TxD4 出力端子*

【注】 * P37ODR = 1 のとき、NMOS オープンドレイン出力となります。

9. I/O ポート

- P36/RxD4

SCI_4 の SCR_4 の RE ビット、および P36DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P36DDR	0	1	-
端子機能	P36 入力端子	P36 出力端子*	RxD4 入力端子

【注】 * P36ODR = 1 のとき、NMOS オープンドレイン出力となります。

- P35/SCK1/SCK4/SCL0/ $\overline{\text{IRQ5}}$

IIC2_0 の ICCR1_0 の ICE ビット、SCI_1 の SMR_1 または SCI_4 の SMR_4 の $\text{C}/\overline{\text{A}}$ ビット、SCR_1 または SCR_4 の CKE0、CKE1 ビット、および P35DDR ビットの組み合わせにより、次のように切り替わります。SCK1 と SCK4 を同時出力に設定しないでください。

ICE	0				1	
CKE1	0			1	-	
$\text{C}/\overline{\text{A}}$	0		1	-	-	
CKE0	0	1	-	-	-	
P35DDR	0	1	-	-	-	-
端子機能	P35 入力端子	P35 出力端子* ¹	SCK1/ SCK 4 出力端子* ¹	SCK1/ SCK 4 出力端子* ¹	SCK1/ SCK 4 入力端子	SCL0 入出力端子
	$\overline{\text{IRQ5}}$ 入力端子* ²					

【注】 *¹ P35ODR = 1 のとき、NMOS オープンドレイン出力になり、P35ODR = 0 のとき、NMOS プッシュプル出力となります。

*² 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- P34/RxD1/SDA0

IIC2_0 の ICCR1_0 の ICE ビット、SCI_1 の SCR_1 の RE ビット、および P34DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0			1
RE	0		1	-
P34DDR	0	1	-	-
端子機能	P34 入力端子	P34 出力端子*	RxD1 入力端子	SDA0 入出力端子

【注】 * P34ODR = 1 のとき、NMOS オープンドレイン出力になり、P34ODR = 0 のとき、NMOS プッシュプル出力になります。

- P33/TxD1/SCL1

IIC2_1 の ICCR1_1 の ICE ビット、SCL_1 の SCR_1 の TE ビット、および P33DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0			1
TE	0		1	-
P33DDR	0	1	-	-
端子機能	P33 入力端子	P33 出力端子*	TxD1 出力端子*	SCL1 入出力端子

【注】 * P33ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$

IIC2_1 の ICCR1_1 の ICE ビット、SCL_0 の SMR_0 の $\overline{\text{C/A}}$ 、SCR_0 の CKE0、CKE1 ビット、および P32DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0				1	
CKE1	0			1	-	
$\overline{\text{C/A}}$	0		1	-	-	
CKE0	0		1	-	-	-
P32DDR	0	1	-	-	-	-
端子機能	P32 入力端子	P32 出力端子* ¹	SCK0 出力端子* ¹	SCK0 出力端子* ¹	SCK0 入力端子	SDA1 入出力端子

【注】 *¹ P32ODR = 1 のとき、NMOS オープンドレイン出力になります。

*² 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- P31/RxD0

SCL_0 の SCR_0 の RE ビット、および P31DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P31DDR	0	1	-
端子機能	P31 入力端子	P31 出力端子*	RxD0 入力端子

【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。

9. I/O ポート

- P30/TxD0

SCI_0 の SCR_0 の TE ビット、および P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	-
端子機能	P30 入力端子	P30 出力端子*	TxD0 出力端子*

【注】 * P30DDR = 1 のとき、NMOS オープンドレイン出力になります。

9.4 ポート 4

ポート 4 は 8 ビットの入力専用ポートです。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ (PORT4)

9.4.1 ポート 4 レジスタ (PORT4)

PORT4 は、ポート 4 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P47	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P46	*	R	
5	P45	*	R	
4	P44	*	R	
3	P43	*	R	
2	P42	*	R	
1	P41	*	R	
0	P40	*	R	

【注】 * P47 ~ P40 端子の状態により決定されます。

9.4.2 端子機能

ポート 4 は、A/D 変換器のアナログ入力端子 (AN7 ~ AN0) と兼用になっています。

9.5 ポート 5

ポート 5 は 3 ビットの兼用入出力ポートです。ポート 5 には以下のレジスタがあります。

- ポート5データディレクションレジスタ (P5DDR)
- ポート5データレジスタ (P5DR)
- ポート5レジスタ (PORT5)

9.5.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説明
7~3		不定		リザーブビット リードすると不定値が読み出されます。
2	P52DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
1	P51DDR	0	W	
0	P50DDR	0	W	

9.5.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~3		不定		リザーブビット リードすると不定値が読み出されます。
2	P52DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
1	P51DR	0	R/W	
0	P50DR	0	R/W	

9.5.3 ポート 5 レジスタ (PORT5)

PORT5 は、ポート 5 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~3		不定		リザーブビット リードすると不定値が読み出されます。
2	P52	*	R	このレジスタをリードすると、P5DDR がセットされているビットは、P5DR の値がリードされます。P5DDR がクリアされているビットは端子の状態がリードされます。
1	P51	*	R	
0	P50	*	R	

【注】 * P52 ~ P50 端子の状態により決定されます。

9. I/O ポート

9.5.4 端子機能

ポート 5 は SCI 入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P52/SCK2

SCI_2 の SMR_2 の C/ \bar{A} 、SCR_2 の CKE0、CKE1 ビットおよび P52DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0				1
C/ \bar{A}	0		1	-	-
CKE0	0		1	-	-
P52DDR	0	1	-	-	-
端子機能	P52 入力端子	P52 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子

- P51/RxD2

SCI_2 の SCR_2 の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P51DDR	0	1	-
端子機能	P51 入力端子	P51 出力端子	RxD2 入力端子

- P50/TxD2

SCI_2 の SCR_2 の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P50DDR	0	1	-
端子機能	P50 入力端子	P50 出力端子	TxD2 出力端子

9.6 ポート 7

ポート7は8ビットの兼用入出力ポートです。ポート7には以下のレジスタがあります。

- ポート7データディレクションレジスタ (P7DDR)
- ポート7データレジスタ (P7DR)
- ポート7レジスタ (PORT7)

9.6.1 ポート7データディレクションレジスタ (P7DDR)

P7DDRは、ポート7の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説 明
7	P77DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
6	P76DDR	0	W	
5	P75DDR	0	W	
4	P74DDR	0	W	
3	P73DDR	0	W	
2	P72DDR	0	W	
1	P71DDR	0	W	
0	P70DDR	0	W	

9.6.2 ポート7データレジスタ (P7DR)

P7DRは、ポート7の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P77DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P76DR	0	R/W	
5	P75DR	0	R/W	
4	P74DR	0	R/W	
3	P73DR	0	R/W	
2	P72DR	0	R/W	
1	P71DR	0	R/W	
0	P70DR	0	R/W	

9. I/O ポート

9.6.3 ポート7レジスタ (PORT7)

PORT7 は、ポート7の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P77	*	R	このレジスタをリードすると、P7DDR がセットされているビットは、P7DR の値がリードされます。P7DDR がクリアされているビットは端子の状態がリードされます。
6	P76	*	R	
5	P75	*	R	
4	P74	*	R	
3	P73	*	R	
2	P72	*	R	
1	P71	*	R	
0	P70	*	R	

【注】 * P77 ~ P70 端子の状態により決定されます。

9.6.4 端子機能

ポート7は、TMR 入出力端子、バス制御出力端子、SCI 入出力端子、マニュアルリセット入力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P77/TxD3

SCI₃ の SCR₃ の TE ビットと P77DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P77DDR	0	1	-
端子機能	P77 入力端子	P77 出力端子	TxD3 出力端子

- P76/ RxD3

SCI₃ の SCR₃ の RE ビットと P76DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P76DDR	0	1	-
端子機能	P76 入力端子	P76 出力端子	RxD3 入力端子

- P75/TMO3/SCK3

TMR₃ の TCSR₃ の OS3 ~ OS0 ビット、SCI₃ の SCR₃ の CKE1、CKE0 ビット、SMR₃ の C \bar{A} 、および P75DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0	すべてが 0				いずれかが 1	
CKE1	0			1	-	
C \bar{A}	0		1	-	-	
CKE0	0	1	-	-	-	
P75DDR	0	1	-	-	-	
端子機能	P75 入力端子	P75 出力端子	SCK3 出力端子	SCK3 出力端子	SCK3 入力端子	TMO3 出力端子

- P74/TMO2/ $\overline{\text{MRES}}$

TMR_2 の TCSR_2 の OS3 ~ OS0 ビット、SYSCR の MRESE ビット、および P74DDR ビットの組み合わせにより、次のように切り替わります。

MRESE	0		1	
OS3 ~ OS0	すべてが 0		いずれかが 1	
P74DDR	0	1	-	0
端子機能	P74 入力端子	P74 出力端子	TMO2 出力端子	$\overline{\text{MRES}}$ 入力端子

- P73/TMO1/ $\overline{\text{CS7}}$

動作モードと TMR_1 の TCSR_1 の OS3 ~ OS0 ビット、および P73DDR ビットの組み合わせにより次のように切り替わります。

動作モード	モード 6			モード 7		
OS3 ~ OS0	すべてが 0		いずれかが 1	すべてが 0		いずれかが 1
P73DDR	0	1	-	0	1	-
端子機能	P73 入力端子	$\overline{\text{CS7}}$ 出力端子	TMO1 出力端子	P73 入力端子	P73 出力端子	TMO1 出力端子

- P72/TMO0/ $\overline{\text{CS6}}$

動作モードと TMR_0 の TCSR_0 の OS3 ~ OS0 ビット、および P72DDR ビットの組み合わせにより次のように切り替わります。

動作モード	モード 6			モード 7		
OS3 ~ OS0	すべてが 0		いずれかが 1	すべてが 0		いずれかが 1
P72DDR	0	1	-	0	1	-
端子機能	P72 入力端子	$\overline{\text{CS6}}$ 出力端子	TMO0 出力端子	P72 入力端子	P72 出力端子	TMO0 出力端子

- P71/TMRI23/TMCI23/ $\overline{\text{CS5}}$

動作モードと P71DDR ビットの組み合わせにより次のように切り替わります。

動作モード	モード 6			モード 7		
P71DDR	0	1	0	1		
端子機能	P71 入力端子	$\overline{\text{CS5}}$ 出力端子	P71 入力端子	P71 出力端子		
	TMRI23、TMCI23 入力端子					

- P70/TMRI01/TMCI01/ $\overline{\text{CS4}}$

動作モードと P70DDR ビットの組み合わせにより次のように切り替わります。

動作モード	モード 6			モード 7		
P70DDR	0	1	0	1		
端子機能	P70 入力端子	$\overline{\text{CS4}}$ 出力端子	P70 入力端子	P70 出力端子		
	TMRI01、TMCI01 入力端子					

9. I/O ポート

9.7 ポート 9

ポート9は8ビットの入力専用ポートです。ポート9には以下のレジスタがあります。

- ポート9レジスタ (PORT9)

9.7.1 ポート 9 レジスタ (PORT9)

PORT9は、ポート9の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P97	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P96	*	R	
5	P95	*	R	
4	P94	*	R	
3	P93	*	R	
2	P92	*	R	
1	P91	*	R	
0	P90	*	R	

【注】 * P97～P90 端子の状態により決定されます。

9.7.2 端子機能

ポート9は、A/D変換器のアナログ入力 (AN15～AN8) と、D/A変換器のアナログ出力 (DA0、DA1) と兼用になっています。

- P97/AN15/DA1

D/A変換器のDACRのDAEビットとDAOE1ビットの組み合わせにより、次のように切り替わります。

DAOE1	0		1
DAE	0	1	-
端子機能	P97 入力端子	DA1 出力端子	DA1 出力端子
	AN15 入力端子		

- P96/AN14/DA0

D/A変換器のDACRのDAEビットとDAOE0ビットの組み合わせにより、次のように切り替わります。

DAOE0	0		1
DAE	0	1	-
端子機能	P96 入力端子	DA0 出力端子	DA0 出力端子
	AN14 入力端子		

- P95/AN13、P94/AN12、P93/AN11、P92/AN10、P91/AN9、P90/AN8

端子機能	P95、P94、P93、P92、P91、P90 入力端子
	AN13、AN12、AN11、AN10、AN9、AN8 入力端子

9.8 ポート A

ポート A は 8 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。

- ポートAデータディレクションレジスタ (PADDR)
- ポートAデータレジスタ (PADR)
- ポートAレジスタ (PORTA)
- ポートAプルアップMOSコントロールレジスタ (PAPCR)
- ポートAオープンドレインコントロールレジスタ (PAODR)

9.8.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

9. I/O ポート

9.8.2 ポート A データレジスタ (PADR)

PADR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PA7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

9.8.3 ポート A レジスタ (PORTA)

PORTA は、ポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PA7	*	R	このレジスタをリードすると、PADDR がセットされているビットは、PADR の値がリードされます。PADDR がクリアされているビットは端子の状態がリードされます。
6	PA6	*	R	
5	PA5	*	R	
4	PA4	*	R	
3	PA3	*	R	
2	PA2	*	R	
1	PA1	*	R	
0	PA0	*	R	

【注】 * PA7 - PA0 端子の状態により決定されます。

9.8.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR は、ポート A の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PA7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンになります。
6	PA6PCR	0	R/W	
5	PA5PCR	0	R/W	
4	PA4PCR	0	R/W	
3	PA3PCR	0	R/W	
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

9.8.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR は、ポート A の端子の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

9.8.6 端子機能

ポート A は、アドレス出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PA7/A23

動作モードと PFCR の AE3 ~ AE0 ビット、および PA7DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
	B'1111	B'1111 以外		-	
PA7DDR	-	0	1	0	1
端子機能	A23 出力端子	PA7 入力端子	PA7 出力端子*	PA7 入力端子	PA7 出力端子*

【注】 * PAODR の PA7ODR = 1 のとき、NMOS オープンドレイン出力になります。

- PA6/A22

動作モードと PFCR の AE3 ~ AE0 ビット、および PA6DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
	B'1111	B'1111 以外		-	
PA6DDR	-	0	1	0	1
端子機能	A22 出力端子	PA6 入力端子	PA6 出力端子*	PA6 入力端子	PA6 出力端子*

【注】 * PAODR の PA6ODR = 1 のとき、NMOS オープンドレイン出力になります。

9. I/O ポート

- PA5/A21

動作モードと PFCR の AE3 ~ AE0 ビット、および PA5DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'111x	B'111x 以外		-	
PA5DDR	-	0	1	0	1
端子機能	A21 出力端子	PA5 入力端子	PA5 出力端子*	PA5 入力端子	PA5 出力端子*

【記号説明】 x : Don't care

【注】 * PAODR の PA5ODR = 1 のとき、NMOS オープンドレイン出力になります。

- PA4/A20

動作モードと PFCR の AE3 ~ AE0 ビット、および PA4DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'1101 ~ B'1111	B'1101 ~ B'1111 以外		-	
PA4DDR	-	0	1	0	1
端子機能	A20 出力端子	PA4 入力端子	PA4 出力端子*	PA4 入力端子	PA4 出力端子*

【注】 * PAODR の PA4ODR = 1 のとき、NMOS オープンドレイン出力になります。

- PA3/A19

動作モードと PFCR の AE3 ~ AE0 ビット、および PA3DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'11xx	B'11xx 以外		-	
PA3DDR	-	0	1	0	1
端子機能	A19 出力端子	PA3 入力端子	PA3 出力端子*	PA3 入力端子	PA3 出力端子*

【記号説明】 x : Don't care

【注】 * PAODR の PA3ODR = 1 のとき、NMOS オープンドレイン出力になります。

- PA2/A18

動作モードと PFCR の AE3 ~ AE0 ビット、および PA2DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'1011 または B'11xx	(B'1011 または B'11xx) 以外		-	
PA2DDR	-	0	1	0	1
端子機能	A18 出力端子	PA2 入力端子	PA2 出力端子*	PA2 入力端子	PA2 出力端子*

【記号説明】 x : Don't care

【注】 * PAODR の PA2ODR = 1 のとき、NMOS オープンドレイン出力になります。

- PA1/A17

動作モードと PFCR の AE3 ~ AE0 ビット、および PA1DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'101x または B'11xx	(B'101x または B'11xx) 以外		-	
PA1DDR	-	0	1	0	1
端子機能	A17 出力端子	PA1 入力端子	PA1 出力端子*	PA1 入力端子	PA1 出力端子*

【記号説明】 x : Don't care

【注】 * PAODR の PA1ODR = 1 のとき、NMOS オープンドレイン出力になります。

- PA0/A16

動作モードと PFCR の AE3 ~ AE0 ビット、および PA0DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	(B'0xxx または B'1000) 以外	B'0xxx または B'1000		-	
PA0DDR	-	0	1	0	1
端子機能	A16 出力端子	PA0 入力端子	PA0 出力端子*	PA0 入力端子	PA0 出力端子*

【記号説明】 x : Don't care

【注】 * PAODR の PA0ODR = 1 のとき、NMOS オープンドレイン出力になります。

9.8.7 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 9.2 に示します。

表 9.2 ポート A 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力、ポート出力	OFF		OFF		
ポート入力			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PADDR=0 かつ PAPCR=1 のときオン状態、その他のときはオフ状態です。

9.9 ポート B

ポート B は 8 ビットの兼用入出力ポートです。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)

9.9.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説 明
7	PB7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

9.9.2 ポート B データレジスタ (PBDR)

PBDR はポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

9.9.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	*	R	このレジスタをリードすると、PBDDR がセットされているビットは PBDR の値がリードされます。PBDDR がクリアされているビットは端子の状態がリードされます。
6	PB6	*	R	
5	PB5	*	R	
4	PB4	*	R	
3	PB3	*	R	
2	PB2	*	R	
1	PB1	*	R	
0	PB0	*	R	

【注】 * PB7～PB0 端子の状態により決定されます。

9.9.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンになります。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

9.9.5 端子機能

ポート B の各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/A15

動作モードと PFCR の AE3～AE0 ビット、および PB7DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
	B'1xxx	B'1xxx 以外		-	
PB7DDR	-	0	1	0	1
端子機能	A15 出力端子	PB7 入力端子	PB7 出力端子	PB7 入力端子	PB7 出力端子

【記号説明】 x : Don't care

9. I/O ポート

- PB6/A14

動作モードと PFCR の AE3 ~ AE0 ビット、および PB6DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'0111 または B'1xxx	(B'0111 または B'1xxx) 以外		-	
PB6DDR	-	0	1	0	1
端子機能	A14 出力端子	PB6 入力端子	PB6 出力端子	PB6 入力端子	PB6 出力端子

【記号説明】x : Don't care

- PB5/A13

動作モードと PFCR の AE3 ~ AE0 ビット、および PB5DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'011x または B'1xxx	(B'011x または B'1xxx) 以外		-	
PB5DDR	-	0	1	0	1
端子機能	A13 出力端子	PB5 入力端子	PB5 出力端子	PB5 入力端子	PB5 出力端子

【記号説明】x : Don't care

- PB4/A12

動作モードと PFCR の AE3 ~ AE0 ビット、および PB4DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	(B'0100 または B'00xx) 以外	B'0100 または B'00xx		-	
PB4DDR	-	0	1	0	1
端子機能	A12 出力端子	PB4 入力端子	PB4 出力端子	PB4 入力端子	PB4 出力端子

【記号説明】x : Don't care

- PB3/A11

動作モードと PFCR の AE3 ~ AE0 ビット、および PB3DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'00xx 以外	B'00xx		-	
PB3DDR	-	0	1	0	1
端子機能	A11 出力端子	PB3 入力端子	PB3 出力端子	PB3 入力端子	PB3 出力端子

【記号説明】 x : Don't care

- PB2/A10

動作モードと PFCR の AE3 ~ AE0 ビット、および PB2DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	(B'0010 または B'000x) 以外	B'0010 または B'000x		-	
PB2DDR	-	0	1	0	1
端子機能	A10 出力端子	PB2 入力端子	PB2 出力端子	PB2 入力端子	PB2 出力端子

【記号説明】 x : Don't care

- PB1/A9

動作モードと PFCR の AE3 ~ AE0 ビット、および PB1DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'000x 以外	B'000x		-	
PB1DDR	-	0	1	0	1
端子機能	A9 出力端子	PB1 入力端子	PB1 出力端子	PB1 入力端子	PB1 出力端子

【記号説明】 x : Don't care

- PB0/A8

動作モードと PFCR の AE3 ~ AE0 ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 6			モード 7	
AE3 ~ AE0	B'0000 以外	B'0000		-	
PB0DDR	-	0	1	0	1
端子機能	A8 出力端子	PB0 入力端子	PB0 出力端子	PB0 入力端子	PB0 出力端子

9. I/Oポート

9.9.6 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 9.3 に示します。

表 9.3 ポート B 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力、ポート出力	OFF		OFF		
ポート入力			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PBDDR=0 かつ PBPCR=1 のときオン状態、その他のときはオフ状態です。

9.10 ポート C

ポート C は 8 ビットの兼用入出力ポートです。ポート C には以下のレジスタがあります。

- ポートCデータディレクションレジスタ (PCDDR)
- ポートCデータレジスタ (PCDR)
- ポートCレジスタ (PORTC)
- ポートCプルアップMOSコントロールレジスタ (PCPCR)

9.10.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説 明
7	PC7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	
4	PC4DDR	0	W	
3	PC3DDR	0	W	
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

9.10.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

9.10.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	PC7	*	R	このレジスタをリードすると、PCDDR がセットされているビットはPCDR の値がリードされます。PCDDR がクリアされているビットは端子の状態がリードされます。
6	PC6	*	R	
5	PC5	*	R	
4	PC4	*	R	
3	PC3	*	R	
2	PC2	*	R	
1	PC1	*	R	
0	PC0	*	R	

【注】 * PC7～PC0 端子の状態により決定されます。

9.10.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説 明
7	PC7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンになります。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

9. I/O ポート

9.10.5 端子機能

ポートCの各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/A7、PC6/A6、PC5/A5、PC4/A4、PC3/A3、PC2/A2、PC1/A1、PC0/A0
動作モードとPCnDDR ビットにより次のように切り替わります。

動作モード	モード6		モード7	
	0	1	0	1
端子機能	PCn 入力端子	アドレス出力端子	PCn 入力端子	PCn 出力端子

【注】 n=7~0

9.10.6 ポートC 入力プルアップ MOS の状態

ポートCは、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、モード6、モード7のときに使用でき、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表9.4に示します。

表 9.4 ポートC 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力（モード6）、 ポート出力（モード7）	OFF		OFF		
ポート入力			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PCDDR=0 かつ PCPCR=1 のときオン状態、その他のときはオフ状態です。

9.11 ポート D

ポート D は 8 ビットの兼用入出力ポートです。ポート D には以下のレジスタがあります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D ブルアップ MOS コントロールレジスタ (PDPCR)

9.11.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説 明
7	PD7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

9.11.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

9. I/O ポート

9.11.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PD7	*	R	このレジスタをリードすると、PDDDR がセットされているビットは PDDDR の値がリードされます。PDDDR がクリアされているビットは端子の状態がリードされます。
6	PD6	*	R	
5	PD5	*	R	
4	PD4	*	R	
3	PD3	*	R	
2	PD2	*	R	
1	PD1	*	R	
0	PD0	*	R	

【注】 * PD7～PD0 端子の状態により決定されます。

9.11.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンになります。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

9.11.5 端子機能

ポート D の各端子は、データ入出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PD7/D15、PD6/D14、PD5/D13、PD4/D12、PD3/D11、PD2/D10、PD1/D9、PD0/D8、動作モードと PDnDDR ビットにより次のように切り替わります。

動作モード	モード 6	モード 7	
PDnDDR	-	0	1
端子機能	データ入出力端子	PDn 入力端子	PDn 出力端子

【注】 n=7～0

9.11.6 ポート D 入力プルアップ MOS の状態

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、モード 7 のときに使用でき、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 9.5 に示します。

表 9.5 ポート D 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
データ入出力 (モード 6)、 ポート出力 (モード 7)	OFF		OFF		
ポート入力 (モード 7)	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PDDDR=0 かつ PDPCR=1 のときオン状態、その他のときはオフ状態です。

9.12 ポート E

ポート E は 8 ビットの兼用入出力ポートです。ポート E には以下のレジスタがあります。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E データレジスタ (PEDR)
- ポート E レジスタ (PORTE)
- ポート E プルアップ MOS コントロールレジスタ (PEPCR)

9.12.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ポート E の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説明
7	PE7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

9.12.2 ポート E データレジスタ (PEDR)

PEDR は、ポート E の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

9.12.3 ポート E レジスタ (PORTE)

PORTE は、ポート E の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PE7	*	R	このレジスタをリードすると、PEDDR がセットされているビットは、PEDR の値がリードされます。PEDDR がクリアされているビットは端子の状態がリードされます。
6	PE6	*	R	
5	PE5	*	R	
4	PE4	*	R	
3	PE3	*	R	
2	PE2	*	R	
1	PE1	*	R	
0	PE0	*	R	

【注】 * PE7 - PE0 端子の状態により決定されます。

9.12.4 ポート E プルアップ MOS コントロールレジスタ (PEPCR)

PEPCR は、ポート E の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンになります。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

9. I/O ポート

9.12.5 端子機能

ポート E はデータ入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PE7/D7、PE6/D6、PE5/D5A、PE4/D4、PE3/D3、PE2/D2、PE1/D1、PE0/D0

動作モードとバスモードと PEnDDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
バスモード	8 ビットバスモード		16 ビットバスモード	-	
PEnDDR	0	1	-	0	1
端子機能	PEn 入力端子	PEn 出力端子	データ入出力端子	PEn 入力端子	PEn 出力端子

【注】 n=7~0

9.12.6 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、モード 6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 9.6 に示します。

表 9.6 ポート E 入力プルアップ MOS の状態

端子	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
データ入出力 (モード 6 の 16 ビットバス) ポート出力 (モード 6 の 8 ビットバス、モード 7)	OFF		OFF		
ポート入力 (モード 6 の 8 ビットバス、モード 7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PEDDR=0 かつ PEPCR=1 のときオン状態、その他のときはオフ状態です。

9.13 ポート F

ポート F は 8 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)

9.13.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	0/1*	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

【注】 * モード 6 のときは、1 になります。モード 7 のときは、0 になります。

9.13.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 【注】 PF7 は PFDDR を 1 にセットした場合、φが出力され、PF7DR の値は出力されません。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

9. I/O ポート

9.13.3 ポート F レジスタ (PORTF)

PORTF は、ポート F の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PF7	*	R	このレジスタをリードすると、PFDDR がセットされているビットは、PFDR の値がリードされます。PFDDR がクリアされているビットは端子の状態がリードされます。
6	PF6	*	R	
5	PF5	*	R	
4	PF4	*	R	
3	PF3	*	R	
2	PF2	*	R	
1	PF1	*	R	
0	PF0	*	R	

【注】 * PF7～PF0 端子の状態により決定されます。

9.13.4 端子機能

ポート F は、バス制御信号入出力端子、割り込み入力端子、システムクロック出力端子、A/D トリガ入力端子、BUZZ 出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PF7/ ϕ

PF7DDR ビットにより次のように切り替わります。

PF7DDR	0	1
端子機能	PF7 入力端子	ϕ 出力端子

- PF6/ \overline{AS}

動作モードと PF6DDR ビットにより次のように切り替わります。

動作モード	モード 6	モード 7	
PF6DDR	-	0	1
端子機能	\overline{AS} 出力端子	PF6 入力端子	PF6 出力端子

- PF5/ \overline{RD}

動作モードと PF5DDR ビットにより次のように切り替わります。

動作モード	モード 6	モード 7	
PF5DDR	-	0	1
端子機能	\overline{RD} 出力端子	PF5 入力端子	PF5 出力端子

- PF4/ $\overline{\text{HWR}}$

動作モードと PF4DDR ビットにより次のように切り替わります。

動作モード	モード 6		モード 7	
PF4DDR	-		0	1
端子機能	$\overline{\text{HWR}}$ 出力端子		PF4 入力端子	PF4 出力端子

- PF3/ $\overline{\text{LWR}}$ / $\overline{\text{ADTRG}}$ / $\overline{\text{IRQ3}}$

動作モードとバスモード、A/D 変換器の ADCR の TRGS1、TRGS0 ビット、および PF3DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
バスモード	16 ビットバスモード	8 ビットバスモード		-	
PF3DDR	-	0	1	0	1
端子機能	$\overline{\text{LWR}}$ 出力端子	PF3 入力端子	PF3 出力端子	PF3 入力端子	PF3 出力端子
		$\overline{\text{ADTRG}}$ 入力端子* ¹			
		$\overline{\text{IRQ3}}$ 入力端子* ²			

【注】 *1 TRGS0=TRGS1=1 のとき $\overline{\text{ADTRG}}$ 入力となります。

*2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- PF2/ $\overline{\text{WAIT}}$

動作モードと WAITE ビットおよび PF2DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
WAITE	0		1	-	
PF2DDR	0	1	-	0	1
端子機能	PF2 入力端子	PF2 出力端子	$\overline{\text{WAIT}}$ 入力端子	PF2 入力端子	PF2 出力端子

- PF1/ $\overline{\text{BACK}}$ / $\overline{\text{BUZZ}}$

動作モードと BRLE ビット、PFCR の BUZZ ビットおよび PF1DDR ビットにより次のように切り替わります。

動作モード	モード 6				モード 7		
BRLE	0		1		-		
BUZZE	0		1	-	0		1
PF1DDR	0	1	-	-	0	1	-
端子機能	PF1 入力端子	PF1 出力端子	BUZZ 出力端子	$\overline{\text{BACK}}$ 出力端子	PF1 入力端子	PF1 出力端子	BUZZ 出力端子

9. I/Oポート

- PF0/BREQ/IRQ2

動作モードと BRLE ビット、および PF0DDR ビットにより次のように切り替わります。

動作モード	モード 6			モード 7	
BRLE	0		1	-	
PF0DDR	0	1	-	0	1
端子機能	PF0 入力端子	PF0 出力端子	BREQ 入力端子	PF0 入力端子	PF0 出力端子
	IRQ2 入力端子*				

【注】 * 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

9.14 ポート G

ポート G は 5 ビットの兼用入出力ポートです。ポート G には以下のレジスタがあります。

- ポート G データディレクションレジスタ (PGDDR)
- ポート G データレジスタ (PGDR)
- ポート G レジスタ (PORTG)

9.14.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR は、ポート G の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。
4	PG4DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
3	PG3DDR*	0	W	
2	PG2DDR*	0	W	
1	PG1DDR	0	W	
0	PG0DDR	0	W	

【注】 * H8S/2556 グループではリザーブビットです。0 をライトしてください。

9.14.2 ポート G データレジスタ (PGDR)

PGDR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。
4	PG4DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
3	PG3DR*	0	R/W	
2	PG2DR*	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

【注】 * H8S/2556 グループではリザーブビットです。0 をライトしてください。

9.14.3 ポート G レジスタ (PORTG)

PORTG は、ポート G の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。
4	PG4	*1	R	このレジスタをリードすると、PGDDR がセットされているビットは、PGDR の値がリードされます。PGDDR がクリアされているビットは端子の状態がリードされます。
3	PG3*2	*1	R	
2	PG2*2	*1	R	
1	PG1	*1	R	
0	PG0	*1	R	

【注】 *1 PG4~PG0 端子の状態により決定されます。

*2 H8S/2556 グループではリザーブビットです。リードの値は不定です。

9.14.4 端子機能

ポート G は、バス制御信号入出力端子、割り込み入力端子、IEB 入出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PG4/ $\overline{CS0}$

動作モードと PG4DDR ビットにより次のように切り替わります。

動作モード	モード 6		モード 7	
	0	1	0	1
端子機能	PG4 入力端子	$\overline{CS0}$ 出力端子	PG4 入力端子	PG4 出力端子

9. I/O ポート

- PG3/ $\overline{\text{Rx}}$ / $\overline{\text{CS1}}$

H8S/2552 グループ、H8S/2506 グループは IEB*の IECTR の IEE ビットと動作モードおよび PG3DDR ビットにより次のように切り替わります。H8S/2556 グループにはありません。

IEE	0				1
動作モード	モード 6		モード 7		-
PG3DDR	0	1	0	1	-
端子機能	PG3 入力端子	$\overline{\text{CS1}}$ 出力端子	PG3 入力端子	PG3 出力端子	$\overline{\text{Rx}}$ 入力端子

【注】 * IEB は H8S/2552 グループのみ有効となります。

- PG2/ $\overline{\text{Tx}}$ / $\overline{\text{CS2}}$

H8S/2552 グループ、H8S/2506 グループは IEB*の IECTR の IEE ビットと動作モードおよび PG2DDR ビットにより次のように切り替わります。H8S/2556 グループにはありません。

IEE	0				1
動作モード	モード 6		モード 7		-
PG2DDR	0	1	0	1	-
端子機能	PG2 入力端子	$\overline{\text{CS2}}$ 出力端子	PG2 入力端子	PG2 出力端子	$\overline{\text{Tx}}$ 出力端子

【注】 * IEB は H8S/2552 グループのみ有効となります。

- PG1/ $\overline{\text{CS3}}$ / $\overline{\text{IRQ7}}$

動作モードと PG1DDR ビットにより次のように切り替わります。

動作モード	モード 6		モード 7	
PG1DDR	0	1	0	1
端子機能	PG1 入力端子	$\overline{\text{CS3}}$ 出力端子	PG1 入力端子	PG1 出力端子
	$\overline{\text{IRQ7}}$ 入力端子*			

【注】 * 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- PG0/ $\overline{\text{IRQ6}}$

PG0DDR ビットにより次のように切り替わります。

PG0DDR	0	1
端子機能	PG0 入力	PG0 出力
	$\overline{\text{IRQ6}}$ 入力端子*	

【注】 * 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

9.15 ポート H

ポート H は 8 ビットの汎用入出力ポートです。ポート H には以下のレジスタがあります。

- ポート H データディレクションレジスタ (PHDDR)
- ポート H データレジスタ (PHDR)
- ポート H レジスタ (PORTH)

9.15.1 ポート H データディレクションレジスタ (PHDDR)

PHDDR は、ポート H の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説明
7	PH7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PH6DDR	0	W	
5	PH5DDR	0	W	
4	PH4DDR	0	W	
3	PH3DDR	0	W	
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

9.15.2 ポート H データレジスタ (PHDR)

PHDR は、ポート H の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PH7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PH6DR	0	R/W	
5	PH5DR	0	R/W	
4	PH4DR	0	R/W	
3	PH3DR	0	R/W	
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

9. I/O ポート

9.15.3 ポートHレジスタ (PORTH)

PORTH は、ポートHの端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PH7	*	R	このレジスタをリードすると、PHDDR がセットされているビットは、PHDR の値がリードされます。PHDDR がクリアされているビットは端子の状態がリードされます。
6	PH6	*	R	
5	PH5	*	R	
4	PH4	*	R	
3	PH3	*	R	
2	PH2	*	R	
1	PH1	*	R	
0	PH0	*	R	

【注】 * PH7～PH0 端子の状態により決定されます。

9.15.4 端子機能

ポートHの各端子は、汎用入出力端子となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PH7、PH6、PH5、PH4、PH3、PH2、PH1、PH0

PHn DDR ビットにより次のように切り替わります。

PHnDDR	0	1
端子機能	PHn 入力端子	PHn 出力端子

【注】 n=7～0

9.16 ポート J

ポート J は 8 ビットの汎用入出力ポートです。ポート J には以下のレジスタがあります。

- ポート J データディレクションレジスタ (PJDDR)
- ポート J データレジスタ (PJDR)
- ポート J レジスタ (PORTJ)

9.16.1 ポート J データディレクションレジスタ (PJDDR)

PJDDR は、ポート J の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください

ビット	ビット名	初期値	R/W	説明
7	PJ7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PJ6DDR	0	W	
5	PJ5DDR	0	W	
4	PJ4DDR	0	W	
3	PJ3DDR	0	W	
2	PJ2DDR	0	W	
1	PJ1DDR	0	W	
0	PJ0DDR	0	W	

9.16.2 ポート J データレジスタ (PJDR)

PJDR は、ポート J の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PJ7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

9. I/O ポート

9.16.3 ポート J レジスタ (PORTJ)

PORTJ は、ポート J の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PJ7	*	R	このレジスタをリードすると、PJDDR がセットされているビットは、PJDR の値がリードされます。PJDDR がクリアされているビットは端子の状態がリードされます。
6	PJ6	*	R	
5	PJ5	*	R	
4	PJ4	*	R	
3	PJ3	*	R	
2	PJ2	*	R	
1	PJ1	*	R	
0	PJ0	*	R	

【注】 * PJ7 ~ PJ0 端子の状態により決定されます。

9.16.4 端子機能

ポート J の各端子は、汎用入出力端子となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PJ7、PJ6、PJ5、PJ4、PJ3、PJ2、PJ1、PJ0

PJn DDR ビットにより次のように切り替わります。

PJnDDR	0	1
端子機能	PJn 入力端子	PJn 出力端子

【注】 n=7~0

9.17 端子電源の制御

端子電源が P1Vcc、または P2Vcc の出力ポートの駆動能力を制御します。

9.17.1 IC パワーコントロールレジスタ (ICPCR)

ICPCR はバッファの駆動能力を制御します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0		リザーブビット リード/ライト可能ですが、ライト時は 0 をライトしてください。
3	BUFGC2	0	R/W	バッファゲインコントロール 2 端子電源が P2Vcc の出力ポートの駆動能力を制御します。ポートを出力設定してご利用の際はご使用の P2Vcc の電圧に応じて必ず本ビットを設定してください。適切な設定でない場合は誤動作の原因になったり、「第 24 章 電気的特性」の特性を満足できません。端子については表 1.1 を参照してください。 0 : 4.5V P2Vcc 5.5V 1 : 3.0V P2Vcc 3.6V
2	BUFGC1	0	R/W	バッファゲインコントロール 1 端子電源が P1Vcc の出力ポートの駆動能力を制御します。ポートを出力設定してご利用の際はご使用の P1Vcc の電圧に応じて必ず本ビットを設定してください。適切な設定でない場合は誤動作の原因になったり、「第 24 章 電気的特性」の特性を満足できません。端子については表 1.1 を参照してください。 0 : 4.5V P1Vcc 5.5V 1 : 3.0V P1Vcc 3.6V
1、0		すべて 0	R/W	リザーブビット リード/ライト可能ですが、ライト時は 0 をライトしてください。

9.18 未使用端子の処理

未使用の入力端子は High または Low レベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子の処理例を表 9.7 に示します。

表 9.7 未使用の入力端子の処理例

ポート名	端子処理例
ポート 1	端子ごとに抵抗を介して P2Vcc に接続（プルアップ）または抵抗を介して Vss に接続（プルダウン）
ポート 2	
ポート 3	
ポート 4	端子ごとに抵抗を介して AVcc に接続（プルアップ）または抵抗を介して AVss に接続（プルダウン）
ポート 5	端子ごとに抵抗を介して P1Vcc に接続（プルアップ）または抵抗を介して Vss に接続（プルダウン）
ポート 7	端子ごとに抵抗を介して P2Vcc に接続（プルアップ）または抵抗を介して Vss に接続（プルダウン）
ポート 9	端子ごとに抵抗を介して AVcc に接続（プルアップ）または抵抗を介して AVss に接続（プルダウン）
ポート A	端子ごとに抵抗を介して P1Vcc に接続（プルアップ）または抵抗を介して Vss に接続（プルダウン）
ポート B	
ポート C	
ポート D	
ポート E	
ポート F	
ポート G	
ポート H	
ポート J	

10. 16ビットタイマパルスユニット (TPU)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 10.1 に、ブロック図を図 10.1 に示します。

10.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は個別に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

10. 16 ビットタイマパルスユニット (TPU)

表 10.1 TPU の機能一覧 (1)

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	φ/1 φ/4 φ/16 φ/64 TCLKA TCLKB TCLKC TCLKD	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKB TCLKC TCLKD	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKB TCLKC TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 φ/1024 φ/4096 TCLKA	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKC TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ / バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力					
	1 出力					
	トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

: 可能

- : 不可

表 10.1 TPU の機能一覧 (2)

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ 0A ・コンペアマッチ /インプット キャプチャ 0B ・コンペアマッチ /インプット キャプチャ 0C ・コンペアマッチ /インプット キャプチャ 0D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 1A ・コンペアマッチ /インプット キャプチャ 1B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 2A ・コンペアマッチ /インプット キャプチャ 2B ・オーバーフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ 3A ・コンペアマッチ /インプット キャプチャ 3C ・コンペアマッチ /インプット キャプチャ 3D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 4A ・コンペアマッチ /インプット キャプチャ 4B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 5A ・コンペアマッチ /インプット キャプチャ 5B ・オーバーフロー ・アンダフロー

10. 16ビットタイマパルスユニット (TPU)

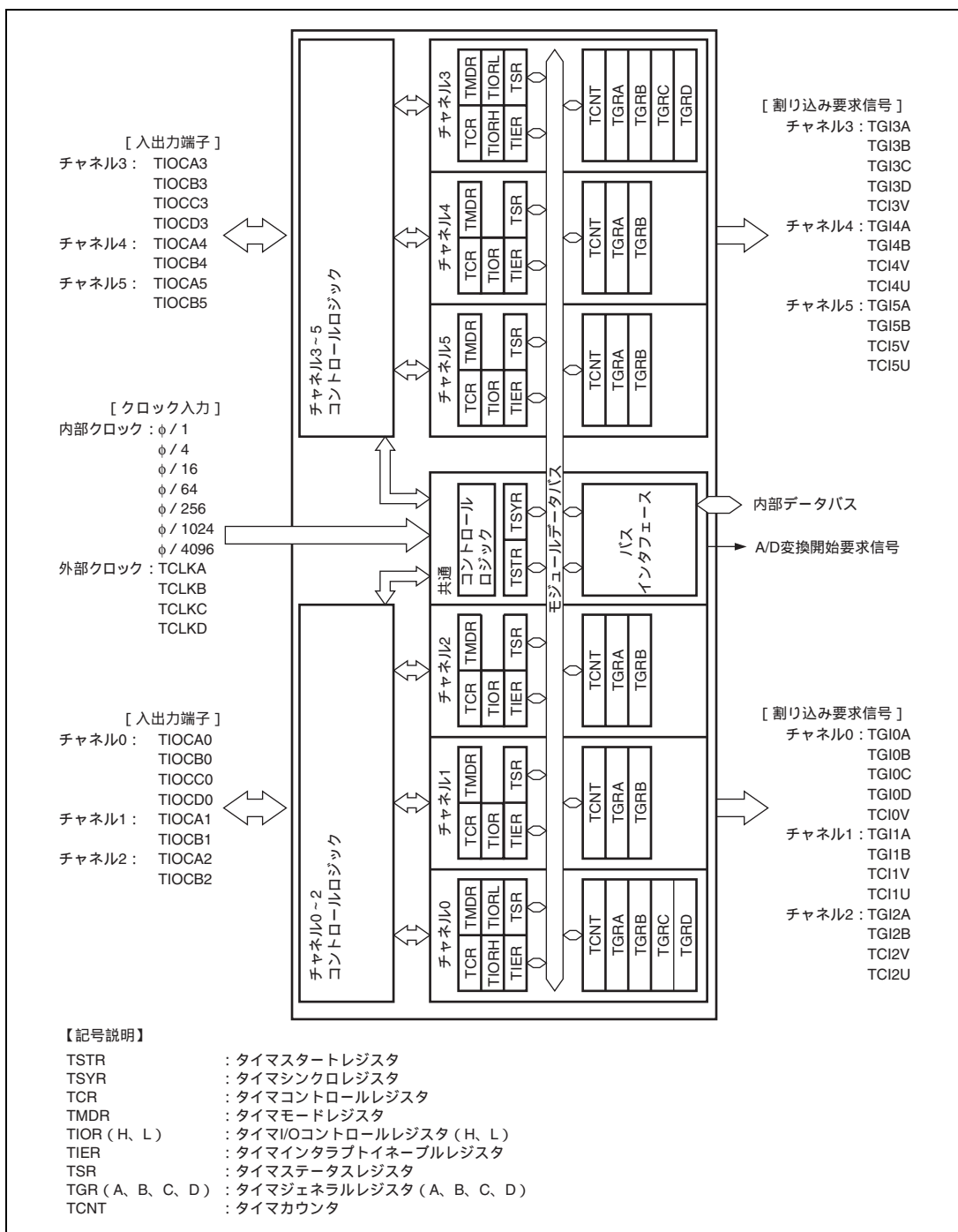


図 10.1 TPU のブロック図

10.2 入出力端子

表 10.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOD0	入出力	TGRD_0 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOCA3	入出力	TGRA_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOD3	入出力	TGRD_3 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子

10.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。ただし、システムコントロールレジスタ 2 (SYSCR2) の FLSHE = 1 のときは一部の TPU 制御レジスタ (H'FFFE80 ~ H'FFFE8B) をアクセスできません。TPU 制御レジスタをアクセスするときは必ず FLSHE ビットをクリアしてからアクセスしてください。システムコントロールレジスタ 2 については「20.3.1 書き込み / 消去インタフェースレジスタ (7) システムコントロールレジスタ 2 (SYSCR2)」を参照してください。

チャンネル 0

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマ I/O コントロールレジスタ H_0 (TIORH_0)
- タイマ I/O コントロールレジスタ L_0 (TIORL_0)

10. 16ビットタイマパルスユニット (TPU)

- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

チャンネル1

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

チャンネル2

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

チャンネル3

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)

- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

チャンネル4

- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)

チャンネル5

- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

10. 16ビットタイムパルスユニット (TPU)

10.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 10.3、表 10.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	
3	CKEG0	0	R/W	
				<p>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は、本設定は無視されます ($\phi/1$ 選択時は ϕ の立ち下がりでカウント)。</p> <p>00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント</p> <p>【記号説明】X: Don't care</p>
2	TPSC2	0	R/W	タイムプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.5 ~ 表 10.10 を参照してください。
0	TPSC0	0	R/W	

表 10.3 CCLR2~CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

10. 16 ビットタイムパルスユニット (TPU)

- *2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表 10.4 CCLR2～CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット7	ビット6	ビット5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

- *2 チャンネル1、2、4、5ではビット7はリザーブです。リードすると常に0がリードされます。ライトは無効です。

表 10.5 TPSC2～TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： $\phi/1$ でカウント
	0	0	1	内部クロック： $\phi/4$ でカウント
	0	1	0	内部クロック： $\phi/16$ でカウント
	0	1	1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	外部クロック：TCLKD 端子入力でカウント

表 10.6 TPSC2～TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： $\phi/1$ でカウント
	0	0	1	内部クロック： $\phi/4$ でカウント
	0	1	0	内部クロック： $\phi/16$ でカウント
	0	1	1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	内部クロック： $\phi/256$ でカウント
	1	1	1	TCNT2のオーバフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

10. 16ビットタイムパルスユニット (TPU)

表 10.7 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

表 10.8 TPSC2~TPSC0 (チャンネル3)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : $\phi/1024$ でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	内部クロック : $\phi/4096$ でカウント

10. 16 ビットタイマパルスユニット (TPU)

表 10.9 TPSC2~TPSC0 (チャンネル4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : $\phi/1024$ でカウント
	1	1	1	TCNT5 のオーバフロー / アンダフローでカウント

【注】 チャンネル4 が位相計数モード時、この設定は無効になります。

表 10.10 TPSC2~TPSC0 (チャンネル5)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】 チャンネル5 が位相計数モード時、この設定は無効になります。

10. 16 ビットタイムパルスユニット (TPU)

10.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 1		リザーブ リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3 2 1 0	MD3 MD2 MD1 MD0	0 0 0 0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライト時には常に 0 としてください。 詳細は表 10.11 を参照してください。

表 10.11 MD3 ~ MD0

ビット3	ビット2	ビット1	ビット0	説 明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	X	X	X	

【記号説明】 X : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3 ~ B0 TGRB の機能を設定します。詳細は表 10.12、表 10.14、表 10.15、表 10.16、表 10.18、表 10.19 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3 ~ A0 TGRA の機能を設定します。詳細は表 10.20、表 10.22、表 10.23、表 10.24、表 10.26、表 10.27 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

10. 16 ビットタイムパルスユニット (TPU)

• TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3 ~ D0 TGRD の機能を設定します。詳細は表 10.13、表 10.17 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3 ~ C0 TGRC の機能を設定します。詳細は表 10.21、表 10.25 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 10.12 TIORH_0

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 X : Don't care

10. 16 ビットタイムパルスユニット (TPU)

【注】 * TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックにφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 10.13 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでインプットキャプチャ*1

【記号説明】 X : Don't care

【注】 *1 TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックにφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルスユニット (TPU)

表 10.14 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	X	X		TGRC_0 コンペアマッチ / インプットキャプチャ TGRC_0 のコンペアマッチ / インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

表 10.15 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

10. 16 ビットタイムパルスユニット (TPU)

表 10.16 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3 の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 X : Don't care

【注】 * TCR_4 の TPSC2 - TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックにφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 10.17 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでインプットキャプチャ* ¹

【記号説明】 X : Don't care

【注】 *1 TCR_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックにφ1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16ビットタイムパルスユニット (TPU)

表 10.18 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRC_3 コンペアマッチ / インプットキャプチャ TGRC_3 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

表 10.19 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

10. 16 ビットタイムパルスユニット (TPU)

表 10.20 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

表 10.21 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0の機能	TIOCC0の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元はTIOCC0端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCC0端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元はTIOCC0端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル1/カウントクロック TCNT_1のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_0のBFAビットを1にセットしてTGRC_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

10. 16ビットタイムパルスユニット (TPU)

表 10.22 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_0 コンペアマッチ / インプットキャプチャ チャンネル 0 / TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

表 10.23 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

10. 16 ビットタイムパルスユニット (TPU)

表 10.24 TIORH_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

表 10.25 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルスユニット (TPU)

表 10.26 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_3 コンペアマッチ / インプットキャプチャ TGRA_3 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

表 10.27 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5 の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

10. 16 ビットタイムパルスユニット (TPU)

10.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGF D ビットが 1 にセットされたとき、TGF D ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGF D ビットによる割り込み要求 (TGID) を禁止 1 : TGF D ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

10. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求(TGIB)を禁止 1 : TGFB ビットによる割り込み要求(TGIB)を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

10.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。 ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です
5	TCFU	0	R/(W)*	アンダフローフラグ チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。 ライトは無効です。 [セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R/(W)*	オーバーフローフラグ (TCFV) TCNT のオーバーフローの発生を示すステータスフラグです。 [セット条件] TCNT の値がオーバーフローしたとき (H'FFFF→H'0000) [クリア条件] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

10. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

10. 16ビットタイマパルスユニット (TPU)

10.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル0~5のTCNTの動作/停止を選択します。TMDRへ動作モードを設定する場合やTCRへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて0		リザーブビット ライト時は必ず0としてください。
5	CST5	0	R/W	カウンタスタート5~0
4	CST4	0	R/W	TCNTの動作または停止を選択します。
3	CST3	0	R/W	TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。
2	CST2	0	R/W	CSTビットが0の状態ではTIOAへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。
1	CST1	0	R/W	
0	CST0	0	R/W	0 : TCNT_5 ~ TCNT_0 のカウント動作は停止 1 : TCNT_5 ~ TCNT_0 はカウント動作

10.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル0~5のTCNTの独立動作または同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて0		リザーブビット ライト時は必ず0としてください。
5	SYNC5	0	R/W	タイマ同期5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数のTCNTの同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。
1	SYNC1	0	R/W	0 : TCNT_5 ~ TCNT_0 は独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係)
0	SYNC0	0	R/W	1 : TCNT_5 ~ TCNT_0 は同期動作 TCNTの同期プリセット/同期クリアが可能

10.4 動作説明

10.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0 ~ CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.2 に示します。

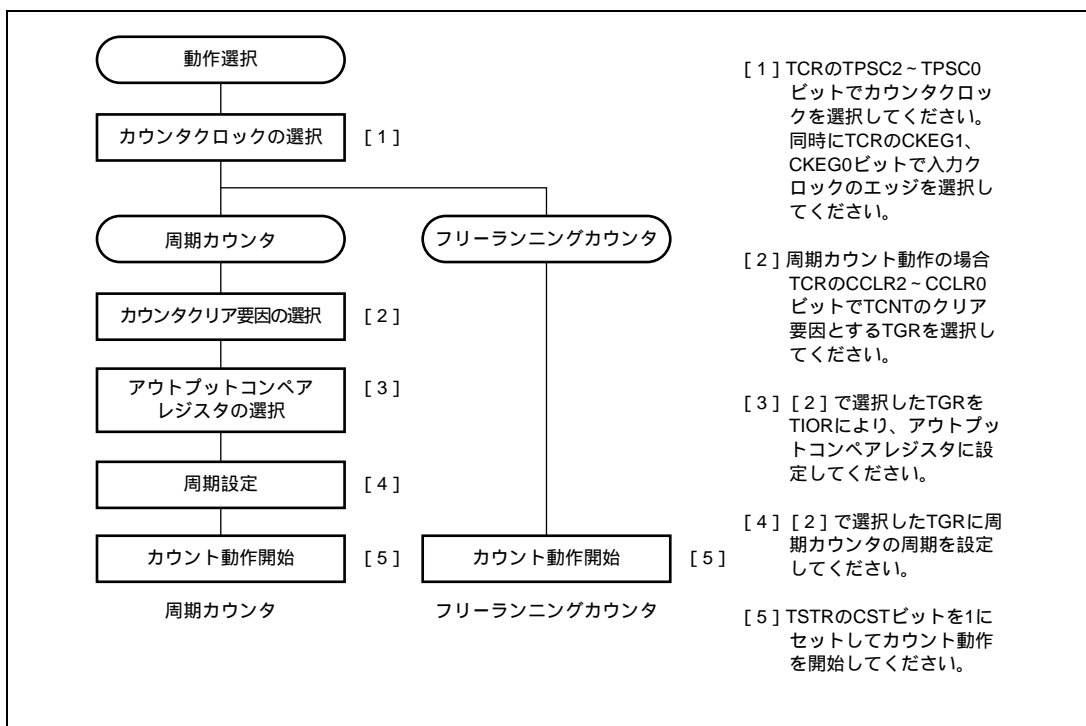


図 10.2 カウンタ動作設定手順例

10. 16 ビットタイムパルスユニット (TPU)

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.3 に示します。

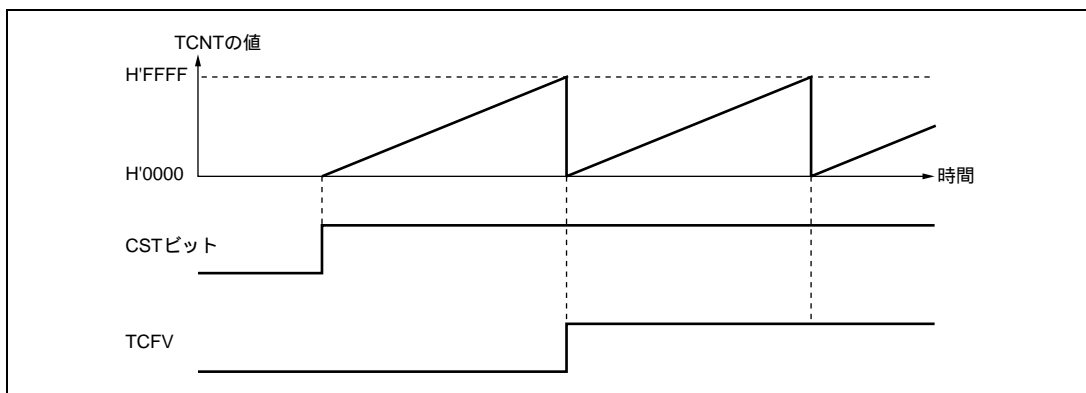


図 10.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 10.4 に示します。

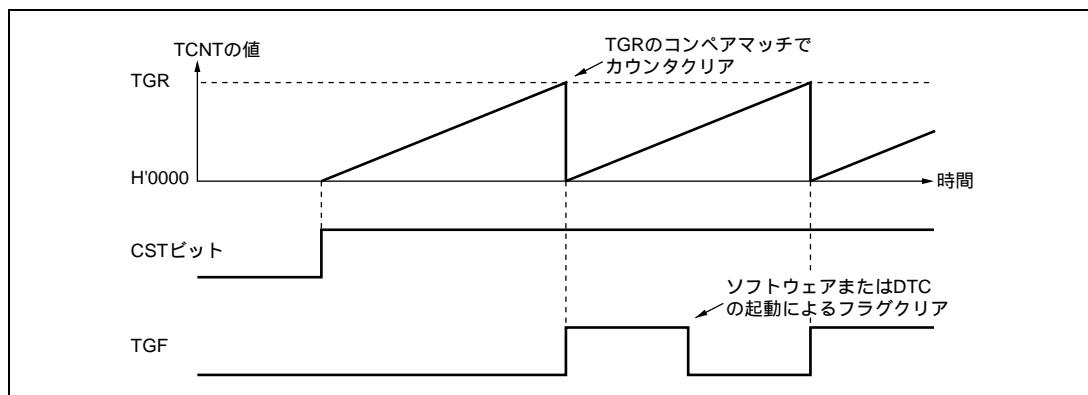


図 10.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.5 に示します。

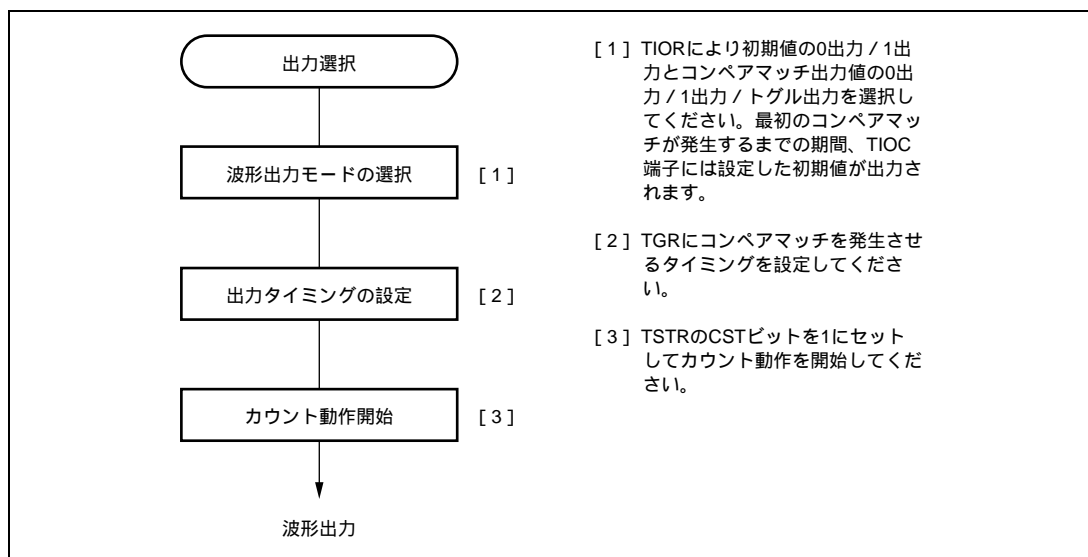


図 10.5 コンペアマッチによる波形出力動作例

10. 16 ビットタイマパルスユニット (TPU)

(b) 波形出力動作例

0 出力 / 1 出力例を図 10.6 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

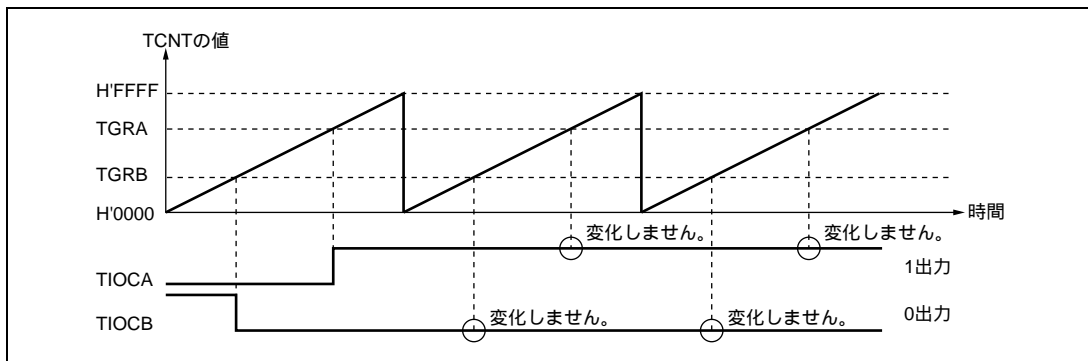


図 10.6 0 出力 / 1 出力の動作例

トグル出力の例を図 10.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

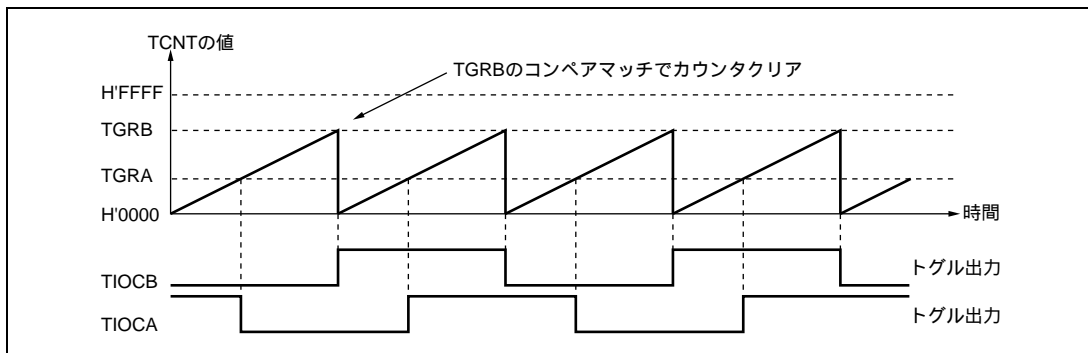


図 10.7 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.8 に示します。

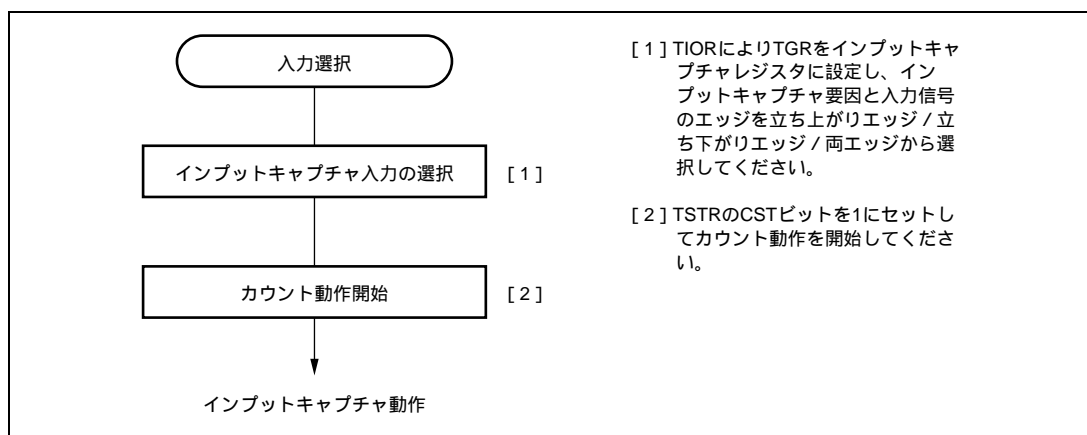


図 10.8 インพุットキャプチャ動作の設定例

10. 16 ビットタイマパルスユニット (TPU)

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.9 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

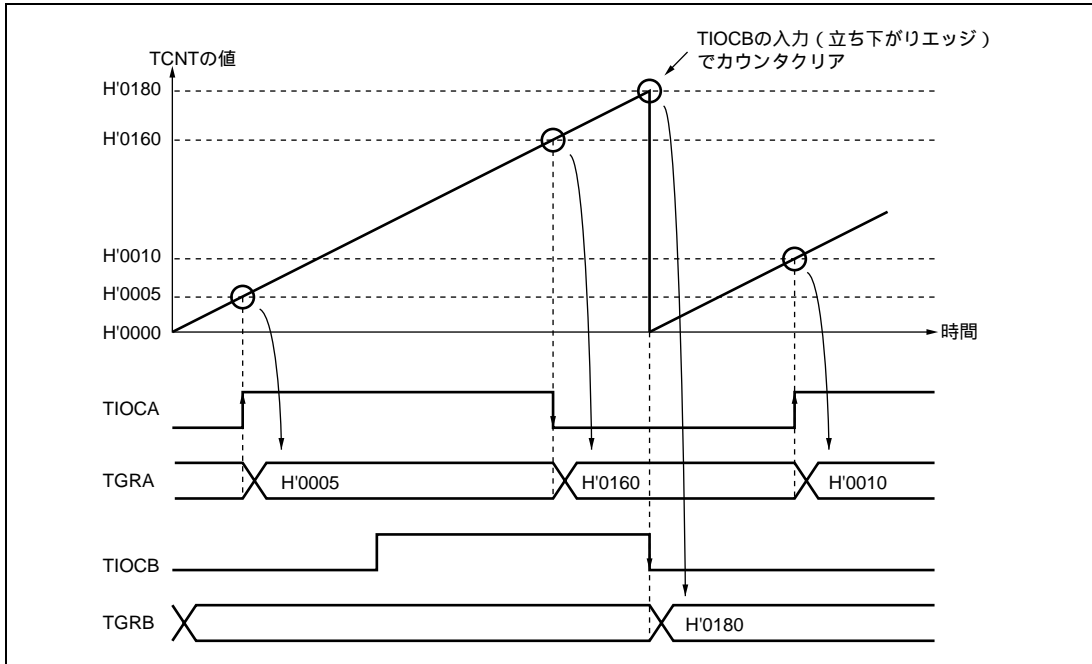


図 10.9 インพุットキャプチャ動作例

10.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます(同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます(同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.10 に示します。

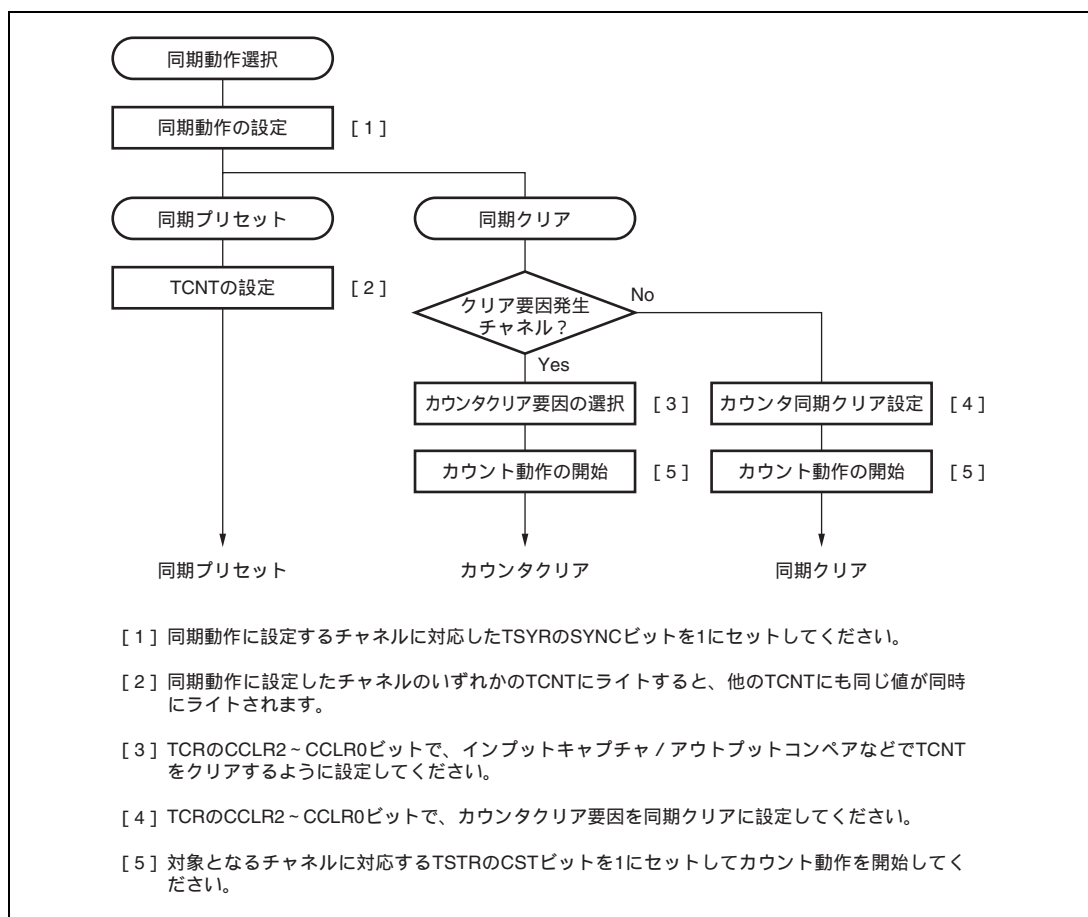


図 10.10 同期動作の設定手順例

10. 16 ビットタイマパルスユニット (TPU)

(2) 同期動作の例

同期動作の例を図 10.11 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

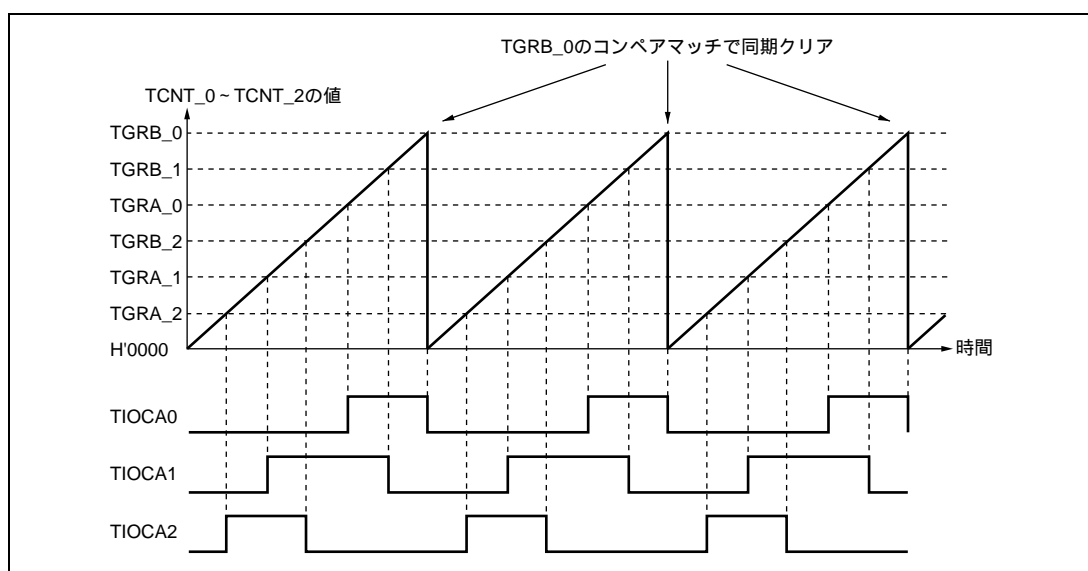


図 10.11 同期動作の動作例

10.4.3 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.28 にバッファ動作時のレジスタの組み合わせを示します。

表 10.28 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 10.12 に示します。

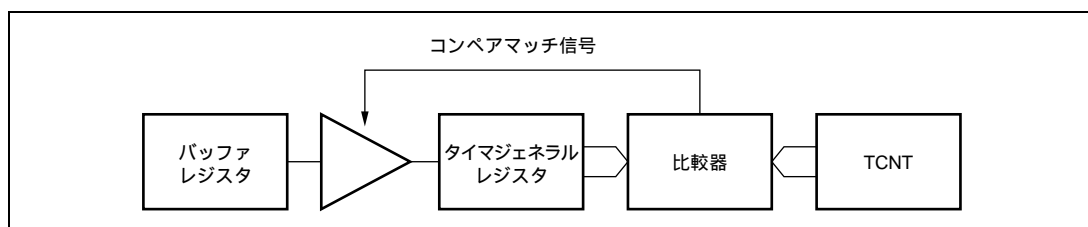


図 10.12 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNTの値をTGRに転送すると同時に、それまで格納されていたTGRの値をバッファレジスタに転送します。

この動作を図 10.13 に示します。

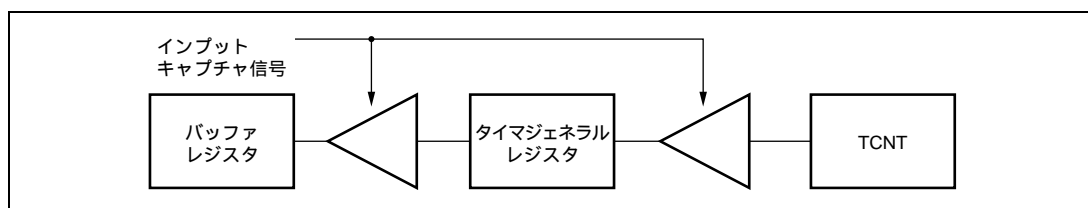


図 10.13 インプットキャプチャバッファ動作

10. 16 ビットタイマパルスユニット (TPU)

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.14 に示します。

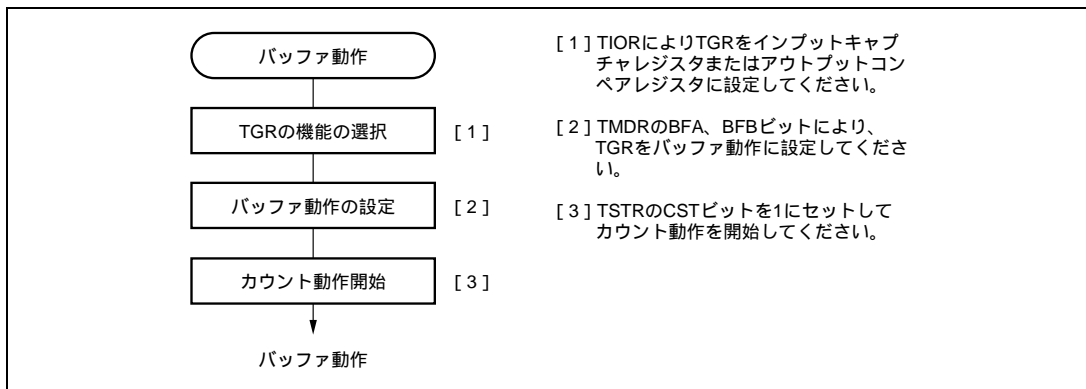


図 10.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図 10.15 に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「10.4.5 PWMモード」を参照してください。

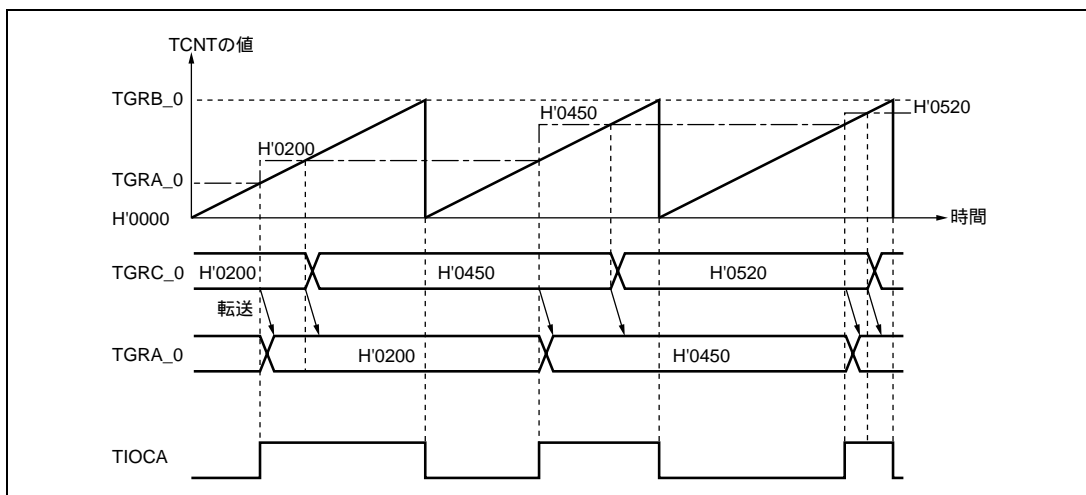


図 10.15 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.16 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

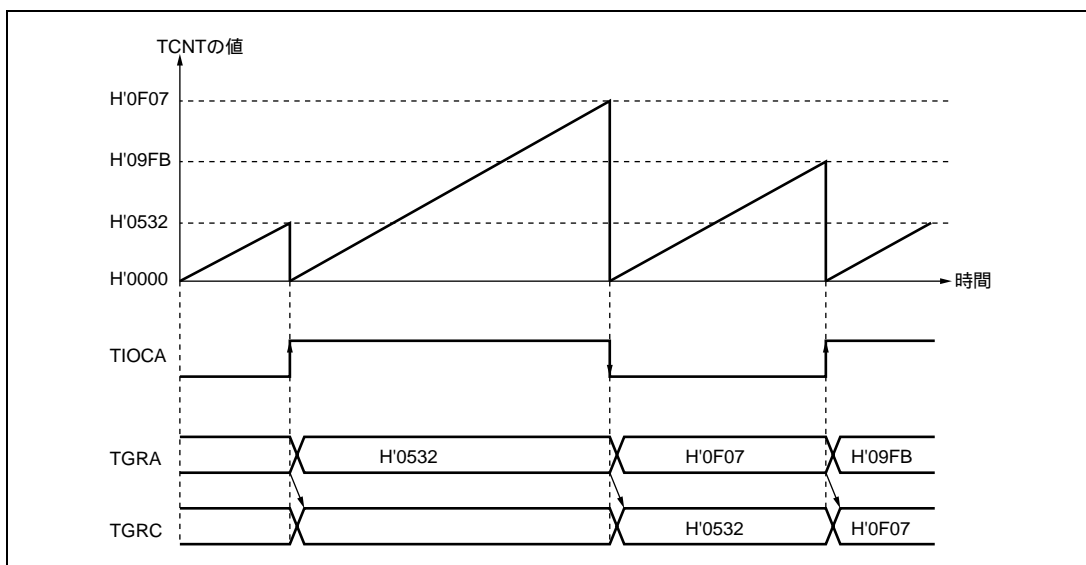


図 10.16 バッファ動作例 (2)

10. 16ビットタイマパルスユニット (TPU)

10.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT_X(TCNT_5)のオーバーフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 10.29 にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.29 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2
チャンネル4とチャンネル5	TCNT_4	TCNT_5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.17 に示します。

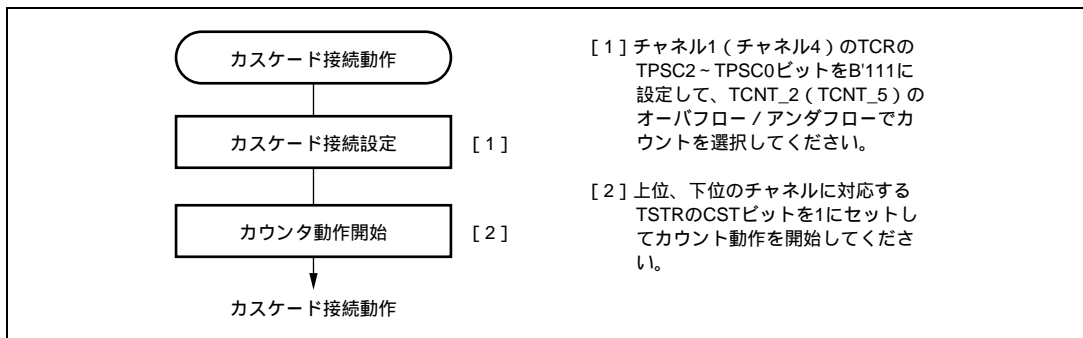


図 10.17 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー / アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 10.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

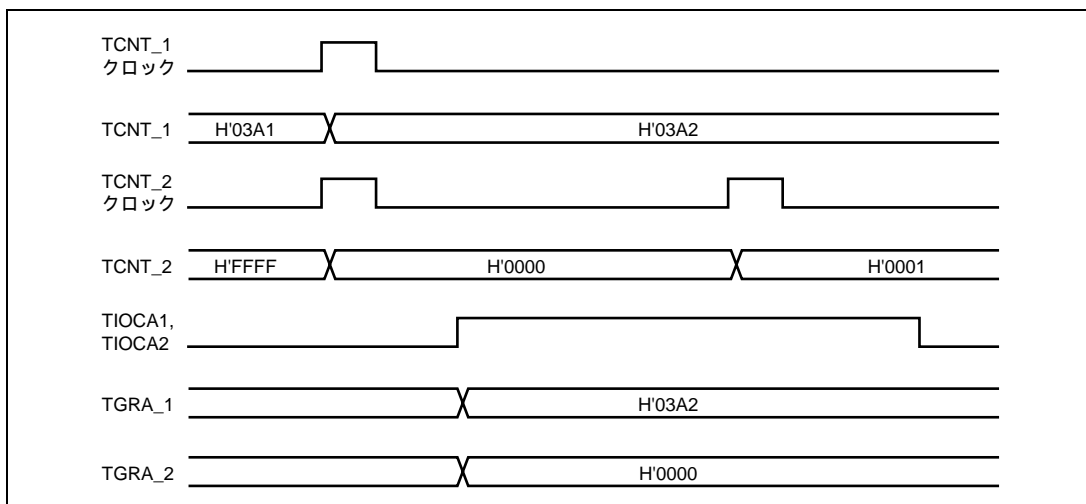


図 10.18 カスケード接続動作例 (1)

TCNT_1 は TCNT_2 のオーバーフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 10.19 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

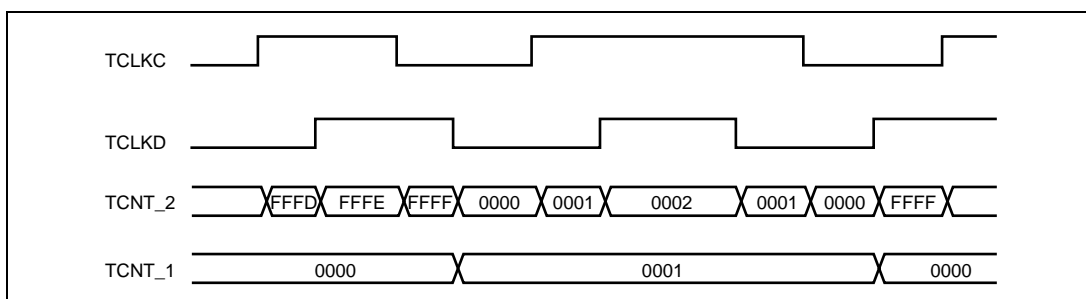


図 10.19 カスケード接続動作例 (2)

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.30 に示します。

表 10.30 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

10. 16 ビットタイマパルスユニット (TPU)

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.20 に示します。

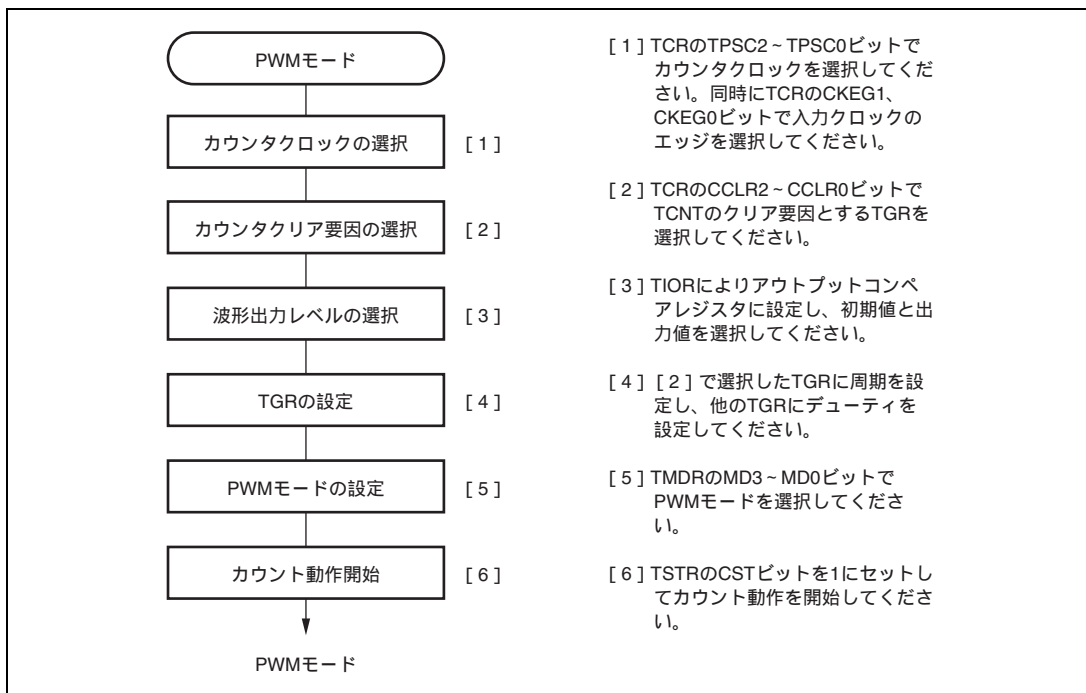


図 10.20 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 10.21 に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

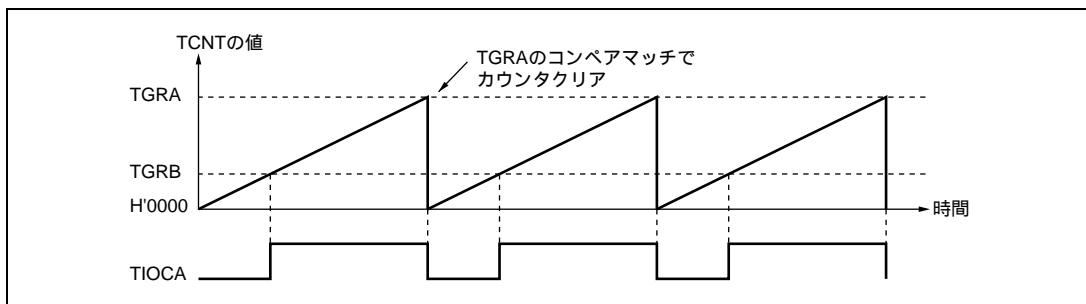


図 10.21 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 10.22 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0、TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

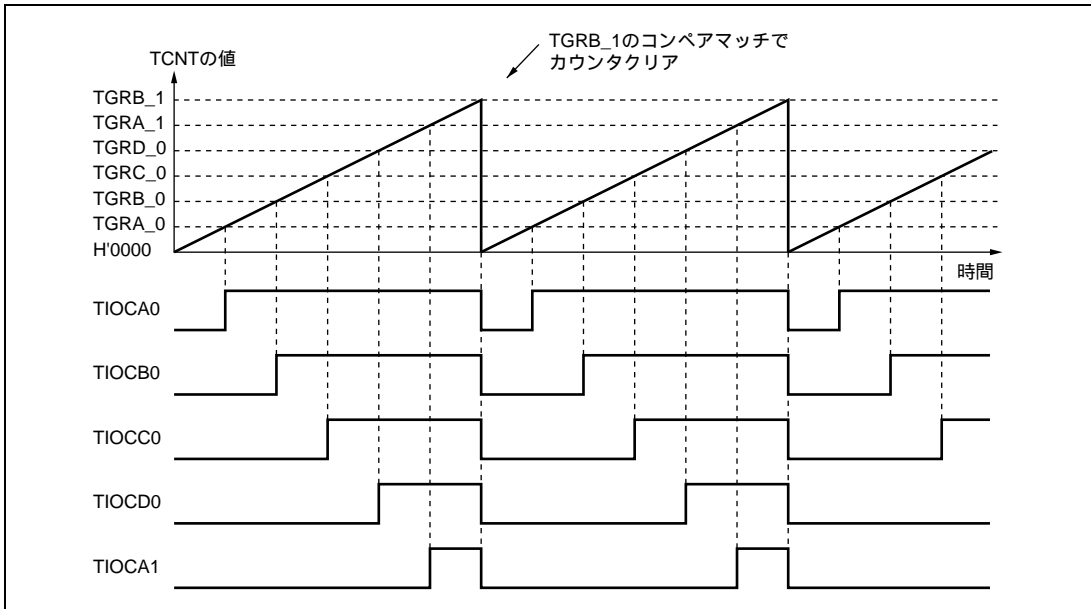


図 10.22 PWM モードの動作例 (2)

10. 16 ビットタイマパルスユニット (TPU)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.23 に示します。

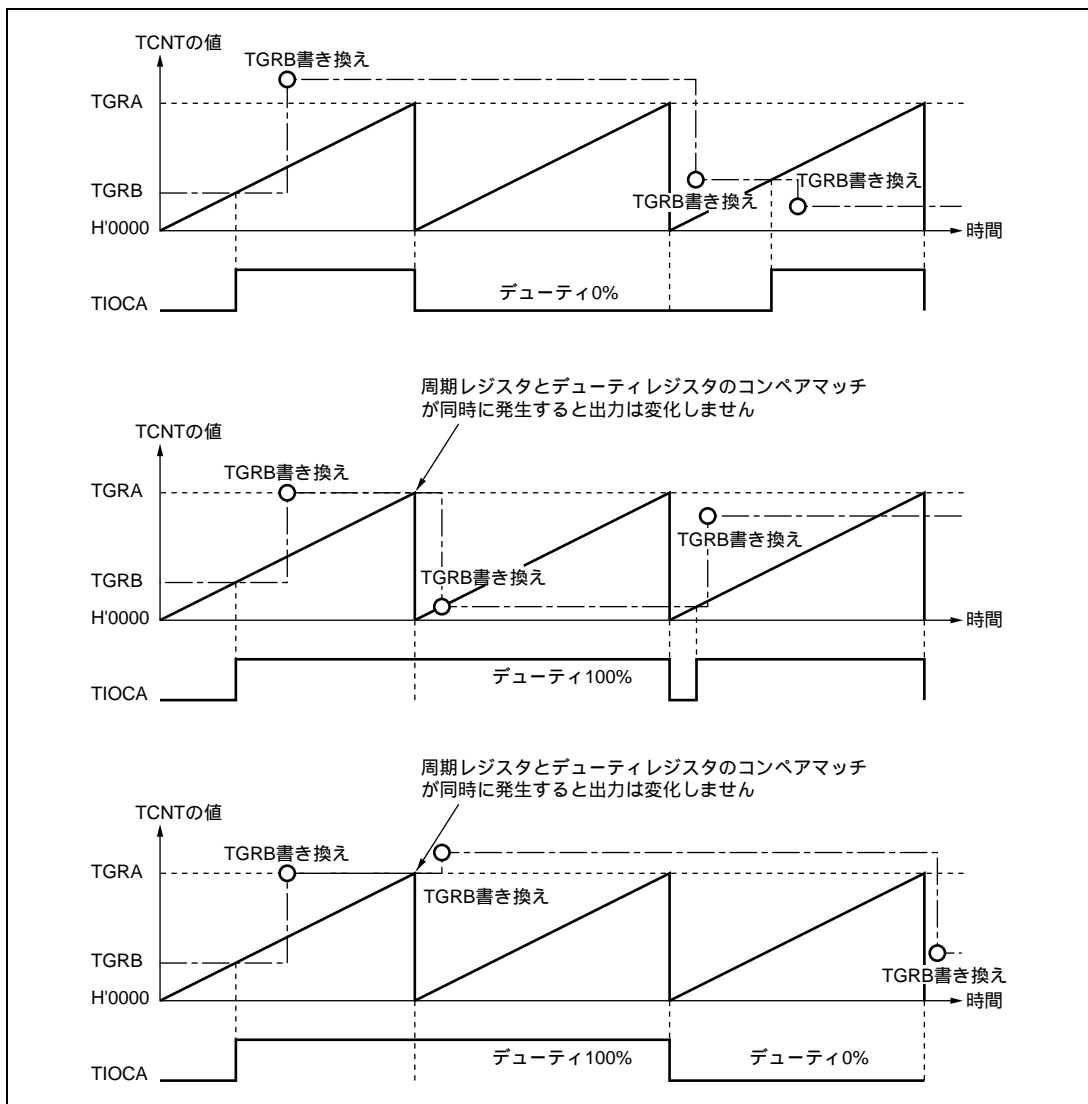


図 10.23 PWM モード動作例 (3)

10.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.31 に外部クロック端子とチャンネルの対応を示します。

表 10.31 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.24 に示します。

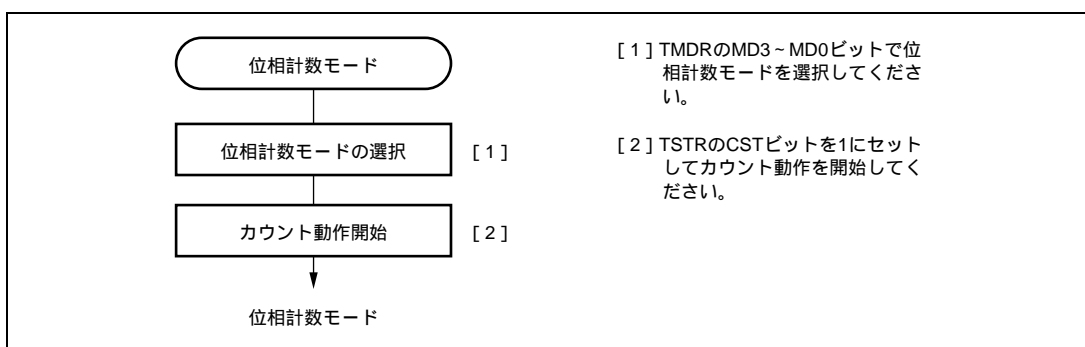


図 10.24 位相計数モードの設定手順例

10. 16ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード

位相計数モード1の動作例を図10.25に、TCNTのアップ/ダウンカウント条件を表10.32に示します。

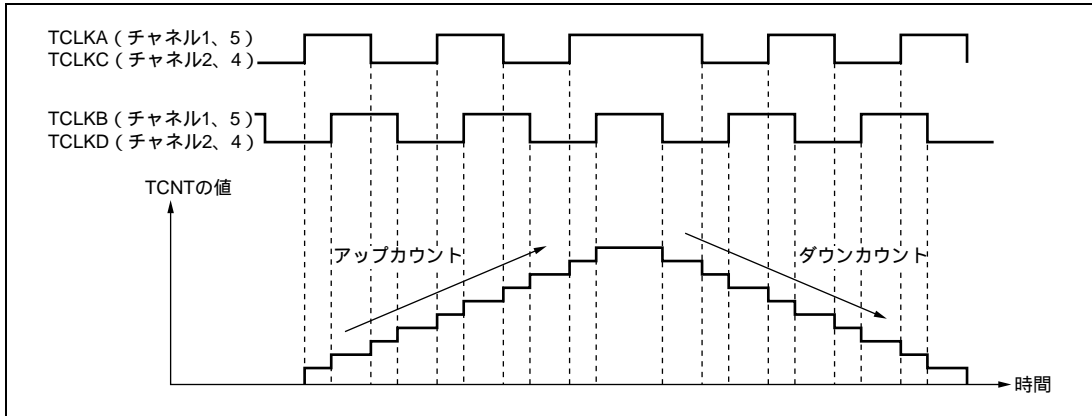


図 10.25 位相計数モード1の動作例

表 10.32 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数2

位相計数モード2の動作例を図10.26に、TCNTのアップ/ダウンカウント条件を表10.33に示します。

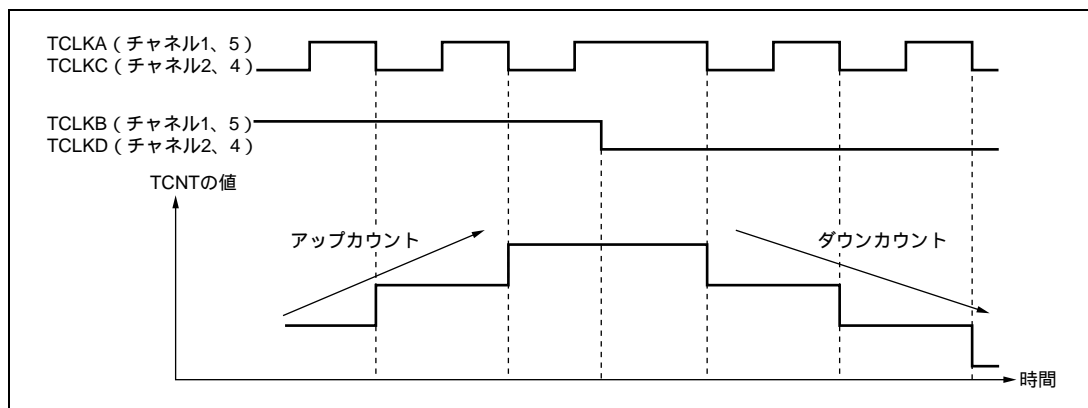


図 10.26 位相計数モード2の動作例

表 10.33 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル		Don't care
Low レベル		Don't care
	Low レベル	Don't care
	High レベル	アップカウント
High レベル		Don't care
Low レベル		Don't care
	High レベル	Don't care
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

10. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.27 に、TCNT のアップ/ダウンカウント条件を表 10.34 に示します。

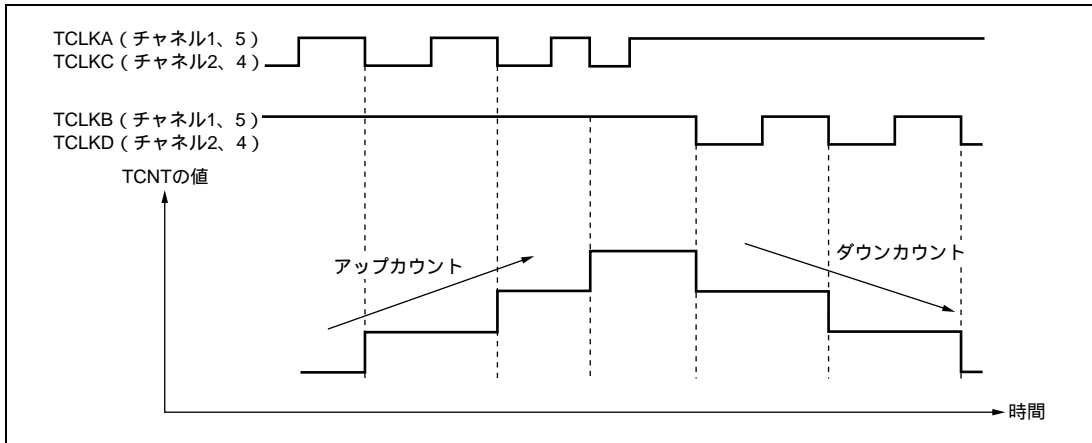


図 10.27 位相計数モード 3 の動作例

表 10.34 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.28 に、TCNT のアップ/ダウンカウント条件を表 10.35 に示します。

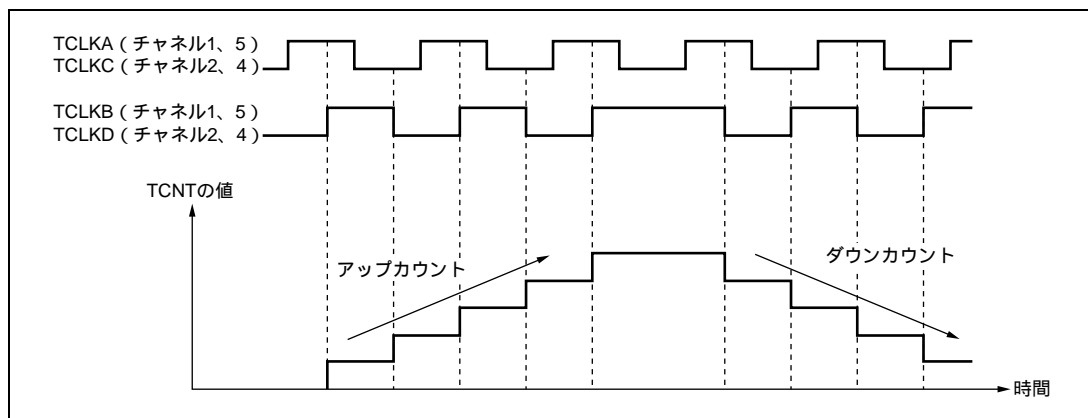


図 10.28 位相計数モード 4 の動作例

表 10.35 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	\uparrow	アップカウント
Low レベル	\downarrow	
\uparrow	Low レベル	Don't care
\downarrow	High レベル	
High レベル	\downarrow	ダウンカウント
Low レベル	\uparrow	
\uparrow	High レベル	Don't care
\downarrow	Low レベル	

【記号説明】

\uparrow : 立ち上がりエッジ

\downarrow : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 10.29 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 は入力キャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 の入力キャプチャ要因は、チャンネル 1

10. 16 ビットタイマパルスユニット (TPU)

のカウンタ入カロックとし、2相エンコーダの4 通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

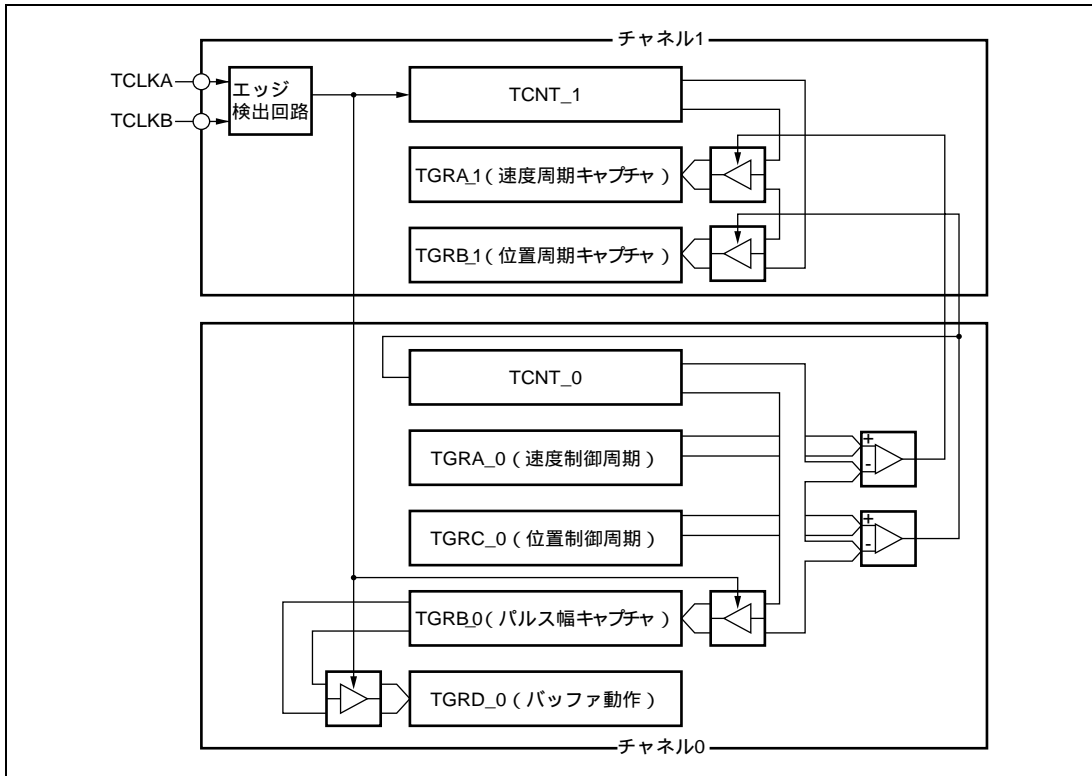


図 10.29 位相計数モードの応用例

10.5 割り込み要因

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第5章 割り込みコントローラ」を参照してください。

表 10.36 に TPU の割り込み要因の一覧を示します。

表 10.36 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動
0	TGI0A	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可
	TGI0B	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	可
	TGI0C	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	可
	TGI0D	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	可
	TCI0V	TCNT_0 のオーバーフロー	TCFV_0	不可
1	TGI1A	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可
	TGI1B	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	可
	TCI1V	TCNT_1 のオーバーフロー	TCFV_1	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可
2	TGI2A	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可
	TGI2B	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	可
	TCI2V	TCNT_2 のオーバーフロー	TCFV_2	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可
3	TGI3A	TGRA_3 のインプットキャプチャ / コンペアマッチ	TGFA_3	可
	TGI3B	TGRB_3 のインプットキャプチャ / コンペアマッチ	TGFB_3	可
	TGI3C	TGRC_3 のインプットキャプチャ / コンペアマッチ	TGFC_3	可
	TGI3D	TGRD_3 のインプットキャプチャ / コンペアマッチ	TGFD_3	可
	TCI3V	TCNT_3 のオーバーフロー	TCFV_3	不可
4	TGI4A	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可
	TGI4B	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	可
	TCI4V	TCNT_4 のオーバーフロー	TCFV_4	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可
5	TGI5A	TGRA_5 のインプットキャプチャ / コンペアマッチ	TGFA_5	可
	TGI5B	TGRB_5 のインプットキャプチャ / コンペアマッチ	TGFB_5	可
	TCI5V	TCNT_5 のオーバーフロー	TCFV_5	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

10. 16 ビットタイマパルスユニット (TPU)

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

10.6 DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

10.7 A/D 変換器の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

10.8 動作タイミング

10.8.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.31 に示します。

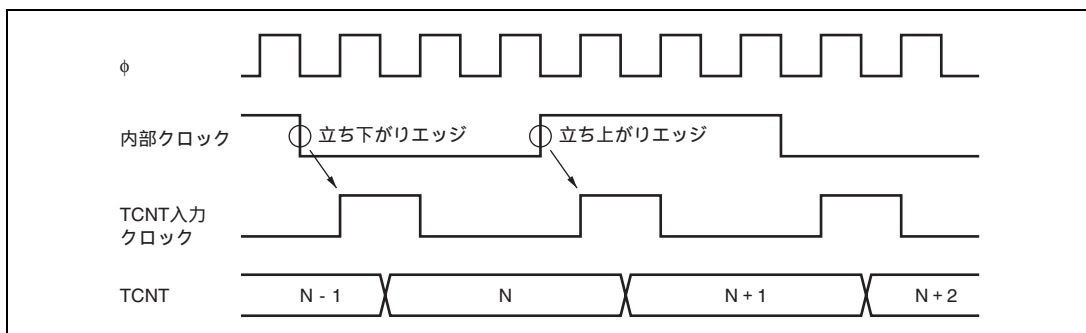


図 10.30 内部クロック動作時のカウントタイミング

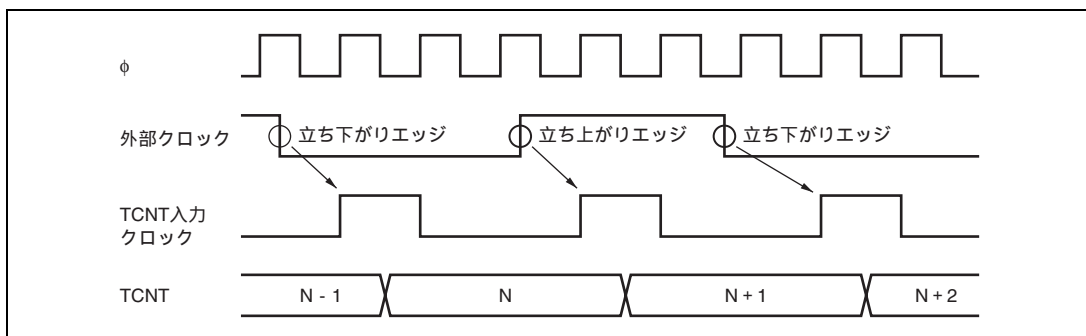


図 10.31 外部クロック動作時のカウントタイミング

10. 16 ビットタイマパルスユニット (TPU)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致したあと、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.32 に示します。

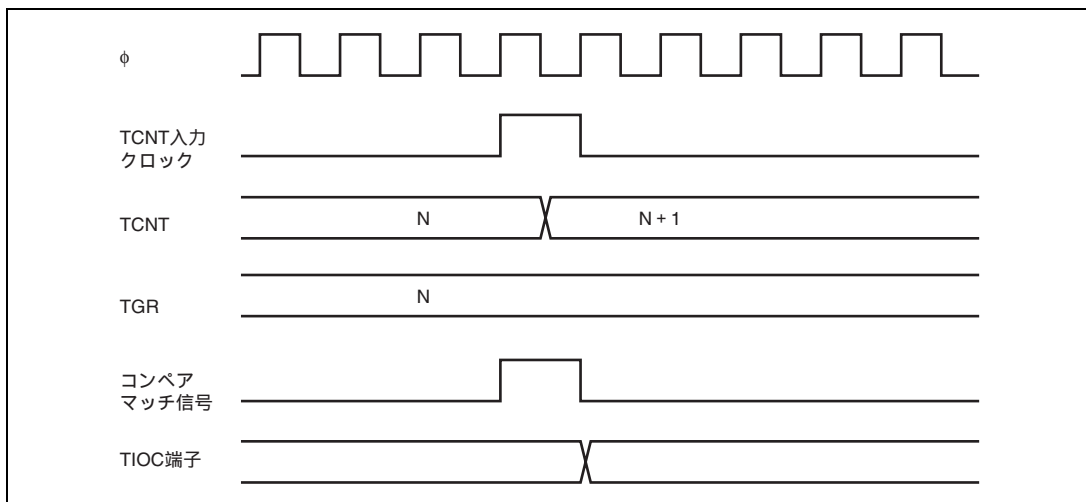


図 10.32 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.33 に示します。

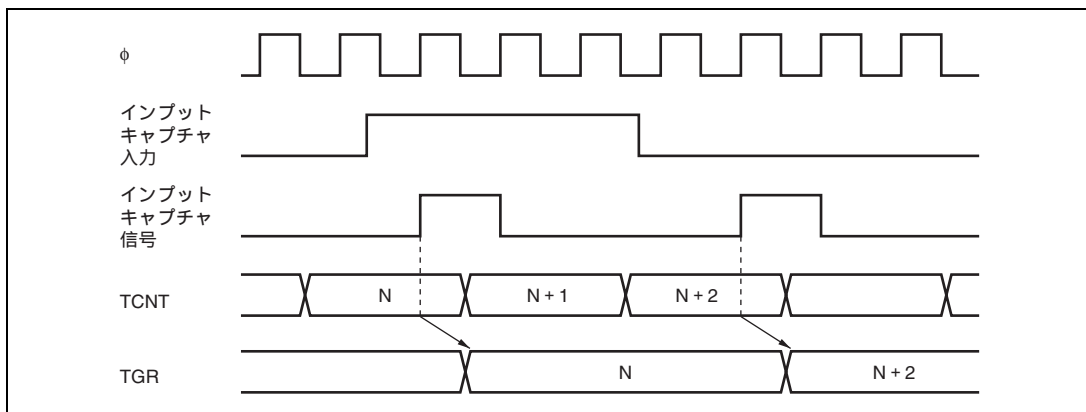


図 10.33 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.35 に示します。

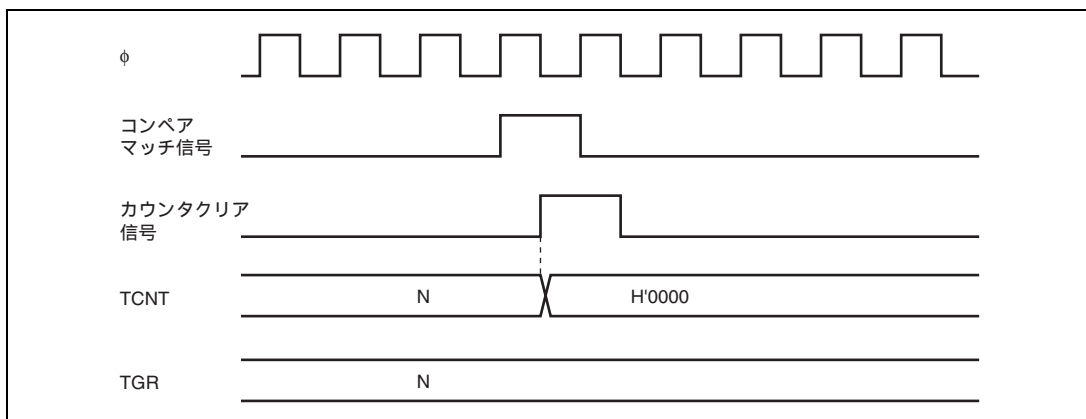


図 10.34 カウンタクリアタイミング (コンペアマッチ)

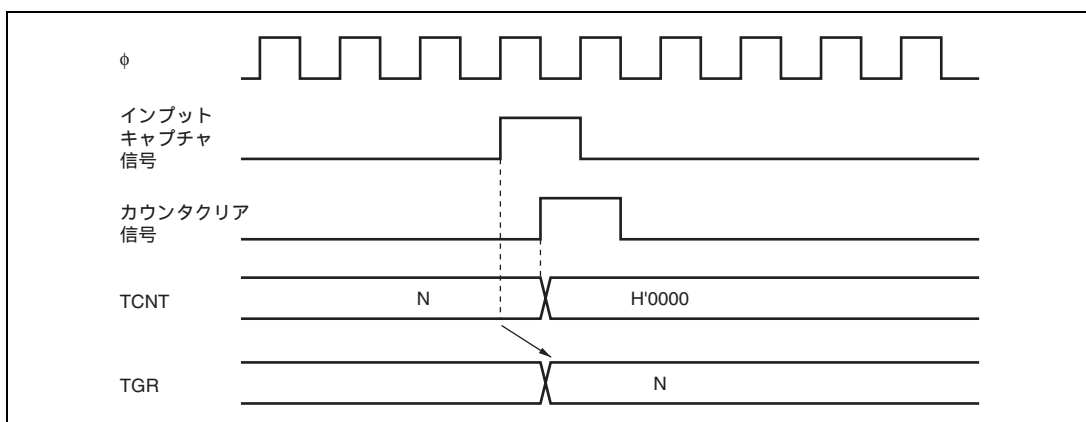


図 10.35 カウンタクリアタイミング (インプットキャプチャ)

10. 16ビットタイマパルスユニット (TPU)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.36、図 10.37 に示します。

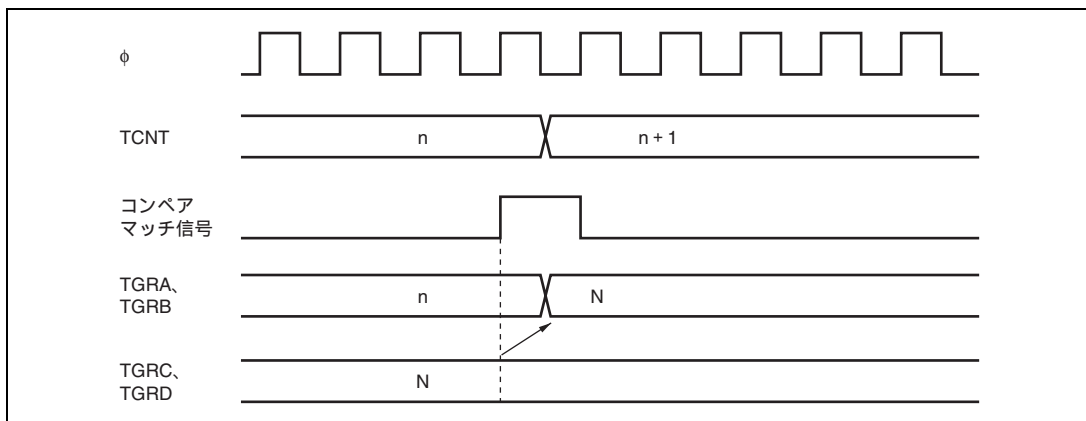


図 10.36 バッファ動作タイミング (コンペアマッチ)

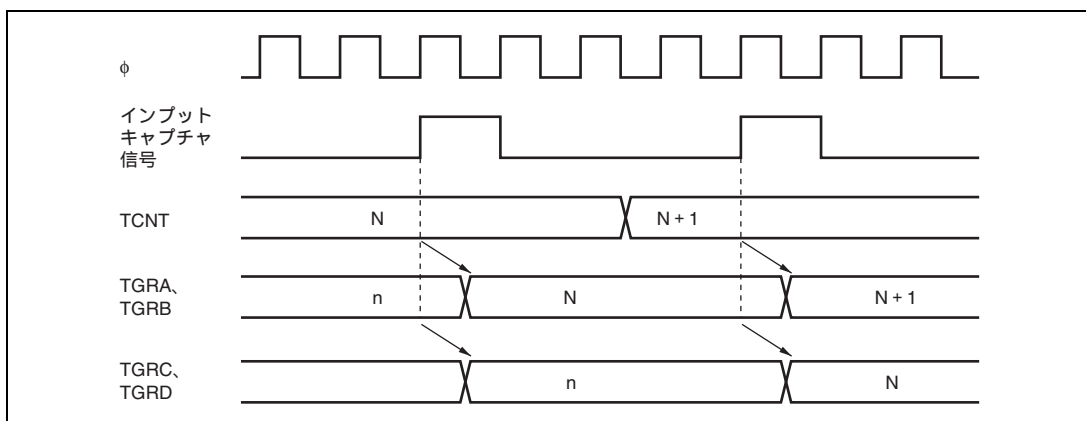


図 10.37 バッファ動作タイミング (インプットキャプチャ)

10.8.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.38 に示します。

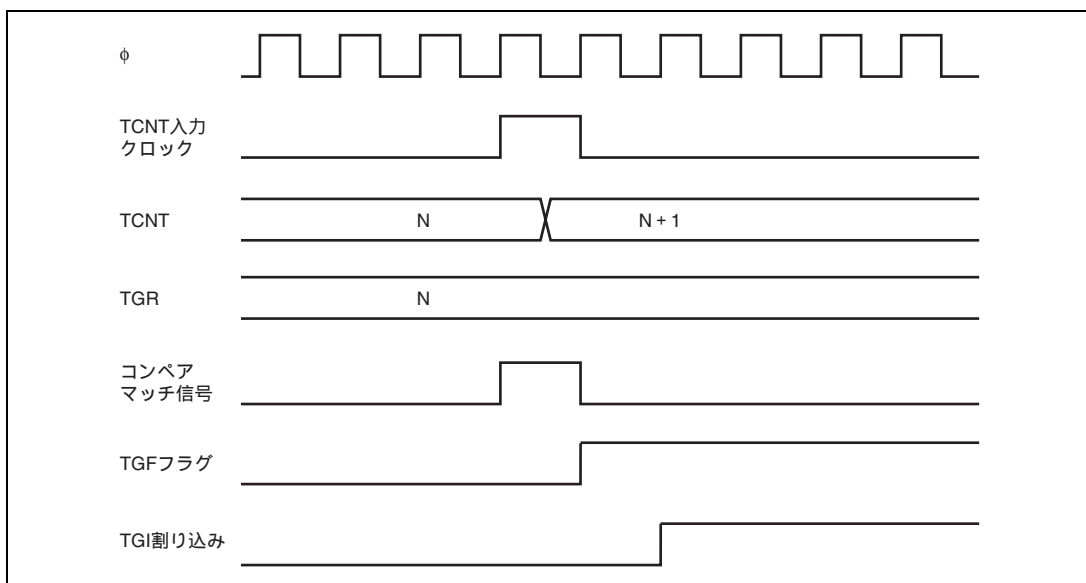


図 10.38 TGI 割り込みタイミング (コンペアマッチ)

10. 16 ビットタイマパルスユニット (TPU)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.39 に示します。

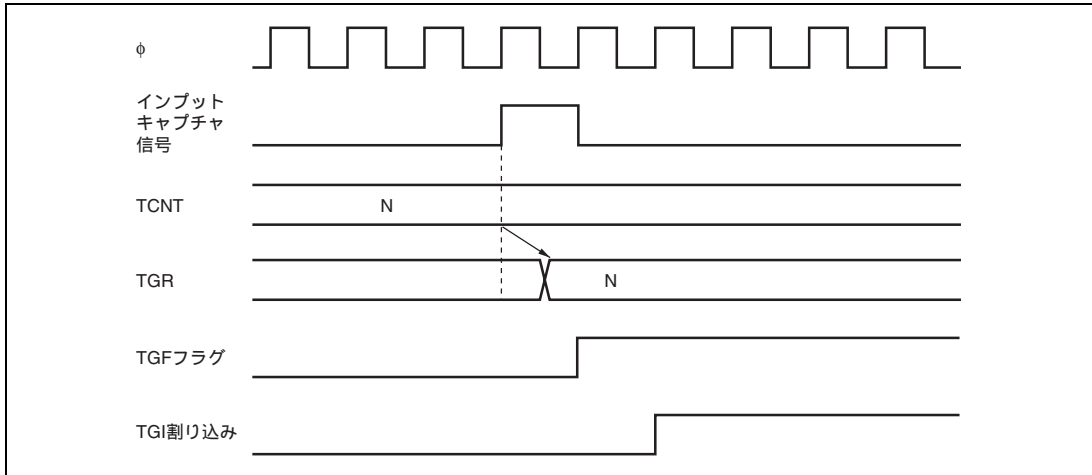


図 10.39 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.41 に示します。

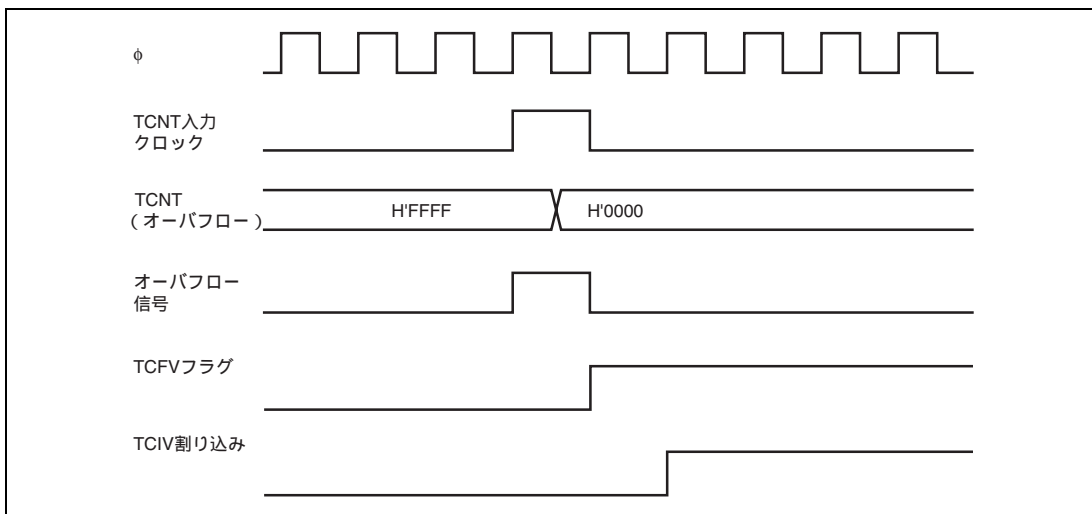


図 10.40 TCIV 割り込みのセットタイミング

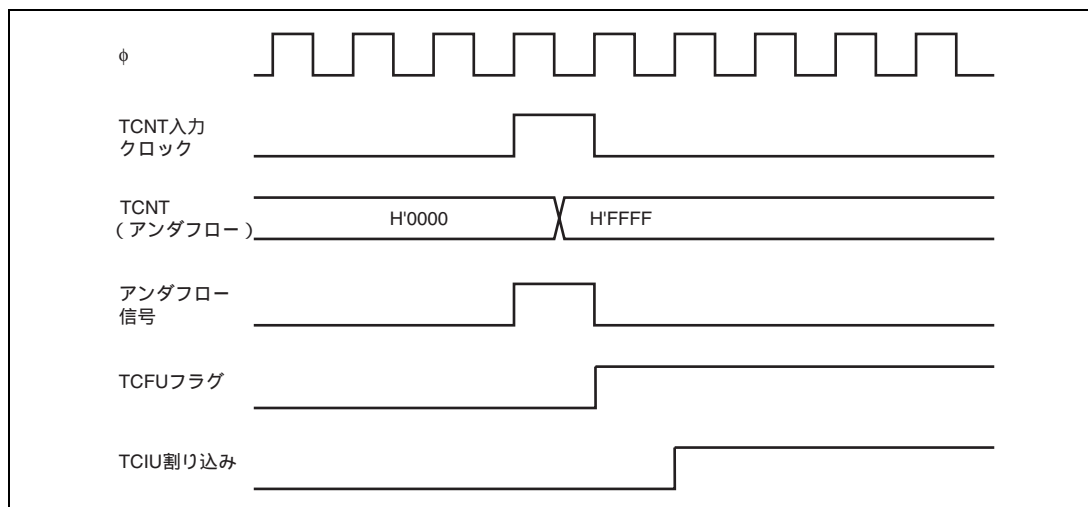


図 10.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードしたあと、0をライトするとクリアされます。DTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.42に、DTCによるステータスフラグのクリアのタイミングを図10.43に示します。

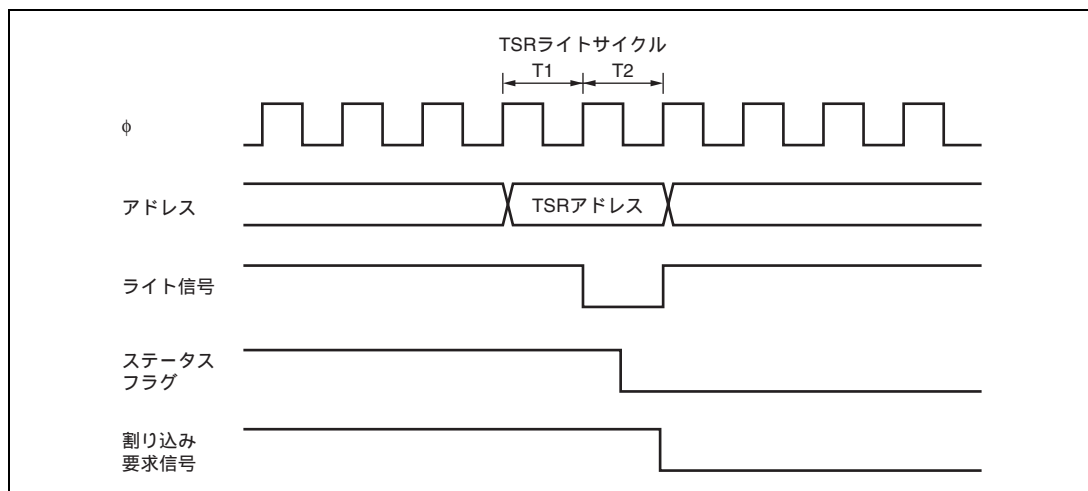


図 10.42 CPU によるステータスフラグのクリアタイミング

10. 16 ビットタイマパルスユニット (TPU)

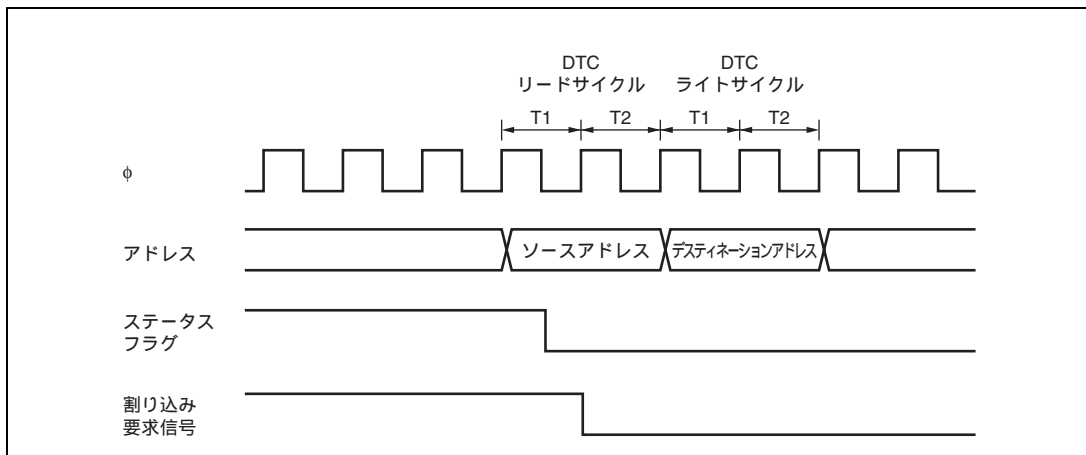


図 10.43 DTC の起動によるステータスフラグのクリアタイミング

10.9 使用上の注意事項

10.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

10.9.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 10.44 に示します。

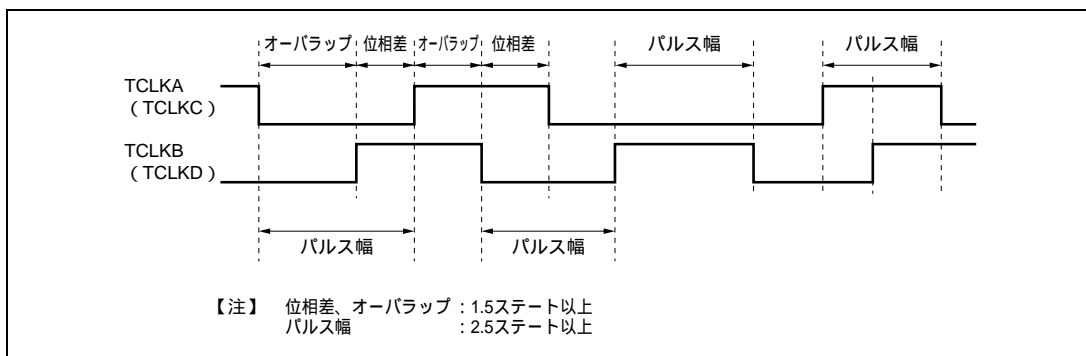


図 10.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

10.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

ϕ : 動作周波数

N : TGRの設定値

10.9.4 TCNTのライトとクリアの競合

TCNTのライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。このタイミングを図10.45に示します。

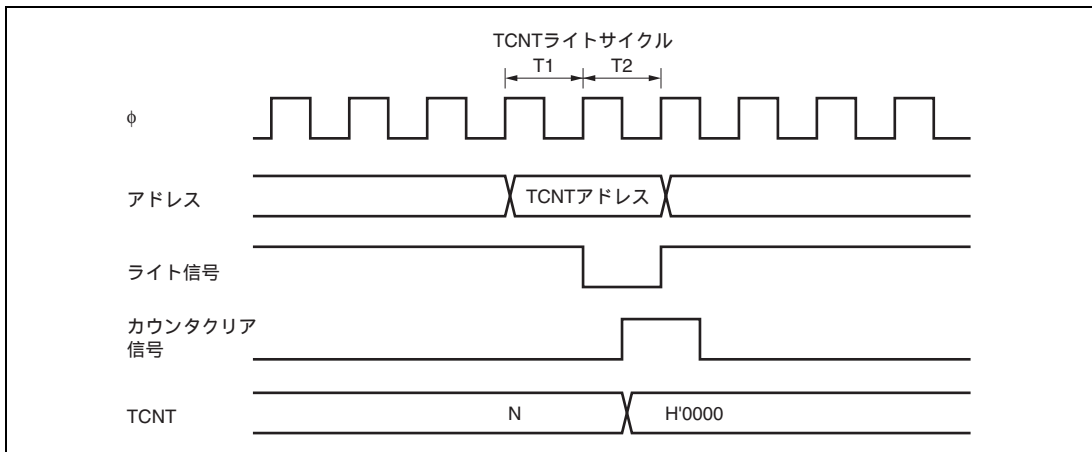


図 10.45 TCNTのライトとクリアの競合

10.9.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。このタイミングを図 10.46 に示します。

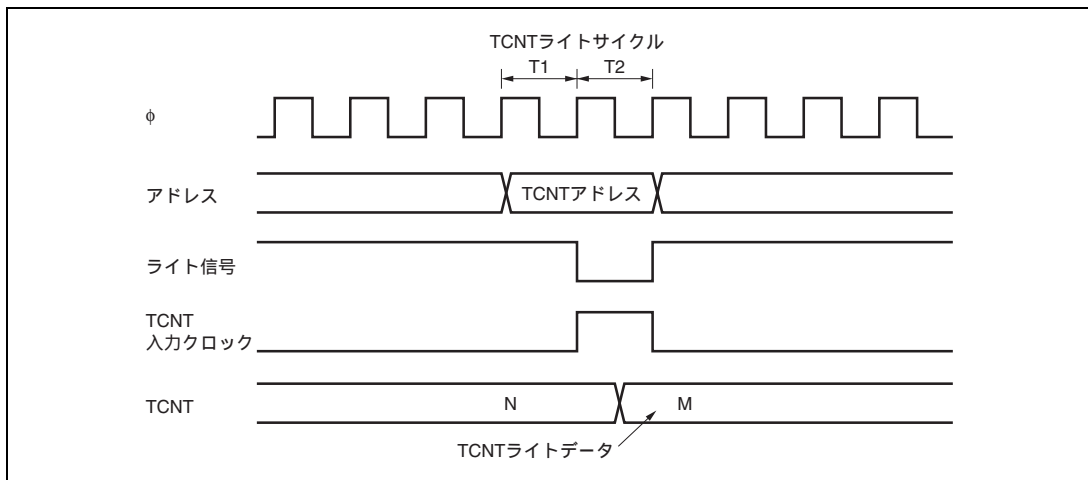


図 10.46 TCNT のライトとカウントアップの競合

10.9.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.47 に示します。

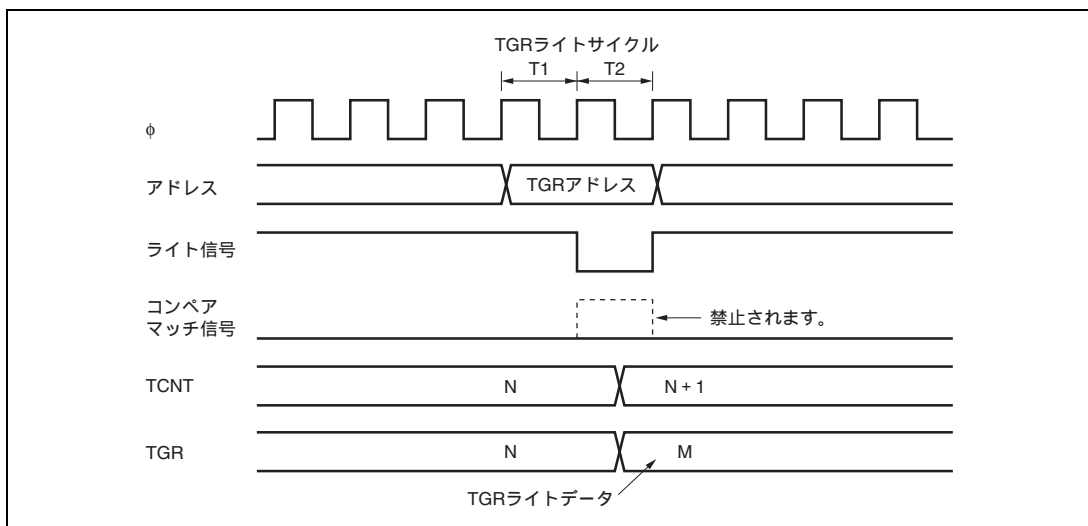


図 10.47 TGR のライトとコンペアマッチの競合

10.9.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.48 に示します。

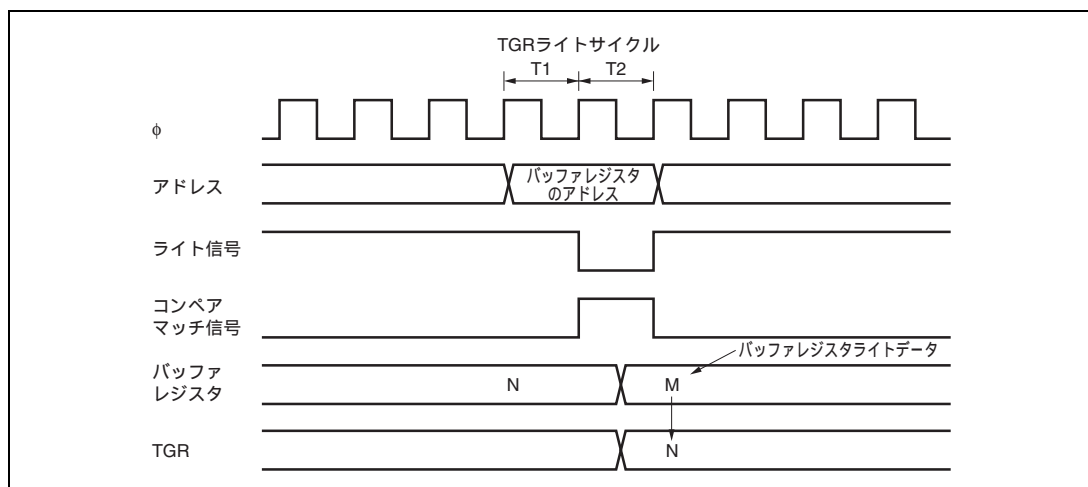


図 10.48 バッファレジスタのライトとコンペアマッチの競合

10.9.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.49 に示します。

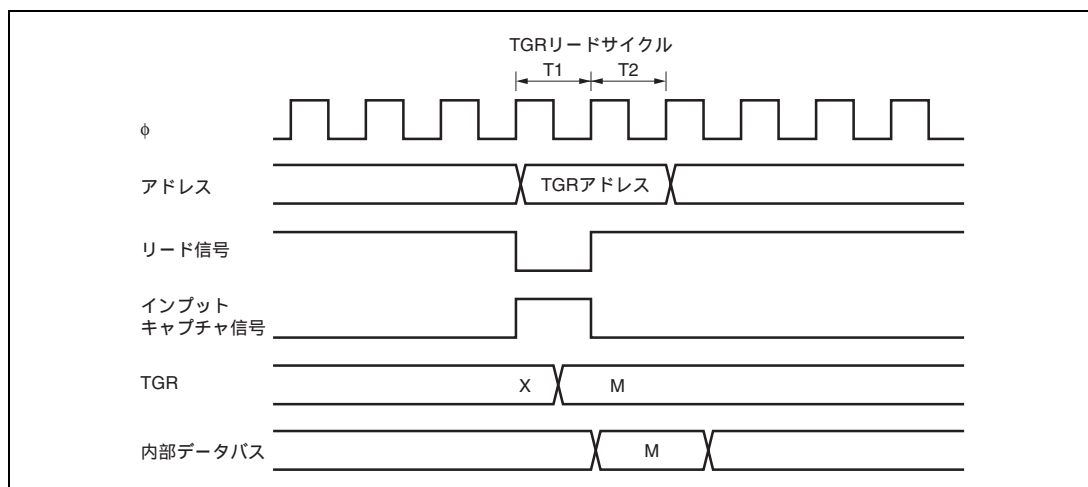


図 10.49 TGR のリードとインプットキャプチャの競合

10.9.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。このタイミングを図 10.50 に示します。

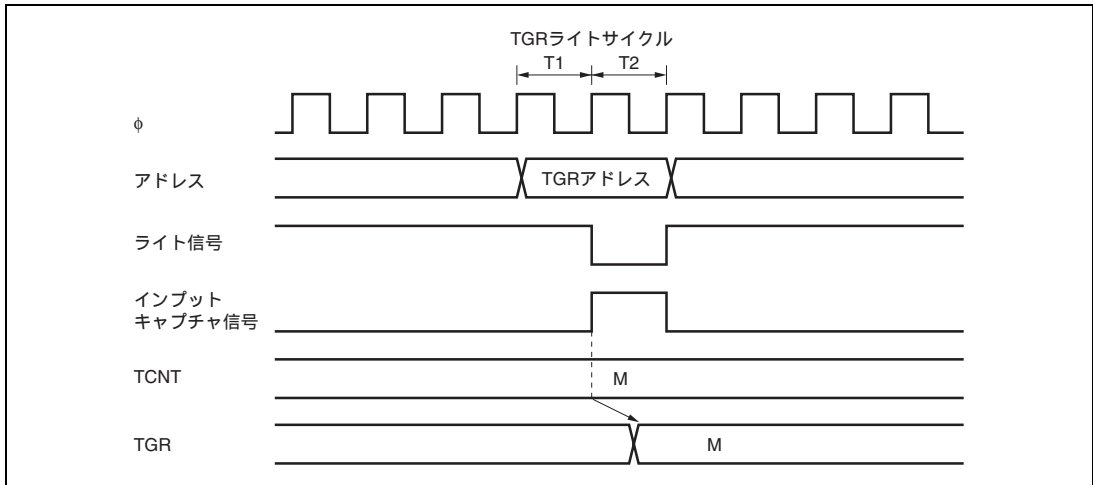


図 10.50 TGR のライトとインプットキャプチャの競合

10.9.10 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 10.51 に示します。

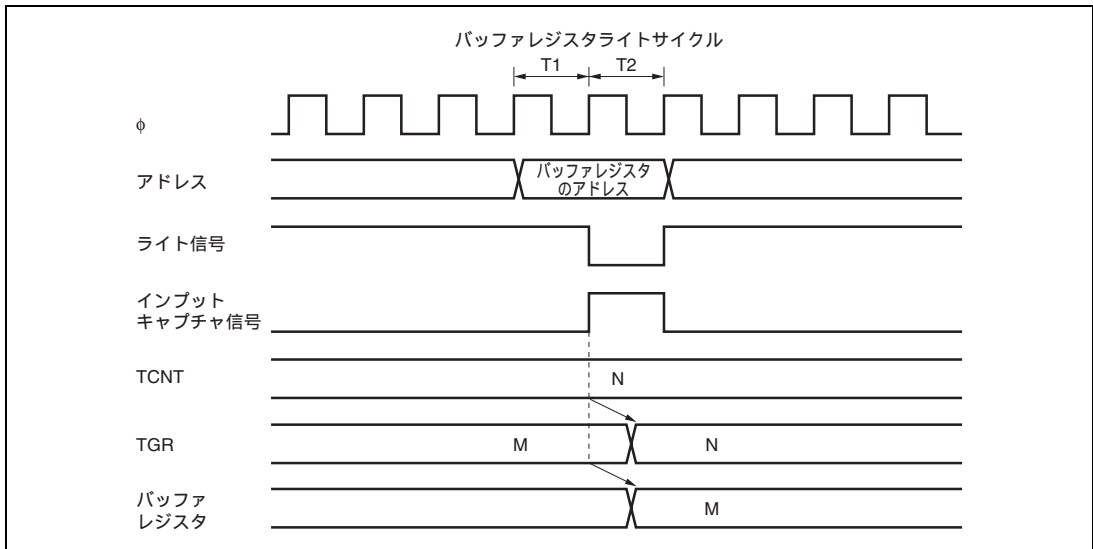


図 10.51 バッファレジスタのライトとインプットキャプチャの競合

10.9.11 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.52 に示します。

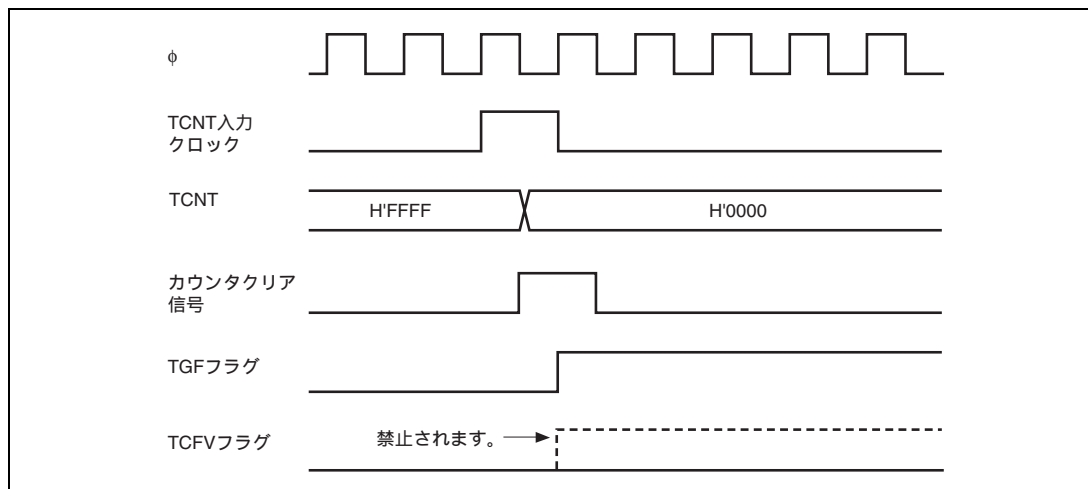


図 10.52 オーバフローとカウンタクリアの競合

10.9.12 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 10.53 に示します。

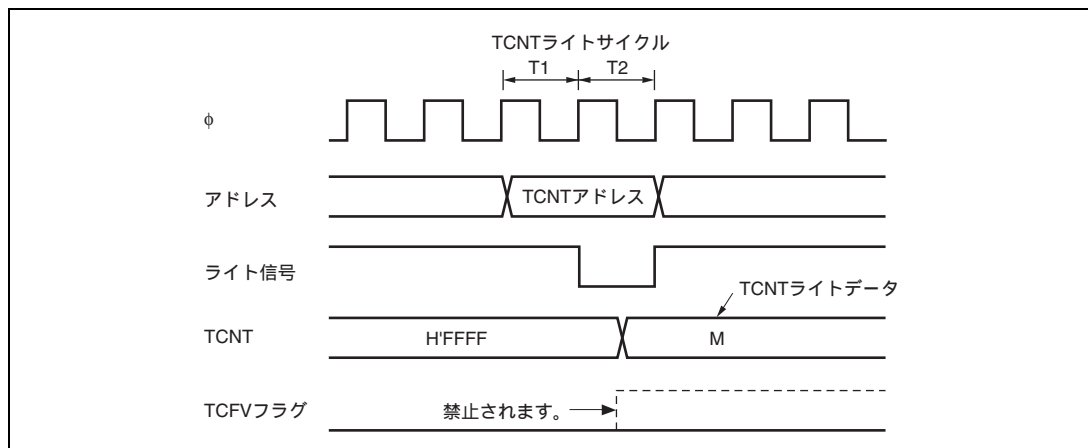


図 10.53 TCNT のライトとオーバフローの競合

10.9.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

10.9.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

11. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 4 チャンネルの 8 ビットタイマを内蔵しています。8 ビットタイマは外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

11.1 特長

- 4種類のクロックを選択可能
3種類の内部クロック ($\phi/8$ 、 $\phi/64$ 、 $\phi/8192$) と外部クロックのうちから選択可能
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択可能
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能
- 2チャンネルのカスケード接続が可能
(TMR_0、TMR_1のカスケード接続)
TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能 (16ビットカウントモード)
TMR_1はTMR_0のコンペアマッチをカウント可能 (コンペアマッチカウントモード)
(TMR_2、TMR_3のカスケード接続)
TMR_2を上位、TMR_3を下位とする16ビットタイマとして動作可能 (16ビットカウントモード)
TMR_3はTMR_2のコンペアマッチをカウント可能 (コンペアマッチカウントモード)
- 各チャンネル3種類の割り込み要因
コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求可能
- A/D変換器の変換スタートトリガを生成可能
A/D変換器の交換開始トリガとしてチャンネル0のコンペアマッチA信号を使用可能
- モジュールストップモードの設定可能
初期値では8ビットタイマの動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

11. 8ビットタイマ (TMR)

8ビットタイマ (TMR_0、TMR_1) のブロック図を図 11.1 に示します。

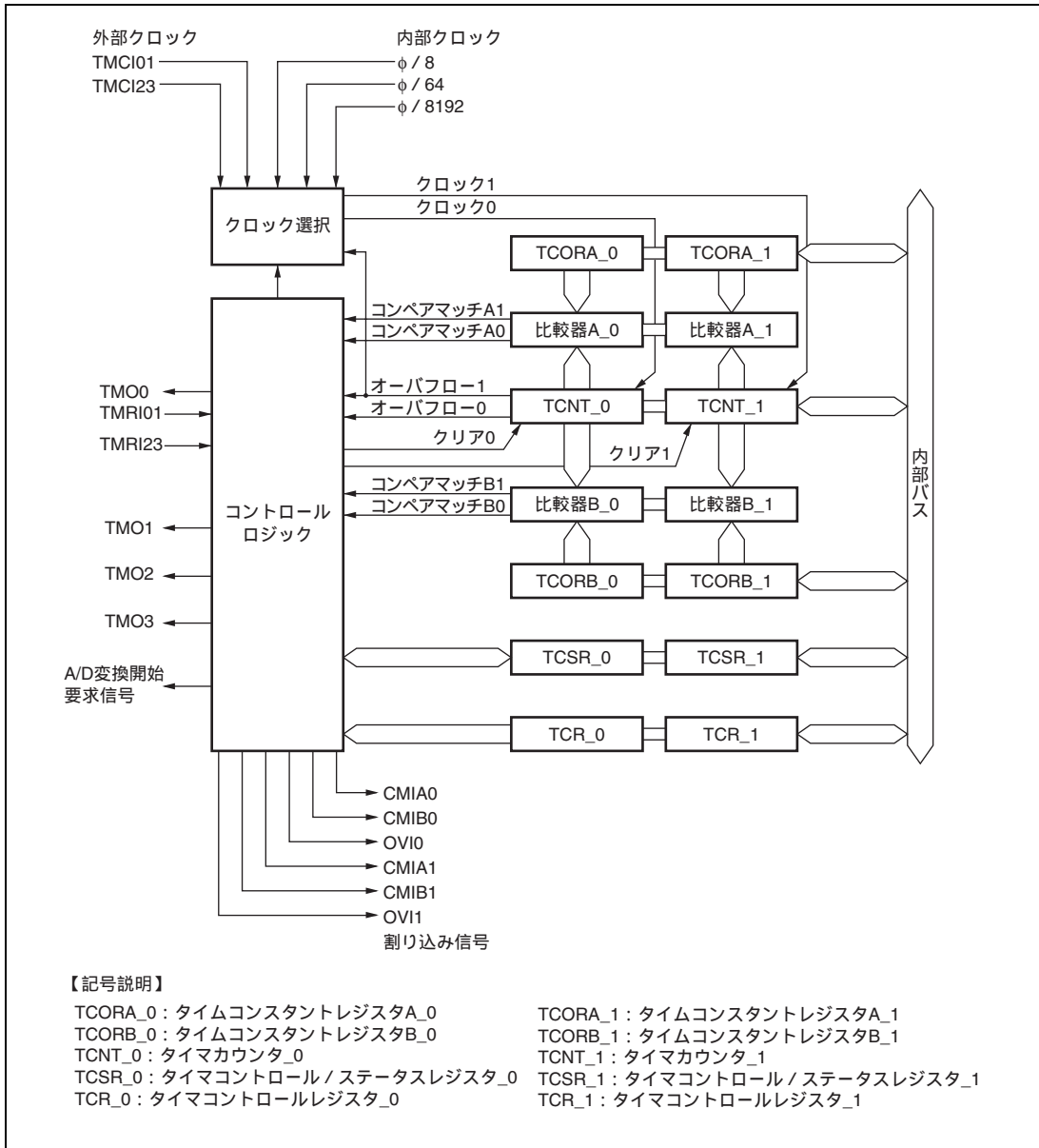


図 11.1 8ビットタイマのブロック図

11.2 入出力端子

8ビットタイマの端子構成を表 11.1 に示します。

表 11.1 端子構成

チャンネル	名 称	略称	入出力	機 能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
0、1 共通	タイマクロック入力端子	TMCI01	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI01	入力	カウンタ外部リセット入力
2	タイマ出力端子	TMO2	出力	コンペアマッチ出力
3	タイマ出力端子	TMO3	出力	コンペアマッチ出力
2、3 共通	タイマクロック入力端子	TMCI23	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI23	入力	カウンタ外部リセット入力

11.3 レジスタの説明

8ビットタイマには以下のレジスタがあります。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)」を参照してください。

チャンネル0

- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)

チャンネル1

- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)

チャンネル2

- タイマカウンタ_2 (TCNT_2)
- タイムコンスタントレジスタA_2 (TCORA_2)

11. 8ビットタイマ (TMR)

- タイムコンスタントレジスタB_2 (TCORB_2)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマコントロール/ステータスレジスタ_2 (TCSR_2)

チャンネル3

- タイマカウンタ_3 (TCNT_3)
- タイムコンスタントレジスタA_3 (TCORA_3)
- タイムコンスタントレジスタB_3 (TCORB_3)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマコントロール/ステータスレジスタ_3 (TCSR_3)

11.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのアップカウンタです。TCNT_0、TCNT_1(またはTCNT_2、TCNT_3)を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバーフロー(H'FF→H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

11.3.2 タイムコンスタントレジスタA (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1(またはTCORA_2、TCORA_3)を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

11.3.3 タイムコンスタントレジスタB (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1(またはTCORB_2、TCORB_3)を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

11.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0
3	CCLR0	0	R/W	TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2	CKS2	0	R/W	クロックセレクト 2-0
1	CKS1	0	R/W	内部クロックは、システムロック (φ) を分周した 3 種類のクロックから選択できます。外部クロックのとき、クロック入力は立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの 3 種類から選択できます。
0	CKS0	0	R/W	000 : クロック入力を禁止 001 : 内部クロック : φ/8 立ち下がりエッジでカウント 010 : 内部クロック : φ/64 立ち下がりエッジでカウント 011 : 内部クロック : φ/8192 立ち下がりエッジでカウント 100 : チャンネル 0 の場合 : TCNT1 のオーバフロー信号でカウント* チャンネル 1 の場合 : TCNT0 のコンペアマッチ A でカウント* チャンネル 2 の場合 : TCNT3 のオーバフロー信号でカウント* チャンネル 3 の場合 : TCNT2 のコンペアマッチ A でカウント* 101 : 外部クロック : 立ち上がりエッジでカウント 110 : 外部クロック : 立ち下がりエッジでカウント 111 : 外部クロック : 立ち上がり / 立ち下がり両エッジでカウント

【注】 * チャンネル 0 (チャンネル 2) のクロック入力を TCNT1 (TCNT3) のオーバフロー信号とし、チャンネル 1 (チャンネル 3) のクロック入力を TCNT0 (TCNT2) のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

11. 8ビットタイマ (TMR)

11.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードしたあと、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC が起動され、DTC の MRB の DISSEL ビットが 0 で、かつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードしたあと、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC が起動され、DTC の MRB の DISSEL ビットが 0 で、かつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
0	OS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_1、TCSR_3

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードしたあと、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードしたあと、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)*	タイマーオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードしたあと、OVF に 0 をライトしたとき
4		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11. 8ビットタイマ (TMR)

• TCSR_2

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードしたあと、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードしたあと、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードしたあと、OVF に 0 をライトしたとき
4		0	R/W	リザーブビット リード/ライト可能です。ライトするときは 0 をライトしてください。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11.4 動作説明

11.4.1 パルス出力

任意のデューティパルスを出力させる例を図 11.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

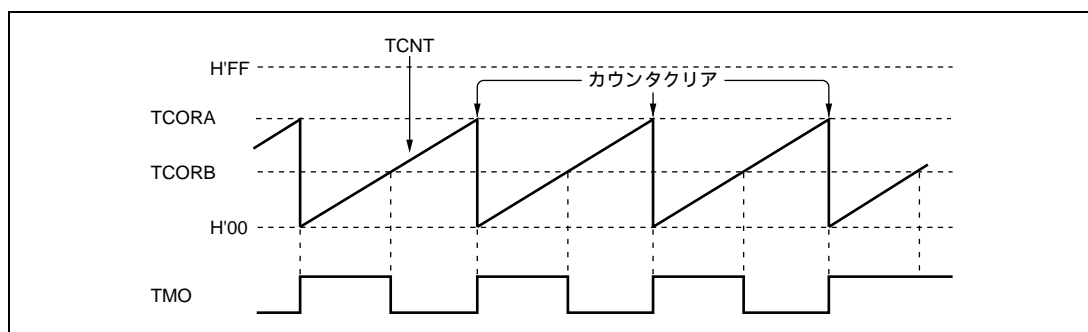


図 11.2 パルス出力例

11.5 動作タイミング

11.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.3 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.4 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

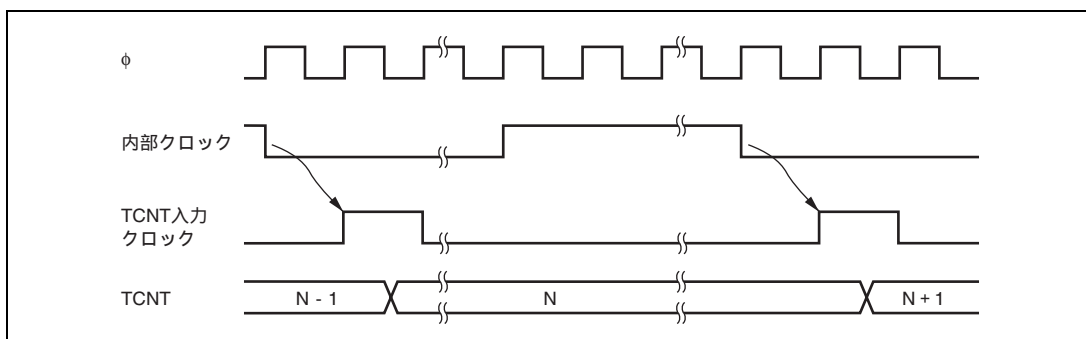


図 11.3 内部クロック動作時のカウントタイミング

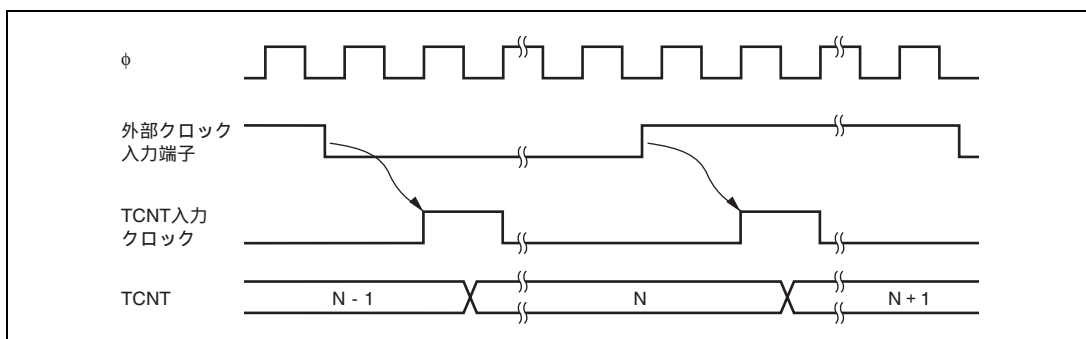


図 11.4 外部クロック動作時のカウントタイミング

11.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致したあと、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 11.5 に示します。

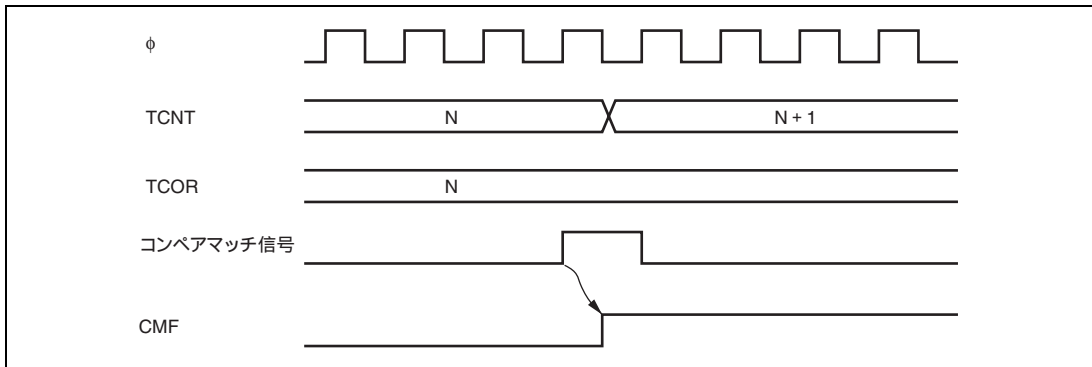


図 11.5 コンペアマッチ時の CMF フラグのセットタイミング

11.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 11.6 に示します。

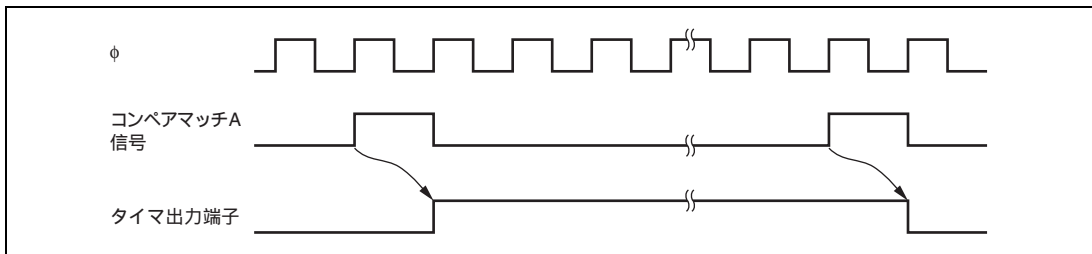


図 11.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

11.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 11.7 に示します。

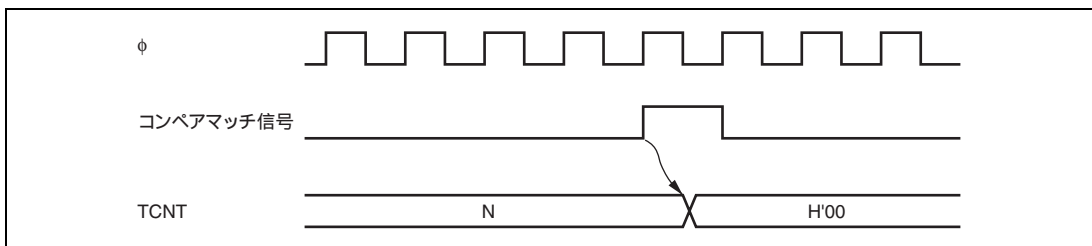


図 11.7 コンペアマッチによるカウンタクリアタイミング

11. 8ビットタイマ (TMR)

11.5.5 TCNT の外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 11.8 に示します。

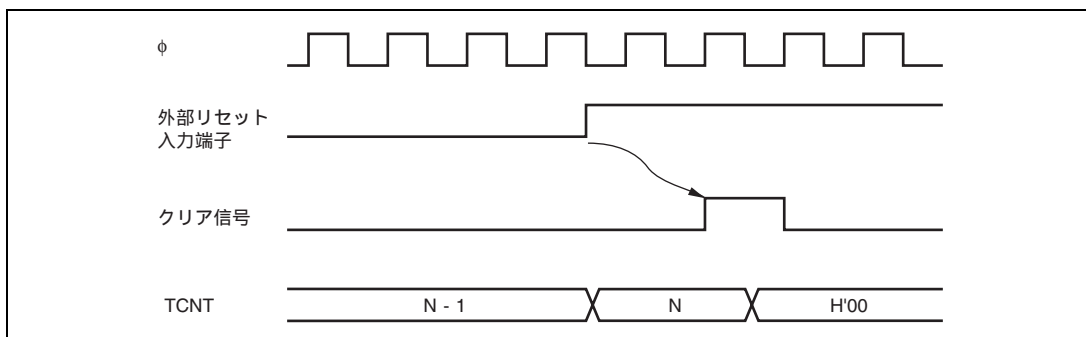


図 11.8 外部リセット入力によるクリアタイミング

11.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により1にセットされます。OVFフラグのセットタイミングを図 11.9 に示します。

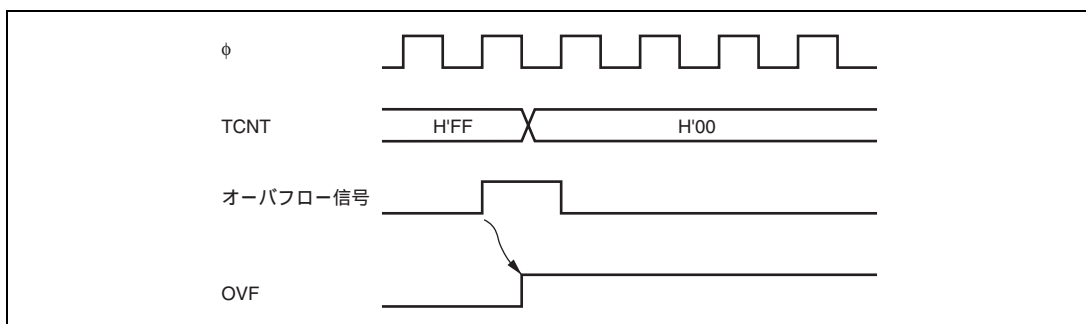


図 11.9 OVF フラグのセットタイミング

11.6 カスケード接続時の動作

TCR_0、TCR_1 (または TCR_2、TCR_3) のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットタイマモードか、またはチャンネル 0 (チャンネル 2) の 8 ビットタイマのコンペアマッチをチャンネル 1 (チャンネル 3) のタイマでカウントするコンペアマッチカウントモードにすることができます。チャンネル 0 とチャンネル 1 をカスケード接続する場合で以下に説明します。

11.6.1 16 ビットカウントモード

TCR_0 の CKS2~CKS0 ビットが B'100 のとき、タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMRI01端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

11.6.2 コンペアマッチカウントモード

TCR_1 の CKS2~CKS0 ビットが B'100 のとき、TCNT_1 はチャンネル 0 のコンペアマッチ A をカウントします。チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

11. 8ビットタイマ (TMR)

11.7 割り込み要因

11.7.1 割り込み要因と DTC 起動

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表11.2に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB割り込みによりDTCを起動できます。

表 11.2 8ビットタイマの割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
CMIA0	TCORA_0のコンペアマッチ	CMFA	可	↑ 高 低
CMIB0	TCORB_0のコンペアマッチ	CMFB	可	
OVI0	TCNT_0のオーバーフロー	OVF	不可	
CMIA1	TCORA_1のコンペアマッチ	CMFA	可	
CMIB1	TCORB_1のコンペアマッチ	CMFB	可	
OVI1	TCNT_1のオーバーフロー	OVF	不可	
CMIA2	TCORA_2のコンペアマッチ	CMFA	可	
CMIB2	TCORB_2のコンペアマッチ	CMFB	可	
OVI2	TCNT_2のオーバーフロー	OVF	不可	
CMIA3	TCORA_3のコンペアマッチ	CMFA	可	
CMIB3	TCORB_3のコンペアマッチ	CMFB	可	
OVI3	TCNT_3のオーバーフロー	OVF	不可	

【注】 リセット直後の初期化状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

11.7.2 A/D変換器の起動

チャンネル0のコンペアマッチAのみ、A/D変換器を起動することができます。チャンネル0のコンペアマッチAの発生により、TCSR_0のCMFAフラグが1にセットされたとき、ADTEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、8ビットタイマの変換開始トリガが選択されていれば、A/D変換が開始されます。

11.8 使用上の注意事項

11.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップモードを解除することによりレジスタのアクセスが可能になります。詳細は「第22章 低消費電力状態」を参照してください。

11.8.2 TCNT のライトとカウンタクリアの競合

図 11.10 のように TCNT のライトサイクル中の T₂ ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

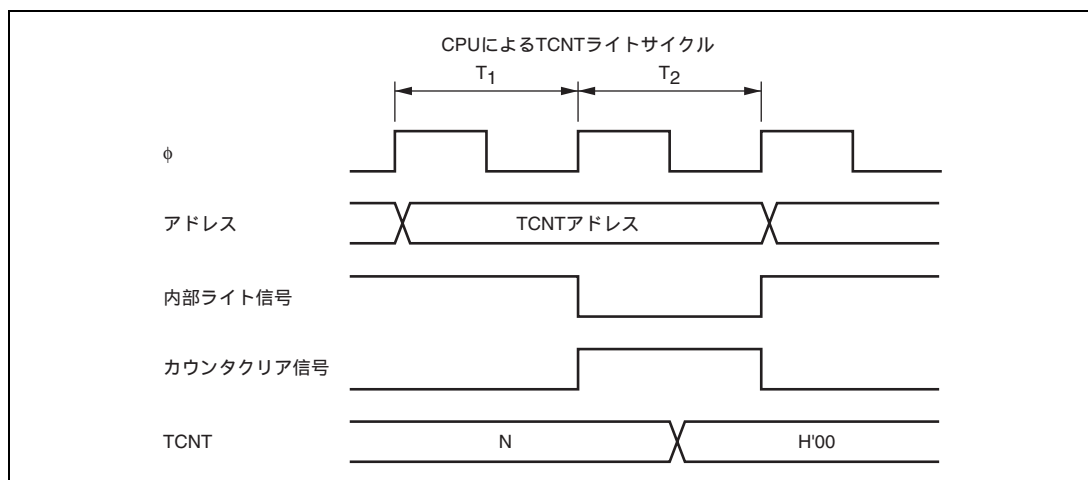


図 11.10 TCNT のライトとクリアの競合

11.8.3 TCNT のライトとカウントアップの競合

図 11.11 のように TCNT のライトサイクル中の T₂ ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

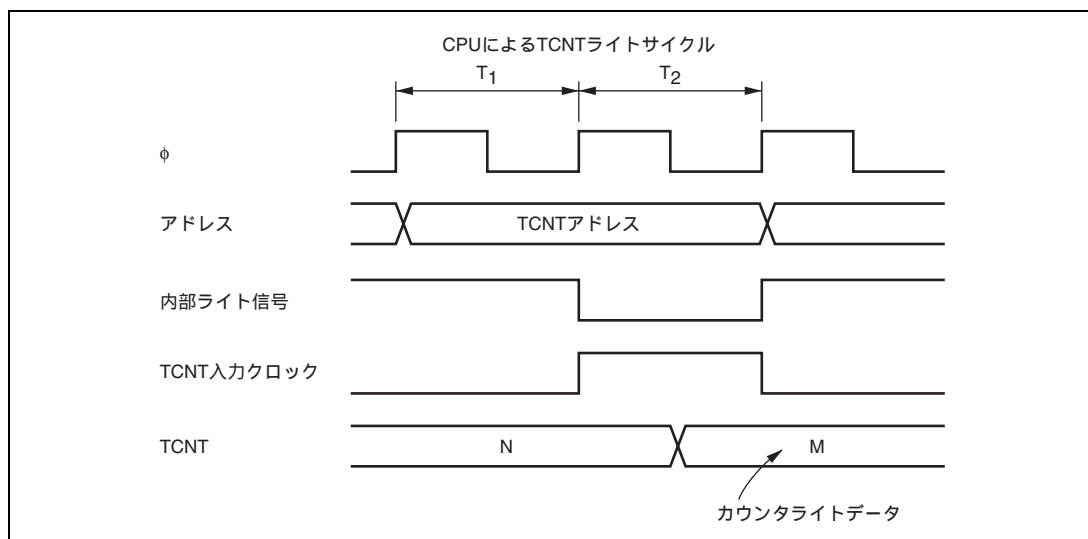


図 11.11 TCNT のライトとカウントアップの競合

11.8.4 TCORのライトとコンペアマッチの競合

図 11.12 のように TCOR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

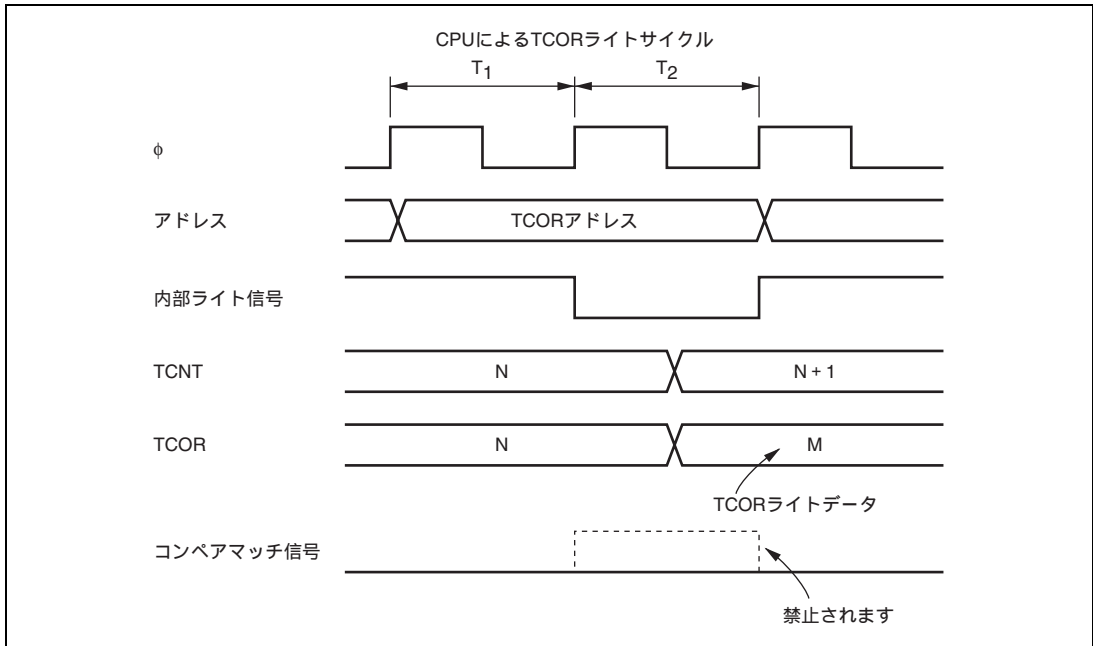


図 11.12 TCOR のライトとコンペアマッチの競合

11.8.5 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 11.3 に示すタイマ出力の優先順位に従って動作します。

表 11.3 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	↑
変化しない	低

11.8.6 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 11.4 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 11.4 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 11.4 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

11. 8ビットタイマ (TMR)

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル ^{*3} の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

- 【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。
 *2 停止→High レベルの場合を含みます。
 *3 High レベル→停止を含みます。
 *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

11.8.7 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因、または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

11.8.8 カスケード接続時のモード設定

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1 (または TCNT_2、TCNT_3) の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

12. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、2 チャンネルを内蔵しています。システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 12.1 に示します。

12.1 特長

- WDT_0は8種類、WDT_1は16種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- WDT_0ではカウンタがオーバーフローすると、本LSI内部をリセットするかしないかを選択可能
内部リセットは、パワーオンリセットまたはマニュアルリセットを選択可能
- WDT_1ではカウンタがオーバーフローすると、本LSI内部をパワーオンリセットするかまたは内部NMI割り込みを発生するかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生
- 選択したクロックをBUZZ出力端子から出力可能 (WDT_1)

12. ウォッチドッグタイマ (WDT)

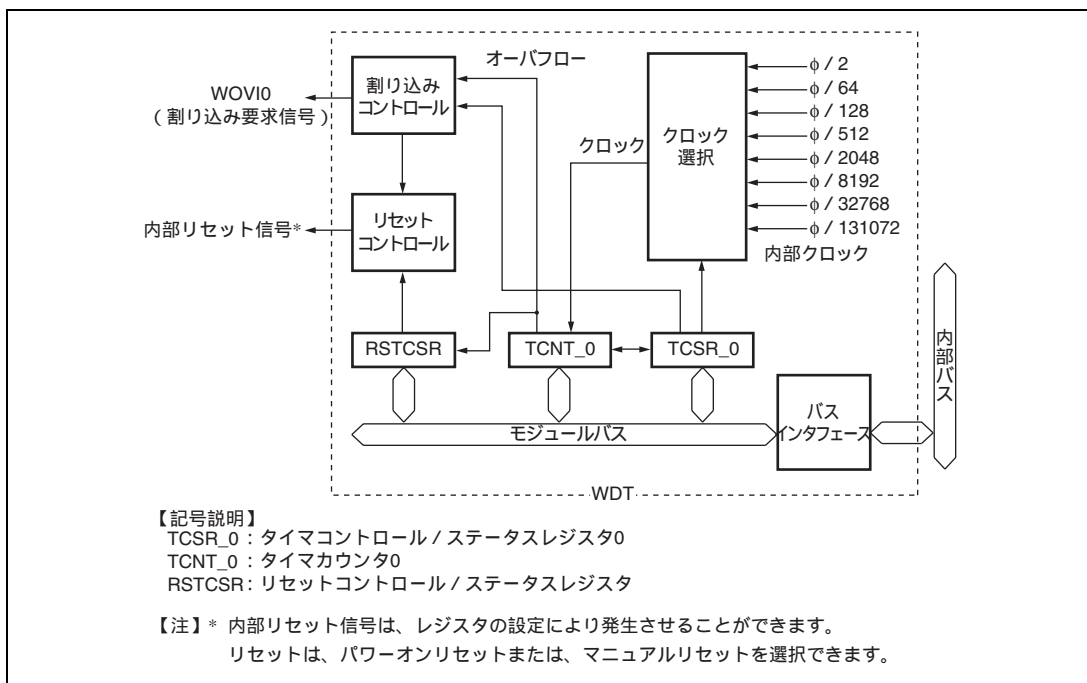


図 12.1 WDT_0のブロック図 (1)

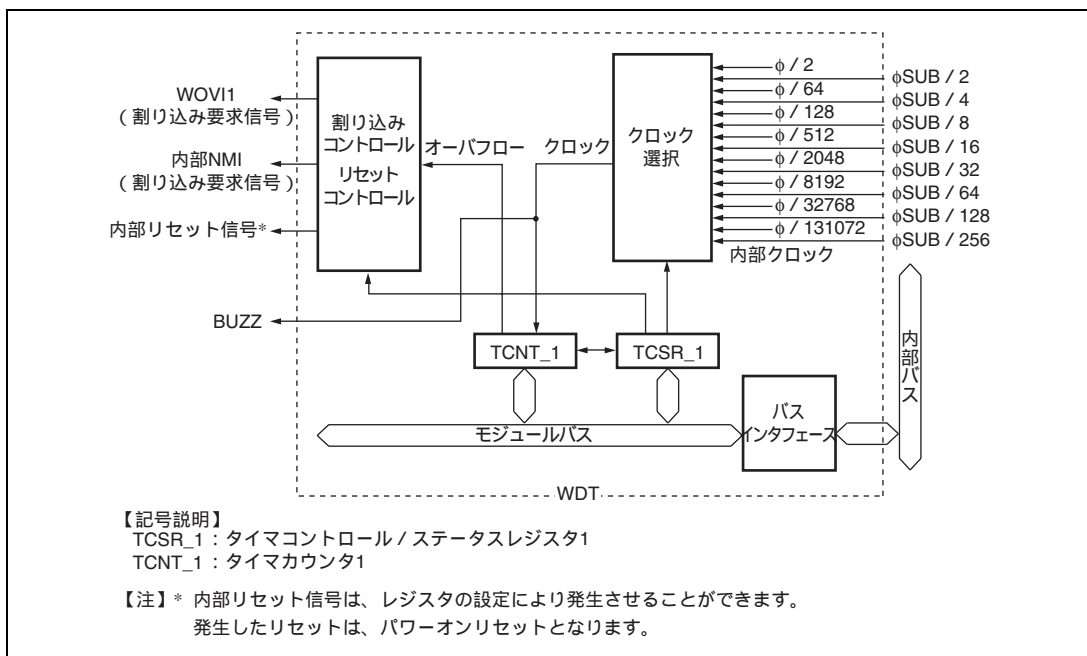


図 12.1 WDT_1のブロック図 (2)

12.2 入出力端子

WDT の端子を表 12.1 に示します。

表 12.1 端子構成

名 称	記 号	入出力	機 能
ブザー出力	BUZZ	出力	WDT_1 で選択したクロック出力

12.3 レジスタの説明

WDT には、以下のレジスタがあります。TCSR、TCNT は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「12.6.1 レジスタアクセス時の注意事項」を参照してください。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。端子機能コントロールレジスタについては「7.3.6 端子機能コントロールレジスタ (PFCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

12.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

タイマ動作中に TCNT を H'00 にする場合には直接 TCNT に H'00 をライトしてください。「12.6.7 TME ビットによる TCNT 初期化時の注意」も参照してください。

12.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

12. ウォッチドッグタイマ (WDT)

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* ¹	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフローしたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー (H'FF→H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード*²後、OVF に 0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用する かを選択します。</p> <p>0 : インターバルタイマモード (CPU ヘインターバルタイマ割り込み (WOVI) を要求)</p> <p>1 : ウォッチドッグタイマモード (内部リセットを選択可能)</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4、3		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2-0</p> <p>TCNT に入力するクロックを選択します。() 内は$\phi = 20\text{MHz}$ のときのオー バフロー周期*³を表します。</p> <p>000 : クロック$\phi/2$ (周期 25.6μs)</p> <p>001 : クロック$\phi/64$ (周期 819.2μs)</p> <p>010 : クロック$\phi/128$ (周期 1.6ms)</p> <p>011 : クロック$\phi/512$ (周期 6.6ms)</p> <p>100 : クロック$\phi/2048$ (周期 26.2ms)</p> <p>101 : クロック$\phi/8192$ (周期 104.9ms)</p> <p>110 : クロック$\phi/32768$ (周期 419.4ms)</p> <p>111 : クロック$\phi/131072$ (周期 1.68s)</p>

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 インターバルタイマ割り込みを禁止して、OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

*3 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。

12. ウォッチドッグタイマ (WDT)

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* ¹	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフローしたことを示します。フラグをクリアするための0ライトのみ可能です。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>TME ビットに0をライトしたとき</p> <p>OVF=1の状態、TCSR をリード*²後、OVF に0をライトしたとき</p>
6	WT/ \overline{IT}	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード (CPU ヘインターバルタイマ割り込み (WOVI) を要求)</p> <p>1: ウォッチドッグタイマモード (CPU ヘパワーオンリセットまたは NMI 割り込みを要求)</p>
5	TME	0	R/W	<p>タイマイネブル</p> <p>このビットを1にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	PSS	0	R/W	<p>プリスケラセレクト</p> <p>WDT_1 の TCNT の入力クロックソースを選択します。また、低消費電力モード遷移時の動作を制御します。</p> <p>0: TCNT はϕベースのプリスケラ (PSM) の分周クロックをカウント 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモードに遷移</p> <p>1: TCNT はϕSUB ベースのプリスケラ (PSS) の分周クロックをカウント</p> <p>• 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、ウォッチモード*に遷移</p> <p>【注】 * ウォッチモードへの遷移時は、必ず高速モードに設定してください。</p>
3	RST/ \overline{NMI}	0	R/W	<p>リセットまたは NMI (RST/\overline{NMI})</p> <p>ウォッチドッグタイマモードで TCNT オーバーフロー時にパワーオンリセットと NMI 割り込み要求のいずれかを選択します。</p> <p>0: NMI 割り込みを要求</p> <p>1: パワーオンリセットを要求</p>

12. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2-0
1	CKS1	0	R/W	TCNT に入力するクロックを選択します。()内は $\phi = 20\text{MHz}$ 、 $\phi\text{SUB} = 32.768\text{kHz}$ のときのオーバフロー周期 ^{*3} を表します。 PSS=0 のとき 000 : クロック $\phi/2$ (周期 25.6 μs) 001 : クロック $\phi/64$ (周期 819.2 μs) 010 : クロック $\phi/128$ (周期 1.6ms) 011 : クロック $\phi/512$ (周期 6.6ms) 100 : クロック $\phi/2048$ (周期 26.2ms) 101 : クロック $\phi/8192$ (周期 104.9ms) 110 : クロック $\phi/32768$ (周期 419.4ms) 111 : クロック $\phi/131072$ (周期 1.68s) PSS=1 のとき 000 : クロック $\phi\text{SUB}/2$ (周期 15.6ms) 001 : クロック $\phi\text{SUB}/4$ (周期 31.3ms) 010 : クロック $\phi\text{SUB}/8$ (周期 62.5ms) 011 : クロック $\phi\text{SUB}/16$ (周期 125ms) 100 : クロック $\phi\text{SUB}/32$ (周期 250ms) 101 : クロック $\phi\text{SUB}/64$ (周期 500ms) 110 : クロック $\phi\text{SUB}/128$ (周期 1s) 111 : クロック $\phi\text{SUB}/256$ (周期 2s)
0	CKS0	0	R/W	

- 【注】
- *1 フラグをクリアするための 0 ライトのみ可能です。
 - *2 インターバルタイマ割り込みを禁止して、OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。
 - *3 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

12.3.3 リセットコントロール/ステータスレジスタ (RSTCSR) (WDT_0のみ)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 \overline{RES} 端子からのリセット信号で初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー (H'FF → H'00) したとき [クリア条件] 1 の状態をリードしたあと、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT_0 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで TCNT がオーバーフローして発生する、内部リセットの種類を選択します。 0 : パワーオンリセット 1 : マニュアルリセット
4~0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.4 動作説明

12.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSRのWT/ITビット = 1に、TMEビット = 1に設定してください。

TCNTがオーバーフローする前に必ずTCNTの値を書き換えて(通常はH'00をライトする)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNTのオーバーフローは発生しません。

ウォッチドッグタイマとして動作しているとき、システムの暴走などによりTCNTの値が書き換えられずオーバーフローすると、WDT_0ではRSTCSRのRSTEビットを1にセットした場合、LSI内部をリセットする信号が518システムクロックの間出力されます。

WDT_1では、TCSRのRST/NMIビットを1にセットしておく、TCNTがオーバーフローしたときに、本LSIの内部をリセットする信号が516システムクロックの間出力されます。また、RST/NMIビットを0にクリアしておく、TCNTがオーバーフローしたときに、NMI割り込み要求を発生(クロックソースをφSUB(PSS=1)とした場合、515または516システムクロック)します。

ウォッチドッグタイマからの内部リセット要求とRES端子からのリセット入力は、同一ベクタで処理されます。ウォッチドッグタイマからの内部リセット要求とRES端子からのリセット入力が同時に発生したときは、RES端子からのリセット入力が優先され、RSTCSRのWOVFビットは0にクリアされます。

ウォッチドッグタイマからのNMI割り込み要求とNMI端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからのNMI割り込み要求とNMI端子からの割り込み要求を同時に扱うことは避けてください。

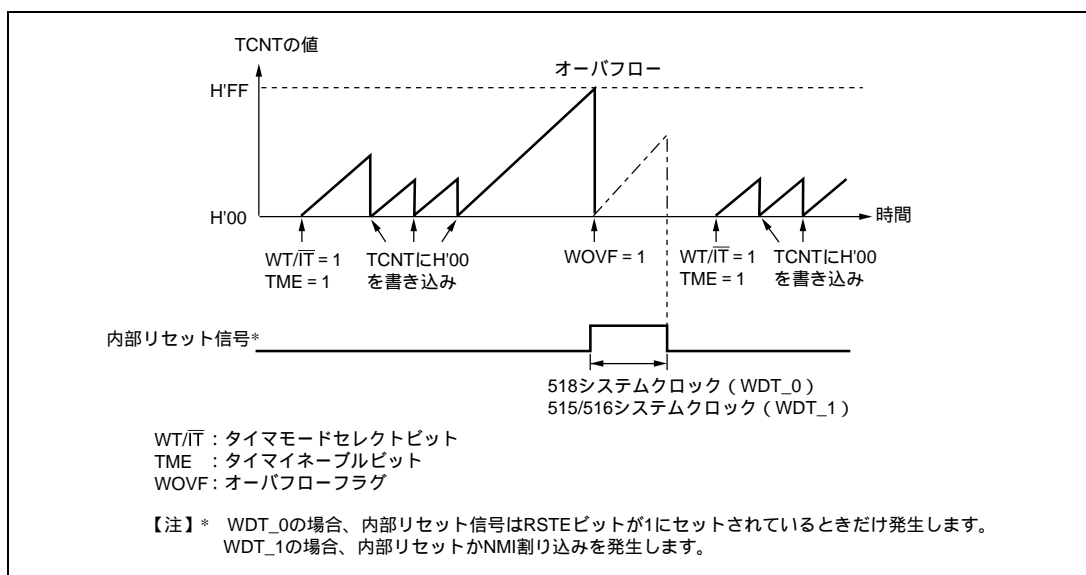


図 12.2 ウォッチドッグタイマモード時の動作

12.4.2 インターバルタイマモード

インターバルタイマモードとして使用するときは、TCSR の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローすることによりインターバルタイマ割り込み (WOVI) が発生します (NMI 割り込み要求は発生しません)。したがって、一定時間ごとに、割り込みを発生させることができます。

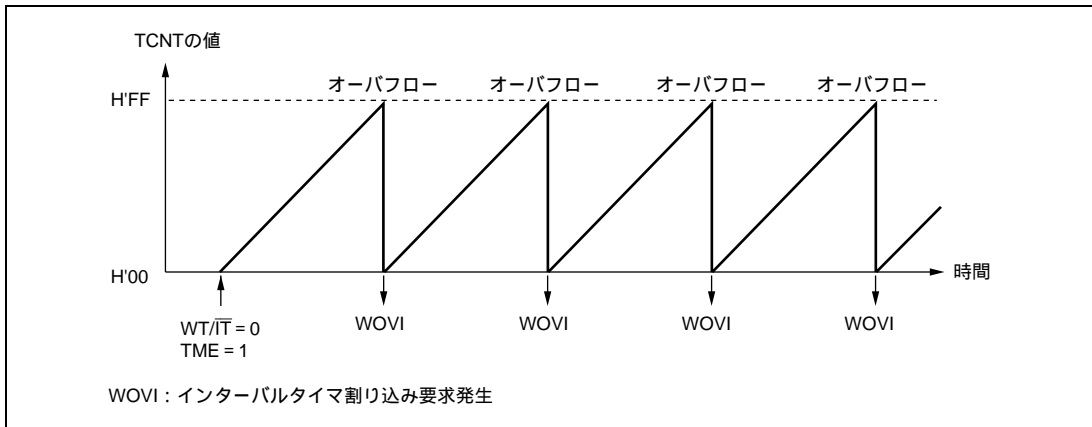


図 12.3 インターバルタイマモード時の動作

12.4.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 12.4 に示します。

WDT_1 では、ウォッチドッグタイマモードで NMI 要求を選択した場合、TCNT がオーバーフローすると TCSR の OVF ビットが 1 にセットされ、同時に NMI 割り込みが要求されます。

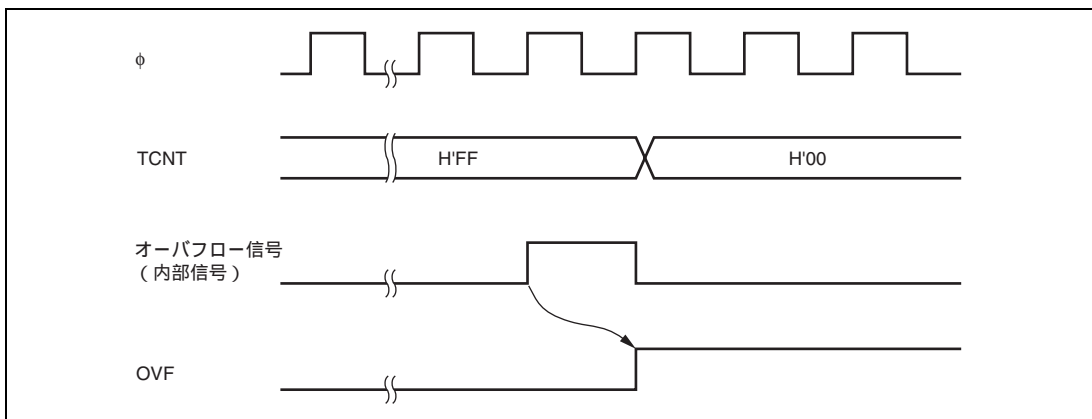


図 12.4 OVF のセットタイミング

12. ウォッチドッグタイマ (WDT)

12.4.4 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

WDT_0の場合、ウォッチドッグタイマモードでTCNTがオーバーフローすると、RSTCSRのWOVFビットが1にセットされます。また、RSTCSRのRSTEビットが1にセットしてあると、TCNTがオーバーフローしたとき、本LSI全体に対して内部リセット信号を発生します (WOVI割り込みは発生しません)。これらのタイミングを図12.5に示します。

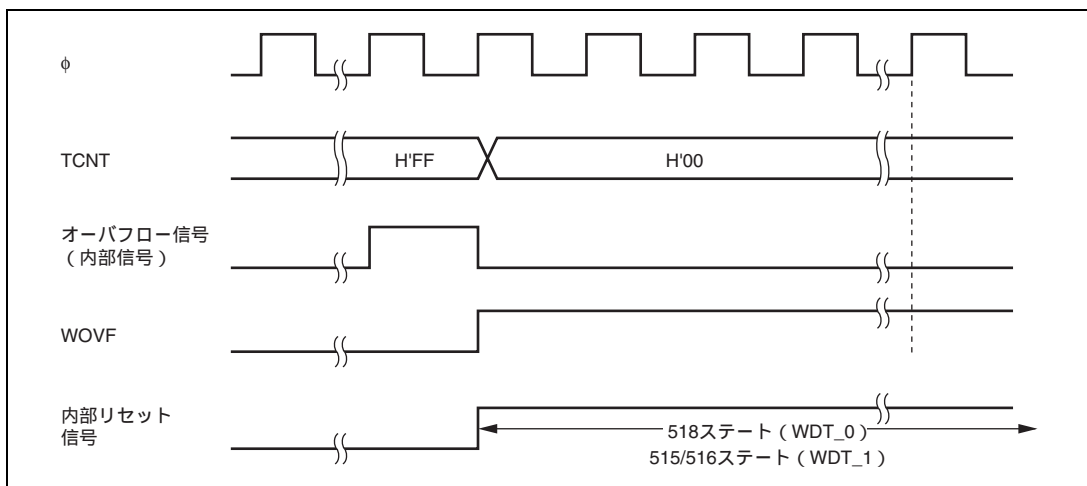


図 12.5 WOVF のセットタイミング

12.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSRのOVFフラグが1にセットされると常に要求されます。割り込み処理ルーチンで必ずOVFを0にクリアしてください。

ウォッチドッグタイマモードでNMI割り込み要求を選択時は、オーバーフローによりNMI割り込み要求を発生します。

表 12.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNTのオーバーフロー (インターバルタイマモード)	OVF
NMI	TCNTのオーバーフロー (ウォッチドッグタイマモード)	OVF

12.6 使用上の注意事項

12.6.1 レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト

TCNT、TCSR ヘライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。これを図 12.6 に示します。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、TCNT ヘライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR ヘライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR ヘライトされます。

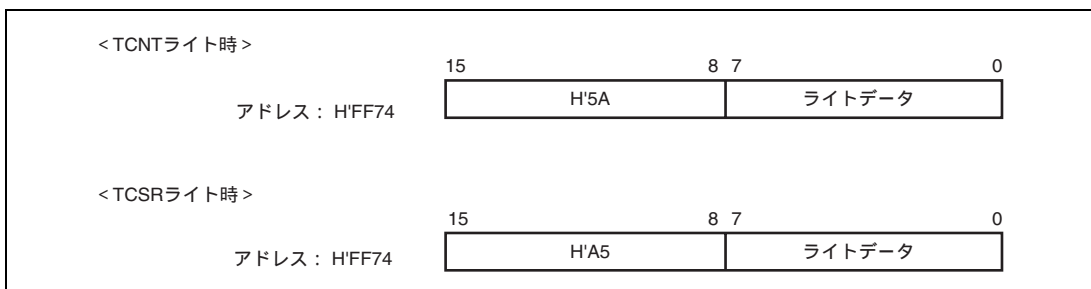


図 12.6 TCNT、TCSR へのライト (WDT_0 の例)

(2) RSTCSR へのライト

RSTCSR ヘライトするときは、ワード転送を行ってください。バイト転送命令では、ライトできません。これを図 12.7 に示します。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、ライトの方法が異なります。

WOVF ビットへ 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

12. ウォッチドッグタイマ (WDT)

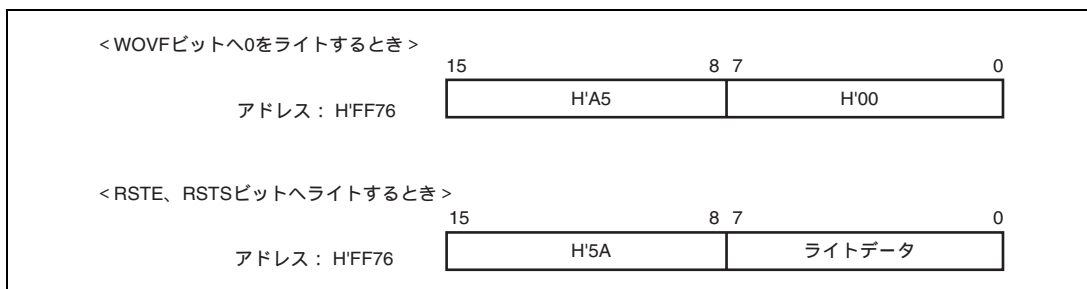


図 12.7 RSTCSR へのライト

(3) TCNT、TCSR、RSTCSR からのリード (WDT_0 の例)

リードは一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

12.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.8 に示します。

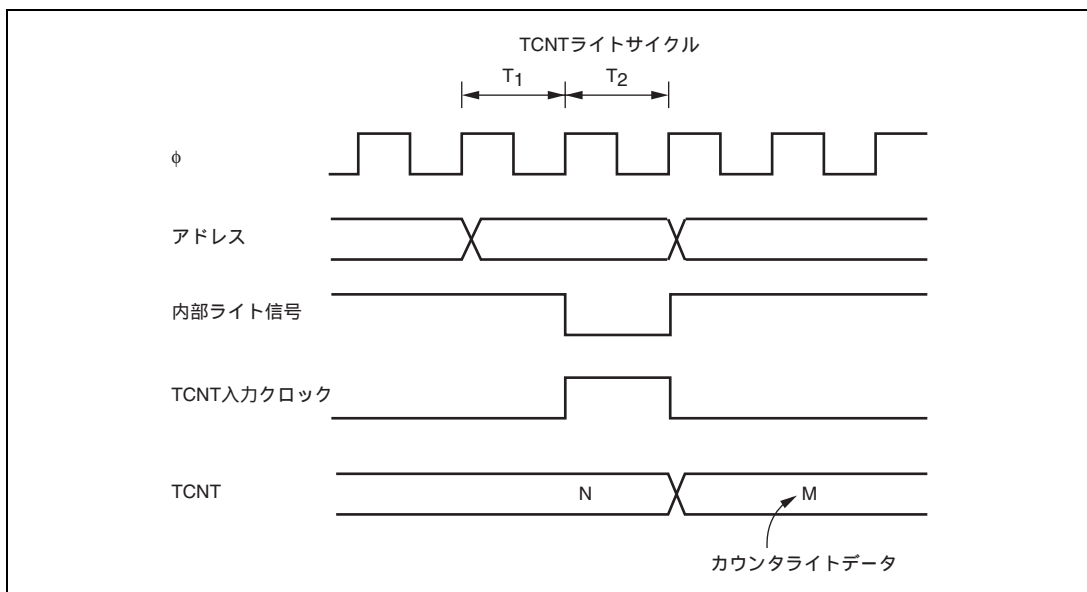


図 12.8 TCNT のライトとカウントアップの競合

12.6.3 PSS、CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の PSS、CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。PSS、CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT_0 の TCNT_0、TCSR_0 はリセットされます。

オーバフローが発生してから 132 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバフローが発生してから 132 ステート待ったあと、WOVF フラグに 0 をライトしてください。

12.6.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合等、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

12.6.7 TME ビットによる TCNT 初期化時の注意

TCNT の入力クロックに ϕ_{SUB} (サブクロック) の分周クロックを選択 (TCSR の PSS=1 にセット) し、カウンタ (TCNT) が動作中に高速 / 中速モードで TCSR の TME=0 にクリアしてカウンタ (TCNT) の初期化を行った後、再度 TME=1 にセットして TCNT を動作させたとき、TCNT が初期化されない場合があります。この場合 TCNT の初期化は直接 TCNT に H'00 をライトして実施してください。

12. ウォッチドッグタイマ (WDT)

13. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

13.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能 (チャンネル1とチャンネル4はクロック入出力端子が同一端子になっているため同時にクロックを出力することはできません。)
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。
- LSBファースト / MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。
- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー

13. シリアルコミュニケーションインタフェース (SCI)

- ブレークの検出：フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能
- マルチプロセッサ間通信が可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

図 13.1 に SCI ブロック図を示します。

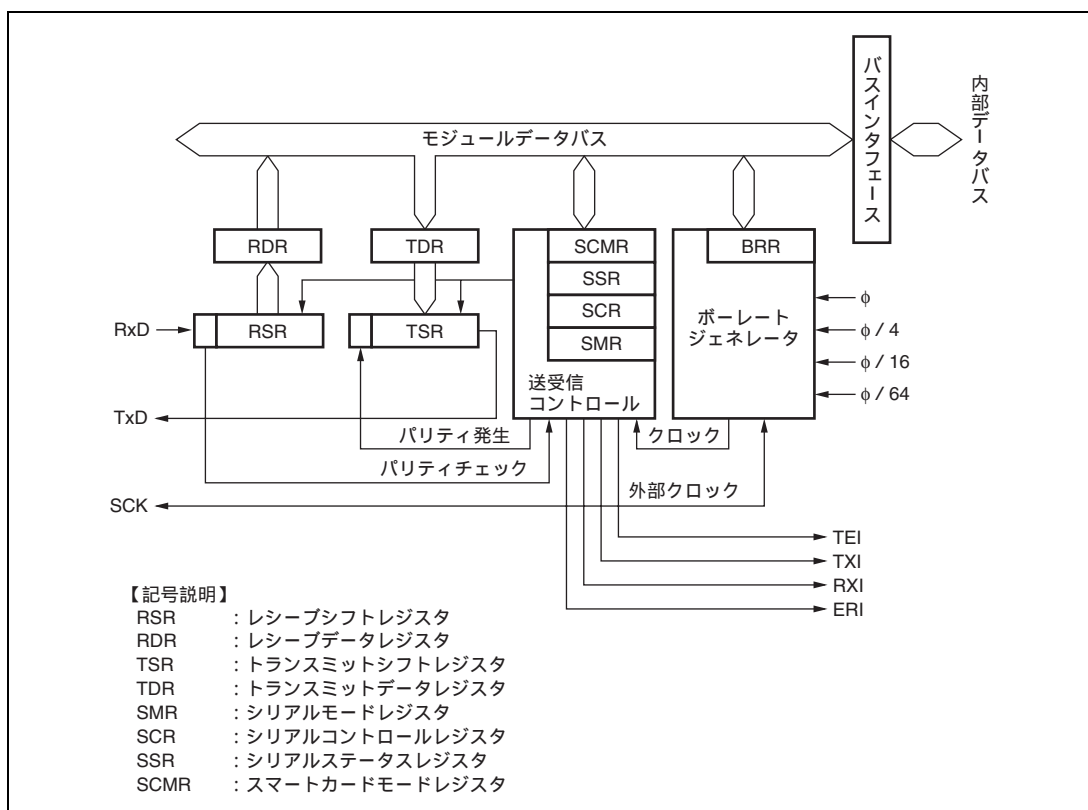


図 13.1 SCI のブロック図

13.2 入出力端子

SCIには、表 13.1 の入出力端子があります。

表 13.1 端子構成

チャンネル	端子名 ^{*1}	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1 ^{*2}	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子
4	SCK4 ^{*2}	入出力	チャンネル4のクロック入出力端子
	RxD4	入力	チャンネル4の受信データ入力端子
	TxD4	出力	チャンネル4の送信データ出力端子

【注】 *1 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

*2 SCK1 と SCK4 は同一端子に割りつけられているため、チャンネル 1、4 を同時にクロック出力にすることはできません。

13.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

チャンネル0

- レシーブシフトレジスタ_0 (RSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- トランスミットシフトレジスタ_0 (TSR_0)

13. シリアルコミュニケーションインタフェース (SCI)

- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)
- ビットレートレジスタ_0 (BRR_0)

チャンネル1

- レシーブシフトレジスタ_1 (RSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- シリアルモードレジスタ_1 (SMR_1)
- シリアルコントロールレジスタ_1 (SCR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- スマートカードモードレジスタ_1 (SCMR_1)
- ビットレートレジスタ_1 (BRR_1)

チャンネル2

- レシーブシフトレジスタ_2 (RSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)

チャンネル3

- レシーブシフトレジスタ_3 (RSR_3)
- レシーブデータレジスタ_3 (RDR_3)
- トランスミットデータレジスタ_3 (TDR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- シリアルモードレジスタ_3 (SMR_3)

- シリアルコントロールレジスタ₃ (SCR₃)
- シリアルステータスレジスタ₃ (SSR₃)
- スマートカードモードレジスタ₃ (SCMR₃)
- ビットレートレジスタ₃ (BRR₃)

チャンネル4

- レシーブシフトレジスタ₄ (RSR₄)
- レシーブデータレジスタ₄ (RDR₄)
- トランスミットデータレジスタ₄ (TDR₄)
- トランスミットシフトレジスタ₄ (TSR₄)
- シリアルモードレジスタ₄ (SMR₄)
- シリアルコントロールレジスタ₄ (SCR₄)
- シリアルステータスレジスタ₄ (SSR₄)
- スマートカードモードレジスタ₄ (SCMR₄)
- ビットレートレジスタ₄ (BRR₄)

13.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

13.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

RDR はリセット、スタンバイモード、ウォッチモード、またはモジュールストップモード時に H'00 に初期化されます。

13.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR の空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

TDR は、リセット、スタンバイモード、ウォッチモード、またはモジュールストップモード時に H'FF に初期化されます。

13.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

13.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレンクス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 1: 奇数パリティで送受信します。 送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3	STOP	0	R/W	ストップビットレンクス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。 詳細は「13.5 マルチプロセッサ通信機能」を参照してください。

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : ϕ クロック (n=0) 01 : $\phi/4$ クロック (n=1) 10 : $\phi/16$ クロック (n=2) 11 : $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、ビットレートレジスタ中の n の値を表します。
0	CKS0	0	R/W	

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.8 クロック出力制御」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> • TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) のタイミングで発生 • クロック出力の ON/OFF 制御のみ 1 : GSM モードのスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> • TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 • クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.3 ブロック転送モード」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> • エラーシグナルの送出、検出、データの自動再送信を行う • TXI 割り込みが TEND フラグにより発生する • TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後) 1 : ブロック転送モードでの動作 <ul style="list-style-type: none"> • エラーシグナルの送出、検出、データの自動再送信を行わない • TXI 割り込みが TDRE フラグにより発生する • TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	パリティイネーブル このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードでPE=1のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。 00: 32クロック (S=32) 01: 64クロック (S=64) 10: 372クロック (S=372) 11: 256クロック (S=256) 詳細は、「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。Sはビットレートレジスタ中のSの値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、ビットレートレジスタ中のnの値を表します。

【注】 etu : Elementary time unit (1ビットの転送期間)

13. シリアルコミュニケーションインタフェース (SCI)

13.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、または RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にクリアすると、送信動作が禁止され、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にクリアすると、受信動作が禁止されます。0 にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「13.5 マルチプロセッサ通信機能」を参照してください。</p> <p>MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。</p> <p>TEI の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01 : 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1X : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>クロック同期式の場合</p> <p>0X : 内部クロック (SCK 端子はクロック出力端子となります。)</p> <p>1X : 外部クロック (SCK 端子はクロック入力端子となります。)</p>

【記号説明】 X : Don't care

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプティネーブル</p> <p>このビットを1にセットすると、TXI 割り込み要求を許可します。</p> <p>TXI 割り込み要求の解除は、SSR の TDRE フラグから1をリードしたあと、0にクリアするか、またはTIE ビットを0にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプティネーブル</p> <p>このビットを1にセットすると、RXI および ERI 割り込み要求を許可します。</p> <p>RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから1をリードしたあと、0にクリアするか、またはRIE ビットを0にクリアすることで行うことができます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを1にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、1にセットする前に必ずSMR の設定を行い、送信フォーマットを決定してください。</p> <p>このビットを0にクリアすると、送信動作が禁止され、SSR の TDRE フラグは1に固定されます。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを1にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1にセットする前に必ずSMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを0にクリアすると、受信動作が禁止されます。0にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプティネーブル (調歩同期式モードでSMR のMP = 1のとき有効)</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p> <p>MPB=0を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出とSSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSR のMPB ビットを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求の発生 (SCR のTIE、RIE ビットが1にセットされている場合) とFER、ORER フラグのセットが許可されます。</p>

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。 TEIの解除は、SSRのTDREフラグから1をリードしたあと、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。
1	CKE1	0	R/W	クロックイネーブル 1、0 SCK端子からのクロック出力を制御します。GSMモードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.8 クロック出力制御」を参照してください。 SMRのGM=0の場合 00：出力ディスエーブル（SCK端子は入出力ポートとして使用可） 01：クロック出力 1X：リザーブ SMRのGM=1の場合 00：Low出力固定 01：クロック出力 10：High出力固定 11：クロック出力
0	CKE0	0	R/W	

【記号説明】 X：Don't care

13. シリアルコミュニケーションインタフェース (SCI)

13.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* ¹	<p>トランスミットデータレジスタEMPTY TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ • TXI 割り込み要求により DTC*²で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)* ¹	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ • RXI 割り込みにより DTC*²で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* ¹	<p>オーバランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)* ¹	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ストップビットが0のとき <p>2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードしたあと、0をライトしたとき*³ <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)* ¹	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードしたあと、0をライトしたとき*³ <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1の状態をリードしたあと、TDREフラグに0をライトしたとき • TXI割り込み要求によりDTC*²でTDRへ送信データを転送したとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 DTCによりクリアされるのは、DISSEL=0でかつ転送カウンタが0でない場合です。

*3 CPUによりフラグをクリアする場合、0をライトした後に、再度フラグをリードしてください。

13. シリアルコミュニケーションインタフェース (SCI)

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* ¹	<p>トランスミットデータレジスタエンピティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ • TXI 割り込み要求により DTC*²で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)* ¹	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ • RXI 割り込みにより DTC*²で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* ¹	<p>オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>
4	ERS	0	R/(W)* ¹	<p>エラーシグナルステータス 送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ <p>SCR の TE をクリアしても ERS は影響を受けず状態を保持します。</p>

13. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)* ¹	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき*³ <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ERS=0 のとき • 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 12.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 11.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 11.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 11.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE = 1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき • TXI 割り込み要求により DTC*²で TDR へ送信データを転送したとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 DTC によりクリアされるのは DISEL = 0 かつ転送カウンタが 0 でない場合です。

*3 CPU によりフラグをクリアする場合、0 をライトした後に、再度フラグをリードしてください。

13. シリアルコミュニケーションインタフェース (SCI)

13.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよび通信フォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	スマートカードデータ転送方向 シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

13.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 13.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 13.2 BRR の設定値 N とビットレート B の関係

通信モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	$\text{誤差}(\%) = \left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	—————
スマートカード インタフェース	$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N+1)}$	$\text{誤差}(\%) = \left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bps)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		クロック ソース	n
CKS1	CKS0		
0	0	φ	0
0	1	φ / 4	1
1	0	φ / 16	2
1	1	φ / 64	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 13.3 に、各動作周波数における設定可能な最大ビットレートを表 13.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 13.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 13.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 13.5、表 13.7 に外部クロック入力時の最大ビットレートを示します。

13. シリアルコミュニケーションインタフェース (SCI)

表 13.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bps)	動作周波数 ϕ (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bps)	動作周波数 ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

13. シリアルコミュニケーションインタフェース (SCI)

ビットレート (bps)	動作周波数 ϕ (MHz)											
	18			19.6608			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25	3	110	- 0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	- 0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	- 0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	- 0.15
9600	0	58	- 0.69	0	63	0.00	0	64	0.16	0	80	0.47
19200	0	28	1.02	0	31	0.00	0	32	- 1.36	0	40	- 0.76
31250	0	17	0.00	0	19	- 1.70	0	19	0.00	0	24	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73	0	19	1.73

表 13.4 各動作周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N	ϕ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0	16	500000	0	0
9.8304	307200	0	0	17.2032	537600	0	0
10	312500	0	0	18	562500	0	0
12	375000	0	0	19.6608	614400	0	0
12.288	384000	0	0	20	625000	0	0
14	437500	0	0	25	781250	0	0
14.7456	460800	0	0				

表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000	16	4.0000	250000
9.8304	2.4576	153600	17.2032	4.3008	268800
10	2.5000	156250	18	4.5000	281250
12	3.0000	187500	19.6608	4.9152	307200
12.288	3.0720	192000	20	5.0000	312500
14	3.5000	218750	25	6.2500	390625
14.7456	3.6864	230400			

13. シリアルコミュニケーションインタフェース (SCI)

表 13.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bps)	動作周波数 ϕ (MHz)									
	8		10		16		20		25	
	n	N	n	N	n	N	n	N	n	N
250	3	124	-	-	3	249				
500	2	249	-	-	3	124	-	-		
1k	2	124	-	-	2	249	-	-	3	97
2.5k	1	199	1	249	2	99	2	124	2	155
5k	1	99	1	124	1	199	1	249	2	77
10k	0	199	0	249	1	99	1	124	1	155
25k	0	79	0	99	0	159	0	199	0	249
50k	0	39	0	49	0	79	0	99	0	124
100k	0	19	0	24	0	39	0	49	0	62
250k	0	7	0	9	0	15	0	19	0	24
500k	0	3	0	4	0	7	0	9	-	-
1M	0	1			0	3	0	4	-	-
2.5M			0	0*			0	1	-	-
5M							0	0*	-	-

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がです。

* : 連続送信 / 連続受信はできません。

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7

13. シリアルコミュニケーションインタフェース (SCI)

表 13.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bps)	動作周波数 ϕ (MHz)							
	10.00		10.7136		13.00		14.2848	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
9600	1	30.00	1	25.00	1	8.99	1	0.00

ビットレート (bps)	動作周波数 ϕ (MHz)							
	16.00		18.00		20.00		25.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
9600	1	12.01	2	15.99	2	6.66	3	12.49

表 13.9 各動作周波数における最大ビットレート
(スマートカードインタフェースモードで S=372 のとき)

ϕ (MHz)	最大ビットレート (bps)	n	N
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0

13.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

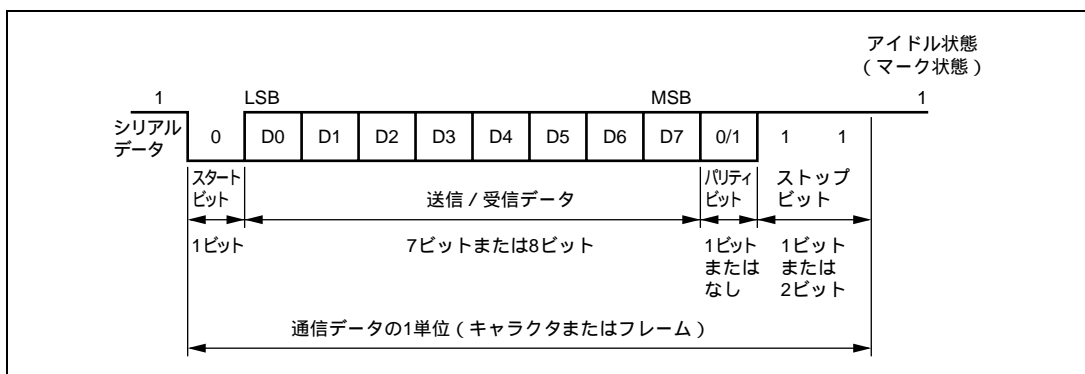


図 13.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

13.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 13.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「13.5 マルチプロセッサ通信機能」を参照してください。

表 13.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図13.3に示すように受信データを基本クロックの8クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \dots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5、N(クロックに対するビットレートの比)=16とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

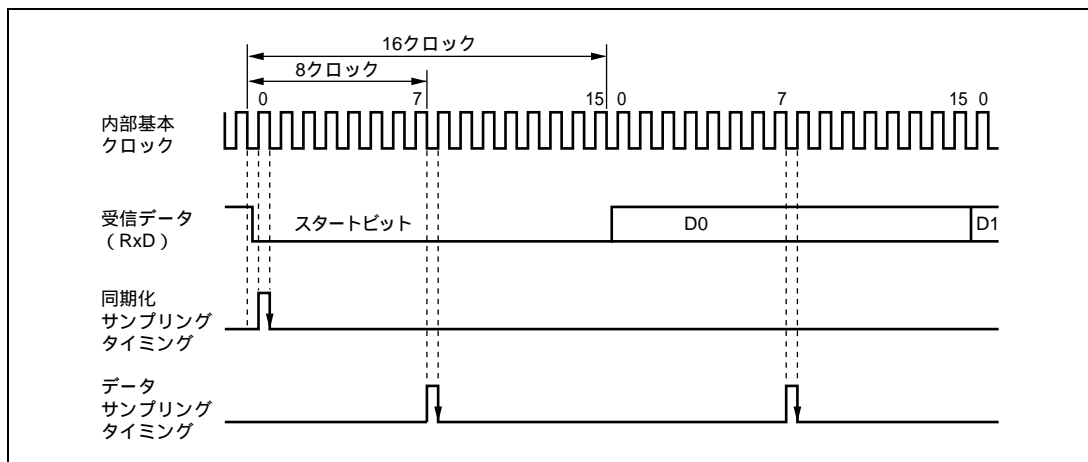


図 13.3 調歩同期式モードの受信データサンプリングタイミング

13.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはCKE1=0、CKE0=1に設定するとSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図13.4に示すように送信データの中央でクロックが立ち上がります。

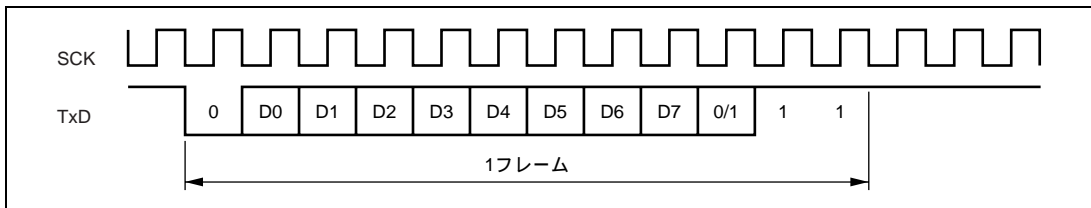


図 13.4 出力クロックと送信データの位相関係 (調歩同期モード)

13.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアしたあと、図13.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

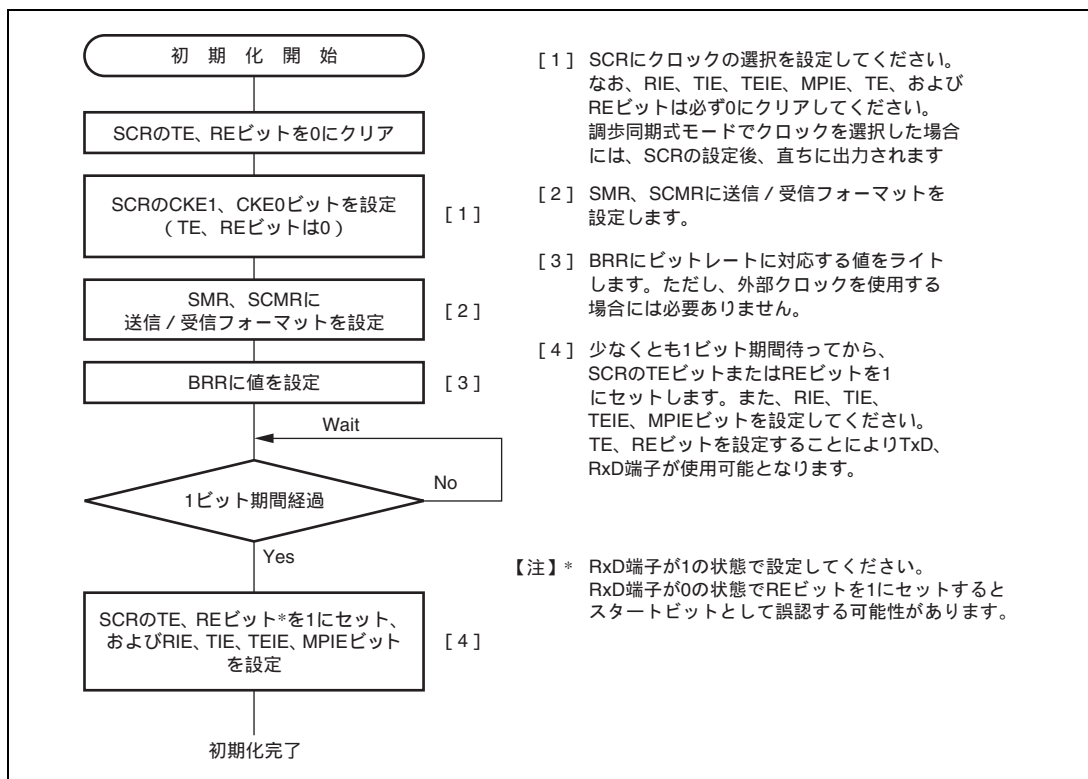


図 13.5 SCIの初期化フローチャートの例

13.4.5 シリアルデータ送信 (調歩同期式)

図 13.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

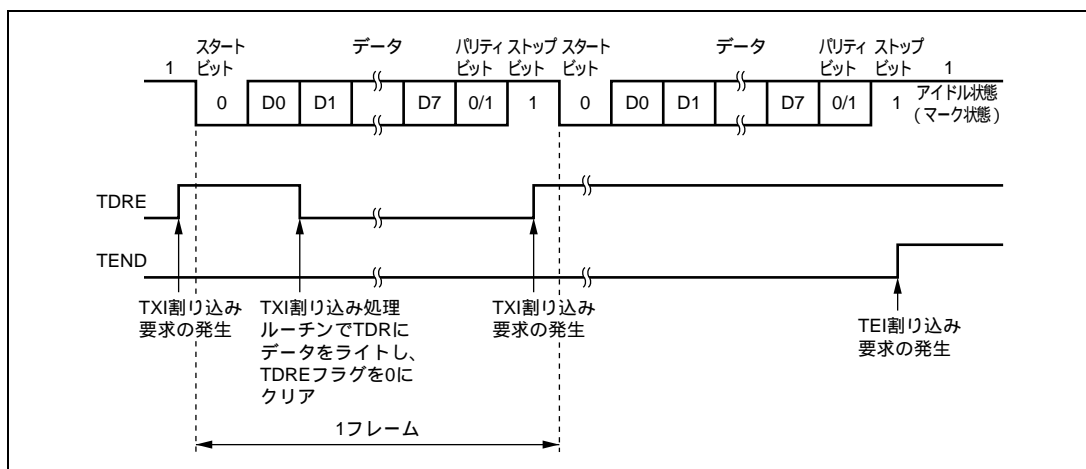


図 13.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

図 13.7 にデータ送信のフローチャートの例を示します。

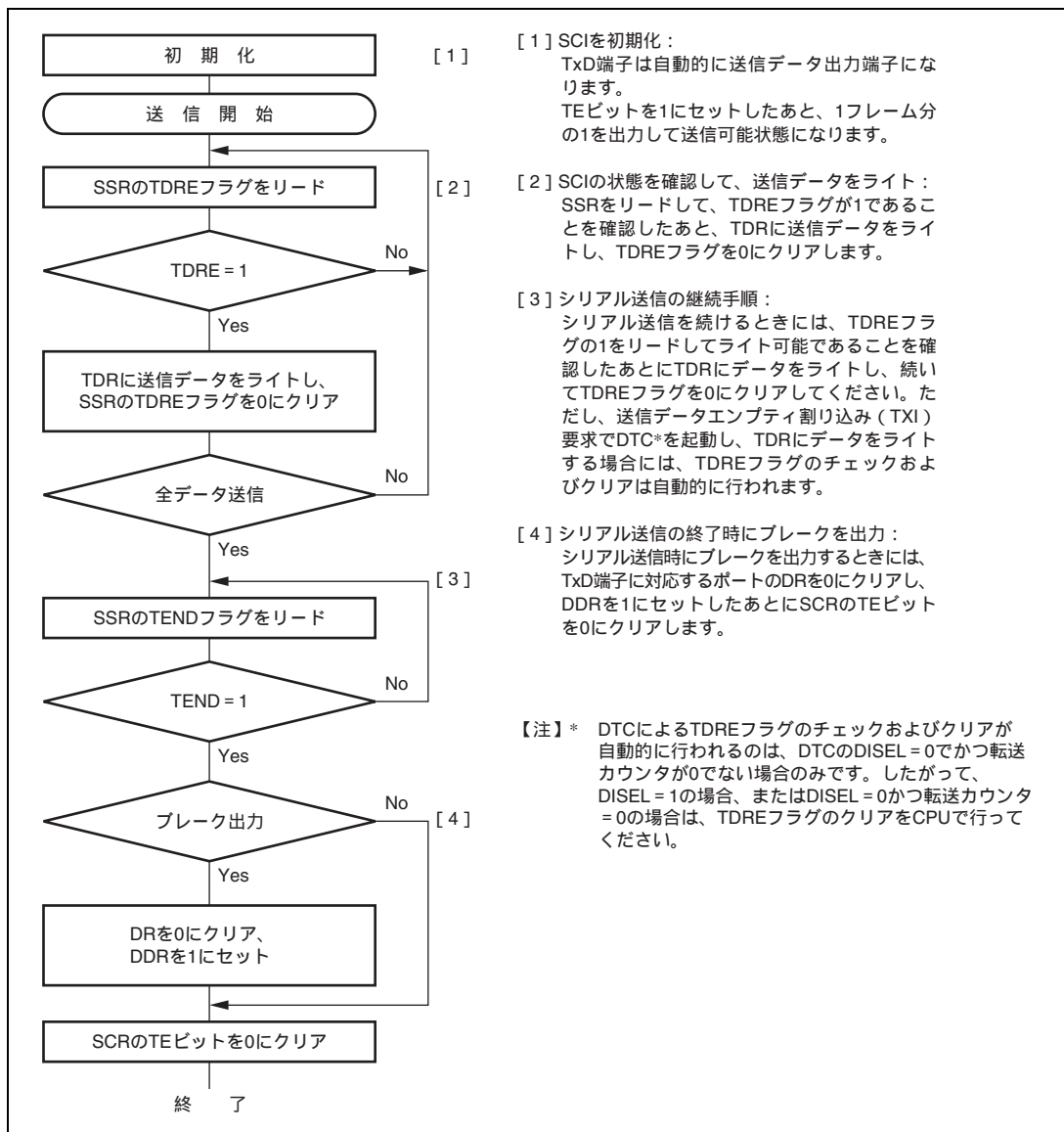


図 13.7 シリアル送信のフローチャートの例

13.4.6 シリアルデータ受信 (調歩同期式)

図 13.8 に調歩同期式モードの送信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

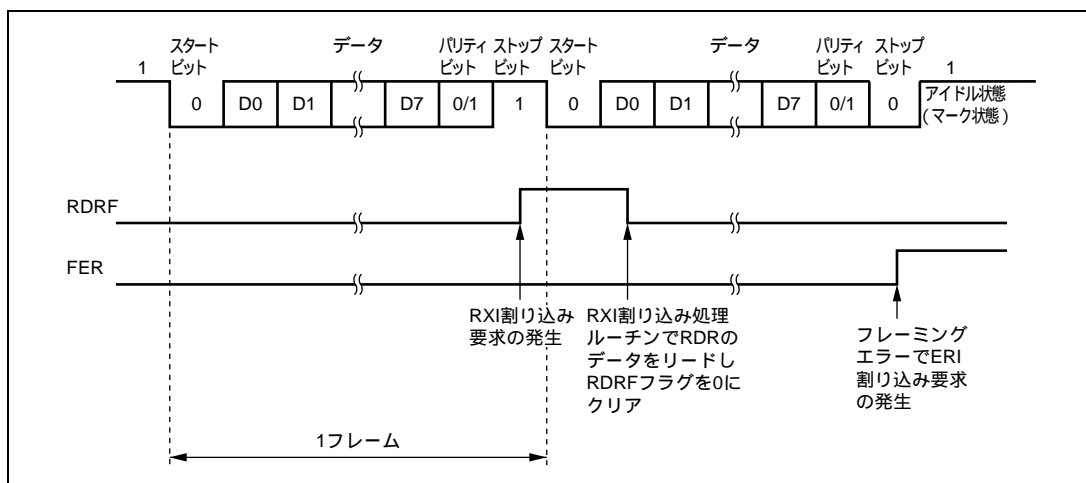


図 13.8 SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

受信エラーを検出した場合のSSRの各ステータスフラグの状態と受信データの処理を表 13.11 に示します。受信エラーを検出すると、RDRFはデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ずORER、FER、PER、およびRDRFを0にクリアしてください。図 13.9 にデータ受信のためのフローチャートの例を示します。

13. シリアルコミュニケーションインタフェース (SCI)

表 13.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

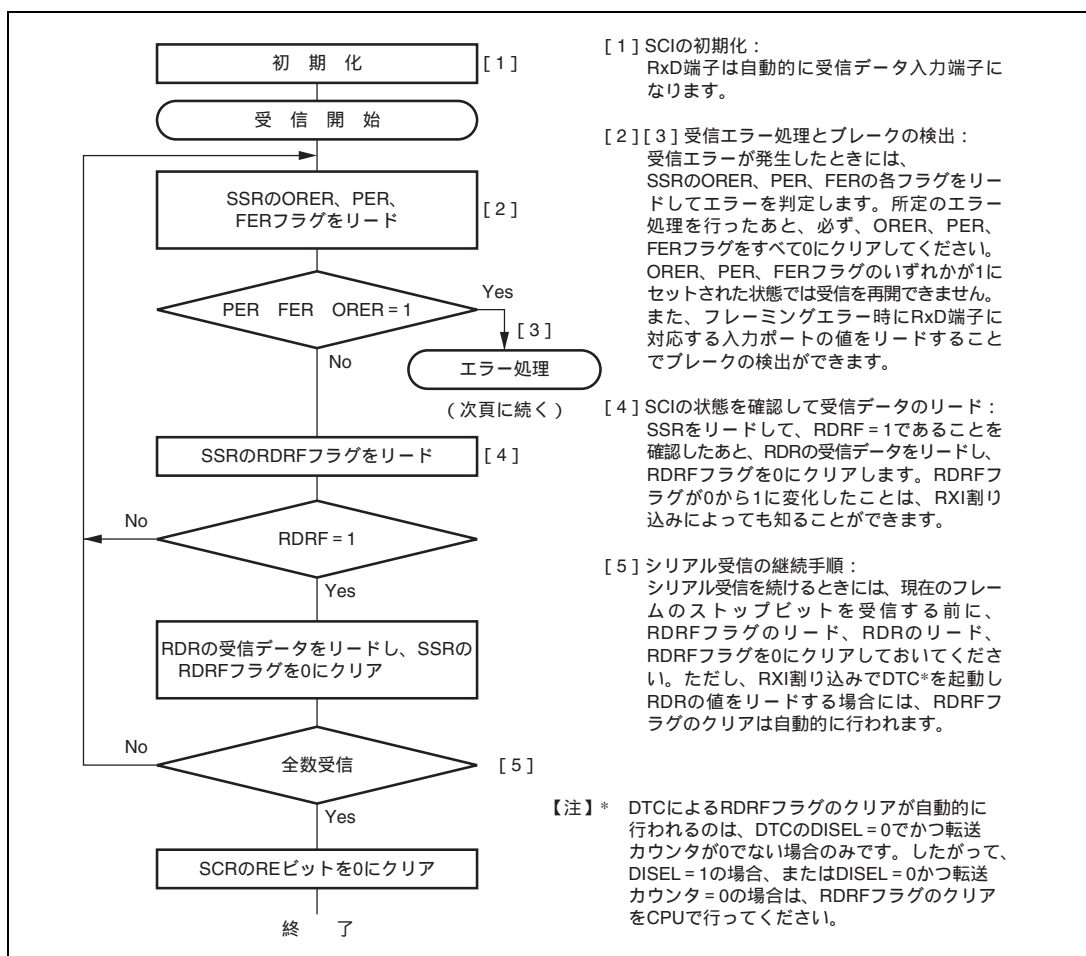


図 13.9 シリアル受信データフローチャートの例 (1)

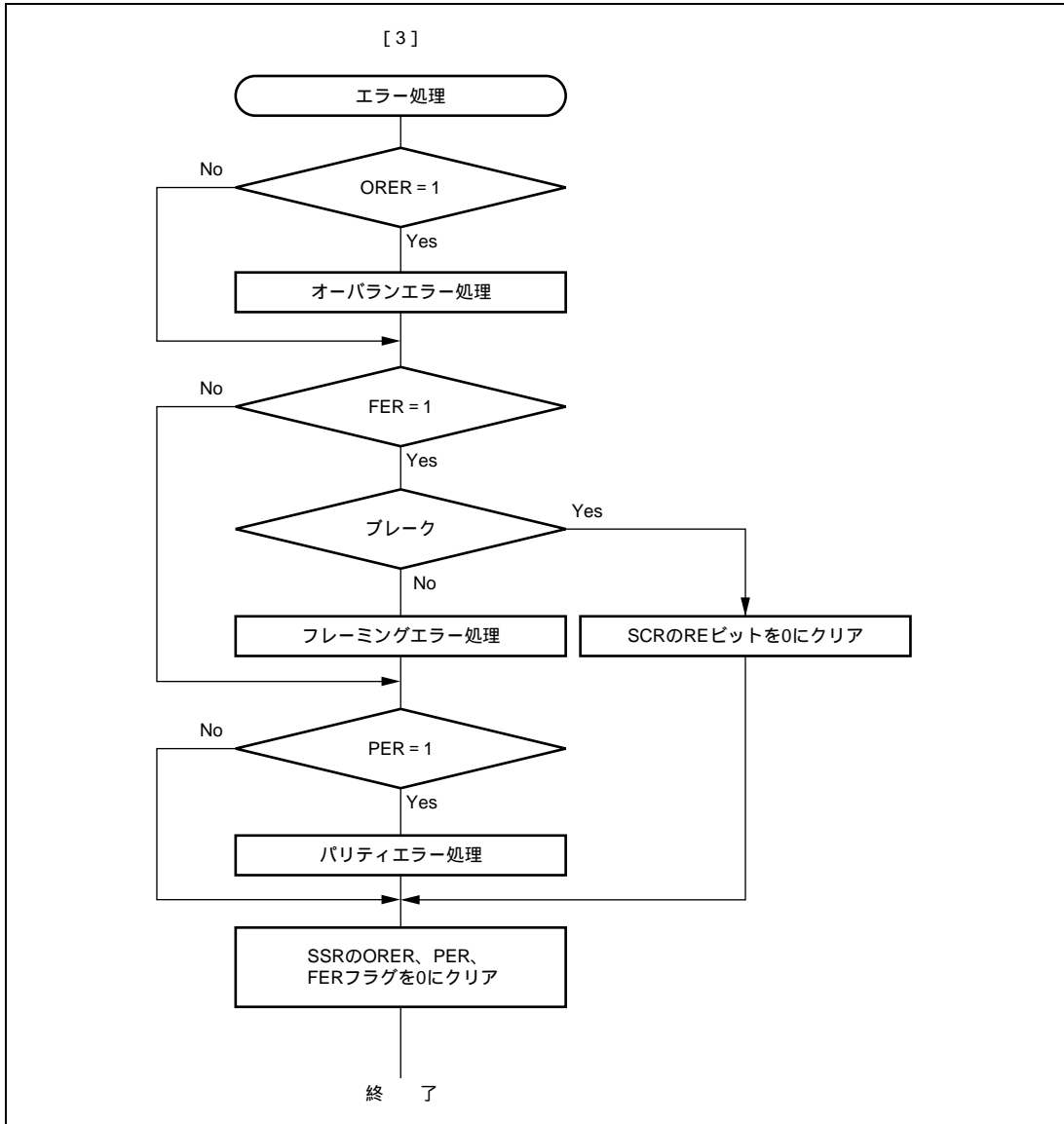


図 13.9 シリアル受信データフローチャートの例 (2)

13.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におのおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 13.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

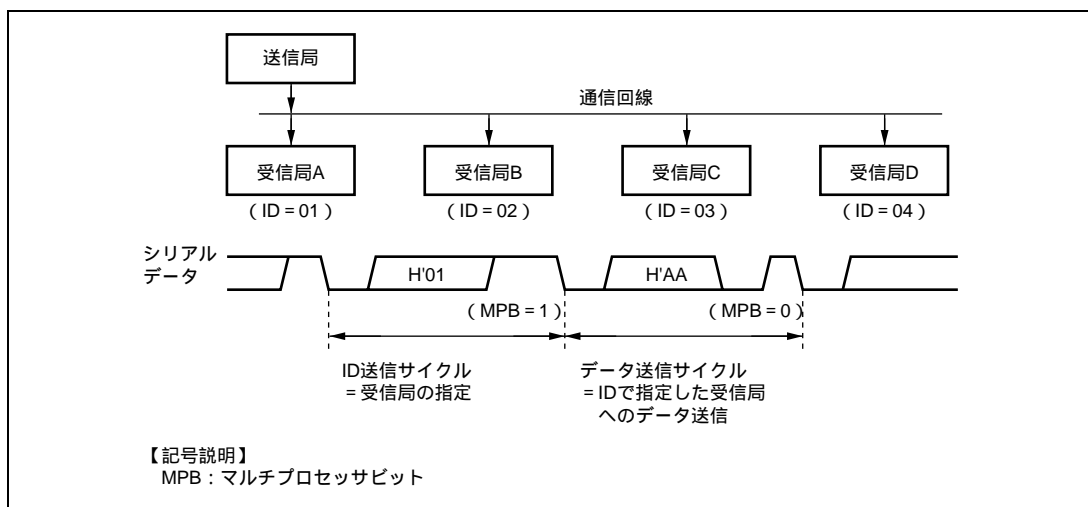


図 13.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

13.5.1 マルチプロセッサシリアルデータ送信

図 13.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

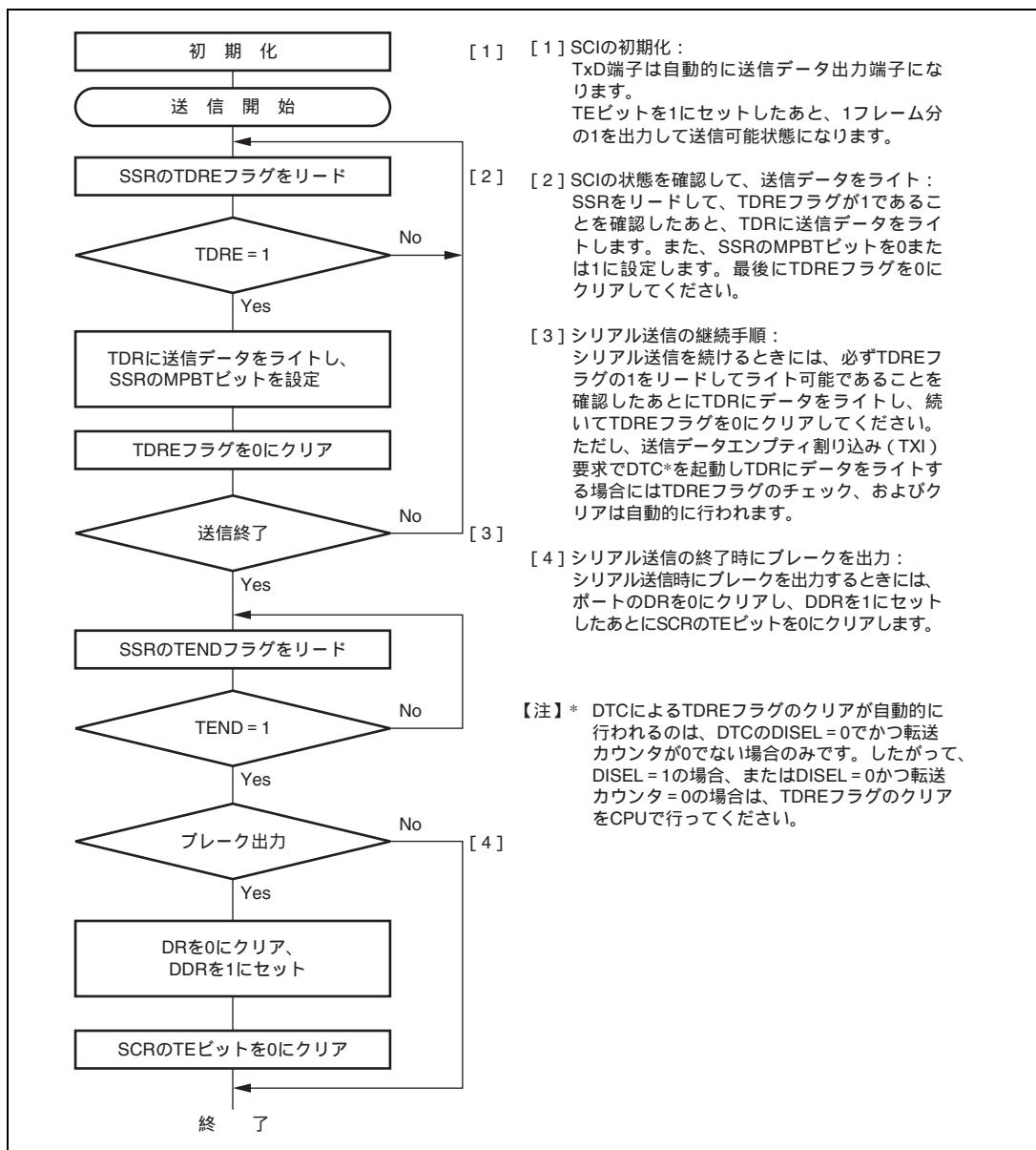


図 13.11 マルチプロセッサシリアル送信のフローチャートの例

13.5.2 マルチプロセッサシリアルデータ受信

図 13.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 13.12 に受信時の動作例を示します。

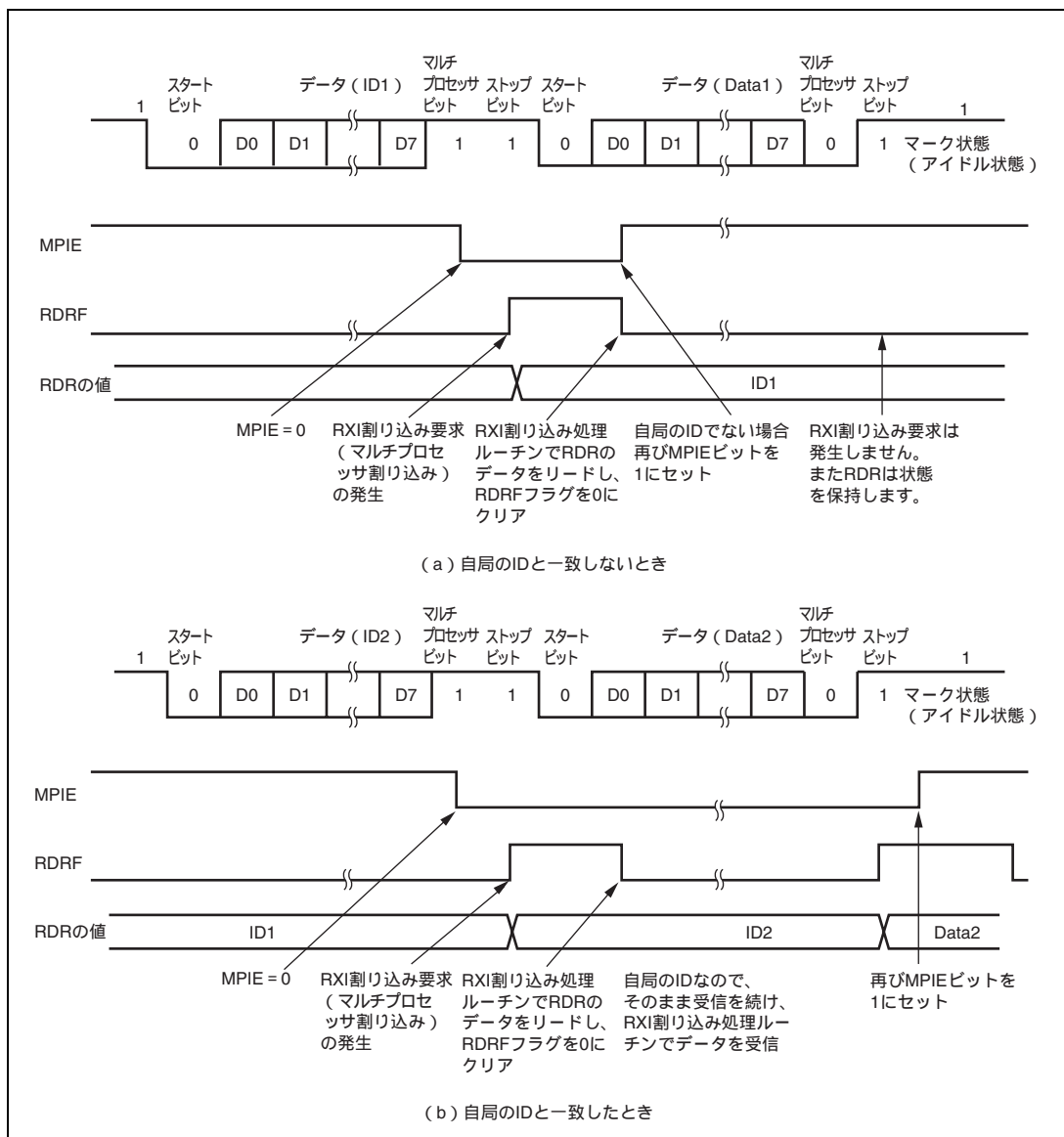


図 13.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI)

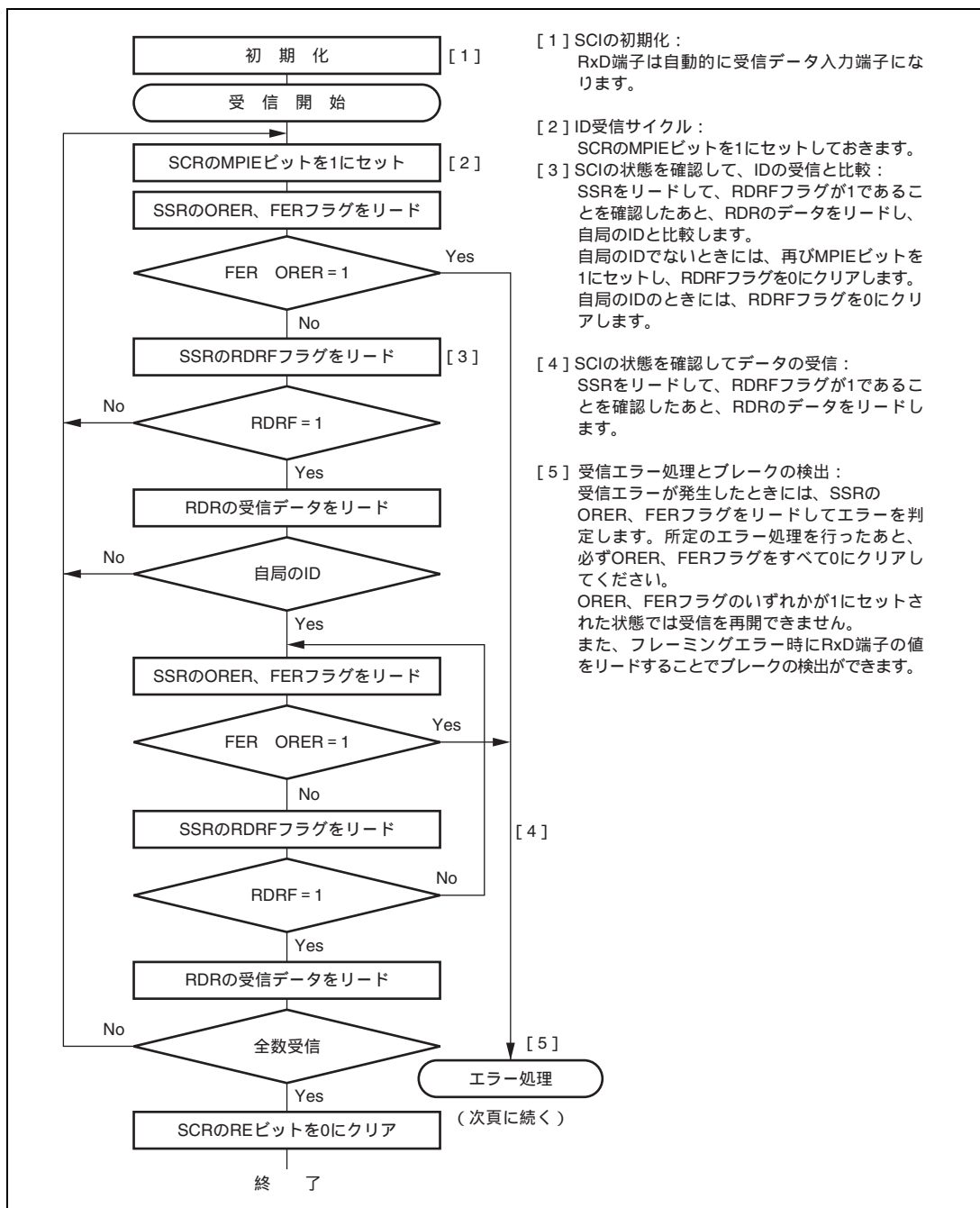


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

13. シリアルコミュニケーションインタフェース (SCI)

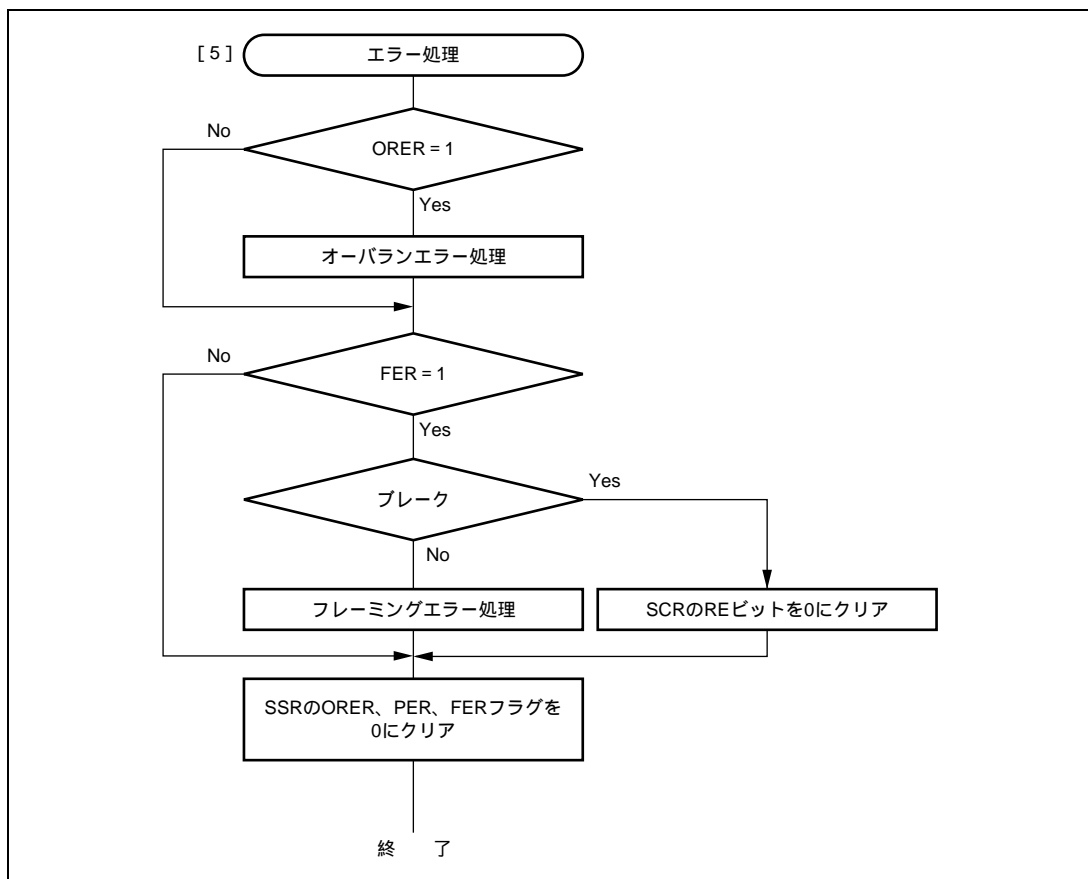


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

13.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 13.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保持します。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

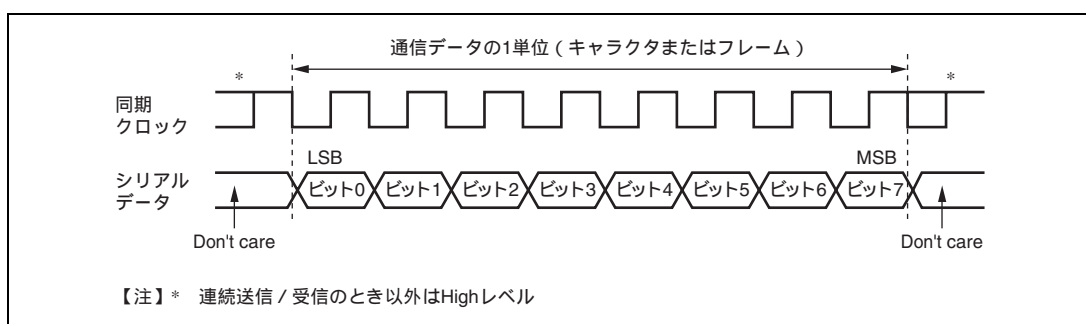


図 13.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

13.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

13.6.2 SCI の初期化

データの送受信前に、SCR の TE、RE ビットをクリアしたあと、図 13.15 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

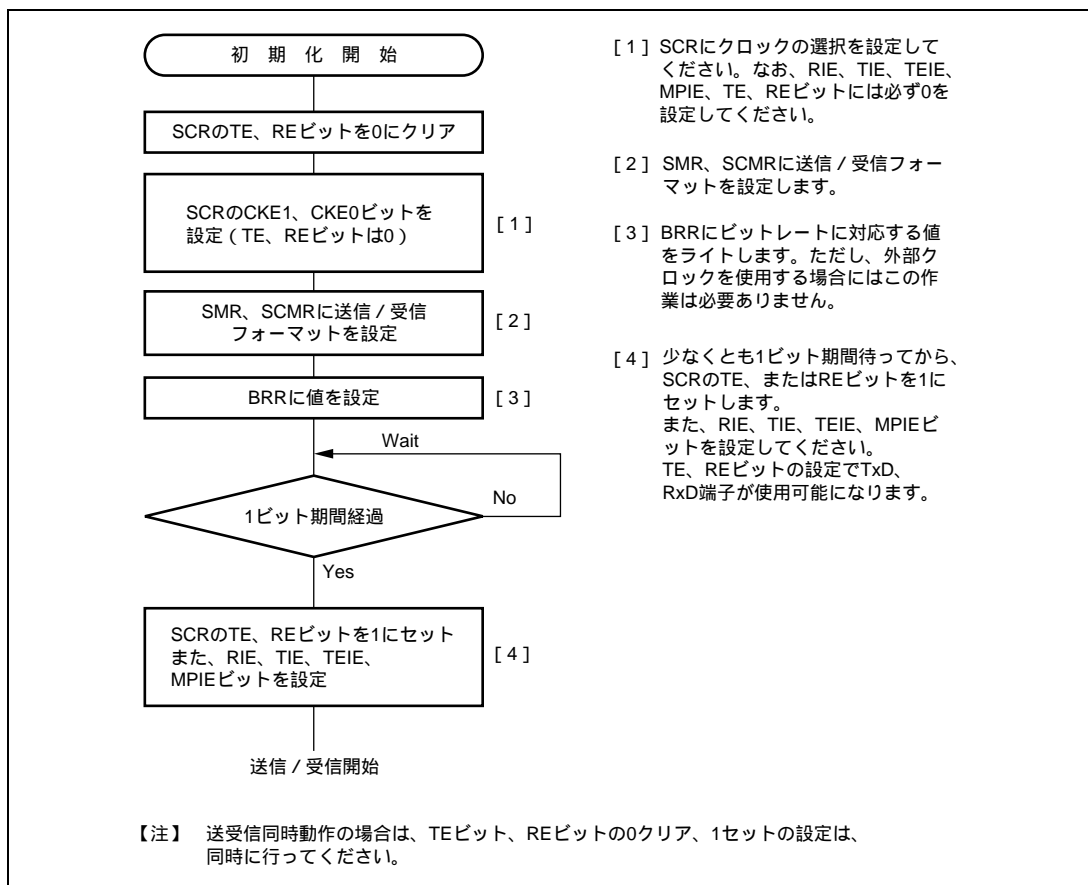


図 13.15 SCI の初期化フローチャートの例

13.6.3 シリアルデータ送信 (クロック同期式)

図 13.16 にクロック同期モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCI は SSR の TDRE を監視し、クリアされると TDR にデータが書き込まれたと認識して TDR から TSR にデータを転送します。
2. TDR から TSR にデータを転送すると、TDRE を 1 にセットして送信を開始します。このとき、SCR の TIE が 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込みルーチンで、前に転送したデータの送信が終了するまでに TDR に次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE をチェックします。
5. TDRE が 0 であると次の送信データを TDR から TSR にデータを転送し、次のフレームの送信を開始します。
6. TDRE が 1 であると SSR の TEND に 1 をセットし、最終ビット出力状態を保持します。このとき SCR の TEIE が 1 にセットされていると TEI を発生します。SCK 端子は High レベルに固定されます。

図 13.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

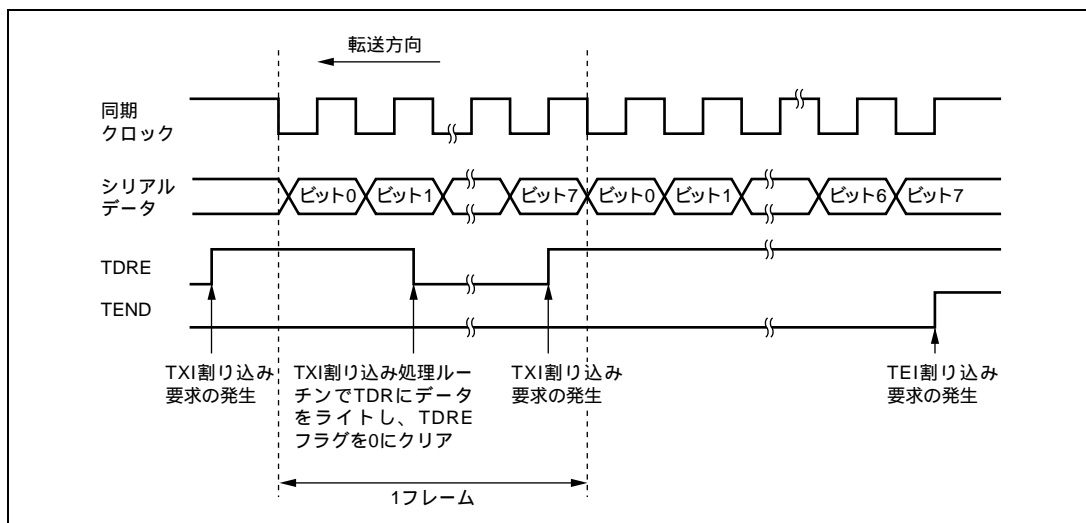


図 13.16 クロック同期モードの送信時の動作例

13. シリアルコミュニケーションインタフェース (SCI)

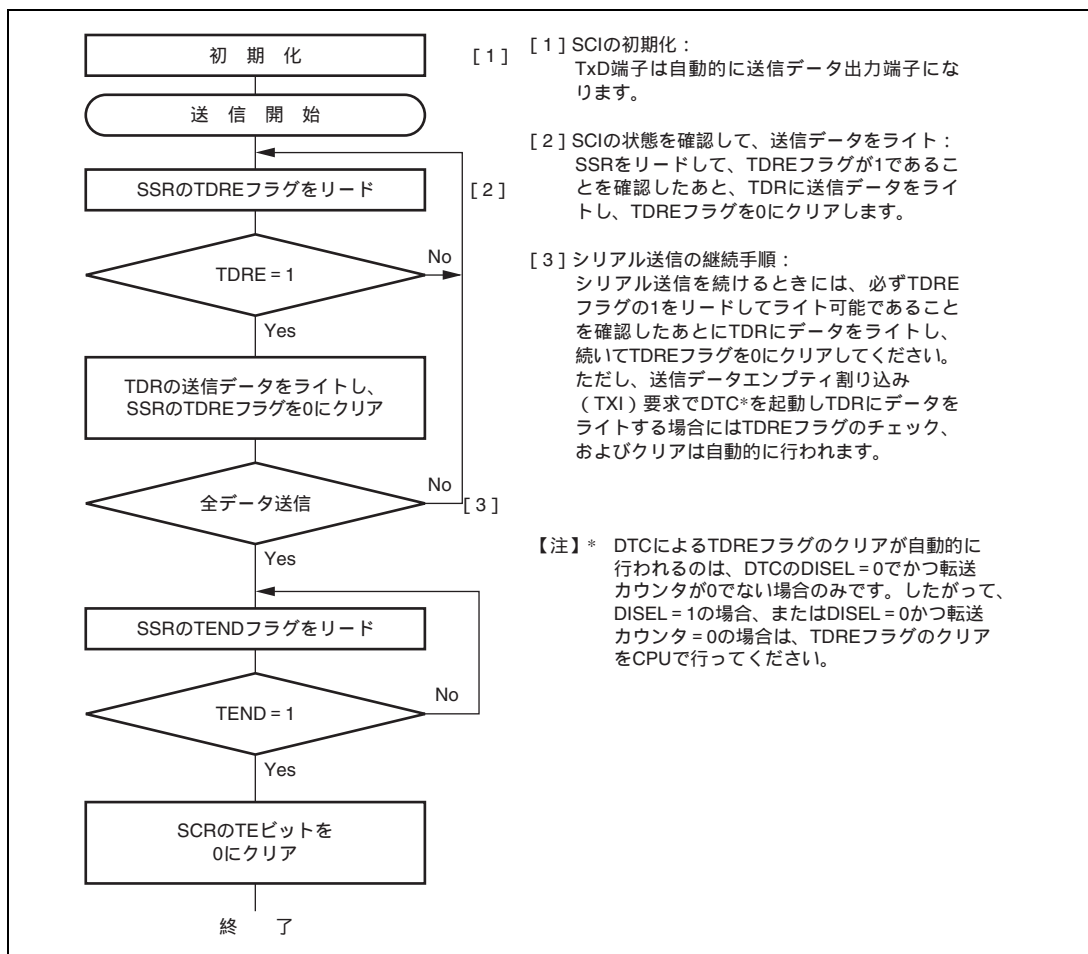


図 13.17 シリアル送信のフローチャートの例

13.6.4 シリアルデータ受信 (クロック同期式)

図 13.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

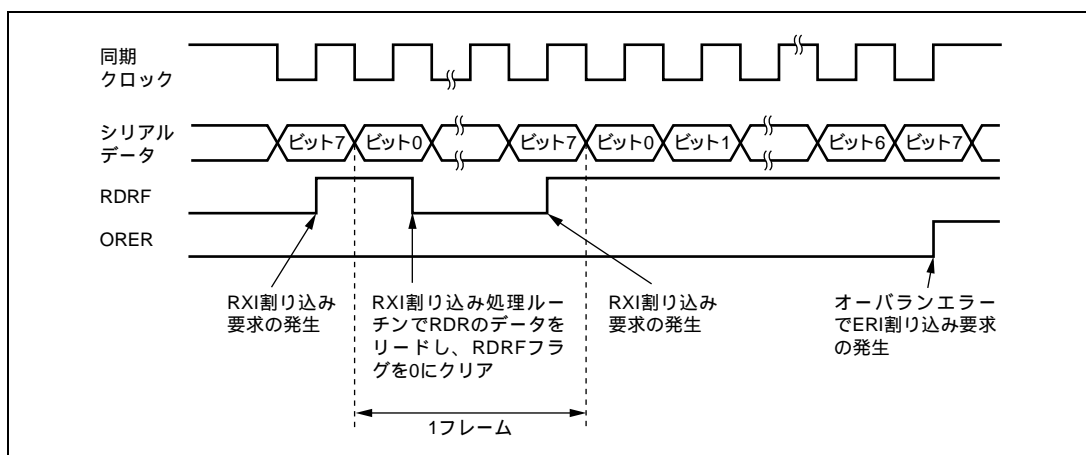


図 13.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.19 にデータ受信のためのフローチャートの例を示します。

内部クロックを選択し、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックが出力されます。1 フレーム単位の受信動作を行いたいときは、送受信同時動作による 1 フレームだけのダミー送信も同時に行ってください。

13. シリアルコミュニケーションインタフェース (SCI)

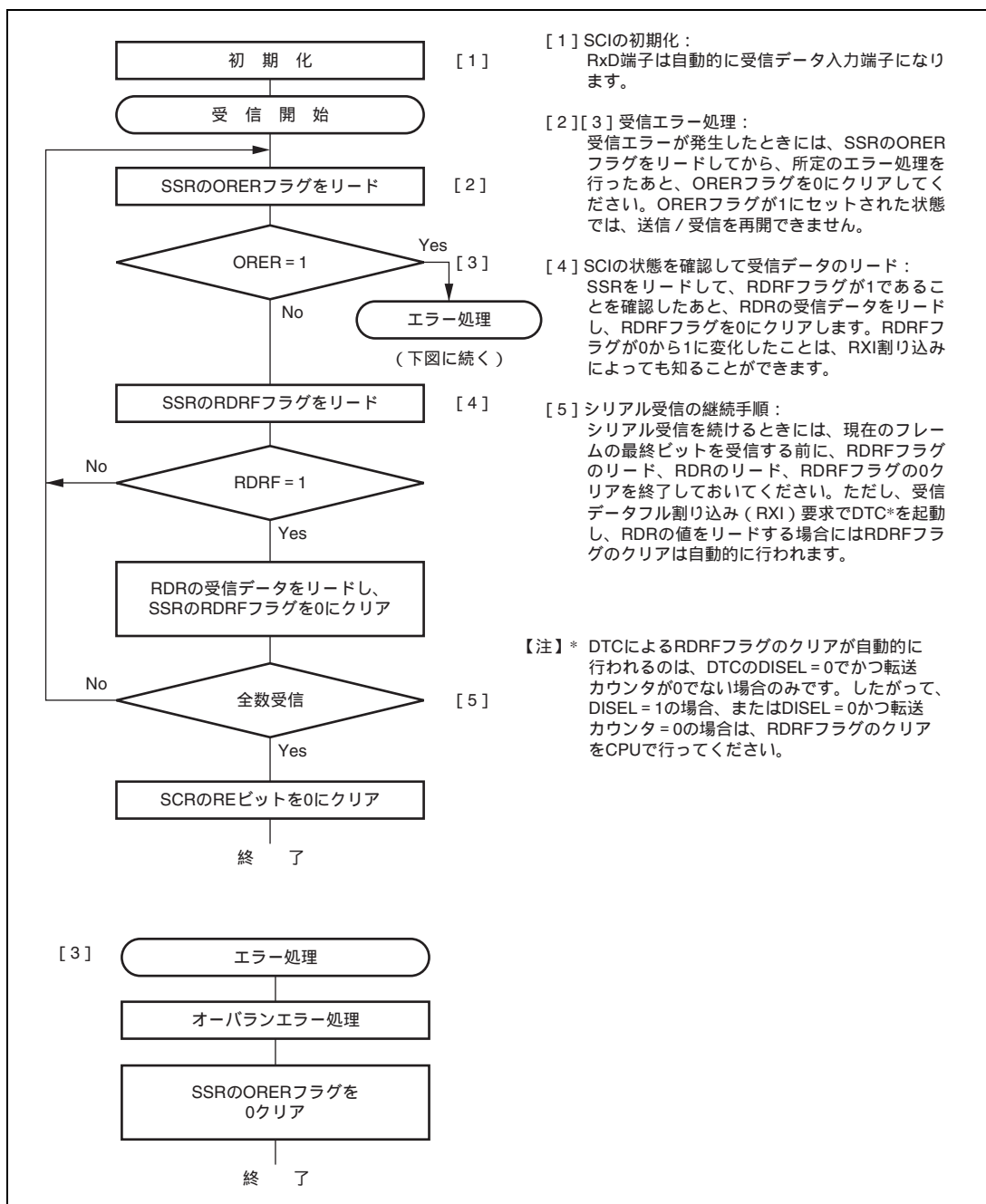


図 13.19 シリアルデータ受信フローチャートの例

13.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認したあと、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認したあと、TE および RE を 1 命令で同時に 1 にセットしてください。

13. シリアルコミュニケーションインタフェース (SCI)

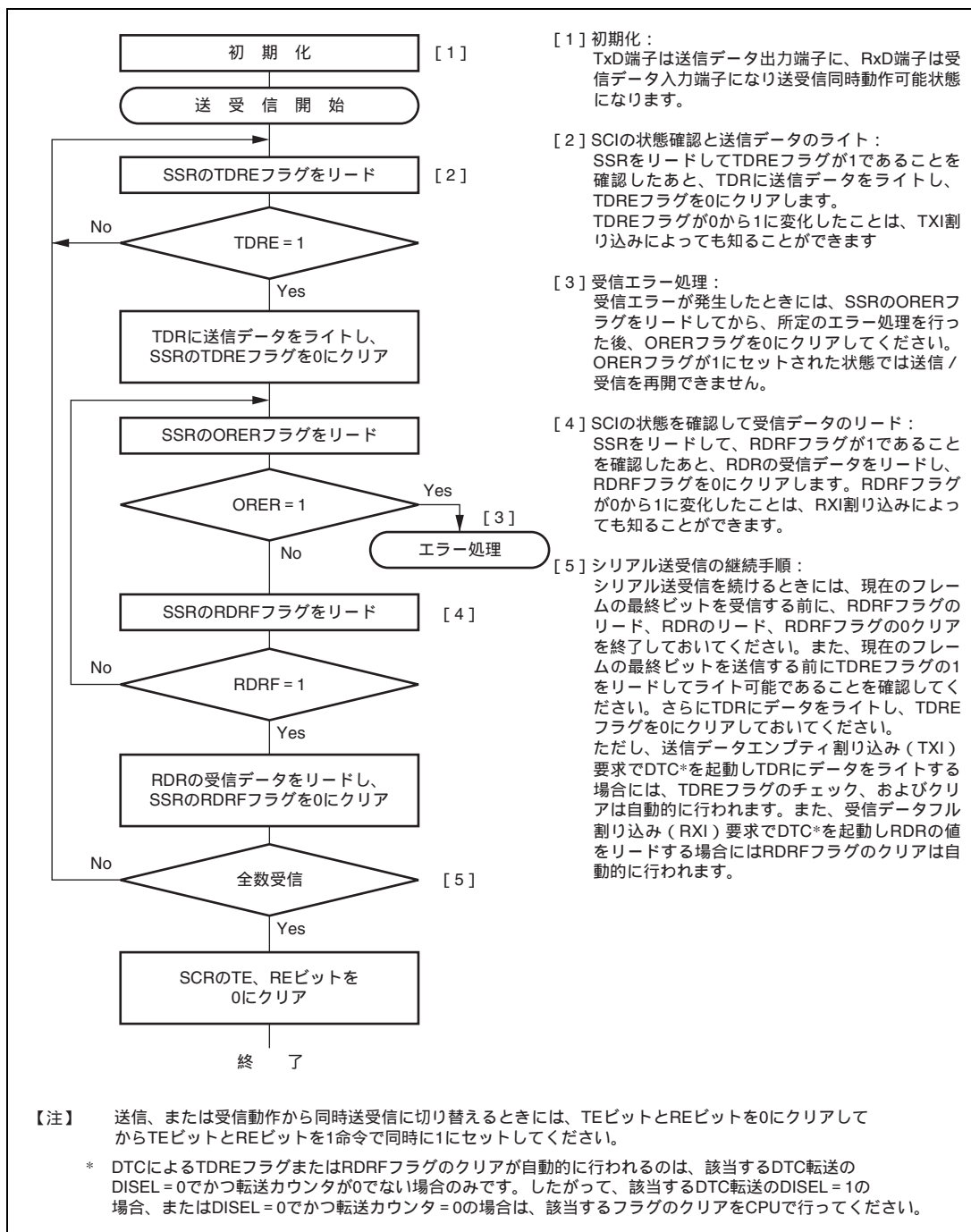


図 13.20 シリアル送受信同時動作のフローチャートの例

13.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード(スマートカード)とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

13.7.1 接続例

図 13.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源側(チャンネル2以外:P2Vcc、チャンネル2:P1Vcc)にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。ICカードで、内部クロックを使用する場合は接続不要です。リセット信号の出力には本LSIの出力ポートを使用できます。端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

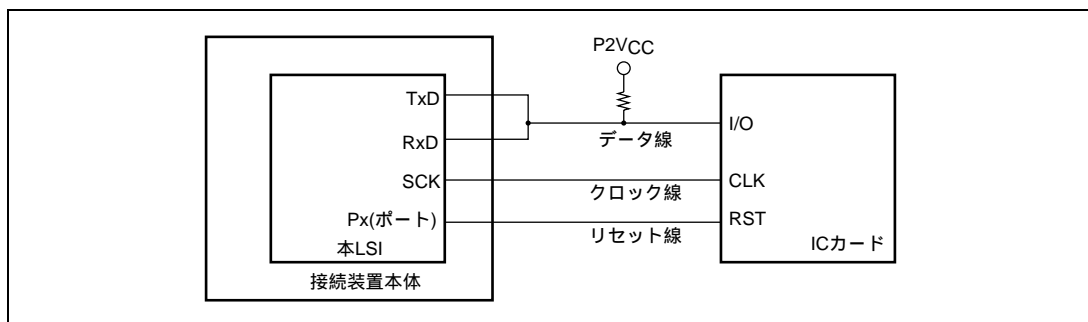


図 13.21 (1) スマートカードインタフェース端子接続概要 (チャンネル0、1、3、4)

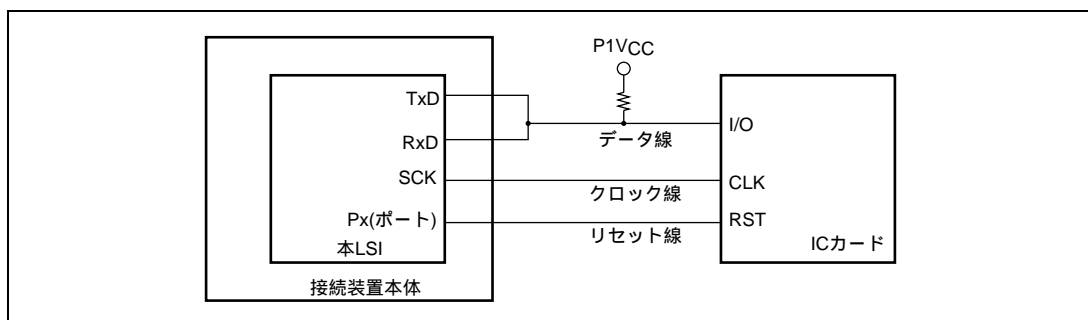


図 13.21 (2) スマートカードインタフェース端子接続概要 (チャンネル2)

13.7.2 データフォーマット (ブロック転送モード時を除く)

図 13.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary time unit : 1ビットの転送期間) 以上のガードタイムを置きます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

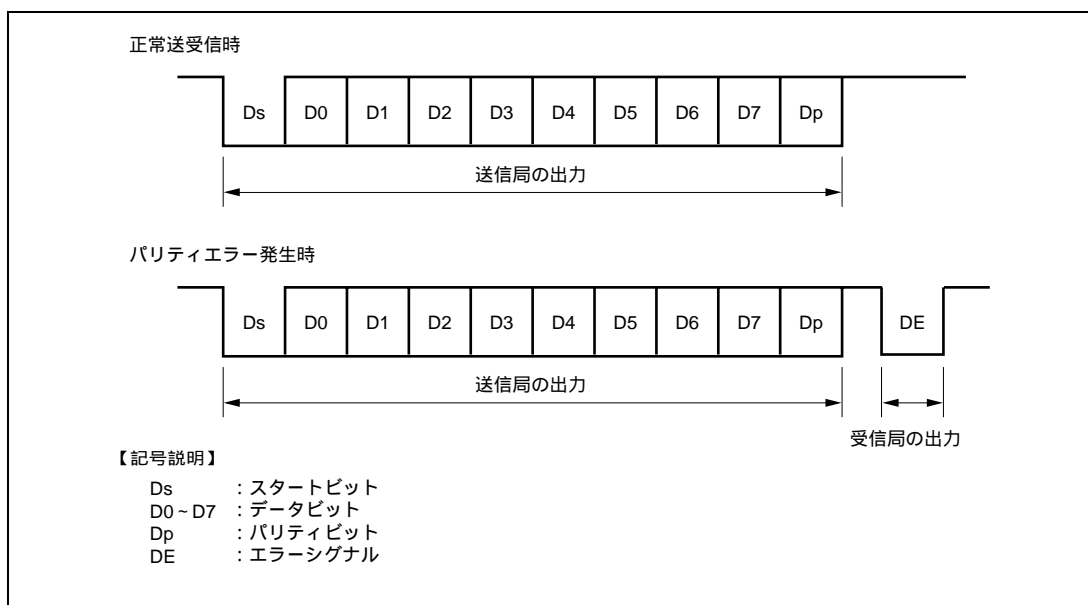


図 13.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインパースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

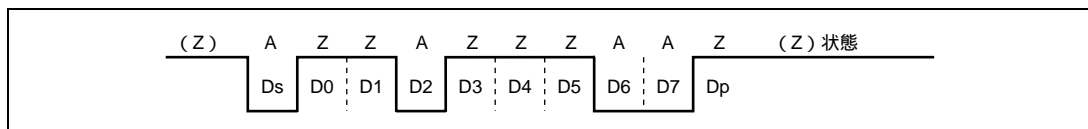


図 13.23 ダイレクトコンベンション (SDIR = SINV = 0/1 = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/E ビットには 0 をセットしてください。

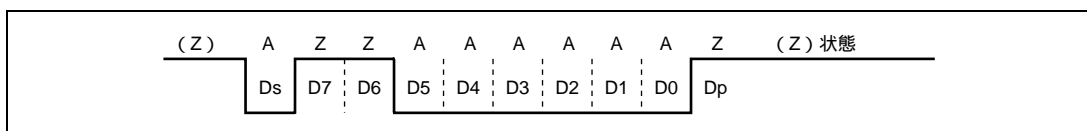


図 13.24 インバースコンベンション (SDIR = SINV = O/E = 1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7 ~ D0 のみ反転させます。このため、送受信とも SMR の O/E ビットに 1 を設定してパリティビットを反転させてください。

13.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

13.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍(通常の調歩同期式モードでは16倍に固定されています)の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 13.25 に示すように受信データを基本クロックのそれぞれ 16、32、186、128 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

13. シリアルコミュニケーションインタフェース (SCI)

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 32、64、372、256)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 10)

F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

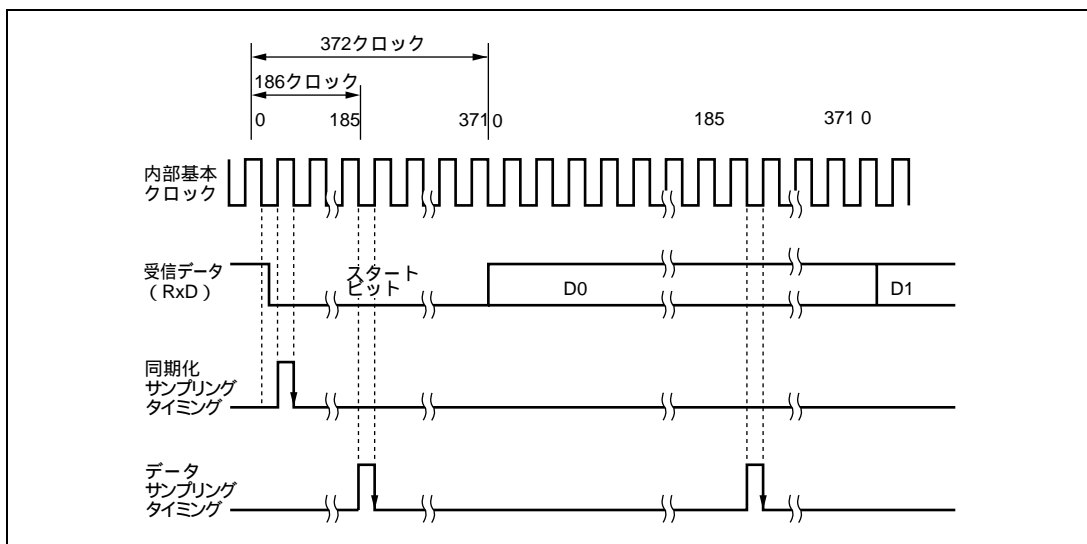


図 13.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

13.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、O \bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。

4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外にはTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認したあと、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認したあと、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了は TEND フラグで確認できます。

13.7.6 シリアルデータ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 13.26 に示します。

1. 1フレーム分の送信を完了したあと、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されず。

送信処理フローの例を図 13.28 に示します。これら一連の処理は TXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。このとき DTC の DISEL = 0 でかつ転送カウンタが 0 でない場合は、TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。なお、DTC の DISEL = 1 の場合、または DISEL = 0 でかつ転送カウンタが 0 の場合は DTC により転送データは TDR にライトされますが、フラグはクリアされませんので CPU にてフラグクリア処理を行ってください。また、エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間

13. シリアルコミュニケーションインタフェース (SCI)

TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

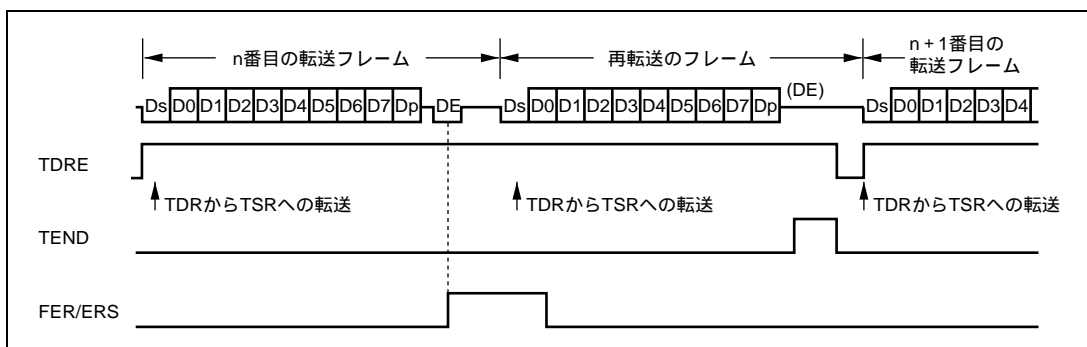


図 13.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 13.27 に TEND フラグ発生タイミングを示します。

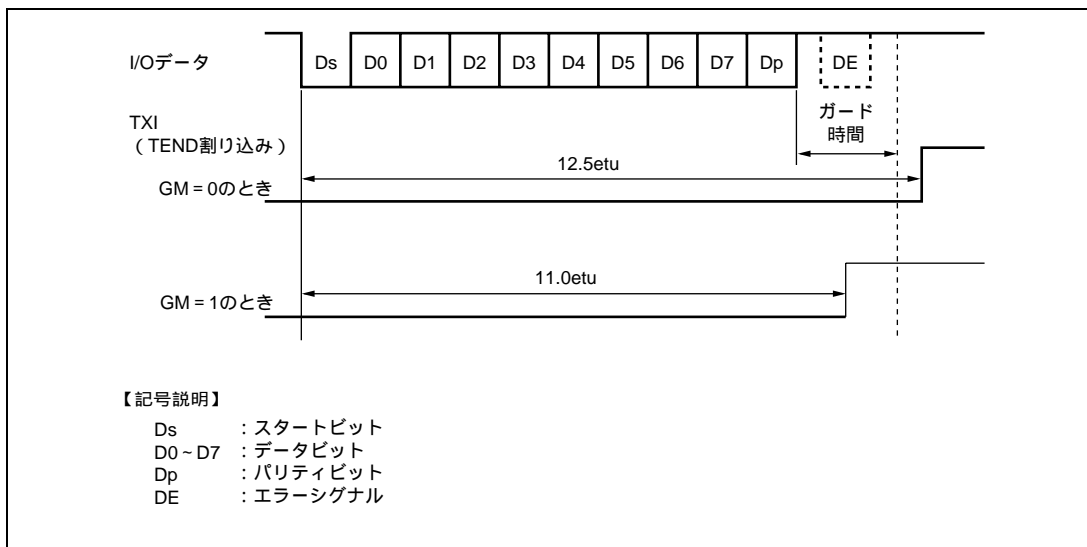


図 13.27 送信動作時の TEND フラグ発生タイミング

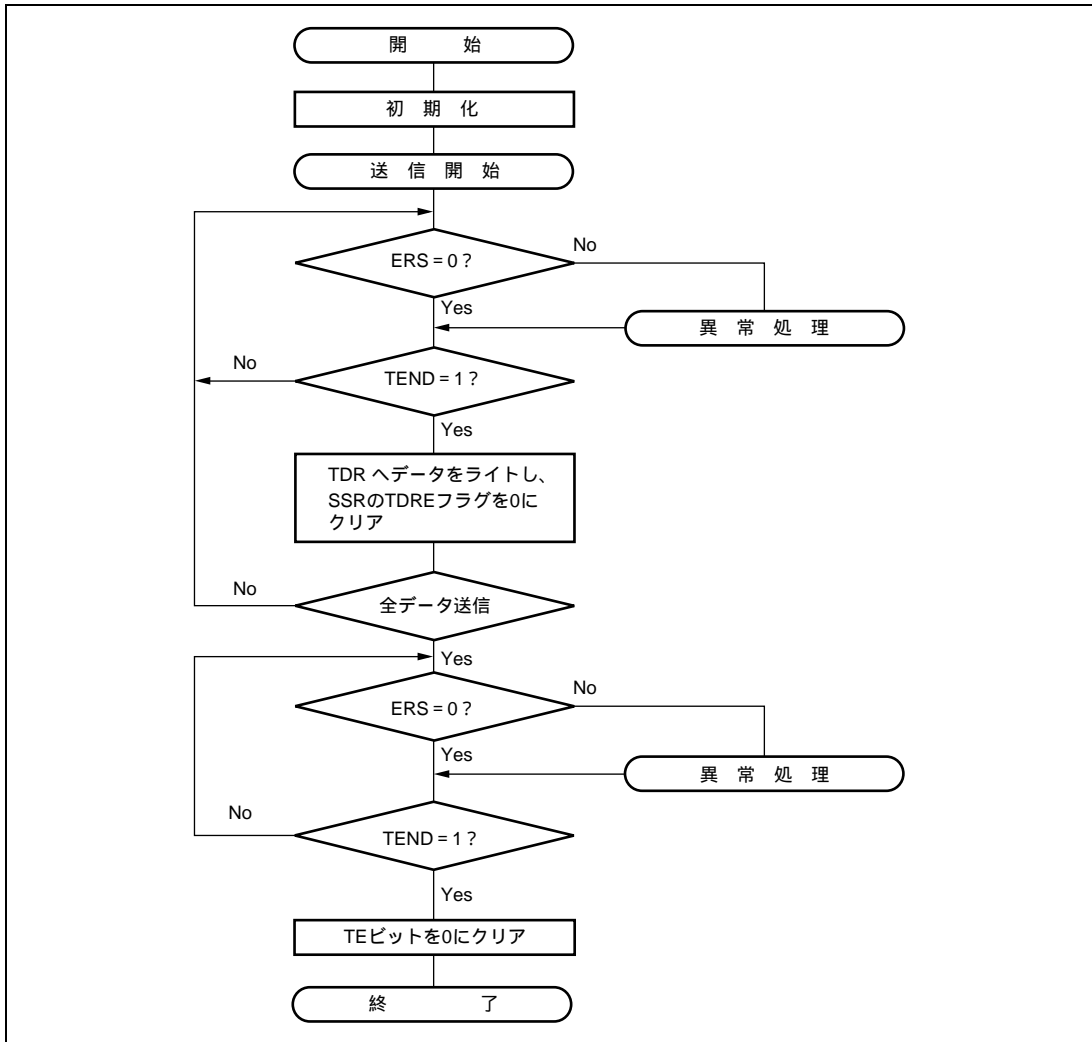


図 13.28 送信処理フローの例

13.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 13.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 13.30 に示します。これら一連の処理はRXI 割り込み要因によってDTC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことでRDRF フラグが 1 にセットされるとRXI 要求を発生します。あらかじめDTCの起動要因にRXI 要求を設定しておけば、RXI 要求によりDTC が起動されて受信データの転送を行います。このときDTCのDISEL=0でかつ転送カウンタが0でない場合は、RDRF フラグは自動的にクリアされます。なお、DTCのDISEL=1の場合、またはDISEL=0でかつ転送カウンタ=0の場合はDTCにより受信データの転送は行われますが、フラグのクリアは行われません。CPUにてフラグクリア処理を行ってください。また、受信時にエラーが発生しORER、PER フラグのいずれかが1にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はDTCは起動されず、受信データはスキップされるためDTCに設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生しPERが1にセットされた場合でも、受信したデータはRDRに転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「13.4 調歩同期式モードの動作」を参照してください。

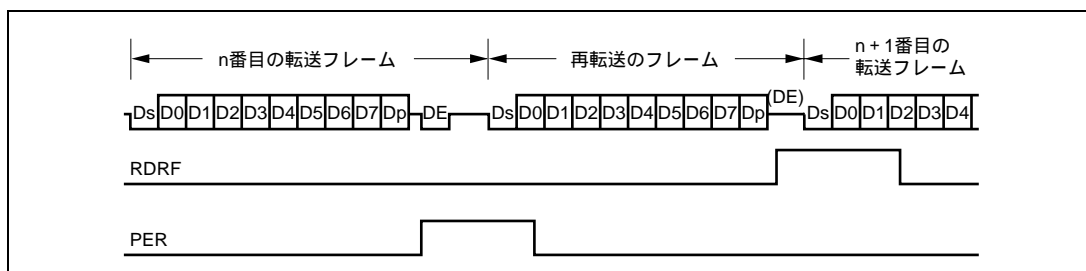


図 13.29 SCI 受信モードの場合の再転送動作

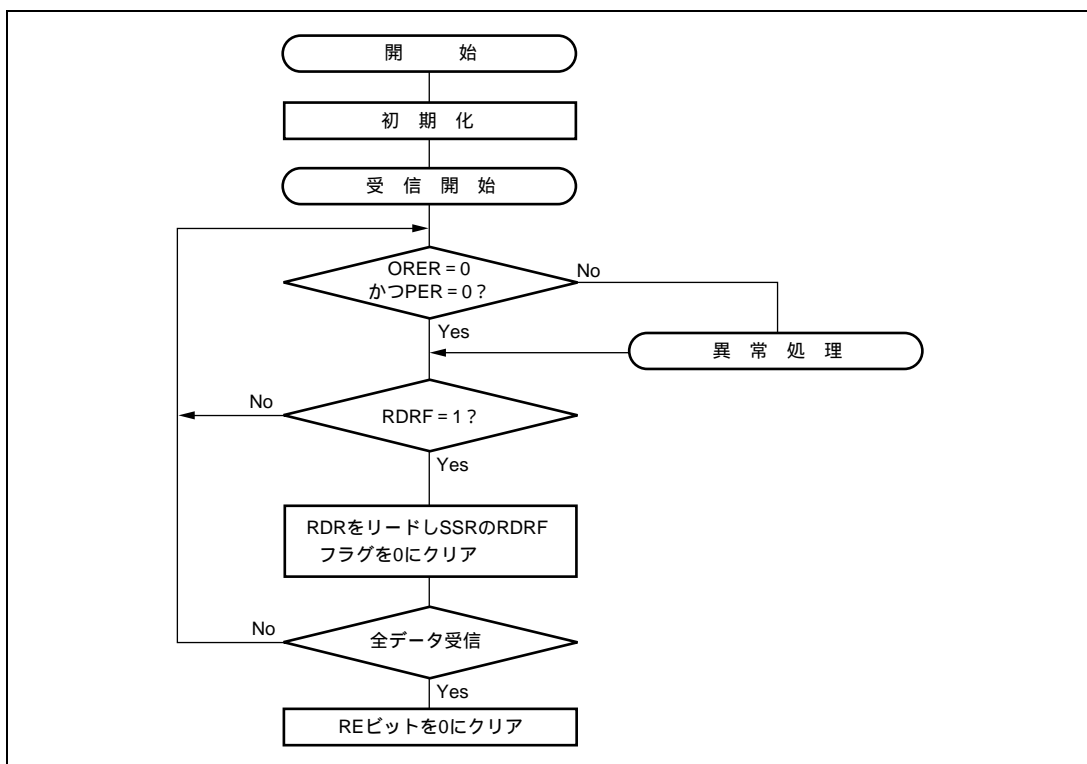


図 13.30 受信フローの例

13.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.31 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

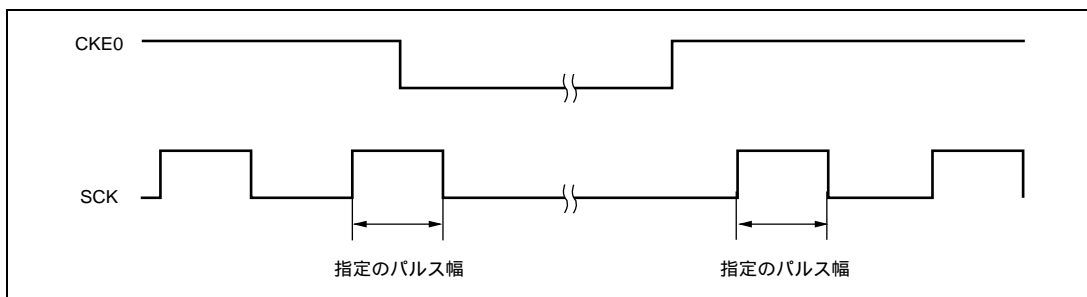


図 13.31 クロック出力固定タイミング

13. シリアルコミュニケーションインタフェース (SCI)

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理してください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

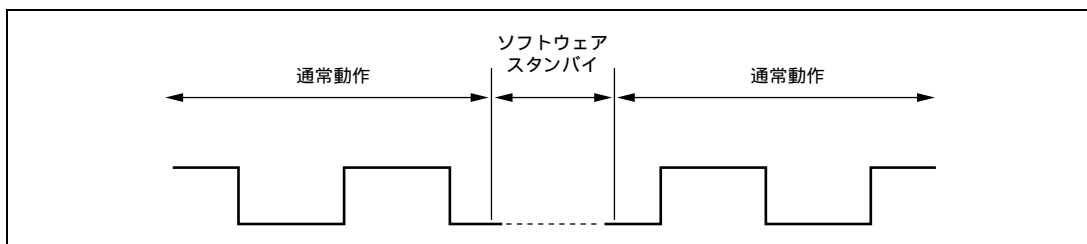


図 13.32 クロック停止・再起動手順

13. シリアルコミュニケーションインタフェース (SCI)

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位*
4	ERI4	受信エラー	ORER、FER、PER	不可	高 ↑ 低
	RX14	受信データフル	RDRF	可	
	TX14	送信データエンプティ	TDRE	可	
	TEI4	送信終了	TEND	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

13.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 13.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

【注】 ブロック転送モードの場合は、「13.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み」を参照してください。

表 13.13 スマートカードインタフェースモードの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位*
0	ERI0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高 ↑ 低
	RX10	受信データフル	RDRF	可	
	TX10	送信データエンプティ	TEND	可	
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RX11	受信データフル	RDRF	可	
	TX11	送信データエンプティ	TEND	可	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RX12	受信データフル	RDRF	可	
	TX12	送信データエンプティ	TEND	可	
3	ERI3	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RX13	受信データフル	RDRF	可	
	TX13	送信データエンプティ	TEND	可	
4	ERI4	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RX14	受信データフル	RDRF	可	
	TX14	送信データエンプティ	TEND	可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

13.9 使用上の注意事項

13.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第22章 低消費電力状態」を参照してください。

13.9.2 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に、RxD端子の値を直接リードすることでブレークを検出できます。ブレークではRxD端子からの入力がすべて0になりますので、FERフラグがセットされ、またPERフラグもセットされる可能性があります。SCIは、ブレークを受信した後も受信動作を続けます。したがってFERフラグを0にクリアしても再びFERが1にセットされますので注意してください。

13.9.3 マーク状態とブレークの送出 (調歩同期式モードのみ)

TEが0のとき、TxD端子はDDRで入出力方向とレベルが決まるI/Oポートになります。これを利用してTxD端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TEを1にセットするまで、通信回線をマーク状態 (1の状態) にするためには、DDR=1、DR=1を設定します。このとき、TEが0にクリアされていますので、TxD端子はI/Oポートとなっており1が出力されます。一方、データ送信時にブレークを送出したいときは、DDR=1、DR=0に設定したあとTEを0にクリアします。TEを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されます。

13.9.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

13.9.5 DTC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DTCによるTDRの更新後、 ϕ クロックで5クロック以上経過したあとに、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります (図13.33)。
2. DTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。
3. データ転送時DTCによりフラグが自動的にクリアされるのは、DTCのDISELが0でかつ転送カウンタが0でない場合のみです。したがって、DTCのDISEL=1の場合またはDISEL=0でかつ転送カウンタが0の場合は、CPUにてフラグクリア処理を行ってください。特に送信時はCPUにてTDREフラグをクリアしないと正しく

13. シリアルコミュニケーションインタフェース (SCI)

送信されませんのでご注意ください。

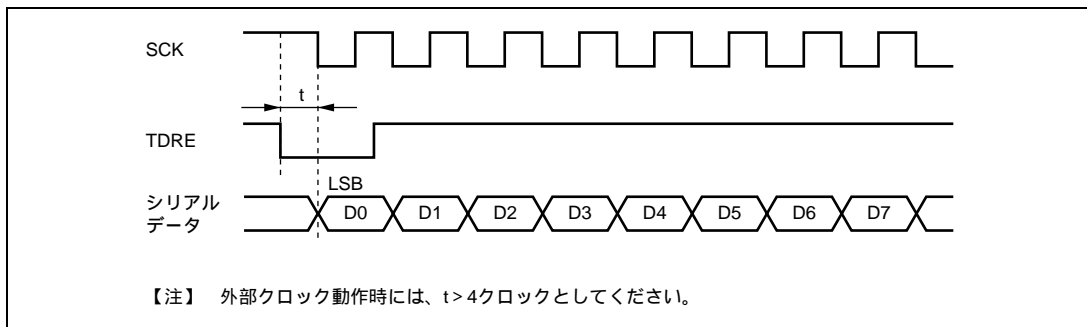


図 13.33 DTC によるクロック同期式送信時の例

13.9.6 モード遷移時の動作について

(a) 送信

モジュールストップモード、ソフトウェアスタンバイモード、またはウォッチモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、またはウォッチモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、 $TE = 1$ に戻し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 13.34 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 13.35、図 13.36 に示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、またはウォッチモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。解除後 DTC による送信をする場合は $TE = 1$ 、 $TIE = 1$ に設定すれば TXI フラグが立ち、DTC による送信が始まります。

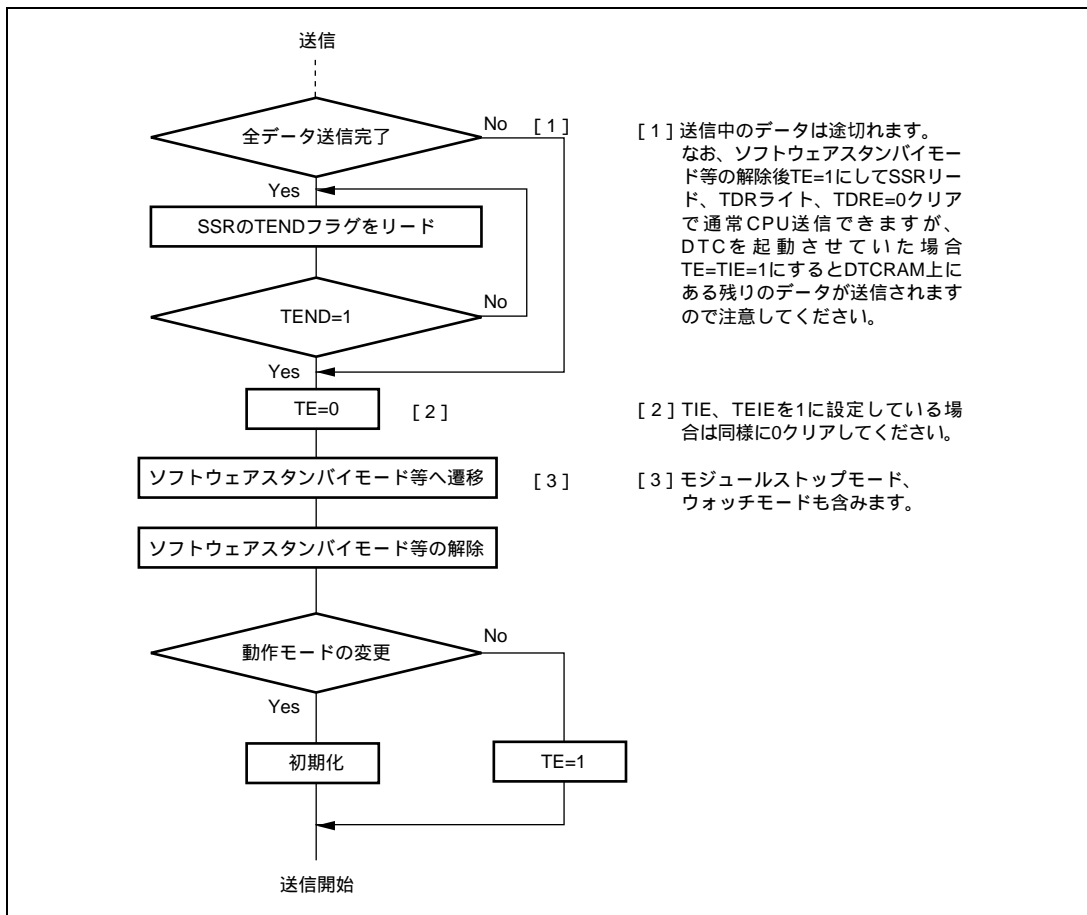


図 13.34 送信時のモード遷移フローチャートの例

13. シリアルコミュニケーションインタフェース (SCI)

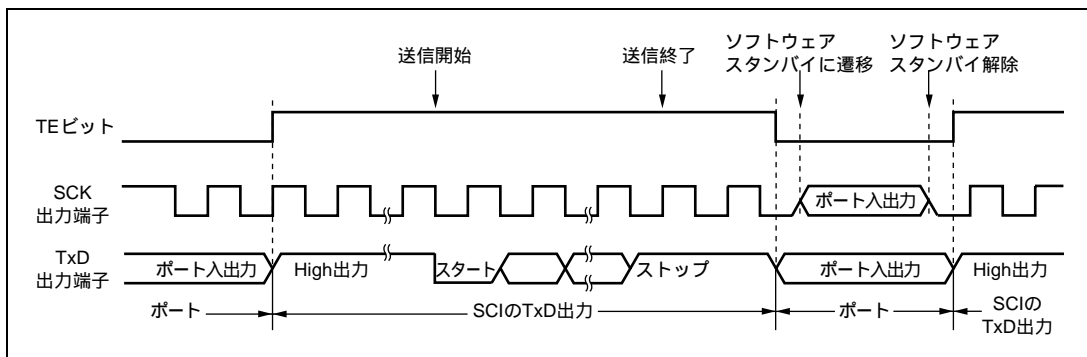
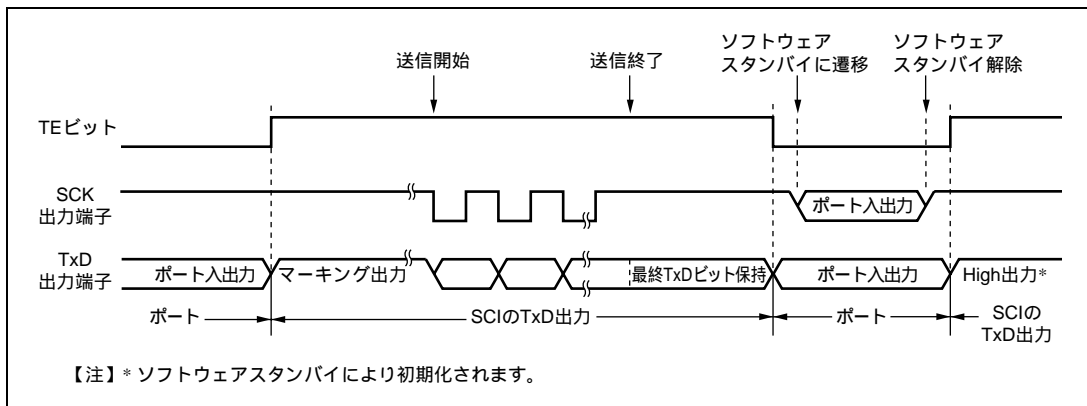


図 13.35 内部クロック、調歩同期送信の場合のポート端子状態



【注】* ソフトウェアスタンバイにより初期化されます。

図 13.36 内部クロック、クロック同期送信の場合のポート端子状態

(b) 受信

モジュールストップモード、ソフトウェアスタンバイモード、またはウォッチモード遷移時には、受信動作を停止 ($RE=0$) してから行ってください。RSR、RDR、およびSSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE=1$ に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 13.37 に受信時のモード遷移フローチャートの例を示します。

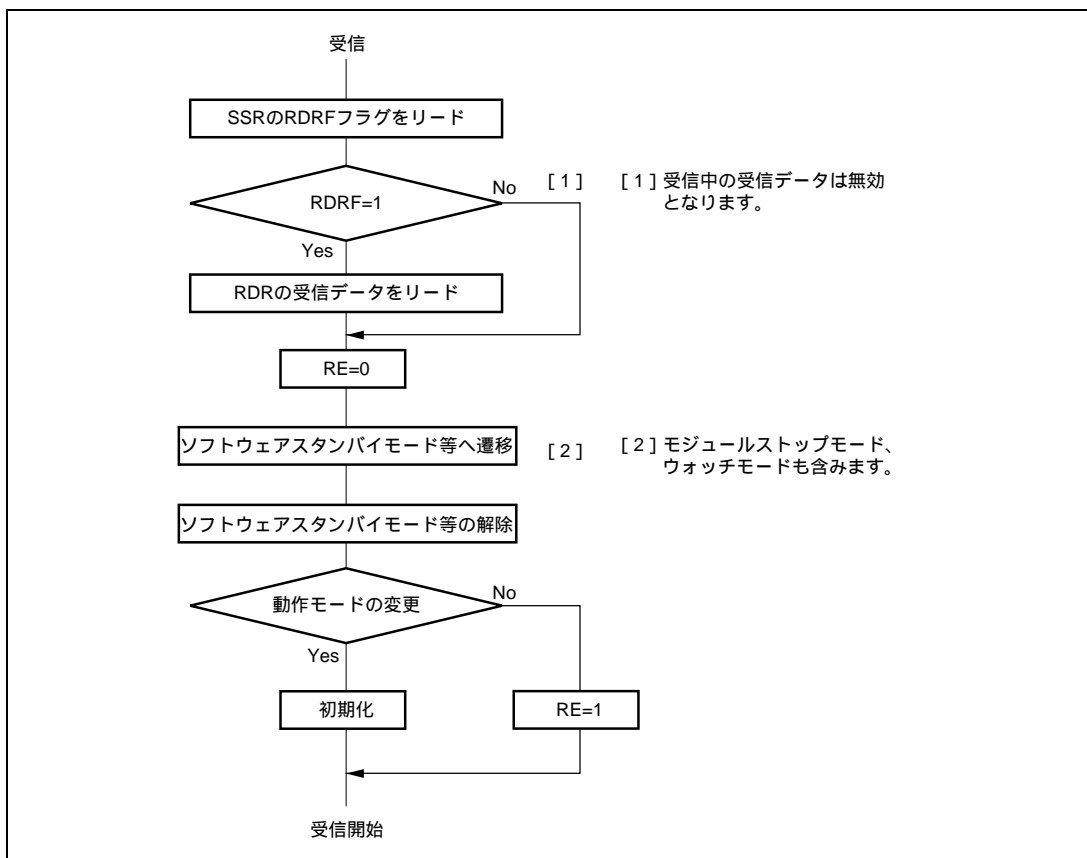


図 13.37 受信時のモード遷移フローチャートの例

13.9.7 SCK 端子からポート端子へ切り替えるときの注意事項

(a) 動作現象

DDR = 1、DR = 1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR = 1、DR = 1、 $\overline{C/\overline{A}}$ = 1、CKE1 = 0、CKE0 = 0、TE = 1 の状態より、以下の設定でポートに切り替え時に半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TEビット = 0
3. $\overline{C/\overline{A}}$ ビット = 0 ... ポート出力に切り替え
4. Low出力発生 (図13.38参照)

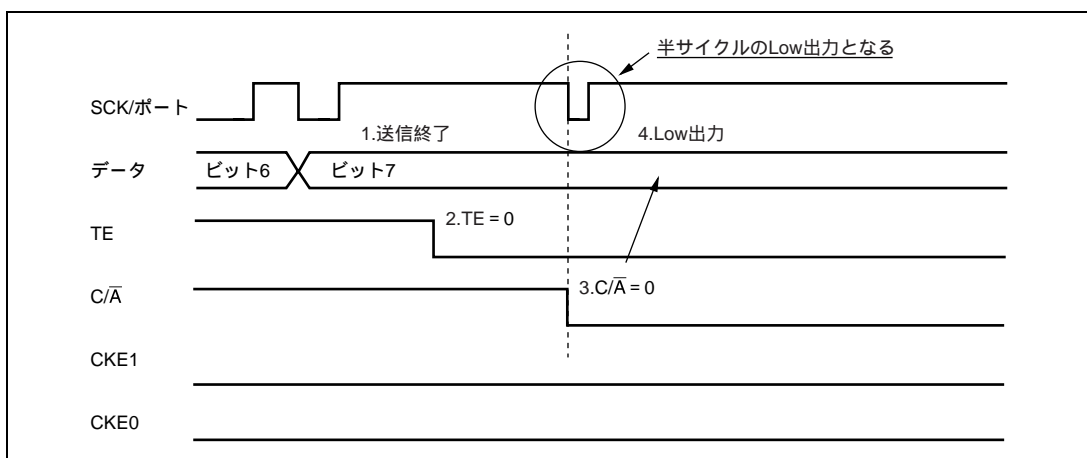


図 13.38 SCK 端子からポート端子へ切り替えるときの動作

(b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路でプルアップしてください。

DDR = 1、DR = 1、 C/\bar{A} = 1、CKE1 = 0、CKE0 = 0、TE = 1の状態より以下の1~5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4. C/\bar{A} ビット = 0 ... ポート出力に切り替え
5. CKE1ビット = 0

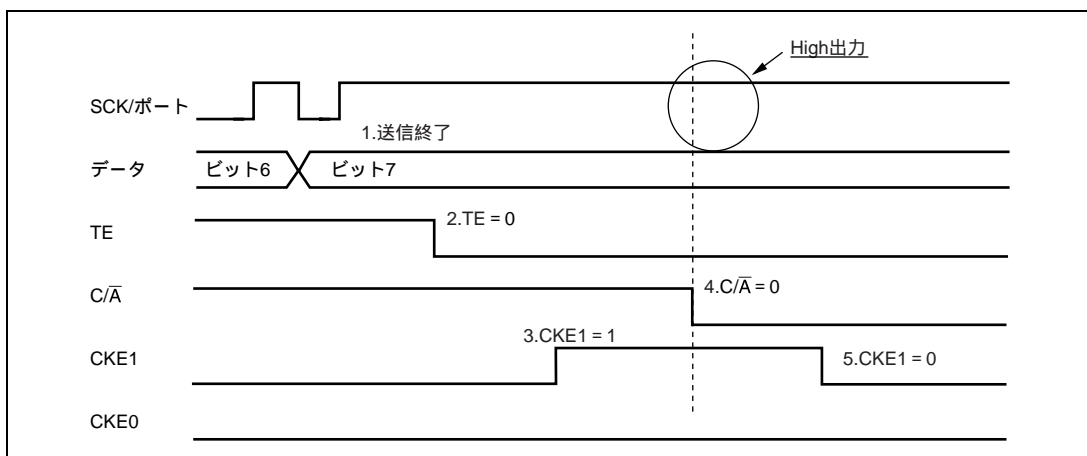


図 13.39 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

13. シリアルコミュニケーションインタフェース (SCI)

14. I²C バスインタフェース 2 (IIC2)

本 LSI は、2 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェース 2 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。バス駆動特性、I²C バスタイミングに関しましては、「第 24 章 電気的特性」を参照してください。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なります。I²C バスインタフェース 2 のブロック図を図 14.1 に、入出力端子の外部回路接続例を図 14.2 に示します。

14.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信 / 受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能
- モジュールストップモードの設定可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因：6 種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出
- バスを直接駆動可能
P35/SCL0、P34/SDA0 の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力
P33/SCL1、P32/SDA1 の 2 端子は、バス駆動機能選択時は NMOS のみで出力

クロック同期シリアルフォーマット

- 割り込み要因：4 種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー

14. I²C バスインタフェース 2 (IIC2)

チャンネル 0 の入出力端子は、NMOS オープンドレインであり、本 LSI の電源 (P2V_{cc}) 電圧を超える電圧印加が可能です。印加電圧の上限は、電源 (P2V_{cc}) 電圧範囲+0.3V としてください。チャンネル 1 の入出力端子は NMOS のみにより駆動されるため、見かけ上 NMOS オープンドレインと同様の動作をします。しかし、入出力端子に印加可能な電圧は、本 LSI の電源 (P2V_{cc}) 電圧に依存します。

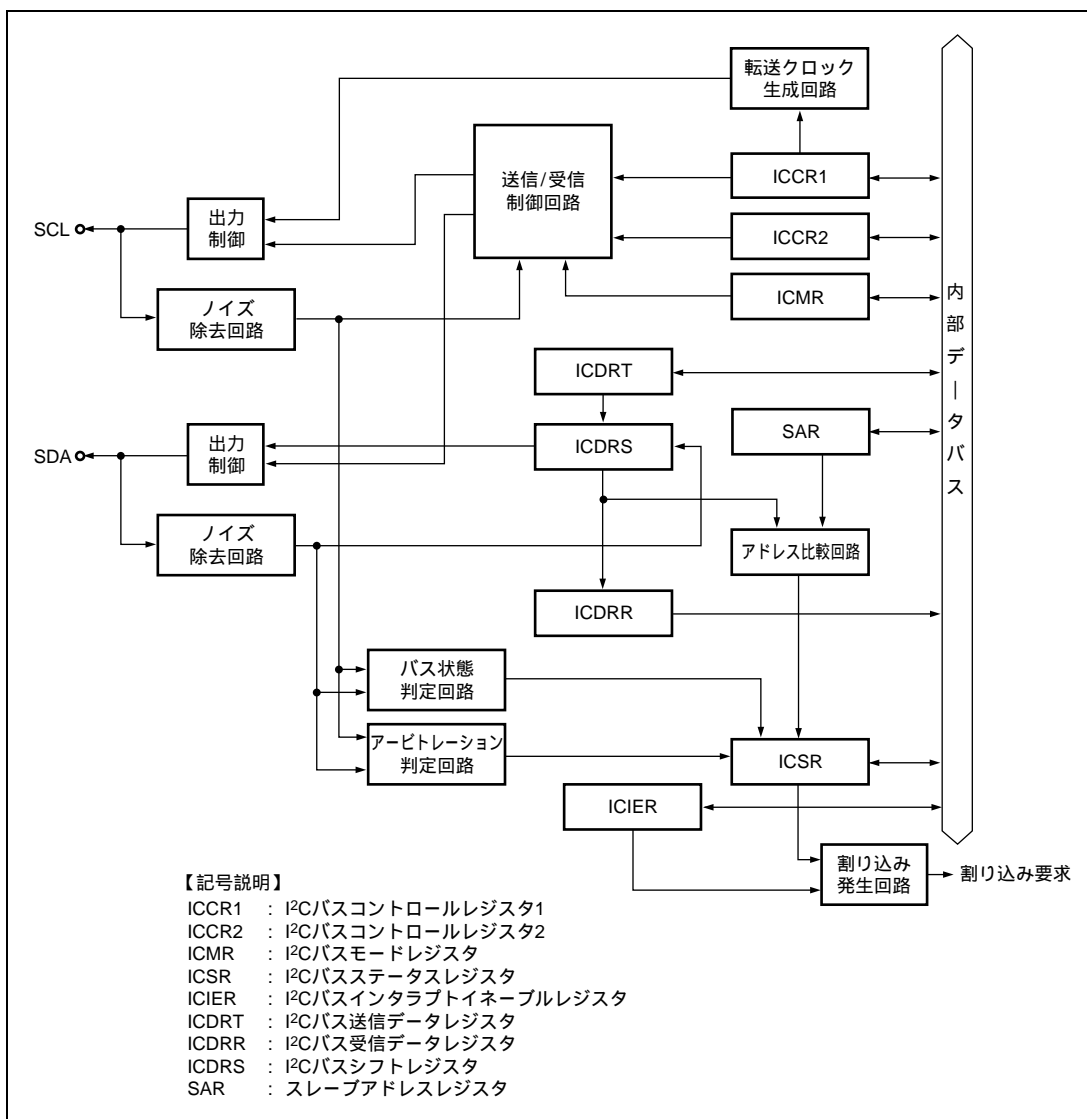


図 14.1 I²C バスインタフェース 2 のブロック図

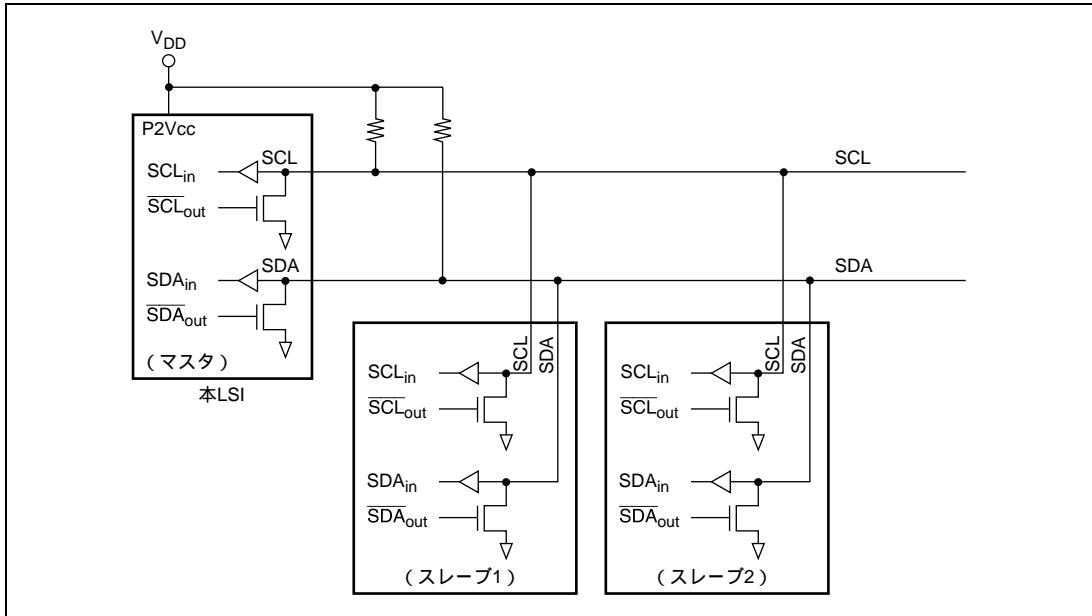


図 14.2 入出力端子の外部回路接続例

14.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 14.1 に示します。

表 14.1 端子構成

チャンネル	記号	入出力	機能
0	SCL0	入出力	チャンネル 0 のシリアルクロック入出力端子
	SDA0	入出力	チャンネル 0 のシリアルデータ入出力端子
1	SCL1	入出力	チャンネル 1 のシリアルクロック入出力端子
	SDA1	入出力	チャンネル 1 のシリアルデータ入出力端子

【注】本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

14.3 レジスタの説明

I²C バスインタフェース 2 には以下のレジスタがあります。

チャンネル 0

- I²C バスコントロールレジスタ1_0 (ICCR1_0)
- I²C バスコントロールレジスタ2_0 (ICCR2_0)
- I²C バスモードレジスタ_0 (ICMR_0)
- I²C バスインタラプトイネーブルレジスタ_0 (ICIER_0)
- I²C バスステータスレジスタ_0 (ICSR_0)
- スレーブアドレスレジスタ_0 (SAR_0)
- I²C バス送信データレジスタ_0 (ICDRT_0)
- I²C バス受信データレジスタ_0 (ICDRR_0)
- I²C バスシフトレジスタ_0 (ICDRS_0)

チャンネル 1

- I²C バスコントロールレジスタ1_1 (ICCR1_1)
- I²C バスコントロールレジスタ2_1 (ICCR2_1)
- I²C バスモードレジスタ_1 (ICMR_1)
- I²C バスインタラプトイネーブルレジスタ_1 (ICIER_1)
- I²C バスステータスレジスタ_1 (ICSR_1)
- スレーブアドレスレジスタ_1 (SAR_1)
- I²C バス送信データレジスタ_1 (ICDRT_1)
- I²C バス受信データレジスタ_1 (ICDRR_1)
- I²C バスシフトレジスタ_1 (ICDRS_1)

14.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は I²C バスインタフェース 2 の動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 2 イネーブル 0 : 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS = 0 の状態で ICDRR をリードするまで次の受信動作を禁止するか継続するかを設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期シリアルフォーマットを選択した場合、MST = 1 のとき、クロック出力となります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3	CKS3	0	R/W	転送クロック選択 3 ~ 0
2	CKS2	0	R/W	マスタモードのとき必要な転送レート (表 14.2 参照) に合わせて設定してください。スレーブモードでは送信モード時のデータセットアップ時間の確保に使用されます。この時間は CKS3 = 0 のとき 10tcyc、CKS3 = 1 のとき 20tcyc となります。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

14. I²C バスインタフェース 2 (IIC2)

表 14.2 転送レート

ビット 3 CKS3	ビット 2 CKS2	ビット 1 CKS1	ビット 0 CKS0	クロック	転送レート				
					φ=8MHz	φ=10MHz	φ=16MHz	φ=20MHz	φ=25MHz
0	0	0	0	φ/28	286kHz	357kHz	571kHz	714kHz	893kHz
			1	φ/40	200kHz	250kHz	400kHz	500kHz	625kHz
		1	0	φ/48	167kHz	208kHz	333kHz	417kHz	521kHz
			1	φ/64	125kHz	156kHz	250kHz	313kHz	391kHz
	1	0	0	φ/168	47.6kHz	59.5kHz	95.2kHz	119kHz	149kHz
			1	φ/100	80.0kHz	100kHz	160kHz	200kHz	250kHz
		1	0	φ/112	71.4kHz	89.3kHz	143kHz	179kHz	223kHz
			1	φ/128	62.5kHz	78.1kHz	125kHz	156kHz	195kHz
1	0	0	0	φ/56	143kHz	179kHz	286kHz	357kHz	446kHz
			1	φ/80	100kHz	125kHz	200kHz	250kHz	313kHz
		1	0	φ/96	83.3kHz	104kHz	167kHz	208kHz	260kHz
			1	φ/128	62.5kHz	78.1kHz	125kHz	156kHz	195kHz
	1	0	0	φ/336	23.8kHz	29.8kHz	47.6kHz	59.5kHz	74.4kHz
			1	φ/200	40.0kHz	50.0kHz	80.0kHz	100kHz	125kHz
		1	0	φ/224	35.7kHz	44.6kHz	71.4kHz	89.3kHz	112kHz
			1	φ/256	31.3kHz	39.1kHz	62.5kHz	78.1kHz	97.7kHz

14.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスインタフェース 2 のコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有 / 開放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。クロック同期シリアルフォーマットの場合、本ビットは意味を持ちません。I²C バスフォーマットの場合、SCL = High レベルの状態 で SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態 で SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件 / 停止条件の発行は、MOV 命令を用いてください。</p>

14. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
6	SCP	1	R/W	<p>開始 / 停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0 : リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p>1 : リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令で行います。本ビットはリードすると常に 1 が読み出されます。</p>
3	SCLO	1	R	<p>SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。</p>
2	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>
1	IICRST	0	R/W	<p>IIC コントロール部リセット</p> <p>IICRST は I²C2 のレジスタを除くコントロール部をリセットします。I²C2 の動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I²C2 のコントロール部をリセットすることができます。</p>
0	-	1	-	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>

14. I²C バスインタフェース 2 (IIC2)

14.3.3 I²C バスモードレジスタ (ICMR)

ICMR は MSB ファースト / LSB ファーストの選択、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときは 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT は I ² C バスフォーマットでマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がったあと、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なお I ² C バスフォーマットのスレーブモードおよびクロック同期シリアルフォーマットの場合、本ビットの設定値は無効です。
5、4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2 ~ BC0 の書き込みを制御します。BC2 ~ BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。なおクロック同期シリアルモードでは BC の書き換えは行わないでください。 0 : ライト時、BC2 ~ BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2 ~ BC0 設定値は無効

ビット	ビット名	初期値	R/W	説 明																		
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I ² C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。 <table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">I²C バスフォーマット</td> <td style="width: 50%;">クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					
1	BC1	0	R/W																			
0	BC0	0	R/W																			

14.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0 : 送信データエンプティ割り込み要求 (TXI) の禁止 1 : 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可

14. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止 / 許可を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI) およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI) およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバーランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可 / 禁止を選択します。なお NAKI は、NACKF または OVE を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う。</p> <p>1: 受信アクノリッジが 1 の場合、転送を中断する。</p>
1	ACKBR	0	R	<p>受信アクノリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。</p> <p>0: 受信アクノリッジ = 0</p> <p>1: 受信アクノリッジ = 1</p>
0	ACKBT	0	R/W	<p>送信アクノリッジ</p> <p>受信モード時、アクノリッジのタイミングで送出するビットを設定します。</p> <p>0: アクノリッジのタイミングで 0 を送出</p> <p>1: アクノリッジのタイミングで 1 を送出</p>

14.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件 (再送含む) を発行したとき • スleepモードで受信モードから送信モードになったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
6	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • 命令で ICDRR をリードしたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [セット条件] <ul style="list-style-type: none"> • ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき

14. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスターモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスを SAR に設定したアドレスが一致した後、停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVE は、I²C バスフォーマットの場合、マスターモード時にバス競合負けをしたことを示します。またクロック同期フォーマットの場合、RDRF = 1 の状態で最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェース 2 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき マスターモードの場合、開始条件検出時、SDA 端子が High レベルのとき クロック同期フォーマットの場合、RDRF = 1 の状態で最終ビットを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第1フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでスレーブアドレスを検出したとき スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき

14.3.6 スレーブアドレスレジスタ (SAR)

SAR はフォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~0	すべて 0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0 : I ² C バスフォーマット選択 1 : クロック同期シリアルフォーマット選択

14.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。なお、ICMR の MLS ビットを 1 に設定した場合、ICDRT に書き込んだあと、リードすると MSB/LSB 反転したデータが読み出されます。ICDRT の初期値は H'FF です。

14.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

14.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

14.4 動作説明

I²C バスインタフェース 2 には、SAR の FS の設定により、I²C バスモードとクロック同期式シリアルモードで通信することができます。

14.4.1 I²C バスフォーマット

I²C バスフォーマットを図 14.3 に、I²C バスのタイミングを図 14.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

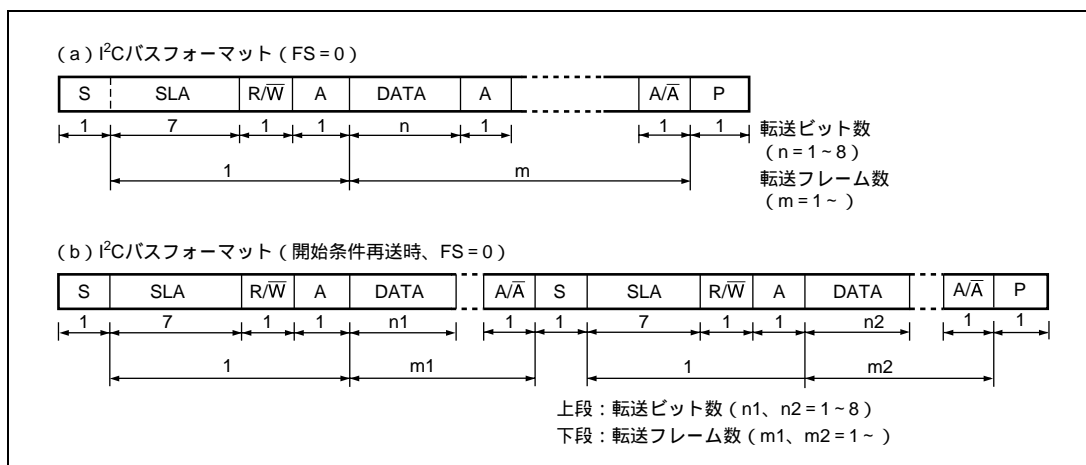


図 14.3 I²C バスフォーマット

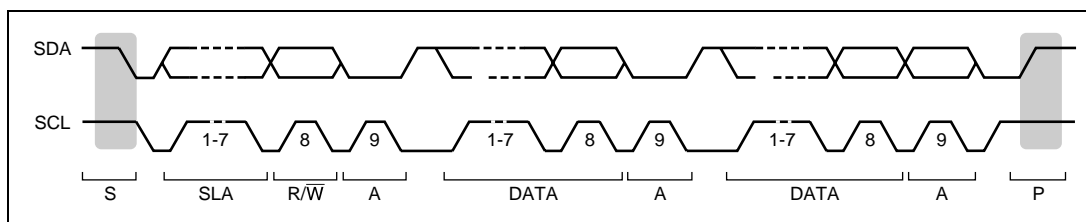


図 14.4 I²C バスタイミング

記号の説明

- S : 開始条件。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

14.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 14.5 と図 14.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識したあと、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識したあと、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されません。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

14. I²C バスインタフェース 2 (IIC2)

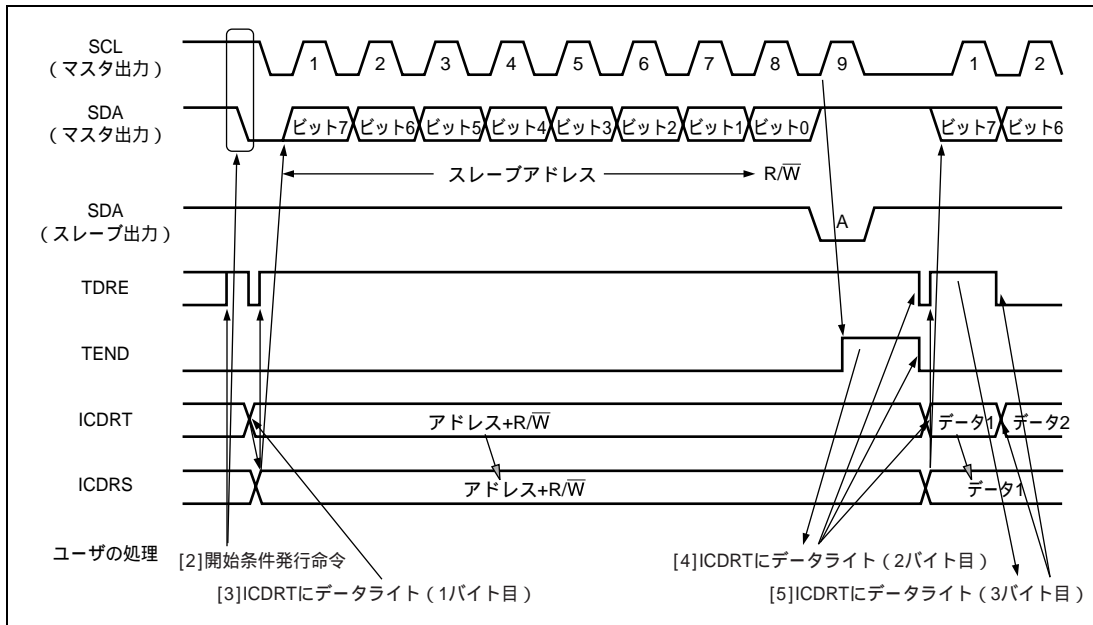


図 14.5 マスタ送信モード動作タイミング (1)

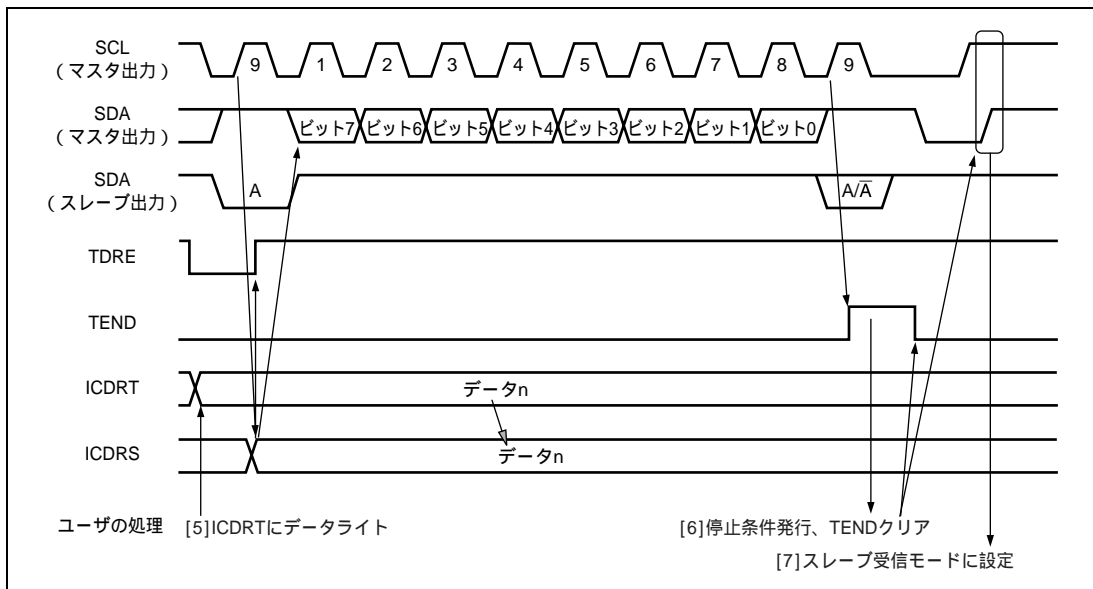


図 14.6 マスタ送信モード動作タイミング (2)

14.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してア
クノリッジを返します。マスタ受信モードの動作タイミングについては図 14.7 と図 14.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信
します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力し
ます。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRF
がセットされた状態で、ICDRRのリードが遅れて8クロック目の立ち上がりまでにリードできない場合に
は、RCVD=1にして1バイトの通信で処理を行ってください。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

14. I²C バスインタフェース 2 (IIC2)

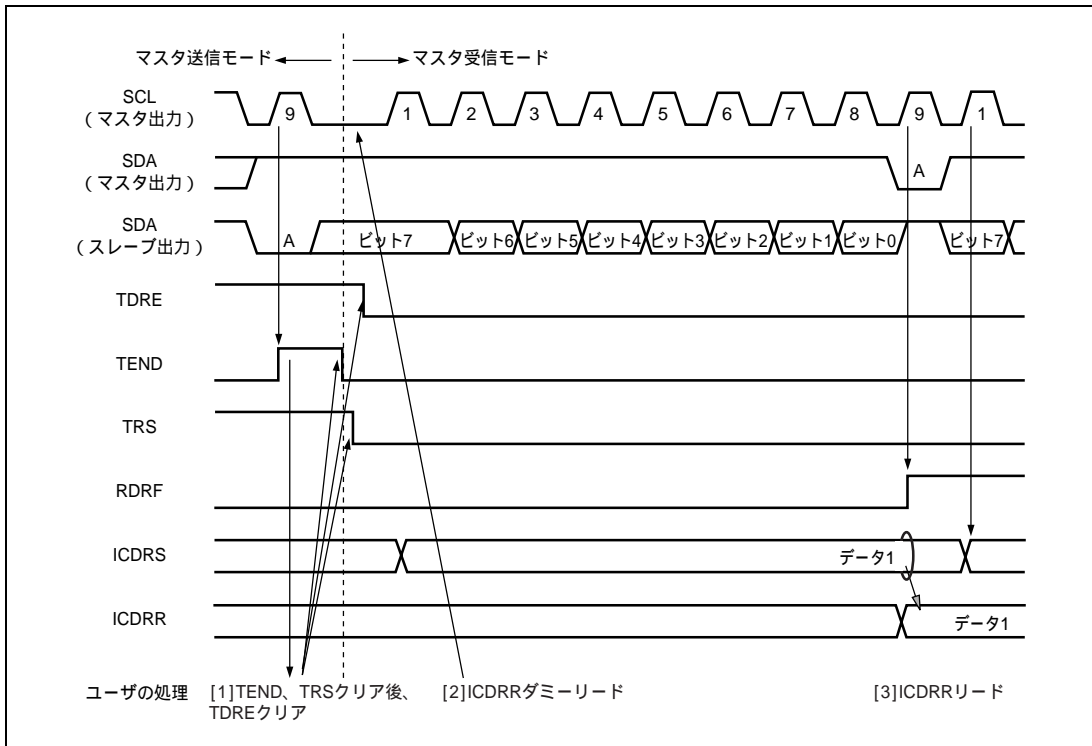


図 14.7 マスタ受信モード動作タイミング (1)

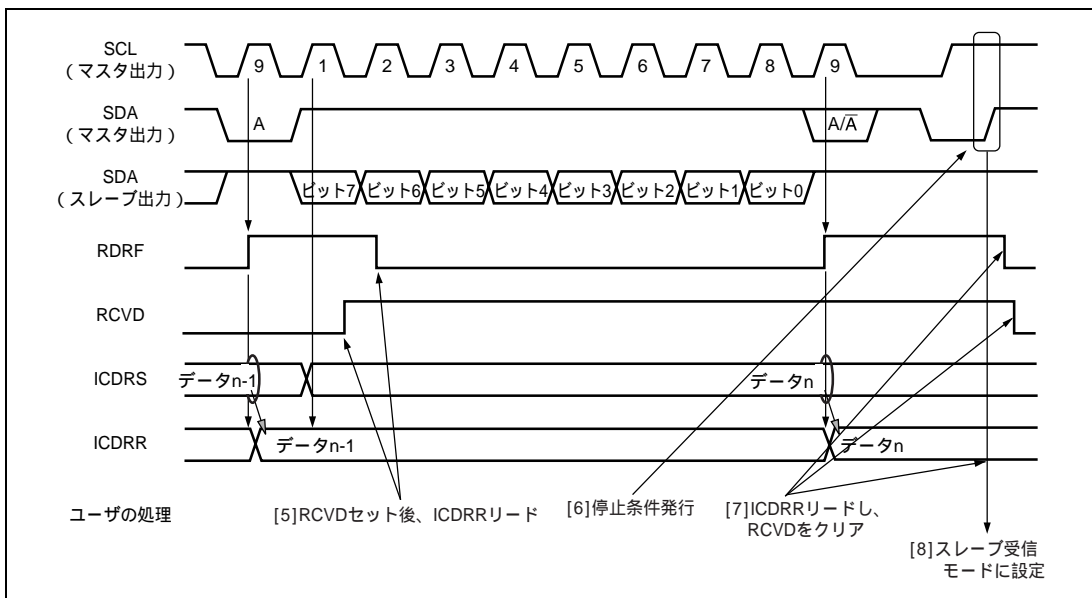


図 14.8 マスタ受信モード動作タイミング (2)

14.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 14.9 と図 14.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出したあとの第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトしたあとにTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

14. I²C バスインタフェース 2 (IIC2)

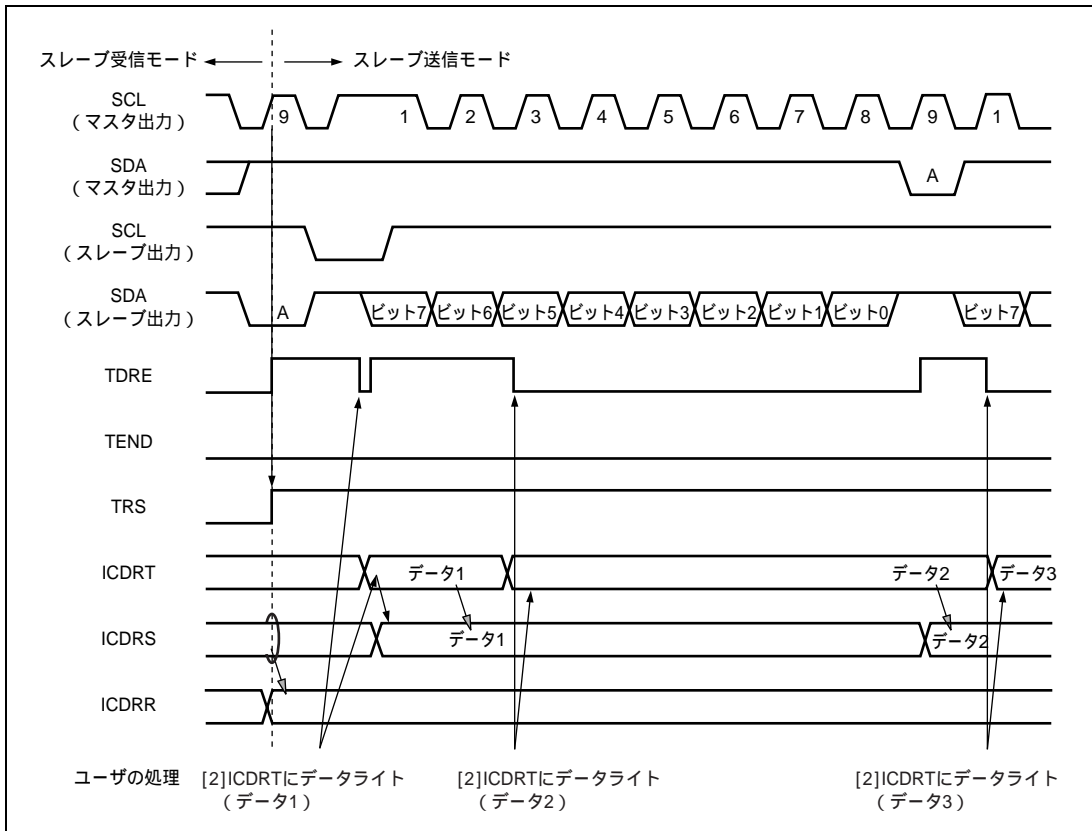


図 14.9 スレーブ送信モード動作タイミング (1)

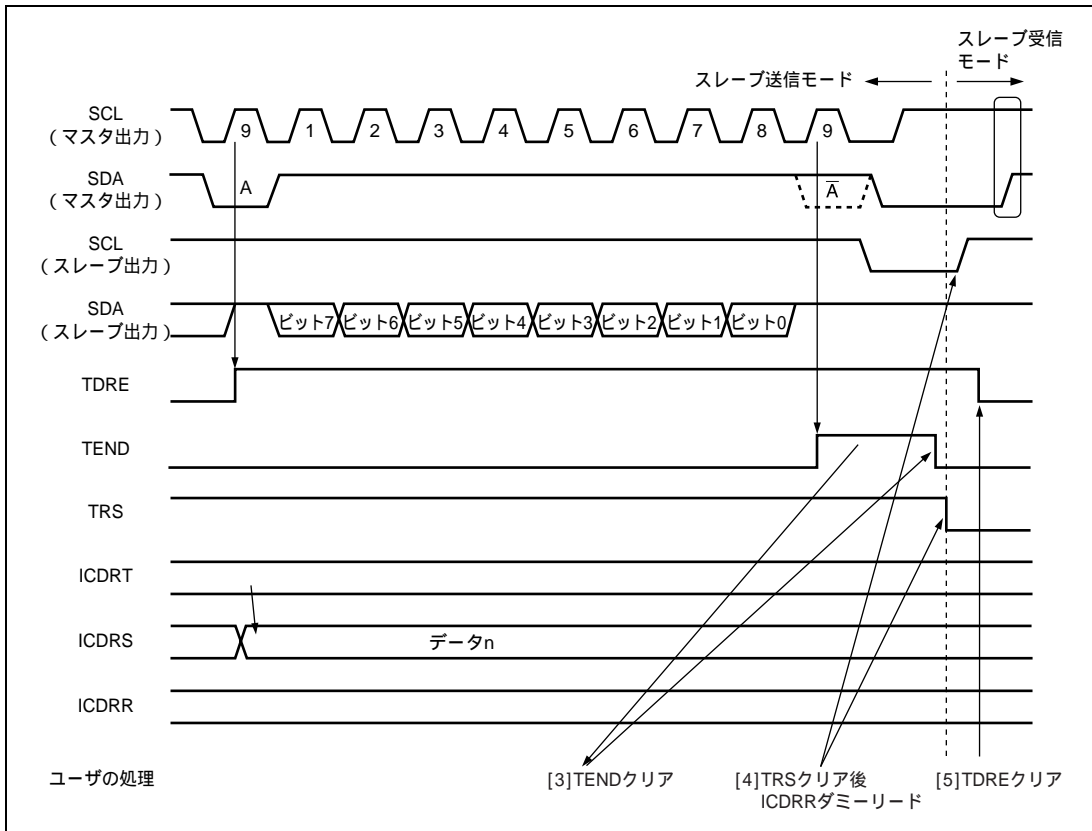


図 14.10 スレーブ送信モード動作タイミング (2)

14.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 14.11 と図 14.12 を参照してください。また、ポートの状態によっては、フラグがセットされる可能性がありますので、ICSR のすべてのビットをクリアしてから初期設定を行ってください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。

14. I²C バスインタフェース 2 (IIC2)

4. 最終バイトのリードも同様にICDRRのリードにより行います。

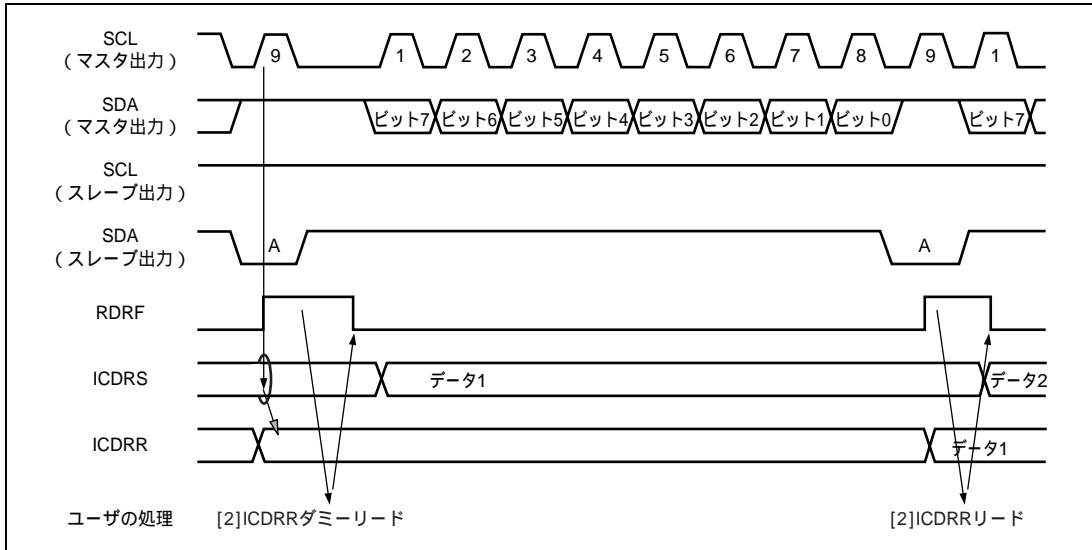


図 14.11 スレーブ受信モード動作タイミング (1)

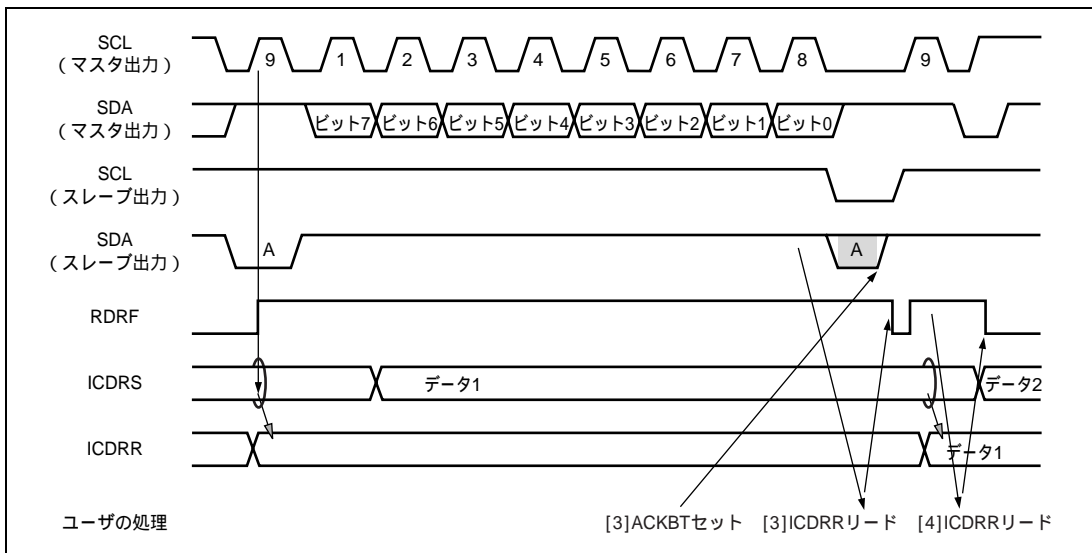


図 14.12 スレーブ受信モード動作タイミング (2)

14.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき外部クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルの転送フォーマットを図 14.13 に示します。

転送データは SCL クロックの立ち下がりから立ち下がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

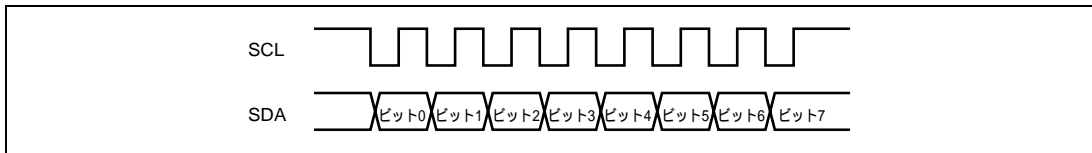


図 14.13 クロック同期式シリアルの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 14.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0などを設定します（初期設定）。
2. ICCR1のTRSをセットして送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

14. I²C バスインタフェース 2 (IIC2)

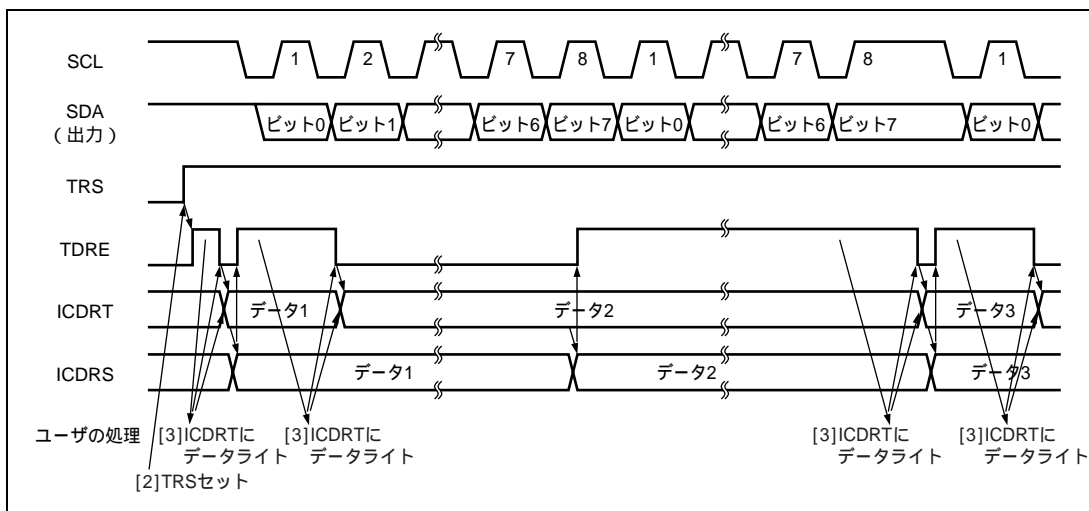


図 14.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。受信モード動作タイミングについては図 14.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバーランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

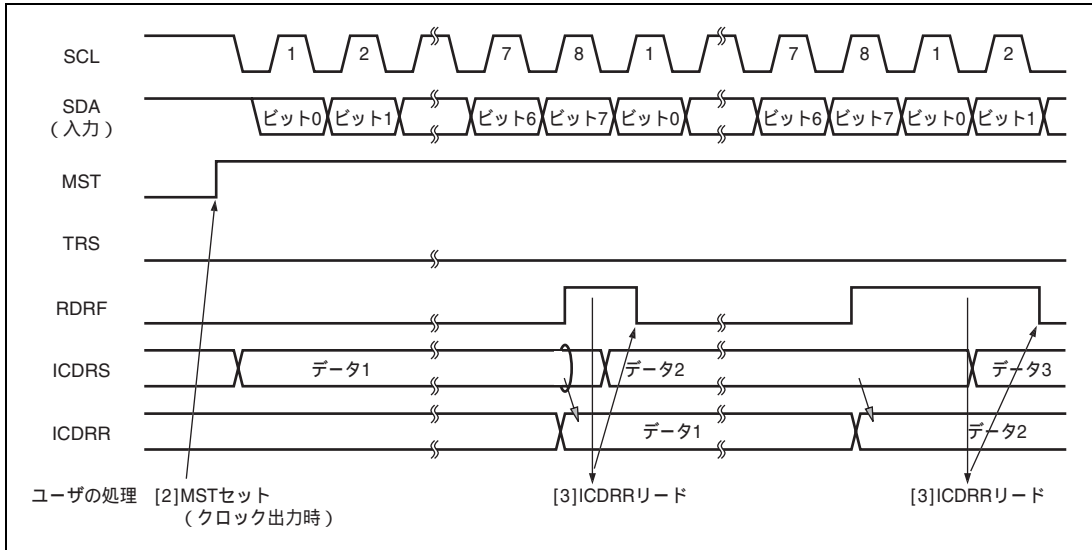


図 14.15 受信モード動作タイミング

14.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 14.16 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

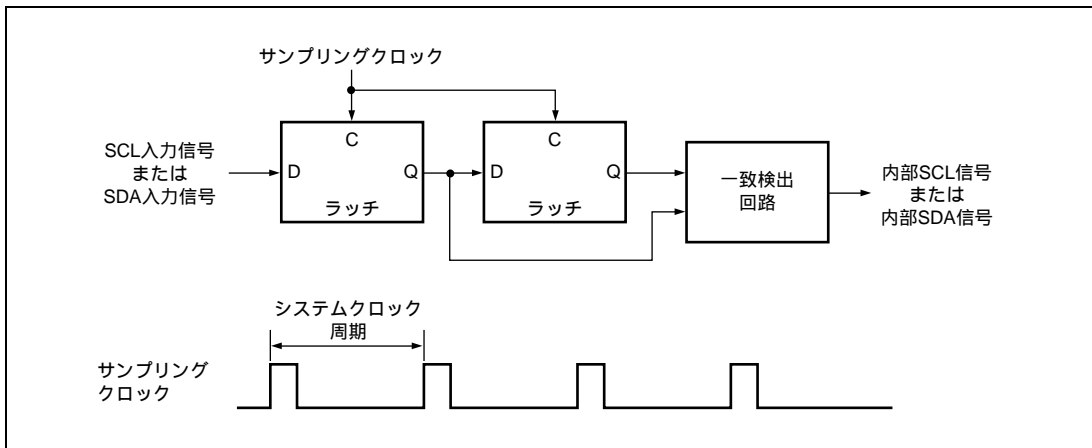


図 14.16 ノイズ除去回路のブロック図

14.4.8 使用例

I²C バスインタフェース 2 を使用する場合の各モードでのフローチャート例を図 14.17 ~ 図 14.20 に示します。

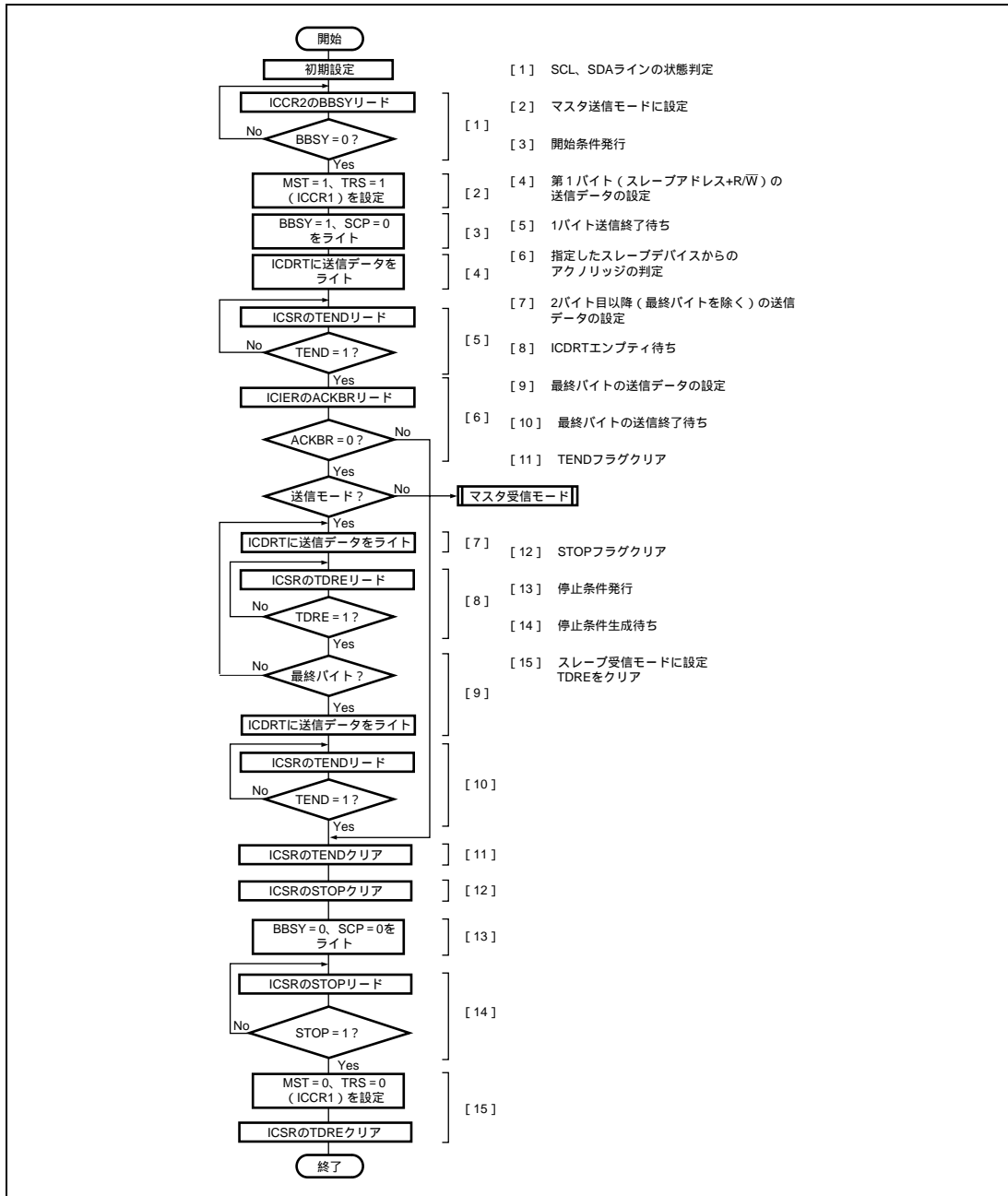


図 14.17 マスタ送信モードのフローチャート例

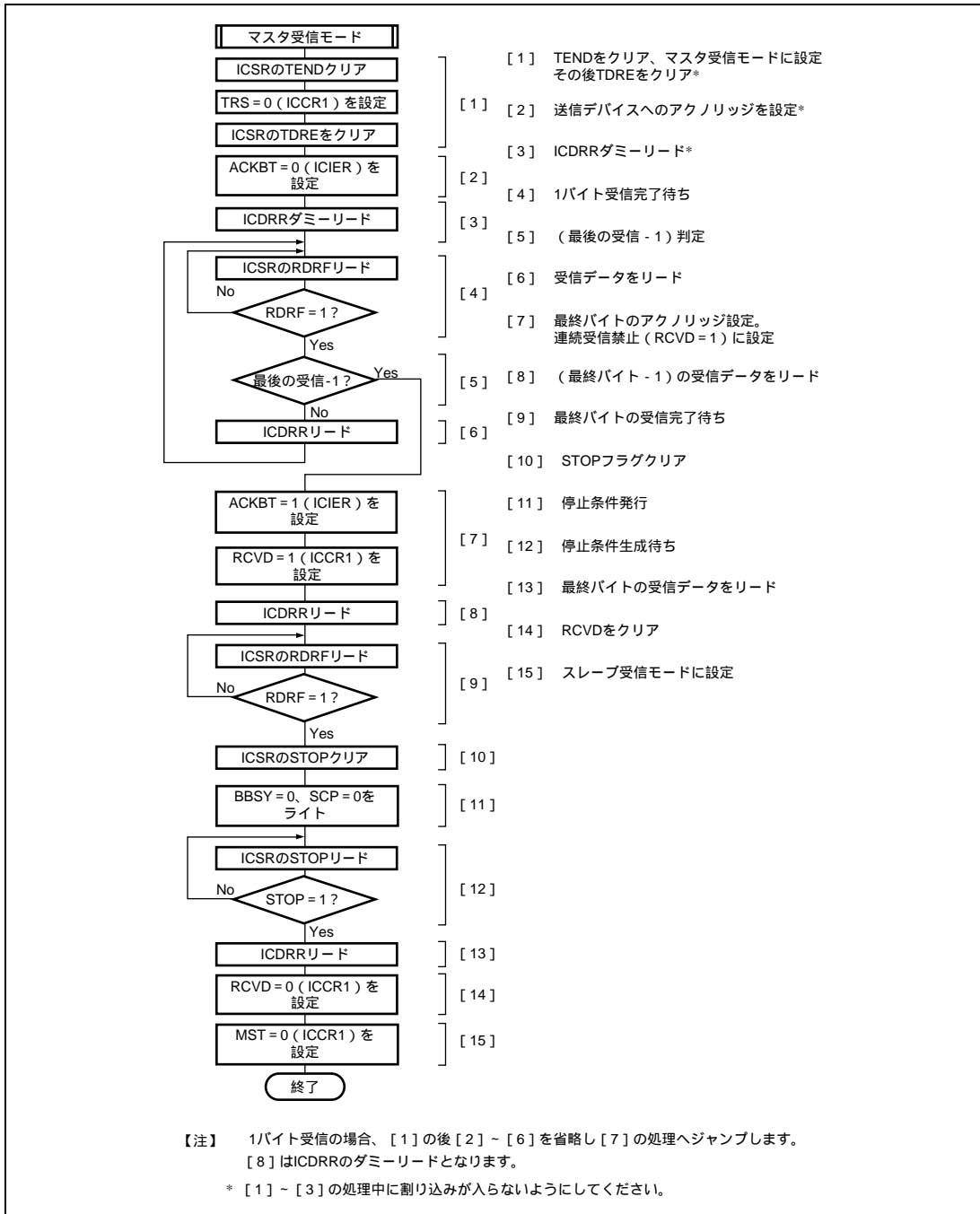


図 14.18 マスタ受信モードのフローチャート例

14. I²C バスインタフェース 2 (IIC2)

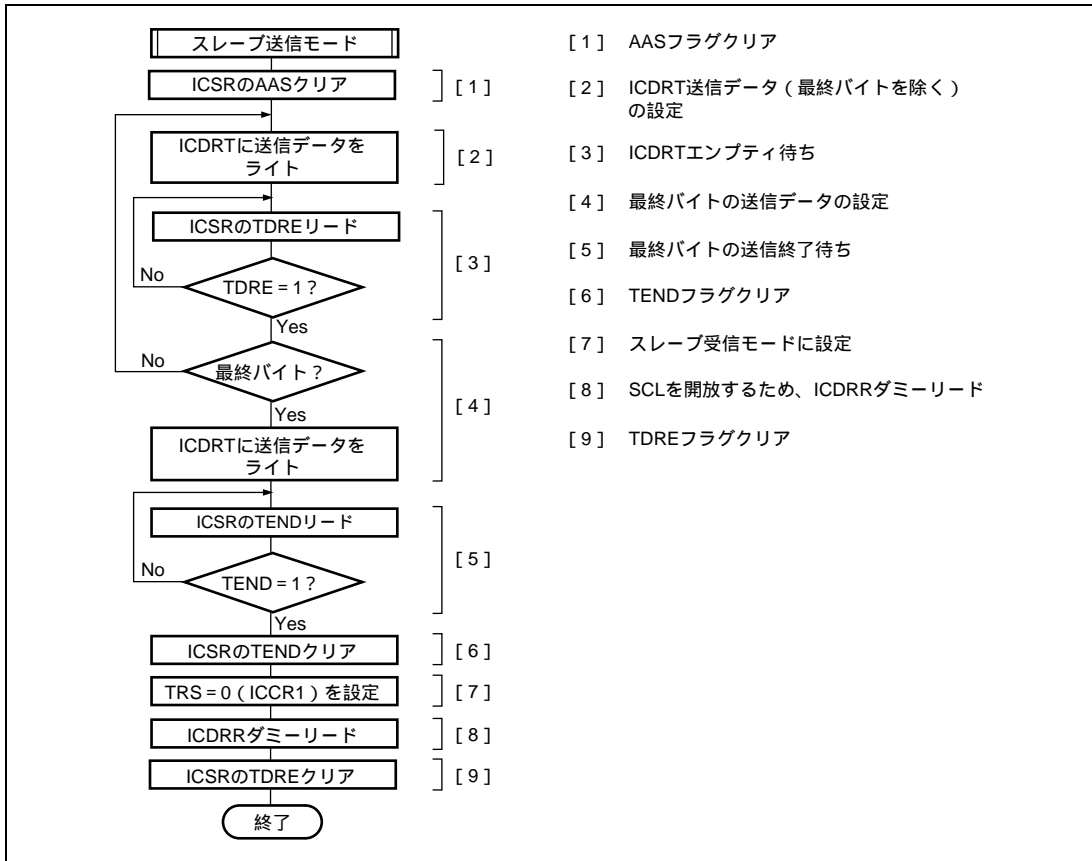


図 14.19 スレーブ送信モードフローチャート例

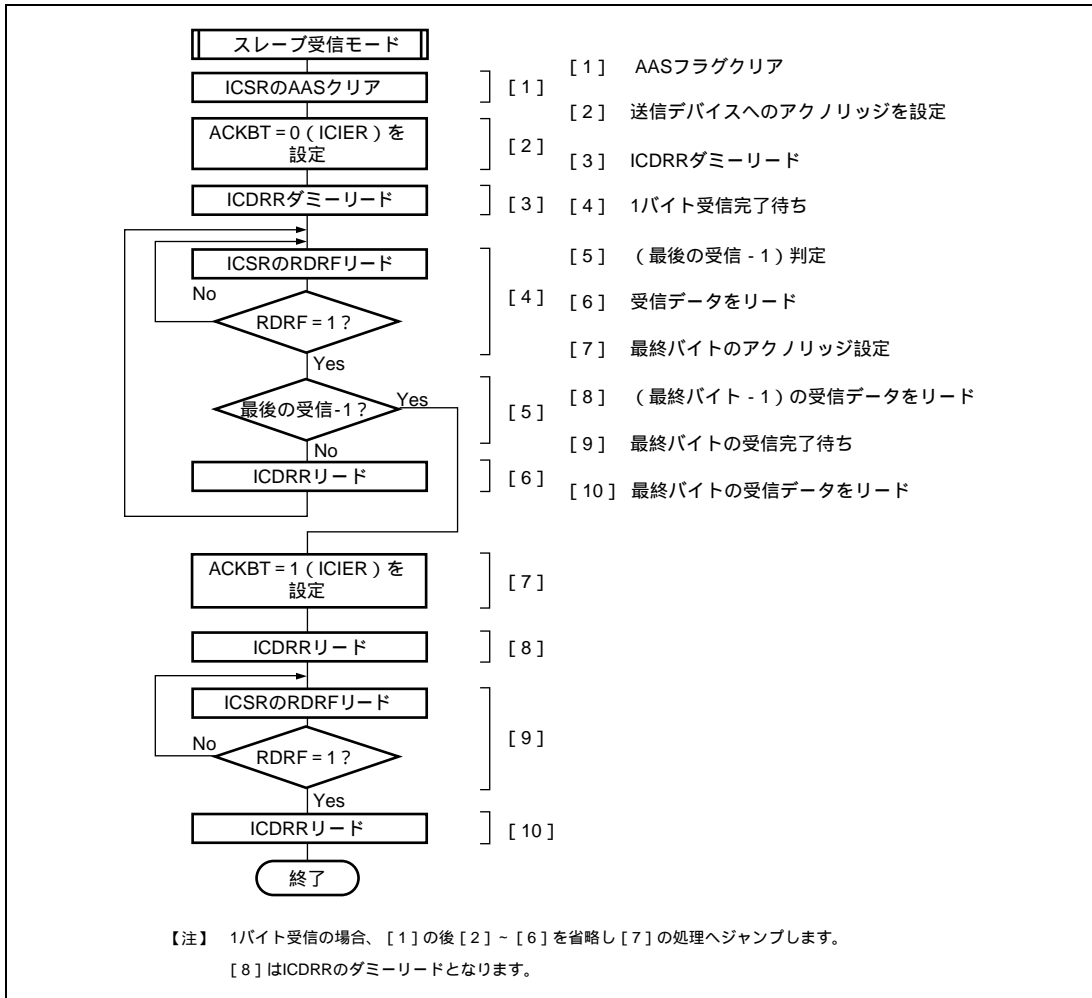


図 14.20 スレーブ受信モードフローチャート例

14.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバランエラーの 6 種類があります。表 14.3 に各割り込み要求の内容を示します。

表 14.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C モード	クロック同期モード
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$		
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$		
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$		
停止条件検出	STPI	$(STOP = 1) \cdot (STIE = 1)$		×
NACK 検出	NAKI	$\{ (NACKF = 1) + (AL = 1) \} \cdot (NAKIE = 1)$		×
アービトレーションロスト/ オーバランエラー				

表 14.3 の割り込み条件が 1 がかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

14.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 14.21 に、SCL を Low 出力→Hi-Z にしてから SCL をモニタするまでの時間を表 14.4 に示します。

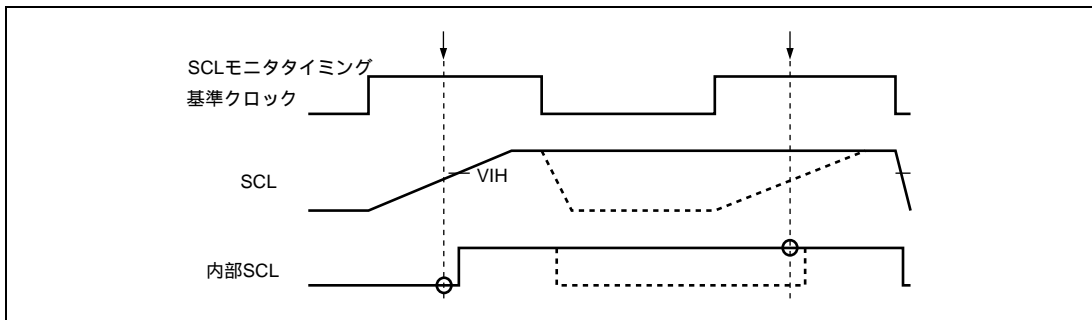


図 14.21 ビット同期回路のタイミング

表 14.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 t _{cyc}
	1	19.5 t _{cyc}
1	0	17.5 t _{cyc}
	1	41.5 t _{cyc}

14.7 使用上の注意事項

14.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IIC2 の動作禁止 / 許可を設定することが可能です。初期値では、IIC2 の動作は停止します。モジュールストップモードを解除することによりレジスタのアクセスが可能になります。詳細は「第 22 章 低消費電力状態」を参照してください。

14.7.2 停止条件および開始条件の発行について

停止条件の発行および開始条件（再送）の発行は 9 クロック目の立ち下がりを読み込んでから行ってください。9 クロック目の立ち下がりには I²C コントロールレジスタ 2 (ICCR2) の SCLO をチェックすることにより認識することができます。

下記 (1) または (2) の条件下で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。この条件以外での使用は問題ありません。

- (1) SCL バスの負荷（負荷容量、プルアップ抵抗）により SCL の立ち上がりが「14.6 ビット同期回路」の項に規定されている時間以上なまっている場合
- (2) スレーブデバイスが 8 クロック目と 9 クロック目の "Low" 期間を引っ張ってビット同期回路が働いた場合

14.7.3 I²C バスモードレジスタ (ICMR) の WAIT ビットについて

I²C バスモードレジスタ (ICMR) の WAIT は 0 の状態で使用してください。

WAIT を 1 にセットして使用したとき、かつスレーブデバイスが 8 クロック目と 9 クロック目の "Low" 期間を 2 転送クロック分以上 SCL を "Low" に引っ張ったときに、9 クロック目に "High" 期間が短くなる場合があります。この条件以外での使用は問題ありません。

14.7.4 マスタ受信モードの注意事項について

マスタ受信モードで使用した場合、RDRF=1 の状態で 8 クロック目の立ち下がりがくると SCL を "Low" に引っ張りますが、8 クロック目の立ち下がり付近で ICDRR をリードすると、次の受信データの 8 クロック目を 1 クロック分 "Low" に固定するだけでその後 ICDRR をリードしなくても SCL の固定を解除し 9 クロック目を出力します。結果として受信データの取りこぼしとなります。

この現象を回避するためには下記方法があります。

- マスタ受信モードで ICDRR をリードする処理は 8 クロック目の立ち上がりまでに行ってください。
- マスタ受信モードで RCVD=1 にし 1 バイトごとの通信で処理を行ってください。

14.7.5 マルチマスタで使用時の転送レート設定値の制限について

マルチマスタで使用し、本 LSI の IIC 転送レートの設定が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。この現象を回避するためには、他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定してください。たとえば、他の一番速いマスタが 400kbps の場合、本 LSI の IIC の転送レートは 233kbps ($=400/1.8$) 以上の設定値にする必要があります。

14.7.6 マルチマスタで使用時の MST、TRS 設定時のビット操作命令使用制限について

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSR の AL=1 かつマスタ送信モード (MST=1、TRS=1) のようにに矛盾した状態になっている場合があります。

この現象を回避するためには下記方法があります。

- マルチマスタで使用時、MST、TRS の設定は MOV 命令で行ってください。
- アービトレーションロストした場合、MST=0、TRS=0 を確認してください。万が一、MST=0、TRS=0 以外の状態の場合、MST=0、TRS=0 を設定し直してください。

15. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 16 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 15.1 に示します。

15.1 特長

- 分解能：10ビット
- 入力チャンネル：16チャンネル
- 変換時間：1チャンネル当たり13.3 μ s（20MHz動作時）、10.1 μ s（26MHz動作時）
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - タイマ（TPUまたは8ビットタイマ）の変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能
- アナログ変換電圧範囲の設定可能
 - リファレンス電圧端子（Vref）をアナログ基準電圧としてアナログ変換電圧範囲を設定

15. A/D変換器

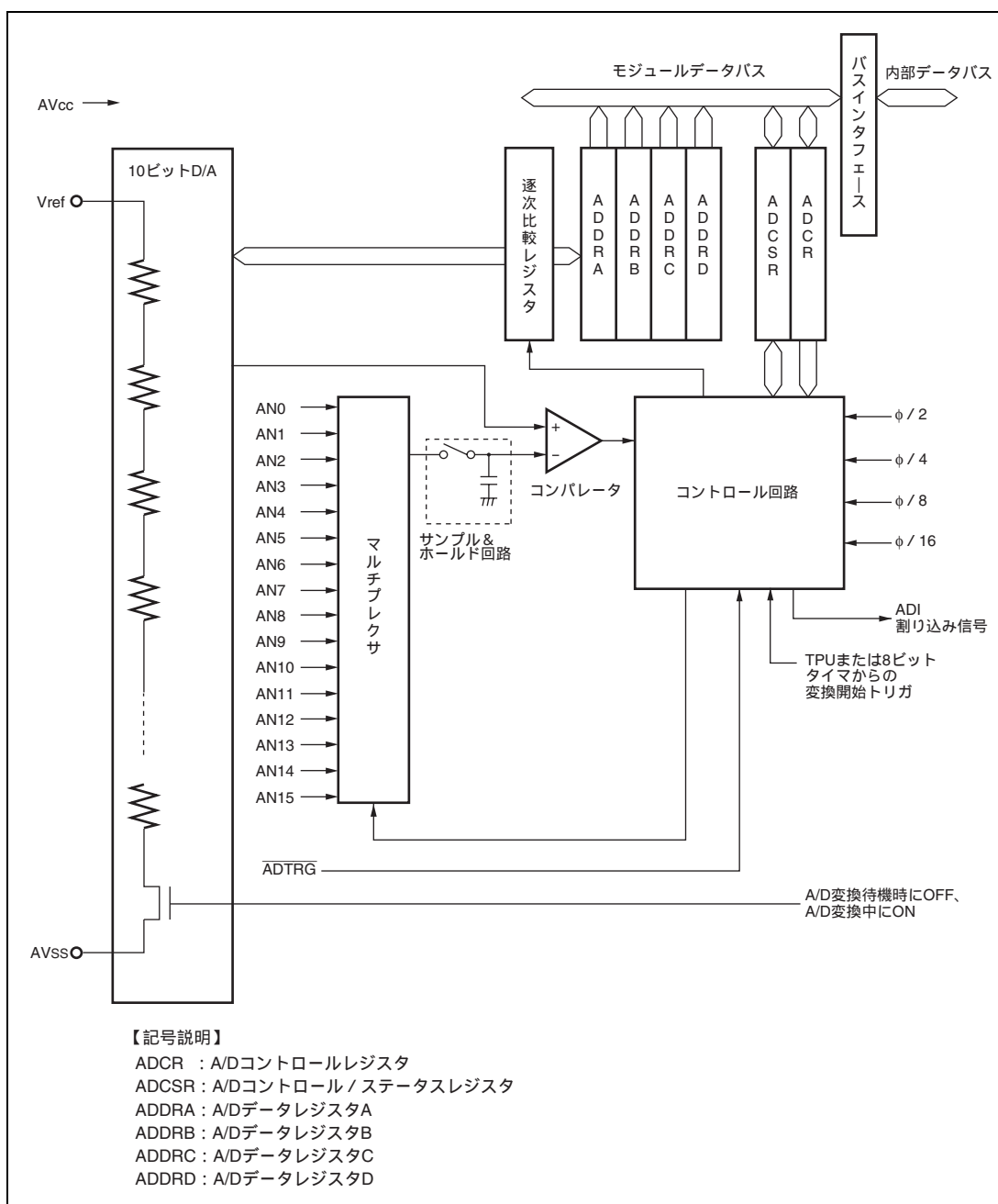


図 15.1 A/D変換器のブロック図

15.2 入出力端子

A/D 変換器で使用する端子を表 15.1 に示します。アナログ入力端子 (AN0 ~ AN15) は 2 チャネルセット 4 グループに分割されています。アナログ入力端子 0 ~ 7 (AN0 ~ AN7) がチャネルセット 0、アナログ入力端子 8 ~ 15 (AN8 ~ AN15) がチャネルセット 1、アナログ入力端子 0 ~ 3、8 ~ 11 (AN0 ~ AN3、AN8 ~ AN11) がグループ 0、アナログ入力端子 4 ~ 7、12 ~ 15 (AN4 ~ AN7、AN12 ~ AN15) がグループ 1 になっています。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。Vref は、A/D 変換基準電圧端子です。

表 15.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	チャネルセット 0 (CH3 = 0) グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	チャネルセット 0 (CH3 = 0) グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	チャネルセット 1 (CH3 = 1) グループ 0 のアナログ入力端子
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
アナログ入力端子 12	AN12	入力	チャネルセット 1 (CH3 = 1) グループ 1 のアナログ入力端子
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力端子

15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)」を参照してください。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

15.3.1 A/D データレジスタ A ~ D (ADDRA ~ ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA ~ ADDRD の 4 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 15.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

表 15.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル				変換結果が格納される A/D データレジスタ
チャンネルセット 0 (CH3=0)		チャンネルセット 1 (CH3=1)		
グループ 0 (CH2=0)	グループ 1 (CH2=1)	グループ 0 (CH2=0)	グループ 1 (CH2=1)	
AN0	AN4	AN8	AN12	ADDRA
AN1	AN5	AN9	AN13	ADDRB
AN2	AN6	AN10	AN14	ADDRC
AN3	AN7	AN11	AN15	ADDRD

15.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明									
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードしたあと、0 をライトしたとき • ADI 割り込みによりデータトランスファコントローラ (DTC) が起動され、DTC の DISEL が 0 でかつ転送カウンタが 0 でないとき 									
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。									
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、ハードウェアスタンバイモードまたはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。 ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力端子 (ADTRG) によって 1 にセットすることができます。									
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 SCAN ビットの設定は A/D 変換停止中 (ADST = 0) に行ってください。 0 : シングルモード 1 : スキャンモード									
3	CH3	0	R/W	チャンネルセレクト 3 グループ 0、グループ 1 に割り付けられるアナログチャンネルを切り替えます。 <table style="margin-left: auto; margin-right: auto;"> <tr> <td></td> <td style="text-align: center;">グループ 0</td> <td style="text-align: center;">グループ 1</td> </tr> <tr> <td>0 : チャンネルセット 0</td> <td style="text-align: center;">AN0 ~ AN3</td> <td style="text-align: center;">AN4 ~ AN7</td> </tr> <tr> <td>1 : チャンネルセット 1</td> <td style="text-align: center;">AN8 ~ AN11</td> <td style="text-align: center;">AN12 ~ AN15</td> </tr> </table>		グループ 0	グループ 1	0 : チャンネルセット 0	AN0 ~ AN3	AN4 ~ AN7	1 : チャンネルセット 1	AN8 ~ AN11	AN12 ~ AN15
	グループ 0	グループ 1											
0 : チャンネルセット 0	AN0 ~ AN3	AN4 ~ AN7											
1 : チャンネルセット 1	AN8 ~ AN11	AN12 ~ AN15											

15. A/D 変換器

ビット	ビット名	初期値	R/W	説明
2	CH2	0	R/W	チャンネルセレクト 2-0
1	CH1	0	R/W	アナログ入力チャンネルを選択します。
0	CH0	0	R/W	SCAN=0 のとき SCAN=1 のとき チャンネルセット 0 (CH3=0) 000 : AN0 000 : AN0 001 : AN1 001 : AN0、AN1 010 : AN2 010 : AN0 ~ AN2 011 : AN3 011 : AN0 ~ AN3 100 : AN4 100 : AN4 101 : AN5 101 : AN4、AN5 110 : AN6 110 : AN4 ~ AN6 111 : AN7 111 : AN4 ~ AN7 チャンネルセット 1 (CH3=1) 000 : AN8 000 : AN8 001 : AN9 001 : AN8、AN9 010 : AN10 010 : AN8 ~ AN10 011 : AN11 011 : AN8 ~ AN11 100 : AN12 100 : AN12 101 : AN13 101 : AN12、AN13 110 : AN14 110 : AN12 ~ AN14 111 : AN15 111 : AN12 ~ AN15

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7 6	TRGS1 TRGS0	0 0	R/W R/W	タイマトリガセレクト 1、0 トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時(ADST=0)に行ってください。 00 : ソフトウェアによる A/D 変換の開始 01 : TPU からの変換トリガによる A/D 変換の開始 10 : 8 ビットタイマの変換開始トリガによる A/D 変換開始 11 : ADTRG による A/D 変換の開始
5、4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 A/D 変換時間の設定を行います。A/D 変換時間の切り替えは、A/D 変換停止時(ADST=0)に行ってください。変換時間の設定は「24.5 A/D 変換特性」に示す変換時間以上にしてください。 00 : 530 ステート(max.) 01 : 266 ステート(max.) 10 : 134 ステート(max.) 11 : 68 ステート(max.)
1、0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

15.4 バスマスタとのインタフェース

ADDRA ~ ADDR4 は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

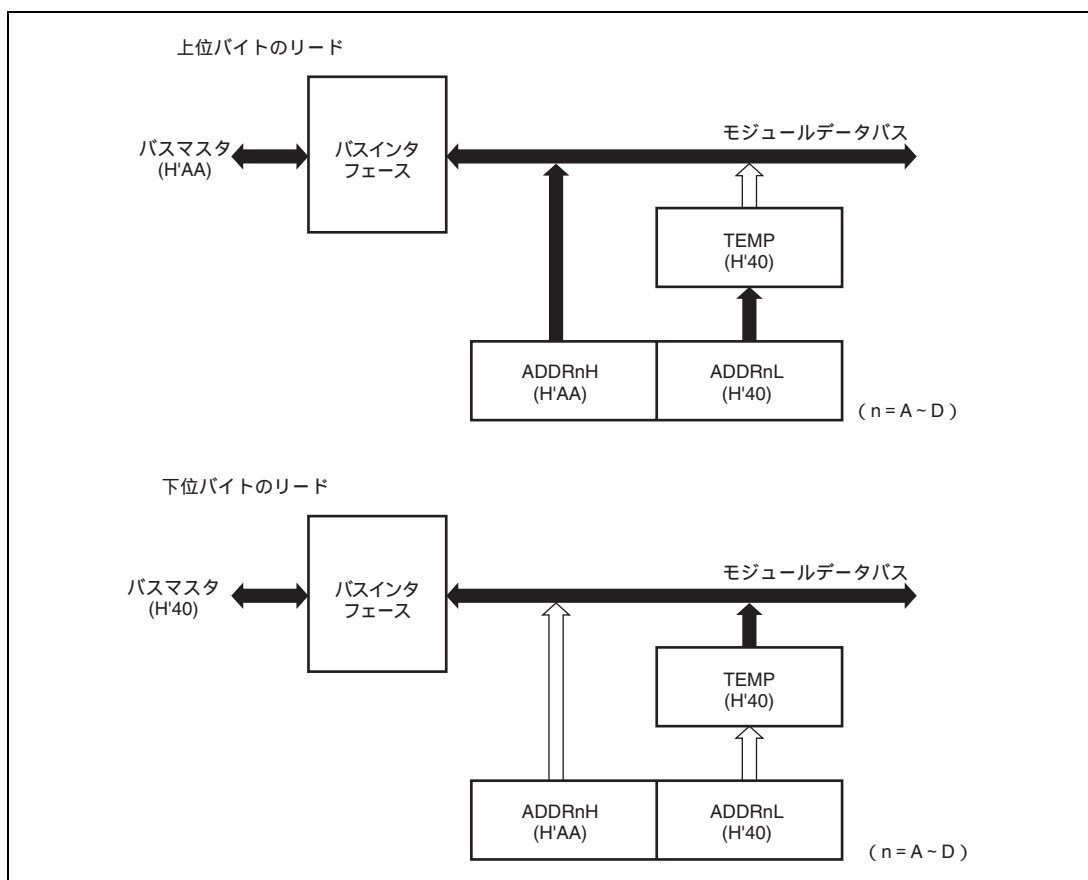


図 15.2 ADDR のアクセス動作 (H'AA40 リード時)

15.5 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

15.5.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると変換を中止し、A/D 変換器は待機状態になります。

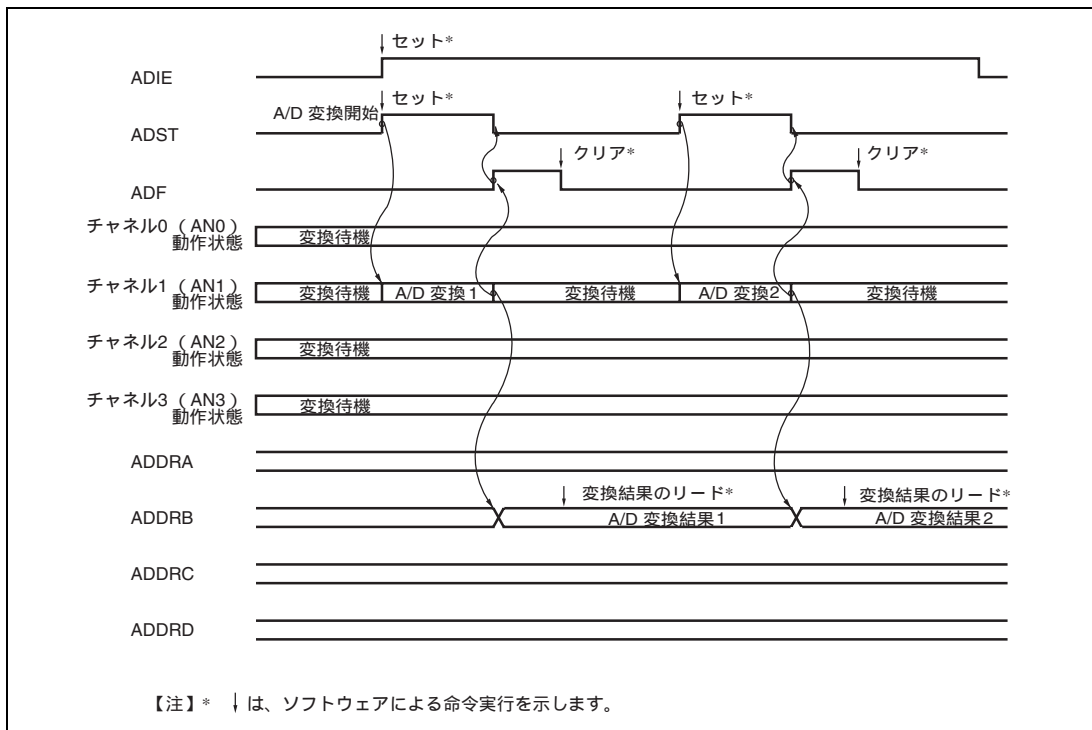


図 15.3 A/D 変換器の動作例 (シングルモード チャネル 1 選択時)

15.5.2 スキャンモード

スキャンモードは指定された最大 4 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH3=0、CH2=0 のとき AN0、CH3=0、CH2=1 のとき AN4、CH3=1、CH2=0 のとき AN8、CH3=1、CH2=1 のとき AN12) から A/D 変換を開始します。
2. それぞれのチャンネルの A/D 変換が終了すると A/D 変換結果は順次そのチャンネルに対応する A/D レジスタに転送されます。
3. 選択されたすべてのチャンネルの A/D 変換が終了すると ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びグループの第一チャンネルから A/D 変換を開始します。
4. ADST ビットは自動的にクリアされず、1 にセットされている間は 2~3 を繰り返します。ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。その後、ADST ビットを 1 にセットすると再び第 1 チャンネルから A/D 変換を開始します。

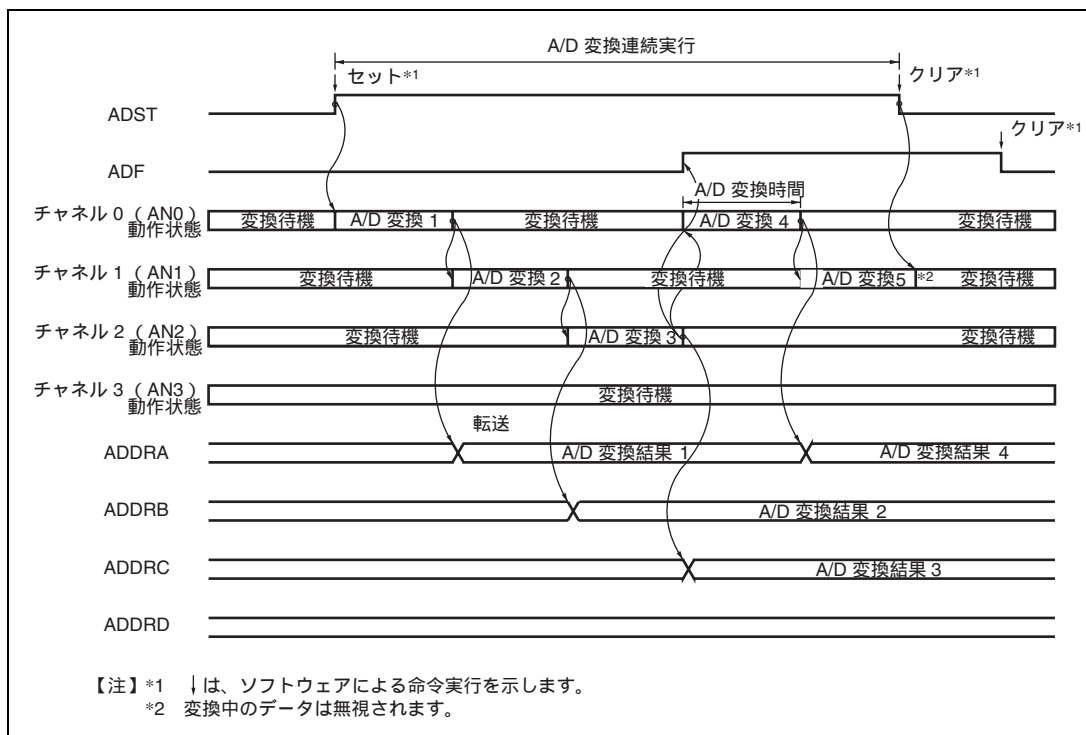


図 15.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)

15.5.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_D)時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.3 に示します。

A/D 変換時間(t_{CONV})は、図 15.5 に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.3 に示す範囲で変化します。

A/D 変換時間の設定は ADST=0 の状態で ADCR の CKS0、CKS1 ビットを操作してください。また、変換時間の設定は「24.5 A/D 変換特性」に示す変換時間以上に行ってください。

スキャンモードの変換時間は、表 15.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 15.4 に示す値となります。

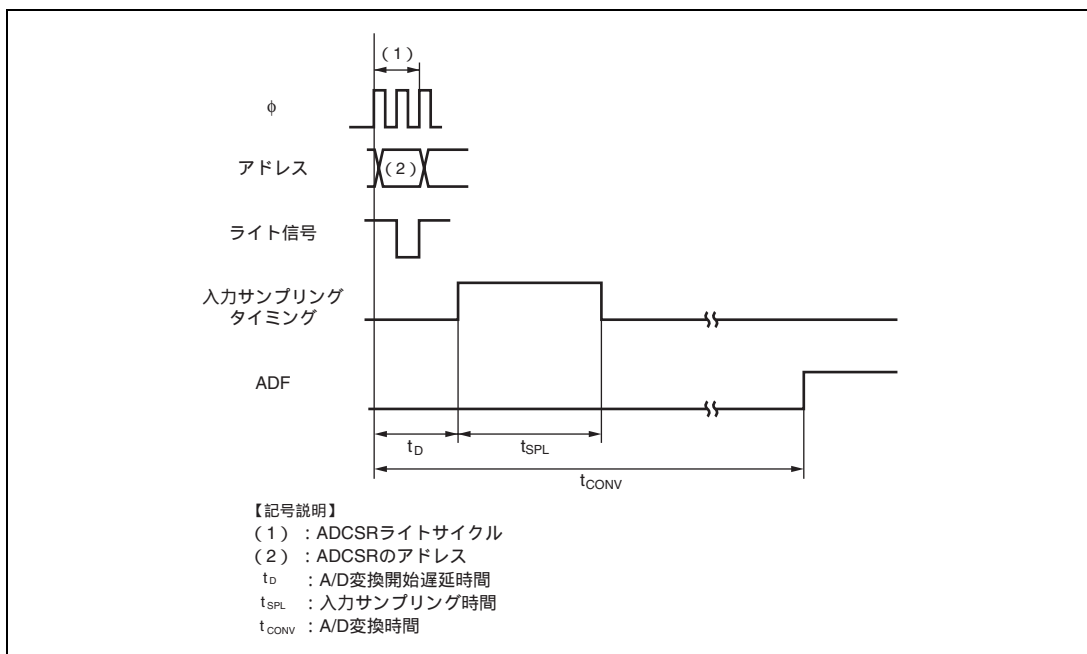


図 15.5 A/D 変換タイミング

15. A/D 変換器

表 15.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.
A/D 変換開始遅延時間	t _{bd}	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	t _{SPL}	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	t _{CONV}	515	-	530	259	-	266	131	-	134	67	-	68

【注】 表中の数値の単位はステートです。

表 15.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

15.5.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットがそれぞれ 1 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち上がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード / スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.6 に示します。

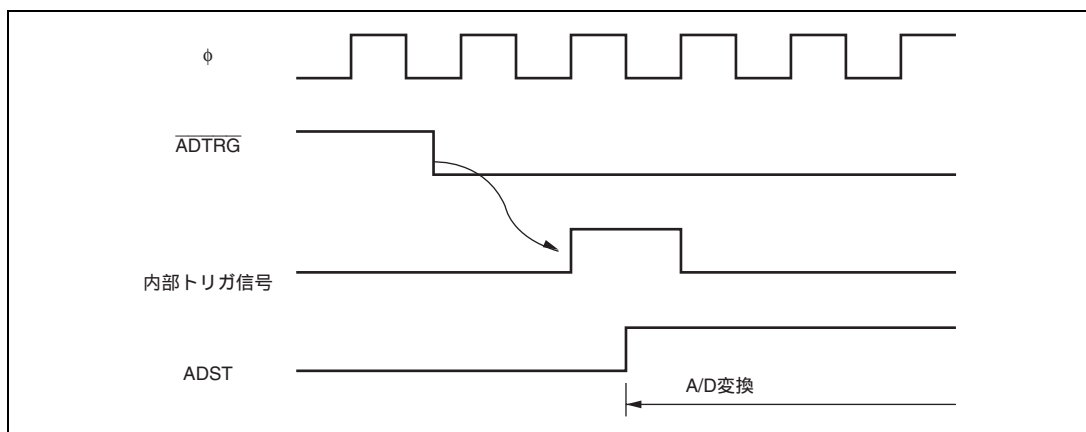


図 15.6 外部トリガ入力タイミング

15.6 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みでデータトランスファコントローラ(DTC)の起動ができます。ADI 割り込みで変換されたデータのリードを DTC で行くと、連続変換がソフトウェアの負担なく実現できます。

表 15.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI	A/D 変換終了	ADF	可

15.7 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図15.7)

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'0000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.8)

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.8)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図15.8)

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

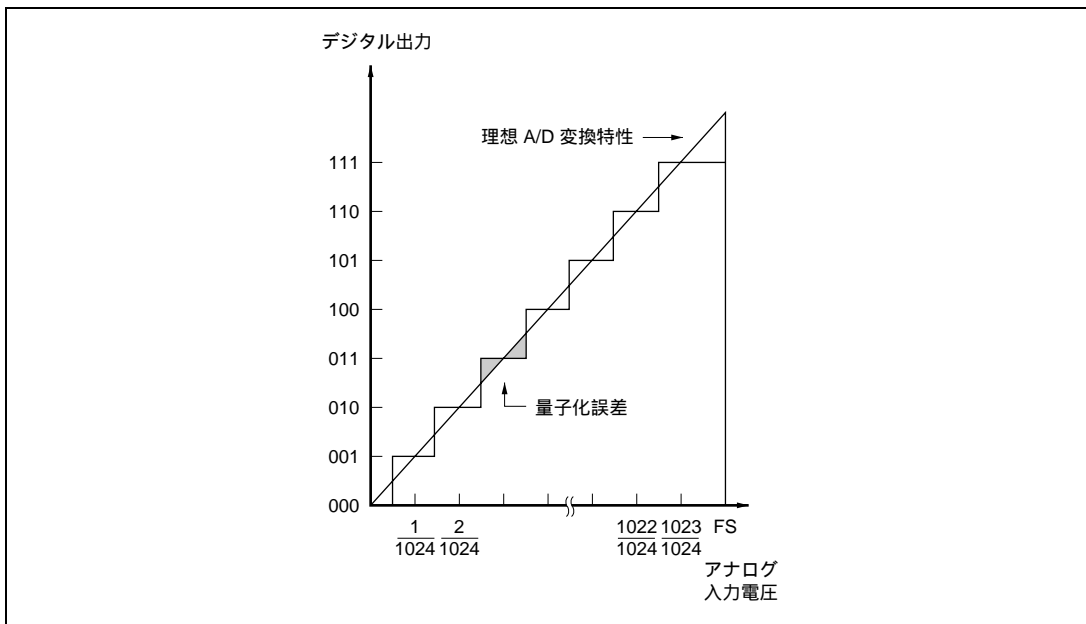


図 15.7 A/D 変換精度の定義

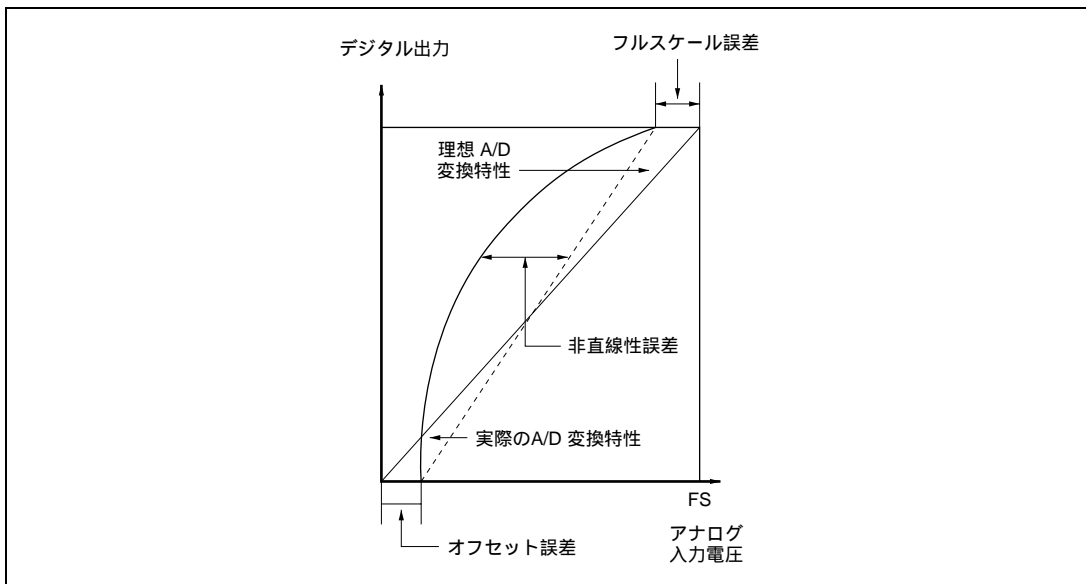


図 15.8 A/D 変換精度の定義

15.8 使用上の注意事項

15.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止 / 許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

15.8.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 15.9）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

15.8.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AVSS 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

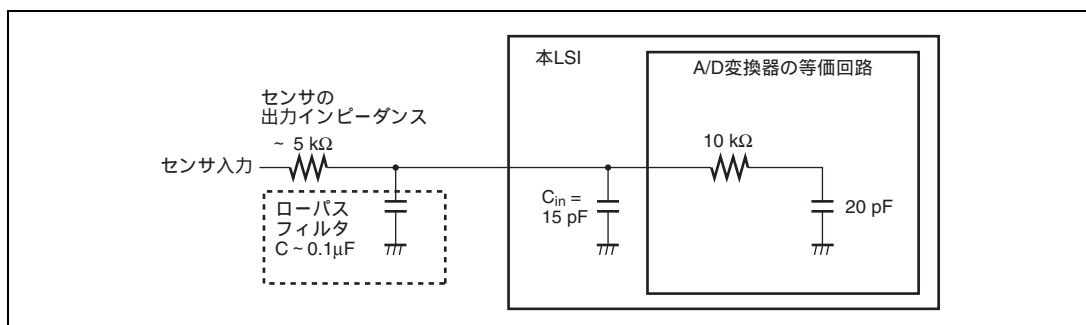


図 15.9 アナログ入力回路の例

15.8.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧はAVSS ANn AVCCの範囲としてください。

- AVCC、AVSSとVCC、VSSの関係

AVCC、AVSSとVCC、VSSとの関係はAVSS = VSSとし、さらに、A/D変換器を使用しないときもAVCC、AVSS端子をオープンにしないでください。

- Vrefの設定範囲

Vref端子によるリファレンス電圧の設定範囲はVref AVCCにしてください。

15.8.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN15）、アナログ電源電圧（AVCC）は、アナロググランド（AVSS）で、デジタル回路と分離してください。さらに、アナロググランド（AVSS）は、ボード上の安定したグランド（VSS）に一点接続してください。

15.8.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN15）の破壊を防ぐために、図 15.10 に示すように AVCC - AVSS 間に保護回路を接続してください。AVCC に接続するバイパスコンデンサ、AN0～AN15 に接続するフィルタ用のコンデンサは、必ず AVSS に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN15 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（ R_{in} ）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

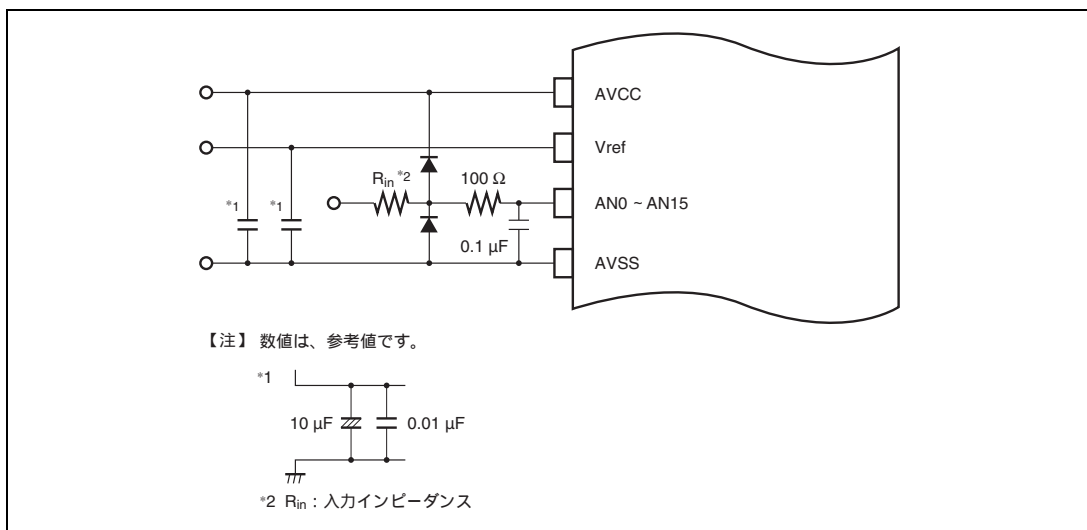


図 15.10 アナログ入力保護回路の例

表 15.6 アナログ端子の規格

項目	min.	max.	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k Ω

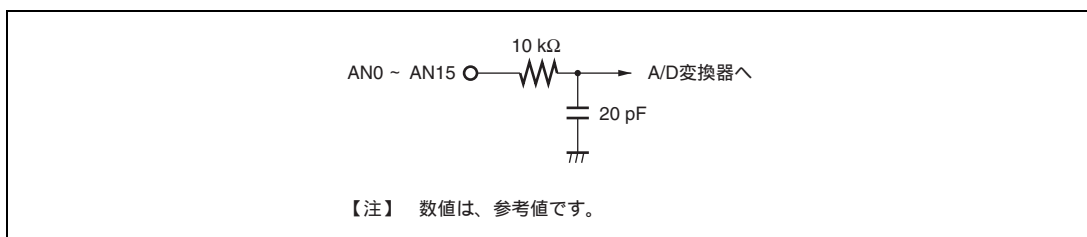


図 15.11 アナログ入力端子等価回路

16. D/A 変換器

16.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s（負荷容量20pF時）
- 出力電圧：0V ~ Vref
- モジュールストップモードの設定可能

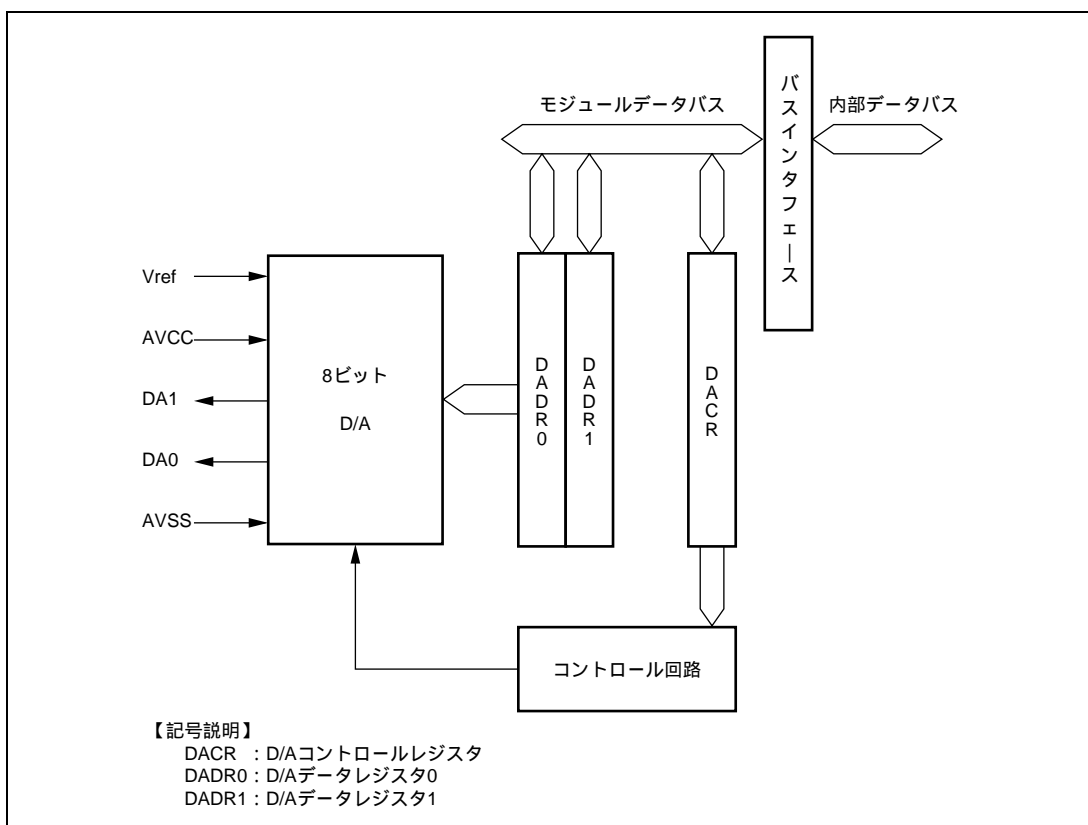


図 16.1 D/A 変換器のブロック図

16.2 入出力端子

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	Vref	入力	アナログ部の基準電圧

16.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。なお、モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A～C (MSTPCRA～MSTPCRC)」を参照してください。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ (DACR)

16.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタは、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、D/A データレジスタの値が変換され、アナログ出力端子に出力されます。

16.3.2 D/A コントロールレジスタ (DACR)

DACR は D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA1 を禁止 1 : チャネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA0 を禁止 1 : チャネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。DAE ビットが 0 にクリアされているとチャネル 0、1 の D/A 変換は独立に制御されます。DAE ビットが 1 にセットされているとチャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。詳細は表 16.2 を参照してください。
4~0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 16.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可
	1	0	チャネル 1 の D/A 変換を許可
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
	1	0	
		1	

16.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。

DACRのDAOE0ビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図16.2に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR0を書き換えると、直ちに変換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアすると、アナログ出力を禁止します。

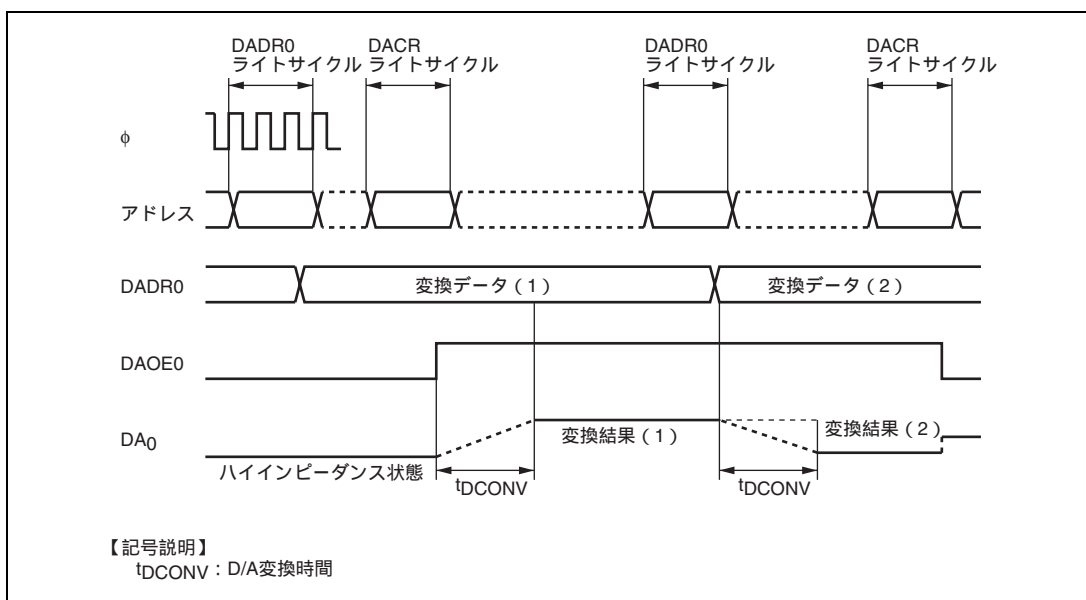


図 16.2 D/A 変換器の動作例

16.5 使用上の注意事項

16.5.1 低消費電力モード時のアナログ電源電流

D/A 変換を許可した状況で本 LSI がソフトウェアスタンバイモード、ウォッチモード、またはモジュールストップモードの低消費電力モードになると、デジタル値は保持されますが、アナログ出力値は規定の D/A 絶対精度を満足できません。また、アナログ電源電流は D/A 変換中と同等になります。これらの低消費電力モードでアナログ電源電流を低減する必要がある場合は各モードへ遷移する前に DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

16.5.2 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

17. IEBus コントローラ (IEB) 【H8S/2552 グループ】

本 LSI は、1 チャンネルの IEBus コントローラ (IEB) を内蔵しています。IEBus™ (Inter Equipment Bus™) *1 は、装置間のデータ転送を目的とした小規模のデジタルデータ転送システムです。

本 LSI は IEBus ドライバ/レシーバを内蔵していないため、専用のドライバ/レシーバ*2 を外付けする必要があります。

図 17.1 に IEB のブロック図を示します。

【注】 *1 IEBus (Inter Equipment Bus) は NEC エレクトロニクスの商標です。

*2 バスインタフェース用ドライバ/レシーバ IC:HA12187FP を推奨します。

17.1 特長

- IEBus のプロトコル制御 (レイア2) に対応
 - 半二重非同期通信
 - マルチマスタ方式
 - 同報通信機能
 - 伝送速度の異なる3種類のモードが選択可能
- データトランスファコントローラ (DTC) による転送が可能
 - 送信バッファ/受信バッファはおのおの1バイト
 - モード2の最大伝送バイト数である128バイトまで連続送受信が可能
- 動作周波数
 - 12MHz、12.58MHz (IEBは外部クロックを1/2に分周して使用)
 - 18MHz、18.87MHz (IEBは外部クロックを1/3に分周して使用)
 - 24MHz、25.16MHz (IEBは外部クロックを1/4に分周して使用)

【注】 モード0、1 使用時: ±1.5%、モード2 使用時: ±0.5%

- IEBus ドライバ/レシーバ (レイア1) 外付けにより、耐ノイズ性が向上
- モジュールストップモードの設定可能

17. IEBus™コントローラ (IEB)

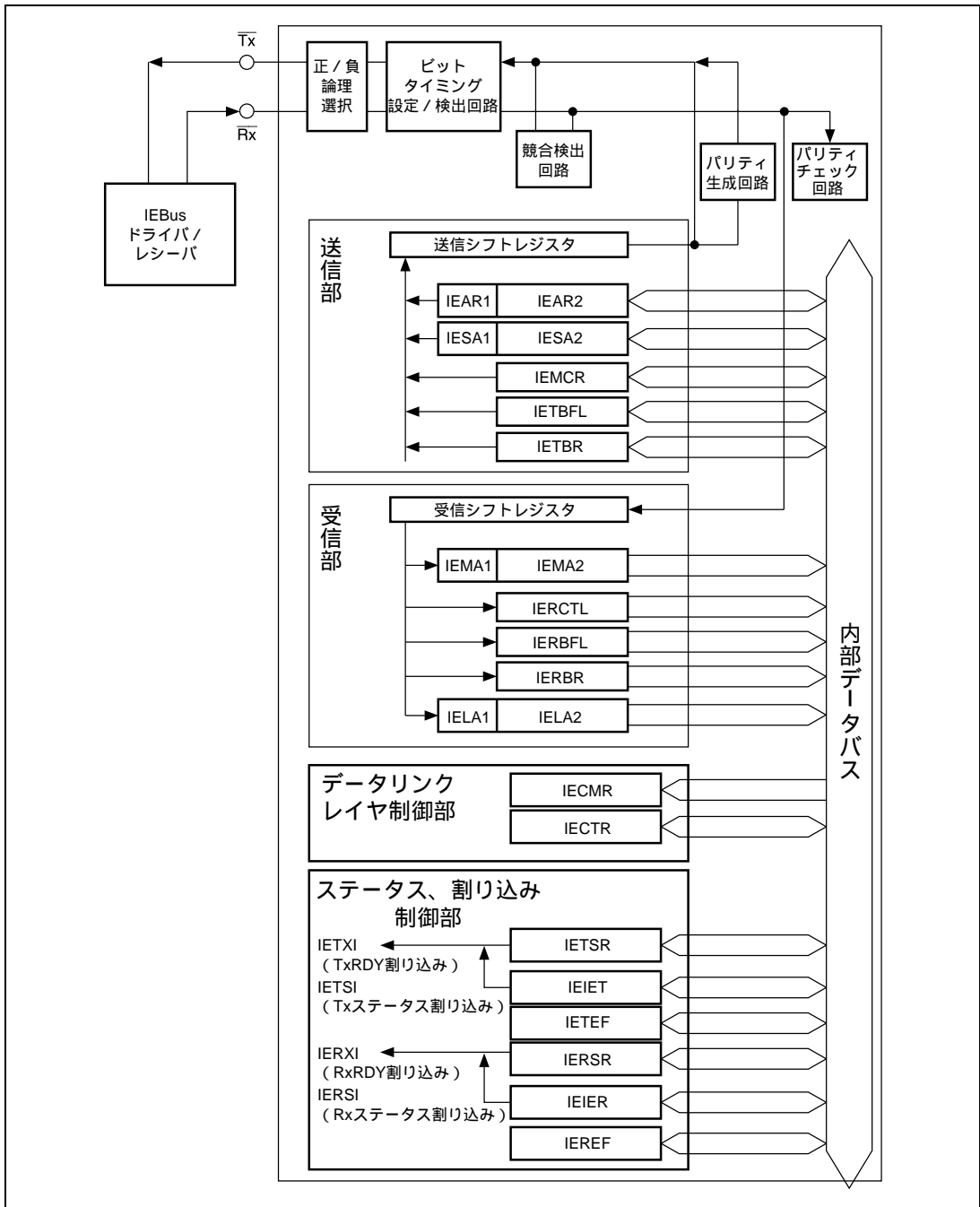


図 17.1 IEB のブロック図

17.1.1 IEBus 通信プロトコル

IEBus の概要は、以下のとおりです。

- 通信方式：半2重非同期通信
- マルチマスタ方式

IEBusに接続しているすべてのユニットが他のユニットへデータの伝送が実現できます。

- 同報通信機能 (1ユニット対複数ユニットの通信)
 - グループ同報通信：グループユニットに対しての同報通信
 - 一斉同報通信：すべてのユニットに対しての同報通信
- 伝送速度の異なる3種類のモードが選択可能

表 17.1 3種類のモード

モード	$\phi = 12\text{MHz}$ 、 18MHz 、 24MHz	$\phi = 12.58\text{MHz}$ 、 18.87MHz 、 25.16MHz	最大伝送バイト数 (バイト/フレーム)
0	約 3.9kbps	約 4.1kbps	16
1	約 17kbps	約 18kbps	32
2	約 26kbps	約 27kbps	128

- アクセス制御：CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

バス占有の優先順位は、次のとおりです。

1. 同報通信 (1ユニット対複数ユニットの通信) が通常通信 (1ユニット対1ユニットの通信) より優先
2. マスタアドレスの小さい方が優先

- 通信規模

ユニット数：最大50

ケーブル長：最長150m (ツイストペアケーブルを使用した場合)

【注】 実際のシステムにおける通信規模は、外付けの IEBus ドライバ/レシーバの特性や使用するケーブルの特性により異なります。

(1) バス占有権の決定 (アービトレーション)

IEBus に接続された装置は他の装置を制御するときに、バスを占有するための動作を行います。この動作を、アービトレーションと呼びます。アービトレーションでは、複数のユニットが同時に送信を開始した場合に、それらの中から1つのユニットに対し、バスを占有する許可を与える処理が行われます。

アービトレーションにより1装置のみがバス占有権を得るため、次のようなバス占有の優先条件が決められています。

(a) 通信の種類による優先

同報通信(1ユニット対複数ユニットの通信)が通常通信(1ユニット対1ユニットの通信)より優先されます。

17. IEBus™ コントローラ (IEB)

(b) マスタアドレスによる優先

通信種類が同じ場合には、マスタアドレスの最も小さいものが優先されます。

例：マスタアドレスは 12 ビットで構成され、H'000 のユニットが最上位の優先順位を持ち、H'FFF のユニットが最下位の優先順位を持ちます。

【注】 アービトレーションに負けた場合、自動的に再送信モードに入ることができます（再送信回数は、IEMCR の RN2 ~ RN0 ビットで 0 ~ 7 回に設定可能です）。

(2) 通信モード

IEBus には、伝送速度の異なる 3 種の通信モードが用意されています。各通信モードにおける伝送速度および 1 通信フレームの中の最大伝送バイト数を、表 17.2 に示します。

表 17.2 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数 (バイト/フレーム)	実効伝送速度*1 (kbps)	
		$\phi = 12\text{MHz}$ 、18MHz、24MHz*2	$\phi = 12.58\text{MHz}$ 、18.87MHz、25.16MHz*2
0	16	約 3.9	約 4.1
1	32	約 17	約 18
2	128	約 26	約 27

【注】 IEBus に接続した各装置は、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタユニットとその通信相手局（スレーブユニット）の通信モードが同一でないと、通信は、正しく行われません。

$\phi = 12\text{MHz}$ の装置と $\phi = 12.58\text{MHz}$ の装置間では通信モードが同一でも通信は正しく行われません。 $\phi = 24\text{MHz}$ の装置と $\phi = 25.16\text{MHz}$ の装置、または $\phi = 18\text{MHz}$ の装置と $\phi = 18.87\text{MHz}$ の装置でも同様です。必ず同じ発振周波数で通信を行ってください。

*1. 最大伝送バイト数を伝送したときの実効伝送速度

*2. 本 LSI を使用したときの発振周波数

(3) 通信アドレス

IEBus では、各装置に 12 ビットの固有な通信アドレスが割り当てられます。通信アドレスは、次のように構成されます。

上位 4 ビット：グループ番号（各装置の所属するグループを識別する番号）

下位 8 ビット：ユニット番号（グループ内の各装置を識別する番号）

(4) 同報通信

通常の送信では、マスタユニットとその通信相手局となるスレーブユニットはともに 1 ユニットで、1 対 1 の送信または受信が行われます。それに対し、同報通信ではスレーブユニットが複数存在し、マスタユニットは複数のスレーブユニットに対して送信を行います。スレーブユニットは複数存在するため、通信中スレーブユニットからは、アクノリッジは返されません。

また、同報通信を行うか通常の通信を行うかは、同報ビットによって決まります。（同報ビットについては、「17.1.2 (1) (b) 同報ビット」を参照してください）。

同報通信には、つぎの2種類があります。

(a) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内の装置に対して同報通信を行います。

(b) 一斉同報通信

グループ番号の値にかかわらずすべての装置に対して同報通信を行います。

グループ同報と一斉同報の識別は、スレーブアドレスの値で行われます(スレーブアドレスについては、「17.1.2 (3) スレーブアドレスフィールド」を参照してください)。

17.1.2 伝送プロトコル

IEBus の伝送信号フォーマットを図 17.2 に示します。

通信データは、通信フレームと呼ぶ一連の信号として伝送されます。1通信フレームで伝送可能なデータ数および伝送速度は、通信モードによって異なります。

フィールド名		ヘッダ		マスタアドレスフィールド		スレーブアドレスフィールド			コントロールフィールド			電文長フィールド			データフィールド					
ビット数		1	1	12	1	12	1	1	4	1	1	8	1	1	8	1	1	8	1	1
		スタートビット	同報ビット	マスタアドレス	P	スレーブアドレス	P	A	コントロールビット	P	A	電文長ビット	P	A	データビット	P	A	データビット	P	A
伝送時間																				
モード0		約7330μs													約1590 × Nμs					
モード1		約2090μs													約410 × Nμs					
モード2		約1590μs													約300 × Nμs					

(= 12MHz、18MHzまたは24MHz時)

【記号説明】
P：パリティビット(1ビット)
A：アクノリッジビット(1ビット)
A = 0のとき：ACK
A = 1のとき：NAK
N：データバイト数

【注】同報通信時には、アクノリッジビットの値は無視されます。

図 17.2 伝送信号フォーマット

(1) ヘッダ

ヘッダは、スタートビットおよび同報ビットで構成されています。

(a) スタートビット

スタートビットはデータ伝送の始まりを他のユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間口ウレベルの信号(スタートビット)を出力し、同報ビットの出力へ移行します。

17. IEBus™ コントローラ (IEB)

スタートビットを出力しようとしたとき、すでに他のユニットがスタートビットを出力している場合には、スタートビットを出力しないでそのユニットのスタートビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を始めたユニット以外は、このスタートビットを検出し受信状態へ移行します。

(b) 同報ビット

同報ビットは、同報通信、または通常の通信の識別を行うビットです。

同報ビットが0の場合には同報通信、1の場合には通常の通信を表します。また同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブアドレスの値によって行われます (スレーブアドレスについては、「17.1.2 (3) スレーブアドレスフィールド」を参照してください)。

同報通信の場合には通信相手局となるスレーブユニットが複数存在するため、(2)以降各フィールドでのアクノリッジビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が通常の通信より優先し、アービトレーションに勝ち残ります。

(2) マスタアドレスフィールド

マスタアドレスフィールドは、自分のユニットアドレス (マスタアドレス) を他のユニットに送信するためのフィールドです。マスタアドレスフィールドはマスタアドレスビットとパリティビットで構成されています。

マスタアドレスは12ビットで構成されておりMSBより出力されます。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタアドレスフィールドへ持ち越されます。

マスタアドレスフィールドでは、1ビット送信するたびに自分が出力しているデータとバス上のデータとの比較を行います。比較の結果、自分の出力しているマスタアドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断し、送信を中止し受信状態へ移行します。

IEBusはワイヤードANDで構成されているため、アービトレーションに参加しているユニット (アービトレーションマスタ) の中で、最小のマスタアドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタアドレス出力後、1つのユニットのみがマスタユニットとして送信状態で残ります。

次に、このマスタユニットはパリティビット*を出力し、他のユニットに対してマスタアドレスを確定させ、スレーブアドレスフィールド出力へ移行します。

【注】 * パリティは偶数パリティを使用しており、マスタアドレスビット中の1のビットの数が奇数のとき、パリティビットが1となります。

(3) スレーブアドレスフィールド

スレーブアドレスフィールドは、通信を行いたいユニット (スレーブユニット) のアドレス (スレーブアドレス) を送信するためのフィールドです。スレーブアドレスフィールドはスレーブアドレスビット、パリティビットおよびアクノリッジビットで構成されています。

スレーブアドレスは12ビットで構成されMSBから出力されます。12ビットのスレーブアドレス送信後、スレーブアドレスが間違っ

がバス上に存在することを確認するために、マスタユニットはスレーブユニットからのアクノリッジ信号の検出を行います。アクノリッジ信号を検出した場合、コントロールフィールド出力へ移行します。ただし、同報通信時には、アクノリッジビットを検出せずに、コントロールフィールド出力へ移行します。

スレーブユニットは、スレーブアドレスが一致し、マスタアドレスとスレーブアドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブユニットはパリティが奇数の場合、マスタアドレスまたはスレーブアドレスが正しく受信されなかったと判断し、アクノリッジ信号を出力しません。このとき、マスタユニットは、待機 (モニタ) 状態になり通信が終了します。

また、同報通信の場合は、スレーブアドレスは次のようにグループ同報か、一斉同報かの識別に使用されます。

スレーブアドレスが H'FFF のとき：一斉同報通信

スレーブアドレスが H'FFF 以外のとき：グループ同報通信

【注】 グループ同報通信時のグループ番号は、スレーブアドレスの上位 4 ビットの値になります。

(4) コントロールフィールド

コントロールフィールドは、次のデータフィールドの種類や方向を送信するためのフィールドです。コントロールフィールドはコントロールビット、パリティビットおよびアクノリッジビットで構成されています。

コントロールビットは 4 ビットで構成され MSB から出力されます。

コントロールビットに続いて、パリティビットが出力されます。パリティが偶数でかつ、マスタユニットの要求機能を実行可能な場合は、スレーブユニットはアクノリッジ信号を出力し、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブユニットがマスタユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブユニットはアクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。

マスタユニットはアクノリッジ信号を確認後、次の電文長フィールドへ移行します。

アクノリッジ信号の確認ができない場合は、マスタユニットは待機状態になり、通信が終了します。ただし同報通信の場合には、マスタユニットはアクノリッジ信号を確認せずに、次の電文長フィールドへ移行します。

コントロールビットの内容については表 17.4 を参照してください。

(5) 電文長フィールド

電文長フィールドは、通信データのバイト数を指定するためのフィールドです。電文長フィールドは、電文長ビットと、パリティビットおよびアクノリッジビットで構成されます。

電文長ビットは 8 ビットで構成され、MSB から出力されます。通信データのバイト数を表 17.3 に示します。

17. IEBus™ コントローラ (IEB)

表 17.3 電文長ビットの内容

電文長ビット (16 進)	送信データ・バイト数
H'01	1 バイト
H'02	2 バイト
.	.
.	.
H'FF	255 バイト
H'00	256 バイト

【注】 通信モードにより、1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信となります。その際、2 回目以降は、電文長ビットは残りの通信データのバイト数となります。本 LSI では、2 回目以降は、電文長ビットは残りの通信データのバイト数をプログラムにより設定する必要があります。ハードウェアで自動的に設定されません。

このフィールドの動作は、マスタ送信時 (コントロールビットのビット 3 が 1) とマスタ受信時 (コントロールビットのビット 3 が 0) で異なります。

(a) マスタ送信時

電文長ビットおよびパリティビットは、マスタユニットが出力します。スレーブユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力し、次のデータフィールドへ移行します。ただし、同報通信時では、スレーブユニットはアクノリッジ信号を出力しません。

また、スレーブユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。このとき、マスタユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティビットは、スレーブユニットが出力します。マスタユニットはパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機状態に戻ります。このとき、スレーブユニットも待機状態に戻り、通信が終了します。

(6) データフィールド

データフィールドは、スレーブユニットに対しデータを送受信するためのフィールドです。マスタユニットは、データフィールドを使用してスレーブユニットにデータを送信したり、スレーブユニットからデータを受信したりします。データフィールドはデータビット、パリティビット、およびアクノリッジビットで構成されています。

データユニットは 8 ビットで構成され MSB から出力されます。

データビットに続きパリティビットとアクノリッジビットが、それぞれマスタユニットおよびスレーブユニットより出力されます。

同報通信は、マスタユニットの送信動作のみに行われます。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作は次のようになります。

(a) マスタ送信時

マスタユニットからスレーブユニットへ書き込みを行う場合、マスタユニットは、スレーブユニットに対してデータビット、パリティビットを送信します。スレーブユニットはデータビット、パリティビットを受信し、パリティが偶数で、かつ受信バッファが空いていれば、アクノリッジ信号を出力します。パリティが奇数、または受信バッファが空いていない場合には、スレーブユニットは対応するデータの受け付けを拒否し、アクノリッジ信号出力を行いません。

スレーブユニットからアクノリッジ信号が出力されなかった場合、マスタユニットは再び同じデータを送信します。この動作はスレーブユニットからのアクノリッジ信号を検出するか、データ最大伝送バイト数を超えるまで続けられます。

パリティが偶数で、スレーブユニットからアクノリッジ信号が出力された場合は、データに続きがあり、かつ最大伝送バイト数を超えていなければ、マスタユニットは次のデータを送信します。

また、同報通信の場合では、スレーブユニットからはアクノリッジ信号は出力されず、マスタユニットはデータを1バイトごとに転送します。

(b) マスタ受信時

マスタユニットがスレーブユニットから読み込みを行う場合、マスタユニットはすべての読み込みビットに対応する同期信号を出力します。

スレーブユニットは、データ、パリティビットの内容をマスタユニットからの同期信号に応じてバス上に出力します。

マスタユニットは、スレーブユニットの出力したデータパリティビットを読み込み、パリティを確認します。

パリティが奇数の場合、または受信バッファが空いていない場合は、マスタユニットはそのデータ受け付けを拒否し、アクノリッジ信号を出力しません。1通信フレームで送信可能な最大伝送バイト数以内であれば、マスタユニットは同じデータの読み込み動作を繰り返します。また、パリティが偶数で、かつ受信バッファが空いていれば、マスタユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信可能な最大バイト数以内であればマスタユニットは次のデータを読み込みます。

(7) パリティビット

パリティビットは、伝送データに誤りがないことを確認するために使用されます。

パリティビットは、マスタアドレスビット、スレーブアドレスビット、コントロールビット、電文長ビット、データビットの各データに対して付加されます。

パリティは、偶数パリティです。データの中の1のビット数が奇数の場合は、パリティビットは1となります。データ中の1の数が偶数の場合は、パリティビットは0となります。

17. IEBus™ コントローラ (IEB)

(8) アクノリッジビット

通常通信 (1 ユニット対 1 ユニット間の通信) においては、データを正しく受け付けたかを確認するために、次の箇所にアクノリッジビットが付加されます。

- スレーブアドレスフィールドの最後
- コントロールフィールドの最後
- 電文長フィールドの最後
- データフィールドの最後

アクノリッジビットの定義は次のとおりです。

- 0: 伝送データを認識したことを表します。(ACK)
- 1: 伝送データを認識しなかったことを表します。(NAK)

ただし、同報通信の場合には、アクノリッジビットの内容は無視されます。

(a) スレーブアドレスフィールドの最後のアクノリッジビット

スレーブアドレスフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- マスタアドレスビットまたはスレーブアドレスビットのパリティが正しくない場合
- タイミングエラー (ビットフォーマットにエラー) が発生した場合
- スレーブユニットが存在しなかった場合

(b) コントロールフィールドの最後のアクノリッジビット

コントロールフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- コントロールビットのパリティが正しくない場合
- スレーブ受信バッファ*が空でないのに、コントロールビットのビット3が1 (書き込み動作) の場合
- スレーブ送信バッファ*が空なのに、コントロールビットがデータの読み込み (H'3、H'7) の場合
- ロックを設定されているのに、ロックを設定したユニット以外からコントロールビットのH'3、H'6、H'7、H'A、H'B、H'E、H'Fを要求した場合
- ロックを設定されていないのに、コントロールビットがロックアドレスの読み込み (H'4、H'5) の場合
- タイミングエラーが発生した場合
- 未定義のコントロールビットの場合

【注】 * 17.1.3 (1) スレーブステータス (SSR) の読み込み (コントロールビット: H'0、H'6) を参照してください。

(c) 電文長フィールドの最後のアクノリッジビット

電文長フィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- 電文長ビットのパリティが正しくない場合
- タイミングエラーが発生した場合

(d) データフィールドの最後のアクノリッジビット

データフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- データビットのパリティが正しくない場合*
- タイミングエラーが前回のアクノリッジビット伝送以降で発生した場合
- 受信バッファがフルの状態になり、それ以上のデータを受け付けることができない場合*

【注】 * この場合、送信側では 1 フレームで伝送可能な最大伝送バイト数以内であれば、最大伝送バイト数に達するまでそのデータフィールドの送信を再実行します。

17. IEBus™ コントローラ (IEB)

17.1.3 伝送データ (データフィールドの内容)

データフィールドの内容は、コントロールビットで示されるデータになります。

表 17.4 コントロールビットの内容

設定値	ビット 3* ¹	ビット 2	ビット 1	ビット 0	機能* ²
H'0	0	0	0	0	スレープステータス (SSR) の読み込み
H'1	0	0	0	1	未定義、使用禁止
H'2	0	0	1	0	未定義、使用禁止
H'3	0	0	1	1	データ読み込みとロック
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)
H'6	0	1	1	0	スレープステータス (SSR) の読み込みとロック解除
H'7	0	1	1	1	データ読み込み
H'8	1	0	0	0	未定義、使用禁止
H'9	1	0	0	1	未定義、使用禁止
H'A	1	0	1	0	コマンド書き込みとロック
H'B	1	0	1	1	データ書き込みとロック
H'C	1	1	0	0	未定義、使用禁止
H'D	1	1	0	1	未定義、使用禁止
H'E	1	1	1	0	コマンド書き込み
H'F	1	1	1	1	データ書き込み

【注】 *1 ビット 3 (MSB) の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータの転送方向が変わります。

ビット 3 が 1 の場合：マスタユニットからスレーブユニットへ転送

ビット 3 が 0 の場合：スレーブユニットからマスタユニットへ転送

*2 H'3、H'6、H'A、H'B はロックの設定、および解除を指定するコントロールビットです。

H'1、H'2、H'8、H'9、H'C、H'D の未定義値が送信された場合はアクノリッジを返しません。

マスタユニットによりロックを設定されたユニットは、ロックを要求したマスタユニット以外から受信したコントロールビットが表 17.5 以外の場合、受け付けを拒否し、アクノリッジビットを出力しません。

表 17.5 ロックされたスレーブユニットに対するコントロールフィールド

設定値	ビット 3	ビット 2	ビット 1	ビット 0	機能
H'0	0	0	0	0	スレープステータスの読み込み
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)

(1) スレープステータス (SSR) の読み込み (コントロールビット : H'0、H'6)

マスタユニットは、スレープステータスの読み込み (H'0、H'6) を行うことにより、スレープユニットが、アクノリッジビット (ACK) を返送しなかった理由を知ることができます。スレープステータスは、スレープステータスが最後に行った通信結果に対して決定されます。すべてのスレープユニットは、スレープステータスの情報を提供できます。スレープステータスについて、図 17.3 に示します。

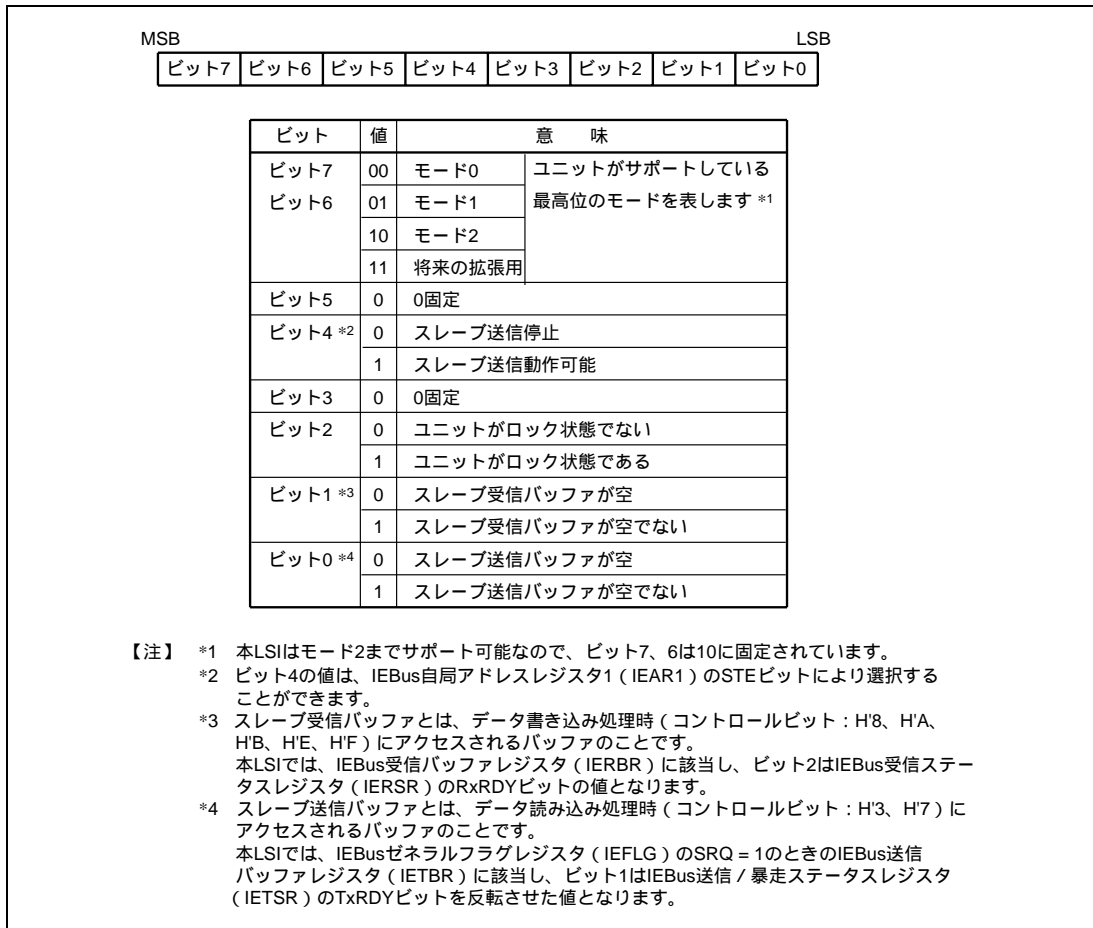


図 17.3 スレープステータス (SSR) のビット構成

(2) データコマンド転送 (コントロールビット : 読み込み (H'3、H'7)、書き込み (H'A、H'B、H'E、H'F))

データ読み込み (H'3、H'7) の場合、スレープユニットのデータバッファにあるデータが、マスタユニットに読み込まれます。データ書き込み (H'B、H'F) またはコマンド書き込み (H'A、H'E) の場合、スレープユニットが受信したデータはそのスレープユニットの動作規定に従って処理されます。

- 【注】 1. データとコマンドの選択は、ユーザがシステムに応じて自由に決めることができます。
 2. H'3、H'A、H'B は通信条件、状態によりロックが設定されることがあります。

17. IEBus™ コントローラ (IEB)

(3) ロックアドレスの読み込み (コントロールビット : H'4、H'5)

ロックアドレスの読み込み処理時 (H'4、H'5) には、ロック命令を発行したマスタユニットのアドレス (12 ビット) が、次に示すように 1 バイト単位に構成されて、読み出されます。

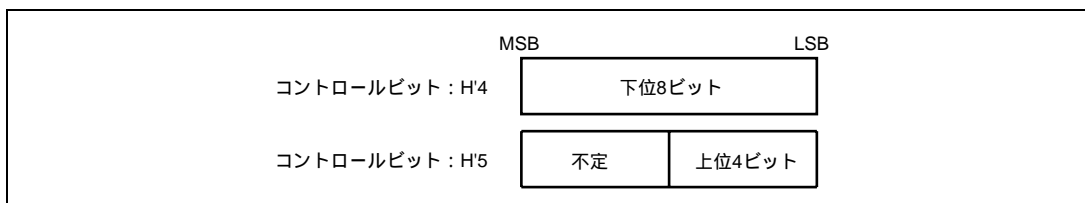


図 17.4 ロックアドレスの構成

(4) ロックの設定、解除 (コントロールビット : 設定 (H'3、H'A、H'B)、解除 (H'6))

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。ロックを設定されたユニットは、ロックをかけたユニット以外からは受信しません。

ロックの設定および解除を、次に示します。

(a) ロックの設定

ロックを指定したコントロールビット (H'3、H'A、H'B) で、電文長フィールドのアクノリッジビット 0 の送受信終了後、電文長ビットにて指定されたバイト数分のデータの送受信を完了せずに通信フレームを終了した場合に、スレーブユニットはマスタユニットにより、ロックを設定されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 1 にセットされます。

ロックが設定されるのは、フレーム最大伝送バイト数を越えたときのみで、他のエラー終了ではセットされません。

(b) ロックの解除

ロックを指定したコントロールビット (H'3、H'A、H'B) または、ロックの解除を指定したコントロールビット (H'6) で、1 通信フレーム内に、電文長ビットで指定されたバイト数分のデータの送受信完了後、スレーブユニットは、マスタユニットによりロックを解除されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 0 にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

【注】 ロックの解除を指定されたユニット自身で解除するには、次の 3 種類の方法があります。

- ・ハードウェアリセットをかける
- ・モジュールストップモードに入れる
- ・IEBus コマンドレジスタ (IECMR) でロック状態解除コマンドを発行する

なお、ロック状態の有無は IEFLG の LCK ビットで確認できます。

17.1.4 ビットフォーマット

IEBus の通信フレームを構成するビットのフォーマット (概念) を図 17.5 に示します。

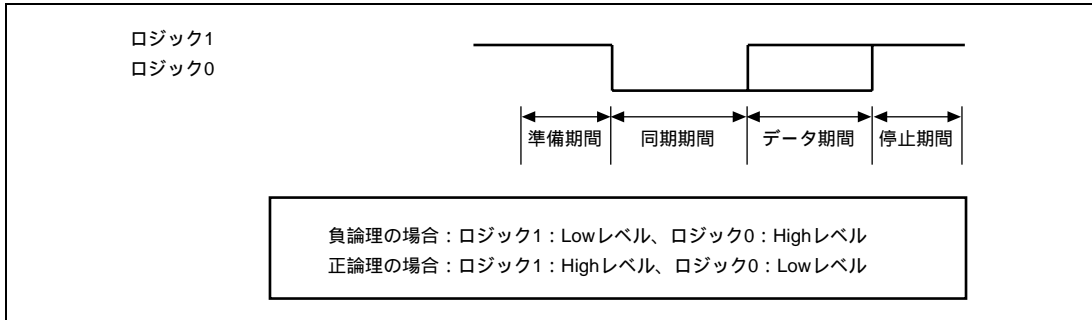


図 17.5 IEBus のビットフォーマット (概念)

以下、正論理の場合のビットフォーマットの各期間を説明します。

準備期間 : 最初のロジック 1 期間 (High レベル)

同期期間 : 次のロジック 0 期間 (Low レベル)

データ期間 : ビットの値を表す期間 (ロジック 1 : High レベル、ロジック 0 : Low レベル)

停止期間 : 最後のロジック 1 期間 (High レベル)

負論理の場合、正論理から反転したレベルになります。

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1 ビットごとに同期がとられています。また、ビット全体の時間と、そのビット内に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタユニットかスレーブユニットかの違いにより異なります。

17.2 入出力端子

IEB の入出力端子を表 17.6 に示します。

表 17.6 端子構成

名 称	記号	入出力	機 能
IEBus 送信データ端子	$\overline{\text{Tx}}$	出力	送信データ出力端子
IEBus 受信データ端子	$\overline{\text{Rx}}$	入力	受信データ入力端子

17.3 レジスタの説明

IEB には以下のレジスタがあります。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)」を参照してください。

- IEBusコントロールレジスタ (IECTR)
- IEBusコマンドレジスタ (IECMR)
- IEBusマスタコントロールレジスタ (IEMCR)
- IEBus自局アドレスレジスタ1 (IEAR1)
- IEBus自局アドレスレジスタ2 (IEAR2)
- IEBusスレーブアドレス設定レジスタ1 (IESA1)
- IEBusスレーブアドレス設定レジスタ2 (IESA2)
- IEBus送信電文長レジスタ (IETBFL)
- IEBus送信バッファレジスタ (IETBR)
- IEBus受信マスタアドレスレジスタ1 (IEMA1)
- IEBus受信マスタアドレスレジスタ2 (IEMA2)
- IEBus受信コントロールフィールドレジスタ (IERCTL)
- IEBus受信電文長レジスタ (IERBFL)
- IEBus受信バッファレジスタ (IERBR)
- IEBusロックアドレスレジスタ1 (IELA1)
- IEBusロックアドレスレジスタ2 (IELA2)
- IEBusゼネラルフラグレジスタ (IEFLG)
- IEBus送信 / 暴走ステータスレジスタ (IETSR)
- IEBus送信 / 暴走割り込み許可レジスタ (IEIET)
- IEBus送信エラーフラグレジスタ (IETEF)
- IEBus受信ステータスレジスタ (IERSR)
- IEBus受信割り込み許可レジスタ (IEIER)
- IEBus受信エラーフラグレジスタ (IEREF)

17.3.1 IEBus コントロールレジスタ (IECTR)

IECTR は、IEB の動作の制御 (IEBus 端子 / ポートの切り替え、入出力レベルの反転、受信動作許可) を設定します。

ビット	ビット名	初期値	R/W	説明
7	IEE	0	R/W	IEB 端子用端子の切り替え IEB 用の端子とポートとの端子切り替えをします。 0 : PG3/Rx/CS1、PG2/Tx/CS2 端子は、PG3/CS1、PG2/CS2 端子として動作 1 : PG3/Rx/CS1、PG2/Tx/CS2 端子は、Tx、Rx 端子として動作
6	IOL	0	R/W	入出力レベル (I/O レベル : IOL) Rx、Tx 端子の入出力端子のレベル (正論理、負論理) を選択します。 0 : 端子の入出力は負論理 (ロジック 1 が Low レベル、ロジック 0 が High レベル) 1 : 端子の入出力は正論理 (ロジック 1 が High レベル、ロジック 0 が Low レベル)
5	DEE	0	R/W	同報受信エラー割り込みイネーブル 同報受信では、マスタとスレーブ間でアクノリッジの転送を行わないため、スレーブが受信可能状態にあるかどうか、マスタでは判定できません。 本ビットを 1 にセットすると、同報受信のコントロールフィールドの受信時に、受信バッファが受信可能状態にない場合 (RE ビットが 1 にセットされていない状態か、RxRDY フラグがセットされている状態です。)、受信エラー割り込みが発生します (IEBus 受信エラーフラグには対応するビットがありませんので、注意してください)。その際、IEMA1、IEMA2 レジスタにマスタアドレスが格納されます。IERCTL は格納されません。 本ビットが 0 のときは、同報受信でコントロールフィールドの受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みは発生せず受信を中止して待機状態に入ります。マスタアドレスは保存されません。 0 : コントロールフィールドまでの同報受信エラーを発生させない 1 : コントロールフィールドまでの同報受信エラーを発生させる
4	CKS1	0	R/W	入力クロック選択 IEB で使用するクロックの選択を行います。表 17.7 を参照してください。
3	RE	0	R/W	レシーブイネーブル IEB の受信の許可 / 禁止を設定します。本ビットの設定は、フレーム受信前の初期設定で行ってください。コントロールフィールドの受信前に行った変更は有効ですが、コントロールフィールド受信後の変更は無効となり、変更前の値が有効になります。 0 : 受信動作を禁止 1 : 受信動作を許可

17. IEBus™ コントローラ (IEB)

ビット	ビット名	初期値	R/W	説 明
2	LUEE	0	R/W	<p>最終バイトアンダーラインエーブル</p> <p>データ送信時、データフィールドの最終バイトの転送でのアンダーランを発生させるかどうかを設定します。</p> <p>アンダーランエラーは、TxRDY フラグがセットされた状態（送信バッファレジスタ (IETBR) が空）で、IEB が IETBR からデータを取り出す動作を行ったときに発生します。DTC を使用した送信では、最終バイトの転送後、DTC は TxRDY フラグをクリアしないため、CPU で TxRDY フラグをクリアしなかった場合、最終バイトの送信時にアンダーランエラーが発生します。DTC を使用する場合は、本ビットを 0 にして、最終バイト送信時に発生するアンダーランエラーをマスクしてください。DTC を使用しない場合は、本ビットを 1 に設定して最終バイト送信時のアンダーランエラーを発生させてください。</p> <p>0：最終バイト送信時に、アンダーランエラーを発生しない（DTC 使用時） 1：最終バイト送信時に、アンダーランエラーを発生（DTC 未使用時）</p>
1	CKS0	0	R/W	<p>入力クロック選択</p> <p>IEB で使用するクロックの選択を行います。表 17.7 を参照してください。</p>
0	-	0	-	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。ライトは無効です。</p>

表 17.7 システムクロック分周選択一覧

ビット 4	ビット 1	機 能
CKS1	CKS0	
0	0	システムクロックの 1/4 のクロックを使用 ($\phi = 24\text{MHz}$ 、 25.16MHz)
0	1	システムクロックの 1/3 のクロックを使用 ($\phi = 18\text{MHz}$ 、 18.87MHz)
1	0	システムクロックの 1/2 のクロックを使用 ($\phi = 12\text{MHz}$ 、 12.58MHz)
1	1	設定禁止

17.3.2 IEBus コマンドレジスタ (IECMR)

IECMR は、IEB の通信の制御を行うためのコマンドを発行するレジスタです。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	-	リザーブビット リード値は不定です。ビット操作命令を使用すると誤動作を起こすので、ビット操作命令は使用しないでください。ライトは無効です。
2	CMD2	0	W	コマンドビット IEB の通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLG の CMX ビットがセットされている間はコマンド実行中です。CMX が 0 になって、動作状態に移行します。リード値は不定です。ビット操作命令を使用すると誤動作を起こすので、ビット操作命令は使用しないでください。 000：ノーオペレーション。動作に影響なし 001：ロック状態（他局からの要求）を解除*1 010：マスタとしての通信を要求 011：マスタ通信を中止*2 100：未定義ビットです。本コマンドを発行しても動作に影響なし 101：スレーブからのデータ送信を要求 110：スレーブからのデータ送信を中止*3 111：未定義ビットです。本コマンドを発行しても動作に影響なし
1	CMD1	0	W	
0	CMD0	0	W	

【注】 *1 スレーブ通信状態では、実行しないでください。スレーブ通信が終了した時点、あるいは、マスタ通信状態で、実行してください。スレーブ通信状態でこのコマンドを発行しても、無視されます。

*2 マスタ通信中 (MRQ=1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。マスタ通信中に本コマンドを発行すると、通信コントローラは直ちに待機状態に入ります。同時に、発行されていたマスタ送信要求は終了します。(MRQ=0)

*3 スレーブ送信 (SRQ=1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。スレーブ送信中に本コマンドを発行すると、スレーブ送信を行う前では、SRQ=0 となるため、マスタからの送信要求に対応しなくなります。スレーブ送信を行っている状態でコマンドを発行すると、送信動作を中止し、待機状態になります。(SRQ=0)

17. IEBus™コントローラ (IEB)

17.3.3 IEBus マスタコントロールレジスタ (IEMCR)

IEMCR は、マスタ通信を行うときの通信条件 (同報通信 / 通常通信の選択、アービトレーション負けのとき再送の回数、コントロールビットの値) を設定します。本レジスタはスレープ通信の場合は、設定する必要はありません。

ビット	ビット名	初期値	R/W	説 明
7	SS	1	R/W	同報 / 通常通信の選択 マスタ通信時の、同報 / 通常通信の選択を行います。 0 : マスタ通信時、同報通信 1 : マスタ通信時、通常通信
6	RN2	0	R/W	再送回数 マスタ通信中にアービトレーションに負けた場合に、自動的に再送信を行う回数を設定します。設定回数分、アービトレーションに負けた場合、IETEF の AL ビットと IETSR の TxE ビットがセットされ、送信エラー終了となります。再送している間でアービトレーションに勝った場合、マスタアドレス送信後、再送回数は自動的に初期設定値に復帰します。 000 : 0 回 001 : 1 回 010 : 2 回 011 : 3 回 100 : 4 回 101 : 5 回 110 : 6 回 111 : 7 回
5	RN1	0	R/W	
4	RN0	0	R/W	

ビット	ビット名	初期値	R/W	説 明	
3	CTL3* ¹	0	R/W	コントロールビット	
2	CTL2	0	R/W	マスタ送信時の、コントロールフィールドのコントロールビットの設定を行います。	
1	CTL1	0	R/W		
0	CTL0	0	R/W		0000 : スレープステータスの読み込み
					0001 : 未定義、使用禁止
				0010 : 未定義、使用禁止	
				0011 : データ読み込みとロック* ²	
				0100 : ロックアドレスの読み込み (下位 8 ビット)	
				0101 : ロックアドレスの読み込み (上位 4 ビット)	
				0110 : スレープステータスの読み込みとロック解除* ²	
				0111 : データ読み込み	
				1000 : 未定義、使用禁止	
				1001 : 未定義、使用禁止	
				1010 : コマンド書き込みとロック* ²	
1011 : データ書き込みとロック* ²					
1100 : 未定義、使用禁止					
1101 : 未定義、使用禁止					
1110 : コマンド書き込み					
1111 : データ書き込み					

【注】 *1 CTL3 の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータ転送方向が変わります。

CTL3 が 1 の場合 : マスタユニットからスレープユニットへの転送

CTL3 が 0 の場合 : スレープユニットからマスタユニットへの転送

*2 ロックの設定、および解除を指定するコントロールビットです。

17. IEBus™ コントローラ (IEB)

17.3.4 IEBus 自局アドレスレジスタ 1 (IEAR1)

IEAR1 は、自局アドレスの下位 4 ビットと、通信モードを設定します。自局アドレスは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット	ビット名	初期値	R/W	説明
7	IAR3	0	R/W	IEBus 自局アドレス下位 4 ビット 自局アドレスの下位 4 ビットを設定します。
6	IAR2	0	R/W	
5	IAR1	0	R/W	
4	IAR0	0	R/W	
3	IMD1	0	R/W	IEBus 通信モード IEBus 通信モードの選択を行います。 00：通信モード 0 01：通信モード 1 10：通信モード 2 11：設定禁止
2	IMD0	0	R/W	
1	-	0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
0	STE	0	R/W	スレーブ送信設定 スレーブステータスレジスタのビット 4 の値を設定します。本ビットを 1 に設定すると、マスタユニットに対して、スレーブステータスレジスタの送信により、スレーブ送信可能状態である、という情報を与えます。本ビットはスレーブステータスレジスタの値を設定するだけで、スレーブ送信の動作には直接影響しません。 0：スレーブステータスのビット 4 は 0 (スレーブ送信停止状態) 1：スレーブステータスのビット 4 は 1 (スレーブ送信可能状態)

17.3.5 IEBus 自局アドレスレジスタ 2 (IEAR2)

IEAR2 は、自局アドレスの上位 8 ビットを設定します。本レジスタは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット	ビット名	初期値	R/W	説明
7	IAR11	0	R/W	IEBus 自局アドレス上位 8 ビット 自局アドレスの上位 8 ビットを設定します。
6	IAR10	0	R/W	
5	IAR9	0	R/W	
4	IAR8	0	R/W	
3	IAR7	0	R/W	
2	IAR6	0	R/W	
1	IAR5	0	R/W	
0	IAR4	0	R/W	

17.3.6 IEBus スレーブアドレス設定レジスタ 1 (IESA1)

IESA1 は、通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。本レジスタは、スレーブ通信の場合、設定する必要はありません。

ビット	ビット名	初期値	R/W	説 明
7	ISA3	0	R/W	IEBus スレーブアドレス下位 4 ビット 通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。
6	ISA2	0	R/W	
5	ISA1	0	R/W	
4	ISA0	0	R/W	
3~0	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。

17.3.7 IEBus スレーブアドレス設定レジスタ 2 (IESA2)

IESA2 は、通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。本レジスタは、スレーブ通信の場合、設定する必要はありません。

ビット	ビット名	初期値	R/W	説 明
7	ISA11	0	R/W	IEBus スレーブアドレス上位 8 ビット 通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。
6	ISA10	0	R/W	
5	ISA9	0	R/W	
4	ISA8	0	R/W	
3	ISA7	0	R/W	
2	ISA6	0	R/W	
1	ISA5	0	R/W	
0	ISA4	0	R/W	

17. IEBus™ コントローラ (IEB)

17.3.8 IEBus 送信電文長レジスタ (IETBFL)

IETBFL は、マスタ送信、スレーブ送信を行う際の電文長を設定します。

ビット	ビット名	初期値	R/W	説明
7	TBFL7	0	R/W	送信電文長ビット
6	TBFL6	0	R/W	マスタ送信、スレーブ送信する際の電文長の値を設定します。
5	TBFL5	0	R/W	通信モードにより、IETBFL に 1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信になります。その際、2 回目以降は残りの通信データのバイト数が電文長の値となりますが、IETBFL の値は、最初に設定した状態のままです。2 回目以降のフレームでは残りの通信データのバイト数を再度設定してください。
4	TBFL4	0	R/W	
3	TBFL3	0	R/W	
2	TBFL2	0	R/W	
1	TBFL1	0	R/W	
0	TBFL0	0	R/W	

17.3.9 IEBus 送信バッファレジスタ (IETBR)

IETBR は、マスタ送信時、およびスレーブ送信時に送信するデータを書き込む 1 バイトのバッファです。

IETBR は、IETSR の TxRDY ビットが 1 のとき、空になっています。TxRDY の値をチェックして IETBR に送信データを設定します。

IETBR には、マスタ送信時、スレーブ送信時、ともにデータフィールドで送信する値を書き込みます。

IEBus データ送信時の伝送信号フォーマットと各レジスタの関係を図 17.6 に示します。

ビット	ビット名	初期値	R/W	説明
7	TBR7	0	R/W	送信するデータを書き込む 1 バイトのバッファです。
6	TBR6	0	R/W	
5	TBR5	0	R/W	
4	TBR4	0	R/W	
3	TBR3	0	R/W	
2	TBR2	0	R/W	
1	TBR1	0	R/W	
0	TBR0	0	R/W	

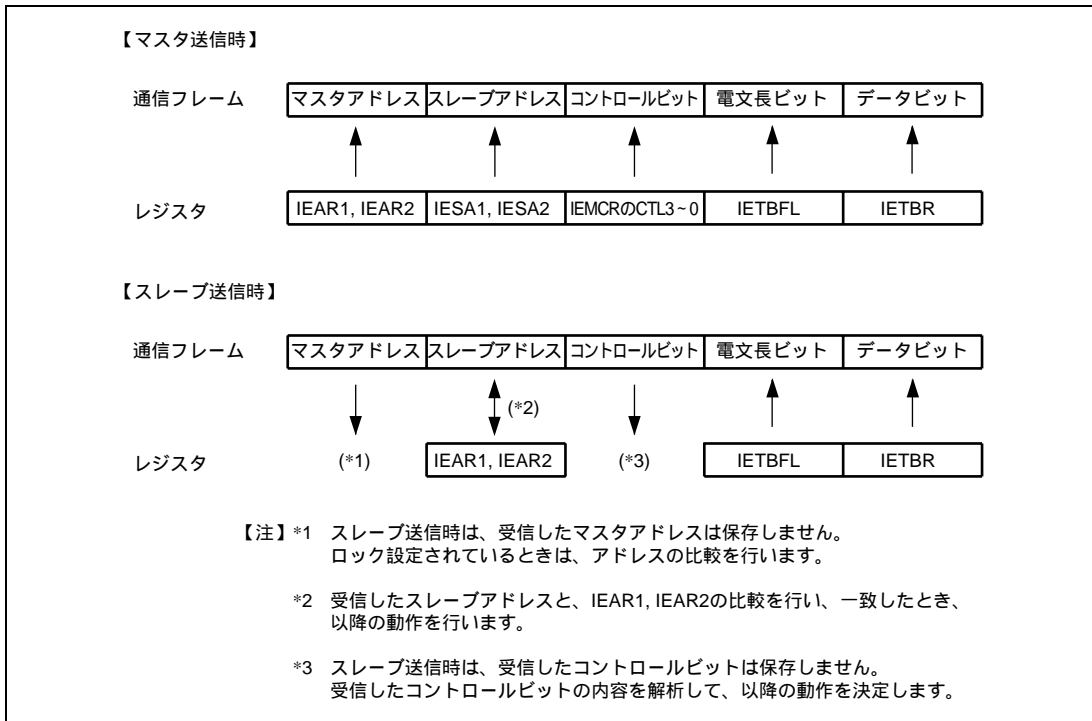


図 17.6 送信時の伝送信号フォーマットと各レジスタの関係

17.3.10 IEBus 受信マスタアドレスレジスタ 1 (IEMA1)

IEMA1 は、スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットが読み出されます。本レジスタは、スレーブ / 同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA1 にマスタアドレス下位 4 ビットが格納されます。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	IMA3	0	R	IEBus 受信マスタアドレス下位 4 ビット スレーブ / 同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットが読み出されます。
6	IMA2	0	R	
5	IMA1	0	R	
4	IMA0	0	R	
3~0	-	すべて 0	R	リザーブビット リードすると 0 が読み出されます。

17. IEBus™ コントローラ (IEB)

17.3.11 IEBus 受信マスタアドレスレジスタ 2 (IEMA2)

IEMA2 は、スレープ / 同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。本レジスタは、スレープ / 同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	IMA11	0	R	IEBus 受信マスタアドレス上位 8 ビット スレープ / 同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。
6	IMA10	0	R	
5	IMA9	0	R	
4	IMA8	0	R	
3	IMA7	0	R	
2	IMA6	0	R	
1	IMA5	0	R	
0	IMA4	0	R	

17.3.12 IEBus 受信コントロールフィールドレジスタ (IERCTL)

IERCTL は、スレープ / 同報受信時のコントロールフィールドの値が読み出されます。本レジスタは、スレープ / 同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると 0 が読み出されます。
3	RCTL3	0	R	IEBus 受信コントロールフィールド スレープ / 同報受信時のコントロールフィールドの値が読み出されます。
2	RCTL2	0	R	
1	RCTL1	0	R	
0	RCTL0	0	R	

17.3.13 IEBus 受信電文長レジスタ (IERBFL)

IERBFL は、スレーブ / 同報受信時の電文長フィールドが読み出されます。本レジスタは、スレーブ / 同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。

本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	RBFL7	0	R	IEBus 受信電文長 スレーブ / 同報受信時の電文長フィールドの内容が読み出されます。
6	RBFL6	0	R	
5	RBFL5	0	R	
4	RBFL4	0	R	
3	RBFL3	0	R	
2	RBFL2	0	R	
1	RBFL1	0	R	
0	RBFL0	0	R	

17.3.14 IEBus 受信バッファレジスタ (IERBR)

IERBR は、マスタ受信時、およびスレーブ受信時に受信したデータを格納する 1 バイトのリード専用のバッファです。

IERBR は、IERSR の RxRDY ビットが 1 のときに、読み出すことができます。IERBR で読み出すデータはマスタ受信、スレーブ受信ともに、データフィールドの値になります。本レジスタへのライトは無効です。

IEBus データ受信時の伝送信号フォーマットと各レジスタの関係を図 17.7 に示します。

ビット	ビット名	初期値	R/W	説明
7	RBR7	0	R	受信したデータを格納する 1 バイトのリード専用のバッファです。
6	RBR6	0	R	
5	RBR5	0	R	
4	RBR4	0	R	
3	RBR3	0	R	
2	RBR2	0	R	
1	RBR1	0	R	
0	RBR0	0	R	

17. IEBus™ コントローラ (IEB)

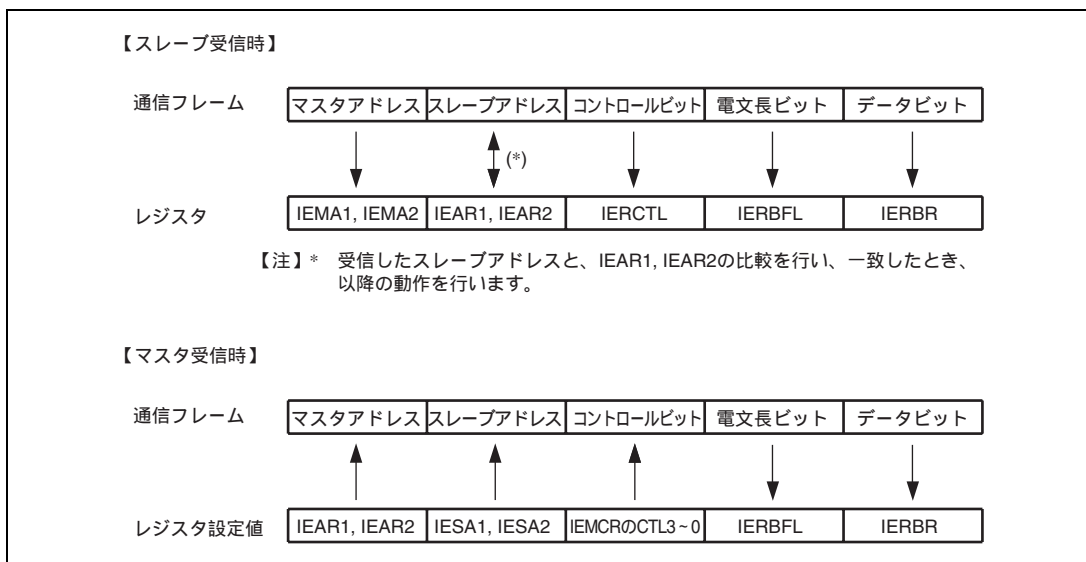


図 17.7 受信時の伝送信号フォーマットと各レジスタの関係

17.3.15 IEBus ロックアドレスレジスタ 1 (IELA1)

IELA1 は、ロックが設定されたときのロックアドレスの下位 8 ビットを設定します。IEFLG の LCK ビットがセットされているときのみ、データは有効です。

本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	ILA7	0	R	IEBus ロックアドレス下位 8 ビット ロックを設定したマスタユニットのアドレス下位 8 ビットを格納します。
6	ILA6	0	R	
5	ILA5	0	R	
4	ILA4	0	R	
3	ILA3	0	R	
2	ILA2	0	R	
1	ILA1	0	R	
0	ILA0	0	R	

17.3.16 IEBus ロックアドレスレジスタ 2 (IELA2)

IELA2 は、8 ビットのリード専用のレジスタで、ロックが設定されたときのロックアドレスの上位 4 ビットを設定します。IEFLG の LCK ビットがセットされているときのみ、データは有効です。

本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると 0 が読み出されます。
3	ILA11	0	R	IEBus ロックアドレス上位 4 ビット ロックを設定したマスタユニットのアドレス上位 4 ビットを格納します。
2	ILA10	0	R	
1	ILA9	0	R	
0	ILA8	0	R	

17. IEBus™ コントローラ (IEB)

17.3.17 IEBus ゼネラルフラグレジスタ (IEFLG)

IEFLG は、IEB のコマンドの実行状態の表示、ロック状態の表示、スレーブアドレスの一致、同報受信の検出を行います。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	CMX	0	R	コマンド実行状態 コマンドの実行状態を示します。 1: コマンド実行中 [セット条件] • MRQ、SRQ、SRE のいずれかがセットされた条件で、マスタ通信要求コマンドかスレーブ送信要求コマンドが発行されたとき。 0: コマンドの実行は終了 [クリア条件] • コマンドが実行終了したとき。
6	MRQ	0	R	マスタ通信要求 マスタユニットとして、通信要求期間中か期間中でないかを示します。 1: マスタユニットとしての通信要求期間中 [セット条件] • マスタ通信要求コマンドを発行し、CMX ビットが 0 になったとき。 0: マスタユニットとしての通信要求期間中ではない [クリア条件] • マスタ通信が終了したとき。
5	SRQ	0	R	スレーブ送信要求 スレーブユニットとして、送信要求期間中か期間中でないかを示します。 1: スレーブユニットとして送信要求期間中 [セット条件] • スレーブ送信要求コマンドを発行し、CMX ビットが 0 になったとき。 0: スレーブユニットとして送信要求期間中ではない [クリア条件] • スレーブ送信が終了したとき。
4	SRE	0	R	スレーブ受信状態 スレーブ / 同報受信の実行状態を示します。 1: スレーブ / 同報受信 [セット条件] • IECTR の RE ビットが 1 の状態で、スレーブ / 同報受信を開始したとき。 0: スレーブ / 同報受信中ではない [クリア条件] • スレーブ / 同報受信が終了したとき。

ビット	ビット名	初期値	R/W	説明
3	LCK	0	R	<p>ロック状態表示</p> <p>マスタユニットからロック要求を受けて、ロックが設定された場合、セットされます。IELA1、IELA 2 の値は本ビットがセットされているとき、有効です。</p> <p>1：ロック状態</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタからロック設定のコントロールビットを受信し、電文長で指定されたデータを受信しなかったとき (LCK がセットされるのはフレーム最大伝送バイト数を超えたときのみで、他のエラー終了ではセットされません)。 <p>0：ロックは解除</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ロック解除条件が成立するか、ロック解除コマンドを発行したとき。
2	-	0	R	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。</p>
1	RSS	0	R	<p>受信同報ビット</p> <p>受信した同報ビットの値を示します。スレーブ/同報受信開始時有効になります (IERSR の RxS ビットがセットされた時点で内容が書き換えられます)。スレーブ/同報受信開始時までは、前回値を保持します。</p>
0	GG	0	R	<p>一斉同報受信認識</p> <p>同報受信時、スレーブアドレスが H'FFF を認識したとき、セットされます。受信同報ビットと同様に、スレーブ/同報受信開始時有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。スレーブ/同報受信開始時までは、前回値を保持します。スレーブ通常受信の場合は、0 になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 同報受信時、スレーブアドレスフィールドで H'FFF を認識した <p>[クリア条件]</p> <ul style="list-style-type: none"> スレーブ受信であった 同報受信時、スレーブアドレスフィールドで H'FFF を認識しなかった

17. IEBus™ コントローラ (IEB)

17.3.18 IEBus 送信 / 暴走ステータスレジスタ (IETSR)

IETSR は、送信データレディ、送信開始、送信正常終了、送信途中終了、暴走検出等の状態を検出します。

おのこの要因は、IEBus 送信 / 暴走割り込み許可レジスタ (IEIET) に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	TxRDY	1	R/W	<p>送信データレディ</p> <p>IETBR が空の状態、IETBR に次のデータを書き込めることを示します。本フラグは、DTC でのデータ転送時には自動クリアされます*が、CPU でデータ転送する際は、プログラムでクリアする必要があります。1 リードのあとの 0 書き込みで、クリアすることができます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> リセット直後 IETBR にデータライトが可能な時、すなわち IEB が、IETBR から送信シフトレジスタにデータを読み出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TxRDY = 1 の状態をリードしたあと、0 をライトしたとき TxRDY 要求により、DTC で TBR ヘデータをライトしたとき <p>【注】* DTC による最終バイトの転送では、クリアされません。</p>
6~4	-	すべて 0	-	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。ライトは無効です。</p>
3	IRA	0	R/W	<p>IEBus 暴走状態</p> <p>IEBus 制御用の内蔵マイクロプログラムが暴走状態にあることを検出します。本フラグは IEBus 送信、受信のどちらかが暴走しているときにセットされます (送信専用のフラグではなく、受信側の暴走でもセットされます)。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 内蔵マイクロプログラムが暴走しているとき <p>[クリア条件]</p> <ul style="list-style-type: none"> IRA = 1 の状態をリードしたあと、0 をライトしたとき
2	TxS	0	R/W	<p>送信開始検出</p> <p>IEB が、送信開始したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信：アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき スレーブ送信：マスタユニットから、H'3(0011)、H'7(0111)のコントロールビットを受信して、データ送信を要求されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TxS = 1 の状態をリードしたあと、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
1	TxF	0	R/W	<p>送信正常終了</p> <p>送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 電文長ビットで指定した送信データバイト数分の送信を終了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TxF=1の状態をリードしたあと、0をライトしたとき
0	TxE	0	R/W	<p>送信エラー終了</p> <p>送信動作が、電文長ビットで指定されたデータ長分行われず、途中で通信を終了したことを検出します。このときの要因については、IETEFの内容によりチェックします。</p> <p>TxEフラグは、IETEFの要因が発生したタイミングでセットされます。IETEFのフラグの論理ORではありませんので、IETEFの要因がセットされた状態でもクリアできます。マスタ受信動作時、マスタ通信要求コマンド発行後、マスタ受信開始までの間に発生したエラー（アービトレーション負け、タイミングエラー、NAK受信）は、送信エラーとして検出されます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 電文長ビットで指定した送信データバイト数分の送信を完了せず、送信を終了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TxE=1の状態をリードしたあと、0をライトしたとき

17. IEBus™コントローラ (IEB)

17.3.19 IEBus 送信 / 暴走割り込み許可レジスタ (IEIET)

IEIET は、IETSR の送信データレディ、送信開始、送信正常終了、送信途中終了、暴走検出等のおおのこの要因について、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	TxRDYE	0	R/W	送信データレディ割り込み許可 送信データレディ割り込みの禁止 / 許可を設定します。 0 : 送信データレディ (TxRDY) 割り込みを禁止 1 : 送信データレディ (TxRDY) 割り込みを許可
6~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	IRAE	0	R/W	IEBus 暴走状態割り込み許可 IEBus 暴走状態割り込みの禁止 / 許可を設定します。 0 : IEBus 暴走状態割り込み (IRA) を禁止 1 : IEBus 暴走状態割り込み (IRA) 許可
2	TxSE	0	R/W	送信開始割り込み許可 送信開始 (TxS) 割り込みの禁止 / 許可を設定します。 0 : 送信開始 (TxS) 割り込みを禁止 1 : 送信開始 (TxS) 割り込みを許可
1	TxFE	0	R/W	送信正常終了割り込み許可 送信正常終了 (TxF) 割り込みの禁止 / 許可を設定します。 0 : 送信正常終了 (TxF) 割り込みを禁止 1 : 送信正常終了 (TxF) 割り込みを許可
0	TxEE	0	R/W	送信エラー終了割り込み許可 送信エラー終了 (TxE) 割り込みの禁止 / 許可を設定します。 0 : 送信エラー終了 (TxE) 割り込みを禁止 1 : 送信エラー終了 (TxE) 割り込みを許可

17.3.20 IEBus 送信エラーフラグレジスタ (IETEF)

IETEF は、IETSR で TxE 要因で割り込みが発生したときの要因のチェックを行います。アービトレーション負け、アンダーランエラー、タイミングエラー、フレーム最大伝送バイト数オーバー、NAK 受信を検出することができます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
4	AL	0	R/W	アービトレーション負け IEB は、マスタ通信時にアービトレーションに負けた場合、IEMCR の RN2~0 で設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合は、本ビットと TxE フラグをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、本ビットは 1 にセットされません。本ビットがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。 [セット条件] • データ送信中に、アービトレーション負けが発生し送信が終了したことを示す [クリア条件] • AL=1 の状態をリードしたあと、0 をライトしたとき
3	UE	0	R/W	アンダーランエラー データ送信時にアンダーランエラーが発生したことを示します。IEB は、TxRDY がセットされた状態で、IETBR からデータを取り出そうとしたとき、アンダーランが発生したと判断し、TxE フラグをセットし、待機状態に入ります。したがって、IETBR にデータを書き込んで、TxRDY がクリアされていなかった場合、アンダーランエラーが発生し、送信を中止します。CPU を使ったデータ転送では必ず TxRDY フラグをクリアしてください。 [セット条件] • TxRDY がセットされた状態で、IEB が IETBR から送信シフトレジスタへデータを転送しようとしたとき [クリア条件] • UE=1 の状態をリードしたあと、0 をライトしたとき
2	TTME	0	R/W	タイミングエラー データ送信中、IEBus プロトコルで規定したタイミングでデータの転送が行われなかったとき、本ビットがセットされます。IEB は、TxE フラグをセットして待機状態になります。 [セット条件] • データ送信中に、タイミングエラーが発生したことを示す [クリア条件] • TTME=1 の状態をリードしたあと、0 をライトしたとき

17. IEBus™ コントローラ (IEB)

ビット	ビット名	初期値	R/W	説 明
1	RO	0	R/W	<p>送信フレーム最大伝送バイト数オーバー</p> <p>データ送信時に受信ユニットから NAK を受信し、再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは、電文長の値が、最大伝送バイト数より大きい値であったため、送信が終了しなかったことを示します。IEB は、TxE フラグをセットして待機状態となります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 通信モードで定義される最大バイト数まで送信したが、送信が終了しなかったことを示す <p>[クリア条件]</p> <ul style="list-style-type: none"> RO = 1 の状態をリードしたあと、0 をライトしたとき
0	ACK	0	R/W	<p>アクノリッジビット</p> <p>データフィールドのアクノリッジビットで受信したデータを示します。</p> <p>1. データフィールド以外のアクノリッジビット</p> <p>NAK を受信すると、送信を中止し待機状態に入ります。本ビット、および TxE フラグは 1 にセットされます。</p> <p>2. データフィールドでのアクノリッジビット</p> <p>データフィールド送信時に、受信ユニットから、NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。このとき、再送中に受信ユニットから、ACK を受信した場合には、本ビットは設定されず、そのまま送信を行います。</p> <p>ACK を受信することができずに、通信を終了した場合に、本ビットは 1 にセットされます。</p> <p>【注】本フラグは同報通信では、無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> アクノリッジビットで 1 (NAK) で検出したことを示す <p>[クリア条件]</p> <ul style="list-style-type: none"> ACK = 1 の状態をリードしたあと、0 をライトしたとき

17.3.21 IEBus 受信ステータスレジスタ (IERSR)

IERSR は、受信データレディ、受信開始、送受信正常終了、受信途中終了等の状態を検出します。おのおのの要因は、IEIER に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	RxRDY	0	R/W	<p>受信データレディ</p> <p>受信したデータが IERBR に格納され、受信データが読み出せることを示します。本フラグは、DTC でのデータ転送時には自動クリアされます*が、CPU でデータ転送する際は、プログラムでクリアする必要があります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> データ受信が正常終了し、IERBR に受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RxRDY = 1 の状態をリードしたあと、0 をライトしたとき RxRDY 要求により DTC で IERBR のデータをリードしたとき <p>【注】* DTC による最終バイトの転送では、クリアされません。</p>
6~3	-	すべて 0	-	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。ライトは無効です。</p>
2	RxS	0	R/W	<p>受信開始検出 (レシープスタート)</p> <p>IEB が受信開始したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ受信: アービトレーションに勝ち残って、コントロールフィールドまで送信を行ったあと、スレーブから電文長フィールドを正しく受信したとき スレーブ受信: マスタユニットから、電文長フィールドまで正しく受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RxS = 1 の状態をリードしたあと、0 をライトしたとき
1	RxF	0	R/W	<p>受信正常終了</p> <p>受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 電文長ビットで指定した受信データバイト数分の受信を終了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RxF = 1 の状態をリードしたあと、0 をライトしたとき

17. IEBus™ コントローラ (IEB)

ビット	ビット名	初期値	R/W	説明
0	RxE	0	R/W	<p>受信エラー終了</p> <p>受信開始後 (RxS ビットがセットされたあと)、データフィールドの受信が、電文長ビットで指定されたデータ長分行われず、途中で通信を終了したことを検出します。このときの要因については、IEREF の内容によりチェックします。RxE フラグは、IEREF の要因が発生したタイミングでセットされます。IEREF のフラグの論理 OR ではありませんので、IEREF の要因がセットされた状態でもクリアすることができます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 電文長ビットで指定した受信データバイト数分の受信を完了せず、受信を終了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RxE = 1 の状態をリードしたあと、0 をライトしたとき

17.3.22 IEBus 受信割り込み許可レジスタ (IEIER)

IEIER は、IERSR の受信データレディ、受信開始、送受信正常終了、受信途中終了等のおのおのの要因について、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	RxRDYE	0	R/W	<p>受信データレディ割り込み許可</p> <p>受信データレディ割り込みの禁止 / 許可を設定します。</p> <p>0: 受信データレディ (RxRDY) 割り込みを禁止</p> <p>1: 受信データレディ (RxRDY) 割り込みを許可</p>
6~3	-	すべて 0	-	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。ライトは無効です。</p>
2	RxSE	0	R/W	<p>受信開始検出割り込み許可</p> <p>受信開始 (RxS) 割り込みの禁止 / 許可を設定します。</p> <p>0: 受信開始 (RxS) 割り込みを禁止</p> <p>1: 受信開始 (RxS) 割り込みを許可</p>
1	RxFE	0	R/W	<p>受信正常終了割り込み許可</p> <p>受信正常終了 (RxF) 割り込みの禁止 / 許可を設定します。</p> <p>0: 受信正常終了 (RxF) 割り込みを禁止</p> <p>1: 受信正常終了 (RxF) 割り込みを許可</p>
0	RxE	0	R/W	<p>受信エラー終了割り込み許可</p> <p>受信エラー終了 (RxE) 割り込みの禁止 / 許可を設定します。</p> <p>0: 受信エラー終了 (RxE) 割り込みを禁止</p> <p>1: 受信エラー終了 (RxE) 割り込みを許可</p>

17.3.23 IEBus 受信エラーフラグレジスタ (IEREF)

IEREF は、IERSR で RxE 要因で割り込みが発生したときの要因のチェックを行います。オーバーランエラー、タイミングエラー、フレーム最大伝送バイト数オーバー、パリティエラーを検出することができます。

これらのフラグは、受信開始フラグ (RxS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、これらのビットはセットされず、RxE フラグもセットされません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	OVE	0	R/W	<p>オーバーラン制御フラグ データ受信中のオーバーラン制御に使用するフラグです。</p> <p>IEB は、RxRDY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で次バイトのデータを受信し、さらにパリティビットの受信を開始した時点で、OVE フラグ、および RxE フラグをセットします。アクノリッジビット送信時までに OVE ビットがセットされたままだと、IEB はオーバーランエラーが発生したと判断し、通信相手に NAK を返送します。</p> <p>このあと、通信相手はフレーム最大伝送バイト数に達するまで、再送を行いますが、OVE フラグがセットされたままだと、IEB はオーバーランエラーが解消されていないものと判断し、NAK を送信し続けます。</p> <p>OVE フラグがクリアされると、IEB はオーバーランエラーが解消されたものと判断し、ACK を送信し次のデータを取り込みます。</p> <p>同報受信の場合、アクノリッジビット送信時に、OVE ビットがセットされていると、直ちに待機状態に入ります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RxRDY フラグがクリアされていない状態で、次バイトのデータを受信し、そのデータのパリティビットの受信を開始したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • OVE = 1 の状態をリードしたあと、0 をライトしたとき
2	RTME	0	R/W	<p>タイミングエラー データ受信時、IEBus プロトコルで規定したタイミングで正しくデータを受信できなかった場合、本ビットがセットされます。IEB は、RxE フラグをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • データ受信中に、タイミングエラーが発生したことを示す <p>[クリア条件]</p> <ul style="list-style-type: none"> • RTME = 1 の状態をリードしたあと、0 をライトしたとき

17. IEBus™ コントローラ (IEB)

ビット	ビット名	初期値	R/W	説明
1	DLE	0	R/W	<p>受信フレーム最大伝送バイト数オーバー</p> <p>データ受信時に、パリティエラーかオーバランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で、受信が終了しなかったか、電文長の値が、最大伝送バイト数より大きい値であったため、受信が終了しなかったことを示します。IEB は、RxE フラグをセットして待機状態となります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 通信モードで定義される最大バイト数内で、受信が終了しなかったことを示します。 <p>[クリア条件]</p> <ul style="list-style-type: none"> DLE=1 の状態をリードしたあと、0 をライトしたとき
0	PE	0	R/W	<p>パリティエラー</p> <p>データフィールド受信中に、パリティエラーが発生したことを示します。</p> <p>データフィールド受信前にパリティエラーが発生した場合、IEB は直ちに待機状態になります。PE はセットされません。</p> <p>データフィールド受信中パリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、PE はまだセットされません。パリティエラーが発生すると、IEB はアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。再受信中に、パリティエラーが解消され、正常に受信が行われると、PE はセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になったときに、パリティエラーが解消されていなかった場合、PE はセットされます。</p> <p>同報受信の場合、データフィールド受信中にパリティエラーが発生すると、IEB は PE ビットをセットし、直ちに待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> PE=1 の状態をリードしたあと、0 をライトしたとき

17.4 動作説明

17.4.1 マスタ送信動作

スレーブ受信後に、DTCを使用してマスタ送信をする例を示します。

(1) IEBの初期設定

(a) IEBusコントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。DTC で転送しますので、LUEE=0 にします。

(b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

マスタアドレスの設定をします。同時に、IEAR1 で通信モードを設定します。

(c) IEBus スレーブアドレスレジスタ 1、2 (IESA1、IESA2) の設定

送信相手のスレーブアドレスの設定をします。

(d) IEBus マスタコントロールレジスタ (IEMCR) の設定

同報 / 通常通信の選択、アービトレーション負けのときの再送回数、およびコントロールビットの設定をします。

(e) IEBus 送信電文長レジスタ (IETBFL) の設定

電文長ビットの設定をします。

(f) IEBus 送信 / 暴走割り込み許可レジスタ (IEIET) の設定

TxRDY 割り込み (IETxI)、TxS 割り込み、TxF 割り込み、TxE 割り込み (IETSI) の割り込みを許可します。上記設定は、どのレジスタから設定しても問題ありません。(設定順序により、動作が異なることはありません。)

(2) DTCの初期設定

- DTC転送要求で発生するベクタアドレス (H'000004D4) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。
- 上記RAMの先頭アドレスから以下の設定をします。
 - 転送元アドレス (SAR) : データフィールドで送信するデータを格納したRAMの先頭アドレス
 - 転送先アドレス (DAR) : IEBus送信バッファレジスタ (IETBR) のアドレス (H'FFF808)
 - 転送カウント (CRA) : IETBFLと同じ値
- DTCイネーブルレジスタG (DTCERG) のDTCCEG5をセットして、TxRDY割り込み (IETxI) を許可します。TxRDYはリセット後もデータが保持されていますので、IETxIが許可された時点でDTC転送が実行され、最初のデータフィールドのデータがIETBRに書き込まれます。DTCはTxRDYをネゲートし1バイト目のDTC転送が終了します。

17. IEBus™ コントローラ (IEB)

(3) マスタ送信動作のフロー

図 17.8 にマスタ送信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。

1. IEB、DTCの初期設定が終了したあとで、IECMRレジスタでマスタ通信要求コマンドを発行します。スレーブ受信中は、IEFLGの中のコマンド実行中ステータス (CMX) が立ち、マスタ通信要求は発行されません。
2. スレーブ受信が終了するとCMXがクリアされ、マスタ送信要求コマンドが実行され、MRQがセットされます。
3. アービトレーションに勝ち、マスタアドレスが送信された時点で、IETSRレジスタの送信開始フラグ (TxS) がセットされます。このときCPUに対し、送信ステータス割り込み (IETSI) が要求されます。割り込みルーチンでTxSをクリアします。
4. コントロールフィールド、電文長フィールドを送信し、おのおののフィールドでACKを受信すると、IEBはIETBRからデータフィールドの送信データを取り込みます。これにより、TxRDYがセットされます。IETXIによるDTC転送要求が発生し、2バイト目のデータが送信バッファに書き込まれます。
5. 以降、同様にしてデータフィールドの転送、送信を繰り返します。
6. 最終バイトで送信するデータを書き込んだ時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはTxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG (DTCERG) のDTCEG5をクリアしますので、これ以降DTCへの転送要求は発生しません。
7. DTCの転送が終了した時点で、CPUに対してTxRDY割り込み (IETXI) が発生します。この割り込みルーチンでTxRDYフラグをクリアできますが、最終バイト送信後、再度TxRDY割り込みが発生しますのでTxRDYフラグはクリアしないでおきます。(IECTRのLUEEがIにセットされていると、アンダーランエラーが発生し、送信を終了しますのでLUEEは0で使用してください)ただし、これ以降、常にTxRDY割り込みが発生することになりますので、TxRDY割り込みは禁止にします。
8. 最終データ転送終了後、正常終了 (TxF) 割り込み (IETSI) が発生します。ここで、CPUはTxFフラグをクリアし正常終了割り込みを終了します。MRQは0にクリアされます。

【注】 送信ステータス割り込み (IETSI) は、送信開始 (TxS) ・正常終了 (TxF) 割り込み以外にエラー終了 (TxE) 割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。

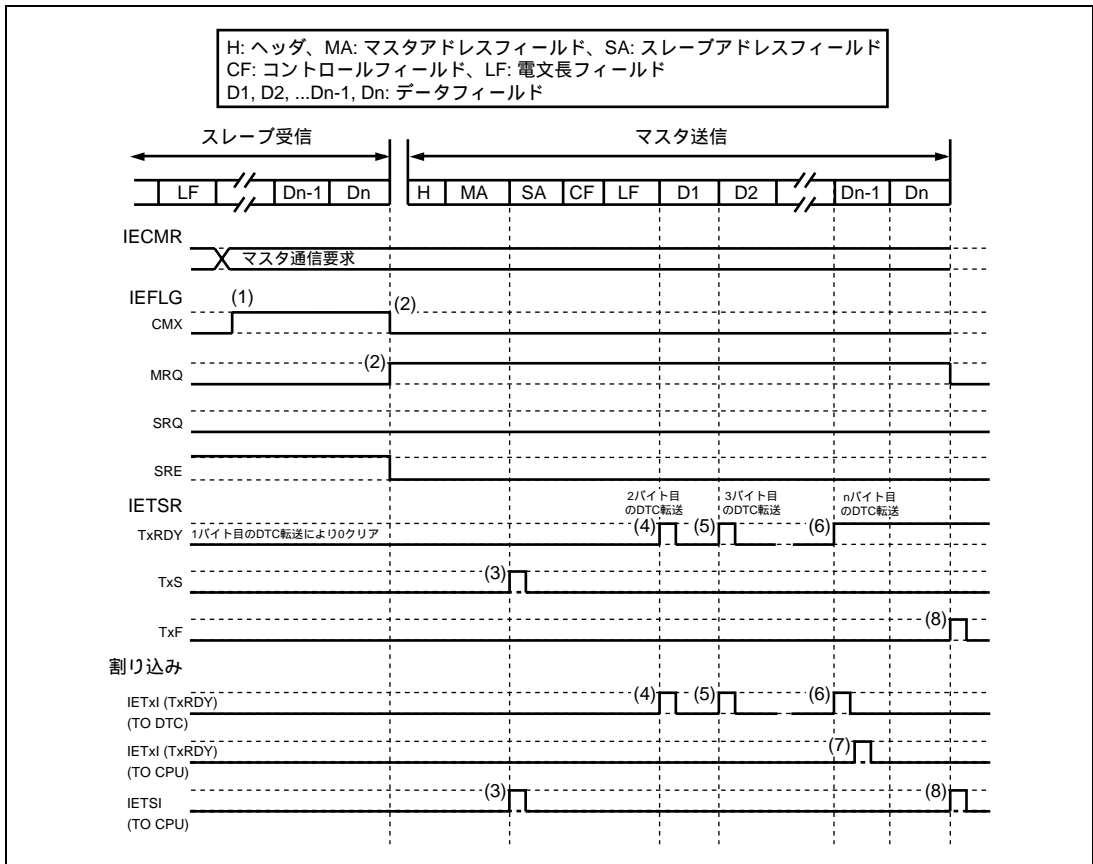


図 17.8 マスタ送信動作タイミング図

17.4.2 スレーブ受信動作

同報受信後に、DTC を使用してスレーブ受信をする例を示します。

(1) IEB の初期設定

(a) IEBus コントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。受信をしますので、RE = 1 にします。LUEE の設定は必要ありません。

(b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

自局アドレスを設定します。同時に、IEAR1 で通信モードを設定します。通信フレーム中のスレーブアドレスとの比較を行い、一致していればフレームを受信します。

(c) IEBus 受信割り込み許可レジスタ (IEIER) の設定

RxRDY 割り込み (IERxI)、RxS 割り込み、RxF 割り込み、RxE 割り込み (IERSI) の割り込みを許可します。上記設定は、どのレジスタから設定しても問題ありません。(設定順序により、動作が異なることはありません。)

(2) DTC の初期設定

1. DTC転送要求で発生するベクタアドレス (H'000004D2) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。
2. 上記RAMの先頭アドレスから以下の設定をします。
 - 転送元アドレス (SAR) : IEBus受信バッファレジスタ (IERBR) のアドレス (H'FFF80D)
 - 転送先アドレス (DAR) : データフィールドで受信するデータを格納するRAMの先頭アドレス
 - 転送カウント (CRA) : 転送モードにおけるフレーム最大伝送バイト数
3. DTCイネーブルレジスタG (DTCERG) のDTCEG6をセットして、RxRDY割り込み (IERxI) を許可します。上記設定は、フレームの受信前に行っているため、受信するデータの長さは分かりません。そのため、フレーム最大伝送バイト数をDTCの転送カウントに設定しています。DTCの設定を受信開始後に行う場合、受信開始 (RxS) 割り込みルーチンで行います。このとき、転送カウンタはIEBus受信電文長レジスタ (IERBFL) と同じ値にしてください。

(3) スレーブ受信動作のフロー

図 17.9 にスレーブ受信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。ここでは、DTC の設定をフレーム受信開始時に行う例で説明します。

1. 同報受信が終了したあと、スレーブ受信を行います。IEFLGの受信同報ビット(RSS)は受信開始フラグ(RxS)がセットされるまで、前のフレームの情報を保持(1のまま)します。RSSがヘッダ受信のタイミングで変化すると、同報受信終了割り込み処理をヘッダ受信までの間に行わなければなりません。このため、RSSは受信開始時に値が変わる仕様になっています。
2. 電文長フィールドまで正しく受信すると、受信開始(RxS)割り込み(受信ステータス割り込み(IERSI))が発生します。SREは1にセットされます。ここで、(2)のDTCの初期設定を行います。設定後、RxSフラグをクリアします。
3. 最初のデータを受信すると、RxRDYがセットされます。IERxIによるDTC転送要求が発生し、DTCはIEBus受信バッファレジスタ(IERBR)からデータを取り込んで、RxRDYフラグをクリアします。
4. 以降、同様にしてデータフィールドの受信、転送を繰り返します。
5. 最終データ受信時に、受信データをRAMに転送した時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはRxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG(DTCEG)をクリアしますので、これ以降DTCへの転送要求は発生しません。
6. DTCの転送が終了した時点で、CPUに対してRxRDY割り込み(IERxI)が発生します。この割り込みルーチンでRxRDYフラグをクリアします。
7. 最終データ受信時に、正常終了(RxF)割り込み(IERSI)が発生します。ここで、CPUはRxFフラグをクリアし正常終了割り込みを終了します。SREは0にクリアされます。

- 【注】
1. 受信ステータス割り込み(IERSI)は、送信開始(RxS)・正常終了(RxF)割り込み以外にエラー終了(RxE)割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。
 2. 上記6.の割り込みは、DTC転送が終了したあとですので、実際は7.のあとに発生します。

17. IEBus™ コントローラ (IEB)

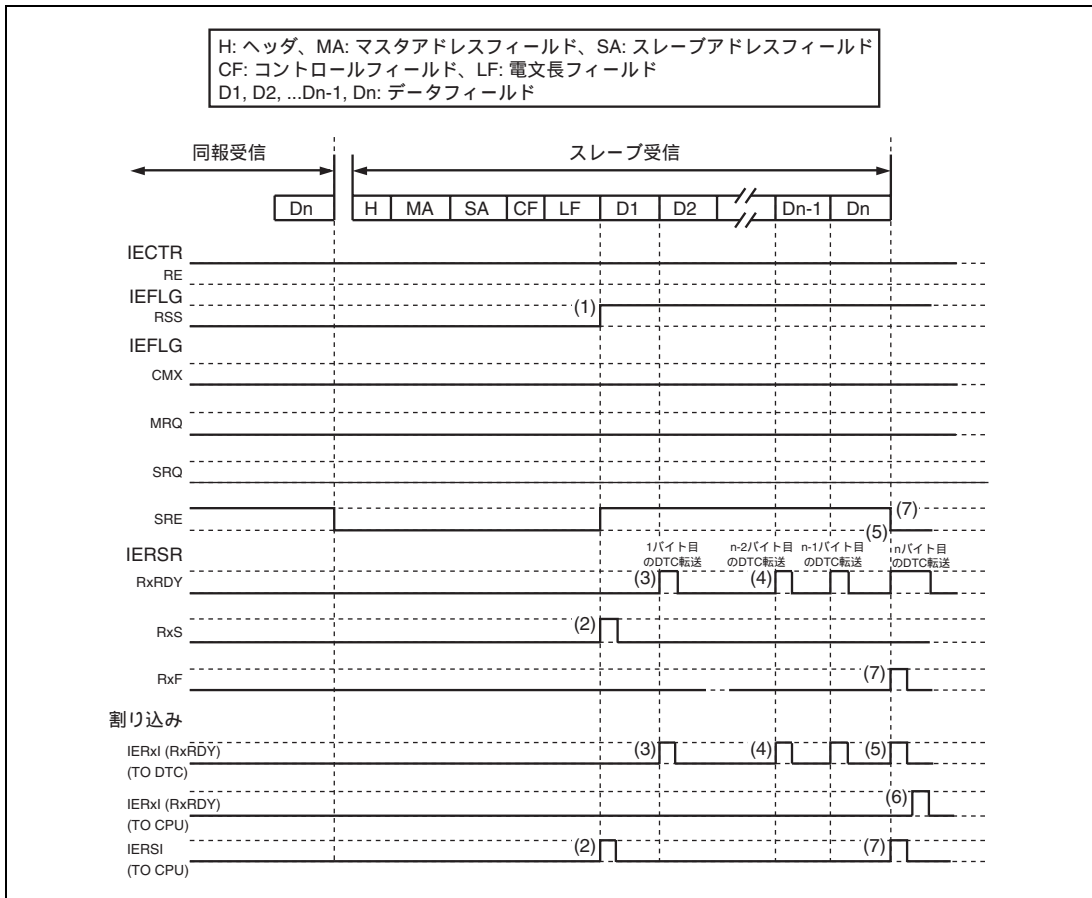


図 17.9 スレーブ受信動作タイミング図

(4) 同報受信動作でエラーが発生した場合 (DEE = 1)

DEE ビットを設定して、スレーブ受信後の同報受信で、コントロールフィールド受信までに受信準備ができずに (RxRDY をクリアしなかった場合)、受信エラーが発生する例を示します。

【注】 コントロールフィールド受信までに、RE ビットをセットしなかった場合も同様です。

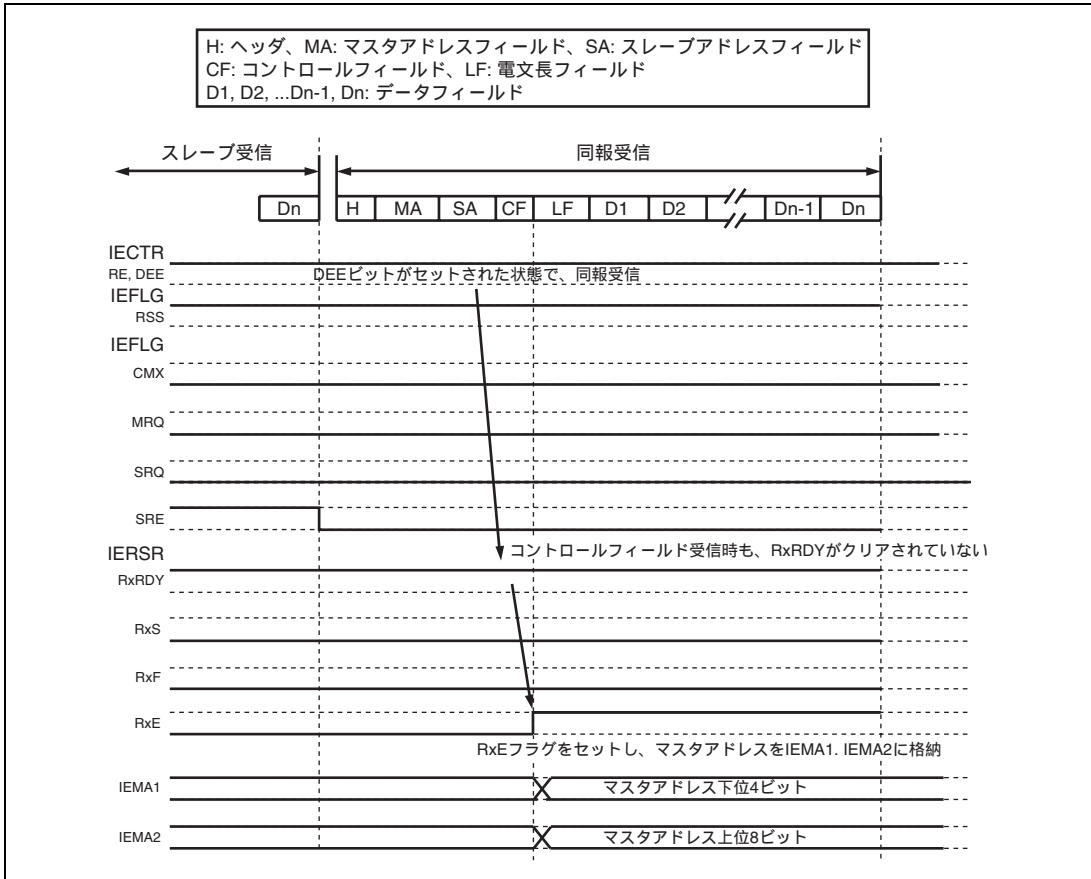


図 17.10 同報受信動作でエラーが発生した場合 (DEE = 1)

17.4.3 マスタ受信動作

スレーブ受信後に、DTC を使用してマスタ受信をする例を示します。

(1) IEB の初期設定

(a) IEBus コントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。受信をしますので、RE = 1 にします。LUEE の設定は必要ありません。

(b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

自局アドレスを設定します。同時に、IEAR1 で通信モードを設定します。通信フレーム中のスレーブアドレスとの比較を行い、一致していればフレームを受信します。

(c) IEBus スレーブアドレスレジスタ 1、2 (IESA1、IESA2) の設定

送信相手のスレーブアドレスを設定します。

17. IEBus™ コントローラ (IEB)

(d) IEBus マスタコントロールレジスタ (IEMCR) の設定

同報 / 通常通信の選択、アービトレーション負けのときの再送回数、およびコントロールビットの設定をします。

(e) IEBus 受信割り込み許可レジスタ (IEIER) の設定

RxRDY 割り込み (IERxI)、RxS 割り込み、RxF 割り込み、RxE 割り込み (IERSI) の割り込みを許可します。上記設定は、どのレジスタから設定しても問題ありません。(設定順序により、動作が異なることはありません。)

(2) DTC の初期設定

1. DTC転送要求で発生するベクタアドレス (H'000004D2) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。

2. 上記RAMの先頭アドレスから以下の設定をします。

- 転送元アドレス (SAR) : IEBus受信バッファレジスタ (IERBR) のアドレス (H'FFF80D)
- 転送先アドレス (DAR) : データフィールドで受信するデータを格納するRAMの先頭アドレス
- 転送カウント (CRA) : 転送モードにおけるフレーム最大伝送バイト数

3. DTCイネーブルレジスタG (DTCERG) のDTCEG6をセットして、RxRDY割り込み (IERxI) を許可します。

上記設定は、フレームの受信前に行っているため、受信するデータの長さは分かりません。そのため、フレーム最大伝送バイト数を DTC の転送カウントに設定しています。

DTC の設定を受信開始後行う場合、受信開始 (RxS) 割り込みルーチンで行います。このとき、転送カウンタは IEBus 受信電文長レジスタ (IERBFL) と同じ値にしてください。

(3) マスタ受信動作のフロー

図 17.11 にマスタ受信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。ここでは、DTC の設定をフレーム受信開始時に行う例で説明します。

1. IEBの初期設定が終了したあとで、IECMRレジスタでマスタ通信要求コマンドを発行します。スレーブ受信中は、IEFLGの中のコマンド実行中ステータス (CMX) が立ち、マスタ通信要求は発行されません。
2. スレーブ受信が終了するとCMXがクリアされ、マスタ送信要求コマンドが実行され、MRQがセットされます。
3. アービトレーションに勝つと、マスタアドレス、スレーブアドレス、コントロールフィールドを送信します。コントロールフィールド送信までの間に発生したエラーは、送信エラーとして処理され、TxEフラグがセットされ、IETEFにエラー内容が反映されます。
4. スレーブから電文長フィールドを受信します。このとき、パリティエラーがなく正しく受信できた場合、受信開始 (RxS) フラグがセットされます。パリティエラーが発生した場合、受信エラーとして処理されます。受信開始 (RxS) 割り込み (受信ステータス割り込み (IERSI)) が発生し、ここで、(2)のDTCの初期設定を

行います。設定後、RxSフラグをクリアします。

5. 最初のデータを受信すると、RxRDYがセットされます。IERxIによるDTC転送要求が発生し、DTCはIEBus受信バッファレジスタ (IERBR) からデータを取り込んで、RxRDYフラグをクリアします。
6. 以降、同様にしてデータフィールドの受信、転送を繰り返します。
7. 最終データ受信時に、受信データをRAMに転送した時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはRxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG (DTCEG) をクリアしますので、これ以降DTCへの転送要求は発生しません。
8. DTCの転送が終了した時点で、CPUに対してRxRDY割り込み (IERxI) が発生します。この割り込みルーチンでRxRDYフラグをクリアします。
9. 最終データ受信時に、正常終了 (RxF) 割り込み (IERSI) が発生します。ここで、CPUはRxFフラグをクリアし正常終了割り込みを終了します。MRQは0にクリアされます。

- 【注】
1. 受信ステータス割り込み (IERSI) は、送信開始 (RxS) ・正常終了 (RxF) 割り込み以外にエラー終了 (RxE) 割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。
 2. 上記 8. の割り込みは、DTC 転送が終了したあとですので、実際は 9. のあとに発生します。

17. IEBus™ コントローラ (IEB)

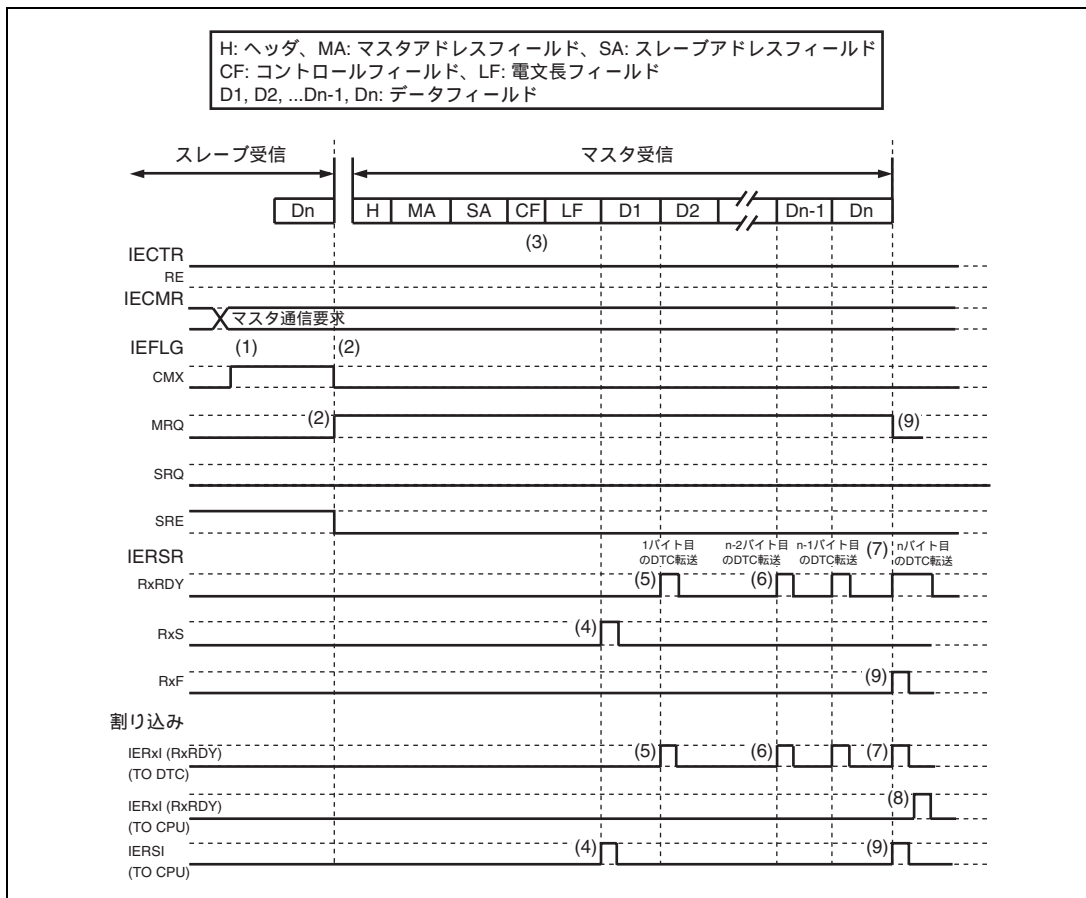


図 17.11 マスタ受信動作タイミング図

17.4.4 スレーブ送信動作

スレーブ受信後に、DTCを使用してスレーブ送信をする例を示します。

(1) IEB の初期設定

(a) IEBus コントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。DTC で転送をしますので、LUEE=0 にします。

(b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

自局アドレスを設定します。同時に、IEAR1 で通信モードを設定します。通信フレーム中のスレーブアドレスとの比較を行い、一致していればフレームを受信します。

(c) IEBus 送信電文長レジスタ (IETBFL) の設定

電文長ビットを設定します。

(d) IEBus 送信 / 暴走割り込み許可レジスタ (IEIET) の設定

TxRDY 割り込み (IETxI)、TxS 割り込み、TxF 割り込み、TxE 割り込み (IETSI) の割り込みを許可します。

上記設定は、どのレジスタから設定しても問題ありません。(設定順序により、動作が異なることはありません。)

(2) DTC の初期設定

1. DTC転送要求で発生するベクタアドレス (H'000004D4) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。
2. 上記RAMの先頭アドレスから以下の設定をします。
 - 転送元アドレス (SAR) : データフィールドで送信するデータを格納したRAMの先頭アドレス
 - 転送先アドレス (DAR) : IEBus受信バッファレジスタ (IETBR) のアドレス (H'FFF808)
 - 転送カウント (CRA) : IETBFLと同じ値
3. DTCイネーブルレジスタG (DTCERG) のDTCEG5をセットして、TxRDY割り込み (IETxI) を許可します。TxRDYはリセット後、ずっとセットされていますので、IETxIが許可された時点でDTC転送が実行され、最初のデータフィールドのデータがIETBRに書き込まれます。DTCはTxRDYをネゲートし、1バイト目のDTC転送が終了します。

(3) スレーブ送信動作のフロー

図 17.12 にスレーブ送信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。

1. IEB、DTCの初期設定が終了したあとで、IECMRレジスタでスレーブ送信要求コマンドを発行します。スレーブ受信中は、IEFLGの中のコマンド実行中ステータス (CMX) が立ち、スレーブ送信要求は発行されません。
2. スレーブ受信が終了するとCMXがクリアされ、スレーブ送信要求コマンドが実行され、SRQがセットされません。
3. コントロールフィールドまで正しく受信し、コントロールビットの内容が、H3がH7であった場合、送信開始 (TxS) フラグをセットします。TxS割り込みルーチンでTxSフラグをクリアします。
4. このあと、スレーブは電文長フィールドを送信し、ACKを受信すると、IEBusはIETBRからデータフィールドの送信データを取り込みます。これにより、TxRDYがセットされます。IETxIによるDTC転送要求が発生し、2バイト目のデータが送信バッファに書き込まれます。
5. 以降、同様にしてデータフィールドの転送、送信を繰り返します。
6. 最終バイトで送信するデータを書き込んだ時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはTxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG (DTCERG) のDTCEG5をクリアしますので、これ以降DTCへの転送要求は発生しません。

17. IEBus™ コントローラ (IEB)

7. DTCの転送が終了した時点で、CPUに対してTxRDY割り込み (IETxI) が発生します。この割り込みルーチンでTxRDYフラグをクリアできますが、最終バイト送信後、再度TxRDY割り込みが発生しますのでTxRDYフラグはクリアしないでください。(IECTRのLUEEが1にセットされていると、アンダーランエラーが発生し、送信を終了しますのでLUEEは0で使用してください)ただし、これ以降、常にTxRDY割り込みが発生することになりますので、TxRDY割り込みは禁止にします。
8. 最終データ転送終了後、正常終了 (RxF) 割り込み (IETSI) が発生します。ここで、CPUはTxFフラグをクリアし正常終了割り込みを終了します。SRQは0にクリアされます。

- 【注】
1. 送信ステータス割り込み (IETSI) は、送信開始 (TxS) ・正常終了 (TxF) 割り込み以外にエラー終了 (TxE) 割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。
 2. スレーブ送信で、マスタからのコントロールビットが H'0 か H'4 か H'5 か H'6 の場合は IEB は自動的に処理を行いますので、TxS、TxF フラグはセットされません。

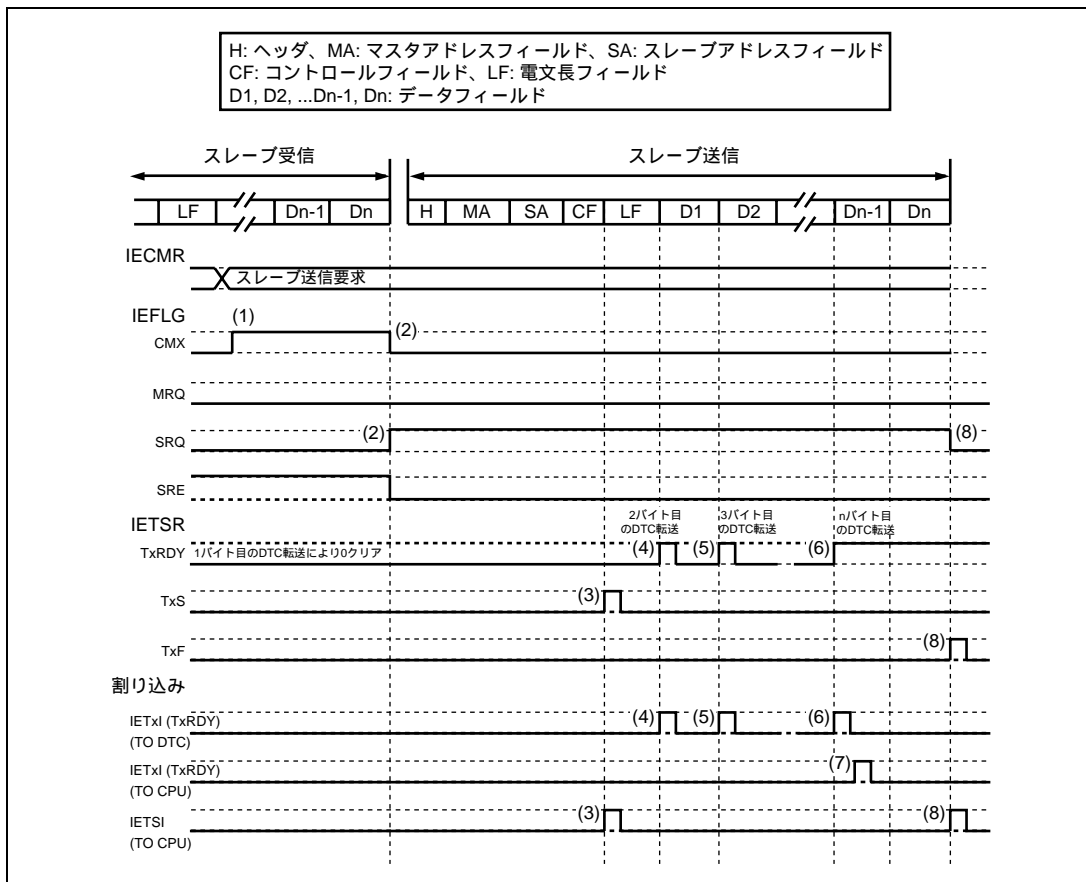


図 17.12 スレーブ送信動作タイミング図

17.5 割り込み要因

送信、受信それぞれの割り込み要因の関係を図 17.13、図 17.14 に示します。

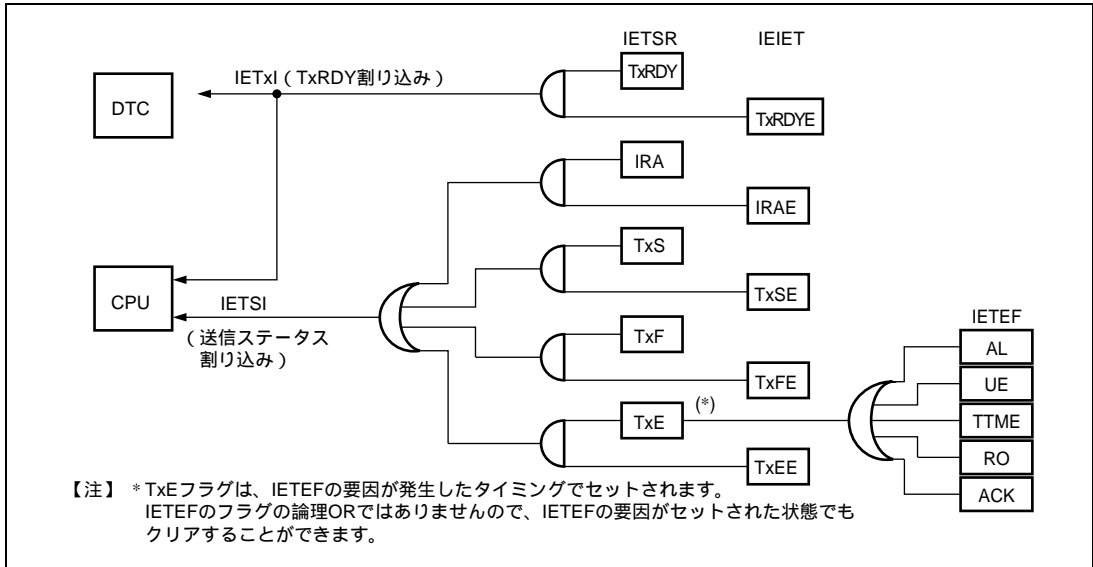


図 17.13 送信割り込み要因の関係

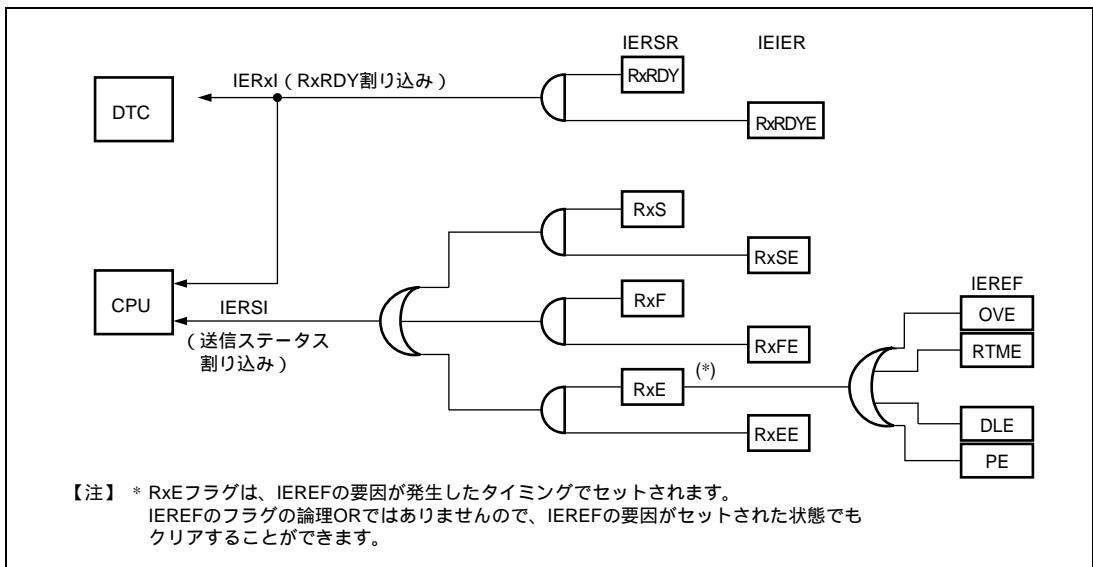


図 17.14 受信割り込み要因の関係

17.6 使用上の注意事項

17.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IEBの動作禁止/許可を設定することが可能です。初期値では、IEBの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第22章 低消費電力状態」を参照してください。

17.6.2 TxRDY フラグとアンダーランエラーについて

1. TxRDYフラグはIETBRが空であることを示すフラグです。DTCによるIETBRへの書き込みで、TxRDYフラグはクリアされますが、CPUによるIETBRへの書き込みではクリアされません。プログラムでクリアする必要があります。
2. CPUによるIETBRの書き込みがフレーム送信に対し遅れて間に合わなかった場合、あるいは、DTCの転送語数が、電文長ビットで指定された長さより短かった場合、アンダーランエラーが発生します。
3. IEBは、TxRDYフラグがセットされた状態で、IETBRからデータを取り出して送信シフトレジスタへデータを転送しようとする、アンダーランエラーが発生したものと判断します。この際、IETSRのTxEビットをセットして、待機状態に入ります。同時にIETEFのUEビットがセットされます。
4. 受信側では、途中で通信が中断された形になりますので、タイミングエラーとなります。
5. DTCを使用した転送では、最終バイトのデータをIETBRに転送したあと、IETSRのTxRDYフラグはクリアされず、DTCの割り込みによるCPUの割り込みが発生します。
このCPUの割り込み処理の中で、TxRDYフラグをクリアしなかった場合、最終データをIETBRから取り出して送信シフトレジスタへデータを転送しようとする、アンダーランエラーが発生してしまいます。このときLUEEビットが0にクリア（初期値）されている場合は、上記のようなアンダーランエラーが発生することなく、最終データフィールドまで正常に送信されます（LUEEビットが1にセットされているときは、アンダーランエラーとなります）。
6. 上記5.のようにDTCを使用しても、DTCの転送語数が電文長ビットで指定された長さより短かった場合には、LUEEビットは無効になります（LUEEビットが有効になるのは、電文長ビットで指定された分の送信を行った場合だけです）。この場合、アンダーランエラーが発生し、DTCの転送語数より1バイト少ない転送を行ったあと、送信エラー終了となります。

17.6.3 RxRDY フラグとオーバランエラーについて

1. RxRDYフラグはIERBRに受信データがあることを示すフラグです。DTCによるIERBRからの読み出しで、RxRDYフラグはクリアされますが、CPUによるIERBRからの読み出しではクリアされません。プログラムでクリアする必要があります。
2. CPUによるIERBRからの読み出しがフレーム受信に対し遅れて間に合わなかった場合、あるいは、DTCの転送語数が、受信電文長ビットで指定された長さより短かった場合、オーバランエラーが発生します。
3. IEBは、RxRDYフラグがセットされた状態で、データを受信し、パリティビットを受信開始したタイミングで、OVEビットをセットします。アクノリッジビット送信タイミングで、このOVEビットがセットされると、IEBはオーバランエラーが発生したものと認識して、NAKを返信します。同時に受信シフトレジスタのデータは廃棄します。
4. 送信側では、NAKを受信したので、ACKを受信するまで再送を続けます。
5. OVEがセットされたときのRxE割り込みによる割り込みルーチンで、単にOVEフラグをクリアしただけで、IERBRから受信データの転送を行っていないプログラムの場合、IEBはオーバランエラーは解消したものと判断し、外部に対しACKを送信します。この場合、送信側では問題なく通信を終了させますが、受信側では受信データがIERBRから転送が行われることなく、受信を続けます。したがって、OVEによる割り込みでは、IERBRから受信データを取り出し、RxRDYフラグをクリアして、次バイトから受信できる状態にDTCを設定したあと、OVEフラグをクリアしてください。
6. 上記5. はDTCの転送語数を常にIERBFLの値にしておけば、発生することはありません。

17.6.4 IETEF のエラーフラグについて

(1) AL フラグ

アービトレーション負けが発生し、IEMCRで設定した回数分再送してもアービトレーション負けであった場合にセットされます。再送している間にアービトレーションに勝った場合にはセットされません。ALフラグがセットされると、TxEフラグをセットして待機状態になります。

(2) UE フラグ

UEフラグがセットされると、TxEフラグをセットして待機状態になります。詳細は、「17.6.2 TxRDYフラグとアンダーランエラーについて」を参照してください。

(3) TTME フラグ

データ送信中にタイミングエラーが発生した場合、TTMEフラグをセットし、TxEフラグをセットして待機状態になります。

17. IEBus™ コントローラ (IEB)

(4) RO フラグ

データフィールド送信中に、受信側からNAKを受信し、再送を行った結果、プロトコルで規定する最大伝送バイト数まで送信し、電文長で指定されたバイト数だけ送信しなかった場合、あるいは、電文長の値が、最大伝送バイト数より大きい値であった場合、ROフラグがセットされます。プロトコルで規定する最大伝送バイト数を指定し（たとえばモード1では32バイトを電文長で指定）、正しく送信した場合にはROはセットされません。ROフラグがセットされると、TxEフラグをセットして待機状態になります。

(5) ACK フラグ

- 電文長フィールド送信までの間に、アクノリッジビットでNAKを受信した場合には、ACKフラグをセットし、TxEフラグをセットして待機状態になります。
- データフィールドのアクノリッジビットでNAKを受信した場合には、プロトコルで規定する最大伝送バイト数までデータを自動的に再送します。この再送の間でアクノリッジビットでACKを受信し、以降データを正しく送信した場合、ACKはセットされません。最大伝送バイト数まで送信を行った結果、最後のデータ送信でもNAK受信であった場合、ACKフラグをセットして待機状態になります。

【注】 データフィールド送信中に、受信側からNAKを受信し、再送を行った結果、プロトコルで規定する最大伝送バイト数まで送信を行ったが、電文長で指定されたバイト数だけ送信しなかった場合でも、最終バイト送信のアクノリッジビット受信でACKを受信するケースがあります。この場合、ROフラグはセットされますが、ACKフラグはセットされません。

17.6.5 IEREFのエラーフラグについて

(1) OVE フラグ

OVEフラグがセットされると、RxEフラグはセットされますが、オーバランエラーが解消され、OVEフラグがクリアされると、IEBus受信動作を継続します。詳細は、「17.6.3 RxRDYフラグとオーバランエラーについて」を参照してください。

(2) RTME フラグ

受信開始後（RxSがセットされた後）、データ受信中にタイミングエラーが発生した場合、RTMEフラグをセットし、RxEフラグをセットして待機状態になります。受信開始前では、本フラグはセットされず、受信フレーム破棄されます。

(3) DLE フラグ

データフィールド受信中に、パリティエラーかオーバランエラーにより、NAKを送信し、再送を行った結果、プロトコルで規定する最大伝送バイト数まで受信して、電文長で指定されたバイト数だけ受信しなかった場合、あるいは、電文長の値が最大伝送バイト数より大きい値であった場合、DLEフラグがセットされます。電文長でプロトコルで規定する最大伝送バイト数を指定し、正しく受信した場合にはDLEはセットされません。DLEフラグがセットされると、RxEフラグをセットして待機状態になります。

(4) PE フラグ

受信開始後 (RxS がセットされたあと)、パリティエラーが発生した場合、NAK を送信し再受信を行います。プロトコルで規定する最大伝送バイト数まで受信して、パリティエラーが解消されなかった場合、PE がセットされ、RxE フラグをセットして待機状態になります。この再受信の間でパリティエラーが解消され、以降正しくデータを受信した場合には PE はセットされません。

- 【注】
1. データフィールド受信中に、オーバーランエラーかパリティエラーが発生したため再送を行った結果、プロトコルで規定する最大伝送バイト数まで受信して電文長で指定されたバイト数だけ受信しなかった場合でも、最終バイト受信でパリティエラーもオーバーランエラーも発生しない場合もあります。この場合、DLE フラグはセットされませんが、OVE、PE フラグはセットされません。
 2. IEREF のフラグは、すべて受信開始後、セットされます。つまり、RxE フラグは必ず RxS ビットがセットされたあとで、有効になりセットされます。受信開始前のエラーが発生した場合は、フレームは破棄され、割り込みも発生しません。

17.6.6 スレーブ送信時の注意事項

スレーブステータス、ロックアドレスの上位およびロックアドレスの下位をスレーブが送信する際、マスタ受信側でパリティエラーか、オーバーランエラーが発生し、データが受信できないため、NAK が返された場合、スレーブで動作する場合には再送動作を行うことができません。

この場合、マスタ側ではエラーが発生したフレームは捨ててください。再度、マスタ受信で上記動作を要求し、エラーのないフレームを受信するようにしてください。

17.6.7 DTC 設定時の注意事項

送信データの DTC 転送時は DTCERG のビット 5 を、受信データの DTC 転送時は DTCERG のビット 6 を、それぞれビット操作命令 (BSET、BCLR 等) で設定し、DTCERG のその他のビット (ビット 7 およびビット 4~0) は 1 を書き込まないでください。

17.6.8 送信時のエラー処理

図 17.15 にタイミングエラー発生時の動作を示します。

データ送信時にタイミングエラー等が発生した場合 (1)、すでに DTC により、次の送信データが送信バッファに転送され、DTC の起動要因である TxRDY フラグがクリアされている場合があります。(2)

この状態で、再送信を行うと、データフィールドの 1 バイト目のデータとして、送信用バッファに残っているデータ (前回のフレームのデータ) を送信します。(3)

この動作を回避するため、マスタ送信時には、データフィールドの 1 バイト目のデータは、DTC を使用せずソフトウェア処理により送信用バッファに書き込んでください。2 バイト目以降のデータは DTC により転送します。

この際、DTC の SAR (転送元アドレス)、CRA (転送元カウンタ) は以下のように設定します。

- 2 バイト目のデータを格納している内蔵メモリのアドレス → SAR
- 電文長で指定したデータバイト数 - 1 → CRA

17. IEBus™ コントローラ (IEB)

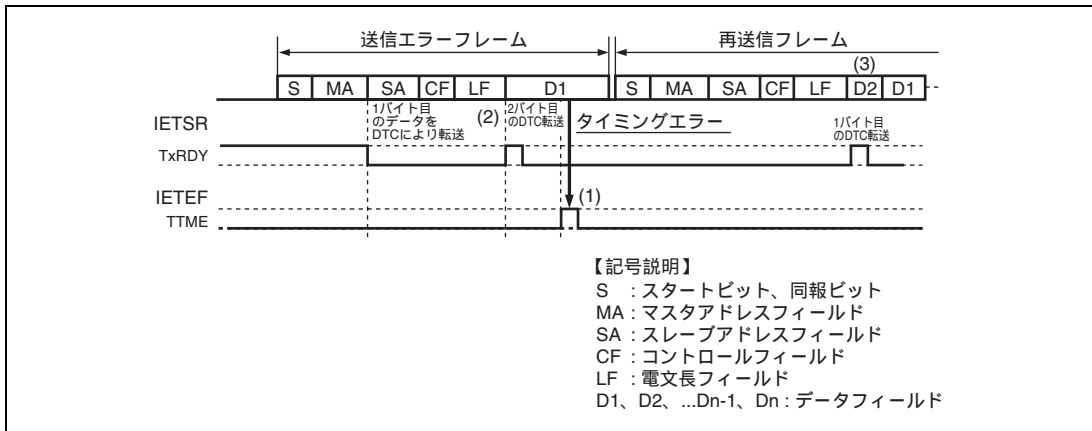


図 17.15 送信時のエラー処理

17.6.9 低消費電力モードの動作

IEB は、モジュールストップ、ウォッチ、ソフトウェアスタンバイ、ハードウェアスタンバイの低消費電力モードでは動作を停止し、内部はリセットされます。

IEB をリセットする場合は、モジュールストップモードに設定してください。IEB を使用して、消費電力を下げたい場合は、スリープモードを使用してください。

17.6.10 中速モードにおける注意事項

中速モードにおいては IEB のレジスタに対してリード/ライトを行わないでください。

17.6.11 レジスタアクセスにおける注意事項

IEB のレジスタはすべてバイトアクセスのみ可能です。ワードおよびロングワードアクセスは行わないでください。

18. コントローラエリアネットワーク (HCAN) 【H8S/2556 グループ】

HCAN は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN(Controller Area Network) を制御します。CAN の仕様については「BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH」を参照してください。HCAN のブロック図を図 18.1 に示します。

18.1 特長

- CANバージョン：Bosch 2.0B active準拠
通信方式：NRZ (Non-Return to Zero) 方式 (ビットスタッフ機能あり)
ブロードキャスト通信方式
伝送路：双方向2線式シリアル通信
通信速度：最高1Mbps
データ長：0~8バイト
- チャンネル数：1
- データバッファ：16 (受信専用×1バッファ、送信 / 受信設定可能×15バッファ)
- データ送信方式：2種類
メールボックスの番号順 (昇順)
メッセージ優先順位 (Identifier) の高い順
- データ受信方式：2種類
メッセージIdentifierの一致 (送信 / 受信設定バッファ)
メッセージIdentifierマスクして受信 (受信専用)
- 割り込み要因：12
各種エラー割り込み
リセット処理割り込み
メッセージ受信割り込み
メッセージ送信割り込み
- HCAN動作モード
- 各種モードをサポート
ハードウェアリセット
ソフトウェアリセット

18. コントローラエリアネットワーク (HCAN)

通常状態 (エラーアクティブ、エラーパッシブ)

バスオフ状態

HCANコンフィギュレーションモード

HCANスリープモード

HCAN HALTモード

- モジュールストップモードの設定可能
- メッセージ受信 (HCANのメールボックス0のみ) メッセージボックスによりDTC起動可能

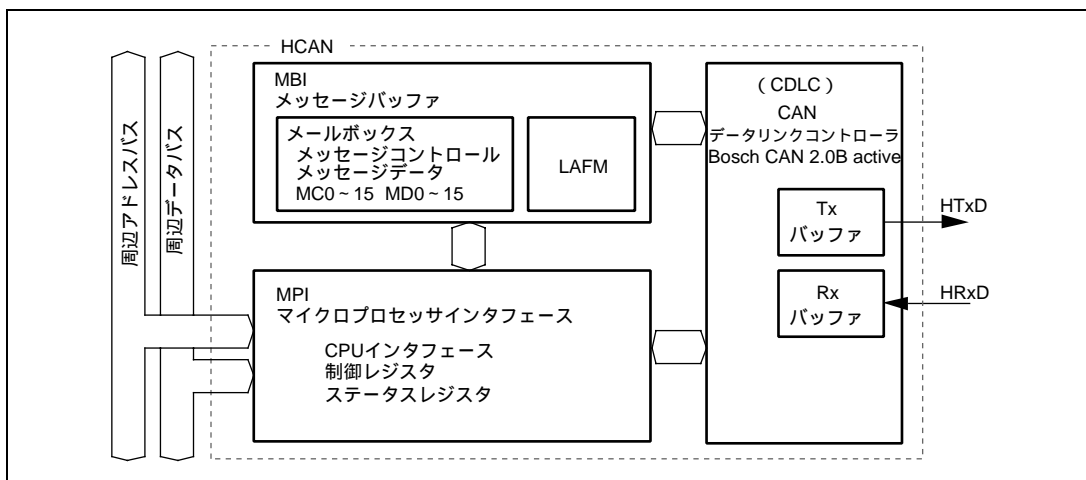


図 18.1 HCAN のブロック図

メッセージバッファインタフェース (Message Buffer Interface)

MBIはメールボックスとローカルアクセプタンスフィルタマスク (LAFM) より構成されており、CANの送信 / 受信メッセージ (Identifierおよびデータ等) を格納する部分です。送信メッセージはCPUからライトを行います。受信メッセージはCDLCで受信したデータを自動的に格納します。

マイクロプロセッサインタフェース (MicroProcessor Interface)

MPIはCPUとのバスインタフェース、制御レジスタ、ステータスレジスタ等から構成されており、HCAN内のデータ、およびステータス等を制御する部分です。

CAN データリンクコントローラ (CAN Data Link Controller)

CDLCはBosch CAN ver.2.0B activeに準拠しておりメッセージ (データフレーム、リモートフレーム、エラーフレーム、オーバーロードフレーム、インタフレームスペーシング) の送受信、CRCチェック、バスアービトラレーションなどを行います。

18.2 入出力端子

HCAN の端子構成を表 18.1 に示します。

なお、HCAN 端子を使用する際は、必ず HCAN コンフィギュレーションモード期間中(初期設定期間: MCR0=1 かつ GSR3=1) に設定してください。

表 18.1 端子構成

名 称	略称	入出力	機 能
HCAN トランスミットデータ端子	HTxD	出力	CAN バス送信用端子
HCAN レシーブデータ端子	HRxD	入力	CAN バス受信用端子

端子と CAN バスの間にはバスドライバが必要になります。Philips PCA82C250 とコンパチブルなものを推奨します。

18.3 レジスタの説明

HCAN には以下のレジスタがあります。

- マスタコントロールレジスタ (MCR)
- ジェネラルステータスレジスタ (GSR)
- ビットコンフィギュレーションレジスタ (BCR)
- メールボックスコンフィギュレーションレジスタ (MBCR)
- 送信待ちレジスタ (TXPR)
- 送信待ち取り消しレジスタ (TXCR)
- 送信アクノレッジレジスタ (TXACK)
- 取り消しアクノレッジレジスタ (ABACK)
- 受信完了レジスタ (RXPR)
- リモートリクエストレジスタ (RFPR)
- インタラプトレジスタ (IRR)
- メールボックスインタラプトマスクレジスタ (MBIMR)
- インタラプトマスクレジスタ (IMR)
- 受信エラーカウンタ (REC)
- 送信エラーカウンタ (TEC)
- 未読メッセージステータスレジスタ (UMSR)
- ローカルアクセプタンスフィルタマスクL (LAFML)
- ローカルアクセプタンスフィルタマスクH (LAFMH)
- メッセージコントロール (8ビット×8本×16セット) (MC0~MC15)
- メッセージデータ (8ビット×8本×16セット) (MD0~MD15)

18. コントローラエリアネットワーク (HCAN)

18.3.1 マスタコントロールレジスタ (MCR)

MCR は、8 ビットのレジスタで HCAN の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	MCR7	0	R/W	HCAN スリープモード解除 このビットを 1 にセットすると、HCAN は CAN バス動作を検出することにより HCAN スリープモードを自動的に解除します。
6		0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
5	MCR5	0	R/W	HCAN スリープモード このビットを 1 にセットすると、HCAN は HCAN スリープモードに遷移します。このビットをクリアすると、HCAN スリープモードが解除されます。
4、3		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
2	MCR2	0	R/W	メッセージ送信方式 0: メッセージ Identifier の優先順位に従って送信の順番を決定します。 1: メールボックス番号の優先順位に従って送信の順番を決定します。優先順位は TXPR1 > ... > TXPR15 です。
1	MCR1	0	R/W	HALT リクエスト このビットを 1 にセットすると、HCAN は HCAN HALT モードに遷移します。このビットをクリアすると、HCAN HALT モードが解除されます。
0	MCR0	1	R/W	リセットリクエスト このビットが 1 にセットされると HCAN はリセットモードに遷移します。詳細は「18.4.1 ハードウェアリセットとソフトウェアリセット」を参照してください。 [セット条件] • 1 ライト (ソフトウェアリセット) [クリア条件] • GSR の GSR3 が 1 の状態でこのビットに 0 をライトしたとき

18.3.2 ジェネラルステータスレジスタ (GSR)

GSR は、8 ビットのレジスタで HCAN のステータスを表示します。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
3	GSR3	1	R	リセットステータスビット HCAN モジュールが通常動作状態からリセット状態を表示します。ライトは無効です。 [セット条件] <ul style="list-style-type: none"> HCAN 内部のリセットが終了し、コンフィギュレーションモードに遷移したとき。 スリープモード [クリア条件] <ul style="list-style-type: none"> MCR の MCR0 をクリアし、通常動作状態に遷移したとき (MCR0 をクリアしてから GSR3 がクリアされるまで遅延が発生します)。
2	GSR2	1	R	メッセージ送信ステータスフラグ メッセージ送信期間中であることを示すフラグです。ライトは無効です。 [セット条件] <ul style="list-style-type: none"> EOF (End of Frame) 後の Intermission 3 ビット目 [クリア条件] <ul style="list-style-type: none"> メッセージ送信開始 (SOF)
1	GSR1	0	R	送信 / 受信ワーニングフラグ ライトは無効です。 [クリア条件] <ul style="list-style-type: none"> TEC < 96 かつ REC < 96 のとき TEC 256 のとき (バスオフ状態) [セット条件] <ul style="list-style-type: none"> TEC 96 または REC 96 のとき
0	GSR0	0	R	バスオフフラグ ライトは無効です。 [セット条件] <ul style="list-style-type: none"> TEC 256 のとき (バスオフ状態) [クリア条件] バスオフから復帰したとき

18. コントローラエリアネットワーク (HCAN)

18.3.3 ビットコンフィギュレーションレジスタ (BCR)

BCR は、16 ビットのレジスタで HCAN のビットタイミングやボーレートを設定します。各パラメータの詳細は「18.4.2 ハードウェアリセット後の初期設定」を参照してください。

ビット	ビット名	初期値	R/W	説明
15	BCR7	0	R/W	Re-Synchronization Jump Width (SJW)
14	BCR6	0	R/W	最大ビット同期幅を設定します。 00 : 1 time quantum 01 : 2 time quanta 10 : 3 time quanta 11 : 4 time quanta
13	BCR5	0	R/W	ボーレートプリスケアラ (BRP)
12	BCR4	0	R/W	time quantum の長さを設定します。
11	BCR3	0	R/W	000000 : 2 システムクロック
10	BCR2	0	R/W	000001 : 4 システムクロック
9	BCR1	0	R/W	000010 : 6 システムクロック
8	BCR0	0	R/W	: 111111 : 128 システムクロック
7	BCR15	0	R/W	ビットサンプルポイント (BSP) データをサンプリングするポイントを設定します。 0 : ビットサンプリング 1 箇所 (TSEG1 の終わり) 1 : ビットサンプリング 3 箇所 (TSEG1 の終わりと前後 1 time quantum)
6	BCR14	0	R/W	タイムセグメント 2 (TSEG2)
5	BCR13	0	R/W	TSEG2 の幅を 2 ~ 8 time quanta の範囲で設定します。
4	BCR12	0	R/W	000 : 設定禁止 001 : 2 time quanta 010 : 3 time quanta 011 : 4 time quanta 100 : 5 time quanta 101 : 6 time quanta 110 : 7 time quanta 111 : 8 time quanta

18. コントローラエリアネットワーク (HCAN)

ビット	ビット名	初期値	R/W	説 明
3	BCR11	0	R/W	タイムセグメント 1 (TSEG1)
2	BCR10	0	R/W	TSEG1 (PRSEG+PHSEG1) の幅を 4 ~ 16 time quanta の範囲で設定します。
1	BCR9	0	R/W	0000 : 設定禁止
0	BCR8	0	R/W	0001 : 設定禁止
				0010 : 設定禁止
				0011 : 4 time quanta
				0100 : 5 time quanta
				0101 : 6 time quanta
				0110 : 7 time quanta
				0111 : 8 time quanta
				1000 : 9 time quanta
				1001 : 10 time quanta
				1010 : 11 time quanta
				1011 : 12 time quanta
				1100 : 13 time quanta
				1101 : 14 time quanta
				1110 : 15 time quanta
				1111 : 16 time quanta

18. コントローラエリアネットワーク (HCAN)

18.3.4 メールボックスコンフィギュレーションレジスタ (MBCR)

MBCR は、16 ビットのレジスタで各メールボックスの送受信方向を設定します。

ビット	ビット名	初期値	R/W	説 明
15	MBCR7	0	R/W	メールボックス番号 1 から 15 のメールボックスの送受信方向を選択します。 MBCR _n (n=1~15) はメールボックス n の送受信方向を決定します。 0: 対応するメールボックスは送信用に設定されます。 1: 対応するメールボックスは受信用に設定されます。 ビット 8 はリザーブビットで、リードすると常に 1 が読み出されます。ライトする値も常に 1 としてください。
14	MBCR6	0	R/W	
13	MBCR5	0	R/W	
12	MBCR4	0	R/W	
11	MBCR3	0	R/W	
10	MBCR2	0	R/W	
9	MBCR1	0	R/W	
8		1	R	
7	MBCR15	0	R/W	
6	MBCR14	0	R/W	
5	MBCR13	0	R/W	
4	MBCR12	0	R/W	
3	MBCR11	0	R/W	
2	MBCR10	0	R/W	
1	MBCR9	0	R/W	
0	MBCR8	0	R/W	

18.3.5 送信待ちレジスタ (TXPR)

TXPR は、16 ビットのレジスタでメールボックスに格納した送信メッセージを送信待ち (CAN バスアービトレーション待ち) 状態にします。

ビット	ビット名	初期値	R/W	説明
15	TXPR7	0	R/W	メールボックス番号 1 から 15 のメールボックスを送信待ち (CAN バスアービトレーション待ち) 状態にします。TXPRn (n=1~15) を 1 にセットするとメールボックス n のメッセージが送信待ち状態になります。 [クリア条件] • メッセージの送信が完了したとき • 送信取り消しが完了したとき ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	TXPR6	0	R/W	
13	TXPR5	0	R/W	
12	TXPR4	0	R/W	
11	TXPR3	0	R/W	
10	TXPR2	0	R/W	
9	TXPR1	0	R/W	
8		0	R	
7	TXPR15	0	R/W	
6	TXPR14	0	R/W	
5	TXPR13	0	R/W	
4	TXPR12	0	R/W	
3	TXPR11	0	R/W	
2	TXPR10	0	R/W	
1	TXPR9	0	R/W	
0	TXPR8	0	R/W	

18. コントローラエリアネットワーク (HCAN)

18.3.6 送信待ち取り消しレジスタ (TXCR)

TXCR は、16 ビットのレジスタでメールボックス内の送信待ちメッセージの送信を取り消します。

ビット	ビット名	初期値	R/W	説 明
15	TXCR7	0	R/W	メールボックス番号 1 から 15 のメールボックスの送信待ちメッセージを取り消します。TXCRn (n=1~15) を 1 にセットするとメールボックス n の送信待ちメッセージが取り消されます。 [クリア条件] • 送信メッセージが正常に取り消され、TXPR がクリアされたとき ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	TXCR6	0	R/W	
13	TXCR5	0	R/W	
12	TXCR4	0	R/W	
11	TXCR3	0	R/W	
10	TXCR2	0	R/W	
9	TXCR1	0	R/W	
8		0	R	
7	TXCR15	0	R/W	
6	TXCR14	0	R/W	
5	TXCR13	0	R/W	
4	TXCR12	0	R/W	
3	TXCR11	0	R/W	
2	TXCR10	0	R/W	
1	TXCR9	0	R/W	
0	TXCR8	0	R/W	

18.3.7 送信アクノレッジレジスタ (TXACK)

TXACK は、16 ビットのレジスタでメールボックスの送信メッセージが正常に送信されたことを示すステータスレジスタです。

ビット	ビット名	初期値	R/W	説明
15	TXACK7	0	R/(W)*	メールボックス番号 1 から 15 のメールボックスの送信メッセージが正常に送信されたことを示すステータスフラグです。メールボックス n (n=1~15) のメッセージが正常に送信されたとき、TXACK n が 1 にセットされます。 [セット条件] • 対応するメールボックスのメッセージの送信が完了したとき [クリア条件] • 1 ライト ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	TXACK6	0	R/(W)*	
13	TXACK5	0	R/(W)*	
12	TXACK4	0	R/(W)*	
11	TXACK3	0	R/(W)*	
10	TXACK2	0	R/(W)*	
9	TXACK1	0	R/(W)*	
8		0	R	
7	TXACK15	0	R/(W)*	
6	TXACK14	0	R/(W)*	
5	TXACK13	0	R/(W)*	
4	TXACK12	0	R/(W)*	
3	TXACK11	0	R/(W)*	
2	TXACK10	0	R/(W)*	
1	TXACK9	0	R/(W)*	
0	TXACK8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

18. コントローラエリアネットワーク (HCAN)

18.3.8 取り消しアクノレジレジスタ (ABACK)

ABACK は、16 ビットのレジスタでメールボックス内の送信メッセージが正常に取り消されたことを示すステータスレジスタです。

ビット	ビット名	初期値	R/W	説明
15	ABACK7	0	R/(W)*	メールボックス番号 1 から 15 のメールボックスの送信メッセージが正常に取り消されたことを示すステータスフラグです。メールボックス n ($n=1\sim 15$) のメッセージが正常に取り消されたとき、ABACK n が 1 にセットされます。 [セット条件] • 対応するメールボックスのメッセージの取り消しが完了したとき [クリア条件] • 1 ライト ビット 8 はリザーブビットで、リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
14	ABACK6	0	R/(W)*	
13	ABACK5	0	R/(W)*	
12	ABACK4	0	R/(W)*	
11	ABACK3	0	R/(W)*	
10	ABACK2	0	R/(W)*	
9	ABACK1	0	R/(W)*	
8		0	R	
7	ABACK15	0	R/(W)*	
6	ABACK14	0	R/(W)*	
5	ABACK13	0	R/(W)*	
4	ABACK12	0	R/(W)*	
3	ABACK11	0	R/(W)*	
2	ABACK10	0	R/(W)*	
1	ABACK9	0	R/(W)*	
0	ABACK8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

18.3.9 受信完了レジスタ (RXPR)

RXPR は、16 ビットのレジスタでメールボックスがメッセージ (データフレームまたはリモートフレーム) を正常に受信したことを示すステータスレジスタです。なお、リモートフレーム受信の場合は、対応するリモートリクエストレジスタ (RFPR) も同時にセットされます。

ビット	ビット名	初期値	R/W	説明
15	RXPR7	0	R/(W)*	メールボックス n (n=0~15) がメッセージを正常に受信したとき、RXPRn が 1 にセットされます。 [セット条件] • 対応するメールボックスがデータフレームまたはリモートフレームの受信を完了したとき [クリア条件] • 1 ライト
14	RXPR6	0	R/(W)*	
13	RXPR5	0	R/(W)*	
12	RXPR4	0	R/(W)*	
11	RXPR3	0	R/(W)*	
10	RXPR2	0	R/(W)*	
9	RXPR1	0	R/(W)*	
8	RXPR0	0	R/(W)*	
7	RXPR15	0	R/(W)*	
6	RXPR14	0	R/(W)*	
5	RXPR13	0	R/(W)*	
4	RXPR12	0	R/(W)*	
3	RXPR11	0	R/(W)*	
2	RXPR10	0	R/(W)*	
1	RXPR9	0	R/(W)*	
0	RXPR8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

18. コントローラエリアネットワーク (HCAN)

18.3.10 リモートリクエストレジスタ (RFPR)

RFPR は、16 ビットのレジスタでメールボックスがリモートフレームを受信したことを示すステータスレジスタです。なお、本ビットがセットされると、対応する受信完了ビットが同時にセットされます。

ビット	ビット名	初期値	R/W	説明
15	RFPR7	0	R/(W)*	メールボックス番号 n ($n=0\sim 15$) がリモートフレームを正常に受信したとき、RFPR n ($n=0\sim 15$) が 1 にセットされます。 [セット条件] • 対応するメールボックスがリモートフレームの受信を完了したとき [クリア条件] • 1 ライト
14	RFPR6	0	R/(W)*	
13	RFPR5	0	R/(W)*	
12	RFPR4	0	R/(W)*	
11	RFPR3	0	R/(W)*	
10	RFPR2	0	R/(W)*	
9	RFPR1	0	R/(W)*	
8	RFPR0	0	R/(W)*	
7	RFPR15	0	R/(W)*	
6	RFPR14	0	R/(W)*	
5	RFPR13	0	R/(W)*	
4	RFPR12	0	R/(W)*	
3	RFPR11	0	R/(W)*	
2	RFPR10	0	R/(W)*	
1	RFPR9	0	R/(W)*	
0	RFPR8	0	R/(W)*	

【注】 * フラグをクリアするための 1 ライトのみ可能です。

18.3.11 インタラプトレジスタ (IRR)

IRR は 16 ビットの割り込みフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IRR7	0	R/(W)*	<p>オーバーロードフレームフラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーアクティブ/エラーパッシブ状態でオーバーロードフレームを送信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
14	IRR6	0	R/(W)*	<p>バスオフ割り込みフラグ</p> <p>送信エラーカウンタによるバスオフ状態を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TEC 256 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
13	IRR5	0	R/(W)*	<p>エラーパッシブ割り込みフラグ</p> <p>送信/受信エラーカウンタによるエラーパッシブ状態を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TEC 128 または REC 128 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
12	IRR4	0	R/(W)*	<p>受信オーバーロードワーニング割り込みフラグ</p> <p>受信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> REC 96 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
11	IRR3	0	R/(W)*	<p>送信オーバーロードワーニング割り込みフラグ</p> <p>送信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TEC 96 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト

18. コントローラエリアネットワーク (HCAN)

ビット	ビット名	初期値	R/W	説明
10	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>MBIMR が 0 のときのメールボックスにリモートフレームを受信したことを示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> リモートフレームを受信完了し、対応する MBIMR のビットが 0 のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RFPR (リモートリクエストレジスタ) の全ビットクリア
9	IRR1	0	R	<p>受信メッセージ割り込みフラグ</p> <p>MBIMR が 0 のときのメールボックスが受信メッセージを正常に受信したことを示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> データフレームおよびリモートフレームを受信完了し、対応する MBIMR のビットが 0 のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RXPR (受信完了レジスタ) の全ビットクリア
8	IRRO	1	R/(W)*	<p>リセット割り込みフラグ</p> <p>HCAN モジュールがリセットされたことを示すステータスフラグです。本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可となっています。パワーオンリセット投入後、ソフトウェアスタンバイモード、ウォッチモード、およびモジュールストップモード復帰後、本ビットをクリアしない場合は、割り込みコントローラにて割り込みを許可すると、直ちに割り込み処理を行います。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、ソフトウェアスタンバイモード、ウォッチモード、およびモジュールストップモード投入後にリセット処理完了したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
7~5		すべて 0		<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。</p>
4	IRR12	0	R/(W)*	<p>バス動作割り込みフラグ</p> <p>HCAN モジュールが HCAN スリープモード中にバス動作のドミナントビットの検出を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> HCAN スリープモード中のバス動作 (ドミナントビット) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 ライト
3, 2		すべて 0		<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。</p>

18. コントローラエリアネットワーク (HCAN)

ビット	ビット名	初期値	R/W	説明
1	IRR9	0	R	未読割り込みフラグ 未読メッセージが新しい受信メッセージによってオーバーライトされたことを示すステータスフラグです。 [セット条件] • UMSR (未読メッセージステータスレジスタ) がセットされたとき [クリア条件] • UMSR (未読メッセージステータスレジスタ) の全ビットクリア
0	IRR8	0	R/(W)*	メールボックス空き割り込みフラグ メールボックスに次の送信メッセージが格納可能であることを示すステータスフラグです。 [セット条件] • TXPR (送信待ちレジスタ) が送信完了および送信取り消し完了によりクリアされたとき [クリア条件] • 1 ライト

【注】 * フラグをクリアするための 1 ライトのみ可能です。

18.3.12 メールボックスインタラプトマスクレジスタ (MBIMR)

MBIMR は、16 ビットのレジスタで各メールボックスの割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
15	MBIMR7	1	R/W	メールボックスインタラプトマスク MBIMRn (n=0~15) をクリアするとメールボックス番号 n のメールボックスの割り込み要求がイネーブルになり、1 にセットすると割り込み要求がマスクされます。 割り込み要因は送信用メールボックスでは送信完了または送信取り消しによる TXPR のクリア、受信用メールボックスでは受信完了による RXPR のセットです。
14	MBIMR6	1	R/W	
13	MBIMR5	1	R/W	
12	MBIMR4	1	R/W	
11	MBIMR3	1	R/W	
10	MBIMR2	1	R/W	
9	MBIMR1	1	R/W	
8	MBIMR0	1	R/W	
7	MBIMR15	1	R/W	
6	MBIMR14	1	R/W	
5	MBIMR13	1	R/W	
4	MBIMR12	1	R/W	
3	MBIMR11	1	R/W	
2	MBIMR10	1	R/W	
1	MBIMR9	1	R/W	
0	MBIMR8	1	R/W	

18. コントローラエリアネットワーク (HCAN)

18.3.13 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットのレジスタで IRR の割り込みフラグによる割り込み要求をイネーブルにします。リセット割り込みフラグはマスクできません。

ビット	ビット名	初期値	R/W	説明
15	IMR7	1	R/W	オーバーロードフレーム割り込みマスク このビットをクリアすると IRR7 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
14	IMR6	1	R/W	バスオフ割り込みマスク このビットをクリアすると IRR6 による割り込み要求 (ERS0) がイネーブルになり、セットするとマスクされます。
13	IMR5	1	R/W	エラーパッシブ割り込みマスク このビットをクリアすると IRR5 による割り込み要求 (ERS0) がイネーブルになり、セットするとマスクされます。
12	IMR4	1	R/W	受信オーバーロードワーニング割り込みマスク このビットをクリアすると IRR4 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
11	IMR3	1	R/W	送信オーバーロードワーニング割り込みマスク このビットをクリアすると IRR3 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
10	IMR2	1	R/W	リモートフレームリクエスト割り込みマスク このビットをクリアすると IRR2 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
9	IMR1	1	R/W	受信メッセージ割り込みマスク このビットをクリアすると IRR1 による割り込み要求 (RM1) がイネーブルになり、セットするとマスクされます。
8		0	R	リードすると常に0が読み出されます。ライトする値も常に0としてください。
7~5		すべて1	R	リードすると常に1が読み出されます。ライトする値も常に1としてください。
4	IMR12	1	R/W	バス動作割り込みマスク このビットをクリアすると IRR12 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
3, 2		すべて1	R	リードすると常に1が読み出されます。ライトする値も常に1としてください。
1	IMR9	1	R/W	未読割り込みマスク このビットをクリアすると IRR9 による割り込み要求 (OVR0) がイネーブルになり、セットするとマスクされます。
0	IMR8	1	R/W	メールボックス空き割り込みマスク このビットをクリアすると IRR8 による割り込み要求 (SLE0) がイネーブルになり、セットするとマスクされます。

18.3.14 受信エラーカウンタ (REC)

REC は 8 ビットのリード専用レジスタで、CAN バス上の受信メッセージエラーをカウントします。カウント数は CAN プロトコルで規定されています。

18.3.15 送信エラーカウンタ (TEC)

TEC は 8 ビットのリード専用レジスタで、CAN バス上の送信メッセージエラーをカウントします。カウント数は CAN プロトコルで規定されています。

18.3.16 未読メッセージステータスレジスタ (UMSR)

UMSR は、16 ビットのレジスタでメールボックスの未読メッセージが新たな受信メッセージによって上書きされたことを示すステータスレジスタです。なお、新規受信メッセージにより上書きされた場合は古いデータは失われます。

ビット	ビット名	初期値	R/W	説明
15	UMSR 7	0	R/(W)*	メッセージを受信後未読のまま新規メッセージをオーバーライト
14	UMSR 6	0	R/(W)*	[セット条件]
13	UMSR 5	0	R/(W)*	• RXPR をクリアする前に新規メッセージを受信したとき
12	UMSR 4	0	R/(W)*	[クリア条件]
11	UMSR 3	0	R/(W)*	• 1 ライト
10	UMSR 2	0	R/(W)*	
9	UMSR 1	0	R/(W)*	
8	UMSR 0	0	R/(W)*	
7	UMSR15	0	R/(W)*	
6	UMSR 14	0	R/(W)*	
5	UMSR 13	0	R/(W)*	
4	UMSR 12	0	R/(W)*	
3	UMSR 11	0	R/(W)*	
2	UMSR 10	0	R/(W)*	
1	UMSR 9	0	R/(W)*	
0	UMSR 8	0	R/(W)*	

【注】 * フラグクリアのための 1 ライトのみ可能です。

18. コントローラエリアネットワーク (HCAN)

18.3.17 ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)

LAFML、LAFMH は、それぞれ 16 ビットのレジスタでメールボックス 0 に格納するメッセージの Identifier をビットごとに Don't care にします。詳細は「18.4.4 メッセージ受信」を参照してください。Identifier とマスクビットの関係は以下のとおりです。

• LAFML

ビット	ビット名	初期値	R/W	説明
15	LAFML7	0	R/W	1 のとき受信 Identifier の ID-7 の比較を行いません。
14	LAFML6	0	R/W	1 のとき受信 Identifier の ID-6 の比較を行いません。
13	LAFML5	0	R/W	1 のとき受信 Identifier の ID-5 の比較を行いません。
12	LAFML4	0	R/W	1 のとき受信 Identifier の ID-4 の比較を行いません。
11	LAFML3	0	R/W	1 のとき受信 Identifier の ID-3 の比較を行いません。
10	LAFML2	0	R/W	1 のとき受信 Identifier の ID-2 の比較を行いません。
9	LAFML1	0	R/W	1 のとき受信 Identifier の ID-1 の比較を行いません。
8	LAFML0	0	R/W	1 のとき受信 Identifier の ID-0 の比較を行いません。
7	LAFML15	0	R/W	1 のとき受信 Identifier の ID-15 の比較を行いません。
6	LAFML14	0	R/W	1 のとき受信 Identifier の ID-14 の比較を行いません。
5	LAFML13	0	R/W	1 のとき受信 Identifier の ID-13 の比較を行いません。
4	LAFML12	0	R/W	1 のとき受信 Identifier の ID-12 の比較を行いません。
3	LAFML11	0	R/W	1 のとき受信 Identifier の ID-11 の比較を行いません。
2	LAFML10	0	R/W	1 のとき受信 Identifier の ID-10 の比較を行いません。
1	LAFML9	0	R/W	1 のとき受信 Identifier の ID-9 の比較を行いません。
0	LAFML8	0	R/W	1 のとき受信 Identifier の ID-8 の比較を行いません。

18. コントローラエリアネットワーク (HCAN)

• LAFMH

ビット	ビット名	初期値	R/W	説明
15	LAFMH7	0	R/W	1のとき受信 Identifier の ID-20 の比較を行いません。
14	LAFMH6	0	R/W	1のとき受信 Identifier の ID-19 の比較を行いません。
13	LAFMH5	0	R/W	1のとき受信 Identifier の ID-18 の比較を行いません。
12~10		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトする値も常に 0 としてください。
9	LAFMH1	0	R/W	1のとき受信 Identifier の ID-17 の比較を行いません。
8	LAFMH0	0	R/W	1のとき受信 Identifier の ID-16 の比較を行いません。
7	LAFMH15	0	R/W	1のとき受信 Identifier の ID-28 の比較を行いません。
6	LAFMH14	0	R/W	1のとき受信 Identifier の ID-27 の比較を行いません。
5	LAFMH13	0	R/W	1のとき受信 Identifier の ID-26 の比較を行いません。
4	LAFMH12	0	R/W	1のとき受信 Identifier の ID-25 の比較を行いません。
3	LAFMH11	0	R/W	1のとき受信 Identifier の ID-24 の比較を行いません。
2	LAFMH10	0	R/W	1のとき受信 Identifier の ID-23 の比較を行いません。
1	LAFMH9	0	R/W	1のとき受信 Identifier の ID-22 の比較を行いません。
0	LAFMH8	0	R/W	1のとき受信 Identifier の ID-21 の比較を行いません。

18. コントローラエリアネットワーク (HCAN)

18.3.18 メッセージコントロール (MC0 ~ MC15)

メッセージコントロールは1メールボックス当たり8ビット×8本のレジスタで構成されています。HCANにはメッセージコントロールが16セットあります。メッセージコントロールはRAMで構成されているため、電源投入後の初期値は不定です。必ず0または1をライトして初期化してください。レジスタの名称とメールボックスの関係は以下のとおりです。

メールボックス0	MC0[1]	MC0[2]	MC0[3]	MC0[4]	MC0[5]	MC0[6]	MC0[7]	MC0[8]
メールボックス1	MC1[1]	MC1[2]	MC1[3]	MC1[4]	MC1[5]	MC1[6]	MC1[7]	MC1[8]
メールボックス2	MC2[1]	MC2[2]	MC2[3]	MC2[4]	MC2[5]	MC2[6]	MC2[7]	MC2[8]
メールボックス3	MC3[1]	MC3[2]	MC3[3]	MC3[4]	MC3[5]	MC3[6]	MC3[7]	MC3[8]
メールボックス15	MC15[1]	MC15[2]	MC15[3]	MC15[4]	MC15[5]	MC15[6]	MC15[7]	MC15[8]

図 18.2 メッセージコントロール構成

メッセージコントロールの設定方法を次ページに示します。Identifier とレジスタのビット名の対応は以下のとおりです。

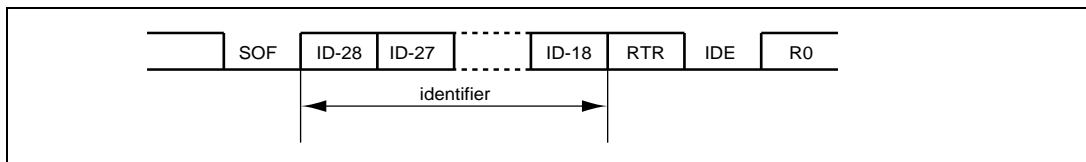


図 18.3 スタンダードフォーマット

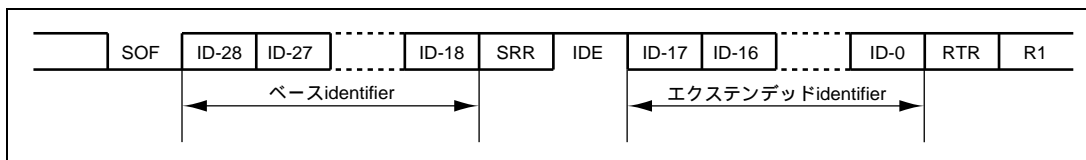


図 18.4 エクステンデッドフォーマット

18. コントローラエリアネットワーク (HCAN)

レジスタ名	ビット	ビット名	R/W	説明
MCx[1]	7~4		R/W	初期値は不定です。必ず0または1の値をライトして初期化してください。
	3~0	DLC3~DLC0	R/W	データ長コード データフレームのデータ長またはリモートフレームで要求するデータ長を0~8バイトの範囲で設定します。 0000 : 0 バイト 0001 : 1 バイト 0010 : 2 バイト 0011 : 3 バイト 0100 : 4 バイト 0101 : 5 バイト 0110 : 6 バイト 0111 : 7 バイト 1*** : 8 バイト
MCx[2]	7~0		R/W	初期値は不定です。必ず0または1の値をライトして初期化してください。
MCx[3]	7~0		R/W	
MCx[4]	7~0		R/W	
MCx[5]	7~5	ID-20~ID-18	R/W	Identifier の ID-20~ID-18 を設定します。
	4	RTR	R/W	リモートトランSMissionリクエスト (RTR) データフレームとリモートフレームを識別するためのビットです。 0 : データフレーム 1 : リモートフレーム
	3	IDE	R/W	Identifier エクステンション (IDE) スタンダードフォーマットとエクステンデッドフォーマットを識別するビットです。 0 : スタンダードフォーマット 1 : エクステンデッドフォーマット
	2		R/W	初期値は不定です。必ず0または1の値をライトして初期化してください。
	1、0	ID-17、ID-16	R/W	Identifier の ID-17、ID-16 を設定します。
MCx[6]	7~0	ID-28~ID-21	R/W	Identifier の ID-28~ID-21 を設定します。
MCx[7]	7~0	ID-7~ID-0	R/W	Identifier の ID-7~ID-0 を設定します。
MCx[8]	7~0	ID-15~ID-8	R/W	Identifier の ID-15~ID-8 を設定します。

【注】x : メールボックス番号を表します。

18. コントローラエリアネットワーク (HCAN)

18.3.19 メッセージデータ (MD0 ~ MD15)

メッセージデータは1メールボックス当たり8ビット×8本のレジスタで構成されています。HCANにはメッセージデータが16セットあります。メッセージデータはRAMで構成されているため、電源投入後の初期値は不定です。必ず0または1の値をライトして初期化してください。レジスタの名称とメールボックスの関係は以下のとおりです。

メールボックス0	MD0[1]	MD0[2]	MD0[3]	MD0[4]	MD0[5]	MD0[6]	MD0[7]	MD0[8]
メールボックス1	MD1[1]	MD1[2]	MD1[3]	MD1[4]	MD1[5]	MD1[6]	MD1[7]	MD1[8]
メールボックス2	MD2[1]	MD2[2]	MD2[3]	MD2[4]	MD2[5]	MD2[6]	MD2[7]	MD2[8]
メールボックス3	MD3[1]	MD3[2]	MD3[3]	MD3[4]	MD3[5]	MD3[6]	MD3[7]	MD3[8]
メールボックス15	MD15[1]	MD15[2]	MD15[3]	MD15[4]	MD15[5]	MD15[6]	MD15[7]	MD15[8]

図 18.5 メッセージデータ構成

18.4 動作説明

18.4.1 ハードウェアリセットとソフトウェアリセット

HCAN のリセットにはハードウェアリセットとソフトウェアリセットがあります。

- ハードウェアリセット

パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、ウォッチモード、モジュールストップモードではMCRのリセットリクエストビット (MCR0) とGSRのリセットステートビット (GSR3) が自動的にセットされHCANが初期化されます。ハードウェアリセットによってメッセージコントロールとメッセージデータを除く内部レジスタがすべて初期化されます。

- ソフトウェアリセット

ソフトウェアでMCRのMCR0をセットすることでHCANをリセットすることができます。ソフトウェアリセットではエラーカウンタ (TEC、REC) は初期化されますが、他のレジスタは初期化されません。CANコントローラが送信中または受信中にリセットリクエストビットがセットされた場合は、そのメッセージの送受信が完了するまで待って初期化状態に遷移します。初期化が完了するとGSRのGSR3がセットされます。

18.4.2 ハードウェアリセット後の初期設定

ハードウェアリセット後は以下の初期設定を行ってください。

1. インタラプトレジスタ (IRR) のIRR0ビットのクリア
2. ビットレートの設定
3. 各メールボックスの送受信方向の設定
4. メールボックス (RAM) の初期化
5. メッセージ送信方式の選択

初期設定は必ず HCAN がコンフィギュレーションモードの状態で行ってください。コンフィギュレーションモードはリセットにより GSR の GSR3 がセットされた状態です。初期設定後 MCR の MCR0 をクリアすることにより GSR の GSR3 が自動的にクリアされてコンフィギュレーションモードが解除されます (HCAN 内部がリセットされる時間を必要とするため、MCR0 をクリアしてから GSR3 がクリアされるまで遅延を生じます)。コンフィギュレーションモードが解除されると HCAN はパワーアップシーケンスに入り、11 ビット連続レセツピットを検出した時点で CAN バスと通信可能になります。

(1) IRR0 のクリア

パワーオンリセット後、ソフトウェアモード、ウォッチモードからの復帰後、およびモジュールスタンバイ解除後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込みをイネーブルにすることで直ちに HCAN 割り込み要求が発生しますので IRR0 をクリアしてください。

18. コントローラエリアネットワーク (HCAN)

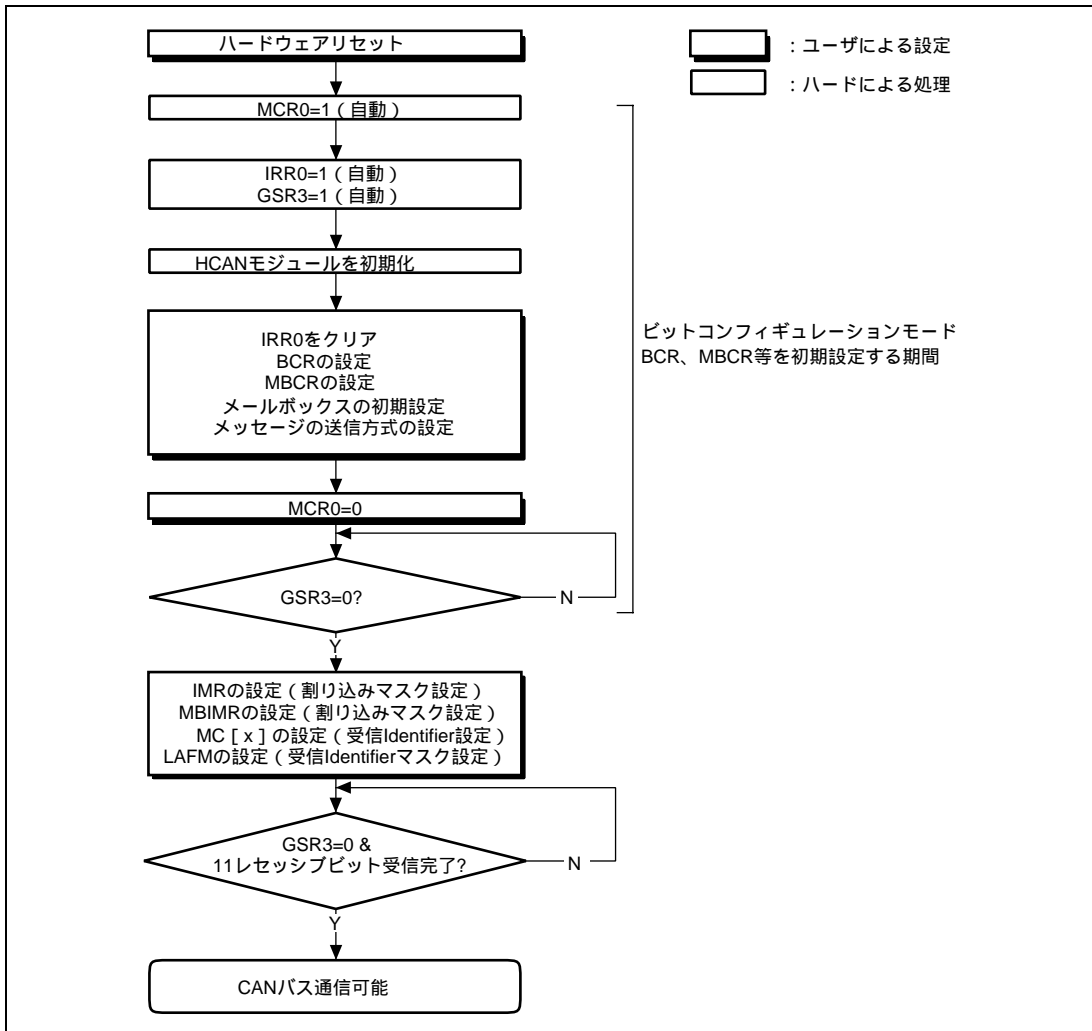


図 18.6 ハードウェアリセット時のフローチャート

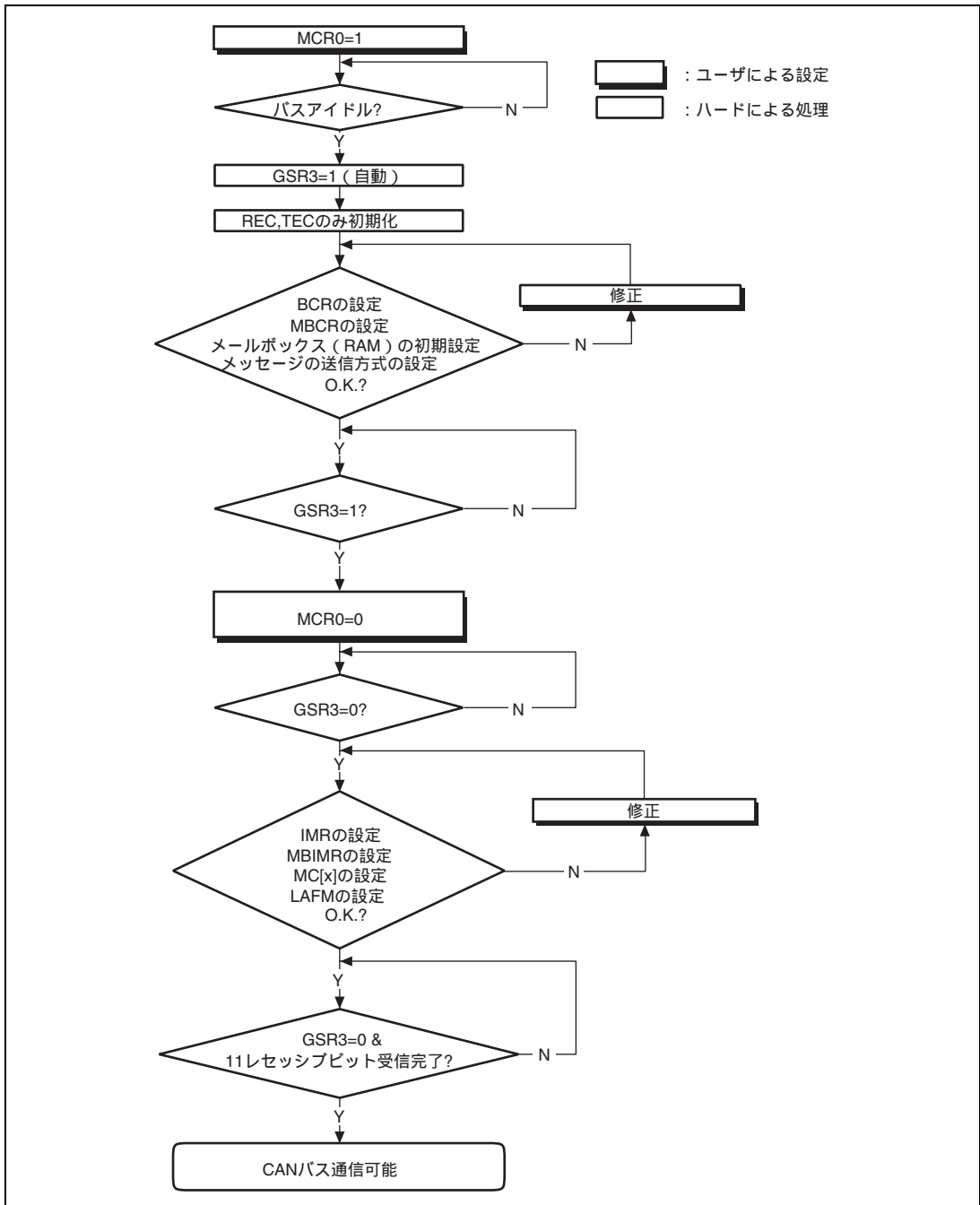


図 18.7 ソフトウェアリセット時のフローチャート

18. コントローラエリアネットワーク (HCAN)

(2) ビットレートおよびビットタイミングの設定

ビットレートおよびビットタイミングの設定はビットコンフィギュレーションレジスタ (BCR) により行います。CAN バスに接続している CAN コントローラはすべて同一ボーレート、同一ビット幅になるよう設定してください。1 ビットタイムは設定可能な Time Quanta (TQ) の合計で構成されます。

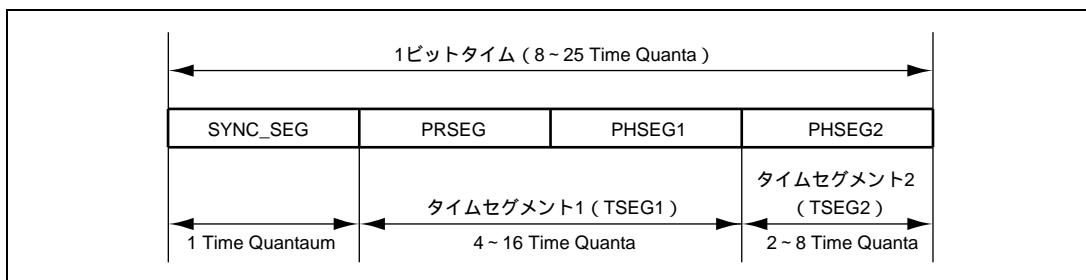


図 18.8 1 ビットタイムの詳細

SYNC_SEG は CAN バス上のノードの同期化をとるためのセグメントです。通常のビットエッジ変化はこの部分で発生します。PRSEG はネットワーク間の物理的な遅延を補正するためのセグメントです。PHSEG1 は位相ずれ (プラス) を補正するためのバッファセグメントです。同期化 (Re-Synchronization) をとる場合は PHSEG1 を延長します。PHSEG2 は位相ずれ (マイナス) を補正するためのバッファセグメントです。同期化 (Re-Synchronization) をとる場合は PHSEG2 を短縮します。BCR に設定可能な値 (TSEG1、TSEG2、BRP、BSP、SJW) の範囲を表 18.2 に示します。

表 18.2 BCR に設定可能なレジスタ値の範囲

名称	略称	最小値	最大値
タイムセグメント 1	TSEG1	B'0011* ³	B'1111
タイムセグメント 2	TSEG2	B'001* ²	B'111
ボーレートプリスケアラ	BRP	B'000000	B'111111
ビットサンプルポイント	BSP	B'0	B'1
Re-Synchronization Jump Width	SJW* ¹	B'00	B'11

【注】 *1 SJW は CAN 仕様で 3 SJW 0 と規定されています。

*2 TSEG2 の最小値は CAN 仕様で TSEG2 SJW と規定されています。

*3 TSEG1 の最小値は CAN 仕様で TSEG1 > TSEG2 と規定されています。

18. コントローラエリアネットワーク (HCAN)

Time Quantum (TQ) はシステムクロック数の整数倍でポーレートプリスケアラ (BRP) によって以下のように決まります。f_{CLK} はシステムクロック周波数を表します。

$$TQ = 2 \times (\text{BRP の設定値} + 1) / f_{\text{CLK}}$$

1 ビットタイムおよびビットレートは下記の式により算出されます。

$$1 \text{ ビットタイム} = TQ \times (3 + \text{TSEG1} + \text{TSEG2})$$

$$\text{ビットレート} = 1 / \text{ビットタイム}$$

$$= f_{\text{CLK}} / \{2 \times (\text{BRP の設定値} + 1) \times (3 + \text{TSEG1} + \text{TSEG2})\}$$

【注】 f_{CLK}=φ (システムクロック)

BRP、TSEG1、TSEG2 は BCR 値を使用

[例] システムクロックが 20MHz、BRP の設定値 = B'000000、TSEG1 = B'0100、TSEG2 = B'011 の場合

$$\text{ビットレート} = 20 / \{2 \times (0 + 1) \times (3 + 4 + 3)\} = 1 \text{ Mbps}$$

表 18.3 BCR の TSEG1、TSEG2 の設定可能な範囲

		TSEG2 (BCR[14 ~ 12])						
		001	010	011	100	101	110	111
TSEG1 (BCR[11 ~ 8])	0011	x		x	x	x	x	x
	0100	*			x	x	x	x
	0101	*				x	x	x
	0110	*					x	x
	0111	*						x
	1000	*						
	1001	*						
	1010	*						
	1011	*						
	1100	*						
	1101	*						
	1110	*						
	1111	*						

【注】 TSEG1、TSEG2 の Time Quantum 値は TSEG 値 + 1 となります。

* ポーレートプリスケアラ (BRP) (BCR[13 : 8]) が B'000000 (2×システムクロック) 以外の場合は設定可能です。

18. コントローラエリアネットワーク (HCAN)

(3) メールボックス送受信方向の設定

HCAN には 16 本のメールボックスがあります。メールボックス 0 は受信専用です。メールボックス 1~15 は送信用または受信用に設定可能で、初期状態では送信用になっています。ソフトウェアリセットではメールボックスの送受信方向の設定は初期化されません。

メールボックスを送信用に設定するにはメールボックスコンフィギュレーションレジスタ (MBCR) のメールボックスに対応するビットを 0 にクリアします。メールボックスを受信用に設定するには MBCR のメールボックスに対応するビットに 1 をセットします。なお、受信用メールボックスは、メッセージの受信効率を向上させるため優先順位の高いメッセージをメールボックス番号の若いメールボックスに割り当ててください。

(4) メールボックス (メッセージコントロール、メッセージデータ) の初期化

メッセージコントロール、メッセージデータは RAM であるため電源供給後の初期値は不定です。したがってメールボックス内の値をすべて初期化 (0 または 1 をライト) してください。

(5) メッセージ送信方式の選択

メッセージの送信には次の 2 通りの方式があります。

- メッセージ Identifier の優先順位に従って送信の順番を決定
- メールボックス番号の優先順位に従って送信の順番を決定

送信方式はマスタコントロールレジスタ (MCR) のメッセージ送信方式ビット (MCR2) で選択します。メッセージ Identifier の優先順位に従って送信する場合、複数メッセージが同時に送信待ち状態 (TXPR=1) になるとメッセージ Identifier の設定に従って最も優先度の高いメッセージが送信バッファに格納されます。バッファに格納されたメッセージは CAN バスとのアービトレーションによって送信権を獲得すると送信されます。HCAN は TXPR がセットされるたびに優先順位の最も高いメッセージを探して送信バッファに格納します。

メールボックス番号の優先順位に従って送信する場合、複数メッセージが同時に送信待ち (TXPR=1) 状態になるとメールボックス番号の最も若いメッセージが送信バッファに格納されます。バッファに格納されたメッセージは CAN バスとのアービトレーションによって送信権を獲得すると送信されます。

18.4.3 メッセージ送信

メッセージの送信はメールボックス 1～15 を用いて行います。初期設定後の送信は下記の手順で行います。図 18.9 に送信時のフローチャートを示します。

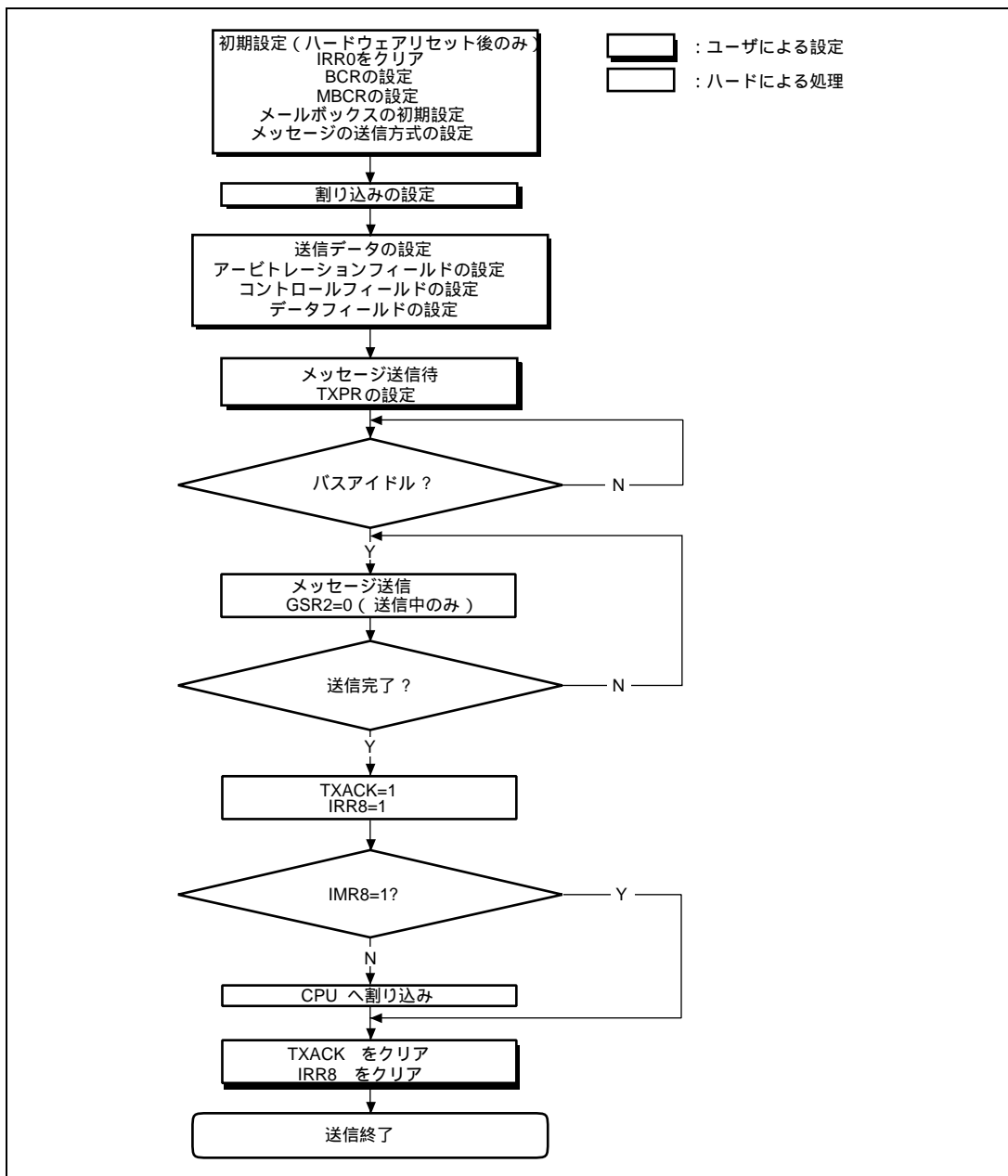


図 18.9 送信時のフローチャート

18. コントローラエリアネットワーク (HCAN)

(1) CPU に対する割り込み要因の設定

CPU に対する割り込み要因の設定はインタラプトマスクレジスタ (IMR) とメールボックスインタラプトレジスタ (MBIMR) により行います。MBIMR により、送信アクノレッジおよび送信取り消しアクノレッジの割り込み要求をメールボックスごとに発生させることができます。IMR により、インタラプトレジスタ (IRR) の割り込みをマスクすることができます。

(2) アービトレーションフィールドの設定

アービトレーションフィールドの設定は送信用メールボックスのメッセージコントロール MCx[5] ~ MC [8] により行います。スタンダードフォーマットの場合は 11 ビットの Identifier (ID 28 ~ ID-18) と RTR ビットを設定し、IDE ビットをクリアします。エクステンデッドフォーマットでは 29 ビットの Identifier (ID-28 ~ ID-0) と RTR を設定し、IDE ビットを 1 にセットします。

(3) コントロールフィールドの設定

送信用メールボックスのメッセージコントロール MCx[1] に、送信するデータのバイト数を 0 ~ 8 バイトの範囲で設定します。

(4) データフィールドの設定

メッセージデータ MDx[1] ~ [8] に送信するデータを 0 ~ 8 バイトの範囲で設定します。送信されるデータのバイト数はコントロールフィールド内のデータ長コードで決まります。コントロールフィールドに設定している値より多くのデータが設定されても、コントロールフィールドに設定されたバイト数だけ送信されます。

(5) メッセージの送信

メッセージコントロール、メッセージデータ設定後、送信待ちレジスタ (TXPR) の対応するメールボックスの送信待ちビット (TXPR1 ~ 15) を 1 にセットすると送信待ち状態になります。メッセージが正常に送信されると送信アクノレッジレジスタ (TXACK) の対応するアクノレッジビット (TXACK1 ~ 15) がセットされ、送信待ちレジスタ (TXPR) の送信待ちビット (TXPR1 ~ 15) が自動的にクリアされます。また同時にメールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1 ~ 15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると CPU への割り込みを発生することができます。

また、下記条件でメッセージの送信を中断した場合は自動的にメッセージを再送信します。

- CANバスアービトレーション負け (バス権獲得に失敗)
- 送信中のエラー (ビットエラー、スタッフエラー、CRCエラー、フレームエラー、ACKエラー)

(6) メッセージの送信取り消し

送信待ち状態のメッセージの送信を取り消すことが可能です。送信待ちメッセージを取り消すには、送信待ち取り消しレジスタ (TXCR) の対応するメールボックスのビット (TXCR1 ~ 15) を 1 にセットします (送信待ちレジスタ (TXPR) をクリアしても送信取り消しはできません)。取り消しが実行されると自動的に送信待ちレジ

スタ (TXPR) がクリアされ、取り消しアクロレジスタ (ABACK) の対応するビットが 1 にセットされます。CPU への割り込みを発生することができます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1 ~ 15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

ただし、下記条件では送信待ちメッセージを取り消すことはできません。

- 内部アービトレーションおよびCANバスアービトレーション期間中
- データフレーム、リモートフレーム送信中

図 18.10 に送信メッセージの取り消しのフローチャートを示します。

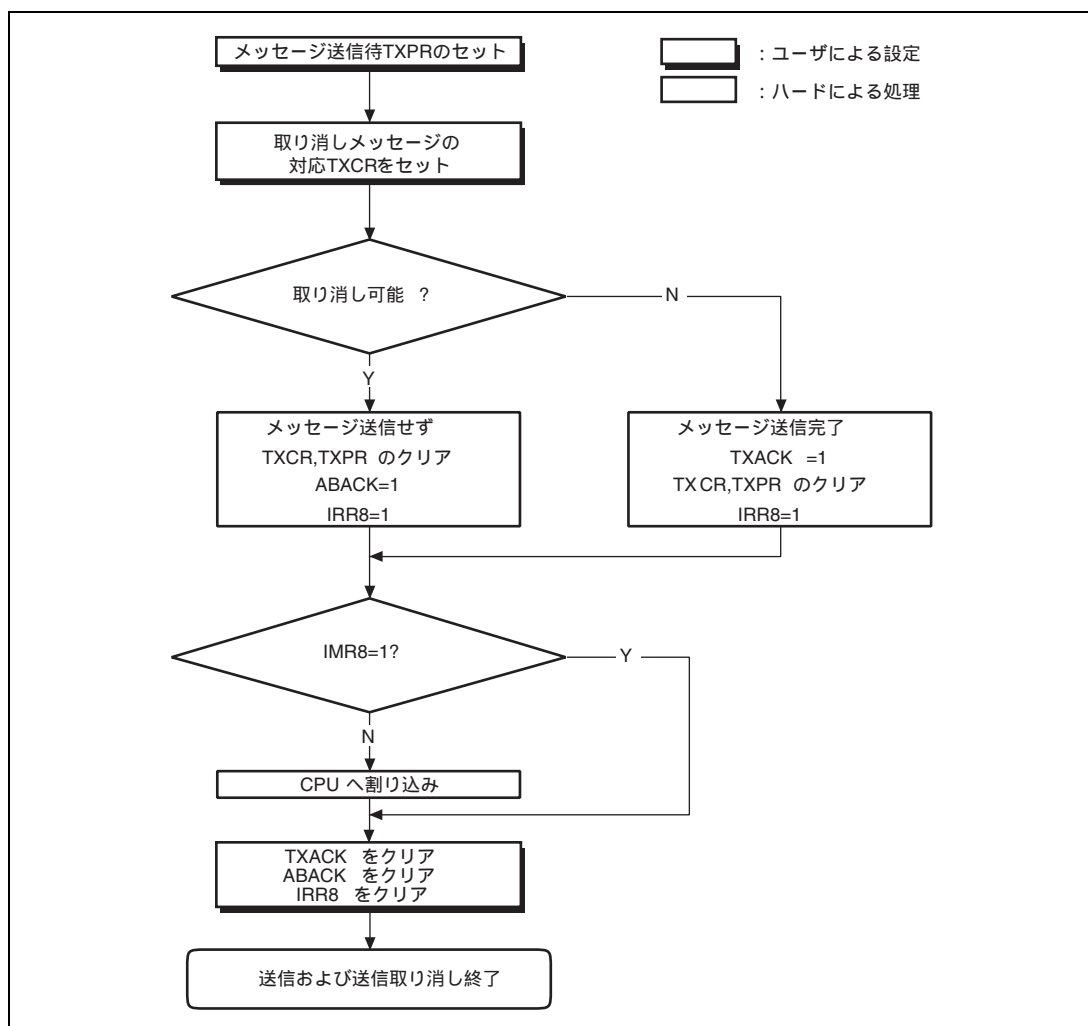


図 18.10 送信メッセージの取り消しのフローチャート

18.4.4 メッセージ受信

初期設定後の受信は下記の手順で行います。図 18.11 に受信時のフローチャートを示します。

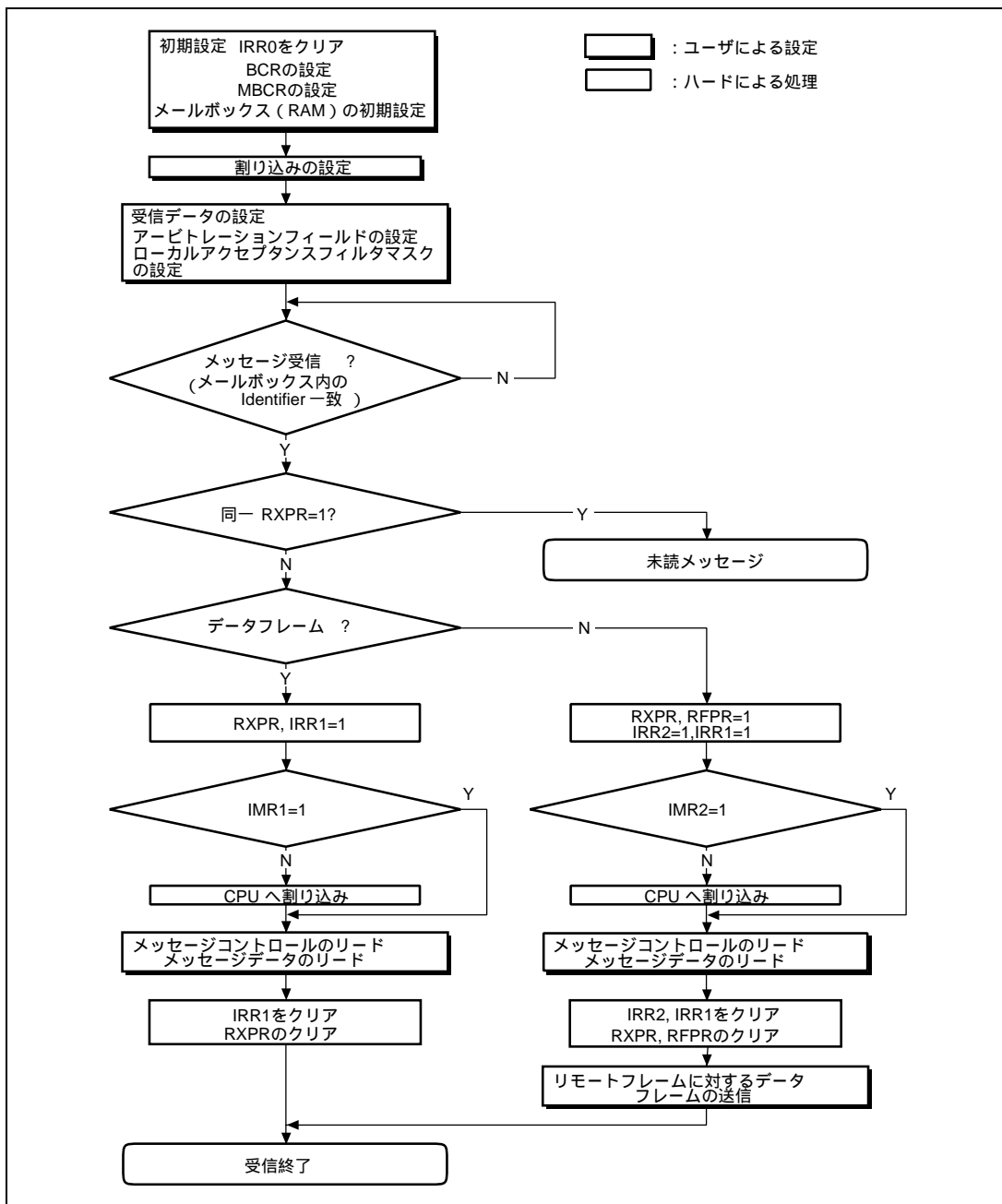


図 18.11 受信時のフローチャート

(1) CPU に対する割り込み要因の設定

CPU に対する割り込み要因の設定はインタラプトマスクレジスタ (IMR) とメールボックスインタラプトレジスタ (MBIMR) により行います。および受信するメッセージの指定を設定します。MBIMR により、データフレーム、リモートフレーム受信待ちの割り込み要求をメールボックスごとに発生させることができます。IMR により、インタラプトレジスタ (IRR) の割り込み要求をイネーブルにすることができます。

(2) アービトレーションフィールドの設定

メッセージを受信するためには、あらかじめ受信用メールボックスのメッセージコントロール (MCx[1]~[8]) 内に Identifier を設定する必要があります。メッセージを受信すると受信メッセージの Identifier とメッセージコントロール内の Identifier の全ビットを比較し、完全に一致したメールボックスにメッセージを格納します。ただし、メールボックス0はDon't Careを設定できるローカルアクセプタンスマスクフィルタ(LAFM)が設けてあります。LAFMの設定はメールボックス0にのみ有効で、受信する Identifier の全ビットに対して Don't Care の指定をすることにより、複数の Identifier のメッセージを受信することが可能です。

[例] :

- メールボックス1のIdentifier が010_1010_1010 (スタンダードフォーマット) のとき、メールボックス1が受信可能なメッセージIdentifierは次の1種類のみとなります。

Identifier 1 : 010_1010_1010

- メールボックス0のIdentifier が010_1010_1010 (スタンダードフォーマット)、LAFM の設定値が000_0000_0011 (0 : Care, 1 : Don't Care) のとき、メールボックス0が受信可能なメッセージIdentifierは次の4種類となります。

Identifier 1 : 010_1010_1000

Identifier 2 : 010_1010_1001

Identifier 3 : 010_1010_1010

Identifier 4 : 010_1010_1011

(3) メッセージの受信

メッセージを受信すると自動的にCRCチェックを行います。CRCの結果エラーがなければメッセージの受信可否にかかわらずACKをACKフィールドで送信します。

- データフレーム受信

受信したメッセージにCRC等のエラーが検出されなかった場合、受信メッセージのIdentifierと受信用メールアドレス内のIdentifier(メールアドレス0はLAFMを含む)を比較し、完全に一致すると一致したメールアドレスにメッセージを格納します。Identifierの比較はメールアドレス0から開始し、メールアドレス15まで順次行います。完全に一致したメールアドレスがあると、その時点で比較を終了してメールアドレス内にメッセージを格納し、受信完了レジスタ(RXPR)の対応する受信完了ビット(RXPR0~15)をセットします。ただし、メールアドレス0のLAFMと比較をしてIdentifierが一致した場合はIdentifierの比較を終了せず、引き続きメールアドレス1から順次比較を行います。したがって、メールアドレス0と同一メッセージを他のメールアドレスで受信することができます。メールアドレス1~15では2つ以上のメールアドレスで同一メッセージを受信することはできません。メッセージを受信するとメールアドレスインタラプトマスクレジスタ(MBIMR)とインタラプトマスクレジスタ(IMR)の設定に従ってCPUに対して割り込み要求を発生します。

- リモートフレーム受信

メールアドレスにはデータフレームとリモートフレームの2種類のメッセージを格納することができます。リモートフレームがデータフレームと異なる点は、メッセージコントロールに格納されるリモートトランSMミッションリクエストビット(RTR)の値と、データフィールドが0バイトであることの2点です。メッセージコントロールのデータ長コード(DLC)には、データフレームで返信されるべきデータ長が格納されていなければなりません。

リモートフレーム(RTR=recessive)を受信すると、リモートリクエスト待ちレジスタ(RFPR)の対応するビットがセットされます。このとき、メールアドレスインタラプトマスクレジスタ(MBIMR)の対応するビット(MBIMR0~15)と、インタラプトマスクレジスタ(IMR)のリモートフレームリクエスト割り込みマスク(IRR2)の設定に従ってCPUに対して割り込み要求を発生します。

(4) 未読メッセージのオーバーライト

受信したメッセージはメールボックス内の Identifier と一致すると、未読メッセージの有無にかかわらずメールボックスに格納されます。未読メッセージのオーバーライトが発生すると、未読メッセージレジスタ (UMSR) の対応するビット (UMSR0 ~ 15) がセットされます。(UMSR) は、受信完了レジスタ (RXPR) のビットがクリアされていない状態で新規メッセージを受信したときセットされます。このとき、インタラプトマスクレジスタ (IMR) の未読割り込みフラグ (IRR9) 設定により、CPU に対して割り込み要求が発生します。図 18.12 に未読メッセージオーバーライトのフローチャートを示します。

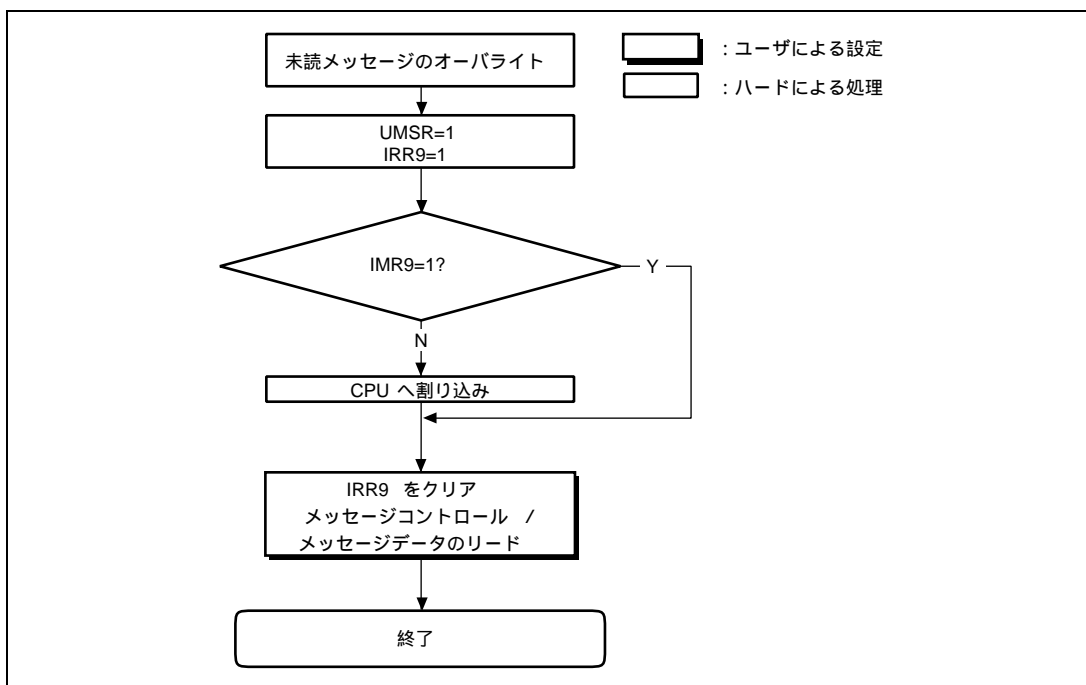


図 18.12 未読メッセージオーバーライトのフローチャート

18. コントローラエリアネットワーク (HCAN)

18.4.5 HCAN スリープモード

HCAN には、スリープ状態にして消費電流を低減する HCAN スリープモードの機能があります。図 18.13 に HCAN スリープモードのフローチャートを示します。

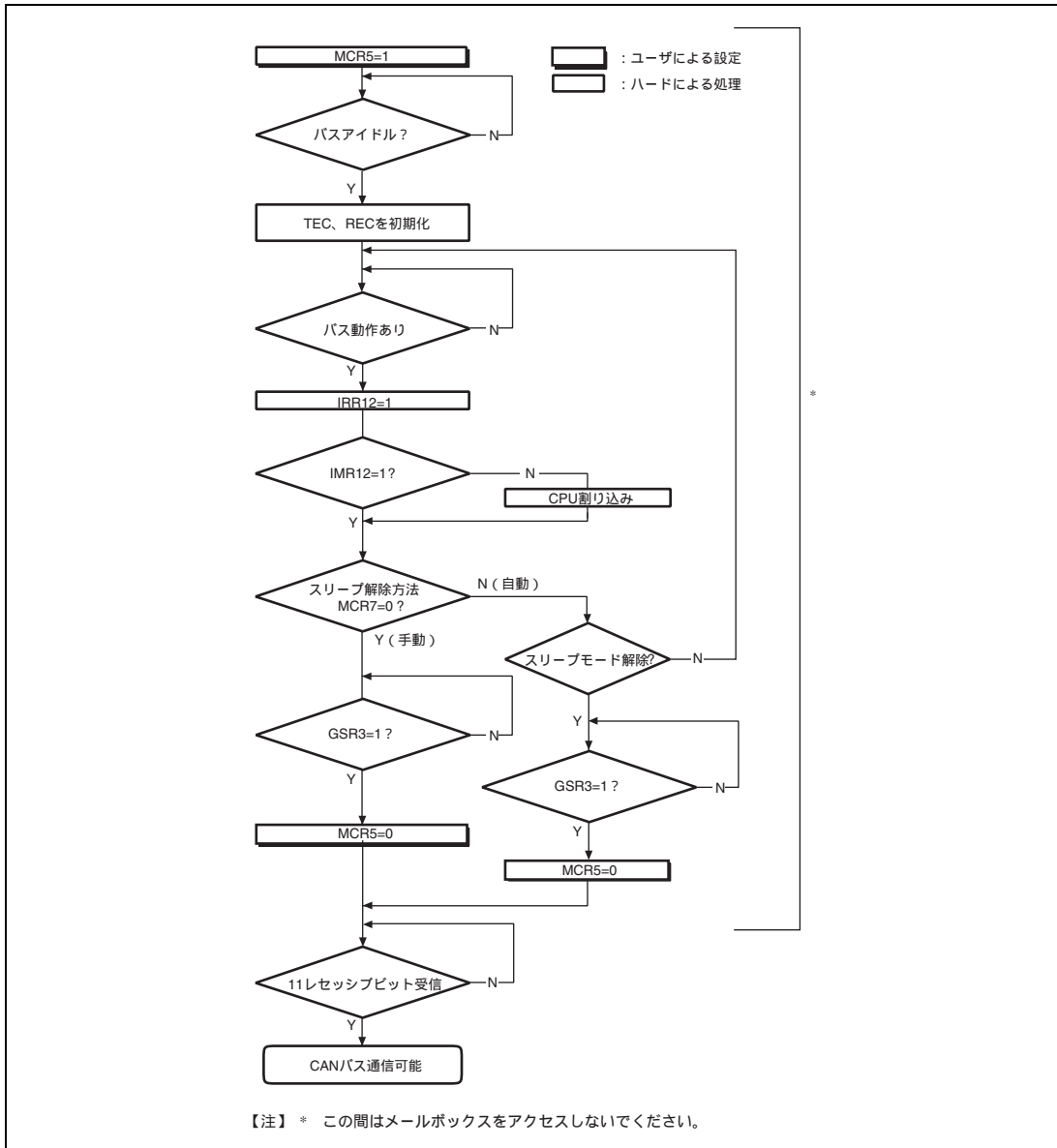


図 18.13 HCAN スリープモードのフローチャート

HCAN スリープモードへ遷移するには、マスタコントロールレジスタ (MCR) の HCAN スリープモードビット (MCR5) を 1 に設定します。HCAN は CAN バスが動作をしているときは、バスがアイドル状態になるまで待つて HCAN スリープモードに遷移します。

HCAN スリープモードは以下の 2 種類の方法で解除されます。

- ソフトウェアによる解除
- CANバス動作による解除

なお、HCAN スリープモードから再度 CAN バス通信可能になるためには、解除後 11 レセシブビットの受信が必要です。

(1) ソフトウェアによる解除

ソフトウェアによる解除は、CPU により MCR5 へ 0 をライトしてください。

(2) CAN バス動作による解除

解除方法の選択は MCR の MCR7 により設定します。CAN バス動作による解除は、CAN バスが動作をし、その変化を検出すると自動的に行います。このとき 1 つ目のメッセージは、メールボックスに受信せず、次のメッセージから正常受信を開始します。CAN バスから HCAN スリープモード中に変化を検出したときにインタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) がセットされます。また同時に、インタラプトマスクレジスタ (IMR) のバス動作割り込みマスク (IMR12) が割り込み許可に設定されていると、CPU へ割り込みを発生することができます。

18.4.6 HCAN HALT モード

HCAN HALT モードは HCAN のハードウェアリセット、ソフトウェアリセットを行わずにメールボックスの設定を変更するためのモードです。図 18.14 に HCAN HALT モードのフローチャートを示します。

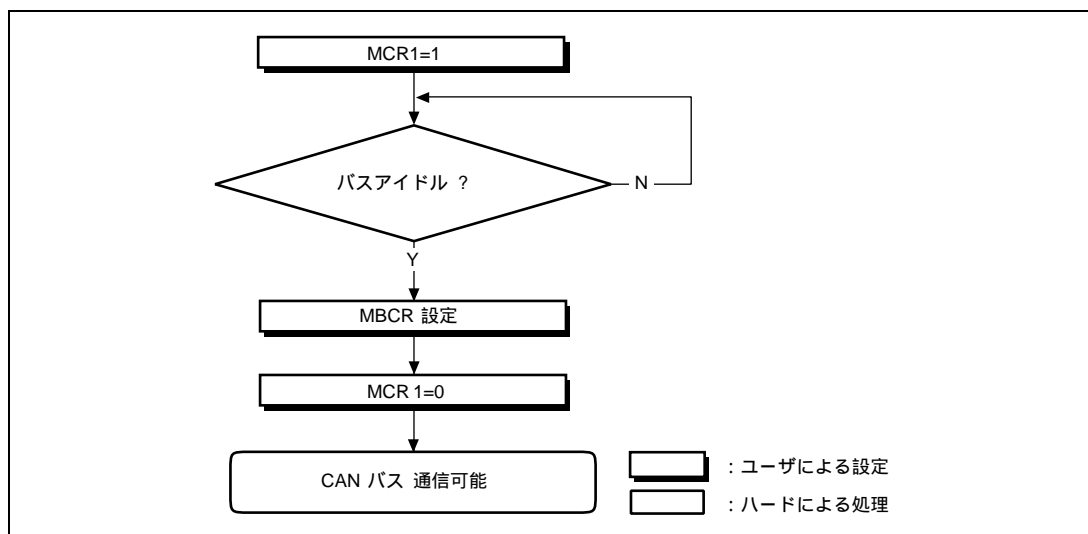


図 18.14 HCAN HALT モードのフローチャート

HCAN HALT モードへはマスタコントロールレジスタ (MCR) の HALT リクエストビット (MCR1) を 1 に設定することで遷移します。ただし、CAN バスが動作をしているときは、バスアイドルになるまで待ってから HCAN HALT モードに遷移します。

HCAN HALT モードは、MCR1 をクリアすることで解除されます。

18.5 割り込み要因

HCAN には表 18.4 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除きマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 5 章 割り込みコントローラ」を参照してください。

表 18.4 HCAN の割り込み要因

名称	説明	割り込みフラグ	DTC の起動
ERS0/OVR0	エラーパッシブ割り込み (TEC 128 または REC 128)	IRR5	不可
	バスオフ割り込み (TEC 256)	IRR6	
	パワーオンリセットによるリセット処理割り込み	IRR0	
	リモートフレーム受信割り込み	IRR2	
	エラーワーニング割り込み (TEC 96)	IRR3	
	エラーワーニング割り込み (REC 96)	IRR4	
	オーバーロードフレーム送信割り込み	IRR7	
	未読メッセージのオーバーライト割り込み	IRR9	
	HCAN スリープ中 CAN バス動作割り込み	IRR12	
RM0	メールボックス 0 のメッセージ受信割り込み	IRR1	可
RM1	メールボックス 1 ~ 15 のメッセージ受信割り込み	IRR1	不可
SLE0	メッセージの送信または送信取り消し割り込み	IRR8	

18.6 DTC インタフェース

HCAN のメールボックス 0 にメッセージを受信すると DTC を起動することができます。なお、DTC 起動を設定し、DTC による転送が終了すると自動的に RXPR0 と RFPR0 のフラグはクリアされます。このとき、HCAN からの受信割り込みで CPU への割り込みは発生しません。図 18.15 に DTC の転送フローチャートを示します。

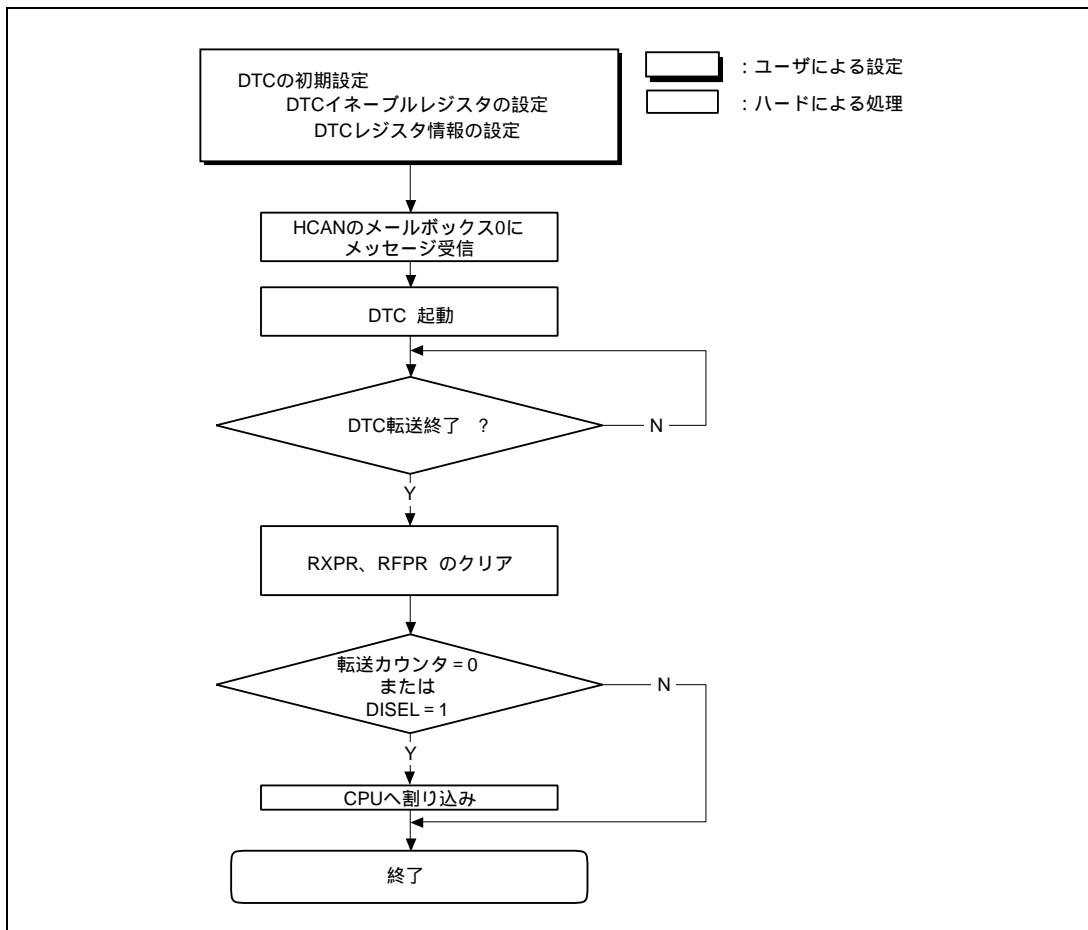


図 18.15 DTC の転送フローチャート

18.7 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC は Philips 社 PCA82C250 デバイスを推奨します。PCA82C250 以外の製品を使用する場合は、PCA82C250 とコンパチブルな製品を使用してください。図 18.16 に接続例を示します。

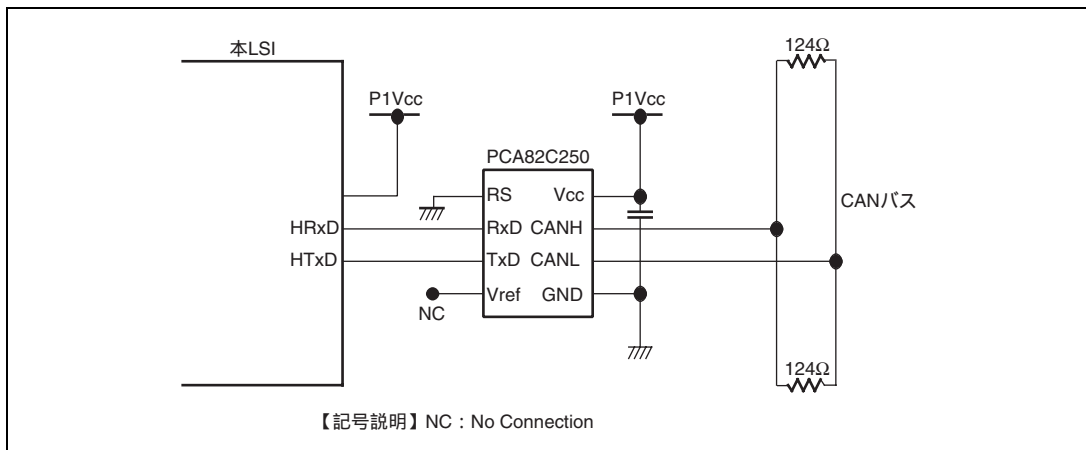


図 18.16 PCA82C250 を用いた高速インタフェース

18.8 使用上の注意事項

18.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、HCAN の動作禁止 / 許可を設定することが可能です。初期値では、HCAN の動作は停止します。モジュールストップモードを解除することによりレジスタのアクセスが可能になります。詳細は「第 22 章 低消費電力状態」を参照してください。

18.8.2 リセット

パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、ウォッチモード、およびモジュールストップモードにより HCAN はリセットされます。このときレジスタはすべて初期化されますが、メールボックス (メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])) は初期化されません。しかし、電源投入後メールボックス (メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])) は初期化され不定値になります。したがって、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、ウォッチモード、およびモジュールストップモード後は、必ずメールボックスを初期化してください。また、パワーオンリセット投入後、ソフトウェアスタンバイモード、ウォッチモード、およびモジュールストップモード復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可のため、フラグをクリアせずに割り込みコントローラで HCAN の割り込み許可に設定すると、直ちに HCAN 割り込みが入ります。したがって、初期化時に IRR0 をクリアしてください。

18.8.3 HCAN スリープモード

インタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) は、HCAN スリープモード中の CAN バス動作によってセットされます。したがって、HCAN がスリープモード解除を示すフラグではありません。また、ジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) は HCAN スリープモード中もセットされます。

18.8.4 割り込み

メールボックスインタラプトマスクレジスタ (MBIMR) をセットした場合、セットしたメールボックスの受信完了、送信完了、送信取り消しでインタラプトレジスタ (IRR8、2、1) はセットされません。

18.8.5 エラーカウンタ

エラーアクティブ、エラーパッシブでは REC、TEC は通常にカウントアップ、カウントダウンします。バスオフ中は 11 レセッシブビットを REC を使ってカウント (REC+1) します。REC=96 になると IRR4 と GSR1 がセットされます。

18.8.6 レジスタアクセス

HCAN のすべてのレジスタはバイトおよびワードアクセスのみ可能です。ロングワードアクセスは行わないでください。

18.8.7 HCAN 中速モード

中速モードにおいては、HCAN のレジスタに対するリード/ライトはできません。

18.8.8 スタンバイおよびウォッチモード時のレジスタ保持

HCAN はハードウェアスタンバイ、ソフトウェアスタンバイおよびウォッチモードおよびモジュールストップモード時には、メッセージコントロールとメッセージデータを除くレジスタが初期化されます。

18.8.9 ビット操作命令の使用について

HCAN のステータスフラグは、1 ライトでクリアされますので、ビット操作命令を使用してのフラグクリアは行わないでください。フラグクリアを行う場合は MOV 命令を使用し、クリアするビットのみ 1 を書き込むようにしてください。

18.8.10 HCAN の TXCR 動作について

1. 送信待ち取り消しレジスタ (TXCR) を使用して、送信待ちメールボックスの送信待ちメッセージを取り消す際に、送信が取り消されたにもかかわらず、TXCR および送信待ちレジスタ (TXPR) の対応するビットがクリアされないことがあります。これは、下記条件がすべて成立する場合に発生します。

<条件>

- CANバスのエラー等によりHRxD 端子が1にスタック
- 送信待ち (または送信中) のメールボックスが1本以上
- 送信中のメールボックスのメッセージ送信をTXCRにより取り消し

この現象が発生した場合、送信は取り消されますが、TXPRとTXCRの状態はメッセージ取り消し中という誤ったステータスを表示し続けるため、HRxD端子の1スタックが解除され、CANバスが正常な状態に復帰しても送信を再開することができません。送信メッセージが2本以上ある場合は送信中でないメッセージは取り消しされ、送信中のメッセージはそのままの状態となります。

これを回避するために、下記対策のいずれかを実施してください。

<対策>

- TXCRによる送信取り消しを行わないでください。CANバスの回復後に正常に送信を完了後、TXPRはクリアされ、HCANは正常動作に復帰します。
- 送信取り消しを行う必要がある場合は、TXCRの対応するビットが0になるまでTXCRの対応するビット1をライトし続けてください。TXPRとTXCRはクリアされ、HCANは正常動作に復帰します。

18. コントローラエリアネットワーク (HCAN)

2. バスオフに遷移するときTXPRが設定され送信待ち状態になっていた場合、バスオフ中にTXCRを設定しても内部のステートマシンが動作しないため取り消しをすることができず、バスオフ復帰後1メッセージを送信または送信エラーでメッセージの取り消しが行われます。バスオフ復帰後のメッセージクリアに関しては下記対策を実施してください。

<対策>

- バスオフ期間中にHCANモジュールをリセットすることで送信待ちのメッセージをクリアしてください。HCANのモジュールリセットはモジュールストップビット (MSTPCRCのMSTPC2) を設定 / 解除することで行ってください。なお、この場合はHCAN内部はすべてリセットされますので初期設定を再度行ってください。

18.8.11 HCAN 送信手続きについて

バスアイドルから送信設定したあと、50 μ s 以内に次の送信設定あるいは送信取り消しを以下の条件で行うと、前に設定した送信メッセージ ID が破壊されることがあります。

- 1回目に送信設定されたメッセージより優先順位の高いメッセージを2回目に送信設定したとき
- 1回目に送信設定において、最も優先順位の高いメッセージに対して送信取り消しを行ったとき

メッセージ ID が破壊されないために、以下の設定を行ってください。

- 送信設定を1度のTXPRで設定し、全送信メッセージの送信が完了したあと、再度送信設定を行い (一括送信設定) その間隔を50 μ s以上にする
- 送信メッセージの優先順位に従い送信設定する
- TXPRとTXPRの設定時間、またはTXPRとTXCRの設定時間の間隔を50 μ s以上とする

表 18.5 TXPR と TXPR 設定時間または TXPR と TXCR の設定時間の間隔制限

ポートレート (bps)	設定時間 (μ s)
1M	50
500k	50
250k	50

18.8.12 HCAN ソフトウェアリセットおよび HCAN スリープの解除について

HCAN のソフトウェアリセットまたは、HCAN スリープを解除する (MCR0=0 または MCR5=0) 場合はリセットステータスビット (GSR3) が 1 になっていることを確認したあとに行ってください。

18.8.13 HCAN スリープ中のメールボックスアクセスについて

HCAN スリープ中にメールボックスをアクセスしないでください。HCAN スリープ中にメールボックスにアクセスすると CPU が停止する場合があります。HCAN スリープ中のレジスタアクセスでは CPU は停止しません。

また、HCAN スリープ以外でメールボックスをアクセスしたとしても CPU は停止しません。

18. コントローラエリアネットワーク (HCAN)

19. RAM

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットにより有効または、無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

20. フラッシュメモリ

本 LSI は 512K バイト (H8S/2556、H8S/2552、H8S/2506) または 384K バイト (H8S/2551、H8S/2505) のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

20.1 特長

- LSI起動モードに合わせた2種類のフラッシュメモリマツト

内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間(以下メモリマツトと呼びます)があり、起動時のモード設定により、どちらのメモリマツトから起動するかを選択できます。

また、起動後もバンク切り替え方式でマツトを切り替えることも可能です。

ユーザモードでパワーオンリセット時に起動するユーザメモリマツト :

512Kバイト (H8S/2556、H8S/2552、H8S/2506)

384Kバイト (H8S/2551、H8S/2505)

ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマツト : 8Kバイト

- 3種類のオンボードプログラミングモード

ブートモード

内蔵SCIインタフェースを使用するプログラムモードで、ユーザマツトとユーザブートマツトの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマツトの書き換えができます。

ユーザブートモード

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマツトの書き換えが可能です。

- 1種類のオフボードプログラミングモード

ライターモード

PROMライターを用いたライターモードで、ユーザマツトとユーザブートマツトの書き換えが可能です。

20. フラッシュメモリ

- 内蔵プログラムのダウンロードによる書き込み / 消去インタフェース

本LSIでは専用の書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードしたあと、引数パラメータを設定して書き込み / 消去が可能です。さらに、ユーザブランチをサポートしています。

ユーザブランチ*

書き込み処理は128バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も1分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定をユーザブランチ付きと呼びます。

【注】 * 本LSIでは使用できません。

- 内蔵RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリと内蔵RAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

- プロテクトモード

レジスタ設定によるソフトウェアプロテクトがあり、フラッシュメモリの書き込み / 消去のプロテクト状態を設定することができます。

また、書き込み / 消去中の暴走などの異常発生を検出した場合、エラープロテクト状態に遷移し、書き込み / 消去処理を中断する機能があります。

- 書き込み / 消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて 3ms (typ)、1バイト当たり換算にて 25 μ s、消去時間は64Kバイトブロックあたり 1000ms (typ) です。

- 書き換え回数

フラッシュメモリの書き換えは、min100回可能です。

20.1.1 ブロック図

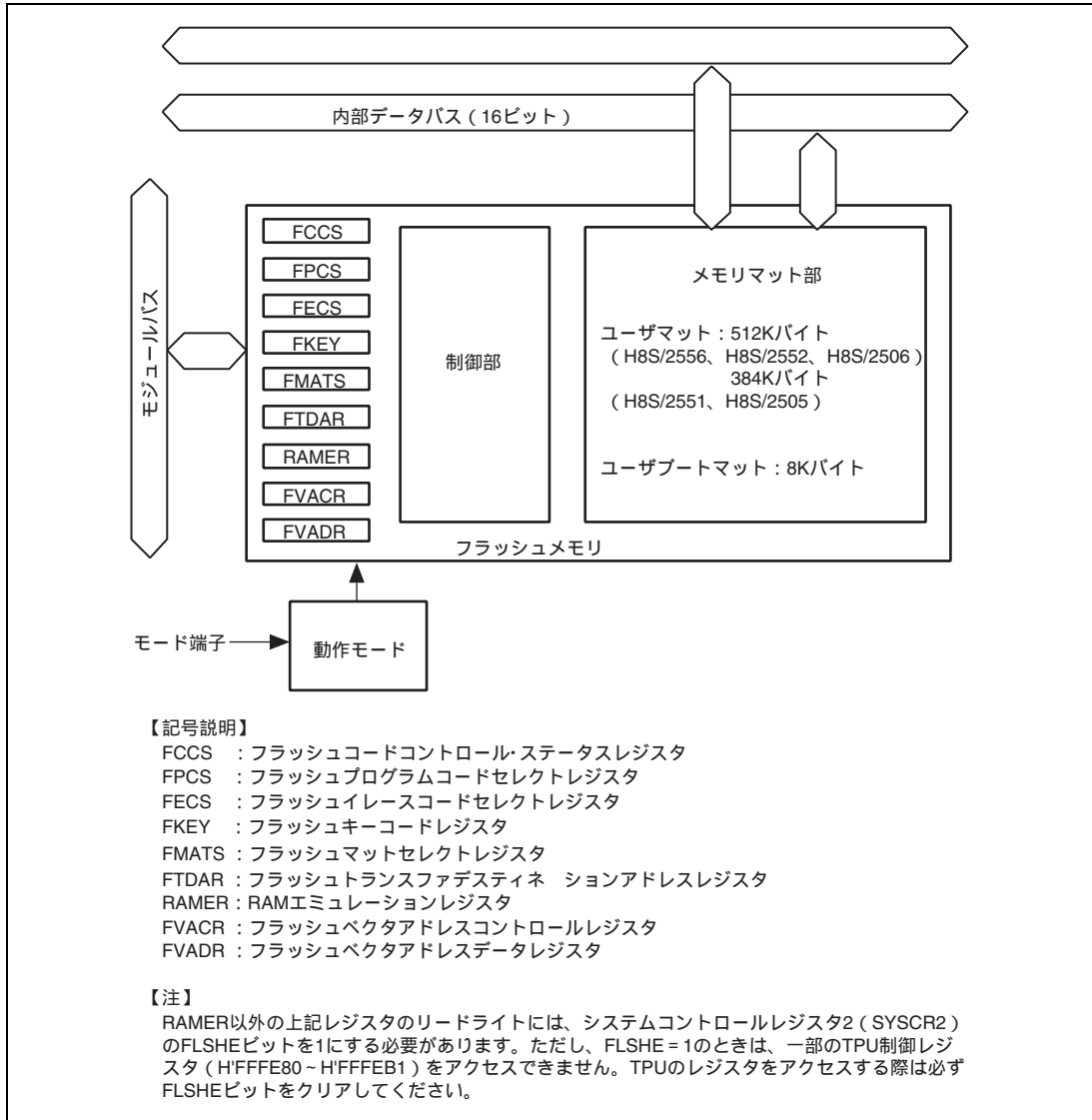


図 20.1 フラッシュメモリのブロック図

20. フラッシュメモリ

20.1.2 動作モード

リセット状態で各モード端子を設定しリセットスタートすると、マイコンは図 20.2 に示すような各動作モードへ遷移します。各モード端子の設定は、表 20.1 を参照してください。

1. ユーザモードではフラッシュメモリの読み出しはできますが、書き込み / 消去はできません。
2. オンボードでフラッシュメモリの読み出し / 書き込み / 消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
3. ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し / 書き込み / 消去を行います。

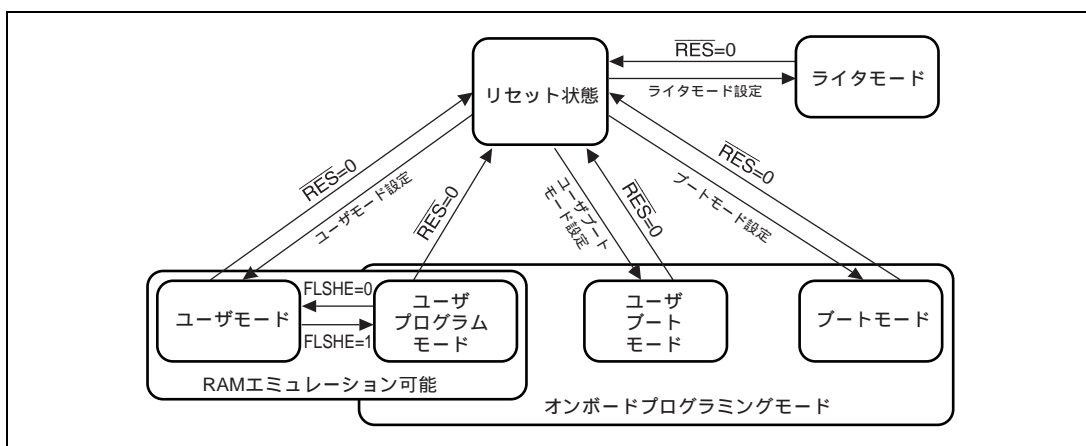


図 20.2 フラッシュメモリに関するモード遷移図

表 20.1 MD 端子設定と動作モード

モード 端子	リセット状態	内蔵 ROM 有効 モード*1	ユーザプログ ラムモード*2	ユーザブート モード	ブートモード	ライターモード
RES	0	1	1	1	1	1
MD0*3	0/1	0/1	0/1	1	0/1	0
MD1	0/1	1	1	0	1	0
MD2	0/1	1	1	0	0	0

【注】 *1 内蔵 ROM 有効モードとは、モード 6、モード 7 を示します。詳細は「第 3 章 MCU 動作モード」を参照してください。

*2 ユーザプログラムモードに遷移するためには、SYSCR2 の FLSHE ビットを 1 にセットしてください。

*3 内蔵 ROM 有効モード、ユーザプログラムモード、ブートモードは MD0 端子が"0"の場合に拡張モードとなり、"1"の場合にシングルチップモードになります。拡張モードはありません。

20.1.3 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み / 消去関連項目の比較表を表 20.2 に示します。

表 20.2 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み / 消去環境	オンボードプログラミング			オフボードプログラミング
書き込み / 消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
全面消去	(自動)			(自動)
ブロック分割消去	*1			×
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	ライター経由
ユーザブランチ機能	×	×	×	×
RAM エミュレーション	×		×	×
リセット起動マット	組み込みプログラム格納マット	ユーザマット	ユーザブートマット*2	—
ユーザモードへの遷移	モード設定変更 & リセット	FLSHE 設定変更	モード設定変更 & リセット	—

【注】 *1 いったん全面消去が行われます。そのあと、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後ユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み / 消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、いったんユーザマットとユーザブートマットが全面消去されます。そのあと、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。
ユーザブートマットだけ書き込んでユーザマットの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

20.1.4 フラッシュマット構成

本 LSI のフラッシュメモリは、512K バイト (H8S/2556、H8S/2552、H8S/2506) または 384K バイト (H8S/2551、H8S/2505) のユーザマットと 8K バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS レジスタによるマット切り替えが必要です。

ユーザマット/ユーザブートマットの読み出しはどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライターモードでのみ可能です。

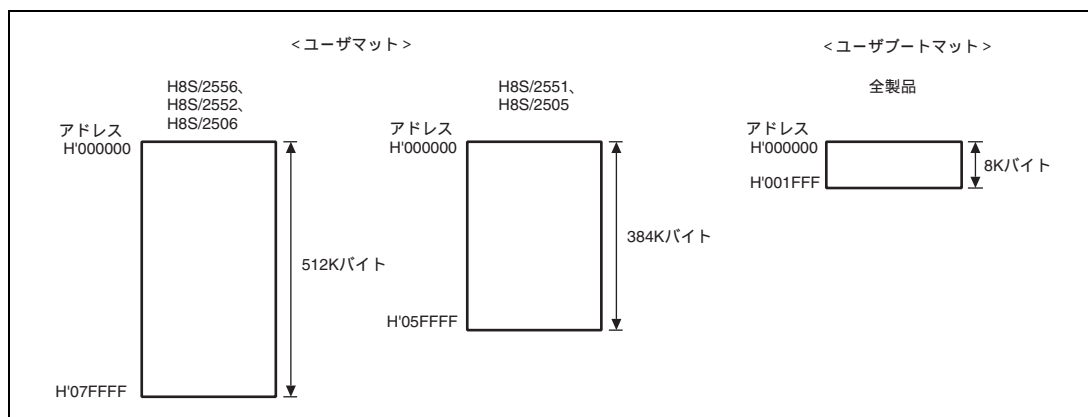


図 20.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8K バイト空間以上のユーザブートマットをアクセスしないようにしてください。8K バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

20.1.5 ブロック分割

ユーザマツトは、図 20.4 に示すように 512K バイトのフラッシュメモリは 64K バイト (7 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に、384K バイトのフラッシュメモリは 64K バイト (5 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に 512K バイトのフラッシュメモリは EB0 ~ EB15、384K バイトのフラッシュメモリは EB0 ~ EB13 の消去ブロック番号で指定します。

4K バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

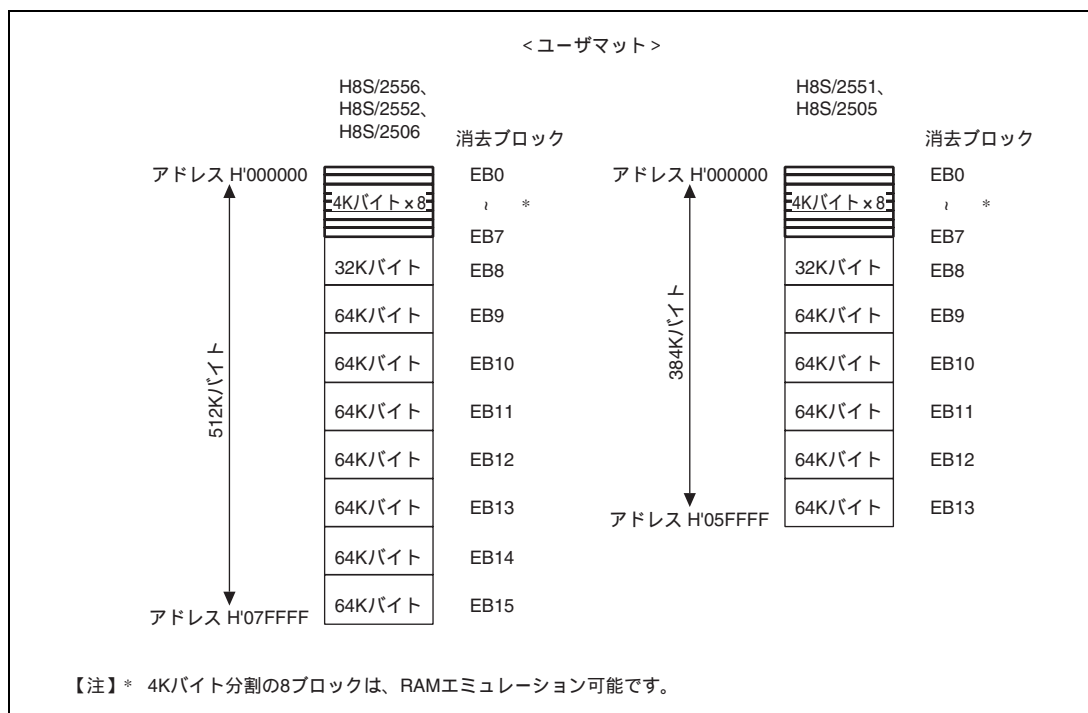


図 20.4 ユーザマツトのブロック分割

20.1.6 書き込み / 消去インタフェース

書き込み / 消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス / データ、消去ブロックなどをインタフェースレジスタ / パラメータで指定して行います。

ユーザプログラムモード / ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「20.4.2 ユーザプログラムモード」で説明します。

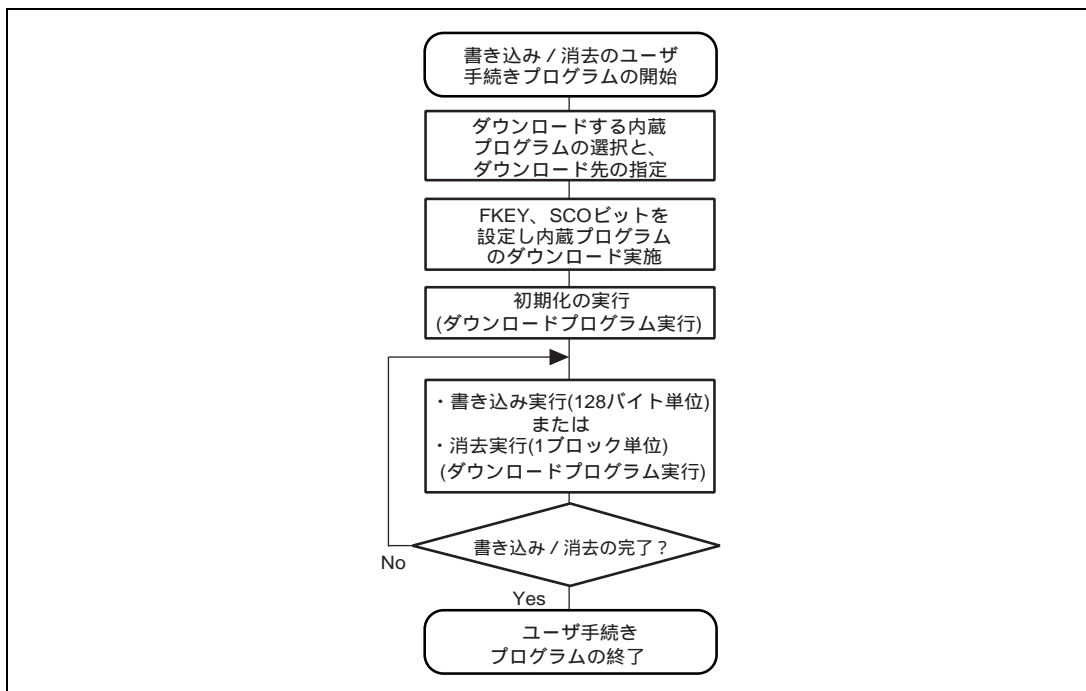


図 20.5 ユーザの手続きプログラムの概要

1. ダウンロードする内蔵プログラムの選択

本LSIには、書き込み関係 / 消去関係のプログラムが内蔵されており、内蔵RAM上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスはFTDARレジスタで指定することができます。

2. 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み / 消去インタフェースレジスタのFKEYレジスタとFCCSレジスタのSCOビットの設定を行うことで自動的に行われます。

ダウンロード中はユーザマットが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去時はユーザマットの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムは書き込み / 消去対象ユーザマット上以外（内蔵RAM上など）で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

3. 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数とユーザブランチの設定を行います。ユーザブランチ先は書き換え中のユーザマツト領域やダウンロードされた内蔵プログラム領域などの禁止領域外としてください。これらの設定は書き込み / 消去インタフェースパラメータで行います。

4. 書き込み / 消去の実行

書き込み / 消去を実施するためには、SYSCR2のFLSHEビットを1に設定しユーザプログラムモードにする必要があります。

書き込みでは書き込みデータ / 書き込み先アドレスの指定を128バイト単位で行います。

消去では消去ブロックの指定を消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵RAM上の特定アドレスをJSR命令、またはBSR命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要がありますが、消去と書き込みの2種類の内蔵プログラムを一挙にダウンロードすることはできないため、消去、書き込みの順で上記処理1.~4.の手順を実行してください。

書き込み / 消去処理中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で、割り込みが入らないようにしてください。

また、書き込み / 消去処理中のフラッシュメモリ空間でのアクセス保証はできませんので、割り込みベクタおよび割り込み処理ルーチンがフラッシュメモリに存在する場合は、割り込み処理の動作保証もできません。システムエラー処理等、システム上書き込み / 消去処理中にNMI割り込みの使用が避けられない場合、FVACR、FVADRを設定し内蔵RAM上または外部空間に割り込みベクタおよび割り込み処理ルーチンを設定してください。

5. 引き続き、書き込み / 消去を実行する場合

128バイトの書き込み、1ブロックの消去で処理が終わらない場合、書き込みアドレス / データ、消去ブロック番号を更新して書き込み / 消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵RAM上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

20.2 端子構成

フラッシュメモリは表 20.3 に示す端子により制御されます。

表 20.3 端子構成

端子名	略称	入出力	機能
リセット	RES	入力	リセット
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD0	出力	シリアル送信データ出力 (ブートモードで使用)
レシーブデータ	RxD0	入力	シリアル受信データ入力 (ブートモードで使用)

【注】 ライタモードの端子構成は「20.9 ライタモード」を参照してください。

20.3 レジスタの説明

フラッシュメモリをコントロールするレジスタ/パラメータを以下に示します。

RAMER 以外のフラッシュメモリをコントロールするレジスタにアクセスするためには、内蔵フラッシュメモリが有効なモードで SYSCR2 の FLSHE ビットを 1 にセットする必要があります。ただし、FLSHE = 1 のときは一部の TPU 制御レジスタ (H'FFFE80 ~ H'FFFEB1) をアクセスできません。TPU のレジスタをアクセスする際は必ず FLSHE ビットをクリアしてください。

- フラッシュコードコントロールステータスレジスタ (FCCS)
- フラッシュプログラムコードセレクトレジスタ (FPCS)
- フラッシュイレースコードセレクトレジスタ (FECS)
- フラッシュキーコードレジスタ (FKEY)
- フラッシュマットセレクトレジスタ (FMATS)
- フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)
- システムコントロールレジスタ2 (SYSCR2)
- フラッシュバス・フェイルリザルト (FPFR)
- ダウンロードバス・フェイルリザルト (DPFR)
- フラッシュマルチパーパスアドレスエリア (FMPAR)
- フラッシュマルチパーパスデータデスティネーションエリア (FMPDR)
- フラッシュイレースブロックセレクト (FEBS)
- フラッシュプログラム・イレース周波数コントロール (FPEFEQ)
- フラッシュユーザブランチアドレスセットパラメータ (FUBRA)

- RAMエミュレーションレジスタ (RAMER)
- フラッシュベクタアドレスコードコントロールレジスタ (FVACR)
- フラッシュベクタアドレスデータレジスタR (FVADRR)
- フラッシュベクタアドレスデータレジスタE (FVADRE)
- フラッシュベクタアドレスデータレジスタH (FVADRH)
- フラッシュベクタアドレスデータレジスタL (FVADRL)

フラッシュメモリのアクセスには読み出しモード / 書き込みモードなどいくつかの動作モードがあります。

また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ / パラメータが割り当てられています。動作モードと使用レジスタ / パラメータの対応表を表 20.4 に示します。

表 20.4 使用レジスタ / パラメータと対象モード

		ダウンロード	初期化	書き込み	消去	読み出し	RAM エミュレーション
書き込み / 消去インタ フェース レジスタ	FCCS		—	—	—	—	—
	FPCS		—	—	—	—	—
	FECS		—	—	—	—	—
	FKEY		—			—	—
	FMATS	—	—	(* ¹)	(* ¹)	(* ²)	—
	FTDAR		—	—	—	—	—
書き込み / 消去インタ フェース パラメータ	DPFR		—	—	—	—	—
	FPFR					—	—
	FPEFEQ	—		—	—	—	—
	FUBRA	—		—	—	—	—
	FMPAR	—	—		—	—	—
	FMPDR	—	—		—	—	—
	FEBS	—	—	—		—	—
RAM エミュ レーション	RAMER	—	—	—	—	—	

【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み / 消去時に設定が必要です。

*2 起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

20.3.1 書き込み / 消去インタフェースレジスタ

書き込み / 消去インタフェースレジスタについて説明します。すべて 8 ビットのレジスタでバイトアクセスのみ可能です。FCCS レジスタの FLER ビットを除き、これらのレジスタはパワーオンリセットとハードウェアスタンバイモード / ソフトウェアスタンバイモード / ウォッチモードで初期化されます。FLER ビットは、ソフトウェアスタンバイモード、ウォッチモードでは初期化されません。

(1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCS は、フラッシュメモリの書き込み / 消去実行中のエラー発生をモニタ、および内蔵プログラムのダウンロードを要求するビットから構成されています。

ビット	ビット名	初期値	R/W	説明
7		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトも常に 1 にしてください。
6、5		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。
4	FLER	0	R	フラッシュメモリエラー フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示すビットです。FLER=1 にセットさせると、フラッシュメモリはエラープロテクト状態に移ります。パワーオンリセットまたはハードウェアスタンバイモード遷移で初期化されます。なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100 μ s のリセット入力期間のあとにリセットリリースしてください。 0: フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき 1: フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「20.5.3 エラープロテクト」を参照してください。
3~1		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
0	SCO	0	(R)/W	<p>ソースプログラムコピーオペレーション</p> <p>内蔵されている書き込み/消去プログラムを内蔵 RAM にダウンロードする要求ビットです。本ビットに 1 を書き込むと、FPCS/FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットに 1 を書き込むためには、RAM エミュレーション状態の解除、FKEY レジスタへの H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。</p> <p>本ビットに 1 を書き込んだ直後には、4 個の NOP 命令を必ず実行するようにしてください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。</p> <p>0: 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードは行いません</p> <p>[クリア条件] ダウンロードが完了するとクリアされます。</p> <p>1: 内蔵されている書き込み/消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。</p> <p>[セット条件] 以下の条件がすべて満足されている状態で、1 を書き込んだとき</p> <p>(1) FKEY レジスタに H'A5 が書かれていること</p> <p>(2) 内蔵 RAM 上で実行中であること</p> <p>(3) RAM エミュレーションモードでないこと (RAMER の RAMS = 0 であること)</p>

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~1		すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。</p>
0	PPVS	0	R/W	<p>プログラムパルスベリファイ</p> <p>書き込みプログラムを選択します。</p> <p>0: 内蔵の書き込みプログラムを選択しません。</p> <p>[クリア条件] 転送が終了するとクリアされます。</p> <p>1: 内蔵の書き込みプログラムを選択します。</p>

20. フラッシュメモリ

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~1		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。
0	EPVB	0	R/W	イレースパルスベリファイブロック 消去プログラムを選択します。 0 : 内蔵消去プログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 1 : 内蔵消去プログラムを選択します。

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のための SCO ビットへの 1 書き込み前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット	ビット名	初期値	R/W	説 明
7	K7	0	R/W	キーコード H'A5 を書き込んだ場合にのみ、SCO ビットへの書き込みが有効になります。H'A5 以外の値が FKEY レジスタに書かれている場合、SCO ビットに 1 を書き込むことができないため、内蔵 RAM へのダウンロードができません。H'5A を書き込んだ場合にのみ、書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'A5 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。 H'A5 : SCO ビットへの書き込みを許可します。(H'A5 以外では SCO ビットのセットはできません) H'5A : 書き込み / 消去を許可します。(H'5A 以外ではソフトプロテクト状態) H'00 : 初期値
6	K6	0	R/W	
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	

(5) フラッシュマットセレクトレジスタ (FMATS)

FMATS は、ユーザマット/ユーザブートマットのどちらを選択するかを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1*	R/W	マットセレクト
6	MS6	0	R/W	H'AA 以外の場合はユーザマット選択状態、H'AA が書かれている状態はユーザブートマット選択状態です。FMATS に値を書き込むことによりマット切り替えが発生します。マット切り替えは、必ず「20.7 ユーザマットとユーザブートマットの切り替え」に従ってください(ユーザプログラムモードでのユーザブートマットの書き換えは、FMATS でユーザブートマットを選択してもできません。ユーザブートマットの書き換えは、ブートモードかライターモードで実施してください)。 H'AA : ユーザブートマットを選択します (H'AA 以外ではユーザマット選択状態となります)。 ユーザブートモードで立ち上がった場合の初期値です。 H'00 : ユーザブートモード以外で立ち上がった場合の初期値です (ユーザマット選択状態です)。 [書き込み可能条件] 内蔵 RAM 上での実効状態であること
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】 * ユーザブートモードのときは1になります。それ以外のときは0となります。

(6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。

ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	トランスファデスティネーションアドレス設定エラー TDA6 ~ TDA0 ビットで指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS レジスタの SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6 ~ TDA0 の値が H'00 ~ H'07 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、本ビットの値を 0 にすることも含めて、FTDAR の値を H'00 ~ H'07 の範囲に設定してください。 0 : TDA6 ~ TDA0 の設定は、正常値 1 : TDER、TDA6 ~ TDA0 の設定値が H'08 ~ H'FF で、ダウンロードは中断したことを示します。

20. フラッシュメモリ

ビット	ビット名	初期値	R/W	説明
6	TDA6	0	R/W	トランスファデスティネーションアドレス ダウンロード先頭アドレスを指定します。設定可能な値は H'00 ~ H'07 で、4K バイト単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。 H'00 : ダウンロード先頭アドレスを H'FF9000 に設定 H'01 : ダウンロード先頭アドレスを H'FFA000 に設定 H'02 : ダウンロード先頭アドレスを H'FFB000 に設定 H'03 : ダウンロード先頭アドレスを H'FFC000 に設定 H'04 : ダウンロード先頭アドレスを H'FFD000 に設定 H'05 : ダウンロード先頭アドレスを H'FFE000 に設定 H'06 : ダウンロード先頭アドレスを H'FF8000 に設定 H'07 : ダウンロード先頭アドレスを H'FF7000 に設定 H'08 ~ H'FF : 設定しないでください。この値が設定された場合、ダウンロー ド処理において、TDER ビットが 1 になり、内蔵プログラムの ダウンロード処理は中断されます。
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

(7) システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 はレジスタアクセスの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット 0 をライトしてください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル 0 をライトしてフラッシュメモリの制御レジスタの CPU アクセスを制御しま ず。FLSHE ビットを 1 にセットすると、フラッシュメモリ制御レジスタをリー ド/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジ スタは非選択となります。このときフラッシュメモリ制御レジスタの内容は保 持されています。 0 : アドレス H'FFFA4 ~ H'FFFAF のエリアはフラッシュ制御論理を非選択 1 : アドレス H'FFFA4 ~ H'FFFAF のエリアはフラッシュ制御論理を選択
2		不定		リザーブビット 0 をライトしてください。
1、0		すべて 0	R/W	リザーブビット 0 をライトしてください。

20.3.2 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果のやりとりをするものです。このパラメータは、CPU の汎用レジスタ (ER0, ER1) や内蔵 RAM 領域を使用します。パワーオンリセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、R0L 以外の CPU のレジスタは保存されます。R0L は、処理結果の戻り値が記入されます。R0L 以外のレジスタの保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をしてください (使用スタック領域サイズは、最大 128 バイトです)。

書き込み / 消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み / 消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれ使用するパラメータは異なります。対応表を、表 20.5 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 20.5 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR		—	—	—	R/W	不定	内蔵 RAM*
フラッシュバス・フェイルリザルト	FPFR	—				R/W	不定	CPU の R0L
フラッシュプログラムイレース周波数コントロール	FPEFEQ	—		—	—	R/W	不定	CPU の ER0
フラッシュユーザブランチアドレスセットパラメータ	FUBRA	—		—	—	R/W	不定	CPU の ER1
フラッシュマルチパーパスアドレスエリア	FMPAR	—	—		—	R/W	不定	CPU の ER1
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR	—	—		—	R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS	—	—	—		R/W	不定	CPU の ER0

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

20. フラッシュメモリ

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は FTDAR レジスタで指定した先頭アドレスから 2K バイト分の領域です。内蔵 RAM のアドレスマップについては、図 20.10 を参照してください。

ダウンロード制御は書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されません。

(a) ダウンロードパス / フェイルパラメータ (DPFR : FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断します。SCO ビットを 1 にできたかの確認が困難のため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。

ビット	ビット名	初期値	R/W	説明
7~3				リザーブビット 値 0 が戻されます
2	SS		R/W	ソースセレクトエラー検出ビット ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0 : ダウンロードプログラムの選択関係は正常 1 : ダウンロードエラー発生 (多重選択または、マッピングされていないプログラム選択)
1	FK		R/W	フラッシュキーレジスタエラー検出ビット FKEY レジスタの値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0 : FKEY レジスタの設定は正常 (FKEY = H'A5) 1 : FKEY レジスタの設定値エラー (FKEY は、H'A5 以外の値)
0	SF		R/W	サクセス / フェイルビット ダウンロードが正常に終了したかどうかを返すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。 0 : 内蔵プログラムのダウンロードは正常終了 (エラーなし) 1 : 内蔵プログラムのダウンロードが異常終了 (エラーが発生している)

(2) 書き込み / 消去の初期化

ダウンロードされる書き込み / 消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み / 消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み / 消去プログラムのパラメータとして設定するのが初期化プログラムです。

(a) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ : CPU の汎用レジスタ ER0)

CPU の動作周波数を設定するパラメータです。

本 LSI の動作周波数範囲は、「24.4.2 クロックタイミング」を参照してください。

ビット	ビット名	初期値	R/W	説明
31~16	F31~F16		R/W	リザーブビット 値 0 を設定してください。
15~0	F15~F0		R/W	周波数設定ビット CPU の動作周波数を設定します。設定値は以下のように算出してください。 <ul style="list-style-type: none"> MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。 100 倍した値を 2 進数に変換し、FPEFEQ パラメータ (汎用レジスタ ER0) に書き込む。 具体例として、CPU の動作周波数が 25.000MHz の場合には、以下のようになります。 <ul style="list-style-type: none"> 25.000 の小数点第 3 位を四捨五入し、25.00。 25.00 × 100 = 2500 を 2 進数変換し、B'0000,1001,1100,0100 (H'09C4) を ER0 に設定。

(b) フラッシュユーザブランチアドレス設定パラメータ (FUBRA : CPU の汎用レジスタ ER1)

ユーザブランチ先のアドレスを設定するパラメータです。書き込み/消去実行時のある決まった処理単位ごとに、設定したユーザプログラムを実行することができます。

ビット	ビット名	初期値	R/W	説明
31~0	UA31 ~ UA0		R/W	ユーザブランチ先アドレス ユーザブランチが必要ない場合には、0 番地 (H'00000000) を設定してください。 ユーザブランチ先は、内蔵プログラムが転送されている RAM 領域以外の RAM 空間または外部バス空間としてください。実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラム領域やスタック領域を破壊しないようにしてください。暴走するとフラッシュメモリの値の保証もできません。 ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み/消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み/消去の保証ができません。また、すでに準備していた書き込みデータを書き換えしないでください。さらに、ユーザブランチ先の処理で書き込み/消去インタフェースレジスタの書き換えや、RAM エミュレーションモードへの遷移を行わないでください。ユーザブランチ処理終了後は、RTS 命令で書き込み/消去プログラムに戻ってください。

20. フラッシュメモリ

(c) フラッシュパス/フェイルパラメータ (FPFR: CPUの汎用レジスタ R0L)

初期化結果の戻り値としてのFPFRについて説明します。

ビット	ビット名	初期値	R/W	説明
7~3				リザーブビット 値0が戻されます
2	BR		R/W	ユーザブランチエラー検出ビット 指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み/消去関係プログラムの格納領域以外であることをチェックした結果を戻します。 0: ユーザブランチアドレス設定は正常値 1: ユーザブランチアドレス設定が異常値
1	FQ		R/W	周波数エラー検出ビット 指定されたCPU動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。 0: 動作周波数の設定は正常値 1: 動作周波数の設定が異常値
0	SF		R/W	サクセス/フェイルビット 初期化が正常に終了したかどうかを戻すビットです。 0: 初期化は正常終了(エラーなし) 1: 初期化が異常終了(エラーが発生している)

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡すことが必要です。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタER1に設定してください。このパラメータをFMPAR(フラッシュマルチパーパスアドレスエリアパラメータ)と呼びます。

書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット(A7~A0)が、H'00またはH'80のいずれかにしてください。

2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

書き込みたいデータが128バイトに満たない場合でも、ダミーコード(H'FF)を埋め込んで128バイトの書き込みデータを準備してください。

準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタER0に設定してください。このパラメータをFMPDR(フラッシュマルチパーパスデータデスティネーションエリアパラメータ)と呼びます。

書き込み処理のための手続きの詳細については、「20.4.2 ユーザプログラムモード」を参照してください。

(a) フラッシュマルチパースアドレスエリアパラメータ (FMPAR : CPU の汎用レジスタ ER1)

ユーザマツト上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外の領域のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは 128 バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーは FPFR パラメータの WA ビットに反映されます。

ビット	ビット名	初期値	R/W	説 明
31~0	MOA31 ~ MOA0		R/W	ユーザマツト上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマツトの先頭アドレスから連続 128 バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは 128 バイト境界となり、MOA6~MOA0 は常に 0 になります。

(b) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR : CPU の汎用レジスタ ER0)

ユーザマツトに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは FPFR パラメータの WD ビットに反映されます。

ビット	ビット名	初期値	R/W	説 明
31~0	MOD31 ~ MOD0		R/W	ユーザマツトへの書き込みデータが格納される領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマツトに対して書き込まれます。

20. フラッシュメモリ

(c) フラッシュパス/フェイルパラメータ (FPFR: CPU の汎用レジスタ R0L)

書き込み処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7				リザーブビット 値0が戻されます
6	MD		R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態でないことのチェック結果を返します。エラープロテクト状態への遷移条件につきましては、「20.5.3 エラープロテクト」を参照してください。 0: FLER 状態は正常 (FLER=0) 1: FLER=1 であり、書き込みできない状態
5	EE		R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。また、FMATS レジスタの値がH'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。ユーザブートマットの書き込みはブートモードまたはライターモードで実施してください。 0: 書き込み処理は正常終了 1: 書き込み処理が異常終了し、書き込み結果は保証できない
4	FK		R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前に FKEY レジスタの値をチェックした結果を戻します。 0: FKEY レジスタの設定は正常 (FKEY = H'5A) 1: FKEY レジスタの設定値エラー (FKEY は、H'5A 以外の値)
3				リザーブビット 値0が戻されます
2	WD		R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスとして、以下の領域が指定された場合にはエラーとなります。 • 書き込み/消去プログラムがダウンロードされている内蔵 RAM 上のアドレス • フラッシュメモリ領域のアドレス 0: 書き込みデータアドレス設定は正常値 1: 書き込みデータアドレス設定が異常値
1	WA		R/W	ライトアドレスエラー検出ビット 書き込み先先頭アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域外の書き込み先アドレスの場合 • 指定されたアドレスが 128 バイト境界ではない (A6-A0 が 0 でない) 場合 0: 書き込み先アドレス設定は正常値 1: 書き込み先アドレス設定が異常値

ビット	ビット名	初期値	R/W	説 明
0	SF		R/W	サクセス/フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0 : 書き込みは正常終了 (エラーなし) 1 : 書き込みが異常終了 (エラーが発生している)

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマット上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ (汎用レジスタ ER0) に設定します。

0~15 のブロック番号から 1 ブロックを指定します。

消去処理のための手続きの詳細については、「20.4.2 ユーザプログラムモード」を参照してください。

(a) フラッシュイレースブロックセレクトパラメータ (FEBS : CPU の汎用レジスタ ER0)

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット	ビット名	初期値	R/W	説 明
31~8				リザーブビット 値 0 を設定してください。
7	EB7		R/W	イレースブロック 0~15 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、15 は EB15 ブロックに対応します。0~15 以外の設定ではエラーになります。
6	EB6		R/W	
5	EB5		R/W	
4	EB4		R/W	
3	EB3		R/W	
2	EB2		R/W	
1	EB1		R/W	
0	EB0		R/W	

(b) フラッシュパス/フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

消去処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説 明
7				リザーブビット 値 0 が戻されます
6	MD		R/W	消去モード関連設定エラー検出ビット エラープロテクト状態でないことのチェック結果を返します。エラープロテクト状態への遷移条件につきましては、「20.5.3 エラープロテクト」を参照してください。 0 : FLER 状態は正常 (FLER=0) 1 : FLER=1 であり、消去できない状態

20. フラッシュメモリ

ビット	ビット名	初期値	R/W	説 明
5	EE		R/W	<p>消去実行時エラー検出ビット</p> <p>ユーザマットが消去できなかつたり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されていません。ユーザブートマトの消去はブートモードまたはライトモードで実施してください。</p> <p>0：消去処理は正常終了 1：消去処理が異常終了し、消去結果は保証できない</p>
4	FK		R/W	<p>フラッシュキーレジスタエラー検出ビット</p> <p>消去処理開始前に FKEY レジスタの値をチェックした結果を戻します。</p> <p>0：FKEY レジスタの設定は正常 (FKEY = H'5A) 1：FKEY レジスタの設定値エラー (FKEY は、H'5A 以外の値)</p>
3	EB		R/W	<p>イレースブロックセレクトエラー検出ビット</p> <p>指定された消去ブロック番号が、ユーザマトのブロック範囲内であるかのチェック結果です。</p> <p>0：消去ブロック番号の設定は正常値 1：消去ブロック番号の設定が異常値</p>
2、1				<p>リザーブビット</p> <p>値0が戻されます</p>
0	SF		R/W	<p>サクセス/フェイルビット</p> <p>消去処理が正常に終了したかどうかを戻すビットです。</p> <p>0：消去は正常終了 (エラーなし) 1：消去が異常終了 (エラーが発生している)</p>

20.3.3 RAM エミュレーションレジスタ (RAMER)

ユーザマットのリアルタイムな書き換えをエミュレートするときに、内蔵 RAM の一部と重ね合わせるユーザマットのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときに H'00 に初期化されます。ソフトウェアスタンバイモード、ウォッチモードのときは、初期化されません。RAMER の設定はユーザモード、ユーザプログラムモードで行ってください。

ユーザマットエリアの分割法は、表 20.6 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象マートをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説 明
7~5		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。
4		0	R/W	リザーブビット ライトするときは必ず 0 をライトしてください。
3	RAMS		R/W	RAM セレクト RAM によるユーザマットのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1 のときは、ユーザマット全ブロックが書き込み / 消去プロテクト状態となります。 0 : エミュレーション非選択 ユーザマット全ブロックの書き込み / 消去プロテクト無効 1 : エミュレーション選択 ユーザマット全ブロックの書き込み / 消去プロテクト有効
2	RAM2	0	R/W	ユーザマットエリア選択
1	RAM1	0	R/W	ビット 3 とともに使用し、内蔵 RAM と重ね合わせるユーザマットのエリアを選択します (表 20.6 参照)。
0	RAM0	0	R/W	

20. フラッシュメモリ

表 20.6 ユーザマツエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFD000 ~ H'FFDFFF	RAM エリア 4kB	0	*	*	*
H'000000 ~ H'000FFF	EB0 (4kB)	1	0	0	0
H'001000 ~ H'001FFF	EB1 (4kB)	1	0	0	1
H'002000 ~ H'002FFF	EB2 (4kB)	1	0	1	0
H'003000 ~ H'003FFF	EB3 (4kB)	1	0	1	1
H'004000 ~ H'004FFF	EB4 (4kB)	1	1	0	0
H'005000 ~ H'005FFF	EB5 (4kB)	1	1	0	1
H'006000 ~ H'006FFF	EB6 (4kB)	1	1	1	0
H'007000 ~ H'007FFF	EB7 (4kB)	1	1	1	1

【記号説明】 * : Don't care

20.3.4 フラッシュベクタアドレスコントロールレジスタ (FVACR)

NMI 割り込みのベクタテーブルデータを読み出す空間を変更するレジスタです。通常は H'00001C ~ H'00001F のアドレス空間からベクタテーブルデータを読み出しますが、本レジスタの設定により内部 I/O レジスタ (FVADRR ~ FVADRL) からベクタテーブルを読み出すことが可能です。本レジスタは、パワーオンリセット、ハードウェアスタンバイモードのときに H'00 に初期化されます。

書き込み / 消去処理、および内蔵プログラムダウンロード中は、NMI を含むすべての割り込みを禁止してください。システムエラー処理等システム上 NMI 割り込みの使用が避けられない場合、本レジスタおよび FVADRR ~ FVADRL を設定し、割り込み例外処理ルーチンを内蔵 RAM 上または外部空間に設定してください。

ビット	ビット名	初期値	R/W	説明
7	FVCHGE	0		ベクタ切り替え機能有効ビット ベクタテーブルデータを読み出す空間を変更する機能の有効 / 無効を選択するビットです。FVCHGE = 1 のときは、内部 I/O レジスタ (FVADRR ~ FVADRL) からベクタテーブルデータを読み出すことが可能です。 0 : ベクタテーブルデータを読み出す空間を変更する機能は無効 1 : ベクタテーブルデータを読み出す空間を変更する機能は有効
6~0		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。

20.3.5 フラッシュベクタアドレスデータレジスタ (FVADR)

フラッシュベクタアドレスコントロールレジスタ (FVACR) によりベクタテーブルデータを読み出す空間を切り替える機能を有効にした場合に、ベクタデータを格納するレジスタです。本レジスタは4つの8ビットレジスタ (FVADRR, FVADRE, FVADRH, FVADRL) から構成されます。本レジスタは、パワーオンリセット、ハードウェアスタンバイモードのときに H'00000000 に初期化されます。

- FVADRR

ビット	ビット名	初期値	R/W	説明
31~24		すべて0	R/W	ベクタアドレスを設定

- FVADRE

ビット	ビット名	初期値	R/W	説明
23~16		すべて0	R/W	ベクタアドレスを設定

- FVADRH

ビット	ビット名	初期値	R/W	説明
15~8		すべて0	R/W	ベクタアドレスを設定

- FVADRL

ビット	ビット名	初期値	R/W	説明
7~0		すべて0	R/W	ベクタアドレスを設定

20.4 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはユーザプログラムモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

各モードへ遷移する端子の設定方法は、表 20.1 を参照してください。また、フラッシュメモリに対する各モードへの状態遷移図は図 20.2 を参照してください。

20.4.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み/消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ピットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 20.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 20.1 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

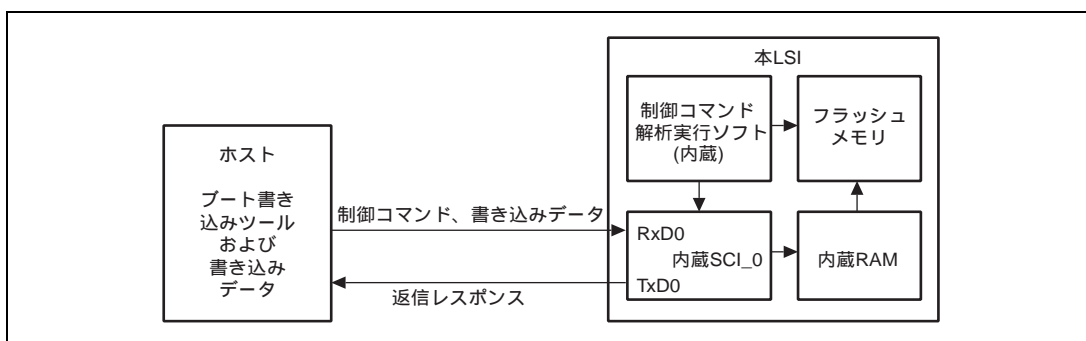


図 20.6 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信/受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 20.7 に示します。このシステムクロックの範囲内でブートモードを起動してください。

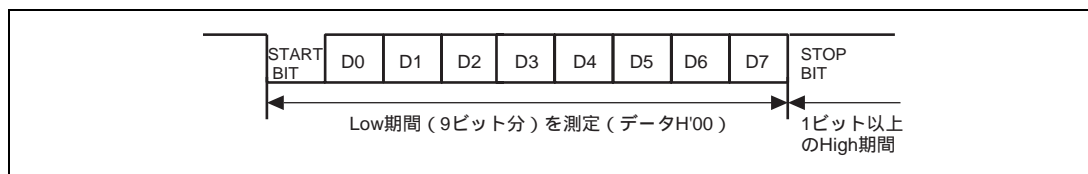


図 20.7 SCI ビットレートの自動合わせ込み動作

表 20.7 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロック周波数
9,600 bps	10 ~ 26 MHz
19,200 bps	16 ~ 26 MHz

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 20.8 に示します。

1. ビットレート合わせ込み

ブートモード起動後、ホストとのSCIインタフェースのビットレート合わせ込みを行います。

2. 問い合わせ設定コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

3. 全ユーザマットおよびユーザブートマットの自動消去

問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

4. 書き込み / 消去コマンド待ち

- 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスを H'FFFFFFF と設定して送信してください。これにより書き込みデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。
- 「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号を H'FF と設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだあとに、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み / 消去 / 他コマンド待ち状態に遷移する前に全ブロックの消去が行われているので、本消去操作は必要ありません。
- 書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ユーザマット / ユーザブートマットのブランクチェック (消去チェック)、ユーザマット / ユーザブートマットのメモリリード、および

20. フラッシュメモリ

現在のステータス情報の取得のコマンドがあります。

ユーザマツト/ユーザブツトマツトのメモリ読み出しは、すべてのユーザマツト/ユーザブツトマツトを自動消去した後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができませんので、ご注意ください。

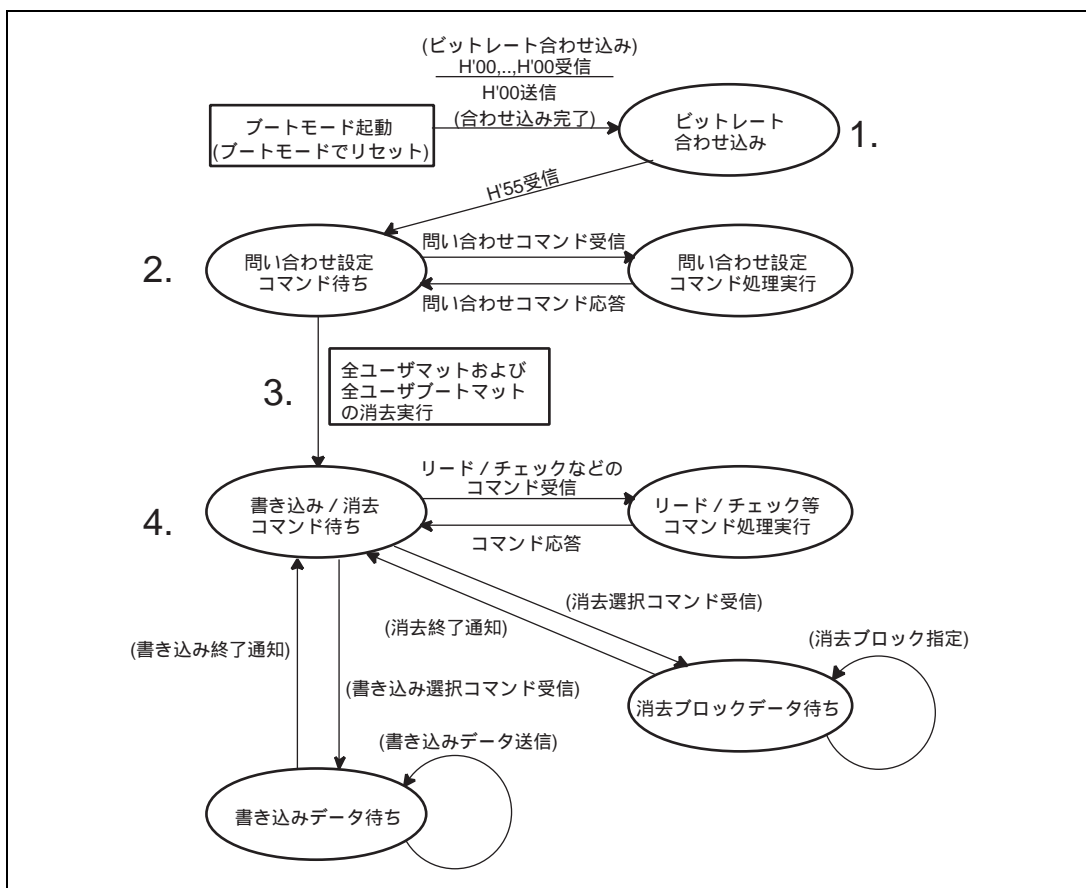


図 20.8 ブツトモードの状態遷移の概略図

20.4.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み / 消去ができます（ユーザブートマットの書き込み / 消去はできません）。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み / 消去を実施します。

書き込み / 消去概略フローを図 20.9 に示します。

なお、書き込み / 消去処理中はフラッシュメモリ内部に高電圧が印加されていますので、書き込み / 消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、通常より長い100 μ sのリセット入力期間のあとにリセットリリースしてください。

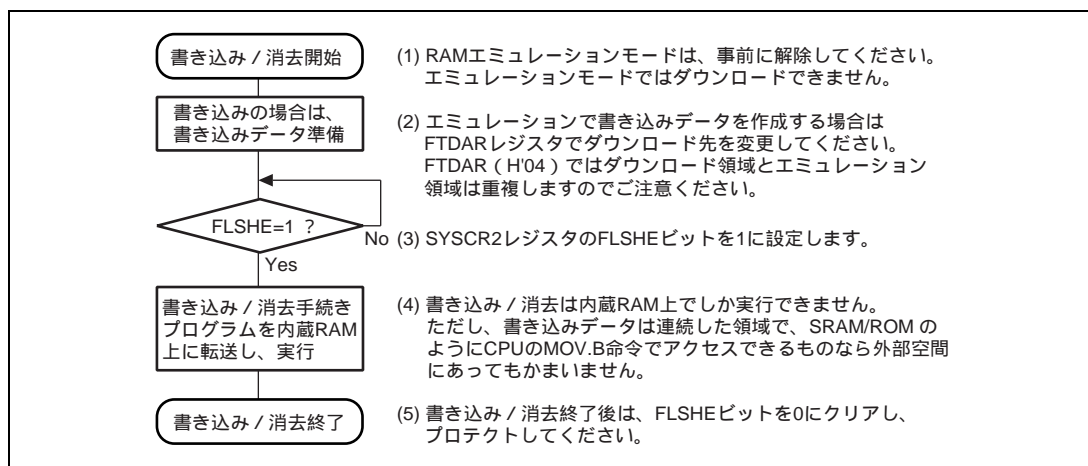


図 20.9 書き込み / 消去概略フロー

20. フラッシュメモリ

(1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 20.10 にダウンロードされるプログラムの領域を示します。

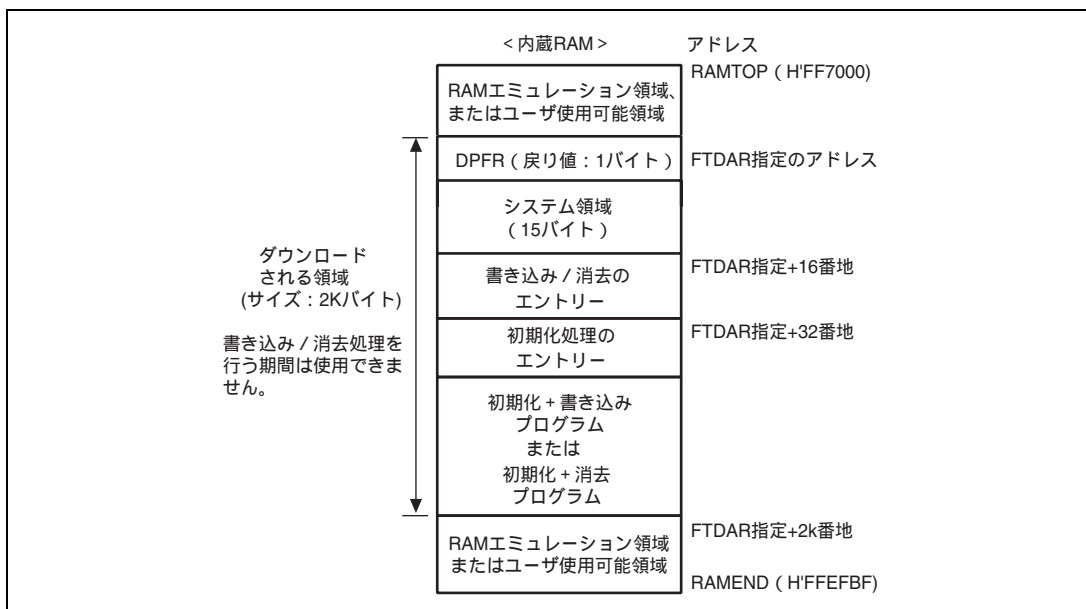


図 20.10 書き込み / 消去実施時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 20.11 に示します。

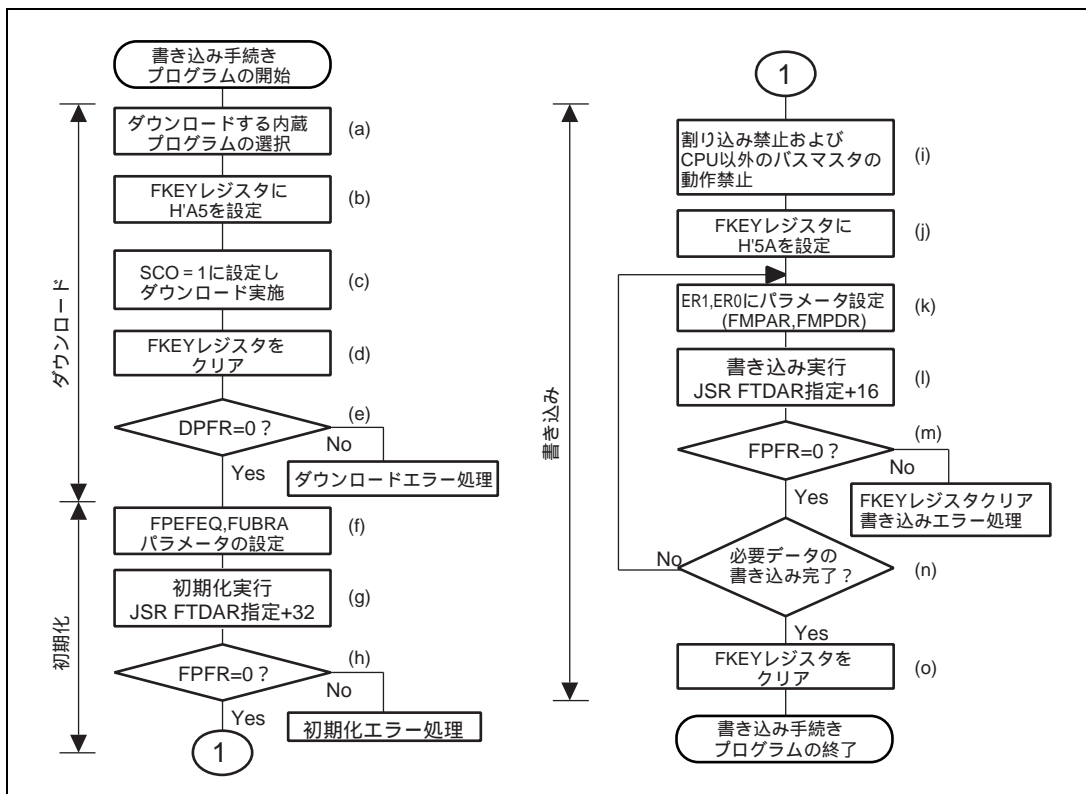


図 20.11 書き込み手順

手続きプログラムは、書き込み対象のユーザマット以外で実行してください。特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「20.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス / 書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにする必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

20. フラッシュメモリ

(a) ダウンロードする内蔵プログラムを選択します。

FPCSレジスタのPPVSビットを1に設定すると書き込みプログラムが選択されます。

書き込み/消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の先頭アドレスを指定します。

(b) FKEY レジスタに H'A5 を書き込みます。

- プロテクトのためにFKEYレジスタにH'A5を書き込まないとダウンロード要求のSCOビットに1を書き込むことができません。

(c) FCCS レジスタの SCO ビットに 1 を書き込んで、ダウンロードを実行します。

SCOビットに1を書き込むためには、以下の条件がすべて満足されている必要があります。

1. RAMエミュレーションモードが解除されていること。
2. FKEYレジスタにH'A5が書き込まれていること。
3. SCOビット書き込みが内蔵RAM上で実行されていること。

SCOビットが1になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO=0にクリアされていますので、ユーザ手続きプログラムではSCO=1の確認ができません。

ダウンロード結果の確認は、DPFRパラメータの戻り値での確認となりますので、SCO=1にする前に、DPFRパラメータとなる、FTDARで指定した内蔵RAMの先頭1バイトを戻り値以外（H'FFなど）に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCO=1を設定する命令の直後には4個のNOP命令を実行してください。

1. ユーザマット空間を内蔵プログラム格納領域に切り替えます。
2. ダウンロードプログラム選択条件とFTDARでの指定アドレスをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
3. FPCSレジスタ、FECSレジスタ、FCCSレジスタのSCOビットを0クリアします。
4. DPFRパラメータに戻り値を設定します。
5. 内蔵プログラム格納領域をユーザマット空間に戻したあと、ユーザ手続きプログラムに戻ります。

ダウンロードにおける注意事項について以下に述べます。

ダウンロード処理では、汎用レジスタは値が保存されます。

ダウンロード処理中は、すべての割り込みは受け付けられませんが、NMI割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、NMI割り込みが発生することになります。

ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵RAM上への正常ダウンロードの

保証はできませんので、再度ダウンロードから実行してください。

最大128バイトのスタック領域を使用しますので、SCO=1にする前に確保しておいてください。

ダウンロード中にDTCによるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DTCによるアクセスが発生しないようにご注意ください。

(d) プロテクトのために、FKEY レジスタを H'00 にクリアします。

(e) DPFR パラメータの値をチェックしダウンロード結果を確認します。

- DPFR パラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。値がH'00なら、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
- DPFRパラメータの値が、ダウンロード実行前に設定した値 (H'FFなど) と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのTDERビットを確認してください。
- DPFRパラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットや、FKビットにて、ダウンロードプログラムの選択やFKEYの設定が正常であったかの確認をしてください。

(f) 初期化のために FPEFEQ と FUBRA パラメータに動作周波数とユーザブランチ先を設定します。

- FPEFEQパラメータ (汎用レジスタ: R0) に、現在のCPUクロックの周波数を設定します。

FPEFEQパラメータの設定可能範囲は、「24.4.2 クロックタイミング」を参照してください。

この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。「20.3.2 (2) (a) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ: CPUの汎用レジスタER0)」を参照してください。

- FUBRAパラメータ (汎用レジスタ: ER1) に、ユーザブランチ先の先頭アドレスを設定します。

本LSIでは、FUBRAには値0を設定してください。

ユーザブランチを行う場合、ブランチ先は書き込み対象のユーザマツト以外で実行するようにしてください。また、ダウンロードされた内蔵プログラムの領域への設定もできません。

ユーザブランチ処理からはRTS命令で書き込み処理に戻ってください。

「20.3.2 (2) (b) フラッシュユーザブランチアドレス設定パラメータ (FUBRA: CPUの汎用レジスタER1)」を参照してください。

(g) 初期化の実行

初期化プログラムは書き込みプログラムのダウンロード時に内蔵RAM上に一括してダウンロードされています。FTDAR設定のダウンロード先頭アドレス+32バイトからの領域に、初期化プログラムのエン트리ポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32,ER2	; エントリーアドレスを ER2 に設定
JSR	@ER2	; 初期化ルーチンをコール
NOP		

1. 初期化プログラムではR0L以外の汎用レジスタは保存されます。
2. R0LはFPFRパラメータの戻り値です。
3. 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
4. 初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

(h) 初期化プログラムの戻り値 FPFR (汎用レジスタ R0L) を判定します。

(i) すべての割り込みと、CPU以外のバスマスタの使用を禁止してください。

書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されるとフラッシュメモリにダメージを与える可能性がありますので、必ず割り込みとCPU以外でのバス権の移行を禁止としてください。

割り込み処理禁止の設定は、CPUのコンディションコードスレジスタ (CCR) のビット7 (I) をB'1に設定することで行います。こうするとNMI以外の割り込みは保持され、実行はされなくなります。

NMI割り込みは、ユーザシステム上で発生しないようにしてください。

保持した割り込みは、ユーザブランチ先で処理するか、またはすべての書き込み処理後に実行するようにしてください。ユーザブランチ先で割り込み処理を行った場合、処理終了後に必ずCPUのCCRレジスタでの割り込み禁止設定を行うようにしてください。

また、CPU以外のバス権の移動が発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様にCPU以外のバス権確保も発生しないようにしておいてください。

(j) FKEY レジスタにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。

(k) 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタER1に、書き込みデータ領域の先頭アドレス (FMPDR) の先頭アドレスを汎用レジスタのER0に設定します。

1. FMPAR設定例

FMPARは書き込み先アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですので下位8ビット (A7 ~ A0) が、H'00かH'80の128バイト境界である必要があります。

2. FMPDR設定例

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

(l) 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス + 16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2 ; エントリーアドレスを ER2 に設定
JSR   @ER2          ; 書き込みルーチンをコール
NOP
```

1. 書き込みプログラムではR0L以外の汎用レジスタは保存されます。
2. R0LはFPFRパラメータの戻り値です。
3. 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

(m) 書き込みプログラムの戻り値 FPFR (汎用レジスタ R0L) を判定します。

(n) 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定を行い、上記(l) ~ (n) の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

(o) 書き込みが終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマットへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い100 μ s以上のリセット実施期間 (RES=0の期間) を設けてください。

20. フラッシュメモリ

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 20.12 に示します。

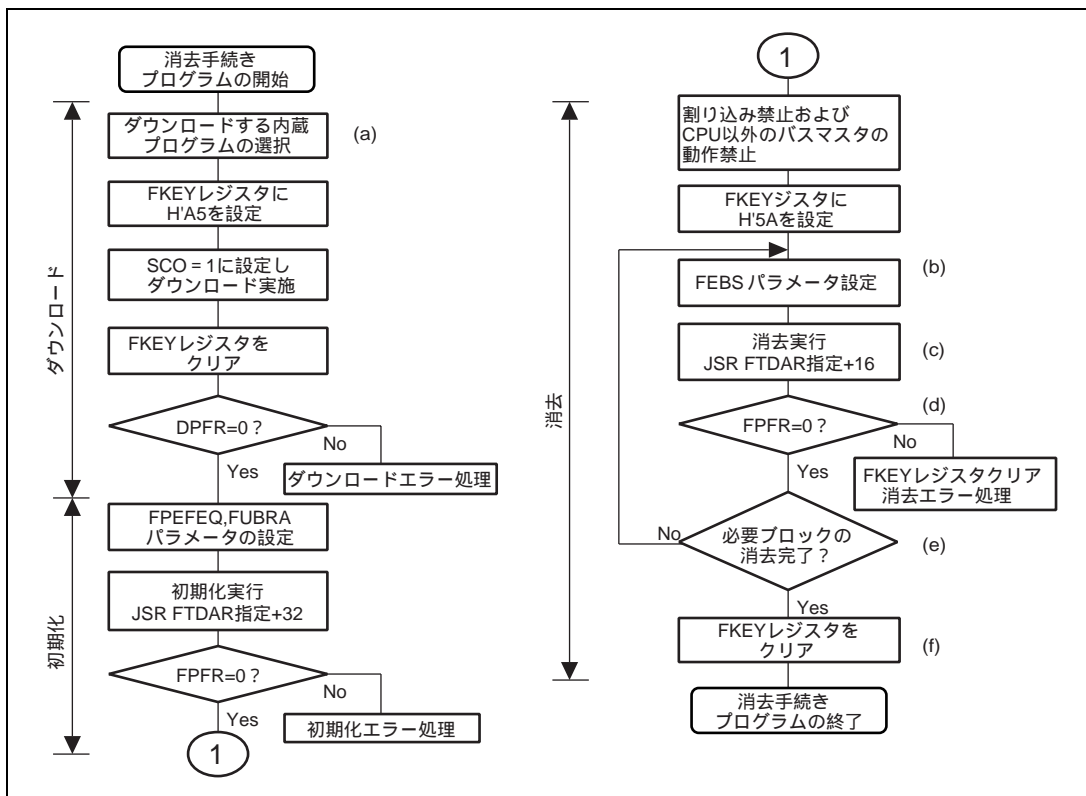


図 20.12 消去手順

手順プログラムは、消去対象のユーザマット以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「20.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 20.10 の書き込み / 消去時の RAM マップを参照してください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 20.4 を参照してください。

2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

(a) ダウンロードする内蔵プログラムを選択します。

FCCSレジスタのEPVBビットを1に設定します。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は

行われず、DPFRパラメータのSSビットにダウンロードエラーが報告されます。

FTDAR レジスタで、ダウンロード先の先頭アドレスを指定します。

FKEY レジスタの設定以降のダウンロード、初期化、などの手続きは、書き込み手順と同じですので、「20.4.2

(2) ユーザプログラムモードでの書き込み手順」を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

(b) 消去に必要な FEBS パラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータFEBS (汎用レジスタ ER0) に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータFPFRにはエラーが報告されます。

(c) 消去処理の実行

書き込みと同様に、FTDAR設定のダウンロードアドレス + 16バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2 ; エントリーアドレスを ER2 に設定
JSR   @ER2          ; 消去ルーチンをコール
NOP
```

1. 消去プログラムではR0L以外の汎用レジスタは保存されます。
2. R0LはFPFRパラメータの戻り値です。
3. 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

(d) 消去プログラムの戻り値 FPFR (汎用レジスタ R0L) を判定します。

(e) 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBSパラメータの更新設定を行い上記 (b) ~ (e) の処理を繰り返します。消去済みブロックに対しての消去は可能です。

(f) 消去が終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトを掛けてください。

ユーザマットへの消去完了直後、パワーオンリセットで再起動する場合は通常より長い1100 μ s以上のリセット実施期間 ($\overline{RES}=0$ の期間) を設けてください。

(4) ユーザプログラムモードでの消去 / 書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

RAM エミュレーション、消去、書き込みを繰り返し実行する場合の使用例を図 20.13 に示します。

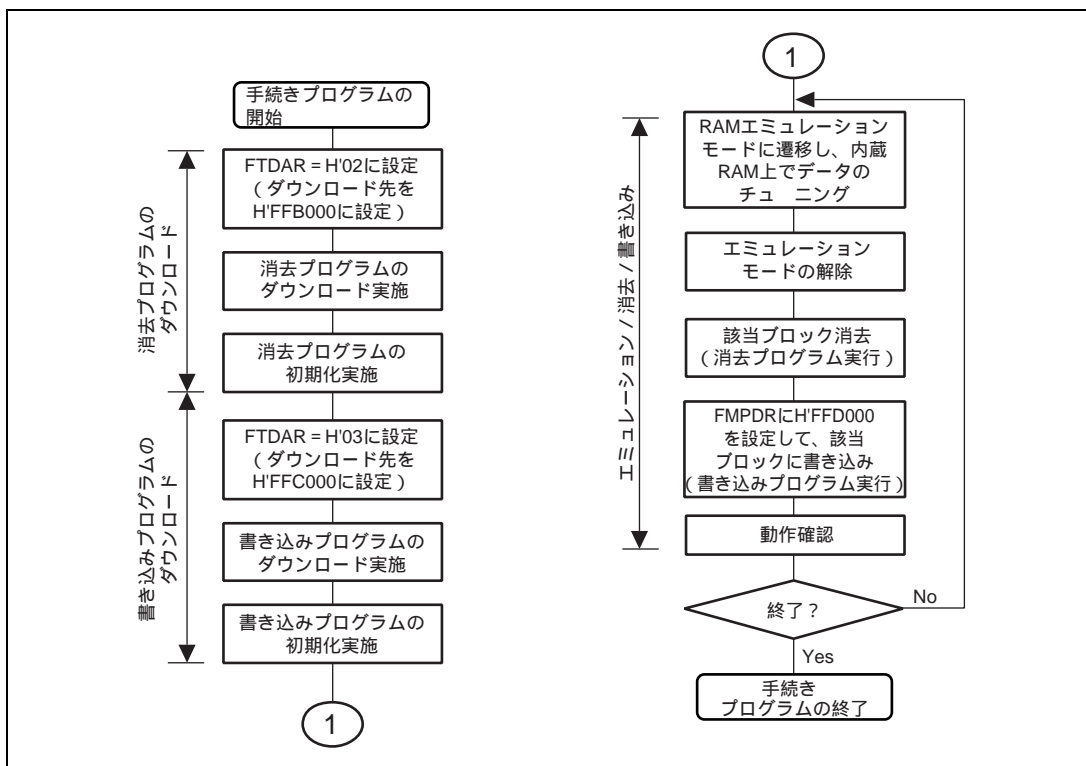


図 20.13 RAM エミュレーション、消去、書き込みの繰り返し例 (概要)

本例では、RAM エミュレーションを実施するため、内蔵 RAM 先頭からの 4K バイト (H'FFD000 ~ H'FFDFFF) を避けて、消去 / 書き込みプログラムをダウンロードしています。また、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。本例のような手続きを行う場合、以下にご注意ください。

- 内蔵RAM領域の重複破壊にご注意ください。

RAMエミュレーション領域、消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。

- 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

FPEFEQパラメータを設定する初期化は、必ず消去プログラム / 書き込みプログラムの両方に実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭 + 32番地(本例では、H'FFB020)、書き込みプログラムのダウンロード先頭 + 32番地(本例では、H'FFC020)の両方に対して初期化してください。

20.4.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み/消去が可能なマツはユーザマツだけです。ユーザブートマツの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 20.1 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマツ、ユーザブートマツの状態チェックが行われます。

この間の NMI およびその他の割り込みは受け付けられません。

その後、ユーザブートマツ上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マツはユーザブートマツになっていますので、フラッシュマツセレクトレジスタ FMATS には H'AA が設定されています。

(2) ユーザブートモードでのユーザマツの書き込み

ユーザブートモードでユーザマツへの書き込みを行う手続きでは、FMATS レジスタによるユーザブートマツ選択状態からユーザマツ選択状態への切り替え、および書き込み終了後にユーザマツ選択状態から再びユーザブートマツ選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマツの書き込み手続きを図 20.14 に示します。

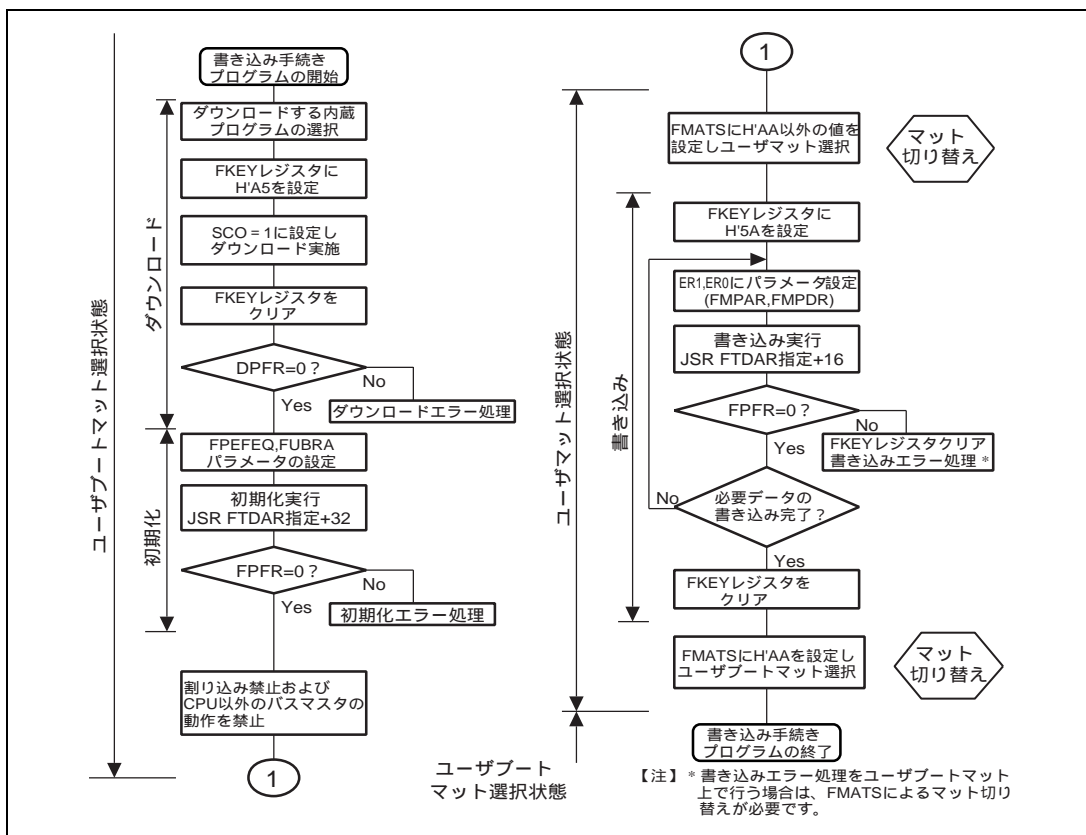


図 20.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「20.7 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマットなど）については「20.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATSレジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 20.15 に示します。

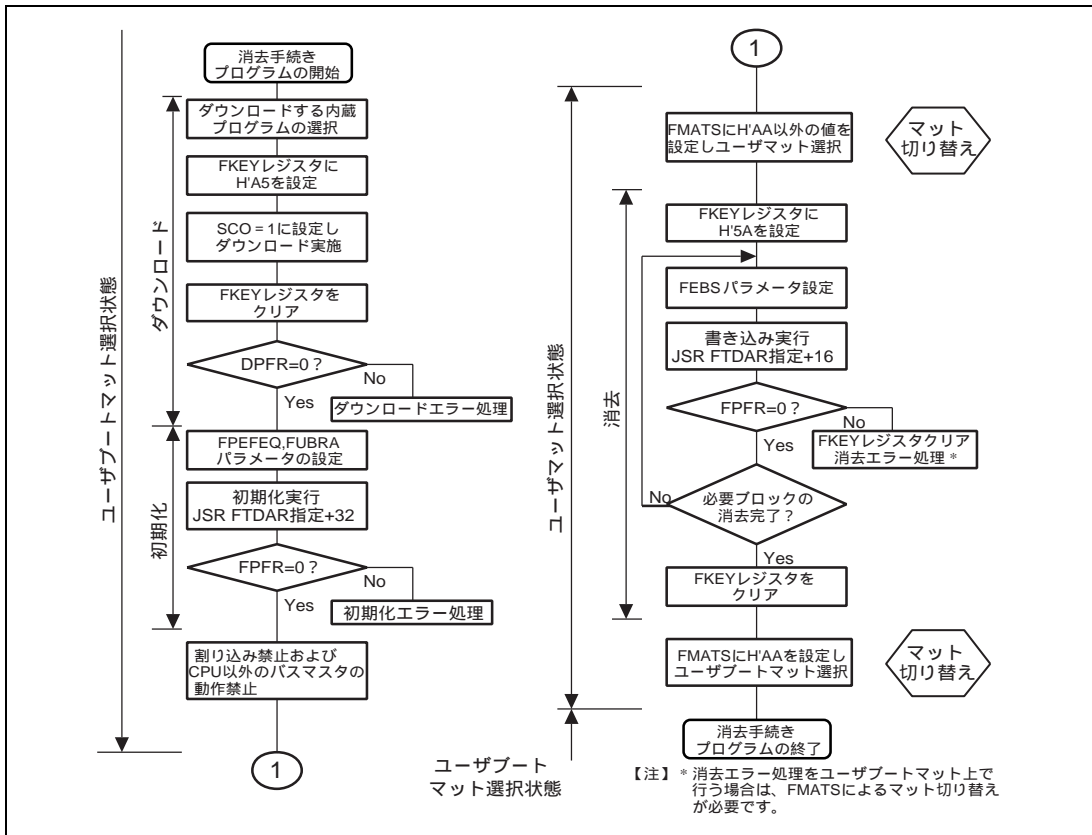


図 20.15 ユーザブートモードでのユーザマットの消去手順

図 20.15 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATSレジスタへ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「20.7 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵RAM、ユーザマットなど）については「20.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

20.4.4 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み/消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵RAM上に準備している例で示しましたが、以下の条件により他の領域（書き込み/消去対象外のフラッシュメモリ、外部空間領域など）で実行することができます。

(1) 書き込み/消去の条件

1. 内蔵の書き込み/消去実行プログラムはFTDARレジスタで指定された内蔵RAMのアドレスにダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み/消去実行プログラムでは、スタック領域を最大128バイト使用するので、確保してください。
3. SCOビットを1にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
4. 書き込み/消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、NMI処理ベクタとNMI処理ルーチン、ユーザブランチプログラムなどを内蔵RAMに転送してください。
5. 書き込み/消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、書き込み/消去中のユーザブランチ先のユーザプログラム、およびNMI割り込みのベクタテーブルとNMI割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。
6. 書き込み/消去完了後のFKEYレジスタのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。

書き込み/消去完了後に、LSIモードを変更してリセット動作をさせる場合には、100 μ s以上のリセット期間（ $\overline{\text{RES}}=0$ とする期間）を設けてください。

なお、書き込み/消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ sの通常より長いリセット期間のあとに、リセットリリースしてください。

7. ユーザブートモードでのユーザマットへの書き込み/消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。

（「20.7 ユーザマットとユーザブートマットの切り替え」を参照ください）

マットの切り替えにおいて、現在どちらのマットが選択されているかにご注意ください。

8. 通常書き込みのデータであっても、書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上であるとエラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード/ユーザマットのバンク構成/処理内容ごとの組み合わせでの、書き込

みデータ格納および実行が可能なエリアを表に示します。

表 20.8 実行可能マツトまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 20.9 (1)	表 20.9 (3)
消去	表 20.9 (2)	表 20.9 (4)

【注】 * ユーザマツトに対しての書き込み / 消去が可能です。

表 20.9 (1) ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマツト	
	内蔵 RAM	処理対象の フラッシュメモリ	外部空間 (拡張モード時)	ユーザマツト	組み込み プログラム 格納マツト
書き込みデータの格納 領域		x*		—	—
ダウンロードする内蔵 プログラムの選択処理					
FKEY レジスタへの H'A5 書き込み処理					
FCCS の SCO=1 書き込み 実行 (ダウンロード)		x	x		
FKEY レジスタクリア 処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定 処理					
初期化実行		x	x		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		x			
割り込み禁止処理					
FKEY レジスタへの H'5A 書き込み処理					
書き込みパラメータの 設定処置		x			
書き込み実行		x	x		
書き込み結果の判定		x			
書き込みエラー処理		x			
FKEY レジスタクリア 処理		x			

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

20. フラッシュメモリ

表 20.9 (2) ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマット	
	内蔵 RAM	処理対象のフラッシュ メモリ	外部空間 (拡張モード時)	ユーザマット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理					
FKEY レジスタへの H'A5 書き込み処理					
FCCS の SCO=1 書き込み実行 (ダウンロード)		×	×		
FKEY レジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
FKEY レジスタへの H'5A 書き込み処理					
消去パラメータの設定処置		×			
消去実行		×	×		
消去結果の判定		×			
消去エラー処理		×			
FKEY レジスタクリア処理		×			

表 20.9 (3) ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納 / 実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブートマット	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
書き込みデータの格納領域		× ^{*1}	—	—	—
ダウンロードする内蔵プログラムの選択処理					
FKEY レジスタへの H'A5 書き込み処理					
FCCS の SCO=1 書き込み実行 (ダウンロード)		×			
FKEY レジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×			
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
FMATS によるマット切り替え		×			
FKEY レジスタへの H'5A 書き込み処理		×			
書き込みパラメータの設定処置		×			
書き込み実行		×			
書き込み結果の判定		×			
書き込みエラー処理		× ^{*2}			
FKEY レジスタクリア処理		×			
FMATS によるマット切り替え		×			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えたあとなら可能です。

20. フラッシュメモリ

表 20.9 (4) ユーザブートモードでの消去処理で使用可能エリア

項目	格納 / 実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザ ブート マット	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理					
FKEY レジスタへの H'A5 書き込み処理					
FCCS の SCO=1 書き込み実行 (ダウンロード)		×			
FKEY レジスタクリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×			
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
FMATS によるマット切り替え		×			
FKEY レジスタへの H'5A 書き込み処理		×			
消去パラメータの設定処置		×			
消去実行		×			
消去結果の判定		×			
消去エラー処理		×*			
FKEY レジスタクリア処理		×			
FMATS によるマット切り替え		×			

【注】 * 内蔵 RAM 上で FMATS を切り替えたあとなら可能です。

20.5 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトの2種類があります。

20.5.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み/消去プログラムを起動してもユーザマットの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータで報告されます。

表 20.10 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> • パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 • RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去動作中のフラッシュメモリの値は、保証しません。この場合は、100μs 以上 RES 端子を Low レベルにしたのち、消去を実施してから再度書き込みを実施してください。 		

20.5.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、RAM エミュレーションレジスタによるプロテクトがあります。

表 20.11 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	<ul style="list-style-type: none"> • FCCS レジスタの SCO ビットを 0 にクリアすることにより、書き込み/消去プログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。 		
FKEY レジスタプロテクト	<ul style="list-style-type: none"> • FKEY レジスタにキーコードを書き込まないと、ダウンロードと書き込み/消去ができません。ダウンロードと書き込み/消去では、異なるキーコードの設定が必要です。 		
エミュレーションプロテクト	<ul style="list-style-type: none"> • RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、書き込み/消去プロテクト状態になります。 		

20.5.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や規定の書き込み / 消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FCCS レジスタの FLER ビットが 1 にセットされエラープロテクト状態に移移し、書き込み / 消去は中断されます。

FLER ビットのセット条件を以下に示します。

1. 書き込み / 消去中にNMIなどの割り込みが発生したとき
2. 書き込み / 消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
3. 書き込み / 消去中にSLEEP命令を実行したとき（ソフトウェアスタンバイ、ウォッチモードを含む）
4. 書き込み / 消去中にCPU以外のバスマスタ（DTC）が、バス権を確保したとき

エラープロテクトの解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

なお、この場合のリセット入力期間は、通常より長い100 μ sの期間のあとにリセットリリースしてください。フラッシュメモリには書き込み / 消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 20.16 にエラープロテクト状態への状態遷移図を示します。

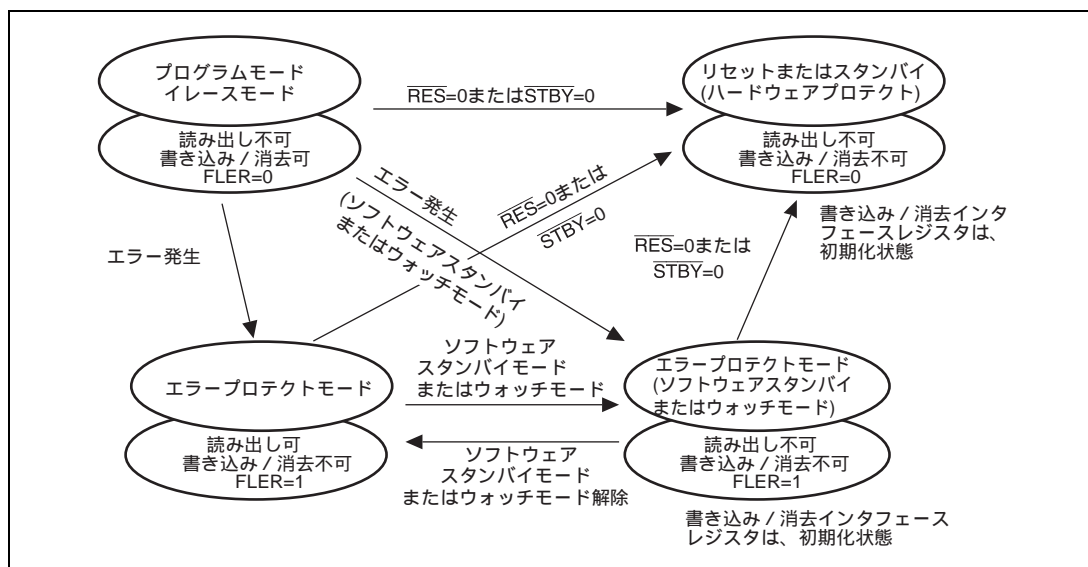


図 20.16 エラープロテクト状態への状態遷移図

20.6 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリ (ユーザマツト) のエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後がユーザマツトのエリアとここに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 20.17、図 20.18 にユーザマツトのリアルタイムな書き換えをエミュレートする例を示します。

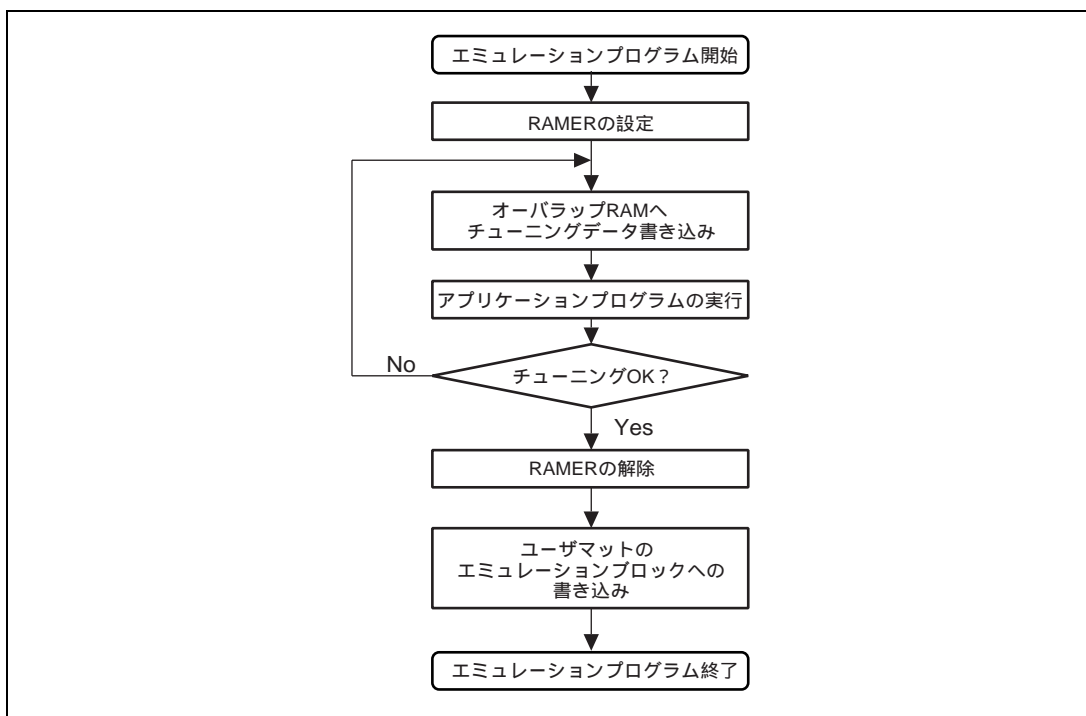


図 20.17 RAM によるエミュレーション

20. フラッシュメモリ

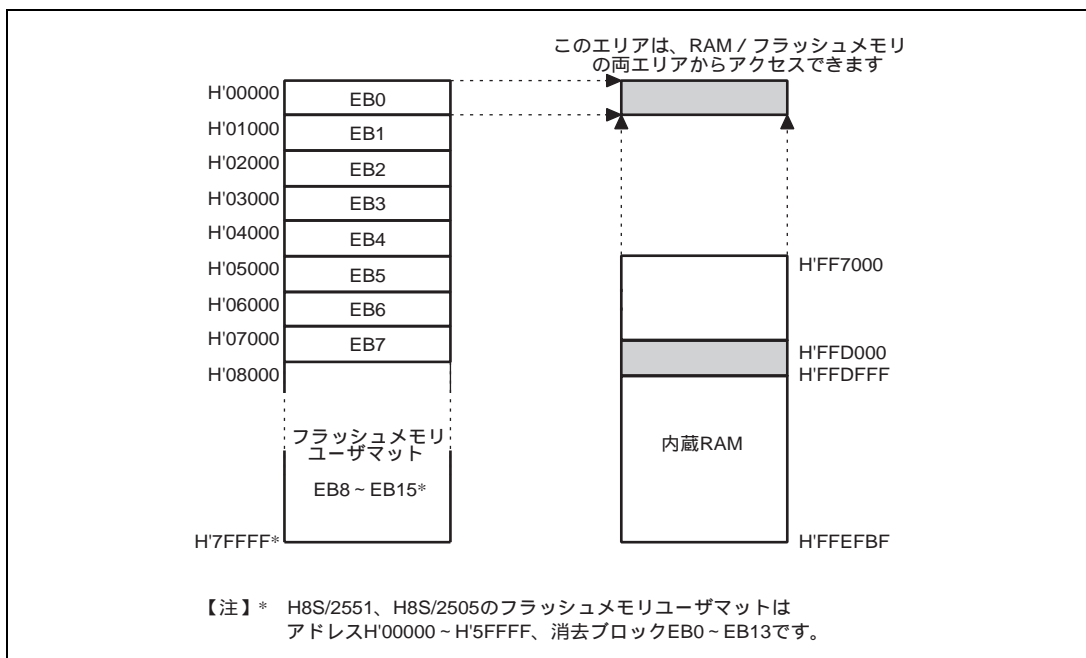


図 20.18 RAM のオーバーラップ動作例

図 20.18 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

エミュレーション可能なフラッシュメモリの領域は、ユーザマットのバンク 0 の EB0～EB7 の 8 エリアから RAMER レジスタの RAM2～0 ビットで選択した 1 エリアです。

1. リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1、RAM2～0 ビットを 0、0、0 に設定してください。
2. リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。

ユーザマットへの書き込み / 消去実行においては、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このときに、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複することがありますので、事前に未使用領域に確定した書き換えデータの退避が必要になります。

図 20.19 に、エミュレーション完了後のデータをユーザマットの EB0 領域に書き込む例を示します。

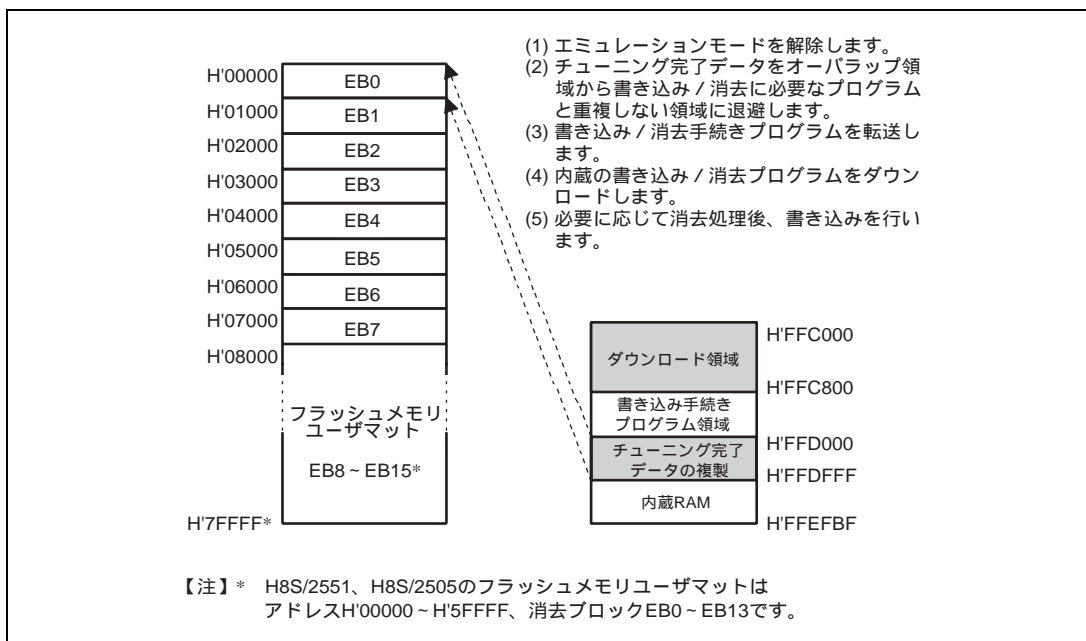


図 20.19 チューニング完了データの書き込み

- 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- RAM上のオーバーラップ領域にある確定した書き込みデータを、ユーザ作成の書き込み/消去手続きプログラムの転送先領域、および内蔵プログラムがダウンロードされる領域以外に退避します。
- 書き込み/消去手続きプログラムをRAM上に転送します。
- RAM上の書き込み/消去手続きプログラムを起動し、マイコン内蔵の書き込み/消去プログラムをRAM上にダウンロードします。
- ユーザマットのEB0エリアが消去されていない場合は、消去処理を行ったあとに書き込みプログラムをダウンロードすることになります。書き込みデータのパラメータ FMPAR、FMPDRに退避したチューニング完了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2~0 の値にかかわらず、フラッシュマットの全ブロックが書き込み/消去プロテクト状態となります(エミュレーションプロテクト)。この状態では、内蔵プログラムのダウンロードもできませんので、実際に書き込み/消去を実施する場合は RAMS ビットをクリアしてください。

20.7 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

1. FMATSレジスタによるマット切り替えは、必ず内蔵RAM上で実行してください。
2. 確実に切り替えを行ったあとで切り替え後のマットのアクセスをするために内蔵RAM上でのFMATSレジスタ書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。

(切り替えを行っている最中のフラッシュメモリをアクセスしないためです。)

3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。

必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。

4. マット切り替え完了後は、各種割り込みのベクタテーブルも切り替わっていますので注意してください。

マット切り替え前後で同じ割り込み処理を実施する場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクタテーブルもFVACR、FVADRレジスタの設定により内蔵RAM上に設定するなどをお願いします。

5. ユーザマットとユーザブートマットはメモリサイズが異なります。8Kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。8Kバイト空間以上をアクセスした場合、不定値が読み出されます。

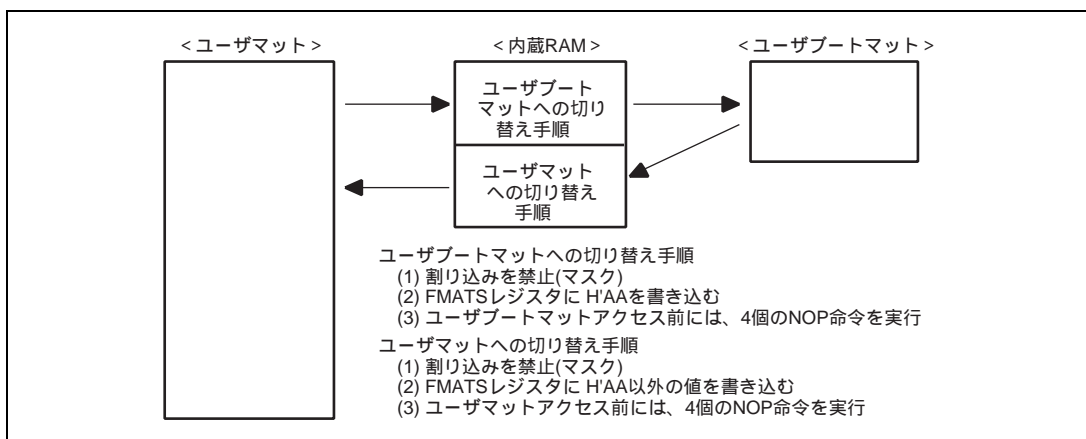


図 20.20 ユーザマット/ユーザブートマットの切り替え

20.8 使用上の注意事項

(1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ2Kバイト以内です。よって、CPUクロック周波数が、25MHzの場合、それぞれ最大で130 μ sのダウンロード時間となります。

(2) DTCでのフラッシュ関連レジスタへの書き込み

ダウンロード要求のFCCSレジスタのSCOビットや、マット切り替えのFMATSレジスタは、内蔵RAM上で命令実行中ならば、DTCからでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行されRAMを破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、DTCでのフラッシュ関連レジスタへの書き込みを行わないでください。

(3) 従来のF-ZTAT H8Sマイコンとの書き込み/消去プログラムの互換性

SCO転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来のF-ZTAT H8Sマイコンで使用していたフラッシュメモリの書き込み/消去プログラムは、本LSIでは動作しません。本F-ZTAT H8Sマイコンでのフラッシュメモリへの書き込み/消去は、必ず内蔵プログラムをダウンロードして実施してください。

(4) WDTによる暴走などのモニタ

従来のF-ZTAT H8Sマイコンと異なり、書き込み/消去中はWDTによる暴走などへの対応は、実施していません。必要に応じて、書き込み/消去の実行時間を考慮したWDTでの対応を実施してください(ユーザブランチルーチンの使用、定期的なタイマ割り込みの使用など)。

20.9 ライタモード

プログラム/データの書き込み/消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではルネサス テクノロジ 512K バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み/消去対象マツトは、ユーザマツトとユーザブツトマツトです。

自動書き込み/自動消去/ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行したあとに、その詳細な内部信号を出力します。ライタモードでは、入力クロックとして 12MHz を入力してください。

20.9.1 ソケットアダプタの端子対応図

内蔵 ROM のメモリマツプを図 20.21 に、ソケットアダプタの端子対応図を図 20.22 に示します。図 20.22 に示すようにソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。

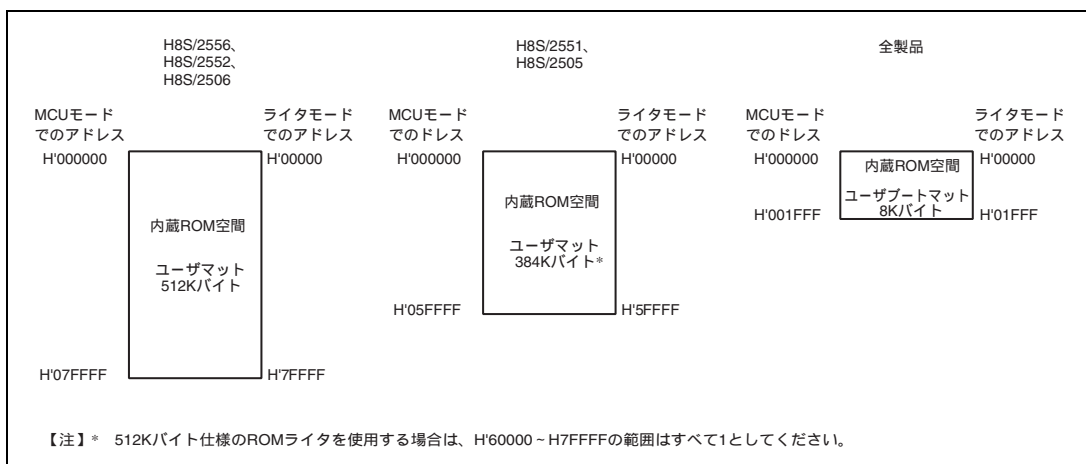


図 20.21 内蔵フラッシュのメモリマツプ

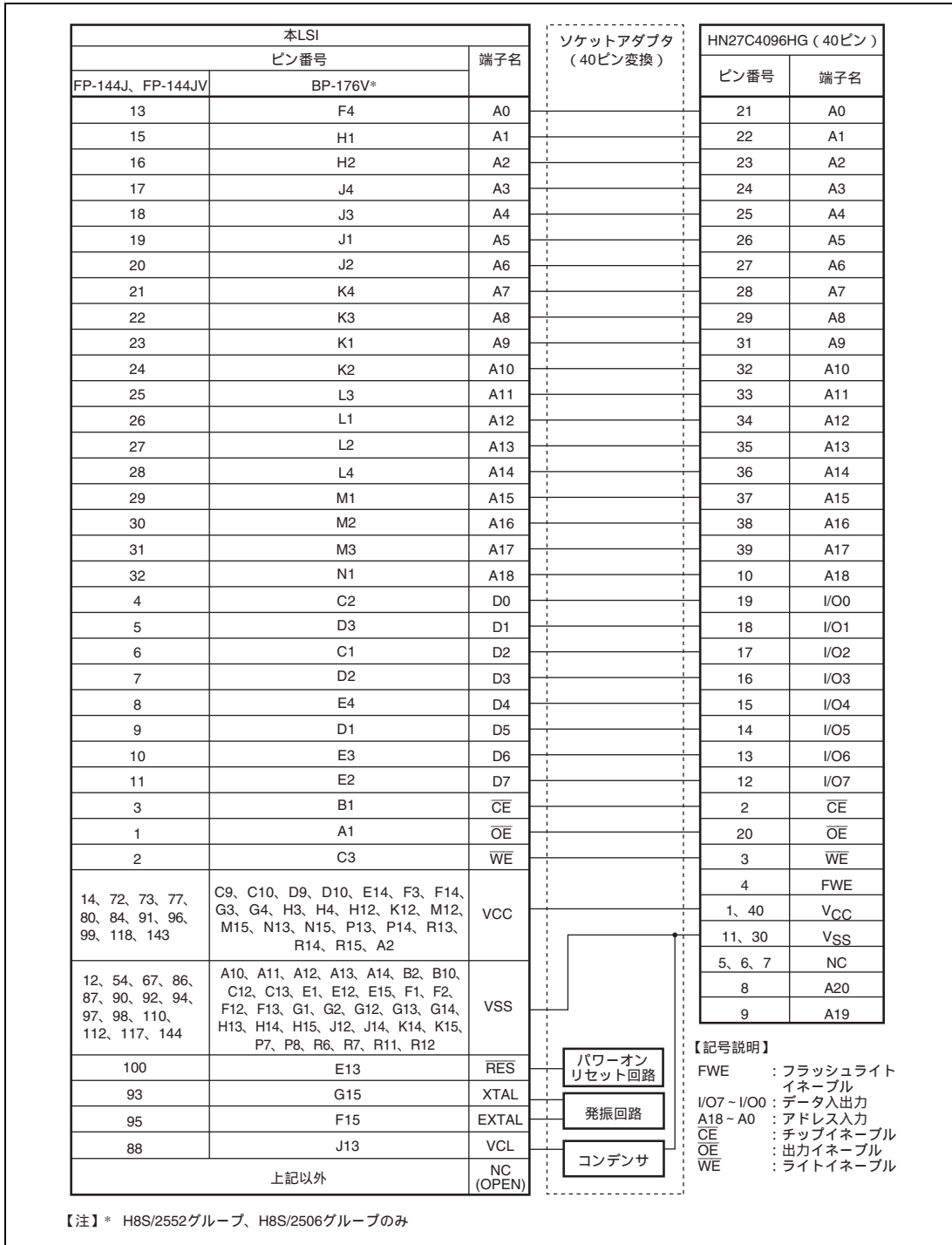


図 20.22 ソケットアダプタの端子対応図

20.9.2 ライタモードの動作

表 20.12 にライタモード時の各動作モードの設定方法、表 20.13 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

- メモリ読み出しモード
メモリ読み出しモードは、ユーザマットおよびユーザブートマットのバイト読み出しをサポートします。
- 自動書き込みモード
自動書き込みモードでは、ユーザマットおよびユーザブートマットへの128バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しています。
- 自動消去モード
自動消去モードでは、ユーザマットおよびユーザブートマット全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しています。
- ステータス読み出しモード
自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認はI/O6番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 20.12 ライタモード時の各動作モードの設定方法

モード	ピン名				
	CE	OE	WE	I/O7~0	A18~0
リード	L	L	H	データ出力	Ain*
出力ディスエーブル	L	H	H	Hi-z	X
コマンド書き込み	L	H	L	データ入力	Ain*
チップディスエーブル	H	X	X	Hi-z	X

【注】 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

* Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 20.13 ライタモード時の各コマンド

コマンド名	サイ クル数	対象メモリ マツ	第 1 サイクル			第 2 サイクル		
			モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	ユーザマツ	write	X	H'00	read	RA	Dout
		ユーザブート マツ	write	X	H'05			
自動書き込みモード	129	ユーザマツ	write	X	H'40	write	WA	Din
		ユーザブート マツ	write	X	H'45			
自動消去モード	2	ユーザマツ	write	X	H'20	write	X	H'20
		ユーザブート マツ	write	X	H'25			
ステータス読み出し モード	2	両マツ共通	write	X	H'71	write	X	H'71

- 【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

20.9.3 メモリ読み出しモード

- 自動書き込み / 自動消去 / ステータス読み出し終了時は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させたあとに、メモリの内容を読み出す必要があります。
- メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- 一度メモリ読み出しモードに遷移させたあとは、連続リードが可能です。
- 電源投入後は、メモリ読み出しモードに遷移します。

メモリ読み出しモード時のAC特性については、「20.11 ライタモード時のAC特性、タイミング」を参照してください。

20.9.4 自動書き込みモード

- 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- メモリアドレスの転送は、第2サイクルで行います。第3サイクル以降では転送しないでください。

20. フラッシュメモリ

5. 書き込み動作中は、コマンド書き込みを行わないでください。
6. 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
7. 自動書き込み終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7番のステータスポーリングは、自動書き込み終了判定用端子です)。
8. ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、CE、OEをイネーブルにすることにより読み出し可能となります。

自動書き込みモード時のAC特性については、「20.11 ライタモード時のAC特性、タイミング」を参照してください。

20.9.5 自動消去モード

1. 自動消去モードでは、メモリ全面消去のみサポートします。
2. 自動消去中はコマンド書き込みを行わないでください。
3. 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7番のステータスポーリングは、自動消去終了判定用端子です)。
4. ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、CE、OEをイネーブルにすることにより読み出し可能となります。

自動消去モード時のAC特性については、「20.11 ライタモード時のAC特性、タイミング」を参照してください。

20.9.6 ステータス読み出しモード

1. ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込み/自動消去モードで異常終了が起きた場合に使用してください。
2. リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

ステータス読み出しモードのリターンコードを表 20.14 に示します。

ステータス読み出しモード時のAC特性については、「20.11 ライタモード時のAC特性、タイミング」を参照してください。

表 20.14 ステータス読み出しモードのリターンコード

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効アドレス エラー:1 その他:0

【注】 I/O2、3 は未定義です。

20.9.7 ステータスポーリング

- I/O7のステータスポーリングは、自動書き込み/自動消去モード時の動作状態を示すフラグです。
- I/O6のステータスポーリングは、自動書き込み/自動消去モード時の正常/異常終了を示すフラグです。

表 20.15 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0-5	0	0	0	0

20.9.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ時間は、コマンドを受けつけることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。「20.11 ライタモード時の AC 特性、タイミング」を参照してください。

20.9.9 ライタモード使用時の注意事項

- すでに書き込まれたアドレスへの書き換えは、自動消去を行ったあとに自動書き込みをしてください。
- オンボードプログラムモードにて書き込み/消去を行ったチップに対して、ライタを用いて書き換えを行う場合には、自動消去を行ったあとに自動書き込みを行うことを推奨します。
- 書き込み/消去実行中に、マイコンチップをPROMライタから取り外したり、リセットを入力することはやめてください。書き込み/消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。

もし、誤ってリセット入力してしまった場合は、100 μ sの通常より長いリセット期間のあとにリセットリリー

スしてください。

4. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
5. 本LSIでは、汎用EPROMのような製品識別モードをサポートしていませんので、PROMライタにデバイス名を自動設定することができません。
6. 本LSIのライタモードに適合するPROMライタおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照ください。

20.10 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストパソコンとLSI内蔵のSCIを使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

(1) ステータス

ブートプログラムは3つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリをRAM上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み消去ステータス

書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み、消去プログラムをRAMに転送し、書き込み/消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 20.23 に示します。

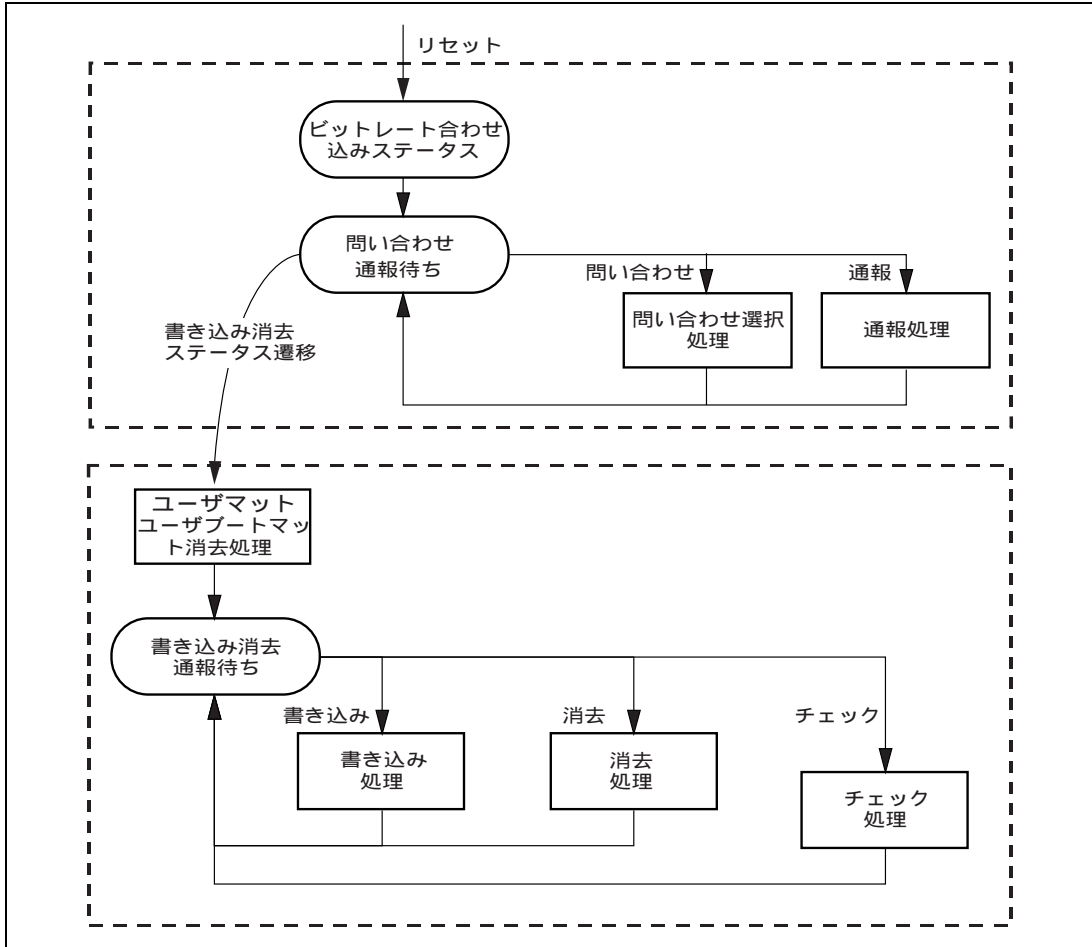


図 20.23 ブートプログラムのステータス

(2) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 20.24 に示します。

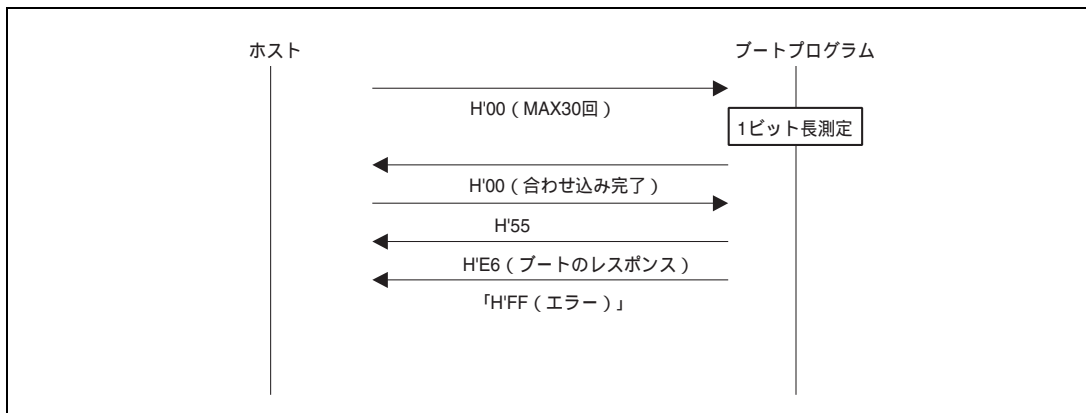


図 20.24 ビットレート合わせ込みのシーケンス

(3) 通信プロトコル

ビットレート合わせ込みが完了したあとの、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

1. 1文字コマンドまたは1文字レスポンス

コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。

書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

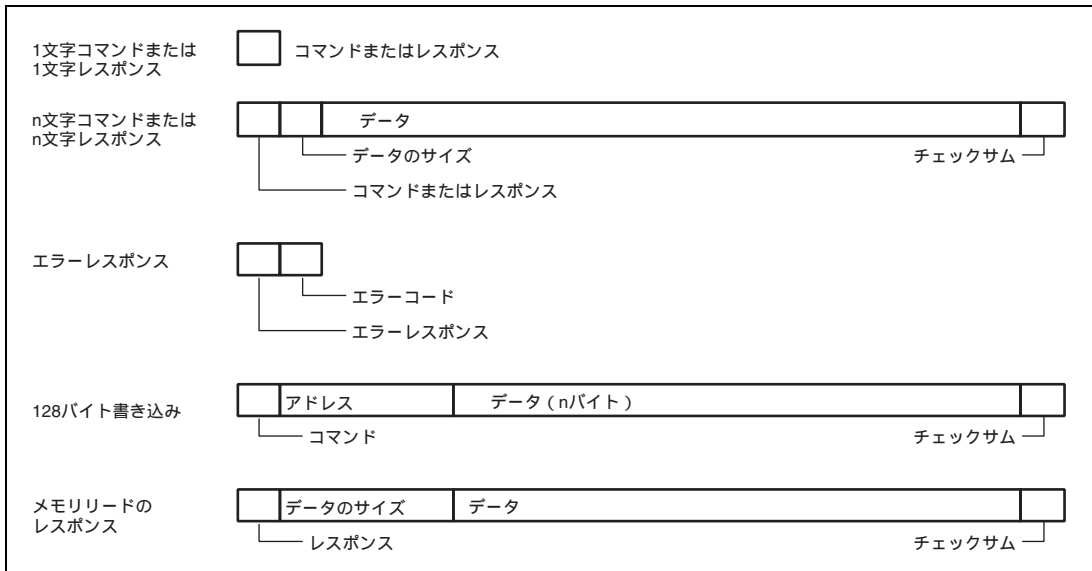


図 20.25 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリアードのレスポンスで4バイト長

20. フラッシュメモリ

(4) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を下表に示します。

表 20.16 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと F-ZTAT 品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが2つ以上送信されたときは、あとに送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受け付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードとF-ZTATの製品型名を応答します。

コマンド

H'20

- コマンド「H'20」(1バイト) : サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」(1バイト) : サポートデバイス問い合わせに対する応答
- サイズ(1バイト) : コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数(1バイト) : マイコン内のブートプログラムがサポートする品種数
- 文字数(1バイト) : デバイスコードとブートプログラム品名の文字数
- デバイスコード(4バイト) : サポートする品名のASCIIコード
- 品名(nバイト) : ブートプログラム型名、ASCIIコード
- SUM(1バイト) : サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」(1バイト) : デバイス選択
- サイズ(1バイト) : デバイスコードの文字数、固定値で4
- デバイスコード(4バイト) : サポートデバイス問い合わせで応答したデバイスコード(ASCIIコード)
- SUM(1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : デバイス選択に対する応答、デバイスコードが一致したときACKエラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」(1バイト) : デバイス選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'21 : デバイスコードエラー、デバイスコードが一致しない

20. フラッシュメモリ

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACKエラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 通倍比問い合わせ

通倍比問い合わせに対して、ブートプログラムは選択可能な通倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：通倍比問い合わせ

レスポンス	H'32	サイズ	種別数						
	通倍比数	通倍比	...						
	...								
	SUM								

- レスポンス「H'32」（1バイト）：通倍比問い合わせに対する応答
- サイズ（1バイト）：種別数、通倍比数、通倍比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な通倍比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 通倍比数（1バイト）：各動作周波数で選択可能な通倍比数
メインモジュール、周辺モジュールで選択可能な通倍比数
- 通倍比（1バイト）
 - ・ 通倍比： 通倍する数値（例 4通倍：H'04）
 - ・ 分周比： 分周する数値、負の数（例 2分周：H'FE[- 2]）
 通倍比を通倍比数の数だけ繰り返し、通倍比数と通倍比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値	動作周波数最大値	
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスに必要な動作周波数の種類数、
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：通倍あるいは分周されたクロックの最小値。動作周波数最小値、
最大値は周波数（MHz）の小数点2位までの値を100倍した値
(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)
- 動作周波数最大値（2バイト）：通倍あるいは分周されたクロックの最大値。動作周波数最小値、
動作周波数最大値のデータが周波数の数だけ続く

20. フラッシュメモリ

- SUM (1バイト) : サムチェック

(g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス

H'34	サイズ	エリア数	
エリア先頭アドレス		エリア最終アドレス	
...			
SUM			

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザブートマットのエリアの数、
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス、エリア先頭アドレス、
エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

(h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス

H'35	サイズ	エリア数	
エリア先頭アドレス		エリア最終アドレス	
...			
SUM			

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザマットのエリアの数、
ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス、エリア先頭アドレス、
エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

(i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス、ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ、このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	通倍比数	通倍比 1	通倍比 2	
	SUM			

20. フラッシュメモリ

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、逓倍数、逓倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート、1/100の値とする
(たとえば、19200bpsのときは192とし、H'00C0とする)。
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数、周波数（MHz）の小数点2位までの値とする（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）。
- 逓倍数（1バイト）：デバイスで選択可能な逓倍数、
通常はメイン動作周波数と周辺モジュール動作周波数で2（本LSIではH'01を設定してください。）
- 逓倍比1（1バイト）：メイン動作周波数の逓倍比または分周比
逓倍比：逓倍する数値（例 4逓倍：H'04 本LSIではH'01を設定してください。）
分周比：分周する数値、負の数値（例 2分周：H'FE[- 2] 本LSIではH'01を設定してください。）
- 逓倍比2（1バイト）：周辺動作周波数の逓倍比または分周比
逓倍比：逓倍する数値（例 4逓倍：H'04 本LSIでは設定不要です。）
分周比：分周する数値、負の数値（例 2分周：H'FE[- 2] 本LSIではH'01を設定してください）。
- SUM（1バイト）：サムチェック
レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK
エラー
レスポンス

H'BF	ERROR
------	-------
- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
 - H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
 - H'26：逓倍比エラー、逓倍比が一致しない
 - H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(5) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

2. 通倍比

受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と一致するかどうかをチェックします。一致しなければ通倍比エラーです。

3. 動作周波数

受信した入力周波数と通倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 通倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (ϕ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{\phi * 10^6}{(N + 1) * B * 64 * 2^{(2 * n - 1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答したあとで、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」(1バイト) : 新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 20.26 に示します。

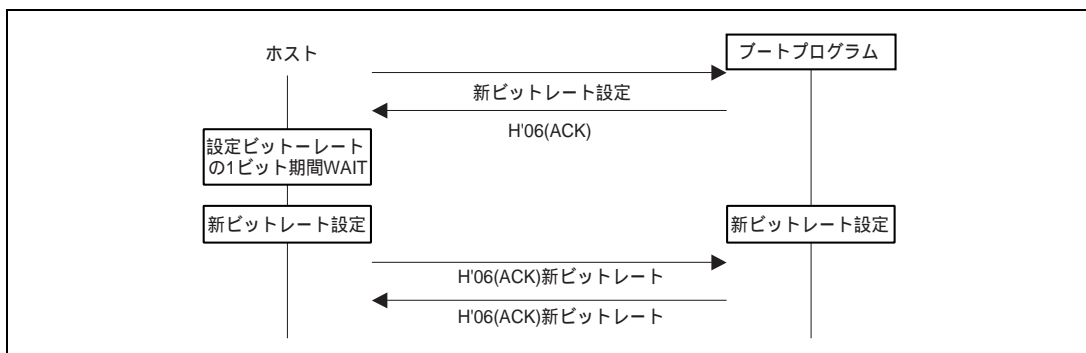


図 20.26 新ビットレート選択のシーケンス

(6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、

消去プログラムを転送したあと、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK
エラー

レスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドのあとでの問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 逡倍比、動作周波数の情報に従って、新ビットレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

(9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を下表に示します。

表 20.17 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

(10) 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドとに 128 バイト書き込みコマンドのシーケンスを図 20.27 に示します。

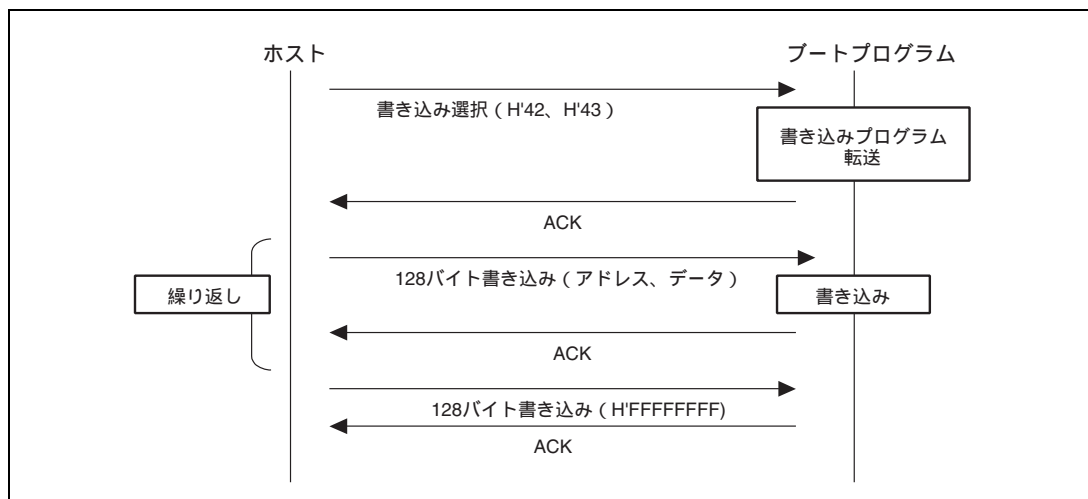


図 20.27 書き込みシーケンス

(a) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド

H'42

- コマンド「H'42」(1バイト) : ユーザブートプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス

H'C2	ERROR
------	-------

- エラーレスポンス「H'C2」(1バイト) : ユーザブートマット書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(b) ユーザプログラム書き込み選択

ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」(1バイト) : ユーザプログラム書き込み選択

レスポンス

H'06

20. フラッシュメモリ

- レスポンス「H'06」（1バイト）：ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス	H'C3	ERROR
-------	------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(c) 128 バイト書き込み

128 バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
		...						
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数
例）H'00,H'01,H'00,H'00：H'00010000
- 書き込みデータ（128 バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK、ただし2面書き込みでは最初の1面はデータを受信したときACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'28：アドレスエラー、アドレスが指定のマットの範囲にない
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが128バイトのときは、アドレスの下位バイトをH'00かH'80にしてください。

ホストは、128 バイト中に書き込みデータがない部分をH'FFに埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：終了コード、H'FF,H'FF,H'FF,H'FF
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACKエラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

（11）消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 20.28 に示します。

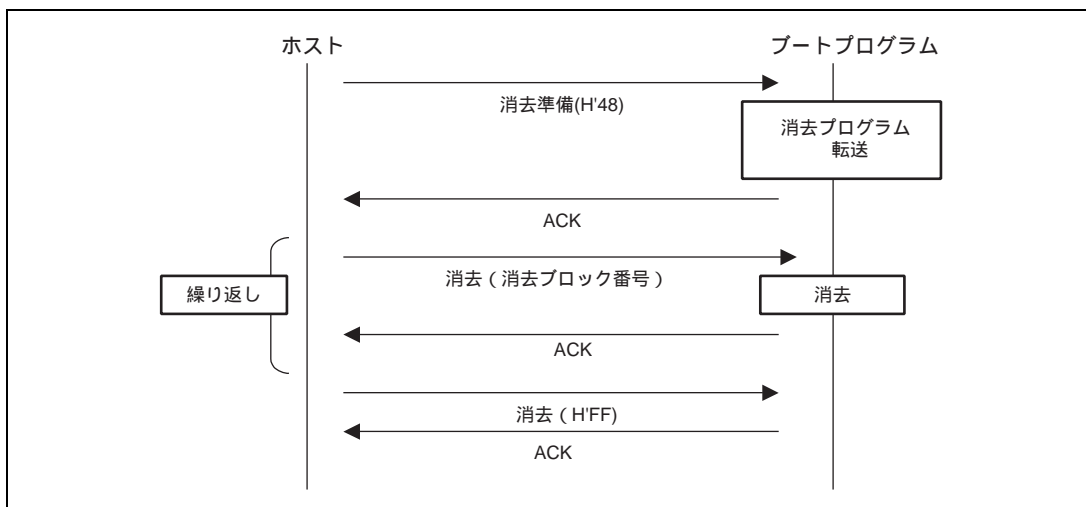


図 20.28 消去シーケンス

(a) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」(1バイト)：消去選択

レスポンス

H'06

- レスポンス「H'06」(1バイト)：消去選択に対する応答、消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」(1バイト)：消去選択に対するエラー応答
- ERROR：(1バイト)：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」(1バイト)：消去
- サイズ。(1バイト)：消去ブロックNoの文字数、固定値で1
- ブロック番号(1バイト)：データを消去する消去ブロック番号
- SUM(1バイト)：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラー

レスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

ブロック番号がH'FFに対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号をH'FFで指定したあと、再度、消去を行う場合は、消去選択から実行します。

(12) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス
		読み出しサイズ		SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）
 - H'00：ユーザブートマツト
 - H'01：ユーザマツト
 エリアの指定が正しくないときはアドレスエラー
- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

20. フラッシュメモリ

レスポンス	H'52	読み出しサイズ					
データ	...						
	SUM						

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：サムチェック

エラー

レスポンス	H'D2	ERROR
-------	------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'2A：アドレスエラー
読み出しアドレスがマットの範囲にない
 - H'2B：サイズエラー
読み出しサイズがマットの範囲を超えている

（13）ユーザブートプログラムのサムチェック

ユーザブートプログラムのサムチェックに対して、ブートプログラムはユーザブートプログラムのデータを加算してその結果を応答します。

コマンド	H'4A
------	------

- コマンド「H'4A」（1バイト）：ユーザブートプログラムのサムチェック

レスポンス	H'5A	サイズ	マットのサムチェック	SUM
-------	------	-----	------------	-----

- レスポンス「H'5A」（1バイト）：ユーザブートプログラムのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- マットのサムチェック（4バイト）：ユーザブートマットのサムチェック値、バイト単位で加算
- SUM（1バイト）：サムチェック（送信データの）

(14) ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザプログラムのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(15) ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(16) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザマットのブランクチェック

レスポンス

H'06

20. フラッシュメモリ

- レスポンス「H'06」（1バイト）：ユーザマットのブランクチェックに対する応答、
エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」（1バイト）：ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

（17）ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数、固定値で2
- STATUS（1バイト）：標準ブートプログラムのステータス
- ERROR（1バイト）：エラー状態

ERROR=0で正常

ERRORが0以外で異常

- SUM（1バイト）：サムチェック

このコマンドは消去・書き込み処理中も受け付けます。ただし応答は遅くなります。

表 20.18 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 20.19 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	連倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

20.11 ライタモード時の AC 特性、タイミング

表 20.20 メモリ読み出しモード時の AC 特性

条件 : $V_{CC} = 5.0V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN.	MAX.	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
\overline{CE} ホールド時間	t_{ceh}	0		ns
\overline{CE} セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
\overline{WE} 立ち上がり時間	t_r		30	ns
\overline{WE} 立ち下がり時間	t_f		30	ns

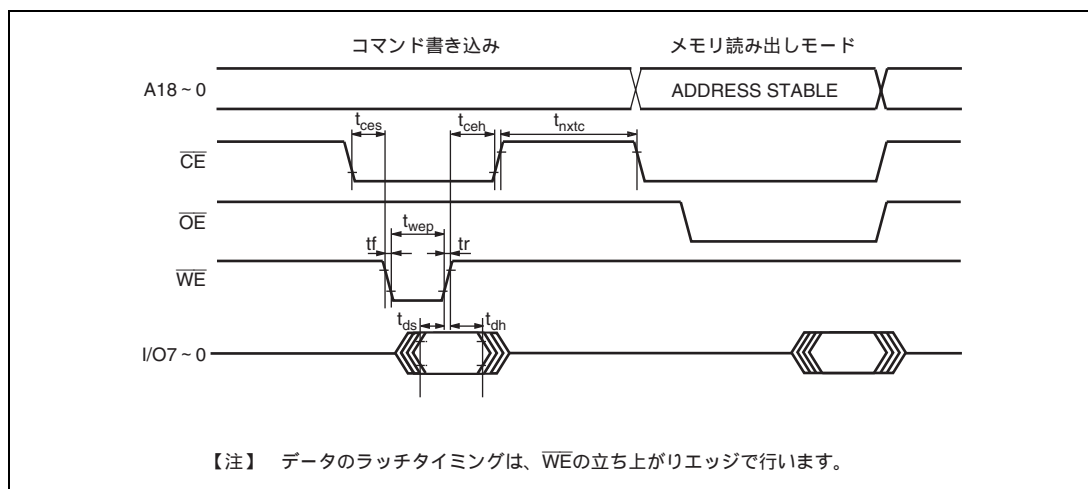


図 20.29 コマンド書き込み後メモリ読み出しタイミング図

表 20.21 メモリ読み出しモードから他のモードへ遷移時の AC 特性

条件 : $V_{CC} = 5.0V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN.	MAX.	単位
コマンド書き込みサイクル	t_{nxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

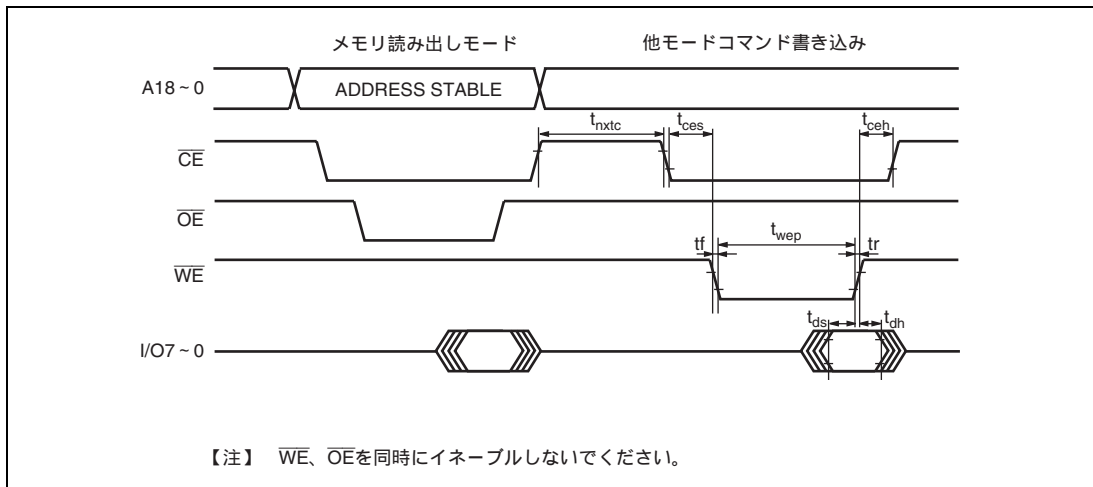


図 20.30 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

20. フラッシュメモリ

表 20.22 メモリ読み出しモード時の AC 特性

条件 : $V_{CC} = 5.0V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN.	MAX.	単位
アクセス時間	t_{acc}		20	μs
\overline{CE} 出力遅延時間	t_{ce}		150	ns
\overline{OE} 出力遅延時間	t_{oe}		150	ns
出力ディスエーブル遅延時間	t_{df}		100	ns
データ出力ホールド時間	t_{oh}	5		ns

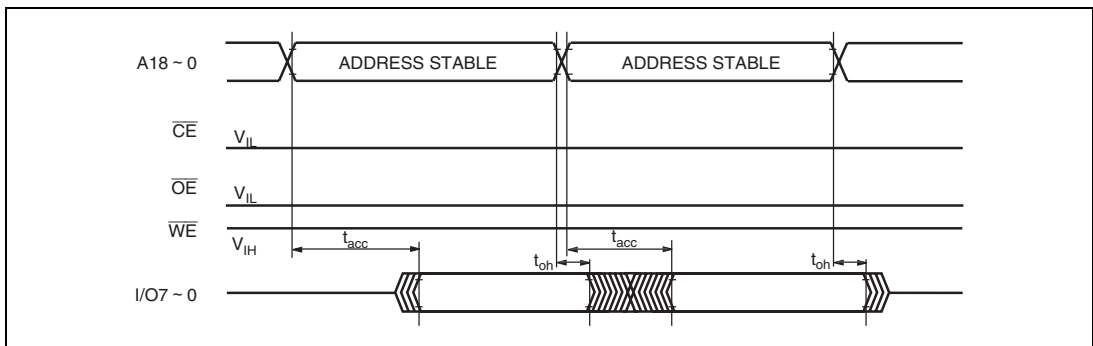


図 20.31 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

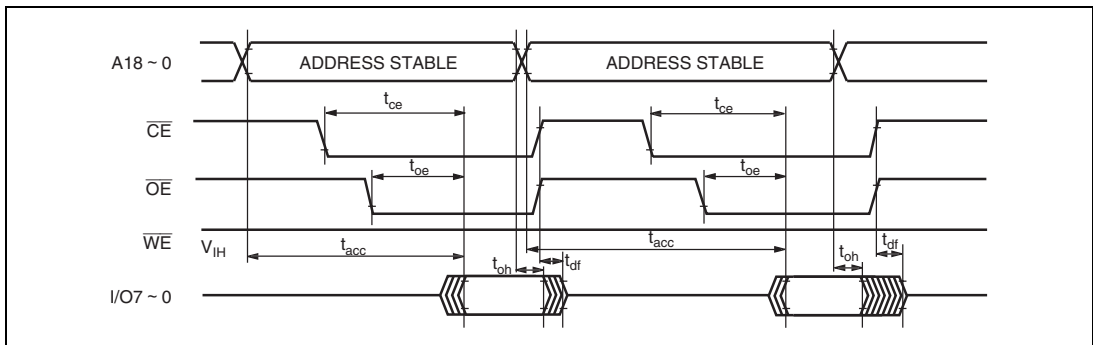


図 20.32 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

20. フラッシュメモリ

表 20.24 自動消去モード時の AC 特性

条件 : $V_{CC} = 5.0V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN.	MAX.	単位
コマンド書き込みサイクル	t_{wxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
ステータスポーリング開始時間	t_{ests}	1		ms
ステータスポーリングアクセス時間	t_{spa}		150	ns
メモリ消去時間	t_{erase}	100	40000	ms
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

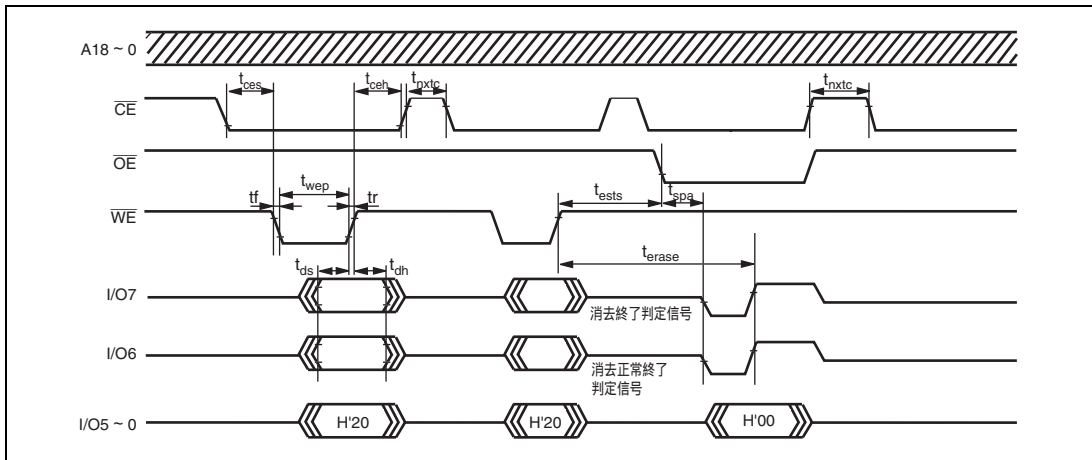


図 20.34 自動消去モードのタイミング波形

表 20.25 ステータス読み出しモード時の AC 特性

条件 : $V_{CC} = 5.0V \pm 0.5V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN.	MAX.	単位
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs
CE ホールド時間	t_{ceh}	0		ns
CE セットアップ時間	t_{ces}	0		ns
データホールド時間	t_{dh}	50		ns
データセットアップ時間	t_{ds}	50		ns
書き込みパルス幅	t_{wep}	70		ns
OE 出力遅延時間	t_{oe}		150	ns
ディスエーブル遅延時間	t_{df}		100	ns
CE 出力遅延時間	t_{ce}		150	ns
WE 立ち上がり時間	t_r		30	ns
WE 立ち下がり時間	t_f		30	ns

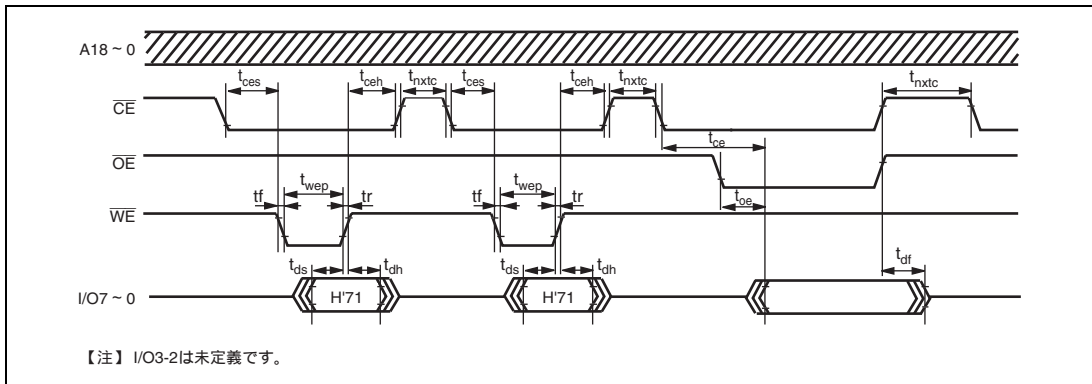


図 20.35 ステータス読み出しモードのタイミング波形

20. フラッシュメモリ

表 20.26 コマンド待ち状態までの遷移時間規定

項目	記号	MIN.	MAX.	単位
スタンバイ解除（発振安定時間）	t_{osc1}	30		ms
ライタモードセットアップ時間	t_{bmv}	10		ms
V_{CC} ホールド時間	t_{dwn}	0		ms

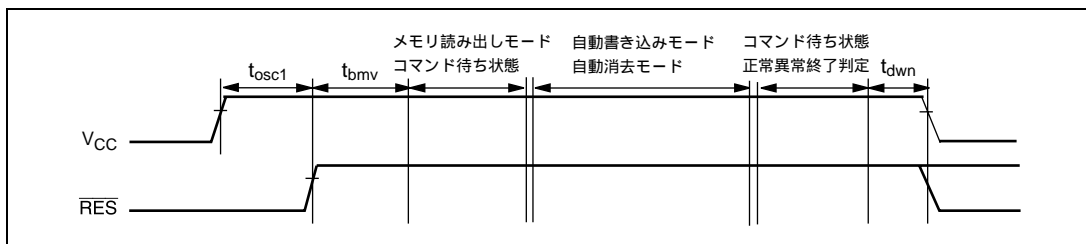


図 20.36 発振安定時間、ライタモードセットアップ時間、電源立ち下げシーケンス

21. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、バスマスタクロック、内部クロックを生成します。クロック発振器は、システムクロック発振器、PLL (Phase Locked Loop) 回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック発振器、波形成形回路で構成されます。クロック発振器のブロック図を図 21.1 に示します。

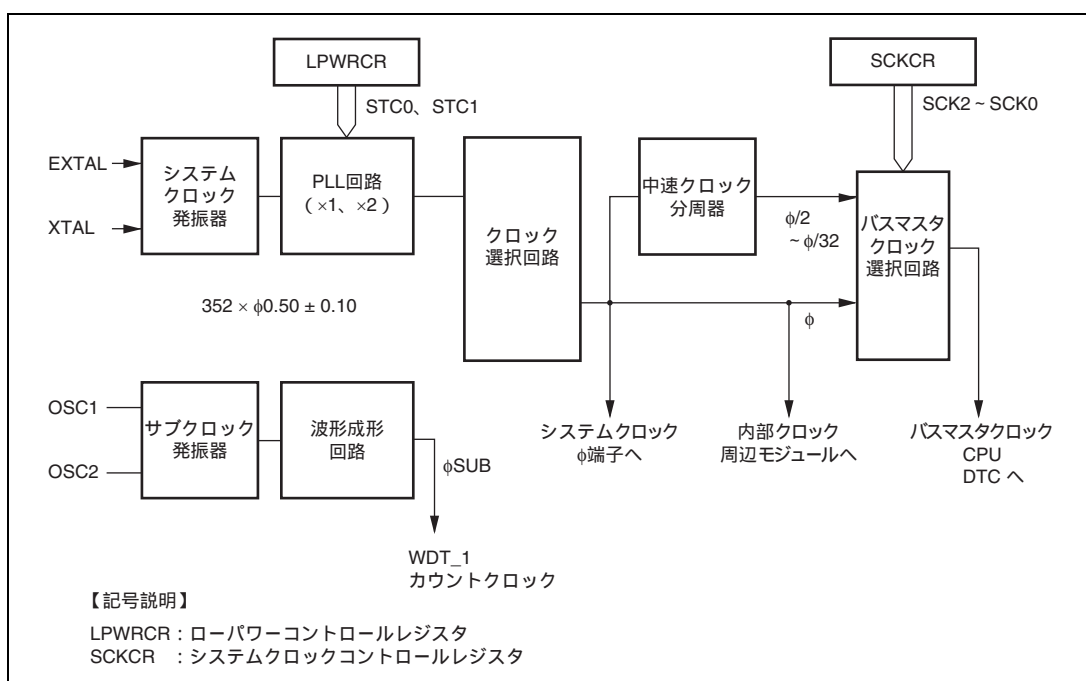


図 21.1 クロック発振器のブロック図

周波数の変更は、ローパワーコントロールレジスタ (LPWRCR) とシステムクロックコントロールレジスタ (SCKCR) の設定によりソフトウェアで行います。

21. クロック発振器

21.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)

21.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は、 ϕ クロック出力、PLL 回路の周波数逡倍率変更時の動作の選択、中速モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	ϕ クロック出力禁止 ϕ 出力を制御します。 <ul style="list-style-type: none">• 高速モード、中速モード、スリープモード 0 : ϕ出力 1 : High レベル固定• ソフトウェアスタンバイモード、ウォッチモード 0 : High レベル固定 1 : High レベル固定• ハードウェアスタンバイモード 0 : ハイインピーダンス 1 : ハイインピーダンス
6		0	R/W	リザーブビット リード/ライト可能ですが、ライト時には0をライトしてください。
5、4		すべて0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	STCS	0	R/W	周波数逡倍率切り替えモード選択 PLL 回路の周波数逡倍率変更時の動作を選択します。 <ul style="list-style-type: none">0 : 指定した逡倍率はソフトウェアスタンバイモード、ウォッチモードに遷移後有効1 : 指定した逡倍率は STC ビットの書き換え直後に有効
2	SCK2	0	R/W	システムクロックセレクト 2~0
1	SCK1	0	R/W	バスマスタクロックを選択します。
0	SCK0	0	R/W	000 : 高速モード 001 : 中速クロック $\phi/2$ 010 : 中速クロック $\phi/4$ 011 : 中速クロック $\phi/8$ 100 : 中速クロック $\phi/16$ 101 : 中速クロック $\phi/32$ 11x : 設定禁止

【記号説明】 x : Don't care

21.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費モードの制御、ノイズ除去サンプリング周波数の選択、サブクロック発振器の制御、周波数逡倍率の設定を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	ダイレクトトランスファオンフラグ 0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 1: 設定禁止
6	LSON	0	R/W	ロースピードオンフラグ 0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 1: 設定禁止
5	NESEL	0	R/W	ノイズ除去サンプリング周波数選択 サブクロック発振器より生成されたサブクロック (ϕ_{SUB}) を、システムクロック発振器より生成されたクロック (ϕ) により、サンプリングする周波数を決定します。 0: ϕ の 32 分周クロックでサンプリング 1: 設定禁止
4	SUBSTP	0	R/W	サブクロック発振器制御 サブクロック発振器の動作、停止を制御します。サブクロックを使用しないときは、1 をセットしてください。 0: サブクロック発振器を動作 1: サブクロック発振器を停止
3	RFCUT	0	R/W	内蔵帰還抵抗制御 外部クロック入力時にシステムクロック発振器の内蔵帰還抵抗を使用するか、使用しないかの選択をします。水晶発振子を使用するときは、アクセスしないでください。 外部クロック入力状態で本ビットを設定後、いったんソフトウェアスタンバイモードまたはウォッチモードに遷移してください。ソフトウェアスタンバイモードまたはウォッチモードに遷移したときに、発振器内蔵帰還抵抗を使用するか、使用しないかを切り替えます。 0: システムクロック発振器の内蔵帰還抵抗を使用する 1: システムクロック発振器の内蔵帰還抵抗を使用しない
2		0	R/W	リザーブビット リード/ライト可能ですが、ライト時には 0 をライトしてください。

21. クロック発振器

ビット	ビット名	初期値	R/W	説明
1	STC1	0	R/W	周波数通倍率設定 PLL 回路の周波数通倍率を設定します。指定した周波数通倍率は、ソフトウェアスタンバイモードまたはウォッチモードに遷移後、有効となります。本 LSI では必ず STC1=0 設定で使用してください。 00 : ×1 01 : ×2 10 : 設定禁止 11 : 設定禁止
0	STC0	0	R/W	

【注】 * ウォッチモードへの遷移時は、必ず高速モードに設定してください。

21.2 システムクロック発振器

システムクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

21.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 21.2 に示します。ダンピング抵抗 R_d は、表 21.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

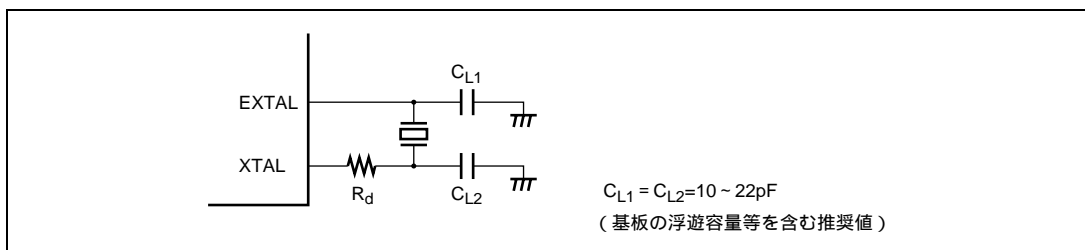


図 21.2 水晶発振子の接続例

表 21.1 ダンピング抵抗値

周波数 (MHz)	8	10	12	16	20	25
R_d (Ω)	200	100	0	0	0	0

水晶発振子の等価回路を図 21.3 に示します。水晶発振子は表 21.2 に示す特性のものを使用してください。

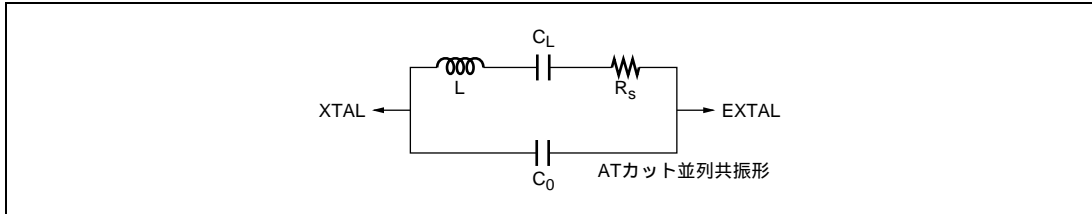


図 21.3 水晶発振子の等価回路

表 21.2 水晶発振子の特性

周波数 (MHz)	8	10	12	16	20	25
R_s max (Ω)	80	60	60	50	40	40
C_0 max (pF)	7					

21.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 21.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。外部クロックを入力する場合でも PLL 安定時間の確保のため、電源投入時やスタンバイ解除時は、発振安定時間以上待つようにしてください。

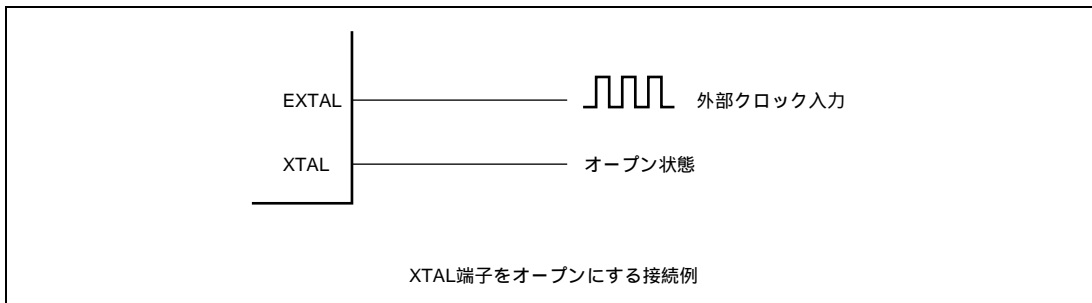


図 21.4 外部クロックの接続例

21. クロック発振器

外部クロックの入力条件を表 21.3 に示します。

表 21.3 外部クロック入力条件

項目	記号	V _{CC} = 3.0 ~ 5.5V				単位	測定条件	
		H8S/2552 H8S/2506 グループ		H8S/2556 グループ				
		min.	max.	min.	max.			
外部クロック入力サイクル時間	PLL1 通倍	t _{EXcyc}	38	125	50	125	ns	図 21.5
	PLL2 通倍		76	125	100	125		
外部クロック入力パルス幅 Low レベル	t _{EXL}	0.4	0.6	0.4	0.6	t _{EXcyc}		
外部クロック入力パルス幅 High レベル	t _{EXH}	0.4	0.6	0.4	0.6	t _{EXcyc}		
外部クロック立ち上がり時間	t _{EXr}	-	5	-	5	ns		
外部クロック立ち下がり時間	t _{EXf}	-	5	-	5	ns		

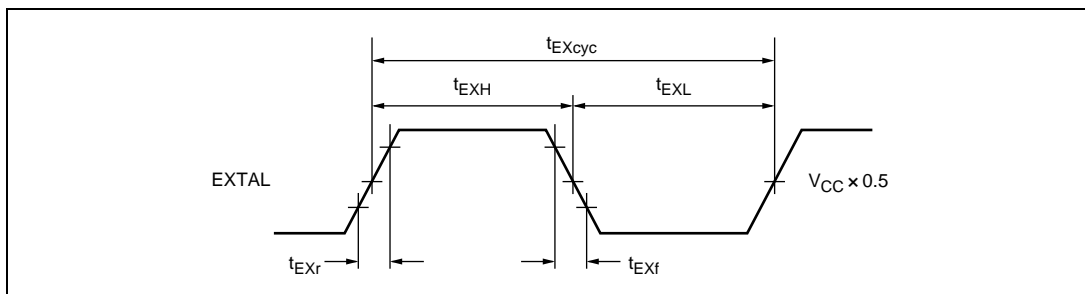


図 21.5 外部クロック入力タイミング

21.2.3 外部クロック切り替え時の注意

2種類以上の外部クロック（例：10MHzと20MHz）をシステムクロックとして使用し、入力クロックを切り替える場合は、ソフトウェアスタンバイモードで行ってください。

外部クロック切り替え回路例を図21.6に、外部クロック切り替えタイミング図を図21.7に示します。

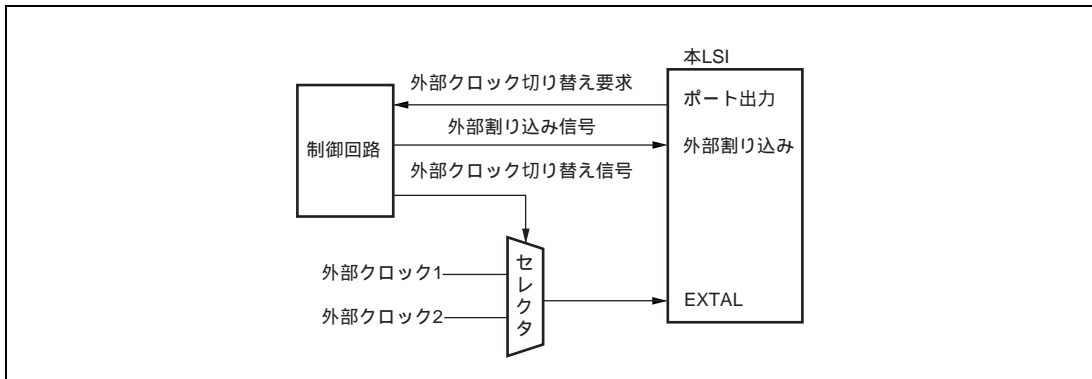


図 21.6 外部クロック切り替え回路例

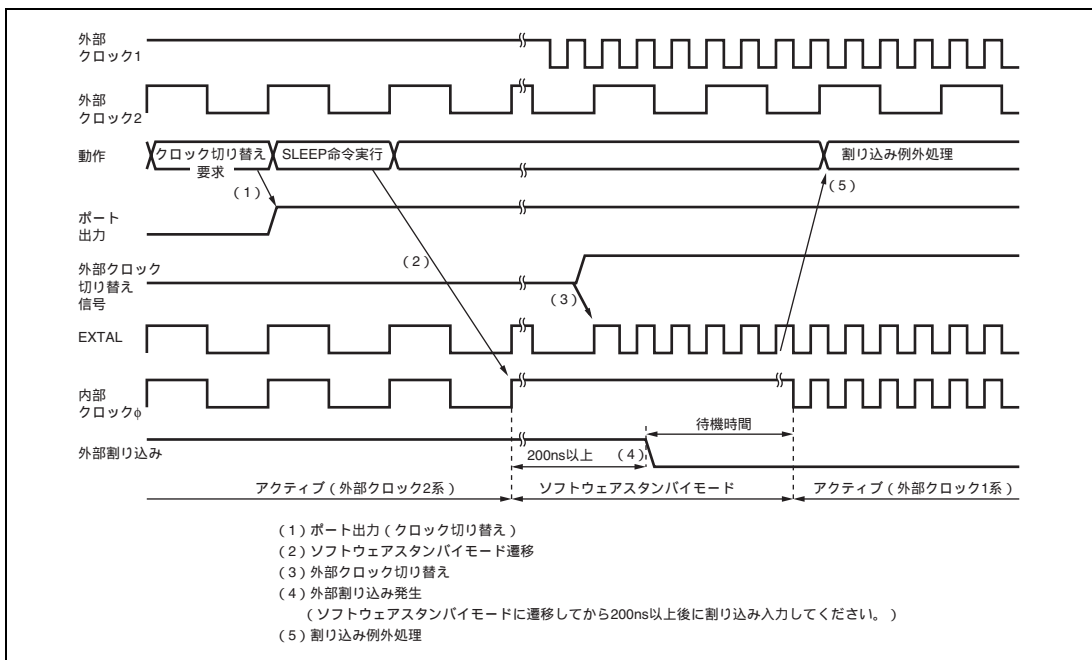


図 21.7 外部クロック切り替えタイミング例

21.3 PLL 回路

PLL 回路は、発振器からの周波数を 1 倍、2 倍に通倍する機能を持っています。周波数通倍率は LPWRCR の STC1、STC0 ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

PLL 回路の周波数通倍率を変更する場合、SCKCR の STCS ビットの設定で動作が異なります。

STCS ビットが 0 の場合、変更した周波数通倍率はソフトウェアスタンバイモードまたはウォッチモードへ遷移後に有効になります。遷移時間は、スタンバイコントロールレジスタ (SBYCR) の STS2 ~ STS0 ビットで設定します。SBYCR については「22.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

1. 初期状態では、PLL回路の通倍率は1倍です。
2. STS2 ~ STS0 ビットで遷移時間を設定します。
3. STC1、STC0 ビットで周波数通倍率を設定し、ソフトウェアスタンバイモードまたはウォッチモードへ遷移します。
4. クロック発振器が停止し、設定した STC1、STC0 の設定が有効となります。
5. ソフトウェアスタンバイモードまたはウォッチモードを解除し、STS2 ~ STS0 ビットで設定した遷移時間が確保されます。
6. 設定した遷移時間経過後、変更した周波数通倍率で本 LSI は動作を再開します。

STCS ビットが 1 の場合、STC1、STC0 ビット書き換え後に、変更後の周波数通倍率で本 LSI は動作します。

21.4 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

21.5 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SCKCR の SCK2 ~ SCK0 ビットによりシステムクロック (ϕ)、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

21.6 IEBus を使用する場合のシステムクロック

IEBus*¹を使用する場合には、システムクロックは 12MHz、12.58MHz、18MHz、18.87MHz、24MHz、25.16MHz の中から設定してください。

IEBus*¹を使用しない場合は、8MHz ~ 26MHz*²の任意のシステムクロックを使用することができます。

【注】 *1 IEBus は、H8S/2552 グループのみ使用できます。

*2 H8S/2556 グループは 20MHz まで使用できます。

21.7 サブクロック発振器

21.7.1 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには図 21.8 に示すように 32.768kHz の水晶発振子を接続します。図 21.9 に 32.768kHz 水晶発振子の等価回路を示します。

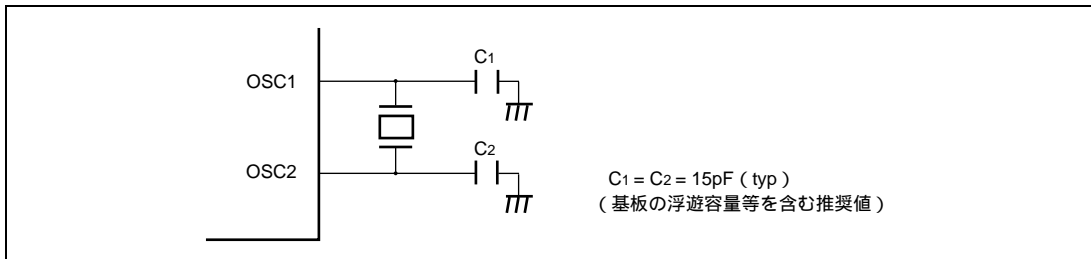


図 21.8 32.768kHz 水晶発振子の接続例

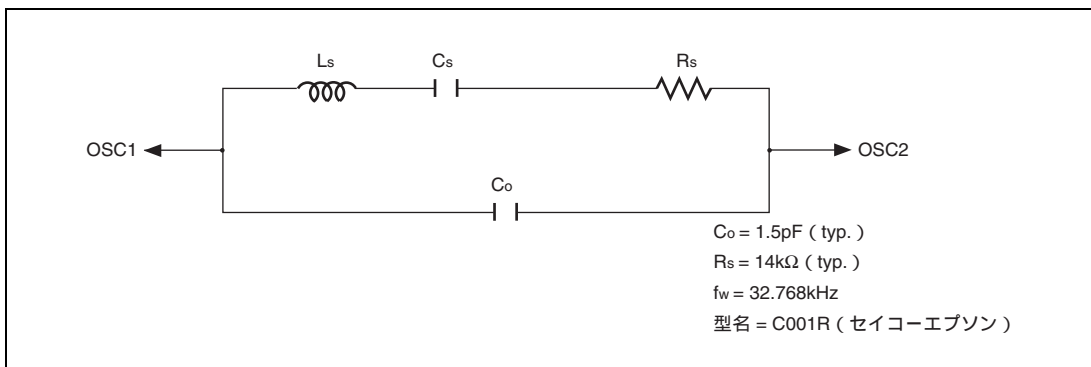


図 21.9 32.768kHz 水晶発振子の等価回路

21.7.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 21.10 に示すように OSC1 端子を V_{SS} に接続し、OSC2 端子をオープンとして、LPWRCR の SUBSTP ビットを必ず 1 に設定してください。設定しない場合には低消費電力モードへの遷移が正常に行われないことがあります。

21. クロック発振器

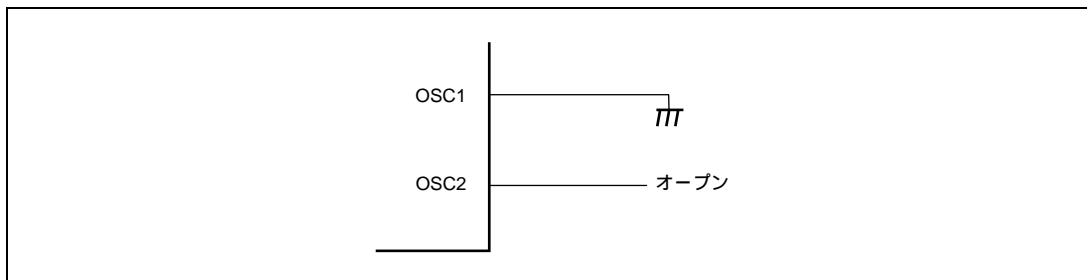


図 21.10 サブクロックを使用しない場合の端子処理

21.8 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、 ϕ クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は「21.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

ウォッチモードではサンプリングされません。

21.9 使用上の注意事項

21.9.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

21.9.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ EXTAL、XTAL、OSC1、OSC2 端子の近くに配置してください。配線は極力短くしてください。図 21.11 に示すように発振回路の近くには信号線を通させないでください。誘導により正しい発振ができなくなることがあります。

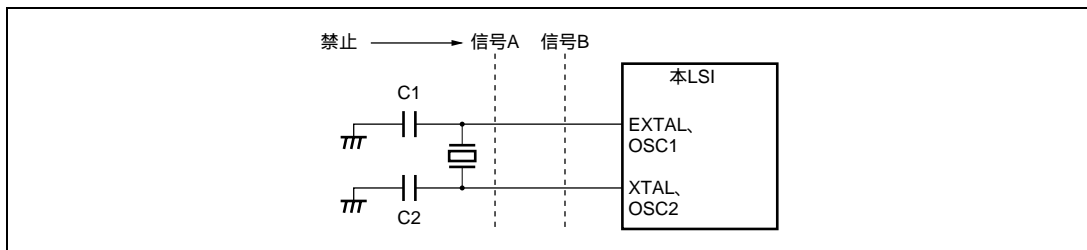
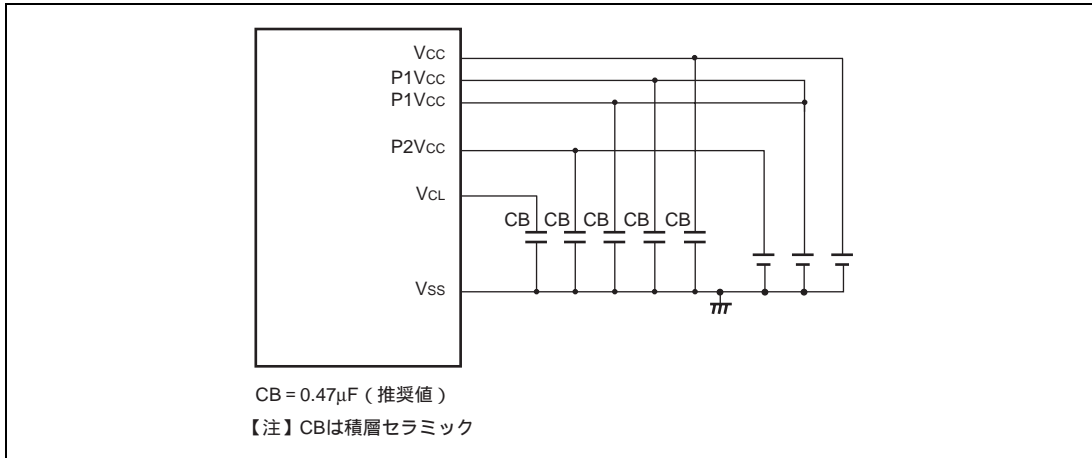


図 21.11 発振回路部のボード設計に関する注意事項

電源端子と V_{SS} 端子間の接続推奨回路を図 21.12 に示します。電源端子、V_{CL}、V_{CC}、P1V_{CC}、P2V_{CC} と V_{SS} 間には安定化のための容量、CB を端子の近くに挿入してください。P1V_{CC} には 2 ヶ所、他の電源にはそれぞれ 1 ヶ所に入れてください。また、他の信号線と交差させないでください。

図 21.12 電源端子と V_{SS} 端子間の接続推奨回路

22. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードのほか、

- 中速モード
- スリープモード
- ウォッチモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。

スリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。

リセット後は、高速モードになっています。

表 22.1 に、各動作状態へ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を示します。

22. 低消費電力状態

表 22.1 各モードでの本 LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ						
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止						
サブクロック発振器		動作 / 停止	動作 / 停止	動作 / 停止	動作 / 停止	動作	動作 / 停止	停止						
CPU 動作	命令	動作	中速 動作	停止	動作	停止	停止	停止						
	レジスタ			保持		保持	保持	不定						
RAM		動作	動作	動作 (DTC)	動作	保持	保持	保持						
I/O		動作	動作	動作	動作	保持	保持	ハイ インピー ダンス						
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	停止						
	IRQn													
周辺機能	PBC	動作	中速 動作	動作	動作 / 停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)						
	DTC				動作 / 停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)						
	WDT_1				動作	サブ クロック 動作	停止 (保持)	停止 (リセット)						
	WDT_0				動作	動作	停止 (保持)	停止 (リセット)						
	TMR				動作	動作	動作 / 停止 (保持)	停止 (保持)	停止 (リセット)					
	TPU				動作	動作	動作	動作 / 停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)			
	SCI													
	I ² C2											停止* ³ (リセット / 保持)	停止* ³ (リセット / 保持)	停止* ³ (リセット / 保持)
	D/A											動作 / 停止 (保持)* ⁴	停止 (保持)* ⁴	停止 (保持)* ⁴
	A/D				動作	動作	動作	動作 / 停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)			
	IEB* ¹													
HCAN* ²														

【注】 停止 (保持) は、内部レジスタ値保持。内部状態は動作中断。

停止 (リセット) は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止 (リセットまたは保持)。

- *1 H8S/2552 グループのみです。
- *2 H8S/2556 グループのみです。
- *3 BC2～BC0は停止（リセット）、その他のレジスタは停止（保持）となります。
- *4 停止（保持）は、内部レジスタ値保持。
内部状態は動作中断のため、アナログ出力値は規定のD/A絶対精度を満足できません。

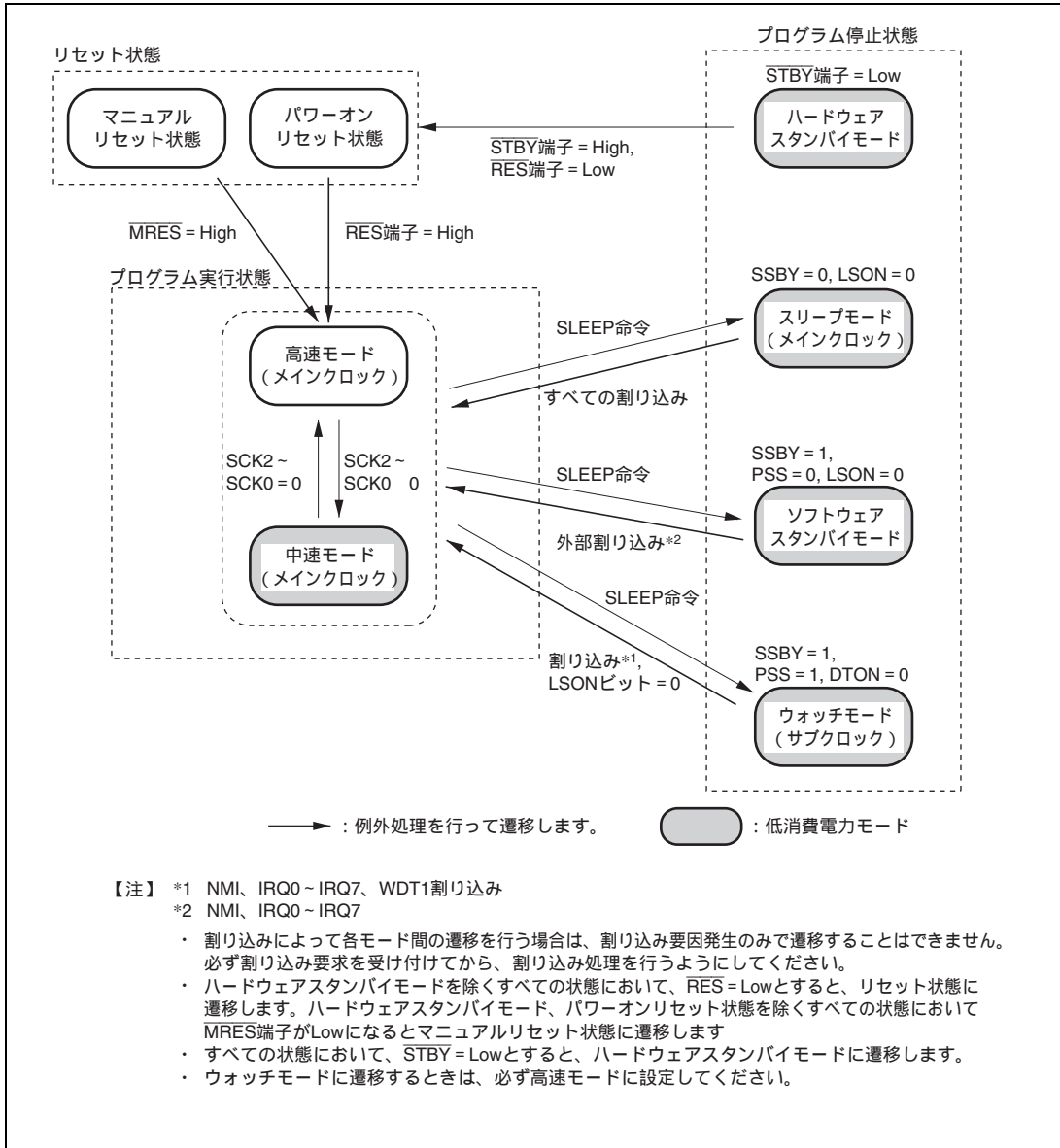


図 22.1 モード遷移図

22. 低消費電力状態

表 22.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速 / 中速	0	x	0	x	スリープ	高速 / 中速
	0	x	1	x		
	1	0	0	x	ソフトウェアスタンバイ	高速 / 中速
	1	0	1	x		
	1	1	0	0	ウォッチ	高速
	1	1	1	x		
	1	1	0	1		

【記号説明】

：設定しないでください

x : Don't care

22.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「21.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

また、ローパワーコントロールレジスタ (LPWRCR) については「21.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。タイマコントロール/ステータスレジスタ (TCSR_1) については「12.3.2 タイマコントロール/ステータスレジスタ (TCSR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)
- ローパワーコントロールレジスタ (LPWRCR)
- システムクロックコントロールレジスタ (SCKCR)
- タイマコントロール/ステータスレジスタ (TCSR_1)

22.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0: 高速モード、中速モードで SLEEP 命令実行後、スリープモードに遷移 1: 高速モード、中速モードで SLEEP 命令実行後、ソフトウェアスタンバイモード、あるいはウォッチモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場合は 0 をライトしてください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 外部割り込みによってソフトウェアスタンバイモード、ウォッチモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 22.3、表 24.6 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。 000: 待機時間 = 8192 ステート 001: 待機時間 = 16384 ステート 010: 待機時間 = 32768 ステート 011: 待機時間 = 65536 ステート 100: 待機時間 = 131072 ステート 101: 待機時間 = 262144 ステート 110: リザーブ 111: リザーブ
5	STS1	0	R/W	
4	STS0	0	R/W	
3	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード、ウォッチモード時にアドレスバス、バス制御信号 ($\overline{CS0}$ ~ $\overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の出力を保持するか、ハイインピーダンスにするかを指定します。 0: ハイインピーダンス 1: 出力状態を保持
2~0		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【注】 * $\overline{CS1}$ 、 $\overline{CS2}$ は H8S/2556 グループにはありません。

22. 低消費電力状態

22.1.2 モジュールストップコントロールレジスタ A～C (MSTPCRA～MSTPCRC)

MSTPCR は、モジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7*1	0	R/W	
6	MSTPA6	0	R/W	データトランスファコントローラ (DTC)
5	MSTPA5	1	R/W	16 ビットタイムパルスユニット (TPU)
4	MSTPA4	1	R/W	8 ビットタイマ (TMR_0、TMR_1)
3	MSTPA3*1	1	R/W	
2	MSTPA2*1	1	R/W	
1	MSTPA1	1	R/W	A/D 変換器
0	MSTPA0	1	R/W	8 ビットタイマ (TMR_2、TMR_3)

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI_0)
6	MSTPB6	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI_1)
5	MSTPB5	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI_2)
4	MSTPB4	1	R/W	I ² C バスインタフェース 2_0 (I ² C2_0)
3	MSTPB3	1	R/W	I ² C バスインタフェース 2_1 (I ² C2_1)
2	MSTPB2*1	1	R/W	
1	MSTPB1*1	1	R/W	
0	MSTPB0*1	1	R/W	

• MSTPCRC

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPC7	1	R/W	シリアルコミュニケーションインタフェース 3 (SCI_3)
6	MSTPC6	1	R/W	シリアルコミュニケーションインタフェース 4 (SCI_4)
5	MSTPC5	1	R/W	D/A 変換器
4	MSTPC4	1	R/W	PC ブレークコントローラ (PBC)
3	MSTPC3	1	R/W	IEBus™ コントローラ (IEB) *2
2	MSTPC2	1	R/W	コントローラエリアネットワーク (HCAN) *3
1	MSTPC1*1	1	R/W	
0	MSTPC0*1	1	R/W	

【注】 *1 MSTPA7 は、リード/ライト可、初期値は 0 です。ライト時は常に 0 としてください。
MSTPA3、MSTPA2、MSTPB2～MSTPB0、MSTPC1、MSTPC0 はリード/ライト可、初期値は 1 です。ライト時は常に 1 としてください。

*2 H8S/2552 グループのみです。

*3 H8S/2556 グループのみです。

22.2 中速モード

SCKCR の SCK2 ~ SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2 ~ SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。CPU 以外のバスマスタ (DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2 ~ SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットと LPWRCR の LSON ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセット、LSON ビットと TCSR_1 (WDT_1) の PSS ビットを 0 にクリアした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 22.2 に示します。

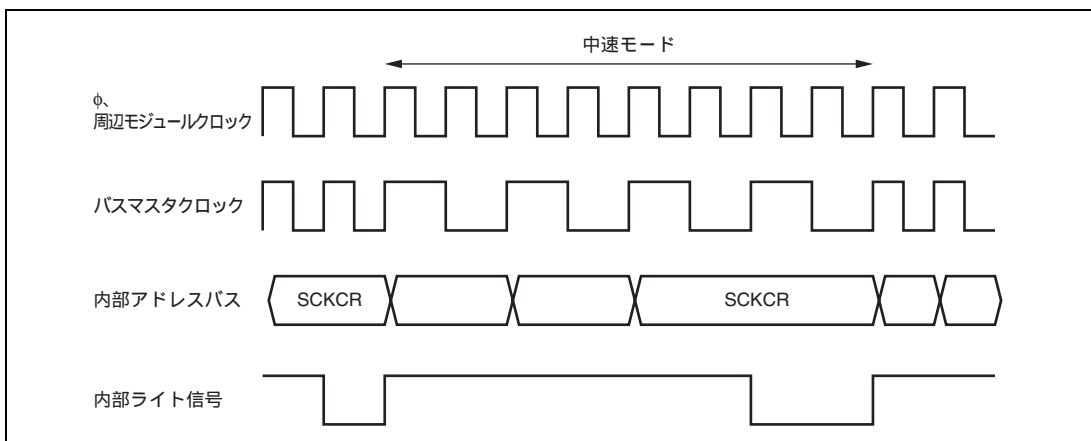


図 22.2 中速モードの遷移・解除タイミング

22.3 スリープモード

22.3.1 スリープモードへの遷移

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

22.3.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

22.4 ソフトウェアスタンバイモード

22.4.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセット、LPWRCR の LSON ビットと TCSR_1 (WDT_1) の PSS を 0 クリアした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、HCAN*¹、IEB*²、A/D 変換器および IIC2 の一部機能を除く内蔵周辺機能と、I/O ポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

【注】 *1 H8S/2556 グループのみです。

*2 H8S/2552 グループのみです。

22.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 端子)、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

NMI、IRQ0～IRQ7割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2～STS0ビットによって設定された時間が経過したあと、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0～IRQ7割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビット/端子機能切り替えビットを1にセットし、かつIRQ0～IRQ7割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU側でマスクした場合、またはDTCの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

22.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

待機時間が8ms（発振安定時間）以上となるようにSBYCRのSTS2～STS0ビットを設定してください。

表 22.3 に、動作周波数とSTS2～STS0ビットの設定に対する待機時間を示します。

表 22.3 発振安定時間の設定

STS2	STS1	STS0	待機時間	25MHz*	20MHz	16MHz	13MHz	10MHz	8MHz	単位
0	0	0	8192 ステート	0.33	0.41	0.51	0.63	0.8	1.0	ms
		1	16384 ステート	0.66	0.82	1.0	1.3	1.6	2.0	
	1	0	32768 ステート	1.3	1.6	2.0	2.5	3.3	4.1	
		1	65536 ステート	2.6	3.3	4.1	5.0	6.6	8.2	
1	0	0	131072 ステート	5.2	6.6	8.2	10.1	13.1	16.4	
		1	262144 ステート	10.5	13.1	16.4	20.2	26.2	32.8	
	1	x	リザーブ	-	-	-	-	-	-	-

■ : 推奨設定時間

【記号説明】 x : Don't care

【注】 * H8S/2556 グループでは動作周波数は20MHzまでです。

22.4.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 22.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けたあと、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットしたあと、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

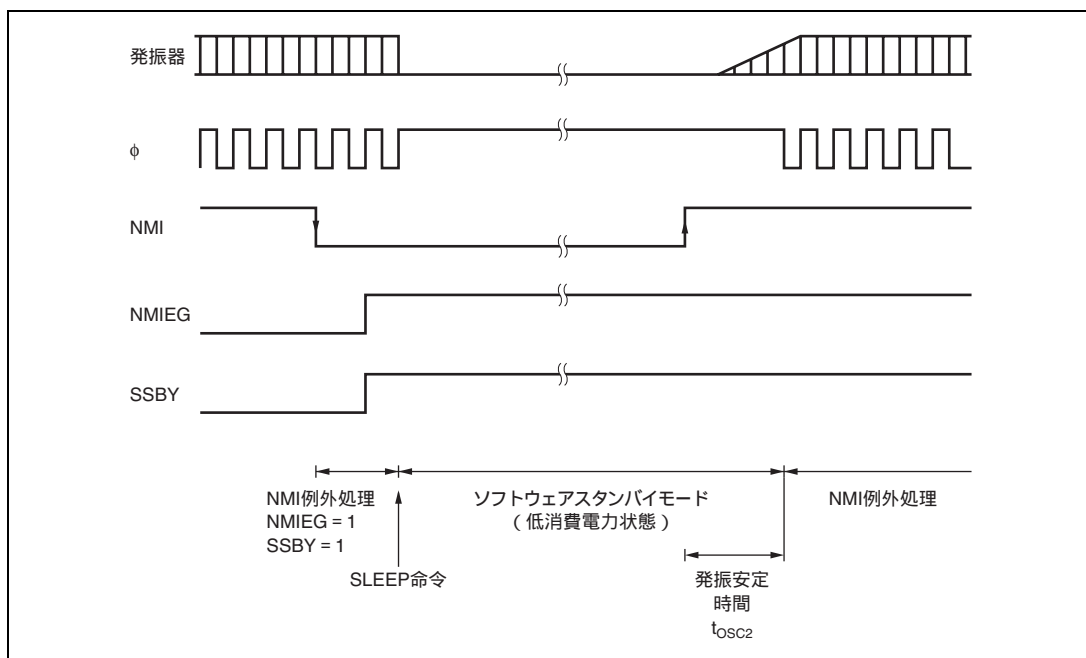


図 22.3 ソフトウェアスタンバイモードの応用例

22.5 ハードウェアスタンバイモード

22.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

22.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで（発振安定時間 t_{osc1} 以上）Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

22.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 22.4 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

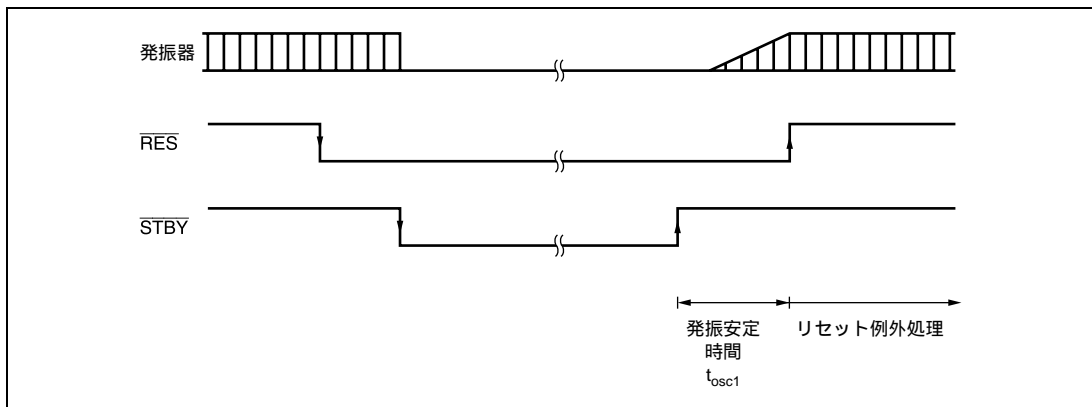


図 22.4 ハードウェアスタンバイモードのタイミング

22.6 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

また、全モジュールストップ (MSTPCR=H'FFFFFFF) の状態でスリープモードに遷移すると、バスコントローラと I/O ポートも動作を停止しますので、さらに消費電流を低減することができます。

22.7 ウォッチモード

22.7.1 ウォッチモードへの遷移

高速モードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 0、TCSR_1 (WDT_1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT_1 以外の周辺機能も動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (HCAN*¹、IEB*²、A/D 変換器、および IIC2 の一部機能を除く) と I/O ポートの状態は保持されます。ウォッチモードに遷移する場合は、SCKCR の SCK2 ~ SCK0 の各ビットを必ず 0 にしてください。

【注】 *1 H8S/2556 グループのみです。

*2 H8S/2552 グループのみです。

22.7.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOVI1 割り込み、NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$) $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生するとウォッチモードは解除され、高速モードあるいは中速モードに遷移します。高速モードに遷移するときは、SBYCR の STS2 ~ STS0 により設定された時間が経過したあと、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0 ~ IRQ7 割り込みについては対応するイネーブルビット / 端子機能切り替えビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「22.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

- $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子による解除については、「22.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.8 φクロック出力禁止機能

SCKCR の P STOP ビット、対応するポートの DDR により、φクロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点でφクロックは停止し、φ出力は High レベルになります。PSTOP を 0 にクリアした状態では、φクロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、φクロック出力は禁止され、入力ポートになります。表 22.4 に各処理状態におけるφ端子の状態を示します。

表 22.4 各処理状態におけるφ端子の状態

DDR	0	1	
PSTOP	-	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード、 ウォッチモード	ハイインピーダンス	High 固定	
スリープモード	ハイインピーダンス	φ出力	High 固定
高速モード、 中速モード	ハイインピーダンス	φ出力	High 固定

22.9 使用上の注意事項

22.9.1 I/O ポートの状態

ソフトウェアスタンバイモードおよびウォッチモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

22.9.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

22.9.3 DTC のモジュールストップ

DTC の動作状態によっては、MSTPA6 ビットは 1 にセットされない場合があります。DTC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

22.9.4 内蔵周辺モジュールの割り込み

- モジュールストップモード

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにしたあと、モジュールストップモードとしてください。

- ウォッチモード

ウォッチモードで動作停止する内蔵周辺モジュール (DTC、TPU、IIC2) は、割り込みが要求された状態でウォッチモードに遷移すると、CPU の割り込み要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにしたあと、SLEEP 命令を実行しウォッチモードに遷移してください。

22.9.5 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

22.9.6 ウォッチモード遷移と DTC のモジュールストップ

ウォッチモードに遷移する場合は、DTC をモジュールストップ (MSTPA6 ビットに 1 ライト) 設定し、MSTPA6 ビットの 1 リード確認後、モード遷移してください。アクティブモードに遷移後、モジュールストップを解除してください。

なお、ウォッチモード中に DTC 起動要因が発生した場合、アクティブモードに遷移後モジュールストップ解除時に DTC 起動されます。

23. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 - 」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

23. レジスタ一覧

23.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データバス幅	アクセスステート数
DTC モードレジスタ A	MRA	8	H'EBC0 -	DTC	16/32*2	1
DTC ソースアドレスレジスタ	SAR	24	H'EFBF	DTC	16/32*2	1
DTC モードレジスタ B	MRB	8		DTC	16/32*2	1
DTC デスティネーションアドレスレジスタ	DAR	24		DTC	16/32*2	1
DTC 転送カウントレジスタ A	CRA	16		DTC	16/32*2	1
DTC 転送カウントレジスタ B	CRB	16		DTC	16/32*2	1
IEBus コントロールレジスタ	IECTR	8	H'F800	IEB	8	5
IEBus コマンドレジスタ	IECMR	8	H'F801	IEB	8	5
IEBus マスタコントロールレジスタ	IEMCR	8	H'F802	IEB	8	5
IEBus 自局アドレスレジスタ 1	IEAR1	8	H'F803	IEB	8	5
IEBus 自局アドレスレジスタ 2	IEAR2	8	H'F804	IEB	8	5
IEBus スレープアドレス設定レジスタ 1	IESA1	8	H'F805	IEB	8	5
IEBus スレープアドレス設定レジスタ 2	IESA2	8	H'F806	IEB	8	5
IEBus 送信電文長レジスタ	IETBFL	8	H'F807	IEB	8	5
IEBus 送信バッファレジスタ	IETBR	8	H'F808	IEB	8	5
IEBus 受信マスタアドレスレジスタ 1	IEMA1	8	H'F809	IEB	8	5
IEBus 受信マスタアドレスレジスタ 2	IEMA2	8	H'F80A	IEB	8	5
IEBus 受信コントロールフィールドレジスタ	IERCTL	8	H'F80B	IEB	8	5
IEBus 受信電文長レジスタ	IERBFL	8	H'F80C	IEB	8	5
IEBus 受信バッファレジスタ	IERBR	8	H'F80D	IEB	8	5
IEBus ロックアドレスレジスタ 1	IELA1	8	H'F80E	IEB	8	5
IEBus ロックアドレスレジスタ 2	IELA2	8	H'F80F	IEB	8	5
IEBus ゼネラルフラグレジスタ	IEFLG	8	H'F810	IEB	8	5
IEBus 送信/暴走ステータスレジスタ	IETSR	8	H'F811	IEB	8	5
IEBus 送信/暴走割り込み許可レジスタ	IEIET	8	H'F812	IEB	8	5
IEBus 送信エラーフラグレジスタ	IETEF	8	H'F813	IEB	8	5
IEBus 受信ステータスレジスタ	IERSR	8	H'F814	IEB	8	5
IEBus 受信割り込み許可レジスタ	IEIER	8	H'F815	IEB	8	5
IEBus 受信エラーフラグレジスタ	IEREF	8	H'F816	IEB	8	5
ポート H データディレクションレジスタ	PHDDR	8	H'FA10	PORT	8	4
ポート J データディレクションレジスタ	PJDDR	8	H'FA11	PORT	8	4

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ポートHデータレジスタ	PHDR	8	H'FA12	PORT	8	4
ポートJデータレジスタ	PJDR	8	H'FA13	PORT	8	4
ポートHレジスタ	PORTH	8	H'FA14	PORT	8	4
ポートJレジスタ	PORTJ	8	H'FA15	PORT	8	4
IICバスコントロールレジスタ 1_0	ICCR1_0	8	H'FA20	IIC2_0	8	4
IICバスコントロールレジスタ 2_0	ICCR2_0	8	H'FA21	IIC2_0	8	4
IICバスモードレジスタ_0	ICMR_0	8	H'FA22	IIC2_0	8	4
IICバスインタラプティネーブルレジスタ_0	ICIER_0	8	H'FA23	IIC2_0	8	4
IICバスステータスレジスタ_0	ICSR_0	8	H'FA24	IIC2_0	8	4
スレーブアドレスレジスタ_0	SAR_0	8	H'FA25	IIC2_0	8	4
IICバス送信データレジスタ_0	ICDRT_0	8	H'FA26	IIC2_0	8	4
IICバス受信データレジスタ_0	ICDRR_0	8	H'FA27	IIC2_0	8	4
IICバスコントロールレジスタ 1_1	ICCR1_1	8	H'FA28	IIC2_1	8	4
IICバスコントロールレジスタ 2_1	ICCR2_1	8	H'FA29	IIC2_1	8	4
IICバスモードレジスタ_1	ICMR_1	8	H'FA2A	IIC2_1	8	4
IICバスインタラプティネーブルレジスタ_1	ICIER_1	8	H'FA2B	IIC2_1	8	4
IICバスステータスレジスタ_1	ICSR_1	8	H'FA2C	IIC2_1	8	4
スレーブアドレスレジスタ_1	SAR_1	8	H'FA2D	IIC2_1	8	4
IICバス送信データレジスタ_1	ICDRT_1	8	H'FA2E	IIC2_1	8	4
IICバス受信データレジスタ_1	ICDRR_1	8	H'FA2F	IIC2_1	8	4
マスタコントロールレジスタ	MCR	8	H'FB00	HCAN	16	5
ジェネラルステータスレジスタ	GSR	8	H'FB01	HCAN	16	5
ビットコンフィギュレーションレジスタ	BCR	16	H'FB02	HCAN	16	5
メールボックスコンフィギュレーションレジスタ	MBCR	16	H'FB04	HCAN	16	5
送信待ちレジスタ	TXPR	16	H'FB06	HCAN	16	5
送信待ち取り消しレジスタ	TXCR	16	H'FB08	HCAN	16	5
送信アックノレッジレジスタ	TXACK	16	H'FB0A	HCAN	16	5
取り消しアックノレッジレジスタ	ABACK	16	H'FB0C	HCAN	16	5
受信完了レジスタ	RXPR	16	H'FB0E	HCAN	16	5
リモートリクエストレジスタ	RFPR	16	H'FB10	HCAN	16	5
インタラプトレジスタ	IRR	16	H'FB12	HCAN	16	5
メールボックスインタラプトマスクレジスタ	MBIMR	16	H'FB14	HCAN	16	5
インタラプトマスクレジスタ	IMR	16	H'FB16	HCAN	16	5
受信エラーカウンタ	REC	8	H'FB18	HCAN	16	5
送信エラーカウンタ	TEC	8	H'FB19	HCAN	16	5
未読メッセージステータスレジスタ	UMSR	16	H'FB1A	HCAN	16	5

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ローカルアクセプタンスフィルタマスク L	LAFML	16	H'FB1C	HCAN	16	5
ローカルアクセプタンスフィルタマスク H	LAFMH	16	H'FB1E	HCAN	16	5
メッセージコントロール 0[1]	MC0[1]	8	H'FB20	HCAN	16	5
メッセージコントロール 0[2]	MC0[2]	8	H'FB21	HCAN	16	5
メッセージコントロール 0[3]	MC0[3]	8	H'FB22	HCAN	16	5
メッセージコントロール 0[4]	MC0[4]	8	H'FB23	HCAN	16	5
メッセージコントロール 0[5]	MC0[5]	8	H'FB24	HCAN	16	5
メッセージコントロール 0[6]	MC0[6]	8	H'FB25	HCAN	16	5
メッセージコントロール 0[7]	MC0[7]	8	H'FB26	HCAN	16	5
メッセージコントロール 0[8]	MC0[8]	8	H'FB27	HCAN	16	5
メッセージコントロール 1[1]	MC1[1]	8	H'FB28	HCAN	16	5
メッセージコントロール 1[2]	MC1[2]	8	H'FB29	HCAN	16	5
メッセージコントロール 1[3]	MC1[3]	8	H'FB2A	HCAN	16	5
メッセージコントロール 1[4]	MC1[4]	8	H'FB2B	HCAN	16	5
メッセージコントロール 1[5]	MC1[5]	8	H'FB2C	HCAN	16	5
メッセージコントロール 1[6]	MC1[6]	8	H'FB2D	HCAN	16	5
メッセージコントロール 1[7]	MC1[7]	8	H'FB2E	HCAN	16	5
メッセージコントロール 1[8]	MC1[8]	8	H'FB2F	HCAN	16	5
メッセージコントロール 2[1]	MC2[1]	8	H'FB30	HCAN	16	5
メッセージコントロール 2[2]	MC2[2]	8	H'FB31	HCAN	16	5
メッセージコントロール 2[3]	MC2[3]	8	H'FB32	HCAN	16	5
メッセージコントロール 2[4]	MC2[4]	8	H'FB33	HCAN	16	5
メッセージコントロール 2[5]	MC2[5]	8	H'FB34	HCAN	16	5
メッセージコントロール 2[6]	MC2[6]	8	H'FB35	HCAN	16	5
メッセージコントロール 2[7]	MC2[7]	8	H'FB36	HCAN	16	5
メッセージコントロール 2[8]	MC2[8]	8	H'FB37	HCAN	16	5
メッセージコントロール 3[1]	MC3[1]	8	H'FB38	HCAN	16	5
メッセージコントロール 3[2]	MC3[2]	8	H'FB39	HCAN	16	5
メッセージコントロール 3[3]	MC3[3]	8	H'FB3A	HCAN	16	5
メッセージコントロール 3[4]	MC3[4]	8	H'FB3B	HCAN	16	5
メッセージコントロール 3[5]	MC3[5]	8	H'FB3C	HCAN	16	5
メッセージコントロール 3[6]	MC3[6]	8	H'FB3D	HCAN	16	5
メッセージコントロール 3[7]	MC3[7]	8	H'FB3E	HCAN	16	5
メッセージコントロール 3[8]	MC3[8]	8	H'FB3F	HCAN	16	5
メッセージコントロール 4[1]	MC4[1]	8	H'FB40	HCAN	16	5
メッセージコントロール 4[2]	MC4[2]	8	H'FB41	HCAN	16	5

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージコントロール 4[3]	MC4[3]	8	H'FB42	HCAN	16	5
メッセージコントロール 4[4]	MC4[4]	8	H'FB43	HCAN	16	5
メッセージコントロール 4[5]	MC4[5]	8	H'FB44	HCAN	16	5
メッセージコントロール 4[6]	MC4[6]	8	H'FB45	HCAN	16	5
メッセージコントロール 4[7]	MC4[7]	8	H'FB46	HCAN	16	5
メッセージコントロール 4[8]	MC4[8]	8	H'FB47	HCAN	16	5
メッセージコントロール 5[1]	MC5[1]	8	H'FB48	HCAN	16	5
メッセージコントロール 5[2]	MC5[2]	8	H'FB49	HCAN	16	5
メッセージコントロール 5[3]	MC5[3]	8	H'FB4A	HCAN	16	5
メッセージコントロール 5[4]	MC5[4]	8	H'FB4B	HCAN	16	5
メッセージコントロール 5[5]	MC5[5]	8	H'FB4C	HCAN	16	5
メッセージコントロール 5[6]	MC5[6]	8	H'FB4D	HCAN	16	5
メッセージコントロール 5[7]	MC5[7]	8	H'FB4E	HCAN	16	5
メッセージコントロール 5[8]	MC5[8]	8	H'FB4F	HCAN	16	5
メッセージコントロール 6[1]	MC6[1]	8	H'FB50	HCAN	16	5
メッセージコントロール 6[2]	MC6[2]	8	H'FB51	HCAN	16	5
メッセージコントロール 6[3]	MC6[3]	8	H'FB52	HCAN	16	5
メッセージコントロール 6[4]	MC6[4]	8	H'FB53	HCAN	16	5
メッセージコントロール 6[5]	MC6[5]	8	H'FB54	HCAN	16	5
メッセージコントロール 6[6]	MC6[6]	8	H'FB55	HCAN	16	5
メッセージコントロール 6[7]	MC6[7]	8	H'FB56	HCAN	16	5
メッセージコントロール 6[8]	MC6[8]	8	H'FB57	HCAN	16	5
メッセージコントロール 7[1]	MC7[1]	8	H'FB58	HCAN	16	5
メッセージコントロール 7[2]	MC7[2]	8	H'FB59	HCAN	16	5
メッセージコントロール 7[3]	MC7[3]	8	H'FB5A	HCAN	16	5
メッセージコントロール 7[4]	MC7[4]	8	H'FB5B	HCAN	16	5
メッセージコントロール 7[5]	MC7[5]	8	H'FB5C	HCAN	16	5
メッセージコントロール 7[6]	MC7[6]	8	H'FB5D	HCAN	16	5
メッセージコントロール 7[7]	MC7[7]	8	H'FB5E	HCAN	16	5
メッセージコントロール 7[8]	MC7[8]	8	H'FB5F	HCAN	16	5
メッセージコントロール 8[1]	MC8[1]	8	H'FB60	HCAN	16	5
メッセージコントロール 8[2]	MC8[2]	8	H'FB61	HCAN	16	5
メッセージコントロール 8[3]	MC8[3]	8	H'FB62	HCAN	16	5
メッセージコントロール 8[4]	MC8[4]	8	H'FB63	HCAN	16	5
メッセージコントロール 8[5]	MC8[5]	8	H'FB64	HCAN	16	5
メッセージコントロール 8[6]	MC8[6]	8	H'FB65	HCAN	16	5

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージコントロール 8[7]	MC8[7]	8	H'FB66	HCAN	16	5
メッセージコントロール 8[8]	MC8[8]	8	H'FB67	HCAN	16	5
メッセージコントロール 9[1]	MC9[1]	8	H'FB68	HCAN	16	5
メッセージコントロール 9[2]	MC9[2]	8	H'FB69	HCAN	16	5
メッセージコントロール 9[3]	MC9[3]	8	H'FB6A	HCAN	16	5
メッセージコントロール 9[4]	MC9[4]	8	H'FB6B	HCAN	16	5
メッセージコントロール 9[5]	MC9[5]	8	H'FB6C	HCAN	16	5
メッセージコントロール 9[6]	MC9[6]	8	H'FB6D	HCAN	16	5
メッセージコントロール 9[7]	MC9[7]	8	H'FB6E	HCAN	16	5
メッセージコントロール 9[8]	MC9[8]	8	H'FB6F	HCAN	16	5
メッセージコントロール 10[1]	MC10[1]	8	H'FB70	HCAN	16	5
メッセージコントロール 10[2]	MC10[2]	8	H'FB71	HCAN	16	5
メッセージコントロール 10[3]	MC10[3]	8	H'FB72	HCAN	16	5
メッセージコントロール 10[4]	MC10[4]	8	H'FB73	HCAN	16	5
メッセージコントロール 10[5]	MC10[5]	8	H'FB74	HCAN	16	5
メッセージコントロール 10[6]	MC10[6]	8	H'FB75	HCAN	16	5
メッセージコントロール 10[7]	MC10[7]	8	H'FB76	HCAN	16	5
メッセージコントロール 10[8]	MC10[8]	8	H'FB77	HCAN	16	5
メッセージコントロール 11[1]	MC11[1]	8	H'FB78	HCAN	16	5
メッセージコントロール 11[2]	MC11[2]	8	H'FB79	HCAN	16	5
メッセージコントロール 11[3]	MC11[3]	8	H'FB7A	HCAN	16	5
メッセージコントロール 11[4]	MC11[4]	8	H'FB7B	HCAN	16	5
メッセージコントロール 11[5]	MC11[5]	8	H'FB7C	HCAN	16	5
メッセージコントロール 11[6]	MC11[6]	8	H'FB7D	HCAN	16	5
メッセージコントロール 11[7]	MC11[7]	8	H'FB7E	HCAN	16	5
メッセージコントロール 11[8]	MC11[8]	8	H'FB7F	HCAN	16	5
メッセージコントロール 12[1]	MC12[1]	8	H'FB80	HCAN	16	5
メッセージコントロール 12[2]	MC12[2]	8	H'FB81	HCAN	16	5
メッセージコントロール 12[3]	MC12[3]	8	H'FB82	HCAN	16	5
メッセージコントロール 12[4]	MC12[4]	8	H'FB83	HCAN	16	5
メッセージコントロール 12[5]	MC12[5]	8	H'FB84	HCAN	16	5
メッセージコントロール 12[6]	MC12[6]	8	H'FB85	HCAN	16	5
メッセージコントロール 12[7]	MC12[7]	8	H'FB86	HCAN	16	5
メッセージコントロール 12[8]	MC12[8]	8	H'FB87	HCAN	16	5
メッセージコントロール 13[1]	MC13[1]	8	H'FB88	HCAN	16	5
メッセージコントロール 13[2]	MC13[2]	8	H'FB89	HCAN	16	5

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージコントロール 13[3]	MC13[3]	8	H'FB8A	HCAN	16	5
メッセージコントロール 13[4]	MC13[4]	8	H'FB8B	HCAN	16	5
メッセージコントロール 13[5]	MC13[5]	8	H'FB8C	HCAN	16	5
メッセージコントロール 13[6]	MC13[6]	8	H'FB8D	HCAN	16	5
メッセージコントロール 13[7]	MC13[7]	8	H'FB8E	HCAN	16	5
メッセージコントロール 13[8]	MC13[8]	8	H'FB8F	HCAN	16	5
メッセージコントロール 14[1]	MC14[1]	8	H'FB90	HCAN	16	5
メッセージコントロール 14[2]	MC14[2]	8	H'FB91	HCAN	16	5
メッセージコントロール 14[3]	MC14[3]	8	H'FB92	HCAN	16	5
メッセージコントロール 14[4]	MC14[4]	8	H'FB93	HCAN	16	5
メッセージコントロール 14[5]	MC14[5]	8	H'FB94	HCAN	16	5
メッセージコントロール 14[6]	MC14[6]	8	H'FB95	HCAN	16	5
メッセージコントロール 14[7]	MC14[7]	8	H'FB96	HCAN	16	5
メッセージコントロール 14[8]	MC14[8]	8	H'FB97	HCAN	16	5
メッセージコントロール 15[1]	MC15[1]	8	H'FB98	HCAN	16	5
メッセージコントロール 15[2]	MC15[2]	8	H'FB99	HCAN	16	5
メッセージコントロール 15[3]	MC15[3]	8	H'FB9A	HCAN	16	5
メッセージコントロール 15[4]	MC15[4]	8	H'FB9B	HCAN	16	5
メッセージコントロール 15[5]	MC15[5]	8	H'FB9C	HCAN	16	5
メッセージコントロール 15[6]	MC15[6]	8	H'FB9D	HCAN	16	5
メッセージコントロール 15[7]	MC15[7]	8	H'FB9E	HCAN	16	5
メッセージコントロール 15[8]	MC15[8]	8	H'FB9F	HCAN	16	5
メッセージデータ 0[1]	MD0[1]	8	H'FBB0	HCAN	16	5
メッセージデータ 0[2]	MD0[2]	8	H'FBB1	HCAN	16	5
メッセージデータ 0[3]	MD0[3]	8	H'FBB2	HCAN	16	5
メッセージデータ 0[4]	MD0[4]	8	H'FBB3	HCAN	16	5
メッセージデータ 0[5]	MD0[5]	8	H'FBB4	HCAN	16	5
メッセージデータ 0[6]	MD0[6]	8	H'FBB5	HCAN	16	5
メッセージデータ 0[7]	MD0[7]	8	H'FBB6	HCAN	16	5
メッセージデータ 0[8]	MD0[8]	8	H'FBB7	HCAN	16	5
メッセージデータ 1[1]	MD1[1]	8	H'FBB8	HCAN	16	5
メッセージデータ 1[2]	MD1[2]	8	H'FBB9	HCAN	16	5
メッセージデータ 1[3]	MD1[3]	8	H'FBBA	HCAN	16	5
メッセージデータ 1[4]	MD1[4]	8	H'FBBB	HCAN	16	5
メッセージデータ 1[5]	MD1[5]	8	H'FBBC	HCAN	16	5
メッセージデータ 1[6]	MD1[6]	8	H'FBBD	HCAN	16	5

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージデータ 1[7]	MD1[7]	8	H'FBBE	HCAN	16	5
メッセージデータ 1[8]	MD1[8]	8	H'FBBF	HCAN	16	5
メッセージデータ 2[1]	MD2[1]	8	H'FBC0	HCAN	16	5
メッセージデータ 2[2]	MD2[2]	8	H'FBC1	HCAN	16	5
メッセージデータ 2[3]	MD2[3]	8	H'FBC2	HCAN	16	5
メッセージデータ 2[4]	MD2[4]	8	H'FBC3	HCAN	16	5
メッセージデータ 2[5]	MD2[5]	8	H'FBC4	HCAN	16	5
メッセージデータ 2[6]	MD2[6]	8	H'FBC5	HCAN	16	5
メッセージデータ 2[7]	MD2[7]	8	H'FBC6	HCAN	16	5
メッセージデータ 2[8]	MD2[8]	8	H'FBC7	HCAN	16	5
メッセージデータ 3[1]	MD3[1]	8	H'FBC8	HCAN	16	5
メッセージデータ 3[2]	MD3[2]	8	H'FBC9	HCAN	16	5
メッセージデータ 3[3]	MD3[3]	8	H'FBCA	HCAN	16	5
メッセージデータ 3[4]	MD3[4]	8	H'FBCB	HCAN	16	5
メッセージデータ 3[5]	MD3[5]	8	H'FBCC	HCAN	16	5
メッセージデータ 3[6]	MD3[6]	8	H'FBCE	HCAN	16	5
メッセージデータ 3[7]	MD3[7]	8	H'FBCE	HCAN	16	5
メッセージデータ 3[8]	MD3[8]	8	H'FBCF	HCAN	16	5
メッセージデータ 4[1]	MD4[1]	8	H'FBD0	HCAN	16	5
メッセージデータ 4[2]	MD4[2]	8	H'FBD1	HCAN	16	5
メッセージデータ 4[3]	MD4[3]	8	H'FBD2	HCAN	16	5
メッセージデータ 4[4]	MD4[4]	8	H'FBD3	HCAN	16	5
メッセージデータ 4[5]	MD4[5]	8	H'FBD4	HCAN	16	5
メッセージデータ 4[6]	MD4[6]	8	H'FBD5	HCAN	16	5
メッセージデータ 4[7]	MD4[7]	8	H'FBD6	HCAN	16	5
メッセージデータ 4[8]	MD4[8]	8	H'FBD7	HCAN	16	5
メッセージデータ 5[1]	MD5[1]	8	H'FBD8	HCAN	16	5
メッセージデータ 5[2]	MD5[2]	8	H'FBD9	HCAN	16	5
メッセージデータ 5[3]	MD5[3]	8	H'FBDA	HCAN	16	5
メッセージデータ 5[4]	MD5[4]	8	H'FBDB	HCAN	16	5
メッセージデータ 5[5]	MD5[5]	8	H'FBDC	HCAN	16	5
メッセージデータ 5[6]	MD5[6]	8	H'FBDD	HCAN	16	5
メッセージデータ 5[7]	MD5[7]	8	H'FBDE	HCAN	16	5
メッセージデータ 5[8]	MD5[8]	8	H'FBDF	HCAN	16	5
メッセージデータ 6[1]	MD6[1]	8	H'FBE0	HCAN	16	5
メッセージデータ 6[2]	MD6[2]	8	H'FBE1	HCAN	16	5

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージデータ 6[3]	MD6[3]	8	H'FBE2	HCAN	16	5
メッセージデータ 6[4]	MD6[4]	8	H'FBE3	HCAN	16	5
メッセージデータ 6[5]	MD6[5]	8	H'FBE4	HCAN	16	5
メッセージデータ 6[6]	MD6[6]	8	H'FBE5	HCAN	16	5
メッセージデータ 6[7]	MD6[7]	8	H'FBE6	HCAN	16	5
メッセージデータ 6[8]	MD6[8]	8	H'FBE7	HCAN	16	5
メッセージデータ 7[1]	MD7[1]	8	H'FBE8	HCAN	16	5
メッセージデータ 7[2]	MD7[2]	8	H'FBE9	HCAN	16	5
メッセージデータ 7[3]	MD7[3]	8	H'FBEA	HCAN	16	5
メッセージデータ 7[4]	MD7[4]	8	H'FBEB	HCAN	16	5
メッセージデータ 7[5]	MD7[5]	8	H'FBEC	HCAN	16	5
メッセージデータ 7[6]	MD7[6]	8	H'FBED	HCAN	16	5
メッセージデータ 7[7]	MD7[7]	8	H'FBEE	HCAN	16	5
メッセージデータ 7[8]	MD7[8]	8	H'FBEF	HCAN	16	5
メッセージデータ 8[1]	MD8[1]	8	H'FBF0	HCAN	16	5
メッセージデータ 8[2]	MD8[2]	8	H'FBF1	HCAN	16	5
メッセージデータ 8[3]	MD8[3]	8	H'FBF2	HCAN	16	5
メッセージデータ 8[4]	MD8[4]	8	H'FBF3	HCAN	16	5
メッセージデータ 8[5]	MD8[5]	8	H'FBF4	HCAN	16	5
メッセージデータ 8[6]	MD8[6]	8	H'FBF5	HCAN	16	5
メッセージデータ 8[7]	MD8[7]	8	H'FBF6	HCAN	16	5
メッセージデータ 8[8]	MD8[8]	8	H'FBF7	HCAN	16	5
メッセージデータ 9[1]	MD9[1]	8	H'FBF8	HCAN	16	5
メッセージデータ 9[2]	MD9[2]	8	H'FBF9	HCAN	16	5
メッセージデータ 9[3]	MD9[3]	8	H'FBFA	HCAN	16	5
メッセージデータ 9[4]	MD9[4]	8	H'FBFB	HCAN	16	5
メッセージデータ 9[5]	MD9[5]	8	H'FBFC	HCAN	16	5
メッセージデータ 9[6]	MD9[6]	8	H'FBFD	HCAN	16	5
メッセージデータ 9[7]	MD9[7]	8	H'FBFE	HCAN	16	5
メッセージデータ 9[8]	MD9[8]	8	H'FBFF	HCAN	16	5
メッセージデータ 10[1]	MD10[1]	8	H'FC00	HCAN	16	5
メッセージデータ 10[2]	MD10[2]	8	H'FC01	HCAN	16	5
メッセージデータ 10[3]	MD10[3]	8	H'FC02	HCAN	16	5
メッセージデータ 10[4]	MD10[4]	8	H'FC03	HCAN	16	5
メッセージデータ 10[5]	MD10[5]	8	H'FC04	HCAN	16	5
メッセージデータ 10[6]	MD10[6]	8	H'FC05	HCAN	16	5

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージデータ 10[7]	MD10[7]	8	H'FC06	HCAN	16	5
メッセージデータ 10[8]	MD10[8]	8	H'FC07	HCAN	16	5
メッセージデータ 11[1]	MD11[1]	8	H'FC08	HCAN	16	5
メッセージデータ 11[2]	MD11[2]	8	H'FC09	HCAN	16	5
メッセージデータ 11[3]	MD11[3]	8	H'FC0A	HCAN	16	5
メッセージデータ 11[4]	MD11[4]	8	H'FC0B	HCAN	16	5
メッセージデータ 11[5]	MD11[5]	8	H'FC0C	HCAN	16	5
メッセージデータ 11[6]	MD11[6]	8	H'FC0D	HCAN	16	5
メッセージデータ 11[7]	MD11[7]	8	H'FC0E	HCAN	16	5
メッセージデータ 11[8]	MD11[8]	8	H'FC0F	HCAN	16	5
メッセージデータ 12[1]	MD12[1]	8	H'FC10	HCAN	16	5
メッセージデータ 12[2]	MD12[2]	8	H'FC11	HCAN	16	5
メッセージデータ 12[3]	MD12[3]	8	H'FC12	HCAN	16	5
メッセージデータ 12[4]	MD12[4]	8	H'FC13	HCAN	16	5
メッセージデータ 12[5]	MD12[5]	8	H'FC14	HCAN	16	5
メッセージデータ 12[6]	MD12[6]	8	H'FC15	HCAN	16	5
メッセージデータ 12[7]	MD12[7]	8	H'FC16	HCAN	16	5
メッセージデータ 12[8]	MD12[8]	8	H'FC17	HCAN	16	5
メッセージデータ 13[1]	MD13[1]	8	H'FC18	HCAN	16	5
メッセージデータ 13[2]	MD13[2]	8	H'FC19	HCAN	16	5
メッセージデータ 13[3]	MD13[3]	8	H'FC1A	HCAN	16	5
メッセージデータ 13[4]	MD13[4]	8	H'FC1B	HCAN	16	5
メッセージデータ 13[5]	MD13[5]	8	H'FC1C	HCAN	16	5
メッセージデータ 13[6]	MD13[6]	8	H'FC1D	HCAN	16	5
メッセージデータ 13[7]	MD13[7]	8	H'FC1E	HCAN	16	5
メッセージデータ 13[8]	MD13[8]	8	H'FC1F	HCAN	16	5
メッセージデータ 14[1]	MD14[1]	8	H'FC20	HCAN	16	5
メッセージデータ 14[2]	MD14[2]	8	H'FC21	HCAN	16	5
メッセージデータ 14[3]	MD14[3]	8	H'FC22	HCAN	16	5
メッセージデータ 14[4]	MD14[4]	8	H'FC23	HCAN	16	5
メッセージデータ 14[5]	MD14[5]	8	H'FC24	HCAN	16	5
メッセージデータ 14[6]	MD14[6]	8	H'FC25	HCAN	16	5
メッセージデータ 14[7]	MD14[7]	8	H'FC26	HCAN	16	5
メッセージデータ 14[8]	MD14[8]	8	H'FC27	HCAN	16	5
メッセージデータ 15[1]	MD15[1]	8	H'FC28	HCAN	16	5
メッセージデータ 15[2]	MD15[2]	8	H'FC29	HCAN	16	5

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
メッセージデータ 15[3]	MD15[3]	8	H'FC2A	HCAN	16	5
メッセージデータ 15[4]	MD15[4]	8	H'FC2B	HCAN	16	5
メッセージデータ 15[5]	MD15[5]	8	H'FC2C	HCAN	16	5
メッセージデータ 15[6]	MD15[6]	8	H'FC2D	HCAN	16	5
メッセージデータ 15[7]	MD15[7]	8	H'FC2E	HCAN	16	5
メッセージデータ 15[8]	MD15[8]	8	H'FC2F	HCAN	16	5
D/A データレジスタ 0	DADR0	8	H'FDAC	D/A 変換器	8	2
D/A データレジスタ 1	DADR1	8	H'FDAD	D/A 変換器	8	2
D/A コントロールレジスタ	DACR	8	H'FDAE	D/A 変換器	8	2
タイマコントロールレジスタ_2	TCR_2	8	H'FDC0	TMR_2	8/16	2
タイマコントロールレジスタ_3	TCR_3	8	H'FDC1	TMR_3	8/16	2
タイマコントロール/ステータスレジスタ_2	TCSR_2	8	H'FDC2	TMR_2	8/16	2
タイマコントロール/ステータスレジスタ_3	TCSR_3	8	H'FDC3	TMR_3	8/16	2
タイムコンスタントレジスタ A_2	TCORA_2	8	H'FDC4	TMR_2	8/16	2
タイムコンスタントレジスタ A_3	TCORA_3	8	H'FDC5	TMR_3	8/16	2
タイムコンスタントレジスタ B_2	TCORB_2	8	H'FDC6	TMR_2	8/16	2
タイムコンスタントレジスタ B_3	TCORB_3	8	H'FDC7	TMR_3	8/16	2
タイマカウンタ_2	TCNT_2	8	H'FDC8	TMR_2	8/16	2
タイマカウンタ_3	TCNT_3	8	H'FDC9	TMR_3	8/16	2
シリアルモードレジスタ_3	SMR_3	8	H'FDD0	SCI_3	8	2
ビットレートレジスタ_3	BRR_3	8	H'FDD1	SCI_3	8	2
シリアルコントロールレジスタ_3	SCR_3	8	H'FDD2	SCI_3	8	2
トランスミットデータレジスタ_3	TDR_3	8	H'FDD3	SCI_3	8	2
シリアルステータスレジスタ_3	SSR_3	8	H'FDD4	SCI_3	8	2
レシーブデータレジスタ_3	RDR_3	8	H'FDD5	SCI_3	8	2
スマートカードモードレジスタ_3	SCMR_3	8	H'FDD6	SCI_3	8	2
シリアルモードレジスタ_4	SMR_4	8	H'FDD8	SCI_4	8	2
ビットレートレジスタ_4	BRR_4	8	H'FDD9	SCI_4	8	2
シリアルコントロールレジスタ_4	SCR_4	8	H'FDDA	SCI_4	8	2
トランスミットデータレジスタ_4	TDR_4	8	H'FDDB	SCI_4	8	2
シリアルステータスレジスタ_4	SSR_4	8	H'FDDC	SCI_4	8	2
レシーブデータレジスタ_4	RDR_4	8	H'FDDD	SCI_4	8	2
スマートカードモードレジスタ_4	SCMR_4	8	H'FDDE	SCI_4	8	2
IC パワーコントロールレジスタ	ICPCR	8	H'FDE1	PORT	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FDE2	FLASH	8	2
スタンバイコントロールレジスタ	SBYCR	8	H'FDE4	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FDE5	SYSTEM	8	2

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
システムクロックコントロールレジスタ	SCKCR	8	H'FDE6	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FDE7	SYSTEM	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FDE8	SYSTEM	8	2
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FDE9	SYSTEM	8	2
モジュールストップコントロールレジスタ C	MSTPCRC	8	H'FDEA	SYSTEM	8	2
端子機能コントロールレジスタ	PFGR	8	H'FDEB	BSC	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FDEC	SYSTEM	8	2
ブ레이크アドレスレジスタ A	BARA	32	H'FE00	PBC	8/16	2
ブ레이크アドレスレジスタ B	BARB	32	H'FE04	PBC	8/16	2
ブ레이크コントロールレジスタ A	BCRA	8	H'FE08	PBC	8/16	2
ブ레이크コントロールレジスタ B	BCRB	8	H'FE09	PBC	8/16	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FE12	INT	8	2
IRQ センスコントロールレジスタ L	ISCLR	8	H'FE13	INT	8	2
IRQ イネーブルレジスタ	IER	8	H'FE14	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FE15	INT	8	2
DTC イネーブルレジスタ A	DTCERA	8	H'FE16	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FE17	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FE18	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FE19	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FE1A	DTC	8	2
DTC イネーブルレジスタ F	DTCERF	8	H'FE1B	DTC	8	2
DTC イネーブルレジスタ G	DTCERG	8	H'FE1C	DTC	8	2
DTC イネーブルレジスタ I	DTCERI	8	H'FE1E	DTC	8	2
DTC ベクタレジスタ	DTVECR	8	H'FE1F	DTC	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE30	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FE31	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE32	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FE34	PORT	8	2
ポート 7 データディレクションレジスタ	P7DDR	8	H'FE36	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FE39	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FE3A	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE3B	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'FE3C	PORT	8	2
ポート E データディレクションレジスタ	PEDDR	8	H'FE3D	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE3E	PORT	8	2
ポート G データディレクションレジスタ	PGDDR	8	H'FE3F	PORT	8	2

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ポートA ブルアップMOS コントロールレジスタ	PAPCR	8	H'FE40	PORT	8	2
ポートB ブルアップMOS コントロールレジスタ	PBPCR	8	H'FE41	PORT	8	2
ポートC ブルアップMOS コントロールレジスタ	PCPCR	8	H'FE42	PORT	8	2
ポートD ブルアップMOS コントロールレジスタ	PDPCR	8	H'FE43	PORT	8	2
ポートE ブルアップMOS コントロールレジスタ	PEPCR	8	H'FE44	PORT	8	2
ポート3 オープンドレインコントロールレジスタ	P3ODR	8	H'FE46	PORT	8	2
ポートA オープンドレインコントロールレジスタ	PAODR	8	H'FE47	PORT	8	2
タイマコントロールレジスタ_3	TCR_3	8	H'FE80	TPU_3	8/16	2
タイマモードレジスタ_3	TMDR_3	8	H'FE81	TPU_3	8/16	2
タイマI/O コントロールレジスタH_3	TIORH_3	8	H'FE82	TPU_3	8/16	2
タイマI/O コントロールレジスタL_3	TIORL_3	8	H'FE83	TPU_3	8/16	2
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FE84	TPU_3	8/16	2
タイマステータスレジスタ_3	TSR_3	8	H'FE85	TPU_3	8/16	2
タイマカウンタ_3	TCNT_3	16	H'FE86	TPU_3	16	2
タイマジェネラルレジスタA_3	TGRA_3	16	H'FE88	TPU_3	16	2
タイマジェネラルレジスタB_3	TGRB_3	16	H'FE8A	TPU_3	16	2
タイマジェネラルレジスタC_3	TGRC_3	16	H'FE8C	TPU_3	16	2
タイマジェネラルレジスタD_3	TGRD_3	16	H'FE8E	TPU_3	16	2
タイマコントロールレジスタ_4	TCR_4	8	H'FE90	TPU_4	8/16	2
タイマモードレジスタ_4	TMDR_4	8	H'FE91	TPU_4	8/16	2
タイマI/O コントロールレジスタ_4	TIOR_4	8	H'FE92	TPU_4	8/16	2
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FE94	TPU_4	8/16	2
タイマステータスレジスタ_4	TSR_4	8	H'FE95	TPU_4	8/16	2
タイマカウンタ_4	TCNT_4	16	H'FE96	TPU_4	16	2
タイマジェネラルレジスタA_4	TGRA_4	16	H'FE98	TPU_4	16	2
タイマジェネラルレジスタB_4	TGRB_4	16	H'FE9A	TPU_4	16	2
タイマコントロールレジスタ_5	TCR_5	8	H'FEA0	TPU_5	8/16	2
タイマモードレジスタ_5	TMDR_5	8	H'FEA1	TPU_5	8/16	2
タイマI/O コントロールレジスタ_5	TIOR_5	8	H'FEA2	TPU_5	8/16	2
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FEA4	TPU_5	8/16	2
タイマステータスレジスタ_5	TSR_5	8	H'FEA5	TPU_5	8/16	2
タイマカウンタ_5	TCNT_5	16	H'FEA6	TPU_5	16	2
タイマジェネラルレジスタA_5	TGRA_5	16	H'FEA8	TPU_5	16	2
タイマジェネラルレジスタB_5	TGRB_5	16	H'FEAA	TPU_5	16	2
タイマスタートレジスタ	TSTR	8	H'FEB0	TPU	8/16	2
タイマシンクロレジスタ	TSYR	8	H'FEB1	TPU	8/16	2

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
インタラプトプライオリティレジスタ A	IPRA	8	H'FEC0	INT	8	2
インタラプトプライオリティレジスタ B	IPRB	8	H'FEC1	INT	8	2
インタラプトプライオリティレジスタ C	IPRC	8	H'FEC2	INT	8	2
インタラプトプライオリティレジスタ D	IPRD	8	H'FEC3	INT	8	2
インタラプトプライオリティレジスタ E	IPRE	8	H'FEC4	INT	8	2
インタラプトプライオリティレジスタ F	IPRF	8	H'FEC5	INT	8	2
インタラプトプライオリティレジスタ G	IPRG	8	H'FEC6	INT	8	2
インタラプトプライオリティレジスタ H	IPRH	8	H'FEC7	INT	8	2
インタラプトプライオリティレジスタ I	IPRI	8	H'FEC8	INT	8	2
インタラプトプライオリティレジスタ J	IPRJ	8	H'FEC9	INT	8	2
インタラプトプライオリティレジスタ K	IPRK	8	H'FECA	INT	8	2
インタラプトプライオリティレジスタ L	IPRL	8	H'FECB	INT	8	2
インタラプトプライオリティレジスタ M	IPRM	8	H'FECC	INT	8	2
インタラプトプライオリティレジスタ O	IPRO	8	H'FECE	INT	8	2
バス幅コントロールレジスタ	ABWCR	8	H'FED0	BSC	8	2
アクセスステートコントロールレジスタ	ASTCR	8	H'FED1	BSC	8	2
ウェイトコントロールレジスタ H	WCRH	8	H'FED2	BSC	8	2
ウェイトコントロールレジスタ L	WCRL	8	H'FED3	BSC	8	2
バスコントロールレジスタ H	BCRH	8	H'FED4	BSC	8	2
バスコントロールレジスタ L	BCRL	8	H'FED5	BSC	8	2
RAM エミュレーションレジスタ	RAMER	8	H'FEDB	FLASH	8	2
ポート 1 データレジスタ	P1DR	8	H'FF00	PORT	8	2
ポート 2 データレジスタ	P2DR	8	H'FF01	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FF02	PORT	8	2
ポート 5 データレジスタ	P5DR	8	H'FF04	PORT	8	2
ポート 7 データレジスタ	P7DR	8	H'FF06	PORT	8	2
ポート A データレジスタ	PADR	8	H'FF09	PORT	8	2
ポート B データレジスタ	PBDR	8	H'FF0A	PORT	8	2
ポート C データレジスタ	PCDR	8	H'FF0B	PORT	8	2
ポート D データレジスタ	PDDR	8	H'FF0C	PORT	8	2
ポート E データレジスタ	PEDR	8	H'FF0D	PORT	8	2
ポート F データレジスタ	PFDR	8	H'FF0E	PORT	8	2
ポート G データレジスタ	PGDR	8	H'FF0F	PORT	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FF10	TPU_0	8/16	2
タイマモードレジスタ_0	TMDR_0	8	H'FF11	TPU_0	8/16	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FF12	TPU_0	8/16	2

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FF13	TPU_0	8/16	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FF14	TPU_0	8/16	2
タイマステータスレジスタ_0	TSR_0	8	H'FF15	TPU_0	8/16	2
タイマカウンタ_0	TCNT_0	16	H'FF16	TPU_0	16	2
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FF18	TPU_0	16	2
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FF1A	TPU_0	16	2
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FF1C	TPU_0	16	2
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FF1E	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF20	TPU_1	8/16	2
タイマモードレジスタ_1	TMDR_1	8	H'FF21	TPU_1	8/16	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FF22	TPU_1	8/16	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FF24	TPU_1	8/16	2
タイマステータスレジスタ_1	TSR_1	8	H'FF25	TPU_1	8/16	2
タイマカウンタ_1	TCNT_1	16	H'FF26	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FF28	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FF2A	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FF30	TPU_2	8/16	2
タイマモードレジスタ_2	TMDR_2	8	H'FF31	TPU_2	8/16	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FF32	TPU_2	8/16	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FF34	TPU_2	8/16	2
タイマステータスレジスタ_2	TSR_2	8	H'FF35	TPU_2	8/16	2
タイマカウンタ_2	TCNT_2	16	H'FF36	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FF38	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FF3A	TPU_2	16	2
タイマコントロールレジスタ_0	TCR_0	8	H'FF68	TMR_0	8/16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF69	TMR_1	8/16	2
タイマコントロール / ステータスレジスタ_0	TCSR_0	8	H'FF6A	TMR_0	8/16	2
タイマコントロール / ステータスレジスタ_1	TCSR_1	8	H'FF6B	TMR_1	8/16	2
タイマコンスタントレジスタ A_0	TCORA_0	8	H'FF6C	TMR_0	8/16	2
タイマコンスタントレジスタ A_1	TCORA_1	8	H'FF6D	TMR_1	8/16	2
タイマコンスタントレジスタ B_0	TCORB_0	8	H'FF6E	TMR_0	8/16	2
タイマコンスタントレジスタ B_1	TCORB_1	8	H'FF6F	TMR_1	8/16	2
タイマカウンタ_0	TCNT_0	8	H'FF70	TMR_0	8/16	2
タイマカウンタ_1	TCNT_1	8	H'FF71	TMR_1	8/16	2
タイマコントロール / ステータスレジスタ_0	TCSR_0	8	H'FF74	WDT_0	16	2

23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_0	TCNT_0	8	H'FF74 (ライト時)	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FF75 (リード時)	WDT_0	16	2
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FF76 (ライト時)	WDT_0	16	2
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FF77 (リード時)	WDT_0	16	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78	SCI_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79	SCI_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	SCI_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	SCI_1	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FF88	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FF89	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	SCI_2	8	2
A/D データレジスタ AH	ADDRAH	8	H'FF90	A/D	8	2
A/D データレジスタ AL	ADDRAL	8	H'FF91	A/D	8	2
A/D データレジスタ BH	ADDRBH	8	H'FF92	A/D	8	2
A/D データレジスタ BL	ADDRBL	8	H'FF93	A/D	8	2
A/D データレジスタ CH	ADDRCH	8	H'FF94	A/D	8	2
A/D データレジスタ CL	ADDRCL	8	H'FF95	A/D	8	2
A/D データレジスタ DH	ADDRDH	8	H'FF96	A/D	8	2

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
A/D データレジスタ DL	ADDRDL	8	H'FF97	A/D	8	2
A/D コントロール / ステータスレジスタ	ADCSR	8	H'FF98	A/D	8	2
A/D コントロールレジスタ	ADCR	8	H'FF99	A/D	8	2
タイマコントロール / ステータスレジスタ_1	TCSR_1	8	H'FFA2	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFA2 (ライト時)	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFA3 (リード時)	WDT_1	16	2
フラッシュコードコントロールステータス レジスタ	FCCS	8	H'FFA4	FLASH	8	2
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FFA5	FLASH	8	2
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFA6	FLASH	8	2
フラッシュキーコードレジスタ	FKEY	8	H'FFA8	FLASH	8	2
フラッシュマットセレクトレジスタ	FMATS	8	H'FFA9	FLASH	8	2
フラッシュトランスファデスティネーション アドレスレジスタ	FTDAR	8	H'FFAA	FLASH	8	2
フラッシュベクタアドレスコードコントロール レジスタ	FVACR	8	H'FFAB	FLASH	8	2
フラッシュベクタアドレスデータレジスタ R	FVADRR	8	H'FFAC	FLASH	8	2
フラッシュベクタアドレスデータレジスタ E	FVADRE	8	H'FFAD	FLASH	8	2
フラッシュベクタアドレスデータレジスタ H	FVADRH	8	H'FFAE	FLASH	8	2
フラッシュベクタアドレスデータレジスタ L	FVADRL	8	H'FFAF	FLASH	8	2
ポート 1 レジスタ	PORT1	8	H'FFB0	PORT	8	2
ポート 2 レジスタ	PORT2	8	H'FFB1	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FFB2	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FFB3	PORT	8	2
ポート 5 レジスタ	PORT5	8	H'FFB4	PORT	8	2
ポート 7 レジスタ	PORT7	8	H'FFB6	PORT	8	2
ポート 9 レジスタ	PORT9	8	H'FFB8	PORT	8	2
ポート A レジスタ	PORTA	8	H'FFB9	PORT	8	2
ポート B レジスタ	PORTB	8	H'FFBA	PORT	8	2
ポート C レジスタ	PORTC	8	H'FFBB	PORT	8	2
ポート D レジスタ	PORTD	8	H'FFBC	PORT	8	2
ポート E レジスタ	PORTE	8	H'FFBD	PORT	8	2
ポート F レジスタ	PORTF	8	H'FFBE	PORT	8	2
ポート G レジスタ	PORTG	8	H'FFBF	PORT	8	2

【注】 *1 アドレスの下位 16 ビットを示しています。

23. レジスタ一覧

- *2 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。

23.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC
SAR	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MRB	CHNE	DISEL							
DAR	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
CRA	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
CRB	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IECTR	IEE	IOL	DEE	CKS1	RE	LUEE	CKS0		IEB
IECMR						CMD2	CMD1	CMD0	
IEMCR	SS	RN2	RN1	RN0	CTL3	CTL2	CTL1	CTL0	
IEAR1	IAR3	IAR2	IAR1	IAR0	IMD1	IMD0		STE	
IEAR2	IAR11	IAR10	IAR9	IAR8	IAR7	IAR6	IAR5	IAR4	
IESA1	ISA3	ISA2	ISA1	ISA0					
IESA2	ISA11	ISA10	ISA9	ISA8	ISA7	ISA6	ISA5	ISA4	
IETBFL	TBFL7	TBFL6	TBFL5	TBFL4	TBFL3	TBFL2	TBFL1	TBFL0	
IETBR	TBR7	TBR6	TBR5	TBR4	TBR3	TBR2	TBR1	TBR0	
IEMA1	IMA3	IMA2	IMA1	IMA0					
IEMA2	IMA11	IMA10	IMA9	IMA8	IMA7	IMA6	IMA5	IMA4	
IERCTL					RCTL3	RCTL2	RCTL1	RCTL0	
IERBFL	RBFL7	RBFL6	RBFL5	RBFL4	RBFL3	RBFL2	RBFL1	RBFL0	
IERBR	RBR7	RBR6	RBR5	RBR4	RBR3	RBR2	RBR1	RBR0	
IELA1	ILA7	ILA6	ILA5	ILA4	ILA3	ILA2	ILA1	ILA0	
IELA2					ILA11	ILA10	ILA9	ILA8	
IEFLG	CMX	MRQ	SRQ	SRE	LCK		RSS	GG	
IETSR	TxRDY				IRA	TxS	TxF	TxE	
IEIET	TxRDYE				IRAE	TxSE	TxFE	TxEE	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IETEF				AL	UE	TIME	RO	ACK	IEB
IERSR	RxRDY					RxS	RxF	RxE	
IEIER	RxRDYE					RxSE	RxFE	RxEE	
IEREF					OVE	RTME	DLE	PE	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	PORT
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
ICCR1_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_0
ICCR2_0	BBSY	SCP	SDAO	SDAOP	SCLO		IICRST		
ICMR_0	MLS	WAIT			BCWP	BC2	BC1	BC0	
ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT_0	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR_0	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
ICCR1_1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_1
ICCR2_1	BBSY	SCP	SDAO	SDAOP	SCLO		IICRST		
ICMR_1	MLS	WAIT			BCWP	BC2	BC1	BC0	
ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT_1	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR_1	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
MCR	MCR7		MCR5			MCR2	MCR1	MCR0	HCAN
GSR					GSR3	GSR2	GSR1	GSR0	
BCR	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
	BCR15	BCR14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8	
MBCR	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1		
	MBCR15	MBCR14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8	
TXPR	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1		
	TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8	
TXCR	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1		
	TXCR15	TXCR14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TXACK	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1		HCAN
	TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8	
ABACK	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1		
	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8	
RXPR	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0	
	RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8	
RFPR	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	
	RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8	
IRR	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
				IRR12			IRR9	IRR8	
MBIMR	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0	
	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8	
IMR	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1		
				IMR12			IMR9	IMR8	
REC	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TEC	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
UMSR	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0	
	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8	
LAFML	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0	
	LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8	
LAFMH	LAFMH7	LAFMH6	LAFMH5				LAFMH1	LAFMH0	
	LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8	
MC0[1]					DLC3	DLC2	DLC1	DLC0	
MC0[2]									
MC0[3]									
MC0[4]									
MC0[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC0[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC0[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC0[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC1[1]					DLC3	DLC2	DLC1	DLC0	
MC1[2]									
MC1[3]									
MC1[4]									
MC1[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC1[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MC1[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	HCAN
MC1[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC2[1]					DLC3	DLC2	DLC1	DLC0	
MC2[2]									
MC2[3]									
MC2[4]									
MC2[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC2[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC2[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC2[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC3[1]					DLC3	DLC2	DLC1	DLC0	
MC3[2]									
MC3[3]									
MC3[4]									
MC3[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC3[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC3[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC3[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC4[1]					DLC3	DLC2	DLC1	DLC0	
MC4[2]									
MC4[3]									
MC4[4]									
MC4[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC4[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC4[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC4[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC5[1]					DLC3	DLC2	DLC1	DLC0	
MC5[2]									
MC5[3]									
MC5[4]									
MC5[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC5[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC5[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC5[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC6[1]					DLC3	DLC2	DLC1	DLC0	
MC6[2]									

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MC6[3]									HCAN
MC6[4]									
MC6[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC6[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC6[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC6[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC7[1]					DLC3	DLC2	DLC1	DLC0	
MC7[2]									
MC7[3]									
MC7[4]									
MC7[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC7[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC7[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC7[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC8[1]					DLC3	DLC2	DLC1	DLC0	
MC8[2]									
MC8[3]									
MC8[4]									
MC8[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC8[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC8[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC8[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC9[1]					DLC3	DLC2	DLC1	DLC0	
MC9[2]									
MC9[3]									
MC9[4]									
MC9[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC9[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC9[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC9[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC10[1]					DLC3	DLC2	DLC1	DLC0	
MC10[2]									
MC10[3]									
MC10[4]									
MC10[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC10[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MC10[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	HCAN
MC10[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC11[1]					DLC3	DLC2	DLC1	DLC0	
MC11[2]									
MC11[3]									
MC11[4]									
MC11[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC11[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC11[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC11[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC12[1]					DLC3	DLC2	DLC1	DLC0	
MC12[2]									
MC12[3]									
MC12[4]									
MC12[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC12[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC12[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC12[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC13[1]					DLC3	DLC2	DLC1	DLC0	
MC13[2]									
MC13[3]									
MC13[4]									
MC13[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC13[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC13[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC13[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC14[1]					DLC3	DLC2	DLC1	DLC0	
MC14[2]									
MC14[3]									
MC14[4]									
MC14[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC14[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC14[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC14[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MC15[1]					DLC3	DLC2	DLC1	DLC0	
MC15[2]									

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MC15[3]									HCAN
MC15[4]									
MC15[5]	ID-20	ID-19	ID-18	RTR	IDE		ID-17	ID-16	
MC15[6]	ID-28	ID-27	ID-26	ID-25	ID-24	ID-23	ID-22	ID-21	
MC15[7]	ID-7	ID-6	ID-5	ID-4	ID-3	ID-2	ID-1	ID-0	
MC15[8]	ID-15	ID-14	ID-13	ID-12	ID-11	ID-10	ID-9	ID-8	
MD0[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD0[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD1[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD2[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD3[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MD3[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	HCAN
MD3[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD4[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD5[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD6[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD7[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MD8[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	HCAN
MD8[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD8[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD9[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD10[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD11[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD12[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MD12[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	HCAN
MD12[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD13[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD14[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[1]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[2]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[3]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[4]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[5]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[6]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[7]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MD15[8]	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DADR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	D/A 変換器
DADR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR	DAOE1	DAOE0	DAE						
TCR_2	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_2
TCR_3	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_3
TCSR_2	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	TMR_2
TCSR_3	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	TMR_3
TCORA_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_2
TCORA_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_3
TCORB_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_2
TCORB_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_3
TCNT_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_2

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCNT_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_3
SMR_3*1	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_3
BRR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_3*1	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_3					SDIR	SINV		SMIF	
SMR_4*1	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_4
BRR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_4*1	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_4					SDIR	SINV		SMIF	
ICPCR					BUFGC2	BUFGC1			PORT
SYSCR2					FLSHE				FLASH
SBYCR	SSBY	STS2	STS1	STS0	OPE				SYSTEM
SYSCR			INTM1	INTM0	NMIEG	MRESE		RAME	
SCKCR	PSTOP				STCS	SCK2	SCK1	SCK0	
MDCR						MDS2	MDS1	MDS0	
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
PFCR			BUZZE		AE3	AE2	AE1	AE0	BSC
LPWRCR	DTON	LSON	NESEL	SUBSTP	RFCUT		STC1	STC0	SYSTEM
BARA									PBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BARB									
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BCRA	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA	PBC
BCRB	CMFB	CDB	BAMRB2	BAMRB1	BAMRB0	CSELB1	CSELB0	BIEB	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	INT
ISCR_L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
DTCEA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCEB		DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCEC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	
DTCED			DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCEE					DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCEF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0	
DTCEG		DTCEG6	DTCEG5		DTCEG3	DTCEG2			
DTCEI	DTCEI7	DTCEI6	DTCEI5	DTCEI4					
DTVEC	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P5DDR						P52DDR	P51DDR	P50DDR	
P7DDR	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR* ²	PF2DDR* ²	PF1DDR	PF0DDR	
PGDDR				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	
PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR	
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
P3ODR	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3
TMDR_3			BFB	BFA	MD3	MD2	MD1	MD0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	TPU_3
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3				TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_4		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4				MD3	MD2	MD1	MD0		
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_4	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_5		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5				MD3	MD2	MD1	MD0		
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_5	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TSTR			CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR			SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
IPRA		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	INT
IPRB		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRC		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRD		IPR6	IPR5	IPR4					
IPRE		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRF		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRG		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRH		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRI		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRJ						IPR2	IPR1	IPR0	
IPRK		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRL		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRM		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRO		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WCRH	W71	W70	W61	W60	W51	W50	W41	W40	
WCRL	W31	W30	W21	W20	W11	W10	W01	W00	
BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0				
BCRL	BRLE							WAITE	
RAMER					RAMS	RAM2	RAM1	RAM0	FLASH
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P5DR						P52DR	P51DR	P50DR	
P7DR	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR	
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PGDR				PG4DR	PG3DR ^{*2}	PG2DR ^{*2}	PG1DR	PG0DR	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0			BFB	BFA	MD3	MD2	MD1	MD0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	TPU_0
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0				TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_1		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1				MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_1	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_2		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2				MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_2	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	TMR_1
TCORA_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCORA_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCORB_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCORB_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCSR_0	OVF	WT / IT	TME			CKS2	CKS1	CKS0	WDT_0
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RSTCSR	WOVF	RSTE	RSTS						
SMR_0* ¹	C/A (GM)	CHR (BLK)	PE (PE)	O/E (O/E)	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_0
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_0* ¹	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_0					SDIR	SINV		SMIF	
SMR_1* ¹	C/A (GM)	CHR (BLK)	PE (PE)	O/E (O/E)	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_1
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_1* ¹	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_1					SDIR	SINV		SMIF	
SMR_2* ¹	C/A (GM)	CHR (BLK)	PE (PE)	O/E (O/E)	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_2
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SSR_2* ¹	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	SCI_2
SCMR_2					SDIR	SINV		SMIF	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
ADDRAL	AD1	AD0							
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0							
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0							
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0							
ADCSR	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0			CKS1	CKS0			
TCSR_1	OVF	WT / \bar{IT}	TME	PSS	RST / \bar{NMI}	CKS2	CKS1	CKS0	WDT_1
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
FCCS				FLER				SCO	FLASH
FPCS								PPVS	
FECS								EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
FVACR	FVCHGE								
FVADRR	Bit31	Bit30	Bit29	Bit28	Bit27	Bit26	Bit25	Bit24	
FVADRE	Bit23	Bit22	Bit21	Bit20	Bit19	Bit18	Bit17	Bit16	
FVADRH	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
FVADRL	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	P37	P36	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT5						P52	P51	P50	
PORT7	P77	P76	P75	P74	P73	P72	P71	P70	
PORT9	P97	P96	P95	P94	P93	P92	P91	P90	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	

23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	PORT
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG				PG4	PG3* ²	PG2* ²	PG1	PG0	

【注】 *1 通常モードとスマートカードインタフェースモードで一部ビット名が異なります。

() : スマートカードインタフェースモード時のビット名

*2 H8S/2556 グループはリザーブビットです。

23.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MRA	初期化							初期化	DTC
SAR	初期化							初期化	
MRB	初期化							初期化	
DAR	初期化							初期化	
CRA	初期化							初期化	
CRB	初期化							初期化	
IECTR	初期化				初期化	初期化	初期化	初期化	IEB
IECMR	初期化				初期化	初期化	初期化	初期化	
IEMCR	初期化				初期化	初期化	初期化	初期化	
IEAR1	初期化				初期化	初期化	初期化	初期化	
IEAR2	初期化				初期化	初期化	初期化	初期化	
IESA1	初期化				初期化	初期化	初期化	初期化	
IESA2	初期化				初期化	初期化	初期化	初期化	
IETBFL	初期化				初期化	初期化	初期化	初期化	
IETBR	初期化				初期化	初期化	初期化	初期化	
IEMA1	初期化				初期化	初期化	初期化	初期化	
IEMA2	初期化				初期化	初期化	初期化	初期化	
IERCTL	初期化				初期化	初期化	初期化	初期化	
IERBFL	初期化				初期化	初期化	初期化	初期化	
IERBR	初期化				初期化	初期化	初期化	初期化	
IELA1	初期化				初期化	初期化	初期化	初期化	
IELA2	初期化				初期化	初期化	初期化	初期化	
IEFLG	初期化				初期化	初期化	初期化	初期化	
IETSR	初期化				初期化	初期化	初期化	初期化	
IEIET	初期化				初期化	初期化	初期化	初期化	
IETEF	初期化				初期化	初期化	初期化	初期化	
IERSR	初期化				初期化	初期化	初期化	初期化	
IEIER	初期化				初期化	初期化	初期化	初期化	
IEREF	初期化				初期化	初期化	初期化	初期化	
PHDDR	初期化*							初期化	PORT
PJDDR	初期化*							初期化	
PHDR	初期化*							初期化	
PJDR	初期化*							初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PORTH	初期化*							初期化	PORT
PORTJ	初期化*							初期化	
ICCR1_0	初期化							初期化	IIC2_0
ICCR2_0	初期化							初期化	
ICMR_0	初期化							初期化	
ICIER_0	初期化							初期化	
ICSR_0	初期化							初期化	
SAR_0	初期化							初期化	
ICDRT_0	初期化							初期化	
ICDRR_0	初期化							初期化	
ICCR1_1	初期化							初期化	IIC2_1
ICCR2_1	初期化							初期化	
ICMR_1	初期化							初期化	
ICIER_1	初期化							初期化	
ICSR_1	初期化							初期化	
SAR_1	初期化							初期化	
ICDRT_1	初期化							初期化	
ICDRR_1	初期化							初期化	
MCR	初期化				初期化	初期化	初期化	初期化	HCAN
GSR	初期化				初期化	初期化	初期化	初期化	
BCR	初期化				初期化	初期化	初期化	初期化	
MBCR	初期化				初期化	初期化	初期化	初期化	
TXPR	初期化				初期化	初期化	初期化	初期化	
TXCR	初期化				初期化	初期化	初期化	初期化	
TXACK	初期化				初期化	初期化	初期化	初期化	
ABACK	初期化				初期化	初期化	初期化	初期化	
RXPR	初期化				初期化	初期化	初期化	初期化	
RFPR	初期化				初期化	初期化	初期化	初期化	
IRR	初期化				初期化	初期化	初期化	初期化	
MBIMR	初期化				初期化	初期化	初期化	初期化	
IMR	初期化				初期化	初期化	初期化	初期化	
REC	初期化				初期化	初期化	初期化	初期化	
TEC	初期化				初期化	初期化	初期化	初期化	
UMSR	初期化				初期化	初期化	初期化	初期化	

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
LAFML	初期化				初期化	初期化	初期化	初期化	HCAN
LAFMH	初期化				初期化	初期化	初期化	初期化	
MC0[1]	初期化				初期化	初期化	初期化	初期化	
MC0[2]	初期化				初期化	初期化	初期化	初期化	
MC0[3]	初期化				初期化	初期化	初期化	初期化	
MC0[4]	初期化				初期化	初期化	初期化	初期化	
MC0[5]	初期化				初期化	初期化	初期化	初期化	
MC0[6]	初期化				初期化	初期化	初期化	初期化	
MC0[7]	初期化				初期化	初期化	初期化	初期化	
MC0[8]	初期化				初期化	初期化	初期化	初期化	
MC1[1]	初期化				初期化	初期化	初期化	初期化	
MC1[2]	初期化				初期化	初期化	初期化	初期化	
MC1[3]	初期化				初期化	初期化	初期化	初期化	
MC1[4]	初期化				初期化	初期化	初期化	初期化	
MC1[5]	初期化				初期化	初期化	初期化	初期化	
MC1[6]	初期化				初期化	初期化	初期化	初期化	
MC1[7]	初期化				初期化	初期化	初期化	初期化	
MC1[8]	初期化				初期化	初期化	初期化	初期化	
MC2[1]	初期化				初期化	初期化	初期化	初期化	
MC2[2]	初期化				初期化	初期化	初期化	初期化	
MC2[3]	初期化				初期化	初期化	初期化	初期化	
MC2[4]	初期化				初期化	初期化	初期化	初期化	
MC2[5]	初期化				初期化	初期化	初期化	初期化	
MC2[6]	初期化				初期化	初期化	初期化	初期化	
MC2[7]	初期化				初期化	初期化	初期化	初期化	
MC2[8]	初期化				初期化	初期化	初期化	初期化	
MC3[1]	初期化				初期化	初期化	初期化	初期化	
MC3[2]	初期化				初期化	初期化	初期化	初期化	
MC3[3]	初期化				初期化	初期化	初期化	初期化	
MC3[4]	初期化				初期化	初期化	初期化	初期化	
MC3[5]	初期化				初期化	初期化	初期化	初期化	
MC3[6]	初期化				初期化	初期化	初期化	初期化	
MC3[7]	初期化				初期化	初期化	初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
MC3[8]	初期化				初期化	初期化	初期化	初期化	HCAN
MC4[1]	初期化				初期化	初期化	初期化	初期化	
MC4[2]	初期化				初期化	初期化	初期化	初期化	
MC4[3]	初期化				初期化	初期化	初期化	初期化	
MC4[4]	初期化				初期化	初期化	初期化	初期化	
MC4[5]	初期化				初期化	初期化	初期化	初期化	
MC4[6]	初期化				初期化	初期化	初期化	初期化	
MC4[7]	初期化				初期化	初期化	初期化	初期化	
MC4[8]	初期化				初期化	初期化	初期化	初期化	
MC5[1]	初期化				初期化	初期化	初期化	初期化	
MC5[2]	初期化				初期化	初期化	初期化	初期化	
MC5[3]	初期化				初期化	初期化	初期化	初期化	
MC5[4]	初期化				初期化	初期化	初期化	初期化	
MC5[5]	初期化				初期化	初期化	初期化	初期化	
MC5[6]	初期化				初期化	初期化	初期化	初期化	
MC5[7]	初期化				初期化	初期化	初期化	初期化	
MC5[8]	初期化				初期化	初期化	初期化	初期化	
MC6[1]	初期化				初期化	初期化	初期化	初期化	
MC6[2]	初期化				初期化	初期化	初期化	初期化	
MC6[3]	初期化				初期化	初期化	初期化	初期化	
MC6[4]	初期化				初期化	初期化	初期化	初期化	
MC6[5]	初期化				初期化	初期化	初期化	初期化	
MC6[6]	初期化				初期化	初期化	初期化	初期化	
MC6[7]	初期化				初期化	初期化	初期化	初期化	
MC6[8]	初期化				初期化	初期化	初期化	初期化	
MC7[1]	初期化				初期化	初期化	初期化	初期化	
MC7[2]	初期化				初期化	初期化	初期化	初期化	
MC7[3]	初期化				初期化	初期化	初期化	初期化	
MC7[4]	初期化				初期化	初期化	初期化	初期化	
MC7[5]	初期化				初期化	初期化	初期化	初期化	
MC7[6]	初期化				初期化	初期化	初期化	初期化	
MC7[7]	初期化				初期化	初期化	初期化	初期化	
MC7[8]	初期化				初期化	初期化	初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
MC8[1]	初期化				初期化	初期化	初期化	初期化	HCAN
MC8[2]	初期化				初期化	初期化	初期化	初期化	
MC8[3]	初期化				初期化	初期化	初期化	初期化	
MC8[4]	初期化				初期化	初期化	初期化	初期化	
MC8[5]	初期化				初期化	初期化	初期化	初期化	
MC8[6]	初期化				初期化	初期化	初期化	初期化	
MC8[7]	初期化				初期化	初期化	初期化	初期化	
MC8[8]	初期化				初期化	初期化	初期化	初期化	
MC9[1]	初期化				初期化	初期化	初期化	初期化	
MC9[2]	初期化				初期化	初期化	初期化	初期化	
MC9[3]	初期化				初期化	初期化	初期化	初期化	
MC9[4]	初期化				初期化	初期化	初期化	初期化	
MC9[5]	初期化				初期化	初期化	初期化	初期化	
MC9[6]	初期化				初期化	初期化	初期化	初期化	
MC9[7]	初期化				初期化	初期化	初期化	初期化	
MC9[8]	初期化				初期化	初期化	初期化	初期化	
MC10[1]	初期化				初期化	初期化	初期化	初期化	
MC10[2]	初期化				初期化	初期化	初期化	初期化	
MC10[3]	初期化				初期化	初期化	初期化	初期化	
MC10[4]	初期化				初期化	初期化	初期化	初期化	
MC10[5]	初期化				初期化	初期化	初期化	初期化	
MC10[6]	初期化				初期化	初期化	初期化	初期化	
MC10[7]	初期化				初期化	初期化	初期化	初期化	
MC10[8]	初期化				初期化	初期化	初期化	初期化	
MC11[1]	初期化				初期化	初期化	初期化	初期化	
MC11[2]	初期化				初期化	初期化	初期化	初期化	
MC11[3]	初期化				初期化	初期化	初期化	初期化	
MC11[4]	初期化				初期化	初期化	初期化	初期化	
MC11[5]	初期化				初期化	初期化	初期化	初期化	
MC11[6]	初期化				初期化	初期化	初期化	初期化	
MC11[7]	初期化				初期化	初期化	初期化	初期化	
MC11[8]	初期化				初期化	初期化	初期化	初期化	
MC12[1]	初期化				初期化	初期化	初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MC12[2]	初期化				初期化	初期化	初期化	初期化	HCAN
MC12[3]	初期化				初期化	初期化	初期化	初期化	
MC12[4]	初期化				初期化	初期化	初期化	初期化	
MC12[5]	初期化				初期化	初期化	初期化	初期化	
MC12[6]	初期化				初期化	初期化	初期化	初期化	
MC12[7]	初期化				初期化	初期化	初期化	初期化	
MC12[8]	初期化				初期化	初期化	初期化	初期化	
MC13[1]	初期化				初期化	初期化	初期化	初期化	
MC13[2]	初期化				初期化	初期化	初期化	初期化	
MC13[3]	初期化				初期化	初期化	初期化	初期化	
MC13[4]	初期化				初期化	初期化	初期化	初期化	
MC13[5]	初期化				初期化	初期化	初期化	初期化	
MC13[6]	初期化				初期化	初期化	初期化	初期化	
MC13[7]	初期化				初期化	初期化	初期化	初期化	
MC13[8]	初期化				初期化	初期化	初期化	初期化	
MC14[1]	初期化				初期化	初期化	初期化	初期化	
MC14[2]	初期化				初期化	初期化	初期化	初期化	
MC14[3]	初期化				初期化	初期化	初期化	初期化	
MC14[4]	初期化				初期化	初期化	初期化	初期化	
MC14[5]	初期化				初期化	初期化	初期化	初期化	
MC14[6]	初期化				初期化	初期化	初期化	初期化	
MC14[7]	初期化				初期化	初期化	初期化	初期化	
MC14[8]	初期化				初期化	初期化	初期化	初期化	
MC15[1]	初期化				初期化	初期化	初期化	初期化	
MC15[2]	初期化				初期化	初期化	初期化	初期化	
MC15[3]	初期化				初期化	初期化	初期化	初期化	
MC15[4]	初期化				初期化	初期化	初期化	初期化	
MC15[5]	初期化				初期化	初期化	初期化	初期化	
MC15[6]	初期化				初期化	初期化	初期化	初期化	
MC15[7]	初期化				初期化	初期化	初期化	初期化	
MC15[8]	初期化				初期化	初期化	初期化	初期化	
MD0[1]	初期化				初期化	初期化	初期化	初期化	
MD0[2]	初期化				初期化	初期化	初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MD0[3]	初期化				初期化	初期化	初期化	初期化	HCAN
MD0[4]	初期化				初期化	初期化	初期化	初期化	
MD0[5]	初期化				初期化	初期化	初期化	初期化	
MD0[6]	初期化				初期化	初期化	初期化	初期化	
MD0[7]	初期化				初期化	初期化	初期化	初期化	
MD0[8]	初期化				初期化	初期化	初期化	初期化	
MD1[1]	初期化				初期化	初期化	初期化	初期化	
MD1[2]	初期化				初期化	初期化	初期化	初期化	
MD1[3]	初期化				初期化	初期化	初期化	初期化	
MD1[4]	初期化				初期化	初期化	初期化	初期化	
MD1[5]	初期化				初期化	初期化	初期化	初期化	
MD1[6]	初期化				初期化	初期化	初期化	初期化	
MD1[7]	初期化				初期化	初期化	初期化	初期化	
MD1[8]	初期化				初期化	初期化	初期化	初期化	
MD2[1]	初期化				初期化	初期化	初期化	初期化	
MD2[2]	初期化				初期化	初期化	初期化	初期化	
MD2[3]	初期化				初期化	初期化	初期化	初期化	
MD2[4]	初期化				初期化	初期化	初期化	初期化	
MD2[5]	初期化				初期化	初期化	初期化	初期化	
MD2[6]	初期化				初期化	初期化	初期化	初期化	
MD2[7]	初期化				初期化	初期化	初期化	初期化	
MD2[8]	初期化				初期化	初期化	初期化	初期化	
MD3[1]	初期化				初期化	初期化	初期化	初期化	
MD3[2]	初期化				初期化	初期化	初期化	初期化	
MD3[3]	初期化				初期化	初期化	初期化	初期化	
MD3[4]	初期化				初期化	初期化	初期化	初期化	
MD3[5]	初期化				初期化	初期化	初期化	初期化	
MD3[6]	初期化				初期化	初期化	初期化	初期化	
MD3[7]	初期化				初期化	初期化	初期化	初期化	
MD3[8]	初期化				初期化	初期化	初期化	初期化	
MD4[1]	初期化				初期化	初期化	初期化	初期化	
MD4[2]	初期化				初期化	初期化	初期化	初期化	
MD4[3]	初期化				初期化	初期化	初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
MD4[4]	初期化				初期化	初期化	初期化	初期化	HCAN
MD4[5]	初期化				初期化	初期化	初期化	初期化	
MD4[6]	初期化				初期化	初期化	初期化	初期化	
MD4[7]	初期化				初期化	初期化	初期化	初期化	
MD4[8]	初期化				初期化	初期化	初期化	初期化	
MD5[1]	初期化				初期化	初期化	初期化	初期化	
MD5[2]	初期化				初期化	初期化	初期化	初期化	
MD5[3]	初期化				初期化	初期化	初期化	初期化	
MD5[4]	初期化				初期化	初期化	初期化	初期化	
MD5[5]	初期化				初期化	初期化	初期化	初期化	
MD5[6]	初期化				初期化	初期化	初期化	初期化	
MD5[7]	初期化				初期化	初期化	初期化	初期化	
MD5[8]	初期化				初期化	初期化	初期化	初期化	
MD6[1]	初期化				初期化	初期化	初期化	初期化	
MD6[2]	初期化				初期化	初期化	初期化	初期化	
MD6[3]	初期化				初期化	初期化	初期化	初期化	
MD6[4]	初期化				初期化	初期化	初期化	初期化	
MD6[5]	初期化				初期化	初期化	初期化	初期化	
MD6[6]	初期化				初期化	初期化	初期化	初期化	
MD6[7]	初期化				初期化	初期化	初期化	初期化	
MD6[8]	初期化				初期化	初期化	初期化	初期化	
MD7[1]	初期化				初期化	初期化	初期化	初期化	
MD7[2]	初期化				初期化	初期化	初期化	初期化	
MD7[3]	初期化				初期化	初期化	初期化	初期化	
MD7[4]	初期化				初期化	初期化	初期化	初期化	
MD7[5]	初期化				初期化	初期化	初期化	初期化	
MD7[6]	初期化				初期化	初期化	初期化	初期化	
MD7[7]	初期化				初期化	初期化	初期化	初期化	
MD7[8]	初期化				初期化	初期化	初期化	初期化	
MD8[1]	初期化				初期化	初期化	初期化	初期化	
MD8[2]	初期化				初期化	初期化	初期化	初期化	
MD8[3]	初期化				初期化	初期化	初期化	初期化	
MD8[4]	初期化				初期化	初期化	初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MD8[5]	初期化				初期化	初期化	初期化	初期化	HCAN
MD8[6]	初期化				初期化	初期化	初期化	初期化	
MD8[7]	初期化				初期化	初期化	初期化	初期化	
MD8[8]	初期化				初期化	初期化	初期化	初期化	
MD9[1]	初期化				初期化	初期化	初期化	初期化	
MD9[2]	初期化				初期化	初期化	初期化	初期化	
MD9[3]	初期化				初期化	初期化	初期化	初期化	
MD9[4]	初期化				初期化	初期化	初期化	初期化	
MD9[5]	初期化				初期化	初期化	初期化	初期化	
MD9[6]	初期化				初期化	初期化	初期化	初期化	
MD9[7]	初期化				初期化	初期化	初期化	初期化	
MD9[8]	初期化				初期化	初期化	初期化	初期化	
MD10[1]	初期化				初期化	初期化	初期化	初期化	
MD10[2]	初期化				初期化	初期化	初期化	初期化	
MD10[3]	初期化				初期化	初期化	初期化	初期化	
MD10[4]	初期化				初期化	初期化	初期化	初期化	
MD10[5]	初期化				初期化	初期化	初期化	初期化	
MD10[6]	初期化				初期化	初期化	初期化	初期化	
MD10[7]	初期化				初期化	初期化	初期化	初期化	
MD10[8]	初期化				初期化	初期化	初期化	初期化	
MD11[1]	初期化				初期化	初期化	初期化	初期化	
MD11[2]	初期化				初期化	初期化	初期化	初期化	
MD11[3]	初期化				初期化	初期化	初期化	初期化	
MD11[4]	初期化				初期化	初期化	初期化	初期化	
MD11[5]	初期化				初期化	初期化	初期化	初期化	
MD11[6]	初期化				初期化	初期化	初期化	初期化	
MD11[7]	初期化				初期化	初期化	初期化	初期化	
MD11[8]	初期化				初期化	初期化	初期化	初期化	
MD12[1]	初期化				初期化	初期化	初期化	初期化	
MD12[2]	初期化				初期化	初期化	初期化	初期化	
MD12[3]	初期化				初期化	初期化	初期化	初期化	
MD12[4]	初期化				初期化	初期化	初期化	初期化	
MD12[5]	初期化				初期化	初期化	初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア スタンバイ	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
MD12[6]	初期化				初期化	初期化	初期化	初期化	HCAN
MD12[7]	初期化				初期化	初期化	初期化	初期化	
MD12[8]	初期化				初期化	初期化	初期化	初期化	
MD13[1]	初期化				初期化	初期化	初期化	初期化	
MD13[2]	初期化				初期化	初期化	初期化	初期化	
MD13[3]	初期化				初期化	初期化	初期化	初期化	
MD13[4]	初期化				初期化	初期化	初期化	初期化	
MD13[5]	初期化				初期化	初期化	初期化	初期化	
MD13[6]	初期化				初期化	初期化	初期化	初期化	
MD13[7]	初期化				初期化	初期化	初期化	初期化	
MD13[8]	初期化				初期化	初期化	初期化	初期化	
MD14[1]	初期化				初期化	初期化	初期化	初期化	
MD14[2]	初期化				初期化	初期化	初期化	初期化	
MD14[3]	初期化				初期化	初期化	初期化	初期化	
MD14[4]	初期化				初期化	初期化	初期化	初期化	
MD14[5]	初期化				初期化	初期化	初期化	初期化	
MD14[6]	初期化				初期化	初期化	初期化	初期化	
MD14[7]	初期化				初期化	初期化	初期化	初期化	
MD14[8]	初期化				初期化	初期化	初期化	初期化	
MD15[1]	初期化				初期化	初期化	初期化	初期化	
MD15[2]	初期化				初期化	初期化	初期化	初期化	
MD15[3]	初期化				初期化	初期化	初期化	初期化	
MD15[4]	初期化				初期化	初期化	初期化	初期化	
MD15[5]	初期化				初期化	初期化	初期化	初期化	
MD15[6]	初期化				初期化	初期化	初期化	初期化	
MD15[7]	初期化				初期化	初期化	初期化	初期化	
MD15[8]	初期化				初期化	初期化	初期化	初期化	
DADR0	初期化							初期化	D/A
DADR1	初期化							初期化	
DACR	初期化							初期化	
TCR_2	初期化							初期化	TMR_2
TCR_3	初期化							初期化	TMR_3
TCSR_2	初期化							初期化	TMR_2

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TCSR_3	初期化							初期化	TMR_3
TCORA_2	初期化							初期化	TMR_2
TCORA_3	初期化							初期化	TMR_3
TCORB_2	初期化							初期化	TMR_2
TCORB_3	初期化							初期化	TMR_3
TCNT_2	初期化							初期化	TMR_2
TCNT_3	初期化							初期化	TMR_3
SMR_3	初期化							初期化	SCI_3
BRR_3	初期化							初期化	
SCR_3	初期化							初期化	
TDR_3	初期化				初期化	初期化	初期化	初期化	
SSR_3	初期化				初期化	初期化	初期化	初期化	
RDR_3	初期化				初期化	初期化	初期化	初期化	
SCMR_3	初期化							初期化	
SMR_4	初期化							初期化	SCI_4
BRR_4	初期化							初期化	
SCR_4	初期化							初期化	
TDR_4	初期化				初期化	初期化	初期化	初期化	
SSR_4	初期化				初期化	初期化	初期化	初期化	
RDR_4	初期化				初期化	初期化	初期化	初期化	
SCMR_4	初期化							初期化	
ICPCR	初期化							初期化	PORT
SYSCR2	初期化							初期化	FLASH
SBYCR	初期化							初期化	SYSTEM
SYSCR	初期化							初期化	
SCKCR	初期化							初期化	
MDCR	初期化*							初期化	
MSTPCRA	初期化							初期化	
MSTPCRB	初期化							初期化	
MSTPCRC	初期化							初期化	
PFCR	初期化*							初期化	BSC
LPWRCR	初期化*							初期化	SYSTEM
BARA	初期化*							初期化	PBC

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
BARB	初期化*							初期化	PBC
BCRA	初期化*							初期化	
BCRB	初期化*							初期化	
ISCRH	初期化							初期化	INT
ISCRL	初期化							初期化	
IER	初期化							初期化	
ISR	初期化							初期化	
DTCERA	初期化							初期化	DTC
DTCERB	初期化							初期化	
DTCERC	初期化							初期化	
DTCERD	初期化							初期化	
DTCERE	初期化							初期化	
DTCERF	初期化							初期化	
DTCERG	初期化							初期化	
DTCERI	初期化							初期化	
DTVECR	初期化							初期化	
P1DDR	初期化*							初期化	PORT
P2DDR	初期化*							初期化	
P3DDR	初期化*							初期化	
P5DDR	初期化*							初期化	
P7DDR	初期化*							初期化	
PADDR	初期化*							初期化	
PBDDR	初期化*							初期化	
PCDDR	初期化*							初期化	
PDDDR	初期化*							初期化	
PEDDR	初期化*							初期化	
PFDDR	初期化*							初期化	
PGDDR	初期化*							初期化	
PAPCR	初期化*							初期化	
PBPCR	初期化*							初期化	
PCPCR	初期化*							初期化	
PDPCR	初期化*							初期化	
PEPCR	初期化*							初期化	
P3ODR	初期化*							初期化	
PAODR	初期化*							初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール	
TCR_3	初期化							初期化	TPU_3	
TMDR_3	初期化							初期化		
TIORH_3	初期化							初期化		
TIORL_3	初期化							初期化		
TIER_3	初期化							初期化		
TSR_3	初期化							初期化		
TCNT_3	初期化							初期化		
TGRA_3	初期化							初期化		
TGRB_3	初期化							初期化		
TGRC_3	初期化							初期化		
TGRD_3	初期化							初期化		
TCR_4	初期化							初期化	TPU_4	
TMDR_4	初期化							初期化		
TIOR_4	初期化							初期化		
TIER_4	初期化							初期化		
TSR_4	初期化							初期化		
TCNT_4	初期化							初期化		
TGRA_4	初期化							初期化		
TGRB_4	初期化							初期化		
TCR_5	初期化							初期化		TPU_5
TMDR_5	初期化							初期化		
TIOR_5	初期化							初期化		
TIER_5	初期化							初期化		
TSR_5	初期化							初期化		
TCNT_5	初期化							初期化		
TGRA_5	初期化							初期化		
TGRB_5	初期化							初期化		
TSTR	初期化							初期化	TPU	
TSYR	初期化							初期化		
IPRA	初期化							初期化	INT	
IPRB	初期化							初期化		
IPRC	初期化							初期化		
IPRD	初期化							初期化		
IPRE	初期化							初期化		
IPRF	初期化							初期化		
IPRG	初期化							初期化		

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
IPRH	初期化							初期化	INT
IPRI	初期化							初期化	
IPRJ	初期化							初期化	
IPRK	初期化							初期化	
IPRL	初期化							初期化	
IPRM	初期化							初期化	
IPRO	初期化							初期化	
ABWCR	初期化*							初期化	BSC
ASTCR	初期化*							初期化	
WCRH	初期化*							初期化	
WCRL	初期化*							初期化	
BCRH	初期化*							初期化	
BCRL	初期化*							初期化	
RAMER	初期化*							初期化	FLASH
P1DR	初期化*							初期化	PORT
P2DR	初期化*							初期化	
P3DR	初期化*							初期化	
P5DR	初期化*							初期化	
P7DR	初期化*							初期化	
PADR	初期化*							初期化	
PBDR	初期化*							初期化	
PCDR	初期化*							初期化	
PDDR	初期化*							初期化	
PEDR	初期化*							初期化	
PFDR	初期化*							初期化	
PGDR	初期化*							初期化	
TCR_0	初期化							初期化	TPU_0
TMDR_0	初期化							初期化	
TIORH_0	初期化							初期化	
TIORL_0	初期化							初期化	
TIER_0	初期化							初期化	
TSR_0	初期化							初期化	
TCNT_0	初期化							初期化	
TGRA_0	初期化							初期化	
TGRB_0	初期化							初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
TGRC_0	初期化							初期化	TPU_0
TGRD_0	初期化							初期化	
TCR_1	初期化							初期化	TPU_1
TMDR_1	初期化							初期化	
TIOR_1	初期化							初期化	
TIER_1	初期化							初期化	
TSR_1	初期化							初期化	
TCNT_1	初期化							初期化	
TGRA_1	初期化							初期化	
TGRB_1	初期化							初期化	
TCR_2	初期化							初期化	TPU_2
TMDR_2	初期化							初期化	
TIOR_2	初期化							初期化	
TIER_2	初期化							初期化	
TSR_2	初期化							初期化	
TCNT_2	初期化							初期化	
TGRA_2	初期化							初期化	
TGRB_2	初期化							初期化	
TCR_0	初期化							初期化	TMR_0
TCR_1	初期化							初期化	TMR_1
TCSR_0	初期化							初期化	TMR_0
TCSR_1	初期化							初期化	TMR_1
TCORA_0	初期化							初期化	TMR_0
TCORA_1	初期化							初期化	TMR_1
TCORB_0	初期化							初期化	TMR_0
TCORB_1	初期化							初期化	TMR_1
TCNT_0	初期化							初期化	TMR_0
TCNT_1	初期化							初期化	TMR_1
TCSR_0	初期化							初期化	WDT_0
TCNT_0	初期化							初期化	
RSTCSR	初期化							初期化	
SMR_0	初期化							初期化	SCI_0
BRR_0	初期化							初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
SCR_0	初期化							初期化	SCI_0
TDR_0	初期化				初期化	初期化	初期化	初期化	
SSR_0	初期化				初期化	初期化	初期化	初期化	
RDR_0	初期化				初期化	初期化	初期化	初期化	
SCMR_0	初期化							初期化	
SMR_1	初期化							初期化	SCI_1
BRR_1	初期化							初期化	
SCR_1	初期化							初期化	
TDR_1	初期化				初期化	初期化	初期化	初期化	
SSR_1	初期化				初期化	初期化	初期化	初期化	
RDR_1	初期化				初期化	初期化	初期化	初期化	
SCMR_1	初期化							初期化	
SMR_2	初期化							初期化	SCI_2
BRR_2	初期化							初期化	
SCR_2	初期化							初期化	
TDR_2	初期化				初期化	初期化	初期化	初期化	
SSR_2	初期化				初期化	初期化	初期化	初期化	
RDR_2	初期化				初期化	初期化	初期化	初期化	
SCMR_2	初期化							初期化	
ADDRAH	初期化				初期化	初期化	初期化	初期化	A/D
ADDRAL	初期化				初期化	初期化	初期化	初期化	
ADDRBH	初期化				初期化	初期化	初期化	初期化	
ADDRBL	初期化				初期化	初期化	初期化	初期化	
ADDRCH	初期化				初期化	初期化	初期化	初期化	
ADDRCL	初期化				初期化	初期化	初期化	初期化	
ADDRDH	初期化				初期化	初期化	初期化	初期化	
ADDRDL	初期化				初期化	初期化	初期化	初期化	
ADCSR	初期化				初期化	初期化	初期化	初期化	
ADCR	初期化				初期化	初期化	初期化	初期化	
TCSR_1	初期化							初期化	WDT_1
TCNT_1	初期化							初期化	
FCCS	初期化						初期化	初期化	FLASH
FPCS	初期化						初期化	初期化	

23. レジスタ一覧

レジスタ略称	リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ウエア	ソフト ウエア スタンバイ	ハード ウエア スタンバイ	モジュール
FECS	初期化						初期化	初期化	FLASH
FKEY	初期化						初期化	初期化	
FMATS	初期化						初期化	初期化	
FTDAR	初期化						初期化	初期化	
FVACR	初期化						初期化	初期化	
FVADRR	初期化						初期化	初期化	
FVADRE	初期化						初期化	初期化	
FVADRH	初期化						初期化	初期化	
FVADRL	初期化						初期化	初期化	
PORT1									PORT
PORT2									
PORT3									
PORT4									
PORT5									
PORT7									
PORT9									
PORTA									
PORTB									
PORTC									
PORTD									
PORTE									
PORTF									
PORTG									

【注】 - は初期化されません。

* マニュアルリセットでは初期化されません。

24. 電気的特性

24.1 電源電圧と動作周波数範囲

電源電圧と動作範囲（網かけ部）を図 24.1 に示します。

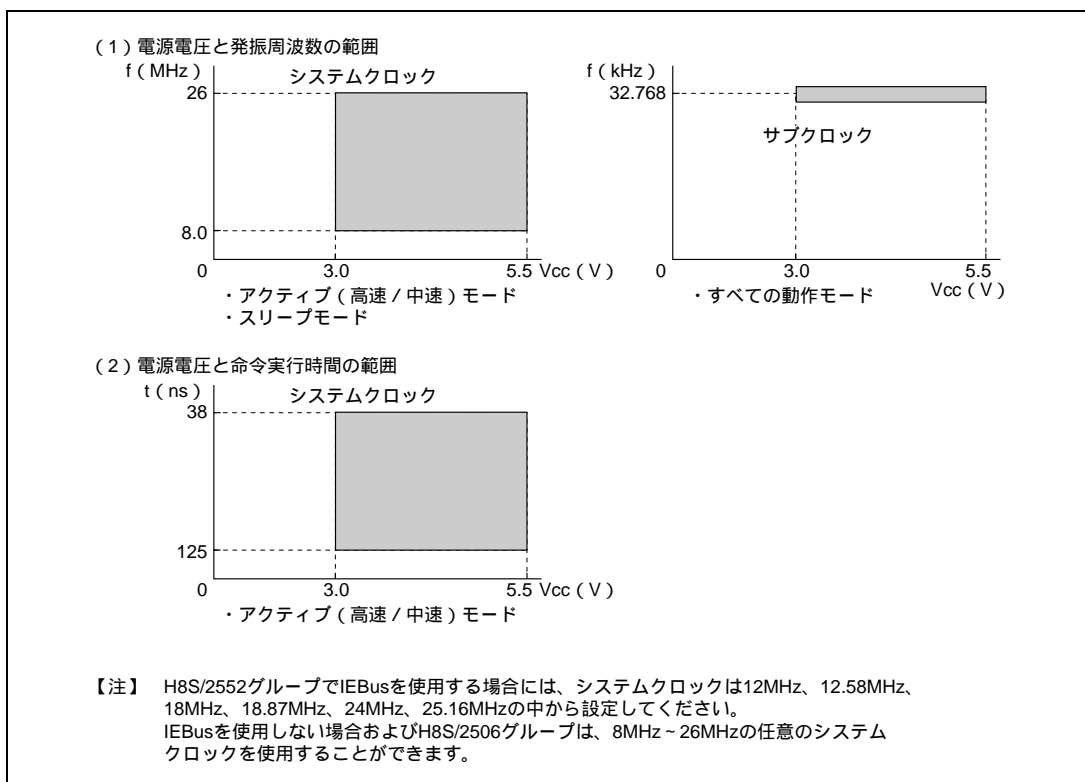


図 24.1 (1) H8S/2552 グループ、H8S/2506 グループの電源電圧と動作範囲

24. 電気的特性

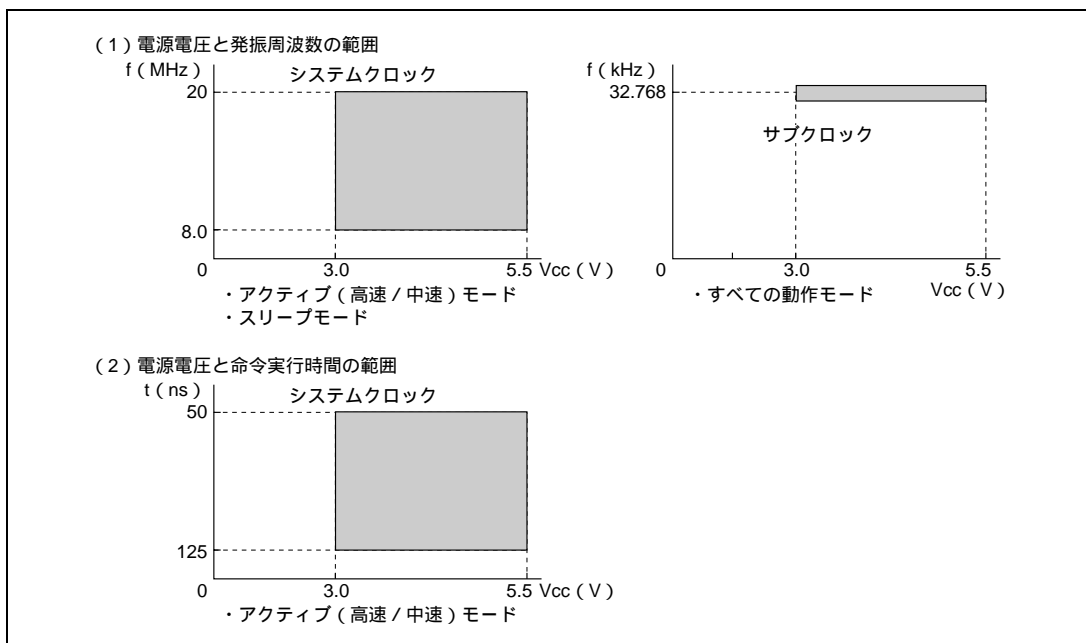


図 24.1 (2) H8S/2556 グループの電源電圧と動作範囲

24.2 絶対最大定格

表 24.1 に絶対最大定格を示します。

表 24.1 絶対最大定格

項目	記号	定格値	単位
電源電圧* ¹	V_{CC}	-0.3 ~ +6.5	V
	$P1V_{CC}$ 、 $P2V_{CC}$	-0.3 ~ +6.5	V
入力電圧 (ポート 4、9)	V_{in}	-0.3 ~ $AV_{CC}+0.3$	V
入力電圧 (ポート 1、2、3、7)	V_{in}	-0.3 ~ $P2V_{CC}+0.3$	V
入力電圧 (ポート 5、A~H、J)	V_{in}	-0.3 ~ $P1V_{CC}+0.3$	V
入力電圧 (ポート HRxD)* ²	V_{in}	-0.3 ~ $P1V_{CC}+0.3$	V
入力電圧 (その他)* ³	V_{in}	-0.3 ~ $V_{CC}+0.3$	V
リファレンス電源電圧	V_{ref}	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +6.5	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC}+0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75	
		広温度範囲仕様品 : -40 ~ +85	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

- 【注】 *1 VCL 端子に電源電圧を印加しないでください。GND との間に外付けコンデンサを接続してください。
- *2 HRxD は H8S/2556 グループのみです。HTxD は出力端子ですので、電源電圧を印加しないでください。
- *3 OSC1、OSC2 端子には、32.768kHz 水晶発振子以外接続しないでください。32.768kHz 水晶発振子の接続を行わない場合は、OSC1 端子を V_{SS} に接続し、OSC2 端子をオープンにしてください。

24.3 DC 特性

表 24.2 に DC 特性を、表 24.3 に出力許容電流を、表 24.4 にバス駆動特性を示します。

表 24.2 DC 特性 (1)

条件: $V_{CC} = 3.0 \sim 5.5V$ 、 $P1V_{CC} = 3.0 \sim 5.5V$ 、 $P2V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V^{*2}$ 、 $V_{ref} = 3.0V \sim AV_{CC}^{*2}$ 、
 $V_{SS} = AV_{SS} = 0V^{*2}$ 、 $T_a = -20 \sim +75$ (通常仕様品)*¹、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	typ.	max.	単位	測定条件
シュミット トリガ入力 電圧	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQ4}$ 、 $\overline{IRQ5}$	VT^-	$P2V_{CC} \times 0.2$		V	$P2V_{CC} = 5.0V \pm 0.5V$
		VT^+		$P2V_{CC} \times 0.8$	V	
		$VT^+ - VT^-$	$P2V_{CC} \times 0.05$		V	
	$\overline{IRQ2}$ 、 $\overline{IRQ3}$ $\overline{IRQ6}$ 、 $\overline{IRQ7}$	VT^-	$P1V_{CC} \times 0.2$		V	$P1V_{CC} = 5.0V \pm 0.5V$
		VT^+		$P1V_{CC} \times 0.8$		
		$VT^+ - VT^-$	$P1V_{CC} \times 0.05$		V	
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、 \overline{NMI} 、 MD2 ~ MD0	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V
	EXTAL		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V
	ポート 1 ~ 3、7		$P2V_{CC} \times 0.8$		$P2V_{CC} + 0.3$	V
	ポート 5、A ~ H、J、 HRxD ^{*5}		$P1V_{CC} \times 0.8$		$P1V_{CC} + 0.3$	V
	ポート 4、9		$AV_{CC} \times 0.8$		$AV_{CC} + 0.3$	V
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、 \overline{NMI} 、 MD2 ~ MD0	V_{IL}	- 0.3		$V_{CC} \times 0.1$	V
	EXTAL、TEST		- 0.3		$V_{CC} \times 0.2$	V
	ポート 1 ~ 3、7		- 0.3		$P2V_{CC} \times 0.2$	V
	ポート 5、A ~ H、J、 HRxD ^{*5}		- 0.3		$P1V_{CC} \times 0.2$	V
	ポート 4、9		- 0.3		$AV_{CC} \times 0.2$	V
出力 High レベル電圧 ^{*6}	ポート 1 ~ 3、7	V_{OH}	$P2V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$
			$P2V_{CC} - 1.0$		V	$I_{OH} = -1mA$
	ポート 5、A ~ H、J、 HTxD ^{*5}		$P1V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$
			$P1V_{CC} - 1.0$		V	$I_{OH} = -1mA$
	P34、P35 ^{*3}		$P2V_{CC} - 2.7$		V	$I_{OH} = -100\mu A$ $P2V_{CC} = 5.0V \pm 0.5V$
			$P2V_{CC} - 2.0$		V	$I_{OH} = -100\mu A$ $P2V_{CC} = 3.3V \pm 0.3V$
出力 Low レベル電圧 ^{*6}	全出力端子 ^{*4}	V_{OL}		0.4	V	$I_{OL} = 0.8mA$

項目		記号	min.	typ.	max.	単位	測定条件
入力リーク 電流	RES	$ I_{in} $			1.0	μA	$V_{in} = 0.2 \sim V_{cc} - 0.2V$
	STBY、NMI、 MD2~MD0、TEST				1.0	μA	$V_{in} = 0.2 \sim V_{cc} - 0.2V$
	HRxD*5				1.0	μA	$V_{in} = 0.2 \sim P1V_{cc} - 0.2V$
	ポート 4、9				1.0	μA	$V_{in} = 0.2 \sim AV_{cc} - 0.2V$
スリープス トリーク電流 (オフ状態)	ポート 1~3、7	$ I_{TSI} $			1.0	μA	$V_{in} = 0.2 \sim P2V_{cc} - 0.2V$
	ポート 5、A~H、J				1.0	μA	$V_{in} = 0.2 \sim P1V_{cc} - 0.2V$
入力プリアッ プ MOS 電流	ポート A~E	$-I_p$	10		300	μA	$V_{in} = 0V$

【注】 *1 通常仕様品は H8S/2506 グループのみです。

*2 A/D 変換器、D/A 変換器を使用しない場合でも、AVcc、Vref、AVss 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVcc、Vref 端子は Vcc に接続するなどの方法で、3.0~5.5V の電圧を印加してください。このとき、Vref、AVcc としてください。

*3 P35/SCK1/SCK4、P34 は NMOS プッシュプル出力です。High レベル出力するためにはプリアップ抵抗を外付けする必要があります。

*4 ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は表 24.4 で定めます。

*5 HRxD、HTxD は H8S/2556 グループのみです。

*6 $P1V_{cc} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = 0)、 $P1V_{cc} = 3.3V \pm 0.3V$ (ICPCR の BUFGC1 = 1)、 $P2V_{cc} = 5.0V \pm 0.5V$ (ICPCR の BUFGC2 = 0)、 $P2V_{cc} = 3.3V \pm 0.3V$ (ICPCR の BUFGC2 = 1) の場合です。

表 24.2 DC 特性 (2)

条件 (H8S/2552 グループ、H8S/2506 グループ) : $V_{cc} = 3.0 \sim 5.5V$ 、 $P1V_{cc} = 3.0 \sim 5.5V$ 、 $P2V_{cc} = 3.0 \sim 5.5V$ 、
 $AV_{cc} = 3.0 \sim 5.5V^{*2}$ 、 $V_{ref} = 3.0V \sim AV_{cc}^{*2}$ 、 $V_{ss} = AV_{ss} = 0V^{*2}$ 、
 $T_a = -20 \sim +75$ (通常仕様品)*1、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位	測定条件
入力容量	RES	C_{in}			30	pF	$V_{in} = 0V$ f = 8MHz $T_a = 25$
	NMI				30	pF	
	P32~P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流*3	通常動作時	I_{cc}^{*4}		34 $V_{cc} = 5.0V$	50 $V_{cc} = 5.5V$	mA	f = 26MHz
	スリープ時			26 $V_{cc} = 5.0V$	40 $V_{cc} = 5.5V$	mA	f = 26MHz
	全モジュール ストップ時			20 $V_{cc} = 5.0V$		mA	f = 26MHz (参考値)
	中速モード ($\phi/32$) 時			22 $V_{cc} = 5.0V$		mA	f = 26MHz (参考値)
	ウォッチモード時			30 $V_{cc} = 5.0V$	150 $V_{cc} = 5.5V$	μA	32.768kHz 水晶発振子 使用時

24. 電気的特性

項目		記号	min.	typ.	max.	単位	測定条件
消費電流 ^{*3}	スタンバイ時			22 $V_{CC} = 5.0V$	100 $V_{CC} = 5.5V$	μA	$T_a = 50$ 、 32.768kHz 未使用時
					140 $V_{CC} = 5.5V$		$50 < T_a$ 、 32.768kHz 未使用時
アナログ 電源電流	A/D、D/A 変換中	I_{CC}		3.0	5.0	mA	
	A/D、D/A 変換待機時			2.0	10	μA	
リファレンス 電源電流	A/D、D/A 変換中	I_{CC}		2.0	4.0	mA	
	A/D、D/A 変換待機時			2.0	6.0	μA	
RAM スタンバイ電圧		V_{RAM}	3.0			V	

【注】 *1 通常仕様品は H8S/2506 グループのみです。

*2 A/D 変換器、D/A 変換器を使用しない場合でも、AVcc、Vref、AVss 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVcc、Vref 端子は V_{CC} に接続するなどの方法で、3.0 ~ 5.5V の電圧を印加してください。このとき、 V_{ref} AV_{CC} としてください。

*3 消費電流値は、 $P1V_{CC} = P2V_{CC} = AV_{CC} = V_{CC}$ とし、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} \max. = -9.49 \text{ (mA)} + 5.31 \text{ (mA/V)} \times V_{CC} + 1.00 \text{ (mA/MHz)} \times f + 0.03 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \max. = -8.92 \text{ (mA)} + 5.22 \text{ (mA/V)} \times V_{CC} + 0.63 \text{ (mA/MHz)} \times f + 0.027 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 24.2 DC 特性 (3)

条件 (H8S/2556 グループ) : $V_{CC} = 3.0 \sim 5.5V$, $P1V_{CC} = 3.0 \sim 5.5V$, $P2V_{CC} = 3.0 \sim 5.5V$, $AV_{CC} = 3.0 \sim 5.5V^{*1}$,
 $V_{ref} = 3.0V \sim AV_{CC}^{*1}$, $V_{SS} = AV_{SS} = 0V^{*1}$, $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位	測定条件
入力容量	RES	C_{in}			30	pF	$V_{in} = 0V$ $f = 8MHz$ $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流 ^{*2}	通常動作時	I_{CC}^{*3}		28 $V_{CC} = 5.0V$	43 $V_{CC} = 5.5V$	mA	$f = 20MHz$
	スリープ時			22 $V_{CC} = 5.0V$	34 $V_{CC} = 5.5V$	mA	$f = 20MHz$
	全モジュール ストップ時			16 $V_{CC} = 5.0V$		mA	$f = 20MHz$ (参考値)
	中速モード ($\phi/32$) 時			18 $V_{CC} = 5.0V$		mA	$f = 20MHz$ (参考値)
	ウォッチモード時			30 $V_{CC} = 5.0V$	150 $V_{CC} = 5.5V$	μA	32.768kHz 水晶発振子 使用時
	スタンバイ時			22 $V_{CC} = 5.0V$	100 $V_{CC} = 5.5V$	μA	$T_a = 50$ 、 32.768kHz 未使用時 50 < T_a 、 32.768kHz 未使用時
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		3.0	5.0	mA	
	A/D、D/A 変換待機時			2.0	10	μA	
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}		2.0	4.0	mA	
	A/D、D/A 変換待機時			2.0	6.0	μA	
RAM スタンバイ電圧		V_{RAM}	3.0			V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は V_{CC} に接続するなどの方法で、3.0 ~ 5.5V の電圧を印加してください。このとき、 V_{ref} 、 AV_{CC} としてください。

*2 消費電流値は、 $P1V_{CC} = P2V_{CC} = AV_{CC} = V_{CC}$ とし、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} \max. = -9.49 \text{ (mA)} + 5.31 \text{ (mA/V)} \times V_{CC} + 1.00 \text{ (mA/MHz)} \times f + 0.03 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \max. = -8.58 \text{ (mA)} + 5.04 \text{ (mA/V)} \times V_{CC} + 0.60 \text{ (mA/MHz)} \times f + 0.026 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

24. 電気的特性

表 24.3 出力許容電流

条件： $V_{CC} = 3.0 \sim 5.5V$ 、 $P1V_{CC} = 3.0 \sim 5.5V$ 、 $P2V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)*、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位
出力 (1 端子あたり) Low レベル許容電流	SCL1、SCL0、SDA1、SDA0	I_{OL}	-	-	10	mA
	上記以外の出力端子		-	-	1.0	
出力 Low レベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	-	-	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	1.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 24.3 の値を超えないようにしてください。

* 通常仕様品は H8S/2506 グループのみです。

表 24.4 バス駆動特性

条件： $V_{CC} = 3.0 \sim 5.5V$ 、 $P1V_{CC} = 3.0 \sim 5.5V$ 、 $P2V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V^{*2}$ 、 $V_{ref} = 3.0V \sim AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = 0V^{*2}$ 、

$T_a = -20 \sim +75$ (通常仕様品)*、 $T_a = -40 \sim +85$ (広温度範囲仕様品)、対象端子：SCL1、SCL0、SDA1、SDA0

項目	記号	min.	typ.	max.	単位	測定条件*3
シュミットトリガ入力電圧	VT^-	$P2V_{CC} \times 0.25$	-	-	V	$P2V_{CC} = 5.0V \pm 0.5V/3.3V \pm 0.3V$
	VT^+	-	-	$P2V_{CC} \times 0.7$		$P2V_{CC} = 5.0V \pm 0.5V/3.3V \pm 0.3V$
	$VT^+ - VT^-$	$P2V_{CC} \times 0.05$	-	-		$P2V_{CC} = 5.0V \pm 0.5V$
入力 High レベル電圧	V_{IH}	$P2V_{CC} \times 0.7$	-	$P2V_{CC} + 0.5$	V	$P2V_{CC} = 5.0V \pm 0.5V/3.3V \pm 0.3V$
入力 Low レベル電圧	V_{IL}	-0.5	-	$P2V_{CC} \times 0.25$	V	$P2V_{CC} = 5.0V \pm 0.5V/3.3V \pm 0.3V$
出力 Low レベル電圧	V_{OL}	-	-	0.5	V	$I_{OL} = 8mA$
		-	-	0.4		$I_{OL} = 3mA$
入力容量	C_m	-	-	20	pF	$V_{IN} = 0V$ 、 $f = 8MHz$ 、 $T_a = 25$
スリープステートリーク電流 (オフ状態)	$ I_{STT} $	-	-	1.0	μA	$V_{IN} = 0.2 \sim P2V_{CC} - 0.2V$

【注】 *1 通常仕様品は H8S/2506 グループのみです。

*2 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は V_{CC} に接続するなどの方法で、 $5.0V \pm 0.5V/3.3V \pm 0.3V$ の電圧を印加してください。このとき、 V_{ref} 、 AV_{CC} としてください。

*3 測定条件はすべて、 $P1V_{CC} = P2V_{CC} = AV_{CC} = V_{CC}$ の場合です。

24.4 AC 特性

図 24.2 に AC 測定条件を示します。

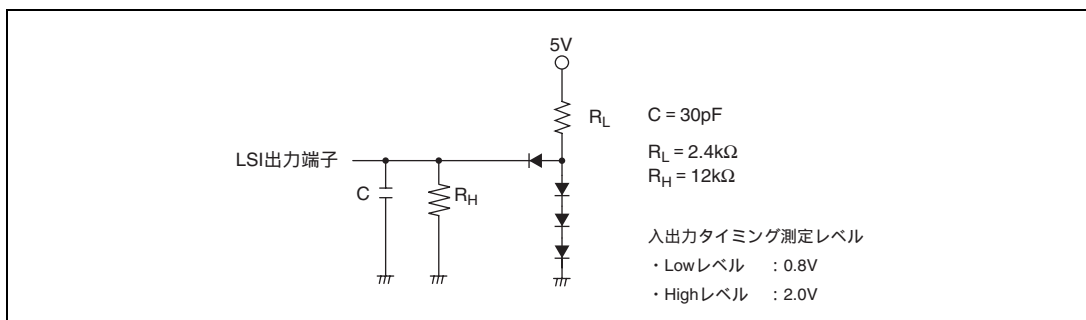


図 24.2 出力負荷回路

24.4.1 電源投入・切断タイミング

表 24.5 電源投入・切断タイミング

条件: $V_{CC} = 3.0 \sim 5.5\text{V}$ 、 $P1V_{CC} = 3.0 \sim 5.5\text{V}$ 、 $P2V_{CC} = 3.0 \sim 5.5\text{V}$ 、

$AV_{CC} = 3.0 \sim 5.5\text{V}$ 、 $V_{ref} = 3.0\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、

$T_a = -20 \sim +75$ (通常仕様品)*、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	typ.	max.	単位	測定条件
V_{CC} 先行投入時間	t_{VCCS}	- 1			ms	図 24.3
PV_{CC} 切断時 V_{CC} ホールド時間	t_{VCCH}	- 1			ms	
V_{CC} 開始電圧	$V_{CCSTART}$		0	0.8	V	図 24.4
V_{CC} 立ち上がり勾配	SV_{CC}			20	ms/V	

【注】 * 通常仕様品は H8S/2506 グループのみです。

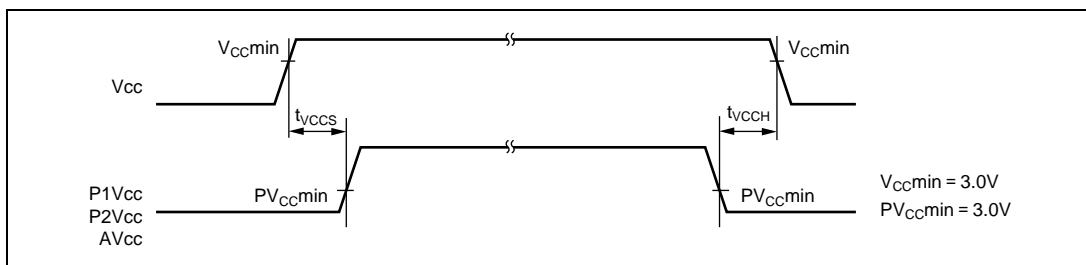


図 24.3 電源投入・切断タイミング

24. 電気的特性

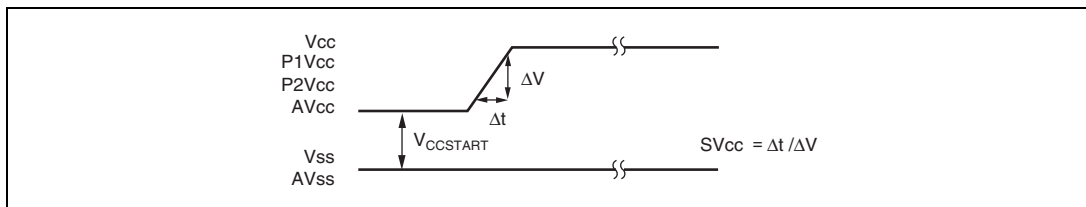


図 24.4 電源投入タイミング

24.4.2 クロックタイミング

表 24.6 にクロックタイミングを示します。

表 24.6 クロックタイミング (1)

条件 (H8S/2552 グループ、H8S/2506 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) / $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、
 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 26MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)*、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min.	max.	単位	測定条件
クロックサイクル時間		t_{CYC}	38	125	ns	図 24.5
クロックハイレベルパルス幅		t_{CH}	12		ns	
クロックローレベルパルス幅		t_{CL}	12		ns	
クロック立ち上がり時間		t_{Cv}		5	ns	
クロック立ち下がり時間		t_{Cf}		5	ns	
EXTAL クロック入力周波数	PLL1 逡倍	f_{EX}	8	26	MHz	図 21.5
	PLL2 逡倍		8	13		
リセット発振安定時間 (水晶)		t_{OSC1}	20		ms	図 24.6
リセット発振安定時間 (外部クロック)			20			
ソフトウェアスタンバイ発振安定時間 (水晶)		t_{OSC2}	8		ms	図 22.3
外部クロック出力安定遅延時間		t_{DEXT}	8		ms	図 24.6
サブクロック発振安定時間		t_{OSC3}	2		s	
サブクロック発振器発振周波数		f_{SUB}	32.768		kHz	
サブクロック (ϕ_{SUB}) サイクル時間		t_{SUB}	30.5		μs	

【注】 * 通常仕様品は H8S/2506 グループのみです。

表 24.6 クロックタイミング (2)

条件 (H8S/2556 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0)/

$3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 20MHz$ 、 $T_{\theta} = -40 \sim +85$ (広温度範囲仕様品)

項 目		記号	min.	max.	単位	測定条件
クロックサイクル時間		t_{cyc}	50	125	ns	図 24.5
クロックハイレベルパルス幅		t_{CH}	18		ns	
クックローレベルパルス幅		t_{CL}	18		ns	
クック立ち上がり時間		t_{Cr}		5	ns	
クック立ち下がり時間		t_{Cr}		5	ns	
EXTAL クロック入力周波数	PLL1 逡倍	f_{EX}	8	20	MHz	図 21.5
	PLL2 逡倍		8	10		
リセット発振安定時間 (水晶)		t_{OSC1}	20		ms	図 24.6
リセット発振安定時間 (外部クック)			20		ms	
ソフトウェアスタンバイ発振安定時間 (水晶)		t_{OSC2}	8		ms	図 22.3
外部クック出力安定逡延時間		t_{DEXT}	8		ms	図 24.6
サブクック発振安定時間		t_{OSC3}	2		s	
サブクック発振器発振周波数		f_{SUB}	32.768		kHz	
サブクック (ϕ_{SUB}) サイクル時間		t_{SUB}	30.5		μs	

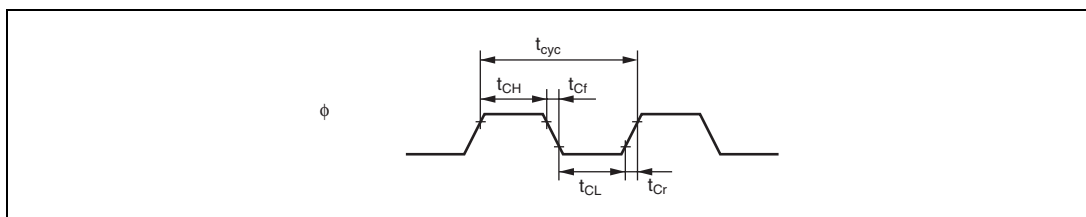


図 24.5 システムクックタイミング

24. 電気的特性

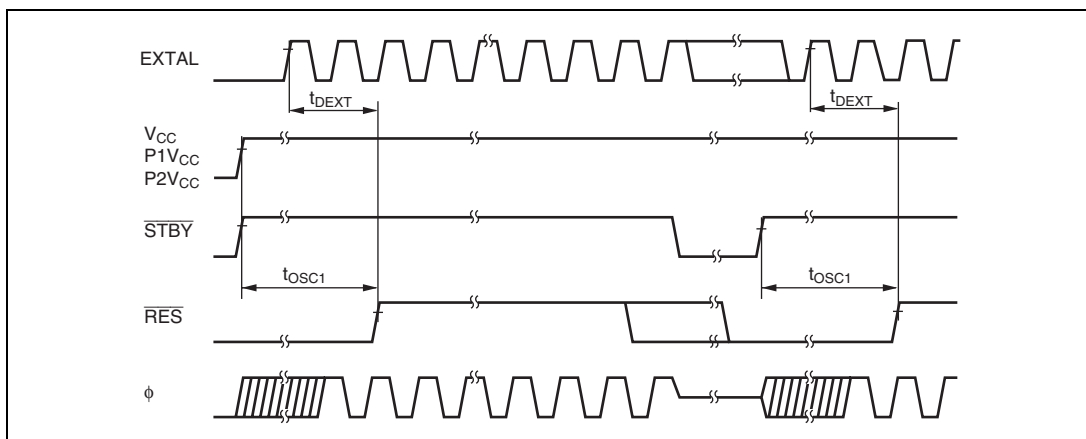


図 24.6 発振安定時間タイミング

24.4.3 制御信号タイミング

表 24.7 に制御信号タイミングを示します。

表 24.7 制御信号タイミング

条件 A (H8S/2552 グループ、H8S/2506 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、
 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、8 ~ 26MHz、
 $T_a = -20 \sim +75$ (通常仕様品)*、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B (H8S/2556 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、8 ~ 20MHz、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	max.	単位	測定条件
RES セットアップ時間	t_{RESS}	250		ns	図 24.7
RES パルス幅	t_{RESW}	20		t_{cyc}	
MRES セットアップ時間	t_{MRESS}	250		ns	
MRES パルス幅	t_{MRESW}	20		t_{cyc}	
NMI セットアップ時間	t_{NMIS}	250		ns	図 24.8
NMI ホールド時間	t_{NMIH}	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMiW}	200		ns	
IRQ セットアップ時間	t_{IRQS}	250		ns	
IRQ ホールド時間	t_{IRQH}	10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IROW}	200		ns	

【注】 * 通常仕様品は H8S/2506 グループのみです。

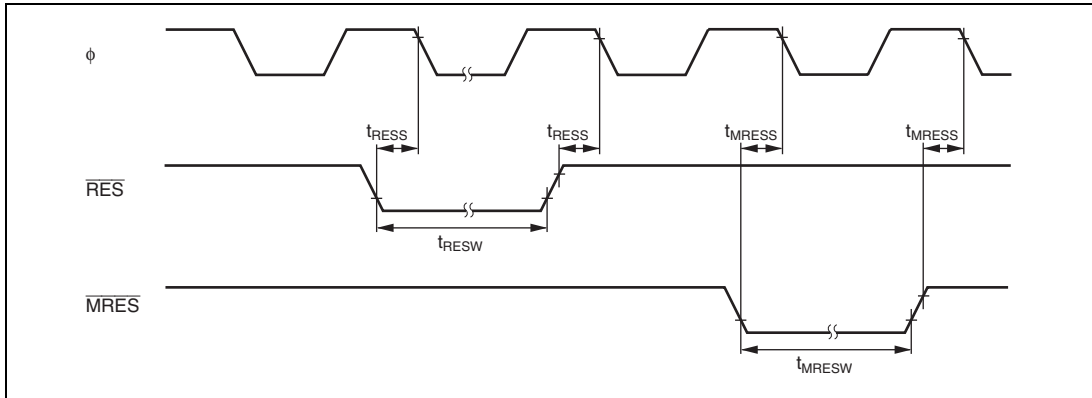


図 24.7 リセット入力タイミング

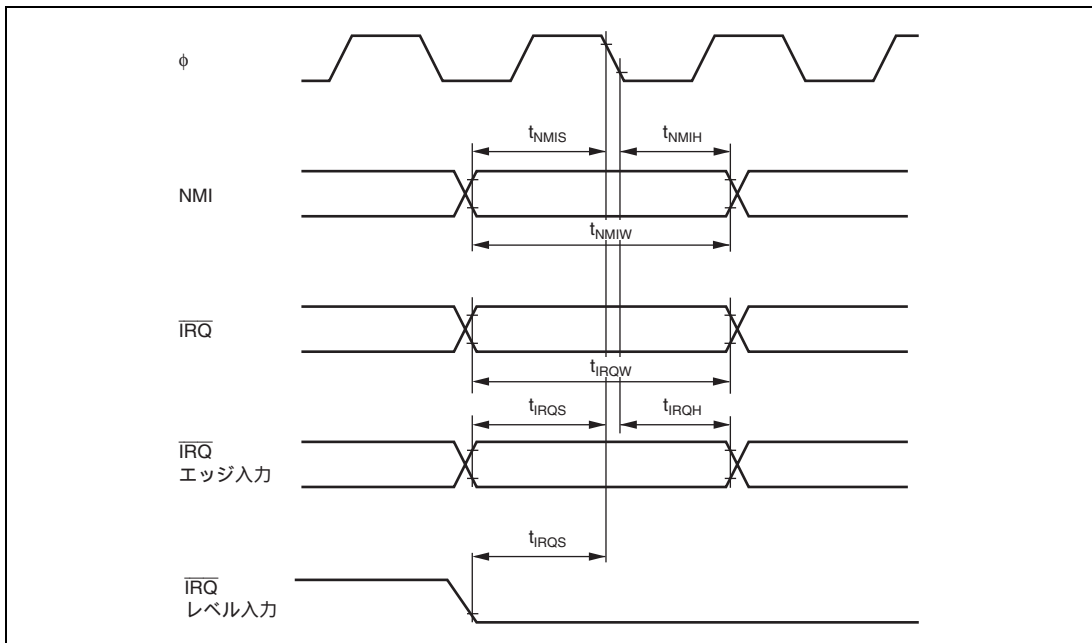


図 24.8 割り込み入力タイミング

24. 電気的特性

24.4.4 バスタイミング

表 24.8 にバスタイミングを示します。

表 24.8 バスタイミング

条件 A (H8S/2552 グループ、H8S/2506 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、
 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 26MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)*、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B (H8S/2556 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 20MHz$ 、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min.	max.	min.	max.		
アドレス遅延時間	t_{AD}		30		35	ns	図 24.9 ~ 図 24.12
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 8$		$0.5 \times t_{cyc} - 8$		ns	
\overline{CS} 遅延時間	t_{CSD}		30		35	ns	
AS 遅延時間	t_{ASD}		25		25	ns	
\overline{RD} 遅延時間 1	t_{RSD1}		25		25	ns	
\overline{RD} 遅延時間 2	t_{RSD2}		25		25	ns	
リードデータセットアップ時間	t_{RDS}	30		30		ns	
リードデータホールド時間	t_{RDH}	10		10		ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 40$		$2.5 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 50$	ns	
\overline{WR} 遅延時間 1	t_{WRD1}		18		25	ns	
\overline{WR} 遅延時間 2	t_{WRD2}		18		25	ns	
\overline{WR} パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 15$		$1.0 \times t_{cyc} - 20$		ns	
\overline{WR} パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 15$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	t_{WDD}		25		40	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 19$		$0.5 \times t_{cyc} - 25$		ns	図 24.10
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 12$		$0.5 \times t_{cyc} - 20$		ns	
WAIT セットアップ時間	t_{WTS}	25		25		ns	図 24.11
WAIT ホールド時間	t_{WTH}	10		10		ns	
\overline{BREQ} セットアップ時間	t_{BRQS}	25		30		ns	図 24.13
BACK 遅延時間	t_{BACD}		25		40	ns	
バスマフローティング時間	t_{BZD}		38		50	ns	

【注】 * 通常仕様品は H8S/2506 グループのみです。

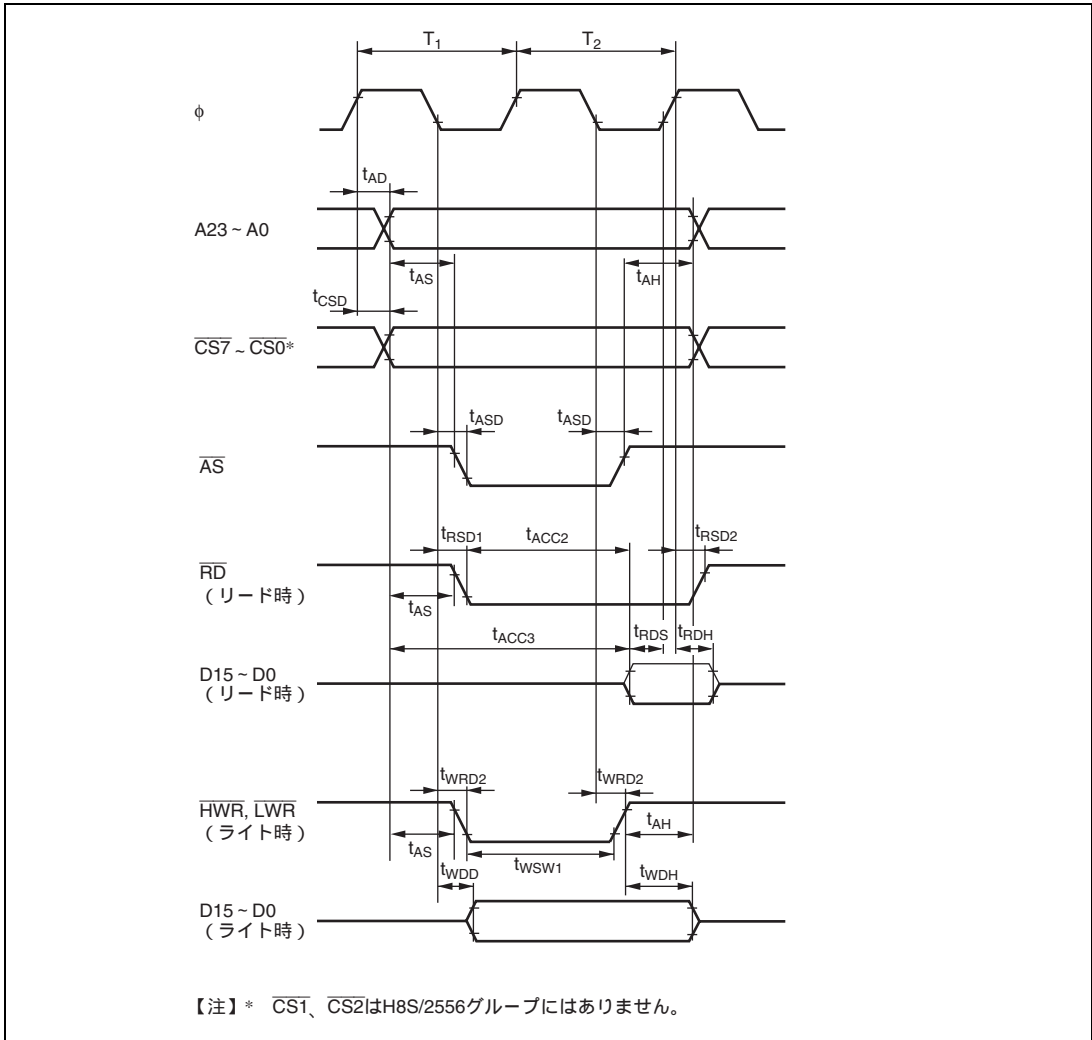


図 24.9 基本バスタイミング / 2 ステートアクセス

24. 電気的特性

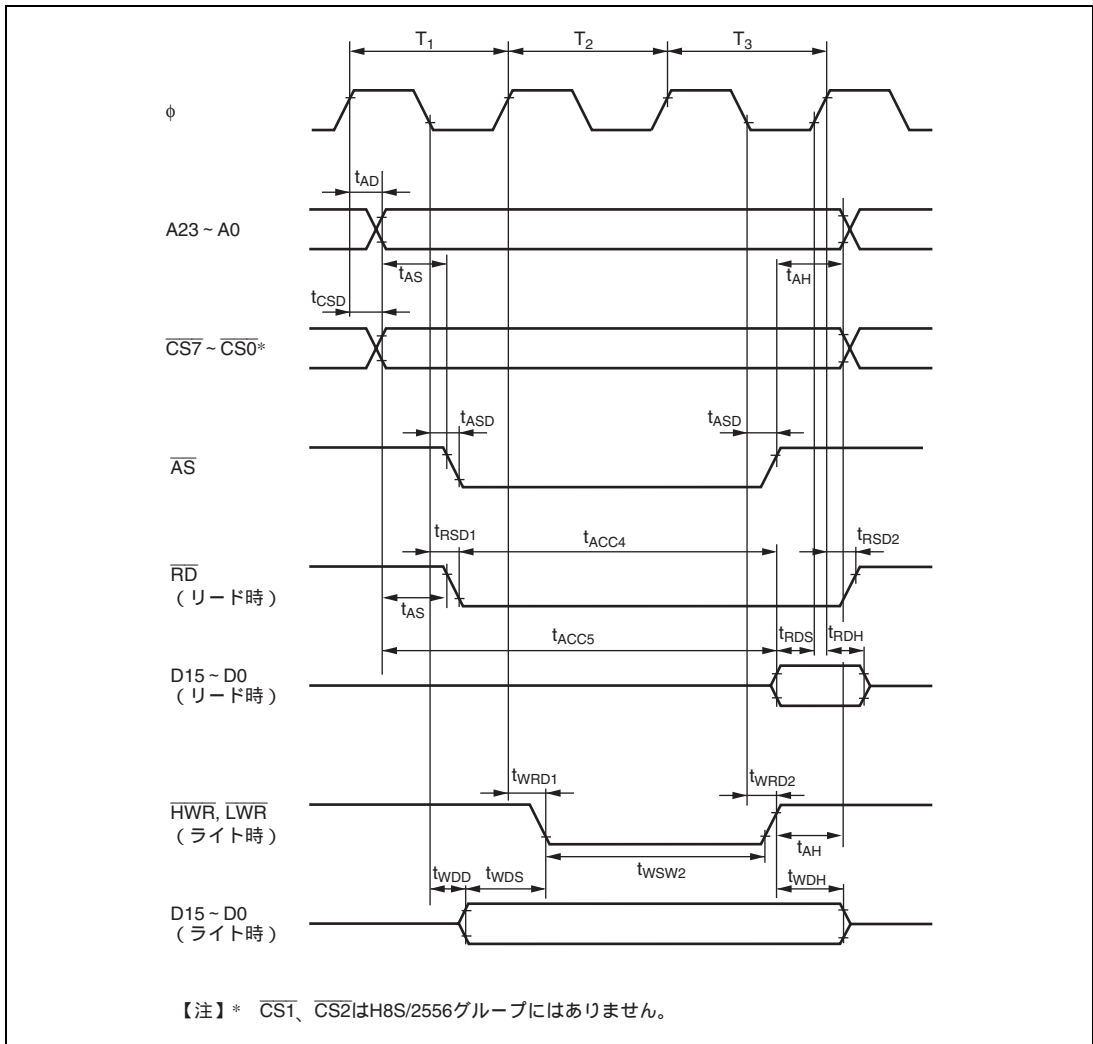


図 24.10 基本バスタイミング / 3 ステートアクセス

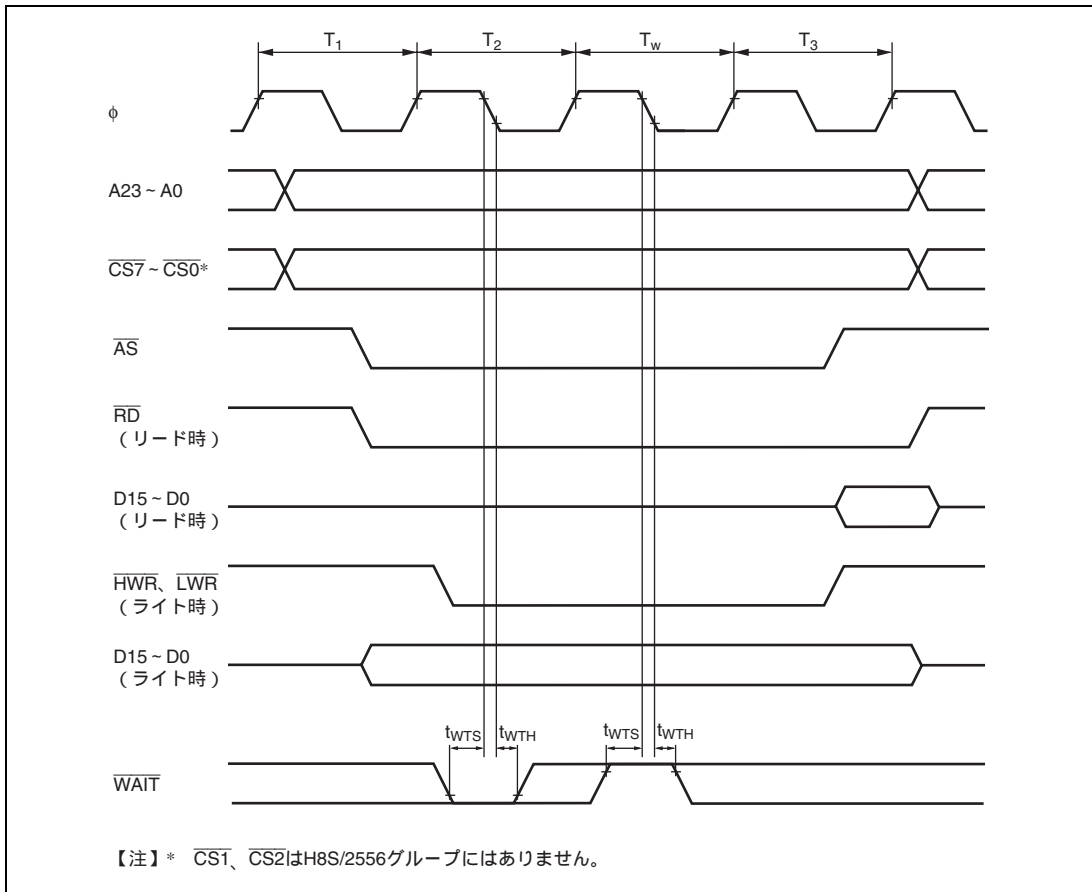


図 24.11 基本バスタイミング / 3 ステートアクセス 1 ウェイト

24. 電気的特性

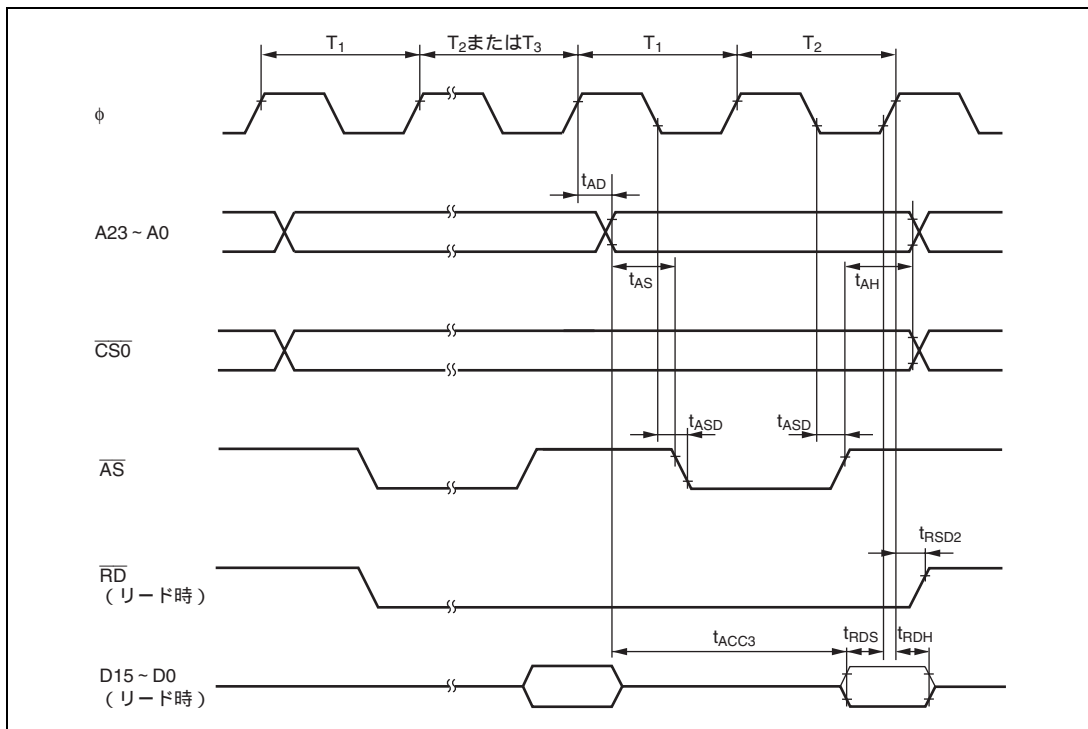
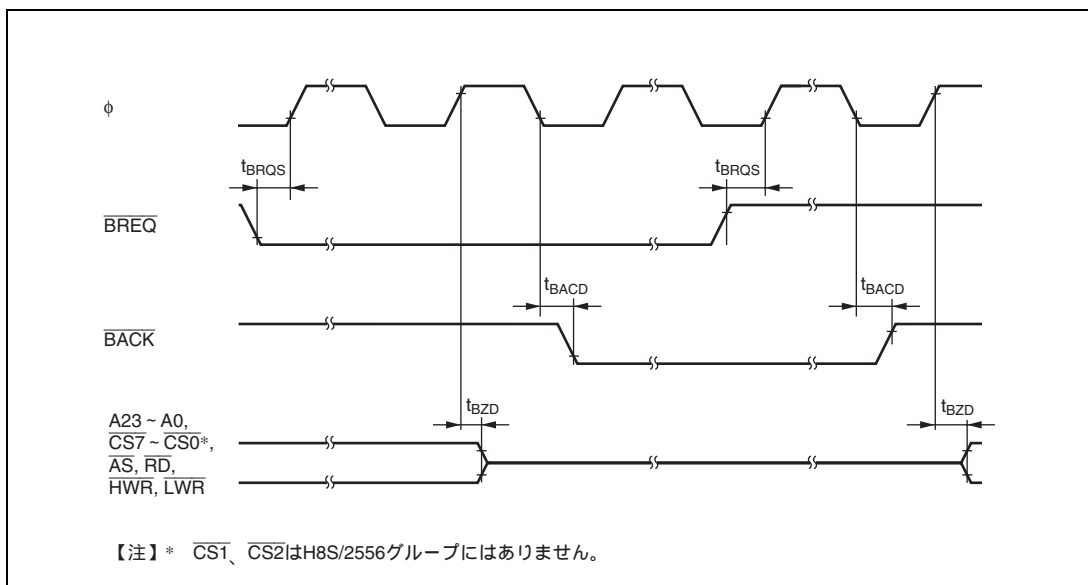


図 24.12 パースタティック ROM アクセスタイミング / 2 ステートアクセス



【注】* $\overline{CS1}$ 、 $\overline{CS2}$ はH8S/2556グループにはありません。

図 24.13 外部バス権解放タイミング

24.4.5 内蔵周辺モジュールタイミング

表 24.9 に内蔵周辺タイミングを、表 24.10 に I²C バスタイミングを示します。

表 24.9 内蔵周辺タイミング

条件 A (H8S/2552 グループ、H8S/2506 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、
 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、8 ~ 26MHz、
 $T_a = -20 \sim +75$ (通常仕様品)*¹、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B (H8S/2556 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、8 ~ 20MHz、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件 A		条件 B		単位	測定条件	
			min.	max.	min.	max.			
I/Oポート* ³	出力データ遅延時間	t_{PWD}		38		50	ns	図 24.14	
	入力データセットアップ時間	t_{PRS}	28		30				
	入力データホールド時間	t_{PRH}	28		30				
TPU	タイマ出力遅延時間	t_{TOCD}		38		50	ns	図 24.15	
	タイマ入力セットアップ時間	t_{TICS}	28		30				
	タイマクロック入力セットアップ時間	t_{TCKS}	28		30		ns	図 24.16	
	タイマクロック パルス幅	単エッジ指定	t_{TCKWH}	1.5		1.5	t_{cyc}		
		両エッジ指定	t_{TCKWL}	2.5		2.5			
TMR	タイマ出力遅延時間	t_{TMOD}		38		50	ns	図 24.17	
	タイマリセット入力セットアップ時間	t_{TMRS}	28		30				ns
	タイマクロック入力セットアップ時間	t_{TMCS}	28		30		ns		
	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5		1.5	t_{cyc}		
		両エッジ指定	t_{TMCWL}	2.5		2.5			
WDT_1	BUZZ 出力遅延時間	t_{BUZD}		38		50	ns	図 24.20	
SCI* ³	入カクロック サイクル	調歩同期	t_{Scyc}	4		4	t_{cyc}	図 24.21	
		クロック同期		6		6			
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	t_{Scyc}		
	入カクロック立ち上がり時間	t_{SCKr}		1.5		1.5	t_{cyc}		
	入カクロック立ち下がり時間	t_{SCKf}		1.5		1.5			
	送信データ遅延時間	t_{TXD}		50		50	ns		図 24.22
	受信データセットアップ時間 (クロック同期)	t_{RXS}	38		50		ns		
受信データホールド時間 (クロック同期)	t_{RXH}	38		50		ns			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	28		30		ns	図 24.23	

24. 電気的特性

項目	記号	条件 A		条件 B		単位	測定条件
		min.	max.	min.	max.		
HCAN* ²	送信データ遅延時間	tHTXD			50	ns	図 24.24
	送信データセットアップ時間	tHRXS		30		ns	
	送信データホールド時間	tHRXH			30		

【注】 *1 通常仕様品は H8S/2506 グループのみです。

*2 (H8S/2556 グループ)HCAN の入力信号は非同期信号ですが、図 24.24 に示されたφクロック立ち上がり(2クロック間隔)で変化が生じたものとして判定されます。HCAN 出力信号は非同期信号ですが、図 24.24 に示されたφクロック立ち上がり(2クロック間隔)で基準に変化します。

*3 P35/SCK1/SCK4、P34 の High レベルは NMOS 駆動されます。High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。

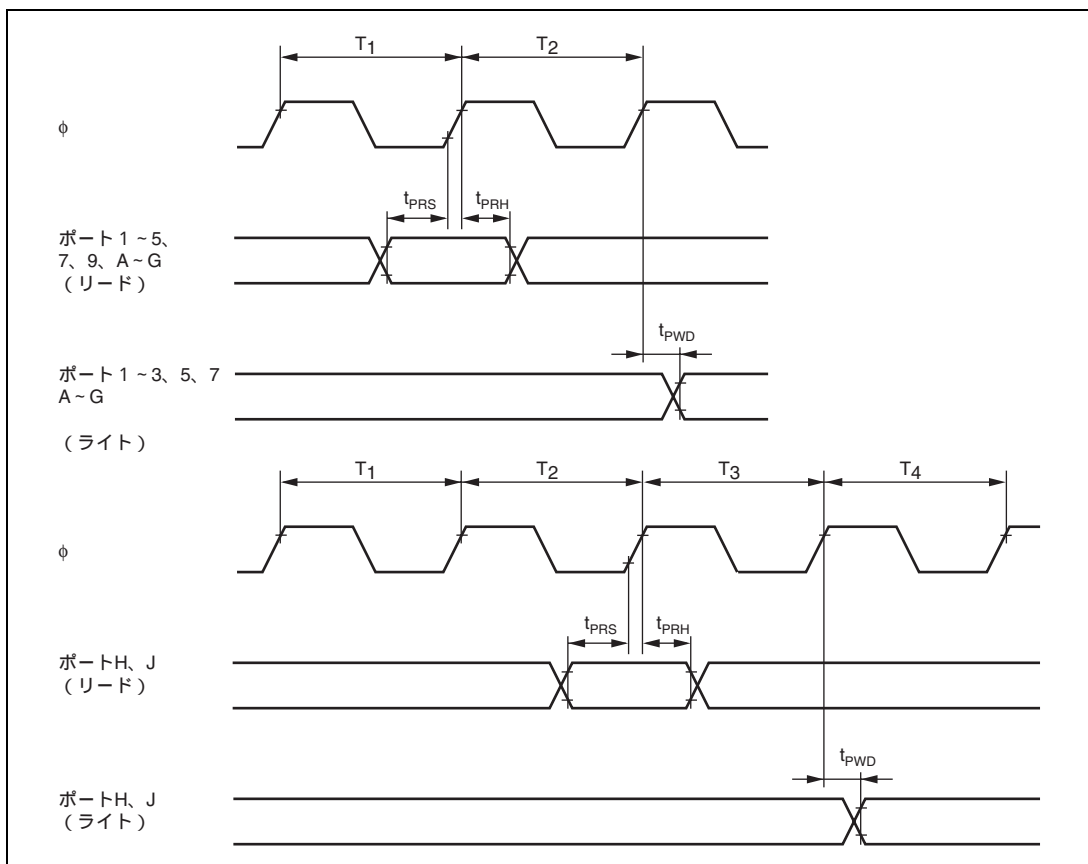


図 24.14 I/O ポート入出力タイミング

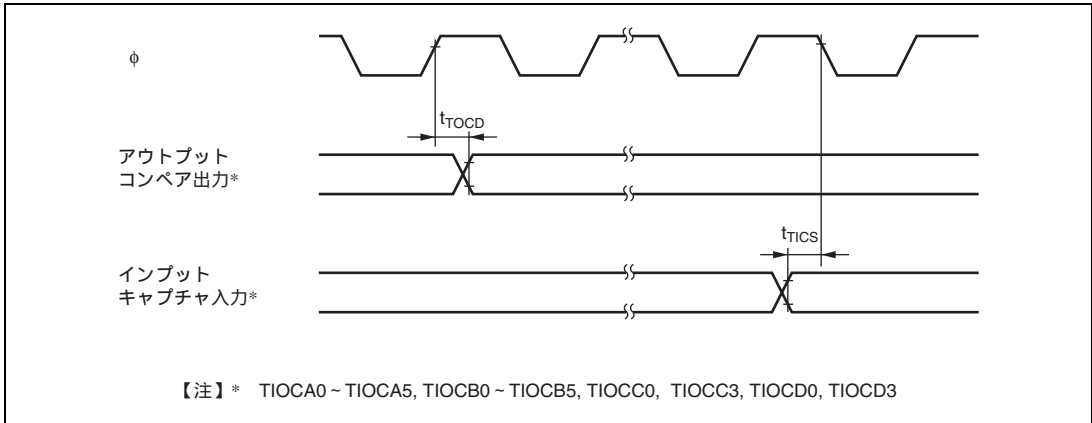


図 24.15 TPU 入出力タイミング

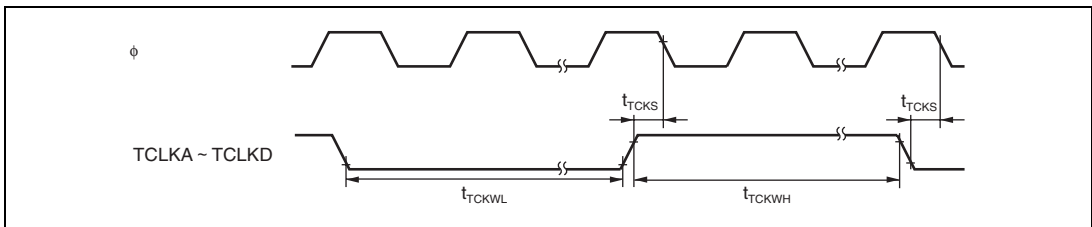


図 24.16 TPU クロック入力タイミング

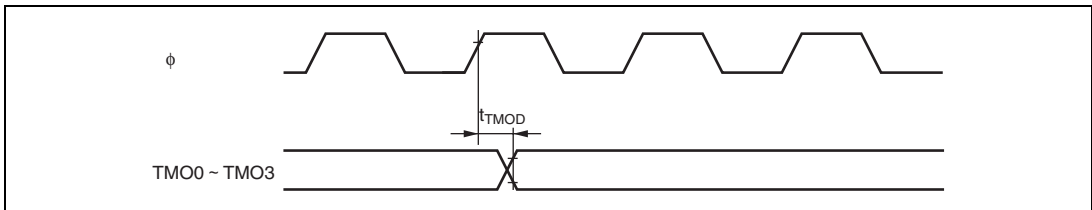


図 24.17 8ビットタイマ出力タイミング

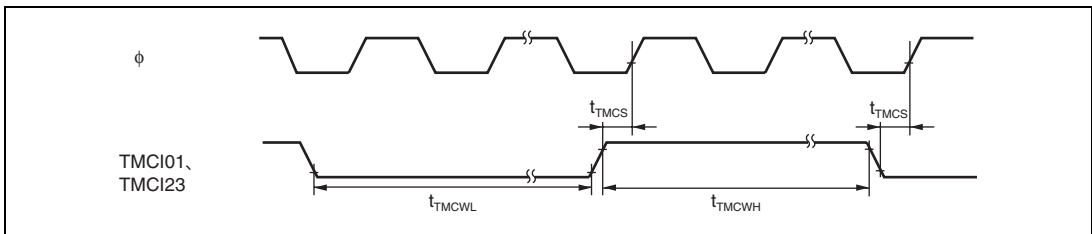


図 24.18 8ビットタイマクロック入力タイミング

24. 電気的特性

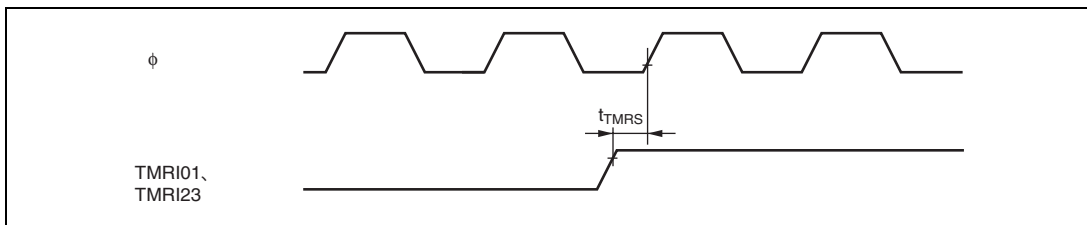


図 24.19 8ビットタイマリセット入力タイミング

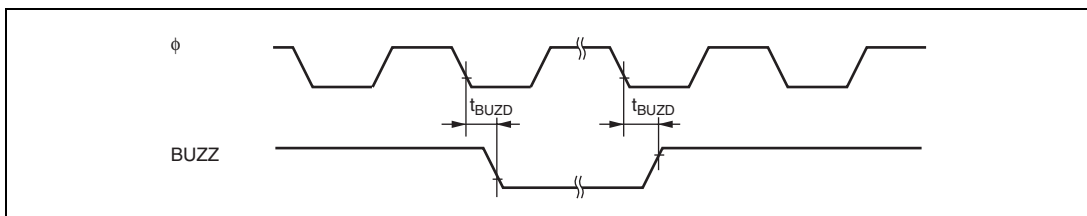


図 24.20 WDT_1 出力タイミング

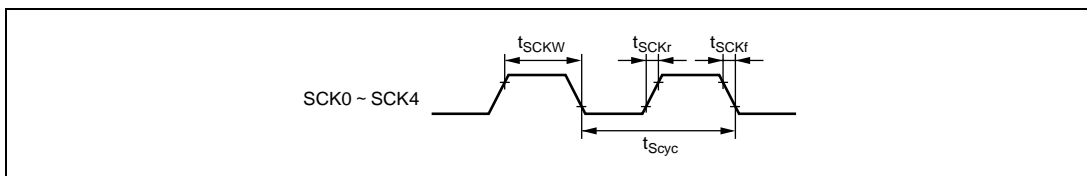


図 24.21 SCK クロック入力タイミング

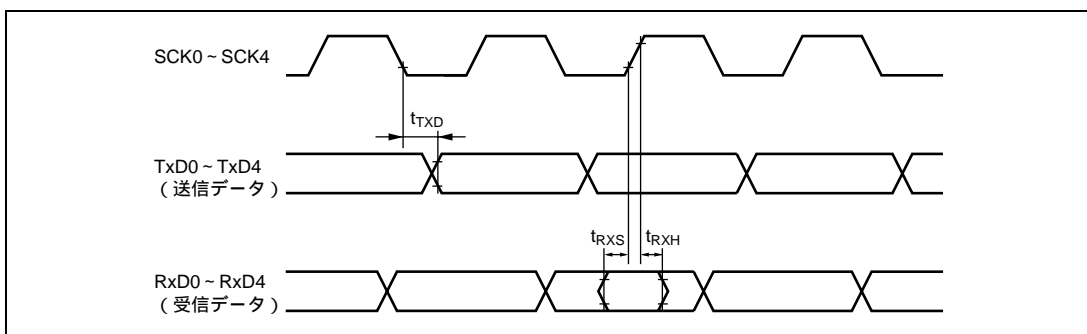


図 24.22 SCI 入出力タイミング/クロック同期式モード

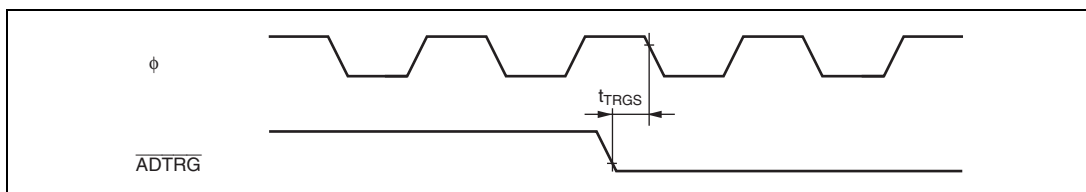


図 24.23 A/D 変換器外部トリガ入力タイミング

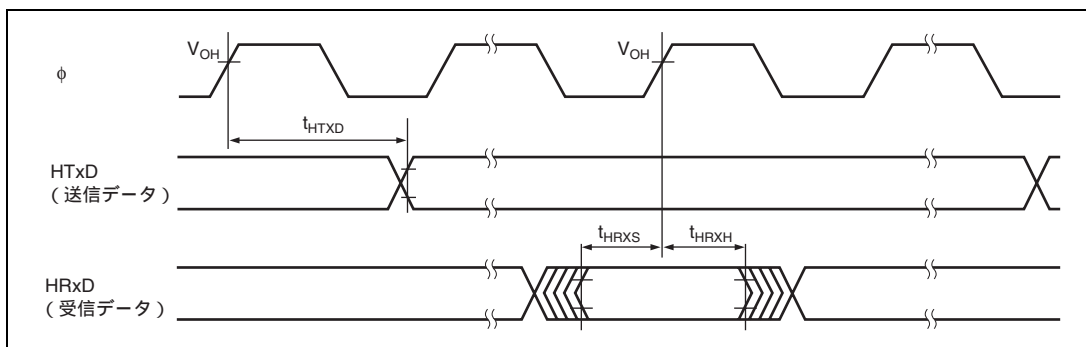


図 24.24 HCAN 入出力タイミング

表 24.10 I²C2 バスタイミング

条件：V_{CC} = 3.0 ~ 5.5V、P1V_{CC} = 3.0 ~ 5.5V、P2V_{CC} = 3.0 ~ 5.5V、V_{SS} = 0V、φ = 8MHz ~ 最大動作周波数、T_a = -20 ~ +75

項目	記号	規定値			単位	測定条件
		min.	typ.	max.		
SCL 入力サイクル時間	t _{SCL}	12t _{cyc} +600			ns	図 24.25
SCL 入力 High パルス幅	t _{SCLH}	3t _{cyc} +300			ns	
SCL 入力 Low パルス幅	t _{SCLL}	5t _{cyc} +300			ns	
SCL、SDA 入力立ち下がり時間	t _{SF}			300	ns	
SCL、SDA 入カスバイクパルス除去時間	t _{SP}			1t _{cyc}	ns	
SDA 入力バスフリー時間	t _{BUF}	5t _{cyc}			ns	
開始条件入力ホールド時間	t _{STAH}	3t _{cyc}			ns	
再送開始条件入力セットアップ時間	t _{STAS}	3t _{cyc}			ns	
停止条件入力セットアップ時間	t _{STOS}	3t _{cyc}			ns	
データ入力セットアップ時間	t _{SDAS}	1t _{cyc} +20			ns	
データ入力ホールド時間	t _{SDAH}	0*			ns	
SCL、SDA の容量性負荷	C _b	0		400	pF	
SCL、SDA 出力立ち下がり時間	t _{SF}	20+0.1Cb		250	ns	

【注】 * SCL のクロックが High の期間は SDA を変化させない仕様になっていますので、SCL の Low レベル (V_{IL} = 0.25 × V_{CC}) に対する SDA のデータホールド時間 (t_{SDAH}) が 0ns 以上となるようにシステムを構築してください。

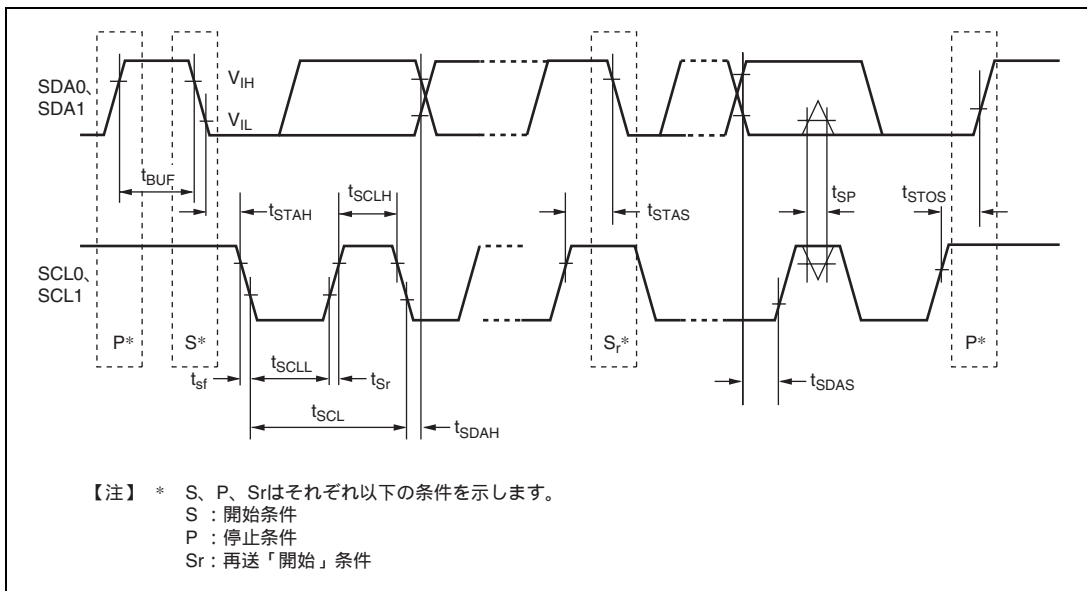


図 24.25 I²C2 バスインタフェース入出力タイミング

24.5 A/D 変換特性

表 24.11 に A/D 変換特性を示します。

表 24.11 A/D 変換特性

条件 A (H8S/2552 グループ、H8S/2506 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、
 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 26MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)*、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B (H8S/2556 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 20MHz$ 、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	min.	typ.	max.	単位
分解能	10	10	10	ビット
変換時間	9.8			μs
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k Ω
非直線性誤差			± 6.0	LSB
オフセット誤差			± 4.0	LSB
フルスケール誤差			± 4.0	LSB
量子化誤差			± 0.5	LSB
絶対精度			± 8.0	LSB

【注】 * 通常仕様品は H8S/2506 グループのみです。

24.6 D/A 変換特性

表 24.12 に D/A 変換特性を示します。

表 24.12 D/A 変換特性

条件 A (H8S/2552 グループ、H8S/2506 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、
 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 26MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)*¹、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B (H8S/2556 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 20MHz$ 、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	min.	typ.	max.	単位	測定条件
分解能	8	8	8	ビット	
変換時間			10	μs	負荷容量 20pF
絶対精度* ²		± 2.0	± 3.0	LSB	負荷抵抗 2M Ω
			± 2.0	LSB	負荷抵抗 4M Ω

【注】 *1 通常仕様品は H8S/2506 グループのみです。

*2 モジュールストップモード、ソフトウェアスタンバイモードおよびウォッチモード時は除きます。

24.7 フラッシュメモリ特性

表 24.13 にフラッシュメモリ特性を示します。

表 24.13 フラッシュメモリ特性

条件 A (H8S/2552 グループ、H8S/2506 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、
 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 26MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)*5、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B (H8S/2556 グループ) : $V_{CC} = P1V_{CC} = P2V_{CC} = 5.0V \pm 0.5V$ (ICPCR の BUFGC1 = BUFGC2 = 0) /
 $3.3V \pm 0.3V$ (ICPCR の BUFGC1 = BUFGC2 = 1)、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $8 \sim 20MHz$ 、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min.	typ.	max.	単位	測定条件
書き込み時間*1*2*4	t_p	-	3	30	ms/128 バイト	
消去時間*1*3	t_E	-	80	800	ms/4K バイト	
		-	500	5000	ms/32K バイト	
		-	1000	10000	ms/64K バイト	
書き込み時間 (総和) *1*2*4	t_{IP}	-	7.5	22.5	s/384K バイト	$T_a = 25$ 、all 0 時
		-	10	30	s/512K バイト	
消去時間 (総和) *1*2*4	t_{IE}	-	7.5	22.5	s/384K バイト	$T_a = 25$
		-	10	30	s/512K バイト	
書き込み、消去時間 (総和) *1*2*4	t_{PE}	-	15	45	s/384K バイト	$T_a = 25$
		-	20	60	s/512K バイト	
書き換え回数	N_{WEC}	100*3	-	-	回	
データ保持時間*4	t_{DRP}	10	-	-	年	

【注】 *1 書き込み、消去時間はデータに依存します。

*2 書き込み、消去時間にはデータ転送時間は含みません。

*3 書き換え後のすべての特性を保証する min.回数です。(保証は 1 ~ min.値の範囲です。)

*4 書き換えが min.値を含む仕様範囲内で行われたときの特性です。

*5 通常仕様品は H8S/2506 グループのみです。

付録

A. 各端子状態における I/O ポートの状態

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード
ポート 1	6、7	T	keep	T	keep	keep	入出力ポート
ポート 2	6、7	T	keep	T	keep	keep	入出力ポート
ポート 3	6、7	T	keep	T	keep	keep	入出力ポート
ポート 4	6、7	T	T	T	T	T	入力ポート
ポート 5	6、7	T	keep	T	keep	keep	入出力ポート
P77 ~ P74	6、7	T	keep	T	keep	keep	入出力ポート
P73/TMO1/ $\overline{CS7}$	7	T	keep	T	keep	keep	入出力ポート
P72/TMO0/ $\overline{CS6}$ P71/TMRI23/ TMCI23/ $\overline{CS5}$ P70/TMRI01/ TMCI01/ $\overline{CS4}$	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS7}$ ~ $\overline{CS4}$
P97/DA1 P96/DA0	6、7	T	T	T	[DAOEn = 1] keep [DAOEn = 0] T	keep	入力ポート
P95 ~ P90	6、7	T	T	T	T	T	入力ポート
ポート A	7	T	Keep	T	keep	keep	入出力ポート
AE _n ビットで アドレス出力 選択	6	T	Keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
ポート選択	6	T	keep	T	keep	keep	入出力ポート

付録

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード	
ポート B	7	T	keep	T	keep	keep	入出力ポート	
AEn ビットで アドレス出力 選択	6	T	Keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	ポート選択	6	T	keep	T	keep	keep	入出力ポート
ポート C	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	7	T	keep	T	keep	keep	入出力ポート	
ポート D	6	T	T	T	T	T	データバス	
	7	T	keep	T	keep	keep	入出力ポート	
ポート E	8 ビットバス	6	T	keep	T	keep	keep	入出力ポート
	16 ビットバス	6	T	T	T	T	T	データバス
		7	T	keep	T	keep	keep	入出力ポート
PF7/φ	6	クロック 出力*3	[DDR = 0] 入力ポート [DDR = 1] クロック 出力	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック 出力	[DDR = 0] 入力ポート [DDR = 1] クロック 出力	
	7	T	keep	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック 出力	[DDR = 0] 入力ポート [DDR = 1] クロック 出力	
PF6/ \overline{AS} PF5/ \overline{RD} PF4/ HWR	6	H*3	H	T	[OPE = 0] T [OPE = 1] H	T	\overline{AS} 、 \overline{RD} 、 \overline{HWR}	
	7	T	keep	T	keep	keep	入出力ポート	

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード
PF3/LWR/ ADTRG/IRQ3	7	T	keep	T	keep	keep	入出力ポート
8ビットバス	6	T	keep	T	keep	keep	入出力ポート
16ビット バス	6		H	T	[OPE = 0] T [OPE = 1] H	T	LWR
PF2/WAIT	6	T	keep	T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] 入出力ポート [WAITE = 1] WAIT
	7	T	keep	T	keep	keep	入出力ポート
PF1/BACK/BUZZ	6	T	keep	T	[BRLE = 0] keep [BRLE = 1] H	L	[BRLE = 0] 入出力ポート [BRLE = 1] BACK
	7	T	keep	T	keep	keep	入出力ポート
PF0/BREQ/IRQ2	6	T	keep	T	[BRLE = 0] keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] BREQ
	7	T	keep	T	keep	keep	入出力ポート
PG4/CS0	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] CS0 (スリープモード時H)
	7	T	keep	T	keep	keep	入出力ポート
PG3/RX/CS1* ¹ PG2/TX/CS2* ¹ PG1/CS3/IRQ7	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] CS1 ~ CS3
	7	T	keep	T	keep	keep	入出力ポート

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード
PG0/ $\overline{\text{IRQ6}}$	6、7	T	keep	T	keep	keep	入出力ポート
ポートH	6、7	T	keep	T	keep	keep	入出力ポート
ポートJ	6、7	T	keep	T	keep	keep	入出力ポート
THxD* ²	6、7	H* ³	H	T	H	keep	THxD 出力
HRxD* ²	6、7	入力	入力	T	T	入力	HRxD 入力

【記号説明】

H : High レベル
 L : Low レベル
 T : ハイインピーダンス
 keep : 入力ポートはハイインピーダンス、出力ポートは保持
 DDR : データディレクションレジスタ
 OPE : 出力ポートイネーブル
 WAITE : ウェイト入力イネーブル
 BRLE : バスリリースイネーブル

- 【注】 *1 H8S/2556 グループは PG3、PG2 はありません。
 H8S/2552 グループは PG3/RX/CS1、PG2/TX/CS2 (IEE = 1 で $\overline{\text{RX}}$ 、 $\overline{\text{TX}}$ が有効になります。)、
 H8S/2506 グループは PG3/CS1、PG2/CS2 となります。
- *2 H8S/2556 グループのみ有効です。
- *3 電源投入時の出力設定端子はハイインピーダンスとなります。

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2556	フラッシュメモリ版	HD64F2556	HD64F2556FC20	144 ピン QFP (FP-144J、FP-144JV)
H8S/2552	フラッシュメモリ版	HD64F2552	HD64F2552FC26	144 ピン QFP (FP-144J、FP-144JV)
			HD64F2552BR26	176 ピン LFBGA (BP-176V)
H8S/2551	フラッシュメモリ版	HD64F2551	HD64F2551FC26	144 ピン QFP (FP-144J、FP-144JV)
			HD64F2551BR26	176 ピン LFBGA (BP-176V)
H8S/2506	フラッシュメモリ版	HD64F2506	HD64F2506FC26	144 ピン QFP (FP-144J、FP-144JV)
			HD64F2506BR26	176 ピン LFBGA (BP-176V)
H8S/2505	フラッシュメモリ版	HD64F2505	HD64F2505FC26	144 ピン QFP (FP-144J、FP-144JV)
			HD64F2505BR26	176 ピン LFBGA (BP-176V)

C. 外形寸法図

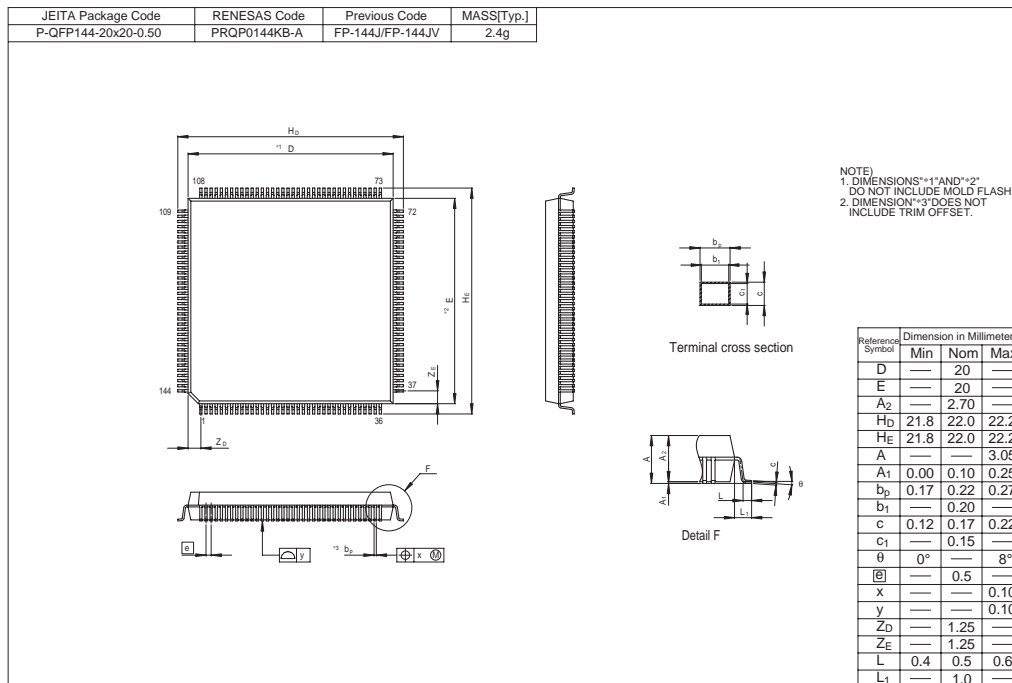


図 C.1 外形寸法図 (FP-144J、FP-144JV)

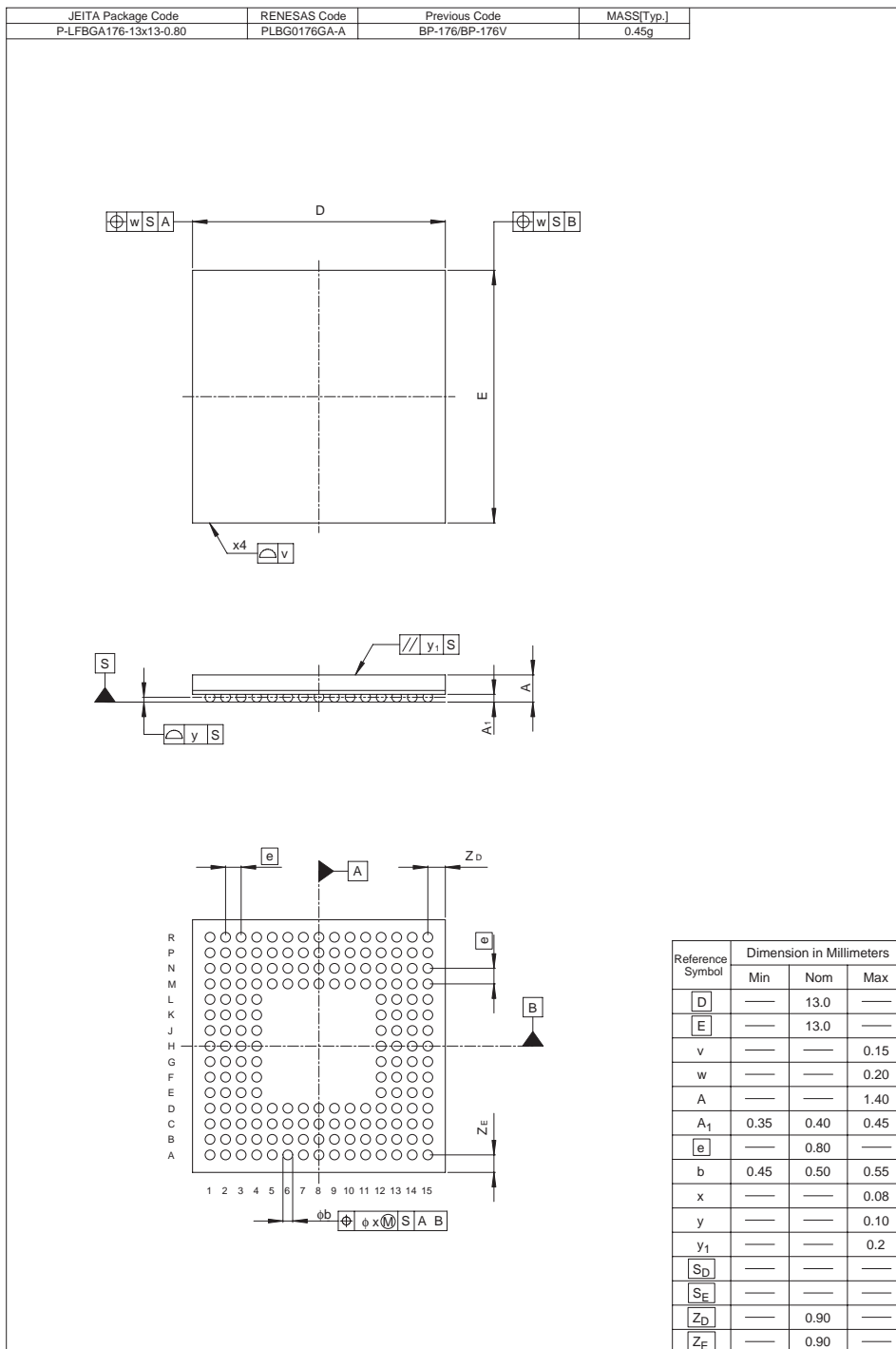


図 C.2 外形寸法図 (BP-176V)

本版で改訂された箇所

修正箇所	ページ	修正内容（詳細はマニュアル参照）																				
12.3.1 タイマカウンタ（TCNT）	12-3	<p>説明を修正</p> <p>TCNT は、タイマコントロール/ステータスレジスタ（TCSR）の TME ビットが 0 のとき、H'00 に初期化されます。</p> <p>タイマ動作中に TCNT を H'00 にする場合には直接 TCNT に H'00 をライトしてください。「12.6.7 TME ビットによる TCNT 初期化時の注意」も参照してください。</p>																				
12.6.7 TME ビットによる TCNT 初期化時の注意	12-13	新規追加																				
13.3.7 シリアルステータスレジスタ（SSR）	13-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TDRE</td> <td>1</td> <td>R(W)¹</td> <td> <p>トランスミットデータレジスタエンプティ</p> <p>TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき <p>TDR から TSR にデータが転送されたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ TXI 割り込み要求により DTC²⁾で TDR へ送信データを転送したとき </td> </tr> <tr> <td>6</td> <td>RDRF</td> <td>0</td> <td>R(W)¹</td> <td> <p>レシーブデータレジスタフル</p> <p>RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ RXI 割り込みにより DTC²⁾で RDR からデータが転送したとき <p>SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p> </td> </tr> <tr> <td>5</td> <td>ORER</td> <td>0</td> <td>R(W)¹</td> <td> <p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p> </td> </tr> </tbody> </table> <p>• 通常のシリアルコミュニケーションインタフェースモード（SCMR の SMIF=0 のとき）</p>	ビット	ビット名	初期値	R/W	説明	7	TDRE	1	R(W) ¹	<p>トランスミットデータレジスタエンプティ</p> <p>TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき <p>TDR から TSR にデータが転送されたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ TXI 割り込み要求により DTC²⁾で TDR へ送信データを転送したとき 	6	RDRF	0	R(W) ¹	<p>レシーブデータレジスタフル</p> <p>RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ RXI 割り込みにより DTC²⁾で RDR からデータが転送したとき <p>SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>	5	ORER	0	R(W) ¹	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>
ビット	ビット名	初期値	R/W	説明																		
7	TDRE	1	R(W) ¹	<p>トランスミットデータレジスタエンプティ</p> <p>TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき <p>TDR から TSR にデータが転送されたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ TXI 割り込み要求により DTC²⁾で TDR へ送信データを転送したとき 																		
6	RDRF	0	R(W) ¹	<p>レシーブデータレジスタフル</p> <p>RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ RXI 割り込みにより DTC²⁾で RDR からデータが転送したとき <p>SCR の RE をクリアしても RDR および RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>																		
5	ORER	0	R(W) ¹	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき²⁾ <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>																		

修正箇所	ページ	修正内容（詳細はマニュアル参照）																									
<p>13.3.7 シリアルステータスレジスタ（SSR）</p> <ul style="list-style-type: none"> 通常のシリアルコミュニケーションインタフェースモード（SCMRのSMIF=0のとき） 	13-15	<p>表を修正</p> <table border="1" data-bbox="642 343 1186 830"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>FER</td> <td>0</td> <td>R/(W)¹</td> <td> <p>フレーミングエラー</p> <p>誤歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。 <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p> </td> </tr> <tr> <td>3</td> <td>PER</td> <td>0</td> <td>R/(W)¹</td> <td> <p>パリティエラー</p> <p>誤歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p> </td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*3 CPUによりフラグをクリアする場合、0をライトした後に、再度フラグをリードしてください。</p>	ビット	ビット名	初期値	RW	説明	4	FER	0	R/(W) ¹	<p>フレーミングエラー</p> <p>誤歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。 <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>	3	PER	0	R/(W) ¹	<p>パリティエラー</p> <p>誤歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>										
ビット	ビット名	初期値	RW	説明																							
4	FER	0	R/(W) ¹	<p>フレーミングエラー</p> <p>誤歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> ストップビットが0のとき 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。 <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>																							
3	PER	0	R/(W) ¹	<p>パリティエラー</p> <p>誤歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>																							
<ul style="list-style-type: none"> スマートカードインタフェース（SCMRのSMIF=1のとき） 	13-16	<p>表を修正</p> <table border="1" data-bbox="642 981 1186 1705"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TDR</td> <td>1</td> <td>R/(W)¹</td> <td> <p>トランスミットデータレジスタエンピティ</p> <p>TDR内の送信データの有無を表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> SCRのTEが0のとき TDRからTSRにデータが転送されたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} TXI割り込み要求によりDTC^{※2}でTDRへ送信データを転送したとき </td> </tr> <tr> <td>6</td> <td>RDRF</td> <td>0</td> <td>R/(W)¹</td> <td> <p>レシブデータレジスタフル</p> <p>RDR内の受信データの有無を表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> 受信が正常終了し、RSRからRDRへ受信データが転送されたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} RXI割り込み要求によりDTC^{※2}でRDRからデータが転送したとき <p>SCRのREをクリアしてもRDRFは影響を受けず状態を保持します。RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p> </td> </tr> <tr> <td>5</td> <td>ORER</td> <td>0</td> <td>R/(W)¹</td> <td> <p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> RDRF=1の状態でのデータを受信したとき <p>RDRではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、ORERは影響を受けず以前の状態を保持します。</p> </td> </tr> <tr> <td>4</td> <td>ERS</td> <td>0</td> <td>R/(W)¹</td> <td> <p>エラーシグナルステータス</p> <p>送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> エラーシグナルLowをサンプリングしたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのTEをクリアしてもERSは影響を受けず状態を保持します。</p> </td> </tr> </tbody> </table>	ビット	ビット名	初期値	RW	説明	7	TDR	1	R/(W) ¹	<p>トランスミットデータレジスタエンピティ</p> <p>TDR内の送信データの有無を表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> SCRのTEが0のとき TDRからTSRにデータが転送されたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} TXI割り込み要求によりDTC^{※2}でTDRへ送信データを転送したとき 	6	RDRF	0	R/(W) ¹	<p>レシブデータレジスタフル</p> <p>RDR内の受信データの有無を表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> 受信が正常終了し、RSRからRDRへ受信データが転送されたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} RXI割り込み要求によりDTC^{※2}でRDRからデータが転送したとき <p>SCRのREをクリアしてもRDRFは影響を受けず状態を保持します。RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>	5	ORER	0	R/(W) ¹	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> RDRF=1の状態でのデータを受信したとき <p>RDRではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、ORERは影響を受けず以前の状態を保持します。</p>	4	ERS	0	R/(W) ¹	<p>エラーシグナルステータス</p> <p>送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> エラーシグナルLowをサンプリングしたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのTEをクリアしてもERSは影響を受けず状態を保持します。</p>
ビット	ビット名	初期値	RW	説明																							
7	TDR	1	R/(W) ¹	<p>トランスミットデータレジスタエンピティ</p> <p>TDR内の送信データの有無を表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> SCRのTEが0のとき TDRからTSRにデータが転送されたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} TXI割り込み要求によりDTC^{※2}でTDRへ送信データを転送したとき 																							
6	RDRF	0	R/(W) ¹	<p>レシブデータレジスタフル</p> <p>RDR内の受信データの有無を表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> 受信が正常終了し、RSRからRDRへ受信データが転送されたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} RXI割り込み要求によりDTC^{※2}でRDRからデータが転送したとき <p>SCRのREをクリアしてもRDRFは影響を受けず状態を保持します。RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>																							
5	ORER	0	R/(W) ¹	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> RDRF=1の状態でのデータを受信したとき <p>RDRではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのREをクリアしても、ORERは影響を受けず以前の状態を保持します。</p>																							
4	ERS	0	R/(W) ¹	<p>エラーシグナルステータス</p> <p>送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>【セット条件】</p> <ul style="list-style-type: none"> エラーシグナルLowをサンプリングしたとき <p>【クリア条件】</p> <ul style="list-style-type: none"> 1の状態をリードしたあと、0をライトしたとき^{※1} <p>SCRのTEをクリアしてもERSは影響を受けず状態を保持します。</p>																							

修正箇所	ページ	修正内容（詳細はマニュアル参照）																	
13.3.7 シリアルステータスレジスタ（SSR） • スマートカードインタフェース（SCMR の SMIF=1 のとき）	13-17	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>PER</td> <td>0</td> <td>R(W)¹</td> <td> パリティエラー 調歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。 [セット条件] • 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。 [クリア条件] • 1 の状態をリードしたあと、0 をライトしたとき² SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。 </td> </tr> </tbody> </table> 注を追加 【注】*3 CPU によりフラグをクリアする場合、0 をライトした後に、再度フラグをリードしてください。	ビット	ビット名	初期値	R/W	説明	3	PER	0	R(W) ¹	パリティエラー 調歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。 [セット条件] • 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。 [クリア条件] • 1 の状態をリードしたあと、0 をライトしたとき ² SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。							
ビット	ビット名	初期値	R/W	説明															
3	PER	0	R(W) ¹	パリティエラー 調歩同期モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。 [セット条件] • 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。 [クリア条件] • 1 の状態をリードしたあと、0 をライトしたとき ² SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。															
20.1.2 動作モード 表 20.1 MD 端子設定と動作モード	20-4	表を修正 <table border="1"> <thead> <tr> <th>モード</th> <th>リセット状態</th> <th>内蔵 ROM 有効モード¹</th> <th>ユーザプログラムモード²</th> <th>ユーザブートモード</th> <th>ブートモード</th> <th>ライトモード</th> </tr> </thead> <tbody> <tr> <td>MD0³</td> <td>0/1</td> <td>0/1</td> <td>0/1</td> <td>1</td> <td>0/1</td> <td>0</td> </tr> </tbody> </table> 注を追加 【注】*3 内蔵 ROM 有効モード、ユーザプログラムモード、ブートモードは MD0 端子が"0"の場合に拡張モードとなり、"1"の場合にシングルチップモードになります。拡張モードはありません。	モード	リセット状態	内蔵 ROM 有効モード ¹	ユーザプログラムモード ²	ユーザブートモード	ブートモード	ライトモード	MD0 ³	0/1	0/1	0/1	1	0/1	0			
モード	リセット状態	内蔵 ROM 有効モード ¹	ユーザプログラムモード ²	ユーザブートモード	ブートモード	ライトモード													
MD0 ³	0/1	0/1	0/1	1	0/1	0													
20.4.3 ユーザブートモード (2) ユーザブートモードでのユーザマットの書き込み	20-42	説明を修正 ユーザ手続きプログラムのステップごとの、実行可能な領域(内蔵 RAM、ユーザマット など)については「20.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。																	
(3) ユーザブートモードでのユーザマットの消去	20-43	説明を修正 ユーザ手続きプログラムのステップごとの、実行可能な領域(内蔵 RAM、ユーザマット など)については「20.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。																	
20.4.4 手順プログラム、または書き込みデータの格納可能領域 (1) 書き込み / 消去の条件 表 20.9 (1) ユーザプログラムモードでの書き込み処理で使用可能エリア	20-45	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">格納 / 実行可能なエリア</th> <th colspan="2">選択されているマット</th> </tr> <tr> <th>内蔵 RAM</th> <th>処理対象のフラッシュメモリ</th> <th>外部空間 (拡張モード時)</th> <th>ユーザマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr> <td>FCOS の SC0=1 書き込み実行 (ダウンロード)</td> <td></td> <td>x</td> <td>x</td> <td></td> <td></td> </tr> </tbody> </table>	項目	格納 / 実行可能なエリア			選択されているマット		内蔵 RAM	処理対象のフラッシュメモリ	外部空間 (拡張モード時)	ユーザマット	組み込みプログラム格納マット	FCOS の SC0=1 書き込み実行 (ダウンロード)		x	x		
項目	格納 / 実行可能なエリア			選択されているマット															
	内蔵 RAM	処理対象のフラッシュメモリ	外部空間 (拡張モード時)	ユーザマット	組み込みプログラム格納マット														
FCOS の SC0=1 書き込み実行 (ダウンロード)		x	x																
表 20.9 (2) ユーザプログラムモードでの消去処理で使用可能エリア	20-46	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">格納 / 実行可能なエリア</th> <th colspan="2">選択されているマット</th> </tr> <tr> <th>内蔵 RAM</th> <th>処理対象のフラッシュメモリ</th> <th>外部空間 (拡張モード時)</th> <th>ユーザマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr> <td>FCOS の SC0=1 書き込み実行 (ダウンロード)</td> <td></td> <td>x</td> <td>x</td> <td></td> <td></td> </tr> </tbody> </table>	項目	格納 / 実行可能なエリア			選択されているマット		内蔵 RAM	処理対象のフラッシュメモリ	外部空間 (拡張モード時)	ユーザマット	組み込みプログラム格納マット	FCOS の SC0=1 書き込み実行 (ダウンロード)		x	x		
項目	格納 / 実行可能なエリア			選択されているマット															
	内蔵 RAM	処理対象のフラッシュメモリ	外部空間 (拡張モード時)	ユーザマット	組み込みプログラム格納マット														
FCOS の SC0=1 書き込み実行 (ダウンロード)		x	x																

修正箇所	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																									
<p>20.4.4 手順プログラム、または書き込みデータの格納可能領域</p> <p>表 20.9 (3) ユーザブートモードでの書き込み処理で使用可能エリア</p>	20-47	<p>表を修正</p> <table border="1" data-bbox="642 343 1186 1023"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="2">格納 / 実行が可能なエリア</th> <th colspan="3">選択されているマット</th> </tr> <tr> <th>内蔵 RAM</th> <th>ユーザブートマット</th> <th>ユーザマット</th> <th>ユーザブートマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr><td>書き込みデータの格納領域</td><td></td><td>x¹</td><td>-</td><td>-</td><td>-</td></tr> <tr><td>ダウンロードする内蔵プログラムの選択処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタへのHFA5書き込み処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>FCOSのSCQ=1書き込み実行 (ダウンロード)</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタクリア処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>ダウンロード結果の判定</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>ダウンロードエラー処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>初期化パラメータの設定処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>初期化実行</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>初期化結果の判定</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>初期化エラー処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>NMI 処理ルーチン</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>割り込み禁止処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>FMATS によるマット切り替え</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタへのHFA5書き込み処理</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>書き込みパラメータの設定処理</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>書き込み実行</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>書き込み結果の判定</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>書き込みエラー処理</td><td></td><td>x²</td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタクリア処理</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>FMATS によるマット切り替え</td><td></td><td>x</td><td></td><td></td><td></td></tr> </tbody> </table>	項目	格納 / 実行が可能なエリア		選択されているマット			内蔵 RAM	ユーザブートマット	ユーザマット	ユーザブートマット	組み込みプログラム格納マット	書き込みデータの格納領域		x ¹	-	-	-	ダウンロードする内蔵プログラムの選択処理						FKEY レジスタへのHFA5書き込み処理						FCOSのSCQ=1書き込み実行 (ダウンロード)		x				FKEY レジスタクリア処理						ダウンロード結果の判定						ダウンロードエラー処理						初期化パラメータの設定処理						初期化実行		x				初期化結果の判定						初期化エラー処理						NMI 処理ルーチン		x				割り込み禁止処理						FMATS によるマット切り替え		x				FKEY レジスタへのHFA5書き込み処理		x				書き込みパラメータの設定処理		x				書き込み実行		x				書き込み結果の判定		x				書き込みエラー処理		x ²				FKEY レジスタクリア処理		x				FMATS によるマット切り替え		x			
項目	格納 / 実行が可能なエリア			選択されているマット																																																																																																																																							
	内蔵 RAM	ユーザブートマット	ユーザマット	ユーザブートマット	組み込みプログラム格納マット																																																																																																																																						
書き込みデータの格納領域		x ¹	-	-	-																																																																																																																																						
ダウンロードする内蔵プログラムの選択処理																																																																																																																																											
FKEY レジスタへのHFA5書き込み処理																																																																																																																																											
FCOSのSCQ=1書き込み実行 (ダウンロード)		x																																																																																																																																									
FKEY レジスタクリア処理																																																																																																																																											
ダウンロード結果の判定																																																																																																																																											
ダウンロードエラー処理																																																																																																																																											
初期化パラメータの設定処理																																																																																																																																											
初期化実行		x																																																																																																																																									
初期化結果の判定																																																																																																																																											
初期化エラー処理																																																																																																																																											
NMI 処理ルーチン		x																																																																																																																																									
割り込み禁止処理																																																																																																																																											
FMATS によるマット切り替え		x																																																																																																																																									
FKEY レジスタへのHFA5書き込み処理		x																																																																																																																																									
書き込みパラメータの設定処理		x																																																																																																																																									
書き込み実行		x																																																																																																																																									
書き込み結果の判定		x																																																																																																																																									
書き込みエラー処理		x ²																																																																																																																																									
FKEY レジスタクリア処理		x																																																																																																																																									
FMATS によるマット切り替え		x																																																																																																																																									
<p>表 20.9 (4) ユーザブートモードでの消去処理で使用可能エリア</p>	20-48	<p>表を修正</p> <table border="1" data-bbox="642 1070 1186 1715"> <thead> <tr> <th rowspan="2">項目</th> <th colspan="2">格納 / 実行が可能なエリア</th> <th colspan="3">選択されているマット</th> </tr> <tr> <th>内蔵 RAM</th> <th>ユーザブートマット</th> <th>ユーザマット</th> <th>ユーザブートマット</th> <th>組み込みプログラム格納マット</th> </tr> </thead> <tbody> <tr><td>ダウンロードする内蔵プログラムの選択処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタへのHFA5書き込み処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>FCOSのSCQ=1書き込み実行 (ダウンロード)</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタクリア処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>ダウンロード結果の判定</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>ダウンロードエラー処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>初期化パラメータの設定処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>初期化実行</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>初期化結果の判定</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>初期化エラー処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>NMI 処理ルーチン</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>割り込み禁止処理</td><td></td><td></td><td></td><td></td><td></td></tr> <tr><td>FMATS によるマット切り替え</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタへのHFA5書き込み処理</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>消去パラメータの設定処理</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>消去実行</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>消去結果の判定</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>消去エラー処理</td><td></td><td>x¹</td><td></td><td></td><td></td></tr> <tr><td>FKEY レジスタクリア処理</td><td></td><td>x</td><td></td><td></td><td></td></tr> <tr><td>FMATS によるマット切り替え</td><td></td><td>x</td><td></td><td></td><td></td></tr> </tbody> </table>	項目	格納 / 実行が可能なエリア		選択されているマット			内蔵 RAM	ユーザブートマット	ユーザマット	ユーザブートマット	組み込みプログラム格納マット	ダウンロードする内蔵プログラムの選択処理						FKEY レジスタへのHFA5書き込み処理						FCOSのSCQ=1書き込み実行 (ダウンロード)		x				FKEY レジスタクリア処理						ダウンロード結果の判定						ダウンロードエラー処理						初期化パラメータの設定処理						初期化実行		x				初期化結果の判定						初期化エラー処理						NMI 処理ルーチン		x				割り込み禁止処理						FMATS によるマット切り替え		x				FKEY レジスタへのHFA5書き込み処理		x				消去パラメータの設定処理		x				消去実行		x				消去結果の判定		x				消去エラー処理		x ¹				FKEY レジスタクリア処理		x				FMATS によるマット切り替え		x									
項目	格納 / 実行が可能なエリア			選択されているマット																																																																																																																																							
	内蔵 RAM	ユーザブートマット	ユーザマット	ユーザブートマット	組み込みプログラム格納マット																																																																																																																																						
ダウンロードする内蔵プログラムの選択処理																																																																																																																																											
FKEY レジスタへのHFA5書き込み処理																																																																																																																																											
FCOSのSCQ=1書き込み実行 (ダウンロード)		x																																																																																																																																									
FKEY レジスタクリア処理																																																																																																																																											
ダウンロード結果の判定																																																																																																																																											
ダウンロードエラー処理																																																																																																																																											
初期化パラメータの設定処理																																																																																																																																											
初期化実行		x																																																																																																																																									
初期化結果の判定																																																																																																																																											
初期化エラー処理																																																																																																																																											
NMI 処理ルーチン		x																																																																																																																																									
割り込み禁止処理																																																																																																																																											
FMATS によるマット切り替え		x																																																																																																																																									
FKEY レジスタへのHFA5書き込み処理		x																																																																																																																																									
消去パラメータの設定処理		x																																																																																																																																									
消去実行		x																																																																																																																																									
消去結果の判定		x																																																																																																																																									
消去エラー処理		x ¹																																																																																																																																									
FKEY レジスタクリア処理		x																																																																																																																																									
FMATS によるマット切り替え		x																																																																																																																																									

索引

16 ビットタイムパルスユニット	10-1	プログラムカウンタ相対	2-31
インプットキャプチャ機能	10-39	ポストインクリメントレジスタ間接	2-30
コンペアマッチによる波形出力	10-37	メモリ間接	2-31
トグル出力	10-37	レジスタ間接	2-29
8 ビットタイマ	11-1	レジスタ直接	2-29
16 ビットカウントモード	11-13	絶対アドレス	2-30
TCNT のカウントタイミング	11-10	インタフェース	13-1
カスケード接続	11-13	ウォッチドッグタイマ	12-1
コンペアマッチカウントモード	11-13	インターバルタイマモード	12-9
トグル出力	11-16	ウォッチドッグタイマモード	12-8
パルス出力	11-9	オーバフロー	12-9
A/D 変換器	15-1	エクステンドレジスタ	2-11
アナログ入力チャネル	15-4	オープンドレインコントロールレジスタ	9-1
シングルモード	15-9	オペレーションフィールド	2-28
スキャンモード	15-10	クロック発振器	21-1
外部トリガ	15-12	コンディションコードレジスタ	2-12
変換時間	15-11	コンディションフィールド	2-28
Bcc	2-25	コントローラエリアネットワーク	18-1
D/A 変換器	16-1	CAN バスインタフェース	18-43
EA 拡張部	2-28	HCAN HALT モード	18-40
°C バスインタフェース 2	14-1	HCAN スリープモード	18-38
°C バスフォーマット	14-14	ソフトウェアリセット	18-25
アクノリッジ	14-14	ハードウェアリセット	18-25
クロック同期式シリアルフォーマット	14-23	メッセージ受信	18-34
スレーブアドレス	14-14	メッセージ送信	18-31
ノイズ除去回路	14-25	シリアルコミュニケーションインタフェース	13-1
ビット同期回路	14-31	オーバランエラー	13-31
開始条件	14-14	クロック同期式モード	13-39
停止条件	14-14	パリティエラー	13-31
転送レート	14-6	ビットレート	13-19
PC ブレークコントローラ	6-1	ブレーク	13-59
アドレスマップ	3-5	フレーミングエラー	13-31
アドレス空間	2-8	マーク状態	13-59
アドレッシングモード	2-29	マルチプロセッサ通信機能	13-34
イミディエイト	2-31	調歩同期式モード	13-24
ディスプレイメント付きレジスタ間接	2-29	スタックポインタ (SP)	2-10
プリデクリメントレジスタ間接	2-30	スマートカード	13-1

スマートカードインタフェース	13-47	FCCS	20-12, 23-17, 23-35, 23-52
データディレクションレジスタ	9-1	FECS	20-14, 23-17, 23-35, 23-53
データトランスファコントローラ	8-1	FKEY	20-14, 23-17, 23-35, 23-53
DTC ベクタテーブル	8-8	FMATS	20-15, 23-17, 23-35, 23-53
ソフトウェアによる起動	8-20	FPCS	20-13, 23-17, 23-35, 23-52
ソフトウェア起動	8-21	FTDAR	20-15, 23-17, 23-35, 23-53
ソフトウェア起動割り込み用ベクタ番号	8-6	FVACR	20-26, 23-17, 23-35, 23-53
チェーン転送	8-16	FVADR	20-27, 23-17, 23-35, 23-53
ノーマルモード	8-13, 8-21	GSR	18-5, 23-3, 23-20, 23-38
ブロック転送モード	8-15	ICCR1	14-5, 23-3, 23-20, 23-38
リピートモード	8-14	ICCR2	14-6, 23-3, 23-20, 23-38
レジスタ情報	8-8	ICDRR	14-13, 23-3, 23-20, 23-38
データレジスタ	9-1	ICDRS	14-13
バスアービトラション	7-38	ICDRT	14-13, 23-3, 23-20, 23-38
バスサイクル	7-14	ICIER	14-9, 23-3, 23-20, 23-38
ブレークアドレス	6-4	ICMR	14-8, 23-3, 23-20, 23-38
ブレーク条件	6-4	ICPCR	9-55, 23-11, 23-29, 23-47
プログラムカウンタ	2-11	ICSR	14-11, 23-3, 23-20, 23-38
ポートレジスタ	9-1	IER	5-6, 23-12, 23-30, 23-48
メモリサイクル	7-14	IMR	18-18, 23-3, 23-21, 23-38
リセット	4-3	IPR	5-5, 23-14, 23-32, 23-49
レジスタ		IRR	18-15, 23-3, 23-21, 23-38
ABACK	18-12, 23-3, 23-21, 23-38	ISCR	5-6, 23-12, 23-30, 23-48
ABWCR	7-4, 23-14, 23-32, 23-50	ISR	5-8, 23-12, 23-30, 23-48
ADCR	15-7, 23-17, 23-35, 23-52	LAFM	18-20, 23-4, 23-21, 23-39
ADCSR	15-5, 23-17, 23-35, 23-52	LPWRCR	21-3, 23-12, 23-29, 23-47
ADDR	15-4, 23-16, 23-35, 23-52	MBCR	18-8, 23-3, 23-20, 23-38
ASTCR	7-4, 23-14, 23-32, 23-50	MBIMR	18-17, 23-3, 23-21, 23-38
BARA	6-2, 23-12, 23-29, 23-47	MC	18-22, 23-4, 23-21, 23-39
BARB	6-2, 23-12, 23-29, 23-48	MCR	18-4, 23-3, 23-20, 23-38
BCR	18-6, 23-3, 23-20, 23-38	MD	18-24, 23-7, 23-25, 23-42
BCRA	6-3, 23-12, 23-30, 23-48	MDCR	3-2, 23-12, 23-29, 23-47
BCRB	6-3, 23-12, 23-30, 23-48	MRA	8-3, 23-2, 23-19, 23-37
BCRH	7-7, 23-14, 23-32, 23-50	MRB	8-4, 23-2, 23-19, 23-37
BCRL	7-8, 23-14, 23-32, 23-50	MSTPCR	22-6, 23-12, 23-29, 23-47
BRR	13-19, 23-16, 23-34, 23-51	P1DDR	9-6, 23-12, 23-30, 23-48
CRA	8-4, 23-2, 23-19, 23-37	P1DR	9-6, 23-14, 23-32, 23-50
CRB	8-5, 23-2, 23-19, 23-37	P2DDR	9-11, 23-12, 23-30, 23-48
DACR	16-3, 23-11, 23-28, 23-46	P2DR	9-11, 23-14, 23-32, 23-50
DADR	16-2, 23-11, 23-28, 23-46	P3DDR	9-15, 23-12, 23-30, 23-48
DAR	8-4, 23-2, 23-19, 23-37	P3DR	9-15, 23-14, 23-32, 23-50
DTCER	8-5, 23-12, 23-30, 23-48	P3ODR	9-16, 23-13, 23-30, 23-48
DTVECR	8-6, 23-12, 23-30, 23-48	P5DDR	9-21, 23-12, 23-30, 23-48

P5DR.....	9-21, 23-14, 23-32, 23-50	PORTJ	9-54, 23-3, 23-20, 23-38
P7DDR	9-23, 23-12, 23-30, 23-48	RAMER	20-25, 23-14, 23-32, 23-50
P7DR.....	9-23, 23-14, 23-32, 23-50	RDR.....	13-5, 23-16, 23-34, 23-52
PADDR.....	9-27, 23-12, 23-30, 23-48	REC.....	18-19, 23-3, 23-21, 23-38
PADR.....	9-28, 23-14, 23-32, 23-50	RFPR	18-14, 23-3, 23-21, 23-38
PAODR.....	9-29, 23-13, 23-30, 23-48	RSR.....	13-5
PAPCR.....	9-28, 23-13, 23-30, 23-48	RSTCSR	12-7, 23-16, 23-34, 23-51
PBDDR.....	9-32, 23-12, 23-30, 23-48	RXPR	18-13, 23-3, 23-21, 23-38
PBDR.....	9-32, 23-14, 23-32, 23-50	SAR	8-4, 14-13, 23-2, 23-3, 23-19, 23-20, 23-37, 23-38
PBPCR	9-33, 23-13, 23-30, 23-48	SBYCR.....	22-5, 23-11, 23-29, 23-47
PCDDR.....	9-36, 23-12, 23-30, 23-48	SCKCR.....	21-2, 23-12, 23-29, 23-47
PCDR	9-37, 23-14, 23-32, 23-50	SCMR.....	13-18, 23-16, 23-34, 23-52
PCPCR.....	9-37, 23-13, 23-30, 23-48	SCR.....	13-10, 23-16, 23-34, 23-52
PDDDR.....	9-39, 23-12, 23-30, 23-48	SMR	13-7, 23-16, 23-34, 23-51
PDDR	9-39, 23-14, 23-32, 23-50	SSR.....	13-14, 23-16, 23-34, 23-52
PDPCR.....	9-40, 23-13, 23-30, 23-48	SYSCR.....	3-3, 23-11, 23-29, 23-47
PEDDR.....	9-42, 23-12, 23-30, 23-48	TCNT..	11-4, 12-3, 23-15, 23-33, 23-34, 23-50, 23-51
PEDR.....	9-42, 23-14, 23-32, 23-50	TCORA.....	11-4, 23-15, 23-34, 23-51
PEPCR	9-43, 23-13, 23-30, 23-48	TCORB.....	11-4, 23-15, 23-34, 23-51
PFCR.....	7-9, 23-12, 23-29, 23-47	TCR	10-8, 11-5, 23-14, 23-15, 23-32, 23-34, 23-50, 23-51
PFDDR	9-45, 23-12, 23-30, 23-48	TCSR	12-3, 23-15, 23-34, 23-51
PFDR.....	9-45, 23-14, 23-32, 23-50	TDR	13-6, 23-16, 23-34, 23-52
PGDDR	9-48, 23-12, 23-30, 23-48	TEC	18-19, 23-3, 23-21, 23-38
PGDR	9-49, 23-14, 23-32, 23-50	TGR.....	10-33, 23-15, 23-33, 23-50
PHDDR.....	9-51, 23-2, 23-20, 23-37	TIER	10-30, 23-15, 23-33, 23-50
PHDR	9-51, 23-3, 23-20, 23-37	TIOR.....	10-13, 23-14, 23-33, 23-50
PJDDR.....	9-53, 23-2, 23-20, 23-37	TMDR	10-12, 23-14, 23-32, 23-50
PJDR	9-53, 23-3, 23-20, 23-37	TSR	13-6, 23-15, 23-33, 23-50
PORT1.....	9-7, 23-17, 23-35, 23-53	TSTR.....	10-34, 23-13, 23-32, 23-49
PORT2.....	9-12, 23-17, 23-35, 23-53	TSYR.....	10-34, 23-13, 23-32, 23-49
PORT3.....	9-16, 23-17, 23-35, 23-53	TXACK	18-11, 23-3, 23-21, 23-38
PORT4.....	9-20, 23-17, 23-35, 23-53	TXCR	18-10, 23-3, 23-20, 23-38
PORT5.....	9-21, 23-17, 23-35, 23-53	TXPR.....	18-9, 23-3, 23-20, 23-38
PORT7.....	9-24, 23-17, 23-35, 23-53	UMSR.....	18-19, 23-3, 23-21, 23-38
PORT9.....	9-26, 23-17, 23-35, 23-53	WCRH.....	7-5, 23-14, 23-32, 23-50
PORTA	9-28, 23-17, 23-35, 23-53	WCRL.....	7-5, 23-14, 23-32, 23-50
PORTB	9-33, 23-17, 23-35, 23-53	レジスタフィールド	2-28
PORTC.....	9-37, 23-17, 23-35, 23-53	割り込み	
PORTD.....	9-40, 23-17, 23-36, 23-53	ADI	15-13
PORTE	9-43, 23-17, 23-36, 23-53	CMIA	11-14
PORTF	9-46, 23-17, 23-36, 23-53	CMIB	11-14
PORTG.....	9-49, 23-17, 23-36, 23-53		
PORTH.....	9-52, 23-3, 23-20, 23-38		

ERI.....	13-57	TGI5B.....	10-59
ERS0/OVR0.....	18-41	TXI.....	13-57
NMI 割り込み.....	5-8, 12-10	WOVI.....	12-10
OVI.....	11-14	割り込みコントローラ.....	5-1
RM0.....	18-41	割り込みマスクビット.....	2-12
RM1.....	18-41	割り込み制御モード.....	5-14
RXI.....	13-57	割り込み例外処理ベクタテーブル.....	5-9
SLE0.....	18-41	実効アドレス.....	2-29, 2-33
SWDTEND.....	8-17	低消費電力状態.....	22-1
TCI0V.....	10-59	ウォッチモード.....	22-12
TCI1U.....	10-59	スリープモード.....	22-8
TCI1V.....	10-59	ソフトウェアスタンバイモード.....	22-8
TCI2U.....	10-59	ハードウェアスタンバイモード.....	22-10
TCI2V.....	10-59	モジュールストップモード.....	22-11
TCI3V.....	10-59	中速モード.....	22-7
TCI4U.....	10-59	動作モードの選択.....	3-1
TCI4V.....	10-59	内部バスマスタ.....	7-1
TCI5U.....	10-59	入力プルアップ MOS.....	9-1
TCI5V.....	10-59	汎用レジスタ.....	2-10
TEI.....	13-57	命令セット.....	2-17
TGI0A.....	10-59	システム制御命令.....	2-26
TGI0B.....	10-59	シフト命令.....	2-22
TGI0C.....	10-59	データ転送命令.....	2-19
TGI0D.....	10-59	ビット操作命令.....	2-23
TGI1A.....	10-59	ブロック転送命令.....	2-27
TGI1B.....	10-59	算術演算命令.....	2-20
TGI2A.....	10-59	分岐命令.....	2-25
TGI2B.....	10-59	論理演算命令.....	2-22
TGI3A.....	10-59	例外処理.....	4-1
TGI3B.....	10-59	スタックの状態.....	4-7
TGI3C.....	10-59	トラップ命令例外処理.....	4-6
TGI3D.....	10-59	トレース例外処理.....	4-5
TGI4A.....	10-59	リセット例外処理.....	4-4
TGI4B.....	10-59	割り込み例外処理.....	4-6
TGI5A.....	10-59	例外処理ベクタテーブル.....	4-2

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2556グループ、H8S/2552グループ、H8S/2506グループ

発行年月日 2003年3月 第1版
2009年9月17日 Rev.7.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2556 グループ、H8S/2552 グループ、H8S/2506 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0079-0700