

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2633 グループ、H8S/2633F-ZTAT™、 H8S/2633RF-ZTAT™、H8S/2695

ユーザーズマニュアル ハードウェア編

ルネサス 16 ビットシングルチップマイクロコンピュータ
H8S ファミリ / H8S/2600 シリーズ

H8S/2633	HD6432633
	HD64F2633
H8S/2632	HD6432632
H8S/2631	HD6432631
H8S/2633R	HD64F2633R
H8S/2695	HD6432695

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、内部 32 ビット構成の H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

本 LSI は、16 ビットタイマパルスユニット (TPU)、プログラマブルパルスジェネレータ (PPG) *²、ウォッチドッグタイマ (WDT)、8 ビットタイマ、14 ビット PWM タイマ (PWM) *²、シリアルコミュニケーションインタフェース (SCI、IrDA*²)、A/D 変換器、D/A 変換器*²、I/O ポートなどの周辺機能を内蔵しております。オプションとして、I²C バスインタフェース (IIC) *² を内蔵することができます。

また、DMA コントローラ (DMAC) *²、データトランスファコントローラ (DTC) *² を内蔵し、CPU に代わって高速データ転送を行うことにより、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ版 (F-ZTAT™*¹) とマスク ROM 版があります。これにより、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】 *¹ F-ZTAT™はルネサス エレクトロニクス (株) の商標です。

*² H8S/2695 には本機能はありません。

対象者 このマニュアルは、H8S/2633 グループ、H8S/2633R、H8S/2695 を用いた応用システムを設計するユーザを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2633 グループ、H8S/2633R、H8S/2695 のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。
なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU 機能の詳細を理解したいとき
別冊の「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」を参照してください。

凡例 ビット表記順：左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご購入の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

・ H8S/2633 グループ、H8S/2633R、H8S/2695 に関するユーザーズマニュアル

資料名	資料番号
H8S/2633 グループ、H8S/2633F-ZTAT™、H8S/2633RF-ZTAT™、H8S/2695 ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

・ 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10J2552
H8S、H8/300 シリーズシミュレータ・デバッガユーザーズマニュアル	RJJ10B0219
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2736

・ アプリケーションノート

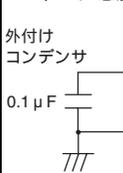
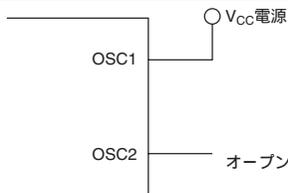
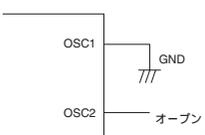
資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
H8S ファミリアイコンテクニカル Q&A	ADJ-502-065
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055

H8S/2633、H8S/2632、H8S/2631、H8S/2633F-ZTAT、H8S/2633RF-ZTAT、H8S/2695 の相違点

H8S/2633、H8S/2632、H8S/2631、H8S/2633F-ZTAT、H8S/2633RF-ZTAT、H8S/2695 の製品仕様比較を下表に示します。

H8S/2633、H8S/2632、H8S/2631、H8S/2633RF-ZTAT、H8S/2695 の製品仕様比較

	H8S/2633グループ				H8S/2633Rグループ	H8S/2695
	H8S/2633 F-ZTAT	H8S/2633	H8S/2632	H8S/2631	H8S/2633R F-ZTAT	
製品型名	HD64F2633F25 HD64F2633TE25 HD64F2633F16 HD64F2633TE16	HD6432633F25 HD6432633TE25 HD6432633F16 HD6432633TE16	HD6432632F25 HD6432632TE25 HD6432632F16 HD6432632TE16	HD6432631F25 HD6432631TE25 HD6432631F16 HD6432631TE16	HD64F2633RF28 HD64F2633RTE28	HD6432695F28
RAM 容量	16k バイト	16k バイト	12k バイト	8k バイト	16k バイト	8k バイト
ROM 容量	256kB フラッシュメモリ	256kB マスクROM	192kB マスクROM	128kB マスクROM	256kB フラッシュメモリ	192kB マスクROM
ROM、 RAMメモリ マップ	H'000000 H'01FFFF H'02FFFF H'03FFFF H'FFB000 H'FFC000 H'FFD000 H'FFE000 H'FFFFC0 H'FFFFFF	内蔵 ROM 256K バイト 内蔵 RAM (16K-64) バイト 内蔵 RAM 64 バイト	内蔵 ROM 192K バイト 内蔵 RAM (12K-64) バイト 内蔵 RAM 64 バイト	内蔵 ROM 128K バイト 内蔵 RAM (8K-64) バイト 内蔵 RAM 64 バイト	内蔵 ROM 256K バイト 内蔵 RAM (16K-64) バイト 内蔵 RAM 64 バイト	内蔵 ROM 192K バイト 内蔵 RAM (8K-64) バイト 内蔵 RAM 64 バイト
入力クロック 周波数 範囲	2 ~ 25MHz* (16MHz 動作版は 2 ~ 16MHz)					
動作周波数 範囲	25MHz 動作版 : 2 ~ 25MHz 16MHz 動作版 : 2 ~ 16MHz				2 ~ 28MHz*	

	H8S/2633 グループ				H8S/2633R グループ	H8S/2695
	H8S/2633 F-ZTAT	H8S/2633	H8S/2632	H8S/2631	H8S/2633R F-ZTAT	
動作電圧 範囲	25MHz 動作版 $PVcc = 4.5 \sim 5.5V$ 、 $Vcc = PLLVcc = 3.0 \sim 3.6V$ 、 $AVcc = 4.5 \sim 5.5V$ 、 $Vref = 4.5V \sim AVcc$ 16MHz 動作版 (低電圧対応版) $PVcc = 3.0 \sim 5.5V$ 、 $Vcc = PLLVcc = 3.0 \sim 3.6V$ 【A/D、D/A を使用する場合】 $AVcc = 3.6 \sim 5.5V$ 、 $Vref = 3.6V \sim AVcc$ 【A/D、D/A 未使用の場合】 $AVcc = 3.3 \sim 5.5V$ 、 $Vref = 3.3V \sim AVcc$				$PVcc = 4.5 \sim 5.5V$ (単一電源版ですので、Vcc 端子、PLLVcc 端子はありません) $AVcc = 4.5 \sim 5.5V$ $Vref = 4.5V \sim AVcc$	
電源端子	$PVcc$ (5V 電源)、 Vcc (3V 電源) の二電源構成。PLLVcc は 3V 電源				<ul style="list-style-type: none"> ・ $PVcc$ (5V 電源) 単一電源構成。 ・ VCL 端子は電源に接続せず、$0.1 \mu F$ の電源安定化用コンデンサを介して GND に接続してください (端子近くに配置してください)。 ・ VCL 端子には、Vcc 電源は接続しないでください。 ・ VCL 端子は従来 H8S/2633 グループ、H8S/2633F の Vcc 端子と同じピン位置にありますので、ご注意ください。 <div style="display: flex; align-items: center;"> <div style="margin-right: 10px;"> 外付け コンデンサ $0.1 \mu F$  </div> <div> VCL (11pin : FP128Bの場合) (7pin : TFP120の場合) VSS (9pin : FP128Bの場合) (5pin : TFP120の場合) </div> </div> <ul style="list-style-type: none"> ・ PLLVCC 電源端子はありません。 	
EXTAL 入力レベル	$V_{IH} : Vcc \times 0.8V \sim Vcc + 0.3V$ $V_{IL} : -0.3V \sim Vcc \times 0.2V$ ($Vcc = 3.0 \sim 3.6V$)				$V_{IH} : PVcc \times 0.8V \sim PVcc + 0.3V$ $V_{IL} : -0.3V \sim PVcc \times 0.2V$ ($PVcc = 4.5 \sim 5.5V$)	
割り込み 要因	外部割り込み NMI、IRQ7 ~ IRQ0 内部割り込み 72 要因				外部割り込み NMI、 IRQ7 ~ IRQ0 内部割り込み 49 要因	
32kHz 発振器	あり (サブアクティブモード、サブスリープモード、ウォッチモード使用可能)				なし (サブアクティブモード、サブスリープモード、ウォッチモード使用不可)	
32kHz 発振器未使用時の OSC 端子固定方法						

	H8S/2633 グループ				H8S/2633R グループ	H8S/2695
	H8S/2633 F-ZTAT	H8S/2633	H8S/2632	H8S/2631	H8S/2633R F-ZTAT	
IIC 兼用端子 (P34、P35) の端子特性	P34、P35 の出力は、 通常時は NMOS プッシュプル出力 選択時は NMOS オープンドレイン出力 IIC バス駆動機能					IIC 機能なし。 P34、P35 の出力は、 CMOS 出力
PLL 推奨外部回路	「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」参照				「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」参照	
PC ブレークコントローラ (PBC)	あり					なし
DRAM インタフェース	あり					なし
DMA コントローラ (DMAC)	あり					なし
データトランスファコントローラ (DTC)	あり					なし
I/O ポート	H8S/2633、H8S/2632、H8S/2631、H8S/2633F、H8S/2633R は同一機能 詳細は「第 10A 章 I/O ポート (H8S/2633、H8S/2632、H8S/2631、H8S/2633R)」参照					H8S/2633 グループに対し削除機能あり 詳細は「第 10B 章 I/O ポート (H8S/2695)」参照
プログラマブルパルスジェネレータ (PPG)	あり					なし
8 ビットタイマ (TMR)	あり					なし
14bitPWM タイマ	あり					なし
WDT1	あり					なし
IrDA	あり					なし
IIC バスインタフェース (IIC)	あり【オプション】					なし
D/A 変換器	あり					なし

【注】 * 入力クロック周波数範囲は 2 ~ 25MHz までです (16MHz 動作版は 2 ~ 16MHz : H8S/2633 グループのみ)。
H8S/2633R、H8S/2695 において、 $25\text{MHz} < \phi < 28\text{MHz}$ での動作は必ず PLL を設定し、 $\times 2$ もしくは $\times 4$ 逡倍を使用してください。(ϕ = 動作周波数)

● H8S/2695に関する注意事項

(1) H8S/2695 の P35 端子機能 (SCK1、SCK4) の注意事項

H8S/2695のP35機能 (SCK1、SCK4) には下記のような制限事項があります。H8S/2695では下記注*2で示す機能は使用できません。本組み合わせの設定はしないでください。

H8S/2633グループ、H8S/2633RのP35端子機能表

ICE	0					1	
CKE1(SCH1)	0					0, 1, 1	0
CKE1(SCI4)	0					1, 0, 1	0
C/A(SCH1)	0		1				0
C/A(SCI4)	0		1				0
CKE0(SCH1)	0		0, 1, 1				0
CKE0(SCI4)	0		1, 0, 1				0
P35DDR	0	1					-
端子機能	P35 入力端子	P35 出力端子*1	SCK1/SCK4 出力端子*1	SCK1/SCK4 出力端子*1	SCK1/SCK4 入力端子	SCL0 入出力端子	
IRQ5入力							

H8S/2695のP35端子機能表

CKE1 (SCH1)	0				0*2	1*2	1
CKE1 (SCI4)	0				1*2	0*2	1
C/A (SCH1)	0		1				
C/A (SCI4)	0		1				
CKE0 (SCH1)	0		0, 1, 1				
CKE0 (SCI4)	0		1, 0, 1				
P35DDR	0	1					0*3
端子機能	P35 入力端子	P35 出力端子	SCK1/ SCK4 出力端子	SCK1/ SCK4 出力端子			SCK1/ SCK4 入力端子
IRQ5入力							

【注】 *1 出力形式はNMOS プッシュプル出力です。ただし P35ODR = 1 のとき NMOS オープンドレインになります。

*2 これらの組み合わせの設定は禁止です。

*3 H8S/2695 で SCK1/SCK4 を入力端子 (クロック入力) とする場合は、P35DDR は必ず 0 に設定してください。

(2) H8S/2695 での開発時 (H8S/2633 エパチップ使用時) の注意事項

H8S/2695はI²Cバス機能を持たず、P34、P35端子の出力はCMOS出力 (各端子P34ODR、P35ODR = 1のとき以外) です。H8S/2633エパチップを使用する場合、本端子はNMOSプッシュプル出力ですので、H8S/2695とは端子の出力特性が異なります。P34、P35端子に関してCMOS出力を必要とする場合、H8S/2633エパチップのP34、P35端子は適切な抵抗によりプルアップしてご使用ください。

マニュアル参照ページ

	H8S/2633 グループ				H8S/2633R グループ	H8S/2695
	H8S/2633 F-ZTAT	H8S/2633	H8S/2632	H8S/2631	H8S/2633R F-ZTAT	
RAM	「第 21 章 RAM」参照					
ROM	「第 22 章 ROM」参照					
割り込みコントローラ (INT)	「第 5 章 割り込みコントローラ」参照					
PC ブレークコントローラ (PBC)	「第 6 章 PC ブレークコントローラ (PBC)」参照					-
DRAM インタフェース	「第 7 章 バスコントローラ」参照					-
DMA コントローラ (DMAC)	「第 8 章 DMA コントローラ (DMAC)」参照					-
データトランスファコントローラ (DTC)	「第 9 章 データトランスファコントローラ (DTC)」参照					-

	H8S/2633 グループ				H8S/2633R グループ	H8S/2695
	H8S/2633 F-ZTAT	H8S/2633	H8S/2632	H8S/2631	H8S/2633R F-ZTAT	
I/O ポート	「第 10A 章 I/O ポート (H8S/2633、H8S/2632、H8S/2631、H8S/2633R)」参照					「第 10B 章 I/O ポート (H8S/2695)」参照
16 ビット タイムパルス ユニット (TPU)	「第 11 章 16 ビットタイムパルスユニット (TPU)」参照					
プログラマ ブルパルス ジェネレー タ (PPG)	「第 12 章 プログラマブルパルスジェネレータ (PPG)」参照					-
8 ビット タイム (TMR)	「第 13 章 8 ビットタイム (TMR)」参照					-
14 ビット PWM タイ ム	「第 14 章 14 ビット PWM タイム」参照					-
WDT0	「第 15 章 ウォッチドックタイム (WDT)」参照					
WDT1	「第 15 章 ウォッチドックタイム (WDT)」参照					-
シリアルコ ミュニケー ションイン タフェース (SCI)	「第 16 章 シリアルコミュニケーションインタフェース (SCI、IrDA)」参照					
IrDA	「第 16 章 シリアルコミュニケーションインタフェース (SCI、IrDA)」参照					-
スマートカ ードインタ フェース	「第 17 章 スマートカードインタフェース」参照					
IIC バス インタフェ ース (IIC)	「第 18 章 I ² C バスインタフェース (IIC)」参照					-
A/D 変換器	「第 19 章 A/D 変換器」参照					
D/A 変換器	「第 20 章 D/A 変換器」参照					-
32kHz 発振器	「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」参照				「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」参照	-
クロック発 振器	「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」参照				「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」参照	
EXTAL 入力 レベル	「第 25A 章 電気的特性 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」参照				「第 25B 章 電気的特性 (H8S/2633R)」参照	「第 25C 章 電気的特性 (H8S/2695)」参照
PLL 推奨外 部回路	「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」参照				「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」参照	
割り込み処 理ベクター テーブル	「第 5 章 割り込みコントローラ」表 5.4 (a) 参照					表 5.4 (b) 参照

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）
1.2 内部ブロック図 図 1.1(a) H8S/2633、H8S/2633F、H8S/2632、H8S/2631 内部ブロック図	1-7	注を修正 【注】 *1 フラッシュメモリ版のみに適用します。 *2 FWE端子は、フラッシュメモリ版のみ対応します。
1.3.1 ピン配置図 図 1.2 (b) H8S/2633R ピン配置図 (TFP-120 : 上面図)	1-11	図を修正、注を削除
図 1.3 (b) H8S/2633R ピン配置図 (FP-128B : 上面図)	1-13	図を修正、注を削除
図 1.3 (c) H8S/2695 ピン配置図 (FP-128B : 上面図)	1-14	図を修正、注を削除

修正項目	ページ	修正内容（詳細はマニュアル参照）															
1.3.2 動作モード別端子機能一覧 表 1.2 (c) 動作モード別端子機能一覧 (H8S/2695)	1-27	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ピン番号</th> <th colspan="4">端子名</th> </tr> <tr> <th>FP-128B</th> <th>モード4</th> <th>モード5</th> <th>モード6</th> <th>モード7</th> </tr> </thead> <tbody> <tr> <td>82</td> <td>NC*</td> <td>NC*</td> <td>NC*</td> <td>NC*</td> </tr> </tbody> </table>	ピン番号	端子名				FP-128B	モード4	モード5	モード6	モード7	82	NC*	NC*	NC*	NC*
	ピン番号	端子名															
FP-128B	モード4	モード5	モード6	モード7													
82	NC*	NC*	NC*	NC*													
1-28	注を修正 【注】 * NC は VSS に接続、または開放としてください。																
2.7.1 アドレッシングモード (8)メモリ間接 @aa:8	2-33	説明を修正 8ビット絶対アドレスの上位のビットはすべて0となりますので、分岐アドレスを格納できるのは0~255 (ノーマルモード*のとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。ノーマルモード*の場合は、メモリ上のオペランドはワードサイズで指定し、16ビットの分岐アドレスを生成します。															
2.8.1 概要 図 2.14 処理状態の分類	2-38	図を修正 															
2.8.3 例外処理状態	2-40	説明を修正 例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス (ベクタ) を取り出し、そのスタートアドレスに分岐する過渡的な状態です。															
4.1.1 例外処理の種類と優先度	4-1	説明を修正 例外処理には、表 4.1 に示すように、リセット、トレース、直接遷移、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。															
4.7 スタック使用上の注意 図 4.6 SP を奇数に設定したときの動作	4-10	図を修正 															

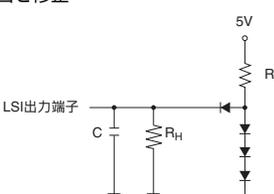
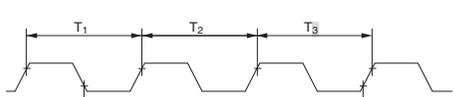
修正項目	ページ	修正内容 (詳細はマニュアル参照)						
5.3.3 割り込み例外処理ベクタテーブル 表 5.4 (a) 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (H8S/2633、H8S/2633F、H8S/2632、H8S/2631、H8S/2633R)	5-12	表を修正 <table border="1"> <tr> <td>割り込み要因</td> <td>要因発生元</td> <td>ベクタ番号</td> <td>ベクタアドレス[※] アドバンストモード</td> <td>IPR</td> <td>優先順位</td> </tr> </table>	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位
	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位		
	5-13	表を修正 <table border="1"> <tr> <td>割り込み要因</td> <td>要因発生元</td> <td>ベクタ番号</td> <td>ベクタアドレス[※] アドバンストモード</td> <td>IPR</td> <td>優先順位</td> </tr> </table>	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位
	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位		
	5-14	表を修正 <table border="1"> <tr> <td>割り込み要因</td> <td>要因発生元</td> <td>ベクタ番号</td> <td>ベクタアドレス[※] アドバンストモード</td> <td>IPR</td> <td>優先順位</td> </tr> </table>	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位
	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位		
5-16	表を修正 <table border="1"> <tr> <td>割り込み要因</td> <td>要因発生元</td> <td>ベクタ番号</td> <td>ベクタアドレス[※] アドバンストモード</td> <td>IPR</td> <td>優先順位</td> </tr> </table>	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位	
割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位			
5-17	表を修正 <table border="1"> <tr> <td>割り込み要因</td> <td>要因発生元</td> <td>ベクタ番号</td> <td>ベクタアドレス[※] アドバンストモード</td> <td>IPR</td> <td>優先順位</td> </tr> </table>	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位	
割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位			
5-18	表を修正 <table border="1"> <tr> <td>割り込み要因</td> <td>要因発生元</td> <td>ベクタ番号</td> <td>ベクタアドレス[※] アドバンストモード</td> <td>IPR</td> <td>優先順位</td> </tr> </table>	割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位	
割り込み要因	要因発生元	ベクタ番号	ベクタアドレス [※] アドバンストモード	IPR	優先順位			
7.5.8 ウェイト制御 (1) プログラムウェイトの挿入 図 7.17 プログラマブルウェイト挿入タイミング例 (ウェイト 2 ステート挿入)	7-44	注を修正 【注】 $n = 2 - 5$						
	(2) 端子ウェイトの挿入 図 7.18 WAIT 端子によるウェイトステート挿入タイミング例	7-45	図を修正 					
9.3.10 DTC 実行ステート数 表 9.9 実行状態に必要なステート数	9-22	注を追加 m : 外部デバイスアクセス時のウェイトステート数						
9.3.11 DTC 使用手順	9-23	タイトルを修正						
10A.7.3 端子機能	10A-34、 10A-35	説明を差し替え						
10A.8.3 端子機能	10A-40 ~ 10A-47	説明を差し替え						

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																								
10A.11.4 入力プルアップ MOS 表 10A.21 入力プルアップ MOS の状態（ポート E）	10A-63	<p>表を修正</p> <table border="1"> <thead> <tr> <th>モード</th> <th>パワーオンリセット</th> <th>ハードウェアスタンバイモード</th> <th>マニュアルリセット</th> <th>ソフトウェアスタンバイモード</th> <th>その他の動作時</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>OFF</td> <td></td> <td>ON/OFF</td> <td></td> <td></td> </tr> <tr> <td>4-6</td> <td>8ビットバス</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td></td> <td>16ビットバス</td> <td></td> <td>OFF</td> <td></td> <td></td> </tr> </tbody> </table>	モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時	7	OFF		ON/OFF			4-6	8ビットバス						16ビットバス		OFF																																																																		
モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時																																																																																					
7	OFF		ON/OFF																																																																																							
4-6	8ビットバス																																																																																									
	16ビットバス		OFF																																																																																							
10B.5.1 概要 図 10B.4 ポート 7 の端子機能	10B-22	<p>図を修正</p>																																																																																								
10B.7.3 モード別端子機能	10B-32、 10B-33	説明を差し替え																																																																																								
10B.8.3 モード別端子機能	10B-39 ~ 10B-46	説明を差し替え																																																																																								
11.1.1 特長 カスケード接続動作	11-1	<p>説明を修正</p> <ul style="list-style-type: none"> チャンネル 1（チャンネル 4）の入カロックを、チャンネル 2（チャンネル 5）のオーバフロー / アンダフローにすることにより 32 ビットカウンタとして動作 																																																																																								
18.3.5 スレープ受信動作	18-36	説明を追加																																																																																								
18.3.6 スレープ送信動作	18-39	説明を追加																																																																																								
18.3.10 使用例	-	説明を削除																																																																																								
18.4 使用上の注意 表 18.6 I ² C バスタイミング (SCL、SDA 出力)	18-45	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>出力タイミング</th> <th>単位</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>データ出力セットアップ時間（スレープ時）</td> <td>t_{SDAS0}</td> <td>1t_{SCLL} - (6t_{osc}または12t_{osc})</td> <td>ns</td> <td></td> </tr> </tbody> </table>	項目	記号	出力タイミング	単位	備考	データ出力セットアップ時間（スレープ時）	t _{SDAS0}	1t _{SCLL} - (6t _{osc} または12t _{osc})	ns																																																																															
項目	記号	出力タイミング	単位	備考																																																																																						
データ出力セットアップ時間（スレープ時）	t _{SDAS0}	1t _{SCLL} - (6t _{osc} または12t _{osc})	ns																																																																																							
表 18.8 I ² C バスタイミング (t _{Sr} /t _{Sf} 影響最大の場合)	18-47	<p>表、注を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">t_{osc}表示</th> <th rowspan="2">モード</th> <th colspan="8">時間表示（最大転送レート時）[ns]</th> </tr> <tr> <th>t_{sc}/t_{sp} 影響 (max.)</th> <th>I²C バス仕様 (min.)</th> <th>5MHz</th> <th>8MHz</th> <th>10MHz</th> <th>16MHz</th> <th>20MHz</th> <th>25MHz</th> <th>28MHz</th> </tr> </thead> <tbody> <tr> <td>t_{SDAS0}</td> <td>0.5t_{SCL0}+2t_{osc}</td> <td>標準モード</td> <td>-1000</td> <td>4000</td> <td>4400</td> <td>4250</td> <td>4200</td> <td>4125</td> <td>4100</td> <td>4080</td> <td>4071</td> </tr> <tr> <td rowspan="2">t_{SDAS0}</td> <td rowspan="2">1t_{SCL0}+3t_{osc}</td> <td>高速モード</td> <td>-300</td> <td>600</td> <td>1350</td> <td>1200</td> <td>1150</td> <td>1075</td> <td>1050</td> <td>1030</td> <td>1021</td> </tr> <tr> <td>標準モード</td> <td>-1000</td> <td>250</td> <td>3100</td> <td>3325</td> <td>3400</td> <td>3513</td> <td>3550</td> <td>3580</td> <td>3593</td> </tr> <tr> <td>マスタ時</td> <td>t_{sp}</td> <td>高速モード</td> <td>-300</td> <td>100</td> <td>400</td> <td>625</td> <td>700</td> <td>813</td> <td>850</td> <td>880</td> <td>893</td> </tr> <tr> <td rowspan="2">t_{SDAS0}</td> <td rowspan="2">1t_{SCL0}+12t_{osc}</td> <td>標準モード</td> <td>-1000</td> <td>250</td> <td>3100</td> <td>3325</td> <td>3400</td> <td>3513</td> <td>3550</td> <td>3580</td> <td>3593</td> </tr> <tr> <td>高速モード</td> <td>-300</td> <td>100</td> <td>400</td> <td>625</td> <td>700</td> <td>813</td> <td>850</td> <td>880</td> <td>893</td> </tr> </tbody> </table> <p>【注】 *2 IICX ビットが 1 のときです。 IICX ビットを 0 に設定すると (1t_{SCLL} - 6t_{osc}) となります。 *3 I²C バス仕様値（標準モード：4700ns min.、高速モード：1300ns min.）で計算しています。</p>	項目	t _{osc} 表示	モード	時間表示（最大転送レート時）[ns]								t _{sc} /t _{sp} 影響 (max.)	I ² C バス仕様 (min.)	5MHz	8MHz	10MHz	16MHz	20MHz	25MHz	28MHz	t _{SDAS0}	0.5t _{SCL0} +2t _{osc}	標準モード	-1000	4000	4400	4250	4200	4125	4100	4080	4071	t _{SDAS0}	1t _{SCL0} +3t _{osc}	高速モード	-300	600	1350	1200	1150	1075	1050	1030	1021	標準モード	-1000	250	3100	3325	3400	3513	3550	3580	3593	マスタ時	t _{sp}	高速モード	-300	100	400	625	700	813	850	880	893	t _{SDAS0}	1t _{SCL0} +12t _{osc}	標準モード	-1000	250	3100	3325	3400	3513	3550	3580	3593	高速モード	-300	100	400	625	700	813	850	880	893
項目	t _{osc} 表示	モード				時間表示（最大転送レート時）[ns]																																																																																				
			t _{sc} /t _{sp} 影響 (max.)	I ² C バス仕様 (min.)	5MHz	8MHz	10MHz	16MHz	20MHz	25MHz	28MHz																																																																															
t _{SDAS0}	0.5t _{SCL0} +2t _{osc}	標準モード	-1000	4000	4400	4250	4200	4125	4100	4080	4071																																																																															
t _{SDAS0}	1t _{SCL0} +3t _{osc}	高速モード	-300	600	1350	1200	1150	1075	1050	1030	1021																																																																															
		標準モード	-1000	250	3100	3325	3400	3513	3550	3580	3593																																																																															
マスタ時	t _{sp}	高速モード	-300	100	400	625	700	813	850	880	893																																																																															
t _{SDAS0}	1t _{SCL0} +12t _{osc}	標準モード	-1000	250	3100	3325	3400	3513	3550	3580	3593																																																																															
		高速モード	-300	100	400	625	700	813	850	880	893																																																																															
(16) マスタモードでのウェイト動作時の注意事項	18-54	説明を追加																																																																																								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																
22.4.3 フラッシュメモリの動作モード (1) モード遷移図 図 22.3 フラッシュメモリに関する状態遷移	22-7	注を修正 <div style="border: 1px dashed gray; padding: 5px; margin: 10px 0;"> <p>【注】 ユーザモード / ユーザプログラムモード間での遷移は、CPUがフラッシュメモリをアクセスしていない状態で行ってください。 ※1：RAMエミュレーション可 ※2：専用のPROMライタにより本LSIは、PROMモードに遷移します。</p> </div>																																																																																																																
22.7.2 プログラムベリファイモード 図 22.13 プログラム / プログラムベリファイフロー	22-31	図を修正 <p>【注】 *6 書き込み時期</p> <table border="1" style="margin: 10px 0;"> <thead> <tr> <th>書き込み回数</th> <th>PT-bitセット時期 (μs)</th> <th>書き込み</th> <th>追加書き込み</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>z0</td> <td>z1</td> <td>-</td> </tr> <tr> <td>2</td> <td>-</td> <td>-</td> <td>z1</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>N1-1</td> <td>z0</td> <td>z1</td> <td>-</td> </tr> <tr> <td>N1</td> <td>-</td> <td>-</td> <td>z1</td> </tr> <tr> <td>N1+1</td> <td>z2</td> <td>-</td> <td>-</td> </tr> <tr> <td>N1+2</td> <td>-</td> <td>-</td> <td>z1</td> </tr> <tr> <td>N1+3</td> <td>z2</td> <td>-</td> <td>-</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>N1+N2-2</td> <td>z2</td> <td>-</td> <td>-</td> </tr> <tr> <td>N1+N2-1</td> <td>-</td> <td>-</td> <td>z1</td> </tr> <tr> <td>N1+N2</td> <td>z2</td> <td>-</td> <td>-</td> </tr> </tbody> </table> <table border="1" style="margin: 10px 0;"> <thead> <tr> <th>RAM</th> <th>書き込みデータ 接続エリア (128Byte)</th> <th>再書き込みデータ 接続エリア (128Byte)</th> <th>追加書き込みデータ 接続エリア (128Byte)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table> <p>【注】 *1 データ転送は1バイト転送で行います。ライトする先アドレスの下位8ビットは、H00H80でなければなりません。128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへの書き込みは、データをHFFにして書き込みを行う必要があります。 *2 ペリファイデータは16ビット(W)で読み出します。 *3 128バイトの書き込みループ内で、一度書き込みが完了したビットでも、次のペリファイデータでFAILした場合は、そのビットの追加書き込みを行います。 *4 RAM上の書き込みデータを格納するエリア(128バイト)と再書き込みデータを格納するエリア(128バイト)と追加書き込みデータを格納するエリアが必要で、再書き込みと、追加書き込みデータの両方は書き込みの進行に応じて書き換えられます。 *5 書き込みバリスは、書き込みの開始時にz0(z1 or z2)の書き込みバリスを印加します。(U12幅に関しては、【注】*6を参照してください。追加書き込みデータの書き込みを実施する場合は、10μsの書き込みバリスを印加してください。再書き込みデータは、書き込みバリスを印加したときの再書き込みデータを参照します。 *7 書き込み開始と回数との関係は「25A.6 フラッシュメモリ特性」および「25B.6 フラッシュメモリ特性」に示します。</p> <table border="1" style="margin: 10px 0;"> <caption>再書き込みデータ演算表</caption> <thead> <tr> <th>元データ(D)</th> <th>Verifyデータ(V)</th> <th>再書き込みデータ(X)</th> <th>コメント</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>書き込み完了</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>書き込み完了、再書き込み</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>再書き込み</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>再書き込みの必要、何もしない</td> </tr> </tbody> </table> <table border="1" style="margin: 10px 0;"> <caption>追加書き込みデータ演算表</caption> <thead> <tr> <th>再書き込みデータ(X)</th> <th>Verifyデータ(V)</th> <th>追加書き込みデータ(Y)</th> <th>コメント</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>追加書き込みを実施</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>追加書き込みを実施しない</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>追加書き込みを実施しない</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>追加書き込みを実施しない</td> </tr> </tbody> </table>	書き込み回数	PT-bitセット時期 (μs)	書き込み	追加書き込み	1	z0	z1	-	2	-	-	z1	N1-1	z0	z1	-	N1	-	-	z1	N1+1	z2	-	-	N1+2	-	-	z1	N1+3	z2	-	-	N1+N2-2	z2	-	-	N1+N2-1	-	-	z1	N1+N2	z2	-	-	RAM	書き込みデータ 接続エリア (128Byte)	再書き込みデータ 接続エリア (128Byte)	追加書き込みデータ 接続エリア (128Byte)	0	0	0	0	1	0	1	0	1	1	1	1	元データ(D)	Verifyデータ(V)	再書き込みデータ(X)	コメント	0	0	1	書き込み完了	0	1	0	書き込み完了、再書き込み	1	0	1	再書き込み	1	1	1	再書き込みの必要、何もしない	再書き込みデータ(X)	Verifyデータ(V)	追加書き込みデータ(Y)	コメント	0	0	0	追加書き込みを実施	0	1	1	追加書き込みを実施しない	1	0	1	追加書き込みを実施しない	1	1	1	追加書き込みを実施しない
書き込み回数	PT-bitセット時期 (μs)	書き込み	追加書き込み																																																																																																															
1	z0	z1	-																																																																																																															
2	-	-	z1																																																																																																															
...																																																																																																															
N1-1	z0	z1	-																																																																																																															
N1	-	-	z1																																																																																																															
N1+1	z2	-	-																																																																																																															
N1+2	-	-	z1																																																																																																															
N1+3	z2	-	-																																																																																																															
...																																																																																																															
N1+N2-2	z2	-	-																																																																																																															
N1+N2-1	-	-	z1																																																																																																															
N1+N2	z2	-	-																																																																																																															
RAM	書き込みデータ 接続エリア (128Byte)	再書き込みデータ 接続エリア (128Byte)	追加書き込みデータ 接続エリア (128Byte)																																																																																																															
0	0	0	0																																																																																																															
1	0	1	0																																																																																																															
...																																																																																																															
1	1	1	1																																																																																																															
元データ(D)	Verifyデータ(V)	再書き込みデータ(X)	コメント																																																																																																															
0	0	1	書き込み完了																																																																																																															
0	1	0	書き込み完了、再書き込み																																																																																																															
1	0	1	再書き込み																																																																																																															
1	1	1	再書き込みの必要、何もしない																																																																																																															
再書き込みデータ(X)	Verifyデータ(V)	追加書き込みデータ(Y)	コメント																																																																																																															
0	0	0	追加書き込みを実施																																																																																																															
0	1	1	追加書き込みを実施しない																																																																																																															
1	0	1	追加書き込みを実施しない																																																																																																															
1	1	1	追加書き込みを実施しない																																																																																																															

修正項目	ページ	修正内容（詳細はマニュアル参照）
22.7.4 イレースペリファイモード 図 22.14 イレース/イレースペリ ファイフロー	22-33	図を修正 <p>消去はブロック単位で行ってください</p> <p>START *1 FLMCR10SWE1-bitをセット Wait (40) µs *5 n=1 EBR1 (2)を設定する *3 *4 WDTをイネーブル FLMCR10ESU1-bitをセット Wait (7) µs *5 FLMCR10EV1-bitをセット Wait (2) ms *5 FLMCR10EV1-bitをクリア Wait (1) µs *5 FLMCR10ESU1-bitをクリア Wait (1) µs *5 WDTをイネーブル FLMCR10EV1-bitをセット Wait (1) µs *5 ブロック先頭アドレスをペリファアドレスにセット ペリファアドレスにFFFをタライト Wait (1) µs *5 ペリファデータをリード *2 アドレスインクリメント ペリファデータが0xFF? *2 NG OK ブロック最終アドレス? *2 OK FLMCR10EV1-bitをクリア Wait (1) µs *5 NG *4 OK *4 FLMCR10EV1-bitをクリア Wait (1) µs *5 n=N? *5 NG OK FLMCR10SWE1-bitをクリア Wait (x1) µs *5 NG OK FLMCR10SWE1-bitをクリア Wait (x1) µs *5 消去終了 消去不良</p> <p>【注】 *1 プレライト（消去ブロックのデータをすべて0にする）は必要ありません。 *2 ペリファデータは16ビット(W)で読み出します。 *3 消去ブロック指定レジスタ(EBR)は1ビットのみ設定してください。2ビット以上を設定しないでください。 *4 消去はブロック単位で行います。複数のブロックを消去する場合は各ブロック単位で順次消去を行ってください。 *5 各ウェイト時間と回数の値を「25A.6 フラッシュメモリ特性」および「25B.6 フラッシュメモリ特性」に示します。</p>
22.11 ライタモード	22-40	タイトルを修正
22.11.2 ライタモードの動作～	-	説明を削除
22.11.19 メモリ書き込み注意事項		

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																														
23A.3.2 外部クロックを入力する方法 (2) 外部クロック 表 23A.4 外部クロック入力条件	23A-7	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">V_{CC} = 3.0 ~ 3.6V PV_{CC} = 3.0 ~ 5.5V</th> <th colspan="2">V_{CC} = 3.0 ~ 3.6V PV_{CC} = 5.0V ± 10%</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th>min</th> <th>max</th> <th>min</th> <th>max</th> </tr> </thead> <tbody> <tr> <td>外部クロック立ち下がり時間</td> <td>t_{EXR}</td> <td>-</td> <td>10</td> <td>-</td> <td>5</td> <td>ns</td> <td>図23A.7</td> </tr> </tbody> </table>	項目	記号	V _{CC} = 3.0 ~ 3.6V PV _{CC} = 3.0 ~ 5.5V		V _{CC} = 3.0 ~ 3.6V PV _{CC} = 5.0V ± 10%		単位	測定条件	min	max	min	max	外部クロック立ち下がり時間	t _{EXR}	-	10	-	5	ns	図23A.7																																										
項目	記号	V _{CC} = 3.0 ~ 3.6V PV _{CC} = 3.0 ~ 5.5V			V _{CC} = 3.0 ~ 3.6V PV _{CC} = 5.0V ± 10%		単位	測定条件																																																								
		min	max	min	max																																																											
外部クロック立ち下がり時間	t _{EXR}	-	10	-	5	ns	図23A.7																																																									
23B.3.2 外部クロックを入力する方法 (2) 外部クロック 表 23B.4 外部クロック入力条件	23B-7	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">PV_{CC} = 5.0V ± 10%</th> <th rowspan="2">単位</th> <th rowspan="2">測定条件</th> </tr> <tr> <th>min</th> <th>max</th> </tr> </thead> <tbody> <tr> <td>外部クロック立ち下がり時間</td> <td>t_{EXR}</td> <td>-</td> <td>5</td> <td>ns</td> <td>図23B.7</td> </tr> </tbody> </table>	項目	記号	PV _{CC} = 5.0V ± 10%		単位	測定条件	min	max	外部クロック立ち下がり時間	t _{EXR}	-	5	ns	図23B.7																																																
項目	記号	PV _{CC} = 5.0V ± 10%			単位	測定条件																																																										
		min	max																																																													
外部クロック立ち下がり時間	t _{EXR}	-	5	ns	図23B.7																																																											
24.8.3 使用上の注意 (3) DMAC/DTC の起動とサブアクティブモード/ウォッチモードの遷移	-	説明を削除																																																														
24.10.3 使用上の注意	-	説明を削除																																																														
24.13 使用上の注意	24-26	新規追加																																																														
25A.2 DC 特性 表 25A.2 DC 特性 (1)	25A-3	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>消費電流*2 スタンバイ時</td> <td>I_{CC}*4</td> <td></td> <td>0.1</td> <td>5.0</td> <td>μA</td> <td>T_a 50</td> </tr> <tr> <td rowspan="2">アナログ電源電流 A/D、D/A変換 待機時</td> <td rowspan="2">A_ICC</td> <td></td> <td>0.6</td> <td>2.0</td> <td>mA</td> <td>AV_{CC} = 5.0V</td> </tr> <tr> <td></td> <td>0.01</td> <td>5.0</td> <td>μA</td> <td></td> </tr> <tr> <td rowspan="2">リファレンス電源電流 A/D、D/A変換 待機時</td> <td rowspan="2">A_ICC</td> <td></td> <td>4.0</td> <td>5.0</td> <td>mA</td> <td>V_{REF} = 5.0V</td> </tr> <tr> <td></td> <td>0.01</td> <td>5.0</td> <td>μA</td> <td></td> </tr> <tr> <td>RAMスタンバイ電圧*3</td> <td>V_{BATT}</td> <td>2.0</td> <td></td> <td></td> <td>V</td> <td></td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	消費電流*2 スタンバイ時	I _{CC} *4		0.1	5.0	μA	T _a 50	アナログ電源電流 A/D、D/A変換 待機時	A _I CC		0.6	2.0	mA	AV _{CC} = 5.0V		0.01	5.0	μA		リファレンス電源電流 A/D、D/A変換 待機時	A _I CC		4.0	5.0	mA	V _{REF} = 5.0V		0.01	5.0	μA		RAMスタンバイ電圧*3	V _{BATT}	2.0			V																		
項目	記号	min	typ	max	単位	測定条件																																																										
消費電流*2 スタンバイ時	I _{CC} *4		0.1	5.0	μA	T _a 50																																																										
アナログ電源電流 A/D、D/A変換 待機時	A _I CC		0.6	2.0	mA	AV _{CC} = 5.0V																																																										
			0.01	5.0	μA																																																											
リファレンス電源電流 A/D、D/A変換 待機時	A _I CC		4.0	5.0	mA	V _{REF} = 5.0V																																																										
			0.01	5.0	μA																																																											
RAMスタンバイ電圧*3	V _{BATT}	2.0			V																																																											
表 25A.2 DC 特性 (2)	25A-5	表、注を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="5">消費電流*4 サブアクティブモード時 サブスリープモード時 ウォッチモード時 スタンバイ時</td> <td rowspan="5">I_{CC}*4</td> <td></td> <td>120</td> <td>200</td> <td>μA</td> <td>32.768kHz 水晶発振子使用時</td> </tr> <tr> <td></td> <td>V_{CC} = 3.0V</td> <td>70</td> <td>150</td> <td>μA</td> <td>32.768kHz 水晶発振子使用時</td> </tr> <tr> <td></td> <td>V_{CC} = 3.0V</td> <td>20</td> <td>50</td> <td>μA</td> <td>32.768kHz 水晶発振子使用時</td> </tr> <tr> <td></td> <td>V_{CC} = 3.0V</td> <td>0.1</td> <td>5.0</td> <td>μA</td> <td>T_a 50</td> </tr> <tr> <td></td> <td></td> <td></td> <td>20</td> <td></td> <td>50 < T_a</td> </tr> <tr> <td rowspan="2">アナログ電源電流 待機時</td> <td rowspan="2">A_ICC</td> <td></td> <td>0.6</td> <td>2.0</td> <td>mA</td> <td>V_{CC} = 5.0V</td> </tr> <tr> <td></td> <td>0.01</td> <td>5.0</td> <td>μA</td> <td></td> </tr> <tr> <td rowspan="2">リファレンス電源電流 待機時</td> <td rowspan="2">A_ICC</td> <td></td> <td>4.0</td> <td>5.0</td> <td>mA</td> <td>AV_{CC} = 5.0V</td> </tr> <tr> <td></td> <td>0.01</td> <td>5.0</td> <td>μA</td> <td></td> </tr> </tbody> </table> <p>【注】 *2 P34、P35 を出力端子として使用する場合は、PV_{CC} = 4.5 ~ 5.5V としてください。</p>	項目	記号	min	typ	max	単位	測定条件	消費電流*4 サブアクティブモード時 サブスリープモード時 ウォッチモード時 スタンバイ時	I _{CC} *4		120	200	μA	32.768kHz 水晶発振子使用時		V _{CC} = 3.0V	70	150	μA	32.768kHz 水晶発振子使用時		V _{CC} = 3.0V	20	50	μA	32.768kHz 水晶発振子使用時		V _{CC} = 3.0V	0.1	5.0	μA	T _a 50				20		50 < T _a	アナログ電源電流 待機時	A _I CC		0.6	2.0	mA	V _{CC} = 5.0V		0.01	5.0	μA		リファレンス電源電流 待機時	A _I CC		4.0	5.0	mA	AV _{CC} = 5.0V		0.01	5.0	μA	
項目	記号	min	typ	max	単位	測定条件																																																										
消費電流*4 サブアクティブモード時 サブスリープモード時 ウォッチモード時 スタンバイ時	I _{CC} *4		120	200	μA	32.768kHz 水晶発振子使用時																																																										
			V _{CC} = 3.0V	70	150	μA	32.768kHz 水晶発振子使用時																																																									
			V _{CC} = 3.0V	20	50	μA	32.768kHz 水晶発振子使用時																																																									
			V _{CC} = 3.0V	0.1	5.0	μA	T _a 50																																																									
					20		50 < T _a																																																									
アナログ電源電流 待機時	A _I CC		0.6	2.0	mA	V _{CC} = 5.0V																																																										
			0.01	5.0	μA																																																											
リファレンス電源電流 待機時	A _I CC		4.0	5.0	mA	AV _{CC} = 5.0V																																																										
			0.01	5.0	μA																																																											
表 25A.3 出力許容電流値	25A-6	表条件を修正 <p>条件 A : V_{CC} = PLLV_{CC} = 3.0 ~ 3.6V、PV_{CC} = 3.0 ~ 5.5V、AV_{CC} = 3.6 ~ 5.5V*1、V_{REF} = 3.6V ~ AV_{CC}*2、V_{SS} = AV_{SS} = PLLV_{SS} = 0V、2 ~ 16MHz、T_a = -20 ~ +75（通常仕様品）、T_a = -40 ~ +85（広温度範囲仕様品）</p> <p>条件 B : V_{CC} = PLLV_{CC} = 3.0 ~ 3.6V、PV_{CC} = 4.5 ~ 5.5V、AV_{CC} = 4.5 ~ 5.5V、V_{REF} = 4.5V ~ AV_{CC}、V_{SS} = AV_{SS} = PLLV_{SS} = 0V、2 ~ 25MHz、T_a = -20 ~ +75（通常仕様品）、T_a = -40 ~ +85（広温度範囲仕様品）</p>																																																														

修正項目	ページ	修正内容 (詳細はマニュアル参照)
25A.2 DC 特性 表 25A.4 バス駆動特性	25A-6	表条件を修正、注を追加 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 3.0 \sim 5.5V$, $AV_{CC} = 3.6 \sim 5.5V^{*1}$, $V_{ref} = 3.6V \sim AV_{CC}^{*2}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, 2 ~ 16MHz, $T_a = -20 \sim +75$ (通常仕様品), $T_a = -40 \sim +85$ (広温度範囲仕様品) 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 4.5 \sim 5.5V$, $AV_{CC} = 4.5 \sim 5.5V$, $V_{ref} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, 2 ~ 25MHz, $T_a = -20 \sim +75$ (通常仕様品), $T_a = -40 \sim +85$ (広温度範囲仕様品) 【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$ *2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V \sim AV_{CC}$
25A.3 AC 特性 図 25A.1 出力負荷回路	25A-7	図を修正  <p>C = 50pF : ポート10 ~ 13,70 ~ 73,A ~ G (拡張バス制御信号出力端子設定時) C = 30pF : 上記以外の全ポート $R_L = 2.4k$ $R_{Hi} = 12k$ 入出力タイミング測定レベル ・ Lowレベル : 0.8V ・ Highレベル : 2.0V</p>
25A.3.2 制御信号タイミング 表 25A.6 制御信号タイミング	25A-9	表条件を修正 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 3.0 \sim 5.5V$, $AV_{CC} = 3.6 \sim 5.5V^{*1}$, $V_{ref} = 3.6V \sim AV_{CC}^{*2}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, 2 ~ 16MHz, $T_a = -20 \sim +75$ (通常仕様品), $T_a = -40 \sim +85$ (広温度範囲仕様品) 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 4.5 \sim 5.5V$, $AV_{CC} = 4.5 \sim 5.5V$, $V_{ref} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, 2 ~ 25MHz, $T_a = -20 \sim +75$ (通常仕様品), $T_a = -40 \sim +85$ (広温度範囲仕様品)
25A.3.4 DMAC タイミング 図 25A.17 DMAC シングルアドレス転送タイミング / 3 ステートアクセス	25A-22	図を修正 
25A.3.5 内蔵周辺モジュールタイミング 表 25A.10 I ² C バスタイミング	25A-28	表条件を修正、注を追加 $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 3.0 \sim 5.5V$, $AV_{CC} = 3.6 \sim 5.5V^{*2}$, $V_{ref} = 3.6V \sim AV_{CC}^{*3}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, 5MHz ~ 最大動作周波数, $T_a = -20 \sim +75$ (通常仕様品), $T_a = -40 \sim +85$ (広温度範囲仕様品) 【注】 *2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$ *3 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V \sim AV_{CC}$

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																								
25A.4 A/D 変換特性 表 25A.11 A/D 変換特性	25A-29	<p>表条件を修正</p> <p>条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 3.0 \sim 5.5V$, $AV_{CC} = 3.6 \sim 5.5V^{*1}$, $V_{ref} = 3.6V \sim AV_{CC}^{*2}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, $\square 2 \sim 16MHz$, $T_a = -20 \sim +75$（通常仕様品）、$T_a = -40 \sim +85$（広温度範囲仕様品）</p> <p>条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 4.5 \sim 5.5V$, $AV_{CC} = 4.5 \sim 5.5V$, $V_{ref} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, $\square 2 \sim 25MHz$, $T_a = -20 \sim +75$（通常仕様品）、$T_a = -40 \sim +85$（広温度範囲仕様品）</p>																																																																																								
25A.5 D/A 変換特性 表 25A.12 D/A 変換特性	25A-29	<p>表条件を修正</p> <p>条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 3.0 \sim 5.5V$, $AV_{CC} = 3.6 \sim 5.5V^{*1}$, $V_{ref} = 3.6V \sim AV_{CC}^{*2}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, $\square 2 \sim 16MHz$, $T_a = -20 \sim +75$（通常仕様品）、$T_a = -40 \sim +85$（広温度範囲仕様品）</p> <p>条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$, $PV_{CC} = 4.5 \sim 5.5V$, $AV_{CC} = 4.5 \sim 5.5V$, $V_{ref} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$, $\square 2 \sim 25MHz$, $T_a = -20 \sim +75$（通常仕様品）、$T_a = -40 \sim +85$（広温度範囲仕様品）</p>																																																																																								
25A.6 フラッシュメモリ特性 表 25A.13 フラッシュメモリ特性	25A-30	<p>表、注を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="10">書き込み</td> <td>PSU1ビットセット後のウェイト時間^{*1}</td> <td>y</td> <td>50</td> <td></td> <td>μs</td> </tr> <tr> <td rowspan="2">P1ビットセット後のウェイト時間^{*1}</td> <td>z0</td> <td></td> <td>30</td> <td>μs</td> </tr> <tr> <td>z1</td> <td></td> <td>10</td> <td>μs</td> </tr> <tr> <td></td> <td>z2</td> <td></td> <td>200</td> <td>μs</td> </tr> <tr> <td>P1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>5</td> <td></td> <td>μs</td> </tr> <tr> <td>PSU1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>5</td> <td></td> <td>μs</td> </tr> <tr> <td>PV1ビットセット後のウェイト時間^{*1}</td> <td></td> <td>4</td> <td></td> <td>μs</td> </tr> <tr> <td>HFFダミーライト後のウェイト時間^{*1}</td> <td></td> <td>2</td> <td></td> <td>μs</td> </tr> <tr> <td>PV1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>2</td> <td></td> <td>μs</td> </tr> <tr> <td>最大書き込み回数^{*1, *4}</td> <td>N1</td> <td></td> <td>6</td> <td>回</td> </tr> <tr> <td></td> <td>N2</td> <td></td> <td>994</td> <td>回</td> </tr> <tr> <td rowspan="2">共通</td> <td>SWE1ビットセット後のウェイト時間^{*1}</td> <td>x0</td> <td>1</td> <td></td> <td>μs</td> </tr> <tr> <td>SWE1ビットクリア後のウェイト時間^{*1}</td> <td>x1</td> <td>100</td> <td></td> <td>μs</td> </tr> <tr> <td rowspan="3">消去時</td> <td>ESU1ビットセット後のウェイト時間^{*1}</td> <td>y</td> <td>100</td> <td></td> <td>μs</td> </tr> <tr> <td>E1ビットセット後のウェイト時間^{*1, *5}</td> <td>z</td> <td></td> <td>10</td> <td>ms</td> </tr> <tr> <td>EV1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>4</td> <td></td> <td>μs</td> </tr> </tbody> </table> <p>【注】 *4 書き込み時間の最大値</p> $t_p(\max) = P1 \text{ ビットセット後のウェイト時間}(z) \times \text{最大書き込み回数}(N)$ $= (z0 + z1) \times N1 + z2 \times N2$ <p>*5 消去時間の最大値</p> $t_e(\max) = E1 \text{ ビットセット後のウェイト時間}(z) \times \text{最大消去回数}(N)$ $= z \times N$	項目	記号	min	typ	max	単位	書き込み	PSU1ビットセット後のウェイト時間 ^{*1}	y	50		μs	P1ビットセット後のウェイト時間 ^{*1}	z0		30	μs	z1		10	μs		z2		200	μs	P1ビットクリア後のウェイト時間 ^{*1}		5		μs	PSU1ビットクリア後のウェイト時間 ^{*1}		5		μs	PV1ビットセット後のウェイト時間 ^{*1}		4		μs	HFFダミーライト後のウェイト時間 ^{*1}		2		μs	PV1ビットクリア後のウェイト時間 ^{*1}		2		μs	最大書き込み回数 ^{*1, *4}	N1		6	回		N2		994	回	共通	SWE1ビットセット後のウェイト時間 ^{*1}	x0	1		μs	SWE1ビットクリア後のウェイト時間 ^{*1}	x1	100		μs	消去時	ESU1ビットセット後のウェイト時間 ^{*1}	y	100		μs	E1ビットセット後のウェイト時間 ^{*1, *5}	z		10	ms	EV1ビットクリア後のウェイト時間 ^{*1}		4		μs
項目	記号	min	typ	max	単位																																																																																					
書き込み	PSU1ビットセット後のウェイト時間 ^{*1}	y	50		μs																																																																																					
	P1ビットセット後のウェイト時間 ^{*1}	z0		30	μs																																																																																					
		z1		10	μs																																																																																					
		z2		200	μs																																																																																					
	P1ビットクリア後のウェイト時間 ^{*1}		5		μs																																																																																					
	PSU1ビットクリア後のウェイト時間 ^{*1}		5		μs																																																																																					
	PV1ビットセット後のウェイト時間 ^{*1}		4		μs																																																																																					
	HFFダミーライト後のウェイト時間 ^{*1}		2		μs																																																																																					
	PV1ビットクリア後のウェイト時間 ^{*1}		2		μs																																																																																					
	最大書き込み回数 ^{*1, *4}	N1		6	回																																																																																					
	N2		994	回																																																																																						
共通	SWE1ビットセット後のウェイト時間 ^{*1}	x0	1		μs																																																																																					
	SWE1ビットクリア後のウェイト時間 ^{*1}	x1	100		μs																																																																																					
消去時	ESU1ビットセット後のウェイト時間 ^{*1}	y	100		μs																																																																																					
	E1ビットセット後のウェイト時間 ^{*1, *5}	z		10	ms																																																																																					
	EV1ビットクリア後のウェイト時間 ^{*1}		4		μs																																																																																					

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																			
25B.2 DC 特性 表 25B.2 DC 特性	25B-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="4">入力High レベル電圧</td> <td>RES、STBY、NMI、 FWE、MD2~MD0</td> <td>$PV_{CC} - 0.7$</td> <td></td> <td>$PV_{CC} + 0.3$</td> <td>V</td> <td rowspan="4"></td> </tr> <tr> <td>ポート1、3、7、 A-G</td> <td>2.2</td> <td></td> <td>$PV_{CC} + 0.3$</td> <td></td> </tr> <tr> <td>ポート4、9</td> <td>$AV_{CC} \times 0.7$</td> <td></td> <td>$AV_{CC} + 0.3$</td> <td></td> </tr> <tr> <td>EXTAL</td> <td>$PV_{CC} \times 0.8$</td> <td></td> <td>$PV_{CC} + 0.3$</td> <td></td> </tr> <tr> <td rowspan="4">入力Low レベル電圧</td> <td>RES、STBY、NMI、 FWE、MD2~MD0</td> <td>V_{IL}</td> <td>-0.3</td> <td>0.5</td> <td>V</td> <td rowspan="4"></td> </tr> <tr> <td>ポート1、3、4、7、 9、A-G</td> <td></td> <td>-0.3</td> <td>0.8</td> <td></td> </tr> <tr> <td>EXTAL</td> <td></td> <td>-0.3</td> <td>$PV_{CC} \times 0.2$</td> <td>V</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	入力High レベル電圧	RES、STBY、NMI、 FWE、MD2~MD0	$PV_{CC} - 0.7$		$PV_{CC} + 0.3$	V		ポート1、3、7、 A-G	2.2		$PV_{CC} + 0.3$		ポート4、9	$AV_{CC} \times 0.7$		$AV_{CC} + 0.3$		EXTAL	$PV_{CC} \times 0.8$		$PV_{CC} + 0.3$		入力Low レベル電圧	RES、STBY、NMI、 FWE、MD2~MD0	V_{IL}	-0.3	0.5	V		ポート1、3、4、7、 9、A-G		-0.3	0.8		EXTAL		-0.3	$PV_{CC} \times 0.2$	V					
項目	記号	min	typ	max	単位	測定条件																																															
入力High レベル電圧	RES、STBY、NMI、 FWE、MD2~MD0	$PV_{CC} - 0.7$		$PV_{CC} + 0.3$	V																																																
	ポート1、3、7、 A-G	2.2		$PV_{CC} + 0.3$																																																	
	ポート4、9	$AV_{CC} \times 0.7$		$AV_{CC} + 0.3$																																																	
	EXTAL	$PV_{CC} \times 0.8$		$PV_{CC} + 0.3$																																																	
入力Low レベル電圧	RES、STBY、NMI、 FWE、MD2~MD0	V_{IL}	-0.3	0.5	V																																																
	ポート1、3、4、7、 9、A-G		-0.3	0.8																																																	
	EXTAL		-0.3	$PV_{CC} \times 0.2$	V																																																
	25B-3	<p>表、注を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">アナログ 電源電流</td> <td>A/D、D/A変換中</td> <td></td> <td>0.6</td> <td>2.0</td> <td>mA</td> <td>$AV_{CC} = 5.0V$</td> </tr> <tr> <td>A/D、D/A変換 待機時</td> <td></td> <td>0.1</td> <td>5.0</td> <td>μA</td> <td></td> </tr> <tr> <td>リファレンス 電源電流</td> <td>A/D、D/A変換中</td> <td></td> <td>4.0</td> <td>5.0</td> <td>mA</td> <td>$V_{ref} = 5.0V$</td> </tr> <tr> <td></td> <td>A/D、D/A変換 待機時</td> <td></td> <td>0.1</td> <td>5.0</td> <td>μA</td> <td></td> </tr> <tr> <td>RAMスタンバイ電圧^{a3}</td> <td>V_{RAM}</td> <td>2.0</td> <td></td> <td></td> <td>V</td> <td></td> </tr> </tbody> </table> <p>【注】 *4 I_{CC} は下記の式に従って PV_{CC} と f に依存します。</p> $I_{CC} \text{ max.} = 15 \text{ (mA)} + 0.45 \text{ (mA / (MHz} \times V)) \times PV_{CC} \times f$ <p>(通常動作時)</p> $I_{CC} \text{ max.} = 15 \text{ (mA)} + 0.4 \text{ (mA / (MHz} \times V)) \times PV_{CC} \times f$ <p>(スリープ時)</p>	項目	記号	min	typ	max	単位	測定条件	アナログ 電源電流	A/D、D/A変換中		0.6	2.0	mA	$AV_{CC} = 5.0V$	A/D、D/A変換 待機時		0.1	5.0	μA		リファレンス 電源電流	A/D、D/A変換中		4.0	5.0	mA	$V_{ref} = 5.0V$		A/D、D/A変換 待機時		0.1	5.0	μA		RAMスタンバイ電圧 ^{a3}	V_{RAM}	2.0			V											
項目	記号	min	typ	max	単位	測定条件																																															
アナログ 電源電流	A/D、D/A変換中		0.6	2.0	mA	$AV_{CC} = 5.0V$																																															
	A/D、D/A変換 待機時		0.1	5.0	μA																																																
	リファレンス 電源電流	A/D、D/A変換中		4.0	5.0	mA	$V_{ref} = 5.0V$																																														
	A/D、D/A変換 待機時		0.1	5.0	μA																																																
RAMスタンバイ電圧 ^{a3}	V_{RAM}	2.0			V																																																
25B.3 AC 特性 図 25B.1 出力負荷回路	25B-5	<p>図を修正</p> <p>C = 50pF: ポート10~13, 70~73, A-G (孤張バス制御信号出力端子設定時) C = 30pF: 上記以外の全ポート</p> <p>$R_L = 2.4k$ $R_{LH} = 12k$</p> <p>入出力タイミング測定レベル ・ Lowレベル : 0.8V ・ Highレベル : 2.0V</p>																																																			
25B.3.2 制御信号タイミング 表 25B.6 制御信号タイミング	25B-7	<p>表条件を修正</p> <p>条件 : $PV_{CC} = 4.5 \sim 5.5V$、$AV_{CC} = 4.5 \sim 5.5V$、$V_{ref} = 4.5V \sim AV_{CC}$、$V_{SS} = AV_{SS} = PLLV_{SS} = 0V$、$f = 2 \sim 28MHz$、$T_a = -20 \sim +75$ (通常仕様品)、$T_a = -40 \sim +85$ (広温度範囲仕様品)</p>																																																			
25B.3.4 DMAC タイミング 図 25B.17 DMAC シングアドレ ス転送タイミング / 3 ステートアク セス	25B-18	<p>図を修正</p>																																																			
25B.3.5 内蔵周辺モジュールタイ ミング 表 25B.10 I ² C バスタイミング	25B-24	<p>表条件を修正</p> <p>条件 : $PV_{CC} = 4.5 \sim 5.5V$、$AV_{CC} = 4.5 \sim 5.5V$、$V_{ref} = 4.5V \sim AV_{CC}$、$V_{SS} = AV_{SS} = PLLV_{SS} = 0V$、$f = 5MHz \sim$ 最大動作周波数、$T_a = -20 \sim +75$ (通常仕様品)、$T_a = -40 \sim +85$ (広温度範囲仕様品)</p>																																																			

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																								
25B.6 フラッシュメモリ特性 表 25B.13 フラッシュメモリ特性	25B-26	<p>表条件を修正</p> <p>条件： $PV_{CC} = 4.5 \sim 5.5V$、$AV_{CC} = 4.5 \sim 5.5V$、$V_{ref} = 4.5V \sim AV_{CC}$、$V_{SS} = AV_{SS} = PLLV_{SS} = 0V$、$2 \sim 28MHz$、$T_a = -20 \sim +75$（通常仕様品） $T_a = -40 \sim +85$（広温度範囲仕様品）</p> <p>表、注を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="10">書き込み</td> <td>PSU1ビットセット後のウェイト時間^{*1}</td> <td>y</td> <td>50</td> <td></td> <td>μs</td> </tr> <tr> <td rowspan="3">P1ビットセット後のウェイト時間^{*1}</td> <td>z0</td> <td></td> <td>30</td> <td>μs</td> </tr> <tr> <td>z1</td> <td></td> <td>10</td> <td>μs</td> </tr> <tr> <td>z2</td> <td></td> <td>200</td> <td>μs</td> </tr> <tr> <td>P1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>5</td> <td></td> <td>μs</td> </tr> <tr> <td>PSU1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>5</td> <td></td> <td>μs</td> </tr> <tr> <td>PV1ビットセット後のウェイト時間^{*1}</td> <td></td> <td>4</td> <td></td> <td>μs</td> </tr> <tr> <td>HFFダミーライト後のウェイト時間^{*1}</td> <td></td> <td>2</td> <td></td> <td>μs</td> </tr> <tr> <td>PV1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>2</td> <td></td> <td>μs</td> </tr> <tr> <td rowspan="2">最大書き込み回数^{*1, *4}</td> <td>N1</td> <td></td> <td></td> <td>6</td> <td>回</td> </tr> <tr> <td>N2</td> <td></td> <td></td> <td>994</td> <td>回</td> </tr> <tr> <td rowspan="2">共通</td> <td>SWE1ビットセット後のウェイト時間^{*1}</td> <td>x0</td> <td>1</td> <td></td> <td>μs</td> </tr> <tr> <td>SWE1ビットクリア後のウェイト時間^{*1}</td> <td>x1</td> <td>100</td> <td></td> <td>μs</td> </tr> <tr> <td rowspan="3">消去時</td> <td>ESU1ビットセット後のウェイト時間^{*1}</td> <td>y</td> <td>100</td> <td></td> <td>μs</td> </tr> <tr> <td>E1ビットセット後のウェイト時間^{*1, *5}</td> <td>z</td> <td></td> <td>10</td> <td>ms</td> </tr> <tr> <td>EV1ビットクリア後のウェイト時間^{*1}</td> <td></td> <td>4</td> <td></td> <td>μs</td> </tr> </tbody> </table> <p>【注】 *4 書き込み時間の最大値</p> $t_p(\max) = P1 \text{ ビットセット後のウェイト時間}(z) \times \text{最大書き込み回数}(N)$ $= (z0 + z1) \times N1 + z2 \times N2$ <p>*5 消去時間の最大値</p> $t_e(\max) = E1 \text{ ビットセット後のウェイト時間}(z) \times \text{最大消去回数}(N)$ $= z \times N$	項目	記号	min	typ	max	単位	書き込み	PSU1ビットセット後のウェイト時間 ^{*1}	y	50		μs	P1ビットセット後のウェイト時間 ^{*1}	z0		30	μs	z1		10	μs	z2		200	μs	P1ビットクリア後のウェイト時間 ^{*1}		5		μs	PSU1ビットクリア後のウェイト時間 ^{*1}		5		μs	PV1ビットセット後のウェイト時間 ^{*1}		4		μs	HFFダミーライト後のウェイト時間 ^{*1}		2		μs	PV1ビットクリア後のウェイト時間 ^{*1}		2		μs	最大書き込み回数 ^{*1, *4}	N1			6	回	N2			994	回	共通	SWE1ビットセット後のウェイト時間 ^{*1}	x0	1		μs	SWE1ビットクリア後のウェイト時間 ^{*1}	x1	100		μs	消去時	ESU1ビットセット後のウェイト時間 ^{*1}	y	100		μs	E1ビットセット後のウェイト時間 ^{*1, *5}	z		10	ms	EV1ビットクリア後のウェイト時間 ^{*1}		4		μs
項目	記号	min	typ	max	単位																																																																																					
書き込み	PSU1ビットセット後のウェイト時間 ^{*1}	y	50		μs																																																																																					
	P1ビットセット後のウェイト時間 ^{*1}	z0		30	μs																																																																																					
		z1		10	μs																																																																																					
		z2		200	μs																																																																																					
	P1ビットクリア後のウェイト時間 ^{*1}		5		μs																																																																																					
	PSU1ビットクリア後のウェイト時間 ^{*1}		5		μs																																																																																					
	PV1ビットセット後のウェイト時間 ^{*1}		4		μs																																																																																					
	HFFダミーライト後のウェイト時間 ^{*1}		2		μs																																																																																					
	PV1ビットクリア後のウェイト時間 ^{*1}		2		μs																																																																																					
	最大書き込み回数 ^{*1, *4}	N1			6	回																																																																																				
N2				994	回																																																																																					
共通	SWE1ビットセット後のウェイト時間 ^{*1}	x0	1		μs																																																																																					
	SWE1ビットクリア後のウェイト時間 ^{*1}	x1	100		μs																																																																																					
消去時	ESU1ビットセット後のウェイト時間 ^{*1}	y	100		μs																																																																																					
	E1ビットセット後のウェイト時間 ^{*1, *5}	z		10	ms																																																																																					
	EV1ビットクリア後のウェイト時間 ^{*1}		4		μs																																																																																					
25C.3 AC 特性 図 25C.1 出力負荷回路	25C-4	<p>図を修正</p> <p>C = 50pF：ポート10～13, 70～73, A～G （拡張バス制御信号出力端子設定時） C = 30pF：上記以外の全ポート</p> <p>$R_L = 2.4k$ $R_H = 12k$</p> <p>入出力タイミング測定レベル ・Lowレベル：0.8V ・Highレベル：2.0V</p>																																																																																								
A.6 コンディションコードの変化 表 A.7 コンディションコードの変化	付録-55	<p>表を修正</p> <table border="1"> <thead> <tr> <th>命令</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> </tr> </thead> <tbody> <tr> <td>STM</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	命令	H	N	Z	V	C	STM	-	-	-	-	-																																																																												
命令	H	N	Z	V	C																																																																																					
STM	-	-	-	-	-																																																																																					
	付録-56	<p>表を修正</p> <table border="1"> <thead> <tr> <th>命令</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> </tr> </thead> <tbody> <tr> <td>TAS</td> <td>-</td> <td>↓</td> <td>↓</td> <td>0</td> <td>-</td> </tr> </tbody> </table>	命令	H	N	Z	V	C	TAS	-	↓	↓	0	-																																																																												
命令	H	N	Z	V	C																																																																																					
TAS	-	↓	↓	0	-																																																																																					
		注を削除																																																																																								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																
D.1 各処理状態におけるポートの状態 表 D.1 各処理状態における I/O ポートの状態 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F、H8S/2633R)	付録-251	表を修正 <table border="1"> <thead> <tr> <th>ポート名 端子名</th> <th>MCU 動作 モード</th> <th>パワー オン リセット</th> <th>マニュアル リセット</th> <th>ハードウェア スタンバイ モード</th> <th>ソフトウェア スタンバイ モード</th> <th>バス権 解放状態</th> <th>プログラム 実行状態 スリープモード</th> </tr> </thead> <tbody> <tr> <td>ポート4</td> <td>4~7</td> <td>T</td> <td>T</td> <td>T</td> <td>T</td> <td>T</td> <td>入力ポート</td> </tr> <tr> <td>P77~74</td> <td>4~7</td> <td>T</td> <td>Keep</td> <td>T</td> <td>Keep</td> <td>Keep</td> <td>入出力ポート</td> </tr> <tr> <td>P73/CS7</td> <td>7</td> <td>T</td> <td>Keep</td> <td>T</td> <td>Keep</td> <td>Keep</td> <td>入出力ポート</td> </tr> </tbody> </table>	ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	ポート4	4~7	T	T	T	T	T	入力ポート	P77~74	4~7	T	Keep	T	Keep	Keep	入出力ポート	P73/CS7	7	T	Keep	T	Keep	Keep	入出力ポート
ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード																											
ポート4	4~7	T	T	T	T	T	入力ポート																											
P77~74	4~7	T	Keep	T	Keep	Keep	入出力ポート																											
P73/CS7	7	T	Keep	T	Keep	Keep	入出力ポート																											
表 D.2 各処理状態における I/O ポートの状態 (H8S/2695)	付録-255	表を修正 <table border="1"> <thead> <tr> <th>ポート名 端子名</th> <th>MCU 動作 モード</th> <th>パワー オン リセット</th> <th>マニュアル リセット</th> <th>ハードウェア スタンバイ モード</th> <th>ソフトウェア スタンバイ モード</th> <th>バス権 解放状態</th> <th>プログラム 実行状態 スリープモード</th> </tr> </thead> <tbody> <tr> <td>ポート4</td> <td>4~7</td> <td>T</td> <td>T</td> <td>T</td> <td>T</td> <td>T</td> <td>入力ポート</td> </tr> <tr> <td>P77~74</td> <td>4~7</td> <td>T</td> <td>Keep</td> <td>T</td> <td>Keep</td> <td>Keep</td> <td>入出力ポート</td> </tr> <tr> <td>P73/CS7</td> <td>7</td> <td>T</td> <td>Keep</td> <td>T</td> <td>Keep</td> <td>Keep</td> <td>入出力ポート</td> </tr> </tbody> </table>	ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	ポート4	4~7	T	T	T	T	T	入力ポート	P77~74	4~7	T	Keep	T	Keep	Keep	入出力ポート	P73/CS7	7	T	Keep	T	Keep	Keep	入出力ポート
ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード																											
ポート4	4~7	T	T	T	T	T	入力ポート																											
P77~74	4~7	T	Keep	T	Keep	Keep	入出力ポート																											
P73/CS7	7	T	Keep	T	Keep	Keep	入出力ポート																											

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	概要	1-1
1.2	内部ブロック図	1-7
1.3	端子説明	1-10
1.3.1	ピン配置図	1-10
1.3.2	動作モード別端子機能一覧	1-15
1.3.3	端子機能	1-29
2.	CPU	2-1
2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.3	H8/300 CPU との相違点	2-3
2.1.4	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.3	アドレス空間	2-9
2.4	レジスタ構成	2-10
2.4.1	概要	2-10
2.4.2	汎用レジスタ	2-11
2.4.3	コントロールレジスタ	2-12
2.4.4	CPU 内部レジスタの初期値	2-14
2.5	データ構成	2-14
2.5.1	汎用レジスタのデータ構成	2-14
2.5.2	メモリ上でのデータ構成	2-17
2.6	命令セット	2-18
2.6.1	概要	2-18
2.6.2	命令とアドレッシングモードの組み合わせ	2-19
2.6.3	命令の機能別一覧	2-20
2.6.4	命令の基本フォーマット	2-30
2.7	アドレッシングモードと実効アドレスの計算方法	2-31
2.7.1	アドレッシングモード	2-31
2.7.2	実効アドレスの計算方法	2-34
2.8	処理状態	2-38
2.8.1	概要	2-38
2.8.2	リセット状態	2-40

2.8.3	例外処理状態	2-40
2.8.4	プログラム実行状態	2-43
2.8.5	バス権解放状態	2-43
2.8.6	低消費電力状態	2-43
2.9	基本動作タイミング	2-44
2.9.1	概要	2-44
2.9.2	内蔵メモリ (ROM、RAM)	2-44
2.9.3	内蔵周辺モジュールアクセスタイミング	2-45
2.9.4	外部アドレス空間アクセスタイミング	2-46
2.10	使用上の注意	2-46
2.10.1	TAS 命令	2-46
2.10.2	STM/LDM 命令	2-46
2.10.3	ビット操作命令使用上の注意事項	2-47
3.	MCU 動作モード	3-1
3.1	概要	3-1
3.1.1	動作モードの選択	3-1
3.1.2	レジスタ構成	3-2
3.2	各レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.2.3	端子機能コントロールレジスタ (PFCR)	3-5
3.3	各動作モードの説明	3-7
3.3.1	モード 4	3-7
3.3.2	モード 5	3-7
3.3.3	モード 6	3-8
3.3.4	モード 7	3-8
3.4	各動作モードにおける端子機能	3-8
3.5	各動作モードのアドレスマップ	3-9
4.	例外処理	4-1
4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-4
4.2.1	概要	4-4
4.2.2	リセットの種類	4-4
4.2.3	リセットシーケンス	4-5
4.2.4	リセット直後の割り込み	4-6
4.2.5	リセット解除後の内蔵周辺機能	4-6

4.3	トレース.....	4-7
4.4	割り込み.....	4-7
4.5	トラップ命令.....	4-8
4.6	例外処理後のスタックの状態.....	4-9
4.7	スタック使用上の注意.....	4-10
5.	割り込みコントローラ.....	5-1
5.1	概要.....	5-1
5.1.1	特長.....	5-1
5.1.2	ブロック図.....	5-2
5.1.3	端子構成.....	5-3
5.1.4	レジスタ構成.....	5-3
5.2	各レジスタの説明.....	5-4
5.2.1	システムコントロールレジスタ (SYSCR).....	5-4
5.2.2	インタラプトプライオリティレジスタ A~L、O (IPRA~L、IPRO).....	5-5
5.2.3	IRQ イネーブルレジスタ (IER).....	5-6
5.2.4	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL).....	5-7
5.2.5	IRQ ステータスレジスタ (ISR).....	5-8
5.3	割り込み要因.....	5-9
5.3.1	外部割り込み.....	5-9
5.3.2	内部割り込み.....	5-10
5.3.3	割り込み例外処理ベクタテーブル.....	5-11
5.4	割り込み動作.....	5-19
5.4.1	割り込み制御モードと割り込み動作.....	5-19
5.4.2	割り込み制御モード 0.....	5-22
5.4.3	割り込み制御モード 2.....	5-24
5.4.4	割り込み例外処理シーケンス.....	5-26
5.4.5	割り込み応答時間.....	5-27
5.5	使用上の注意.....	5-28
5.5.1	割り込みの発生とディスエーブルとの競合.....	5-28
5.5.2	割り込みを禁止している命令.....	5-29
5.5.3	割り込み禁止期間.....	5-29
5.5.4	EEPMOV 命令実行中の割り込み.....	5-29
5.5.5	IRQ 割り込み.....	5-29
5.5.6	NMI 割り込み使用上の注意.....	5-29
5.6	割り込みによるDTC、DMACの起動 (H8S/2695にはDTC、DMACはありません).....	5-30
5.6.1	概要.....	5-30
5.6.2	ブロック図.....	5-30
5.6.3	動作説明.....	5-31

6.	PC ブレークコントローラ (PBC) (H8S/2695 には本機能はありません)	6-1
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	レジスタ構成	6-2
6.2	レジスタの説明	6-3
6.2.1	ブレークアドレスレジスタ (BARA)	6-3
6.2.2	ブレークアドレスレジスタ B (BARB)	6-3
6.2.3	ブレークコントロールレジスタ A (BCRA)	6-3
6.2.4	ブレークコントロールレジスタ B (BCRB)	6-5
6.2.5	モジュールストップコントロールレジスタ C (MSTPCRC)	6-5
6.3	動作説明	6-6
6.3.1	命令フェッチによる PC ブレーク割り込み動作	6-6
6.3.2	データアクセスによる PC ブレーク割り込み動作	6-6
6.3.3	PC ブレーク割り込み処理時の注意事項	6-7
6.3.4	低消費電力モード遷移時の動作	6-7
6.3.5	連続データ転送時の PC ブレーク動作	6-8
6.3.6	命令実行が 1 ステート遅れる場合	6-8
6.3.7	その他の注意事項	6-9
7.	バスコントローラ	7-1
7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-3
7.1.3	端子構成	7-4
7.1.4	レジスタ構成	7-5
7.2	各レジスタの説明	7-6
7.2.1	バス幅コントロールレジスタ (ABWCR)	7-6
7.2.2	アクセスステートコントロールレジスタ (ASTCR)	7-6
7.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	7-7
7.2.4	バスコントロールレジスタ H (BCRH)	7-10
7.2.5	バスコントロールレジスタ L (BCRL)	7-13
7.2.6	端子機能コントロールレジスタ (PFCR)	7-15
7.2.7	メモリコントロールレジスタ (MCR)	7-17
7.2.8	DRAM コントロールレジスタ (DRAMCR)	7-19
7.2.9	リフレッシュタイマカウンタ (RTCNT)	7-22
7.2.10	リフレッシュタイムコンスタントレジスタ (RTCOR)	7-22
7.3	バス制御の概要	7-23
7.3.1	エリア分割	7-23
7.3.2	バス仕様	7-24

7.3.3	メモリインタフェース.....	7-25
7.3.4	各エリアのバスインタフェース仕様.....	7-25
7.3.5	チップセレクト信号.....	7-26
7.4	基本バスインタフェース.....	7-27
7.4.1	概要.....	7-27
7.4.2	データサイズとデータアライメント.....	7-27
7.4.3	有効ストロープ.....	7-28
7.4.4	基本タイミング.....	7-29
7.4.5	ウェイト制御.....	7-37
7.5	DRAMインタフェース（H8S/2695には本機能はありません）.....	7-39
7.5.1	概要.....	7-39
7.5.2	DRAM 空間の設定.....	7-39
7.5.3	アドレスマルチプレクス.....	7-40
7.5.4	データバス.....	7-40
7.5.5	DRAM インタフェース使用端子.....	7-41
7.5.6	基本タイミング.....	7-42
7.5.7	プリチャージステート制御.....	7-43
7.5.8	ウェイト制御.....	7-44
7.5.9	バイトアクセス制御.....	7-46
7.5.10	バースト動作.....	7-48
7.5.11	リフレッシュ制御.....	7-51
7.6	DMACシングルアドレスモードとDRAMインタフェース（H8S/2695には本機能はありません）.....	7-55
7.6.1	DDS = 1 のとき.....	7-55
7.6.2	DDS = 0 のとき.....	7-56
7.7	バーストROMインタフェース.....	7-57
7.7.1	概要.....	7-57
7.7.2	基本タイミング.....	7-57
7.7.3	ウェイト制御.....	7-59
7.8	アイドルサイクル.....	7-59
7.8.1	動作説明.....	7-59
7.8.2	アイドルサイクルでの端子状態.....	7-63
7.9	ライトデータバッファ機能.....	7-64
7.10	バス解放.....	7-65
7.10.1	概要.....	7-65
7.10.2	動作説明.....	7-65
7.10.3	外部バス権解放状態での端子状態.....	7-66
7.10.4	遷移タイミング.....	7-67
7.10.5	使用上の注意.....	7-68
7.11	バスアービトラージョン（H8S/2695にはDTC、DMACはありません）.....	7-69
7.11.1	概要.....	7-69
7.11.2	動作説明.....	7-69

7.11.3	バス権移行タイミング.....	7-70
7.12	リセットとバスコントローラ.....	7-70
8.	DMA コントローラ (DMAC) (H8S/2695 には本機能はありません).....	8-1
8.1	概要.....	8-1
8.1.1	特長.....	8-1
8.1.2	ブロック図.....	8-2
8.1.3	機能概要.....	8-3
8.1.4	端子構成.....	8-5
8.1.5	レジスタ構成.....	8-6
8.2	各レジスタの説明 (1) (ショートアドレスモード).....	8-7
8.2.1	メモリアドレスレジスタ (MAR).....	8-8
8.2.2	I/O アドレスレジスタ (IOAR).....	8-9
8.2.3	転送カウントレジスタ (ETCR).....	8-9
8.2.4	DMA コントロールレジスタ (DMACR).....	8-10
8.2.5	DMA バンドコントロールレジスタ (DMABCR).....	8-14
8.3	各レジスタの説明 (2) (フルアドレスモード).....	8-19
8.3.1	メモリアドレスレジスタ (MAR).....	8-19
8.3.2	I/O アドレスレジスタ (IOAR).....	8-19
8.3.3	転送カウントレジスタ (ETCR).....	8-20
8.3.4	DMA コントロールレジスタ (DMACR).....	8-21
8.3.5	DMA バンドコントロールレジスタ (DMABCR).....	8-25
8.4	各レジスタの説明 (3).....	8-30
8.4.1	DMA ライトイネーブルレジスタ (DMAWER).....	8-30
8.4.2	DMA ターミナルコントロールレジスタ (DMATCR).....	8-32
8.4.3	モジュールストップコントロールレジスタ A (MSTPCRA).....	8-33
8.5	動作説明.....	8-34
8.5.1	転送モード.....	8-34
8.5.2	シーケンシャルモード.....	8-36
8.5.3	アイドルモード.....	8-39
8.5.4	リピートモード.....	8-42
8.5.5	シングルアドレスモード.....	8-46
8.5.6	ノーマルモード.....	8-49
8.5.7	ブロック転送モード.....	8-52
8.5.8	DMAC の起動要因.....	8-57
8.5.9	DMAC の基本バスサイクル.....	8-60
8.5.10	DMAC のバスサイクル (デュアルアドレスモード).....	8-61
8.5.11	DMAC のバスサイクル (シングルアドレスモード).....	8-69
8.5.12	ライトデータバッファ機能.....	8-73
8.5.13	DMAC 複数チャネルの動作.....	8-75
8.5.14	DMAC と、外部バス権要求、リフレッシュサイクル、DTC の関係.....	8-76

8.5.15	NMI 割り込みと DMAC.....	8-77
8.5.16	DMAC 動作の強制終了.....	8-78
8.5.17	フルアドレスモードの解除.....	8-79
8.6	割り込み.....	8-80
8.7	使用上の注意.....	8-81
9.	データトランスファコントローラ (DTC) (H8S/2695 には本機能はありません).....	9-1
9.1	概要.....	9-1
9.1.1	特長.....	9-1
9.1.2	ブロック図.....	9-2
9.1.3	レジスタ構成.....	9-3
9.2	各レジスタの説明.....	9-3
9.2.1	DTC モードレジスタ A (MRA).....	9-3
9.2.2	DTC モードレジスタ B (MRB).....	9-5
9.2.3	DTC ソースアドレスレジスタ (SAR).....	9-6
9.2.4	DTC デスティネーションアドレスレジスタ (DAR).....	9-6
9.2.5	DTC 転送カウントレジスタ A (CRA).....	9-6
9.2.6	DTC 転送カウントレジスタ B (CRB).....	9-7
9.2.7	DTC イネーブルレジスタ (DTCER).....	9-7
9.2.8	DTC ベクタレジスタ (DTVECR).....	9-8
9.2.9	モジュールストップコントロールレジスタ A (MSTPCRA).....	9-9
9.3	動作説明.....	9-10
9.3.1	概要.....	9-10
9.3.2	起動要因.....	9-12
9.3.3	DTC ベクタテーブル.....	9-13
9.3.4	アドレス空間上でのレジスタ情報の配置.....	9-16
9.3.5	ノーマルモード.....	9-17
9.3.6	リピートモード.....	9-18
9.3.7	ブロック転送モード.....	9-19
9.3.8	チェイン転送.....	9-20
9.3.9	動作タイミング.....	9-21
9.3.10	DTC 実行ステート数.....	9-22
9.3.11	DTC 使用手順.....	9-23
9.3.12	DTC 使用例.....	9-24
9.4	割り込み.....	9-25
9.5	使用上の注意.....	9-26
10A.	I/O ポート (H8S/2633、H8S/2632、H8S/2631、H8S/2633R).....	10A-1
10A.1	概要.....	10A-1
10A.2	ポート1.....	10A-6
10A.2.1	概要.....	10A-6

10A.2.2	レジスタ構成	10A-7
10A.2.3	端子機能	10A-9
10A.3	ポート3	10A-17
10A.3.1	概要	10A-17
10A.3.2	レジスタ構成	10A-17
10A.3.3	端子機能	10A-20
10A.4	ポート4	10A-23
10A.4.1	概要	10A-23
10A.4.2	レジスタ構成	10A-23
10A.4.3	端子機能	10A-24
10A.5	ポート7	10A-24
10A.5.1	概要	10A-24
10A.5.2	レジスタ構成	10A-25
10A.5.3	端子機能	10A-26
10A.6	ポート9	10A-29
10A.6.1	概要	10A-29
10A.6.2	レジスタ構成	10A-29
10A.6.3	端子機能	10A-30
10A.7	ポートA	10A-30
10A.7.1	概要	10A-30
10A.7.2	レジスタ構成	10A-31
10A.7.3	端子機能	10A-34
10A.7.4	入力プルアップ MOS	10A-35
10A.8	ポートB	10A-36
10A.8.1	概要	10A-36
10A.8.2	レジスタ構成	10A-37
10A.8.3	端子機能	10A-40
10A.8.4	入力プルアップ MOS	10A-47
10A.9	ポートC	10A-48
10A.9.1	概要	10A-48
10A.9.2	レジスタ構成	10A-49
10A.9.3	モード別端子機能	10A-51
10A.9.4	入力プルアップ MOS	10A-53
10A.10	ポートD	10A-54
10A.10.1	概要	10A-54
10A.10.2	レジスタ構成	10A-55
10A.10.3	モード別端子機能	10A-57
10A.10.4	入力プルアップ MOS	10A-58
10A.11	ポートE	10A-59
10A.11.1	概要	10A-59
10A.11.2	レジスタ構成	10A-60

10A.11.3	モード別端子機能	10A-62
10A.11.4	入力プルアップ MOS.....	10A-63
10A.12	ポートF.....	10A-64
10A.12.1	概要.....	10A-64
10A.12.2	レジスタ構成.....	10A-65
10A.12.3	端子機能.....	10A-67
10A.13	ポートG.....	10A-69
10A.13.1	概要.....	10A-69
10A.13.2	レジスタ構成.....	10A-70
10A.13.3	端子機能.....	10A-72
10B.	I/O ポート (H8S/2695)	10B-1
10B.1	概要.....	10B-1
10B.2	ポート1.....	10B-5
10B.2.1	概要.....	10B-5
10B.2.2	レジスタ構成.....	10B-6
10B.2.3	端子機能.....	10B-8
10B.3	ポート3.....	10B-16
10B.3.1	概要.....	10B-16
10B.3.2	レジスタ構成.....	10B-16
10B.3.3	端子機能.....	10B-19
10B.4	ポート4.....	10B-21
10B.4.1	概要.....	10B-21
10B.4.2	レジスタ構成.....	10B-21
10B.4.3	端子機能.....	10B-22
10B.5	ポート7.....	10B-22
10B.5.1	概要.....	10B-22
10B.5.2	レジスタ構成.....	10B-23
10B.5.3	端子機能.....	10B-24
10B.6	ポート9.....	10B-27
10B.6.1	概要.....	10B-27
10B.6.2	レジスタ構成.....	10B-27
10B.6.3	端子機能.....	10B-28
10B.7	ポートA.....	10B-28
10B.7.1	概要.....	10B-28
10B.7.2	レジスタ構成.....	10B-29
10B.7.3	端子機能.....	10B-32
10B.7.4	入力プルアップ MOS.....	10B-34
10B.8	ポートB.....	10B-35
10B.8.1	概要.....	10B-35
10B.8.2	レジスタ構成.....	10B-36

10B.8.3	端子機能	10B-39
10B.8.4	入力プルアップ MOS	10B-47
10B.9	ポートC	10B-48
10B.9.1	概要	10B-48
10B.9.2	レジスタ構成	10B-49
10B.9.3	モード別端子機能	10B-51
10B.9.4	入力プルアップ MOS	10B-53
10B.10	ポートD	10B-54
10B.10.1	概要	10B-54
10B.10.2	レジスタ構成	10B-55
10B.10.3	モード別端子機能	10B-57
10B.10.4	入力プルアップ MOS	10B-58
10B.11	ポートE	10B-59
10B.11.1	概要	10B-59
10B.11.2	レジスタ構成	10B-60
10B.11.3	モード別端子機能	10B-62
10B.11.4	入力プルアップ MOS	10B-63
10B.12	ポートF	10B-64
10B.12.1	概要	10B-64
10B.12.2	レジスタ構成	10B-65
10B.12.3	端子機能	10B-67
10B.13	ポートG	10B-69
10B.13.1	概要	10B-69
10B.13.2	レジスタ構成	10B-70
10B.13.3	端子機能	10B-72
11.	16ビットタイマパルスユニット (TPU)	11-1
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-5
11.1.3	端子構成	11-6
11.1.4	レジスタ構成	11-8
11.2	各レジスタの説明	11-10
11.2.1	タイマコントロールレジスタ (TCR)	11-10
11.2.2	タイマモードレジスタ (TMDR)	11-15
11.2.3	タイマI/Oコントロールレジスタ (TIOR)	11-17
11.2.4	タイマインタラプトイネーブルレジスタ (TIER)	11-26
11.2.5	タイマステータスレジスタ (TSR)	11-29
11.2.6	タイマカウンタ (TCNT)	11-33
11.2.7	タイマジェネラルレジスタ (TGR)	11-34
11.2.8	タイマスタートレジスタ (TSTR)	11-35

11.2.9	タイマシンクロレジスタ (TSYR)	11-35
11.2.10	モジュールストップコントロールレジスタ A (MSTPCRA)	11-36
11.3	バスマスタとのインタフェース	11-37
11.3.1	16 ビットレジスタ	11-37
11.3.2	8 ビットレジスタ	11-37
11.4	動作説明	11-39
11.4.1	概要	11-39
11.4.2	基本機能	11-40
11.4.3	同期動作	11-46
11.4.4	バッファ動作	11-48
11.4.5	カスケード接続動作	11-52
11.4.6	PWM モード	11-54
11.4.7	位相計数モード	11-59
11.5	割り込み	11-65
11.5.1	割り込み要因と優先順位	11-65
11.5.2	DTC / DMAC の起動 (H8S/2695 には本機能はありません)	11-67
11.5.3	A/D 変換器の起動	11-67
11.6	動作タイミング	11-68
11.6.1	入出力タイミング	11-68
11.6.2	割り込み信号タイミング	11-72
11.7	使用上の注意	11-75
12.	プログラマブルパルスジェネレータ (PPG) (H8S/2695 には本機能はありません)	12-1
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-4
12.2	各レジスタの説明	12-5
12.2.1	ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)	12-5
12.2.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	12-6
12.2.3	ネクストデータレジスタ H、L (NDRH、NDRL)	12-7
12.2.4	NDR アクセス時の注意	12-7
12.2.5	PPG 出力コントロールレジスタ (PCR)	12-9
12.2.6	PPG 出力モードレジスタ (PMR)	12-11
12.2.7	ポート 1 データディレクションレジスタ (PIDDR)	12-13
12.2.8	モジュールストップコントロールレジスタ A (MSTPCRA)	12-14
12.3	動作説明	12-15
12.3.1	概要	12-15
12.3.2	出力タイミング	12-16
12.3.3	パルス出力通常動作	12-17

12.3.4	パルス出力ノンオーバーラップ動作	12-19
12.3.5	パルス反転出力	12-21
12.3.6	インプットキャプチャによるパルス出力	12-22
12.4	使用上の注意	12-22
13.	8ビットタイマ (TMR) (H8S/2695 には本機能はありません)	13-1
13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-4
13.2	各レジスタの説明	13-5
13.2.1	タイマカウンタ 0~3 (TCNT0~TCNT3)	13-5
13.2.2	タイムコンスタントレジスタ A0~A3 (TCORA0~TCORA3)	13-5
13.2.3	タイムコンスタントレジスタ B0~B3 (TCORB0~TCORB3)	13-6
13.2.4	タイマコントロールレジスタ 0~3 (TCR0~TCR3)	13-6
13.2.5	タイマコントロール/ステータスレジスタ 0~3 (TCSR0~TCSR3)	13-9
13.2.6	モジュールストップコントロールレジスタ A (MSTPCRA)	13-12
13.3	動作説明	13-13
13.3.1	TCNT のカウントタイミング	13-13
13.3.2	コンペアマッチタイミング	13-14
13.3.3	TCNT の外部リセットタイミング	13-16
13.3.4	オーバフローフラグ (OVF) のセットタイミング	13-16
13.3.5	カスケード接続時の動作	13-17
13.4	割り込み	13-18
13.4.1	割り込み要因と DTC 起動 (H8S/2695 には DTC、8ビットタイマはありません)	13-18
13.4.2	A/D 変換器の起動	13-18
13.5	8ビットタイマの使用例	13-19
13.6	使用上の注意	13-20
13.6.1	TCNT のライトとカウンタクリアの競合	13-20
13.6.2	TCNT のライトとカウンタアップの競合	13-21
13.6.3	TCOR のライトとコンペアマッチの競合	13-22
13.6.4	コンペアマッチ A、B の競合	13-22
13.6.5	内部クロックの切り替えと TCNT の動作	13-23
13.6.6	モジュールストップ時の割り込み	13-25
14.	14ビット PWM タイマ (H8S/2695 には本機能はありません)	14-1
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-2

14.1.4	レジスタ構成	14-3
14.2	各レジスタの説明	14-4
14.2.1	PWM (D/A) カウンタ (DACNT)	14-4
14.2.2	D/A データレジスタ A、B (DADRA、DADRB)	14-5
14.2.3	PWM (D/A) コントロールレジスタ (DACR)	14-7
14.2.4	モジュールストップコントロールレジスタ B (MSTPCRB)	14-9
14.3	バスマスタとのインタフェース	14-10
14.4	動作説明	14-13
15.	ウォッチドッグタイマ (WDT) (H8S/2695 では WDT1 は使用できません)	15-1
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-3
15.1.4	レジスタ構成	15-3
15.2	各レジスタの説明	15-4
15.2.1	タイマカウンタ (TCNT)	15-4
15.2.2	タイマコントロール/ステータスレジスタ (TCSR)	15-4
15.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	15-9
15.2.4	端子機能コントロールレジスタ (PFCR)	15-10
15.2.5	レジスタアクセス時の注意	15-11
15.3	動作説明	15-12
15.3.1	ウォッチドッグタイマモード時の動作	15-12
15.3.2	インターバルタイマモード時の動作	15-14
15.3.3	オーバフローフラグ (OVF) のセットタイミング	15-14
15.3.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	15-15
15.4	割り込み	15-16
15.5	使用上の注意	15-16
15.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	15-16
15.5.2	PSS、CKS2 ~ CKS0 ビットの書き換え	15-16
15.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	15-17
15.5.4	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	15-17
15.5.5	ウォッチドッグタイマモードでの内部リセット	15-17
15.5.6	インターバルタイマモードでの OVF フラグのクリア	15-17
16.	シリアルコミュニケーションインタフェース (SCI、IrDA) (H8S/2695 には IrDA 機能はありません)	16-1
16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-3
16.1.3	端子構成	16-4

16.1.4	レジスタ構成	16-5
16.2	各レジスタの説明	16-6
16.2.1	レシーブシフトレジスタ (RSR)	16-6
16.2.2	レシーブデータレジスタ (RDR)	16-6
16.2.3	トランスミットシフトレジスタ (TSR)	16-7
16.2.4	トランスミットデータレジスタ (TDR)	16-7
16.2.5	シリアルモードレジスタ (SMR)	16-8
16.2.6	シリアルコントロールレジスタ (SCR)	16-11
16.2.7	シリアルステータスレジスタ (SSR)	16-15
16.2.8	ビットレートレジスタ (BRR)	16-19
16.2.9	スマートカードモードレジスタ (SCMR)	16-27
16.2.10	IrDA コントロールレジスタ (IrCR)	16-28
16.2.11	モジュールストップコントロールレジスタ B、C (MSTPCRB、MSTPCRC)	16-29
16.3	動作説明	16-31
16.3.1	概要	16-31
16.3.2	調歩同期式モード時の動作	16-33
16.3.3	マルチプロセッサ通信機能	16-44
16.3.4	クロック同期式モード時の動作	16-52
16.3.5	IrDA 動作	16-60
16.4	SCI 割り込み	16-63
16.5	使用上の注意	16-65
17.	スマートカードインタフェース	17-1
17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-2
17.1.3	端子構成	17-2
17.1.4	レジスタ構成	17-3
17.2	各レジスタの説明	17-5
17.2.1	スマートカードモードレジスタ (SCMR)	17-5
17.2.2	シリアルステータスレジスタ (SSR)	17-6
17.2.3	シリアルモードレジスタ (SMR)	17-8
17.2.4	シリアルコントロールレジスタ (SCR)	17-10
17.3	動作説明	17-11
17.3.1	概要	17-11
17.3.2	端子接続	17-11
17.3.3	データフォーマット	17-12
17.3.4	レジスタの設定	17-14
17.3.5	クロック	17-16
17.3.6	データの送信 / 受信動作	17-18
17.3.7	GSM モード時の動作	17-25

17.3.8	ブロック転送モード時の動作	17-26
17.4	使用上の注意	17-27
18.	I ² C バスインタフェース (IIC) 【オプション】 (H8S/2695 に本機能はありません)	18-1
18.1	概要	18-1
18.1.1	特長	18-1
18.1.2	ブロック図	18-3
18.1.3	端子構成	18-4
18.1.4	レジスタ構成	18-5
18.2	各レジスタの説明	18-6
18.2.1	I ² C バスデータレジスタ (ICDR)	18-6
18.2.2	スレーブアドレスレジスタ (SAR)	18-8
18.2.3	第2スレーブアドレスレジスタ (SARX)	18-9
18.2.4	I ² C バスモードレジスタ (ICMR)	18-10
18.2.5	I ² C バスコントロールレジスタ (ICCR)	18-12
18.2.6	I ² C バスステータスレジスタ (ICSR)	18-18
18.2.7	シリアルコントロールレジスタ X (SCRX)	18-22
18.2.8	DDC スイッチレジスタ (DDCSWR)	18-23
18.2.9	モジュールストップコントロールレジスタ B (MSTPCRB)	18-24
18.3	動作説明	18-25
18.3.1	I ² C バスデータフォーマット	18-25
18.3.2	初期設定	18-27
18.3.3	マスタ送信動作	18-28
18.3.4	マスタ受信動作	18-31
18.3.5	スレーブ受信動作	18-36
18.3.6	スレーブ送信動作	18-39
18.3.7	IRIC セットタイミングと SCL 制御	18-41
18.3.8	DTC による動作	18-42
18.3.9	ノイズ除去回路	18-43
18.3.10	内部状態の初期化	18-43
18.4	使用上の注意	18-45
19.	A/D 変換器	19-1
19.1	概要	19-1
19.1.1	特長	19-1
19.1.2	ブロック図	19-2
19.1.3	端子構成	19-3
19.1.4	レジスタ構成	19-4
19.2	各レジスタの説明	19-4
19.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	19-4
19.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	19-5

19.2.3	A/D コントロールレジスタ (ADCR)	19-7
19.2.4	モジュールストップコントロールレジスタ A (MSTPCRA)	19-9
19.3	バスマスタとのインタフェース	19-10
19.4	動作説明	19-11
19.4.1	シングルモード (SCAN=0)	19-11
19.4.2	スキャンモード (SCAN=1)	19-13
19.4.3	入力サンプリングと A/D 変換時間	19-15
19.4.4	外部トリガ入力タイミング	19-16
19.5	割り込み	19-17
19.6	使用上の注意	19-17
20.	D/A 変換器 (H8S/2695 には本機能はありません)	20-1
20.1	概要	20-1
20.1.1	特長	20-1
20.1.2	ブロック図	20-2
20.1.3	端子構成	20-3
20.1.4	レジスタ構成	20-3
20.2	各レジスタの説明	20-4
20.2.1	D/A データレジスタ 0~3 (DADR0~DADR3)	20-4
20.2.2	D/A コントロールレジスタ 01、23 (DACR01、DACR23)	20-4
20.2.3	モジュールストップコントロールレジスタ A、C (MSTPCRA、MSTPCRC)	20-6
20.3	動作説明	20-7
21.	RAM	21-1
21.1	概要	21-1
21.1.1	ブロック図	21-1
21.1.2	レジスタ構成	21-2
21.2	各レジスタの説明	21-2
21.2.1	システムコントロールレジスタ (SYSCR)	21-2
21.3	動作説明	21-3
21.4	使用上の注意	21-3
22.	ROM	22-1
22.1	概要	22-1
22.1.1	ブロック図	22-1
22.1.2	レジスタ構成	22-1
22.2	レジスタの説明	22-2
22.2.1	モードコントロールレジスタ (MDCR)	22-2
22.3	動作説明	22-3
22.4	フラッシュメモリの概要	22-4
22.4.1	特長	22-4

22.4.2	概要	22-6
22.4.3	フラッシュメモリの動作モード	22-7
22.4.4	オンボードプログラミングモード	22-8
22.4.5	RAMによるフラッシュメモリのエミュレーション	22-10
22.4.6	ブートモードとユーザプログラムモードの相違点	22-11
22.4.7	ブロック分割法	22-11
22.4.8	端子構成	22-12
22.4.9	レジスタ構成	22-12
22.5	レジスタの説明	22-13
22.5.1	フラッシュメモリコントロールレジスタ1 (FLMCR1)	22-13
22.5.2	フラッシュメモリコントロールレジスタ2 (FLMCR2)	22-15
22.5.3	消去ブロック指定レジスタ1 (EBR1)	22-16
22.5.4	消去ブロック指定レジスタ2 (EBR2)	22-17
22.5.5	RAMエミュレーションレジスタ (RAMER)	22-18
22.5.6	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	22-19
22.5.7	シリアルコントロールレジスタ X (SCRX)	22-20
22.6	オンボードプログラミングモード	22-21
22.6.1	ブートモード	22-21
22.6.2	ユーザプログラムモード	22-25
22.7	フラッシュメモリの書き込み/消去	22-27
22.7.1	プログラムモード	22-28
22.7.2	プログラムベリファイモード	22-28
22.7.3	イレースモード	22-32
22.7.4	イレースベリファイモード	22-32
22.8	プロテクト	22-34
22.8.1	ハードウェアプロテクト	22-34
22.8.2	ソフトウェアプロテクト	22-34
22.8.3	エラープロテクト	22-35
22.9	RAMによるフラッシュメモリのエミュレーション	22-37
22.10	フラッシュメモリの書き込み/消去時の割り込み処理	22-39
22.11	ライターモード	22-40
22.11.1	ソケットアダプタとメモリマップ	22-40
22.12	フラッシュメモリと低消費電力状態	22-41
22.12.1	低消費電力状態の注意事項	22-42
22.13	フラッシュメモリの書き込み/消去時の注意	22-42
22.14	F-ZTATマイコンのマスクROM化時の注意事項	22-48
23A.	クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)	23A-1
23A.1	概要	23A-1
23A.1.1	ブロック図	23A-1
23A.1.2	レジスタ構成	23A-2

23A.2	各レジスタの説明	23A-2
23A.2.1	システムクロックコントロールレジスタ (SCKCR)	23A-2
23A.2.2	ローパワーコントロールレジスタ (LPWRCR)	23A-3
23A.3	発振器	23A-4
23A.3.1	水晶発振子を接続する方法	23A-4
23A.3.2	外部クロックを入力する方法	23A-6
23A.4	PLL回路	23A-8
23A.5	中速クロック分周器	23A-8
23A.6	バスマスタクロック選択回路	23A-9
23A.7	サブクロック発振器	23A-9
23A.8	サブクロック波形形成回路	23A-10
23A.9	発振子に関する注意事項	23A-10
23B.	クロック発振器 (H8S/2633R、H8S/2695)	23B-1
23B.1	概要	23B-1
23B.1.1	ブロック図	23B-1
23B.1.2	レジスタ構成	23B-2
23B.2	各レジスタの説明	23B-2
23B.2.1	システムクロックコントロールレジスタ (SCKCR)	23B-2
23B.2.2	ローパワーコントロールレジスタ (LPWRCR)	23B-3
23B.3	発振器	23B-4
23B.3.1	水晶発振子を接続する方法	23B-4
23B.3.2	外部クロックを入力する方法	23B-6
23B.4	PLL回路	23B-8
23B.5	中速クロック分周器	23B-8
23B.6	バスマスタクロック選択回路	23B-9
23B.7	サブクロック発振器 (H8S/2695には本機能はありません)	23B-9
23B.8	サブクロック波形形成回路	23B-10
23B.9	発振子に関する注意事項	23B-10
24.	低消費電力状態	24-1
24.1	概要	24-1
24.1.1	レジスタ構成	24-5
24.2	各レジスタの説明	24-6
24.2.1	スタンバイコントロールレジスタ (SBYCR)	24-6
24.2.2	システムクロックコントロールレジスタ (SCKCR)	24-8
24.2.3	ローパワーコントロールレジスタ (LPWRCR)	24-9
24.2.4	タイマコントロール/ステータスレジスタ (TCSR)	24-11
24.2.5	モジュールストップコントロールレジスタ (MSTPCR)	24-13
24.3	中速モード	24-14
24.4	スリープモード	24-15

24.4.1	スリープモード	24-15
24.4.2	スリープモードの解除	24-15
24.5	モジュールストップモード	24-15
24.5.1	モジュールストップモード	24-15
24.5.2	使用上の注意	24-17
24.6	ソフトウェアスタンバイモード	24-17
24.6.1	ソフトウェアスタンバイモード	24-17
24.6.2	ソフトウェアスタンバイモードの解除	24-18
24.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	24-18
24.6.4	ソフトウェアスタンバイモードの応用例	24-19
24.6.5	使用上の注意	24-20
24.7	ハードウェアスタンバイモード	24-21
24.7.1	ハードウェアスタンバイモード	24-21
24.7.2	ハードウェアスタンバイモードのタイミング	24-21
24.8	ウォッチモード (H8S/2695には本機能はありません)	24-22
24.8.1	ウォッチモード	24-22
24.8.2	ウォッチモードの解除	24-22
24.8.3	使用上の注意	24-22
24.9	サブスリープモード (H8S/2695には本機能はありません)	24-23
24.9.1	サブスリープモード	24-23
24.9.2	サブスリープモードの解除	24-23
24.10	サブアクティブモード (H8S/2695には本機能はありません)	24-24
24.10.1	サブアクティブモード	24-24
24.10.2	サブアクティブモードの解除	24-24
24.11	直接遷移 (H8S/2695には本機能はありません)	24-25
24.11.1	直接遷移の概要	24-25
24.12	クロック出力禁止機能	24-25
24.13	使用上の注意	24-26
25A.	電気的特性 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)	25A-1
25A.1	絶対最大定格	25A-1
25A.2	DC特性	25A-2
25A.3	AC特性	25A-7
25A.3.1	クロックタイミング	25A-7
25A.3.2	制御信号タイミング	25A-9
25A.3.3	バスタイミング	25A-11
25A.3.4	DMAC タイミング	25A-20
25A.3.5	内蔵周辺モジュールタイミング	25A-23
25A.4	A/D変換特性	25A-29
25A.5	D/A変換特性	25A-29
25A.6	フラッシュメモリ特性	25A-30

25A.7	使用上の注意	25A-31
25B.	電気的特性 (H8S/2633R)	25B-1
25B.1	絶対最大定格	25B-1
25B.2	DC特性	25B-2
25B.3	AC特性	25B-5
25B.3.1	クロックタイミング	25B-5
25B.3.2	制御信号タイミング	25B-7
25B.3.3	バスタイミング	25B-9
25B.3.4	DMAC タイミング	25B-17
25B.3.5	内蔵周辺モジュールタイミング	25B-19
25B.4	A/D変換特性	25B-25
25B.5	D/A変換特性	25B-25
25B.6	フラッシュメモリ特性	25B-26
25B.7	使用上の注意	25B-27
25C.	電気的特性 (H8S/2695)	25C-1
25C.1	絶対最大定格	25C-1
25C.2	DC特性	25C-2
25C.3	AC特性	25C-4
25C.3.1	クロックタイミング	25C-4
25C.3.2	制御信号タイミング	25C-5
25C.3.3	バスタイミング	25C-7
25C.3.4	内蔵周辺モジュールタイミング	25C-13
25C.4	A/D変換特性	25C-16
25C.5	使用上の注意	25C-16
付録		
A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-12
A.3	オペレーションコードマップ	付録-22
A.4	命令実行ステート数	付録-26
A.5	命令実行中のバス状態	付録-38
A.6	コンディションコードの変化	付録-52
B.	内部I/Oレジスタ	付録-57
B.1 (a)	アドレス一覧 (H8S/2633グループ、H8S/2633F、H8S/2633R)	付録-57
B.1 (b)	アドレス一覧 (H8S/2695)	付録-67
B.2	機能一覧	付録-74
C.	I/Oポートのブロック図	付録-166
C.1	ポート1ブロック図	付録-166

C.2	ポート3ブロック図	付録-172
C.3	ポート4ブロック図	付録-180
C.4	ポート7ブロック図	付録-181
C.5	ポート9ブロック図	付録-188
C.6	ポートAブロック図	付録-189
C.7	ポートBブロック図	付録-193
C.8	ポートCブロック図	付録-194
C.9	ポートDブロック図	付録-196
C.10	ポートEブロック図	付録-197
C.11	ポートFブロック図	付録-198
C.12	ポートGブロック図	付録-206
C.13	ポート1ブロック図	付録-210
C.14	ポート3ブロック図	付録-216
C.15	ポート4ブロック図	付録-224
C.16	ポート7ブロック図	付録-225
C.17	ポート9ブロック図	付録-230
C.18	ポートAブロック図	付録-231
C.19	ポートBブロック図	付録-235
C.20	ポートCブロック図	付録-236
C.21	ポートDブロック図	付録-237
C.22	ポートEブロック図	付録-238
C.23	ポートFブロック図	付録-239
C.24	ポートGブロック図	付録-247
D.	端子状態	付録-251
D.1	各処理状態におけるポートの状態	付録-251
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	付録-258
E.1	ハードウェアスタンバイモードの遷移タイミング	付録-258
E.2	ハードウェアスタンバイモードからの復帰タイミング	付録-258
F.	ROM発注手順	付録-259
F.1	ROM書き換え品開発の流れ(発注手順)	付録-259
F.2	ROM発注時の注意事項	付録-260
G.	型名一覧	付録-261
H.	外形寸法図	付録-262

1. 概要

1.1 概要

H8S/2633 グループは、ルネサス オリジナルアーキテクチャを採用した H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2600 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、DMA コントローラ (DMAC)^{*2}、データトランスファコントローラ (DTC)^{*2} のバスマスタ、ROM、RAM、16 ビットタイマパルスユニット (TPU)、プログラマブルパルスジェネレータ (PPG)^{*2}、8 ビットタイマ^{*2}、14 ビット PWM タイマ (PWM)^{*2}、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI、IrDA^{*2})、A/D 変換器、D/A 変換器^{*2}、I/O ポートの周辺機能などを内蔵しています。さらに、オプションとして I²C バスインタフェース (IIC)^{*2} を内蔵することができます。

内蔵 ROM は、256K バイトのフラッシュメモリ (F-ZTATTM)^{*1}、または 256K / 192K / 128K バイトのマスク ROM があります。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。また、命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 4~7 があり、シングルチップモード / 外部拡張モードの選択ができます。

H8S/2633 グループの特長を表 1.1 に示します。

【注】 *1 F-ZTAT はルネサス エレクトロニクス (株) の商標です。

*2 H8S/2695 には本機能はありません。

表 1.1 概要

項目	仕様
CPU	<p>汎用レジスタマシン</p> <ul style="list-style-type: none"> • 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) リアルタイム制御向き的高速動作 • 最高動作周波数 25MHz (H8S/2633 グループ、H8S/2633F)、 28MHz (H8S/2633R、H8S/2695) • 高速演算 8 / 16 / 32 ビットレジスタ間加減算 : 40ns、35ns 16 × 16 ビットレジスタ間乗算 : 160ns、140ns 16 × 16 + 42 ビット積和演算 : 160ns、140ns 32 ÷ 16 ビットレジスタ間除算 : 800ns、700ns 高速動作に適した命令セット • 69 種類の基本命令 • 8 / 16 / 32 ビット転送 / 演算命令 • 符号なし / 符号付き乗除算命令 • 積和演算命令 • 強力なビット操作命令 2 種類の CPU 動作モード • ノーマルモード : アドレス空間 64K バイト (本 LSI では使用できません) • アドバンスモード : アドレス空間 16M バイト
バスコントローラ	<ul style="list-style-type: none"> • アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 • エリアごとにチップセレクト出力可能 • エリアごとに 8 ビット / 16 ビットアクセス空間を選択可能 • エリアごとに 2 ステート / 3 ステートアクセス空間を設定可能 • エリアごとにプログラムウェイトのステート数を設定可能 • バースト ROM を直接接続可能 • 最大 8M バイトの DRAM を直接接続可能 (またはインターバルタイマを使用可能) • 外部バス権解放機能
PC ブレーク コントローラ* ¹	<ul style="list-style-type: none"> • PC ブレーク割り込みによるデバッグ機能をサポート • ブレークチャンネル×2 チャンネル
DMA コントローラ (DMAC)* ¹	<ul style="list-style-type: none"> • ショートアドレスモードとフルアドレスモードを選択可能 • ショートアドレスモード時 : 4 チャンネル フルアドレスモード時 : 2 チャンネル • リピートモード / ブロック転送モードなどの転送可能 • シングルアドレスモード転送可能 • 内部割り込みによる起動可能

項目	仕様
データ転送ファ コントローラ (DTC) * ¹	<ul style="list-style-type: none"> 内部割り込み / ソフトウェアによる起動 1 つの起動要因に対して、複数回・複数種類の転送が可能 リピートモード / ブロック転送モードなどの転送可能 DTC を起動した割り込みを CPU に要求可能
16 ビットタイムパルスコ ニット (TPU)	<ul style="list-style-type: none"> 16 ビットタイム 6 チャンネルを内蔵 最大 16 端子のパルス入出力処理が可能 2 相エンコーダのカウント数の自動計測が可能
プログラマブルパルスジェ ネレータ (PPG) * ¹	<ul style="list-style-type: none"> TPU をタイムベースとした最大 8 ビットのパルス出力が可能 4 ビット単位のグループで出力トリガを選択可能 ノンオーバーラップ期間の設定が可能 直接出力 / 反転出力の設定可能
8 ビットタイマ* ¹ × 4 チャンネル	<ul style="list-style-type: none"> 8 ビットアップカウンタ (外部イベントカウント可能) タイムコンスタントレジスタ × 2 2 チャンネルの接続が可能
ウォッチドッグタイマ (WDT) × 2 チャンネル* ²	<ul style="list-style-type: none"> ウォッチドッグタイマ / インターバルタイマの選択が可能 サブクロックによる動作が可能 (1 チャンネルのみ)
14 ビット PWM タイマ (PWM) * ¹	<ul style="list-style-type: none"> 最大 4 出力 分解能: 1 / 16384 最大キャリア周波数: 390.6kHz (25MHz 動作時)、 437.6kHz (28MHz 動作時)
シリアルコミュニケーション インタフェース (SCI) × 5 チャンネル (SCI0 ~ SCI4)	<ul style="list-style-type: none"> 調歩同期式モード / クロック同期式モードの選択が可能 マルチプロセッサ通信機能 スマートカードインタフェース機能
IrDA 付き SCI* ¹ × 1 チャンネル (SCI0)	<ul style="list-style-type: none"> IrDA 規格バージョン 1.0 に対応 TxD、RxD を IrDA フォーマットにエンコード / デコード 調歩同期式モード / クロック同期式モードの選択が可能 マルチプロセッサ通信機能 スマートカードインタフェース機能
A/D 変換器	<ul style="list-style-type: none"> 分解能: 10 ビット 入力: 16 チャンネル 最小変換時間 10.72 μs (25MHz 動作時) シングル / スキャンモードの選択が可能 サンプル & ホールド機能 外部トリガ / タイマトリガによる A/D 変換の起動が可能
D/A 変換器* ¹	<ul style="list-style-type: none"> 分解能: 8 ビット 出力: 4 チャンネル
I/O ポート	<ul style="list-style-type: none"> 入出力端子 73 本、入力専用端子 16 本

1. 概要

項目	仕様																														
メモリ	<ul style="list-style-type: none"> フラッシュメモリまたはマスク ROM 高速スタティック RAM <table border="1"> <thead> <tr> <th>製品名</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>H8S/2633</td> <td>256Kバイト</td> <td>16Kバイト</td> </tr> <tr> <td>H8S/2632</td> <td>192Kバイト</td> <td>12Kバイト</td> </tr> <tr> <td>H8S/2631</td> <td>128Kバイト</td> <td>8Kバイト</td> </tr> <tr> <td>H8S/2633R</td> <td>256Kバイト</td> <td>16Kバイト</td> </tr> <tr> <td>H8S/2695</td> <td>192Kバイト</td> <td>8Kバイト</td> </tr> </tbody> </table>	製品名	ROM	RAM	H8S/2633	256Kバイト	16Kバイト	H8S/2632	192Kバイト	12Kバイト	H8S/2631	128Kバイト	8Kバイト	H8S/2633R	256Kバイト	16Kバイト	H8S/2695	192Kバイト	8Kバイト												
製品名	ROM	RAM																													
H8S/2633	256Kバイト	16Kバイト																													
H8S/2632	192Kバイト	12Kバイト																													
H8S/2631	128Kバイト	8Kバイト																													
H8S/2633R	256Kバイト	16Kバイト																													
H8S/2695	192Kバイト	8Kバイト																													
割り込みコントローラ	<ul style="list-style-type: none"> 外部割り込み端子 9 本 (NMI、$\overline{IRQ0}$ ~ $\overline{IRQ7}$) 内部割り込み要因 72 要因 (オプション含む)、H8S/2695 は 49 要因 8 レベルの優先順位設定が可能 																														
低消費電力状態	<ul style="list-style-type: none"> 中速モード スリープモード モジュールストップモード ソフトウェアスタンバイモード ハードウェアスタンバイモード サブクロック動作*¹ (サブアクティブモード、サブスリープモード、ウォッチモード) 																														
動作モード	4 種類の MCU 動作モード <table border="1"> <thead> <tr> <th>モード</th> <th>CPU 動作モード</th> <th>内容</th> <th>内蔵 ROM</th> <th>外部データバス 初期値</th> <th>最大値</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>アドバンスト</td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>16ビット</td> <td>16ビット</td> </tr> <tr> <td>5</td> <td></td> <td>内蔵ROM無効拡張モード</td> <td>無効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>6</td> <td></td> <td>内蔵ROM有効拡張モード</td> <td>有効</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>7</td> <td></td> <td>シングルチップモード</td> <td>有効</td> <td>-</td> <td>-</td> </tr> </tbody> </table>	モード	CPU 動作モード	内容	内蔵 ROM	外部データバス 初期値	最大値	4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット	5		内蔵ROM無効拡張モード	無効	8ビット	16ビット	6		内蔵ROM有効拡張モード	有効	8ビット	16ビット	7		シングルチップモード	有効	-	-
モード	CPU 動作モード	内容	内蔵 ROM	外部データバス 初期値	最大値																										
4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット	16ビット																										
5		内蔵ROM無効拡張モード	無効	8ビット	16ビット																										
6		内蔵ROM有効拡張モード	有効	8ビット	16ビット																										
7		シングルチップモード	有効	-	-																										
クロック発振器	H8S/2633、H8S/2632、H8S/2631 <ul style="list-style-type: none"> システムクロック用 PLL 回路内蔵 (×1、×2、×4) システムクロック周波数: 2~25MHz H8S/2633R、H8S/2695 <ul style="list-style-type: none"> システムクロック用 PLL 回路内蔵: ×1、×2、×4: 2~25MHz 時 ×2、×4: 25~28MHz 時 入力クロック周波数: 2~25MHz 																														
パッケージ	<ul style="list-style-type: none"> 120 ピンプラスチック TQFP (TFP-120) 128 ピンプラスチック QFP (FP-128B) 																														
I ² C バスインタフェース (IIC)* ¹ ×2 チャンネル【オプション】	<ul style="list-style-type: none"> Philips 社提唱の I²C バスインタフェース方式準拠 シングルマスタモード/スリープモード内蔵 アービトレーションロスト条件の判定が可能 2 つのスレーブアドレスをサポート 																														

項目	仕様			
<p>製品 ラインアップ</p>	<p>【製品ラインアップ】</p>			
	<p>H8S/2633グループ、H8S/2633F、H8S/2633R、H8S/2695、動作周波数、電圧対応表</p>			
		28MHz 動作版	25MHz 動作版	16MHz 動作版
	入力クロック	2 ~ 25MHz	2 ~ 25MHz	2 ~ 16MHz
	周波数範囲			
	動作周波数範囲	<p>2 ~ 28MHz (25 ~ 28MHz で使用する場合は、PLL の設定を ×2 または ×4 逡倍して使用してください)</p>	2 ~ 25MHz	2 ~ 16MHz
動作電圧範囲	<p>PVcc = 4.5 ~ 5.5V (単一電源版ですので、Vcc 端子はありません。詳細は第25B章、第25C章 電気的特性を参照してください) AVcc = 4.5 ~ 5.5V Vref = 4.5V ~ AVcc</p>	<p>PVcc = 4.5 ~ 5.5V Vcc = 3.0 ~ 3.6V AVcc = 4.5 ~ 5.5V Vref = 4.5V ~ AVcc</p>	<p>PVcc = 3.0 ~ 5.5V Vcc = 3.0 ~ 3.6V 【A/D、D/A を使用する場合】*2 AVcc = 3.6 ~ 5.5V Vref = 3.6V ~ AVcc 【A/D、D/A 未使用の場合】*2 AVcc = 3.3 ~ 5.5V Vref = 3.3V ~ AVcc</p>	
FLASH 版 型名 (ROM/RAM 容量)	<p>HD64F2633RF28 (256Kバイト / 16Kバイト) HD64F2633RTE28 (256Kバイト / 16Kバイト)</p>	<p>HD64F2633F25 (256Kバイト / 16Kバイト) HD64F2633TE25 (256Kバイト / 16Kバイト)</p>	<p>HD64F2633F16 (256Kバイト / 16Kバイト) HD64F2633TE16 (256Kバイト / 16Kバイト)</p>	
マスク ROM 版 型名 (ROM/RAM 容量)	<p>HD6432695F28*1 (192Kバイト / 8Kバイト)</p>	<p>HD6432633F25 (256Kバイト / 16Kバイト) HD6432633TE25 (256Kバイト / 16Kバイト) HD6432632F25 (192Kバイト / 12Kバイト) HD6432632TE25 (192Kバイト / 12Kバイト) HD6432631F25 (128Kバイト / 8Kバイト) HD6432631TE25 (128Kバイト / 8Kバイト)</p>	<p>HD6432633F16 (256Kバイト / 16Kバイト) HD6432633TE16 (256Kバイト / 16Kバイト) HD6432632F16 (192Kバイト / 12Kバイト) HD6432632TE16 (192Kバイト / 12Kバイト) HD6432631F16 (128Kバイト / 8Kバイト) HD6432631TE16 (128Kバイト / 8Kバイト)</p>	
<p>*1 HD6432695はHD6432633、HD64F2633、HD64F2633Rとモジュール構成が異なりますのでご注意ください。(モジュール構成については、H8S/2633、H8S/2632、H8S/2631、H8S/2633 F-ZTAT、H8S/2633R F-ZTAT、H8S/2695の相違点を参照してください)</p>				
<p>*2 16MHz動作版はA/D、D/Aを使用する場合と使用しない場合で動作電源範囲が異なりますのでご注意ください。</p>				

1. 概要

項目	仕様																							
製品 ラインアップ	<p>【製品ラインアップ】</p> <p>型名とパッケージの対応</p> <table border="1" data-bbox="428 370 1184 1070"> <thead> <tr> <th data-bbox="428 370 806 411">製品型名</th> <th data-bbox="806 370 1184 411">パッケージ</th> </tr> </thead> <tbody> <tr> <td data-bbox="428 411 806 452">HD64F2633F25</td> <td data-bbox="806 411 1184 452" rowspan="10">FP-128B</td> </tr> <tr> <td data-bbox="428 452 806 492">HD64F2633F16</td> </tr> <tr> <td data-bbox="428 492 806 533">HD6432633F25</td> </tr> <tr> <td data-bbox="428 533 806 573">HD6432633F16</td> </tr> <tr> <td data-bbox="428 573 806 614">HD6432632F25</td> </tr> <tr> <td data-bbox="428 614 806 654">HD6432632F16</td> </tr> <tr> <td data-bbox="428 654 806 695">HD6432631F25</td> </tr> <tr> <td data-bbox="428 695 806 736">HD6432631F16</td> </tr> <tr> <td data-bbox="428 736 806 776">HD64F2633RF28</td> </tr> <tr> <td data-bbox="428 776 806 817">HD6432695F28</td> </tr> <tr> <td data-bbox="428 817 806 857">HD64F2633TE25</td> <td data-bbox="806 817 1184 857" rowspan="10">TFP-120</td> </tr> <tr> <td data-bbox="428 857 806 898">HD64F2633TE16</td> </tr> <tr> <td data-bbox="428 898 806 938">HD6432633TE25</td> </tr> <tr> <td data-bbox="428 938 806 979">HD6432633TE16</td> </tr> <tr> <td data-bbox="428 979 806 1020">HD6432632TE25</td> </tr> <tr> <td data-bbox="428 1020 806 1060">HD6432632TE16</td> </tr> <tr> <td data-bbox="428 1060 806 1101">HD6432631TE25</td> </tr> <tr> <td data-bbox="428 1101 806 1141">HD6432631TE16</td> </tr> <tr> <td data-bbox="428 1141 806 1182">HD64F2633RTE28</td> </tr> </tbody> </table>	製品型名	パッケージ	HD64F2633F25	FP-128B	HD64F2633F16	HD6432633F25	HD6432633F16	HD6432632F25	HD6432632F16	HD6432631F25	HD6432631F16	HD64F2633RF28	HD6432695F28	HD64F2633TE25	TFP-120	HD64F2633TE16	HD6432633TE25	HD6432633TE16	HD6432632TE25	HD6432632TE16	HD6432631TE25	HD6432631TE16	HD64F2633RTE28
	製品型名	パッケージ																						
HD64F2633F25	FP-128B																							
HD64F2633F16																								
HD6432633F25																								
HD6432633F16																								
HD6432632F25																								
HD6432632F16																								
HD6432631F25																								
HD6432631F16																								
HD64F2633RF28																								
HD6432695F28																								
HD64F2633TE25	TFP-120																							
HD64F2633TE16																								
HD6432633TE25																								
HD6432633TE16																								
HD6432632TE25																								
HD6432632TE16																								
HD6432631TE25																								
HD6432631TE16																								
HD64F2633RTE28																								

- 【注】 *1 H8S/2695 には本機能はありません。
*2 H8S/2695 には WDT が 1 チャネルのみです。

1.2 内部ブロック図

H8S/2633、H8S/2633F、H8S/2632、H8S/2631 の内部ブロック図を図 1.1 (a) に、H8S/2633R の内部ブロック図を図 1.1 (b)、H8S/2695 の内部ブロック図を図 1.1 (c) に示します。

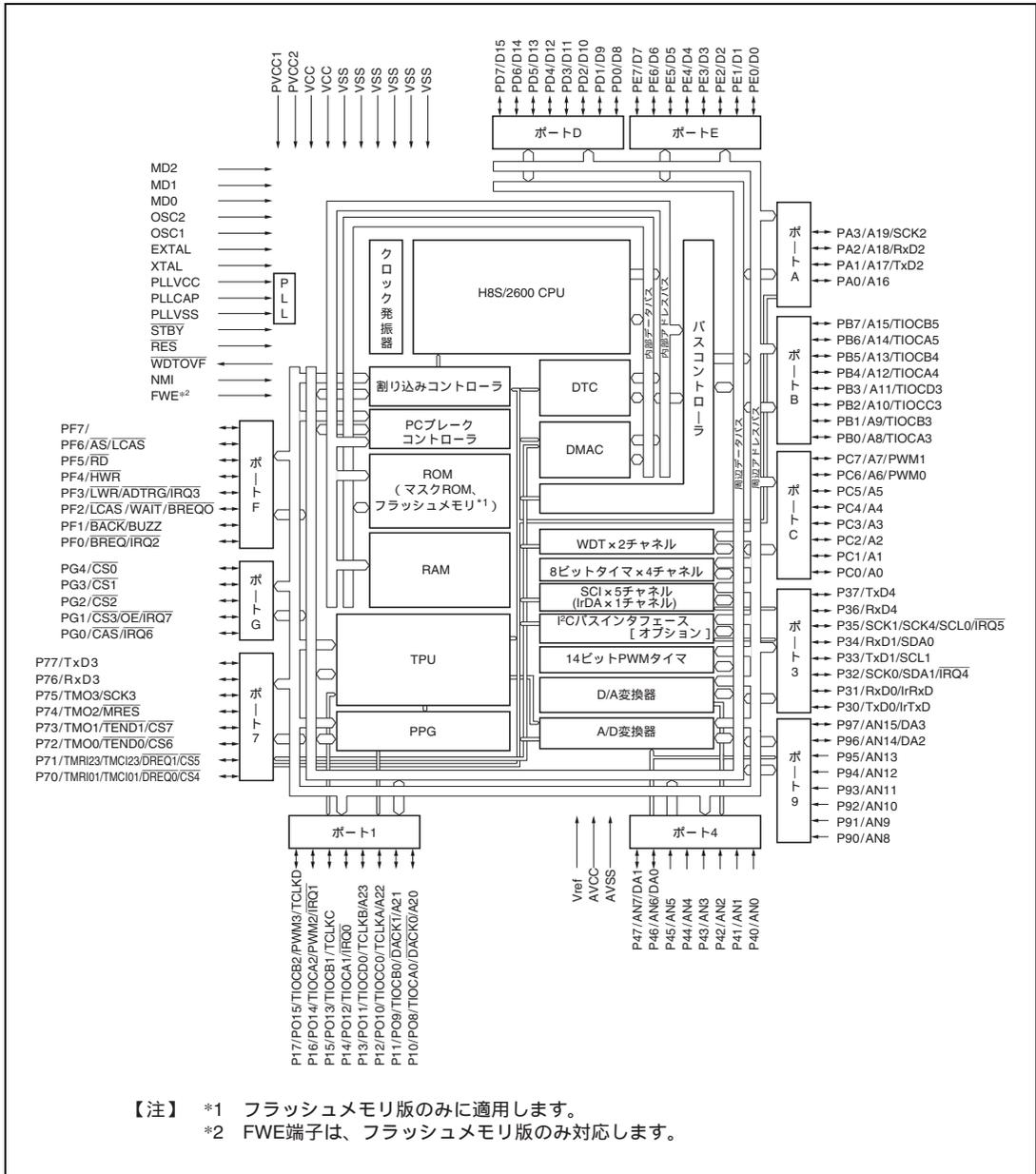


図 1.1 (a) H8S/2633、H8S/2633F、H8S/2632、H8S/2631 内部ブロック図

1. 概要

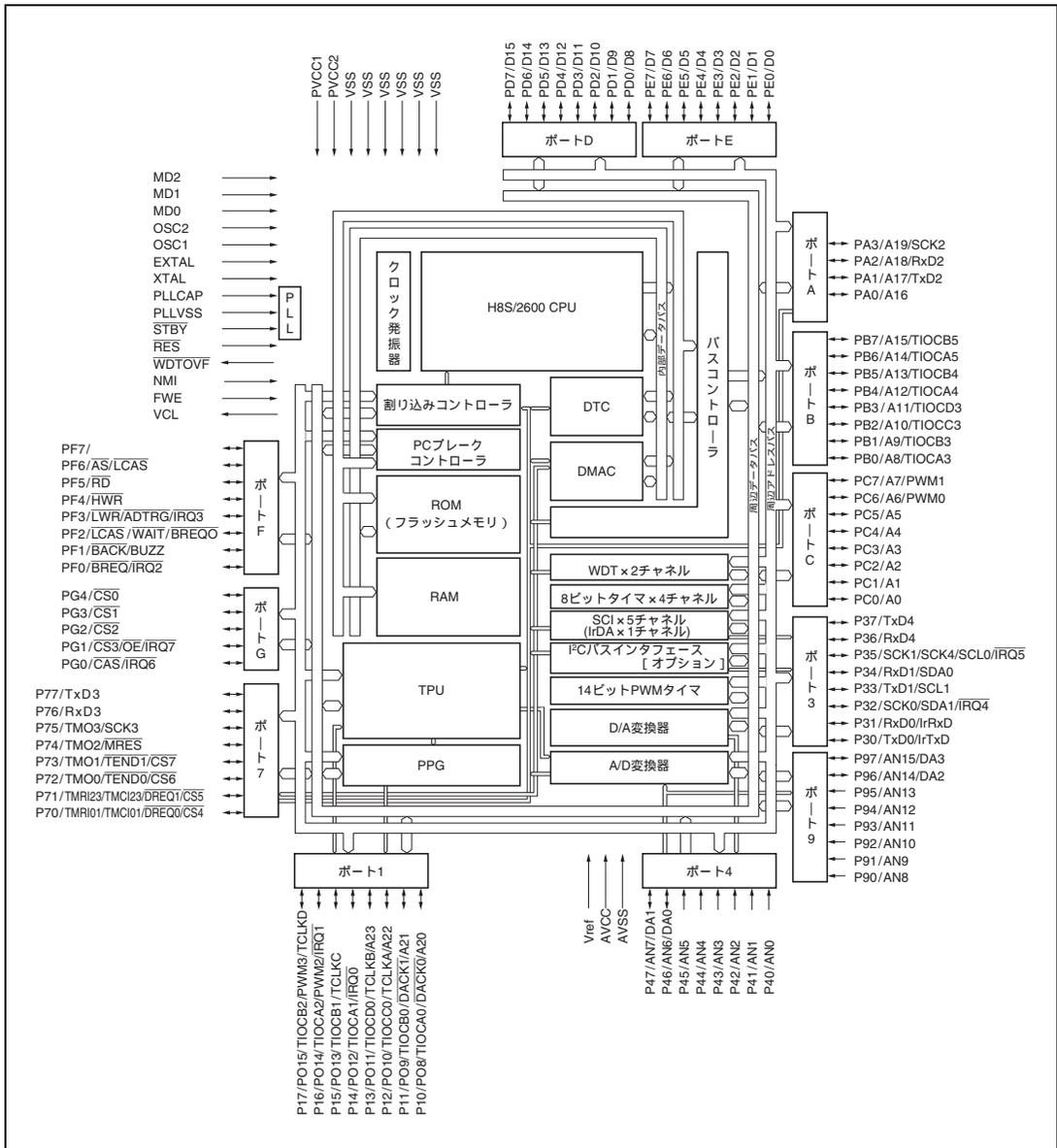


図 1.1 (b) H8S/2633R 内部ブロック図

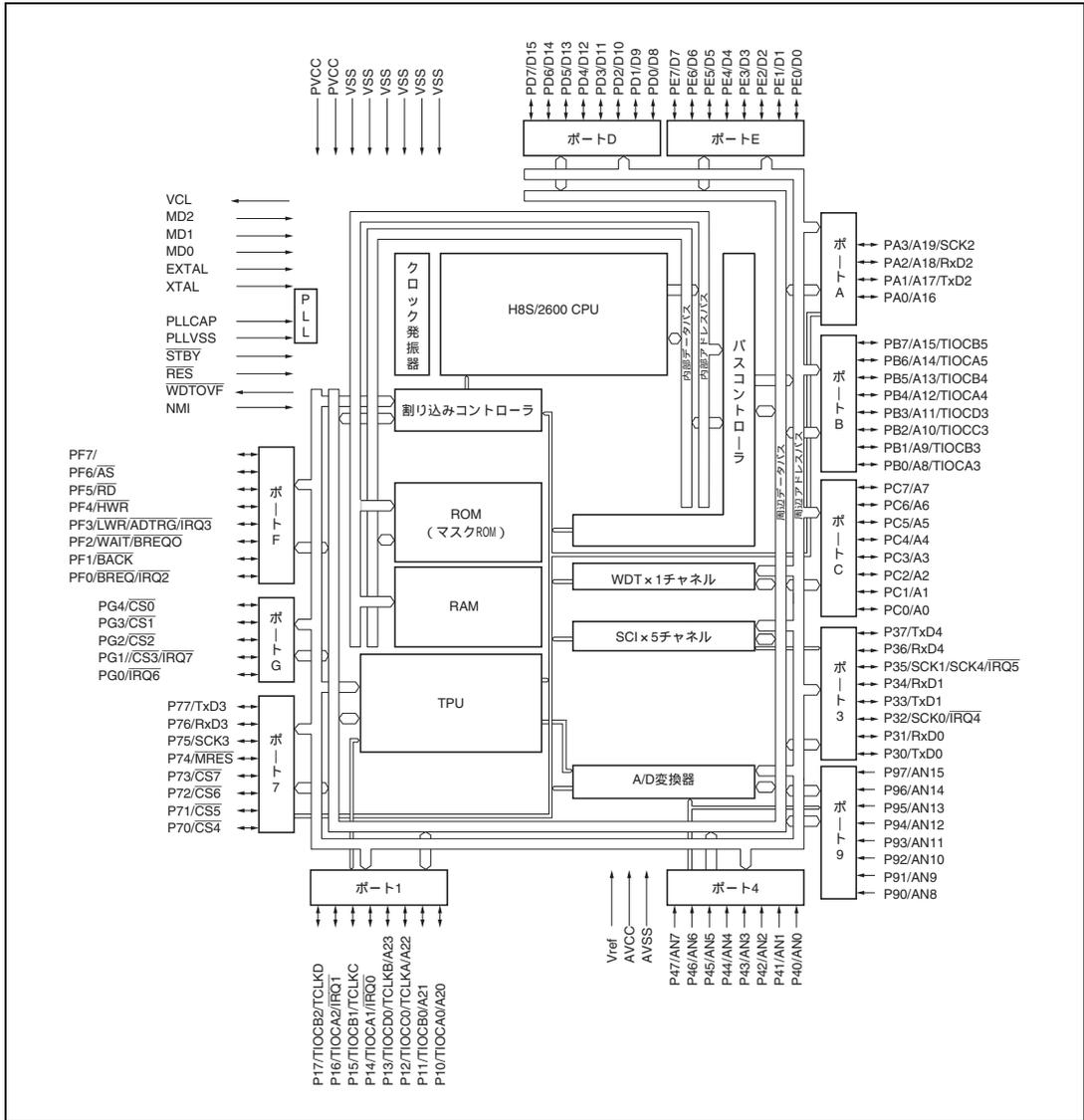


図 1.1 (c) H8S/2695 内部ブロック図

1. 概要

1.3 端子説明

1.3.1 ピン配置図

H8S/2633、H8S/2633 F、H8S/2632、H8S/2631 のピン配置図を図 1.2 (a)、図 1.3 (a) に示します。H8S/2633R のピン配置図を図 1.2 (b)、図 1.3 (b)、H8S/2695 のピン配置図を図 1.3 (c) に示します。

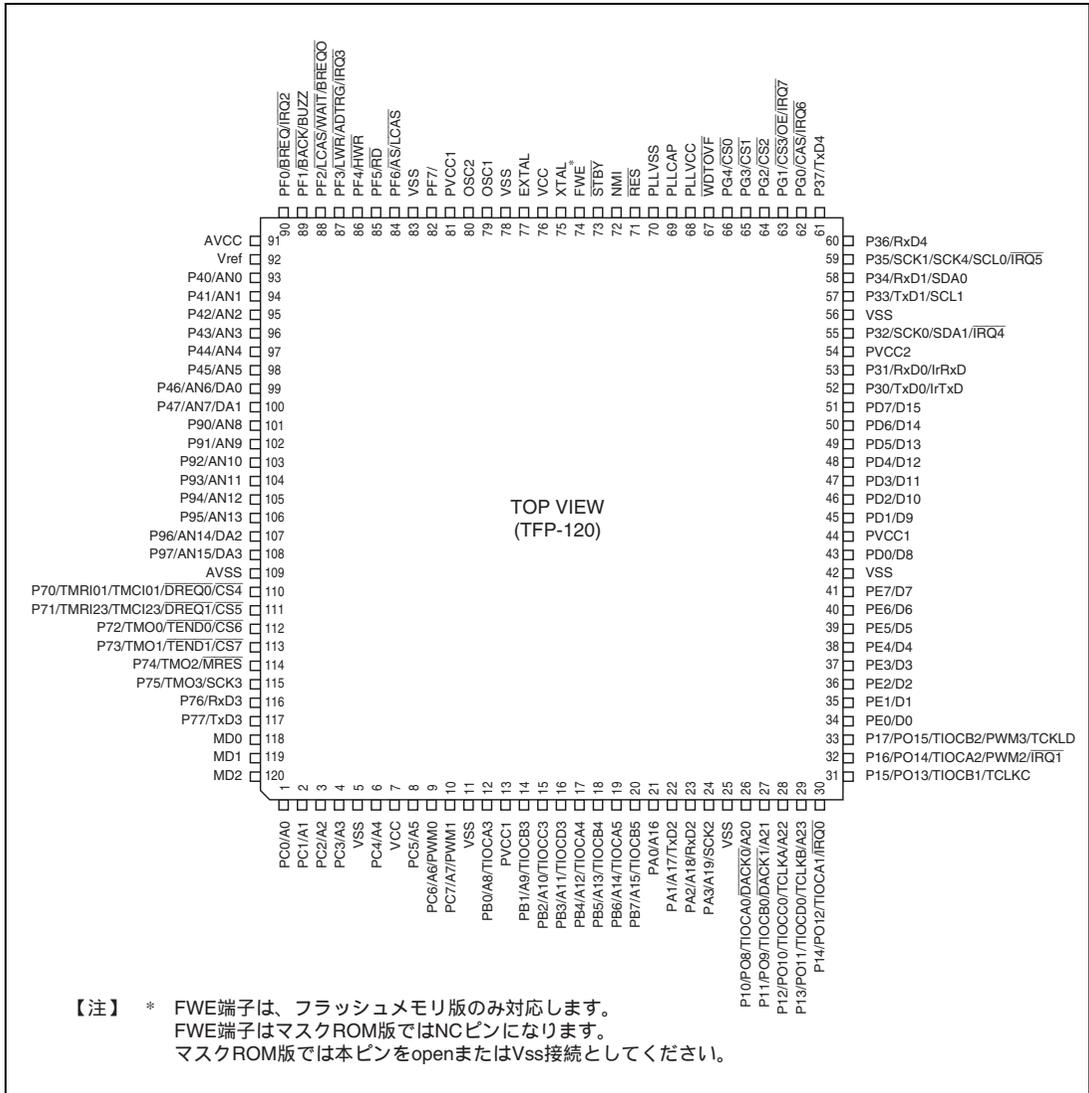


図 1.2 (a) H8S/2633、H8S/2633 F、H8S/2632、H8S/2631 ピン配置図 (TFP-120 : 上面図)

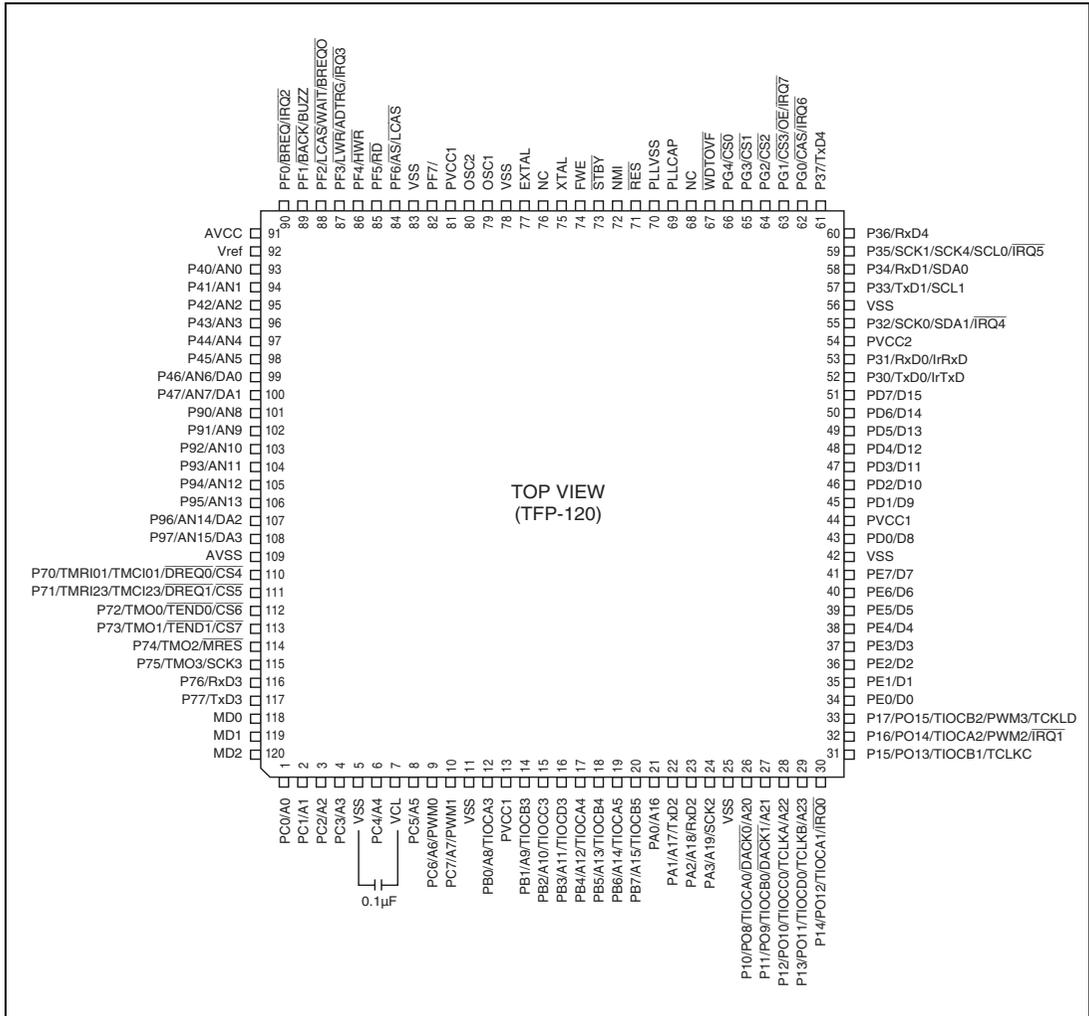


図 1.2 (b) H8S/2633R ピン配置図 (TFP-120 : 上面図)

1. 概要

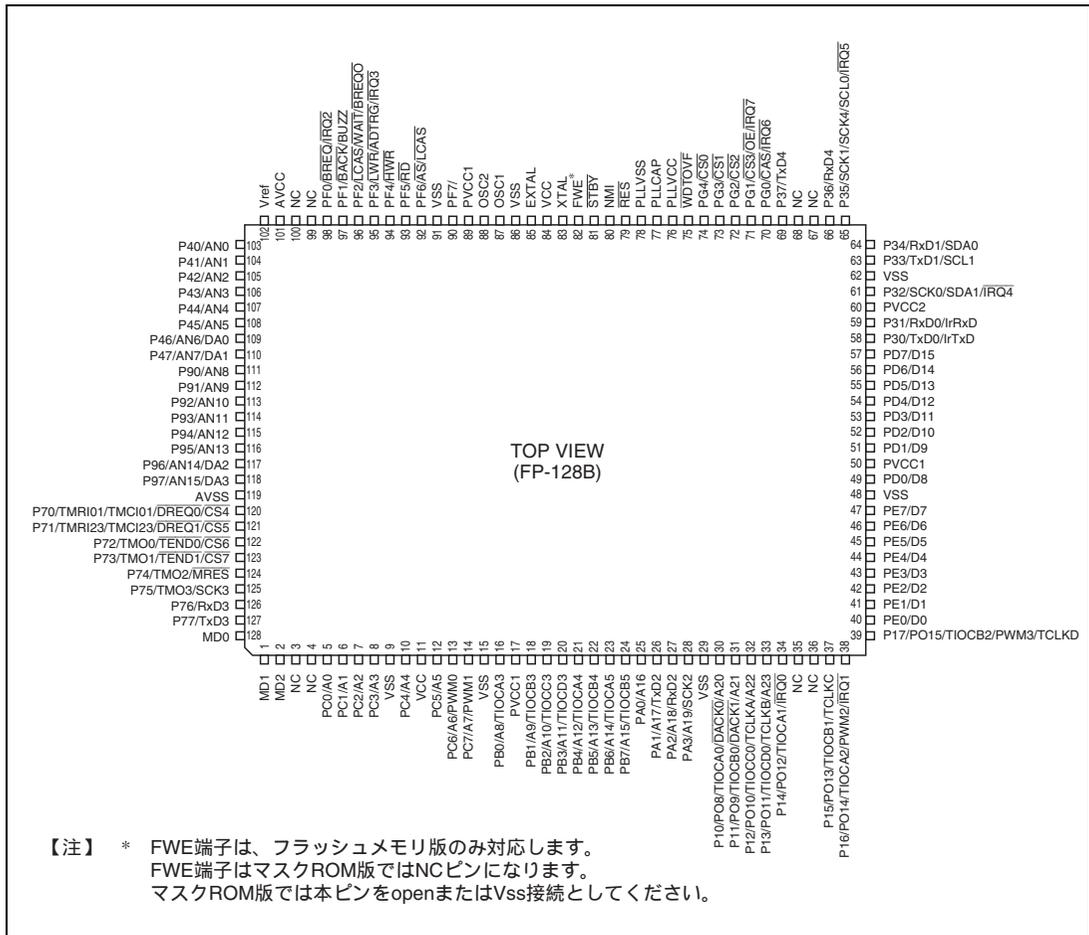


図 1.3 (a) H8S/2633、H8S/2633F、H8S/2632、H8S/2631 ピン配置図 (FP-128B : 上面図)

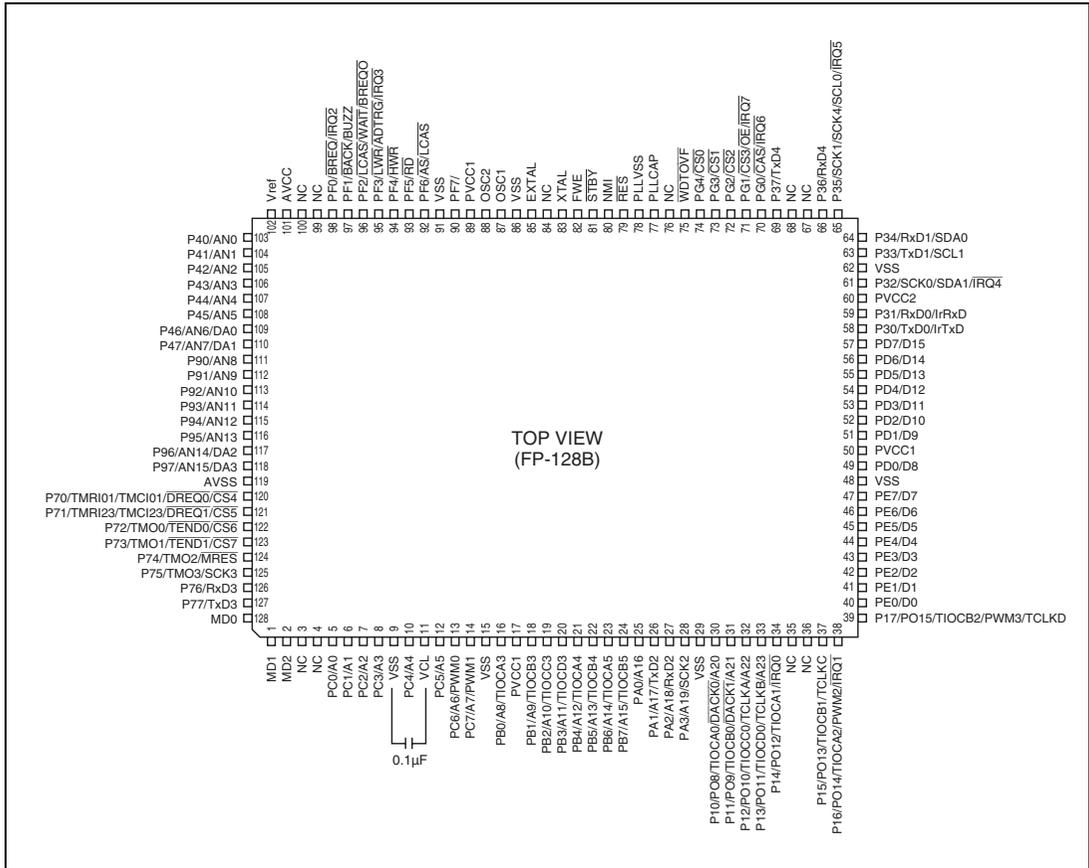


図 1.3 (b) H8S/2633R ピン配置図 (FP-128B : 上面図)

1. 概要

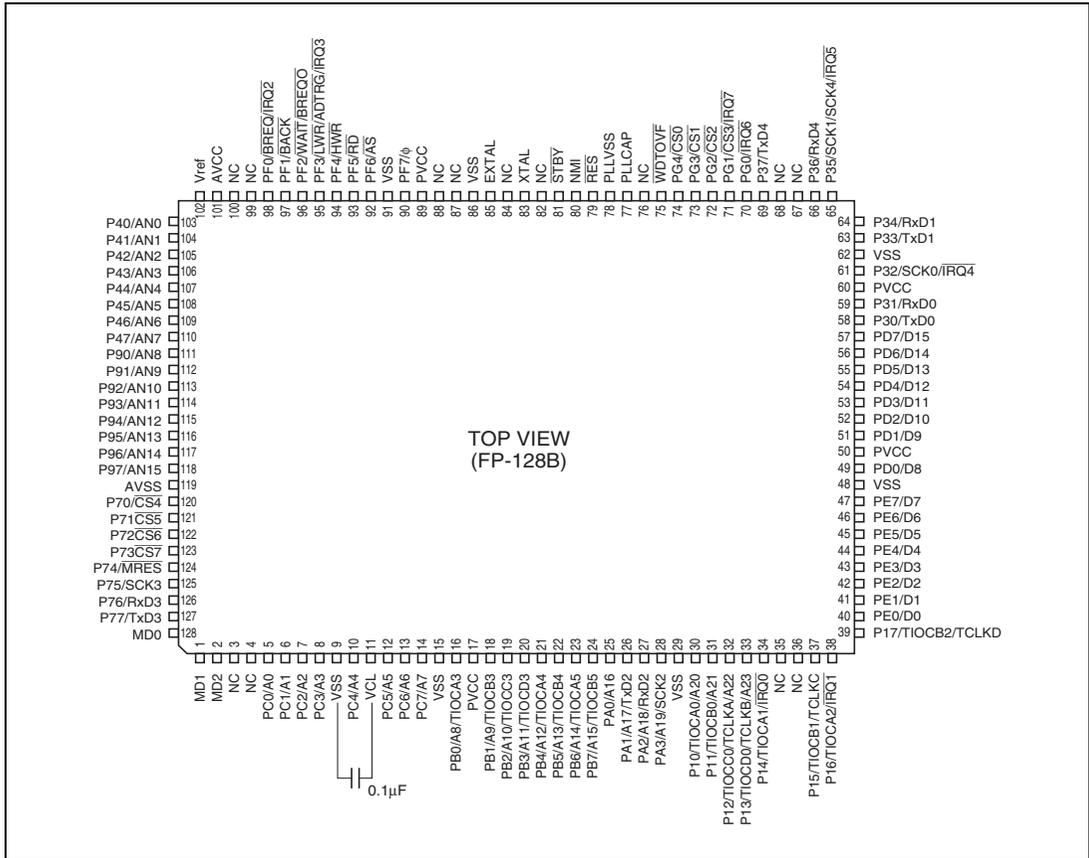


図 1.3 (c) H8S/2695 ピン配置図 (FP-128B : 上面図)

1.3.2 動作モード別端子機能一覧

H8S/2633、H8S/2633F、H8S/2632、H8S/2631 の動作モード別端子機能を表 1.2 (a)、H8S/2633R の動作モード別端子機能を表 1.2 (b)、H8S/2695 の動作モード別端子機能を表 1.2 (c) に示します。

表 1.2 (a) 動作モード別端子機能一覧 (H8S/2633、H8S/2633F、H8S/2632、H8S/2631)

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
1	5	A0	A0	PC0/A0	PC0
2	6	A1	A1	PC1/A1	PC1
3	7	A2	A2	PC2/A2	PC2
4	8	A3	A3	PC3/A3	PC3
5	9	VSS	VSS	VSS	VSS
6	10	A4	A4	PC4/A4	PC4
7	11	VCC	VCC	VCC	VCC
8	12	A5	A5	PC5/A5	PC5
9	13	A6	A6	PC6/A6/PWM0	PC6/PWM0
10	14	A7	A7	PC7/A7/PWM1	PC7/PWM1
11	15	VSS	VSS	VSS	VSS
12	16	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3
13	17	PVCC1	PVCC1	PVCC1	PVCC1
14	18	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3
15	19	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/TIOCC3
16	20	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/TIOCD3
17	21	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/TIOCA4
18	22	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/TIOCB4
19	23	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/TIOCA5
20	24	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/TIOCB5
21	25	PA0/A16	PA0/A16	PA0/A16	PA0
22	26	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2
23	27	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2
24	28	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2
25	29	VSS	VSS	VSS	VSS
26	30	P10/PO8/TIOCA0/ DACK0/A20	P10/PO8/TIOCA0/ DACK0/A20	P10/PO8/TIOCA0/ DACK0/A20	P10/PO8/TIOCA0/ DACK0
27	31	P11/PO9/TIOCB0/ DACK1/A21	P11/PO9/TIOCB0/ DACK1/A21	P11/PO9/TIOCB0/ DACK1/A21	P11/PO9/TIOCB0/ DACK1
28	32	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA

1. 概要

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
29	33	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB
30	34	P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$	P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$	P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$	P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$
-	35	NC* ¹	NC* ¹	NC* ¹	NC* ¹
-	36	NC* ¹	NC* ¹	NC* ¹	NC* ¹
31	37	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC
32	38	P16/PO14/TIOCA2/ $\overline{\text{PWM2/IRQ1}}$	P16/PO14/TIOCA2/ $\overline{\text{PWM2/IRQ1}}$	P16/PO14/TIOCA2/ $\overline{\text{PWM2/IRQ1}}$	P16/PO14/TIOCA2/ $\overline{\text{PWM2/IRQ1}}$
33	39	P17/PO15/TIOCB2/ PWM3/TCLKD	P17/PO15/TIOCB2/ PWM3/TCLKD	P17/PO15/TIOCB2/ PWM3/TCLKD	P17/PO15/TIOCB2/ PWM3/TCLKD
34	40	PE0/D0	PE0/D0	PE0/D0	PE0
35	41	PE1/D1	PE1/D1	PE1/D1	PE1
36	42	PE2/D2	PE2/D2	PE2/D2	PE2
37	43	PE3/D3	PE3/D3	PE3/D3	PE3
38	44	PE4/D4	PE4/D4	PE4/D4	PE4
39	45	PE5/D5	PE5/D5	PE5/D5	PE5
40	46	PE6/D6	PE6/D6	PE6/D6	PE6
41	47	PE7/D7	PE7/D7	PE7/D7	PE7
42	48	VSS	VSS	VSS	VSS
43	49	D8	D8	D8	PD0
44	50	PVCC1	PVCC1	PVCC1	PVCC1
45	51	D9	D9	D9	PD1
46	52	D10	D10	D10	PD2
47	53	D11	D11	D11	PD3
48	54	D12	D12	D12	PD4
49	55	D13	D13	D13	PD5
50	56	D14	D14	D14	PD6
51	57	D15	D15	D15	PD7
52	58	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD
53	59	P31/RxD0/IrRxD	P31/RxD0/IrRxD	P31/RxD0/IrRxD	P31/RxD0/IrRxD
54	60	PVCC2	PVCC2	PVCC2	PVCC2
55	61	P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$	P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$	P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$	P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$
56	62	VSS	VSS	VSS	VSS

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
57	63	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1
58	64	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0
59	65	P35/SCK1/SCK4/ SCL0/IRQ5	P35/SCK1/SCK4/ SCL0/IRQ5	P35/SCK1/SCK4/ SCL0/IRQ5	P35/SCK1/SCK4/ SCL0/IRQ5
60	66	P36/RxD4	P36/RxD4	P36/RxD4	P36/RxD4
-	67	NC* ¹	NC* ¹	NC* ¹	NC* ¹
-	68	NC* ¹	NC* ¹	NC* ¹	NC* ¹
61	69	P37/TxD4	P37/TxD4	P37/TxD4	P37/TxD4
62	70	PG0/CAS/IRQ6	PG0/CAS/IRQ6	PG0/CAS/IRQ6	PG0/IRQ6
63	71	PG1/CS3/OE/IRQ7	PG1/CS3/OE/IRQ7	PG1/CS3/OE/IRQ7	PG1/IRQ7
64	72	PG2/CS2	PG2/CS2	PG2/CS2	PG2
65	73	PG3/CS1	PG3/CS1	PG3/CS1	PG3
66	74	PG4/CS0	PG4/CS0	PG4/CS0	PG4
67	75	WDTOVF	WDTOVF	WDTOVF	WDTOVF
68	76	PLLCC	PLLCC	PLLCC	PLLCC
69	77	PLLCAP	PLLCAP	PLLCAP	PLLCAP
70	78	PLLSS	PLLSS	PLLSS	PLLSS
71	79	RES	RES	RES	RES
72	80	NMI	NMI	NMI	NMI
73	81	STBY	STBY	STBY	STBY
74	82	FWE* ²	FWE* ²	FWE* ²	FWE* ²
75	83	XTAL	XTAL	XTAL	XTAL
76	84	VCC	VCC	VCC	VCC
77	85	EXTAL	EXTAL	EXTAL	EXTAL
78	86	VSS	VSS	VSS	VSS
79	87	OSC1	OSC1	OSC1	OSC1
80	88	OSC2	OSC2	OSC2	OSC2
81	89	PVCC1	PVCC1	PVCC1	PVCC1
82	90	PF7/	PF7/	PF7/	PF7/
83	91	VSS	VSS	VSS	VSS
84	92	AS/LCAS	AS/LCAS	AS/LCAS	PF6
85	93	RD	RD	RD	PF5
86	94	HWR	HWR	HWR	PF4
87	95	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/ADTRG/ IRQ3

1. 概要

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
88	96	PF2/LCAS/WAIT/ BREQ0	PF2/LCAS/WAIT/ BREQ0	PF2/LCAS/WAIT/ BREQ0	PF2
89	97	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BUZZ
90	98	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/IRQ2
-	99	NC* ¹	NC* ¹	NC* ¹	NC* ¹
-	100	NC* ¹	NC* ¹	NC* ¹	NC* ¹
91	101	AVCC	AVCC	AVCC	AVCC
92	102	Vref	Vref	Vref	Vref
93	103	P40/AN0	P40/AN0	P40/AN0	P40/AN0
94	104	P41/AN1	P41/AN1	P41/AN1	P41/AN1
95	105	P42/AN2	P42/AN2	P42/AN2	P42/AN2
96	106	P43/AN3	P43/AN3	P43/AN3	P43/AN3
97	107	P44/AN4	P44/AN4	P44/AN4	P44/AN4
98	108	P45/AN5	P45/AN5	P45/AN5	P45/AN5
99	109	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0
100	110	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1
101	111	P90/AN8	P90/AN8	P90/AN8	P90/AN8
102	112	P91/AN9	P91/AN9	P91/AN9	P91/AN9
103	113	P92/AN10	P92/AN10	P92/AN10	P92/AN10
104	114	P93/AN11	P93/AN11	P93/AN11	P93/AN11
105	115	P94/AN12	P94/AN12	P94/AN12	P94/AN12
106	116	P95/AN13	P95/AN13	P95/AN13	P95/AN13
107	117	P96/AN14/DA2	P96/AN14/DA2	P96/AN14/DA2	P96/AN14/DA2
108	118	P97/AN15/DA3	P97/AN15/DA3	P97/AN15/DA3	P97/AN15/DA3
109	119	AVSS	AVSS	AVSS	AVSS
110	120	P70/TMRI01/TMCI01 /DREQ0/CS4	P70/TMRI01/TMCI01 /DREQ0/CS4	P70/TMRI01/TMCI01 /DREQ0/CS4	P70/TMRI01/TMCI01 /DREQ0
111	121	P71/TMRI23/TMCI23/ DREQ1/CS5	P71/TMRI23/TMCI23 /DREQ1/CS5	P71/TMRI23/TMCI23 /DREQ1/CS5	P71/TMRI23/TMCI23 /DREQ1
112	122	P72/TMO0/TEND0/ CS6	P72/TMO0/TEND0/ CS6	P72/TMO0/TEND0/ CS6	P72/TMO0/TEND0
113	123	P73/TMO1/TEND1/ CS7	P73/TMO1/TEND1/ CS7	P73/TMO1/TEND1/ CS7	P73/TMO1/TEND1
114	124	P74/TMO2/MRES	P74/TMO2/MRES	P74/TMO2/MRES	P74/TMO2/MRES
115	125	P75/TMO3/SCK3	P75/TMO3/SCK3	P75/TMO3/SCK3	P75/TMO3/SCK3
116	126	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
117	127	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3
118	128	MD0	MD0	MD0	MD0
119	1	MD1	MD1	MD1	MD1
120	2	MD2	MD2	MD2	MD2
-	3	NC* ¹	NC* ¹	NC* ¹	NC* ¹
-	4	NC* ¹	NC* ¹	NC* ¹	NC* ¹

【注】 *1 NC は Vss に接続、または開放としてください。

*2 FWE はフラッシュメモリ版のみ対応します。マスク ROM 版では本ピンを open または Vss 接続としてください。

1. 概要

表 1.2 (b) 動作モード別端子機能一覧 (H8S/2633R)

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
1	5	A0	A0	PC0/A0	PC0
2	6	A1	A1	PC1/A1	PC1
3	7	A2	A2	PC2/A2	PC2
4	8	A3	A3	PC3/A3	PC3
5	9	VSS	VSS	VSS	VSS
6	10	A4	A4	PC4/A4	PC4
7	11	VCL	VCL	VCL	VCL
8	12	A5	A5	PC5/A5	PC5
9	13	A6	A6	PC6/A6/PWM0	PC6/PWM0
10	14	A7	A7	PC7/A7/PWM1	PC7/PWM1
11	15	VSS	VSS	VSS	VSS
12	16	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3
13	17	PVCC1	PVCC1	PVCC1	PVCC1
14	18	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3
15	19	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/TIOCC3
16	20	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/TIOCD3
17	21	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/TIOCA4
18	22	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/TIOCB4
19	23	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/TIOCA5
20	24	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/TIOCB5
21	25	PA0/A16	PA0/A16	PA0/A16	PA0
22	26	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2
23	27	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2
24	28	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2
25	29	VSS	VSS	VSS	VSS
26	30	P10/PO8/TIOCA0/ DACK0/A20	P10/PO8/TIOCA0/ DACK0/A20	P10/PO8/TIOCA0/ DACK0/A20	P10/PO8/TIOCA0/ DACK0
27	31	P11/PO9/TIOCB0/ DACK1/A21	P11/PO9/TIOCB0/ DACK1/A21	P11/PO9/TIOCB0/ DACK1/A21	P11/PO9/TIOCB0/ DACK1
28	32	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA/A22	P12/PO10/TIOCC0/ TCLKA
29	33	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB/A23	P13/PO11/TIOCD0/ TCLKB
30	34	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
-	35	NC*	NC*	NC*	NC*
-	36	NC*	NC*	NC*	NC*
31	37	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC
32	38	P16/PO14/TIOCA2/ PWM2/IRQ1	P16/PO14/TIOCA2/ PWM2/IRQ1	P16/PO14/TIOCA2/ PWM2/IRQ1	P16/PO14/TIOCA2/ PWM2/IRQ1
33	39	P17/PO15/TIOCB2/ PWM3/TCLKD	P17/PO15/TIOCB2/ PWM3/TCLKD	P17/PO15/TIOCB2/ PWM3/TCLKD	P17/PO15/TIOCB2/ PWM3/TCLKD
34	40	PE0/D0	PE0/D0	PE0/D0	PE0
35	41	PE1/D1	PE1/D1	PE1/D1	PE1
36	42	PE2/D2	PE2/D2	PE2/D2	PE2
37	43	PE3/D3	PE3/D3	PE3/D3	PE3
38	44	PE4/D4	PE4/D4	PE4/D4	PE4
39	45	PE5/D5	PE5/D5	PE5/D5	PE5
40	46	PE6/D6	PE6/D6	PE6/D6	PE6
41	47	PE7/D7	PE7/D7	PE7/D7	PE7
42	48	VSS	VSS	VSS	VSS
43	49	D8	D8	D8	PD0
44	50	PVCC1	PVCC1	PVCC1	PVCC1
45	51	D9	D9	D9	PD1
46	52	D10	D10	D10	PD2
47	53	D11	D11	D11	PD3
48	54	D12	D12	D12	PD4
49	55	D13	D13	D13	PD5
50	56	D14	D14	D14	PD6
51	57	D15	D15	D15	PD7
52	58	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD
53	59	P31/RxD0/IrRxD	P31/RxD0/IrRxD	P31/RxD0/IrRxD	P31/RxD0/IrRxD
54	60	PVCC2	PVCC2	PVCC2	PVCC2
55	61	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4
56	62	VSS	VSS	VSS	VSS
57	63	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1
58	64	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0
59	65	P35/SCK1/SCK4/ SCL0/IRQ5	P35/SCK1/SCK4/ SCL0/IRQ5	P35/SCK1/SCK4/ SCL0/IRQ5	P35/SCK1/SCK4/ SCL0/IRQ5

1. 概要

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
60	66	P36/RxD4	P36/RxD4	P36/RxD4	P36/RxD4
-	67	NC*	NC*	NC*	NC*
-	68	NC*	NC*	NC*	NC*
61	69	P37/TxD4	P37/TxD4	P37/TxD4	P37/TxD4
62	70	PG0/CAS/IRQ6	PG0/CAS/IRQ6	PG0/CAS/IRQ6	PG0/IRQ6
63	71	PG1/CS3/OE/IRQ7	PG1/CS3/OE/IRQ7	PG1/CS3/OE/IRQ7	PG1/IRQ7
64	72	PG2/CS2	PG2/CS2	PG2/CS2	PG2
65	73	PG3/CS1	PG3/CS1	PG3/CS1	PG3
66	74	PG4/CS0	PG4/CS0	PG4/CS0	PG4
67	75	WDTOVF	WDTOVF	WDTOVF	WDTOVF
68	76	NC*	NC*	NC*	NC*
69	77	PLLCAP	PLLCAP	PLLCAP	PLLCAP
70	78	PLLVSS	PLLVSS	PLLVSS	PLLVSS
71	79	RES	RES	RES	RES
72	80	NMI	NMI	NMI	NMI
73	81	STBY	STBY	STBY	STBY
74	82	FWE	FWE	FWE	FWE
75	83	XTAL	XTAL	XTAL	XTAL
76	84	NC*	NC*	NC*	NC*
77	85	EXTAL	EXTAL	EXTAL	EXTAL
78	86	VSS	VSS	VSS	VSS
79	87	OSC1	OSC1	OSC1	OSC1
80	88	OSC2	OSC2	OSC2	OSC2
81	89	PVCC1	PVCC1	PVCC1	PVCC1
82	90	PF7/	PF7/	PF7/	PF7/
83	91	VSS	VSS	VSS	VSS
84	92	AS/LCAS	AS/LCAS	AS/LCAS	PF6
85	93	RD	RD	RD	PF5
86	94	HWR	HWR	HWR	PF4
87	95	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/ADTRG/ IRQ3
88	96	PF2/LCAS/WAIT/ BREQO	PF2/LCAS/WAIT/ BREQO	PF2/LCAS/WAIT/ BREQO	PF2
89	97	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BUZZ
90	98	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/IRQ2

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
-	99	NC*	NC*	NC*	NC*
-	100	NC*	NC*	NC*	NC*
91	101	AVCC	AVCC	AVCC	AVCC
92	102	Vref	Vref	Vref	Vref
93	103	P40/AN0	P40/AN0	P40/AN0	P40/AN0
94	104	P41/AN1	P41/AN1	P41/AN1	P41/AN1
95	105	P42/AN2	P42/AN2	P42/AN2	P42/AN2
96	106	P43/AN3	P43/AN3	P43/AN3	P43/AN3
97	107	P44/AN4	P44/AN4	P44/AN4	P44/AN4
98	108	P45/AN5	P45/AN5	P45/AN5	P45/AN5
99	109	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0
100	110	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1
101	111	P90/AN8	P90/AN8	P90/AN8	P90/AN8
102	112	P91/AN9	P91/AN9	P91/AN9	P91/AN9
103	113	P92/AN10	P92/AN10	P92/AN10	P92/AN10
104	114	P93/AN11	P93/AN11	P93/AN11	P93/AN11
105	115	P94/AN12	P94/AN12	P94/AN12	P94/AN12
106	116	P95/AN13	P95/AN13	P95/AN13	P95/AN13
107	117	P96/AN14/DA2	P96/AN14/DA2	P96/AN14/DA2	P96/AN14/DA2
108	118	P97/AN15/DA3	P97/AN15/DA3	P97/AN15/DA3	P97/AN15/DA3
109	119	AVSS	AVSS	AVSS	AVSS
110	120	P70/TMRI01/TMCI01 /DREQ0/CS4	P70/TMRI01/TMCI01 /DREQ0/CS4	P70/TMRI01/TMCI01 /DREQ0/CS4	P70/TMRI01/TMCI01 /DREQ0
111	121	P71/TMRI23/TMCI23 /DREQ1/CS5	P71/TMRI23/TMCI23 /DREQ1/CS5	P71/TMRI23/TMCI23 /DREQ1/CS5	P71/TMRI23/TMCI23 /DREQ1
112	122	P72/TMO0/TEND0/ CS6	P72/TMO0/TEND0/ CS6	P72/TMO0/TEND0/ CS6	P72/TMO0/TEND0
113	123	P73/TMO1/TEND1/ CS7	P73/TMO1/TEND1/ CS7	P73/TMO1/TEND1/ CS7	P73/TMO1/TEND1
114	124	P74/TMO2/MRES	P74/TMO2/MRES	P74/TMO2/MRES	P74/TMO2/MRES
115	125	P75/TMO3/SCK3	P75/TMO3/SCK3	P75/TMO3/SCK3	P75/TMO3/SCK3
116	126	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3
117	127	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3
118	128	MD0	MD0	MD0	MD0
119	1	MD1	MD1	MD1	MD1

1. 概要

ピン番号		端子名			
TFP-120	FP-128B	モード 4	モード 5	モード 6	モード 7
120	2	MD2	MD2	MD2	MD2
-	3	NC*	NC*	NC*	NC*
-	4	NC*	NC*	NC*	NC*

【注】 * NC は VSS に接続、または開放としてください。

表 1.2 (c) 動作モード別端子機能一覧 (H8S/2695)

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
5	A0	A0	PC0/A0	PC0
6	A1	A1	PC1/A1	PC1
7	A2	A2	PC2/A2	PC2
8	A3	A3	PC3/A3	PC3
9	VSS	VSS	VSS	VSS
10	A4	A4	PC4/A4	PC4
11	VCL	VCL	VCL	VCL
12	A5	A5	PC5/A5	PC5
13	A6	A6	PC6/A6	PC6
14	A7	A7	PC7/A7	PC7
15	VSS	VSS	VSS	VSS
16	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3
17	PVCC1	PVCC1	PVCC1	PVCC1
18	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3
19	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/TIOCC3
20	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/TIOCD3
21	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/TIOCA4
22	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/TIOCB4
23	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/TIOCA5
24	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/TIOCB5
25	PA0/A16	PA0/A16	PA0/A16	PA0
26	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2
27	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2
28	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2
29	VSS	VSS	VSS	VSS
30	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0
31	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0
32	P12/TIOCC0/TCLKA/ A22	P12/TIOCC0/TCLKA/ A22	P12/TIOCC0/TCLKA/ A22	P12/TIOCC0/TCLKA
33	P13/TIOCD0/TCLKB/ A23	P13/TIOCD0/TCLKB/ A23	P13/TIOCD0/TCLKB/ A23	P13/TIOCD0/TCLKB
34	P14/TIOCA1/IRQ0	P14/TIOCA1/IRQ0	P14/TIOCA1/IRQ0	P14/TIOCA1/IRQ0
35	NC*	NC*	NC*	NC*
36	NC*	NC*	NC*	NC*

1. 概要

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
FP-128B				
37	P15/TIOCB1/TCLKC	P15/TIOCB1/TCLKC	P15/TIOCB1/TCLKC	P15/TIOCB1/TCLKC
38	P16/TIOCA2/IRQ1	P16/TIOCA2/IRQ1	P16/TIOCA2/IRQ1	P16/TIOCA2/IRQ1
39	P17/TIOCB2/TCLKD	P17/TIOCB2/TCLKD	P17/TIOCB2/TCLKD	P17/TIOCB2/TCLKD
40	PE0/D0	PE0/D0	PE0/D0	PE0
41	PE1/D1	PE1/D1	PE1/D1	PE1
42	PE2/D2	PE2/D2	PE2/D2	PE2
43	PE3/D3	PE3/D3	PE3/D3	PE3
44	PE4/D4	PE4/D4	PE4/D4	PE4
45	PE5/D5	PE5/D5	PE5/D5	PE5
46	PE6/D6	PE6/D6	PE6/D6	PE6
47	PE7/D7	PE7/D7	PE7/D7	PE7
48	VSS	VSS	VSS	VSS
49	D8	D8	D8	PD0
50	PVCC1	PVCC1	PVCC1	PVCC1
51	D9	D9	D9	PD1
52	D10	D10	D10	PD2
53	D11	D11	D11	PD3
54	D12	D12	D12	PD4
55	D13	D13	D13	PD5
56	D14	D14	D14	PD6
57	D15	D15	D15	PD7
58	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0
59	P31/RxD0	P31/RxD0	P31/RxD0	P31/RxD0
60	PVCC2	PVCC2	PVCC2	PVCC2
61	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4
62	VSS	VSS	VSS	VSS
63	P33/TxD1	P33/TxD1	P33/TxD1	P33/TxD1
64	P34/RxD1	P34/RxD1	P34/RxD1	P34/RxD1
65	P35/SCK1/SCK4/ IRQ5	P35/SCK1/SCK4/ IRQ5	P35/SCK1/SCK4/ IRQ5	P35/SCK1/SCK4/ IRQ5
66	P36/RxD4	P36/RxD4	P36/RxD4	P36/RxD4
67	NC*	NC*	NC*	NC*
68	NC*	NC*	NC*	NC*
69	P37/TxD4	P37/TxD4	P37/TxD4	P37/TxD4
70	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
71	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/IRQ7
72	PG2/CS2	PG2/CS2	PG2/CS2	PG2
73	PG3/CS1	PG3/CS1	PG3/CS1	PG3
74	PG4/CS0	PG4/CS0	PG4/CS0	PG4
75	WDTOVF	WDTOVF	WDTOVF	WDTOVF
76	NC*	NC*	NC*	NC*
77	PLLCAP	PLLCAP	PLLCAP	PLLCAP
78	PLLVSS	PLLVSS	PLLVSS	PLLVSS
79	RES	RES	RES	RES
80	NMI	NMI	NMI	NMI
81	STBY	STBY	STBY	STBY
82	NC*	NC*	NC*	NC*
83	XTAL	XTAL	XTAL	XTAL
84	NC*	NC*	NC*	NC*
85	EXTAL	EXTAL	EXTAL	EXTAL
86	VSS	VSS	VSS	VSS
87	NC*	NC*	NC*	NC*
88	NC*	NC*	NC*	NC*
89	PVCC1	PVCC1	PVCC1	PVCC1
90	PF7/	PF7/	PF7/	PF7/
91	VSS	VSS	VSS	VSS
92	AS	AS	AS	PF6
93	RD	RD	RD	PF5
94	HWR	HWR	HWR	PF4
95	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/ADTRG/ IRQ3
96	PF2/WAIT/BREQO	PF2/WAIT/BREQO	PF2/WAIT/BREQO	PF2
97	PF1/BACK	PF1/BACK	PF1/BACK	PF1
98	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/IRQ2
99	NC*	NC*	NC*	NC*
100	NC*	NC*	NC*	NC*
101	AVCC	AVCC	AVCC	AVCC
102	Vref	Vref	Vref	Vref
103	P40/AN0	P40/AN0	P40/AN0	P40/AN0
104	P41/AN1	P41/AN1	P41/AN1	P41/AN1

1. 概要

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
105	P42/AN2	P42/AN2	P42/AN2	P42/AN2
106	P43/AN3	P43/AN3	P43/AN3	P43/AN3
107	P44/AN4	P44/AN4	P44/AN4	P44/AN4
108	P45/AN5	P45/AN5	P45/AN5	P45/AN5
109	P46/AN6	P46/AN6	P46/AN6	P46/AN6
110	P47/AN7	P47/AN7	P47/AN7	P47/AN7
111	P90/AN8	P90/AN8	P90/AN8	P90/AN8
112	P91/AN9	P91/AN9	P91/AN9	P91/AN9
113	P92/AN10	P92/AN10	P92/AN10	P92/AN10
114	P93/AN11	P93/AN11	P93/AN11	P93/AN11
115	P94/AN12	P94/AN12	P94/AN12	P94/AN12
116	P95/AN13	P95/AN13	P95/AN13	P95/AN13
117	P96/AN14	P96/AN14	P96/AN14	P96/AN14
118	P97/AN15	P97/AN15	P97/AN15	P97/AN15
119	AVSS	AVSS	AVSS	AVSS
120	P70/ $\overline{CS4}$	P70/ $\overline{CS4}$	P70/ $\overline{CS4}$	P70
121	P71/ $\overline{CS5}$	P71/ $\overline{CS5}$	P71/ $\overline{CS5}$	P71
122	P72/ $\overline{CS6}$	P72/ $\overline{CS6}$	P72/ $\overline{CS6}$	P72
123	P73/ $\overline{CS7}$	P73/ $\overline{CS7}$	P73/ $\overline{CS7}$	P73
124	P74/ \overline{MRES}	P74/ \overline{MRES}	P74/ \overline{MRES}	P74/ \overline{MRES}
125	P75/SCK3	P75/SCK3	P75/SCK3	P75/SCK3
126	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3
127	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3
128	MD0	MD0	MD0	MD0
1	MD1	MD1	MD1	MD1
2	MD2	MD2	MD2	MD2
3	NC*	NC*	NC*	NC*
4	NC*	NC*	NC*	NC*

【注】 * NC は Vss に接続、または開放としてください。

1.3.3 端子機能

H8S/2633、H8S/2633F、H8S/2632、H8S/2631 の各端子の機能について表 1.3 (a)、H8S/2633R の各端子の機能について表 1.3 (b)、H8S/2695 の各端子の機能について表 1.3 (c) に示します。

表 1.3 (a) 端子機能 (H8S/2633、H8S/2633F、H8S/2632、H8S/2631)

分類	記号	入出力	端子名	名称および機能
電源	VCC	入力	電源	電源に接続します。VCC 端子は、全端子をシステムの電源に接続してください。
	PVCC1	入力	ポート用電源	ポート用の電源端子です。すべて同じ電源に接続してください。
	PVCC2	入力	ポート用電源	
	VSS	入力	グラウンド	電源 (0V) に接続します。Vss 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	PLLVCC	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLLVSS	入力	PLL 用グラウンド	内蔵 PLL 発振器用のグラウンドです。
	PLLCAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。
	XTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」を参照してください。
	EXTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」を参照してください。
	OSC1	入力	サブクロック	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」を参照してください。
	OSC2	入力	サブクロック	32.768kHz での水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23A 章 クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)」を参照してください。
			出力	システムクロック

1. 概要

分類	記号	入出力	端子名	名称および機能																										
動作モード コントロール	MD2 ~ MD0	入力	モード端子	動作モードを設定します。MD2 ~ MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" data-bbox="801 421 1126 681"> <thead> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>モード4</td> </tr> <tr> <td>1</td> <td>モード5</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード6</td> </tr> <tr> <td>1</td> <td>モード7</td> </tr> </tbody> </table>	MD2	MD1	MD0	動作モード	0	0	0	-	1	-	1	0	-	1	-	1	0	0	モード4	1	モード5	1	0	モード6	1	モード7
MD2	MD1	MD0	動作モード																											
0	0	0	-																											
		1	-																											
	1	0	-																											
		1	-																											
1	0	0	モード4																											
		1	モード5																											
	1	0	モード6																											
		1	モード7																											
システム 制御	RES	入力	リセット入力	この端子が Low レベルになると、リセット状態となります。																										
	MRES	入力	マニュアルリセット	この端子に Low レベルを印加すると、マニュアルリセット状態になります。																										
	STBY	入力	スタンバイ	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。																										
	BREQ	入力	バス権要求	本 LSI に対し、外部バスマスタがバス権を要求します。																										
	BREQ0	出力	バス権要求出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの、外部バス権要求信号です。																										
	BACK	出力	バス権要求アクノリッジ	バス権を外部バスマスタに解放したことを示します。																										
	FWE	入力	フラッシュライトイネーブル	フラッシュメモリ用の端子です。																										
割り込み	NMI	入力	ノンマスカブル 割り込み	マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。																										
	IRQ7 ~ IRQ0	入力	割り込み要求 7 ~ 0	マスク可能な割り込みを要求します。																										
アドレス バス	A23 ~ A0	出力	アドレスバス	アドレスを出力します。																										
データバス	D15 ~ D0	入出力	データバス	双方向データバスです。																										
バス制御	CS7 ~ CS0	出力	チップセレクト	エリア 7 ~ 0 の選択信号です。																										
	AS	出力	アドレスストロープ	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。																										
	RD	出力	リード	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。																										
	HWR	出力	ハイライト/ライト イネーブル/アッパ ーライトイネーブル	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号です。2CAS 方式の DRAM のライトイネーブル信号です。2WE 方式の DRAM のアッパーライトイネーブル信号です。																										

分類	記号	入出力	端子名	名称および機能
バス制御	$\overline{\text{LWR}}$	出力	ローライト / ローア ーカラムアドレス ストロープ / ローア ーライトイネーブル	外部空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロープ信号です。2CAS 方式 (LCASS = 1) の DRAM のローア ーカラムアドレスストロープ信号です。2WE 方式の DRAM のローア ーライトイネーブル信号です。
	$\overline{\text{CAS}}$	出力	アッパーカラムアド レスストロープ / カ ラムアドレススト ロープ	2CAS 方式の DRAM のアッパーカラムアドレススト ロープ信号です。
	$\overline{\text{LCAS}}$	出力	ローア ーカラムアド レスストロープ	2CAS 方式 DRAM のローア ーカラムアドレススト ロープ信号です。
	$\overline{\text{OE}}$	出力	アウトプット イネーブル	DRAM 空間リードアクセス時のアウトプットイネー ブル信号
	$\overline{\text{WAIT}}$	入力	ウェイト	外部 3 ステートアドレス空間をアクセスするときに、バ スサイクルにウェイトステートの挿入を要求します。
DMA コントローラ (DMAC)	$\overline{\text{DREQ1}}$ 、 $\overline{\text{DREQ0}}$	入力	DMA リクエスト 1、0	DMAC の起動を要求します。
	$\overline{\text{TEND1}}$ 、 $\overline{\text{TEND0}}$	出力	DMA 転送終了 1、0	DMAC のデータ転送終了を示します。
	$\overline{\text{DACK1}}$ 、 $\overline{\text{DACK0}}$	出力	DMA 転送アクノリッ ジ 1、0	DMAC のシングルアドレス転送アクノリッジ端子で す。
16 ビットタイ マバル スユニット (TPU)	TCLKD ~ TCLKA	入力	クロック入力 D ~ A	外部クロックを入力します。
	TIOCA0、 TIOCB0、 TIOCC0、 TIOCD0	入出力	インプットキャプチャ / アウトプットコン ペアマッチ A0 ~ D0	TGR0A ~ TGR0D のインプットキャプチャ入力 / アウ トプットコンペア出力 / PWM 出力端子です。
	TIOCA1、 TIOCB1	入出力	インプットキャプチャ / アウトプットコン ペアマッチ A1、B1	TGR1A、TGR1B のインプットキャプチャ入力 / アウ トプットコンペア出力 / PWM 出力端子です。
	TIOCA2、 TIOCB2	入出力	インプットキャプチャ / アウトプットコン ペアマッチ A2、B2	TGR2A、TGR2B のインプットキャプチャ入力 / アウ トプットコンペア出力 / PWM 出力端子です。
	TIOCA3、 TIOCB3、 TIOCC3、 TIOCD3	入出力	インプットキャプチャ / アウトプットコン ペアマッチ A3 ~ D3	TGR3A ~ TGR3D のインプットキャプチャ入力 / アウ トプットコンペア出力 / PWM 出力端子です。
	TIOCA4、 TIOCB4	入出力	インプットキャプチャ / アウトプットコン ペアマッチ A4、B4	TGR4A、TGR4B のインプットキャプチャ入力 / アウ トプットコンペア出力 / PWM 出力端子です。
	TIOCA5、 TIOCB5	入出力	インプットキャプチャ / アウトプットコン ペアマッチ A5、B5	TGR5A、TGR5B のインプットキャプチャ入力 / アウ トプットコンペア出力 / PWM 出力端子です。

1. 概要

分類	記号	入出力	端子名	名称および機能
プログラマブルパルスジェネレータ (PPG)	PO15 ~ PO8	出力	パルス出力 15 ~ 8	パルス出力端子です。
8 ビット タイマ	TMO0 ~ TMO3	出力	コンペアマッチ 出力	コンペアマッチ出力端子です。
	TMCI01、 TMCI23	入力	カウンタ外部クロック 入力	カウンタに入力する外部クロックの入力端子です。
	TMRI01、 TMRI23	入力	カウンタ外部リセット 入力	カウンタリセット入力端子です。
14 ビット PWM タイマ (PWMX)	PWM0 ~ PWM3	出力	PWMX タイマ出力	PWM D/A のパルス出力端子です。
ウォッチドッグタイマ (WDT)	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力端子です。
	BUZZ	出力	BUZZ 出力	ウォッチドッグタイマで分周されたパルスを出力する端子です。
シリアルコミュニケーションインタフェース (SCI) / スマートカードインタフェース	TxD4、 TxD3、 TxD2、 TxD1、 TxD0	出力	トランスミットデータ (チャンネル 0 ~ 4)	データ出力端子です。
	RxD4、 RxD3、 RxD2、 RxD1、 RxD0	入力	レシーブデータ (チャンネル 0 ~ 4)	データ入力端子です。
	SCK4、 SCK3、 SCK2、 SCK1、 SCK0	入出力	シリアルクロック (チャンネル 0 ~ 4)	クロック入出力端子です。 SCK0 の出力形式は NMOS プッシュプルです。
IrDA 付き SCI (SCI0)	IrTxD IrRxD	出力 入力	IrDA トランスミットデータ / レシーブデータ	IrDA 用にエンコードされたデータの入出力端子です。
I ² C バスインタフェース (IIC) 【オプション】	SCL0 SCL1	入出力	I ² C クロック入出力 (チャンネル 0、1)	I ² C クロック入出力端子です。 バス駆動機能を持っています。 SCL0 の出力形式は NMOS オープンドレインです。
	SDA0 SDA1	入出力	I ² C データ入出力 (チャンネル 0、1)	I ² C のデータ入出力端子です。 バス駆動機能を持っています。 SDA0 の出力形式は NMOS オープンドレインです。

分類	記号	入出力	端子名	名称および機能
A/D 変換器	AN15 ~ AN0	入力	アナログ入力	アナログ入力端子です。
	ADTRG	入力	A/D 変換外部トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA3 ~ DA0	出力	アナログ出力	D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AVCC	入力	アナログ電源	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
A/D 変換器、 D/A 変換器	AVSS	入力	アナロググランド	A/D 変換器および D/A 変換器のグランドおよび基準電圧です。 システムの電源 (0V) に接続してください。
	Vref	入力	アナログリファレンス電源	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
I/O ポート	P17 ~ P10	入出力	ポート 1	8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P37 ~ P30	入出力	ポート 3	8 ビットの入出力端子です。 ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P47 ~ P40	入力	ポート 4	8 ビットの入力端子です。
	P77 ~ P70	入出力	ポート 7	8 ビットの入出力端子です。 ポート 7 データディレクションレジスタ (P7DDR) によって、1 ビットごとに入出力を指定できます。
	P97 ~ P90	入力	ポート 9	8 ビットの入力端子です。
	PA3 ~ PA0	入出力	ポート A	4 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDR) によって、1 ビットごとに入出力を指定できます。
	PB7 ~ PB0	入出力	ポート B	8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。
	PC7 ~ PC0	入出力	ポート C	8 ビットの入出力端子です。 ポート C データディレクションレジスタ (PCDDR) によって、1 ビットごとに入出力を指定できます。
	PD7 ~ PD0	入出力	ポート D	8 ビットの入出力端子です。 ポート D データディレクションレジスタ (PDDDR) によって、1 ビットごとに入出力を指定できます。
	PE7 ~ PE0	入出力	ポート E	8 ビットの入出力端子です。 ポート E データディレクションレジスタ (PEDDR) によって、1 ビットごとに入出力を指定できます。

1. 概要

分類	記号	入出力	端子名	名称および機能
I/O ポート	PF7 ~ PF0	入出力	ポート F	8 ビットの入出力端子です。 ポート F データディレクションレジスタ (PFDDR) によって、1 ビットごとに入出力を指定できます。
	PG4 ~ PG0	入出力	ポート G	5 ビットの入出力端子です。 ポート G データディレクションレジスタ (PGDDR) によって、1 ビットごとに入出力を指定できます。

表 1.3 (b) 端子機能 (H8S/2633R)

分類	記号	入出力	端子名	名称および機能
電源	VCL	出力	内部電源安定用端子	電源に接続不要です。0.1 μF のコンデンサを介して VSS に接続してください。(接続近くに配置)
	PVCC1	入力	ポート用電源	ポート用の電源端子です。すべて同じ電源に
	PVCC2	入力	ポート用電源	接続してください。
	VSS	入力	グランド	電源 (0V) に接続します。Vss 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	PLLVSS	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。
	PLLCAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。
	XTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」を参照してください。
	EXTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」を参照してください。
	OSC1	入力	サブクロック	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」を参照してください。
	OSC2	入力	サブクロック	32.768kHz での水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」を参照してください。
			出力	システムクロック

分類	記号	入出力	端子名	名称および機能																												
動作モード コントロール	MD2 ~ MD0	入力	モード端子	動作モードを設定します。MD2 ~ MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="3">1</td> <td rowspan="2">0</td> <td>0</td> <td>モード4</td> </tr> <tr> <td>1</td> <td>モード5</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード6</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>モード7</td> </tr> </tbody> </table>	MD2	MD1	MD0	動作モード	0	0	0	-	1	-	1	0	-	1	-	1	0	0	モード4	1	モード5	1	0	モード6			1	モード7
MD2	MD1	MD0	動作モード																													
0	0	0	-																													
		1	-																													
	1	0	-																													
		1	-																													
1	0	0	モード4																													
		1	モード5																													
	1	0	モード6																													
		1	モード7																													
システム 制御	$\overline{\text{RES}}$	入力	リセット入力	この端子が Low レベルになると、リセット状態となります。																												
	$\overline{\text{MRES}}$	入力	マニュアルリセット	この端子に Low レベルを印加すると、マニュアルリセット状態になります。																												
	$\overline{\text{STBY}}$	入力	スタンバイ	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。																												
	$\overline{\text{BREQ}}$	入力	バス権要求	本 LSI に対し、外部バスマスタがバス権を要求します。																												
	$\overline{\text{BREQO}}$	出力	バス権要求出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの、外部バス権要求信号です。																												
	$\overline{\text{BACK}}$	出力	バス権要求アクノリッジ	バス権を外部バスマスタに解放したことを示します。																												
	$\overline{\text{FWE}}$	入力	フラッシュライトイネーブル	フラッシュメモリ用の端子です。																												
割り込み	NMI	入力	ノンマスカブル 割り込み	マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。																												
	$\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$	入力	割り込み要求 7 ~ 0	マスク可能な割り込みを要求します。																												
アドレスバス	A23 ~ A0	出力	アドレスバス	アドレスを出力します。																												
データバス	D15 ~ D0	入出力	データバス	双方向データバスです。																												
バス制御	$\overline{\text{CS7}}$ ~ $\overline{\text{CS0}}$	出力	チップセレクト	エリア 7 ~ 0 の選択信号です。																												
	$\overline{\text{AS}}$	出力	アドレスストロープ	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。																												
	$\overline{\text{RD}}$	出力	リード	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。																												
	HWR	出力	ハイライト/ライトイネーブル/アップパーライトイネーブル	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号です。2CAS 方式の DRAM のライトイネーブル信号です。2WE 方式の DRAM のアップパーライトイネーブル信号です。																												

1. 概要

分類	記号	入出力	端子名	名称および機能
バス制御	$\overline{\text{LWR}}$	出力	ローライト/ロウアーカラムアドレスストロブ/ロウアーライトイネーブル	外部空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロブ信号です。2CAS 方式 (LCASS=1) の DRAM のロウアーカラムアドレスストロブ信号です。2WE 方式の DRAM のロウアーライトイネーブル信号です。
	$\overline{\text{CAS}}$	出力	アッパーカラムアドレスストロブ/カラムアドレスストロブ	2CAS 方式の DRAM のアッパーカラムアドレスストロブ信号です。
	$\overline{\text{LCAS}}$	出力	ロウアーカラムアドレスストロブ	2CAS 方式 DRAM のロウアーカラムアドレスストロブ信号です。
	$\overline{\text{OE}}$	出力	アウトプットイネーブル	DRAM 空間リードアクセス時のアウトプットイネーブル信号
	$\overline{\text{WAIT}}$	入力	ウェイト	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
DMA コントローラ (DMAC)	$\overline{\text{DREQ1}}$ 、 $\overline{\text{DREQ0}}$	入力	DMA リクエスト 1、0	DMAC の起動を要求します。
	$\overline{\text{TEND1}}$ 、 $\overline{\text{TEND0}}$	出力	DMA 転送終了 1、0	DMAC のデータ転送終了を示します。
	$\overline{\text{DACK1}}$ 、 $\overline{\text{DACK0}}$	出力	DMA 転送アクリッジ 1、0	DMAC のシングルアドレス転送アクリッジ端子です。
16 ビットタイム マパル ユニット (TPU)	TCLKD ~ TCLKA	入力	クロック入力 D~A	外部クロックを入力します。
	TIOCA0、 TIOCB0、 TIOCC0、 TIOCD0	入出力	インプットキャプチャ/アウトプットコンペアマッチ A0~D0	TGR0A~TGR0D のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA1、 TIOCB1	入出力	インプットキャプチャ/アウトプットコンペアマッチ A1、B1	TGR1A、TGR1B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA2、 TIOCB2	入出力	インプットキャプチャ/アウトプットコンペアマッチ A2、B2	TGR2A、TGR2B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA3、 TIOCB3、 TIOCC3、 TIOCD3	入出力	インプットキャプチャ/アウトプットコンペアマッチ A3~D3	TGR3A~TGR3D のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA4、 TIOCB4	入出力	インプットキャプチャ/アウトプットコンペアマッチ A4、B4	TGR4A、TGR4B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCA5、 TIOCB5	入出力	インプットキャプチャ/アウトプットコンペアマッチ A5、B5	TGR5A、TGR5B のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。

分類	記号	入出力	端子名	名称および機能
プログラマブルパルスジェネレータ (PPG)	PO15 ~ PO8	出力	パルス出力 15 ~ 8	パルス出力端子です。
8 ビット タイマ	TMO0 ~ TMO3	出力	コンペアマッチ 出力	コンペアマッチ出力端子です。
	TMCI01、 TMCI23	入力	カウンタ外部クロック 入力	カウンタに入力する外部クロックの入力端子です。
	TMRI01、 TMRI23	入力	カウンタ外部リセット 入力	カウンタリセット入力端子です。
14 ビット PWM タイマ (PWMX)	PWM0 ~ PWM3	出力	PWMX タイマ出力	PWM D/A のパルス出力端子です。
ウォッチドッグタイマ (WDT)	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力端子です。
	BUZZ	出力	BUZZ 出力	ウォッチドッグタイマで分周されたパルスを出力する端子です。
シリアルコミュニケーションインタフェース (SCI) / スマートカードインタフェース	TxD4、 TxD3、 TxD2、 TxD1、 TxD0	出力	トランスミットデータ (チャンネル 0 ~ 4)	データ出力端子です。
	RxD4、 RxD3、 RxD2、 RxD1、 RxD0	入力	レシーブデータ (チャンネル 0 ~ 4)	データ入力端子です。
	SCK4、 SCK3、 SCK2、 SCK1、 SCK0	入出力	シリアルクロック (チャンネル 0 ~ 4)	クロック入出力端子です。 SCK0 の出力形式は NMOS プッシュプルです。
IrDA 付き SCI (SCIO)	IrTxD IrRxD	出力 入力	IrDA トランスミットデータ / レシーブデータ	IrDA 用にエンコードされたデータの入出力端子です。
I ² C バスインタフェース (IIC)	SCL0 SCL1	入出力	I ² C クロック入出力 (チャンネル 0、1)	I ² C クロック入出力端子です。 バス駆動機能を持っています。 SCL0 の出力形式は NMOS オープンドレインです。
	【オプション】 SDA0 SDA1	入出力	I ² C データ入出力 (チャンネル 0、1)	I ² C のデータ入出力端子です。 バス駆動機能を持っています。 SDA0 の出力形式は NMOS オープンドレインです。

1. 概要

分類	記号	入出力	端子名	名称および機能
A/D 変換器	AN15 ~ AN0	入力	アナログ入力	アナログ入力端子です。
	ADTRG	入力	A/D 変換外部トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA3 ~ DA0	出力	アナログ出力	D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AVCC	入力	アナログ電源	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
	AVSS	入力	アナロググランド	A/D 変換器および D/A 変換器のグランドおよび基準電圧です。 システムの電源 (0V) に接続してください。
	Vref	入力	アナログリファレンス電源	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
I/O ポート	P17 ~ P10	入出力	ポート 1	8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P37 ~ P30	入出力	ポート 3	8 ビットの入出力端子です。 ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P47 ~ P40	入力	ポート 4	8 ビットの入力端子です。
	P77 ~ P70	入出力	ポート 7	8 ビットの入出力端子です。 ポート 7 データディレクションレジスタ (P7DDR) によって、1 ビットごとに入出力を指定できます。
	P97 ~ P90	入力	ポート 9	8 ビットの入力端子です。
	PA3 ~ PA0	入出力	ポート A	4 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDR) によって、1 ビットごとに入出力を指定できます。
	PB7 ~ PB0	入出力	ポート B	8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。
	PC7 ~ PC0	入出力	ポート C	8 ビットの入出力端子です。 ポート C データディレクションレジスタ (PCDDR) によって、1 ビットごとに入出力を指定できます。
	PD7 ~ PD0	入出力	ポート D	8 ビットの入出力端子です。 ポート D データディレクションレジスタ (PDDDR) によって、1 ビットごとに入出力を指定できます。
	PE7 ~ PE0	入出力	ポート E	8 ビットの入出力端子です。 ポート E データディレクションレジスタ (PEDDR) によって、1 ビットごとに入出力を指定できます。

分類	記号	入出力	端子名	名称および機能
I/O ポート	PF7 ~ PF0	入出力	ポート F	8 ビットの入出力端子です。 ポート F データディレクションレジスタ (PFDDR) によって、1 ビットごとに入出力を指定できます。
	PG4 ~ PG0	入出力	ポート G	5 ビットの入出力端子です。 ポート G データディレクションレジスタ (PGDDR) によって、1 ビットごとに入出力を指定できます。

表 1.3 (c) 端子機能 (H8S/2695)

分類	記号	入出力	端子名	名称および機能																										
電源	VCL	出力	内部電源安定用端子	電源に接続不要です。0.1 μF のコンデンサを介して VSS に接続してください。(接続近くに配置)																										
	PVcc	入力	ポート用電源	ポート用の電源端子です。すべて同じ電源に接続してください。																										
	VSS	入力	グランド	電源 (0V) に接続します。Vss 端子は、全端子をシステムの電源 (0V) に接続してください。																										
クロック	PLL VSS	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。																										
	PLL CAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。																										
	XTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」を参照してください。																										
	EXTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23B 章 クロック発振器 (H8S/2633R、H8S/2695)」を参照してください。																										
		出力	システムクロック	外部デバイスにシステムクロックを供給します。																										
動作モード コントロール	MD2 ~ MD0	入力	モード端子	動作モードを設定します。MD2 ~ MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>MD2</th> <th>MD1</th> <th>MD0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>モード4</td> </tr> <tr> <td>1</td> <td>モード5</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード6</td> </tr> <tr> <td>1</td> <td>モード7</td> </tr> </tbody> </table>	MD2	MD1	MD0	動作モード	0	0	0	-	1	-	1	0	-	1	-	1	0	0	モード4	1	モード5	1	0	モード6	1	モード7
MD2	MD1	MD0	動作モード																											
0	0	0	-																											
		1	-																											
	1	0	-																											
		1	-																											
1	0	0	モード4																											
		1	モード5																											
	1	0	モード6																											
		1	モード7																											
システム 制御	RES	入力	リセット入力	この端子が Low レベルになると、リセット状態となります。																										
	MRES	入力	マニュアルリセット	この端子に Low レベルを印加すると、マニュアルリセット状態になります。																										

1. 概要

分類	記号	入出力	端子名	名称および機能
システム制御	$\overline{\text{STBY}}$	入力	スタンバイ	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	$\overline{\text{BREQ}}$	入力	バス権要求	本 LSI に対し、外部バスマスタがバス権を要求します。
	$\overline{\text{BREQO}}$	出力	バス権要求出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの、外部バス権要求信号です。
	BACK	出力	バス権要求アクノリッジ	バス権を外部バスマスタに解放したことを示します。
割り込み	NMI	入力	ノンマスクابل割り込み	マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$	入力	割り込み要求 7~0	マスク可能な割り込みを要求します。
アドレスバス	A23 ~ A0	出力	アドレスバス	アドレスを出力します。
データバス	D15 ~ D0	入出力	データバス	双方向データバスです。
バス制御	$\overline{\text{CS7}}$ ~ $\overline{\text{CS0}}$	出力	チップセレクト	エリア 7~0 の選択信号です。
	AS	出力	アドレスストロブ	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	RD	出力	リード	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{HWR}}$	出力	ハイライト	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロブ信号です。
	$\overline{\text{LWR}}$	出力	ローライト	外部空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロブ信号です。
	WAIT	入力	ウェイト	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16 ビットタイムパルスユニット (TPU)	TCLKD ~ TCLKA	入力	クロック入力 D ~ A	外部クロックを入力します。
	TIOCA0、TIOCB0、TIOCC0、TIOCD0	入出力	インプットキャプチャ / アウトプットコンペアマッチ A0 ~ D0	TGR0A ~ TGR0D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA1、TIOCB1	入出力	インプットキャプチャ / アウトプットコンペアマッチ A1、B1	TGR1A、TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA2、TIOCB2	入出力	インプットキャプチャ / アウトプットコンペアマッチ A2、B2	TGR2A、TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。

分類	記号	入出力	端子名	名称および機能
16 ビットタイムパルスユニット (TPU)	TIOCA3、 TIOCB3、 TIOCC3、 TIOCD3	入出力	インプットキャプチャ / アウトプットコンペアマッチ A3 ~ D3	TGR3A ~ TGR3D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA4、 TIOCB4	入出力	インプットキャプチャ / アウトプットコンペアマッチ A4、B4	TGR4A、TGR4B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA5、 TIOCB5	入出力	インプットキャプチャ / アウトプットコンペアマッチ A5、B5	TGR5A、TGR5B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
ウォッチドッグタイマ (WDT)	WDTOVF	出力	ウォッチドッグタイマオーバーフロー	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力端子です。
シリアルコミュニケーションインタフェース (SCI) / スマートカードインタフェース	TxD4、 TxD3、 TxD2、 TxD1、 TxD0	出力	トランスミットデータ	データ出力端子です。
	RxD4、 RxD3、 RxD2、 RxD1、 RxD0	入力	レシーブデータ	データ入力端子です。
	SCK4、 SCK3、 SCK2、 SCK1、 SCK0	入出力	シリアルクロック	クロック入出力端子です。 SCK0 の出力形式は NMOS プッシュプルです。
A/D 変換器	AN15 ~ AN0	入力	アナログ入力	アナログ入力端子です。
	ADTRG	入力	A/D 変換外部トリガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVCC	入力	アナログ電源	A/D 変換器の電源端子です。 A/D 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
	AVSS	入力	アナロググランド	A/D 変換器のグランドおよび基準電圧です。 システムの電源 (0V) に接続してください。
	Vref	入力	アナログリファレンス電源	A/D 変換器の基準電圧入力端子です。 A/D 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。

1. 概要

分類	記号	入出力	端子名	名称および機能
I/O ポート	P17 ~ P10	入出力	ポート 1	8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P37 ~ P30	入出力	ポート 3	8 ビットの入出力端子です。 ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P47 ~ P40	入力	ポート 4	8 ビットの入力端子です。
	P77 ~ P70	入出力	ポート 7	8 ビットの入出力端子です。 ポート 7 データディレクションレジスタ (P7DDR) によって、1 ビットごとに入出力を指定できます。
	P97 ~ P90	入力	ポート 9	8 ビットの入力端子です。
	PA3 ~ PA0	入出力	ポート A	4 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDR) によって、1 ビットごとに入出力を指定できます。
	PB7 ~ PB0	入出力	ポート B	8 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。
	PC7 ~ PC0	入出力	ポート C	8 ビットの入出力端子です。 ポート C データディレクションレジスタ (PCDDR) によって、1 ビットごとに入出力を指定できます。
	PD7 ~ PD0	入出力	ポート D	8 ビットの入出力端子です。 ポート D データディレクションレジスタ (PDDDR) によって、1 ビットごとに入出力を指定できます。
	PE7 ~ PE0	入出力	ポート E	8 ビットの入出力端子です。 ポート E データディレクションレジスタ (PEDDR) によって、1 ビットごとに入出力を指定できます。
	PF7 ~ PF0	入出力	ポート F	8 ビットの入出力端子です。 ポート F データディレクションレジスタ (PFDDR) によって、1 ビットごとに入出力を指定できます。
PG4 ~ PG0	入出力	ポート G	5 ビットの入出力端子です。 ポート G データディレクションレジスタ (PGDDR) によって、1 ビットごとに入出力を指定できます。	

2. CPU

2.1 概要

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

H8/300 CPU および H8/300H CPU の上位互換

- H8/300およびH8/300H CPUオブジェクトプログラムを実行可能

汎用レジスタ方式

- 16ビット×16本（8ビット×16本、32ビット×8本としても使用可能）

69 種類の基本命令

- 8 / 16 / 32ビット演算命令
- 乗除算命令
- 強力なビット操作命令
- 積和演算命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
- ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
- 絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
- イミディエイト (#xx:8 / #xx:16 / #xx:32)
- プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
- メモリ間接 (@@aa:8)

16M バイトのアドレス空間

- プログラム : 16Mバイト

- データ：16Mバイト（アーキテクチャ上は4Gバイト）

高速動作

- 頻出命令をすべて1～2ステートで実行
- 最高動作周波数 : 25MHz (H8S/2633、H8S/2632、
H8S/2631、H8S/2633F)、
28MHz (H8S/2633R、H8S/2695)
- 8 / 16 / 32ビットレジスタ間加減算 : 40ns (25MHz)、35ns (28MHz)
- 8×8ビットレジスタ間乗算 : 120ns (25MHz)、105ns (28MHz)
- 16÷8ビットレジスタ間除算 : 480ns (25MHz)、420ns (28MHz)
- 16×16ビットレジスタ間乗算 : 160ns (25MHz)、140ns (28MHz)
- 32÷16ビットレジスタ間除算 : 800ns (25MHz)、700ns (28MHz)

2種類のCPU動作モード

- ノーマルモード* / アドバンスモード

【注】 * 本LSIでは使用できません。

低消費電力状態

- SLEEP命令により低消費電力状態に遷移
- CPU動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下のとおりです。

レジスタ構成

- MACレジスタは、H8S/2600 CPUのみサポートしています。

基本命令

- MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

実行ステート数

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

汎用レジスタ、コントロールレジスタを拡張

- 16ビット×8本の拡張レジスタ、および8ビット×1本、32ビット×2本のコントロールレジスタを追加

アドレス空間を拡張

- ノーマルモード*のとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能
- アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能

【注】 * 本 LSI では使用できません。

アドレッシングモードを強化

- 16Mバイトのアドレス空間を有効に使用可能

命令強化

- ビット操作命令のアドレッシングモードを強化
- 符号付き乗除算命令などを追加
- 積和演算命令を追加
- 2ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加
- テストアンドセット命令を追加

高速化

- 基本的な命令を2倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

コントロールレジスタを拡張

- 8ビット×1本、32ビット×2本のコントロールレジスタを追加

命令強化

- ビット操作命令のアドレッシングモードを強化
- 積和演算命令を追加
- 2ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加

- テストアンドセット命令を追加

高速化

- 基本的な命令を2倍に高速化

2.2 CPU 動作モード

本 CPU は、ノーマルモード*およびアドバンスモードの2つの CPU 動作モードを持っています。サポートするアドレス空間は、ノーマルモード*の場合最大 64K バイト、アドバンスモードの場合 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計で最大 4G バイト）となります。

各モードは LSI のモード端子によって選択されます。

【注】 * 本 LSI では使用できません。

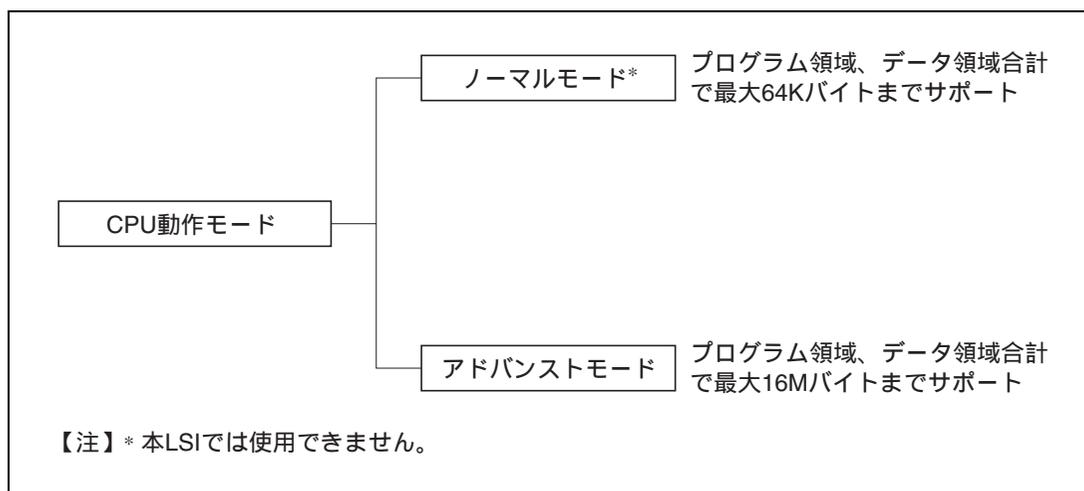


図 2.1 CPU 動作モード

(1) ノーマルモード（本 LSI では使用できません）

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一になります。

(a) アドレス空間

最大 64K バイトをアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

(d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

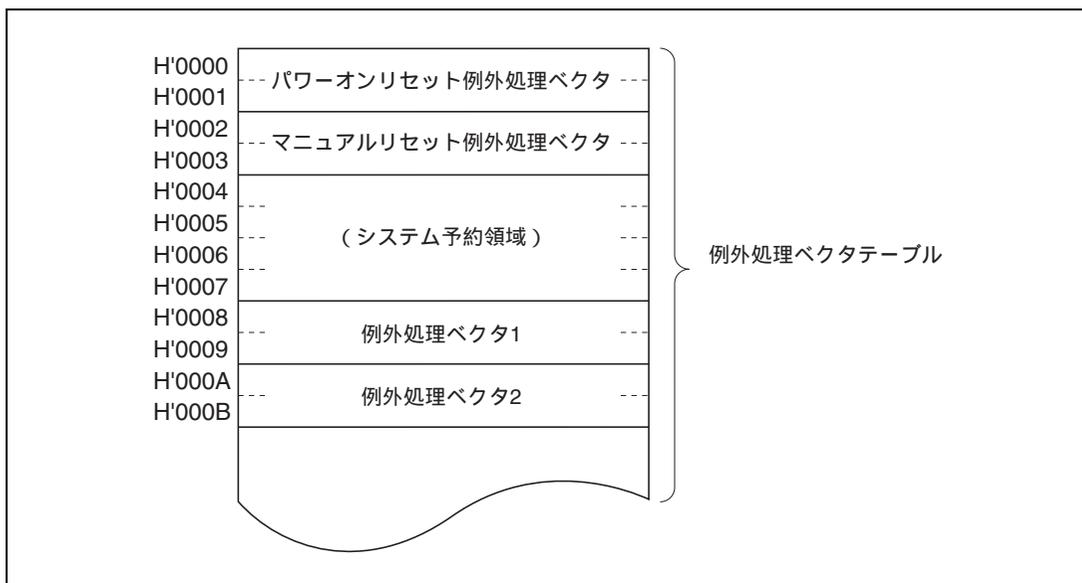


図 2.2 例外処理ベクタテーブル (ノーマルモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット (ワード) となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.3 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

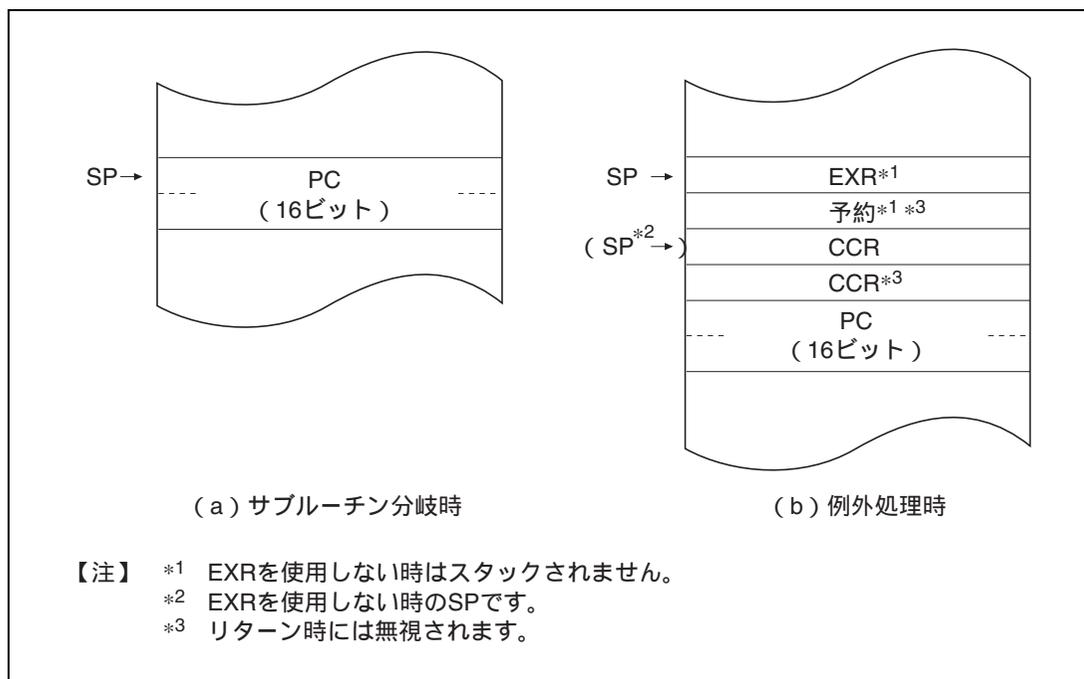


図 2.3 ノーマルモードのスタック構造

(2) アドバンスモード

(a) アドレス空間

最大 16M バイト (アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト) をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します (図 2.4 参照)。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

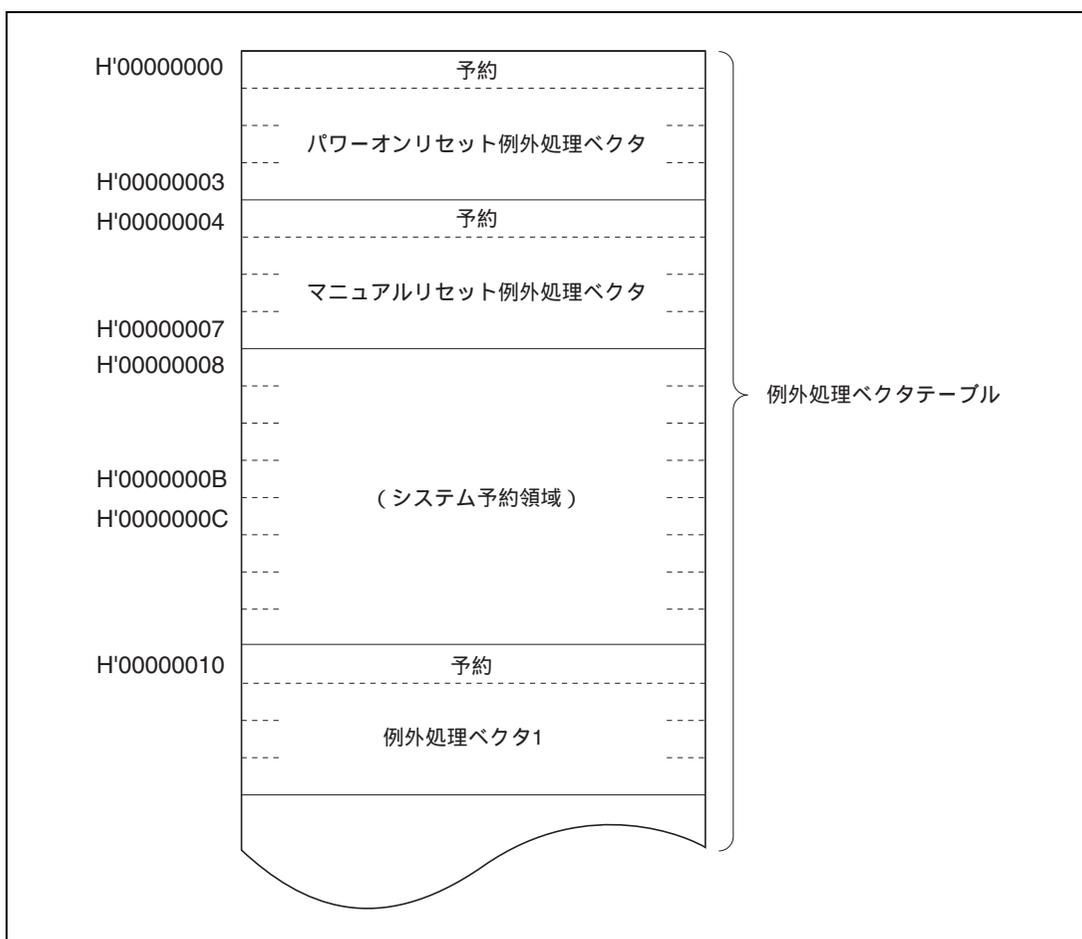


図 2.4 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンストモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.5 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

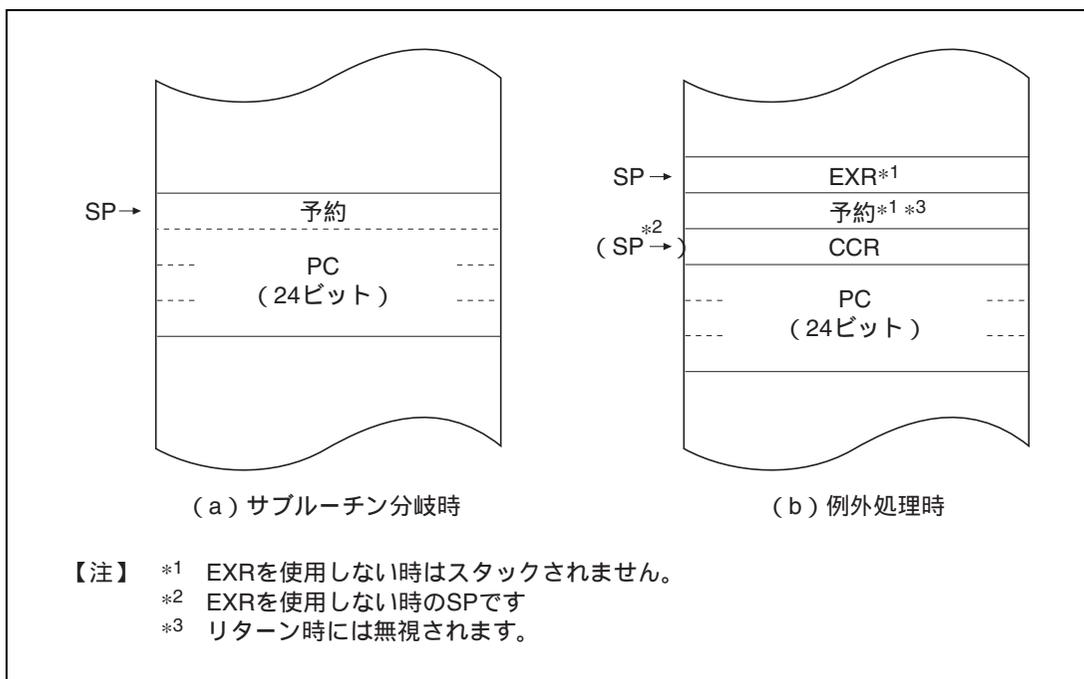


図 2.5 アドバンストモードのスタック構造

2.3 アドレス空間

本 CPU のメモリマップを図 2.6 に示します。本 CPU は、ノーマルモードのとき最大 64K バイト、またアドバンストモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。

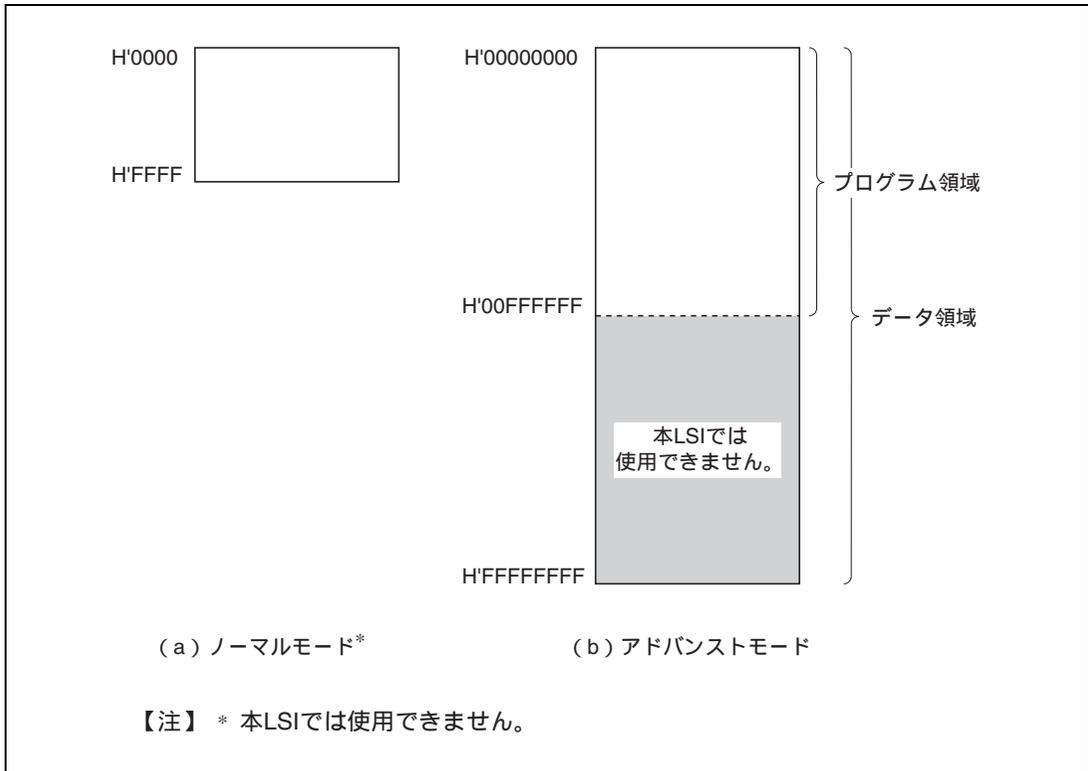


図 2.6 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本 CPU の内部レジスタ構成を図 2.7 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

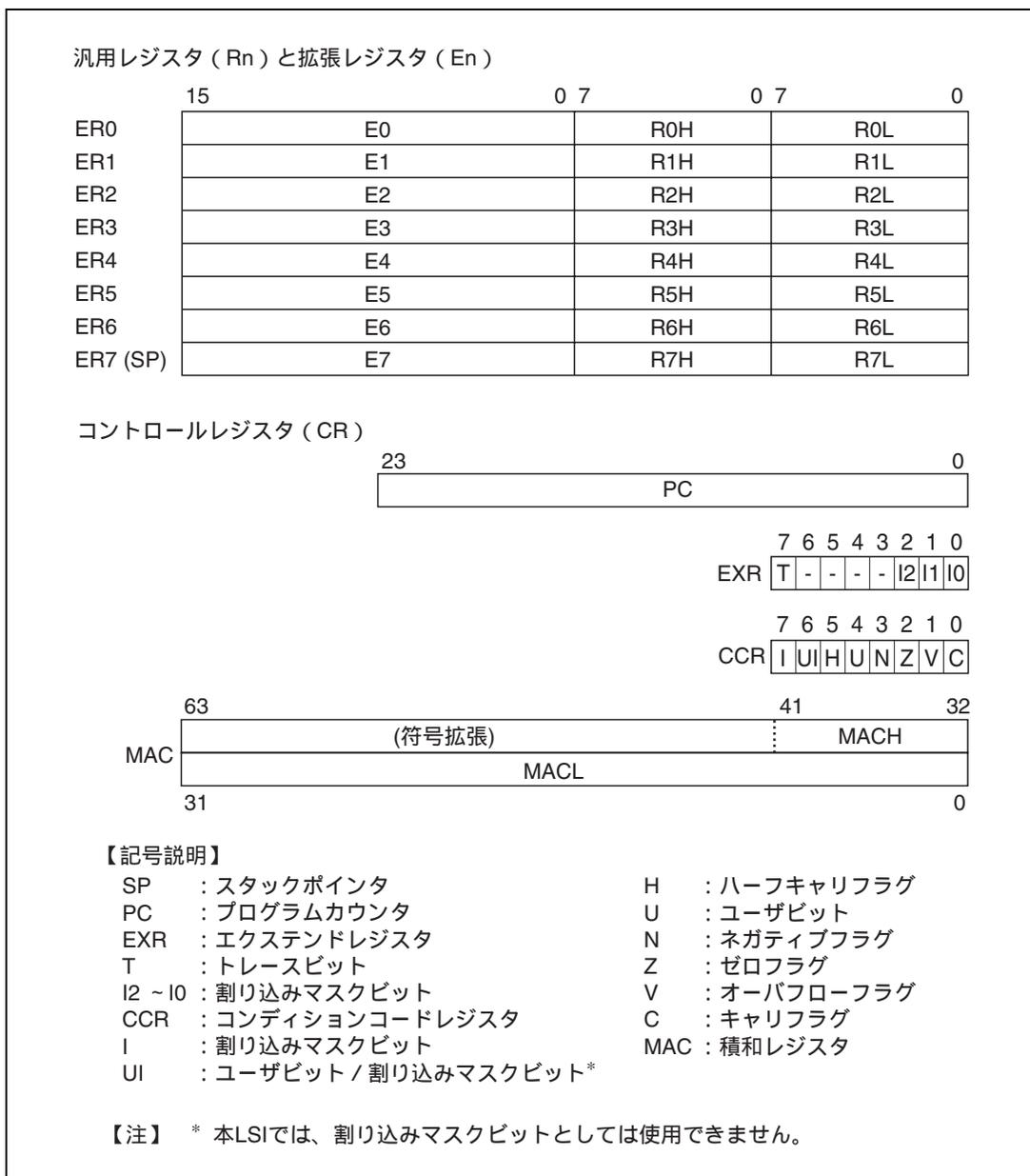


図 2.7 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

本 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタもしくはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、および 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタの場合、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタの場合、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

汎用レジスタの使用方法を図 2.8 に示します。各レジスタ独立に使用方法を選択することができます。

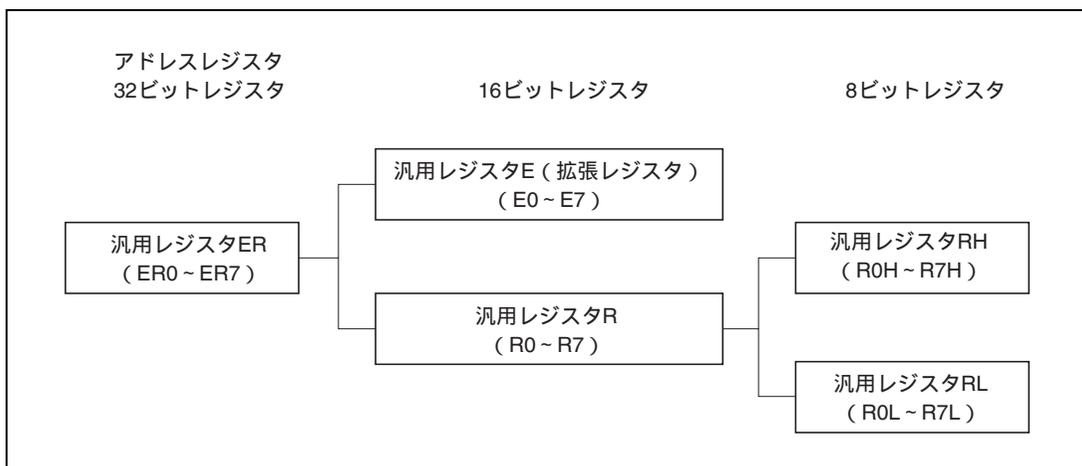


図 2.8 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.9 に示します。

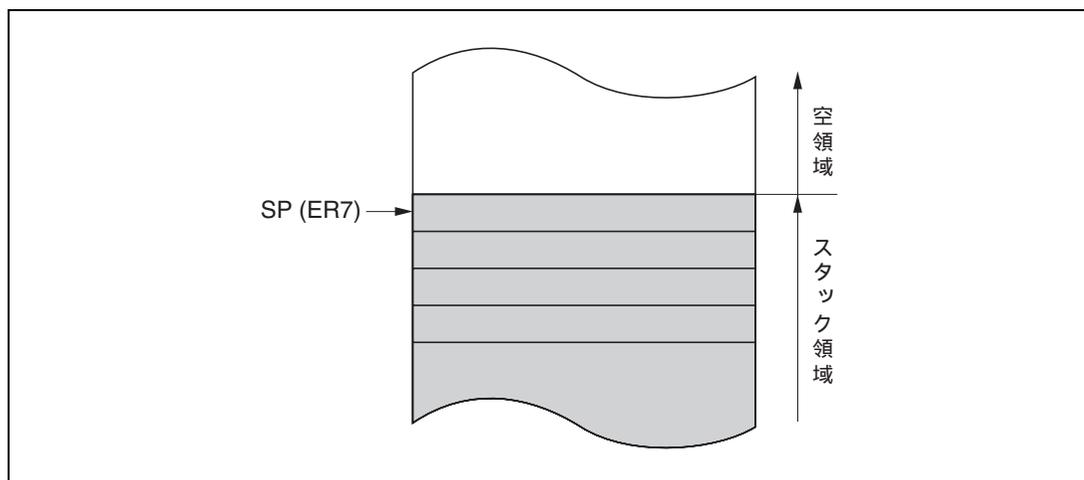


図 2.9 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ(PC)、8 ビットのエクステンドレジスタ(EXR)、8 ビットのコンディションコードレジスタ(CCR)、および 64 ビット積和レジスタ(MAC)があります。

(1) プログラムカウンタ(PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト(ワード)を単位としているため、最下位ビットは無効です(命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) エクステンドレジスタ(EXR)

8 ビットのレジスタです。トレースビット(T)、割り込みマスクビット(I)を含む 8 ビットで構成されています。

- ビット7: トレースビット(T)

トレースモードかどうかを指定します。本ビットが0にクリアされているときは命令を順次実行します。1にセットされているときは1命令実行することにトレース例外処理を開始します。

- ビット6~3: リザーブビット

リードすると常に1が読み出されます。

- ビット2~0: 割り込みマスクビット(I2~I0)

割り込み要求マスクレベル(0~7)を指定します。詳細は「第5章 割り込みコントローラ」を参照してください。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間は、NMI を含めてすべての割り込みは受け付けられません。

(3) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。

- ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIは1ビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。

- ビット6：ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。本LSIでは、割り込みマスクビットとしては使用できません。

- ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

- ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC命令) でリード/ライトできます。

- ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

- ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

- ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

- ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

(a) 加算結果のキャリ

(b) 減算結果のボロー

(c) シフト / ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

(4) 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効であり、上位は符合拡張されています。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット (n=0,1,2,...,7) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.10 に示します。

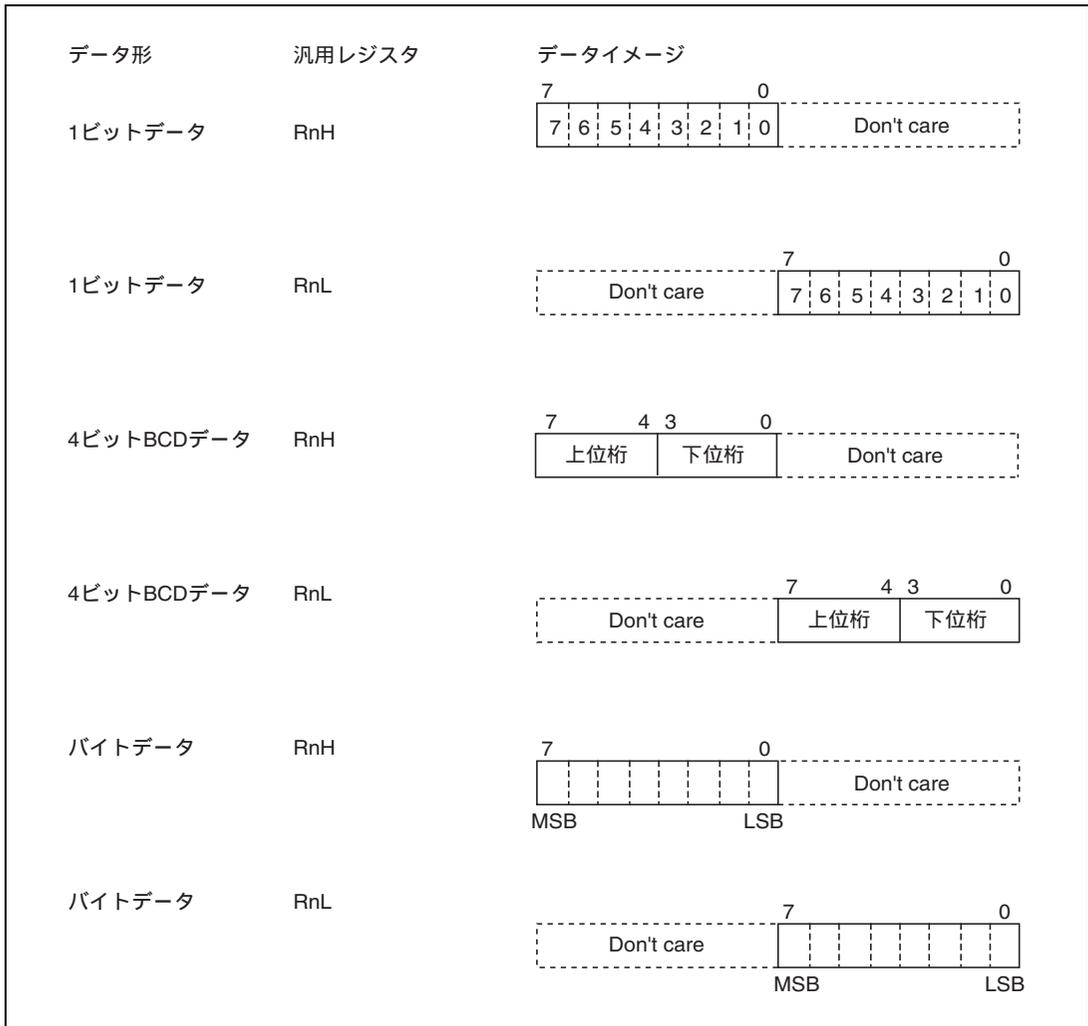


図 2.10 汎用レジスタのデータ構成 (1)

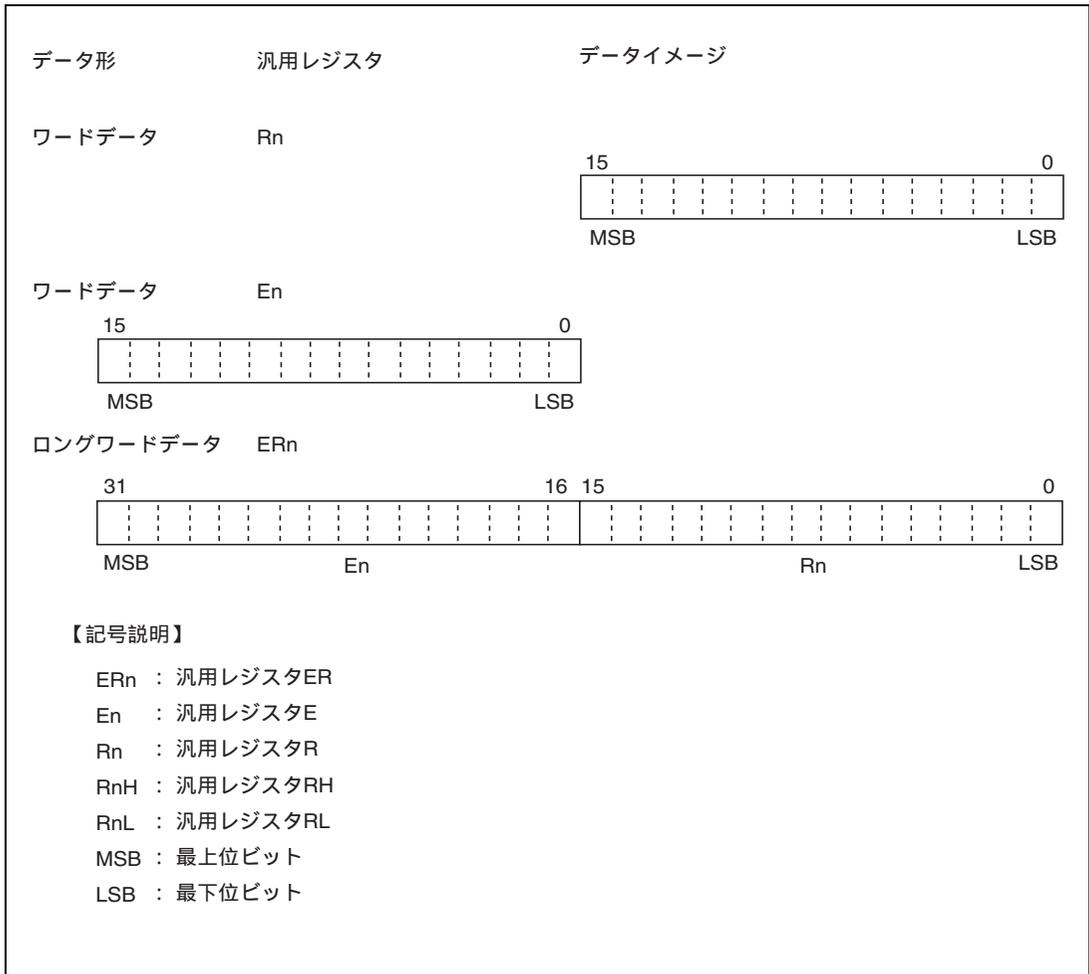


図 2.10 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.11 に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

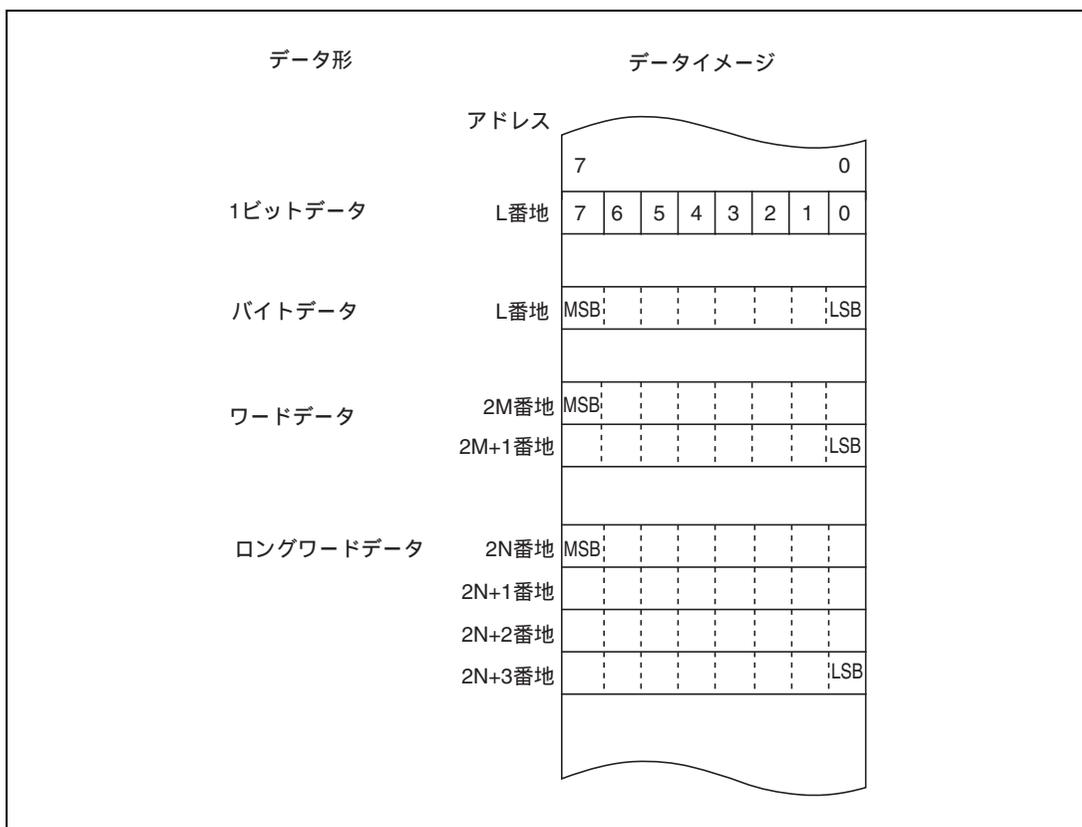


図 2.11 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 69 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP* ¹ , PUSH* ¹	WL	
	LDM* ⁵ , STM* ⁵	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	BWL	23
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	BWL	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	BW	
	EXTU, EXTS	WL	
	TAS* ⁴	B	
	MAC, LDMAC, STMAC, CLRMAC	-	
論理演算命令	AND, OR, XOR, NOT	BWL	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	BWL	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 69 種類

【記号説明】

- B : バイトサイズ
- W : ワードサイズ
- L : ロングワードサイズ

- 【注】 *1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:32, ERn)	@-ERn/@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(d:8, PC)	@(d:16, PC)	@aa:8	
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM*3, STM*3	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFPPE*1, MOVTPE*1	—	—	—	—	—	—	—	B	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
	TAS*2	—	—	B	—	—	—	—	—	—	—	—	—	—	—
	MAC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	CLRMAC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDMAC, STMAC	—	L	—	—	—	—	—	—	—	—	—	—	—	—
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	
ビット操作命令	—	B	B	—	—	—	—	B	B	—	B	—	—	—	
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	
ブロック転送命令	—	—	—	—	—	—	—	—	—	—	—	—	—	BW	

【記号説明】

- B : バイト
- W : ワード
- L : ロングワード

【注】

- *1 本 LSI では使用できません。
- *2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *3 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*1	機能
MOV	B / W / L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+ Rn スタックから汎用レジスタヘデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM*2	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタヘデータを復帰します。
STM*2	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

表 2.4 算術演算命令

命令	サイズ*1	機能
ADD SUB	B/W/L	Rd±Rs Rd、Rd±#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	Rd±Rs±C Rd、Rd±#IMM±C Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1 Rd、Rd±2 Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	Rd±1 Rd、Rd±2 Rd、Rd±4 Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット 商 8 ビット余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

命令	サイズ*1	機能
DIVXS	B / W	Rd ÷ Rs Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット 商 8 ビット余り 8 ビット、 32 ビット ÷ 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
CMP	B / W / L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	0 - Rd Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W / L	Rd(ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	Rd(符号拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1 (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。
MAC	-	(EAs) × (EAd) + MAC MAC メモリとメモリ間の符号付き乗算を行い、結果を積和レジスタに加算します。 16 ビット × 16 ビット + 32 ビット 32 ビットの飽和演算、 16 ビット × 16 ビット + 42 ビット 42 ビットの非飽和演算が可能です。
CLRMAC	-	0 MAC 積和レジスタをゼロクリアします。
LDMAC STMAC	L	Rs MAC、MAC Rd 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C ($<\text{ビット番号}> \text{of} <\text{EAd}>$) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C$ ($<\text{ビット番号}> \text{of} <\text{EAd}>$) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>二ーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V) = 1</td> </tr> </tbody> </table>	二ーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOW)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N⊕V = 0	BLT	Less Than	N⊕V = 1	BGT	Greater Than	Z (N⊕V) = 0	BLE	Less or Equal	Z (N⊕V) = 1
二ーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (LOW)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	N⊕V = 0																																																			
BLT	Less Than	N⊕V = 1																																																			
BGT	Greater Than	Z (N⊕V) = 0																																																			
BLE	Less or Equal	Z (N⊕V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機 能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊖#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L 0 then Repeat @ER5+ @ER6+ R4L - 1 R4L Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 0 then Repeat @ER5+ @ER6+ R4 - 1 R4 Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.12 に命令フォーマットの例を示します。

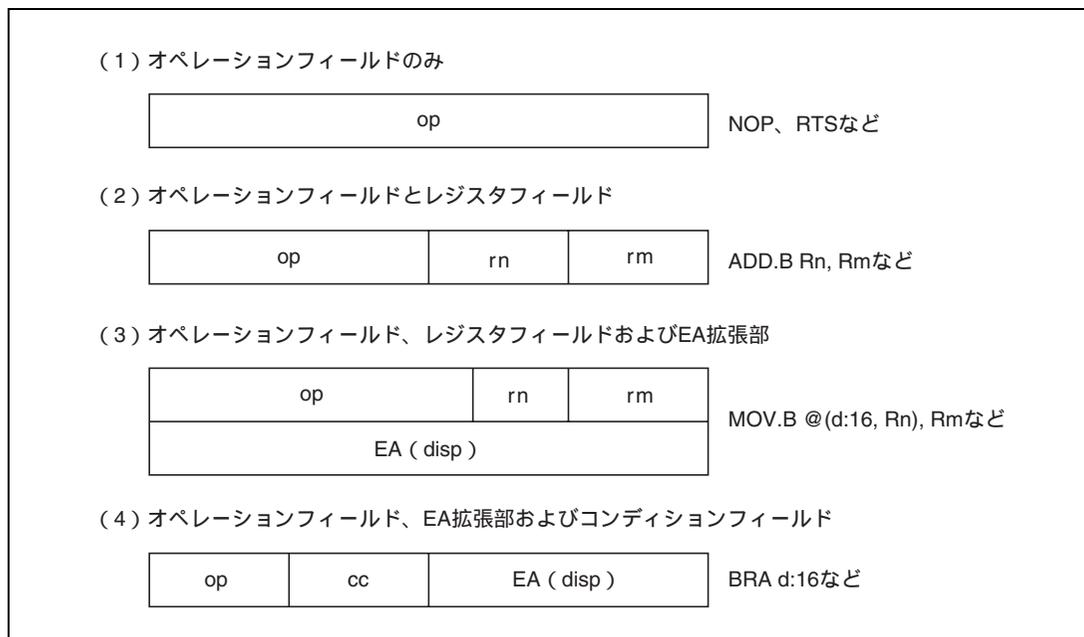


図 2.12 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズするとき、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンストモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF, H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ピ

ット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレイメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト (- 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモード* のとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモード* の場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

【注】 * 本 LSI では使用できません。

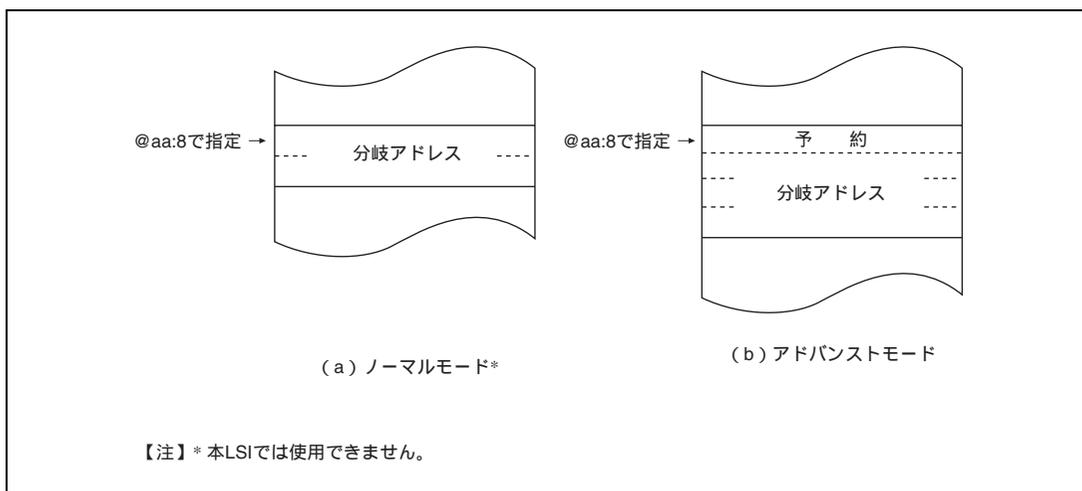


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

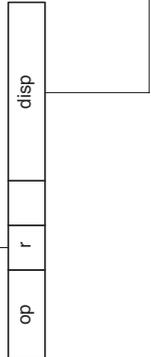
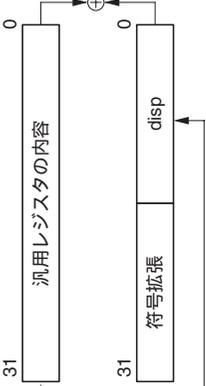
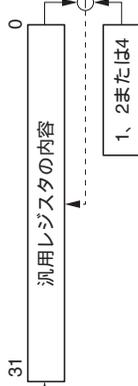
2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモード*の場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】 * 本 LSI では使用できません。

表2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)								
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。 								
2	レジスタ間接 (@ERn) 										
3	ディスプレイレームメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 										
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @-ERn+  ・プリデクリメントレジスタ間接 @-ERn 	  <table border="1" data-bbox="1097 801 1200 1110"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	 
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

2. CPU

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op abs		31 24 23 8 7 0 Don't care H'FFFF ↑
	@aa:16 op abs		31 24 23 16 15 0 Don't care 符号拡張 ↑
	@aa:24 op abs		31 24 23 Don't care ↑
	@aa:32 op abs		31 24 23 0 Don't care ↑
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	<p>プログラムカウンタ相対 @(d16,PC) / @(d16,PC)</p>		
8	<p>メモリ間接 @@aa:8 ・ノーマルモード*</p> <p>・アドバンストモード</p>		

【注】* 本LSIでは使用できません。

2.8 処理状態

2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.14 に、処理状態間の遷移を図 2.15 に示します。

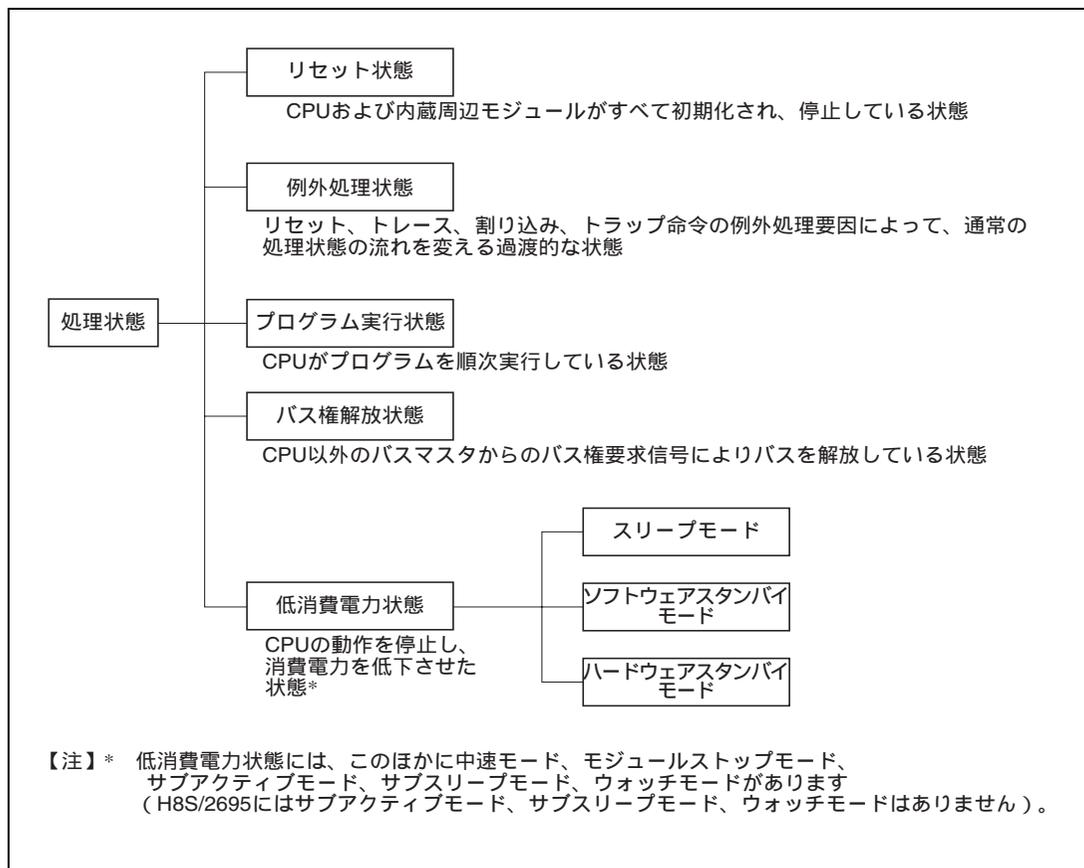


図 2.14 処理状態の分類

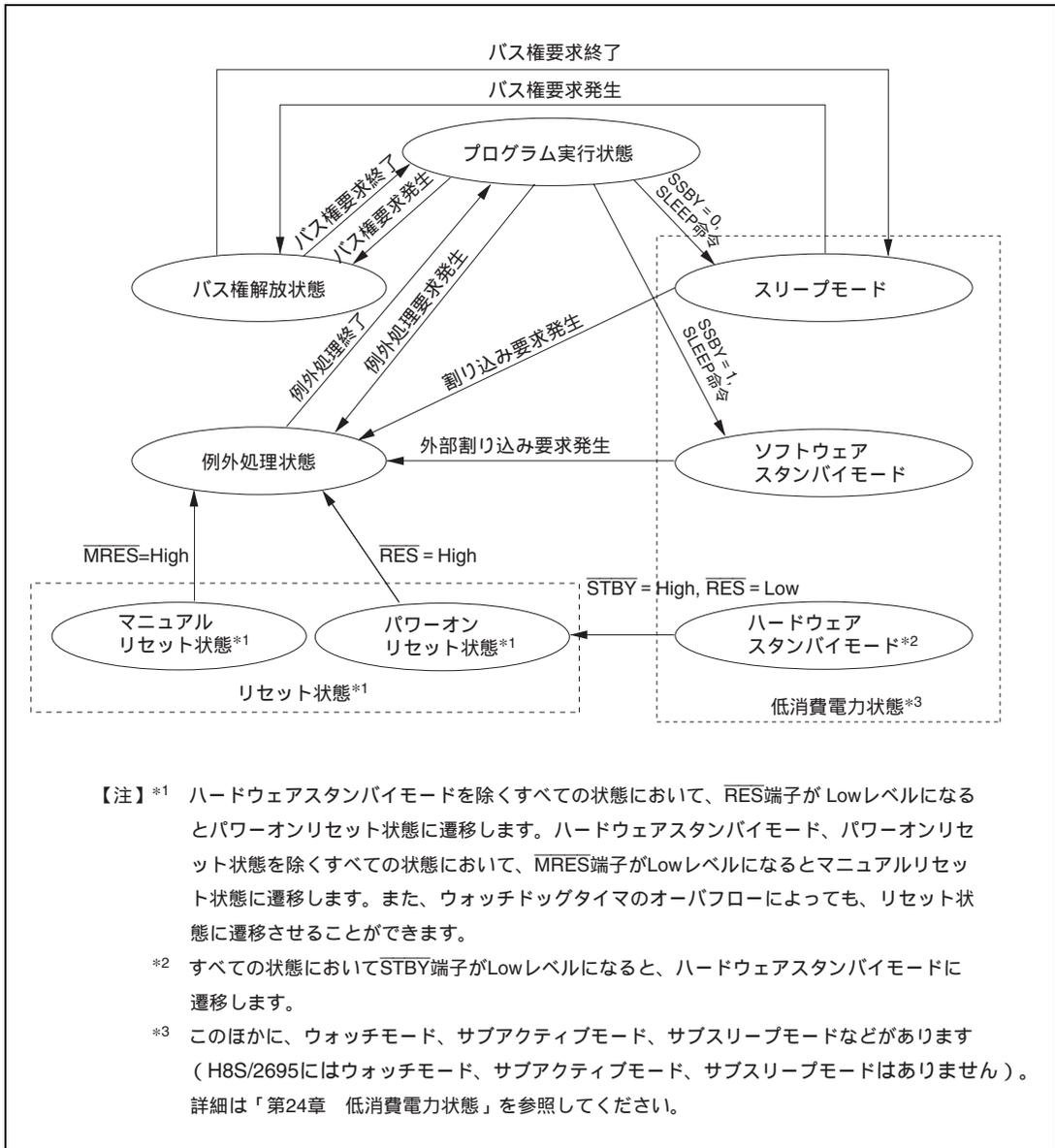


図 2.15 状態遷移図

2.8.2 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、CPU はリセット状態になります。また、MRESE ビットによりマニュアルリセットが許可された状態で $\overline{\text{MRES}}$ 端子が Low レベルになると CPU はリセット状態になります。リセット状態では、実行中の処理はすべて中止され、すべての割り込みが禁止されます。MRESE ビットの設定については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

$\overline{\text{RES}}$ 端子 ($\overline{\text{MRES}}$ 端子) *を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 15 章 ウォッチドッグタイマ (WDT)」を参照してください。

【注】 * マニュアルリセットの場合は $\overline{\text{MRES}}$ 端子になります。

2.8.3 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス (ベクタ) を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、トレース、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出 タイミング	例外処理開始タイミング
高 ↑ ↓ 低	リセット	クロック同期	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより例外処理を開始します。
	トレース	命令実行終了時または例外処理終了時* ¹	T ビット = 1 の状態で命令または例外処理の実行終了時開始します。
	割り込み	命令実行終了時または例外処理終了時* ²	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
低	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。* ³

【注】 *¹ トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*² ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*³ トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

\overline{RES} 端子を Low レベルにしてリセット状態とした後、 \overline{RES} 端子を High レベルにすると、リセット例外処理を開始します。また、MRESE ビットによりマニュアルリセットが許可された状態で \overline{MRES} 端子を Low レベルにしてリセット状態とした後、 \overline{MRES} 端子を High レベルにすると、リセット例外処理を開始します。 \overline{RES} 端子が Low レベルのときパワーオンリセット状態、 \overline{MRES} 端子が Low レベルのときはマニュアルリセット状態になります。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(3) トレース

トレースは、割り込み制御モード 2 で有効です。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、I 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクは影響を受けません。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。

割り込み制御モード 0 では、T ビットの状態によらず、トレースモードにはなりません。

(4) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

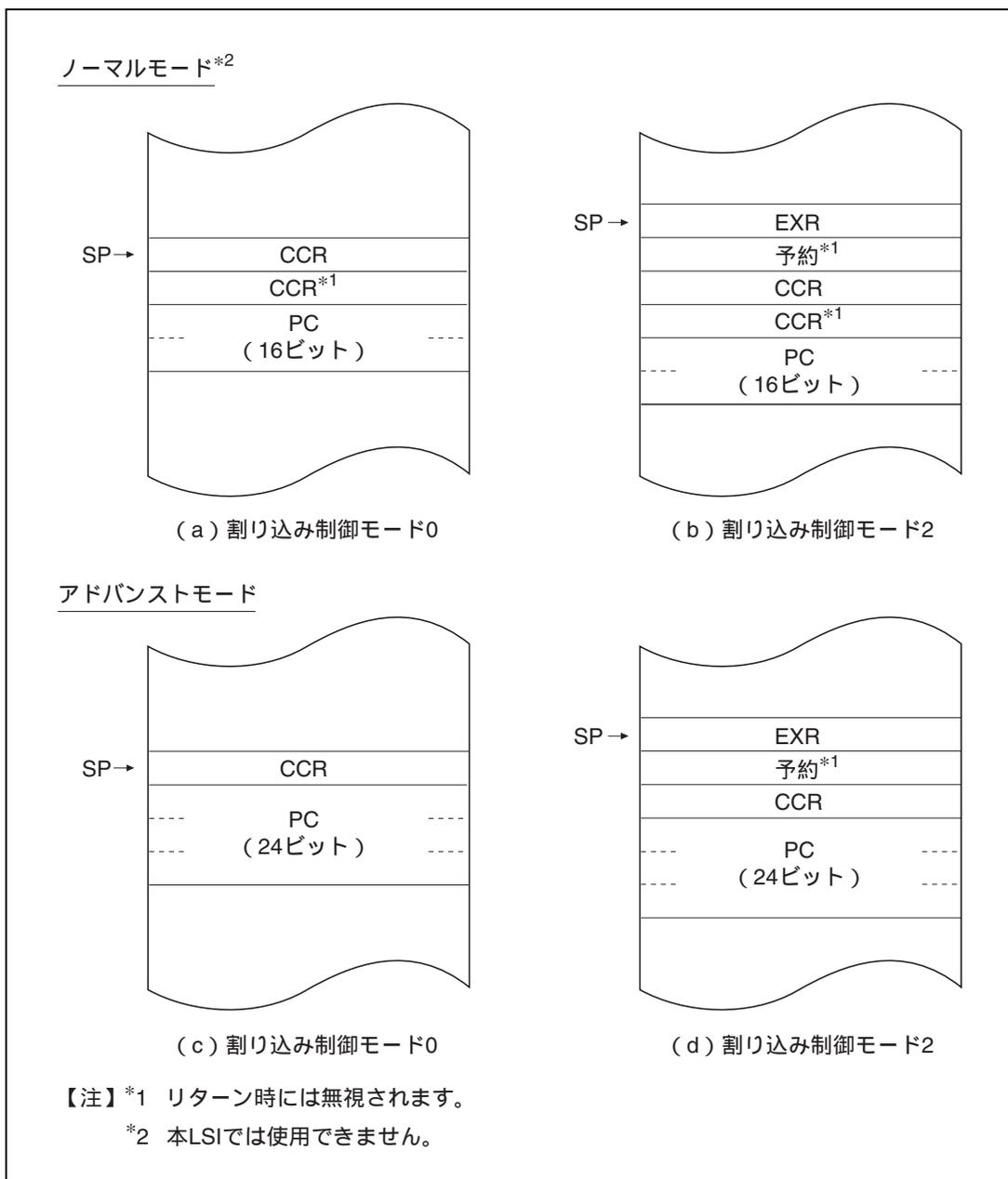


図 2.16 例外処理終了後のスタックの状態 (例)

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPU は動作を停止します。

なお、CPU 以外のバスマスタには DMA コントローラ (DMAC)*、およびデータトランスファコントローラ (DTC)*があります。

詳細は、「第 7 章 バスコントローラ」を参照してください。

【注】 * H8S/2695 には本機能はありません。

2.8.6 低消費電力状態

低消費電力状態には、CPU の動作を停止した状態と、CPU の動作を停止しない状態があります。CPU の動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモード、サブスリープモード*¹、ウォッチモード*¹があります。

また、その他の低消費電力状態には、中速モード、モジュールストップモード、サブアクティブモード*¹があります。中速モードでは CPU およびその他のバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU 以外のモジュールの動作を停止します。サブアクティブモード*¹、サブスリープモード*¹、ウォッチモード*¹はサブクロック入力を利用した低消費電力状態です。詳細は「第 24 章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 0 の状態で、SLEEP 命令を実行することによって遷移します。スリープモードでは、CPU の動作は SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、TCSR (WDT1)*² の PSS ビット = 0 の状態で、SLEEP 命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。規定の電圧が与えられている限り、CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

【注】 *1 H8S/2695 には本機能はありません。

*2 H8S/2695 には WDT1 はありません。

2.9 基本動作タイミング

2.9.1 概要

本 CPU は、システムクロック () を基準に動作しています。 の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 2.17 に、端子状態を図 2.18 に示します。

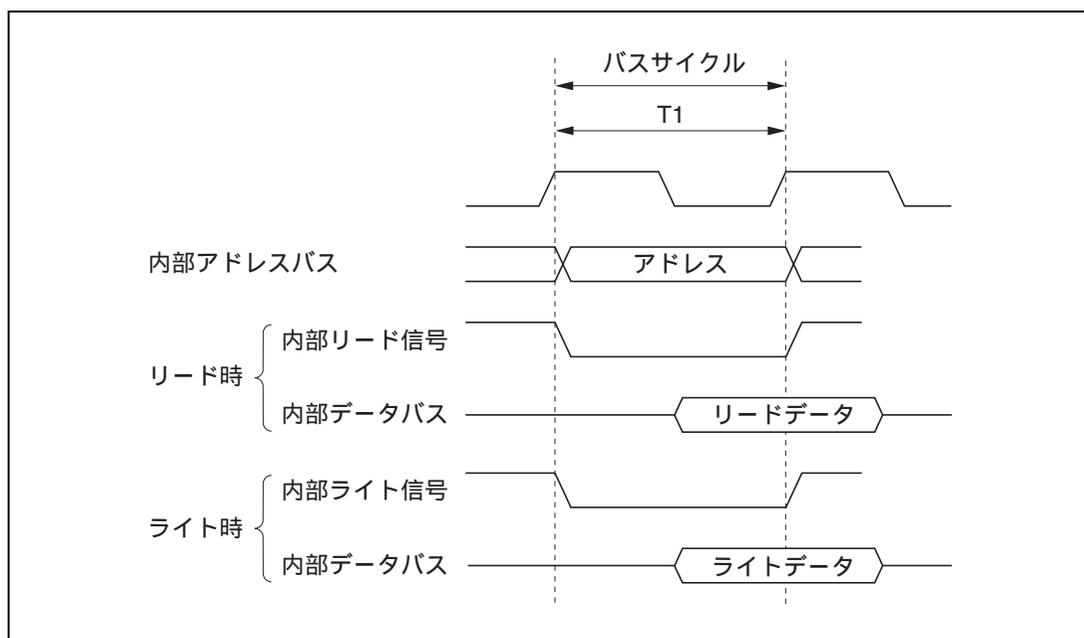


図 2.17 内蔵メモリアクセスサイクル

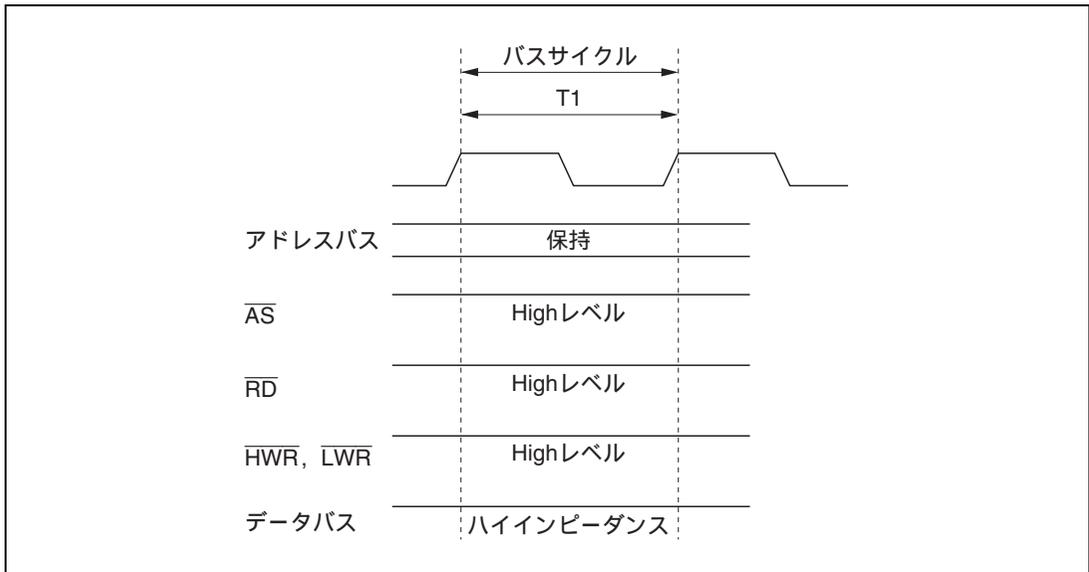


図 2.18 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.19、端子状態を図2.20に示します。

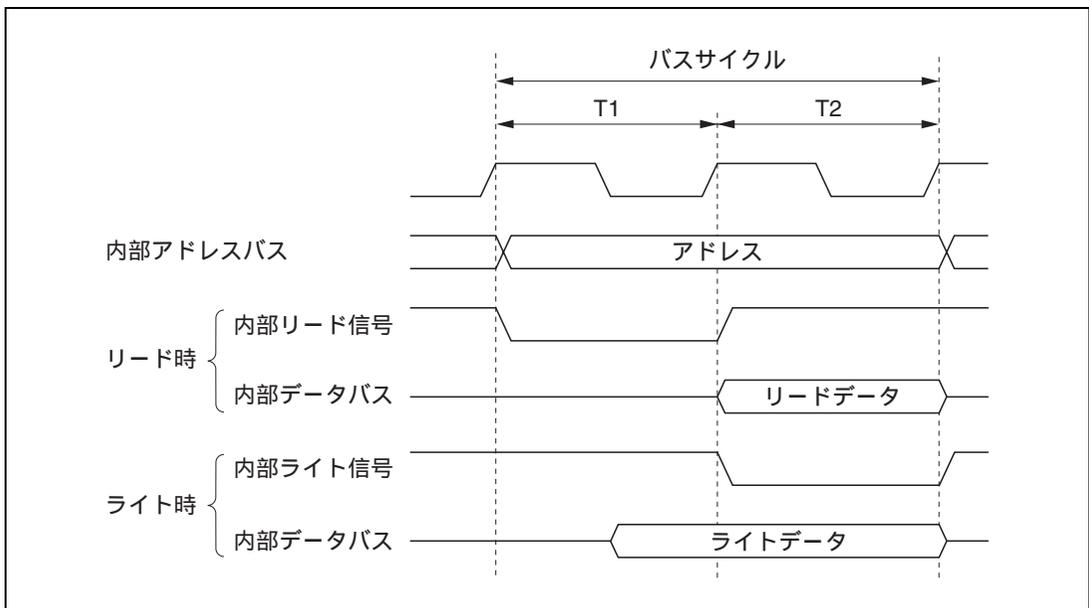


図 2.19 内蔵周辺モジュールアクセスサイクル

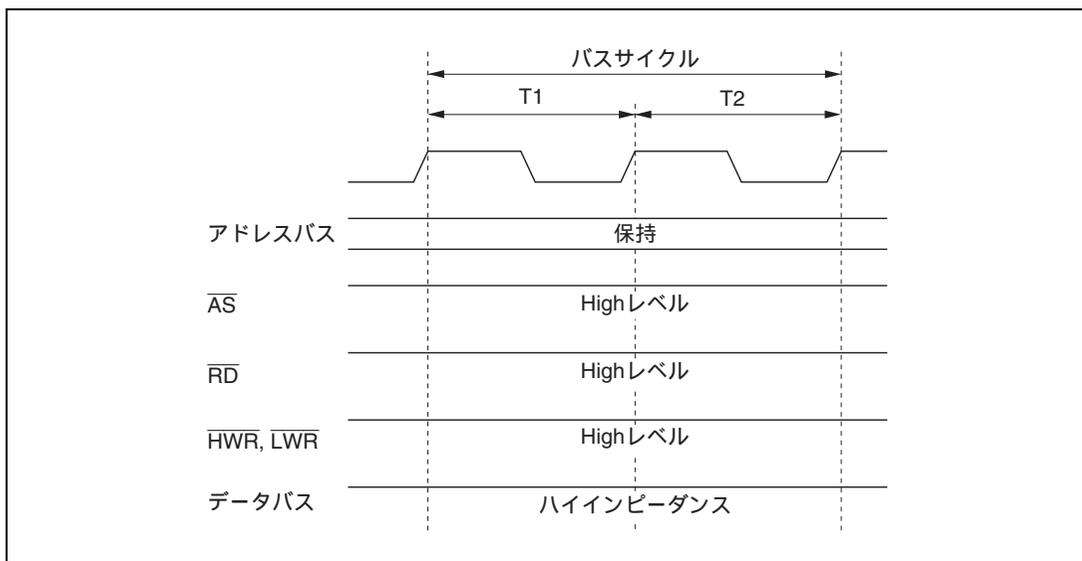


図 2.20 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8 ビットまたは 16 ビット、バスサイクルは 2 ステートまたは 3 ステートです。3 ステートアクセスではウェイトステートを挿入することができます。詳細は「第 7 章 バスコントローラ」を参照してください。

2.10 使用上の注意

2.10.1 TAS 命令

TAS 命令を使用する場合には、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス製 H8S、H8/300 シリーズ C/C++ コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として、TAS 命令を使用する場合には、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

2.10.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本：ER0-ER1、ER2-ER3、ER4-ER5

3 本：ER0-ER2、ER4-ER6

4 本：ER0-ER3

また、ルネサス製 H8S、H8/300 シリーズ C/C++ コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

2.10.3 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択

本 LSI には、4 種類の動作モード（モード 4～7）があります。これらのモードは、モード端子（MD2～MD0）の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効/無効、バス幅の初期状態を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU	内容	内蔵	外部データバス	
				動作モード		ROM	初期値	最大値
0*	0	0	0	-	-	-	-	
1*			1					
2*		1	0					
3*			1					
4	1	0	0	アドバンスト	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット
5			1				8 ビット	16 ビット
6		1	0		内蔵 ROM 有効 拡張モード		8 ビット	16 ビット
7			1		シングルチップモ ード		-	

【注】 * 本 LSI では使用できません。

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 4～6 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

外部拡張モードでは、8 ビットバスモードと 16 ビットバスモードを切り替えることができます。プログラム実行開始後、バスコントローラの設定により、エリアごとに 8 ビットまたは 16 ビットアドレス空間にすることができます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードになり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードになります。各動作モードによって端子の機能が切り替わります。

モード 4～7 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 4～7 になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本 LSI にはモード端子 (MD2~MD0) の状態が反映されるモードコントロールレジスタ (MDCR) と、本 LSI の動作を制御するシステムコントロールレジスタ (SYSCR) があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FDE7
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5
端子機能コントロールレジスタ	PFCR	R/W	H'0D/H'00	H'FDEB

【注】 * アドレスの下位 16 ビットを示しています。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ (MDCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値 :	1	0	0	0	0	- *	- *	- *
R/W :	R/W	-	-	-	-	R	R	R

【注】* MD2~MD0端子により決定されます。

MDCR は 8 ビットのレジスタで、本 LSI の現在の動作モードをモニタするのに用います。

- ビット7: リザーブビット

書き込み時は必ず1をライトしてください。

- ビット6~3: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

- ビット2~0: モードセレクト2~0 (MDS2~MDS0)

モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットはMD2~MD0端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2~MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	MACS	-	INTM1	INTM0	NMIEG	MRESE	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	R/W	-	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、MAC 命令の飽和演算の選択、割り込み制御モードの選択、NMI の検出エッジの選択、 $\overline{\text{MRES}}$ 端子入力の許可/禁止の選択、内蔵 RAM の有効/無効の選択を行います。

SYSCR は、パワーオンリセットまたはハードウェアスタンバイモード時に H'01 に初期化されます。マニュアルリセット時、MACS、INTM1、INTM0、NMIEG、RAME ビットは初期化されますが、MRESE ビットは初期化されません。また、SYSCR はソフトウェアスタンバイモードでは、初期化されません。

- ビット7 : MACサチュレーション (MACS)

MAC命令の飽和演算、非飽和演算を選択します。

ビット7	説明
MACS	
0	MAC 命令は非飽和演算 (初期値)
1	MAC 命令は飽和演算

- ビット6 : リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

- ビット5、4 : 割り込み制御モード1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードの詳細については、「5.4.1 割り込み制御モードと割り込み動作」を参照してください。

ビット5	ビット4	割り込み制御モード	説明
INTM1	INTM0		
0	0	0	1ビットで、割り込みを制御 (初期値)
	1		設定禁止
1	0	2	I2~I0 ビットと IPR で、割り込みを制御
	1		設定禁止

3. MCU 動作モード

- ビット3：NMIエッジセレクト（NMIEG）
NMI割り込みの入力エッジ選択を行います。

ビット3	説明
NMIEG	
0	NMI 入力の下向きエッジで割り込み要求を発生 (初期値)
1	NMI 入力の上向きエッジで割り込み要求を発生

- ビット2：マニュアルリセット選択ビット（MRESE）
マニュアルリセット入力の許可または禁止を選択します。P74/TMO2/MRES 端子をマニュアルリセット入力端子（MRES）に設定することができます。
表3.3にMRES端子のパワーオンリセットとマニュアルリセットの関係を示します。

ビット2	説明
MRESE	
0	マニュアルリセットを禁止 P74/TMO2*/MRES 端子を P74/TMO2* 入出力端子として使用可能 (初期値)
1	マニュアルリセットを許可 P74/TMO2*/MRES 端子を MRES 入力端子として使用可能

【注】 * H8S/2695 には本機能はありません。

表 3.3 パワーオンリセットとマニュアルリセットの関係

端子		リセットの種類
RES	MRES	
0	*	パワーオンリセット (初期状態)
1	0	マニュアルリセット
1	1	動作状態

* : Don't Care

- ビット1：リザーブビット
リードすると常に0が読み出されます。ライトは無効です。

- ビット0 : RAMイネーブル (RAME)

内蔵RAMの有効または無効を選択します。RAMEビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】 DTC*を使用するときには、必ず RAME ビットを 1 にセットしてください。

* H8S/2695 には DTC はありません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.2.3 端子機能コントロールレジスタ (PFCR)

ビット :	7	6	5	4	3	2	1	0
	CSS07	CSS36	BUZZE	LCASS	AE3	AE2	AE1	AE0
初期値	0	0	0	0	1/0	1/0	0	1/0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFCR は 8 ビットのリード/ライト可能なレジスタで、PG4、PG1 端子の CS 選択制御、PF2、PF6 端子の LCAS 選択制御、内蔵 ROM 有効拡張モード時のアドレス出力制御を行います。

PFCR はパワーオンリセットまたはハードウェアスタンバイモード時に H'0D/H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

- ビット7 : $\overline{CS0}/\overline{CS7}$ セレクト (CSS07)

PG4端子のCS出力内容を選択します。モード4~6のとき、対応するDDRを1にセットすると選択したCSが出力されます。

ビット7	説明
CSS07	
0	$\overline{CS0}$ を選択 (初期値)
1	$\overline{CS7}$ を選択

3. MCU 動作モード

• ビット6 : $\overline{CS3}/\overline{CS6}$ セレクト (CSS36)

PG1端子のCS出力内容を選択します。モード4~6のとき、対応するDDRを1にセットすると選択したCSが出力されます。

ビット6	説 明	
CSS36		
0	$\overline{CS3}$ を選択	(初期値)
1	$\overline{CS6}$ を選択	

• ビット5 : BUZZ出力イネーブル (BUZZE) *

PF1端子のBUZZ出力を許可/禁止します。PSS、CKS2~CKS0ビットにより選択されたWDT1の入カクロックをBUZZ信号として出力します。

ビット5	説 明	
BUZZE		
0	PF1 入力端子として機能	(初期値)
1	BUZZ 出力端子として機能	

【注】 * H8S/2695 には本機能はありません。1をセットしないでください。

• ビット4 : LCAS出力端子選択ビット (LCASS) *

LCAS信号の出力端子を選択します。

ビット4	説 明	
LCASS		
0	LCAS 信号を PF2 から出力	(初期値)
1	LCAS 信号を PF6 から出力	

【注】 * H8S/2695 には本機能はありません。1をセットしないでください。

• ビット3~0 : アドレス出力イネーブル3~0 (AE3~AE0)

内蔵ROM無効拡張モードと内蔵ROM有効拡張モード時のアドレス出力A8~A23の許可/禁止を選択します。アドレス出力を許可した端子は、対応するDDRに関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応するDDRを1にセットするとポート出力となります。

ビット3	ビット2	ビット1	ビット0	説明
AE3	AE2	AE1	AE0	
0	0	0	0	A8 ~ A23 出力を禁止 (初期値*)
0	0	0	1	A8 出力を許可。A9 ~ A23 出力を禁止
0	0	1	0	A8、A9 出力を許可。A10 ~ A23 出力を禁止
0	0	1	1	A8 ~ A10 出力を許可。A11 ~ A23 出力を禁止
0	1	0	0	A8 ~ A11 出力を許可。A12 ~ A23 出力を禁止
0	1	0	1	A8 ~ A12 出力を許可。A13 ~ A23 出力を禁止
0	1	1	0	A8 ~ A13 出力を許可。A14 ~ A23 出力を禁止
0	1	1	1	A8 ~ A14 出力を許可。A15 ~ A23 出力を禁止
1	0	0	0	A8 ~ A15 出力を許可。A16 ~ A23 出力を禁止
1	0	0	1	A8 ~ A16 出力を許可。A17 ~ A23 出力を禁止
1	0	1	0	A8 ~ A17 出力を許可。A18 ~ A23 出力を禁止
1	0	1	1	A8 ~ A18 出力を許可。A19 ~ A23 出力を禁止
1	1	0	0	A8 ~ A19 出力を許可。A20 ~ A23 出力を禁止
1	1	0	1	A8 ~ A20 出力を許可。A21 ~ A23 出力を禁止 (初期値*)
1	1	1	0	A8 ~ A21 出力を許可。A22、A23 出力を禁止
1	1	1	1	A8 ~ A23 出力を許可

【注】 * 内蔵 ROM 有効拡張モードのとき、AE3 ~ AE0 ビットは B'0000 に初期化されます。

また、内蔵 ROM 無効拡張モードのとき、AE3 ~ AE0 ビットは B'1101 に初期化されます。なお、A0 ~ A7 アドレスは、対応する DDR を 1 にセットすることでアドレス出力となります。

3.3 各動作モードの説明

3.3.1 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート 1、A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.2 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート 1、A、B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3. MCU 動作モード

3.3.3 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。ポート 1、A、B、C はリセット直後は入力ポートになっています。対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラによりいずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなりポート E がデータバスとなります。

3.3.4 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

3.4 各動作モードにおける端子機能

動作モードにより、ポート 1、A~G の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.4 に示します。

表 3.4 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 6	モード 7
ポート 1	P10	P / A*	P / A*	P* / A	P
	P11 ~ P13	P* / A	P* / A	P* / A	P
ポート A	PA4 ~ PA0	P / A*	P / A*	P* / A	P
ポート B		P / A*	P / A*	P* / A	P
ポート C		A	A	P* / A	P
ポート D		D	D	D	P
ポート E		P / D*	P* / D	P* / D	P
ポート F	PF7	P / C*	P / C*	P / C*	P* / C
	PF6 ~ PF4	C	C	C	P
	PF3	P / C*	P* / C	P* / C	
	PF2 ~ PF0	P* / C	P* / C	P* / C	
ポート G	PG4	C	C	P* / C	P
	PG3 ~ PG0	P* / C	P* / C	P* / C	P

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図 3.1～3.4 に示します。

アドレス空間は、モード 4～7 (アドバンスモード) で 16M バイトです。

モード 4～7 のとき、アドレス空間は 8 エリアに分割されています。詳細は、「第 7 章 バスコントローラ」を参照してください。

3. MCU 動作モード

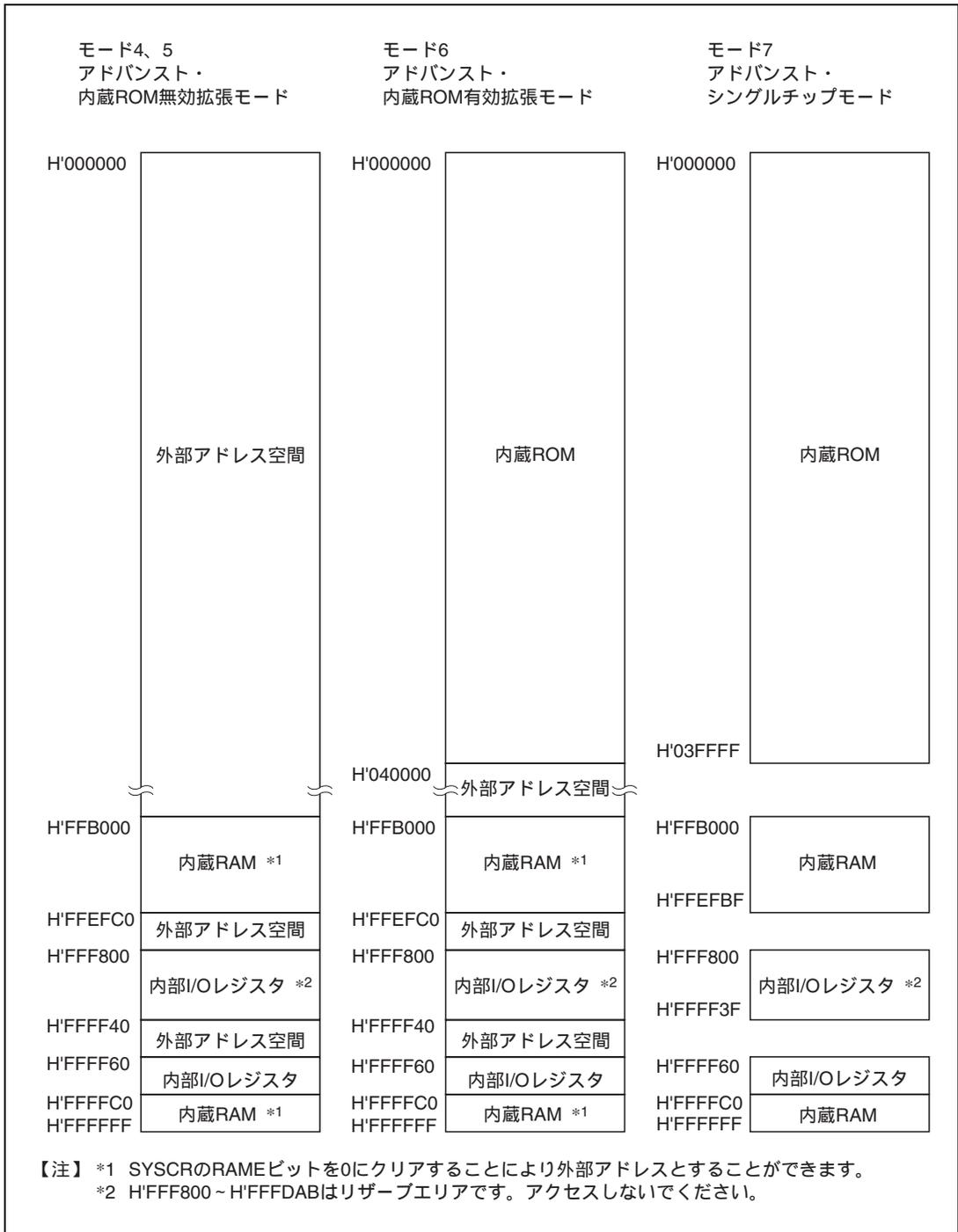


図 3.1 H8S/2633、H8S/2633R の各動作モードのアドレスマップ

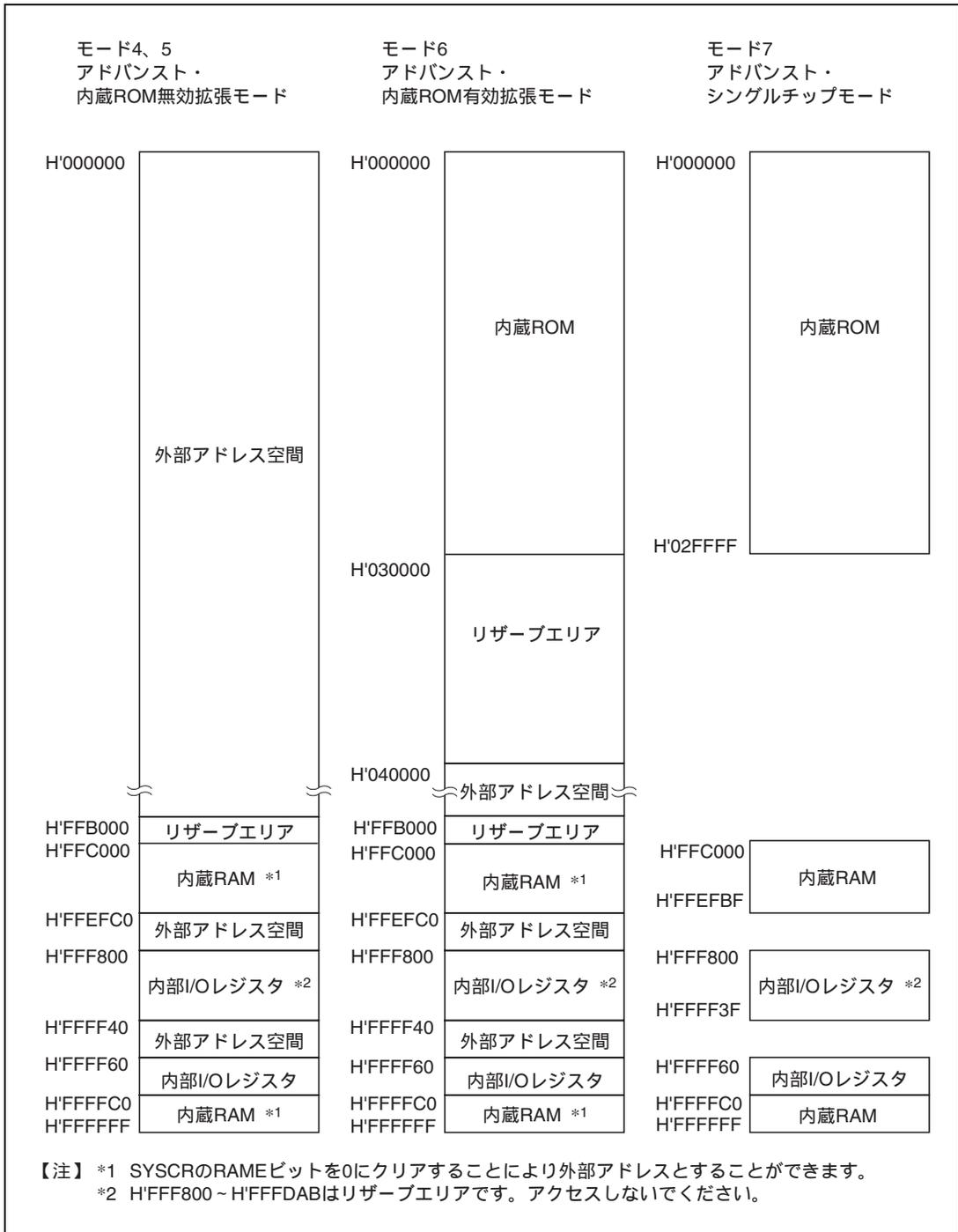


図 3.2 H8S/2632 の各動作モードのアドレスマップ

3. MCU 動作モード

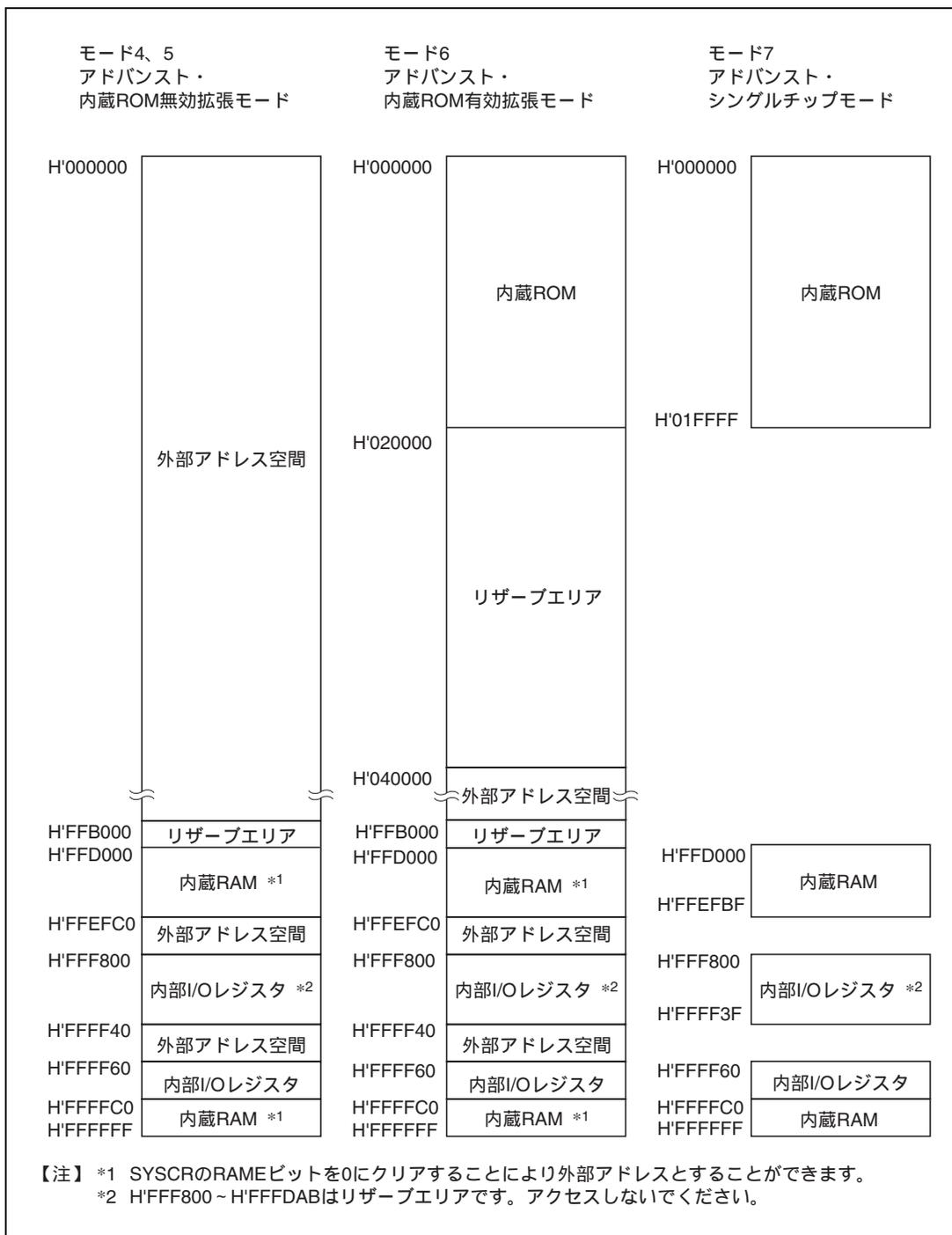


図 3.3 H8S/2631 の各動作モードのアドレスマップ

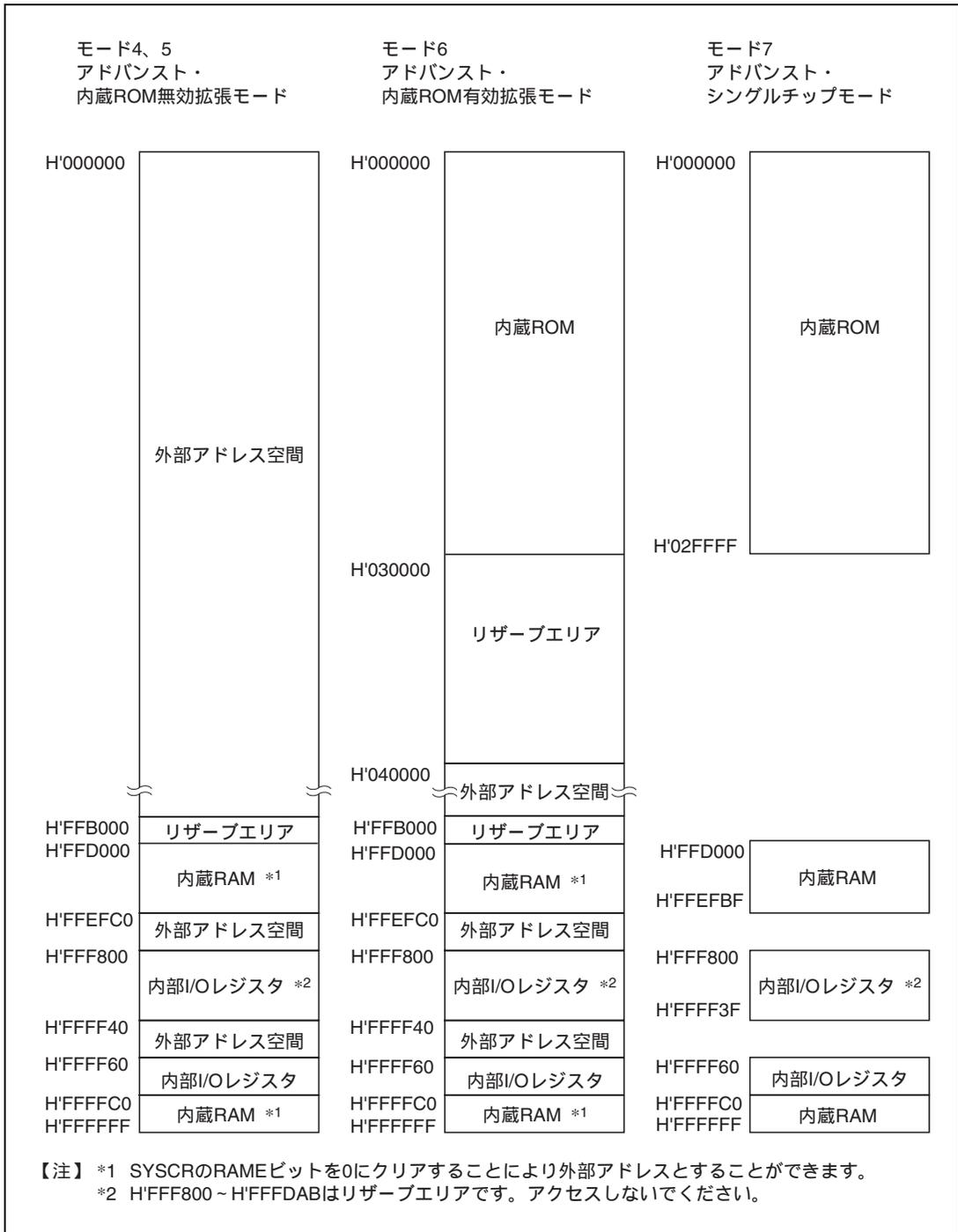


図 3.4 H8S/2695 の各動作モードのアドレスマップ

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トレース、直接遷移、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES、MRES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバーフローにより開始します。RES 端子が Low レベルのときパワーオンリセット状態、MRES 端子が Low レベルのときはマニュアルリセット状態になります。
	トレース* ¹	トレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
	トラップ命令* ³ (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
2. 割り込みマスクビットを更新します。Tビットを0にクリアします。
3. 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行

4. 例外処理

が開始されます。

リセット例外処理の場合は上記 2、3 の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

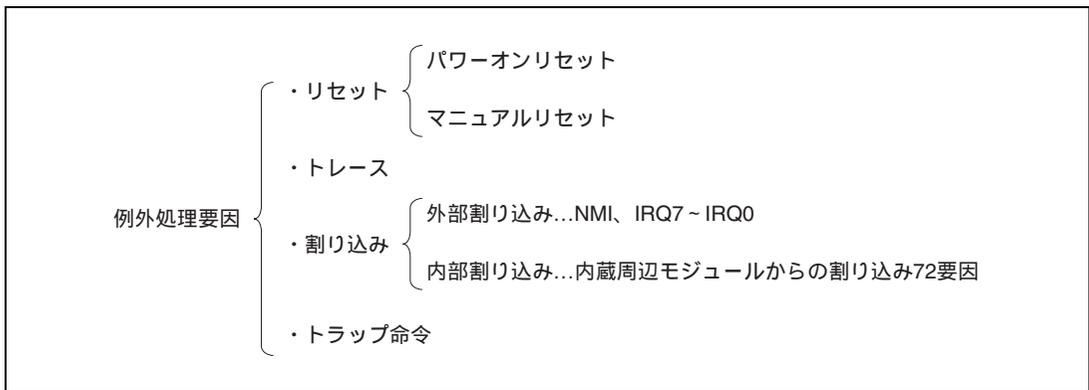


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1
			アドバンスモード
パワーオンリセット		0	H'0000 ~ H'0003
マニュアルリセット		1	H'0004 ~ H'0007
システム予約		2	H'0008 ~ H'000B
		3	H'000C ~ H'000F
		4	H'0010 ~ H'0013
トレース		5	H'0014 ~ H'0017
直接遷移*3		6	H'0018 ~ H'001B
外部割り込み	NMI	7	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0020 ~ H'0023
		9	H'0024 ~ H'0027
		10	H'0028 ~ H'002B
		11	H'002C ~ H'002F
システム予約		12	H'0030 ~ H'0033
		13	H'0034 ~ H'0037
		14	H'0038 ~ H'003B
		15	H'003C ~ H'003F
外部割り込み	IRQ0	16	H'0040 ~ H'0043
	IRQ1	17	H'0044 ~ H'0047
	IRQ2	18	H'0048 ~ H'004B
	IRQ3	19	H'004C ~ H'004F
	IRQ4	20	H'0050 ~ H'0053
	IRQ5	21	H'0054 ~ H'0057
	IRQ6	22	H'0058 ~ H'005B
	IRQ7	23	H'005C ~ H'005F
内部割り込み*2		24	H'0060 ~ H'0063
		127	H'01FC ~ H'01FF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

*3 直接遷移については、「24.11 直接遷移」を参照してください。
H8S/2695 には本機能はありません。

4.2 リセット

4.2.1 概要

リセットは、もっとも優先順位の高い例外処理で、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと、 $\overline{\text{MRES}}$ 端子によるマニュアルリセットの2種類に分けられます。

$\overline{\text{RES}}$ 端子 ($\overline{\text{MRES}}$ 端子) *が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子 ($\overline{\text{MRES}}$ 端子) *が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 15 章 ウォッチドッグタイマ (WDT)」を参照してください。

【注】 * マニュアルリセットの場合は $\overline{\text{MRES}}$ 端子になります。

4.2.2 リセットの種類

リセットには、パワーオンリセットとマニュアルリセットの2種類があります。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

マニュアルリセットを使用する場合は、あらかじめ MRESE ビットを 1 にセットしてマニュアルリセットを許可してください。

MRESE ビットの設定については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの2種類があります。

表 4.3 リセットの種類

種 類	リセットへの遷移条件		内部状態	
	MRES	RES	CPU	内蔵周辺モジュール
パワーオンリセット	*	Low	初期化	初期化
マニュアルリセット	Low	High	初期化	バスコントローラ、I/O ポート以外初期化

* : Don't Care

4.2.3 リセットシーケンス

$\overline{\text{RES}}$ 端子が $\overline{\text{MRES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子または $\overline{\text{MRES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子が $\overline{\text{MRES}}$ 端子を最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$ 端子が $\overline{\text{MRES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

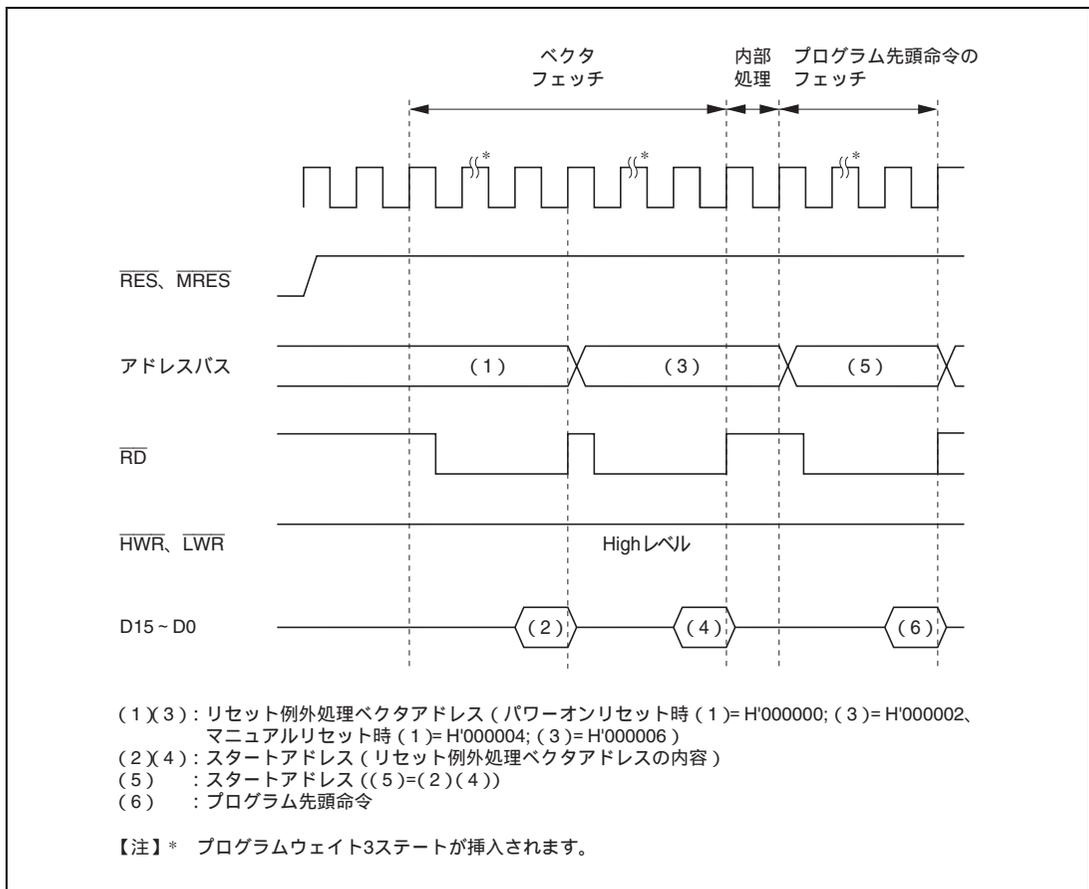


図 4.2 リセットシーケンス (モード 4、5)

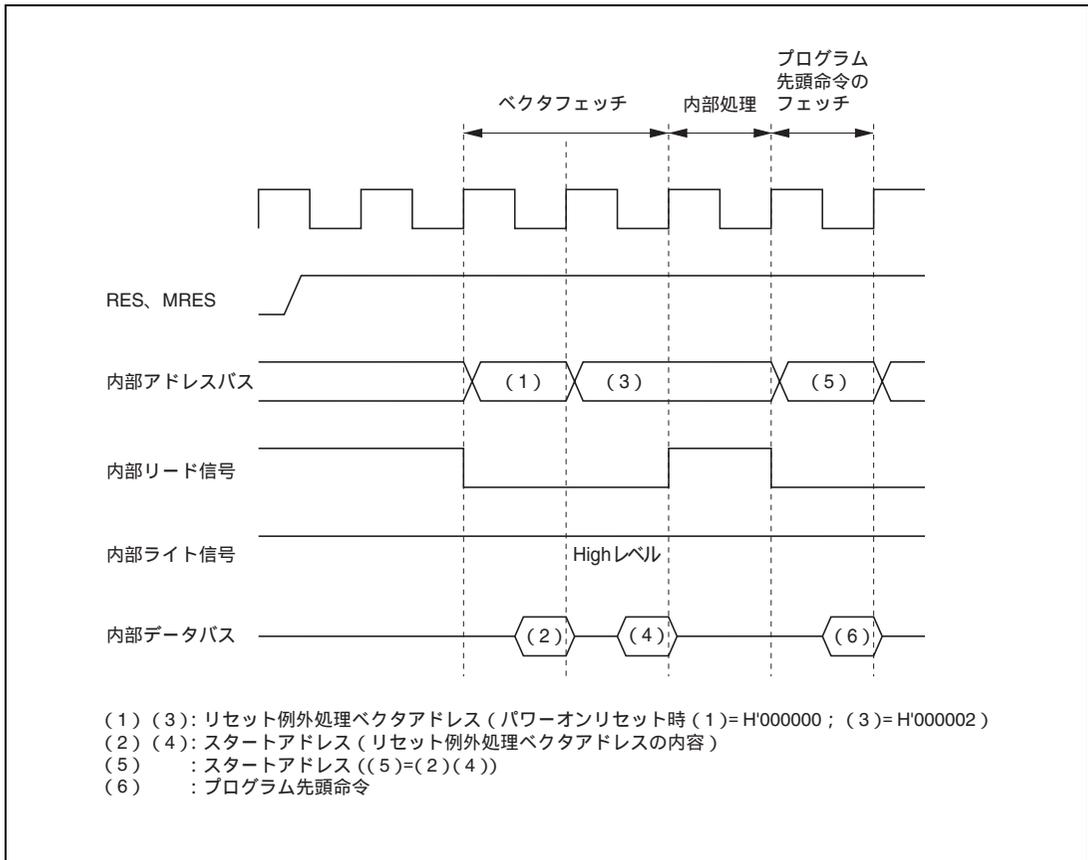


図 4.3 リセットシーケンス (モード 6、7)

4.2.4 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx: 32, SP)。

4.2.5 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA ~ MSTPCRC は H'3F、H'FF、H'FF に初期化され、DMAC* と DTC* を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

【注】 * H8S/2695 には DMAC、DTC 機能はありません。

4.3 トレース

トレースは、割り込み制御モード 2 で有効です。割り込み制御モード 0 では、T ビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第 5 章 割り込みコントローラ」を参照してください。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、I 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。

表 4.4 にトレース命令例外処理実行後の CCR、EXR の状態を示します。

トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.4 割り込み

割り込み例外処理を開始させる要因には、9 本の外部割り込み (NMI、IRQ7~IRQ0) と、内蔵周辺モジュールからの要求による 72 (オプション含む) の内部要因があります。割り込み要因と要因数を図 4.4 に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、16 ビットタイマパルスユニット (TPU)、8 ビットタイマ*、シリアルコミュニケーションインタフェース (SCI)、データトランスファコントローラ (DTC)*、DMA コントローラ (DMAC)*、PC ブレークコントローラ (PBC)*、A/D 変換器、I²C バスインタフェース (IIC)* などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMI は最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2 つの割り込み制御モードがあり、NMI 以外の割り込みに 8 レベルの優先順位 / マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

【注】 * H8S/2695 には本機能はありません。

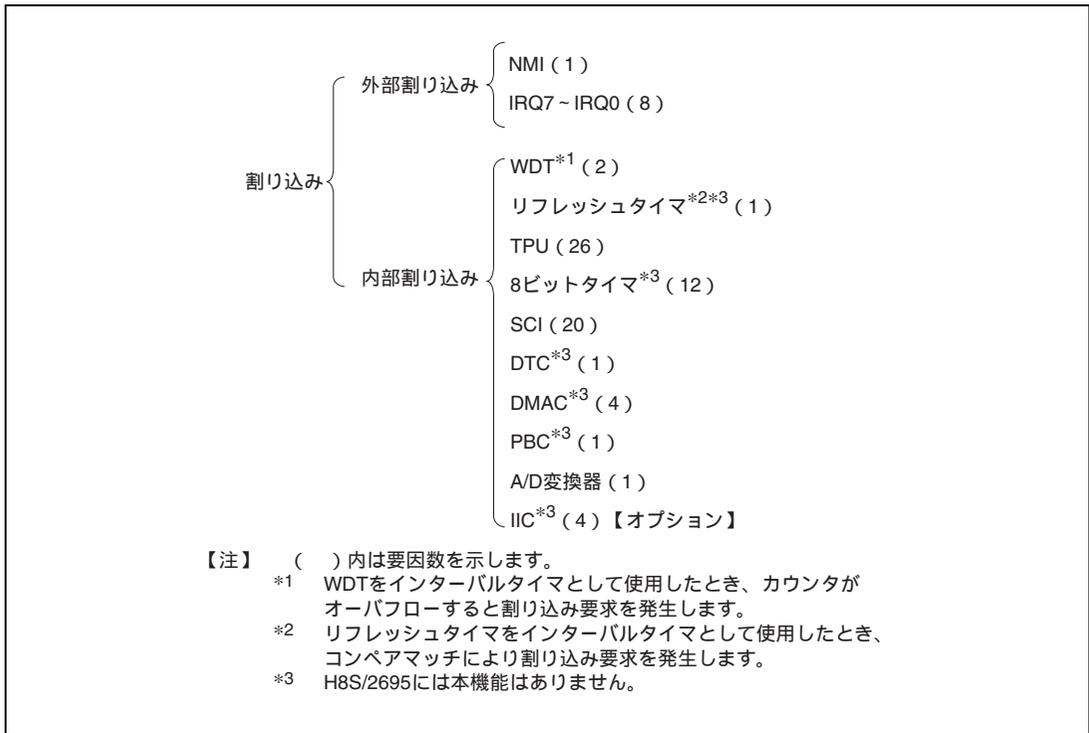


図 4.4 割り込み要因と要因数

4.5 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

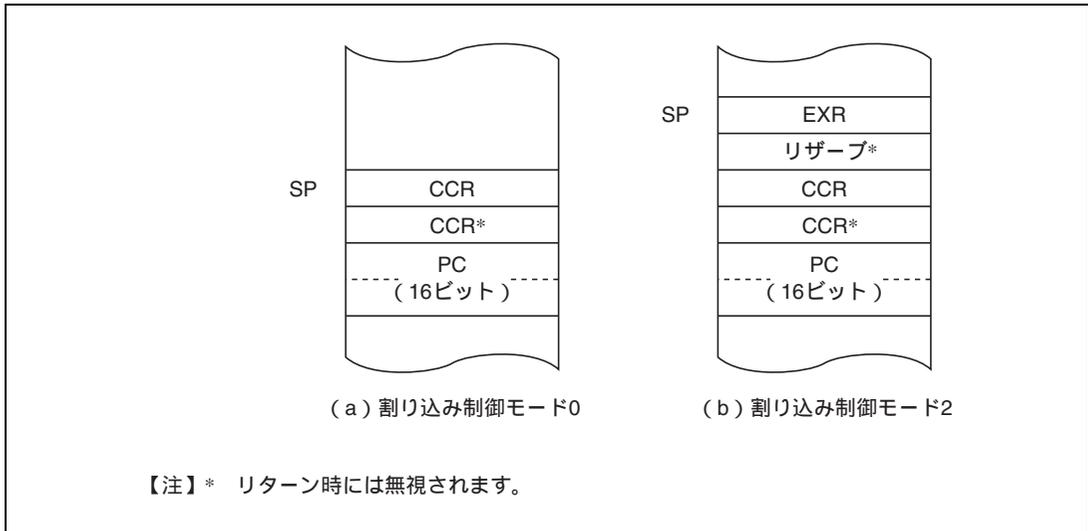


図 4.5(1) 例外処理終了後のスタックの状態(ノーマルモード：本 LSI では使用できません)

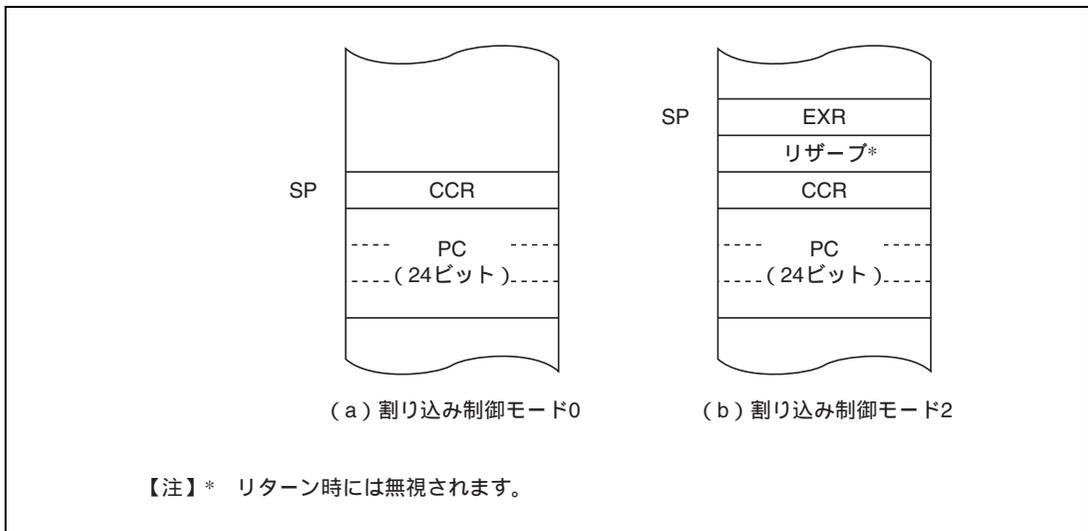


図 4.5(2) 例外処理終了後のスタックの状態(アドバンスモード)

4.7 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W  Rn      (MOV.W  Rn, @-SP)
PUSH.L  ERn     (MOV.L  ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W   Rn      (MOV.W  @SP+, Rn)
POP.L   ERn     (MOV.L  @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

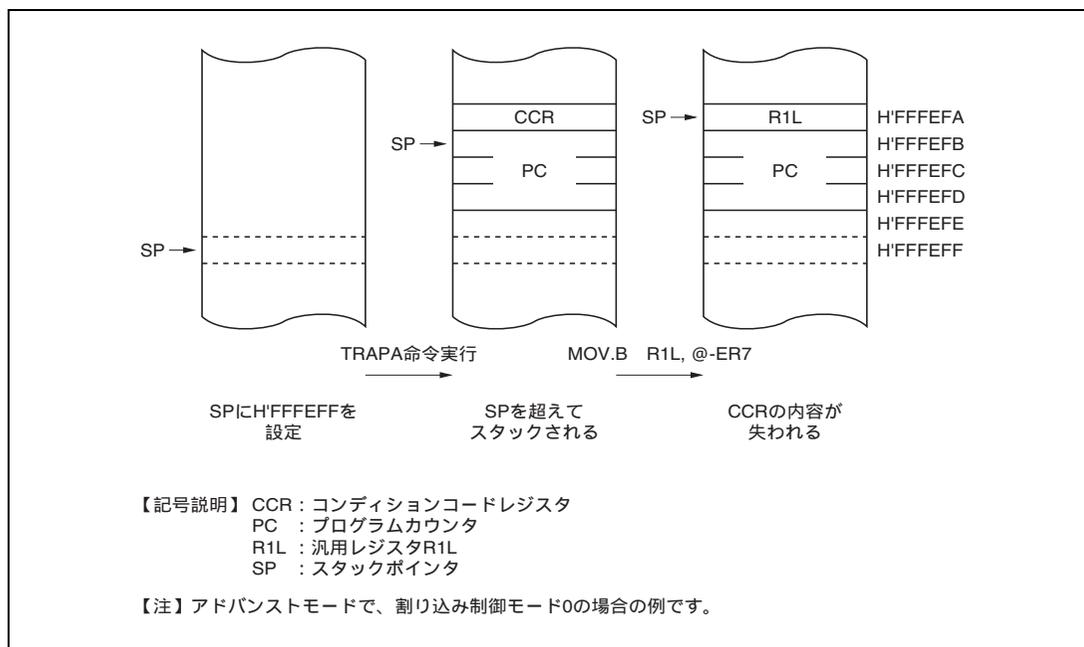


図 4.6 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

2 種類の割り込み制御モード

- システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。

IPR により、優先順位を設定可能

- 割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) を備えており、NMI 以外の割り込みは、モジュールごとに 8 レベルの優先順位を設定できます。
- NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。

独立したベクタアドレス

- すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

9 本の外部割り込み端子

- NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。
- IRQ7 ~ IRQ0 は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

DTC*、DMAC*の制御

- 割り込みによる DTC*、DMAC* の起動の制御を行います。

【注】 * H8S/2695 には本機能はありません。

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

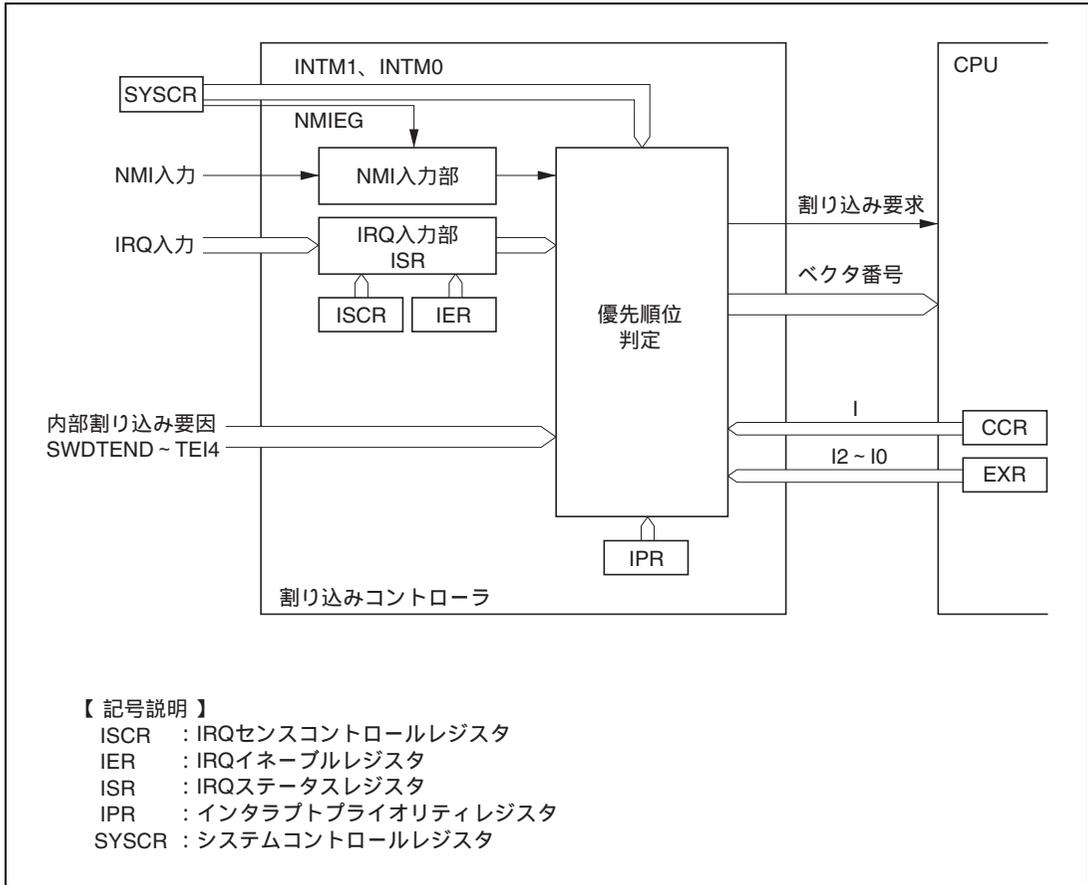


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	記号	入出力	機 能
ノンマスクابل 割り込み	NMI	入力	マスク不可能な外部割り込み。立ち上がりエッジ または立ち下がりエッジを選択可能
外部割り込み要求 7~0	IRQ7~IRQ0	入力	マスク可能な外部割り込み。立ち下がりエッジ、 立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可 能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5
IRQ センسコントロールレジスタ H	ISCRH	R/W	H'00	H'FE12
IRQ センсコントロールレジスタ L	ISCR L	R/W	H'00	H'FE13
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FE14
IRQ ステータスレジスタ	ISR	R(W)*2	H'00	H'FE15
インタラプトプライオリティレジスタ A	IPRA	R/W	H'77	H'FEC0
インタラプトプライオリティレジスタ B	IPRB	R/W	H'77	H'FEC1
インタラプトプライオリティレジスタ C	IPRC	R/W	H'77	H'FEC2
インタラプトプライオリティレジスタ D	IPRD	R/W	H'77	H'FEC3
インタラプトプライオリティレジスタ E	IPRE	R/W	H'77	H'FEC4
インタラプトプライオリティレジスタ F	IPRF	R/W	H'77	H'FEC5
インタラプトプライオリティレジスタ G	IPRG	R/W	H'77	H'FEC6
インタラプトプライオリティレジスタ H	IPRH	R/W	H'77	H'FEC7
インタラプトプライオリティレジスタ I	IPRI	R/W	H'77	H'FEC8
インタラプトプライオリティレジスタ J	IPRJ	R/W	H'77	H'FEC9
インタラプトプライオリティレジスタ K	IPRK	R/W	H'77	H'FECA
インタラプトプライオリティレジスタ L	IPRL	R/W	H'77	H'FECEB
インタラプトプライオリティレジスタ O	IPRO	R/W	H'77	H'FECE

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	MACS	-	INTM1	INTM0	NMIEG	MRESE	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	R/W	-	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5~3 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 5~3 はパワーオンリセット、マニュアルリセットまたはハードウェアスタンバイモード時に、H'01 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット 5、4 : 割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 2 つのモードの中から選択します。

ビット 5	ビット 4	割り込み 制御モード	説 明
0	0	0	1 ビットで、割り込みを制御 (初期値)
	1		設定禁止
1	0	2	I2~I0 ビットと IPR で、割り込みを制御
	1		設定禁止

- ビット 3 : NMIエッジセレクト (NMIEG)

NMI端子の入力エッジ選択を行います。

ビット 3	説 明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトプライオリティレジスタ A~L、O (IPRA~L、IPRO)

ビット :	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W

IPR は 8 ビットのリード/ライト可能な 13 本のレジスタで、NMI を除く割り込みの優先順位 (レベル 7~0) を設定します。

各割り込み要因と IPR の対応を表 5.3 に示します。

IPR は、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。

IPR はリセットまたはハードウェアスタンバイモード時に、H'77 に初期化されます。

- ビット 7、3 : リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

表 5.3 各割り込み要因と IPR の対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	IRQ6	DTC*
	IRQ7	
IPRD	ウォッチドッグタイマ 0	リフレッシュタイマ*
IPRE	PC ブレーク*	A/D 変換器、 ウォッチドッグタイマ 1*
IPRF	TPU チャンネル 0	TPU チャンネル 1
IPRG	TPU チャンネル 2	TPU チャンネル 3
IPRH	TPU チャンネル 4	TPU チャンネル 5
IPRI	8 ビットタイマチャンネル 0*	8 ビットタイマチャンネル 1*
IPRJ	DMAC*	SCI チャンネル 0
IPRK	SCI チャンネル 1	SCI チャンネル 2
IPRL	8 ビットタイマ 2、3*	IIC [オプション] *
IPRO	SCI チャンネル 3	SCI チャンネル 4

【注】 * H8S/2695 では本機能はありません。

表 5.3 に示すように、1 本の IPR に複数の割り込みが割り当てられています。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'7 をセットすると優先レベル 7 (最高) になります。

割り込み要求が発生すると、IPR で設定した優先順位に従って最も優先順位の高い割り込みが選択されます。その後、この割り込みレベルと CPU 内の EXR の I2~I0 ビットで設定された割り込みマスクレベルとを比較し、割り込みの優先レベルが設定したマスクレベルより高ければ、CPU に対して割り込み要求を発生します。

5.2.3 IRQ イネーブルレジスタ (IER)

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ7~IRQ0 割り込み要求の許可または禁止を制御します。IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

- ビット 7~0 : IRQ7~IRQ0 イネーブル (IRQ7E~IRQ0E)

IRQ7~IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説 明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n=7~0)

5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ISCRL

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ISCR は 16 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

- ビット15~0: IRQ7センスコントロールA、B (IRQ7SCA、IRQ7SCB)
~ IRQ0センスコントロールA、B (IRQ0SCA、IRQ0SCB)

ビット 15~0		説明
IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	IRQ7 ~ IRQ0 入力の Low レベルで割り込み要求を発生 (初期値)
	1	IRQ7 ~ IRQ0 入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ7 ~ IRQ0 入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ7 ~ IRQ0 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.2.5 IRQ ステータスレジスタ (ISR)

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

【注】* フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ7 ~ IRQ0 割り込み要求のステータス表示を行います。ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット7 ~ 0 : IRQ7 ~ IRQ0 フラグ (IRQ7F ~ IRQ0F)
IRQ7 ~ IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	<p>[クリア条件] (初期値)</p> <p>(1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき</p> <p>(2) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、または IRQnSCA = 1) の状態で IRQn 割り込み例外処理を実行したとき</p> <p>(4) IRQn 割り込みにより DTC* が起動され、DTC* の MRB の DISEL ビットが 0 のとき</p>
1	<p>[セット条件]</p> <p>(1) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力が高レベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 7 ~ 0)

【注】* H8S/2695 には DTC はありません。

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ7～IRQ0）と内部割り込み（72 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ7～IRQ0 の 9 要因があります。各外部割り込みは、ソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは $\overline{\text{IRQ}n}$ 端子の入力信号により要求されます。IRQ7～IRQ0 割り込みには次の特長があります。

- (a) $\overline{\text{IRQ}n}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- (b) IRQ7～IRQ0 割り込み要求を許可するか禁止するかを、IER で選択できます。
- (c) IPR により割り込みプライオリティレベルを設定できます。
- (d) IRQ7～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ7～IRQ0 割り込みのブロック図を図 5.2 に示します。

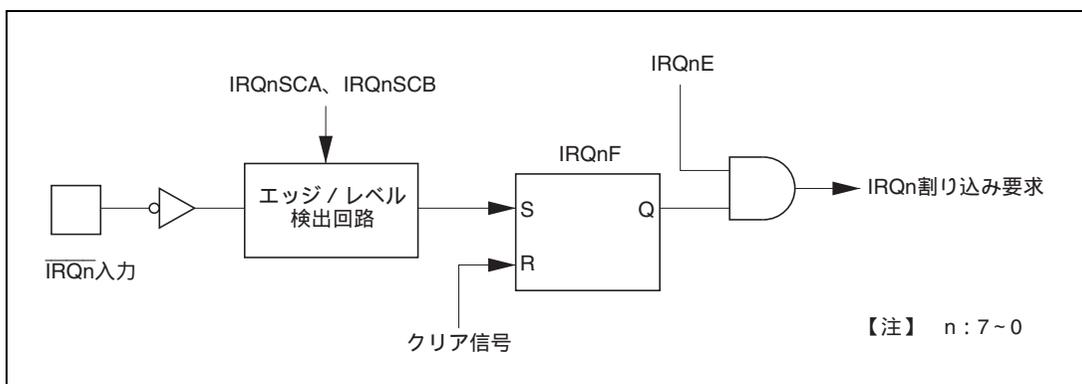


図 5.2 IRQ7～IRQ0 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

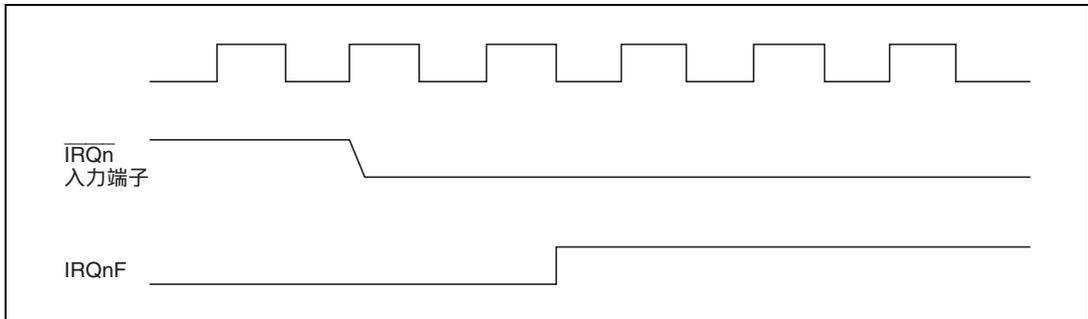


図 5.3 IRQnF のセットタイミング

IRQ7～IRQ0 割り込み例外処理のベクタ番号は、23～16 です。

IRQ7～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてその他の機能の入出力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには 72^{*1} 要因があります。

(1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに要求されます。

(2) IPR によって割り込みプライオリティレベルを設定できます。

(3) TPU、8 ビットタイマ^{*2}、SCI などの割り込み要求により DMAC^{*2}、DTC^{*2} の起動ができます。

割り込みにより DMAC^{*2}、DTC^{*2} の起動を行う場合、割り込み制御モードや、CPU の割り込みマスクビットの影響を受けません。

【注】 *1 H8S/2695 は内蔵モジュールからの割り込みは 54 要因。

*2 H8S/2695 には本機能はありません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.4 (a)、表 5.4 (b) に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、IPR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.4 のとおり固定です。

表 5.4 (a) 割り込み要因とベクタアドレスおよび割り込み優先順位一覧
(H8S/2633、H8S/2633F、H8S/2632、H8S/2631、H8S/2633R)

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスト モード		
NMI	外部端子	7	H'001C		↑ 高
IRQ0		16	H'0040	IPRA6 ~ IPRA4	
IRQ1		17	H'0044	IPRA2 ~ IPRA0	
IRQ2		18	H'0048	IPRB6 ~ IPRB4	
IRQ3		19	H'004C		
IRQ4		20	H'0050	IPRB2 ~ IPRB0	
IRQ5		21	H'0054		
IRQ6		22	H'0058	IPRC6 ~ IPRC4	
IRQ7		23	H'005C		
SWDTEND (ソフトウェア起動データ転送終了)	DTC	24	H'0060	IPRC2 ~ IPRC0	↓ 低
WOVI0 (インターバルタイマ)	ウォッチドッグ タイマ 0	25	H'0064	IPRD6 ~ IPRD4	
CMI	リフレッシュ タイマ	26	H'0068	IPRD2 ~ IPRD0	
PC ブレーク	PC ブレーク コントローラ	27	H'006C	IPRE6 ~ IPRE4	
ADI (A/D 変換終了)	A/D	28	H'0070	IPRE2 ~ IPRE0	
WOVI1 (インターバルタイマ)	ウォッチドッグ タイマ 1	29	H'0074		
リザーブ	-	30 31	H'0078 H'007C		
TGI0A (TGR0A インพุットキャプチャ/ コンペアマッチ)	TPU チャンネル 0	32	H'0080	IPRF6 ~ IPRF4	
TGI0B (TGR0B インพุットキャプチャ/ コンペアマッチ)		33	H'0084		
TGI0C (TGR0C インพุットキャプチャ/ コンペアマッチ)		34	H'0088		
TGI0D (TGR0D インพุットキャプチャ/ コンペアマッチ)		35	H'008C		
TCI0V (オーバフロー)		36	H'0090		
リザーブ		-	37 38 39		H'0094 H'0098 H'009C

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスト モード		
TGI1A (TGR1A インพุットキャプチャ/ コンペアマッチ) TGI1B (TGR1B インพุットキャプチャ/ コンペアマッチ) TCI1V (オーバーフロー-1) TCI1U (アンダフロー-1)	TPU チャンネル 1	40	H'00A0	IPRF2 ~ IPRF0	↑ 高
		41	H'00A4		
		42	H'00A8		
		43	H'00AC		
TGI2A (TGR2A インพุットキャプチャ/ コンペアマッチ) TGI2B (TGR2B インพุットキャプチャ/ コンペアマッチ) TCI2V (オーバーフロー-2) TCI2U (アンダフロー-2)	TPU チャンネル 2	44	H'00B0	IPRG6 ~ IPRG4	
		45	H'00B4		
		46	H'00B8		
		47	H'00BC		
TGI3A (TGR3A インพุットキャプチャ/ コンペアマッチ) TGI3B (TGR3B インพุットキャプチャ/ コンペアマッチ) TGI3C (TGR3C インพุットキャプチャ/ コンペアマッチ) TGI3D (TGR3D インพุットキャプチャ/ コンペアマッチ) TCI3V (オーバーフロー-3)	TPU チャンネル 3	48	H'00C0	IPRG2 ~ IPRG0	
		49	H'00C4		
		50	H'00C8		
		51	H'00CC		
リザーブ	-	53	H'00D4		
		54	H'00D8		
		55	H'00DC		
TGI4A (TGR4A インพุットキャプチャ/ コンペアマッチ) TGI4B (TGR4B インพุットキャプチャ/ コンペアマッチ) TCI4V (オーバーフロー-4) TCI4U (アンダフロー-4)	TPU チャンネル 4	56	H'00E0	IPRH6 ~ IPRH4	↓ 低
		57	H'00E4		
		58	H'00E8		
		59	H'00EC		

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位		
			アドバンスト モード				
TGI5A (TGR5A インพุットキャプチャ/ コンペアマッチ)	TPU チャンネル 5	60	H'00F0	IPRH2 - IPRH0	高 ↑		
TGI5B (TGR5B インพุットキャプチャ/ コンペアマッチ)		61	H'00F4				
TCI5V (オーバフロー-5)		62	H'00F8				
TCI5U (アンダフロー-5)		63	H'00FC				
CMIA0 (コンペアマッチ A0) CMIB0 (コンペアマッチ B0) OVI0 (オーバフロー-0)	8 ビットタイマ チャンネル 0	64	H'0100	IPRI6 - IPRI4			
リザーブ		-	H'010C				
CMIA1 (コンペアマッチ A1) CMIB1 (コンペアマッチ B1) OVI1 (オーバフロー-1)		8 ビットタイマ チャンネル 1	68			H'0110	IPRI2 - IPRI0
リザーブ			-			H'011C	
DEND0A (チャンネル 0 / チャンネル 0A 転送終了) DEND0B (チャンネル 0B 転送終了) DEND1A (チャンネル 1 / チャンネル 1A 転送終了) DEND1B (チャンネル 1B 転送終了)	DMAC		72	H'0120		IPRJ6 - IPRJ4	
リザーブ		-	H'0130				
		73	H'0124				
		74	H'0128				
ERIO (受信エラー-0) RXIO (受信完了 0) TXIO (送信データエンブティ 0) TEIO (送信終了 0)	SCI チャンネル 0	80	H'0140	IPRJ2 - IPRJ0			
		81	H'0144				
		82	H'0148				
		83	H'014C				
ERI1 (受信エラー-1) RXI1 (受信完了 1) TXI1 (送信データエンブティ 1) TEI1 (送信終了 1)	SCI チャンネル 1	84	H'0150	IPRK6 - IPRK4			
		85	H'0154				
		86	H'0158				
		87	H'015C				
ERI2 (受信エラー-2) RXI2 (受信完了 2) TXI2 (送信データエンブティ 2) TEI2 (送信終了 2)	SCI チャンネル 2	88	H'0160	IPRK2 - IPRK0			
		89	H'0164				
		90	H'0168				
		91	H'016C				
CMIA0 (コンペアマッチ A2) CMIB0 (コンペアマッチ B2) OVI0 (オーバフロー-2)	8 ビットタイマ チャンネル 2	92	H'0170	IPRL6 - IPRL4	低 ↓		
リザーブ		-	H'017C				
		93	H'0174				
		94	H'0178				

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位		
			アドバンスト モード				
CMIA1 (コンペアマッチ A3)	8 ビットタイマ チャンネル 3	96	H'0180	IPRL6 - IPRL4	↑ 高		
CMIB1 (コンペアマッチ B3)		97	H'0184				
OVI1 (オーバフロー-3)		98	H'0188				
リザーブ	-	99	H'018C				
IIC10 (1 バイト送信 / 受信完了)	IIC チャンネル 0 【オプション】	100	H'0190	IPRL2 - IPRL0			
DDCSWI (フォーマットスイッチ)		101	H'0194				
IIC11 (1 バイト送信 / 受信完了)		102	H'0198				
リザーブ	103	H'019C					
リザーブ	-	104	H'01A0	IPRM6 - IPRM4			
		105	H'01A4				
		106	H'01A8				
		107	H'01AC				
リザーブ	-	108	H'01B0	IPRM2 - IPRM0			
		109	H'01B4				
		110	H'01B8				
		111	H'01BC				
リザーブ	-	112	H'01C0	IPRN6 - IPRN4			
		113	H'01C4				
		114	H'01C8				
		115	H'01CC				
リザーブ	-	116	H'01D0	IPRN2 - IPRN0			
		117	H'01D4				
		118	H'01D8				
		119	H'01DC				
ERI3 (受信エラー-3)	SCI チャンネル 3	120	H'01E0	IPRO6 - IPRO4			
RX13 (受信完了 3)		121	H'01E4				
TX13 (送信データエンプティ 3)		122	H'01E8				
TE13 (送信終了 3)		123	H'01EC				
ERI4 (受信エラー-4)	SCI チャンネル 4	124	H'01F0	IPRO2 - IPRO0		↓ 低	
RX14 (受信完了 4)		125	H'01F4				
TX14 (送信データエンプティ 4)		126	H'01F8				
TE14 (送信終了 4)		127	H'01FC				

【注】 * 先頭アドレスの下位 16 ビットを示しています。

表 5.4 (b) 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (H8S/2695)

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスト モード		
NMI	外部端子	7	H'001C		↑ 高
IRQ0		16	H'0040	IPRA6 - IPRA4	
IRQ1		17	H'0044	IPRA2 - IPRA0	
IRQ2		18	H'0048	IPRB6 - IPRB4	
IRQ3		19	H'004C		
IRQ4		20	H'0050	IPRB2 - IPRB0	
IRQ5		21	H'0054		
IRQ6		22	H'0058	IPRC6 - IPRC4	
IRQ7		23	H'005C		
リザーブ	-	24	H'0060	IPRC2 - IPRC0	
WOVI0 (インターバルタイマ)	ウォッチドッグ タイマ 0	25	H'0064	IPRD6 - IPRD4	
リザーブ	-	26	H'0068	IPRD2 - IPRD0	
リザーブ	-	27	H'006C	IPRE6 - IPRE4	
ADI (A/D 変換終了)	A/D	28	H'0070	IPRE2 - IPRE0	
リザーブ	-	29	H'0074		
リザーブ	-	30	H'0078		
リザーブ	-	31	H'007C		
TGI0A (TGR0A インพุットキャプチャ/ コンペアマッチ)	TPU チャンネル 0	32	H'0080	IPRF6 - IPRF4	
TGI0B (TGR0B インพุットキャプチャ/ コンペアマッチ)		33	H'0084		
TGI0C (TGR0C インพุットキャプチャ/ コンペアマッチ)		34	H'0088		
TGI0D (TGR0D インพุットキャプチャ/ コンペアマッチ)		35	H'008C		
TCI0V (オーバフロー-0)		36	H'0090		
リザーブ		-	37		H'0094
		38	H'0098		
		39	H'009C		
TGI1A (TGR1A インพุットキャプチャ/ コンペアマッチ)	TPU チャンネル 1	40	H'00A0	IPRF2 - IPRF0	
TGI1B (TGR1B インพุットキャプチャ/ コンペアマッチ)		41	H'00A4		
TCI1V (オーバフロー-1)		42	H'00A8		
TCI1U (アンダフロー-1)		43	H'00AC		

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスト モード		
TGI2A (TGR2A インพุットキャプチャ/ コンペアマッチ) TGI2B (TGR2B インพุットキャプチャ/ コンペアマッチ) TCI2V (オーバフロー-2) TCI2U (アンダフロー-2)	TPU チャンネル 2	44	H'00B0	IPRG6 - IPRG4	高 ↑
		45	H'00B4		
		46	H'00B8		
		47	H'00BC		
TGI3A (TGR3A インพุットキャプチャ/ コンペアマッチ) TGI3B (TGR3B インพุットキャプチャ/ コンペアマッチ) TGI3C (TGR3C インพุットキャプチャ/ コンペアマッチ) TGI3D (TGR3D インพุットキャプチャ/ コンペアマッチ) TCI3V (オーバフロー-3)	TPU チャンネル 3	48	H'00C0	IPRG2 - IPRG0	
		49	H'00C4		
		50	H'00C8		
		51	H'00CC		
		52	H'00D0		
		リザーブ	-		
54	H'00D8				
55	H'00DC				
TGI4A (TGR4A インพุットキャプチャ/ コンペアマッチ) TGI4B (TGR4B インพุットキャプチャ/ コンペアマッチ) TCI4V (オーバフロー-4) TCI4U (アンダフロー-4)	TPU チャンネル 4	56	H'00E0	IPRH6 - IPRH4	
		57	H'00E4		
		58	H'00E8		
		59	H'00EC		
TGI5A (TGR5A インพุットキャプチャ/ コンペアマッチ) TGI5B (TGR5B インพุットキャプチャ/ コンペアマッチ) TCI5V (オーバフロー-5) TCI5U (アンダフロー-5)	TPU チャンネル 5	60	H'00F0	IPRH2 - IPRH0	低 ↓
		61	H'00F4		
		62	H'00F8		
		63	H'00FC		

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位		
			アドバンスト モード				
リザーブ	-	64	H'0100	IPRI6 - IPRI4	↑ 高		
		65	H'0104				
		66	H'0108				
		67	H'010C				
リザーブ	-	68	H'0110	IPRI2 - IPRI0		↑ 高	
		69	H'0114				
		70	H'0118				
		71	H'011C				
リザーブ	-	72	H'0120	IPRJ6 - IPRJ4			↑ 高
		73	H'0124				
		74	H'0128				
		75	H'012C				
		76	H'0130				
		77	H'0134				
		78	H'0138				
		79	H'013C				
ERI0 (受信エラー0) RXI0 (受信完了0) TXI0 (送信データエンブティ0) TEI0 (送信終了0)	SCI チャンネル0	80	H'0140	IPRJ2 - IPRJ0	↑ 高		
		81	H'0144				
		82	H'0148				
		83	H'014C				
ERI1 (受信エラー1) RXI1 (受信完了1) TXI1 (送信データエンブティ1) TEI1 (送信終了1)	SCI チャンネル1	84	H'0150	IPRK6 - IPRK4		↑ 高	
		85	H'0154				
		86	H'0158				
		87	H'015C				
ERI2 (受信エラー2) RXI2 (受信完了2) TXI2 (送信データエンブティ2) TEI2 (送信終了2)	SCI チャンネル2	88	H'0160	IPRK2 - IPRK0			↑ 高
		89	H'0164				
		90	H'0168				
		91	H'016C				
リザーブ	-	92	H'0170	IPRL6 - IPRL4	↑ 高		
		93	H'0174				
		94	H'0178				
		95	H'017C				
		96	H'0180				
		97	H'0184				
		98	H'0188				
		99	H'018C				
リザーブ	-	100	H'0190	IPRL2 - IPRL0		↓ 低	
		101	H'0194				
		102	H'0198				
		103	H'019C				

5. 割り込みコントローラ

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*	IPR	優先 順位
			アドバンスト モード		
リザーブ	-	104	H'01A0	IPRM6 - IPRM4	↑ 高
		105	H'01A4		
		106	H'01A8		
		107	H'01AC		
リザーブ	-	108	H'01B0	IPRM2 - IPRM0	↑ 高
		109	H'01B4		
		110	H'01B8		
		111	H'01BC		
リザーブ	-	112	H'01C0	IPRN6 - IPRN4	↑ 高
		113	H'01C4		
		114	H'01C8		
		115	H'01CC		
リザーブ	-	116	H'01D0	IPRN2 - IPRN0	↑ 高
		117	H'01D4		
		118	H'01D8		
		119	H'01DC		
ERI3 (受信エラー3) RXI3 (受信完了3) TXI3 (送信データエンプティ3) TEI3 (送信終了3)	SCI チャンネル 3	120	H'01E0	IPRO6 - IPRO4	↑ 高
		121	H'01E4		
		122	H'01E8		
		123	H'01EC		
ERI4 (受信エラー4) RXI4 (受信完了4) TXI4 (送信データエンプティ4) TEI4 (送信終了4)	SCI チャンネル 4	124	H'01F0	IPRO2 - IPRO0	↓ 低
		125	H'01F4		
		126	H'01F8		
		127	H'01FC		

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定、および、CPU の CCR の I ビット、EXR の I2~I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0		I	I ビットにより、割り込みマスク制御を行います。
		1			設定禁止
2	1	0	IPR	I2~I0	I2~I0 ビットにより、8 レベルの割り込みマスク制御を行います。 IPR により、8 レベルの優先順位の設定ができません。
		1			設定禁止

図 5.4 に優先順位判定回路のブロック図を示します。

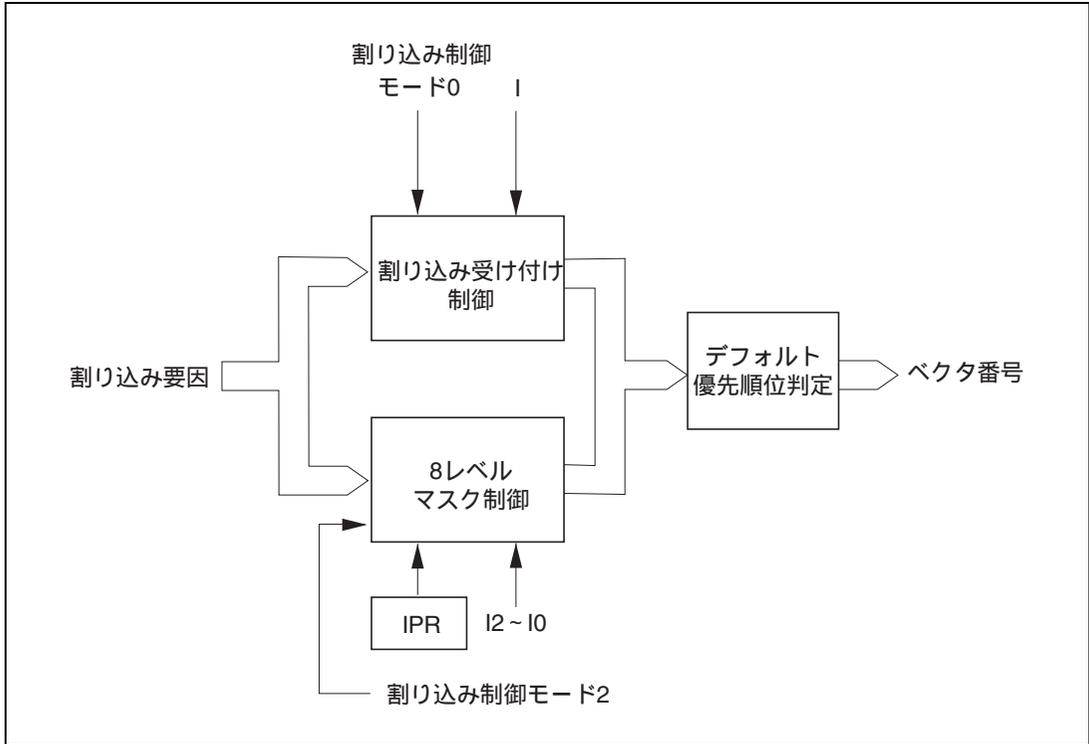


図 5.4 割り込み制御動作のブロック図

(1) 割り込み受け付け制御

割り込み制御モード0のとき、CCRのIビットにより割り込み受け付け制御を行います。

表 5.6 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2	*	すべての割り込み

【記号説明】

* : Don't care

(2) 8 レベル制御

割り込み制御モード 2 のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル (IPR) に従った 8 レベルのマスクレベル判定を行います。

IPR で設定したプライオリティレベルが、マスクレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.7 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスクレベルより大きい (IPR > I2 - I0) かつ、プライオリティレベル (IPR) が最大の割り込み

(3) デフォルト優先順位判定

8 レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.8 に割り込み制御モードと動作および制御信号機能を示します。

表 5.8 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御		8 レベル制御			デフォルト優先順位判定	T (トレース)
	INTM1	INTM0		I		I2 - I0	IPR		
0	0	0		IM	×	-	- *2		-
2	1	0	×	- *1		IM	PR		T

【記号説明】

- : 割り込み動作制御を行います。
- × : 動作しません。(割り込みはすべて許可)
- IM : 割り込みマスクビットとして使用。
- PR : 優先順位を設定。
- : 使用しません。

【注】 *1 割り込み受け付け時に 1 にセットされます。

*2 初期設定値を保持してください。

5.4.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビットによって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

1. 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
2. I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
3. 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択され、その他は保留となります。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
6. 次に CCR の I ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

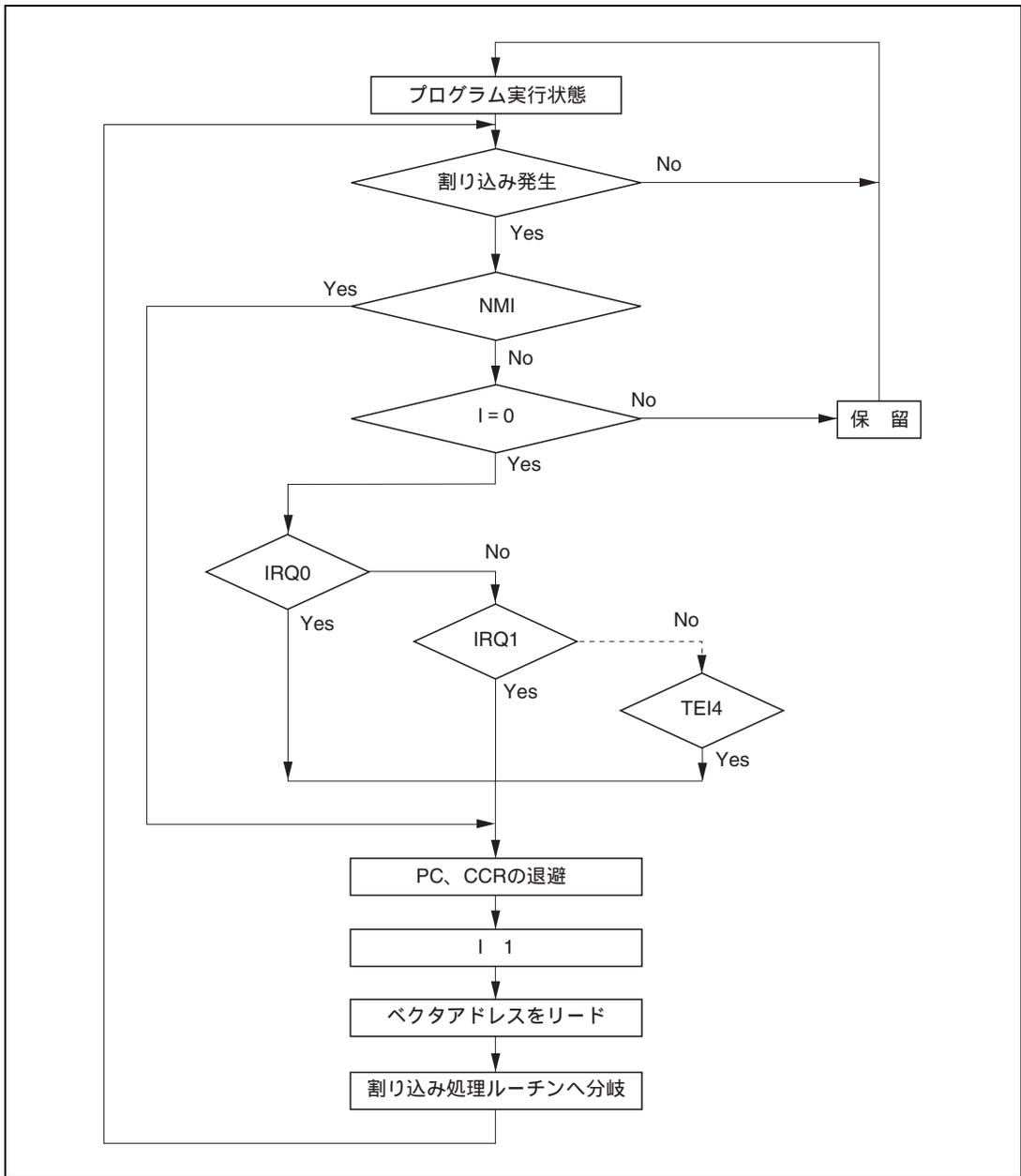


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.4.3 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル(I2 ~ I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
2. 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.4に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
3. その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

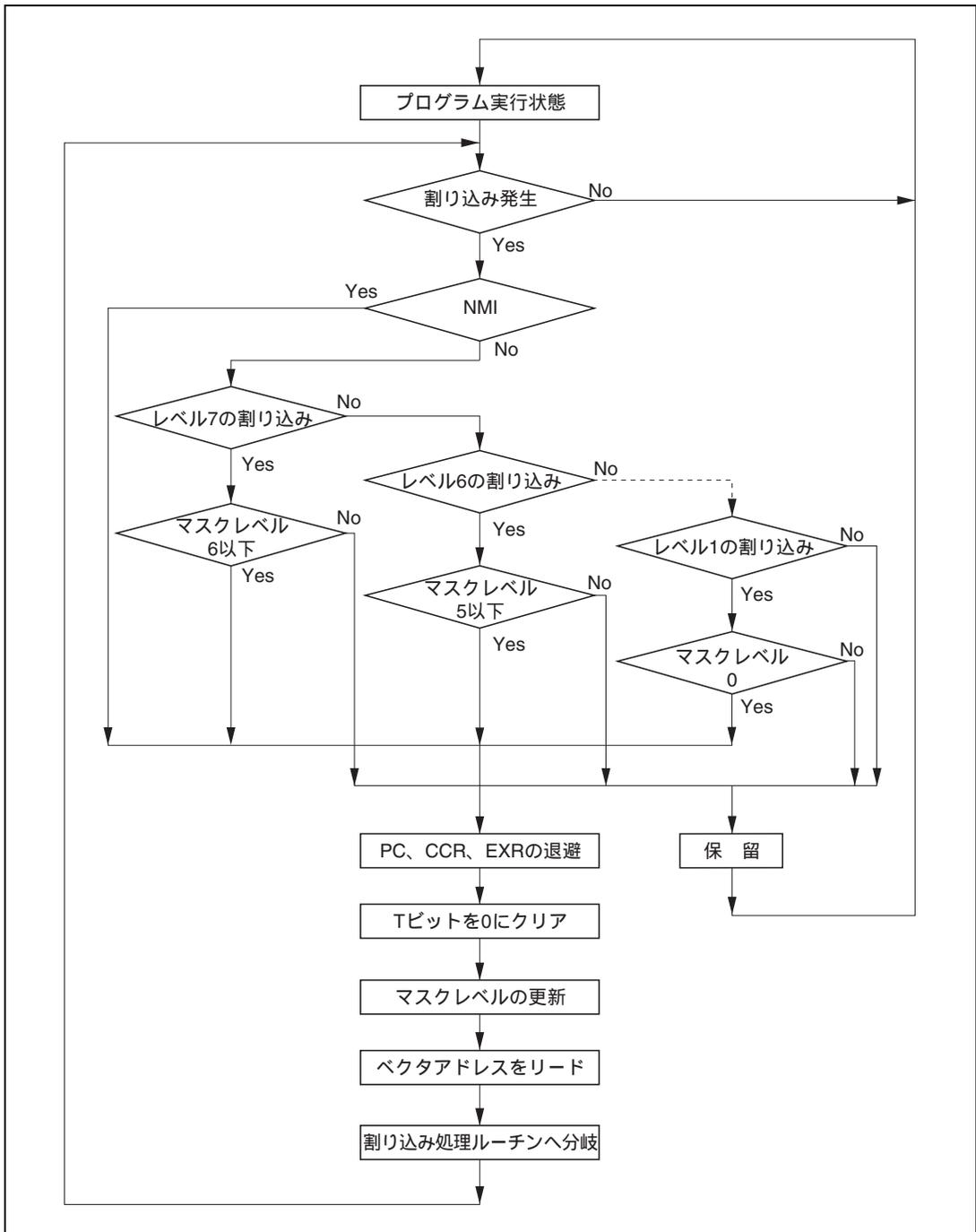


図 5.6 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.4.4 割り込み例外処理シーケンス

図 5.7 に、割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

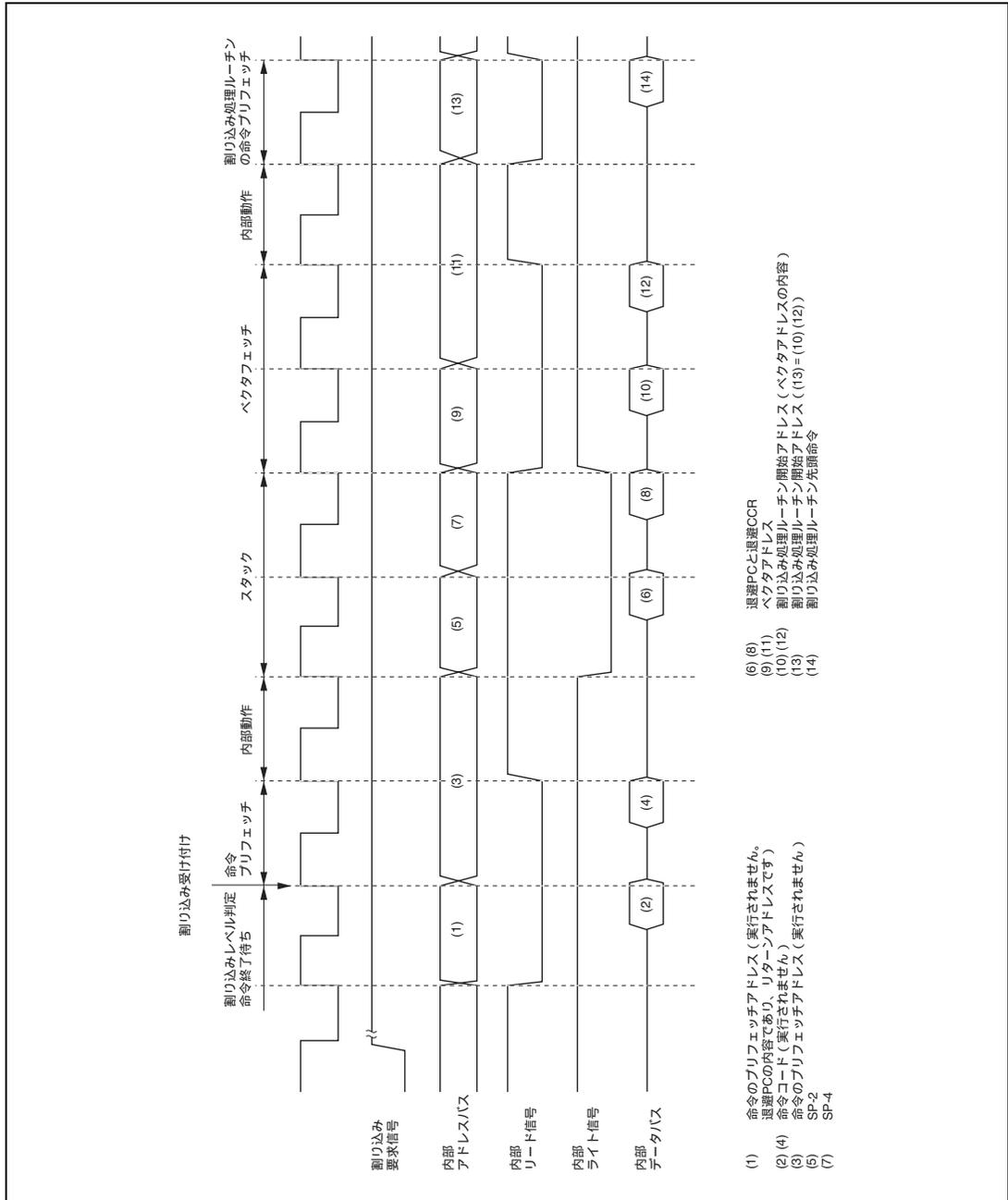


図 5.7 割り込み例外処理

5.4.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.9 に示します。表 5.9 の実行状態の記号については表 5.10 を参照してください。

表 5.9 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		INTM1 = 0	INTM1 = 1	INTM1 = 0	INTM1 = 1
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	1 ~ (19 + 2 · S _i)			
3	PC、CCR および EXR のスタック	2 · S _k	3 · S _k	2 · S _k	3 · S _k
4	ベクタフェッチ	S _i		2 · S _i	
5	命令フェッチ*3	2 · S _i			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。

表 5.10 割り込み例外処理の実行状態のステート数

記号	アクセス対象	アクセス対象				
		内部メモリ	外部デバイス			
			8 ビットバス		16 ビットバス	
			2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S _i	1	4	6 + 2m	2	3 + m	
分岐アドレスリード S _j						
スタック操作 S _k						

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを 0 にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令等で割り込みイネーブルビットを 0 にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを 0 にクリアする場合も同様です。

8 ビットタイマの TCR の CMIEA ビットを 0 にクリアする場合の例を図 5.8 に示します。

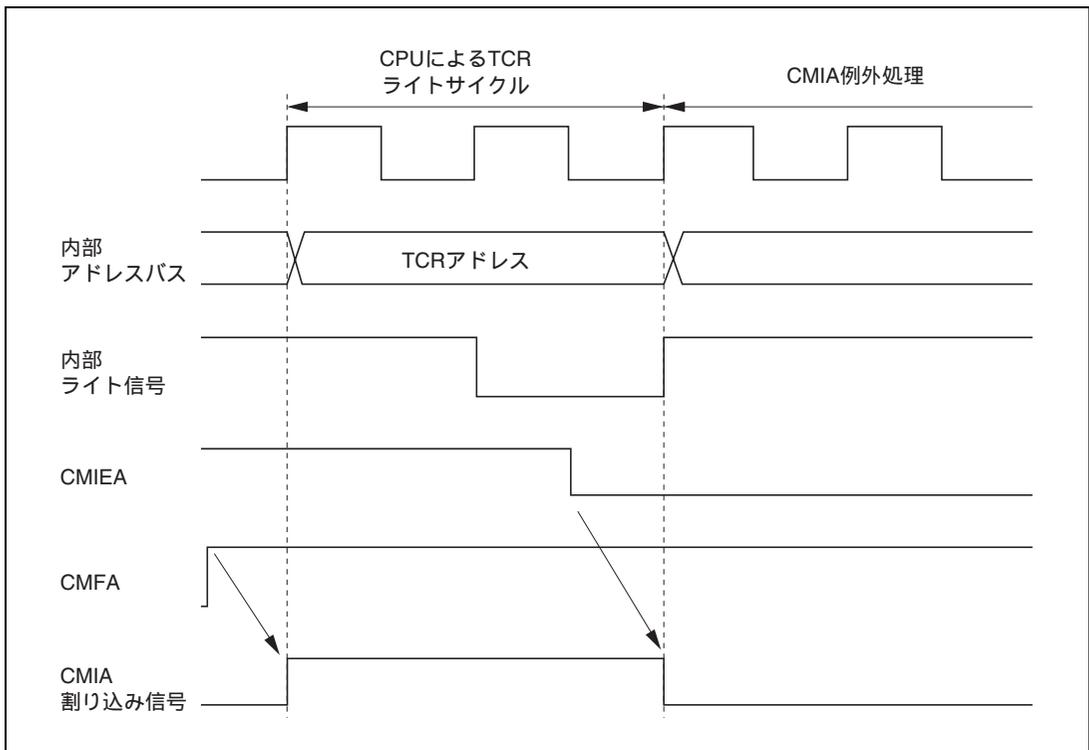


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.5.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

5.5.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W   R4, R4
      BNE    L1
```

5.5.5 IRQ 割り込み

クロック動作時、IRQ はクロック同期で入力を受け付けます。

ソフトウェアスタンバイ時は非同期で入力を受け付けます。

入力条件については「25A.3.2、25B.3.2、25C.3.2 制御信号タイミング」を参照してください。

5.5.6 NMI 割り込み使用上の注意

NMI 割り込みは、電気的特性で規定された条件下で正常に動作している場合に、本 LSI に内蔵している割り込みコントローラ、CPU の連携で実行される例外処理です。ソフトウェアの不具合や、LSI 端子への異常入力などで正常動作を行っていない場合（暴走状態）は、NMI 割り込みを含めすべての動作は保証されません。本ケースにおいては、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。

5.6 割り込みによる DTC、DMAC の起動 (H8S/2695 には DTC、DMAC はありません)

5.6.1 概要

割り込みにより、DTC、DMAC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPU に対する割り込み要求
- (2) DTC に対する起動要求
- (3) DMAC に対する起動要求
- (4) (1) ~ (3) の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、「第 9 章 データ転送コントローラ(DTC)」および「第 8 章 DMA コントローラ (DMAC)」を参照してください。

5.6.2 ブロック図

図 5.9 に、DTC、DMAC と割り込みコントローラのブロック図を示します。

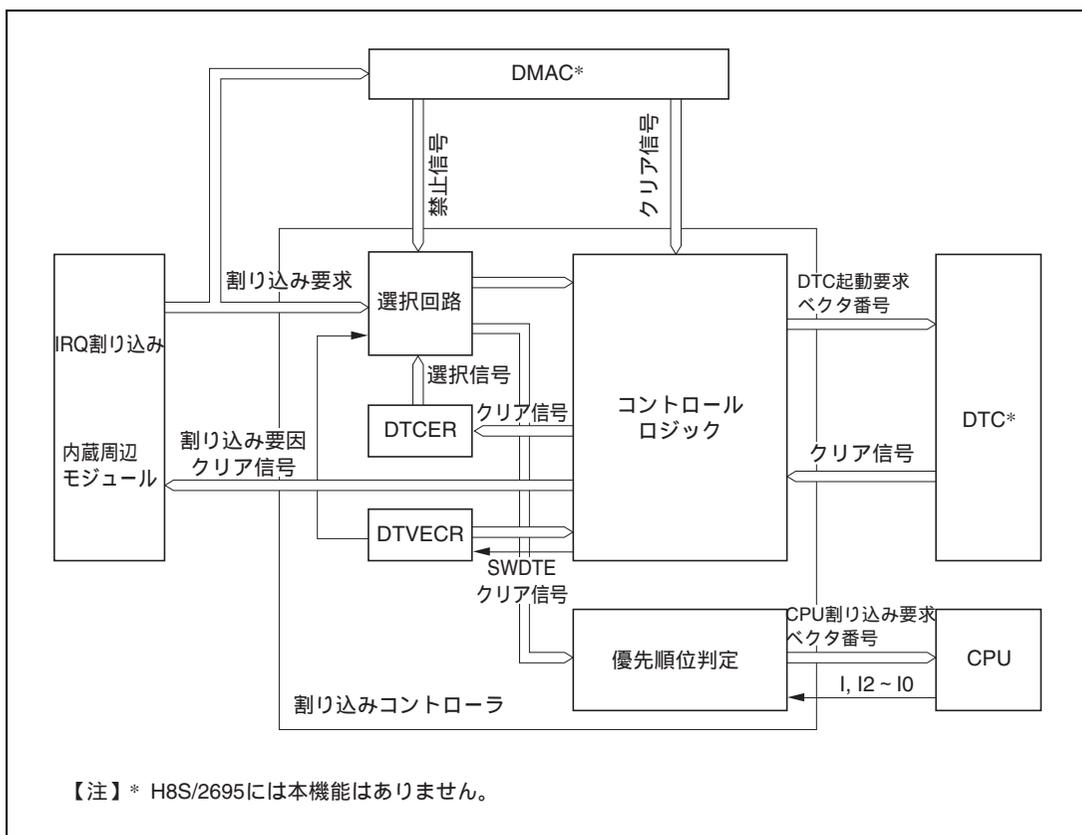


図 5.9 DTC*、DMAC*と割り込み制御

5.6.3 動作説明

DTC、DMAC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

DMAC は、各チャンネルに直接、起動要因が入力されます。DMAC の各チャンネルの起動要因は DMACR の DTF3 ~ DTF0 ビットにより選択します。選択した起動要因を DMAC が管理するかを、DMABCR の DTA ビットによって選択することができます。DTA ビットを 1 にセットすると、その DMAC の起動要因になった割り込み要因は、DTC の起動要因および CPU の割り込み要因にはなりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ DTCERF、DTCERI の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「8.6 割り込み」、および「9.3.3 DTC ベクタテーブル」を参照してください。

DMAC は、各チャンネルに直接起動要因が入力されます。

(3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

同一の割り込みを、DMAC の起動要因と、DTC の起動要因または CPU の割り込み要因に選択した場合、これらは独立に動作を行います。それぞれの動作状態およびバス権の優先順位に従います。

表 5.11 に、DMAC の DMABCR の DTA ビット、DTC の DTCERA ~ DTCERF、DTCERI の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.11 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択・クリア制御		
DMAC* ¹	DTC* ¹		DMAC* ¹	DTC* ¹	CPU
DTA* ¹	DTCE* ¹	DISEL* ¹			
0	0	*		×	
	1	0			×
		1			
1	*	*		×	×

【記号説明】

：当該割り込みを使用します。割り込み要因のクリアを行います。

（CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。）

：当該割り込みを使用します。割り込み要因をクリアしません。

× ：当該割り込みは使用できません。

* ：Don't care

【注】 *1 H8S/2695 には本機能はありません。

（４） 使用上の注意

SCI および A/D 変換器の割り込み要因は、DMAC*または DTC*が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビット*、DTCE ビット*、DISEL ビット*には依存しません。

【注】 * H8S/2695 には本機能はありません。

6. PC ブレークコントローラ (PBC) (H8S/2695 には本機能はありません)

6.1 概要

PC ブレークコントローラ (PBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても本 LSI 単体で手軽にプログラムをデバッグできます。PBC に設定できるブレーク条件には、命令フェッチ、データリード、データライト、データリード/ライトの 4 条件があります。

6.1.1 特長

PC ブレークコントローラは、次の特長があります。

ブレークチャンネル数：2 チャンネル (チャンネル A、B)

ブレークコンペア条件として以下の条件を設定可能

- アドレス24ビット
ビットマスク可能
- バスサイクル
命令フェッチ
データアクセス：データリード、データライト、データリード/ライト
- バスマスタ
CPU、CPU / DTCのいずれかから選択可能

ブレーク条件成立後、下記タイミングで PC ブレーク例外処理を実行

- 設定したアドレスでフェッチした命令の実行直前 (命令フェッチ)
- 設定したアドレスのデータをアクセスする命令の実行直後 (データアクセス)

モジュールストップモードの設定可能

- 初期値ではPBCの動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

6. PC ブレークコントローラ (PBC)

6.1.2 ブロック図

PC ブレークコントローラのブロック図を図 6.1 に示します。

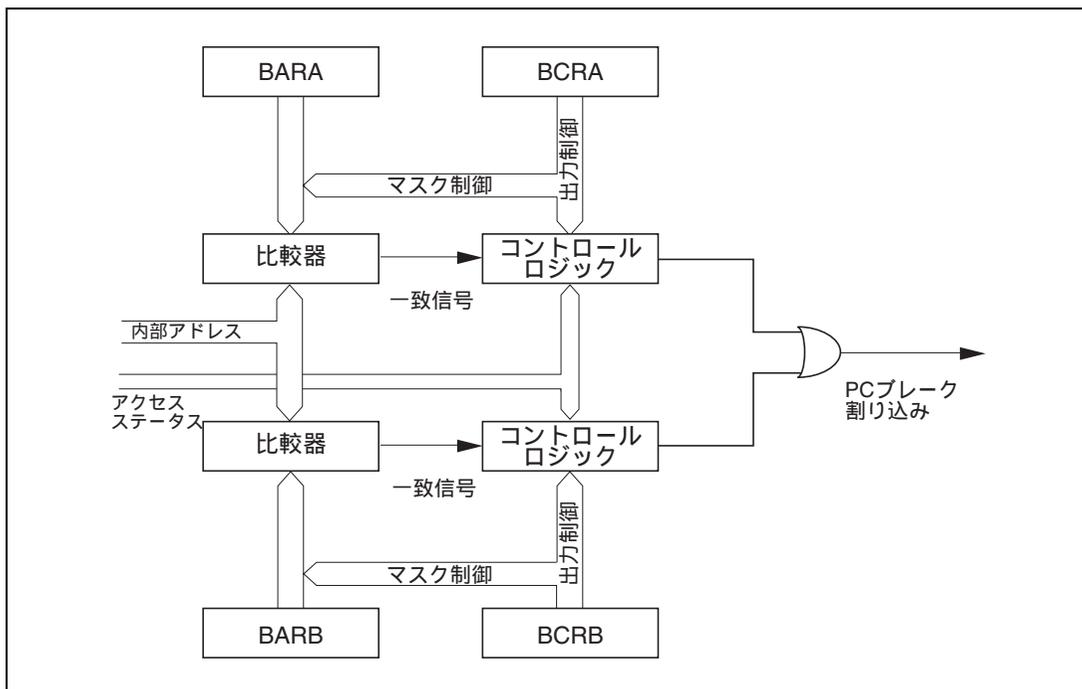


図 6.1 PC ブレークコントローラのブロック図

6.1.3 レジスタ構成

表 6.1 に PC ブレークコントローラのレジスタ構成を示します。

表 6.1 レジスタ構成

名称	略称	R/W	初期値		アドレス*1
			パワーオン リセット	マニュアル リセット	
ブレークアドレスレジスタ A	BARA	R/W	H'XX000000	保持	H'FE00
ブレークアドレスレジスタ B	BARB	R/W	H'XX000000	保持	H'FE04
ブレークコントロールレジスタ A	BCRA	R/(W)*2	H'00	保持	H'FE08
ブレークコントロールレジスタ B	BCRB	R/(W)*2	H'00	保持	H'FE09
モジュールストップコントロール レジスタ C	MSTPCRC	R/W	H'FF	保持	H'FDEA

【注】 *1 アドレスの下位 16 ビットを示します。

*2 フラグをクリアするための 0 ライトのみ可能です。

6.2 レジスタの説明

6.2.1 ブレークアドレスレジスタ (BARA)

ビット:

31	...	24	23	22	21	20	19	18	17	16	...	7	6	5	4	3	2	1	0
	...		BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	...	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	不定	...	不定	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0
R/W:		...	R/W	...	R/W														

BARA は、32 ビットのリード/ライト可能なレジスタで、チャンネル A のブレークアドレスを指定します。
BAA23 ~ BAA0 はパワーオンリセットまたはハードウェアスタンバイモード時に、H'000000 に初期化されます。

- ビット31 ~ 24 : リザーブビット
リード値は不定で、ライトは無効です。
- ビット23 ~ 0 : ブレークアドレス23 ~ 0 (BAA23 ~ BAA0)
チャンネルAのPCブレークのアドレスを設定します。

6.2.2 ブレークアドレスレジスタ B (BARB)

チャンネル B のブレークアドレスレジスタです。ビット構成は、BARA と同様です。

6.2.3 ブレークコントロールレジスタ A (BCRA)

ビット:

7	6	5	4	3	2	1	0
CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA
初期値:	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

BCRA はチャンネル A の PC ブレークを制御します。BCRA には (1) ブレーク条件のバスマスタの選択 (2) アドレス比較のマスクを行うビットの指定 (3) ブレーク条件を命令フェッチか、データアクセスで行うかを設定します。また、条件一致フラグを持っています。

BCRA はリード/ライト可能な 8 ビットのレジスタで、パワーオンリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

- ビット7: コンディションマッチフラグA (CMFA)

チャンネルAに設定したブレーク条件が成立したとき、1にセットされます。0クリアは行いません。

ビット7	説明
CMFA	
0	[クリア条件] CMFA = 1 の状態で CMFA をリード後、CMFA に 0 をライトしたとき (初期値)
1	[セット条件] チャンネル A の設定した条件が成立したとき

- ビット6: CPUサイクル/DTCサイクルセレクトA (CDA)

チャンネルAのブレーク条件のバスマスタを選択します。

ビット6	説明
CDA	
0	CPU がバスマスタのとき、PC ブレークを行う (初期値)
1	CPU または DTC がバスマスタのとき、PC ブレークを行う

- ビット5~3: ブレークアドレスマスクレジスタA2~A0 (BAMRA2~BAMRA0)

BARAに設定されているブレークアドレス(BAA23~BAA0)の各ビットをマスクするかどうかを指定します。

ビット5	ビット4	ビット3	説明
BAMRA 2	BAMRA 1	BAMRA 0	
0	0	0	BARA をマスクせず全ビットをブレーク条件に含める (初期値)
0	0	1	BAA0 (下位 1 ビット) をマスクしブレーク条件に含めない
0	1	0	BAA1~0 (下位 2 ビット) をマスクしブレーク条件に含めない
0	1	1	BAA2~0 (下位 3 ビット) をマスクしブレーク条件に含めない
1	0	0	BAA3~0 (下位 4 ビット) をマスクしブレーク条件に含めない
1	0	1	BAA7~0 (下位 8 ビット) をマスクしブレーク条件に含めない
1	1	0	BAA11~0 (下位 12 ビット) をマスクしブレーク条件に含めない
1	1	1	BAA15~0 (下位 16 ビット) をマスクしブレーク条件に含めない

- ビット2、1：ブレーク条件選択 (CSELA1、CSELA0)

チャンネルAのブレーク条件を、命令フェッチにするか、データリード、データライト、データリード/ライトサイクルにするかを選択します。

ビット2	ビット1	説 明
CSELA1	CSELA0	
0	0	命令フェッチをブレーク条件とする (初期値)
0	1	データリードサイクルをブレーク条件とする
1	0	データライトサイクルをブレーク条件とする
1	1	データリード/ライトサイクルをブレーク条件とする

- ビット0：ブレーク割り込みイネーブル (BIEA)

チャンネルAのPCブレーク割り込みを許可または禁止します。

ビット0	説 明
BIEA	
0	PC ブレーク割り込みを禁止 (初期値)
1	PC ブレーク割り込みを許可

6.2.4 ブレークコントロールレジスタ B (BCRB)

チャンネルBのブレークコントロールレジスタです。ビット構成は、BCRAと同様です。

6.2.5 モジュールストップコントロールレジスタ C (MSTPCRC)

ビット：	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

MSTPCRCは8ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPC4ビットを1にセットすると、バスサイクルの終了時点でPCブレークコントローラの動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRCは、パワーオンリセットまたはハードウェアスタンバイモード時にH'FFに初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット4 : モジュールストップ (MSTPC4)

PCブレークコントローラのモジュールストップモードを指定します。

ビット 4	説 明
MSTPC4	
0	PC ブレークコントローラのモジュールストップモード解除
1	PC ブレークコントローラのモジュールストップモード設定 (初期値)

6.3 動作説明

ブレーク条件の設定から PC ブレーク割り込み例外処理までの動作の流れを、チャンネル A を例にして「6.3.1 命令フェッチによる PC ブレーク割り込み動作」、「6.3.2 データアクセスによる PC ブレーク割り込み動作」に示します。

6.3.1 命令フェッチによる PC ブレーク割り込み動作

(1) 初期設定

- ブレークアドレスをBARAに設定します。命令フェッチによるPCブレークでは、命令の第1バイトが存在するアドレスにブレークアドレスを設定してください。

- ブレーク条件をBCRAに設定します。

BCRAのビット6 (CDA) : 命令フェッチによるPCブレークでは、バスマスタはCPUに限定されます。0を設定してCPUを選択してください。

BCRAのビット5~3 (BAMA2~0) : マスクするアドレスのビットを設定します。

BCRAのビット2~1 (CSELA1~0) : 00を設定して命令フェッチをブレーク条件とします。

BCRAビット0 (BIEA) : 1に設定し、ブレーク割り込みを許可します。

(2) ブレーク条件成立

- 設定したアドレスの命令をフェッチすると、フェッチした命令を実行する直前でPCブレーク要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。

(3) 割り込み処理

- 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

6.3.2 データアクセスによる PC ブレーク割り込み動作

(1) 初期設定

- ブレークアドレスをBARAに設定します。データアクセスによるPCブレークでは、ブレークアドレスを、対象のROMまたはRAM、I/Oあるいは外部アドレス空間のアドレスに設定してください。データアクセスには、スタック動作や分岐アドレスのリードも含まれます。

- ブレーク条件をBCRAに設定します。

BCRAのビット6 (CDA) : バスマスタを選択してください。

BCRAのビット5~3 (BAMA2~0) : マスクするアドレスのビットを設定します。

BCRAのビット2~1 (CSELA1~0) : 01、10、11を設定してデータアクセスをブレーク条件とします。

BCRAのビット0 (BIEA) : 1に設定し、ブレーク割り込みを許可します。

(2) ブレーク条件成立

- 設定したアドレスのデータアクセスを行った命令の実行後、PCブレーク要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。

(3) 割り込み処理

- 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

6.3.3 PC ブレーク割り込み処理時の注意事項

(1) PC ブレーク割り込みは、チャンネル A とチャンネル B の兼用です。割り込み処理の中でどちらのチャンネルからの要求かを判定してください。

(2) CMFA、CMFB は 0 をクリアされませんので、CMFA = 1 または CMFB = 1 の状態で、CMFA または CMFB をリード後、0 をライトしてください。1 にセットしたままの状態では、割り込み処理後、再度割り込み要求が発生します。

(3) DTC がバスマスタのときに発生した PC ブレーク割り込みは、バスコントローラでバス権が CPU に移行した後に受け付けられます。

6.3.4 低消費電力モード遷移時の動作

SLEEP 命令の次のアドレスの命令フェッチに PC ブレーク割り込みを設定した場合の動作を以下に示します。

(1) SLEEP 命令により高速 (中速) モードからスリープモードへ、サブアクティブモードからサブスリープモードへ遷移する場合

SLEEP 命令実行後、スリープモード、サブスリープモードへ遷移しないで、PCブレーク例外処理を実行します。PCブレーク例外処理実行後、SLEEP 命令の次のアドレスの命令を実行します (図6.2 (A))。

(2) SLEEP 命令により高速 (中速) モードからサブアクティブモードへ遷移する場合

SLEEP 命令実行後、直接遷移例外処理を経てサブアクティブモードへ遷移します。遷移後、PCブレーク例外処理を実行、SLEEP 命令の次のアドレスの命令を実行します (図6.2 (B))。

(3) SLEEP 命令によりサブアクティブモードから高速 (中速) モードへ遷移する場合

SLEEP 命令実行後、クロック発振安定時間、直接遷移例外処理を経て高速 (中速) モードへ遷移します。遷移後、PCブレーク例外処理を実行、SLEEP 命令の次のアドレスの命令を実行します (図6.2 (C))。

(4) SLEEP 命令によりソフトウェアスタンバイモード、ウォッチモードへ遷移する場合

SLEEP 命令実行後、各モードに遷移し、PCブレーク例外処理は実行しません。ただし、CMFA、CMFB はセットされます (図6.2 (D))。

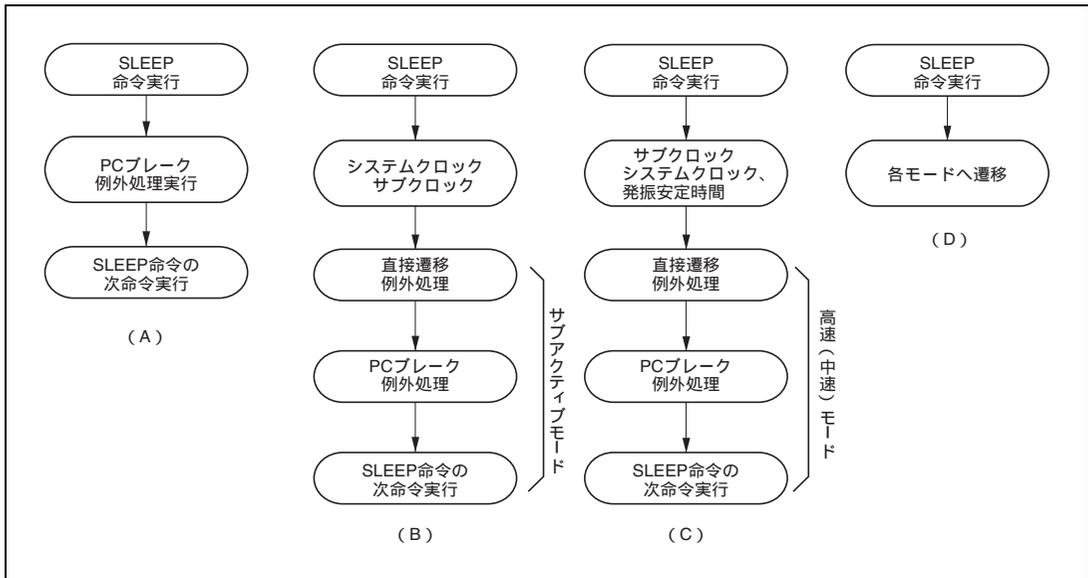


図 6.2 低消費電力モード遷移時の動作

6.3.5 連続データ転送時の PC ブレーク動作

次の動作をしているときに発生した PC ブレーク割り込みは、指定の転送を終了した時点で例外処理を実行しません。

- (1) EEPMOV.B 命令の転送アドレスに PC ブレーク割り込みが発生した場合
すべてのデータの転送が終了し EEPMOV.B 命令が終了した後、PC ブレーク例外処理を実行します。
- (2) DTC の転送アドレスにブレーク割り込みが発生した場合
DTC が指定された回数のデータ転送を終了した後、あるいは DISEL ビットが 1 にセットされたデータを転送終了した後、PC ブレーク例外処理を実行します。

6.3.6 命令実行が 1 ステート遅れる場合

次の場合は、通常の動作に比較して命令実行が 1 ステート遅れますので、ご注意ください。

- (1) 内蔵 ROM/RAM 内に存在する 1 ワード分岐命令 (Bcc d:8, BSR, JSR, JMP, TRAPA, RTE, RTS) は PBC が有効な場合 (ブレーク割り込みイネーブルビットが許可されている場合)、常に命令実行が 1 ステート遅れます。
- (2) 命令フェッチによるブレーク割り込みを設定した場合、設定アドレスが内蔵 ROM/RAM 空間を示し、そのアドレスをデータアクセスとして使用したとき、データアクセスを実行している命令は、通常動作より 1 ステート遅れます。
- (3) 命令フェッチによるブレーク割り込みを設定した場合、ブレーク割り込みが発生すると、設定した命令より 1 つ前の実行中の命令が、以下に示すアドレッシングモードを持ち、そのアドレスが内蔵 ROM/RAM を示している場合は、通常動作より 1 ステート遅れます。

(@ERn,@(d:16,ERn),@(d:32,ERn),@-ERn/ERn+,@aa:8,@aa:24,@aa:32,@(d:8,PC),@(d:16,PC),@aa:8)

- (4) 命令フェッチによるブレーク割り込みを設定した場合、ブレーク割り込みが発生すると、設定した命令より1つ前の実行中の命令が、NOP、SLEEP であるか、あるいは#xx,Rn をアドレッシングモードとして持ち、かつその命令が内蔵 ROM/RAM に存在する場合、通常動作より1ステート遅れます。

6.3.7 その他の注意事項

- (1) BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合 BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令はフェッチされても実行しないため、次のアドレスの命令フェッチで PC ブレーク割り込みは発生しません。
- (2) LDC、ANDC、ORC、XORC 命令により1ビットを設定した場合、実行命令終了の2ステート後に PC ブレーク割り込みが有効になります。また、これらの命令の次命令に PC ブレーク割り込みを設定した場合、LDC、ANDC、ORC、XOR は、3ステート期間、NMI 割り込みを含めて割り込みが禁止されるため、必ず次の命令を実行します。
詳細は「第5章 割り込みコントローラ」を参照してください。
- (3) Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合
分岐条件により次のアドレスの命令を実行するときは PC ブレーク割り込みが発生しますが、次のアドレスの命令を実行しないときは PC ブレーク割り込みが発生しません。
- (4) Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合
分岐条件により分岐先の命令を実行するときは PC ブレーク割り込みが発生しますが、分岐先の命令を実行しないときは PC ブレーク割り込みが発生しません。

7. バスコントローラ

7.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU、DMA コントローラ (DMAC) *およびデータトランスファコントローラ (DTC) *の動作を制御します。

【注】 * H8S/2695 には本機能はありません。

7.1.1 特長

バスコントローラの特長を以下に示します。

外部アドレス空間をエリア単位で管理

- 外部空間を2Mバイト単位の8エリアに分割して管理
- エリアごとにバス仕様を設定可能
- DRAM / バーストROMインタフェースを設定可能

基本バスインタフェース

- エリア0~7に対してチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
- エリアごとに、8ビットアクセス空間 / 16ビットアクセス空間を選択可能
- エリアごとに、2ステートアクセス空間 / 3ステートアクセス空間を選択可能
- エリアごとに、プログラムウェイトステートを挿入可能

DRAM インタフェース*

- エリア2~5に対してDRAMインタフェースを設定可能 (アドバンスモード時)
- ロウアドレス / カラムアドレスのマルチプレクス出力 (8 / 9 / 10ビット)
- CAS2本方式
- バースト動作 (高速ページモード)
- RASプリチャージタイム確保のための T_p サイクル挿入
- CASピフォRASリフレッシュとセルフリフレッシュを選択可能

バースト ROM インタフェース

- エリア0に対してバーストROMインタフェースを設定可能

- バーストアクセスの1または2ステートを選択可能

アイドルサイクル挿入

- 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

ライトバッファ機能

- 外部ライトサイクルと内部アクセスを並列に実行可能
- DMAC*のシングルアドレスモードと内部アクセスを並列に実行可能

バス権調停機能（バスアービトレーション）

- バスアービタを内蔵し、CPU、DMAC*およびDTC*のバス権を調停

その他

- リフレッシュ用カウンタ*（リフレッシュタイマ）をインターバルタイマとして使用可能
- 外部バス権解放機能

【注】 * H8S/2695 には本機能はありません。

7.1.2 ブロック図

バスコントローラのブロック図を図 7.1 に示します。

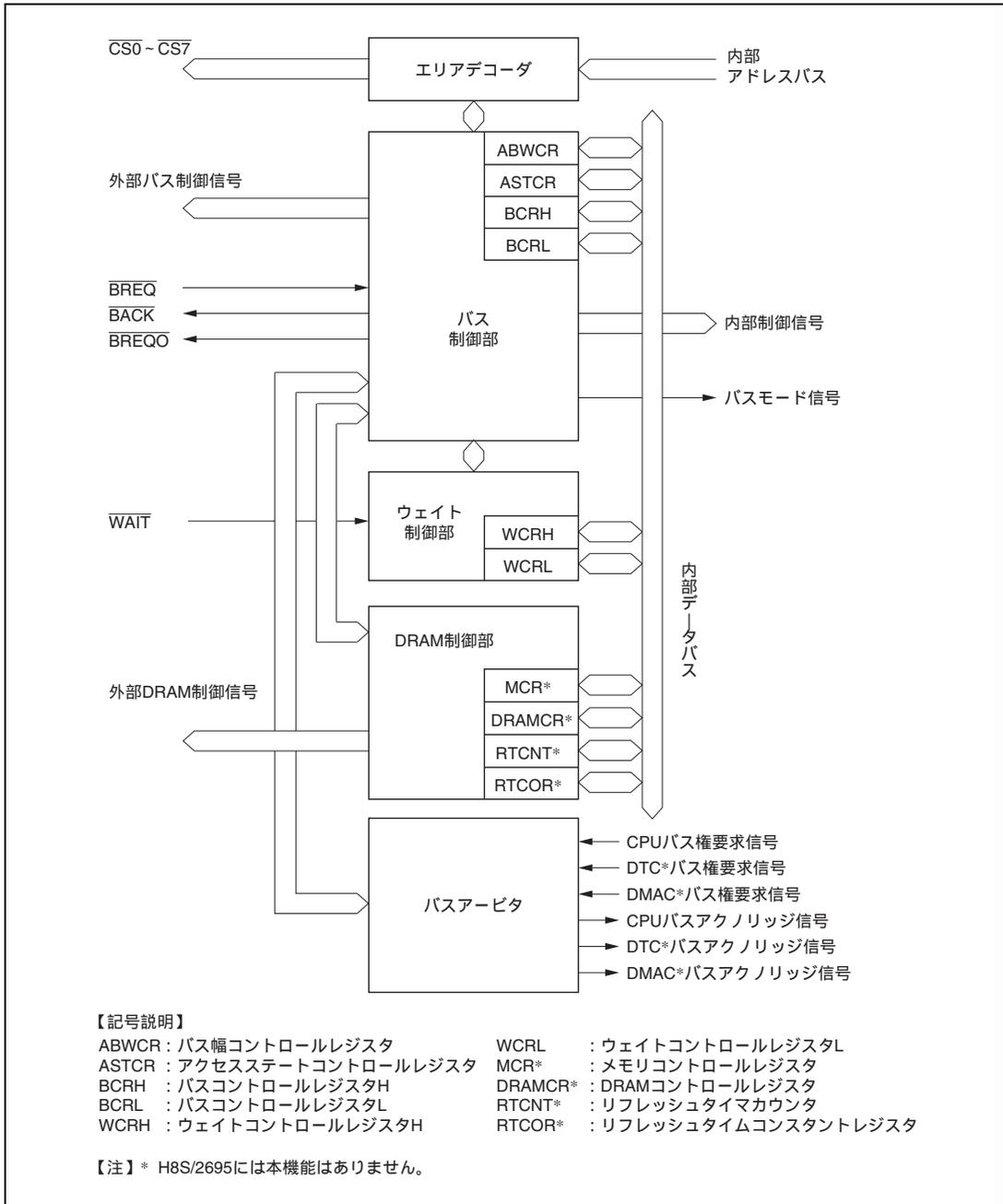


図 7.1 バスコントローラのブロック図

7.1.3 端子構成

表 7.1 にバスコントローラの端子構成を示します。

表 7.1 端子構成

名 称	記号	入出力	機 能
アドレスストロープ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号。
リード	\overline{RD}	出力	外部空間をリードしていることを示すストロープ信号。
ハイライト / ライトイネーブル*	\overline{HWR}	出力	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号。 2CAS 方式の DRAM のライトイネーブル信号*。
ローライト	\overline{LWR}	出力	外部空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロープ信号。
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストロープ信号。
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストロープ信号。
チップセレクト 2 / ロウアドレスストロープ 2*	$\overline{CS2}$	出力	エリア 2 が選択されていることを示すストロープ信号。 エリア 2 が DRAM 空間のとき、DRAM のロウアドレスストロープ信号*。 エリア 2~5 が連続 DRAM 空間のとき、DRAM のロウアドレスストロープ信号*。
チップセレクト 3 / ロウアドレスストロープ 3*	$\overline{CS3} /$ \overline{OE}^*	出力	エリア 3 が選択されていることを示すストロープ信号。 エリア 3 が DRAM 空間のとき、DRAM のロウアドレスストロープ信号*。 エリア 2 のみが DRAM 空間のとき、またはエリア 2~5 が連続 DRAM 空間のとき、アウトプットイネーブル信号*。
チップセレクト 4 / ロウアドレスストロープ 4*	$\overline{CS4}$	出力	エリア 4 が選択されていることを示すストロープ信号。 エリア 4 が DRAM 空間のとき、DRAM のロウアドレスストロープ信号*。
チップセレクト 5 / ロウアドレスストロープ 5*	$\overline{CS5}$	出力	エリア 5 が選択されていることを示すストロープ信号。 エリア 5 が DRAM 空間のとき、DRAM のロウアドレスストロープ信号*。
チップセレクト 6	$\overline{CS6}$	出力	エリア 6 が選択されていることを示すストロープ信号。

名 称	記号	入出力	機 能
チップセレクト7	$\overline{CS7}$	出力	エリア7が選択されていることを示すストロープ信号。
アップーカラムアドレスストロープ*	\overline{CAS}^*	出力	2CAS方式のDRAMのアップーカラムアドレスストロープ信号*。
ロウアーカラムストロープ*	\overline{LCAS}^*	出力	DRAMのロウアーカラムアドレスストロープ信号*。
ウェイト	\overline{WAIT}	入力	外部3ステートアクセス空間をアクセスするときのウェイト要求信号。
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	\overline{BACK}	出力	バス権を解放したことを示すアクノリッジ信号。
バス権要求出力	\overline{BREQO}	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの、外部バス権要求信号。

【注】 * H8S/2695には本機能はありません。

7.1.4 レジスタ構成

表 7.2 にバスコントローラのレジスタ構成を示します。

表 7.2 レジスタ構成

名 称	略称	R/W	初期値		アドレス*1
			パワーオンリセット	マニュアルリセット	
バス幅コントロールレジスタ	ABWCR	R/W	H'FF/H'00*2	保持	H'FED0
アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	保持	H'FED1
ウェイトコントロールレジスタ H	WCRH	R/W	H'FF	保持	H'FED2
ウェイトコントロールレジスタ L	WCRL	R/W	H'FF	保持	H'FED3
バスコントロールレジスタ H	BCRH	R/W	H'D0	保持	H'FED4
バスコントロールレジスタ L	BCRL	R/W	H'08	保持	H'FED5
端子機能コントロールレジスタ	PFCR	R/W	H'0D/H'00	保持	H'FDEB
メモリコントロールレジスタ	MCR*3	R/W	H'00	保持	H'FED6
DRAM コントロールレジスタ	DRAMCR*3	R/W	H'00	保持	H'FED7
リフレッシュタイムマカウンタ	RTCNT*3	R/W	H'00	保持	H'FED8
リフレッシュタイムコンスタントレジスタ	RTCOR*3	R/W	H'FF	保持	H'FED9

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 MCU 動作モードによって決まります。

*3 H8S/2695には本機能はありません。

7.2 各レジスタの説明

7.2.1 バス幅コントロールレジスタ (ABWCR)

ビット :	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード5~7								
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							
モード4								
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ABWCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、モード 5~7 では H'FF に初期化され、モード 4 では、H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット7~0 : エリア7~0バス幅コントロール (ABW7~ABW0)

対応するエリアを8ビットアクセス空間とするか、16ビットアクセス空間とするかを選択します。

ビット n	説明
ABWn	
0	エリア n を 16 ビットアクセス空間に設定
1	エリア n を 8 ビットアクセス空間に設定

(n=7~0)

7.2.2 アクセスステートコントロールレジスタ (ASTCR)

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ASTCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット7~0: エリア7~0アクセスステートコントロール (AST7~AST0)
対応するエリアを2ステートアクセス空間にするか、3ステートアクセス空間とするかを選択します。
同時に、ウェイトステートの挿入を許可または禁止します。

ビット n	説 明
ASTn	
0	エリア n を 2 ステートアクセス空間に設定 エリア n の外部空間アクセスにウェイトステートの挿入を禁止
1	エリア n の外部空間アクセスは 3 ステートアクセス (初期値) エリア n の外部空間アクセスにウェイトステートの挿入を許可

(n=7~0)

7.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、それぞれ 8 ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

WCRH、WCRL は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

(1) WCRH

ビット:	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

- ビット7、6: エリア7ウェイトコントロール1、0 (W71、W70)
ASTCRのAST7ビットが1にセットされた状態でエリア7の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説 明
W71	W70	
0	0	エリア7の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア7の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア7の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア7の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

7. バスコントローラ

- ビット5、4：エリア6ウェイトコントロール1、0（W61、W60）

ASTCRのAST6ビットが1にセットされた状態でエリア6の外部空間をアクセスするときの、プログラムウェイト状態数を選択します。

ビット5	ビット4	説明
W61	W60	
0	0	エリア6の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア6の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア6の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア6の外部空間アクセス時、プログラムウェイトを3ステート挿入（初期値）

- ビット3、2：エリア5ウェイトコントロール1、0（W51、W50）

ASTCRのAST5ビットが1にセットされた状態でエリア5の外部空間をアクセスするときの、プログラムウェイト状態数を選択します。

ビット3	ビット2	説明
W51	W50	
0	0	エリア5の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア5の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア5の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア5の外部空間アクセス時、プログラムウェイトを3ステート挿入（初期値）

- ビット1、0：エリア4ウェイトコントロール1、0（W41、W40）

ASTCRのAST4ビットが1にセットされた状態でエリア4の外部空間をアクセスするときの、プログラムウェイト状態数を選択します。

ビット1	ビット0	説明
W41	W40	
0	0	エリア4の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア4の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア4の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア4の外部空間アクセス時、プログラムウェイトを3ステート挿入（初期値）

(2) WCRL

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

- ビット7、6 : エリア3ウェイトコントロール1、0 (W31、W30)
ASTCRのAST3ビットが1にセットされた状態でエリア3の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W31	W30	
0	0	エリア3の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア3の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア3の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア3の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

- ビット5、4 : エリア2ウェイトコントロール (W21、W20)
ASTCRのAST2ビットが1にセットされた状態でエリア2の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット5	ビット4	説明
W21	W20	
0	0	エリア2の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア2の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア2の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア2の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

7. バスコントローラ

- ビット3、2：エリア1ウェイトコントロール1、0（W11、W10）

ASTCRのAST1ビットが1にセットされた状態でエリア1の外部空間をアクセスするときの、プログラムウェイト状態数を選択します。

ビット3	ビット2	説明
W11	W10	
0	0	エリア1の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア1の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア1の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア1の外部空間アクセス時、プログラムウェイトを3ステート挿入（初期値）

- ビット1、0：エリア0ウェイトコントロール1、0（W01、W00）

ASTCRのAST0ビットが1にセットされた状態で、エリア0の外部空間をアクセスするときの、プログラムウェイト状態数を選択します。

ビット1	ビット0	説明
W01	W00	
0	0	エリア0の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア0の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア0の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア0の外部空間アクセス時、プログラムウェイトを3ステート挿入（初期値）

7.2.4 バスコントロールレジスタ H（BCRH）

ビット：	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2*	RMTS1*	RMTS0*
初期値：	1	1	0	1	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRHは8ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリア2～5およびエリア0のメモリインタフェースの選択を行います。

BCRHは、パワーオンリセットおよびハードウェアスタンバイモード時に、H'D0に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

【注】 * H8S/2695にはDRAMインタフェース機能はありません。
RMTS2、RMTS1、RMTS0に書き込みを行う場合は0を書き込んでください。

- ビット7：アイドルサイクル挿入1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット7	説 明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

- ビット6：アイドルサイクル挿入0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを1ステート挿入するか、挿入しないかを選択します。

ビット6	説 明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

- ビット5：バーストROMイネーブル (BRSTRM)

エリア0をバーストROMインタフェースとするかを選択します。

ビット5	説 明
BRSTRM	
0	エリア0は基本バスインタフェース (初期値)
1	エリア0はバーストROMインタフェース

- ビット4：バーストサイクルセレクト1 (BRSTS1)

バーストROMインタフェースのバーストサイクル数を選択します。

ビット4	説 明
BRSTS1	
0	バーストサイクルは1ステート
1	バーストサイクルは2ステート (初期値)

7. バスコントローラ

- ビット3：バーストサイクルセレクト0 (BRSTS0)
バーストROMインタフェースのバーストアクセス可能なワード数を選択します。

ビット3	説 明	
BRSTS0		
0	バーストアクセスは最大 4 ワード	(初期値)
1	バーストアクセスは最大 8 ワード	

- ビット2~0：RAMタイプセレクト (RMTS2~RMTS0)
アドバンスモードのときに、エリア2~5のメモリインタフェースを選択します。
DRAM空間*を選択すると、当該エリアはDRAMインタフェース*となります。

ビット2	ビット1	ビット0	説 明			
RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	0	通常空間			
		1	通常空間			DRAM 空間*
	1	0	通常空間		DRAM 空間*	
		1	DRAM 空間*			
1	1	1	連続 DRAM 空間*			

【注】 DRAM 空間に選択したエリアが全エリア 8 ビット空間のとき、PF2 端子は入出力ポート、 $\overline{\text{BREQ}}$ 、 $\overline{\text{WAIT}}$ として使用可能です。また、連続 DRAM 空間を選択したときは、エリア 2 からエリア 5 に相当するバス幅、アクセスステート数 (プログラマブルウェイト数) は同じ値に設定してください。上記以外の組み合わせは設定しないでください。

- * H8S/2695 には本機能はありません。
RMTS2、RMTS1、RMTS0 に書き込みを行う場合は必ず 0 を書き込んでください。

7.2.5 バスコントロールレジスタ L (BCRL)

ビット :	7	6	5	4	3	2	1	0
	BRLE	BREQOE		OES*	DDS*	RCTS*	WDBE	WAITE
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W		R/W	R/W	R/W	R/W	R/W

【注】* H8S/2695には本機能はありません。

OES、DDS、RCTSに書き込みを行う場合は、必ず初期値を書き込んでください。

BCRL は 8 ビットのリード/ライト可能なレジスタで、外部バス解放状態のプロトコルの選択、ライトデータバッファ機能の許可または禁止、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

BCRL は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'08 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット7 : バスリリースイネーブル (BRLE)
外部バス権の解放を許可または禁止します。

ビット7	説明
BRLE	
0	外部バス権の解放を禁止。 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ は入出力ポートとして使用可 (初期値)
1	外部バス権の解放を許可

- ビット6 : BREQO端子イネーブル (BREQOE)
外部バス解放状態のとき、内部バスマスタが外部空間アクセスを行うとき、またはリフレッシュ要求が発生したとき、外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQ}}$) を取り下げよう要求する信号を出力します。

ビット6	説明
BREQOE	
0	$\overline{\text{BREQO}}$ 出力禁止。 $\overline{\text{BREQO}}$ は入出力ポートとして使用可 (初期値)
1	$\overline{\text{BREQO}}$ 出力許可

- ビット5 : リザーブビット
リードすると常に0が読み出されます。ライトは無効です。

7. バスコントローラ

• ビット4 : OEセレクト (OES)

$\overline{CS3}$ 端子を \overline{OE} 端子として選択します。

ビット 4	説 明
OES	
0	$\overline{CS3}$ 端子をポートまたは $\overline{CS3}$ 信号出力として使用 (初期値)
1	エリア 2 のみを DRAM 空間に設定した場合、またはエリア 2~5 を連続 DRAM 空間に設定した場合、 $\overline{CS3}$ 端子を \overline{OE} 端子として使用

• ビット3 : DACKタイミングセレクト (DDS)

DRAMインタフェース時、DMACシングルアドレス転送のバスタイミングを選択します。

ビット 3	説 明
DDS	
0	DRAM 空間に対して DMAC シングルアドレス転送を行う場合、必ずフルアクセスを実行。 \overline{DACK} 信号は T_1 または T_1 サイクルから Low レベルを出力
1	DRAM 空間に対して DMAC シングルアドレス転送を行う場合もバーストアクセス可能。 \overline{DACK} 信号は T_{C1} または T_2 サイクルから Low レベルを出力 (初期値)

• ビット2 : リードCASタイミングセレクト (RCTS)

\overline{CAS} 信号の出力タイミングを選択します。

ビット 2	説 明
RCTS	
0	リード時とライト時の \overline{CAS} 信号の出力タイミングは同じです (初期値)
1	リード時の \overline{CAS} 信号はライト時より半サイクル早くアサートします

• ビット1 : ライトデータバッファイネーブル (WDBE)

外部ライトサイクルまたはDMAC*のシングルアドレスサイクルのとき、ライトバッファ機能を使用するか、使用しないかを選択します。

ビット 1	説 明
WDBE	
0	ライトデータバッファ機能を使用しない (初期値)
1	ライトデータバッファ機能を使用する

【注】 * H8S/2695 には本機能はありません。

- ビット0 : WAIT端子イネーブル (WAITE)

WAIT端子によるウェイト入力の許可または禁止を選択します。

ビット0	説明
WAITE	
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可 (初期値)
1	WAIT 端子によるウェイト入力を許可

7.2.6 端子機能コントロールレジスタ (PFCR)

ビット :	7	6	5	4	3	2	1	0
	CSS07	CSS36	BUZZE*	LCASS*	AE3	AE2	AE1	AE0
初期値 :	0	0	0	0	1/0	1/0	0	1/0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * H8S/2695 には本機能はありません。書き込みを行う場合は、BUZZE ビット、LCASS ビットに 0 を書き込んでください。

PFCR は 8 ビットのリード/ライト可能なレジスタで、PG4、PG1 端子の CS 選択制御、PF2、PF6 端子の LCAS 選択制御、内蔵 ROM 有効拡張モード時のアドレス出力制御を行います。

PFCR はパワーオンリセットまたはハードウェアスタンバイモード時に H'0D/H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

- ビット7 : $\overline{CS0}/\overline{CS7}$ セレクト (CSS07)

PG4端子のCS出力内容を選択します。モード4~6のとき、対応するDDRを1にセットすると選択したCSが出力されます。

ビット7	説明
CSS07	
0	CS0 を選択 (初期値)
1	$\overline{CS7}$ を選択

- ビット6 : $\overline{CS3}/\overline{CS6}$ セレクト (CSS36)

PG1端子のCS出力内容を選択します。モード4~6のとき、対応するDDRを1にセットすると選択したCSが出力されます。

ビット6	説明
CSS36	
0	CS3 を選択 (初期値)
1	$\overline{CS6}$ を選択

7. バスコントローラ

- ビット5 : BUZZ出力イネーブル (BUZZE)

PF1端子のBUZZ出力を許可 / 禁止します。PSS、CKS2~CKS0ビットにより選択されたWDT1の入力クロックをBUZZ信号として出力します。BUZZ出力の詳細については「15.2.4 端子機能コントロールレジスタ (PFCR)」を参照してください。

ビット5	説 明	
BUZZE		
0	PF1 入力端子として機能	(初期値)
1	BUZZ 出力端子として機能	

- ビット4 : LCAS出力端子選択ビット (LCASS)

LCAS信号の出力端子を選択します。

ビット4	説 明	
LCASS		
0	LCAS 信号を PF2 から出力	(初期値)
1	LCAS 信号を PF6 から出力	

• ビット3～0：アドレス出力イネーブル3～0 (AE3～AE0)

内蔵ROM無効拡張モードと内蔵ROM有効拡張モード時のアドレス出力A8～A23の許可/禁止を選択します。アドレス出力を許可した端子は、対応するDDRに関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応するDDRを1にセットするとポート出力となります。

ビット3	ビット2	ビット1	ビット0	説明
AE3	AE2	AE1	AE0	
0	0	0	0	A8～A23 出力を禁止 (初期値*)
0	0	0	1	A8 出力を許可。A9～A23 出力を禁止
0	0	1	0	A8、A9 出力を許可。A10～A23 出力を禁止
0	0	1	1	A8～A10 出力を許可。A11～A23 出力を禁止
0	1	0	0	A8～A11 出力を許可。A12～A23 出力を禁止
0	1	0	1	A8～A12 出力を許可。A13～A23 出力を禁止
0	1	1	0	A8～A13 出力を許可。A14～A23 出力を禁止
0	1	1	1	A8～A14 出力を許可。A15～A23 出力を禁止
1	0	0	0	A8～A15 出力を許可。A16～A23 出力を禁止
1	0	0	1	A8～A16 出力を許可。A17～A23 出力を禁止
1	0	1	0	A8～A17 出力を許可。A18～A23 出力を禁止
1	0	1	1	A8～A18 出力を許可。A19～A23 出力を禁止
1	1	0	0	A8～A19 出力を許可。A20～A23 出力を禁止
1	1	0	1	A8～A20 出力を許可。A21～A23 出力を禁止 (初期値*)
1	1	1	0	A8～A21 出力を許可。A22、A23 出力を禁止
1	1	1	1	A8～A23 出力を許可

【注】 * 内蔵ROM有効拡張モードのとき、AE3～AE0 ビットは B'0000 に初期化されます。また、内蔵ROM無効拡張モードのとき、AE3～AE0 ビットは B'1101 に初期化されます。

なお、A0～A7 アドレスは、対応する DDR を 1 にセットすることでアドレス出力となります。

7.2.7 メモリコントロールレジスタ (MCR) *

ビット：	7	6	5	4	3	2	1	0
	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MCR は 8 ビットのリード/ライト可能なレジスタで、エリア 2～5 を DRAM インタフェースに設定しているとき、DRAM に対するストローク制御方法、プリチャージサイクル数、アクセスモード、アドレスマルチプレクスのシフト量およびリフレッシュ時に挿入するウェイトステート数の選択を行います。

MCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

【注】 * H8S/2695 には本機能はありません。

7. バスコントローラ

- ビット7：TPサイクルコントロール（TPC）

DRAM空間に設定したエリア2～5へのアクセスのとき、プリチャージサイクル（ T_p ）を1ステートにするか、2ステートにするかを選択します。

ビット7	説 明	
TPC		
0	プリチャージサイクルを1ステート挿入	（初期値）
1	プリチャージサイクルを2ステート挿入	

- ビット6：バーストアクセスイネーブル（BE）

DRAM空間に設定したエリア2～5へのバーストアクセスの許可または禁止を選択します。DRAM空間のバーストアクセスは高速ページモードになります。この場合EDOタイプを使用するときは、OE出力を設定するか、RASアップモードに設定してください。

ビット6	説 明	
BE		
0	バースト禁止（常にフルアクセス）	（初期値）
1	DRAM空間アクセス時、高速ページモードでアクセス	

- ビット5：RASダウンモード（RCDM）

エリア2～5をDRAM空間に設定した場合、DRAMへのアクセスが途切れたときに、 $\overline{\text{RAS}}$ 信号をLowレベルにしたままで、次のDRAMへのアクセスを待つか（RASダウンモード）、 $\overline{\text{RAS}}$ 信号をHighレベルに戻すか（RASアップモード）を選択します。

ビット5	説 明	
RCDM		
0	DRAM インタフェース：RAS アップモードを選択	（初期値）
1	DRAM インタフェース：RAS ダウンモードを選択	

- ビット4：リザーブビット（CW2）

0をライトしてください。

- ビット3、2：マルチプレクスシフトカウント1、0 (MXC1、MXC0)

DRAMインタフェース時に、ロウアドレス / カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。また、DRAMインタフェースのバースト動作時に比較するロウアドレスを選択します。

ビット3	ビット2	説明
MXC1	MXC0	
0	0	8ビットシフト (1) 8ビットアクセス空間設定時：比較対象ロウアドレスは A23～A8 (2) 16ビットアクセス空間設定時：比較対象ロウアドレスは A23～A9
	1	9ビットシフト (1) 8ビットアクセス空間設定時：比較対象ロウアドレスは A23～A9 (2) 16ビットアクセス空間設定時：比較対象ロウアドレスは A23～A10
1	0	10ビットシフト (1) 8ビットアクセス空間設定時：比較対象ロウアドレスは A23～A10 (2) 16ビットアクセス空間設定時：比較対象ロウアドレスは A23～A11
	1	-

- ビット1、0：リフレッシュサイクルウェイトコントロール1、0 (RLW1、RLW0)

DRAMインタフェースのCASビフォアRASリフレッシュサイクルに対して、挿入するウェイトステート数を選択します。DRAM空間に設定しているすべてのエリアに共通です。 $\overline{\text{WAIT}}$ 端子によるウェイト入力は禁止されています。

ビット1	ビット0	説明
RLW1	RLW0	
0	0	ウェイトステートを挿入しない (初期値)
	1	ウェイトステートを1ステート挿入する
1	0	ウェイトステートを2ステート挿入する
	1	ウェイトステートを3ステート挿入する

7.2.8 DRAM コントロールレジスタ (DRAMCR) *

ビット：	7	6	5	4	3	2	1	0
	RFSHE	CBRM	RMODE	CMF	CMIE	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DRAMCR は 8 ビットのリード / ライト可能なレジスタで、DRAM のリフレッシュモード、リフレッシュカウンタのクロック選択およびリフレッシュタイマの制御を設定します。

7. バスコントローラ

DRAMCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

【注】 * H8S/2695 には本機能はありません。

• ビット7：リフレッシュ制御 (RFSHE)

リフレッシュ制御を行うか、行わないかを選択します。リフレッシュ制御を行わないときには、リフレッシュタイムをインターバルタイムとして使用することができます。

ビット7	説 明	
RFSHE		
0	リフレッシュ制御を行わない	(初期値)
1	リフレッシュ制御を行う	

• ビット6：CBRリフレッシュモード (CBRM)

CBRリフレッシュを他の外部アクセスと並行して行うか、CBRリフレッシュのみ行うかを選択することができます。

ビット6	説 明	
CBRM		
0	CAS ビフォ RAS リフレッシュ時の外部アクセスを許可	(初期値)
1	CAS ビフォ RAS リフレッシュ時の外部アクセスを禁止	

• ビット5：リフレッシュモード (RMODE)

リフレッシュ制御を行うとき (RFSHE = 1)、ソフトスタンバイ時にセルフリフレッシュ制御を行うか、行わないかを選択します。

ビット5	説 明	
RMODE		
0	ソフトウェアスタンバイ時にセルフリフレッシュを行わない	(初期値)
1	ソフトウェアスタンバイ時にセルフリフレッシュを行う	

- ビット4：コンペアマッチフラグ（CMF）

RTCNTとRTCORの値が一致したことを示すステータスフラグです。

リフレッシュ制御を行っている場合（RFSHE = 1）、DRAMCRにライトをするときにはCMFは1をライトしてください。

ビット4	説明
CMF	
0	[クリア条件] CMF = 1 の状態で、CMF フラグをリードした後、CMF フラグに 0 をライトしたとき（初期値）
1	[セット条件] RTCNT = RTCOR になったとき

- ビット3：コンペアマッチ割り込みイネーブル（CMIE）

DRAMCRのCMFフラグが1にセットされたとき、CMFフラグによる割り込み要求（CMI）を許可または禁止します。

リフレッシュ制御を行う場合（RFSHE = 1）、CMIEビットは常に0にクリアされています。

ビット3	説明
CMIE	
0	CMF フラグによる割り込み要求（CMI）を禁止（初期値）
1	CMF フラグによる割り込み要求（CMI）を許可

- ビット2～0：リフレッシュカウンタクロックセレクト（CKS2～CKS0）

システムクロック（ ）を分周して得られる7種類の内部クロックからRTCNTに入力するクロックを選択します。CKS2～CKS0ビットで入力クロックを選択すると、RTCNTがカウントアップを開始します。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	カウント動作停止（初期値）
		1	/2でカウント
	1	0	/8でカウント
		1	/32でカウント
1	0	0	/128でカウント
		1	/512でカウント
	1	0	/2048でカウント
		1	/4096でカウント

7.2.9 リフレッシュタイマカウンタ (RTCNT) *

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

RTCNT は 8 ビットのリード/ライト可能なアップカウンタです。

RTCNT は、DRAMCR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、DRAMCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき、DRAMCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、DRAMCR の CMIE ビットが 1 にセットされているとき、コンペアマッチ割り込み (CMI) が発生します。

RTCNT は、パワーオンリセットおよびハードウェアスタンバイモード時 H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

【注】 * H8S/2695 には本機能はありません。

7.2.10 リフレッシュタイムコンスタントレジスタ (RTCOR) *

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

RTCOR は 8 ビットのリード/ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、DRAMCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、パワーオンリセットおよびハードウェアスタンバイモード時 H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

【注】 * H8S/2695 には本機能はありません。

7.3 バス制御の概要

7.3.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 0 ~ 7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。各エリアごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。また、ノーマルモード*では、エリア 0 の一部の、64k バイトのアドレス空間を制御します。図 7.2 にメモリマップの概要を示します。

【注】 * 本 LSI では使用できません。

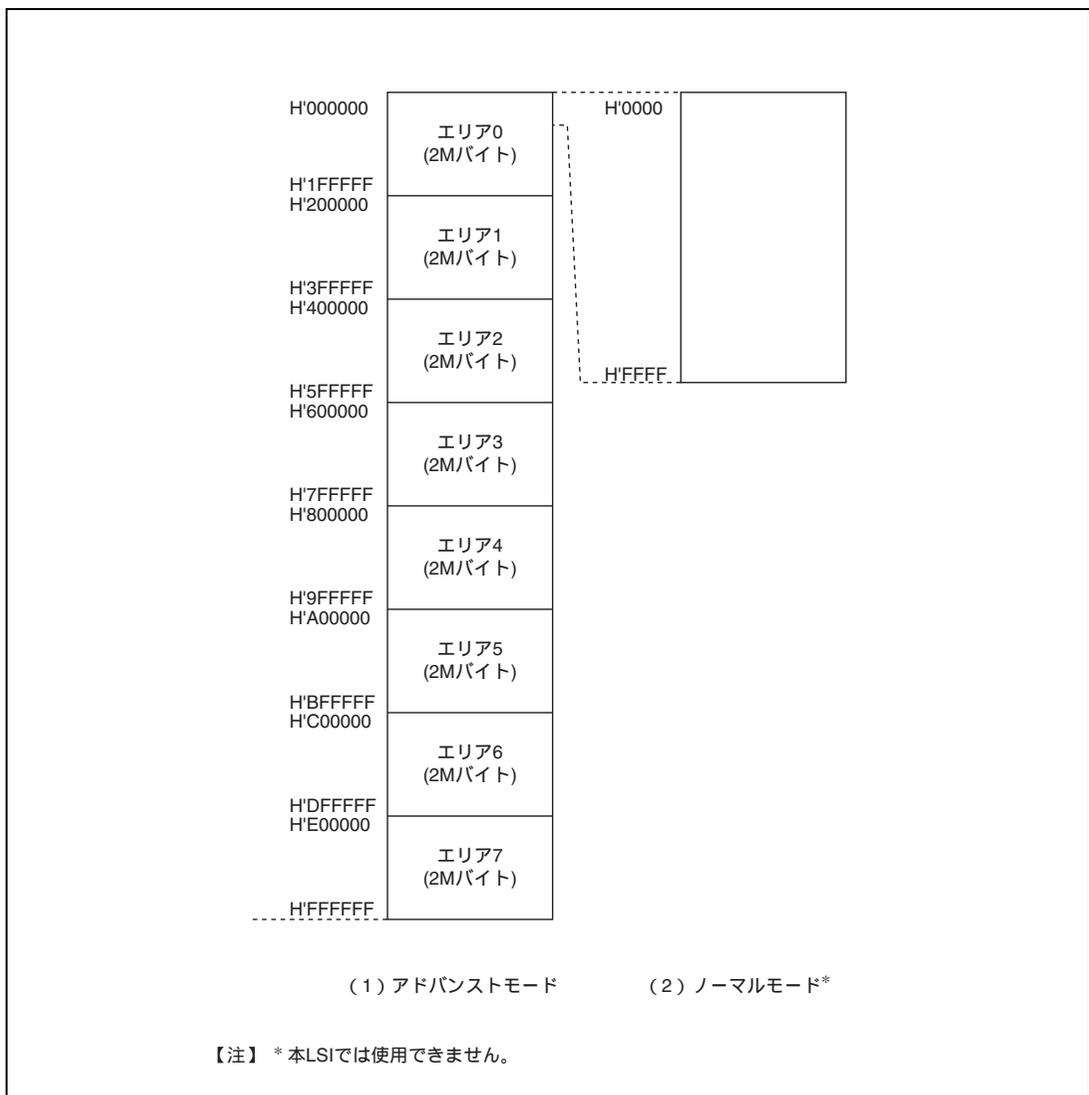


図 7.2 エリア分割の様子

7.3.2 バス仕様

外部空間のバス仕様は、(1) バス幅、(2) アクセスステート数、(3) プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタのバス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、DRAM インタフェース*やバースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

【注】 * H8S/2695 には本機能はありません。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 7.3 に示します。

表 7.3 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH、WCRL		バス仕様 (基本バスインタフェース)		
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0	-	-	16	2	0
			0			0
	1	0	1		3	1
			0			2
			1			3
1	0	-	-	8	2	0
			0			0
	1	0	1		3	1
			0			2
			1			3

7.3.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などの直結が可能な基本バスインタフェース、DRAM の直結が可能な DRAM インタフェース*、およびバースト ROM の直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、DRAM インタフェースを設定したエリアが DRAM 空間、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

【注】 * H8S/2695 には本機能はありません。

7.3.4 各エリアのバスインタフェース仕様

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「7.4 基本バスインタフェース」、「7.5 DRAM インタフェース」、「7.7 バースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

(2) エリア 1、6

エリア 1、6 は、外部拡張モードのとき、エリア 1、6 のすべての空間が外部空間となります。

エリア 1、6 の外部空間をアクセスするとき、それぞれ、 $\overline{CS1}$ 、 $\overline{CS6}$ 端子信号を出力することができます。

エリア 1、6 は、基本バスインタフェースのみを使用することができます。

(3) エリア 2~5

エリア 2~5 は外部拡張モードのとき、エリア 2~5 のすべての空間が外部空間となります。

エリア 2~5 の外部空間をアクセスするとき、 $\overline{CS2}$ ~ $\overline{CS5}$ 信号を出力することができます。

エリア 2~5 は、基本バスインタフェースまたは DRAM インタフェース*を選択することができます。DRAM インタフェース*では、 $\overline{CS2}$ ~ $\overline{CS5}$ 信号は \overline{RAS} 信号として使用されます。

【注】 * H8S/2695 には本機能はありません。

(4) エリア 7

エリア 7 は内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき、内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

エリア7の外部空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。

エリア7のメモリインタフェースには、基本バスインタフェースのみを使用することができます。

7.3.5 チップセレクト信号

本 LSI は、エリア0~7 に対して、それぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができ、当該エリアの外部空間をアクセスしたとき、Low レベルを出力します。

図 7.3 に \overline{CSn} ($n=0 \sim 7$) 信号出力タイミング例を示します。

\overline{CSn} 信号出力の許可または禁止は各 \overline{CSn} 端子に対応するポートのデータディレクションレジスタ (DDR) を設定することにより行います。

ROM 無効拡張モードでは、 $\overline{CS0}$ 端子は、パワーオンリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はパワーオンリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。

ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$ 端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ 信号を出力する場合には対応する DDR を 1 にセットしてください。

詳細は「第 10A 章、第 10B 章 I/O ポート」を参照してください。

なお、エリア2~5 を DRAM*空間に設定したとき、 $\overline{CS2} \sim \overline{CS5}$ 出力は \overline{RAS} 信号として使用されます。

【注】 * H8S/2695 では DRAM インタフェースは使用できません。

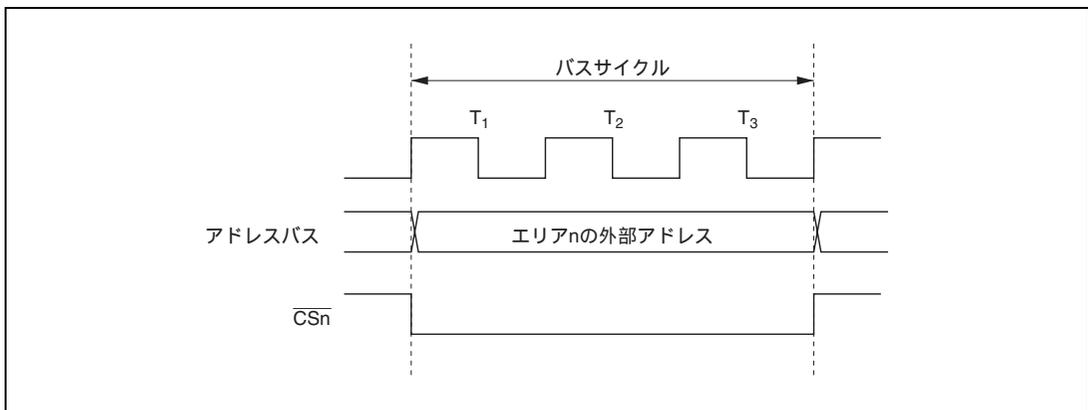


図 7.3 \overline{CSn} 信号出力タイミング ($n=0 \sim 7$)

7.4 基本バスインタフェース

7.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

ABWCR、ASTCR、WCRH、WCRL によってバス仕様を選択できます。表 7.3 を参照してください。

7.4.2 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス (D15 ~ D8) を使用するか、下位側データバス (D7 ~ D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 7.4 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15 ~ D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

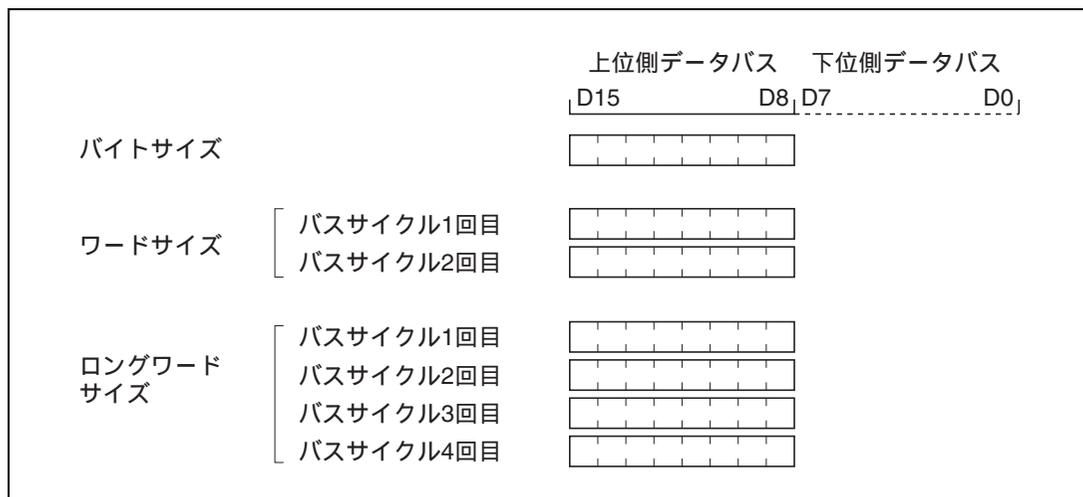


図 7.4 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 7.5 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

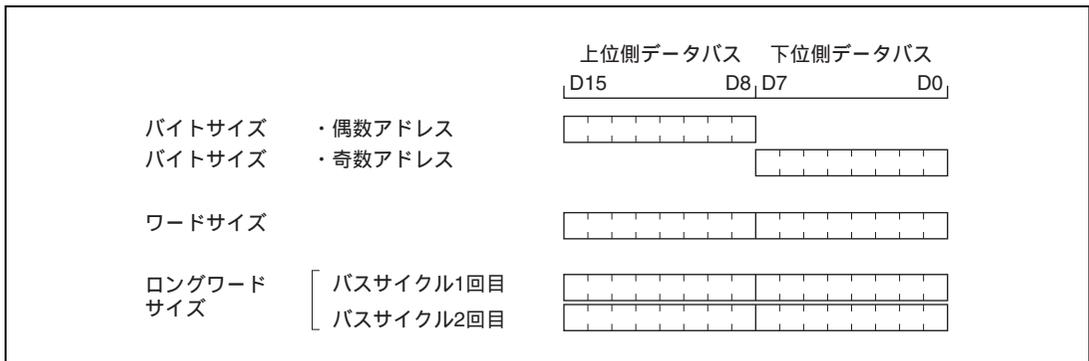


図 7.5 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

7.4.3 有効ストロープ

表 7.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。

ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 7.4 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8 ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		Hi-Z
16 ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
	ライト	偶数	\overline{HWR}	有効	Hi-Z	
		奇数	\overline{LWR}	Hi-Z	有効	
ワード	リード	-	\overline{RD}	有効	有効	
	ライト	-	\overline{HWR} , \overline{LWR}	有効	有効	

【注】 Hi-Z: ハイインピーダンス状態です。

無効: 入力状態であり、入力値は無視されます。

7.4.4 基本タイミング

(1) 8ビット2ステートアクセス空間

図 7.6 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

$\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することはできません。

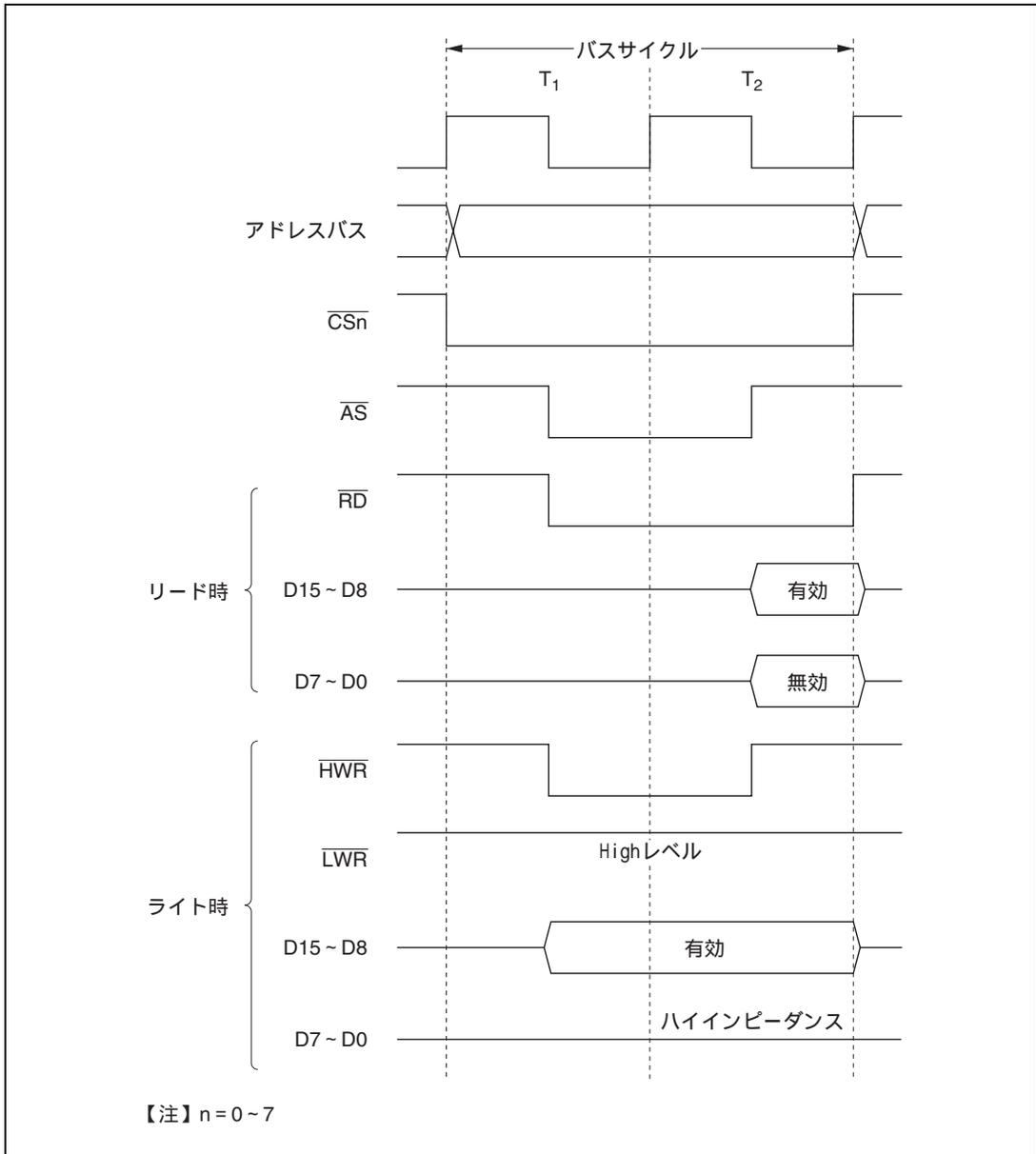


図 7.6 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8 ビット 3 ステートアクセス空間

図 7.7 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

$\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

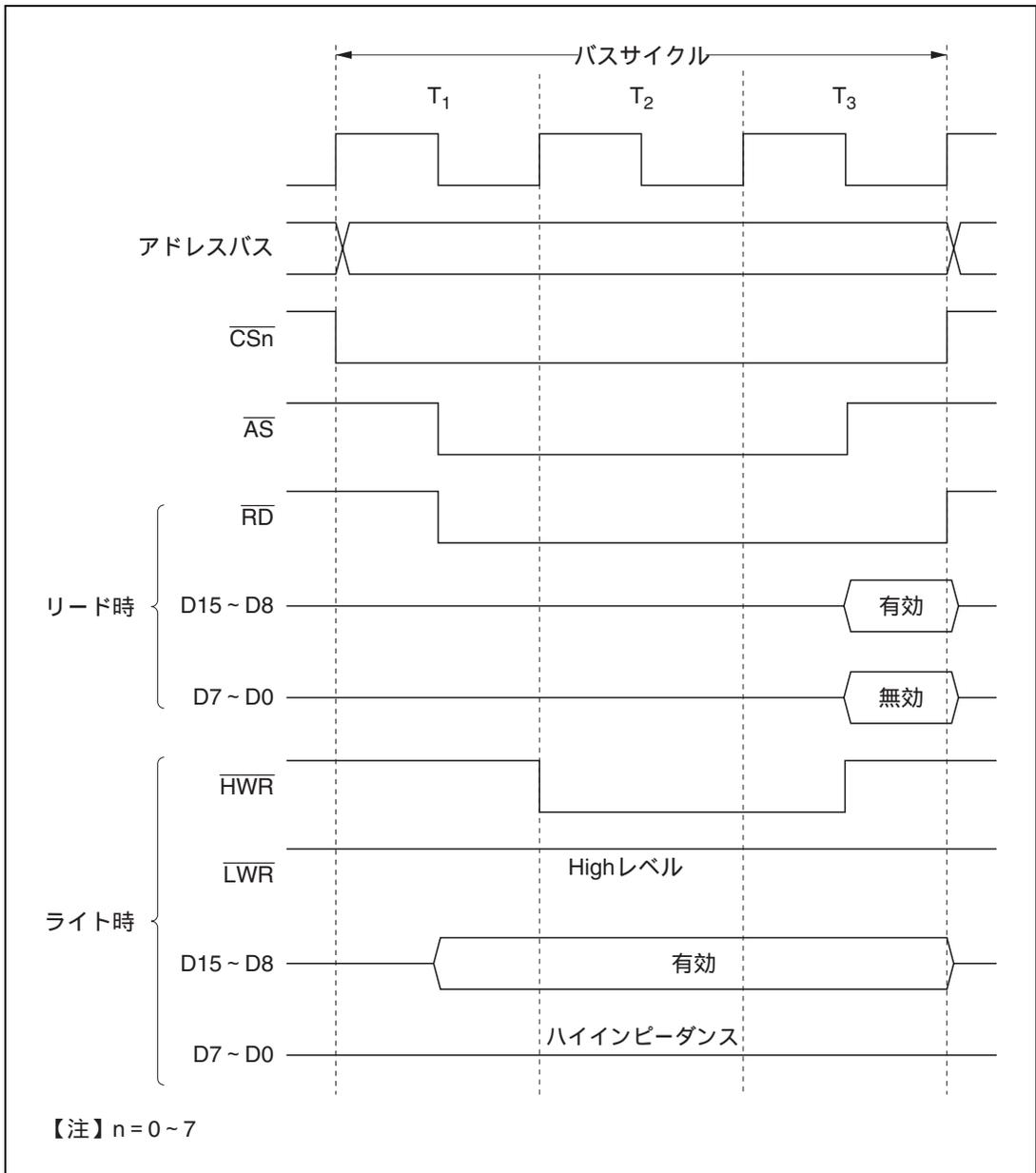


図 7.7 8 ビット 3 ステートアクセス空間のバスタイミング

(3) 16 ビット 2 ステートアクセス空間

図 7.8～図 7.10 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することはできません。

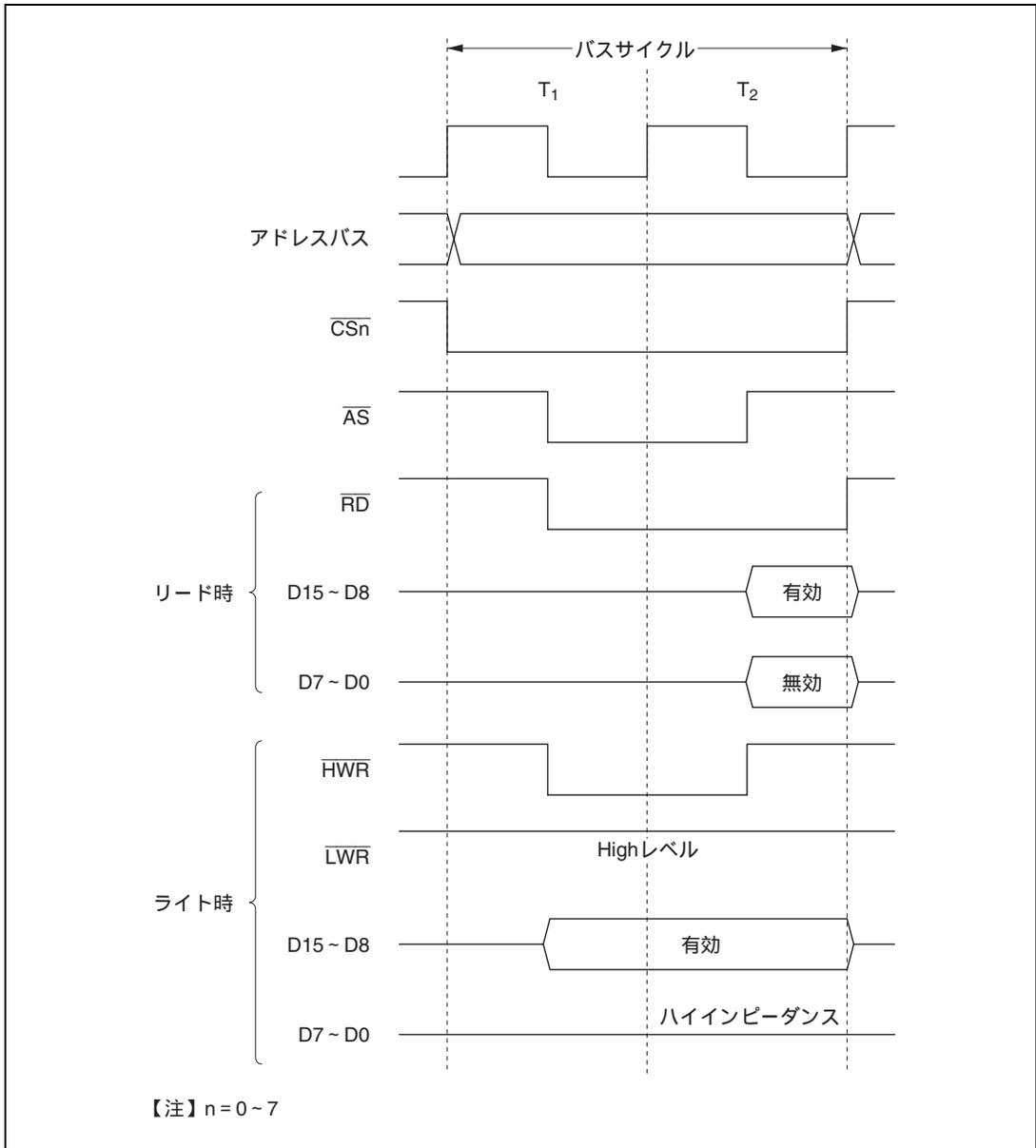


図 7.8 16 ビット 2 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

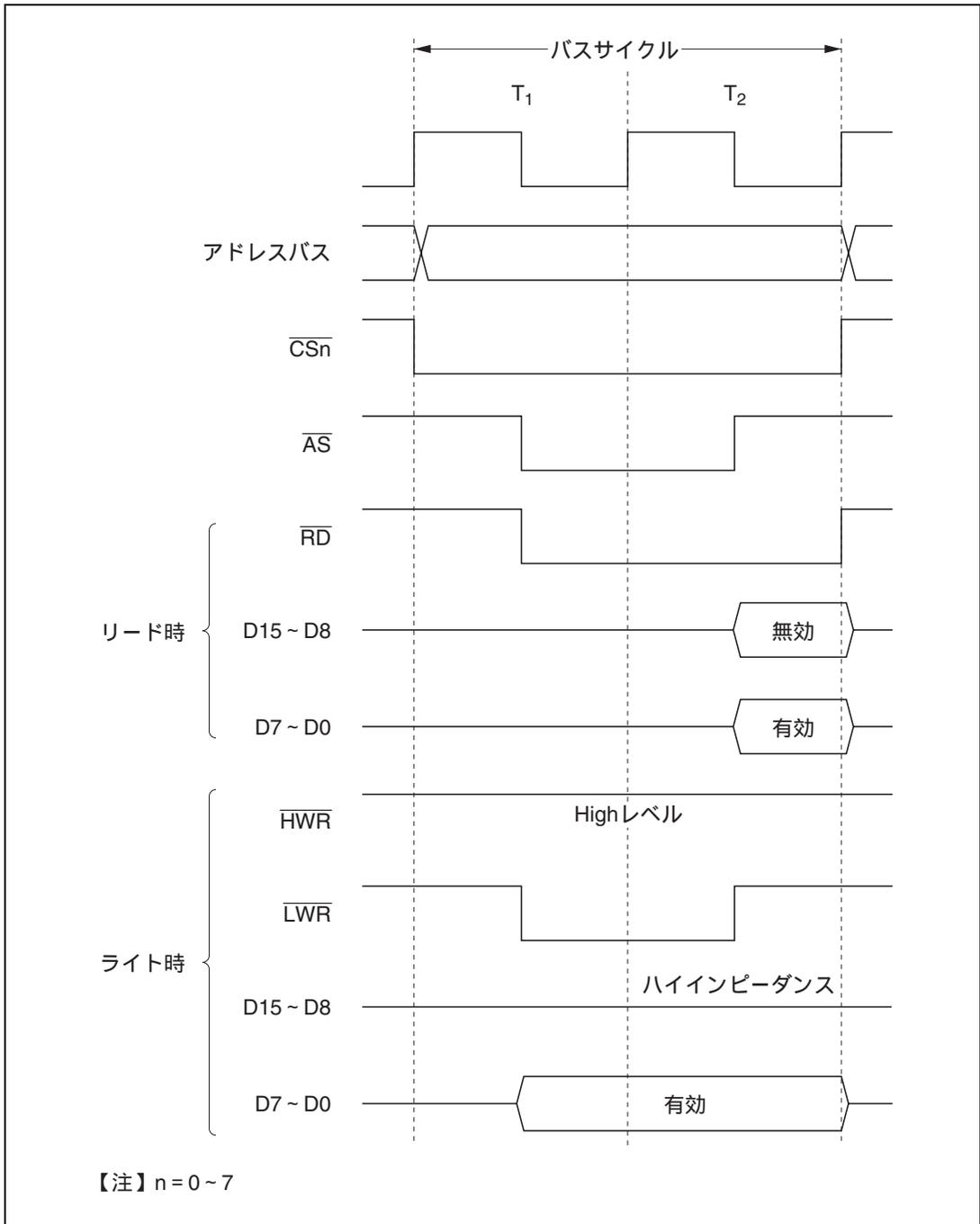


図 7.9 16 ビット 2 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

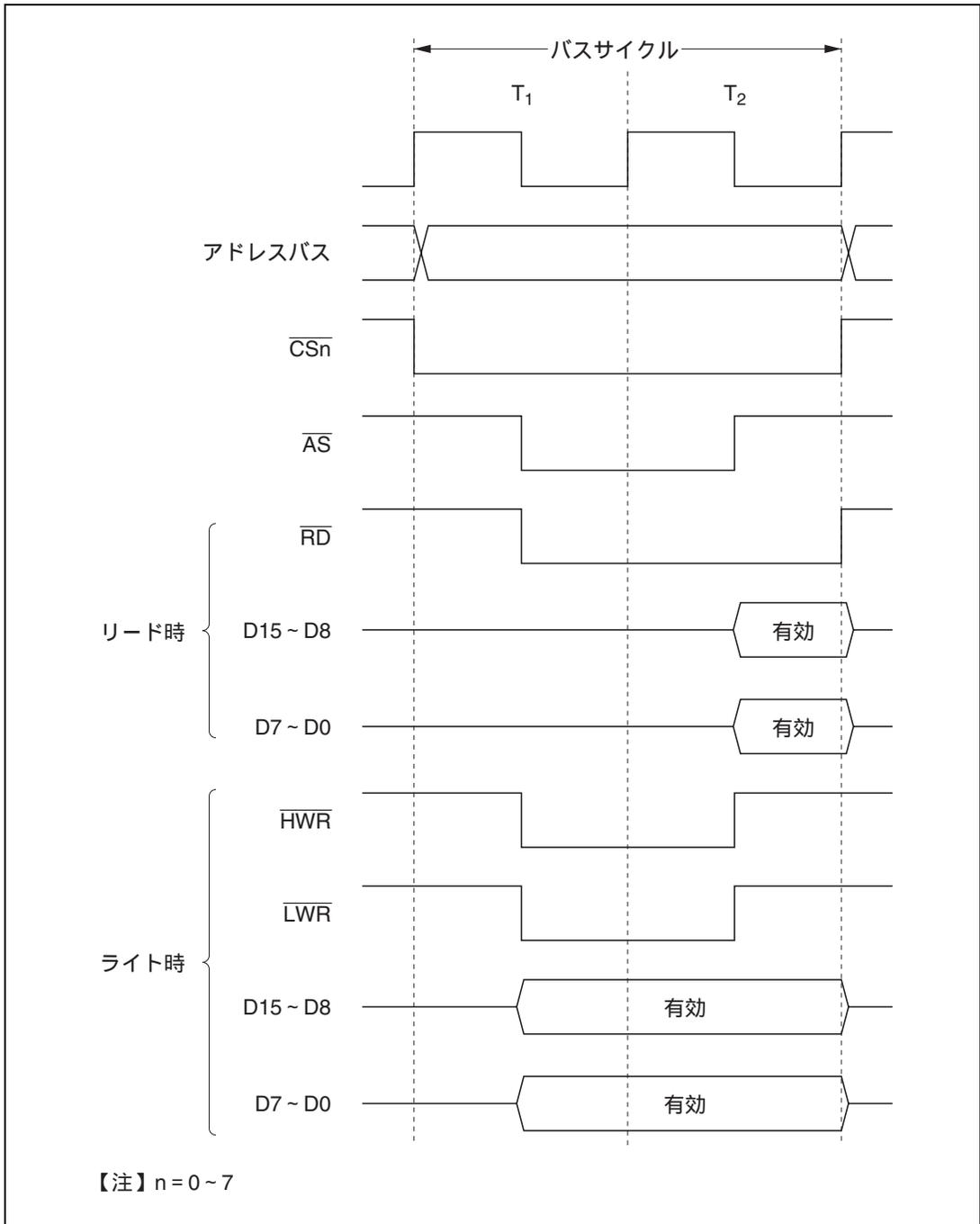


図 7.10 16 ビット 2 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

(4) 16 ビット 3 ステートアクセス空間

図 7.11～図 7.13 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することができます。

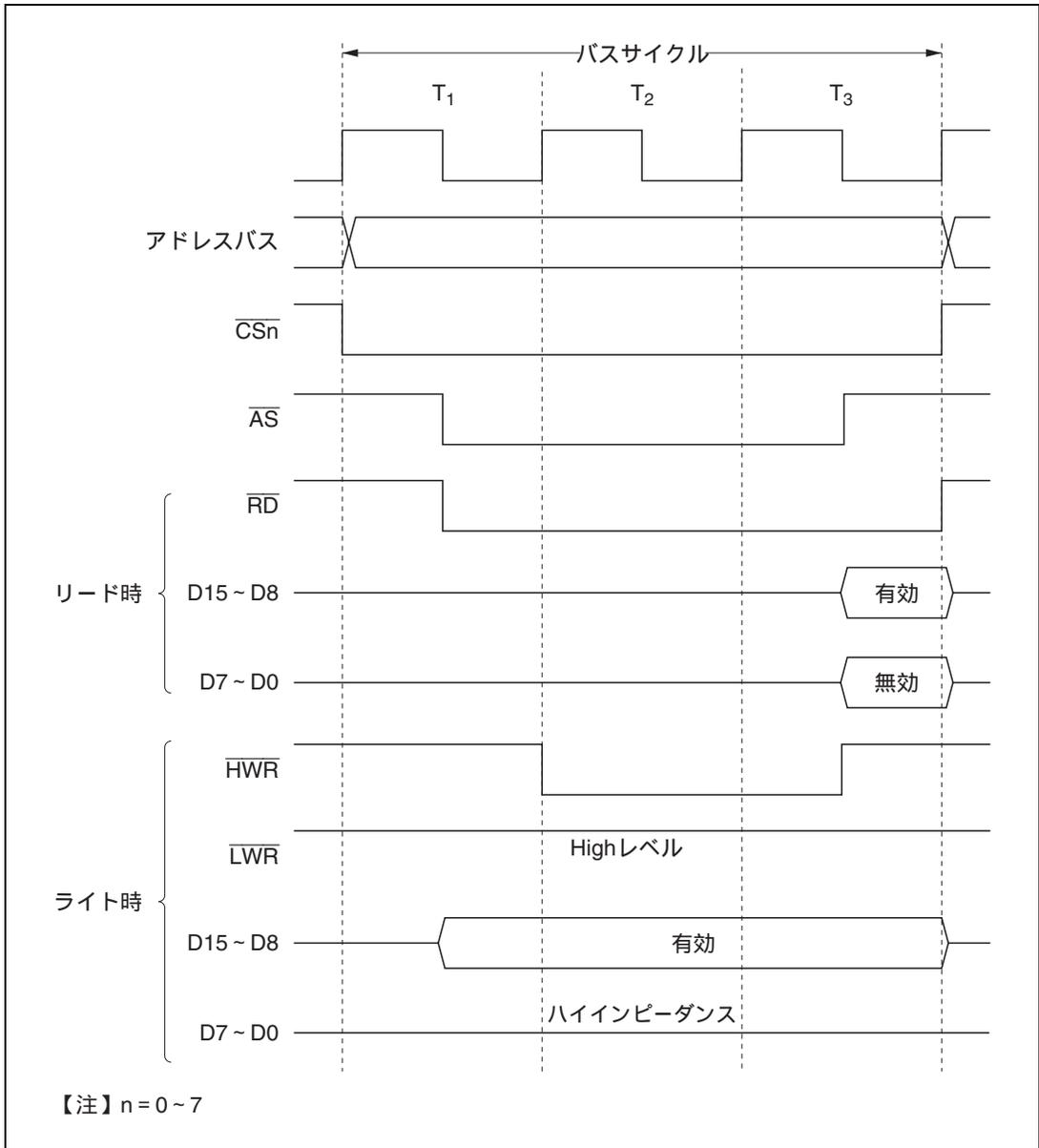


図 7.11 16 ビット 3 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

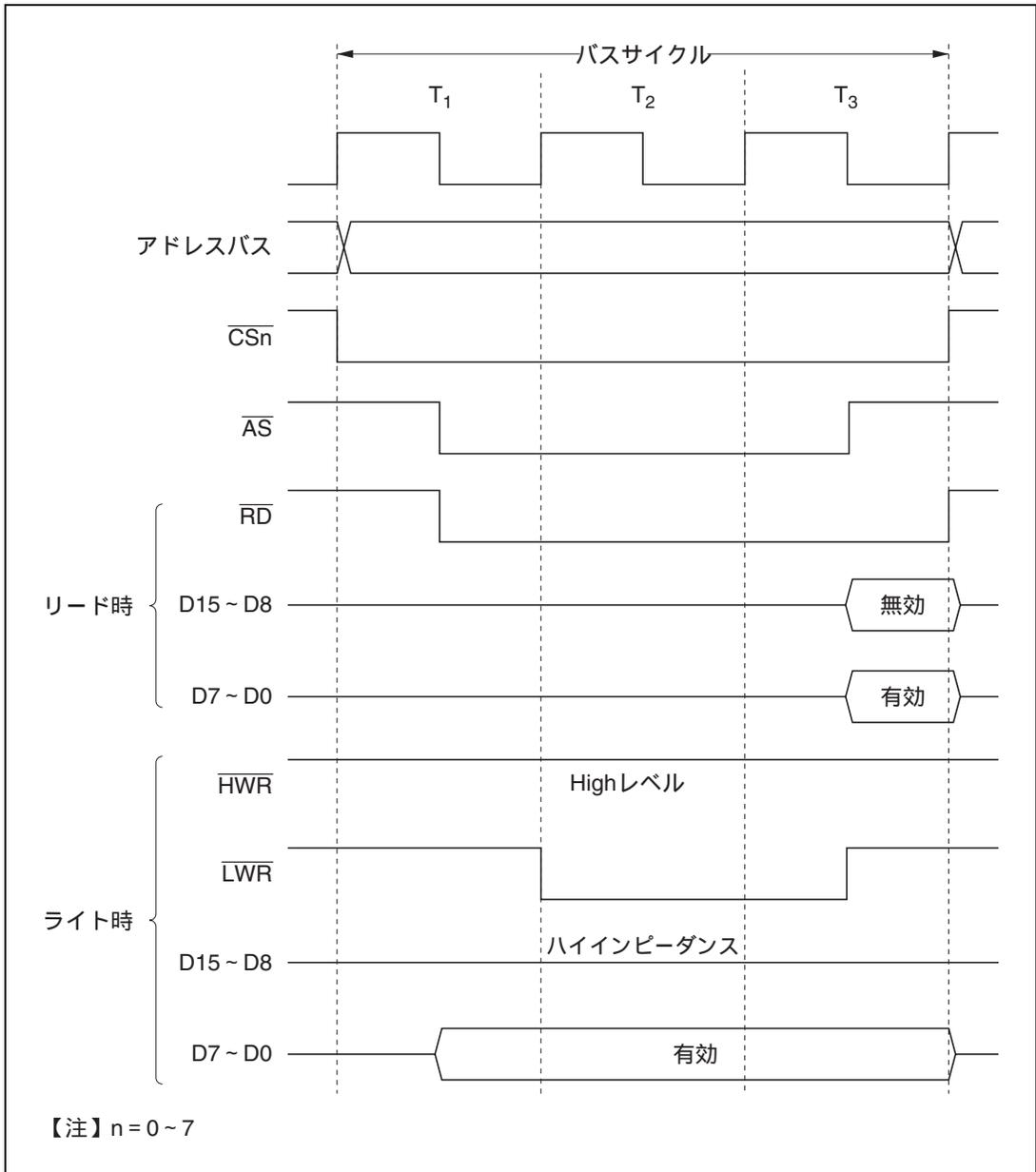


図 7.12 16 ビット 3 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

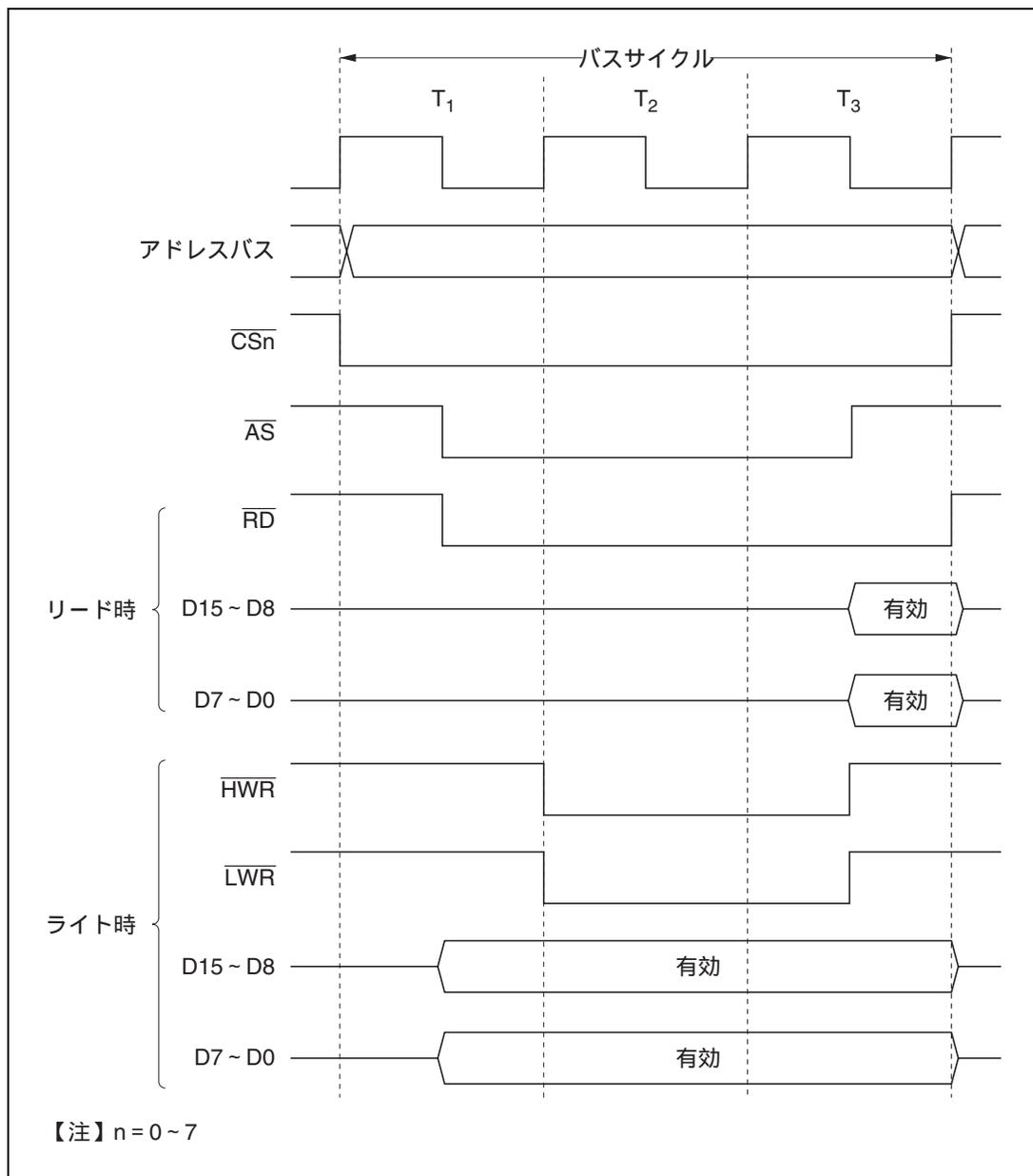


図 7.13 16 ビット 3 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

7.4.5 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCRH の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

なお、WAITE ビットはすべてのエリアに対して共通です。

図 7.14 にウェイトステート挿入のタイミング例を示します。

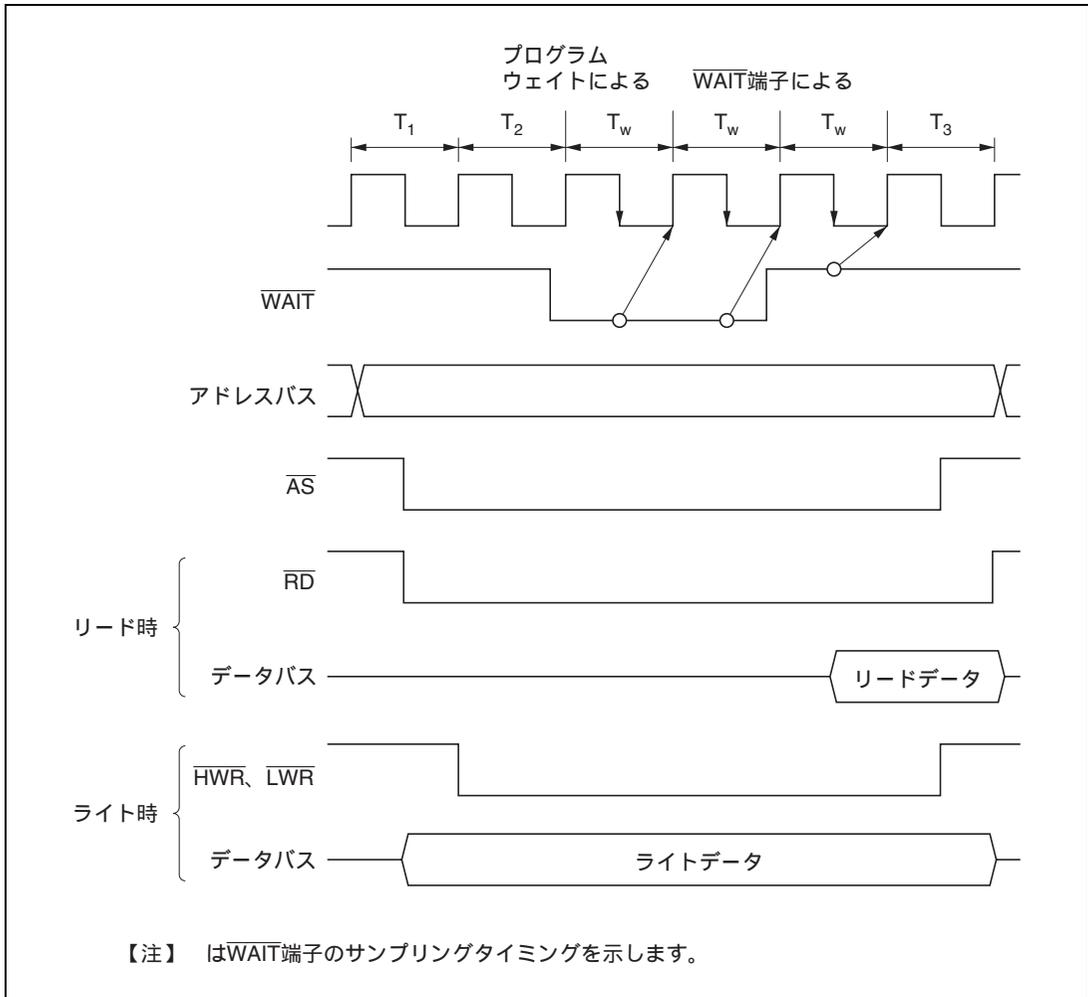


図 7.14 ウェイトステート挿入タイミング例

パワーオンリセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、WAIT 入力禁止状態となっています。マニュアルリセットのときには、バスコントローラのレジスタは保持され、ウェイト制御はリセット前の状態を継続します。

7.5 DRAM インタフェース (H8S/2695 には本機能はありません)

7.5.1 概要

本 LSI はエリア 2～5 の外部空間を DRAM 空間に設定し、DRAM インタフェースを行うことができます。DRAM インタフェースでは DRAM を本 LSI と直結することができます。BCRH の RMTS2～RMTS0 ビットにより、2/4/8M バイトの DRAM 空間を設定できます。高速ページモードを利用したバースト動作を行うことができます。

7.5.2 DRAM 空間の設定

エリア 2～5 を DRAM 空間にするには、BCRH の RMTS2～RMTS0 ビットを設定します。RMTS2～RMTS0 ビットの設定値と DRAM 空間の関係を表 7.5 に示します。DRAM 空間は、(1) 1 エリア設定 (エリア 2)、(2) 2 エリア設定 (エリア 2、3)、(3) 4 エリア設定 (エリア 2～5) を選択することができます。

64M DRAM の×16 品を使用すると、4M ワード(8M バイト)の連続した空間が必要になります。RMTS2～RMTS0 ビットに 1 を設定すると、エリア 2 からエリア 5 までを連続 DRAM 空間とすることができます。RAS 信号は $\overline{CS2}$ 端子から出力され、 $\overline{CS3}$ から $\overline{CS5}$ は入力ポートとして使用することができます。このときエリア 2 からエリア 5 のバス幅はすべて同一に設定してください。

表 7.5 RMTS2～RMTS0 の設定値と DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			
1	1	1	連続 DRAM 空間			

7.5.3 アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、MCR の MXC1、MXC0 ビットによりロウアドレスのシフト量を選択します。表 7.6 に MXC1、MXC0 の設定値とシフト量の関係を示します。

表 7.6 MXC1、MXC0 とアドレスマルチプレクスの関係

	MCR		シフト量	アドレス端子															
	MXC1	MXC0		A23~A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
ロウ アドレス	0	0	8 ビット	A23~A13	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8		
		1	9 ビット	A23~A13	A12	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9		
	1	0	10 ビット	A23~A13	A12	A11	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10		
		1	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
カラム アドレス	-	-	-	A23~A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		

7.5.4 データバス

DRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると、当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では、×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D15~D8 の上位側データバスが有効となり、16 ビット DRAM 空間では D15~D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「7.4.2 データサイズとデータアライメント」を参照してください。

7.5.5 DRAM インタフェース使用端子

表 7.7 に DRAM インタフェースで使用する端子と機能を示します。

表 7.7 DRAM インタフェース端子構成

端子	DRAM 設定時	名 称	入出力	機 能
$\overline{\text{HWR}}$	$\overline{\text{WE}}$	ライトイネーブル	出力	CAS2 本方式設定時は DRAM 空間アクセス時のライトイネーブル
$\overline{\text{LCAS}}$	$\overline{\text{LCAS}}$	ロウアーカラムアドレス ストローブ	出力	16 ビット DRAM 空間アクセス時のロウアーカラムアドレスストローブ信号
$\overline{\text{CS2}}$	$\overline{\text{RAS2}}$	ロウアドレスストローブ 2	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストローブ
$\overline{\text{CS3}}$	$\overline{\text{RAS3}}$	ロウアドレスストローブ 3	出力	エリア 3 を DRAM 空間に設定したときのロウアドレスストローブ
$\overline{\text{CS4}}$	$\overline{\text{RAS4}}$	ロウアドレスストローブ 4	出力	エリア 4 を DRAM 空間に設定したときのロウアドレスストローブ
$\overline{\text{CS5}}$	$\overline{\text{RAS5}}$	ロウアドレスストローブ 5	出力	エリア 5 を DRAM 空間に設定したときのロウアドレスストローブ
$\overline{\text{CAS}}$	$\overline{\text{UCAS}}$	アッパーカラムアドレス ストローブ	出力	DRAM 空間アクセス時のアッパーカラムアドレスストローブ
$\overline{\text{WAIT}}$	$\overline{\text{WAIT}}$	ウェイト	入力	ウェイト要求信号
A12 ~ A0	A12 ~ A0	アドレス端子	出力	ロウアドレス / カラムアドレスのマルチプレクス出力
D15 ~ D0	D15 ~ D0	データ端子	入出力	データ入出力端子
$\overline{\text{OE}}$	$\overline{\text{OE}}^*$	アウトプットイネーブル端子	出力	DRAM 空間リードアクセス時のアウトプットイネーブル信号

【注】 * OES ビットに 1 を設定すると有効になります。

7.5.6 基本タイミング

DRAM 空間の基本アクセスタイミングを図 7.15 に示します。DRAM の基本タイミングは 4 ステートです。基本バスインタフェースとは異なり、ASTCR の対応するビットはウェイトの挿入の許可または禁止のみを制御し、アクセスステート数に影響は与えません。ASTCR の当該ビットを 0 にクリアしてある場合、DRAM アクセサイクルにウェイトステートの挿入を行うことができません。

基本タイミング 4 ステートは T_p (プリチャージサイクル) 1 ステート、 T_r (ロウアドレス出力サイクル) 1 ステート、 T_{c1} 、 T_{c2} (カラムアドレス出力サイクル) 2 ステートで構成されています。

RCTS = 1 に設定すると CAS 信号はリード時とライト時でタイミングが異なり、リード時の方が半サイクル早くアサートします。

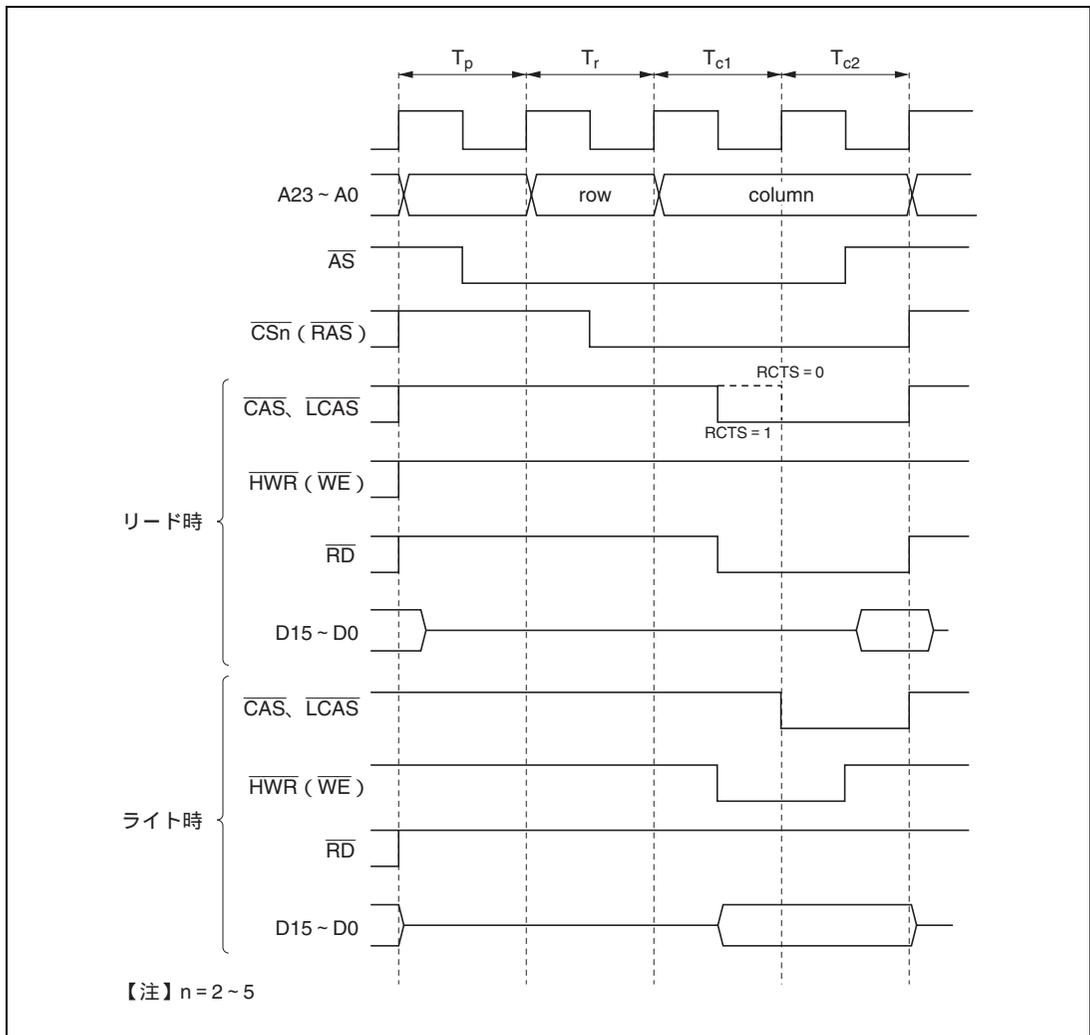


図 7.15 基本アクセスタイミング

7.5.7 プリチャージステート制御

DRAM をアクセスするときには、RAS プリチャージ時間を確保する必要があります。このため、本 LSI では、DRAM 空間をアクセスするとき、 T_p を必ず 1 ステート挿入します。さらに、MCR の TPC ビットを 1 にセットすることにより、 T_p を 1 ステートから 2 ステートへ変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な T_p サイクル数を設定してください。図 7.16 に T_p を 2 ステートとしたときのタイミングを示します。

TPC ビットを 1 にセットすると、リフレッシュサイクルの T_p も 2 ステートとなります。

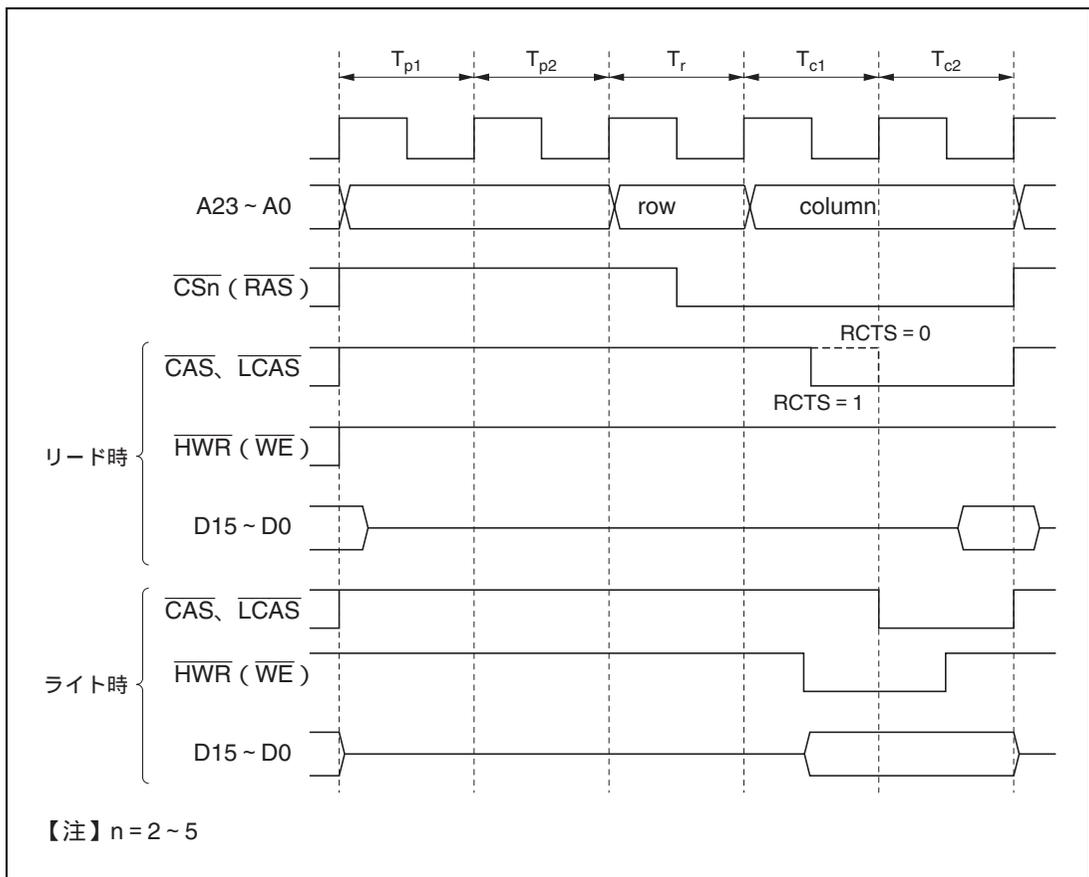


図 7.16 プリチャージサイクル 2 ステート時のタイミング

7.5.8 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入する方法には、(1)プログラムウェイトの挿入、(2)WAIT端子による端子ウェイトの挿入、の2種類があります。

(1) プログラムウェイトの挿入

DRAM 空間に設定されたエリアに対応する ASTCR のビットが 1 にセットされているとき、WCRH、WCRL の設定により、0~3 ステートのウェイトステートを、自動的に T_{c1} ステートと T_{c2} ステートの間に挿入することができます。

プログラムウェイトの挿入時にはライトウェイト機能が働き、ライト時の $\overline{\text{CAS}}$ 信号は T_{c2} ステートのみ出力します。

図 7.17 にプログラムウェイト挿入のタイミング例を示します。

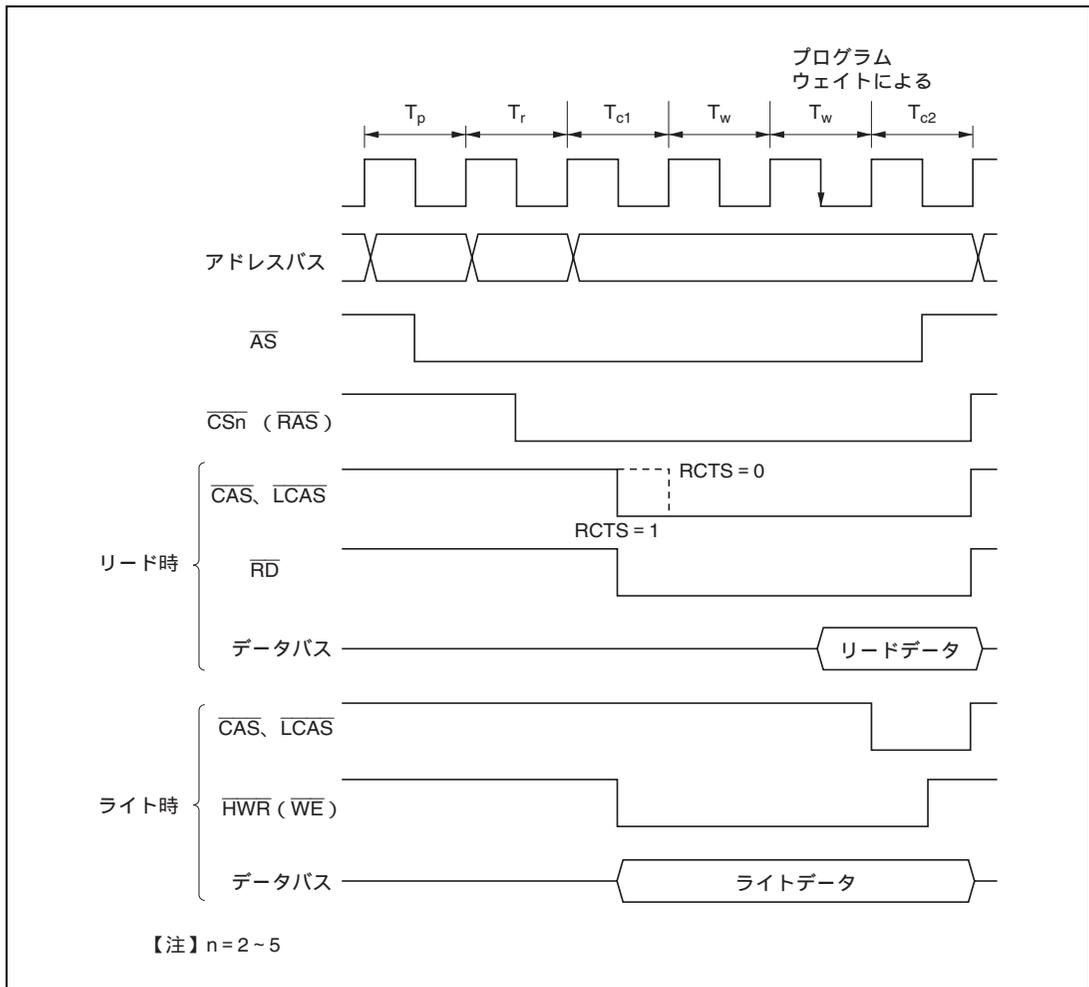


図 7.17 プログラマブルウェイト挿入タイミング例 (ウェイト 2 ステート挿入)

(2) 端子ウェイトの挿入

BCRH の WAITE ビットが 1 にセットされていると、ASTCR の AST ビットにかかわらず $\overline{\text{WAIT}}$ 端子によるウェイト入力有効になります。この状態で、DRAM 空間をアクセスすると、まず、プログラムウェイトが挿入されます。 T_{c1} または T_w の最後のステートの $\overline{\text{WAIT}}$ 端子の立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

$\overline{\text{WAIT}}$ 端子によるウェイト状態挿入時には、ライト時の $\overline{\text{CAS}}$ は T_w ステートから出力します。

図 7.18 に $\overline{\text{WAIT}}$ 端子によるウェイト状態挿入のタイミング例を示します。

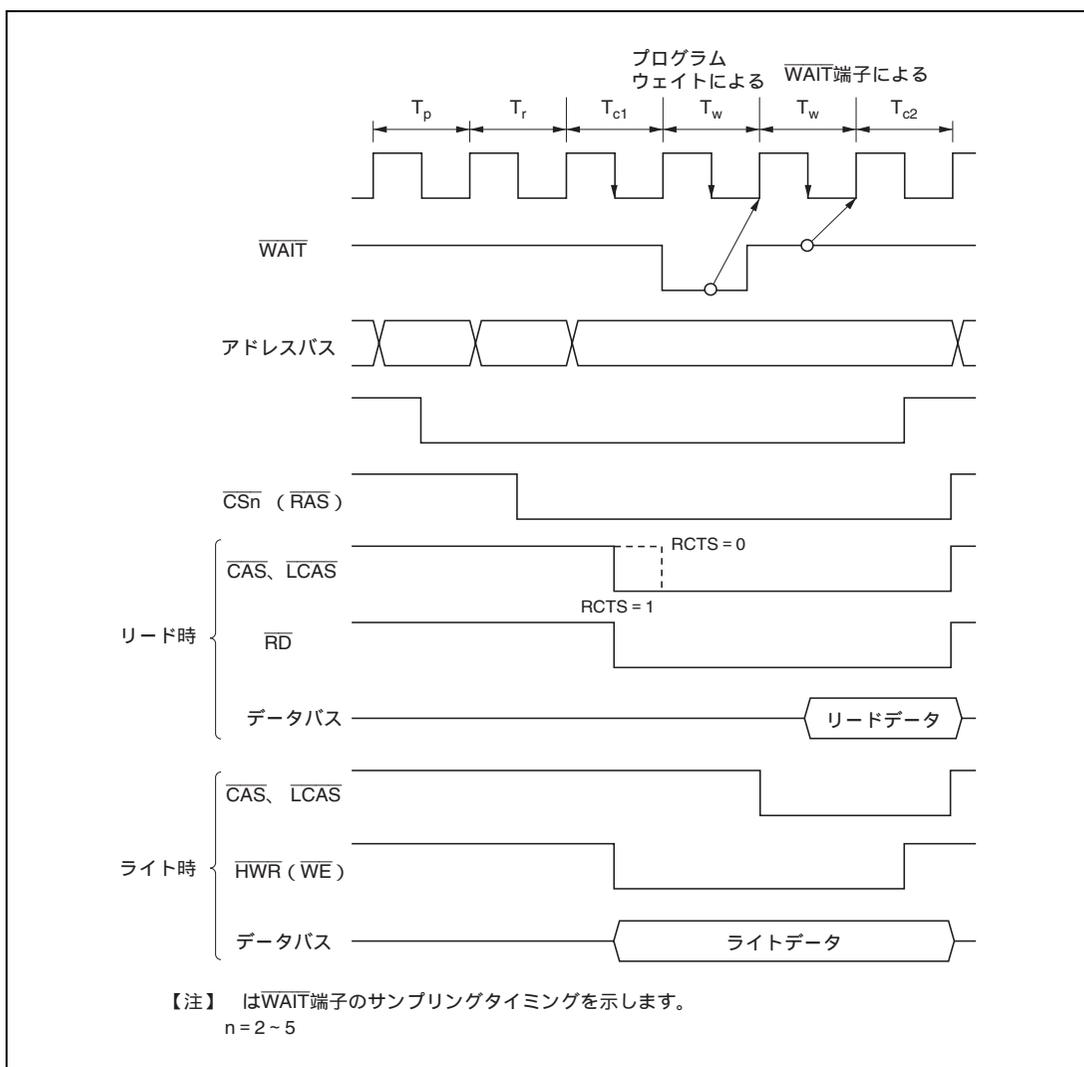


図 7.18 $\overline{\text{WAIT}}$ 端子によるウェイト状態挿入タイミング例

7.5.9 バイトアクセス制御

×16 ビット構成の DRAM を接続するとき、バイトアクセスに必要な制御信号として CAS2 本方式を使用することができます。

図 7.19 に CAS2 本方式の制御タイミングを示します。また図 7.20 に高速ページモード DRAM の接続例を示します。

DRAM 空間に選択されたすべての空間を 8 ビット空間に設定すると、 $\overline{\text{LCAS}}$ 端子は入出力ポートになります。

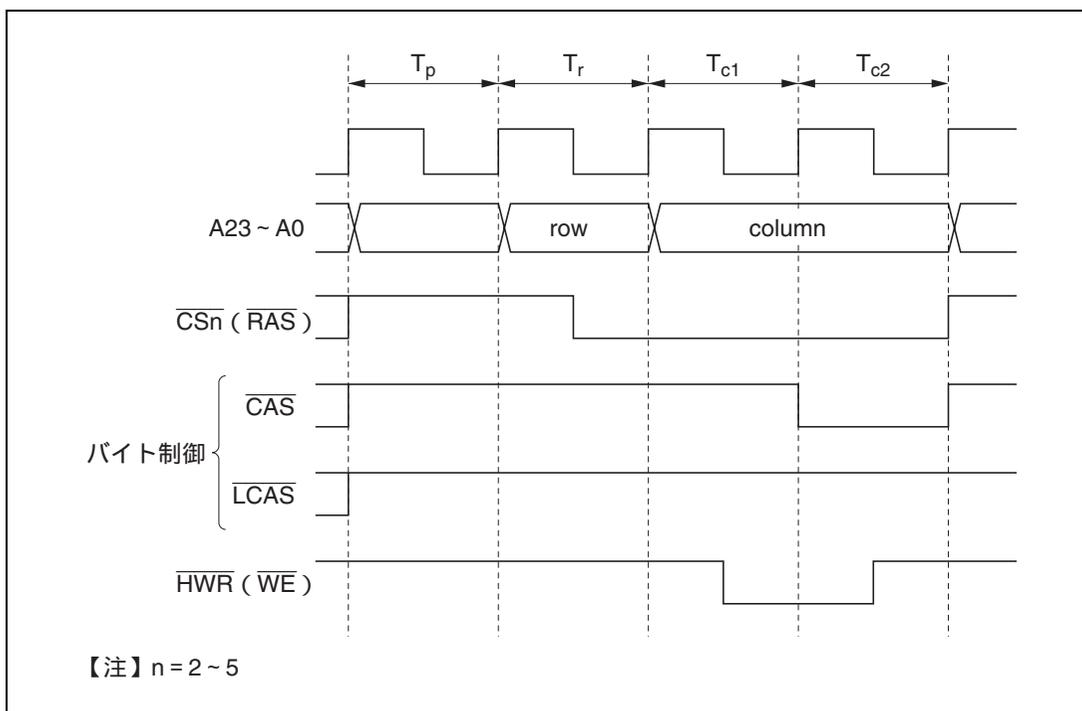


図 7.19 CAS2 本方式の制御タイミング (上位バイトライトアクセス時)

DRAM EDO ページモードを使用する場合は、 $\overline{\text{OE}}$ によりリードデータを制御するか、図 7.20 に示すように RAS アップモードに設定してください。図 7.21 に OES=1 に設定した EDO ページモード接続例を示します。

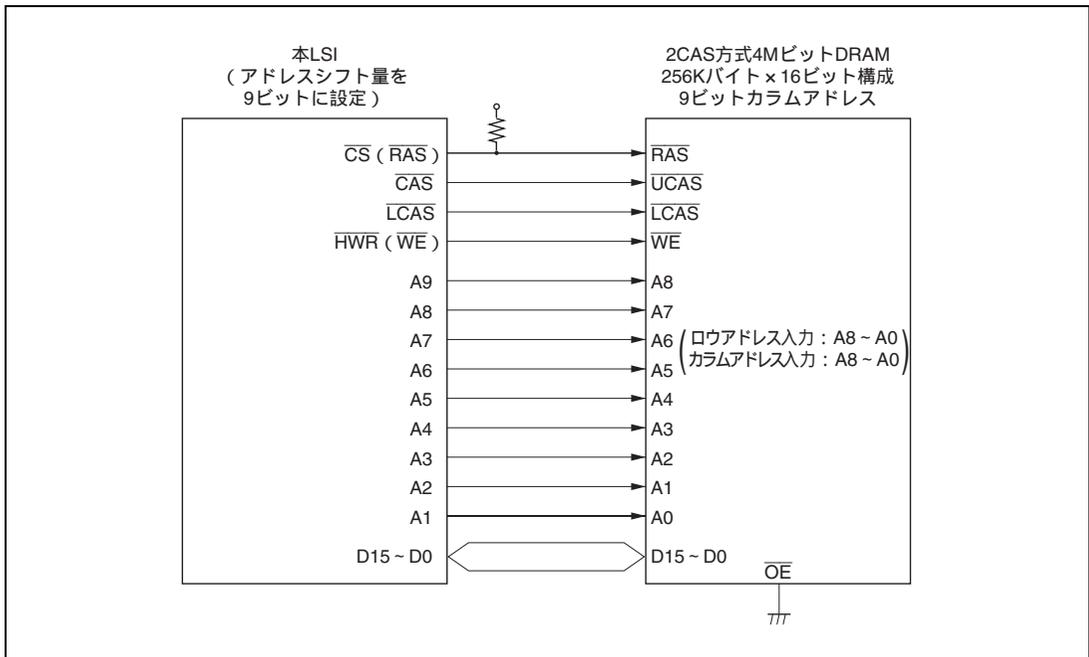


図 7.20 高速ページモード DRAM

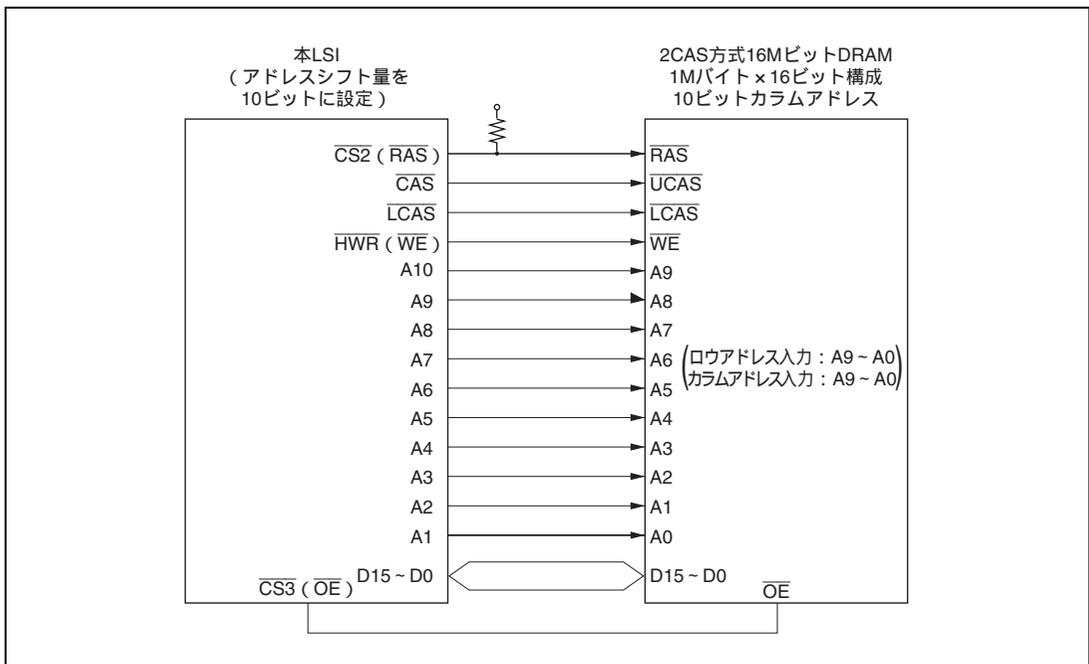


図 7.21 EDO ページモード DRAM の接続例 (OES=1 に設定)

7.5.10 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）のほかに、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。MCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

(1) バーストアクセス（高速ページモード）の動作タイミング

図 7.22 にバーストアクセスの動作タイミングを示します。DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、 $\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクル（2 ステート）が連続して行われます。比較対象となるロウアドレスは MCR の MXC1、MXC0 ビットにより設定します。

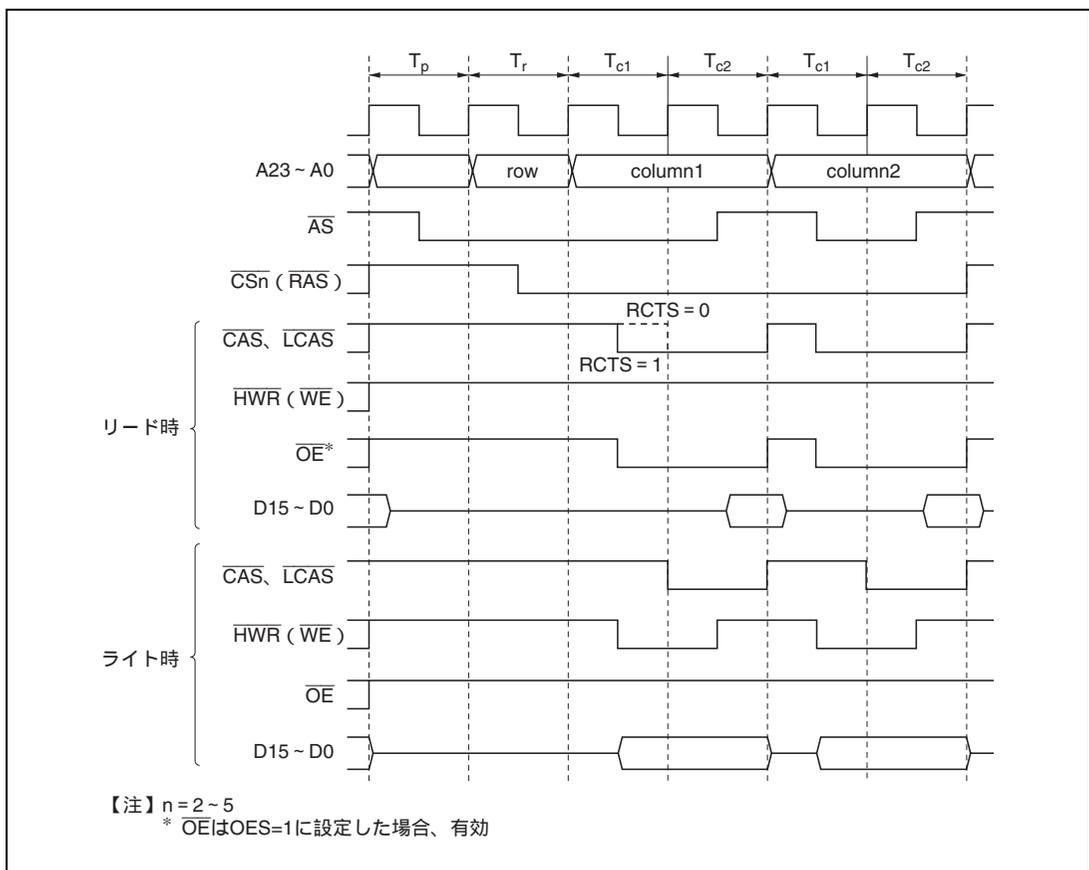


図 7.22 高速ページモードの動作タイミング

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き延ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「7.5.8 ウェイト制御」を参照してください。

(2) RAS ダウンモードと RAS アップモード

バースト動作を選択していても、DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も $\overline{\text{RAS}}$ 信号を Low レベルに保持しておくこと、次に DRAM 空間の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。

(a) RAS ダウンモード

RAS ダウンモードを選択するときは、MCR の RCDM ビットを 1 にセットしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$ 信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致した場合、バーストアクセスが行われます。図 7.23 に RAS ダウンモードのタイミング例を示します。

ただし、リフレッシュ動作が RAS ダウン中に入る場合、 $\overline{\text{RAS}}$ 信号は High レベルになります。

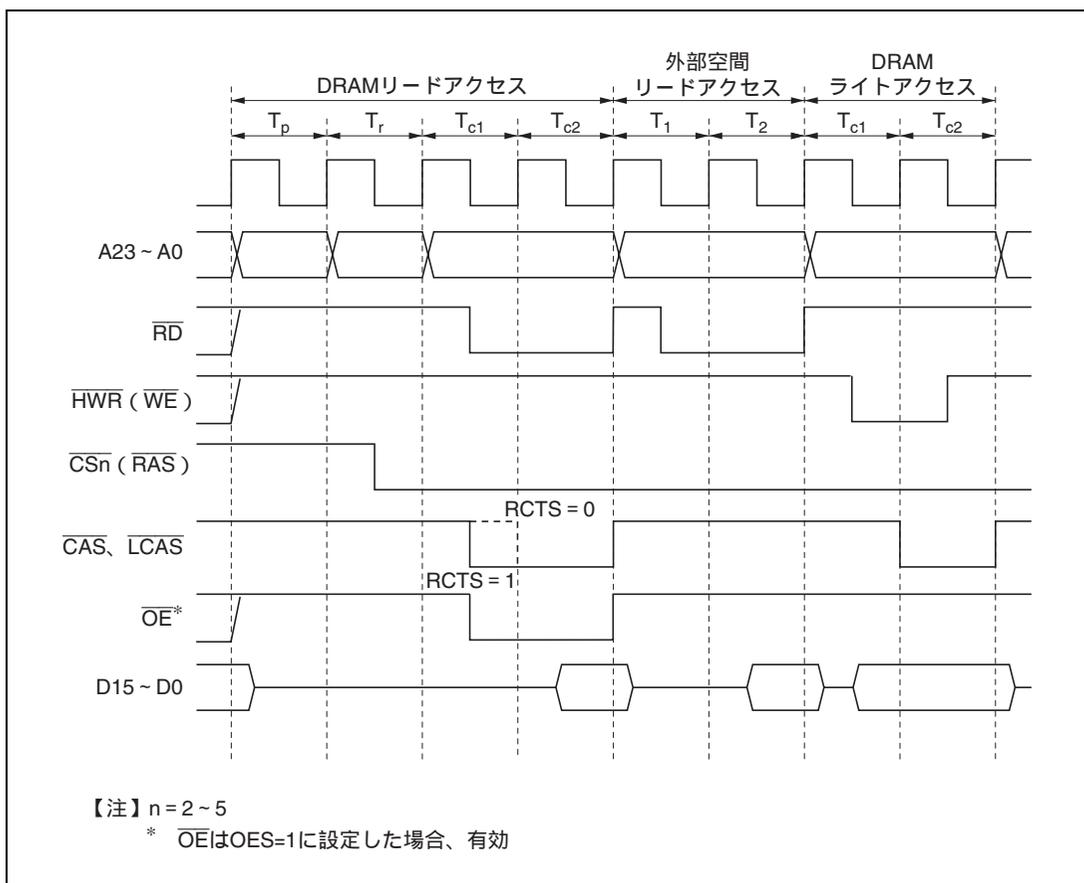


図 7.23 RAS ダウンモードの動作タイミング例

(b) RAS アップモード

RAS アップモードを選択するときは、MCR の RCDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$ 信号を High レベルに戻します。DRAM 空間が連続している場合だけ、バースト動作が行われます。図 7.24 に RAS アップモードのタイミング例を示します。

なお、バースト ROM 空間アクセスでは、 $\overline{\text{RAS}}$ 信号を High に戻しません。

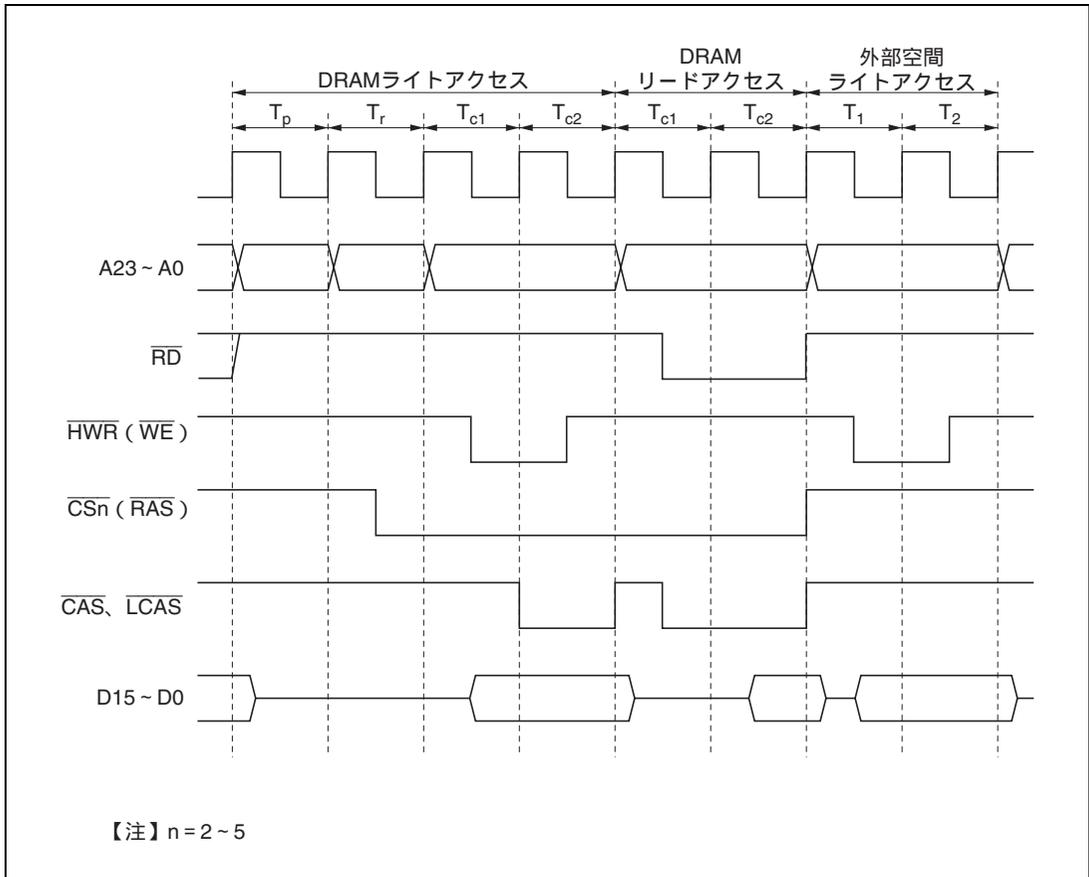


図 7.24 RAS アップモードの動作タイミング例

7.5.11 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、(1)CAS ビフォ RAS (CBR) リフレッシュ、(2)セルフリフレッシュ、の 2 種類から選択できます。

(1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、DRAMCR の RFSHE ビットを 1 にセットし、RMODE ビットを 0 にクリアしてください。

CBR リフレッシュでは、DRAMCR の CKS2~CKS0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と CKS2~CKS0 ビットで決まる一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2~CKS0 ビットの値を設定してください。

CKS2~CKS0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、CKS2~CKS0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。RTCOR に値を設定すると、RTCNT はクリアされます。また RTCNT の設定とコンペアマッチによるリセットが同時の場合は、RTCNT の書き込みが優先されます。

リフレッシュ制御を行っている (RFSHE=1) 場合、CMF フラグはクリアしないでください。

図 7.25 に RTCNT の動作を、図 7.26 にコンペアマッチのタイミングを、図 7.27 に CBR リフレッシュのタイミングをそれぞれ示します。

使用する DRAM によっては、リフレッシュ期間中の \overline{WE} 信号の変化を許可しないものがあります。その場合、CBRM に 1 を設定してください。その時のタイミング例を図 7.28 に示します。このとき、 \overline{CS} 信号は制御対象外で、アクセス要求があった時点で Low を出力します。

また、CBR リフレッシュ期間中には、その他の通常空間のアクセスを行います。

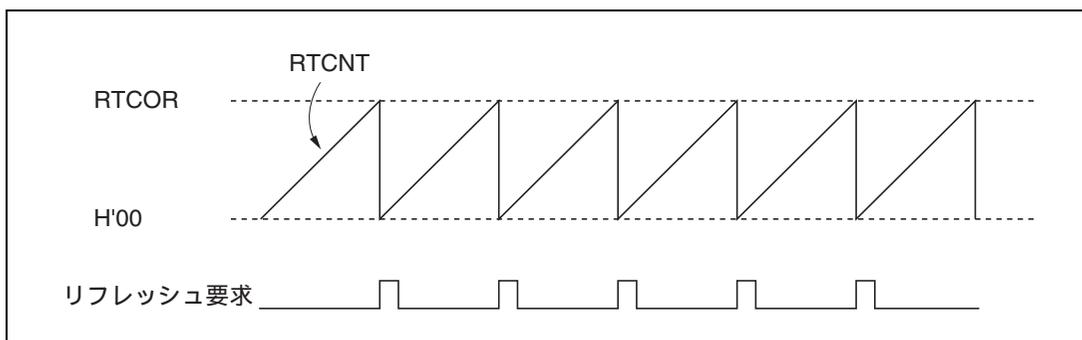


図 7.25 RTCNT の動作

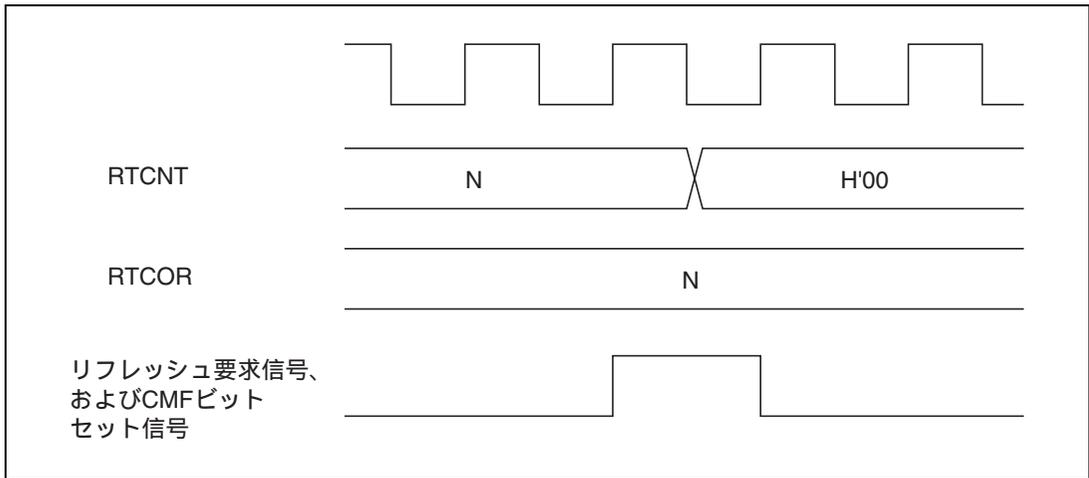


図 7.26 コンペアマッチのタイミング

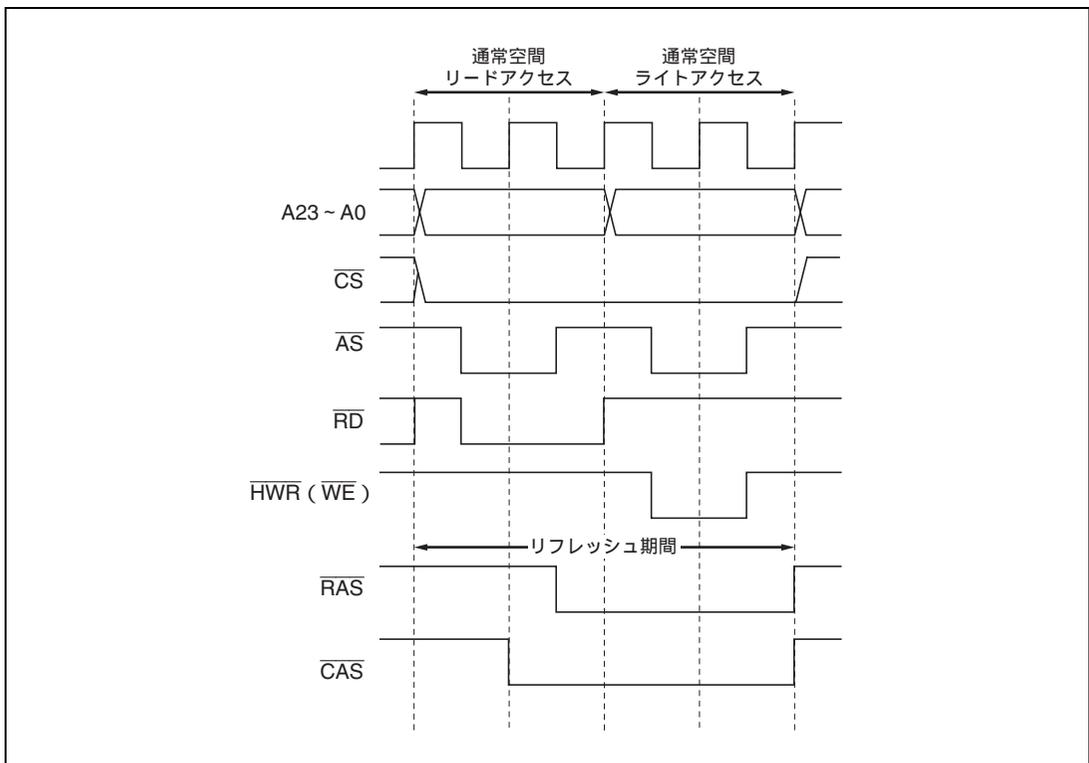


図 7.27 CBR リフレッシュタイミング例 (CBRM=0 のとき)

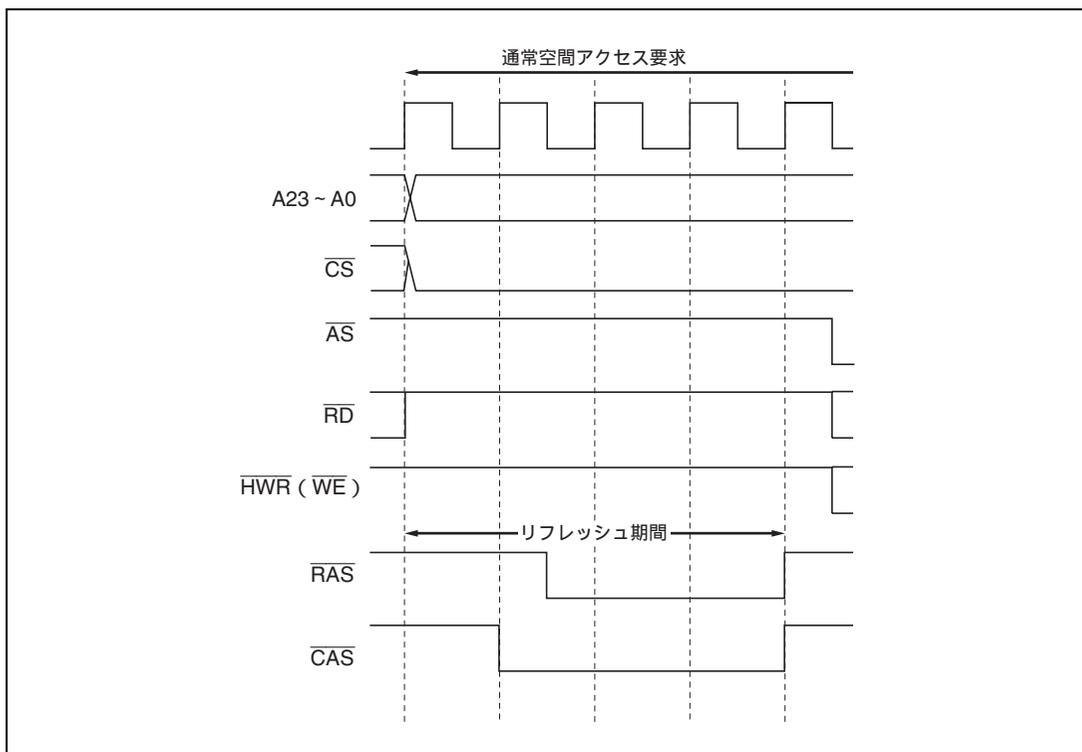


図 7.28 CBR リフレッシュタイミング例 (CBRM=1 のとき)

(2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、DRAMCR の RFSHE ビットと RMODE ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに移るための SLEEP 命令を実行すると、図 7.29 に示すように、 $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され DRAM はセルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードを解除すると、RMODE ビットを 0 にクリアし、セルフリフレッシュモードを解除します。

ソフトウェアスタンバイモードに移る場合、CBR リフレッシュ要求があると、CBR リフレッシュを実行した後、セルフリフレッシュモードに入ります。また、ソフトウェアスタンバイモードに入る直前に発生した CBR リフレッシュ要求は、ソフトウェアスタンバイモード解除時のセルフリフレッシュの終了でクリアします。

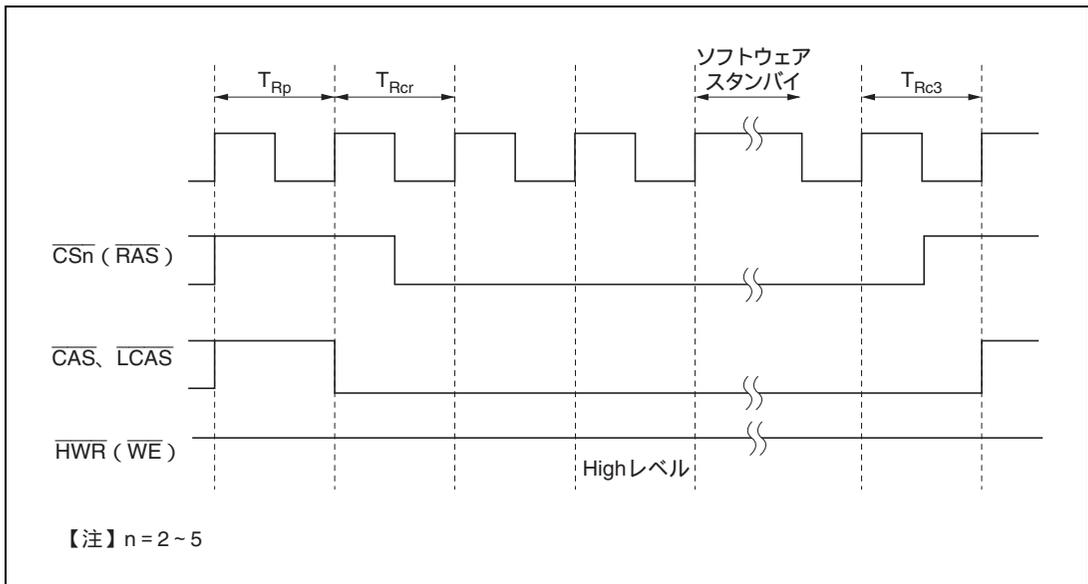


図 7.29 セルフリフレッシュタイミング

7.6 DMAC シングルアドレスモードと DRAM インタフェース (H8S/2695 には本機能はありません)

DRAM インタフェースで、バーストモードを設定したとき、DDS ビットによって $\overline{\text{DACK}}$ 出力タイミングを選択します。また、同時に DMAC シングルアドレスモードで DRAM 空間をアクセスする場合に、バーストアクセスを行うか行わないかを選択します。

7.6.1 DDS = 1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$ 出力タイミングは DRAM インタフェースの場合 T_{c1} スタートから Low レベルになります。

図 7.30 に、DDS = 1 の場合の、DRAM インタフェース時の $\overline{\text{DACK}}$ 出力タイミングを示します。

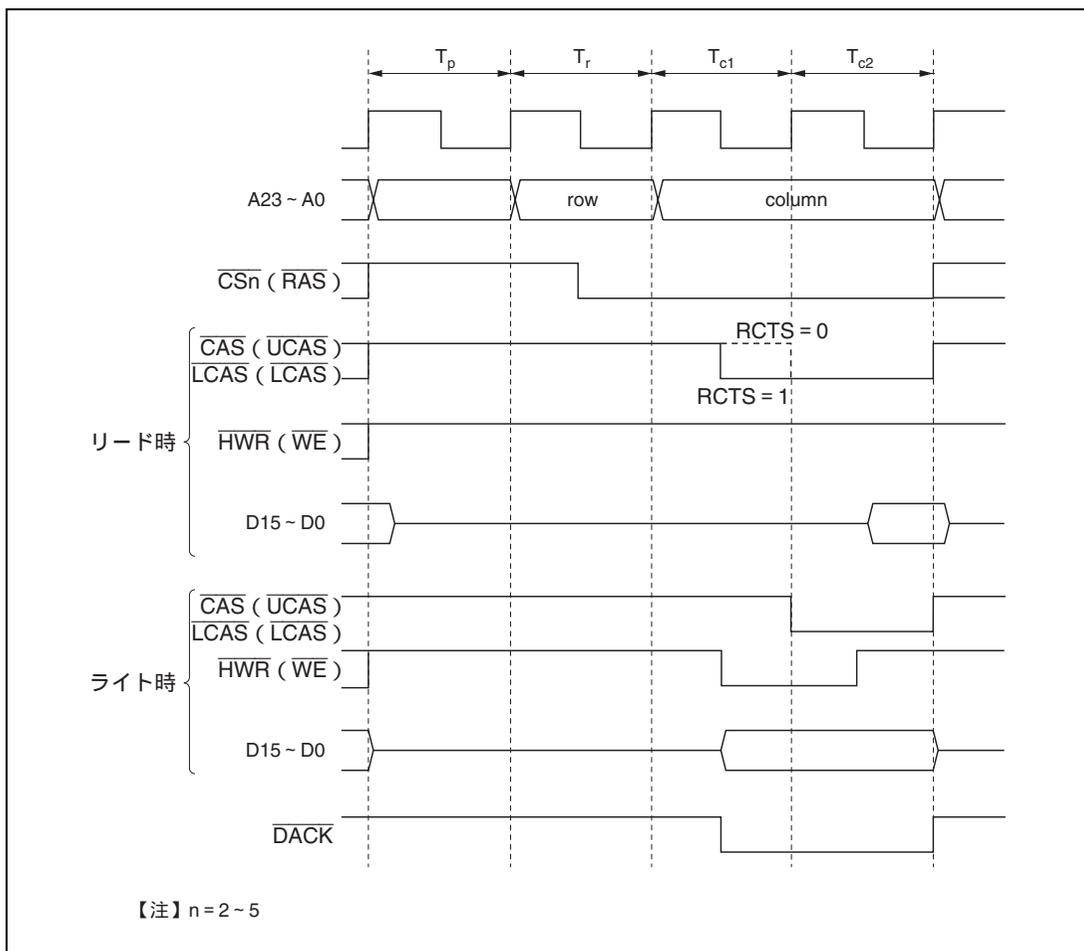


図 7.30 DDS = 1 の場合の $\overline{\text{DACK}}$ 出力タイミング (DRAM アクセスの例)

7.6.2 DDS = 0 のとき

DMAC シングアドレスモードで DRAM 空間をアクセスしたとき、必ずフルアクセス（ノーマルアクセス）を行います。また、 $\overline{\text{DACK}}$ 出力タイミングは、DRAM インタフェースの場合 T_r ステートから Low レベルになります。

DMAC シングアドレスモード以外で、DRAM 空間をアクセスする場合には、バーストアクセスが可能です。図 7.31 に、DDS = 0 の場合の、DRAM インタフェース時の $\overline{\text{DACK}}$ 出力タイミングを示します。

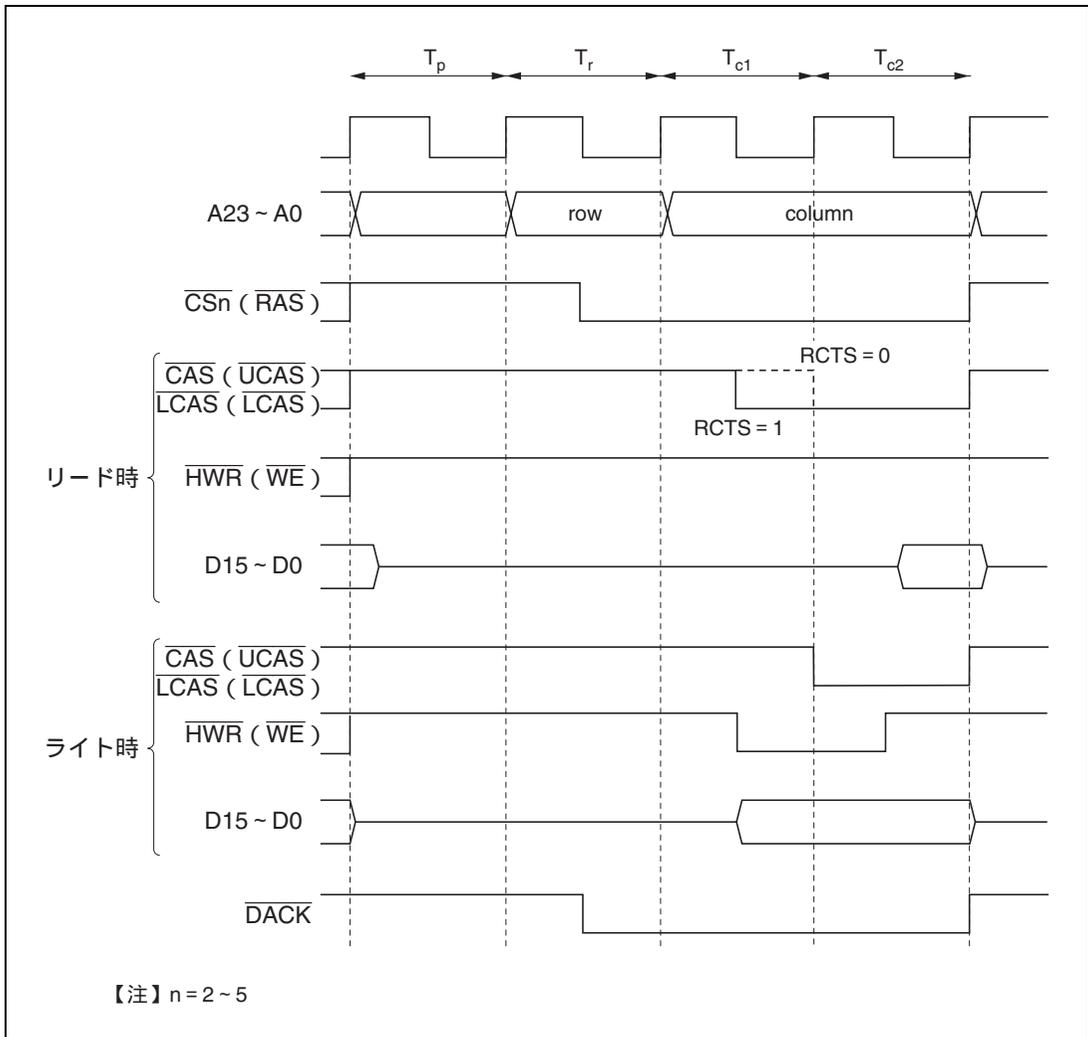


図 7.31 DDS = 0 の場合の $\overline{\text{DACK}}$ 出力タイミング (DRAM アクセスの例)

7.7 バースト ROM インタフェース

7.7.1 概要

本 LSI は、エリア 0 の外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

7.7.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル (フルアクセス) のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 7.32 (a)、(b) に示します。

図 7.32 (a) は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 7.32 (b) は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

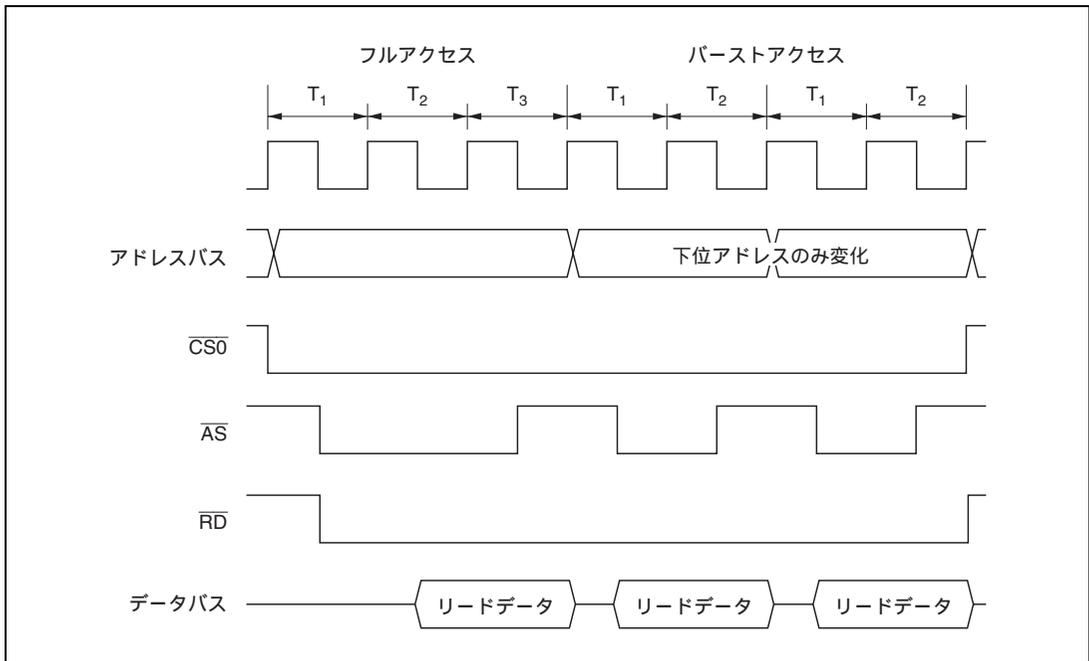


図 7.32 (a) バースト ROM アクセスタイミング例 ($AST0 = BRSTS1 = 1$ の場合)

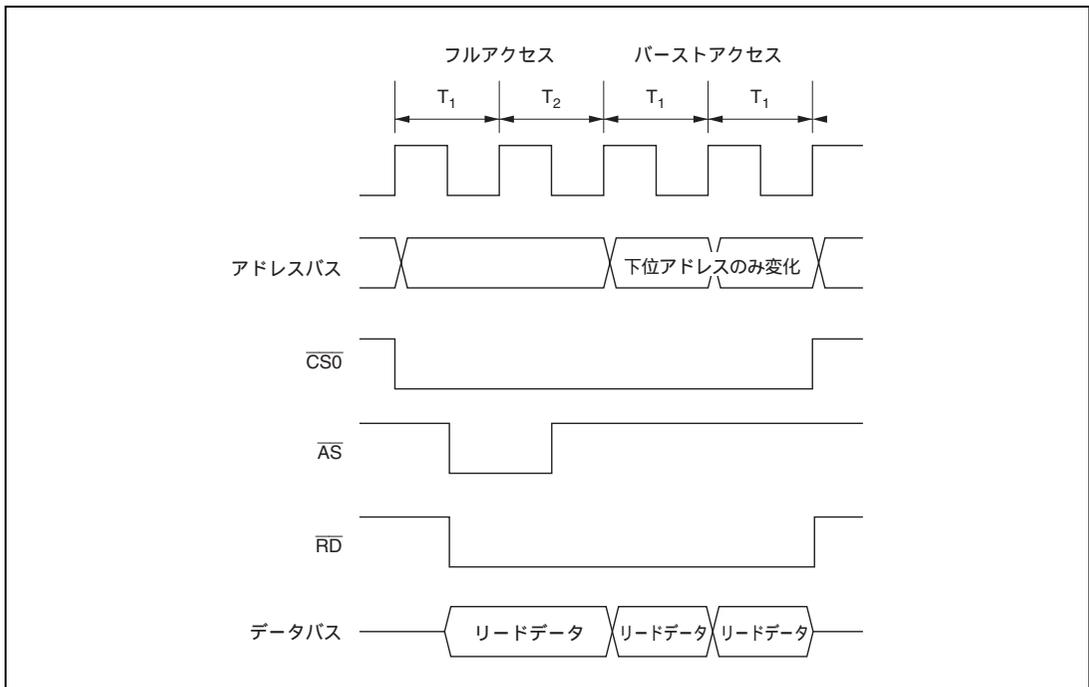


図 7.32 (b) バースト ROM アクセスタイミング例 ($AST0 = BRSTS1 = 0$ の場合)

7.7.3 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、が可能です。「7.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

7.8 アイドルサイクル

7.8.1 動作説明

本 LSI は外部空間をアクセスするとき、(1) 異なるエリア間でリードアクセスが連続して発生したとき、(2) リードサイクルの直後にライトサイクルが発生したとき、の 2 つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル(T_i)を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きい ROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 7.33 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し(b)ではアイドルサイクルを挿入し、データの衝突を回避しています。

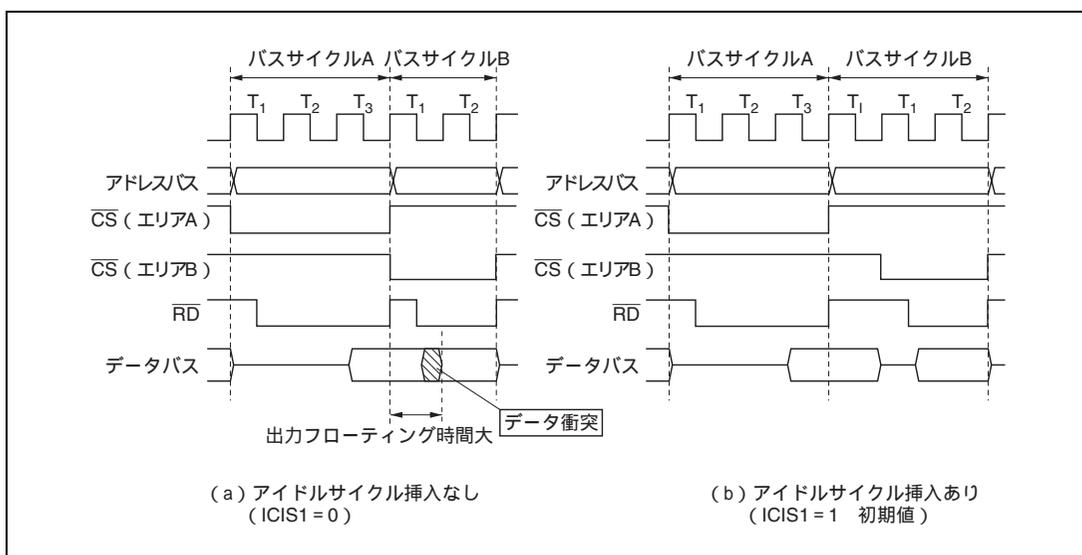


図 7.33 アイドルサイクル動作例 (1)

(2) リード後のライト

BCRH の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 7.34 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

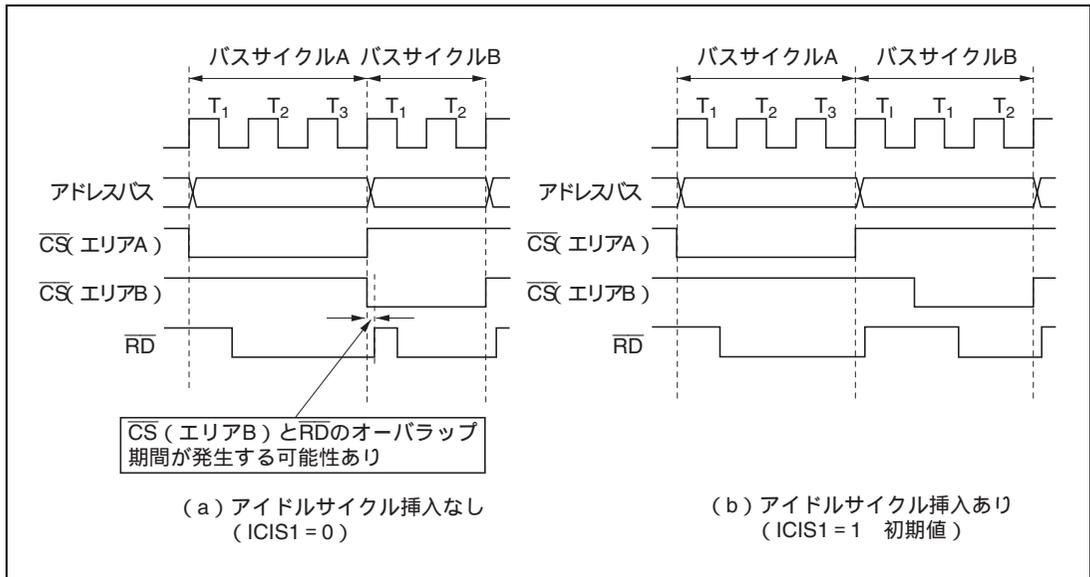


図 7.34 アイドルサイクル動作例 (2)

(3) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 7.35 に例を示します。

このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。

なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

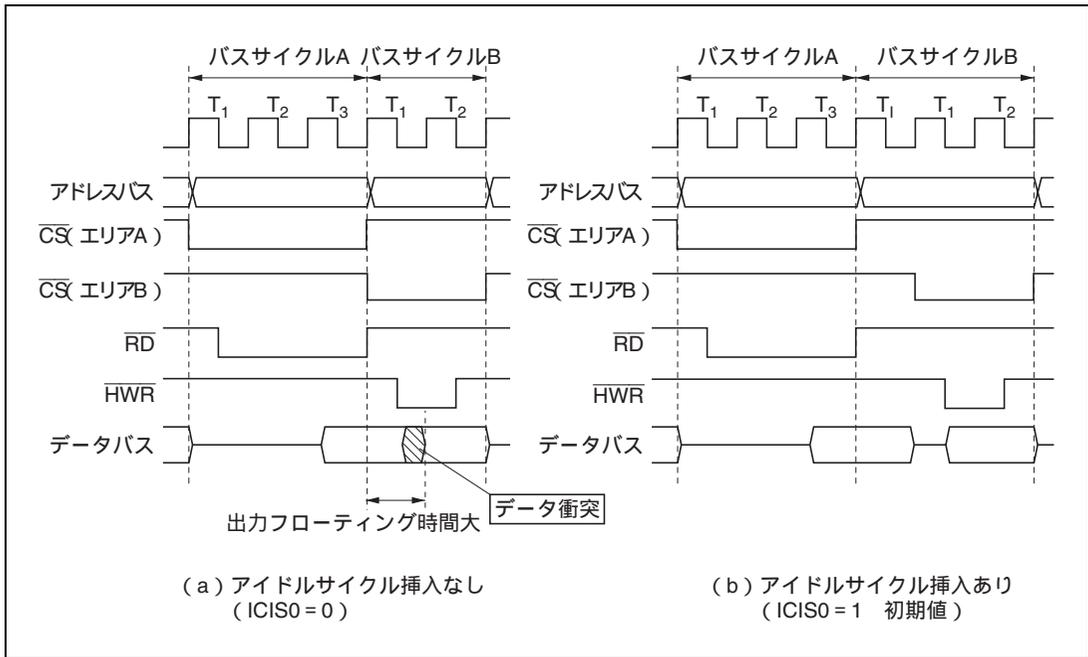


図 7.35 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

(4) 使用上の注意

DRAM 空間をアクセスするときは、 $ICIS0$ 、 $ICIS1$ ビットの設定は無効です。たとえば、異なるエリア間での連続リードの場合、2 回目のリードが DARM アクセスのとき、 T_p サイクルのみが挿入され、 T_r サイクルは挿入されません。このタイミングを図 7.36 に示します。ただし、RAS ダウンモード時のバーストアクセスでは有効となり、アイドルサイクルが挿入されます。このタイミングを図 7.37 (a)、(b) に示します。

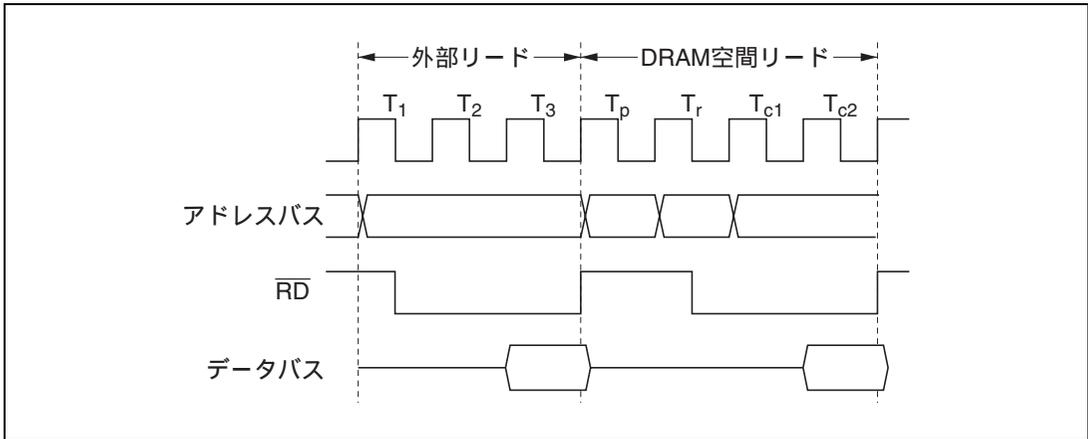


図 7.36 外部リード後の DRAM アクセス例

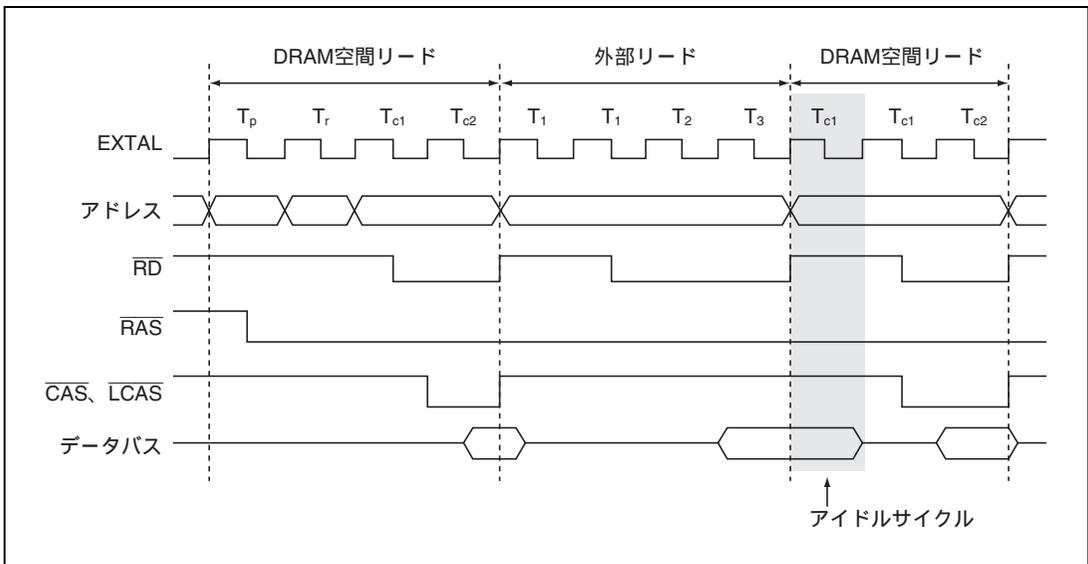


図 7.37 (a) RAS ダウンモード時のアイドルサイクル動作例 (ICIS1 = 1)

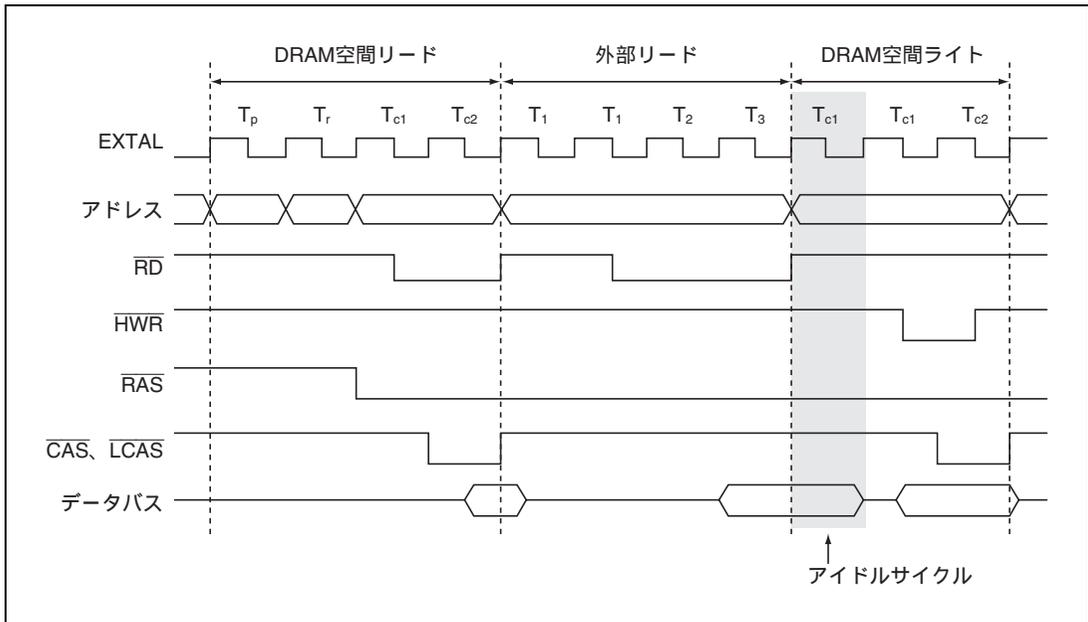


図 7.37 (b) RAS ダウンモード時のアイドルサイクル動作例 (ICIS0 = 1)

7.8.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 7.8 に示します。

表 7.8 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
CSn	High レベル*
CAS	High レベル
AS	High レベル
RD	High レベル
HWR	High レベル
LWR	High レベル
DACKn	High レベル

【注】 * DRAM 空間での RAS ダウンモードまたはリフレッシュサイクルでは Low レベルを保持します。

7.9 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMA シングルアドレスモード転送と、内部アクセスを並行して実行することができます。BCRL の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 7.38 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMA シングルアドレスモード転送が 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

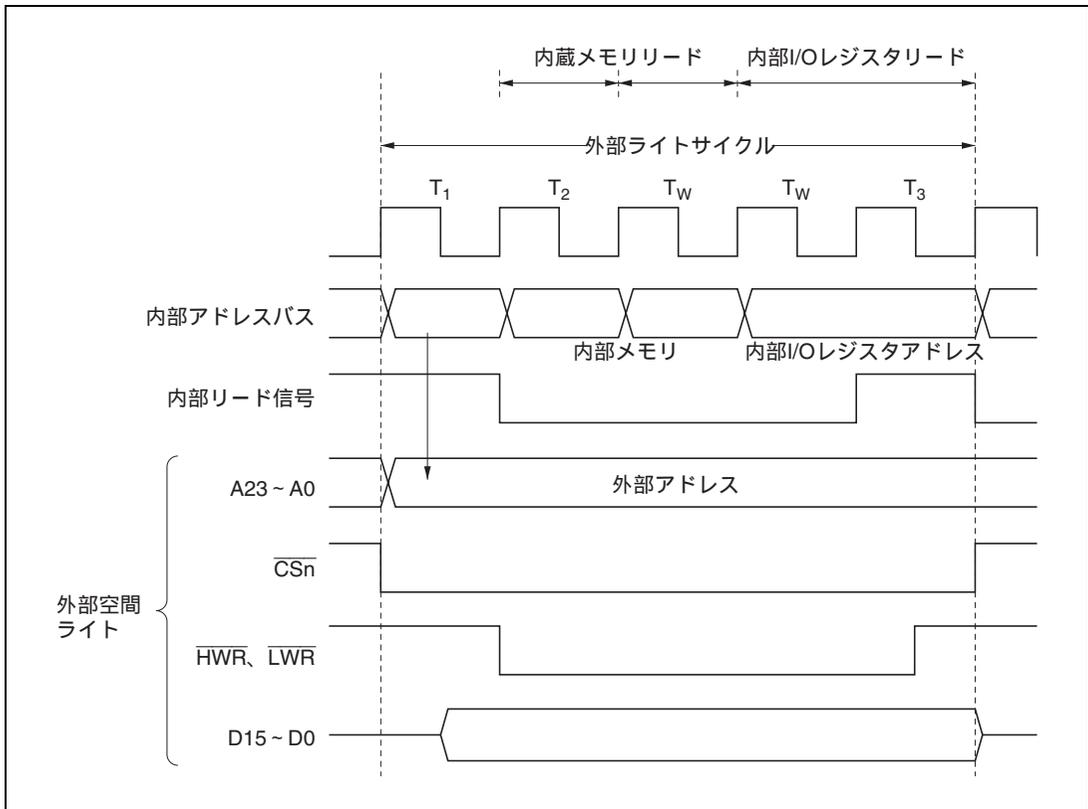


図 7.38 ライトデータバッファ機能使用時のタイミング例

7.10 バス解放

7.10.1 概要

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り、内部バスマスタは動作を継続します。

また、外部バス権解放状態で、内部バスマスタが外部アクセスをしようとしたとき、およびリフレッシュ要求が発生したときに、外部に対してバス権を要求することができます。

7.10.2 動作説明

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで、 $\overline{\text{BACK}}$ 端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態にリフレッシュ要求が発生した場合も、外部バスマスタがバス権要求を取り下げられるまでリフレッシュ制御は保留されます。

BCRL の BREQOE ビットが 1 にセットされていると、外部バス権解放状態に内部バスマスタが外部アクセスをしようとしたとき、およびリフレッシュ要求が発生したときに、 $\overline{\text{BREQO}}$ 端子を Low レベルとし、外部にバス権要求を取り下げよう要求することができます。

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求、リフレッシュ要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

CBRM=1 のとき

(高)リフレッシュ > 外部バス権解放 > 内部バスマスタの外部アクセス(低)

CBRM=0 のとき

(高)リフレッシュ > 外部バス権解放(低)

(高)外部バス権解放 > 内部バスマスタの外部アクセス(低)

【注】 リフレッシュと内部バスマスタの外部アクセスは、同時に実行が可能です。

7.10.3 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 7.9 に示します。

表 7.9 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
\overline{CSn}	ハイインピーダンス
\overline{CAS}	ハイインピーダンス
\overline{AS}	ハイインピーダンス
\overline{RD}	ハイインピーダンス
\overline{HWR}	ハイインピーダンス
\overline{LWR}	ハイインピーダンス
\overline{DACKn}	High レベル

7.10.4 遷移タイミング

バス権解放状態への遷移タイミングを図 7.39 に示します。

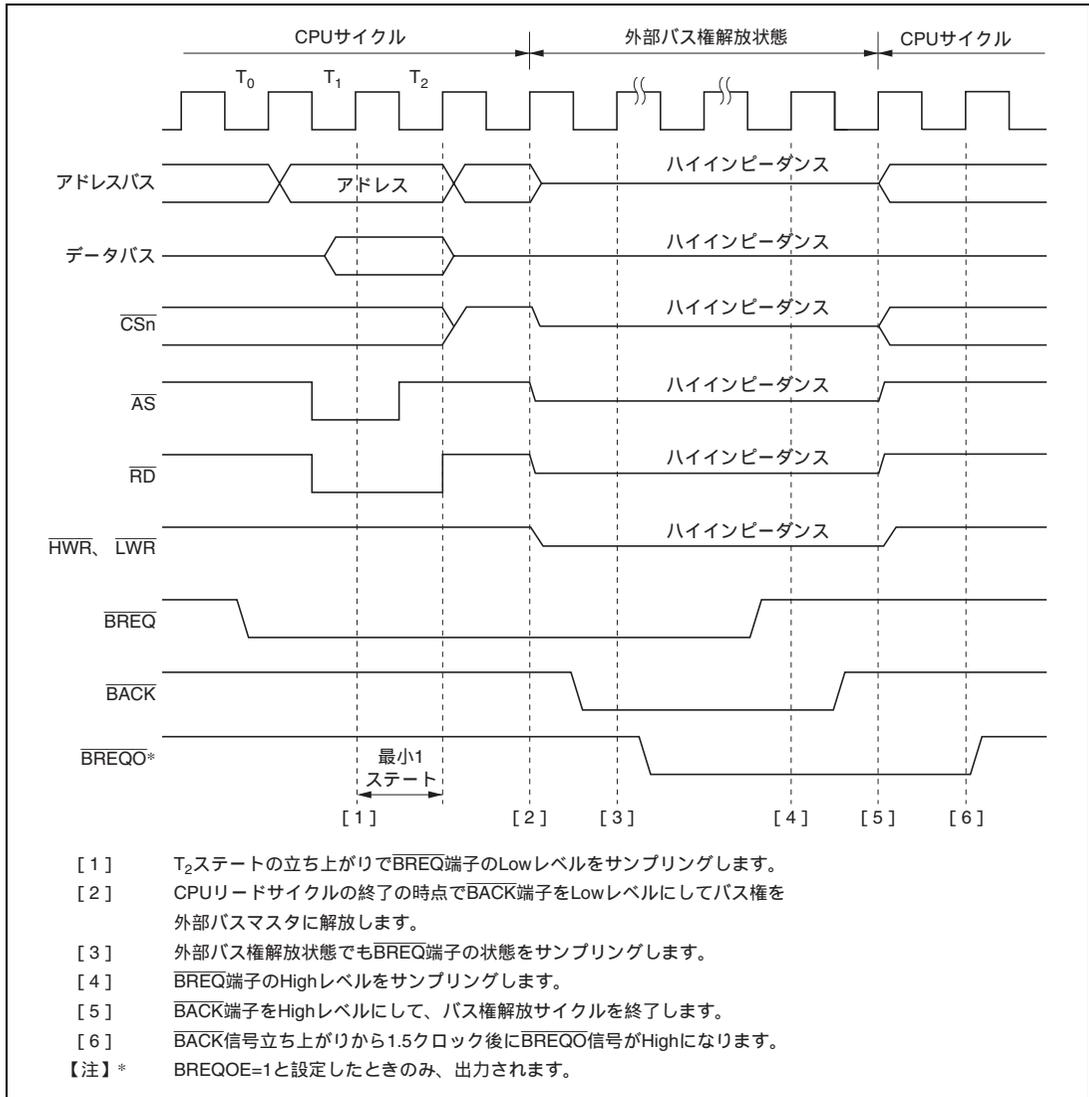


図 7.39 バス権解放状態遷移タイミング

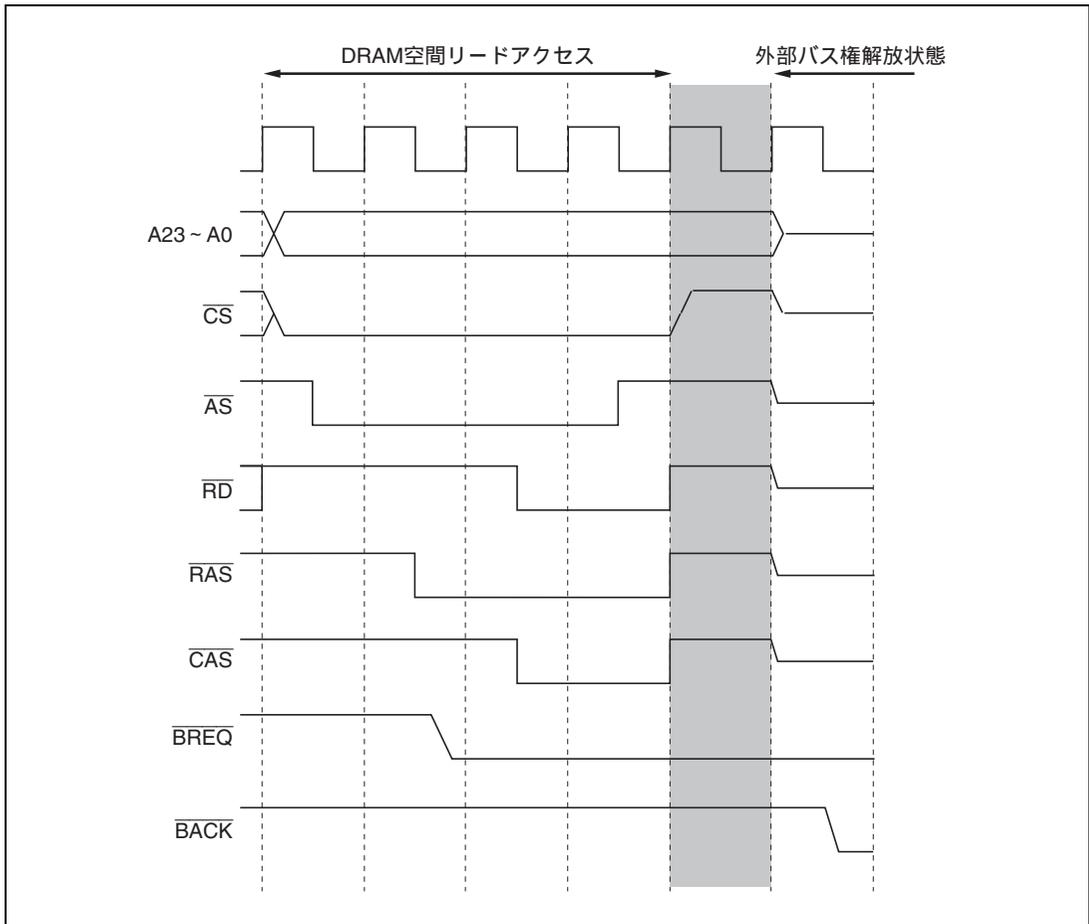


図 7.40 DRAM アクセス後のバス解放遷移タイミング例 (DRAM リード時)

7.10.5 使用上の注意

MSTPCR を H'FFFFFF または H'EFFFFFF に設定し、かつスリープモードに遷移した状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR には H'FFFFFF と H'EFFFFFF を設定しないでください。

CBRM ビットを 1 に設定して CBR リフレッシュを使用する場合、 $\overline{\text{BREQ}}=1$ の幅を最も遅い外部アクセスのステート数より長くしてください。リフレッシュタイムより CBR リフレッシュが要求されても入らない場合があります。

7.11 バスアービトレーション (H8S/2695 には DTC、DMAC はありません)

7.11.1 概要

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU、DTC および DMAC の 3 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

7.11.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DMAC > DTC > CPU (低)

なお、内部バスマスタの内部バスアクセスと外部バス権解放、およびリフレッシュは並行して実行することができます。

外部バス権解放要求、リフレッシュ要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

CBRM=1 のとき

(高) リフレッシュ > 外部バス権解放 > 内部バスマスタの外部アクセス (低)

CBRM=0 のとき

(高) リフレッシュ > 外部バス権解放 (低)

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

7.11.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC および DMAC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- (a) バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。バス権を移行しないタイミングは「付録A.5 命令実行中のバス状態」を参照してください。

- (b) CPUがスリープモードの場合、直ちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3 ステート）後、1 回のデータ転送後、レジスタ情報のライト（3 ステート）後です。レジスタ情報のリード（3 ステート）中、1 回のデータ転送中、レジスタ情報のライト（3 ステート）中にはバスを解放しません。

(3) DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はショートアドレスモード、ノーマルモードの外部リクエスト、またはサイクルスチールモードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。

7.12 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセットでは、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 $\overline{\text{WAIT}}$ 入力は無視されます。ライトデータは保証されません。また、DMAC*はマニュアルリセットで初期化されますので、 $\overline{\text{DACK}}$ *、 $\overline{\text{TEND}}$ *出力は禁止され、DDR と DR で制御される I/O ポートになります。

【注】 * H8S/2695 には本機能はありません。

8. DMA コントローラ (DMAC) (H8S/2695 には本機能はありません)

8.1 概要

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

8.1.1 特長

DMAC には次の特長があります。

ショートアドレスモードとフルアドレスモードを選択可能

(1) ショートアドレスモード

- 最大4チャンネルを使用可能
- デュアルアドレスモード/シングルアドレスモードの選択が可能
- デュアルアドレスモードでは転送元、転送先アドレスの一方を24ビット、他方を16ビットで指定
- シングルアドレスモードでは転送元、転送先アドレスの一方だけを24ビットで指定
- シングルアドレスモードでは1バスサイクルでの転送が可能
- デュアルアドレスモード、シングルアドレスモードに対し、シーケンシャルモード/アイドルモード/リピートモードの選択が可能

(2) フルアドレスモード

- 最大2チャンネルを使用可能
- 転送元、転送先アドレスを24ビットで指定
- ノーマルモード/ブロック転送モードの選択が可能

16M バイトのアドレス空間を直接指定可能

転送単位をバイト/ワードに設定可能

起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)

- 16ビットタイマパルスユニット (TPU) のコンペアマッチ/インプットキャプチャ割り込み×6
- シリアルコミュニケーションインタフェース (SCIO、SCII) の送信データエンプティ割り込み、受信完了割り込み
- A/D変換器の変換終了割り込み
- 外部リクエスト

8. DMA コントローラ (DMAC)

- オートリクエスト

モジュールストップモードの設定可能

- 初期値ではDMACのレジスタのアクセスが可能。モジュールストップモードの設定でDMACの動作は停止

8.1.2 ブロック図

DMAC のブロック図を図 8.1 に示します。

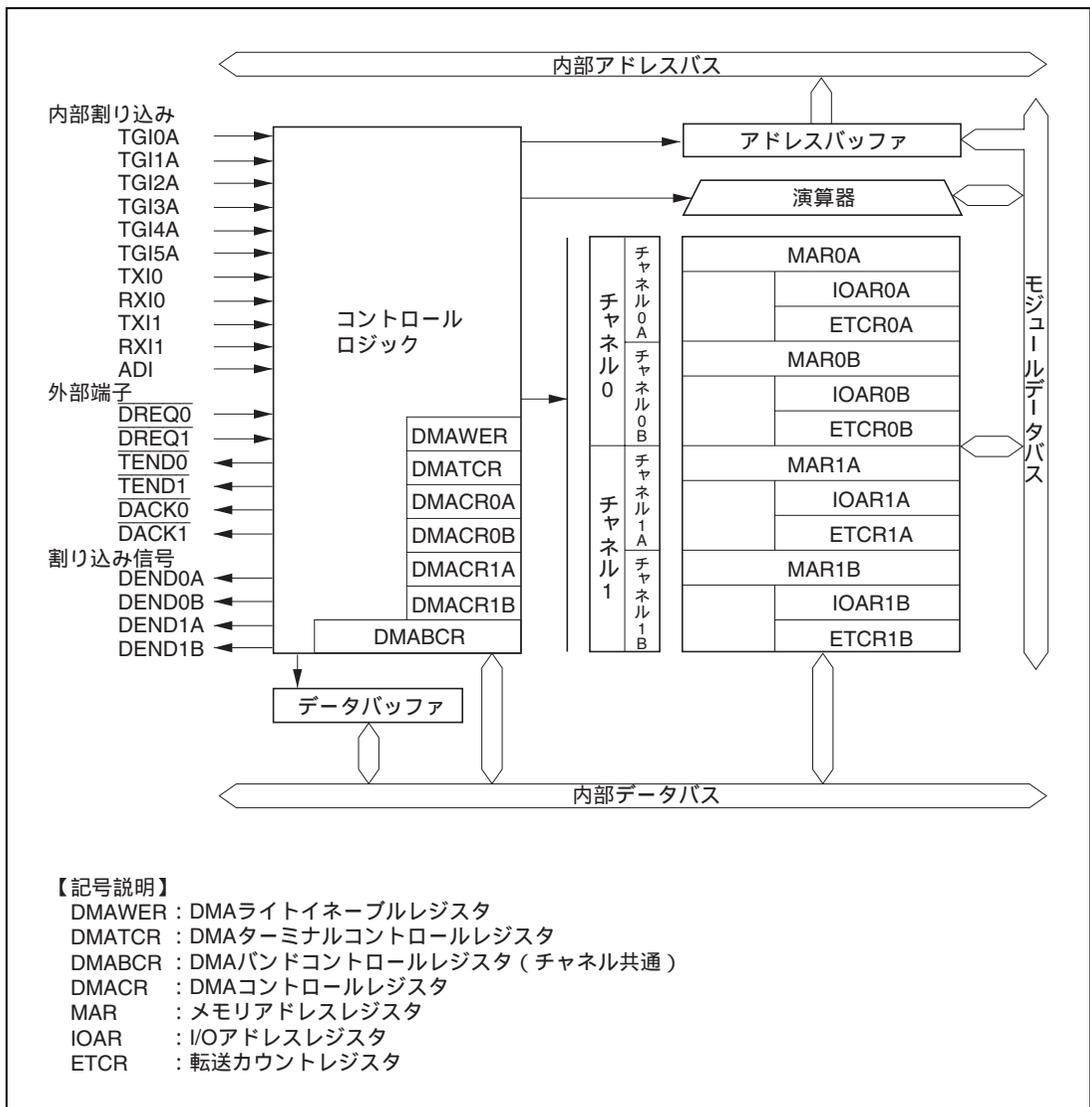


図 8.1 DMAC のブロック図

8.1.3 機能概要

DMAC のショートアドレスモード、フルアドレスモードの機能概要を表 8.1 (1)、(2) にそれぞれ示します。

表 8.1 (1) DMAC の機能概要 (ショートアドレスモード)

転送モード	転送要因	アドレスレジスタビット長		
		ソース	デスティネーション	
デュアル アドレス モード	<ul style="list-style-type: none"> • (1) シーケンシャルモード <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 転送回数は 1 ~ 65536 • (2) アイドルモード <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスは固定 • 転送回数は 1 ~ 65536 • (3) リピートモード <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 指定回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> • TPU チャンネル 0 ~ 5 のコンペアマッチ / インพุットキャプチャ A 割り込み • SCI の送信データエンベティ割り込み • SCI の受信完了割り込み • A/D 変換器の変換終了割り込み • 外部リクエスト 	24 /16	16 /24
シングル アドレス モード	<ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • I/O を指定するアドレスの代わりに $\overline{\text{DACK}}$ 端子を用いて 1 バスサイクルで転送 • (1) ~ (3) の各モードに対して指定可能 	<ul style="list-style-type: none"> • 外部リクエスト 	24 $\overline{\text{DACK}}$	$\overline{\text{DACK}}$ /24

表 8.1 (2) DMAC の機能概要 (フルアドレスモード)

転送モード	転送要因	アドレスレジスタビット長	
		ソース	デスティネーション
(4) ノーマルモード オートリクエスト <ul style="list-style-type: none"> 転送要求を内部保持 指定回数 (1 ~ 65536) 継続して転送 バースト / サイクルスチール転送を選択可能 外部リクエスト <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 転送回数は 1 ~ 65536 	<ul style="list-style-type: none"> オートリクエスト 	24	24
	<ul style="list-style-type: none"> 外部リクエスト 		
(5) ブロック転送モード <ul style="list-style-type: none"> 1 回の転送要求で指定したブロックサイズの転送を実行 転送回数は 1 ~ 65536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズは 1 ~ 256 バイトまたはワード 	<ul style="list-style-type: none"> TPU チャネル 0 ~ 5 のコンペアマッチ / インพุットキャプチャ A 割り込み SCI の送信データエンベティ割り込み SCI の受信完了割り込み 外部リクエスト A/D 変換器の変換終了割り込み 	24	24

8.1.4 端子構成

DMAC の端子構成を表 8.2 に示します。

ショートアドレスモードでは、チャンネル A に対する外部リクエストによる転送、シングルアドレス転送、転送終了出力は行えません。

DMA 転送アクノレッジは、ショートアドレスモードのチャンネル B のシングルアドレスモードにおいて機能しません。

$\overline{\text{DREQ}}$ 端子を使用するときは、対応するポートを出力にしないでください。

$\overline{\text{DACK}}$ 端子は、シングルアドレス転送の設定により対応するポートが自動的に出力になり、 $\overline{\text{DACK}}$ 端子となります。

$\overline{\text{TEND}}$ 端子は、端子ごとに対応するポートを $\overline{\text{TEND}}$ 端子として使用するかどうかをレジスタで設定できます。

表 8.2 端子構成

チャンネル	名称	記号	入出力	機能
0	DMA リクエスト 0	$\overline{\text{DREQ0}}$	入力	DMAC チャンネル 0 の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{\text{DACK0}}$	出力	DMAC チャンネル 0 のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{\text{TEND0}}$	出力	DMAC チャンネル 0 の転送終了
1	DMA リクエスト 1	$\overline{\text{DREQ1}}$	入力	DMAC チャンネル 1 の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{\text{DACK1}}$	出力	DMAC チャンネル 1 のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{\text{TEND1}}$	出力	DMAC チャンネル 1 の転送終了

8.1.5 レジスタ構成

DMAC のレジスタ構成を表 8.3 に示します。

表 8.3 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス*	バス幅
0	メモリアドレスレジスタ 0A	MAR0A	R/W	不定	H'FEE0	16 ビット
	I/O アドレスレジスタ 0A	IOAR0A	R/W	不定	H'FEE4	
	転送カウントレジスタ 0A	ETCR0A	R/W	不定	H'FEE6	
	メモリアドレスレジスタ 0B	MAR0B	R/W	不定	H'FEE8	
	I/O アドレスレジスタ 0B	IOAR0B	R/W	不定	H'FEEC	
	転送カウントレジスタ 0B	ETCR0B	R/W	不定	H'FEEE	
1	メモリアドレスレジスタ 1A	MAR1A	R/W	不定	H'FEF0	16 ビット
	I/O アドレスレジスタ 1A	IOAR1A	R/W	不定	H'FEF4	
	転送カウントレジスタ 1A	ETCR1A	R/W	不定	H'FEF6	
	メモリアドレスレジスタ 1B	MAR1B	R/W	不定	H'FEF8	
	I/O アドレスレジスタ 1B	IOAR1B	R/W	不定	H'FEFC	
	転送カウントレジスタ 1B	ETCR1B	R/W	不定	H'FEFE	
0、1	DMA ライトイネーブルレジスタ	DMAWER	R/W	H'00	H'FF60	8
	DMA ターミナルコントロールレジスタ	DMATCR	R/W	H'00	H'FF61	ビット
	DMA コントロールレジスタ 0A	DMACR0A	R/W	H'00	H'FF62	16 ビット
	DMA コントロールレジスタ 0B	DMACR0B	R/W	H'00	H'FF63	
	DMA コントロールレジスタ 1A	DMACR1A	R/W	H'00	H'FF64	
	DMA コントロールレジスタ 1B	DMACR1B	R/W	H'00	H'FF65	
	DMA バンドコントロールレジスタ	DMABCR	R/W	H'0000	H'FF66	
	モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8	8 ビット

【注】 * アドレスは下位 16 ビットを示しています。

8.2 各レジスタの説明 (1) (ショートアドレスモード)

ショートアドレスモード転送は、チャンネル A、B 独立に行うことができます。

表 8.4 に示すように DMABCR の FAE ビットを 0 に設定して各チャンネルのショートアドレスモード転送を指定します。FAE1、FAE0 ビットにより、チャンネル 1、0 を独立してショートアドレス/フルアドレスモードの選択を行うことができます。

表 8.4 ショートアドレスモードとフルアドレスモード (1 チャンネル分: チャンネル 0 の例)

FAE0	説明																		
0	<p>ショートアドレスモードを指定 (チャンネル A、B は独立して動作)</p> <table border="1" style="margin-left: 20px;"> <tr> <td rowspan="4" style="writing-mode: vertical-rl; text-orientation: mixed;">チャンネル 0 A</td> <td>MAR0A</td> <td>← 転送元 / 転送先アドレスを指定</td> </tr> <tr> <td>IOAR0A</td> <td>← 転送先 / 転送元アドレスを指定</td> </tr> <tr> <td>ETCR0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td>DMACR0A</td> <td>← 転送サイズ、モード、起動要因等を指定</td> </tr> <tr> <td rowspan="4" style="writing-mode: vertical-rl; text-orientation: mixed;">チャンネル 0 B</td> <td>MAR0B</td> <td>← 転送元 / 転送先アドレスを指定</td> </tr> <tr> <td>IOAR0B</td> <td>← 転送先 / 転送元アドレスを指定</td> </tr> <tr> <td>ETCR0B</td> <td>← 転送回数を指定</td> </tr> <tr> <td>DMACR0B</td> <td>← 転送サイズ、モード、起動要因等を指定</td> </tr> </table>	チャンネル 0 A	MAR0A	← 転送元 / 転送先アドレスを指定	IOAR0A	← 転送先 / 転送元アドレスを指定	ETCR0A	← 転送回数を指定	DMACR0A	← 転送サイズ、モード、起動要因等を指定	チャンネル 0 B	MAR0B	← 転送元 / 転送先アドレスを指定	IOAR0B	← 転送先 / 転送元アドレスを指定	ETCR0B	← 転送回数を指定	DMACR0B	← 転送サイズ、モード、起動要因等を指定
チャンネル 0 A	MAR0A		← 転送元 / 転送先アドレスを指定																
	IOAR0A		← 転送先 / 転送元アドレスを指定																
	ETCR0A		← 転送回数を指定																
	DMACR0A	← 転送サイズ、モード、起動要因等を指定																	
チャンネル 0 B	MAR0B	← 転送元 / 転送先アドレスを指定																	
	IOAR0B	← 転送先 / 転送元アドレスを指定																	
	ETCR0B	← 転送回数を指定																	
	DMACR0B	← 転送サイズ、モード、起動要因等を指定																	
1	<p>フルアドレスモードを指定 (チャンネル A、B は組み合わせて動作)</p> <table border="1" style="margin-left: 20px;"> <tr> <td rowspan="6" style="writing-mode: vertical-rl; text-orientation: mixed;">チャンネル 0</td> <td>MAR0A</td> <td>← 転送元アドレスを指定</td> </tr> <tr> <td>MAR0B</td> <td>← 転送先アドレスを指定</td> </tr> <tr> <td>IOAR0A</td> <td>← 未使用</td> </tr> <tr> <td>IOAR0B</td> <td>← 未使用</td> </tr> <tr> <td>ETCR0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td>ETCR0B</td> <td>← 転送回数を指定 (ブロック転送モード時のみ使用)</td> </tr> <tr> <td></td> <td>DMACR0A DMACR0B</td> <td>← 転送サイズ、モード、起動要因などを指定</td> </tr> </table>	チャンネル 0	MAR0A	← 転送元アドレスを指定	MAR0B	← 転送先アドレスを指定	IOAR0A	← 未使用	IOAR0B	← 未使用	ETCR0A	← 転送回数を指定	ETCR0B	← 転送回数を指定 (ブロック転送モード時のみ使用)		DMACR0A DMACR0B	← 転送サイズ、モード、起動要因などを指定		
チャンネル 0	MAR0A		← 転送元アドレスを指定																
	MAR0B		← 転送先アドレスを指定																
	IOAR0A		← 未使用																
	IOAR0B		← 未使用																
	ETCR0A		← 転送回数を指定																
	ETCR0B	← 転送回数を指定 (ブロック転送モード時のみ使用)																	
	DMACR0A DMACR0B	← 転送サイズ、モード、起動要因などを指定																	

8.2.1 メモリアドレスレジスタ (MAR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAR :																
初期値 :	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W :									R/W							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W															

* : 不定

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。

MAR の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新していきます。詳細は、「8.2.4 DMA コントロールレジスタ (DMACR)」を参照してください。

MAR はリセットまたはスタンバイモード時に初期化されません。

8.2.2 I/O アドレスレジスタ (IOAR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W															

* : 不定

IOAR は 16 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスの下位 16 ビットを指定します。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。

IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

シングルアドレスモードでは IOAR は無効です。

IOAR は転送のたびにインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

IOAR はリセットまたはスタンバイモード時に初期化されません。

8.2.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定します。このレジスタは、シーケンシャルモードおよびアイドルモードと、リピートモードとでは設定が異なります。

(1) シーケンシャルモードおよびアイドルモード

転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W															

* : 不定

シーケンシャルモードとアイドルモードでは、ETCR は 16 ビットの転送カウンタ (1 ~ 65536) として機能します。1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になると DMABCR の DTE ビットをクリアし、転送を終了します。

8. DMA コントローラ (DMAC)

(2) リピートモード

転送回数保持

ビット :	15	14	13	12	11	10	9	8
ETCRH:								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W							

転送カウンタ

ビット :	7	6	5	4	3	2	1	0
ETCRL:								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W							

* : 不定

リピートモードでは、ETCR は 8 ビットの転送カウンタ (1~256) ETCRL と転送回数保持レジスタ ETCRH として機能します。1 回の転送を行うたびに ETCRL は 1 だけデクリメントされ、H'00 になると、ETCRH の値をロードします。このとき、MAR は転送を開始したときの値に自動的に戻ります。

DMABCR の DTE ビットはクリアされません。このため、DTE ビットがユーザによりクリアされるまで、繰り返し転送が行えます。

ETCR はリセットまたはスタンバイモード時に初期化されません。

8.2.4 DMA コントロールレジスタ (DMACR)

ビット :	7	6	5	4	3	2	1	0
DMACR:	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMACR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。

DMACR は、リセットまたはスタンバイモード時に H'00 に初期化されます。

- ビット7: データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット7	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

- ビット6：データトランスインクリメント/デクリメント (DTID)
シーケンシャルモードまたはリピートモードの場合、データ転送ごとのMARのインクリメント/デクリメントを選択します。
アイドルモードの場合、MARはインクリメントもデクリメントもされません。

ビット 6	説 明
DTID	
0	データ転送後 MAR をインクリメント (初期値) (1) DTSZ = 0 のとき、転送後 MAR を +1 (2) DTSZ = 1 のとき、転送後 MAR を +2
1	データ転送後 MAR をデクリメント (1) DTSZ = 0 のとき、転送後 MAR を -1 (2) DTSZ = 1 のとき、転送後 MAR を -2

- ビット5：リピートイネーブル (RPE)
DMABCRのDTIEビットと組み合わせて、シーケンシャルモード、アイドルモード、リピートモードのうち、どのモードで転送するかを選択します。

ビット 5	DMABCR	説 明
RPE	DTIE	
0	0	シーケンシャルモードで転送 (転送終了割り込みなし) (初期値)
	1	シーケンシャルモードで転送 (転送終了割り込みあり)
1	0	リピートモードで転送 (転送終了割り込みなし)
	1	アイドルモードで転送 (転送終了割り込みあり)

シーケンシャルモード、アイドルモード、リピートモードの動作については、「8.5.2 シーケンシャルモード」、「8.5.3 アイドルモード」、「8.5.4 リピートモード」を参照してください。

- ビット4：データトランスファディレクション (DTDIR)
DMABCRのSAEビットと組み合わせて、データ転送の方向 (ソース、デスティネーション) を指定します。したがって、デュアルアドレスモードとシングルアドレスモードとで機能が異なります。

DMABCR	ビット 4	説 明
SAE	DTDIR	
0	0	MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送 (初期値)
	1	IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送
1	0	MAR をソースアドレス、 \overline{DACK} 端子をライトストロープとして転送
	1	\overline{DACK} 端子をリードストロープ、MAR をデスティネーションアドレスとして転送

- ビット3~0: データトランスファファクタ (DTF3~DTF0)

データ転送の起動要因を選択します。チャンネルAとチャンネルBでは一部起動要因が異なります。

チャンネル A

ビット3	ビット2	ビット1	ビット0	説明	
DTF3	DTF2	DTF1	DTF0		
0	0	0	0	- (初期値)	
			1	A/D 変換器の変換終了割り込みで起動	
		1	0	-	
			1	-	
	1	0	0	0	SCI チャンネル0の送信データエンプティ割り込みで起動
				1	SCI チャンネル0の受信完了割り込みで起動
		1	0	0	SCI チャンネル1の送信データエンプティ割り込みで起動
				1	SCI チャンネル1の受信完了割り込みで起動
1	0	0	0	TPU チャンネル0のコンペアマッチ/インプットキャプチャ A 割り込みで起動	
			1	TPU チャンネル1のコンペアマッチ/インプットキャプチャ A 割り込みで起動	
		1	0	0	TPU チャンネル2のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1	TPU チャンネル3のコンペアマッチ/インプットキャプチャ A 割り込みで起動
	1	0	0	0	TPU チャンネル4のコンペアマッチ/インプットキャプチャ A 割り込みで起動
				1	TPU チャンネル5のコンペアマッチ/インプットキャプチャ A 割り込みで起動
		1	0	0	-
				1	-

チャンネル B

ビット 3	ビット 2	ビット 1	ビット 0	説 明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	A/D 変換器の変換終了割り込みで起動
		1	0	DREQ 端子の立ち下がりエッジ入力で起動*
			1	DREQ 端子の Low レベル入力で起動
	1	0	0	SCI チャンネル 0 の送信データエンプティ割り込みで起動
			1	SCI チャンネル 0 の受信完了割り込みで起動
		1	0	SCI チャンネル 1 の送信データエンプティ割り込みで起動
			1	SCI チャンネル 1 の受信完了割り込みで起動
1	0	0	0	TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	0	TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 3 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
	1	0	0	TPU チャンネル 4 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 5 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	0	-
			1	-

【注】 * 転送許可後の最初の転送は Low レベルで検出します。

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「8.5.13 DMAC 複数チャンネルの動作」を参照してください。

8.2.5 DMA バンドコントロールレジスタ (DMABCR)

ビット	15	14	13	12	11	10	9	8
DMABCRH	F AE1	F AE0	S AE1	S AE0	D TA1B	D TA1A	D TA0B	D TA0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
DMABCRL	D TE1B	D TE1A	D TE0B	D TE0A	D TIE1B	D TIE1A	D TIE0B	D TIE0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMABCR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。
DMABCR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

- ビット15：フルアドレスイネーブル1 (FAE1)
チャンネル1をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定するビットです。

ビット 15	説 明
F AE1	
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ショートアドレスモードでは、チャンネル1A、1Bは、それぞれ独立したチャンネルとして使用できます。

- ビット14：フルアドレスイネーブル0 (FAE0)
チャンネル0をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定するビットです。

ビット 14	説 明
F AE0	
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ショートアドレスモードでは、チャンネル0A、0Bは、それぞれ独立したチャンネルとして使用できます。

- ビット13：シングルアドレスイネーブル1 (SAE1)
チャンネル1Bをデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定するビットです。

ビット 13	説 明	
SAE1		
0	デュアルアドレスモードで転送	(初期値)
1	シングルアドレスモードで転送	

フルアドレスモードでは、本ビットは無効になります。

- ビット12：シングルアドレスイネーブル0 (SAE0)
チャンネル0Bを、デュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定するビットです。

ビット 12	説 明	
SAE0		
0	デュアルアドレスモードで転送	(初期値)
1	シングルアドレスモードで転送	

フルアドレスモードでは、本ビットは無効になります。

- ビット11~8：データトランスファアクトレッジ (DTA)
データトランスファファクタによって選択されている内部割り込み要因の、DMA転送時のクリアを許可または禁止するビットです。

DTE = 1のときDTA = 1となっていると、データトランスファファクタによって選択されている内部割り込み要因はDMA転送により自動的にクリアされます。DTE = 1、DTA = 1の状態では、データトランスファファクタによって選択されている内部割り込みはCPUおよびDTCに割り込みを要求しません。

DTE = 1のときDTA = 0となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行してCPUまたはDTCに割り込みを要求することができます。この場合は、CPUまたはDTC転送で割り込み要因をクリアしてください。

DTE = 0の状態ではDTAビットによらず、データトランスファファクタによって選択されている内部割り込みは、CPUまたはDTCに割り込みを要求します。

- ビット11：データトランスファアクトレッジ1B (DTA1B)
チャンネル1Bのデータトランスファファクタによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。

ビット 11	説 明	
DTA1B		
0	選択されている内部割り込み要因のDMA転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因のDMA転送時のクリアを許可	

- ビット10：データトランスファアクノレッジ1A (DTA1A)

チャンネル1Aのデータトランスファファクタによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。

ビット 10	説 明	
DTA1A		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

- ビット9：データトランスファアクノレッジ0B (DTA0B)

チャンネル0Bのデータトランスファファクタによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。

ビット 9	説 明	
DTA0B		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

- ビット8：データトランスファアクノレッジ0A (DTA0A)

チャンネル0Aのデータトランスファファクタによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。

ビット 8	説 明	
DTA0A		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

- ビット7~4：データトランスファイネーブル (DTE)

DTEビット=0の状態はデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPUまたはDTICに割り込みが要求されます。また、DTE=0のときにDTIE=1となっていると、DMACは転送終了とみなし、CPUまたはDTICに対し転送終了割り込みを要求します。

DTE=0となる条件：

- ・ 初期化されたとき
- ・ リピートモードを除いた転送モードで、指定された回数分の転送を終了したとき
- ・ 強制的に転送を打ち切るなどの理由により、DTEビットに0をライトしたとき

DTE=1の状態はデータ転送許可の状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA転送が実行されます。

DTE = 1となる条件：

- DTE = 0をリード後、DTE = 1をライトしたとき
- ビット7：データトランスファイナブル1B (DTE1B)
チャンネル1Bのデータ転送を許可または禁止するビットです。

ビット7	説 明	
DTE1B		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

- ビット6：データトランスファイナブル1A (DTE1A)
チャンネル1Aのデータ転送を許可または禁止するビットです。

ビット6	説 明	
DTE1A		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

- ビット5：データトランスファイナブル0B (DTE0B)
チャンネル0Bのデータ転送を許可または禁止するビットです。

ビット5	説 明	
DTE0B		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

- ビット4：データトランスファイナブル0A (DTE0A)
チャンネル0Aのデータ転送を許可または禁止するビットです。

ビット4	説 明	
DTE0A		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

- ビット3~0：データトランスファエンドインタラプトイネーブル (DTIE)
転送終了時のCPUまたはDTCに対する割り込みを許可または禁止するビットです。DTE = 0のときにDTIE = 1となっていると、DMACは転送終了とみなし、CPUまたはDTCに対し転送終了割り込みを要求します。
転送終了割り込みを解除するには、割り込み処理ルーチンにてDTIEビットを0にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後にDTEビットを1にセットして転送継続の処理を行う方法があります。

- ビット3：データトランスファエンドインタラプトイネーブル1B (DTIE1B)
チャンネル1Bの転送終了割り込みを許可または禁止するビットです。

ビット3	説 明	
DTIE1B		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

- ビット2：データトランスファエンドインタラプトイネーブル1A (DTIE1A)
チャンネル1Aの転送終了割り込みを許可または禁止するビットです。

ビット2	説 明	
DTIE1A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

- ビット1：データトランスファエンドインタラプトイネーブル0B (DTIE0B)
チャンネル0Bの転送終了割り込みを許可または禁止するビットです。

ビット1	説 明	
DTIE0B		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

- ビット0：データトランスファエンドインタラプトイネーブル0A (DTIE0A)
チャンネル0Aの転送終了割り込みを許可または禁止するビットです。

ビット0	説 明	
DTIE0A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

8.3 各レジスタの説明 (2) (フルアドレスモード)

フルアドレスモード転送は、チャンネル A、B を組み合わせて行います。フルアドレスモード転送の設定については、表 8.4 を参照してください。

8.3.1 メモリアドレスレジスタ (MAR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAR :																
初期値 :	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W :									R/W							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W															

* : 不定

MAR は 32 ビットのリード/ライト可能なレジスタで、MARA は転送のソースアドレスレジスタとして、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 2 本の 16 ビットレジスタ MARH、MARL により構成されています。MARH の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「8.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

MAR はリセットまたはスタンバイモード時に初期化されません。

8.3.2 I/O アドレスレジスタ (IOAR)

IOAR はフルアドレスモード転送では使用しません。

8.3.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定しますが、ノーマルモードとブロック転送モードとは機能が異なります。

ETCR はリセットまたはスタンバイモード時に初期化されません。

(1) ノーマルモード

(a) ETCRA

転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCRA :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W															

*: 不定

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。このとき、ETCRB は使用されません。

(b) ETCRB

ETCRB はノーマルモードでは使用しません。

(2) ブロック転送モード

(a) ETCRA

ブロックサイズ保持

ビット :	15	14	13	12	11	10	9	8
ETCRAH :								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W							

ブロックサイズカウンタ

ビット :	7	6	5	4	3	2	1	0
ETCRAL :								
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W							

*: 不定

(b) ETCRB

ブロック転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCRB :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W															

ブロック転送モードでは、ETCRAL は 8 ビットのブロックサイズカウンタとして機能し、ETCRAH はブロックサイズを保持します。ETCRAL は 1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAH の値がロードされます。したがって、ETCRAH、ETCRAL にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、H'0000 になると転送を終了します。

8.3.4 DMA コントロールレジスタ (DMACR)

DMACR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。フルアドレスモードでは、DMACRA と DMACRB で機能が異なります。

DMACR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

(1) DMACRA

ビット :	15	14	13	12	11	10	9	8
DMACRA :	DTSZ	SAID	SAIDE	BLKDIR	BLKE			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(2) DMACRB

ビット :	7	6	5	4	3	2	1	0
DMACRB :		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8. DMA コントローラ (DMAC)

- ビット15：データトランスファサイズ (DTSZ)
1回に転送されるデータサイズを選択します。

ビット 15	説 明	
DTSZ		
0	バイトサイズ転送	(初期値)
1	ワードサイズ転送	

- ビット14：ソースアドレスインクリメント/デクリメント (SAID)
- ビット13：ソースアドレスインクリメント/デクリメントイネーブル (SAIDE)
データ転送時、ソースアドレスレジスタMARAをインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 14	ビット 13	説 明
SAID	SAIDE	
0	0	MARA 固定 (初期値)
	1	データ転送後、MARA をインクリメント (1) DTSZ = 0 のとき、転送後 MARA を +1 (2) DTSZ = 1 のとき、転送後 MARA を +2
1	0	MARA 固定
	1	データ転送後、MARA をデクリメント (1) DTSZ = 0 のとき、転送後 MARA を - 1 (2) DTSZ = 1 のとき、転送後 MARA を - 2

- ビット12：ブロックディレクション (BLKDIR)
- ビット11：ブロックイネーブル (BLKE)
ノーマルモードで転送するか、ブロック転送モードで転送するかをBLKEで指定します。また、ブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかをBLKDIRで指定します。

ビット 12	ビット 11	説 明
BLKDIR	BLKE	
0	0	ノーマルモードで転送 (初期値)
	1	ブロック転送モードで転送、ブロックエリアはデスティネーション側
1	0	ノーマルモードで転送
	1	ブロック転送モードで転送、ブロックエリアはソース側

ノーマルモード、ブロック転送モードの動作については、「8.5 動作説明」を参照してください。

- ビット10~7: リザーブビット
リード/ライト可能です。
- ビット6: デスティネーションアドレスインクリメント/デクリメント (DAID)
- ビット5: デスティネーションアドレスインクリメント/デクリメントイネーブル (DAIDE)
データ転送時、デスティネーションアドレスレジスタMARBをインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット6	ビット5	説明
DAID	DAIDE	
0	0	MARB 固定 (初期値)
	1	データ転送後、MARB をインクリメント (1) DTSZ=0 のとき、転送後 MARB を +1 (2) DTSZ=1 のとき、転送後 MARB を +2
1	0	MARB 固定
	1	データ転送後、MARB をデクリメント (1) DTSZ=0 のとき、転送後 MARB を -1 (2) DTSZ=1 のとき、転送後 MARB を -2

- ビット4: リザーブビット
リード/ライト可能です。
- ビット3~0: データトランスファファクタ (DTF3~DTF0)
データ転送の起動要因を選択します。ノーマルモードとブロック転送モードとでは指定できる起動要因が異なります。

ノーマルモード

ビット3	ビット2	ビット1	ビット0	説明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	-
		1	0	DREQ 端子の立ち下がりエッジ入力で起動
			1	DREQ 端子の Low レベル入力で起動
	1	0	*	-
			1	オートリクエスト (サイクルスチール)
1	*	*	0	オートリクエスト (バースト)
			1	オートリクエスト (バースト)
1	*	*	*	-

* : Don't care

ブロック転送モード

ビット3	ビット2	ビット1	ビット0	説明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	A/D 変換器の変換終了割り込みで起動
		1	0	DREQ 端子の立ち下がりエッジ入力で起動*
			1	DREQ 端子の Low レベル入力で起動
	1	0	0	SCI チャンネル0の送信データエンプティ割り込みで起動
			1	SCI チャンネル0の受信完了割り込みで起動
		1	0	SCI チャンネル1の送信データエンプティ割り込みで起動
			1	SCI チャンネル1の受信完了割り込みで起動
1	0	0	0	TPU チャンネル0のコンペアマッチ/インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル1のコンペアマッチ/インプットキャプチャ A 割り込みで起動
		1	0	TPU チャンネル2のコンペアマッチ/インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル3のコンペアマッチ/インプットキャプチャ A 割り込みで起動
	1	0	0	TPU チャンネル4のコンペアマッチ/インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル5のコンペアマッチ/インプットキャプチャ A 割り込みで起動
		1	0	-
			1	-

【注】 * 転送許可後の最初の転送は Low レベルで検出します。

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「8.5.13 DMAC 複数チャンネルの動作」を参照してください。

8.3.5 DMA バンドコントロールレジスタ (DMABCR)

ビット	:	15	14	13	12	11	10	9	8
DMABCRH	:	FAE1	FAE0			DTA1		DTA0	
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	:	7	6	5	4	3	2	1	0
DMABCRL	:	DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMABCR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。
DMABCR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

- ビット15：フルアドレスイネーブル1 (FAE1)
チャンネル1を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。
フルアドレスモードでは、チャンネル1A、1Bを、組み合わせてチャンネル1として使用できます。

ビット 15	説 明	
FAE1		
0	ショートアドレスモード	(初期値)
1	フルアドレスモード	

- ビット14：フルアドレスイネーブル0 (FAE0)
チャンネル0を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。
フルアドレスモードでは、チャンネル0A、0Bを、組み合わせてチャンネル0として使用できます。

ビット 14	説 明	
FAE0		
0	ショートアドレスモード	(初期値)
1	フルアドレスモード	

- ビット13、12：リザーブビット
リード/ライト可能です。

8. DMA コントローラ (DMAC)

- ビット11、9：データ転スファアクノレッジ (DTA)

データ転スファアクタによって選択されている内部割り込み要因の、DMA転送時のクリアを許可または禁止するビットです。

DTE = 1のときDTA = 1となっていると、データ転スファアクタによって選択されている内部割り込み要因はDMA転送により自動的にクリアされます。DTE = 1、DTA = 1の状態では、データ転スファアクタによって選択されている内部割り込みはCPUおよびDTCに割り込みを要求しません。

DTE = 1のときDTA = 0となっていると、データ転スファアクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行してCPUまたはDTCに割り込みを要求することができます。この場合は、CPUまたはDTC転送で割り込み要因をクリアしてください。

DTE = 0の状態では、DTAビットによらず、データ転スファアクタによって選択されている内部割り込みはCPUまたはDTCに割り込みを要求します。

DTMEビットの状態は、前述の動作に影響を与えません。

- ビット11：データ転スファアクノレッジ1 (DTA1)

チャンネル1のデータ転スファアクタによって選択されている、内部割り込み要因のDMA転送時のクリアを、許可または禁止するビットです。

ビット 11	説 明	
DTA1		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

- ビット9：データ転スファアクノレッジ0 (DTA0)

チャンネル0のデータ転スファアクタによって選択されている、内部割り込み要因のDMA転送時のクリアを、許可または禁止するビットです。

ビット 9	説 明	
DTA0		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

- ビット10、8：リザーブビット

リード/ライト可能です。

- ビット7、5：データトランスファマスタイネーブル (DTME)

DTEビットとともに当該チャンネルのデータ転送の許可または禁止を制御します。DTMEビットとDTEビットをいずれも1にセットすると、そのチャンネルは転送許可状態となります。

NMI割り込みが発生したとき、当該チャンネルがバーストモード転送中である場合にはDTMEビットがクリアされ、転送を中断してCPUにバス権を移します。その後、DTMEビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI割り込みによりDTMEビットがクリアされることはなく、転送を中断することはありません。

DTMEビット=0となる条件：

- 初期化されたとき
- バーストモードでNMIが入力されたとき
- DTMEビットに0をライトしたとき

DTMEビット=1となる条件：

- DTMEビット=0をリード後、DTMEビットに1をライトしたとき

- ビット7：データトランスファマスタイネーブル1 (DTME1)

チャンネル1のデータ転送を許可または禁止するビットです。

ビット7	説明
DTME1	
0	データ転送禁止。バーストモード時に、NMI 割り込みが発生すると0にクリア (初期値)
1	データ転送許可

- ビット5：データトランスファマスタイネーブル0 (DTME0)

チャンネル0のデータ転送を許可または禁止するビットです。

ビット5	説明
DTME0	
0	データ転送禁止。バーストモード時に、NMI 割り込みが発生すると0にクリア (初期値)
1	データ転送許可

8. DMA コントローラ (DMAC)

• ビット6、4 : データトランスファイネーブル (DTE)

DTE = 0のときはデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPUまたはDTICに割り込みが要求されます。また、DTE = 0のときにDTIE = 1となっていると、DMACは転送終了とみなし、CPUに対し転送終了割り込みを要求します。

DTE = 0となる条件 :

- 初期化されたとき
- 指定された回数分の転送を終了したとき
- 強制的に転送を打ち切るなどの理由により、DTEビットに0をライトしたとき

DTE = 1かつDTME = 1のときはデータ転送許可状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。

DTE = 1となる条件 :

- DTE = 0をリード後、DTEビットに1をライトしたとき

• ビット6 : データトランスファイネーブル1 (DTE1)

チャンネル1のデータ転送を許可または禁止するビットです。

ビット 6	説 明	
DTE1		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

• ビット4 : データトランスファイネーブル0 (DTE0)

チャンネル0のデータ転送を許可または禁止するビットです。

ビット 4	説 明	
DTE0		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

• ビット3、1 : データトランスファインタラプトイネーブルB (DTIEB)

転送中断時のCPUまたはDTICに対する割り込みを許可または禁止するビットです。DTME = 0のときにDTIEB = 1となっていると、DMACは転送中断とみなし、CPUまたはDTICに対し転送中断割り込みを要求します。転送中断割り込みを解除するには、割り込み処理ルーチンにてDTIEBビットを0にクリアする方法と、DTMEビットを1にセットして転送継続の処理を行う方法があります。

- ビット3：データトランスファインタラプトイネーブル1B (DTIE1B)
チャンネル1の転送中断割り込みを許可または禁止するビットです。

ビット3	説 明	
DTIE1B		
0	転送中断割り込みを禁止	(初期値)
1	転送中断割り込みを許可	

- ビット1：データトランスファインタラプトイネーブル0B (DTIE0B)
チャンネル0の転送中断割り込みを許可または禁止するビットです。

ビット1	説 明	
DTIE0B		
0	転送中断割り込みを禁止	(初期値)
1	転送中断割り込みを許可	

- ビット2、0：データトランスファエンドインタラプトイネーブルA (DTIEA)
転送終了時のCPUまたはDTCに対する割り込みを許可または禁止するビットです。DTE = 0のときにDTIEA = 1となっていると、DMACは転送終了とみなし、CPUまたはDTCに対し転送終了割り込みを要求します。転送終了割り込みを解除するには、割り込み処理ルーチンにてDTIEAビットを0にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後にDTEビットを1にセットして転送継続の処理を行う方法があります。

- ビット2：データトランスファエンドインタラプトイネーブル1A (DTIE1A)
チャンネル1の転送終了割り込みを許可または禁止するビットです。

ビット2	説 明	
DTIE1A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

- ビット0：データトランスファエンドインタラプトイネーブル0A (DTIE0A)
チャンネル0の転送終了割り込みを許可または禁止するビットです。

ビット0	説 明	
DTIE0A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

8.4 各レジスタの説明 (3)

8.4.1 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェイン転送を利用して書き換え、再起動させることができます。DMAWER は、目的とするチャンネル以外のレジスタを不用意に書き換えることのないように、特定チャンネルの DMACR ならびに DMATCR、DMABCR の特定ビットを変更できるように制限するものです。DMAWER による制限は、DTC に対し有効です。

図 8.2 にチャンネル 0A の転送終了割り込みにより DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送によりアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェイン転送によりコントロールレジスタの領域を再設定します。

コントロールレジスタの領域を再設定する際には、他のチャンネルの内容を変更できないように DMAWER のビットを設定してマスクを行ってください。

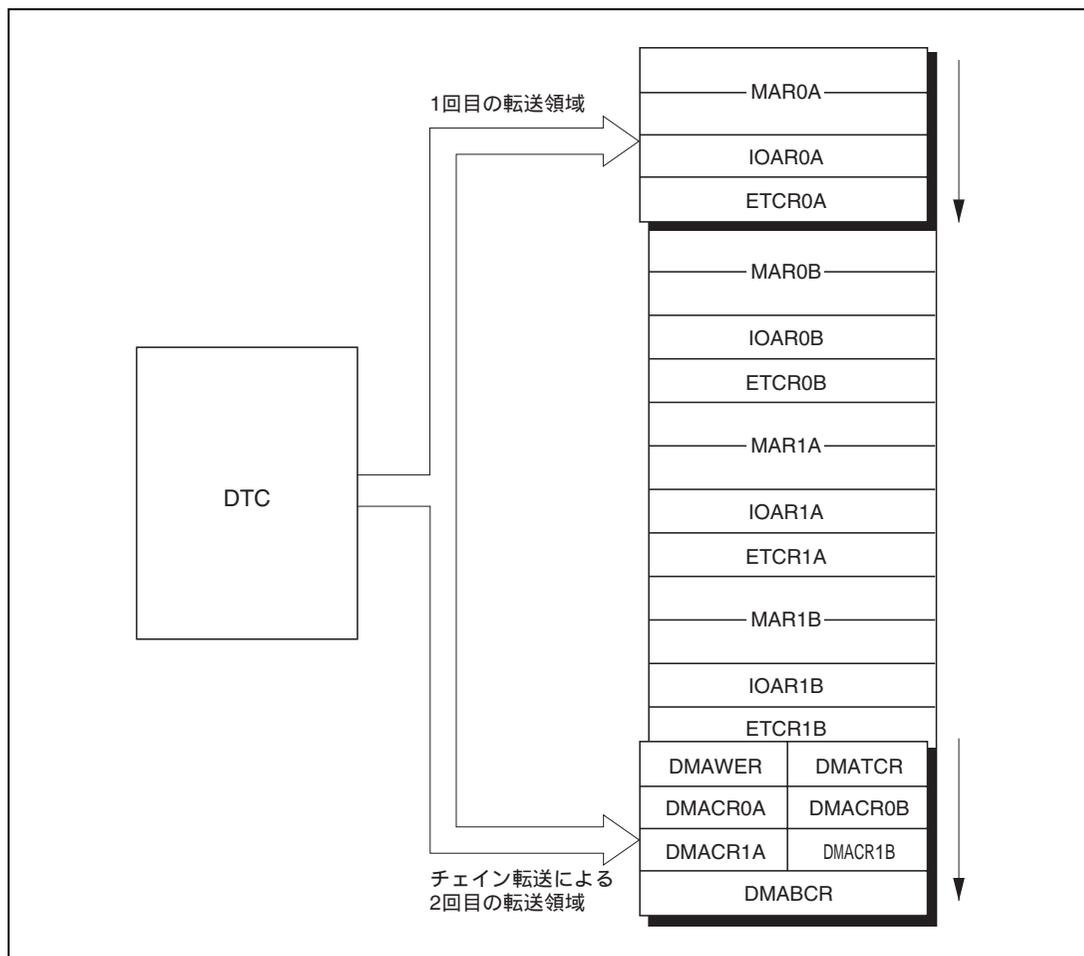


図 8.2 DTC によるレジスタ再設定領域 (例：チャンネル 0A)

ビット	:	7	6	5	4	3	2	1	0
DMAWER	:					WE1B	WE1A	WE0B	WE0A
初期値	:	0	0	0	0	0	0	0	0
R/W	:					R/W	R/W	R/W	R/W

DMAWER は 8 ビットのリード/ライト可能なレジスタで、DTC に対し、DMACR、DMABCR、DMATCR へのライトの許可または禁止を制御します。

DMAWER は、リセットまたはスタンバイモード時に H'00 に初期化されます。

- ビット7~4: リザーブビット
リードすると常に0が読み出されます。ライトは無効です。
- ビット3: ライトイネーブル1B (WE1B)
DTC に対し、DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可または禁止するビットです。

ビット 3	説明
WE1B	
0	DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを禁止 (初期値)
1	DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可

- ビット2: ライトイネーブル1A (WE1A)
DTC に対し、DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。

ビット 2	説明
WE1A	
0	DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを禁止 (初期値)
1	DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可

- ビット1: ライトイネーブル0B (WE0B)
DTC に対し、DMACR0B のすべてのビットと DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可または禁止するビットです。

ビット 1	説明
WE0B	
0	DMACR0B のすべてのビットと DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを禁止 (初期値)
1	DMACR0B のすべてのビットと DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可

8. DMA コントローラ (DMAC)

- ビット0 : ライトイネーブル0A (WE0A)
DTCに対し、DMACR0AのすべてのビットとDMABCRのビット8、4、0へのライトを許可または禁止するビットです。

ビット0	説明
WE0A	
0	DMACR0AのすべてのビットとDMABCRのビット8、4、0へのライトを禁止 (初期値)
1	DMACR0AのすべてのビットとDMABCRのビット8、4、0へのライトを許可

DMAWERの設定にかかわらず、DTCによるDMABCRのビット15~12(FAE、SAE)へのライトは無効です。これらのビットを変更する場合はCPUによる処理で行ってください。

DTCによるDMABCRのビット7~4(DTE)へのライトは、0をリードせずに1をライトすることが可能になっています。フルアドレスモードに設定されているチャンネルの再起動は、再起動しようとするチャンネルのライトイネーブルAとライトイネーブルBにともに1をライトしてください。

MAR、IOAR、ETCRは、DMAWERの設定にかかわらず常にライト可能です。これらのレジスタの変更は、変更しようとするチャンネルが停止している状態で行ってください。

8.4.2 DMA ターミナルコントロールレジスタ (DMATCR)

ビット	:	7	6	5	4	3	2	1	0
DMATCR	:			TEE1	TEE0				
初期値	:	0	0	0	0	0	0	0	0
R/W	:			R/W	R/W				

DMATCRは8ビットのリード/ライト可能なレジスタで、DMACの転送終了端子の出力の許可または禁止を制御します。ビットの設定によりポートを自動的に出力に設定し、転送終了信号を出力することができます。

DMATCRは、リセットまたはスタンバイモード時にH'00に初期化されます。

- ビット7、6 : リザーブビット
リードすると常に0が読み出されます。ライトは無効です。
- ビット5 : 転送終了端子イネーブル1 (TEE1)
転送終了端子1 ($\overline{TEND1}$) の出力を許可または禁止するビットです。

ビット5	説明
TEE1	
0	$\overline{TEND1}$ 端子出力を禁止 (初期値)
1	$\overline{TEND1}$ 端子出力を許可

- ビット4：転送終了端子イネーブル0 (TEE0)
転送終了端子0 (TEND0) の出力を許可または禁止するビットです。

ビット4	説明
TEE0	
0	TEND0 端子出力を禁止 (初期値)
1	TEND0 端子出力を許可

TEND 端子は、ショートアドレスモードではチャンネルB のみに割り当てられています。

転送終了信号は、転送要因によらず、転送カウンタが0 になった転送サイクルを示しています。例外として、ブロック転送モードの場合は、ブロックカウンタが0 になった転送サイクルを示しています。

- ビット3~0：リザーブビット
リードすると常に0が読み出されます。ライトは無効です。

8.4.3 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W							

MSTPCRA は8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA7 ビットを1 にセットすると、バスサイクルの終了時点で DMAC は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRA は、パワーオンリセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット7：モジュールストップ (MSTPA7)
DMACのモジュールストップモードを指定します。

ビット7	説明
MSTPA7	
0	DMAC のモジュールストップモード解除 (初期値)
1	DMAC のモジュールストップモード設定

8.5 動作説明

8.5.1 転送モード

DMAC のモード一覧を表 8.5 に示します。

表 8.5 DMAC の転送モード

転送モード		転送要因	備考
ショート アドレス モード	(1)シーケンシャルモード	<ul style="list-style-type: none"> • TPU チャンネル 0~5 のコンベアマッチ / インพุットキャブチャ A 割り込み • SCI の送信データエンプティ割り込み • SCI の受信完了割り込み • A/D 変換器の変換終了割り込み • 外部リクエスト 	<ul style="list-style-type: none"> • 最大 4 チャンネルを独立に動作可能 • 外部リクエストはチャンネル B のみ可能 • シングルアドレスモードはチャンネル B のみ可能 • シングルアドレスモードに対しても (1)、(2)、(3) の各モードを指定可能
	(2)アイドルモード		
(3)リピートモード			
(4)シングルアドレスモード			
フル アドレス モード	(5)ノーマルモード	<ul style="list-style-type: none"> • 外部リクエスト • オートリクエスト 	<ul style="list-style-type: none"> • チャンネル A、B を組み合わせて、最大 2 チャンネル動作可能 • オートリクエストでは、バーストモード転送 / サイクルスチール転送の選択可能
	(6)ブロック転送モード	<ul style="list-style-type: none"> • TPU チャンネル 0~5 のコンベアマッチ / インพุットキャブチャ A 割り込み • SCI の送信データエンプティ割り込み • SCI の受信完了割り込み • A/D 変換器の変換終了 • 割り込み • 外部リクエスト 	

各モードの動作概要を以下に示します。

(1) シーケンシャルモード

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU または DTC に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送方向はプログラマブルです。

(2) アイドルモード

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU または DTC に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送元および転送先アドレスは固定になります。転送方向はプログラマブルです。

(3) リピートモード

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU または DTC に対して割り込みは要求しません。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送方向はプログラマブルです。

(4) シングルアドレスモード

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ外部メモリと外部デバイス間の転送を行います。デュアルアドレスモードと異なり、ソースおよびデスティネーションのアクセスが並行に行われません。このため、ソースまたはデスティネーションのどちらか一方は、 \overline{DACK} 端子によるストロブだけでアクセスできる外部デバイスとなります。アドレスの一方は 24 ビットで指定し、他方は自動的に端子が設定されます。転送方向はプログラマブルです。

シングルアドレスモードでも、(1) ~ (3) の各モードを指定できます。

(5) ノーマルモード

(a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了すると CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- サイクルスチールモード：1 バイトまたはワード転送ごとにバスを他のバスマスタに解放します。
- バーストモード：指定された転送が完了するまでバスを占有して転送を行います。

(b) 外部リクエスト

1 回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると、CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

(6) ブロック転送モード

1 回の転送要求に対して指定されたブロックサイズのブロック転送を行います。これを転送要求のたびに、指定された回数だけ繰り返します。1 回のブロック転送が終了するたびに、一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了すると、CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

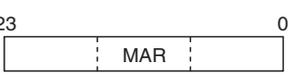
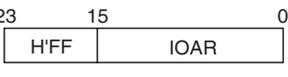
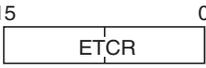
8.5.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCR で指定した回数だけ実行します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できません。

シーケンシャルモード時のレジスタの機能を表 8.6 に示します。

表 8.6 シーケンシャルモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'0000 になると、転送終了

【記号説明】

- MAR : メモリアドレスレジスタ
- IOAR : I/O アドレスレジスタ
- ETCR : 転送カウンタレジスタ
- DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 を、インクリメント/デクリメントします。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

シーケンシャルモードの動作を図 8.3 に示します。

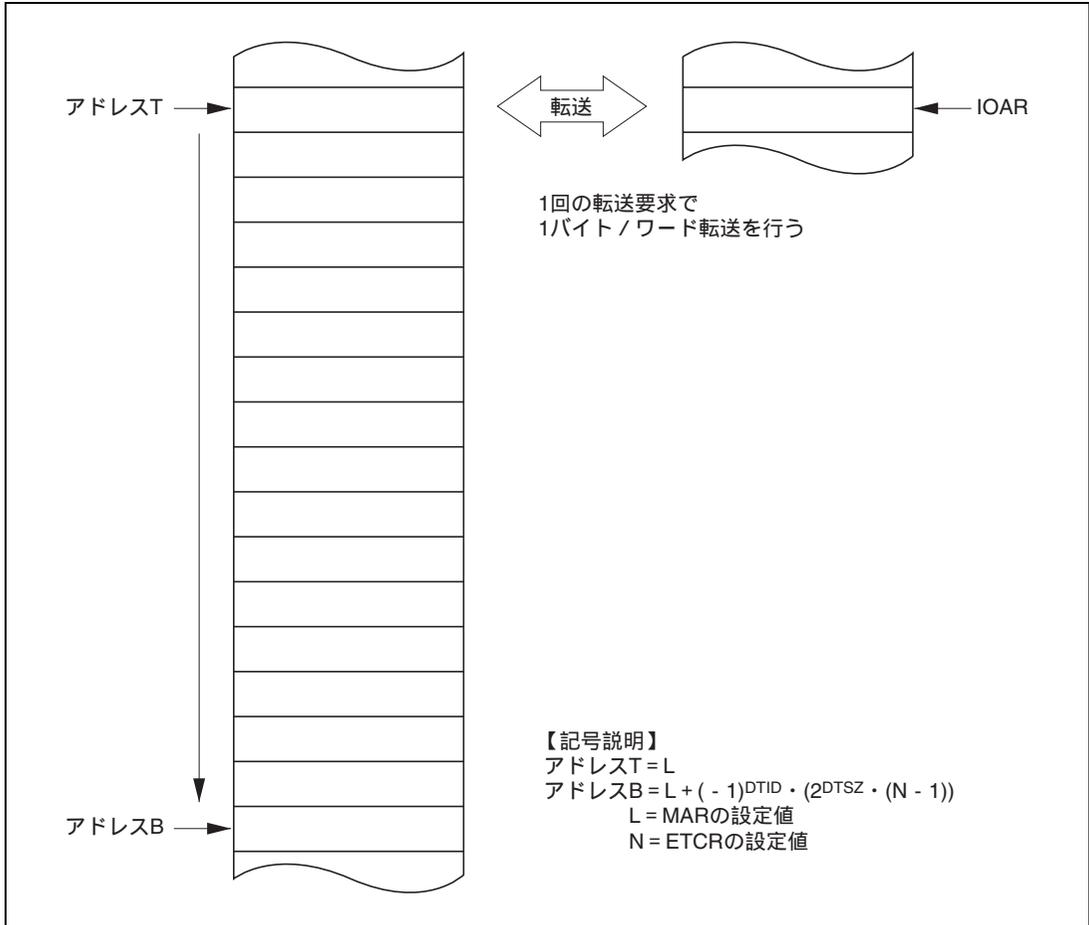


図 8.3 シーケンシャルモードの動作

転送回数はETCRによって16ビットで指定します。ETCRは1回の転送を行うたびに1だけデクリメントされ、H'0000になったときにDTEビットをクリアして転送を終了します。このとき、DTIEビットが1にセットされているとCPUまたはDTCに割り込みを要求します。

なお、転送回数の最大値はETCRにH'0000を設定したときで、65536となります。

転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信完了/受信完了割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。外部リクエストは、チャンネルBのみ設定できます。

シーケンシャルモードの設定手順例を図8.4に示します。

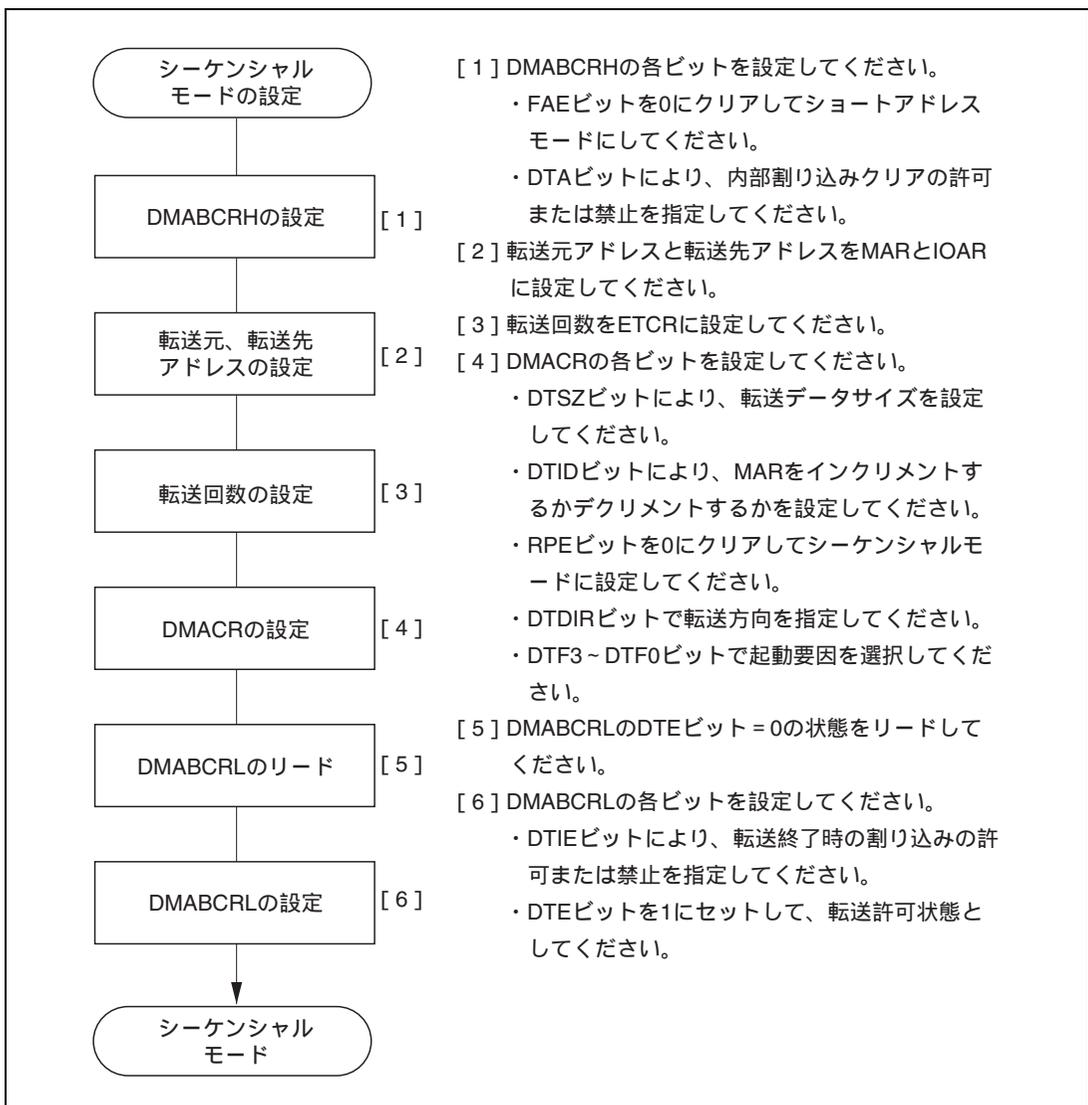


図 8.4 シーケンシャルモードの設定手順例

8.5.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送、これを ETCR で指定した回数だけ実行します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できません。

アイドルモード時のレジスタの機能を表 8.7 に示します。

表 8.7 アイドルモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'0000 になると、転送終了

【記号説明】

- MAR : メモリアドレスレジスタ
- IOAR : I/O アドレスレジスタ
- ETCR : 転送カウンタレジスタ
- DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびにインクリメントもデクリメントもされません。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

アイドルモードの動作を図 8.5 に示します。

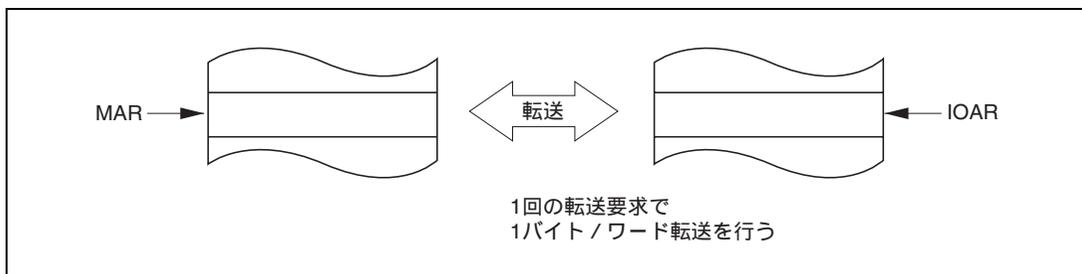


図 8.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

また、シングルアドレスモードで使用する場合は、チャンネル B 側のみ設定できます。

アイドルモードの設定手順例を図 8.6 に示します。

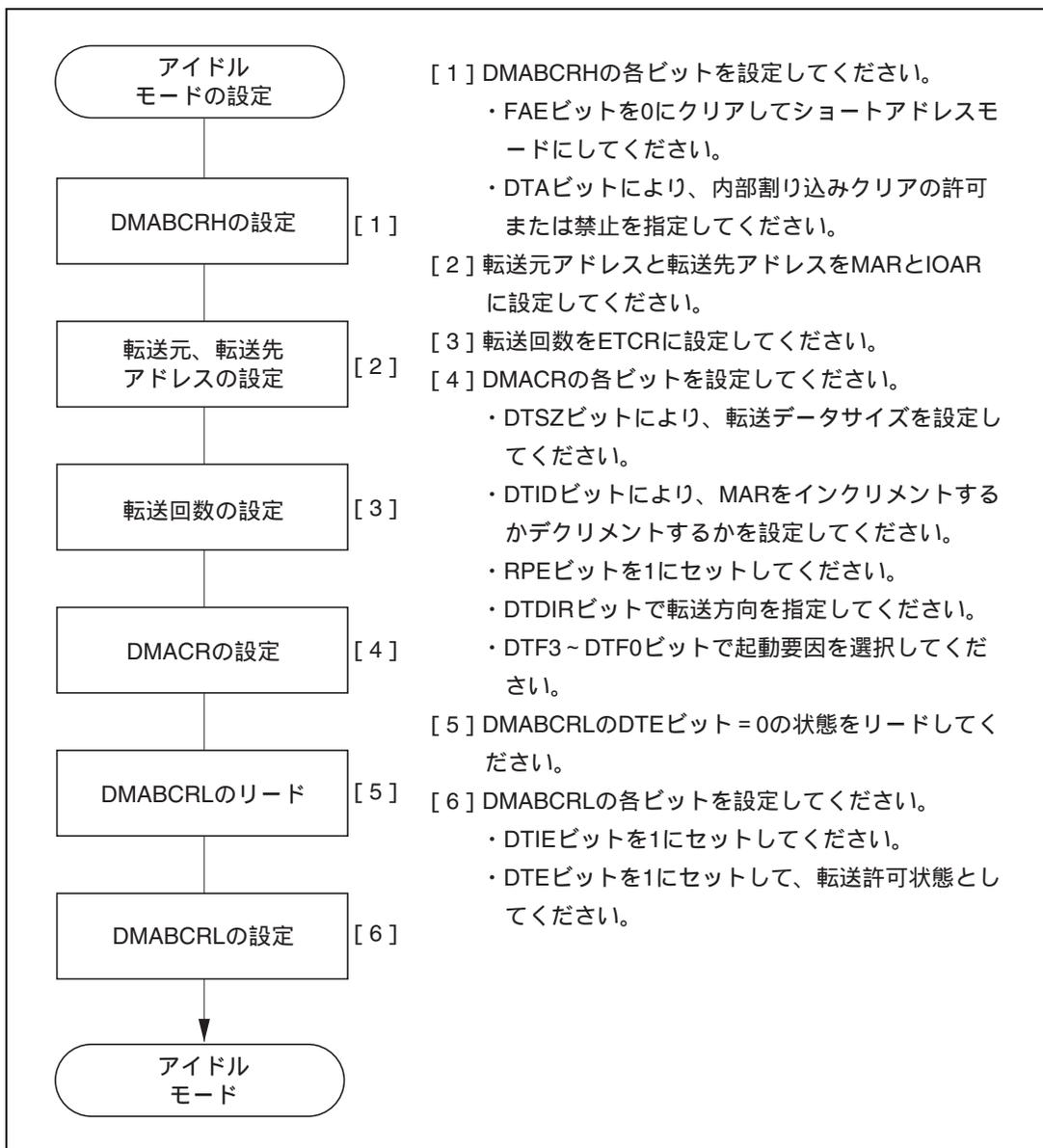


図 8.6 アイドルモードの設定手順例

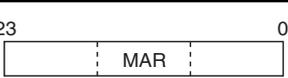
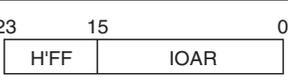
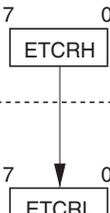
8.5.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1、DTIE ビットを 0 に設定することで指定できます。リピートモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRHL で指定した回数だけ実行します。指定された回数の転送終了時に、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。

リピートモード時のレジスタの機能を表 8.8 に示します。

表 8.8 リピートモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント。H'0000 になると、初期設定値に回復
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント。H'00 になると、ETCRH の値をロード

【記号説明】

MAR : メモリアドレスレジスタ

IOAR : I/O アドレスレジスタ

ETCR : 転送カウンタレジスタ

DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は、1 回のバイトまたはワード転送のたびに 1 または 2 をインクリメント/デクリメントします。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで、256 となります。

リピートモードでは ETCRL を転送カウンタとし、ETCRH は転送回数保持に使用します。ETCRL は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は、同じ値に設定してください。

リピートモードでは、DTE ビットがクリアされるまで動作を継続します。したがって、転送を終了するには DTE ビットを 0 にクリアしてください。CPU または DTC に対して転送終了割り込みは要求しません。

DTE ビットをクリア後、DTE ビットを再びセットすると、DTE ビットをクリアした時点で終了した転送の続きから再開することができます。

リピートモードの動作を図 8.7 に示します。

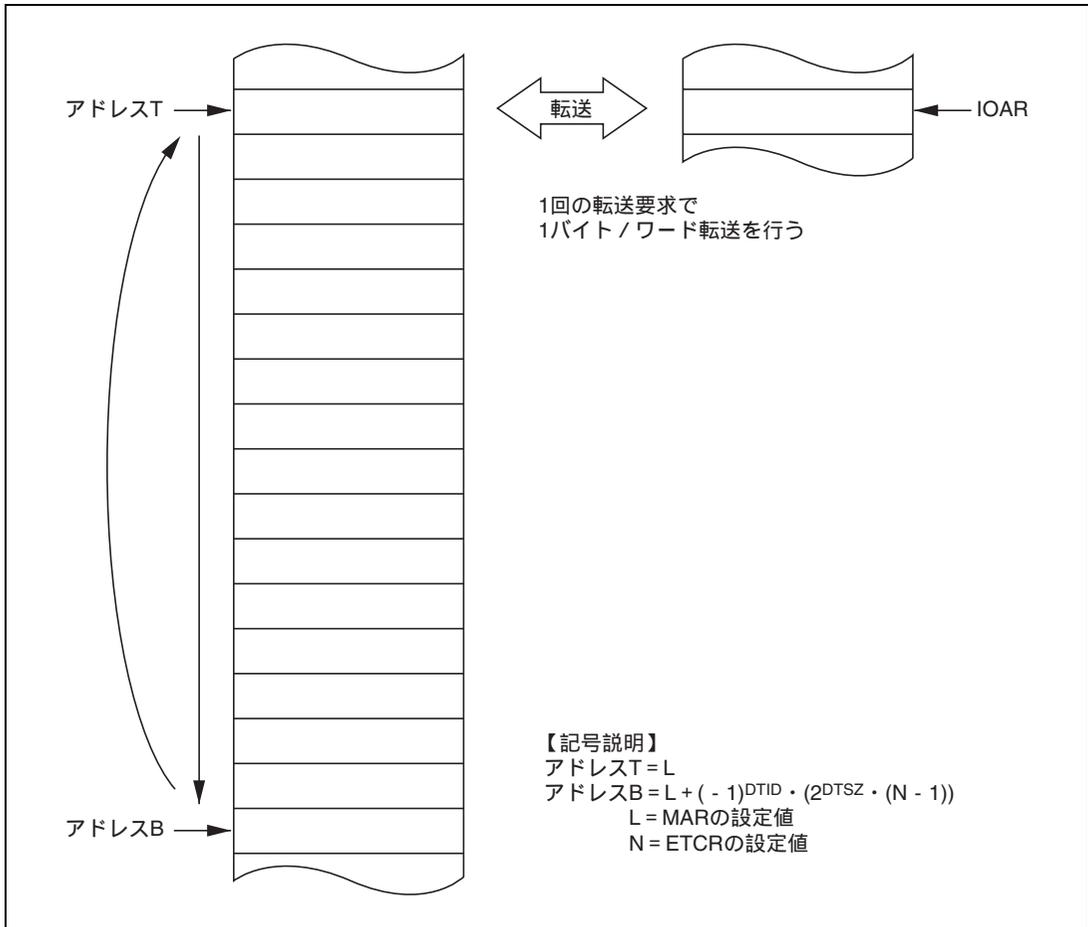


図 8.7 リピートモードの動作図

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

リピートモードの設定手順例を図 8.8 に示します。

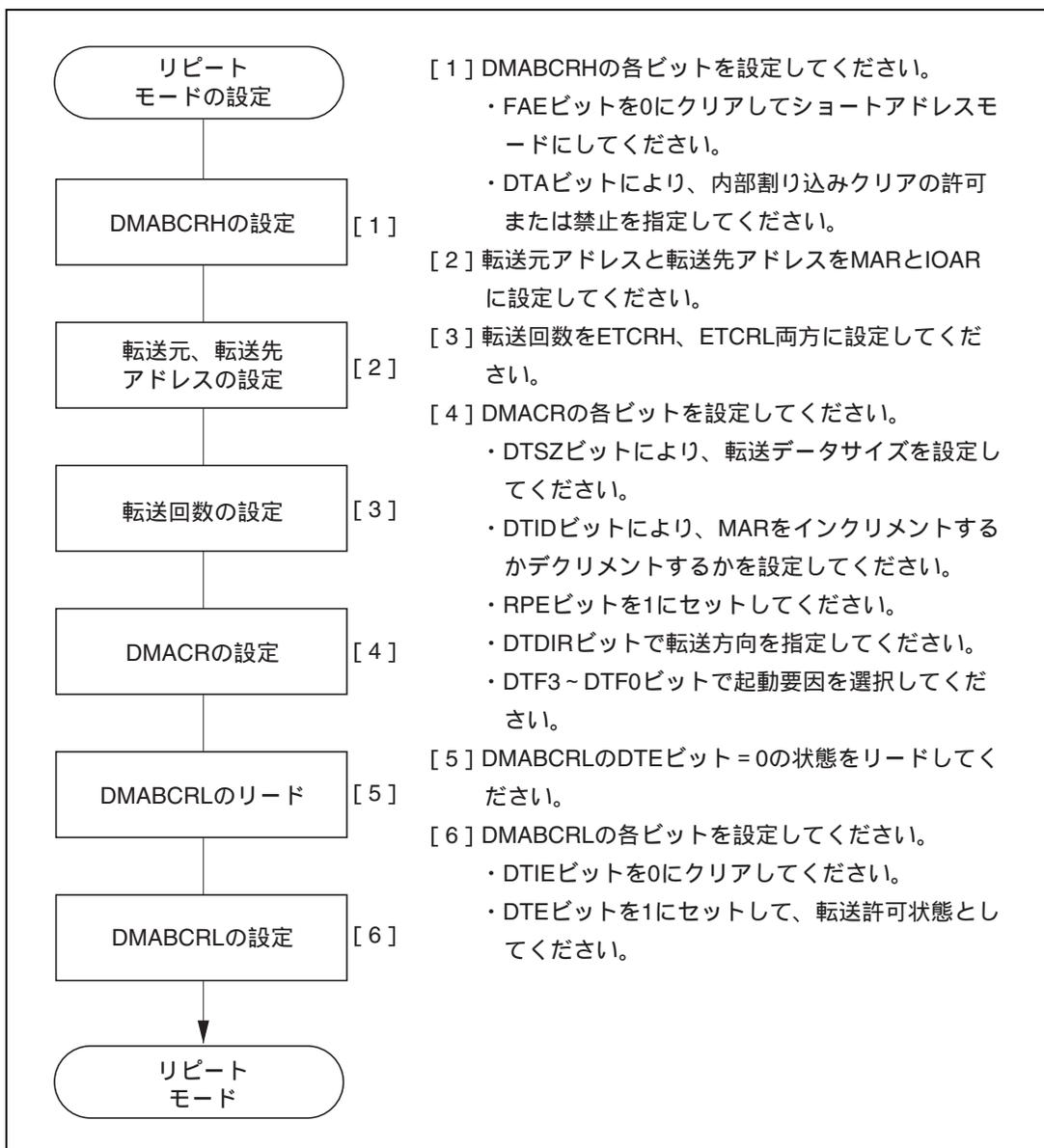


図 8.8 リピートモードの設定手順例

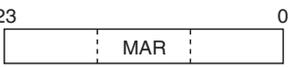
8.5.5 シングルアドレスモード

シングルアドレスモードは、チャンネル B のみ設定できます。ショートアドレスモードにおいて、DMABCR の SAE ビットを 1 に設定することで指定できます。

アドレスの一方は MAR で指定し、他方は自動的にデータ転送アクノレッジ端子 (\overline{DACK}) に設定されます。転送方向は DMACR の DTDIR ビットにより指定できます。

シングルアドレスモード時のレジスタの機能を表 8.9 に示します。

表 8.9 シングルアドレスモード時のレジスタの機能

対象レジスタ	機 能		初期設定値	動 作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	*
\overline{DACK} 端子	ライトストロープ	リードストロープ	(SAE ビットによる自動設定、IOAR は無効)	外部デバイスに対するストロープ
	転送カウンタ		転送回数	*

【記号説明】

- MAR : メモリアドレスレジスタ
- IOAR : I/O アドレスレジスタ
- ETCR : 転送カウントレジスタ
- DTDIR : データトランスファディレクションビット
- \overline{DACK} : データ転送アクノレッジ

【注】 * 「8.5.2 シーケンシャルモード」、「8.5.3 アイドルモード」、「8.5.4 リポートモード」の各動作を参照してください。

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。

IOAR は無効となり、代わりに外部デバイスに対するストロープ (\overline{DACK}) を出力します。

シングルアドレスモード (シーケンシャルモード指定時) の動作を図 8.9 に示します。

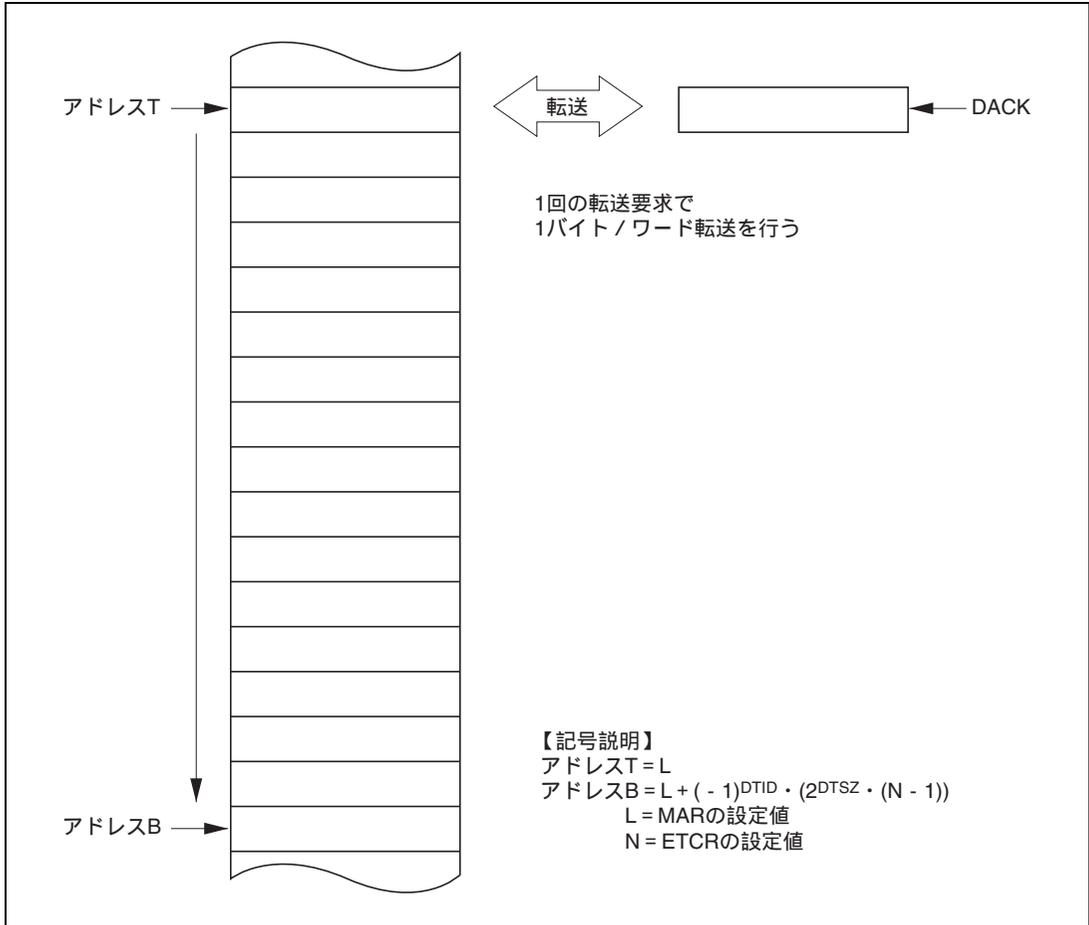


図 8.9 シングルアドレスモード (シーケンシャルモード指定時) の動作

シングルアドレスモード (シーケンシャルモード指定) の設定手順例を図 8.10 に示します。

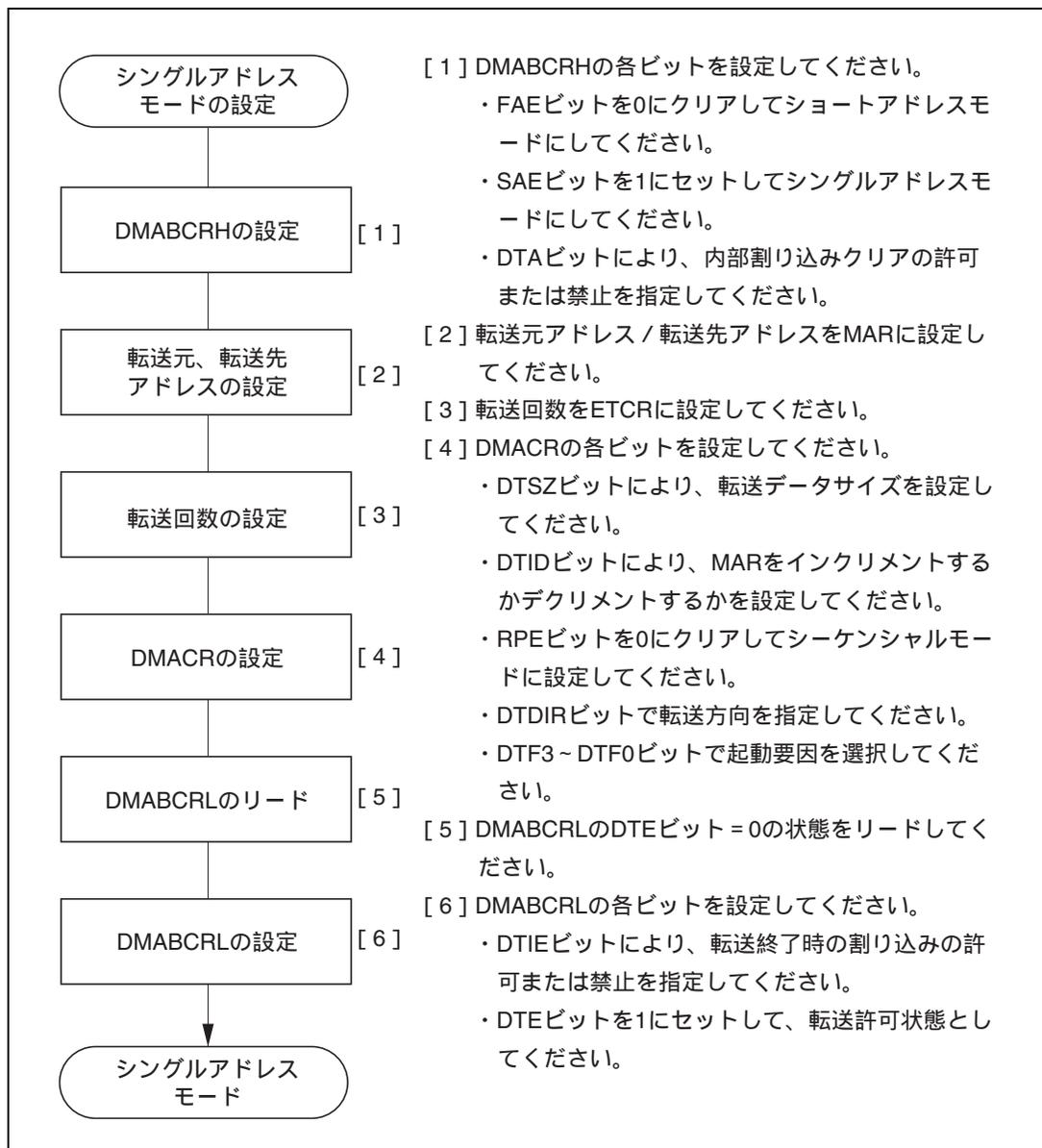


図 8.10 シングルアドレスモード (シーケンシャルモード指定) の設定手順例

8.5.6 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。ノーマルモードは、DMABCR の FAE ビットを 1、DMACRA の BLKE ビットを 0 に設定することで指定できます。

ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRA で指定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。

ノーマルモード時のレジスタの機能を表 8.10 に示します。

表 8.10 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	転送カウンタ	転送回数	1 回の転送ごとにデクリメント、H'0000 になると転送終了

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに、1 または 2 インクリメント/デクリメントするか、または固定にすることができます。

インクリメント/デクリメント/固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA にて 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

ノーマルモードの動作を図 8.11 に示します。

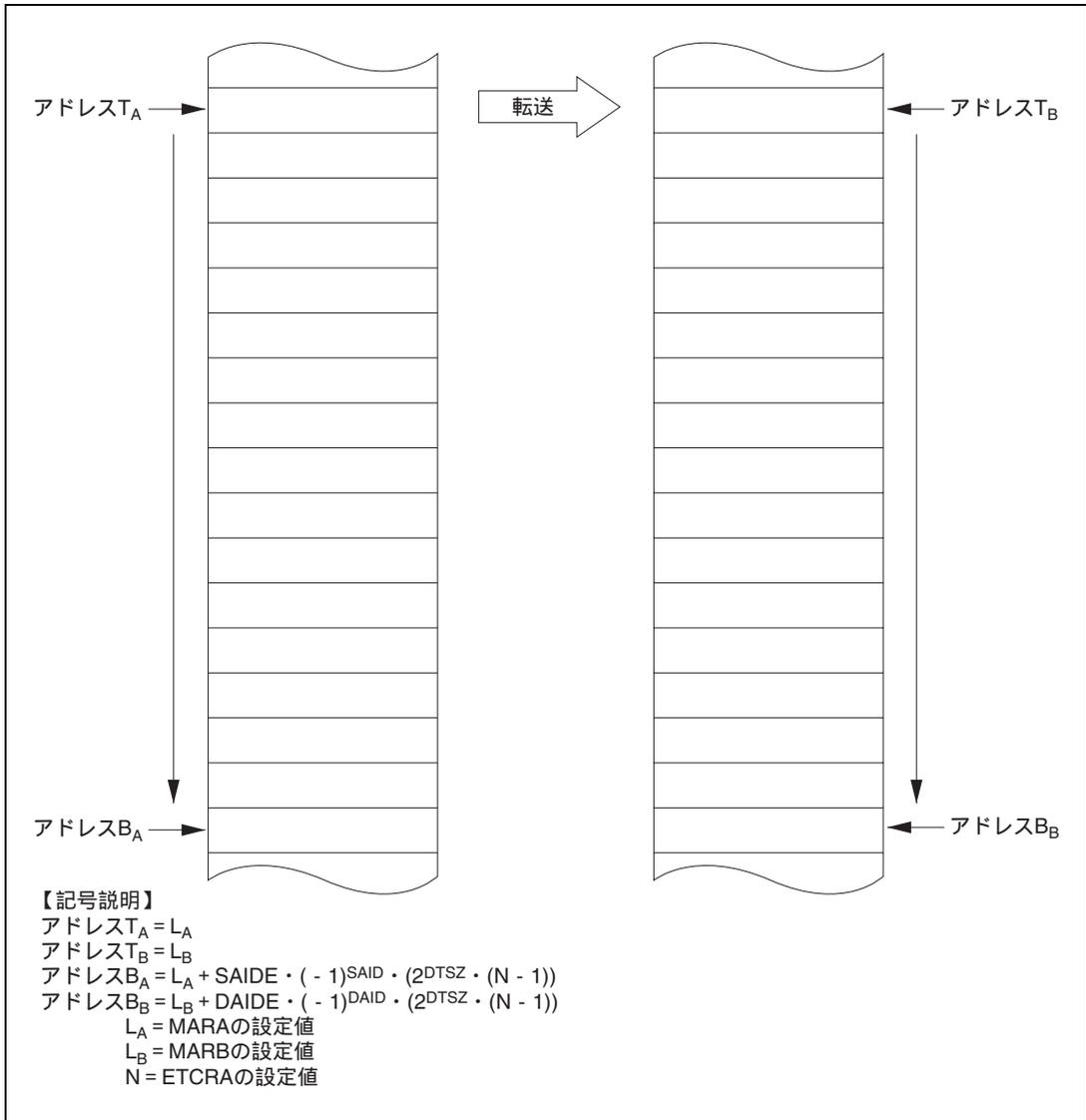


図 8.11 ノーマルモードの動作

転送要求 (起動要因) には、外部リクエストとオートリクエストがあります。

オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、1回の転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。

設定の詳細は「8.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

ノーマルモードの設定手順例を図 8.12 に示します。

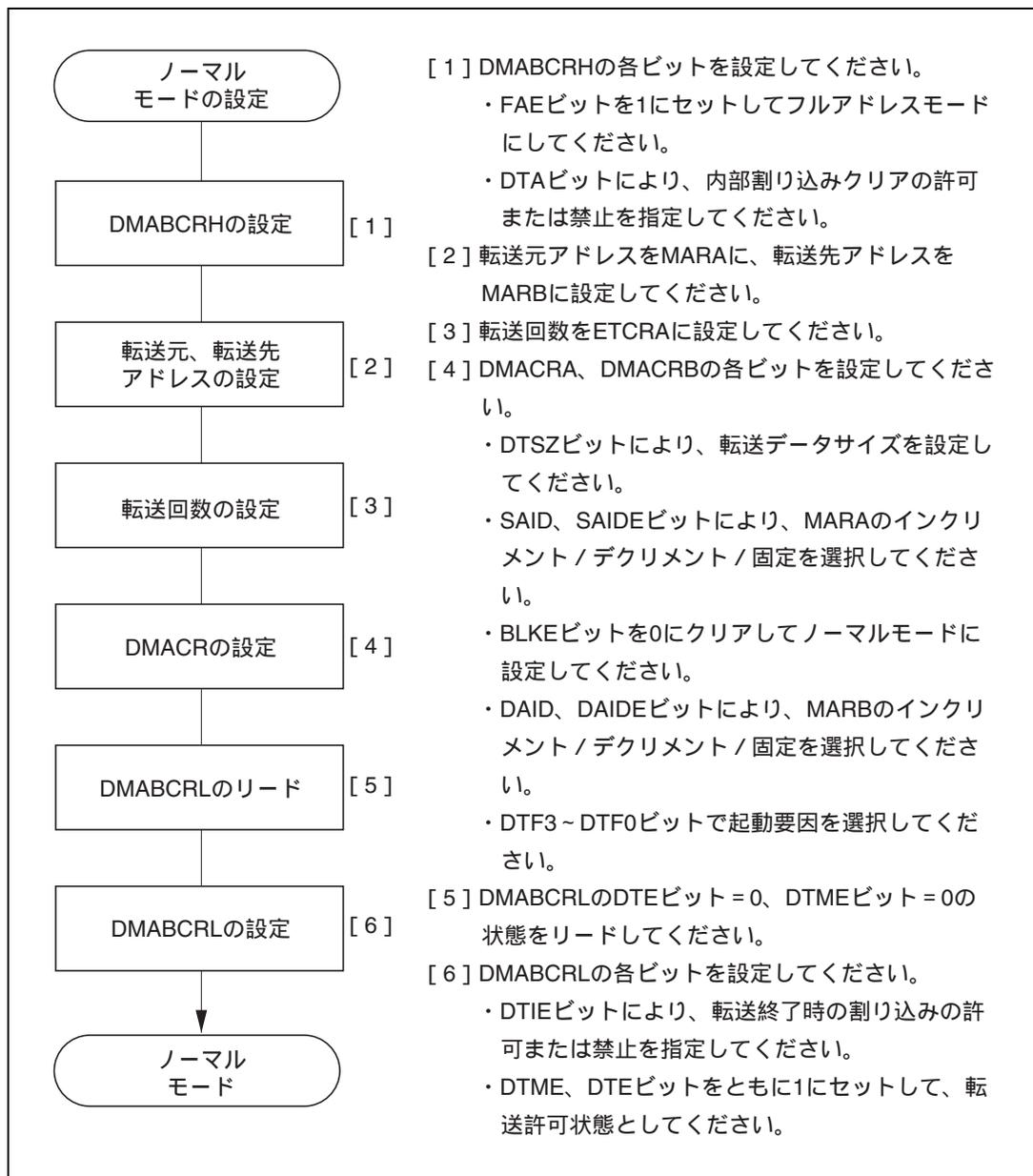


図 8.12 ノーマルモードの設定手順例

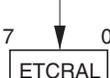
8.5.7 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。ブロック転送モードは、DMABCR の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。

ブロック転送モードでは、1 回の転送要求に対して指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア (複数バイト/ワードで構成されたエリア) とするかを選択できます。

ブロック転送モード時のレジスタの機能を表 8.11 に示します。

表 8.11 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント、H'00 になると ETCRH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント。H'0000 になると転送終了

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

ETCRB : 転送カウンタレジスタ B

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のバイトまたはワード転送のたびに 1 または 2 インクリメント/デクリメントするか、または固定にすることができません。

インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。

MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを M ($M=1\sim 256$) とし、 N ($N=1\sim 65536$) 回の転送を行うとき、ETCRAH、ETCRAL の両方に M を、ETCRB に N を設定します。

MARB をブロックエリアにした場合のブロック転送モードの動作を図 8.13 に示します。

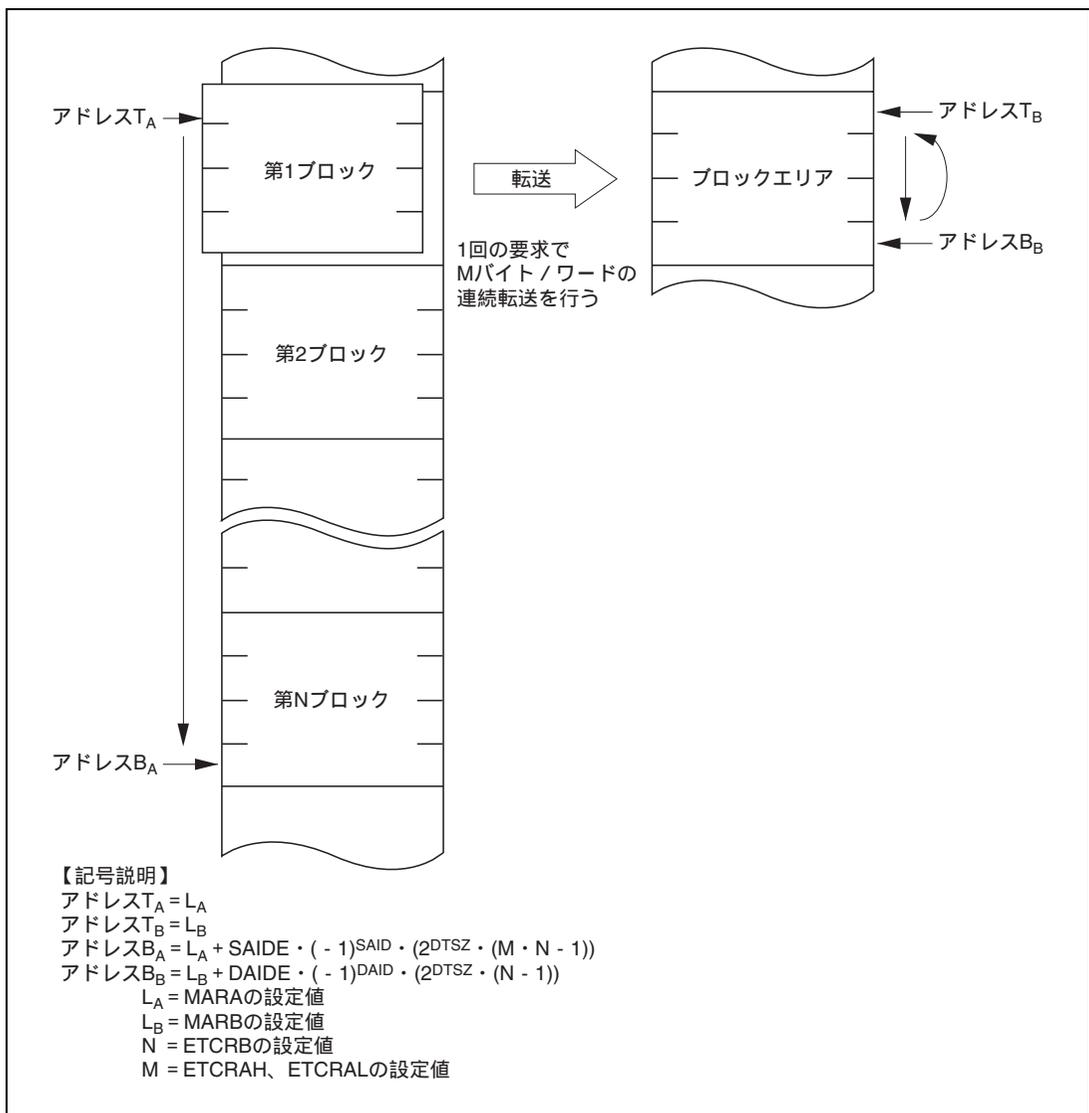


図 8.13 ブロック転送モードの動作 (BLKDIR = 0)

MARA をブロックエリアにした場合のブロック転送モードの動作を図 8.14 に示します。

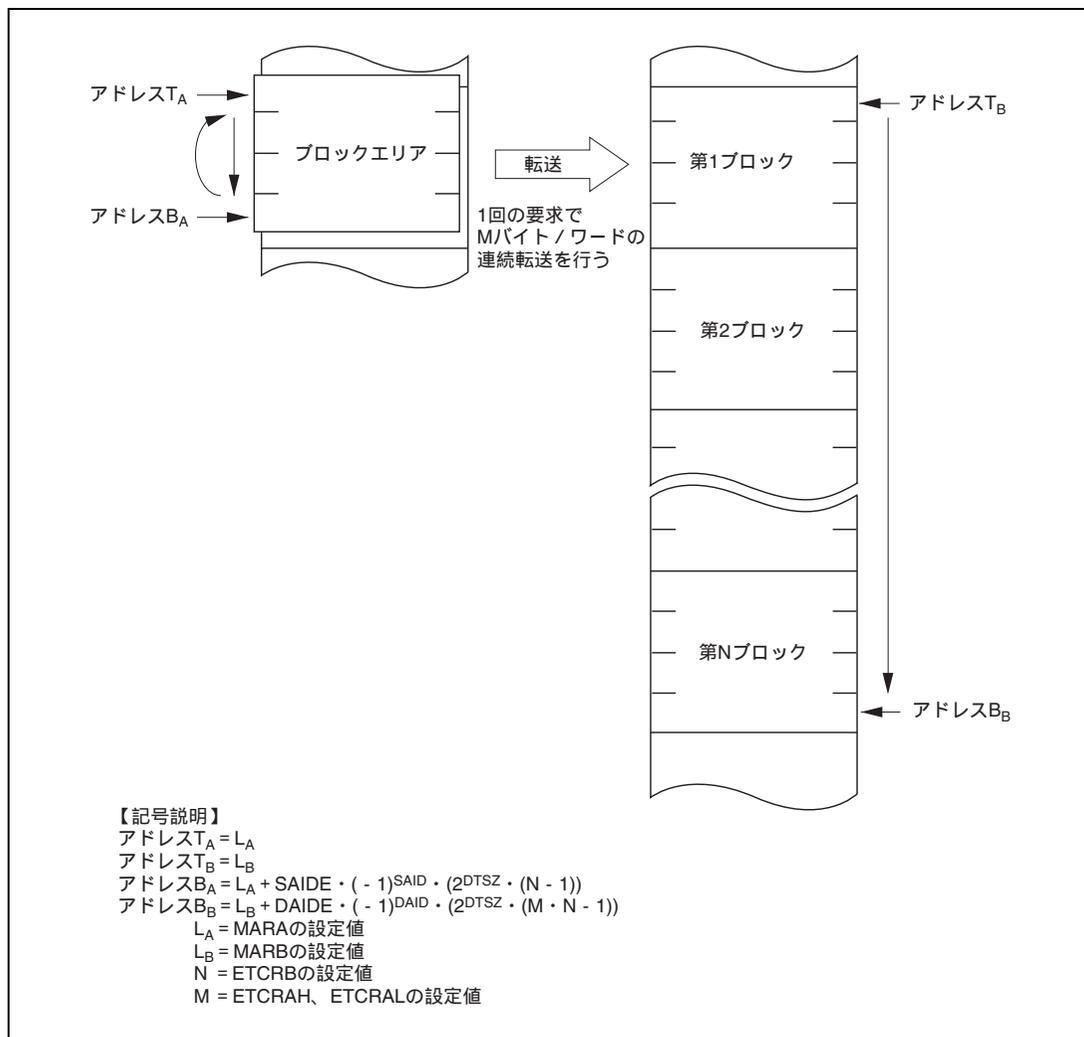


図 8.14 ブロック転送モードの動作 (BLKDIR = 1)

ETCRAL は 1 回のバイトまたはワード転送のたびに 1 だけデクリメントされます。1 回の転送要求に対して、ETCRAL が H'00 になるまでバースト転送が行われます。ETCRAL が H'00 になったときに ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ および SAID/DAID、SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は 1 回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に対して割り込みを要求します。

図 8.15 にブロック転送モードの動作フローを示します。

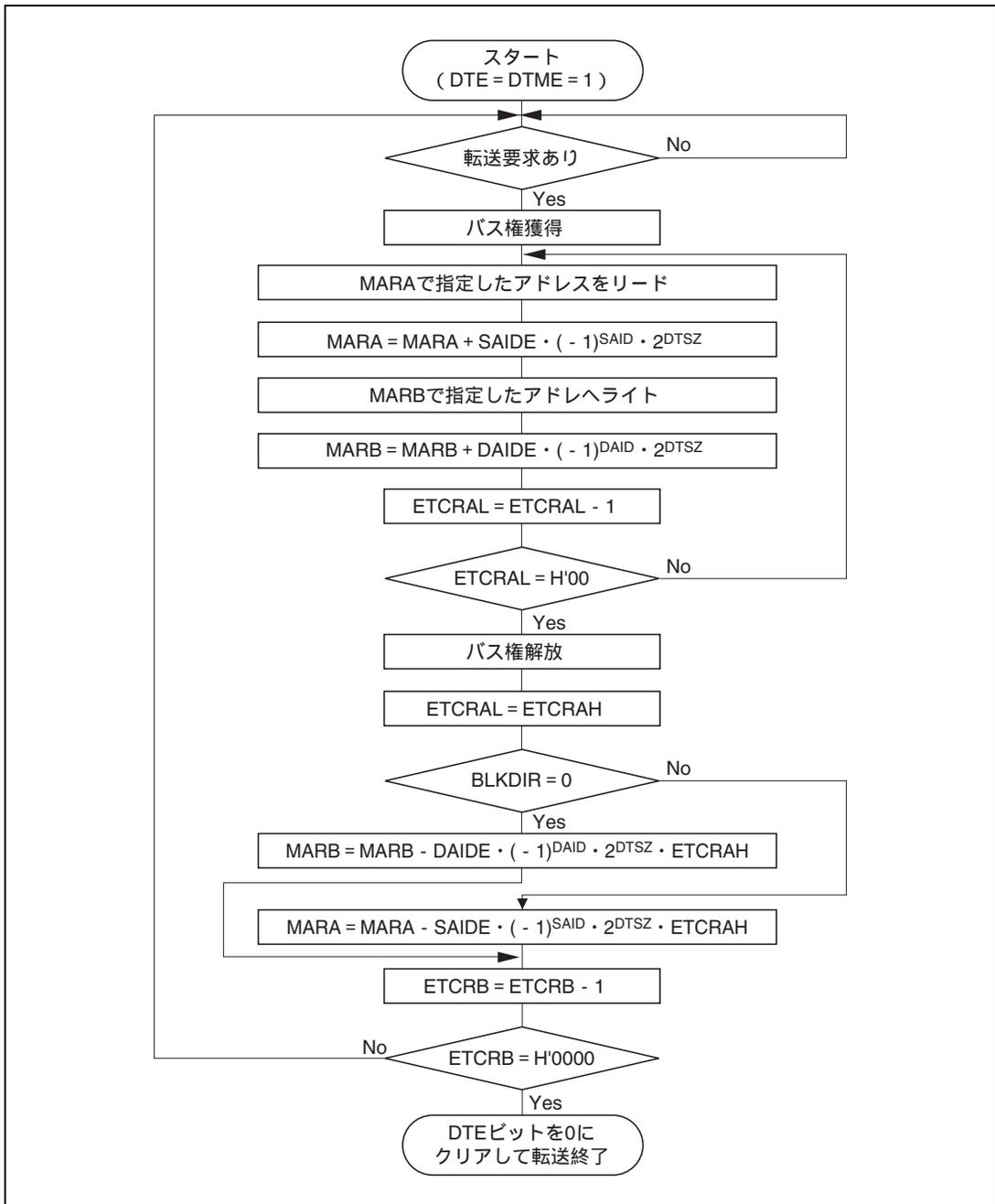


図 8.15 ブロック転送モードの動作フロー

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。

設定の詳細は「8.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

ブロック転送モードの設定手順例を図 8.16 に示します。

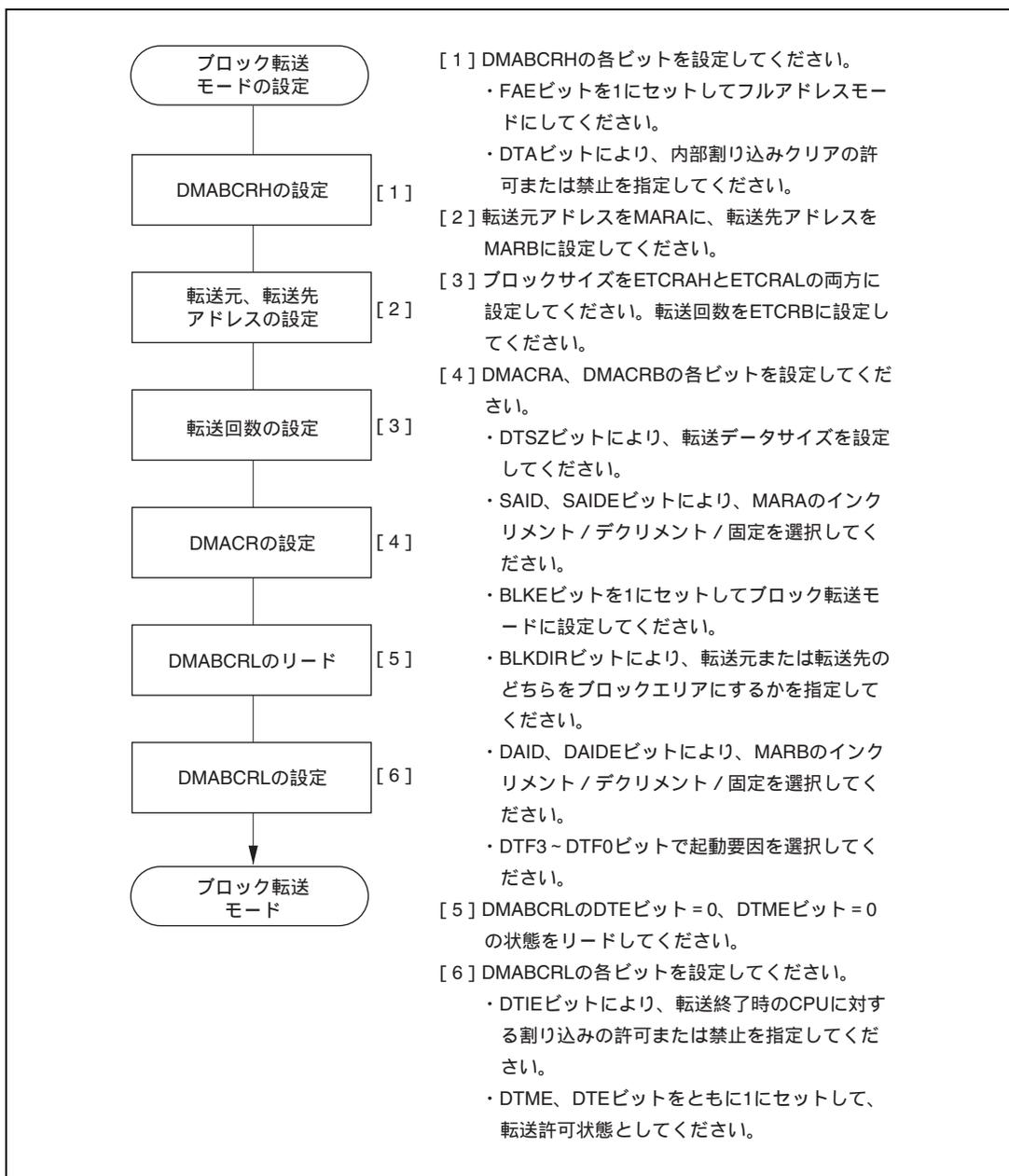


図 8.16 ブロック転送モードの設定手順例

8.5.8 DMAC の起動要因

DMAC の起動要因には、内部割り込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより、指定できる要因が表 8.12 に示すように異なります。

表 8.12 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル0A、 1A	チャンネル 0B、1B	ノーマル モード	ブロック 転送モード
内部 割り込み	ADI			×	
	TXI0			×	
	RXI0			×	
	TXI1			×	
	RXI1			×	
	TGI0A			×	
	TGI1A			×	
	TGI2A			×	
	TGI3A			×	
	TGI4A			×	
	TGI5A			×	
外部リク エスト	DREQ 端子の立ち下がりエッジ入力	×			
	DREQ 端子の Low レベル入力	×			
オートリクエスト		×	×		×

[記号説明] : 指定可能 × : 指定不可

(1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に要求を発生させることができます。詳しくは「第 5 章 割り込みコントローラ」を参照してください。

内部割り込みによる起動では、DMAC は割り込みコントローラとは独立して要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、DTC の起動要因としない割り込み要求により DMAC が起動される場合 (DTA = 1)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みについては、DMA 転送で所定のレジスタをアクセスしないで、割り込み要因フラグはクリアされません。複数のチャンネルで同一の割り込みを起動要因とした場合、最も優先順位の高いチャンネルが最初に起動された時点で、割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

転送終了後などの DTE = 0 の状態では、DTA ビットにかかわらず、選択された起動要因は DMAC に要求されません。この場合、当該割り込みは、CPU または DTC に要求されます。

CPU の割り込み要因または DTC の起動要因と重なっている場合 (DTA = 0)、割り込み要求フラグは DMAC によりクリアされることはありません。

(2) 外部リクエストによる起動

起動要因として、外部リクエスト ($\overline{\text{DREQ}}$ 端子) を指定する場合は、該当するポートをあらかじめ入力に設定しておいてください。

外部リクエストにはレベルセンスとエッジセンスがあります。

ショートアドレスモード、フルアドレスモードのノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は、 $\overline{\text{DREQ}}$ 端子の High レベルから Low レベルの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送を完了する前に次のエッジが入力された場合は、次の転送が行われない場合があります。

レベルセンスを選択した場合、 $\overline{\text{DREQ}}$ 端子が High レベルに保持されている間は、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$ 端子が Low レベルに保持されている間は、1 バイトまたは 1 ワードの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で $\overline{\text{DREQ}}$ 端子が High レベルになった場合は、転送を中断し転送要求待ち状態になります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。

オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、転送終了までバスを占有し、連続して転送を行います。

(4) シングルアドレスモード

DMAC は、リードサイクル、ライトサイクルが別のバスサイクルとなるデュアルアドレスモードと、リードサイクル、ライトサイクルが平行して実行されるシングルアドレスモードがあります。

デュアルアドレスモードは、ソースアドレスとデスティネーションアドレスを独立に指定して転送を行います。

これに対し、シングルアドレスモードは、転送元または転送先のいずれか一方がアドレスによって指定される外部空間と、アドレスにかかわらず、 $\overline{\text{DACK}}$ ストロープにより選択動作する外部デバイスとの転送を行います。

図 8.17 にシングルアドレスモード時のデータバスを示します。

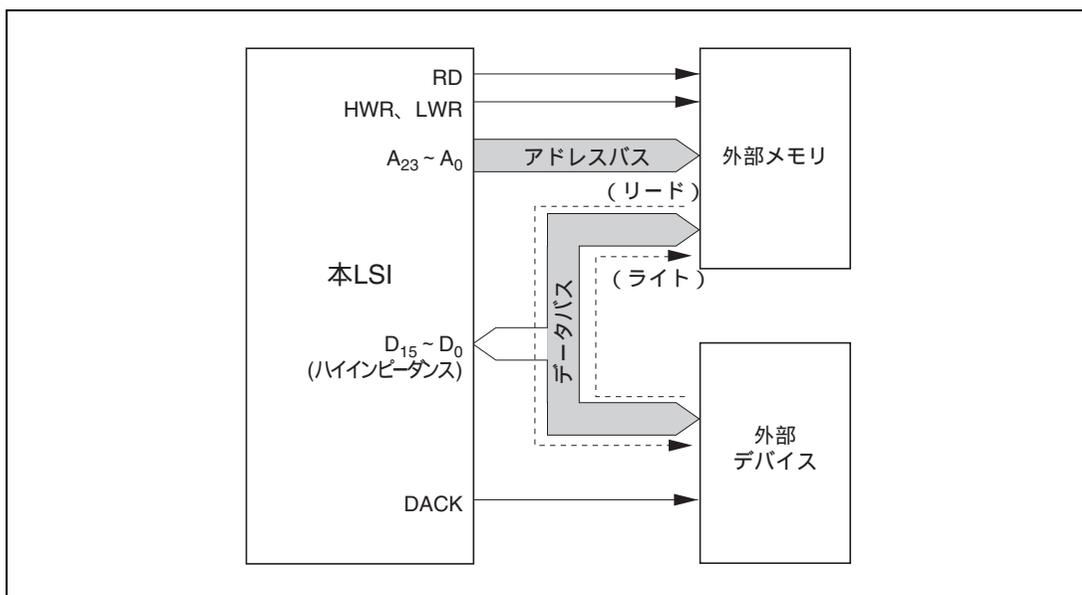


図 8.17 シングルアドレスモード時のデータバス

シングルアドレスモードのリードで使用する場合、外部メモリから外部デバイスへの転送となり、 $\overline{\text{DACK}}$ 端子は外部デバイスに対するライトストロープとして機能します。シングルアドレスモードのライトで使用する場合、外部デバイスから外部メモリへの転送となり、 $\overline{\text{DACK}}$ 端子は外部デバイスに対するリードストロープとして機能します。外部デバイスに対する方向制御はありませんので、上記のいずれか単方向で使用してください。

シングルアドレスモード時のバスサイクルは、外部メモリエリアに対するバスコントローラの設定に従います。外部デバイス側には、アドレスストロープと同期して $\overline{\text{DACK}}$ が出力されます。バスサイクルの詳細は「8.5.11 DMAC のバスサイクル (シングルアドレスモード)」を参照してください。

シングルアドレスモード時の転送アドレスは、内部空間を指定しないでください。

8.5.9 DMAC の基本バスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 8.18 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定に従います。

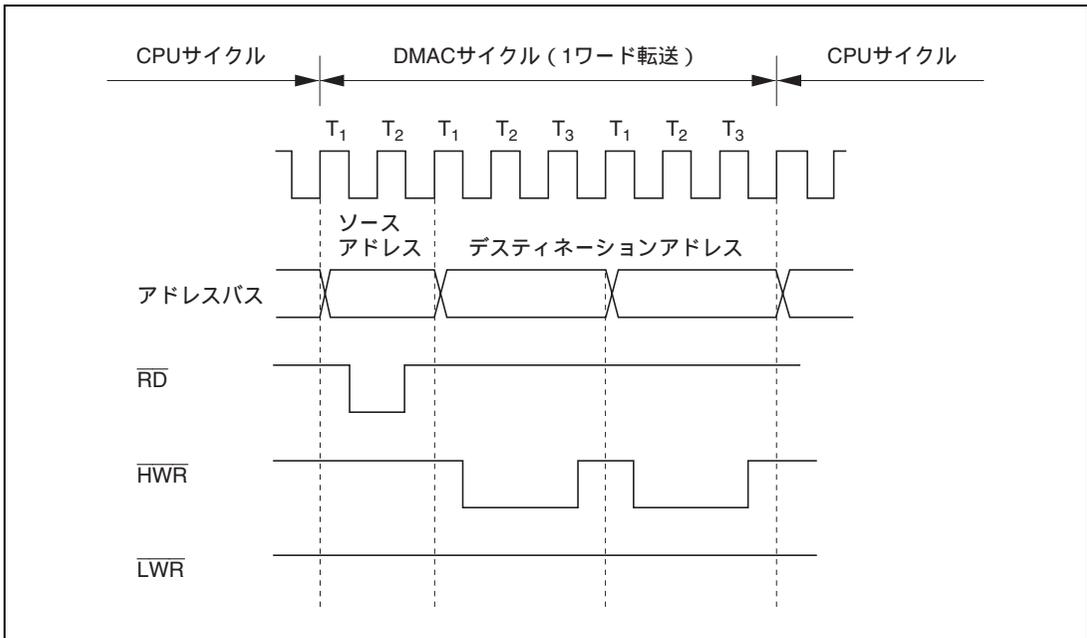


図 8.18 DMA 転送バスタイミング例

なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部のアドレスバスに出力されません。

8.5.10 DMAC のバスサイクル (デュアルアドレスモード)

(1) ショートアドレスモード

図 8.19 に \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から、内部 I/O 空間へバイトサイズでショートアドレスモード転送(シーケンシャル/アイドル/リピートモード)を行った場合の転送例を示します。

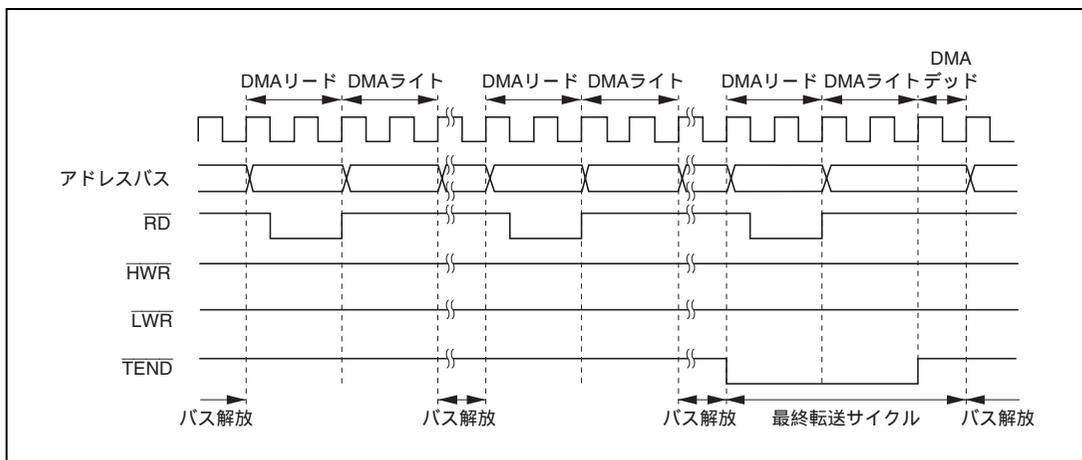


図 8.19 ショートアドレスモード転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル(転送カウンタが 0 となったサイクル)では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

リピートモードの場合、 \overline{TEND} 出力を許可すると、転送カウンタが 0 となった転送サイクルで \overline{TEND} 出力が Low レベルとなります。

(2) フルアドレスモード (サイクルスチールモード)

図 8.20 に $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

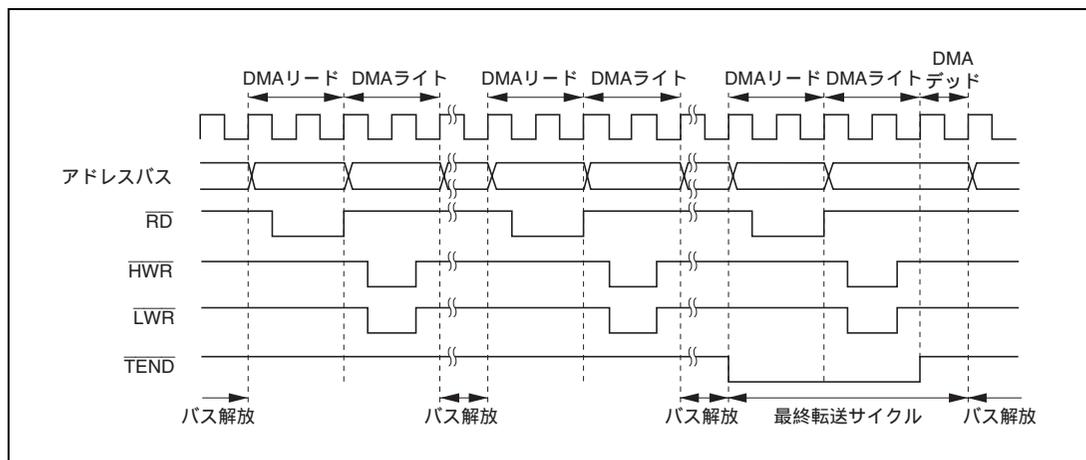


図 8.20 フルアドレスモード (サイクルスチール) 転送例

1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(3) フルアドレスモード (バーストモード)

図 8.21 に $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

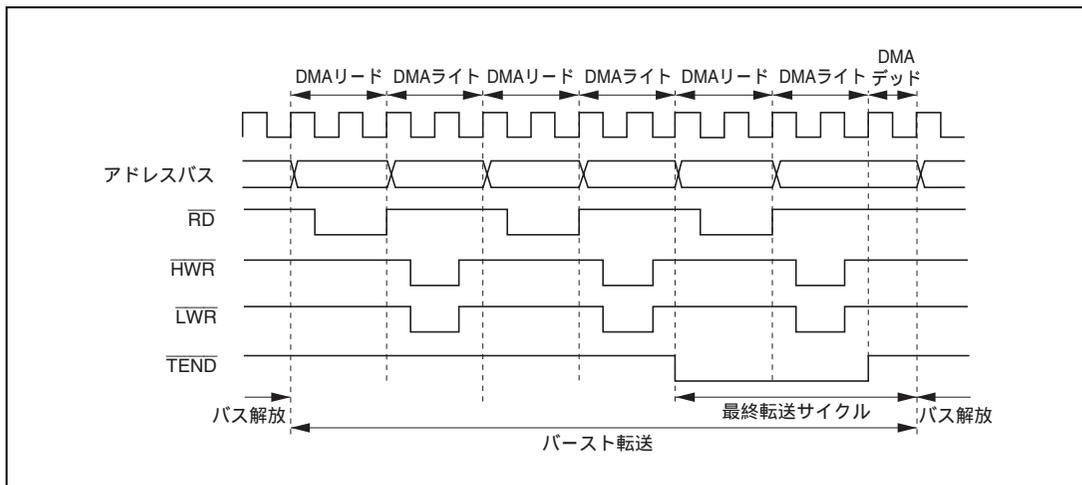


図 8.21 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードの転送を転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

バースト転送が始まると、他の優先順位の高いチャンネルの要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

(4) フルアドレスモード (ブロック転送モード)

図 8.22 に \overline{TEND} 出力を許可して、内部 16 ビット 1 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

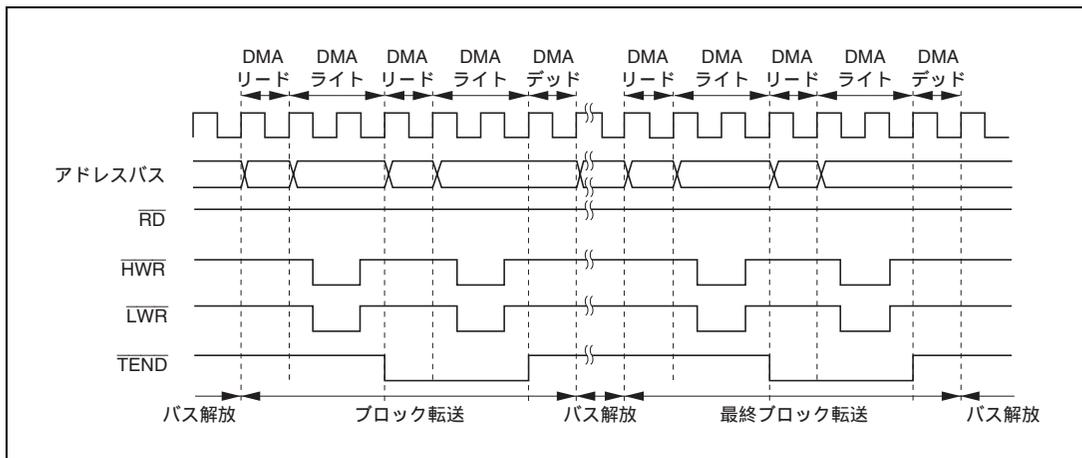


図 8.22 フルアドレスモード (ブロック転送モード) 転送例

1 回の転送要求につき 1 ブロック分の転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

各ブロックの転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

1 ブロックは連続して転送を行います。NMI が発生してもブロック転送の動作に影響を与えません。

(5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DTA ビットは、1 にセットしてください。

図 8.23 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例を示します。

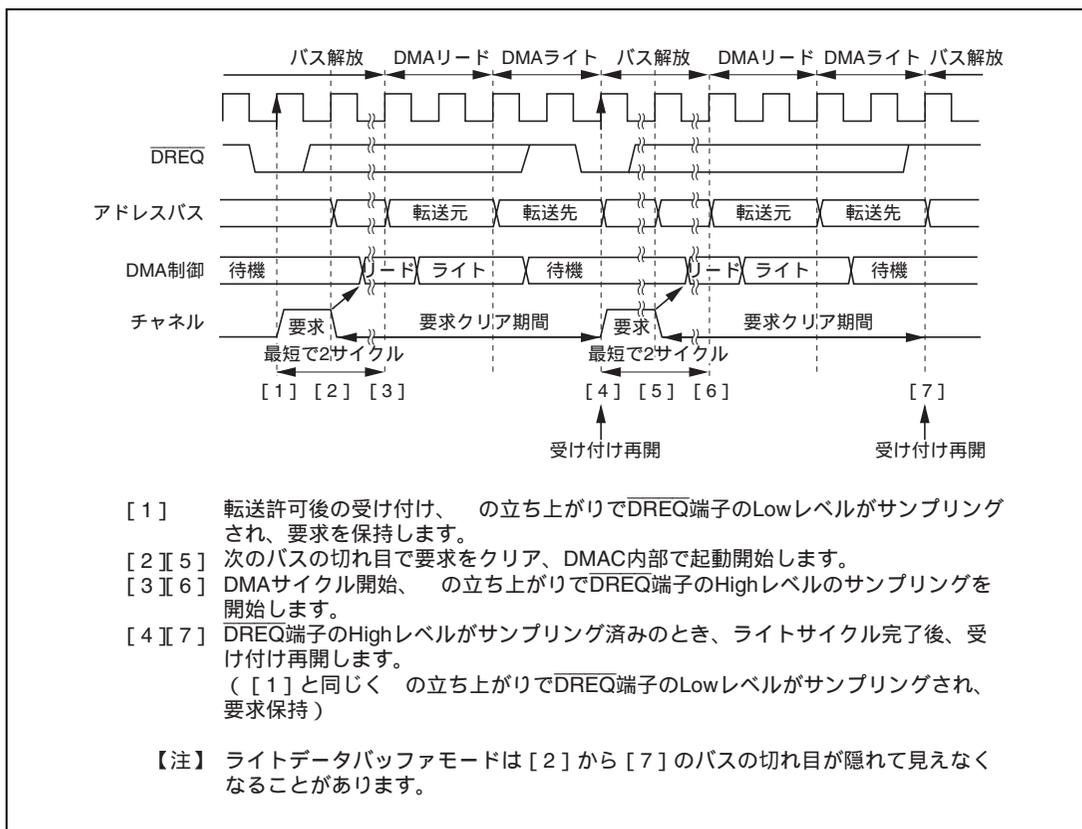
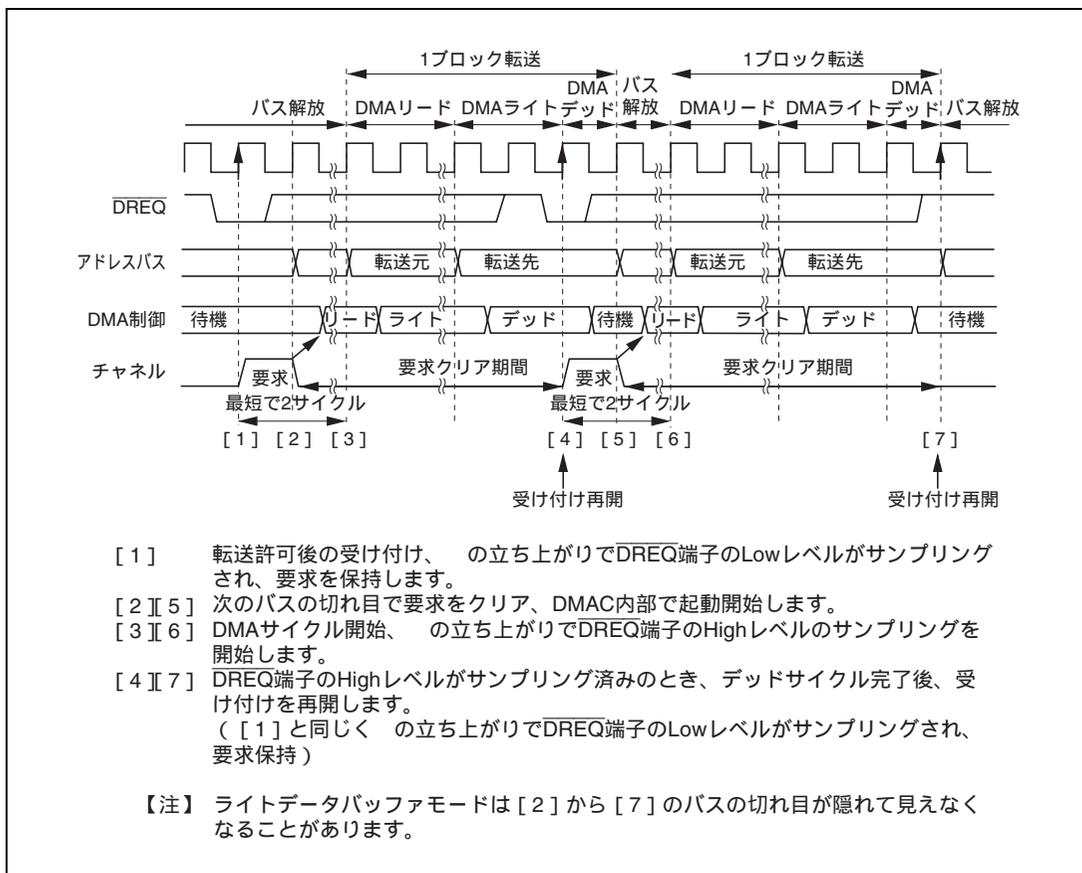


図 8.23 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 8.24 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例を示します。図 8.24 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA デッドサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、デッドサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(6) $\overline{\text{DREQ}}$ レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DTA ビットは 1 にセットしてください。

図 8.25 に $\overline{\text{DREQ}}$ レベル起動のノーマルモード転送例を示します。

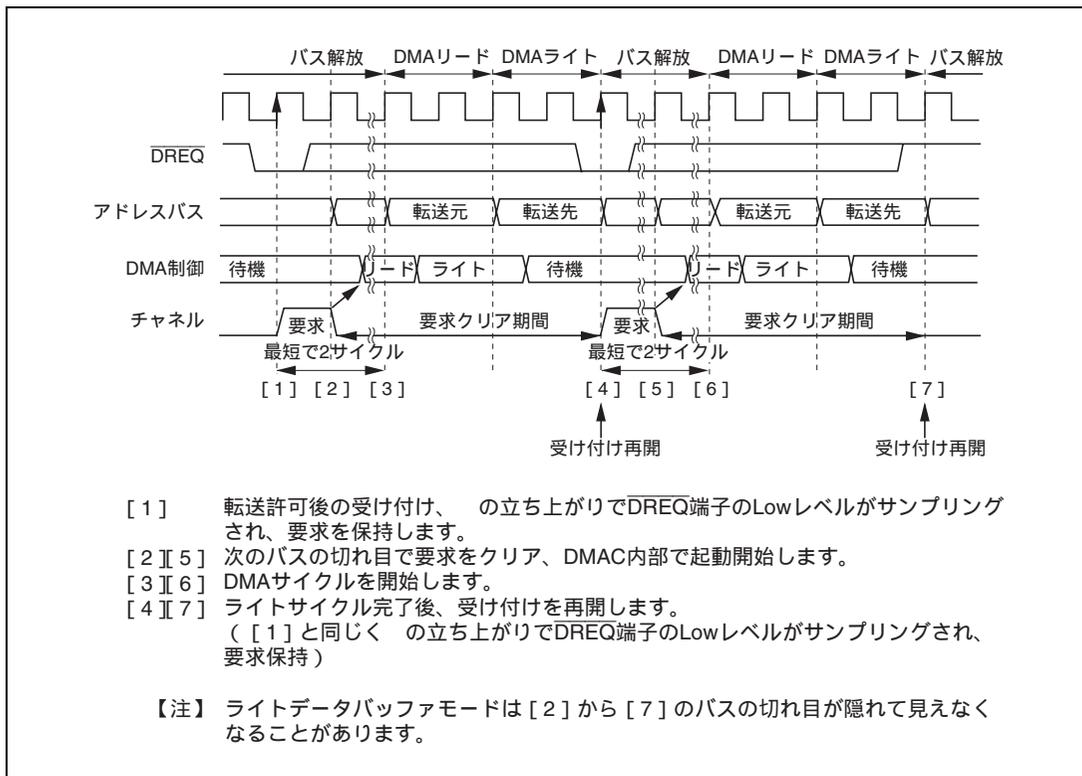
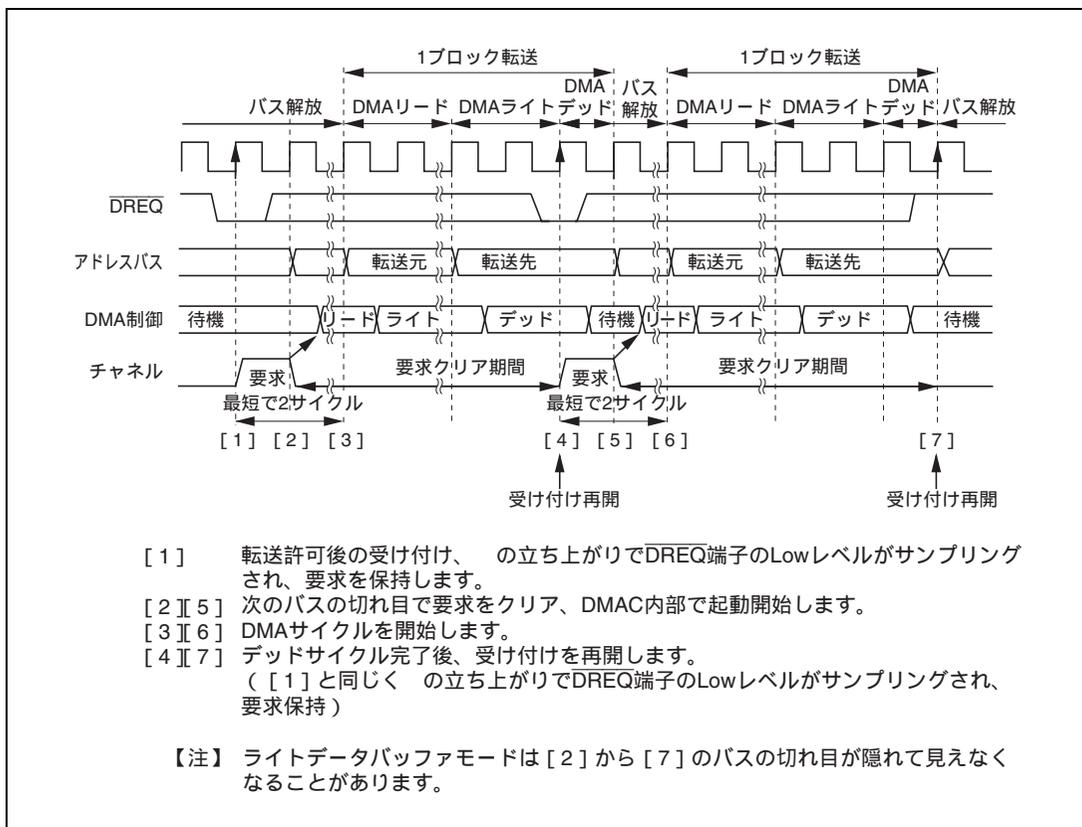


図 8.25 $\overline{\text{DREQ}}$ レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の $\overline{\text{DREQ}}$ の立ち上がり起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 8.26 に $\overline{\text{DREQ}}$ レベル起動のブロック転送モード転送例を示します。図 8.26 $\overline{\text{DREQ}}$ レベル起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の の立ち上がり

を起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。デッドサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

8.5.11 DMAC のバスサイクル (シングルアドレスモード)

(1) シングルアドレスモード (リード)

図 8.27 に $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から、外部デバイスへバイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

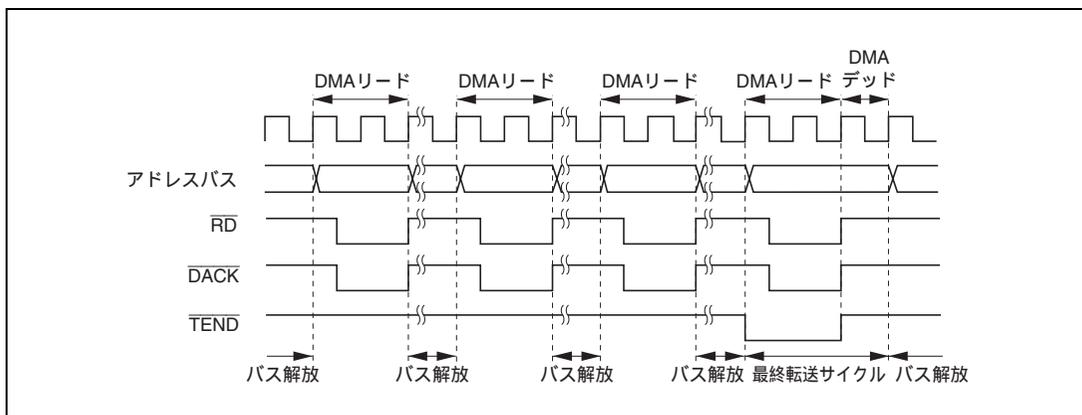


図 8.27 シングルアドレスモード (バイトリード) 転送例

図 8.28 に $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から、外部デバイスへワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

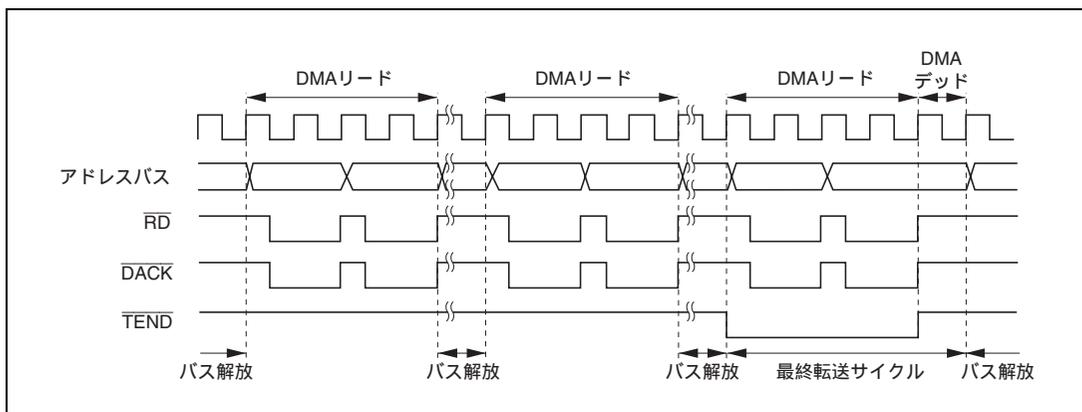


図 8.28 シングルアドレスモード (ワードリード) 転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(2) シングルアドレスモード (ライト)

図 8.29 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから、外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

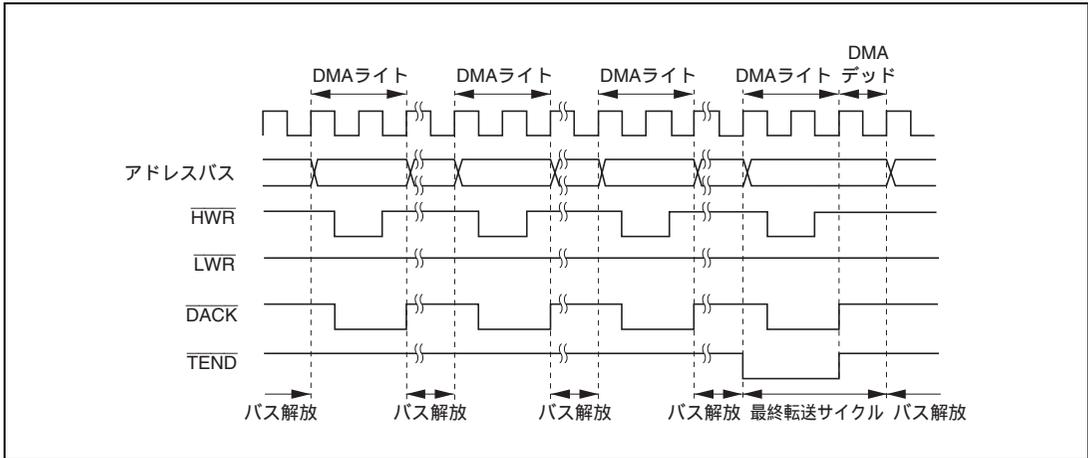


図 8.29 シングルアドレスモード (バイトライト) 転送例

図 8.30 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから、外部 8 ビット 2 ステートアクセス空間へワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

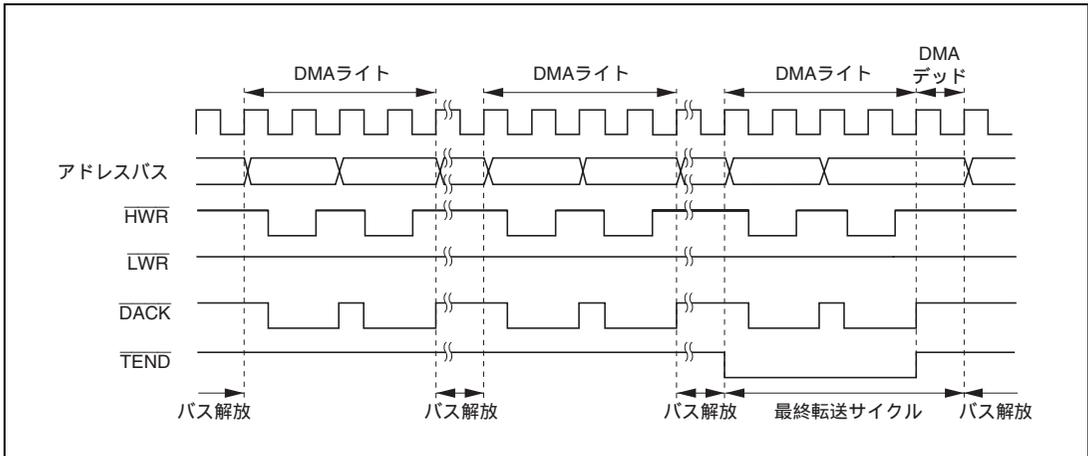


図 8.30 シングルアドレスモード (ワードライト) 転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(3) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DTA ビットは 1 にセットしてください。

図 8.31 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

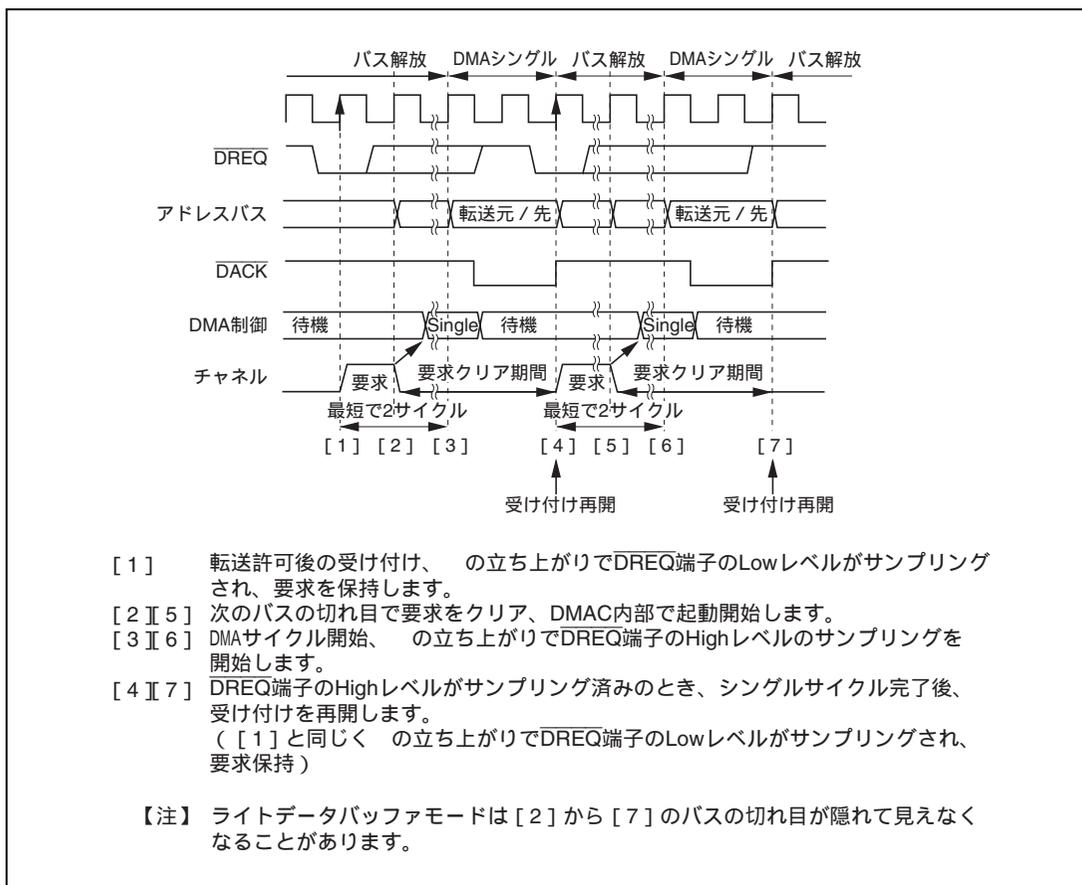


図 8.31 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の の立ち上りを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(4) $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DTA ビットは 1 にセットしてください。

図 8.32 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例を示します。

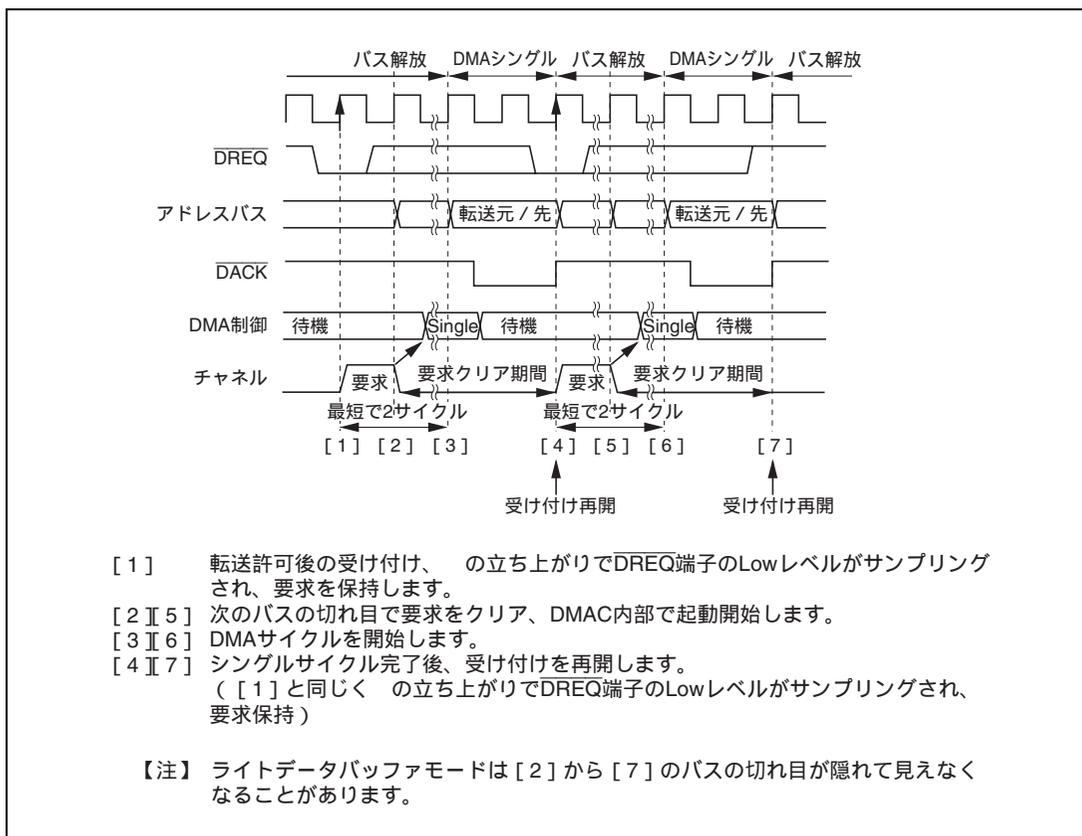


図 8.32 $\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の $\overline{\text{DREQ}}$ の立ち上がりから毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

8.5.12 ライトデータバッファ機能

DMAC の内部から外部のデュアルアドレス転送、シングルアドレス転送を、ライトデータバッファ機能を用いて高速に実行し、システムのスループットを向上することができます。

バスコントローラの BCRL の WDBE ビットを 1 にセットし、ライトデータバッファ機能を有効にした状態では、デュアルアドレス転送の外部ライトサイクル、またはシングルアドレス転送と、内部アクセス（内蔵メモリまたは内部 I/O レジスタ）とを並行して実行します。内部アクセスはバスマスタに依存しません。なお、DMAC のデッドサイクルは内部アクセスとみなされます。

$\overline{\text{TEND}}$ 端子から Low レベルを出力するバスサイクルが外部バスサイクルの場合は、必ず Low レベルを出力できます。一方、 $\overline{\text{TEND}}$ 端子から Low レベルを出力するバスサイクルが内部バスサイクルで、かつ並行して外部ライトサイクルが実行されている場合は、 $\overline{\text{TEND}}$ 端子から Low レベルを出力しませんので注意してください。

図 8.33 に、ライトデータバッファ機能を用いた内蔵 RAM から外部メモリへのバーストモード転送の例を示します。

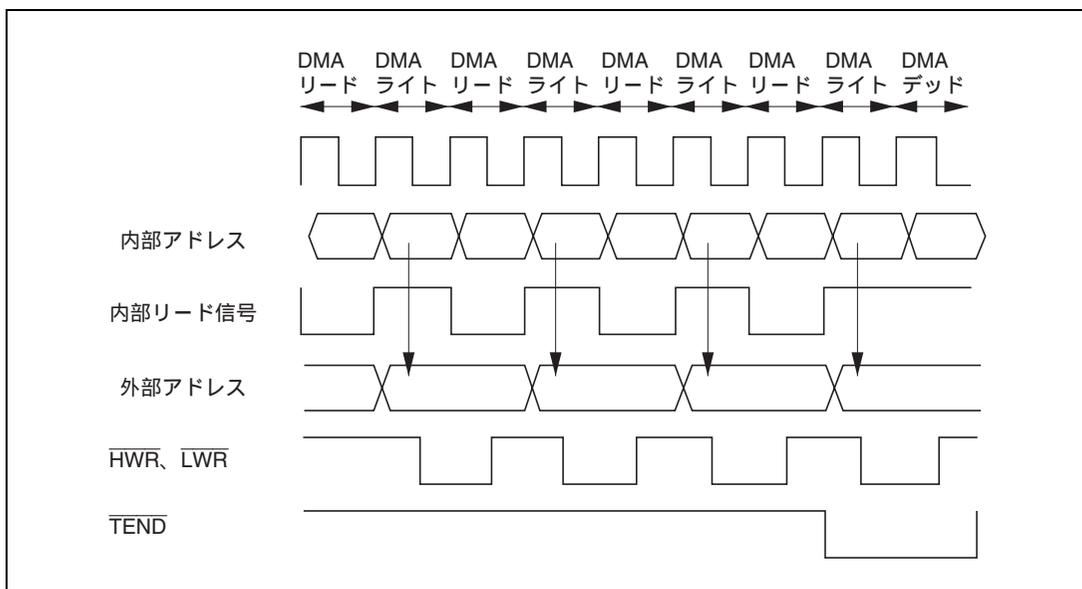


図 8.33 ライトデータバッファ機能を用いたデュアルアドレス転送の例

図 8.34 に、ライトデータバッファ機能を用いたシングルアドレス転送の例を示します。CPU のプログラム領域が内蔵メモリにある場合の例です。

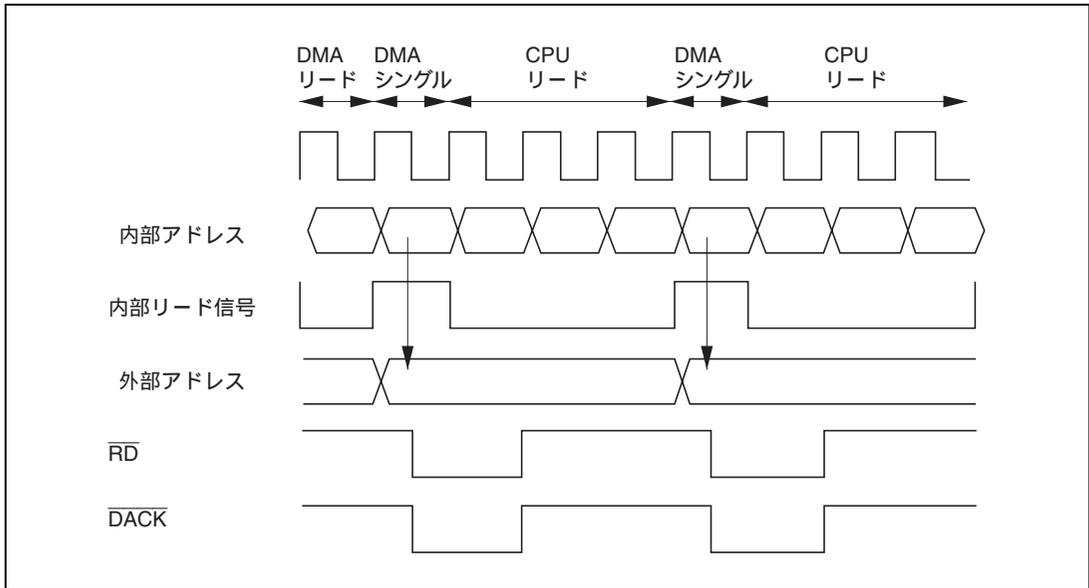


図 8.34 ライトデータバッファ機能を用いたシングルアドレス転送の例

DMAC は、ライトデータバッファ機能を起動した時点で、当該バスサイクルは終了したと認識して次の動作を開始します。したがって、 $\overline{\text{DREQ}}$ 端子のサンプリングは、DMA ライトサイクルまたはシングルアドレス転送開始の 1 ステート後から開始されます。

8.5.13 DMAC 複数チャンネルの動作

DMAC のチャンネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 8.13 に DMAC のチャンネル間優先順位を示します。

表 8.13 DMAC のチャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ▲
チャンネル 0B		
チャンネル 1A	チャンネル 1	▼ 低
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合は、DMAC はバスを解放した時点で、要求の発生しているチャンネルの中から表 8.13 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。

バースト転送中、およびブロック転送の 1 ブロック転送中は、転送終了までチャンネルを切り替えて転送することはありません。

図 8.35 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

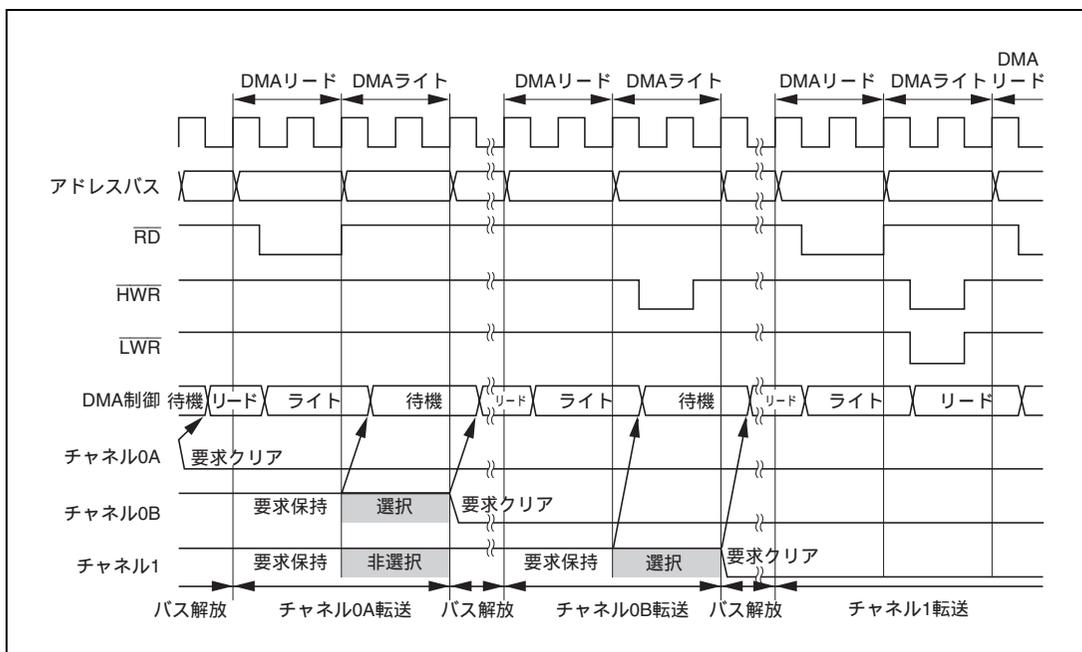


図 8.35 複数チャンネル転送例

8.5.14 DMAC と、外部バス権要求、リフレッシュサイクル、DTC の関係

DMA サイクルのリードとライトの間は不可分割となっています。このため、DMA サイクルの外部リードと外部ライト間にリフレッシュサイクル、外部バス解放サイクル、DTC サイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルの後に、リフレッシュおよび外部バス解放状態が挿入されることがあります。DTC は、DMAC より優先度が低いため、DMAC がバスを解放するまで DTC は動作しません。

DMA サイクルのリードまたはライトが、内蔵メモリアクセスまたは内部 I/O レジスタアクセスの場合には、これらの DMA サイクル、リフレッシュサイクル、または外部バス解放が同時に行われる場合があります。

ただし、ライトバッファ使用時に、同時に動作できない場合があります。

8.5.15 NMI 割り込みと DMAC

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードの転送を完了した時点で、転送を中断後バスを解放し、CPU にバス権が移ります。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。バーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を図 8.36 に示します。

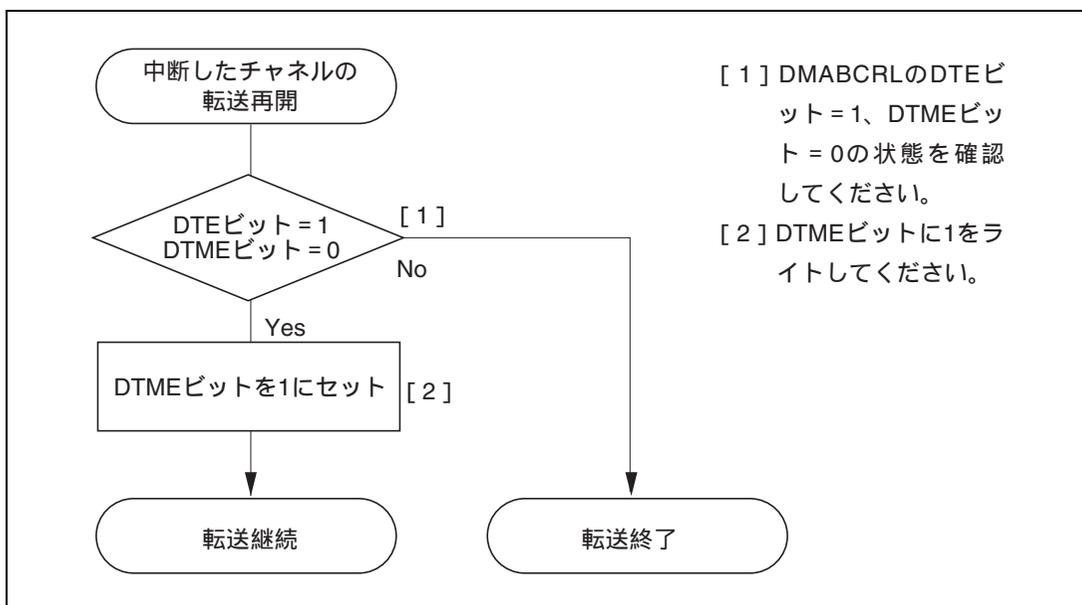


図 8.36 NMI 割り込みにより中断したチャンネルの転送継続手順例

8.5.16 DMAC 動作の強制終了

動作中のチャネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットについても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を図 8.37 に示します。



図 8.37 DMAC 動作の強制終了手順例

8.5.17 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を図 8.38 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

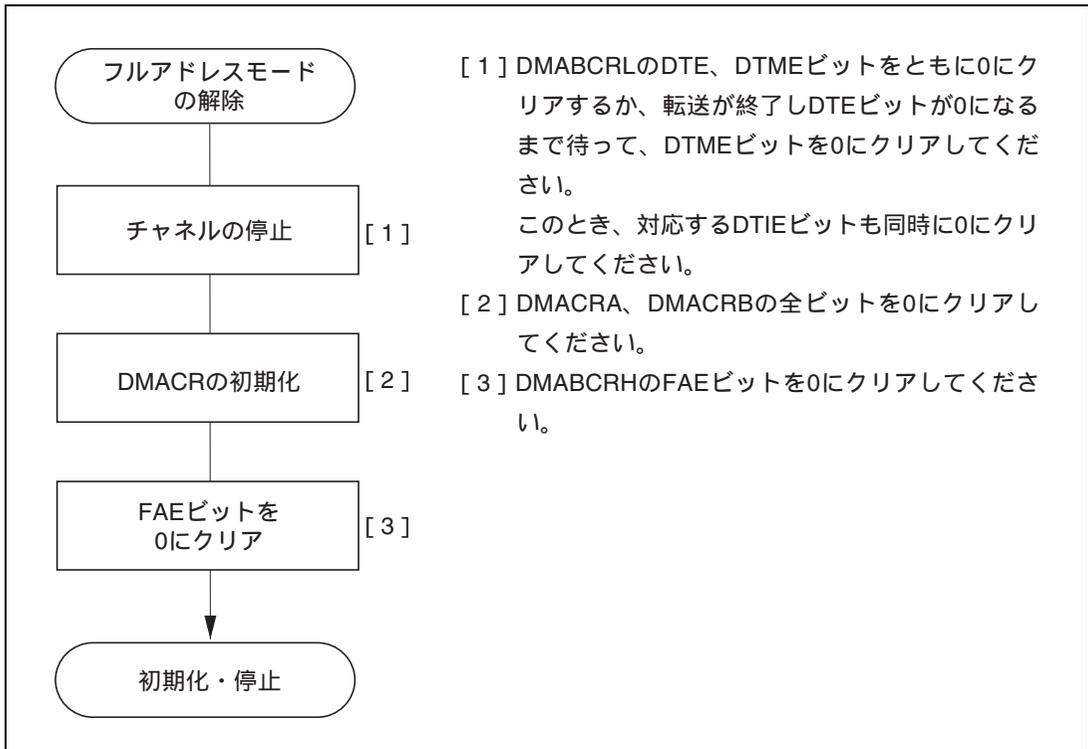


図 8.38 フルアドレスモード解除手順例

8.6 割り込み

DMAC が発生する割り込み要因は転送終了、転送中断です。表 8.14 に割り込み要因と優先度を示します。

表 8.14 割り込み要因と優先度

割り込み 名称	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ▲ ▼ 低
DEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCR の対応するチャンネルの DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 8.14 に示すようになっています。

転送終了 / 転送中断割り込みのブロック図を図 8.39 に示します。DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

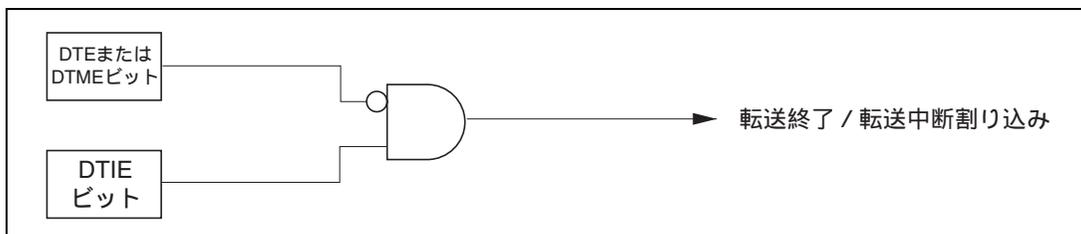


図 8.39 転送終了 / 転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIEB = 1 のとき DTME ビットが 0 にクリアされると発生します。

ショートアドレスモード、フルアドレスモードともに、設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

8.7 使用上の注意

(1) 動作中の DMAC レジスタアクセス

強制終了を除き、動作中 (転送待ち状態を含む) のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

また、DMA 転送による DMAC レジスタへのライトは行わないでください。

動作中 (転送待ち状態を含む) の DMAC レジスタリードに関しては以下ようになります。

(a) DMAC制御はバスサイクルより進んで起動し、アドレス値を出力します。このためMARは、DMAC転送前のバスサイクルに更新されます。

図8.40にデュアルアドレス転送モードにおける、DMACレジスタの更新タイミング例を示します。

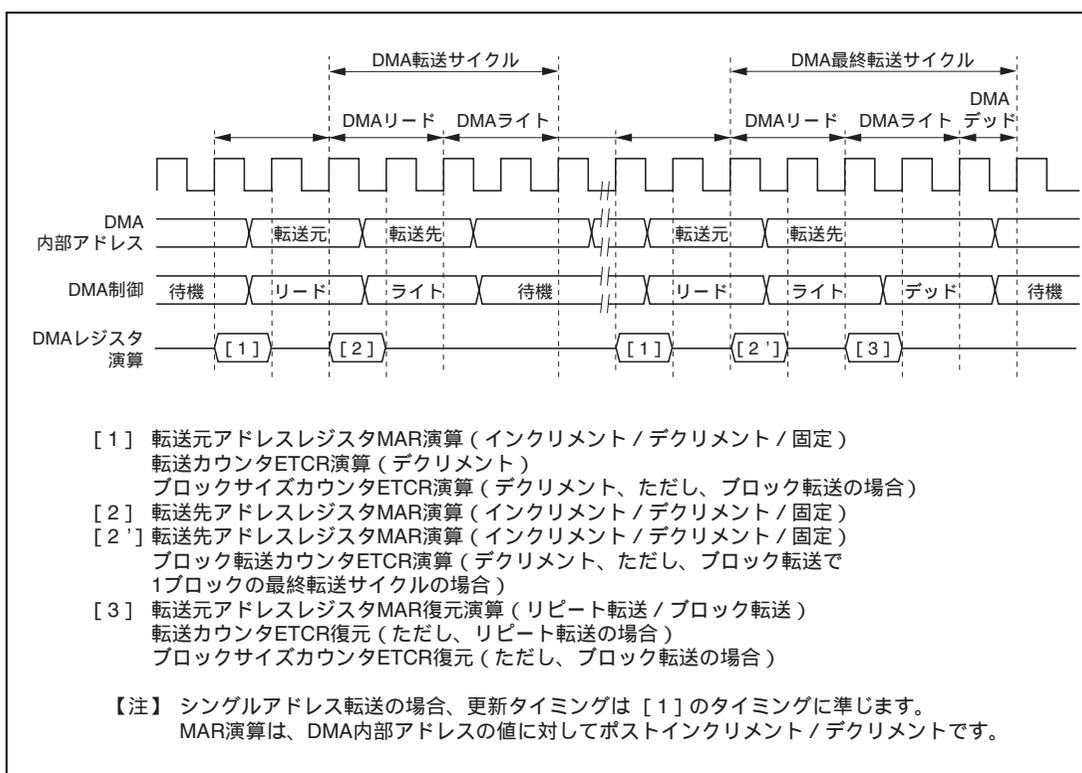


図 8.40 DMAC レジスタの更新タイミング

(b) DMACレジスタリード直後にDMACの転送サイクルが起こる場合、図8.41のようにDMACレジスタがリードされます。

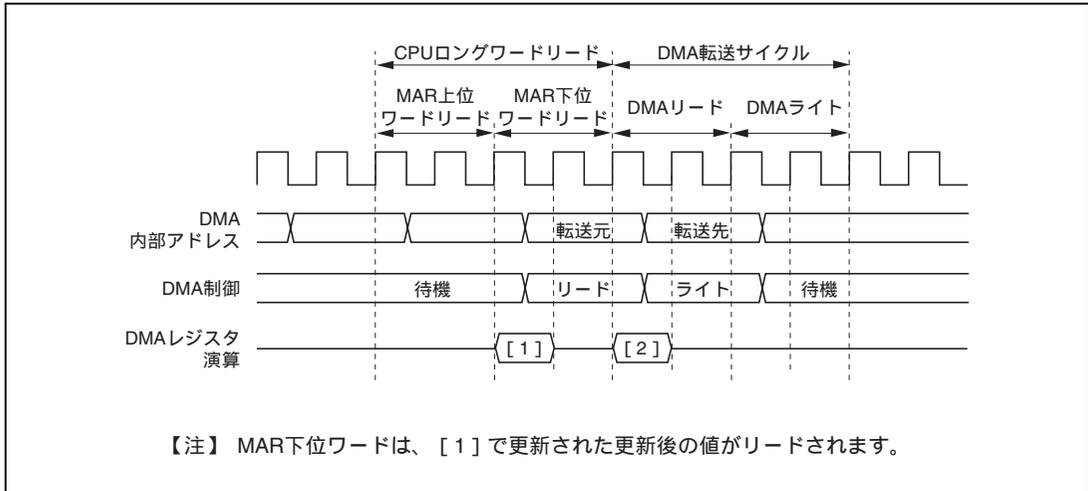


図 8.41 DMAC レジスタの更新と CPU リードの競合

(2) モジュールストップ

MSTPCRA の MSTPA7 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTPA7 ビットに 1 をライトできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

- 転送終了 / 中断割り込み (DTE = 0 かつ DTIE = 1)
- $\overline{\text{TEND}}$ 端子イネーブル (TEE = 1)
- $\overline{\text{DACK}}$ 端子イネーブル (FAE = 0 かつ SAE = 1)

(3) 中速モード

DTA ビットが 0 にクリアされている場合、DMAC の転送要因に指定された内部割り込み信号は、エッジ検出されています。

中速モードでは、DMAC は中速クロックで動作し、内蔵周辺モジュールは高速クロックで動作します。このため、CPU、DTC、または、DMAC の他のチャンネルにより当該割り込み要因がクリアされ、次の割り込みが発生する期間が DMAC のクロック (バスマスタクロック) に対し 1 ステート未満だった場合に、エッジ検出できずに無視されることがあります。

また、中速モードでは、 $\overline{\text{DREQ}}$ 端子のサンプリングは中速クロックの立ち上がりになります。

(4) ライトデータバッファ機能

バスコントローラの BCRL の WDBE ビットを 1 にセットし、ライトデータバッファ機能を有効にした状態では、デュアルアドレス転送の外部ライトサイクル、またはシングルアドレス転送と、内部アクセス（内蔵メモリまたは内部 I/O レジスタ）とを並行して実行します。

(a) ライトデータバッファ機能と DMAC レジスタ設定

ライトデータバッファ機能による外部アクセス実行中に、外部アクセスを制御するレジスタの設定を変更すると、外部アクセスが正常に行えない場合があります。外部アクセスを制御するレジスタの操作は、DMAC 動作を禁止した状態で外部リードをするなどして、外部アクセスと並行しない状態で行ってください。

(b) ライトデータバッファ機能と DMAC 動作タイミング

ライトデータバッファ機能を用いた外部アクセス中に、DMAC は次の動作を開始することができます。このため、ライトデータバッファ機能を禁止している場合に比較して、 $\overline{\text{DREQ}}$ 端子のサンプリングタイミングや、 $\overline{\text{TEND}}$ 出力タイミングなどが変化します。また、内部バスサイクルが隠れて見えなくなることがあります。

(c) ライトデータバッファ機能と $\overline{\text{TEND}}$ 出力

$\overline{\text{TEND}}$ 端子から Low レベルを出力するバスサイクルが内部バスサイクルで、かつ並行して外部ライトサイクルが実行されている場合は、 $\overline{\text{TEND}}$ 端子から Low レベルを出力しません。たとえば、内部 I/O レジスタと内蔵メモリ間のデータ転送を行う場合、ライトデータバッファ機能を用いると、 $\overline{\text{TEND}}$ 端子から Low レベルを出力しない場合がありますので、注意してください。

DMAC の転送アドレスの少なくとも一方が外部アドレスの場合は、 $\overline{\text{TEND}}$ 端子から Low レベルが出力されます。

図 8.42 に、 $\overline{\text{TEND}}$ 端子に Low レベルが出力されない場合の例を示します。

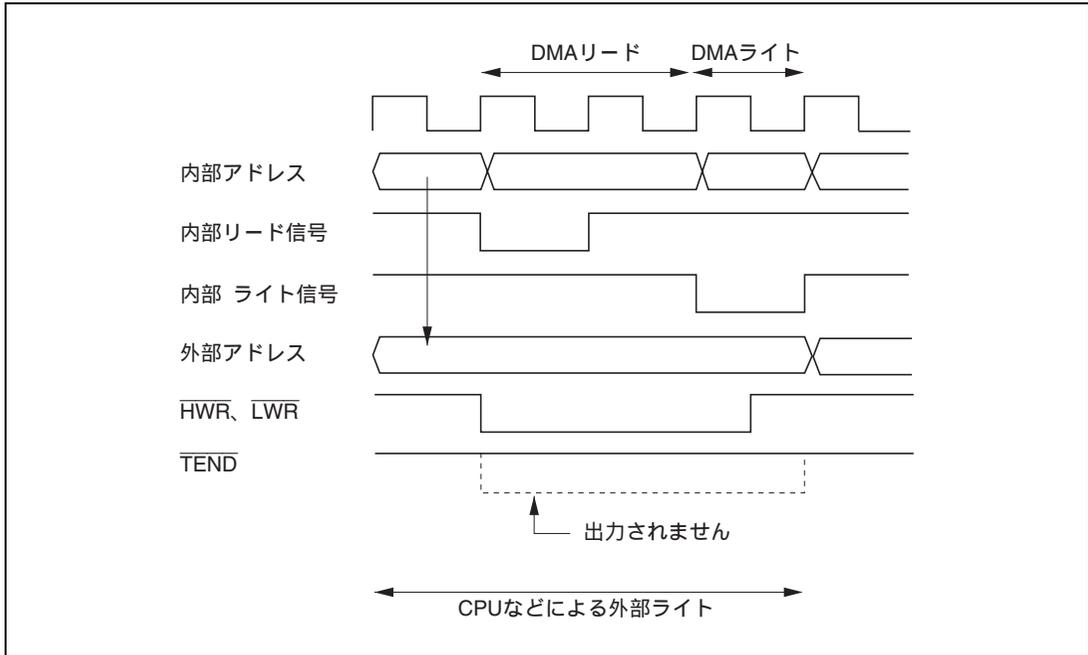


図 8.42 TEND 端子に Low レベルが出力されない例

(5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$ 端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い、次のようになります。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ 端子のLowレベルの検出を待ち、2.に遷移します。
2. 転送待ち状態：DMACのデータ転送が可能になるのを待ち、3.に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ 端子のHighレベルの検出を待ち、1.に遷移します。

DMAC の転送許可後は、1.に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

(6) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ 端子の立ち下がりエッジセンス / Low レベルセンスとともに、Low レベルを検出しています。同様に、内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL ライト実行以前に発生している内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベルは、要求を受け付けます。

DMAC の起動時には、必要に応じて、前回の転送終了時などの内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベルが残らないようにしてください。

(7) 転送終了後の内部割り込み

転送終了または強制終了により、DTE ビットが 0 にクリアされると、DTA = 1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時にすでに DMAC 内部で起動がかかっている場合には、転送は実行されませんが、DTA = 1 の場

合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

(8) チャンネルの再設定

複数のチャンネルが転送許可状態にあつて、複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR のコントロールビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行う場合があると、元の処理ルーチンで DMABCR をライトするデータが異なってしまう、ライトにより多重割り込みでの操作結果を無効にしてしまう場合がありますので注意してください。多重割り込み DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアされた場合と 0 をライトされた場合、DTE / DTME = 0 の状態をいったんリードしないと CPU では 1 をライトできません。

9. データトランスファコントローラ (DTC) (H8S/2695 には本機能はありません)

9.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

9.1.1 特長

任意チャネル数の転送可能

- メモリ上に転送情報を格納
- 1つの起動要因に対して複数のデータ転送が可能 (チェーン転送)

豊富な転送モード

- ノーマルモード / リピートモード / ブロック転送モードの選択が可能
- 転送元、転送先アドレスのインクリメント / デクリメント / 固定の選択が可能

16M バイトのアドレス空間を直接指定可能

- 転送元、転送先アドレスを24ビットで指定

転送単位をバイト / ワードに設定可能

DTC を起動した割り込みを CPU に要求可能

- 1回のデータ転送の終了後に、CPUに対する割り込み要求を発生可能
- 指定したデータ転送のすべての終了後に、CPUに対する割り込み要求を発生

ソフトウェアによる起動が可能

モジュールストップモードの設定可能

- 初期値ではDTCのレジスタのアクセスが可能。モジュールストップモードの設定によりDTCの動作は停止

9.1.2 ブロック図

DTC のブロック図を図 9.1 に示します。

DTC のレジスタ情報は内蔵 RAM に配置されます*。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

【注】 * DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。

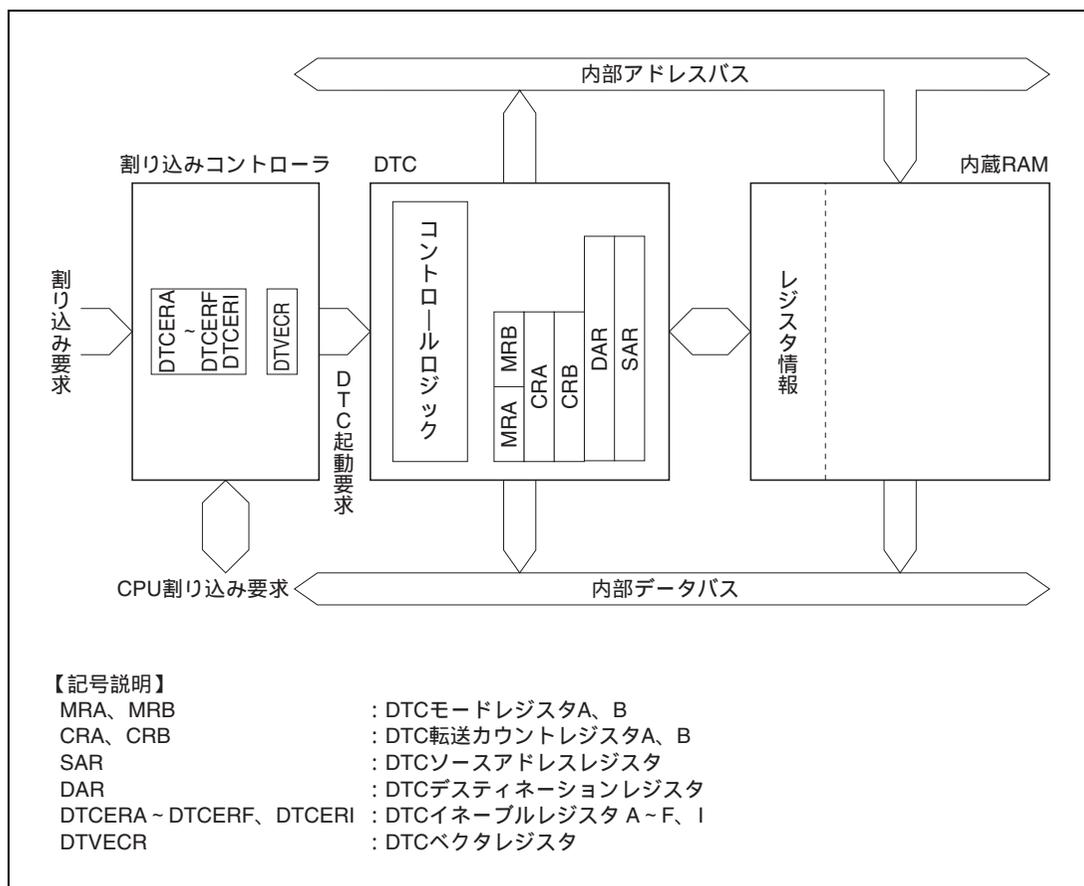


図 9.1 DTC のブロック図

9.1.3 レジスタ構成

DTC のレジスタ構成を表 9.1 に示します。

表 9.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
DTC モードレジスタ A	MRA	- *2	不定	- *3
DTC モードレジスタ B	MRB	- *2	不定	- *3
DTC ソースアドレスレジスタ	SAR	- *2	不定	- *3
DTC デスティネーションアドレスレジスタ	DAR	- *2	不定	- *3
DTC 転送カウントレジスタ A	CRA	- *2	不定	- *3
DTC 転送カウントレジスタ B	CRB	- *2	不定	- *3
DTC イネーブルレジスタ	DTCER	R/W	H'00	H'FE16 ~ H'FE1E
DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FE1F
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 DTC 内のレジスタは直接リード/ライトできません。

*3 内蔵 RAM のアドレス H'EBC0 ~ H'EFBF にレジスタ情報として配置します。外部メモリ空間には配置できません。DTC を使用する場合は SYSCR の RAME ビットを 0 にクリアしないでください。

9.2 各レジスタの説明

9.2.1 DTC モードレジスタ A (MRA)

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定						
R/W :	-	-	-	-	-	-	-	-

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

- ビット7、6 : ソースアドレスモード1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット7	ビット6	説 明
SM1	SM0	
0	-	SAR は固定
1	0	SAR は転送後インクリメント (Sz = 0 のとき +1、Sz = 1 のとき +2)
	1	SAR は転送後デクリメント (Sz = 0 のとき -1、Sz = 1 のとき -2)

- ビット5、4：デスティネーションアドレスモード1、0 (DM1、DM0)

データ転送後に、DARをインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット5	ビット4	説明
DM1	DM0	
0	-	DAR は固定
1	0	DAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	DAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)

- ビット3、2：DTCモード (MD1、MD0)

DTCの転送モードを指定します。

ビット3	ビット2	説明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

- ビット1：DTC転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット1	説明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

- ビット0：DTCデータトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット0	説明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

9.2.2 DTC モードレジスタ B (MRB)

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

- ビット7 : DTCチェーン転送イネーブル (CHNE)

チェーン転送を指定します。チェーン転送では、1回の要求に対し複数のデータ転送を連続して行うことができます。

CHNE = 1に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因フラグのクリアや DTCERのクリアは行いません。

ビット7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェーン転送 (新しいレジスタ情報をリードして、データ転送を行う)

- ビット6 : DTCインタラプトセレクト (DISEL)

1回のデータ転送後にCPUへの割り込み要求の禁止または許可を指定します。

ビット6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが0でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを0にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを0にクリアしない)

- ビット5~0 : リザーブビット

本LSIでは、DTCの動作に影響を与えません。0をライトしてください。

9.2.3 DTC ソースアドレスレジスタ (SAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>										
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

9.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>										
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

9.2.5 DTC 転送カウントレジスタ A (CRA)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値 :	不定															
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	← CRAH →								← CRAL →							

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されません。この動作を繰り返します。

9.2.6 DTC 転送カウントレジスタ B (CRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定															
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

9.2.7 DTC イネーブルレジスタ (DTCER)

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

DTCER は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード/ライトが可能な 7 本のレジスタで、DTCERA ~ DTCERF、DTCERI があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

- ビット n : DTC 起動イネーブル (DTCE_n)

ビット n	説明
DTCE _n	
0	割り込みによる DTC 起動を禁止 (初期値) [クリア条件] • DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき
1	割り込みによる DTC 起動を許可 [保持条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n = 7 ~ 0)

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびその時に割り込みコントローラが発生するベクタ番号について表 9.4 に示します。

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

9.2.8 DTC ベクタレジスタ (DTVECR)

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/(W)*2						

【注】*1 SWDTE ビットは、1 ライトのみ可能です。

*2 DTVEC6 ~ DTVEC0 ビットは、SWDTE = 0 のときライト可能です。

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

- ビット7 : DTCソフトウェア起動イネーブル (SWDTE)

DTCソフトウェア起動の許可または禁止を設定します。

ビット7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] • DISEL ビットが 0 で、指定した回数の転送が終了していないとき • CPU に対し、ソフトウェア起動データ転送終了割り込み (SWDTEND) が要求された後、0 をライトしたとき
1	DTC ソフトウェア起動を許可 [保持条件] • DISEL ビットが 1 で、データ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中

- ビット6 ~ 0 : DTCソフトウェア起動ベクタ6 ~ 0 (DTVEC6 ~ DTVEC0)

DTCソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、H'0400 + ((ベクタ番号) << 1) となります。ここで << 1 は 1 ビットの左シフトを表します。

たとえば、DTVEC6 ~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。

9.2.9 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット :	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W							

MSTPCRA は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA6 ビットを 1 にセットすると、バスサイクルの終了時点で DTC は動作を停止してモジュールストップモードへ遷移します。ただし、DTC が起動中の場合、MSTPA6 ビットに 1 をライトすることはできません。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRA は、パワーオンリセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット6 : モジュールストップ (MSTPA6)

DTCのモジュールストップモードを指定します。

ビット 6	説 明
MSTPA6	
0	DTC のモジュールストップモード解除 (初期値)
1	DTC のモジュールストップモード設定

9.3 動作説明

9.3.1 概要

DTC は、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャンネル数のデータ転送を行うことができます。また、CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます。

図 9.2 に DTC の動作フローチャートを示します。

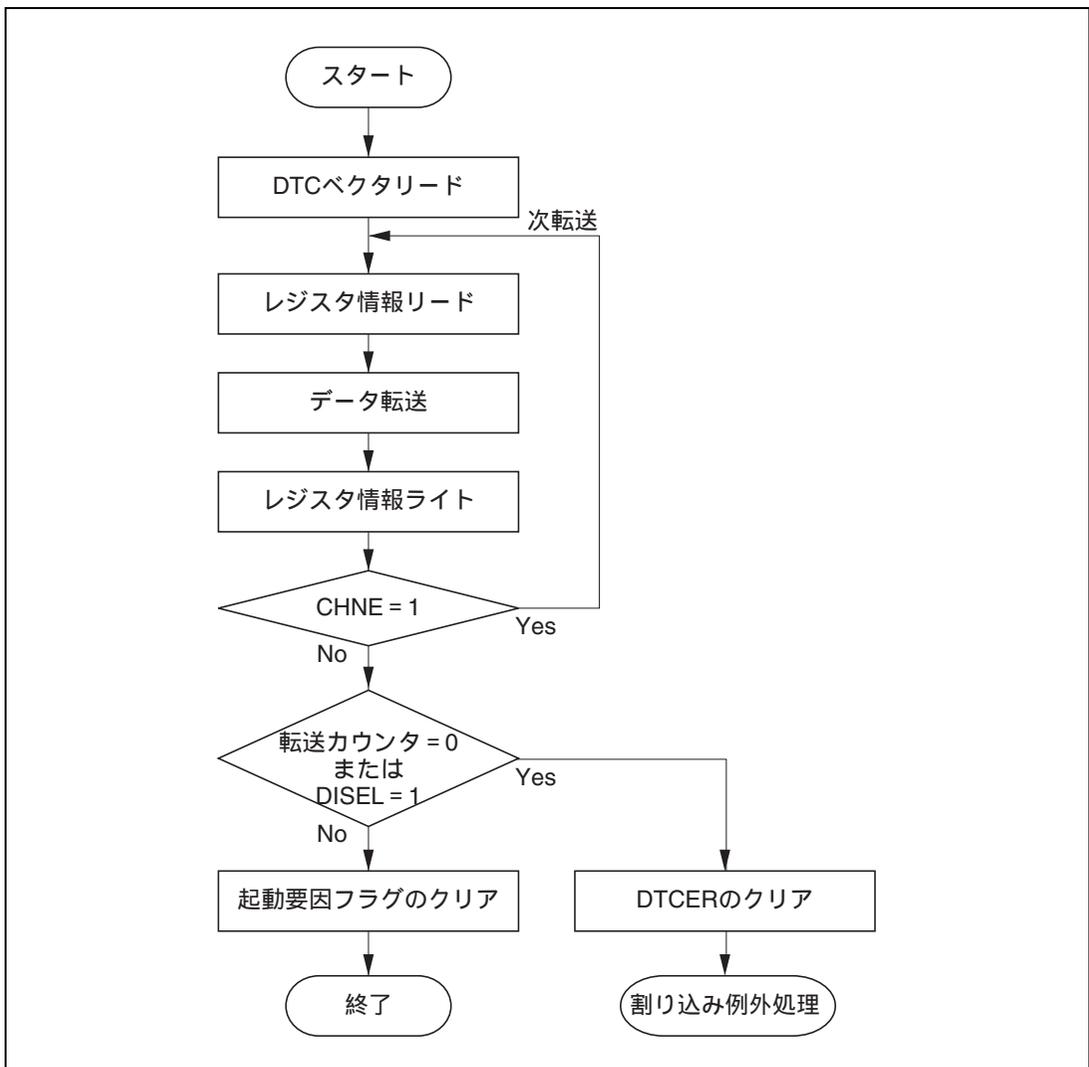


図 9.2 DTC 動作フローチャート

DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTC は、転送元アドレスを 24 ビット長の SAR、転送先アドレスを 24 ビット長の DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定とされます。

表 9.2 に、DTC の機能概要を示します。

表 9.2 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
<p>(1) ノーマルモード</p> <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 転送回数は 1 ~ 65536 <p>(2) リピートモード</p> <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 指定回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 <p>(3) ブロック転送モード</p> <ul style="list-style-type: none"> • 1 回の転送要求で指定したブロックサイズの転送 • ブロックサイズ 1 ~ 256 バイトまたはワード • 転送回数は 1 ~ 65536 • ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 	<ul style="list-style-type: none"> • IRQ • TPU の TGI • 8 ビットタイマの CMI • SCI の TXI、RXI • A/D 変換器の ADI • DMAC の DEND • ソフトウェア 	24 ビット	24 ビット

9.3.2 起動要因

DTC は、割り込み要因、もしくはソフトウェアによる DTVECR へのライト動作を起動要因として動作します。割り込み要因を、CPU に対する割り込み要求とするか、DTC の起動要因とするかは、割り込み要因ごとに DTCER の対応するビットで指定します。

対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると、CPU の割り込み要因となります。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因または DTCER の対応するビットをクリアします。表 9.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、たとえば RXI0 の場合、SCI0 の RDRF フラグになります。

表 9.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> • SWDTE ビットは 1 を保持 • CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> • DTCER の対応するビットは 1 を保持 • 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> • DTCER の対応するビットは 0 にクリア • 起動要因フラグは 1 を保持 • 起動要因となった割り込みを CPU に要求

図 9.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

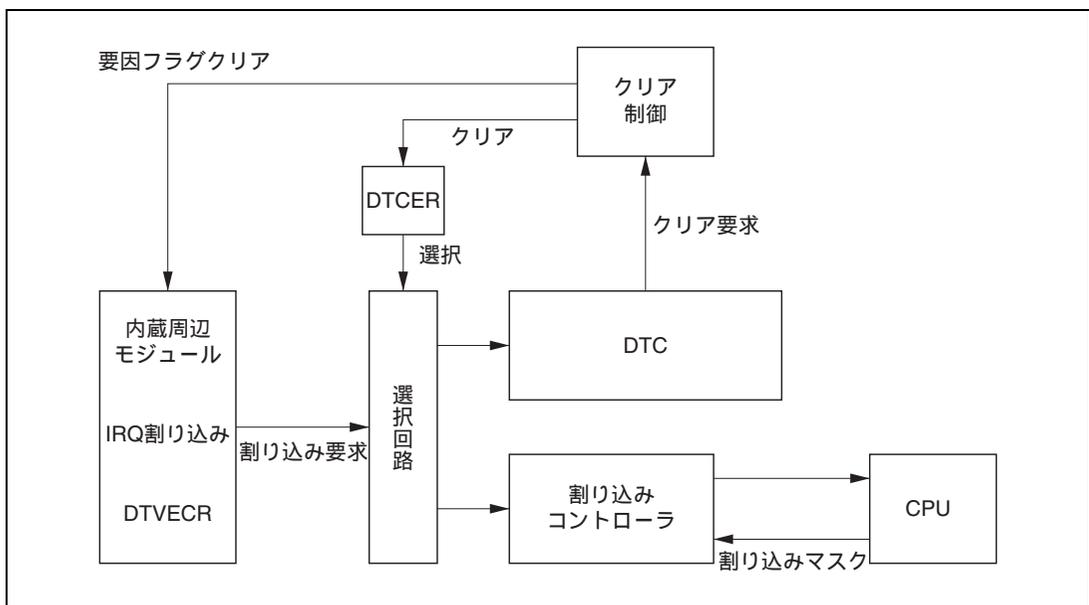


図 9.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位に従って受け付けられ、DTC が起動されます。

9.3.3 DTC ベクタテーブル

図 9.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 9.4 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは $H'0400+(DTVECR[6:0] \ll 1)$ で求めます ($\ll 1$ は 1 ビットの左シフトを表します)。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモード*とアドバンスモードとは同じです。ともに 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

【注】 * 本 LSI では使用できません。

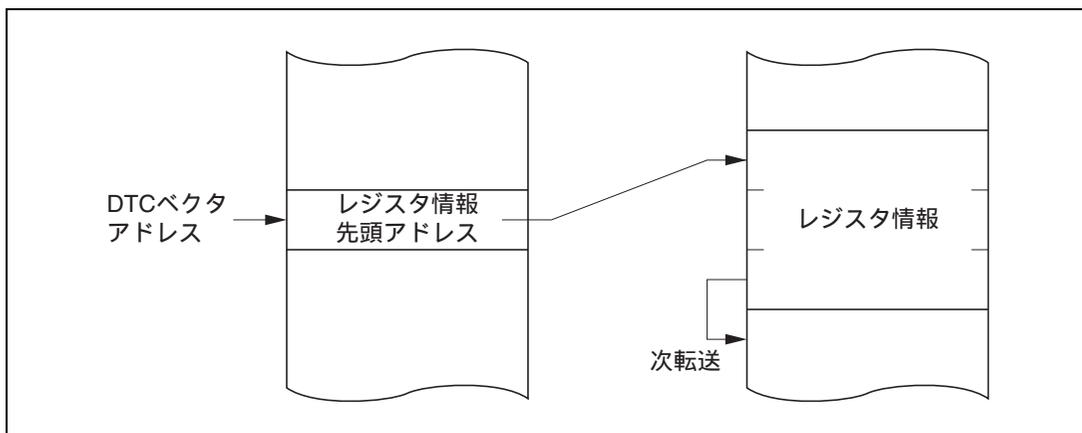


図 9.4 DTC ベクタアドレスとレジスタ情報との対応

表 9.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位	
DTVECR へのライト	ソフトウェア	DTVECR	H'0400 +	-	↑	
			(DTVECR[6:0])			
			< < 1)			
IRQ0	外部端子	16	H'0420	DTCEA7	↑	
IRQ1		17	H'0422	DTCEA6		
IRQ2		18	H'0424	DTCEA5		
IRQ3		19	H'0426	DTCEA4		
IRQ4		20	H'0428	DTCEA3		
IRQ5		21	H'042A	DTCEA2		
IRQ6		22	H'042C	DTCEA1		
IRQ7		23	H'042E	DTCEA0		
ADI (A/D 変換終了)	A/D	28	H'0438	DTCEB6	↑	
TGI0A(GR0A コンペアマッチ / インブットキャプチャ)	TPU チャンネル 0	32	H'0440	DTCEB5		
TGI0B(GR0B コンペアマッチ / インブットキャプチャ)		33	H'0442	DTCEB4		
TGI0C(GR0C コンペアマッチ / インブットキャプチャ)		34	H'0444	DTCEB3		
TGI0D(GR0D コンペアマッチ / インブットキャプチャ)		35	H'0446	DTCEB2		
TGI1A(GR1A コンペアマッチ / インブットキャプチャ)	TPU チャンネル 1	40	H'0450	DTCEB1		
TGI1B(GR1B コンペアマッチ / インブットキャプチャ)		41	H'0452	DTCEB0		
TGI2A(GR2A コンペアマッチ / インブットキャプチャ)	TPU チャンネル 2	44	H'0458	DTCEC7		
TGI2B(GR2B コンペアマッチ / インブットキャプチャ)		45	H'045A	DTCEC6		
TGI3A(GR3A コンペアマッチ / インブットキャプチャ)	TPU チャンネル 3	48	H'0460	DTCEC5		
TGI3B(GR3B コンペアマッチ / インブットキャプチャ)		49	H'0462	DTCEC4		
TGI3C(GR3C コンペアマッチ / インブットキャプチャ)		50	H'0464	DTCEC3		
TGI3D(GR3D コンペアマッチ / インブットキャプチャ)		51	H'0466	DTCEC2		
TGI4A(GR4A コンペアマッチ / インブットキャプチャ)	TPU チャンネル 4	56	H'0470	DTCEC1		
TGI4B(GR4B コンペアマッチ / インブットキャプチャ)		57	H'0472	DTCEC0		
TGI5A(GR5A コンペアマッチ / インブットキャプチャ)	TPU チャンネル 5	60	H'0478	DTCED5		
TGI5B(GR5B コンペアマッチ / インブットキャプチャ)		61	H'047A	DTCED4		
						↓

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE*	優先順位
CMIA0 (コンペアマッチ A0)	8ビットタイマ チャンネル0	64	H'0480	DTCED3	高 ↑
CMIB0 (コンペアマッチ B0)		65	H'0482	DTCED2	
CMIA1 (コンペアマッチ A1)	8ビットタイマ チャンネル1	68	H'0488	DTCED1	
CMIB1 (コンペアマッチ B1)		69	H'048A	DTCED0	
DEND0A (チャンネル0 / チャンネル0A 転送終了)	DMAC	72	H'0490	DTCEE7	
DEND0B (チャンネル0B 転送終了)		73	H'0492	DTCEE6	
DEND1A (チャンネル1 / チャンネル1A 転送終了)		74	H'0494	DTCEE5	
DEND1B (チャンネル1B 転送終了)		75	H'0496	DTCEE4	
RX10 (受信完了0)	SCI チャンネル0	81	H'04A2	DTCEE3	
TX10 (送信データエンプティ0)		82	H'04A4	DTCEE2	
RX11 (受信完了1)	SCI チャンネル1	85	H'04AA	DTCEE1	
TX11 (送信データエンプティ1)		86	H'04AC	DTCEE0	
RX12 (受信完了2)	SCI チャンネル2	89	H'04B2	DTCEF7	
TX12 (送信データエンプティ2)		90	H'04B4	DTCEF6	
CMIA2 (コンペアマッチ A2)	8ビットタイマ チャンネル2	92	H'04B8	DTCEF5	
CMIB2 (コンペアマッチ B2)		93	H'04BA	DTCEF4	
CMIA3 (コンペアマッチ A3)	8ビットタイマ チャンネル3	96	H'04C0	DTCEF3	
CMIB3 (コンペアマッチ B3)		97	H'04C2	DTCEF2	
IIC10 (1バイト送信 / 受信完了)	IICチャンネル0 【オプション】	100	H'04C8	DTCEF1	
IIC11 (1バイト送信 / 受信完了)	IICチャンネル1 【オプション】	102	H'04CC	DTCEF0	
RX13 (受信完了3)	SCIチャンネル3	121	H'04F2	DTCEI7	
TX13 (送信データエンプティ3)		122	H'04F4	DTCEI6	
RX14 (受信完了4)	SCIチャンネル4	125	H'04FA	DTCEI5	
TX14 (送信データエンプティ4)		126	H'04FC	DTCEI4	低 ↓

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

9.3.4 アドレス空間上でのレジスタ情報の配置

図 9.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス (ベクタアドレスの内容) から、MRA、SAR、MRB、DAR、CRA、CRB の順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上 (アドレス : H'FFEB00 ~ H'FFEFBF) に配置してください。

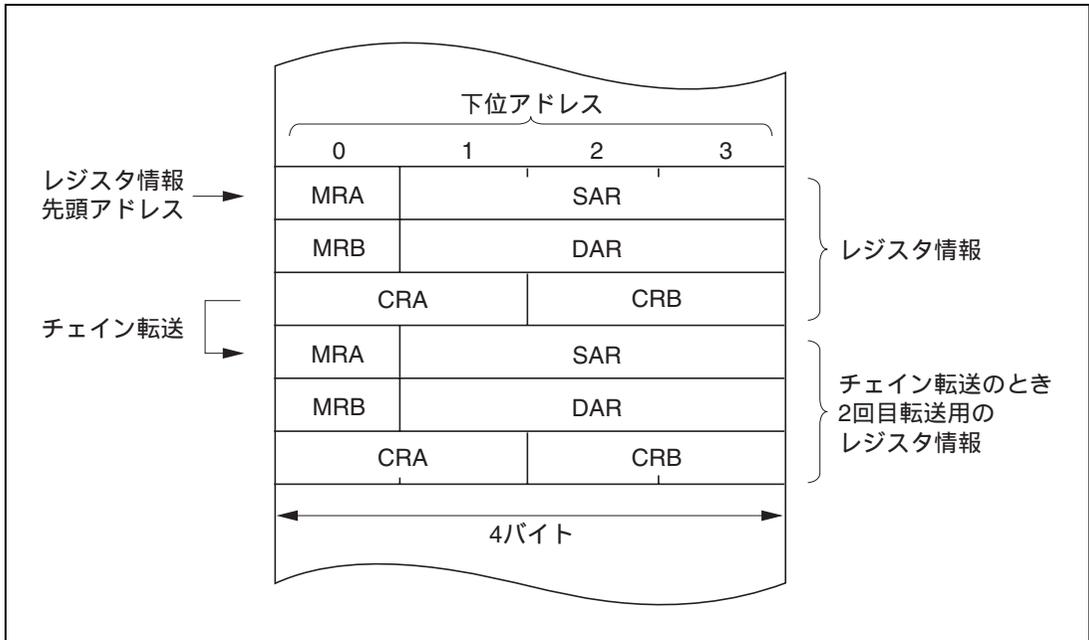


図 9.5 アドレス空間上での DTC レジスタ情報の配置

9.3.5 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1～65536です。指定回数の転送が終了すると、CPUへ割り込みを要求することができます。

表 9.5 にノーマルモードのレジスタ機能を、図 9.6 にノーマルモードのメモリマップを示します。

表 9.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

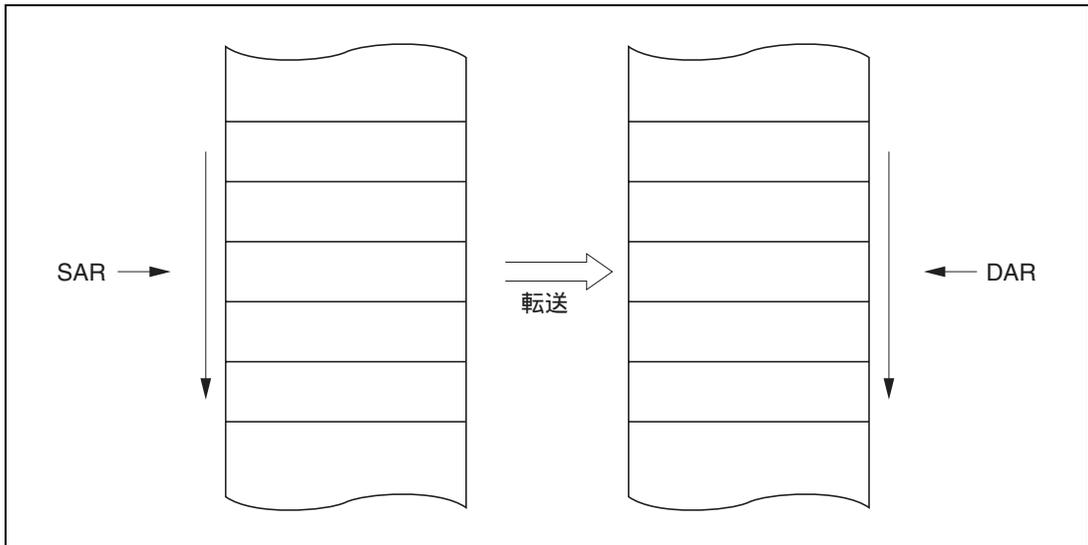


図 9.6 ノーマルモードのメモリマップ

9.3.6 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~256を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00になりませんので、DISEL=0の場合、CPUへの割り込みは要求されません。

表 9.6 にリピートモードのレジスタ機能を、図 9.7 にリピートモードのメモリマップを示します。

表 9.6 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

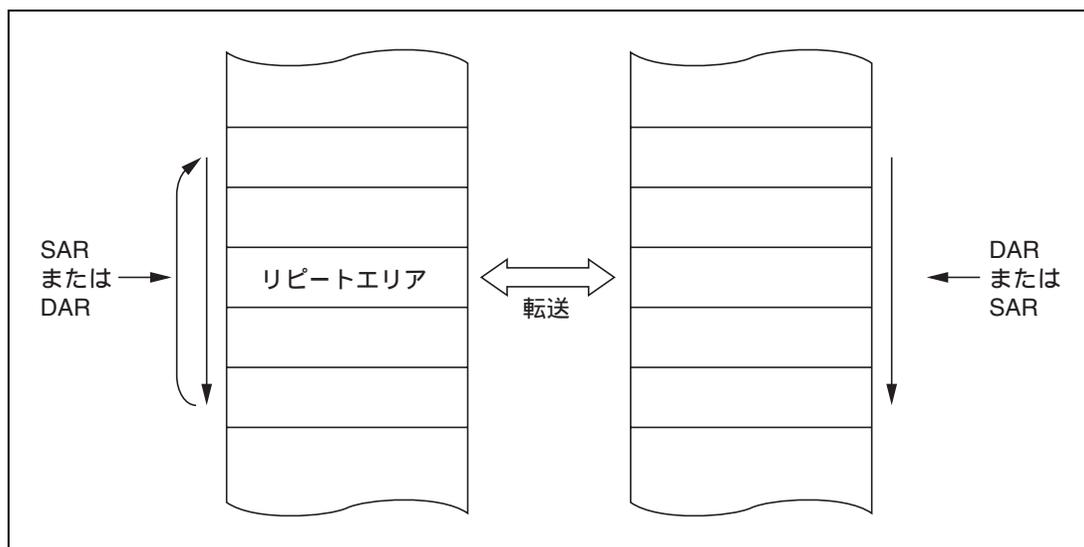


図 9.7 リピートモードのメモリマップ

9.3.7 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256です。1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定とされます。

転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込みを要求することができます。表9.7にブロック転送モードのレジスタ機能を、図9.8にブロック転送モードのメモリマップを示します。

表 9.7 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

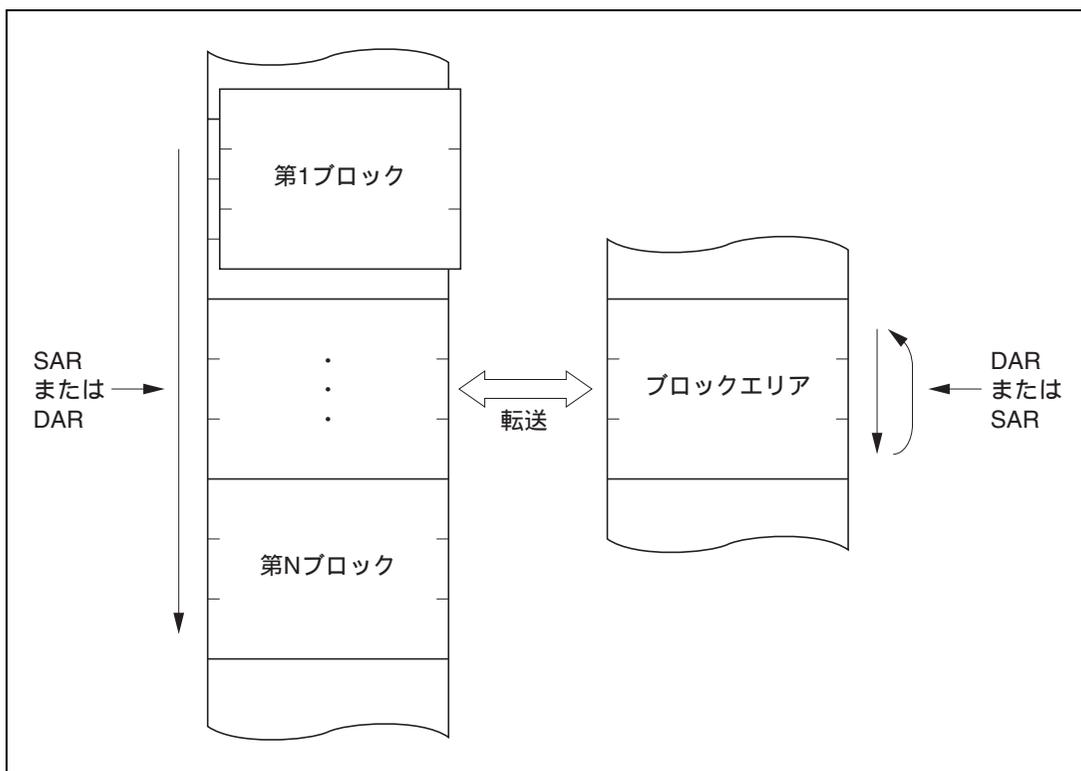


図 9.8 ブロック転送モードのメモリマップ

9.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB、MRA、および MRB はおのおの独立に設定できます。

図 9.9 にチェイン転送のメモリマップを示します。

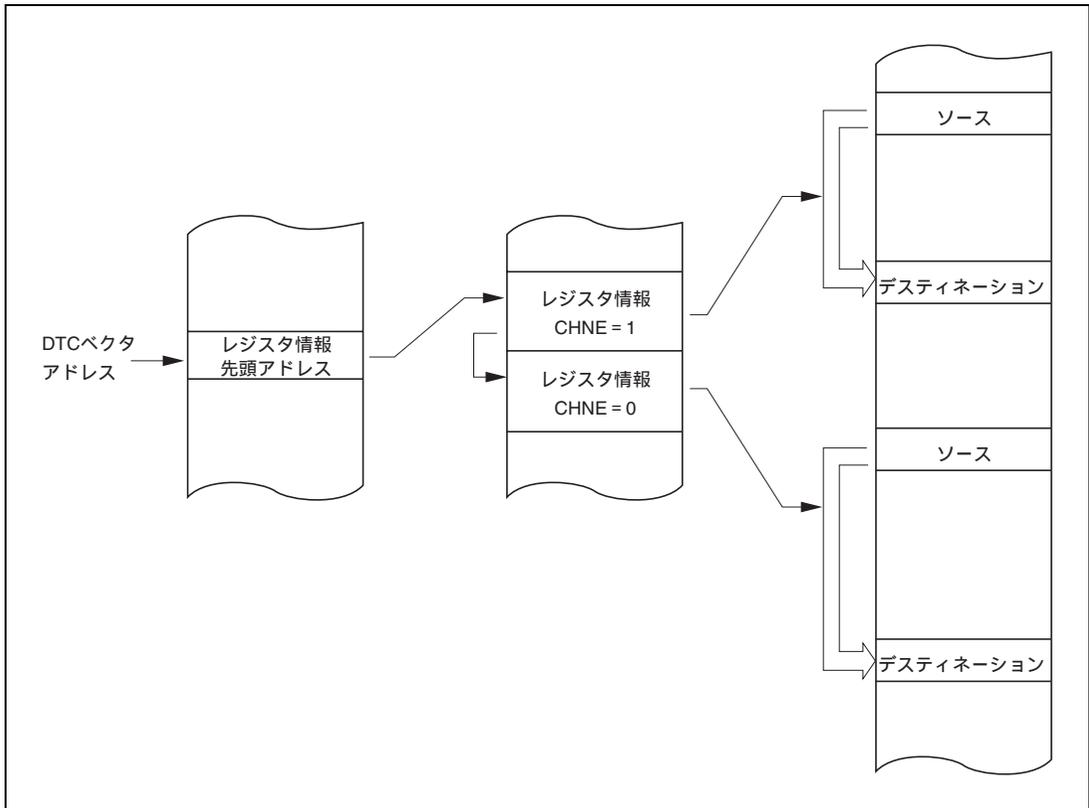


図 9.9 チェイン転送のメモリマップ

CHNE = 1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

9.3.9 動作タイミング

図 9.10～図 9.12 に、DTC の動作タイミングの例を示します。

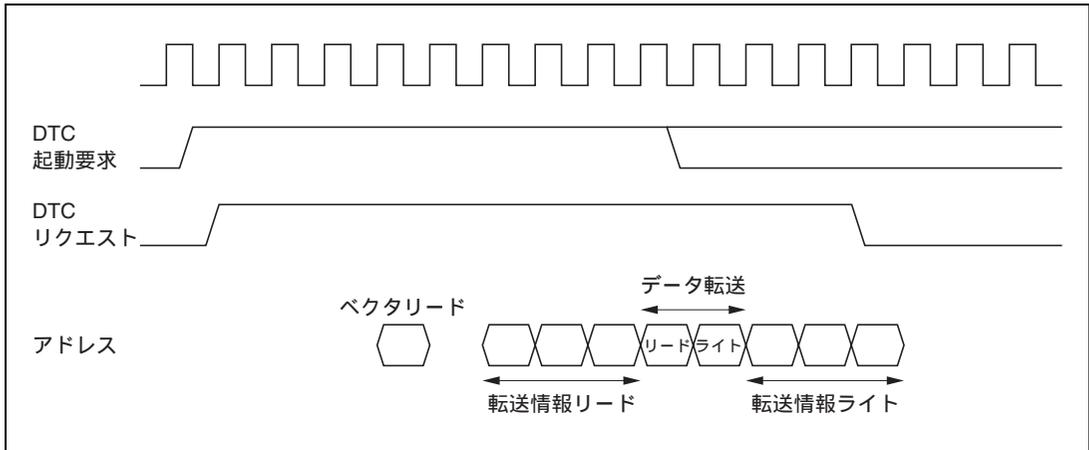


図 9.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

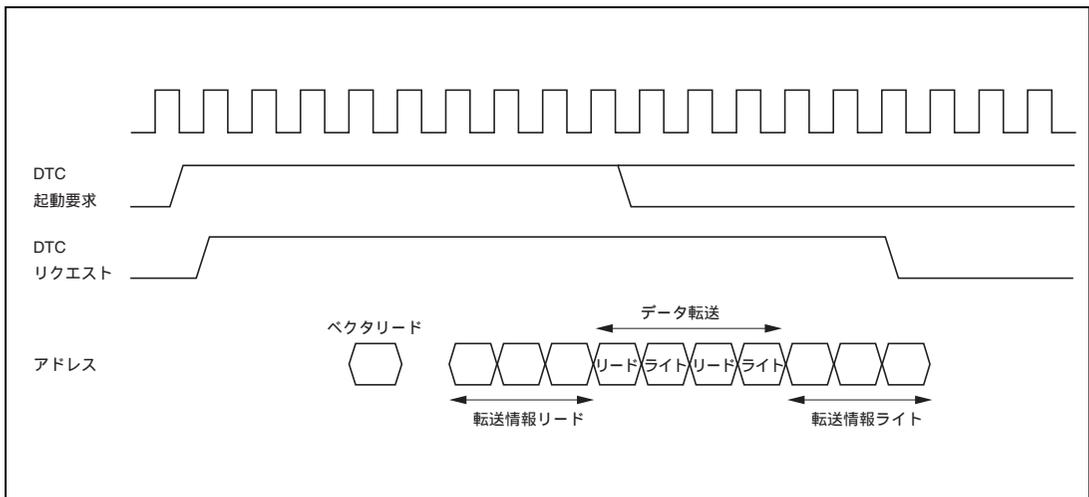


図 9.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

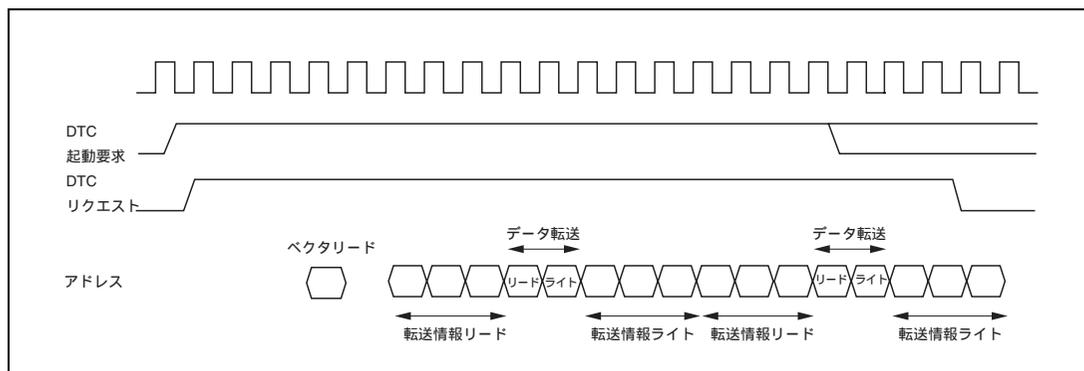


図 9.12 DTC の動作タイミング (チェーン転送の例)

9.3.10 DTC 実行ステート数

表 9.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 9.9 に、実行状態に必要なステート数を示します。

表 9.8 DTC の実行状態

モード	ベクタリード (I)	レジスタ情報 リード/ライト (J)	データリード (K)	データライト (L)	内部動作 (M)
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 9.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード S_i	-	1	-	-	4	$6+2m$	2	$3+m$
	レジスタ情報 S_j リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリード S_k	1	1	2	2	2	$3+m$	2	$3+m$
	ワードデータリード S_k	1	1	4	2	4	$6+2m$	2	$3+m$
	バイトデータライト S_l	1	1	2	2	2	$3+m$	2	$3+m$
	ワードデータライト S_l	1	1	4	2	4	$6+2m$	2	$3+m$
内部動作 S_m		1							

m : 外部デバイスアクセス時のウェイトステート数

実行ステート数は次の計算式で計算されます。なお、 S_i は1つの起動要因で転送する回数分 (CHNE ビットを1にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

9.3.11 DTC 使用手順

(1) 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEを1にセットしてください。

(2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

9.3.12 DTC 使用例

(1) ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 ($SM1 = SM0 = 0$)、デスティネーションアドレスインクリメント ($DM1 = 1$, $DM0 = 0$)、ノーマルモード ($MD1 = MD0 = 0$)、バイトサイズ ($Sz = 0$) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 ($CHNE = 0$, $DISEL = 0$) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(2) チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピートモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 ($CHNE = 0$ の時の転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント ($SM1 = 1$, $SM0 = 0$)、デスティネーションアドレス固定 ($DM1 = DM0 = 0$)、リピートモード ($MD1 = 0$, $MD0 = 1$)、ワードサイズ ($Sz = 1$) を設定します。ソース側をリピート領域 ($DTS = 1$) に設定します。MRBはチェインモード ($CHNE = 1$, $DISEL = 0$) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント ($SM1 = 1$, $SM0 = 0$)、デスティネーションアドレス固定 ($DM1 = DM0 = 0$)、ノーマルモード ($MD1 = MD0 = 0$)、ワードサイズ ($Sz = 1$) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
3. NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。
4. NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
5. DTCERのTGIAに対応するビットを1にセットします。

6. TIORでTGRAをアウトプットコンペアレジスタ (出力禁止) に設定し、TIERでTGIA割り込みを許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後 (TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(3) ソフトウェア起動

DTCの使用例として、ソフトウェア起動による1ブロック128バイトのデータ転送を行う例を示します。転送元アドレスはH'1000、転送先アドレスはH'2000です。ベクタ番号はH'60、したがって、ベクタアドレスはH'04C0です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1とともに、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3]と[4]の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTE割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

9.4 割り込み

DTCが指定された回数のデータ転送を終了したとき、およびDISELビットが1にセットされたデータ転送を終了したとき、CPUに対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらのCPUに対する割り込みはCPUのマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

9.5 使用上の注意

(1) モジュールストップ

MSTPCRA の MSTPA6 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTPA6 ビットに 1 をライトできません。

(2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

(3) DMAC 転送終了割り込み

DMAC 転送終了割り込みで DTC を起動したとき、転送カウンタ、DISEL ビットにかかわらず、DMAC の DTE ビットは DTC の制御を受けず、ライトデータが優先されます。このため、DTC の転送カウンタが 0 になった場合でも、CPU への割り込みが発生しない場合があります。

(4) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

10A. I/O ポート

(H8S/2633、H8S/2632、H8S/2631、H8S/2633R)

10A.1 概要

本 LSI には、10 本の入出力ポート (ポート 1、3、7、A~G) と 2 本の入力専用ポート (ポート 4、9) があります。

ポート機能一覧を表 10A.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と、出力データを格納するデータレジスタ (DR) と、端子の状態をリードするポートレジスタ (PORT) から構成されています。なお、入力専用ポートには DR、DDR はありません。

本 LSI のポート A~E には、入力プルアップ MOS が内蔵されており、DDR、DR のほかに、入力プルアップ MOS コントロールレジスタ (PCR) で、入力プルアップ MOS のオン/オフを制御します。

本 LSI のポート 3、A~C には、オープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン/オフを制御します。

ポート 10~13、70~73、A~G は、拡張バス制御信号出力端子として使用する場合、1 個の TTL 負荷と 50pF の容量負荷を駆動することができ、それ以外の場合とポート 14~17、3、74~77 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

各ポートのブロック図は、「付録 C I/O ポートのブロック図」を参照してください。

表 10A.1 ポートの機能一覧

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート 1	<ul style="list-style-type: none"> 8 ビットの入出力ポート シュミットトリガ入力 (P16、P14) 	P17/PO15/TIOCB2/ PWM3/TCLKD P16/PO14/TIOCA2/ PWM2/ $\overline{\text{IRQ1}}$ P15/PO13/TIOCB1/ TCLKC P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$ P13/PO11/TIOCD0/ TCLKB/A23 P12/PO10/TIOCC0/ TCLKA/A22 P11/PO9/TIOCB0/ $\overline{\text{DACK1}}$ /A21 P10/PO8/TIOCA0/ $\overline{\text{DACK0}}$ /A20	DMA コントローラの入出力端子 ($\overline{\text{DACK0}}$ 、 $\overline{\text{DACK1}}$) と TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と PPG の出力端子 (PO15 ~ PO8) と割り込み入力端子 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$) と 14 ビット PWM 出力端子 (PWM2、PWM3) とアドレス出力 (A20 ~ A23) と 8 ビット入出力ポートとの兼用			DMA コントローラの入出力端子 ($\overline{\text{DACK0}}$ 、 $\overline{\text{DACK1}}$) と TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と PPG の出力端子 (PO15 ~ PO8) と割り込み入力端子 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$) と 14 ビット PWM 出力端子 (PWM2、PWM3) と 8 ビット入出力ポートとの兼用
ポート 3	<ul style="list-style-type: none"> 8 ビットの入出力ポート オープンドレイン出力可能 シュミットトリガ入力 (P35、P32) 	P37/TxD4 P36/RxD4 P35/SCK1/SCK4/SCL0/ $\overline{\text{IRQ5}}$ P34/RxD1/SDA0 P33/TxD1/SCL1 P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$ P31/RxD0/IrRxD P30/TxD0/IrTxD	SCI (チャンネル 0、1、4) の入出力端子 (TxD0、RxD0、SCK0、IrTxD、IrRxD、TxD1、RxD1、SCK1、TxD4、RxD4、SCK4) と割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) と IIC (チャンネル 0、1) の入出力端子 (SCL0、SDA0、SCL1、SDA1) と 8 ビット入出力ポートの兼用			
ポート 4	<ul style="list-style-type: none"> 8 ビットの入力ポート 	P47/AN7/DA1 P46/AN6/DA0 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0	A/D 変換器のアナログ入力 (AN7 ~ AN0) と D/A 変換器のアナログ出力 (DA1、DA0) と 8 ビット入力ポートの兼用			

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート 7	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	P77/TxD3 P76/RxD3 P75/TMO3/SCK3 P74/TMO2/MRES P73/TMO1/TEND1/ CS7 P72/TMO0/TEND0/ CS6 P71/TMRI23/TMCI23/ DREQ1/CS5 P70/TMRI01/TMCI01/ DREQ0/CS4	8 ビットタイマの入出力端子 (TMRI01、TMCI01、TMRI23、TMCI23、TMO0、TMO1、TMO2、TMO3) DMAC の入出力端子 (DREQ0、TEND0、DREQ1、TEND1)、バス制御出力端子 (CS4 ~ CS7)、SCI の入出力端子 (SCK3、RxD3、TxD3)、マニュアルリセット入力端子 (MRES) と 8 ビット入出力ポートの兼用			8 ビットタイマの入出力端子 (TMRI01、TMCI01、TMRI23、TMCI23、TMO0、TMO1、TMO2、TMO3) DMAC の入出力端子 (DREQ0、TEND0、DREQ1、TEND1)、SCI の入出力端子 (SCK3、RxD3、TxD3)、マニュアルリセット入力端子 (MRES) と 8 ビット入出力ポートの兼用
ポート 9	<ul style="list-style-type: none"> 8 ビットの入力ポート 	P97/AN15/DA3 P96/AN14/DA2 P95/AN13 P94/AN12 P93/AN11 P92/AN10 P91/AN9 P90/AN8	A/D 変換器のアナログ入力 (AN15 ~ AN8) と D/A 変換器のアナログ出力 (DA3、DA2) と 8 ビット入力ポートの兼用			
ポート A	<ul style="list-style-type: none"> 4 ビットの入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PA3/A19/SCK2 PA2/A18/RxD2 PA1/A17/TxD2 PA0/A16	SCI (チャンネル 2) の入出力端子 (TxD2、RxD2、SCK2) とアドレス出力 (A19 ~ A16) と 4 ビット入出力ポートとの兼用			SCI (チャンネル 2) の入出力端子 (TxD2、RxD2、SCK2) と 4 ビット入出力ポートとの兼用

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート B	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PB7/A15/TIOCB5 PB6/A14/TIOCA5 PB5/A13/TIOCB4 PB4/A12/TIOCA4 PB3/A11/TIOCD3 PB2/A10/TIOCC3 PB1/A9/TIOCB3 PB0/A8/TIOCA3	TPU の入出力端子 (TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3) とアドレス出力 (A15 ~ A8) と 8 ビットの入出力ポートの兼用			TPU の入出力端子 (TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3) と 8 ビットの入出力ポートとの兼用
ポート C	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PC7/A7/PWM1 PC6/A6/PWM0 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	14 ビット PWM (チャンネル 1、0) の出力端子 (PWM1、PWM0) とアドレス出力 (A7 ~ A0) と 8 ビット入出力ポートとの兼用			14 ビット PWM (チャンネル 1、0) の出力端子 (PWM1、PWM0) と 8 ビット入出力ポートとの兼用
ポート D	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PD7/D15 PD6/D14 PD5/D13 PD4/D12 PD3/D11 PD2/D10 PD1/D9 PD0/D8	データバス入出力			入出力ポート
ポート E	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	8 ビットバスモードのとき入出力ポート 16 ビットバスモードのときデータバス入出力			入出力ポート

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート F	• 8 ビットの 入出力ポート	PF7/ 	DDR = 0 のとき入力ポート DDR = 1 のとき (リセット後) 出力			DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき 出力
		PF6/ \overline{AS} / \overline{LCAS} PF5/ \overline{RD} PF4/ \overline{HWR} PF3 \overline{LWR} / \overline{ADTRG} / $\overline{IRQ3}$	RD、HWR、LWR 出力 \overline{ADTRG} 、 $\overline{IRQ3}$ 入力 LCASS = 0 のとき \overline{AS} 出力、 RMTS2 ~ RMTS0 = B'001 ~ B'011、CW2 = 0、 LCASS = 1 のとき \overline{LCAS} 出力	入出力ポート \overline{ADTRG} 、 $\overline{IRQ3}$ 入力		
		PF2/ \overline{LCAS} / \overline{WAIT} / \overline{BREQO}	WAITE = 0、BREQOE = 0 のとき (リセット後) 入出力ポート WAITE = 1、BREQOE = 0 のとき \overline{WAIT} 入力 WAITE = 0、BREQOE = 1 のとき \overline{BREQO} 入力 RMTS2 ~ RMTS0 = B'001 ~ B'011、CW2 = 0、 LCASS = 0 のとき \overline{LCAS} 出力	入出力ポート		
		PF1/ \overline{BACK} / \overline{BUZZ} PF0/ \overline{BREQ} / $\overline{IRQ2}$	BRLE = 0 のとき (リセット後) 入出力ポート BRLE = 1 のとき \overline{BREQ} 入力、 \overline{BACK} 出力 BUZZ 出力、 $\overline{IRQ2}$ 入力	BUZZ 出力 $\overline{IRQ2}$ 入力 入出力ポート		
ポート G	• 5 ビットの 入出力ポート	PG4/ $\overline{CS0}$	DDR = 0 のとき*1 入力ポート DDR = 1 のとき*2 $\overline{CS0}$ 出力			入出力ポート
		PG3/ $\overline{CS1}$ PG2/ $\overline{CS2}$ PG1/ $\overline{CS3}$ / \overline{OE} / $\overline{IRQ7}$	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき $\overline{CS1}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 出力 OE 出力、 $\overline{IRQ7}$ 入力	入出力ポート $\overline{IRQ7}$ 入力		
		PG0/ \overline{CAS} / $\overline{IRQ6}$	DRAM 空間設定のとき \overline{CAS} 出力 上記以外のとき (リセット後) 入出力ポート $\overline{IRQ6}$ 入力	入出力ポート $\overline{IRQ6}$ 入力		

【注】 *1 モード 6 のリセット後

*2 モード 4、5 のリセット後

10A.2 ポート 1

10A.2.1 概要

ポート1は、8ビットの入出力ポートです。ポート1は、PPGの出力端子(P015～P08)TPUの入出力端子(TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、DMACの出力端子($\overline{DACK0}$ 、 $\overline{DACK1}$)、14ビットPWM出力端子(PWM2、PWM3)、外部割り込み入力端子($\overline{IRQ0}$ 、 $\overline{IRQ1}$)、アドレスバス出力端子(A23～A20)と兼用になっています。ポート1の端子機能は動作モードによって切り替わります。

ポート1の各端子の構成を図10A.1に示します。

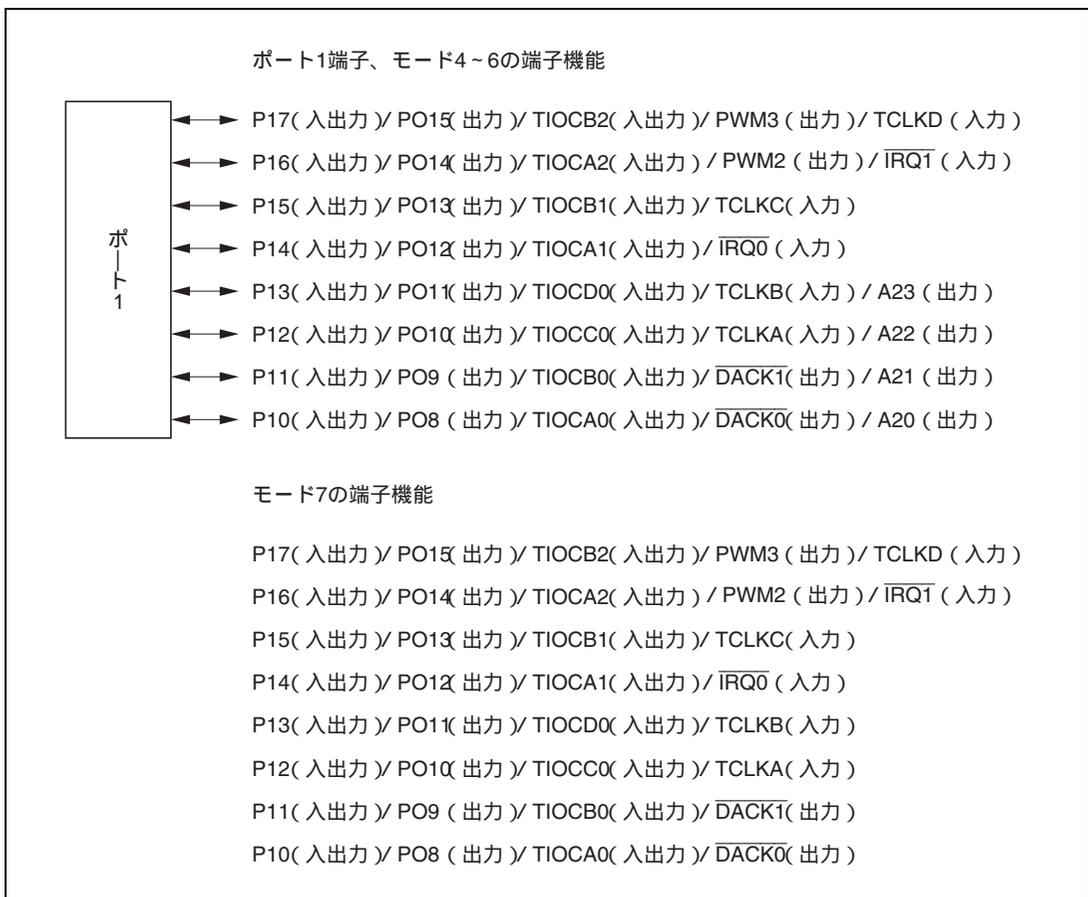


図 10A.1 ポート 1 の端子機能

10A.2.2 レジスタ構成

表 10A.2 にポート 1 のレジスタ構成を示します。

表 10A.2 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FE30
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF00
ポート 1 レジスタ	PORT1	R	不定	H'FFB0

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。

P1DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。マニュアルリセットでは PPG、TPU、DMAC、PWM は初期化されるため、P1DDR、P1DR の指定によって端子状態が決定されます。

(2) ポート 1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 (P17~P10) の出力データを格納します。

P1DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート1 レジスタ (PORT1)

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P17～P10端子の状態により決定されます。

PORT1 は、8ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート1の各端子 (P17～P10) の出力データのライトは必ず PIDR に対して行ってください。

PIDDR が1にセットされているとき、PORT1のリードを行うとPIDRの値をリードします。PIDDRが0にクリアされているとき、PORT1のリードを行うと端子の状態が読み出されます。

PORT1は、パワーオンリセットまたはハードウェアスタンバイモードではPIDDR、PIDRが初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.2.3 端子機能

ポート 1 の各端子は、PPG の出力端子 (PO15 ~ PO8)、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、DMAC の出力端子 (DACK0、DACK1) 外部割り込み入力端子 (IRQ0、IRQ1)、14 ビット PWM 出力端子 (PWM2、PWM3)、アドレスバス出力端子 (A23 ~ A20) と兼用になっています。ポート 1 の端子機能を表 10A.3 に示します。

表 10A.3 ポート 1 の端子機能

端子	選択方法と端子機能						
P17/PO15/ TIOCB2/ PWM3/ TCLKD	TMDR2 の MD3 ~ MD0 ビット、TIOCR2 の IOB3 ~ IOB0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、TCR0、TCR5 の TPSC2 ~ TPSC0 ビット、DACR3 の OEB ビット、NDERH の NDER15 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル2の設定	下表 (1)	下表 (2)				
	OEB	-	0	0	0	1	
	P17DDR	-	0	1	1	-	
	NDER15	-	-	0	1	-	
	端子機能	TIOCB2出力	P17入力	P17出力	PO15出力	PWM3出力	
			TIOCB2入力*1				
		TCLKD入力*2					
	【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB2 入力となります。						
	*2 TCR0、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 の場合に TCLKD 入力となります。また、チャネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。						
	TPUチャネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0		B'0000、B'01xx	B'0010	B'0011		
	IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	x : Don't care						

端子	選択方法と端子機能						
P16/PO14/ TIOCA2/ PWM2/ $\overline{\text{IRQ1}}$	TMDR2 の MD3 ~ MD0 ビット、TIOA2 の IOA3 ~ IOA0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、DACR3 の OEA ビット、NDERH の NDER14 ビット、および P16DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル2の設定	下表 (1)		下表 (2)			
	OEA	-		0	0	0	1
	P16DDR	-		0	1	1	-
	NDER14	-		-	0	1	-
	端子機能	TIOCA2出力		P16入力	P16出力	PO14出力	PWM2出力
				TIOCA2入力*1			
		$\overline{\text{IRQ1}}$ 入力					
	TPUチャンネル2の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'01以外	B'01
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
		x : Don't care					
	【注】	*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA2 入力となります。					
		*2 TIOCB2 は出力禁止となります。					

端子	選択方法と端子機能																																																															
P15/PO13/ TIOCB1/ TCLKC	<p>TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOB3 ~ IOB0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR0、TCR2、TCR4、TCR5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER13 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1" data-bbox="312 421 1190 691"> <thead> <tr> <th data-bbox="312 421 513 465">TPUチャンネル1の設定</th> <th data-bbox="513 421 852 465">下表 (1)</th> <th colspan="3" data-bbox="852 421 1190 465">下表 (2)</th> </tr> </thead> <tbody> <tr> <td data-bbox="312 465 513 510">P15DDR</td> <td data-bbox="513 465 852 510">-</td> <td data-bbox="852 465 965 510">0</td> <td data-bbox="965 465 1079 510">1</td> <td data-bbox="1079 465 1190 510">1</td> </tr> <tr> <td data-bbox="312 510 513 554">NDER13</td> <td data-bbox="513 510 852 554">-</td> <td data-bbox="852 510 965 554">-</td> <td data-bbox="965 510 1079 554">0</td> <td data-bbox="1079 510 1190 554">1</td> </tr> <tr> <td data-bbox="312 554 513 691" rowspan="3">端子機能</td> <td data-bbox="513 554 852 645" rowspan="2">TIOCB1出力</td> <td data-bbox="852 554 965 598">P15入力</td> <td data-bbox="965 554 1079 598">P15出力</td> <td data-bbox="1079 554 1190 598">PO13出力</td> </tr> <tr> <td colspan="3" data-bbox="852 598 1190 645">TIOCB1入力*1</td> </tr> <tr> <td colspan="5" data-bbox="513 645 1190 691">TCLKC入力*2</td> </tr> </tbody> </table> <p>【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB1 入力となります。 *2 TCR0、TCR2 のいずれかの設定が TPSC2 ~ TPSC0 = B'110 または TCR4、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKC 入力となります。 また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。</p> <table border="1" data-bbox="312 871 1190 1190"> <thead> <tr> <th data-bbox="312 871 513 915">TPUチャンネル1の設定</th> <th data-bbox="513 871 587 915">(2)</th> <th data-bbox="587 871 814 915">(1)</th> <th data-bbox="814 871 893 915">(2)</th> <th data-bbox="893 871 965 915">(2)</th> <th data-bbox="965 871 1044 915">(1)</th> <th data-bbox="1044 871 1190 915">(2)</th> </tr> </thead> <tbody> <tr> <td data-bbox="312 915 513 960">MD3 ~ MD0</td> <td colspan="2" data-bbox="513 915 814 960">B'0000、B'01xx</td> <td data-bbox="814 915 893 960">B'0010</td> <td colspan="3" data-bbox="893 915 1190 960">B'0011</td> </tr> <tr> <td data-bbox="312 960 513 1097">IOB3 ~ IOB0</td> <td data-bbox="513 960 587 1097">B'0000 B'0100 B'1xxx</td> <td data-bbox="587 960 814 1097">B'0001 ~ B'0011 B'0101 ~ B'0111</td> <td data-bbox="814 960 893 1097">-</td> <td data-bbox="893 960 965 1097">B'xx00</td> <td colspan="2" data-bbox="965 960 1190 1097">B'xx00以外</td> </tr> <tr> <td data-bbox="312 1097 513 1141">CCLR1、CCLR0</td> <td data-bbox="513 1097 587 1141">-</td> <td data-bbox="587 1097 814 1141">-</td> <td data-bbox="814 1097 893 1141">-</td> <td data-bbox="893 1097 965 1141">-</td> <td data-bbox="965 1097 1044 1141">B'10以外</td> <td data-bbox="1044 1097 1190 1141">B'10</td> </tr> <tr> <td data-bbox="312 1141 513 1190">出力機能</td> <td data-bbox="513 1141 587 1190">-</td> <td data-bbox="587 1141 814 1190">アウトプットコンペア出力</td> <td data-bbox="814 1141 893 1190">-</td> <td data-bbox="893 1141 965 1190">-</td> <td data-bbox="965 1141 1044 1190">PWMモード2出力</td> <td data-bbox="1044 1141 1190 1190">-</td> </tr> </tbody> </table> <p style="text-align: right;">x : Don't care</p>	TPUチャンネル1の設定	下表 (1)	下表 (2)			P15DDR	-	0	1	1	NDER13	-	-	0	1	端子機能	TIOCB1出力	P15入力	P15出力	PO13出力	TIOCB1入力*1			TCLKC入力*2					TPUチャンネル1の設定	(2)	(1)	(2)	(2)	(1)	(2)	MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011			IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外		CCLR1、CCLR0	-	-	-	-	B'10以外	B'10	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
TPUチャンネル1の設定	下表 (1)	下表 (2)																																																														
P15DDR	-	0	1	1																																																												
NDER13	-	-	0	1																																																												
端子機能	TIOCB1出力	P15入力	P15出力	PO13出力																																																												
		TIOCB1入力*1																																																														
	TCLKC入力*2																																																															
TPUチャンネル1の設定	(2)	(1)	(2)	(2)	(1)	(2)																																																										
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011																																																												
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外																																																											
CCLR1、CCLR0	-	-	-	-	B'10以外	B'10																																																										
出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-																																																										

端子	選択方法と端子機能						
P14/PO12/ TIOCA1/ $\overline{\text{IRQ0}}$	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOA3 ~ IOA0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、NDERH の NDER12 ビット、および P14DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル1の設定	下表 (1)			下表 (2)		
	P14DDR	-			0	1	1
	NDER12	-			-	0	1
	端子機能	TIOCA1出力			P14入力	P14出力	PO12出力
					TIOCA1入力*1		
		$\overline{\text{IRQ0}}$ 入力					
	TPUチャンネル1の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'01以外	B'01
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
		x : Don't care					
	【注】	*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA1 入力となります。					
		*2 TIOCB1 は出力禁止となります。					

端子	選択方法と端子機能							
P13/PO11/ TIOCD0/ TCLKB/A23	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOR0L の IOD3 ~ IOD0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR0 ~ TCR2 の TPSC2 ~ TPSC0 ビット、PFCR の AE3 ~ AE0 ビット、NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。							
動作モード		モード4 ~ 6						
AE3 ~ AE0	B'0000 ~ B'1110				B'1111			
TPUチャンネル0の設定	下表 (1)	下表 (2)			-			
P13DDR	-	0	1	1	-			
NDER11	-	-	0	1	-			
端子機能	TIOCD0出力	P13入力	P13出力	PO11出力	A23出力			
	TIOCD0入力*1							
	TCLKB入力*2							
動作モード		モード7						
AE3 ~ AE0	-							
TPUチャンネル0の設定	下表 (1)	下表 (2)						
P13DDR	-	0	1	1				
NDER11	-	-	0	1				
端子機能	TIOCD0出力	P13入力	P13出力	PO11出力				
	TIOCD0入力*1							
	TCLKB入力*2							
<p>【注】 *1 MD3 ~ MD0 = B'0000、かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD0 入力となります。</p> <p>*2 TCR0 ~ TCR2 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKB 入力となります。</p> <p>また、チャンネル 1、5 を位相計数モードに設定すると TCLKB 入力となります。</p>								
TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)		
MD3 ~ MD0	B'0000		B'0010	B'0011				
IOD3 ~ IOD0	B'0000	B'0001 ~ B'0011	-	B'xx00	B'xx00以外			
	B'0100	B'0101 ~ B'0111						
	B'1xxx							
CCLR2 ~ CCLR0	-	-	-	-	B'110以外	B'110		
出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-		
x : Don't care								

端子	選択方法と端子機能																																																																																																																											
P12/PO10/ TIOCC0/ TCLKA/A22	<p>動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOCR0L の IOC3 ~ IOC0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル0 の設定、TCR0 ~ TCR5 の TPSC2 ~ TPSC0 ビット、PFCR の AE3 ~ AE0 ビット、NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="5">モード4~6</th> </tr> </thead> <tbody> <tr> <td>AE3 ~ AE0</td> <td colspan="3">B'0000 ~ B'1110</td> <td colspan="2">B'1111</td> </tr> <tr> <td>TPUチャンネル0の設定</td> <td>下表(1)</td> <td colspan="3">下表(2)</td> <td>-</td> </tr> <tr> <td>P12DDR</td> <td>-</td> <td>0</td> <td>1</td> <td>1</td> <td>-</td> </tr> <tr> <td>NDER10</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="3">端子機能</td> <td rowspan="2">TIOCC0出力</td> <td>P12入力</td> <td>P12出力</td> <td>PO10出力</td> <td rowspan="2">A22出力</td> </tr> <tr> <td colspan="3">TIOCC0入力*1</td> </tr> <tr> <td colspan="5">TCLKA入力*2</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="5">モード7</th> </tr> </thead> <tbody> <tr> <td>AE3 ~ AE0</td> <td colspan="5">-</td> </tr> <tr> <td>TPUチャンネル0の設定</td> <td>下表(1)</td> <td colspan="3">下表(2)</td> <td>-</td> </tr> <tr> <td>P12DDR</td> <td>-</td> <td>0</td> <td>1</td> <td>1</td> <td>-</td> </tr> <tr> <td>NDER10</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> </tr> <tr> <td rowspan="3">端子機能</td> <td rowspan="2">TIOCC0出力</td> <td>P12入力</td> <td>P12出力</td> <td>PO10出力</td> <td rowspan="2">A22出力</td> </tr> <tr> <td colspan="3">TIOCC0入力*1</td> </tr> <tr> <td colspan="5">TCLKA入力*2</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>TPUチャンネル0の設定</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> <th>(1)</th> <th>(2)</th> </tr> </thead> <tbody> <tr> <td>MD3 ~ MD0</td> <td colspan="2">B'0000</td> <td>B'001x</td> <td>B'0010</td> <td colspan="2">B'0011</td> </tr> <tr> <td>IOC3 ~ IOC0</td> <td>B'0000 B'0100 B'1xxx</td> <td>B'0001 ~ B'0011 B'0101 ~ B'0111</td> <td>B'xx00</td> <td>B'xx00以外</td> <td colspan="2">B'xx00以外</td> </tr> <tr> <td>CCLR2 ~ CCLR0</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> <td>B'101以外</td> <td>B'101</td> </tr> <tr> <td>出力機能</td> <td>-</td> <td>アウトプット コンペア出力</td> <td>-</td> <td>PWM *3 モード1出力</td> <td>PWM モード2出力</td> <td>-</td> </tr> </tbody> </table> <p style="text-align: right;">x : Don't care</p> <p>【注】 *1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC0 入力となります。</p> <p>*2 TCR0 ~ TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。 また、チャンネル1、5を位相計数モードに設定すると TCLKA 入力となります。</p> <p>*3 TIOCC0 は出力禁止となります。 TMDR0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。</p>	動作モード	モード4~6					AE3 ~ AE0	B'0000 ~ B'1110			B'1111		TPUチャンネル0の設定	下表(1)	下表(2)			-	P12DDR	-	0	1	1	-	NDER10	-	-	0	1	-	端子機能	TIOCC0出力	P12入力	P12出力	PO10出力	A22出力	TIOCC0入力*1			TCLKA入力*2					動作モード	モード7					AE3 ~ AE0	-					TPUチャンネル0の設定	下表(1)	下表(2)			-	P12DDR	-	0	1	1	-	NDER10	-	-	0	1	-	端子機能	TIOCC0出力	P12入力	P12出力	PO10出力	A22出力	TIOCC0入力*1			TCLKA入力*2					TPUチャンネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)	MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011		IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外		CCLR2 ~ CCLR0	-	-	-	-	B'101以外	B'101	出力機能	-	アウトプット コンペア出力	-	PWM *3 モード1出力	PWM モード2出力	-
動作モード	モード4~6																																																																																																																											
AE3 ~ AE0	B'0000 ~ B'1110			B'1111																																																																																																																								
TPUチャンネル0の設定	下表(1)	下表(2)			-																																																																																																																							
P12DDR	-	0	1	1	-																																																																																																																							
NDER10	-	-	0	1	-																																																																																																																							
端子機能	TIOCC0出力	P12入力	P12出力	PO10出力	A22出力																																																																																																																							
		TIOCC0入力*1																																																																																																																										
	TCLKA入力*2																																																																																																																											
動作モード	モード7																																																																																																																											
AE3 ~ AE0	-																																																																																																																											
TPUチャンネル0の設定	下表(1)	下表(2)			-																																																																																																																							
P12DDR	-	0	1	1	-																																																																																																																							
NDER10	-	-	0	1	-																																																																																																																							
端子機能	TIOCC0出力	P12入力	P12出力	PO10出力	A22出力																																																																																																																							
		TIOCC0入力*1																																																																																																																										
	TCLKA入力*2																																																																																																																											
TPUチャンネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)																																																																																																																						
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011																																																																																																																							
IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外																																																																																																																							
CCLR2 ~ CCLR0	-	-	-	-	B'101以外	B'101																																																																																																																						
出力機能	-	アウトプット コンペア出力	-	PWM *3 モード1出力	PWM モード2出力	-																																																																																																																						

端子	選択方法と端子機能							
P11/PO9/ TIOCB0/ DACK1/A21	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOR0H の IOB3 ~ IOB0 ビットによる TPU チャンネル 0 の設定、PFCR の AE3 ~ AE0 ビット、NDERH の NDER9 ビット、および DMABCRH の SAE1 ビットと P11DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード		モード4~6					
	AE3 ~ AE0	B'0000 ~ B'1101				B'1110 ~ B'1111		
	SAE1	0		1		-		
	TPUチャンネル0の設定	下表(1)	下表(2)			-		
	P11DDR	-	0	1	1	-		
	NDER9	-	-	0	1	-		
	端子機能	TIOCB0出力	P11入力	P11出力	PO9出力	DACK1出力	A21出力	
			TIOCB0入力*					
	動作モード		モード7					
	AE3 ~ AE0	-						
	SAE1	0				1		
	TPUチャンネル0の設定	下表(1)	下表(2)			-		
	P11DDR	-	0	1	1	-		
	NDER9	-	-	0	1	-		
端子機能	TIOCB0出力	P11入力	P11出力	PO9出力	DACK1出力			
		TIOCB0入力*						
【注】 * MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB0 入力となります。								
TPUチャンネル0の設定	(2)	(1)		(2)	(2)	(1)	(2)	
MD3 ~ MD0	B'0000			B'0010	B'0011			
IOB3 ~ IOB0	B'0000	B'0001 ~ B'0011		-	B'xx00	B'xx00以外		
	B'0100	B'0101 ~ B'0111						
	B'1xxx							
CCLR2 ~ CCLR0	-	-		-	-	B'010以外	B'010	
出力機能	-	アウトプットコンペア出力		-	-	PWMモード2出力	-	
x : Don't care								

端子	選択方法と端子機能							
P10/PO8/ TIOCA0/ DACK0/A20	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOA0H の IOA3 ~ IOA0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、PFCR の AE3 ~ AE0 ビット、NDERH の NDER8 ビット、および DMABCRH の SAE0 ビットと P10DDR ビットの組み合わせにより、次のように切り替わります。							
動作モード		モード4~6						
AE3 ~ AE0		B'0000 ~ B'1100				B'1101 ~ B'1111		
SAE0		0		1		-		
TPUチャンネル0の設定		下表(1)	下表(2)			-		
P10DDR		-	0	1	1	-		
NDER8		-	-	0	1	-		
端子機能		TIOCA0出力	P10入力	P10出力	PO8出力	DACK0出力	A20出力	
		TIOCA0入力*1						
動作モード		モード7						
AE3 ~ AE0		-						
SAE0		0				1		
TPUチャンネル0の設定		下表(1)	下表(2)			-		
P10DDR		-	0	1	1	-		
NDER8		-	-	0	1	-		
端子機能		TIOCA0出力	P10入力	P10出力	PO8出力	DACK0出力		
		TIOCA0入力*1						
TPUチャンネル0の設定		(2)	(1)		(2)	(1)	(1)	
MD3 ~ MD0		B'0000		B'001x	B'0010	B'0011		
IOA3 ~ IOA0		B'0000	B'0001 ~ B'0011		B'xx00	B'xx00以外	B'xx00以外	
		B'0100	B'0101 ~ B'0111					
		B'1xxx						
CCLR2 ~ CCLR0		-	-		-	-	B'001以外	
							B'001	
出力機能		-	アウトプット コンペア出力		-	PWM *2 モード1出力	PWM モード2出力	
							-	
							x : Don't care	
【注】		*1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA0 入力となります。						
		*2 TIOCB0 は出力禁止となります。						

10A.3 ポート 3

10A.3.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 は、SCI の入出力端子 (TxD0、RxD0、SCK0、IrTxD、IrRxD、TxD1、RxD1、SCK1、TxD4、RxD4、SCK4)、外部割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$)、IIC の入出力端子 (SCL0、SDA0、SCL1、SDA1) と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。ポート 3 の各端子の構成を図 10A.2 に示します。

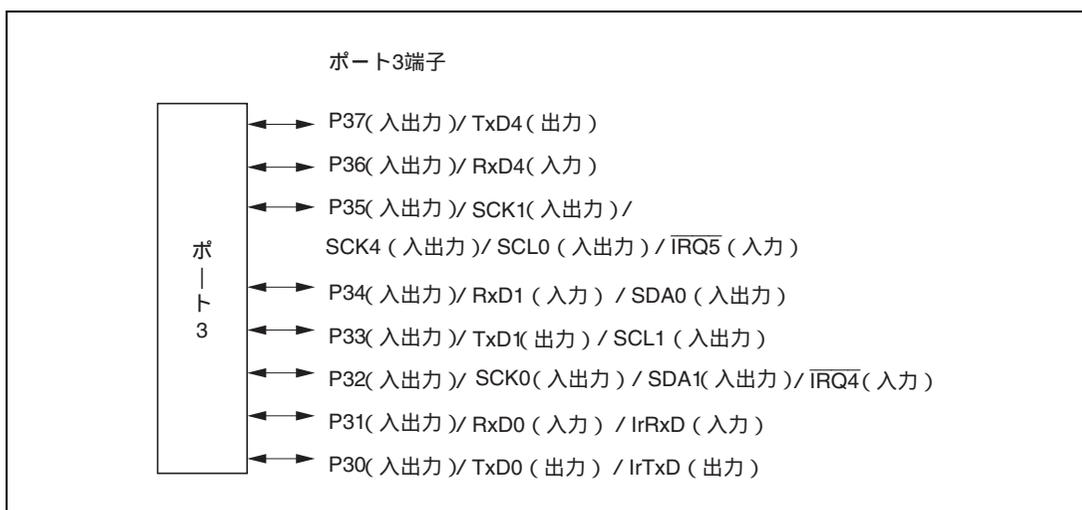


図 10A.2 ポート 3 の端子機能

10A.3.2 レジスタ構成

表 10A.4 にポート 3 のレジスタ構成を示します。

表 10A.4 ポート 3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FE32
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF02
ポート 3 レジスタ	PORT3	R	不定	H'FFB2
ポート 3 オープンドレイン コントロールレジスタ	P3ODR	R/W	H'00	H'FE46

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P3DDR を 1 にセットすると対応するポート3 の各端子は出力となり、0 にクリアすると入力になります。

パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P3DDR は直前の状態を保持します。マニュアルリセットでは、SCI、IIC は初期化されるため、P3DDR、P3DR の指定によって端子状態が決定されます。

(2) ポート3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート3 の各端子 (P35 ~ P30) の出力データを格納します。

P3DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート3レジスタ (PORT3)

ビット :	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P37～P30端子の状態により決定されます。

PORT3 は、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート3の各端子 (P37～P30) の出力データのライトは必ず P3DR に対して行ってください。

P3DDR が1にセットされているとき、PORT3のリードを行うとP3DRの値をリードします。P3DDRが0にクリアされているとき、PORT3のリードを行うと端子の状態が読み出されます。

PORT3 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P3DDR、P3DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート3 オープンドレインコントロールレジスタ (P3ODR)

ビット :	7	6	5	4	3	2	1	0
	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P3ODR は、8ビットのリード/ライト可能なレジスタで、ポート3の各端子 (P37～P30) の PMOS のオン/オフを制御します。

P3ODR を1にセットするとポート3の各端子はNMOS オープンドレイン出力となり、0にクリアするとCMOS出力となります。

P3ODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.3.3 端子機能

ポート3の各端子は、SCIの入出力端子 (TxD0、RxD0、SCK0、IrTxD、IrRxD、TxD1、RxD1、SCK1、TrD4、RrD4、SCK4)、外部割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$)、IICの入出力端子 (SCL0、SDA0、SCL1、SDA1) と兼用になっています。ポート3の端子機能を表 10A.5 に示します。

表 10A.5 ポート3の端子機能

端子	選択方法と端子機能						
P37/TxD4	SCI4のSCRのTEビットとP37DDRビットの組み合わせにより、次のように切り替わります。						
	TE	0			1		
	P37DDR	0	1	-			
	端子機能	P37入力端子		P37出力端子*	TxD4出力端子		
【注】 * P37ODR = 1 のとき、NMOS オープンドレイン出力になります。							
P36/RxD4	SCI4のSCRのREビットとP36DDRビットの組み合わせにより、次のように切り替わります。						
	RE	0			1		
	P36DDR	0	1	-			
	端子機能	P36入力端子		P36出力端子*	RxD4入力端子		
【注】 * P36ODR = 1 のとき、NMOS オープンドレイン出力になります。							
P35/SCK1/ SCK4/SCL0/ $\overline{\text{IRQ5}}$	IIC0のICCR0のICEビット、SCI1またはSCI4のSMRのC/ $\overline{\text{A}}$ ビット、SCRのCKE0、CKE1ビット、およびP35DDRビットの組み合わせにより、次のように切り替わります。						
	SCL0入出力端子として使用する場合は、SCI1またはSCI4のSMRのC/ $\overline{\text{A}}$ ビット、SCRのCKE0、CKE1ビットの各ビットを必ず0にクリアしてください。また、SCK1とSCK4を同時出力に設定しないでください。						
	なお、SCL0の出力形式はNMOS オープンドレイン出力となり、直接バス駆動が可能です。						
	ICE	0			1		
	CKE1(SCI1)	0			0, 1, 1	0	
	CKE1(SCI4)	0			1, 0, 1	0	
	C/ $\overline{\text{A}}$ (SCI1)	0	1		-	0	
	C/ $\overline{\text{A}}$ (SCI4)	0	1		-	0	
	CKE0(SCI1)	0	0, 1, 1*2		-	0	
	CKE0(SCI4)	0	1, 0, 1*2		-	0	
	P35DDR	0	1	-	-	-	
	端子機能	P35	P35	SCK1/SCK4	SCK1/SCK4	SCK1/SCK4	SCL0
		入力端子	出力端子*1	出力端子*1	出力端子*1	入力端子	入出力端子
	$\overline{\text{IRQ5}}$ 入力						
【注】 *1 出力形式はNMOS プッシュプル出力です。ただし、P35ODR = 1 のとき、NMOS オープンドレイン出力となります。							
*2 SCK1とSCK4は同時に出力しないでください。							

端子	選択方法と端子機能																																																						
P34/RxD1/ SDA0	<p>IIC0 の ICCR0 の ICE ビット、SCI1 の SCR の RE ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。</p> <p>なお、SDA0 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。</p> <table border="1"> <tr> <td>ICE</td> <td colspan="3">0</td> <td colspan="2">1</td> </tr> <tr> <td>RE</td> <td colspan="2">0</td> <td>1</td> <td colspan="2">-</td> </tr> <tr> <td>P34DDR</td> <td>0</td> <td>1</td> <td>-</td> <td colspan="2">-</td> </tr> <tr> <td>端子機能</td> <td>P34入力端子</td> <td>P34出力端子*</td> <td>RxD1入力端子</td> <td colspan="2">SDA0入出力端子</td> </tr> </table> <p>【注】 * 出力形式は、NMOS プッシュプル出力です。ただし、P34ODR = 1 のとき、NMOS オープンドレイン出力になります。</p>						ICE	0			1		RE	0		1	-		P34DDR	0	1	-	-		端子機能	P34入力端子	P34出力端子*	RxD1入力端子	SDA0入出力端子																										
ICE	0			1																																																			
RE	0		1	-																																																			
P34DDR	0	1	-	-																																																			
端子機能	P34入力端子	P34出力端子*	RxD1入力端子	SDA0入出力端子																																																			
P33/TxD1/ SCL1	<p>IIC1 の ICCR1 の ICE ビット、SCI1 の SCR の TE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。</p> <p>なお、SCL1 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。</p> <table border="1"> <tr> <td>ICE</td> <td colspan="3">0</td> <td colspan="2">1</td> </tr> <tr> <td>TE</td> <td colspan="2">0</td> <td>1</td> <td colspan="2">-</td> </tr> <tr> <td>P33DDR</td> <td>0</td> <td>1</td> <td>-</td> <td colspan="2">-</td> </tr> <tr> <td>端子機能</td> <td>P33入力端子</td> <td>P33出力端子*</td> <td>TxD1出力端子*</td> <td colspan="2">SCL1入出力端子*</td> </tr> </table> <p>【注】 * P33ODR = 1 のとき、NMOS オープンドレイン出力になります。</p>						ICE	0			1		TE	0		1	-		P33DDR	0	1	-	-		端子機能	P33入力端子	P33出力端子*	TxD1出力端子*	SCL1入出力端子*																										
ICE	0			1																																																			
TE	0		1	-																																																			
P33DDR	0	1	-	-																																																			
端子機能	P33入力端子	P33出力端子*	TxD1出力端子*	SCL1入出力端子*																																																			
P32/SCK0/ SDA1/I \overline RQ4	<p>IIC1 の ICCR1 の ICE ビット、SCIO の SMR の C/\overlineA ビット、SCR の CKE0、CKE1 ビット、および P32DDR ビットの組み合わせにより、次のように切り替わります。</p> <p>SDA1 入出力端子として使用する場合は、SCIO の SMR の C/\overlineA ビット、SCR の CKE0、CKE1 ビットの各ビットを必ず 0 にクリアしてください。</p> <p>なお、SDA1 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。</p> <table border="1"> <tr> <td>ICE</td> <td colspan="4">0</td> <td colspan="2">1</td> </tr> <tr> <td>CKE1</td> <td colspan="3">0</td> <td>1</td> <td colspan="2">0</td> </tr> <tr> <td>C/\overlineA</td> <td colspan="2">0</td> <td>1</td> <td>-</td> <td colspan="2">0</td> </tr> <tr> <td>CKE0</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td colspan="2">0</td> </tr> <tr> <td>P32DDR</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>P32 入力端子</td> <td>P32 出力端子*</td> <td>SCK0 出力端子*</td> <td>SCK0 出力端子*</td> <td>SCK0 入力端子</td> <td>SDA1 入出力端子</td> </tr> <tr> <td colspan="7" style="text-align: center;">I\overlineRQ4入力</td> </tr> </table> <p>【注】 * P32ODR = 1 のとき、NMOS オープンドレイン出力になります。</p>						ICE	0				1		CKE1	0			1	0		C/ \overline A	0		1	-	0		CKE0	0	1	-	-	0		P32DDR	0	1	-	-	-	-	端子機能	P32 入力端子	P32 出力端子*	SCK0 出力端子*	SCK0 出力端子*	SCK0 入力端子	SDA1 入出力端子	I \overline RQ4入力						
ICE	0				1																																																		
CKE1	0			1	0																																																		
C/ \overline A	0		1	-	0																																																		
CKE0	0	1	-	-	0																																																		
P32DDR	0	1	-	-	-	-																																																	
端子機能	P32 入力端子	P32 出力端子*	SCK0 出力端子*	SCK0 出力端子*	SCK0 入力端子	SDA1 入出力端子																																																	
I \overline RQ4入力																																																							

端子	選択方法と端子機能			
P31/RxD0/ IrxD	SCI0 の SCR の RE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。			
	RE	0		1
	P31DDR	0	1	-
	端子機能	P31入力端子	P31出力端子*	RxD0/IrxD入力端子
【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。				
P30/TxD0/ IrTxD	SCI0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。			
	TE	0		1
	P30DDR	0	1	-
	端子機能	P30入力端子	P30出力端子*	TxD0/IrTxD出力端子*
【注】 * P30ODR = 1 のとき、NMOS オープンドレイン出力になります。				

10A.4 ポート 4

10A.4.1 概要

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 は、A/D 変換器のアナログ入力端子 (AN0~AN7) と D/A 変換器のアナログ出力端子 (DA0、DA1) との兼用になっています。ポート 4 の端子機能はいずれの動作モードでも共通です。ポート 4 の各端子の構成を図 10A.3 に示します。

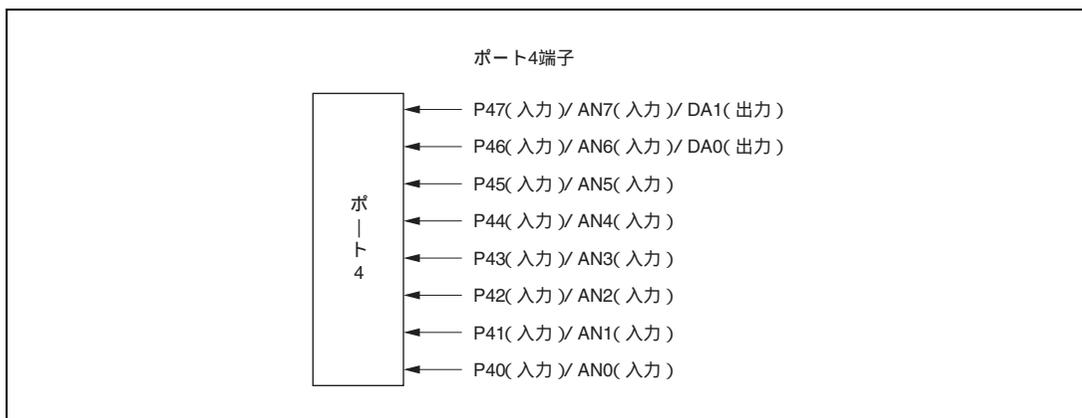


図 10A.3 ポート 4 の端子機能

10A.4.2 レジスタ構成

表 10A.6 にポート 4 のレジスタ構成を示します。ポート 4 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 10A.6 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 4 レジスタ	PORT4	R	不定	H'FFB3

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 4 レジスタ (PORT4)

PORT4 のリードを行うと、常に端子の状態が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】 * P47 ~ P40 端子の状態により決定されます。

10A.4.3 端子機能

ポート4の各端子は、A/D変換器のアナログ入力端子(AN0～AN7)とD/A変換器のアナログ出力端子(DA0、DA1)との兼用になっています。

10A.5 ポート7

10A.5.1 概要

ポート7は、8ビットの入出力ポートです。ポート7は、8ビットタイマの入出力端子(TMRI01、TMCI01、TMRI23、TMCI23、TMO0、TMO1、TMO2、TMO3)、DMACの入出力端子(DREQ0、TEND0、DREQ1、TEND1)、バス制御出力端子(CS4～CS7)、SCIの入出力端子(SCK3、RxD3、TxD3)、マニュアルリセット入力端子(MRES)と兼用になっています。P77～P74の端子機能はいずれの動作モードでも共通です。P73～P70の端子機能は動作モードによって切り替わります。

ポート7の各端子の構成を図10A.4に示します。

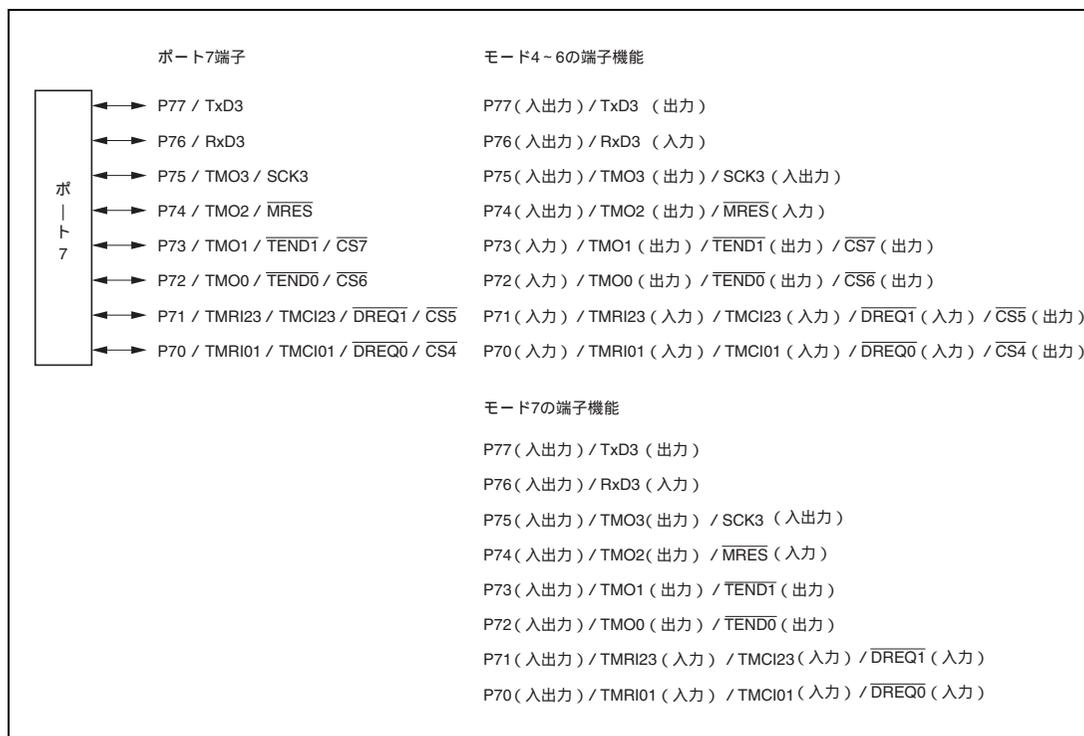


図 10A.4 ポート7の端子機能

10A.5.2 レジスタ構成

表 10A.7 にポート 7 のレジスタ構成を示します。

表 10A.7 ポート 7 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 7 データディレクションレジスタ	P7DDR	W	H'00	H'FE36
ポート 7 データレジスタ	P7DR	R/W	H'00	H'FF06
ポート 7 レジスタ	PORT7	R	不定	H'FFB6

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 7 データディレクションレジスタ (P7DDR)

ビット :	7	6	5	4	3	2	1	0
	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P7DDR は、8 ビットのライト専用レジスタで、ポート 7 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P7DDR を 1 にセットすると対応するポート 7 の各端子は出力となり、0 にクリアすると入力になります。

P7DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P7DDR は、直前の状態を保持します。マニュアルリセットでは DMAC、8 ビットタイマ、SCI は初期化されるため、P7DDR、P7DR の指定によって端子状態が決定されません。

(2) ポート 7 データレジスタ (P7DR)

ビット :	7	6	5	4	3	2	1	0
	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P7DR は、8 ビットのリード/ライト可能なレジスタで、ポート 7 の各端子 (P77~P70) の出力データを格納します。

P7DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート7レジスタ (PORT7)

ビット :	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P77～P70端子の状態により決定されます。

PORT7は、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート7の各端子 (P77～P70) の出力データのライトは必ず P7DR に対して行ってください。

P7DDR が 1 にセットされているとき、PORT7 のリードを行うと P7DR の値をリードします。P7DDR が 0 にクリアされているとき、PORT7 のリードを行うと端子の状態が読み出されます。

PORT7は、パワーオンリセットまたはハードウェアスタンバイモードでは、P7DDR、P7DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.5.3 端子機能

ポート7の各端子は、8ビットタイマの入出力端子 (TMRI01、TMCI01、TMRI23、TMCI23、TMO0、TMO1、TMO2、TMO3)、DMAC の入出力端子 ($\overline{\text{DREQ0}}$ 、 $\overline{\text{TEND0}}$ 、 $\overline{\text{DREQ1}}$ 、 $\overline{\text{TEND1}}$)、バス制御出力端子 ($\overline{\text{CS4}}$ ～ $\overline{\text{CS7}}$)、SCI の入出力端子 (SCK3、RxD3、TxD3)、マニュアルリセット入力端子 ($\overline{\text{MRES}}$) と兼用になっています。ポート7の端子機能を表 10A.8 に示します。

表 10A.8 ポート7の端子機能

端子	選択方法と端子機能						
P77/TxD3	SCI3のSCRのTEビットとP77DDRビットの組み合わせにより、次のように切り替わります。						
	TE	0			1		
	P77DDR	0		1		-	
	端子機能	P77入力端子		P77出力端子		TxD3出力端子	
P76/RxD3	SCI3のSCRのREビットとP76DDRビットの組み合わせにより、次のように切り替わります。						
	RE	0			1		
	P76DDR	0		1		-	
	端子機能	P76入力端子		P76出力端子		RxD3入力端子	
P75/TMO3/ SCK3	SCI3のSMRのC/Aビット、SCRのCKE0、CKE1ビット、8ビットタイマのTCSR3のOS3～OS0ビットとP75DDRビットの組み合わせにより、次のように切り替わります。						
	OS3～OS0	すべてが0				いずれかが1	
	CKE1	0			1		-
	C/A	0		1		-	-
	CKE0	0		1		-	-
	P75DDR	0	1	-	-	-	-
	端子機能	P75 入力端子	P75 出力端子	SCK3出力端子	SCK3出力端子	SCK3入力端子	TMO3出力
P74/TMO2/ MRES	8ビットタイマのTCSR2のOS3～OS0ビット、SYSCRのMRESEビットとP74DDRビットの組み合わせにより、次のように切り替わります。						
	MRESE	0			1		
	OS3～OS0	すべてが0			いずれかが1		-
	P74DDR	0		1		-	
端子機能	P74入力端子		P74出力端子		TMO2出力	MRES入力端子	

端子	選択方法と端子機能																																													
P73/ TMO1/ $\overline{\text{TEND1}}$ / CS7	<p>動作モードとDMACのDMATCRのTEE1ビット、8ビットタイマのTCSR1のOS3～OS0ビット、P73DDRビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="4">モード4～6</th> <th colspan="4">モード7</th> </tr> </thead> <tbody> <tr> <td>TEE1</td> <td colspan="2">0</td> <td colspan="2">1</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>OS3～OS0</td> <td colspan="2">すべてが0</td> <td>いずれかが1</td> <td>-</td> <td colspan="2">すべてが0</td> <td>いずれかが1</td> <td>-</td> </tr> <tr> <td>P73DDR</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>P73 入力端子</td> <td>CS7 出力端子</td> <td>TMO1 出力</td> <td>$\overline{\text{TEND1}}$ 出力</td> <td>P73 入力端子</td> <td>P73 出力端子</td> <td>TMO1 出力</td> <td>$\overline{\text{TEND1}}$ 出力</td> </tr> </tbody> </table>	動作モード	モード4～6				モード7				TEE1	0		1		0		1		OS3～OS0	すべてが0		いずれかが1	-	すべてが0		いずれかが1	-	P73DDR	0	1	-	-	0	1	-	-	端子機能	P73 入力端子	CS7 出力端子	TMO1 出力	$\overline{\text{TEND1}}$ 出力	P73 入力端子	P73 出力端子	TMO1 出力	$\overline{\text{TEND1}}$ 出力
動作モード	モード4～6				モード7																																									
TEE1	0		1		0		1																																							
OS3～OS0	すべてが0		いずれかが1	-	すべてが0		いずれかが1	-																																						
P73DDR	0	1	-	-	0	1	-	-																																						
端子機能	P73 入力端子	CS7 出力端子	TMO1 出力	$\overline{\text{TEND1}}$ 出力	P73 入力端子	P73 出力端子	TMO1 出力	$\overline{\text{TEND1}}$ 出力																																						
P72/ TMO0/ $\overline{\text{TEND0}}$ / CS6	<p>動作モードとDMACのDMATCRのTEE0ビット、8ビットタイマのTCSR0のOS3～OS0ビット、P72DDRビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="4">モード4～6</th> <th colspan="4">モード7</th> </tr> </thead> <tbody> <tr> <td>TEE0</td> <td colspan="2">0</td> <td colspan="2">1</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>OS3～OS0</td> <td colspan="2">すべてが0</td> <td>いずれかが1</td> <td>-</td> <td colspan="2">すべてが0</td> <td>いずれかが1</td> <td>-</td> </tr> <tr> <td>P72DDR</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> <td>0</td> <td>1</td> <td>-</td> <td>-</td> </tr> <tr> <td>端子機能</td> <td>P72 入力端子</td> <td>CS6 出力端子</td> <td>TMO0 出力</td> <td>$\overline{\text{TEND1}}$ 出力</td> <td>P72 入力端子</td> <td>P72 出力端子</td> <td>TMO0 出力</td> <td>$\overline{\text{TEND1}}$ 出力</td> </tr> </tbody> </table>	動作モード	モード4～6				モード7				TEE0	0		1		0		1		OS3～OS0	すべてが0		いずれかが1	-	すべてが0		いずれかが1	-	P72DDR	0	1	-	-	0	1	-	-	端子機能	P72 入力端子	CS6 出力端子	TMO0 出力	$\overline{\text{TEND1}}$ 出力	P72 入力端子	P72 出力端子	TMO0 出力	$\overline{\text{TEND1}}$ 出力
動作モード	モード4～6				モード7																																									
TEE0	0		1		0		1																																							
OS3～OS0	すべてが0		いずれかが1	-	すべてが0		いずれかが1	-																																						
P72DDR	0	1	-	-	0	1	-	-																																						
端子機能	P72 入力端子	CS6 出力端子	TMO0 出力	$\overline{\text{TEND1}}$ 出力	P72 入力端子	P72 出力端子	TMO0 出力	$\overline{\text{TEND1}}$ 出力																																						
P71/ TMRI23/ TMCI23/ $\overline{\text{DREQ1}}$ / CS5	<p>動作モードとP71DDRにより次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="2">モード4～6</th> <th colspan="2">モード7</th> </tr> </thead> <tbody> <tr> <td>P71DDR</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">P71入力端子</td> <td>CS5出力</td> <td>P71出力端子</td> </tr> <tr> <td></td> <td colspan="2">$\overline{\text{DREQ0}}$、 TMRI23、 TMCI23入力</td> <td>-</td> <td>$\overline{\text{DREQ0}}$、TMRI23、 TMCI23入力</td> </tr> </tbody> </table>	動作モード	モード4～6		モード7		P71DDR	0	1	0	1	端子機能	P71入力端子		CS5出力	P71出力端子		$\overline{\text{DREQ0}}$ 、 TMRI23、 TMCI23入力		-	$\overline{\text{DREQ0}}$ 、TMRI23、 TMCI23入力																									
動作モード	モード4～6		モード7																																											
P71DDR	0	1	0	1																																										
端子機能	P71入力端子		CS5出力	P71出力端子																																										
	$\overline{\text{DREQ0}}$ 、 TMRI23、 TMCI23入力		-	$\overline{\text{DREQ0}}$ 、TMRI23、 TMCI23入力																																										
P70/ TMRI01/ TMCI01/ $\overline{\text{DREQ0}}$ / CS4	<p>動作モードとP70DDRにより次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="2">モード4～6</th> <th colspan="2">モード7</th> </tr> </thead> <tbody> <tr> <td>P70DDR</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">P70入力端子</td> <td>CS4出力</td> <td>P70出力端子</td> </tr> <tr> <td></td> <td colspan="2">$\overline{\text{DREQ0}}$、 TMRI01、 TMCI01入力</td> <td>-</td> <td>$\overline{\text{DREQ0}}$、TMRI01、 TMCI01入力</td> </tr> </tbody> </table>	動作モード	モード4～6		モード7		P70DDR	0	1	0	1	端子機能	P70入力端子		CS4出力	P70出力端子		$\overline{\text{DREQ0}}$ 、 TMRI01、 TMCI01入力		-	$\overline{\text{DREQ0}}$ 、TMRI01、 TMCI01入力																									
動作モード	モード4～6		モード7																																											
P70DDR	0	1	0	1																																										
端子機能	P70入力端子		CS4出力	P70出力端子																																										
	$\overline{\text{DREQ0}}$ 、 TMRI01、 TMCI01入力		-	$\overline{\text{DREQ0}}$ 、TMRI01、 TMCI01入力																																										

10A.6 ポート 9

10A.6.1 概要

ポート9は、8ビットの入力専用ポートです。ポート9は、A/D変換器のアナログ入力端子 (AN8~AN15) と D/A変換器のアナログ出力端子 (DA2、DA3) との兼用になっています。ポート9の端子機能はいずれの動作モードでも共通です。ポート9の各端子の構成を図10A.5に示します。

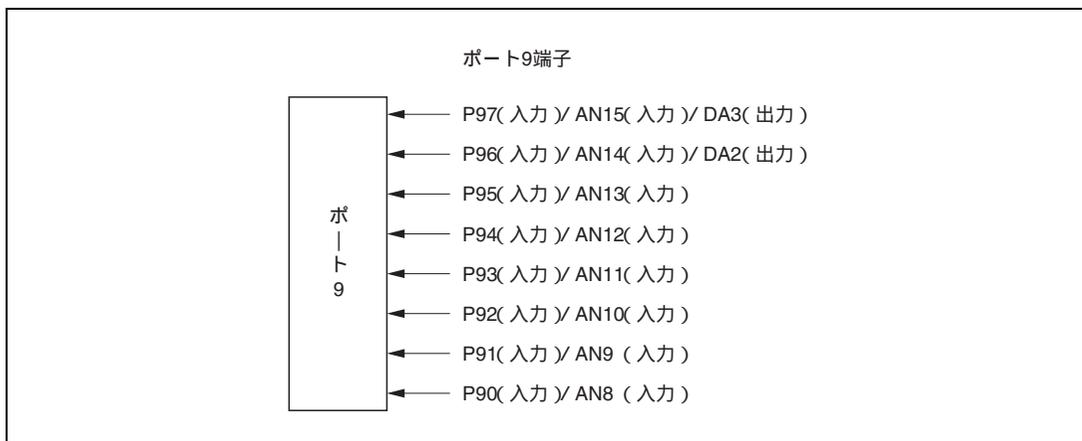


図 10A.5 ポート 9 の端子機能

10A.6.2 レジスタ構成

表 10A.9 にポート 9 のレジスタ構成を示します。ポート 9 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 10A.9 ポート 9 レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート 9 レジスタ	PORT9	R	不定	H'FFB8

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 9 レジスタ (PORT9)

PORT9 のリードを行うと、常に端子の状態が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P97 ~ P90端子の状態により決定されます。

10A.6.3 端子機能

ポート9の各端子は、A/D変換器のアナログ入力端子(AN8~AN15)とD/A変換器のアナログ出力端子(DA2、DA3)との兼用になっています。

10A.7 ポート A

10A.7.1 概要

ポートAは、4ビットの入出力ポートです。ポートAは、SCI2の入出力端子(SCK2、RxD2、TxD2)とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポートAは、プログラムで制御可能な入力プルアップMOSが内蔵されています。

ポートAの各端子の構成を図10A.6に示します。



図 10A.6 ポート A の端子機能

10A.7.2 レジスタ構成

表 10A.10 にポート A のレジスタ構成を示します。

表 10A.10 ポート A レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート A データディレクションレジスタ	PADDR	W	H'0	H'FE39
ポート A データレジスタ	PADR	R/W	H'0	H'FF09
ポート A レジスタ	PORTA	R	不定	H'FFB9
ポート A プルアップ MOS コントロールレジスタ	PAPCR	R/W	H'0	H'FE40
ポート A オープンドレイン コントロールレジスタ	PAODR	R/W	H'0	H'FE47

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 3~0 の値を示しています。

(1) ポート A データディレクションレジスタ (PADDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。また、ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。

PADDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PADDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

詳細は、「24.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

(a) モード 4~6

PA3DDR ~ PA0DDR ビットにかかわらず、PFCR の AE3 ~ AE0 ビットの設定に従いポート A の各端子はアドレス出力となります。また、アドレス出力ではないとき、PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7

PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート A データレジスタ (PADR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA3 ~ PA0) の出力データを格納します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PADR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート A レジスタ (PORTA)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3	PA2	PA1	PA0
初期値 :	不定	不定	不定	不定	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

【注】* PA3 ~ PA0端子の状態により決定されます。

PORTA は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート A の各端子 (PA3 ~ PA0) の出力データのライトは必ず PADR に対して行ってください。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出せません。ライトは無効です。

PADDR が 1 にセットされているとき、PORTA のリードを行うと PADR の値をリードします。PADDR が 0 にクリアされているとき、PORTA のリードを行うと端子の状態が読み出されます。

PORTA は、パワーオンリセットまたはハードウェアスタンバイモードでは、PADDR、PADR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート A プルアップ MOS コントロールレジスタ (PAPCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

PAPCR は、8 ビットのリード/ライト可能なレジスタで、ポート A に内蔵された入力プルアップ MOS をビットごとに制御します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。モード 4~6 では、PFCR、SCI の SCMR、SMR、SCR、および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセッ

トすると、入力プルアップ MOS はオンします。

モード7では、SCIのSCMR、SMR、SCR、およびDDRの設定により、端子が入力状態のときPAPCRを1にセットすると、入力プルアップMOSはオンします。

PAPCRは、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0(ビット3~0)に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポートA オープンドレインコントロールレジスタ (PAODR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

PAODRは、8ビットのリード/ライト可能なレジスタで、ポートAの各端子(PA3~PA0)のPMOSのオン/オフを制御します。

ビット7~4はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PFCRのAE3~AE0の設定により、アドレス出力以外のときPAODRを1にセットするとポートAの各端子はNMOSオープンドレイン出力となり、0にクリアするとCMOS出力となります。

PAODRは、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0(ビット3~0)に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.7.3 端子機能

ポート A の各端子は、SCI の入出力端子 (TxD2、RxD2、SCK2) とアドレスバス出力端子 (A19 ~ A16) と兼用になっています。

ポート A の端子機能を表 10A.11 に示します。

表 10A.11 ポート A の端子機能

端子	選択方法と端子機能																																																																																			
PA3/A19/ SCK2	動作モードと PFCR の AE3 ~ AE0 ビット、SCI2 の SMR の C/ \bar{A} ビット、SCR の CKE0、CKE1 ビット、および PA3DDR の組み合わせにより次のように切り替わります。																																																																																			
	<table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="5">モード4~6</th> </tr> <tr> <th>AE3~AE0</th> <th colspan="3">B'0000~B'1011</th> <th colspan="2">B'1100~B'1111</th> </tr> </thead> <tbody> <tr> <td>CKE1</td> <td colspan="3">0</td> <td>1</td> <td>—</td> </tr> <tr> <td>C/\bar{A}</td> <td colspan="3">0</td> <td>1</td> <td>—</td> </tr> <tr> <td>CKE0</td> <td colspan="2">0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>PA3DDR</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA3 入力</td> <td>PA3 出力</td> <td>SCK2 出力</td> <td>SCK2 出力</td> <td>SCK2 入力</td> <td>A19出力</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="5">モード7</th> </tr> </thead> <tbody> <tr> <td>CKE1</td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>C/\bar{A}</td> <td colspan="3">0</td> <td>1</td> <td>—</td> </tr> <tr> <td>CKE0</td> <td colspan="2">0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>PA3DDR</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA3 入力</td> <td>PA3 出力</td> <td>SCK2 出力</td> <td>SCK2 出力</td> <td>SCK2 入力</td> </tr> </tbody> </table>						動作モード	モード4~6					AE3~AE0	B'0000~B'1011			B'1100~B'1111		CKE1	0			1	—	C/ \bar{A}	0			1	—	CKE0	0		1	—	—	PA3DDR	0	1	—	—	—	端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力	A19出力	動作モード	モード7					CKE1	0				1	C/ \bar{A}	0			1	—	CKE0	0		1	—	—	PA3DDR	0	1	—	—	—	端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力
動作モード	モード4~6																																																																																			
AE3~AE0	B'0000~B'1011			B'1100~B'1111																																																																																
CKE1	0			1	—																																																																															
C/ \bar{A}	0			1	—																																																																															
CKE0	0		1	—	—																																																																															
PA3DDR	0	1	—	—	—																																																																															
端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力	A19出力																																																																														
動作モード	モード7																																																																																			
CKE1	0				1																																																																															
C/ \bar{A}	0			1	—																																																																															
CKE0	0		1	—	—																																																																															
PA3DDR	0	1	—	—	—																																																																															
端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力																																																																															
PA2/A18/ RxD2	動作モードと PFCR の AE3 ~ AE0 ビット、SCI2 の SCR の RE ビット、および PA2DDR の組み合わせにより次のように切り替わります。																																																																																			
	<table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="5">モード4~6</th> </tr> <tr> <th>AE3~AE0</th> <th colspan="3">B'0000~B'1010</th> <th colspan="2">B'1011~B'1111</th> </tr> </thead> <tbody> <tr> <td>RE</td> <td colspan="3">0</td> <td>1</td> <td>—</td> </tr> <tr> <td>PA2DDR</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA2 入力</td> <td>PA2 出力</td> <td>RxD2 入力</td> <td colspan="2">A18出力</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="5">モード7</th> </tr> </thead> <tbody> <tr> <td>RE</td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>PA2DDR</td> <td>0</td> <td>1</td> <td colspan="3">—</td> </tr> <tr> <td>端子機能</td> <td>PA2 入力</td> <td>PA2 出力</td> <td colspan="3">RxD2 入力</td> </tr> </tbody> </table>						動作モード	モード4~6					AE3~AE0	B'0000~B'1010			B'1011~B'1111		RE	0			1	—	PA2DDR	0	1	—	—	—	端子機能	PA2 入力	PA2 出力	RxD2 入力	A18出力		動作モード	モード7					RE	0				1	PA2DDR	0	1	—			端子機能	PA2 入力	PA2 出力	RxD2 入力																										
動作モード	モード4~6																																																																																			
AE3~AE0	B'0000~B'1010			B'1011~B'1111																																																																																
RE	0			1	—																																																																															
PA2DDR	0	1	—	—	—																																																																															
端子機能	PA2 入力	PA2 出力	RxD2 入力	A18出力																																																																																
動作モード	モード7																																																																																			
RE	0				1																																																																															
PA2DDR	0	1	—																																																																																	
端子機能	PA2 入力	PA2 出力	RxD2 入力																																																																																	

端子	選択方法と端子機能																																				
PA1/A17/ TxD2	<p>動作モードと PFCR の AE3~AE0 ビット、SCI2 の SCR の TE ビット、および PA1DDR の組み合わせにより次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4~6</th> </tr> </thead> <tbody> <tr> <td>AE3~AE0</td> <td colspan="2">B'0000~B'1001</td> <td>B'1010~B'1111</td> </tr> <tr> <td>TE</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>PA1DDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA1 入力</td> <td>PA1 出力</td> <td>TxD2 出力 A17出力</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード7</th> </tr> </thead> <tbody> <tr> <td>TE</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PA1DDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA1 入力</td> <td>PA1 出力</td> <td>TxD2 出力</td> </tr> </tbody> </table>	動作モード	モード4~6			AE3~AE0	B'0000~B'1001		B'1010~B'1111	TE	0	1	—	PA1DDR	0	1	—	端子機能	PA1 入力	PA1 出力	TxD2 出力 A17出力	動作モード	モード7			TE	0		1	PA1DDR	0	1	—	端子機能	PA1 入力	PA1 出力	TxD2 出力
動作モード	モード4~6																																				
AE3~AE0	B'0000~B'1001		B'1010~B'1111																																		
TE	0	1	—																																		
PA1DDR	0	1	—																																		
端子機能	PA1 入力	PA1 出力	TxD2 出力 A17出力																																		
動作モード	モード7																																				
TE	0		1																																		
PA1DDR	0	1	—																																		
端子機能	PA1 入力	PA1 出力	TxD2 出力																																		
PA0/A16	<p>動作モードと PFCR の AE3~AE0 ビット、および PA0DDR の組み合わせにより次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4~6</th> </tr> </thead> <tbody> <tr> <td>AE3~AE0</td> <td colspan="2">B'0000~B'1000</td> <td>B'1001~B'1111</td> </tr> <tr> <td>PA0DDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA0 入力</td> <td>PA0 出力</td> <td>A16出力</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="2">モード7</th> </tr> </thead> <tbody> <tr> <td>PA0DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>PA0 入力</td> <td>PA0 出力</td> </tr> </tbody> </table>	動作モード	モード4~6			AE3~AE0	B'0000~B'1000		B'1001~B'1111	PA0DDR	0	1	—	端子機能	PA0 入力	PA0 出力	A16出力	動作モード	モード7		PA0DDR	0	1	端子機能	PA0 入力	PA0 出力											
動作モード	モード4~6																																				
AE3~AE0	B'0000~B'1000		B'1001~B'1111																																		
PA0DDR	0	1	—																																		
端子機能	PA0 入力	PA0 出力	A16出力																																		
動作モード	モード7																																				
PA0DDR	0	1																																			
端子機能	PA0 入力	PA0 出力																																			

10A.7.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

モード4~6では、PFCR、SCIのSCMR、SMR、SCR、およびDDRの設定により、端子が入力状態のときPAPCRを1にセットすると、入力プルアップMOSはオンします。

モード7では、SCIのSCMR、SMR、SCR、およびDDRの設定により、端子が入力状態のときPAPCRを1にセットすると、入力プルアップMOSはオンします。

入力プルアップMOSは、パワーオンリセットまたはハードウェアスタンバイモード時にはオフします。マニュアルリセットまたはソフトウェアスタンバイモード時には直前の状態を保持します。

入力プルアップMOSの状態を表10A.12に示します。

表 10A.12 入力プルアップ MOS の状態 (ポート A)

端子状態	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
アドレス出力または SCI 出力	OFF		OFF		
上記以外			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

10A.8 ポート B

10A.8.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5) とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B の各端子の構成を図 10A.7 に示します。

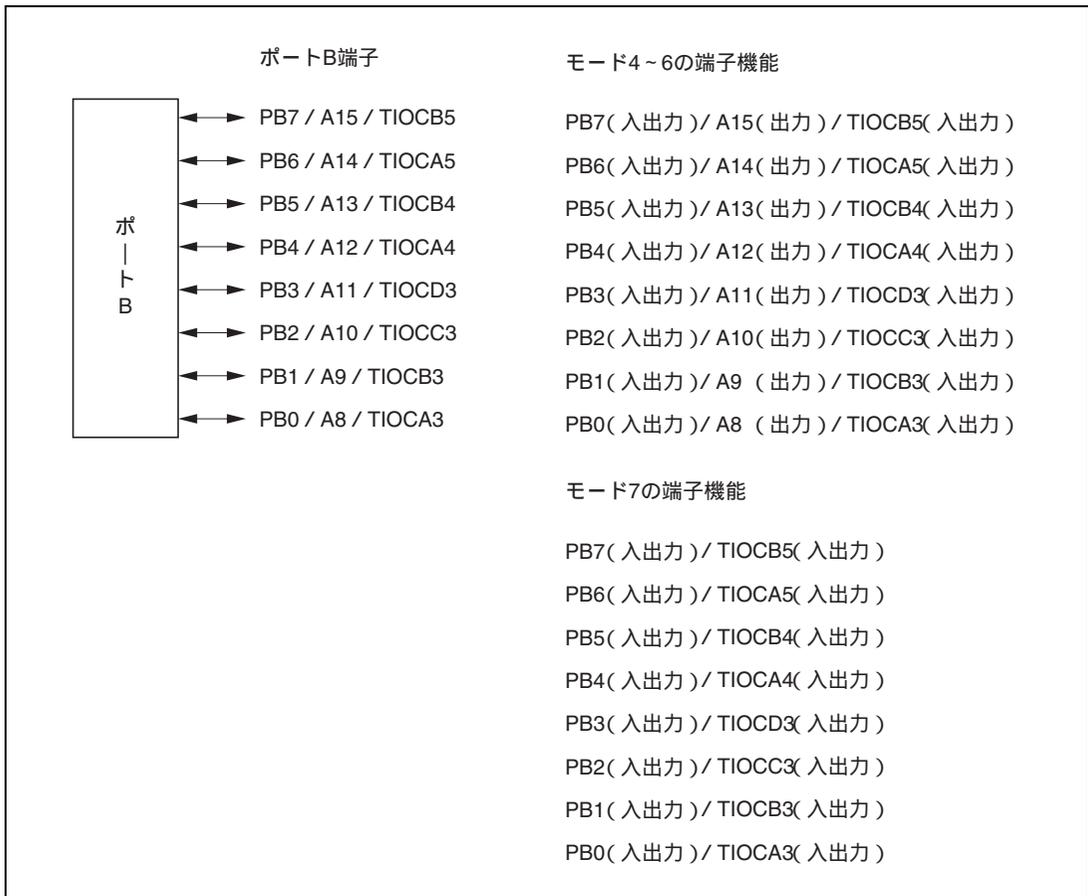


図 10A.7 ポート B の端子機能

10A.8.2 レジスタ構成

表 10A.13 にポート B のレジスタ構成を示します。

表 10A.13 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FE3A
ポート B データレジスタ	PBDR	R/W	H'00	H'FF0A
ポート B レジスタ	PORTB	R	不定	H'FFBA
ポート B プルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FE41
ポート B オープンドレイン コントロールレジスタ	PBODR	R/W	H'00	H'FE48

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PBDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PBDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4~6

PBDDR にかかわらず、PFCR の AE3 ~ AE0 ビットの設定に従い対応するポート B の各端子はアドレス出力となります。また、アドレス出力ではないとき、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート B データレジスタ (PBDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB7~PB0) の出力データを格納します。

PBDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B レジスタ (PORTB)

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PB7~PB0端子の状態により決定されます。

PORTB は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート B の各端子 (PB7~PB0) の出力データのライトは必ず PBDR に対して行ってください。

PBDDR が 1 にセットされているとき、PORTB のリードを行うと PBDR の値をリードします。PBDDR が 0 にクリアされているとき、PORTB のリードを行うと端子の状態が読み出されます。

PORTB は、パワーオンリセットまたはハードウェアスタンバイモードでは、PBDDR、PBDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート B プルアップ MOS コントロールレジスタ (PBPCR)

ビット :	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBPCR は、8 ビットのリード/ライト可能なレジスタで、ポート B に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4~6 では、PFCR、TPU の TIOR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、TPU の TIOR および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PBPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート B オープンドレインコントロールレジスタ (PBODR)

ビット :	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBODR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB7~PB0) の PMOS のオン/オフを制御します。

PFCR の AE3~AE0 の設定により、アドレス出力以外のとき、PBODR を 1 にセットするとポート B の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PBODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.8.3 端子機能

ポート B の各端子は、TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5) とアドレスバス出力端子 (A15 ~ A8) と兼用になっています。

表 10A.14 ポート B の端子機能

端子	選択方法と端子機能						
PB7/A15/ TIOCB5	動作モードと PFCR の AE3 ~ AE0 ビット、TMDR5 の MD3 ~ MD0 ビット、TIOCR5 の IOB3 ~ IOB0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU5 の設定、および PB7DDR ビットにより、次のように切り替わります。						
	動作モード	モード4~6					
	AE3~AE0	B'0000~B'0111				B'1000~B'1111	
	TPUチャンネル5の設定	下表 (1)	下表 (2)			—	
	PB7DDR	—	0	1	—		
	端子機能	TIOCB5出力	PB7入力		PB7出力		A15出力
			TIOCB5入力*				
	動作モード	モード7					
	TPUチャンネル5の設定	下表 (1)	下表 (2)				
	PB7DDR	—	0	1			
	端子構成	TIOCB5出力	PB7入力		PB7出力		
			TIOCB5入力*				
	TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00以外		
CCLR1、CCLR0	—	—	—	—	B'10以外	B'10	
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—	
	x : Don't care						
【注】	* MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB5 入力となります。						

端子	選択方法と端子機能						
PB6/A14/ TIOCA5	動作モードと PFCR の AE3～AE0 ビット、TMDR5 の MD3～MD0 ビット、TIOA5 の IOA3～IOA0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU5 の設定、および PB6DDR ビットにより、次のように切り替わります。						
	動作モード		モード4～6				
	AE3～AE0	B'0000～B'0110				B'0111～B'1111	
	TPUチャンネル5の設定	下表 (1)	下表 (2)			—	
	PB6DDR	—	0	1	—		
	端子機能	TIOCA5出力	PB6入力	PB6出力	A14出力		
	TIOCA5入力*1						
	動作モード		モード7				
	TPUチャンネル5の設定	下表 (1)	下表 (2)			—	
	PB6DDR	—	0	1		—	
端子構成	TIOCA5出力	PB6入力		PB6出力			
TIOCA5入力*1							
TPUチャンネル5の設定	(2)	(1)	(2)	(1)	(1)	(2)	
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011		
IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外		B'xx00以外	
CCLR1、CCLR0	—	—	—	—	B'01以外	B'01	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
x : Don't Care							
【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に、TIOCA5 入力となります。							
*2 TIOCB5 は出力禁止となります。							

端子	選択方法と端子機能						
PB5/A13/ TIOCB4	動作モードと PFCR の AE3～AE0 ビット、TMDR4 の MD3～MD0 ビット、TIOCR4 の IOB3～IOB0 ビット、TCR4 の CCLR1、CCLR0 ビットによる TPU4 の設定、および PB5DDR ビットにより、次のように切り替わります。						
	動作モード		モード4～6				
	AE3～AE0	B'0000～B'0101			B'0110～B'1111		
	TPUチャネル4の設定	下表 (1)	下表 (2)		—		
	PB5DDR	—	0	1	—		
	端子機能	TIOCB4出力	PB5入力	PB5出力	A13出力		
			TIOCB4入力*				
	動作モード		モード7				
	TPUチャネル4の設定	下表 (1)	下表 (2)				
	PB5DDR	—	0	1			
	端子構成	TIOCB4出力	PB5入力	PB5出力			
			TIOCB4入力*				
	TPUチャネル4の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外	
CCLR1、CCLR0	—		—	—	B'10以外	B'10	
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—	
x : Don't Care							
【注】 * MD3～MD0 = B'0000、B'01xx かつ IOB3～IOB0 = B'10xx の場合に、TIOCB4 入力となります。							

端子	選択方法と端子機能						
PB4/A12/ TIOCA4	動作モードと PFCR の AE3～AE0 ビット、TMDR4 の MD3～MD0 ビット、TIOA4 の IOA3～IOA0 ビット、TCR4 の CCLR1、CCLR0 ビットによる TPU4 の設定、および PB4DDR ビットにより、次のように切り替わります。						
	動作モード		モード4～6				
	AE3～AE0	B'0000～B'0100			B'0101～B'1111		
	TPUチャンネル4の設定	下表 (1)	下表 (2)		—		
	PB4DDR	—	0	1	—		
	端子機能	TIOCA4出力	PB4入力	PB4出力	A12出力		
			TIOCA4入力*1				
	動作モード		モード7				
	TPUチャンネル4の設定	下表 (1)	下表 (2)				
	PB4DDR	—	0	1			
	端子構成	TIOCA4出力	PB4入力	PB4出力			
			TIOCA4入力*1				
	TPUチャンネル4の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00以外	
CCLR1、CCLR0	—	—	—	—	B'01以外	B'01	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
x : Don't Care							
【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOA3～IOA0 = B'10xx の場合に、TIOCA4 入力となります。							
*2 TIOCB4 は出力禁止となります。							

端子	選択方法と端子機能					
PB3/A11/ TIOCD3	動作モードと PFCR の AE3～AE0 ビット、TMDR3 の MD3～MD0 ビット、TIORL3 の IOD3～IOD0 ビット、TCR3 の CCLR2～CCLR0 ビットによる TPU3 の設定、および PB3DDR ビットにより、次のように切り替わります。					
	動作モード		モード4～6			
	AE3～AE0	B'0000～B'0011			B'0100～B'1111	
	TPUチャンネル3の設定	下表 (1)	下表 (2)		—	
	PB3DDR	—	0	1	—	
	端子機能	TIOCD3出力	PB3入力	PB3出力	A11出力	
			TIOCD3入力*			
	動作モード		モード7			
	TPUチャンネル3の設定	下表 (1)	下表 (2)			
	PB3DDR	—	0	1		
	端子構成	TIOCD3出力	PB3入力	PB3出力		
			TIOCD3入力*			
TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOD3～IOD0	B'0000	B'0001～B'0011	—	B'xx00	B'xx00以外	
	B'0100	B'0101～B'0111				
	B'1xxx					
CCLR2～CCLR0	—		—	—	B'110以外	B'110
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—
x : Don't Care						
【注】 * MD3～MD0 = B'0000、B'01xx かつ IOD3～IOD0 = B'10xx の場合に、TIOCD3 入力となります。						

端子	選択方法と端子機能						
PB2/A10/ TIOCC3	動作モードと PFCR の AE3～AE0 ビット、TMDR3 の MD3～MD0 ビット、TIORL3 の IOC3～IOC0 ビット、TCR3 の CCLR2～CCLR0 ビットによる TPU3 の設定、および PB2DDR ビットにより、次のように切り替わります。						
	動作モード		モード4～6				
	AE3～AE0	B'0000～B'0010				B'0011～B'1111	
	TPUチャンネル3の設定	下表 (1)	下表 (2)			—	
	PB2DDR	—	0	1	—		
	端子機能	TIOCC3出力	PB2入力	PB2出力	A10出力		
			TIOCC3入力*1				
	動作モード		モード7				
	TPUチャンネル3の設定	下表 (1)	下表 (2)				
	PB2DDR	—	0	1			
端子構成	TIOCC3出力	PB2入力		PB2出力			
		TIOCC3入力*1					
TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)	
MD3～MD0	B'0000		B'001x	B'0010	B'0011		
IOC3～IOC0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外		B'xx00以外	
CCLR2～CCLR0	—	—	—	—	B'101以外	B'101	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
x : Don't Care							
【注】 *1 MD3～MD0=B'0000、かつ IOC3～IOC0=B'10xx の場合に、TIOCC3 入力となります。							
*2 TIOCD3 は出力禁止となります。							

端子	選択方法と端子機能						
PB1/A9/ TIOCB3	動作モードと PFCR の AE3 ~ AE0 ビット、TMDR3 の MD3 ~ MD0 ビット、TIORH3 の IOB3 ~ IOB0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU3 の設定、および PB1DDR ビットにより、次のように切り替わります。						
	動作モード		モード4~6				
	AE3~AE0	B'0000~B'0001			B'0010~B'1111		
	TPUチャンネル3の設定	下表 (1)	下表 (2)		—		
	PB1DDR	—	0	1	—		
	端子機能	TIOCB3出力	PB1入力	PB1出力	A9出力		
			TIOCB3入力*				
	動作モード		モード7				
	TPUチャンネル3の設定	下表 (1)	下表 (2)				
	PB1DDR	—	0	1			
	端子構成	TIOCB3出力	PB1入力	PB1出力			
			TIOCB3入力*				
	TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00以外	
CCLR1、CCLR0	—		—	—	B'010以外	B'010	
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—	
x : Don't Care							
【注】 * MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に、TIOCB3 入力となります。							

端子	選択方法と端子機能						
PB0/A8/ TIOCA3	動作モードと PFCR の AE3～AE0 ビット、TMDR3 の MD3～MD0 ビット、TIORH3 の IOA3～IOA0 ビット、TCR3 の CCLR2～CCLR0 ビットによる TPU3 の設定、および PB0DDR ビットにより、次のように切り替わります。						
	動作モード	モード4～6					
	AE3～AE0	B'0000			B'0001～B'1111		
	TPUチャンネル3の設定	下表 (1)	下表 (2)		—		
	PB0DDR	—	0	1	—		
	端子機能	TIOCA3出力	PB0入力	PB0出力	A8出力		
			TIOCA3入力*1				
	動作モード	モード7					
	TPUチャンネル3の設定	下表 (1)	下表 (2)				
	PB0DDR	—	1	1			
	端子構成	TIOCA3出力	PB0入力	PB0出力			
			TIOCA3入力*1				
	TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外		B'xx00以外
CCLR1、CCLR0	—	—	—	—	B'001以外	B'001	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
	x : Don't Care						
	【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOA3～IOA0 = B'10xx の場合に、TIOCA3 入力となります。						
	*2 TIOCB3 は出力禁止となります。						

10A.8.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

モード 4～6 では、PFCR、TPU の TIOR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、TPU の TIOR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 10A.15 に示します。

表 10A.15 入力プルアップ MOS の状態 (ポート B)

端子状態	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力または TPU 出力	OFF		OFF		
上記以外			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

10A.9 ポート C

10A.9.1 概要

ポート C は、8 ビットの入出力ポートです。ポート C は、14 ビット PWM 出力 (PWM0、PWM1) とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート C は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート C の各端子の構成を図 10A.8 に示します。

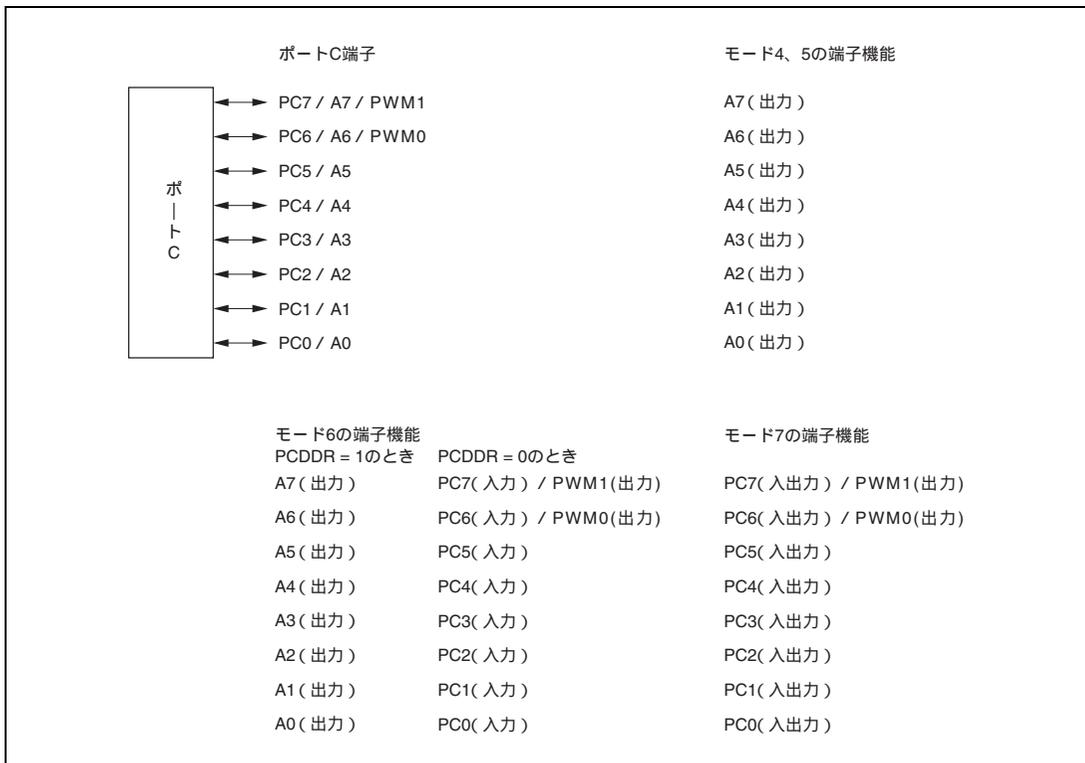


図 10A.8 ポート C の端子機能

10A.9.2 レジスタ構成

表 10A.16 にポート C のレジスタ構成を示します。

表 10A.16 ポート C レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FE3B
ポート C データレジスタ	PCDR	R/W	H'00	H'FF0B
ポート C レジスタ	PORTC	R	不定	H'FFBB
ポート C プルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FE42
ポート C オープンドレイン コントロールレジスタ	PCODR	R/W	H'00	H'FE49

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート C データディレクションレジスタ (PCDDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PCDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PCDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4、5

PCDDR にかかわらず、対応するポート C の各端子はアドレス出力となります。

(b) モード 6

PCDDR を 1 にセットすると対応するポート C の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7

PCDDR を 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート C データレジスタ (PCDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PCDR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC7 ~ PC0) の出力データを格納します。

PCDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート C レジスタ (PORTC)

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PC7 ~ PC0端子の状態により決定されます。

PORTC は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート C の各端子 (PC7 ~ PC0) の出力データのライトは必ず PCDR に対して行ってください。

PCDDR が 1 にセットされているとき、PORTC のリードを行うと PCDR の値をリードします。PCDDR が 0 にクリアされているとき、PORTC のリードを行うと端子の状態が読み出されます。

PORTC は、パワーオンリセットまたはハードウェアスタンバイモードでは、PCDDR、PCDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート C プルアップ MOS コントロールレジスタ (PCPCR)

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PCPCR は、8 ビットのリード/ライト可能なレジスタで、ポート C に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 6、7 では、PWM の DACR および PCDDR の設定により、ポートが入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PCPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート C オープンドレインコントロールレジスタ (PCODR)

ビット :	7	6	5	4	3	2	1	0
	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PCODR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC7~PC0) の PMOS のオン/オフを制御します。

PFCR の AE3~AE0 の設定により、アドレス出力以外のとき、PCODR を 1 にセットするとポート C の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PCODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.9.3 モード別端子機能

(1) モード 4、5

モード 4、5 のとき、ポート C は自動的にアドレス出力になります。

ポート C の端子機能を図 10A.9 に示します。

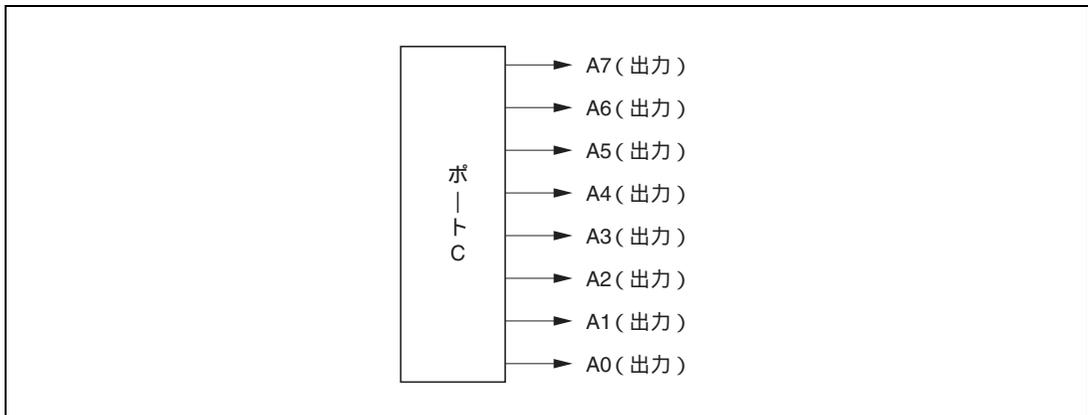


図 10A.9 ポート C の端子機能 (モード 4、5)

(2) モード 6

モード 6 のとき、ポート C はアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PCDDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると PWM 出力および入力ポートとして機能します。

ポート C の端子機能を図 10A.10 に示します。

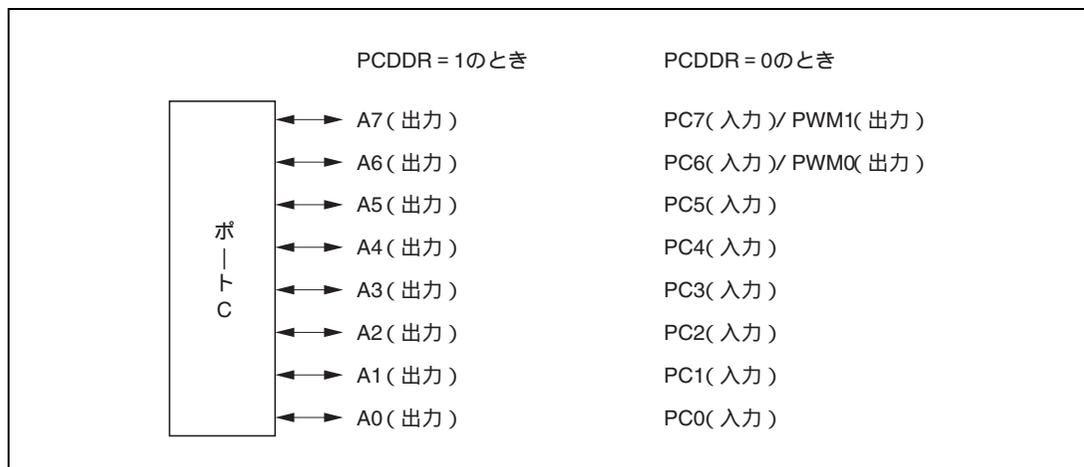


図 10A.10 ポート C の端子機能 (モード 6)

(3) モード 7

モード 7 のとき、ポート C は PWM 出力および入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PCDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート C の端子機能を図 10A.11 に示します。

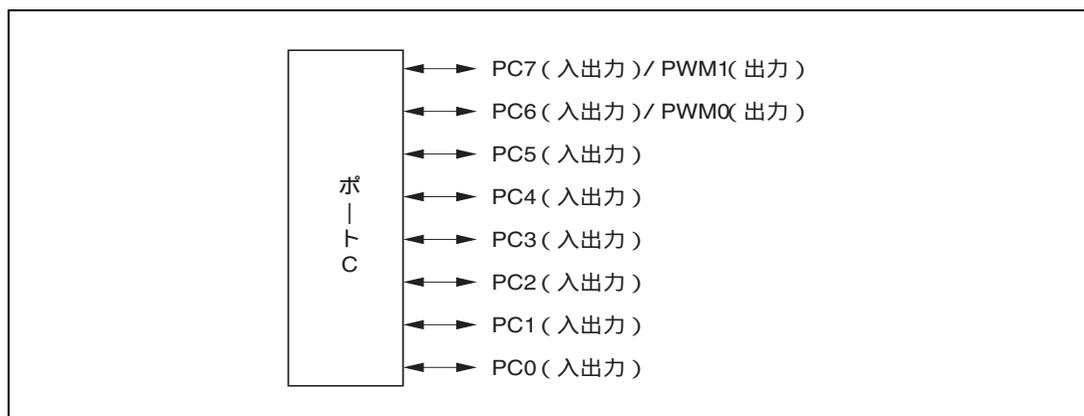


図 10A.11 ポート C の端子機能 (モード 7)

10A.9.4 入力プルアップ MOS

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 6、7 のとき、PWM の DACR および PCDDR の設定により、入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 10A.17 に示します。

表 10A.17 入力プルアップ MOS の状態 (ポート C)

端子状態	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力または PWM 出力	OFF		OFF		
上記以外			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

10A.10 ポート D

10A.10.1 概要

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート D の各端子の構成を図 10A.12 に示します。

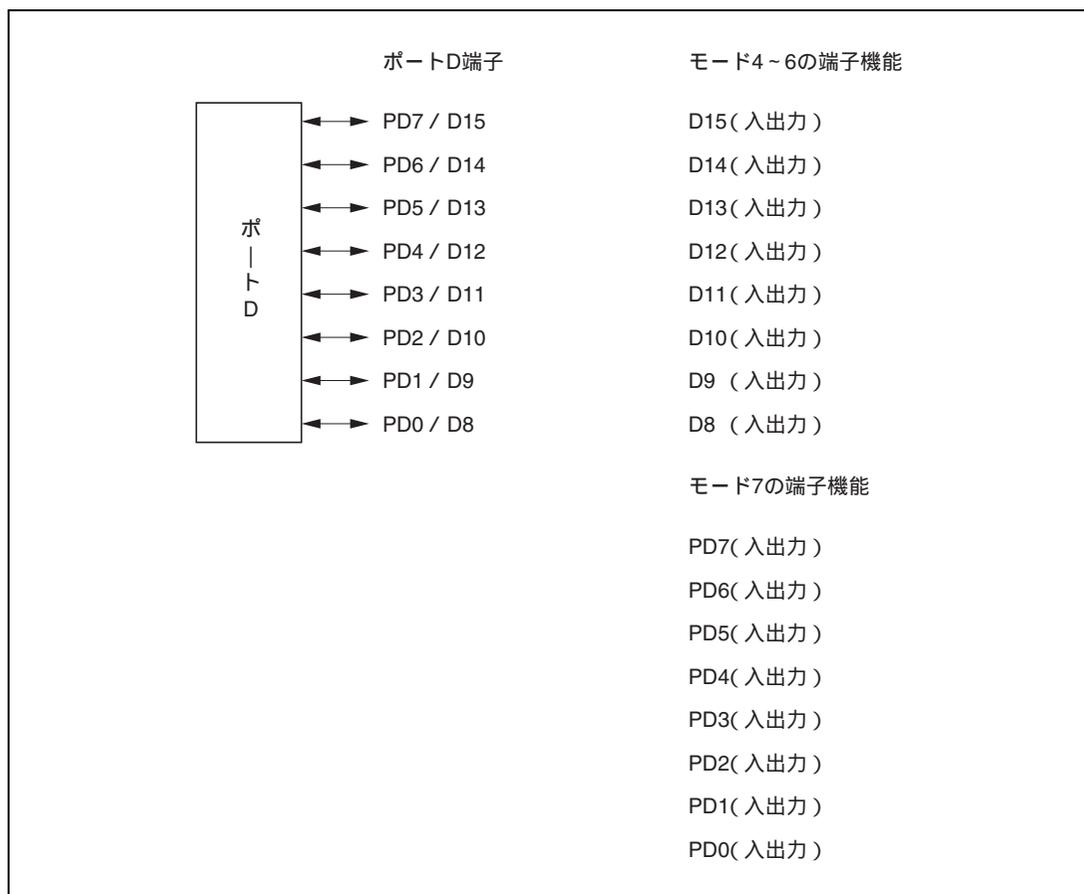


図 10A.12 ポート D の端子機能

10A.10.2 レジスタ構成

表 10A.18 にポート D のレジスタ構成を示します。

表 10A.18 ポート D レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FE3C
ポート D データレジスタ	PDDR	R/W	H'00	H'FF0C
ポート D レジスタ	PORTD	R	不定	H'FFBC
ポート D プルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FE43

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート D データディレクションレジスタ (PDDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PDDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PDDDR は直前の状態を保持します。

(a) モード 4~6

PDDDR による入出力の方向は無視され、自動的にデータ入出力となります。

(b) モード 7

PDDDR を 1 にセットすると対応するポート D の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート D データレジスタ (PDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PDDR は、8 ビットのリード/ライト可能なレジスタで、ポート D の各端子 (PD7 ~ PD0) の出力データを格納します。

PDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート D レジスタ (PORTD)

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PD7 ~ PD0端子の状態により決定されます。

PORTD は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート D の各端子 (PD7 ~ PD0) の出力データのライトは必ず PDDR に対して行ってください。

PDDDR が 1 にセットされているとき、PORTD のリードを行うと PDDR の値をリードします。PDDDR が 0 にクリアされているとき、PORTD のリードを行うと端子の状態が読み出されます。

PORTD は、パワーオンリセットまたはハードウェアスタンバイモードでは、PDDDR、PDDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート D プルアップ MOS コントロールレジスタ (PDPCR)

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PDPCR は、8 ビットのリード/ライト可能なレジスタで、ポート D に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 7 では、PDDDR を 0 にクリアした (入力ポート) 状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PDPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.10.3 モード別端子機能

(1) モード 4~6

モード 4~6 のとき、ポート D は自動的にデータ入出力になります。

ポート D の端子機能を図 10A.13 に示します。

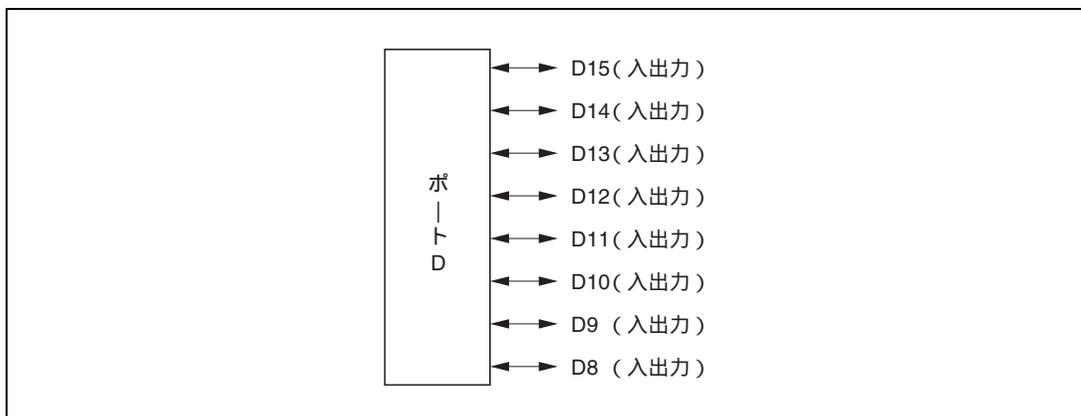


図 10A.13 ポート D の端子機能 (モード 4~6)

(2) モード 7

モード 7 のとき、ポート D は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PDDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート D の端子機能を図 10A.14 に示します。

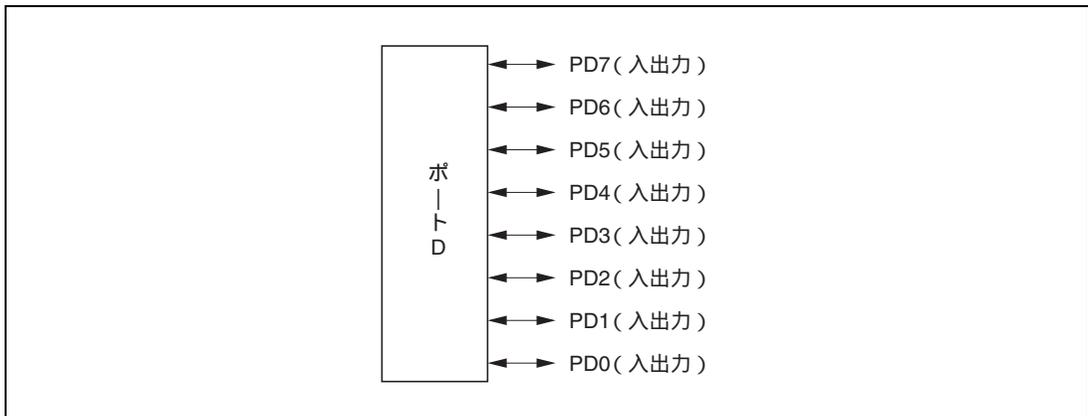


図 10A.14 ポート D の端子機能 (モード 7)

10A.10.4 入力プルアップ MOS

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 7 のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 10A.19 に示します。

表 10A.19 入力プルアップ MOS の状態 (ポート D)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
4~6	OFF		OFF		
7			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

10A.11 ポート E

10A.11.1 概要

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット / 16 ビットバスモードによって端子機能が切り替わります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート E の各端子の構成を図 10A.15 に示します。

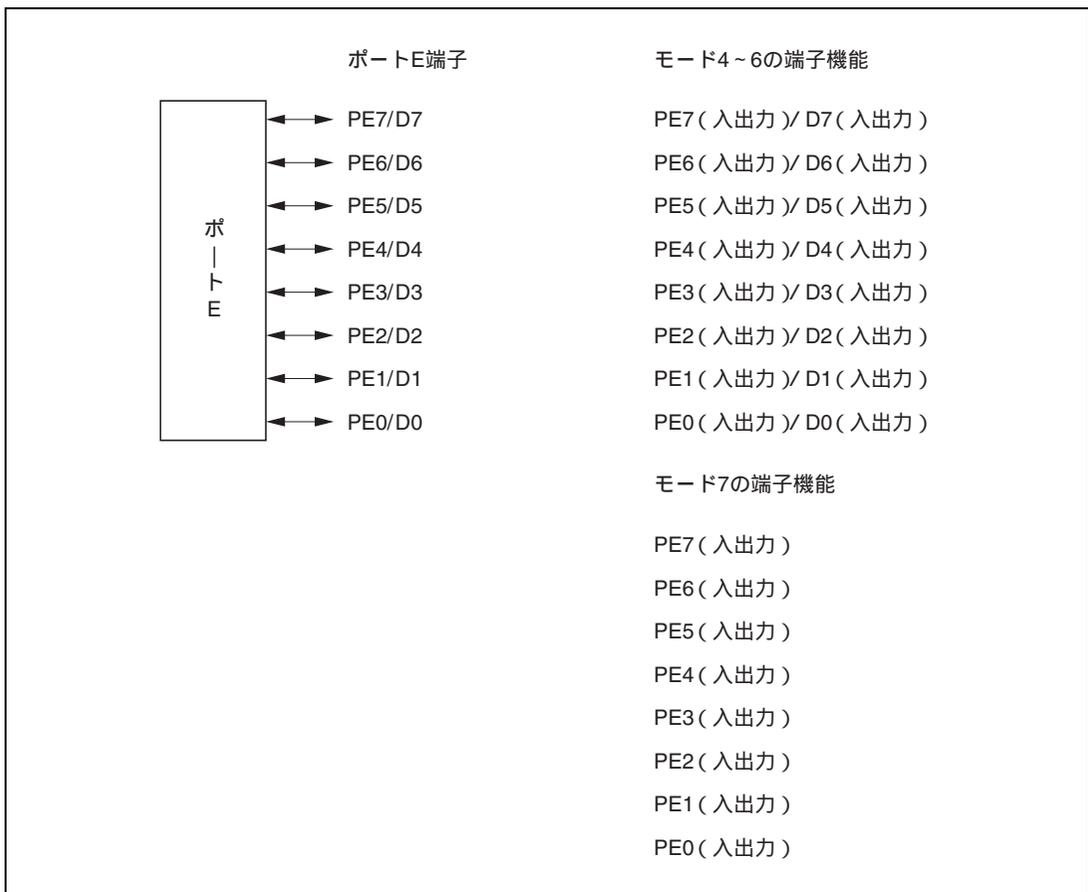


図 10A.15 ポート E の端子機能

10A.11.2 レジスタ構成

表 10A.20 にポート E のレジスタ構成を示します。

表 10A.20 ポート E レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート E データディレクションレジスタ	PEDDR	W	H'00	H'FE3D
ポート E データレジスタ	PEDR	R/W	H'00	H'FF0D
ポート E レジスタ	PORTE	R	不定	H'FFBD
ポート E プルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FE44

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート E データディレクションレジスタ (PEDDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PEDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PEDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PEDDR は直前の状態を保持します。

(a) モード 4~6

8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。

8 ビット / 16 ビットバスモードについては「第 7 章 バスコントローラ」を参照してください。

(b) モード 7

PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート E データレジスタ (PEDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PEDR は、8 ビットのリード/ライト可能なレジスタで、ポート E の各端子 (PE7 ~ PE0) の出力データを格納します。

PEDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート E レジスタ (PORTE)

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PE7 ~ PE0端子の状態により決定されます。

PORTE は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート E の各端子 (PE7 ~ PE0) の出力データのライトは必ず PEDR に対して行ってください。

PEDDR が 1 にセットされているとき、PORTE のリードを行うと PEDR の値をリードします。PEDDR が 0 にクリアされているとき、PORTE のリードを行うと端子の状態が読み出されます。

PORTE は、パワーオンリセットまたはハードウェアスタンバイモードでは、PEDDR、PEDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート E プルアップ MOS コントロールレジスタ (PEPCR)

ビット :	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PEPCR は、8 ビットのリード/ライト可能なレジスタで、ポート E に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4 ~ 6 で 8 ビットバスモードのとき、またはモード 7 のとき、PEDDR を 0 にクリアした (入力ポート) 状態で、PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PEPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.11.3 モード別端子機能

(1) モード 4~6

モード 4~6 の場合で、8 ビットアクセス空間に設定し、8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また、16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。ポート E の端子機能を図 10A.16 に示します。

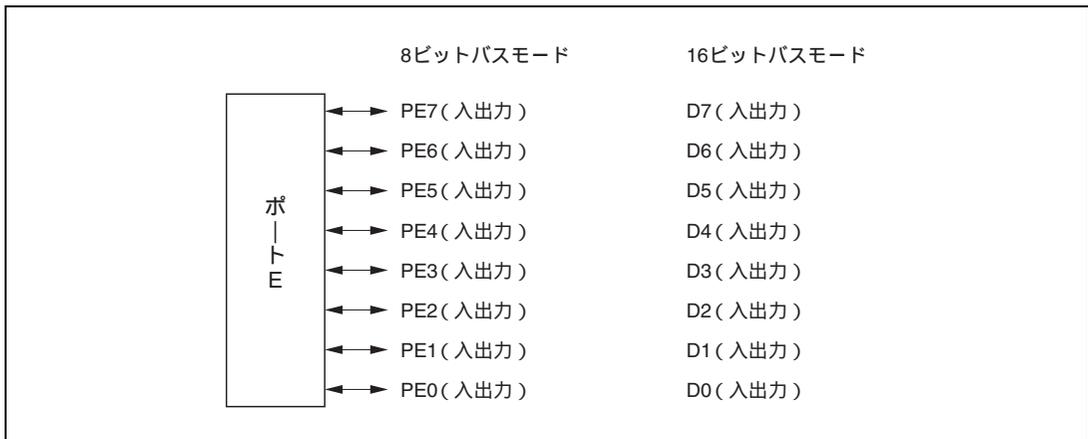


図 10A.16 ポート E の端子機能 (モード 4~6)

(2) モード 7

モード 7 のとき、ポート E は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PEDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート E の端子機能を図 10A.17 に示します。

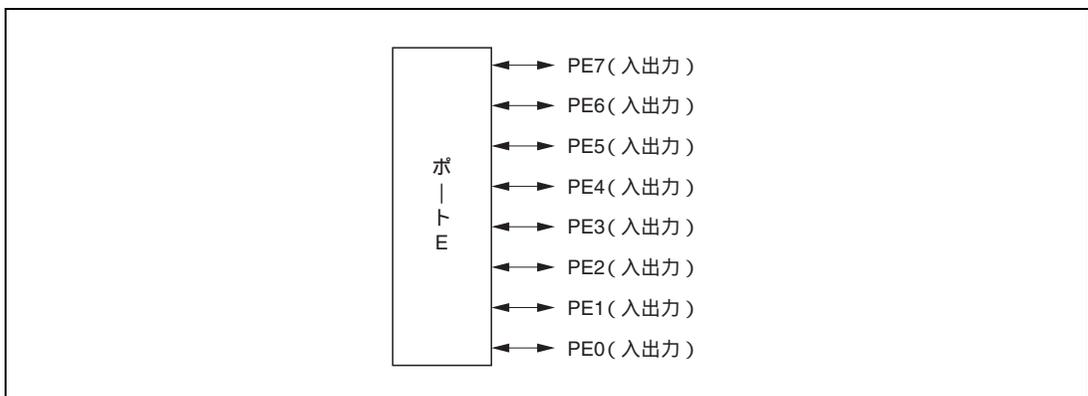


図 10A.17 ポート E の端子機能 (モード 7)

10A.11.4 入力プルアップ MOS

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 10A.21 に示します。

表 10A.21 入力プルアップ MOS の状態 (ポート E)

モード		パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
7		OFF		ON/OFF		
4~6	8 ビットバス					
	16 ビットバス					

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR = 0 かつ PEPCR = 1 のときオン状態、その他のときはオフ状態です。

10A.12 ポート F

10A.12.1 概要

ポート F は、8 ビットの入出力ポートです。ポート F は、外部割り込み入力端子 ($\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$)、BUZZ 出力端子、A/D トリガ入力端子 ($\overline{\text{ADTRG}}$)、バス制御信号入出力端子 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{LCAS}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{BREQ0}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$)、およびシステムクロック () 出力端子と兼用になっています。

ポート F の各端子の構成を図 10A.18 に示します。

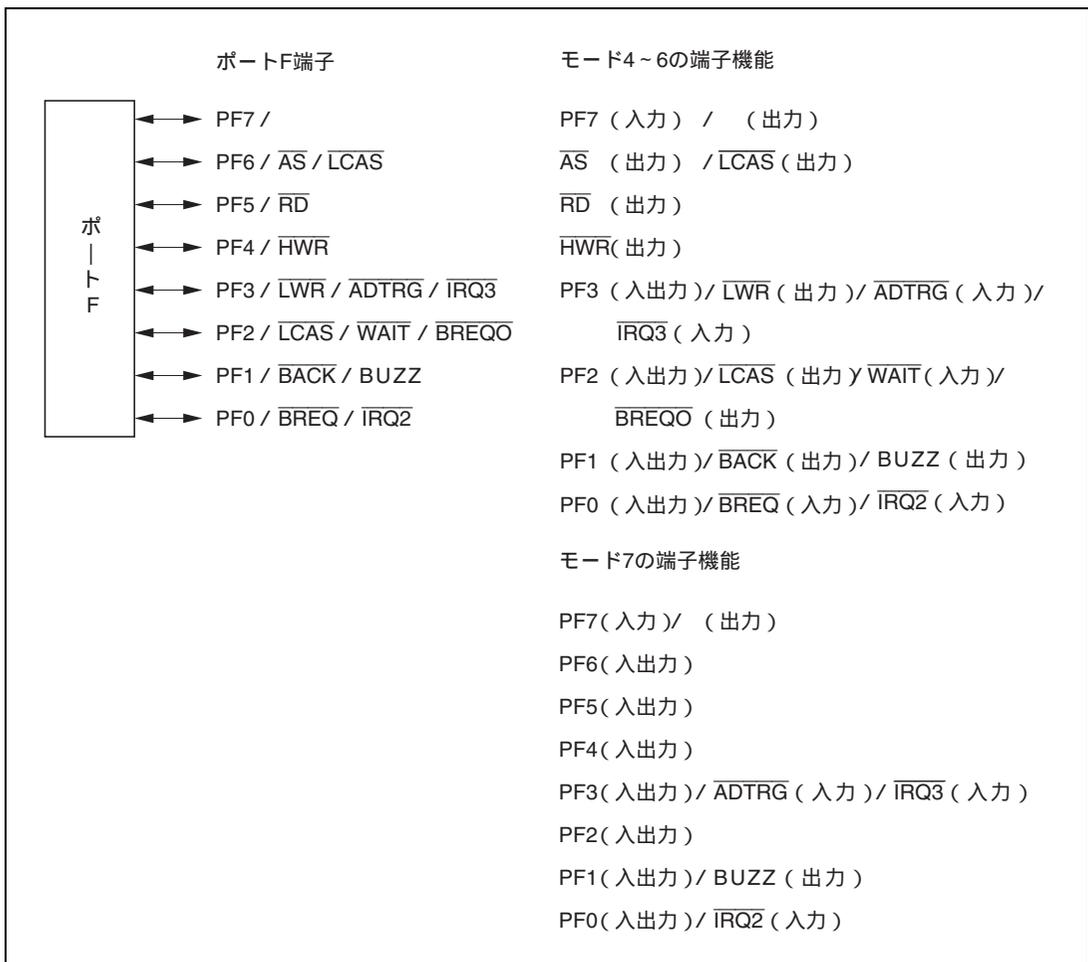


図 10A.18 ポート F の端子機能

10A.12.2 レジスタ構成

表 10A.22 にポート F のレジスタ構成を示します。

表 10A.22 ポート F レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
ポート F データディレクションレジスタ	PFDDR	W	H'80 / H'00*2	H'FE3E
ポート F データレジスタ	PFDR	R/W	H'00	H'FF0E
ポート F レジスタ	PORTF	R	不定	H'FFBE

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 モードによって、初期値が異なります。

(1) ポート F データディレクションレジスタ (PFDDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR

モード4~6

初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

モード7

初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PFDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード4~6 の場合 H'80 に、モード7 の場合 H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PFDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード4~6

PF7 端子は、PFDDR を 1 にセットすると 出力端子、0 にクリアすると入力ポートになります。

PF6~PF3 端子は、PFDDR による入出力の方向は無視され、自動的にバス制御出力 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) となります。また PF6 はバスコントローラの設定により、バス制御出力 (\overline{LCAS}) になります。

PF2~PF0 端子は、バスコントローラの設定により、バス制御入出力 (\overline{LCAS} 、 \overline{WAIT} 、 \overline{BREQO} 、 \overline{BACK} 、 \overline{BREQ}) となります。それ以外のとき、PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード7

PFDDR を 1 にセットすると PF7 端子は 出力端子、PF6~PF0 端子は出力ポートとなります。PFDDR を 0 にクリアすると各端子は入力ポートになります。

(2) ポート F データレジスタ (PFDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PFDR は、8 ビットのリード/ライト可能なレジスタで、ポート F の各端子 (PF7 ~ PF0) の出力データを格納します。

PFDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート F レジスタ (PORTF)

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PF7 ~ PF0端子の状態により決定されます。

PORTF は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート F の各端子 (PF7 ~ PF0) の出力データのライトは必ず PFDR に対して行ってください。

PFDDR が 1 にセットされているとき、PORTF のリードを行うと PFDR の値をリードします。PFDDR が 0 にクリアされているとき、PORTF のリードを行うと端子の状態が読み出されます。

PORTF は、パワーオンリセットまたはハードウェアスタンバイモードでは、PFDDR、PFDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.12.3 端子機能

ポート F は、外部割り込み入力端子 ($\overline{IRQ2}$ 、 $\overline{IRQ3}$)、BUZZ 出力端子、A/D トリガ入力 (\overline{ADTRG}) 端子、バス制御信号入出力端子 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{LCAS} 、 \overline{WAIT} 、 \overline{BREQO} 、 \overline{BREQ} 、 \overline{BACK})、およびシステムクロック () 出力端子と兼用になっています。モード 4~6 とモード 7 では端子機能が異なります。ポート F の端子機能を表 10A.23 に示します。

表 10A.23 ポート F の端子機能

端子	選択方法と端子機能			
PF7/	PF7DDR ビットにより、次のように切り替わります。			
	PF7DDR	0		1
	端子機能	PF7入力端子		出力端子
PF6/ \overline{AS} / \overline{LCAS}	動作モードと RMTS2~RMTS0 ビット、LCASS ビット、BREQOE ビット、WAITE ビット、ABW5~ABW2 ビットおよび PF2DDR ビットの組み合わせにより次のように切り替わります。			
	動作モード	モード4~6		モード7
	LCASS	0	1*	-
	PF6DDR	-	-	0 1
	端子機能	\overline{AS} 出力端子	\overline{LCAS} 出力端子	PF6入力端子
【注】 * モード 4~6 で RMTS2~RMTS0=B'001~B'011、DRAM 空間 16 ビットアクセスの場合に限ります。				
PF5/ \overline{RD}	動作モードと PF5DDR ビットにより、次のように切り替わります。			
	動作モード	モード4~6		モード7
	PF5DDR	-		0 1
	端子機能	\overline{RD} 出力端子	PF5入力端子	PF5出力端子
PF4/ \overline{HWR}	動作モードと PF4DDR ビットにより、次のように切り替わります。			
	動作モード	モード4~6		モード7
	PF4DDR	-		0 1
	端子機能	\overline{HWR} 出力端子	PF4入力端子	PF4出力端子

端子	選択方法と端子機能							
PF3/LWR/ ADTRG/ IRQ3	動作モード、バスモードと A/D 変換器の TRGS1、TRGS0 ビット、および PF3DDR ビットにより、次のように切り替わります。							
	動作モード		モード4~6				モード7	
	バスモード		16ビット バスモード		8ビットバスモード		-	
	PF3DDR		-		0		1	
	端子機能		LWR出力 端子		PF3入力端子 PF3出力端子		PF3入力端子 PF3出力端子	
					ADTRG入力端子*1			
					IRQ3入力端子*2			
	<p>【注】 *1 TRGS0 = TRGS1 = 1 のとき ADTRG 入力となります。</p> <p>*2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。</p>							
PF2/LCAS/ WAIT/ BREQO	動作モードと RMTS2 ~ RMTS0 ビット、LCASS ビット、BREQOE ビット、WAITE ビット、ABW5 ~ ABW2 ビットおよび PF2DDR ビットの組み合わせにより次のように切り替わります。							
	動作モード		モード4~6				モード7	
	LCASS		0*		1		-	
	BREQOE		-		0		1	
	WAITE		-		0		1	
	PF2DDR		-		0		1	
	端子機能		LCAS 出力端子		PF2 入力端子		PF2 出力端子	
					WAIT 入力端子		BREQO 出力端子	
					PF2 入力端子		PF2 出力端子	
	<p>【注】 * モード4~6で RMTS2 ~ RMTS0 = B'001 ~ B'011、DRAM 空間 16 ビットアクセスの場合に限ります。</p>							
PF1/BACK/ BUZZ	動作モードと BRLE ビット、BUZZE ビット、PF1DDR ビットにより次のように切り替わります。							
	動作モード		モード4~6				モード7	
	BRLE		0		1		-	
	BUZZE		0		1		-	
	PF1DDR		0		1		-	
	端子機能		PF1 入力端子		PF1 出力端子		BUZZ 出力端子	
					BUZZ 出力端子		BACK 出力端子	
					PF1 入力端子		PF1 出力端子	

端子	選択方法と端子機能					
PF0/ $\overline{\text{BREQ}}$ / $\overline{\text{IRQ2}}$	動作モードと BRLE ビット、PF0DDR ビットにより次のように切り替わります。					
	動作モード	モード4~6			モード7	
	BRLE	0		1	-	
	PF0DDR	0	1	-	0	1
	端子機能	PF0 入力端子	PF0 出力端子	$\overline{\text{BREQ}}$ 入力端子	PF0 入力端子	PF0 出力端子
$\overline{\text{IRQ2}}$ 入力端子						

10A.13 ポート G

10A.13.1 概要

ポート G は、5 ビットの入出力ポートで、外部割り込み入力端子 ($\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$)、バス制御信号出力端子 ($\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{OE}}$) と兼用になっています。

ポート G の各端子の構成を図 10A.19 に示します。

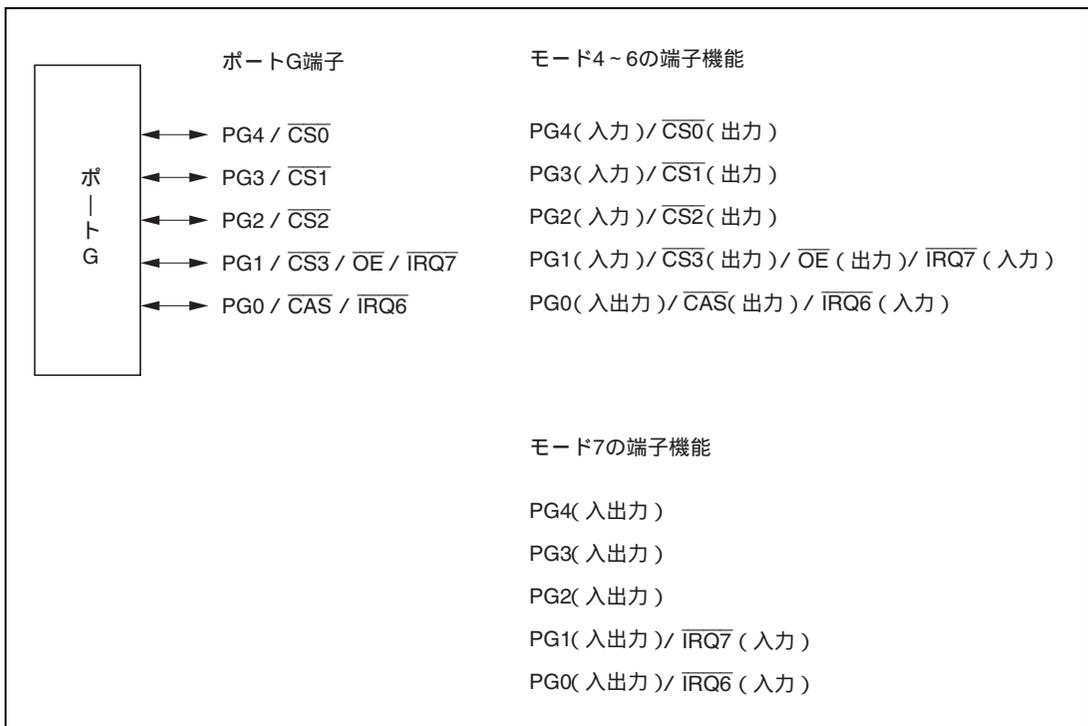


図 10A.19 ポート G の端子機能

10A.13.2 レジスタ構成

表 10A.24 にポート G のレジスタ構成を示します。

表 10A.24 ポート G レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート G データディレクションレジスタ	PGDDR	W	H'10 / H'00* ³	H'FE3F
ポート G データレジスタ	PGDR	R/W	H'00	H'FF0F
ポート G レジスタ	PORTG	R	不定	H'FFBF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 4~0 の値を示します。

*3 モードによって、初期値が異なります。

(1) ポート G データディレクションレジスタ (PGDDR)

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR

モード4、5

初期値 : 不定 不定 不定 1 0 0 0 0

R/W : W W W W W

モード6、7

初期値 : 不定 不定 不定 0 0 0 0 0

R/W : W W W W W

PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。リードは無効です。また、ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。

PGDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 4、5 の場合 H'10 (ビット 4~0) に、モード 6、7 の場合 H'00 (ビット 4~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PGDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4~6

PG4~PG1 端子は、PGDDR を 1 にセットするとバス制御信号出力端子 ($\overline{CS0}$ ~ $\overline{CS3}$ 、 \overline{OE})、0 にクリアすると入力ポートになります。

PG0 端子は、DRAM インタフェースを設定すると \overline{CAS} 出力端子、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

DRAM インタフェースについては「第 7 章 バスコントローラ」を参照してください。

(b) モード 7

PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(2) ポート G データレジスタ (PGDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

PGDR は、8 ビットのリード/ライト可能なレジスタで、ポート G の各端子 (PG4~PG0) の出力データを格納します。

ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 (ビット 4~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート G レジスタ (PORTG)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値 :	不定	不定	不定	- *	- *	- *	- *	- *
R/W :	-	-	-	R	R	R	R	R

【注】* PG4~PG0端子の状態により決定されます。

PORTG は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート G の各端子 (PG4~PG0) の出力データのライトは必ず PGDR に対して行ってください。

ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDDR が 1 にセットされているとき、PORTG のリードを行うと PGDR の値をリードします。PGDDR が 0 にクリアされているとき、PORTG のリードを行うと端子の状態が読み出されます。

PORTG は、パワーオンリセットまたはハードウェアスタンバイモードでは、PGDDR、PGDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10A.13.3 端子機能

ポート G は、外部割り込み入力端子 ($\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$)、バス制御信号出力端子 ($\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{OE}}$) と兼用になっています。モード 4~6 とモード 7 では端子機能が異なります。ポート G の端子機能を表 10A.25 に示します。

表 10A.25 ポート G の端子機能

端子	選択方法と端子機能					
PG4/ $\overline{\text{CS0}}$	動作モードと PG4DDR ビットにより、次のように切り替わります。					
	動作モード	モード 4~6			モード 7	
	PG4DDR	0	1	0	1	
	端子機能	PG4入力端子	$\overline{\text{CS0}}$ 出力端子	PG4入力端子	PG4出力端子	
PG3/ $\overline{\text{CS1}}$	動作モードと PG3DDR ビットにより、次のように切り替わります。					
	動作モード	モード 4~6			モード 7	
	PG3DDR	0	1	0	1	
	端子機能	PG3入力端子	$\overline{\text{CS1}}$ 出力端子	PG3入力端子	PG3出力端子	
PG2/ $\overline{\text{CS2}}$	動作モードと PG2DDR ビットにより、次のように切り替わります。					
	動作モード	モード 4~6			モード 7	
	PG2DDR	0	1	0	1	
	端子機能	PG2入力端子	$\overline{\text{CS2}}$ 出力端子	PG2入力端子	PG2出力端子	
PG1/ $\overline{\text{CS3}}$ / $\overline{\text{OE}}$ / $\overline{\text{IRQ7}}$	動作モードと BCRL の OES ビットと PG1DDR ビットにより、次のように切り替わります。					
	動作モード	モード 4~6			モード 7	
	PG1DDR	0	1	0	1	
	OES	-	0	1	-	-
	端子機能	PG1入力端子	$\overline{\text{CS3}}$ 出力端子	$\overline{\text{OE}}$ 出力端子	PG1入力端子	PG1出力端子
$\overline{\text{IRQ7}}$ 入力						
PG0/ $\overline{\text{CAS}}$ / $\overline{\text{IRQ6}}$	動作モードと BCRH の RMTS2~RMTS0 と PG0DDR ビットにより、次のように切り替わります。					
	動作モード	モード 4~6			モード 7	
	RMTS2~RMTS0	B'000		B'001~B'011		-
	PG0DDR	0	1	-	0	1
	端子機能	PG0 入力端子	PG0 出力端子	$\overline{\text{CAS}}$ 出力	PG0 入力端子	PG0 出力端子
$\overline{\text{IRQ6}}$ 入力						

10B. I/O ポート (H8S/2695)

10B.1 概要

本 LSI には、10 本の入出力ポート (ポート 1、3、7、A~G) と 2 本の入力専用ポート (ポート 4、9) があります。

ポート機能一覧を表 10B.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と、出力データを格納するデータレジスタ (DR) と、端子の状態をリードするポートレジスタ (PORT) から構成されています。なお、入力専用ポートには DR、DDR はありません。

本 LSI のポート A~E には、入力プルアップ MOS が内蔵されており、DDR、DR のほかに、入力プルアップ MOS コントロールレジスタ (PCR) で、入力プルアップ MOS のオン/オフを制御します。

本 LSI のポート 3、A~C には、オープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン/オフを制御します。

ポート 10~13、70~73、A~G は、拡張バス制御信号出力端子として使用する場合、1 個の TTL 負荷と 50pF の容量負荷を駆動することができ、それ以外の場合とポート 14~17、3、74~77 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

各ポートのブロック図は、「付録 C I/O ポートのブロック図」を参照してください。

表 10B.1 ポートの機能一覧

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート 1	<ul style="list-style-type: none"> 8 ビットの入出力ポート シュミットトリガ入力 (P16、P14) 	P17/TIOCB2/TCLKD P16/TIOCA2/ $\overline{IRQ1}$ P15/TIOCB1/TCLKC P14/TIOCA1/ $\overline{IRQ0}$ P13 /TIOCD0/TCLKB/A23 P12 /TIOCC0/TCLKA/A22 P11/TIOCB0/A21 P10/TIOCA0/A20	TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と割り込み入力端子 ($\overline{IRQ0}$ 、 $\overline{IRQ1}$) とアドレス出力 (A20 ~ A23) と 8 ビット入出力ポートとの兼用			TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と割り込み入力端子 ($\overline{IRQ0}$ 、 $\overline{IRQ1}$) と 8 ビット入出力ポートとの兼用
ポート 3	<ul style="list-style-type: none"> 8 ビットの入出力ポート オープンドレイン出力可能 シュミットトリガ入力 (P35、P32) 	P37/TxD4 P36/RxD4 P35/SCK1/SCK4/ $\overline{IRQ5}$ P34/RxD1 P33/TxD1 P32/SCK0/ $\overline{IRQ4}$ P31/RxD0 P30/TxD0	SCI (チャンネル 0、1、4) の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1、TxD4、RxD4、SCK4) と割り込み入力端子 ($\overline{IRQ4}$ 、 $\overline{IRQ5}$) と 8 ビット入出力ポートの兼用			
ポート 4	<ul style="list-style-type: none"> 8 ビットの入力ポート 	P47/AN7 P46/AN6 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0	A/D 変換器のアナログ入力 (AN7 ~ AN0) と 8 ビット入力ポートの兼用			
ポート 7	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	P77/TxD3 P76/RxD3 P75/SCK3 P74/MRES P73/CS7 P72/CS6 P71/CS5 P70/CS4	バス制御出力端子 ($\overline{CS4}$ ~ $\overline{CS7}$)、SCI の入出力端子 (SCK3、RxD3、TxD3)、マニュアルリセット入力端子 (\overline{MRES}) と 8 ビット入出力ポートの兼用			SCI の入出力端子 (SCK3、RxD3、TxD3) マニュアルリセット入力端子 (\overline{MRES}) と 8 ビット入出力ポートの兼用

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート 9	<ul style="list-style-type: none"> 8 ビットの 入力ポート 	P97/AN15 P96/AN14 P95/AN13 P94/AN12 P93/AN11 P92/AN10 P91/AN9 P90/AN8	A/D 変換器のアナログ入力 (AN15 ~ AN8) と 8 ビット入力ポートの兼用			
ポート A	<ul style="list-style-type: none"> 4 ビットの 入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PA3/A19/SCK2 PA2/A18/RxD2 PA1/A17/TxD2 PA0/A16	SCI (チャンネル 2) の入出力端子 (TxD2、RxD2、SCK2) とアドレス出力 (A19 ~ A16) と 4 ビット入出力ポートとの兼用		SC (チャンネル 2) の入出力端子 (TxD2、RxD2、SCK2) と 4 ビット入出力ポートとの兼用	
ポート B	<ul style="list-style-type: none"> 8 ビットの 入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PB7/A15/TIOCB5 PB6/A14/TIOCA5 PB5/A13/TIOCB4 PB4/A12/TIOCA4 PB3/A11/TIOCD3 PB2/A10/TIOCC3 PB1/A9/TIOCB3 PB0/A8/TIOCA3	TPU の入出力端子 (TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3) とアドレス出力 (A15 ~ A8) と 8 ビットの入出力ポートの兼用		TPU の入出力端子 (TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3) と 8 ビットの入出力ポートとの兼用	
ポート C	<ul style="list-style-type: none"> 8 ビットの 入出力ポート 入力プルアップ MOS 内蔵 オープンドレイン出力可能 	PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	アドレス出力 (A7 ~ A0) と 8 ビット入出力ポートとの兼用		8 ビット入出力ポートとの兼用	
ポート D	<ul style="list-style-type: none"> 8 ビットの 入出力ポート 入力プルアップ MOS 内蔵 	PD7/D15 PD6/D14 PD5/D13 PD4/D12 PD3/D11 PD2/D10 PD1/D9 PD0/D8	データバス入出力			入出力ポート

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート E	<ul style="list-style-type: none"> 8 ビットの入出力ポート 入力プルアップ MOS 内蔵 	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	8 ビットバスモードのとき入出力ポート 16 ビットバスモードのときデータバス入出力			入出力ポート
ポート F	<ul style="list-style-type: none"> 8 ビットの入出力ポート 	PF7/	DDR = 0 のとき入力ポート DDR = 1 のとき (リセット後) 出力			DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき 出力
		PF6/ \overline{AS} PF5/ \overline{RD} PF4/ \overline{HWR} PF3 / $\overline{LWR}/\overline{ADTRG}/\overline{IRQ3}$	\overline{RD} 、 \overline{HWR} 、 \overline{LWR} 出力 \overline{ADTRG} 、 $\overline{IRQ3}$ 入力 \overline{AS} 出力			入出力ポート \overline{ADTRG} 、 $\overline{IRQ3}$ 入力
		PF2/ \overline{WAIT} / \overline{BREQO}	WAITE = 0、BREQOE = 0 のとき (リセット後) 入出力ポート WAITE = 1、BREQOE = 0 のとき \overline{WAIT} 入力 WAITE = 0、BREQOE = 1 のとき \overline{BREQO} 入力			入出力ポート
		PF1/ \overline{BACK} PF0/ $\overline{BREQ}/\overline{IRQ2}$	BRLE = 0 のとき (リセット後) 入出力ポート BRLE = 1 のとき \overline{BREQ} 入力、 \overline{BACK} 出力 $\overline{IRQ2}$ 入力			$\overline{IRQ2}$ 入力 入出力ポート
ポート G	<ul style="list-style-type: none"> 5 ビットの入出力ポート 	PG4/ $\overline{CS0}$	DDR = 0 のとき*1 入力ポート DDR = 1 のとき*2 $\overline{CS0}$ 出力			入出力ポート
		PG3/ $\overline{CS1}$ PG2/ $\overline{CS2}$ PG1/ $\overline{CS3}/\overline{IRQ7}$	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき $\overline{CS1}$ 、 $\overline{CS2}$ 、 $\overline{CS3}$ 出力 $\overline{IRQ7}$ 入力			入出力ポート $\overline{IRQ7}$ 入力
		PG0/ $\overline{IRQ6}$	(リセット後) 入出力ポート $\overline{IRQ6}$ 入力			入出力ポート $\overline{IRQ6}$ 入力

【注】 *1 モード 6 のリセット後

*2 モード 4、5 のリセット後

10B.2 ポート 1

10B.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、外部割り込み端子 ($\overline{IRQ0}$ 、 $\overline{IRQ1}$)、アドレスバス出力端子 (A23 ~ A20) と兼用になっています。ポート 1 の端子機能は動作モードによって切り替わります。

ポート 1 の各端子の構成を図 10B.1 に示します。

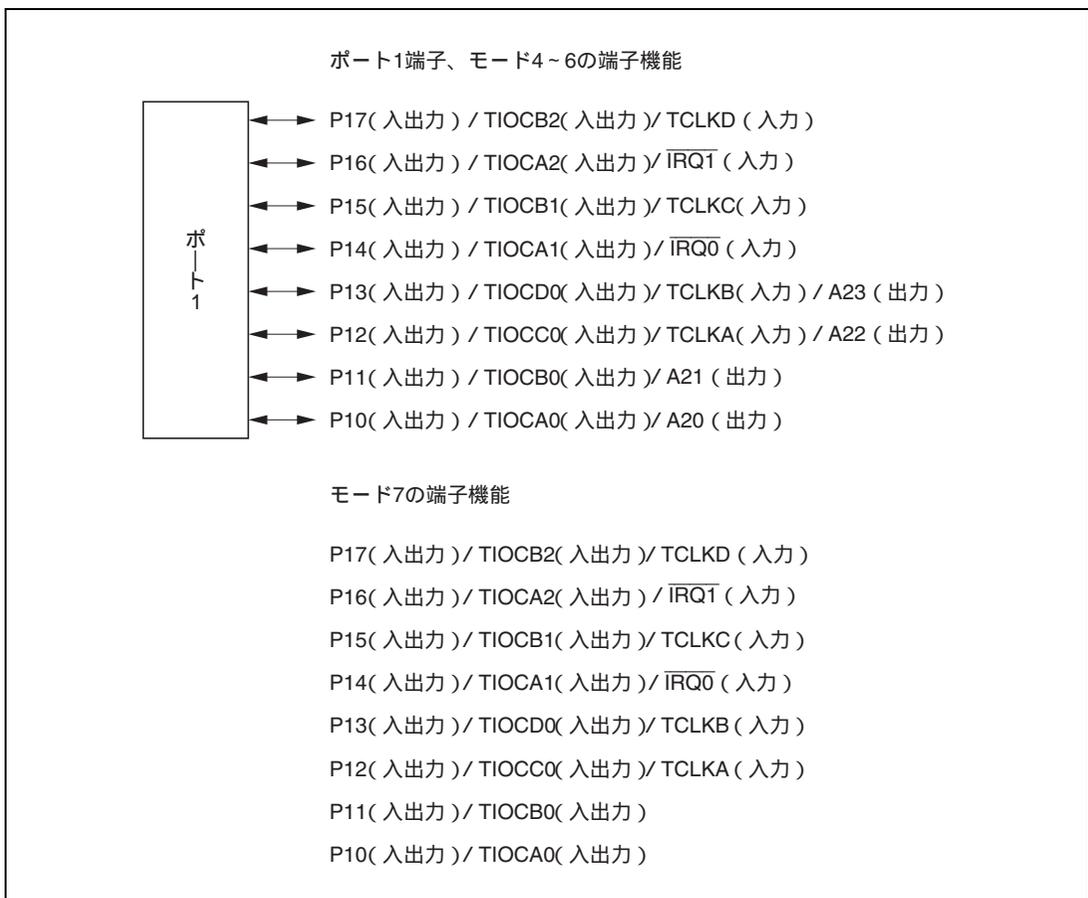


図 10B.1 ポート 1 の端子機能

10B.2.2 レジスタ構成

表 10B.2 にポート 1 のレジスタ構成を示します。

表 10B.2 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FE30
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF00
ポート 1 レジスタ	PORT1	R	不定	H'FFB0

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。

P1DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。マニュアルリセットでは TPU は初期化されるため、P1DDR、P1DR の指定によって端子状態が決定されます。

(2) ポート 1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 (P17~P10) の出力データを格納します。

P1DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート1 レジスタ (PORT1)

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P17～P10端子の状態により決定されます。

PORT1 は、8ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート1の各端子 (P17～P10) の出力データのライトは必ず PIDR に対して行ってください。

PIDDR が1にセットされているとき、PORT1 のリードを行うと PIDR の値をリードします。PIDDR が0にクリアされているとき、PORT1 のリードを行うと端子の状態が読み出されます。

PORT1 は、パワーオンリセットまたはハードウェアスタンバイモードではPIDDR、PIDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.2.3 端子機能

ポート1の各端子は、TPUの入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2)、外部割り込み入力端子 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$)、アドレスバス出力端子 (A23 ~ A20) と兼用になっています。ポート1の端子機能を表10B.3に示します。

表 10B.3 ポート1の端子機能

端子	選択方法と端子機能						
P17/ TIOCB2/ TCLKD	TMDR2のMD3~MD0ビット、TIOB2のIOB3~IOB0ビット、TCR2のCCLR1、CCLR0ビットによるTPUチャンネル2の設定、TCR0、TCR5のTPSC2~TPSC0ビット、およびP17DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル2の設定	下表(1)		下表(2)			
	P17DDR	-		0	1		
	端子機能	TIOCB2出力		P17入力		P17出力	
				TIOCB2入力*1			
		TCLKD入力*2					
	<p>【注】 *1 MD3~MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB2 入力となります。</p> <p>*2 TCR0、TCR5 のいずれかの設定が TPSC2~TPSC0=B'111 の場合に TCLKD 入力となります。また、チャンネル2、4を位相計数モードに設定すると、TCLKD入力となります。</p>						
	TPUチャンネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	-	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	x : Don't care						

端子	選択方法と端子機能							
P16/ TIOCA2/ IRQT	TMDR2 の MD3 ~ MD0 ビット、TIOA2 の IOA3 ~ IOA0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、および P16DDR ビットの組み合わせにより、次のように切り替わります。							
	TPUチャンネル2の設定	下表 (1)		下表 (2)				
	P16DDR	-		0	1			
	端子機能	TIOCA2出力		P16入力		P16出力		
				TIOCA2入力*1				
	IRQT入力							
	TPUチャンネル2の設定	(2)	(1)		(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011		
	IOA3 ~ IOA0	B'0000	B'0001 ~ B'0011		B'xx00	B'xx00以外		
		B'0100	B'0101 ~ B'0111					
B'1xxx								
CCLR1、CCLR0	-	-		-	-	B'01以外	B'01	
出力機能	-	アウトプット コンペア出力		-	PWM *2 モード1出力	PWM モード2出力	-	
x : Don't care								
<p>【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA2 入力となります。</p> <p>*2 TIOCB2 は出力禁止となります。</p>								

端子	選択方法と端子機能						
P15/ TIOCB1/ TCLKC	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOB3 ~ IOB0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR0、TCR2、TCR4、TCR5 の TPSC2 ~ TPSC0 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル1の設定	下表 (1)		下表 (2)			
	P15DDR	-		0	1		
	端子機能	TIOCB1出力		P15入力	P15出力		
				TIOCB1入力*1			
	TCLKC入力*2						
	<p>【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB1 入力となります。</p> <p>*2 TCR0、TCR2 のいずれかの設定が TPSC2 ~ TPSC0 = B'110 または TCR4、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKC 入力となります。</p> <p>また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。</p>						
	TPUチャンネル1の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
	x : Don't care						

端子	選択方法と端子機能							
P14/ TIOCA1/ $\overline{\text{IRQ0}}$	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOA3 ~ IOA0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、および P14DDR ビットの組み合わせにより、次のように切り替わります。							
	TPUチャンネル1の設定	下表 (1)			下表 (2)			
	P14DDR	-			0	1		
	端子機能	TIOCA1出力			P14入力	P14出力		
					TIOCA1入力*1			
	$\overline{\text{IRQ0}}$ 入力							
	TPUチャンネル1の設定	(2)	(1)		(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx			B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000	B'0001 ~ B'0011		B'xx00	B'xx00以外		B'xx00以外
		B'0100	B'0101 ~ B'0111					
B'1xxx								
CCLR1、CCLR0	-	-		-	-	B'01以外	B'01	
出力機能	-	アウトプット コンペア出力		-	PWM *2 モード1出力	PWM モード2出力	-	
x : Don't care								
【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA1 入力となります。								
*2 TIOCB1 は出力禁止となります。								

端子	選択方法と端子機能					
P13/ TIOCD0/ TCLKB/A23	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOCD0 の IOD3 ~ IOD0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR0 ~ TCR2 の TPSC2 ~ TPSC0 ビット、PFCR の AE3 ~ AE0 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。					
動作モード		モード 4 ~ 6				
AE3 ~ AE0	B'0000 ~ B'1110			B'1111		
TPUチャンネル0の設定	下表 (1)	下表 (2)		-		
P13DDR	-	0	1	-		
端子機能	TIOCD0出力	P13入力	P13出力	A23出力		
		TIOCD0入力*1				
	TCLKB入力*2					
動作モード		モード 7				
AE3 ~ AE0	-					
TPUチャンネル0の設定	下表 (1)	下表 (2)				
P13DDR	-	0	1			
端子機能	TIOCD0出力	P13入力	P13出力			
		TIOCD0入力*1				
	TCLKB入力*2					
<p>【注】 *1 MD3 ~ MD0 = B'0000、かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD0 入力となります。</p> <p>*2 TCR0 ~ TCR2 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKB 入力となります。</p> <p>また、チャンネル 1、5 を位相計数モードに設定すると TCLKB 入力となります。</p>						
TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOD3 ~ IOD0	B'0000	B'0001 ~ B'0011		-	B'xx00	B'xx00以外
	B'0100	B'0101 ~ B'0111				
	B'1xxx					
CCLR2 ~ CCLR0	-	-	-	-	B'110以外	B'110
出力機能	-	アウトプットコンペア出力		-	-	PWMモード2出力
x : Don't care						

端子	選択方法と端子機能						
P12/ TIOCC0/ TCLKA/A22	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOCR0L の IOC3 ~ IOC0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR0 ~ TCR5 の TPSC2 ~ TPSC0 ビット、PFCR の AE3 ~ AE0 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード		モード4~6				
	AE3 ~ AE0		B'0000 ~ B'1110			B'1111	
	TPUチャンネル0の設定		下表(1)	下表(2)		-	
	P12DDR		-	0	1	-	
	端子機能		TIOCC0出力	P12入力	P12出力	A22出力	
			TIOCC0入力*1				
			TCLKA入力*2				
	動作モード		モード7				
	AE3 ~ AE0		-				
TPUチャンネル0の設定		下表(1)	下表(2)				
P12DDR		-	0	1			
端子機能		TIOCC0出力	P12入力	P12出力			
		TIOCC0入力*1					
		TCLKA入力*2					
TPUチャンネル0の設定		(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0		B'0000		B'001x	B'0010	B'0011	
IOC3 ~ IOC0		B'0000	B'0001 ~ B'0011	B'xx00	B'xx00以外		B'xx00以外
		B'0100	B'0101 ~ B'0111				
		B'1xxx					
CCLR2 ~ CCLR0		-	-	-	-	B'101以外	B'101
出力機能		-	アウトプット コンペア出力	-	PWM *3 モード1出力	PWM モード2出力	-
x : Don't care							
<p>【注】 *1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC0 入力となります。</p> <p>*2 TCR0 ~ TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。 また、チャンネル 1、5 を位相計数モードに設定すると TCLKA 入力となります。</p> <p>*3 TIOCD0 は出力禁止となります。 TMDR0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。</p>							

端子	選択方法と端子機能					
P11/ TIOCB0/ A21	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOR0H の IOB3 ~ IOB0 ビットによる TPU チャンネル 0 の設定、PFCR の AE3 ~ AE0 ビット、P11DDR ビットの組み合わせにより、次のように切り替わります。					
	動作モード		モード4~6			
AE3 ~ AE0	B'0000 ~ B'1101			B'1110 ~ B'1111		
TPUチャンネル0の設定	下表(1)	下表(2)		-		
P11DDR	-	0	1	-		
端子機能	TIOCB0出力	P11入力	P11出力	A21出力		
		TIOCB0入力*				
動作モード		モード7				
AE3 ~ AE0	-					
TPUチャンネル0の設定	下表(1)	下表(2)				
P11DDR	-	0	1			
端子機能	TIOCB0出力	P11入力	P11出力			
		TIOCB0入力*				
【注】 * MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB0 入力となります。						
TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOB3 ~ IOB0	B'0000	B'0001 ~ B'0011	-	B'xx00	B'xx00以外	
	B'0100	B'0101 ~ B'0111				
	B'1xxx					
CCLR2 ~ CCLR0	-	-	-	-	B'010以外	B'010
出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-
x : Don't care						

端子	選択方法と端子機能						
P10/ TIOCA0/ A20	動作モードと TMDR0 の MD3 ~ MD0 ビット、TIOR0H の IOA3 ~ IOA0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャネル 0 の設定、PFCCR の AE3 ~ AE0 ビット、P10DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード		モード4 ~ 6				
	AE3 ~ AE0		B'0000 ~ B'1100			B'1101 ~ B'1111	
	TPUチャネル0の設定	下表(1)	下表(2)		-		
	P10DDR	-	0	1	-		
	端子機能	TIOCA0出力	P10入力	P10出力	A20出力		
			TIOCA0入力*1				
	動作モード		モード7				
	AE3 ~ AE0		-				
	TPUチャネル0の設定	下表(1)	下表(2)				
P10DDR	-	0	1				
端子機能	TIOCA0出力	P10入力	P10出力				
		TIOCA0入力*1					
TPUチャネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)	
	MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外		
	CCLR2 ~ CCLR0	-	-	-	-	B'001以外	B'001
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
x : Don't care							
<p>【注】 *1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA0 入力となります。</p> <p>*2 TIOCB0 は出力禁止となります。</p>							

10B.3 ポート 3

10B.3.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 は、SCI の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1、TxD4、RxD4、SCK4)、外部割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。ポート 3 の各端子の構成を図 10B.2 に示します。

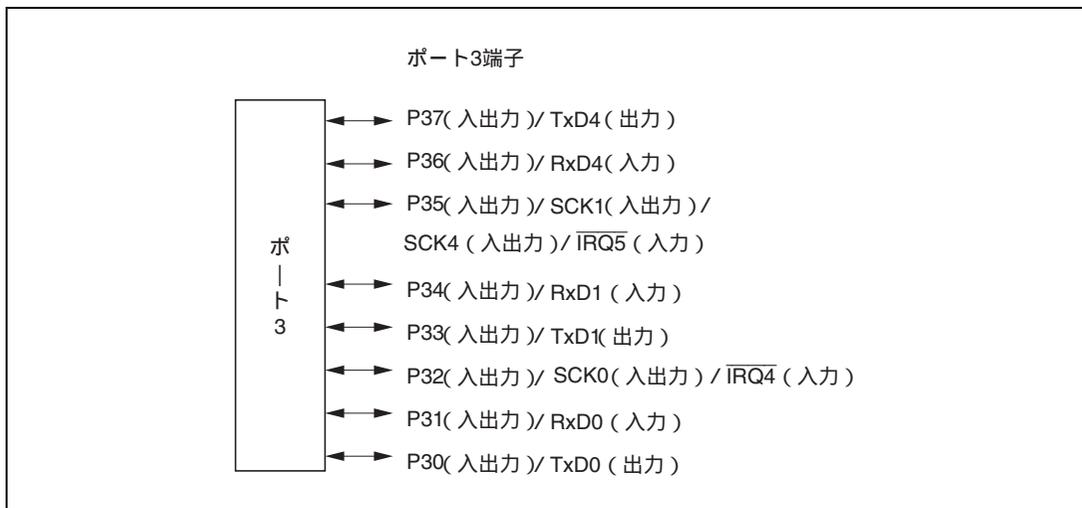


図 10B.2 ポート 3 の端子機能

10B.3.2 レジスタ構成

表 10B.4 にポート 3 のレジスタ構成を示します。

表 10B.4 ポート 3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FE32
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF02
ポート 3 レジスタ	PORT3	R	不定	H'FFB2
ポート 3 オープンドレイン コントロールレジスタ	P3ODR	R/W	H'00	H'FE46

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P3DDR を 1 にセットすると対応するポート3 の各端子は出力となり、0 にクリアすると入力になります。

P3DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。P3DDR は、マニュアルリセットまたはソフトウェアスタンバイモードでは、P3DDR は、直前の状態を保持します。SCI は初期化されるため、P3DDR、P3DR の指定によって端子状態が決定されます。

(2) ポート3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート3 の各端子 (P35 ~ P30) の出力データを格納します。

P3DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート3レジスタ (PORT3)

ビット :	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P37～P30端子の状態により決定されます。

PORT3 は、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート3の各端子 (P37～P30) の出力データのライトは必ず P3DR に対して行ってください。

P3DDR が1にセットされているとき、PORT3のリードを行うとP3DRの値をリードします。P3DDRが0にクリアされているとき、PORT3のリードを行うと端子の状態が読み出されます。

PORT3 は、パワーオンリセットまたはハードウェアスタンバイモードでは、P3DDR、P3DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート3 オープンドレインコントロールレジスタ (P3ODR)

ビット :	7	6	5	4	3	2	1	0
	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P3ODR は、8ビットのリード/ライト可能なレジスタで、ポート3の各端子 (P37～P30) の PMOS のオン/オフを制御します。

P3ODR を1にセットするとポート3の各端子はNMOS オープンドレイン出力となり、0にクリアするとCMOS出力となります。

P3ODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.3.3 端子機能

ポート 3 の各端子は、SCI の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1、TxD4、RxD4、SCK4)、外部割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) と兼用になっています。ポート 3 の端子機能を表 10B.5 に示します。

表 10B.5 ポート 3 の端子機能

端子	選択方法と端子機能						
P37/TxD4	SCI4 の SCR の TE ビットと P37DDR ビットの組み合わせにより、次のように切り替わります。						
	TE	0		1			
	P37DDR	0	1	-			
	端子機能	P37入力端子		P37出力端子*		TxD4出力端子	
【注】 * P37ODR = 1 のとき、NMOS オープンドレイン出力になります。							
P36/RxD4	SCI4 の SCR の RE ビットと P36DDR ビットの組み合わせにより、次のように切り替わります。						
	RE	0		1			
	P36DDR	0	1	-			
	端子機能	P36入力端子		P36出力端子*		RxD4入力端子	
【注】 * P36ODR = 1 のとき、NMOS オープンドレイン出力になります。							
P35/SCK1/ SCK4/ $\overline{\text{IRQ5}}$	SCI1 または SCI4 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、および P35DDR ビットの組み合わせにより、次のように切り替わります。						
	SCK1 と SCK4 を同時出力に設定しないでください。						
	CKE1 (SCI1)	0		0*1		1*1	1
	CKE1 (SCI4)	0		1*1		0*1	1
	C/ $\overline{\text{A}}$ (SCI1)	0		1		-	-
	C/ $\overline{\text{A}}$ (SCI4)	0		1		-	-
	CKE0 (SCI1)	0	0, 1, 1		-	-	-
	CKE0 (SCI4)	0	1, 0, 1		-	-	-
	P35DDR	0	1	-	-	-	0*2
	端子機能	P35 入力端子	P35*3 出力端子	SCK1/ SCK4*3 出力端子	SCK1/ SCK4*3 出力端子	-	-
$\overline{\text{IRQ5}}$ 入力							
【注】 *1 これらの設定は禁止							
*2 SCK1/SCK4 を入力端子 (クロック入力) とする場合は、P35DDR は必ず 0 に設定してください。							
*3 出力形式は CMOS 出力です。P35ODR = 1 のとき、NMOS オープンドレイン出力になります。							

端子	選択方法と端子機能				
P34/RxD1	IIC0 の ICCR0 の ICE ビット、SCI1 の SCR の RE ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0		1	
	P34DDR	0	1	-	
	端子機能	P34入力端子	P34出力端子*	RxD1入力端子	
	【注】 * 出力形式は、NMOS プッシュプル出力です。ただし、P34ODR = 1 のとき、NMOS オープンドレイン出力になります。				
P33/TxD1	IIC1 の ICCR1 の ICE ビット、SCI1 の SCR の TE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。				
	TE	0		1	
	P33DDR	0	1	-	
	端子機能	P33入力端子	P33出力端子*	TxD1出力端子*	
	【注】 * P33ODR = 1 のとき、NMOS オープンドレイン出力になります。				
P32/SCK0/ IRQ4	SCI0 の SMR の C/ \bar{A} ビット、SCR の CKE0、CKE1 ビット、および P32DDR ビットの組み合わせにより、次のように切り替わります。 SDA1 入出力端子として使用する場合は、SCI0 の SMR の C/ \bar{A} ビット、SCR の CKE0、CKE1 ビットの各ビットを必ず 0 にクリアしてください。				
	CKE1	0			1
	C/ \bar{A}	0		1	-
	CKE0	0	1	-	-
	P32DDR	0	1	-	-
	端子機能	P32 入力端子	P32 出力端子*	SCK0 出力端子*	SCK0 出力端子* SCK0 入力端子
		IRQ4入力			
	【注】 * P32ODR = 1 のとき、NMOS オープンドレイン出力になります。				
P31/RxD0	SCI0 の SCR の RE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0		1	
	P31DDR	0	1	-	
	端子機能	P31入力端子	P31出力端子*	RxD0入力端子	
	【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。				

端子	選択方法と端子機能			
P30/TxD0	SCI0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。			
	TE	0		1
	P30DDR	0	1	-
	端子機能	P30入力端子	P30出力端子*	TxD0出力端子*
【注】 * P30ODR = 1 のとき、NMOS オープンドレイン出力になります。				

10B.4 ポート 4

10B.4.1 概要

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 は、A/D 変換器のアナログ入力端子 (AN0 ~ AN7) との兼用になっています。ポート 4 の端子機能はいずれの動作モードでも共通です。ポート 4 の各端子の構成を図 10B.3 に示します。

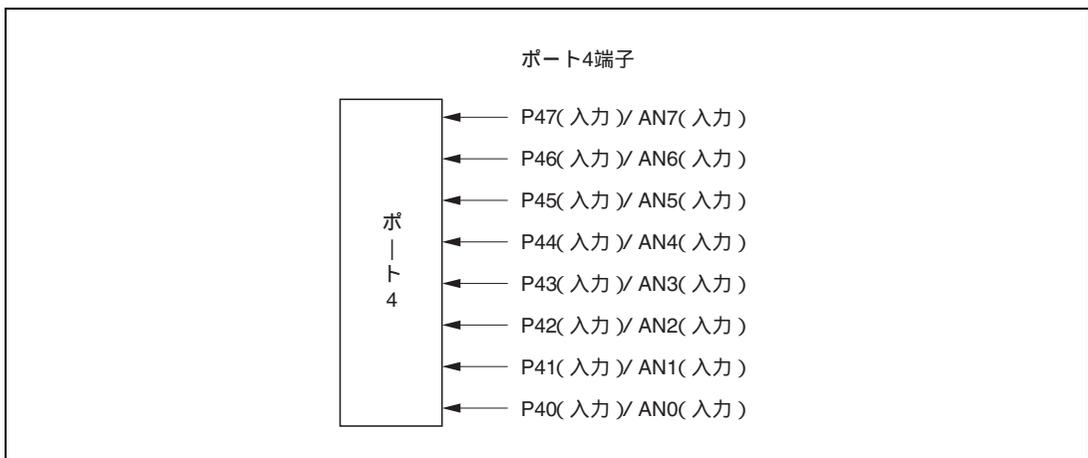


図 10B.3 ポート 4 の端子機能

10B.4.2 レジスタ構成

表 10B.6 にポート 4 のレジスタ構成を示します。ポート 4 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 10B.6 ポート 4 レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート 4 レジスタ	PORT4	R	不定	H'FFB3

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート4レジスタ (PORT4)

PORT4のリードを行うと、常に端子の状態が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P47～P40端子の状態により決定されます。

10B.4.3 端子機能

ポート4の各端子は、A/D変換器のアナログ入力端子 (AN0～AN7) です。

10B.5 ポート7

10B.5.1 概要

ポート7は、8ビットの入出力ポートです。ポート7は、バス制御出力端子 ($\overline{CS4} \sim \overline{CS7}$)、SCIの入出力端子 (SCK3、RxD3、TxD3)、マニュアルリセット入力端子 (\overline{MRES})と兼用になっています。P77～P74の端子機能はいずれの動作モードでも共通です。P73～P70の端子機能は動作モードによって切り替わります。

ポート7の各端子の構成を図10B.4に示します。

ポート7端子	モード4～6の端子機能	モード7の端子機能
P77 / TxD3	P77 (入出力) / TxD3 (出力)	P77 (入出力) / TxD3
P76 / RxD3	P76 (入出力) / RxD3 (入力)	P76 (入出力) / RxD3
P75 / SCK3	P75 (入出力) / SCK3 (入出力)	P75 (入出力) / SCK3 (入出力)
P74 / \overline{MRES}	P74 (入出力) / \overline{MRES} (入力)	P74 (入出力) / \overline{MRES} (入力)
P73 / $\overline{CS7}$	P73 (入力) / $\overline{CS7}$ (出力)	P73 (入出力)
P72 / $\overline{CS6}$	P72 (入力) / $\overline{CS6}$ (出力)	P72 (入出力)
P71 / $\overline{CS5}$	P71 (入力) / $\overline{CS5}$ (出力)	P71 (入出力)
P70 / $\overline{CS4}$	P70 (入力) / $\overline{CS4}$ (出力)	P70 (入出力)

図 10B.4 ポート7の端子機能

10B.5.2 レジスタ構成

表 10B.7 にポート 7 のレジスタ構成を示します。

表 10B.7 ポート 7 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 7 データディレクションレジスタ	P7DDR	W	H'00	H'FE36
ポート 7 データレジスタ	P7DR	R/W	H'00	H'FF06
ポート 7 レジスタ	PORT7	R	不定	H'FFB6

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 7 データディレクションレジスタ (P7DDR)

ビット :	7	6	5	4	3	2	1	0
	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P7DDR は、8 ビットのライト専用レジスタで、ポート 7 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P7DDR を 1 にセットすると対応するポート 7 の各端子は出力となり、0 にクリアすると入力になります。

P7DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P7DDR は、直前の状態を保持します。マニュアルリセットでは SCI は初期化されるため、P7DDR、P7DR の指定によって端子状態が決定されます。

(2) ポート 7 データレジスタ (P7DR)

ビット :	7	6	5	4	3	2	1	0
	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P7DR は、8 ビットのリード/ライト可能なレジスタで、ポート 7 の各端子 (P77 ~ P70) の出力データを格納します。

P7DR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート7レジスタ (PORT7)

ビット :	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P77～P70端子の状態により決定されます。

PORT7は、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート7の各端子 (P77～P70) の出力データのライトは必ず P7DR に対して行ってください。

P7DDR が 1 にセットされているとき、PORT7 のリードを行うと P7DR の値をリードします。P7DDR が 0 にクリアされているとき、PORT7 のリードを行うと端子の状態が読み出されます。

PORT7は、パワーオンリセットまたはハードウェアスタンバイモードでは、P7DDR、P7DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.5.3 端子機能

ポート7の各端子は、バス制御出力端子 ($\overline{CS4}$ ～ $\overline{CS7}$)、SCIの入出力端子 (SCK3、RxD3、TxD3)、マニュアルリセット入力端子 (\overline{MRES}) と兼用になっています。ポート7の端子機能を表 10B.8 に示します。

表 10B.8 ポート7の端子機能

端子	選択方法と端子機能					
P77/TxD3	SCI3 の SCR の TE ビットと P77DDR ビットの組み合わせにより、次のように切り替わります。					
	TE	0			1	
	P77DDR	0	1	-		
	端子機能	P77入力端子	P77出力端子	TxD3出力端子		
P76/RxD3	SCI3 の SCR の RE ビットと P76DDR ビットの組み合わせにより、次のように切り替わります。					
	RE	0			1	
	P76DDR	0	1	-		
	端子機能	P76入力端子	P76出力端子	RxD3入力端子		
P75/SCK3	SCI3 の SMR の C \bar{A} ビット、SCR の CKE0、CKE1 ビット、P75DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C \bar{A}	0			1	-
	CKE0	0	1	-	-	-
	P75DDR	0	1	-	-	-
	端子機能	P75 入力端子	P75 出力端子	SCK3出力端子	SCK3出力端子	SCK3入力端子
P74/MRES	SYSCR の MRESE ビットと P74DDR ビットの組み合わせにより、次のように切り替わります。					
	MRESE	0			1	
	P74DDR	0	1	-		
	端子機能	P74入力端子	P74出力端子	MRES入力端子		

端子	選択方法と端子機能				
P73/ $\overline{\text{CS7}}$	動作モードと P73DDR ビットの組み合わせにより、次のように切り替わります。				
	動作モード	モード4~6		モード7	
	P73DDR	0	1	0	1
	端子機能	P73入力端子	$\overline{\text{CS7}}$ 出力端子	P73入力端子	P73出力端子
P72/ $\overline{\text{CS6}}$	動作モードと P72DDR ビットの組み合わせにより、次のように切り替わります。				
	動作モード	モード4~6		モード7	
	P72DDR	0	1	0	1
	端子機能	P72入力端子	$\overline{\text{CS6}}$ 出力端子	P72入力端子	P72出力端子
P71/ $\overline{\text{CS5}}$	動作モードと P71DDR により次のように切り替わります。				
	動作モード	モード4~6		モード7	
	P71DDR	0	1	0	1
	端子機能	P71入力端子	$\overline{\text{CS5}}$ 出力	P71入力端子	P71出力端子
P70/ $\overline{\text{CS4}}$	動作モードと P70DDR により次のように切り替わります。				
	動作モード	モード4~6		モード7	
	P70DDR	0	1	0	1
	端子機能	P70入力端子	$\overline{\text{CS4}}$ 出力	P70入力端子	P70出力端子

10B.6 ポート 9

10B.6.1 概要

ポート 9 は、8 ビットの入力専用ポートです。ポート 9 は、A/D 変換器のアナログ入力端子 (AN8 ~ AN15) との兼用になっています。ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の各端子の構成を図 10B.5 に示します。

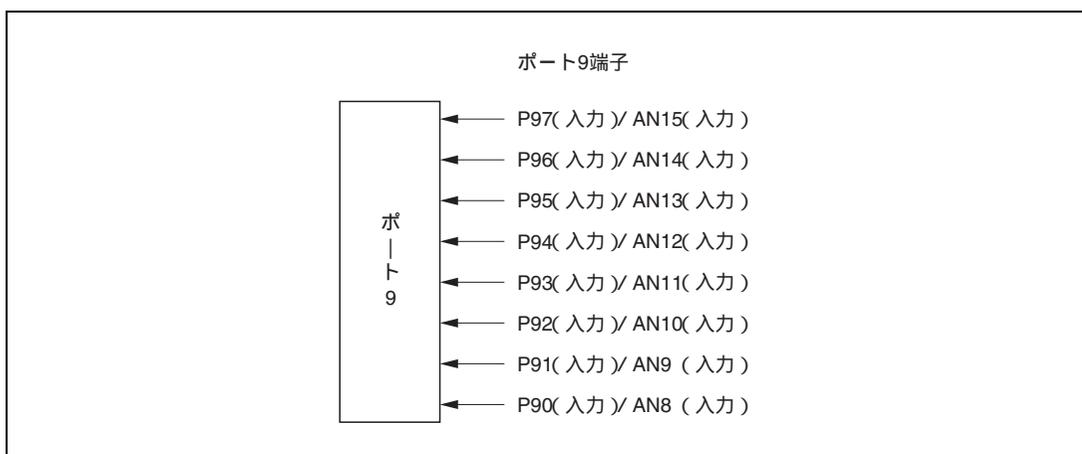


図 10B.5 ポート 9 の端子機能

10B.6.2 レジスタ構成

表 10B.9 にポート 9 のレジスタ構成を示します。ポート 9 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 10B.9 ポート 9 レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート 9 レジスタ	PORT9	R	不定	H'FFB8

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 9 レジスタ (PORT9)

PORT9 のリードを行うと、常に端子の状態が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P97 ~ P90 端子の状態により決定されます。

10B.6.3 端子機能

ポート 9 の各端子は、A/D 変換器のアナログ入力端子 (AN8 ~ AN15) です。

10B.7 ポート A

10B.7.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A は、SCI2 の入出力端子 (SCK2、RxD2、TxD2) とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート A は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート A の各端子の構成を図 10B.6 に示します。



図 10B.6 ポート A の端子機能

10B.7.2 レジスタ構成

表 10B.10 にポート A のレジスタ構成を示します。

表 10B.10 ポート A レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート A データディレクションレジスタ	PADDR	W	H'0	H'FE39
ポート A データレジスタ	PADR	R/W	H'0	H'FF09
ポート A レジスタ	PORTA	R	不定	H'FFB9
ポート A プルアップ MOS コントロールレジスタ	PAPCR	R/W	H'0	H'FE40
ポート A オープンドレイン コントロールレジスタ	PAODR	R/W	H'0	H'FE47

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 3~0 の値を示しています。

(1) ポート A データディレクションレジスタ (PADDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。また、ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。

PADDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PADDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

詳細は、「24.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

(a) モード 4~6

PA4DDR ~ PA0DDR ビットにかかわらず、PFCR の AE3 ~ AE0 ビットの設定に従いポート A の各端子はアドレス出力となります。また、アドレス出力ではないとき、PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7

PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート A データレジスタ (PADR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA3 ~ PA0) の出力データを格納します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PADR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート A レジスタ (PORTA)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3	PA2	PA1	PA0
初期値 :	不定	不定	不定	不定	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

【注】* PA3 ~ PA0端子の状態により決定されます。

PORTA は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート A の各端子 (PA3 ~ PA0) の出力データのライトは必ず PADR に対して行ってください。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出せません。ライトは無効です。

PADDR が 1 にセットされているとき、PORTA のリードを行うと PADR の値をリードします。PADDR が 0 にクリアされているとき、PORTA のリードを行うと端子の状態が読み出されます。

PORTA は、パワーオンリセットまたはハードウェアスタンバイモードでは、PADDR、PADR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート A プルアップ MOS コントロールレジスタ (PAPCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

PAPCR は、8 ビットのリード/ライト可能なレジスタで、ポート A に内蔵された入力プルアップ MOS をビットごとに制御します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。モード 4~6 では、PFCR、SCI の SCMR、SMR、SCR、および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、SCI の SCMR、SMR、SCR、および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PAPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート A オープンドレインコントロールレジスタ (PAODR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

PAODR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA3~PA0) の PMOS のオン/オフを制御します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PFCR の AE3~AE0 の設定により、アドレス出力以外のとき PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PAODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'0 (ビット 3~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.7.3 端子機能

ポート A の各端子は、SCI の入出力端子 (TxD2、RxD2、SCK2) とアドレスバス出力端子 (A19 ~ A16) と兼用になっています。

ポート A の端子機能を表 10B.11 に示します。

表 10B.11 ポート A の端子機能

端子	選択方法と端子機能						
PA3/A19/ SCK2	動作モードと PFCR の AE3 ~ AE0 ビット、SCI2 の SMR の C/Ā ビット、SCR の CKE0、CKE1 ビット、および PA3DDR の組み合わせにより次のように切り替わります。						
	動作モード	モード4~6					
	AE3~AE0	B'0000~B'1011				B'1100~B'1111	
	CKE1	0			1	—	
	C/Ā	0		1	—	—	
	CKE0	0		1	—	—	
	PA3DDR	0	1	—	—	—	
	端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力	A19出力
	動作モード	モード7					
	CKE1	0				1	
	C/Ā	0			1	—	
	CKE0	0		1	—	—	
	PA3DDR	0	1	—	—	—	
	端子機能	PA3 入力	PA3 出力	SCK2 出力	SCK2 出力	SCK2 入力	
PA2/A18/ RxD2	動作モードと PFCR の AE3 ~ AE0 ビット、SCI2 の SCR の RE ビット、および PA2DDR の組み合わせにより次のように切り替わります。						
	動作モード	モード4~6					
	AE3~AE0	B'0000~B'1010			B'1011~B'1111		
	RE	0		1	—		
	PA2DDR	0	1	—	—		
	端子機能	PA2 入力	PA2 出力	RxD2 入力	A18出力		
	動作モード	モード7					
	RE	0			1		
	PA2DDR	0	1	—			
	端子機能	PA2 入力	PA2 出力	RxD2 入力			

端子	選択方法と端子機能																																				
PA1/A17/ TxD2	<p>動作モードと PFCR の AE3 ~ AE0 ビット、SCI2 の SCR の TE ビット、および PA1DDR の組み合わせにより次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4~6</th> </tr> </thead> <tbody> <tr> <td>AE3~AE0</td> <td colspan="2">B'0000~B'1001</td> <td>B'1010~B'1111</td> </tr> <tr> <td>TE</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>PA1DDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA1 入力</td> <td>PA1 出力</td> <td>TxD2 出力 A17出力</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード7</th> </tr> </thead> <tbody> <tr> <td>TE</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PA1DDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA1 入力</td> <td>PA1 出力</td> <td>TxD2 出力</td> </tr> </tbody> </table>	動作モード	モード4~6			AE3~AE0	B'0000~B'1001		B'1010~B'1111	TE	0	1	—	PA1DDR	0	1	—	端子機能	PA1 入力	PA1 出力	TxD2 出力 A17出力	動作モード	モード7			TE	0		1	PA1DDR	0	1	—	端子機能	PA1 入力	PA1 出力	TxD2 出力
動作モード	モード4~6																																				
AE3~AE0	B'0000~B'1001		B'1010~B'1111																																		
TE	0	1	—																																		
PA1DDR	0	1	—																																		
端子機能	PA1 入力	PA1 出力	TxD2 出力 A17出力																																		
動作モード	モード7																																				
TE	0		1																																		
PA1DDR	0	1	—																																		
端子機能	PA1 入力	PA1 出力	TxD2 出力																																		
PA0/A16	<p>動作モードと PFCR の AE3 ~ AE0 ビット、および PA0DDR の組み合わせにより次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="3">モード4~6</th> </tr> </thead> <tbody> <tr> <td>AE3~AE0</td> <td colspan="2">B'0000~B'1000</td> <td>B'1001~B'1111</td> </tr> <tr> <td>PA0DDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PA0 入力</td> <td>PA0 出力</td> <td>A16出力</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>動作モード</th> <th colspan="2">モード7</th> </tr> </thead> <tbody> <tr> <td>PA0DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>PA0 入力</td> <td>PA0 出力</td> </tr> </tbody> </table>	動作モード	モード4~6			AE3~AE0	B'0000~B'1000		B'1001~B'1111	PA0DDR	0	1	—	端子機能	PA0 入力	PA0 出力	A16出力	動作モード	モード7		PA0DDR	0	1	端子機能	PA0 入力	PA0 出力											
動作モード	モード4~6																																				
AE3~AE0	B'0000~B'1000		B'1001~B'1111																																		
PA0DDR	0	1	—																																		
端子機能	PA0 入力	PA0 出力	A16出力																																		
動作モード	モード7																																				
PA0DDR	0	1																																			
端子機能	PA0 入力	PA0 出力																																			

10B.7.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

モード 4~6 では、PFCR、SCI の SCMR、SMR、SCR、および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、SCI の SCMR、SMR、SCR、および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモード時にはオフします。マニュアルリセットまたはソフトウェアスタンバイモード時には直前の状態を保持します。

入力プルアップ MOS の状態を表 10B.12 に示します。

表 10B.12 入力プルアップ MOS の状態 (ポート A)

端子状態	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力または SCI 出力	OFF		OFF		
上記以外			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

10B.8 ポート B

10B.8.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5) とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B の各端子の構成を図 10B.7 に示します。

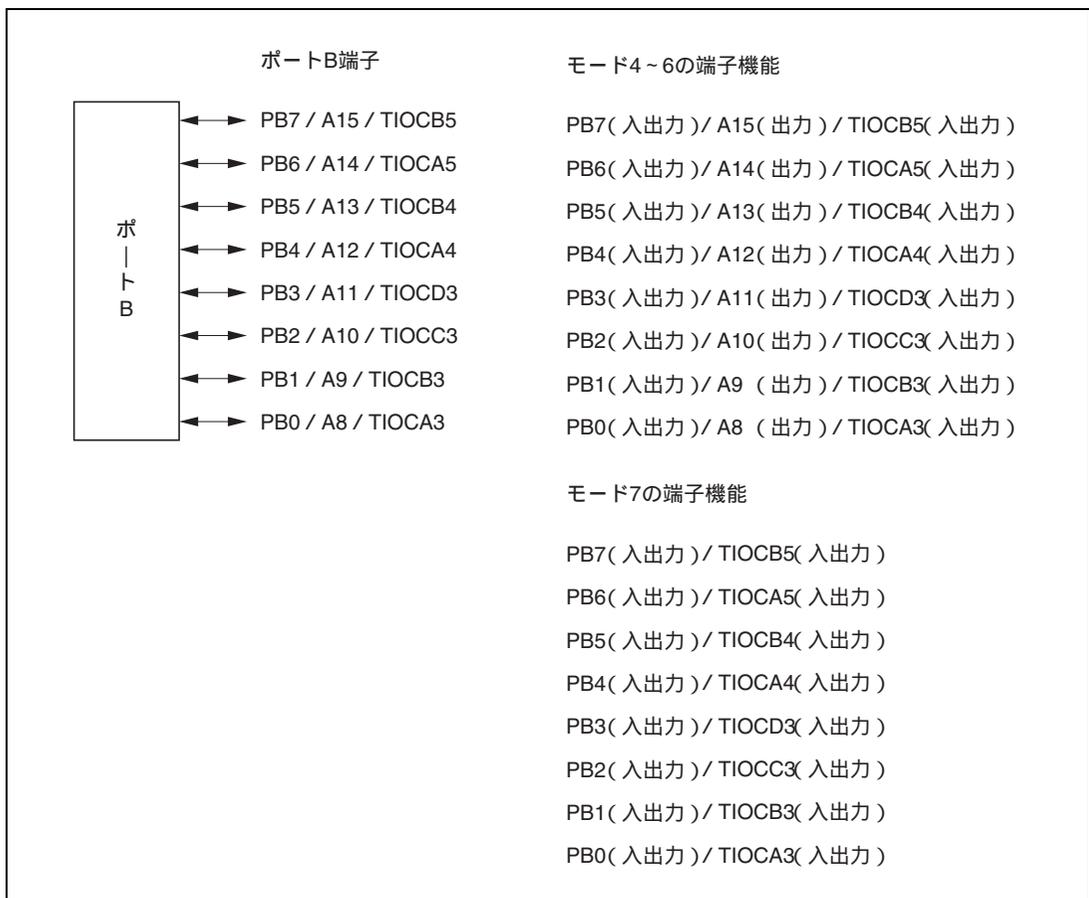


図 10B.7 ポート B の端子機能

10B.8.2 レジスタ構成

表 10B.13 にポート B のレジスタ構成を示します。

表 10B.13 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FE3A
ポート B データレジスタ	PBDR	R/W	H'00	H'FF0A
ポート B レジスタ	PORTB	R	不定	H'FFBA
ポート B プルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FE41
ポート B オープンドレイン コントロールレジスタ	PBODR	R/W	H'00	H'FE48

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PBDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PBDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4~6

PBDDR にかかわらず、PFCR の AE3 ~ AE0 ビットの設定に従い対応するポート B の各端子はアドレス出力となります。また、アドレス出力ではないとき、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート B データレジスタ (PBDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB7~PB0) の出力データを格納します。

PBDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B レジスタ (PORTB)

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PB7~PB0端子の状態により決定されます。

PORTB は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート B の各端子 (PB7~PB0) の出力データのライトは必ず PBDR に対して行ってください。

PBDDR が 1 にセットされているとき、PORTB のリードを行うと PBDR の値をリードします。PBDDR が 0 にクリアされているとき、PORTB のリードを行うと端子の状態が読み出されます。

PORTB は、パワーオンリセットまたはハードウェアスタンバイモードでは、PBDDR、PBDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート B プルアップ MOS コントロールレジスタ (PBPCR)

ビット :	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBPCR は、8 ビットのリード/ライト可能なレジスタで、ポート B に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4~6 では、PFCR、TPU の TIOR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、TPU の TIOR および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PBPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート B オープンドレインコントロールレジスタ (PBODR)

ビット :	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PBODR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB7~PB0) の PMOS のオン/オフを制御します。

PFCR の AE3~AE0 の設定により、アドレス出力以外のとき、PBODR を 1 にセットするとポート B の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PBODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.8.3 端子機能

ポート B の各端子は、TPU の入出力端子 (TIOCA3、TIOCB3、TIOCC3、TIOCD3、TIOCA4、TIOCB4、TIOCA5、TIOCB5) とアドレスバス出力端子 (A15 ~ A8) と兼用になっています。

表 10B.14 ポート B の端子機能

端子	選択方法と端子機能						
PB7/A15/ TIOCB5	動作モードと PFCR の AE3 ~ AE0 ビット、TMDR5 の MD3 ~ MD0 ビット、TIOCR5 の IOB3 ~ IOB0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU5 の設定、および PB7DDR ビットにより、次のように切り替わります。						
	動作モード	モード4~6					
	AE3~AE0	B'0000~B'0111				B'1000~B'1111	
	TPUチャンネル5の設定	下表 (1)	下表 (2)			—	
	PB7DDR	—	0	1	—		
	端子機能	TIOCB5出力	PB7入力		PB7出力		A15出力
			TIOCB5入力*				
	動作モード	モード7					
	TPUチャンネル5の設定	下表 (1)	下表 (2)				
	PB7DDR	—	0	1			
	端子構成	TIOCB5出力	PB7入力		PB7出力		
			TIOCB5入力*				
	TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00以外	
CCLR1、CCLR0	—	—	—	—	B'10以外	B'10	
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—	
	x : Don't care						
【注】	* MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB5 入力となります。						

端子	選択方法と端子機能						
PB6/A14/ TIOCA5	動作モードと PFCR の AE3~AE0 ビット、TMDR5 の MD3~MD0 ビット、TIOA5 の IOA3~IOA0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU5 の設定、および PB6DDR ビットにより、次のように切り替わります。						
	動作モード		モード4~6				
	AE3~AE0	B'0000~B'0110			B'0111~B'1111		
	TPUチャンネル5の設定	下表 (1)	下表 (2)		—		
	PB6DDR	—	0	1	—		
	端子機能	TIOCA5出力	PB6入力	PB6出力	A14出力		
			TIOCA5入力*1				
	動作モード		モード7				
	TPUチャンネル5の設定	下表 (1)	下表 (2)				
	PB6DDR	—	0	1			
	端子構成	TIOCA5出力	PB6入力	PB6出力			
			TIOCA5入力*1				
	TPUチャンネル5の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00 以外	B'xx00以外	
CCLR1、CCLR0	—	—	—	—	B'01以外	B'01	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
x : Don't Care							
【注】 *1 MD3~MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に、TIOCA5 入力となります。							
*2 TIOCB5 は出力禁止となります。							

端子	選択方法と端子機能					
PB5/A13/ TIOCB4	動作モードと PFCR の AE3～AE0 ビット、TMDR4 の MD3～MD0 ビット、TIOCR4 の IOB3～IOB0 ビット、TCR4 の CCLR1、CCLR0 ビットによる TPU4 の設定、および PB5DDR ビットにより、次のように切り替わります。					
	動作モード		モード4～6			
	AE3～AE0	B'0000～B'0101			B'0110～B'1111	
	TPUチャネル4の設定	下表 (1)	下表 (2)		—	
	PB5DDR	—	0	1	—	
	端子機能	TIOCB4出力	PB5入力	PB5出力	A13出力	
			TIOCB4入力*			
	動作モード		モード7			
	TPUチャネル4の設定	下表 (1)	下表 (2)			
	PB5DDR	—	0	1		
	端子構成	TIOCB4出力	PB5入力	PB5出力		
			TIOCB4入力*			
TPUチャネル4の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外	
CCLR1、CCLR0	—		—	—	B'10以外	B'10
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—
x : Don't Care						
【注】 * MD3～MD0 = B'0000、B'01xx かつ IOB3～IOB0 = B'10xx の場合に、TIOCB4 入力となります。						

端子	選択方法と端子機能						
PB4/A12/ TIOCA4	動作モードと PFCR の AE3～AE0 ビット、TMDR4 の MD3～MD0 ビット、TIOA4 の IOA3～IOA0 ビット、TCR4 の CCLR1、CCLR0 ビットによる TPU4 の設定、および PB4DDR ビットにより、次のように切り替わります。						
	動作モード		モード4～6				
	AE3～AE0	B'0000～B'0100			B'0101～B'1111		
	TPUチャンネル4の設定	下表 (1)	下表 (2)		—		
	PB4DDR	—	0	1	—		
	端子機能	TIOCA4出力	PB4入力	PB4出力	A12出力		
			TIOCA4入力*1				
	動作モード		モード7				
	TPUチャンネル4の設定	下表 (1)	下表 (2)				
	PB4DDR	—	0	1			
	端子構成	TIOCA4出力	PB4入力	PB4出力			
			TIOCA4入力*1				
	TPUチャンネル4の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00以外	
CCLR1、CCLR0	—	—	—	—	B'01以外	B'01	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
x : Don't Care							
【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOA3～IOA0 = B'10xx の場合に、TIOCA4 入力となります。							
*2 TIOCB4 は出力禁止となります。							

端子	選択方法と端子機能						
PB3/A11/ TIOCD3	動作モードと PFCR の AE3～AE0 ビット、TMDR3 の MD3～MD0 ビット、TIORL3 の IOD3～IOD0 ビット、TCR3 の CCLR2～CCLR0 ビットによる TPU3 の設定、および PB3DDR ビットにより、次のように切り替わります。						
	動作モード		モード4～6				
	AE3～AE0	B'0000～B'0011			B'0100～B'1111		
	TPUチャンネル3の設定	下表 (1)	下表 (2)		—		
	PB3DDR	—	0	1	—		
	端子機能	TIOCD3出力	PB3入力	PB3出力	A11出力		
			TIOCD3入力*				
	動作モード		モード7				
	TPUチャンネル3の設定	下表 (1)	下表 (2)				
	PB3DDR	—	0	1			
	端子構成	TIOCD3出力	PB3入力	PB3出力		TIOCD3入力*	
	TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011			
IOD3～IOD0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外		
CCLR2～CCLR0	—		—	—	B'110以外	B'110	
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—	
x : Don't Care							
【注】 * MD3～MD0 = B'0000、B'01xx かつ IOD3～IOD0 = B'10xx の場合に、TIOCD3 入力となります。							

端子	選択方法と端子機能						
PB2/A10/ TIOCC3	動作モードと PFCR の AE3～AE0 ビット、TMDR3 の MD3～MD0 ビット、TIORL3 の IOC3～IOC0 ビット、TCR3 の CCLR2～CCLR0 ビットによる TPU3 の設定、および PB2DDR ビットにより、次のように切り替わります。						
	動作モード		モード4～6				
	AE3～AE0	B'0000～B'0010			B'0011～B'1111		
	TPUチャンネル3の設定	下表 (1)	下表 (2)		—		
	PB2DDR	—	0	1	—		
	端子機能	TIOCC3出力	PB2入力	PB2出力	A10出力		
			TIOCC3入力*1				
	動作モード		モード7				
	TPUチャンネル3の設定	下表 (1)	下表 (2)				
	PB2DDR	—	0	1			
	端子構成	TIOCC3出力	PB2入力	PB2出力			
			TIOCC3入力*1				
	TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3～MD0		B'0000	B'001x	B'0010	B'0011	
	IOC3～IOC0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外	
CCLR2～CCLR0	—	—	—	—	B'101以外	B'101	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
x : Don't Care							
【注】 *1 MD3～MD0=B'0000、かつ IOC3～IOC0=B'10xx の場合に、TIOCC3 入力となります。							
*2 TIOCC3 は出力禁止となります。							

端子	選択方法と端子機能						
PB1/A9/ TIOCB3	動作モードと PFCR の AE3 ~ AE0 ビット、TMDR3 の MD3 ~ MD0 ビット、TIORH3 の IOB3 ~ IOB0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU3 の設定、および PB1DDR ビットにより、次のように切り替わります。						
	動作モード		モード4~6				
	AE3~AE0	B'0000~B'0001				B'0010~B'1111	
	TPUチャンネル3の設定	下表 (1)	下表 (2)			—	
	PB1DDR	—	0	1	—		
	端子機能	TIOCB3出力	PB1入力	PB1出力	A9出力		
	TIOCB3入力*						
	動作モード		モード7				
	TPUチャンネル3の設定	下表 (1)	下表 (2)				
	PB1DDR	—	0	1			
	端子構成	TIOCB3出力	PB1入力		PB1出力		
	TIOCB3入力*						
	TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	—	B'xx00	B'xx00以外	
CCLR1、CCLR0	—		—	—	B'010以外	B'010	
出力機能	—	アウトプット コンペア出力	—	—	PWMモード2 出力	—	
x : Don't Care							
【注】 * MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に、TIOCB3 入力となります。							

端子	選択方法と端子機能						
PB0/A8/ TIOCA3	動作モードと PFCR の AE3～AE0 ビット、TMDR3 の MD3～MD0 ビット、TIORH3 の IOA3～IOA0 ビット、TCR3 の CCLR2～CCLR0 ビットによる TPU3 の設定、および PB0DDR ビットにより、次のように切り替わります。						
動作モード		モード4～6					
AE3～AE0	B'0000			B'0001～B'1111			
TPUチャンネル3の設定	下表 (1)	下表 (2)		—			
PB0DDR	—	0	1	—			
端子機能	TIOCA3出力	PB0入力	PB0出力	A8出力			
		TIOCA3入力*1					
動作モード		モード7					
TPUチャンネル3の設定	下表 (1)	下表 (2)					
PB0DDR	—	1	1				
端子構成	TIOCA3出力	PB0入力	PB0出力				
		TIOCA3入力*1					
TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)	
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011		
IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外		
CCLR1、CCLR0	—	—	—	—	B'001以外	B'001	
出力機能	—	アウトプット コンペア出力	—	PWMモード1 出力*2	PWMモード2 出力	—	
x : Don't Care							
【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOA3～IOA0 = B'10xx の場合に、TIOCA3 入力となります。							
*2 TIOCB3 は出力禁止となります。							

10B.8.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

モード 4~6 では、PFCR、TPU の TIOR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、TPU の TIOR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 10B.15 に示します。

表 10B.15 入力プルアップ MOS の状態 (ポート B)

端子状態	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
アドレス出力または TPU 出力	OFF		OFF		
上記以外			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

10B.9 ポート C

10B.9.1 概要

ポートCは、8ビットの入出力ポートです。ポートCは、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポートCは、プログラムで制御可能な入力プルアップMOSが内蔵されています。

ポートCの各端子の構成を図10B.8に示します。

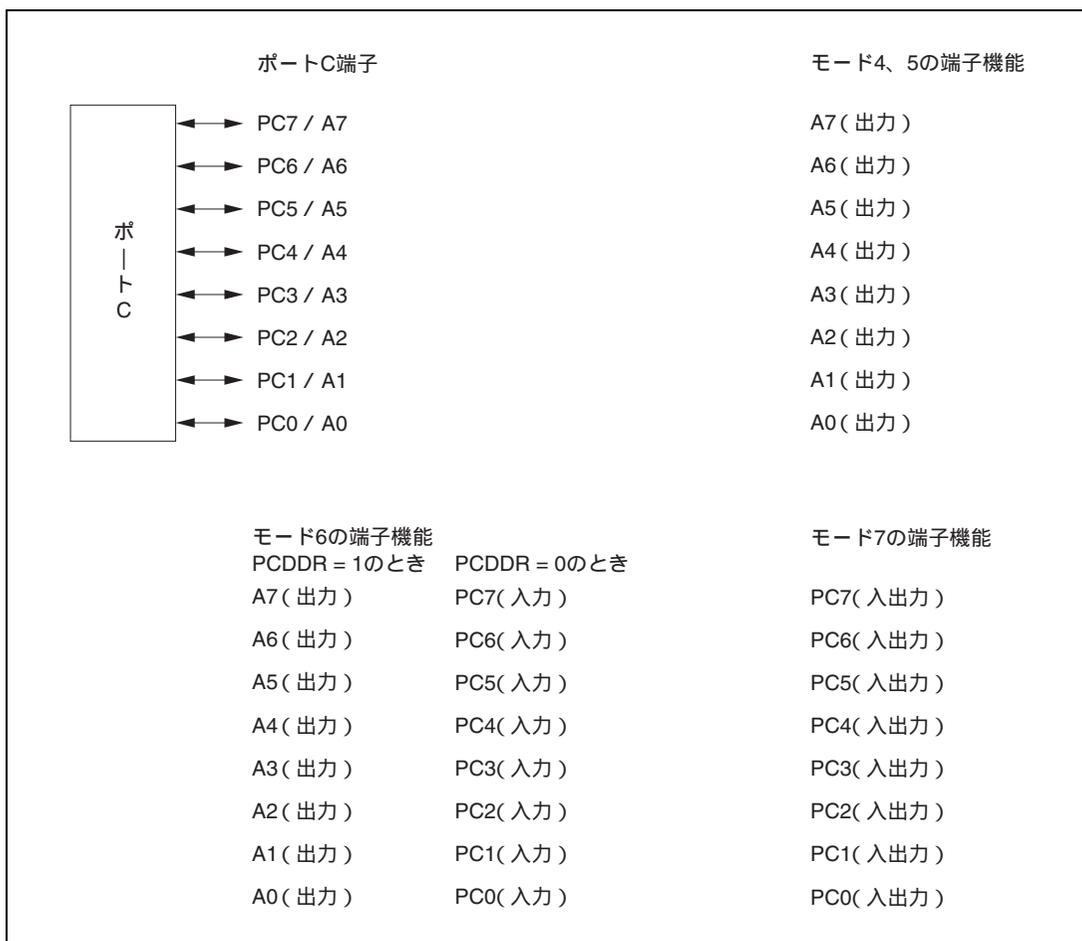


図 10B.8 ポート C の端子機能

10B.9.2 レジスタ構成

表 10B.16 にポート C のレジスタ構成を示します。

表 10B.16 ポート C レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FE3B
ポート C データレジスタ	PCDR	R/W	H'00	H'FF0B
ポート C レジスタ	PORTC	R	不定	H'FFBB
ポート C プルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FE42
ポート C オープンドレイン コントロールレジスタ	PCODR	R/W	H'00	H'FE49

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート C データディレクションレジスタ (PCDDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PCDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PCDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4、5

PCDDR にかかわらず、対応するポート C の各端子はアドレス出力となります。

(b) モード 6

PCDDR を 1 にセットすると対応するポート C の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7

PCDDR を 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート C データレジスタ (PCDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PCDR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC7 ~ PC0) の出力データを格納します。

PCDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート C レジスタ (PORTC)

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PC7 ~ PC0端子の状態により決定されます。

PORTC は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート C の各端子 (PC7 ~ PC0) の出力データのライトは必ず PCDR に対して行ってください。

PCDDR が 1 にセットされているとき、PORTC のリードを行うと PCDR の値をリードします。PCDDR が 0 にクリアされているとき、PORTC のリードを行うと端子の状態が読み出されます。

PORTC は、パワーオンリセットまたはハードウェアスタンバイモードでは、PCDDR、PCDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート C プルアップ MOS コントロールレジスタ (PCPCR)

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PCPCR は、8 ビットのリード/ライト可能なレジスタで、ポート C に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 6、7 では、PCDDR の設定により、ポートが入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PCPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート C オープンドレインコントロールレジスタ (PCODR)

ビット :	7	6	5	4	3	2	1	0
	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PCODR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC7~PC0) の PMOS のオン/オフを制御します。

PFCR の AE3~AE0 の設定により、アドレス出力以外のとき、PCODR を 1 にセットするとポート C の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PCODR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.9.3 モード別端子機能

(1) モード 4、5

モード 4、5 のとき、ポート C は自動的にアドレス出力になります。

ポート C の端子機能を図 10B.9 に示します。

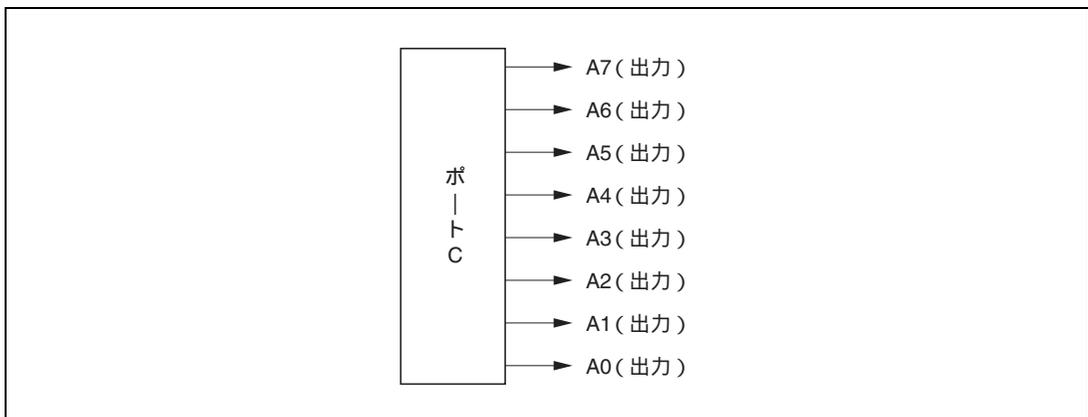


図 10B.9 ポート C の端子機能 (モード 4、5)

(2) モード6

モード6のとき、ポートCはアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PCDDRの各ビットを1にセットすると対応する端子はアドレス出力になり、0にクリアすると入力ポートとして機能します。

ポートCの端子機能を図10B.10に示します。

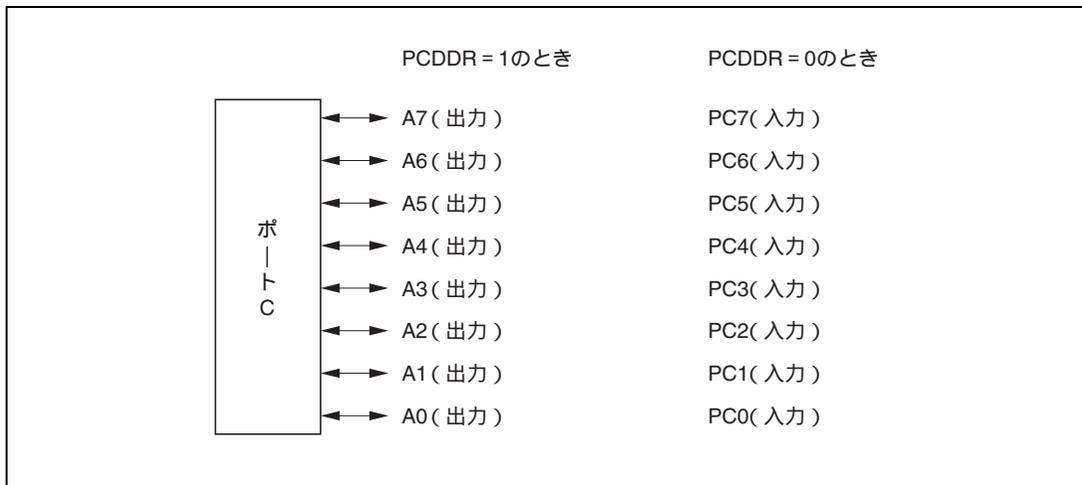


図 10B.10 ポートCの端子機能 (モード6)

(3) モード7

モード7のとき、ポートCは入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PCDDRの各ビットを1にセットすると対応する端子は出力ポートになり、0にクリアすると入力ポートになります。

ポートCの端子機能を図10B.11に示します。

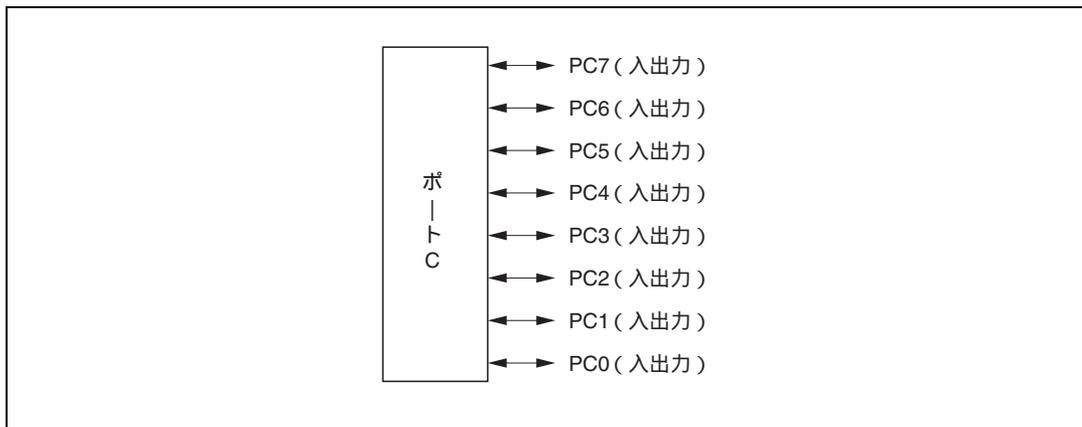


図 10B.11 ポートCの端子機能 (モード7)

10B.9.4 入力プルアップ MOS

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 6、7 のとき、PCDDR の設定により、入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 10B.17 に示します。

表 10B.17 入力プルアップ MOS の状態 (ポート C)

端子状態	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
アドレス出力	OFF		OFF		
上記以外			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

10B.10 ポート D

10B.10.1 概要

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート D の各端子の構成を図 10B.12 に示します。

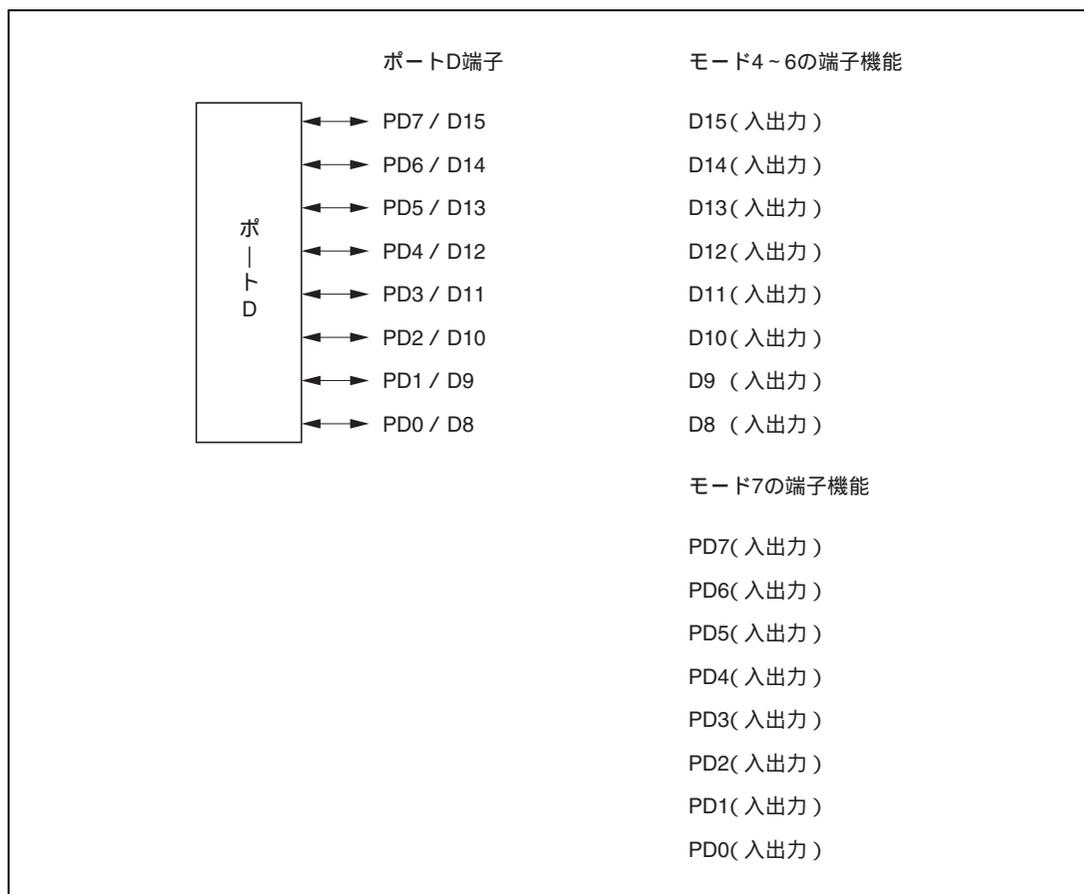


図 10B.12 ポート D の端子機能

10B.10.2 レジスタ構成

表 10B.18 にポート D のレジスタ構成を示します。

表 10B.18 ポート D レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FE3C
ポート D データレジスタ	PDDR	R/W	H'00	H'FF0C
ポート D レジスタ	PORTD	R	不定	H'FFBC
ポート D プルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FE43

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート D データディレクションレジスタ (PDDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PDDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PDDDR は直前の状態を保持します。

(a) モード 4~6

PDDDR による入出力の方向は無視され、自動的にデータ入出力となります。

(b) モード 7

PDDDR を 1 にセットすると対応するポート D の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポートDデータレジスタ (PDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PDDR は、8ビットのリード/ライト可能なレジスタで、ポートDの各端子 (PD7~PD0) の出力データを格納します。

PDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポートDレジスタ (PORTD)

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PD7~PD0端子の状態により決定されます。

PORTD は、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポートDの各端子 (PD7~PD0) の出力データのライトは必ずPDDR に対して行ってください。

PDDDR が1にセットされているとき、PORTD のリードを行うとPDDR の値をリードします。PDDDR が0にクリアされているとき、PORTD のリードを行うと端子の状態が読み出されます。

PORTD は、パワーオンリセットまたはハードウェアスタンバイモードでは、PDDDR、PDDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート D プルアップ MOS コントロールレジスタ (PDPCR)

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PDPCR は、8 ビットのリード/ライト可能なレジスタで、ポート D に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 7 では、PDDDR を 0 にクリアした (入力ポート) 状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PDPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.10.3 モード別端子機能

(1) モード 4~6

モード 4~6 のとき、ポート D は自動的にデータ入出力になります。

ポート D の端子機能を図 10B.13 に示します。

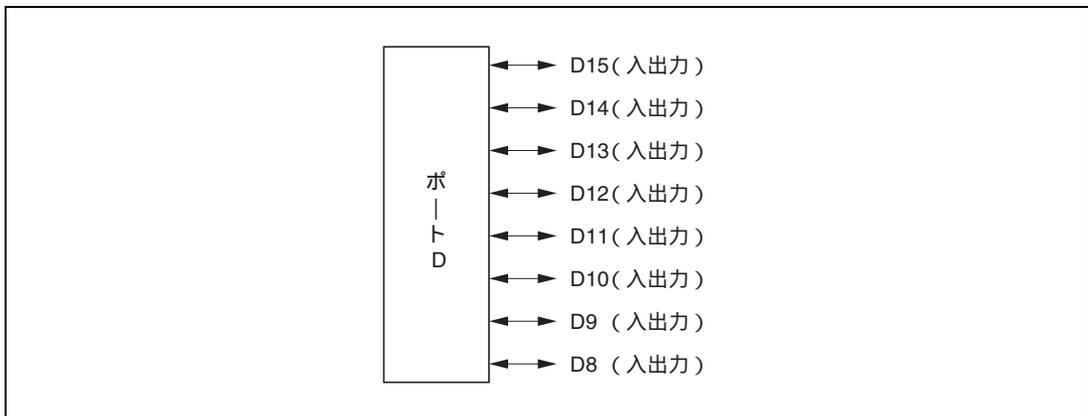


図 10B.13 ポート D の端子機能 (モード 4~6)

(2) モード7

モード7のとき、ポートDは入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PDDDRの各ビットを1にセットすると対応する端子は出力ポートになり、0にクリアすると入力ポートになります。

ポートDの端子機能を図10B.14に示します。

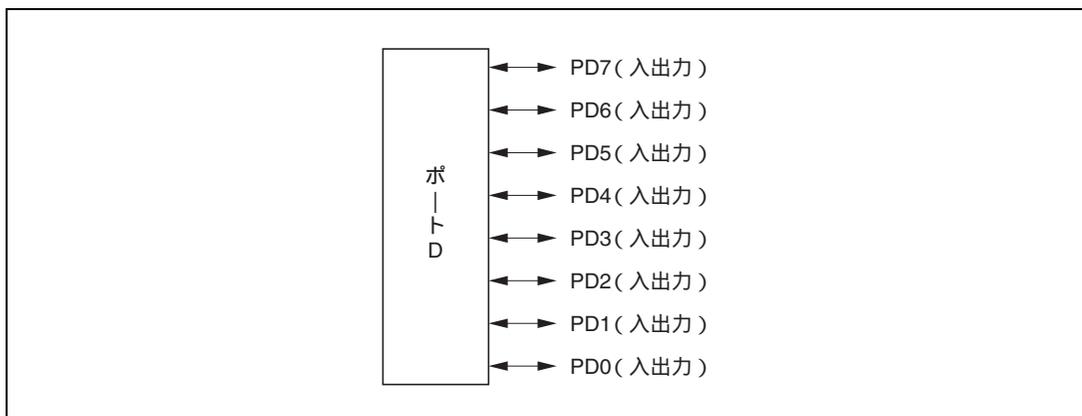


図 10B.14 ポートDの端子機能 (モード7)

10B.10.4 入力プルアップ MOS

ポートDは、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード7のときに使用でき、ビット単位でオン/オフを指定できます。

モード7のとき、PDDDRを0にクリアした状態で、PDPCRを1にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 10B.19 に示します。

表 10B.19 入力プルアップ MOS の状態 (ポートD)

モード	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
4~6	OFF		OFF		
7			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

10B.11 ポート E

10B.11.1 概要

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット / 16 ビットバスモードによって端子機能が切り替わります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート E の各端子の構成を図 10B.15 に示します。

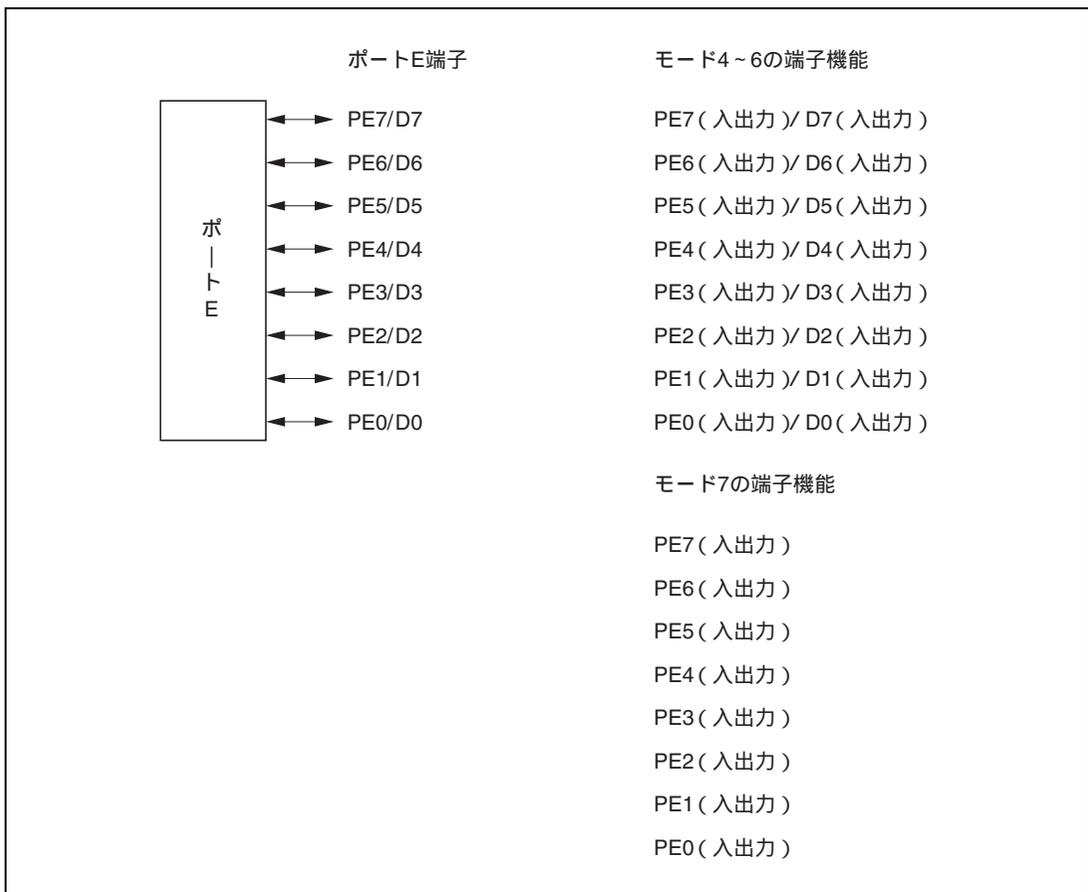


図 10B.15 ポート E の端子機能

10B.11.2 レジスタ構成

表 10B.20 にポート E のレジスタ構成を示します。

表 10B.20 ポート E レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート E データディレクションレジスタ	PEDDR	W	H'00	H'FE3D
ポート E データレジスタ	PEDR	R/W	H'00	H'FF0D
ポート E レジスタ	PORTE	R	不定	H'FFBD
ポート E プルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FE44

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート E データディレクションレジスタ (PEDDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PEDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PEDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PEDDR は直前の状態を保持します。

(a) モード 4~6

8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。

8 ビット / 16 ビットバスモードについては「第 7 章 バスコントローラ」を参照してください。

(b) モード 7

PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート E データレジスタ (PEDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PEDR は、8 ビットのリード/ライト可能なレジスタで、ポート E の各端子 (PE7~PE0) の出力データを格納します。

PEDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート E レジスタ (PORTE)

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PE7~PE0端子の状態により決定されます。

PORTE は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート E の各端子 (PE7~PE0) の出力データのライトは必ず PEDR に対して行ってください。

PEDDR が 1 にセットされているとき、PORTE のリードを行うと PEDR の値をリードします。PEDDR が 0 にクリアされているとき、PORTE のリードを行うと端子の状態が読み出されます。

PORTE は、パワーオンリセットまたはハードウェアスタンバイモードでは、PEDDR、PEDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート E プルアップ MOS コントロールレジスタ (PEPCR)

ビット :	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PEPCR は、8 ビットのリード/ライト可能なレジスタで、ポート E に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のとき、PEDDR を 0 にクリアした (入力ポート) 状態で、PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PEPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.11.3 モード別端子機能

(1) モード 4~6

モード 4~6 の場合で、8 ビットアクセス空間に設定し、8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また、16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。ポート E の端子機能を図 10B.16 に示します。

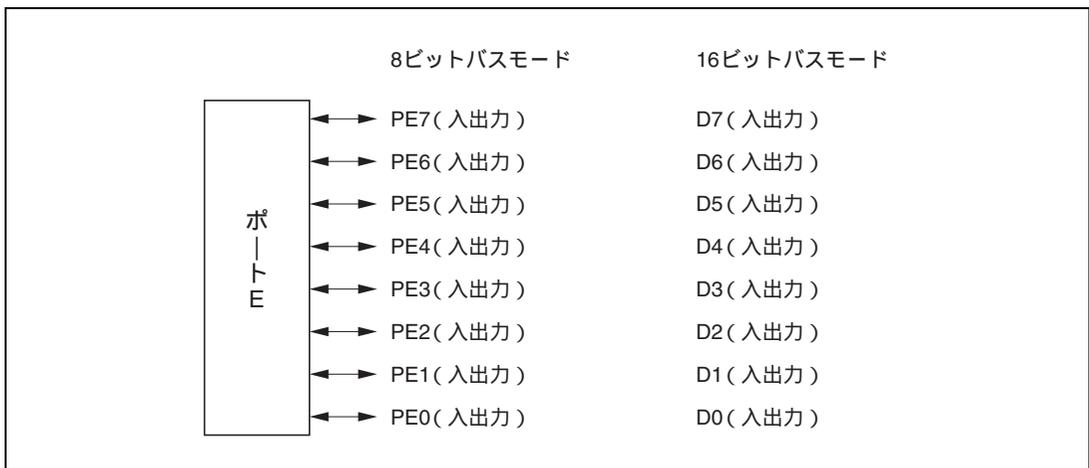


図 10B.16 ポート E の端子機能 (モード 4~6)

(2) モード7

モード7のとき、ポートEは入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PEDDRの各ビットを1にセットすると対応する端子は出力ポートになり、0にクリアすると入力ポートになります。

ポートEの端子機能を図10B.17に示します。

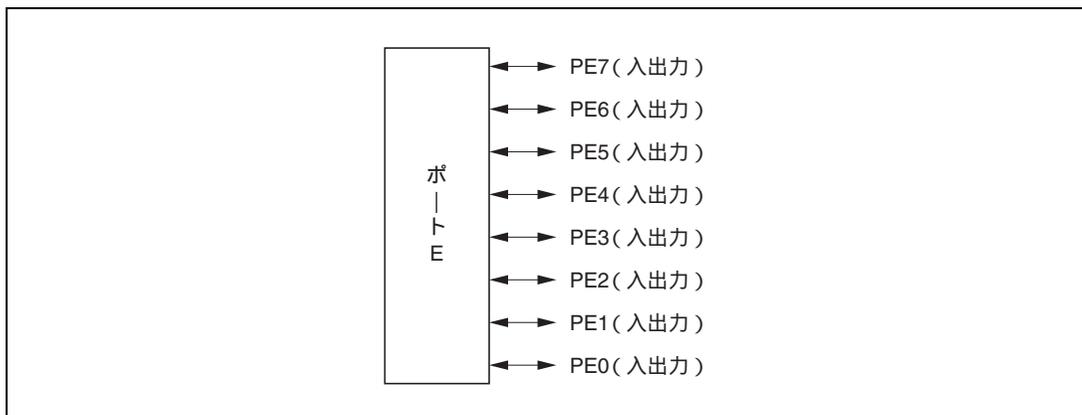


図 10B.17 ポート E の端子機能 (モード7)

10B.11.4 入力プルアップ MOS

ポートEは、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード4~6で8ビットバスモードのとき、またはモード7のときに使用でき、ビット単位でオン/オフを指定できます。

モード4~6で8ビットバスモードのとき、またはモード7のとき、PEDDRを0にクリアした状態でPEPCRを1にセットすると、入力プルアップMOSはオンとなります。

入力プルアップMOSは、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップMOSの状態を表10B.21に示します。

表 10B.21 入力プルアップMOSの状態 (ポートE)

モード		パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
7		OFF		ON/OFF		
4~6	8ビットバス			ON/OFF		
	16ビットバス			OFF		

【記号説明】

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : PEDDR = 0 かつ PEPCR = 1 のときオン状態、その他のときはオフ状態です。

10B.12 ポート F

10B.12.1 概要

ポート F は、8 ビットの入出力ポートです。ポート F は、外部割り込み入力端子 ($\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$)、A/D トリガ入力端子 ($\overline{\text{ADTRG}}$)、バス制御信号入出力端子 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$ 、 $\overline{\text{BREQO}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$)、およびシステムクロック () 出力端子と兼用になっています。

ポート F の各端子の構成を図 10B.18 に示します。

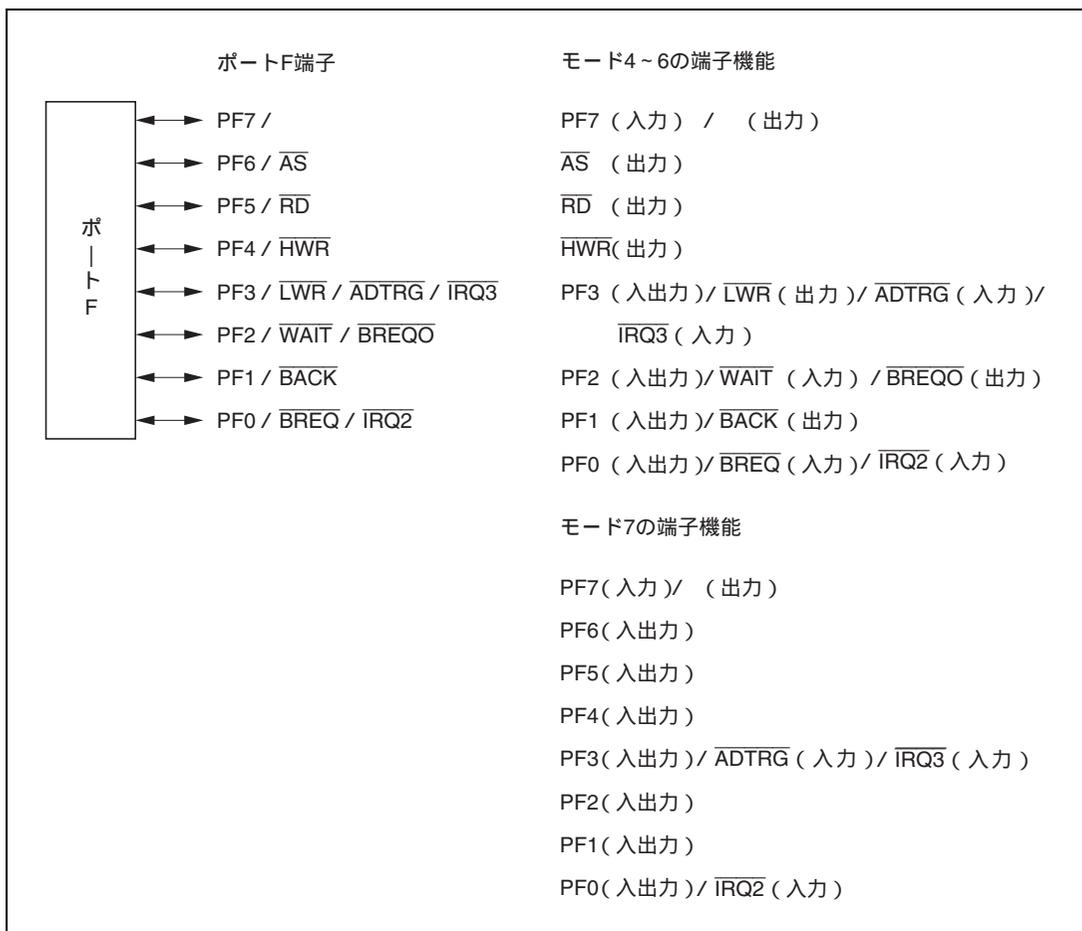


図 10B.18 ポート F の端子機能

10B.12.2 レジスタ構成

表 10B.22 にポート F のレジスタ構成を示します。

表 10B.22 ポート F レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
ポート F データディレクションレジスタ	PFDDR	W	H'80 / H'00*2	H'FE3E
ポート F データレジスタ	PFDR	R/W	H'00	H'FF0E
ポート F レジスタ	PORTF	R	不定	H'FFBE

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 モードによって、初期値が異なります。

(1) ポート F データディレクションレジスタ (PFDDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR

モード4~6

初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

モード7

初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PFDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード4~6 の場合 H'80 に、モード7 の場合 H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PFDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード4~6

PF7 端子は、PFDDR を 1 にセットすると 出力端子、0 にクリアすると入力ポートになります。

PF6~PF3 端子は、PFDDR による入出力の方向は無視され、自動的にバス制御出力 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) となります。

PF2~PF0 端子は、バスコントローラの設定により、バス制御入出力 (\overline{WAIT} 、 $\overline{BREQ0}$ 、 \overline{BACK} 、 \overline{BREQ}) となります。それ以外のとき、PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード7

PFDDR を 1 にセットすると PF7 端子は 出力端子、PF6~PF0 端子は出力ポートとなります。PFDDR を 0 にクリアすると各端子は入力ポートになります。

(2) ポート F データレジスタ (PFDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

PFDR は、8 ビットのリード/ライト可能なレジスタで、ポート F の各端子 (PF7 ~ PF0) の出力データを格納します。

PFDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート F レジスタ (PORTF)

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PF7 ~ PF0端子の状態により決定されます。

PORTF は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート F の各端子 (PF7 ~ PF0) の出力データのライトは必ず PFDR に対して行ってください。

PFDDR が 1 にセットされているとき、PORTF のリードを行うと PFDR の値をリードします。PFDDR が 0 にクリアされているとき、PORTF のリードを行うと端子の状態が読み出されます。

PORTF は、パワーオンリセットまたはハードウェアスタンバイモードでは、PFDDR、PFDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.12.3 端子機能

ポート F は、外部割り込み入力端子 ($\overline{IRQ2}$ 、 $\overline{IRQ3}$)、A/D トリガ入力 (\overline{ADTRG}) 端子、バス制御信号入出力端子 (\overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{WAIT} 、 $\overline{BREQ0}$ 、 \overline{BREQ} 、 \overline{BACK})、およびシステムクロック () 出力端子と兼用になっています。モード 4~6 とモード 7 では端子機能が異なります。ポート F の端子機能を表 10B.23 に示します。

表 10B.23 ポート F の端子機能

端子	選択方法と端子機能			
PF7/	PF7DDR ビットにより、次のように切り替わります。			
	PF7DDR	0	1	
	端子機能	PF7入力端子	出力端子	
PF6/ \overline{AS}	動作モードと BREQOE ビット、WAITE ビット、ABW5~ABW2 ビットおよび PF2DDR ビットの組み合わせにより次のように切り替わります。			
	動作モード	モード 4~6	モード 7	
	PF6DDR	-	0	1
	端子機能	\overline{AS} 出力端子	PF6入力端子	PF6出力端子
PF5/ \overline{RD}	動作モードと PF5DDR ビットにより、次のように切り替わります。			
	動作モード	モード 4~6	モード 7	
	PF5DDR	-	0	1
	端子機能	\overline{RD} 出力端子	PF5入力端子	PF5出力端子
PF4/ \overline{HWR}	動作モードと PF4DDR ビットにより、次のように切り替わります。			
	動作モード	モード 4~6	モード 7	
	PF4DDR	-	0	1
	端子機能	\overline{HWR} 出力端子	PF4入力端子	PF4出力端子

端子	選択方法と端子機能					
PF3/LWR/ ADTRG/ IRQ3	動作モード、バスモードと A/D 変換器の TRGS1、TRGS0 ビット、および PF3DDR ビットにより、次のように切り替わります。					
	動作モード	モード4~6			モード7	
	バスモード	16ビット バスモード	8ビットバスモード		-	
	PF3DDR	-	0	1	0	1
	端子機能	LWR出力 端子	PF3入力端子	PF3出力端子	PF3入力端子	PF3出力端子
			ADTRG入力端子*1			
			IRQ3入力端子*2			
	【注】 *1 TRGS0 = TRGS1 = 1 のとき ADTRG 入力となります。 *2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。					
PF2/WAIT/ BREQO	動作モードと BREQOE ビット、WAITE ビット、ABW5 ~ ABW2 ビットおよび PF2DDR ビットの組み合わせにより次のように切り替わります。					
	動作モード	モード4~6			モード7	
	BREQOE	0		1	-	
	WAITE	0	1	-	-	
	PF2DDR	0	1	-	0	1
	端子機能	PF2 入力端子	PF2 出力端子	WAIT 入力端子	BREQO 出力端子	PF2 出力端子
PF1/BACK	動作モードと BRLE ビット、PF1DDR ビットにより次のように切り替わります。					
	動作モード	モード4~6			モード7	
	BRLE	0		1	-	
	PF1DDR	0	1	-	0	1
	端子機能	PF1 入力端子	PF1 出力端子	BACK 出力端子	PF1 入力端子	PF1 出力端子
PF0/BREQ/ IRQ2	動作モードと BRLE ビット、PF0DDR ビットにより次のように切り替わります。					
	動作モード	モード4~6			モード7	
	BRLE	0		1	-	
	PF0DDR	0	1	-	0	1
	端子機能	PF0 入力端子	PF0 出力端子	BREQ 入力端子	PF0 入力端子	PF0 出力端子
		IRQ2入力端子				

10B.13 ポート G

10B.13.1 概要

ポート G は、5 ビットの入出力ポートで、外部割り込み入力端子 ($\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$)、バス制御信号出力端子 ($\overline{\text{CS0}}$ - $\overline{\text{CS3}}$) と兼用になっています。

ポート G の各端子の構成を図 10B.19 に示します。

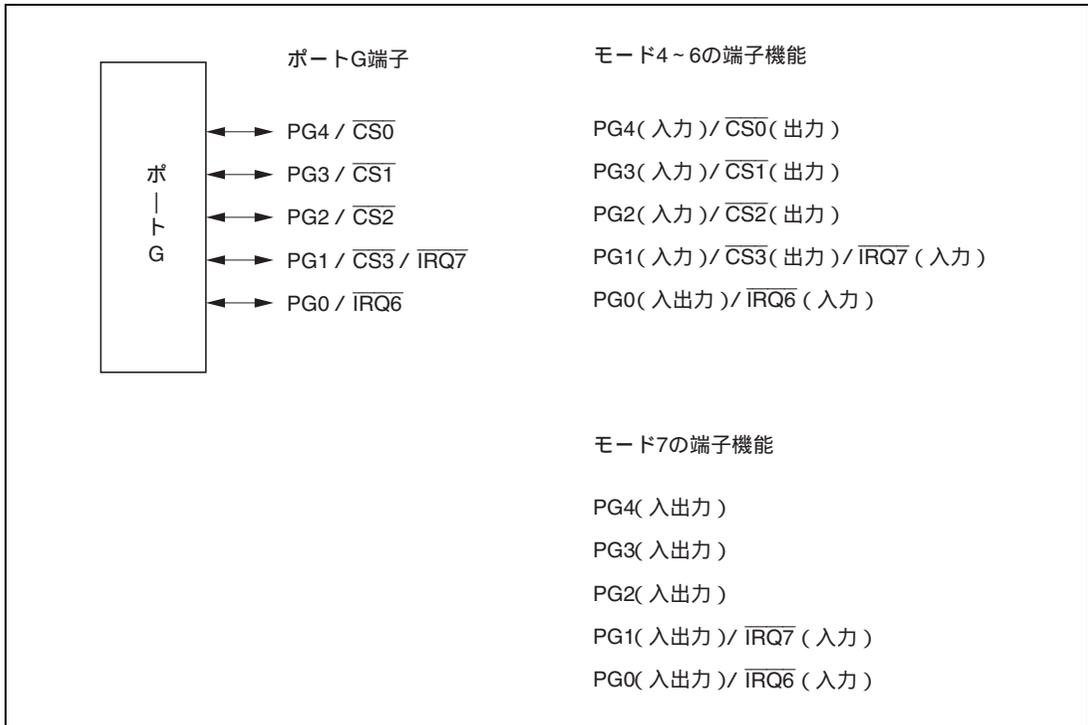


図 10B.19 ポート G の端子機能

10B.13.2 レジスタ構成

表 10B.24 にポート G のレジスタ構成を示します。

表 10B.24 ポート G レジスタ構成

名 称	略称	R/W	初期値*2	アドレス*1
ポート G データディレクションレジスタ	PGDDR	W	H'10 / H'00*3	H'FE3F
ポート G データレジスタ	PGDR	R/W	H'00	H'FF0F
ポート G レジスタ	PORTG	R	不定	H'FFBF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 4~0 の値を示します。

*3 モードによって、初期値が異なります。

(1) ポート G データディレクションレジスタ (PGDDR)

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR

モード 4、5

初期値 :	不定	不定	不定	1	0	0	0	0
R/W :				W	W	W	W	W

モード 6、7

初期値 :	不定	不定	不定	0	0	0	0	0
R/W :				W	W	W	W	W

PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。リードは無効です。また、ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。

PGDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 4、5 の場合 H'10 (ビット 4~0) に、モード 6、7 の場合 H'00 (ビット 4~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PGDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4~6

PG4~PG1 端子は、PGDDR を 1 にセットするとバス制御信号出力端子 ($\overline{CS0} \sim \overline{CS3}$)、0 にクリアすると入力ポートになります。

PG0 端子は、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 7

PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(2) ポート G データレジスタ (PGDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

PGDR は、8 ビットのリード/ライト可能なレジスタで、ポート G の各端子 (PG4 ~ PG0) の出力データを格納します。

ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 (ビット 4~0) に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート G レジスタ (PORTG)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値 :	不定	不定	不定	- *	- *	- *	- *	- *
R/W :	-	-	-	R	R	R	R	R

【注】* PG4 ~ PG0端子の状態により決定されます。

PORTG は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート G の各端子 (PG4 ~ PG0) の出力データのライトは必ず PGDR に対して行ってください。

ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDDR が 1 にセットされているとき、PORTG のリードを行うと PGDR の値をリードします。PGDDR が 0 にクリアされているとき、PORTG のリードを行うと端子の状態が読み出されます。

PORTG は、パワーオンリセットまたはハードウェアスタンバイモードでは、PGDDR、PGDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

10B.13.3 端子機能

ポート G は、外部割り込み入力端子 ($\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$)、バス制御信号出力端子 ($\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$) と兼用になっています。モード 4 ~ 6 とモード 7 では端子機能が異なります。ポート G の端子機能を表 10B.25 に示します。

表 10B.25 ポート G の端子機能

端子	選択方法と端子機能				
PG4/ $\overline{\text{CS0}}$	動作モードと PG4DDR ビットにより、次のように切り替わります。				
	動作モード	モード 4 ~ 6		モード 7	
	PG4DDR	0	1	0	1
	端子機能	PG4入力端子	$\overline{\text{CS0}}$ 出力端子	PG4入力端子	PG4出力端子
PG3/ $\overline{\text{CS1}}$	動作モードと PG3DDR ビットにより、次のように切り替わります。				
	動作モード	モード 4 ~ 6		モード 7	
	PG3DDR	0	1	0	1
	端子機能	PG3入力端子	$\overline{\text{CS1}}$ 出力端子	PG3入力端子	PG3出力端子
PG2/ $\overline{\text{CS2}}$	動作モードと PG2DDR ビットにより、次のように切り替わります。				
	動作モード	モード 4 ~ 6		モード 7	
	PG2DDR	0	1	0	1
	端子機能	PG2入力端子	$\overline{\text{CS2}}$ 出力端子	PG2入力端子	PG2出力端子
PG1/ $\overline{\text{CS3}}$ / $\overline{\text{IRQ7}}$	動作モードと BCRL の OES ビットと PG1DDR ビットにより、次のように切り替わります。				
	動作モード	モード 4 ~ 6		モード 7	
	PG1DDR	0	1	0	1
	端子機能	PG1入力端子	$\overline{\text{CS3}}$ 出力端子	PG1入力端子	PG1出力端子
		$\overline{\text{IRQ7}}$ 入力			
PG0/ $\overline{\text{IRQ6}}$	動作モードと BCRH の RMTS2 ~ RMTS0 と PG0DDR ビットにより、次のように切り替わります。				
	動作モード	モード 4 ~ 6		モード 7	
	PG0DDR	0	1	0	1
	端子機能	PG0 入力端子	PG0 出力端子	PG0 入力端子	PG0 出力端子
		$\overline{\text{IRQ6}}$ 入力			

11. 16ビットタイマパルスユニット (TPU)

11.1 概要

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

11.1.1 特長

最大 16 本のパルス入出力が可能

- チャンネル0、3は各4本、チャンネル1、2、4、5は各2本、合計16本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタ独立にアウトプットコンペア / インプットキャプチャレジスタの設定が可能
- チャンネル0、3のTGRC、TGRDは、バッファレジスタとして使用可能

各チャンネルごとに 8 種類のカウント入力クロックを選択可能

各チャンネルとも次の動作を設定可能

- コンペアマッチによる波形出力 : 0出力、1出力、トグル出力が選択可能
- インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
- カウンタクリア動作 : コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ / インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- PWMモード : 任意デューティのPWM出力が可能
同期動作と組み合わせることにより、最大15相のPWM出力が可能

チャンネル 0、3 はバッファ動作を設定可能

- インプットキャプチャレジスタのダブルバッファ構成が可能
- アウトプットコンペアレジスタの自動書き換えが可能

チャンネル 1、2、4、5 はおのこの独立に位相計数モードを設定可能

- 2相エンコーダパルスのアップダウンカウントが可能

カスケード接続動作

- チャンネル1 (チャンネル4) の入力クロックを、チャンネル2 (チャンネル5) のオーバフロー / アンダフローにすることにより32ビットカウンタとして動作

内部 16 ビットバスによる高速アクセス

- 16ビットバスインタフェースによる高速アクセスが可能

26 種類の割り込み要因

- チャンネル0、3はコンペアマッチ/インプットキャプチャ兼用割り込み×4本、オーバフロー割り込み×1本が独立に要求可能
- チャンネル1、2、4、5はコンペアマッチ/インプットキャプチャ兼用割り込み×2本、オーバフロー割り込み×1本、アンダフロー割り込み×1本が独立に要求可能

レジスタのデータの自動転送が可能

- データトランスファコントローラ (DTC) *またはDMAコントローラ (DMAC) *の起動により、ブロック転送、1ワードデータ転送および1バイトデータ転送が可能

プログラマブルパルスジェネレータ (PPG) *の出力トリガを生成可能

- チャンネル0~3のコンペアマッチ/インプットキャプチャ信号をPPGの出力トリガとして使用可能

A/D 変換器の変換スタートトリガを生成可能

- チャンネル0~5のコンペアマッチA/インプットキャプチャA信号をA/D変換器の変換開始トリガとして使用可能

モジュールストップモードの設定可能

- 初期値ではTPUの動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

表 11.1 に TPU の機能一覧を示します。

【注】 * H8S/2695 には本機能はありません。

表 11.1 TPU 機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	/ 1	/ 1	/ 1	/ 1	/ 1	/ 1
	/ 4	/ 4	/ 4	/ 4	/ 4	/ 4
	/ 16	/ 16	/ 16	/ 16	/ 16	/ 16
	/ 64	/ 64	/ 64	/ 64	/ 64	/ 64
	TCLKA	/ 256	/ 1024	/ 256	/ 1024	/ 256
	TCLKB	TCLKA	TCLKA	/ 1024	TCLKA	TCLKA
	TCLKC	TCLKB	TCLKB	/ 4096	TCLKC	TCLKC
TCLKD		TCLKC	TCLKA		TCLKD	
ジェネラルレジスタ	TGR0A	TGR1A	TGR2A	TGR3A	TGR4A	TGR5A
	TGR0B	TGR1B	TGR2B	TGR3B	TGR4B	TGR5B
ジェネラルレジスタ/ バッファレジスタ	TGR0C TGR0D	-	-	TGR3C TGR3D	-	-
入出力端子	TIOCA0	TIOCA1	TIOCA2	TIOCA3	TIOCA4	TIOCA5
	TIOCB0	TIOCB1	TIOCB2	TIOCB3	TIOCB4	TIOCB5
	TIOCC0			TIOCC3		
	TIOCD0			TIOCD3		
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ					
	コンペア マッチ	0 出力 1 出力				
出力	トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DMAC の起動*	TGR0A の コンペアマッチ または インプット キャプチャ	TGR1A の コンペアマッチ または インプット キャプチャ	TGR2A の コンペアマッチ または インプット キャプチャ	TGR3A の コンペアマッチ または インプット キャプチャ	TGR4A の コンペアマッチ または インプット キャプチャ	TGR5A の コンペアマッチ または インプット キャプチャ
DTC の起動*	TGR の コンペアマッチ または インプット キャプチャ					

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
A/D 変換開始 トリガ	TGR0A の コンペアマッチ または インプット キャプチャ	TGR1A の コンペアマッチ または インプット キャプチャ	TGR2A の コンペアマッチ または インプット キャプチャ	TGR3A の コンペアマッチ または インプット キャプチャ	TGR4A の コンペアマッチ または インプット キャプチャ	TGR5A の コンペアマッチ または インプット キャプチャ
PPG トリガ*	TGR0A、 TGR0B の コンペアマッチ または インプット キャプチャ	TGR1A、 TGR1B の コンペアマッチ または インプット キャプチャ	TGR2A、 TGR2B の コンペアマッチ または インプット キャプチャ	TGR3A、 TGR3B の コンペアマッチ または インプット キャプチャ	-	-
割り込み要因	5要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ 0A • コンペアマッチ /インプット キャプチャ 0B • コンペアマッチ /インプット キャプチャ 0C • コンペアマッチ /インプット キャプチャ 0D • オーバフロー 	4要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ 1A • コンペアマッチ /インプット キャプチャ 1B • オーバフロー • アンダフロー 	4要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ 2A • コンペアマッチ /インプット キャプチャ 2B • オーバフロー • アンダフロー 	5要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ 3A • コンペアマッチ /インプット キャプチャ 3B • コンペアマッチ /インプット キャプチャ 3C • コンペアマッチ /インプット キャプチャ 3D • オーバフロー 	4要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ 4A • コンペアマッチ /インプット キャプチャ 4B • オーバフロー • アンダフロー 	4要因 <ul style="list-style-type: none"> • コンペアマッチ /インプット キャプチャ 5A • コンペアマッチ /インプット キャプチャ 5B • オーバフロー • アンダフロー

【記号説明】

: 可能

- : 不可

【注】 * H8S/2695 には本機能はありません。

11.1.2 ブロック図

TPU のブロック図を図 11.1 に示します。

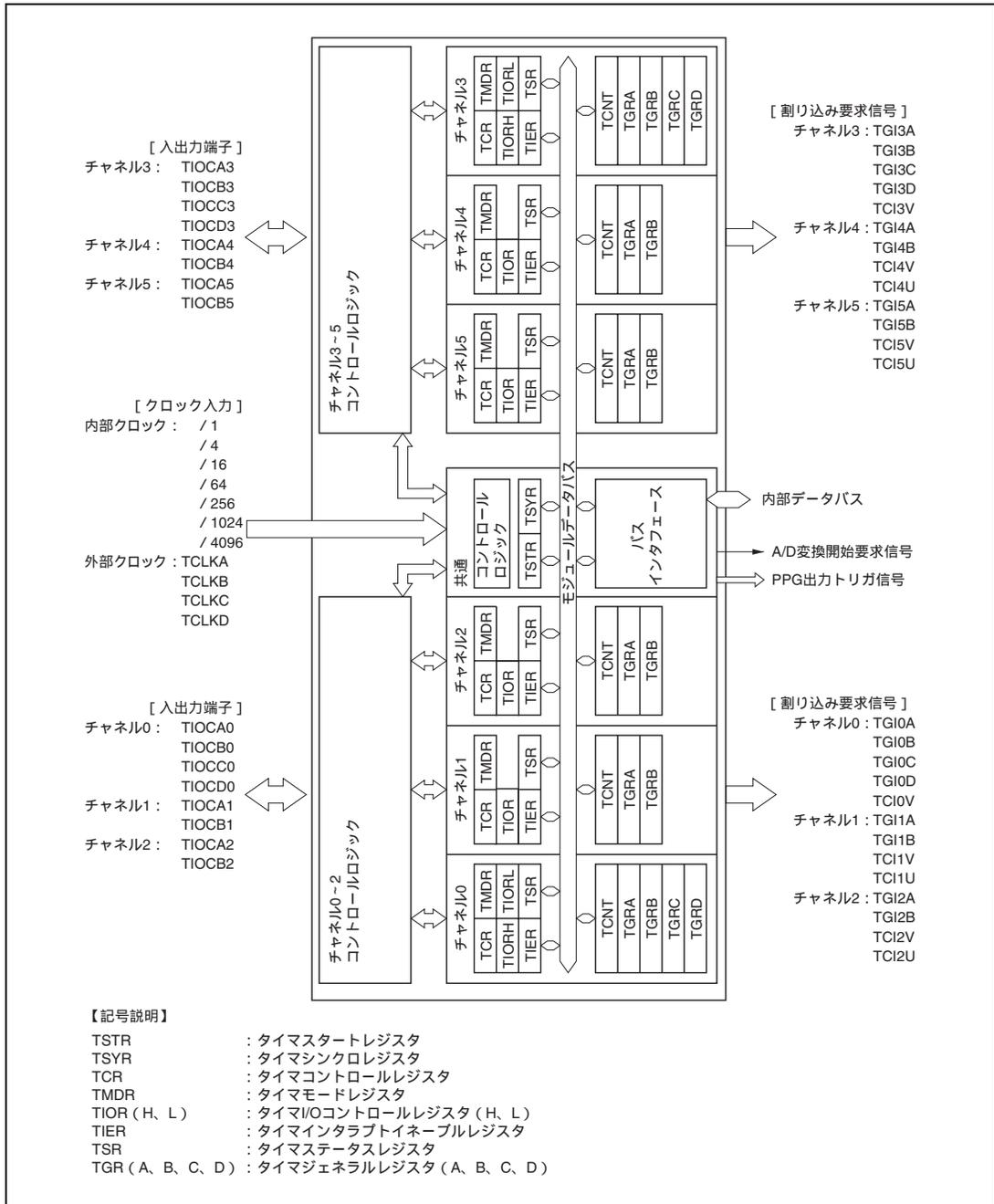


図 11.1 TPU のブロック図

11.1.3 端子構成

TPU の端子構成を表 11.2 に示します。

表 11.2 TPU の端子構成

チャンネル	名 称	記号	入出力	機 能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	インプットキャプチャ / アウトコンペアマッチ A0	TIOCA0	入出力	TGR0A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B0	TIOCB0	入出力	TGR0B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C0	TIOCC0	入出力	TGR0C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D0	TIOCD0	入出力	TGR0D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	インプットキャプチャ / アウトコンペアマッチ A1	TIOCA1	入出力	TGR1A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B1	TIOCB1	入出力	TGR1B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	インプットキャプチャ / アウトコンペアマッチ A2	TIOCA2	入出力	TGR2A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B2	TIOCB2	入出力	TGR2B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	インプットキャプチャ / アウトコンペアマッチ A3	TIOCA3	入出力	TGR3A のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B3	TIOCB3	入出力	TGR3B のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C3	TIOCC3	入出力	TGR3C のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D3	TIOCD3	入出力	TGR3D のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

チャンネル	名 称	記号	入出力	機 能
4	インプットキャプチャ/ アウトコンペアマッチ A4	TIOCA4	入出力	TGR4A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B4	TIOCB4	入出力	TGR4B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
5	インプットキャプチャ/ アウトコンペアマッチ A5	TIOCA5	入出力	TGR5A のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B5	TIOCB5	入出力	TGR5B のインプットキャプチャ入力/ アウトプットコンペア出力 / PWM 出力端子

11.1.4 レジスタ構成

TPU のレジスタ構成を表 11.3 に示します。

表 11.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FF10
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FF11
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FF12
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FF13
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FF14
	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'C0	H'FF15
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FF16
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FF18
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FF1A
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FF1C
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FF1E
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FF20
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FF21
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FF22
	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'40	H'FF24
	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'C0	H'FF25
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FF26
	タイマジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FF28
	タイマジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FF2A
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FF30
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FF31
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FF32
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FF34
	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'C0	H'FF35
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FF36
	タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FF38
	タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FF3A
3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FE80
	タイマモードレジスタ 3	TMDR3	R/W	H'C0	H'FE81
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W	H'00	H'FE82
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W	H'00	H'FE83
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'40	H'FE84
	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'C0	H'FE85
	タイマカウンタ 3	TCNT3	R/W	H'0000	H'FE86
	タイマジェネラルレジスタ 3A	TGR3A	R/W	H'FFFF	H'FE88
	タイマジェネラルレジスタ 3B	TGR3B	R/W	H'FFFF	H'FE8A
	タイマジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FE8C
タイマジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FE8E	

チャンネル	名 称	略 称	R/W	初期値	アドレス*1
4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FE90
	タイマモードレジスタ 4	TMDR4	R/W	H'C0	H'FE91
	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'00	H'FE92
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'40	H'FE94
	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'C0	H'FE95
	タイマカウンタ 4	TCNT4	R/W	H'0000	H'FE96
	タイマジェネラルレジスタ 4A	TGR4A	R/W	H'FFFF	H'FE98
	タイマジェネラルレジスタ 4B	TGR4B	R/W	H'FFFF	H'FE9A
5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FEA0
	タイマモードレジスタ 5	TMDR5	R/W	H'C0	H'FEA1
	タイマ I/O コントロールレジスタ 5	TIOR5	R/W	H'00	H'FEA2
	タイマインタラプトイネーブルレジスタ 5	TIER5	R/W	H'40	H'FEA4
	タイマステータスレジスタ 5	TSR5	R/(W)*2	H'C0	H'FEA5
	タイマカウンタ 5	TCNT5	R/W	H'0000	H'FEA6
	タイマジェネラルレジスタ 5A	TGR5A	R/W	H'FFFF	H'FEA8
	タイマジェネラルレジスタ 5B	TGR5B	R/W	H'FFFF	H'FEAA
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FEB0
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FEB1
	モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマコントロールレジスタ (TCR)

チャンネル0 : TCR0

チャンネル3 : TCR3

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

チャンネル1 : TCR1

チャンネル2 : TCR2

チャンネル4 : TCR4

チャンネル5 : TCR5

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W						

TCR は各チャンネルの TCNT を制御する 8 ビットのレジスタです。TPU には、チャンネル 0~5 に各 1 本、計 6 本の TCR があります。TCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

- ビット7、6、5 : カウンタクリア2、1、0 (CCLR2、CCLR1、CCLR0)

TCNTのカウンタクリア要因を選択します。

チャンネル	ビット7	ビット6	ビット5	説 明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
		1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
			1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
1	0	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2	
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1	

チャンネル	ビット7	ビット6	ビット5	説 明
	リザーブ *3	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
		1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

*3 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 が読み出されます。ライトは無効です。

- ビット4、3：クロックエッジ1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります(例： /4の両エッジ = /2の立ち上がりエッジ)。チャンネル1、2、4、5で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット4	ビット3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます(/1 選択時には立ち下がりでカウント)。

- ビット2、1、0：タイマプリスケラ2、1、0 (TPSC2~TPSC0)

TCNTのカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表11.4に各チャンネルごとに設定可能なクロックソース一覧を示します。

表 11.4 TPU のクロックソース一覧

チャンネル	内部クロック							外部クロック				他のチャンネルの オーバフロー/ アンダフロー
	/1	/4	/16	/64	/256	/1024	/4096	TCLKA	TCLKB	TCLKC	TCLKD	
0												
1												
2												
3												
4												
5												

【記号説明】

：設定あり

空欄：設定なし

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： /1 でカウント (初期値)
			1	内部クロック： /4 でカウント
		1	0	内部クロック： /16 でカウント
			1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	外部クロック：TCLKD 端子入力でカウント

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： /1 でカウント (初期値)
			1	内部クロック： /4 でカウント
		1	0	内部クロック： /16 でカウント
			1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	内部クロック： /256 でカウント
			1	TCNT2 のオーバフロー / アンダフローでカウント

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： /1 でカウント (初期値)
			1	内部クロック： /4 でカウント
		1	0	内部クロック： /16 でカウント
			1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	内部クロック： /1024 でカウント

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック： /1 でカウント (初期値)
			1	内部クロック： /4 でカウント
		1	0	内部クロック： /16 でカウント
			1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	内部クロック： /1024 でカウント
		1	0	内部クロック： /256 でカウント
			1	内部クロック： /4096 でカウント

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック： /1 でカウント (初期値)
			1	内部クロック： /4 でカウント
		1	0	内部クロック： /16 でカウント
			1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： /1024 でカウント
			1	TCNT5 のオーバフロー / アンダフローでカウント

【注】 チャンネル4 が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック： /1 でカウント (初期値)
			1	内部クロック： /4 でカウント
		1	0	内部クロック： /16 でカウント
			1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： /256 でカウント
			1	外部クロック：TCLKD 端子入力でカウント

【注】 チャンネル5 が位相計数モード時、この設定は無効になります。

11.2.2 タイマモードレジスタ (TMDR)

チャンネル0 : TMDR0

チャンネル3 : TMDR3

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TMDR1

チャンネル2 : TMDR2

チャンネル4 : TMDR4

チャンネル5 : TMDR5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

TMDR は 8 ビットのリード / ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 6 本の TMDR があります。TMDR は、リセットまたはハードウェアスタンバイモード時に H'CO に初期化されます。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

- ビット7、6 : リザーブ

リードすると常に1が読み出されます。ライトは無効です。

- ビット5 : バッファ動作B (BFB)

TGRBを通常動作させるか、TGRBとTGRDを組み合わせるバッファ動作させるかを設定します。TGRDをバッファレジスタとして使用した場合は、TGRDのインプットキャプチャ / アウトプットコンペアは発生しません。

TGRDを持たないチャンネル1、2、4、5ではこのビットはリザーブビットになります。リードすると常に0が読み出されます。ライトは無効です。

ビット5	説 明
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

11. 16 ビットタイムバルスユニット (TPU)

• ビット4 : バッファ動作A (BFA)

TGRAを通常動作させるか、TGRAとTGRCを組み合わせでバッファ動作させるかを設定します。TGRCをバッファレジスタとして使用した場合は、TGRCのインプットキャプチャ/アウトプットコンペアは発生しません。

TGRCを持たないチャンネル1、2、4、5ではこのビットはリザーブビットになります。リードすると常に0が読み出されます。ライトは無効です。

ビット4	説明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

• ビット3~0 : モード3~0 (MD3~MD0)

MD3~MD0はタイムの動作モードを設定します。

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	リザーブ
		1	0	PWM モード 1
			1	PWM モード 2
	1	0	0	位相計数モード 1
			1	位相計数モード 2
		1	0	位相計数モード 3
			1	位相計数モード 4
1	*	*	*	-

* : Don't care

【注】 *1 MD3 はリザーブビットです。

ライト時には常に0を書き込んでください。

*2 チャンネル0、3では、位相計数モードの設定はできません。

MD2には常に0をライトしてください。

11.2.3 タイマ I/O コントロールレジスタ (TIOR)

チャンネル0 : TIOR0H
 チャンネル1 : TIOR1
 チャンネル2 : TIOR2
 チャンネル3 : TIOR3H
 チャンネル4 : TIOR4
 チャンネル5 : TIOR5

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

チャンネル0 : TIOR0L
 チャンネル3 : TIOR3L

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR は TGR を制御する 8 ビットのレジスタです。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

- ビット 7 ~ 4 : I/O コントロール B3 ~ 0 (IOB3 ~ IOB0)
 I/O コントロール D3 ~ 0 (IOD3 ~ IOD0)

IOB3 ~ IOB0 ビットは TGRB の機能を設定します。

IOD3 ~ IOD0 ビットは TGRD の機能を設定します。

11. 16 ビットタイムバルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
0	0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	コンペアマッチでトグル出力					
			1	0		0	出力禁止	初期出力は1出力	
						1		コンペアマッチで0出力	
	0	コンペアマッチで1出力							
	1	0	0	コンペアマッチでトグル出力					
			1	キャプチャ入力元 はTIOCB0 端子	立ち上がりエッジでインプットキャプチャ				
			0		立ち下がりエッジでインプットキャプチャ				
	1	両エッジでインプットキャプチャ							
	1	0	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ*1		
1									
*									
	1	*	*						

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOD3	IOD2	IOD1	IOD0					
0	0	0	0	0	TGR0D は アウトプット コンペア レジスタ*2	出力禁止 (初期値)			
				1		初期出力は0出力	コンペアマッチで0出力		
				0			コンペアマッチで1出力		
			1	コンペアマッチでトグル出力					
			1	0		0	出力禁止	初期出力は1出力	
						1		コンペアマッチで0出力	
	0	コンペアマッチで1出力							
	1	0	0	コンペアマッチでトグル出力					
			1	キャプチャ入力元 はTIOCD0 端子	立ち上がりエッジでインプットキャプチャ				
			0		立ち下がりエッジでインプットキャプチャ				
	1	両エッジでインプットキャプチャ							
	1	0	0	0	TGR0D は インプット キャプチャ レジスタ*2	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ*1		
1									
*									
	1	*	*						

* : Don't care

【注】 *1 TCR1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT1 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOB3	IOB2	IOB1	IOB0				
1	0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
			1	0			コンペアマッチで1出力	
				1		コンペアマッチでトグル出力		
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	1	0	コンペアマッチで1出力					
		1	コンペアマッチでトグル出力					
	1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB1 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
		1	*	*		キャプチャ入力元 は TGR0C コンペア マッチ / インブ ットキャプチャ		TGR0C のコンペアマッチ / インプットキャプチャの発生で インプットキャプチャ

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOB3	IOB2	IOB1	IOB0				
2	0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
			1	0			コンペアマッチで1出力	
				1		コンペアマッチでトグル出力		
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	1	0	コンペアマッチで1出力					
		1	コンペアマッチでトグル出力					
	1	*	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB2 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	

* : Don't care

11. 16 ビットタイムバルスユニット (TPU)

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOB3	IOB2	IOB1	IOB0				
3	0	0	0	0	TGR3B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
			1	0			コンペアマッチで1出力	
				1		コンペアマッチでトグル出力		
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	1	0	0	コンペアマッチで1出力				
			1	コンペアマッチでトグル出力				
	1	0	0	0	TGR3B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB3 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
		1	*	*		0	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ*1
1								
*								

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOD3	IOD2	IOD1	IOD0				
3	0	0	0	0	TGR3D は アウトプット コンペア レジスタ*2	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
			1	0			コンペアマッチで1出力	
				1		コンペアマッチでトグル出力		
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	1	0	0	コンペアマッチで1出力				
			1	コンペアマッチでトグル出力				
	1	0	0	0	TGR3D は インプット キャプチャ レジスタ*2	キャプチャ入力元 は TIOCD3 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
		1	*	*		0	キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ*1
1								
*								

* : Don't care

【注】 *1 TCR4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT4 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR3 の BFB ビットを 1 にセットして TGR3D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOB3	IOB2	IOB1	IOB0				
4	0	0	0	0	TGR4B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
			1	0			コンペアマッチで1出力	
				1		コンペアマッチでトグル出力		
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	1	0	コンペアマッチで1出力					
		1	コンペアマッチでトグル出力					
	1	0	0	0	TGR4B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB4 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
		1	*	*		キャプチャ入力元 は TGR3C コンペア マッチ / インブ ットキャプチャ		TGR3C のコンペアマッチ / インプットキャプチャの発生で インプットキャプチャ

* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明			
	IOB3	IOB2	IOB1	IOB0				
5	0	0	0	0	TGR5B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
			1	0			コンペアマッチで1出力	
				1		コンペアマッチでトグル出力		
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	1	0	コンペアマッチで1出力					
		1	コンペアマッチでトグル出力					
	1	*	0	0	TGR5B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB5 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	

* : Don't care

11. 16 ビットタイムバルスユニット (TPU)

- ビット3~0: I/OコントロールA3~0 (IOA3~IOA0)
I/OコントロールC3~0 (IOC3~IOC0)

IOA3~IOA0はTGRAの機能を設定します。

IOC3~IOC0はTGRCの機能を設定します。

チャンネル	ビット3	ビット2	ビット1	ビット0	説明			
	IOA3	IOA2	IOA1	IOA0				
0	0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0			コンペアマッチで1出力	
			1	コンペアマッチでトグル出力				
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力						
	1	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA0 端子	立ち上がりエッジでインプットキャプチャ		
	1	*	立ち下がりエッジでインプットキャプチャ					
	1	*	両エッジでインプットキャプチャ					
	1	0	0		0	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ	
					1			*
1					*			

* : Don't care

チャンネル	ビット3	ビット2	ビット1	ビット0	説明			
	IOC3	IOC2	IOC1	IOC0				
0	0	0	0	0	TGR0C は アウトプット コンペア レジスタ*1	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				0			コンペアマッチで1出力	
			1	コンペアマッチでトグル出力				
			1	0		0	出力禁止	
						1	初期出力は1出力	コンペアマッチで0出力
	0	コンペアマッチで1出力						
	1	0	0	TGR0C は インプット キャプチャ レジスタ*1	キャプチャ入力元 はTIOCC0 端子	立ち上がりエッジでインプットキャプチャ		
	1	*	立ち下がりエッジでインプットキャプチャ					
	1	*	両エッジでインプットキャプチャ					
	1	0	0		0	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ	
					1			*
1					*			

* : Don't care

【注】 *1 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明					
	IOA3	IOA2	IOA1	IOA0						
1	0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は0出力	コンペアマッチで0出力			
				1			コンペアマッチで1出力			
			1	コンペアマッチでトグル出力						
			1	0		0	0	出力禁止	初期出力は1出力	
							1		コンペアマッチで0出力	
	1	コンペアマッチで1出力								
	1	0	0	0	コンペア レジスタ	コンペアマッチでトグル出力				
				1		コンペアマッチで0出力				
				1		コンペアマッチで1出力				
	1	0	0	0		TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA1 端子	立ち上がりエッジでインプットキャプチャ		
				1				立ち下がりエッジでインプットキャプチャ		
*				両エッジでインプットキャプチャ						
1		*	*	0	キャプチャ入力元 は TGR0A コンペ アマッチ / インブ ットキャプチャ		チャンネル 0 / TGR0A の コンペアマッチ / インプットキャプチャの発生で インプットキャプチャ			
				1						
				*						

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明					
	IOA3	IOA2	IOA1	IOA0						
2	0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は0出力	コンペアマッチで0出力			
				1			コンペアマッチで1出力			
			1	コンペアマッチでトグル出力						
			1	0		0	0	出力禁止	初期出力は1出力	
							1		コンペアマッチで0出力	
	1	コンペアマッチで1出力								
	1	0	0	0	コンペア レジスタ	コンペアマッチでトグル出力				
				1		コンペアマッチで0出力				
				1		コンペアマッチで1出力				
	1	*	0	0		TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA2 端子	立ち上がりエッジでインプットキャプチャ		
				1				立ち下がりエッジでインプットキャプチャ		
*				両エッジでインプットキャプチャ						
1		*	0	0	キャプチャ レジスタ		チャンネル 0 / TGR0A の コンペアマッチ / インプットキャプチャの発生で インプットキャプチャ			
				1						
				*						

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明					
	IOA3	IOA2	IOA1	IOA0						
3	0	0	0	0	TGR3A は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
				1		0	コンペアマッチで 1 出力			
						1	コンペアマッチでトグル出力			
				1		0	0	出力禁止		
							1	初期出力は 1 出力	コンペアマッチで 0 出力	
	1	コンペアマッチで 1 出力	コンペアマッチでトグル出力							
	1	0	0	0	TGR3A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA3 端子	立ち上がりエッジでインプットキャプチャ			
				1			立ち下がりエッジでインプットキャプチャ			
				*			両エッジでインプットキャプチャ			
				1		*	*	キャプチャ入力元 はチャンネル 4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ	

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説明					
	IOC3	IOC2	IOC1	IOC0						
3	0	0	0	0	TGR3C は アウトプット コンペア レジスタ*1	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
				1		0	コンペアマッチで 1 出力			
						1	コンペアマッチでトグル出力			
				1		0	0	出力禁止		
							1	初期出力は 1 出力	コンペアマッチで 0 出力	
	1	コンペアマッチで 1 出力	コンペアマッチでトグル出力							
	1	0	0	0	TGR3C は インプット キャプチャ レジスタ*1	キャプチャ入力元 は TIOCC3 端子	立ち上がりエッジでインプットキャプチャ			
				1			立ち下がりエッジでインプットキャプチャ			
				*			両エッジでインプットキャプチャ			
				1		*	*	キャプチャ入力元 はチャンネル 4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ	

* : Don't care

【注】 *1 TMDR3 の BFA ビットを 1 にセットして TGR3C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明					
	IOA3	IOA2	IOA1	IOA0						
4	0	0	0	0	TGR4A は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
				1			コンペアマッチで 1 出力			
			1	コンペアマッチでトグル出力						
			1	0		0	0	出力禁止	初期出力は 1 出力	
							1		コンペアマッチで 0 出力	
	1	コンペアマッチで 1 出力								
	1	0	0	0	初期出力は 1 出力	コンペアマッチで 0 出力				
				1		コンペアマッチで 1 出力				
				1		コンペアマッチでトグル出力				
	1	0	0	0		TGR4A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA4 端子	立ち上がりエッジでインプットキャプチャ		
				1				立ち下がりエッジでインプットキャプチャ		
1				両エッジでインプットキャプチャ						
1		*	*	0	キャプチャ入力元 は TGR3A コンペア マッチ / インブ ットキャプチャ		TGR3A のコンペアマッチ / インプットキャプチャの発生で インプットキャプチャ			
				1						
				1						

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明					
	IOA3	IOA2	IOA1	IOA0						
5	0	0	0	0	TGR5A は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
				1			コンペアマッチで 1 出力			
			1	コンペアマッチでトグル出力						
			1	0		0	0	出力禁止	初期出力は 1 出力	
							1		コンペアマッチで 0 出力	
	1	コンペアマッチで 1 出力								
	1	0	0	0	初期出力は 1 出力	コンペアマッチで 0 出力				
				1		コンペアマッチで 1 出力				
				1		コンペアマッチでトグル出力				
	1	*	0	0		TGR5A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA5 端子	立ち上がりエッジでインプットキャプチャ		
				1				立ち下がりエッジでインプットキャプチャ		
1				両エッジでインプットキャプチャ						
1		*	0	0	キャプチャ入力元 は TGR3A コンペア マッチ / インブ ットキャプチャ		TGR3A のコンペアマッチ / インプットキャプチャの発生で インプットキャプチャ			
				1						
				1						

* : Don't care

11.2.4 タイマインタラプトイネーブルレジスタ (TIER)

チャンネル0 : TIER0

チャンネル3 : TIER3

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TIER1

チャンネル2 : TIER2

チャンネル4 : TIER4

チャンネル5 : TIER5

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TIER は 8 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 6 本の TIER があります。TIER は、リセットまたはハードウェアスタンバイモード時に H'40 に初期化されます。

- ビット7 : A/D変換開始要求イネーブル (TTGE)

TGRAのインプットキャプチャ/コンペアマッチによる、A/D変換開始要求の発生を許可または禁止します。

ビット7	説 明	
TTGE		
0	A/D 変換開始要求の発生を禁止	(初期値)
1	A/D 変換開始要求の発生を許可	

- ビット6 : リザーブ

リードすると常に1が読み出されます。ライトは無効です。

- ビット5 : アンダフローインタラプトイネーブル (TCIEU)

チャンネル1、2、4、5でTSRのTCFUフラグが1にセットされたとき、TCFUフラグによる割り込み要求 (TCIU) を許可または禁止します。

チャンネル0、3ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット5	説 明	
TCIEU		
0	TCFU による割り込み要求 (TCIU) を禁止	(初期値)
1	TCFU による割り込み要求 (TCIU) を許可	

- ビット4 : オーバフローインタラプトイネーブル (TCIEV)

TSRのTCFVフラグが1にセットされたとき、TCFVフラグによる割り込み要求 (TCIV) を許可または禁止します。

ビット4	説 明	
TCIEV		
0	TCFV による割り込み要求 (TCIV) を禁止	(初期値)
1	TCFV による割り込み要求 (TCIV) を許可	

- ビット3 : TGRインタラプトイネーブルD (TGIED)

チャンネル0、3でTSRのTGFDビットが1にセットされたとき、TGFDビットによる割り込み要求 (TGID) を許可または禁止します。

チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3	説 明	
TGIED		
0	TGFD ビットによる割り込み要求 (TGID) を禁止	(初期値)
1	TGFD ビットによる割り込み要求 (TGID) を許可	

- ビット2 : TGRインタラプトイネーブルC (TGIEC)

チャンネル0、3でTSRのTGFCビットが1にセットされたとき、TGFCビットによる割り込み要求 (TGIC) を許可または禁止します。

チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2	説 明	
TGIEC		
0	TGFC ビットによる割り込み要求 (TGIC) を禁止	(初期値)
1	TGFC ビットによる割り込み要求 (TGIC) を許可	

- ビット1 : TGRインタラプトイネーブルB (TGIEB)

TSRのTGFBビットが1にセットされたとき、TGFBビットによる割り込み要求 (TGIB) を許可または禁止します。

ビット1	説 明	
TGIEB		
0	TGFB ビットによる割り込み要求 (TGIB) を禁止	(初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可	

- ビット0 : TGRインタラプトイネーブルA (TGIEA)

TSRのTGFAビットが1にセットされたとき、TGFAビットによる割り込み要求 (TGIA) を許可または禁止します。

ビット0	説 明	
TGIEA		
0	TGFA ビットによる割り込み要求 (TGIA) を禁止	(初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可	

11.2.5 タイマステータスレジスタ (TSR)

チャンネル0 : TSR0

チャンネル3 : TSR3

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

チャンネル1 : TSR1

チャンネル2 : TSR2

チャンネル4 : TSR4

チャンネル5 : TSR5

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

TSR は 8 ビットのレジスタで、各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 6 本の TSR があります。TSR は、リセットまたはハードウェアスタンバイモード時に H'CO に初期化されます。

11. 16 ビットタイムバルスユニット (TPU)

- ビット7 : カウント方向フラグ (TCFD)

チャンネル1、2、4、5のTCNTのカウント方向を示すステータスフラグです。

チャンネル0、3ではリザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット7	説 明
TCFD	
0	TCNT はダウンカウント
1	TCNT はアップカウント (初期値)

- ビット6 : リザーブ

リードすると常に1が読み出されます。ライトは無効です。

- ビット5 : アンダフローフラグ (TCFU)

チャンネル1、2、4、5が位相計数モードのとき、TCNTのアンダフローの発生を示すステータスフラグです。

チャンネル0、3ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット5	説 明
TCFU	
0	[クリア条件] (初期値) TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
1	[セット条件] TCNT の値がアンダフロー (H'0000 H'FFFF) したとき

- ビット4 : オーバフローフラグ (TCFV)

TCNTのオーバフローの発生を示すステータスフラグです。

ビット4	説 明
TCFV	
0	[クリア条件] (初期値) TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき
1	[セット条件] TCNT の値がオーバフロー (H'FFFF H'0000) したとき

- ビット3：インプットキャプチャ/アウトプットコンペアフラグD (TGFD)
チャンネル0、3のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3	説 明
TGFD	
0	[クリア条件] (初期値) (1) TGID 割り込みにより DTC*が起動され、DTC*の MRB の DIESEL ビットが0 のとき (2) TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
1	[セット条件] (1) TGRD がアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRD になったとき (2) TGRD がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき

【注】 * H8S/2695 には本機能はありません。

- ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)
チャンネル0、3のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。
チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2	説 明
TGFC	
0	[クリア条件] (初期値) (1) TGIC 割り込みにより DTC*が起動され、DTC*の MRB の DIESEL ビットが0 のとき (2) TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	[セット条件] (1) TGRC がアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRC になったとき (2) TGRC がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき

【注】 * H8S/2695 には本機能はありません。

- ビット1：インプットキャプチャ/アウトプットコンペアフラグB (TGFB)

TGRBのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
TGFB	
0	[クリア条件] (初期値) (1) TGIB 割り込みにより DTC*が起動され、DTC*の MRB の DIESEL ビットが0のとき (2) TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
1	[セット条件] (1) TGRB がアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRB になったとき (2) TGRB がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

【注】 * H8S/2695 には本機能はありません。

- ビット0：インプットキャプチャ/アウトプットコンペアフラグA (TGFA)

TGRAのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
TGFA	
0	[クリア条件] (初期値) (1) TGIA 割り込みにより DTC*が起動され、DTC*の MRB の DIESEL ビットが0のとき (2) TGIA 割り込みにより DMAC*が起動され、DMAC*の DMABCR の DTA ビットが1のとき (3) TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、 TCNT = TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

【注】 * H8S/2695 には本機能はありません。

11.2.6 タイマカウンタ (TCNT)

- チャンネル0 : TCNT0 (アップカウンタ)
- チャンネル1 : TCNT1 (アップ/ダウンカウンタ*)
- チャンネル2 : TCNT2 (アップ/ダウンカウンタ*)
- チャンネル3 : TCNT3 (アップカウンタ)
- チャンネル4 : TCNT4 (アップ/ダウンカウンタ*)
- チャンネル5 : TCNT5 (アップ/ダウンカウンタ*)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

【注】* 位相計数モード (および位相計数モードの他のチャンネルのオーバーフロー/アンダフローのカウンタ時) のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

TCNT は 16 ビットのカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.2.7 タイマジェネラルレジスタ (TGR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W															

TGR は 16 ビットのアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます*。TGR はリセットまたはハードウェアスタンバイモード時に HFFFF に初期化されます。

TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

【注】 * TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

11.2.8 タイマスタートレジスタ (TSTR)

ビット :	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の動作/停止を選択します。TSTR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

- ビット 7、6 : リザーブビット
ライト時は必ず 0 を書き込んでください。
- ビット 5~0 : カウンタスタート 5~0 (CST5~CST0)
TCNT の動作または停止を選択します。

ビット n	説明
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

(n = 5~0)

【注】 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

11.2.9 タイマシンクロレジスタ (TSYR)

ビット :	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

TSYR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

11. 16 ビットタイムバルスユニット (TPU)

- ビット7、6：リザーブビット
ライト時は必ず0を書き込んでください。
- ビット5～0：タイマ同期5～0 (SYNC5～SYNC0)
他のチャンネルとの独立動作または同期動作を選択します。
同期動作を選択すると、複数のTCNTの同期プリセット*¹や、他チャンネルのカウンタクリアによる同期クリア*²が可能となります。

ビット n	説 明
SYNCn	
0	TCNTn は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) (初期値)
1	TCNTn は同期動作 TCNT の同期プリセット / 同期クリアが可能

(n = 5 ~ 0)

【注】 *1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

*2 同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2～CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。

11.2.10 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W							

MSTPCRA は 8 ビットのリード / ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA5 ビットを 1 にセットすると、バスサイクルの終了時点で TPU は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード / ライトはできません。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRA は、パワーオンリセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット5：モジュールストップ (MSTPA5)
TPUのモジュールストップモードを指定します。

ビット 5	説 明
MSTPA5	
0	TPU のモジュールストップモード解除
1	TPU のモジュールストップモード設定 (初期値)

11.3 バスマスタとのインタフェース

11.3.1 16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。

8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 11.2 に示します。

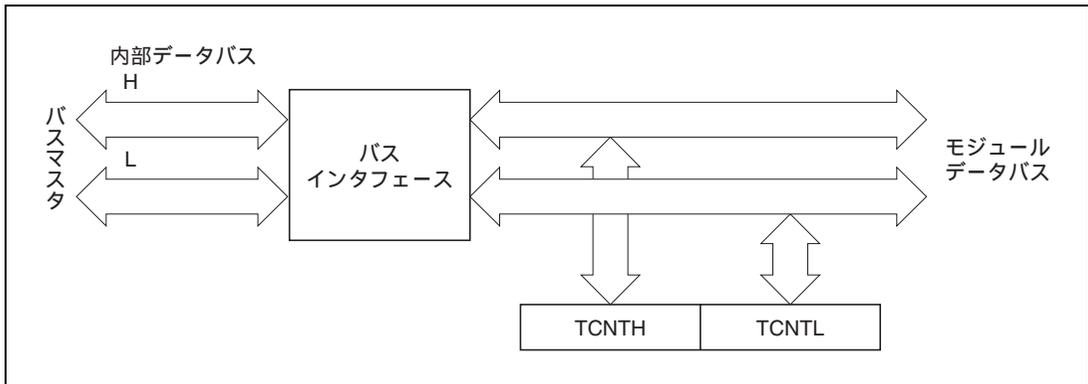


図 11.2 16 ビットレジスタのアクセス動作 (バスマスタ TCNT (16 ビット))

11.3.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。また、8 ビット単位でのリード/ライトもできます。

8 ビットレジスタのアクセス動作例を図 11.3、図 11.4、図 11.5 に示します。

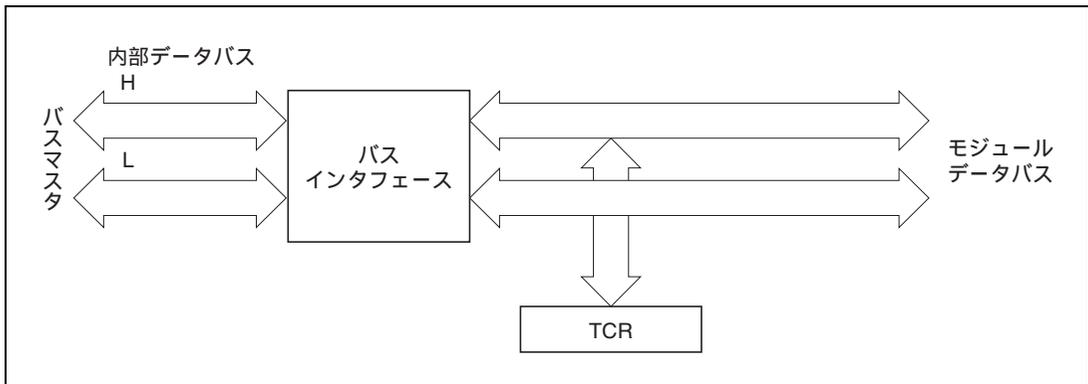


図 11.3 8 ビットレジスタのアクセス動作 (バスマスタ TCR (上位 8 ビット))

11. 16 ビットタイムパルスユニット (TPU)

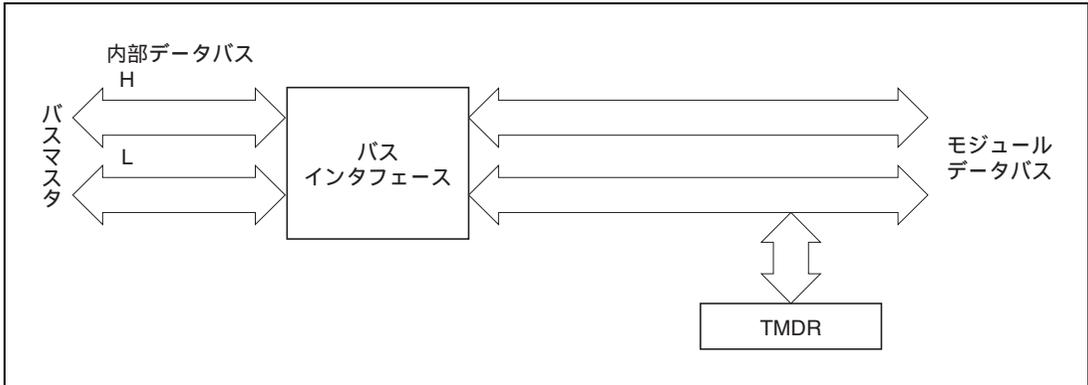


図 11.4 8 ビットレジスタのアクセス動作 (バスマスタ TMDR (下位 8 ビット))

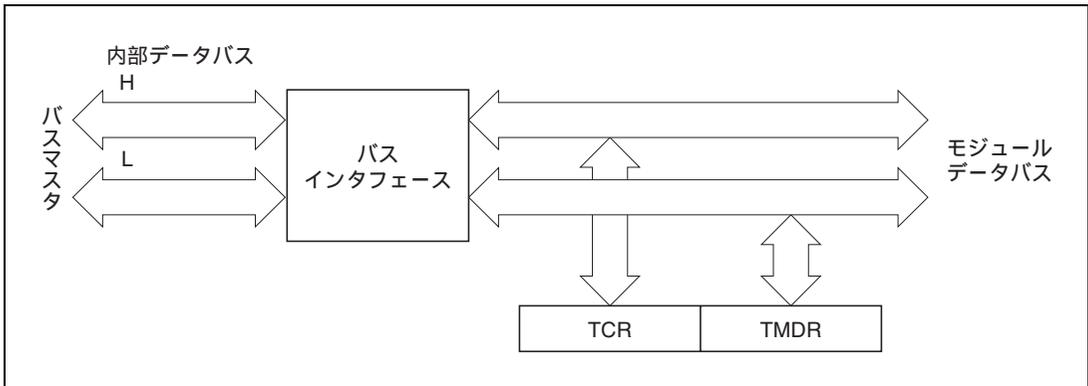


図 11.5 8 ビットレジスタのアクセス動作 (バスマスタ TCR、TMDR (16 ビット))

11.4 動作説明

11.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると、他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TSYR のタイマ同期ビットの設定により、TCNT の同期クリアが可能です。

(3) バッファ動作

(a) TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値が TGR に転送されると同時に、それまで格納されていた TGR の値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル 1 カウンタ (TCNT1) とチャンネル 2 カウンタ (TCNT2) またはチャンネル 4 カウンタ (TCNT4) とチャンネル 5 カウンタ (TCNT5) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

(6) 位相計数モード

チャンネル 1、2、4、5 で外部クロック入力端子から入力される 2 つのクロックの位相を検出して、TCNT をアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT はアップ/ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

11.4.2 基本機能

(1) カウンタの動作

TSTR の CST0 ~ CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 11.6 に示します。

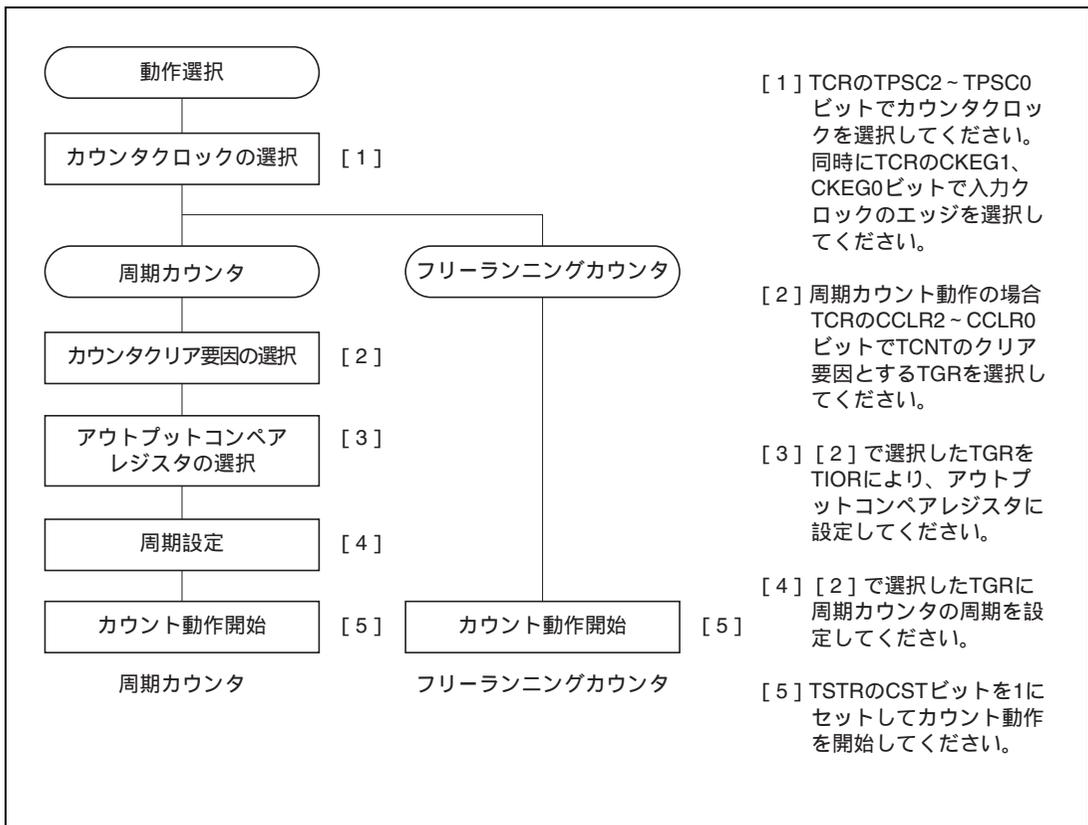


図 11.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 11.7 に示します。

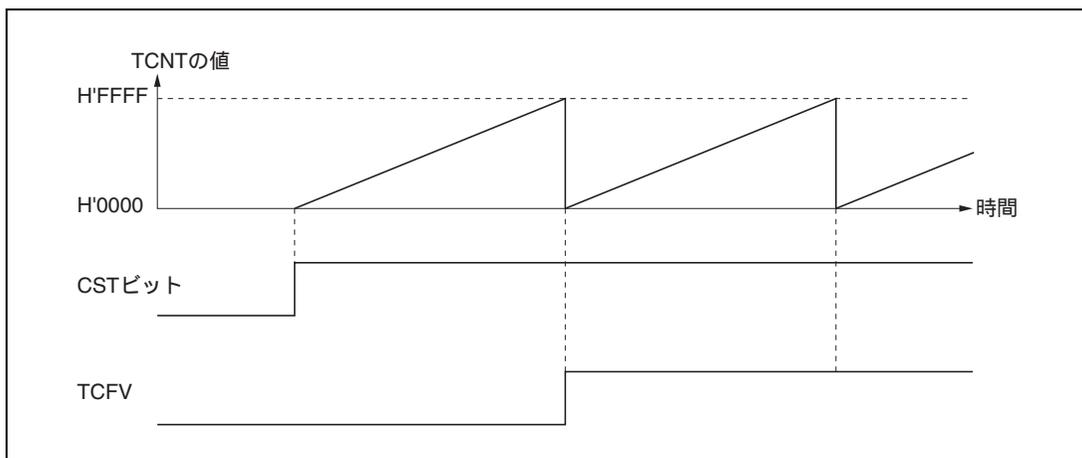


図 11.7 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 11.8 に示します。

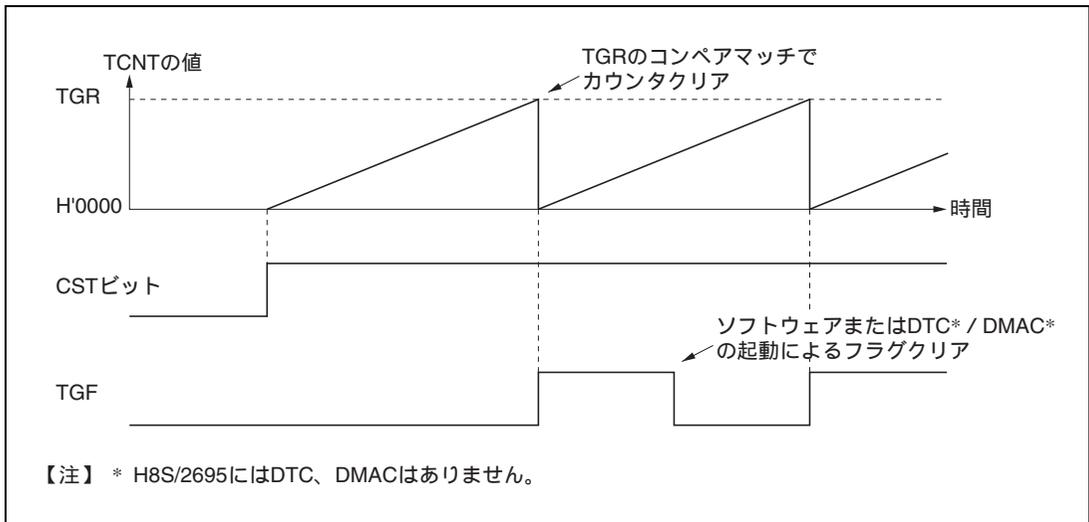


図 11.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.9 に示します。

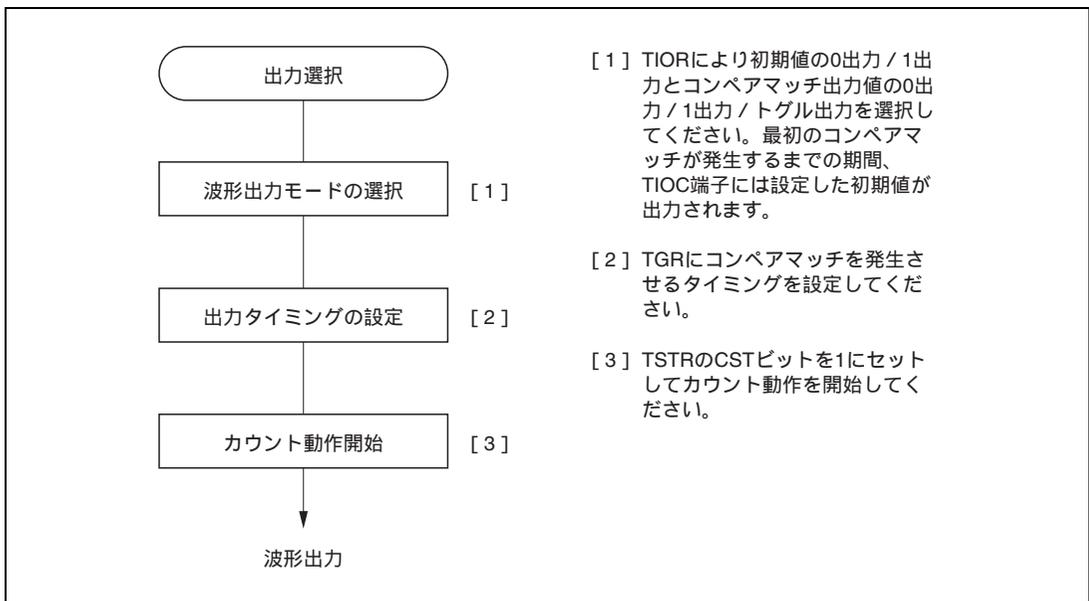


図 11.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 11.10 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

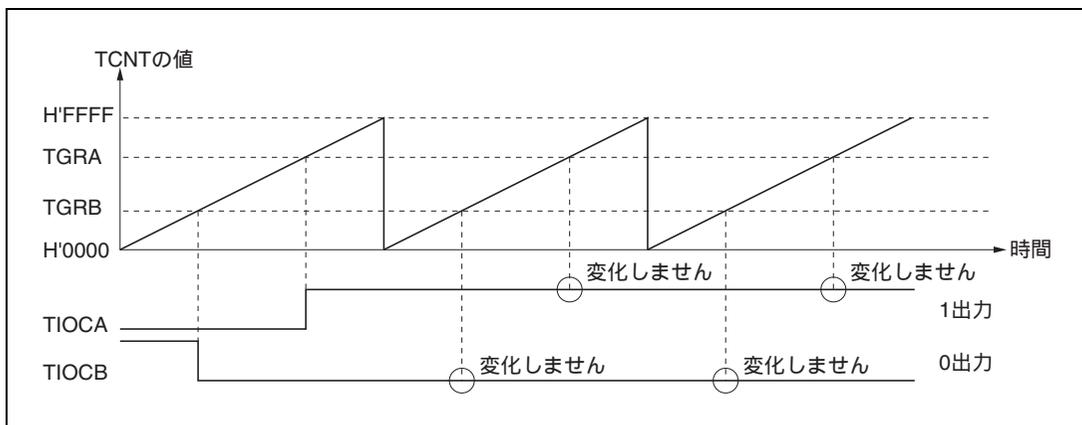


図 11.10 0 出力 / 1 出力の動作例

トグル出力の例を図 11.11 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B とともにトグル出力となるように設定した場合の例です。

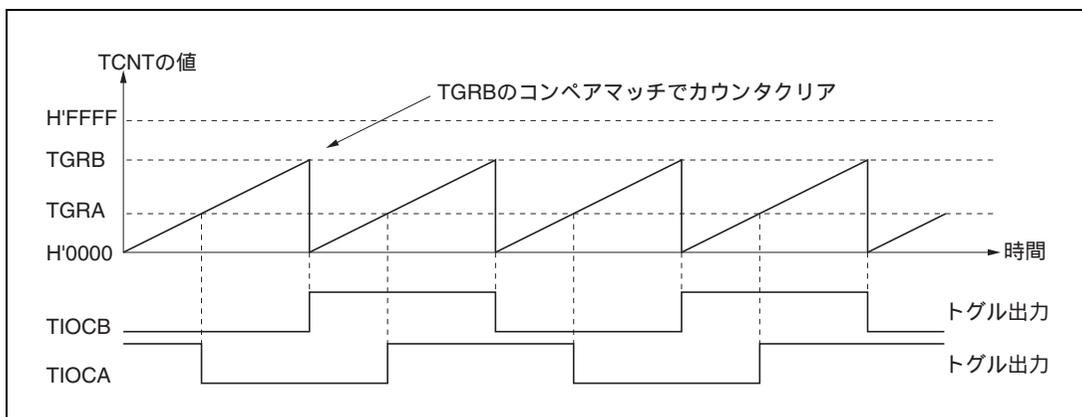


図 11.11 トグル出力の動作例

(3) インットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインットキャプチャ入力とする場合は、インットキャプチャ入力とするカウンタ入力クロックに /1 を選択しないでください。 /1 を選択した場合は、インットキャプチャは発生しません。

(a) インットキャプチャ動作の設定手順例

インットキャプチャ動作の設定手順例を図 11.12 に示します。

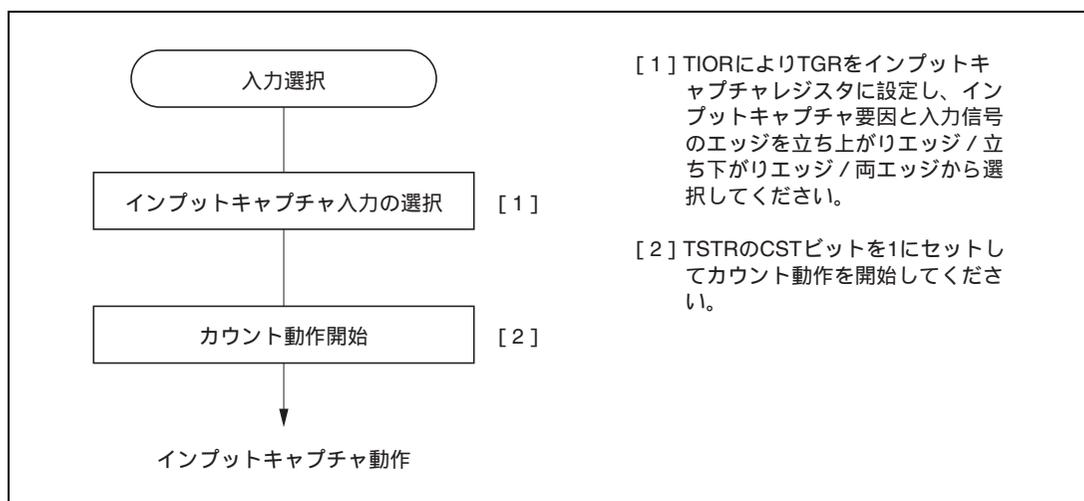


図 11.12 インットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

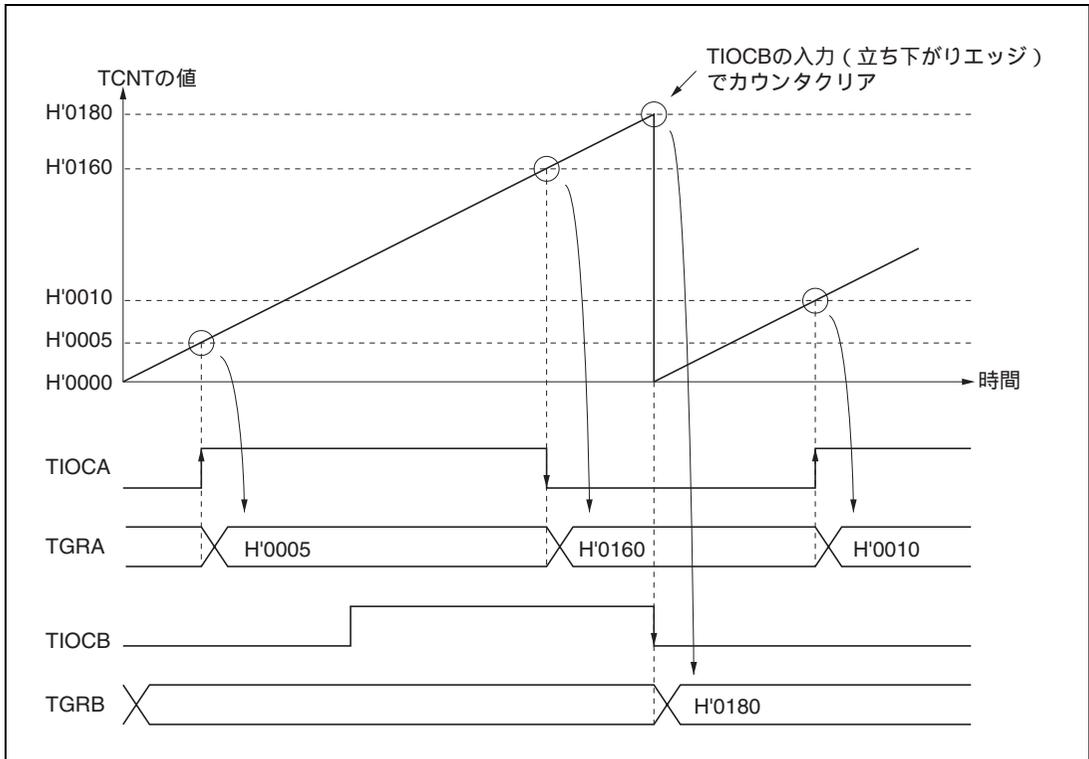


図 11.13 インพุットキャプチャ動作例

11.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 11.14 に示します。

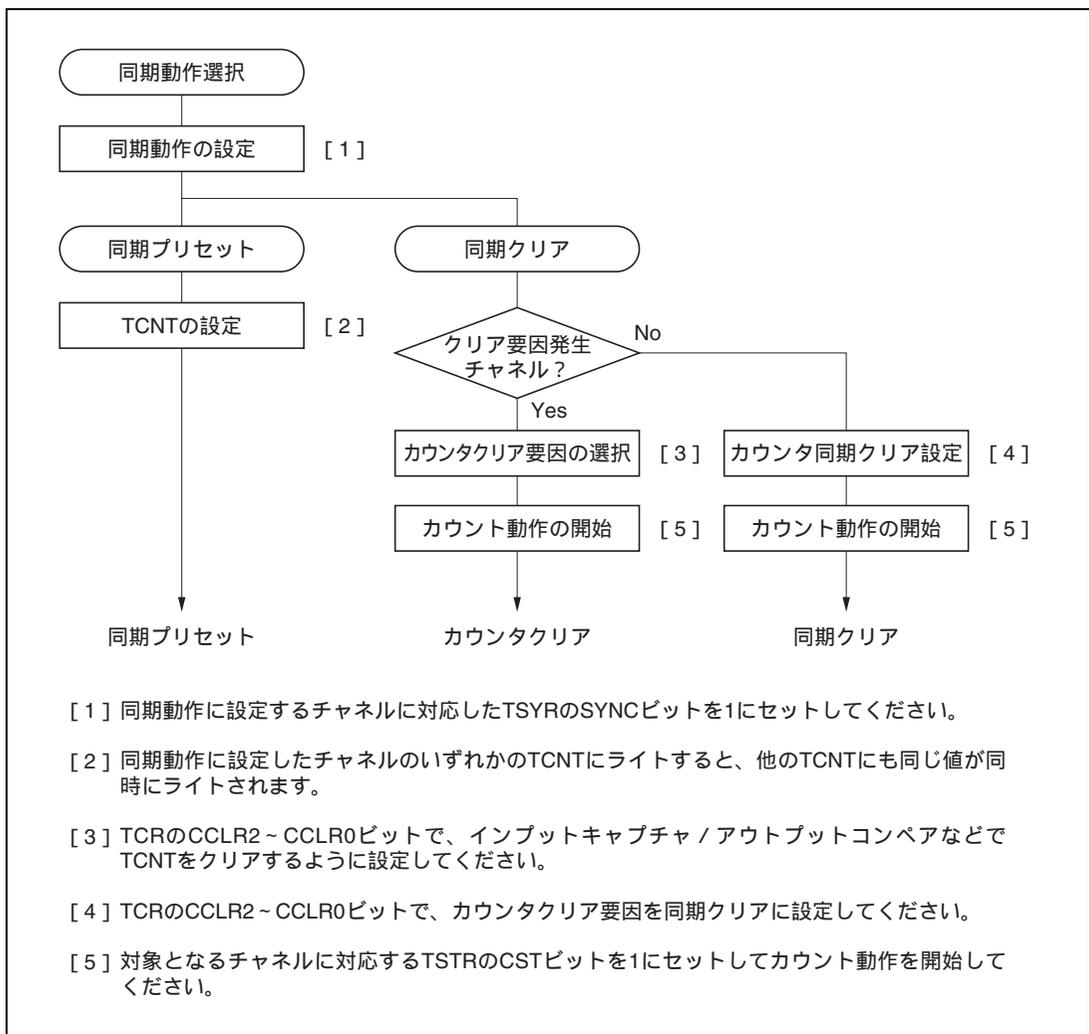


図 11.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 11.15 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGR0B のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGR0B のコンペアマッチによる同期クリアを行い、TGR0B に設定したデータが PWM 周期となります。

PWM モードについては、「11.4.6 PWM モード」を参照してください。

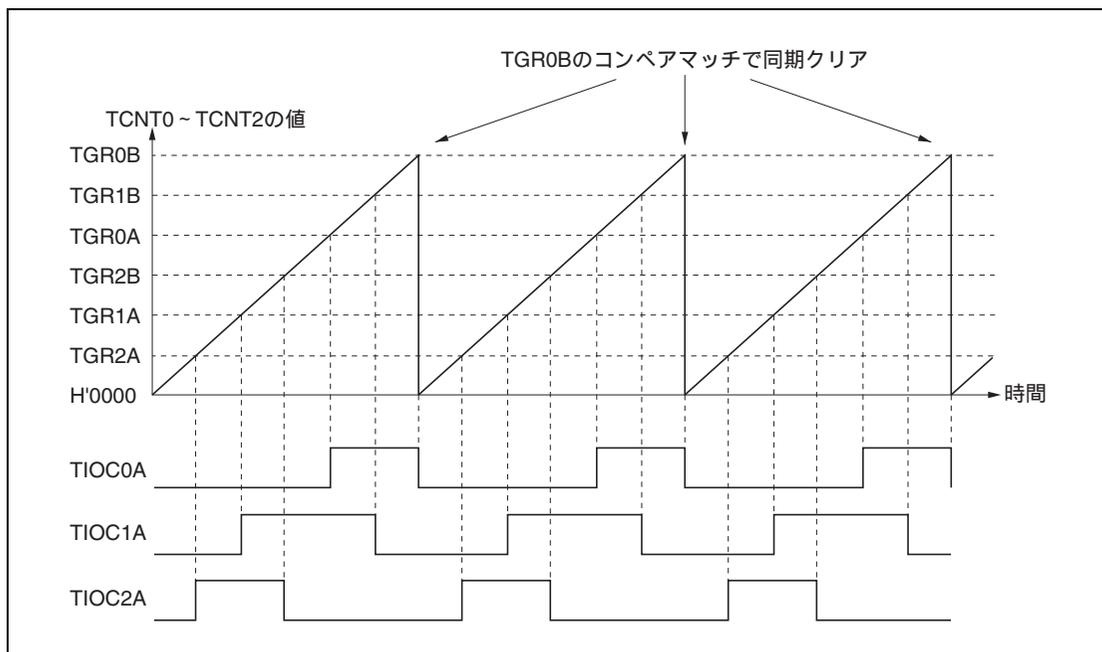


図 11.15 同期動作の動作例

11.4.4 バッファ動作

バッファ動作は、チャンネル0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 11.5 にバッファ動作時のレジスタの組み合わせを示します。

表 11.5 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D
3	TGR3A	TGR3C
	TGR3B	TGR3D

・TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 11.16 に示します。

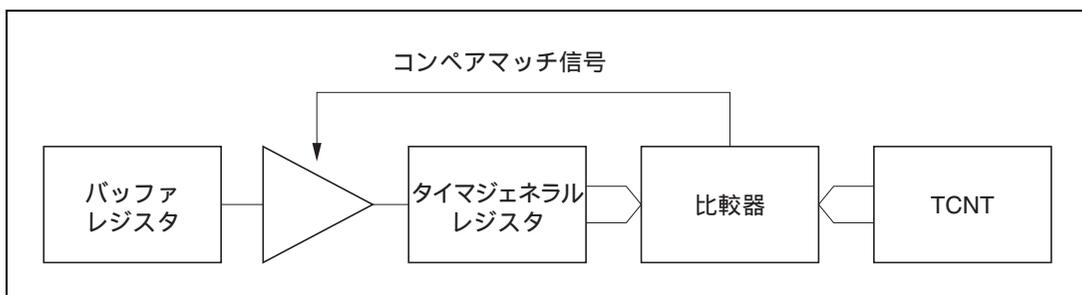


図 11.16 コンペアマッチバッファ動作

・TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 11.17 に示します。

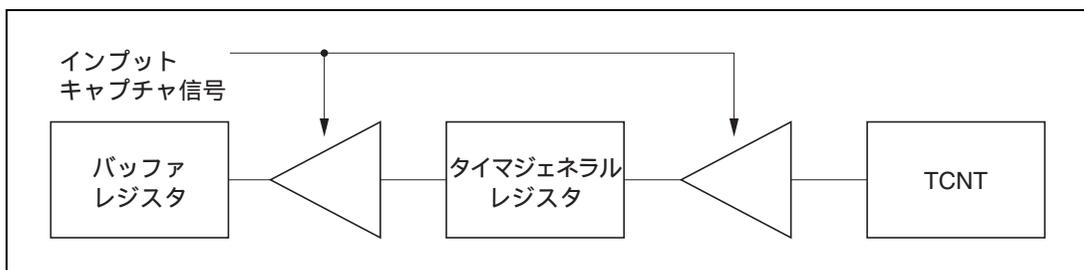


図 11.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.18 に示します。



図 11.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRB をバッファ動作に設定した場合の動作例を図 11.19 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRB の値がタイムジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「11.4.6 PWM モード」を参照してください。

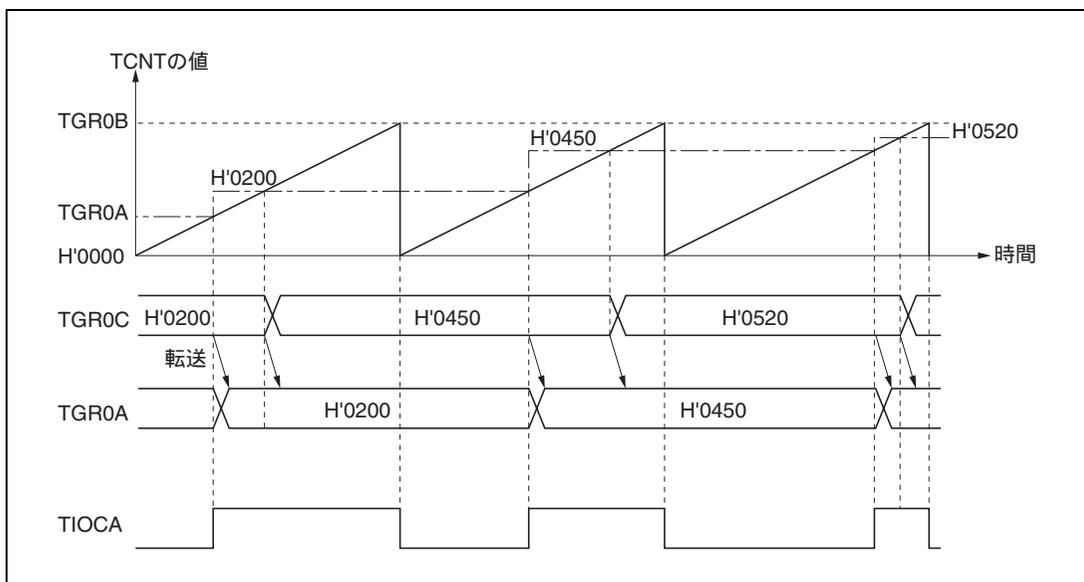


図 11.19 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 11.20 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

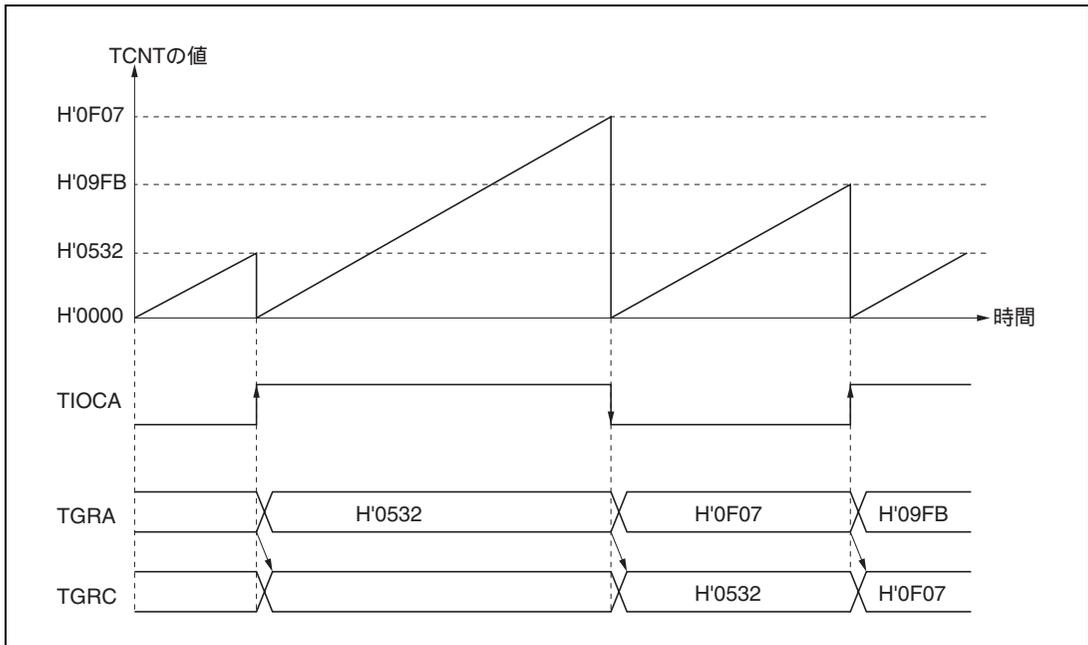


図 11.20 バッファ動作例 (2)

11.4.5 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 (チャンネル 4) のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT2 (TCNT5) のオーバフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 11.6 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 11.6 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT1	TCNT2
チャンネル 4 とチャンネル 5	TCNT4	TCNT5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.21 に示します。

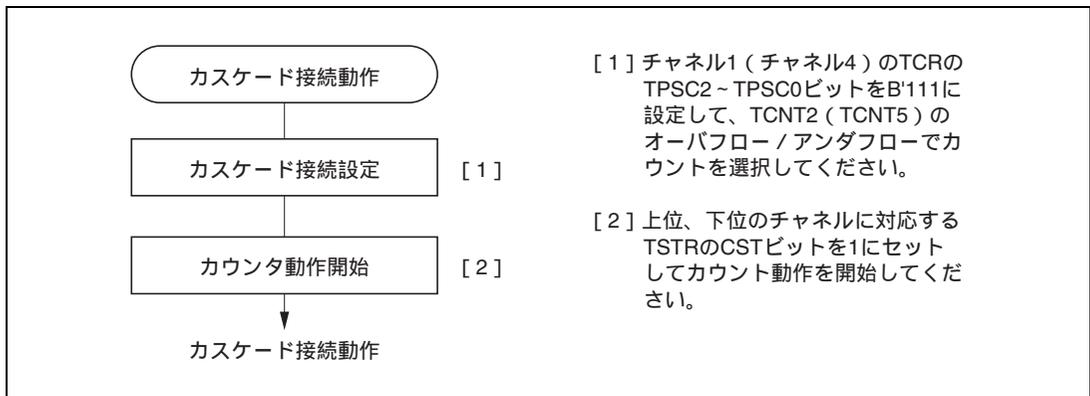


図 11.21 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT1 は TCNT2 のオーバーフロー / アンダフローでカウント、TGR1A と TGR2A をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 11.22 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGR1A に上位 16 ビット、TGR2A に下位 16 ビットの 32 ビットデータが転送されます。

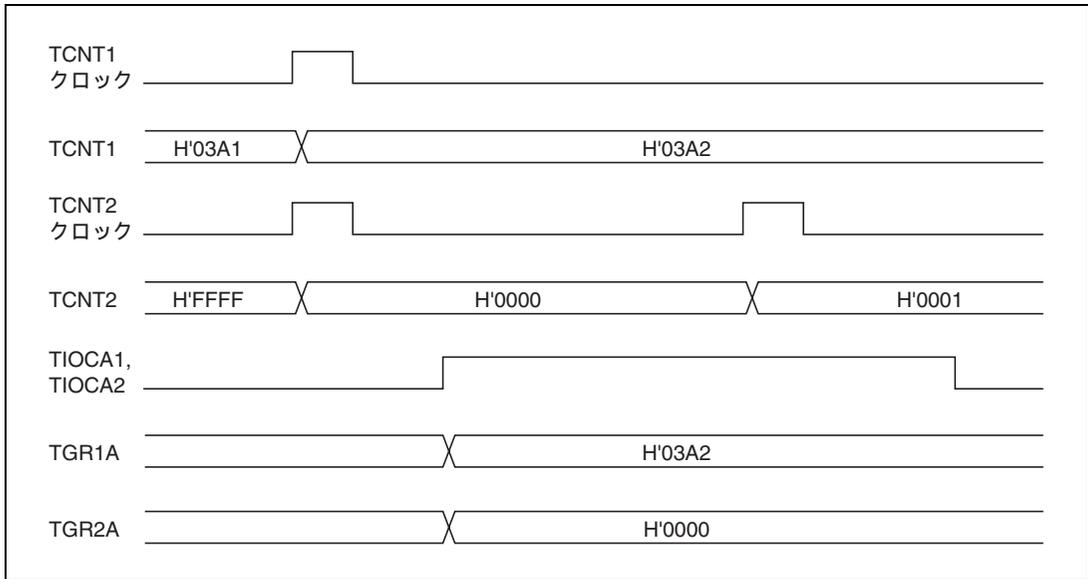


図 11.22 カスケード接続動作例 (1)

TCNT1 は TCNT2 のオーバーフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 11.23 に示します。

TCNT1 は、TCNT2 のオーバーフローでアップカウント、TCNT2 のアンダフローでダウンカウントされます。

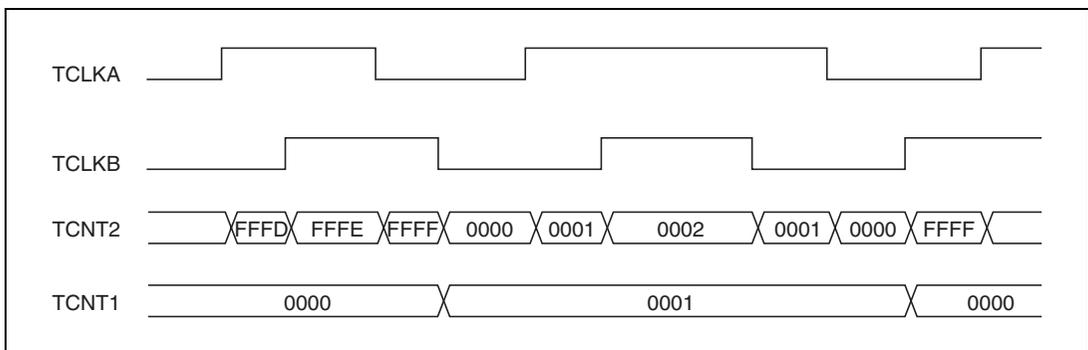


図 11.23 カスケード接続動作例 (2)

11.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.7 に示します。

表 11.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGR0A	TIOCA0	TIOCA0
	TGR0B		TIOCB0
	TGR0C	TIOCC0	TIOCC0
	TGR0D		TIOCD0
1	TGR1A	TIOCA1	TIOCA1
	TGR1B		TIOCB1
2	TGR2A	TIOCA2	TIOCA2
	TGR2B		TIOCB2
3	TGR3A	TIOCA3	TIOCA3
	TGR3B		TIOCB3
	TGR3C	TIOCC3	TIOCC3
	TGR3D		TIOCD3
4	TGR4A	TIOCA4	TIOCA4
	TGR4B		TIOCB4
5	TGR5A	TIOCA5	TIOCA5
	TGR5B		TIOCB5

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 11.24 に示します。

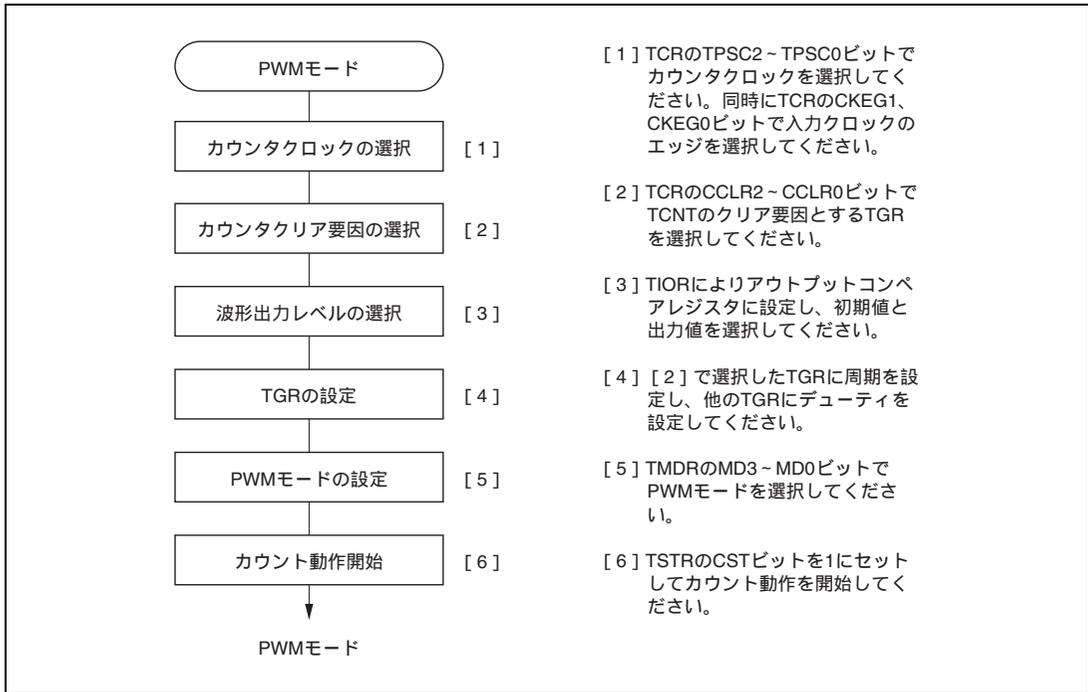


図 11.24 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 11.25 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

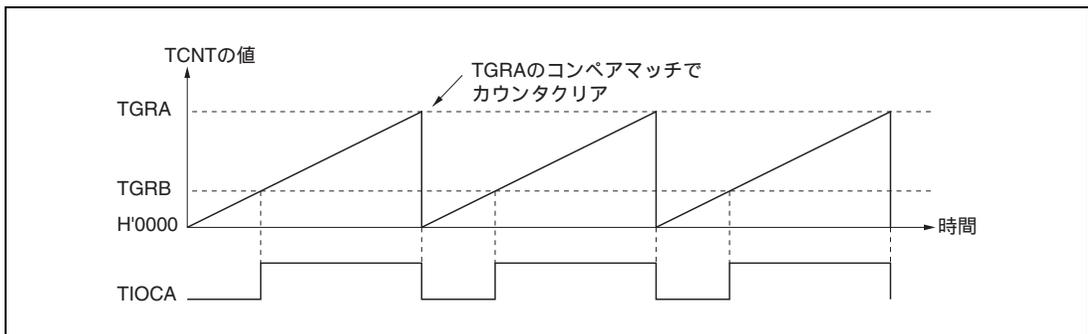


図 11.25 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 11.26 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGR1B のコンペアマッチとし、他の TGR (TGR0A ~ TGR0D, TGR1A) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

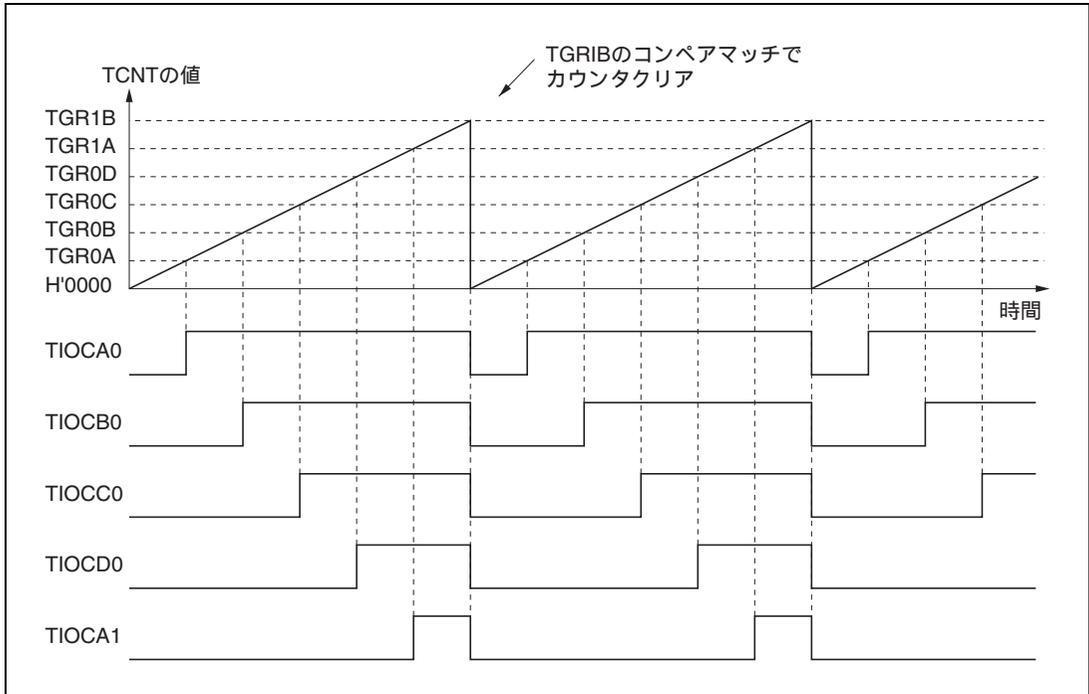


図 11.26 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 11.27 に示します。

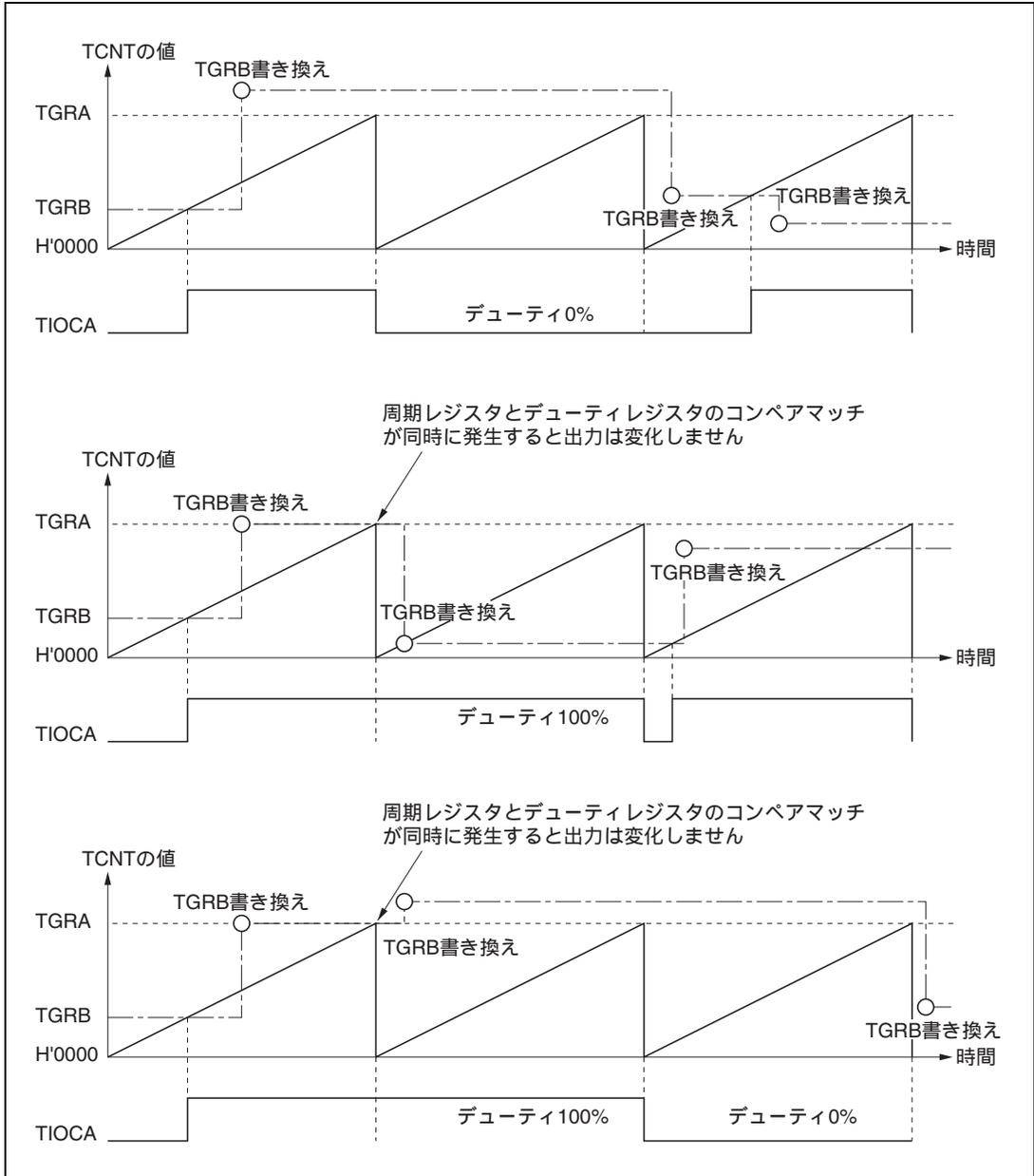


図 11.27 PWM モード動作例 (3)

11.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。このモードはチャンネル1、2、4、5で設定可能です。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 11.8 に外部クロック端子とチャンネルの対応を示します。

表 11.8 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1または5を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2または4を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.28 に示します。

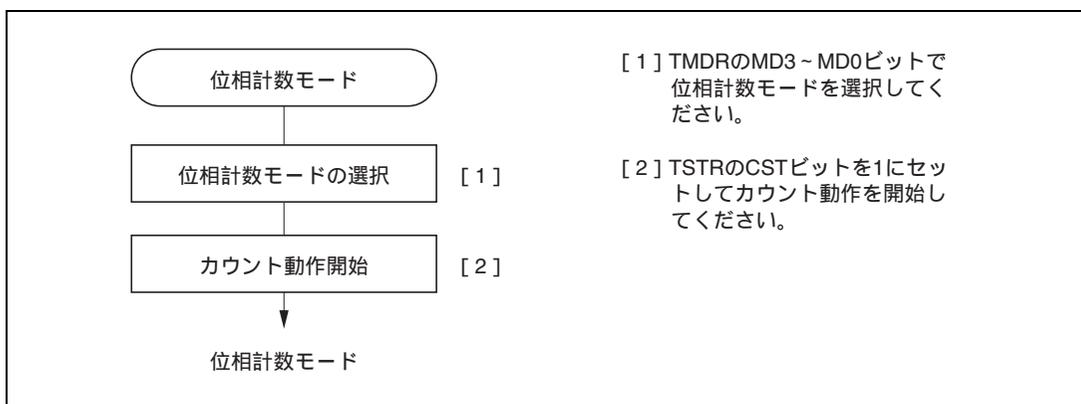


図 11.28 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図11.29に、TCNTのアップ/ダウンカウント条件を表11.9に示します。

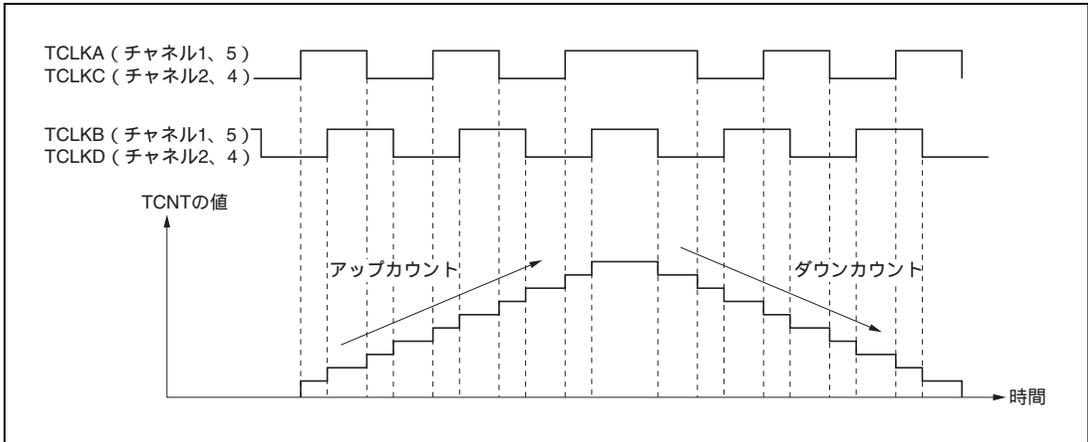


図 11.29 位相計数モード1の動作例

表 11.9 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) (チャンネル2、4)	TCLKB (チャンネル1、5) (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 11.30 に、TCNT のアップ/ダウンカウント条件を表 11.10 に示します。

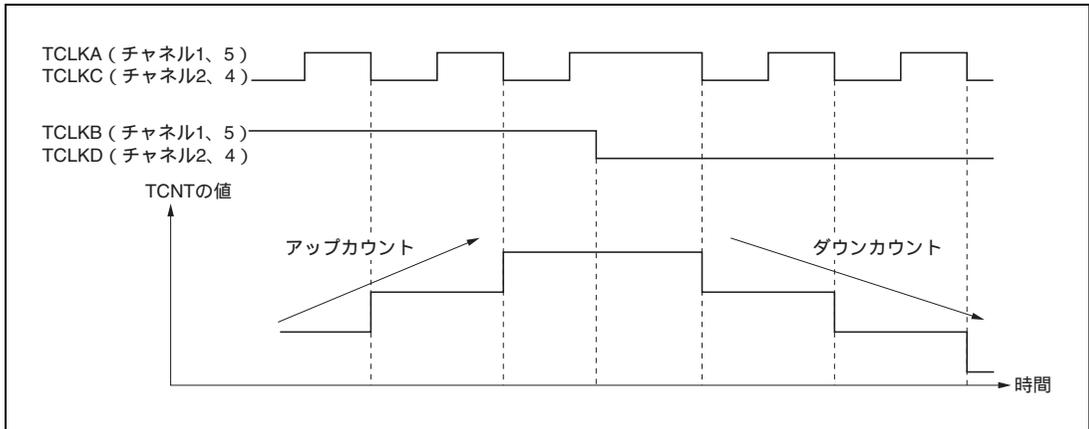


図 11.30 位相計数モード 2 の動作例

表 11.10 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		Don't care
Low レベル		Don't care
	Low レベル	Don't care
	High レベル	アップカウント
High レベル		Don't care
Low レベル		Don't care
	High レベル	Don't care
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.31 に、TCNT のアップ/ダウンカウント条件を表 11.11 に示します。

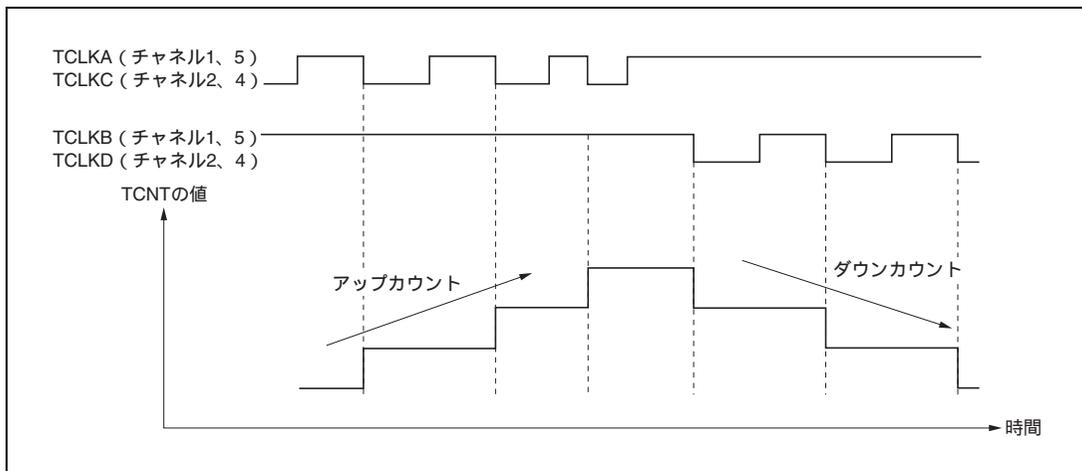


図 11.31 位相計数モード 3 の動作例

表 11.11 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.32 に、TCNT のアップ/ダウンカウント条件を表 11.12 に示します。

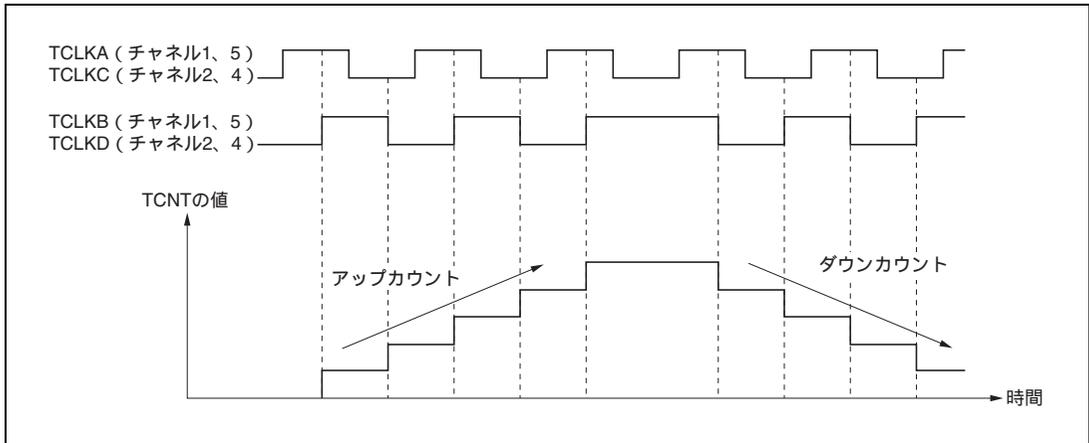


図 11.32 位相計数モード 4 の動作例

表 11.12 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図11.33に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGR0Cのコンペアマッチでカウンタクリアとして動作させ、TGR0AとTGR0Cはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGR0Bは入力キャプチャ機能で使用し、TGR0BとTGR0Dをバッファ動作させます。TGR0Bの入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4倍パルスのパルス幅の検出を行います。

チャンネル1のTGR1AとTGR1Bは、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGR0AとTGR0Cのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出が行うことができます。

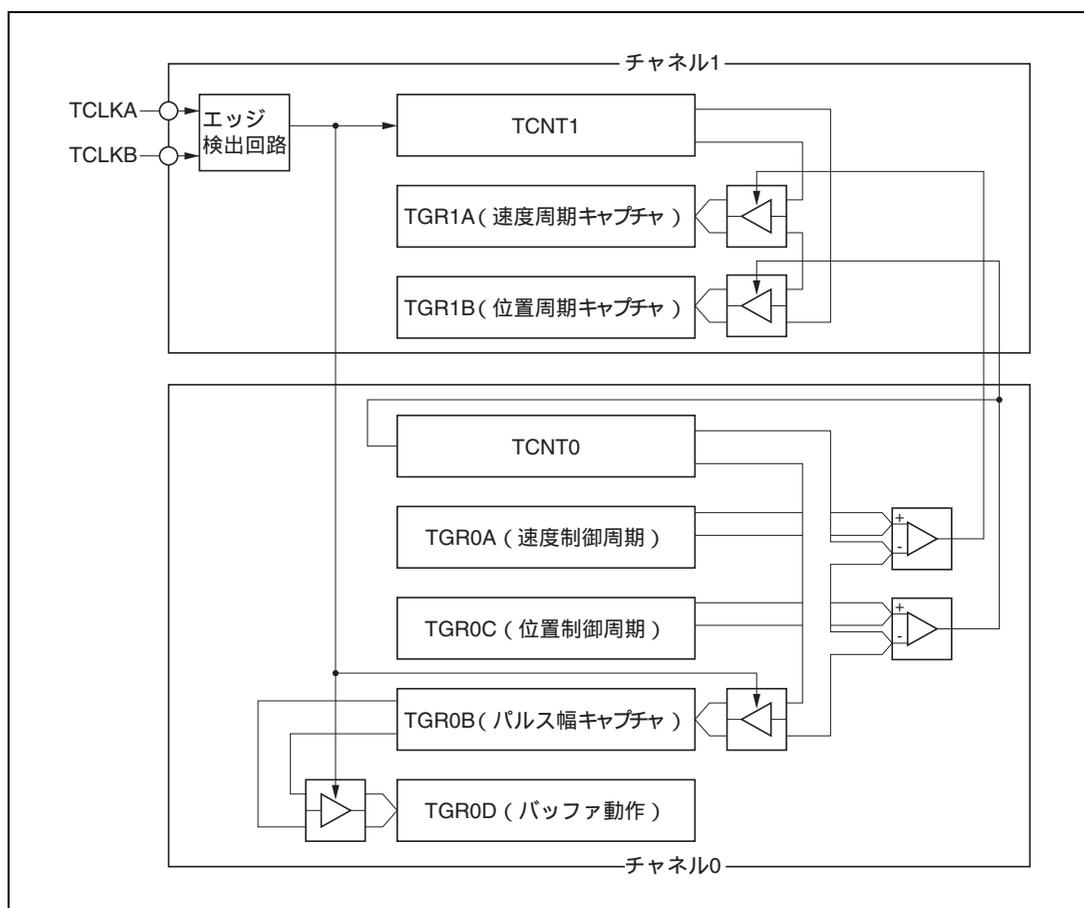


図 11.33 位相計数モードの応用例

11.5 割り込み

11.5.1 割り込み要因と優先順位

TPU の割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可 / 禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

表 11.13 に TPU の割り込み要因の一覧を示します。

表 11.13 TPU 割り込み一覧

チャンネル	割り込み 要因	内 容	DMAC* の起動	DTC* の起動	優先 順位
0	TGI0A	TGR0A のインプットキャプチャ / コンペアマッチ	可	可	高 ↑ ↓ 低
	TGI0B	TGR0B のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI0C	TGR0C のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI0D	TGR0D のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI0V	TCNT0 のオーバフロー	不可	不可	
1	TGI1A	TGR1A のインプットキャプチャ / コンペアマッチ	可	可	高 ↑ ↓ 低
	TGI1B	TGR1B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI1V	TCNT1 のオーバフロー	不可	不可	
	TCI1U	TCNT1 のアンダフロー	不可	不可	
2	TGI2A	TGR2A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI2B	TGR2B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI2V	TCNT2 のオーバフロー	不可	不可	
	TCI2U	TCNT2 のアンダフロー	不可	不可	
3	TGI3A	TGR3A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI3B	TGR3B のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI3C	TGR3C のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI3D	TGR3D のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI3V	TCNT3 のオーバフロー	不可	不可	
4	TGI4A	TGR4A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI4B	TGR4B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI4V	TCNT4 のオーバフロー	不可	不可	
	TCI4U	TCNT4 のアンダフロー	不可	不可	
5	TGI5A	TGR5A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI5B	TGR5B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI5V	TCNT5 のオーバフロー	不可	不可	
	TCI5U	TCNT5 のアンダフロー	不可	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

* H8S/2695 には DTC、DMAC はありません。

(1) インพุットキャプチャ / コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ / コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ / コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

11.5.2 DTC / DMAC の起動 (H8S/2695 には本機能はありません)

(1) DTC の起動

各チャンネルの TGR のインพุットキャプチャ / コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインพุットキャプチャ / コンペアマッチ割り込みを DTC の起動要因とすることができます。

(2) DMAC の起動

各チャンネルの TGRA のインพุットキャプチャ / コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 8 章 DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ / コンペアマッチ割り込みを DMAC の起動要因とすることができます。

11.5.3 A/D 変換器の起動

各チャンネルの TGRA のインพุットキャプチャ / コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインพุットキャプチャ / コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ / コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

11.6 動作タイミング

11.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.34 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.35 に示します。

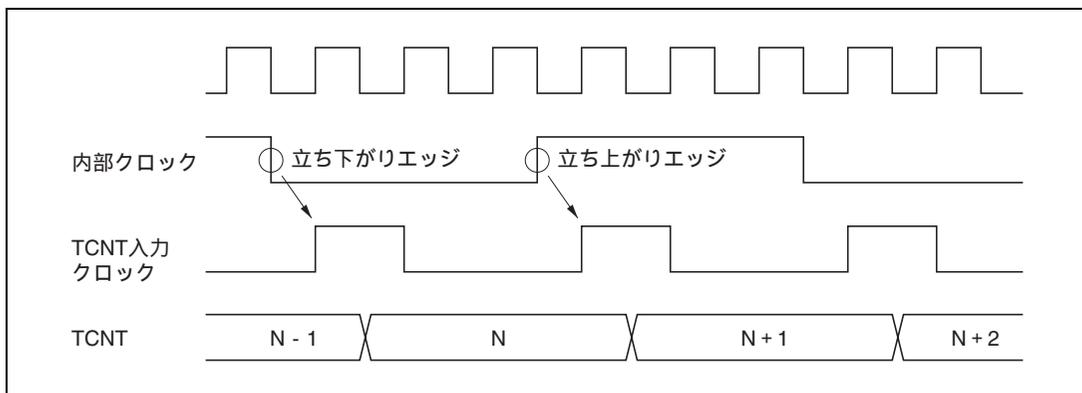


図 11.34 内部クロック動作時のカウントタイミング

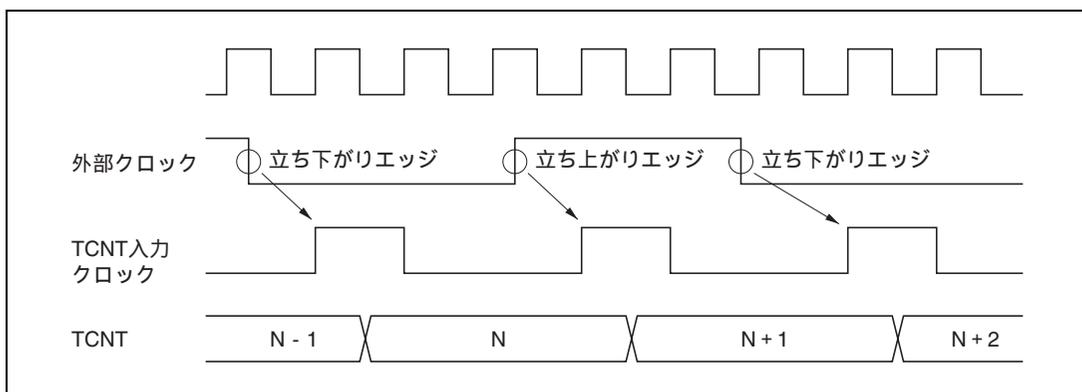


図 11.35 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 11.36 に示します。

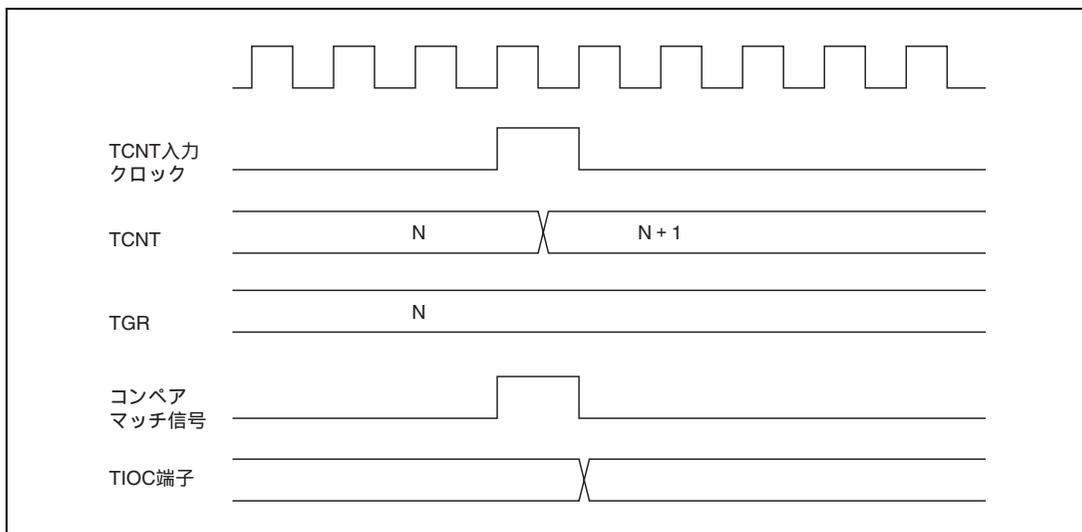


図 11.36 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 11.37 に示します。

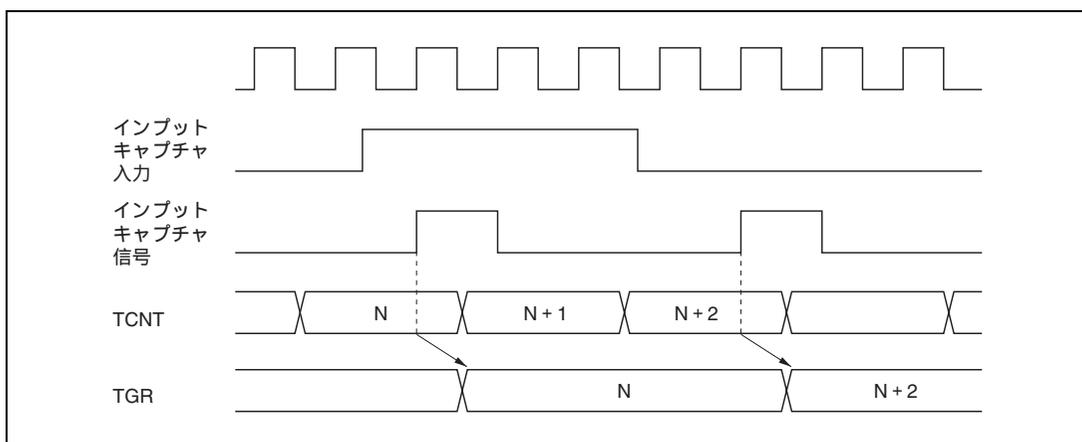


図 11.37 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ / インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.38 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.39 に示します。

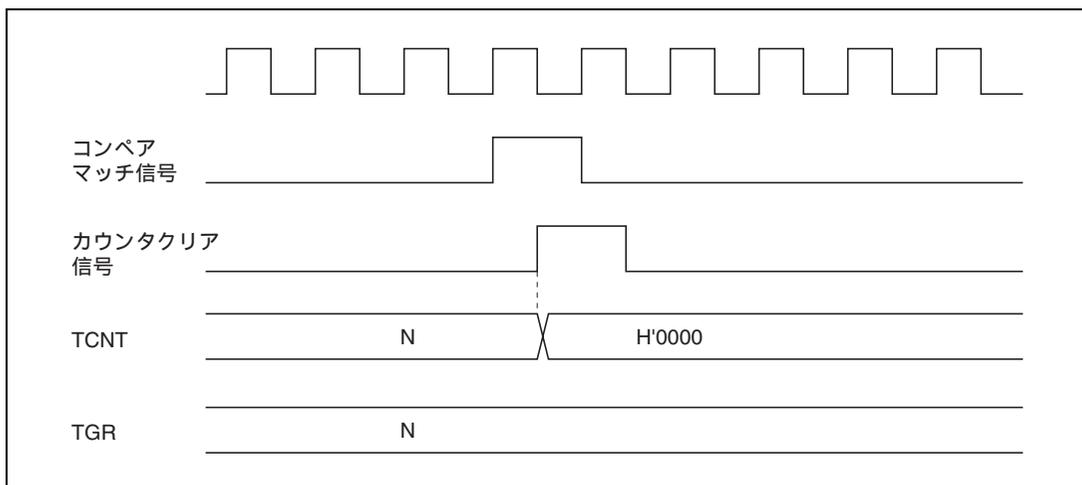


図 11.38 カウンタクリアタイミング (コンペアマッチ)

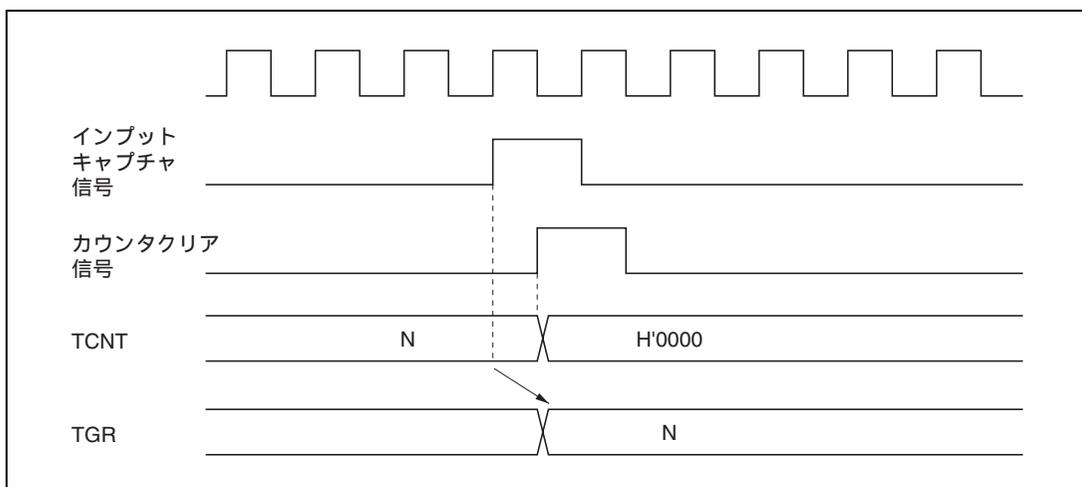


図 11.39 カウンタクリアタイミング (インพุットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.40、図 11.41 に示します。

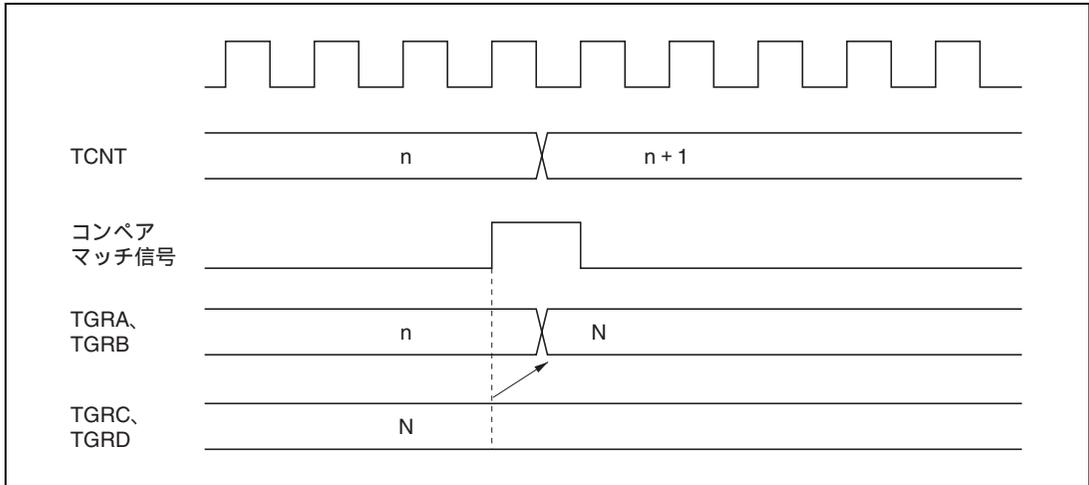


図 11.40 バッファ動作タイミング (コンペアマッチ)

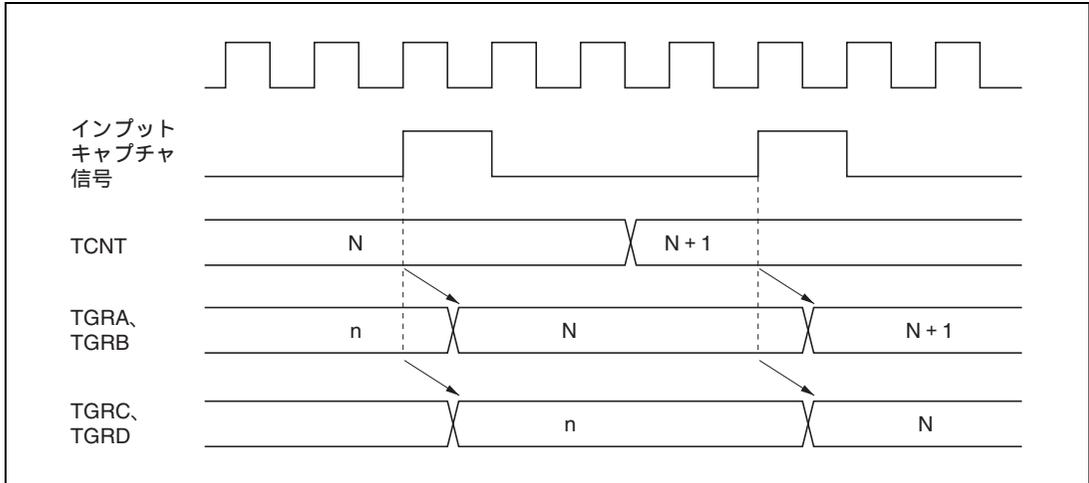


図 11.41 バッファ動作タイミング (インプットキャプチャ)

11.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.42 に示します。

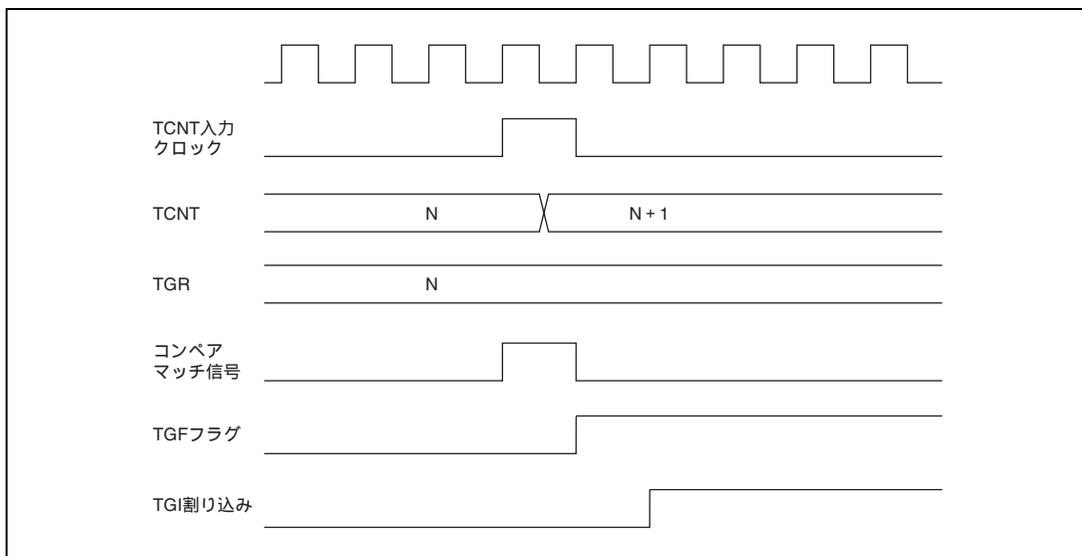


図 11.42 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.43 に示します。

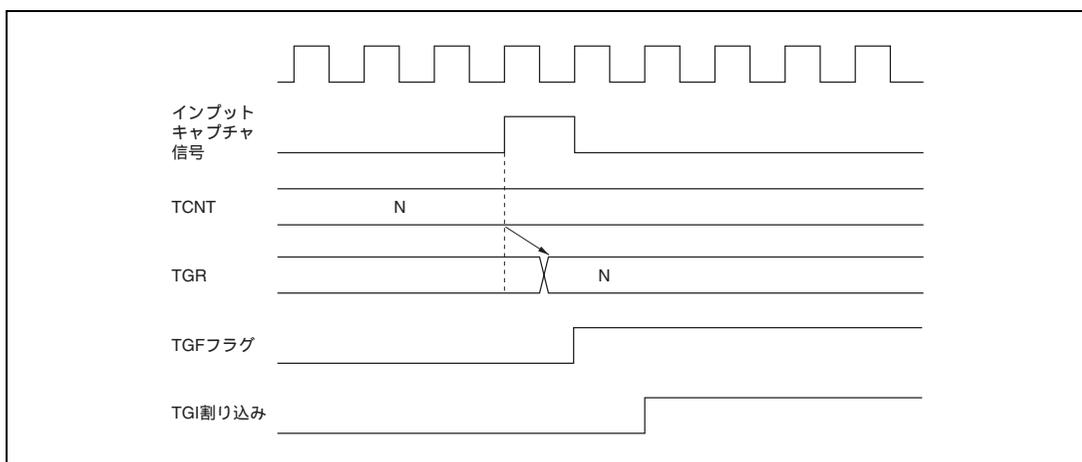


図 11.43 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.44 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.45 に示します。

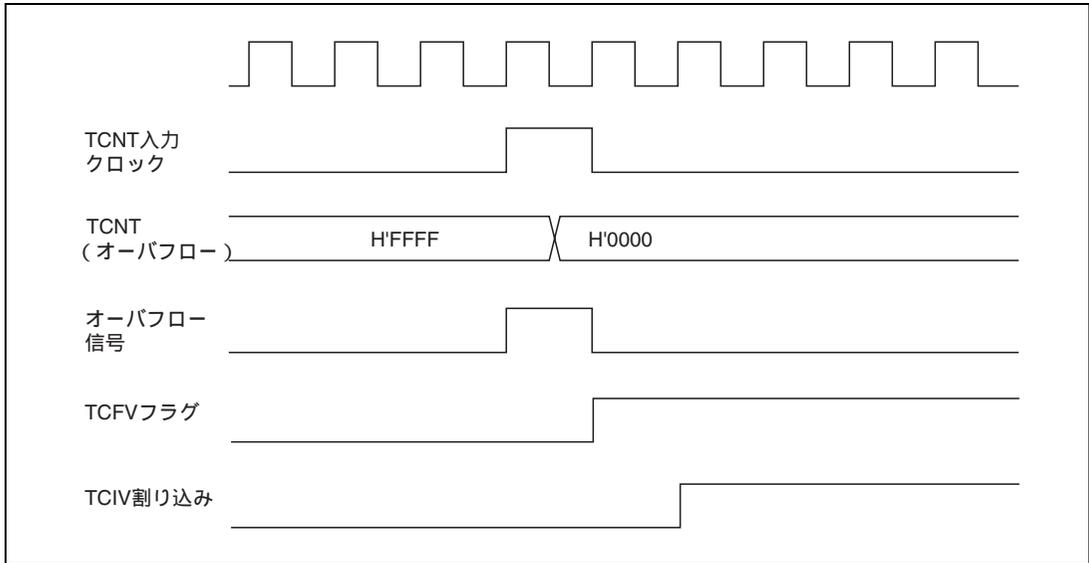


図 11.44 TCIV 割り込みのセットタイミング

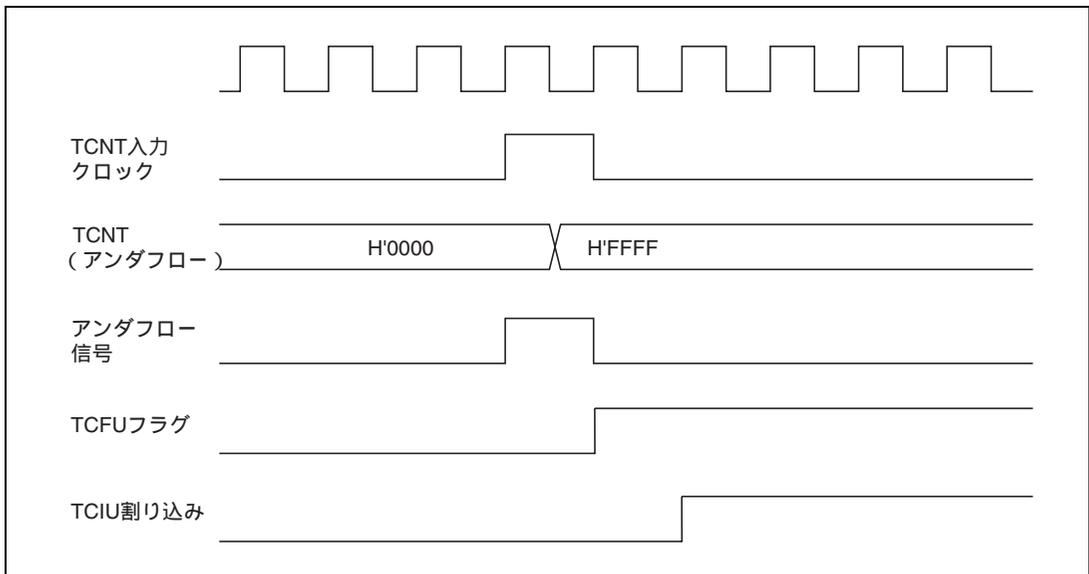


図 11.45 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。DTC*または DMAC*を起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 11.46 に、DTC*または DMAC*によるステータスフラグのクリアのタイミングを図 11.47 に示します。

【注】 * H8S/2695 には DTC、DMAC はありません。

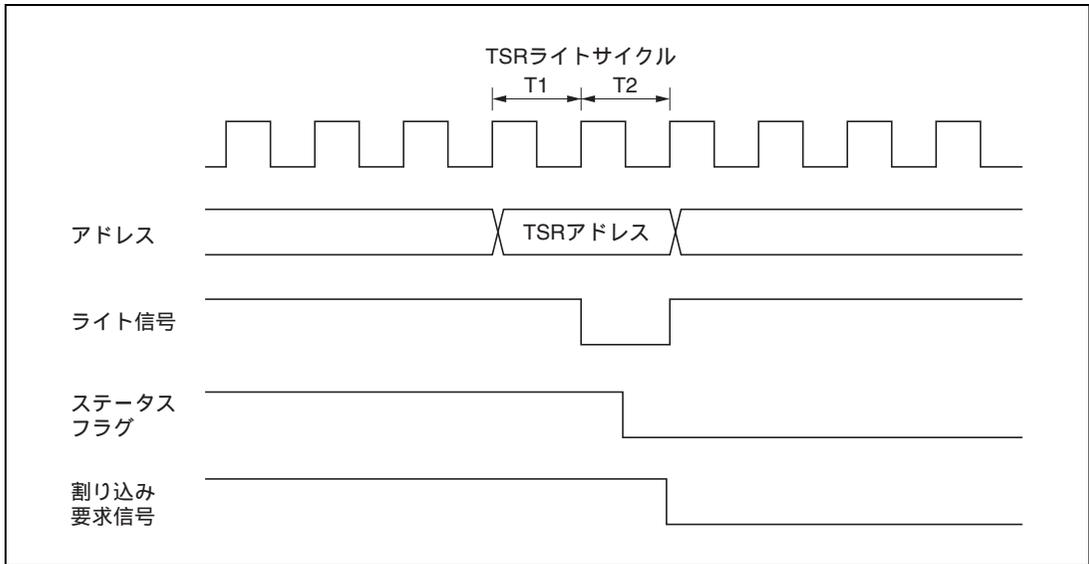
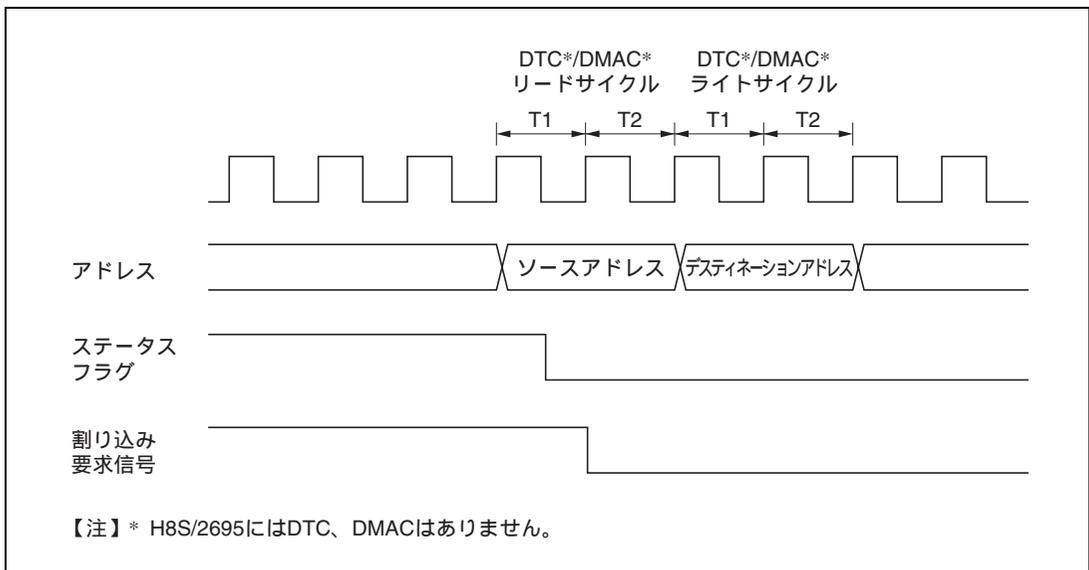


図 11.46 CPU によるステータスフラグのクリアタイミング



【注】 * H8S/2695 には DTC、DMAC はありません。

図 11.47 DTC / DMAC の起動によるステータスフラグのクリアタイミング

11.7 使用上の注意

TPU の動作中、次のような動作や競合が起こりますので注意してください。

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.48 に示します。

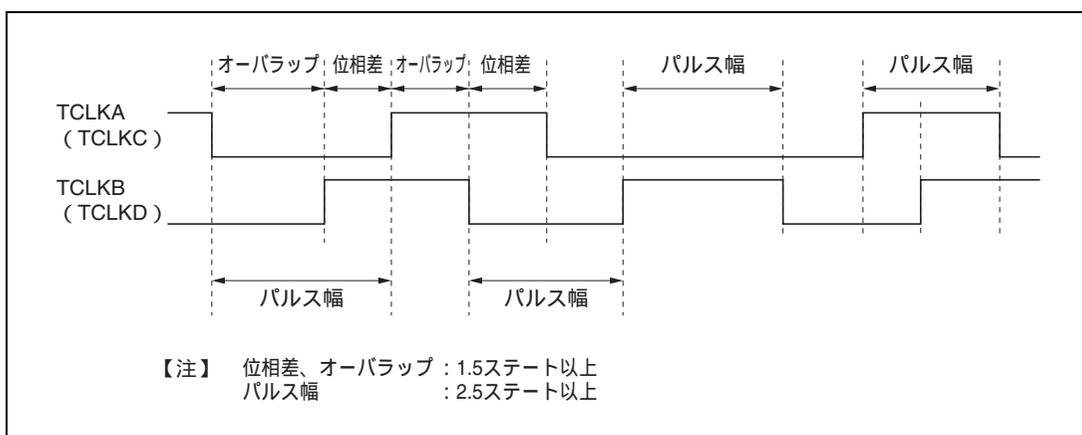


図 11.48 位相計数モード時の位相差、オーバーラップ、およびパルス幅

(2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{1}{(N+1)}$$

f : カウンタ周波数

: 動作周波数

N : TGR の設定値

(3) TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 11.49 に示します。

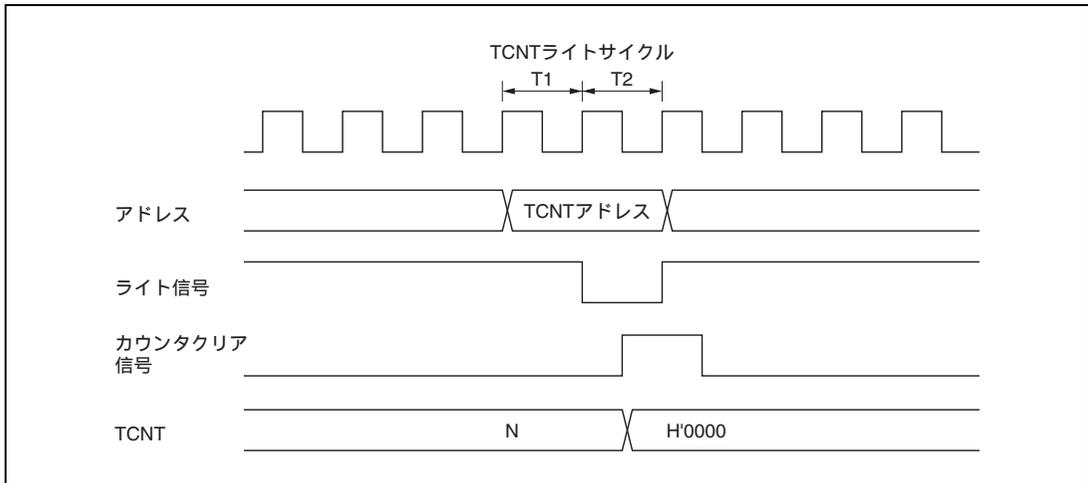


図 11.49 TCNT のライトとクリアの競合

(4) TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 11.50 に示します。

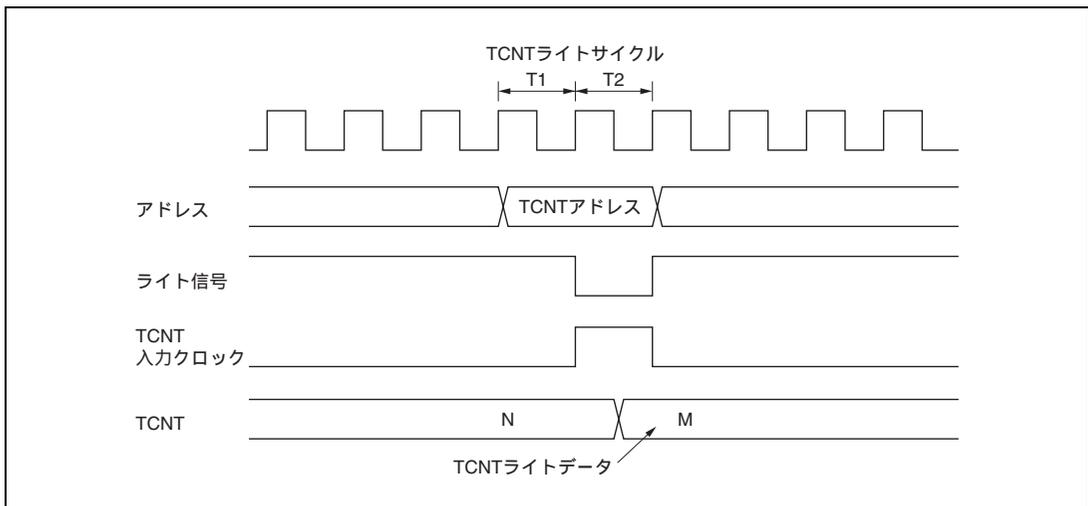


図 11.50 TCNT のライトとカウントアップの競合

(5) TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても、TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 11.51 に示します。

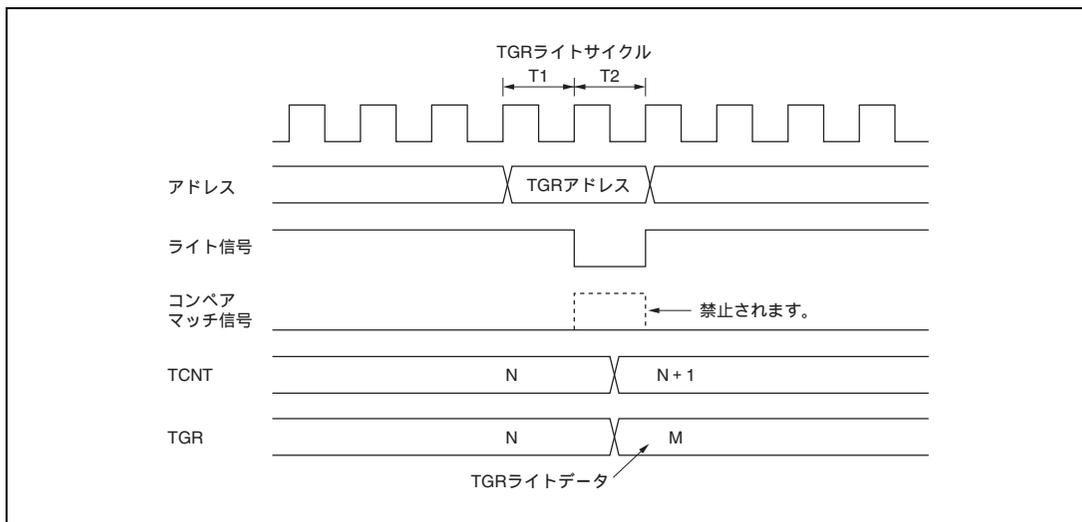


図 11.51 TGR のライトとコンペアマッチの競合

(6) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 11.52 に示します。

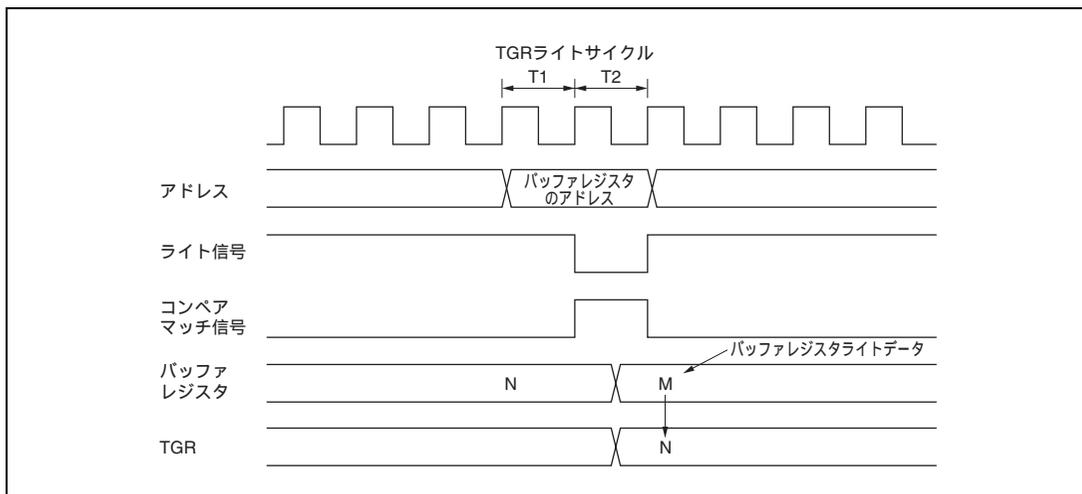


図 11.52 バッファレジスタのライトとコンペアマッチの競合

(7) TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 11.53 に示します。

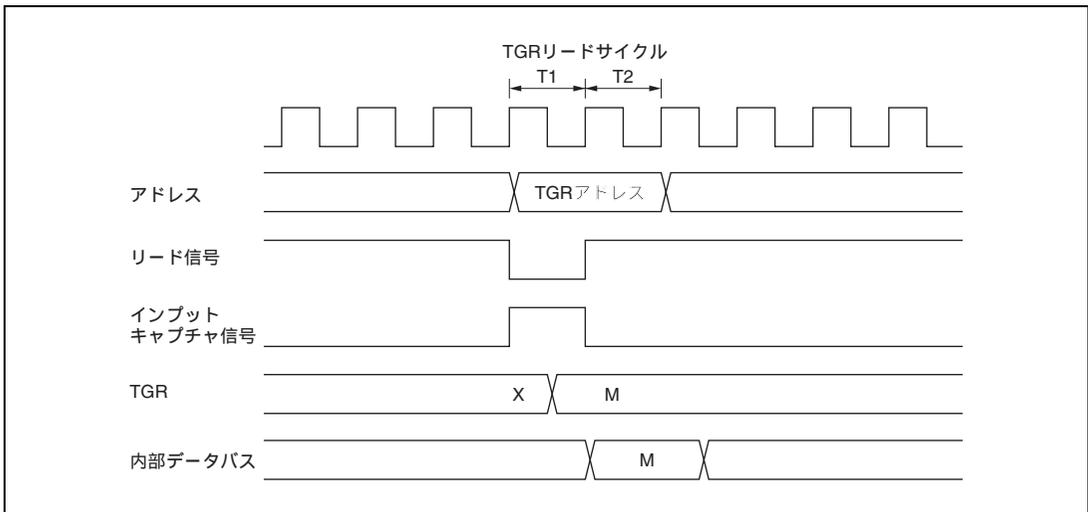


図 11.53 TGR のリードとインプットキャプチャの競合

(8) TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 11.54 に示します。

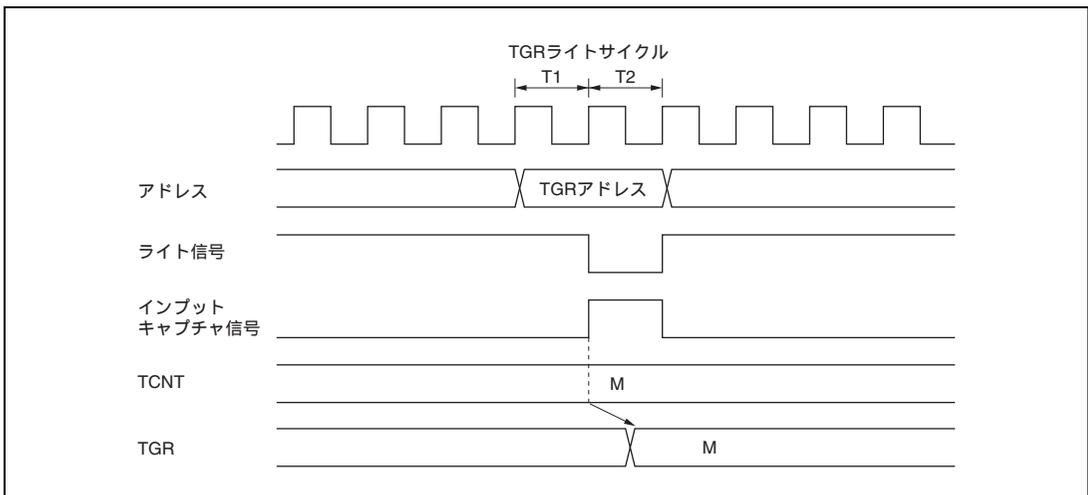


図 11.54 TGR のライトとインプットキャプチャの競合

(9) バッファレジスタのライトとインプットキャプチャの競合

バッファのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 11.55 に示します。

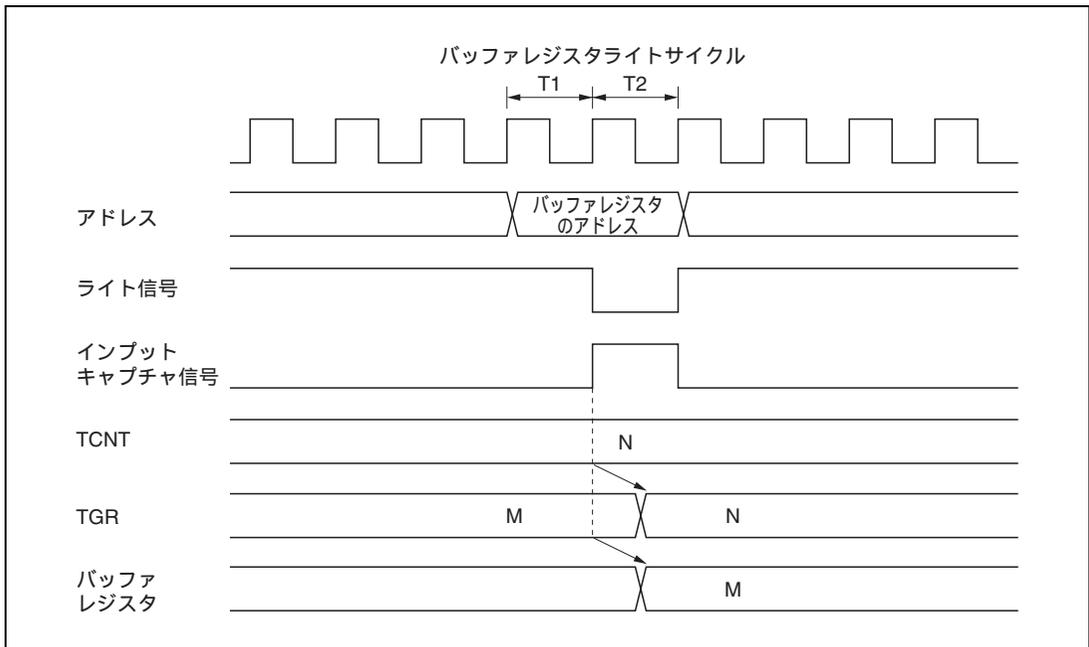


図 11.55 バッファレジスタのライトとインプットキャプチャの競合

(10) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV / TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.56 に示します。

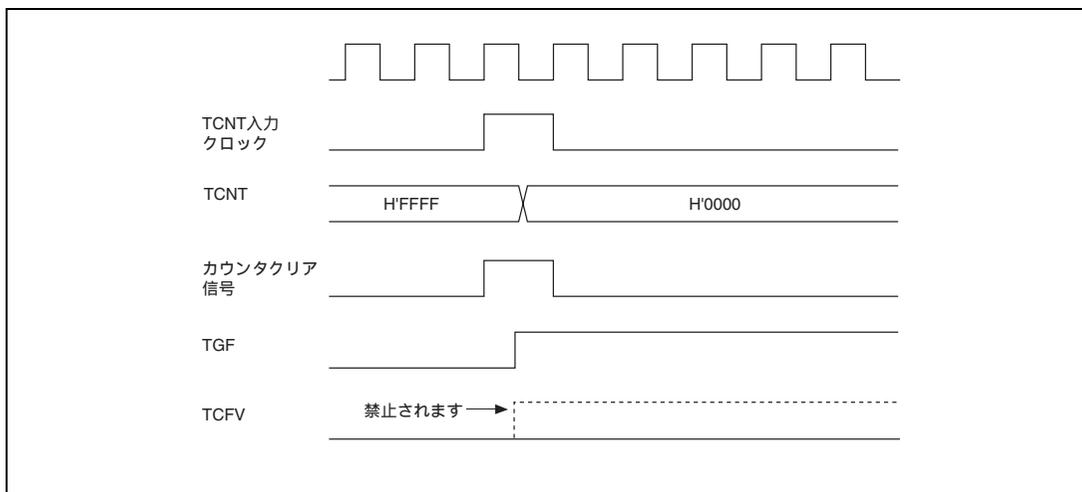


図 11.56 オーバフローとカウンタクリアの競合

(11) TCNT のライトとオーバフロー/アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ/カウントダウンが発生し、オーバフロー/アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 11.57 に示します。

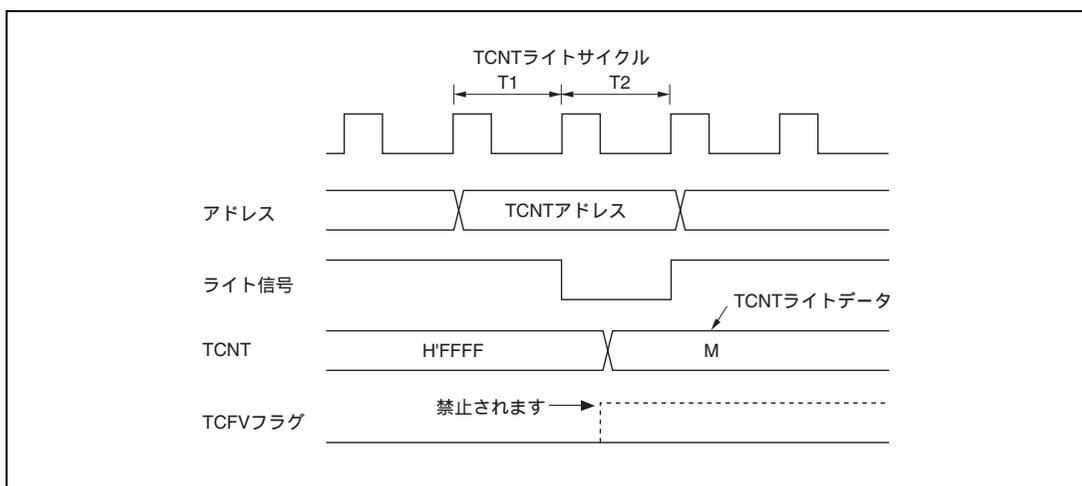


図 11.57 TCNT のライトとオーバフローの競合

(12) 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

(13) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因、または DMAC*、DTC*の起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールストップモードとしてください。

【注】 * H8S/2695 には本機能はありません。

12. プログラマブルパルスジェネレータ (PPG) (H8S/2695 には本機能はありません)

12.1 概要

本 LSI は、16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルス出力を行うプログラマブルパルスジェネレータ (PPG) を内蔵しています。PPG は 4 ビット単位のパルス出力グループ 3、2 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

12.1.1 特長

PPG の特長を以下に示します。

出力データ 8 ビット

- 最大 8 ビットのデータ出力が可能で、パルス出力をビット単位に許可することができます。

2 系統の出力可能

- 4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット × 2 系統の出力を行うことができます。

出力トリガ信号を選択可能

- TPU の 4 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

ノンオーバーラップ動作

- 複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

データトランスファコントローラ (DTC)、DMA コントローラ (DMAC) との連携動作可能

- 出力トリガ信号に選択したコンペアマッチ信号で DTC または DMAC を起動することにより、CPU の介在なくデータを順次出力することができます。

反転出力の指定可能

- グループごとに、データに対する反転値を出力することができます。

モジュールストップモードの設定可能

- 初期値では PPG の動作は停止しますが、モジュールストップモードを解除することにより、レジスタのアクセスが可能です。

12.1.2 ブロック図

PPG のブロック図を図 12.1 に示します。

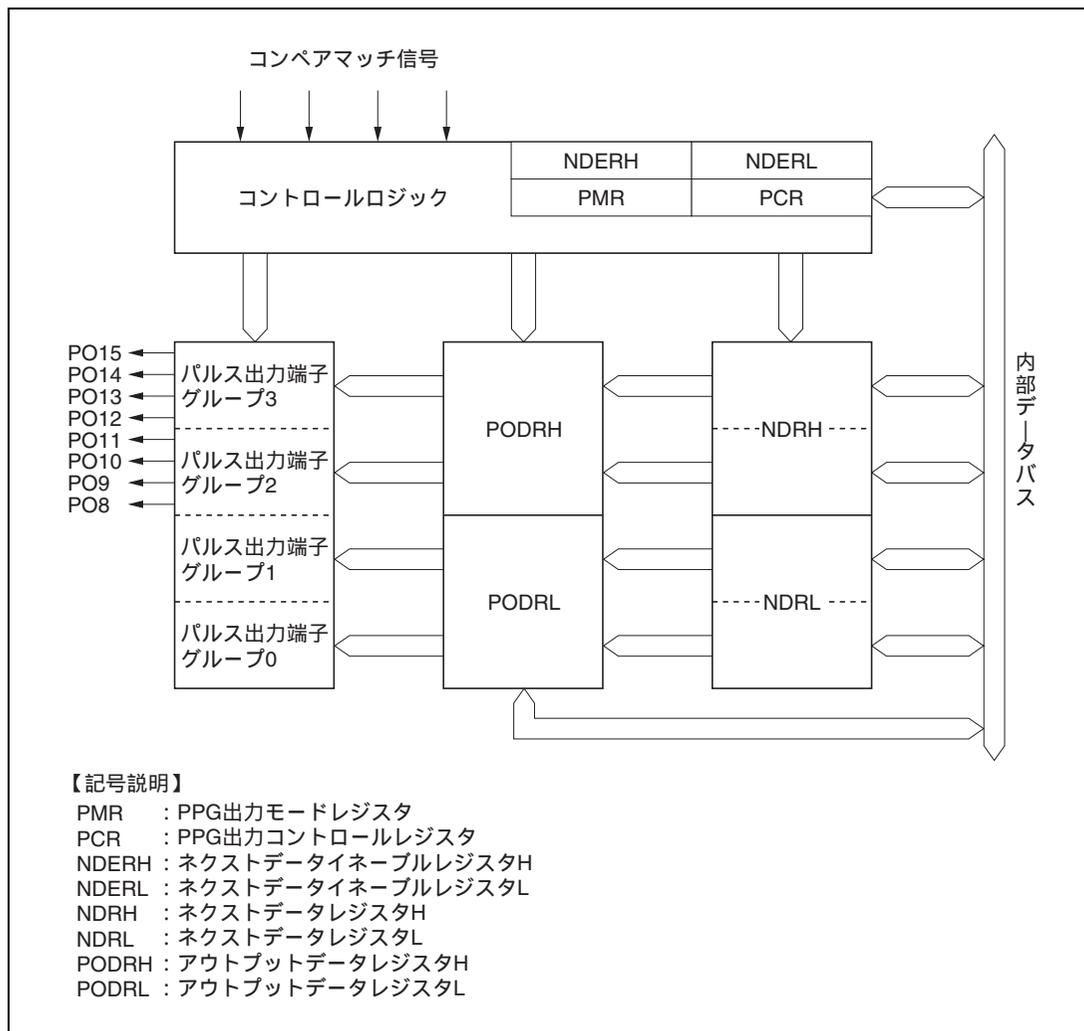


図 12.1 PPG のブロック図

12.1.3 端子構成

PPG の端子構成を表 12.1 に示します。

表 12.1 端子構成

名 称	記号	入出力	機 能
パルス出力 8	PO8	出力	グループ 2 のパルス出力
パルス出力 9	PO9	出力	
パルス出力 10	PO10	出力	
パルス出力 11	PO11	出力	
パルス出力 12	PO12	出力	グループ 3 のパルス出力
パルス出力 13	PO13	出力	
パルス出力 14	PO14	出力	
パルス出力 15	PO15	出力	

12.1.4 レジスタ構成

PPG のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
PPG 出力コントロールレジスタ	PCR	R/W	H'FF	H'FE26
PPG 出力モードレジスタ	PMR	R/W	H'F0	H'FE27
ネクストデータイネーブルレジスタ H	NDERH	R/W	H'00	H'FE28
ネクストデータイネーブルレジスタ L* ⁴	NDERL	R/W	H'00	H'FE29
アウトプットデータレジスタ H	PODRH	R/(W) * ²	H'00	H'FE2A
アウトプットデータレジスタ L* ⁴	PODRL	R/(W) * ²	H'00	H'FE2B
ネクストデータレジスタ H	NDRH	R/W	H'00	H'FE2C* ³ H'FE2E
ネクストデータレジスタ L* ⁴	NDRL	R/W	H'00	H'FE2D* ³ H'FE2F
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FE30
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 NEDR により、パルス出力に設定されたビットはリード専用となります。

*3 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FE2C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FE2E、グループ 3 に対する NDRH のアドレスは H'FE2C となります。

同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FE2D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FE2F、グループ 1 に対する NDRL のアドレスは H'FE2D となります。

*4 本 LSI には、パルス出力グループ 0、パルス出力グループ 1 のレジスタに対応する端子が存在しません。

12.2 各レジスタの説明

12.2.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDERL

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

NDERH、NDERL はそれぞれ 8 ビットのリード/ライト可能なレジスタで、パルス出力の許可または禁止をビット単位で選択します。

NDER によりパルス出力が許可されたビットは、PCR で選択された TPU のコンペアマッチが発生すると、NDR の値が PODR の当該ビットに自動転送され出力値が更新されます。パルス出力が禁止されているビットについては、NDR から PODR への転送は行われず出力値も変化しません。

NDER はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

- ビット7~0 : ネクストデータイネーブル15~8 (NDER15~NDER8)

パルス出力の許可または禁止をビット単位で選択します。

ビット7~0	説明
NDER15~NDER8	
0	パルス出力 PO15~PO8 を禁止 (NDR15~NDR8 から POD15~POD8 への転送禁止) (初期値)
1	パルス出力 PO15~PO8 を許可 (NDR15~NDR8 から POD15~POD8 への転送許可)

12. プログラマブルパルスジェネレータ (PPG)

- ビット7~0: ネクストデータイネーブル7~0 (NDR7~NDR0)

パルス出力の許可または禁止をビット単位で選択します。ただし、本LSIにはNDRLに対応する出力端子が存在しません。

ビット7~0	説明
NDR7~NDR0	
0	パルス出力 PO7~PO0 を禁止 (NDR7~NDR0 から POD7~POD0 への転送禁止) (初期値)
1	パルス出力 PO7~PO0 を許可 (NDR7~NDR0 から POD7~POD0 への転送許可)

12.2.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH

ビット:	7	6	5	4	3	2	1	0
	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

PODRL

ビット:	7	6	5	4	3	2	1	0
	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

【注】* NDERにより、パルス出力に設定されたビットはリード専用となります。

PODRH、PODRL は 8 ビットのリード/ライト可能なレジスタで、パルス出力を使用する場合の出力データを格納します。ただし、本 LSI には PODRL に対応する端子が存在しません。

12.2.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は 8 ビットのリード/ライト可能なレジスタで、パルス出力の次のデータを格納します。パルス出力を行う場合、PCR で指定した TPU のコンペアマッチが発生したときに、NDR の内容が PODR の対応するビットに転送されます。NDR のアドレスは、パルス出力グループの出力トリガの選択により異なります。詳細は「12.2.4 NDR アクセス時の注意」を参照してください。

NDR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

12.2.4 NDR アクセス時の注意

NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なるように設定した場合とで異なります。

(1) パルス出力グループの出力トリガが同一の場合

パルス出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRH のアドレスは H'FE2C となります。グループ 3、2 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FE2E はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FE2C

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(b) アドレス : H'FE2E

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

パルス出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRL のアドレスは H'FE2D となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FE2F はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。ただし、本 LSI にはパルス出力グループ 0、1 に対応する出力端子が存在しません。

(a) アドレス : H'FE2D

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

(b) アドレス : H'FE2F

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

(2) パルス出力グループの出力トリガが異なる場合

パルス出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRH の上位 4 ビット (グループ 3) のアドレスは H'FE2C、NDRH の下位 4 ビット (グループ 2) のアドレスは H'FE2E となります。このとき、アドレス H'FE2C のビット 3~0、アドレス H'FE2E のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FE2C

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

(b) アドレス : H'FE2E

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

パルス出力グループ0、1の出力トリガとなるコンペアマッチを別にすると、NDRLの上位4ビット(グループ1)のアドレスはH'FE2D、NDRLの下位4ビット(グループ0)のアドレスはH'FE2Fとなります。このとき、アドレスH'FE2Dのビット3~0、アドレスH'FE2Fのビット7~4はリザーブビットとなります。リザーブビットはリードすると常に1が読み出され、ライトは無効です。ただし、本LSIにはパルス出力グループ0、1に対応する出力端子が存在しません。

(a) アドレス : H'FE2D

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

(b) アドレス : H'FE2F

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

12.2.5 PPG 出力コントロールレジスタ (PCR)

ビット :	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

PCRは8ビットのリード/ライト可能なレジスタでパルス出力の出力トリガ信号をグループ単位で選択します。PCRは、リセットまたはハードウェアスタンバイモード時にH'FFに初期化されます。ソフトウェアスタンバイモード時には初期化されません。

- ビット7、6 : グループ3コンペアマッチセレクト1、0 (G3CMS1、G3CMS0)
パルス出力グループ3 (PO15 ~ PO12端子) の出力トリガとなるコンペアマッチを選択します。

ビット7	ビット6	説明
G3CMS1	G3CMS0	パルス出力グループ3の出力トリガ
0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ (初期値)

- ビット5、4: グループ2コンペアマッチセレクト1、0 (G2CMS1、G2CMS0)
パルス出力グループ2 (PO11 ~ PO8端子) の出力トリガとなるコンペアマッチを選択します。

ビット 5	ビット 4	説 明
G2CMS1	G2CMS0	パルス出力グループ 2 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

- ビット3、2: グループ1コンペアマッチセレクト1、0 (G1CMS1、G1CMS0)
パルス出力グループ1 (PO7 ~ PO4端子) の出力トリガとなるコンペアマッチを選択します。ただし、本LSI にはパルス出力グループ1に対応する出力端子が存在しません。

ビット 3	ビット 2	説 明
G1CMS1	G1CMS0	パルス出力グループ 1 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

- ビット1、0: グループ0コンペアマッチセレクト1、0 (G0CMS1、G0CMS0)
パルス出力グループ0 (PO3 ~ PO0端子) の出力トリガとなるコンペアマッチを選択します。ただし、本LSI にはパルス出力グループ0に対応する出力端子が存在しません。

ビット 1	ビット 0	説 明
G0CMS1	G0CMS0	パルス出力グループ 0 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

12.2.6 PPG 出力モードレジスタ (PMR)

ビット :	7	6	5	4	3	2	1	0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値 :	1	1	1	1	0	0	0	0
R/W :	R/W							

PMR は 8 ビットのリード/ライト可能なレジスタで、パルス出力の反転の設定、およびオーバーラップ動作の設定をグループ単位で指定します。

ノンオーバーラップ動作の PPG 出力は、出力トリガとなる TPU の TGRB に出力波形の周期を、また TGRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「12.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

PMR はリセットまたはハードウェアスタンバイモード時に H'F0 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

- ビット7 : グループ3インバート (G3INV)

パルス出力グループ3 (PO15 ~ PO12端子) を直接出力させるか反転出力させるかを選択します。

ビット7	説明
G3INV	
0	パルス出力グループ3は、反転出力 (PODRH の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ3は、直接出力 (PODRH の内容 1 に対して、端子に High レベルを出力) (初期値)

- ビット6 : グループ2インバート (G2INV)

パルス出力グループ2 (PO11 ~ PO8端子) を直接出力させるか反転出力させるかを選択します。

ビット6	説明
G2INV	
0	パルス出力グループ2は、反転出力 (PODRH の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ2は、直接出力 (PODRH の内容 1 に対して、端子に High レベルを出力) (初期値)

- ビット5 : グループ1インバート (G1INV)

パルス出力グループ1 (PO7~PO4端子) を直接出力させるか反転出力させるかを選択します。ただし、本LSIにはパルス出力グループ1に対応する端子が存在しません。

ビット5	説 明
G1INV	
0	パルス出力グループ1は、反転出力 (PODRLの内容1に対して、端子に Low レベルを出力)
1	パルス出力グループ1は、直接出力 (PODRLの内容1に対して、端子に High レベルを出力) (初期値)

- ビット4 : グループ0インバート (G0INV)

パルス出力グループ0 (PO3~PO0端子) を直接出力させるか反転出力させるかを選択します。ただし、本LSIにはパルス出力グループ0に対応する端子が存在しません。

ビット4	説 明
G0INV	
0	パルス出力グループ0は、反転出力 (PODRLの内容1に対して、端子に Low レベルを出力)
1	パルス出力グループ0は、直接出力 (PODRLの内容1に対して、端子に High レベルを出力) (初期値)

- ビット3 : グループ3ノンオーバーラップ (G3NOV)

パルス出力グループ3 (PO15~PO12端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット3	説 明
G3NOV	
0	パルス出力グループ3は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) (初期値)
1	パルス出力グループ3は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1出力、0出力を独立に出力可能)

- ビット2 : グループ2ノンオーバーラップ (G2NOV)

パルス出力グループ2 (PO11~PO8端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット2	説 明
G2NOV	
0	パルス出力グループ2は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新します。) (初期値)
1	パルス出力グループ2は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1出力、0出力を独立に行うことができます。)

• ビット1：グループ1ノンオーバーラップ (G1NOV)

パルス出力グループ1 (PO7 ~ PO4端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。
ただし、本LSIにはパルス出力グループ1に対応する端子が存在しません。

ビット1	説 明
G1NOV	
0	パルス出力グループ1は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新します。) (初期値)
1	パルス出力グループ1は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

• ビット0：グループ0ノンオーバーラップ (G0NOV)

パルス出力グループ0 (PO3 ~ PO0端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。
ただし、本LSIにはパルス出力グループ0に対応する端子が存在しません。

ビット0	説 明
G0NOV	
0	パルス出力グループ0は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新します。) (初期値)
1	パルス出力グループ0は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

12.2.7 ポート1 データディレクションレジスタ (P1DDR)

ビット：	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート1の各端子の入出力をビットごとに指定します。

ポート1はPO15 ~ PO8 端子との兼用端子となっています。PPG 出力を行う端子に対応するビットは1にセットしてください。

P1DDRの詳細は、「10A.2 ポート1、10B.2 ポート1」を参照してください。

12.2.8 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット :	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W							

MSTPCRA は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA3 ビットを 1 にセットすると、バスサイクルの終了時点で PPG は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRA は、パワーオンリセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット3 : モジュールストップ (MSTPA3)

PPG のモジュールストップモードを指定します。

ビット 3	説明
MSTPA3	
0	PPG のモジュールストップモード解除
1	PPG のモジュールストップモード設定 (初期値)

12.3 動作説明

12.3.1 概要

PPG のパルス出力は、PIDDR、NDER の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PODR の内容が出力されます。

その後、PCR で指定したコンペアマッチが発生すると、ビットに対する NDR の内容がそれぞれ PODR に転送され、出力値が更新されます。

PPG 出力動作を図 12.2 に示します。また、PPG 動作条件を表 12.3 に示します。

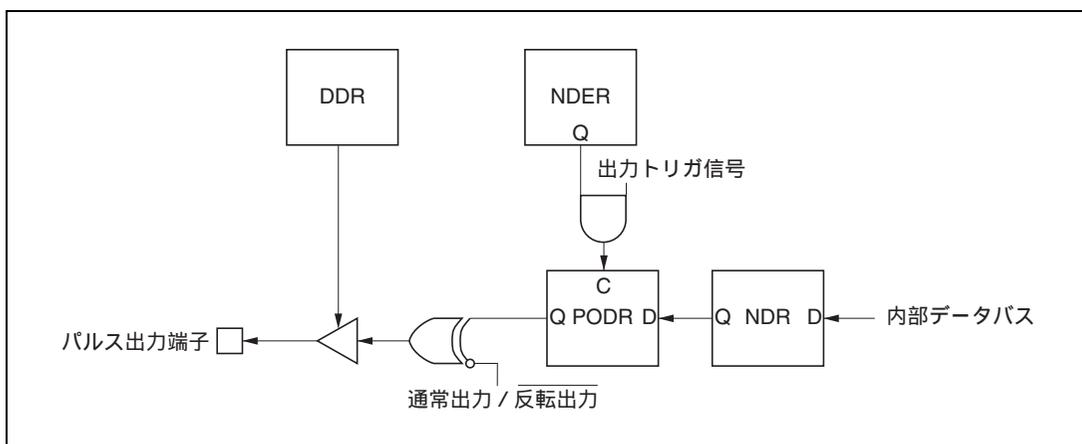


図 12.2 PPG 出力動作

表 12.3 PPG 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート (ただし、コンペアマッチ時に NDR から PODR の転送を行い、PODR へのライトはできません)
	1	PPG パルス出力

次のコンペアマッチが発生するまでに NDR に出力データを書き込むことにより、コンペアマッチごとに最大 8 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「12.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

12.3.2 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。

このタイミングを図 12.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

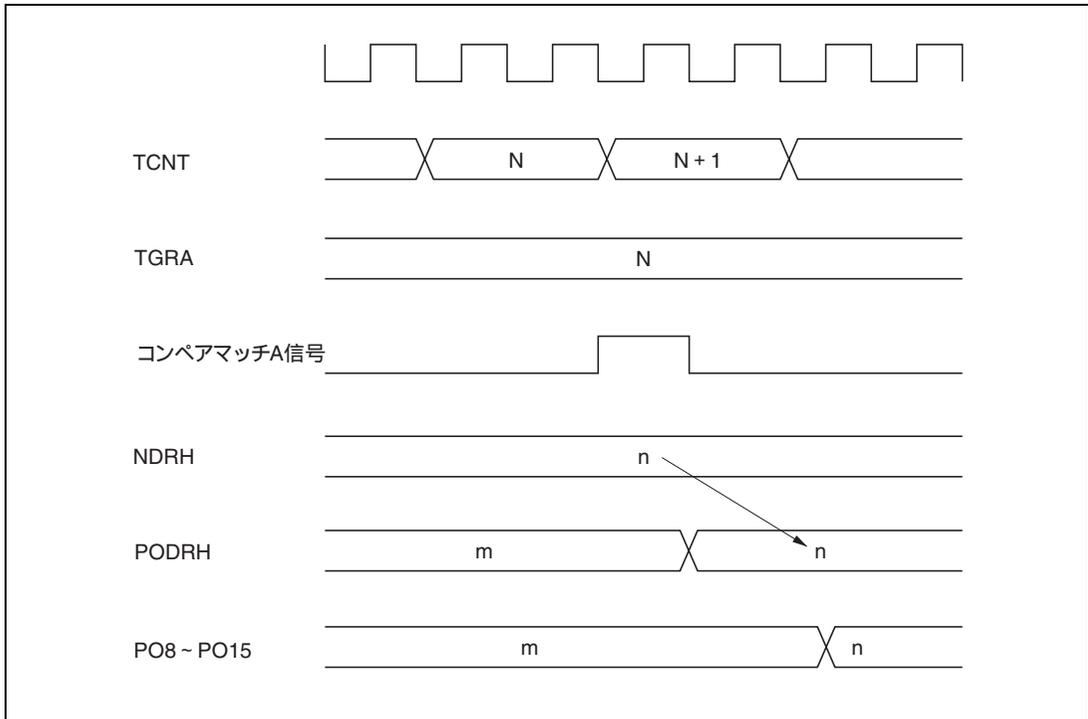


図 12.3 NDR の内容が転送・出力されるタイミング例

12.3.3 パルス出力通常動作

(1) パルス出力通常動作の設定手順例

パルス出力通常動作の設定手順例を図 12.4 に示します。

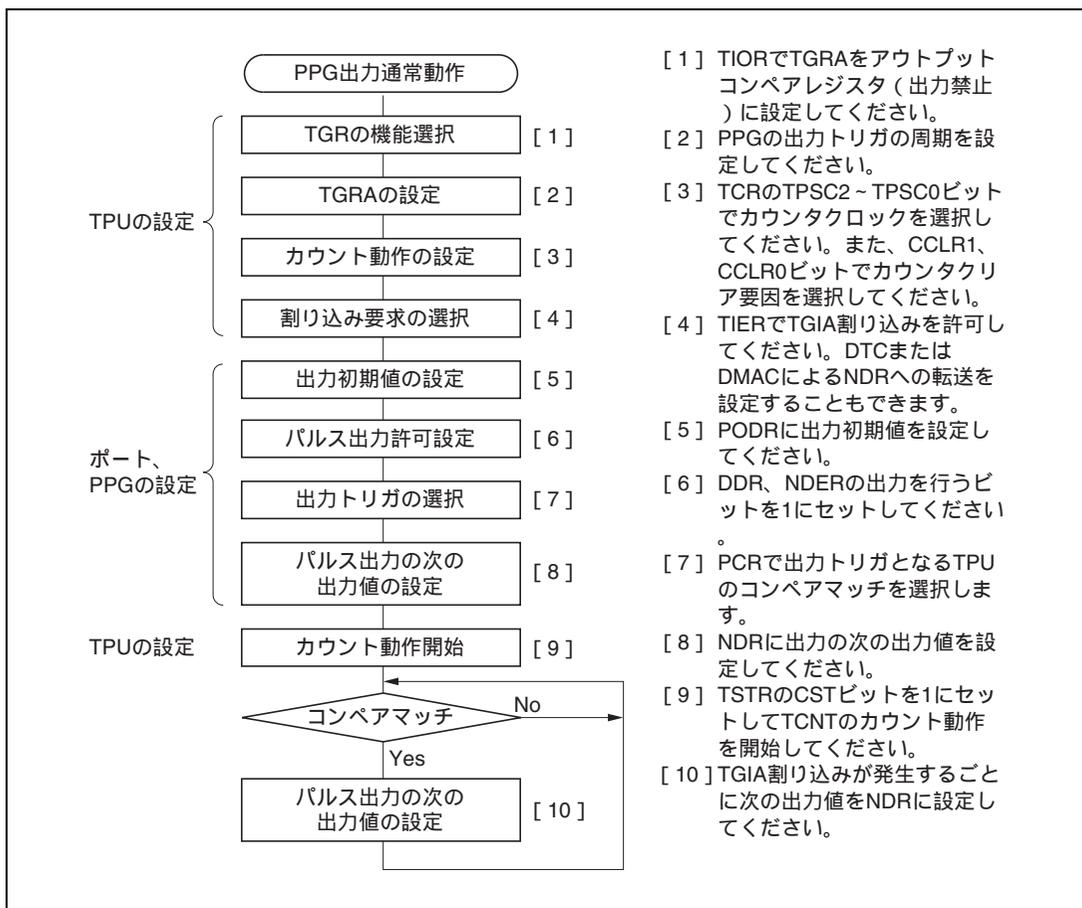


図 12.4 パルス出力通常動作の設定手順例

(2) パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図12.5に示します。

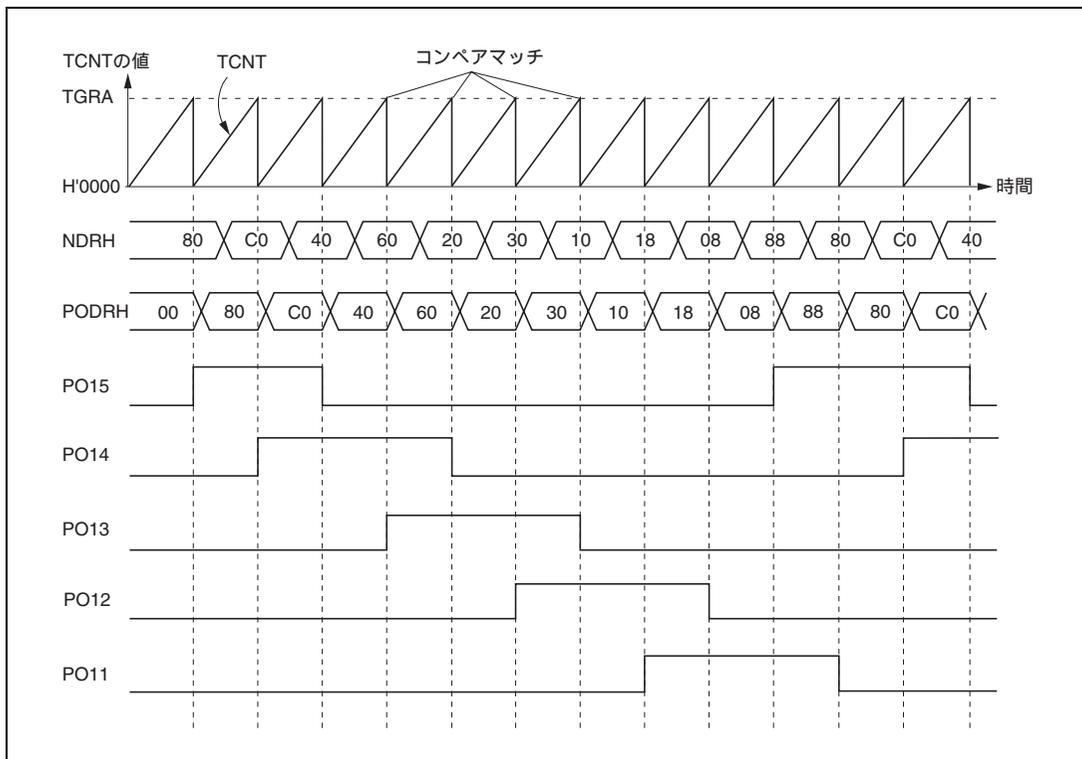


図 12.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- PIDDR、NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0、G2CMS1およびG2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1-2相パルス出力を行うことができます。

TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

12.3.4 パルス出力ノンオーバーラップ動作

(1) パルス出力ノンオーバーラップ動作の設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 12.6 に示します。

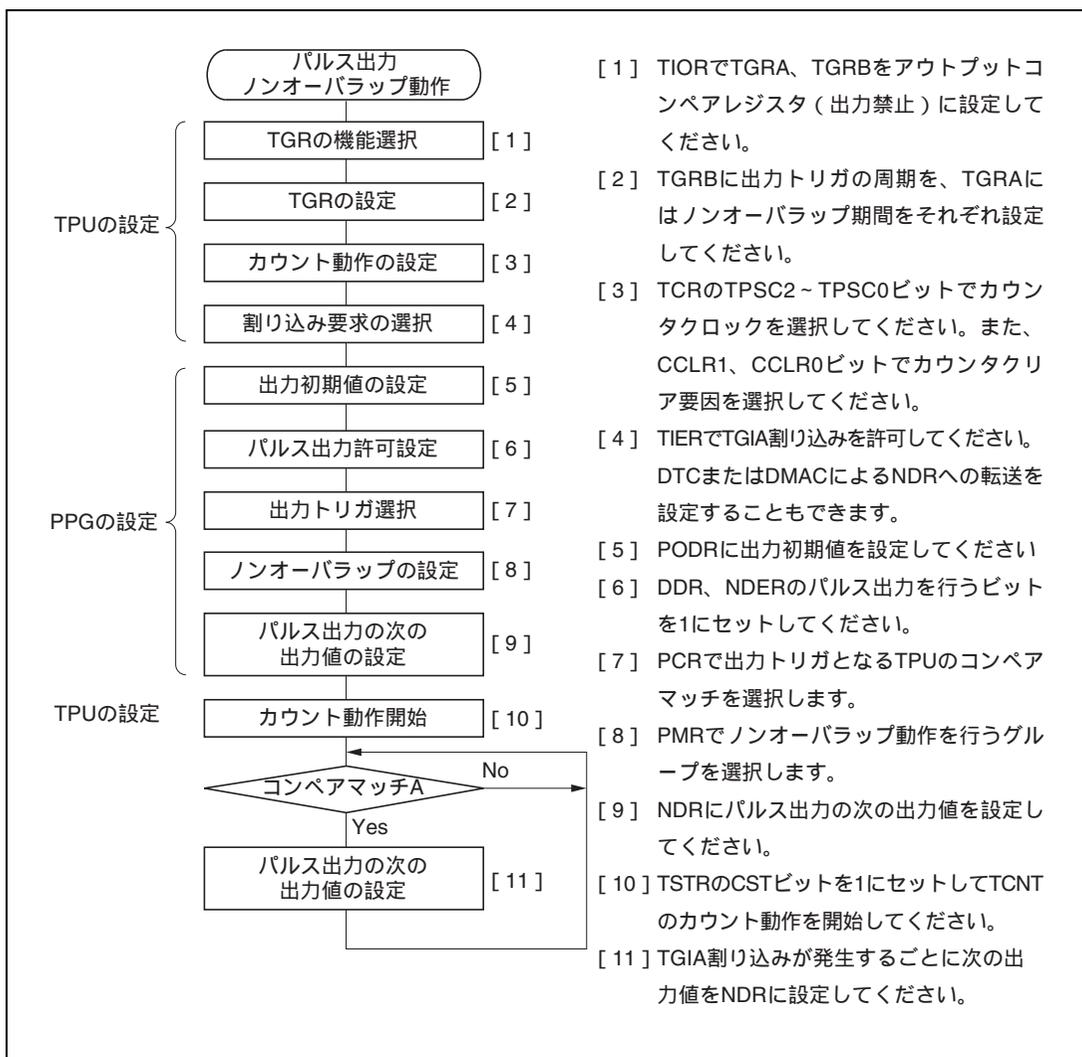


図 12.6 パルス出力ノンオーバーラップ動作の設定手順例

(2) パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図 12.7 に示します。

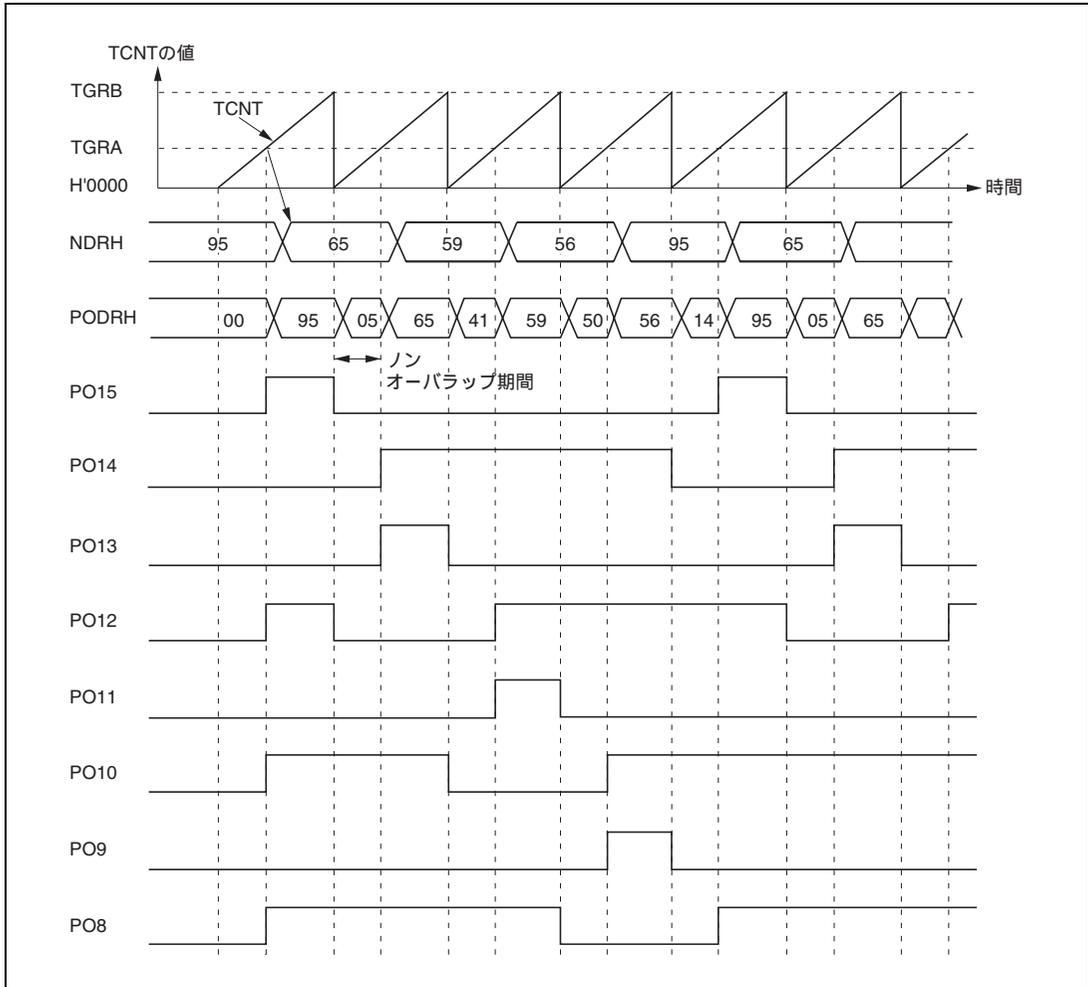


図 12.7 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

- 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
- P1DDR、NDRHにH'FFをライトし、PCRのG3CMS1、G3CMS0、G2CMS1およびG2CMS0ビットにより、1.で選択したTPUのコンペアマッチに出力トリガを設定します。

PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。

NDRHに出力データH'95をライトします。

- TPU当該チャンネルの動作を開始すると、TGRBのコンペアマッチで1出力 0出力の変化、TGRAのコンペアマッチで0出力 1出力の変化を行います (0出力 1出力の変化はTGRAの設定値分遅延することになります)。TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
- 以後、TGIA割り込みで順次H'59、H'56、H'95...をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

12.3.5 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 12.7 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 12.8 に示します。

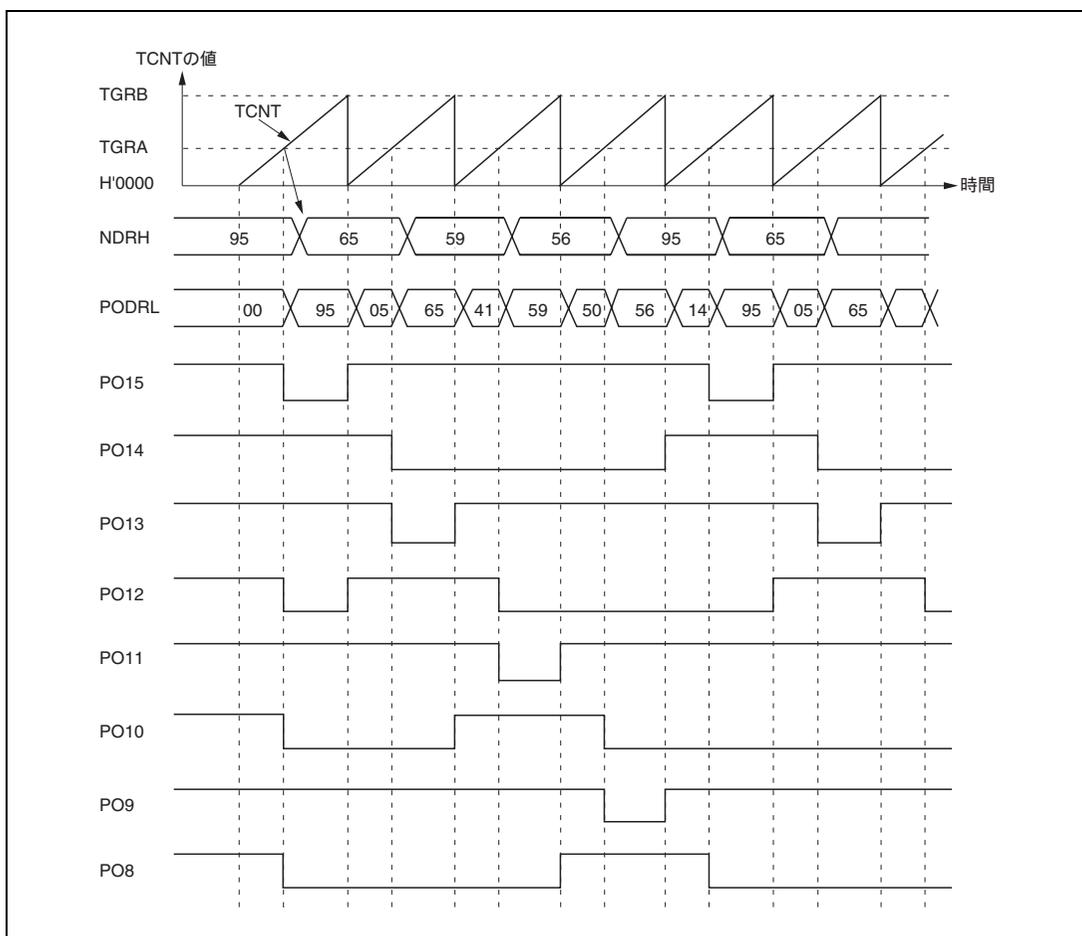


図 12.8 パルス反転出力例

12.3.6 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 12.9 に示します。

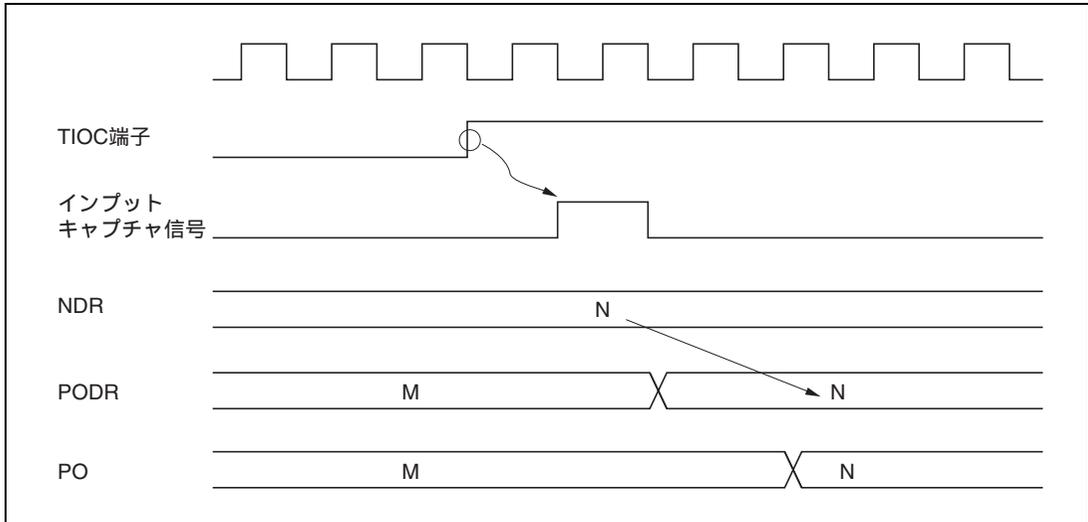


図 12.9 インพุットキャプチャによるパルス出力例

12.4 使用上の注意

(1) パルス出力端子の動作

PO8 ~ PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

(2) ノンオーバラップ動作時の注意

ノンオーバラップ動作時の NDR から PODR への転送は以下のようになっています。

- コンペアマッチ A では NDR の内容を常に PODR へ転送します。
- コンペアマッチ B では NDR の転送するビットの内容が 0 のときのみ転送を行います。1 のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 12.10 に示します。

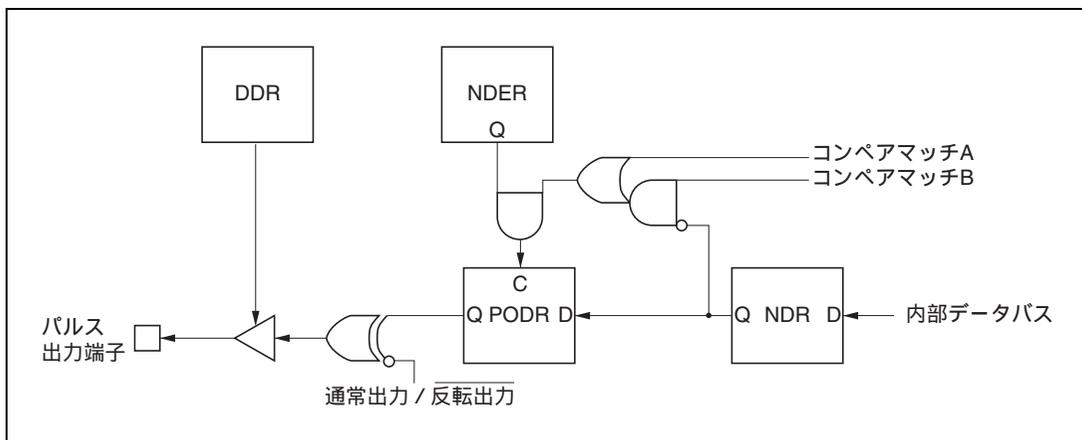


図 12.10 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで(ノンオーバーラップ期間)の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 12.11 に示します。

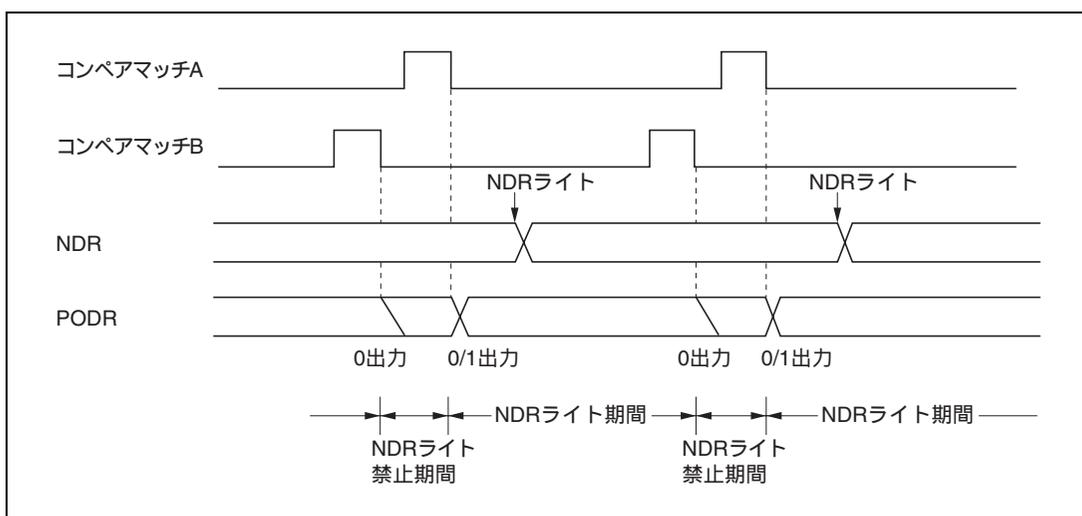


図 12.11 ノンオーバーラップ動作と NDR ライトタイミング

13. 8ビットタイマ (TMR) (H8S/2695には本機能はありません)

13.1 概要

本 LSI は、8 ビットのカウンタをベースにした 4 チャンネルの 8 ビットタイマ (TMR0、TMR1、TMR2、TMR3) を内蔵しています。4 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があります。TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

13.1.1 特長

4 種類のカウンタ入力クロックを選択可能

- 3種類の内部クロック (/8、 /64、 /8192) と、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

カウンタのクリア指定が可能

- コンペアマッチ A、B、または外部リセット信号のうちから選択できます。

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。

2 チャンネルのカスケード接続が可能

- チャンネル0 (チャンネル2) を上位、チャンネル1 (チャンネル3) を下位とする 16 ビットタイマとして動作可能です (16 ビットカウンタモード)。
- チャンネル1 (チャンネル3) はチャンネル0 (チャンネル2) のコンペアマッチをカウント可能です (コンペアマッチカウンタモード)。

各チャンネル 3 種類の割り込み要因

- コンペアマッチ $\times 2$ 要因、オーバフロー $\times 1$ 要因があり、それぞれ独立して要求することができます。

A/D 変換器の変換スタートトリガを生成可能

- A/D 変換器の交換開始トリガとしてチャンネル0のコンペアマッチA信号を使用可能

モジュールストップモードの設定可能

- 初期値では 8 ビットタイマの動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

13.1.2 ブロック図

8ビットタイマのブロック図 (TMR0、TMR1 の場合) を図 13.1 に示します。

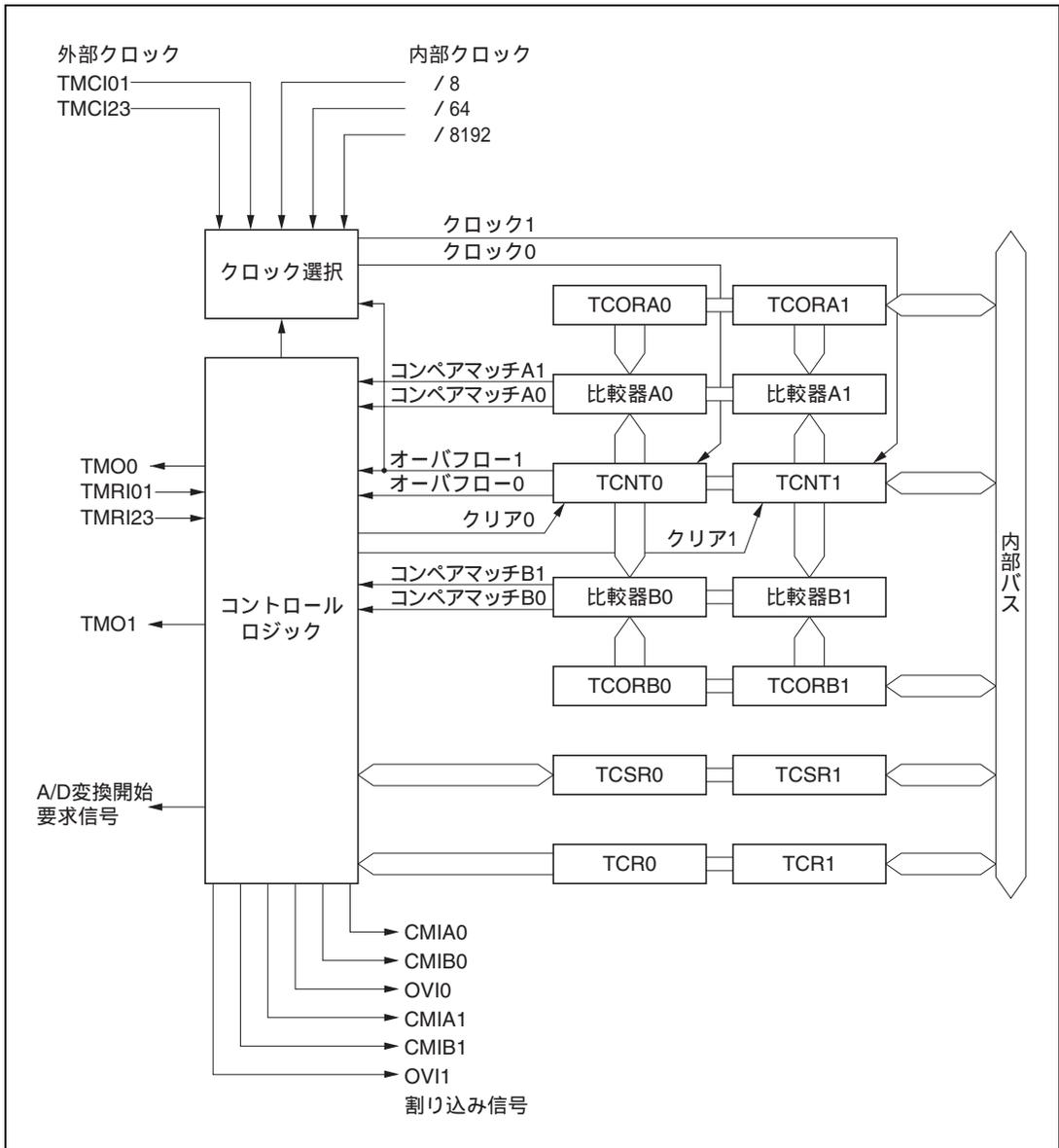


図 13.1 8ビットタイマのブロック図

13.1.3 端子構成

8 ビットタイマの入出力端子を表 13.1 に示します。

表 13.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	タイマ出力端子 0	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子 01	TMCI01	入力	カウンタ外部クロック入力
	タイマリセット入力端子 01	TMRI01	入力	カウンタ外部リセット入力
1	タイマ出力端子 1	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子 23	TMCI23	入力	カウンタ外部クロック入力
	タイマリセット入力端子 23	TMRI23	入力	カウンタ外部リセット入力
2	タイマ出力端子 2	TMO2	出力	コンペアマッチ出力
	タイマクロック入力端子 23	TMCI23	入力	カウンタ外部クロック入力
	タイマリセット入力端子 23	TMRI23	入力	カウンタ外部リセット入力
3	タイマ出力端子 3	TMO3	出力	コンペアマッチ出力
	タイマクロック入力端子 01	TMCI01	入力	カウンタ外部クロック入力
	タイマリセット入力端子 01	TMRI01	入力	カウンタ外部リセット入力

13.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FF68
	タイマコントロール / ステータスレジスタ 0	TCSR0	R/(W)*2	H'00	H'FF6A
	タイムコンスタントレジスタ A0	TCORA0	R/W	H'FF	H'FF6C
	タイムコンスタントレジスタ B0	TCORB0	R/W	H'FF	H'FF6E
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FF70
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FF69
	タイマコントロール / ステータスレジスタ 1	TCSR1	R/(W)*2	H'10	H'FF6B
	タイムコンスタントレジスタ A1	TCORA1	R/W	H'FF	H'FF6D
	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF	H'FF6F
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FF71
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FDC0
	タイマコントロール / ステータスレジスタ 2	TCSR2	R/(W)*2	H'00	H'FDC2
	タイムコンスタントレジスタ A2	TCORA2	R/W	H'FF	H'FDC4
	タイムコンスタントレジスタ B2	TCORB2	R/W	H'FF	H'FDC6
	タイマカウンタ 2	TCNT2	R/W	H'00	H'FDC8
3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FDC1
	タイマコントロール / ステータスレジスタ 3	TCSR3	R/(W)*2	H'10	H'FDC3
	タイムコンスタントレジスタ A3	TCORA3	R/W	H'FF	H'FDC5
	タイムコンスタントレジスタ B3	TCORB3	R/W	H'FF	H'FDC7
	タイマカウンタ 3	TCNT3	R/W	H'00	H'FDC9
共通	モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

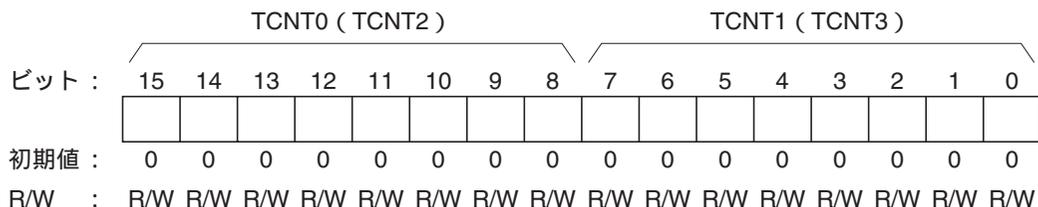
【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

チャンネル 0 (チャンネル 2) とチャンネル 1 (チャンネル 3) の対応するレジスタは、チャンネル 0 (チャンネル 2) を上位、チャンネル 1 (チャンネル 3) を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

13.2 各レジスタの説明

13.2.1 タイマカウンタ 0~3 (TCNT0~TCNT3)



TCNT0~TCNT3 はそれぞれ 8 ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCR の CKS2~CKS0 ビットで選択します。TCNT0~TCNT3 の値は、CPU から常にリード/ライト可能です。

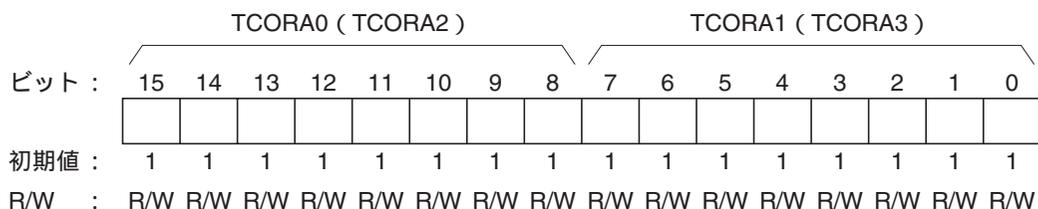
TCNT0、TCNT1 (TCNT2、TCNT3) を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCNT は、外部リセット入力信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットで選択します。

また、TCNT がオーバフロー (H'FF H'00) すると、TCSR の OVF が 1 にセットされます。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

13.2.2 タイムコンスタントレジスタ A0~A3 (TCORA0~TCORA3)



TCORA0~TCORA3 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。

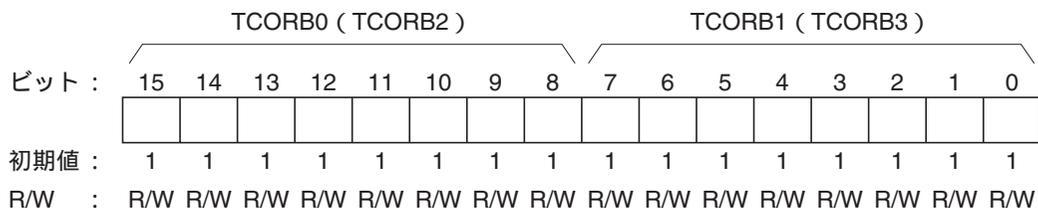
TCORA0、TCORA1 (TCORA2、TCORA3) を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFA が 1 にセットされます。ただし、TCOR へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

13.2.3 タイムコンスタントレジスタ B0～B3 (TCORB0～TCORB3)



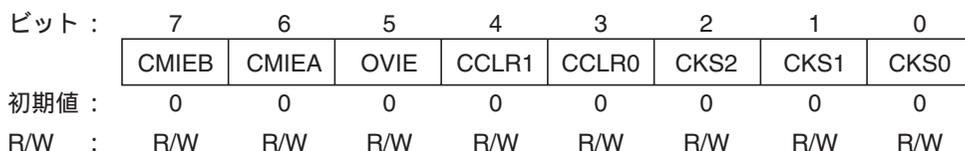
TCORB0～TCORB3 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。TCORB0、TCORB1(TCORB2、TCORB3) を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFB が 1 にセットされます。ただし、TCOR へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR のアウトプットセレクト OS3、OS2 ビットの設定により、タイマ出力を自由に制御することができます。

TCORB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

13.2.4 タイマコントロールレジスタ 0～3 (TCR0～TCR3)



TCR0～TCR3 はそれぞれ 8 ビットのリード/ライト可能なレジスタで、TCNT の入力クロックの選択、TCNT のクリア指定、および各割り込み要求の許可を制御します。

TCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

なお、タイミングについては、「13.3 動作説明」を参照してください。

- ビット7: コンペアマッチインタラプトイネーブルB (CMIEB)

TCSRのCMFBが1にセットされたとき、CMFBによる割り込み要求 (CMIB) の許可または禁止を選択します。

ビット7	説 明	
CMIEB		
0	CMFB による割り込み要求 (CMIB) を禁止	(初期値)
1	CMFB による割り込み要求 (CMIB) を許可	

- ビット6 : コンペアマッチインタラプトイネーブルA (CMIEA)

TCRSRのCMFAが1にセットされたとき、CMFAによる割り込み要求 (CMIA) の許可または禁止を選択します。

ビット 6	説 明	
CMIEA		
0	CMFA による割り込み要求 (CMIA) を禁止	(初期値)
1	CMFA による割り込み要求 (CMIA) を許可	

- ビット5 : タイマオーバフローインタラプトイネーブル (OVIE)

TCRSRのOVFが1にセットされたとき、OVFによる割り込み要求 (OVI) の許可または禁止を選択します。

ビット 5	説 明	
OVIE		
0	OVF による割り込み要求 (OVI) を禁止	(初期値)
1	OVF による割り込み要求 (OVI) を許可	

- ビット4、3 : カウンタクリア1、0 (CCLR1、CCLR0)

TCNTのクリアを指定します。クリアは、コンペアマッチA、Bまたは外部リセット入力から選択します。

ビット 4	ビット 3	説 明	
CCLR1	CCLR0		
0	0	クリアを禁止	(初期値)
	1	コンペアマッチ A によりクリア	
1	0	コンペアマッチ B によりクリア	
	1	外部リセット入力の立ち上がりエッジによりクリア	

- ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

TCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック () を分周した3種類のクロック (/8、 /64、 /8192) から選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの3種類から選択できます。

チャンネル0と1では一部機能が異なります。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック: /8 立ち下がりエッジでカウント
	1	0	内部クロック: /64 立ち下がりエッジでカウント
		1	内部クロック: /8192 立ち下がりエッジでカウント
1	0	0	チャンネル0の場合: TCNT1のオーバフロー信号でカウント* チャンネル1の場合: TCNT0のコンペアマッチAでカウント* チャンネル2の場合: TCNT3のオーバフロー信号でカウント* チャンネル3の場合: TCNT2のコンペアマッチAでカウント*
		1	外部クロック: 立ち上がりエッジでカウント
	1	0	外部クロック: 立ち下がりエッジでカウント
		1	外部クロック: 立ち上がり / 立ち下がり両エッジでカウント

【注】 * チャンネル0(チャンネル2)のクロック入力をTCNT1(TCNT3)のオーバフロー信号とし、チャンネル1(チャンネル3)のクロック入力をTCNT0(TCNT2)のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

13.2.5 タイマコントロール/ステータスレジスタ 0~3 (TCSR0~TCSR3)

TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1、TCSR3

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*		R/W	R/W	R/W	R/W

TCSR2

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

TCSR0~TCSR3はそれぞれ8ビットのレジスタで、コンペアマッチやタイマオーパフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

リセットまたはハードウェアスタンバイモード時に、TCSR0、TCSR2はH'00に、TCSR1、TCSR3はH'10に初期化されます。

- ビット7: コンペアマッチフラグB (CMFB)

TCNTとTCORBの値が一致したことを示すステータスフラグです。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) (1) CMFB = 1 の状態で、CMFB をリードした後、CMFB に 0 をライトしたとき (2) CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
1	[セット条件] TCNT = TCORB になったとき

13. 8 ビットタイマ (TMR)

• ビット6: コンペアマッチフラグA (CMFA)

TCNTとTCORAの値が一致したことを示すステータスフラグです。

ビット6	説 明
CMFA	
0	[クリア条件] (初期値) (1) CMFA = 1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき (2) CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
1	[セット条件] TCNT = TCORA になったとき

• ビット5: タイマオーバフローフラグ (OVF)

TCNTがオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット5	説 明
OVF	
0	[クリア条件] (初期値) OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき
1	[セット条件] TCNT が H'FF H'00 になったとき

• ビット4: A/Dトリガイネーブル (ADTE) (TCSR0のみ)

コンペアマッチAによるA/D変換開始要求の許可または禁止を選択します。

TCSR1 ~ TCSR3はリザーブビットです。TCSR1、TCSR3は、リードすると常に1が読み出されます。ライトは無効です。TCSR2はリード/ライト可能です。

ビット4	説 明
ADTE	
0	コンペアマッチ A による A/D 変換開始要求を禁止 (初期値)
1	コンペアマッチ A による A/D 変換開始要求を許可

- ビット3~0: アウトプットセレクト3~0 (OS3~OS0)

TCORとTCNTのコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3とOS2ビットがコンペアマッチBによる出力レベルを選択し、OS1とOS0ビットがコンペアマッチAによる出力レベルを選択し、それぞれ独立して制御することができます。

ただし、トグル出力 > 1出力 > 0出力の順で優先順位が高くなるように設定してあるので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

なお、OS3~OS0ビットがすべて0の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は0です。

ビット3	ビット2	説 明
OS3	OS2	
0	0	コンペアマッチ B で変化しない (初期値)
	1	コンペアマッチ B で 0 出力
1	0	コンペアマッチ B で 1 出力
	1	コンペアマッチ B ごとに反転出力 (トグル出力)

ビット1	ビット0	説 明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

13.2.6 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット :	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W							

MSTPCRA は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA4、MSTPA0 ビットを 1 にセットすると、バスサイクルの終了時点で 8 ビットタイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRA は、パワーオンリセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット4 : モジュールストップ (MSTPA4)

TMR0、TMR1のモジュールストップモードを指定します。

ビット 4	説明
MSTPA4	
0	TMR0、TMR1 のモジュールストップモード解除
1	TMR0、TMR1 のモジュールストップモード設定 (初期値)

- ビット0 : モジュールストップ (MSTPA0)

TMR2、TMR3のモジュールストップモードを指定します。

ビット 0	説明
MSTPA0	
0	TMR2、TMR3 のモジュールストップモード解除
1	TMR2、TMR3 のモジュールストップモード設定 (初期値)

13.3 動作説明

13.3.1 TCNT のカウントタイミング

TCNT は、入力されたクロック (内部クロックまたは外部クロック) によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS2 ~ CKS0 ビットの設定により、システムクロック () を分周して作られる 3 種類の内部クロック (/8、 /64、 /8192) が選択されます。このタイミングを図 13.2 に示します。

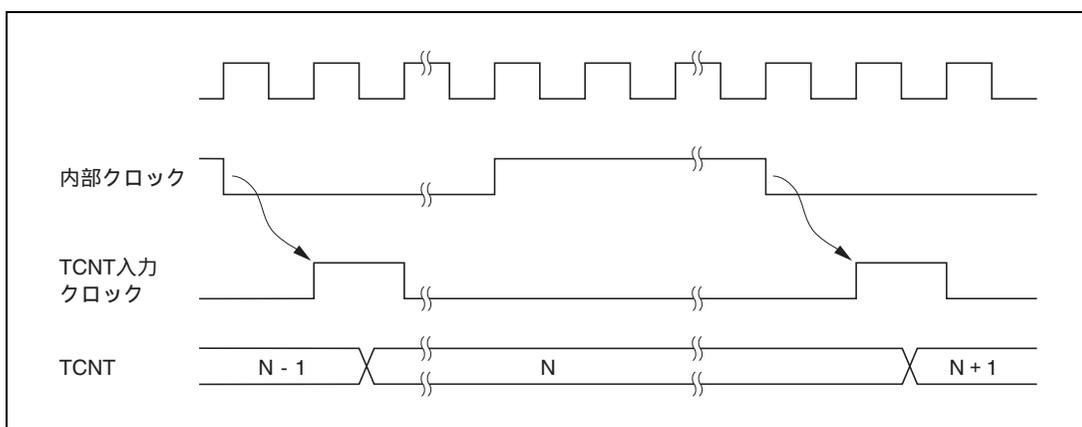


図 13.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS2 ~ CKS0 ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 13.3 に、外部クロックとして、立ち上がり / 立ち下がり両エッジの場合のタイミングを示します。

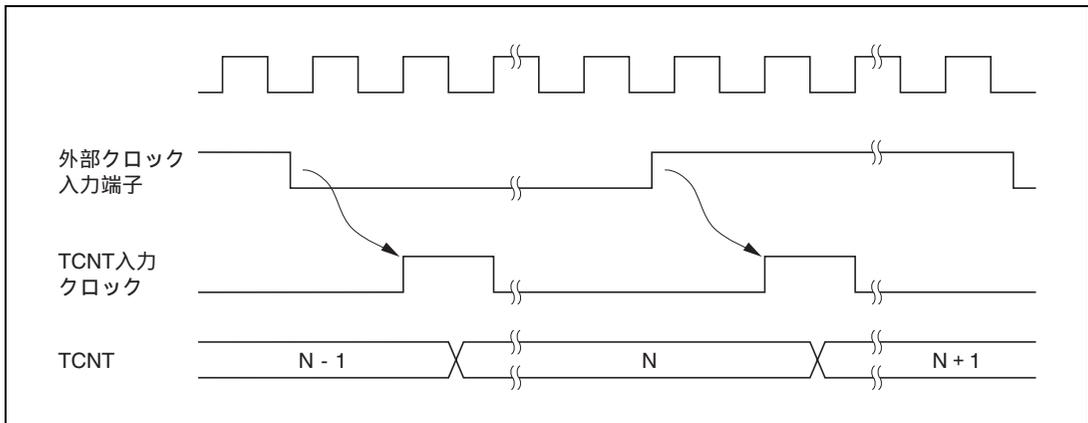


図 13.3 外部クロック動作時のカウントタイミング

13.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 13.4 に示します。

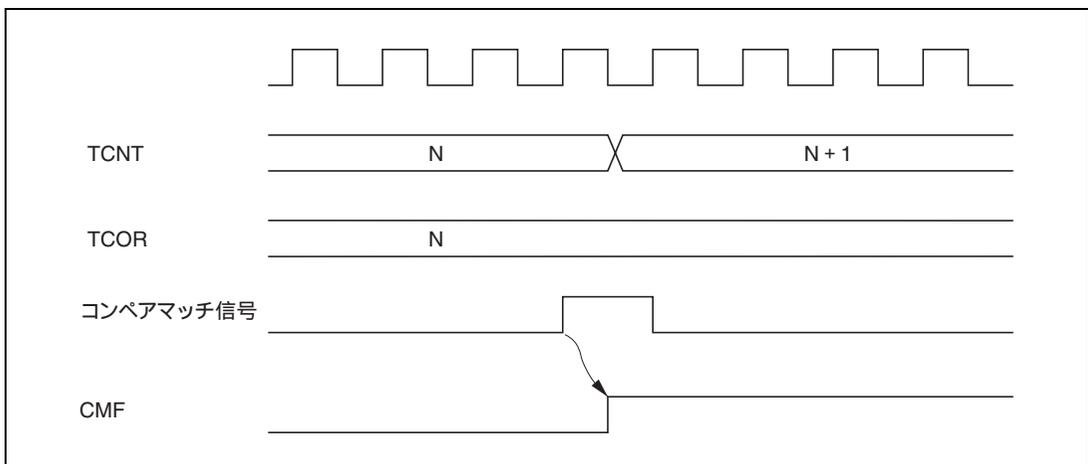


図 13.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 13.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

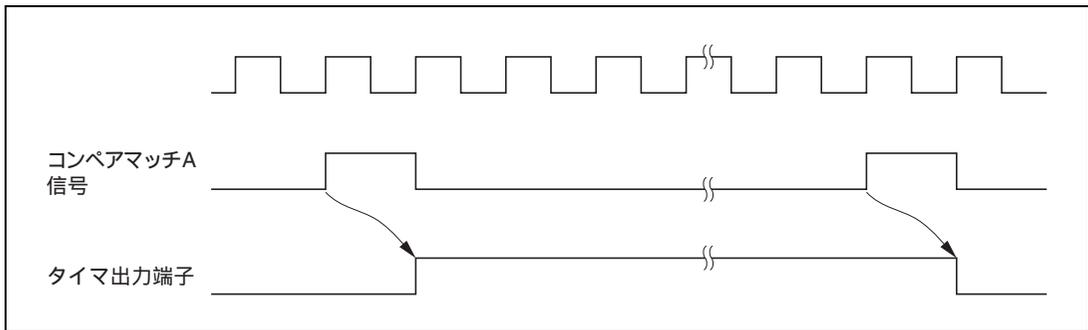


図 13.5 タイマ出力タイミング

(3) コンペアマッチによるクリア

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 13.6 に示します。

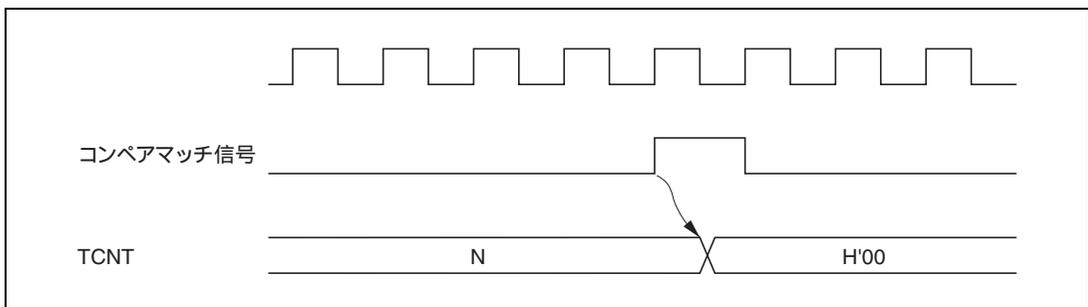


図 13.6 コンペアマッチによるクリアタイミング

13.3.3 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアパルスの幅は、1.5 ステート以上必要となります。このクリアされるタイミングを図 13.7 に示します。

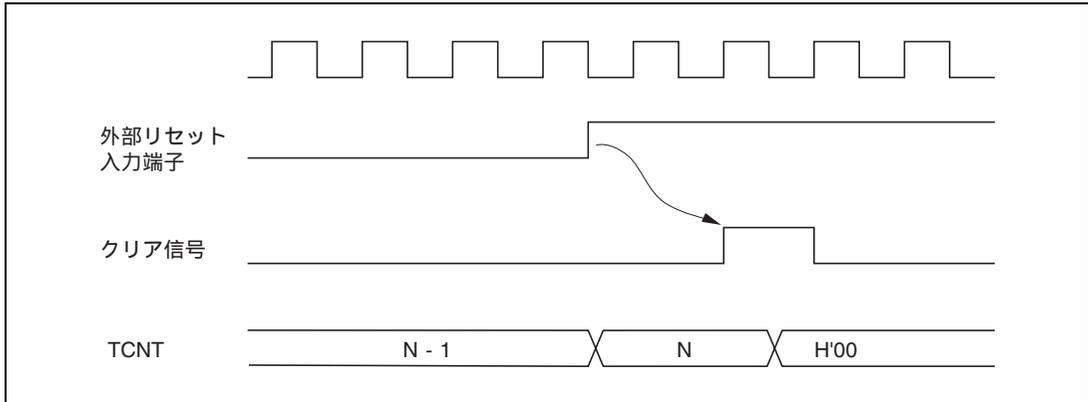


図 13.7 外部リセット入力によるクリアタイミング

13.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバフロー (H'FF H'00) したとき出力されるオーバフロー信号により1にセットされます。

このときのタイミングを図 13.8 に示します。

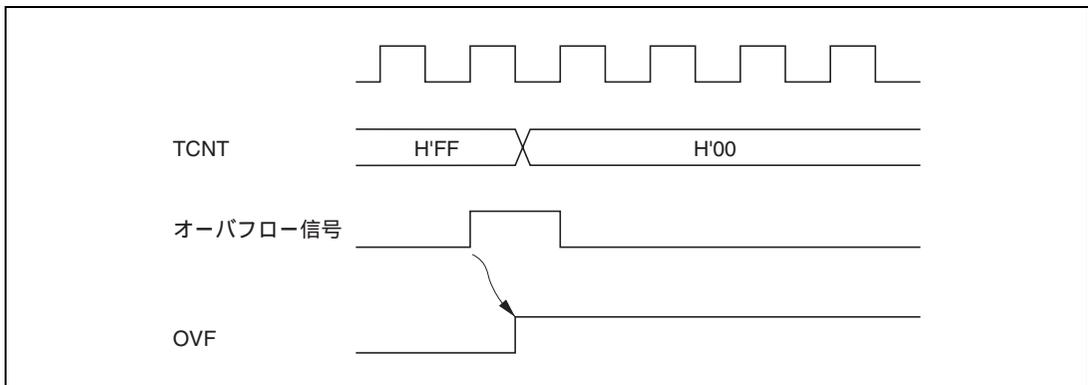


図 13.8 OVFのセットタイミング

13.3.5 カスケード接続時の動作

TCR0、TCR1のいずれか一方のCKS2~CKS0ビットをB'100に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用(16ビットタイマモード)するか、またはチャンネル0(チャンネル2)の8ビットタイマのコンペアマッチをチャンネル1(チャンネル3)のタイマでカウント(コンペアマッチカウントモード)することができます。このとき、本タイマは以下のように動作します。

(1) 16ビットカウントモード

TCR0のCKS2~CKS0ビットがB'100のとき、本タイマはチャンネル0(チャンネル2)を上位8ビット、チャンネル1(チャンネル3)を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(a) コンペアマッチフラグのセット

- TCSR0、TCSR2のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR1、TCSR3のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(b) カウンタクリア指定

- TCR0 (TCR2)のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ(TCNT0、TCNT1 (TCNT2、TCNT3)の両方)がクリアされます。また、TMRI01 (TMRI23)端子によるカウンタクリアを設定した場合も、16ビットカウンタ(TCNT0、TCNT1 (TCNT2、TCNT3)の両方)がクリアされます。
- TCR1、TCR3のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(c) 端子出力

- TCSR0 (TCSR2)のOS3~OS0ビットによるTMO0 (TMO2)端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR1 (TCSR3)のOS3~OS0ビットによるTMO1 (TMO3)端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

(2) コンペアマッチカウントモード

TCR1 (TCR3)のCKS2~CKS0ビットがB'100のとき、TCNT1 (TCNT3)はチャンネル0 (チャンネル2)のコンペアマッチAをカウントします。

チャンネル0~3の制御はそれぞれ独立して行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

(3) 使用上の注意

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT0、TCNT1 (TCNT2、TCNT3)の入カロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないください。

13.4 割り込み

13.4.1 割り込み要因と DTC 起動

(H8S/2695 には DTC、8ビットタイマはありません)

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表13.3に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立して割り込みコントローラに送られます。

また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 13.3 8ビットタイマ割り込み要因

チャンネル	割り込み要因	内 容	DTC の起動	優先順位
0	CMIA0	CMFA による割り込み	可	高  ↓ 低
	CMIB0	CMFB による割り込み	可	
	OVI0	OVF による割り込み	不可	
1	CMIA1	CMFA による割り込み	可	
	CMIB1	CMFB による割り込み	可	
	OVI1	OVF による割り込み	不可	
2	CMIA2	CMFA による割り込み	可	
	CMIB2	CMFB による割り込み	可	
	OVI2	OVF による割り込み	不可	
3	CMIA3	CMFA による割り込み	可	
	CMIB3	CMFB による割り込み	可	
	OVI3	OVF による割り込み	不可	

【注】 リセット直後の初期状態について示しています。

チャンネル間の優先順位は割り込みコントローラにより変更可能です。

13.4.2 A/D 変換器の起動

チャンネル0のコンペアマッチAのみ、A/D変換器を起動することができます。

チャンネル0のコンペアマッチAの発生により、TCSR0のCMFAフラグが1にセットされたとき、ADTEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。この時A/D変換器側で、8ビットタイマの変換開始トリガが選択されていれば、A/D変換が開始されます。

13.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 13.9 に示します。これは次に示すように設定します。

1. TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

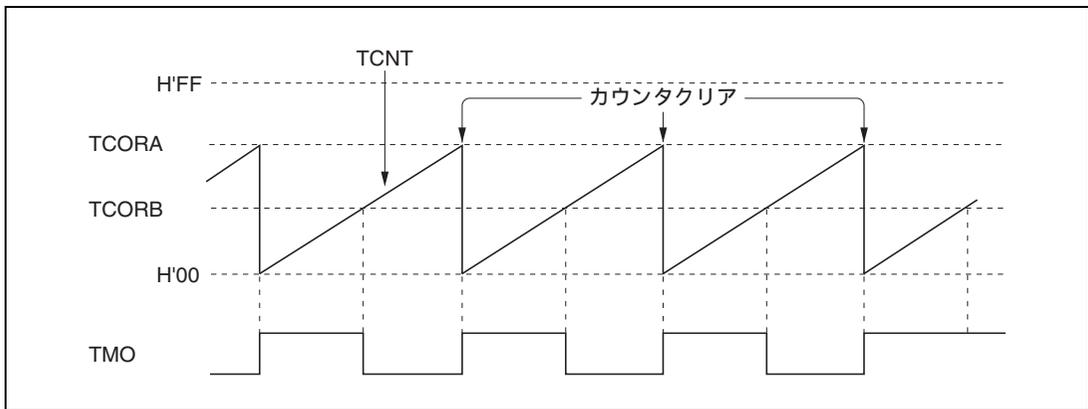


図 13.9 パルス出力例

13.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

13.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中のT2ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図13.10に示します。

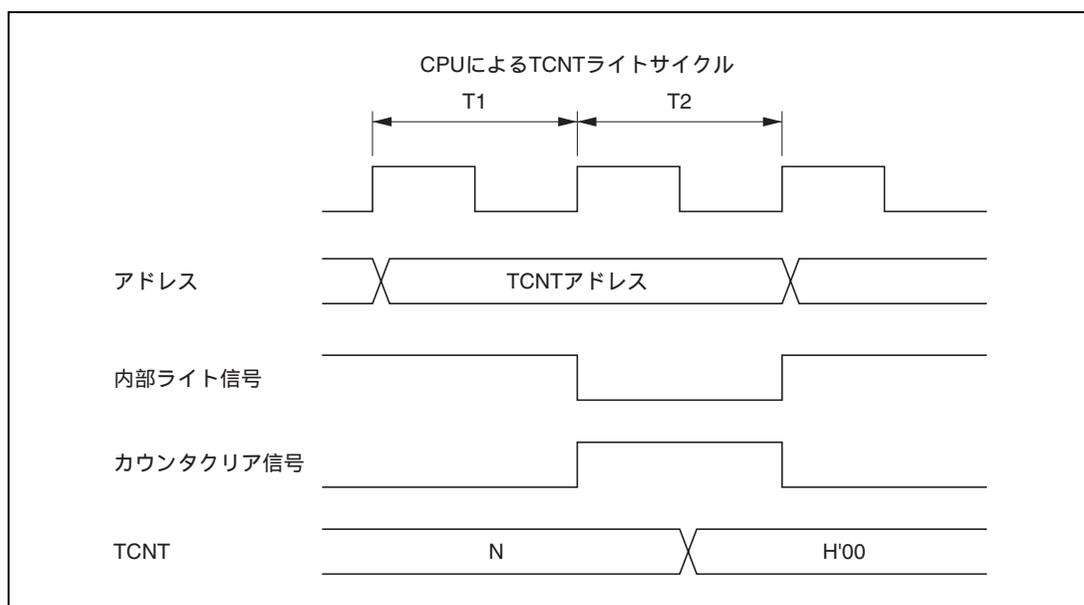


図 13.10 TCNTのライトとクリアの競合

13.6.2 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図 13.11 に示します。

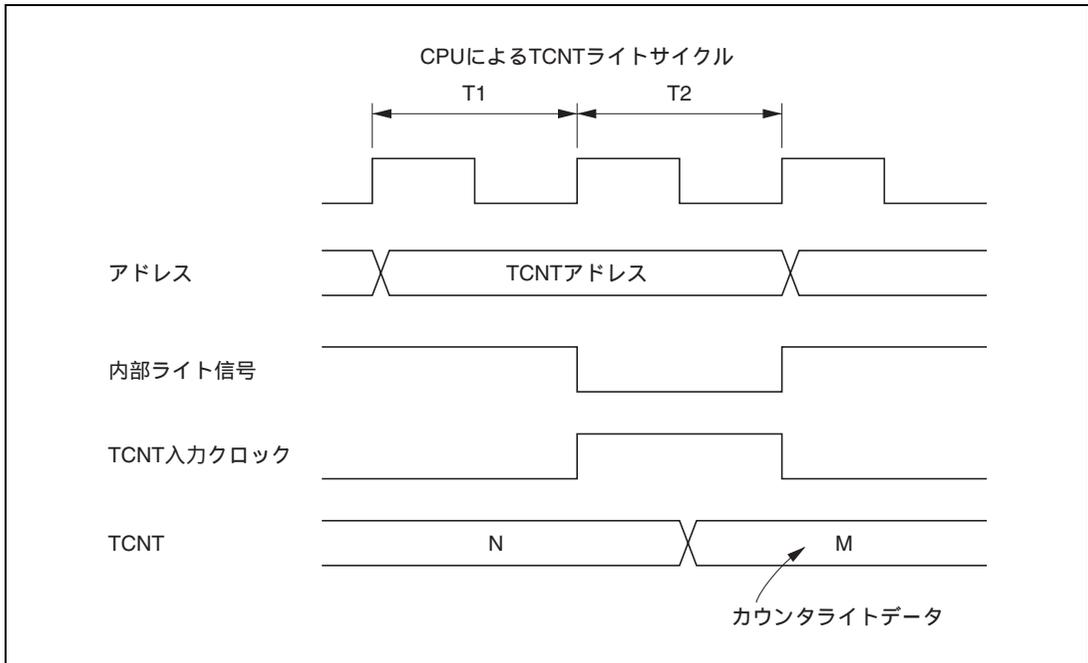


図 13.11 TCNT のライトとカウントアップの競合

13.6.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T2 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。これを図 13.12 に示します。

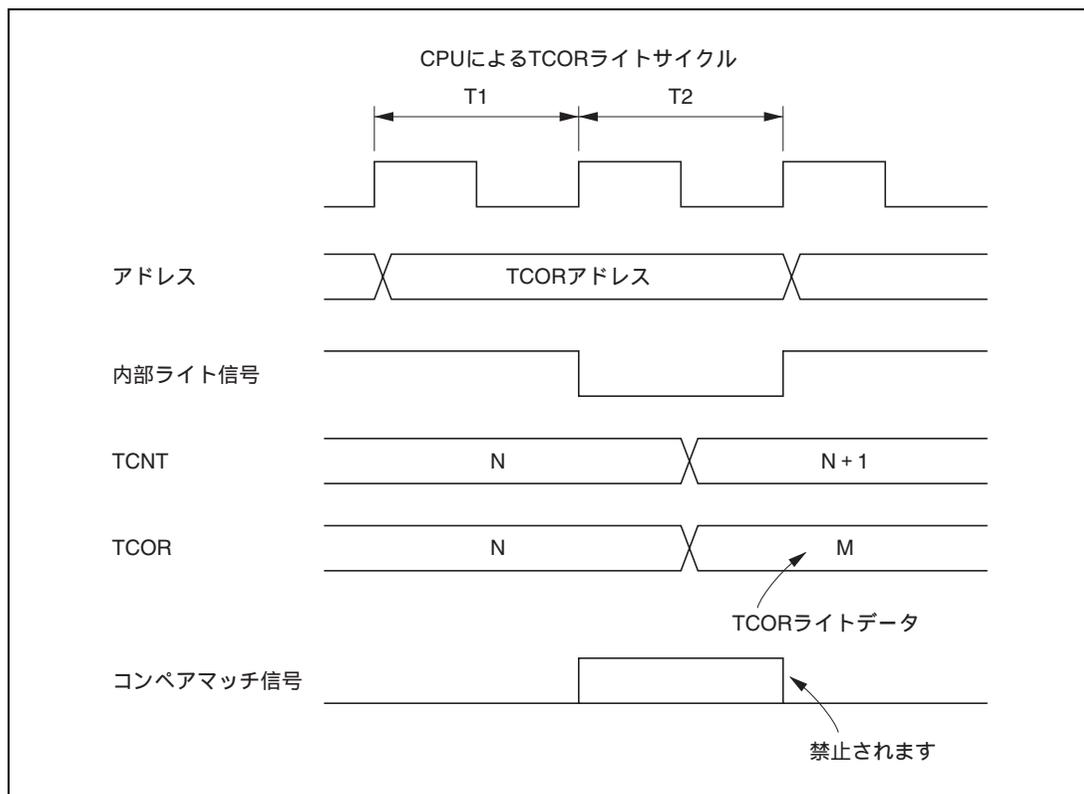


図 13.12 TCOR のライトとコンペアマッチの競合

13.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態は、表 13.4 に示すタイマ出力の優先順位に従って動作します。

表 13.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	↓
変化しない	低

13.6.5 内部クロックの切り替えと TCNT の動作

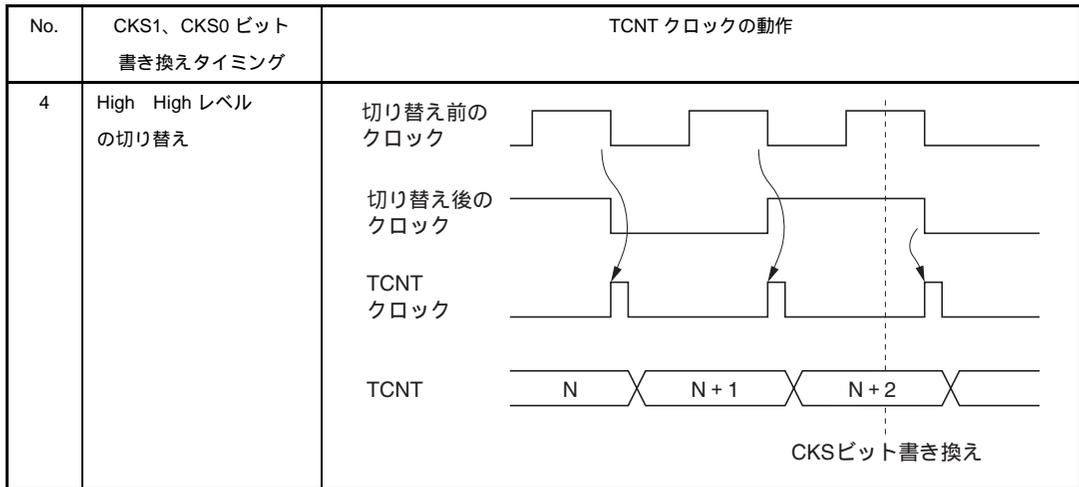
内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 13.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 13.5 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 13.5 内部クロックの切り替えと TCNT の動作

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1</p> <p>CKSビット書き換え</p>
2	Low High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1 N+2</p> <p>CKSビット書き換え</p>
3	High Low レベル* ³ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1 N+2</p> <p>CKSビット書き換え</p> <p>*⁴</p>



- 【注】 *1 Low レベル 停止、および停止 Low レベルの場合を含みます。
 *2 停止 High レベルの場合を含みます。
 *3 High レベル 停止を含みます。
 *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

13.6.6 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因、または DMAC、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

14. 14 ビット PWM タイマ (H8S/2695 には本機能はありません)

14.1 概要

本 LSI は、4 チャンネルの 14 ビット PWM (Pulse Width Modulator) を内蔵しています。LSI 外部にローパルスフイルタを接続することにより、14 ビット D/A 変換器として使用できます。

2 チャンネルの PWM は、カウンタ (DACNT) とコントロールレジスタ (DACR) を共有しています。

14.1.1 特長

14 ビット PWM (D/A) の特長を以下に示します。

リップルの少ないパルス分割方式

2 種類の分解能、2 種類の基本周期を設定可能

分解能は、システムクロック周期とシステムクロック周期 $\times 2$ から選択できます。

また、2 種類の基本周期 $T \times 64$ 、 $T \times 256$ ($T =$ 分解能) が選択できます。

4 種類の動作速度を設定可能

4 種類の動作クロック (基本周期 2 種類 \times 分解能 2 種類) が選択できます。

14.1.2 ブロック図

PWM (D/A) のブロック図 (2チャンネル分) を図 14.1 に示します。

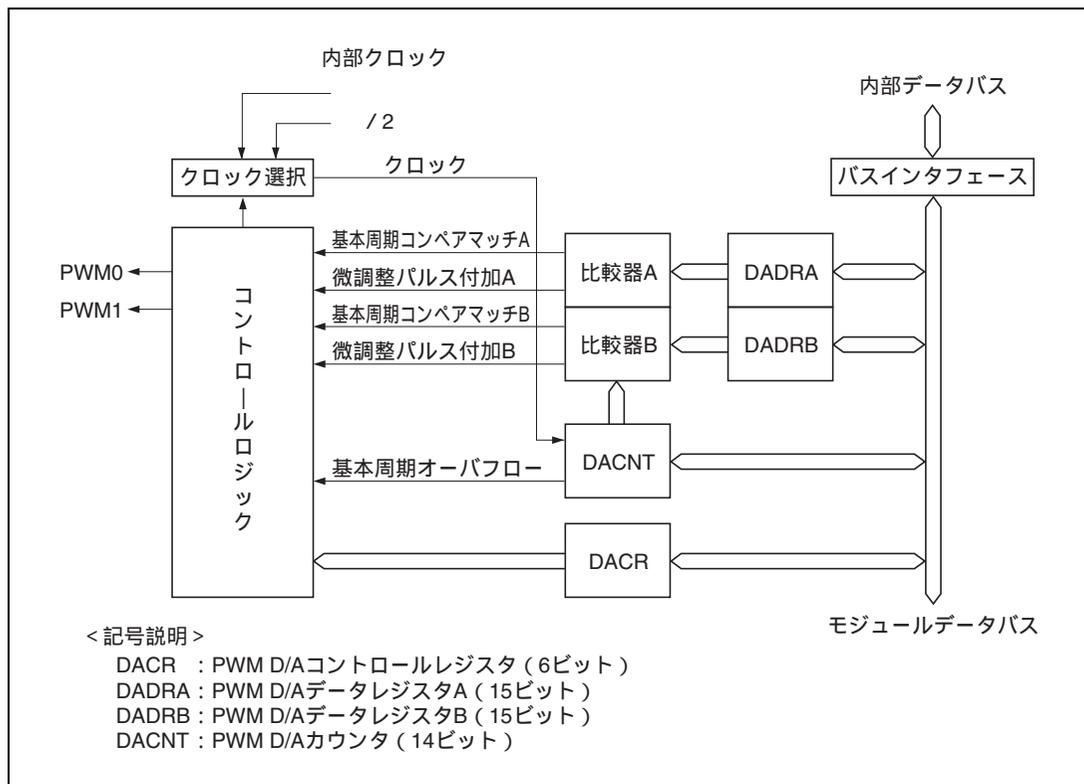


図 14.1 PWM (D/A) のブロック図 (2チャンネル分)

14.1.3 端子構成

PWM (D/A) の入出力端子を表 14.1 に示します。

表 14.1 端子構成

名称	記号	入出力	機能
PWM 出力端子 0	PWM0	出力	チャンネル 0A の PWM 出力
PWM 出力端子 1	PWM1	出力	チャンネル 0B の PWM 出力
PWM 出力端子 2	PWM2	出力	チャンネル 1A の PWM 出力
PWM 出力端子 3	PWM3	出力	チャンネル 1B の PWM 出力

14.1.4 レジスタ構成

PWM (D/A) のレジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

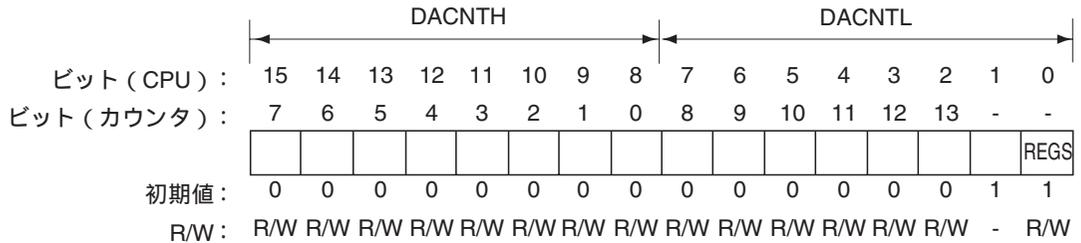
チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	PWM (D/A) コントロールレジスタ 0	DACR0	R/W	H'30	H'FDB8*2
	PWM (D/A) データレジスタ AH0	DADRAH0	R/W	H'FF	H'FDB8*2
	PWM (D/A) データレジスタ AL0	DADRAL0	R/W	H'FF	H'FDB9*2
	PWM (D/A) データレジスタ BH0	DADRBH0	R/W	H'FF	H'FDBA*2
	PWM (D/A) データレジスタ BL0	DADRBL0	R/W	H'FF	H'FDBB*2
	PWM (D/A) カウンタ H0	DACNTH0	R/W	H'00	H'FDBA*2
	PWM (D/A) カウンタ L0	DACNTL0	R/W	H'03	H'FDBB*2
1	PWM (D/A) コントロールレジスタ 1	DACR1	R/W	H'30	H'FDBC*2
	PWM (D/A) データレジスタ AH1	DADRAH1	R/W	H'FF	H'FDBC*2
	PWM (D/A) データレジスタ AL1	DADRAL1	R/W	H'FF	H'FDBD*2
	PWM (D/A) データレジスタ BH1	DADRBH1	R/W	H'FF	H'FDBE*2
	PWM (D/A) データレジスタ BL1	DADRBL1	R/W	H'FF	H'FDBF*2
	PWM (D/A) カウンタ H1	DACNTH1	R/W	H'00	H'FDBE*2
	PWM (D/A) カウンタ L1	DACNTL1	R/W	H'03	H'FDBF*2
共通	モジュールストップコントロールレジスタ B	MSTPCRB	R/W	H'FF	H'FDE9

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 DADRA と DACR、DADRB と DACNT のアドレスは同一です。これらの切り替えは DACNT または DADRB の REGS ビットで行います。

14.2 各レジスタの説明

14.2.1 PWM (D/A) カウンタ (DACNT)



DACNT は、14 ビットのリードライト可能なアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、DACR のクロックセレクトビット (CKS) で選択します。DACNT の値は、CPU からリード/ライト可能ですが、16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「14.3 バスマスタとのインタフェース」を参照してください。

DACNT は、2 チャネルの PWM (D/A) のタイムベースとして使用されます。14 ビット精度で使用する場合には、全ビットを利用し、12 ビット精度で使用する場合には、上位 2 ビット (カウンタ) を無視し、下位 12 ビット (カウンタ) を利用します。

DACNT は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時、または PWME ビットにより、H'0003 に初期化されます。

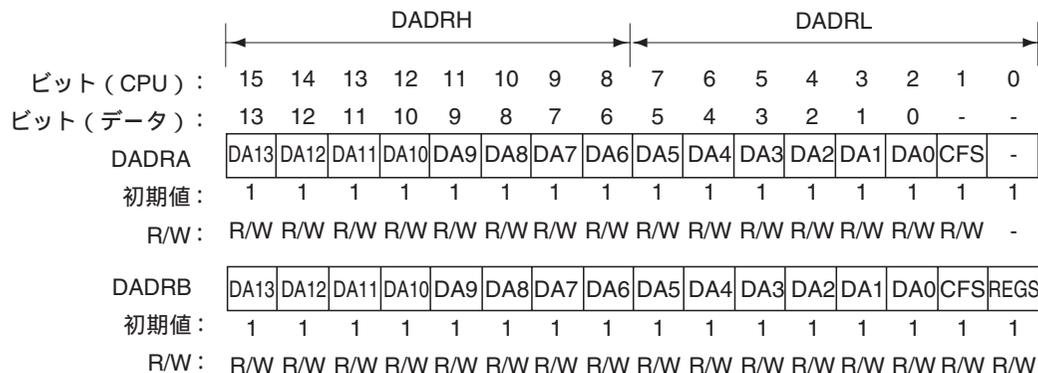
DACNTL のビット 1 (CPU) は、未使用で、リードすると 1 が読み出されます。

- DACNTL ビット 0 : レジスタセレクト (REGS)

DADRA と DACR、DADR B と DACNT は、同一のアドレスに配置されています。REGS ビットは、どちらのレジスタをアクセス可能にするかを選択します。REGS ビットは、DADR B と DACNT のいずれが選択されていてもアクセス可能です。

ビット 0	説 明
REGS	
0	DADRA と DADR B がアクセス可能
1	DACR と DACNT がアクセス可能 (初期値)

14.2.2 D/A データレジスタ A、B (DADRA、DADRB)



DADR は、16 ビットのリード/ライト可能な 2 本のレジスタ (DADRA、DADRB) で構成されています。DADRA は PWM (D/A) チャネル A に、DADRB は PWM (D/A) チャネル B にそれぞれ対応します。DADR の値は、CPU からリード/ライト可能ですが、16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「14.3 パスマスタとのインタフェース」を参照してください。

DADRA の最下位ビット (CPU) は未使用で、リードすると 1 が読み出されます。

DADR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'FFFF に初期化されます。

- ビット15~3 : D/Aデータ13~0 (DA13~0)

DADRの上位14ビットは、D/A変換データを設定します。

DADRの上位14ビットの内容は、DACNTの値と常に比較されており、基本周期ごとに出力波形のデューティを決定し、また分解能幅の付加パルスを出力するかどうかを決定します。この動作を可能にするためには、DADRをある範囲の値に設定する必要があります。この範囲はキャリアフリーケンシセレクト (CFS) によって決まります。範囲外の値をDADRに設定すると、PWM出力は固定されます。

12ビット精度で使用する場合には、下位2ビット (データ) (DA1、0) を0に固定し、上位12ビット (データ) が有効と見なします。この下位2ビット (データ) はDACNTの上位2ビット (カウンタ) に対応しています。

14. 14 ビット PWM タイマ

- ビット1 : キャリアフリーケンシセレクト (CFS)

ビット1	説 明
CFS	
0	基本周期 = 分解能 (T) × 64 で動作、DADR の値の範囲は H'0401 ~ H'FFFD
1	基本周期 = 分解能 (T) × 256 で動作、DADR の値の範囲は H'0103 ~ H'FFFF (初期値)

- DADRAビット0 : リザーブビット
リードすると常に1が読み出されます。ライトは無効です。

- DADRBビット0 : レジスタセレクト (REGS)

DADRAとDACR、DADRBとDACNTは、同一のアドレスに配置されています。REGSビットは、どちらのレジスタをアクセス可能にするかを選択します。REGSビットは、DADRBとDACNTのいずれが選択されていてもアクセス可能です。

ビット0	説 明
REGS	
0	DADRA と DADRB がアクセス可能
1	DACR と DACNT がアクセス可能 (初期値)

14.2.3 PWM (D/A) コントロールレジスタ (DACR)

ビット :	7	6	5	4	3	2	1	0
	TEST	PWME	-	-	OEB	OEA	OS	CKS
初期値 :	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	-	-	R/W	R/W	R/W	R/W

DACR は 8 ビットのリード/ライト可能なレジスタで、テストモードの設定、PWM 出力の許可、出力位相、および動作速度の選択を行います。

DACR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'30 に初期化されます。

- ビット7: テストモード (TEST)

テスト状態を選択します。このビットはLSIのテストのために使用しますので、通常は0に設定してください。

ビット7	説 明	
TEST		
0	PWM (D/A) はユーザ状態となり、通常の動作をします	(初期値)
1	PWM (D/A) はテスト状態となり、正しい変換結果は得られません	

- ビット6: PWMイネーブル (PWME)

DACNTの動作または停止を選択します。

ビット6	説 明	
PWME		
0	DACNT は 14 ビットのアップカウンタとして動作	(初期値)
1	DACNT = H'0003 で停止	

- ビット5、4: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

- ビット3: アウトプットイネーブルB (OEB)

PWM (D/A) チャネルBの出力の許可または禁止を選択します。

ビット3	説 明	
OEB		
0	PWM (D/A) チャネル B 出力 (PWM1/PWM3 出力端子) を禁止	(初期値)
1	PWM (D/A) チャネル B 出力 (PWM1/PWM3 出力端子) を許可	

14. 14 ビット PWM タイマ

• ビット2：アウトプットイネーブルA (OEA)

PWM (D/A) チャネルAの出力の許可 / 禁止を選択します。

ビット 2	説 明
OEA	
0	PWM (D/A) チャネル A 出力 (PWM0/PWM2 出力端子) を禁止 (初期値)
1	PWM (D/A) チャネル A 出力 (PWM0/PWM2 出力端子) を許可

• ビット1：アウトプットセレクト (OS)

PWM (D/A) の出力位相を選択します。

ビット 1	説 明
OS	
0	PWM 直接出力 (初期値)
1	PWM 反転出力

• ビット0：クロックセレクト (CKS)

PWM (D/A) の分解能を選択します。分解能は、システムクロック () が10MHzの場合、100nsと200nsが選択できます。

ビット 0	説 明
CKS	
0	分解能 (T) = システムクロック周期 (t_{cyc}) で動作 (初期値)
1	分解能 (T) = システムクロック周期 (t_{cyc}) × 2 で動作

14.2.4 モジュールストップコントロールレジスタ B (MSTPCRB)

ビット :	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

MSTPCRB は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPB2 ビットを 1 にセットすると、パスサイクルの終了時点で 14 ビット PWM タイマ 0 は動作を停止してモジュールストップモードへ遷移します。MSTPB1 ビットを 1 にセットするとパスサイクルの終了時点で PWM タイマ 1 は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRB は、パワーオンリセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット2 : モジュールストップ (MSTPB2)

PWM0のモジュールストップモードを指定します。

ビット 2	説 明
MSTPB2	
0	PWM0 のモジュールストップモード解除
1	PWM0 のモジュールストップモード設定 (初期値)

- ビット1 : モジュールストップ (MSTPB1)

PWM1のモジュールストップモードを指定します。

ビット 1	説 明
MSTPB1	
0	PWM1 のモジュールストップモード解除
1	PWM1 のモジュールストップモード設定 (初期値)

14.3 バスマスタとのインタフェース

DACNT、DADRA、B は、16 ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間の、データバスは 8 ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

各レジスタのリード/ライトは次のような動作で行われます (CPU とのインタフェース例)。

(1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP にストアされます。次に下位バイトのライトで、TEMP にある上位バイトの値と合わせて 16 ビットデータとしてレジスタにライトされます。

(2) レジスタからのリード時の動作

上位バイトのリードで、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトのリードで、TEMP にある下位バイトの値が CPU に転送されます。

これらのレジスタをアクセスするときは、常に 16 ビット単位 (バイトアクセスを 2 回行うことも含まれます) で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。

図 14.2 に CPU が DACNT をアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。

例 1 DACNT へのライト

```
MOV.W R0, @DACNT ; DACNT へ R0 の内容をライト
```

例 2 DADRA のリード

```
MOV.W @DADRA, R0 ; DADRA の内容を R0 に転送
```

表 14.3 16 ビットレジスタのリード/ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA、DADRB				x
DACNT		x		x

: 許されているアクセスを示します。ワード単位のアクセスとは上位バイト 下位バイトの順序で連続してバイトアクセスすることを含みます。

x : その単位のアクセスでは、結果が保証されないことを示します。

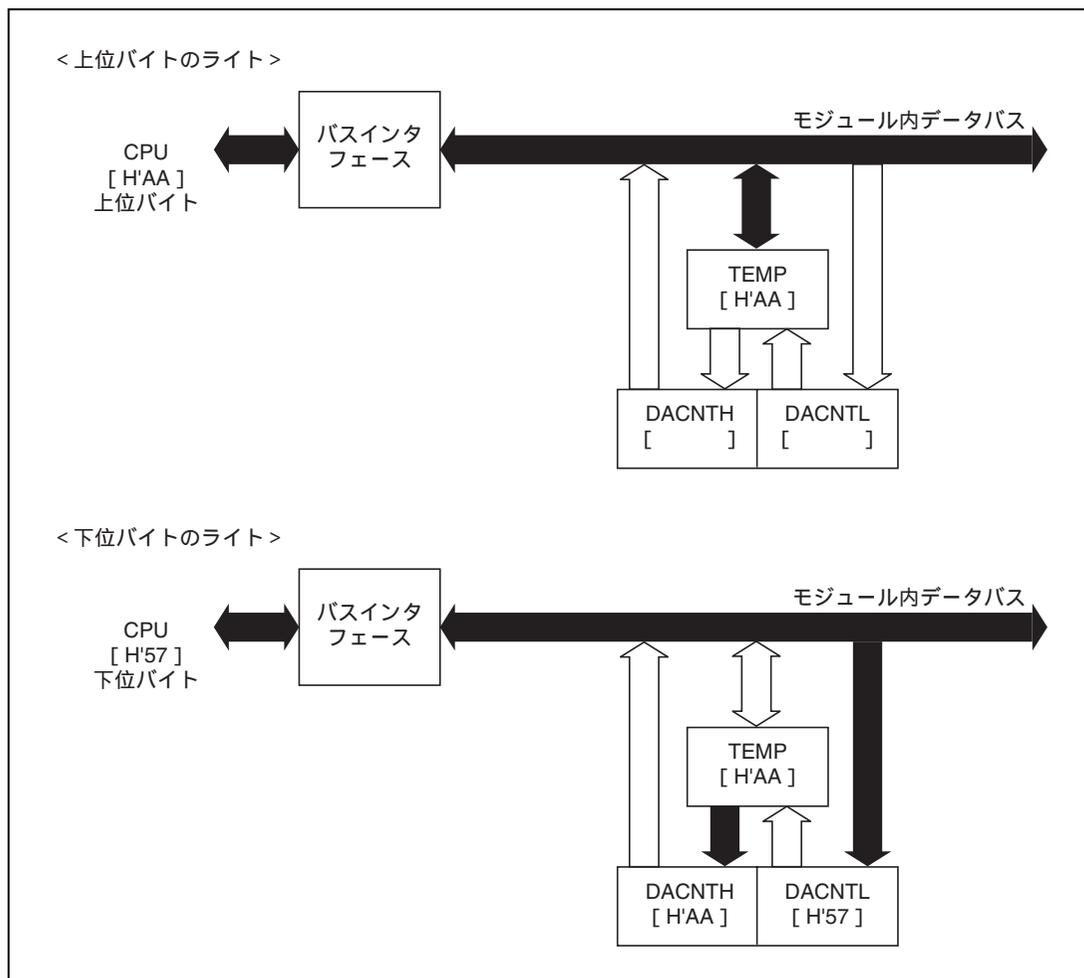


図 14.2 (a) DACNT のアクセス動作 (CPU DACNT [H'AA57] ライト時)

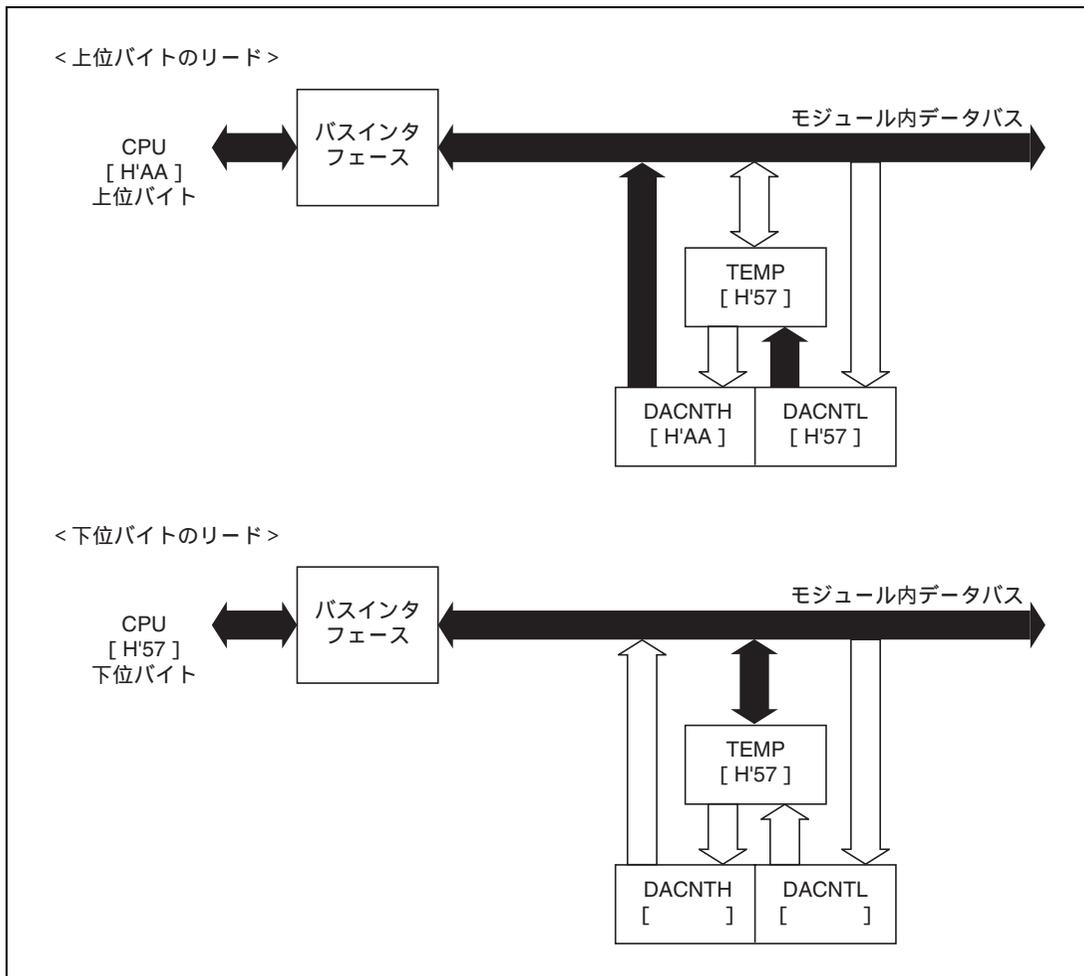


図 14.2 (b) DACNT のアクセス動作 (DACNT CPU [H'AA57] リード時)

14.4 動作説明

PWMX 端子からは、図 14.3 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS = 0 の場合 256 個、CFS = 1 の場合 64 個) の 0 レベル幅の合計 (TL) が DADR のデータと対応しています。OS = 0 の場合、この波形が直接出力されます。OS = 1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 (TH) が DADR のデータと対応しています。この様子を図 14.4 に示します。

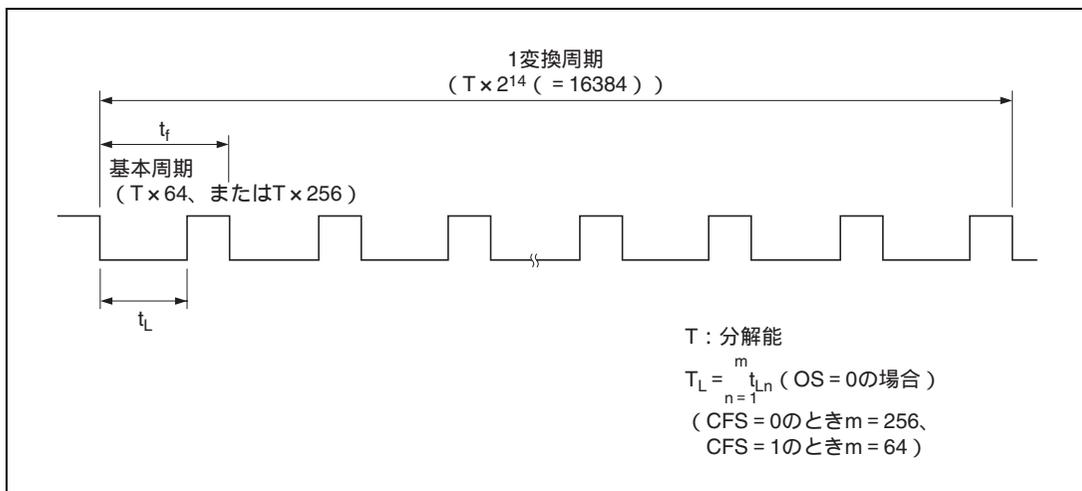


図 14.3 PWM (D/A) の動作

CKS、CFS、OS ビットの設定と、分解能、基本周期、変換周期との関係を表 14.4 に示します。DADR の内容がある値以上ではないと PWM 出力は固定レベルとなります。PWM 出力が図 14.3 で説明した波形となる DADR の設定値と DADR の下位ビットを 0 に固定して、変換精度を 12 ビット、10 ビットとした場合の変換周期などをあわせて表 14.4 に示します。

表 14.4 設定値と動作内容 (: 10MHz 時の例)

CKS	分解能 T (μs)	CFS	基本 周期 (μs)	変換 周期 (μs)	TL / TH (OS = 0 / OS = 1)	DADR 固定ビット				変換 周期* (μs)	
						変換精度 (ビット数)	ビットデータ				
							3	2	1		0
0	0.1	0	6.4	1638.4	(1) 常時 Low/High レベル出力 (DADR = H'0001 ~ H'03FD) (2) (データ値) \times T (DADR = H'0401 ~ H'FFFD)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
		1	25.6	1638.4	(1) 常時 Low/High レベル出力 (DADR = H'0003 ~ H'00FF) (2) (データ値) \times T (DADR = H'0103 ~ H'FFFF)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
1	0.2	0	12.8	3276.8	(1) 常時 Low/High レベル出力 (DADR = H'0001 ~ H'03FD) (2) (データ値) \times T (DADR = H'0401 ~ H'FFFD)	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8
		1	51.2	3276.8	(1) 常時 Low/High レベル出力 (DADR = H'0003 ~ H'00FF) (2) (データ値) \times T (DADR = H'0103 ~ H'FFFF)	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8

【注】 * DADR の特定のビットを固定することにより得られる変換周期です。

(1) OS = 0 (DADR は、 T_L に対応)

(a) CFS = 0 (基本周期 = 分解能 (T) \times 64)

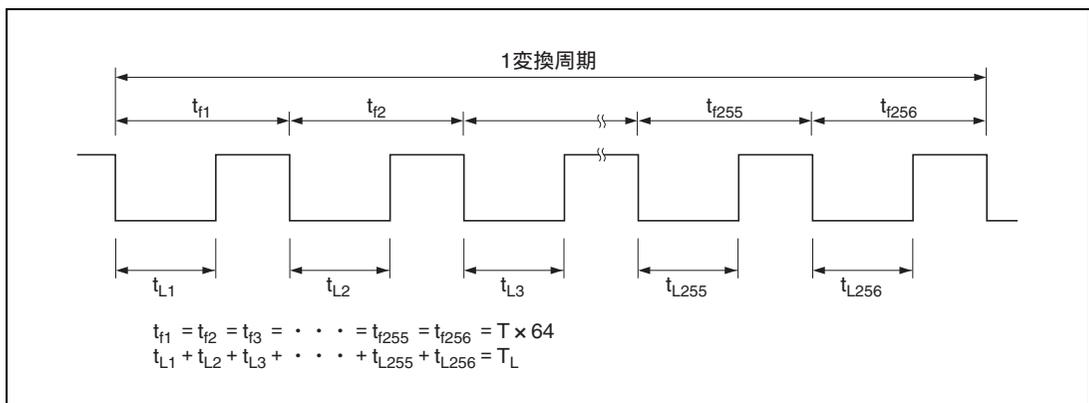


図 14.4 (1) 出力波形

(b) CFS = 1 (基本周期 = 分解能 (T) × 256)

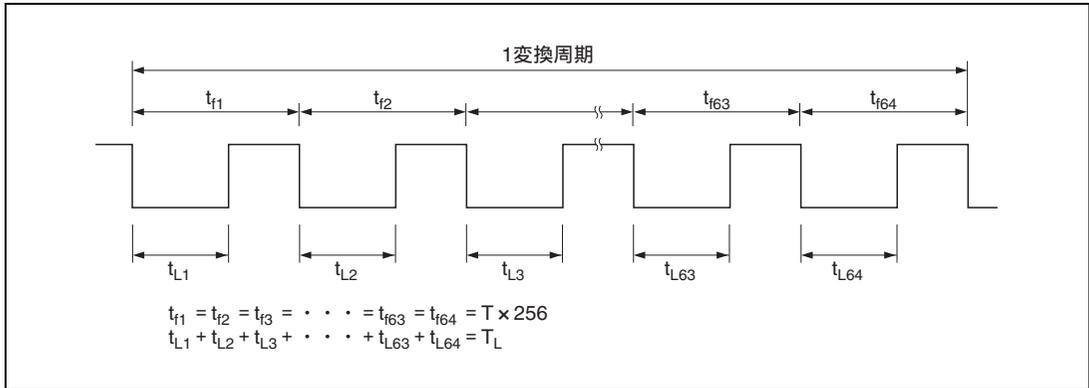


図 14.4 (2) 出力波形

(2) OS = 1 (DADR は、 T_H に対応)

(a) CFS = 0 (基本周期 = 分解能 (T) × 64)

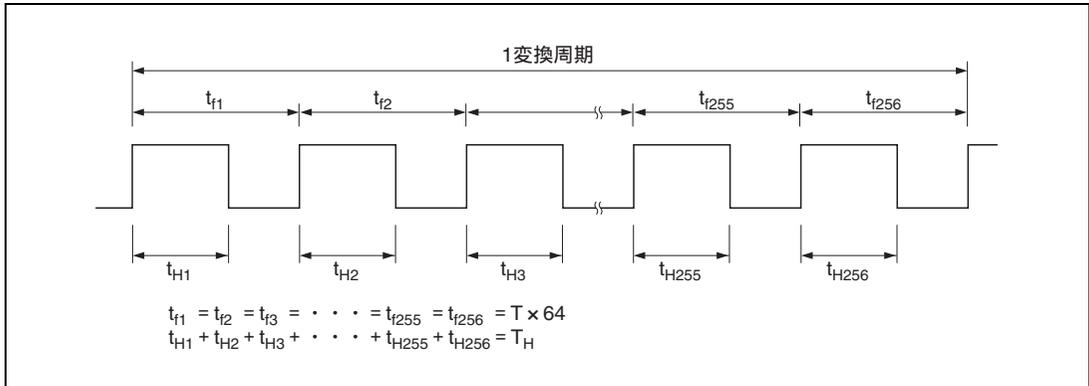


図 14.4 (3) 出力波形

14. 14 ビット PWM タイマ

(b) CFS = 1 (基本周期 = 分解能 (T) × 256)

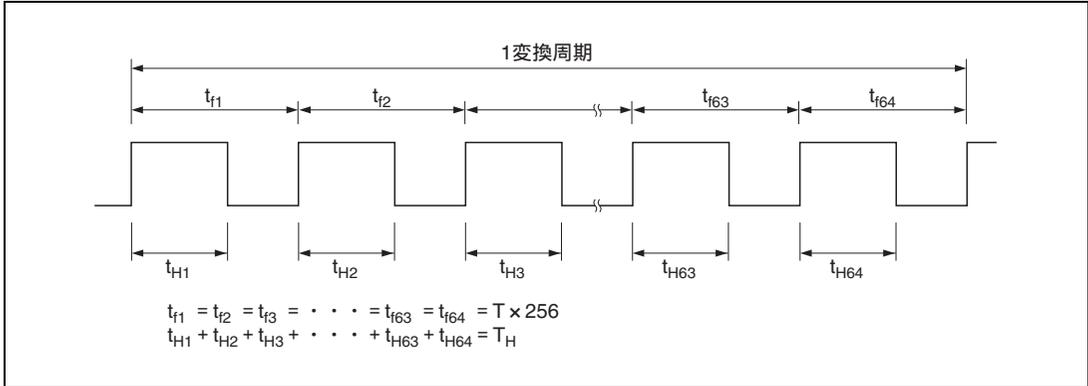


図 14.4 (4) 出力波形

15. ウォッチドッグタイマ (WDT) (H8S/2695 では WDT1 は使用できません)

15.1 概要

本 LSI では 2 チャンネルのウォッチドッグタイマ (WDT0、WDT1) を内蔵しています。

ウォッチドッグタイマは、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

15.1.1 特長

WDT には次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかNMI割り込みを発生するかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

- カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

WDT0 は 8 種類、WDT1 は 16 種類のカウンタ入力クロックを選択可能

- WDTの最大インターバルはシステムクロック周期 $\times 131072 \times 256$
- WDT1*の入力カウンタにサブクロックを選択可能
サブクロック選択の場合、最大インターバルはサブクロック周期 $\times 256 \times 256$ 。

選択したクロックを BUZZ*端子から出力可能 (WDT1*)

【注】 * H8S/2695 では本機能は使用できません。

15. ウォッチドッグタイマ (WDT)

15.1.2 ブロック図

WDTのブロック図を図 15.1 (a) と図 15.1 (b) に示します。

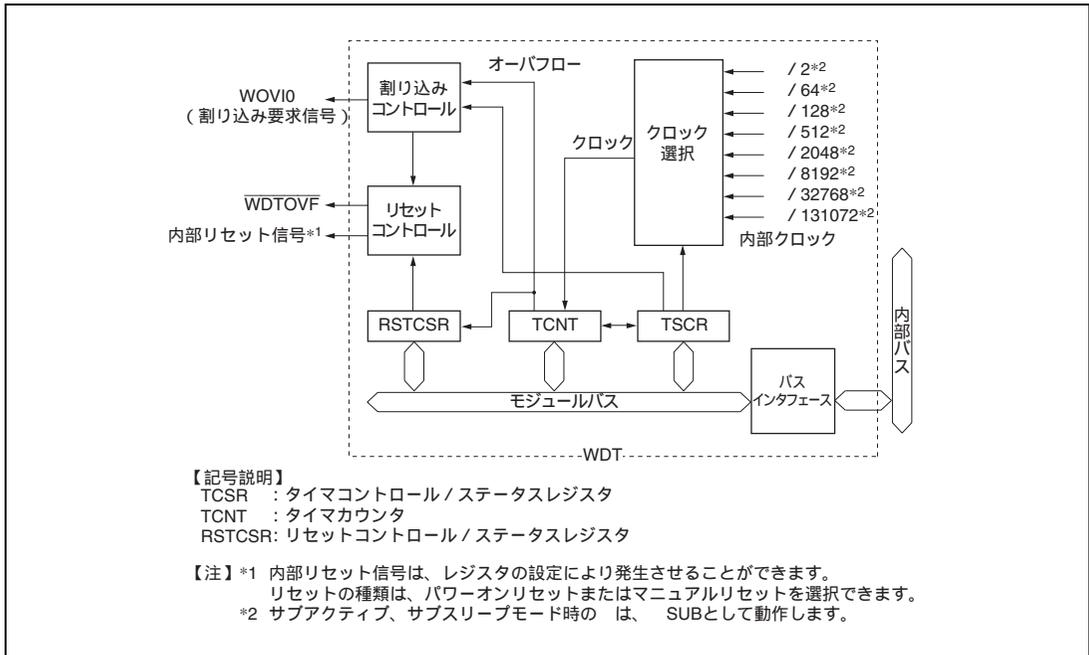


図 15.1 (a) WDT0 のブロック図

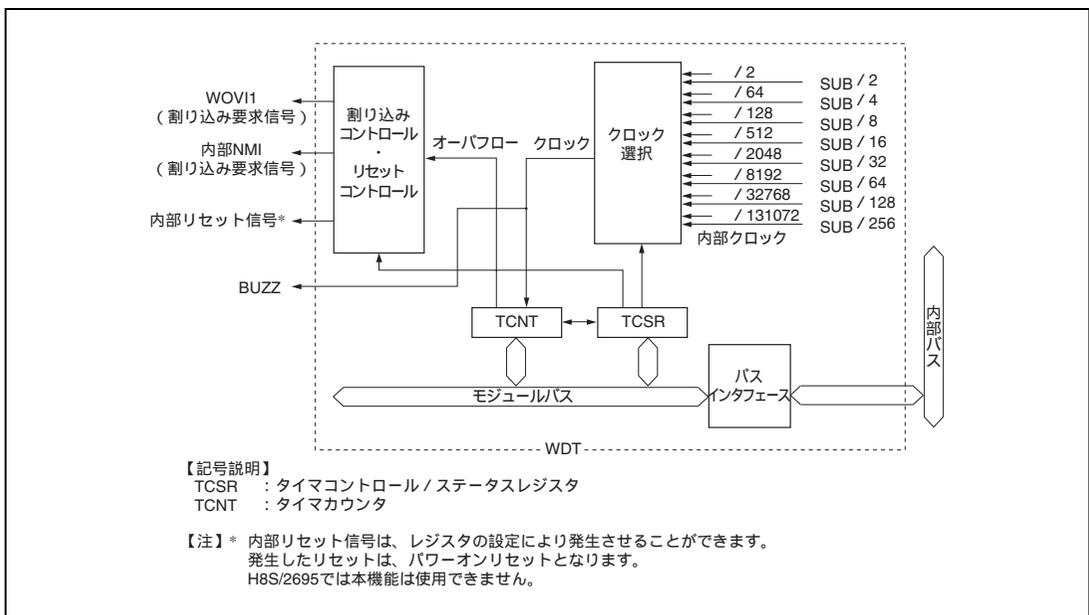


図 15.1 (b) WDT1 のブロック図

15.1.3 端子構成

WDT の端子を表 15.1 に示します。

表 15.1 端子構成

名 称	記号	入出力	機 能
ウォッチドッグタイマ オーバフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタ オーバフロー信号出力
ブザー出力	BUZZ*	出力	ウォッチドッグタイマ (WDT1) で選択したクロック出力

【注】 * H8S/2695 では本機能は使用できません。

15.1.4 レジスタ構成

WDT のレジスタ構成を表 15.2 に示します。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 15.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1	
					ライト時*2	リード時
0	タイマコントロール/ ステータスレジスタ 0	TCSR0	R/(W) *3	H'18	H'FF74	H'FF74
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FF74	H'FF75
	リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W) *3	H'1F	H'FF76	H'FF77
1	タイマコントロール/ ステータスレジスタ 1	TCSR1	R/(W) *3	H'00	H'FFA2	H'FFA2
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFA2	H'FFA3
共通	端子機能コントロールレジスタ	PFCSR	R/W	H'0D/ H'00	H'FDEB	

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ライトについては、「15.2.5 レジスタアクセス時の注意」を参照してください。

*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

15.2 各レジスタの説明

15.2.1 タイマカウンタ (TCNT)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TCNT は、リード/ライト*可能な 8 ビットのアップカウンタです。TCSR の TME ビットを 1 にすると、TCSR の CKS2~CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF H'00) すると、TCSR の WT/IT ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 ($\overline{\text{WDTOVF}}$) またはインターバルタイマ割り込み (WOVI) が発生します。

TCNT は、リセット、ハードウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】 * TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「15.2.5 レジスタアクセス時の注意」を参照してください。

15.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR0

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値 :	0	0	0	1	1	0	0	0
R/W :	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

TCSR1*¹

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)* ²	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *¹ H8S/2695 で TCSR1 レジスタに書き込みを行う場合は必ず 0 を書き込んでください。

*² フラグをクリアするための 0 ライトのみ可能です。

TCSR は、リード/ライト*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR0 (TCSR1) は、リセットまたはハードウェアスタンバイモード時に H'18 (H'00) に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】 * TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「15.2.5 レジスタアクセス時の注意」を参照してください。

• ビット7：オーバフローフラグ (OVF)

TCNTがオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット7	説明
OVF	
0	[クリア条件] (初期値) (1) TME ビットに 0 をライトしたとき (WDT1 のみ) (2) OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき
1	[セット条件] TCNT がオーバフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。

インターバルタイマモード時に、インターバルタイマ割り込みルーチン内では、OVF フラグのクリア条件にあるとおり、OVF=1 の状態で TCSR をリード後、OVF に 0 をライトすることで OVF フラグをクリアすることができます。

しかし、インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合、OVF フラグのセットされるタイミングと、OVF フラグをリードするタイミングが競合したとき、OVF=1 をリードしても、OVF=1 が認識されません。

この場合、OVF=1 の状態で 2 回以上リードすることにより、OVF フラグのクリア条件を確実に満たすことができますので、前述の例のように、OVF=1 の状態を 2 回以上リードしてから OVF フラグをクリアするようにしてください。

• ビット6：タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNTがオーバフローしたとき、WDT0は、ウォッチドッグタイマモード時にはWDT0OVF信号を発生し、インターバルタイマモード時には、WOVI割り込みをCPUに対して要求します。またWDT1*は、ウォッチドッグタイマモード時は、リセットまたは、NMI割り込みを、インターバルタイマモード時はWOVI割り込みをCPUに対して要求します。

【注】 * H8S/2695 では本機能は使用できません。

15. ウォッチドッグタイマ (WDT)

WDT0 のモード選択

WDT0 の TCSR	説 明
WT/ \overline{IT}	
0	インターバルタイマモード：TCNT がオーバーフローしたとき CPU ヘインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバーフローしたとき WDTOVF 信号を外部へ出力*

【注】 * ウォッチドッグタイマモードで TCNT がオーバーフローした場合についての詳細は、「15.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

WDT1*のモード選択

WDT1 の TCSR	説 明
WT/ \overline{IT}	
0	インターバルタイマモード：TCNT がオーバーフローしたとき CPU ヘインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバーフローしたとき CPU ヘリセットまたは NMI 割り込みを要求

【注】 * H8S/2695 で TCSR1 レジスタの WT/ \overline{IT} ビットに書き込みを行う場合は必ず 0 を書き込んでください。

- ビット5：タイマイネーブル (TME)
タイマ動作の開始または停止を設定します。

ビット 5	説 明
TME	
0	TCNT を H'00 に初期化し、カウント動作を停止 (初期値)
1	TCNT はカウント動作

- WDT0のTCSRビット4：リザーブビット
リードすると常に1が読み出されます。ライトは無効です。

【注】 H8S/2695 で TCSR1 レジスタの TME ビットに書き込みを行う場合は必ず 0 を書き込んでください。

- WDT1のTCSRビット4：プリスケラセレクト (PSS)
WDT1のTCNTの入力クロックソースを選択します。
詳細は、クロックセレクト2~0の説明を参照してください。

WDT1 の TCSR ビット 4	説 明
PSS	
0	TCNT は ベースのプリスケラ (PSM) の分周クロックをカウント (初期値)
1	TCNT は SUB ベースのプリスケラ (PSS) の分周クロックをカウント

【注】 H8S/2695 で TCSR1 レジスタの PSS ビットに書き込みを行う場合は必ず 0 を書き込んでください。

- WDT0のTCSRビット3：リザーブビット
リードすると常に1が読み出されます。ライトは無効です。
- WDT1のTCSRビット3：リセットまたはNMI (RST / \overline{NMI})
ウォッチドッグタイマモードでのTCNTオーバフロー時に、内部リセットとNMI割り込み要求のいずれを要求するかを選択します。

ビット 3	説 明
RST / \overline{NMI}	
0	NMI 割り込みを要求 (初期値)
1	内部リセットを要求

- ビット2~0：クロックセレクト2~0 (CKS2~CKS0)
システムクロック () またはサブクロック (SUB) を分周して得られる内部クロックから、TCNTに入力するクロックを選択します。

【注】 H8S/2695 で TCSR1 レジスタの RST / \overline{NMI} に書き込みを行う場合は必ず 0 を書き込んでください。

WDT0 の入力クロック選択

ビット2	ビット1	ビット0	説 明	
CKS2	CKS1	CKS0	クロック*2	オーバフロー周期*1 (= 25MHz の場合)
0	0	0	/ 2 (初期値)	20.4 μs
		1	/ 64	655.3 μs
	1	0	/ 128	1.3ms
		1	/ 512	5.2ms
1	0	0	/ 2048	20.9ms
		1	/ 8192	83.8ms
	1	0	/ 32768	335.5ms
		1	/ 131072	1.34s

【注】 *1 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

*2 H8S/2633 グループでは、サブアクティブ、サブスリープモード時の は、SUB として動作します。

WDT1*1 の入力クロック選択

ビット4	ビット2	ビット1	ビット0	説 明	
PSS	CSK2	CSK1	CSK0	クロック	オーバフロー周期*2 (= 25MHz の場合) (SUB = 32.768kHz の場合)
0	0	0	0	/ 2 (初期値)	20.4 μs
			1	/ 64	655.3 μs
		1	0	/ 128	1.3ms
			1	/ 512	5.2ms
	1	0	0	/ 2048	20.9ms
			1	/ 8192	83.8ms
		1	0	/ 32768	335.5ms
			1	/ 131072	1.34s
1	0	0	0	SUB / 2	15.6ms
			1	SUB / 4	31.3ms
		1	0	SUB / 8	62.5ms
			1	SUB / 16	125ms
	1	0	0	SUB / 32	250ms
			1	SUB / 64	500ms
		1	0	SUB / 128	1s
			1	SUB / 256	2s

【注】 *1 H8S/2695 では WDT1 は使用できません。

*2 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

15.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	-	-	-	-	-

【注】* フラグをクリアするための0ライトのみ可能です。

RSTCSR は、リード/ライト*可能な8ビットのレジスタで、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は「15.2.5 レジスタアクセス時の注意」を参照してください。

- ビット7: ウォッチドッグタイマオーバーフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバーフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	[クリア条件] (初期値) WOVF = 1 の状態で RSTCSR をリードした後、WOVF に 0 をライトしたとき
1	[セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー (H'FF H'00) したとき

- ビット6: リセットイネーブル (RSTE)

ウォッチドッグタイマモードでTCNTがオーバーフローしたとき、本LSI内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNT がオーバーフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバーフローしたとき内部リセットする

【注】 * 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

15. ウォッチドッグタイマ (WDT)

• ビット5: リセットセレクト (RSTS)

ウォッチドッグタイマモードでTCNTがオーバフローして発生する、内部リセットの種類を選択します。

リセットの種類については、「第4章 例外処理」を参照してください。

ビット5	説 明	
RSTS		
0	パワーオンリセット	(初期値)
1	マニュアルリセット	

• ビット4~0: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

15.2.4 端子機能コントロールレジスタ (PFCR)

ビット:	7	6	5	4	3	2	1	0
	CSS07	CSS36	BUZZE*	LCASS	AE3	AE2	AE1	AE0
初期値:	0	0	0	0	1/0	1/0	0	1/0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* H8S/2695では本機能は使用できません。

PFCR は 8 ビットのリード/ライト可能なレジスタで、外部拡張モード時のアドレス出力制御を行います。ここでは、ビット5についてのみ説明します。その他のビットの詳細については「7.2.6 端子機能コントロールレジスタ (PFCR)」を参照してください。

• ビット5: BUZZ出力イネーブル (BUZZE)

PF1端子のBUZZ出力を許可/禁止します。PSS、CKS2~CKS0ビットにより選択されたWDT1の入カクロックをBUZZ信号として出力します。

ビット5	説 明	
BUZZE		
0	PF1 入出力端子として機能	(初期値)
1	BUZZ 出力端子として機能	

【注】 H8S/2695 で BUZZE ビットに書き込みを行う場合は必ず 0 を書き込んでください。

15.2.5 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR へのライト

TCNT、TCSR ヘライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 15.2 に示すように、TCNT ヘライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR ヘライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR ヘライトされます。

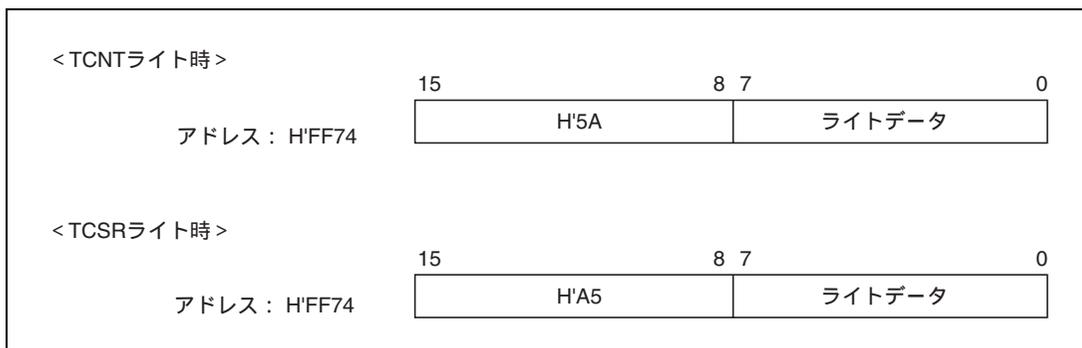


図 15.2 TCNT、TCSR へのライト (WDT0 の例)

(2) RSTCSR へのライト

RSTCSR ヘライトするときは、アドレス H'FF76 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、図 15.3 に示すように、ライトの方法が異なります。

WOVF ビットへ 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

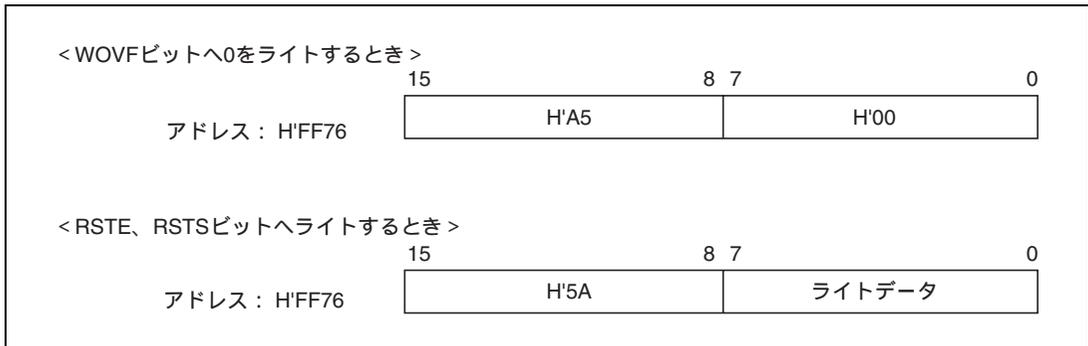


図 15.3 RSTCSR へのライト (WDT0 の例)

(3) TCNT、TCSR、RSTCSR からのリード (WDT0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

15.3 動作説明

15.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときは、TCSR の $\overline{WT/IT}$ ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると WDT0 の場合、 \overline{WDTOVF} 信号が外部に出力されます。これを図 15.4 (a) に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、RSTE = 1 のとき 132 ステート、RSTE = 0 のとき 130 ステートの間出力されます。

RSTCSR の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によって、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、518 ステートの間出力されません。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

WDT1 の場合、516 システムクロック (516) の間、LSI をリセットするか、または NMI 割り込み要求を発生します。(クロックソースを SUB (PSS = 1) とした場合、515 または 516 ステート) これを図 15.4 (b) に示します。

ウォッチドッグタイマからの NMI 割り込み要求と、NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

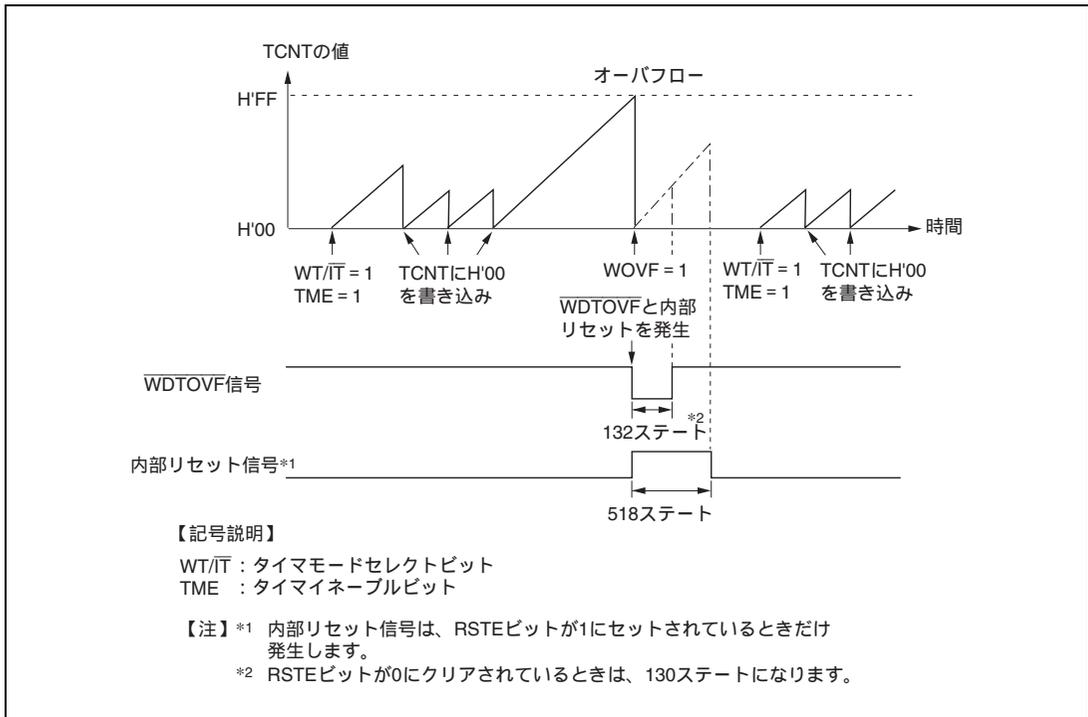


図 15.4 (a) WDT0のウォッチドッグタイマモード時の動作

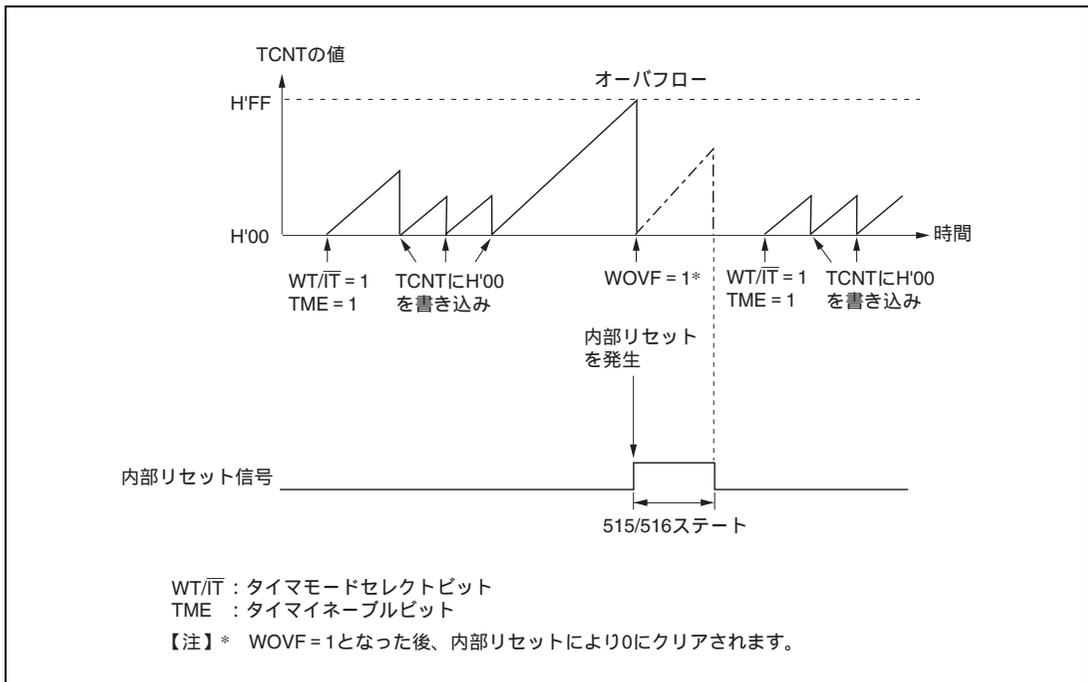


図 15.4 (b) WDT1のウォッチドッグタイマモード時の動作

15.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、TCSR の WT/\overline{IT} ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 15.5 に示すように、TCNT がオーバーフローすることによりインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

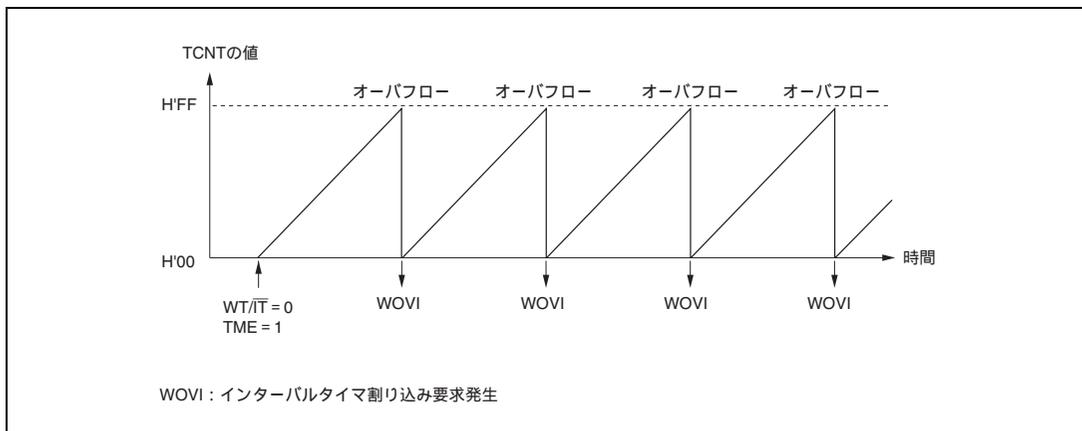


図 15.5 インターバルタイマモード時の動作

15.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 15.6 に示します。

WDT1*では、ウォッチドッグタイマモードで NMI 要求を選択した場合、TCNT がオーバーフローすると TCSR の OVF ビットが 1 にセットされ、同時に NMI 割り込みが要求されます。

【注】 * H8S/2695 では WDT1 は使用できません。

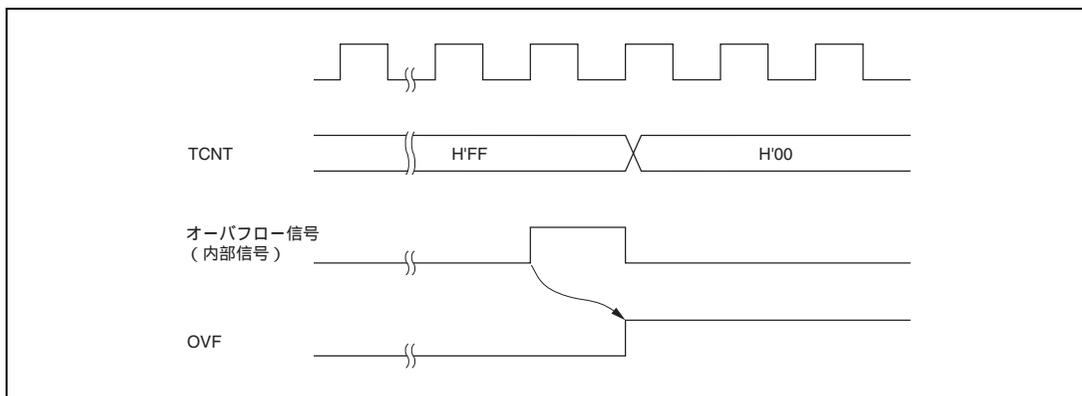


図 15.6 OVF のセットタイミング

15.3.4 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

WDT0 の場合、ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が Low レベルになります。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 15.7 に示します。

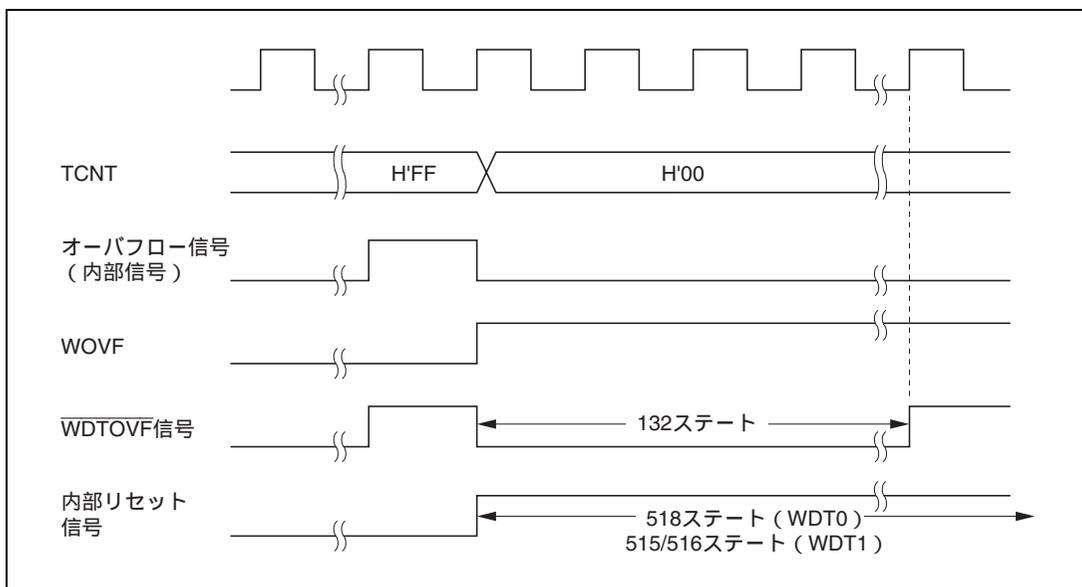


図 15.7 WOVF のセットタイミング

15.4 割り込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで、NMI 割り込み要求を選択したとき、オーバーフローにより NMI 割り込み要求が発生します。

15.5 使用上の注意

15.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 15.8 に示します。

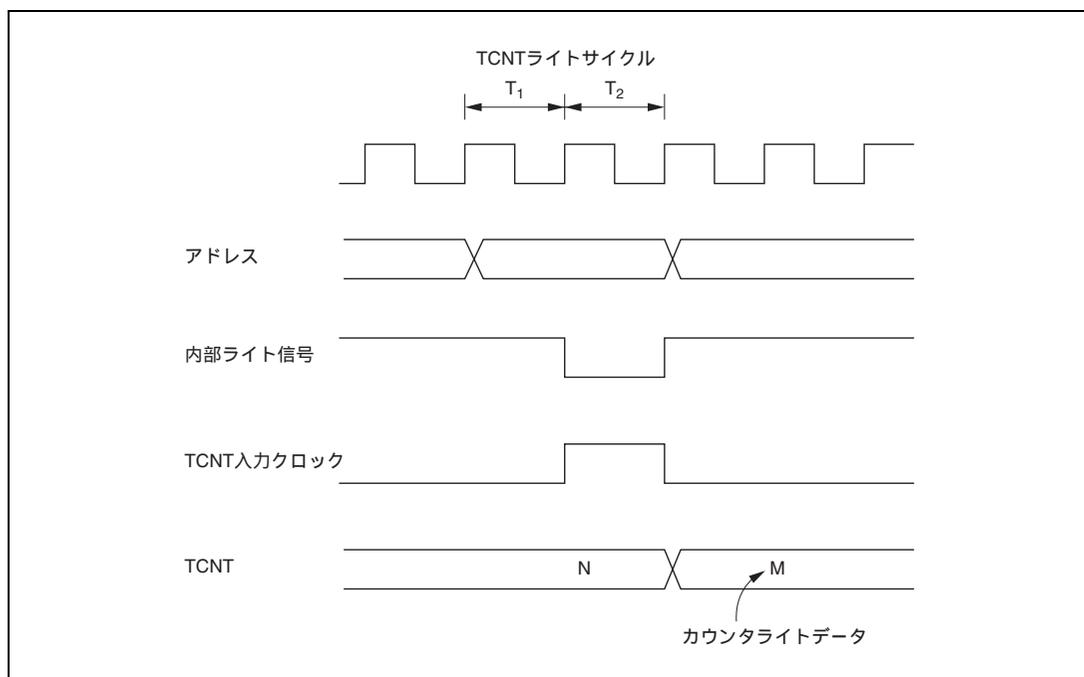


図 15.8 TCNT のライトとカウントアップの競合

15.5.2 PSS、CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の PSS、CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。PSS、CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

15.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

15.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 15.9 の示すような回路で行ってください。

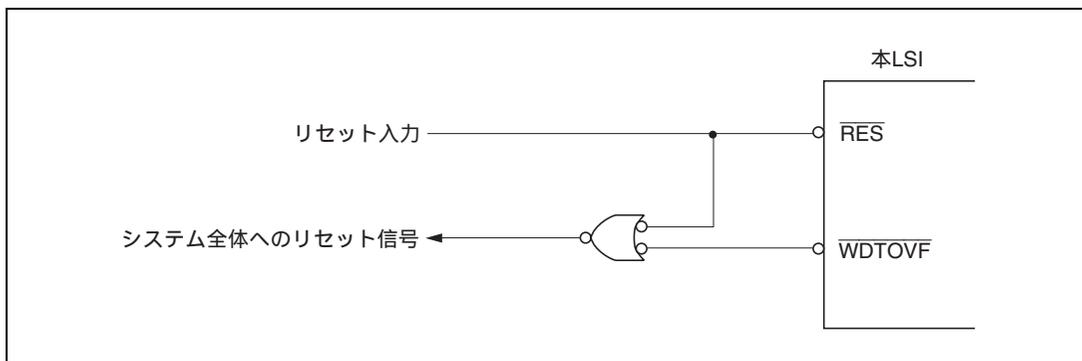


図 15.9 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

15.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号から Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、RSTCSR をリードした後、WOVF フラグに 0 をライトしてください。

15.5.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合等、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

16. シリアルコミュニケーションインタフェース (SCI、IrDA) (H8S/2695 には IrDA 機能はありません)

16.1 概要

本 LSI は、独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

5 チャンネルの SCI のうち 1 チャンネルは、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

16.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

(a) 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
データ長 : 7 ビット / 8 ビット
ストップビット長 : 1 ビット / 2 ビット
パリティ : 偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット : 1 / 0
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

(b) クロック同期式モード

- クロックに同期してシリアルデータ通信を実行
クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- シリアルデータ通信フォーマットは 1 種類
データ長 : 8 ビット

- 受信エラーの検出：オーバランエラーを検出

全二重通信が可能

- 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

LSB ファースト方式 / MSB ファースト方式の選択が可能

- 通信モードによらず（調歩同期モード7ビットデータの場合を除く）選択可能*

【注】 * 本章では LSB ファースト方式の例を説明しています。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

- 送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、DMAコントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動させてデータ転送を実行可能

モジュールストップモードの設定

- 初期値ではSCIの動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

16.1.2 ブロック図

図 16.1 に SCI のブロック図を示します。

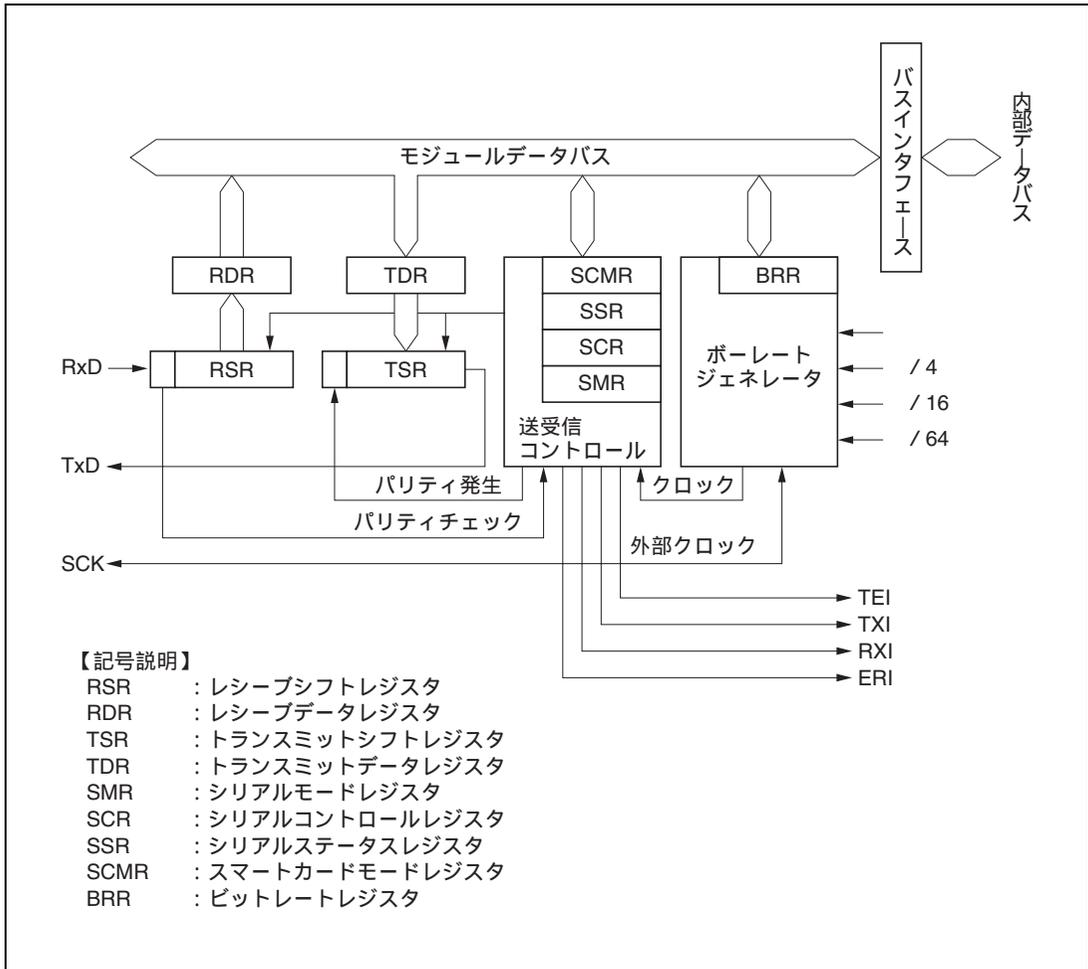


図 16.1 SCI のブロック図

16.1.3 端子構成

SCI は、表 16.1 に示すシリアル端子を持っています。

表 16.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0 /IrRxD	入力	SCI0 の受信データ入力 (通常 / IrDA)
	トランスミットデータ端子 0	TxD0 /IrTxD	出力	SCI0 の送信データ出力 (通常 / IrDA)
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD2	出力	SCI2 の送信データ出力
3	シリアルクロック端子 3	SCK3	入出力	SCI3 のクロック入出力
	レシーブデータ端子 3	RxD3	入力	SCI3 の受信データ入力
	トランスミットデータ端子 3	TxD3	出力	SCI3 の送信データ出力
4	シリアルクロック端子 4	SCK4	入出力	SCI4 のクロック入出力
	レシーブデータ端子 4	RxD4	入力	SCI4 の受信データ入力
	トランスミットデータ端子 4	TxD4	出力	SCI4 の送信データ出力

【注】本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

16.1.4 レジスタ構成

SCIには、表 16.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード/クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部/受信部の制御を行うことができます。

表 16.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*1
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78*3
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79*3
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A*3
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B*3
	シリアルステータスレジスタ 0	SSR0	R/(W)*2	H'84	H'FF7C*3
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D*3
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E*3
	IrDA コントロールレジスタ	IrCR	R/W	H'00	H'FDB0
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80*3
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81*3
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82*3
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83*3
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84*3
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85*3
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86*3
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)*2	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
3	シリアルモードレジスタ 3	SMR3	R/W	H'00	H'FDD0
	ビットレートレジスタ 3	BRR3	R/W	H'FF	H'FDD1
	シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FDD2
	トランスミットデータレジスタ 3	TDR3	R/W	H'FF	H'FDD3
	シリアルステータスレジスタ 3	SSR3	R/(W)*2	H'84	H'FDD4
	レシーブデータレジスタ 3	RDR3	R	H'00	H'FDD5
	スマートカードモードレジスタ 3	SCMR3	R/W	H'F2	H'FDD6

チャンネル	名 称	略称	R/W	初期値	アドレス* ¹
4	シリアルモードレジスタ 4	SMR4	R/W	H'00	H'FDD8
	ビットレートレジスタ 4	BRR4	R/W	H'FF	H'FDD9
	シリアルコントロールレジスタ 4	SCR4	R/W	H'00	H'FDDA
	トランスミットデータレジスタ 4	TDR4	R/W	H'FF	H'FDDB
	シリアルステータスレジスタ 4	SSR4	R/(W)* ²	H'84	H'FDDC
	レシーブデータレジスタ 4	RDR4	R	H'00	H'FDDD
	スマートカードモードレジスタ 4	SCMR4	R/W	H'F2	H'FDDE
共通	モジュールストップ	MSTPCRB	R/W	H'FF	H'FDE9
	コントロールレジスタ B、C	MSTPCRC	R/W	H'FF	H'FDEA

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

*3 一部の SCI のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ X (SCRX) の IICE ビットで行います。

16.2 各レジスタの説明

16.2.1 レシーブシフトレジスタ (RSR)

ビット :	7	6	5	4	3	2	1	0
R/W :	-	-	-	-	-	-	-	-

RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

16.2.2 レシーブデータレジスタ (RDR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納するレジスタです。

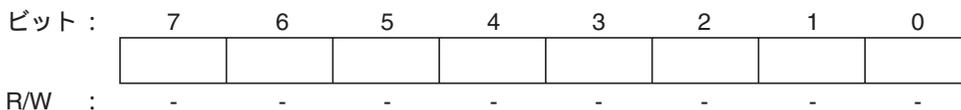
SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタです。CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

16.2.3 トランスミットシフトレジスタ (TSR)



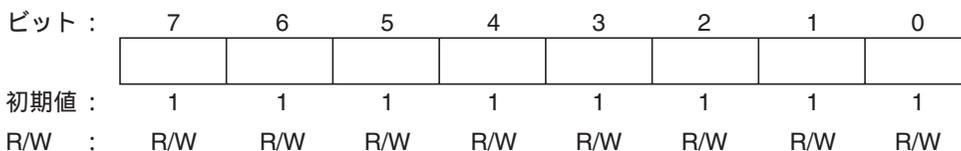
TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

16.2.4 トランスミットデータレジスタ (TDR)



TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

16.2.5 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセットまたはハードウェアスタンバイ時に H'00 に初期化されます。

- ビット7: コミュニケーションモード (C/ \bar{A})

SCIの動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット7	説 明	
C/ \bar{A}		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

- ビット6: キャラクタレンクス (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説 明	
CHR		
0	8ビットデータ	(初期値)
1	7ビットデータ*	

【注】 * 7ビットデータを選択した場合、TDRのMSB(ビット7)は送信されません。また、LSBファースト/MSBファーストの選択はできません。

• ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードおよびマルチプロセッサフォーマットでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

• ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。

O/Eビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合およびマルチプロセッサフォーマットでは、O/Eビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

- ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット：送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。(初期値)
1	2ストップビット：送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

- ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO_Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみに有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「16.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

- ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定により、 $\frac{1}{4}$ 、 $\frac{1}{16}$ 、 $\frac{1}{64}$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	$\frac{1}{4}$ クロック
1	0	$\frac{1}{16}$ クロック
	1	$\frac{1}{64}$ クロック

16.2.6 シリアルコントロールレジスタ (SCR)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセットまたはハードウェアスタンバイ時に H'00 に初期化されます。

- ビット7: トランスミットインタラプトイネーブル (TIE)

TDRからTSRへシリアル送信データが転送されSSRのTDREフラグが1にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止 (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

- ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがRSRからRDRへ転送されてSSRのRDRFフラグが1にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

- ビット5：トランスミットイネーブル (TE)

SCIのシリアル送信動作の開始を許可または禁止します。

ビット 5	説 明	
TE		
0	送信動作を禁止* ¹	(初期値)
1	送信動作を許可* ²	

【注】 *1 SSR の TDRE フラグは 1 に固定されます。

*2 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始しません。

なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

- ビット4：レシーブイネーブル (RE)

SCIのシリアル受信動作の開始を許可または禁止します。

ビット 4	説 明	
RE		
0	受信動作を禁止* ¹	(初期値)
1	受信動作を許可* ²	

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

• ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIEビットの設定は、調歩同期式モードで、かつ、SMRのMPビットが1に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいはMPビットが0のときには、MPIEビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) (初期値) [クリア条件] (1) MPIE ビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSR の MPB ビットを1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが1にセットされている場合) と FER、ORER フラグのセットが許可されます。

• ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSBデータ送出時に有効な送信データがTDRにないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEIの解除は、SSR の TDRE フラグから1をリードした後、0にクリアして TEND フラグを0にクリアする、TEIE ビットを0にクリアすることで行うことができます。

- ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可または禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合はCKE0ビットの設定は無効です。また、SMRでSCIの動作モードを決定する前にCKE1、CKE0の設定を行ってください。

SCIのクロックソースの選択についての詳細は表16.9を参照してください。

ビット1	ビット0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート*1
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力*1
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力*2
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力*3
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの16倍の周波数のクロックを入力

16.2.7 シリアルステータスレジスタ (SSR)

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグおよびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時にH'84に初期化されます。

- ビット7: トランスミットデータレジスタエンプティ (TDRE)

TDRからTSRにデータ転送が行われ、TDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI 割り込み要求によってDMAC*またはDTC*が起動され、DMAC*またはDTC*でTDRへデータをライトしたとき
1	[セット条件] (初期値) (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】* H8S/2695には本機能はありません。

- ビット6：レシーブデータレジスタフル (RDRF)

受信したデータがRDRに格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) RXI 割り込み要求によって DMAC*または DTC*が起動され、DMAC*または DTC*で RDR のデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

* H8S/2695 には本機能はありません。

- ビット5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	[クリア条件] (初期値)* ¹ ORER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき* ²

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*² RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

• ビット4 : フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説 明
FER	
0	[クリア条件] (初期値) ^{*1} FER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき ^{*2}

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが 1 であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

• ビット3 : パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット 3	説 明
PER	
0	[クリア条件] (初期値) ^{*1} PER = 1 の状態をリードした後、0 をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットを合わせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき ^{*2}

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

- ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDフラグはリード専用です。ライトは無効です。

ビット2	説 明
TEND	
0	[クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込み要求によって DMAC*または DTC*が起動され、DMAC*または DTC*で TDR ヘッダをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが 0 のとき (2) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE = 1 であったとき

【注】 * H8S/2695 には本機能はありません。

- ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPBビットは、リード専用です。ライトは無効です。

ビット1	説 明
MPB	
0	[クリア条件] (初期値)* マルチプロセッサビットが 0 のデータを受信したとき
1	[セット条件] マルチプロセッサビットが 1 のデータを受信したとき

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

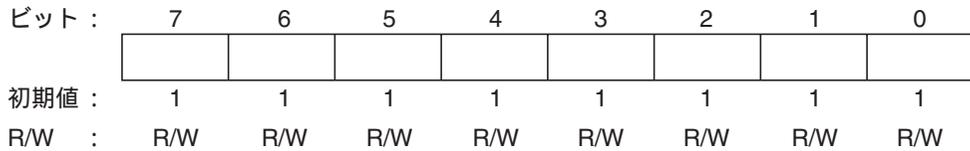
- ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットでないとき、あるいは送信でないとき、およびクロック同期式モードには MPBTビットの設定は無効です。

ビット0	説 明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

16.2.8 ビットレートレジスタ (BRR)



BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセットまたはハードウェアスタンバイモードでは、H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 16.3 に調歩同期式モードの BRR の設定例を、表 16.4 にクロック同期式モードの BRR の設定例を示します。

表 16.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	-	-	-	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

ビットレート (bit/s)	動作周波数 (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

ビットレート (bit/s)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビット レート (bit/s)	動作周波数 (MHz)														
	18			19.6608			20			25			28		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	86	0.31	3	88	-0.25	3	110	-0.02	3	123	0.23
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	-0.47	3	90	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	0.15	2	181	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	-0.47	2	90	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	0.15	1	181	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	-0.47	1	90	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	0.15	0	181	0.16
9600	0	58	-0.69	0	63	0.00	0	64	0.16	0	80	-0.47	0	90	0.16
19200	0	28	1.02	0	31	0.00	0	32	-1.36	0	40	-0.76	0	45	-0.93
31250	0	17	0.00	0	19	-1.70	0	19	0.00	0	24	0.00	0	27	0.00
38400	0	14	-2.34	0	15	0.00	0	15	1.73	0	19	1.73	0	22	-0.93

表 16.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	動作周波数 (MHz)															
	2		4		8		10		16		20		25		28	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-												
250	2	124	2	249	3	124	-	-	3	249						
500	1	249	2	124	2	249	-	-	3	124	-	-			3	218
1k	1	124	1	249	2	124	-	-	2	249	-	-	3	97	3	108
2.5k	0	199	1	99	1	199	1	249	2	99	2	124	2	155	2	174
5k	0	99	0	199	1	99	1	124	1	199	1	249	2	77	1	349
10k	0	49	0	99	0	199	0	249	1	99	1	124	1	155	1	174
25k	0	19	0	39	0	79	0	99	0	159	0	199	0	249	0	279
50k	0	9	0	19	0	39	0	49	0	79	0	99	0	124	0	139
100k	0	4	0	9	0	19	0	24	0	39	0	49	0	62	0	69
250k	0	1	0	3	0	7	0	9	0	15	0	19	0	24	0	27
500k	0	0*	0	1	0	3	0	4	0	7	0	9	-	-	0	13
1M			0	0*	0	1			0	3	0	4	-	-	0	6
2.5M							0	0*			0	1	-	-	-	-
5M											0	0*	-	-	-	-

【記号説明】

空欄 : 設定できません

- : 設定可能ですが誤差がでます

* : 連続送信 / 受信はできません

【注】 誤差は、なるべく 1%以内になるように設定してください。

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{10^6}{64 \times 2^{2n-1} \times B} - 1$$

クロック同期式モード

$$N = \frac{10^6}{8 \times 2^{2n-1} \times B} - 1$$

- B : ビットレート (bit/s)
 N : ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)
 : 動作周波数 (MHz)
 n : ポーレートジェネレータ入力クロック (n=0~3)
 (n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差} (\%) = \left\{ \frac{10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 16.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 16.6、表 16.7 に外部クロック入力時の最大ビットレートを示します。

表 16.5 各周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
28	875000	0	0

表 16.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500
25	6.2500	390625
28	7.0000	437500

表 16.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7
28	4.6667	4666666.7

16.2.9 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、SDIR ビットにより、LSB ファースト / MSB ファーストの選択を行います。調歩同期式モード 7 ビットデータの場合を除き、シリアル通信モードによらず、LSB ファースト / MSB ファーストの選択が可能です。本章の説明では、LSB ファーストの場合について説明しています。

SCMR のその他のビットについての詳細は、「17.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

SCMR は、リセットまたはハードウェアスタンバイモードでは、HF2 に初期化されます。

- ビット 7~4 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

- ビット 3 : スマートカードデータトランスファディレクション (SDIR)

シリアル / パラレル変換のフォーマットを選択します。

送信 / 受信フォーマットが 8 ビットデータの場合に有効です。

ビット 3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

- ビット 2 : スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR の $\overline{O/E}$ ビットを反転する必要があります。

ビット 2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

- ビット1：リザーブビット
リードすると常に1が読み出されます。ライトは無効です。
- ビット0：スマートカードインタフェースモードセレクト (SMIF)
通常のSCIとして動作する場合には0をライトしてください。

ビット0	説 明
SMIF	
0	通常の SCI として動作 (スマートカードインタフェース機能を禁止) (初期値)
1	スマートカードインタフェース機能を許可

16.2.10 IrDA コントロールレジスタ (IrCR)

ビット：	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	-	-	-	-

IrCR は、8 ビットのリード/ライト可能なレジスタで、SCI0 の機能の選択を行います。

IrCR は、リセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

【注】 H8S/2695 では本レジスタ機能は使用できません。書き込みを行う場合は 0 を書き込んでください。

- ビット7：IrDAイネーブル (IrE)
SCI0の入出力を通常のSCIかIrDAかに設定します。

ビット7	説 明
IrE	
0	TxD0/IrTxD、RxD0/IrRxD 端子は TxD0、RxD0 として動作 (初期値)
1	TxD0/IrTxD、RxD0/IrRxD 端子は IrTxD、IrRxD として動作

- ビット6～4: IrDAクロックセレクト2～0 (IrCKS2～IrCKS0)

IrDA機能をイネーブルにしたとき、IrTxD出力パルスエンコード時のHighパルス幅を設定します。

ビット 6	ビット 5	ビット 4	説 明
IrCKS2	IrCKS1	IrCKS0	
0	0	0	B×3/16 (ビットレートの16分の3) (初期値)
		1	/2
	1	0	/4
		1	/8
1	0	0	/16
		1	/32
	1	0	/64
		1	/128

- ビット3～0: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

16.2.11 モジュールストップコントロールレジスタ B、C (MSTPCRB、MSTPCRC)

MSTPCRB

ビット:	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

MSTPCRC

ビット:	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

MSTPCRB、MSTPCRC は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPB7～MSTPB5、MSTPC7～MSTPC6 ビットを 1 にセットすると、バスサイクルの終了時点で SCI0～SCI4 はそれぞれ動作を停止してモジュールストップモードに遷移します。詳細は「24.5 モジュールストップモード」を参照してください。

MSTPCRB、MSTPCRC は、パワーオンリセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

(1) モジュールストップコントロールレジスタ B (MSTPCRB)

• ビット7: モジュールストップ (MSTPB7)

SCI0のモジュールストップモードを指定します。

ビット7	説 明
MSTPB7	
0	SCI0のモジュールストップモード解除
1	SCI0のモジュールストップモード設定 (初期値)

• ビット6: モジュールストップ (MSTPB6)

SCI1のモジュールストップモードを指定します。

ビット6	説 明
MSTPB6	
0	SCI1のモジュールストップモード解除
1	SCI1のモジュールストップモード設定 (初期値)

• ビット5: モジュールストップ (MSTPB5)

SCI2のモジュールストップモードを指定します。

ビット5	説 明
MSTPB5	
0	SCI2のモジュールストップモード解除
1	SCI2のモジュールストップモード設定 (初期値)

(2) モジュールストップコントロールレジスタ C (MSTPCRC)

• ビット7: モジュールストップ (MSTPC7)

SCI3のモジュールストップモードを指定します。

ビット7	説 明
MSTPC7	
0	SCI3のモジュールストップモード解除
1	SCI3のモジュールストップモード設定 (初期値)

• ビット6: モジュールストップ (MSTPC6)

SCI4のモジュールストップモードを指定します。

ビット6	説 明
MSTPC6	
0	SCI4のモジュールストップモード解除
1	SCI4のモジュールストップモード設定 (初期値)

16.3 動作説明

16.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 16.8 に示します。また、SCI のクロックソースは、SMR の C/\bar{A} ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 16.9 に示します。

(1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能

(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合：
ビットレートの 16 倍の周波数のクロックを入力することが必要(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合：
内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 16.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット				
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長	
C/ \bar{A}	CHR	MP	PE	STOP						
0	0	0	0	0	調歩同期式 モード	8 ビット データ	なし	なし	1 ビット	
				1					2 ビット	
			1	0					あり	1 ビット
				1						2 ビット
			1	0					なし	1 ビット
				1						2 ビット
	1	0	あり	1 ビット						
		1		2 ビット						
	1	0	1	-	調歩同期式 モード (マルチプロセッサフォーマット)	8 ビット データ	あり	なし	1 ビット	
				1					2 ビット	
		1		-		7 ビット データ			1 ビット	
				1					2 ビット	
1	-	-	0	クロック同期式 モード	8 ビット データ	なし	なし	なし		
	1		1							

表 16.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR ビット 7	SCR の設定		モード	SCI の送信 / 受信クロック	
	ビット 1	ビット 0		クロック ソース	SCK 端子の機能
	C/ \bar{A}	CKE1			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

16.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 16.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットと見なしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High/Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち上がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

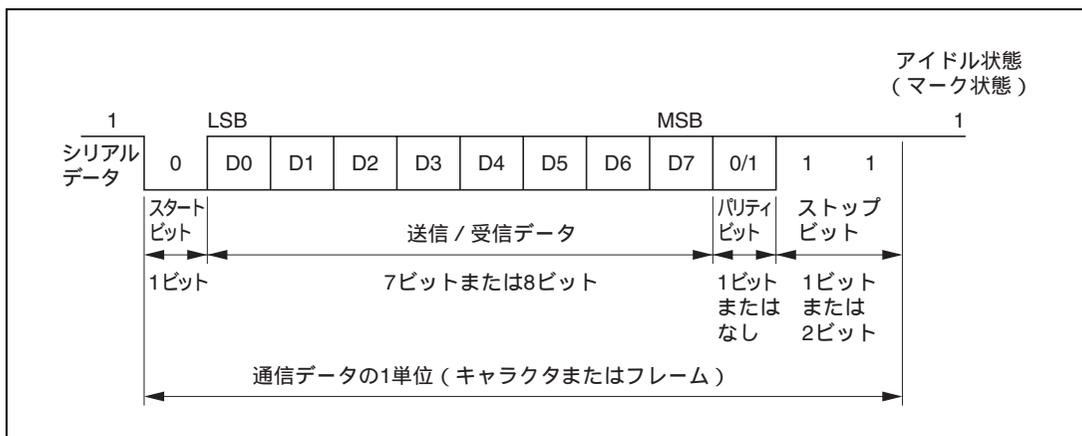


図 16.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット

調歩同期式モードで設定できる送信/受信フォーマットを、表 16.10 に示します。

送信/受信フォーマットは12種類あり、SMRの選定により選択できます。

表 16.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスサビット

(2) クロック

SCI の送受信クロックは、SMR の $\overline{C/A}$ ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 16.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 16.3 に示すように送信データの中央にクロック立ち上がりエッジが来るようになります。

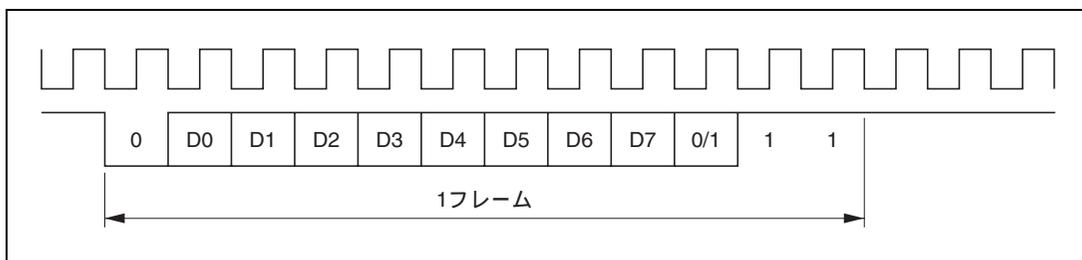


図 16.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 16.4 に SCI の初期化フローチャートの例を示します。

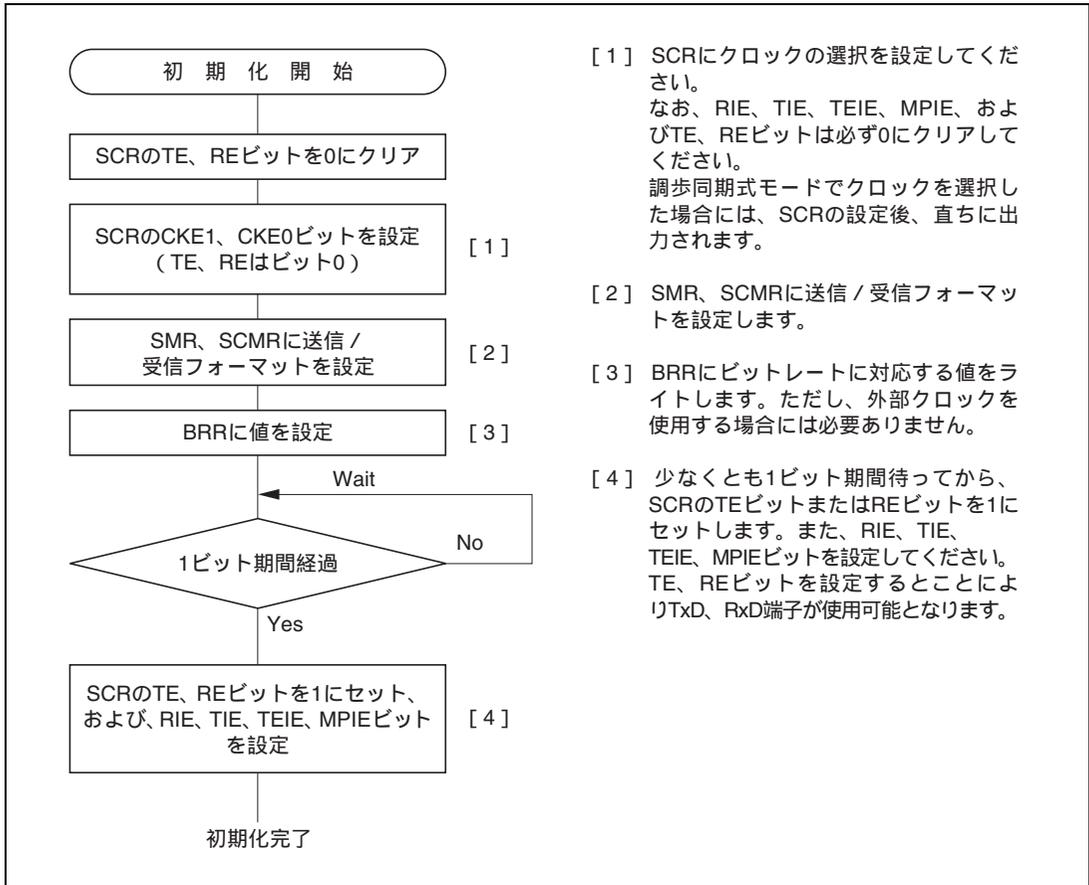


図 16.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 16.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

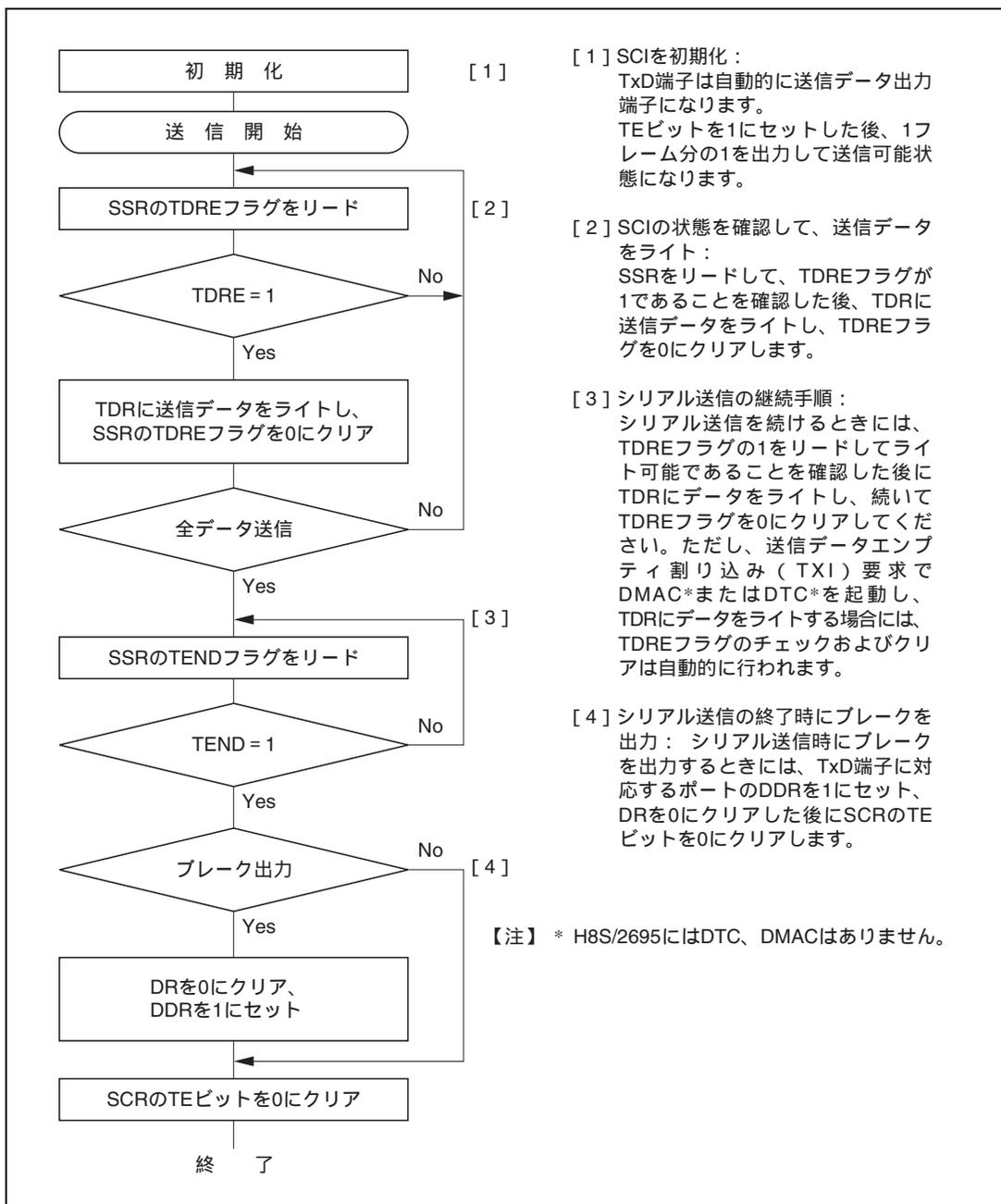


図 16.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
2. TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット、または7ビットのデータがLSBから順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 16.6 に示します。

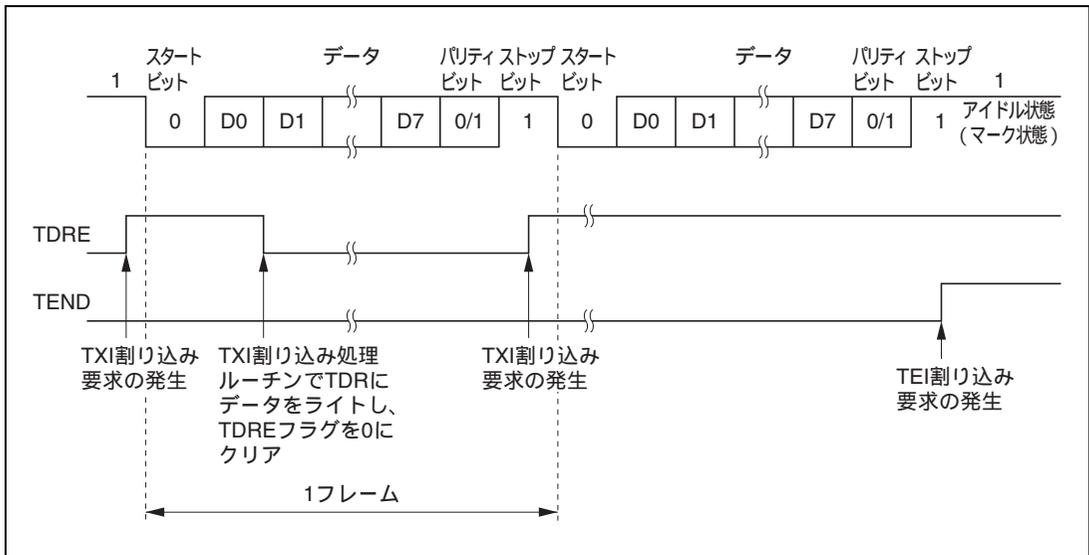


図 16.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 16.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

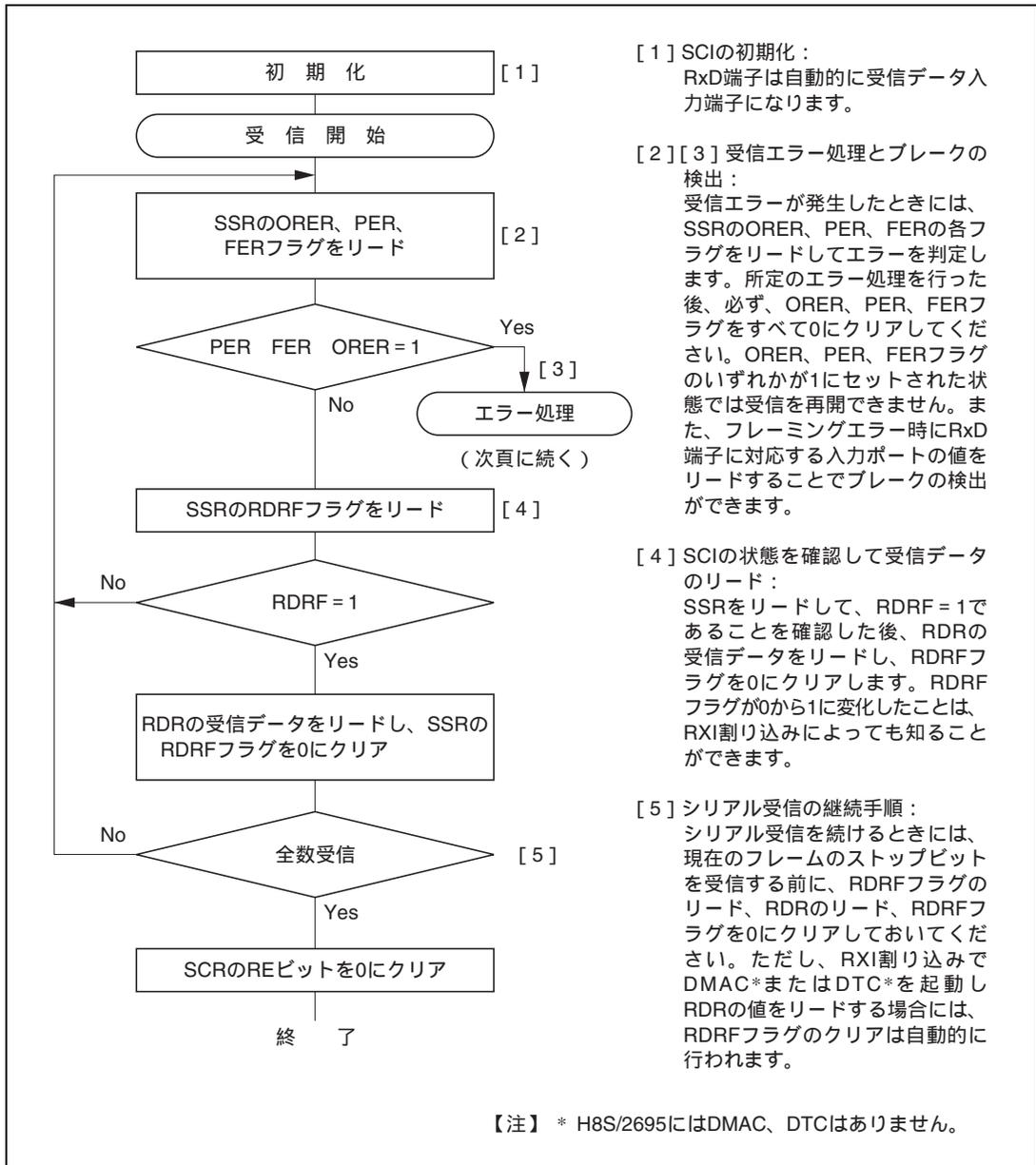


図 16.7 シリアル受信データフローチャートの例 (1)

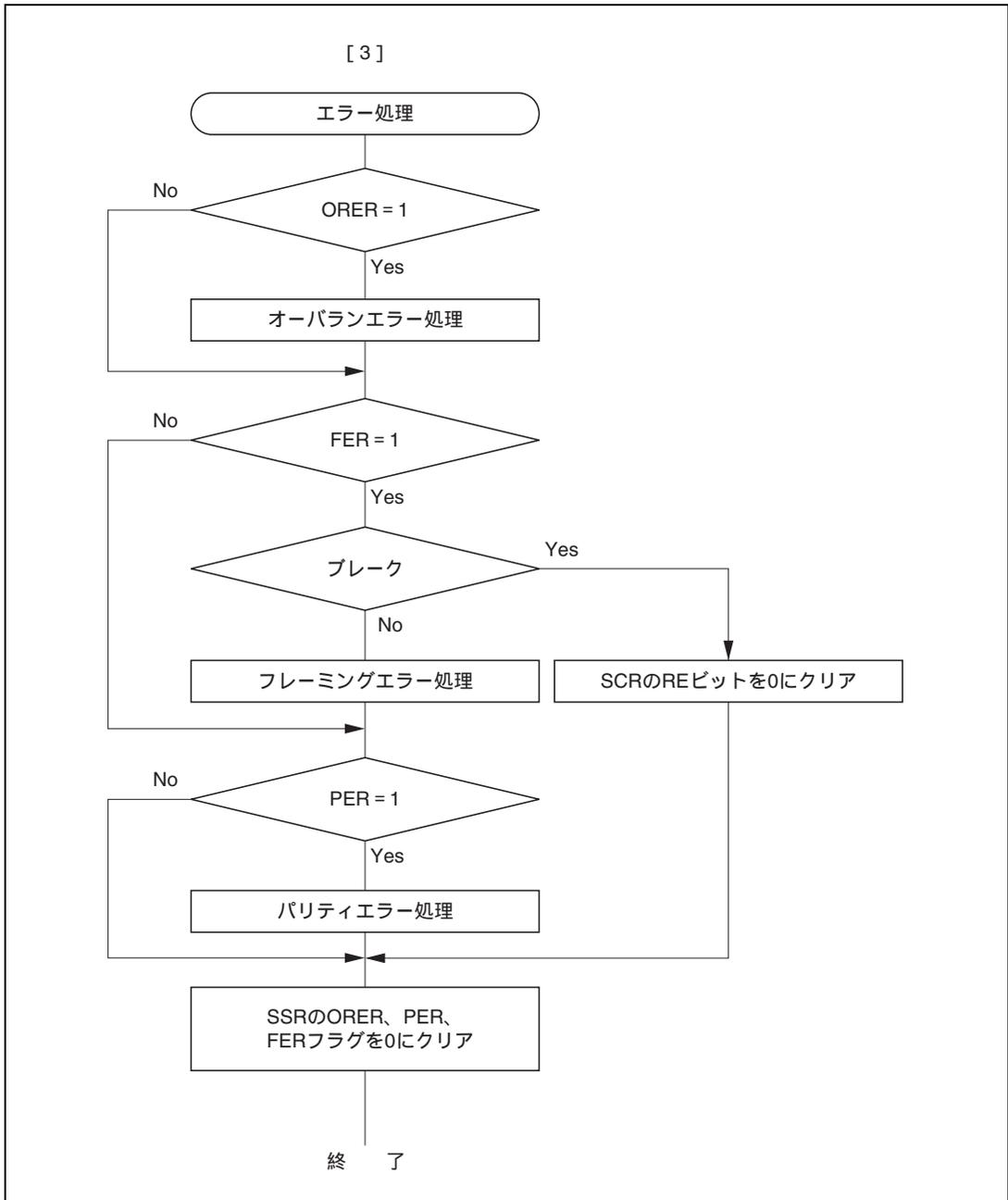


図 16.7 シリアル受信データフローチャートの例 (2)

SCIは受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIは以下のチェックを行います。

[a] パリティチェック：

受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。

[b] ストップビットチェック：

ストップビットが1であるかをチェックします。

ただし、2ストップビットの場合、1ビット目のみをチェックします。

[c] ステータスチェック：

RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックをすべて満足したとき、RDRFフラグが1にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラー*を発生すると表16.11のように動作します。

【注】 * 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

4. RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。

また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 16.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 16.8 に示します。

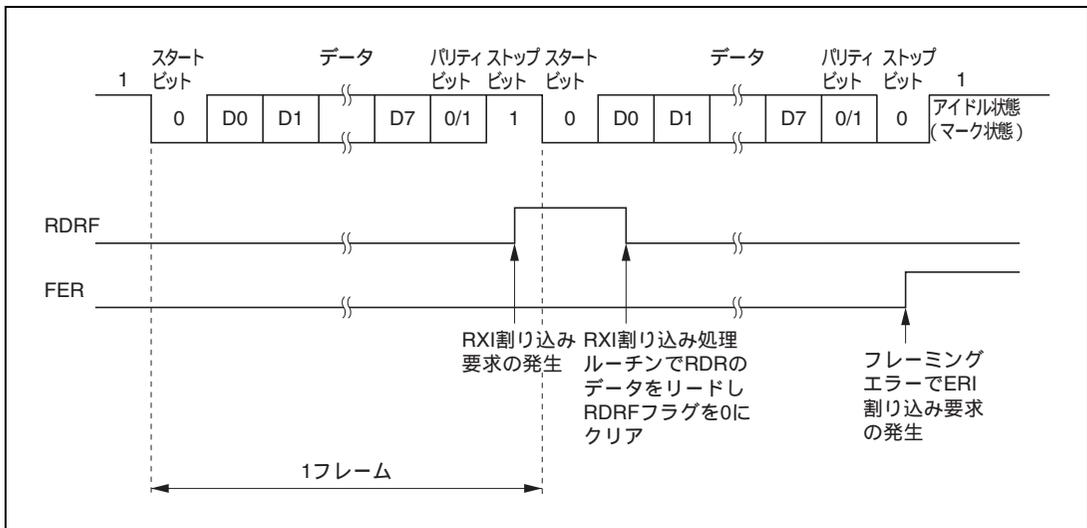


図 16.8 SCI の受信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

16.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 16.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 16.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

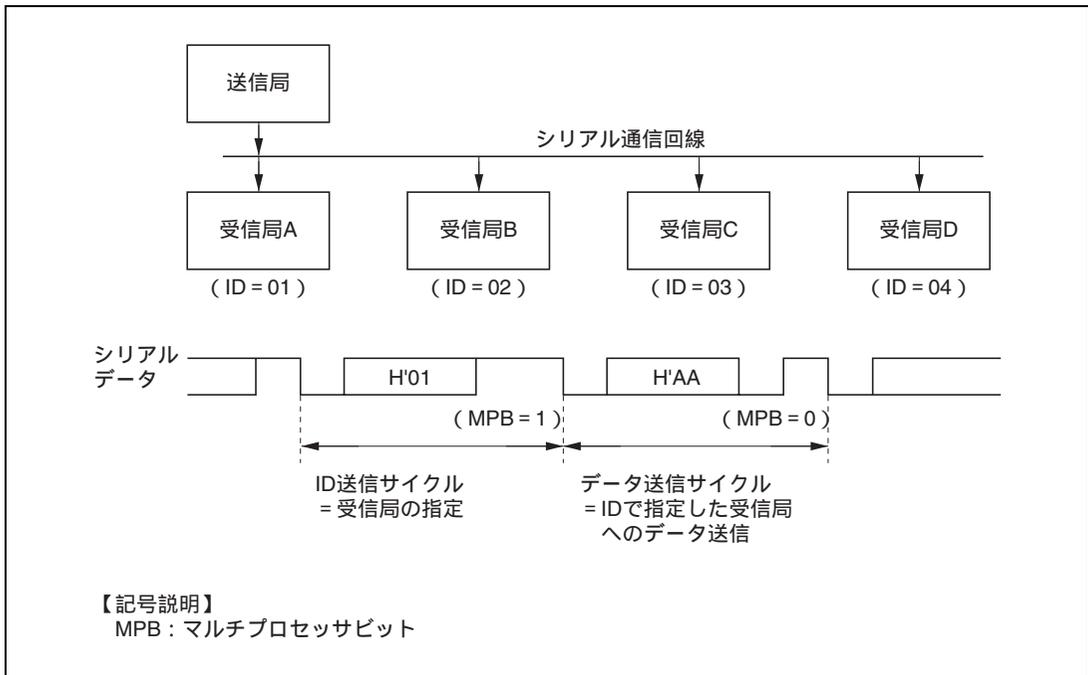


図 16.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

(a) マルチプロセッサシリアルデータ送信

図 16.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

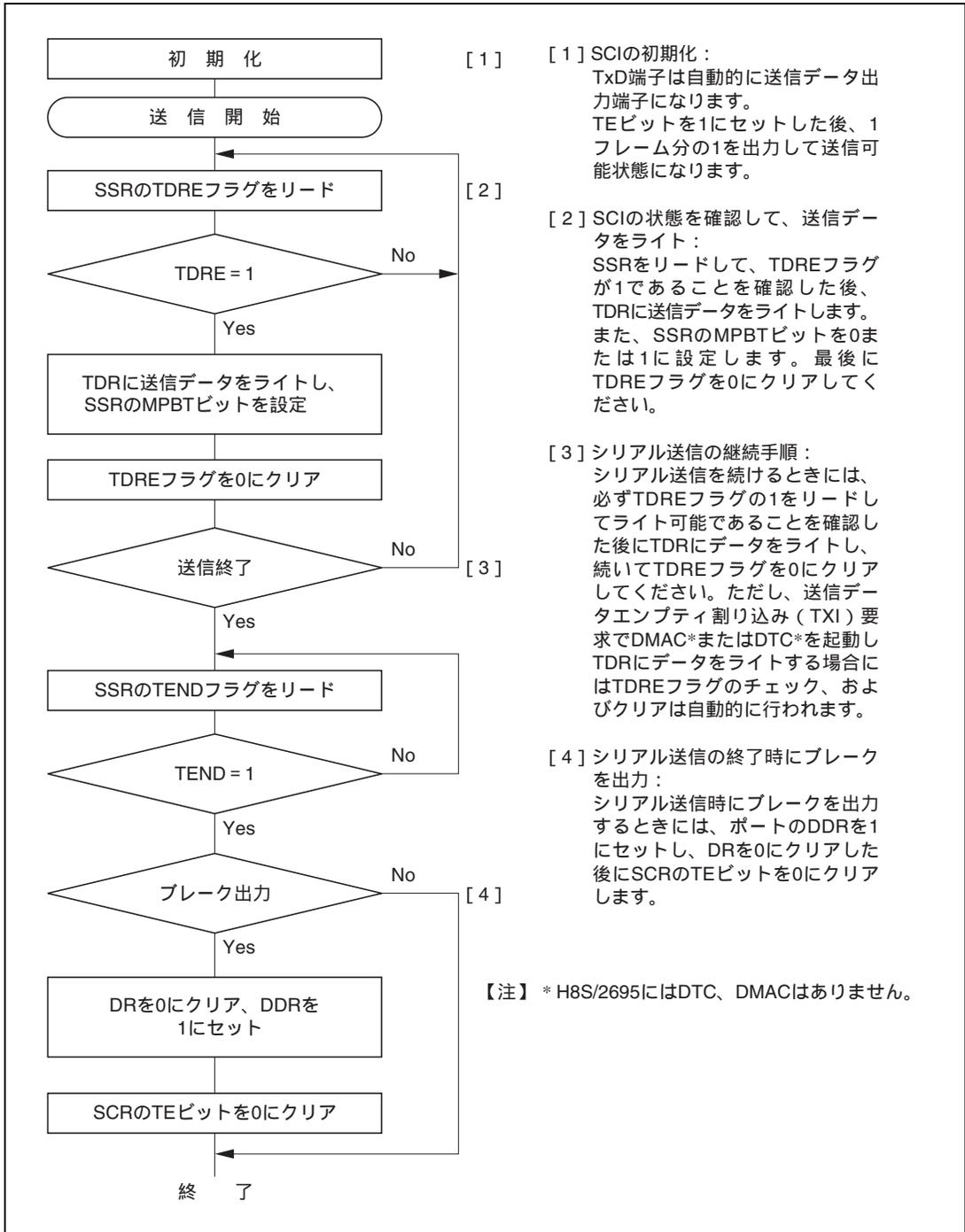


図 16.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

1. SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
2. TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。

このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

[a] スタートビット :

1ビットの0が出力されます。

[b] 送信データ :

8ビット/7ビットのデータがLSBから順に出力されます。

[c] マルチプロセッサビット :

1ビットのマルチプロセッサビット (MPBTの値) が出力されます。

[d] ストップビット :

1ビット/2ビットの1 (ストップビット) が出力されます。

[e] マーク状態 :

次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

3. SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。

TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。

TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求が発生します。

図 16.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

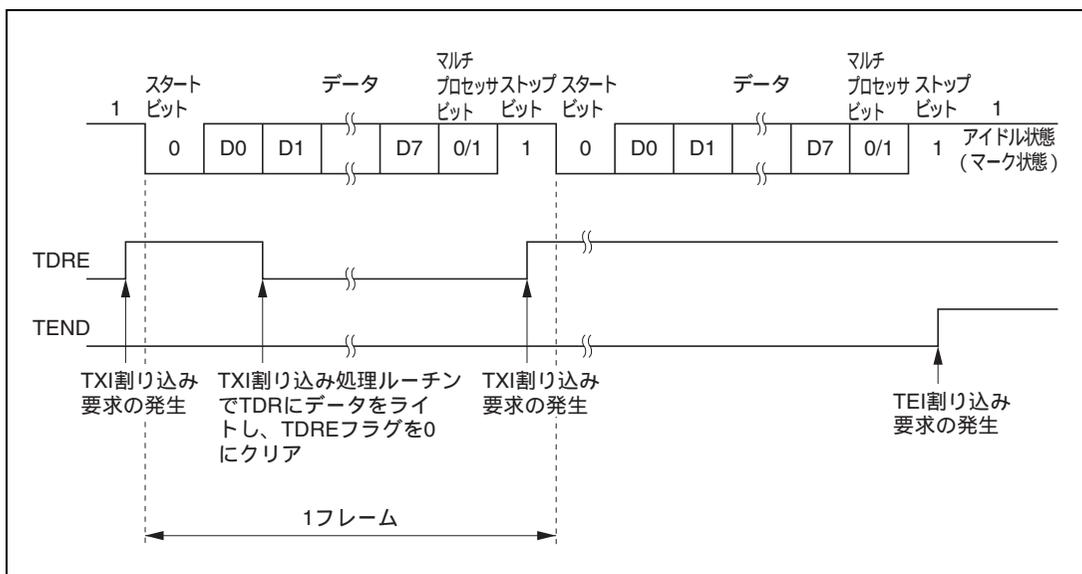


図 16.11 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 16.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

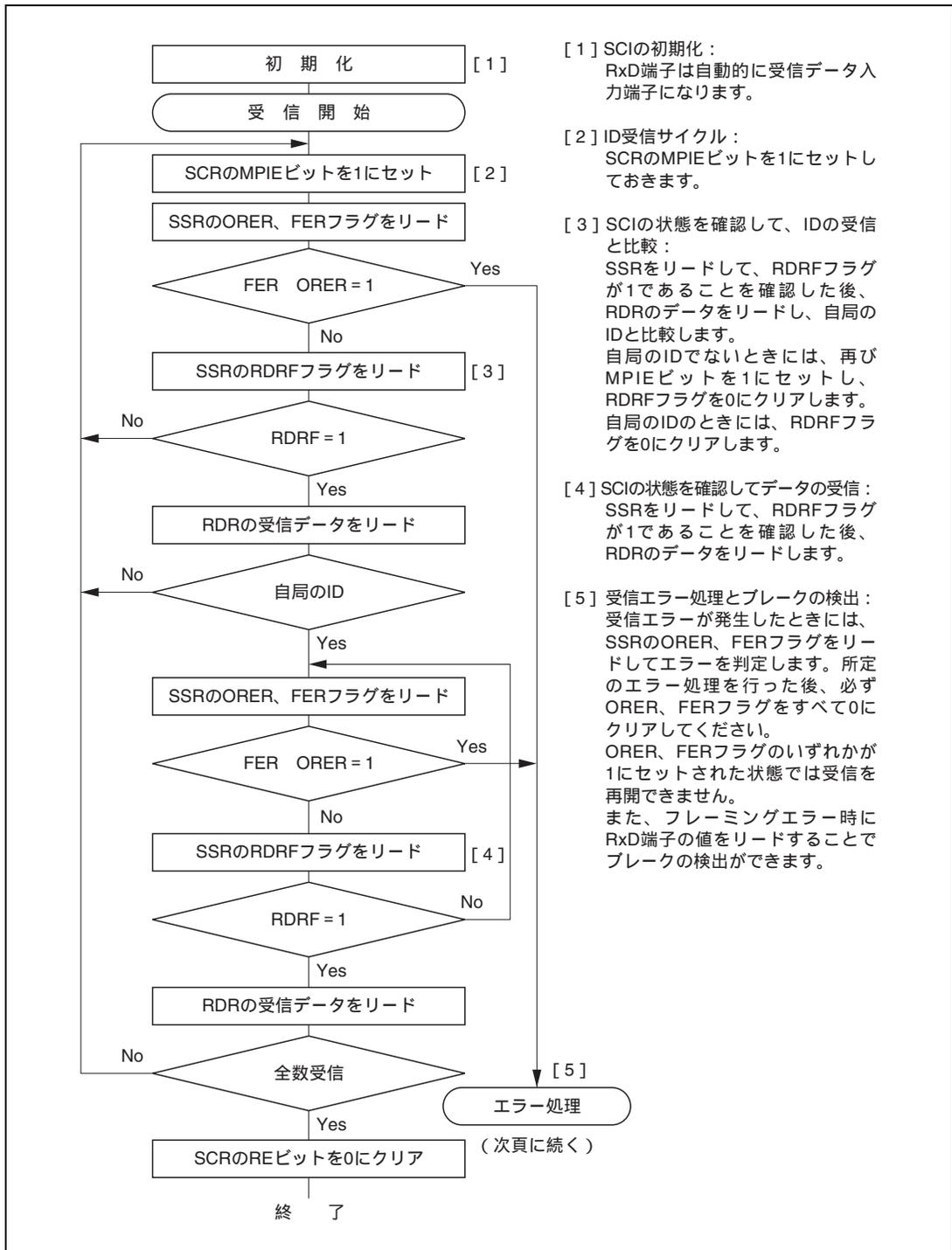


図 16.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

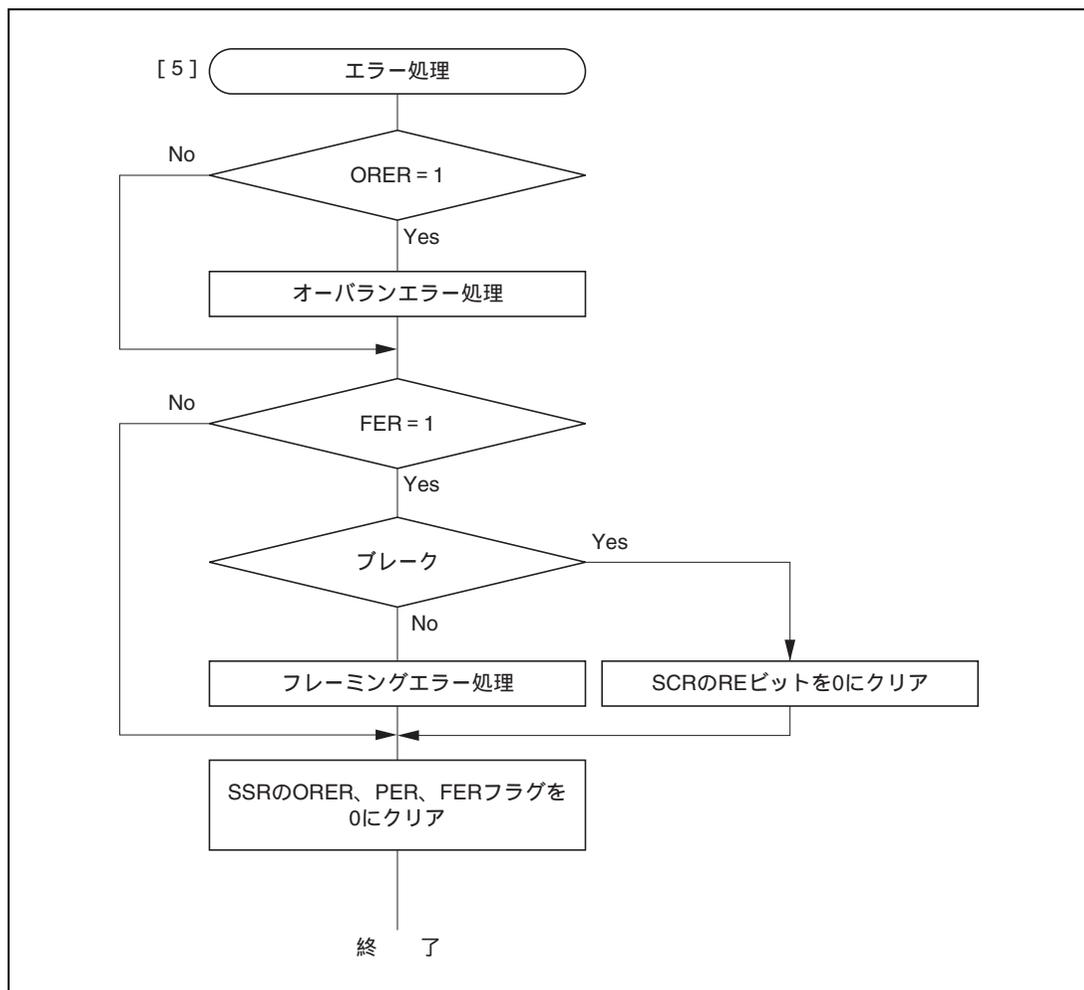


図 16.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 16.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

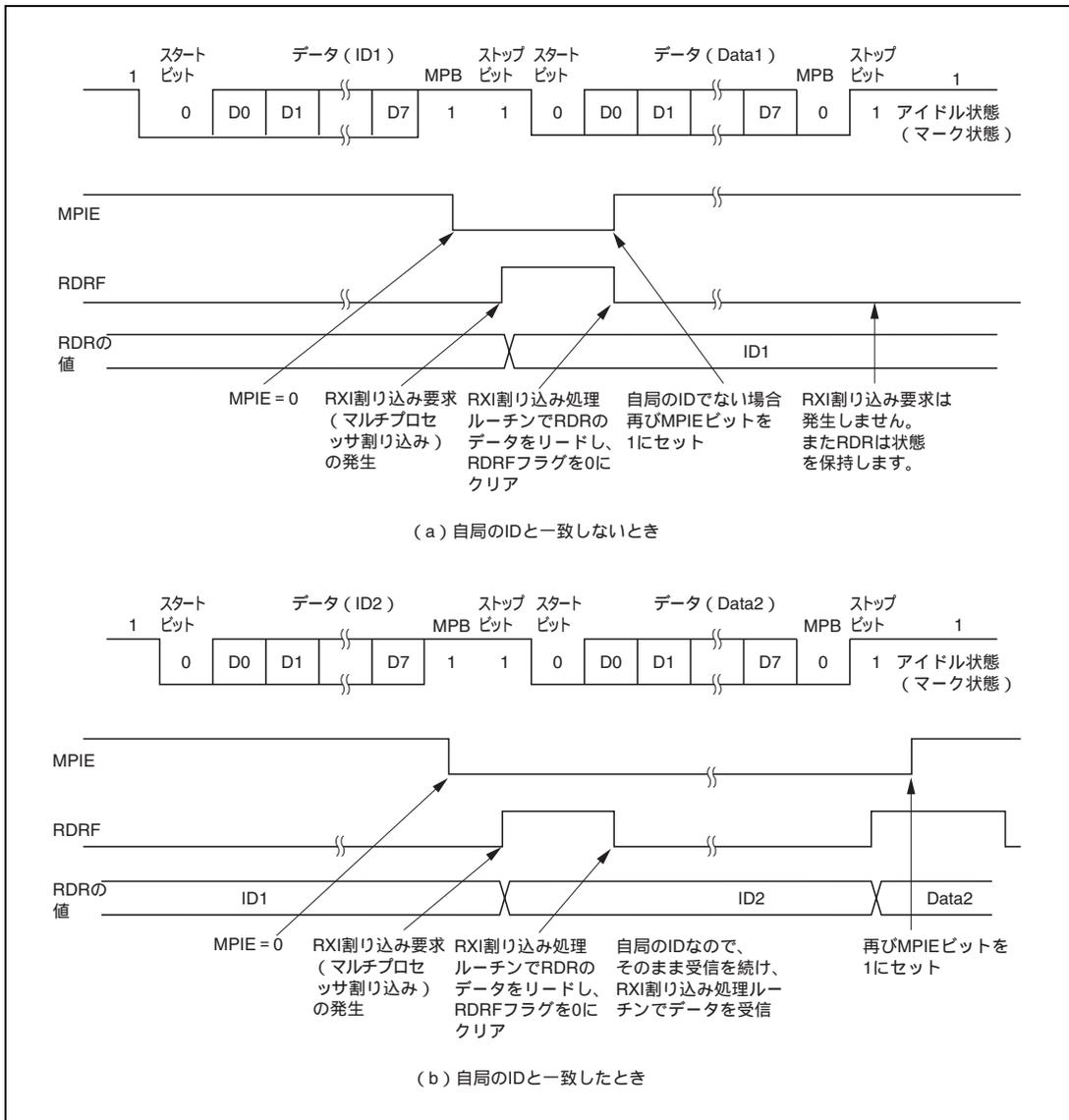


図 16.13 SCI の受信時の動作例
(8ビットデータ / マルチプロセッサビットあり / 1ストップビットの例)

16.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信および受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 16.14 に示します。

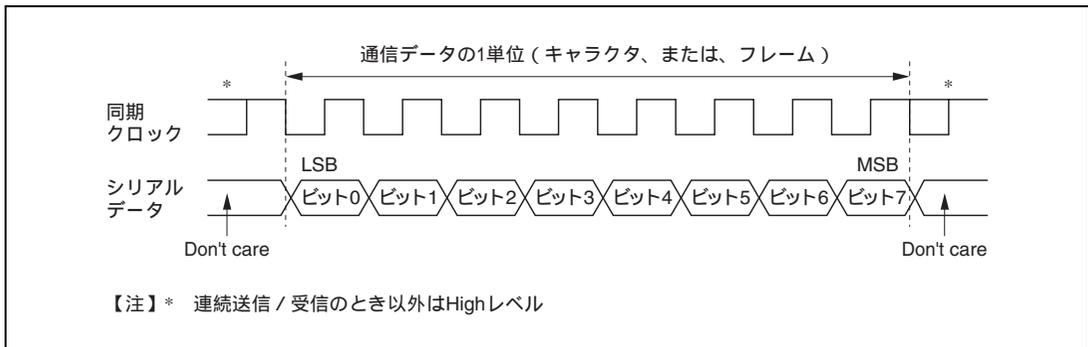


図 16.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 16.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバーランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信 / 受信動作

(a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 16.15 に SCI の初期化フローチャートの例を示します。

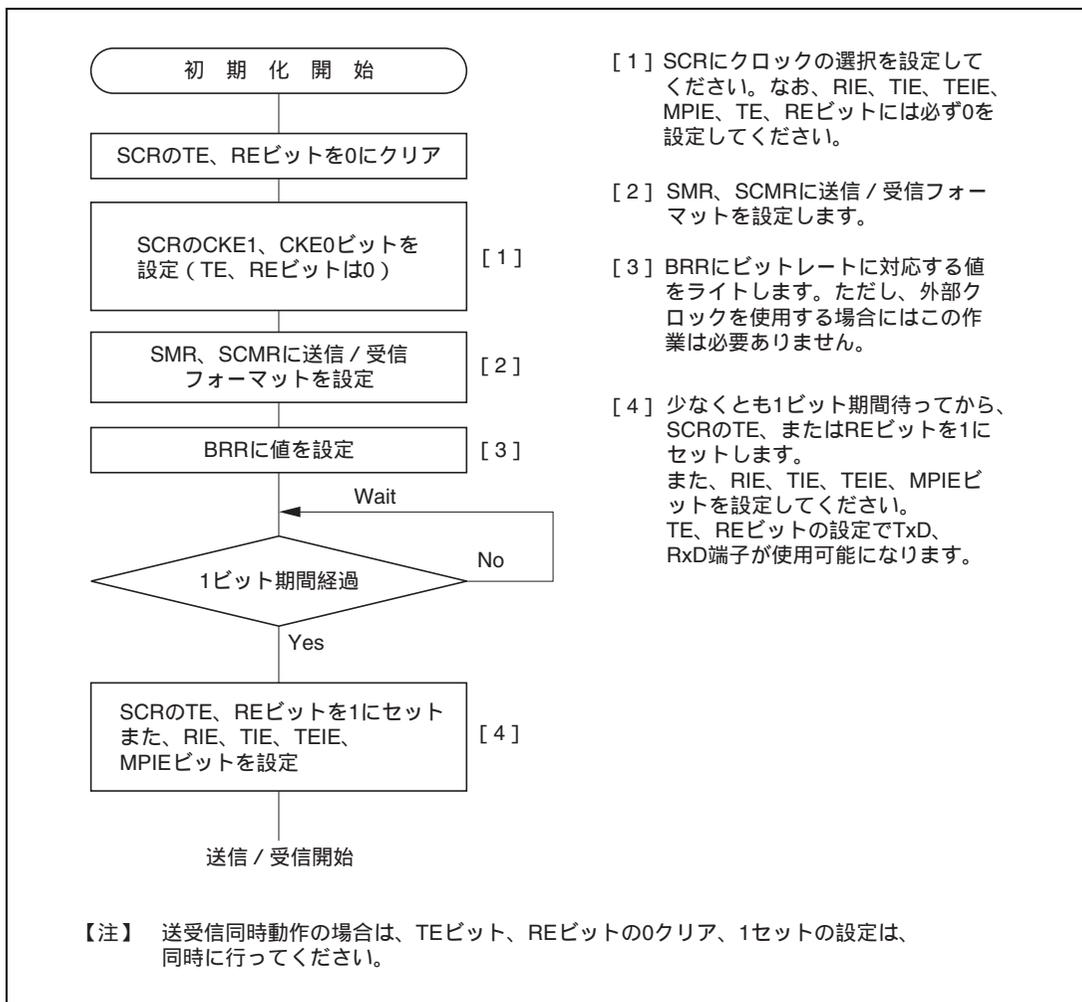


図 16.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 16.16 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。

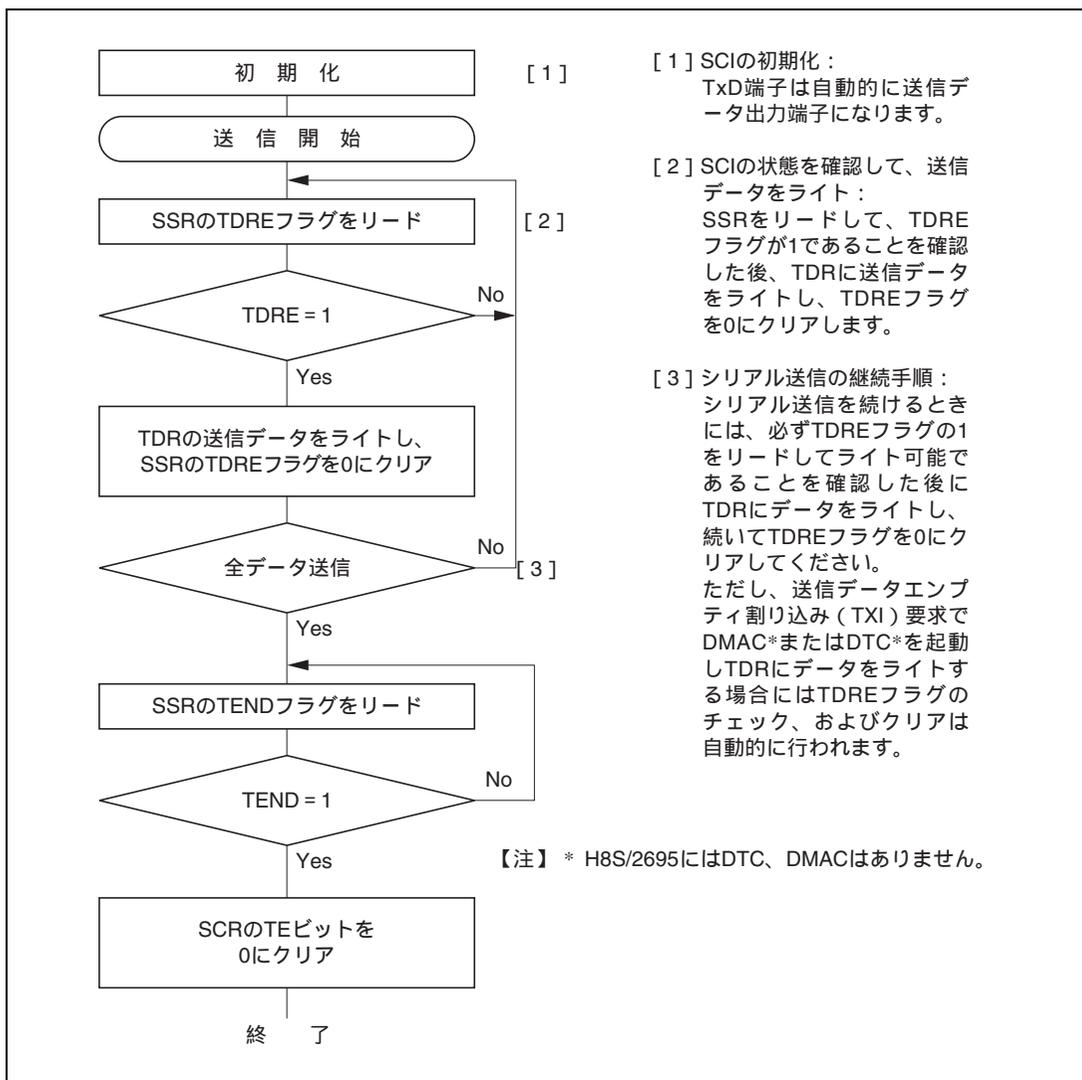


図 16.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
2. TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) からMSB (ビット7) の順にTxD端子から送り出されます。
3. SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出した後、TxD端子は状態を保持します。
このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求が発生します。
4. シリアル送信終了後は、SCK端子はHighレベル固定になります。

図 16.17 に SCI の送信時の動作例を示します。

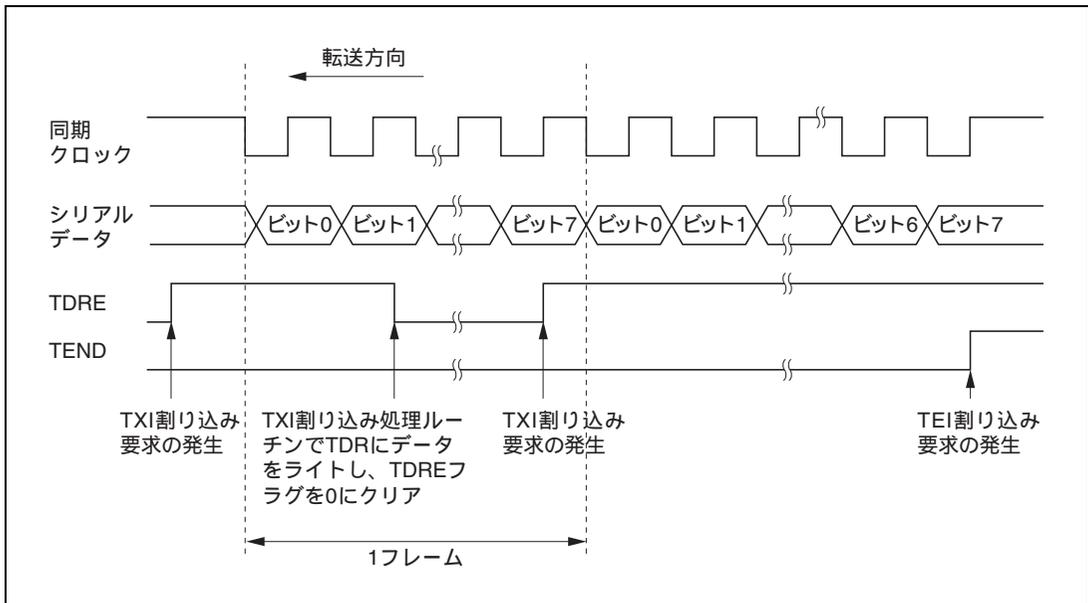


図 16.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 16.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行行うことができません。

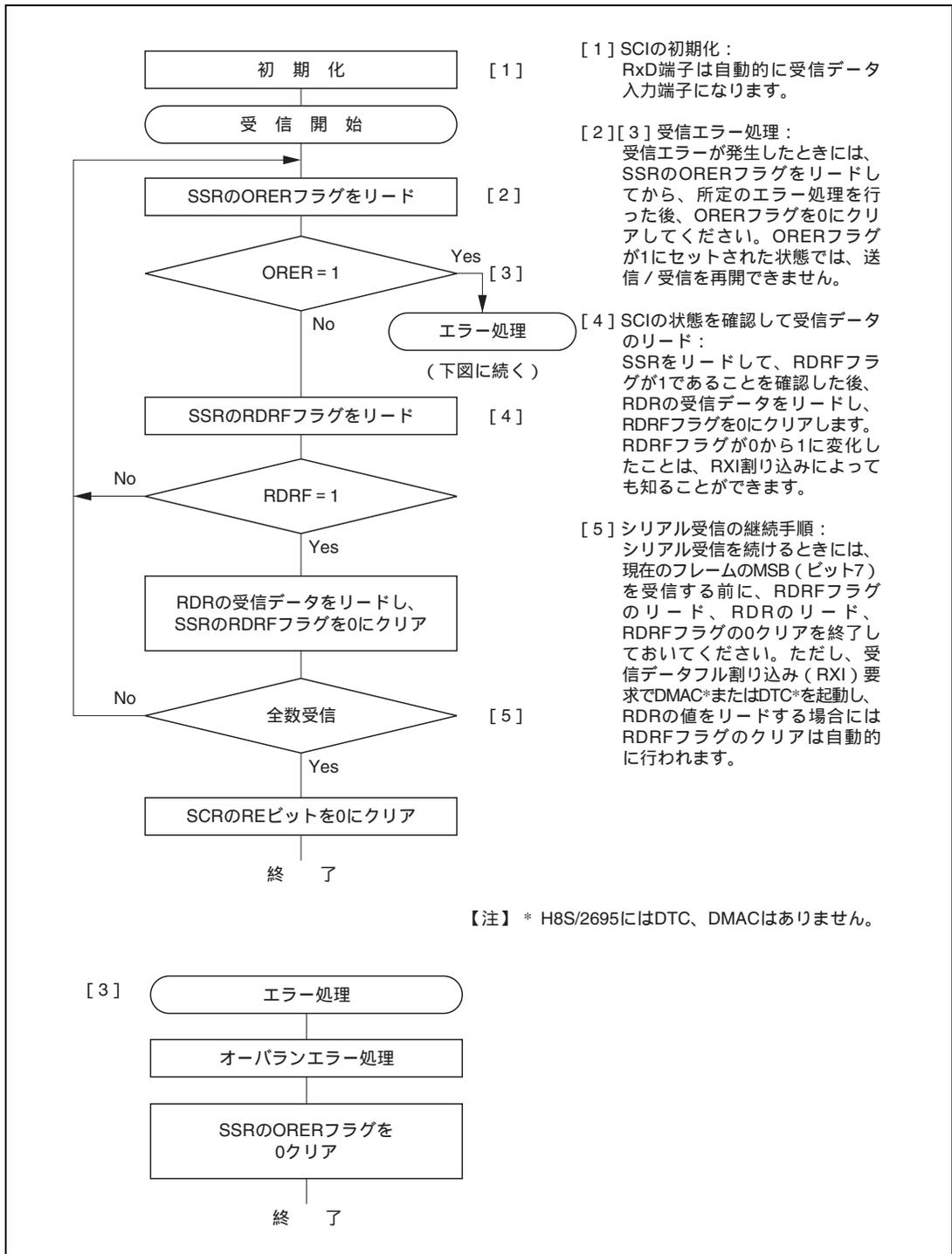


図 16.18 シリアルデータ受信フローチャートの例

SCIは受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して内部を初期化します。
2. 受信したデータをRSRのLSBからMSBの順に格納します。

受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

このチェックを満足したときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表16.11のように動作します。

エラーチェックで受信エラーを発生した状態では以後の送信動作、受信動作のいずれも行いうることができません。

3. RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 16.19 に SCI の受信時の動作例を示します。

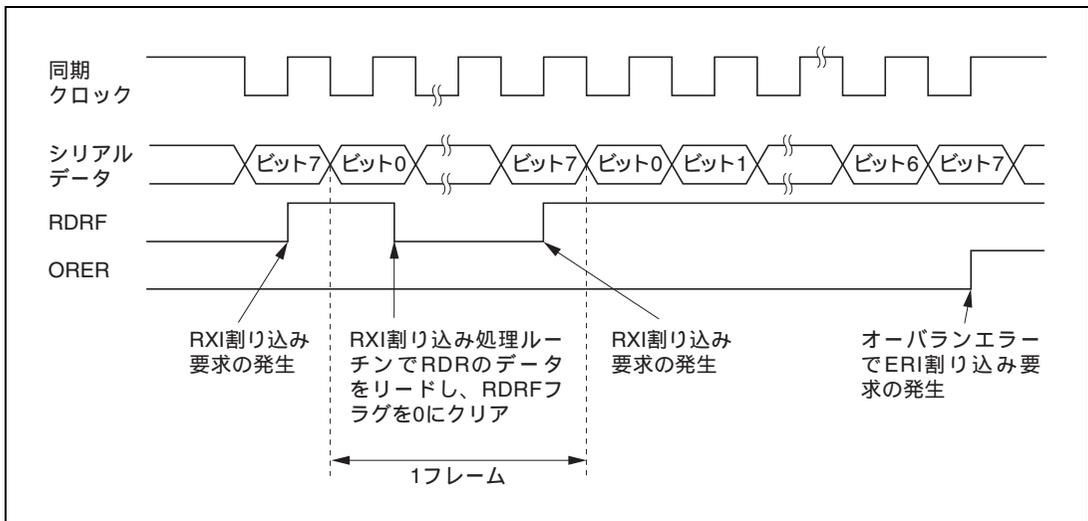


図 16.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 16.20 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

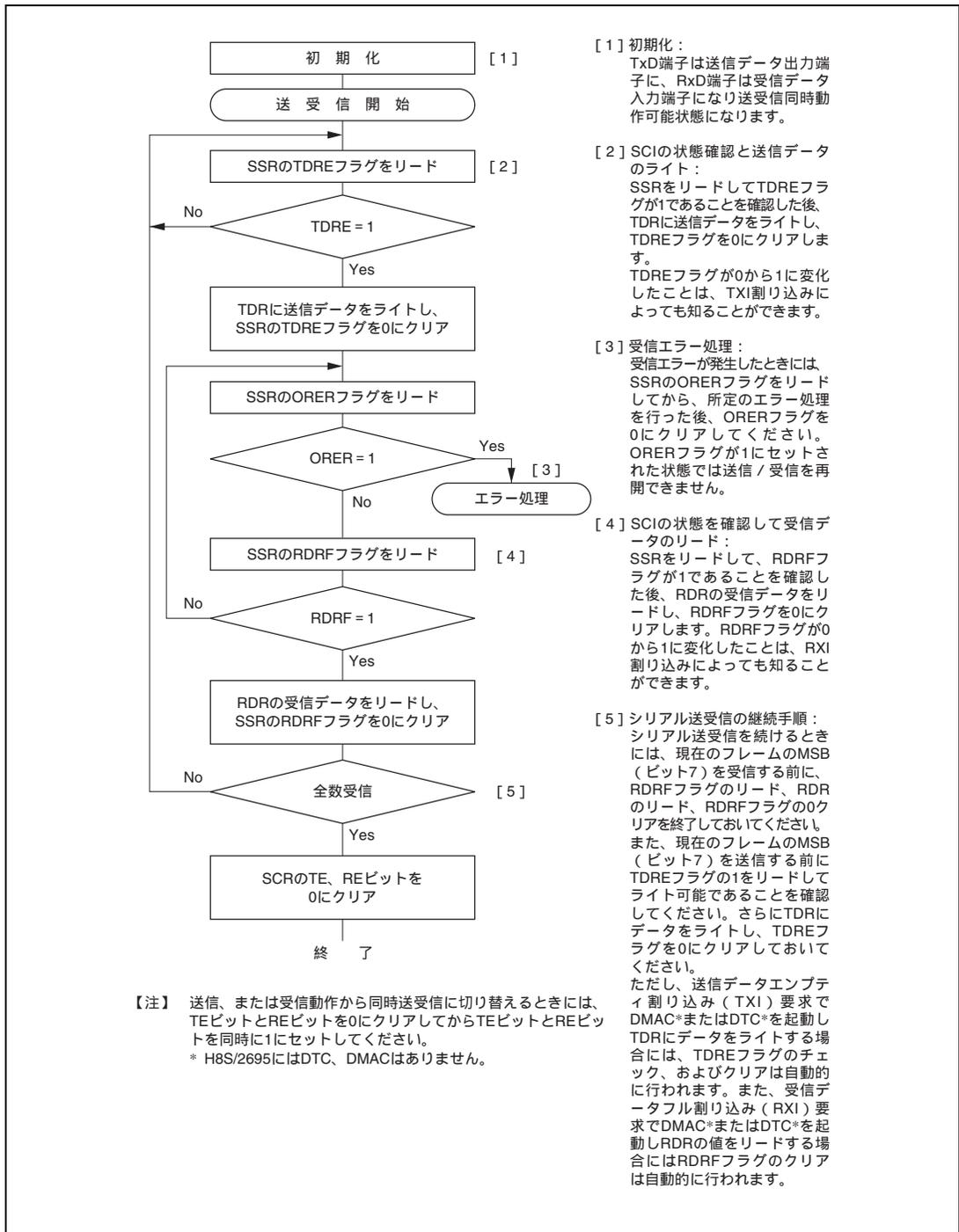


図 16.20 シリアル送受信同時動作のフローチャートの例

16.3.5 IrDA 動作

図 16.21 に IrDA のブロック図を示します。

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI チャンネル 0 の TxD0/RxD0 信号は、IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTxD/IrRxD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、通信は 9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

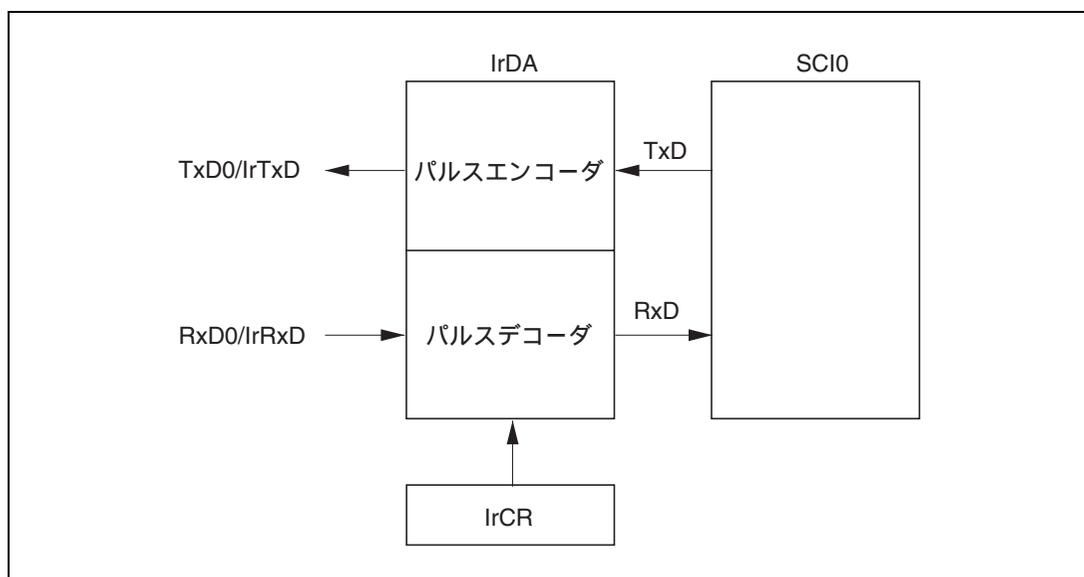


図 16.21 IrDA ブロック図

(1) 送信

送信時に、SCI からの出力信号 (UART フレーム) は、IrDA インタフェースにより、IR フレームに変換されます (図 16.22 参照)。

シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ の High パルスが出力されます (初期値)。なお、High パルスは、IrCR の IrCKS2 ~ IrCKS0 ビットの設定値により変化させることも可能です。

規格では、High パルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$ と定められています。システムクロック が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最小の High パルス幅としては $1.6 \mu\text{s}$ が設定可能です。

また、シリアルデータが 1 の時は、パルスは出力されません。

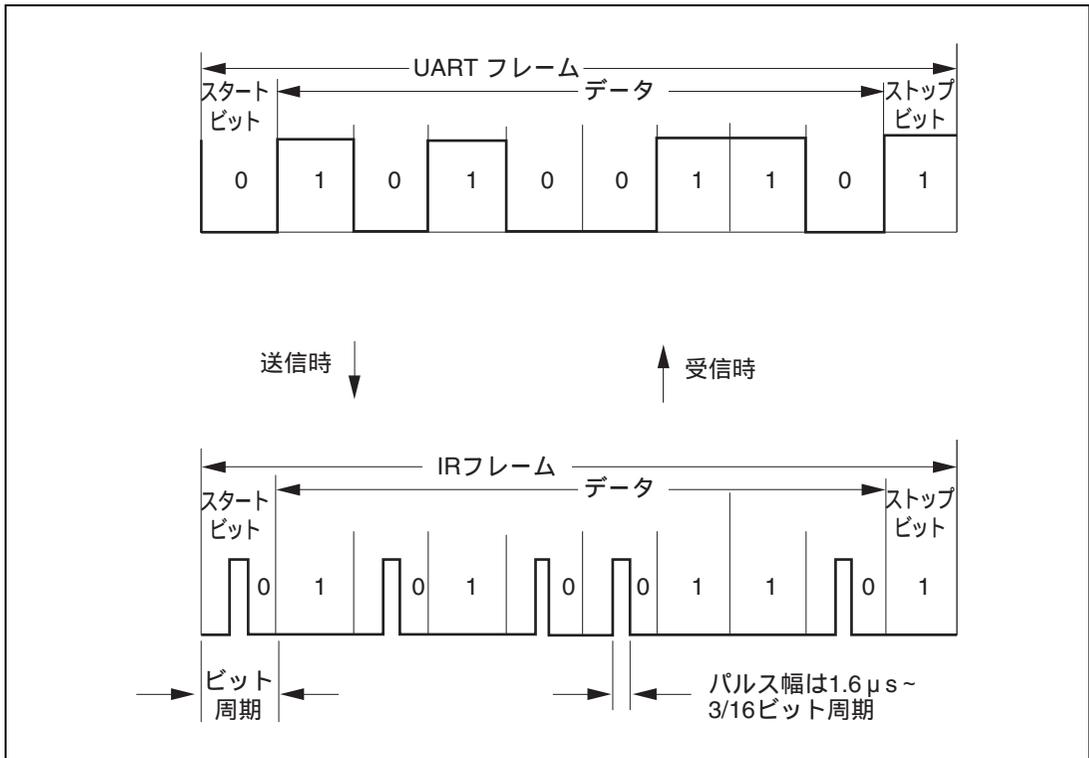


図 16.22 IrDA の送信 / 受信動作

(2) 受信

受信時には、IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。

High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の 1.41 μs より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート×3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2 ~ IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 16.12 に示します。

表 16.12 IrCKS2 ~ IrCKS0 ビット設定

動作周波数 (MHz)	ビットレート (bps) (上段) / ビット周期 × 3/16 (μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	-
2.097152	010	010	010	010	010	-
2.4576	010	010	010	010	010	-
3	011	011	011	011	011	-
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	110

【記号説明】

- : SCI 側のビットレート設定ができません。

16.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 16.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立して割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC*または DTC*を起動してデータ転送を行うことができます。TDRE フラグは DMAC*または DTC*によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DMAC*または DTC*の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC*または DTC*を起動してデータ転送を行うことができます。RDRF フラグは DMAC*または DTC*によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DMAC*または DTC*の起動はできません。

また、SCI チャンネル 2~4 の割り込みにより DMAC*を起動することはできません。

【注】 * H8S/2695 には DTC、DMAC はありません。

表 16.13 SCI 割り込み要因

チャネル	割り込み 要因	内 容	DTC* ¹ の起動	DMAC* ¹ の起動	優先 順位 * ²
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	高 ↑ ↓ 低
	RXI	受信データフル (RDRF) による割り込み	可	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
2	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	不可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	不可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
3	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	不可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	不可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
4	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	不可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	不可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	

【注】 *1 H8S/2695 には DTC、DMAC はありません。

*2 リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に Rowe されます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませんので注意してください。

16.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 16.14 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 16.14 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送		受信エラーの状態
RDRF	ORER	FER	PER	RSR	RDR	
1	1	0	0	x		オーバランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバランエラー+フレーミングエラー
1	1	0	1	x		オーバランエラー+パリティエラー
0	0	1	1			フレーミングエラー+パリティエラー
1	1	1	1	x		オーバランエラー+フレーミングエラー+パリティエラー

【注】 : RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

(3) ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し (調歩同期式モードのみ)

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 16.23 に示します。

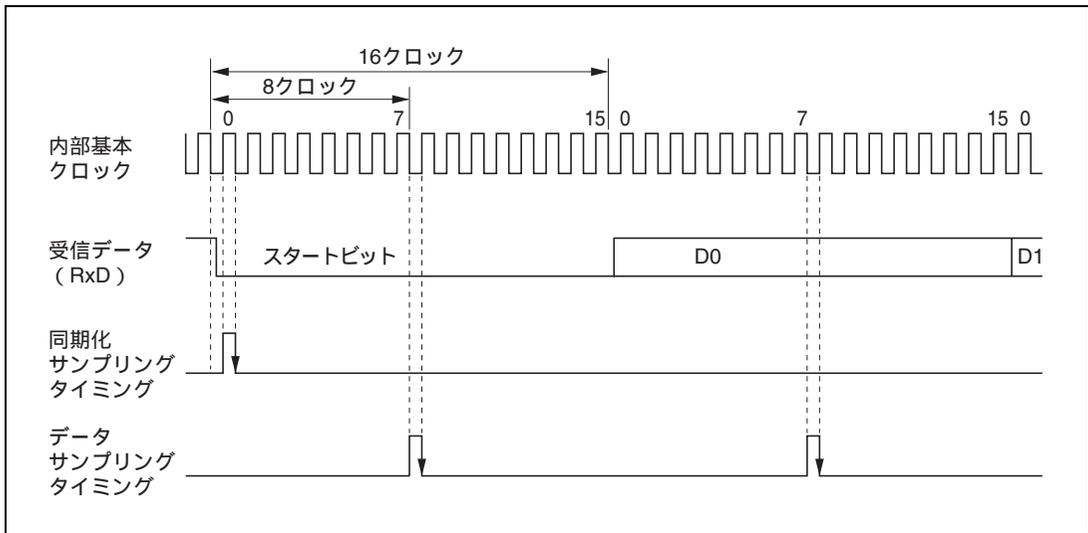


図 16.23 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\% \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(7) DMAC*またはDTC*使用上の制約事項

- (a) 同期クロックに外部クロックソースを使用する場合、DMAC*またはDTC*によるTDRの更新後、クロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります(図16.24)。
- (b) DMAC*またはDTC*により、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み(RXI)に設定してください。

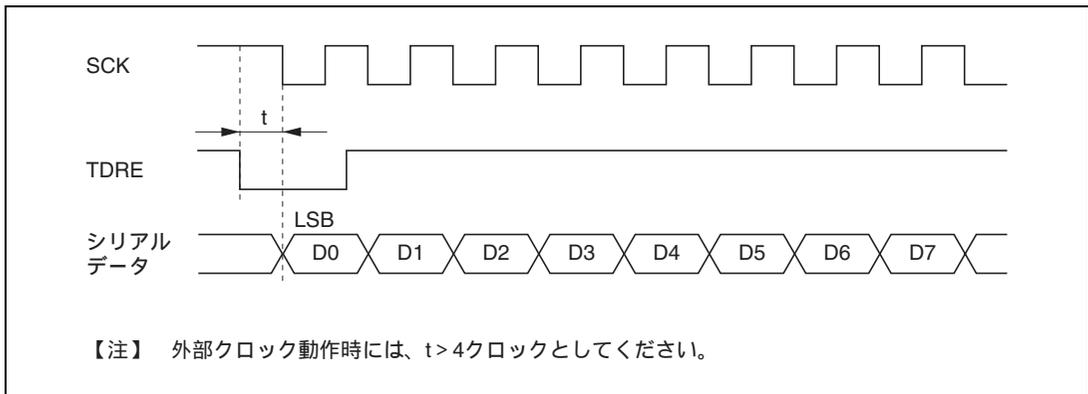


図 16.24 DTC*によるクロック同期式送信時の例

【注】 * H8S/2695 には DTC、DMAC はありません。

(8) モード遷移時の動作について

(a) 送信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、 $TE=1$ に戻し、SSR リード TDR ライト TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 16.25 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 16.26、図 16.27 に示します。

また、DTC*転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード*、サブアクティブモード*、またはサブスリープモード*への遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。解除後 DTC*による送信をする場合は $TE=1$ 、 $TIE=1$ に設定すれば TXI フラグが立ち、DTC*による送信が始まります。

【注】 * H8S/2695 には本機能はありません。

(b) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードに遷移時には、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 16.28 に受信時のモード遷移フローチャートの例を示します。

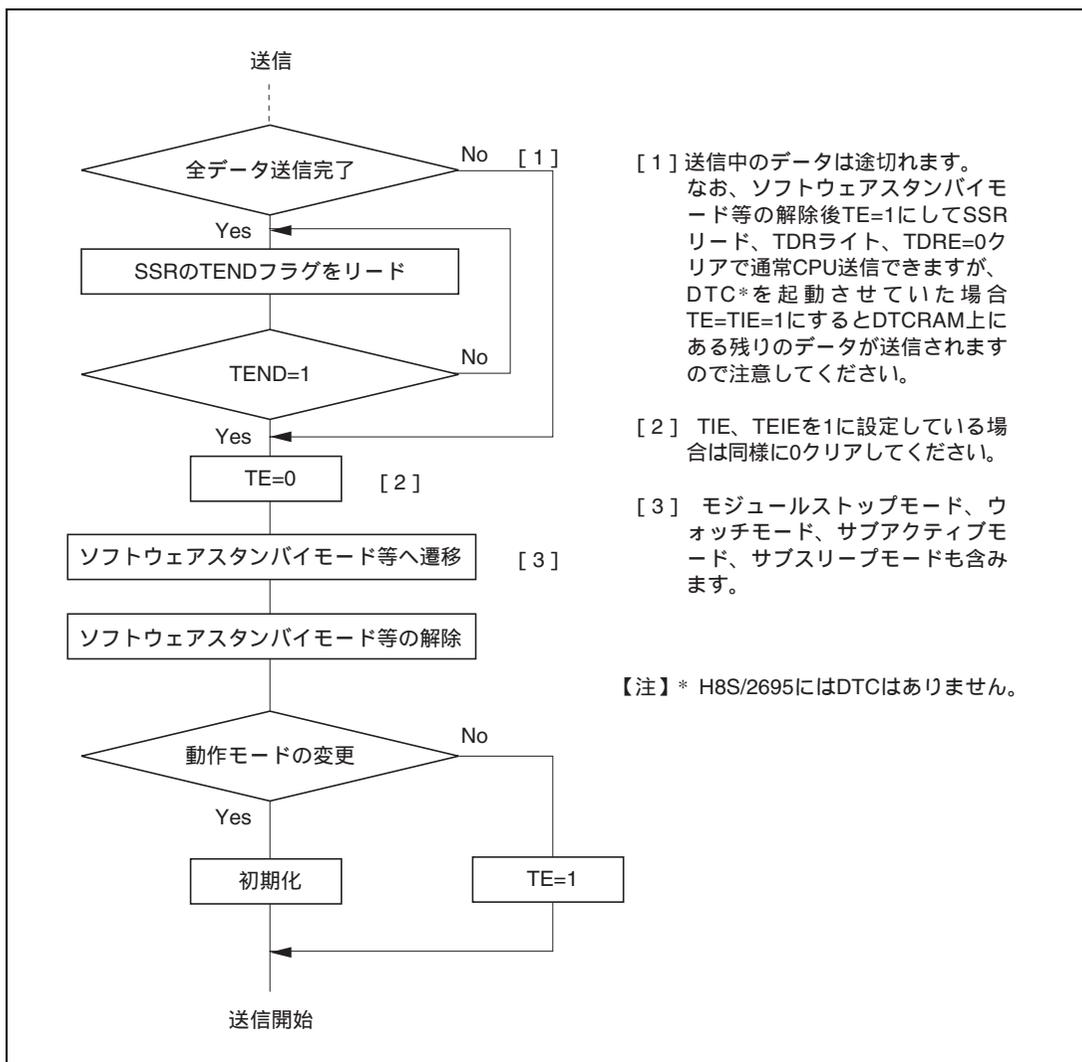


図 16.25 送信時のモード遷移フローチャートの例

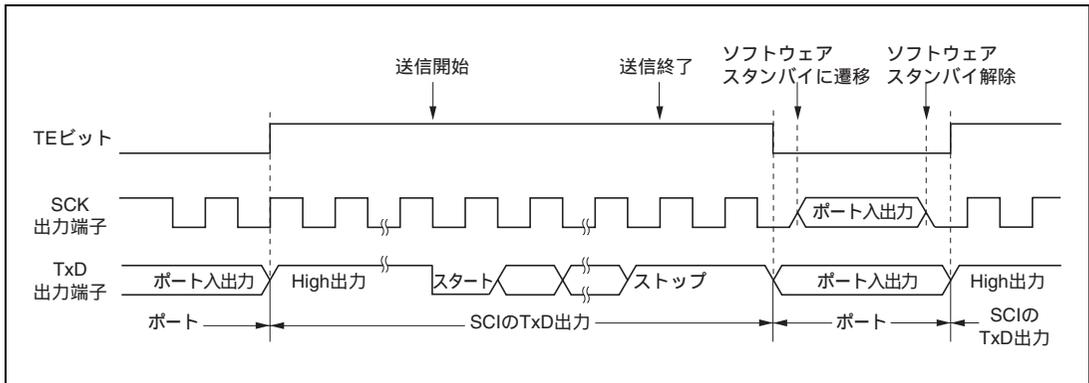


図 16.26 内部クロック、調歩同期送信の場合

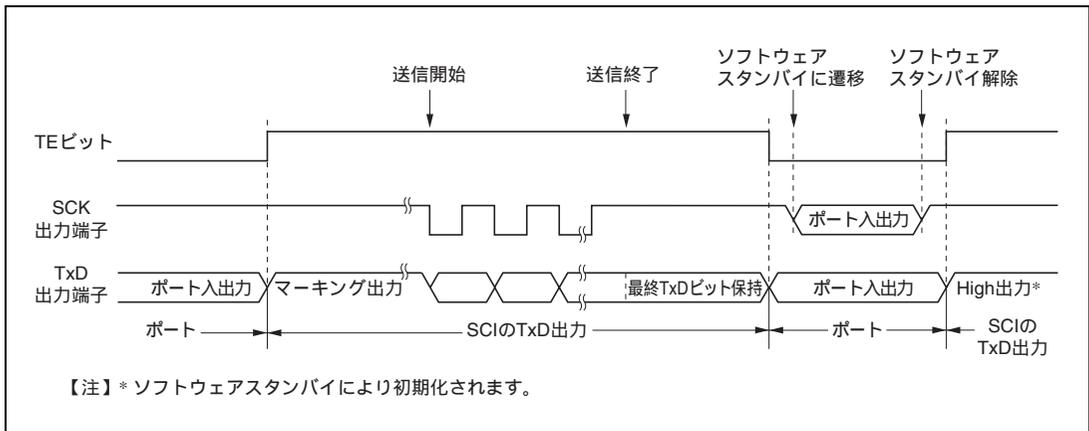


図 16.27 内部クロック、クロック同期送信の場合

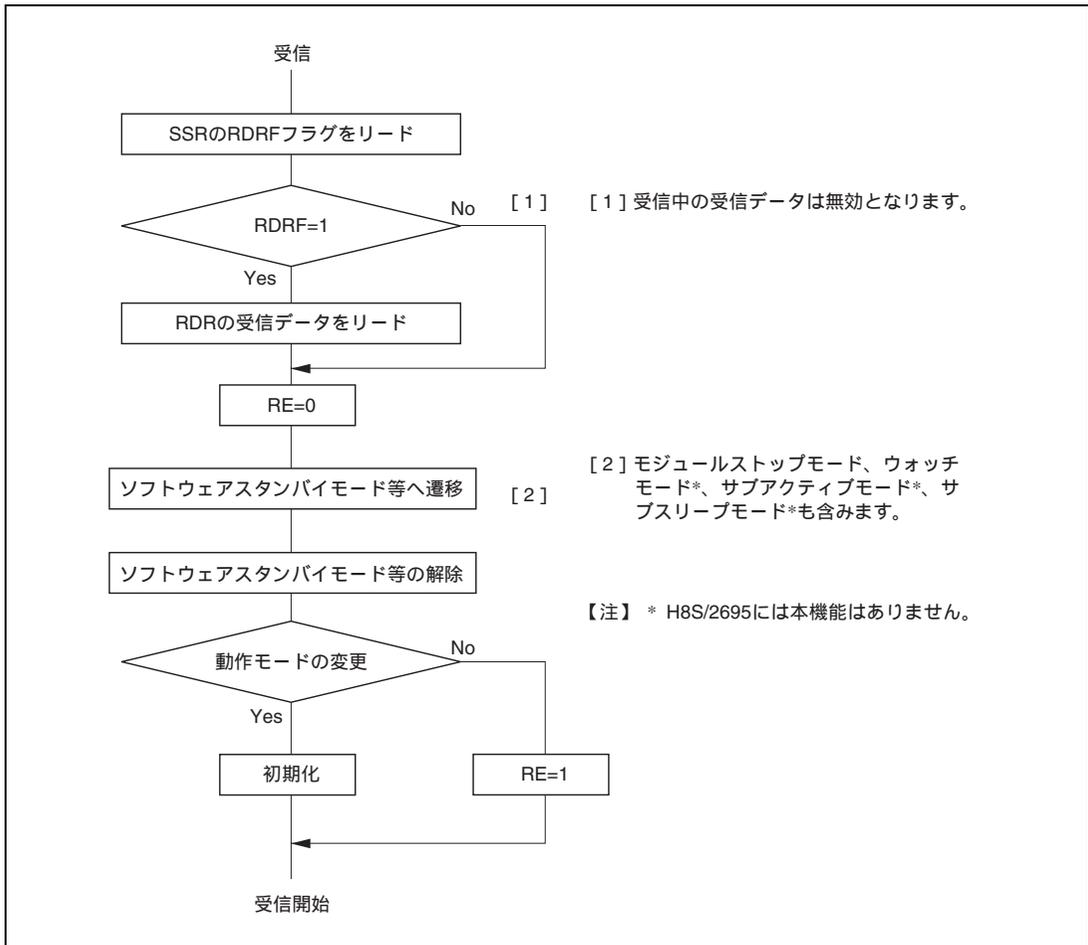


図 16.28 受信時のモード遷移フローチャートの例

(9) SCK 端子からポート端子へ切り替えるときの注意事項

(a) 動作現象

DDR=1、DR=1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR=1、DR=1、 $\overline{C/A}$ =1、CKE1=0、CKE0=0、TE=1 の状態より、以下の設定でポート切り替え時に半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TEビット=0
3. $\overline{C/A}$ ビット=0 ... ポート出力に切り替え
4. Low出力発生 (図16.29参照)

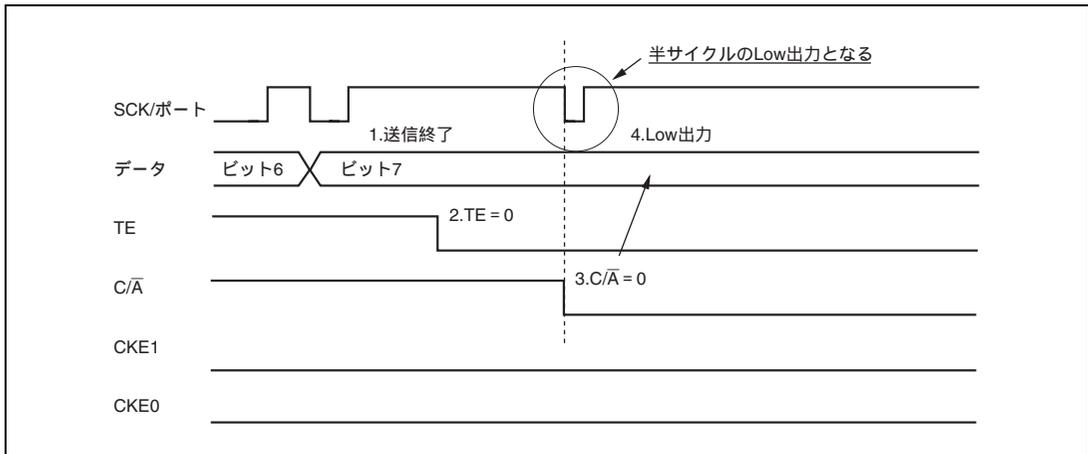


図 16.29 SCK 端子からポート端子へ切り替えるときの動作

(b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK 端子を一度入力状態にするため、あらかじめ SCK/ポート端子を外部回路でプルアップしてください。

DDR=1、DR=1、 $\overline{C/A}$ =1、CKE1=0、CKE0=0、TE=1 の状態より以下の 1~5 の順で設定してください。

1. シリアルデータ送信終了
2. TEビット=0
3. CKE1ビット=1
4. $\overline{C/A}$ ビット=0 ... ポート出力に切り替え
5. CKE1ビット=0

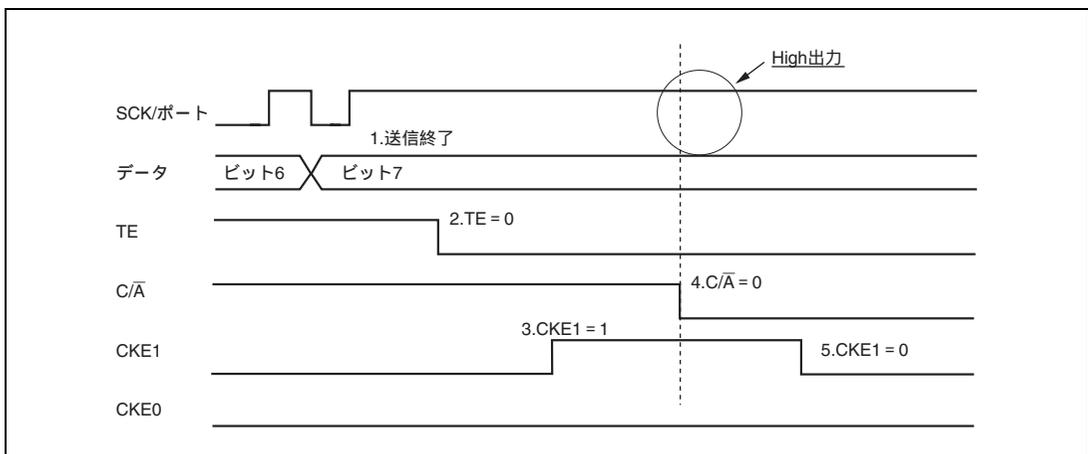


図 16.30 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

17. スマートカードインタフェース

17.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

17.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

調歩同期式モード

- データ長 : 8ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル (パリティエラー) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

3 種類の割り込み要因

- 送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立して要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、DMAコントローラ (DMAC) *またはデータトランスファコントローラ (DTC) *を起動させてデータを転送可能

【注】 * H8S/2695 には DTC、DMAC はありません。

17. スマートカードインタフェース

17.1.2 ブロック図

図 17.1 にスマートカードインタフェースのブロック図を示します。

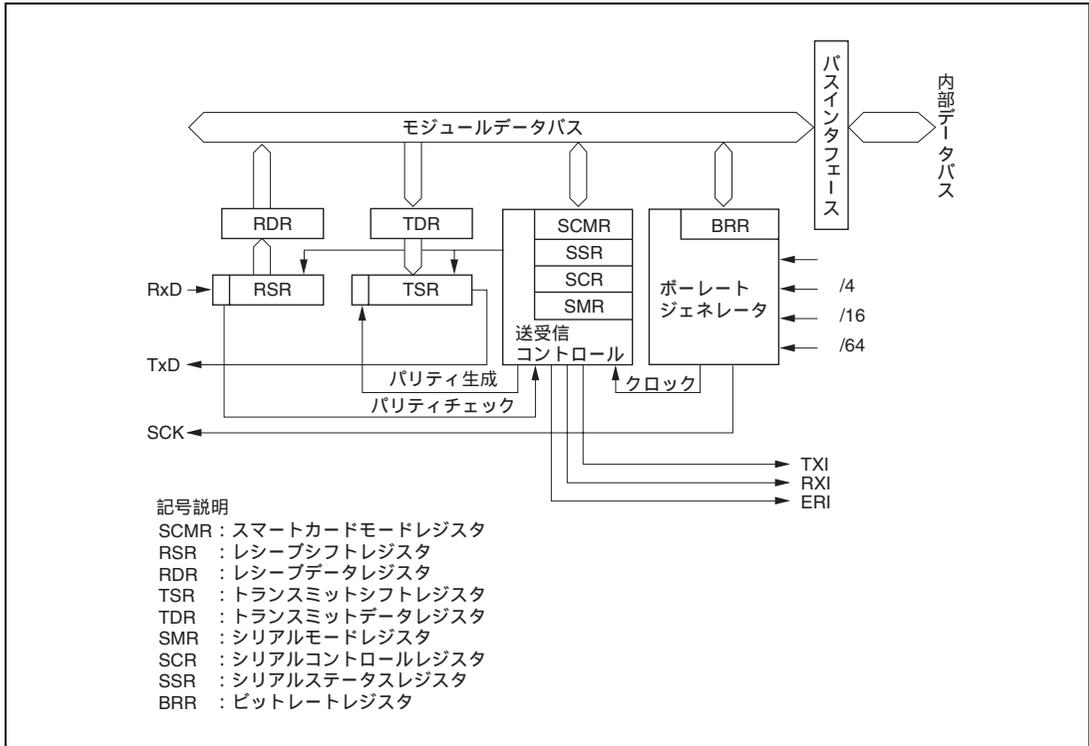


図 17.1 スマートカードインタフェースのブロック図

17.1.3 端子構成

スマートカードインタフェースの端子構成を表 17.1 に示します。

表 17.1 端子構成

チャンネル	名称	記号	入出力	機能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD2	出力	SCI2 の送信データ出力

チャンネル	名 称	記号	入出力	機 能
3	シリアルクロック端子 3	SCK3	入出力	SCI3 のクロック入出力
	レシーブデータ端子 3	RxD3	入力	SCI3 の受信データ入力
	トランスミットデータ端子 3	TxD3	出力	SCI3 の送信データ出力
4	シリアルクロック端子 4	SCK4	入出力	SCI4 のクロック入出力
	レシーブデータ端子 4	RxD4	入力	SCI4 の受信データ入力
	トランスミットデータ端子 4	TxD4	出力	SCI4 の送信データ出力

17.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 17.2 に示します。BRR、TDR、RDR、MSTPCR については、通常の SCI の機能と同様ですので、「第 16 章 シリアルコミュニケーションインタフェース (SCI、IrDA)」のレジスタの説明を参照してください。

表 17.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86

チャンネル	名 称	略称	R/W	初期値	アドレス*1
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)*2	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
3	シリアルモードレジスタ 3	SMR3	R/W	H'00	H'FDD0
	ビットレートレジスタ 3	BRR3	R/W	H'FF	H'FDD1
	シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FDD2
	トランスミットデータレジスタ 3	TDR3	R/W	H'FF	H'FDD3
	シリアルステータスレジスタ 3	SSR3	R/(W)*2	H'84	H'FDD4
	レシーブデータレジスタ 3	RDR3	R	H'00	H'FDD5
	スマートカードモードレジスタ 3	SCMR3	R/W	H'F2	H'FDD6
4	シリアルモードレジスタ 4	SMR4	R/W	H'00	H'FDD8
	ビットレートレジスタ 4	BRR4	R/W	H'FF	H'FDD9
	シリアルコントロールレジスタ 4	SCR4	R/W	H'00	H'FDDA
	トランスミットデータレジスタ 4	TDR4	R/W	H'FF	H'FDDB
	シリアルステータスレジスタ 4	SSR4	R/(W)*2	H'84	H'FDDC
	レシーブデータレジスタ 4	RDR4	R	H'00	H'FDDD
	スマートカードモードレジスタ 4	SCMR4	R/W	H'F2	H'FDDE
共通	モジュールストップコントロールレジスタ	MSTPCR3B	R/W	H'FF	H'FDE9
	B、C	MSTPCRC	R/W	H'FF	H'FDEA

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

17.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

17.2.1 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

SCMR は、リセット、ハードウェアスタンバイモード時に、HF2 に初期化されます。

- ビット7~4: リザーブビット
リードすると常に1が読み出されます。ライトは無効です。
- ビット3: スマートカードデータトランスファディレクション (SDIR)
シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

- ビット2: スマートカードデータインバート (SINV)
データのロジックレベルの反転を指定します。この機能は、SDIRビットと組み合わせインバースコンベンションカードとの送受信に使用します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「17.3.4 レジスタの設定」を参照してください。

ビット2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

- ビット1：リザーブビット
リードすると常に1が読み出されます。ライトは無効です。
- ビット0：スマートカードインタフェースモードセレクト（SMIF）
スマートカードインタフェース機能を許可または禁止するビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

17.2.2 シリアルステータスレジスタ（SSR）

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

スマートカードインタフェースモードにおいては、SSRのビット4の機能が変更されます。また、これに関連してビット2のTENDのセット条件が変更になります。

- ビット7～5：
通常のSCIと同様の動作をします。詳細は「16.2.7 シリアルステータスレジスタ（SSR）」を参照してください。
- ビット4：エラーシグナルステータス（ERS）
スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット4	説明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) [クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS=1の状態をリードした後、0をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナルLowをサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

• ビット3~0:

通常のSCIと同様の動作をします。詳細は「16.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TENDビットのセット条件は次のようになります。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込みによって DMAC*または DTC*が起動され、DMAC*または DTC*で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCR の TE ビットが 0 かつ ERS ビットが 0 のとき (3) GM = 0、BLK = 0 のとき 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき (4) GM = 0、BLK = 1 のとき 1 バイトのシリアルキャラクタを送信して、1.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき (5) GM = 1、BLK = 0 のとき 1 バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき (6) GM = 1、BLK = 1 のとき 1 バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu (Elementary time unit) : 1 ビットの転送期間

* H8S/2695 には DTC、DMAC はありません。

17.2.3 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/E	BCP1	BCP0	CKS1	CKS0
初期値 :	0	0	0*	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* スマートカードインタフェースを使用する場合は、ビット5に1を設定してください。

スマートカードインタフェースモードにおいては、SMR のビット 7、6、3、2 の機能が変更されます。

- ビット7 : GSMモード (GM)

スマートカードインタフェース機能をGSMモードに設定します。

通常のスマートカードインタフェース時は0に設定します。GSMモードは、本ビットを1に設定し、送信完了を示すTENDフラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCR) のビット1およびビット0で指定します。

ビット7	説明
GM	
0	通常のスマートカードインタフェースモードの動作。 (1) TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ (初期値)
1	GSM モードのスマートカードインタフェースモードの動作。 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF 制御の他、High/Low 固定制御可能 (SCR で設定)

【注】 etu (Elementary time unit) : 1 ビットの転送期間

- ビット6：ブロック転送モード（BLK）
ブロック転送モードの選択を行います。

ビット6	説明
BLK	
0	通常のス마트カードインタフェースモードの動作 (1) エラーシグナルの送出、検出、データの自動再送信を行う (2) TXI 割り込みが TEND フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後)
1	ブロック転送モードで動作 (1) エラーシグナルの送出、検出、データの自動再送信を行わない (2) TXI 割り込みが TDRE フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)

【注】 etu (Elementary time unit) : 1 ビットの転送期間

- ビット3、2：基本クロックパルス1、0（BCP1、BCP0）
スマートカードインタフェースモードにおいては、1ビット転送期間中の基本クロック数を指定することができます。

ビット3	ビット2	説明
BCP1	BCP0	
0	0	32 クロック (初期値)
	1	64 クロック
1	0	372 クロック
	1	256 クロック

- ビット5、4、1、0：
通常のスCIと同様の動作をします。詳細は「16.2.5 シリアルモードレジスタ（SMR）」を参照してください。

17.2.4 シリアルコントロールレジスタ (SCR)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

スマートカードインタフェースモードで、シリアルモードレジスタ (SMR) のビット 7 が 1 のときに、SCR のビット 1 およびビット 0 の機能が変更されます。

- ビット 7~2 :
通常の SCI と同様の動作をします。詳細は「16.2.6 シリアルコントロールレジスタ (SCR)」を参照してください。
- ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)
SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。
スマートカードインタフェースモード時では、通常のクロック出力の許可 / 禁止切り替えのほか、クロック出力の High レベル固定と Low レベル固定を設定することができます。

SCMR	SMR	SCR の設定		SCK 端子機能の説明
		CKE1	CKE0	
0				SCI 指定参照
1	0	0	0	ポート入出力端子として動作
1	0	0	1	SCK 出力端子としてクロック出力
1	1	0	0	SCK 出力端子として Low 出力固定
1	1	0	1	SCK 出力端子としてクロック出力
1	1	1	0	SCK 出力端子として High 出力固定
1	1	1	1	SCK 出力端子としてクロック出力

17.3 動作説明

17.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

1. 1フレームは、8ビットデータとパリティビットで構成されます。
2. 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (ブロック転送モード時は 1etu)(Elementary time unit : 1ビットの転送期間)以上のガードタイムをおきます。
3. 受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナルLowを 1etu 期間出力します(ブロック転送モード時を除く)。
4. 送信時はエラーシグナルをサンプリングすると、 2etu 以上経過後、自動的に同じデータを送信します(ブロック転送モード時を除く)。
5. 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

【注】 etu (Elementary time unit) : 1ビットの転送期間

17.3.2 端子接続

図 17.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{cc} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

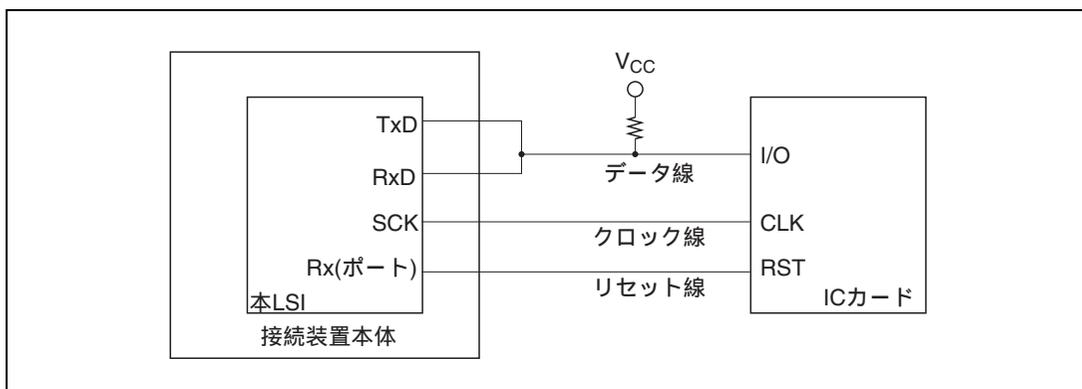


図 17.2 スマートカードインタフェース端子接続概略図

【注】 ICカードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

17.3.3 データフォーマット

(1) 通常の転送モード

図 17.3 に通常のスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時は、エラーシグナルをサンプリングすると同じデータを再送信します。

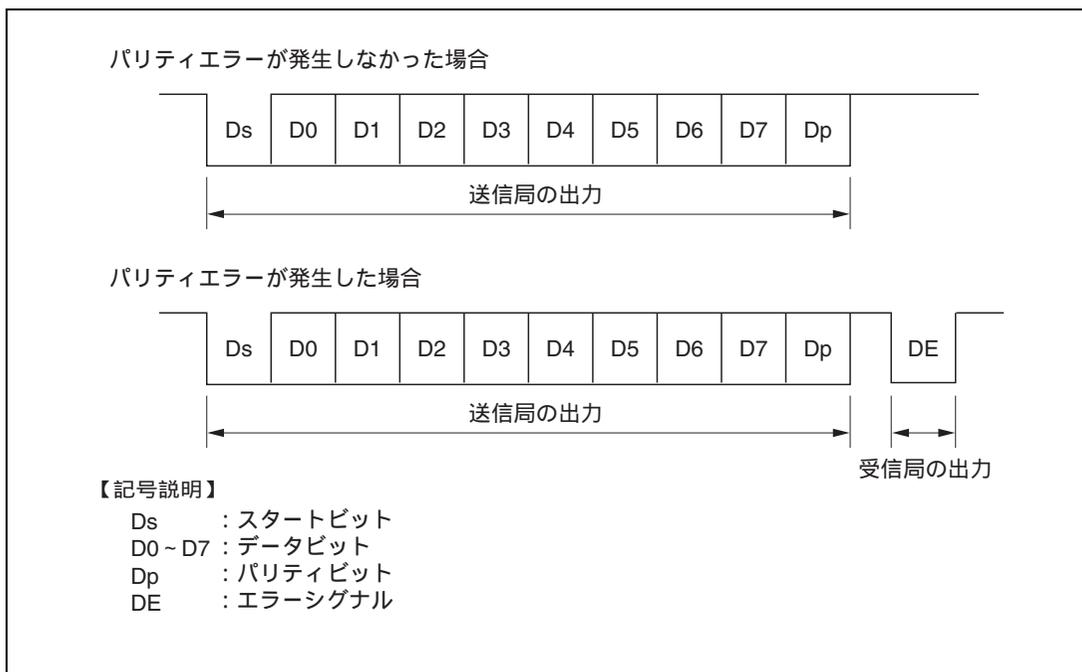


図 17.3 通常のスマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されません。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Lowレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
4. 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE、Lowレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
5. 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。
一方、エラーシグナルを受信した場合は、[2] に戻りエラーとなったデータを再送信します。

(2) ブロック転送モード

ブロック転送モードの動作シーケンスは次のようになっています。

1. データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されません。
2. 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Lowレベル) から開始します。この後に、8ビットのデータビット (D0~D7) とパリティビット (Dp) が続きます。
3. スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
4. 受信側は、パリティエラーのチェックを行います。エラーが発生してもエラーシグナルは出力しません。エラーが発生すると、以後の受信動作ができませんので、次のフレームのパリティビットを受信する前までにエラーフラグを0にクリアしてください。
5. 送信側は次のフレームのデータ送信に移ります。

17.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 17.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 17.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SMR	GM	BLK	1	O \bar{E}	BCP1	BCP0	CKS1	CKS0
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	TIE	RIE	TE	RE	0	0	CKE1*	CKE0
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	-	-	-	-	SDIR	SINV	-	SMIF

【注】 - : 未使用ビットを示します。

* : SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 に設定してください。

(1) SMR の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。O \bar{E} ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インパースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを、BCP1、BCP0 ビットは 1 ビット転送期間中の基本クロック数を選択します。

詳細は「17.3.5 クロック」を参照してください。

BLK ビットは、通常のスマートカードインタフェースモード時には 0 を設定し、ブロック転送モード時には 1 を設定します。

(2) BRR の設定

ビットレートを設定します。設定値の算出方法は「17.3.5 クロック」を参照してください。

(3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 16 章 シリアルコミュニケーションインタフェース (SCI、IrDA)」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は B'00 に設定し、クロックを出力する場合は B'01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

(4) スマートカードモードレジスタ (SCMR) の設定

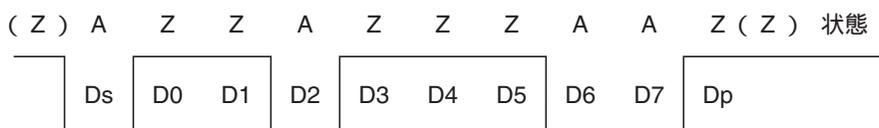
SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

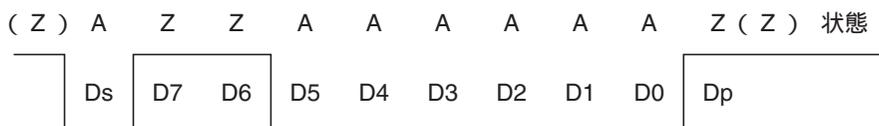
(a) ダイレクトコンベンション (SDIR = SINV = O/\bar{E} = 0)



ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV = O/\bar{E} = 1)



インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の O/\bar{E} ビットを奇数パリティモードに設定します (送信、受信とも同様です)。

17.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートは BRR と SMR の CKS1、CKS0、BCP1、BCP0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 17.5 に示します。

このとき CKE0=1 でクロック出力を選択すると、SCK 端子からクロックが出力されます。また、クロックの周波数はビットレートと BCP1、BCP0 ビットの設定により決まります。

$$B = \frac{S \times 2^{2n+1} \times (N+1)}{S \times 2^{2n+1} \times (N+1)} \times 10^6$$

ただし、N=BRR の設定値 (0 N 255)

B = ビットレート (bit/s)

= 動作周波数 (MHz)

n = 表 17.4 を参照

S = BCP1、BCP0 で設定した 1 ビット期間の内部クロック数

表 17.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

表 17.5 BRR の設定に対するビットレート B (bit/s) の例
(ただし、n=0、S=372 のとき)

N	(MHz)								
	10.00	10.714	13.00	14.285	16.00	18.00	20.00	25.00	28.00
0	13441	14400	17473	19200	21505	24194	26882	33602	37634
1	6720	7200	8737	9600	10753	12097	13441	16801	18817
2	4480	4800	5824	6400	7168	8065	8961	11201	12545

【注】 ビットレートは、小数点以下 1 桁目を四捨五入した数値です。

一方、動作周波数とビットレートからビットレートレジスタ (BBR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{S \times 2^{2n+1} \times B}{S} \times 10^6 - 1$$

表 17.6 ビットレート B (bit/s) に対する BRR の設定例 (ただし、n=0、S=372 のとき)

bit/s	(MHz)																			
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.00		25.00		28.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99	2	6.60	3	12.49	3	1.99

表 17.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)
(ただし S=372 のとき)

(MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0
28.00	37634	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{S \times 2^{2n+1} \times B}{S} \times 10^6 - 1 \right) \times 100$$

17.3.6 データの送信 / 受信動作

(1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロック出力されます。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外にはTEビットとREビットを同時にセットしないでください。

(2) シリアルデータ送信(ブロック転送モードを除く)

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 17.4 に示します。

また、送信動作と内部レジスタの関連を図 17.5 に示します。

1. (1)の手順に従いスマートカードインタフェースモードに初期化します。
2. SSRのエラーフラグERSが0にクリアされていることを確認してください。
3. SSRのTENDフラグが1にセットされていることが確認できるまで、2、3を繰り返してください。
4. TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
5. 連続してデータを送信する場合は、2に戻ってください。
6. 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理または DMAC*、DTC*によるデータ転送が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 17.6 に TEND フラグ発生タイミングを示します。

TXI 要求で DMAC*または DTC*を起動する場合、自動再転送を含め DMAC*または DTC*に設定したバイト数を自動的に送信することができます。

詳細は「(6) 割り込み動作(ブロック転送モードを除く)」、「(7) DMAC または DTC によるデータ転送動作」を参照してください。

【注】 ブロック転送モードの場合は、「16.3.2 調歩同期式モード時の動作」を参照してください。

* H8S/2695 には DMAC、DTC はありません。

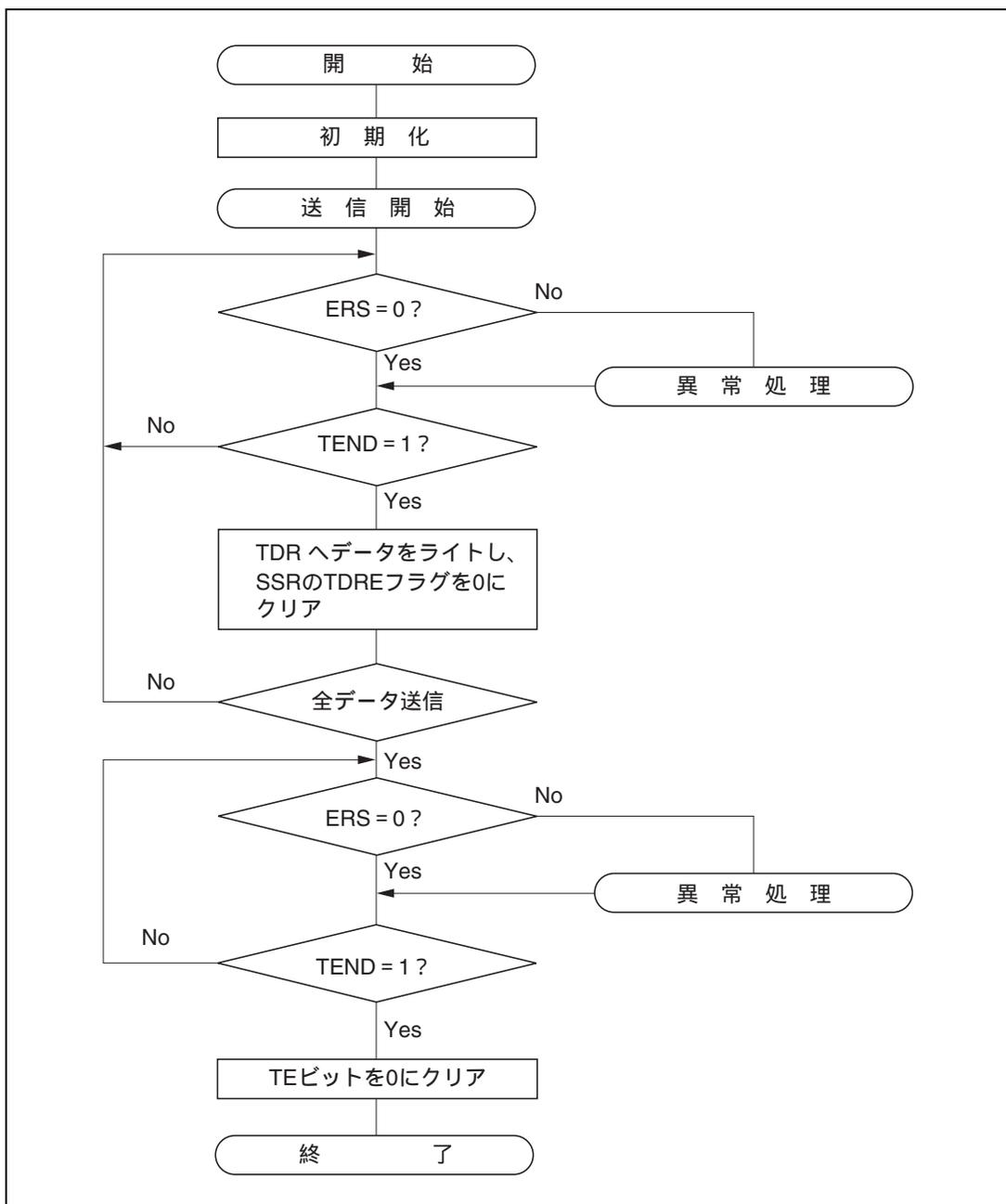


図 17.4 送信処理フローの例

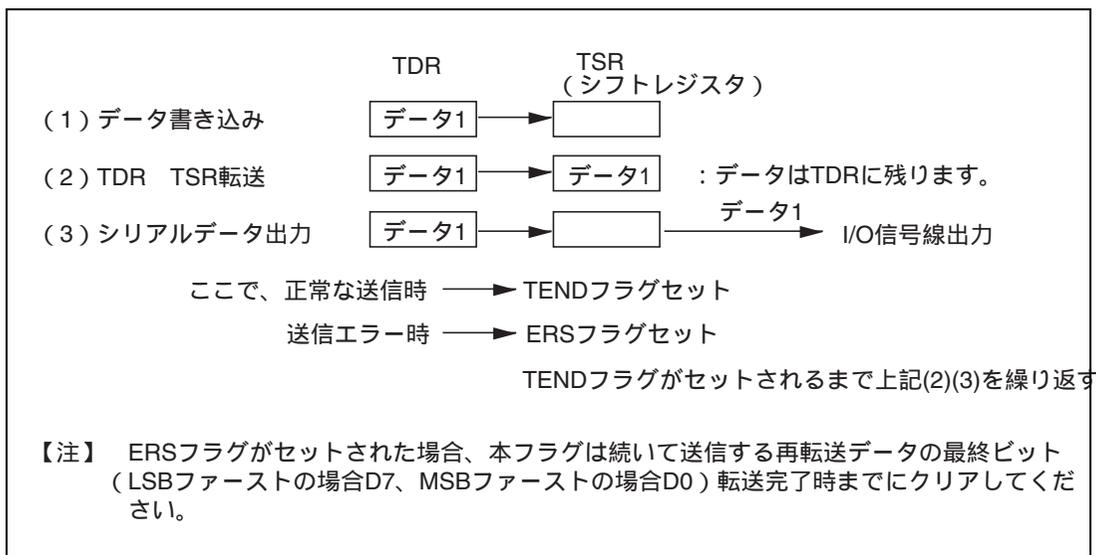


図 17.5 送信動作と内部レジスタの関連

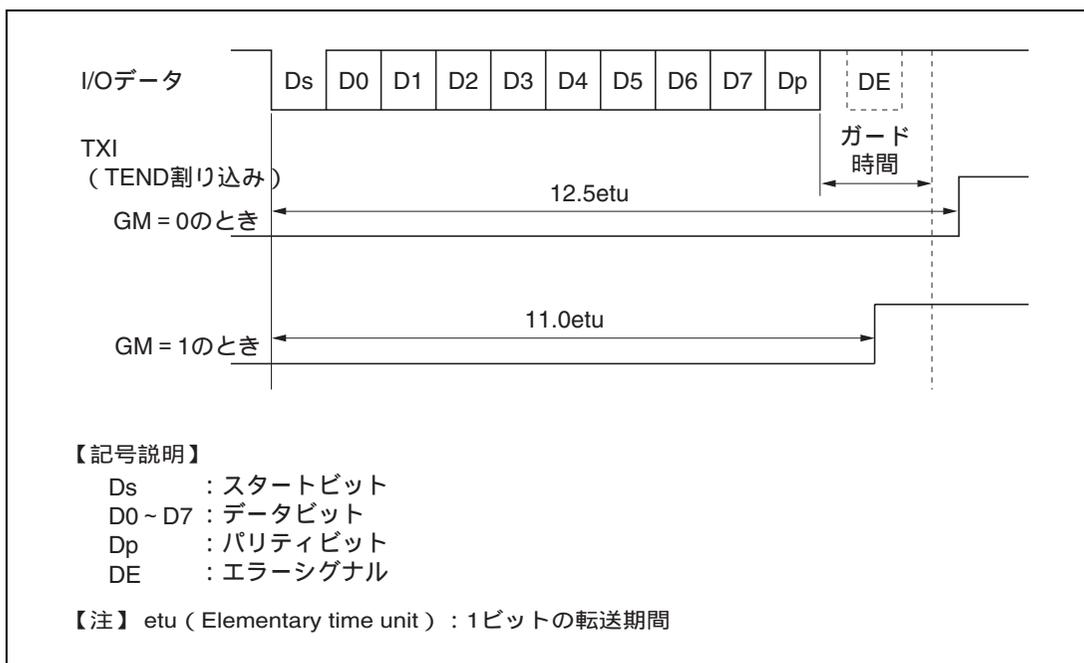


図 17.6 送信動作時の TEND フラグ発生タイミング

(3) シリアルデータ受信（ブロック転送モードを除く）

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 17.7 に示します。

1. SCIを（1）に従いスマートカードインタフェースモードに初期化します。
2. SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
3. RDRFフラグが1であることを確認できるまで2.、3.を繰り返してください。
4. RDRから受信データをリードしてください。
5. 継続してデータを受信する場合は、RDRFフラグを0にクリアして [2] の手順に戻ってください。
6. 受信を終了する場合は、REビットを0にクリアします。

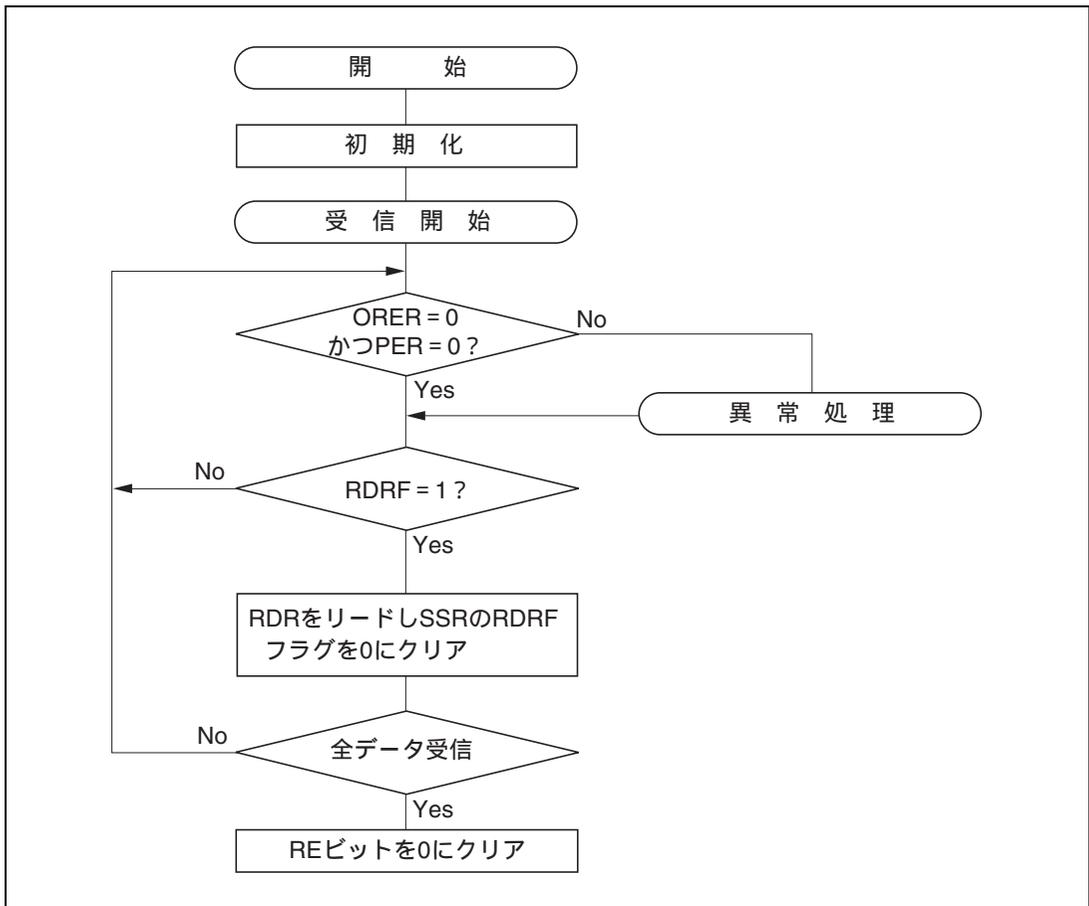


図 17.7 受信処理フローの例

以上の一連の処理は、割り込み処理または DMAC*、DTC*によるデータ転送が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求を発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生します。

RXI 要求で DMAC*または DTC*を起動する場合、エラーの発生した受信データをスキップして DMAC*または DTC*に設定したバイト数だけ受信データを転送します。

詳細は「(6) 割り込み動作 (ブロック転送モードを除く)」、「(7) DMAC または DTC によるデータ転送動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「16.3.2 調歩同期式モード時の動作」を参照してください。

* H8S/2695 には DMAC、DTC はありません。

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 17.8 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

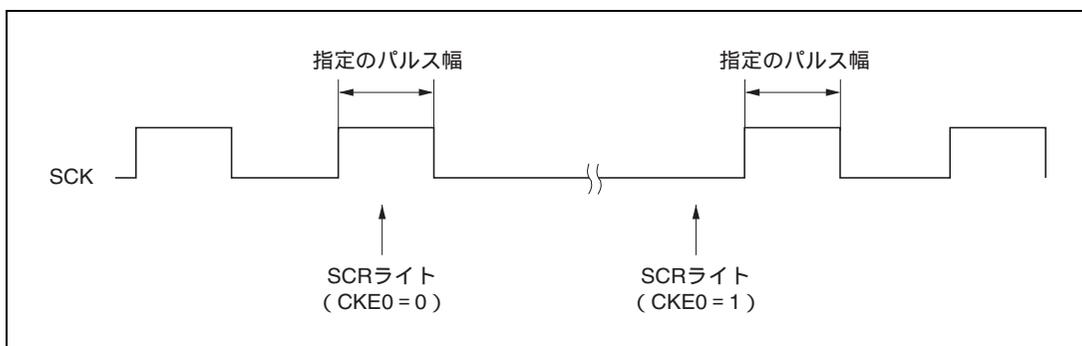


図 17.8 クロック出力固定タイミング

(6) 割り込み動作 (ブロック転送モードを除く)

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割り込み要求を発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求を発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求を発生します。これらの関係を表 17.8 に示します。

【注】 ブロック転送モードの場合は、「16.4 SCI 割り込み」を参照してください。

表 17.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	許可ビット	割り込み 要因	DMAC の 起動	DTC の 起動
送信モード	正常動作	TEND	TIE	TXI	可	可
	エラー	ERS	RIE	ERI	不可	不可
受信モード	正常動作	RDRF	RIE	RXI	可	可
	エラー	PER、ORER	RIE	ERI	不可	不可

(7) DMAC*またはDTC*によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC*またはDTC*を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DMAC*またはDTC*の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC*またはDTC*が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC*またはDTC*によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC*は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC*が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC*またはDTC*を使って送受信を行う場合は、必ず先に DMAC*またはDTC*を設定し、許可状態にしてから SCI の設定を行ってください。DMAC*、DTC*の設定方法は「第 8 章 DMA コントローラ (DMAC)*」、「第 9 章 データトランスファコントローラ (DTC)*」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DMAC*またはDTC*の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC*またはDTC*が起動されて受信データの転送を行います。RDRF フラグは、DMAC*またはDTC*によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DMAC*またはDTC*は起動されず、代わりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

【注】 ブロック転送モードの場合は、「16.4 SCI 割り込み」を参照してください。

* H8S/2695 には DMAC、DTC はありません。

17.3.7 GSM モード時の動作

(1) モード切り替え時

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0を書き込み、送信 / 受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0を書き込み、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

6. ソフトウェアスタンバイ状態を解除してください。
7. SCRのCKE0ビットに1を書き込み、クロックを出力させてください。正常なデューティにて信号発生を開始します。

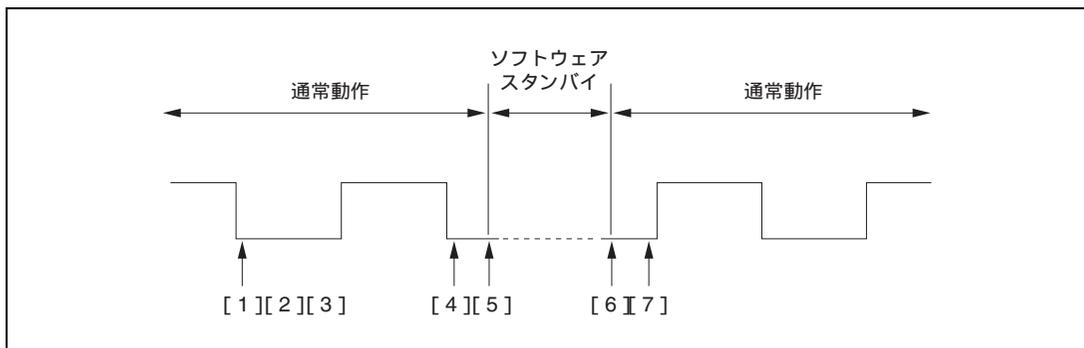


図 17.9 クロック停止・再起動手順

(2) 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

17.3.8 ブロック転送モード時の動作

ブロック転送モードの動作は、以下の項目を除いて、SCIの調歩同期式モードと同じです。したがって、詳細は「16.3.2 調歩同期式モード時の動作」を参照してください。

(1) データフォーマット

データフォーマットは8ビット、パリティありフォーマットです。ストップビットはありませんが2ビット以上(受信時は1ビット以上)のガードタイムがあります。

また、送信時(スタートビット、データビット、パリティビット送信時)以外は送信端子がハイインピーダンス状態になります。したがって、信号線をプルアップ抵抗により High レベルに固定する必要があります。

(2) 送受信クロック

送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。また、1ビット転送期間中の基本クロック数は、BCP1、BCP0 ビットで32、64、372、256のどれかに設定できます。詳細は「17.3.5 クロック」を参照してください。

(3) ERS (FER) フラグ

ERS フラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

17.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCI は転送レートの 32 倍、64 倍、372 倍、256 倍（BCP1、BCP0 ビットにより決まります）周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックのそれぞれ 16、32、186、128 クロック目の立ち上がりエッジで内部に取り込みます。372 倍のクロック使用時の例を図 17.10 に示します。

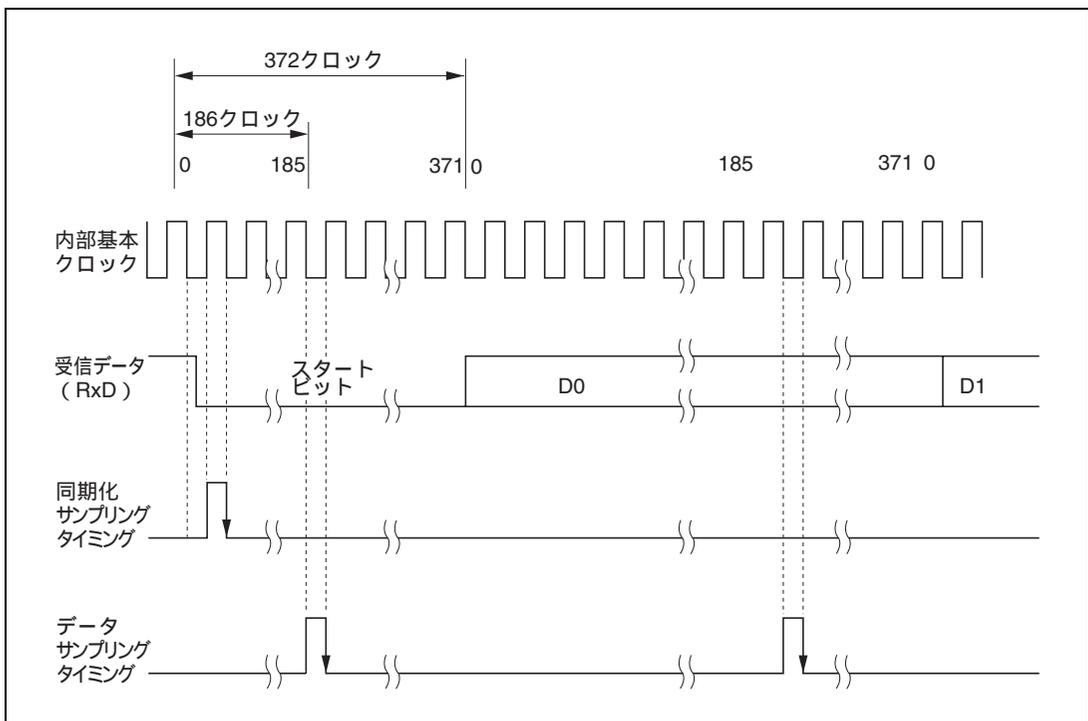


図 17.10 スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N=32、64、372、256）

D：クロックデューティ（D=0～1.0）

L：フレーム長（L=10）

F：クロック周波数の偏差の絶対値

上式で、F=0、D=0.5、N=372 とすると、受信マージン式は次のようになります。

D=0.5、F=0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

（2）再転送動作（ブロック転送モードを除く）

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

（a）SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 17.11 に示します。

1. 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
2. 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
3. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
4. 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。
さらに、RXI要因によるDMAC*またはDTC*のデータ転送が許可されていれば、RDRの内容を自動的にリードすることができます。DMAC*またはDTC*でRDRのデータをリードした場合、RDRFフラグは自動的に0にクリアされます。
5. 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

【注】 * H8S/2695 には DTC、DMAC はありません。

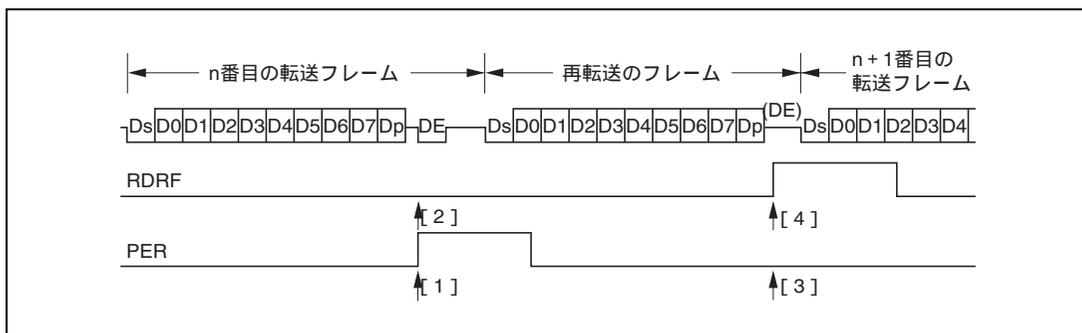


図 17.11 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 17.12 に示します。

6. 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
7. 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
8. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
9. 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。

さらに、TXI要因によるDMAC*、DTC*によるデータ転送が許可されていれば、自動的にTDRに次のデータをライトすることができます。DMAC*またはDTC*でTDRにデータをライトした場合、TDREビットは自動的に0にクリアされます。

【注】 * H8S/2695 には DTC、DMAC はありません。

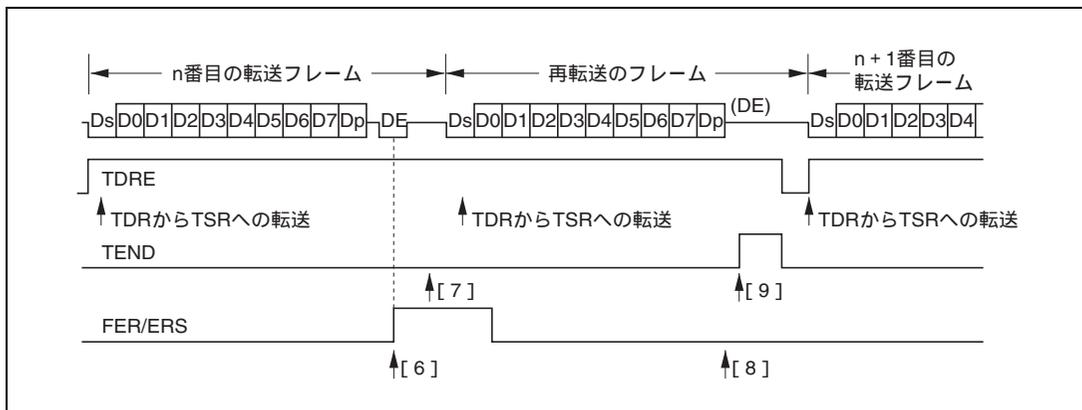


図 17.12 SCI 送信モードの場合の再転送動作

18. I²C バスインタフェース (IIC) 【オプション】 (H8S/2695 に本機能はありません)

I²C バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。

1. マスクROM版では、オプション機能を使用する製品型名には“W”が付加されます。
例：HD6432633WF等
2. F-ZTAT版では製品型名は同一ですが、本オプション機能を使用する場合には、必ずその旨当社営業担当者にご連絡をお願いします。

18.1 概要

本 LSI は、2 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

I²C バスインタフェースを用いたデータ転送は、各チャンネルで、データライン(SDA)1 本、クロックライン(SCL)1 本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

18.1.1 特長

アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

- I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
- シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

I²C バスフォーマットは、Philips 社提唱の I²C バスインタフェースに準拠

I²C バスフォーマットで、スレーブアドレスを 2 通り設定可能

I²C バスフォーマットで、マスタモード時、開始、停止条件の自動生成

I²C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能

I²C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能

I²C バスフォーマットで、マスタモード時のウェイト機能

- アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグを 0 にクリアすることで解除。

I²C バスフォーマットで、スレーブモード時のウェイト機能

- アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

3 種類の割り込み要因

- データ転送終了時 (I²C バスフォーマットで送信モード遷移時、および、マスタ競合負け後のアドレス受信を含む)
- アドレス一致時: I²C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したときまたはゼネラルコールアドレスを受信したとき
- 停止条件検出時

マスタモード時、16 種類の内部クロック選択可能

バスを直接駆動 (SCL / SDA 端子)

- P35/SCL0、P34/SDA0の2端子は、通常時はNMOSプッシュプル出力、バス駆動機能選択時はNMOSオープンドレイン出力。
- P33/SCL1、P32/SDA1の2端子は、通常時はCMOS端子、バス駆動機能選択時はNMOSのみで出力。

18.1.2 ブロック図

I²C バスインタフェースのブロック図を図 18.1 に示します。

入出力端子の外部回路接続例を、図 18.2 に示します。チャンネル 0 の入出力端子は、NMOS オープンドレインであり、本 LSI の電源 (PV_{CC}) 電圧を超える電圧印加が可能です。印加電圧の上限は、電源 (PV_{CC}) 電圧範囲 + 0.3V にあたる 5.8V としてください。チャンネル 1 の入出力端子は NMOS のみにより駆動されるため、見かけ上 NMOS オープンドレインと同様の動作をします。しかし、入出力端子に印加可能な電圧は、本 LSI に依存します。

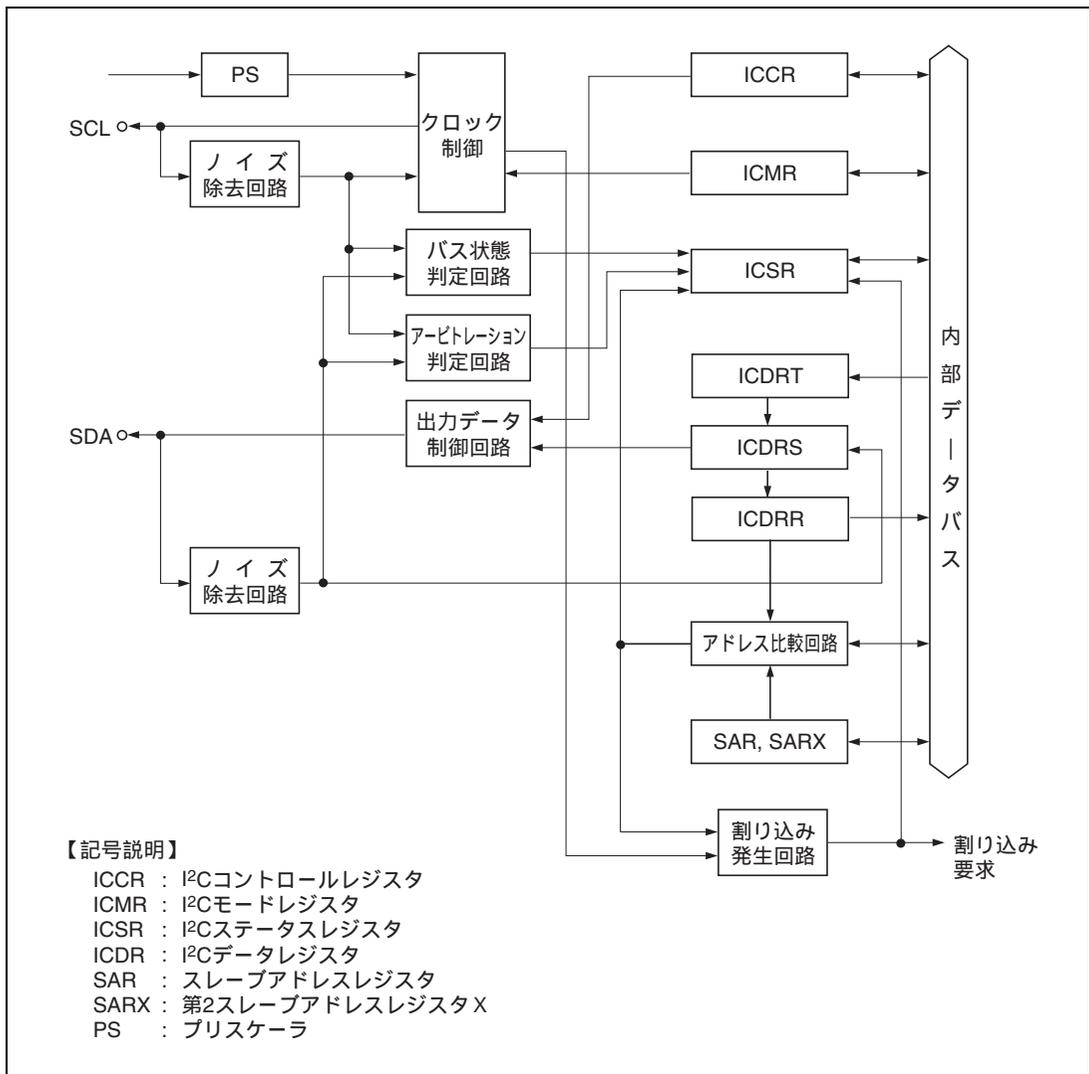
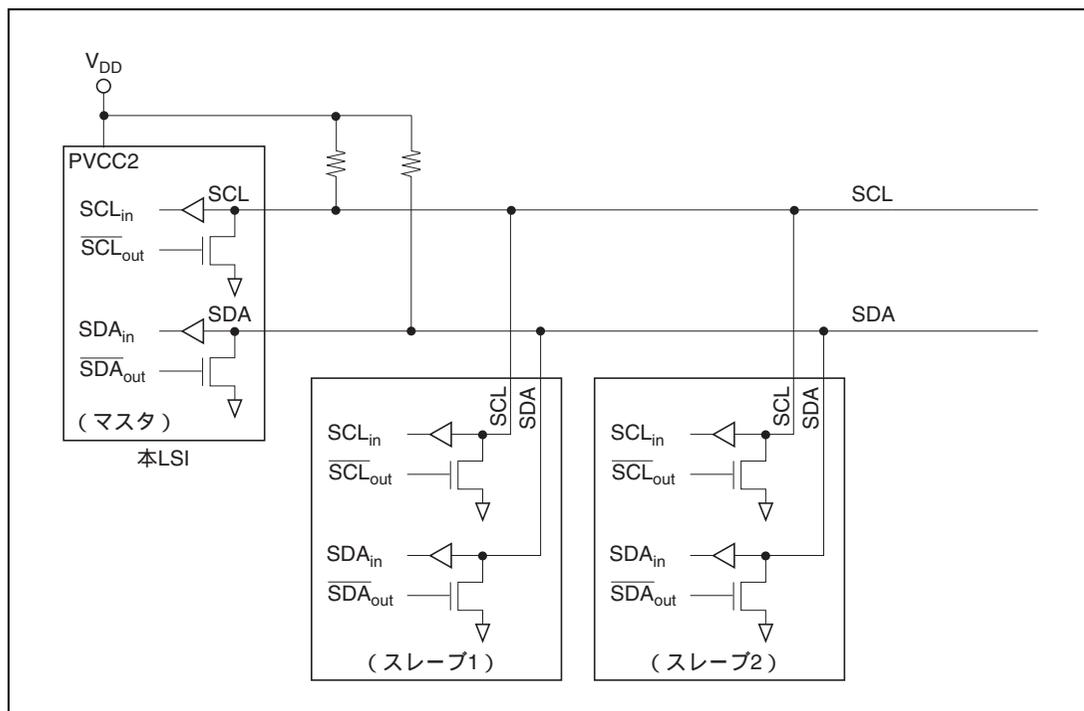


図 18.1 I²C バスインタフェースのブロック図

図 18.2 I²C バスインタフェース接続例 (本 LSI がマスタの場合)

18.1.3 端子構成

I²C バスインタフェースで使用する端子を表 18.1 に示します。

表 18.1 端子構成

チャンネル	名称	記号*	入出力	機能
0	シリアルクロック端子	SCL0	入出力	IIC0 シリアルクロック入出力端子
	シリアルデータ端子	SDA0	入出力	IIC0 シリアルデータの入出力端子
1	シリアルクロック端子	SCL1	入出力	IIC1 シリアルクロック入出力端子
	シリアルデータ端子	SDA1	入出力	IIC1 シリアルデータの入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

18.1.4 レジスタ構成

I²C バスインタフェースのレジスタ構成を表 18.2 に示します。

表 18.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	I ² C バスコントロールレジスタ	ICCR0	R/W	H'01	H'FF78*3
	I ² C バスステータスレジスタ	ICSR0	R/W	H'00	H'FF79*3
	I ² C バスデータレジスタ	ICDR0	R/W	-	H'FF7E*2*3
	I ² C バスモードレジスタ	ICMR0	R/W	H'00	H'FF7F*2*3
	スレーブアドレスレジスタ	SAR0	R/W	H'00	H'FF7F*2*3
	第 2 スレーブアドレスレジスタ	SARX0	R/W	H'01	H'FF7E*2*3
1	I ² C バスコントロールレジスタ	ICCR1	R/W	H'01	H'FF80*3
	I ² C バスステータスレジスタ	ICSR1	R/W	H'00	H'FF81*3
	I ² C バスデータレジスタ	ICDR1	R/W	-	H'FF86*2*3
	I ² C バスモードレジスタ	ICMR1	R/W	H'00	H'FF87*2*3
	スレーブアドレスレジスタ	SAR1	R/W	H'00	H'FF87*2*3
	第 2 スレーブアドレスレジスタ	SARX1	R/W	H'01	H'FF86*2*3
共通	シリアルコントロールレジスタ X	SCRX	R/W	H'00	H'FDB4
	DDC スイッチレジスタ	DDCSWR	R/W	H'0F	H'FDB5
	モジュールストップコントロールレジスタ B	MSTPCRB	R/W	H'FF	H'FDE9

【注】 *1 アドレスの下位 16 ビットを示します。

*2 I²C バスコントロールレジスタの ICE ビットによりリード/ライトできるレジスタが変わります。ICE = 0 のときスレーブアドレスレジスタ、ICE = 1 のとき I²C バスモードレジスタとなります。

*3 I²C バスインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択は、シリアルコントロールレジスタ X (SCRX) の IICE ビットで行います。

18.2 各レジスタの説明

18.2.1 I²C バスデータレジスタ (ICDR)

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W							

ICDRR

ビット :	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

ICDRS

ビット :	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

ICDRT

ビット :	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

TDRE、RDRF (内部フラグ)

ビット :	-	-
	TDRE	RDRF
初期値 :	0	0
R/W :	-	-

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード/ライト不可、リード専用およびライト専用となっています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、

TDRE や RDRF などの内部フラグの状態に影響を与えます。

ICDRS で 1 フレームのデータを送信 / 受信後、送信モードで ICDRT の次のデータがある場合 (TDRE フラグが 0 の場合) 自動的に ICDRT から ICDRS へデータが転送されます。ICDRS で 1 フレームのデータを送信 / 受信後、受信モードで ICDRR に以前のデータがない場合 (RDRF フラグが 0 の場合)、自動的に ICDRS から ICDRR にデータが転送されます。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS = 0 のとき MSB 側に、MLS = 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS = 0 のとき LSB 側から、MLS = 1 のとき MSB 側から読み出したビットを有効にしてください。

ICDR は、SARX と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICDR のリード / ライトが可能です。

ICDR のリセット時の値は不定です。

TDRE、RDRF フラグは、次のような条件でセット / クリアされます。TDRE、RDRF フラグのセットは、割り込みフラグの状態に影響を与えます。

TDRE	説 明
0	<p>送信開始不可、または、ICDR (ICDRT) に次の送信データが存在 (初期値)</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> (1) 送信モード (TRS = 1) で ICDR (ICDRT) に送信データをライトしたとき (2) I²C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき (3) I²C バスフォーマットで停止条件を検出したとき (4) 受信モード (TRS = 0) のとき (転送中の TRS の 0 ライトは、アクノリッジを含めたフレーム受信後に有効)
1	<p>ICDR (ICDRT) に次の送信データをライト可能</p> <p>[セット条件]</p> <ul style="list-style-type: none"> (1) 送信モード (TRS = 1) のとき、I²C バスフォーマット、シリアルフォーマットのマスタモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき (2) フォーマットレスで送信モード (TRS = 1) に設定したとき (3) ICDRT から ICDRS にデータが転送されたとき (TRS = 1 かつ TDRE = 0 で ICDRS が空の場合、ICDRT ICDRS へデータ転送) (4) 開始条件検出後、受信モード (TRS = 0) から送信モード (TRS = 1) に切り替えたとき

RDRF	説 明
0	ICDR (ICDRR) にあるデータは無効 (初期値) [クリア条件] 受信モードで ICDR (ICDRR) の受信データをリードしたとき
1	ICDR (ICDRR) の受信データをリード可能 [セット条件] ICDRS から ICDRR にデータが転送されたとき (TRS = 0 かつ RDRF = 0 で受信正常終了の場合、ICDRS ICDRR ヘデータ転送)

18.2.2 スレーブアドレスレジスタ (SAR)

ビット :	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W						

SAR は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は、ICMR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SAR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SAR は H'00 に初期化されます。

- ビット 7~1: スレーブアドレス (SVA6~SVA0)

SVA6~SVA0 ビットには I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

- ビット0：フォーマットセレクト (FS)
SARXのFSXビットとともに、転送フォーマットを選択します。
- I²Cバスフォーマット：アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット：
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

また、FS ビットは、スレープモード時に SAR のスレープアドレスの認識を行うかどうかを選択します。

SAR ビット0	SARX ビット0	動作モード
FS	FSX	
0	0	I ² C バスフォーマット SAR と SARX のスレープアドレスを認識
	1	I ² C バスフォーマット (初期値) SAR のスレープアドレスを認識 SARX のスレープアドレスを無視
1	0	I ² C バスフォーマット SAR のスレープアドレスを無視 SARX のスレープアドレスを認識
	1	クロック同期式シリアルフォーマット SAR と SARX のスレープアドレスを無視

18.2.3 第2スレープアドレスレジスタ (SARX)

ビット：	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値：	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SARX は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定および第2スレープアドレスを格納します。アドレッシングフォーマットでスレープモードの場合、開始条件後に送られてきた第1フレームの上位7ビットと SARX の上位7ビットを比較して一致したとき、マスタデバイスに指定されたスレープデバイスとして動作します。SARX は、ICDR と同じアドレスに割り付けられており、ICCR の ICE ビットを0に設定したときのみ、SARX のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SARX は H'01 に初期化されます。

- ビット7~1：第2スレープアドレス (SVAX6~SVAX0)
SVAX6~SVAX0ビットにはI²Cバスにつながっている他のスレープと異なるユニークなアドレスを設定します。

- ビット0 : フォーマットセレクトX (FSX)

SARのFSビットとともに、転送フォーマットを選択します。

- I²Cバスフォーマット : アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット :
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

また、FSX ビットは、スレーブモード時に SARX のスレーブアドレスの認識を行うかどうかを選択します。詳細は SAR の FS ビットの項を参照してください。

18.2.4 I²C バスモードレジスタ (ICMR)

ビット :	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICMR は、8 ビットのリード/ライト可能なレジスタで、MSB ファースト/LSB ファーストの選択、マスタモードウェイトの制御、マスタモード転送クロック周波数の選択、転送ビットの数の選択を行います。ICMR は、SAR と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICMR のリード/ライトが可能で

リセットまたはハードウェアスタンバイモード時、ICMR は H'00 に初期化されます。

- ビット7 : MSBファースト/LSBファースト選択 (MLS)

MSBファーストでデータ転送するか、LSBファーストでデータ転送するかを選択します。

1フレームのアクノリッジを除いたビット数が8ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLSビットが0のときMSB側に、MLSビットが1のときLSB側に詰めて書き込んでください。受信データは、MLSビットが0のときLSB側から、MLSビットが1のときMSB側から読み出したビットを有効にしてください。

なお、I²Cバスフォーマットで使用するときは、本ビットを1にセットしないでください。

ビット7	説明
MLS	
0	MSB ファースト (初期値)
1	LSB ファースト

• ビット6 : ウェイト挿入ビット (WAIT)

I²Cバスフォーマットでマスタモード時に、アクノリッジビットを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT=1を設定した場合、データの最終ビットのクロックが立ち下がった後、ICCRのIRICフラグは1にセットされ、ウェイト状態 (SCL=Lowレベル) となります。ICCRのIRICフラグを0にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。WAIT=0を設定した場合、ウェイト状態を挿入せず、データとアクノリッジを連続的に転送します。ICCRのIRICフラグは、WAITの設定に関係なく、アクノリッジの転送が完了した時点で1にセットされます。

スレープモード時は、本ビットの設定は無効になります。

ビット6	説明
WAIT	
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

• ビット5~3 : 転送クロック選択 (CKS2~CKS0)

CKS2~CKS0ビットは、SCRXレジスタのIICX1ビット (チャンネル1)、IICX0ビット (チャンネル0) との組み合わせにより、転送クロックの周波数を選択するビットで、マスタモード時に使用します。必要な転送レートに合わせて設定をしてください。

SCRX ビット 5、6	ビット 5	ビット 4	ビット 3	クロック	転送レート								
					=5MHz	=8MHz	=10MHz	=16MHz	=20MHz	=25MHz	=28MHz		
IICX	CKS2	CKS1	CKS0	/28	179kHz	286kHz	357kHz	571kHz*	714kHz*	893kHz*	1000kHz*		
				1	/40	125kHz	200kHz	250kHz	400kHz	500kHz*	625kHz*	700kHz*	
			1	0	/48	104kHz	167kHz	208kHz	333kHz	417kHz*	521kHz*	583kHz*	
		1		/64	78.1kHz	125kHz	156kHz	250kHz	313kHz	391kHz	438kHz*		
		1	0	0	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz	313kHz	350kHz	
				1	/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz	250kHz	280kHz	
	1			0	/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz	223kHz	250kHz	
			1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz	195kHz	219kHz		
	1		0	0	0	/56	89.3kHz	143kHz	179kHz	286kHz	357kHz	446kHz*	500kHz*
					1	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz	313kHz	350kHz
		1		0	/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz	260kHz	292kHz	
				1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz	195kHz	219kHz	
1		0	0	/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz	156kHz	175kHz		
			1	/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz	125kHz	140kHz		
1	0	0	/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz	112kHz	125kHz			
		1	/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz	97.7kHz	109kHz			

【注】 * I²Cバスインタフェース仕様 (通常モード : 最大 100kHz、高速モード : 最大 400kHz) の範囲外となります。

- ビット2~0: ビットカウンタ (BC2~BC0)

BC2~BC0ビットは、次に転送するデータのビット数を指定します。I²Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、データにアクノリッジ分1ビットが加算されて転送されます。BC2~BC0ビットの設定は転送フレーム間で行ってください。また、BC2~BC0ビットに000以外を設定する場合は、SCLがLow状態のときに行ってください。

ビットカウンタは、リセット時および開始条件検出時000に初期化されます。また、アクノリッジを含むデータ転送終了後、000に再び戻ります。

ビット2	ビット1	ビット0	ビット/フレーム	
BC2	BC1	BC0	クロック同期式 シリアルフォーマット	I ² C バスフォーマット
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

18.2.5 I²C バスコントロールレジスタ (ICCR)

ビット:	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	W

【注】* フラグをクリアするための0ライトのみ可能です。

ICCR は、8 ビットのリード/ライト可能なレジスタで、I²C バスインタフェースの動作/非動作、割り込みの許可/禁止、マスタモード/スレープモード、送信/受信、アクノリッジの有効/無効の選択、I²C バスインタフェースのバス状態の確認、開始/停止条件の発行、および割り込みフラグの確認を行います。

リセットまたはハードウェアスタンバイモード時、ICCR は H'01 に初期化されます。

- ビット7: I²Cバスインタフェースイネーブル (ICE)

ICEビットは、I²Cバスインタフェースを使用する/使用しないを選択します。ICEビットを1にセットすると、本モジュールは転送動作可能状態となり、ポートはSCL、SDA入出力端子となります。ICEビットを0にクリアすると、本モジュールは機能を停止し、内部状態をクリアします。

ICE = 0のときSARおよびSARXが有効になり、ICE = 1のときICMRおよびICDRが有効になります。

ビット7	説 明
ICE	
0	本モジュールは非動作状態 (SCL/SDA 端子はポート機能) (初期値) IIC モジュールの内部状態の初期化 SAR、SARX がアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA 端子はバス駆動状態) ICMR、ICDR がアクセス可能

- ビット6: I²Cバスインタフェース割り込みイネーブル (IEIC)

IEICビットは、I²CバスインタフェースからCPUに対する割り込みの許可 / 禁止を選択します。

ビット6	説 明
IEIC	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

- ビット5: マスタ / スレーブ選択 (MST)

- ビット4: 送信 / 受信選択 (TRS)

MSTビットは、I²Cバスインタフェースをマスタモードで使用するか、スレーブモードで使用するかを選択するビットです。

TRSビットは、I²Cバスインタフェースを受信モードで使用するか、送信モードで使用するかを選択するビットです。

I²Cバスフォーマットのマスタモードでバス競合負けをするとMST、TRSビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット (FS = 0またはFSX = 0) のとき、開始条件直後の第1フレームのR/Wビットにより、ハードウェアで自動的に受信 / 送信モードが設定されます。

転送中のTRSビットの変更は、アクノリッジを含めたフレーム転送完了まで保留され、転送完了後に切り替わります。

MSTとTRSビットとの組み合わせにより下表のような動作モードになります。

ビット5	ビット4	動作モード
MST	TRS	
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

ビット 5	説 明
MST	
0	スレープモード (初期値) [クリア条件] (1) ソフトウェアにより 0 をライトしたとき (2) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき
1	マスタモード [セット条件] (1) ソフトウェアにより 1 をライトしたとき (クリア条件(2)以外の場合) (2) MST=0 をリード後、1 をライトしたとき (クリア条件(2)の場合)

ビット 4	説 明
TRS	
0	受信モード (初期値) [クリア条件] (1) ソフトウェアにより 0 をライトしたとき (セット条件(3)以外の場合) (2) TRS=1 をリード後、0 をライトしたとき (セット条件(3)の場合) (3) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき
1	送信モード [セット条件] (1) ソフトウェアにより 1 をライトしたとき (クリア条件(3)(4)以外の場合) (2) TRS=0 をリード後、1 をライトしたとき (クリア条件(3)(4)の場合) (3) I ² C バスフォーマットのスレープモードで第 1 フレームの RW ビットとして 1 を受信したとき

- ビット3: アクノリッジビット判定選択 (ACKE)

ACKEビットは、I²Cバスフォーマットで受信デバイスから返されるアクノリッジビットの内容を無視して連続的に転送を行うか、アクノリッジビットが1ならば転送を中断してエラー処理等を行うかを選択します。ACKEビットが0の場合には、受信したアクノリッジビットの内容はACKBビットに反映されず、ACKBビットは常時0となります。

本LSIでは転送を連続的に行うために、DTCを利用することができます。DTCは、2つある割り込みフラグ (IRIC と IRTR) のうち、IRTRフラグが1にセットされた場合に起動されます。ACKEビットが0の場合、アクノリッジビットの内容にかかわらずデータ送信完了時にTDREフラグ、IRICフラグとIRTRフラグがセットされます。ACKEビットが1の場合、アクノリッジビットが0でデータ送信が完了するとTDREフラグ、IRICフラグとIRTRフラグがセットされ、アクノリッジビットが1でデータ送信が完了するとIRICフラグだけがセットされます。DTC*が起動されると、所定のデータ転送を実行した後、TDREフラグ、IRICフラグとIRTRフラグを0にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKEビットが1の場合にアクノリッジビットが1でデータ送信が完了すると、DTC*は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味を持たせる場合と、

全く意味を持たず1固定の場合があります。

【注】 * H8S/2695 には DTC はありません。

ビット 3	説 明
ACKE	
0	アクノリッジビットの内容を無視して、連続的に転送を行う (初期値)
1	アクノリッジビットが1の場合、連続的な転送を中断する

• ビット2 : バスビジー (BBSY)

BBSYフラグをリードすることにより、I²Cバス (SCL, SDA) が占有されているか解放されているかを確認できます。また、マスタモードでは開始条件、停止条件を発行する際に使用します。

BBSYフラグは、SCL = Highレベルの状態ではSDAがHighレベルからLowレベルに変化すると開始条件が発行されたことと認識し、1にセットされます。SCL = Highレベルの状態ではSDAがLowレベルからHighレベルに変化すると停止条件が発行されたことと認識し、0にクリアされます。

開始条件を発行する場合、BBSY = 1かつSCP = 0をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行はBBSY = 0かつSCP = 0をライトすることで行います。開始条件 / 停止条件の発行は、MOV命令を用います。

スレーブモード時のBBSYフラグのライトは無効です。すなわち、開始条件の発行に先立って、I²Cバスインタフェースをマスタ送信モードに設定する必要があります。BBSY = 1かつSCP = 0をライトする以前に、MST = 1かつTRS = 1を設定してください。

ビット 2	説 明
BBSY	
0	バス解放状態 (初期値) [クリア条件] 停止条件検出時
1	バス占有状態 [セット条件] 開始条件検出時

• ビット1 : I²Cバスインタフェース割り込み要求フラグ (IRIC)

IRICフラグは、I²CバスインタフェースがCPUに対して割り込み要求を発生させたことを示します。IRICフラグは、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき、マスタ送信モードでバス競合負けをしたとき、または停止条件検出時に1にセットされます。SARのFSビットとICMRのWAITビットの組み合わせによりIRICフラグのセットタイミングが異なりますので、「18.3.7 IRICセットタイミングとSCL制御」の項を参照してください。また、ICCRのACKIEビットの設定によっても、IRICフラグがセットされる条件が異なります。

IRICフラグのクリアは、IRIC = 1をリードした後、0をライトすることで行われます。

また、DTC*を利用するとIRICフラグは自動的にクリアされ、CPUを介さない連続的な転送が可能です。

【注】 * H8S/2695 には DTC はありません。

ビット 1	説 明
IRIC	
0	転送待ち状態、または転送中 (初期値) [クリア条件] (1) IRIC = 1 の状態でリードした後、0 をライトしたとき (2) DTC*で ICDR をリード/ライトしたとき (TDRE または RDRF フラグが 0 にクリアされたとき) (クリア条件とならない場合もあるため、詳細は DTC*の動作説明参照)
(1)	割り込みが発生 [セット条件] I ² C バスフォーマットでマスタモード (1) 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため TDRE フラグが 1 にセットされたとき) (2) WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (3) データ転送終了時 (送受信クロックの 9 クロック目の立ち上がりするとき、およびウェイト挿入時の送受信クロックの 8 クロック目の立ち下がりするとき) (4) バス競合負けの後、スレーブアドレスを受信したとき (AL フラグが 1 にセットされたとき) (5) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) I ² C バスフォーマットでスレーブモード (1) スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (2) ゼネラルコールアドレスを検出したとき (FS = 0 かつ ADZ フラグが 1 にセットされたとき)、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (3) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) (4) 停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき) クロック同期式シリアルフォーマット (1) データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (2) シリアルフォーマットで開始条件を検出したとき 上記の他、TDRE あるいは RDRF 内部フラグが 1 にセットされる条件が発生したとき

【注】 * H8S/2695 には DTC はありません。

I²C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

内部フラグである TDRE または RDRF フラグがセットされたとき、リード可能な IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、内部フラグである TDRE または RDRF フラグがセットされていない場合があります。DTC*を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため TDRE または RDRF フラグはクリアされています。

各フラグと転送状態の関係を表 18.3 に示します。

【注】 * H8S/2695 には DTC はありません。

表 18.3 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送信 / 受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	ア - ビトレーションロスト
0	0	1	0	0	0	0	0	1	0	0	スレーブモード第1フレームで SAR に一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARX に一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スレーブモード送信 / 受信終了 (SARX 一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スレーブモード送信 / 受信終了 (SARX 一致後)
0	1	1	0	0	0	1	0	0	0	1	
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

18. I²C バスインタフェース (IIC)

• ビット0：開始条件 / 停止条件発行禁止ビット (SCP)

SCPビットは、マスタモードでの開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY = 1かつSCP = 0をライトします。開始条件の再送信時也同样に行います。また、停止条件の発行はBBSY = 0かつSCP = 0をライトすることで行います。本ビットは、リードすると常に1が読み出されます。また、1をライトしてもデータは格納されません。

ビット0	説明
SCP	
0	ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に1をリード ライト時、無効 (初期値)

18.2.6 I²C バスステータスレジスタ (ICSR)

ビット：	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W						

【注】* フラグをクリアするための0ライトのみ可能です。

ICSR は、8 ビットのリード / ライト可能なレジスタで、フラグの確認、アクノリッジの確認および制御を行います。

リセットまたはハードウェアスタンバイモード時、ICSR は H'00 に初期化されます。

ビット7：エラー停止条件検出フラグ (ESTP)

ESTP フラグは、I²C バスフォーマットのスレーブモードで、フレームの転送の途中で停止条件を検出したことを示します。

ビット7	説明
ESTP	
0	エラー停止条件なし (初期値) [クリア条件] (1) ESTP = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	• I ² C バスフォーマットでスレーブモードのとき エラー停止条件を検出 [セット条件] フレームの転送の途中で停止条件を検出したとき • I ² C バスフォーマットでスレーブモードのとき以外 意味なし

• ビット6：正常停止条件検出フラグ (STOP)

STOPフラグは、I²Cバスフォーマットのスレーブモードで、フレームの転送の完了後に停止条件を検出したことを示します。

ビット6	説明
STOP	
0	正常停止条件なし (初期値) [クリア条件] (1) STOP = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	<ul style="list-style-type: none"> I²C バスフォーマットでスレーブモードのとき 正常停止条件を検出 [セット条件] フレームの転送の完了後に停止条件を検出したとき <ul style="list-style-type: none"> I²C バスフォーマットでスレーブモードのとき以外 意味なし

• ビット5：I²Cバスインタフェース連続送受信割り込み要求フラグ (IRTR)

IRTRフラグは、I²CバスインタフェースがCPUに対して割り込み要求を発生させており、その要因がDTC*起動可能な連続送受信動作の1フレーム送受信の完了であることを示します。IRTRフラグが1にセットされると、同時にIRICフラグも1にセットされます。

IRTRフラグのセットは、TDREまたはRDRFフラグが1にセットされたときに行われます。IRTRフラグのクリアは、IRTR = 1 をリードした後、0 をライトすることで行われます。また、IRICフラグを0にクリアするとIRTRフラグは自動的にクリアされます。

ビット5	説明
IRTR	
0	転送待ち状態、または転送中 (初期値) [クリア条件] (1) IRTR = 1 の状態をリードした後、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	連続転送状態 [セット条件] <ul style="list-style-type: none"> I²C バスインタフェースでスレーブモードのとき AASX = 1 の状態で、TDRE または RDRF フラグが 1 にセットされたとき I²C バスインタフェースでスレーブモードのとき以外 TDRE または RDRF フラグが 1 にセットされたとき

【注】 * H8S/2695 には DTC はありません。

• ビット4 : 第2スレーブアドレス認識フラグ (AASX)

AASXフラグは、I²Cバスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームがSARXのSVAX6~SVAX0と一致した場合、AASX=1となります。

AASXフラグのクリアは、AASX=1をリードした後、0をライトすることで行われます。また、開始条件を検出すると自動的にクリアされます。

ビット4	説 明
AASX	
0	第2スレーブアドレスを未認識 (初期値) [クリア条件] (1) AASX=1の状態をリードした後、0をライトしたとき (2) 開始条件を検出したとき (3) マスタモードのとき
1	第2スレーブアドレスを認識 [セット条件] • スレーブ受信モードかつFSX=0で第2スレーブアドレスを検出したとき

• ビット3 : アービトレーションロストフラグ (AL)

ALフラグは、マスタモード時にバス競合負けをしたことを示します。

複数のマスタがほぼ同時にバスを占有しようとしたときにI²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。

ALフラグのクリアは、AL=1をリードした後、0をライトすることで行われます。また、ICDRをライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット3	説 明
AL	
0	バスを確保 (初期値) [クリア条件] (1) ICDRにデータをライト (送信時)、データをリード (受信時) したとき (2) AL=1の状態をリードした後、0をライトしたとき
1	バス競合負け (アービトレーションロスト) [セット条件] (1) マスタ送信モードでSCLの立ち上がりで内部SDAとSDA端子が不一致のとき (2) マスタ送信モードでSCLの立ち下がり内部SCLがHighレベルのとき

• ビット2：スレーブアドレス認識フラグ (AAS)

AASフラグは、I²Cバスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームがSARのSVA6～SVA0と一致した場合、またはゼネラルコールアドレス (H'00) を検出した場合、AAS=1となります。

AASフラグのクリアは、AAS=1をリードした後、0をライトすることで行われます。またICDRをライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット2	説 明
AAS	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 (初期値) [クリア条件] (1) ICDR にデータをライト (送信時)、またはICDR のデータをリード (受信時) したとき (2) AAS=1 の状態をリードした後、0をライトしたとき (3) マスタモードのとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 [セット条件] • スレーブ受信モードかつ FS=0 でスレーブアドレスまたはゼネラルコールアドレスを検出したとき

• ビット1：ゼネラルコールアドレス認識フラグ (ADZ)

ADZフラグは、I²Cバスフォーマットのスレーブ受信モードで、開始条件直後の第1フレームでゼネラルコールアドレス (H'00) を検出した場合、ADZ=1となります。

ADZフラグのクリアは、ADZ=1をリードした後、0をライトすることで行われます。またICDRをライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット1	説 明
ADZ	
0	ゼネラルコールアドレスを未認識 (初期値) [クリア条件] (1) ICDR にデータをライト (送信時)、またはICDR のデータをリード (受信時) したとき (2) ADZ=1 の状態をリード後、0をライトしたとき (3) マスタモードのとき
1	ゼネラルコールアドレスを認識 [セット条件] • スレーブ受信モードかつ (FSX=0またはFS=0) でゼネラルコールアドレスを検出したとき

- ビット0 : アクノリッジビット (ACKB)

ACKBビットは、アクノリッジデータを格納するビットです。

送信モードでは、受信デバイスがデータを受信した後、アクノリッジデータを返してくるので、そのデータをACKBビットにロードします。また、受信モードでは送信デバイスに対し、データを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、送信時 (TRS = 1のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS = 0のとき) には設定した値が読み出されます。また、本ビットをライトすると、TRSの値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。このとき、受信デバイスからロードした値は、そのまま保持されますので、本レジスタをビット操作命令を使用して書き換えるときには注意が必要です。

ビット0	説 明
ACKB	
0	受信時、アクノリッジ出力タイミングで0出力 (初期値) 送信時、受信デバイスからアクノリッジがあった (0だった) ことを示す
1	受信時、アクノリッジ出力タイミングで1出力 送信時、受信デバイスからアクノリッジがなかった (1だった) ことを示す

18.2.7 シリアルコントロールレジスタ X (SCRX)

ビット :	7	6	5	4	3	2	1	0
	-	IICX1	IICX0	IICE	FLSHE	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCRX は 8 ビットのリード/ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御 (IIC 内蔵オプションの場合)、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合) を行います。SCRX で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

SCRX はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

- ビット7 : リザーブビット

1 にセットしないでください。

- ビット6、5 : I²C トランスファレートセレクト1、0 (IICX1、0)

ICMR の CKS2 ~ CKS0 と組み合わせて、マスタモードでの転送レートを選択します。

転送レートの詳細は「18.2.4 I²C バスモードレジスタ (ICMR)」の項を参照してください。

- ビット4 : I²Cマスタイネーブル (IICE)

I²Cバスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) のCPUアクセスを制御します。

ビット4	説 明
IICE	
0	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを禁止 (初期値)
1	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを許可

- ビット3 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)

F-ZTAT版の場合、フラッシュメモリの動作を制御するビットです。詳しくは「第22章 ROM」を参照してください。

- ビット2~0 : リザーブビット

1にセットしないでください。

18.2.8 DDC スイッチレジスタ (DDCSWR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	CLR3	CLR2	CLR1	CLR0
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	W*2	W*2	W*2	W*2

【注】 *1 0ライトのみ可能です。

*2 リードすると常に1が読み出されます。

DDCSWR は 8 ビットのリード/ライト可能なレジスタで、IIC を初期化するために使用します。

DDCSWR はリセットまたはハードウェアスタンバイモード時に H'0F に初期化されます。

- ビット7~4 : リザーブビット

0をライトしてください。

- ビット3~0 : IICクリア3~0 (CLR3~CLR0)

本ビットはIIC0、IIC1の内部状態の初期化を制御します。

本ビットはライト動作のみ可能で、リードすると常に1が読み出されます。

本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IICモジュールの内部状態が初期化されます。

なお、本ビットへのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3~CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。

再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。

18. I²C バスインタフェース (IIC)

ビット3	ビット2	ビット1	ビット0	説 明
CLR3	CLR2	CLR1	CLR0	
0	0	-	-	設定禁止
0	1	0	0	設定禁止
0	1	0	1	IIC0 内部ラッチクリア
0	1	1	0	IIC1 内部ラッチクリア
0	1	1	1	IIC0、1 内部ラッチクリア
1	-	-	-	設定無効

18.2.9 モジュールストップコントロールレジスタ B (MSTPCRB)

ビット :	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

MSTPCRB は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPB4、MSTPB3 の対応するビットを 1 にセットすると、バスサイクルの終了時点で IIC は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRB は、パワーオンリセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

• ビット4 : モジュールストップ (MSTPB4)

IICチャンネル0のモジュールストップモードを指定します。

ビット 4	説 明
MSTPB4	
0	IIC チャンネル 0 のモジュールストップモード解除
1	IIC チャンネル 0 のモジュールストップモード設定 (初期値)

• ビット3 : モジュールストップ (MSTPB3)

IICチャンネル1のモジュールストップモードを指定します。

ビット 3	説 明
MSTPB3	
0	IIC チャンネル 1 のモジュールストップモード解除
1	IIC チャンネル 1 のモジュールストップモード設定 (初期値)

18.3 動作説明

18.3.1 I²C バスデータフォーマット

I²C バスインタフェースには、シリアルフォーマットと I²C バスフォーマットがあります。

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 18.3 (a)、(b) に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。開始条件、停止条件の発行は必要ですが、クロック同期式シリアルとして使用できます。これを図 18.4 に示します。また、I²C バスのタイミングを図 18.5 に示します。

図 18.3 ~ 図 18.5 の記号説明を表 18.4 に示します。

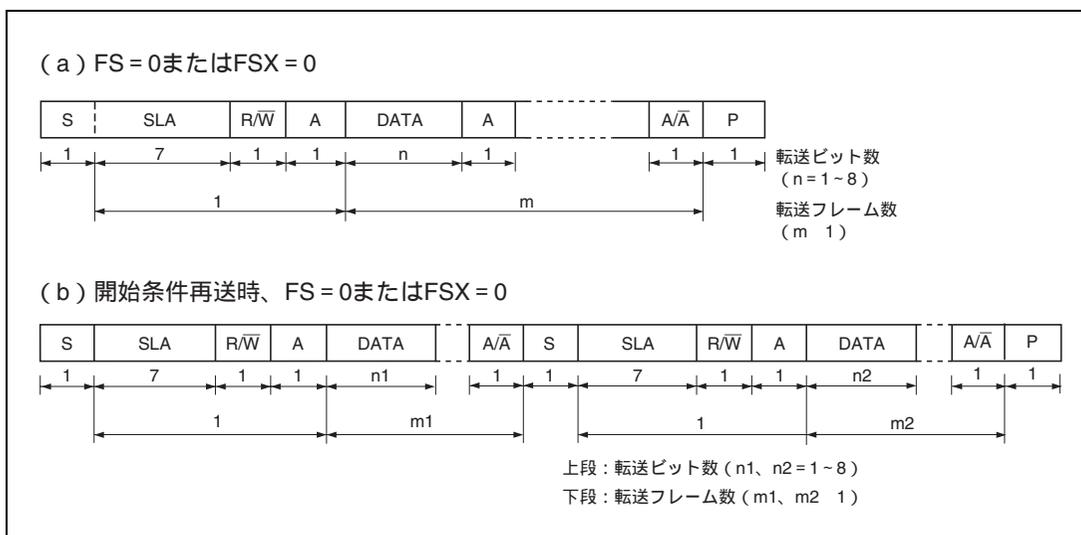


図 18.3 I²C バスデータフォーマット (I²C バスフォーマット)

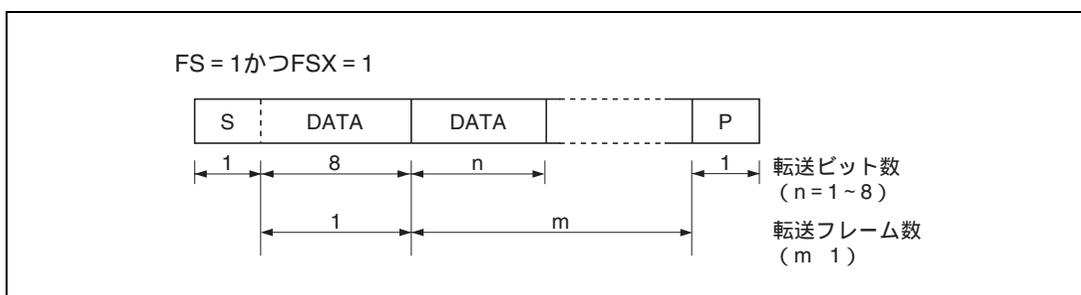
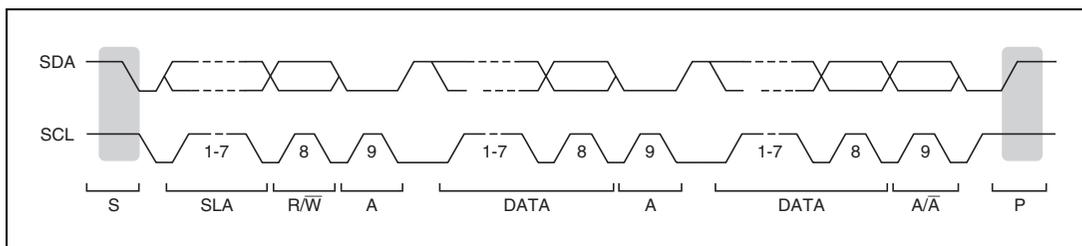


図 18.4 I²C バスデータフォーマット (シリアルフォーマット)

図 18.5 I²C バスタイミング表 18.4 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 ビットで設定します。また MSB ファースト / LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

18.3.2 初期設定

データ送信 / 受信を開始するとき、以下の手順に従い IIC を初期化してください。

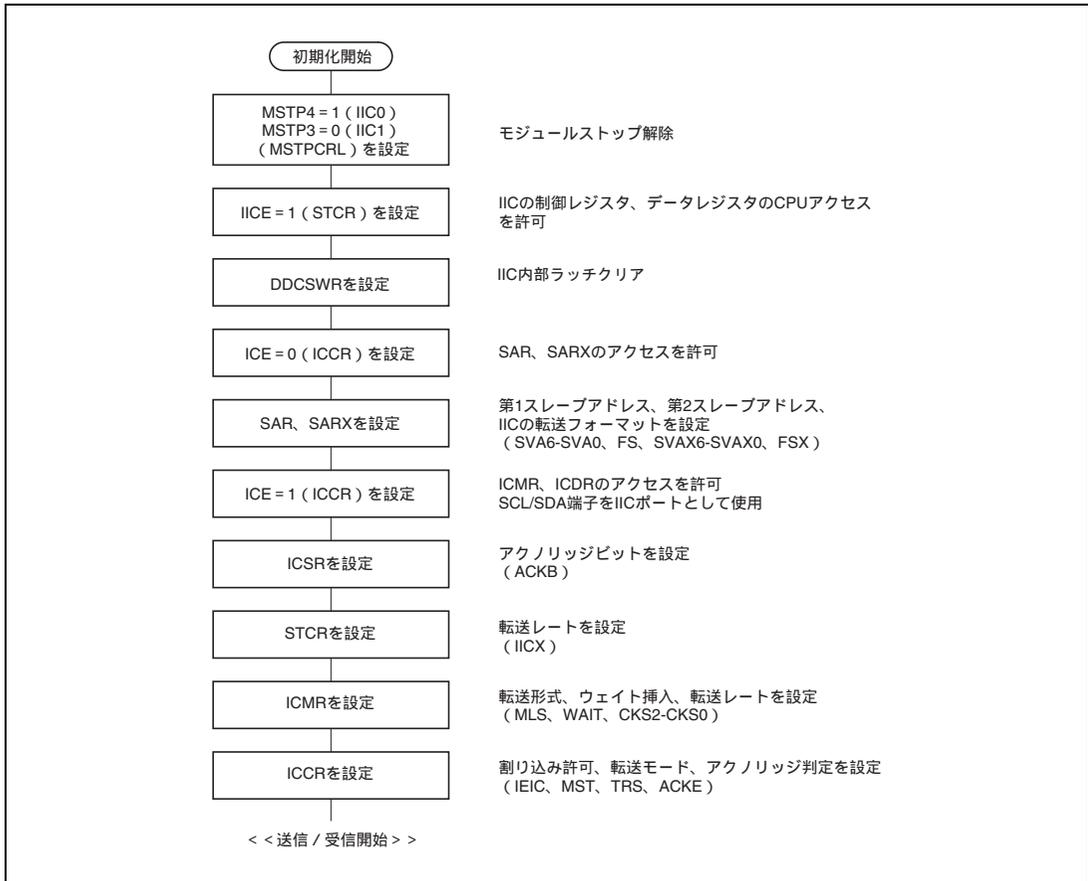


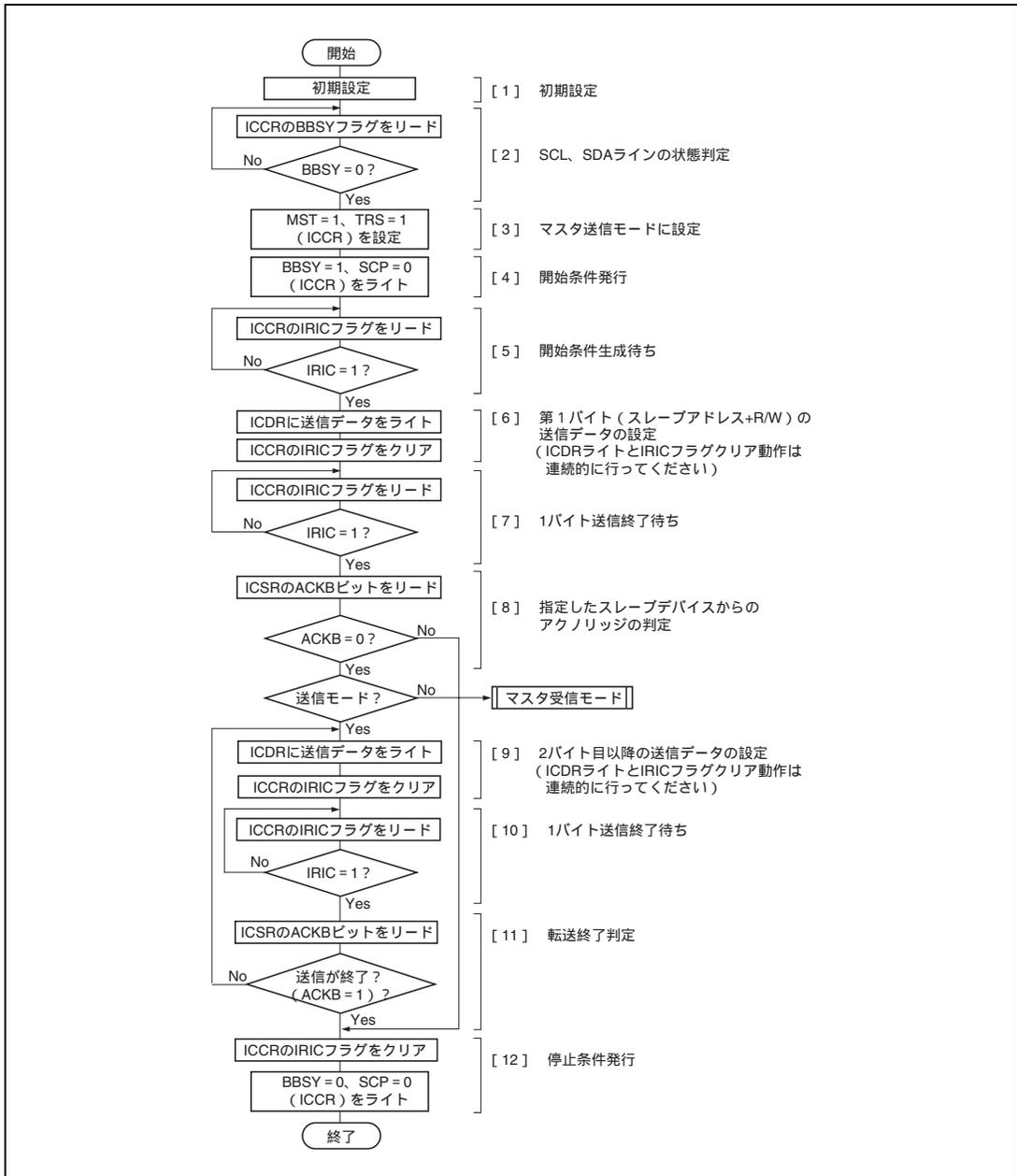
図 18.6 IIC の初期化フローチャートの例

【注】 ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。
送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2-BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

18.3.3 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 18.7 にマスタ送信モードのフローチャート例を示します。



以下に ICDR (ICDRT) のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「18.3.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス+R/W) をライトします。

I²Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信/受信の方向(R/W)を示します。

次に転送終了を判断するためIRICフラグを0にクリアします。

ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

マスタデバイスは送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。

7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB=0であることを確認します。
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここで[6]同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、9.に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっ

18. I²C バスインタフェース (IIC)

ている場合は、12.の送信終了処理を行います。

12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

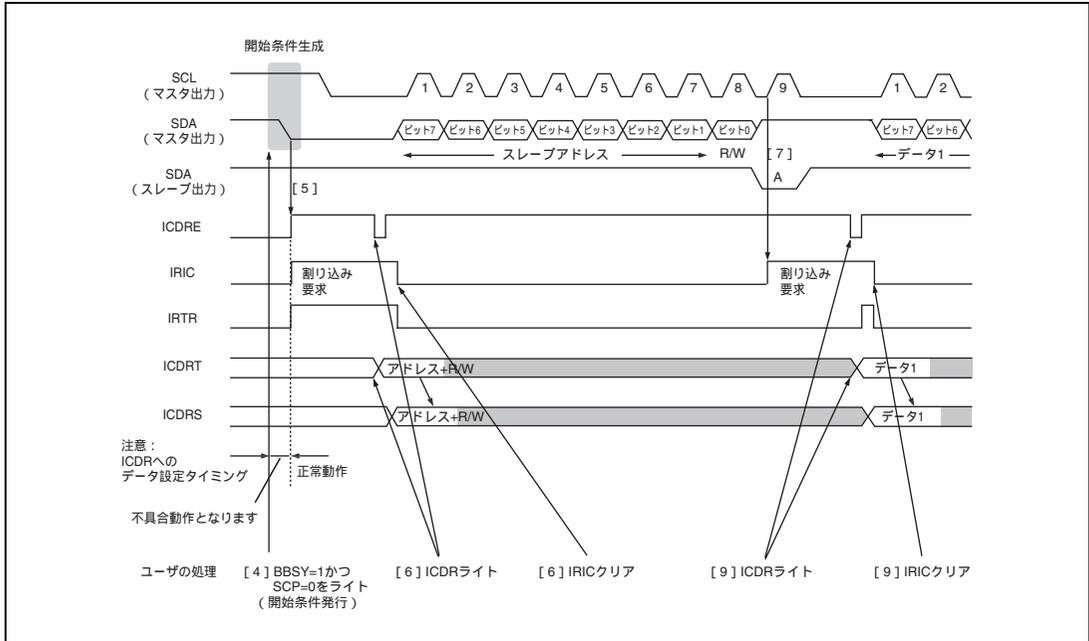


図 18.8 (a) マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

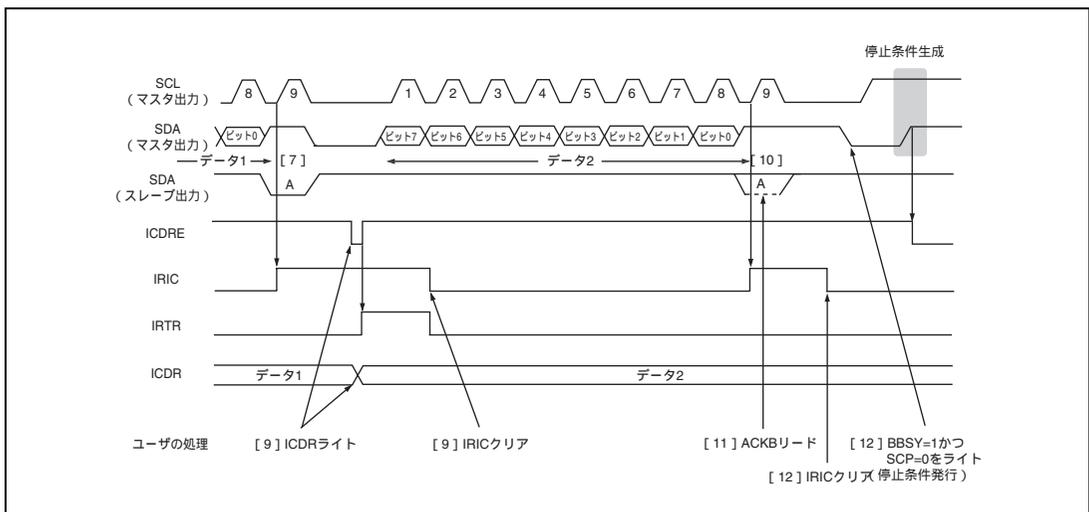


図 18.8 (b) マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)

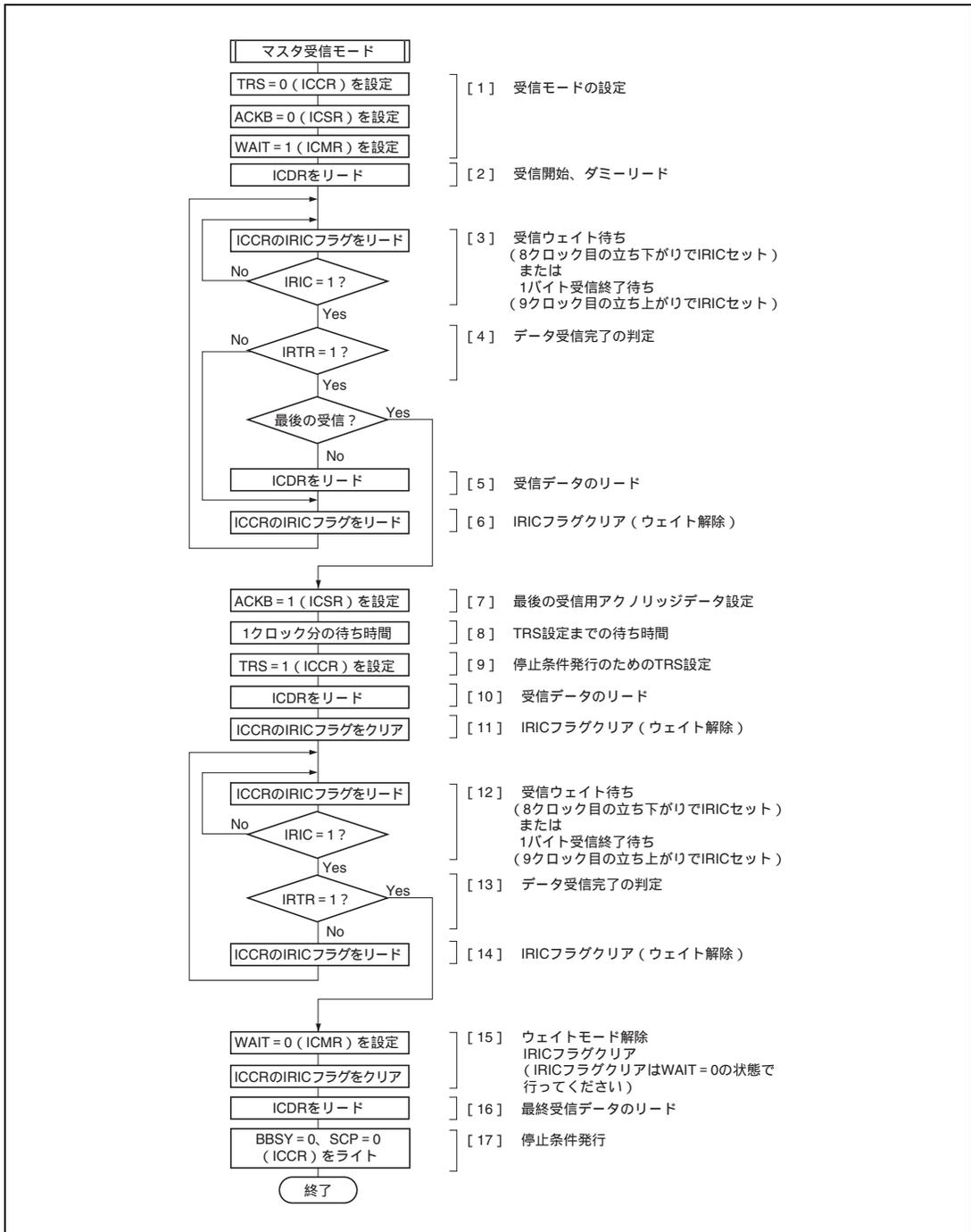
18.3.4 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス + R/W (0: リード) のデータを送信し、スレーブデバイスを選択した後、受信動作に切り替えます。

(1) ウェイトを利用した受信動作

図 18.9 (a)、図 18.9 (b) にマスタ受信モードのフローチャート例 (WAIT=1) を示します。

18. I²C バスインタフェース (IIC)

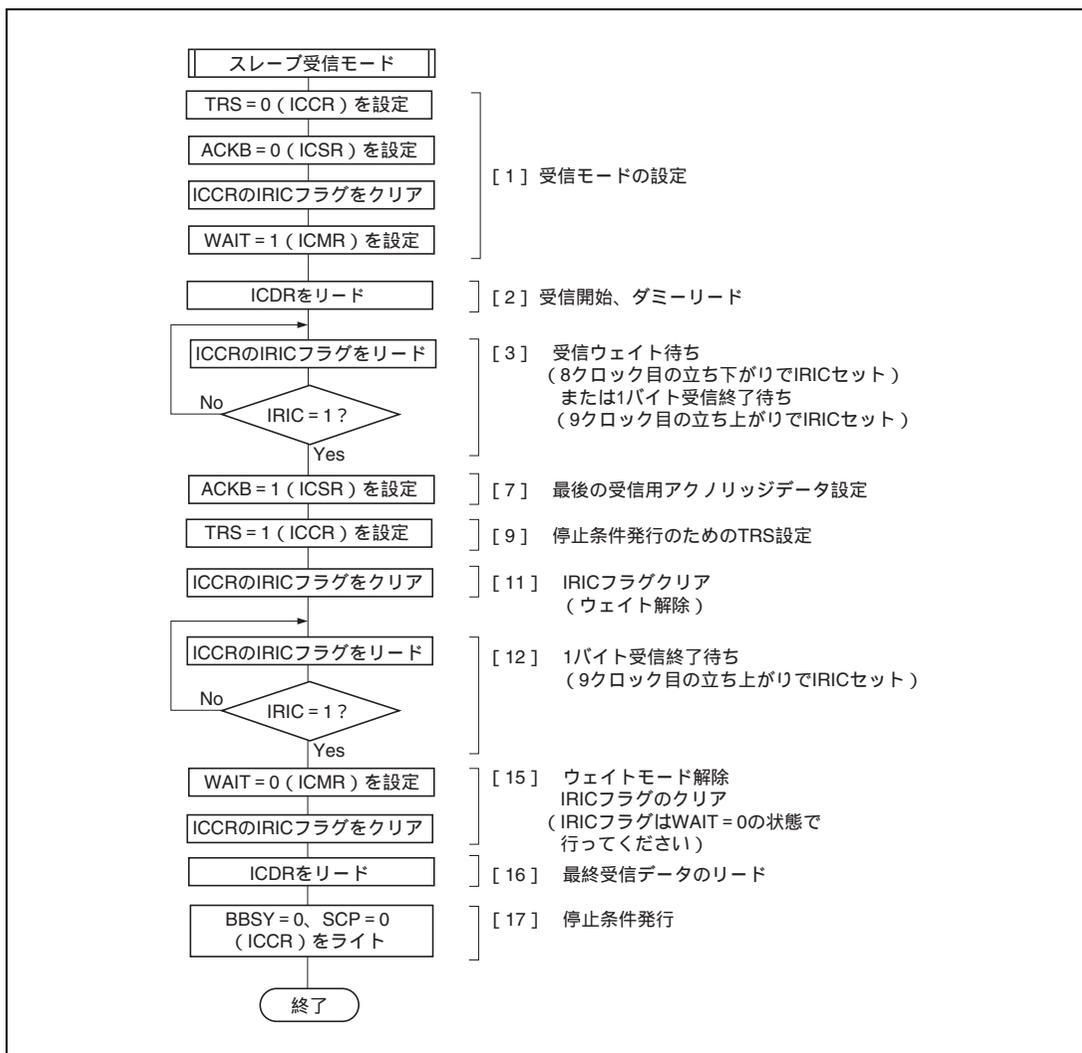


図 18.9 (b) マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1バイトのみ受信の場合は一部手順が省略されていますので、図 18.9 (b) のフローチャートに従って動作を行ってください。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。

ICSRのACKBビットを0にクリアします (アクノリッジデータの設定)。

その後にICMRのWAITビットを1にセットします。

2. ICDRをリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。

3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
 - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
 - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。
IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
4. ICSRのIRTRフラグをリードします。
IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。
IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。
5. IRTRフラグが1の場合は、ICDRの受信データをリードします。
6. IRICフラグを0にクリアします。3.(1)の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

[3]から[6]を繰り返し行うことにより、データを受信することができます。
7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。
9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。
10. ICDRの受信データをリードします。
11. IRICフラグを0にクリアします。
12. IRICフラグが以下の2条件で1にセットされます。
 - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
 - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。
IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
13. ICSRのIRTRフラグをリードします。
IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。
IRTRフラグが1で受信動作が完了している場合は、15.の停止条件発行処理を行ってください。
14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。
受信動作の完了を検出するため12.のIRICフラグリードに戻ります。
15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

その後、IRICフラグを0にクリアします。

IRICフラグのクリアはWAIT=0の状態で行ってください。

(IRICフラグを0にクリアした後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

16. ICDRにある最終受信データをリードします。

17. ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

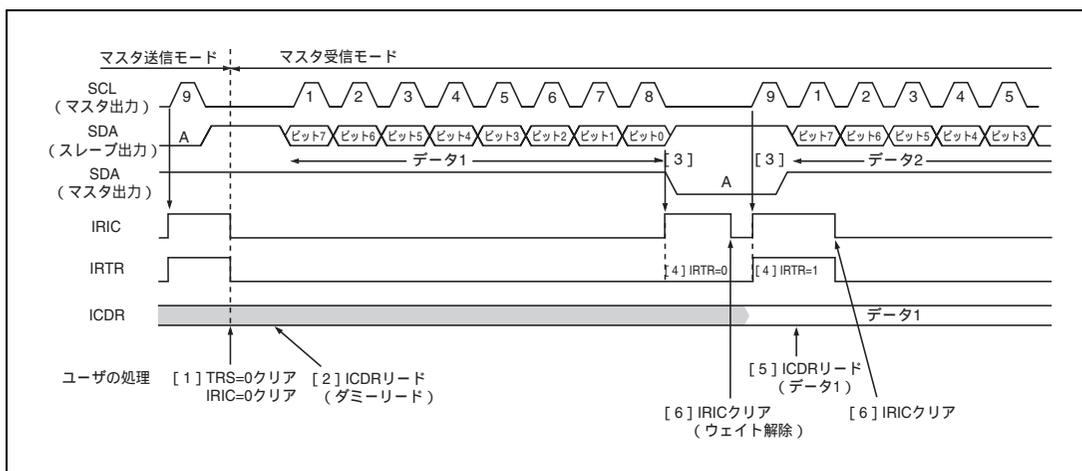


図 18.10 (a) マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

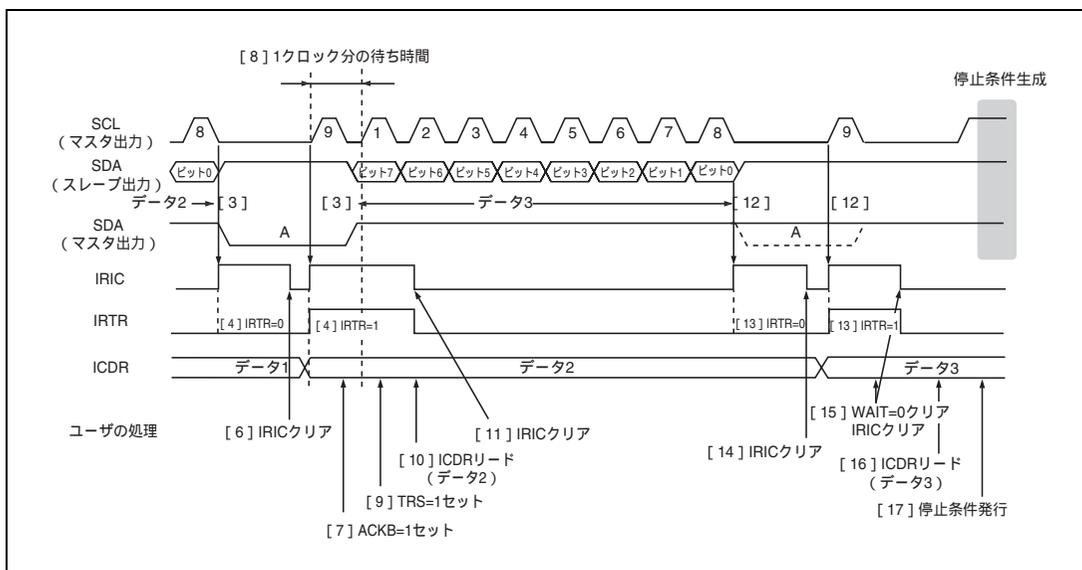


図 18.10 (b) マスタ受信モード停止条件発行動作タイミング例
(MLS=ACKB=0、WAIT=1 のとき)

18.3.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブデバイスは、マスタが発行する開始条件後の第1フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

図 18.11 にスレーブ受信モード時のフローチャート例を示します。

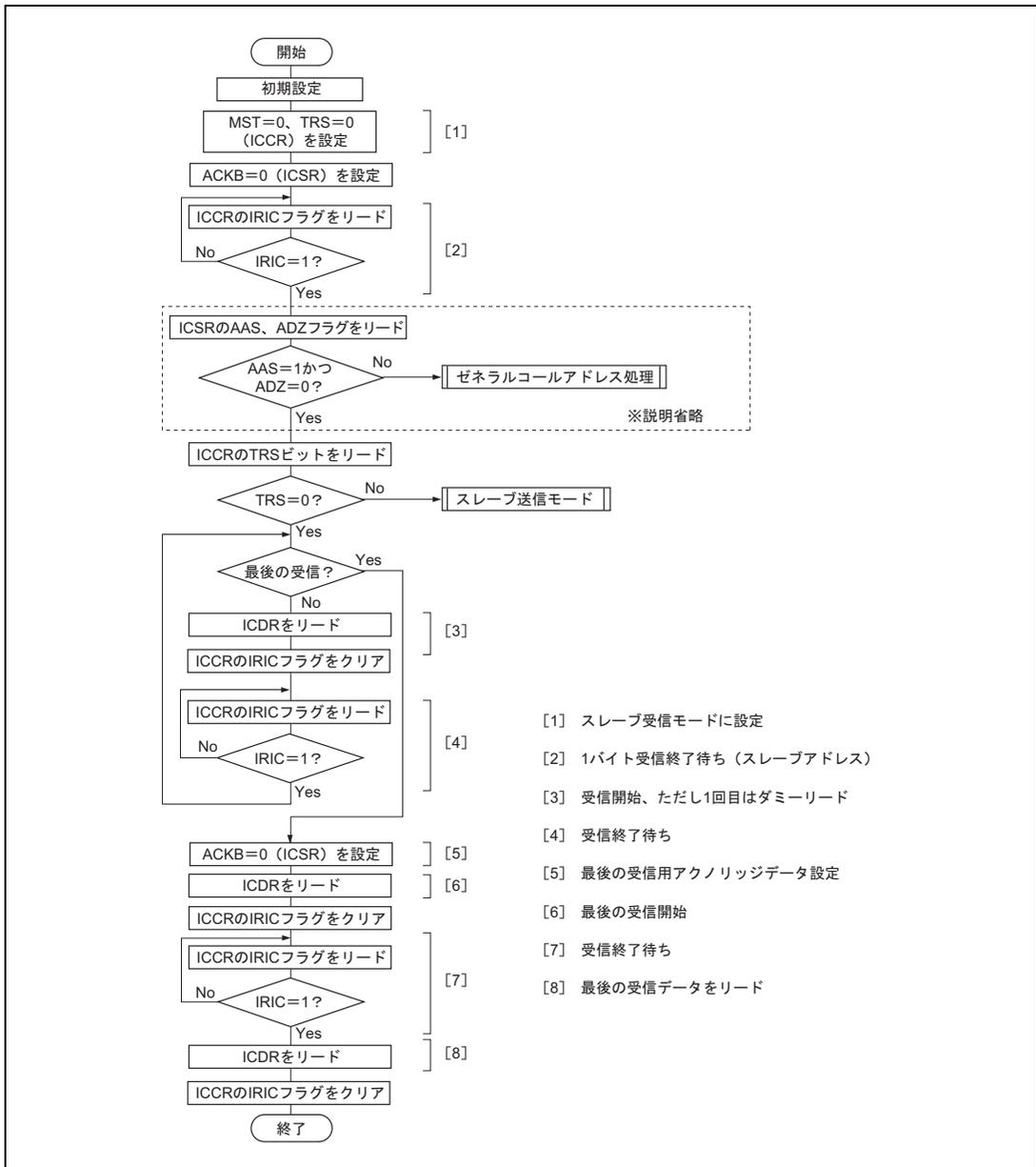


図 18.11 スレーブ受信モードフローチャート例

以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
2. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。
3. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/W) が0のときICCRのTRSビットは0のまま変化せず、スレーブ受信動作を行います。
4. 受信フレームの9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。このとき、RDRF内部フラグが0にクリアされていると、RDRF内部フラグを1にセットして引き続き受信動作を行います。RDRF内部フラグが1にセットされていると、スレーブデバイスは受信クロックの立ち下がりからICDRにデータをリードするまでSCLをLowレベルにします。
5. ICDRをリードし、ICCRのIRICフラグを0にクリアします。このときRDRFフラグが0にクリアされます。

4から5を繰り返し行うことにより、受信動作を継続できます。SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化し停止条件を検出すると、ICCRのBBSYフラグが0にクリアされます。

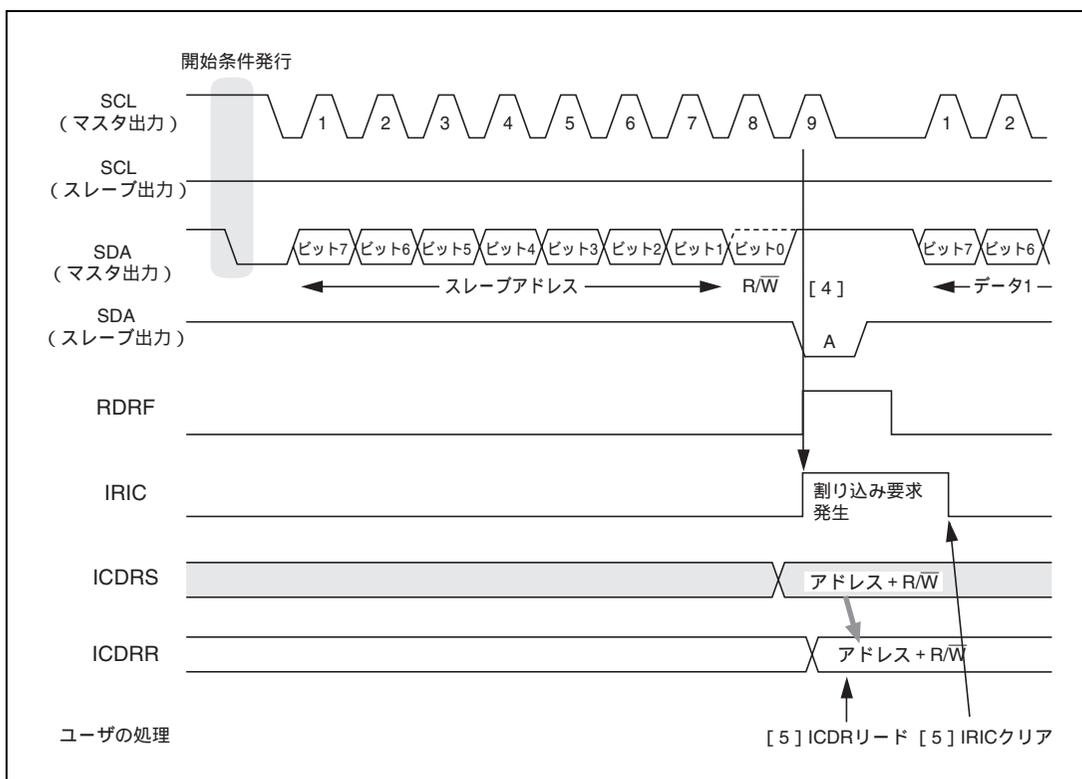


図 18.12 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき)

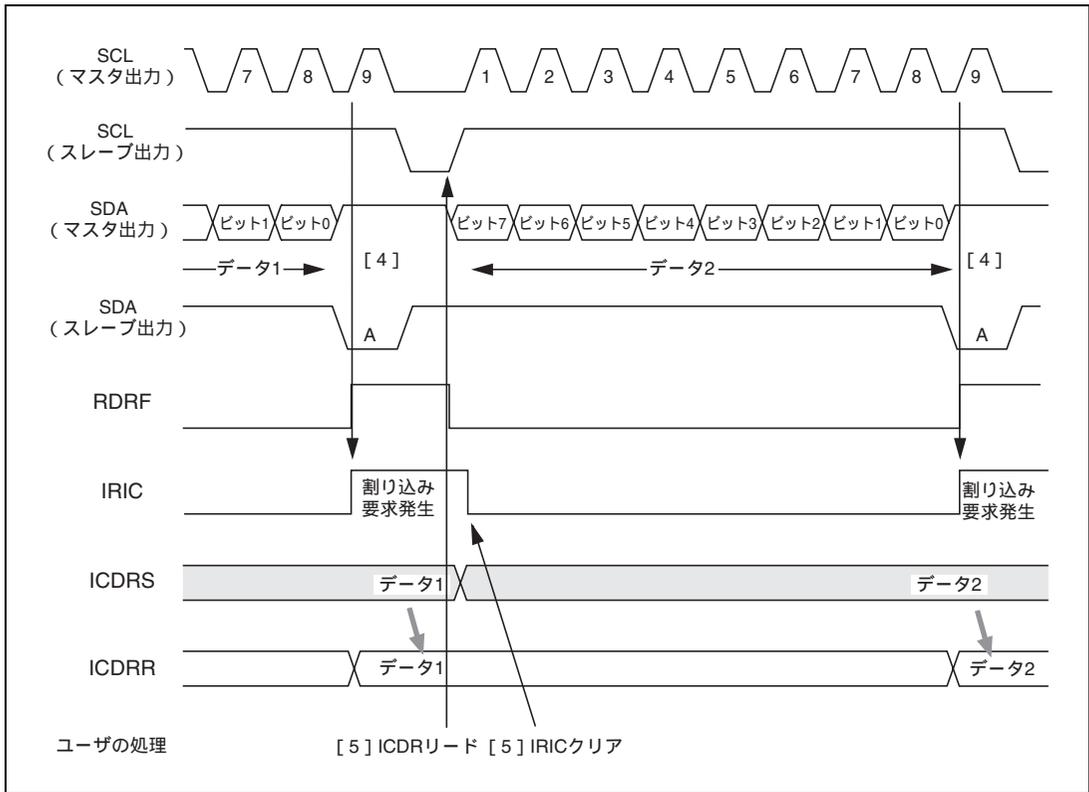
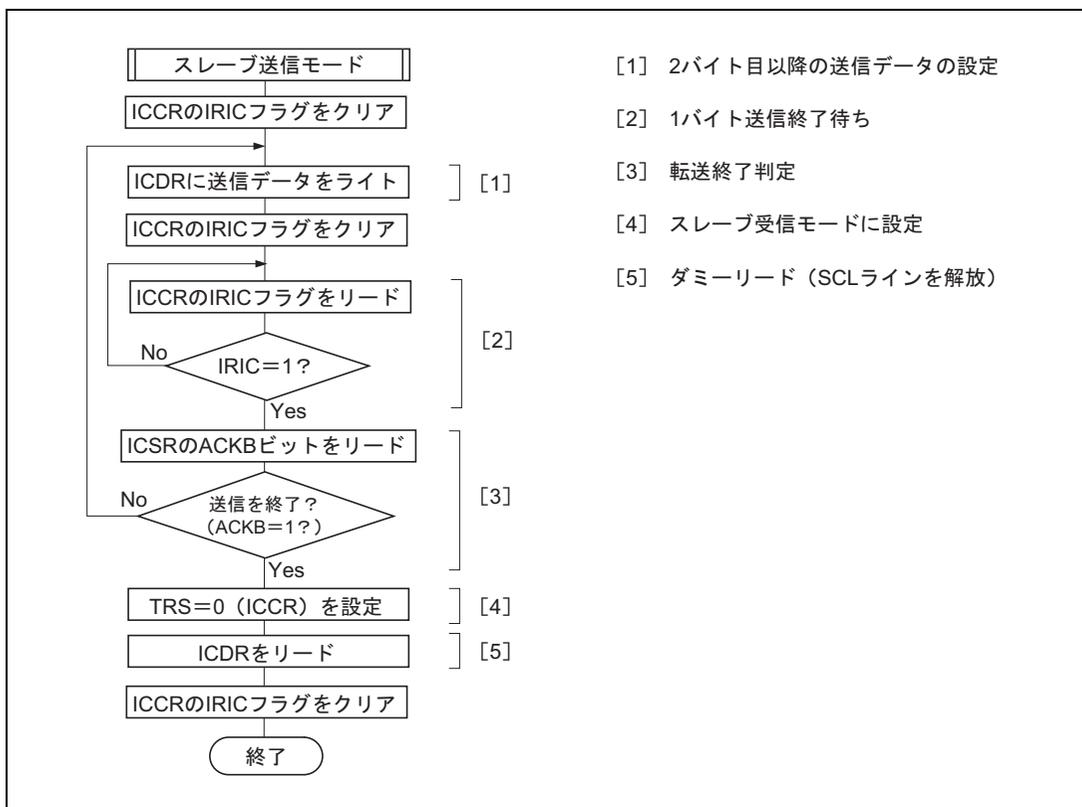


図 18.13 スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき)

18.3.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ(R/W)が1(リード)のときに ICCR の TRS ビットが自動的に1にセットされ、スレーブ送信モードになります。

図 18.14 にスレーブ送信モードのフローチャート例を示します。



スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされ、このとき、ICCRのIEICビットが1にセットされているとCPUに対し割り込み要求を発生します。また、8ビット目のデータ(R/W)が1のときICCRのTRSビットが1にセットされ、自動的にスレーブ送信モードに変化します。このときTDRFフラグが1にセットされます。スレーブデバイスは送信クロックの立ち下がりからICDRデータをライ

- トするまでSCLをLowレベルにします。
- IRICフラグを0にクリア後、ICDRにデータをライトします。このときTDRE内部フラグは0にクリアされます。ライトされたデータはICDRSに転送され、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。IRICフラグを0にクリア後、ICDRに次のデータをライトします。スレーブデバイスは図18.15で示すタイミングでマスタデバイスが出力するクロックに従い、ICDRにライトされたデータを順次送出します。
 - 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでICCRのIRICフラグが1にセットされます。またこのスレーブデバイスは、TDRE内部フラグが1にセットされていると、送信クロックの立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。マスタデバイスは9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKビットに格納されるので転送動作が正常に行われたかどうか確認することができます。TDRE内部フラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。
 - 送信を続ける場合は、IRICフラグを0にクリア後、次に送信するデータをICDRにライトします。このときTDRE内部フラグは0にクリアされます。

4から5を繰り返し行うことにより、送信動作を継続できます。送信を終了する場合は、スレーブ側でSDAを開放するためにICDRにH'FFをライトします。SCLがHighレベルのときSDAがLowレベルからHighレベルに変化し停止条件を検出すると、ICCRのBBSYフラグが0にクリアされます。

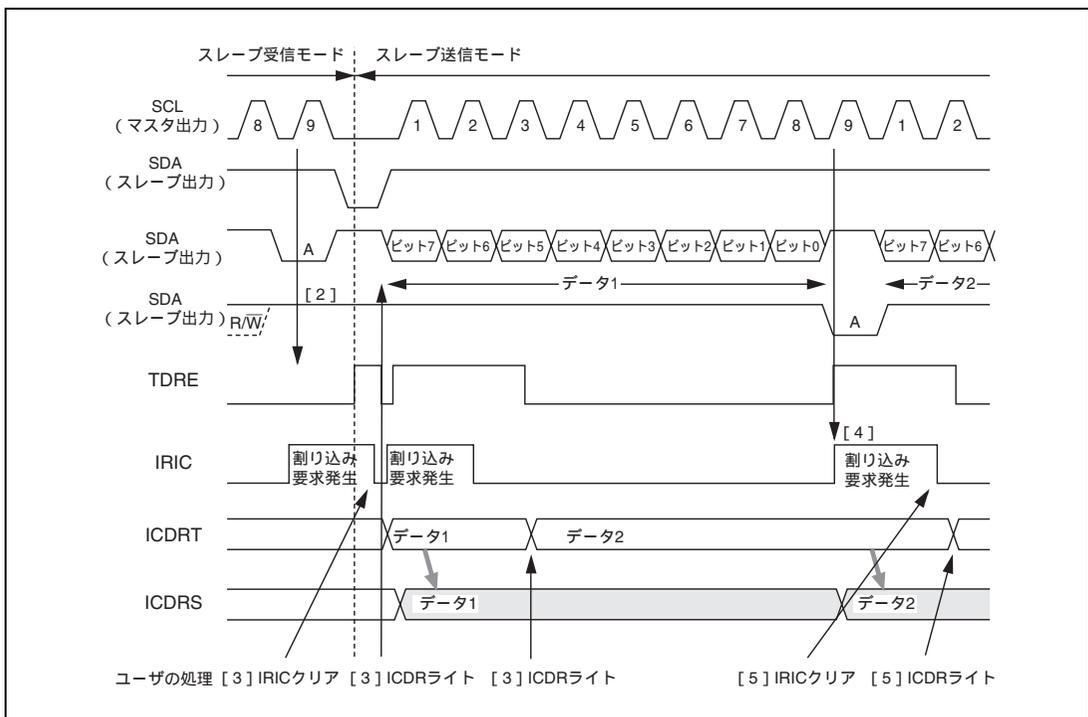


図 18.15 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

18.3.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 18.16 に IRIC セットタイミングと SCL 制御を示します。

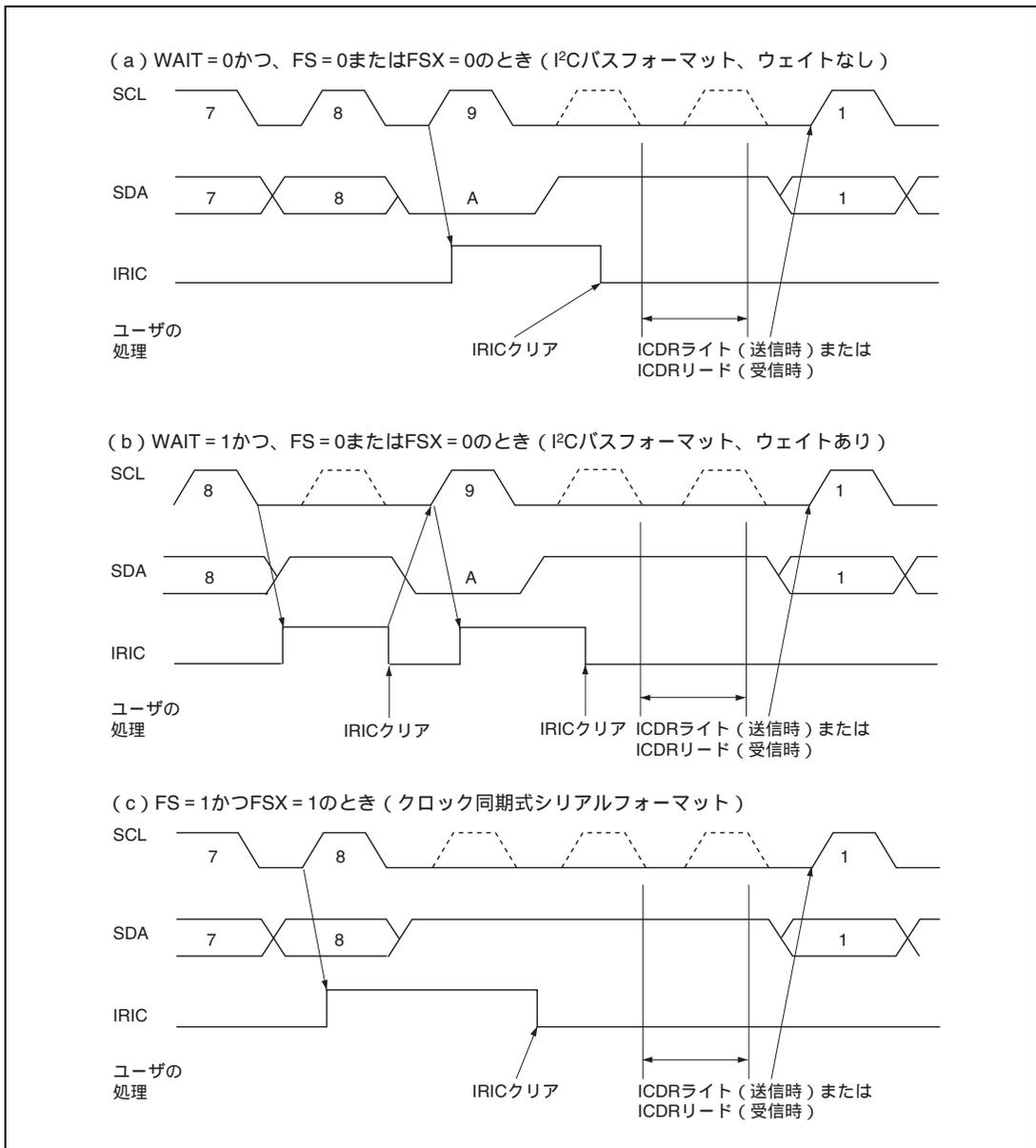


図 18.16 IRIC セットタイミングと SCL 制御

18.3.8 DTC*による動作

I²C バスフォーマットでは、スレーブアドレスとR \bar{W} ビットによるスレーブデバイスおよび転送方向の選択や、アックノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC*によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 18.5 は、DTC*を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

【注】 * H8S/2695 には DTC はありません。

表 18.5 DTC*による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R \bar{W} ビット送信 / 受信	DTC*で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	-	CPU で処理 (ICDR リード)	-	-
本体データ送信 / 受信	DTC*で送信 (ICDR ライト)	DTC*で受信 (ICDR リード)	DTC*で送信 (ICDR ライト)	DTC*で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	-	-	DTC*で処理 (ICDR ライト)	-
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で終了条件発行	不要	ダミーデータ (H'FF) 送出中に 終了条件を検出して自動的にクリア	不要
DTC*転送データフレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R \bar{W} ビット分)	受信 : 実データ数	送信 : 実データ数 + 1 (+1 は、ダミーデータ (H'FF) 分)	受信 : 実データ数

【注】 * H8S/2695 には DTC はありません。

18.3.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 18.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

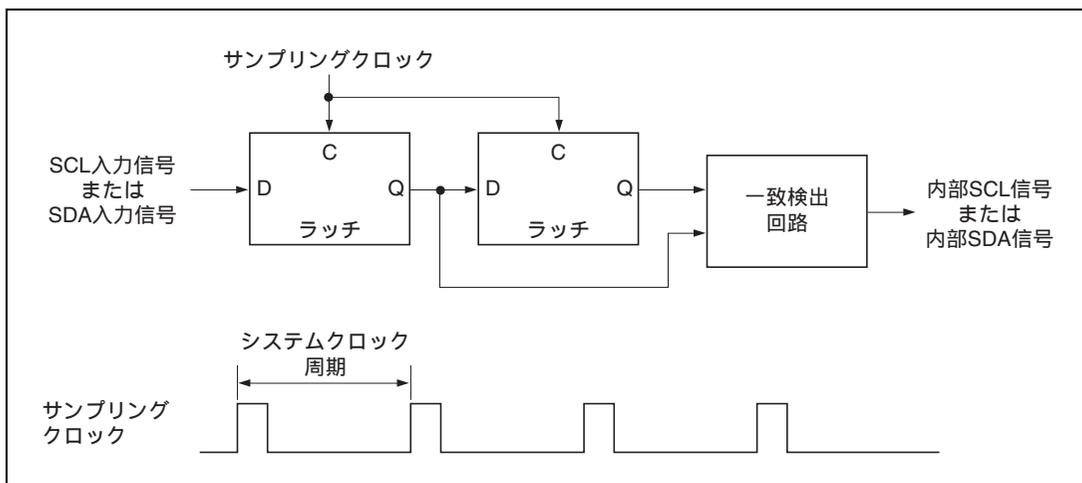


図 18.17 ノイズ除去回路のブロック図

18.3.10 内部状態の初期化

本 IIC は、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能を持っています。

初期化は、(1) DDCSWR レジスタの CLR3~CLR0 ビットの設定、または(2) ICE ビットのクリアにより実行されます。CLR3~CLR0 ビット設定の詳細は、「18.2.8 DDC スイッチレジスタ (DDCSWR)」を参照してください。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- TDRE、RDRF内部フラグ
- 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、DDCSWR、STCR)
- ICMR、ICCR、ICSR、DDCSWR各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ

- ICMRレジスタのビットカウンタ (BC2 ~ BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- DDCSWRレジスタにより初期化を行う場合、CLR3 ~ CLR0ビットのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3 ~ CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。
また、再度クリアが必要な場合は、同様にすべてのビットとも設定を行い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

- (1) CLR3 ~ CLR0ビットの設定による内部状態の初期化実行
- (2) BC2 ~ 0ビットのクリア
- (3) BBSYビットを0にクリアするための、停止条件発行命令実行 (BBSY = 0かつSCP = 0ライト) および、転送レートの2クロック分の期間ウェイト
- (4) CLR3 ~ CLR0ビットの設定による内部状態の初期化の再実行
- (5) IICの各レジスタの初期化 (再設定)

18.4 使用上の注意

- (1) マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDAがともにLowレベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。
- (2) 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
 - (a) ICE = 1かつTRS = 1かつICDRにライトしたとき (ICDRT ICDRSの自動転送を含む)
 - (b) ICE = 1かつTRS = 0かつICDRをリードしたとき (ICDRS ICDRRの自動転送を含む)
- (3) SCL、SDA出力は、内部クロックに同期して表18.6に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり / 立ち下がり時間によって定まります。

表 18.6 I²C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCL0}	$28t_{cyc} \sim 256t_{cyc}$	ns	図 25A.33、 図 25B.33 (参考)
SCL 出力 High パルス幅	t_{SCLHO}	$0.5t_{SCL0}$	ns	
SCL 出力 Low パルス幅	t_{SCLLO}	$0.5t_{SCL0}$	ns	
SDA 出力バスフリー時間	t_{BUFO}	$0.5t_{SCL0} - 1t_{cyc}$	ns	
開始条件出力ホールド時間	t_{STAHO}	$0.5t_{SCL0} - 1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	t_{STASO}	$1t_{SCL0}$	ns	
停止条件出力セットアップ時間	t_{STOSO}	$0.5t_{SCL0} + 2t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	t_{SDASO}	$1t_{SCLLO} - 3t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		$1t_{SCLL} - (6t_{cyc} \text{ または } 12t_{cyc}^*)$	ns	
データ出力ホールド時間	t_{SDAHO}	$3t_{cyc}$	ns	

【注】 * IICX が 0 のとき $6t_{cyc}$ 、1 のとき $12t_{cyc}$ となります。

- (4) SCL、SDA入力、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、表25A.10、表25B.10に示すように、システムクロック周期 t_{cyc} に依存しています。システムクロック周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。
- (5) SCLの立ち上がり時間 t_{su} は、I²Cバスインタフェースの仕様で1000ns (高速モード時は300ns) 以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりなが

ら通信を行います。そのためSCLの立ち上がり時間 t_{Sr} (Lowレベルから V_{IH} まで変化する時間)が、I²Cバスインタフェースの入力クロックで決まる時間を越えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表18.7に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 18.7 SCL 立ち上がり時間 (t_{Sr}) の許容範囲

IICX	t_{cyc} 表示		時間表示[ns]							
			I ² C バス仕様(max.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz	= 25MHz	= 28MHz
0	7.5 t_{cyc}	標準モード	1000		937	750	468	375	-	-
		高速モード	300						-	-
1	17.5 t_{cyc}	標準モード	1000					875	700	624
		高速モード	300							

【注】 7.5 t_{cyc} の転送レート時、=20MHzを超える場合、転送レートが延びる場合があります。

- (6) SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で100nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、表18.6に示すように t_{Scyc} と t_{cyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。表18.8は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、(a)停止条件発行後、開始条件の発行まで必要なインターバル(1 μ s程度)を確保するようプログラムする必要があります。あるいは、(b)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{Sr}/t_{Sc} をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。(a)プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b)転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c)I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 18.8 I²C バスタイミング (t_{Sr}/t_{St} 影響最大の場合)

項目	t_{cyc} 表示	時間表示 (最大転送レート時) [ns]									
		t_{Sr}/t_{St} 影響 (max.)	I ² C バス 仕様 (min.)	= 5MHz	= 8MHz	= 10MHz	= 16MHz	= 20MHz	= 25MHz	= 28MHz	
t_{SCLHO}	$0.5t_{SCLO}$ ($-t_{Sr}$)	標準モード	-1000	4000	4000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950	950	950
t_{SCLLO}	$0.5t_{SCLO}$ ($-t_{Sr}$)	標準モード	-250	4700	4750	4750	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000* ¹						
t_{BUFO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	4700	3800* ¹	3875* ¹	3900* ¹	3938* ¹	3950* ¹	3960* ¹	3964* ¹
		高速モード	-300	1300	750* ¹	825* ¹	850* ¹	888* ¹	900* ¹	910* ¹	912* ¹
t_{STAHO}	$0.5t_{SCLO}-1t_{cyc}$ ($-t_{Sr}$)	標準モード	-250	4000	4550	4625	4650	4688	4700	4710	4713
		高速モード	-250	600	800	875	900	938	950	960	964
t_{STASO}	$1t_{SCLO}$ ($-t_{Sr}$)	標準モード	-1000	4700	9000	9000	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200	2200	2200
t_{STOSO}	$0.5t_{SCLO}+2t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	4000	4400	4250	4200	4125	4100	4080	4071
		高速モード	-300	600	1350	1200	1150	1075	1050	1030	1021
マスタ 時	$1t_{SCLLO}^{*3}-3t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	250	3100	3325	3400	3513	3550	3580	3593
		高速モード	-300	100	400	625	700	813	850	880	893
スレー ブ時	$1t_{SCLL}^{*3}-12t_{cyc}^{*2}$ ($-t_{Sr}$)	標準モード	-1000	250	3100	3325	3400	3513	3550	3580	3593
		高速モード	-300	100	400	625	700	813	850	880	893
t_{SDAHO}	$3t_{cyc}$	標準モード	0	0	600	375	300	188	150	120	107
		高速モード	0	0	600	375	300	188	150	120	107

【注】 *1 I²C バスインタフェースの仕様を満足するために、次の対策を行ってください。

(1) 開始 / 停止条件発行のインターバルを確保する。(2) ブルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。(3) 転送レートを下げて調整する。

(4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 IICX ビットが 1 のときです。

IICX ビットを 0 に設定すると ($1t_{SCLL} - 6t_{cyc}$) となります。

*3 I²C バス仕様値 (標準モード : 4700ns min.、高速モード : 1300ns min.) で計算しています。

(7) マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY = 0かつSCP = 0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。この後で受信データはICDRのリードにより読み出すことができ

ますが、バッファにデータが残っている場合、ICDRSの受信データはICDRに転送されなくなりますので、第2バイト目のデータは、読み出すことができません。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRSビットが0の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態(ICDRレジスタをリードしてください)。このとき、停止条件発行のための命令実行 (ICCRのBBSY=0かつSCP=0をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDRのデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後の MST ビットのクリアなど、送受信の動作モード、設定変更のための IIC 制御ビットの書き換えについては、必ず図 18.18 の (a) 期間中 (ICCR レジスタの BBSY ビットの 0 クリア確認後) に行ってください。

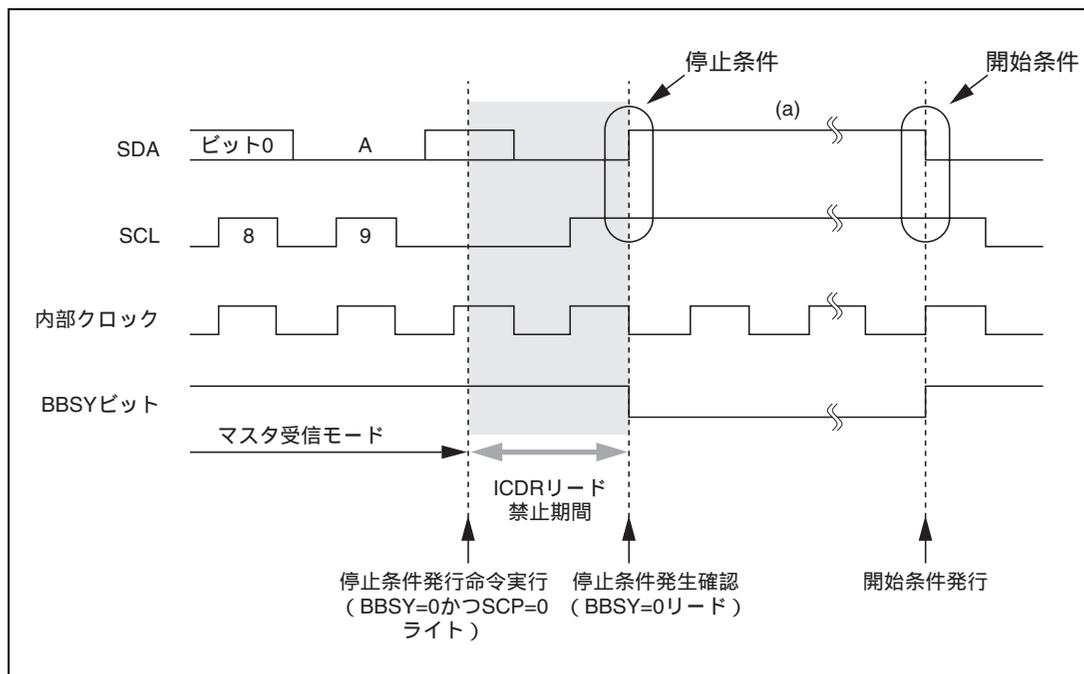


図 18.18 マスタ受信データ読み出しにおける注意

(8) 再送のための開始条件発行時の注意事項

図18.19に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。

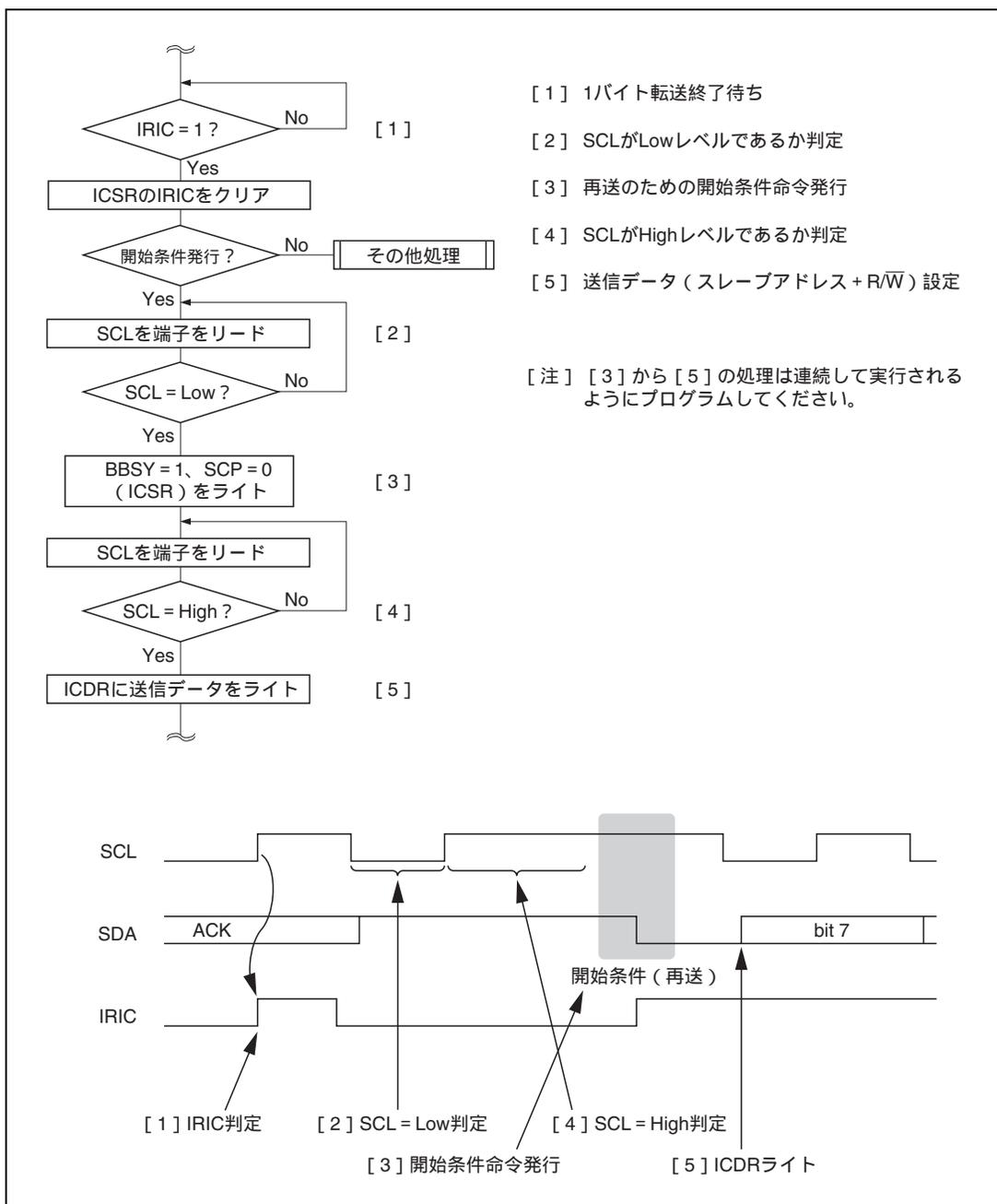


図 18.19 再送のための開始条件命令発行フローチャートおよびタイミング

(9) I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードしてLowを判定してから停止条件命令を発行してください。

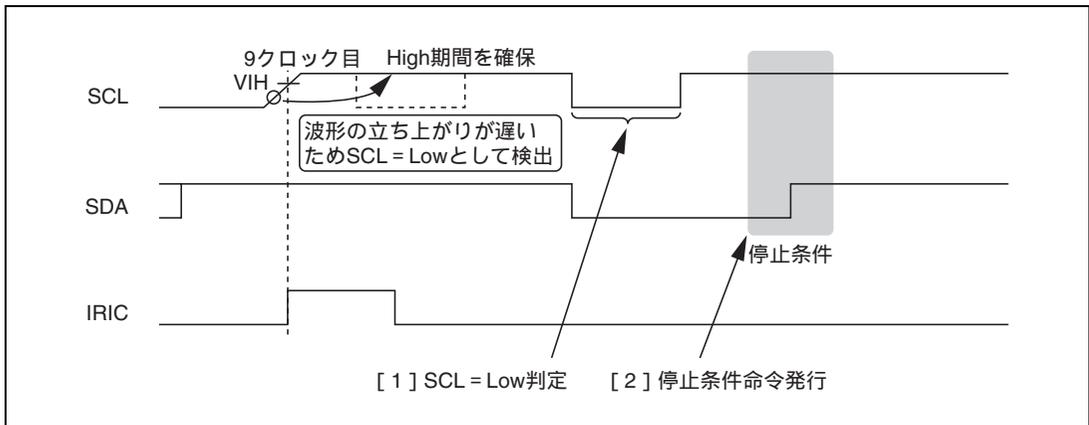


図 18.20 停止条件発行タイミング

(10) ウェイト機能使用時のIRICフラグクリアの注意事項

I²Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

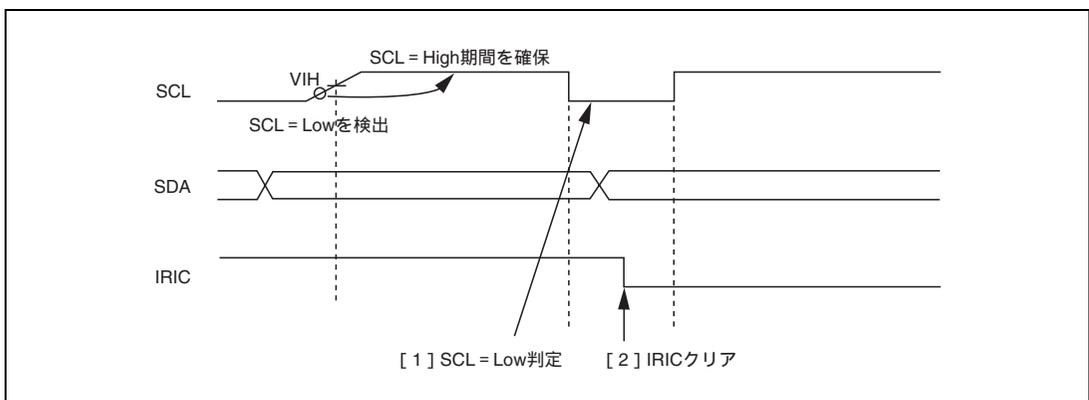


図 18.21 WAIT=1 状態での IRIC フラグクリアタイミング

(11) スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I²Cバスインタフェースのスレーブモード送信動作では、図18.22の網掛け期間中にICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- (a) 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRレジスタのリード動作および、ICCRレジスタのリード/ライト動作を完了させるようにしてください。
- (b) CMRレジスタのBC2~BC0ビットカウンタをモニタし、BC2~BC0=000 (8クロック目または9クロック目) の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行ってください。

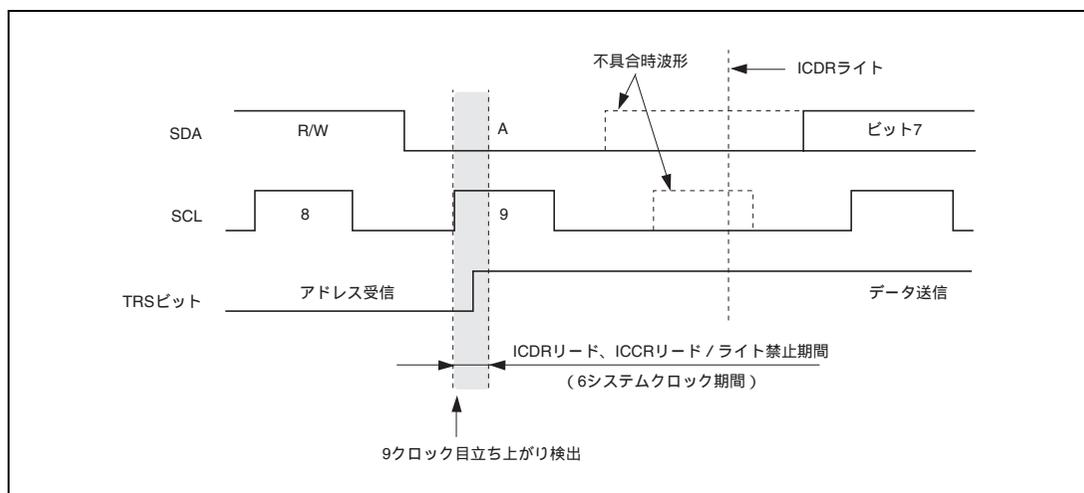


図 18.22 スレーブ送信モードでのICDR リード、ICCR アクセスタイミング

(12) スレーブモードでのTRSビット設定の注意事項

I²Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで(図18.23の(a)期間)は、ICCRレジスタのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間(図18.23の(b)期間)に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再開条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1(送信モード)のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行わ

れません。

スレーブモードのアドレス受信を行う場合は、図18.23の (a) 期間中に、TRSビットを0クリアしてください。

スレーブモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRレジスタのダミーリードにより行います。

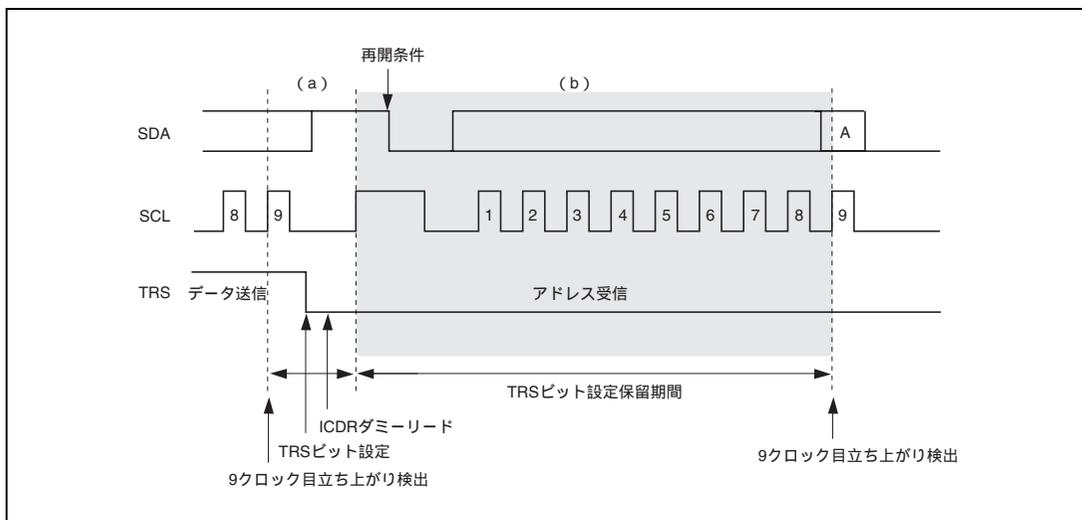


図 18.23 スレーブモードでの TRS ビット設定タイミング

(13) 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード (TRS=1) でのICDRリード動作または、受信モード (TRS=0) でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRレジスタアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

(14) スレーブモードでのACKEビットとTRSビットの注意事項

I²Cバスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

I²Cバスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- (a) 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRレジスタのACKEビットをいったん0にクリアすることで、ACKBビットを0に初期化してください。
- (b) スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。

スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図18.14に従って送信を終了してください。

(15) マスタモードでのアービトレーションロスト発生時の注意事項

I²Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I²Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。(図18.24参照) マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

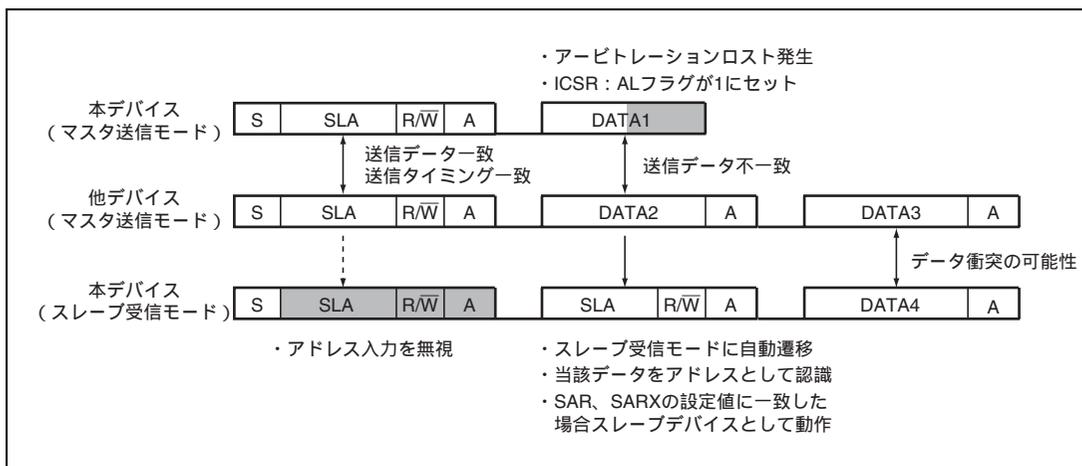


図 18.24 アービトレーションロスト時の動作模式図

本来のI²Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。

マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

- (a) MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。
- (b) MSTビットに1を設定する。

- (c) MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後にも、ICCRのBBSYフラグが0であることを確認する。

(16) マスタモードでのウェイト動作時の注意事項

ウェイト機能を使用したマスタモード動作において割り込みフラグIRICビットを7クロック目の立ち下がりから、8クロック目の立ち下がりまでの期間に1から0にクリアした場合、8クロック目の立ち下がり後にウェイトが入らず、9クロック目のクロックパルスが連続的に出力されることがあります。

ウェイト動作を使用する際はIRICフラグのクリアに関し、以下の点に注意してください。

9クロック目の立ち上がり時にIRICフラグが1にセットされた後、7クロック目が立ち上がる前 (BC2～BC0カウンタの値が2以上のとき) にIRICフラグをクリアしてください。

もし、割り込み処理等でIRICフラグクリアが遅れてBCカウンタの値が1または0になった場合は、BC2～BC0カウンタが0になった後、SCL端子がLになったことを確認してからIRICフラグをクリアしてください。(図18.25参照)

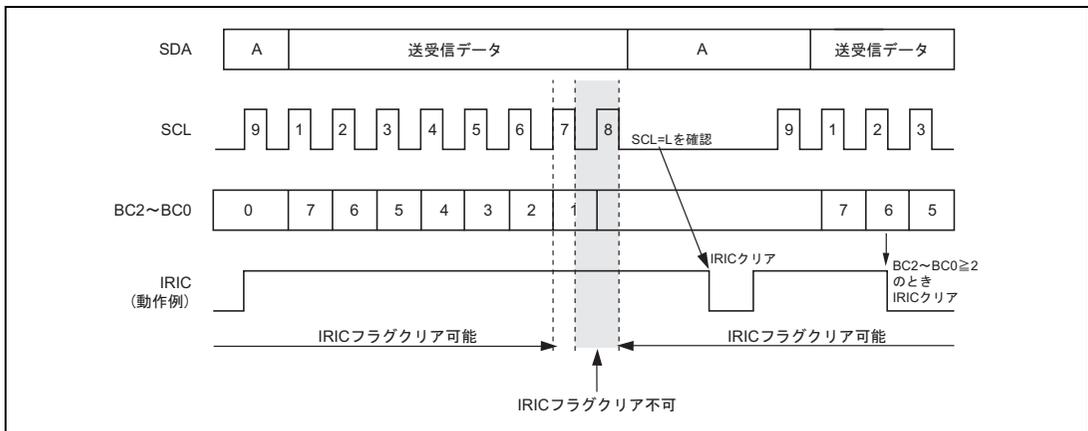


図 18.25 ウェイト動作時の IRIC フラグクリアタイミング

19. A/D 変換器

19.1 概要

本 LSI は、逐次比較方式で動作する 10 ビットの A/D 変換器を内蔵しており、最大 16 チャンネルのアナログ入力を選択することができます。

19.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビット分解能

入力チャンネル：16 チャンネル

アナログ変換電圧範囲の設定可能

- リファレンス電圧端子 (V_{ref}) をアナログ基準電圧として、アナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当たり 10.64 μ s (25MHz 動作時)

9.50 μ s (28MHz 動作時：H8S/2633R、H8S2695 のみ)

シングルモード / スキャンモードの動作モードから選択可能

- シングルモード：1チャンネルのA/D変換
- スキャンモード：1～4チャンネルの連続A/D変換

4本のデータレジスタ

- 変換結果を、各チャンネルに対応した16ビットデータレジスタに保持

サンプル&ホールド機能

3種類の変換開始

- ソフトウェア、タイマの変換開始トリガ (TPUまたは8ビットタイマ) または \overline{ADTRG} 端子の選択が可能

A/D 変換終了割り込み要求発生

- A/D変換終了時に、A/D変換終了割り込み (ADI) 要求を発生可能

モジュールストップモードの設定可能

- 初期値ではA/D変換器の動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

19.1.2 ブロック図

A/D 変換器のブロック図を図 19.1 に示します。

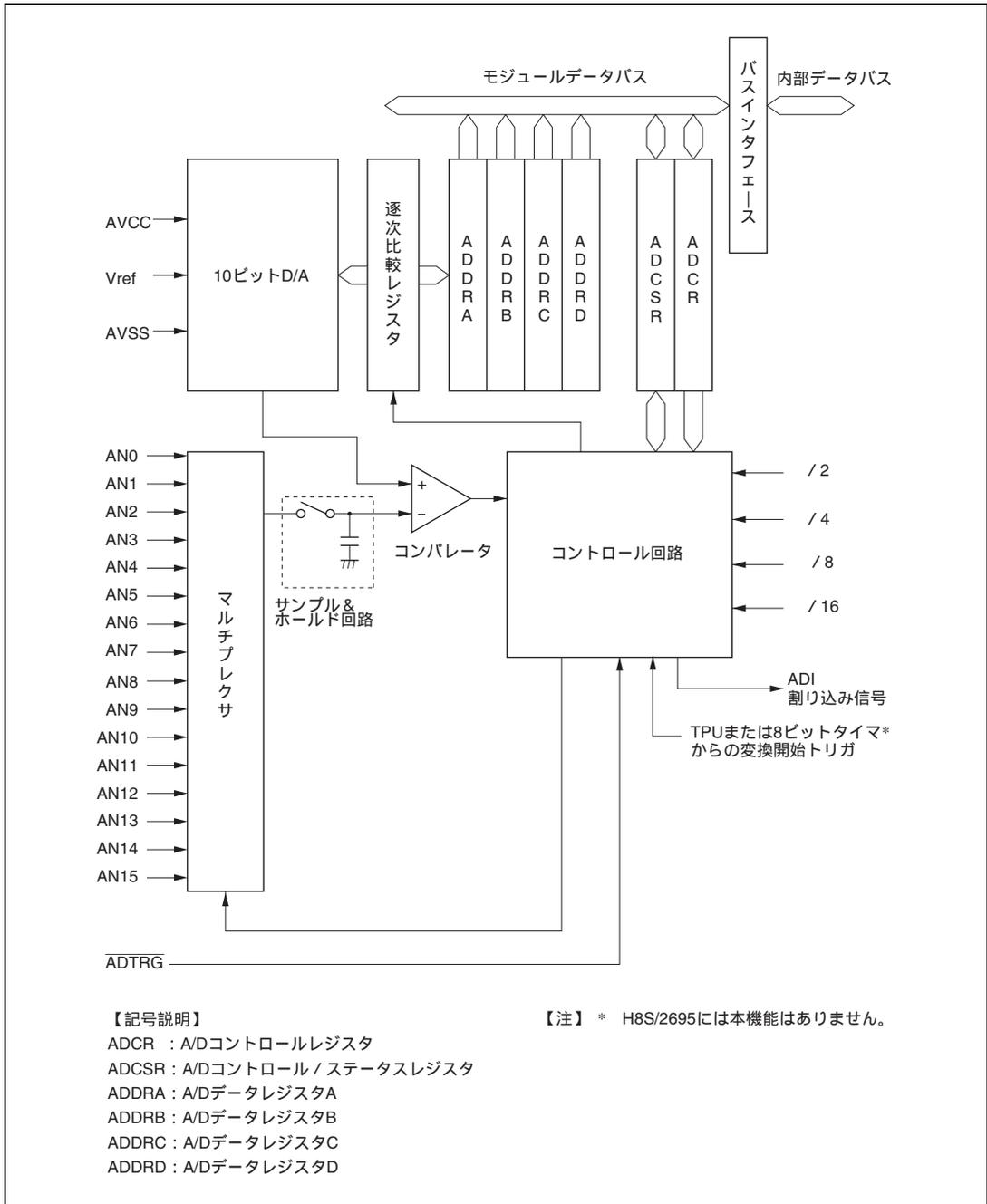


図 19.1 A/D 変換器のブロック図

19.1.3 端子構成

A/D 変換器で使用する入力端子を表 19.1 に示します。

AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。Vref 端子は、A/D 変換基準電圧端子です。

16 本のアナログ入力端子は 2 チャネルセット 2 グループに分類されておりアナログ入力端子 0~7 (AN0~AN7) がチャネルセット 0、アナログ入力端子 8~15 (AN8~AN15) がチャネルセット 1、アナログ入力端子 0~3、8~11 (AN0~AN3、AN8~AN11) がグループ 0、アナログ入力端子 4~7、12~15 (AN4~AN7、AN12~AN15) がグループ 1 になっています。

表 19.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	チャネルセット 0 (CH3=0) グループ 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	チャネルセット 0 (CH3=0) グループ 1 のアナログ入力
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	チャネルセット 1 (CH3=1) グループ 0 のアナログ入力
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
アナログ入力端子 12	AN12	入力	チャネルセット 1 (CH3=1) グループ 1 のアナログ入力
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

19.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
A/D データレジスタ AH	ADDRAH	R	H'00	H'FF90
A/D データレジスタ AL	ADDRAL	R	H'00	H'FF91
A/D データレジスタ BH	ADDRBH	R	H'00	H'FF92
A/D データレジスタ BL	ADDRBL	R	H'00	H'FF93
A/D データレジスタ CH	ADDRCH	R	H'00	H'FF94
A/D データレジスタ CL	ADDRCL	R	H'00	H'FF95
A/D データレジスタ DH	ADDRDH	R	H'00	H'FF96
A/D データレジスタ DL	ADDRDL	R	H'00	H'FF97
A/D コントロール / ステータスレジスタ	ADCSR	R/(W) *2	H'00	H'FF98
A/D コントロールレジスタ	ADCR	R/W	H'33	H'FF99
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

19.2 各レジスタの説明

19.2.1 A/D データレジスタ A ~ D (ADDRA ~ ADDR D)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA ~ ADDR D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャネルに対応する ADDR に転送され、保持されま
す。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイト（ビット 15 ~ 8）に、また下位 2 ビットが下位
バイト（ビット 7、6）に転送され、保持されます。ビット 5 ~ 0 はリードすると常に 0 が読み出されます。

アナログ入力チャネルと ADDR の対応を表 19.3 に示します。ADDR は、常に CPU からリード可能です。上位
バイトは直接リードできますが、下位バイトはテンポラリレジスタ（TEMP）を介してデータ転送が行われます。
詳細は「19.3 バスマスタとのインタフェース」を参照してください。

ADDR は、リセット、スタンバイモードまたはモジュールストップモード時に、H'0000 に初期化されます。

表 19.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル				A/D データレジスタ
チャンネルセット 0 (CH3=0)		チャンネルセット 1 (CH3=1)		
グループ 0	グループ 1	グループ 0	グループ 1	
AN0	AN4	AN8	AN12	ADDRA
AN1	AN5	AN9	AN13	ADDRB
AN2	AN6	AN10	AN14	ADDRC
AN3	AN7	AN11	AN15	ADDRD

19.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、A/D 変換動作を制御します。

ADCSR は、リセット、ハードウェアスタンバイモード、またはモジュールストップモード時に、H'00 に初期化されます。

- ビット7 : A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説 明
ADF	
0	[クリア条件] (初期値) (1) ADF = 1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (2) ADI 割り込みにより DMAC* または DTC* が起動され、ADDR をリードしたとき
1	[セット条件] (1) シングルモード : A/D 変換が終了したとき (2) スキャンモード : 指定したすべてのチャンネルの A/D 変換が終了したとき

【注】 * H8S/2695 には DMAC、DTC はありません。

19. A/D 変換器

• ビット6 : A/Dインタラプトイネーブル (ADIE)

A/D変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。

ビット 6	説 明	
ADIE		
0	A/D 変換の終了による割り込み (ADI) 要求を禁止	(初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可	

• ビット5 : A/Dスタート (ADST)

A/D変換の開始または停止を選択します。A/D変換中は1を保持します。

ADSTビットは、ソフトウェア、タイマの変換開始トリガ、またはA/D外部トリガ入力端子 (ADTRG) によって1にセットすることができます。

ビット 5	説 明	
ADST		
0	A/D 変換を停止	(初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に0にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって0にクリアされるまで選択されたチャンネルを順次連続変換	

• ビット4 : スキャンモード (SCAN)

A/D変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモード/スキャンモードの動作については、「19.4 動作説明」を参照してください。SCANビットの設定は、変換停止中 (ADST=0) に行ってください。

ビット 4	説 明	
SCAN		
0	シングルモード	(初期値)
1	スキャンモード	

• ビット3 : チャンネルセレクト3 (CH3)

グループ0またはグループ1に割り付けられるアナログ入力端子を切り替えます。すなわち、AN8~AN15はCH3を1にセットことにより、AN0~AN7の代わりに使用することができます。

ビット 3	説 明	
CH3		
1	AN8~AN11 をグループ 0、AN12~AN15 をグループ 1 のアナログ入力端子とします	
0	AN0~AN3 をグループ 0、AN4~AN7 をグループ 1 のアナログ入力端子とします	(初期値)

- ビット2~0 : チャネルセレクト2~0 (CH2~CH0)
SCANビットとともにアナログ入力チャンネルを選択します。
入力チャンネルの設定は、変換停止中 (ADST=0) に行ってください。

チャンネル選択				説 明	
CH3	CH2	CH1	CH0	シングルモード (SCAN=0)	スキャンモード (SCAN=1)
0	0	0	0	AN0 (初期値)	AN0
			1	AN1	AN0、AN1
		1	0	AN2	AN0 ~ AN2
			1	AN3	AN0 ~ AN3
	1	0	0	AN4	AN4
			1	AN5	AN4、AN5
		1	0	AN6	AN4 ~ AN6
			1	AN7	AN4 ~ AN7
1	0	0	0	AN8	AN8
			1	AN9	AN8、AN9
		1	0	AN10	AN8 ~ AN10
			1	AN11	AN8 ~ AN11
	1	0	0	AN12	AN12
			1	AN13	AN12、AN13
		1	0	AN14	AN12 ~ AN14
			1	AN15	AN12 ~ AN15

19.2.3 A/D コントロールレジスタ (ADCR)

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	-	-	CKS1	CKS0	-	-
初期値	0	0	1	1	0	0	1	1
R/W	R/W	R/W	-	-	R/W	R/W	-	-

ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセット、スタンバイモード、またはモジュールストップモード時に、H'33 に初期化されます。

- ビット7、6：タイマトリガセレクト1、0 (TRGS1、TRGS0)

トリガ信号によるA/D変換開始の許可または禁止を選択します。

TRGS1、TRGS0ビットの設定は、変換停止中 (ADST=0) に行ってください。

ビット7	ビット6	説明
TRGS1	TRGS0	
0	0	ソフトウェアによる A/D 変換の開始を許可 (初期値)
	1	TPU の変換開始トリガによる A/D 変換の開始を許可
1	0	8 ビットタイマ*の変換開始トリガによる A/D 変換の開始を許可
	1	外部トリガ端子 (ADTRG) による A/D 変換の開始を許可

【注】 * H8S/2695 には本機能はありません。

- ビット5、4、1、0：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

- ビット3、2：クロックセレクト1、0 (CKS1、CKS0)

A/D変換時間の設定を行います。変換時間の切り替えは、変換停止中 (ADST=0) の状態で行ってください。

変換時間は $AV_{cc} = 4.5V$ のときは $10\mu s$ 以上に、 $AV_{cc} < 4.5V$ のときは $16\mu s$ 以上になるようにADCRのCKS1、CKS0ビットを設定してください。

ビット3	ビット2	説明
CKS1	CKS0	
0	0	変換時間 = 530 ステート (Max.) (初期値)
	1	変換時間 = 266 ステート (Max.)
1	0	変換時間 = 134 ステート (Max.)
	1	変換時間 = 68 ステート (Max.)

19.2.4 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット :	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W							

MSTPCRA は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA1 ビットを 1 にセットすると、バスサイクルの終了時点で A/D 変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCRA は、パワーオンリセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

- ビット1：モジュールストップ (MSTPA1)

A/D変換器のモジュールストップモードを指定します。

ビット1	説 明
MSTPA1	
0	A/D 変換器のモジュールストップモード解除
1	A/D 変換器のモジュールストップモード設定 (初期値)

19.3 バスマスタとのインタフェース

ADDRA ~ ADDRD は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 19.2 に、ADDR のアクセス時のデータの流れを示します。

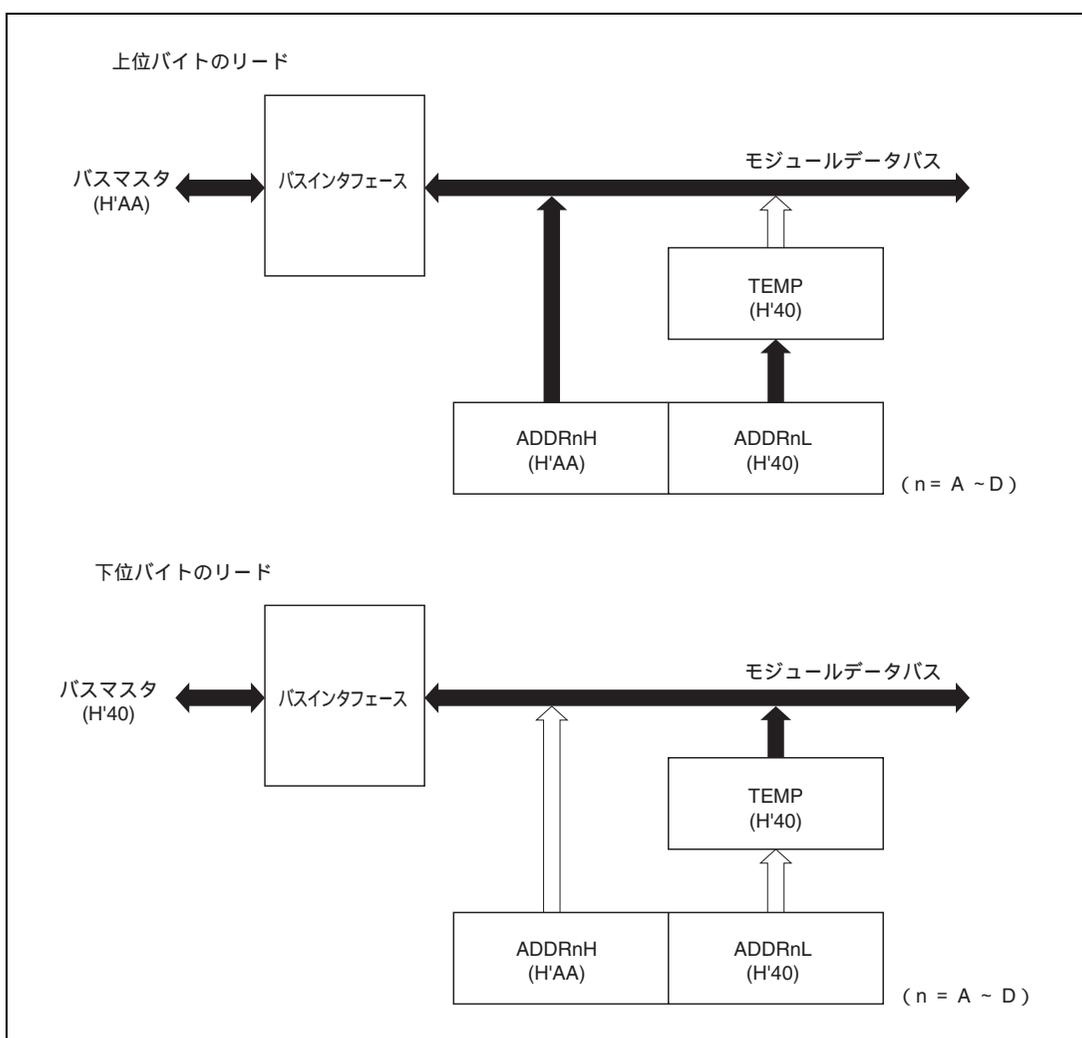


図 19.2 ADDR のアクセス動作 (H'AA40 リード時)

19.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能を持っています。シングルモードとスキャンモードの各モードの動作について説明します。

19.4.1 シングルモード (SCAN = 0)

シングルモードは、1 チャンネルのみ A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 19.3 に示します。

1. 動作モードをシングルモードに (SCAN=0)、入力チャンネルをAN1に (CH3=0、CH2=0、CH1=0、CH0=1) A/D割り込み要求許可 (ADIE=1) に設定して、A/D変換を開始 (ADST=1) します。
2. A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF=1、ADST=0となりA/D変換器は変換待機となります。
3. ADF=1、ADIE=1となっているため、ADI割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. ADCSRをリードした後、ADFに0をライトします。
6. A/D変換結果 (ADDRB) をリードして、処理します。
7. A/D割り込み処理ルーチンの実行を終了します。

この後、ADSTビットを1にセットするとA/D変換が開始され、2.~7.を行います。

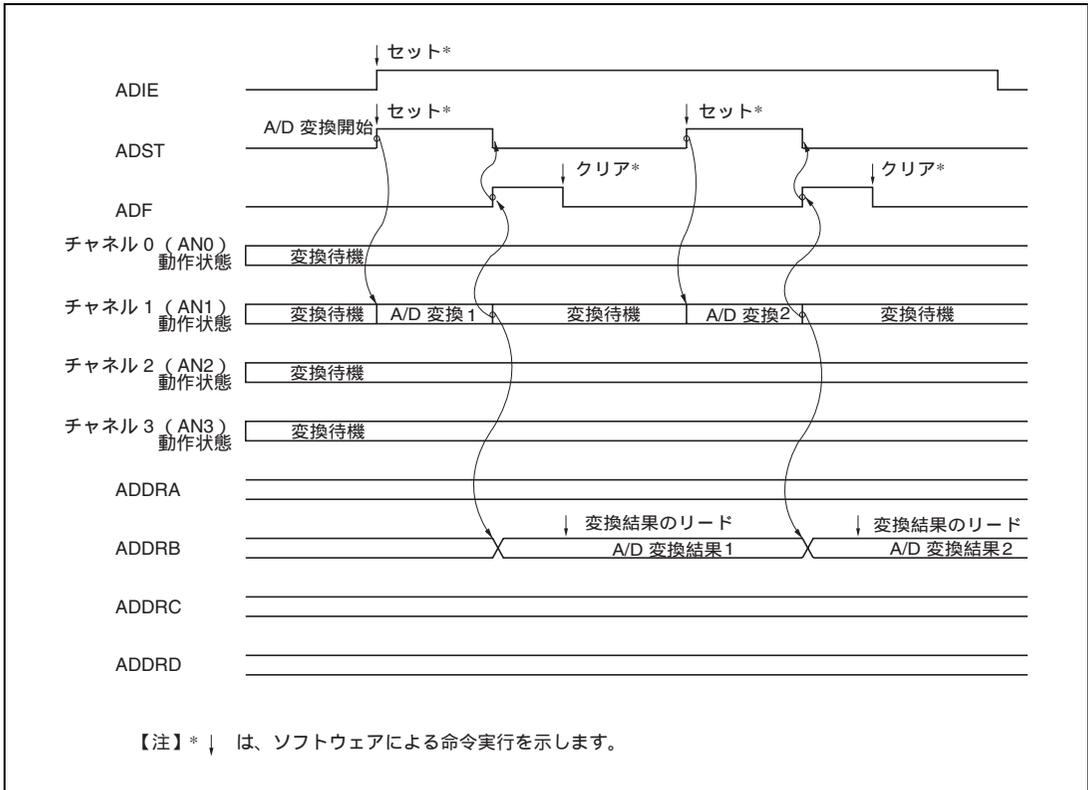


図 19.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

19.4.2 スキャンモード (SCAN=1)

スキャンモードは、複数チャンネル(1チャンネルを含む)のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイムまたは外部トリガ入力によって ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から A/D 変換は開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び第 1 チャンネル (AN0) から A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

スキャンモードで 3 チャンネル (AN0 ~ AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 19.4 に示します。

1. 動作モードをスキャンモード (SCAN=1) に、チャンネルセット 0 (CH3=0)、スキャングループをグループ 0 (CH2=0) に、アナログ入力チャンネルを AN0 ~ AN2 (CH1=1, CH0=0) に設定して A/D 変換を開始 (ADST=1) します。
2. 第 1 チャンネル (AN0) の A/D 変換が開始され A/D 変換が終了すると、変換結果を ADDR1 に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
3. 同様に第 3 チャンネル (AN2) まで変換を行います。
4. 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF=1 となり、再び第 1 チャンネル (AN0) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
5. ADST ビットが 1 にセットされている間は、2. ~ 4. を繰り返します。

ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

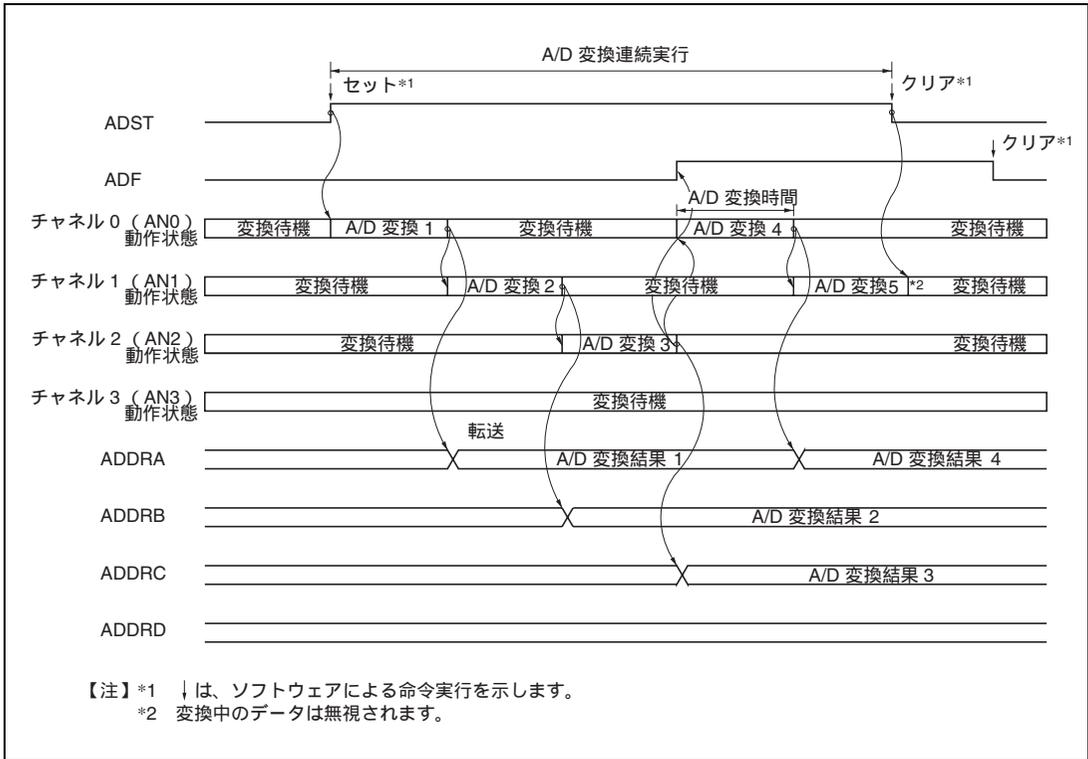


図 19.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の3チャンネル選択時)

19.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 19.5 に示します。また、A/D 変換時間を表 19.4 に示します。

A/D 変換時間は、図 19.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 19.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 19.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は表 19.5 となります。いずれの場合も変換時間が $AV_{CC} < 4.5V$ のときは $10\mu s$ 以上になるように、 $AV_{CC} < 4.5V$ のときは $16\mu s$ 以上になるように ADCR の CKS1、CKS0 ビットを設定してください。

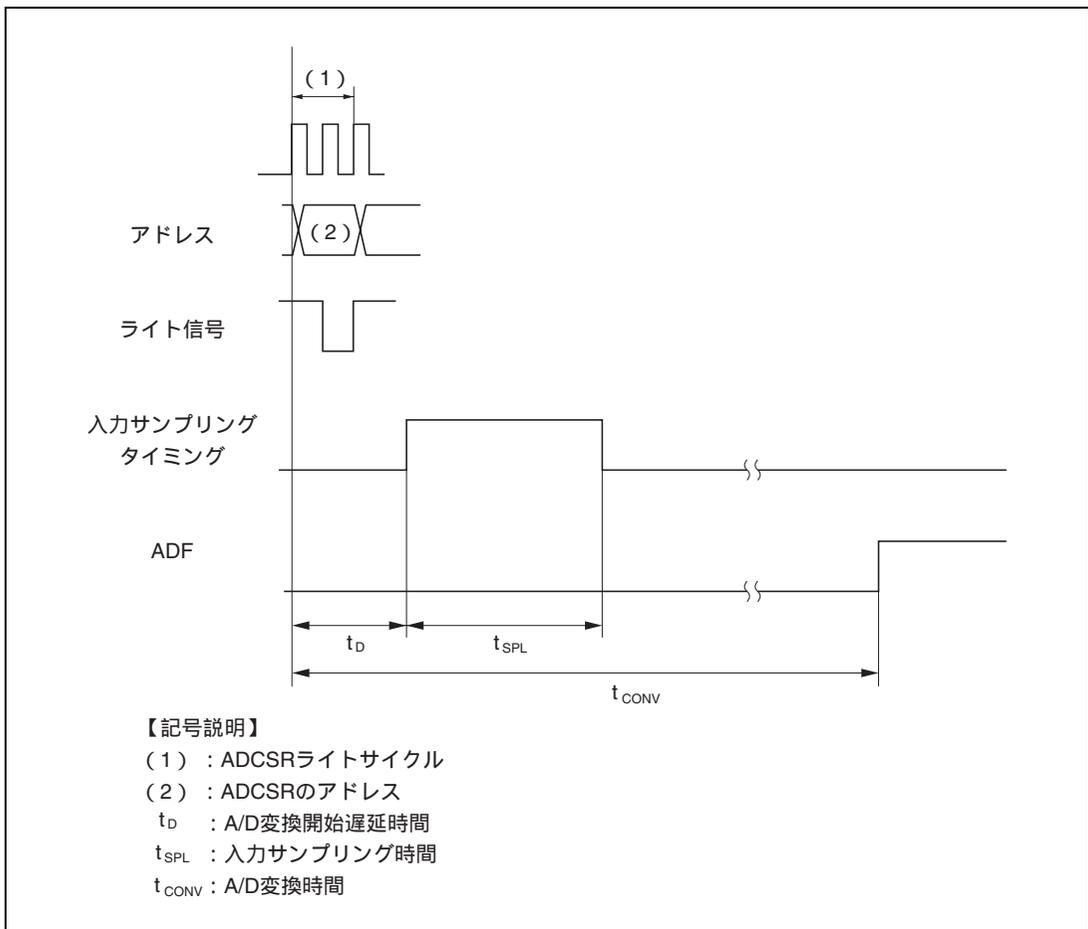


図 19.5 A/D 変換タイミング

表 19.4 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min.	typ.	max.									
A/D 変換開始遅延時間	t_d	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	t_{SPL}	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	t_{CONV}	515	-	530	259	-	266	131	-	134	67	-	68

【注】単位：ステート

表 19.5 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

19.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち上がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 19.6 に示します。

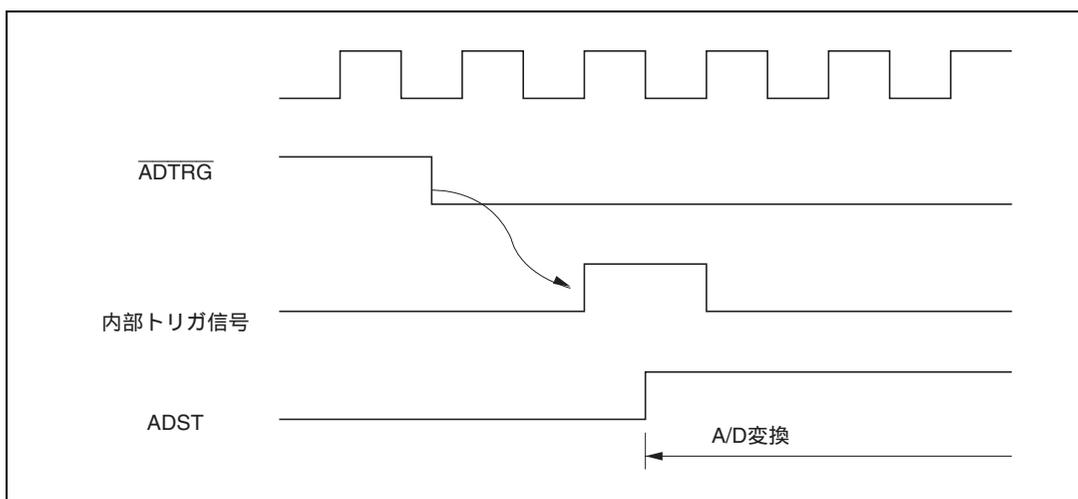


図 19.6 外部トリガ入力タイミング

19.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DTC*および DMAC*の起動ができます。ADI 割り込みで変換されたデータのリードを DTC*または DMAC*で行うと、連続変換がソフトウェアの負担なく実現できます。

A/D 変換器の割り込み要因を表 19.6 に示します。

【注】 * H8S/2695 には DTC、DMAC はありません。

表 19.6 A/D 変換器の割り込み要因

割り込み要因	内 容	DTC*、DAMC*の起動
ADI	変換終了による割り込み	可

【注】 * H8S/2695 には DTC、DMAC はありません。

19.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子他の設定範囲

(a) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧はAVSS AN_n Vrefの範囲としてください。

(b) AVCC、AVSSとVCC、VSSの関係

AVCC、AVSSとVCC、VSSとの関係はAVSS = VSSとし、さらに、A/D変換器を使用しないときも、AVCC、AVSS端子を決してオープンにしないでください。

(c) Vref端子の設定範囲

Vref端子によるリファレンス電圧の設定範囲はVref AVCCにしてください。

【注】 以上 (a)、(b)、(c) が守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0 ~ AN15)、アナログ基準電源 (Vref)、アナログ電源 (AVCC) は、アナロググランド (AVSS) で、デジタル回路を必ず分離してください。さらに、アナロググランド (AVSS) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

(3) ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN15)、アナログ基準電源 (Vref) の破壊を防ぐために、接続する保護回路は、図 19.7 に示すように AVCC - AVSS 間に接続してください。

また、AVCC、Vref に接続するバイパス・コンデンサ、AN0 ~ AN15 に接続するフィルタのコンデンサは、必ず AVSS に接続してください。

なお、図 19.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN0 ~ AN15) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

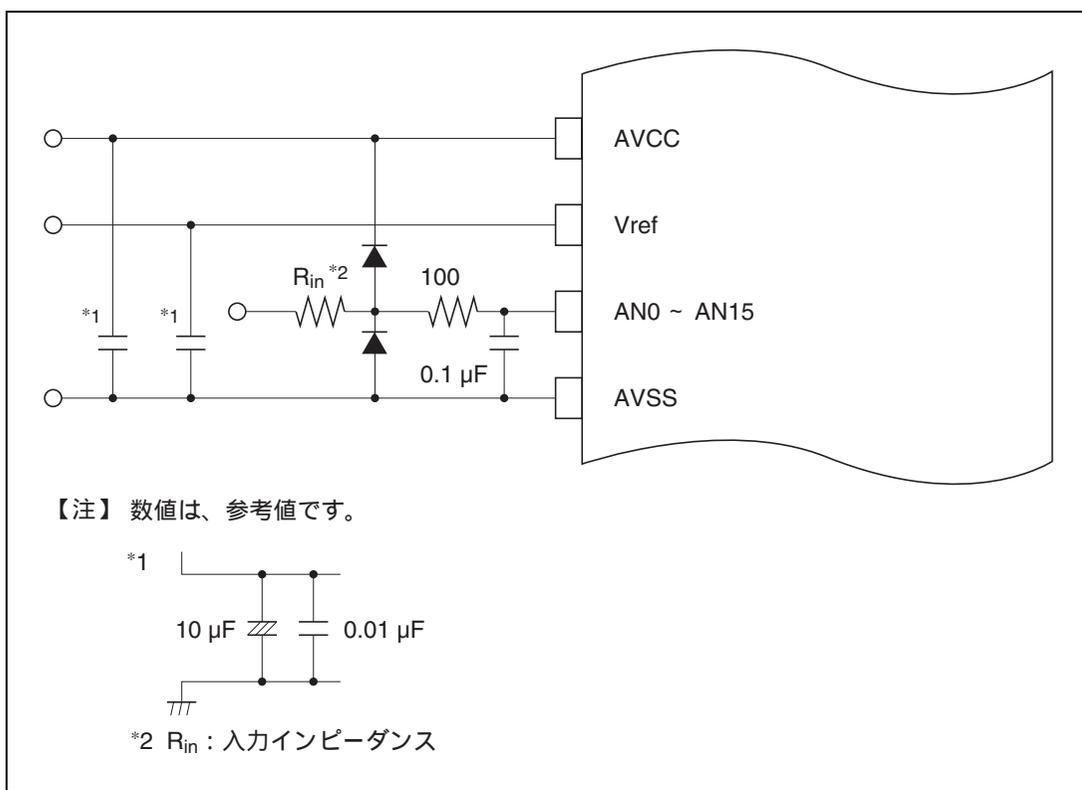


図 19.7 アナログ入力保護回路の例

表 19.7 アナログ端子の規格

項目	min.	max.	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

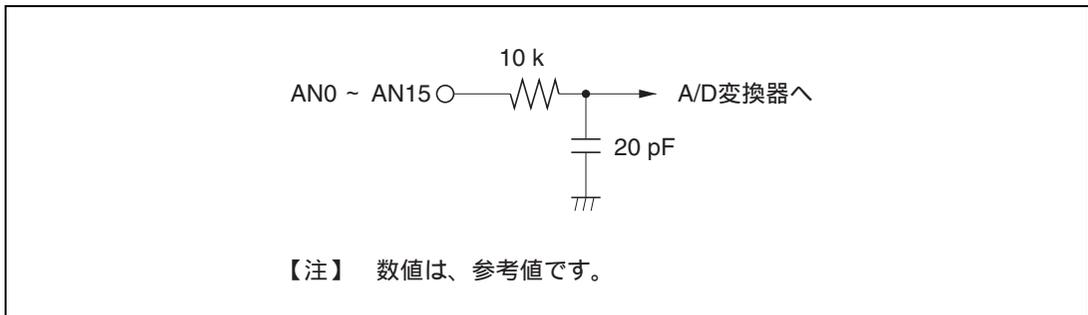


図 19.8 アナログ入力端子等価回路

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能
A/D変換器のデジタル出力コード数
- オフセット誤差
デジタル出力が最小電圧値B'000000000 (H'00) からB'000000001 (H'01) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図19.10)
- フルスケール誤差
デジタル出力がB'111111110 (H'3E) からB'111111111 (H'3F) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図19.10)
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図19.9)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

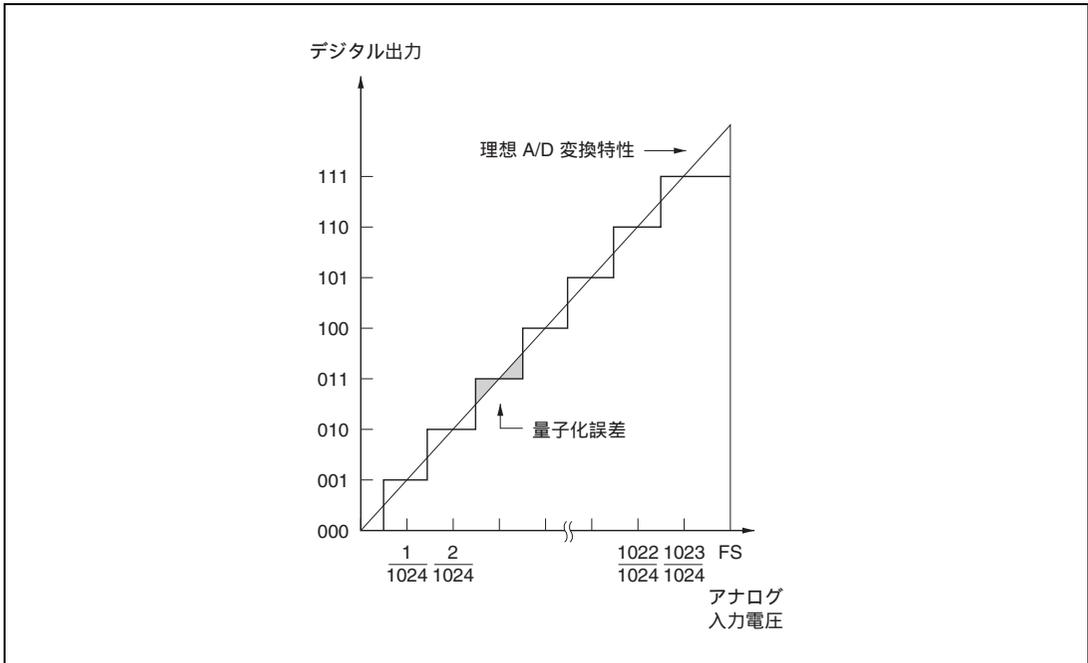


図 19.9 A/D 変換精度の定義 (1)

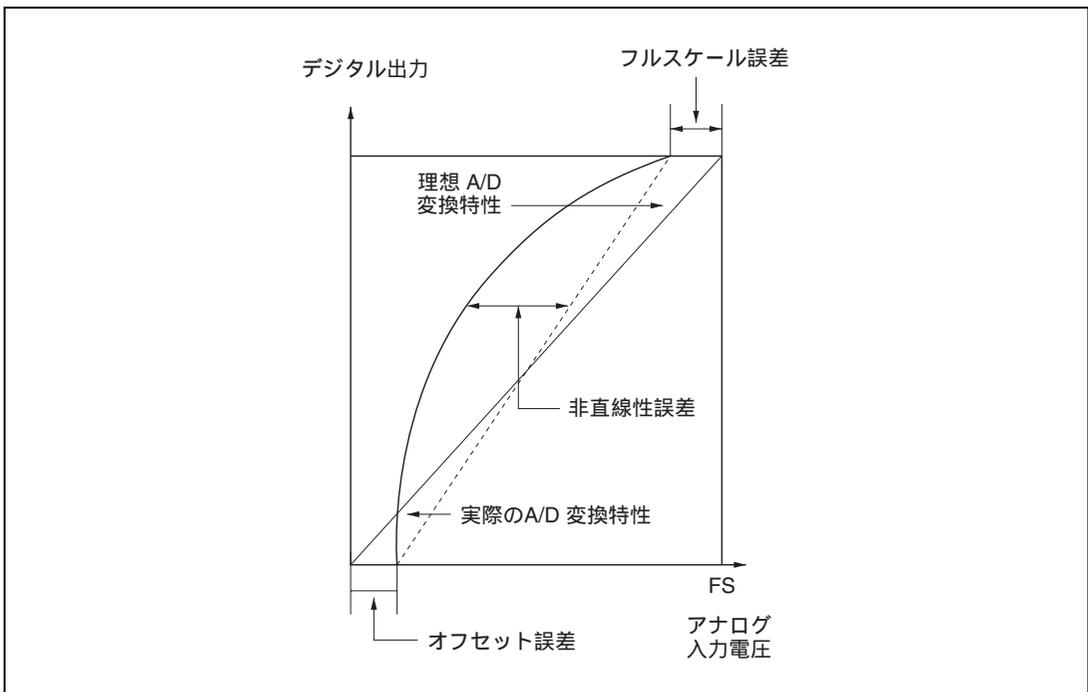


図 19.10 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力、信号源インピーダンスが $5k$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するためには設けている規格で、センサの出力インピーダンスが $10k$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AVSS 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意が必要です。

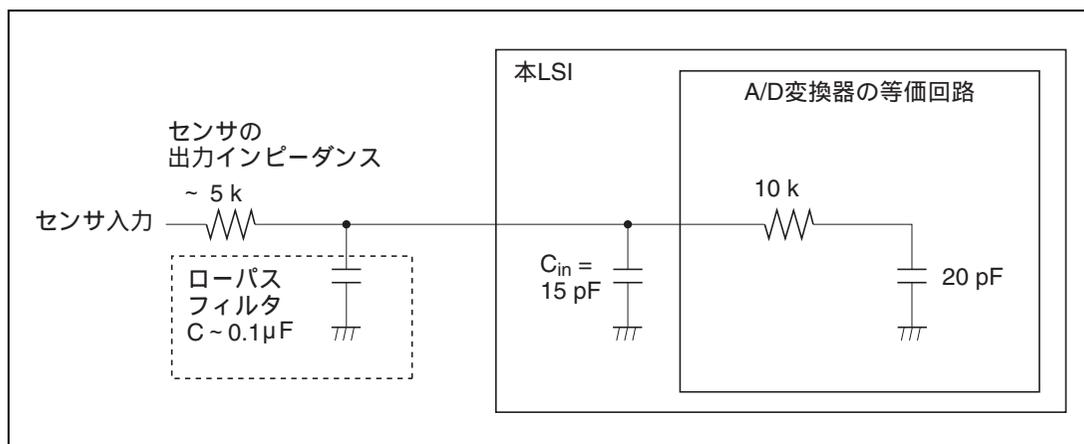


図 19.11 アナログ入力回路の例

20. D/A 変換器 (H8S/2695 には本機能はありません)

20.1 概要

本 LSI は、4 チャンネルの D/A 変換器を内蔵しています。

20.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

4 チャンネル出力

変換時間最大 10 μ s (負荷容量 20pF 時)

出力電圧 0V ~ Vref

ソフトウェアスタンバイモード時の D/A 出力保持機能

モジュールストップモードの設定可能

- 初期値では D/A 変換器の動作は停止。モジュールストップモードの解除によりレジスタのアクセスが可能

20.1.2 ブロック図

D/A 変換器のブロック図を図 20.1 に示します。

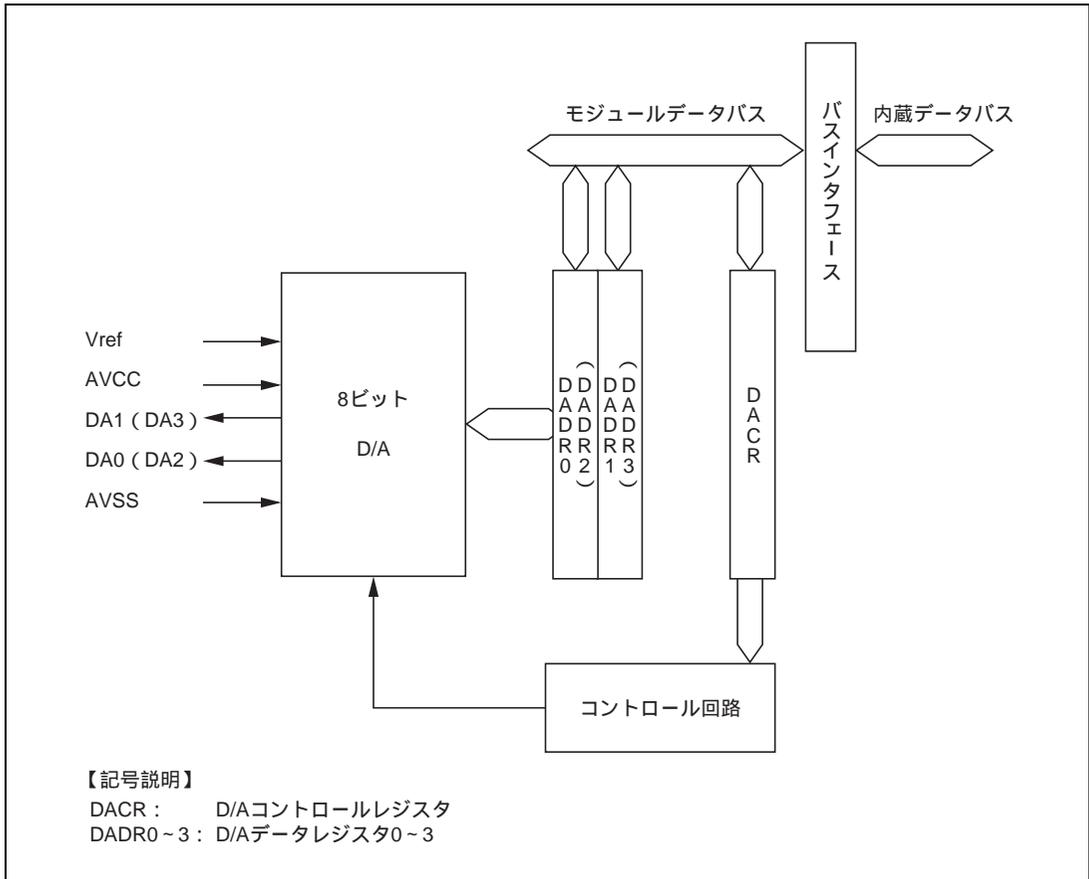


図 20.1 D/A 変換器のブロック図

20.1.3 端子構成

D/A 変換器で使用する入出力端子を表 20.1 に示します。

表 20.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
アナログ出力端子 2	DA2	出力	チャンネル 2 のアナログ出力
アナログ出力端子 3	DA3	出力	チャンネル 3 のアナログ出力
リファレンス電圧端子	Vref	入力	アナログ部の基準電圧

20.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 20.2 に示します。

表 20.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*
0、1	D/A データレジスタ 0	DADR0	R/W	H'00	H'FFA4
	D/A データレジスタ 1	DADR1	R/W	H'00	H'FFA5
	D/A コントロールレジスタ 01	DACR01	R/W	H'1F	H'FFA6
2、3	D/A データレジスタ 2	DADR2	R/W	H'00	H'FDAC
	D/A データレジスタ 3	DADR3	R/W	H'00	H'FDAD
	D/A コントロールレジスタ 23	DACR23	R/W	H'1F	H'FDAE
共通	モジュールストップコントロールレジスタ A、C	MSTPCRA	R/W	H'3F	H'FDE8
		MSTPCRC	R/W	H'FF	H'FDEA

【注】 * アドレスの下位 16 ビットを示します。

20.2 各レジスタの説明

20.2.1 D/A データレジスタ 0 ~ 3 (DADR0 ~ DADR3)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

DADR0 ~ DADR3 は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。
アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。
DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

20.2.2 D/A コントロールレジスタ 01、23 (DACR01、DACR23)

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

DACR01、DACR23 は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。
DACR01、DACR23 は、リセットまたはハードウェアスタンバイモード時に、H'1F に初期化されます。

- ビット7 : D/A アウトプットイネーブル1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット7	説 明	
DAOE1		
0	アナログ出力 DA1 (DA3) を禁止	(初期値)
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 (DA3) を許可	

- ビット6 : D/A アウトプットイネーブル0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット6	説 明	
DAOE0		
0	アナログ出力 DA0 (DA2) を禁止	(初期値)
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA0 (DA2) を許可	

- ビット5 : D/Aイネーブル (DAE)

DAOE0、DAOE1ビットとともに、D/A変換を制御します。DAEビットが0にクリアされているときチャンネル0、1のD/A変換は独立に制御され、DAEビットが1にセットされているときチャンネル0、1のD/A変換は一括して制御されます。

変換結果の出力は、DAOE0、DAOE1ビットにより、常に独立して制御されます。

ビット7	ビット6	ビット5	説 明
DAOE1	DAOE0	DAE	
0	0	*	チャンネル0、1 (チャンネル2、3) のD/A変換を禁止
	1	0	チャンネル0 (チャンネル2) のD/A変換を許可 チャンネル1 (チャンネル3) のD/A変換を禁止
		1	チャンネル0、1 (チャンネル2、3) のD/A変換を許可
1	0	0	チャンネル0 (チャンネル2) のD/A変換を禁止 チャンネル1 (チャンネル3) のD/A変換を許可
			1
		1	*

* : Don't care

D/A変換を許可した状態で本LSIがソフトウェアスタンバイモードになると、D/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0、DAOE1ビットをいずれも0にクリアしてD/A出力を禁止にしてください。

- ビット4~0 : リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

20.2.3 モジュールストップコントロールレジスタ A、C (MSTPCRA、MSTPCRC)

MSTPCRA

ビット:	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値:	0	0	1	1	1	1	1	1
R/W:	R/W							

MSTPCRC

ビット:	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

MSTPCRA、MSTPCRC は 8 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA2、MSTPC5 ビットを 1 にセットすると、バスサイクルの終了時点で D/A 変換器は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「24.5 モジュールストップモード」を参照してください。

パワーオンリセットまたはハードウェアスタンバイモード時に MSTPCRA は、H'3F に、MSTPCRC は H'FF に初期化されます。マニュアルリセットソフトウェアスタンバイモードでは初期化されません。

(1) モジュールストップコントロールレジスタ A (MSTPCRA)

- ビット2: モジュールストップ (MSTPA2)

D/A変換器 (チャンネル0、1) のモジュールストップモードを指定します。

ビット2	説明
MSTPA2	
0	D/A 変換器 (チャンネル0、1) のモジュールストップモード解除
1	D/A 変換器 (チャンネル0、1) のモジュールストップモード設定 (初期値)

(2) モジュールストップコントロールレジスタ C (MSTPCRC)

- ビット5: モジュールストップ (MSTPC5)

D/A変換器 (チャンネル2、3) のモジュールストップモードを指定します。

ビット5	説明
MSTPC5	
0	D/A 変換器 (チャンネル2、3) のモジュールストップモード解除
1	D/A 変換器 (チャンネル2、3) のモジュールストップモード設定 (初期値)

20.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を 2 つ内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR0、DADR1 を書き換えると、直ちに新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 20.2 に示します。

1. DADR0 に変換データをライトします。
2. DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表されます。

$$\frac{\text{DADR の内容}}{256} \times V_{\text{ref}}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

3. DADR0 を書き換えると直ちにに変換が開始されます。変換時間経過後に変換結果が出力されます。
4. DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

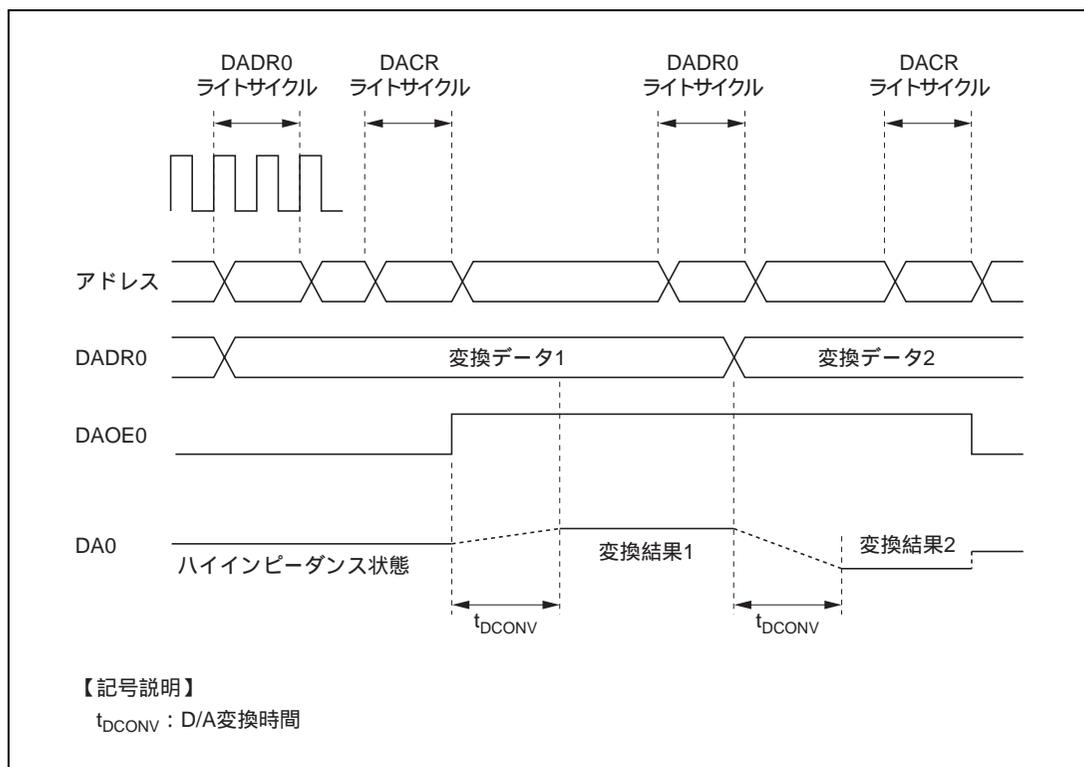


図 20.2 D/A 変換器の動作例

21. RAM

21.1 概要

H8S/2633、H8S/2633R は 16k バイト、H8S/2632 は 12k バイト、H8S/2631、H8S/2695 は 8k バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速度転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

21.1.1 ブロック図

RAM のブロック図を図 21.1 に示します。

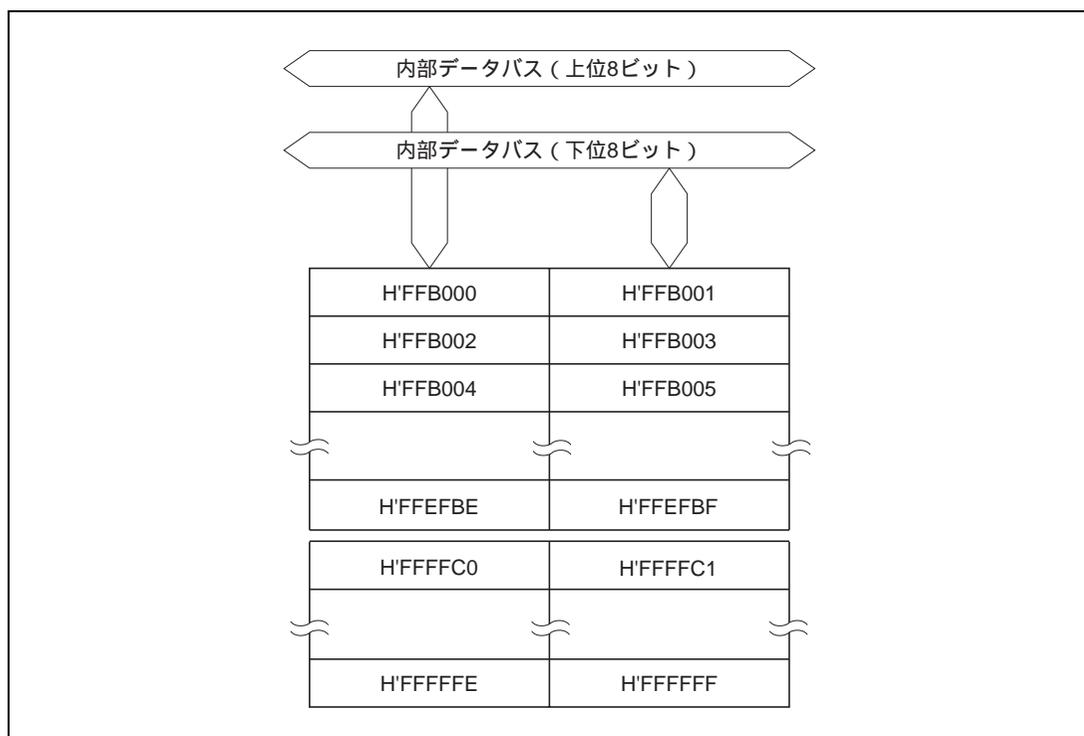


図 21.1 RAM のブロック図 (H8S/2633、H8S/2633R の場合)

21.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 21.1 に示します。

表 21.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5

【注】 * アドレスの下位 16 ビットを示しています。

21.2 各レジスタの説明

21.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	MACS	-	INTM1	INTM0	NMIEG	MRESE	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	R/W	-	R/W

内蔵 RAM は SYSCR の RAME ビットにより、有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- ビット0 : RAMイネーブル (RAME)

内蔵RAMの有効または無効を選択します。RAMEビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】 DTC を使用するときには、必ず RAME ビットを 1 にセットしてください。(H8S/2695 には DTC はありません。)

ビット0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

21.3 動作説明

RAME ビットが 1 にセットされているとき、H8S/2633、H8S/2633R の場合アドレス H'FFB000 ~ H'FFEFBF、H'FFFC0 ~ H'FFFFFF を、H8S/2632 の場合 H'FFC000 ~ H'FFEFBF、H'FFFC0 ~ H'FFFFFF を、H8S/2631、H8S/2695 の場合 H'FFD000 ~ H'FFEFBF、H'FFFC0 ~ H'FFFFFF をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

21.4 使用上の注意

(1) DTC*使用時

アドレス H'FFEBC0 ~ H'FFEFBF は DTC*のレジスタ情報を配置することができます。DTC*を使用する場合は、RAME ビットを 0 にクリアしないでください。

【注】 * H8S/2695 には DTC はありません。

(2) リザーブエリア

H8S/2632 のアドレス H'FFB000 ~ H'FFBFFF と、H8S/2631、H8S/2695 のアドレス H'FFB000 ~ H'FFCFFF は、リザーブエリアのためリード/ライトはできません。RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

22. ROM

22.1 概要

H8S/2633、H8S/2633R は、256K バイトのフラッシュメモリまたは256K バイトのマスキング ROM、H8S/2632、H8S/2695 は、192K バイトのマスキング ROM、H8S/2631 は、128K バイトのマスキング ROM を内蔵しています。ROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定は、モード端子 (MD2、MD1、MD0) により行います。

本 LSI のフラッシュメモリ版は、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

22.1.1 ブロック図

256K バイトの ROM のブロック図を図 22.1 に示します。

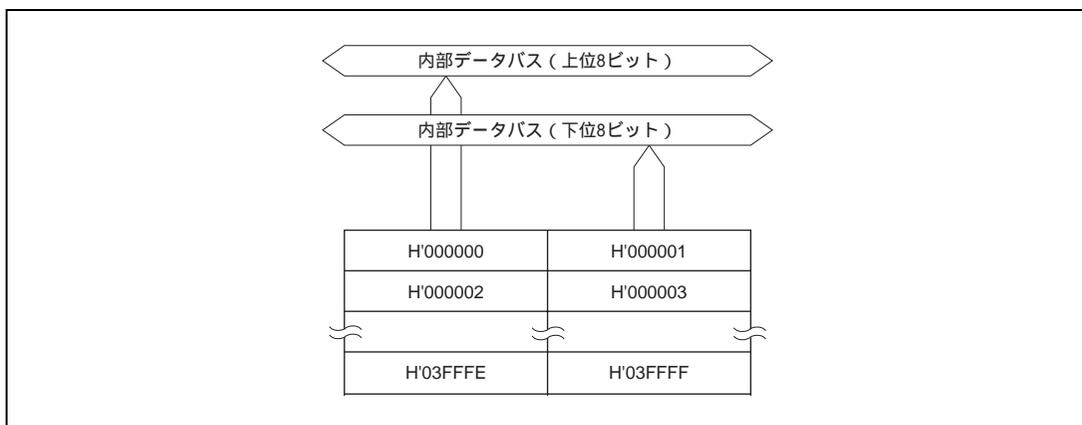


図 22.1 ROM のブロック図 (256K バイト)

22.1.2 レジスタ構成

本 LSI の動作モードは、モード端子と MDCR で制御されます。レジスタ構成を表 22.1 に示します。

表 22.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FDE7

【注】 * アドレスの下位 16 ビットを示しています。

22.2 レジスタの説明

22.2.1 モードコントロールレジスタ (MDCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値 :	1	0	0	0	0	- *	- *	- *
R/W :	R/W	-	-	-	-	R	R	R

【注】* MD2 ~ MD0 端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするのに用います。

- ビット7: リザーブビット

書き込み時は必ず1をライトしてください。

- ビット6~3: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

- ビット2~0: モードセレクト2~0 (MDS2~MDS0)

モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットはMD2~MD0端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2~MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。

22.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD2、MD1、MD0) により行います。この設定を表 22.2 に示します。

表 22.2 動作モードと ROM (F-ZTAT 版)

	動作モード	モード端子				内蔵 ROM	
		FWE	MD2	MD1	MD0		
モード 0	-	0	0	0	0	-	
モード 1				1			
モード 2				1	0		
モード 3				1			
モード 4	アドバンスト・内蔵 ROM 無効拡張モード	1	0	0	0	無効	
モード 5	アドバンスト・内蔵 ROM 無効拡張モード			1			
モード 6	アドバンスト・内蔵 ROM 有効拡張モード			1	0		有効 (256K バイト)
モード 7	アドバンスト・シングルチップ モード			1	有効 (256K バイト)		
モード 8	-	1	0	0	0	-	
モード 9				1			
モード 10	ブートモード (アドバンスト・ 内蔵 ROM 有効拡張モード) * ¹			1	0	有効 (256K バイト)	
モード 11	ブートモード (アドバンスト・ シングルチップモード) * ²			1	有効 (256K バイト)		
モード 12	-	1	0	0	0	-	
モード 13				1			
モード 14	ユーザプログラムモード (アドバンスト・内 蔵 ROM 有効拡張モード) * ¹			1	0		有効 (256K バイト)
モード 15	ユーザプログラムモード (アドバンスト・シ ングルチップモード) * ²			1	有効 (256K バイト)		

【注】 *¹ フラッシュメモリの消去・書き換えが可能である以外はアドバンスト・内蔵 ROM 有効拡張モードと同等の動作となります。

*² フラッシュメモリの消去・書き換えが可能である以外はアドバンスト・シングルチップモードと同等の動作となります。

表 22.3 動作モードとROM (マスクROM版)

	動作モード	モード端子			内蔵ROM	
		MD ₂	MD ₁	MD ₀		
モード0	-	0	0	0	-	
モード1				1		
モード2			1	0		
モード3				1		
モード4	アドバンスト・内蔵ROM 無効拡張モード	1	0	0	無効	
モード5				1		
モード6	アドバンスト・内蔵ROM 有効拡張モード	1	0	0		有効 (256K バイト) *
モード7				1		

【注】 * H8S/2633 の場合です。H8S/2632、H8S/2695 は 192K バイトが、また H8S/2631 は 128K バイトが有効になります。

22.4 フラッシュメモリの概要

22.4.1 特長

本 LSI は 256K バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの 4 種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

書き込み / 消去方式

書き込みは 128 バイト同時書き込みを行います。消去はブロック分割消去 (1 ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では 4K バイト、32K バイト、64K バイトのブロック単位で任意に設定することができます。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 10ms (typ.)、1 バイト当たり換算にて 78 μs (typ.)、消去時間は、100ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う 2 種類のモードがあります。

- ブートモード
- ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートとを自動で合わせることができます。

RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモード、エラープロテクトモードの 3 種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外に PROM ライタを用いたライターモードがあります。

22.4.2 概要

(1) ブロック図

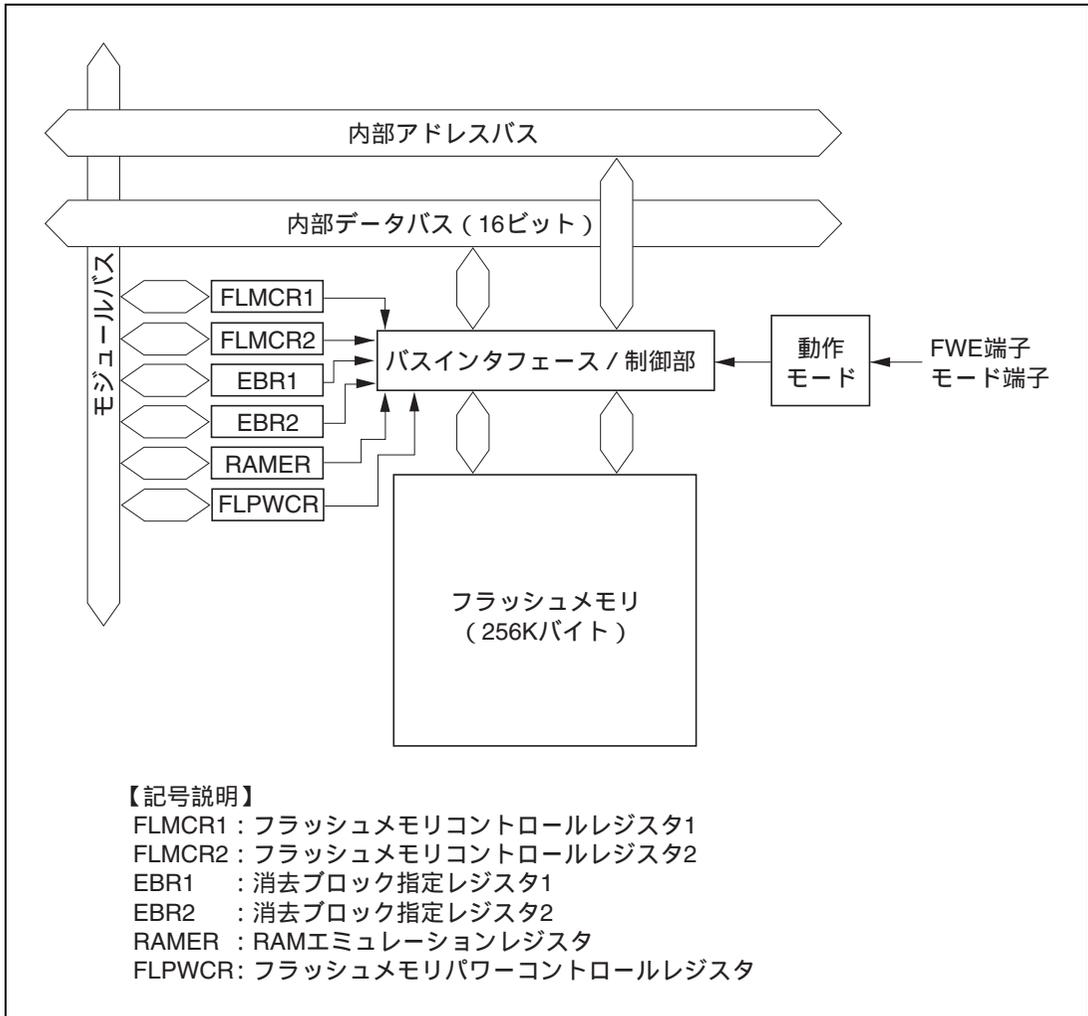


図 22.2 フラッシュメモリのブロック図

22.4.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 22.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

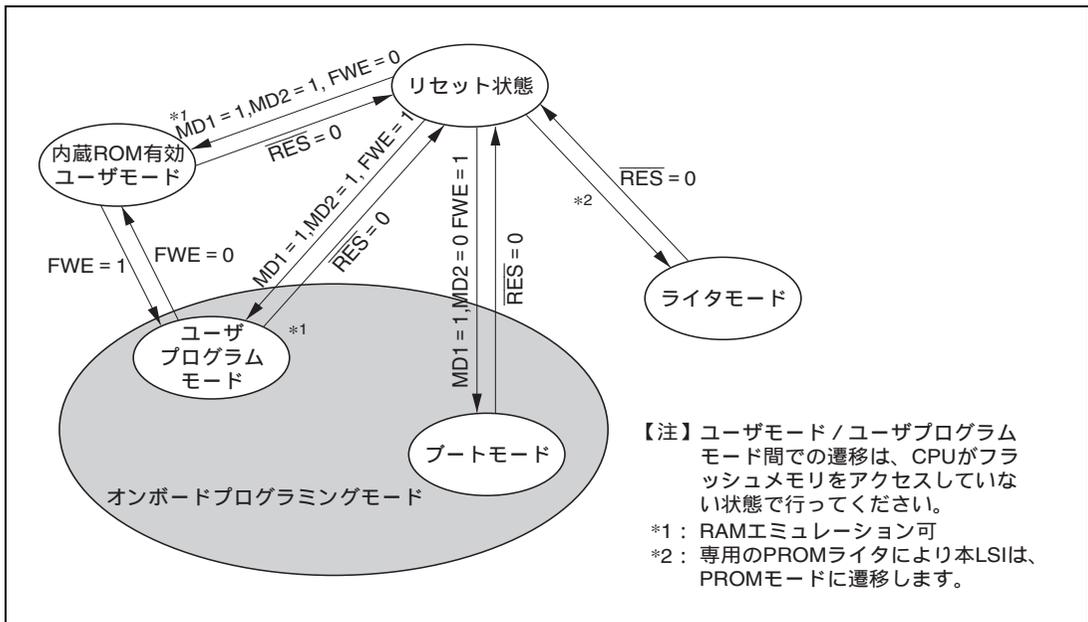
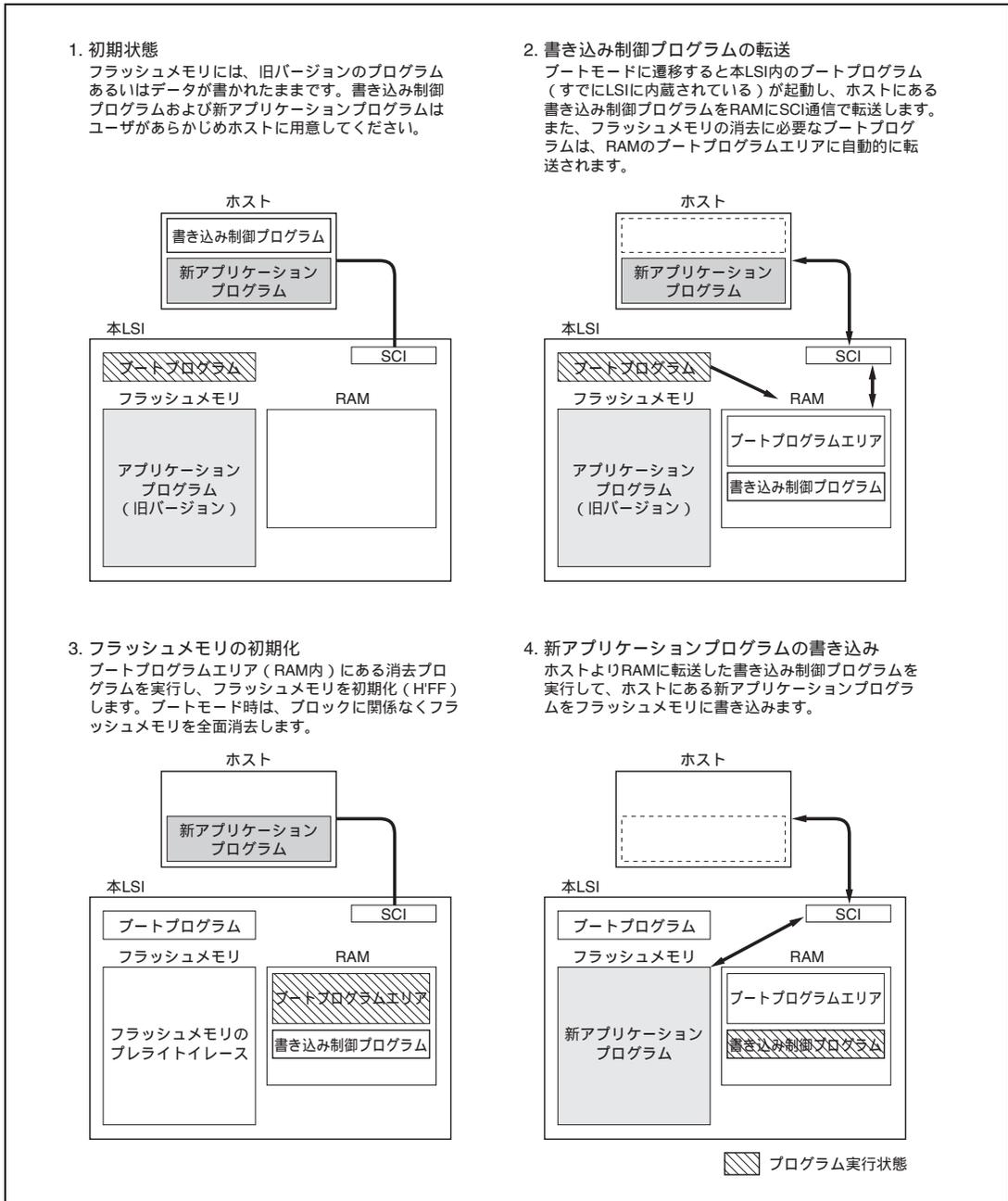


図 22.3 フラッシュメモリに関する状態遷移

22.4.4 オンボードプログラミングモード

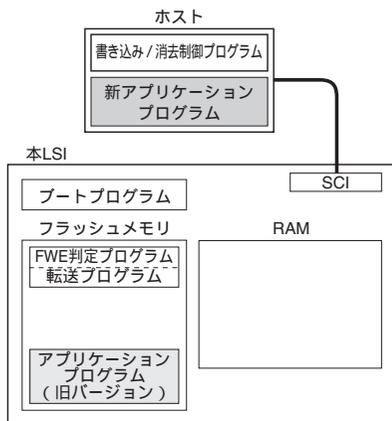
(1) ブートモード



(2) ユーザプログラムモード

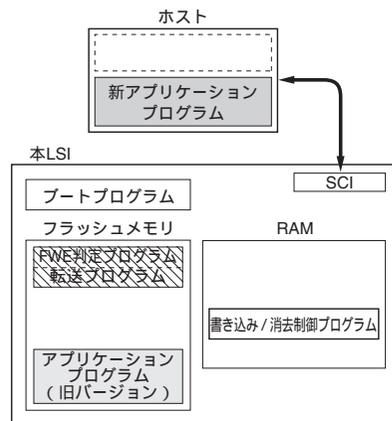
1. 初期状態

(1) ユーザプログラムモードに遷移したことを確認するFWE判定プログラム、(2)フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3)書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



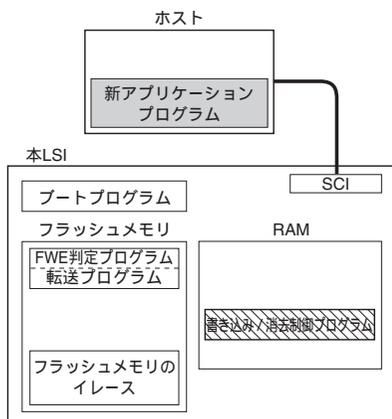
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに遷移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



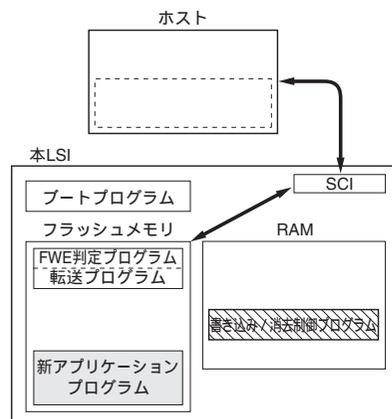
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

22.4.5 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときにRAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

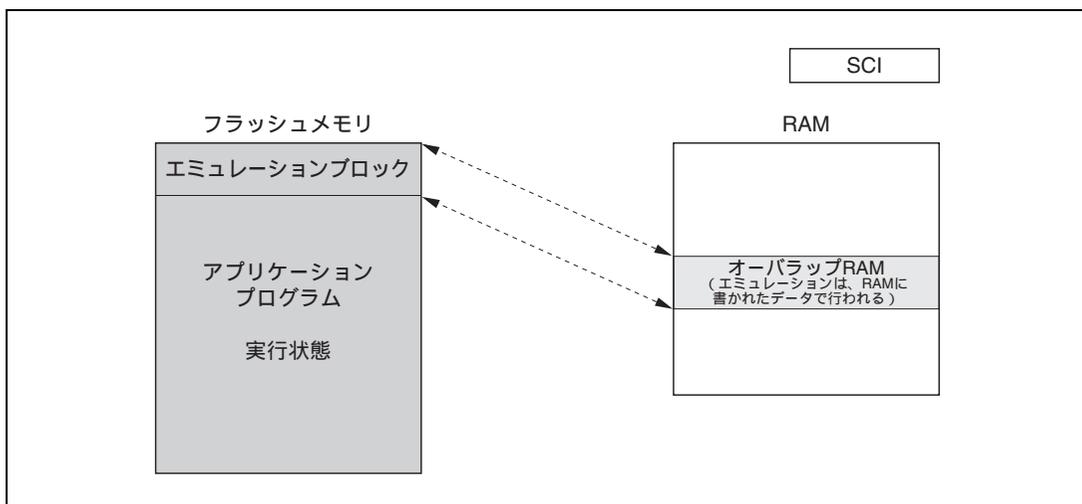


図 22.4 ユーザモード、ユーザプログラムモードのオーバーラップ RAM データの読み出し

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

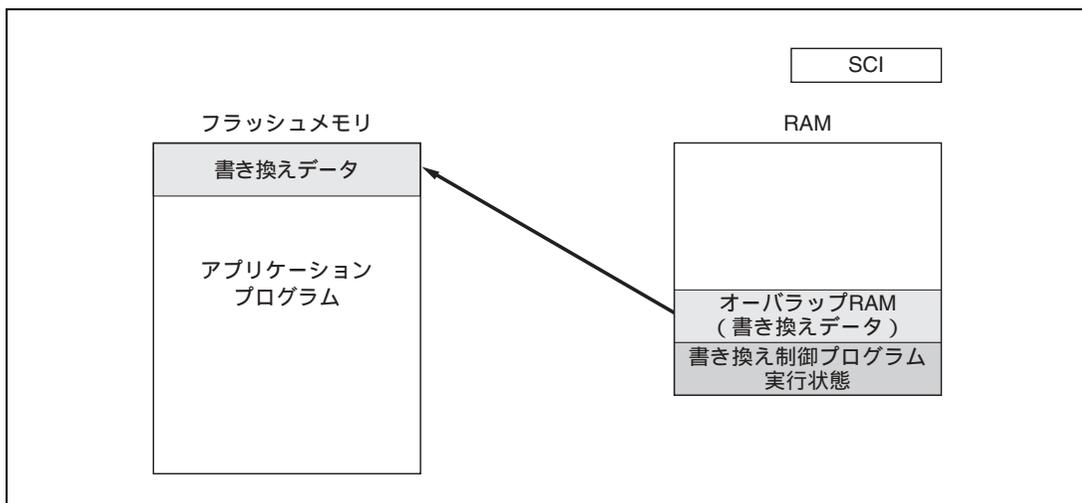


図 22.5 ユーザプログラムモードのオーバーラップ RAM データの書き込み

22.4.6 ブートモードとユーザプログラムモードの相違点

表 22.4 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

22.4.7 ブロック分割法

64K バイト (3 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。

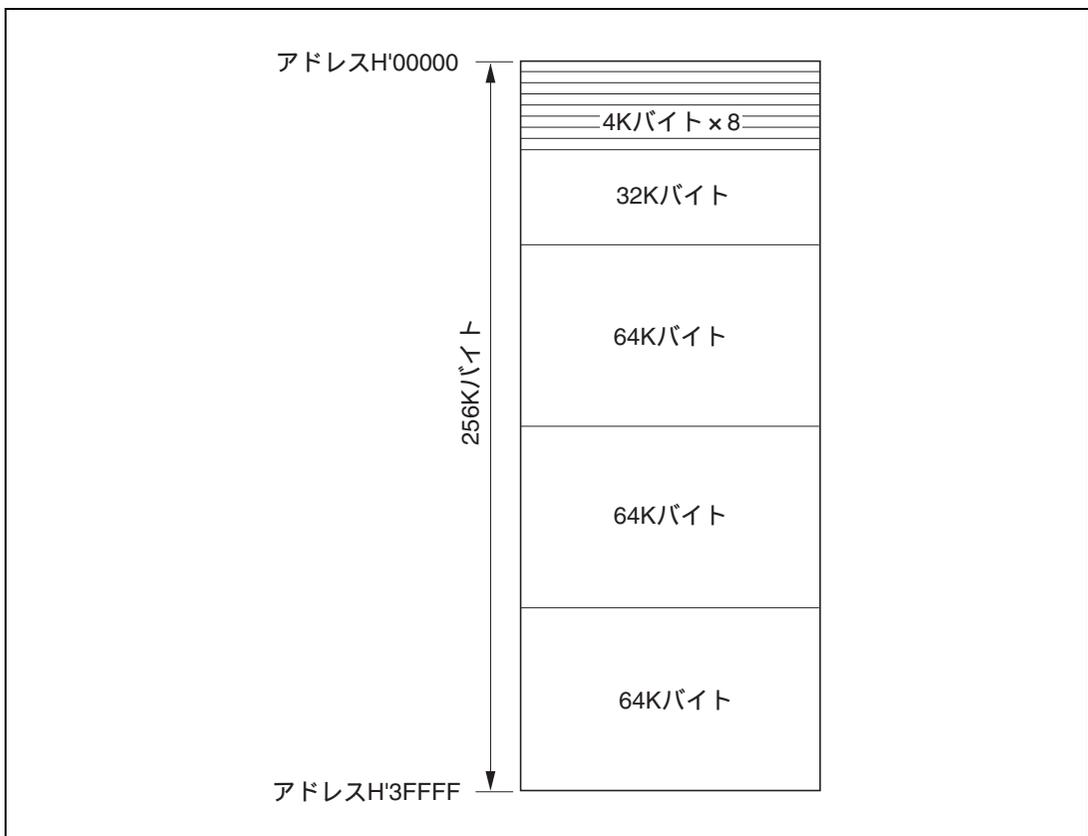


図 22.6 フラッシュメモリのブロック分割

22.4.8 端子構成

フラッシュメモリは表 22.5 に示す端子により制御されます。

表 22.5 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュメモリの書き込み / 消去をハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート F0	PF0	入力	ライトモードの場合に、本 LSI の動作モードを設定
ポート 16	P16	入力	ライトモードの場合に、本 LSI の動作モードを設定
ポート 14	P14	入力	ライトモードの場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD2	出力	シリアル送信データ出力
レシーブデータ	RxD2	入力	シリアル受信データ入力

22.4.9 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 22.6 に示します。本レジスタをアクセスするためには SCRX の FLSHE ビット 1 にセットする必要があります (RAMER、SCRX を除く)。

表 22.6 レジスタ構成

名 称	略 称	R/W	初期値	アドレス*1
フラッシュメモリコントロールレジスタ 1	FLMCR1*5	R/W*2	H'00*3	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2*5	R*2	H'00	H'FFA9
消去ブロック指定レジスタ 1	EBR1*5	R/W*2	H'00*4	H'FFAA
消去ブロック指定レジスタ 2	EBR2*5	R/W*2	H'00*4	H'FFAB
RAM エミュレーションレジスタ	RAMER*5	R/W	H'00	H'FEDB
フラッシュメモリパワーコントロールレジスタ	FLPWCR*5	R/W*2	H'00*4	H'FFAC
シリアルコントロールレジスタ X	SCRX	R/W	H'00	H'FDB4

【注】 *1 アドレス下位 16 ビットを示しています。

*2 これらのレジスタをアクセスするには「シリアルコントロールレジスタ X」の FLSHE ビットに 1 を設定してください。FLSHE = 1 に設定してある場合でも内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット (FWE = 1) されていないときも書き込みは無効です。

*3 FWE 端子に High レベルが入力されているときの初期値は H'80 です。

*4 FWE 端子に Low レベルが入力されているとき、あるいは High レベルが入力されていても FLMCR1 の SWE1 ビットがセットされていないときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR1、EBR2、RAMER、FLPWCR は 8 ビットのレジスタです。アクセスはバイトアクセスとしてください。

22.5 レジスタの説明

22.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値：	- *	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* FWE端子の状態により設定されます。

FLMCR1は、フラッシュメモリの各動作モードを制御する8ビットのレジスタです。アドレスH'00000~H'3FFFFに対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1のときにSWE1ビットをセット後、PV1ビットまたはEV1ビットをセットします。アドレスH'00000~H'3FFFFに対して、プログラムモードへ遷移させるには、FWE=1のときに、SWE1ビットをセット後、PSU1ビットをセットし、最後にP1ビットをセットします。アドレスH'00000~H'3FFFFに対してイレースモードへ遷移するには、FWE=1のときに、SWE1ビットをセット後、ESU1ビットをセットし、最後にE1ビットをセットします。FLMCR1は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE端子にHighレベルが入力されているときの初期値はH'80です。Lowレベルが入力されているときはH'00です。内蔵フラッシュメモリが無効のときは読み出すとH'00が読み出され、書き込みも無効となります。

また、FLMCR1のSWE1ビットへの書き込みはFWE=1のとき、ESU1、PSU1、EV1、PV1ビットへの書き込みはFWE=1、SWE1=1のとき、E1ビットへの書き込みはFWE=1、SWE1=1、ESU1=1のとき、P1ビットへの書き込みはFWE=1、SWE1=1、PSU1=1のときのみ有効です。

- ビット7：フラッシュライトイネーブルビット (FWE)

FWEビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトするビットです。

ビット7	説明
FWE	
0	FWE端子にLowレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE端子にHighレベルが入力されているとき

- ビット6：ソフトウェアライトイネーブルビット1 (SWE1)

フラッシュメモリの書き込み/消去の有効または無効を選択するビットです (ビット5~0、EBR1の7~0ビット、EBR2の3~0ビットをセットするときにセットしてください)。

ビット6	説明
SWE1	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE=1のとき

- ビット5：イレースセットアップビット1 (ESU1)

イレースモードへの遷移の準備をするビットです。FLMCR1のE1ビットを1にセットする前に1にセットしてください (SWE1、PSU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット5	説 明	
ESU1		
0	イレースセットアップ解除	(初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE1 = 1 のとき	

- ビット4：プログラムセットアップビット1 (PSU1)

プログラムモードへの遷移の準備をするビットです。FLMCR1のP1ビットを1にセットする前に1にセットしてください (SWE1、ESU1、EV1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット4	説 明	
PSU1		
0	プログラムセットアップ解除	(初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE1 = 1 のとき	

- ビット3：イレースベリファイ1 (EV1)

イレースベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、PV1、E1、P1ビットを同時に設定しないでください)。

ビット3	説 明	
EV1		
0	イレースベリファイモードを解除	(初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE1 = 1 のとき	

- ビット2：プログラムベリファイ1 (PV1)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、E1、P1ビットを同時に設定しないでください)。

ビット2	説 明	
PV1		
0	プログラムベリファイモードを解除	(初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE1 = 1 のとき	

- ビット1：イレース1 (E1)

イレースモードへの遷移、解除を選択するビットです (SWE1、ESU1、PSU1、EV1、PV1、P1ビットを同時に設定しないでください)。

ビット1	説 明
E1	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE1 = 1、ESU1 = 1 のとき

- ビット0：プログラム1 (P1)

プログラムモードへの遷移、解除を選択するビットです (SWE1、PSU1、ESU1、EV1、PV1、E1ビットを同時に設定しないでください)。

ビット0	説 明
P1	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE1 = 1、PSU1 = 1 のとき

22.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット：	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	-	-	-	-	-	-	-

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FLMCR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードのとき H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

【注】 FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

- ビット7：フラッシュメモリエラー（FLER）

フラッシュメモリへ動作中（書き込み、消去）にエラーが発生したことを示すビットです。FLER = 1に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説 明
FLER	
0	フラッシュメモリは正常に動作しています フラッシュメモリへの書き込み / 消去プロテクト（エラープロテクト）が無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します フラッシュメモリへの書き込み / 消去プロテクト（エラープロテクト）が有効 [セット条件] 「22.8.3 エラープロテクト」参照

- ビット6～0：リザーブビット

読み出すと常に0が読み出されます。

22.5.3 消去ブロック指定レジスタ 1（EBR1）

ビット：	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子に Low レベルが入力されているとき、および FWE 端子に High レベルが入力されていても FLMCR1 の SWE1 ビットがセットされていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は EBR2 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます）。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリの消去ブロック分割方法は、表 22.7 を参照してください。

22.5.4 消去ブロック指定レジスタ 2 (EBR2)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	EB11	EB10	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子に Low レベルが入力されているとき、H'00 に初期化されます。また FWE 端子に High レベルが入力されていても、FLMCR1 の SWE1 ビットがセットされていないときはビット 0 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります（それ以外のブロックは、消去プロテクト状態になります）。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます）。ビット 7~4 はリザーブビットです。書き込み時は必ず 0 をライトしてください。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリの消去ブロック分割方法は、表 22.7 を参照してください。

表 22.7 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4K バイト)	H'000000 ~ H'000FFF
EB1 (4K バイト)	H'001000 ~ H'001FFF
EB2 (4K バイト)	H'002000 ~ H'002FFF
EB3 (4K バイト)	H'003000 ~ H'003FFF
EB4 (4K バイト)	H'004000 ~ H'004FFF
EB5 (4K バイト)	H'005000 ~ H'005FFF
EB6 (4K バイト)	H'006000 ~ H'006FFF
EB7 (4K バイト)	H'007000 ~ H'007FFF
EB8 (32K バイト)	H'008000 ~ H'00FFFF
EB9 (64K バイト)	H'010000 ~ H'01FFFF
EB10 (64K バイト)	H'020000 ~ H'02FFFF
EB11 (64K バイト)	H'030000 ~ H'03FFFF

22.5.5 RAM エミュレーションレジスタ (RAMER)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときにH'00に初期化されます。マニュアルリセット、またはソフトウェアスタンバイモードのときには、初期化されません。RAMERの設定は、ユーザモード、ユーザプログラミングモードで行ってください。

フラッシュメモリアreaの分割法は、表 22.8 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

- ビット7、6 : リザーブビット
読み出すと常に0が読み出されます。
- ビット5、4 : リザーブビット
書き込み時は必ず0をライトしてください。
- ビット3 : RAMセレクト (RAMS)
RAMによるフラッシュメモリのエミュレーション選択 / 非選択を設定するビットです。RAMS = 1のときは、フラッシュメモリ全ブロックの書き込み / 消去プロテクト状態となります。

ビット3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

- ビット2、1、0 : フラッシュメモリアrea選択
ビット3とともに使用し、RAMと重ね合わせるフラッシュメモリのエリアを選択します。(表22.8参照)

表 22.8 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFD000 ~ H'FFDFFF	RAM エリア 4K バイト	0	*	*	*
H'000000 ~ H'000FFF	EB0 (4K バイト)	1	0	0	0
H'001000 ~ H'001FFF	EB1 (4K バイト)	1	0	0	1
H'002000 ~ H'002FFF	EB2 (4K バイト)	1	0	1	0
H'003000 ~ H'003FFF	EB3 (4K バイト)	1	0	1	1
H'004000 ~ H'004FFF	EB4 (4K バイト)	1	1	0	0
H'005000 ~ H'005FFF	EB5 (4K バイト)	1	1	0	1
H'006000 ~ H'006FFF	EB6 (4K バイト)	1	1	1	0
H'007000 ~ H'007FFF	EB7 (4K バイト)	1	1	1	1

* : Don't care

22.5.6 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

ビット :	7	6	5	4	3	2	1	0
	PDWND	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R

LSI がサブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可 / 禁止を設定するレジスタです。

- ビット7 : パワーダウンドイスエーブル (PDWND)

書き込み時は必ず0をライトしてください。

ビット7	説明
PDWND	
0	フラッシュメモリの低消費電力モードへの遷移を許可 (初期値)
1	フラッシュメモリの低消費電力モードへの遷移を禁止

- ビット6~0 : リザーブビット

読み出すと常に0が読み出されます。

22.5.7 シリアルコントロールレジスタ X (SCRX)

ビット :	7	6	5	4	3	2	1	0
	-	IICX1	IICX0	IICE	FLSHE	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCRX は 8 ビットのリード/ライト可能なレジスタで、内蔵フラッシュメモリの制御を行います。
SCRX はリセットまたはハードウェアスタンバイモード時の H'00 に初期化されます。

- ビット7: リザーブビット
0をライトしてください。
- ビット6、5: I²Cトランスファレートセレクト1、0 (IICX1、0)
ICMRのCKS2 ~ CKS0と組み合わせて、マスタモードでの転送レートを選択します。
転送レートの詳細は「18.2.4 I²Cバスモードレジスタ (ICMR)」の項を参照してください。
- ビット4: I²Cマスタイネーブル (IICE)
I²Cバスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) のCPUアクセスを制御します。制御の詳細は「18.2.7 シリアルコントロールレジスタX (SCRX)」の項を参照してください。
- ビット3: フラッシュメモリコントロールレジスタイネーブル (FLSHE)
フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) のCPUアクセスを制御します。FLSHEビットを1にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説明
FLSHE	
0	アドレス H'FFFA8 ~ H'FFFA8 のエリアはフラッシュ制御レジスタを非選択 (初期値)
1	アドレス H'FFFA8 ~ H'FFFA8 のエリアはフラッシュ制御レジスタを選択

- ビット2~0: リザーブビット
0をライトしてください。

22.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 22.9 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 22.11 を参照してください。

表 22.9 オンボードプログラミングモードの設定方法

モード名		FWE	MD2	MD1	MD0
ブートモード	拡張モード	1	0	1	0
	シングルチップモード		0	1	1
ユーザプログラムモード	拡張モード	1	1	1	0
	シングルチップモード		1	1	1

22.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 22.7 にブートモード時のシステム構成図、図 22.8 にブートモード実行手順を示します。

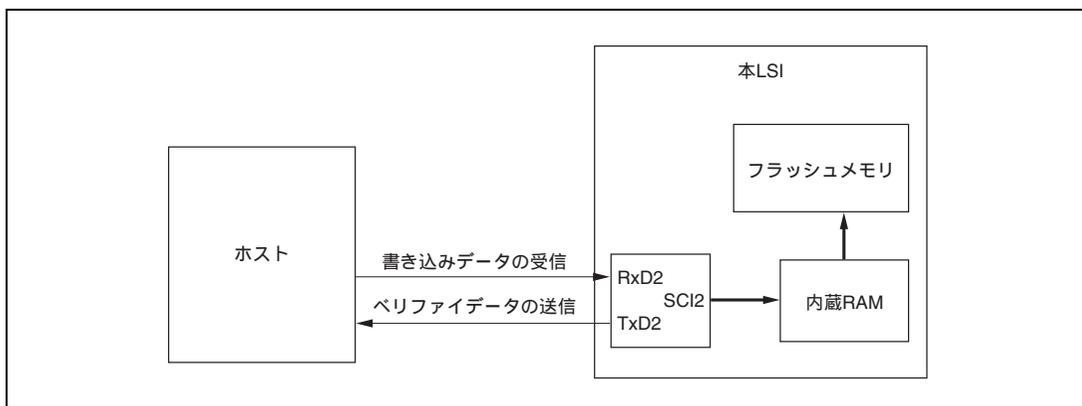


図 22.7 ブートモード時のシステム構成図

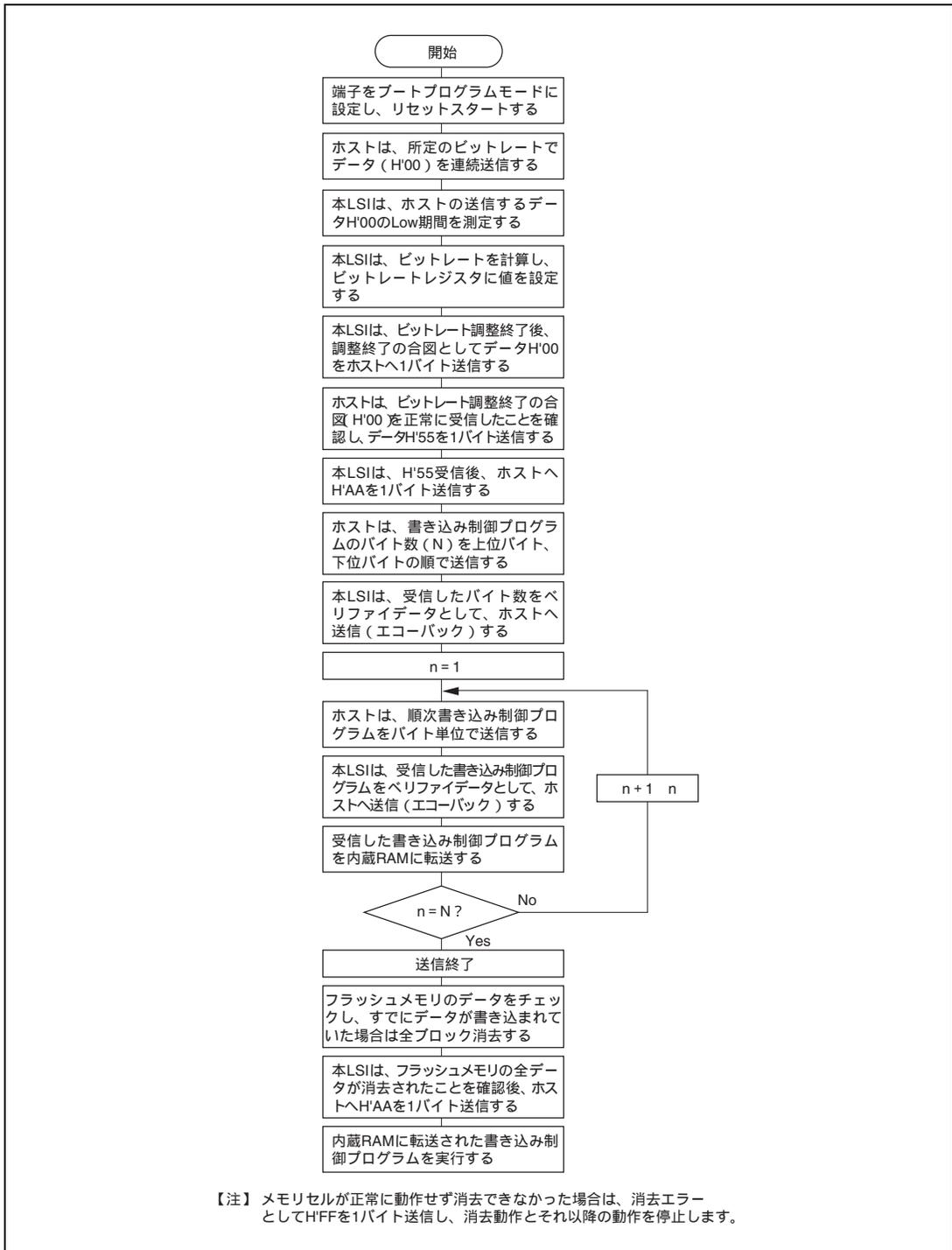


図 22.8 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作



図 22.9 SCI ビットレートの合わせ込み動作

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (2,400, 4,800, 9,600, 19,200) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 22.10 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 22.10 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
2,400bps	2 ~ 8MHz
4,800bps	4 ~ 16MHz
9,600bps	8 ~ 25MHz
19,200bps	16 ~ 25MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 22.10 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

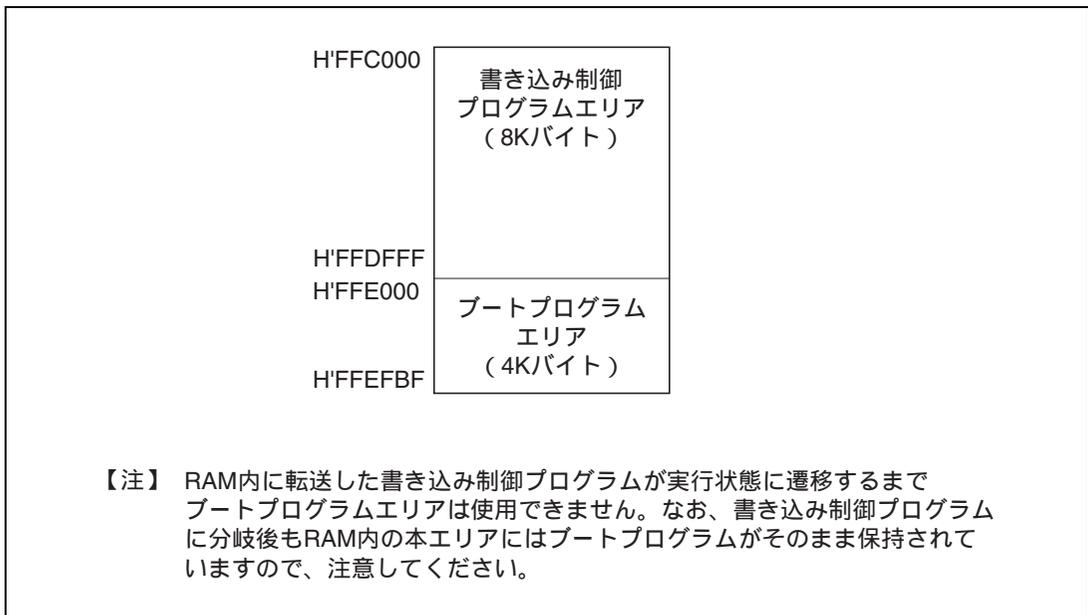


図 22.10 ブートモード時の RAM エリア

(3) ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCIのRx/D2端子のLow期間を測定します。Rx/D2端子がHighの状態でもリセット解除してください。リセット解除後、Rx/D2端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) Rx/D2端子およびTx/D2端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアのH'FFC000）に分岐するときに内蔵SCI（チャンネル2）の送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには、合わせ込んだビットレートの値を保持しています。

また、このときトランスミットデータ出力端子Tx/D2は、Highレベル出力状態（PA1DDR=1、PA1DR=1）

となっています。

さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。特にスタックポインタ (SP) は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。

上記以外の内蔵レジスタについては、初期値が変更されるものではありません。

- (f) ブートモードへの遷移は表22.9のモード設定に従って、端子を設定しリセットスタートすることにより可能です。

ブートモードを解除するには、リセット端子をLowレベルにしてから最低20ステート経過後、FWE端子とモード端子を設定し、リセット解除*1することにより可能です。また、WDTのオーバフローリセットが発生した場合もブートモードを解除することが可能です。

ブートモードの途中でモード端子の入力レベルを変化させないでください。ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にFWE端子をLowレベルにしないでください。*2

- (g) リセット中にモード端子の入力レベルを変化 (たとえばLowレベル Highレベル) させると、マイコンの動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{HWR}) の状態が変化*3します。

このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

【注】 *1 モード端子とFWE端子の入力はリセット解除のタイミングに対し、モードプログラミングセット時間 ($t_{MOS} = 4$ ステート) を満足する必要があります。

*2 FWEの印加/解除の注意については「22.13 フラッシュメモリの書き込み/消去時の注意」を参照してください。

*3 「付録D 端子状態」を参照してください。

22.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み/消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上にFWE制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み/消去プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード6、7で起動し、FWE端子にHighレベルを印加します。この状態の動作では、フラッシュメモリ以外の周辺機器はモード6、7と同じ動作をします。

フラッシュメモリへの書き込み/消去を行うためにSWEIビットを1にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み/消去を行う制御プログラムは、内蔵RAM/外部メモリ上で実行するようにしてください。外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は内蔵RAM上に置くようにしてください。

図22.11に書き込み/消去制御プログラムを内蔵RAMに転送する場合の実行手順例を示します。

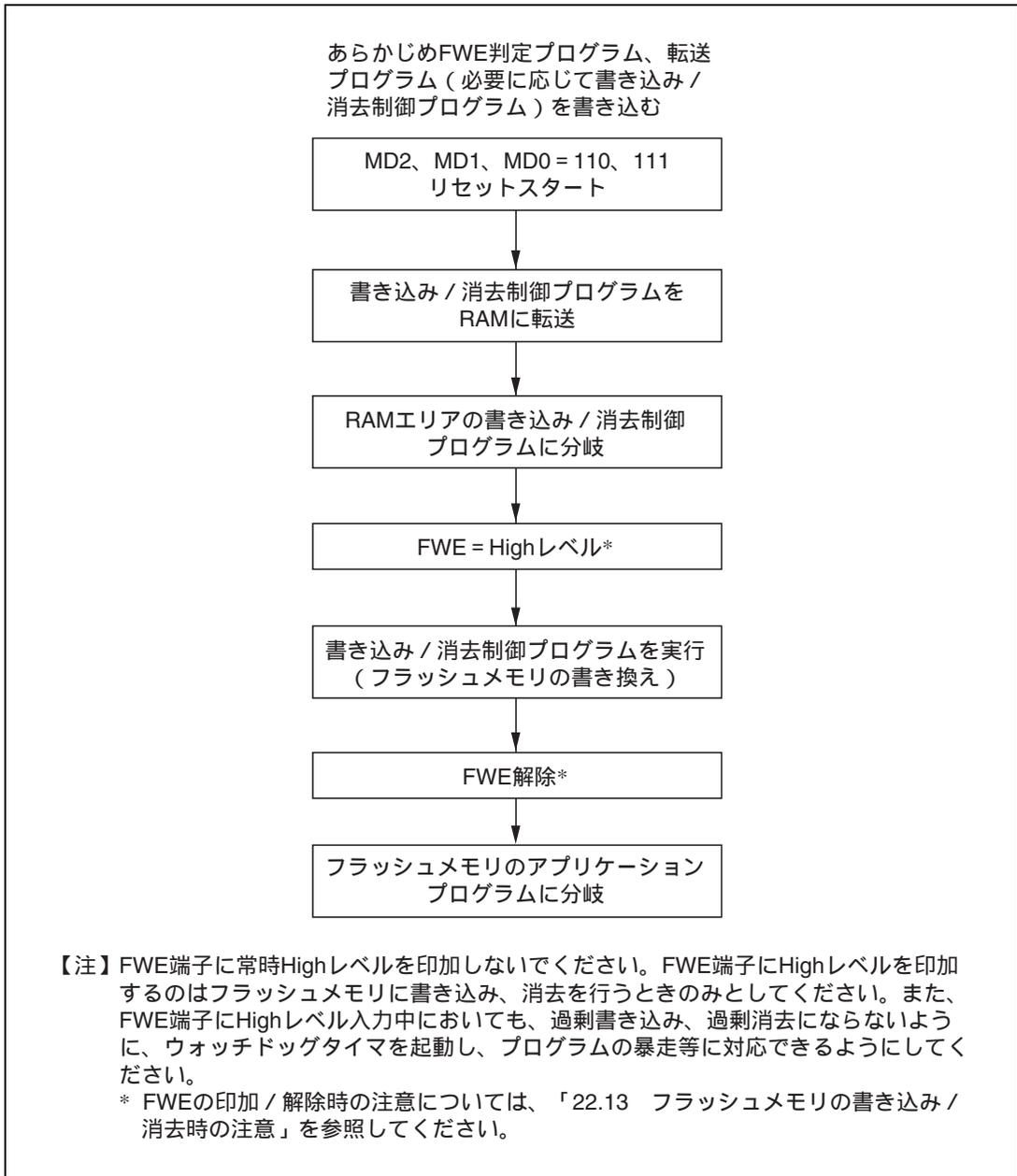


図 22.11 ユーザプログラムモードの実行手順例

22.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。アドレス H'000000 ~ H'03FFFF に対しては、FLMCR1 の PSUI ビット、ESUI ビット、P1 ビット、E1 ビット、PV1 ビット、EV1 ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム（書き込み制御プログラム）は、内蔵 RAM、あるいは外部メモリ上に置き、実行するようにしてください。外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は内蔵 RAM 上に置くようにしてください。また、フラッシュメモリへの書き込み命令実行前後に DMAC、DTC が起動しないようにしてください。

また、以降の動作説明の中で、FLMCR1 の各ビットのセット / クリア後のウェイト時間のパラメータを記載しています。各ウェイト時間の詳細は「25A.6、25B.6 フラッシュメモリ特性」を参照してください。

- 【注】
1. FLMCR1 の SWE1、ESUI、PSUI、EV1、PV1、E1、P1 ビットのセット / リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください（FWE = 0 のときは、書き込み / 消去されません）。
 3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

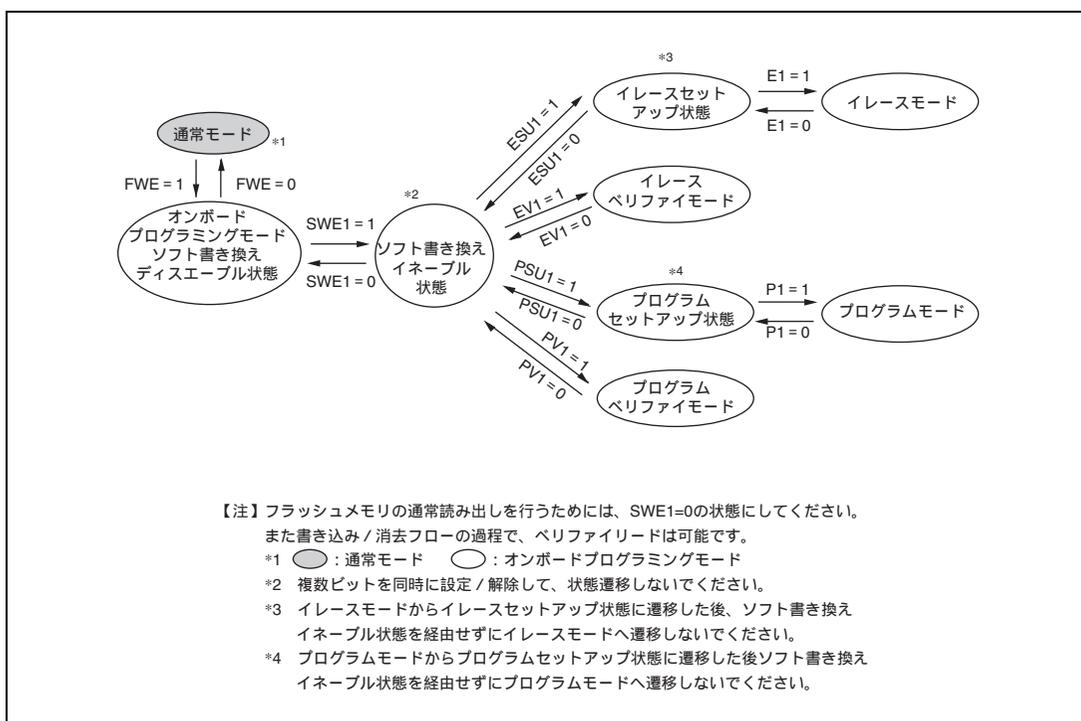


図 22.12 FLMCR1 の各ビット設定による状態遷移

22.7.1 プログラムモード

フラッシュメモリへのデータ/プログラムの書き込みを行う場合は、図 22.13 に示すプログラム/プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ/プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCRI) の各ビットのセット/クリア後のウェイト時間、最大書き込み回数 (N1+N2) を表 25A.13、表 25B.13 に示します。

フラッシュメモリコントロールレジスタ 1 (FLMCRI) の SWE1 ビットを 1 にセットした後、(x0) μ s 以上の時間が経過してから、書き込むアドレスに 128 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません。データ転送はバイト単位で 128 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次にプログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z2+) ms より大きくしてください。その後、FLMCRI の PSU1 ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行います。その後、(y) μ s 以上の時間が経過してから、FLMCRI の P1 ビットをセットすることで、動作モードはプログラムモードへ遷移します。P1 ビットがセットされている時間がフラッシュメモリの書き込み時間となります。書き込み時間は、図 22.13 の中の表に従ってください。

22.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、FLMCRI の P1 ビットクリアします。その後、() μ s 以上の時間が経過してから PSU1 ビットクリアすることでプログラムモードを解除します。プログラムモード解除の後には、() μ s 以上の時間が経過してからウォッチドッグタイマを解除します。その後 FLMCRI の PV1 ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは () μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 16 ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μ s 以上置いてから行ってください。次に書き込んだ元データとベリファイデータを比較し、再書き込みデータを演算 (図 22.13 参照) し、RAM に転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、() μ s 以上の待機時間を置いて、FLMCRI の SWE1 ビットをクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。プログラム/プログラムベリファイフローの繰り返しの最大値は、最大書き込み回数 (N1+N2) で表されます。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、(N1+N2) 回を超えないようにしてください。

プログラム/プログラムベリファイフローの注意点

- (1) 128バイト単位の書き込みのため、ライトする先頭アドレスの下位8ビットは、H'00またはH'80でなければなりません。
- (2) フラッシュメモリに128バイトのデータを連続ライトする際には、バイト単位転送で行います。
また128バイト以下のデータを書き込む際にも、128バイトのデータ転送が必要です。つまり、必要のないアドレスへの書き込みは、データをH'FFにして書き込みを行ってください。
- (3) ベリファイデータは、ワード単位で読み出します。
- (4) FLMCR1のPIビットがセットされている期間、書き込みパルスが印加されてフラッシュメモリへの書き込みが実施されます。本LSIでは、デバイスへの電圧ストレスや書き込むデータの信頼性を損なうことがないように、プログラム/プログラムベリファイフローの過程で次のように書き込みパルスを印加してください。
 - a) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして1が読み出されたビットに対して、もう一度書き込みパルスを印加してください(再書き込み処理)。128バイトの書き込みデータで、すべての0書き込みビットがベリファイリードして0が読み出されると、プログラム/プログラムベリファイフローが終了となります。本LSIでは、再書き込み処理によるループ回数が、最大書き込み回数(N)の最大値以下になることが保証されます。
 - b) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして0が読み出されたビットに対しては、書き込み完了と判定されます。
 - c) 128バイトの中で、他のビットが書き込み未完の場合、再書き込み処理を実施します。一度書き込みが完了したと判定されたビットでも、それ以降のベリファイリードで1が読み出された場合には、当該ビットに対してもう一度書き込みパルスを印加してください。
- (5) FLMCR1のPIビットをセットする期間(書き込みパルス側)は、プログラム/プログラムベリファイフローの過程で次のように切り替えてください。ウェイト時間の詳細仕様は、「25A.6 フラッシュメモリ特性」、「25B.6 フラッシュメモリ特性」を参照してください。
- (6) 本LSIのプログラム/プログラムベリファイのフローチャートを図22.13に示します。上記の注意点を網羅するためには、再書き込み処理を実施するビット、追加書き込み処理を実施するビットは下記の演算によって決定する必要があります。

書き込みの進行に応じて、再書き込みのデータおよび追加書き込みのデータは変化しますので、RAM上に次のデータ格納エリア(各128バイト)を準備することを推奨します。

再書き込みデータ演算表

(D)	書き込みパルス印加後の ベリファイリード結果 (V)	(X)	演算結果	コメント
0	0	1		書き込み完了のため、再書き込み処理は実施しない
0	1	0		書き込み未完了のため、再書き込み処理を実施する
1	0	1		—
1	1	1		消去状態のまま、何も実施しない

【記号説明】

(D) : 書き込みを実施するビットの元データ

(X) : 再書き込みを実施するビットのデータ

追加書き込みデータ演算表

(X')	書き込みパルス印加後の ベリファイリード結果 (V)	(Y)	演算結果	コメント
0	0	0		書き込みパルス印加により書き込み完了したと判定 追加書き込み処理を実施する
0	1	1		書き込みパルス印加により書き込みは未完了 追加書き込み処理は実施しない
1	0	1		すでに書き込みは完了している 追加書き込み処理は実施しない
1	1	1		消去状態のまま、何も実施しない

【記号説明】

(Y) : 追加書き込みを実施するビットのデータ

(X') : ある再書き込みループで再書き込みを実施するビットのデータ

(7) 本LSIのプログラム/プログラムベリファイフローの過程では、追加書き込み処理を実施する必要があります。

しかし、128バイト単位の書き込みが一度終了した後、同一のアドレスエリアに追加で書き込みを行わないでください。書き換えを実施する場合は、必ず一度消去を行ってから書き込みを実施してください。一度プログラム/プログラムベリファイが終了したアドレスへ追加書き込みを実施した場合、読み出しなど正常動作は保証されませんので注意してください。

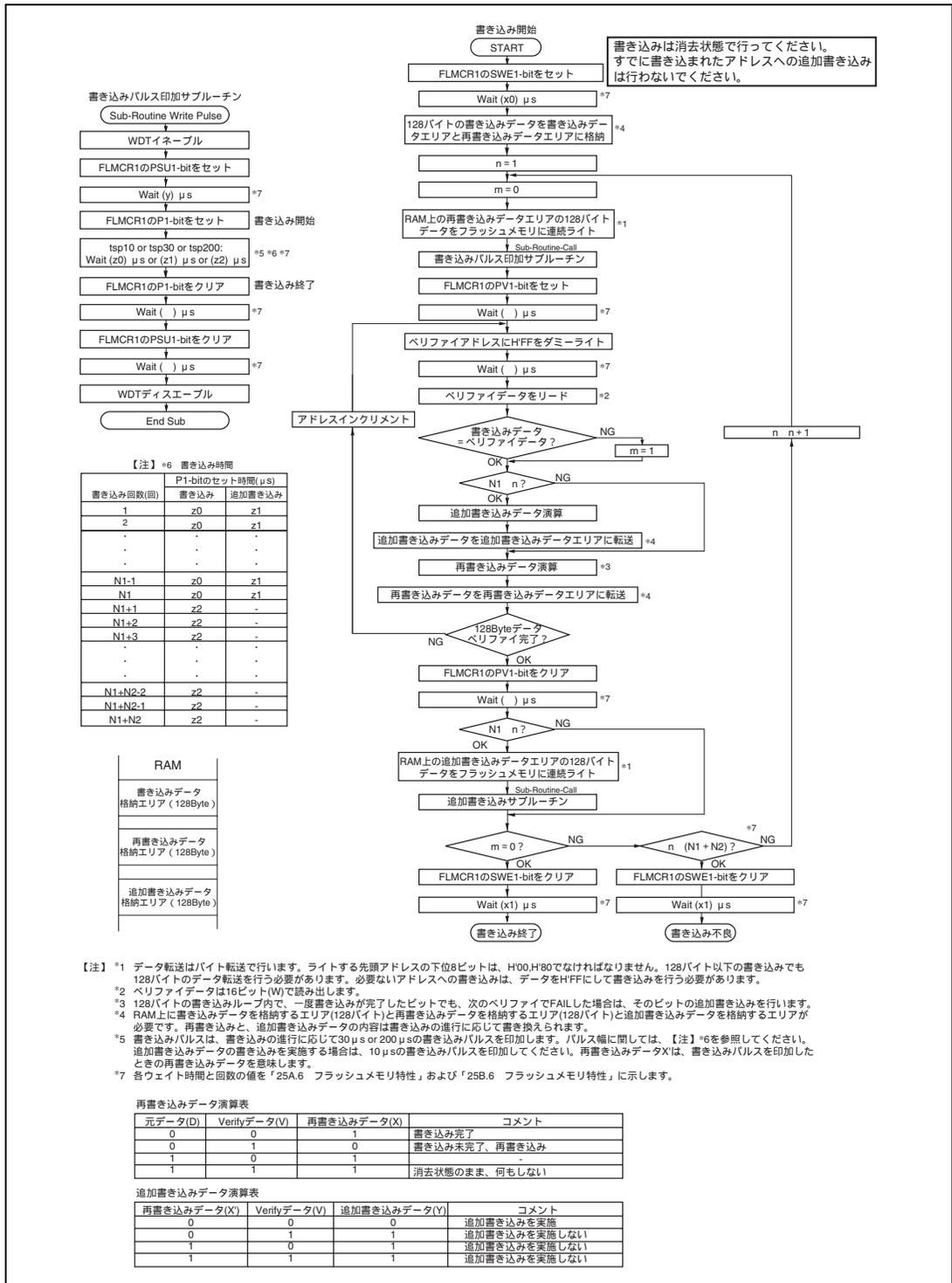


図 22.13 プログラム/プログラムペリファイフロー

22.7.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 22.14 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

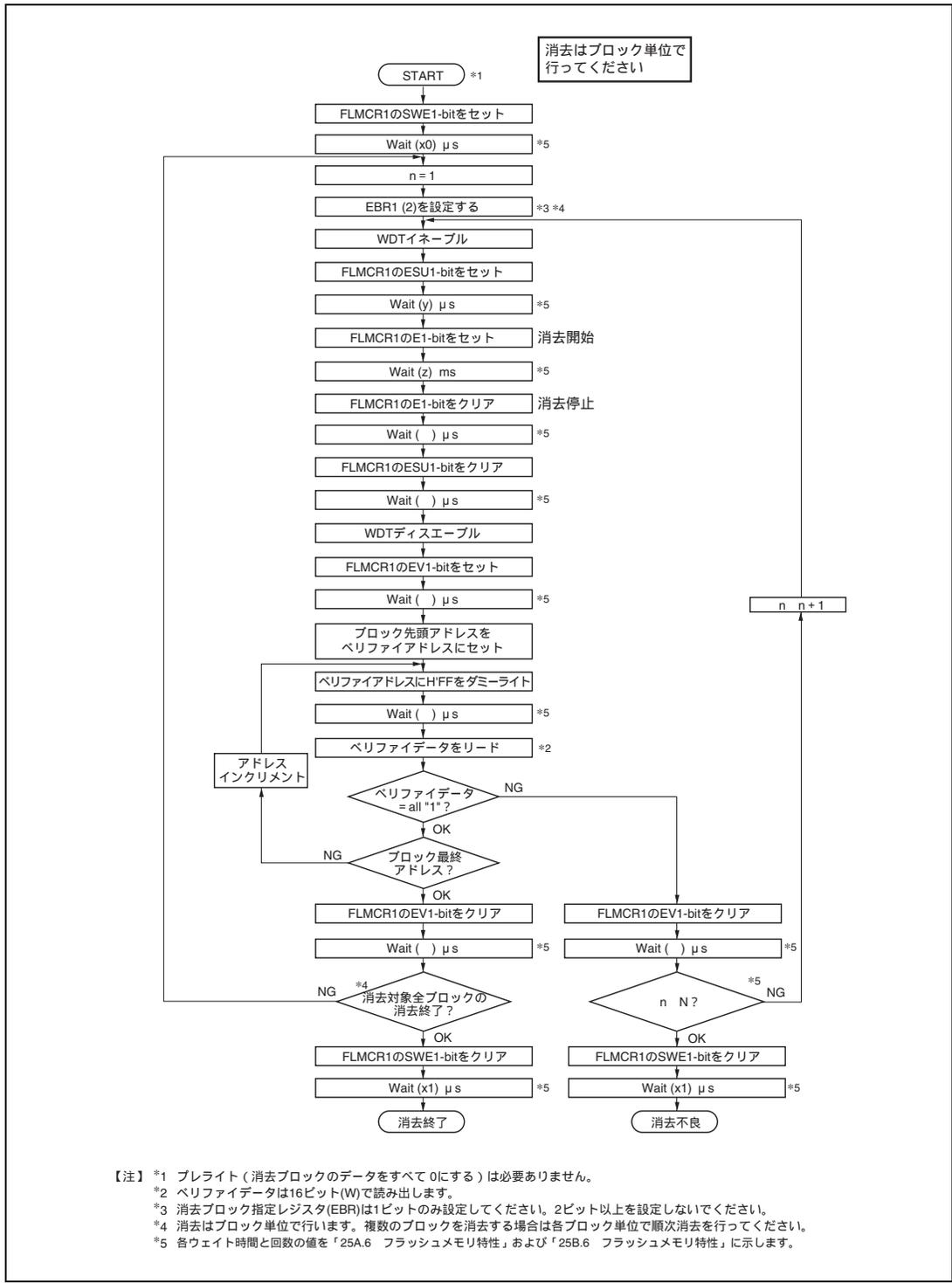
フラッシュメモリ内容の消去は、フラッシュメモリコントロールレジスタ1 (FLMCR1) の SWE1 ビットを1にセット後、(x) μs 以上の時間が経過してから、消去ブロック指定レジスタ1、2 (EBR1、2) で消去するフラッシュメモリのエリアを1ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+) ms より大きくしてください。その後、FLMCR1 の ESU1 ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行います。その後、(y) μs 以上の時間が経過後、FLMCR1 の E1 ビットをセットすることで、動作モードはイレースモードへ遷移します。E1 ビットが設定されている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリの全メモリデータをすべて0にする）を行う必要はありません。

22.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

一定の消去時間経過後、FLMCR1 の E1 ビットをクリアします。その後、() μs 以上の時間が経過してから ESU1 ビットをクリアすることでイレースモードを解除します。イレースモード解除の後には、ウォッチドッグタイマを () μs 以上の時間が経過してから解除します。その後、FLMCR1 の EV1 ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ HFF をダミーライトしてください。ダミーライトは () μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは16ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μs 置いてから行ってください。リードしたデータが消去（データがすべて1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。リードしたデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。イレース/イレースベリファイの繰り返しの最大値は、最大消去回数 (N) によって表されます。ただし、この繰り返し回数が (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、() μs 以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE1 ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。



【注】 *1 ブライト（消去ブロックのデータをすべて0にする）は必要ありません。
 *2 ペリファイデータは16ビット(W)で読み出します。
 *3 消去ブロック指定レジスタ(EBR)は1ビットのみ設定してください。2ビット以上を設定しないでください。
 *4 消去はブロック単位で行います。複数のブロックを消去する場合は各ブロック単位で順次消去を行ってください。
 *5 各ウェイト時間と回数の値を「25A.6 フラッシュメモリ特性」および「25B.6 フラッシュメモリ特性」に示します。

図 22.14 イレース/イレースペリファイフロー

22.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトとエラープロテクトの3種類あります。

22.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します。(表 22.11 参照)

表 22.11 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
FWE 端子 プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2 (FLER ビットは除く)、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 		
リセット、 スタンバイ プロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。 		

22.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE1 ビット、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P1 ビットまたは E1 ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 22.12 参照)

表 22.12 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビット プロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE1 ビットを 0 にセットすることにより、H'000000 ~ H'03FFFF エリアの書き込み / 消去プロテクト状態になります(内蔵 RAM / 外部メモリ上で実行してください)。 		
ブロック指定 プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ 1 (EBR1)、消去ブロック指定レジスタ 2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	
エミュレーション プロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。 		

22.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1 ビット、E1 ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV1 ビット、EVI ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中に当該アドレスエリアのフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)
- (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後
- (3) 書き込み / 消去中に SLEEP 命令 (ソフトウェアスタンバイを含む) を実行したとき
- (4) 書き込み / 消去中に CPU が DTC にバス権を開放したとき

エラープロテクト解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

図 22.15 にフラッシュメモリの状態遷移図を示します。

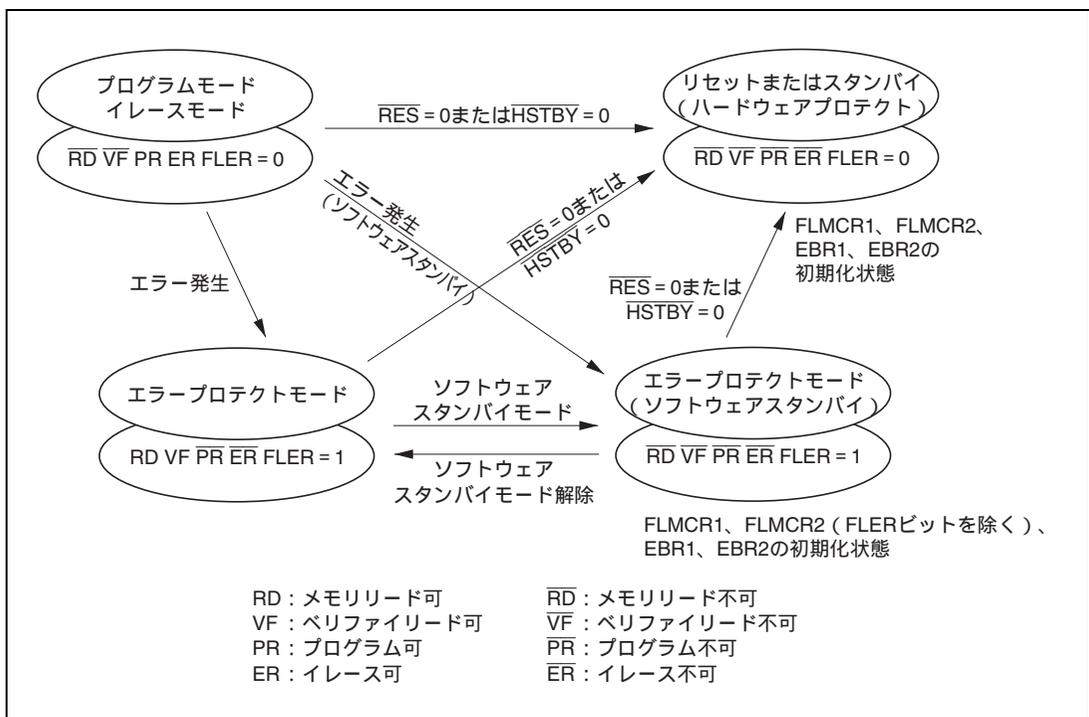


図 22.15 フラッシュメモリの状態遷移図

22.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。

図 22.16 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

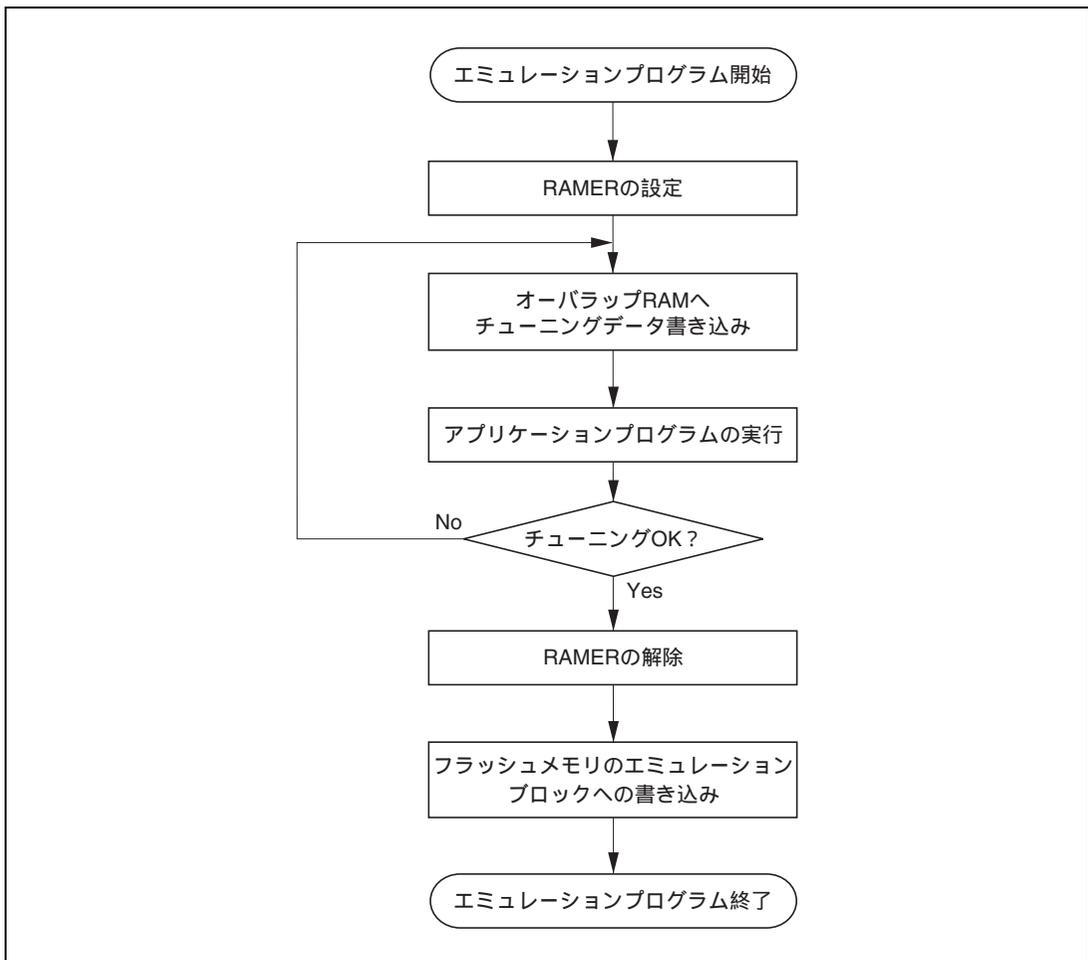


図 22.16 RAM によるエミュレーションフロー

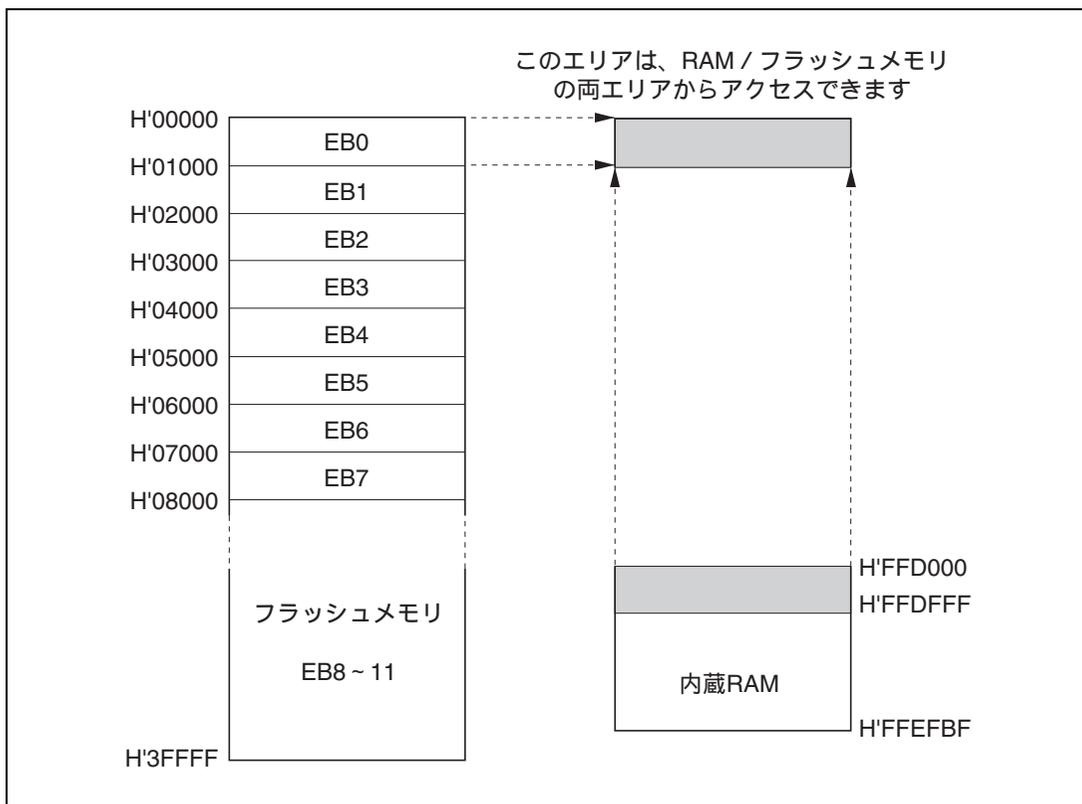


図 22.17 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB0) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB0) にRAMの一部をオーバーラップさせるには、RAMERのRAMSビット、RAM2~0ビットを1、0、0、0に設定してください。
- リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
- 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

- 【注】
- RAMS ビットを 1 にセットすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P1 ビットまたは E1 ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 - RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。
 - ブロックエリア (EB0) はベクタテーブルを含みます。RAM エミュレーションする場合、オーバーラップ RAM にはベクタテーブルが必要となります。

22.10 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット)、およびブートモードでのブートプログラム実行中*1 は書き込み、消去動作を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*2ため、結果としてマイコンが暴走してします。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合、マイコンの内部と外部で NMI を含むすべての要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P1 ビットまたは E1 ビットが保持された状態でも NMI 割り込みは禁止状態となります。

【注】 *1 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*2 この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

22.11 ライタモード

プログラム/データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

ライタモードでは、モード端子をライタモード(表 22.13 参照)に設定し、入力クロックとして 12MHz を入力してください。

表 22.13 にライタモードの端子設定方法を示します。

表 22.13 ライタモードの端子設定方法

端子名	設定
モード端子：MD2、MD1、MD0	MD2、MD1、MD0 に Low レベル入力
モード設定端子：PF0、P16、P14	PF0 に High レベル、 P16、P14 に Low レベルを入力
FWE 端子	High レベルを入力(自動書き込み、自動消去時)
RES 端子	パワーオンリセット回路
XTAL、EXTAL、PLLVC*、PLLCAP、PLLVS 端子	発振回路

【注】 * H8S/2633R は PLLVC はありません (NC ピンになります)。

22.11.1 ソケットアダプタとメモリマップ

PROM ライタを用いたライタモードでは、メモリ読み出し(ベリファイ)、書き込み、フラッシュメモリ初期化(全面消去)が可能です。その際には、汎用 PROM ライタに専用の変換ソケットアダプタを取り付けて行います。表 22.14 にソケットアダプタの型名を示します。本 LSI のライタモードでは、表 22.14 のソケットアダプタを必ず使用してください。

表 22.14 ソケットアダプタ型名

製品型名	パッケージ名	ソケットアダプタ型名	メーカー
HD64F2633F	128 ピン QFP (FP-128B)	ME2633ESHF1H	ミナトエレクトロニクス(株)
HD64F2633RF		HF2633Q128D4001	データ・アイ・オー・ジャパン(株)
HD64F2633TE	120 ピン TQFP (TFP-120)	ME2633ESNF1H	ミナトエレクトロニクス(株)
HD64F2633RTE		HF2633T120D4001	データ・アイ・オー・ジャパン(株)

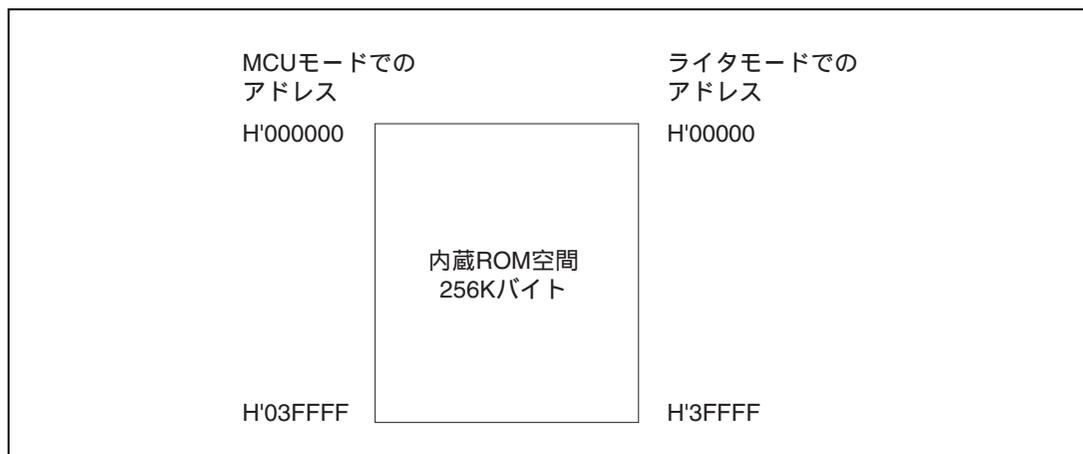


図 22.18 内蔵 ROM のメモリマップ

22.12 フラッシュメモリと低消費電力状態

フラッシュメモリには、通常の動作状態のほかに、内部の電源回路の一部あるいは全部を停止して、消費電力を低くする低消費電力モードがあります。

フラッシュメモリの動作状態には

- (1) 通常動作モード：フラッシュメモリのリード/ライトが可能です。
- (2) 低消費電力モード：電源回路の一部を停止して、LSIがサブクロック動作時にフラッシュメモリのリードが可能です。
- (3) スタンバイモード：フラッシュメモリのすべての回路が停止します。リード/ライトは不可です。

があり、(2)と(3)がフラッシュメモリの低消費電力状態です。表 22.15 に LSI の動作状態とフラッシュメモリの動作状態の対応を示します。

表 22.15 フラッシュメモリの動作状態

LSIの動作状態	フラッシュメモリの動作状態
高速モード 中速モード スリープモード	通常モード（リード/ライト）
サブアクティブモード サブスリープモード	PDWND=0 の時： 低消費電力モード（リードのみ） PDWND=1 の時： 通常モード（リードのみ）
ウォッチモード ソフトウェアスタンバイモード ハードウェアスタンバイモード	スタンバイモード

22.12.1 低消費電力状態の注意事項

フラッシュメモリが低消費電力状態の時は、内部の電源回路の一部あるいは全部が停止しています。そのため通常動作への復帰時には、電源回路の安定時間を確保する必要があります。発振安定時間の確保が不要な場合でも、フラッシュメモリが低消費電力状態から通常動作に復帰する際には、待機時間が 20 μs（電源安定時間）以上となるように SBYCR の STS2 ~ STS0 ビットを設定してください。

22.13 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能およびライターモード使用時の注意事項を示します。

（1）規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

PROM ライタは、ルネサス 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ（FZTAT256V3A）をサポートしているものを使用してください。

ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

（2）電源投入 / 切断時の注意（図 22.19 ~ 図 22.21 参照）

FWE 端子への High レベル印加は VCC 確定後に行ってください。また、VCC を切断する前に FWE 端子を Low レベルにしてください。

VCC 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

(3) FWE の印加 / 解除の注意 (図 22.19 ~ 図 22.21 参照)

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。

FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- (a) VCC 電圧が定格電圧の範囲で安定している状態で FWE を印加してください。発振が安定している状態 (発振安定時間経過後) で FWE を印加してください。
- (b) ブートモードでは、FWE の印加 / 解除はリセット中に行ってください。
- (c) ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = High レベル / Low レベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE 入力の切り替えが可能です。
- (d) プログラムが暴走していない状態で FWE を印加してください。
- (e) FWE の解除は FLMCR1 の SWE1、ESU1、PSU1、EV1、PV1、P1、E1 ビットをクリアした状態で行ってください。
FWE の印加 / 解除時に、誤って SWE1、ESU1、PSU1、EV1、PV1、P1、E1 ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P1 ビット、E1 ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE1 ビットのセット / クリアの注意

SWE1 ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアした後に 100 μ s 以上の待ち時間をおいて行ってください。

SWE1 ビットをセットするとフラッシュメモリのデータを書き換えることができますが、SWE1 = 1 のときは、プログラムベリファイ / イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。

また、プログラム / イレース / ベリファイ中に SWE1 ビットのクリアを行わないでください。

FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバラップした RAM エリアについては、SWE1 ビットのセット/クリアにかかわらずリード/ライト可能です。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE 印加状態では書き込み/消去動作を再優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 上書きは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

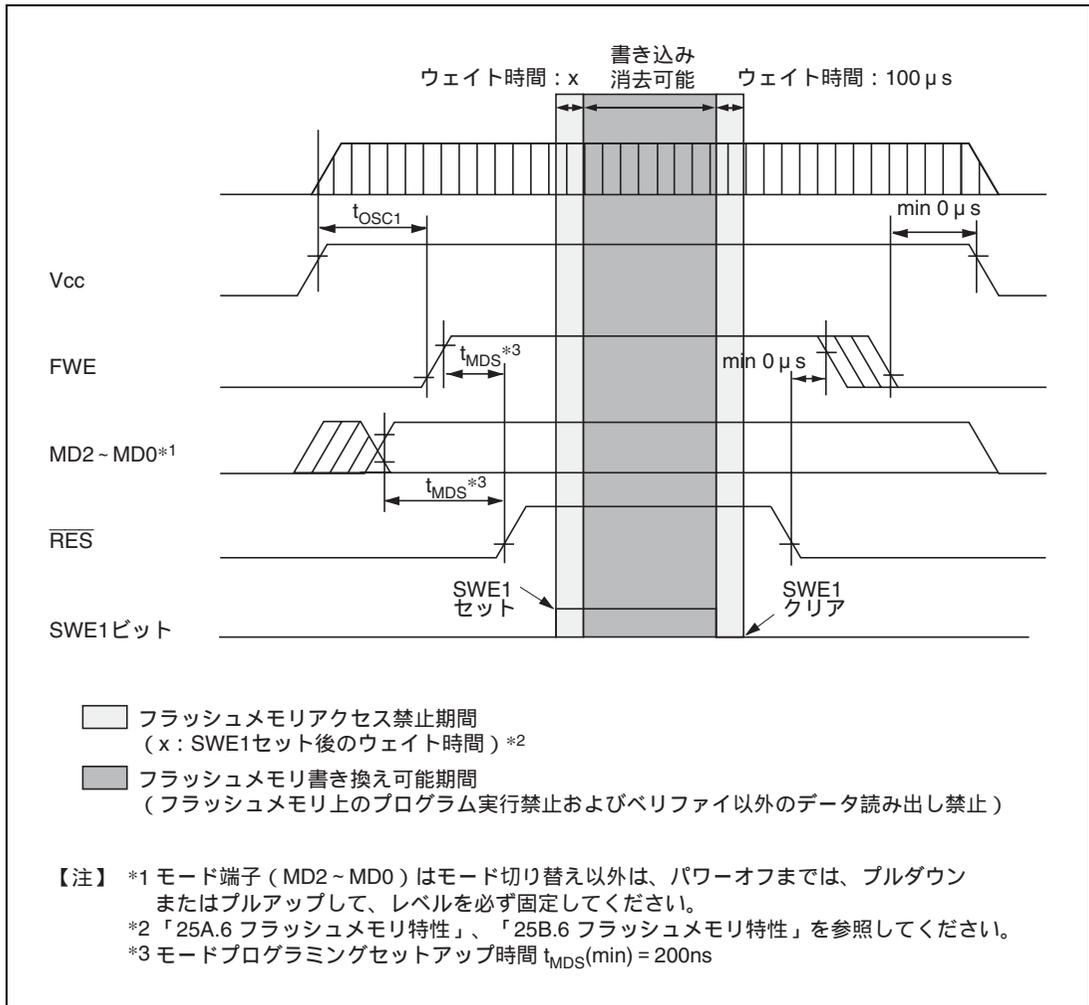


図 22.19 電源投入/切断タイミング (ブートモード)

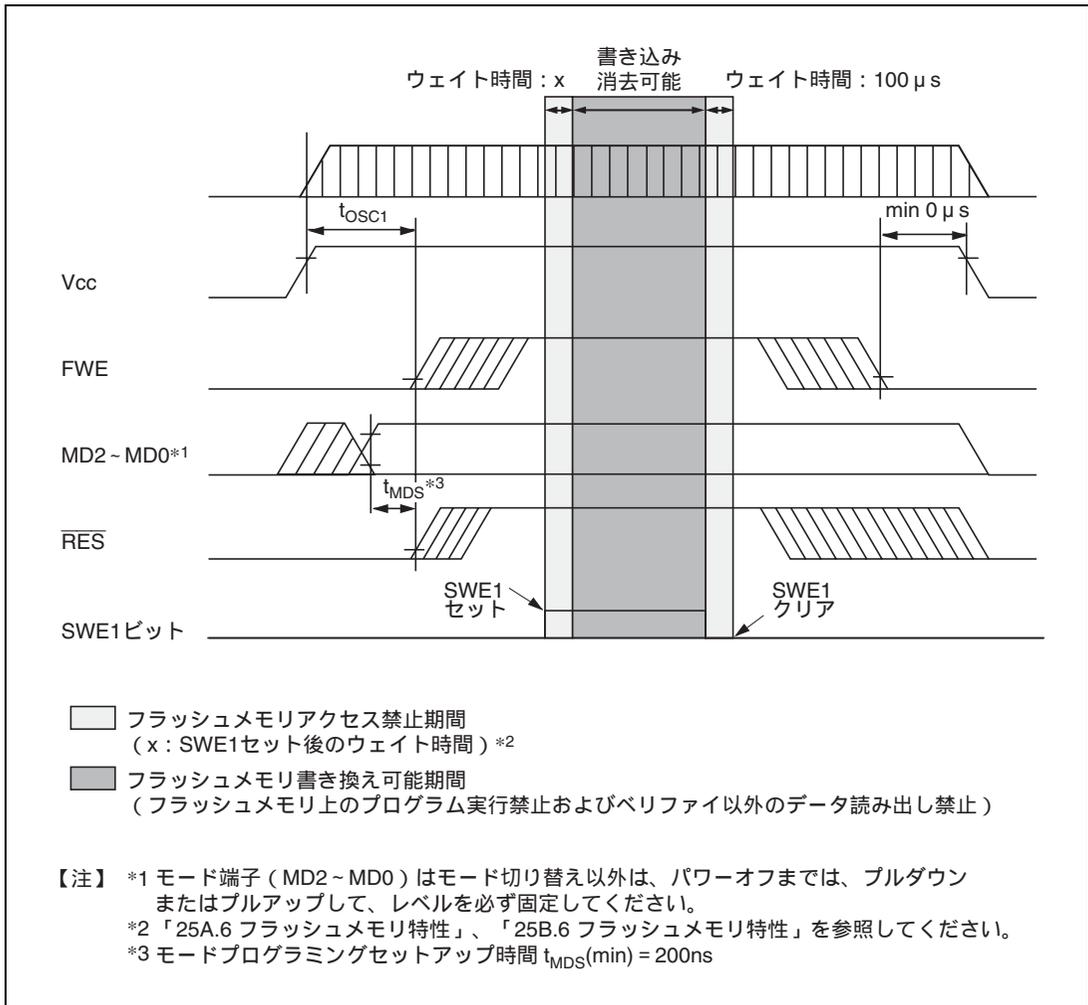


図 22.20 電源投入 / 切断タイミング (ユーザプログラムモード)

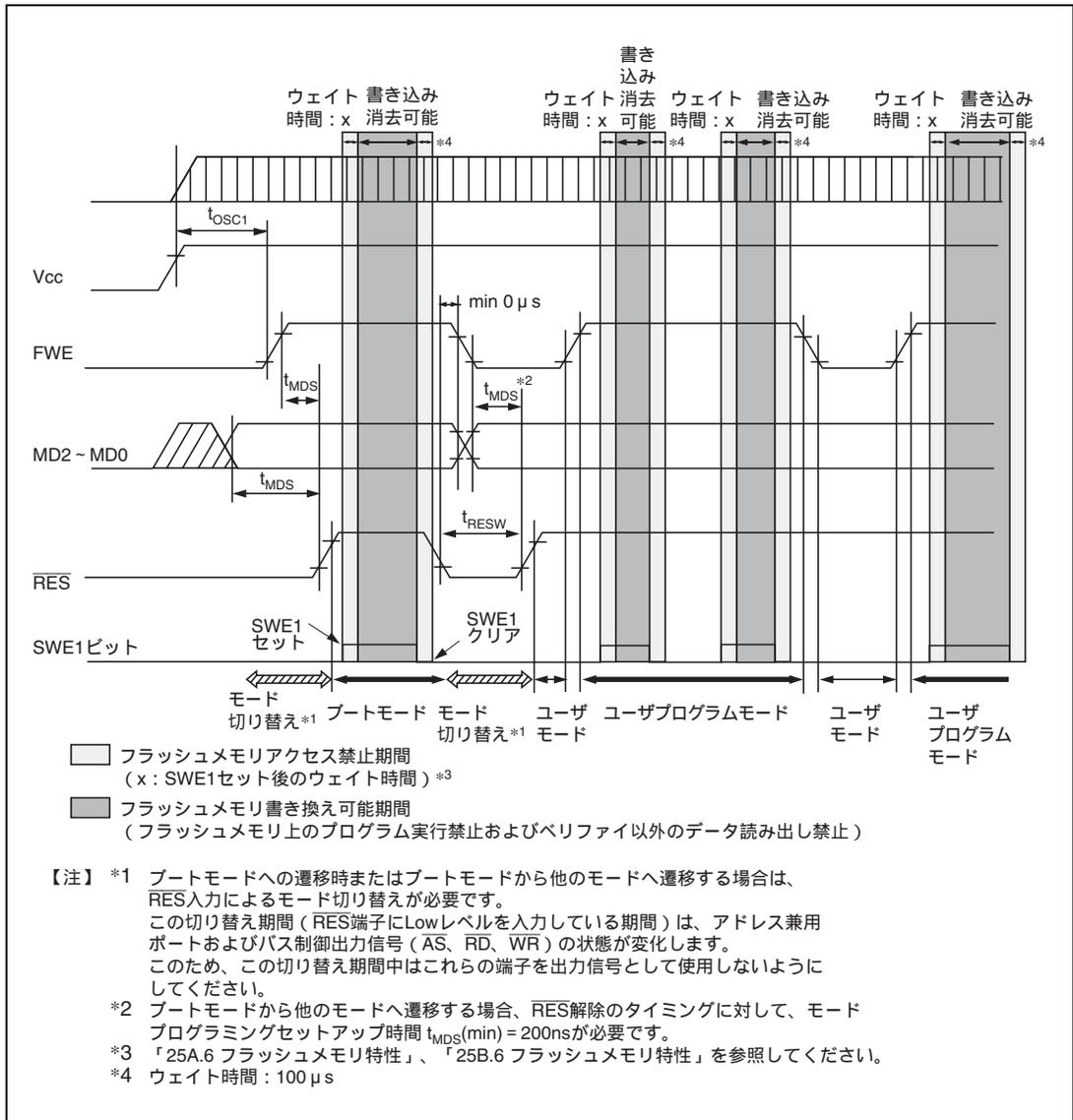


図 22.21 モード遷移タイミング (例: ブートモード ユーザプログラムモード)

22.14 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 22.16 に F-ZTAT 版に存在して、マスク版に存在しないレジスタを示します。表 22.16 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 22.16 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 22.16 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB

23A. クロック発振器 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)

23A.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック ()、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、PLL (Phase Locked Loop) 回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック発振器、波形成形回路から構成されます。CPG 内部の PLL 回路により周波数を変更できます。周波数変更は、システムクロックコントロールレジスタ (SCKCR) とローパワーコントロールレジスタ (LPWRCR) の設定により、ソフトウェアで行います。

23A.1.1 ブロック図

クロック発振器のブロック図を図 23A.1 に示します。

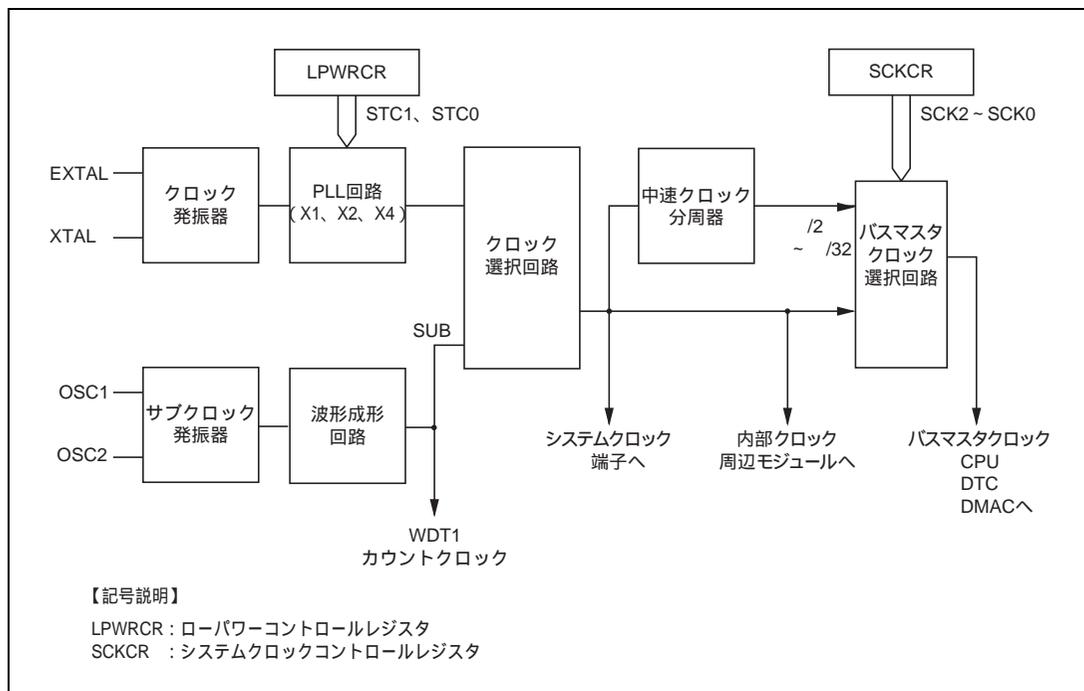


図 23A.1 クロック発振器のブロック図

23A.1.2 レジスタ構成

クロック発振器は、SCKCR、LPWRCR で制御されます。レジスタ構成を表 23A.1 に示します。

表 23A.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FDE6
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FDEC

【注】 * アドレスの下位 16 ビットを示しています。

23A.2 各レジスタの説明

23A.2.1 システムクロックコントロールレジスタ (SCKCR)

ビット :	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	STCS	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	-	-	-	R/W	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、クロック出力、PLL 回路の周波数逡倍率変更時の動作の選択、中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット7: クロック出力禁止 (PSTOP)
出力を制御します。

ビット7	説 明			
PSTOP	高速モード、 中速モード、 サブアクティブモード	スリープモード、 サブスリープモード	ソフトウェア スタンバイモード、 ウォッチモード、 直接遷移	ハードウェア スタンバイモード
0	出力 (初期値)	出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

- ビット6~4: リザーブビット
リードすると常に0が読み出されます。ライトは無効です。

- ビット3：周波数通倍率切り替えモード選択 (STCS)

STCSはPLL回路の周波数通倍率変更時の動作を選択します。

ビット3	説明
STCS	
0	指定した通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後に有効 (初期値)
1	指定した通倍率は、STC ビットの書き換え直後に有効

- ビット2~0：システムクロックセレクト2~0 (SCK2~SCK0)

バスマスタのクロックを選択します。

ビット2	ビット1	ビット0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

23A.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	SUBSTP	RFCUT	-	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 1、0 についてのみ説明します。その他のビットの詳細については「24.2.3 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット1、0：周波数通倍率 (STC1、STC0)

STCはPLL回路の周波数通倍率を指定します。

ビット1	ビット0	説 明	
STC1	STC0		
0	0	×1	(初期値)
	1	×2	
1	0	×4	
	1	設定禁止	

【注】 通倍後のクロック周波数は、本 LSI の最大動作周波数を超えないように設定してください。

本機能の PLL ×4 を使用し、外部クロック周波数を低くすることにより、消費電流ノイズを低減することができます。

23A.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

23A.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 23A.2 に示します。ダンピング抵抗 R_d は、表 23A.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

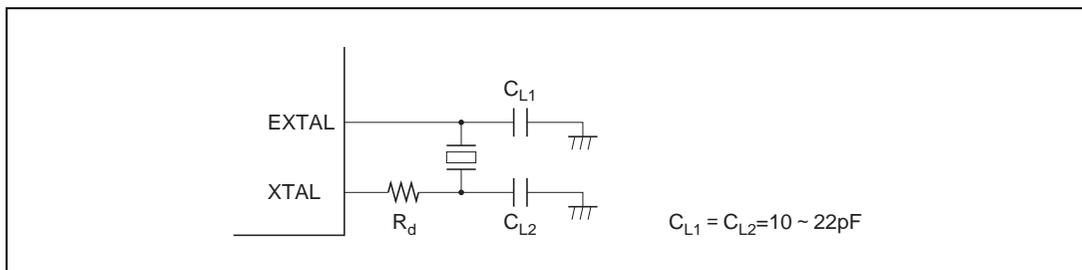


図 23A.2 水晶発振子の接続例

表 23A.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	12	16	20	25
R_d ()	1k	500	200	0	0	0	0

(2) 水晶発振子

図 23A.3 に水晶発振子の等価回路を示します。水晶発振子は表 23A.3 に示す特性のものを使用してください。

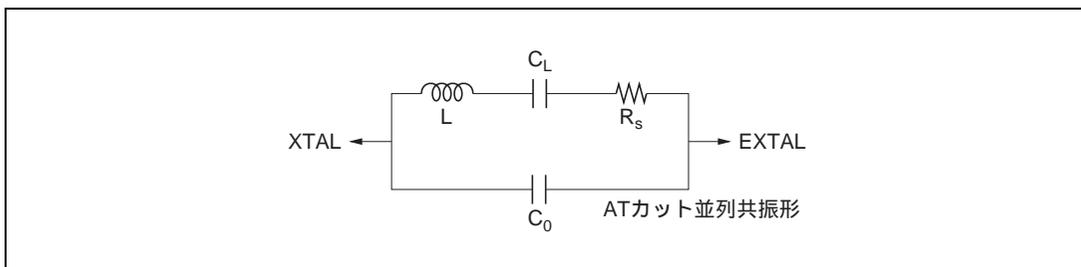


図 23A.3 水晶発振子の等価回路

表 23A.3 水晶発振子の特性

周波数 (MHz)	2	4	8	12	16	20	25
R_s max (Ω)	500	120	80	60	50	40	40
C_0 max (pF)	7						

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください (図 23A.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

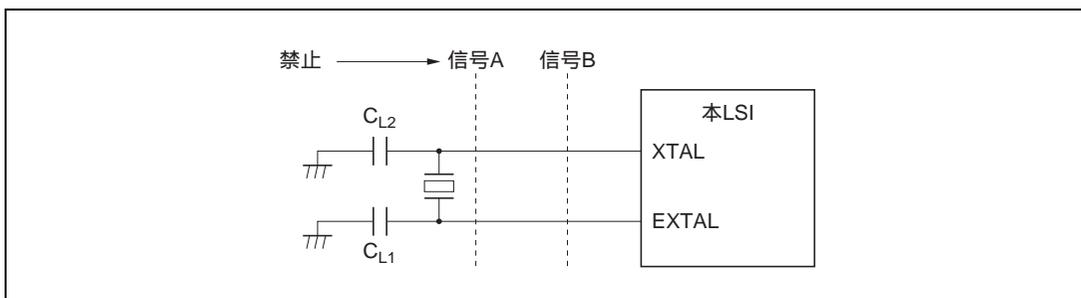


図 23A.4 発振回路部のボード設計に関する注意事項

PLL 回りの外部回路として、下記のような外部回路を推奨します。

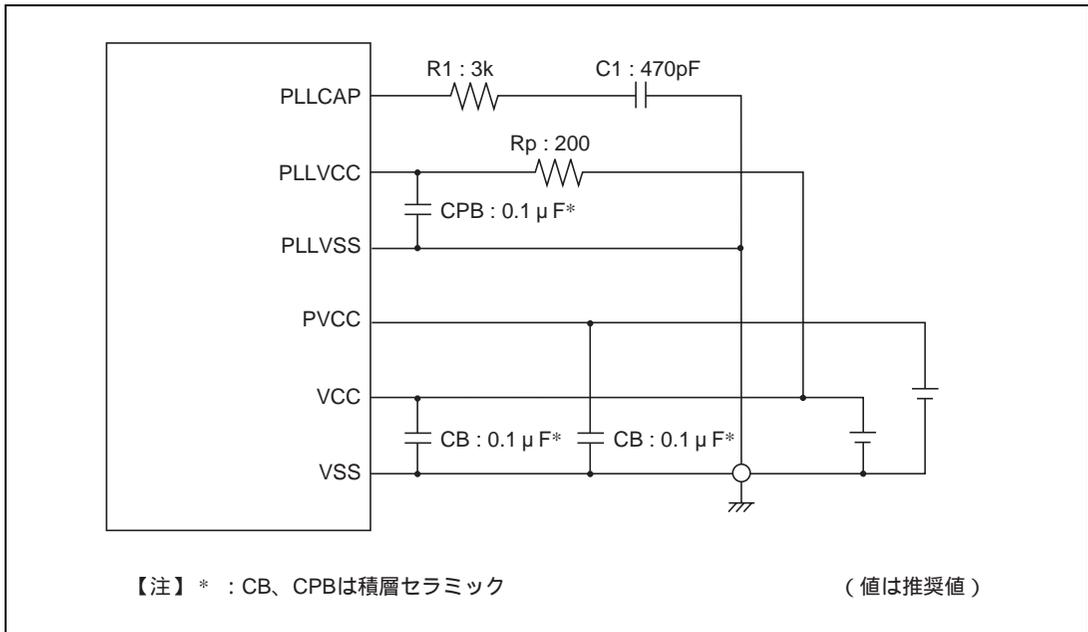


図 23A.5 PLL 発振回路使用上の注意

発振安定用の容量 C1 および抵抗 R1 は、PLLCAP 端子の近くに置き、他の信号線と交差させないでください。C1 のグラウンドは PLLVSS から供給してください。

さらに、PLLVCC、PLLVSS と、その他の VCC、VSS とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

23A.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 23A.6 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 23A.6 (b) の場合、スタンバイモード時には外部クロックが High レベルになるようにしてください。

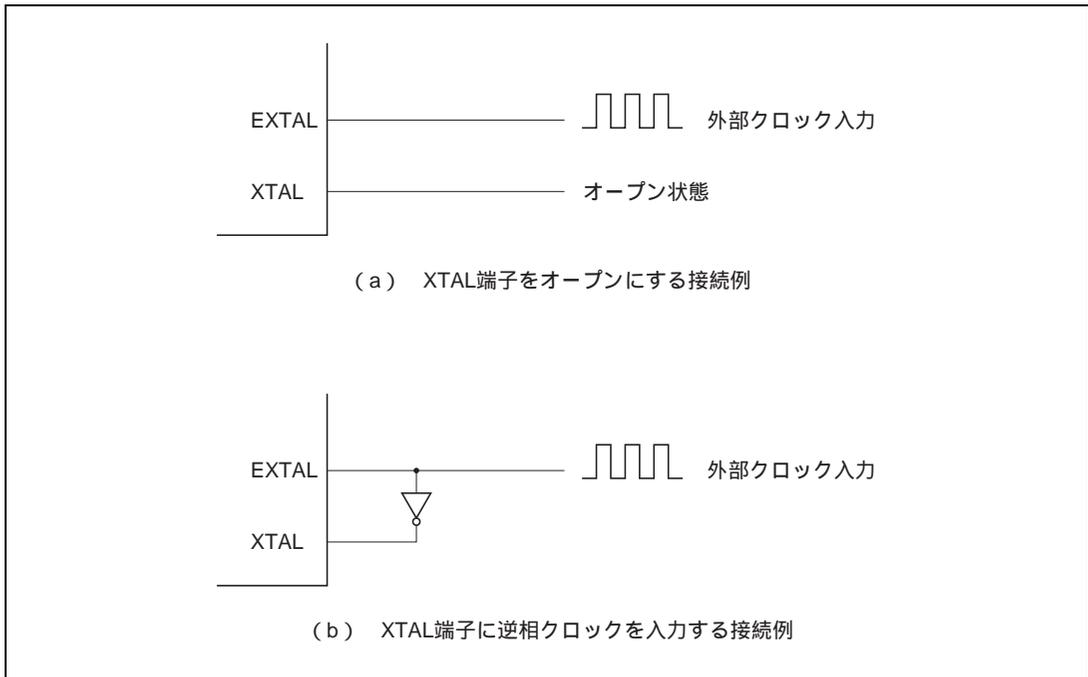


図 23A.6 外部クロックの接続例

(2) 外部クロック

外部クロックの入力条件を表 23A.4 および図 23A.7 に示します。

表 23A.4 外部クロック入力条件

項目	記号	VCC = 3.0 ~ 3.6V PVCC = 3.0 ~ 5.5V		VCC = 3.0 ~ 3.6V PVCC = 5.0V ± 10%		単位	測定条件
		min	max	min	max		
		外部クロック入力 パルス幅 Low レベル	t_{EXL}	20	-		
外部クロック入力 パルス幅 High レベル	t_{EXH}	20	-	15	-	ns	
外部クロック 立ち上がり時間	$t_{EX\uparrow}$	-	10	-	5	ns	
外部クロック 立ち下がり時間	$t_{EX\downarrow}$	-	10	-	5	ns	

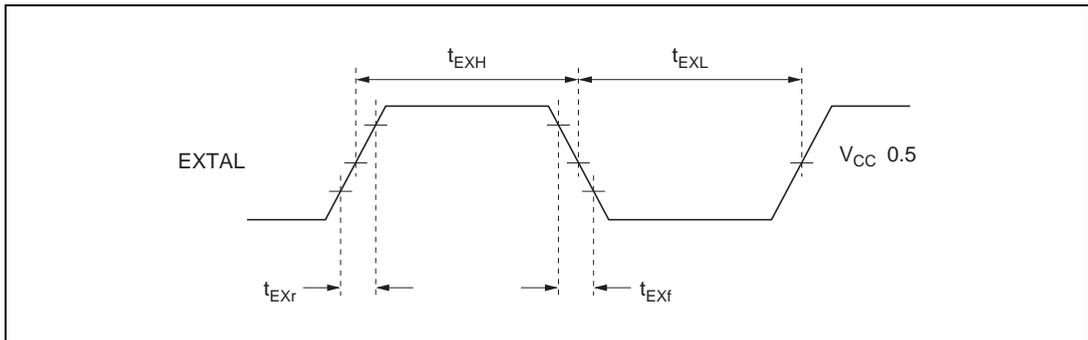


図 23A.7 外部クロック入力タイミング

23A.4 PLL 回路

PLL回路は、発振器からのクロック周波数を1倍、2倍、または4倍に通倍する機能を持ちます。通倍率はLPWRCRのSTCビットで設定します。このとき、内部クロックの立ち上がりエッジの位相はEXTAL端子の立ち上がりエッジの位相に一致するように制御されます。通倍後のクロックの周波数は、LSIの最大動作周波数を超えないように設定してください。

PLL回路の通倍率を変更する場合、SCKCRのSTCSビットの設定により動作が異なります。

STCS = 0 (初期値) の場合、ソフトウェアスタンバイモード、ウォッチモード、またはサブアクティブモードへ遷移後に設定が有効になります。SBYCRのSTS2～STS0ビットの設定により、遷移時間のカウントを行います。

1. 初期状態では、PLL回路の通倍率は1になっています。
2. STS2～STS0ビットに、指定された遷移時間になるように値をセットします。
3. STC1～STC0を目的とする値に設定し、ソフトウェアスタンバイモード、ウォッチモードまたはサブアクティブモードに遷移します。
4. クロック発振器が停止し、設定したSTC1～STC0の値が有効となります。
5. ソフトウェアスタンバイモード、ウォッチモードまたはサブアクティブモードを解除し、STS2～STS0の設定に従い、遷移時間が確保されます。
6. 設定した遷移時間の経過後、目的とする通倍率で本LSIでは動作を再開します。

なお、3.のソフトウェアスタンバイモードへ遷移するSLEEP命令にPCブ레이크を設定すると、ソフトウェアスタンバイモードに遷移し、発振安定時間を経てブ레이크例外処理が実行されます。この場合、RTE命令実行後にSLEEP命令の次の命令を実行します。

STCS = 1 の場合、STC1～STC0ビットの書き換え直後に、変更後の通倍率でLSIは動作します。

23A.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ を生成します。

23A.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SCKCR の SCK2 ~ SCK0 ビットに従って、システムクロック ()、または中速クロック (/2、 /4、 /8、 /16、 /32) から選択します。

23A.7 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック発振器へクロックを供給するには、図 23A.8 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「23A.3.1 (3) ボード設計上の注意」と同様です。

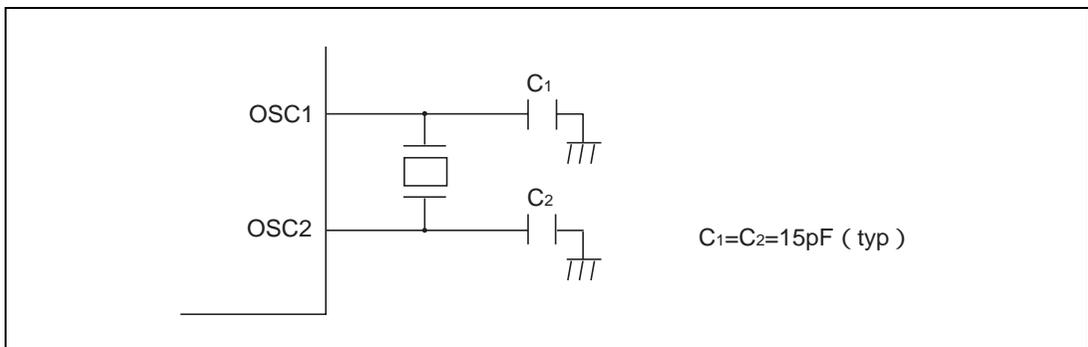


図 23A.8 32.768kHz 水晶発振子の接続例

図 23A.9 に 32.768kHz 水晶発振子の等価回路を示します。

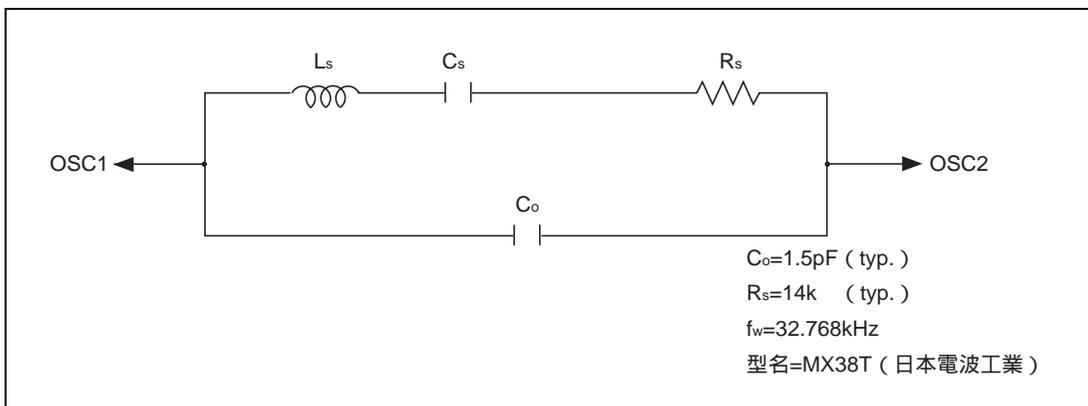


図 23A.9 32.768kHz 水晶発振子の等価回路

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 23A.10 に示すように OSC1 端子を VCC に接続し、OSC2 端子をオープンとしてください。

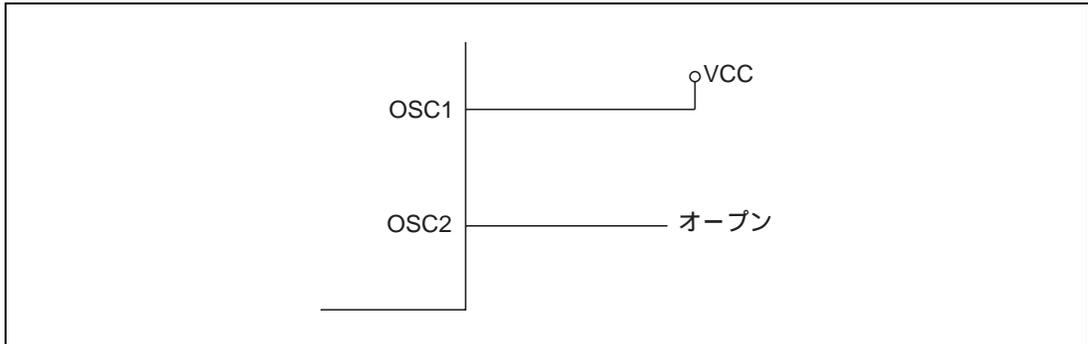


図 23A.10 サブクロックを必要としない場合の端子処理

23A.8 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「24.2.3 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

23A.9 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク ROM 版、F-ZTAT 版ともにユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

23B. クロック発振器 (H8S/2633R、H8S/2695)

23B.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック ()、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、PLL (Phase Locked Loop) 回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック発振器、波形形成回路から構成されます。CPG 内部の PLL 回路により周波数を変更できます。周波数変更は、システムクロックコントロールレジスタ (SCKCR) とローパワーコントロールレジスタ (LPWRCR) の設定により、ソフトウェアで行います。

入力クロック周波数は、2MHz~25MHz です。

H8S/2633R、H8S/2695 において、 $25\text{MHz} < \phi < 28\text{MHz}$ での動作は、必ず PLL を設定し、 $\times 2$ もしくは $\times 4$ 逓倍を使用してください。 (ϕ = 動作周波数)

23B.1.1 ブロック図

クロック発振器のブロック図を図 23B.1 に示します。

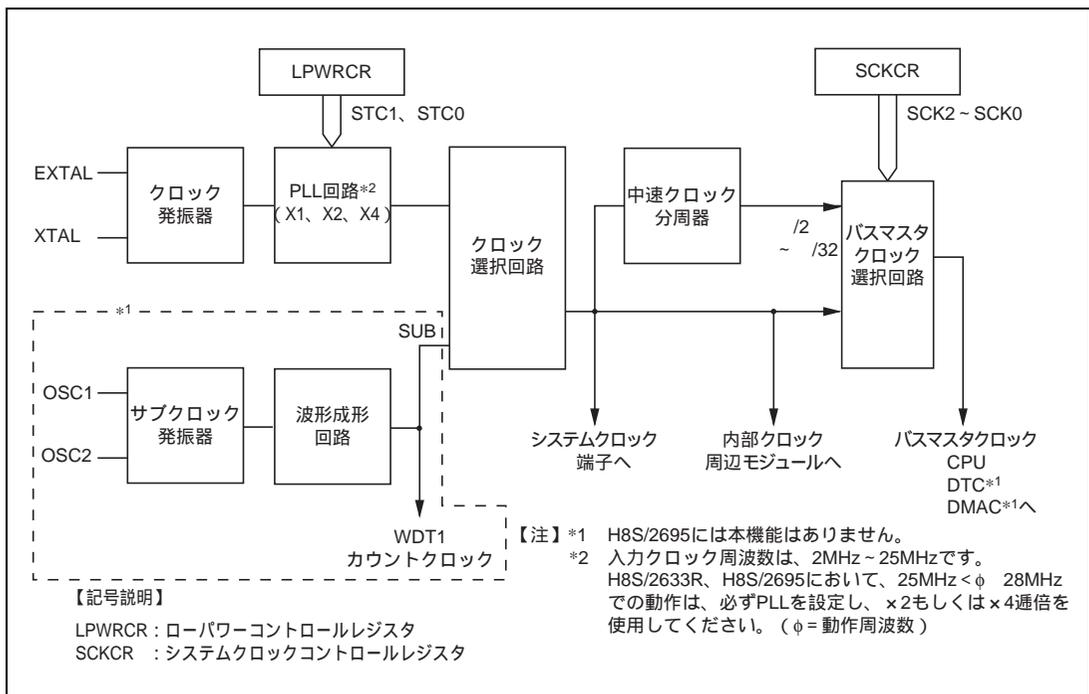


図 23B.1 クロック発振器のブロック図

23B.1.2 レジスタ構成

クロック発振器は、SCKCR、LPWRCR で制御されます。レジスタ構成を表 23B.1 に示します。

表 23B.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FDE6
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FDEC

【注】 * アドレスの下位 16 ビットを示しています。

23B.2 各レジスタの説明

23B.2.1 システムクロックコントロールレジスタ (SCKCR)

ビット :	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	STCS	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	-	-	-	R/W	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、クロック出力、PLL 回路の周波数逡倍率変更時の動作の選択、中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット7: クロック出力禁止 (PSTOP)
出力を制御します。

ビット7	説 明			
PSTOP	高速モード、 中速モード、 サブアクティブモード	スリープモード、 サブスリープモード	ソフトウェア スタンバイモード、 ウォッチモード*、 直接遷移*	ハードウェア スタンバイモード
0	出力 (初期値)	出力	High レベル固定	ハインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハインピーダンス

【注】 * H8S/2695 では本機能は使用できません。

- ビット6~4: リザーブビット
リードすると常に0が読み出されます。ライトは無効です。

- ビット3：周波数通倍率切り替えモード選択 (STCS)

STCSはPLL回路の周波数通倍率変更時の動作を選択します。

ビット3	説明
STCS	
0	指定した通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後に有効 (初期値)
1	指定した通倍率は、STC ビットの書き換え直後に有効

- ビット2~0：システムクロックセレクト2~0 (SCK2~SCK0)

バスマスタのクロックを選択します。

ビット2	ビット1	ビット0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

23B.2.2 ローパワーコントロールレジスタ (LPWRCR)

H8S/2633R

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	SUBSTP	RFCUT	-	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H8S/2695

ビット：	7	6	5	4	3	2	1	0
	- *	- *	- *	- *	- *	-	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】* H8S/2695では書き込みを行う場合は0を書き込んでください。

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット1、0 についてのみ説明します。その他のビットの詳細については「24.2.3 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット1、0：周波数通倍率 (STC1、STC0)

STCはPLL回路の周波数通倍率を指定します。

ビット1	ビット0	説 明	
STC1	STC0		
0	0	×1	(初期値)
	1	×2	
1	0	×4	
	1	設定禁止	

【注】 通倍後のクロック周波数は、本 LSI の最大動作周波数を超えないように設定してください。

本機能の PLL×4 を使用し、外部クロック周波数を低くすることにより、消費電流ノイズを低減することができます。

入力クロック周波数は、2MHz～25MHz です。

H8S/2633R、H8S/2695 において、 $25\text{MHz} < \phi < 28\text{MHz}$ での動作は、必ず PLL を設定し、×2 もしくは×4 通倍を使用してください。(φ=動作周波数)

23B.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

23B.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 23B.2 に示します。ダンピング抵抗 R_d は、表 23B.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

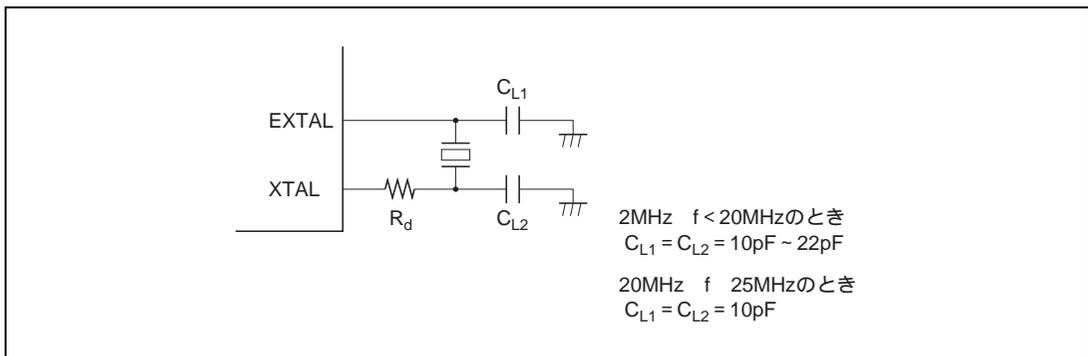


図 23B.2 水晶発振子の接続例

表 23B.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	12	16	20	25
R_d ()	1k	500	200	0	0	0	0

(2) 水晶発振子

図 23B.3 に水晶発振子の等価回路を示します。水晶発振子は表 23B.3 に示す特性のものを使用してください。

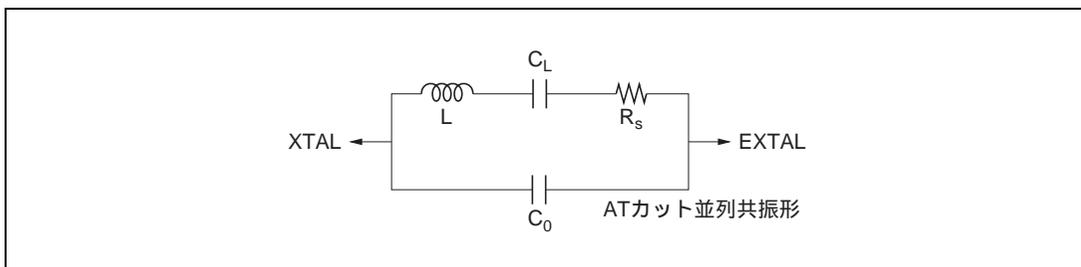


図 23B.3 水晶発振子の等価回路

表 23B.3 水晶発振子の特性

周波数 (MHz)	2	4	8	12	16	20	25
R_s max ()	500	120	80	60	50	40	40
C_0 max (pF)	7						

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください(図 23B.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

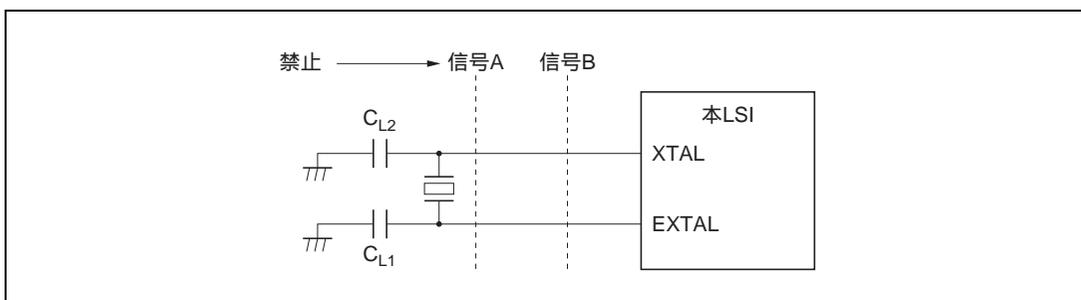


図 23B.4 発振回路部のボード設計に関する注意事項

PLL 回りの外部回路として、下記のような外部回路を推奨します。

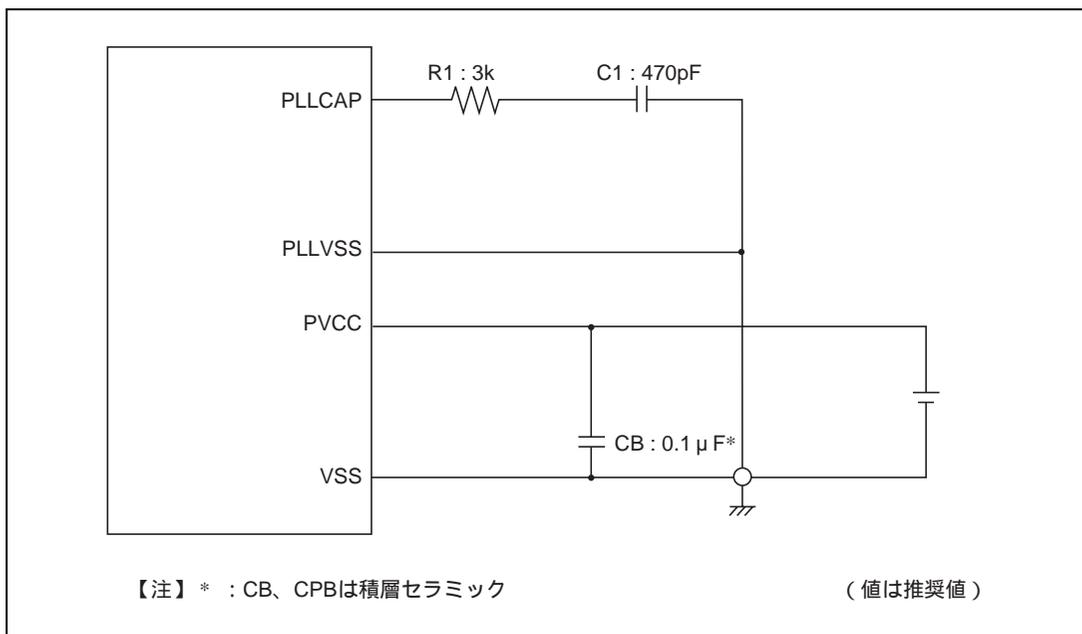


図 23B.5 PLL 発振回路使用上の注意

発振安定用の容量 C1 および抵抗 R1 は、PLLCAP 端子の近くに置き、他の信号線と交差させないでください。C1 のグラウンドは PLLVSS から供給してください。

さらに、PLLVSS と、その他の VCC、VSS とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

23B.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 23B.6 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 23B.6 (b) の場合、スタンバイモード時には外部クロックが High レベルになるようにしてください。

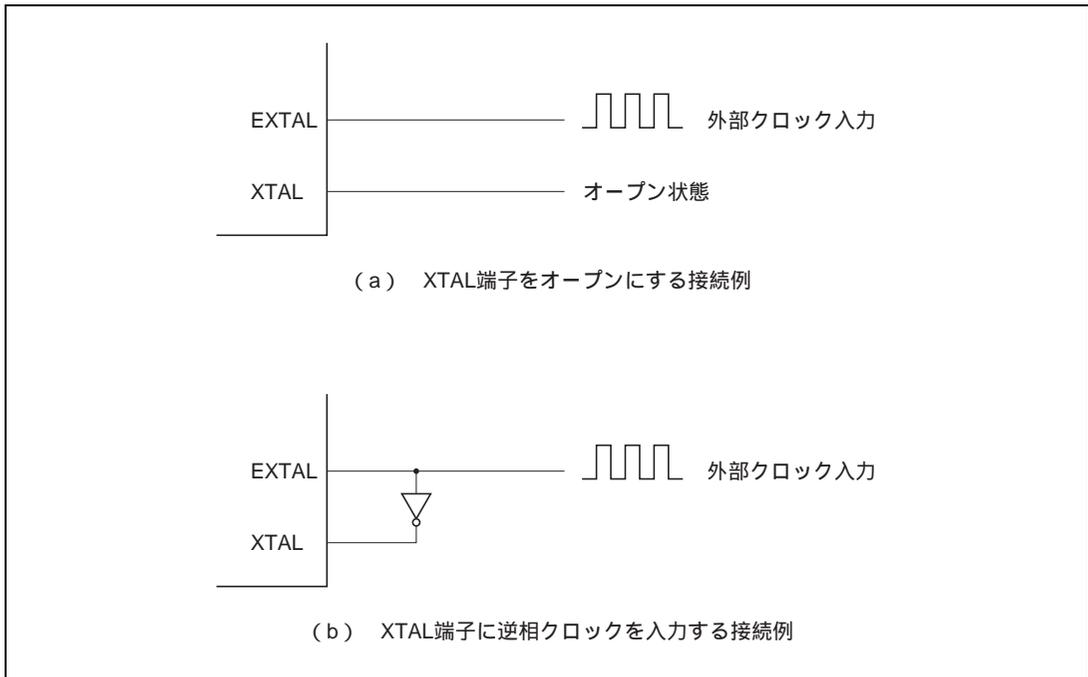


図 23B.6 外部クロックの接続例

(2) 外部クロック

外部クロックの入力条件を表 23B.4 および図 23B.7 に示します。

表 23B.4 外部クロック入力条件

項目	記号	PVCC = 5.0V ± 10%		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	t_{EXL}	15	-	ns	図 23B.7
外部クロック入力パルス幅 High レベル	t_{EXH}	15	-	ns	
外部クロック立ち上がり時間	t_{EXr}	-	5	ns	
外部クロック立ち下がり時間	t_{EXf}	-	5	ns	

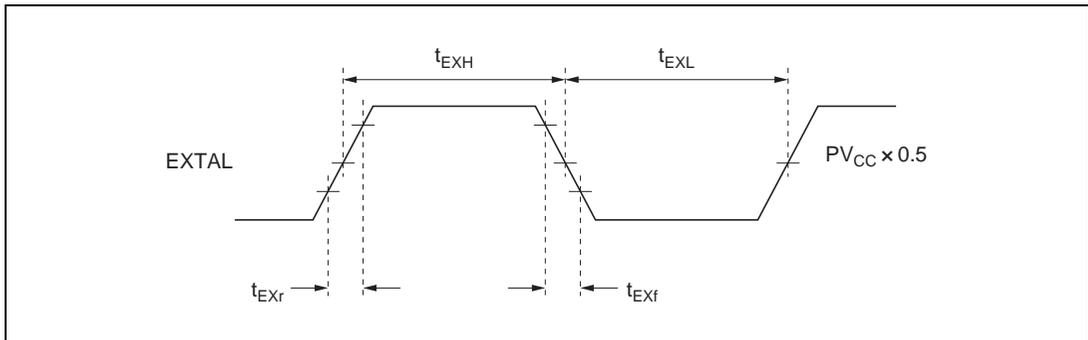


図 23B.7 外部クロック入力タイミング

23B.4 PLL 回路

PLL回路は、発振器からのクロック周波数を1倍、2倍、または4倍に通倍する機能を持ちます。通倍率はLPWRCRのSTCビットで設定します。このとき、内部クロックの立ち上がりエッジの位相はEXTAL端子の立ち上がりエッジの位相に一致するように制御されます。通倍後のクロックの周波数は、LSIの最大動作周波数を超えないように設定してください。

PLL回路の通倍率を変更する場合、SCKCRのSTCSビットの設定により動作が異なります。

STCS=0(初期値)の場合、ソフトウェアスタンバイモード、ウォッチモード、またはサブアクティブモードへ遷移後に設定が有効になります。SBYCRのSTS2~STS0ビットの設定により、遷移時間のカウントを行います。

1. 初期状態では、PLL回路の通倍率は1になっています(入力クロックの上限は25MHzです。25MHz以上の動作周波数で使用する場合は、 $\times 2$ 、 $\times 4$ の通倍を使用してください)。
2. STS2~STS0ビットに、指定された遷移時間になるように値をセットします。
3. STC1~STC0を目的とする値に設定し、ソフトウェアスタンバイモード、ウォッチモードまたはサブアクティブモードに遷移します。
4. クロック発振器が停止し、設定したSTC1~STC0の値が有効となります。
5. ソフトウェアスタンバイモード、ウォッチモードまたはサブアクティブモードを解除し、STS2~STS0の設定に従い、遷移時間が確保されます。
6. 設定した遷移時間の経過後、目的とする通倍率で本LSIでは動作を再開します。

なお、3.のソフトウェアスタンバイモードへ遷移するSLEEP命令にPCブ레이크を設定すると、ソフトウェアスタンバイモードに遷移し、発振安定時間を経てブ레이크例外処理が実行されます。この場合、RTE命令実行後にSLEEP命令の次の命令を実行します。

STCS=1の場合、STC1~STC0ビットの書き換え直後に、変更後の通倍率でLSIは動作します。

23B.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $/2$ 、 $/4$ 、 $/8$ 、 $/16$ 、 $/32$ を生成します。

23B.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SCKCR の SCK2 ~ SCK0 ビットに従って、システムクロック ()、または中速クロック (/2、 /4、 /8、 /16、 /32) から選択します。

23B.7 サブクロック発振器 (H8S/2695 には本機能はありません)

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック発振器へクロックを供給するには、図 23B.8 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「23B.3.1 (3) ボード設計上の注意」と同様です。

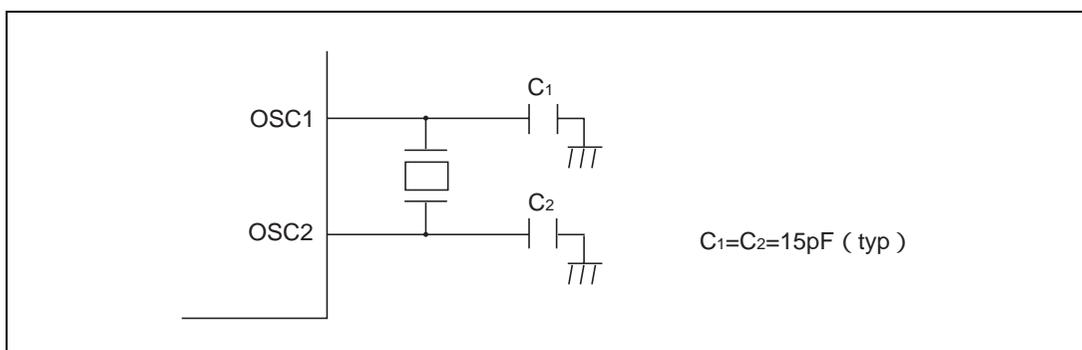


図 23B.8 32.768kHz 水晶発振子の接続例

図 23B.9 に 32.768kHz 水晶発振子の等価回路を示します。

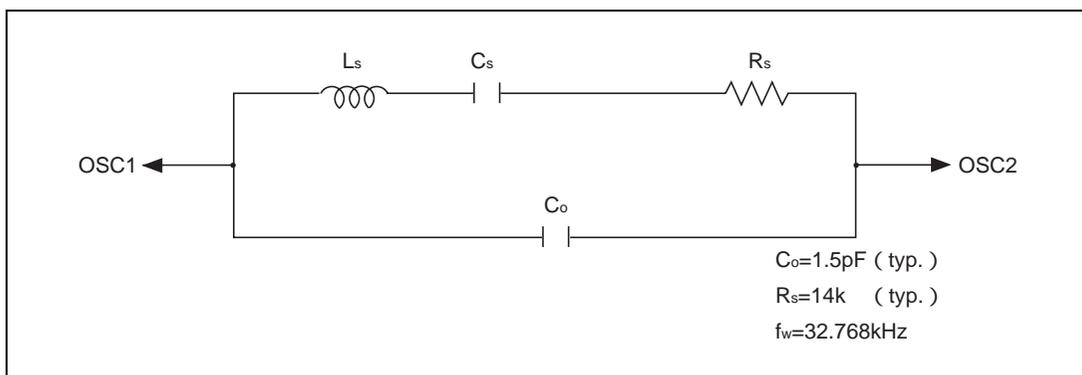


図 23B.9 32.768kHz 水晶発振子の等価回路

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 23B.10 に示すように OSC1 端子を VSS に接続し、OSC2 端子をオープンとしてください。

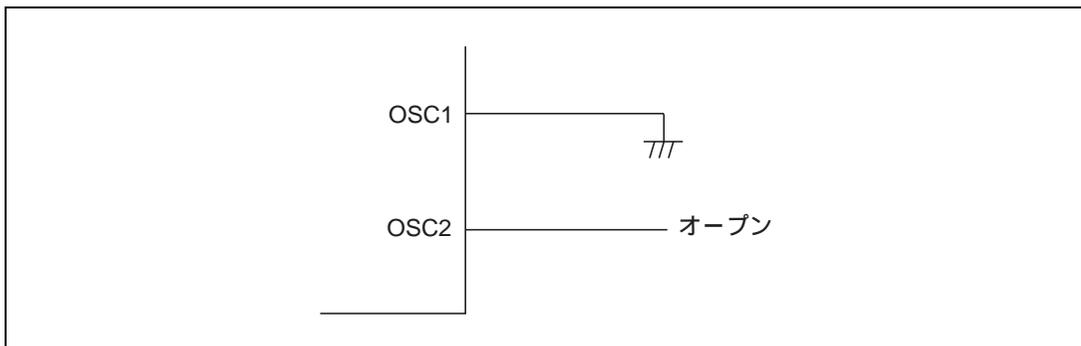


図 23B.10 サブクロックを必要としない場合の端子処理

【注】 H8S/2695 はサブクロック機能はありません。OSC1、OSC2 に対応する端子は NC 端子となります。

23B.8 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「24.2.3 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

23B.9 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク ROM 版、F-ZTAT 版ともにユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

24. 低消費電力状態

24.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) サブアクティブモード*
- (4) スリープモード
- (5) サブスリープモード*
- (6) ウォッチモード*
- (7) モジュールストップモード
- (8) ソフトウェアスタンバイモード
- (9) ハードウェアスタンバイモード

があり、(2)~(9)が低消費電力状態です。スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは一部組み合わせて設定することができます。

リセット後は、高速モード、DMAC、DTC を除くモジュールストップモードになっています。

表 24.1 に各モードでの LSI の内部状態、表 24.2 に低消費電力モード遷移条件を示します。

また、図 24.1 に、モード遷移図を示します。

【注】 * H8S/2695 では使用できません。

表 24.1 各モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ*3	ウォッチ	サブ アクティブ	サブ スリープ	ソフトウェア スタンバイ	ハードウェア スタンバイ	
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止	
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作	停止	
CPU	命令 レジスタ	動作	中速 動作	停止 (保持)*1	高/中速 動作	停止 (保持)*1	サブクロック 動作	停止 (保持)*1	停止 (保持)*1	停止 (不定)	
	NMI IRQ0-7	動作	動作	動作	動作	動作	動作	動作	動作	動作	
周辺 機能	WDT1*4	動作	動作	動作	動作	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)*1	停止 (リセット)*2	
	WDT0	動作	動作	動作	動作	停止 (保持)*1	サブ クロック 動作	サブ クロック 動作	停止 (保持)*1	停止 (リセット)*2	
	TMR*4				停止 (保持)*1						
	DMAC*4	動作	中速	動作	停止	停止	停止	停止	停止	停止	
	DTC*4		動作		(保持)*1	(保持)*1	(保持)*1	(保持)*1	(保持)*1	(リセット)*2	
	TPU	動作	動作	動作	停止	停止	停止	停止	停止	停止	
	IIC0*4				(保持)*1	(保持)*1	(保持)*1	(保持)*1	(保持)*1	(保持)*1	(リセット)*2
	IIC1*4										
	PCB*4										
	PPG*4										
	D/A0、1*4										
	SCI0				動作	動作	動作	停止	停止	停止	停止
	SCI1				(リセット)	(リセット)	(リセット)*2	(リセット)	(リセット)*2	(リセット)*2	
	SCI2				*2	*2	*2	*2			
	SCI3										
	SCI4										
	PWM0、1*4										
	A/D										
	RAM	動作	動作	動作*5 (DTC)	動作	保持	動作	保持	保持	保持	
	I/O	動作	動作	動作	動作	保持	動作*6	保持	保持	ハイ インピーダンス	

【注】 *1 停止 (保持) は、内部レジスタ値保持。内部状態は動作中断。

*2 停止 (リセット) は、内部レジスタ値および内部状態を初期化。

*3 モジュールストップモード時は、停止設定をしたモジュールのみ停止 (リセットまたは保持)。

*4 H8S/2695 には本機能はありません。

*5 H8S/2695 は DTC がいないため、保持となります。

*6 H8S/2633 グループ、H8S/2633R では、サブアクティブモード動作中にポート D、E を除く I/O ポート端子の状態をリードすると常に "1" が読み出されます。出力ポートとしての使用は可能です。

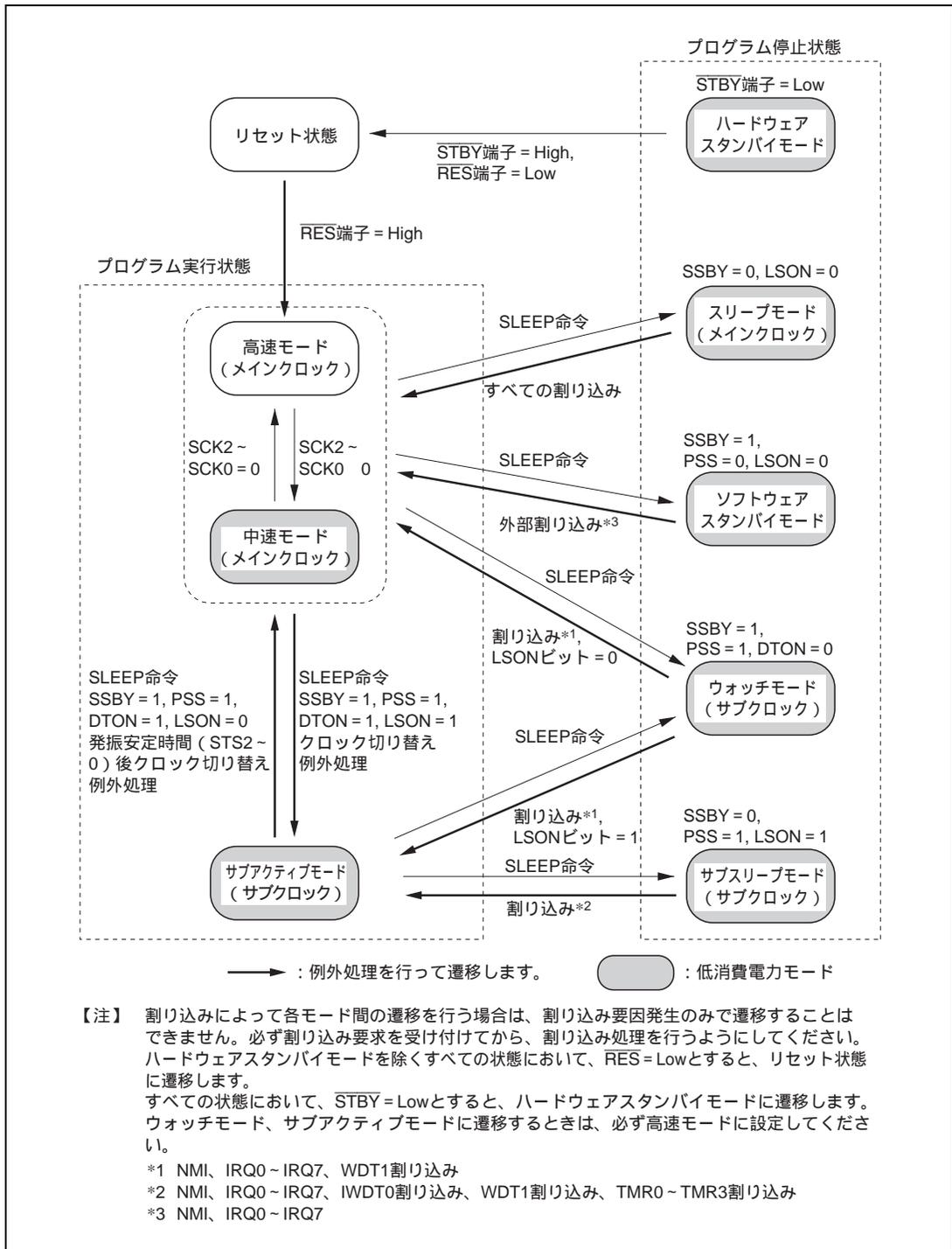


図 24.1 (a) モード遷移図 (H8S/2633 グループ、H8S/2633R)

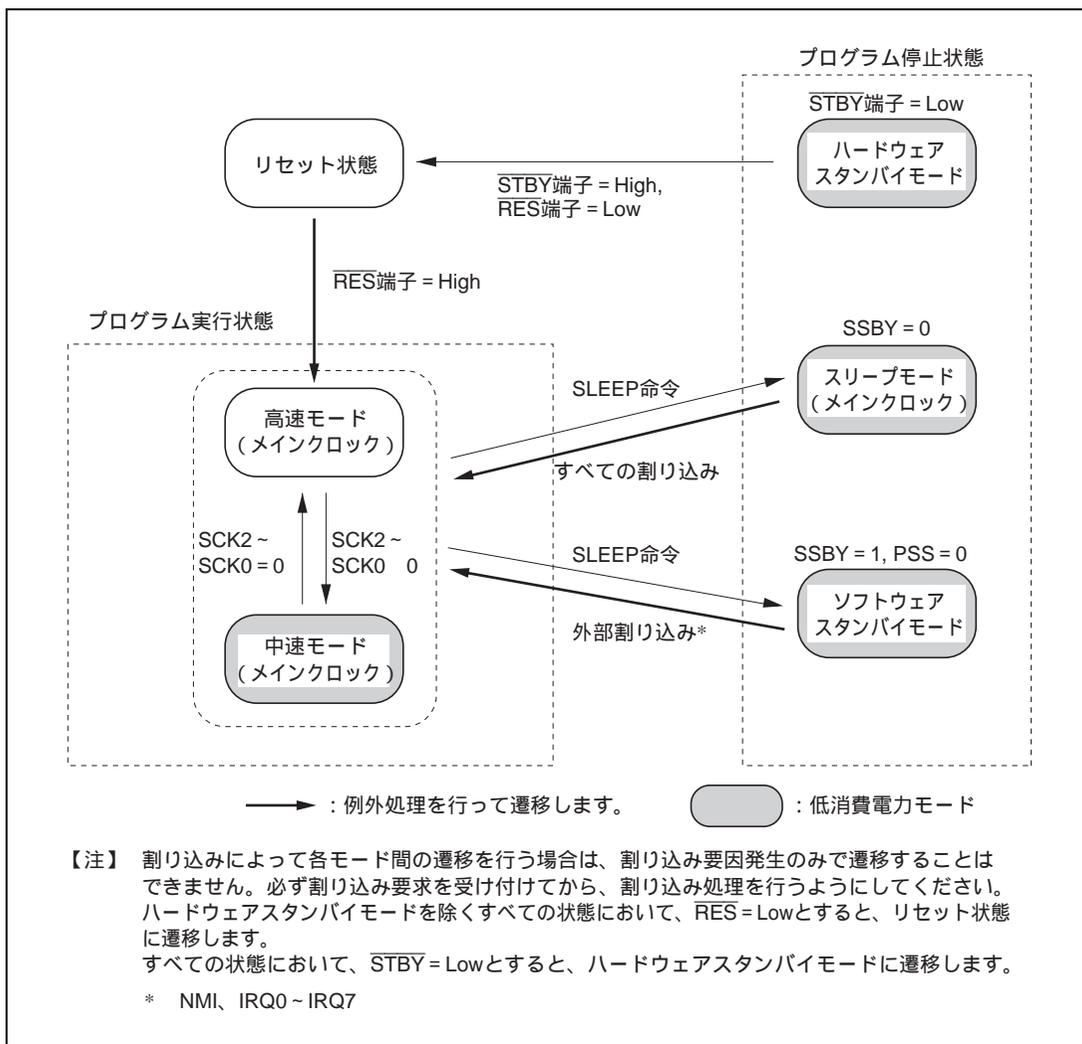


図 24.1 (b) モード遷移図 (H8S/2695)

表 24.2 (a) 低消費電力モード遷移条件 (H8S/2633 グループ、H8S/2633R)

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速 / 中速	0	*	0	*	スリープ	高速 / 中速
	0	*	1	*		
	1	0	0	*	ソフトウェアスタンバイ	高速 / 中速
	1	0	1	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1		
サブアクティブ	1	1	1	1	サブアクティブ	
	0	0	*	*		
	0	1	0	*		
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	
	1	1	1	1		

* : Don't care

: 設定しないでください。

表 24.2 (b) 低消費電力モード遷移条件 (H8S/2695)

遷移前の状態	遷移時の制御ビット (SSBY) 状態	SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
高速 / 中速	0	スリープ	高速 / 中速
	1	ソフトウェアスタンバイ	高速 / 中速

24.1.1 レジスタ構成

低消費電力状態は、SBYCR、SCKCR、LPWRCR、TCSR (WDT1*)、MSTPCR で制御されます。レジスタ構成を表 24.3 に示します。

【注】 * H8S/2695 では WDT1 は使用できません。

表 24.3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
スタンバイコントロールレジスタ	SBYCR	R/W	H'08	H'FDE4
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FDE6
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FDEC
タイマコントロール/ステータスレジスタ (WDT1)*2	TCSR	R/W	H'00	H'FFA2
モジュールストップコントロールレジスタ A~C	MSTPCRA	R/W	H'3F	H'FDE8
	MSTPCRB	R/W	H'FF	H'FDE9
	MSTPCRC	R/W	H'FF	H'FDEA

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 H8S/2695 では WDT1 は使用できません。

24.2 各レジスタの説明

24.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE			
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W			

SBYCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'08 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット7 : ソフトウェアスタンバイ (SSBY)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。

なお、割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。

ビット7	説明
SSBY	
0	高速モードおよび中速モードで SLEEP 命令を実行したとき、スリープモードに遷移 サブアクティブモードで*SLEEP 命令を実行したとき、サブスリープモード*に遷移 (初期値)
1	高速モードおよび中速モードで SLEEP 命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード*、あるいはウォッチモード*に遷移 サブアクティブモード*で SLEEP 命令を実行したとき、ウォッチモード*、あるいは高速モードに遷移

【注】 * H8S/2695 には本機能はありません。

- ビット6~4 : スタンバイタイムセレクト2~0 (STS2~STS0)

特定の割り込みや命令によってソフトウェアスタンバイモード、ウォッチモード*、サブアクティブモード*を解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまでMCUが待機する時間を選択します。水晶発振の場合、表24.5を参照し、動作周波数に応じて待機時間が8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合は、動作周波数に応じて待機時間が2ms (PLL発振安定時間) 以上となるように選択してください。

【注】 * H8S/2695 には本機能はありません。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート (設定禁止)

• ビット3 : 出力ポートイネーブル (OPE)

ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号 ($\overline{CS0}$ ~ $\overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} 、 \overline{CAS} 、 \overline{OE}) の出力を保持するか、ハイインピーダンスにするかを指定します。

ビット3	説 明
OPE	
0	ソフトウェアスタンバイモード、ウォッチモード*、および直接遷移時にアドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード、ウォッチモード*、および直接遷移時にアドレスバス、バス制御信号は出力状態を保持 (初期値)

【注】 * H8S/2695 には本機能はありません。

• ビット2-0 : リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

24.2.2 システムクロックコントロールレジスタ (SCKCR)

ビット :	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	STCS	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	-	-	-	R/W	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、クロック出力の制御、PLL 回路の周波数逡倍率変更時の動作の選択、中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- ビット7: クロック出力禁止 (PSTOP)

対応するポートのDDRとの組み合わせにより、出力を制御します。詳細は「24.12 クロック出力禁止機能」を参照してください。

ビット7	説明			
PSTOP	高速モード、 中速モード、 サブアクティブ モード*	スリープモード、 サブスリープモード*	ソフトウェア スタンバイモード、 ウォッチモード、* 直接遷移*	ハードウェア スタンバイモード
0	出力 (初期値)	出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

【注】 * H8S/2695 には本機能はありません。

- ビット6~4: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

- ビット3: 周波数逡倍率切り替えモード選択 (STCS)

STCSはPLL回路の周波数逡倍率変更時の動作を選択します。

ビット3	説明
STCS	
0	指定した逡倍率は、ソフトウェアスタンバイモード、ウォッチモード*、サブアクティブモード*に遷移後に有効 (初期値)
1	指定した逡倍率は、STC ビットの書き換え直後に有効

- ビット2～0：システムクロックセレクト2～0（SCK2～SCK0）

高速モード、中速モード、およびサブアクティブモード*でのバスマスタのクロックを選択します。

なお、ウォッチモード*、サブアクティブモード*に遷移して動作させる場合には、SCK2～SCK0すべて0に設定してください。

【注】 * H8S/2695 には本機能はありません。

ビット2	ビット1	ビット0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

24.2.3 ローパワーコントロールレジスタ（LPWRCR）

〔H8S/2633グループ、H8S/2633R〕

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	SUBSTP	RFCUT	-	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

〔H8S/2695〕

ビット：	7	6	5	4	3	2	1	0
	- *	- *	- *	- *	- *	-	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * H8S/2695では書き込みを行う場合は0を書き込んでください。

LPWRCR は 8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

LPWRCR はパワーオンリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは初期化されません。ここでは、ビット 7～2 についてのみ説明します。その他のビットについては、「23A.2.2、23B.2.2 ローパワーコントロールレジスタ（LPWRCR）」を参照してください。

• ビット7：ダイレクトトランスファオンフラグ（DTON）

SLEEP命令実行による低消費電力遷移時に、高速モード、中速モードとサブアクティブモード*の各モード間を直接遷移するかどうかを指定します。SLEEP命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

【注】 * H8S/2695 には本機能はありません。

ビット7	説明
DTON	
0	<ul style="list-style-type: none"> 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*¹*²に遷移 サブアクティブモード*²で SLEEP 命令を実行したとき、サブスリープモード*²、またはウォッチモード*²に遷移 (初期値)
1	<ul style="list-style-type: none"> 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、サブアクティブモード*¹*²に直接遷移*²、またはスリープモード、ソフトウェアスタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

【注】 *1 ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

*2 H8S/2695 には本機能はありません。

• ビット6：ロースピードオンフラグ（LSON）

SLEEP命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。また、ウォッチモード*を解除時に、高速モードに遷移するかサブアクティブモード*²に遷移するかを制御します。

ビット6	説明
LSON	
0	<ul style="list-style-type: none"> 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*¹*²に遷移 サブアクティブモード*²で SLEEP 命令を実行したとき、ウォッチモード*²に遷移、または高速モードに直接遷移*² ウォッチモード解除後に高速モードに遷移 (初期値)
1	<ul style="list-style-type: none"> 高速モードで SLEEP 命令を実行したとき、ウォッチモード*²、またはサブアクティブモード*²に遷移 サブアクティブモード*²で SLEEP 命令を実行したとき、サブスリープモード*²、またはウォッチモード*²に遷移 ウォッチモード*²解除後にサブアクティブモード*²に遷移

【注】 *1 ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

*2 H8S/2695 には本機能はありません。

- ビット5：ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたサブクロック (SUB) を、システムクロック発振器より生成されたクロック () により、サンプリングする周波数を選択します。 = 5MHz以上のときは、0をセットしてください。

ビット5	説 明	
NESEL		
0	の32分周クロックでサンプリング	(初期値)
1	の4分周クロックでサンプリング	

- ビット4：サブクロックイネーブル (SUBSTP)

サブクロック生成の許可または禁止を制御します。

ビット4	説 明	
SUBSTP		
0	サブクロック生成を許可	(初期値)
1	サブクロック生成を禁止	

- ビット3：発振回路帰環抵抗制御ビット (RFCUT)

メインクロック発振回路に内蔵されている帰環抵抗のON / OFFを制御します。

ビット3	説 明	
RFCUT		
0	メインクロック発振時帰環抵抗 ON、メインクロック発振停止時帰環抵抗 OFF	(初期値)
1	帰環抵抗を OFF	

- ビット2：リザーブビット

ライト時には0を書き込んでください。

24.2.4 タイマコントロール / ステータスレジスタ (TCSR)

WDT1 の TCSR

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSR は、リード/ライト可能な 8 ビットのレジスタで、WDT1 の TCNT に入力するクロック、モードの選択などを行います。

ここでは、ビット 4 についてのみ説明します。その他のビットの詳細については「15.2.2 タイマコントロール/ステータスレジスタ (TCSR)」を参照してください。

TCSR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

- ビット 4: プリスケーラセレクト (PSS) *²

WDT1のTCNTの入力クロックソースを選択します。

また、低消費電力モード遷移時の動作を制御します。SLEEP命令実行後に遷移する動作モードは、本ビット以外の制御ビットとの組み合わせで決定します。

詳細は、「15.2.2 タイマコントロール/ステータスレジスタ (TCSR)」のクロックセレクト 2~0 の説明および本章を参照してください。

WDT1 の TCSR ビット 4	説 明
PSS* ²	
0	<ul style="list-style-type: none"> • TCNT は ベースのプリスケーラ (PSM) の分周クロックをカウント • 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモードに遷移 (初期値)
1	<ul style="list-style-type: none"> • TCNT は SUB ベースのプリスケーラ (PSS) の分周クロックをカウント • 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ウォッチモード*¹、サブアクティブモード*¹に遷移 • サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、ウォッチモード、高速モードに遷移

【注】 *1 ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

*2 H8S/2695 で TCSR1 レジスタの PSS ビットに書き込みを行う場合は必ず 0 を書き込んでください。

24.2.5 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRA

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W							

MSTPCRB

ビット：	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

MSTPCRC

ビット：	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W							

MSTPCRは8ビットのリード/ライト可能な3本のレジスタで、モジュールストップモードの制御を行います。MSTPCRは、リセットまたはハードウェアスタンバイモード時にH'FFFFFFに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

- MSTPCRA、MSTPCRB、MSTPCRCビット7~0：モジュールストップ
(MSTPA7~0、MSTPB7~0、MSTPC7~0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表24.4を参照してください。

説明	
MSTPCRA、MSTPCRB、 MSTPCRC、ビット7~0	
MSTPA7~0、MSTPB7~0、 MSTPC7~0	
0	モジュールストップモード解除 (MSTPA7、MSTPA6の初期値)
1	モジュールストップモード設定 (MSTPA5~0、MSTPB7~0、MSTPC7~0の初期値)

24.3 中速モード

高速モード時に SCKCR の SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2~SCK0 ビットで指定した動作クロック（ $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 、 $1/32$ ）で動作します。CPU 以外のバスマスタ（DMAC、DTC）も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック（ ）で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $1/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR (WDT1) の PSS ビット=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマーのオーバーフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 24.2 に示します。

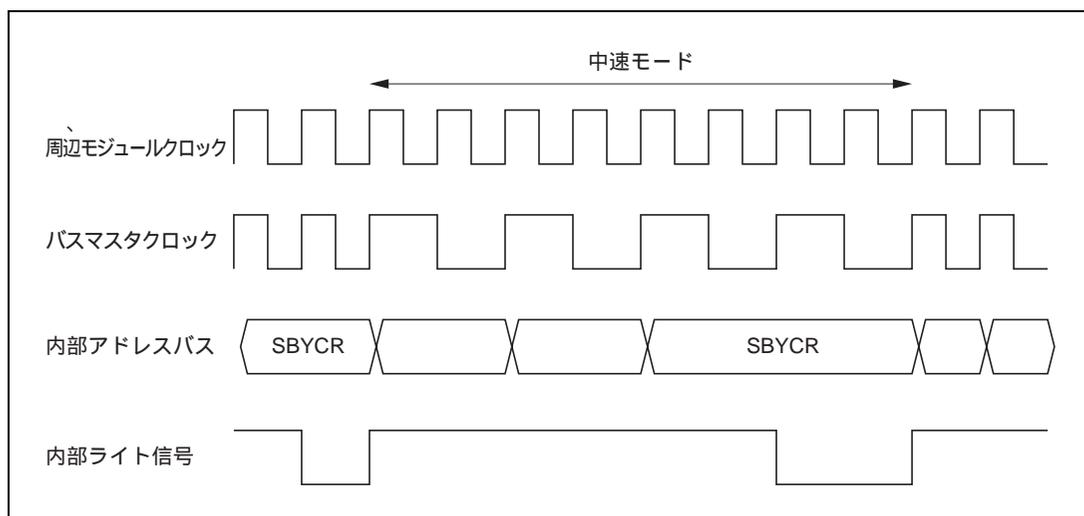


図 24.2 中速モードの遷移・解除タイミング

24.4 スリープモード

24.4.1 スリープモード

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

24.4.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

(2) RES、MRES 端子による解除

$\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.5 モジュールストップモード

24.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 24.4 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI、A/D 変換器、14 ビット PWM* を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC*、DTC*を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

【注】 * H8S/2695 には本機能はありません。

表 24.4 MSTP ビットと内蔵周辺機能の対応

レジスタ名	ビット名	モジュール
MSTPCRA	MSTPA7	DMA コントローラ (DMAC) * ²
	MSTPA6	データ転送コントローラ (DTC) * ²
	MSTPA5	16 ビットタイマパルスユニット (TPU)
	MSTPA4	8 ビットタイマ (TMR0、TMR1) * ²
	MSTPA3	プログラマブルパルスジェネレータ (PPG) * ²
	MSTPA2	D/A 変換器 (チャンネル 0、1) * ²
	MSTPA1	A/D 変換器
	MSTPA0	8 ビットタイマ (TMR2、TMR3) * ²
MSTPCRB	MSTPB7	シリアルコミュニケーションインタフェース 0 (SCI0)
	MSTPB6	シリアルコミュニケーションインタフェース 1 (SCI1)
	MSTPB5	シリアルコミュニケーションインタフェース 2 (SCI2)
	MSTPB4	I ² C バスインタフェース 0 (IIC0) * ²
	MSTPB3	I ² C バスインタフェース 1 (IIC1) * ²
	MSTPB2	14 ビット PWM タイマ (PWM0) * ²
	MSTPB1	14 ビット PWM タイマ (PWM1) * ²
	MSTPB0* ¹	
MSTPCRC	MSTPC7	シリアルコミュニケーションインタフェース 3 (SCI3)
	MSTPC6	シリアルコミュニケーションインタフェース 4 (SCI4)
	MSTPC5	D/A 変換器 (チャンネル 2、3) * ²
	MSTPC4	PC ブレークコントローラ (PBC) * ²
	MSTPC3* ¹	
	MSTPC2* ¹	
	MSTPC1* ¹	
	MSTPC0* ¹	

【注】 *1 MSTPB0、MSTPC3～MSTPC0 には 1 をライトしてください。

*2 H8S/2695 には本機能はありません。

24.5.2 使用上の注意

(1) DMAC、DTC のモジュールストップ (H8S/2695 には DMAC、DTC はありません)

DMAC、DTC の動作状態によっては、MSTPA7、MSTPA6 ビットは 1 にセットされない場合があります。DMAC または DTC のモジュールストップモードの設定は、それぞれ起動されない状態で行ってください。

詳細は「第 8 章 DMA コントローラ (DMAC)」、「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

(2) 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

(3) MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

(4) サブアクティブモード時の I/O ポートリード

サブアクティブモード動作中に PORT D、E を除く I/O ポート端子の状態をリードすると常に“1”が読み出されます。出力ポートとしての使用は可能です。

サブアクティブモード動作中に端子の状態を検出する方法を以下に示します。

PORT D、E を入力ポートとして使用してください。

外部割り込み入力 (IRQ0-7) を使用してください。

24.6 ソフトウェアスタンバイモード

24.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR (WDT1) の PSS=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI、A/D 変換器、14 ビット PWM を除く) と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態となります。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

24.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$)、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

NMI、IRQ0 ~ IRQ7 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、IRQ0 ~ IRQ7 割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ IRQ0 ~ IRQ7 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

(2) $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上、H8S/2633R、H8S/2695 の場合 5ms 以上となるように STS2 ~ STS0 ビットを設定してください。

表 24.5 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

表 24.5 発振安定時間の設定

STS 2	ST S1	ST S0	待機時間	25M Hz	20M Hz	16M Hz	12M Hz	10M Hz	8MH z	6MH z	4MH z	2MH z	単 位
0	0	0	8192 ステート	0.32	0.41	0.51	0.65	0.8	1.0	1.3	2.0	4.1	ms
		1	16384 ステート	0.65	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	1.3	1.6	2.0	2.7	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	2.6	3.3	4.1	5.5	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	5.2	6.6	8.2	10.9	13.1	16.4	21.8	32.8	65.5	μs
		1	262144 ステート	10.4	13.1	16.4	21.8	26.2	32.8	43.6	65.6	131. 2	
	1	0	リザーブ	-	-	-	-	-	-	-	-	-	
		1	16 ステート (設定禁止)	0.6	0.8	1.0	1.3	1.6	2.0	1.7	4.0	8.0	

: 推奨設定時間

(2) 外部クロックの場合

PLL 回路の安定時間が必要になります。2ms 以上となるように待機時間を設定してください。

24.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

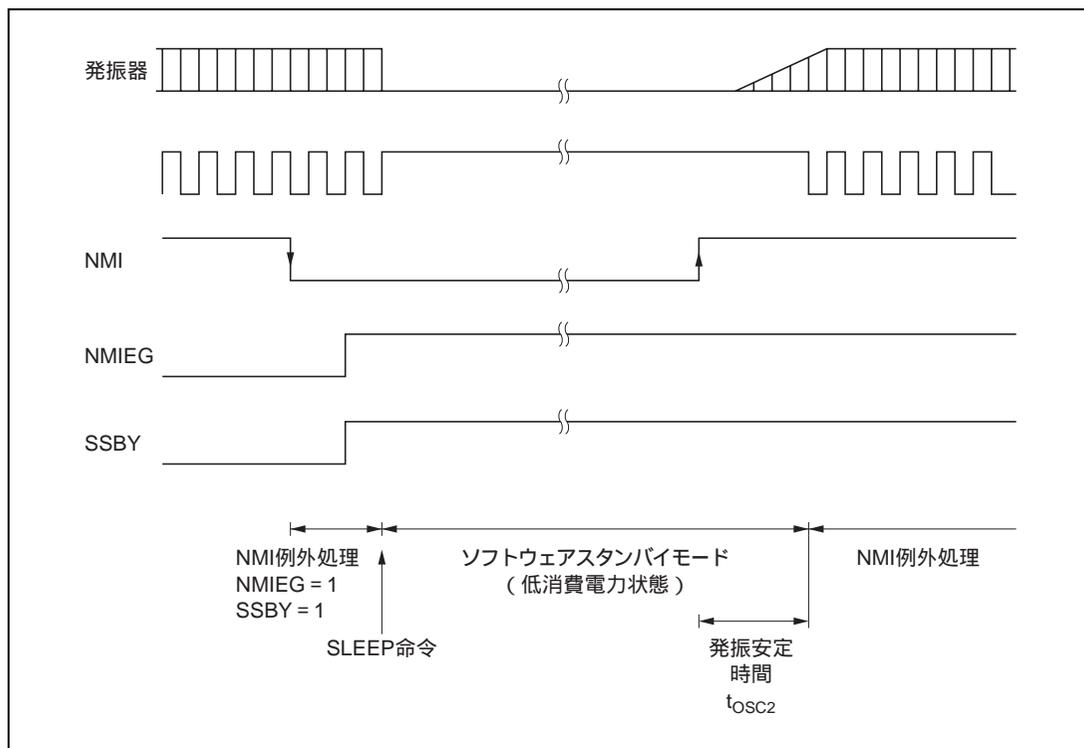


図 24.3 ソフトウェアスタンバイモードの応用例

24.6.5 使用上の注意

(1) I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

(2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

(3) ライトデータバッファ機能

ライトデータバッファ機能とソフトウェアスタンバイモードは同時には使用できません。

ライトデータバッファ機能を使用している場合、ソフトウェアスタンバイモードに遷移する前に BCRL の WDBE ビットを 0 にクリアしてライトデータバッファ機能を解除してください。さらに外部アドレスをリードするなどして外部ライトが終了したことを確認してから SLEEP 命令を実行し、ソフトウェアスタンバイモードに遷移してください。

ライトデータバッファ機能については「7.9 ライトデータバッファ機能」を参照してください。

24.7 ハードウェアスタンバイモード

24.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 8ms 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

24.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 24.4 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

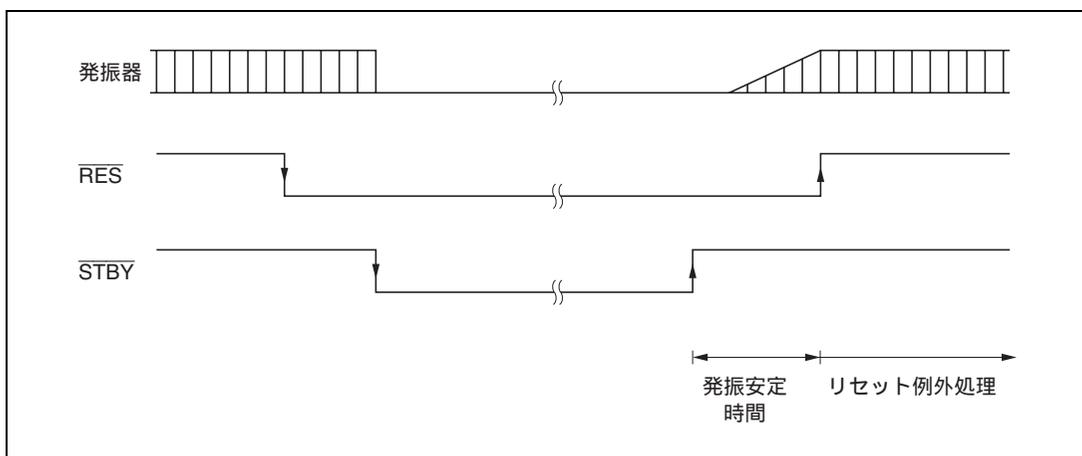


図 24.4 ハードウェアスタンバイモードのタイミング

24.8 ウォッチモード (H8S/2695 には本機能はありません)

24.8.1 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 0、TCSR (WDT1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT1 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI、A/D 変換器、14 ビット PWM を除く) と I/O ポートの状態は保持されます。

24.8.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOV11 割り込み、NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$)、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、ウォッチモードは解除され、LPWRCR の LSON ビット = 0 のときは高速モードあるいは中速モードに、LSON ビット = 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2 ~ STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「24.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

(2) $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子による解除については、「24.6.2 ソフトウェアスタンバイモードの解除 (2) $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.8.3 使用上の注意

(1) I/O ポートの状態

ウォッチモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

(2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

24.9 サブスリープモード (H8S/2695 には本機能はありません)

24.9.1 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビット = 0、LPWRCR の LSON ビット = 1、TCSR (WDT1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR0 ~ TMR3、WDT0、WDT1 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI、A/D 変換器、14 ビット PWM を除く) と I/O ポートの状態は保持されます。

24.9.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み (内蔵周辺機能からの割り込み、NMI 端子、 $\overline{IRQ0} \sim \overline{IRQ7}$)、 \overline{RES} 、 \overline{MRES} 、または \overline{STBY} 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{IRQ0} \sim \overline{IRQ7}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

(2) \overline{RES} 、 \overline{MRES} 端子による解除

\overline{RES} 、 \overline{MRES} 端子による解除については、「24.6.2 ソフトウェアスタンバイモードの解除 (2) \overline{RES} 、 \overline{MRES} 端子による解除」を参照してください。

(3) \overline{STBY} 端子による解除

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.10 サブアクティブモード (H8S/2695 には本機能はありません)

24.10.1 サブアクティブモード

高速モードにおいて、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=1、TCSR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行すると、CPUはサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCRのLSONビット=1の状態であれば、サブアクティブモードに遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPUはサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR0~TMR3、WDT0、WDT1以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SCKCRのSCK2~SCK0の各ビットを必ず0としてください。

24.10.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令、 $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) SLEEP命令による解除

SBYCRのSSBYビット=1、LPWRCRのDTONビット=0、TCSR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TCSR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行すると、サブスリープモードに遷移します。また、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=0、TCSR(WDT1)のPSSビット=1の状態ではSLEEP命令を実行すると、高速モード(SCK0~SCK2がすべて0)に直接遷移します。

直接遷移の詳細は「24.11 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子による解除については、「24.6.2 ソフトウェアスタンバイモードの解除(2) $\overline{\text{RES}}$ 、 $\overline{\text{MRES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

24.11 直接遷移 (H8S/2695 には本機能はありません)

24.11.1 直接遷移の概要

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

(1) 高速モードからサブアクティブモードへの直接遷移

高速モードで SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 1、DTON ビット = 1、TSCR (WDT1) の PSS ビット = 1 にセットした状態で SLEEP 命令を実行するとサブアクティブモードに遷移します。

(2) サブアクティブモードから高速モードへの直接遷移

サブアクティブモードで SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、DTON ビット = 1、TSCR (WDT1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、SBYCR の STS2 ~ STS0 により設定された時間を経過した後、直接高速モードに遷移します。

24.12 クロック出力禁止機能

SCKCR の PSTOP ビット、対応するポートの DDR により、クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で クロックは停止し、出力は High レベルになります。PSTOP を 0 にクリアした状態では、クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、クロック出力は禁止され、入力ポートになります。表 24.6 に各処理状態における 端子の状態を示します。

本 LSI に内蔵している PLL 回路を使用し、発振子の周波数を低くしたり、外部に クロック出力を禁止させることでも不要輻射ノイズ*を下げる効果があります。つきましては、ユーザのシステムボード設計において十分検討してください。

【注】 * 不要輻射ノイズ：EMI (Electro Magnetic Interference)

表 24.6 各処理状態における 端子の状態

DDR	0	1	
PSTOP	-	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード、 ウォッチモード*、 直接遷移*	ハイインピーダンス	High 固定	
スリープモード、 サブスリープモード*	ハイインピーダンス	出力	High 固定
高速モード、 中速モード、 サブアクティブモード*	ハイインピーダンス	出力	High 固定

【注】 * H8S/2695 には本機能はありません。

24.13 使用上の注意

(1) DMAC / DTC の起動とサブアクティブモード / ウォッチモードの遷移

サブアクティブモード、ウォッチモードに遷移する場合は、DMAC / DTC をモジュールストップ (MSTPCR の当該ビットに “1” ライト) 設定し、当該ビットの “1” リード確認後、モード遷移してください。

またモジュールストップの解除 (MSTPCR の当該ビットに “0” ライト) は、サブアクティブモードからアクティブモードに遷移後に実行してください。

なお、サブアクティブモード中に DMAC / DTC 起動要因が発生した場合、アクティブモードに遷移後モジュールストップ解除後に当該 DMAC / DTC が起動されます。

(2) 割り込み要因とサブアクティブモード / ウォッチモードの遷移

サブアクティブモードで動作停止する内蔵周辺モジュール (DMAC、DTC、TPU、PCB、IIC) は、当該割り込みをサブアクティブモードでクリアできません。したがって、割り込みが要求された状態でサブアクティブモードに遷移すると、CPU の割り込み要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにした後、SLEEP 命令実行しサブアクティブモード / ウォッチモードに遷移してください。

(3) LPWRCR の SUBSTP ビットが 1 にセット (サブクロック生成を禁止) された状態で、サブアクティブ / サブスリープ / ウォッチモードに遷移した場合は、動作の保証ができません。事前に SUBSTP ビットが 0 であることを確認してから、サブアクティブ / サブスリープ / ウォッチモードに遷移してください。

25A. 電気的特性 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F)

25A.1 絶対最大定格

絶対最大定格を表 25A.1 に示します。以下、注釈のない場合、 PV_{CC} は PV_{CC1} と PV_{CC2} の両方を指します。

表 25A.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	-0.3 ~ +4.3	V
	$PLL_{V_{CC}}$		
	PV_{CC1-2}	-0.3 ~ +7.0	V
入力電圧 (XTAL、EXTAL、OSC1、OSC2)	V_{in}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 4、9)	V_{in}	-0.3 ~ $AV_{CC} + 0.3$	V
入力電圧 (XTAL、EXTAL、OSC1、OSC2、ポート 4、9 以外)	V_{in}	-0.3 ~ $PV_{CC} + 0.3$	V
リファレンス電源電圧	V_{ref}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75	
		広温度範囲仕様品 : -40 ~ +85	
保存温度	T_{stg}	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

25A.2 DC 特性

DC 特性を表 25A.2 に示します。また、出力許容電流値を表 25A.3 に示します。

表 25A.2 DC 特性 (1)

条件 : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、
 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)*1

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	IRQ0 ~ IRQ7	V_T^-	1.0			V	
		V_T^+			$PV_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	0.4				
入力 High レベル電圧	RES、STBY、NMI、 FWE ¹⁵ 、MD2 ~ MD0 EXTAL、OSC1 ポート 1、3、7、 A ~ G ポート 4、9	V_{IH}	$PV_{CC} - 0.7$		$PV_{CC} + 0.3$	V	
			$V_{CC} \times 0.8$		$V_{CC} + 0.3$		
			2.2		$PV_{CC} + 0.3$		
			$AV_{CC} \times 0.7$		$AV_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、NMI、 FWE ¹⁵ 、MD2 ~ MD0 EXTAL、OSC1 ポート 1、3、4、7、9、 A ~ G	V_{IL}	- 0.3		0.5	V	
			- 0.3		$V_{CC} \times 0.2$		
			- 0.3		0.8		
出力 High レベル電圧	P34、35 を除く 全出力端子 P34、35 P34、35 を除く 全出力端子	V_{OH}	$PV_{CC} - 0.5$			V	$I_{OH} = - 200 \mu A$
			$PV_{CC} - 2.5$			V	$I_{OH} = - 100 \mu A$
			3.5			V	$I_{OH} = - 1mA$
出力 Low レベル電圧	全出力端子	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
入力リーク電流	RES、FWE ¹⁵	$ I_{in} $			1.0	μA	$V_{in} = 0.5 \sim PV_{CC} - 0.5$
	STBY、NMI、 MD2 ~ MD0				1.0		
	ポート 4、9				1.0		
スリープステート リーク電流 (オフ状態)	ポート 1、3、7、 ポート A ~ G	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim PV_{CC} - 0.5$
入力プルアップ MOS 電流	ポート A ~ E	$-I_p$	50		300	μA	$V_{in} = 0V$
入力容量	RES	C_{in}			30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				30		
	RES、NMI 以外の 全入力端子				15		

項目	記号	min	typ	max	単位	測定条件	
消費電流* ²	通常動作時	I_{CC} * ⁴		72	85	mA	f = 25MHz
			$V_{CC} = 3.3V$	$V_{CC} = 3.6V$			
	スリープ時			58	75	mA	f = 25MHz
			$V_{CC} = 3.3V$	$V_{CC} = 3.6V$			
	全モジュール ストップ時			50		mA	f = 25MHz、 $V_{CC} = 3.3V$ (参考値)
	中速モード (/32) 時			40		mA	f = 25MHz、 $V_{CC} = 3.3V$ (参考値)
	サブアクティブ モード時			120	200	μA	32.768kHz 水晶発振子使用時
			$V_{CC} = 3.0V$				
ポート 電源電流* ²	動作中	PI_{CC}		17	25	mA	
			$PV_{CC} = 5.0V$				
	サブクロック 動作中				50	μA	
	スタンバイ時			0.01	5.0	μA	$T_a = 50$
	ウォッチモード時				20		$50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}		0.6	2.0	mA	$AV_{CC} = 5.0V$
	A/D、D/A 変換 待機時			0.01	5.0	μA	
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}		4.0	5.0	mA	$V_{ref} = 5.0V$
	A/D、D/A 変換 待機時			0.01	5.0	μA	
RAM スタンバイ電圧* ³	V_{RAM}	2.0			V		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AV_{CC}、V_{ref}、AV_{SS} 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AV_{CC}、V_{ref} 端子は PV_{CC} に接続するなどの方法で、4.5V ~ 5.5V の電圧を印加してください。このとき、V_{ref}、AV_{CC} としてください。

*2 消費電流値は、V_{IH} = V_{CC} (EXTAL、OSC1)、AV_{CC} (ポート 4、9)、PV_{CC} (その他)、V_{IL} = 0V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM} V_{CC} < 3.0V のとき、V_{IH} min = V_{CC} - 0.1V、V_{IL} max = 0.1V とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.93 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.77 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

*5 FWE 端子は、フラッシュメモリ版のみ対応します。

表 25A.2 DC 特性 (2)

条件: $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*7}$ 、 $V_{ref} = 3.6V - AV_{CC}^{*8}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)*¹

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	V_T^-	$PV_{CC} \times 0.2$			V	
	V_T^+			$PV_{CC} \times 0.7$		
	$V_T^+ - V_T^-$	$PV_{CC} \times 0.05$				
入力 High レベル電圧	V_{IH}	$PV_{CC} \times 0.9$		$PV_{CC} + 0.3$	V	
		$V_{CC} \times 0.8$		$V_{CC} + 0.3$		
		$PV_{CC} \times 0.8$		$PV_{CC} + 0.3$		
		$AV_{CC} \times 0.8$		$AV_{CC} + 0.3$		
入力 Low レベル電圧	V_{IL}	-0.3		$PV_{CC} \times 0.1$	V	
		-0.3		$V_{CC} \times 0.2$		
		-0.3		$PV_{CC} \times 0.2$		
		-0.3		$AV_{CC} \times 0.2$		
出力 High レベル電圧	V_{OH}	$PV_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
		$PV_{CC} - 2.5$			V	$I_{OH} = -100 \mu A^{*2}$
		$PV_{CC} - 1.0$			V	$I_{OH} = -1mA$
出力 Low レベル電圧	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
入力リーク電流	$ I_{in} $			1.0	μA	$V_{in} = 0.5 - PV_{CC} - 0.5$
				1.0		
				1.0		
スリープステート リーク電流 (オフ状態)	$ I_{tsl} $			1.0	μA	$V_{in} = 0.5 - PV_{CC} - 0.5$
入力プルアップ MOS 電流	$-I_p$	25		300	μA	$V_{in} = 0V$
入力容量	C_{in}			30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
				30		
				15		

項目	記号	min	typ	max	単位	測定条件	
消費電流*3	通常動作時	I_{CC}^{*5}	40	60	mA	f = 16MHz	
			$V_{CC} = 3.3V$	$V_{CC} = 3.6V$			
	スリープ時			35	45	mA	f = 16MHz
			$V_{CC} = 3.3V$	$V_{CC} = 3.6V$			
	全モジュール ストップ時			30		mA	f = 16MHz、 $V_{CC} = 3.3V$ (参考値)
	中速モード (/32) 時			25			
	サブアクティブ モード時			120	200	μA	32.768kHz 水晶発振子使用時
			$V_{CC} = 3.0V$				
サブスリープ モード時		70	150	μA	32.768kHz 水晶発振子使用時		
	$V_{CC} = 3.0V$						
ウォッチモード時		20	50	μA	32.768kHz 水晶発振子使用時		
	$V_{CC} = 3.0V$						
スタンバイ時		0.1	5.0	μA	$T_a = 50$ 50 < T_a		
			20				
ポート 電源電流*3	動作中	PI_{CC}	10	16	mA		
			$PV_{CC} = 5.0V$				
	サブクロック 動作中				50	μA	
	スタンバイ時 ウォッチモード時			0.01	5.0		
				20			
アナログ 電源電流	A/D、D/A 変換中	AI_{CC}	0.6	2.0	mA	$V_{CC} = 5.0V$	
	A/D、D/A 変換 待機時			0.01			5.0
リファレンス 電源電流	A/D、D/A 変換中	AI_{CC}	4.0	5.0	mA	$AV_{ref} = 5.0V$	
	A/D、D/A 変換 待機時			0.01			5.0
RAM スタンバイ電圧*4	V_{RAM}	2.0			V		

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AVcc、Vref、AVss 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AV_{CC}、V_{ref} 端子は PV_{CC} に接続するなどの方法で、3.3V ~ 5.5V の電圧を印加してください。このとき、V_{ref} AV_{CC} としてください。

*2 P34、P35 を出力端子として使用する場合は、PV_{CC} = 4.5 ~ 5.5V としてください。

*3 消費電流値は、V_{IH} = V_{CC} (EXTAL、OSC1)、AV_{CC} (ポート 4、9)、PV_{CC} (その他)、V_{IL} = 0V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*4 V_{RAM} V_{CC} < 3.0V のとき、V_{IH} min = V_{CC} - 0.1V、V_{IL} max = 0.1V とした場合の値です。

*5 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.93 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \text{ max.} = 1.0 \text{ (mA)} + 0.77 \text{ (mA / (MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

*6 FWE 端子は、フラッシュメモリ版のみ対応します。

*7 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、AVcc = 3.3 ~ 5.5V

*8 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、Vref = 3.3V ~ AVcc

表 25A.3 出力許容電流値

- 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V - AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	全出力端子	$PV_{CC} = 3.0 \sim 5.5V$			10	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	$PV_{CC} = 3.0 \sim 5.5V$			120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$PV_{CC} = 3.0 \sim 5.5V$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$PV_{CC} = 3.0 \sim 5.5V$			40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25A.3 の値を超えないようにしてください。

*1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V - AV_{CC}$

表 25A.4 バス駆動特性

- 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V - AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	V_T^-	$PV_{CC} \times 0.3$			V	
	V_T^+			$PV_{CC} \times 0.7$		
	$V_T^+ - V_T^-$	0.4				
		0.2				$PV_{CC} = 3.0V \sim 4.5V$
入力 High レベル電圧	V_{IH}	$PV_{CC} \times 0.7$		$PV_{CC} + 0.5$	V	
入力 Low レベル電圧	V_{IL}	-0.5		$PV_{CC} \times 0.3$	V	
出力 Low レベル電圧	V_{OL}			0.7	V	$I_{OL} = 8mA$ 、 $PV_{CC} = 4.5 \sim 5.5V$
				0.4		$I_{OL} = 3mA$ 、 $PV_{CC} = 4.5 \sim 5.5V$
				0.4		$I_{OL} = 1.6mA$ 、 $PV_{CC} = 3.0 \sim 5.5V$
入力容量	C_{in}			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク電流 (オフ状態)	$ I_{TS} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力立ち下がり時間	t_{OH}	$20 + 0.1Cb$		250	ns	

【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V - AV_{CC}$

25A.3 AC 特性

図 25A.1 に AC 測定条件を示します。

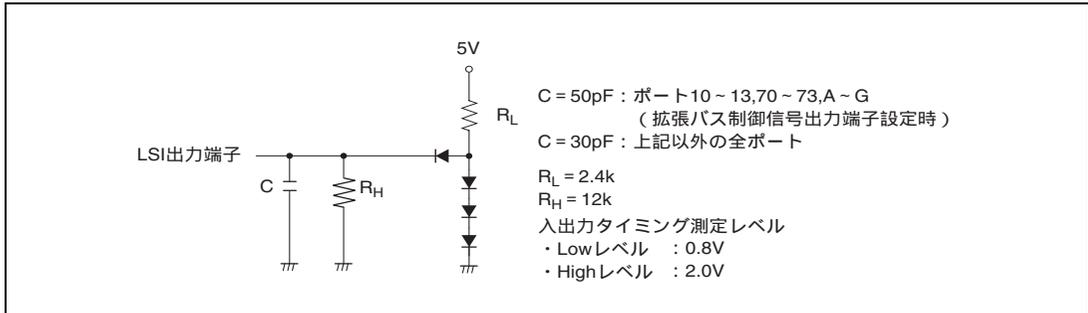


図 25A.1 出力負荷回路

25A.3.1 クロックタイミング

表 25A.5 にクロックタイミングを示します。

表 25A.5 クロックタイミング

条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V - AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 32.768kHz$ 、 $2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 32.768kHz$ 、 $2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		16MHz		25MHz			
		min	max	min	max		
クロックサイクル時間	t_{cyc}	62.5	500	40	500	ns	図 25A.2
クロックハイレベルパルス幅	t_{CH}	18		15		ns	
クロックローレベルパルス幅	t_{CL}	18		15		ns	
クロック立ち上がり時間	t_{Cr}		12		5	ns	
クロック立ち下がり時間	t_{Cf}		12		5	ns	
リセット発振安定時間 (水晶)	t_{osc1}	20		10		ms	図 25A.3
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{osc2}	10		8		ms	図 24.3
外部クロック出力安定遅延時間	t_{DEXT}	2		2		ms	図 25A.3
32kHz クロック発振安定時間	t_{osc3}		2		2	s	
サブクロック発振器発振周波数	f_{SUB}	32.768		32.768		kHz	
サブクロック (f_{SUB}) サイクル時間	t_{SUB}	30.5		30.5		μs	

【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V - AV_{CC}$

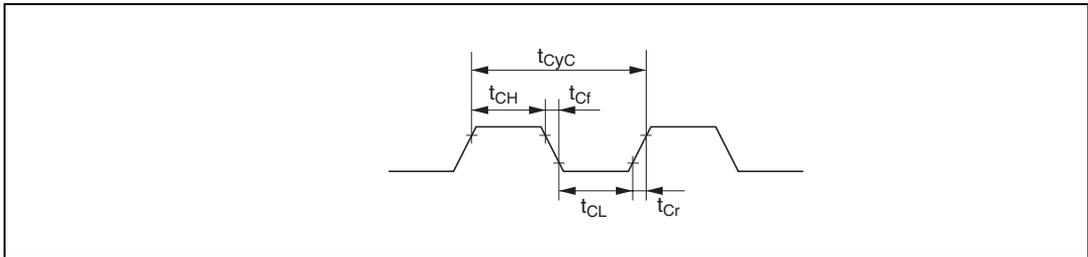


図 25A.2 システムクロックタイミング

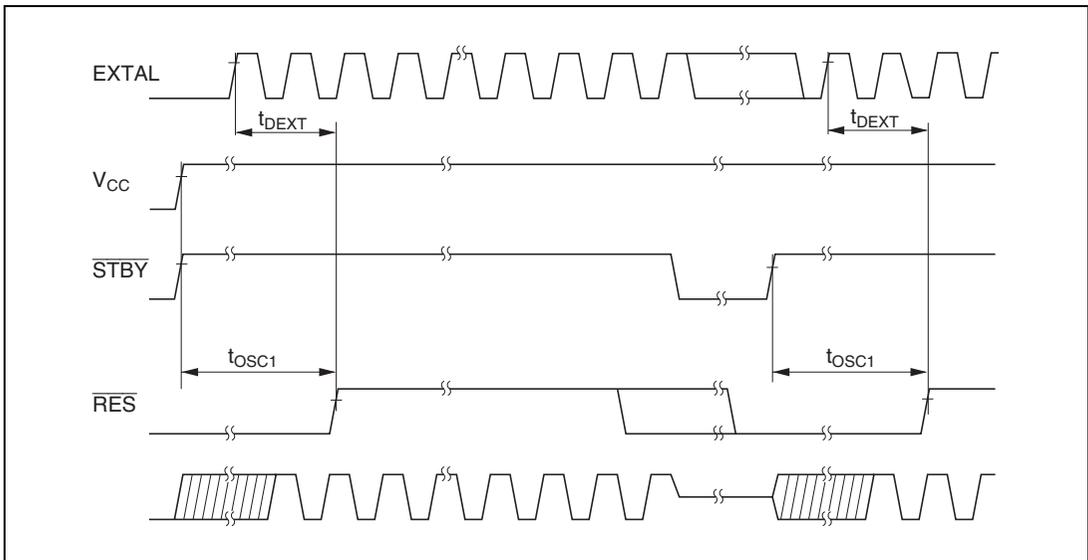


図 25A.3 発振安定時間タイミング

25A.3.2 制御信号タイミング

表 25A.6 に制御信号タイミングを示します。

表 25A.6 制御信号タイミング

- 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V \sim AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
RES セットアップ時間	t_{RESS}	200		200		ns	図 25A.4
RES パルス幅	t_{RESW}	20		20		t_{cyc}	
MRES セットアップ時間	t_{MRESS}	250		250		ns	
MRES パルス幅	t_{MRESW}	20		20		t_{cyc}	
NMI セットアップ時間	t_{NMIS}	250		150		ns	図 25A.5
NMI ホールド時間	t_{NMIH}	10		10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの 復帰時)	t_{NMIW}	200		200		ns	
IRQ セットアップ時間	t_{IRQS}	250		150		ns	
IRQ ホールド時間	t_{IRGH}	10		10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの 復帰時)	t_{IRQW}	200		200		ns	

【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V \sim AV_{CC}$

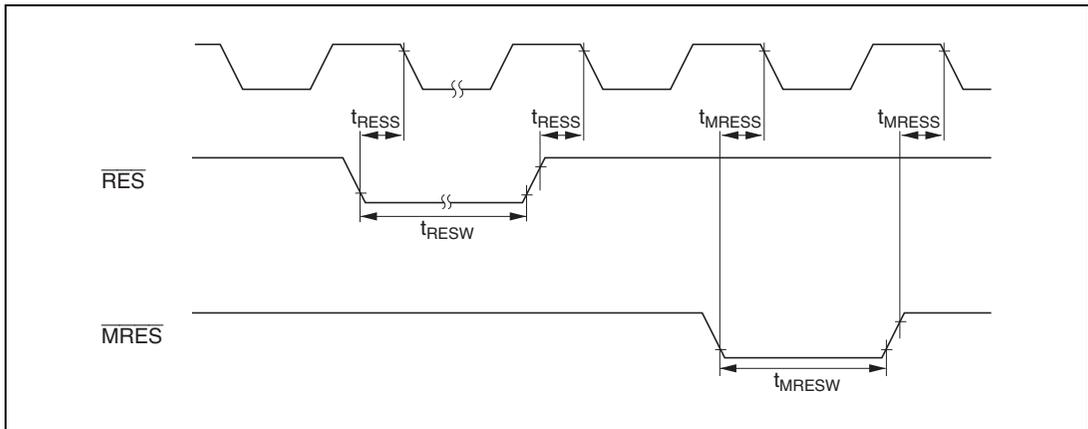


図 25A.4 リセット入力タイミング

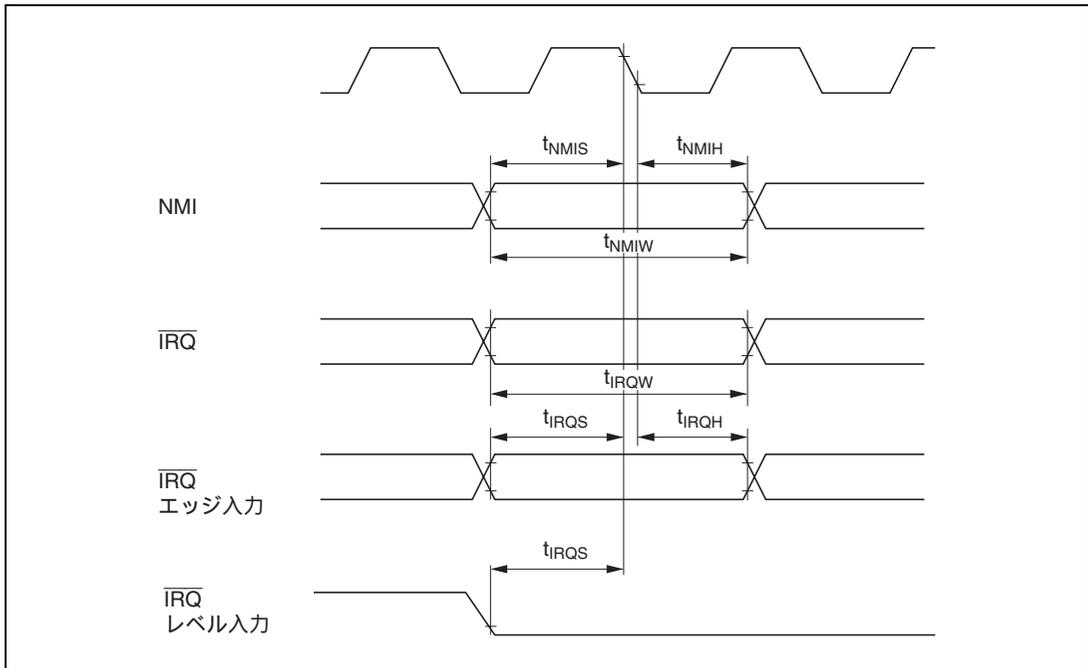


図 25A.5 割り込み入力タイミング

25A.3.3 バスタイミング

表 25A.7 にバスタイミングを示します。

表 25A.7 バスタイミング

- 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V \sim AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
アドレス遅延時間	t_{AD}		30		20	ns	図 25A.6 ~ 図 25A.11
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 8$		ns	
CS 遅延時間 1	t_{CSD1}		30		20	ns	
CS 遅延時間 2	t_{CSD2}		30		18	ns	
AS 遅延時間	t_{ASD}		30		18	ns	
RD 遅延時間 1	t_{RSD1}		30		18	ns	
RD 遅延時間 2	t_{RSD2}		30		18	ns	
リードデータセットアップ時間	t_{RDS}	30		15		ns	
リードデータホールド時間	t_{RDH}	0		0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 35$		$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 35$		$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 35$		$3.0 \times t_{cyc} - 25$	ns	
WR 遅延時間 1	t_{WRD1}		30		18	ns	
WR 遅延時間 2	t_{WRD2}		30		18	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 15$		ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 15$		ns	
ライトデータ遅延時間	t_{WDP}		30		22	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 27$		$0.5 \times t_{cyc} - 15$		ns	
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 8$		ns	
WR セットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
WR ホールド時間	t_{WCH}	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
RAS プリチャージ時間	t_{PCH}	$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 15$		ns	図 25A.11 ~ 図 25A.13
CAS プリチャージ時間 1	t_{CP1}	$1.0 \times t_{cyc} - 20$		$1.0 \times t_{cyc} - 8$		ns	
CAS プリチャージ時間 2	t_{CP2}	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 8$		ns	
CAS 遅延時間 1	t_{CASD1}		30		20	ns	
CAS 遅延時間 2	t_{CASD2}		30		18	ns	
OE 遅延時間 1	t_{OED1}		30		18	ns	
OE 遅延時間 2	t_{OED2}		30		18	ns	
CAS セットアップ時間	t_{CSR}	$0.5 \times t_{cyc} - 25$		$0.5 \times t_{cyc} - 8$		ns	

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
WAIT セットアップ時間	t_{WTS}	40		25		ns	図 25A.8
WAIT ホールド時間	t_{WTH}	10		5		ns	
BREQ セットアップ時間	t_{BROS}	60		30		ns	図 25A.14
BACK 遅延時間	t_{BACD}		30		15	ns	
バスフローティング時間	t_{BZD}		60		40	ns	
BREQO 遅延時間	t_{BROOD}		40		25	ns	図 25A.15

【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V - AV_{CC}$

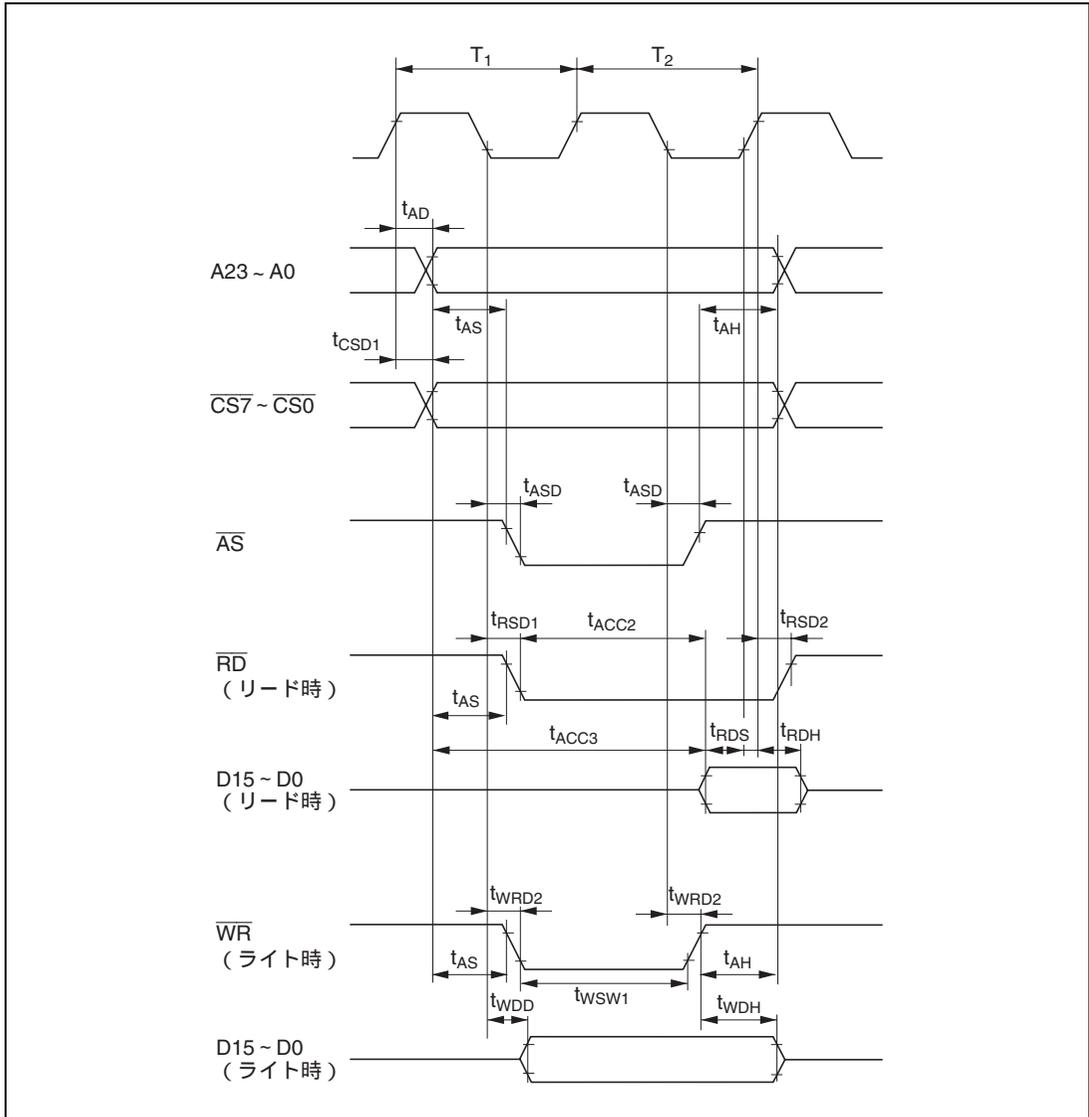


図 25A.6 基本バスタイミング / 2 ステートアクセス

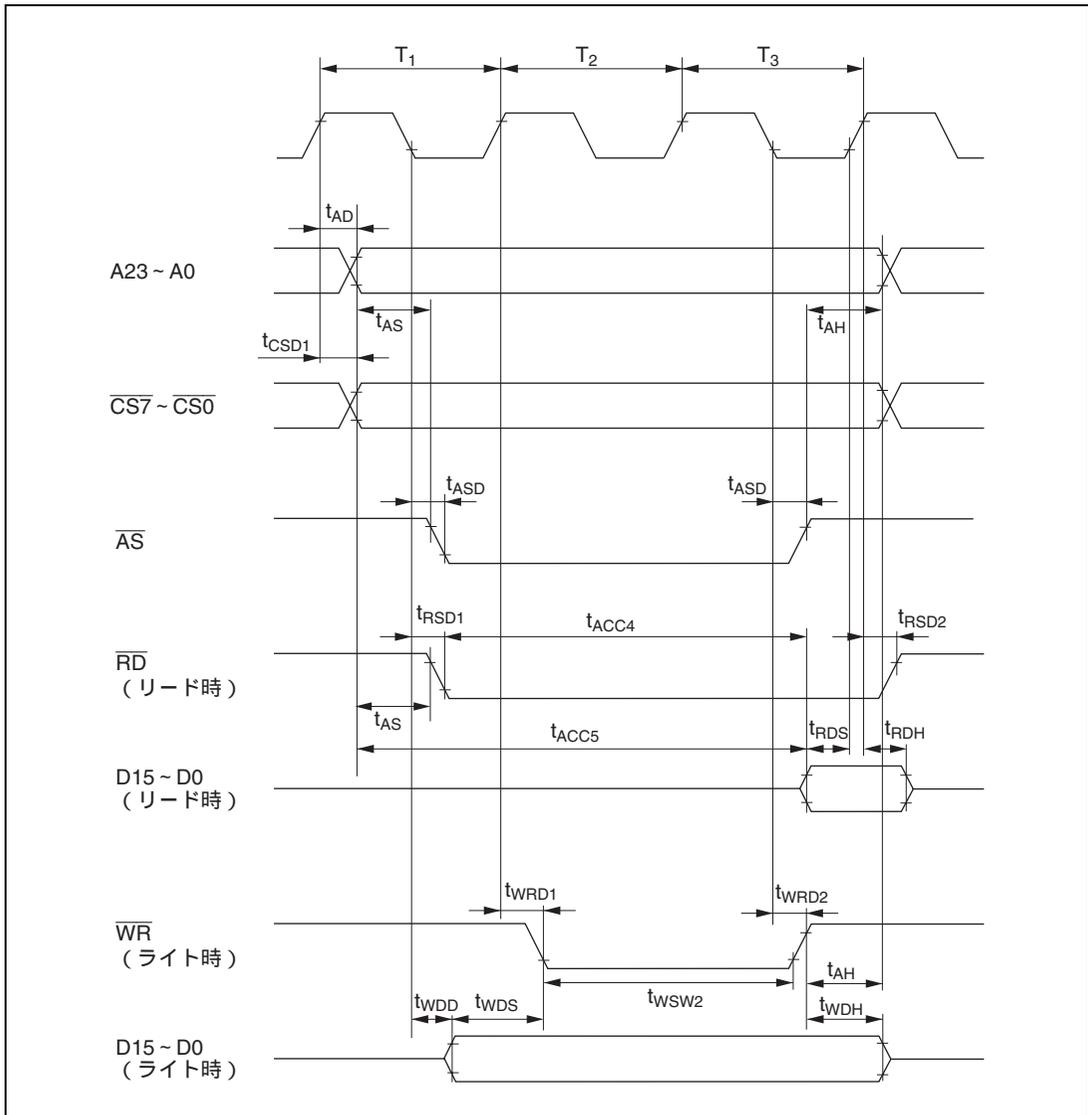


図 25A.7 基本バスタイミング / 3 ステートアクセス

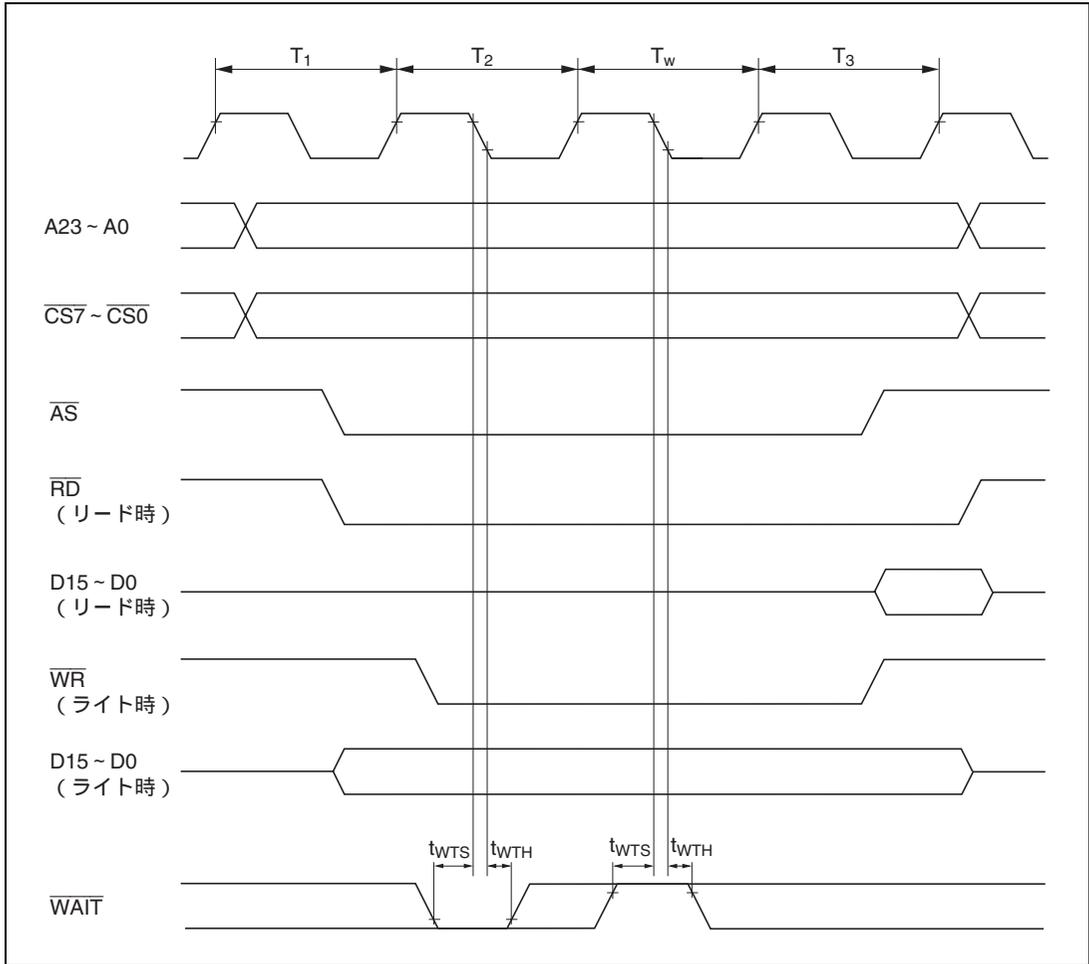


図 25A.8 基本バスタイミング / 3 ステートアクセス 1 ウェイト

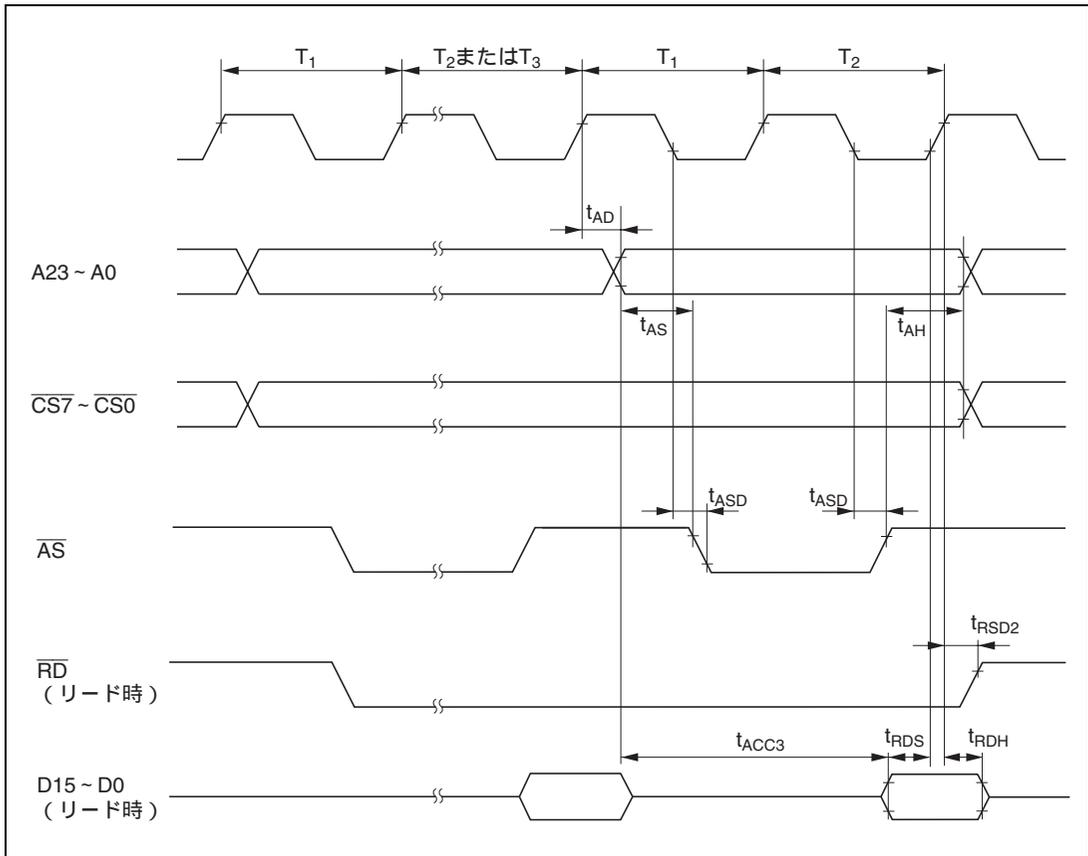


図 25A.9 バースト ROM アクセスタイミング / 2 ステートアクセス

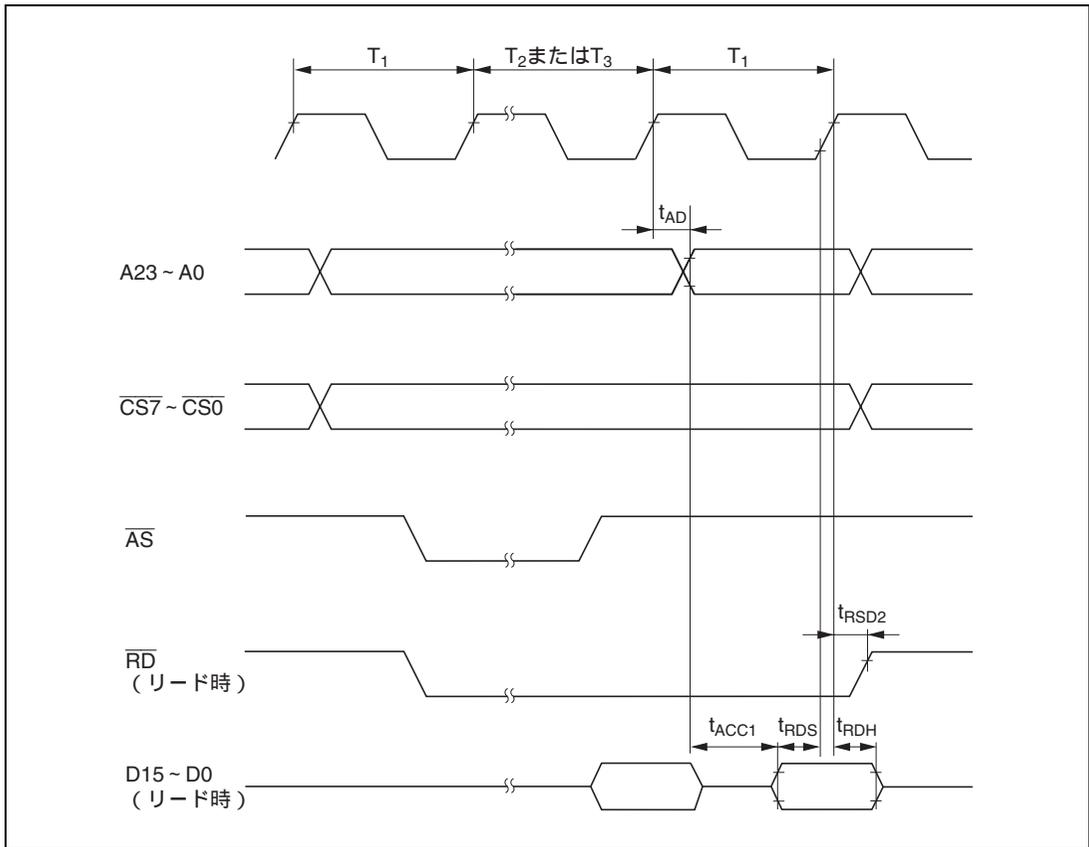


図 25A.10 パースト ROM アクセスタイミング / 1 ステートアクセス

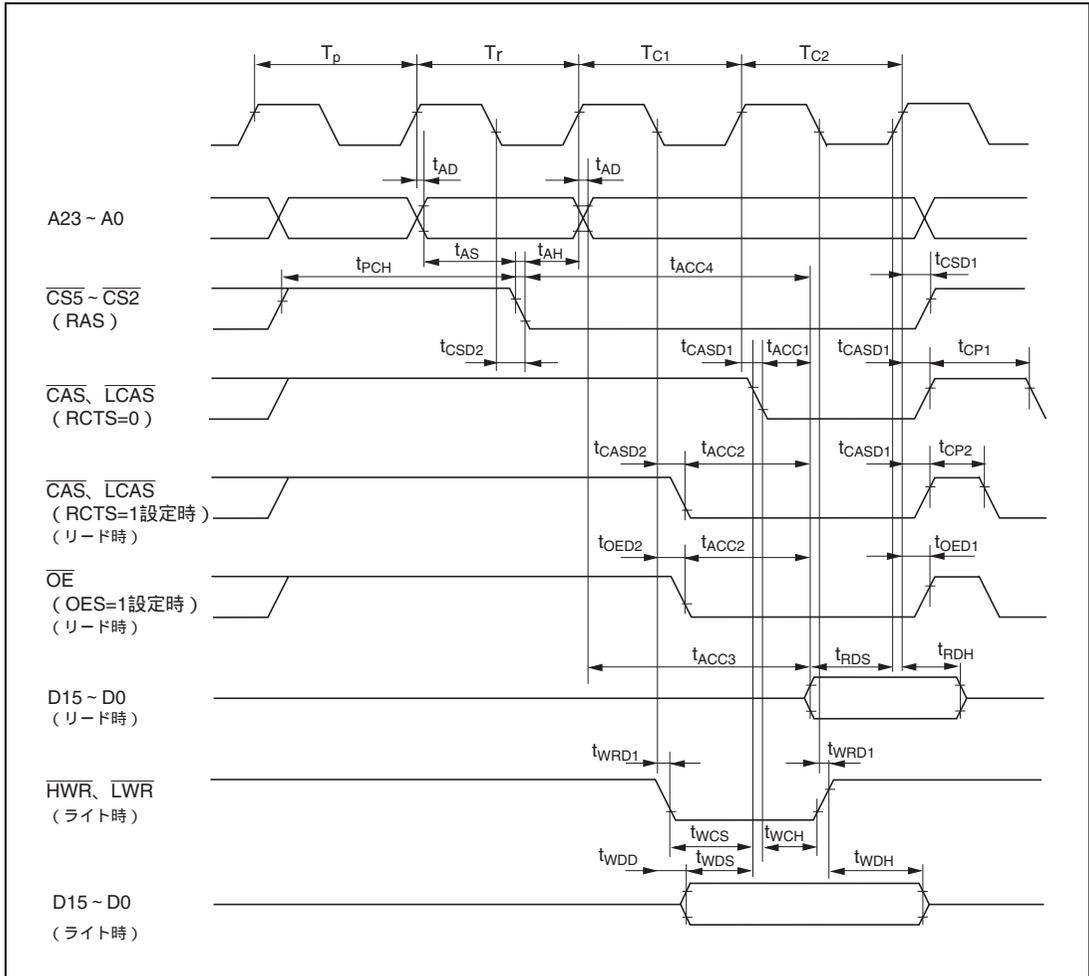


図 25A.11 DRAM アクセスタイミング

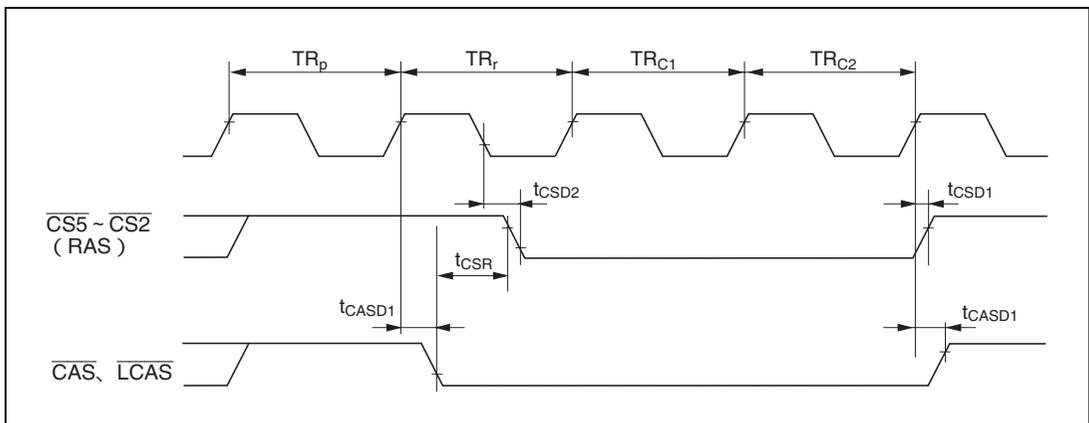


図 25A.12 DRAM CBR リフレッシュタイミング

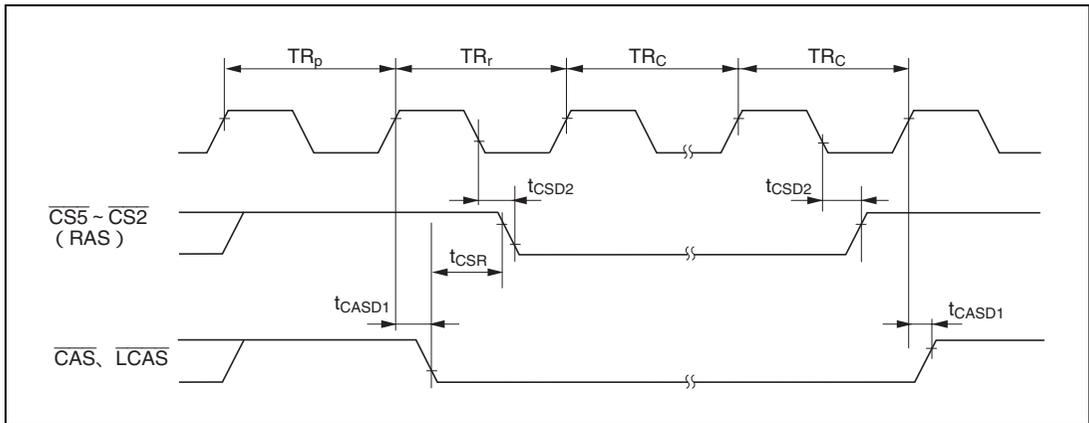


図 25A.13 DRAM セルフリフレッシュタイミング

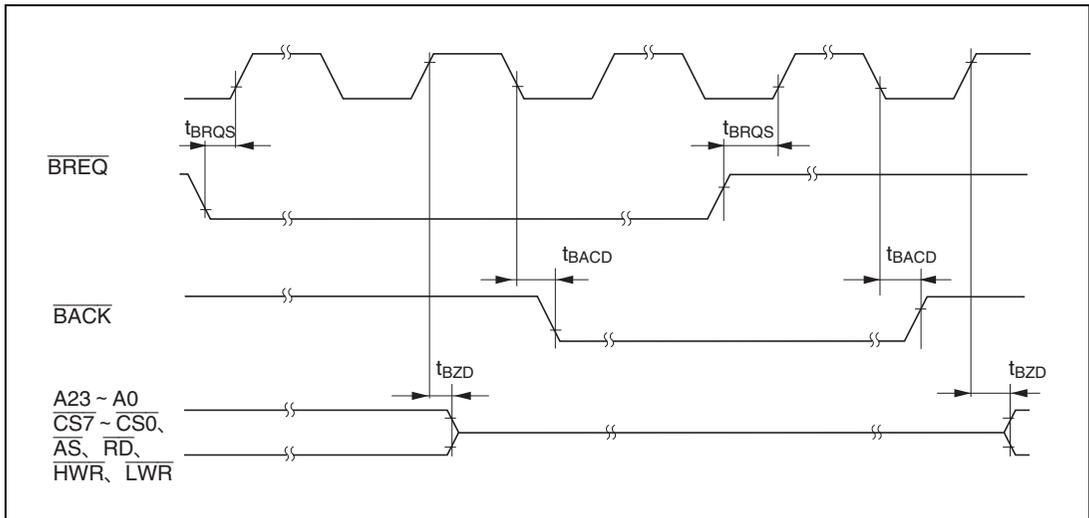


図 25A.14 外部バス権解放タイミング

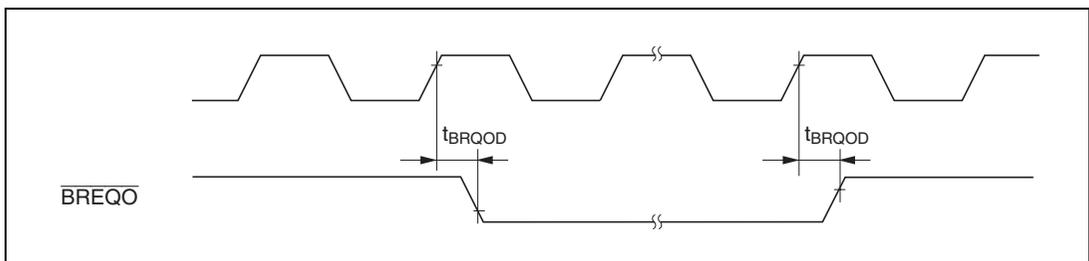


図 25A.15 外部バス権要求出力タイミング

25A.3.4 DMAC タイミング

表 25A.8 に DMAC タイミングを示します。

表 25A.8 DMAC タイミング

- 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V \sim AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f = 2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f = 2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
DREQ セットアップ時間	t_{DROS}	40		25		ns	☒ 25A.19
DREQ ホールド時間	t_{DRQH}	10		10			
TEND 遅延時間	t_{TED}		30		20		☒ 25A.18
DACK 遅延時間 1	t_{DACD1}		30		18	ns	☒ 25A.16
DACK 遅延時間 2	t_{DACD2}		30		18		

- 【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$
 *2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V \sim AV_{CC}$

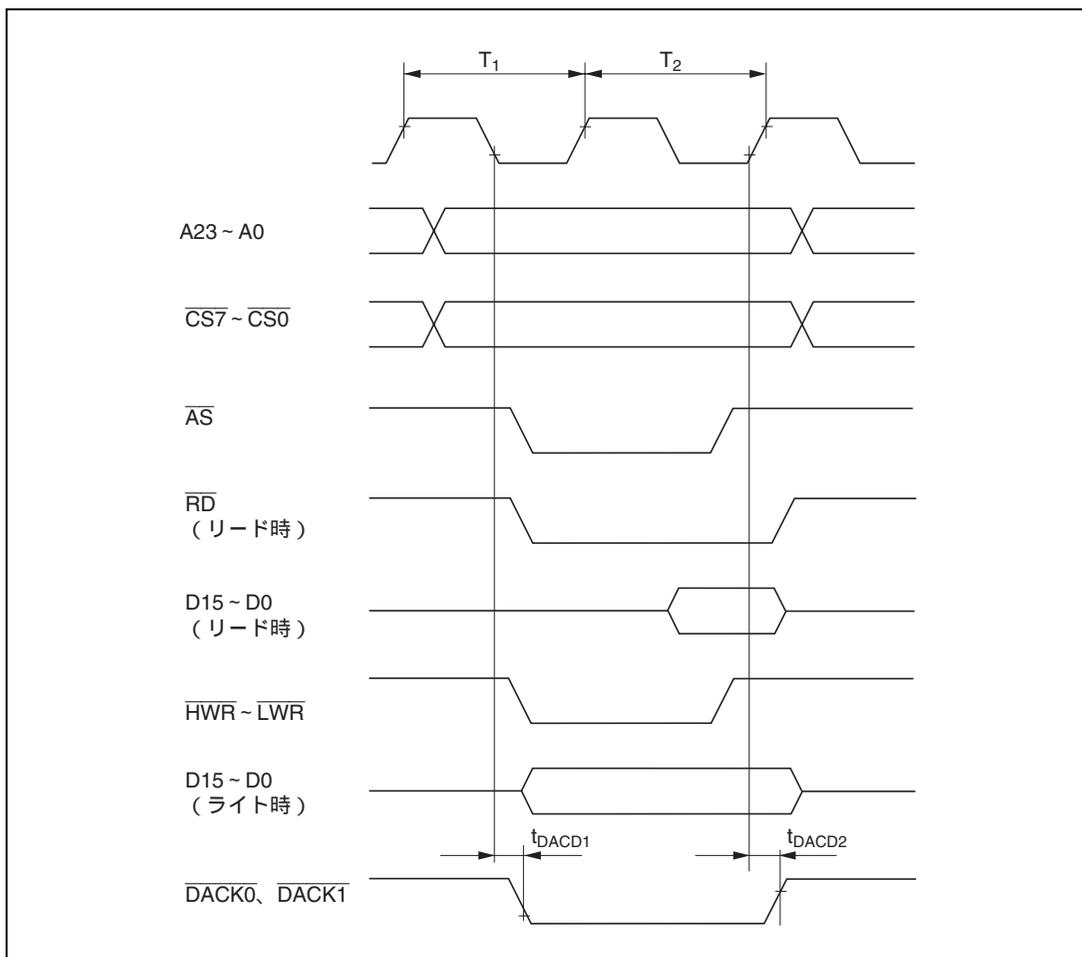


図 25A.16 DMAC シングルアドレス転送タイミング / 2 スタートアクセス

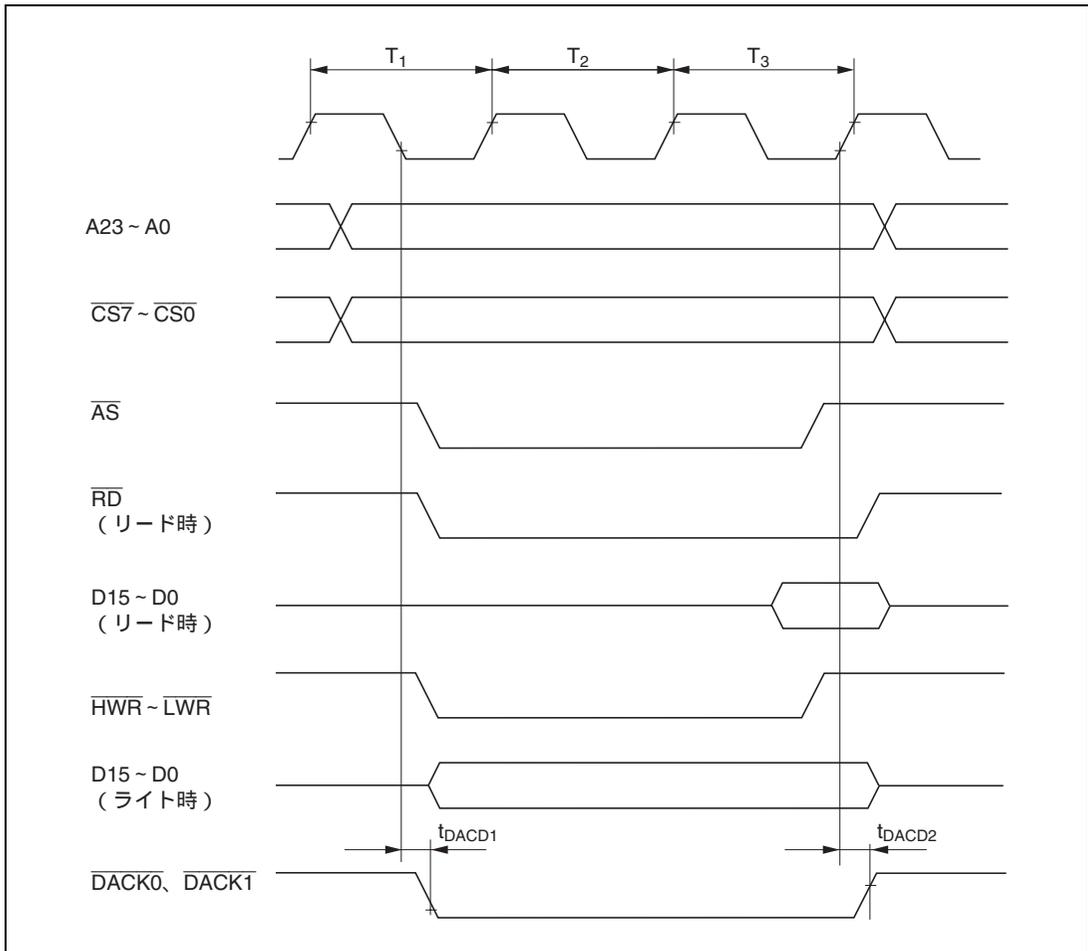


図 25A.17 DMAC シングルアドレス転送タイミング / 3 ステートアクセス

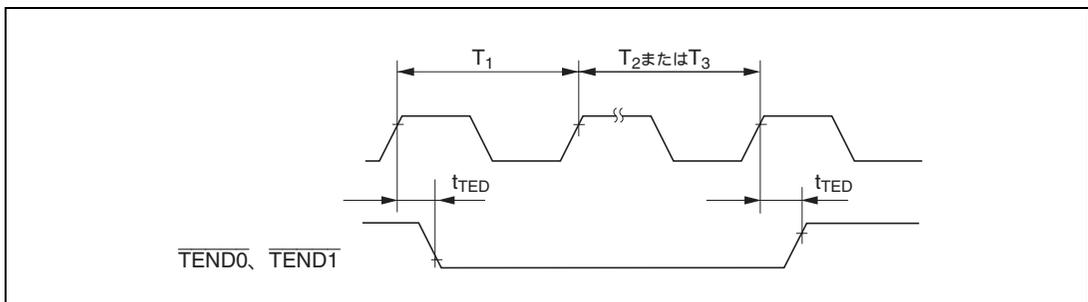


図 25A.18 DMAC TEND 出力タイミング

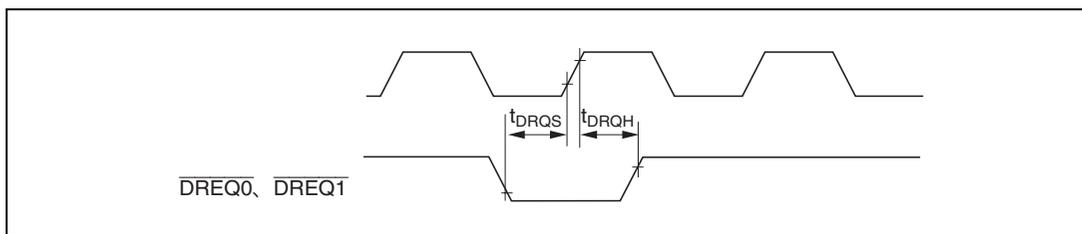


図 25A.19 DMAC DREQ 入力タイミング

25A.3.5 内蔵周辺モジュールタイミング

表 25A.9 に内蔵周辺タイミングを示します。

表 25A.9 内蔵周辺モジュールタイミング

- 条件 A : $V_{CC} = PLL_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*2}$ 、
 $V_{ref} = 3.6V - AV_{CC}^{*3}$ 、 $V_{SS} = AV_{SS} = PLL_{SS} = 0V$ 、 $f_{osc} = 32.768kHz^{*1}$ 、 $2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLL_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLL_{SS} = 0V$ 、 $f_{osc} = 32.768kHz^{*1}$ 、 $2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件 A		条件 B		単位	測定条件	
			min	max	min	max			
I/O ポート	出力データ遅延時間	t_{PVD}		60		40	ns	図 25A.20	
	入力データセットアップ時間	t_{PRS}	40		25				
	入力データホールド時間	t_{PRH}	40		25				
PPG	パルス出力遅延時間	t_{POD}		60		40	ns	図 25A.21	
TPU	タイマ出力遅延時間	t_{TODD}		60		40	ns	図 25A.22	
	タイマ入力セットアップ時間	t_{TICS}	40		25				
	タイマクロック入力セットアップ時間	t_{TCKS}	40		25				
	タイマクロック	単エッジ指定	t_{TCKWH}	1.5		1.5			t_{cyc}
		パルス幅	両エッジ指定	t_{TCKWL}	2.5				
TMR	タイマ出力遅延時間	t_{TMD}		60		40	ns	図 25A.24	
	タイマリセット入力セットアップ時間	t_{TMRS}	40		25				
	タイマクロック入力セットアップ時間	t_{TMCS}	40		25				
	タイマクロック	単エッジ指定	t_{TMCWH}	1.5		1.5			t_{cyc}
		パルス幅	両エッジ指定	t_{TMCWL}	2.5				
WDT0	オーバフロー出力遅延時間	t_{WOVD}		60		40	ns	図 25A.27	
WDT1	BUZZ 出力遅延時間	t_{BUZD}		60		40	ns	図 25A.28	
PWM	パルス出力遅延時間	t_{PWOD}		60		40	ns	図 25A.29	
SCI	入カクロック サイクル	調歩同期	t_{Soyc}	4		4	t_{cyc}	図 25A.30	
		クロック同期		6		6			
	入カクロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6			
	入カクロック立ち上がり時間	t_{SCKr}		1.5		1.5			
	入カクロック立ち下がり時間	t_{SCKf}		1.5		1.5			

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
SCI	送信データ遅延時間	t_{LXD}	60		40	ns	図 25A.31
	受信データセットアップ時間 (クロック同期)	t_{RXS}	60		40		
	受信データホールド時間 (クロック同期)	t_{RXH}	60		40		
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	60		40	ns	図 25A.32

【注】 *1 I/O ポート、TMR、WDT0、WDT1 のみ適用。

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*3 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V \sim AV_{CC}$

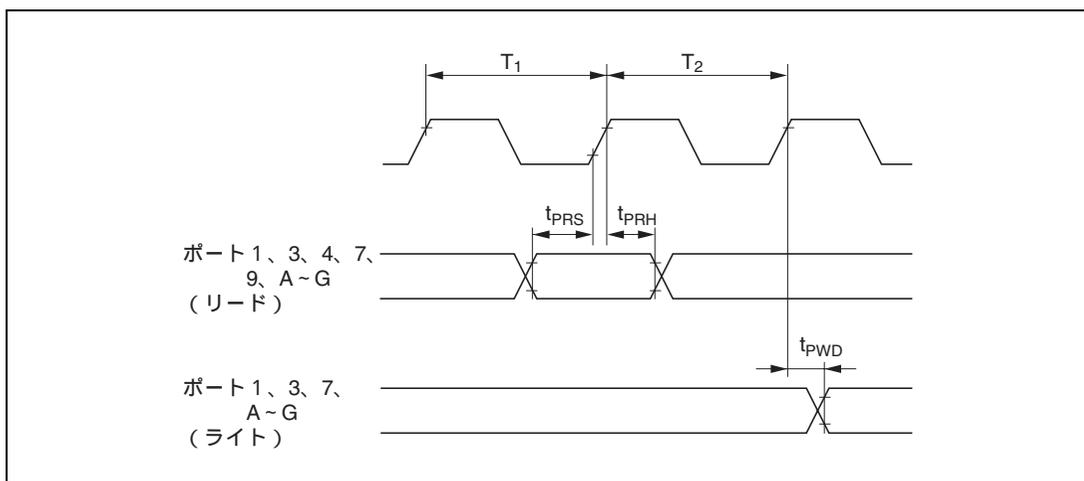


図 25A.20 I/O ポート入出力タイミング

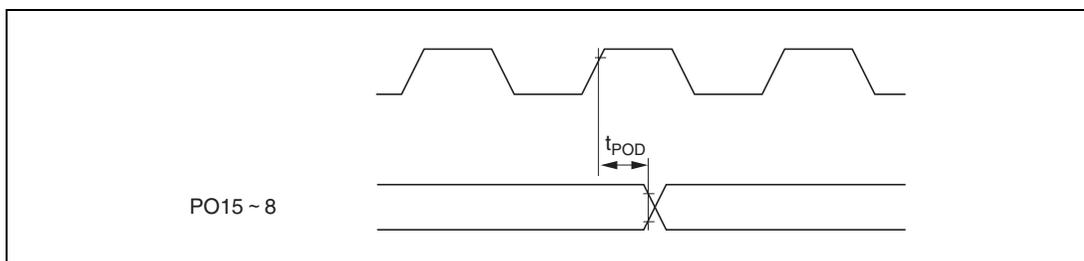


図 25A.21 PPG 出力タイミング

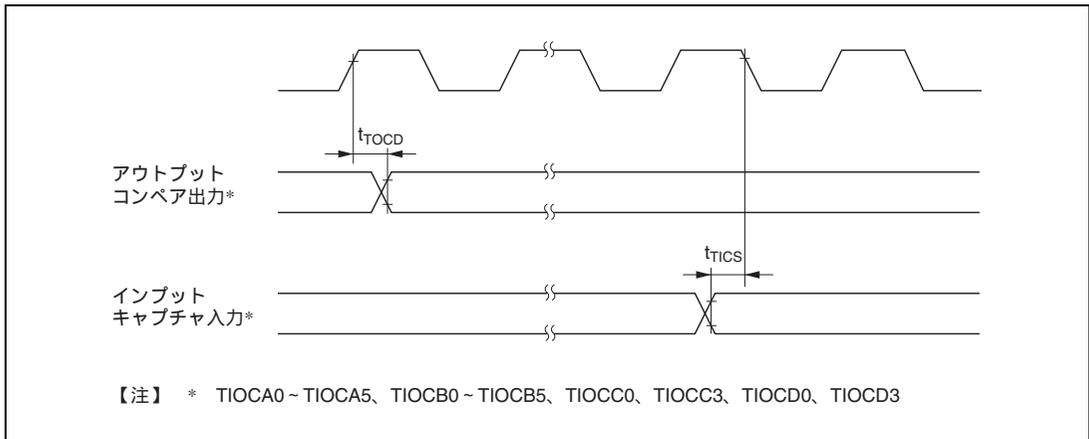


図 25A.22 TPU 入出力タイミング

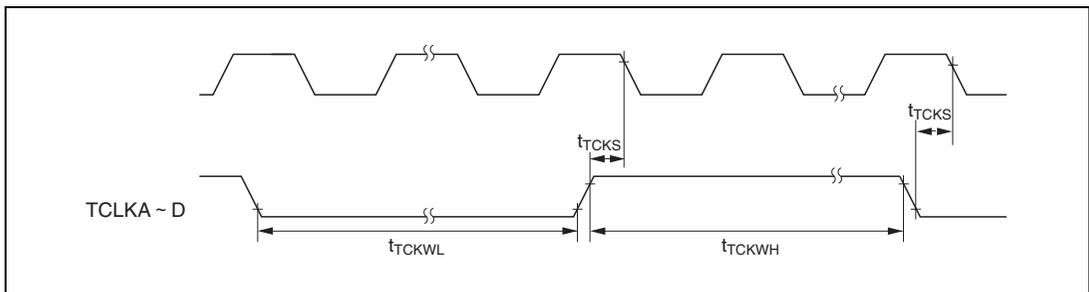


図 25A.23 TPU クロック入力タイミング

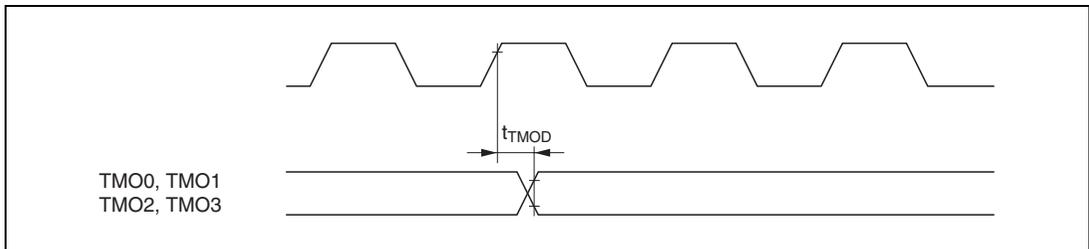


図 25A.24 8 ビットタイマ出力タイミング

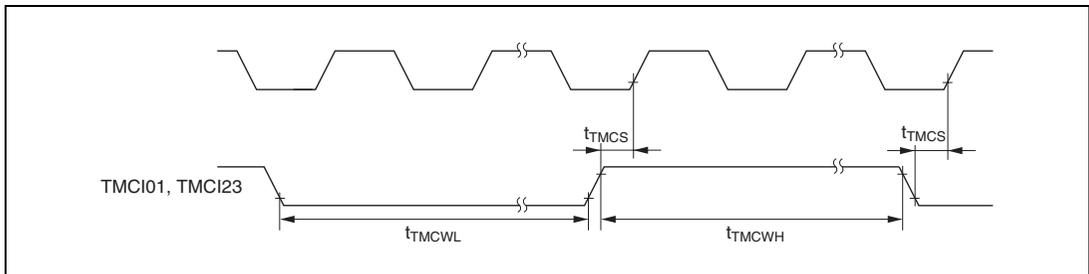


図 25A.25 8 ビットタイマクロック入力タイミング

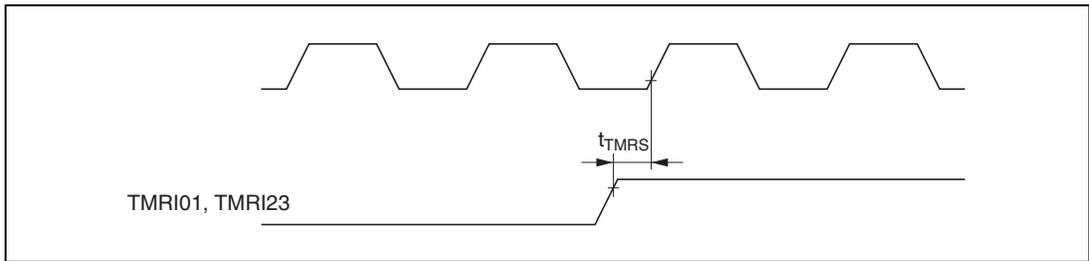


図 25A.26 8ビットタイマリセット入力タイミング

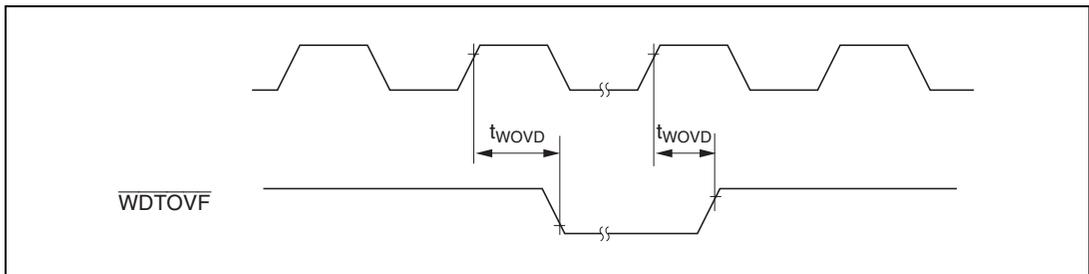


図 25A.27 WDT0 出力タイミング

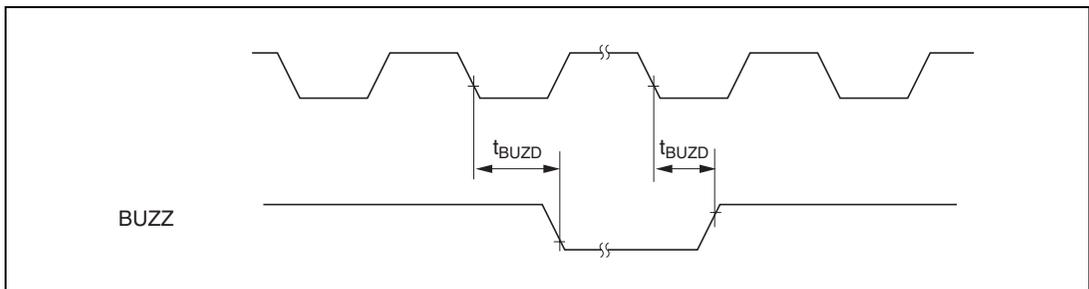


図 25A.28 WDT1 出力タイミング

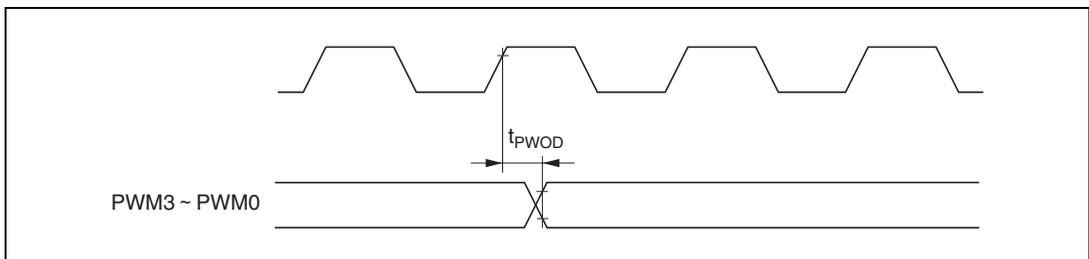


図 25A.29 PWM 出力タイミング

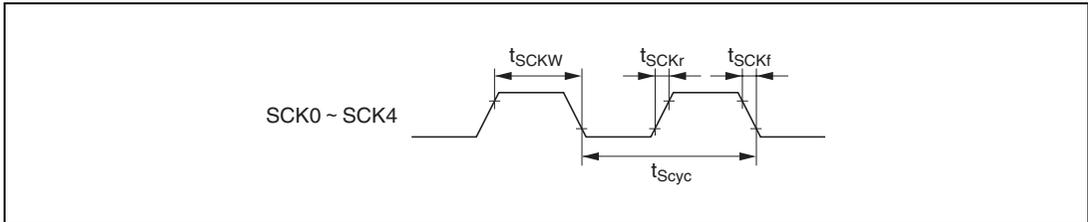


図 25A.30 SCK クロック入力タイミング

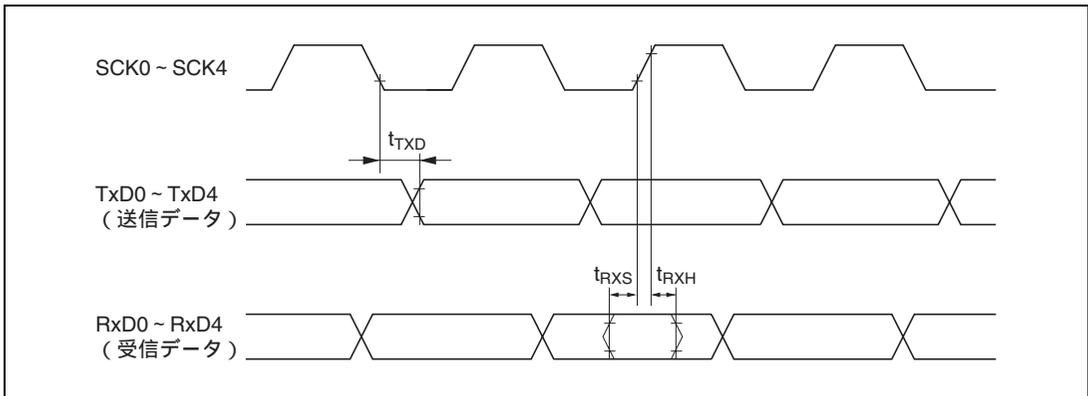


図 25A.31 SCI 入出力タイミング / クロック同期モード

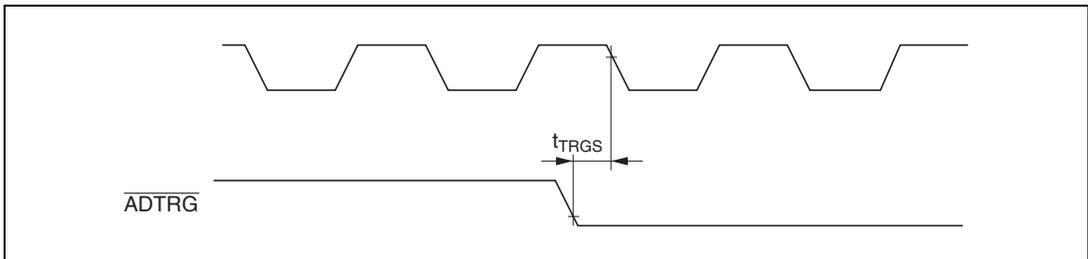


図 25A.32 A/D 変換器外部トリガ入力タイミング

表 25A.10 I²C バスタイミング

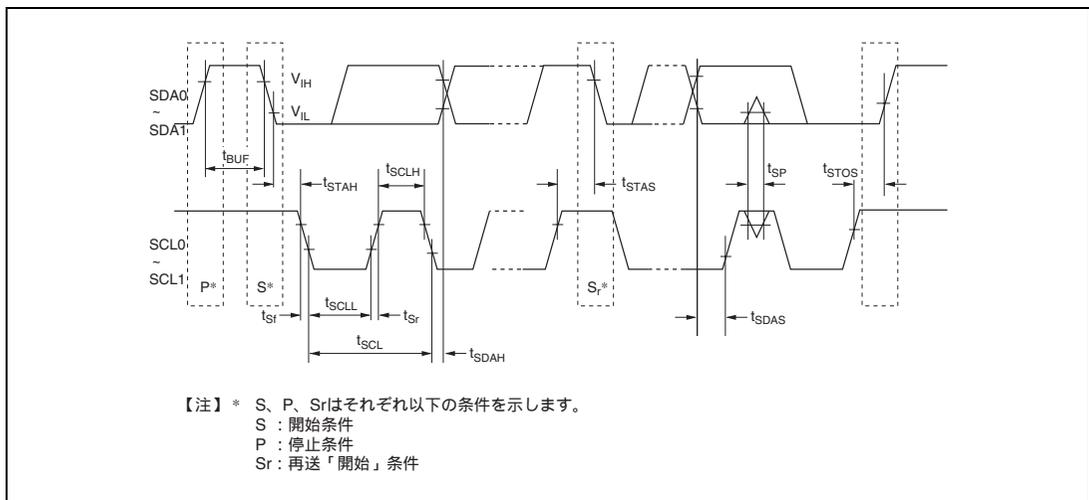
$V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*2}$ 、
 $V_{ref} = 3.6V - AV_{CC}^{*3}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 5MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	規格値			単位	備考
		min	typ	max		
SCL 入力サイクル時間	t_{SCL}	$12t_{cyc}$			ns	図 25A.33
SCL 入力 High パルス幅	t_{SCLH}	$3t_{cyc}$			ns	
SCL 入力 Low パルス幅	t_{SCLL}	$5t_{cyc}$			ns	
SCL、SDA 入力立ち上がり時間	t_{sr}			$7.5t_{cyc}^{*1}$	ns	
SCL、SDA 入力立ち下がり時間	t_{sf}			300	ns	
SCL、SDA 入力スパイクパルス除去時間	t_{sp}			$1t_{cyc}$	ns	
SDA 入力バスフリー時間	t_{BUF}	$5t_{cyc}$			ns	
開始条件入力ホールド時間	t_{STAH}	$3t_{cyc}$			ns	
再送開始条件入力セットアップ時間	t_{STAS}	$3t_{cyc}$			ns	
停止条件入力セットアップ時間	t_{STOS}	$3t_{cyc}$			ns	
データ入力セットアップ時間	t_{SDAS}	$0.5t_{cyc}$			ns	
データ入力ホールド時間	t_{SDAH}	0			ns	
SCL、SDA の容量性負荷	C_R			400	pF	

【注】 *1 I²C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$ とすることが可能です。詳細は「18.4 使用上の注意」を参照してください。

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*3 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V - AV_{CC}$

図 25A.33 I²C バスインタフェース入出力タイミング【オプション】

25A.4 A/D 変換特性

表 25A.11 に A/D 変換特性を示します。

表 25A.11 A/D 変換特性

- 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V - AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件 A			条件 B			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間	16			10			μs
アナログ入力容量			20			20	pF
許容信号源インピーダンス			5			5	k
非直線性誤差			± 7.5			± 3.5	LSB
オフセット誤差			± 7.5			± 3.5	LSB
フルスケール誤差			± 7.5			± 3.5	LSB
量子化誤差		± 0.5			± 0.5		LSB
絶対精度			± 8.0			± 4.0	LSB

【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V - AV_{CC}$

25A.5 D/A 変換特性

表 25A.12 に D/A 変換特性を示します。

表 25A.12 D/A 変換特性

- 条件 A : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V^{*1}$ 、
 $V_{ref} = 3.6V - AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 16MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
- 条件 B : $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 25MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件 A			条件 B			単位	測定条件
	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	ビット	
変換時間			10			10	μs	負荷容量 20pF
絶対精度		± 2.0	± 3.0		± 1.5	± 2.0	LSB	負荷抵抗 2M
			± 2.0			± 1.5	LSB	負荷抵抗 4M

【注】 *1 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $AV_{CC} = 3.3 \sim 5.5V$

*2 A/D、D/A 未使用 (I/O ポートとして使用) の場合は、 $V_{ref} = 3.3V - AV_{CC}$

25A.6 フラッシュメモリ特性

表 25A.13 フラッシュメモリ特性

条件： $V_{CC} = PLLV_{CC} = 3.0 \sim 3.6V$ 、 $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
書き込み時間*1*2*4		t_p		10	200	ms/128 バイト
消去時間*1*3*5		t_E		50	1000	ms/ブロック
書き換え回数		N_{WEC}			100	回
書き込み	PSU1 ビットセット後のウェイト時間*1	y	50			μs
	P1 ビットセット後のウェイト時間*1*4	z0			30	μs
		z1			10	μs
		z2			200	μs
	P1 ビットクリア後のウェイト時間*1		5			μs
	PSU1 ビットクリア後のウェイト時間*1		5			μs
	PV1 ビットセット後のウェイト時間*1		4			μs
	H'FF ダミーライト後のウェイト時間*1		2			μs
	PV1 ビットクリア後のウェイト時間*1		2			μs
	最大書き込み回数*1*4	N1				6
N2					994	回
共通	SWE1 ビットセット後のウェイト時間*1	x0	1			μs
	SWE1 ビットクリア後のウェイト時間*1	x1	100			μs
消去時	ESU1 ビットセット後のウェイト時間*1	y	100			μs
	E1 ビットセット後のウェイト時間*1*5	z			10	ms
	E1 ビットクリア後のウェイト時間*1		10			μs
	ESU1 ビットクリア後のウェイト時間*1		10			μs
	EV1 ビットセット後のウェイト時間*1		6			μs
	H'FF ダミーライト後のウェイト時間*1		2			μs
	EV1 ビットクリア後のウェイト時間*1		4			μs
	最大消去回数*1*5	N				100

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

*2 128 バイトあたりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)。

*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)。

*4 書き込み時間の最大値

$$t_p (\max) = P1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大書き込み回数 (N)} \\ = (z0 + z1) \times N1 + z2 \times N2$$

*5 消去時間の最大値

$$t_E (\max) = E1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大消去回数 (N)} \\ = z \times N$$

25A.7 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

25B. 電気的特性 (H8S/2633R)

25B.1 絶対最大定格

絶対最大定格を表 25B.1 に示します。以下、注釈のない場合、 PV_{CC} は PV_{CC1} と PV_{CC2} の両方を指します。

表 25B.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	PV_{CC1-2}	- 0.3 ~ + 7.0	V
入力電圧 (XTAL、EXTAL)	V_{in}	- 0.3 ~ $PV_{CC} + 0.3$	V
入力電圧 (ポート 4、9)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
入力電圧 (XTAL、EXTAL、ポート 4、9 以外)	V_{in}	- 0.3 ~ $PV_{CC} + 0.3$	V
リファレンス電源電圧	V_{ref}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75	
		広温度範囲仕様品 : -40 ~ +85	
保存温度	T_{stg}	- 55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

25B.2 DC 特性

DC 特性を表 25B.2 に示します。また、出力許容電流値を表 25B.3 に示します。

表 25B.2 DC 特性

条件： $PV_{cc} = 4.5 \sim 5.5V$ 、 $AV_{cc} = 4.5 \sim 5.5V$ 、

$V_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = PLLV_{ss} = 0V$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)*1

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	$\overline{IRQ0} \sim \overline{IRQ7}$	V_T^-	1.0			V	
		V_T^+			$PV_{cc} \times 0.7$		
		$V_T^+ - V_T^-$	0.4				
入力 High レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、 FWE、MD2~MD0 ポート 1、3、7、 A~G ポート 4、9 EXTAL	V_{IH}	$PV_{cc} - 0.7$		$PV_{cc} + 0.3$	V	
			2.2		$PV_{cc} + 0.3$		
			$AV_{cc} \times 0.7$		$AV_{cc} + 0.3$		
			$PV_{cc} \times 0.8$		$PV_{cc} + 0.3$		
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、NMI、 FWE、MD2~MD0 ポート 1、3、4、7、 9、A~G EXTAL	V_{IL}	-0.3		0.5	V	
			-0.3		0.8		
			-0.3		$PV_{cc} \times 0.2$		
出力 High レベル電圧	P34~35 を除く 全出力端子 P34~35 P34~35 を除く 全出力端子	V_{OH}	$PV_{cc} - 0.5$			V	$I_{OH} = -200 \mu A$
			$PV_{cc} - 2.5$				$I_{OH} = -100 \mu A$
			3.5				$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
入力リーク電流	\overline{RES} 、FWE \overline{STBY} 、NMI、 MD2~MD0 ポート 4、9	$ I_{in} $			1.0	μA	$V_{in} = 0.5 \sim PV_{cc} - 0.5$
					1.0		
					1.0		$V_{in} = 0.5 \sim AV_{cc} - 0.5$
スリープステート リーク電流 (オフ状態)	ポート 1、3、7、 ポート A~G	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim PV_{cc} - 0.5$
入力プルアップ MOS 電流	ポート A~E	$-I_p$	50		300	μA	$V_{in} = 0V$
入力容量	\overline{RES} NMI \overline{RES} 、NMI 以外の 全入力端子	C_{in}			30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
					30		
					15		

項目	記号	min	typ	max	単位	測定条件	
消費電流*2	I _{CC} *4	通常動作時		70	84	mA	f = 28MHz
		スリープ時		55	77	mA	f = 28MHz
		全モジュール ストップ時		40		mA	f = 28MHz (参考値)
		中速モード (/32) 時		54		mA	f = 28MHz (参考値)
		サブアクティブ モード時		120	200	μA	32.768kHz 水晶発振子使用時
		サブスリープ モード時		70	150	μA	32.768kHz 水晶発振子使用時
		ウォッチモード時		20	50	μA	32.768kHz 水晶発振子使用時
		スタンバイ時		0.1	5.0	μA	T _a 50 50 < T _a
アナログ 電源電流	AI _{CC}	A/D、D/A 変換中		0.6	2.0	mA	AV _{CC} = 5.0V
		A/D、D/A 変換 待機時		0.1	5.0	μA	
リファレンス 電源電流	AI _{CC}	A/D、D/A 変換中		4.0	5.0	mA	V _{ref} = 5.0V
		A/D、D/A 変換 待機時		0.1	5.0	μA	
RAM スタンバイ電圧*3	V _{RAM}	2.0			V		

- 【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、AV_{CC}、V_{ref}、AV_{SS} 端子を開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、AV_{CC}、V_{ref} 端子は PV_{CC} に接続するなどの方法で、4.5V ~ 5.5V の電圧を印加してください。このとき、V_{ref} AV_{CC} としてください。
- *2 消費電流値は、V_{IH} = PV_{CC} (EXTAL)、AV_{CC} (ポート 4、9)、PV_{CC} (その他)、V_{IL} = 0V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- *3 V_{RAM} PV_{CC} < 3.0V のとき、V_{IH} min = PV_{CC} - 0.1V、V_{IL} max = 0.1V とした場合の値です。
- *4 I_{CC} は下記の式に従って PV_{CC} と f に依存します。

$$I_{CC \text{ max.}} = 15 \text{ (mA)} + 0.45 \text{ (mA / (MHz} \times \text{V))} \times PV_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \text{ max.}} = 15 \text{ (mA)} + 0.4 \text{ (mA / (MHz} \times \text{V))} \times PV_{CC} \times f \text{ (スリープ時)}$$

表 25B.3 出力許容電流値

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目			記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	全出力端子	$PV_{CC} = 4.5 \sim 5.5V$	I_{OL}			10	mA
出力 Low レベル許容電流 (総和)	全出力端子の 総和	$PV_{CC} = 4.5 \sim 5.5V$	I_{OL}			120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$PV_{CC} = 4.5 \sim 5.5V$	$-I_{OH}$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の 総和	$PV_{CC} = 4.5 \sim 5.5V$	$-I_{OH}$			40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25B.3 の値を超えないようにしてください。

表 25B.4 バス駆動特性

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、
 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)
 対象端子：SCL1~0、SDA1~0

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	V_T^-	$PV_{CC} \times 0.3$			V	$PV_{CC} = 4.5V \sim 5.5V$
	V_T^+			$PV_{CC} \times 0.7$		
	$V_T^+ - V_T^-$	0.4				
入力 High レベル電圧	V_{IH}	$PV_{CC} \times 0.7$		$PV_{CC} + 0.5$	V	
入力 Low レベル電圧	V_{IL}	-0.5		$PV_{CC} \times 0.3$	V	
出力 Low レベル電圧	V_{OL}			0.7	V	$I_{OL} = 8mA$ 、 $PV_{CC} = 4.5 \sim 5.5V$
				0.4		$I_{OL} = 3mA$ 、 $PV_{CC} = 4.5 \sim 5.5V$
入力容量	C_{in}			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク電流 (オフ状態)	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim PV_{CC} - 0.5V$
SCL、SDA 出力立ち下がり 時間	t_{of}	$20 + 0.1Cb$		250	ns	

25B.3 AC 特性

図 25B.1 に AC 測定条件を示します。

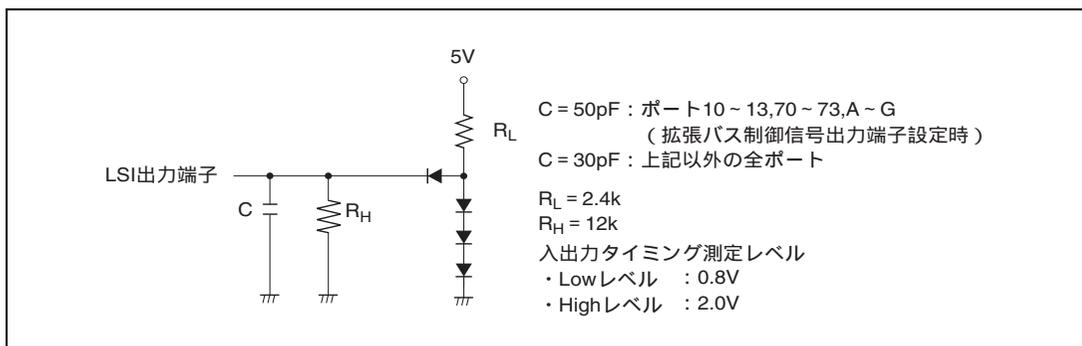


図 25B.1 出力負荷回路

25B.3.1 クロックタイミング

表 25B.5 にクロックタイミングを示します。

表 25B.5 クロックタイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 32.768kHz$ 、 $2 \sim 28MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		28MHz			
		min	max		
クロックサイクル時間	t_{cyc}	35.7	500	ns	図 25B.2
クロックハイレベルパルス幅	t_{CH}	10		ns	
クロックローレベルパルス幅	t_{CL}	10		ns	
クロック立ち上がり時間	t_{Cr}		5	ns	
クロック立ち下がり時間	t_{Cf}		5	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	10		ms	図 25B.3
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	5		ms	図 24.3
外部クロック出力安定遅延時間	t_{DEXT}	2		ms	図 25B.3
32kHz クロック発振安定時間	t_{OSC3}		2	s	
サブクロック発振器発振周波数	f_{SUB}	32.768		kHz	
サブクロック (f_{SUB}) サイクル時間	t_{SUB}	30.5		μs	

【注】 * 入力クロックは 25MHz 以下にしてください。

$\phi = 25MHz \sim 28MHz$ での動作は、PLL で通倍 ($\times 2$ 、 $\times 4$) して使用してください。

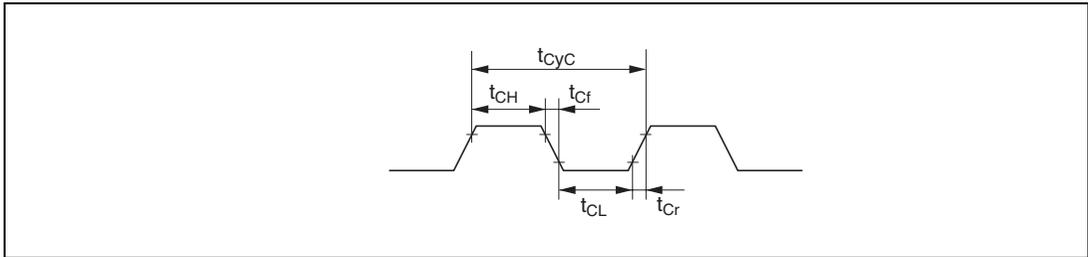


図 25B.2 システムクロックタイミング

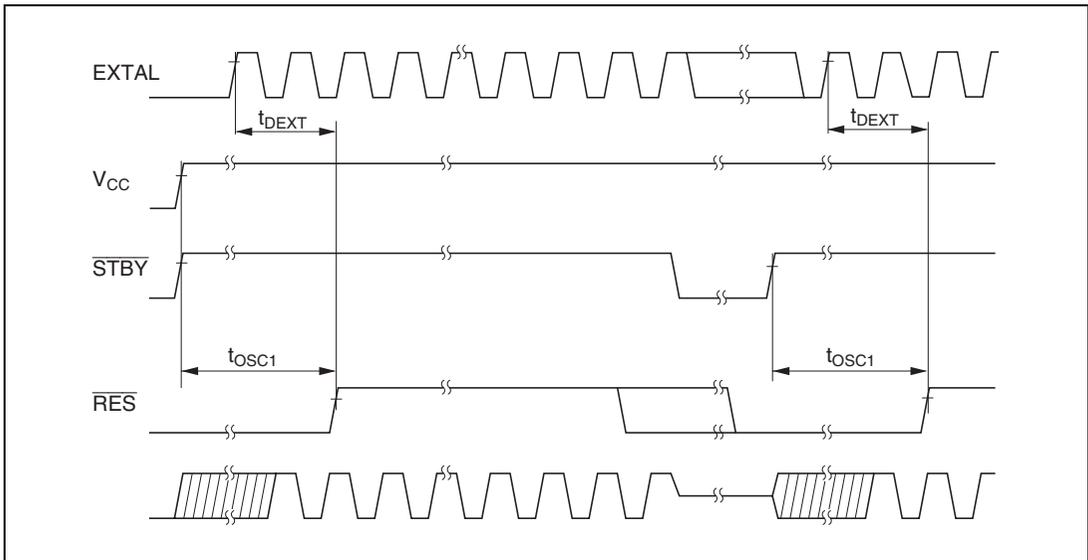


図 25B.3 発振安定時間タイミング

25B.3.2 制御信号タイミング

表 25B.6 に制御信号タイミングを示します。

表 25B.6 制御信号タイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $2 \sim 28MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		min	max		
RES セットアップ時間	t_{RESS}	200		ns	図 25B.4
RES パルス幅	t_{RESW}	20		t_{cyc}	
MRES セットアップ時間	t_{MRESS}	250		ns	
MRES パルス幅	t_{MRESW}	20		t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150		ns	図 25B.5
NMI ホールド時間	t_{NMIH}	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		ns	
\overline{IRQ} セットアップ時間	t_{IRQS}	150		ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10		ns	
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200		ns	

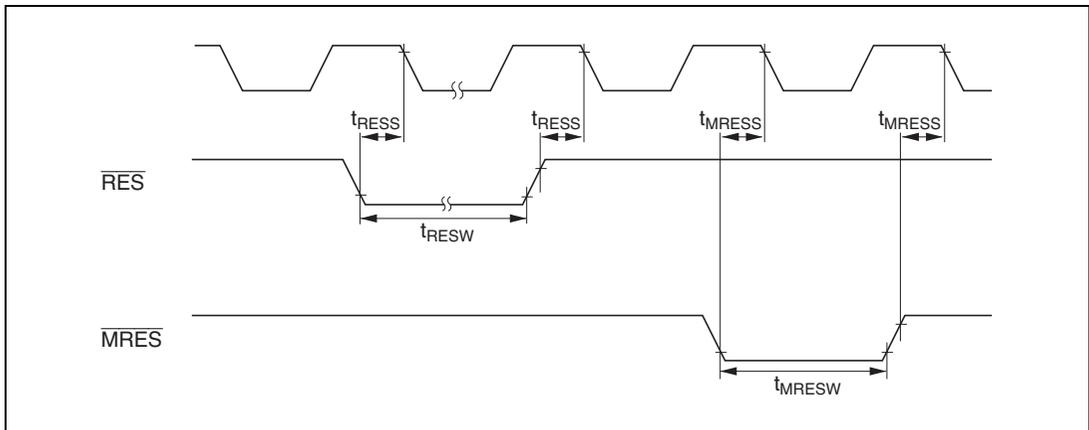


図 25B.4 リセット入力タイミング

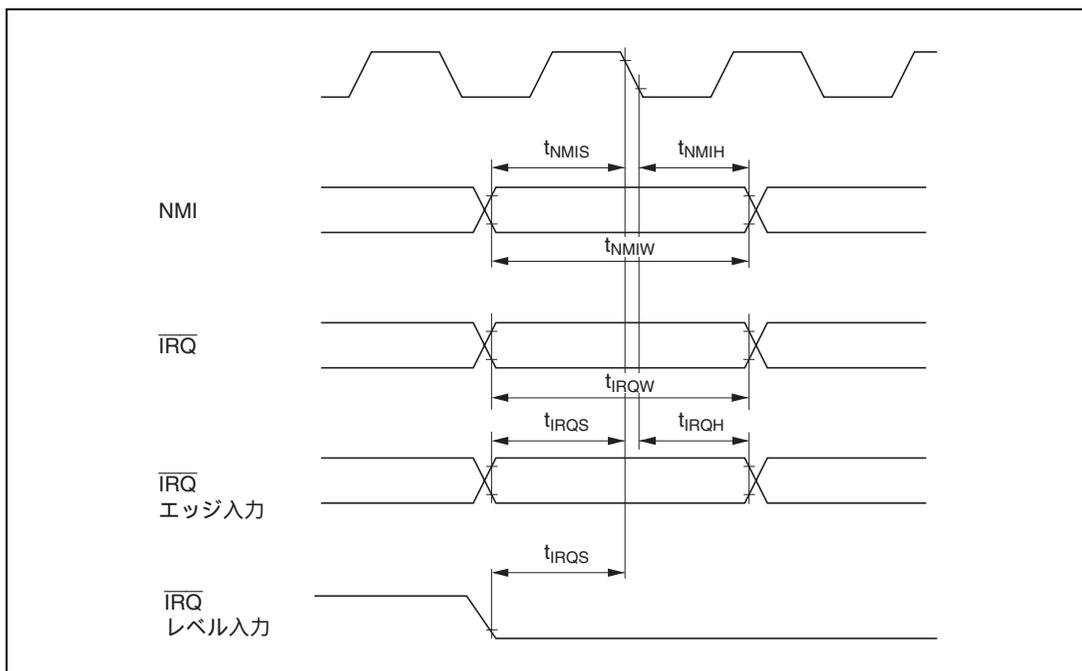


図 25B.5 割り込み入力タイミング

25B.3.3 バスタイミング

表 25B.7 にバスタイミングを示します。

表 25B.7 バスタイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 28MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		min	max		
アドレス遅延時間	t_{AD}		20	ns	☒ 25B.6 ~ ☒ 25B.11
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 13$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 8$		ns	
CS 遅延時間 1	t_{CSD1}		15	ns	
CS 遅延時間 2	t_{CSD2}		15	ns	
AS 遅延時間	t_{ASD}		15	ns	
RD 遅延時間 1	t_{RSD1}		15	ns	
RD 遅延時間 2	t_{RSD2}		15	ns	
リードデータセットアップ時間	t_{RDS}	15		ns	
リードデータホールド時間	t_{RDH}	0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 15$	ns	
WR 遅延時間 1	t_{WRD1}		15	ns	
WR 遅延時間 2	t_{WRD2}		15	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$		ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$		ns	
ライトデータ遅延時間	t_{WDD}		22	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 13$		ns	
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 8$		ns	
WR セットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 10$		ns	
WR ホールド時間	t_{WCH}	$0.5 \times t_{cyc} - 10$		ns	
RAS プリチャージ時間	t_{PCH}	$1.5 \times t_{cyc} - 13$		ns	☒ 25B.11 ~ ☒ 25B.13
CAS プリチャージ時間 1	t_{CP1}	$1.0 \times t_{cyc} - 8$		ns	
CAS プリチャージ時間 2	t_{CP2}	$0.5 \times t_{cyc} - 8$		ns	
CAS 遅延時間 1	t_{CASD1}		18	ns	
CAS 遅延時間 2	t_{CASD2}		18	ns	
OE 遅延時間 1	t_{OED1}		15	ns	
OE 遅延時間 2	t_{OED2}		15	ns	
CAS セットアップ時間	t_{CSR}	$0.5 \times t_{cyc} - 8$		ns	
WAIT セットアップ時間	t_{WTS}	25		ns	
WAIT ホールド時間	t_{WTH}	5		ns	

項目	記号	条件		単位	測定条件
		min	max		
BREQ セットアップ時間	t_{BRQS}	30		ns	図 25B.14
BACK 遅延時間	t_{BACD}		15	ns	
バスフローティング時間	t_{BZD}		40	ns	
BREQO 遅延時間	t_{BROOD}		25	ns	図 25B.15

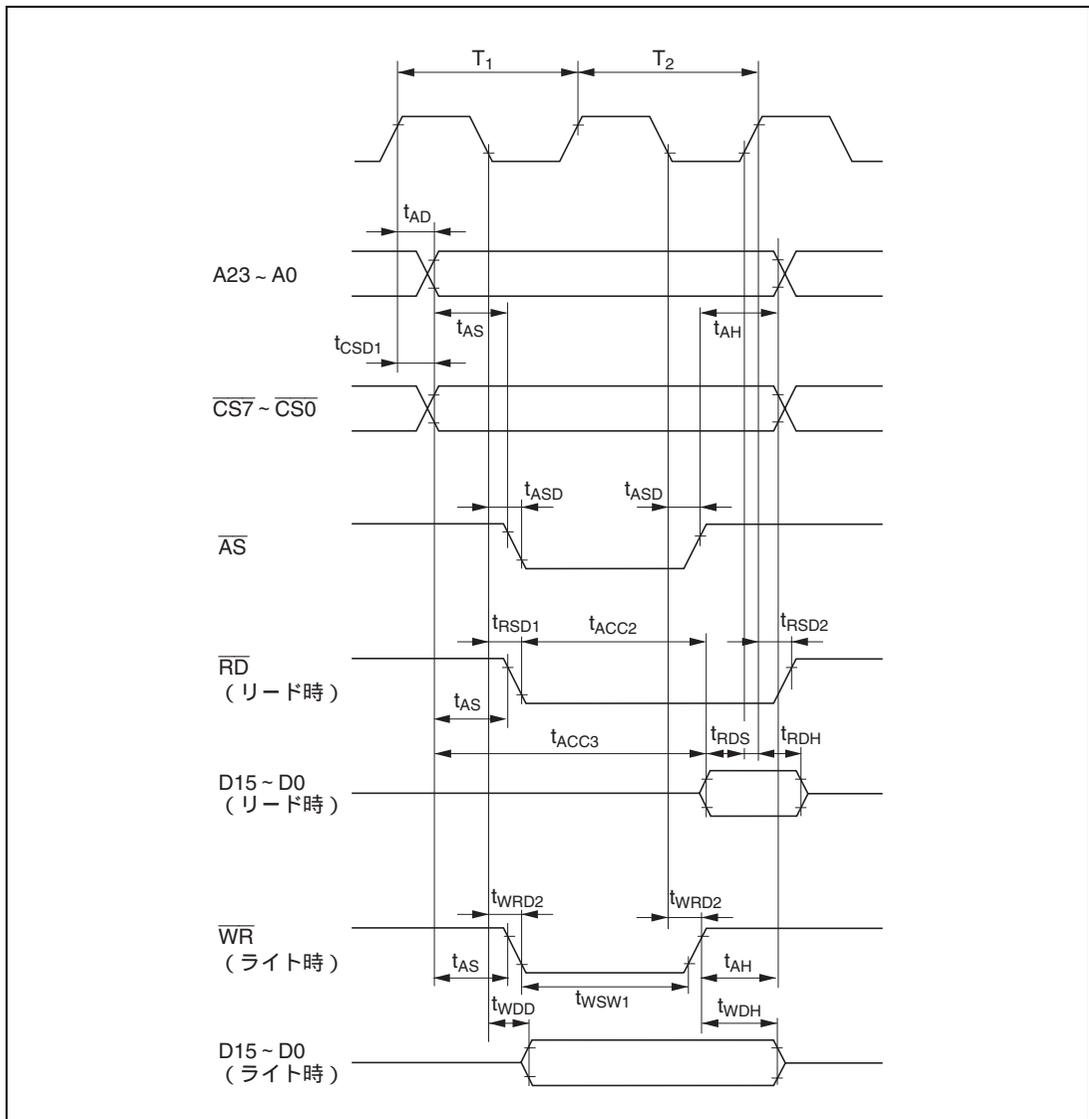


図 25B.6 基本バスタイミング / 2 ステートアクセス

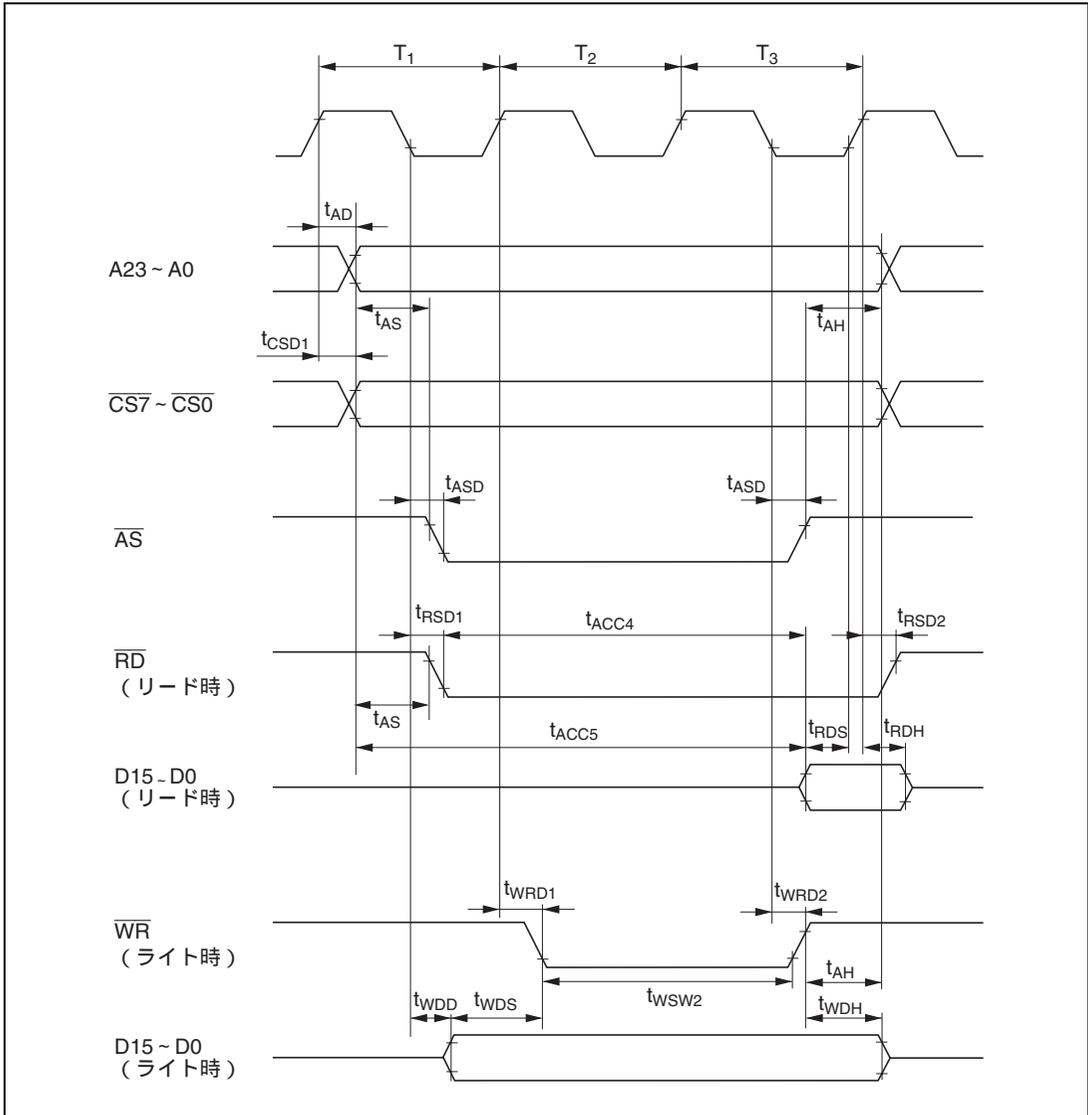


図 25B.7 基本バスタイミング / 3 ステートアクセス

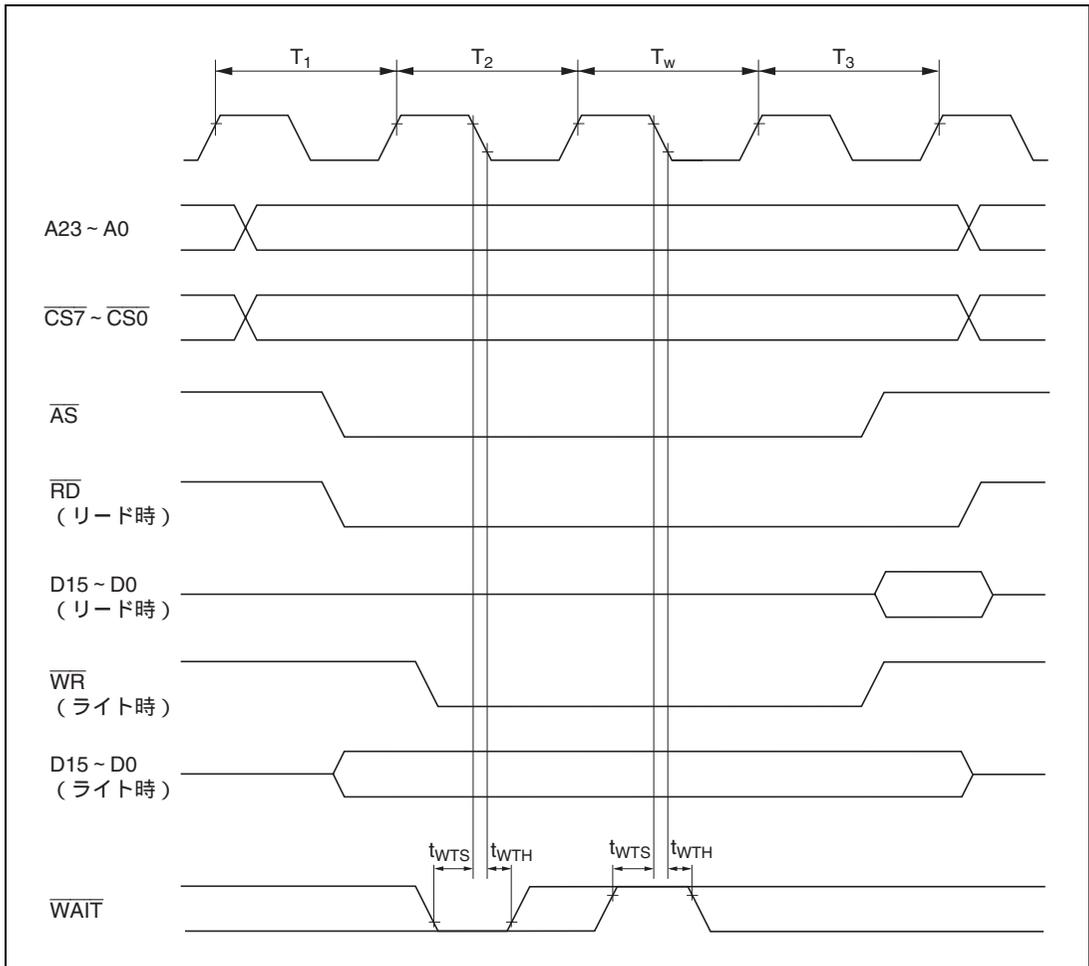


図 25B.8 基本バスタイミング / 3 ステートアクセス 1 ウェイト

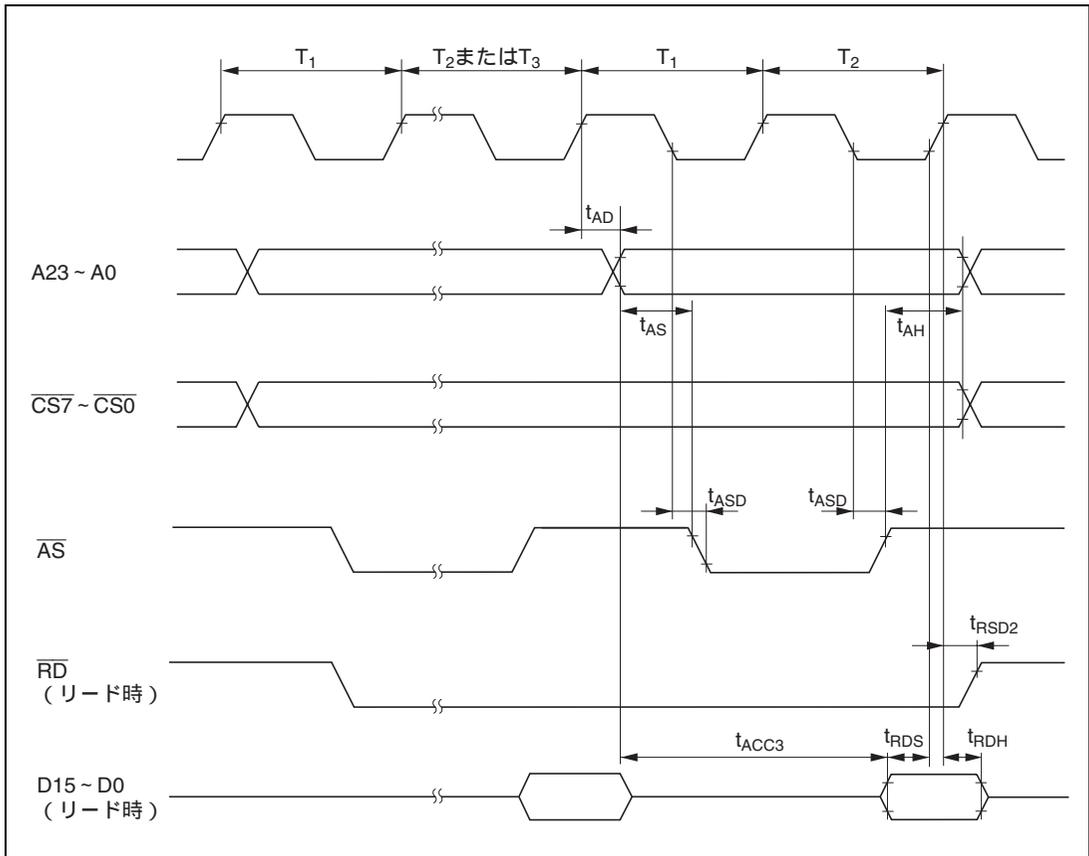


図 25B.9 バースト ROM アクセスタイミング / 2 ステートアクセス

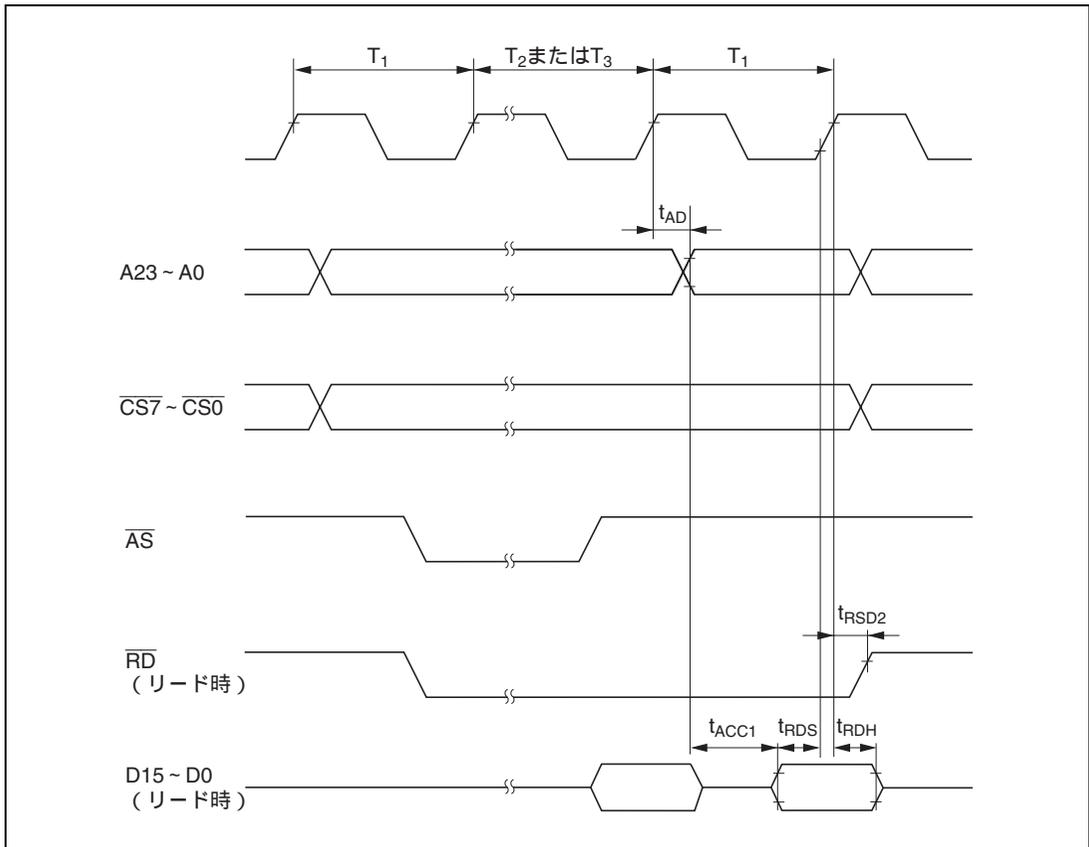


図 25B.10 バースト ROM アクセスタイミング / 1 ステートアクセス

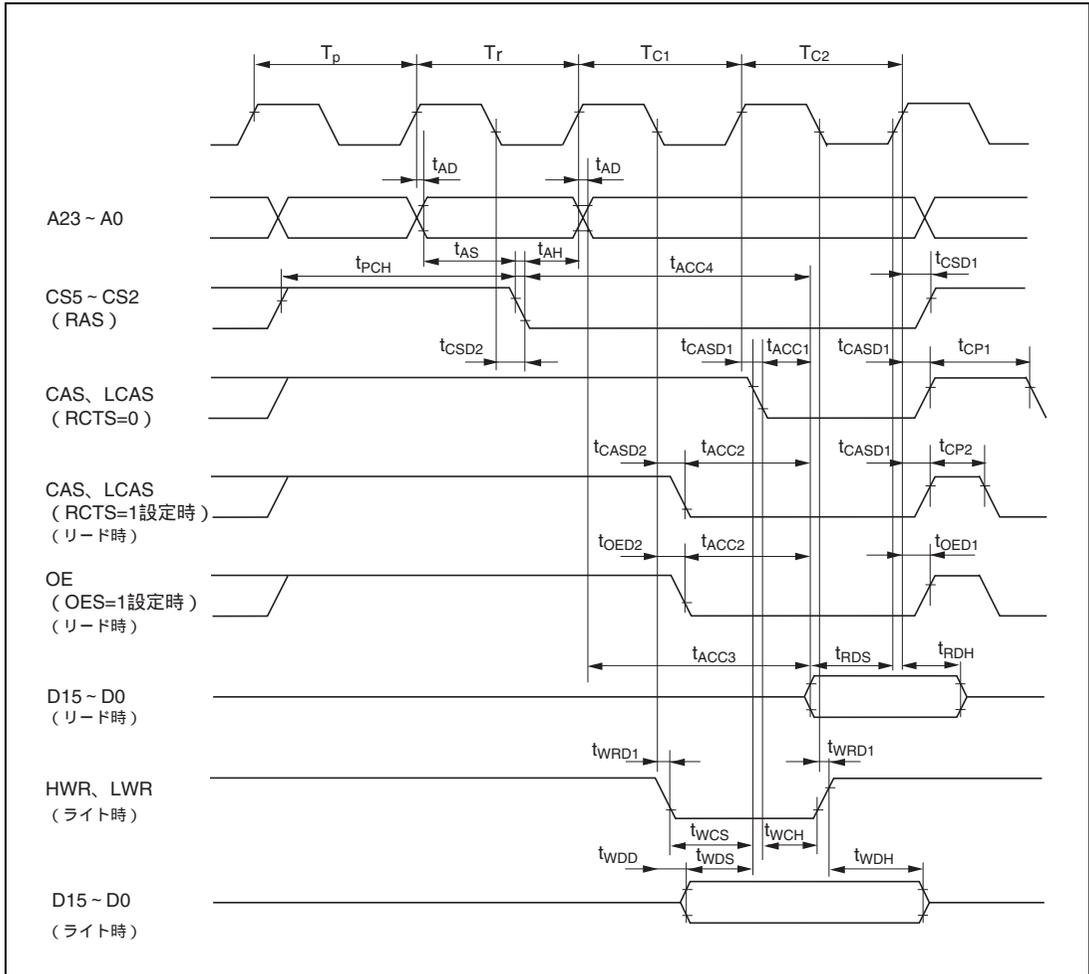


図 25B.11 DRAM アクセスタイミング

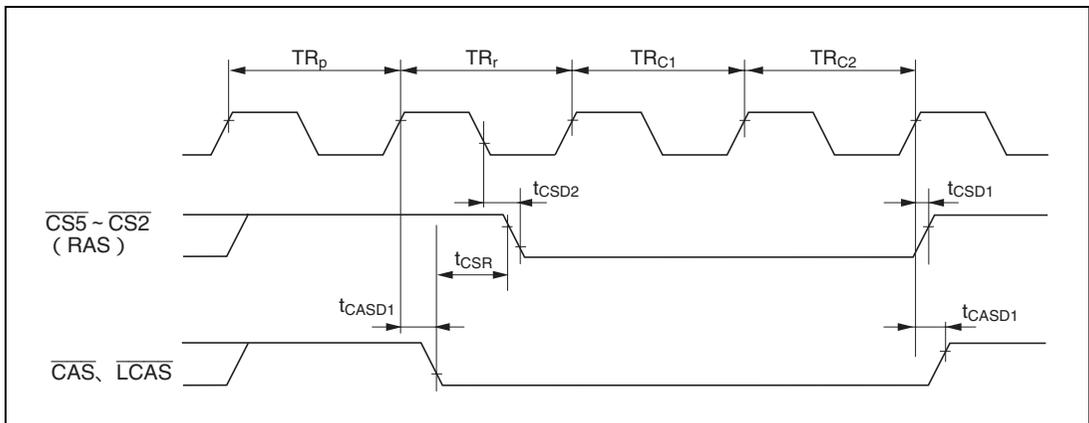


図 25B.12 DRAM CBR リフレッシュタイミング

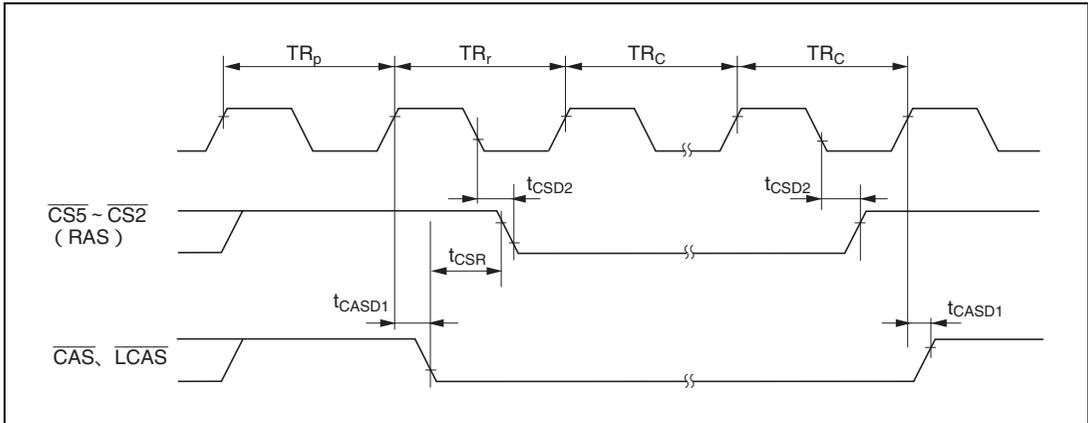


図 25B.13 DRAM セルフリフレッシュタイミング

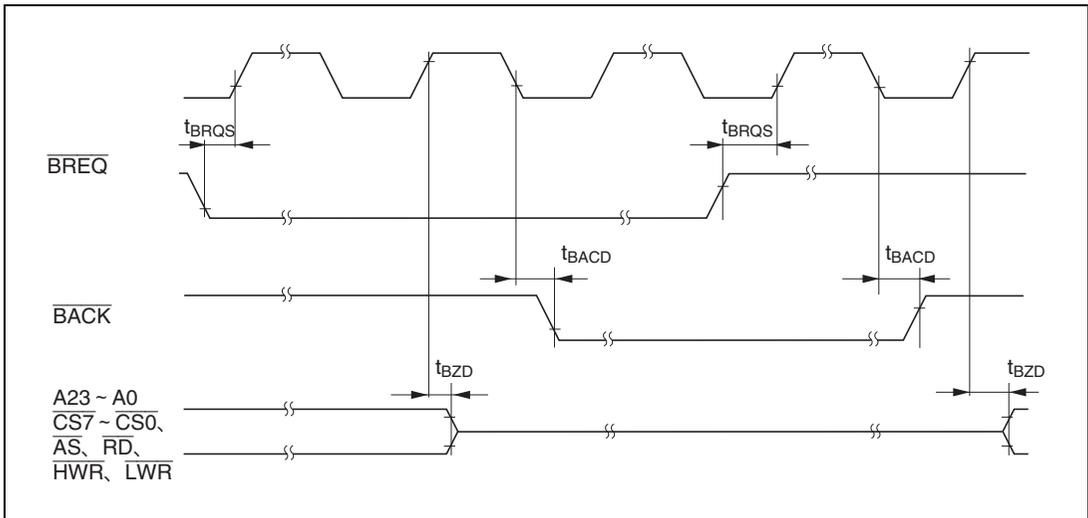


図 25B.14 外部バス権解放タイミング

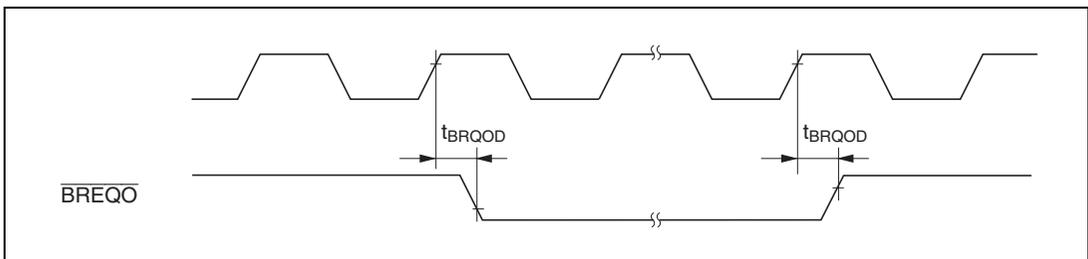


図 25B.15 外部バス権要求出力タイミング

25B.3.4 DMAC タイミング

表 25B.8 に DMAC タイミングを示します。

表 25B.8 DMAC タイミング

条件 : $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V - AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f = 2 \sim 28MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		min	max		
DREQ セットアップ時間	t_{DRQS}	25		ns	☒ 25B.19
DREQ ホールド時間	t_{DRQH}	10			
TEND 遅延時間	t_{TED}		18		☒ 25B.18
DACK 遅延時間 1	t_{DACD1}		18	ns	☒ 25B.16
DACK 遅延時間 2	t_{DACD2}		18		☒ 25B.17

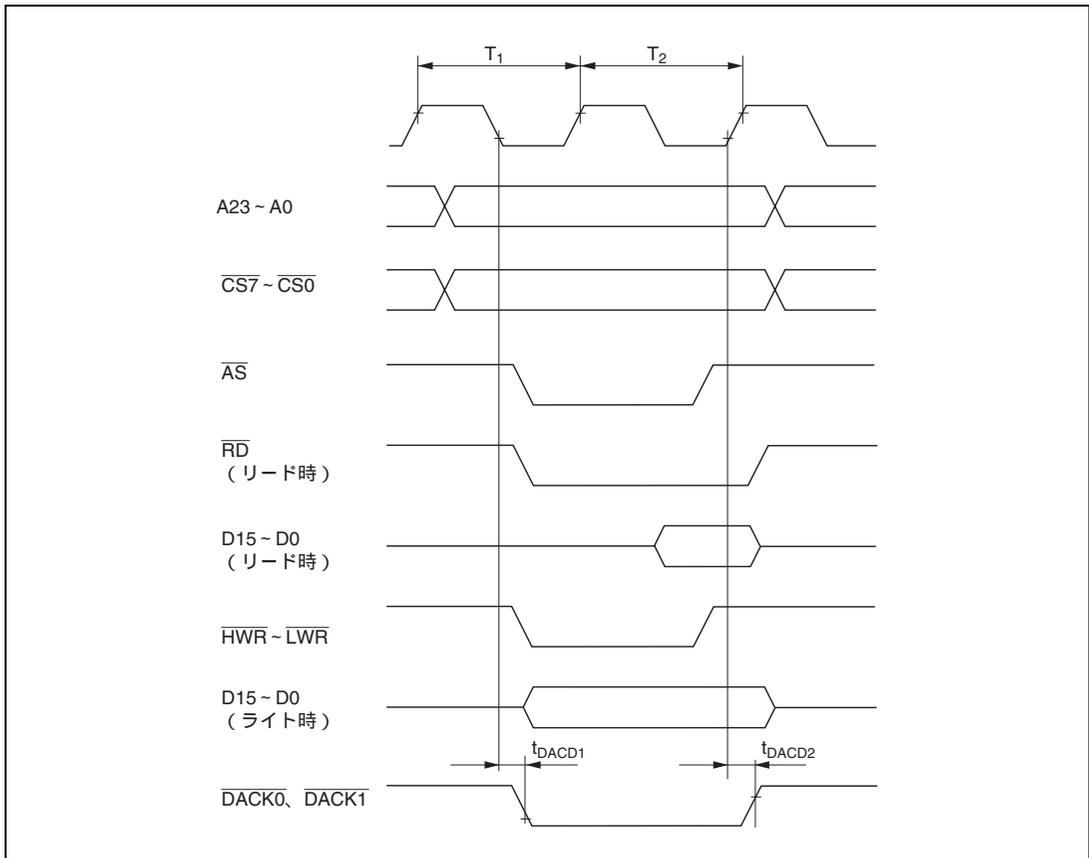


図 25B.16 DMAC シングルアドレス転送タイミング / 2 ステートアクセス

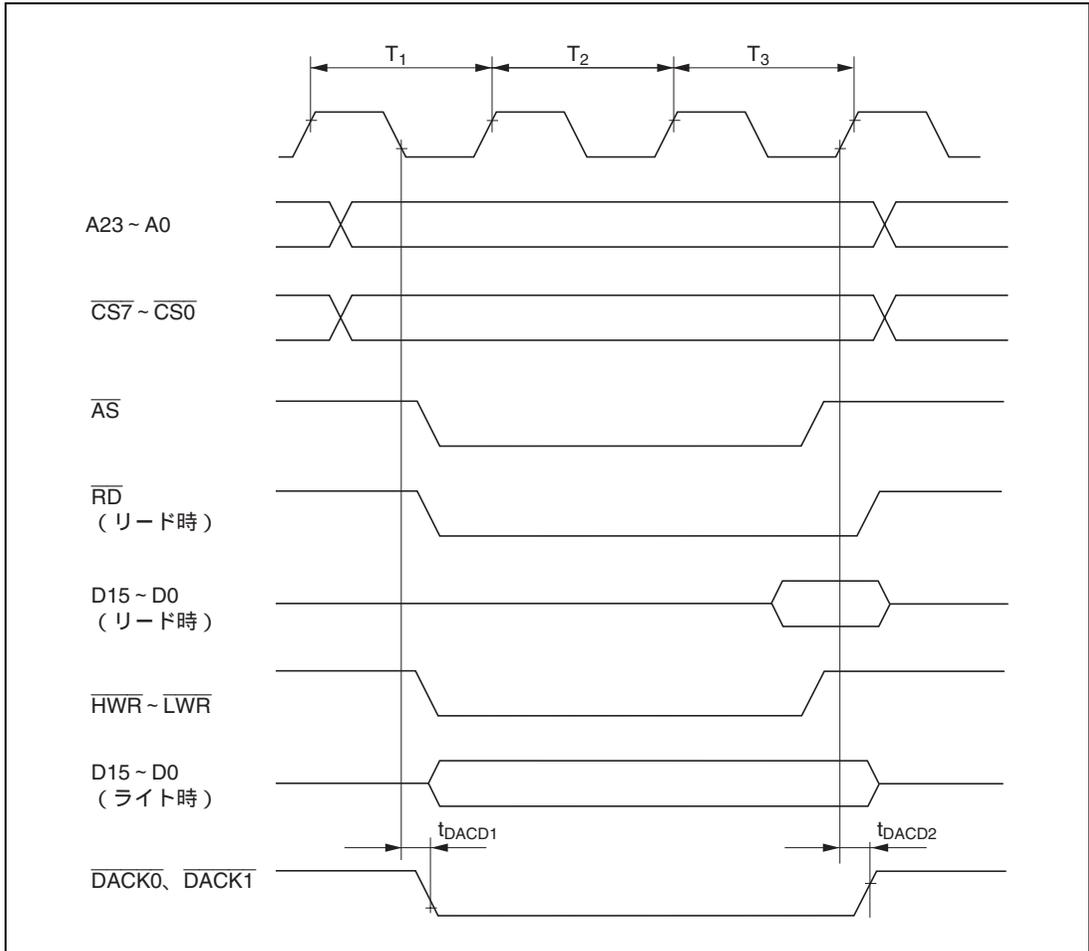


図 25B.17 DMAC シングルアドレス転送タイミング / 3 ステートアクセス

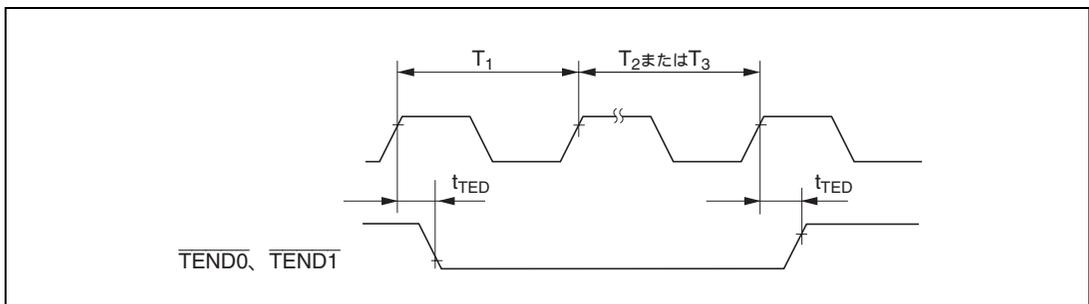


図 25B.18 DMAC TEND 出力タイミング

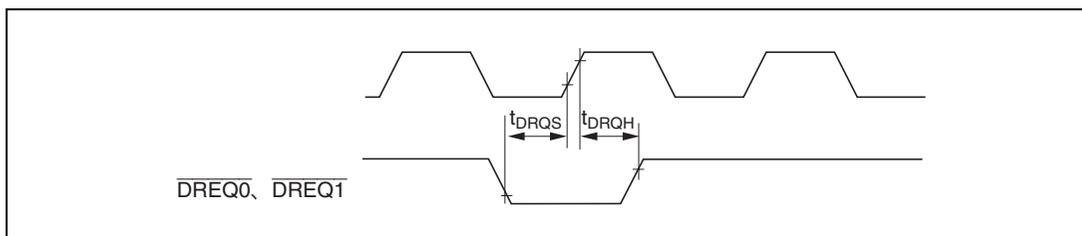


図 25B.19 DMAC、DREQ 入力タイミング

25B.3.5 内蔵周辺モジュールタイミング

表 25B.9 に内蔵周辺タイミングを示します。

表 25B.9 内蔵周辺モジュールタイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 32.768kHz^*$ 、 $2 \sim 28MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件		単位	測定条件
			min	max		
I/O ポート	出力データ遅延時間	t_{PWD}		40	ns	図 25B.20
	入力データセットアップ時間	t_{PRS}	25			
	入力データホールド時間	t_{PRH}	25			
PPG	パルス出力遅延時間	t_{POD}		40	ns	図 25B.21
TPU	タイマ出力遅延時間	t_{TOD}		40	ns	図 25B.22
	タイマ入力セットアップ時間	t_{TCS}	25			
	タイマクロック入力セットアップ時間	t_{TCKS}	25			図 25B.23
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5		
	両エッジ指定	t_{TCKWL}	2.5			
TMR	タイマ出力遅延時間	t_{TMD}		40	ns	図 25B.24
	タイマリセット入力セットアップ時間	t_{TMS}	25			
	タイマクロック入力セットアップ時間	t_{TMCs}	25			図 25B.25
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5		
	両エッジ指定	t_{TMCWL}	2.5			
WDT0	オーバフロー出力遅延時間	t_{WOFD}		40	ns	図 25B.27
WDT1	BUZZ 出力遅延時間	t_{BUZD}		40	ns	図 25B.28
PWM	パルス出力遅延時間	t_{PWOD}		40	ns	図 25B.29
SCI	入力クロックサイクル	調歩同期	t_{SVC}	4	t_{cyc}	図 25B.30
		クロック同期		6		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{cyc}	
	入力クロック立ち上がり時間	t_{SCKr}		1.5		
	入力クロック立ち下がり時間	t_{SCKf}		1.5		
	送信データ遅延時間	t_{TxD}		40	ns	
受信データセットアップ時間 (クロック同期)	t_{Rxs}	40				
	受信データホールド時間 (クロック同期)	t_{Rxf}	40			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	40		ns	図 25B.32

【注】 * I/O ポート、TMR、WDT0、WDT1 のみ適用。

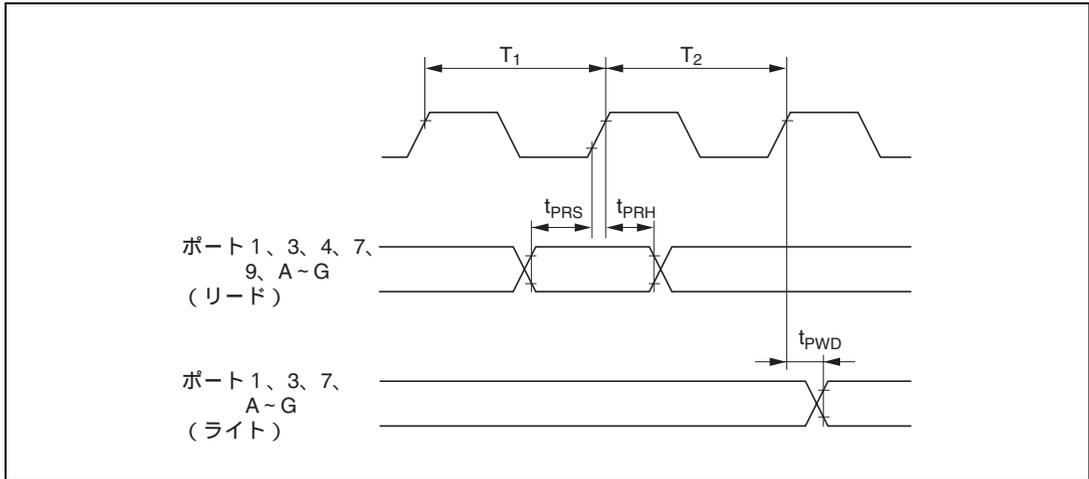


図 25B.20 I/O ポート入出力タイミング

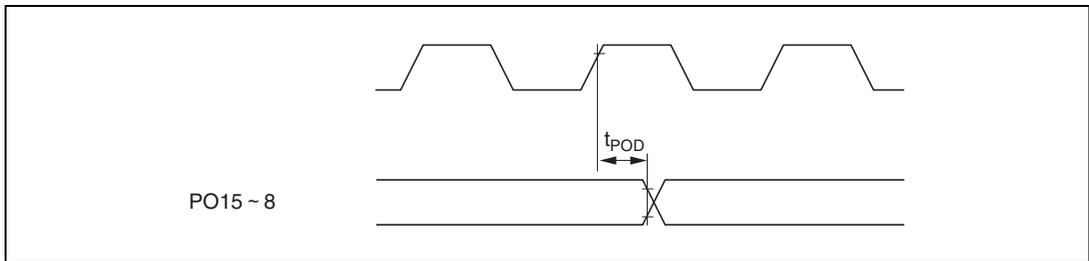


図 25B.21 PPG 出力タイミング

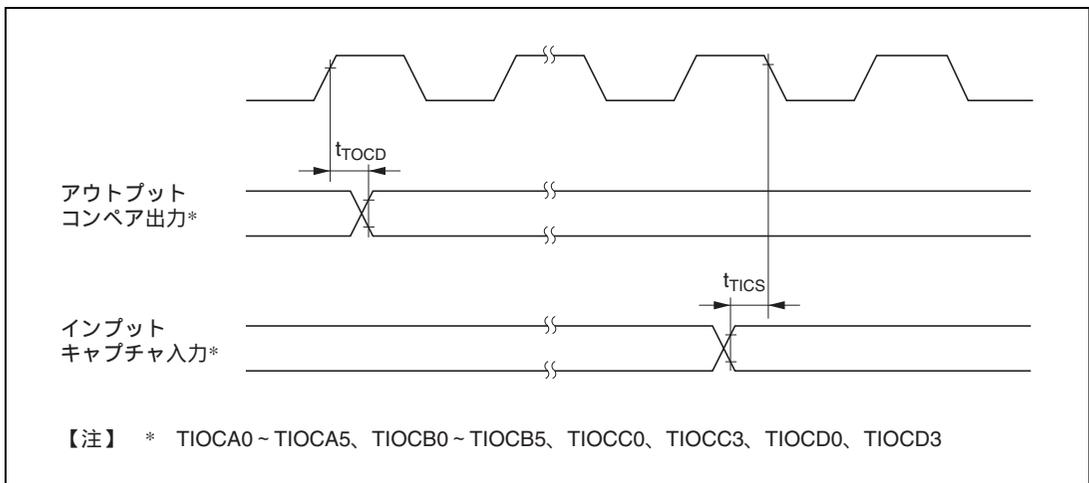


図 25B.22 TPU 入出力タイミング

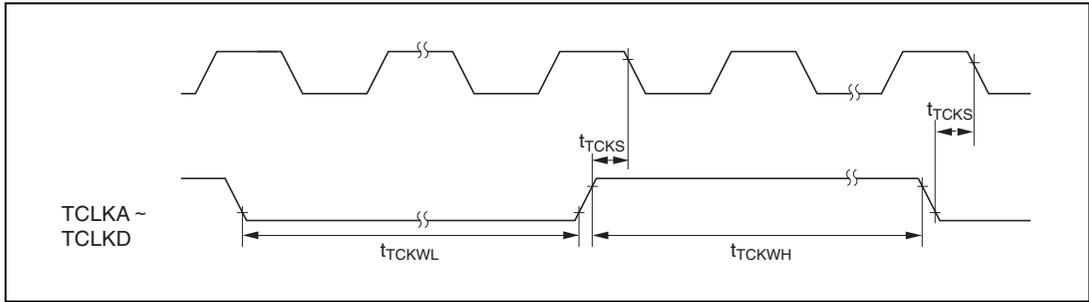


図 25B.23 TPU クロック入力タイミング

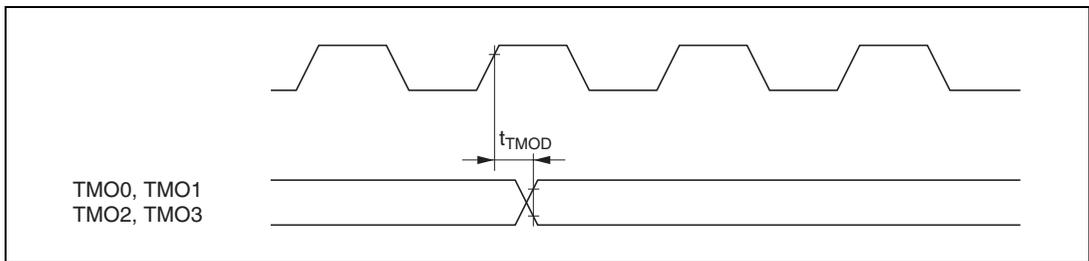


図 25B.24 8 ビットタイマ出力タイミング

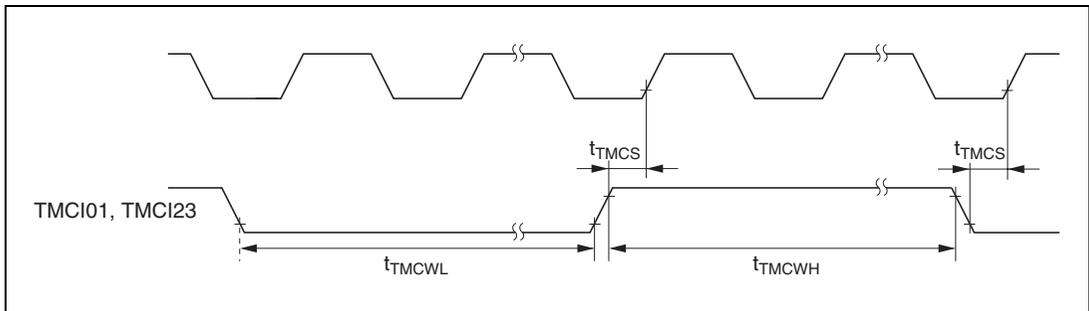


図 25B.25 8 ビットタイマクロック入力タイミング

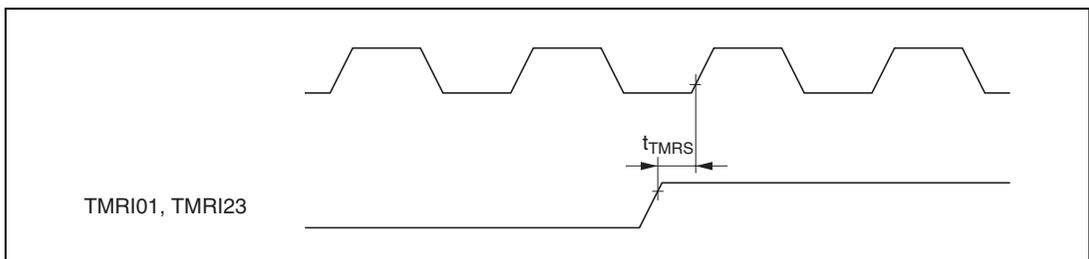


図 25B.26 8 ビットタイマリセット入力タイミング

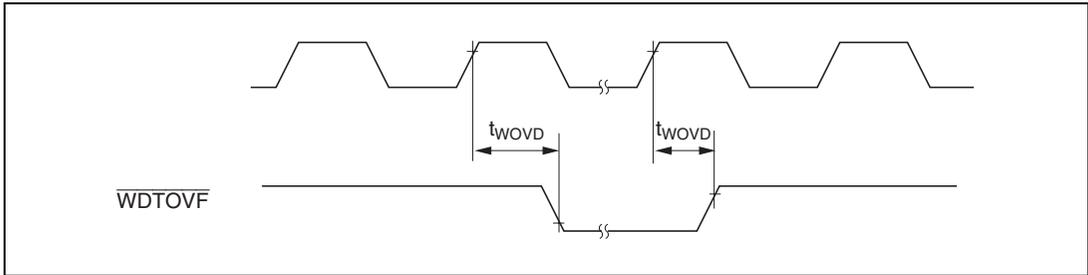


図 25B.27 WDT0 出力タイミング

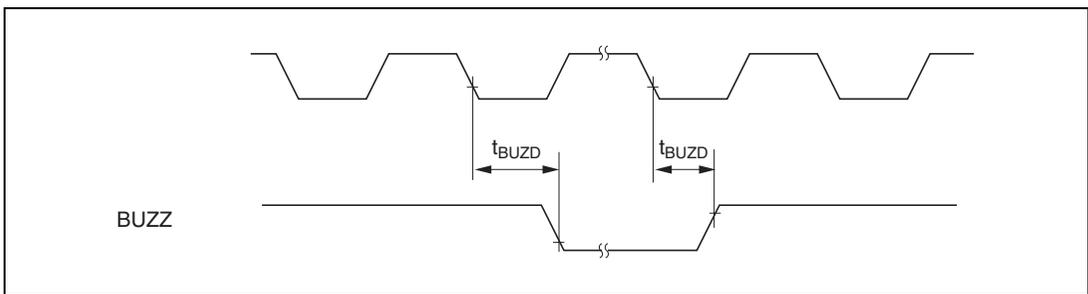


図 25B.28 WDT1 出力タイミング

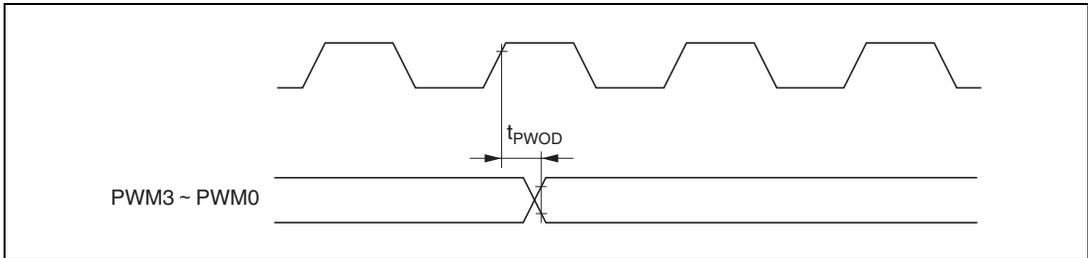


図 25B.29 PWM 出力タイミング

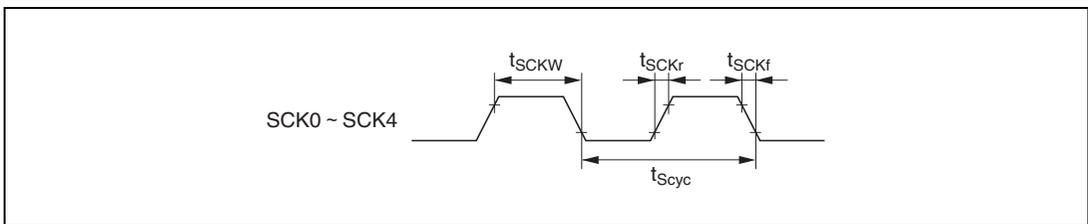


図 25B.30 SCK クロック入力タイミング

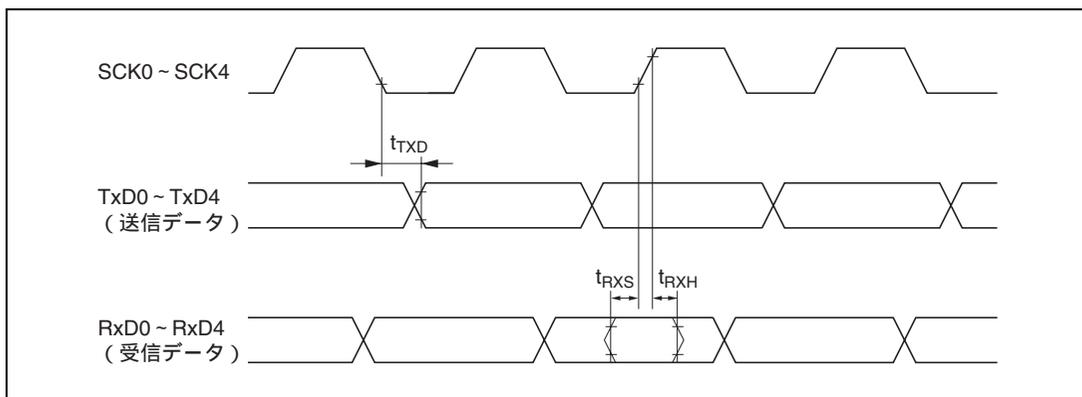


図 25B.31 SCI 入出力タイミング/クロック同期式モード

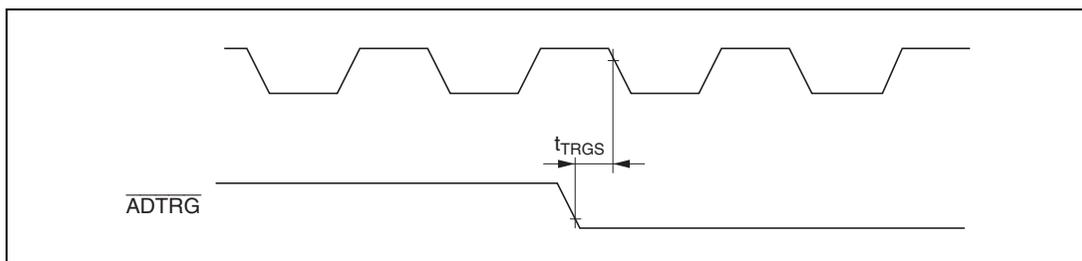


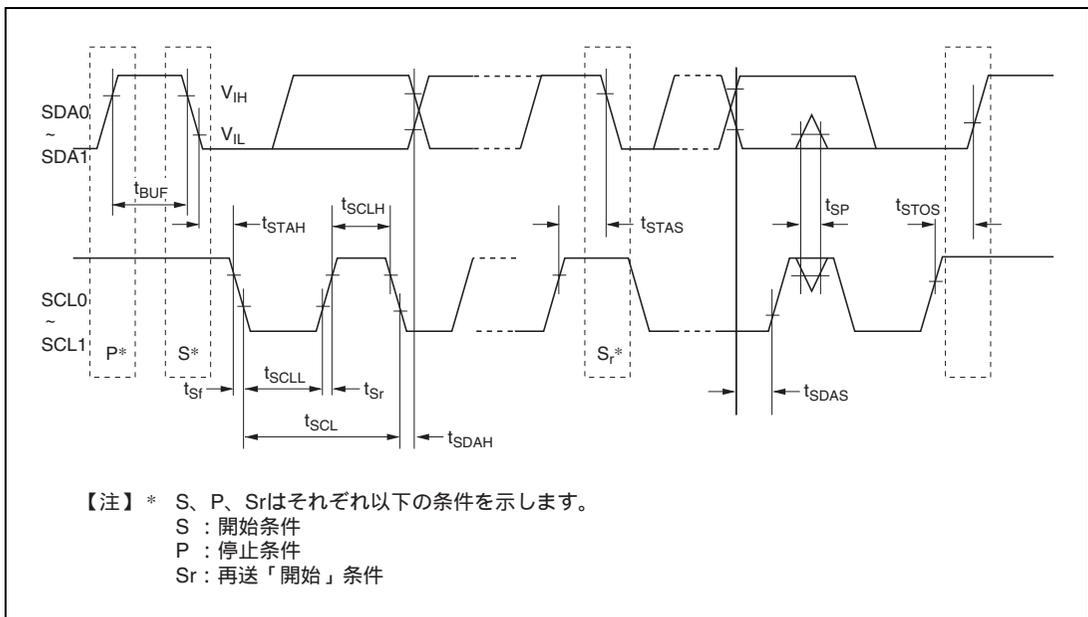
図 25B.32 A/D 変換器外部トリガ入力タイミング

表 25B.10 I²C バスタイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 5MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	規格値			単位	備考
		min	typ	max		
SCL 入力サイクル時間	t_{SCL}	$12t_{cyc}$			ns	図 25B.33
SCL 入力 High パルス幅	t_{SCLH}	$3t_{cyc}$			ns	
SCL 入力 Low パルス幅	t_{SCLL}	$5t_{cyc}$			ns	
SCL、SDA 入力立ち上がり時間	t_{Sr}			$7.5t_{cyc}^*$	ns	
SCL、SDA 入力立ち下がり時間	t_{Sf}			300	ns	
SCL、SDA 入カスパイクパルス除去時間	t_{SP}			$1t_{cyc}$	ns	
SDA 入力バスフリー時間	t_{BUF}	$5t_{cyc}$			ns	
開始条件入力ホールド時間	t_{STAH}	$3t_{cyc}$			ns	
再送開始条件入力セットアップ時間	t_{STAS}	$3t_{cyc}$			ns	
停止条件入力セットアップ時間	t_{STOS}	$3t_{cyc}$			ns	
データ入力セットアップ時間	t_{SDAS}	$0.5t_{cyc}$			ns	
データ入力ホールド時間	t_{SDAH}	0			ns	
SCL、SDA の容量性負荷	C_b			400	pF	

【注】 * I²C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$ とすることが可能です。詳細は「18.4 使用上の注意」を参照してください。

図 25B.33 I²C バスインタフェース入出力タイミング【オプション】

25B.4 A/D 変換特性

表 25B.11 に A/D 変換特性を示します。

表 25B.11 A/D 変換特性

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 2 \sim 28MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	10			μs
アナログ入力容量			20	μF
許容信号源インピーダンス			5	k
非直線性誤差			± 3.5	LSB
オフセット誤差			± 3.5	LSB
フルスケール誤差			± 3.5	LSB
量子化誤差		± 0.5		LSB
絶対精度			± 4.0	LSB

25B.5 D/A 変換特性

表 25B.12 に D/A 変換特性を示します。

表 25B.12 D/A 変換特性

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 2 \sim 28MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件			単位	測定条件
	min	typ	max		
分解能	8	8	8	ビット	
変換時間			10	μs	負荷容量 20pF
絶対精度		± 1.5	± 2.0	LSB	負荷抵抗 2M
			± 1.5	LSB	負荷抵抗 4M

25B.6 フラッシュメモリ特性

表 25B.13 フラッシュメモリ特性

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLL_{SS} = 0V$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
書き込み時間*1*2*4		t_p		10	200	ms/128 バイト
消去時間*1*3*5		t_e		50	1000	ms/ブロック
書き換え回数		N_{WEC}			100	回
書き込み	PSU1 ビットセット後のウェイト時間*1	y	50			μs
	P1 ビットセット後のウェイト時間*1*4	z0			30	μs
		z1			10	μs
		z2			200	μs
	P1 ビットクリア後のウェイト時間*1		5			μs
	PSU1 ビットクリア後のウェイト時間*1		5			μs
	PV1 ビットセット後のウェイト時間*1		4			μs
	H'FF ダミーライト後のウェイト時間*1		2			μs
PV1 ビットクリア後のウェイト時間*1		2			μs	
最大書き込み回数*1*4	N1				6	回
	N2				994	回
共通	SWE1 ビットセット後のウェイト時間*1	x0	1			μs
	SWE1 ビットクリア後のウェイト時間*1	x1	100			μs
消去時	ESU1 ビットセット後のウェイト時間*1	y	100			μs
	E1 ビットセット後のウェイト時間*1*5	z			10	ms
	E1 ビットクリア後のウェイト時間*1		10			μs
	ESU1 ビットクリア後のウェイト時間*1		10			μs
	EV1 ビットセット後のウェイト時間*1		6			μs
	H'FF ダミーライト後のウェイト時間*1		2			μs
	EV1 ビットクリア後のウェイト時間*1		4			μs
	最大消去回数*1*5	N				100

【注】 *1 各時間の設定は、書き込み/消去のアルゴリズムに従い、行ってください。

*2 128 バイトあたりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません)。

*3 1 ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)。

*4 書き込み時間の最大値

$$t_p (\max) = P1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大書き込み回数 (N)}$$

$$= (z0 + z1) \times N1 + z2 \times N2$$

*5 消去時間の最大値

$$t_e (\max) = E1 \text{ ビットセット後のウェイト時間 (z)} \times \text{最大消去回数 (N)}$$

$$= z \times N$$

25B.7 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

25C. 電気的特性 (H8S/2695)

25C.1 絶対最大定格

絶対最大定格を表 25C.1 に示します。以下、注釈のない場合、 PV_{CC} は PV_{CC1} と PV_{CC2} の両方を指します。

表 25C.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	PV_{CC}	- 0.3 ~ + 7.0	V
入力電圧 (ポート 4、9)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
入力電圧 (ポート 4、9 以外)	V_{in}	- 0.3 ~ $PV_{CC} + 0.3$	V
リファレンス電源電圧	V_{ref}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : -20 ~ +75	
		広温度範囲仕様品 : -40 ~ +85	
保存温度	T_{stg}	- 55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

25C.2 DC 特性

DC 特性を表 25C.2 に示します。また、出力許容電流値を表 25C.3 に示します。

表 25C.2 DC 特性

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、

$V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)*1

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	IRQ0 ~ IRQ7	V_T^-	1.0			V	
		V_T^+			$PV_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	0.4				
入力 High レベル電圧	RES、STBY、NMI、 MD2 ~ MD0	V_{IH}	$PV_{CC} - 0.7$		$PV_{CC} + 0.3$	V	
			ポート 1、3、7、 A ~ G	2.2			$PV_{CC} + 0.3$
			ポート 4、9	$AV_{CC} \times$ 0.7			$AV_{CC} + 0.3$
	EXTAL	$PV_{CC} \times$ 0.8		$PV_{CC} + 0.3$	V		
入力 Low レベル電圧	RES、STBY、NMI、 MD2 ~ MD0	V_{IL}	-0.3		0.5	V	
			ポート 1、3、4、7、 9、A ~ G	-0.3			0.8
			EXTAL	-0.3			$PV_{CC} \times 0.2$
出力 High レベル電圧	全出力端子	V_{OH}	$PV_{CC} - 0.5$			V	$I_{OH} = -200 \mu A$
			3.5				$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
入力リーク電流	RES	$ I_{in} $			1.0	μA	$V_{in} = 0.5 \sim PV_{CC} - 0.5$
	STBY、NMI、 MD2 ~ MD0				1.0		
	ポート 4、9				1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5$
スリープ状態 リーク電流 (オフ状態)	ポート 1、3、7、 ポート A ~ G	$ I_{TSL} $			1.0	μA	$V_{in} = 0.5 \sim PV_{CC} - 0.5$
入力プルアップ MOS 電流	ポート A ~ E	$-I_p$	50		300	μA	$V_{in} = 0V$
入力容量	RES	C_{in}			30	pF	$V_{in} = 0V$
	NMI				30		f = 1MHz
	RES、NMI 以外の 全入力端子				15		$T_a = 25$

項目		記号	min	typ	max	単位	測定条件
消費電流*2	通常動作時	I_{CC}^{*4}		70	84	mA	f = 28MHz
	スリープ時			55	77	mA	f = 28MHz
	全モジュール ストップ時			40		mA	f = 28MHz (参考値)
	中速モード (/32) 時			54		mA	f = 28MHz (参考値)
	スタンバイ時			0.1	5.0	μA	$T_a = 50$ $50 < T_a$
			20				
アナログ 電源電流	A/D 変換中	I_{CC}		0.6	2.0	mA	$AV_{CC} = 5.0V$
	A/D 変換待機時			0.1	5.0	μA	$T_a = 25$
リファレンス 電源電流	A/D 変換中	I_{CC}		4.0	5.0	mA	$V_{ref} = 5.0V$
	A/D 変換待機時			0.1	5.0	μA	$T_a = 25$
RAM スタンバイ電圧*3		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は PV_{CC} に接続するなどの方法で、4.5V ~ 5.5V の電圧を印加してください。このとき、 V_{ref} AV_{CC} としてください。

*2 消費電流値は、 $V_{IH} = AV_{CC}$ (ポート 4、9)、 PV_{CC} (その他)、 $V_{IL} = 0V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} < PV_{CC} < 3.0V$ のとき、 $V_{IH} \text{ min} = PV_{CC} - 0.1V$ 、 $V_{IL} \text{ max} = 0.1V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} \text{ max.} = 15 \text{ (mA)} + 0.45 \text{ (mA / (MHz} \times \text{V))} \times PV_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \text{ max.} = 15 \text{ (mA)} + 0.40 \text{ (mA / (MHz} \times \text{V))} \times PV_{CC} \times f \text{ (スリープ時)}$$

表 25C.3 出力許容電流値

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、

$V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	全出力端子	$PV_{CC} = 4.5 \sim 5.5V$			10	mA
出力 Low レベル許容電流 (総和)	全出力端子の 総和	$PV_{CC} = 4.5 \sim 5.5V$			120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$PV_{CC} = 4.5 \sim 5.5V$			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の 総和	$PV_{CC} = 4.5 \sim 5.5V$			40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 25C.3 の値を超えないようにしてください。

25C.3 AC 特性

図 25C.1 に AC 測定条件を示します。

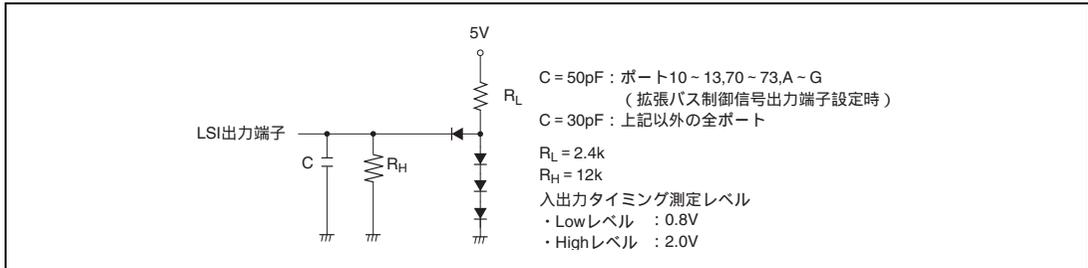


図 25C.1 出力負荷回路

25C.3.1 クロックタイミング

表 25C.4 にクロックタイミングを示します。

表 25C.4 クロックタイミング

条件 : $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V - AV_{CC}$ 、

$V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 28MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		28MHz			
		min	max		
クロックサイクル時間	t_{cyc}	35.7	500	ns	図 25C.2
クロックハイレベルパルス幅	t_{CH}	10		ns	
クロックローレベルパルス幅	t_{CL}	10		ns	
クロック立ち上がり時間	t_{Cr}		5	ns	
クロック立ち下がり時間	t_{Cf}		5	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	10		ms	図 25C.3
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	5		ms	図 24.3
外部クロック出力安定遅延時間	t_{DEXT}	2		ms	図 25C.3

【注】 * 入力クロックは 25MHz 以下にしてください。

$\phi = 25MHz \sim 28MHz$ での動作は、PLL で通倍 ($\times 2$ 、 $\times 4$) して使用してください。

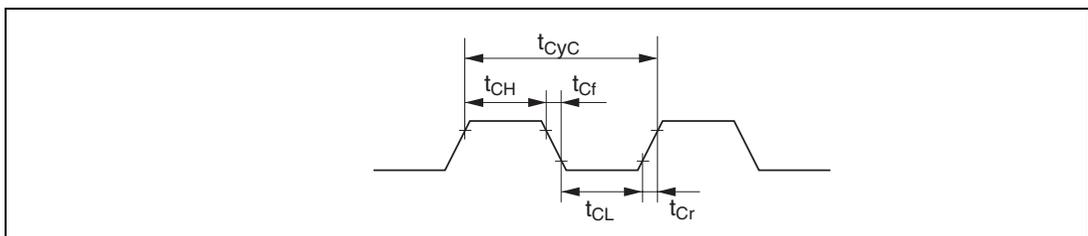


図 25C.2 システムクロックタイミング

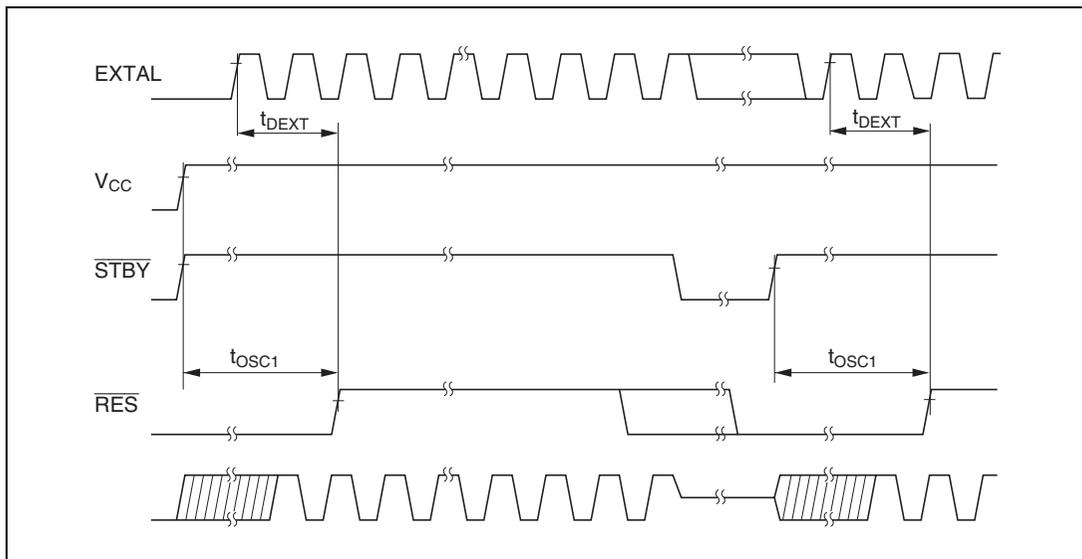


図 25C.3 発振安定時間タイミング

25C.3.2 制御信号タイミング

表 25C.5 に制御信号タイミングを示します。

表 25C.5 制御信号タイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V - AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 2 \sim 28MHz$ 、
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		min	max		
RES セットアップ時間	t_{RESS}	200		ns	図 25C.4
RES パルス幅	t_{RESW}	20		t_{cyc}	
MRES セットアップ時間	t_{MRESS}	250		ns	
MRES パルス幅	t_{MRESW}	20		t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150		ns	図 25C.5
NMI ホールド時間	t_{NMIH}	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		ns	
IRQ セットアップ時間	t_{IROS}	150		ns	
IRQ ホールド時間	t_{IRQH}	10		ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200		ns	

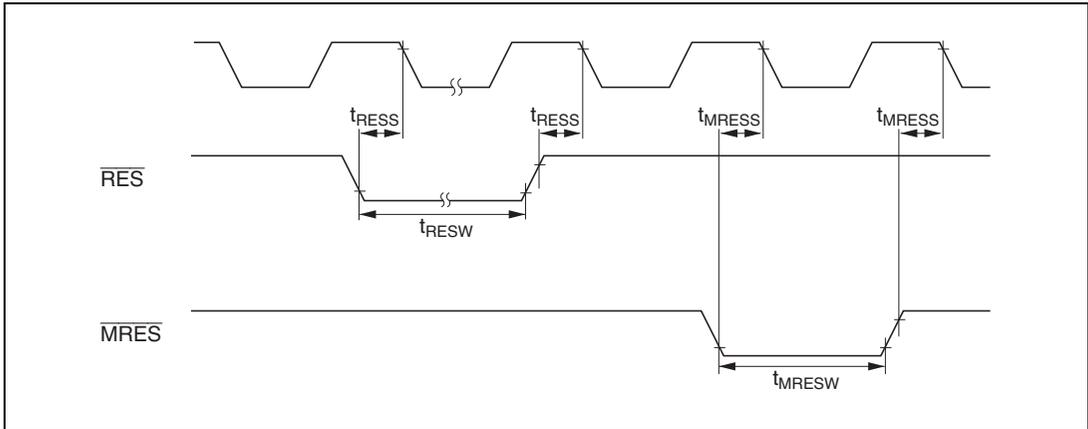


図 25C.4 リセット入力タイミング

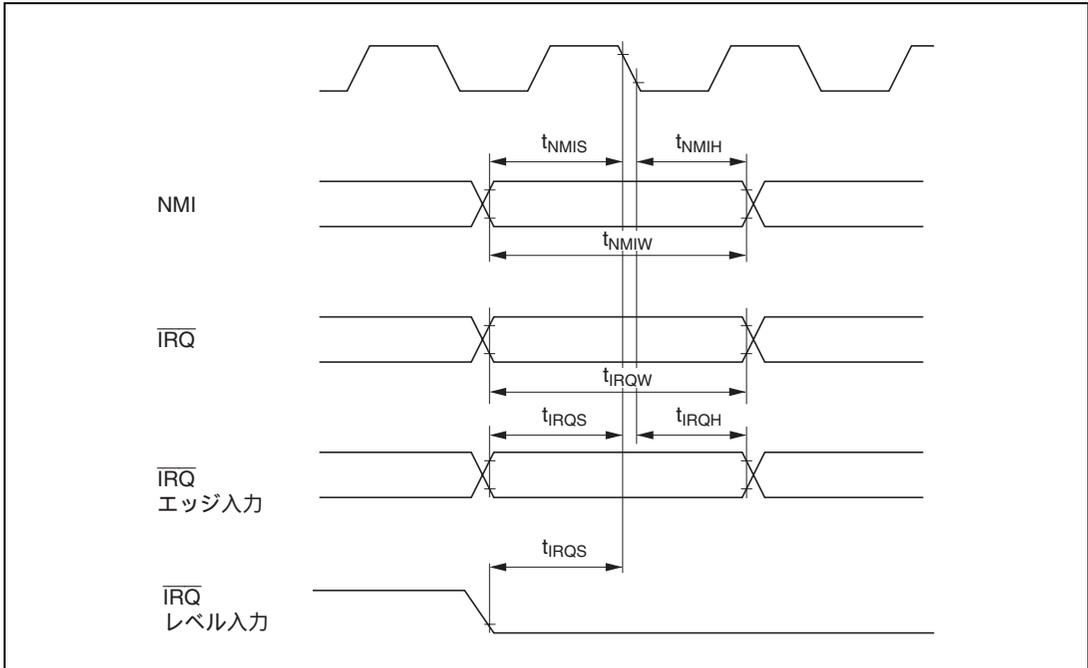


図 25C.5 割り込み入力タイミング

25C.3.3 バスタイミング

表 25C.6 にバスタイミングを示します。

表 25C.6 バスタイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V - AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f = 2 \sim 28MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	記号	条件		単位	測定条件
		min	max		
アドレス遅延時間	t_{AD}		20	ns	図 25C.6
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 13$		ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 8$		ns	図 25C.10
CS 遅延時間 1	t_{CSD1}		15	ns	
CS 遅延時間 2	t_{CSD2}		15	ns	
AS 遅延時間	t_{ASD}		15	ns	
RD 遅延時間 1	t_{RSD1}		15	ns	
RD 遅延時間 2	t_{RSD2}		15	ns	
リードデータセットアップ時間	t_{RDS}	15		ns	
リードデータホールド時間	t_{RDH}	0		ns	
リードデータアクセス時間 1	t_{ACC1}		$1.0 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 2	t_{ACC2}		$1.5 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 3	t_{ACC3}		$2.0 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 4	t_{ACC4}		$2.5 \times t_{cyc} - 15$	ns	
リードデータアクセス時間 5	t_{ACC5}		$3.0 \times t_{cyc} - 15$	ns	
WR 遅延時間 1	t_{WRD1}		15	ns	
WR 遅延時間 2	t_{WRD2}		15	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$		ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$		ns	
ライトデータ遅延時間	t_{WDD}		22	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 13$		ns	
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 8$		ns	
WR セットアップ時間	t_{WCS}	$0.5 \times t_{cyc} - 10$		ns	
WR ホールド時間	t_{WCH}	$0.5 \times t_{cyc} - 10$		ns	
WAIT セットアップ時間	t_{WTS}	25		ns	図 25C.8
WAIT ホールド時間	t_{WTH}	5		ns	
BREQ セットアップ時間	t_{BRGS}	30		ns	図 25C.11
BACK 遅延時間	t_{BACD}		15	ns	
バスマフローティング時間	t_{BZD}		40	ns	
BREQO 遅延時間	t_{BRQOD}		25	ns	図 25C.12

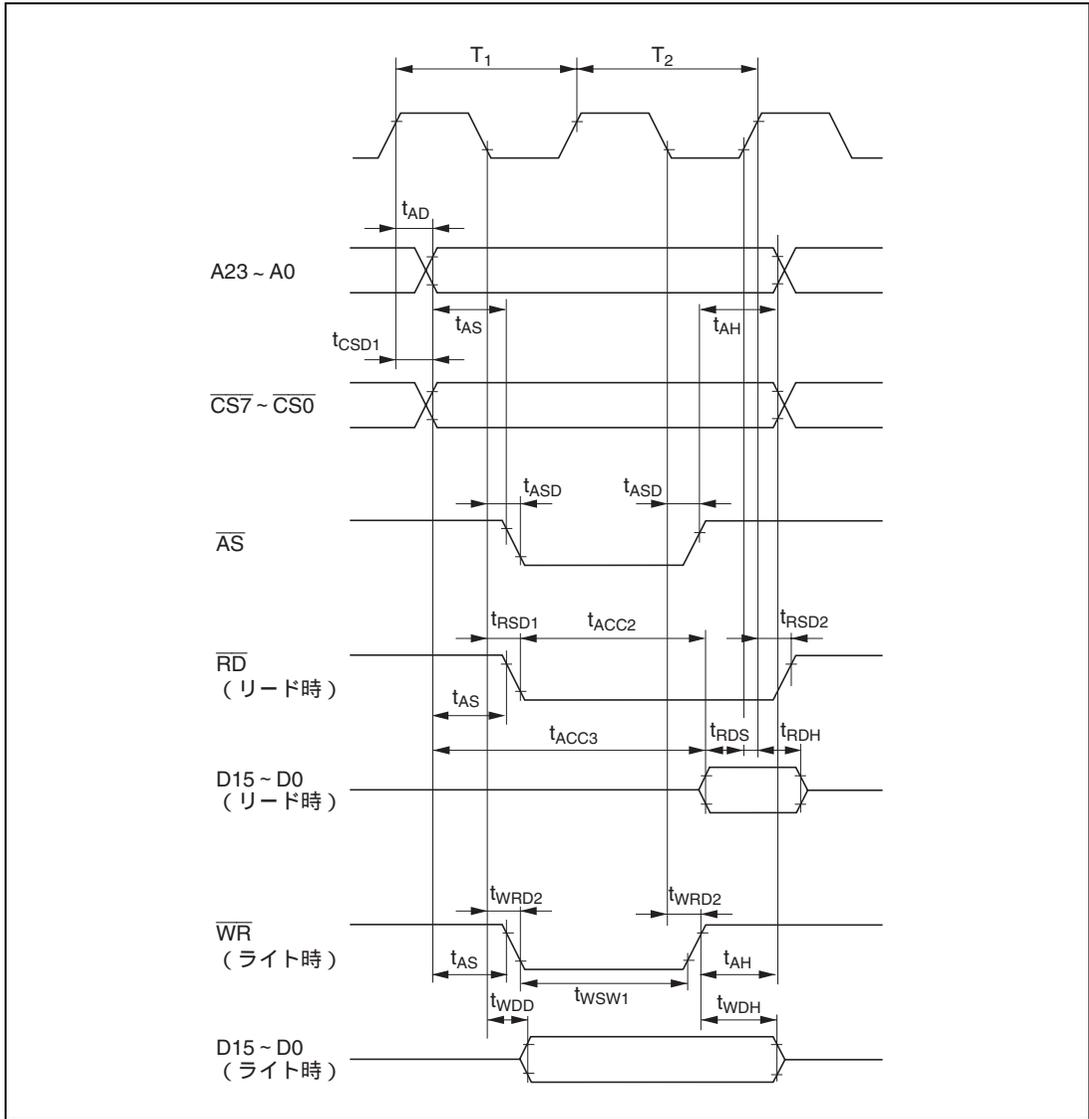


図 25C.6 基本バスタイミング / 2 ステートアクセス

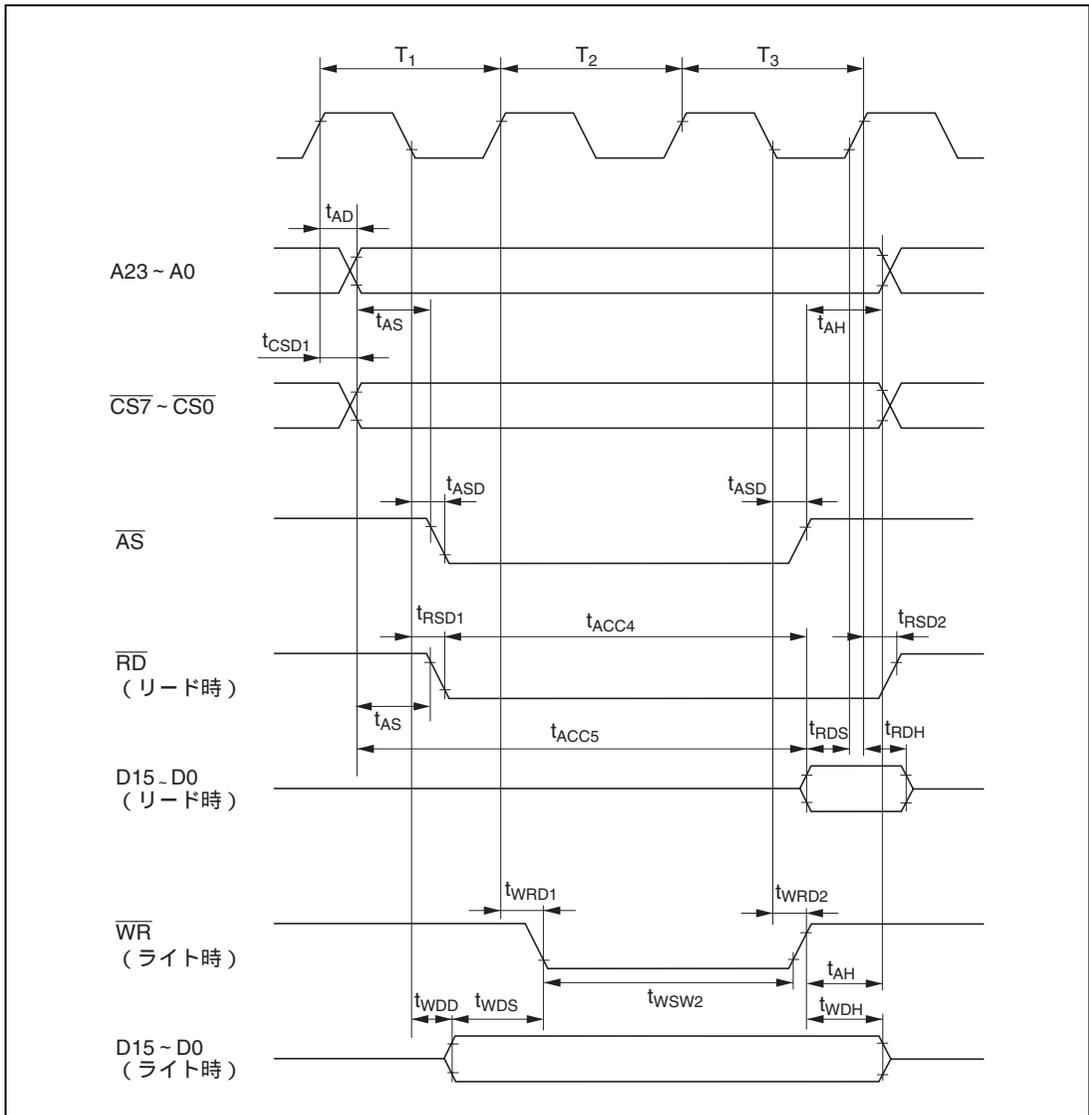


図 25C.7 基本バスタイミング / 3 ステートアクセス

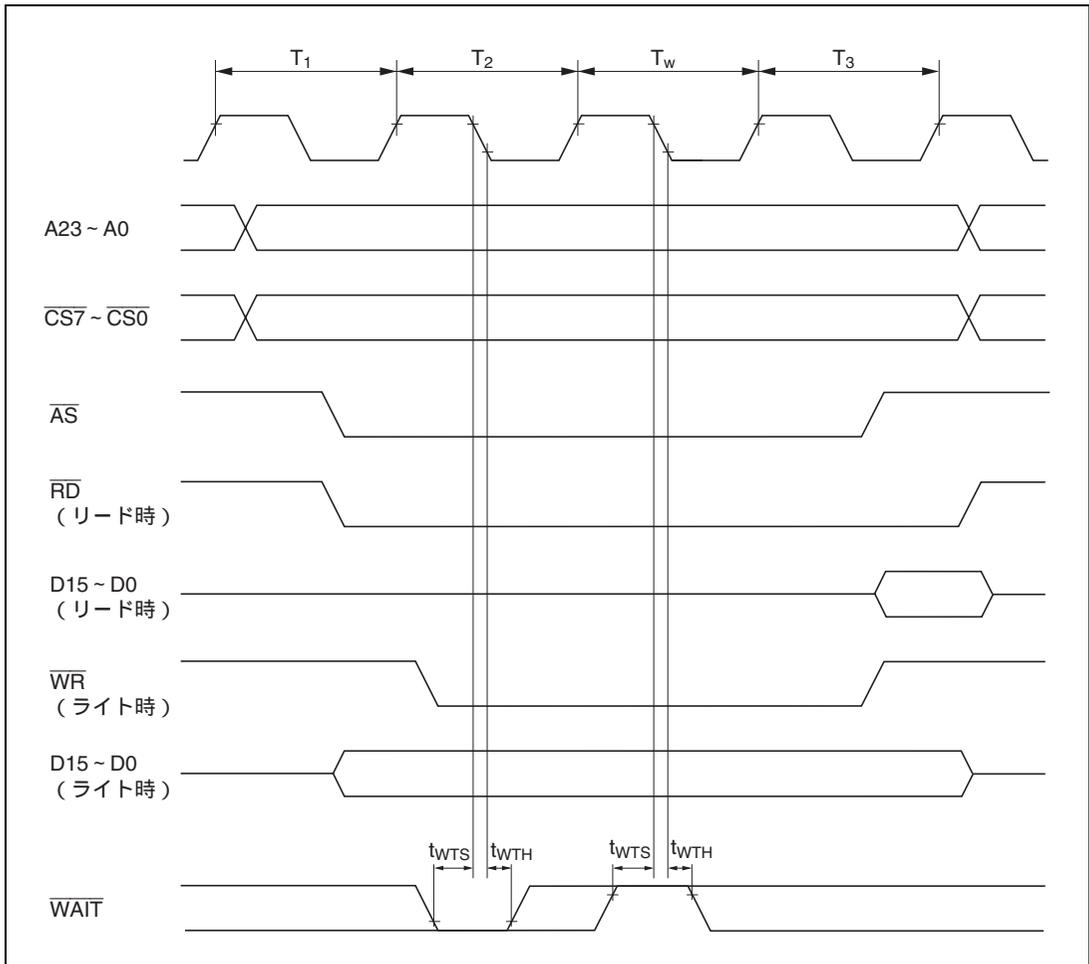


図 25C.8 基本バスタイミング / 3 ステートアクセス 1 ウェイト

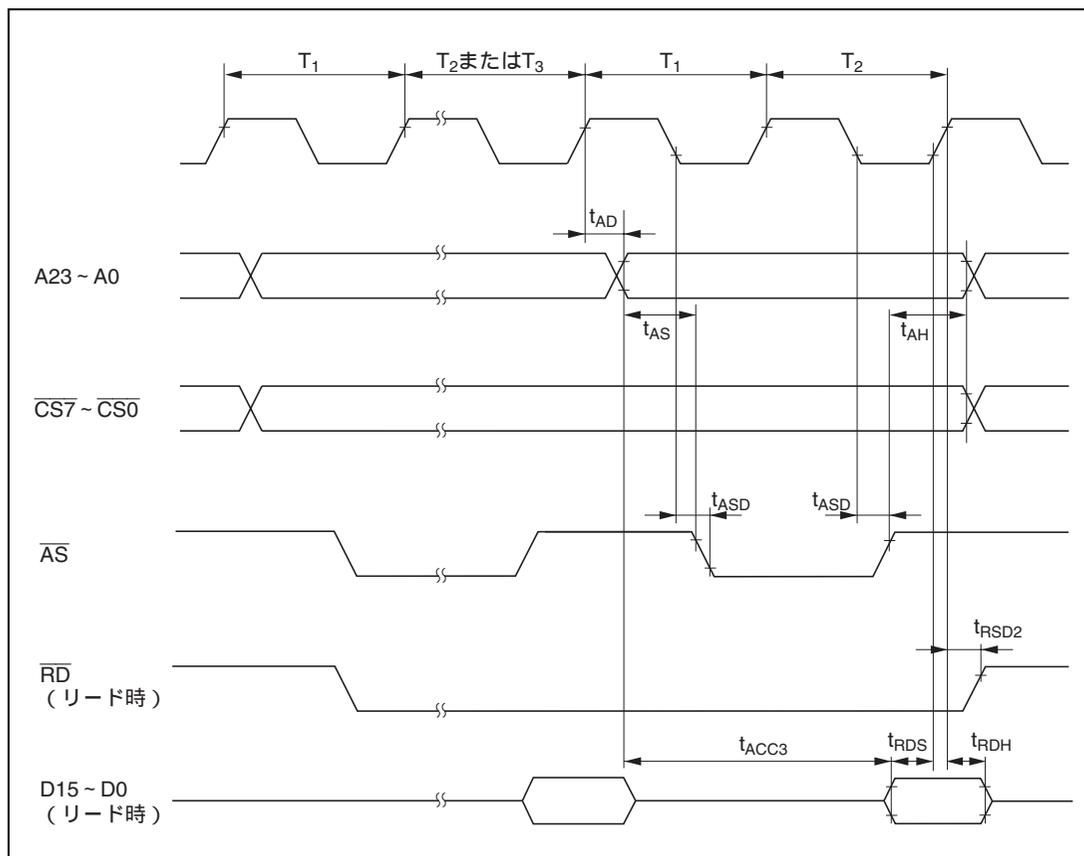


図 25C.9 バースト ROM アクセスタイミング / 2 ステートアクセス

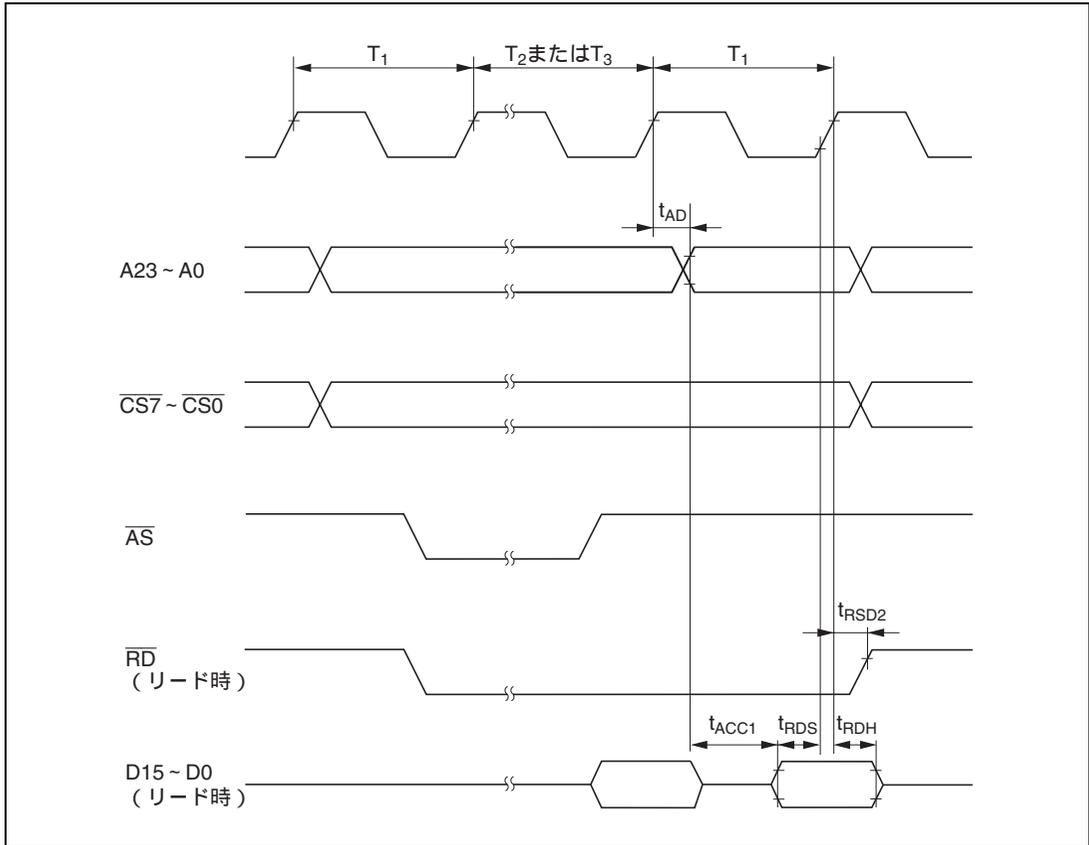


図 25C.10 パラレル ROM アクセスタイミング / 1 ステートアクセス

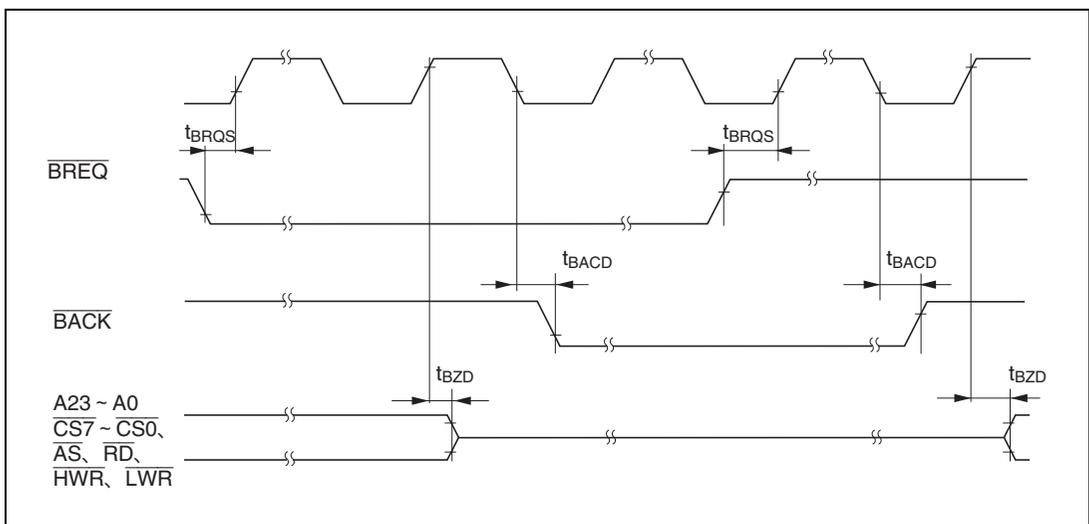


図 25C.11 外部バス権解放タイミング

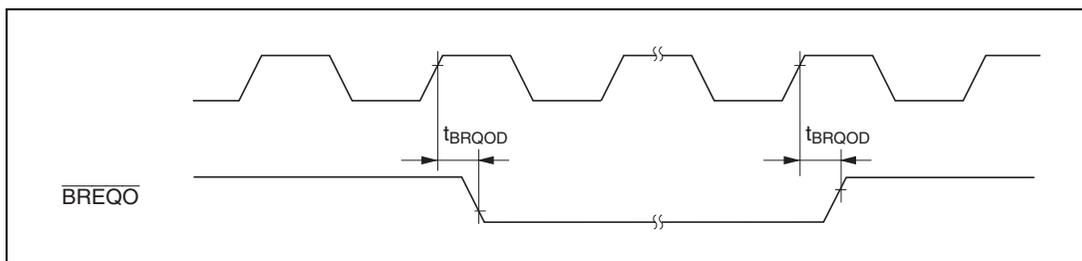


図 25C.12 外部バス権要求出力タイミング

25C.3.4 内蔵周辺モジュールタイミング

表 25C.7 に内蔵周辺タイミングを示します。

表 25C.7 内蔵周辺モジュールタイミング

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V - AV_{CC}$ 、

$V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{osc} = 2 \sim 28MHz$ 、

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	条件		単位	測定条件
			min	max		
I/O ポート	出力データ遅延時間	t_{PVD}		40	ns	図 25C.13
	入力データセットアップ時間	t_{PRS}	25			
	入力データホールド時間	t_{PRH}	25			
TPU	タイマ出力遅延時間	t_{TODD}		40	ns	図 25C.14
	タイマ入力セットアップ時間	t_{TICS}	25			
	タイマクロック入力セットアップ時間	t_{TCKS}	25		t_{cyc}	図 25C.15
	タイマクロック	単エッジ指定	t_{TCKWH}	1.5		
	パルス幅	両エッジ指定	t_{TCKWL}	2.5		
WDT0	オーバフロー出力遅延時間	t_{WOVD}		40	ns	図 25C.16
SCI	入力クロック サイクル	調歩同期	t_{Syc}	4	t_{cyc}	図 25C.17
		クロック同期		6		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Syc}	
	入力クロック立ち上がり時間	t_{SCKr}		1.5	t_{cyc}	
	入力クロック立ち下がり時間	t_{SCKf}		1.5		
	送信データ遅延時間	t_{TXD}		40	ns	図 25C.18
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40			
受信データホールド時間 (クロック同期)	t_{RXH}	40				
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	40		ns	図 25C.19

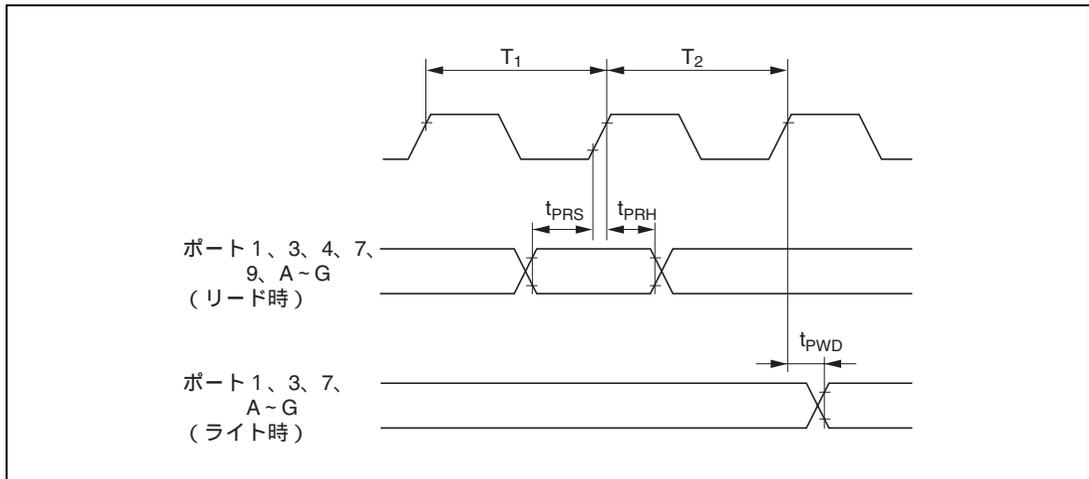


図 25C.13 I/O ポート入出力タイミング

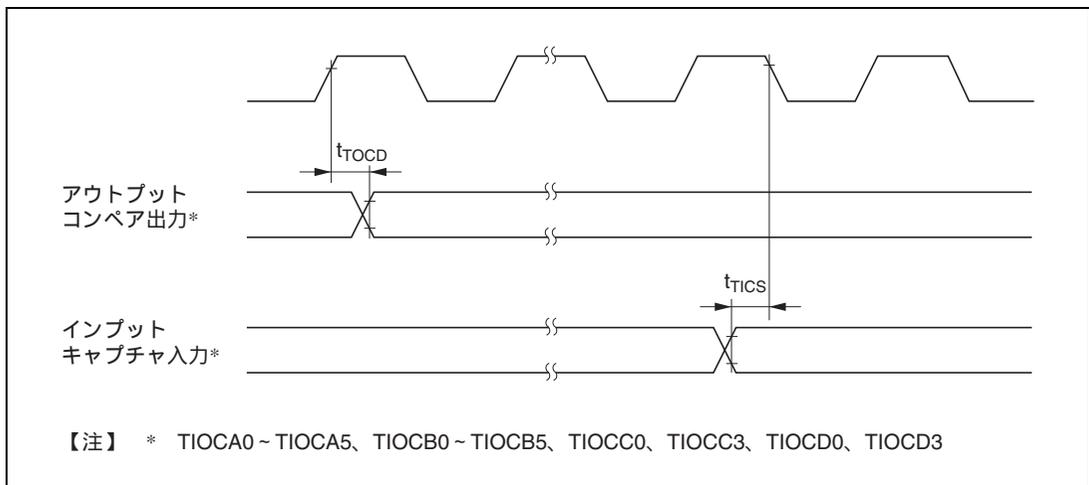


図 25C.14 TPU 入出力タイミング

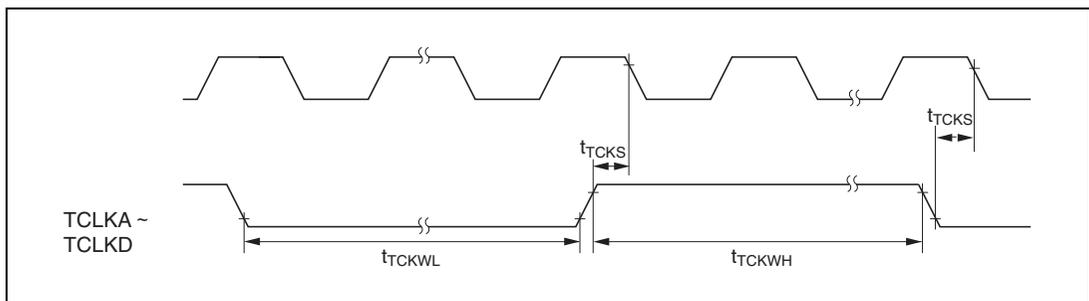


図 25C.15 TPU クロック入力タイミング

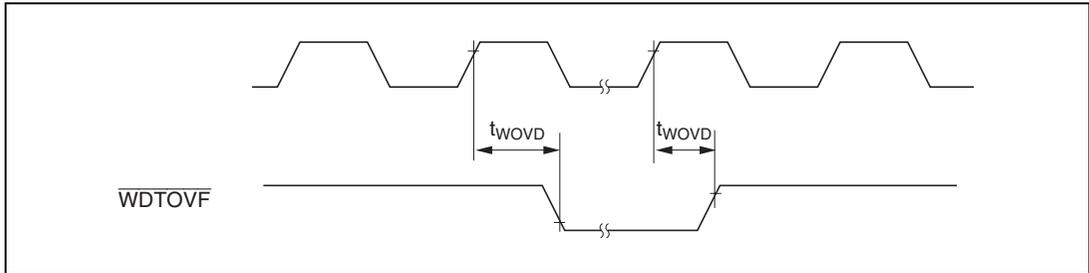


図 25C.16 WDT0 出力タイミング

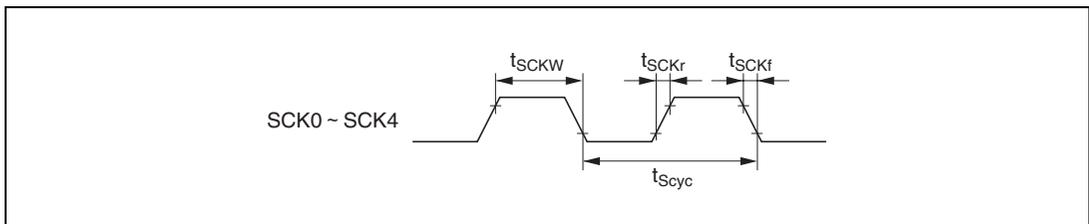


図 25C.17 SCK クロック入力タイミング

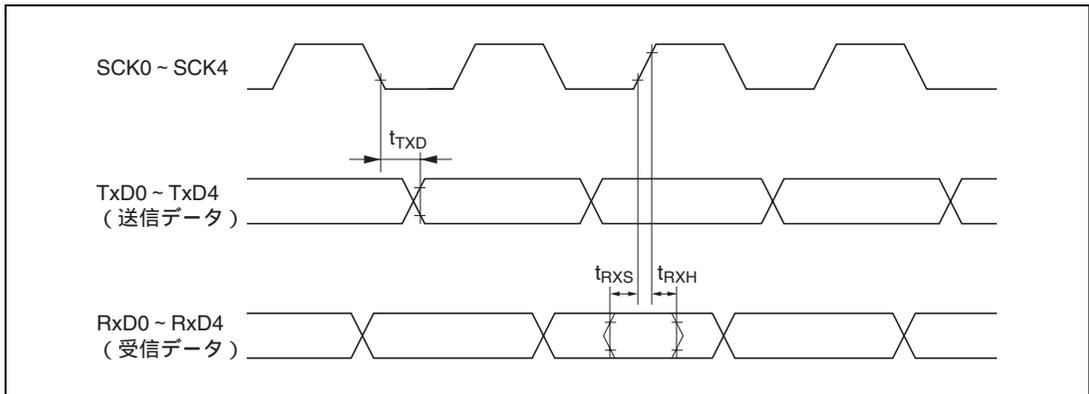


図 25C.18 SCI 入出力タイミング / クロック同期式モード

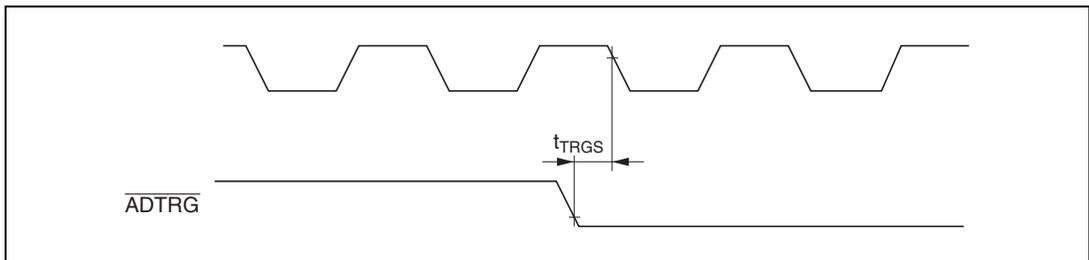


図 25C.19 A/D 変換器外部トリガ入力タイミング

25C.4 A/D 変換特性

表 25C.8 に A/D 変換特性を示します。

表 25C.8 A/D 変換特性

条件： $PV_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = PLLV_{SS} = 0V$ 、 $f_{clk} = 2 \sim 28MHz$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目	条件			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	10			μs
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k
非直線性誤差			± 3.5	LSB
オフセット誤差			± 3.5	LSB
フルスケール誤差			± 3.5	LSB
量子化誤差		± 0.5		LSB
絶対精度			± 4.0	LSB

25C.5 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
() < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L)、16 ビット (R0~R7、E0~E7) または 32 ビット (ER0~ER7) です。

《コンディションコード》

記 号	内 容
↑	実行結果に従って変化することを表します
*	不確定であることを表します（値を保証しません）
0	常に 0 にクリアされることを表します
1	常に 1 にセットされることを表します
-	実行結果に影響を受けないことを表します

表 A.1 命令セット一覧

(1) データ転送命令

二ノミック	サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
MOV	MOV.B #xx:8,Rd	B	2							#xx:8 Rd8			↑	↑	0		1	
	MOV.B Rs,Rd	B		2						Rs8 Rd8			↑	↑	0		1	
	MOV.B @ERs,Rd	B			2					@ERs Rd8			↑	↑	0		2	
	MOV.B @(d:16,ERs),Rd	B				4				@(d:16,ERs) Rd8			↑	↑	0		3	
	MOV.B @(d:32,ERs),Rd	B					8			@(d:32,ERs) Rd8			↑	↑	0		5	
	MOV.B @ERs+,Rd	B						2		@ERs Rd8,ERs32+1 ERs32			↑	↑	0		3	
	MOV.B @aa:8,Rd	B							2	@aa:8 Rd8			↑	↑	0		2	
	MOV.B @aa:16,Rd	B							4	@aa:16 Rd8			↑	↑	0		3	
	MOV.B @aa:32,Rd	B							6	@aa:32 Rd8			↑	↑	0		4	
	MOV.B Rs,@ERd	B			2					Rs8 @ERd			↑	↑	0		2	
	MOV.B Rs,@(d:16,ERd)	B				4				Rs8 @(d:16,ERd)			↑	↑	0		3	
	MOV.B Rs,@(d:32,ERd)	B					8			Rs8 @(d:32,ERd)			↑	↑	0		5	
	MOV.B Rs,@-ERd	B						2		ERd32-1 ERd32,Rs8 @ERd			↑	↑	0		3	
	MOV.B Rs,@aa:8	B							2	Rs8 @aa:8			↑	↑	0		2	
	MOV.B Rs,@aa:16	B							4	Rs8 @aa:16			↑	↑	0		3	
	MOV.B Rs,@aa:32	B							6	Rs8 @aa:32			↑	↑	0		4	
	MOV.W #xx:16,Rd	W	4							#xx:16 Rd16			↑	↑	0		2	
	MOV.W Rs,Rd	W		2						Rs16 Rd16			↑	↑	0		1	
	MOV.W @ERs,Rd	W			2					@ERs Rd16			↑	↑	0		2	
	MOV.W @(d:16,ERs),Rd	W				4				@(d:16,ERs) Rd16			↑	↑	0		3	
	MOV.W @(d:32,ERs),Rd	W					8			@(d:32,ERs) Rd16			↑	↑	0		5	
	MOV.W @ERs+,Rd	W						2		@ERs Rd16,ERs32+2 ERs32			↑	↑	0		3	
	MOV.W @aa:16,Rd	W							4	@aa:16 Rd16			↑	↑	0		3	
	MOV.W @aa:32,Rd	W							6	@aa:32 Rd16			↑	↑	0		4	
	MOV.W Rs,@ERd	W			2					Rs16 @ERd			↑	↑	0		2	
	MOV.W Rs,@(d:16,ERd)	W				4				Rs16 @(d:16,ERd)			↑	↑	0		3	
	MOV.W Rs,@(d:32,ERd)	W					8			Rs16 @(d:32,ERd)			↑	↑	0		5	
	MOV.W Rs,@-ERd	W						2		ERd32-2 ERd32,Rs16 @ERd			↑	↑	0		3	
	MOV.W Rs,@aa:16	W							4	Rs16 @aa:16			↑	↑	0		3	
	MOV.W Rs,@aa:32	W							6	Rs16 @aa:32			↑	↑	0		4	
	MOV.L #xx:32,ERd	L	6							#xx:32 ERd32			↑	↑	0		3	
	MOV.L ERs,ERd	L		2						ERs32 ERd32			↑	↑	0		1	
	MOV.L @ERs,ERd	L			4					@ERs ERd32			↑	↑	0		4	
	MOV.L @(d:16,ERs),ERd	L				6				@(d:16,ERs) ERd32			↑	↑	0		5	
	MOV.L @(d:32,ERs),ERd	L					10			@(d:32,ERs) ERd32			↑	↑	0		7	
	MOV.L @ERs+,ERd	L						4		@ERs ERd32,ERs32+4 ERs32			↑	↑	0		5	
	MOV.L @aa:16,ERd	L							6	@aa:16 ERd32			↑	↑	0		5	
	MOV.L @aa:32,ERd	L							8	@aa:32 ERd32			↑	↑	0		6	
	MOV.L ERs,@ERd	L			4					ERs32 @ERd			↑	↑	0		4	
	MOV.L ERs,@(d:16,ERd)	L				6				ERs32 @(d:16,ERd)			↑	↑	0		5	
	MOV.L ERs,@(d:32,ERd)	L					10			ERs32 @(d:32,ERd)			↑	↑	0		7	
	MOV.L ERs,@-ERd	L						4		ERd32-4 ERd32,ERs32 @ERd			↑	↑	0		5	
	MOV.L ERs,@aa:16	L							6	ERs32 @aa:16			↑	↑	0		5	
	MOV.L ERs,@aa:32	L							8	ERs32 @aa:32			↑	↑	0		6	
POP	POP.W Rn	W							2	@SP Rn16,SP+2 SP			↑	↑	0		3	
	POP.L ERn	L							4	@SP ERn32,SP+4 SP			↑	↑	0		5	
PUSH	PUSH.W Rn	W							2	SP-2 SP,Rn16 @SP			↑	↑	0		3	
	PUSH.L ERn	L							4	SP-4 SP,ERn32 @SP			↑	↑	0		5	
LDM*4	LDM @SP+,(ERm-ERn)	L							4	(@SP ERn32,SP+4 SP) 復帰本数分繰り返し							7/9/11 [1]	
STM*4	STM (ERm-ERn),@-SP	L							4	(SP-4 SP,ERn32 @SP) 退避本数分繰り返し							7/9/11 [1]	
MOVFPE	MOVFPE @aa:16,Rd																[2]	
MOVTPPE	MOVTPPE Rs,@aa:16																[2]	

(2) 算術演算命令

二一モニック	アドレッシングモード/命令長(バイト)	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数 ^{*1}	
			#xx	Rn	@ERn	@d(ERn)	@-ERn/@ERn+	@aa	@d(PC)	@aa		I	H	N	Z	V		C
ADD	ADD.B #xx:8,Rd	B	2															1
	ADD.B Rs,Rd	B	2															1
	ADD.W #xx:16,Rd	W	4															2
	ADD.W Rs,Rd	W	2															1
	ADD.L #xx:32,ERd	L	6															3
ADD.L ERs,ERd	L	2																1
ADDX	ADDX #xx:8,Rd	B	2															1
	ADDX Rs,Rd	B	2															1
ADDS	ADDS #1,ERd	L	2															1
	ADDS #2,ERd	L	2															1
	ADDS #4,ERd	L	2															1
INC	INC.B Rd	B	2															1
	INC.W #1,Rd	W	2															1
	INC.W #2,Rd	W	2															1
	INC.L #1,ERd	L	2															1
	INC.L #2,ERd	L	2															1
DAA	DAA Rd	B	2								*						1	
SUB	SUB.B Rs,Rd	B	2															1
	SUB.W #xx:16,Rd	W	4															2
	SUB.W Rs,Rd	W	2															1
	SUB.L #xx:32,ERd	L	6															3
	SUB.L ERs,ERd	L	2															1
SUBX	SUBX #xx:8,Rd	B	2															1
	SUBX Rs,Rd	B	2															1
	SUBS #1,ERd	L	2															1
	SUBS #2,ERd	L	2															1
DEC	DEC.B Rd	B	2															1
	DEC.W #1,Rd	W	2															1
	DEC.W #2,Rd	W	2															1
	DEC.L #1,ERd	L	2															1
DAS	DAS Rd	B	2														1	
MULXU	MULXU.B Rs,Rd	B	2															3
	MULXU.W Rs,ERd	W	2															4
MULXS	MULXS.B Rs,Rd	B	4															4
	MULXS.W Rs,ERd	W	4															5
DIVXU	DIVXU.B Rs,Rd	B	2															12
	DIVXU.W Rs,ERd	W	2															20
DIVXS	DIVXS.B Rs,Rd	B	4															13
	DIVXS.W Rs,ERd	W	4															21
CMP	CMP.B #xx:8,Rd	B	2															1
	CMP.B Rs,Rd	B	2															1
	CMP.W #xx:16,Rd	W	4															2
	CMP.W Rs,Rd	W	2															1
	CMP.L #xx:32,ERd	L	6															3
NEG	NEG.B Rd	B	2															1
EXTU	EXTU.W Rd	W	2															1
	EXTU.L ERd	L	2															1
	EXTS.W Rd	W	2															1
EXTS	EXTS.L ERd	L	2															1
	EXTS.W Rd	W	2															1
TAS ^{*3}	TAS @ERd	B				4												4
MAC	MAC @ERn+,@ERm+																	4
CLRMACH	CLRMACH																	2 [12]
LDMACH	LDMACH ERs,MACH	L	2															2 [12]
STMACH	STMACH MACH,ERd	L	2															1 [12]
	STMACH MACL,ERd	L	2															1 [12]

(3) 論理演算命令

二 ーモニック	サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード					実行ステート数 ^{#1}	
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V		C
		アドバンスト															
AND	AND.B #xx:8,Rd	B	2											↑	↑	0	1
	AND.B Rs,Rd	B	2											↑	↑	0	1
	AND.W #xx:16,Rd	W	4											↑	↑	0	2
	AND.W Rs,Rd	W	4											↑	↑	0	1
	AND.L #xx:32,ERd	L	6											↑	↑	0	3
AND.L ERs,ERd	L	4											↑	↑	0	2	
OR	OR.B #xx:8,Rd	B	2											↑	↑	0	1
	OR.B Rs,Rd	B	2											↑	↑	0	1
	OR.W #xx:16,Rd	W	4											↑	↑	0	2
	OR.W Rs,Rd	W	4											↑	↑	0	1
	OR.L #xx:32,ERd	L	6											↑	↑	0	3
OR.L ERs,ERd	L	4											↑	↑	0	2	
XOR	XOR.B #xx:8,Rd	B	2											↑	↑	0	1
	XOR.B Rs,Rd	B	2											↑	↑	0	1
	XOR.W #xx:16,Rd	W	4											↑	↑	0	2
	XOR.W Rs,Rd	W	4											↑	↑	0	1
	XOR.L #xx:32,ERd	L	6											↑	↑	0	3
XOR.L ERs,ERd	L	4											↑	↑	0	2	
NOT	NOT.B Rd	B	2											↑	↑	0	1
	NOT.W Rd	W	2											↑	↑	0	1
	NOT.L ERd	L	2											↑	↑	0	1

(4) シフト命令

二ーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行 ステート数*1 アドバンス		
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)		@ @aa	I	H	N	Z		V	C
SHAL	SHAL.B Rd	B	2													1		
	SHAL.B #2,Rd	B	2													1		
	SHAL.W Rd	W	2													1		
	SHAL.W #2,Rd	W	2													1		
	SHAL.L ERd	L	2													1		
	SHAL.L #2,ERd	L	2													1		
SHAR	SHAR.B Rd	B	2										0			1		
	SHAR.B #2,Rd	B	2										0			1		
	SHAR.W Rd	W	2										0			1		
	SHAR.W #2,Rd	W	2										0			1		
	SHAR.L ERd	L	2										0			1		
	SHAR.L #2,ERd	L	2										0			1		
SHLL	SHLL.B Rd	B	2										0			1		
	SHLL.B #2,Rd	B	2										0			1		
	SHLL.W Rd	W	2										0			1		
	SHLL.W #2,Rd	W	2										0			1		
	SHLL.L ERd	L	2										0			1		
	SHLL.L #2,ERd	L	2										0			1		
SHLR	SHLR.B Rd	B	2										0			1		
	SHLR.B #2,Rd	B	2										0			1		
	SHLR.W Rd	W	2										0			1		
	SHLR.W #2,Rd	W	2										0			1		
	SHLR.L ERd	L	2										0			1		
	SHLR.L #2,ERd	L	2										0			1		
ROTXL	ROTXL.B Rd	B	2											0		1		
	ROTXL.B #2,Rd	B	2											0		1		
	ROTXL.W Rd	W	2											0		1		
	ROTXL.W #2,Rd	W	2											0		1		
	ROTXL.L ERd	L	2											0		1		
	ROTXL.L #2,ERd	L	2											0		1		
ROTXR	ROTXR.B Rd	B	2											0		1		
	ROTXR.B #2,Rd	B	2											0		1		
	ROTXR.W Rd	W	2											0		1		
	ROTXR.W #2,Rd	W	2											0		1		
	ROTXR.L ERd	L	2											0		1		
	ROTXR.L #2,ERd	L	2											0		1		
ROTL	ROTL.B Rd	B	2											0		1		
	ROTL.B #2,Rd	B	2											0		1		
	ROTL.W Rd	W	2											0		1		
	ROTL.W #2,Rd	W	2											0		1		
	ROTL.L ERd	L	2											0		1		
	ROTL.L #2,ERd	L	2											0		1		
ROTR	ROTR.B Rd	B	2											0		1		
	ROTR.B #2,Rd	B	2											0		1		
	ROTR.W Rd	W	2											0		1		
	ROTR.W #2,Rd	W	2											0		1		
	ROTR.L ERd	L	2											0		1		
	ROTR.L #2,ERd	L	2											0		1		

(5) ビット操作命令

二モニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード					実行ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn/ERn+	@aa	@ (d,PC)		@aa	I	H	N	Z		V	C
											アドバンスト						
BSET	BSET #xx:3,Rd	B	2						(#xx:3 of Rd8) 1								1
	BSET #xx:3,@ERd	B		4					(#xx:3 of @ERd) 1								4
	BSET #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) 1								4
	BSET #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) 1								5
	BSET #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) 1								6
	BSET Rn,Rd	B	2						(Rn8 of Rd8) 1								1
	BSET Rn,@ERd	B		4					(Rn8 of @ERd) 1								4
	BSET Rn,@aa:8	B					4		(Rn8 of @aa:8) 1								4
	BSET Rn,@aa:16	B					6		(Rn8 of @aa:16) 1								5
	BSET Rn,@aa:32	B					8		(Rn8 of @aa:32) 1								6
BCLR	BCLR #xx:3,Rd	B	2						(#xx:3 of Rd8) 0								1
	BCLR #xx:3,@ERd	B		4					(#xx:3 of @ERd) 0								4
	BCLR #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) 0								4
	BCLR #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) 0								5
	BCLR #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) 0								6
	BCLR Rn,Rd	B	2						(Rn8 of Rd8) 0								1
	BCLR Rn,@ERd	B		4					(Rn8 of @ERd) 0								4
	BCLR Rn,@aa:8	B					4		(Rn8 of @aa:8) 0								4
	BCLR Rn,@aa:16	B					6		(Rn8 of @aa:16) 0								5
	BCLR Rn,@aa:32	B					8		(Rn8 of @aa:32) 0								6
BNOT	BNOT #xx:3,Rd	B	2						(#xx:3 of Rd8) [~(#xx:3 of Rd8)]								1
	BNOT #xx:3,@ERd	B		4					(#xx:3 of @ERd) [~(#xx:3 of @ERd)]								4
	BNOT #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) [~(#xx:3 of @aa:8)]								4
	BNOT #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) [~(#xx:3 of @aa:16)]								5
	BNOT #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) [~(#xx:3 of @aa:32)]								6
	BNOT Rn,Rd	B	2						(Rn8 of Rd8) [~(Rn8 of Rd8)]								1
	BNOT Rn,@ERd	B		4					(Rn8 of @ERd) [~(Rn8 of @ERd)]								4
	BNOT Rn,@aa:8	B					4		(Rn8 of @aa:8) [~(Rn8 of @aa:8)]								4
	BNOT Rn,@aa:16	B					6		(Rn8 of @aa:16) [~(Rn8 of @aa:16)]								5
	BNOT Rn,@aa:32	B					8		(Rn8 of @aa:32) [~(Rn8 of @aa:32)]								6
BTST	BTST #xx:3,Rd	B	2						~(#xx:3 of Rd8) Z								1
	BTST #xx:3,@ERd	B		4					~(#xx:3 of @ERd) Z								3
	BTST #xx:3,@aa:8	B					4		~(#xx:3 of @aa:8) Z								3
	BTST #xx:3,@aa:16	B					6		~(#xx:3 of @aa:16) Z								4
	BTST #xx:3,@aa:32	B					8		~(#xx:3 of @aa:32) Z								5
	BTST Rn,Rd	B	2						~(Rn8 of Rd8) Z								1
	BTST Rn,@ERd	B		4					~(Rn8 of @ERd) Z								3
	BTST Rn,@aa:8	B					4		~(Rn8 of @aa:8) Z								3
	BTST Rn,@aa:16	B					6		~(Rn8 of @aa:16) Z								4
	BTST Rn,@aa:32	B					8		~(Rn8 of @aa:32) Z								5
BLD	BLD #xx:3,Rd	B	2						(#xx:3 of Rd8) C								1
	BLD #xx:3,@ERd	B		4					(#xx:3 of @ERd) C								3
	BLD #xx:3,@aa:8	B					4		(#xx:3 of @aa:8) C								3
	BLD #xx:3,@aa:16	B					6		(#xx:3 of @aa:16) C								4
	BLD #xx:3,@aa:32	B					8		(#xx:3 of @aa:32) C								5
BILD	BILD #xx:3,Rd	B	2						~(#xx:3 of Rd8) C								1
	BILD #xx:3,@ERd	B		4					~(#xx:3 of @ERd) C								3
	BILD #xx:3,@aa:8	B					4		~(#xx:3 of @aa:8) C								3
	BILD #xx:3,@aa:16	B					6		~(#xx:3 of @aa:16) C								4
	BILD #xx:3,@aa:32	B					8		~(#xx:3 of @aa:32) C								5
BST	BST #xx:3,Rd	B	2						C (#xx:3 of Rd8)								1
	BST #xx:3,@ERd	B		4					C (#xx:3 of @ERd)								4
	BST #xx:3,@aa:8	B					4		C (#xx:3 of @aa:8)								4
	BST #xx:3,@aa:16	B					6		C (#xx:3 of @aa:16)								5
	BST #xx:3,@aa:32	B					8		C (#xx:3 of @aa:32)								6
BIST	BIST #xx:3,Rd	B	2						~C (#xx:3 of Rd8)								1
	BIST #xx:3,@ERd	B		4					~C (#xx:3 of @ERd)								4
	BIST #xx:3,@aa:8	B					4		~C (#xx:3 of @aa:8)								4
	BIST #xx:3,@aa:16	B					6		~C (#xx:3 of @aa:16)								5
	BIST #xx:3,@aa:32	B					8		~C (#xx:3 of @aa:32)								6
BAND	BAND #xx:3,Rd	B	2						C^(#xx:3 of Rd8) C								1
	BAND #xx:3,@ERd	B		4					C^(#xx:3 of @ERd) C								3
	BAND #xx:3,@aa:8	B					4		C^(#xx:3 of @aa:8) C								3
	BAND #xx:3,@aa:16	B					6		C^(#xx:3 of @aa:16) C								4
	BAND #xx:3,@aa:32	B					8		C^(#xx:3 of @aa:32) C								5

二一モニツク		サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード					実行		
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)		@@aa	I	H	N	Z	V	C	スタート数*1
																		アドバンスト
BIAND	BIAND #xx:3,Rd	B	2												↑	1		
	BIAND #xx:3,@ERd	B		4											↑	3		
	BIAND #xx:3,@aa:8	B					4								↑	3		
	BIAND #xx:3,@aa:16	B					6								↑	4		
	BIAND #xx:3,@aa:32	B					8								↑	5		
BOR	BOR #xx:3,Rd	B	2												↑	1		
	BOR #xx:3,@ERd	B		4											↑	3		
	BOR #xx:3,@aa:8	B					4								↑	3		
	BOR #xx:3,@aa:16	B					6								↑	4		
	BOR #xx:3,@aa:32	B					8								↑	5		
BIOR	BIOR #xx:3,Rd	B	2												↑	1		
	BIOR #xx:3,@ERd	B		4											↑	3		
	BIOR #xx:3,@aa:8	B					4								↑	3		
	BIOR #xx:3,@aa:16	B					6								↑	4		
	BIOR #xx:3,@aa:32	B					8								↑	5		
BXOR	BXOR #xx:3,Rd	B	2												↑	1		
	BXOR #xx:3,@ERd	B		4											↑	3		
	BXOR #xx:3,@aa:8	B					4								↑	3		
	BXOR #xx:3,@aa:16	B					6								↑	4		
	BXOR #xx:3,@aa:32	B					8								↑	5		
BIXOR	BIXOR #xx:3,Rd	B	2												↑	1		
	BIXOR #xx:3,@ERd	B		4											↑	3		
	BIXOR #xx:3,@aa:8	B					4								↑	3		
	BIXOR #xx:3,@aa:16	B					6								↑	4		
	BIXOR #xx:3,@aa:32	B					8								↑	5		

(6) 分岐命令

二一モニック	サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード						実行ステート数 ^{#1}	
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@@aa		分岐条件	I	H	N	Z	V		C
												アドバンスト						
Bcc	BRA d:8(BT d:8)							2		if condition is true then PC PC + d else next;	Always							2
	BRA d:16(BT d:16)							4			Never							2
	BRN d:8(BF d:8)							2			CZ=0							2
	BRN d:16(BF d:16)							4			CZ=1							2
	BHI d:8							2			C=0							2
	BHI d:16							4			C=1							2
	BLS d:8							2			Z=0							2
	BLS d:16							4			Z=1							2
	BCC d:8(BHS d:8)							2			V=0							2
	BCC d:16(BHS d:16)							4			V=1							2
	BCS d:8(BLO d:8)							2			N=0							2
	BCS d:16(BLO d:16)							4			N=1							2
	BNE d:8							2			N@V=0							2
	BNE d:16							4			N@V=1							2
	BEQ d:8							2			Z(N@V)=0							2
	BEQ d:16							4			Z(N@V)=1							2
	BVC d:8							2										2
	BVC d:16							4										2
	BVS d:8							2										2
	BVS d:16							4										2
	BPL d:8							2										2
	BPL d:16							4										2
	BMI d:8							2										2
	BMI d:16							4										2
	BGE d:8							2										2
	BGE d:16							4										2
	BLT d:8							2										2
	BLT d:16							4										2
	BGT d:8							2										2
	BGT d:16							4										2
BLE d:8							2									2		
BLE d:16							4									2		
JMP	JMP @ERn			2						PC ERn							2	
	JMP @aa:24						4			PC aa:24							3	
	JMP @@aa:8							2		PC @aa:8							5	
BSR	BSR d:8							2		PC @-SP,PC PC+d:8							4	
	BSR d:16							4		PC @-SP,PC PC+d:16							5	
JSR	JSR @ERn			2						PC @-SP,PC ERn							4	
	JSR @aa:24						4			PC @-SP,PC aa:24							5	
	JSR @@aa:8							2		PC @-SP,PC @aa:8							6	
RTS	RTS							2	2	PC @SP+							5	

(7) システム制御命令

二モニック	サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション						アドバンスト										
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@aa		I	H	N	Z	V		C									
TRAPA	TRAPA #xx:2																	PC @-SP,CCR @-SP,EXR @-SP,<ベクタ> PC	1							8 [9]
RTE	RTE																	EXR @SP+,CCR @SP+,PC @SP+	↑	↑	↑	↑	↑	↑	↑	5 [9]
SLEEP	SLEEP																	低消費電力状態に遷移								2
LDC	LDC #xx:8,CCR	B	2															#xx:8 CCR	↑	↑	↑	↑	↑	↑	↑	1
	LDC #xx:8,EXR	B	4															#xx:8 EXR	↑	↑	↑	↑	↑	↑	↑	2
	LDC Rs,CCR	B		2														Rs8 CCR	↑	↑	↑	↑	↑	↑	↑	1
	LDC Rs,EXR	B		2														Rs8 EXR	↑	↑	↑	↑	↑	↑	↑	1
	LDC @ERs,CCR	W			4													@ERs CCR	↑	↑	↑	↑	↑	↑	↑	3
	LDC @ERs,EXR	W			4													@ERs EXR	↑	↑	↑	↑	↑	↑	↑	3
	LDC @(d:16,ERs),CCR	W				6												@(d:16,ERs) CCR	↑	↑	↑	↑	↑	↑	↑	4
	LDC @(d:16,ERs),EXR	W				6												@(d:16,ERs) EXR	↑	↑	↑	↑	↑	↑	↑	4
	LDC @(d:32,ERs),CCR	W				10												@(d:32,ERs) CCR	↑	↑	↑	↑	↑	↑	↑	6
	LDC @(d:32,ERs),EXR	W				10												@(d:32,ERs) EXR	↑	↑	↑	↑	↑	↑	↑	6
	LDC @ERs+,CCR	W					4											@ERs CCR,ERs32+2 ERs32	↑	↑	↑	↑	↑	↑	↑	4
	LDC @ERs+,EXR	W					4											@ERs EXR,ERs32+2 ERs32	↑	↑	↑	↑	↑	↑	↑	4
	LDC @aa:16,CCR	W						6										@aa:16 CCR	↑	↑	↑	↑	↑	↑	↑	4
	LDC @aa:16,EXR	W						6										@aa:16 EXR	↑	↑	↑	↑	↑	↑	↑	4
LDC @aa:32,CCR	W							8									@aa:32 CCR	↑	↑	↑	↑	↑	↑	↑	5	
LDC @aa:32,EXR	W							8									@aa:32 EXR	↑	↑	↑	↑	↑	↑	↑	5	
STC	STC CCR,Rd	B		2														CCR Rd8								1
	STC EXR,Rd	B		2														EXR Rd8								1
	STC CCR,@ERd	W			4													CCR @ERd								3
	STC EXR,@ERd	W			4													EXR @ERd								3
	STC CCR,@(d:16,ERd)	W				6												CCR @(d:16,ERd)								4
	STC EXR,@(d:16,ERd)	W				6												EXR @(d:16,ERd)								4
	STC CCR,@(d:32,ERd)	W				10												CCR @(d:32,ERd)								6
	STC EXR,@(d:32,ERd)	W				10												EXR @(d:32,ERd)								6
	STC CCR,@-ERd	W					4											ERd32-2 ERd32,CCR @ERd								4
	STC EXR,@-ERd	W					4											ERd32-2 ERd32,EXR @ERd								4
	STC CCR,@aa:16	W						6										CCR @aa:16								4
	STC EXR,@aa:16	W						6										EXR @aa:16								4
STC CCR,@aa:32	W							8									CCR @aa:32								5	
STC EXR,@aa:32	W							8									EXR @aa:32								5	
ANDC	ANDC #xx:8,CCR	B	2															CCR^#xx:8 CCR	↑	↑	↑	↑	↑	↑	↑	1
	ANDC #xx:8,EXR	B	4															EXR^#xx:8 EXR	↑	↑	↑	↑	↑	↑	↑	2
ORC	ORC #xx:8,CCR	B	2															CCR^#xx:8 CCR	↑	↑	↑	↑	↑	↑	↑	1
	ORC #xx:8,EXR	B	4															EXR^#xx:8 EXR	↑	↑	↑	↑	↑	↑	↑	2
XORC	XORC #xx:8,CCR	B	2															CCR@#xx:8 CCR	↑	↑	↑	↑	↑	↑	↑	1
	XORC #xx:8,EXR	B	4															EXR@#xx:8 EXR	↑	↑	↑	↑	↑	↑	↑	2
NOP	NOP																	PC PC+2								1

(8) ブロック転送命令

二モニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード					実行ステート数*1	
		#xx	Rn	@ERn	@(d,ERn)	@-ERn@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V		C
													アドバンスト				
EPMOV	EPMOV.B									4	if R4L'0 Repeat @ER5 @ER6 ER5+1 ER5 ER6+1 ER6 R4L-1 R4L Until R4L=0 else next;						4+2n *2
	EPMOV.W									4	if R4'0 Repeat @ER5 @ER6 ER5+1 ER5 ER6+1 ER6 R4-1 R4 Until R4=0 else next;						4+2n *2

- 【注】 *1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。
 *2 nはR4LまたはR4の初期設定値です。
 *3 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。
 *4 STM/LDM命令を使用する場合は、レジスタER0～ER6を使用してください。
- [1] 復帰/退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。
 [2] 本LSIでは使用できません。
 [3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 [4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 [5] 演算結果が0(ゼロ)のとき、演算前の値を保持し、それ以外のとき0にクリアされます。
 [6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
 [7] 除数が0(ゼロ)のとき1にセットされ、それ以外のとき0にクリアされます。
 [8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。
 [9] EXRが有効のとき、実行ステート数は1ステート多くなります。
 [10] STMAC命令を実行することで、MAC命令の結果がフラグに反映されます。
 [11] MAC命令実行後3ステート以内にこれらの命令を実行しようとした場合、最大で3ステート多くなります。
 たとえば、MAC命令とこれらの命令の間に1ステート命令(NOPなど)が1つある場合、これらの命令は2ステート多くなります。

A.2 命令コード一覧

表A.2 命令コード一覧

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
ADD	ADD.B #xx:8,Rd	B	8	rd																
	ADD.B Rs,Rd	B	0	8	rs	rd														
	ADD.W #xx:16,Rd	W	7	9	1	rd		IMM												
	ADD.W Rs,Rd	W	0	9	rs	rd														
	ADD.L #xx:32,ERd	L	7	A	1	0:erd					IMM									
ADDS	ADDS #1,ERd	L	0	A	1:ers	0:erd														
	ADDS #2,ERd	L	0	B	0	0:erd														
	ADDS #2,ERd	L	0	B	8	0:erd														
	ADDS #4,ERd	L	0	B	9	0:erd														
	ADDS #4,ERd	L	0	B	9	0:erd														
ADDX	ADDX #xx:8,Rd	B	9	rd																
	ADDX Rs,Rd	B	0	E	rs	rd														
	AND.B #xx:8,Rd	B	E	rd																
	AND.B Rs,Rd	B	1	6	rs	rd														
	AND.W #xx:16,Rd	W	7	9	6	rd					IMM									
AND.L	AND.W Rs,Rd	W	6	6	rs	rd														
	AND.L #xx:32,ERd	L	7	A	6	0:erd														
	AND.L ERs,ERd	L	0	1	F	0	6	6	0:ers	0:erd										
	ANDC #xx:8,CCR	B	0	6																
	ANDC #xx:8,EXR	B	0	1	4	1	0	6		IMM										
BAND	BAND #xx:3,Rd	B	7	6	0:IMM	rd														
	BAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	0:IMM	0										
	BAND #xx:3,@aa:8	B	7	E	abs		7	6	0:IMM	0										
	BAND #xx:3,@aa:16	B	6	A	1	0	abs													
	BAND #xx:3,@aa:32	B	6	A	3	0	abs													
Bcc	BRA d:8 (BT d:8)	-	4	0		disp														
	BRA d:16 (BT d:16)	-	5	8	0	0														
	BRN d:8 (BF d:8)	-	4	1		disp														
	BRN d:16 (BF d:16)	-	5	8	1	0														
	BHI d:8	-	4	2		disp														
	BHI d:16	-	5	8	2	0														
	BLS d:8	-	4	3		disp														
	BLS d:16	-	5	8	3	0														
	BCC d:8 (BHS d:8)	-	4	4		disp														
	BCC d:16 (BHS d:16)	-	5	8	4	0														
	BCS d:8 (BLO d:8)	-	4	5		disp														
	BCS d:16 (BLO d:16)	-	5	8	5	0														
	BNE d:8	-	4	6		disp														
	BNE d:16	-	5	8	6	0														
	BEQ d:8	-	4	7		disp														
	BEQ d:16	-	5	8	7	0														
BVC d:8	-	4	8		disp															
BVC d:16	-	5	8	8	0															
BVS d:8	-	4	9		disp															
BVS d:16	-	5	8	9	0															

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
Bcc (続き)	BPL d:8	-	4	A																	
	BPL d:16	-	5	8	A	0	disp														
	BMI d:8	-	4	B																	
	BMI d:16	-	5	8	B	0	disp														
	BGE d:8	-	4	C																	
	BGE d:16	-	5	8	C	0	disp														
	BLT d:8	-	4	D																	
	BLT d:16	-	5	8	D	0	disp														
	BGT d:8	-	4	E																	
	BGT d:16	-	5	8	E	0	disp														
BCLR	BLE d:8	-	4	F																	
	BLE d:16	-	5	8	F	0	disp														
	BCLR #xx:3,Rd	B	7	2	0:IMM	rd															
	BCLR #xx:3,@ERd	B	7	D	0:erd	0	7	2	0:IMM	0											
	BCLR #xx:3,@aa:8	B	7	F	abs		7	2	0:IMM	0											
	BCLR #xx:3,@aa:32	B	6	A	1	8	abs	7	2	0:IMM	0										
	BCLR Rn,Rd	B	6	A	3	8	abs														
	BCLR Rn,@ERd	B	6	2	r	rd															
	BCLR Rn,@aa:8	B	7	D	0:erd	0	6	2	r	0											
	BCLR Rn,@aa:16	B	7	F	abs		6	2	r	0											
BIAND	BCLR Rn,@aa:32	B	6	A	1	8	abs	6	2	r	0										
	BCLR Rn,@aa:32	B	6	A	3	8	abs														
	BIAND #xx:3,Rd	B	7	6	1:IMM	rd															
	BIAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	1:IMM	0											
	BIAND #xx:3,@aa:8	B	7	E	abs		7	6	1:IMM	0											
	BIAND #xx:3,@aa:16	B	6	A	1	0	abs	7	6	1:IMM	0										
	BIAND #xx:3,@aa:32	B	6	A	3	0	abs														
	BILD #xx:3,Rd	B	6	A	3	0	abs														
	BILD #xx:3,@ERd	B	7	7	1:IMM	rd															
	BILD #xx:3,@aa:8	B	7	C	0:erd	0	7	7	1:IMM	0											
BIOR	BILD #xx:3,@aa:16	B	7	E	abs		7	7	1:IMM	0											
	BILD #xx:3,@aa:32	B	6	A	1	0	abs	7	7	1:IMM	0										
	BILD #xx:3,@aa:32	B	6	A	3	0	abs														
	BIOR #xx:3,Rd	B	7	4	1:IMM	rd															
	BIOR #xx:3,@ERd	B	7	C	0:erd	0	7	4	1:IMM	0											
	BIOR #xx:3,@aa:8	B	7	E	abs		7	4	1:IMM	0											
	BIOR #xx:3,@aa:16	B	6	A	1	0	abs	7	4	1:IMM	0										
	BIOR #xx:3,@aa:32	B	6	A	3	0	abs														
	BIST #xx:3,Rd	B	6	A	3	0	abs														
	BIST #xx:3,@ERd	B	7	D	0:erd	0	6	7	1:IMM	0											
BIST	BIST #xx:3,@aa:8	B	7	F	abs		6	7	1:IMM	0											
	BIST #xx:3,@aa:16	B	6	A	1	8	abs	6	7	1:IMM	0										
	BIST #xx:3,@aa:32	B	6	A	3	8	abs														
	BIST #xx:3,@aa:32	B	6	A	3	8	abs														

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BIXOR	BIXOR #xx:3,Rd	B	7	5	1:IMM rd															
	BIXOR #xx:3,@ERd	B	7	C	0:erd	7	5	1:IMM 0												
	BIXOR #xx:3,@aa:8	B	7	E	abs	7	5	1:IMM 0												
	BIXOR #xx:3,@aa:16	B	6	A	1 0			abs	7	5	1:IMM 0									
	BIXOR #xx:3,@aa:32	B	6	A	3 0			abs												
BLD	BLD #xx:3,Rd	B	7	7	0:IMM rd															
	BLD #xx:3,@ERd	B	7	C	0:erd	7	7	0:IMM 0												
	BLD #xx:3,@aa:8	B	7	E	abs	7	7	0:IMM 0												
	BLD #xx:3,@aa:16	B	6	A	1 0			abs	7	7	0:IMM 0									
	BLD #xx:3,@aa:32	B	6	A	3 0			abs												
BNOT	BNOT #xx:3,Rd	B	7	1	0:IMM rd															
	BNOT #xx:3,@ERd	B	7	D	0:erd	7	1	0:IMM 0												
	BNOT #xx:3,@aa:8	B	7	F	abs	7	1	0:IMM 0												
	BNOT #xx:3,@aa:16	B	6	A	1 8			abs	7	1	0:IMM 0									
	BNOT #xx:3,@aa:32	B	6	A	3 8			abs												
	BNOT Rn,Rd	B	6	1	r	rd														
	BNOT Rn,@ERd	B	7	D	0:erd	6	1	r	0											
	BNOT Rn,@aa:8	B	7	F	abs	6	1	r	0											
	BNOT Rn,@aa:16	B	6	A	1 8			abs	6	1	r	0								
	BNOT Rn,@aa:32	B	6	A	3 8			abs												
BOR	BOR #xx:3,Rd	B	7	4	0:IMM rd															
	BOR #xx:3,@ERd	B	7	C	0:erd	7	4	0:IMM 0												
	BOR #xx:3,@aa:8	B	7	E	abs	7	4	0:IMM 0												
	BOR #xx:3,@aa:16	B	6	A	1 0			abs	7	4	0:IMM 0									
	BOR #xx:3,@aa:32	B	6	A	3 0			abs												
BSET	BSET #xx:3,Rd	B	7	0	0:IMM rd															
	BSET #xx:3,@ERd	B	7	D	0:erd	7	0	0:IMM 0												
	BSET #xx:3,@aa:8	B	7	F	abs	7	0	0:IMM 0												
	BSET #xx:3,@aa:16	B	6	A	1 8			abs	7	0	0:IMM 0									
	BSET #xx:3,@aa:32	B	6	A	3 8			abs												
BSR	BSR Rn,Rd	B	6	0	r	rd														
	BSR Rn,@ERd	B	7	D	0:erd	6	0	r	0											
	BSR Rn,@aa:8	B	7	F	abs	6	0	r	0											
	BSR Rn,@aa:16	B	6	A	1 8			abs	6	0	r	0								
	BSR Rn,@aa:32	B	6	A	3 8			abs												
BST	BSR d:8	-	5	5	disp															
	BSR d:16	-	5	C	0 0			disp												
	BST #xx:3,Rd	B	7	D	0:IMM rd															
	BST #xx:3,@ERd	B	7	D	0:erd	6	7	0:IMM 0												
	BST #xx:3,@aa:8	B	7	F	abs	6	7	0:IMM 0												
BST #xx:3,@aa:16	B	6	A	1 8			abs	6	7	0:IMM 0										
BST #xx:3,@aa:32	B	6	A	3 8			abs													

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BTST	BTST #xx:3,Rd	B 7	3	0:IMM rd																
	BTST #xx:3,@ERd	B 7	C	0:erd 0																
	BTST #xx:3,@aar8	B 7	E	abs																
	BTST #xx:3,@aa:16	B 6	A	1 0	abs															
	BTST #xx:3,@aa:32	B 6	A	3 0	abs															
	BTST Rn,Rd	B 6	3	rn																
	BTST Rn,@ERd	B 7	C	0:erd 0																
	BTST Rn,@aar8	B 7	E	abs																
	BTST Rn,@aa:16	B 6	A	1 0	abs															
	BTST Rn,@aa:32	B 6	A	3 0	abs															
BXOR	BXOR #xx:3,Rd	B 7	5	0:IMM rd																
	BXOR #xx:3,@ERd	B 7	C	0:erd 0																
	BXOR #xx:3,@aar8	B 7	E	abs																
	BXOR #xx:3,@aa:16	B 6	A	1 0	abs															
	BXOR #xx:3,@aa:32	B 6	A	3 0	abs															
	CLRMAC		-	0 1 A 0																
CMP	CMP.B #xx:8,Rd	B A	rd	IMM																
	CMP.B Rs,Rd	B 1	C	rs rd																
	CMP.W #xx:16,Rd	W 7	9	2 rd	IMM															
	CMP.W Rs,Rd	W 1	D	rs rd																
	CMP.L #xx:32,ERd	L 7	A	2 0:erd	IMM															
	CMP.L ERs,ERd	L 1	F	1:ers 0:erd																
DAA	DAA Rd	B 0	F	0 rd																
DAS	DAS Rd	B 1	F	0 rd																
DEC	DEC.B Rd	B 1	A	0 rd																
	DEC.W #1,Rd	W 1	B	5 rd																
	DEC.W #2,Rd	W 1	B	D rd																
	DEC.L #1,ERd	L 1	B	7 0:erd																
	DEC.L #2,ERd	L 1	B	F 0:erd																
	DIVXS	DIVXS.B Rs,Rd	B 0	1	D 0	5 1	rs rd													
DIVXU	DIVXS.W Rs,ERd	W 0	1	D 0	5 3	rs 0:erd														
	DIVXU.B Rs,Rd	B 5	1	rs rd																
EEMOV	DIVXU.W Rs,ERd	W 5	3	rs 0:erd																
	EEMOV.B	-	7	B	5 C	5 9 8 F														
	EEMOV.W	-	7	B	D 4	5 9 8 F														
EXTS	EXTS.W Rd	W 1	7	D rd																
	EXTS.L ERd	L 1	7	F 0:erd																
EXTU	EXTU.W Rd	W 1	7	5 rd																
	EXTU.L ERd	L 1	7	7 0:erd																

		インストラクションフォーマット														
命令	二一モニック	サイズ	第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト				
INC	INC.B Rd	B	0	A	0	rd										
	INC.W #1,Rd	W	0	B	5	rd										
	INC.W #2,Rd	W	0	B	D	rd										
	INC.L #1,ERd	L	0	B	7	0:erd										
	INC.L #2,ERd	L	0	B	F	0:erd										
	JMP @ERn	-	5	9	0:ern	0										
	JMP @aa:24	-	5	A		abs										
	JMP @:aa:8	-	5	B		abs										
	JSR @ERn	-	5	D	0:ern	0										
	JSR @aa:24	-	5	E		abs										
LDC	JSR @:aa:8	-	5	F		abs										
	LDC #xx:8,CCR	B	0	7		IMM										
	LDC #xx:8,EXR	B	0	1	4	1	0	7	IMM							
	LDC Rs,CCR	B	0	3	0	rs										
	LDC Rs,EXR	B	0	3	1	rs										
	LDC @ERs,CCR	W	0	1	4	0	6	9	0:ers	0						
	LDC @ERs,EXR	W	0	1	4	1	6	9	0:ers	0						
	LDC @(d:16,ERs),CCR	W	0	1	4	0	6	F	0:ers	0	disp					
	LDC @(d:16,ERs),EXR	W	0	1	4	1	6	F	0:ers	0	disp					
	LDC @(d:32,ERs),CCR	W	0	1	4	0	7	8	0:ers	0	6	B	2	0	disp	
LDM	LDC @(d:32,ERs),EXR	W	0	1	4	1	7	8	0:ers	0	6	B	2	0	disp	
	LDC @ERs+ ,CCR	W	0	1	4	0	6	D	0:ers	0						
	LDC @ERs+ ,EXR	W	0	1	4	1	6	D	0:ers	0						
	LDC @aa:16,CCR	W	0	1	4	0	6	B	0	0	abs					
	LDC @aa:16,EXR	W	0	1	4	1	6	B	0	0	abs					
	LDC @aa:32,CCR	W	0	1	4	0	6	B	2	0	abs					
	LDC @aa:32,EXR	W	0	1	4	1	6	B	2	0	abs					
	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1						
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2						
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3						
LDMAC	LDMAC ERs,MACH	L	0	3	2	0:ers										
	LDMAC ERs,MACL	L	0	3	3	0:ers										
	MAC @ERn+ ,@ERm+	-	0	1	6	0	6	D	0:ern0	ern						
	MOV.B #x:8,Rd	B	F	rd		IMM										
	MOV.B Rs,Rd	B	0	C	rs	rd										
	MOV.B @ERs,Rd	B	6	E	0:ers	rd										
	MOV.B @(d:16,ERs),Rd	B	6	0	ers	rd	disp									
	MOV.B @(d:32,ERs),Rd	B	7	8	0:ers	0	6	A	2	rd	disp					
	MOV.B @ERs+ ,Rd	B	6	C	0:ers	rd										
	MOV.B @aa:8,Rd	B	2	rd		abs										
MAC	MOV.B @aa:16,Rd	B	6	A	0	rd	abs									
	MOV.B @aa:32,Rd	B	6	A	2	rd	abs									
	MOV.B Rs,@ERd	B	6	8	1	erd	rs									
	MOV.B Rs @(d:16,ERd)	B	6	E	1	erd	rs	disp								
	MOV.B Rs @(d:32,ERd)	B	7	8	0	erd	0	6	A	A	A	rs				

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
MOV (続き)	MOV.B Rs,@.ERd	B	6	C	1:erd	rs														
	MOV.B Rs,@aa:8	B	3	rs	abs															
	MOV.B Rs,@aa:16	B	6	A	8	rs		abs												
	MOV.B Rs,@aa:32	B	6	A	A	rs														
	MOV.W #xx:16,Rd	W	7	9	0	rd														
	MOV.W Rs,Rd	W	0	D	rs	rd														
	MOV.W @ERS,Rd	W	6	9	0:ers	rd														
	MOV.W @(d:16,ERS),Rd	W	6	F	0:ers	rd														
	MOV.W @(d:32,ERS),Rd	W	7	8	0:ers	0	6	B	2	rd		disp								
	MOV.W @ERS+,Rd	W	6	D	0:ers	rd														
	MOV.W @aa:16,Rd	W	6	B	0	rd														
	MOV.W @aa:32,Rd	W	6	B	2	rd														
	MOV.W Rs,@ERd	W	6	9	1:erd	rs														
	MOV.W Rs@(d:16,ERd)	W	6	F	1:erd	rs														
	MOV.W Rs@(d:32,ERd)	W	7	8	0:erd	0	6	B	A	rs		disp								
	MOV.W Rs,@.ERd	W	6	D	1:erd	rs														
	MOV.W Rs,@aa:16	W	6	B	8	rs														
	MOV.W Rs,@aa:32	W	6	B	A	rs														
	MOV.L #xx:32,ERd	L	7	A	0	0:erd														
	MOV.L ERs,ERd	L	0	F	1:ers	0:erd														
MOV.L @ERS,ERd	L	0	1	0	0	6	9	0	ers	0:erd										
MOV.L @(d:16,ERS),ERd	L	0	1	0	0	6	F	0	ers	0:erd		disp								
MOV.L @(d:32,ERS),ERd	L	0	1	0	0	7	8	0	ers	0		6	B	2	0:erd				disp	
MOV.L @ERS+,ERd	L	0	1	0	0	6	D	0	ers	0:erd										
MOV.L @aa:16,ERd	L	0	1	0	0	6	B	0	0:erd											
MOV.L @aa:32,ERd	L	0	1	0	0	6	B	2	0:erd											
MOV.L ERs,@ERd	L	0	1	0	0	6	9	1	erd	0:ers										
MOV.L ERs,@(d:16,ERd)	L	0	1	0	0	6	F	1	erd	0:ers		disp								
MOV.L ERs,@(d:32,ERd)*1	L	0	1	0	0	7	8	0	erd	0		6	B	A	0:ers				disp	
MOV.L ERs,@.ERd	L	0	1	0	0	6	D	1	erd	0:ers										
MOV.L ERs,@aa:16	L	0	1	0	0	6	B	8	0:ers											
MOV.L ERs,@aa:32	L	0	1	0	0	6	B	A	0:ers											
MOV.FPE @aa:16,Rd	B	本LSIでは使用できません。																		
MOV.FPE	MOV.FPE Rs,@aa:16	B	0	1	C	0	5	0	rs	rd										
MUL.XS	MUL.XS.B Rs,Rd	B	0	1	C	0	5	2	rs	0:erd										
MUL.XU	MUL.XU.B Rs,Rd	B	5	0	rs	rd														
NEG	MUL.XU.W Rs,ERd	W	5	2	rs	0:erd														
	NEG.B Rd	B	1	7	8	rd														
NOP	NEG.W Rd	W	1	7	9	rd														
	NEG.L ERd	L	1	7	B	0:erd														

命令	ニーモニック	サ イ ス	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B	1	7	0	rd														
	NOT.W Rd	W	1	7	1	rd														
	NOT.L ERd	L	1	7	3	0:erd														
OR	OR.B #xx:8,Rd	B	C	rd	IMM															
	OR.B Rs,Rd	B	1	4	rs	rd														
	OR.W #xx:16,Rd	W	7	9	4	rd				IMM										
	OR.W Rs,Rd	W	6	4	rs	rd														
	OR.L #xx:32,ERd	L	7	A	4	0:erd					IMM									
ORC	OR.L ERs,ERd	L	0	1	F	0	6	4	0	ers:0:erd										
	ORC #xx:8,CCR	B	0	4	IMM															
	ORC #xx:8,EXR	B	0	1	4	1	0	4	IMM											
POP	POP.W Rn	W	6	D	7	rn														
	POP.LE Rn	L	0	1	0	0	6	D	7	0:ern										
PUSH	PUSH.W Rn	W	6	D	F	rn														
	PUSH.L ERn	L	0	1	0	0	6	D	F	0:ern										
ROTL	ROTL.B Rd	B	1	2	8	rd														
	ROTLB #2, Rd	B	1	2	C	rd														
	ROTL.W Rd	W	1	2	9	rd														
	ROTLW #2, Rd	W	1	2	D	rd														
	ROTL.L ERd	L	1	2	B	0:erd														
	ROTL #2, ERd	L	1	2	F	0:erd														
	ROTLB Rd	B	1	3	8	rd														
ROTR	ROTR.B #2, Rd	B	1	3	C	rd														
	ROTR.W Rd	W	1	3	9	rd														
	ROTRW #2, Rd	W	1	3	D	rd														
	ROTR.L ERd	L	1	3	B	0:erd														
	ROTR #2, ERd	L	1	3	F	0:erd														
	ROTXL.B Rd	B	1	2	0	rd														
	ROTXLB #2, Rd	B	1	2	4	rd														
ROTXR	ROTXL.W Rd	W	1	2	1	rd														
	ROTXLW #2, Rd	W	1	2	5	rd														
	ROTXL.L ERd	L	1	2	3	0:erd														
	ROTXL #2, ERd	L	1	2	7	0:erd														
	ROTXR.B Rd	B	1	3	0	rd														
	ROTXRB #2, Rd	B	1	3	4	rd														
	ROTXR.W Rd	W	1	3	1	rd														
RTE	ROTXRW #2, Rd	W	1	3	5	rd														
	ROTXR.L ERd	L	1	3	3	0:erd														
	ROTXRL #2, ERd	L	1	3	7	0:erd														
RTS	RTE	-	5	6	7	0														
	RTS	-	5	4	7	0														

命令	二ーモニツク	サイ ス	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SHAL	SHAL.B Rd	B	1	0	8	rd														
	SHAL.B #2, Rd	B	1	0	0	C	rd													
	SHAL.W Rd	W	1	0	9	rd														
	SHAL.W #2, Rd	W	1	0	0	D	rd													
	SHAL.L ERd	L	1	0	0	B	0 : :erd													
SHAR	SHAL.L #2, ERd	L	1	0	0	F	0 : :erd													
	SHAR.B Rd	B	1	1	1	8	rd													
	SHAR.B #2, Rd	B	1	1	1	C	rd													
	SHAR.W Rd	W	1	1	1	9	rd													
	SHAR.W #2, Rd	W	1	1	1	D	rd													
SHLL	SHAR.L ERd	L	1	1	1	B	0 : :erd													
	SHAR.L #2, ERd	L	1	1	1	F	0 : :erd													
	SHLL.B Rd	B	1	0	0	4	rd													
	SHLL.B #2, Rd	B	1	0	0	4	rd													
	SHLL.W Rd	W	1	0	1	rd														
SHLR	SHLL.W #2, Rd	W	1	0	5	rd														
	SHLL.L ERd	L	1	0	3	0 : :erd														
	SHLL.L #2, ERd	L	1	0	7	0 : :erd														
	SHLR.B Rd	B	1	1	1	0	rd													
	SHLR.B #2, Rd	B	1	1	1	4	rd													
SLEEP	SHLR.W Rd	W	1	1	1	rd														
	SHLR.W #2, Rd	W	1	1	1	5	rd													
	SHLR.L ERd	L	1	1	1	3	0 : :erd													
	SHLR.L #2, ERd	L	1	1	1	7	0 : :erd													
	SLEEP	-	0	1	8	0														
STC	STC.B CCR, Rd	B	0	2	0	rd														
	STC.B EXR, Rd	B	0	2	1	rd														
	STC.W CCR, @ERd	W	0	1	4	0	6	9	1 : :erd	0										
	STC.W EXR, @ERd	W	0	1	4	1	6	9	1 : :erd	0										
	STC.W CCR, @(d:16, ERd)	W	0	1	4	0	6	F	1 : :erd	0										
	STC.W EXR, @(d:16, ERd)	W	0	1	4	1	6	F	1 : :erd	0										
	STC.W CCR, @(d:32, ERd)	W	0	1	4	0	7	8	0 : :erd	0										
	STC.W EXR, @(d:32, ERd)	W	0	1	4	1	7	8	0 : :erd	0										
	STC.W CCR, @+ERd	W	0	1	4	0	6	D	1 : :erd	0										
	STC.W EXR, @+ERd	W	0	1	4	1	6	D	1 : :erd	0										
	STC.W CCR, @aa:16	W	0	1	4	0	6	B	8	0										
	STC.W EXR, @aa:16	W	0	1	4	1	6	B	8	0										
	STM ⁰⁻³	STC.W CCR, @aa:32	W	0	1	4	0	6	B	A	0									
STC.W EXR, @aa:32		W	0	1	4	1	6	B	A	0										
STM.L (ERn-ERn+1), @-SP		L	0	1	1	0	6	D	F	0	ern									
STM.L (ERn-ERn+2), @-SP		L	0	1	2	0	6	D	F	0	ern									
STM.L (ERn-ERn+3), @-SP		L	0	1	3	0	6	D	F	0	ern									
STMAC	STMAC MACH, ERd	L	0	2	2	0	ers													
	STMAC MACL, ERd	L	0	2	3	0	ers													

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
SUB	SUB.B Rs,Rd	B	1	8	rs	rd														
	SUB.W #xx:16,Rd	W	7	9	3	rd	IMM													
	SUB.W Rs,Rd	W	1	9	rs	rd														
	SUB.L #xx:32,ERd	L	7	A	3	0	erd	IMM												
	SUB.L ERs,ERd	L	1	A	1	ers	0	erd												
SUBS	SUBS #1,ERd	L	1	B	0	0	erd													
	SUBS #2,ERd	L	1	B	8	0	erd													
	SUBS #4,ERd	L	1	B	9	0	erd													
	SUBX #xx:8,Rd	B	B	rd	IMM															
TAS	SUBX Rs,Rd	B	1	E	rs	rd														
	TAS @ERd	B	0	1	E	0	7	B	0	erd	C									
TRAPA	TRAPA #x:2	-	5	7	00	IMM	0													
	XOR.B #xx:8,Rd	B	D	rd	IMM															
XOR	XOR.B Rs,Rd	B	1	5	rs	rd														
	XOR.W #xx:16,Rd	W	7	9	5	rd	IMM													
	XOR.W Rs,Rd	W	6	5	rs	rd														
	XOR.L #xx:32,ERd	L	7	A	5	0	erd	IMM												
XORC	XOR.L ERs,ERd	L	0	1	F	0	6	5	0	ers	0	erd								
	XORC #xx:8,CCR	B	0	5	IMM															
	XORC #xx:8,EXR	B	0	1	4	1	0	5	IMM											

- 【注】**
- *1 MOV.L ERs, @ (d : 32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。
 - *2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。
 - *3 STMLDM命令を使用する場合は、レジスタER0 ~ ER6を使用してください。

《記号説明》

IMM :	イミディエイトデータ (2、3、8、16、32 ビット)
abs :	絶対アドレス (8、16、24、32 ビット)
disp :	ディスプレースメント (8、16、32 ビット)
rs、rd、m :	レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、m はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
ers、erd、ern、erm :	レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

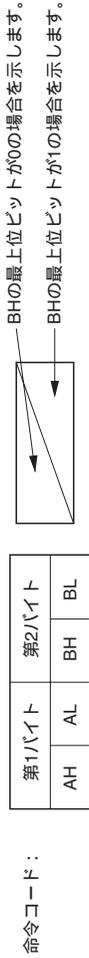
レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

A.3 オペレーションコードマップ

表 A.3 にオペレーションコードマップを示します。

表A.3 オペレーションコードマップ(1)



AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.3(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	表A.3(2)	表A.3(2)
1	表A.3(2)	表A.3(2)	表A.3(2)	表A.3(2)	OR	XOR	AND	表A.3(2)	SUB	SUB	表A.3(2)	表A.3(2)	CMP	SUBX	表A.3(2)	表A.3(2)
2	MOV,B															
3	MOV,B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)	JMP		BSR		JSR		
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV	MOV	表A.3(2)	MOV		MOV		
7					BOR	BXOR	BAND	BLD	MOV	MOV	表A.3(2)	EEMOV	表A.3(3)			
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ(2)

命令コード：

第1バイト		第2バイト	
AH	AL	BH	BL

BH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH/AL	MOV	LDM	LDC	STM	STC	MAC*	SLEEP	CLRMAC*	表A.3(3)	表A.3(3)	表A.3(3)	表A.3(3)	TAS	表A.3(3)		
0A	INC															
0B	ADDS															
0F	DAA															
10	SHLL															
11	SHLR															
12	ROTXL															
13	ROTXR															
17	NOT															
1A	DEC															
1B	SUBS															
1F	DAS															
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
6A	MOV	表A.3(4)	MOV	表A.3(4)	MOV/PE*				MOV		MOV					
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

【注】* 本LSIでは使用できません。

表A.3 オペレーションコードマップ (3)

第1バイト		第2バイト		第3バイト			第4バイト	
AH	AL	BH	BL	CH	CL	DH	DL	

命令コード:



	CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH/AL	BH/BL/CH	MULXS	MULXS	MULXS													
01C05																	
01D05			DIVXS		DIVXS												
01F06						OR	XOR	AND									
7Cr06 *1					BTST												
7Cr07 *1					BTST	BOR	BXOR	BAND	BLD								
7Dr06 *1		BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD	BST							
7Dr07 *1		BSET	BNOT	BCLR													
7Eaa6 *2					BTST												
7Eaa7 *2					BTST	BOR	BXOR	BAND	BLD								
7Faa6 *2		BSET	BNOT	BCLR		BIOR	BIXOR	BIAND	BILD	BST							
7Faa7 *2		BSET	BNOT	BCLR													

【注】 *1 rはレジスタ指定部
*2 aaは絶対アドレス指定

表A.3 オペレーションコードマップ (4)

第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト						
AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL					
EL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH BH CH DH EH																
6A10aaaa6*				BTST												
6A10aaaa7*				BTST												
6A18aaaa6*																
6A18aaaa7*																

第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト		
AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL	
GL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH BH BL... FH GH																
6A30aaaaaaaa6*				BTST												
6A30aaaaaaaa7*				BTST												
6A38aaaaaaaa6*																
6A38aaaaaaaa7*																

命令コード：

命令コード：



 FHの最上位ビットが0の場合を示します。
 FHの最上位ビットが1の場合を示します。



 HHの最上位ビットが0の場合を示します。
 HHの最上位ビットが1の場合を示します。

【注】* aaは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.4 におおののサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_i + J \cdot S_j + K \cdot S_k + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

アドバンストモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFC7:8

表A.5より

$$I = L = 2, J = K = M = N = 0$$

表A.4より

$$S_i = 4, S_L = 2$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 2 = 12$$

2. JSR @@30

表A.5より

$$I = J = K = 2, L = M = N = 0$$

表A.4より

$$S_i = S_j = S_k = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.4 実行状態（サイクル）に要するステート数

実行状態（サイクル）	アクセス対象						
	内蔵メモ リ	内蔵周辺モジュール		外部デバイス			
				8 ビットバス		16 ビットバス	
		8 ビット バス	16 ビット バス	2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S_I	1	4	2	4	6+2m	2	3+m
分岐アドレスリード S_J							
スタック操作 S_K							
バイトデータアクセス S_L		2	2	3+m			
ワードデータアクセス S_M		4	4	6+2m			
内部動作 S_N	1						

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数。

表 A.5 命令実行状態（サイクル数）

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1
	BGT d:16	2					1
BLE d:16	2					1	
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		
	BNOT Rn,@aa:32	4			2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		
BSET	BSET #xx:3,Rd	1					
	BSET #xx:3,@ERd	2			2		
	BSET #xx:3,@aa:8	2			2		
	BSET #xx:3,@aa:16	3			2		
	BSET #xx:3,@aa:32	4			2		
	BSET Rn,Rd	1					
	BSET Rn,@ERd	2			2		
	BSET Rn,@aa:8	2			2		
	BSET Rn,@aa:16	3			2		
	BSET Rn,@aa:32	4			2		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BSR	BSR d:8	2		2			
	BSR d:16	2		2			1
BST	BST #xx:3,Rd	1					
	BST #xx:3,@ERd	2			2		
	BST #xx:3,@aa:8	2			2		
	BST #xx:3,@aa:16	3			2		
	BST #xx:3,@aa:32	4			2		
BTST	BTST #xx:3,Rd	1					
	BTST #xx:3,@ERd	2			1		
	BTST #xx:3,@aa:8	2			1		
	BTST #xx:3,@aa:16	3			1		
	BTST #xx:3,@aa:32	4			1		
	BTST Rn,Rd	1					
	BTST Rn,@ERd	2			1		
	BTST Rn,@aa:8	2			1		
	BTST Rn,@aa:16	3			1		
	BTST Rn,@aa:32	4			1		
BXOR	BXOR #xx:3,Rd	1					
	BXOR #xx:3,@ERd	2			1		
	BXOR #xx:3,@aa:8	2			1		
	BXOR #xx:3,@aa:16	3			1		
	BXOR #xx:3,@aa:32	4			1		
CLRMAC	CLRMAC	1					1 * ³
CMP	CMP.B #xx:8,Rd	1					
	CMP.B Rs,Rd	1					
	CMP.W #xx:16,Rd	2					
	CMP.W Rs,Rd	1					
	CMP.L #xx:32,ERd	3					
	CMP.L ERs,ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2,Rd	1					
	DEC.L #1/2,ERd	1					
DIVXS	DIVXS.B Rs,Rd	2					11
	DIVXS.W Rs,ERd	2					19
DIVXU	DIVXU.B Rs,Rd	1					11
	DIVXU.W Rs,ERd	1					19
EEPMOV	EEPMOV.B	2			2n+2 * ²		
	EEPMOV.W	2			2n+2 * ²		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					1
	JMP @@aa:8	2	2				1
JSR	JSR @ERn	2		2			
	JSR @aa:24	2		2			1
	JSR @@aa:8	2	2	2			
LDC	LDC #xx:8,CCR	1					
	LDC #xx:8,EXR	2					
	LDC Rs,CCR	1					
	LDC Rs,EXR	1					
	LDC @ERs,CCR	2				1	
	LDC @ERs,EXR	2				1	
	LDC @(d:16,ERs),CCR	3				1	
	LDC @(d:16,ERs),EXR	3				1	
	LDC @(d:32,ERs),CCR	5				1	
	LDC @(d:32,ERs),EXR	5				1	
	LDC @ERs+,CCR	2				1	1
	LDC @ERs+,EXR	2				1	1
	LDC @aa:16,CCR	3				1	
	LDC @aa:16,EXR	3				1	
	LDC @aa:32,CCR	4				1	
LDC @aa:32,EXR	4				1		
LDM ^{*5}	LDML @SP+, (ERn-ERn+1)	2		4			1
	LDML @SP+, (ERn-ERn+2)	2		6			1
	LDML @SP+, (ERn-ERn+3)	2		8			1
LDMAC	LDMAC ERs, MACH	1					1 ^{*3}
	LDMAC ERs, MACL	1					1 ^{*3}
MAC	MAC @ERn+, @ERm+	2				2	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1			1		
	MOV.B @(d:16,ERs),Rd	2			1		
	MOV.B @(d:32,ERs),Rd	4			1		
	MOV.B @ERs+,Rd	1			1		1
	MOV.B @aa:8,Rd	1			1		
	MOV.B @aa:16,Rd	2			1		
	MOV.B @aa:32,Rd	3			1		
	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		1
	MOV.B Rs,@-ERd	1			1		
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2					
	MOV.W Rs,Rd	1					1
	MOV.W @ERs,Rd	1					1
	MOV.W @(d:16,ERs),Rd	2					1
	MOV.W @(d:32,ERs),Rd	4					1
	MOV.W @ERs+,Rd	1					1
	MOV.W @aa:16,Rd	2					1
	MOV.W @aa:32,Rd	3					1
	MOV.W Rs,@ERd	1					1
	MOV.W Rs,@(d:16,ERd)	2					1
	MOV.W Rs,@(d:32,ERd)	4					1
	MOV.W Rs,@-ERd	1					1
	MOV.W Rs,@aa:16	2					1
	MOV.W Rs,@aa:32	3					
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2					2
	MOV.L @(d:16,ERs),ERd	3					2
	MOV.L @(d:32,ERs),ERd	5					2
	MOV.L @ERs+,ERd	2					2
	MOV.L @aa:16,ERd	3					2
	MOV.L @aa:32,ERd	4					2
	MOV.L ERs,@ERd	2					2
	MOV.L ERs,@(d:16,ERd)	3					2
MOV.L ERs,@(d:32,ERd)	5					2	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.L ERs, @-ERd	2				2	1
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:32	4				2	
MOVFP	MOVFP @:aa:16,Rd	本 LSI では使用できません。					
MOVTP	MOVTP Rs, @:aa:16						
MULXS	MULXS.B Rs,Rd	2					2* ³
	MULXS.W Rs,ERd	2					3* ³
MULXU	MULXU.B Rs,Rd	1					2* ³
	MULXU.W Rs,ERd	1					3* ³
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
RTE	RTE	2		2 / 3 *1			1
RTS	RTS	2		2			1
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
	STC.W CCR,@aa:32	4				1	
STC.W EXR,@aa:32	4				1		
STM ^{*5}	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
STMAC	STMAC MACH,ERd	1					*3
	STMAC MACL,ERd	1					*3
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					
TAS ^{*4}	TAS @ERd	2			2		
TRAPA	TRAPA #x:2	2	2	2 / 3 ^{*1}			2

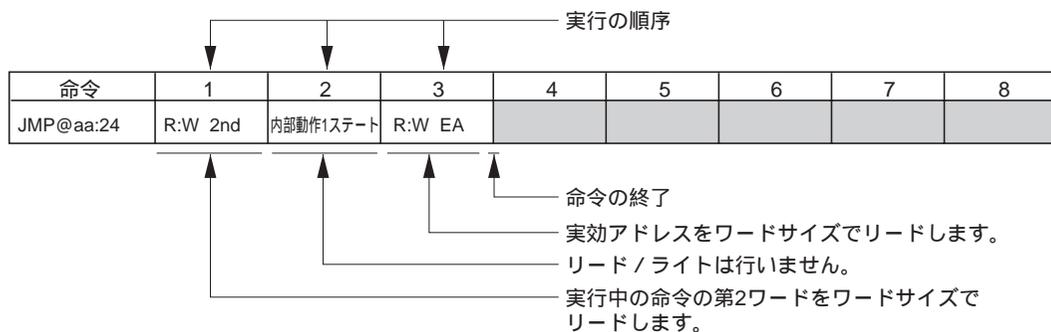
命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
XOR	XOR.B #xx:8,Rd	1					
	XOR.B Rs,Rd	1					
	XOR.W #xx:16,Rd	2					
	XOR.W Rs,Rd	1					
	XOR.L #xx:32,ERd	3					
	XOR.L ERs,ERd	2					
XORC	XORC #xx:8,CCR	1					
	XORC #xx:8,EXR	2					

- 【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。
- *2 転送データが n バイトのとき。
- *3 直前の命令によって、内部動作が 0~3 ステート追加される場合があります。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令を使用する場合は、レジスタ ER0~ER6 を使用してください。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、表 A.4 を参照してください。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います
R : W	ワードサイズリードを行います
W : B	バイトサイズライトを行います
W : W	ワードサイズライトを行います
: M	本サイクル直後はバス権移譲を行いません
2nd	第2ワード(第3・第4バイト)のアドレスです
3rd	第3ワード(第5・第6バイト)のアドレスです
4th	第4ワード(第7・第8バイト)のアドレスです
5th	第5ワード(第9・第10バイト)のアドレスです
NEXT	実行中の命令の直後の命令の先頭アドレスです
EA	実効アドレスです
VEC	ベクタアドレスです

8 ビットバス・3 ステートアクセス・ウェイトなしの場合、左記の命令実行中のアドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミングを図 A.1 に示します。

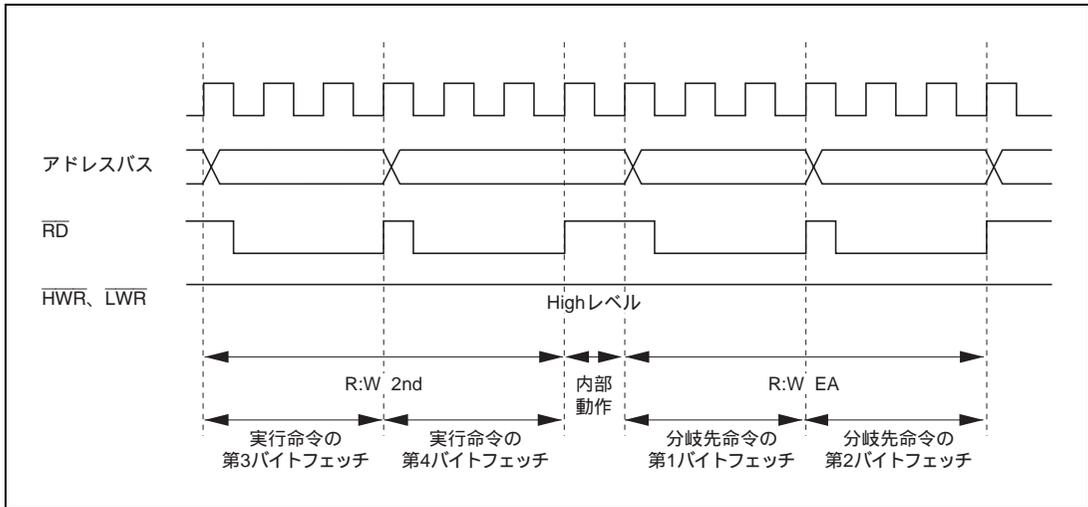


図 A.1 アドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミング
(8 ビットバス・3 ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8 (BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							

命令	1	2	3	4	5	6	7	8	9
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BHI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCC d:16 (BHS d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BCS d:16 (BLO d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BNE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVC d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BPL d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BMI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

命令	1	2	3	4	5	6	7	8	9
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						

命令	1	2	3	4	5	6	7	8	9
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

命令	1	2	3	4	5	6	7	8	9
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
BSR d:16	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					

命令	1	2	3	4	5	6	7	8	9
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	R:W NEXT	内部動作 1 ステート							
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEPMOV.B	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EEPMOV.W	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EXTS.W Rd	R:W NEXT		n 回繰り返す * ²						
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1 ステート	R:W EA						
JMP @@aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1 ステート	R:W EA				

命令	1	2	3	4	5	6	7	8	9
JSR @ERn	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
JSR @aa:24	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @@aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC@(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1)*9	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタ ック(H)*3	R:W スタッ ク(L)*3				
LDM.L @SP+, (ERn-ERn+2)*9	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタ ック(H)*3	R:W スタッ ク(L)*3				
LDM.L @SP+, (ERn-ERn+3)*9	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタ ック(H)*3	R:W スタッ ク(L)*3				
LDMAC ERs,MACH	R:W NEXT	内部動作 1 ステート		n 回繰り返す*3					
LDMAC ERs,MACL	R:W NEXT	内部動作 1 ステート							
MAC @ERn+,@ERm+	R:W 2nd	R:W NEXT	R:W EAh	R:W EAm					
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				

命令	1	2	3	4	5	6	7	8	9
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs), ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs), ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		

命令	1	2	3	4	5	6	7	8	9
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs, @(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs, @(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 2 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 3 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 2 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 3 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 ステート	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1 ステート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				

命令	1	2	3	4	5	6	7	8	9
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:W スタック(EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1 ステート	R:W *4			
RTS	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1 ステート	R:W *4				
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1), @-SP* ³	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M ス タック(H) * ³	W:W スタ ック(L) * ³				
STM.L (ERn-ERn+2), @-SP* ³	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M ス タック(H) * ³	W:W スタ ック(L) * ³				
STM.L (ERn-ERn+3), @-SP* ³	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M ス タック(H) * ³	W:W スタ ック(L) * ³				
STMAC MACH,ERd	R:W NEXT								
STMAC MACL,ERd	R:W NEXT								
SUB.B Rs,Rd	R:W NEXT								
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						

命令	1	2	3	4	5	6	7	8	9
SUB.L ERs,ERd	R:W NEXT								
SUBS #1/2/4,ERd	R:W NEXT								
SUBX #xx:8,Rd	R:W NEXT								
SUBX Rs,Rd	R:W NEXT								
TAS @Erd * ⁸	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA					
TRAPA #x:2	R:W NEXT	内部動作 1 ステート	W:W スタック(L)	W:W スタック(H)	W:W スタ ック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁷
XOR.B #xx8,Rd	R:W NEXT								
XOR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
XOR.W Rs,Rd	R:W NEXT								
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
XOR.L ERs,ERd	R:W 2nd	R:W NEXT							
XORC #xx:8,CCR	R:W NEXT								
XORC #xx:8,EXR	R:W 2nd	R:W NEXT							
リセット例外処理	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁵					
割り込み例外処理	R:W * ⁶	内部動作 1 ステート	W:W スタック(L)	W:W スタック(H)	W:W スタ ック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁷

【注】 *1 EAs は ER5、EAd は ER6 の内容です。

*2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。

また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。

*3 2 本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。

*4 リターン後の先頭アドレスです。

*5 プログラムのスタートアドレスです。

*6 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。

また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。

*7 割り込み処理ルーチンの先頭アドレスです。

*8 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*9 STM/LDM 命令を使用する場合は、レジスタ ER0 ~ ER6 を使用してください。

A.6 コンディションコードの変化

CPU の各命令について、命令実行後のコンディションコードの変化を示します。以下に、表中で使われている記号を説明します。

m =	31	: ロングワードサイズするとき
	15	: ワードサイズするとき
	7	: バイトサイズするとき
Si		: ソースオペランドのビット i
Di		: デスティネーションオペランドのビット i
Ri		: 結果のビット i
Dn		: デスティネーションオペランドの指定されたビット
-		: 影響なし
↑		: 実行結果に応じて変化 (定義参照)
0		: 常に 0 にクリア
1		: 常に 1 にセット
*		: 値を保証しません
Z'		: 実行前の Z フラグ
C'		: 実行前の C フラグ

表 A.7 コンディションコードの変化

命 令	H	N	Z	V	C	定 義
ADD	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
ADDS	-	-	-	-	-	
ADDX	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot \overline{R_{m-4}}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
AND	-	↑	↑	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
ANDC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます EXR のときはどのフラグも変化しません
BAND	-	-	-	-	↑	$C = C' \cdot D_n$
Bcc	-	-	-	-	-	
BCLR	-	-	-	-	-	
BIAND	-	-	-	-	↑	$C = C' \cdot \overline{D_n}$
BILD	-	-	-	-	↑	$C = \overline{D_n}$
BIOR	-	-	-	-	↑	$C = C' + \overline{D_n}$
BIST	-	-	-	-	-	
BIXOR	-	-	-	-	↑	$C = C' \cdot D_n + \overline{C'} \cdot \overline{D_n}$
BLD	-	-	-	-	↑	$C = D_n$
BNOT	-	-	-	-	-	
BOR	-	-	-	-	↑	$C = C' + D_n$
BSET	-	-	-	-	-	
BSR	-	-	-	-	-	
BST	-	-	-	-	-	
BTST	-	-	↑	-	-	$Z = \overline{D_n}$
BXOR	-	-	-	-	↑	$C = C' \cdot \overline{D_n} + \overline{C'} \cdot D_n$
CLRMAC	-	-	-	-	-	
CMP	↑	↑	↑	↑	↑	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
DAA	*	↑	↑	*	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C : 10$ 進加算のキャリ

命 令	H	N	Z	V	C	定 義
DAS	*	↑	↑	*	↑	N=Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C : 10 進減算のボロ -
DEC	-	↑	↑	↑	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ V = $Dm \cdot \overline{Rm}$
DIVXS	-	↑	↑	-	-	N = $S_m \cdot \overline{Dm} + \overline{Sm} \cdot Dm$ Z = $\overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
DIVXU	-	↑	↑	-	-	N = Sm Z = $\overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
EPMOV	-	-	-	-	-	
EXTS	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
EXTU	-	0	↑	0	-	Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
INC	-	↑	↑	↑	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ V = $\overline{Dm} \cdot \overline{Rm}$
JMP	-	-	-	-	-	
JSR	-	-	-	-	-	
LDC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます EXR のときはどのフラグも変化しません
LDM*2	-	-	-	-	-	
LDMAC	-	-	-	-	-	
MAC	-	-	-	-	-	
MOV	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
MOVFPPE	本 LSI では使用できません					
MOVTPPE	本 LSI では使用できません					
MULXS	-	↑	↑	-	-	N = R2m Z = $\overline{R2m} \cdot \overline{R2m-1} \cdot \dots \cdot \overline{R0}$
MULXU	-	-	-	-	-	
NEG	↑	↑	↑	↑	↑	H = $Dm-4 + Rm-4$ N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ V = $Dm \cdot Rm$ C = $Dm + Rm$
NOP	-	-	-	-	-	
NOT	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
OR	-	↑	↑	0	-	N = Rm Z = $\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ORC	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます EXR のときはどのフラグも変化しません

命 令	H	N	Z	V	C	定 義
POP	-	↑	↑	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
PUSH	-	↑	↑	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
ROTL	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_m$ (1 ビットするとき)、 $C = D_{m-1}$ (2 ビットするとき)
ROTR	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_0$ (1 ビットするとき)、 $C = D_1$ (2 ビットするとき)
ROTXL	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_m$ (1 ビットするとき)、 $C = D_{m-1}$ (2 ビットするとき)
ROTXR	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_0$ (1 ビットするとき)、 $C = D_1$ (2 ビットするとき)
RTE	↑	↑	↑	↑	↑	実行結果の対応するビットの値が格納されます
RTS	-	-	-	-	-	
SHAL	-	↑	↑	↑	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{D_m \cdot D_{m-1} + D_m \cdot D_{m-1}}$ (1 ビットするとき) $V = \overline{D_m \cdot D_{m-1} \cdot D_{m-2} \cdot D_m \cdot D_{m-1} \cdot D_{m-2}}$ (2 ビットするとき) $C = D_m$ (1 ビットするとき)、 $C = D_{m-1}$ (2 ビットするとき)
SHAR	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_0$ (1 ビットするとき)、 $C = D_1$ (2 ビットするとき)
SHLL	-	↑	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_m$ (1 ビットするとき)、 $C = D_{m-1}$ (2 ビットするとき)
SHLR	-	0	↑	0	↑	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $C = D_0$ (1 ビットするとき)、 $C = D_1$ (2 ビットするとき)
SLEEP	-	-	-	-	-	
STC	-	-	-	-	-	
STM	-	-	-	-	-	
STMAC	-	↑	↑	↑	-	$N = \text{MAC 命令の結果、MAC レジスタが負のとき}$ $Z = \text{MAC 命令の結果、MAC レジスタが 0 のとき}$ $V = \text{MAC 命令の結果、オーバフローが発生したとき}$

命 令	H	N	Z	V	C	定 義
SUB	↑↓	↑↓	↑↓	↑↓	↑↓	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
SUBS	-	-	-	-	-	
SUBX	↑↓	↑↓	↑↓	↑↓	↑↓	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
TAS	-	↑↓	↑↓	0	-	$N = D_m$ $Z = \overline{D_m} \cdot \overline{D_{m-1}} \cdot \dots \cdot \overline{D_0}$
TRAPA	-	-	-	-	-	
XOR	-	↑↓	↑↓	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
XORC	↑↓	↑↓	↑↓	↑↓	↑↓	実行結果の対応するビットの値が格納されます EXR のときはどのフラグも変化しません

B. 内部 I/O レジスタ

B.1 (a) アドレス一覧 (H8S/2633 グループ、H8S/2633F、H8S/2633R)

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FDAC	DADR2									D/A2, D/A3	8
H'FDAD	DADR3										
H'FDAE	DACR23	DAOE1	DAOE0	DAE	-	-	-	-	-		
H'FDB0	IrCR	IrE	IrCKS2	IrCKS1	IrCKS0	-	-	-	-	SCI0, IrDA	
H'FDB4	SCRX	-	IICX1	IICX0	IICE	FLSHE	-	-	-	IIC	
H'FDB5	DDCSWR	-	-	-	-	CLR3	CLR2	CLR1	CLR0	IIC	
H'FDB8	DADRAH0/ DACR0	DA13/ TEST	DA12/ PWME	DA11/-	DA10/-	DA9/OEB	DA8/OEA	DA7/OS	DA6/CKS	PWM0	
H'FDB9	DADRAL0	DA5	DA4	DA3	DA2	DA1	DA0	CFS	-		
H'FDBA	DADRBH0/ DACNTH0	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6		
H'FDBB	DADRBL0 /DACNTL0	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS		
H'FDBC	DADRAH1/ DACR1	DA13/ TEST	DA12/ PWME	DA11/-	DA10/-	DA9/OEB	DA8/OEA	DA7/OS	DA6/CKS		
H'FDBD	DADRAL1	DA5	DA4	DA3	DA2	DA1	DA0	CFS	-	PWM1	
H'FDBE	DADRBH1/ DACNTH1	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6		
H'FDBF	DADRBL1 /DACNTL1	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS		
H'FDC0	TCR2	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FDC1	TCR3	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR2, TMR3	16
H'FDC2	TCSR2	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		
H'FDC3	TCSR3	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		
H'FDC4	TCORA2										
H'FDC5	TCORA3										
H'FDC6	TCORB2										
H'FDC7	TCORB3										
H'FDC8	TCNT2										
H'FDC9	TCNT3										

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FDD0	SMR3	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI3, スマート カード インタ フェース	8
		GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0		
H'FDD1	BRR3										
H'FDD2	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FDD3	TDR3										
H'FDD4	SSR3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FDD5	RDR3										
H'FDD6	SCMR3	-	-	-	-	SDIR	SINV	-	SMIF		
H'FDD8	SMR4	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0		
		GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0		
H'FDD9	BRR4										
H'FDDA	SCR4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FDDB	TDR4										
H'FDDC	SSR4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FDDD	RDR4										
H'FDDE	SCMR4	-	-	-	-	SDIR	SINV	-	SMIF		
H'FDE4	SBYCR	SSBY	STS2	SYS1	STS0	OPE	-	-	-	システム	8
H'FDE5	SYSCR	MACS	-	INTM1	INTM0	NMIEG	MRESE	-	RAME		
H'FDE6	SCKCR	PSTOP	-	-	-	STCS	SCK2	SCK1	SCK0		
H'FDE7	MDCR	-	-	-	-	-	MDS2	MDS1	MDS0		
H'FDE8	MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0		
H'FDE9	MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0		
H'FDEA	MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0		
H'FDEB	PFRCR	CSS07	CSS36	BUZZE	LCASS	AE3	AE2	AE1	AE0		
H'FDEC	LPWRCCR	DTON	LSON	NESEL	SUBSTP	RFCUT	-	STC1	STC0		
H'FE00	BARA	-	-	-	-	-	-	-	-		
H'FE01		BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16		
H'FE02		BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8		
H'FE03		BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0		
H'FE04	BARB	-	-	-	-	-	-	-	-		
H'FE05		BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16		
H'FE06		BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8		
H'FE07		BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0		
H'FE08	BCRA	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA		
H'FE09	BCRB	CMFB	CDB	BAMRB2	BAMRB1	BAMRB0	CSELB1	CSELB0	BIEB		

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FE12	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	割り込み コント ローラ	8
H'FE13	ISCR L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA		
H'FE14	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		
H'FE15	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	DTC	
H'FE16	DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0		
H'FE17	DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0		
H'FE18	DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0		
H'FE19	DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0		
H'FE1A	DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0		
H'FE1B	DTCERF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0		
H'FE1E	DTCERI	DTCEI7	DTCEI6	DTCEI5	DTCEI4	DTCEI3	DTCEI2	DTCEI1	DTCEI0		
H'FE1F	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0		
H'FE26	PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0		
H'FE27	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV		
H'FE28	NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8		
H'FE29	NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
H'FE2A	PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8		
H'FE2B	PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0		
H'FE2C	NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8		
H'FE2D	NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0		
H'FE2E	NDRH	-	-	-	-	NDR11	NDR10	NDR9	NDR8		
H'FE2F	NDRL	-	-	-	-	NDR3	NDR2	NDR1	NDR0		
H'FE30	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	ポート	8
H'FE32	P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
H'FE36	P7DDR	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR		
H'FE39	PADDR	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
H'FE3A	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
H'FE3B	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR		
H'FE3C	PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR		
H'FE3D	PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR		
H'FE3E	PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR		
H'FE3F	PGDDR	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR		
H'FE40	PAPCR	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR		
H'FE41	PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
H'FE42	PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
H'FE43	PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
H'FE44	PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
H'FE46	P3ODR	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
H'FE47	PAODR	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR		
H'FE48	PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR		
H'FE49	PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FE80	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU3	16
H'FE81	TMDR3	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
H'FE82	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE83	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FE84	TIER3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FE85	TSR3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FE86	TCNT3										
H'FE87											
H'FE88	TGR3A										
H'FE89											
H'FE8A	TGR3B										
H'FE8B											
H'FE8C	TGR3C										
H'FE8D											
H'FE8E	TGR3D										
H'FE8F											
H'FE90	TCR4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU4	16
H'FE91	TMDR4	-	-	-	-	MD3	MD2	MD1	MD0		
H'FE92	TIOR4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE94	TIER4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FE95	TSR4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FE96	TCNT4										
H'FE97											
H'FE98	TGR4A										
H'FE99											
H'FE9A	TGR4B										
H'FE9B											
H'FEA0	TCR5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU5	16
H'FEA1	TMDR5	-	-	-	-	MD3	MD2	MD1	MD0		
H'FEA2	TIOR5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FEA4	TIER5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FEA5	TSR5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FEA6	TCNT5										
H'FEA7											
H'FEA8	TGR5A										
H'FEA9											
H'FEAA	TGR5B										
H'FEAB											
H'FEB0	TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU 共通	16
H'FEB1	TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FEC0	IPRA	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	割り込み コント ローラ	8
H'FEC1	IPRB	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC2	IPRC	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC3	IPRD	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC4	IPRE	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC5	IPRF	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC6	IPRG	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC7	IPRH	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC8	IPRI	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC9	IPRJ	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECA	IPRK	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECB	IPRL	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECE	IPRO	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FED0	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコン トローラ	8
H'FED1	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'FED2	WCRH	W71	W70	W61	W60	W51	W50	W41	W40		
H'FED3	WCRL	W31	W30	W21	W20	W11	W10	W01	W00		
H'FED4	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0		
H'FED5	BCRL	BRLE	BREQOE	-	OES	DDS	RCTS	WDBE	WAITE		
H'FED6	MCR	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0		
H'FED7	DRAMCR	RFSHE	CBRM	RMODE	CMF	CMIE	CKS2	CKS1	CKS0		
H'FED8	RTCNT										
H'FED9	RTCOR										
H'FEDB	RAMER	-	-	-	-	RAMS	RAM2	RAM1	RAM0	FLASH	16
H'FEE0	MAR0AH	-	-	-	-	-	-	-	-	DMAC	
H'FEE1											
H'FEE2	MAR0AL										
H'FEE3											
H'FEE4	IOAR0A										
H'FEE5											
H'FEE6	ETCR0A										
H'FEE7											
H'FEE8	MAR0BH	-	-	-	-	-	-	-	-		
H'FEE9											
H'FEEA	MAR0BL										
H'FEEB											
H'FEEC	IOAR0B										
H'FEED											
H'FEEE	ETCR0B										
H'FEEF											

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FEF0	MAR1AH	-	-	-	-	-	-	-	-	DMAC	16
H'FEF1											
H'FEF2	MAR1AL										
H'FEF3											
H'FEF4	IOAR1A										
H'FEF5											
H'FEF6	ETCR1A										
H'FEF7											
H'FEF8	MAR1BH	-	-	-	-	-	-	-	-		
H'FEF9											
H'FEFA	MAR1BL										
H'FEFB											
H'FEFC	IOAR1B										
H'FEFD											
H'FEFE	ETCR1B										
H'FEFF											
H'FF00	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	ポート	8
H'FF01	-	-	-	-	-	-	-	-	-		
H'FF02	P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FF04	-	-	-	-	-	-	-	-	-		
H'FF05	-	-	-	-	-	-	-	-	-		
H'FF06	P7DR	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR		
H'FF07	-	-	-	-	-	-	-	-	-		
H'FF09	PADR	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR		
H'FF0A	PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FF0B	PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FF0C	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
H'FF0D	PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FF0E	PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
H'FF0F	PGDR	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR		
H'FF10	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		
H'FF11	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
H'FF12	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF13	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FF14	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FF15	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FF16	TCNT0										
H'FF17											
H'FF18	TGR0A										
H'FF19											

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅		
H'FF1A	TGR0B									TPU0	16		
H'FF1B													
H'FF1C	TGR0C												
H'FF1D													
H'FF1E	TGR0D												
H'FF1F													
H'FF20	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU1	16		
H'FF21	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0				
H'FF22	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FF24	TIER1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA				
H'FF25	TSR1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA				
H'FF26	TCNT1												
H'FF27													
H'FF28	TGR1A												
H'FF29													
H'FF2A	TGR1B												
H'FF2B													
H'FF30	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0			TPU2	16
H'FF31	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0				
H'FF32	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FF34	TIER2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA				
H'FF35	TSR2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA				
H'FF36	TCNT2												
H'FF37													
H'FF38	TGR2A												
H'FF39													
H'FF3A	TGR2B												
H'FF3B													
H'FF60	DMAWER	-	-	-	-	WE1B	WE1A	WE0B	WE0A	DMAC	8		
H'FF61	DMATCR	-	-	TEE1	TEE0	-	-	-	-				
H'FF62	DMACR0A	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0				
H'FF63	DMACR0B	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0				
H'FF64	DMACR1A	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0				
H'FF65	DMACR1B	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0				
H'FF66	DMABCRH	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A				
H'FF67	DMABCRL	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A				

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF68	TCR0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR0, TMR1	16
H'FF69	TCR1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FF6A	TCSR0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
H'FF6B	TCSR1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		
H'FF6C	TCORA0										
H'FF6D	TCORA1										
H'FF6E	TCORB0										
H'FF6F	TCORB1										
H'FF70	TCNT0										
H'FF71	TCNT1										
H'FF74 (ライト時)	TCSR0/ TCNT0	OVF/ WT/IT	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT0	16
H'FF75 (リード時)	TCNT0										
H'FF76 (ライト時)	RSTCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FF77 (リード時)	RSTCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FF78	SMR0	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI0, IIC0, スマート カード インタ フェース	8
		GM	BLK	PE	O/E	BCP1	BCP0	CKS1	CKS0		
	ICCR0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP		
H'FF79	BRR0										
		ICSR0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ		
H'FF7A	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF7B	TDR0										
H'FF7C	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF7D	RDR0										
H'FF7E	SCMR0	-	-	-	-	SDIR	SINV	-	SMIF		
		ICDR0/ SARX0	ICDR7/ SVAX6	ICDR6/ SVAX5	ICDR5/ SVAX4	ICDR4/ SVAX3	ICDR3/ SVAX2	ICDR2/ SVAX1	ICDR1/ SVAX0	ICDR0/ FSX	
H'FF7F	ICMR0/ SAR0	MLS/ SVA6	WAIT/ SVA5	CKS2/ SVA4	CKS1/ SVA3	CKS0/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF80	SMR1	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI1,	8
		GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0	IIC1,	
	ICCR1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	スマート カード インタ フェース	
H'FF81	BRR1										
	ICSR1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB		
H'FF82	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF83	TDR1										
H'FF84	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF85	RDR1										
H'FF86	SCMR1	-	-	-	-	SDIR	SINV	-	SMIF		
	ICDR1/ SARX1	ICDR7/ SVARX6	ICDR6/ SVARX5	ICDR5/ SVARX4	ICDR4/ SVARX3	ICDR3/ SVARX2	ICDR2/ SVARX1	ICDR1/ SVARX0	ICDR0/ FSX		
H'FF87	ICMR1/ SAR1	MLS/ SVA6	WAIT/ SVA5	CKS2/ SVA4	CKS1/ SVA3	CKS0/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS	IIC1	
H'FF88	SMR2	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI2,	8
		GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0	スマート カード インタ フェース	
H'FF89	BRR2										
H'FF8A	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF8B	TDR2										
H'FF8C	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF8D	RDR2										
H'FF8E	SCMR2	-	-	-	-	SDIR	SINV	-	SMIF		
H'FF90	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	
H'FF91	ADDRAL	AD1	AD0	-	-	-	-	-	-		
H'FF92	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF93	ADDRBL	AD1	AD0	-	-	-	-	-	-		
H'FF94	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF95	ADDRCL	AD1	AD0	-	-	-	-	-	-		
H'FF96	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF97	ADDRDL	AD1	AD0	-	-	-	-	-	-		
H'FF98	ADCSR	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0		
H'FF99	ADCR	TRGS1	TRGS0	-	-	CKS1	CKS0	-	-		
H'FFA2 (ライト時)	TCSR1/ TCNT1	OVF	WT/ĪT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0	WDT1	
H'FFA3 (リード時)	TCNT1										
H'FFA4	DADR0									D/A0,	
H'FFA5	DADR1									D/A1	
H'FFA6	DACR01	DAOE1	DAOE0	DAE	-	-	-	-	-		

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FFA8	FLMCR1	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH	8
H'FFA9	FLMCR2	FLER	-	-	-	-	-	-	-		
H'FFAA	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFAB	EBR2	-	-	-	-	EB11	EB10	EB9	EB8		
H'FFAC	FLPWCR	PDWND	-	-	-	-	-	-	-		
H'FFB0	PORT1	P17	P16	P15	P14	P13	P12	P11	P10	ポート	8
H'FFB2	PORT3	P37	P36	P35	P34	P33	P32	P31	P30		
H'FFB3	PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
H'FFB6	PORT7	P77	P76	P75	P74	P73	P72	P71	P70		
H'FFB8	PORT9	P97	P96	P95	P94	P93	P92	P91	P90		
H'FFB9	PORTA	-	-	-	-	PA3	PA2	PA1	PA0		
H'FFBA	PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
H'FFBB	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
H'FFBC	PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
H'FFBD	PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0		
H'FFBE	PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
H'FFBF	PORTG	-	-	-	PG4	PG3	PG2	PG1	PG0		

【注】 未定義・リザーブアドレスは、将来の機能拡張用のほか、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

B.1 (b) アドレス一覧 (H8S/2695)

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅	
H'FDD0	SMR3	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI3, スマート カード インタ フェース	8	
		GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0			
H'FDD1	BRR3											
H'FDD2	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0			
H'FDD3	TDR3											
H'FDD4	SSR3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT			
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT			
H'FDD5	RDR3											
H'FDD6	SCMR3	-	-	-	-	SDIR	SINV	-	SMIF			
H'FDD8	SMR4	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI4, スマート カード インタ フェース		8
		GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0			
H'FDD9	BRR4											
H'FDDA	SCR4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0			
H'FDDB	TDR4											
H'FDDC	SSR4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT			
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT			
H'FDDD	RDR4											
H'FDDE	SCMR4	-	-	-	-	SDIR	SINV	-	SMIF			
H'FDE4	SBYCR	SSBY	STS2	SYS1	STS0	OPE	-	-	-	システム	8	
H'FDE5	SYSCR	MACS	-	INTM1	INTM0	NMIEG	MRESE	-	RAME			
H'FDE6	SCKCR	PSTOP	-	-	-	STCS	SCK2	SCK1	SCK0			
H'FDE7	MDCR	-	-	-	-	-	MDS2	MDS1	MDS0			
H'FDE8	MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0			
H'FDE9	MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0			
H'FDEA	MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0			
H'FDEB	PFCR	CSS07	CSS36	BUZZE	LCASS	AE3	AE2	AE1	AE0			
H'FDEC	LPWRCR	DTON	LSON	NESEL	SUBSTP	RFCUT	-	STC1	STC0			
H'FE12	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA			割り込み コント ローラ
H'FE13	ISCRH	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA			
H'FE14	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E			
H'FE15	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F			
H'FE30	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	ポート	8	
H'FE32	P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR			
H'FE36	P7DDR	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR			
H'FE39	PADDR	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR			
H'FE3A	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR			
H'FE3B	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR			
H'FE3C	PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR			
H'FE3D	PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR			

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅		
H'FE3E	PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	ポート	8		
H'FE3F	PGDDR	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR				
H'FE40	PAPCR	-	-	-	-	PA3PCR	PA2PCR	PA1PCR	PA0PCR				
H'FE41	PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR				
H'FE42	PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR				
H'FE43	PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR				
H'FE44	PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR				
H'FE46	P3ODR	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR				
H'FE47	PAODR	-	-	-	-	PA3ODR	PA2ODR	PA1ODR	PA0ODR				
H'FE48	PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR				
H'FE49	PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR				
H'FE80	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0			TPU3	16
H'FE81	TMDR3	-	-	BFB	BFA	MD3	MD2	MD1	MD0				
H'FE82	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FE83	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0				
H'FE84	TIER3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA				
H'FE85	TSR3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA				
H'FE86	TCNT3												
H'FE87													
H'FE88	TGR3A												
H'FE89													
H'FE8A	TGR3B												
H'FE8B													
H'FE8C	TGR3C												
H'FE8D													
H'FE8E	TGR3D												
H'FE8F													
H'FE90	TCR4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU4	16		
H'FE91	TMDR4	-	-	-	-	MD3	MD2	MD1	MD0				
H'FE92	TIOR4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FE94	TIER4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA				
H'FE95	TSR4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA				
H'FE96	TCNT4												
H'FE97													
H'FE98	TGR4A												
H'FE99													
H'FE9A	TGR4B												
H'FE9B													

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FEA0	TCR5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU5	16
H'FEA1	TMDR5	-	-	-	-	MD3	MD2	MD1	MD0		
H'FEA2	TIOR5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FEA4	TIER5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FEA5	TSR5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FEA6	TCNT5										
H'FEA7											
H'FEA8	TGR5A										
H'FEA9											
H'FEAA	TGR5B										
H'FEAB											
H'FEB0	TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU 共通	16
H'FEB1	TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0		
H'FEC0	IPRA	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0	割り込み コント ローラ	8
H'FEC1	IPRB	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC2	IPRC	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC3	IPRD	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC4	IPRE	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC5	IPRF	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC6	IPRG	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC7	IPRH	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC8	IPRI	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FEC9	IPRJ	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECA	IPRK	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECB	IPRL	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FECE	IPRO	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0		
H'FED0	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコン トローラ	8
H'FED1	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'FED2	WCRH	W71	W70	W61	W60	W51	W50	W41	W40		
H'FED3	WCRL	W31	W30	W21	W20	W11	W10	W01	W00		
H'FED4	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0		
H'FED5	BCRL	BRLE	BREQOE	-	OES	DDS	RCTS	WDBE	WAITE		
H'FED6	MCR	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0		
H'FED7	DRAMCR	RFSHE	CBRM	RMODE	CMF	CMIE	CKS2	CKS1	CKS0		
H'FED8	RTCNT										
H'FED9	RTCOR										
H'FEDB	RAMER	-	-	-	-	RAMS	RAM2	RAM1	RAM0	ROM	

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF00	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	ポート	8
H'FF01	-	-	-	-	-	-	-	-	-		
H'FF02	P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FF04	-	-	-	-	-	-	-	-	-		
H'FF05	-	-	-	-	-	-	-	-	-		
H'FF06	P7DR	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR		
H'FF07	-	-	-	-	-	-	-	-	-		
H'FF09	PADR	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR		
H'FF0A	PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FF0B	PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FF0C	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
H'FF0D	PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FF0E	PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
H'FF0F	PGDR	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR		
H'FF10	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		
H'FF11	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
H'FF12	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF13	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FF14	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FF15	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FF16	TCNT0										
H'FF17											
H'FF18	TGR0A										
H'FF19											
H'FF1A	TGR0B										
H'FF1B											
H'FF1C	TGR0C										
H'FF1D											
H'FF1E	TGR0D										
H'FF1F											
H'FF20	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU1	16
H'FF21	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0		
H'FF22	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF24	TIER1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FF25	TSR1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FF26	TCNT1										
H'FF27											
H'FF28	TGR1A										
H'FF29											
H'FF2A	TGR1B										
H'FF2B											

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF30	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU2	16
H'FF31	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0		
H'FF32	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF34	TIER2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FF35	TSR2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FF36	TCNT2										
H'FF37											
H'FF38	TGR2A										
H'FF39											
H'FF3A	TGR2B										
H'FF3B											
H'FF74 (ライト時)	TCSR0/ TCNT0	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT0	16
H'FF75 (リード時)	TCNT0										
H'FF76 (ライト時)	RSTCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FF77 (リード時)	RSTCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FF78	SMR0	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI0, スマート カード インタ フェース	8
		GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0		
	ICCR0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP		
H'FF79	BRR0										
	ICSR0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB		
H'FF7A	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF7B	TDR0										
H'FF7C	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF7D	RDR0										
H'FF7E	SCMR0	-	-	-	-	SDIR	SINV	-	SMIF		
	ICDR0/ SARX0	ICDR7/ SVAX6	ICDR6/ SVAX5	ICDR5/ SVAX4	ICDR4/ SVAX3	ICDR3/ SVAX2	ICDR2/ SVAX1	ICDR1/ SVAX0	ICDR0/ FSX		
H'FF7F	ICMR0/ SAR0	MLS/ SVA6	WAIT/ SVA5	CKS2/ SVA4	CKS1/ SVA3	CKS0/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF80	SMR1	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI1,	8
		GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0	スマート	
	ICCR1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	カード	
H'FF81	BRR1								インタ		
	ICSR1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	フェース	
H'FF82	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF83	TDR1										
H'FF84	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF85	RDR1										
H'FF86	SCMR1	-	-	-	-	SDIR	SINV	-	SMIF		
	ICDR1/ SARX1	ICDR7/ SVARX6	ICDR6/ SVARX5	ICDR5/ SVARX4	ICDR4/ SVARX3	ICDR3/ SVARX2	ICDR2/ SVARX1	ICDR1/ SVARX0	ICDR0/ FSX		
H'FF88	SMR2	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI2,	
		GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0	スマート	
H'FF89	BRR2									カード	
H'FF8A	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタ	
H'FF8B	TDR2									フェース	
H'FF8C	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
		TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF8D	RDR2										
H'FF8E	SCMR2	-	-	-	-	SDIR	SINV	-	SMIF		
H'FF90	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	
H'FF91	ADDRAL	AD1	AD0	-	-	-	-	-	-		
H'FF92	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF93	ADDRBL	AD1	AD0	-	-	-	-	-	-		
H'FF94	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF95	ADDRCL	AD1	AD0	-	-	-	-	-	-		
H'FF96	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF97	ADDRDL	AD1	AD0	-	-	-	-	-	-		
H'FF98	ADCSR	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0		
H'FF99	ADCR	TRGS1	TRGS0	-	-	CKS1	CKS0	-	-		

アドレス	略 号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FFB0	PORT1	P17	P16	P15	P14	P13	P12	P11	P10	ポート	8
H'FFB2	PORT3	P37	P36	P35	P34	P33	P32	P31	P30		
H'FFB3	PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
H'FFB6	PORT7	P77	P76	P75	P74	P73	P72	P71	P70		
H'FFB8	PORT9	P97	P96	P95	P94	P93	P92	P91	P90		
H'FFB9	PORTA	-	-	-	-	PA3	PA2	PA1	PA0		
H'FFBA	PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
H'FFBB	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
H'FFBC	PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
H'FFBD	PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0		
H'FFBE	PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
H'FFBF	PORTG	-	-	-	PG4	PG3	PG2	PG1	PG0		

【注】 未定義・リザーブアドレスは、将来の機能拡張用のほか、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

B.2 機能一覧

H'FDAC : D/A データレジスタ 2 DADR2 : D/A2

H'FDAD : D/A データレジスタ 3 DADR3 : D/A3

H'FFA4 : D/A データレジスタ 0 DADR0 : D/A0

H'FFA5 : D/A データレジスタ 1 DADR1 : D/A1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FDAE : D/A コントロールレジスタ 23 DACR23 : D/A2 , 3

H'FFA6 : D/A コントロールレジスタ 01 DACR01 : D/A0 , 1

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

D/Aイネーブル

DAOE1	DAOE0	DAE	説 明
0	0	*	チャンネル0、1 (チャンネル2、3) のD/A変換を禁止
		0	チャンネル0 (チャンネル2) のD/A変換を許可
	1	0	チャンネル1 (チャンネル3) のD/A変換を禁止
1	0	1	チャンネル0、1 (チャンネル2、3) のD/A変換を許可
		0	チャンネル0 (チャンネル2) のD/A変換を禁止
	1	1	チャンネル1 (チャンネル3) のD/A変換を許可
1	0	0	チャンネル0 (チャンネル2) のD/A変換を禁止
	1	*	チャンネル0、1 (チャンネル2、3) のD/A変換を許可

* : Don't care

D/Aアウトプットイネーブル0

0	アナログ出力DA0 (DA2) を禁止
1	チャンネル0のD/A変換を許可。アナログ出力DA0 (DA2) を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA1 (DA3) を禁止
1	チャンネル1のD/A変換を許可。アナログ出力DA1 (DA3) を許可

H'FDB0 : IrDA コントロールレジスタ IrCR : SCIO , IrDA

ビット :	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

IrDAクロックセレクト2~0

ビット6	ビット5	ビット4	説 明
IrCKS2	IrCKS1	IrCKS0	
0	0	0	B x 3/16 (ビットレートの16分の3)
		1	/2
	1	0	/4
		1	/8
1	0	0	/16
		1	/32
	1	0	/64
		1	/128

IrDAイネーブル

0	TxD0/IrTxD、RxD0/IrRxD端子はTxD0、RxD0として動作
1	TxD0/IrTxD、RxD0/IrRxD端子はIrTxD、IrRxDとして動作

H'FDB4 : シリアルコントロールレジスタ X SCRX : IIC

ビット :	7	6	5	4	3	2	1	0
	-	IICX1	IICX0	IICE	FLSHE	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリコントロールレジスタイネーブル

0	アドレスH'FFFA8 ~ H'FFFACのエリアはフラッシュ制御レジスタを非選択 (初期値)
1	アドレスH'FFFA8 ~ H'FFFACのエリアはフラッシュ制御レジスタを選択

I²Cマスタイネーブル

0	I ² Cバスインタフェースのデータレジスタおよび制御レジスタのCPUアクセスを禁止
1	I ² Cバスインタフェースのデータレジスタおよび制御レジスタのCPUアクセスを許可

I²Cトランスファレートセレクト1、0

ICMRのCKS2 ~ CKS0と組み合わせて、マスタモードでの転送レートを選択します。
詳細は、I²Cバスモードレジスタ (ICMR) の項を参照。

H'FDB5 : DDC スイッチレジスタ DDCSWR : IIC

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	CLR3	CLR2	CLR1	CLR0
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	W*2	W*2	W*2	W*2

リザーブビット

IICクリア3~0

CLR3	CLR2	CLR1	CLR0	
0	0			設定禁止
0	1	0	0	設定禁止
0	1	0	1	IIC0内部ラッチクリア
0	1	1	0	IIC1内部ラッチクリア
0	1	1	1	IIC0、1内部ラッチクリア
1				設定無効

【注】 *1 0ライトのみ可能です。

*2 リードすると常に1が読み出されます。

H'FDB8 : PWM (D/A) コントロールレジスタ0 DACR0 : PWM0

H'FDBC : PWM (D/A) コントロールレジスタ1 DACR1 : PWM1

ビット	7	6	5	4	3	2	1	0
	TEST	PWME	-	-	OEB	OEA	OS	CKS
初期値	0	0	1	1	0	0	0	0
R/W	R/W	R/W	-	-	R/W	R/W	R/W	R/W

クロックセレクト

0	分解能 (T) = システムクロック周期 (t _{cy}) で動作
1	分解能 (T) = システムクロック周期 (t _{cy}) × 2 で動作

アウトプットセレクト

0	PWM直接出力
1	PWM反転出力

アウトプットイネーブルA

0	PWM (D/A) チャネルA出力 (PWM0/PWM2出力端子) を禁止
1	PWM (D/A) チャネルA出力 (PWM0/PWM2出力端子) を許可

アウトプットイネーブルB

0	PWM (D/A) チャネルB出力 (PWM1/PWM3出力端子) を禁止
1	PWM (D/A) チャネルB出力 (PWM1/PWM3出力端子) を許可

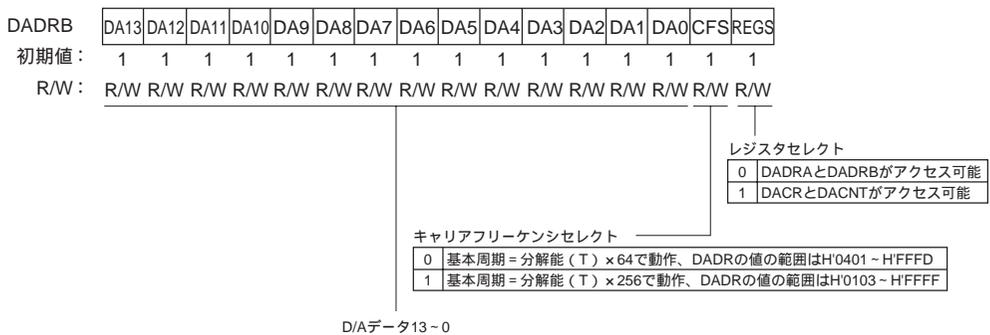
PWMイネーブル

0	DACNTは14ビットのアップカウンタとして動作
1	DACNT = H'0003で停止

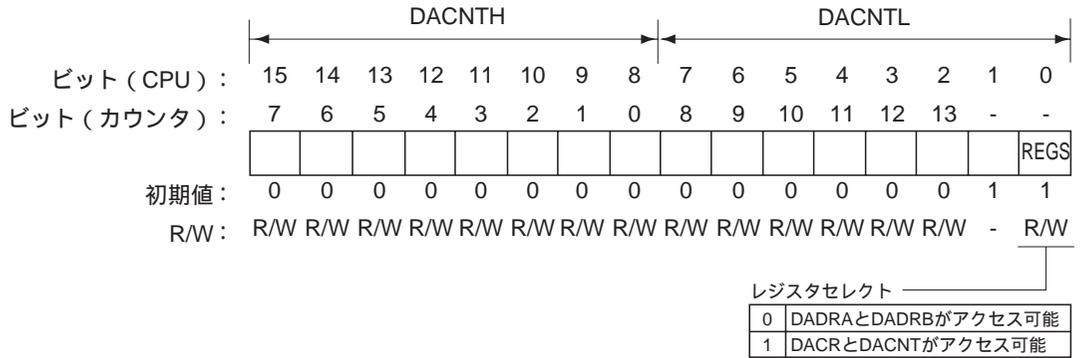
テストモード

0	PWM (D/A) はユーザ状態となり、通常の動作をします
1	PWM (D/A) はテスト状態となり、正しい変換結果は得られません

H'FDB8 : PWM (D/A) データレジスタ AH0 DADRAH0 : PWM0
H'FDB9 : PWM (D/A) データレジスタ AL0 DADRAL0 : PWM0
H'FDBA : PWM (D/A) データレジスタ BH0 DADRBH0 : PWM0
H'FDBB : PWM (D/A) データレジスタ BL0 DADRBL0 : PWM0
H'FDBC : PWM (D/A) データレジスタ AH1 DADRAH1 : PWM1
H'FDBD : PWM (D/A) データレジスタ AL1 DADRAL1 : PWM1
H'FDBE : PWM (D/A) データレジスタ BH1 DADRBH1 : PWM1
H'FDBF : PWM (D/A) データレジスタ BL1 DADRBL1 : PWM1



H'FDBA : PWM (D/A) カウンタ H0 DACNTH0 : PWM0
H'FDBB : PWM (D/A) カウンタ L0 DACNTL0 : PWM0
H'FDBE : PWM (D/A) カウンタ H1 DACNTH1 : PWM1
H'FDBF : PWM (D/A) カウンタ L1 DACNTL1 : PWM1



H'FDC0 : タイマコントロールレジスタ 2 TCR2 : TMR2

H'FDC1 : タイマコントロールレジスタ 3 TCR3 : TMR3

H'FF68 : タイマコントロールレジスタ 0 TCR0 : TMR0

H'FF69 : タイマコントロールレジスタ 1 TCR1 : TMR1

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト2~0

CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止
		1	内部クロック : / 8立ち下がりエッジでカウント
		0	内部クロック : / 64立ち下がりエッジでカウント
1	0	1	内部クロック : / 8192立ち下がりエッジでカウント
		0	チャンネル0の場合 : TCNT1のオーバーフロー信号でカウント* チャンネル1の場合 : TCNT0のコンペアマッチAでカウント* チャンネル2の場合 : TCNT3のオーバーフロー信号でカウント* チャンネル3の場合 : TCNT2のコンペアマッチAでカウント*
	1	0	外部クロック : 立ち上がりエッジでカウント
		1	外部クロック : 立ち下がりエッジでカウント

【注】 * チャンネル0 (チャンネル2) のクロック入力をTCNT1 (TCNT3) のオーバーフロー信号とし、チャンネル1 (チャンネル3) のクロック入力をTCNT0 (TCNT2) のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア1、0

CCLR1	CCLR0	
0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

タイマオーバーフローインタラプトイネーブル

0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

H'FDC2 : タイマコントロール/ステータスレジスタ 2 TCSR2 : TMR2

H'FDC3 : タイマコントロール/ステータスレジスタ 3 TCSR3 : TMR3

H'FF6A : タイマコントロール/ステータスレジスタ 0 TCSR0 : TMR0

H'FF6B : タイマコントロール/ステータスレジスタ 1 TCSR1 : TMR1

TCSR0

ビット :	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1、TCSR3

ビット :	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*		R/W	R/W	R/W	R/W

TCSR2

ビット :	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

ビット7 : コンペアマッチフラグB

0	[クリア条件] (1) CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき
1	[セット条件] TCNT = TCORBになったとき

ビット6 : コンペアマッチフラグA

0	[クリア条件] (1) CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき
1	[セット条件] TCNT = TCORAになったとき

ビット5 : タイマオーバフローフラグ

0	[クリア条件] OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

ビット4 : A/Dトリガインープル

0	コンペアマッチAによるA/D変換開始要求を禁止
1	コンペアマッチAによるA/D変換開始要求を許可

ビット3-0 : アウトプットセレクト3-0

OS3	OS2	
0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力(トグル出力)

OS1	OS0	
0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力(トグル出力)

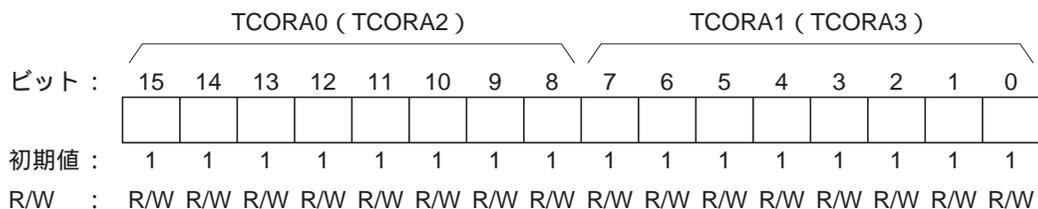
【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

H'FDC4 : タイムコンスタントレジスタ A2 TCORA2 : TMR2

H'FDC5 : タイムコンスタントレジスタ A3 TCORA3 : TMR3

H'FF6C : タイムコンスタントレジスタ A0 TCORA0 : TMR0

H'FF6D : タイムコンスタントレジスタ A1 TCORA1 : TMR1

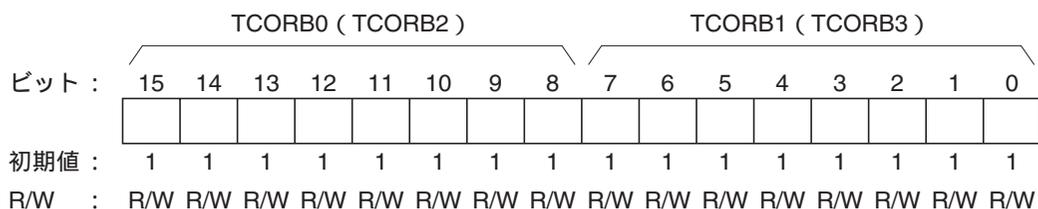


H'FDC6 : タイムコンスタントレジスタ B2 TCORB2 : TMR2

H'FDC7 : タイムコンスタントレジスタ B3 TCORB3 : TMR3

H'FF6E : タイムコンスタントレジスタ B0 TCORB0 : TMR0

H'FF6F : タイムコンスタントレジスタ B1 TCORB1 : TMR1

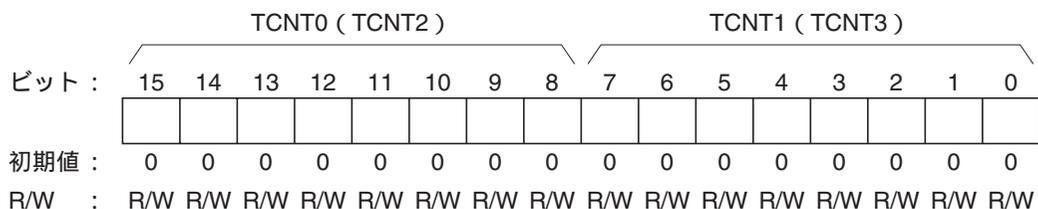


H'FDC8 : タイマカウンタ 2 TCNT2 : TMR2

H'FDC9 : タイマカウンタ 3 TCNT3 : TMR3

H'FF70 : タイマカウンタ 0 TCNT0 : TMR0

H'FF71 : タイマカウンタ 1 TCNT1 : TMR1



H'FDD0 : シリアルモードレジスタ 3 SMR3 : SCI3

H'FDD8 : シリアルモードレジスタ 4 SMR4 : SCI4

H'FF78 : シリアルモードレジスタ 0 SMR0 : SCI0

H'FF80 : シリアルモードレジスタ 1 SMR1 : SCI1

H'FF88 : シリアルモードレジスタ 2 SMR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0

ビット1 CKS1	ビット0 CKS0	説 明
0	0	クロック
	1	/4クロック
1	0	/16クロック
	1	/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット：送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します
1	2ストップビット：送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

- 【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。
- *2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

- 【注】 * PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

- 【注】 * 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。また、LSBファースト / MSBファーストの選択はできません。

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

H'FDD0 : シリアルモードレジスタ 3 SMR3 : スマートカードインタフェース
H'FDD8 : シリアルモードレジスタ 4 SMR4 : スマートカードインタフェース
H'FF78 : シリアルモードレジスタ 0 SMR0 : スマートカードインタフェース
H'FF80 : シリアルモードレジスタ 1 SMR1 : スマートカードインタフェース
H'FF88 : シリアルモードレジスタ 2 SMR2 : スマートカードインタフェース

ビット :	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

基本クロックパルス1、0

BCP1	BCP0	
0	0	32クロック
	1	64クロック
1	0	372クロック
	1	256クロック

ブロック転送モード

0	通常のスマートカードインタフェースモードの動作 (1) エラーシグナルの送付、検出、データの自動再送信を行う (2) TXI割り込みがTENDフラグにより発生する (3) TENDフラグの認定タイミングが、送信開始から12.5etu後 (GSMモードでは11.0etu後)
1	ブロック転送モード (1) エラーシグナルの送付、検出、データの自動再送信を行わない (2) TXI割り込みがTDREフラグにより発生する (3) TENDフラグの認定タイミングが、送信開始から11.5etu後 (GSMモードでは11.0etu後)

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etu (ブロック転送モード時は11.5etu) のタイミングで発生 (2) クロック出力のON / OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON / OFF制御の他、High / Low固定制御可能 (SCRで設定)

【注】 etu (Elementary time unit) : 1ビットの転送期間

【注】 スマートカードインタフェースを使用する場合は、ビット5に1を設定してください。

H'FDD1 : ビットレートレジスタ 3 BRR3 : SCI3

H'FDD9 : ビットレートレジスタ 4 BRR4 : SCI4

H'FF79 : ビットレートレジスタ 0 BRR0 : SCI0

H'FF81 : ビットレートレジスタ 1 BRR1 : SCI1

H'FF89 : ビットレートレジスタ 2 BRR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

H'FDD2 : シリアルコントロールレジスタ 3 SCR3 : SCI3

H'FDDA : シリアルコントロールレジスタ 4 SCR4 : SCI4

H'FF7A : シリアルコントロールレジスタ 0 SCR0 : SCI0

H'FF82 : シリアルコントロールレジスタ 1 SCR1 : SCI1

H'FF8A : シリアルコントロールレジスタ 2 SCR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0

ビット1	ビット0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート ^{*1}
	1	クロック同期式モード	内部クロック / SCK端子は同期クロック出力 ^{*1}
1	0	調歩同期式モード	内部クロック / SCK端子は同期クロック出力
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子は同期クロック入力
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック入力
1	0	調歩同期式モード	外部クロック / SCK端子は同期クロック入力 ^{*3}
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック入力

- 【注】 *1 初期値
*2 ビットレートと同じ周波数のクロックを出力
*3 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

- 【注】 * TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 [*] マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します

- 【注】 * MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止 ^{*1}
1	受信動作を許可 ^{*2}

- 【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。
*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

トランスミットイネーブル

0	送信動作を禁止 ^{*1}
1	送信動作を許可 ^{*2}

- 【注】 *1 SSRのTDREフラグは1に固定されます。
*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。
なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

- 【注】 * RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプトイネーブル

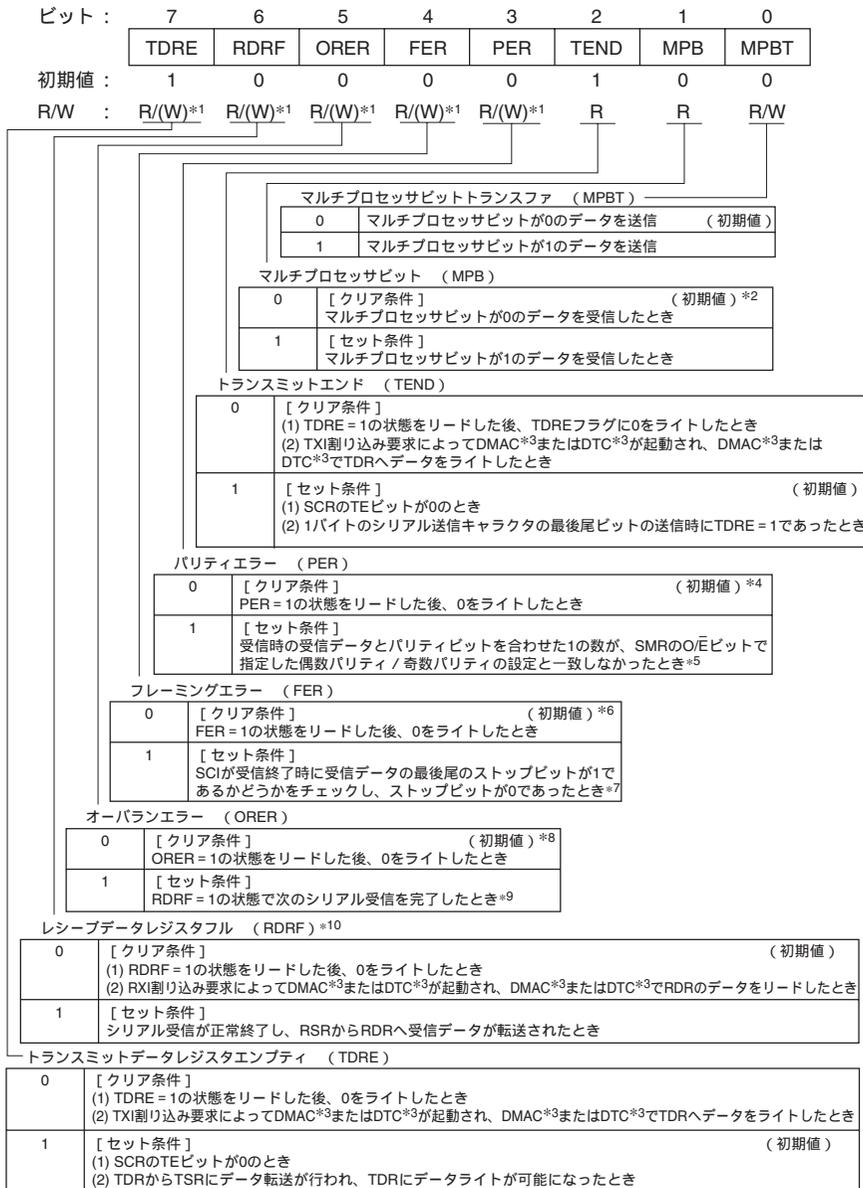
0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

- 【注】 TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FDD3 : トランスミットデータレジスタ 3 TDR3 : SCI3
H'FDDB : トランスミットデータレジスタ 4 TDR4 : SCI4
H'FF7B : トランスミットデータレジスタ 0 TDR0 : SCI0
H'FF83 : トランスミットデータレジスタ 1 TDR1 : SCI1
H'FF8B : トランスミットデータレジスタ 2 TDR2 : SCI2

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>							
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

H'FDD4 : シリアルステータスレジスタ 3 SSR3 : SCI3
H'FDDC : シリアルステータスレジスタ 4 SSR4 : SCI4
H'FF7C : シリアルステータスレジスタ 0 SSR0 : SCI0, IIC0
H'FF84 : シリアルステータスレジスタ 1 SSR1 : SCI1, IIC1
H'FF8C : シリアルステータスレジスタ 2 SSR2 : SCI2



- 【注】
- *1 フラグをクリアするための0ライトのみ可能です。
 - *2 マルチプロセッサフォーマットでSCRのREビットを0にクリアしたときには、以前の状態を保持します。
 - *3 H8S/2695には本機能はありません。
 - *4 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。
 - *5 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期モードでは、シリアル送信も続けることができません。
 - *6 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。
 - *7 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。
なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期モードでは、シリアル送信も続けることができません。
 - *8 SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。
 - *9 RDRではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。
 - *10 受信時にエラーを検出したとき、およびSCRのREビットを0にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。
RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。

H'FF7D : レシーブデータレジスタ 0 RDR0 : SCI0
H'FF85 : レシーブデータレジスタ 1 RDR1 : SCI1
H'FF8D : レシーブデータレジスタ 2 RDR2 : SCI2
H'FD5 : レシーブデータレジスタ 3 RDR3 : SCI3
H'FD55 : レシーブデータレジスタ 4 RDR4 : SCI4

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

H'FF7E : スマートカードモードレジスタ 0 SCMR0 : SCI0
H'FF86 : スマートカードモードレジスタ 1 SCMR1 : SCI1
H'FF8E : スマートカードモードレジスタ 2 SCMR2 : SCI2
H'FD6 : スマートカードモードレジスタ 3 SCMR3 : SCI3
H'FD6E : スマートカードモードレジスタ 4 SCMR4 : SCI4

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

スマートカードインタフェースモードセレクト

0	通常のSCIとして動作 (スマートカードインタフェース機能を禁止)
1	スマートカードインタフェース機能を許可

スマートカードデータインバート

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転して送信 受信データを反転してRDRに格納

スマートカードデータトランスファディレクション

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FDE4 : スタンバイコントロールレジスタ SBYCR : システム

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE			
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W			

出力ポートイネーブル

0	ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号は出力状態を保持

スタンバイタイムセレクト 2 ~ 0

STS2	STS1	STS0	
0	0	0	待機時間 8192 ステート
		1	待機時間 16384 ステート
	1	0	待機時間 32768 ステート
		1	待機時間 65536 ステート
1	0	0	待機時間 131072 ステート
		1	待機時間 262144 ステート
	1	0	リザーブ
		1	待機時間 16 ステート*

【注】* 本製品では設定しないでください。

ソフトウェアスタンバイ

0	高速モードおよび中速モードでSLEEP命令を実行したとき、スリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、サブスリープモードに遷移
1	高速モードおよび中速モードでSLEEP命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

H'FDE5 : システムコントロールレジスタ SYSCR : システム

ビット :	7	6	5	4	3	2	1	0
	MACS	-	INTM1	INTM0	NMIEG	MRESE	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	R/W	-	R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効

マニュアルリセット選択ビット

0	マニュアルリセットを禁止 P74/TMO2/MRES端子をP74/TMO2入出力端子として使用可能
1	マニュアルリセットを許可 P74/TMO2/MRES端子をMRES入力端子として使用可能

NMIエッジセレクト

0	NMI入力の立ち下がりエッジで割り込み要求を発生
1	NMI入力の立ち上がりエッジで割り込み要求を発生

割り込み制御モード1、0

INTM1	INTM0	割り込み制御モード	
0	0	0	1ビットで、割り込みを制御
	1		設定禁止
1	0	2	I2~I0ビットとIPRで、割り込みを制御
	1		設定禁止

MACサチュレーション

0	MAC命令は非飽和演算
1	MAC命令は飽和演算

H'FDE6：システムクロックコントロールレジスタ SCKCR：システム

ビット：	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	STCS	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	-	-	-	R/W	R/W	R/W	R/W

システムクロックセレクト2~0

SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード
		1	中速クロックは /2
	1	0	中速クロックは /4
		1	中速クロックは /8
1	0	0	中速クロックは /16
		1	中速クロックは /32
	1	-	-

周波数逡倍率切り替えモード選択

0	指定した逡倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後に有効
1	指定した逡倍率は、STCビットの書き換え直後に有効

クロック出力禁止

PSTOP	高速モード、 中速モード、 サブアクティブ モード	スリープモード、 サブスリープ モード	ソフトウェア スタンバイモード、 ウォッチモード、 直接遷移	ハードウェア スタンバイモード
0	出力（初期値）	出力	Highレベル固定	ハイインピーダンス
1	Highレベル固定	Highレベル固定	Highレベル固定	ハイインピーダンス

H'FDE7：モードコントロールレジスタ MDCR：システム

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値：	1	0	0	0	0	- *	- *	- *
R/W：	R/W	-	-	-	-	R	R	R

【注】* MD2～MD0端子により決定されます。

モードセレクト2~0
各モード端子の入力レベル

H'FDE8 : モジュールストップコントロールレジスタ A MSTPCRA : システム

ビット :	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	0	0	1	1	1	1	1	1
R/W :	R/W							

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FDE9 : モジュールストップコントロールレジスタ B MSTPCRB : システム

ビット :	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FDEA : モジュールストップコントロールレジスタ C MSTPCRC : システム

ビット :	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FDEB：端子機能コントロールレジスタ PFCR：システム

ビット：	7	6	5	4	3	2	1	0
	CSS07	CSS36	BUZZE	LCASS	AE3	AE2	AE1	AE0
初期値	0	0	0	0	1/0	1/0	0	1/0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス出力イネーブル3~0*

AE3	AE2	AE1	AE0	
0	0	0	0	A8 ~ A23出力を禁止
0	0	0	1	A8出力を許可。A9 ~ A23出力を禁止
0	0	1	0	A8、A9出力を許可。A10 ~ A23出力を禁止
0	0	1	1	A8 ~ A10出力を許可。A11 ~ A23出力を禁止
0	1	0	0	A8 ~ A11出力を許可。A12 ~ A23出力を禁止
0	1	0	1	A8 ~ A12出力を許可。A13 ~ A23出力を禁止
0	1	1	0	A8 ~ A13出力を許可。A14 ~ A23出力を禁止
0	1	1	1	A8 ~ A14出力を許可。A15 ~ A23出力を禁止
1	0	0	0	A8 ~ A15出力を許可。A16 ~ A23出力を禁止
1	0	0	1	A8 ~ A16出力を許可。A17 ~ A23出力を禁止
1	0	1	0	A8 ~ A17出力を許可。A18 ~ A23出力を禁止
1	0	1	1	A8 ~ A18出力を許可。A19 ~ A23出力を禁止
1	1	0	0	A8 ~ A19出力を許可。A20 ~ A23出力を禁止
1	1	0	1	A8 ~ A20出力を許可。A21 ~ A23出力を禁止
1	1	1	0	A8 ~ A21出力を許可。A22、A23出力を禁止
1	1	1	1	A8 ~ A23出力を許可

【注】 * 内蔵ROM有効拡張モードのとき、AE3 ~ AE0ビットはB'0000に初期化されます。
また、内蔵ROM無効拡張モードのとき、AE3 ~ AE0ビットはB'1101に初期化されます。
なお、A0 ~ A7アドレスは、対応するDDRを1にセットすることでアドレス出力となります。

LCAS出力端子選択ビット

0	LCAS信号をPF2から出力
1	LCAS信号をPF6から出力

BUZZ出力イネーブル*

0	PF1入力端子として機能
1	BUZZ出力端子として機能

【注】 * H8S/2695ではBUZZ機能は使用できません。
BUZZEビットに書き込みを行う場合は必ず0を書き込んでください。

CS3/CS6セレクト

0	CS3を選択
1	CS6を選択

CS0/CS7セレクト

0	CS0を選択
1	CS7を選択

H'FDEC : ローパワーコントロールレジスタ LPWRCR : システム

ビット :

7	6	5	4	3	2	1	0
DTON*1	LSON*1	NESEL*1	SUBSTP*1	RFCUT*1	-	STC1	STC0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

周波数通倍率

STC1	STC0	説 明
0	0	×1 (初期値)
	1	×2
1	0	×4
	1	設定禁止

【注】 通倍後のクロック周波数は、
本LSIの最大動作周波数を
超えないように設定して
ください。
本機能のPLL×4を使用し、
外部クロック周波数を低く
することにより、消費電力
ノイズを低減することが
できます。

発振回路帰還抵抗制御ビット

0	メインクロック発振時帰還抵抗ON、メイン クロック発振停止時帰還抵抗OFF
1	帰還抵抗をOFF

サブクロックイネーブル

0	サブクロック生成を許可
1	サブクロック生成を禁止

ノイズ除去サンプリング周波数選択

0	の32分周クロックでサンプリング
1	の4分周クロックでサンプリング

ロースピードオンフラグ

0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 ・ウォッチモード解除後に高速モードに遷移
1	<ul style="list-style-type: none"> ・高速モードでSLEEP命令を実行したとき、ウォッチモード、またはサブアクティブモード遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ・ウォッチモード解除後にサブアクティブモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ダイレクトトランスファオンフラグ

0	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移
1	<ul style="list-style-type: none"> ・高速モード、あるいは中速モードでSLEEP命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

【注】 *1 H8S/2695 にはサブクロック機能はありません。H8S/2695 で書き込みを行う場合は必ず0を書き込んでください。

H'FE00 : ブレークアドレスレジスタ A BARA : PBC

H'FE04 : ブレークアドレスレジスタ B BARB : PBC

ビット :

31	...	24	23	22	21	20	19	18	17	16	...	7	6	5	4	3	2	1	0
	...		BAA	...	BAA														
			23	22	21	20	19	18	17	16	...	7	6	5	4	3	2	1	0

初期値 : 不定 ... 不定 0 0 0 0 0 0 0 0 0 0 ... 0 0 0 0 0 0 0 0 0

R/W : ... R/W R/W R/W R/W R/W R/W R/W R/W ... R/W R/W R/W R/W R/W R/W R/W R/W R/W

ブレークアドレス23~0

【注】 BARBのビット構成は、BARAと同様です。

H'FE08 : ブレークコントロールレジスタ A BCRA : PBC

H'FE09 : ブレークコントロールレジスタ B BCRB : PBC

ビット :	7	6	5	4	3	2	1	0
	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA

初期値 : 0 0 0 0 0 0 0 0

R/W : R/(W)* R/W R/W R/W R/W R/W R/W R/W

ブレーク割り込みイネーブル

0	PCブレーク割り込みを禁止
1	PCブレーク割り込みを許可

ブレーク条件選択

CSELA1	CSELA0	
0	0	命令フェッチをブレーク条件とする
0	1	データリードサイクルをブレーク条件とする
1	0	データライトサイクルをブレーク条件とする
1	1	データリード/ライトサイクルをブレーク条件とする

ブレークアドレスマスクレジスタA2~A0

BAMRA 2	BAMRA 1	BAMRA 0	
0	0	0	BARAをマスクせず全ビットをブレーク条件に含める
0	0	1	BAA0 (下位1ビット) をマスクしブレーク条件に含めない
0	1	0	BAA1~0 (下位2ビット) をマスクしブレーク条件に含めない
0	1	1	BAA2~0 (下位3ビット) をマスクしブレーク条件に含めない
1	0	0	BAA3~0 (下位4ビット) をマスクしブレーク条件に含めない
1	0	1	BAA7~0 (下位8ビット) をマスクしブレーク条件に含めない
1	1	0	BAA11~0 (下位12ビット) をマスクしブレーク条件に含めない
1	1	1	BAA15~0 (下位16ビット) をマスクしブレーク条件に含めない

CPUサイクル/DTCサイクルセレクトA

0	CPUがバスマスタのとき、PCブレークを行う
1	CPUまたはDTCがバスマスタのとき、PCブレークを行う

コンディションマッチフラグA

0	[クリア条件] CMFA = 1の状態ではCMFAをリード後、CMFAに0をライトしたとき
1	[セット条件] チャネルAの設定した条件が成立したとき

【注】 BCRBのビット構成は、BCRAと同様です。

* フラグをクリアするための0ライトのみ可能です。

H'FE12 : IRQ センスコントロールレジスタ H ISCRH : 割り込みコントローラ

H'FE13 : IRQ センスコントロールレジスタ L ISCR L : 割り込みコントローラ

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ISCR L

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

IRQ7センスコントロールA、B
~ IRQ0センスコントロールA、B

IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	IRQ7 ~ IRQ0 入力の Low レベルで割り込み要求を発生
	1	IRQ7 ~ IRQ0 入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ7 ~ IRQ0 入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ7 ~ IRQ0 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

H'FE14 : IRQ イネーブルレジスタ IER : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

IRQ7 ~ IRQ0 イネーブル

0	IRQn 割り込みを禁止
1	IRQn 割り込みを許可

(n = 7 ~ 0)

H'FE15 : IRQ ステータスレジスタ ISR : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

IRQ7 ~ IRQ0フラグ

0	<p>[クリア条件]</p> <p>(1) IRQnF = 1の状態ではIRQnFフラグをリードした後、IRQnFフラグに0をライトしたとき</p> <p>(2) Lowレベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で$\overline{\text{IRQn}}$入力が高レベルの状態、割り込み例外処理を実行したとき</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1、またはIRQnSCA = 1) の状態でIRQn割り込み例外処理を実行したとき</p> <p>(4) IRQn割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p>
1	<p>[セット条件]</p> <p>(1) Lowレベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で$\overline{\text{IRQn}}$入力がLowレベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で$\overline{\text{IRQn}}$入りに立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で$\overline{\text{IRQn}}$入りに立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で$\overline{\text{IRQn}}$入りに立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 7 ~ 0)

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE16 ~ H'FE1E : DTC イネーブルレジスタ DTCEr : DTC

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

DTC起動イネーブル

DTCEn	
0	<p>割り込みによるDTC起動を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ・ DISELビットが1でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき
1	<p>割り込みによるDTC起動を許可</p> <p>[保持条件]</p> <p>DISELビットが0で、指定した回数の転送が終了していないとき</p>

(n = 7 ~ 0)

H'FE1F : DTC ベクタレジスタ DTVECR : DTC

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/(W)*2						

DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [クリア条件] ・DISELビットが0で、指定した回数の転送が終了していないとき ・CPUに対し、ソフトウェア起動データ転送終了割り込み (SWDTEEND) が要求された後、0をライトしたとき
1	DTCソフトウェア起動を許可 [保持条件] ・DISELビットが1で、データ転送を終了したとき ・指定した回数の転送が終了したとき ・ソフトウェア起動によるデータ転送中

DTCソフトウェア起動ベクタ6~0

【注】*1 SWDTEビットは、1ライトのみ可能です。

*2 DTVEC6~DTVEC0ビットは、SWDTE = 0のときライト可能です。

H'FE26 : PPG 出力コントロールレジスタ PCR : PPG

ビット :	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

グループ0コンペアマッチセレクト1、0

G0CMS1	G0CMS0	パルス出力グループ0の出力トリガ
0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

グループ1コンペアマッチセレクト1、0

G1CMS1	G1CMS0	パルス出力グループ1の出力トリガ
0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

グループ2コンペアマッチセレクト1、0

G2CMS1	G2CMS0	パルス出力グループ2の出力トリガ
0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

グループ3コンペアマッチセレクト1、0

G3CMS1	G3CMS0	パルス出力グループ3の出力トリガ
0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

H'FE27 : PPG 出力モードレジスタ PMR : PPG

ビット :	7	6	5	4	3	2	1	0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値 :	1	1	1	1	0	0	0	0
R/W :	R/W							

グループ0 ノンオーバーラップ

0	パルス出力グループ0は、通常動作（選択されたTPUのコンペアマッチAで出力値を更新します）
1	パルス出力グループ0は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます）

グループ1 ノンオーバーラップ

0	パルス出力グループ1は、通常動作（選択されたTPUのコンペアマッチAで出力値を更新します）
1	パルス出力グループ1は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます）

グループ2 ノンオーバーラップ

0	パルス出力グループ2は、通常動作（選択されたTPUのコンペアマッチAで出力値を更新します）
1	パルス出力グループ2は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます）

グループ3 ノンオーバーラップ

0	パルス出力グループ3は、通常動作（選択されたTPUのコンペアマッチAで出力値を更新）
1	パルス出力グループ3は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に出力可能）

グループ0 インバート

0	パルス出力グループ0は、反転出力（PODRLの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ0は、直接出力（PODRLの内容1に対して、端子にHighレベルを出力）

グループ1 インバート

0	パルス出力グループ1は、反転出力（PODRLの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ1は、直接出力（PODRLの内容1に対して、端子にHighレベルを出力）

グループ2 インバート

0	パルス出力グループ2は、反転出力（PODRHの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ2は、直接出力（PODRHの内容1に対して、端子にHighレベルを出力）

グループ3 インバート

0	パルス出力グループ3は、反転出力（PODRHの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ3は、直接出力（PODRHの内容1に対して、端子にHighレベルを出力）

H'FE28 : ネクストデータイネーブルレジスタ H NDERH : PPG

H'FE29 : ネクストデータイネーブルレジスタ L NDERL : PPG

NDERH

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15~8

NDER15 ~ NDER8	
0	パルス出力PO15 ~ PO8を禁止 (NDR15 ~ NDR8からPOD15 ~ POD8への転送禁止)
1	パルス出力PO15 ~ PO8を許可 (NDR15 ~ NDR8からPOD15 ~ POD8への転送許可)

NDERL

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ネクストデータイネーブル7~0

NDER7 ~ NDER0	
0	パルス出力PO7 ~ PO0を禁止 (NDR7 ~ NDR0からPOD7 ~ POD0への転送禁止)
1	パルス出力PO7 ~ PO0を許可 (NDR7 ~ NDR0からPOD7 ~ POD0への転送許可)

H'FE2A : アウトプットデータレジスタ H PODRH : PPG

H'FE2B : アウトプットデータレジスタ L PODRL : PPG

PODRH

ビット :	7	6	5	4	3	2	1	0
	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

PODRL

ビット :	7	6	5	4	3	2	1	0
	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

【注】* NDERにより、パルス出力に設定されたビットはリード専用となります。

H'FE2C, H'FE2E : ネクストデータレジスタ H NDRH : PPG

パルス出力グループの出力トリガが同一の場合

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

パルス出力グループの出力トリガが異なる場合

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

【注】 詳細は「12.2.4 NDRアクセス時の注意」を参照してください。

H'FE2D, H'FE2F : ネクストデータレジスタ L NDRL : PPG

パルス出力グループの出力トリガが同一の場合

ビット :

7	6	5	4	3	2	1	0
NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット :

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-

初期値 : 1 1 1 1 1 1 1 1

R/W : - - - - - - - -

パルス出力グループの出力トリガが異なる場合

ビット :

7	6	5	4	3	2	1	0
NDR7	NDR6	NDR5	NDR4	-	-	-	-

初期値 : 0 0 0 0 1 1 1 1

R/W : R/W R/W R/W R/W - - - -

ビット :

7	6	5	4	3	2	1	0
-	-	-	-	NDR3	NDR2	NDR1	NDR0

初期値 : 1 1 1 1 0 0 0 0

R/W : - - - - R/W R/W R/W R/W

【注】 詳細は、「12.2.4 NDRアクセス時の注意」を参照してください。

H'FE30 : ポート 1 データディレクションレジスタ P1DDR : ポート

ビット :

7	6	5	4	3	2	1	0
P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR

初期値 : 0 0 0 0 0 0 0 0

R/W : W W W W W W W W

H'FE32 : ポート 3 データディレクションレジスタ P3DDR : ポート

ビット :

7	6	5	4	3	2	1	0
P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR

初期値 : 0 0 0 0 0 0 0 0

R/W : W W W W W W W W

H'FE36 : ポート7 データディレクションレジスタ P7DDR : ポート

ビット :	7	6	5	4	3	2	1	0
	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'FE39 : ポートA データディレクションレジスタ PADDR : ポート

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

H'FE3A : ポートB データディレクションレジスタ PBDDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'FE3B : ポートC データディレクションレジスタ PCDDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'FE3C : ポートD データディレクションレジスタ PDDDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'FE3D : ポートE データディレクションレジスタ PEDDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

H'FE3E：ポート F データディレクションレジスタ PFDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
モード4~6								
初期値：	1	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W
モード7								
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

H'FE3F：ポート G データディレクションレジスタ PGDDR：ポート

ビット：	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR
モード4、5								
初期値：	不定	不定	不定	1	0	0	0	0
R/W：				W	W	W	W	W
モード6、7								
初期値：	不定	不定	不定	0	0	0	0	0
R/W：				W	W	W	W	W

H'FE40：ポート A ブルアップ MOS コントロールレジスタ PAPCR：ポート

ビット：	7	6	5	4	3	2	1	0
					PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値：	不定	不定	不定	不定	0	0	0	0
R/W：					R/W	R/W	R/W	R/W

H'FE41：ポート B ブルアップ MOS コントロールレジスタ PBPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

H'FE42：ポート C ブルアップ MOS コントロールレジスタ PCPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

H'FE43：ポートD ブルアップ MOS コントロールレジスタ PDPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

H'FE44：ポートE ブルアップ MOS コントロールレジスタ PEPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

H'FE46：ポート3 オープンドレインコントロールレジスタ P3ODR：ポート

ビット：	7	6	5	4	3	2	1	0
	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

H'FE47：ポートA オープンドレインコントロールレジスタ PAODR：ポート

ビット：	7	6	5	4	3	2	1	0
					PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値：	不定	不定	不定	不定	0	0	0	0
R/W：					R/W	R/W	R/W	R/W

H'FE48：ポートB オープンドレインコントロールレジスタ PBODR：ポート

ビット：	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

H'FE49：ポートC オープンドレインコントロールレジスタ PCODR：ポート

ビット：	7	6	5	4	3	2	1	0
	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

H'FE80 : タイマコントロールレジスタ 3 TCR3 : TPU3

H'FF10 : タイマコントロールレジスタ 0 TCR0 : TPU0

チャンネル0 : TCR0

チャンネル3 : TCR3

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

タイムプリスケラ2、1、0

TCR0

TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
	1	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
	1	0	外部クロック : TCLKC端子入力でカウント
		1	外部クロック : TCLKD端子入力でカウント

TCR3

TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
	1	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	内部クロック : /1024でカウント
	1	0	内部クロック : /256でカウント
		1	内部クロック : /4096でカウント

クロックエッジ1、0

CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。

カウンタクリア2、1、0

CCLR2	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2
		1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

H'FE81 : タイマモードレジスタ 3 TMDR3 : TPU3

H'FF11 : タイマモードレジスタ 0 TMDR0 : TPU0

チャンネル0 : TMDR0

チャンネル3 : TMDR3

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

モード3~0

MD3*1	MD2*2	MD1	MD0	
0	0	0	0	通常動作
			1	リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

- 【注】 *1 MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
*2 チャンネル0、3では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

バッファ動作A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FE82 : タイマ I/O コントロールレジスタ 3H TIOR3H : TPU3

ビット : 7 6 5 4 3 2 1 0

IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W						

TGR3A I/Oコントロール

0	0	0	0	TGR3Aは	出力禁止		
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
			0	コンペア		コンペアマッチで1出力	
		1	0	0	レジスタ		コンペアマッチでトグル出力
				1		出力禁止	
				0		初期出力は1出力	コンペアマッチで0出力
	1	0	0	0	TGR3Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
				1	インプット	TIOCA3端子	立ち下がりエッジでインプットキャプチャ
				*	キャプチャ		両エッジでインプットキャプチャ
		1	*	*	レジスタ	キャプチャ入力元は	TCNT4のカウンタアップ / カウンタダウン
						チャネル4 / カウントクロック	でインプットキャプチャ

TGR3B I/Oコントロール

* : Don't care

0	0	0	0	TGR3Bは	出力禁止		
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
			0	コンペア		コンペアマッチで1出力	
		1	0	0	レジスタ		コンペアマッチでトグル出力
				1		出力禁止	
				0		初期出力は1出力	コンペアマッチで0出力
	1	0	0	0	TGR3Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
				1	インプット	TIOCB3端子	立ち下がりエッジでインプットキャプチャ
				*	キャプチャ		両エッジでインプットキャプチャ
		1	*	*	レジスタ	キャプチャ入力元は	TCNT4のカウンタアップ / カウンタダウン
						チャネル4 / カウントクロック	でインプットキャプチャ*1

* : Don't care

【注】 *1 TCR4のTPSC2 ~ TPSC0ビットをB'000とし、TCNT4のカウントクロックに /1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

H'FE92 : タイマ I/O コントロールレジスタ 4 TIOR4 : TPU4

ビット : 7 6 5 4 3 2 1 0

IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 : 0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR4A I/Oコントロール

0	0	0	0	TGR4Aは	出力禁止			
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
			1	コンペア	コンペアマッチで1出力			
		1	0	0	レジスタ	コンペアマッチでトグル出力		
				1	出力禁止			
				1	初期出力は1出力	コンペアマッチで0出力		
	1	0	0	0	TGR4Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット	TIOCA4端子	立ち下がりエッジでインプットキャプチャ	
				1	* キャプチャ	両エッジでインプットキャプチャ		
		1	*	*	レジスタ	キャプチャ入力元は	TGR3Aのコンペアマッチ / インプットキャ	
					TGR3Aコンペアマッチ /	プチャの発生でインプットキャプチャ		
					インプットキャプチャ			

* : Don't care

TGR4B I/Oコントロール

0	0	0	0	TGR4Bは	出力禁止			
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
			1	コンペア	コンペアマッチで1出力			
		1	0	0	レジスタ	コンペアマッチでトグル出力		
					出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	0	TGR4Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット	TIOCB4端子	立ち下がりエッジでインプットキャプチャ	
				1	* キャプチャ	両エッジでインプットキャプチャ		
		1	*	*	レジスタ	キャプチャ入力元は	TGR3Cのコンペアマッチ / インプットキャ	
					TGR3Cコンペアマッチ /	プチャの発生でインプットキャプチャ		
					インプットキャプチャ			

* : Don't care

H'FEA2 : タイマ I/O コントロールレジスタ 5 TIOR5 : TPU5

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR5A I/Oコントロール								
0	0	0	0	TGR5Aは	出力禁止			
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
			1	コンペア		コンペアマッチで1出力		
		1	0	0	レジスタ		コンペアマッチでトグル出力	
				1		出力禁止		
				1		初期出力は1出力	コンペアマッチで0出力	
	1	0	0			コンペアマッチで1出力		
			1		コンペアマッチでトグル出力			
			1					
	1	*	0	0	TGR5Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット		TIOCA5端子	立ち下がりエッジでインプットキャプチャ
				1	キャプチャ			両エッジでインプットキャプチャ
			*	レジスタ				

* : Don't care

TGR5B I/Oコントロール

0	0	0	0	TGR5Bは	出力禁止			
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
			1	コンペア		コンペアマッチで1出力		
		1	0	0	レジスタ		コンペアマッチでトグル出力	
				1		出力禁止		
				1		初期出力は1出力	コンペアマッチで0出力	
	1	0	0			コンペアマッチで1出力		
			1		コンペアマッチでトグル出力			
			1					
	1	*	0	0	TGR5Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット		TIOCB5端子	立ち下がりエッジでインプットキャプチャ
				1	キャプチャ			両エッジでインプットキャプチャ
			*	レジスタ				

* : Don't care

H'FF12 : タイマ I/O コントロールレジスタ 0H TIOR0H : TPU0

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

0	0	0	0	TGR0Aは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0	0	TGR0Aは	出力禁止
				1	アウトプット	初期出力は1出力 コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	1	0	0	0	TGR0Aは	キャプチャ入力元は
				1	インプット	TIOCA0端子
				1	キャプチャ	立ち上がりエッジでインプットキャプチャ 立ち下がりエッジでインプットキャプチャ
				1	レジスタ	キャプチャ入力元は 両エッジでインプットキャプチャ TCNT1のカウンタアップ/ カウントダウン チャンネル/カウントクロック でインプットキャプチャ

* : Don't care

TGR0B I/Oコントロール

	0	0	0	TGR0Bは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			1	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
	0	0	0	0	TGR0Bは	出力禁止
				1	アウトプット	初期出力は1出力 コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	0	0	0	0	TGR0Bは	キャプチャ入力元は
				1	インプット	TIOCB0端子
				1	キャプチャ	立ち上がりエッジでインプットキャプチャ 立ち下がりエッジでインプットキャプチャ
				*	レジスタ	キャプチャ入力元は 両エッジでインプットキャプチャ TCNT1のカウンタアップ/ カウントダウン チャンネル/カウントクロック でインプットキャプチャ*1

* : Don't care

【注】*1 TCR1のTPSC2 ~ TPSC0ビットをB'000とし、TCNT1のカウンタクロックに /1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

H'FF22 : タイマ I/O コントロールレジスタ 1 TIOR1 : TPU1

ビット : 7 6 5 4 3 2 1 0

IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 : 0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR1A I/Oコントロール

0	0	0	0	TGR1Aは	出力禁止			
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
			1	コンペア	コンペアマッチで1出力			
		1	0	0	レジスタ	コンペアマッチでトグル出力		
				1	出力禁止			
				1	初期出力は1出力	コンペアマッチで0出力		
	1	0	0	0	TGR1Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット	TIOCA1端子	立ち下がりエッジでインプットキャプチャ	
				1	キャプチャ	両エッジでインプットキャプチャ		
		1	*	*	レジスタ	キャプチャ入力元は	チャンネル0 / TGR0Aのコンペアマッチ /	
					TGR0Aコンペアマッチ /	インプットキャプチャの発生でインプット		
					インプットキャプチャ	キャプチャ		

* : Don't care

TGR1B I/Oコントロール

0	0	0	0	TGR1Bは	出力禁止			
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力		
			1	コンペア	コンペアマッチで1出力			
		1	0	0	1	レジスタ	コンペアマッチでトグル出力	
					出力禁止			
					1	初期出力は1出力	コンペアマッチで0出力	
	1	0	0	0	TGR1Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット	TIOCB1端子	立ち下がりエッジでインプットキャプチャ	
				1	キャプチャ	両エッジでインプットキャプチャ		
		1	*	*	レジスタ	キャプチャ入力元は	TGR0Cのコンペアマッチ / インプットキャ	
					TGR0Cコンペアマッチ /	プチャの発生でインプットキャプチャ		
					インプットキャプチャ			

* : Don't care

H'FF32 : タイマ I/O コントロールレジスタ 2 TIOR2 : TPU2

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR2A I/Oコントロール						
0	0	0	0	TGR2Aは	出力禁止	
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力
		1	0	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0	TGR2Aは	出力禁止	
			1	アウトプット	初期出力は1出力	コンペアマッチで0出力
		1	0	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
1	*	0	TGR2Aは	キャプチャ入力元は TIOCA2端子	立ち上がりエッジでインプットキャプチャ	
		1	インプット キャプチャ		立ち下がりエッジでインプットキャプチャ	
		1	レジスタ		両エッジでインプットキャプチャ	

* : Don't care

TGR2B I/Oコントロール

0	0	0	0	TGR2Bは	出力禁止	
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力
		1	0	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
	1	0	0	TGR2Bは	出力禁止	
			1	アウトプット	初期出力は1出力	コンペアマッチで0出力
		1	0	コンペア	コンペアマッチで1出力	
			1	レジスタ	コンペアマッチでトグル出力	
1	*	0	TGR2Bは	キャプチャ入力元は TIOCB2端子	立ち上がりエッジでインプットキャプチャ	
		1	インプット キャプチャ		立ち下がりエッジでインプットキャプチャ	
		1	レジスタ		両エッジでインプットキャプチャ	

* : Don't care

H'FE83 : タイマ I/O コントロールレジスタ 3L TIOR3L : TPU3

ビット :

	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

TGR3C I/Oコントロール

0	0	0	0	TGR3Cは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			0	コンペア	コンペアマッチで1出力	
			1	レジスタ*1	コンペアマッチでトグル出力	
	1	0	0	TGR3Cは	出力禁止	
			1	アウトプット	初期出力は1出力 コンペアマッチで0出力	
			0	コンペア	コンペアマッチで1出力	
			1	レジスタ*1	コンペアマッチでトグル出力	
	1	0	0	TGR3Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
			1	インプット	TIOCC3端子	立ち下がりエッジでインプットキャプチャ
			*	キャプチャ	キャプチャ	両エッジでインプットキャプチャ
			*	レジスタ*1	キャプチャ入力元は	TCNT4のカウンタアップ / カウントダウン チャネル4/カウントクロック でインプットキャプチャ

* : Don't care

【注】*1 TMDR3のBFAビットを1にセットしてTGR3Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

TGR3D I/Oコントロール

0	0	0	0	TGR3Dは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
			0	コンペア	コンペアマッチで1出力	
			1	レジスタ*2	コンペアマッチでトグル出力	
	1	0	0	TGR3Dは	出力禁止	
			1	アウトプット	初期出力は1出力 コンペアマッチで0出力	
			0	コンペア	コンペアマッチで1出力	
			1	レジスタ*2	コンペアマッチでトグル出力	
	1	0	0	TGR3Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
			1	インプット	TIOCD3端子	立ち下がりエッジでインプットキャプチャ
			*	キャプチャ	キャプチャ	両エッジでインプットキャプチャ
			*	レジスタ*2	キャプチャ入力元は	TCNT4のカウンタアップ / カウントダウン チャネル4/カウントクロック でインプットキャプチャ*1

* : Don't care

【注】*1 TCR4のTPSC2 ~ TPSC0ビットをB'000とし、TCNT4のカウントクロックに / 1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR3のBFBビットを1にセットしてTGR3Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

【注】TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FF13 : タイマ I/O コントロールレジスタ 0L TIOR0L : TPU0

ビット :

7	6	5	4	3	2	1	0
IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W						

TGR0C I/Oコントロール								
0	0	0	0	TGR0Cは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	0	0	レジスタ*1	出力禁止			
				1	初期出力は1出力	コンペアマッチで0出力		
				1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力	
		1	0	0	TGR0Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCC0端子	立ち下がりエッジでインプットキャプチャ
					1	* キャプチャ	両エッジでインプットキャプチャ	
	1	* *	レジスタ*1	キャプチャ入力元は	TCNT1のカウンタアップ/ カウントダウン	チャンネル/カウントクロック	でインプットキャプチャ	

* : Don't care

【注】*1 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

TGR0D I/Oコントロール

0	0	0	0	TGR0Dは	出力禁止			
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
				1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力	
	1	0	0	レジスタ*2	出力禁止			
				1	初期出力は1出力	コンペアマッチで0出力		
				1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力	
		1	0	0	TGR0Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
					1	インプット	TIOCD0端子	立ち下がりエッジでインプットキャプチャ
					1	* キャプチャ	両エッジでインプットキャプチャ	
	1	* *	レジスタ*2	キャプチャ入力元は	TCNT1のカウンタアップ/ カウントダウン	チャンネル/カウントクロック	でインプットキャプチャ*1	

* : Don't care

【注】*1 TCR1のTPSC2 ~ TPSC0ビットをB'000とし、TCNT1のカウントクロックに /1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR0のBFBビットを1にセットしてTGR0Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

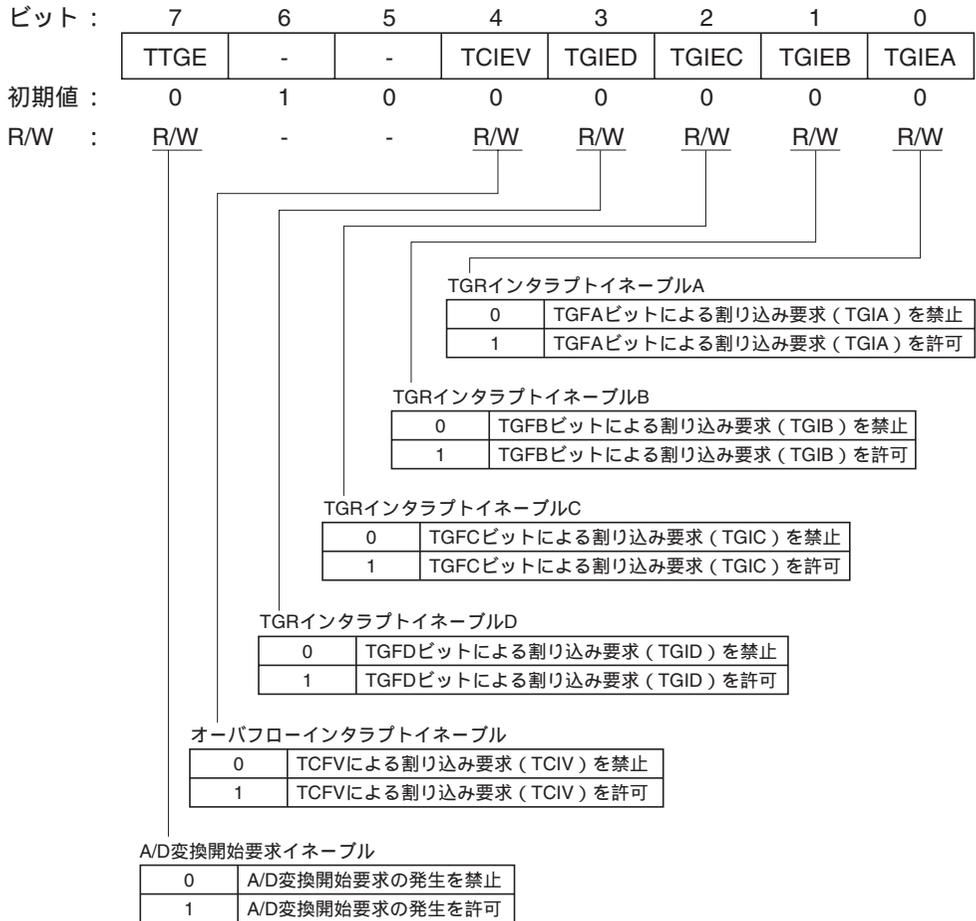
【注】TGR0C、あるいはTGR0Dをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FE84 : タイマインタラプトイネーブルレジスタ 3 TIER3 : TPU3

H'FF14 : タイマインタラプトイネーブルレジスタ 0 TIER0 : TPU0

チャンネル0 : TIER0

チャンネル3 : TIER3



H'FE85 : タイマステータスレジスタ 3 TSR3 : TPU3

H'FF15 : タイマステータスレジスタ 0 TSR0 : TPU0

チャンネル0 : TSR0

チャンネル3 : TSR3

ビット :

	7	6	5	4	3	2	1	0
初期値 :	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
R/W :	1	1	0	0	0	0	0	0
	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

インพุットキャプチャ/アウトプットコンペアフラグA

0	<p>[クリア条件]</p> <p>(1) TGI A割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGI A割り込みによりDMACが起動され、DMACのDMABCRのDTAビットが1のとき</p> <p>(3) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき</p>
1	<p>[セット条件]</p> <p>(1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき</p> <p>(2) TGRAがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRAに転送されたとき</p>

インพุットキャプチャ/アウトプットコンペアフラグB

0	<p>[クリア条件]</p> <p>(1) TGI B割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき</p>
1	<p>[セット条件]</p> <p>(1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき</p> <p>(2) TGRBがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRBに転送されたとき</p>

インพุットキャプチャ/アウトプットコンペアフラグC

0	<p>[クリア条件]</p> <p>(1) TGI C割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGFC = 1の状態ではTGFCをリード後、TGFCに0をライトしたとき</p>
1	<p>[セット条件]</p> <p>(1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき</p> <p>(2) TGRCがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRCに転送されたとき</p>

インพุットキャプチャ/アウトプットコンペアフラグD

0	<p>[クリア条件]</p> <p>(1) TGI D割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGFD = 1の状態ではTGFDをリード後、TGFDに0をライトしたとき</p>
1	<p>[セット条件]</p> <p>(1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき</p> <p>(2) TGRDがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRDに転送されたとき</p>

オーバーフローフラグ

0	<p>[クリア条件]</p> <p>TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき</p>
1	<p>[セット条件]</p> <p>TCNTの値がオーバーフロー (H'FFFF H'0000) したとき</p>

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE86 : タイマカウンタ 3 TCNT3 : TPU3 (アップカウンタ)
H'FE96 : タイマカウンタ 4 TCNT4 : TPU4 (アップ/ダウンカウンタ*)
H'FEA6 : タイマカウンタ 5 TCNT5 : TPU5 (アップ/ダウンカウンタ*)
H'FF16 : タイマカウンタ 0 TCNT0 : TPU0 (アップカウンタ)
H'FF26 : タイマカウンタ 1 TCNT1 : TPU1 (アップ/ダウンカウンタ*)
H'FF36 : タイマカウンタ 2 TCNT2 : TPU2 (アップ/ダウンカウンタ*)

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R/W R/W

【注】* 位相計数モード (および位相計数モードの他のチャンネルのオーバフロー/アンダ
フローのカウント時) のみアップ/ダウンカウンタとして使用できます。それ以
外の場合はアップカウンタになります。

H'FE88 : タイマジェネラルレジスタ 3A TGR3A : TPU3
H'FE8A : タイマジェネラルレジスタ 3B TGR3B : TPU3
H'FE8C : タイマジェネラルレジスタ 3C TGR3C : TPU3
H'FE8E : タイマジェネラルレジスタ 3D TGR3D : TPU3
H'FE98 : タイマジェネラルレジスタ 4A TGR4A : TPU4
H'FE9A : タイマジェネラルレジスタ 4B TGR4B : TPU4
H'FEA8 : タイマジェネラルレジスタ 5A TGR5A : TPU5
H'FEAA : タイマジェネラルレジスタ 5B TGR5B : TPU5
H'FF18 : タイマジェネラルレジスタ 0A TGR0A : TPU0
H'FF1A : タイマジェネラルレジスタ 0B TGR0B : TPU0
H'FF1C : タイマジェネラルレジスタ 0C TGR0C : TPU0
H'FF1E : タイマジェネラルレジスタ 0D TGR0D : TPU0
H'FF28 : タイマジェネラルレジスタ 1A TGR1A : TPU1
H'FF2A : タイマジェネラルレジスタ 1B TGR1B : TPU1
H'FF38 : タイマジェネラルレジスタ 2A TGR2A : TPU2
H'FF3A : タイマジェネラルレジスタ 2B TGR2B : TPU2

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
R/W : R/W R/W

H'FE90 : タイマコントロールレジスタ 4 TCR4 : TPU4

H'FEA0 : タイマコントロールレジスタ 5 TCR5 : TPU5

H'FF20 : タイマコントロールレジスタ 1 TCR1 : TPU1

H'FF30 : タイマコントロールレジスタ 2 TCR2 : TPU2

チャンネル1 : TCR1

チャンネル2 : TCR2

チャンネル4 : TCR4

チャンネル5 : TCR5

ビット :

7	6	5	4	3	2	1	0
-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W

タイムプリスケラ2、1、0

TCR1

0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
1	0	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
1	1	0	内部クロック : /256でカウント
		1	TCNT2のオーバーフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

TCR2

0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
1	0	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKB端子入力でカウント
1	1	0	外部クロック : TCLKC端子入力でカウント
		1	内部クロック : /1024でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

TCR4

0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
1	0	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKC端子入力でカウント
1	1	0	内部クロック : /1024でカウント
		1	TCNT5のオーバーフロー/アンダフローでカウント

【注】 チャンネル4が位相計数モード時、この設定は無効になります。

TCR5

0	0	0	内部クロック : /1でカウント
		1	内部クロック : /4でカウント
1	0	0	内部クロック : /16でカウント
		1	内部クロック : /64でカウント
1	0	0	外部クロック : TCLKA端子入力でカウント
		1	外部クロック : TCLKC端子入力でカウント
1	1	0	内部クロック : /256でカウント
		1	外部クロック : TCLKD端子入力でカウント

【注】 チャンネル5が位相計数モード時、この設定は無効になります。

クロックエッジ1、0

CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが /4もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。

カウンタリニア2、1、0

リザーブ*2	CCLR1	CCLR0	
0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	同期クリア/同期動作をしている他のチャンネルのカウンタリニアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。
*2 チャンネル1、2、4、5ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。

H'FE91 : タイマモードレジスタ 4 TMDR4 : TPU4
H'FEA1 : タイマモードレジスタ 5 TMDR5 : TPU5
H'FF21 : タイマモードレジスタ 1 TMDR1 : TPU1
H'FF31 : タイマモードレジスタ 2 TMDR2 : TPU2

チャンネル1 : TMDR1
チャンネル2 : TMDR2
チャンネル4 : TMDR4
チャンネル5 : TMDR5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード3~0

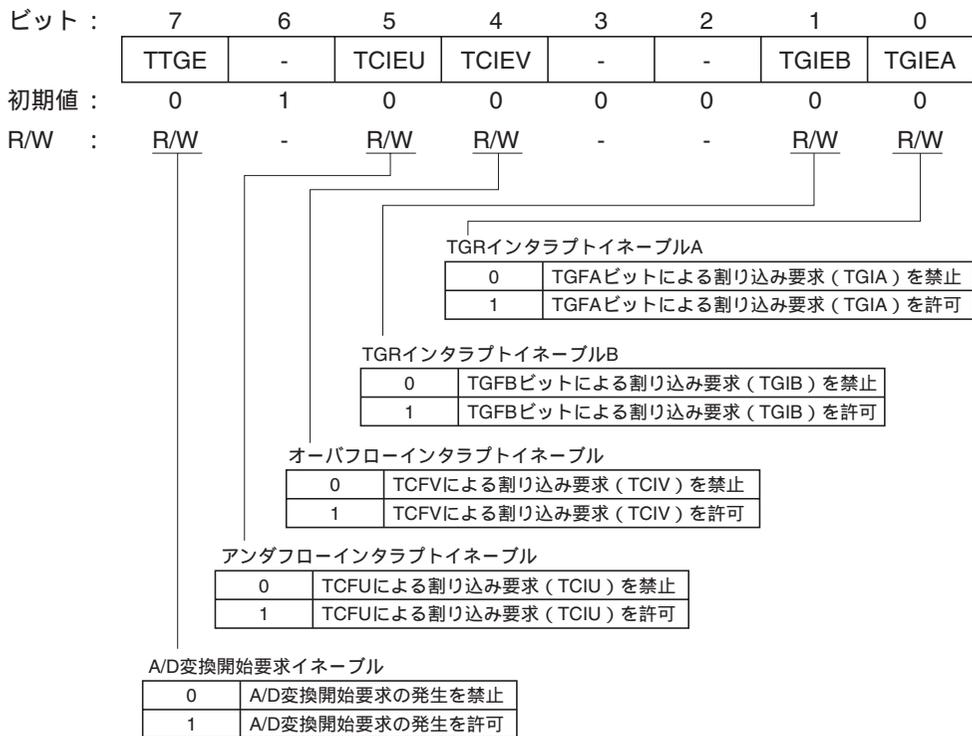
MD3*1	MD2*2	MD1	MD0	
0	0	0	0	通常動作
			1	リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

* : Don't care

- 【注】 *1 MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
*2 チャンネル0、3では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

H'FE94 : タイマインタラプトイネーブルレジスタ 4 TIER4 : TPU4
H'FEA4 : タイマインタラプトイネーブルレジスタ 5 TIER5 : TPU5
H'FF24 : タイマインタラプトイネーブルレジスタ 1 TIER1 : TPU1
H'FF34 : タイマインタラプトイネーブルレジスタ 2 TIER2 : TPU2

チャンネル1 : TIER1
チャンネル2 : TIER2
チャンネル4 : TIER4
チャンネル5 : TIER5



H'FE95 : タイマステータスレジスタ 4 TSR4 : TPU4
H'FEA5 : タイマステータスレジスタ 5 TSR5 : TPU5
H'FF25 : タイマステータスレジスタ 1 TSR1 : TPU1
H'FF35 : タイマステータスレジスタ 2 TSR2 : TPU2

チャンネル1 : TSR1
チャンネル2 : TSR2
チャンネル4 : TSR4
チャンネル5 : TSR5

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*1	R/(W)*1	-	-	R/(W)*1	R/(W)*1

0	[クリア条件] (1) TGIA割り込みによりDTC*2が起動され、DTC*2のMRBのDISELビットが0のとき (2) TGIA割り込みによりDMAC*2が起動され、DMAC*2のDMABCRのDTAビットが1のとき (3) TGFA = 1の状態 でTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

0	[クリア条件] (1) TGIB割り込みによりDTC*2が起動され、DTC*2のMRBのDISELビットが0のとき (2) TGFB = 1の状態 でTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

0	[クリア条件] TCFV = 1の状態 でTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

0	[クリア条件] TCFU = 1の状態 でTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】*1 フラグをクリアするための0ライトのみ可能です。
*2 H8S/2695には本機能はありません。

H'FEB0 : タイマスタートレジスタ TSTR : TPU 共通

ビット :	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

カウンタスタート5~0

0	TCNTnのカウンタ動作は停止
1	TCNTnはカウンタ動作

(n=5~0)

【注】 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態ではTIOAへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

H'FEB1 : タイマシンクロレジスタ TSYR : TPU 共通

ビット :	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

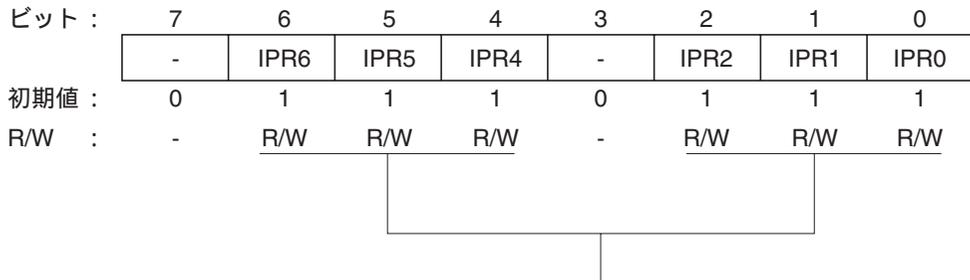
タイマ同期5~0

0	TCNTnは独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係)
1	TCNTnは同期動作 TCNTの同期プリセット/同期クリアが可能

(n=5~0)

- 【注】
- 同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。
 - 同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

H'FEC0 : インタラプトプライオリティレジスタ A IPR A : 割り込みコントローラ
H'FEC1 : インタラプトプライオリティレジスタ B IPR B : 割り込みコントローラ
H'FEC2 : インタラプトプライオリティレジスタ C IPR C : 割り込みコントローラ
H'FEC3 : インタラプトプライオリティレジスタ D IPR D : 割り込みコントローラ
H'FEC4 : インタラプトプライオリティレジスタ E IPR E : 割り込みコントローラ
H'FEC5 : インタラプトプライオリティレジスタ F IPR F : 割り込みコントローラ
H'FEC6 : インタラプトプライオリティレジスタ G IPR G : 割り込みコントローラ
H'FEC7 : インタラプトプライオリティレジスタ H IPR H : 割り込みコントローラ
H'FEC8 : インタラプトプライオリティレジスタ I IPR I : 割り込みコントローラ
H'FEC9 : インタラプトプライオリティレジスタ J IPR J : 割り込みコントローラ
H'FECA : インタラプトプライオリティレジスタ K IPR K : 割り込みコントローラ
H'FECB : インタラプトプライオリティレジスタ L IPR L : 割り込みコントローラ
H'FECE : インタラプトプライオリティレジスタ O IPR O : 割り込みコントローラ



各割り込み要因とIPRの対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	IRQ6 IRQ7	DTC*
IPRD	ウォッチドッグタイマ0	リフレッシュタイマ*
IPRE	PCブレーク*	A/D変換器、 ウォッチドッグタイマ1*
IPRF	TPUチャンネル0	TPUチャンネル1
IPRG	TPUチャンネル2	TPUチャンネル3
IPRH	TPUチャンネル4	TPUチャンネル5
IPRI	8ビットタイマチャンネル0*	8ビットタイマチャンネル1*
IPRJ	DMAC*	SCIチャンネル0
IPRK	SCIチャンネル1	SCIチャンネル2
IPRL	8ビットタイマ2、3*	IIC [オプション] *
IPRO	SCIチャンネル3	SCIチャンネル4

【注】* H8S/2695には本機能はありません。

H'FED0 : バス幅コントロールレジスタ ABWCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード5~7								
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							
モード4								
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

エリア7~0バス幅コントロール

0	エリアnを16ビットアクセス空間に設定
1	エリアnを8ビットアクセス空間に設定

(n=7~0)

H'FED1 : アクセスステートコントロールレジスタ ASTCR : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

エリア7~0アクセスステートコントロール

0	エリアnを2ステートアクセス空間に設定 エリアnの外部空間アクセスにウェイトステートの挿入を禁止
1	エリアnの外部空間アクセスは3ステートアクセス エリアnの外部空間アクセスにウェイトステートの挿入を許可

(n=7~0)

H'FED2 : ウェイトコントロールレジスタ H WCRH : パスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

エリア4ウェイトコントロール1、0

W41	W40	
0	0	エリア4の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア4の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア4の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア4の外部空間アクセス時、プログラムウェイトを3ステート挿入

エリア5ウェイトコントロール1、0

W51	W50	
0	0	エリア5の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア5の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア5の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア5の外部空間アクセス時、プログラムウェイトを3ステート挿入

エリア6ウェイトコントロール1、0

W61	W60	
0	0	エリア6の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア6の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア6の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア6の外部空間アクセス時、プログラムウェイトを3ステート挿入

エリア7ウェイトコントロール1、0

W71	W70	
0	0	エリア7の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア7の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア7の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア7の外部空間アクセス時、プログラムウェイトを3ステート挿入

H'FED3 : ウェイトコントロールレジスタ L WCRL : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

エリア0ウェイトコントロール1、0

W01	W00	
0	0	エリア0の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア0の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア0の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア0の外部空間アクセス時、プログラムウェイトを3ステート挿入

エリア1ウェイトコントロール1、0

W11	W10	
0	0	エリア1の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア1の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア1の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア1の外部空間アクセス時、プログラムウェイトを3ステート挿入

エリア2ウェイトコントロール

W21	W20	
0	0	エリア2の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア2の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア2の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア2の外部空間アクセス時、プログラムウェイトを3ステート挿入

エリア3ウェイトコントロール1、0

W31	W30	
0	0	エリア3の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア3の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア3の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア3の外部空間アクセス時、プログラムウェイトを3ステート挿入

H'FED4 : バスコントロールレジスタ H BCRH : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2*	RMTS1*	RMTS0*
初期値 :	1	1	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



【注】 DRAM空間に選択したエリアが全エリア8ビット空間のとき、PF2端子は入力ポート、BREQQ、WAITとして使用可能です。また、連続DRAM空間を選択したときは、エリア2からエリア5に相当するバス幅、アクセスステート数（プログラマブルウェイト数）は同じ値に設定してください。上記以外の組み合わせは設定しないでください。

* H8S/2695には本機能はありません。
H8S/2695でRMTS2、RMTS1、RMTS0に書き込みを行う場合は必ず0を書き込んでください。

バーストサイクルセレクト0

0	バーストアクセスは最大4ワード
1	バーストアクセスは最大8ワード

バーストサイクルセレクト1

0	バーストサイクルは1ステート
1	バーストサイクルは2ステート

バーストROMイネーブル

0	エリア0は基本バスインタフェース（初期値）
1	エリア0はバーストROMインタフェース

アイドルサイクル挿入0

0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する（初期値）

アイドルサイクル挿入1

0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する（初期値）

H'FED5 : バスコントロールレジスタ L BCRL : バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	BRLE	BREQOE		OES*	DDS*	RCTS*	WDBE	WAITE
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W		R/W	R/W	R/W	R/W	R/W

WAIT端子イネーブル

0	WAIT端子によるウェイト入力を禁止。WAIT端子は入出力ポートとして使用可
1	WAIT端子によるウェイト入力を許可

ライトデータバッファイネーブル

0	ライトデータバッファ機能を使用しない
1	ライトデータバッファ機能を使用する

リードCASタイミングセレクト

0	リード時とライト時のCAS信号の出力タイミングは同じです
1	リード時のCAS信号はライト時より半サイクル早くアサートします

DACKタイミングセレクト

0	DRAM空間に対してDMACシングルアドレス転送を行う場合、必ずフルアクセスを実行。DACK信号は T_r または T_1 サイクルからLowレベルを出力
1	DRAM空間に対してDMACシングルアドレス転送を行う場合もバーストアクセス可能。DACK信号は T_{C1} または T_2 サイクルからLowレベルを出力

OEセレクト

0	CS3端子をポートまたはCS3信号出力として使用
1	エリア2のみをDRAM空間に設定した場合、またはエリア2~5を連続DRAM空間に設定した場合、CS3端子をOE端子として使用

BREQO端子イネーブル

0	BREQO出力禁止。BREQOは入出力ポートとして使用可
1	BREQO出力許可

バスリリースイネーブル

0	外部バス権の解放を禁止。BREQ、BACK、BREQOは入出力ポートとして使用可
1	外部バス権の解放を許可

【注】* H8S/2695には本機能はありません。

H'FED6 : メモリコントロールレジスタ MCR : バスコントローラ

(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュサイクルウェイトコントロール1、0

RLW1	RLW0	
0	0	ウェイトステートを挿入しない
	1	ウェイトステートを1ステート挿入する
1	0	ウェイトステートを2ステート挿入する
	1	ウェイトステートを3ステート挿入する

マルチプレクスシフトカウント1、0

MXC1	MXC0	
0	0	8ビットシフト (1) 8ビットアクセス空間設定時 : 比較対象ロウアドレスはA23 ~ A8 (2) 16ビットアクセス空間設定時 : 比較対象ロウアドレスはA23 ~ A9
	1	9ビットシフト (1) 8ビットアクセス空間設定時 : 比較対象ロウアドレスはA23 ~ A9 (2) 16ビットアクセス空間設定時 : 比較対象ロウアドレスはA23 ~ A10
1	0	10ビットシフト (1) 8ビットアクセス空間設定時 : 比較対象ロウアドレスはA23 ~ A10 (2) 16ビットアクセス空間設定時 : 比較対象ロウアドレスはA23 ~ A11
	1	-

リザーブビット

RASダウンモード

0	DRAMインタフェース : RASアップモードを選択
1	DRAMインタフェース : RASダウンモードを選択

バーストアクセスイネーブル

0	バースト禁止 (常にフルアクセス)
1	DRAM空間アクセス時、高速ページモードでアクセス

TPサイクルコントロール

0	プリチャージサイクルを1ステート挿入
1	プリチャージサイクルを2ステート挿入

H'FED7 : DRAM コントロールレジスタ DRAMCR : バスコントローラ

(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
	RFSHE	CBRM	RMODE	CMF	CMIE	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュカウンタクロックセレクト

CKS2	CKS1	CKS0	
0	0	0	カウント動作停止
		1	/2でカウント
		1	/8でカウント
1	0	0	/32でカウント
		1	/128でカウント
		1	/512でカウント
1	1	0	/2048でカウント
		1	/4096でカウント

コンペアマッチ割り込みイネーブル

0	CMFフラグによる割り込み要求 (CMI) を禁止
1	CMFフラグによる割り込み要求 (CMI) を許可

コンペアマッチフラグ

0	[クリア条件] CMF = 1 の状態で、CMFフラグをリードした後、CMFフラグに0をライトしたとき
1	[セット条件] RTCNT = RTCORになったとき

リフレッシュモード

0	ソフトウェアスタンバイ時にセルフリフレッシュを行わない
1	ソフトウェアスタンバイ時にセルフリフレッシュを行う

CBRリフレッシュモード

0	CASビフォRASリフレッシュ時の外部アクセスを許可
1	CASビフォRASリフレッシュ時の外部アクセスを禁止

リフレッシュ制御

0	リフレッシュ制御を行わない
1	リフレッシュ制御を行う

H'FED8 : リフレッシュタイムカウンタ RTCNT : バスコントローラ

(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FED9 : リフレッシュタイムコンスタントレジスタ RTCOR : バスコントローラ

(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

H'FEDB : RAM エミュレーションレジスタ RAMER : FLASH

ビット :	7	6	5	4	3	2	1	0
					RAMS	RAM2	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリエリア選択

RAMS	RAM2	RAM2	RAM2	RAMエリア	ブロック名
0	*	*	*	H'FFD000 ~ H'FFDFFF	RAMエリア4Kバイト
1	0	0	0	H'000000 ~ H'000FFF	EB0 (4Kバイト)
1	0	0	1	H'001000 ~ H'001FFF	EB1 (4Kバイト)
1	0	1	0	H'002000 ~ H'002FFF	EB2 (4Kバイト)
1	0	1	1	H'003000 ~ H'003FFF	EB3 (4Kバイト)
1	1	0	0	H'004000 ~ H'004FFF	EB4 (4Kバイト)
1	1	0	1	H'005000 ~ H'005FFF	EB5 (4Kバイト)
1	1	1	0	H'006000 ~ H'006FFF	EB6 (4Kバイト)
1	1	1	1	H'007000 ~ H'007FFF	EB7 (4Kバイト)

* : Don't care

RAMセレクト

0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト無効
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み / 消去プロテクト有効

H'FEE0 : メモリアドレスレジスタ 0AH MAR0AH : DMAC

H'FEE2 : メモリアドレスレジスタ 0AL MAR0AL : DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 MAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 0 0 0 0 0 0 0 0 0 * * * * * * * *
 R/W : R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 MAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W

* : 不定

ショートアドレスモード時 : 転送先 / 転送元アドレスを指定
 フルアドレスモード時 : 転送元アドレスを指定

H'FEE4 : I/O アドレスレジスタ 0A IOAR0A : DMAC

H'FEF4 : I/O アドレスレジスタ 1A IOAR1A : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 IOAR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W

* : 不定

ショートアドレスモード時 : 転送先 / 転送元アドレスを指定
 フルアドレスモード時 : 未使用

H'FEE6 : 転送カウントレジスタ 0A ETCR0A : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 ETCR :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W

シーケンシャルモード _____ 転送カウンタ
 およびアイドルモード _____
 ノーマルモード _____

リピートモード _____ 転送回数保持 _____ 転送カウンタ

ブロック転送モード _____ ブロックサイズ保持 _____ ブロックサイズカウンタ

* : 不定

H'FEE8 : メモリアドレスレジスタ 0BH MAR0BH : DMAC

H'FEEA : メモリアドレスレジスタ 0BL MAR0BL : DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 MAR0BH :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 0 0 0 0 0 0 0 0 * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 MAR0BL :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W
 * : 不定

ショートアドレスモード時 : 転送先 / 転送元アドレスを指定
 フルアドレスモード時 : 転送元アドレスを指定

H'FEEC : I/O アドレスレジスタ 0B IOAR0B : DMAC

H'FEFC : I/O アドレスレジスタ 1B IOAR1B : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 IOAR0B :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W
 * : 不定

ショートアドレスモード時 : 転送先 / 転送元アドレスを指定
 フルアドレスモード時 : 未使用

H'FEEE : 転送カウントレジスタ 0B ETCR0B : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 ETCR0B :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W

シーケンシャルモード _____
 およびアイドルモード 転送カウンタ

リピートモード _____
転送回数保持 転送カウンタ

ブロック転送モード _____
ブロック転送カウンタ

* : 不定

【注】 ノーマルモードでは使用しません。

H'FEF0 : メモリアドレスレジスタ 1AH MAR1AH : DMAC

H'FEF2 : メモリアドレスレジスタ 1AL MAR1AL : DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 MAR1AH :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 0 0 0 0 0 0 0 0 * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 MAR1AL :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W
 * : 不定

ショートアドレスモード時 : 転送先 / 転送元アドレスを指定
 フルアドレスモード時 : 転送元アドレスを指定

H'FEF6 : 転送カウントレジスタ 1A ETCR1A : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 ETCR1A :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W

シーケンシャルモード _____ 転送カウンタ
 およびアイドルモード _____
 ノーマルモード _____

リピートモード _____ 転送カウンタ
 転送回数保持 _____

ブロック転送モード _____ ブロックサイズカウンタ
 ブロックサイズ保持 _____

* : 不定

H'FEF8 : メモリアドレスレジスタ 1BH MAR1BH : DMAC

H'FEFA : メモリアドレスレジスタ 1BL MAR1BL : DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 MAR1BH :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : 0 0 0 0 0 0 0 0 * * * * * * * *
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 MAR1BL :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W

* : 不定

ショートアドレスモード時 : 転送先 / 転送元アドレスを指定
 フルアドレスモード時 : 未使用

H'FEFE : 転送カウンレジスタ 1B ETCR1B : DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 ETCR1B :

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 : * * * * * * * * * * * * * * * *
 R/W : R/W R/W

シーケンシャルモード _____
 およびアイドルモード _____ 転送カウンタ

リピートモード _____
 _____ 転送回数保持 _____ 転送カウンタ

ブロック転送モード _____
 _____ ブロック転送カウンタ

* : 不定

【注】 ノーマルモードでは使用しません。

H'FF00 : ポート 1 データレジスタ P1DR : ポート

ビット : 7 6 5 4 3 2 1 0

P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
-------	-------	-------	-------	-------	-------	-------	-------

 初期値 : 0 0 0 0 0 0 0 0
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

H'FF02 : ポート 3 データレジスタ P3DR : ポート

ビット : 7 6 5 4 3 2 1 0

P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
-------	-------	-------	-------	-------	-------	-------	-------

 初期値 : 0 0 0 0 0 0 0 0
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

H'FF06 : ポート 7 データレジスタ P7DR : ポート

ビット :	7	6	5	4	3	2	1	0
	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FF09 : ポート A データレジスタ PADR : ポート

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	不定	不定	不定	不定	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

H'FF0A : ポート B データレジスタ PBDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FF0B : ポート C データレジスタ PCDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FF0C : ポート D データレジスタ PDDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FF0D : ポート E データレジスタ PEDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FF0E : ポート F データレジスタ PFDR : ポート

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FF0F : ポート G データレジスタ PGDR : ポート

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

H'FF60 : DMA ライトイネーブルレジスタ DMAWER : DMAC

(H8S/2695 には本機能はありません)

ビット	7	6	5	4	3	2	1	0
DMAWER					WE1B	WE1A	WE0B	WE0A
初期値	0	0	0	0	0	0	0	0
R/W					R/W	R/W	R/W	R/W

ライトイネーブル0A

0	DMACR0AのすべてのビットとDMABCRのビット8、4、0へのライトを禁止 (初期値)
1	DMACR0AのすべてのビットとDMABCRのビット8、4、0へのライトを許可

ライトイネーブル0B

0	DMACR0BのすべてのビットとDMABCRのビット9、5、1、DMATCRのビット4へのライトを禁止 (初期値)
1	DMACR0BのすべてのビットとDMABCRのビット9、5、1、DMATCRのビット4へのライトを許可

ライトイネーブル1A

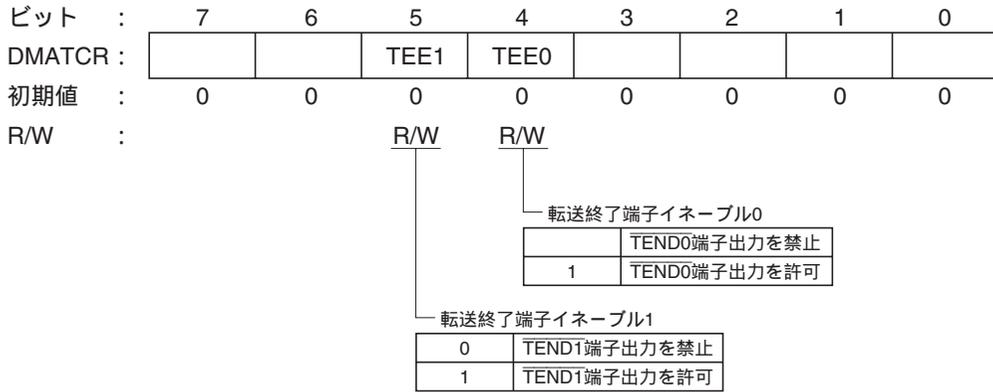
0	DMACR1AのすべてのビットとDMABCRのビット10、6、2へのライトを禁止 (初期値)
1	DMACR1AのすべてのビットとDMABCRのビット10、6、2へのライトを許可

ライトイネーブル1B

0	DMACR1BのすべてのビットとDMABCRのビット11、7、3、DMATCRのビット5へのライトを禁止 (初期値)
1	DMACR1BのすべてのビットとDMABCRのビット11、7、3、DMATCRのビット5へのライトを許可

H'FF61 : DMA ターミナルコントロールレジスタ DMATCR : DMAC

(H8S/2695 には本機能はありません)



H'FF62 : DMA コントロールレジスタ 0A DMACR0A : DMAC

(H8S/2695 には本機能はありません)

H'FF63 : DMA コントロールレジスタ 0B DMACR0B : DMAC

(H8S/2695 には本機能はありません)

H'FF64 : DMA コントロールレジスタ 1A DMACR1A : DMAC

(H8S/2695 には本機能はありません)

H'FF65 : DMA コントロールレジスタ 1B DMACR1B : DMAC

(H8S/2695 には本機能はありません)

フルアドレスモード時

DMACRA

ビット	15	14	13	12	11	10	9	8
DMACRA	DTSZ	SAID	SAIDE	BLKDIR	BLKE	-	-	-
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

転送モード/ブロックエリア設定

0	0	ノーマルモードで転送
	1	ブロック転送モードで転送、ブロックエリアはデスティネーション側
1	0	ノーマルモードで転送
	1	ブロック転送モードで転送、ブロックエリアはソース側

ソースアドレス設定

0	0	MARA固定
	1	データ転送後、MARAをインクリメント (1) DTSZ=0のとき、転送後MARAを+1 (2) DTSZ=1のとき、転送後MARAを+2
1	0	MARA固定
	1	データ転送後、MARAをデクリメント (1) DTSZ=0のとき、転送後MARAを-1 (2) DTSZ=1のとき、転送後MARAを-2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

フルアドレスモード時

DMACRB

ビット	15	14	13	12	11	10	9	8
DMACRB	-	DAID	DAIDE	-	DTF3	DTF2	DTF1	DTF0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データ転送の起動要因選択
ノーマルモード

ビット3 DTF3	ビット2 DTF2	ビット1 DTF1	ビット0 DTF0	説 明
0	0	0	0	— (初期値)
			1	—
		1	0	DREQ端子の立ち下がりエッジ入力で起動
	1	0	1	DREQ端子のLowレベル入力で起動
			*	—
		1	0	オートリクエスト (サイクルスチール)
1	1	0	オートリクエスト (バースト)	
1	*	*	*	—

* : Don't care

ブロック転送モード

ビット3 DTF3	ビット2 DTF2	ビット1 DTF1	ビット0 DTF0	説 明	
0	0	0	0	— (初期値)	
			1	A/D変換器の変換終了割り込みで起動	
		1	0	DREQ端子の立ち下がりエッジ入力で起動	
			1	DREQ端子のLowレベル入力で起動*	
		1	0	0	SCIチャンネル0の送信データエンティ割り込みで起動
				1	SCIチャンネル0の受信完了割り込みで起動
	1		0	SCIチャンネル1の送信データエンティ割り込みで起動	
			1	SCIチャンネル1の受信完了割り込みで起動	
	1	0	0	0	TPUチャンネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動
				1	TPUチャンネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動
1			0	TPUチャンネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動	
			1	TPUチャンネル3のコンペアマッチ / インพุットキャプチャA割り込みで起動	
1		0	0	TPUチャンネル4のコンペアマッチ / インพุットキャプチャA割り込みで起動	
			1	TPUチャンネル5のコンペアマッチ / インพุットキャプチャA割り込みで起動	
		1	0	—	
			1	—	

【注】 * 転送許可後の最初の転送はLowレベルで検出します。

デスティネーションアドレスインクリメント / デクリメント

0	0	MARB固定
	1	データ転送後、MARBをインクリメント (1) DTSZ=0のとき、転送後MARBを+1 (2) DTSZ=1のとき、転送後MARBを+2
1	0	MARB固定
	1	データ転送後、MARAをデクリメント (1) DTSZ=0のとき、転送後MARBを-1 (2) DTSZ=1のとき、転送後MARBを-2

ショートアドレスモード時

ビット	7	6	5	4	3	2	1	0
DMACR	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファファクタ

		チャンネルA	チャンネルB
0	0	0	—
		1	A/D変換器の変換終了割り込みで起動
1	0	0	DREQ端子の立ち下がりエッジ入力で起動
		1	DREQ端子のLowレベル入力 で起動
1	0	0	SCIチャンネル0の送信データエンティ 割り込みで起動
		1	SCIチャンネル0の受信完了割り込みで起動
1	0	0	SCIチャンネル1の送信データエンティ 割り込みで起動
		1	SCIチャンネル1の受信完了割り込みで起動
1	0	0	TPUチャンネル0のコンペアマッチ / インプットキャプチャA割り込みで起動
		1	TPUチャンネル1のコンペアマッチ / インプットキャプチャA割り込みで起動
1	0	0	TPUチャンネル2のコンペアマッチ / インプットキャプチャA割り込みで起動
		1	TPUチャンネル3のコンペアマッチ / インプットキャプチャA割り込みで起動
1	0	0	TPUチャンネル4のコンペアマッチ / インプットキャプチャA割り込みで起動
		1	TPUチャンネル5のコンペアマッチ / インプットキャプチャA割り込みで起動
1	0	0	—
		1	—

データトランスファディレクション

DMABCR SAE	ビット4 DTDIR	説 明
0	0	MARをソースアドレス、IOARをデスティ ネーションアドレスとして転送 (初期値)
	1	IOARをソースアドレス、MARをデスティ ネーションアドレスとして転送
1	0	MARをソースアドレス、DACK端子をライト ストロープとして転送
	1	DACK端子をリードストロープ、MARをデス ティネーションアドレスとして転送

リピートイネーブル

ビット5 RPE	DMABCR DTIE	説 明
0	0	シーケンシャルモードで転送 (転送終了割り 込みなし) (初期値)
	1	シーケンシャルモードで転送 (転送終了割り 込みあり)
1	0	リピートモードで転送 (転送終了割り込み なし)
	1	アイドルモードで転送 (転送終了割り込み あり)

データトランスインクリメント/デクリメント

0	データ転送後、MARをインクリメント (1) DTSZ=0のとき、転送後MARを+1 (2) DTSZ=1のとき、転送後MARを+2
1	データ転送後、MARをデクリメント (1) DTSZ=0のとき、転送後MARを-1 (2) DTSZ=1のとき、転送後MARを-2

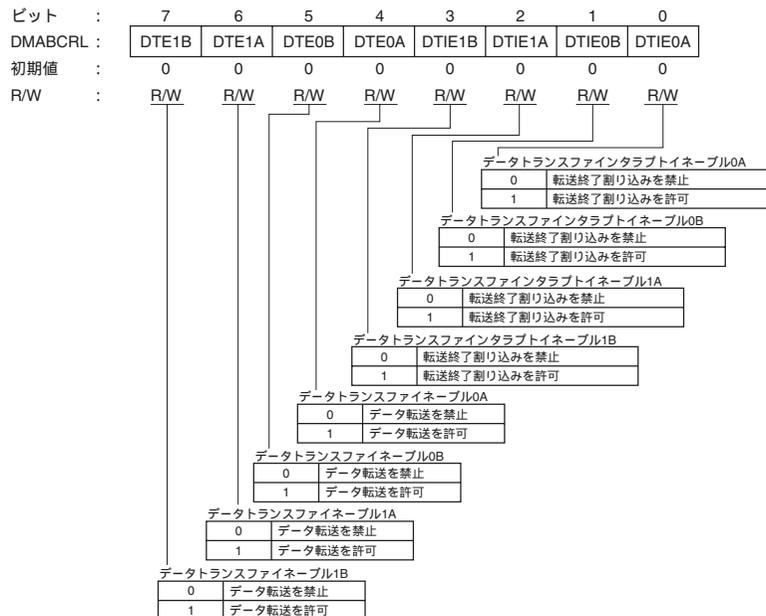
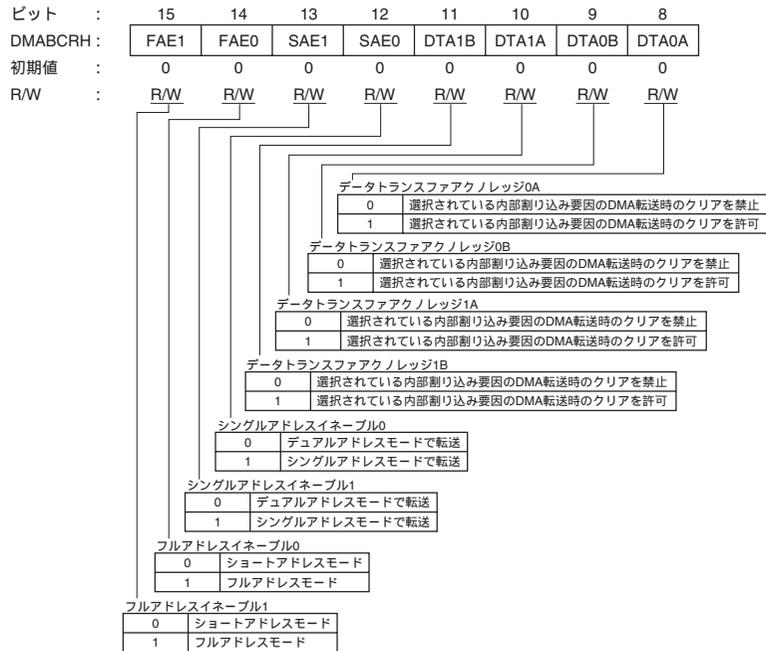
データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

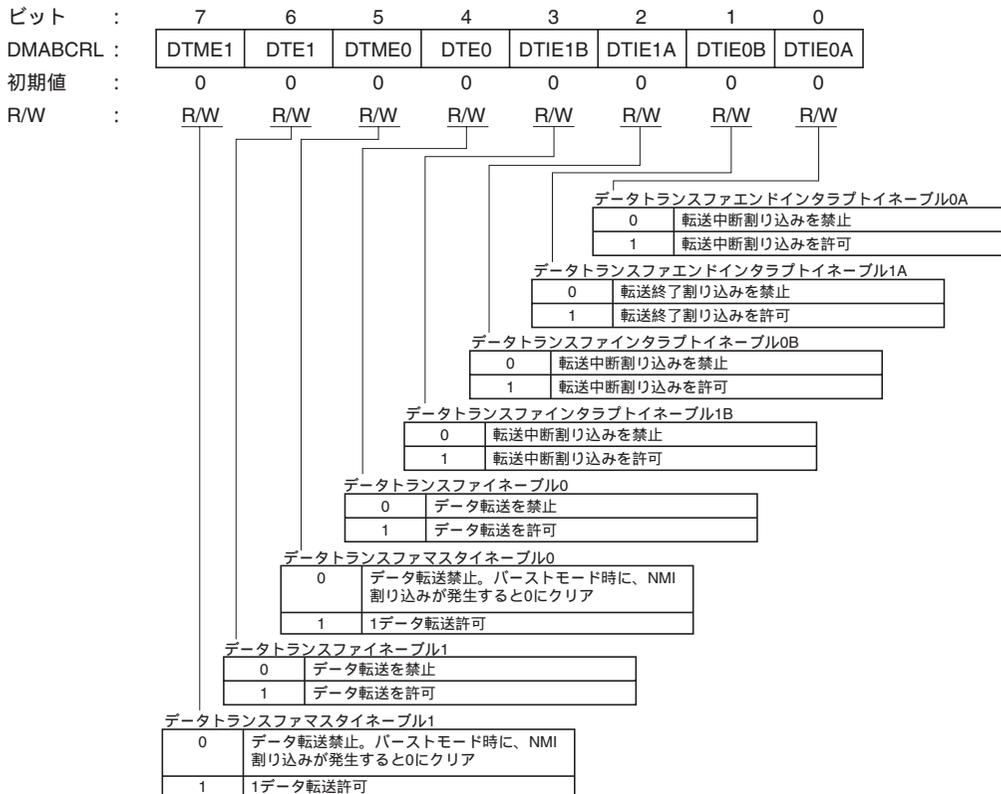
H'FF66 : DMA バンドコントロールレジスタ DMABCR : DMAC

(H8S/2695 には本機能はありません)

ショートアドレスモード時



フルアドレスモード時



H'FF74 (W)、H'FF74 (R) : タイマコントロール/ステータスレジスタ 0

TCSR0 : WDT0

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値 :	0	0	0	1	1	0	0	0
R/W :	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

クロックセレクト2-0

CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (= 25MHzの場合)
0	0	0	/ 2	20.4 μs
		1	/ 64	652.8 μs
	1	0	/ 128	1.3ms
		1	/ 512	5.2ms
1	0	0	/ 2048	20.9ms
		1	/ 8192	83.6ms
	1	0	/ 32768	334.2ms
		1	/ 131072	1.34s

【注】 * オーバフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

タイマイネーブル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード : TCNTがオーバーフローしたときCPUヘインターバルタイマ割り込み (WOVI) を要求
1	ウォッチドッグタイマモード : TCNTがオーバーフローしたときWDT0OVF信号を外部へ出力*

【注】 * ウォッチドッグタイマモードでTCNTがオーバーフローした場合についての詳細は、「15.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

オーバーフローフラグ

0	[クリア条件] OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき
1	[セット条件] TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「15.2.5 レジスタアクセス時の注意」を参照してください。

H'FF74 (W)、H'FF75 (R) : タイマカウンタ 0 TCNT0 : WDT0
(H8S/2695 には本機能はありません)

H'FFA2 (W)、H'FFA3 (R) : タイマカウンタ 1 TCNT1 : WDT1
(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

【注】 TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「15.2.5 レジスタアクセス時の注意」を参照してください。

H'FF76 (W)、H'FF77 (R) : リセットコントロール/ステータスレジスタ
RSTCSR : WDT0

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	-	-	-	-	-

リセットセレクト

0	パワーオンリセット
1	マニュアルリセット

リセットイネーブル

0	TCNTがオーバーフローしたとき、内部リセットしない*
1	TCNTがオーバーフローしたとき内部リセットする

【注】 * 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

ウォッチドッグタイマオーバーフローフラグ

0	[クリア条件] WOVF = 1の状態ではRSTCSRをリードした後、WOVFに0をライトしたとき
1	[セット条件] ウォッチドッグタイマモードでTCNTがオーバーフロー (H'FF H'00) したとき

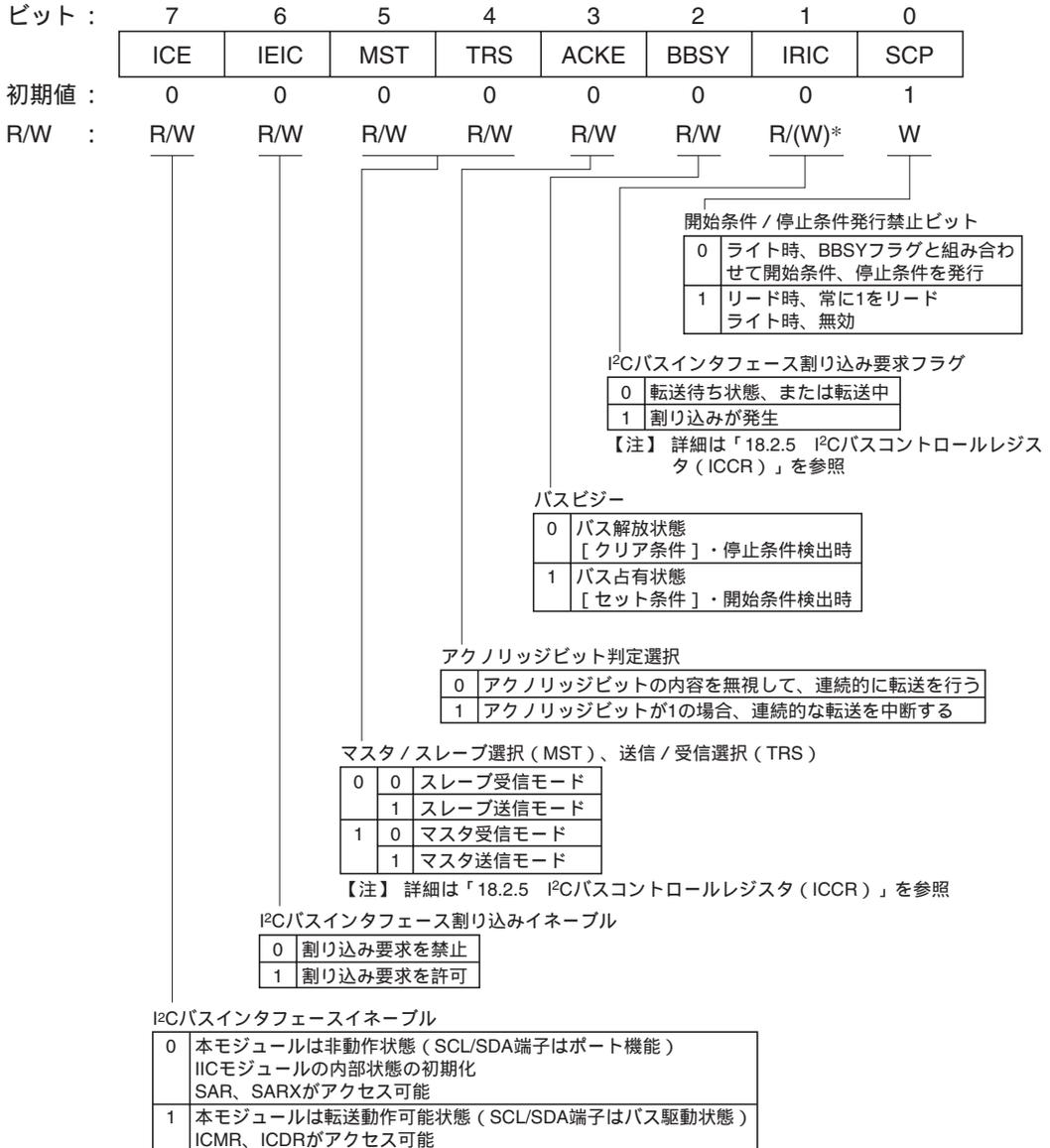
【注】 * フラグをクリアするための0ライトのみ可能です。
RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「15.2.5 レジスタアクセス時の注意」を参照してください。

H'FF78 : I²C バスコントロールレジスタ ICCR0 : IIC0

(H8S/2695 には本機能はありません)

H'FF80 : I²C バスコントロールレジスタ ICCR1 : IIC1

(H8S/2695 には本機能はありません)



【注】* フラグをクリアするための0ライトのみ可能です。

H'FF79 : I²C バスステータスレジスタ ICSR0 : IIC0

(H8S/2695 には本機能はありません)

H'FF81 : I²C バスステータスレジスタ ICSR1 : IIC1

(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W						

アクリッジビット 0 受信時、アクリッジ出力タイミングで0出力送信時、受信デバイスからアクリッジがあった(0だった)ことを示す 1 受信時、アクリッジ出力タイミングで1出力送信時、受信デバイスからアクリッジがなかった(1だった)ことを示す	
ゼネラルコールアドレス認識フラグ 0 ゼネラルコールアドレスを未認識 [クリア条件] (1) ICDRにデータをライト(送信時)、またはICDRのデータをリード(受信時)したとき (2) ADZ=1の状態をリード後、0をライトしたとき (3) マスタモードのとき 1 ゼネラルコールアドレスを認識 [セット条件] ・スレープ受信モードかつ(FSX=0またはFS=0)でゼネラルコールアドレスを検出したとき	
スレープアドレス認識フラグ 0 スレープアドレスまたはゼネラルコールアドレスを未認識 [クリア条件] (1) ICDRにデータをライト(送信時)、またはICDRのデータをリード(受信時)したとき (2) AAS=1の状態をリードした後、0をライトしたとき (3) マスタモードのとき 1 スレープアドレスまたはゼネラルコールアドレスを認識 [セット条件] ・スレープ受信モードかつFS=0でスレープアドレスまたはゼネラルコールアドレスを検出したとき	
アービトレーションロストフラグ 0 バスを確保 [クリア条件] (1) ICDRにデータをライト(送信時)、データをリード(受信時)したとき (2) AL=1の状態をリードした後、0をライトしたとき 1 バス競合負け(アービトレーションロスト) [セット条件] ・マスタ送信モードでSCLの立ち上がりで内部SDAとSDA端子が不一致のとき (2) マスタ送信モードでSCLの立ち下がりで内部SCLがHighレベルのとき	
第2スレープアドレス認識フラグ 0 第2スレープアドレスを未認識 [クリア条件] (1) AASX=1の状態をリードした後、0をライトしたとき (2) 開始条件を検出したとき (3) マスタモードのとき 1 第2スレープアドレスを認識 [セット条件] ・スレープ受信モードかつFSX=0で第2スレープアドレスを検出したとき	
PCバスインタフェース連続送受信割り込み要求フラグ 0 転送待ち状態、または転送中 [クリア条件] (1) IRTR=1の状態をリードした後、0をライトしたとき (2) IRICフラグが0にクリアされたとき 1 連続転送状態 [セット条件] ・I ² Cバスインタフェースでスレープモードのとき ・AASX=1の状態で、TDREまたはRDRFフラグが1にセットされたとき ・I ² Cバスインタフェースでスレープモードのとき以外 TDREまたはRDRFフラグが1にセットされたとき	
正常停止条件検出フラグ 0 正常停止条件なし [クリア条件] (1) STOP=1の状態をリードした後、0をライトしたとき (2) IRICフラグが0にクリアされたとき 1 I ² Cバスフォーマットでスレープモードのとき 正常停止条件を検出 [セット条件] フレームの転送の完了後に停止条件を検出したとき ・I ² Cバスフォーマットでスレープモードのとき以外 意味なし	
エラー停止条件検出フラグ 0 エラー停止条件なし [クリア条件] (1) ESTP=1の状態をリードした後、0をライトしたとき (2) IRICフラグが0にクリアされたとき 1 I ² Cバスフォーマットでスレープモードのとき エラー停止条件を検出 [セット条件] フレームの転送の途中で停止条件を検出したとき ・I ² Cバスフォーマットでスレープモードのとき以外 意味なし	

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF7E : I²C バスデータレジスタ ICDR0 : IIC0
(H8S/2695 には本機能はありません)

H'FF86 : I²C バスデータレジスタ ICDR1 : IIC1
(H8S/2695 には本機能はありません)

ビット :

	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R/W							

ICDRR

ビット :

	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

ICDRS

ビット :

	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

ICDRT

ビット :

	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値 :	-	-	-	-	-	-	-	-
R/W :	W	W	W	W	W	W	W	W

TDRE、RDRF (内部フラグ)

ビット :

	7	6	5	4	3	2	1	0
							TDRE	RDRF
初期値 :							0	0
R/W :							-	-

H'FF7E : 第 2 スレーブアドレスレジスタ SARX0 : IIC0

(H8S/2695 には本機能はありません)

H'FF86 : 第 2 スレーブアドレスレジスタ SARX1 : IIC1

(H8S/2695 には本機能はありません)

ビット :

7	6	5	4	3	2	1	0
SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値 :	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

第2スレーブアドレス

フォーマットセレクトX

H'FF7F : I²C バスモードレジスタ ICMR0 : IIC0
(H8S/2695 には本機能はありません)

H'FF87 : I²C バスモードレジスタ ICMR1 : IIC1
(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットカウンタ

ビット2	ビット1	ビット0	ビット/フレーム	
			クロック同期式 シリアルフォーマット	I ² C/バスフォーマット
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

転送クロック選択

SCRX ビット 5、6	ビット5	ビット4	ビット3	クロック	転送レート						
					=5MHz	=8MHz	=10MHz	=16MHz	=20MHz	=25MHz	=28MHz
IICX	0	0	0	/28	179kHz	286kHz	357kHz	571kHz*	714kHz*	893kHz*	1000kHz*
			1	/40	125kHz	200kHz	250kHz	400kHz	500kHz*	625kHz*	700kHz*
			1	/48	104kHz	167kHz	208kHz	333kHz	417kHz*	521kHz*	583kHz*
		1	0	/64	78.1kHz	125kHz	156kHz	250kHz	313kHz	391kHz	438kHz*
			0	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz	313kHz	350kHz
			1	/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz	250kHz	280kHz
	1	0	0	/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz	223kHz	250kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz	195kHz	219kHz
			1	/56	89.3kHz	143kHz	179kHz	286kHz	357kHz	446kHz*	500kHz*
		1	0	/80	62.5kHz	100kHz	125kHz	200kHz	250kHz	313kHz	350kHz
			0	/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz	260kHz	292kHz
			1	/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz	195kHz	219kHz
1	0	/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz	156kHz	175kHz		
	1	/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz	125kHz	140kHz		
	1	/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz	112kHz	125kHz		
			1	/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz	97.7kHz	

【注】 * I²Cバスインタフェース仕様 (通常モード : 最大100kHz、高速モード : 最大400kHz) の範囲外となります。

ウェイト挿入ビット

0	データとアクノリッジを連続的に転送
1	データとアクノリッジの間にウェイトを挿入

MSBファースト / LSBファースト選択

0	MSBファースト
1	LSBファースト

H'FF7F : スレーブアドレスレジスタ SAR0 : IIC0

(H8S/2695 には本機能はありません)

H'FF87 : スレーブアドレスレジスタ SAR1 : IIC1

(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W						

スレーブアドレス

フォーマットセレクト

DDCSWR ビット6 SW	SAR ビット0 FS	SARX ビット0 FSX	動作モード
0	0	0	I ² Cバスフォーマット ・ SARとSARXのスレーブアドレスを認識
		1	I ² Cバスフォーマット (初期値) ・ SARのスレーブアドレスを認識 ・ SARXのスレーブアドレスを無視
	1	0	I ² Cバスフォーマット ・ SARのスレーブアドレスを無視 ・ SARXのスレーブアドレスを認識
		1	クロック同期式シリアルフォーマット ・ SARとSARXのスレーブアドレスを無視
1	—	—	設定しないでください

H'FF90 : A/D データレジスタ AH ADDR AH : A/D

H'FF91 : A/D データレジスタ AL ADDR AL : A/D

H'FF92 : A/D データレジスタ BH ADDR BH : A/D

H'FF93 : A/D データレジスタ BL ADDR BL : A/D

H'FF94 : A/D データレジスタ CH ADDR CH : A/D

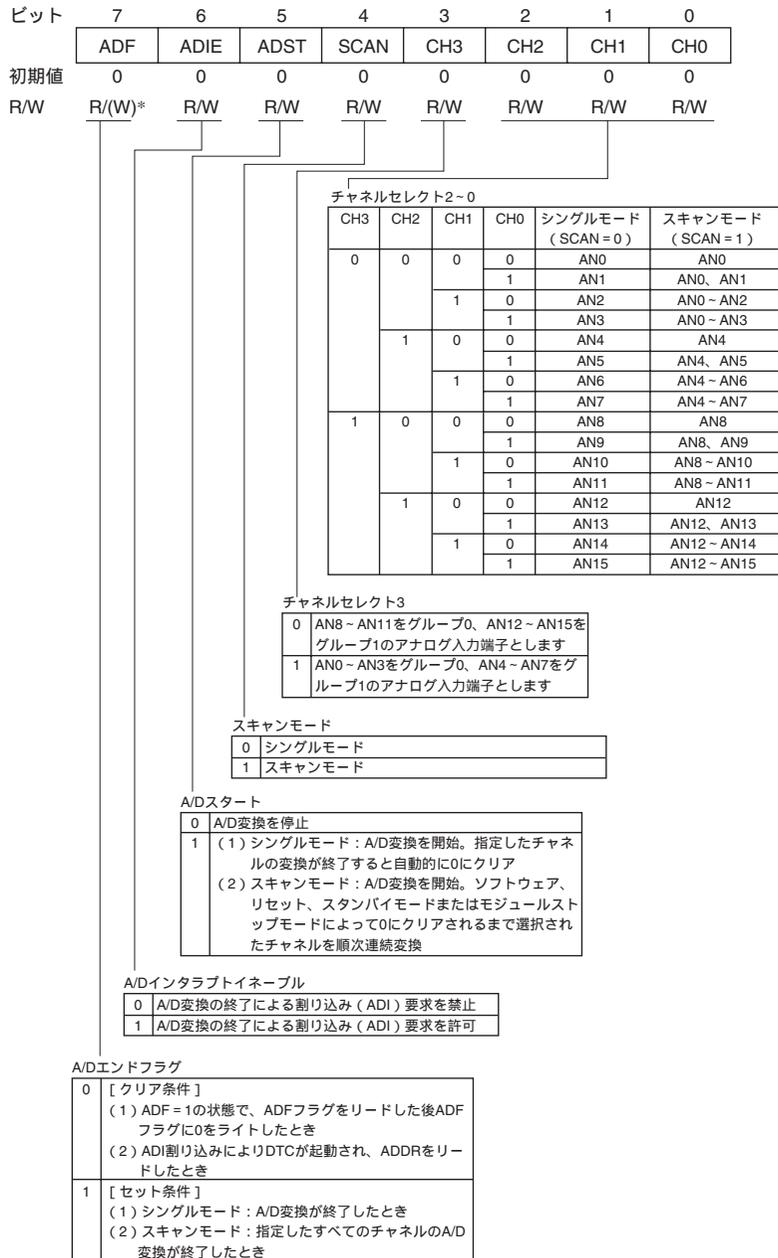
H'FF95 : A/D データレジスタ CL ADDR CL : A/D

H'FF96 : A/D データレジスタ DH ADDR DH : A/D

H'FF97 : A/D データレジスタ DL ADDR DL : A/D

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

H'FF98 : A/D コントロール/ステータスレジスタ ADCSR : A/D



【注】* フラグをクリアするための0ライトのみ可能です。

H'FF99 : A/D コントロールレジスタ ADCR : A/D

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	-	-	CKS1	CKS0	-	-
初期値	0	0	1	1	0	0	1	1
R/W	R/W	R/W	-	-	R/W	R/W	-	-

クロックセレクト1、0

CKS1	CKS0	説 明
0	0	変換時間 = 530ステート (Max)
	1	変換時間 = 266ステート (Max)
1	0	変換時間 = 134ステート (Max)
	1	変換時間 = 68ステート (Max)

タイマトリガセレクト1、0

TRGS1	TRGS0	説 明
0	0	ソフトウェアによるA/D変換の開始を許可
	1	TPUの変換開始トリガによるA/D変換の開始を許可
1	0	8ビットタイマの変換開始トリガによるA/D変換の開始を許可
	1	外部トリガ端子 (ADTRG) によるA/D変換の開始を許可

H'FFA2 (W)、H'FFA2 (R) : タイマコントロール/ステータスレジスタ 1

TCSR1 : WDT1

(H8S/2695 には本機能はありません)

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト2-0

ビット4	ビット2	ビット1	ビット0	クロック	説明	
PSS	CKS2	CKS1	CKS0		オーバーフロー周期* (= 25MHzの場合) (SUB = 32.768kHzの場合)	
0	0	0	0	/ 2	20.4 μs	
			1	/ 64	652.8 μs	
			0	/ 128	1.3ms	
		1	0	1	/ 512	5.2ms
				0	/ 2048	20.9ms
				1	/ 8192	83.6ms
1	0	0	0	/ 32768	334.2ms	
			1	/ 131072	1.34s	
			1	SUB / 2	15.6ms	
		1	0	1	SUB / 4	31.3ms
				0	SUB / 8	62.5ms
				1	SUB / 16	125ms
1	1	0	SUB / 32	250ms		
		1	SUB / 64	500ms		
		0	SUB / 128	1s		
			1	SUB / 256	2s	

【注】 * オーバフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

リセットまたはNMI

0	NMI割り込みを要求
1	内部リセットを要求

プリスケラセレクト

0	TCNTは ベースのプリスケラ (PSM) の分周クロックをカウント
1	TCNTは SUBベースのプリスケラ (PSS) の分周クロックをカウント

タイマネープル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード : TCNTがオーバーフローしたとき CPUヘインターバルタイマ割り込み (WOV1) を要求
1	ウォッチドッグタイマモード : TCNTがオーバーフローしたとき CPUヘリセットまたはNMI割り込みを要求

オーバーフローフラグ

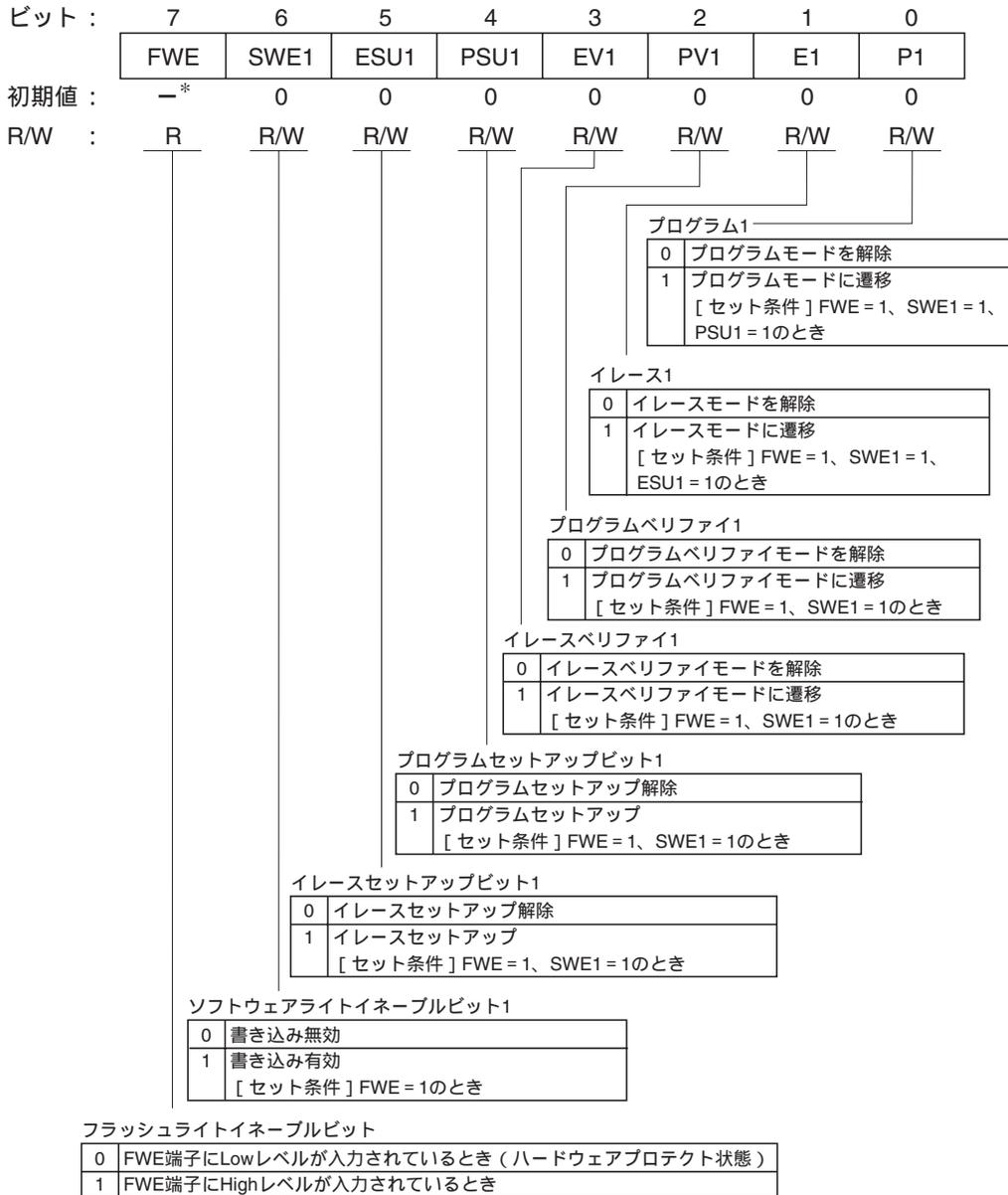
0	【クリア条件】 (1) TMEビットに0をライトしたとき (2) OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき
1	【セット条件】 TCNTがオーバーフロー (H'FF H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSR1は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。

詳細は、「15.2.5 レジスタアクセス時の注意」を参照してください。

H'FFA8 : フラッシュメモリコントロールレジスタ1 FLMCR1 : FLASH



【注】* FWE端子の状態により設定されます。

H'FFA9 : フラッシュメモリコントロールレジスタ 2 FLMCR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	-	-	-	-

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] 「22.8.3 エラープロテクト」参照

H'FFAA : 消去ブロック指定レジスタ 1 EBR1 : FLASH

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

H'FFAB : 消去ブロック指定レジスタ 2 EBR2 : FLASH

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	EB11	EB10	EB9	EB8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFAC : フラッシュメモリパワーコントロールレジスタ FLPWCR : FLASH

ビット :	7	6	5	4	3	2	1	0
	PDWND	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R

パワーダウンディスエーブル

0	フラッシュメモリの低消費電力モードへの遷移を許可
1	フラッシュメモリの低消費電力モードへの遷移を禁止

H'FFB0 : ポート 1 レジスタ PORT1 : ポート

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P17～P10端子の状態により決定されます。

H'FFB2 : ポート 3 レジスタ PORT3 : ポート

ビット :	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P37～P30端子の状態により決定されます。

H'FFB3 : ポート 4 レジスタ PORT4 : ポート

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P47～P40端子の状態により決定されます。

H'FFB6 : ポート 7 レジスタ PORT7 : ポート

ビット :	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P77～P70端子の状態により決定されます。

H'FFB8 : ポート 9 レジスタ PORT9 : ポート

ビット :	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* P97～P90端子の状態により決定されます。

H'FFB9 : ポート A レジスタ PORTA : ポート

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	PA3	PA2	PA1	PA0
初期値 :	不定	不定	不定	不定	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

【注】* PA3～PA0端子の状態により決定されます。

H'FFBA : ポート B レジスタ PORTB : ポート

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PB7～PB0端子の状態により決定されます。

H'FFBB : ポート C レジスタ PORTC : ポート

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PC7～PC0端子の状態により決定されます。

H'FFBC : ポート D レジスタ PORTD : ポート

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PD7～PD0端子の状態により決定されます。

H'FFBD : ポート E レジスタ PORTE : ポート

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PE7～PE0端子の状態により決定されます。

H'FFBE : ポート F レジスタ PORTF : ポート

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】* PF7～PF0端子の状態により決定されます。

H'FFBF : ポート G レジスタ PORTG : ポート

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値 :	不定	不定	不定	- *	- *	- *	- *	- *
R/W :	-	-	-	R	R	R	R	R

【注】* PG4～PG0端子の状態により決定されます。

C. I/O ポートのブロック図

C.1 ~ C.12 に H8S/2633、H8S/2632、H8S/2631、H8S/2633F、H8S/2633R の I/O ポートブロック図を、C.13 ~ C.24 に H8S/2695 の I/O ポートブロック図を示します。

C.1 ポート 1 ブロック図

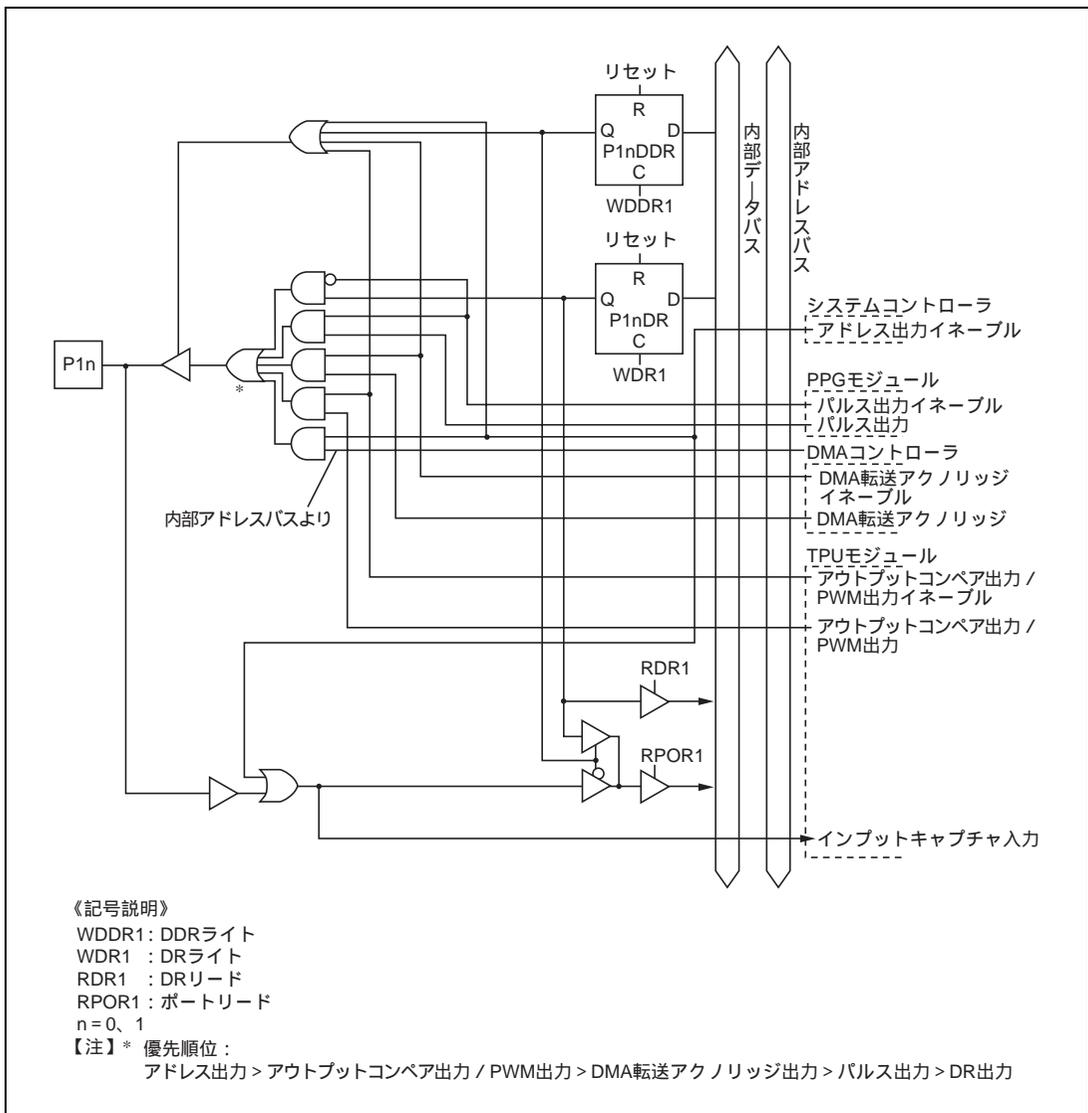


図 C.1 (a) ポート 1 ブロック図 (P10、P11 端子)

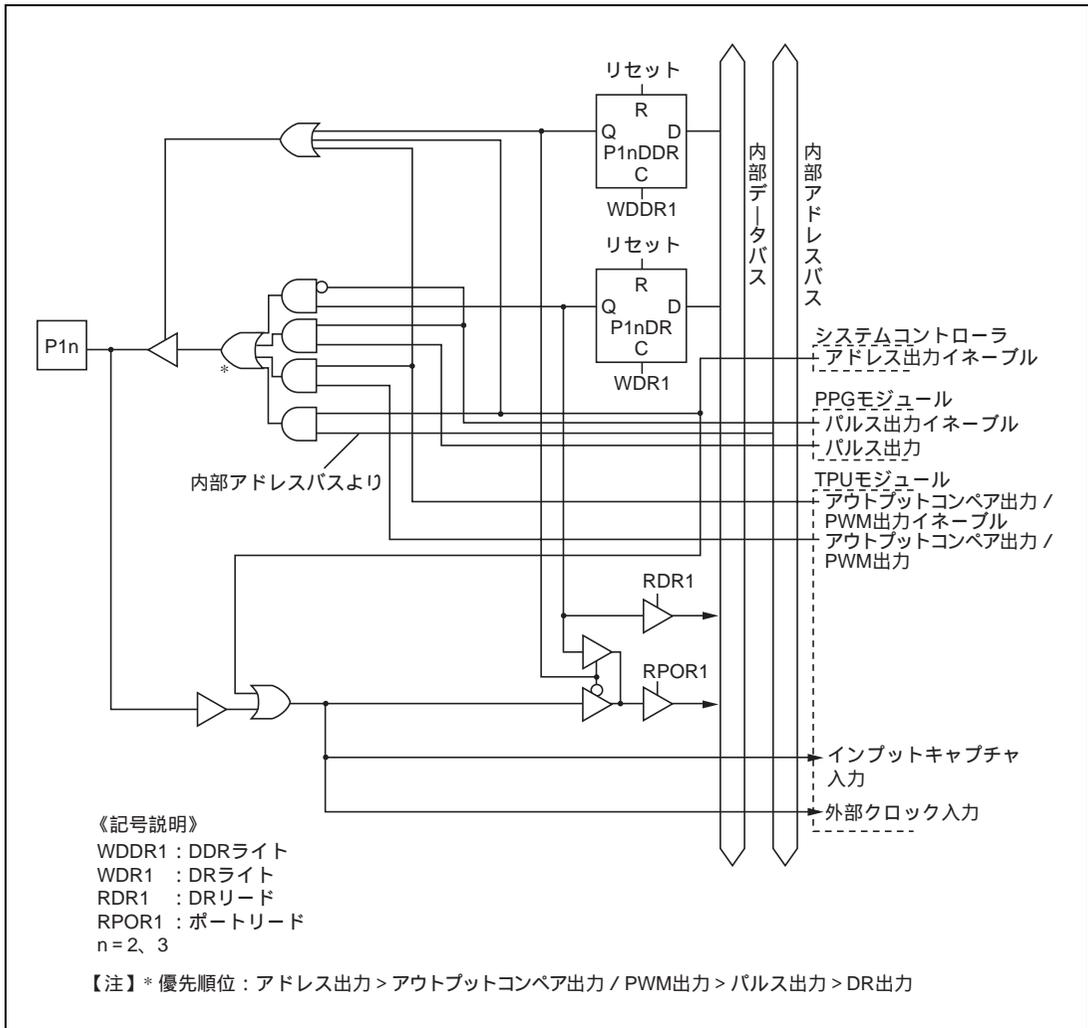


図 C.1 (b) ポート 1 ブロック図 (P12、P13 端子)

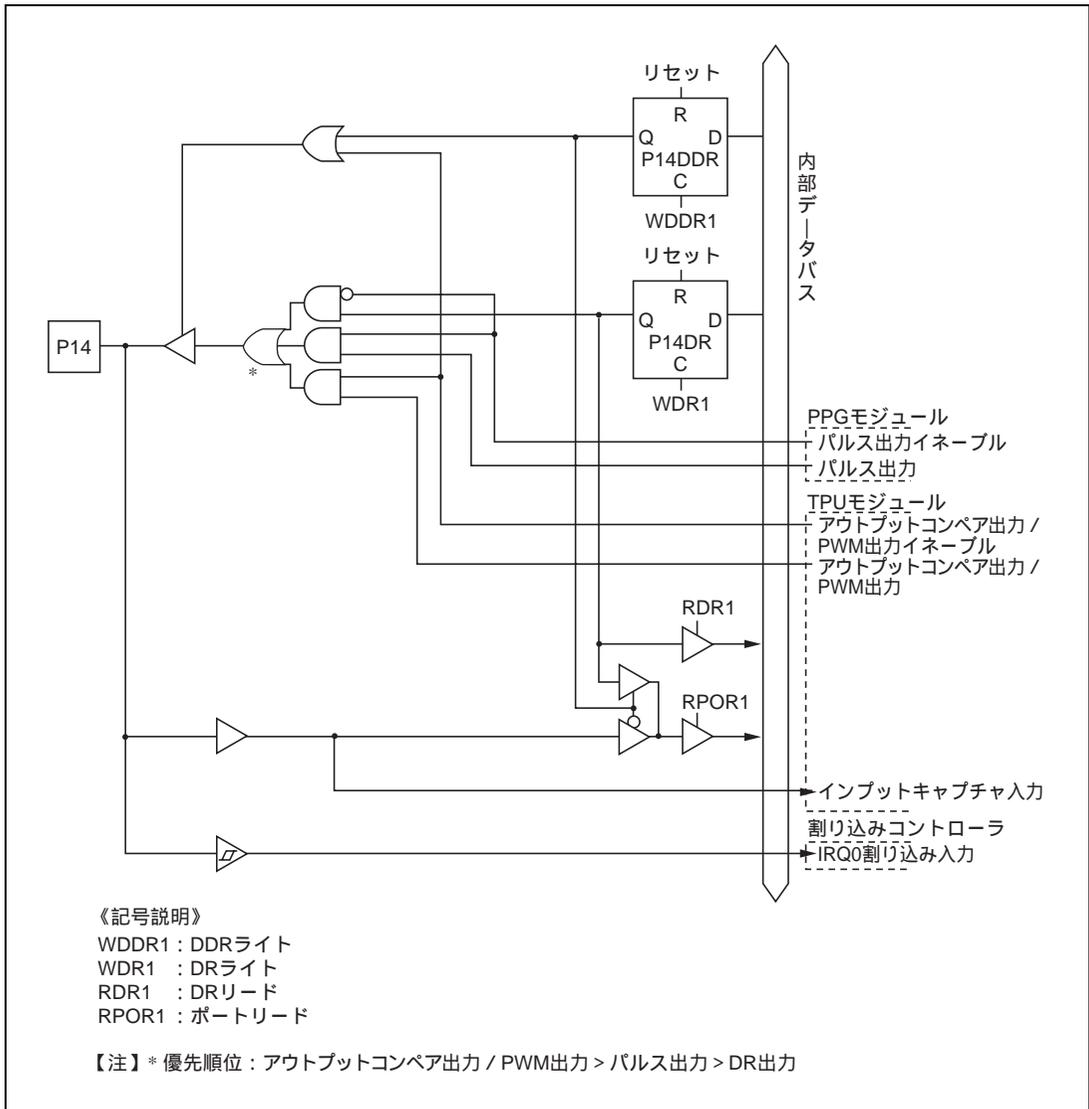


図 C.1 (c) ポート 1 ブロック図 (P14 端子)

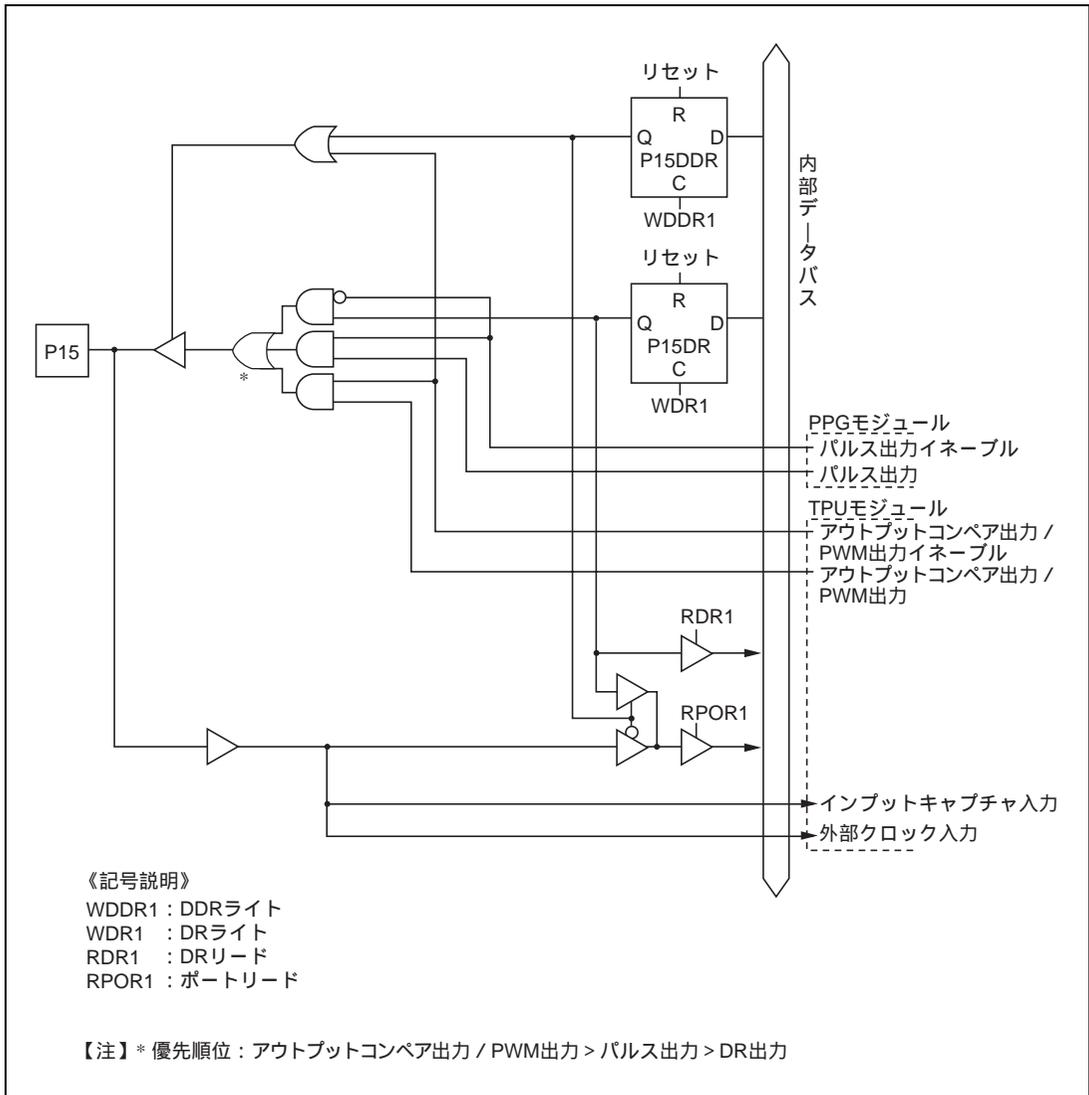


図 C.1 (d) ポート 1 ブロック図 (P15 端子)

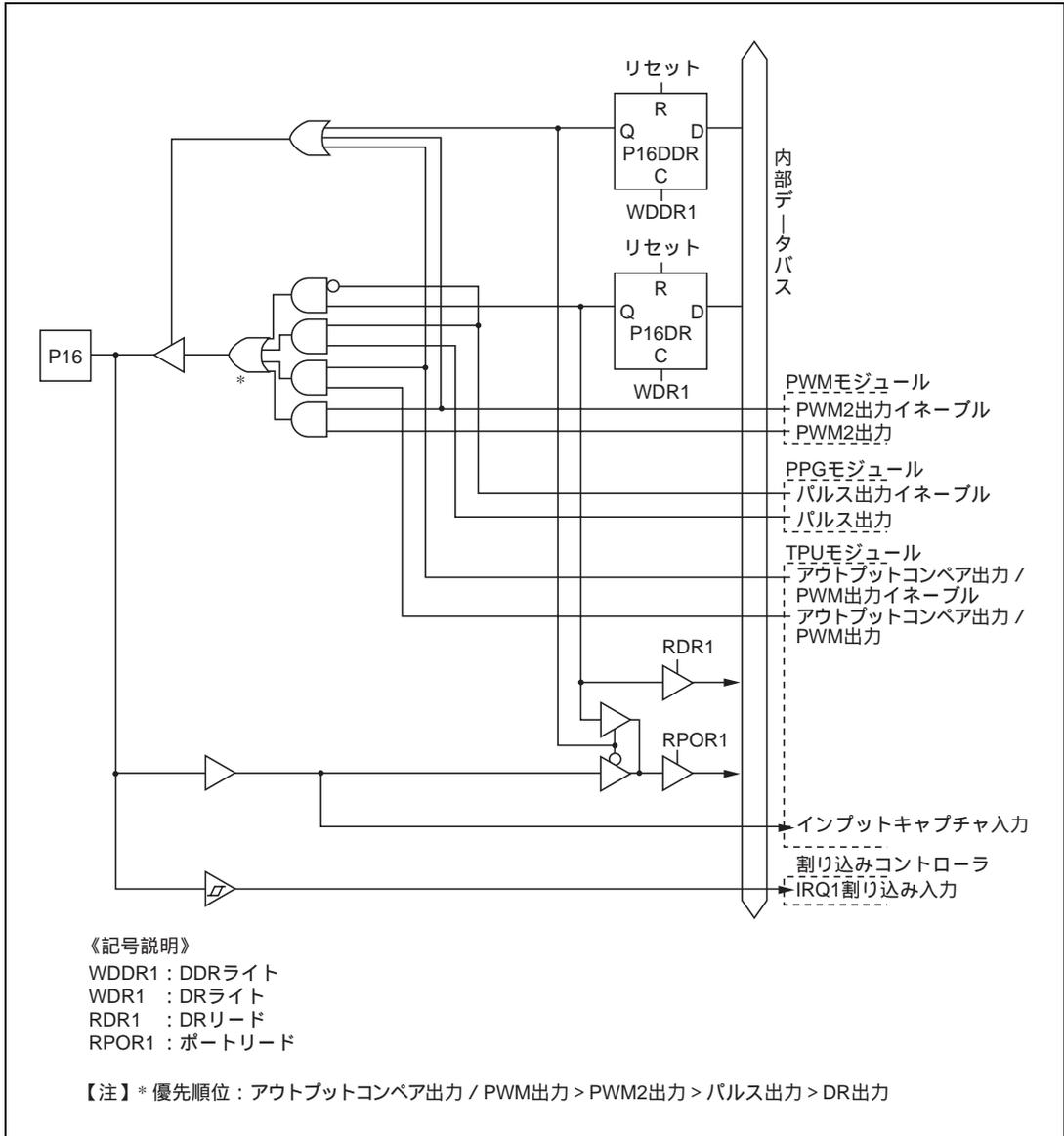


図 C.1 (e) ポート 1 ブロック図 (P16 端子)

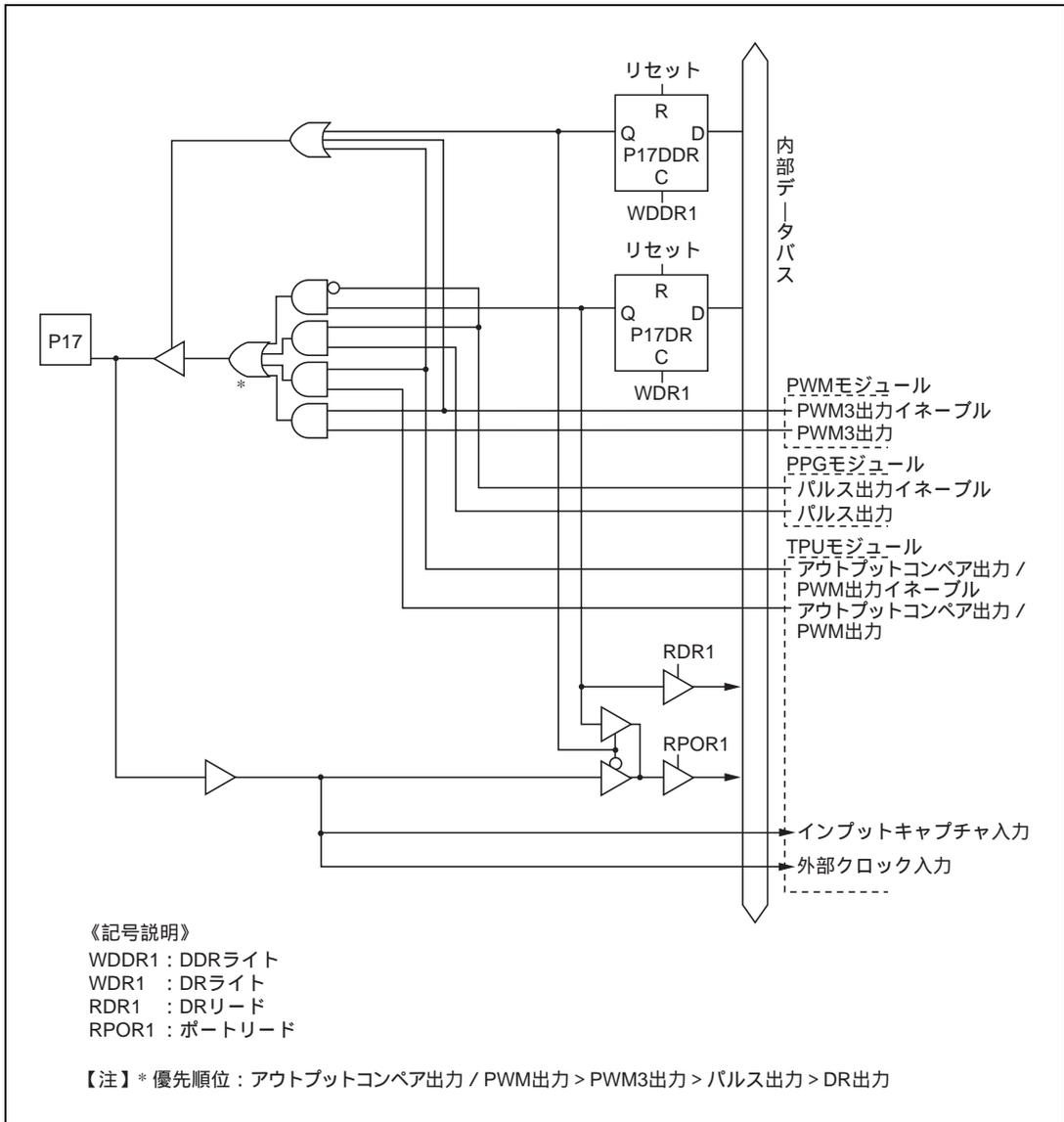


図 C.1 (f) ポート 1 ブロック図 (P17 端子)

C.2 ポート 3 ブロック図

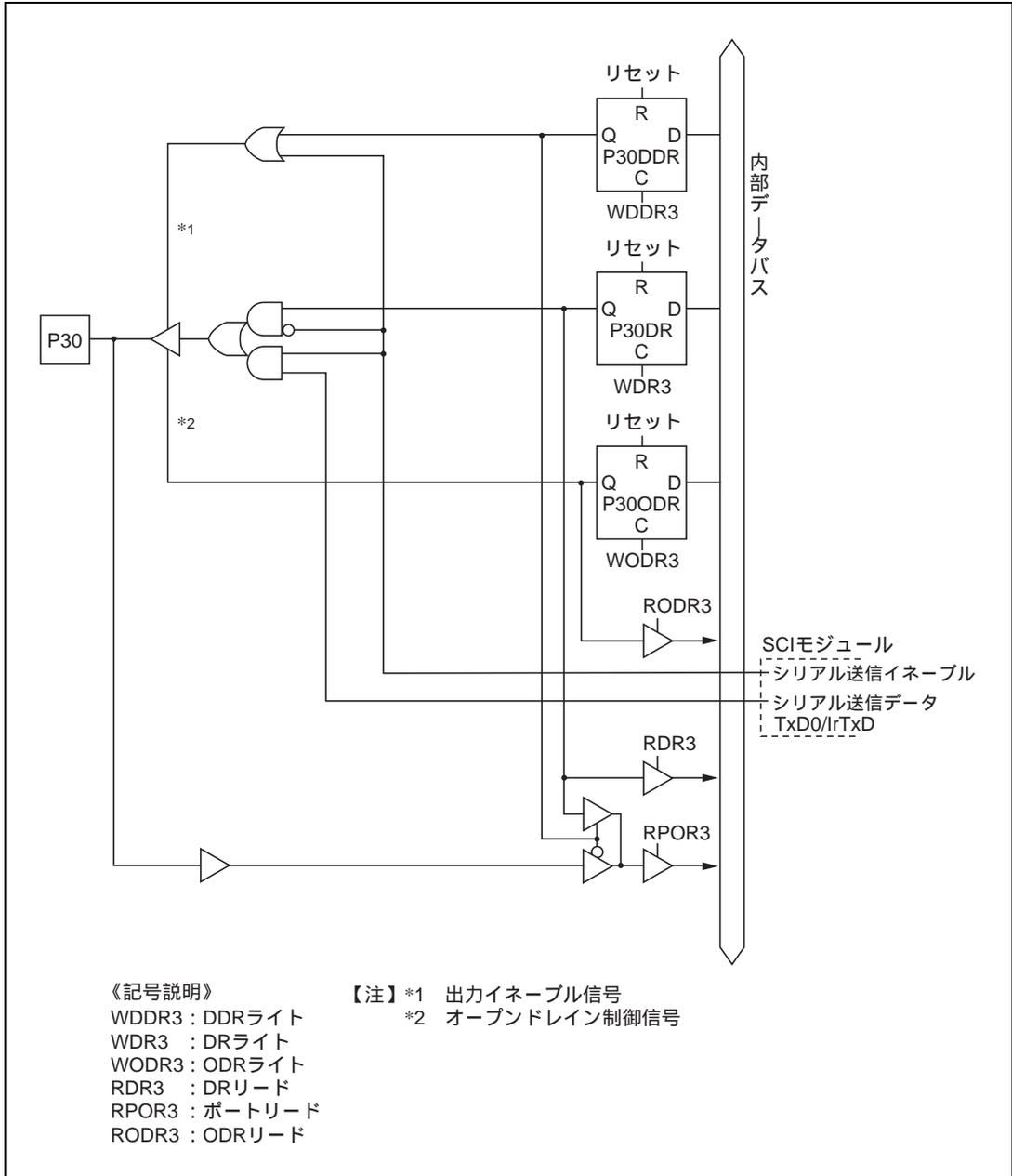


図 C.2 (a) ポート 3 ブロック図 (P30 端子)

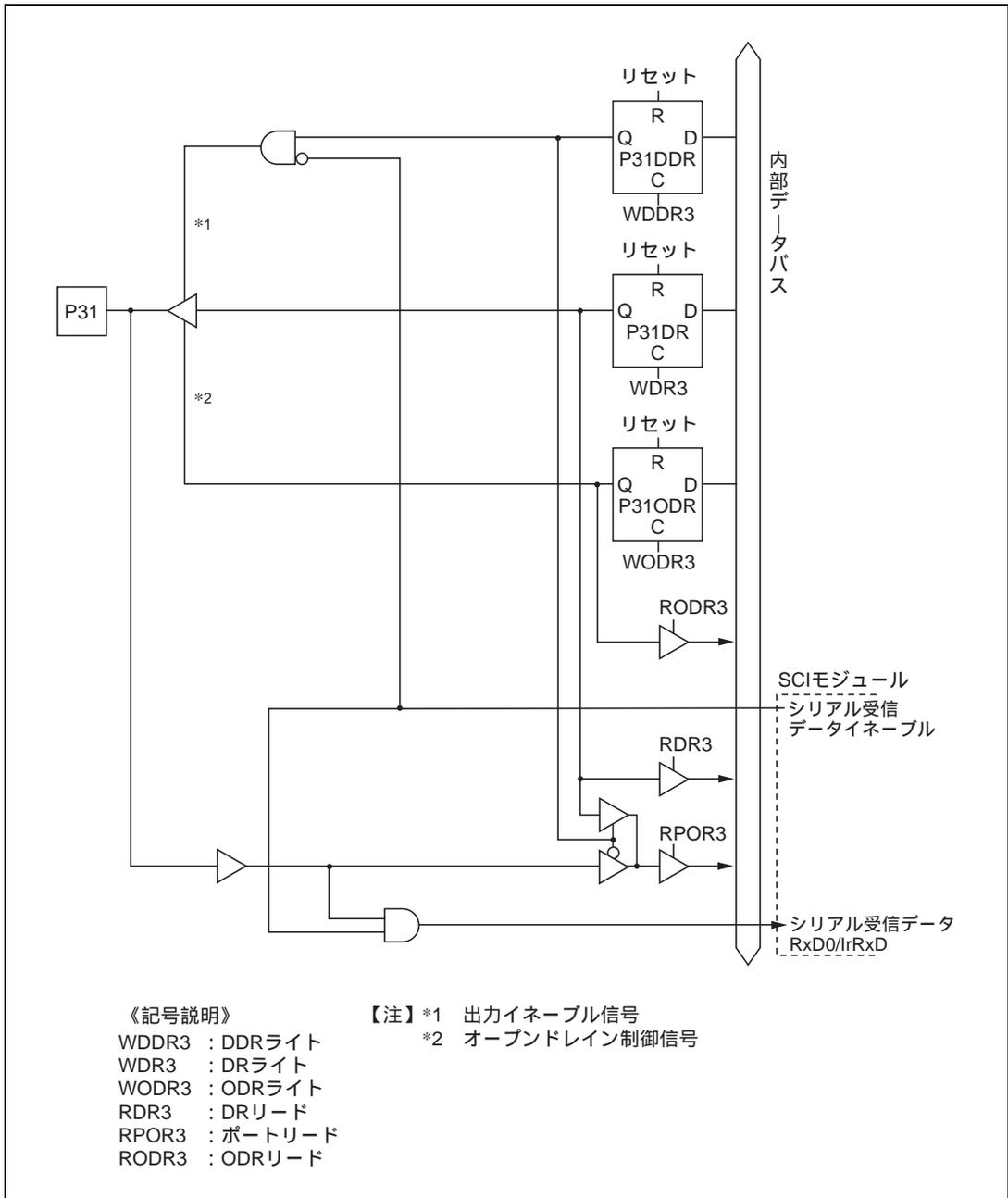


図 C.2 (b) ポート 3 ブロック図 (P31 端子)

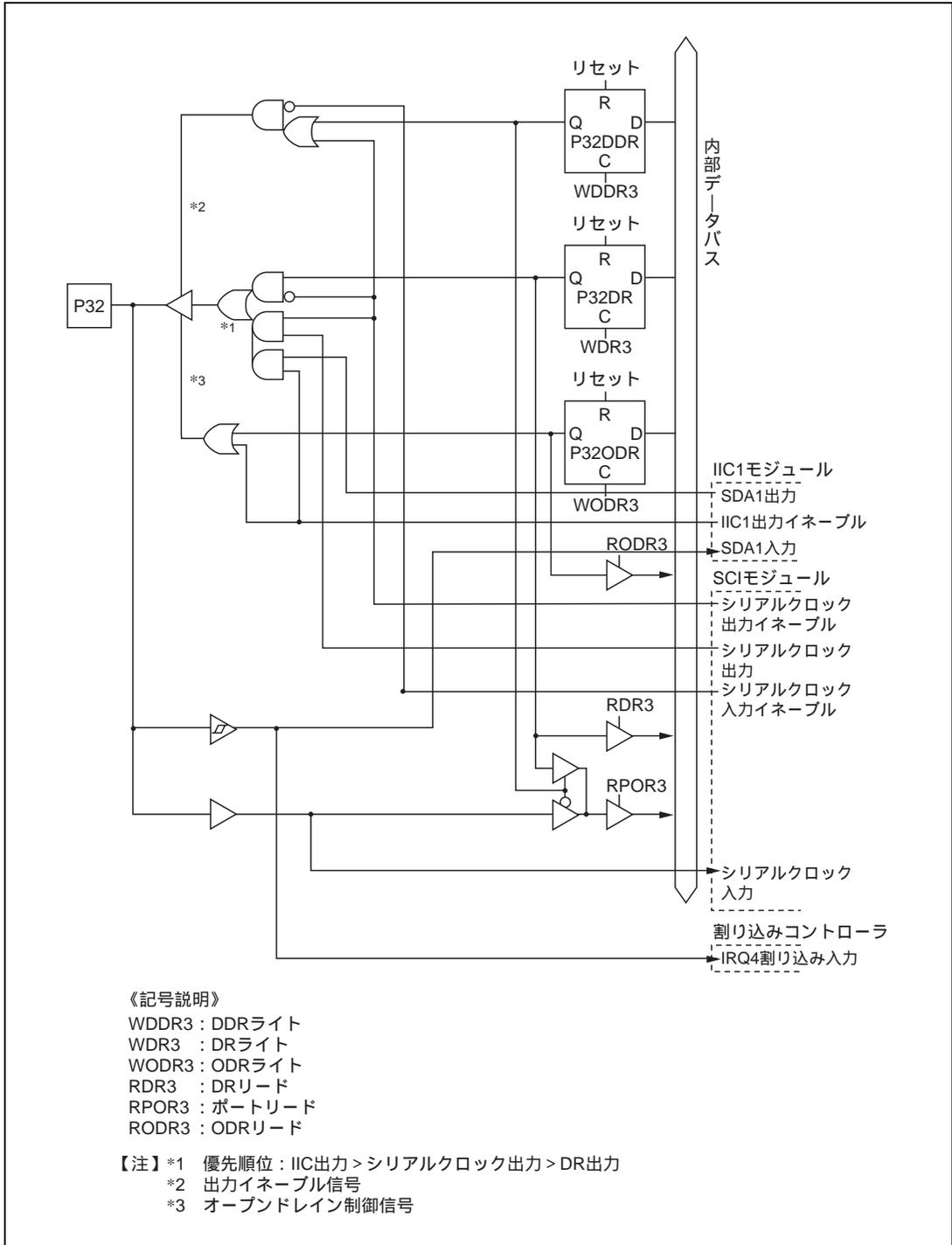


図 C.2 (c) ポート 3 ブロック図 (P32 端子)

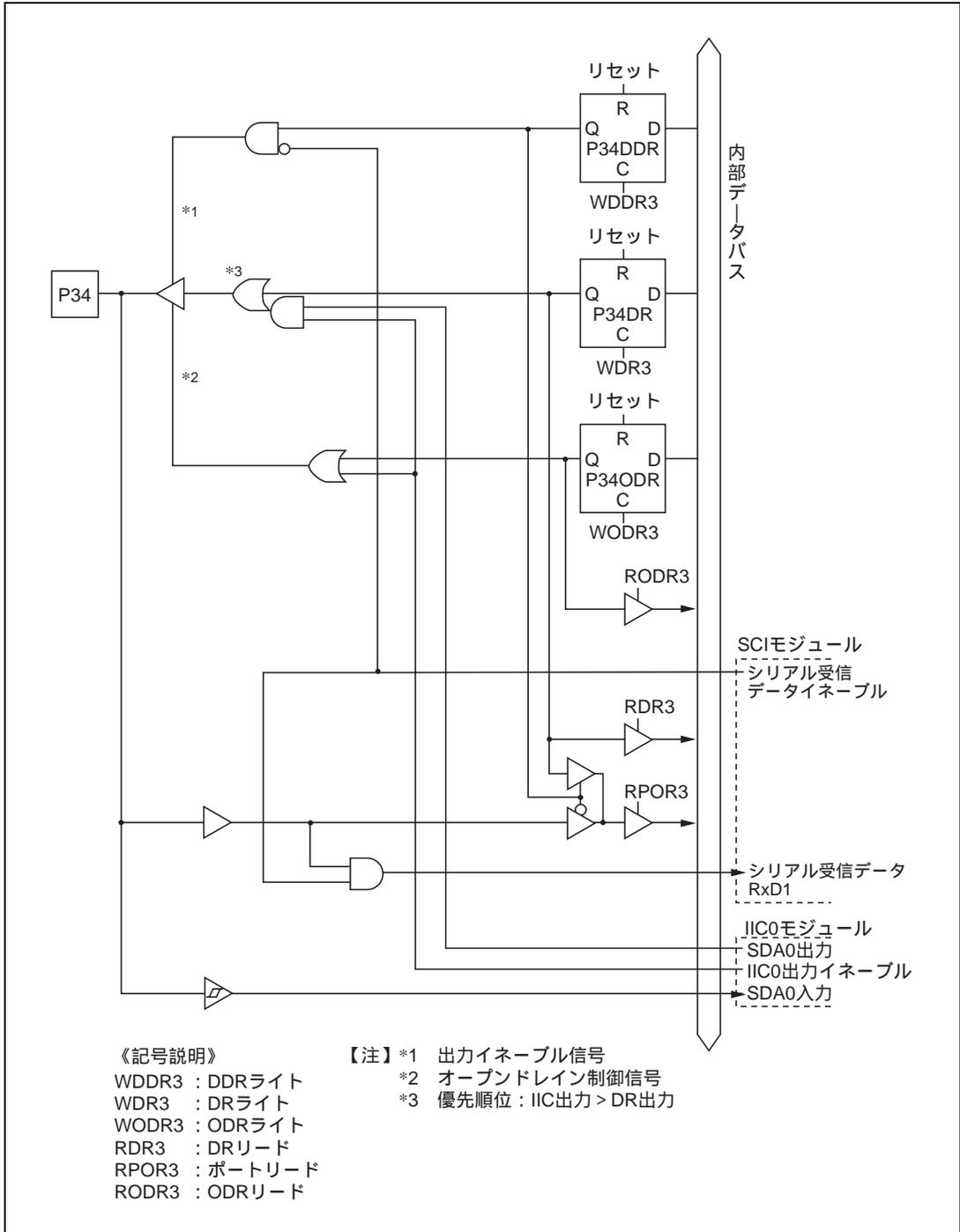


図 C.2 (e) ポート 3 ブロック図 (P34 端子)

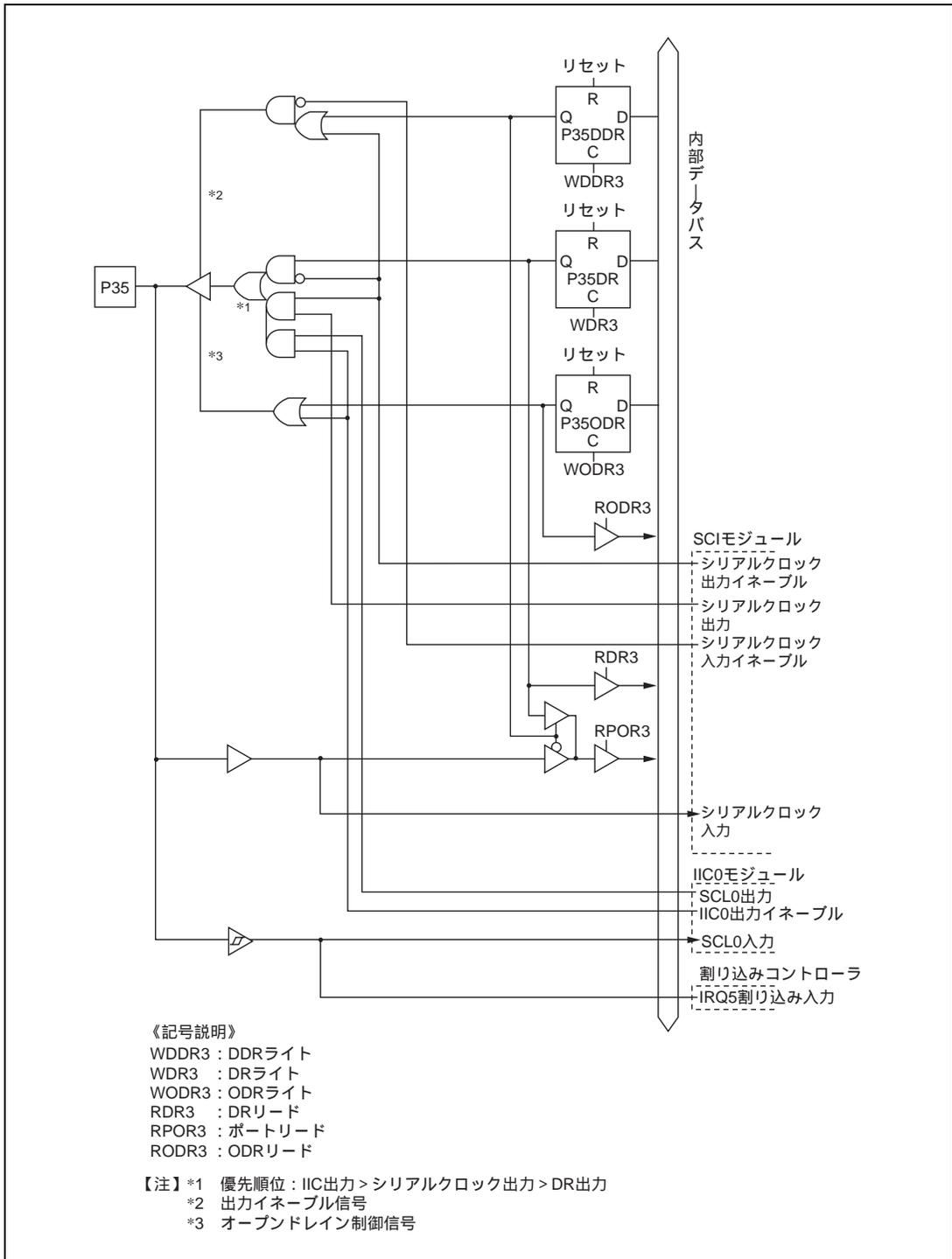


図 C.2 (f) ポート 3 ブロック図 (P35 端子)

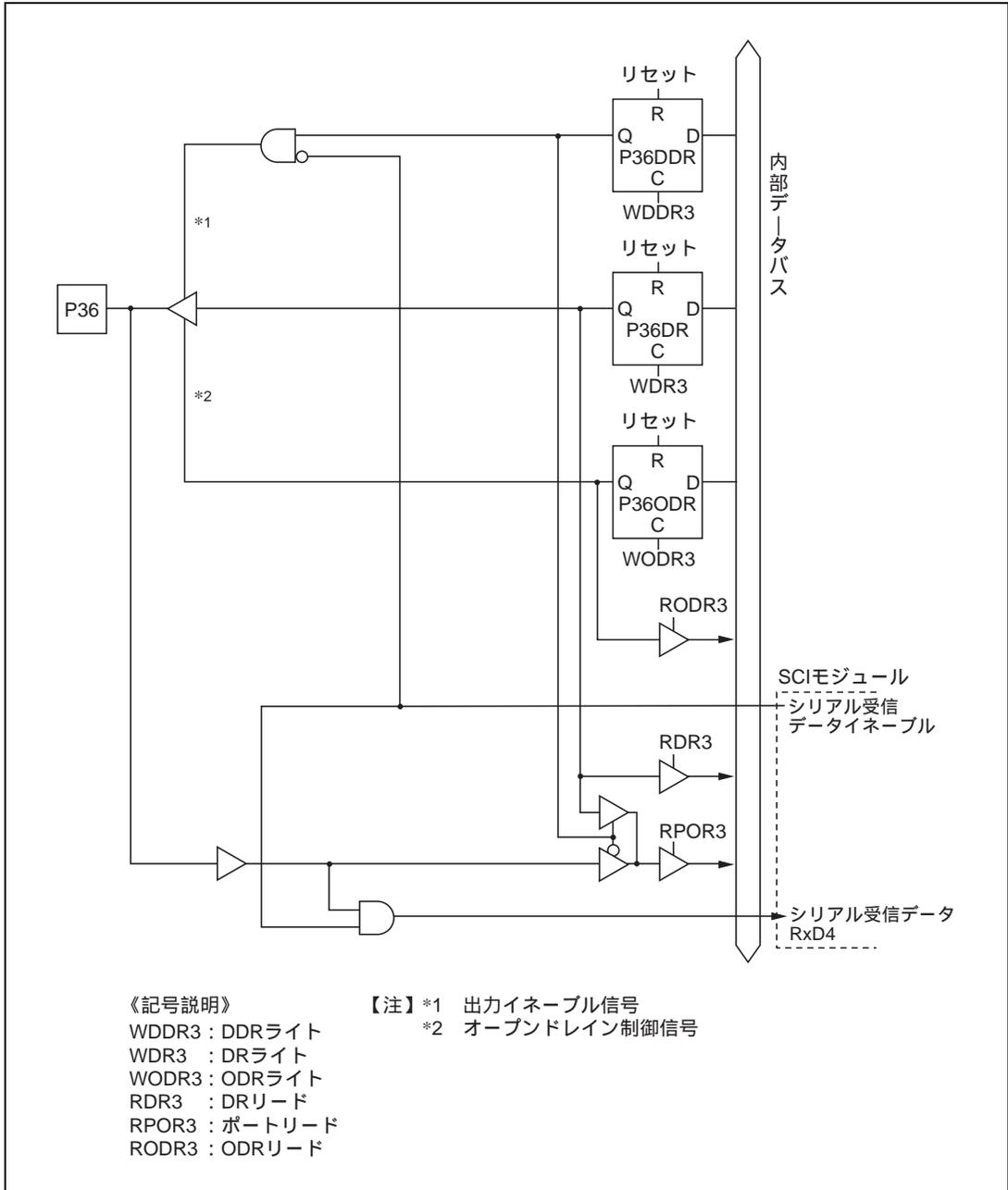


図 C.2 (g) ポート 3 ブロック図 (P36 端子)

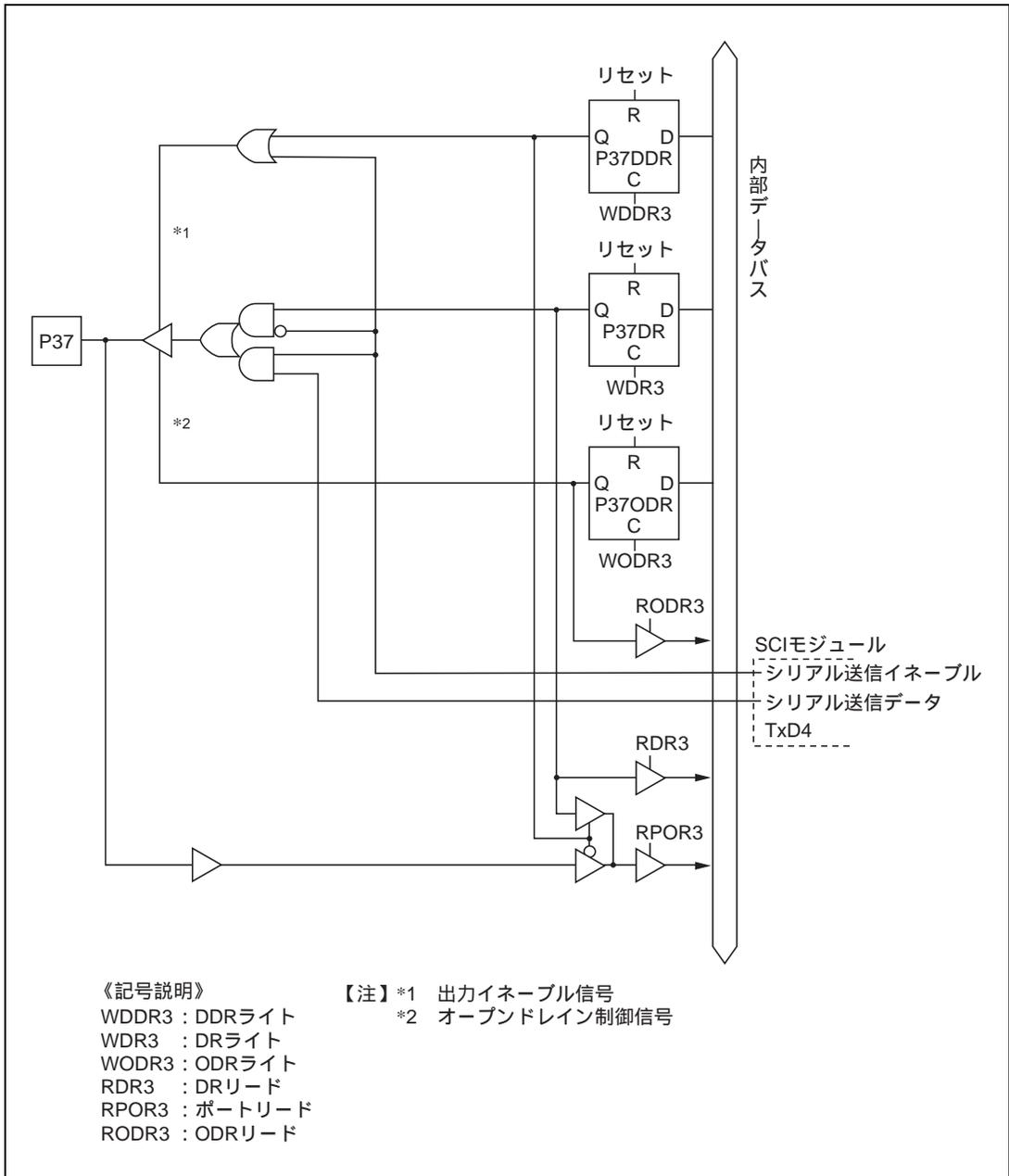


図 C.2 (h) ポート 3 ブロック図 (P37 端子)

C.3 ポート 4 ブロック図

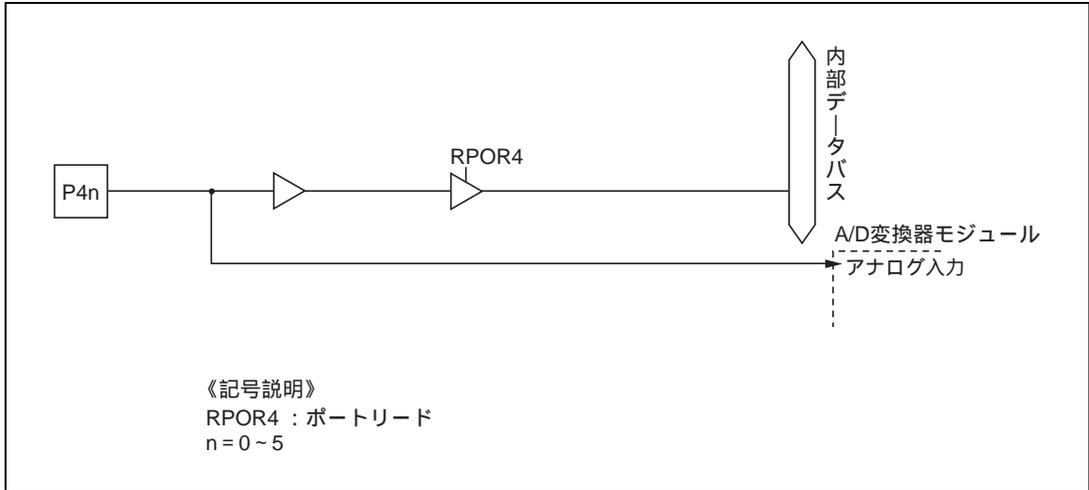


図 C.3 (a) ポート 4 ブロック図 (P40 ~ P45 端子)

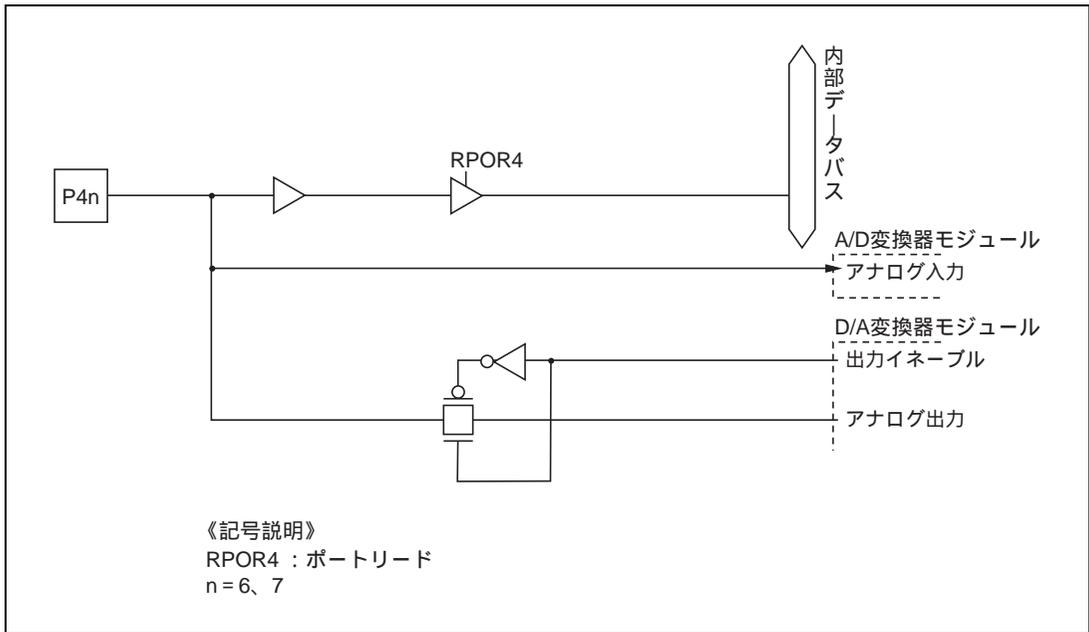


図 C.3 (b) ポート 4 ブロック図 (P46、P47 端子)

C.4 ポート7ブロック図

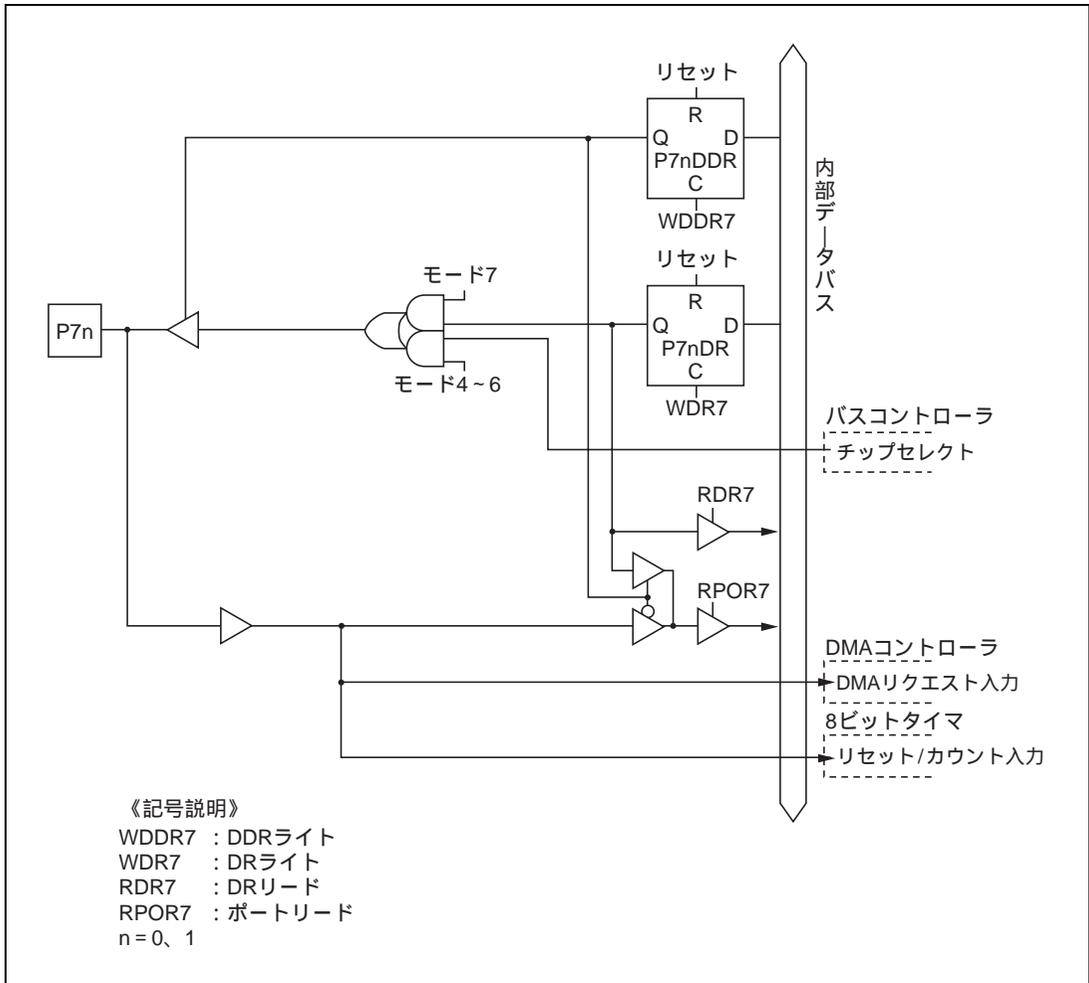


図 C.4 (a) ポート7 ブロック図 (P70、P71 端子)

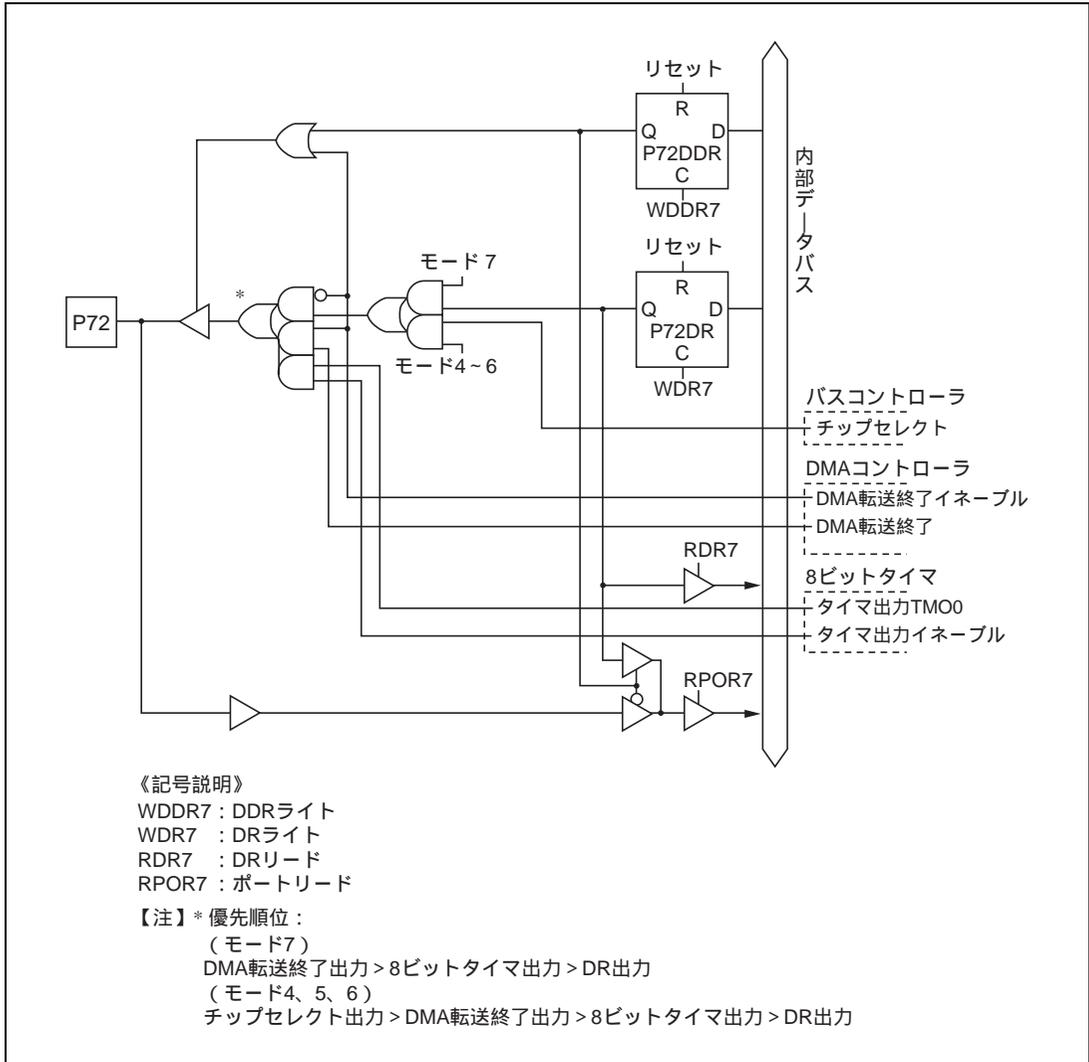


図 C.4 (b) ポート 7 ブロック図 (P72 端子)

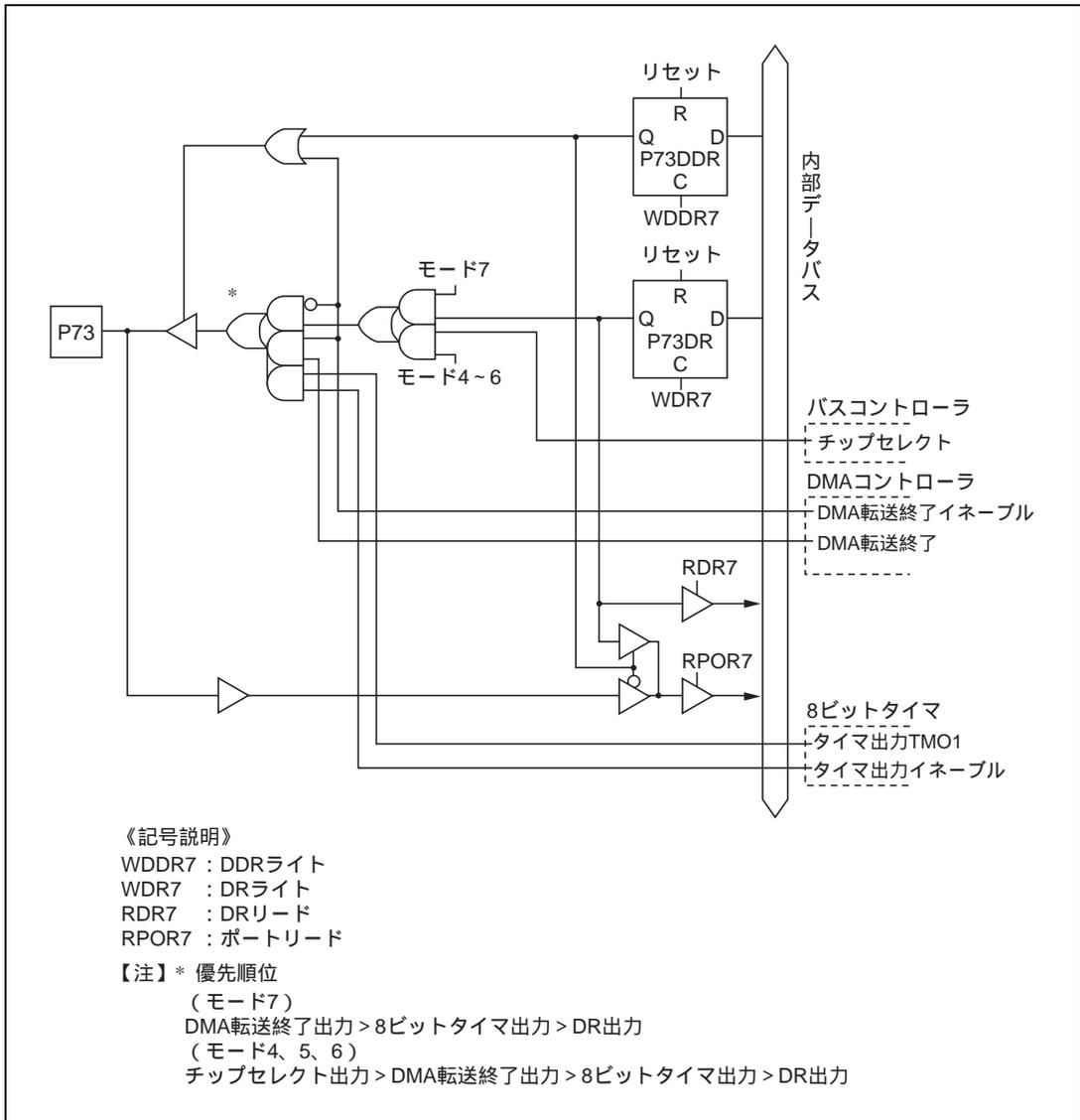


図 C.4 (c) ポート 7 ブロック図 (P73 端子)

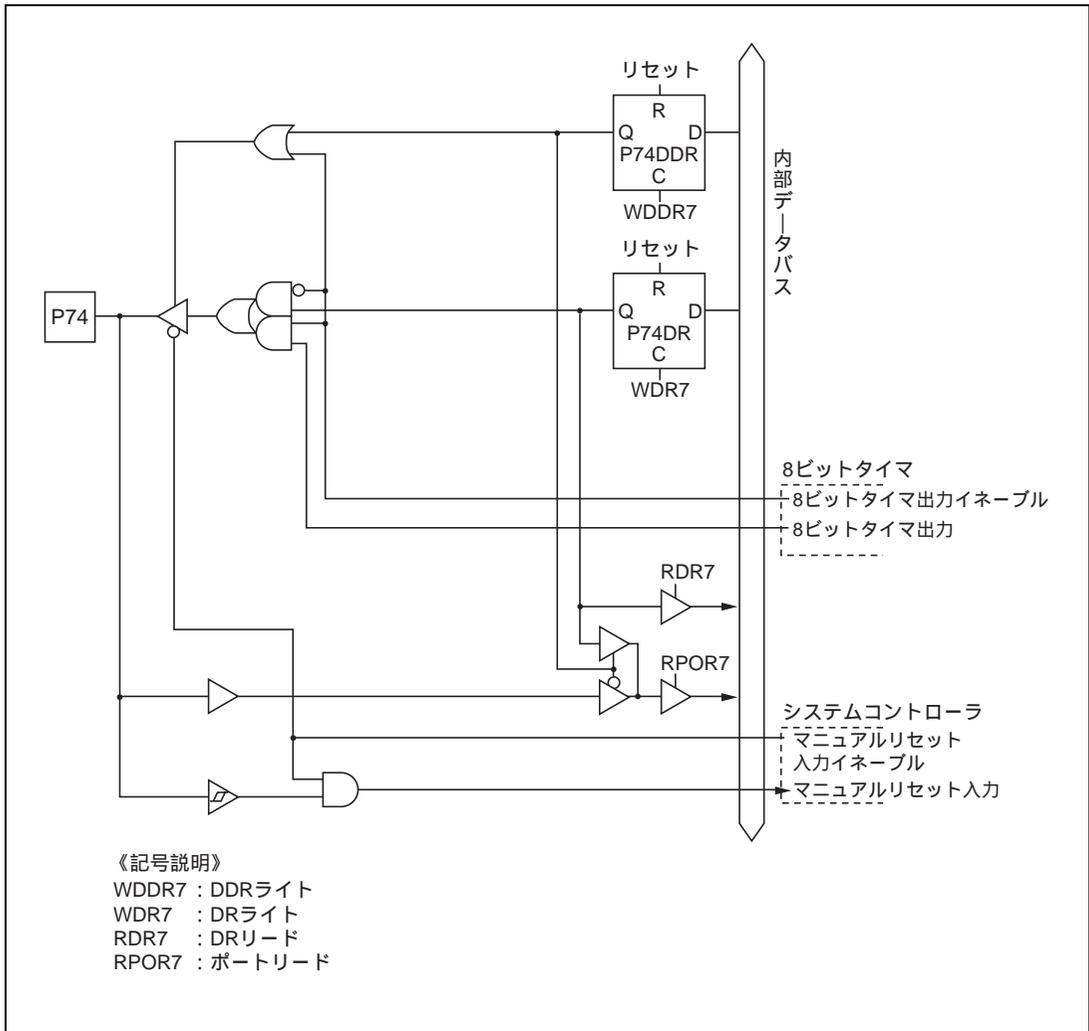


図 C.4 (d) ポート 7 ブロック図 (P74 端子)

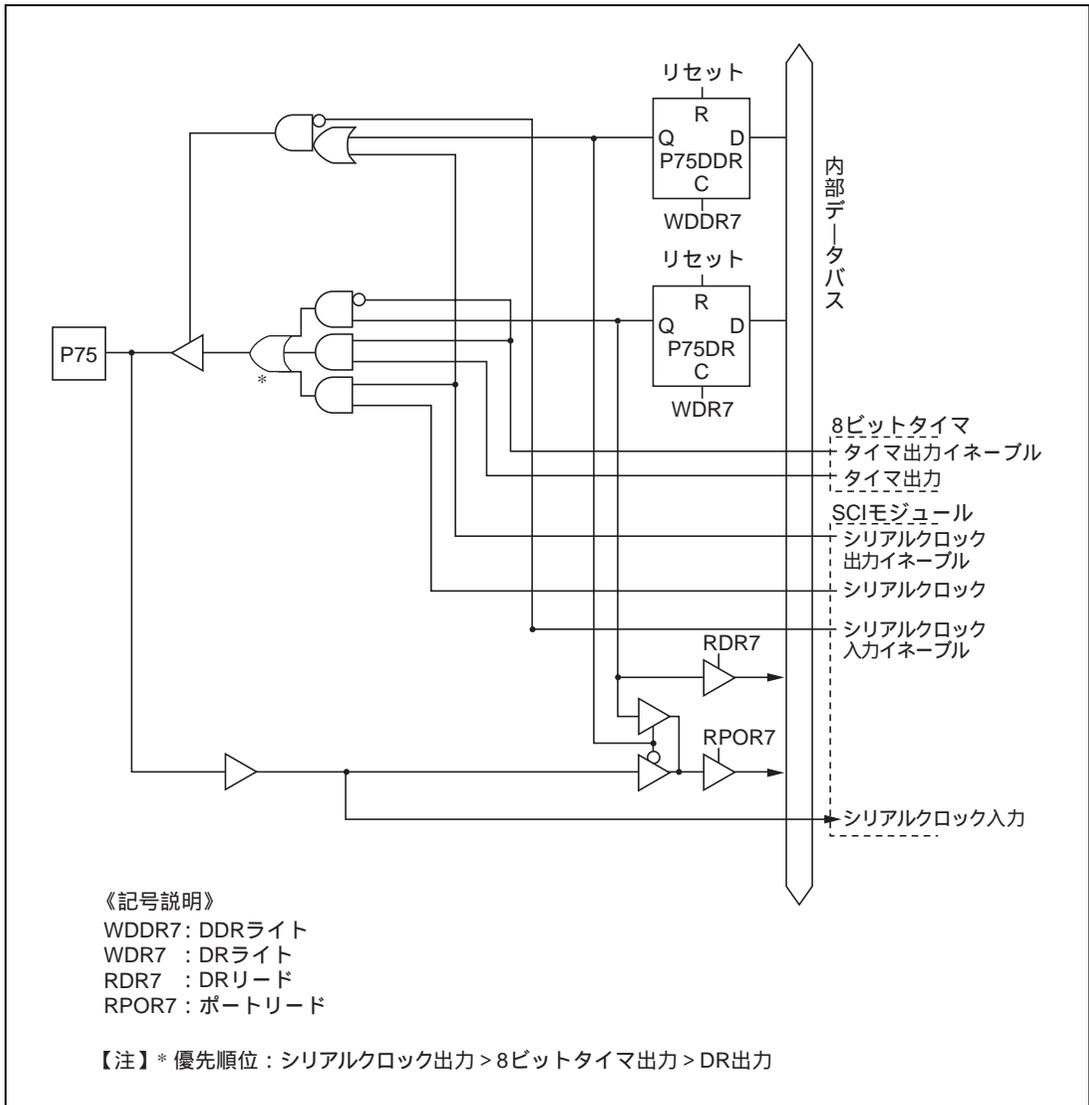


図 C.4 (e) ポート 7 ブロック図 (P75 端子)

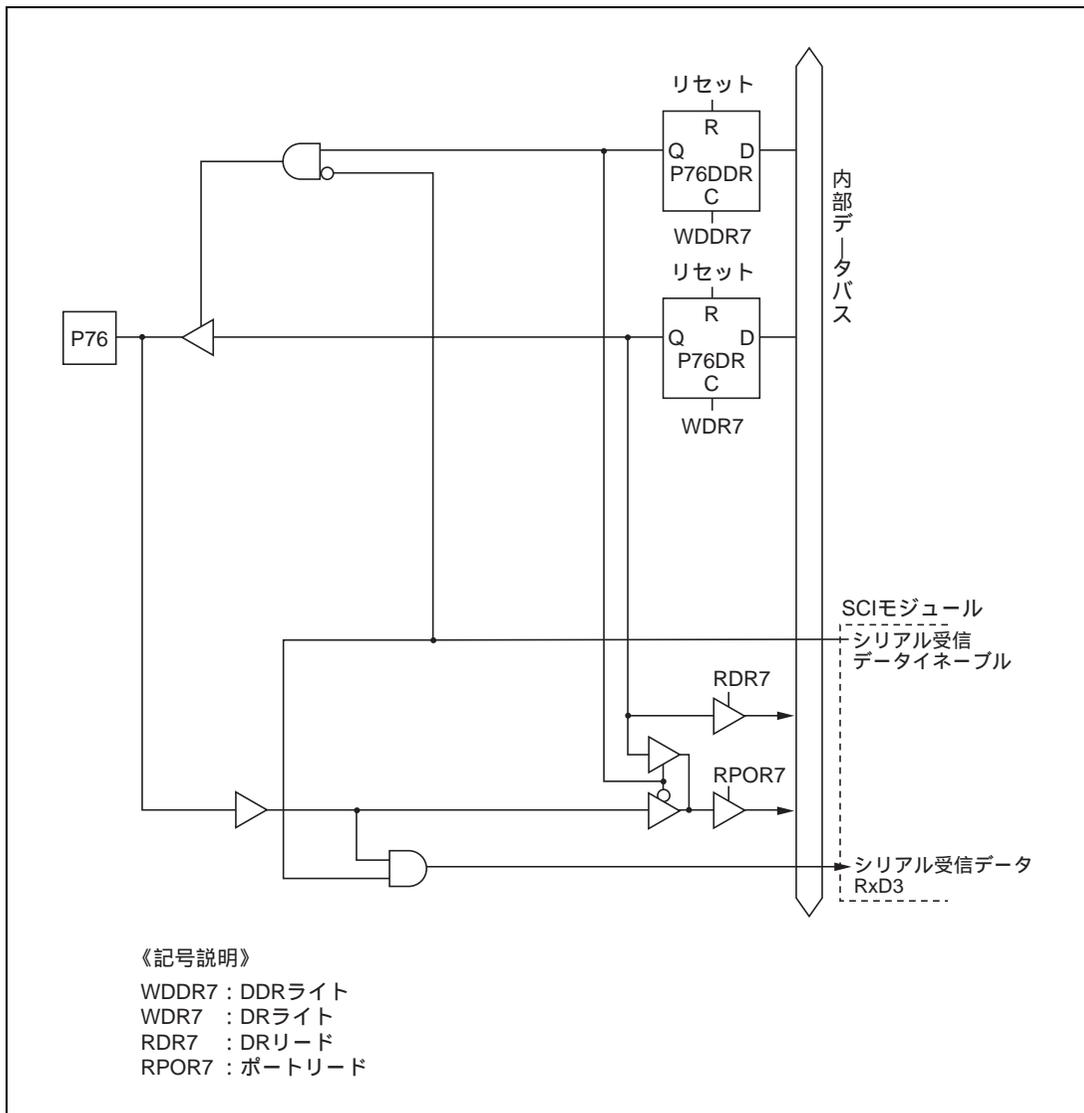


図 C.4 (f) ポート7 ブロック図 (P76 端子)

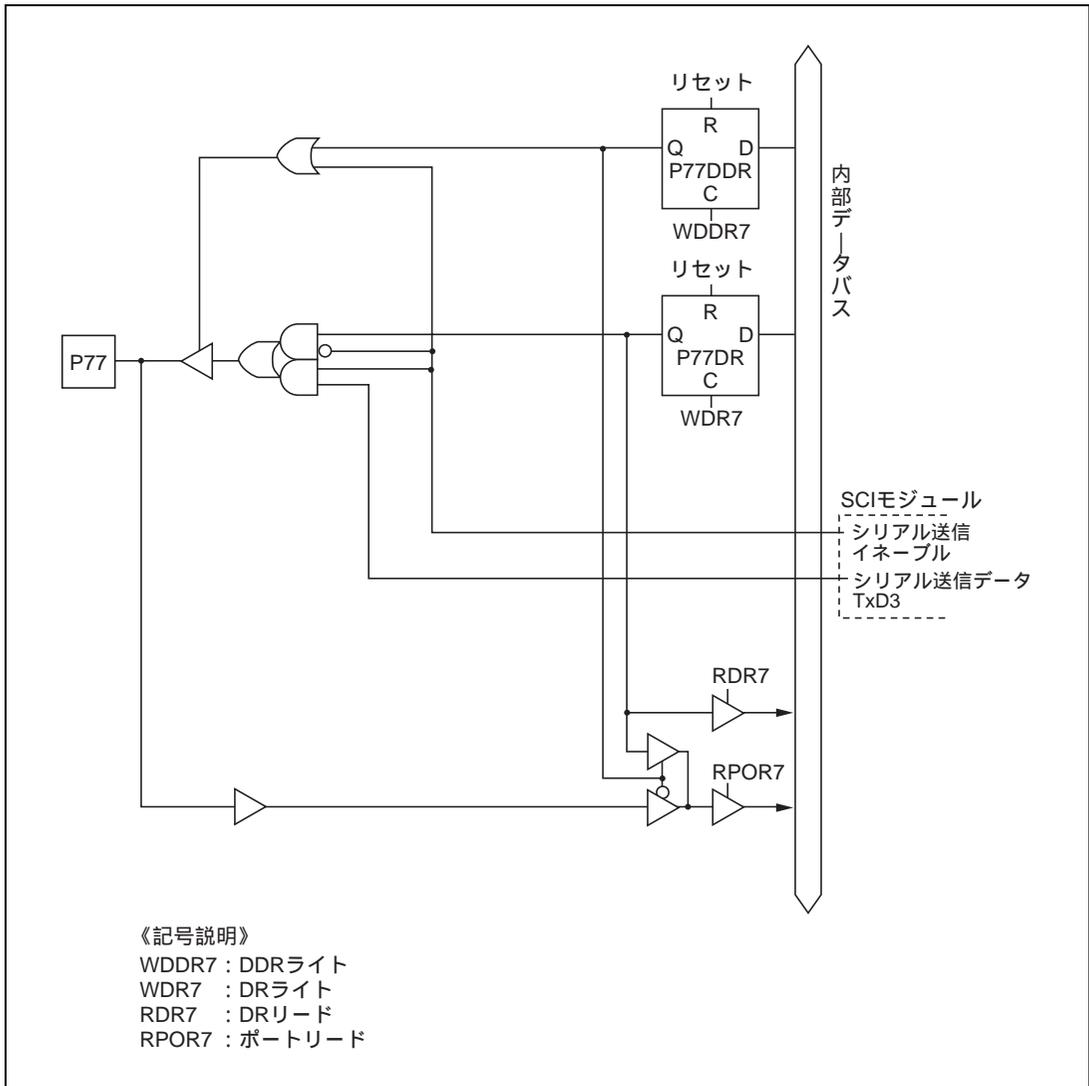


図 C.4 (g) ポート 7 ブロック図 (P77 端子)

C.5 ポート 9 ブロック図

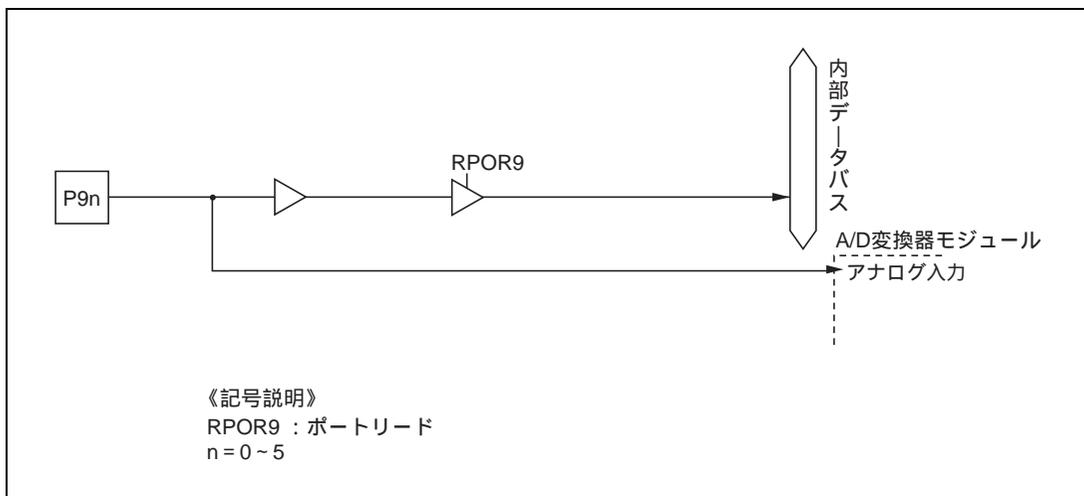


図 C.5 (a) ポート 9 ブロック図 (P90 ~ P95 端子)

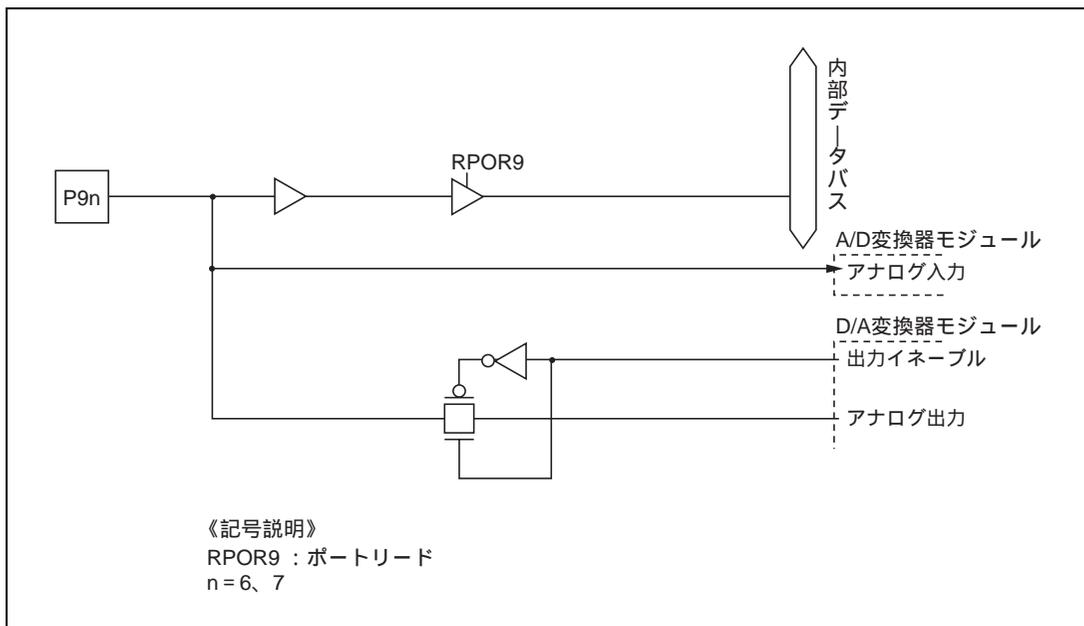


図 C.5 (b) ポート 9 ブロック図 (P96、P97 端子)

C.6 ポート A ブロック図

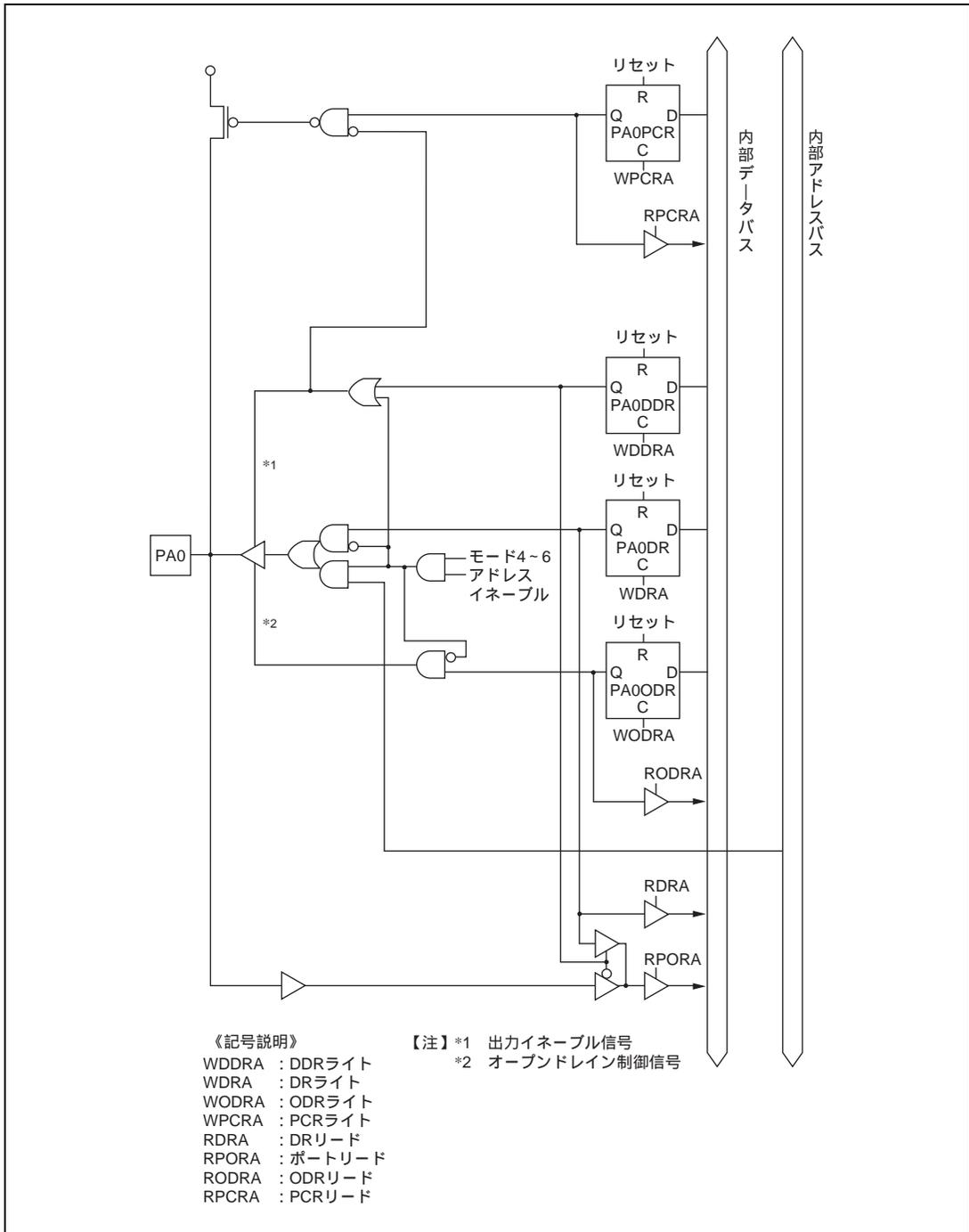


図 C.6 (a) ポート A ブロック図 (PA0 端子)

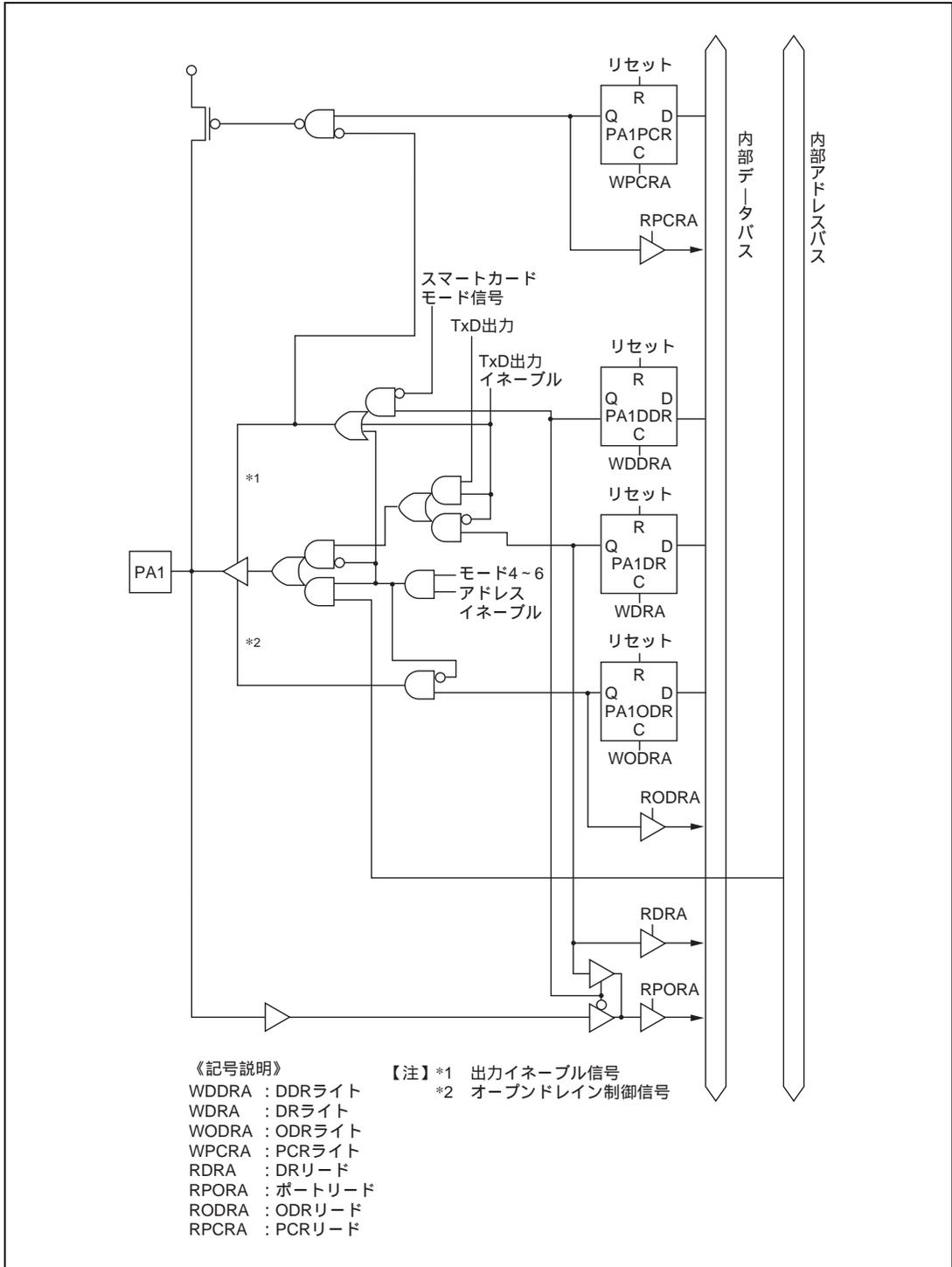


図 C.6 (b) ポート A ブロック図 (PA1 端子)

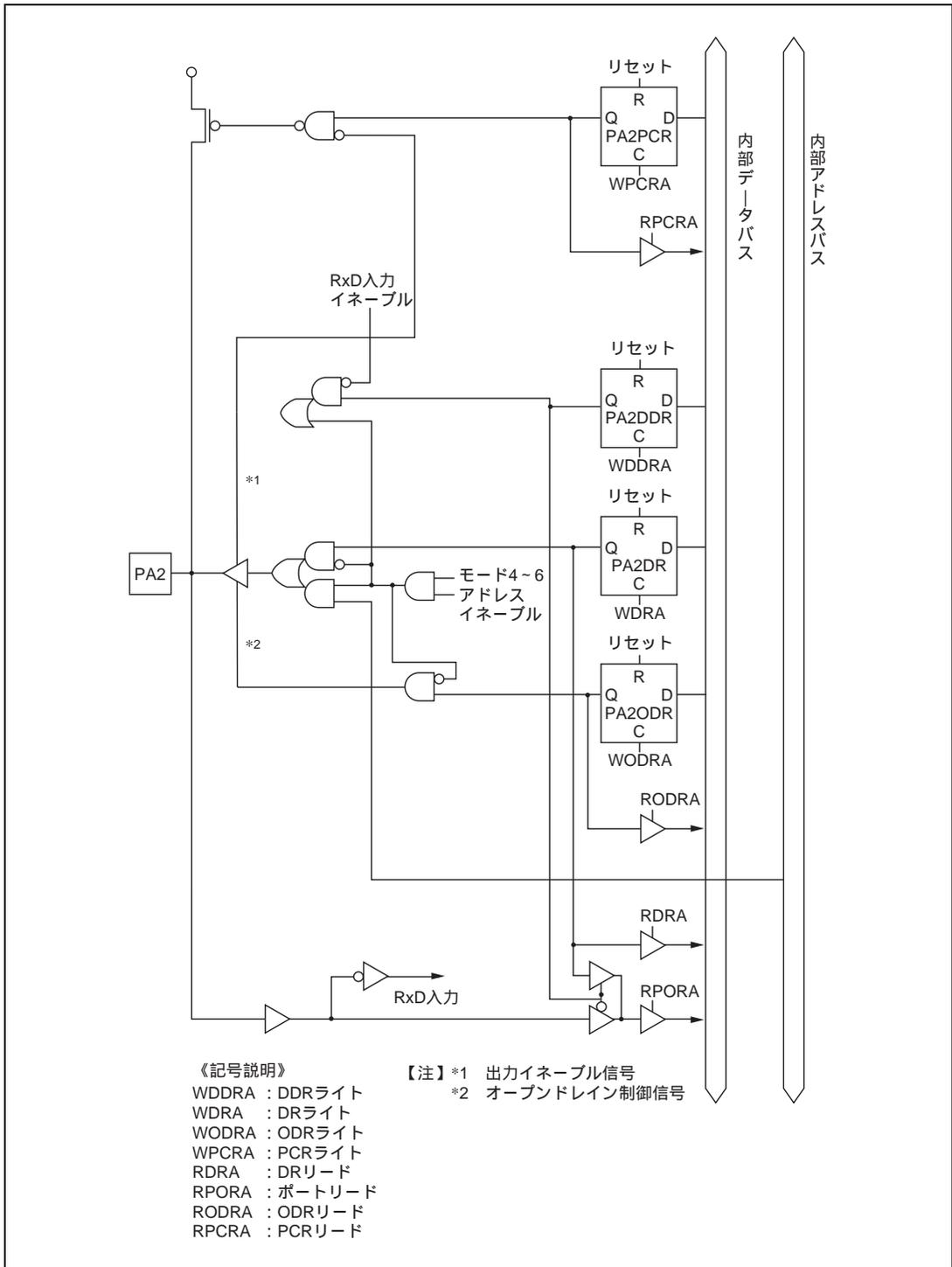


図 C.6 (c) ポート A ブロック図 (PA2 端子)

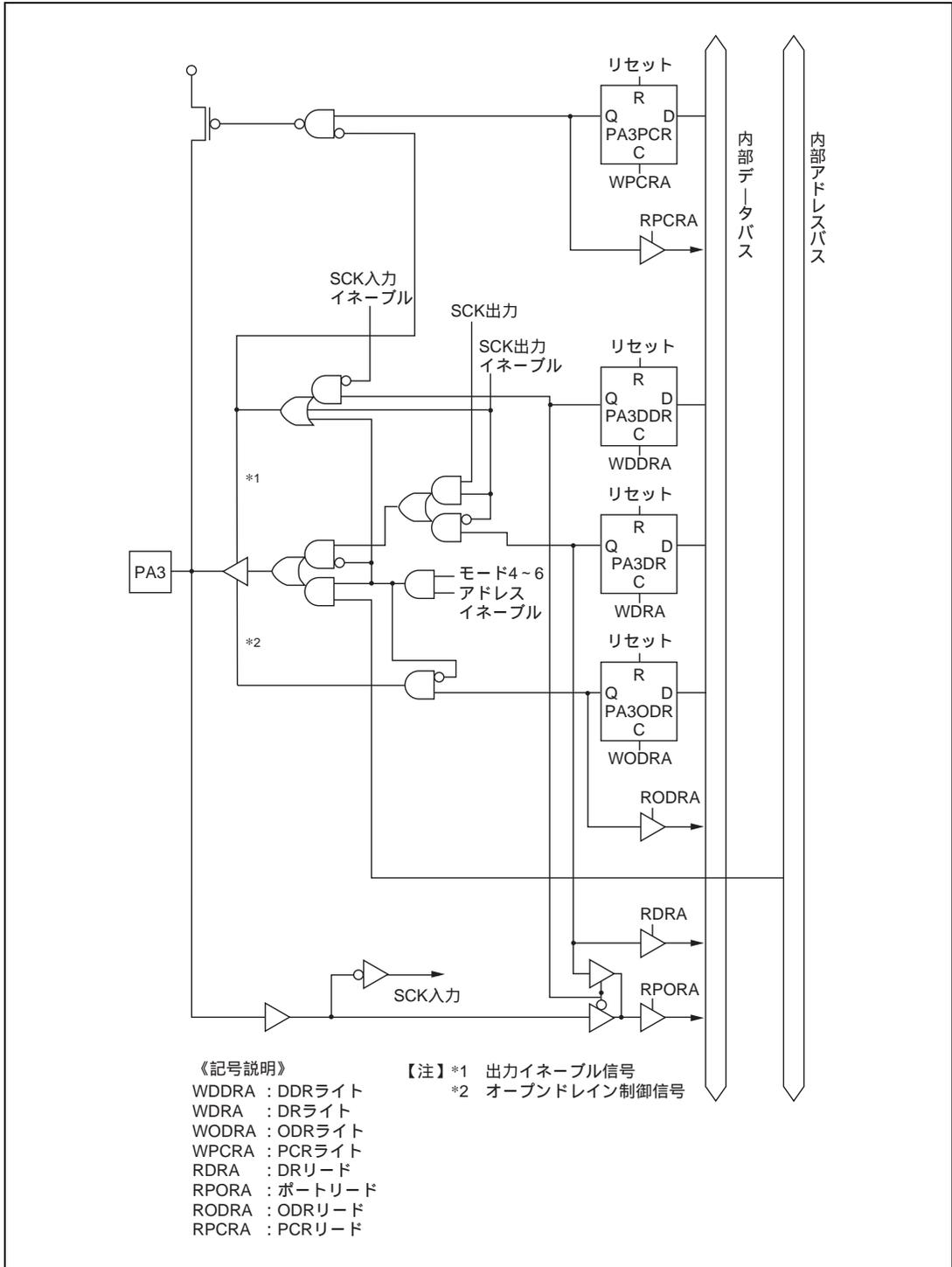


図 C.6 (d) ポート A ブロック図 (PA3 端子)

C.7 ポート B ブロック図

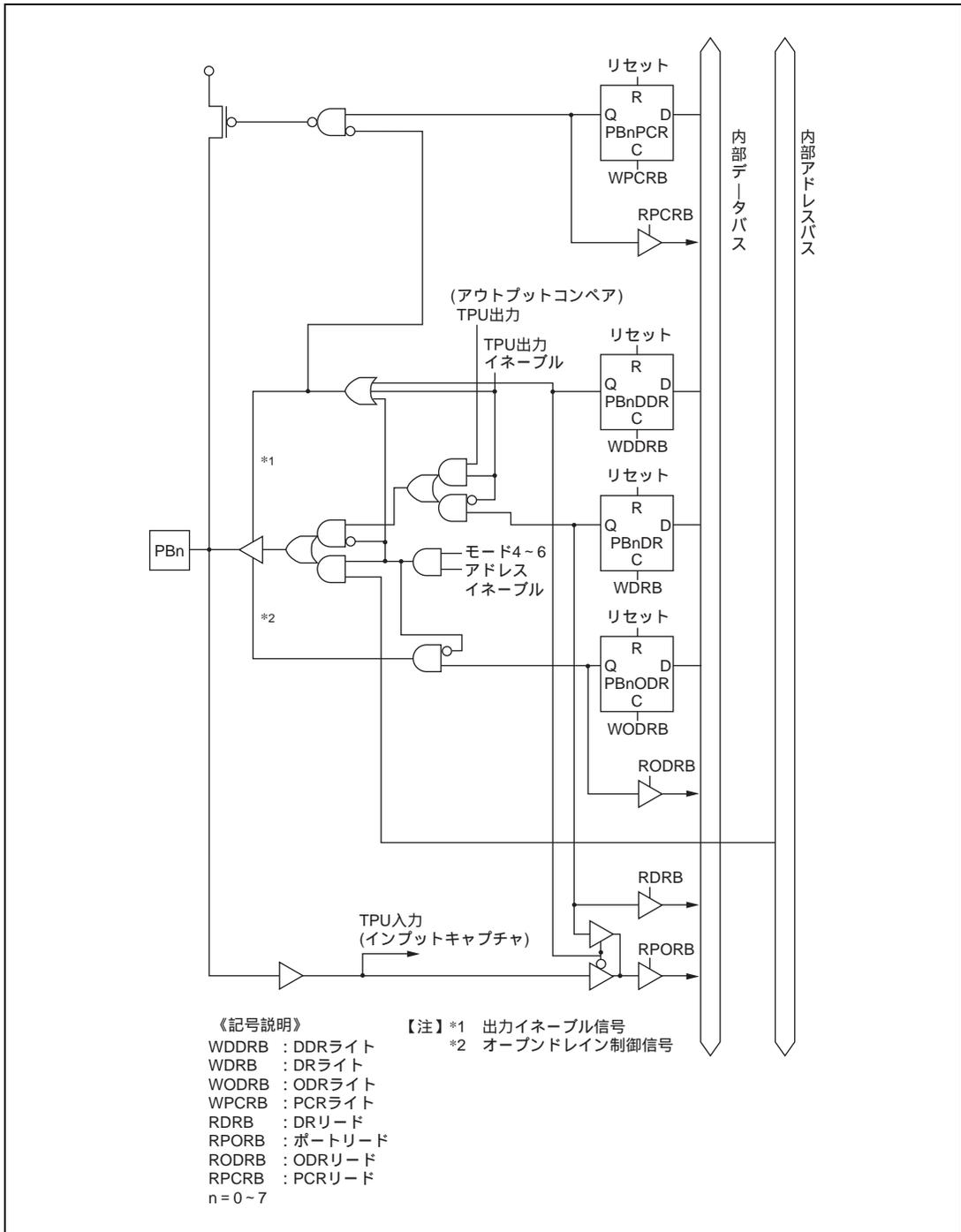


図 C.7 ポート B ブロック図 (PB0 ~ PB7 端子)

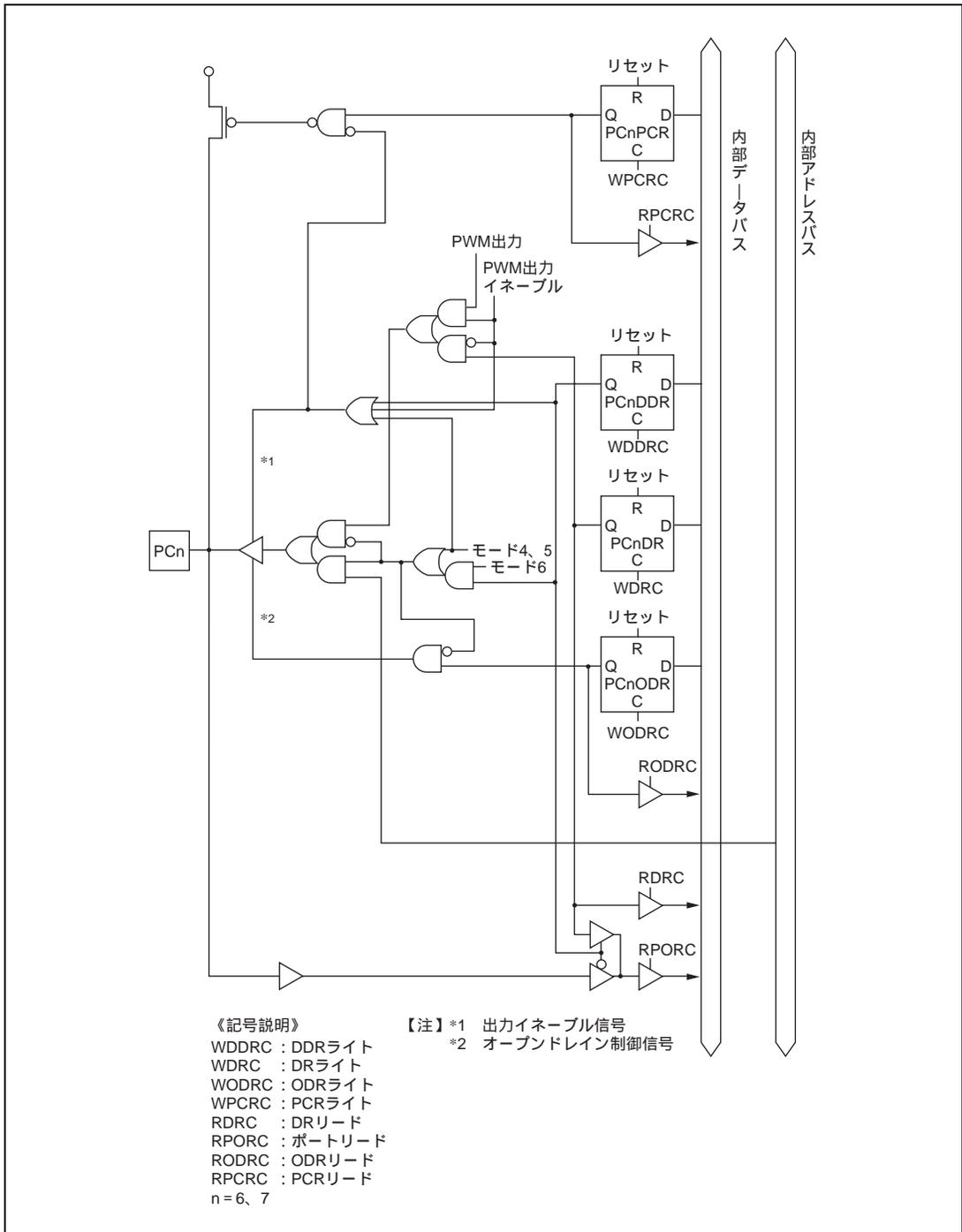


図 C.8 (b) ポート C ブロック図 (PC6、PC7 端子)

C.9 ポートDブロック図

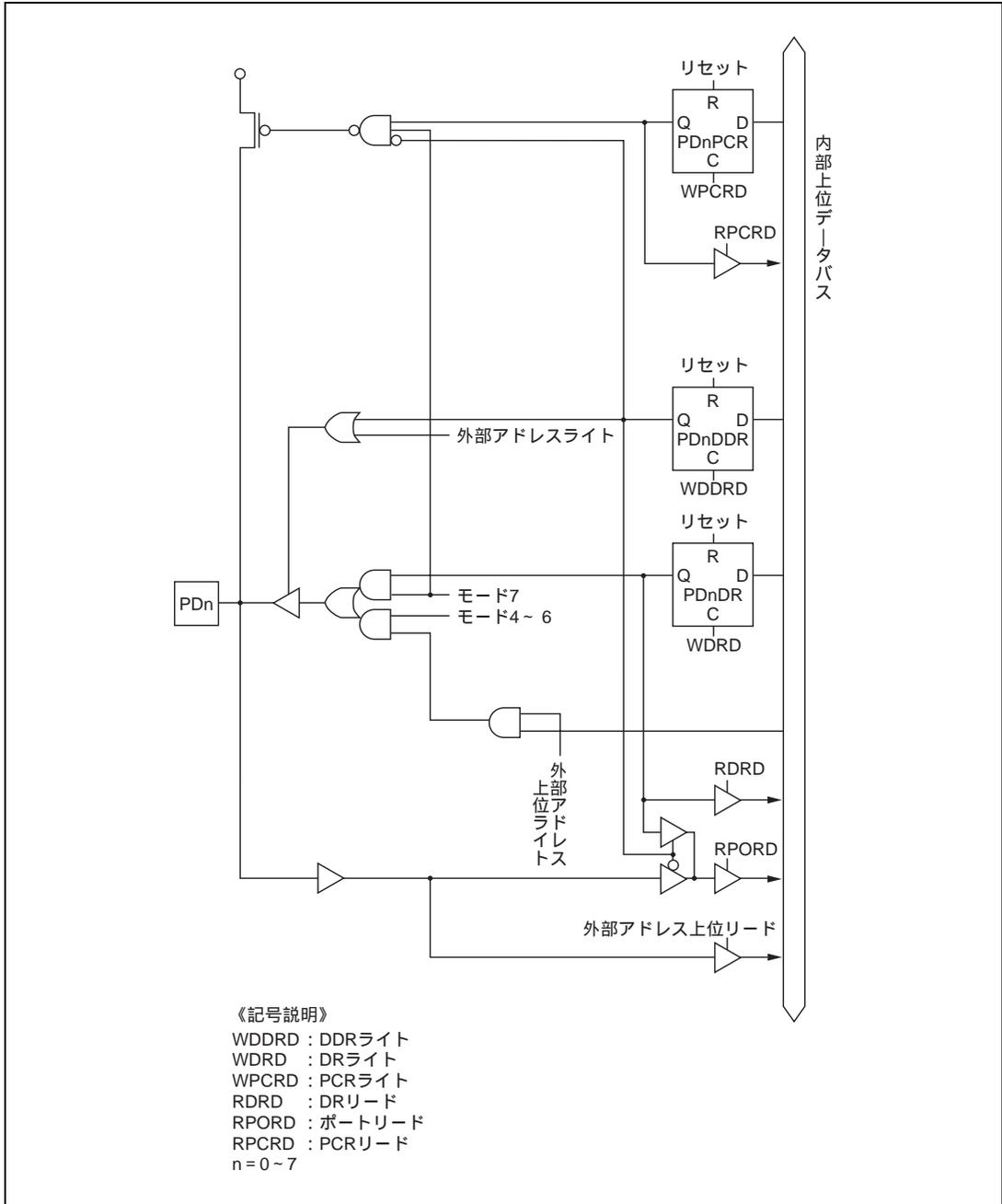


図 C.9 ポートDブロック図 (PD0~PD7 端子)

C.10 ポートEブロック図

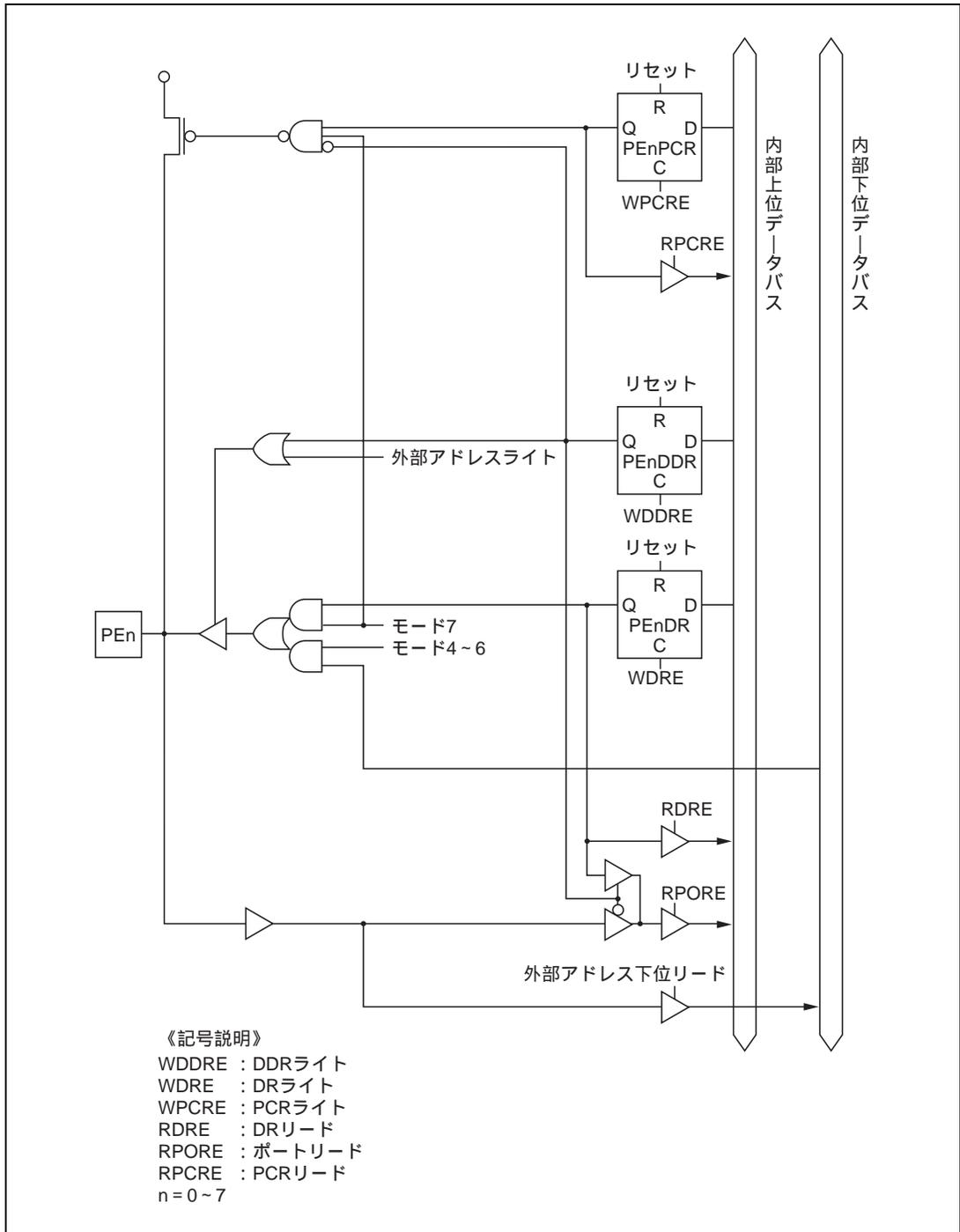


図 C.10 ポートEブロック図 (PE0~PE7 端子)

C.11 ポートFブロック図

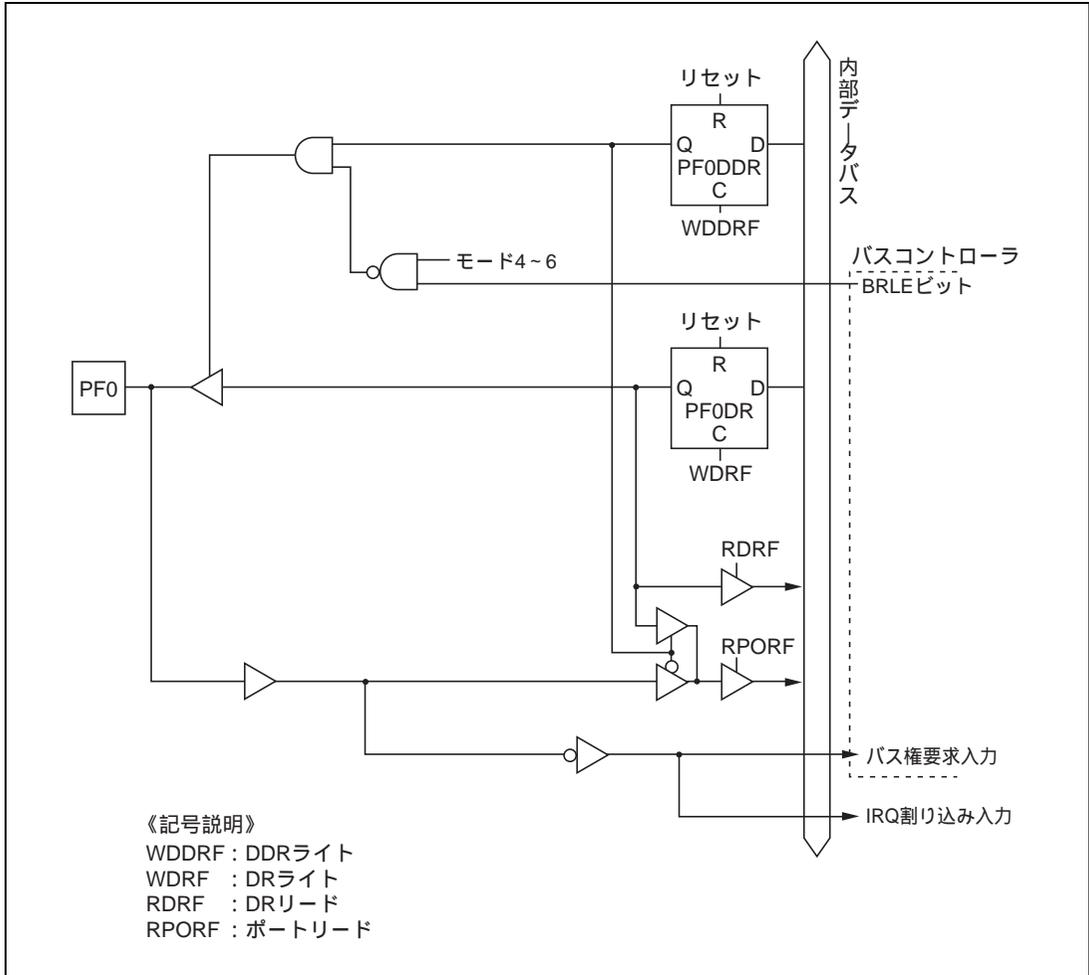


図 C.11 (a) ポートFブロック図 (PF0 端子)

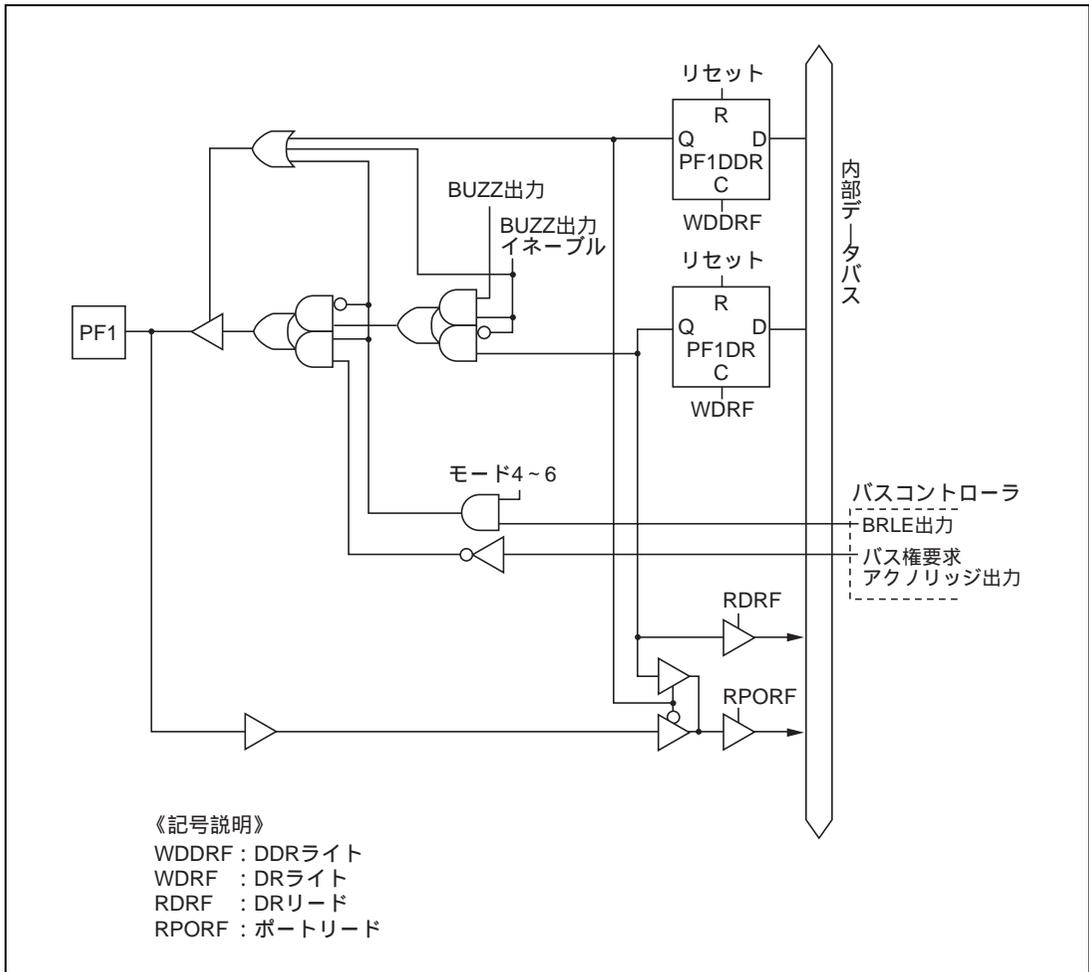


図 C.11 (b) ポート F ブロック図 (PF1 端子)

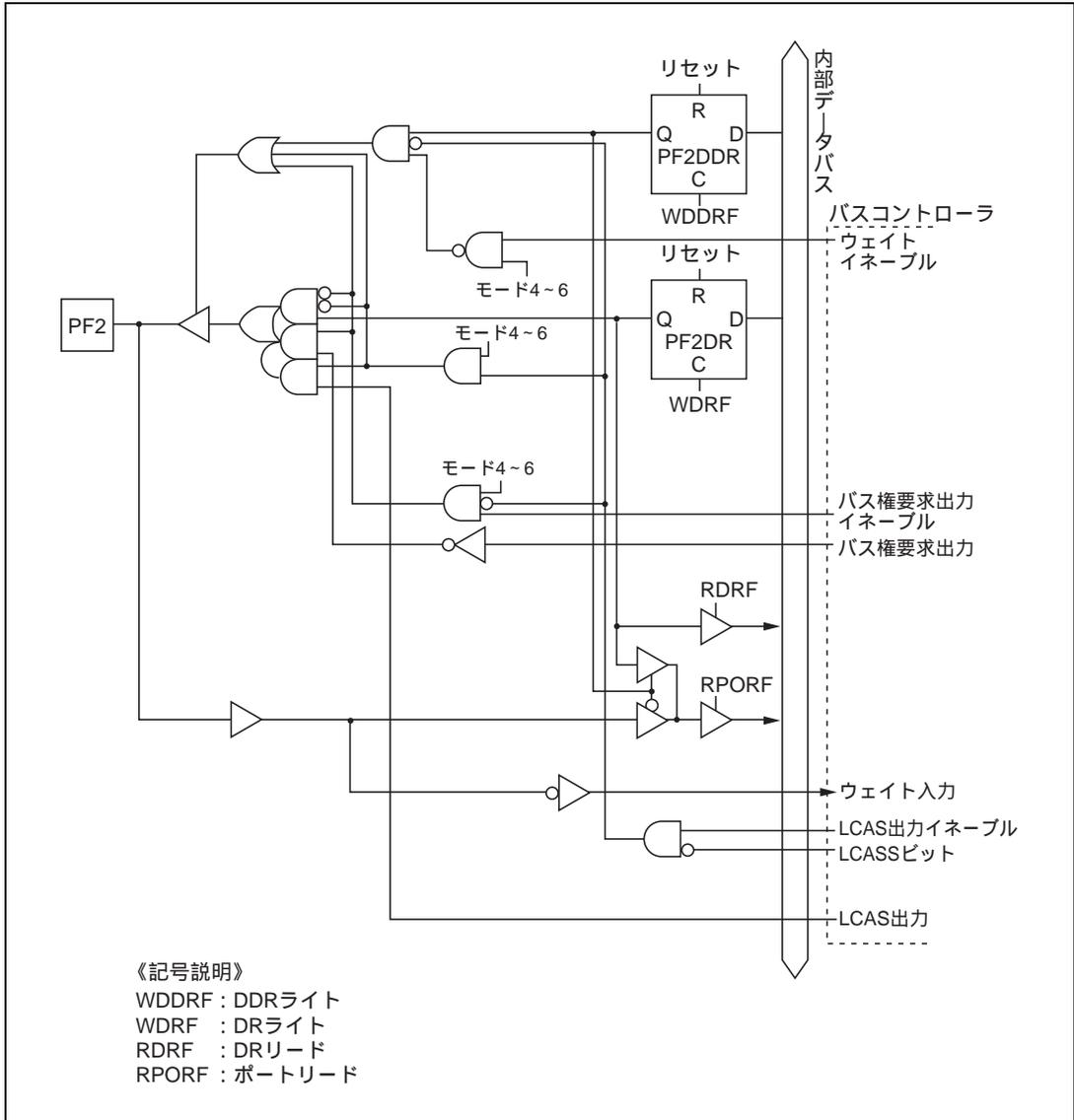


図 C.11 (c) ポート F ブロック図 (PF2 端子)

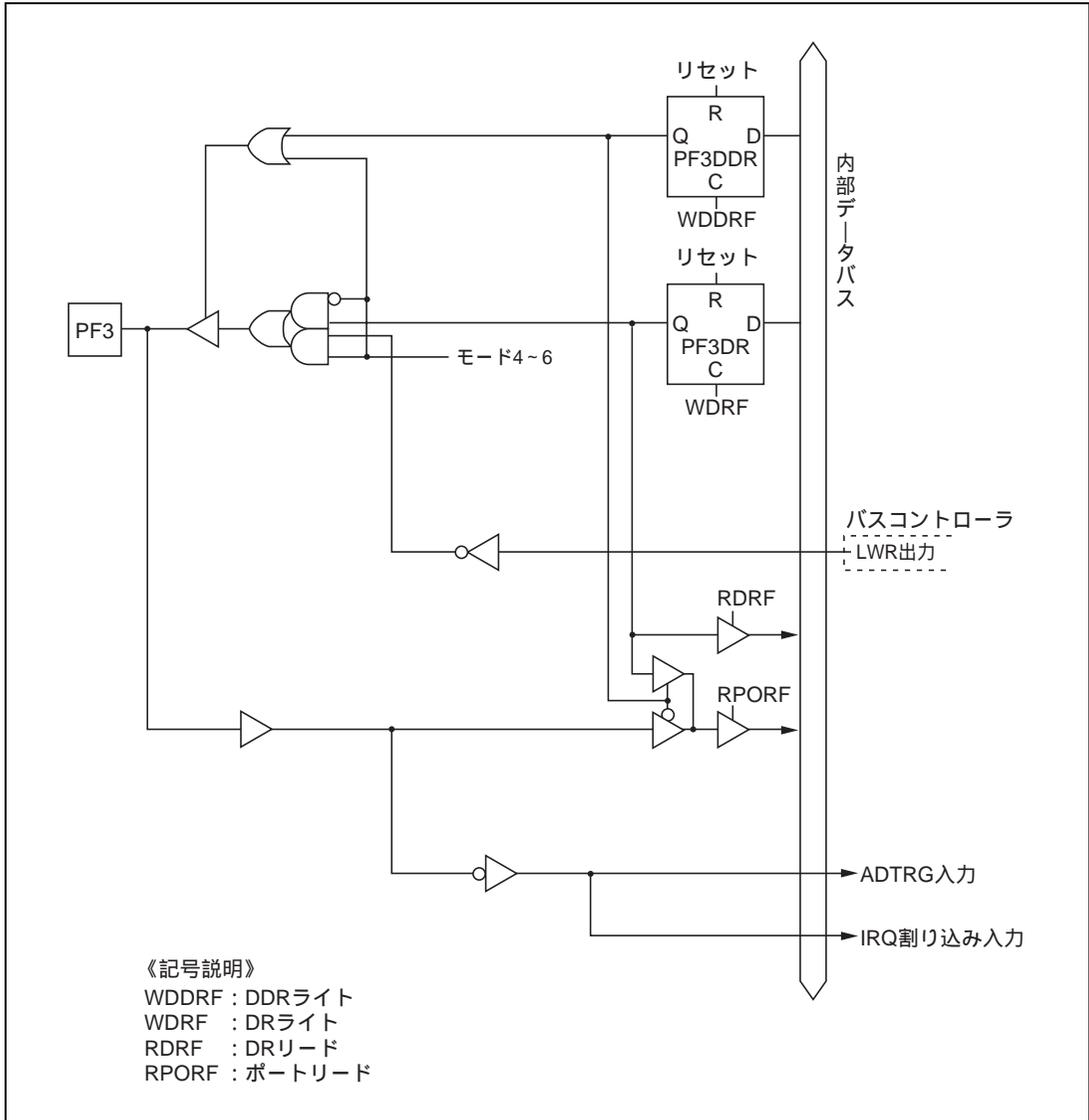


図 C.11 (d) ポート F ブロック図 (PF3 端子)

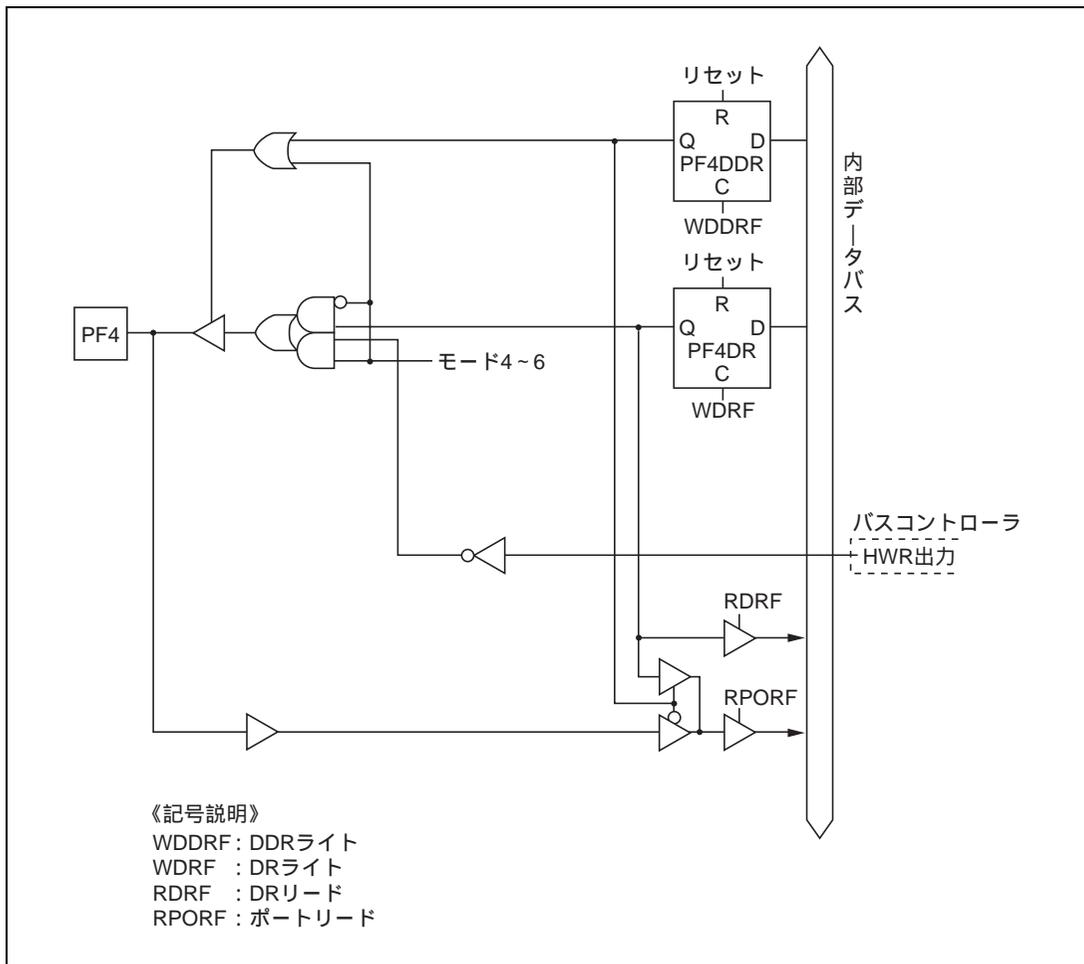


図 C.11 (e) ポート F ブロック図 (PF4 端子)

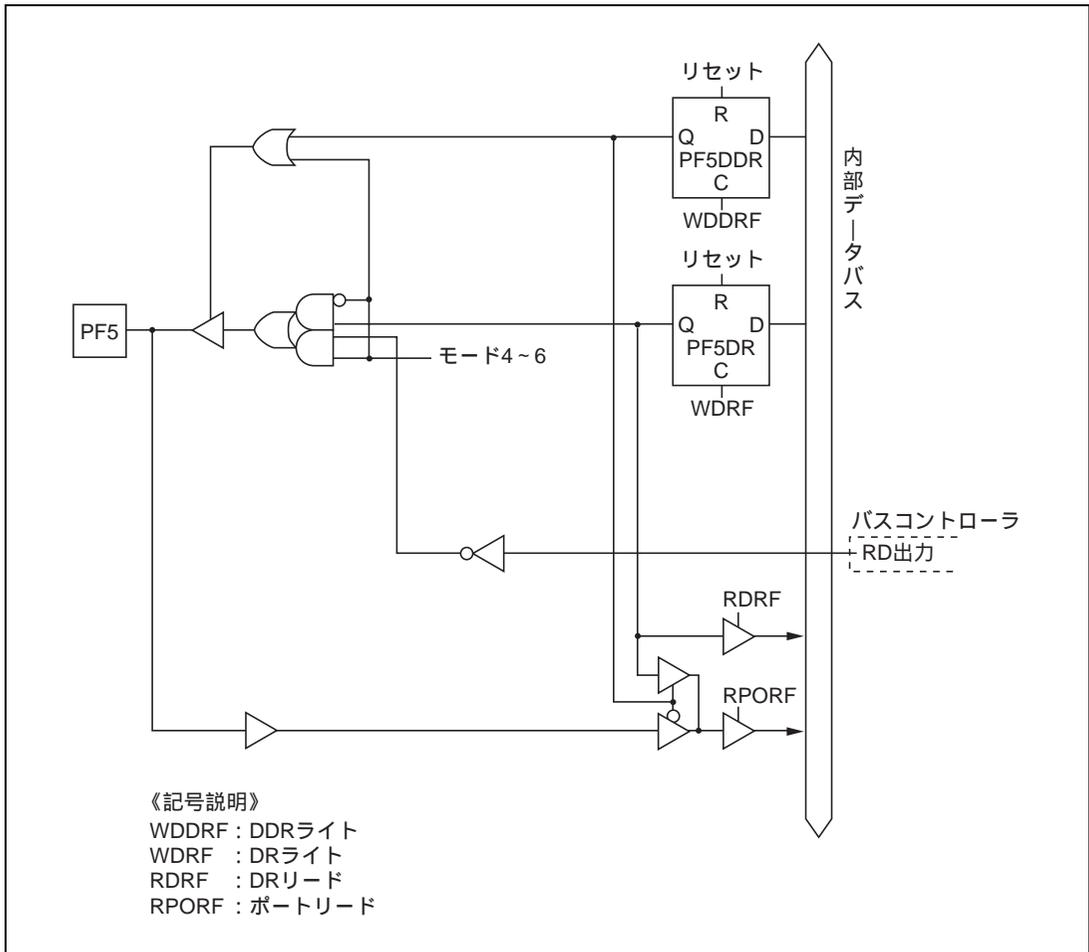


図 C.11 (f) ポート F ブロック図 (PF5 端子)

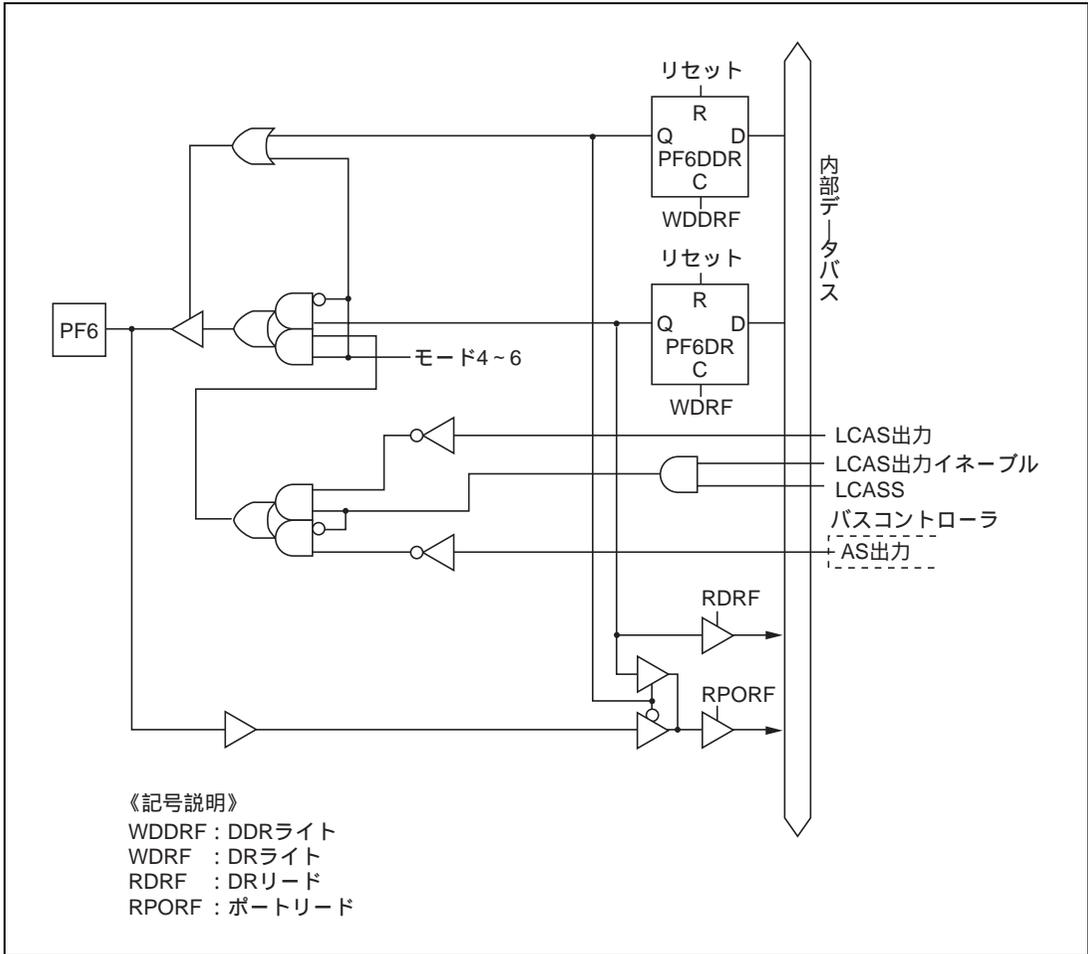


図 C.11 (g) ポート F ブロック図 (PF6 端子)

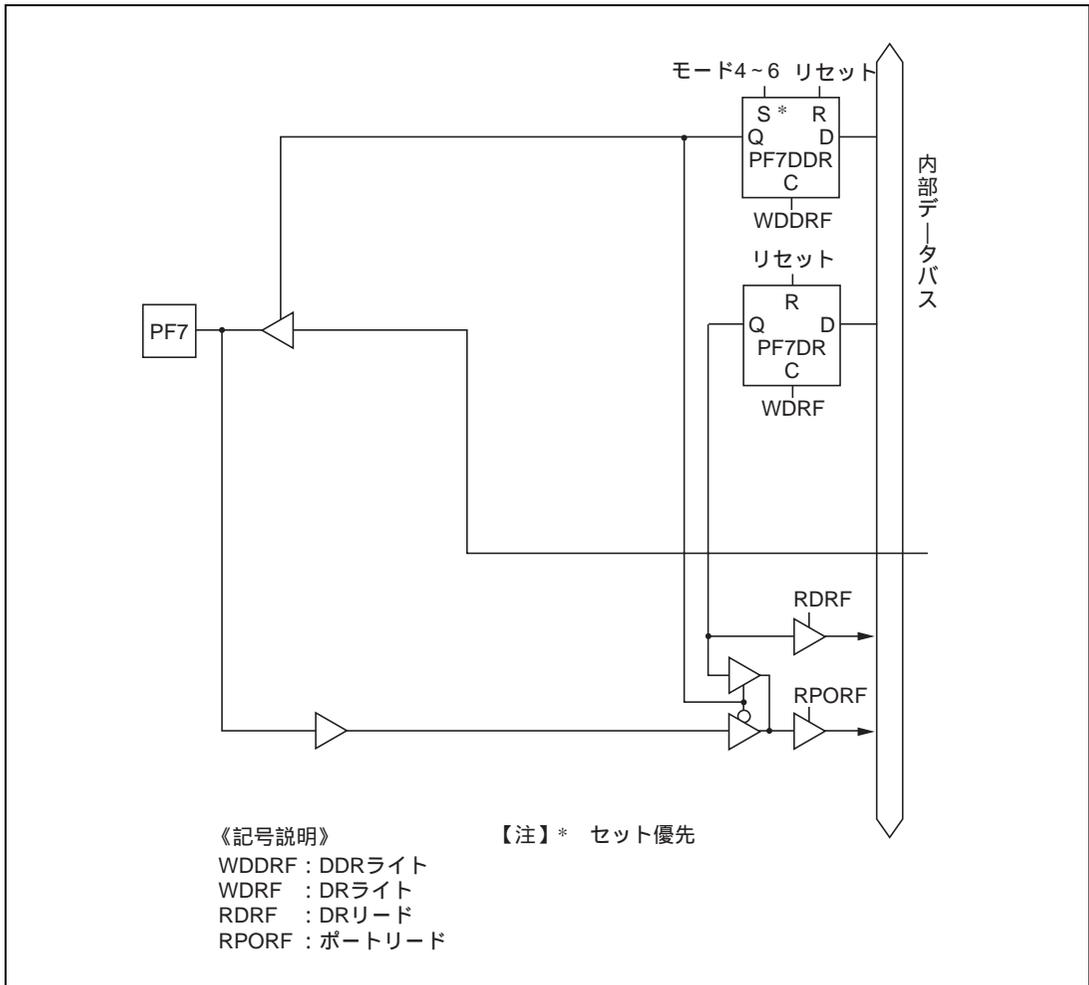


図 C.11 (h) ポート F ブロック図 (PF7 端子)

C.12 ポート G ブロック図

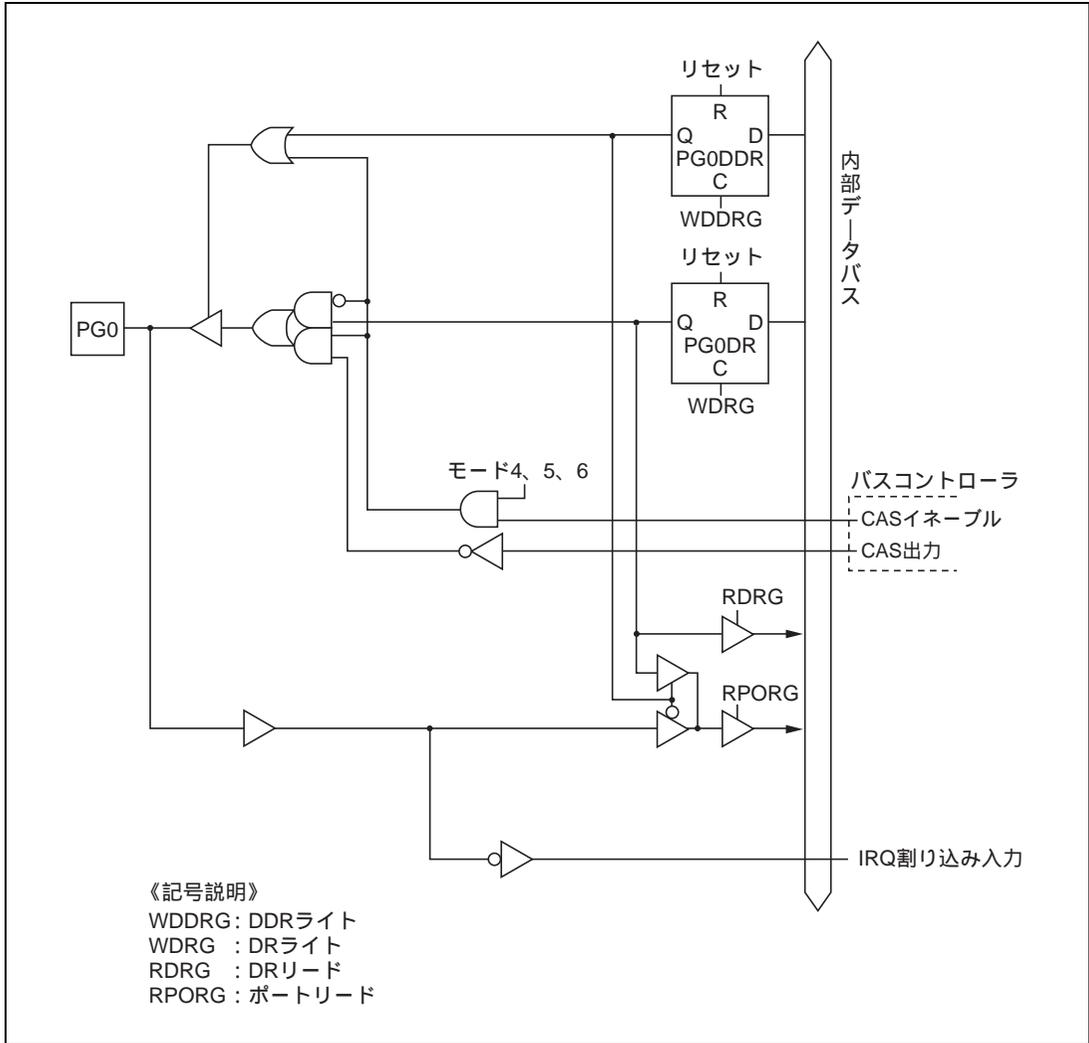


図 C.12 (a) ポート G ブロック図 (PG0 端子)

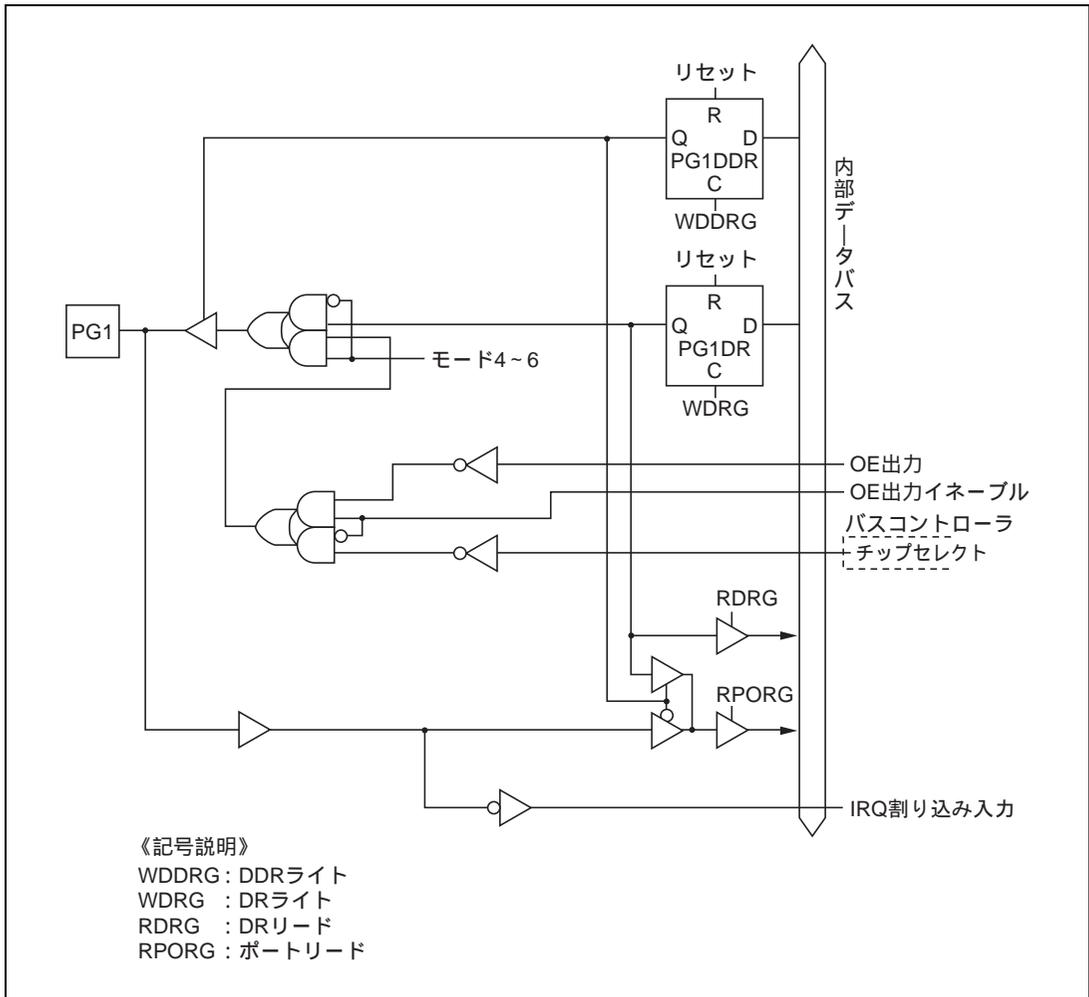


図 C.12 (b) ポート G ブロック図 (PG1 端子)

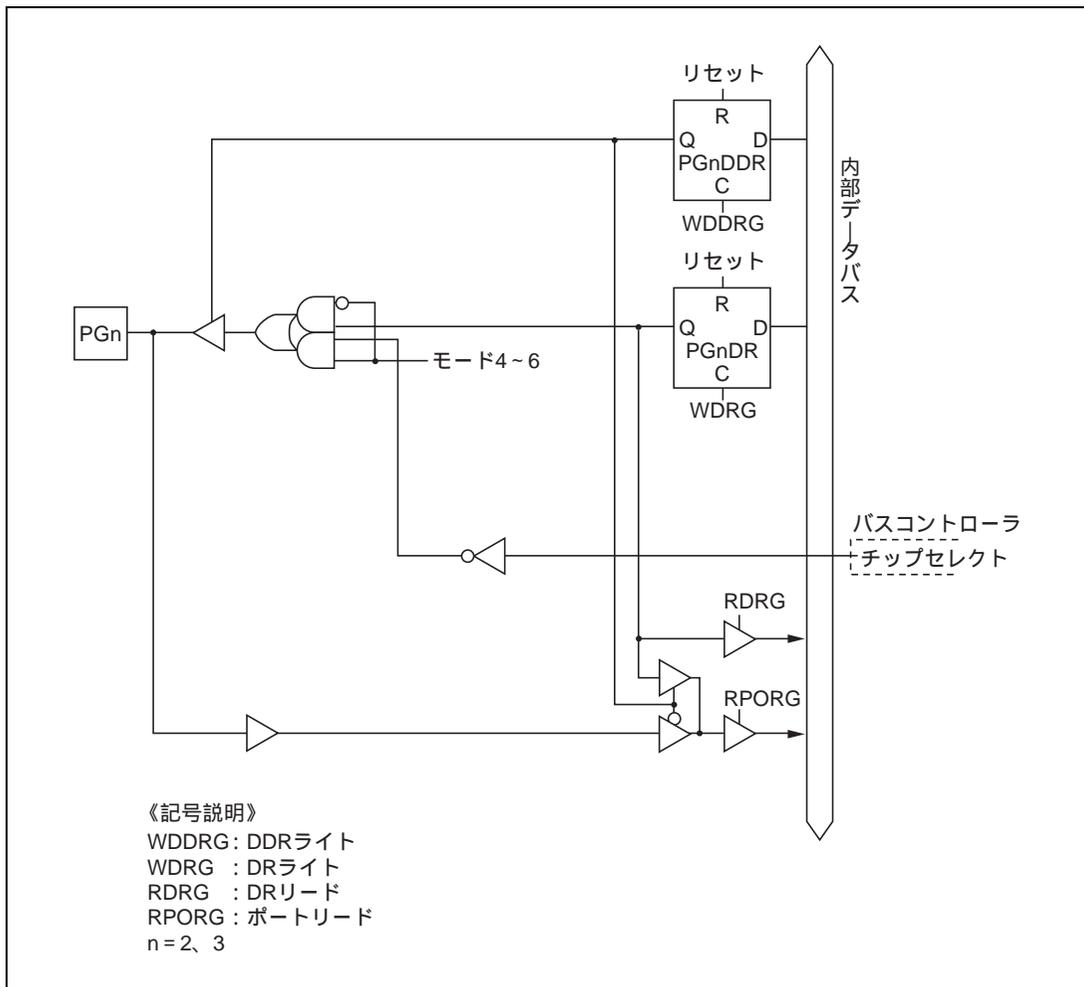


図 C.12 (c) ポート G ブロック図 (PG2、PG3 端子)

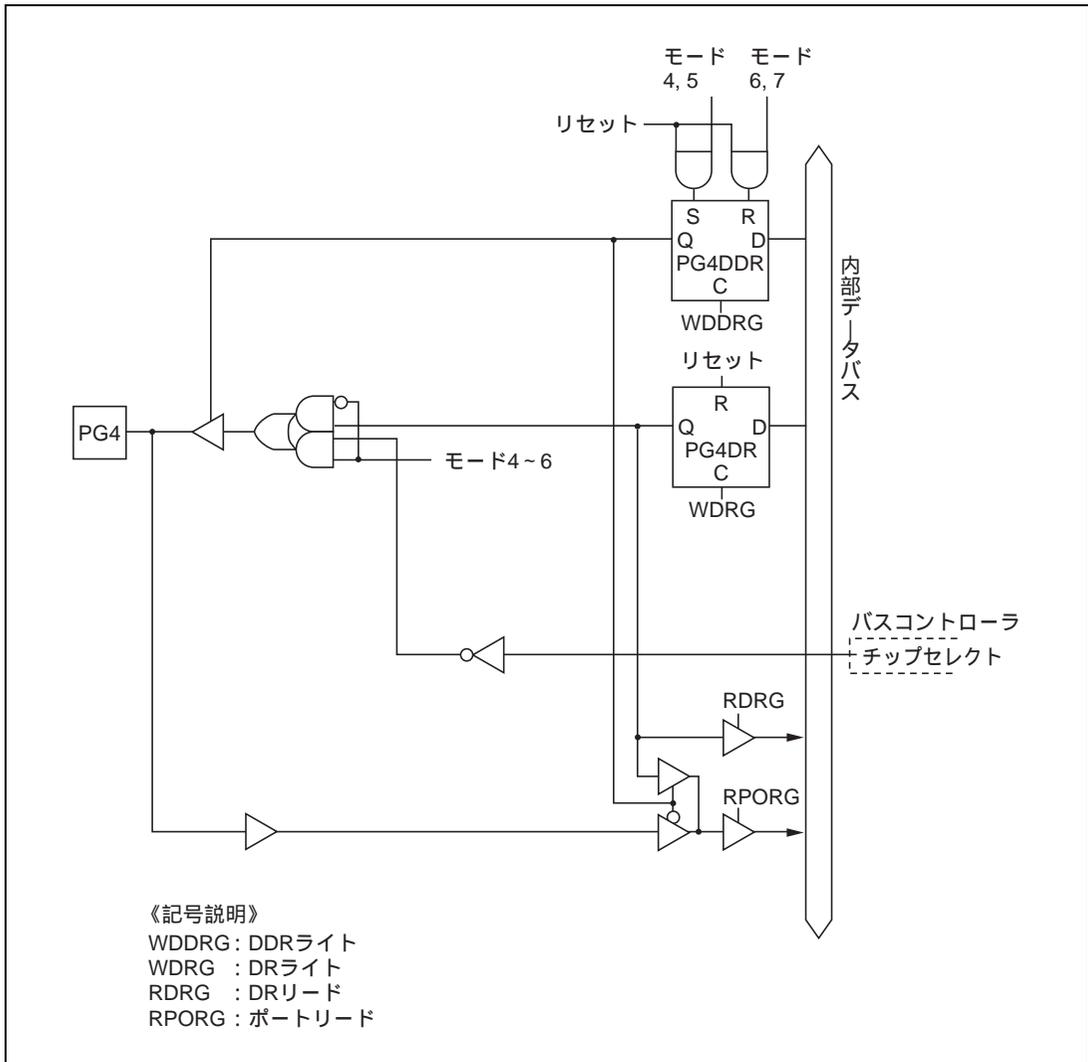


図 C.12 (d) ポート G ブロック図 (PG4 端子)

C.13 ポート 1 ブロック図

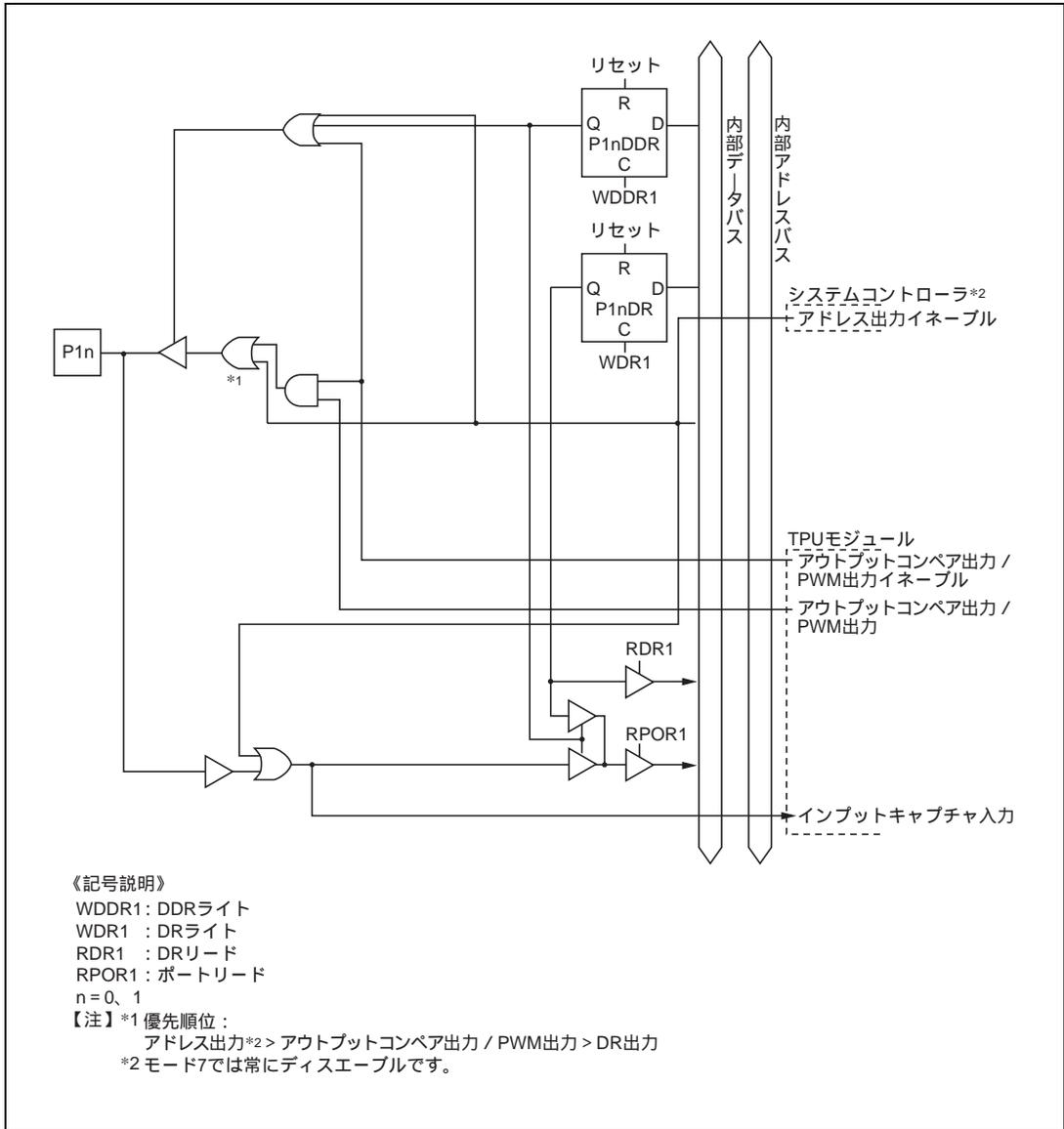


図 C.13 (a) ポート 1 ブロック図 (P10、P11 端子)

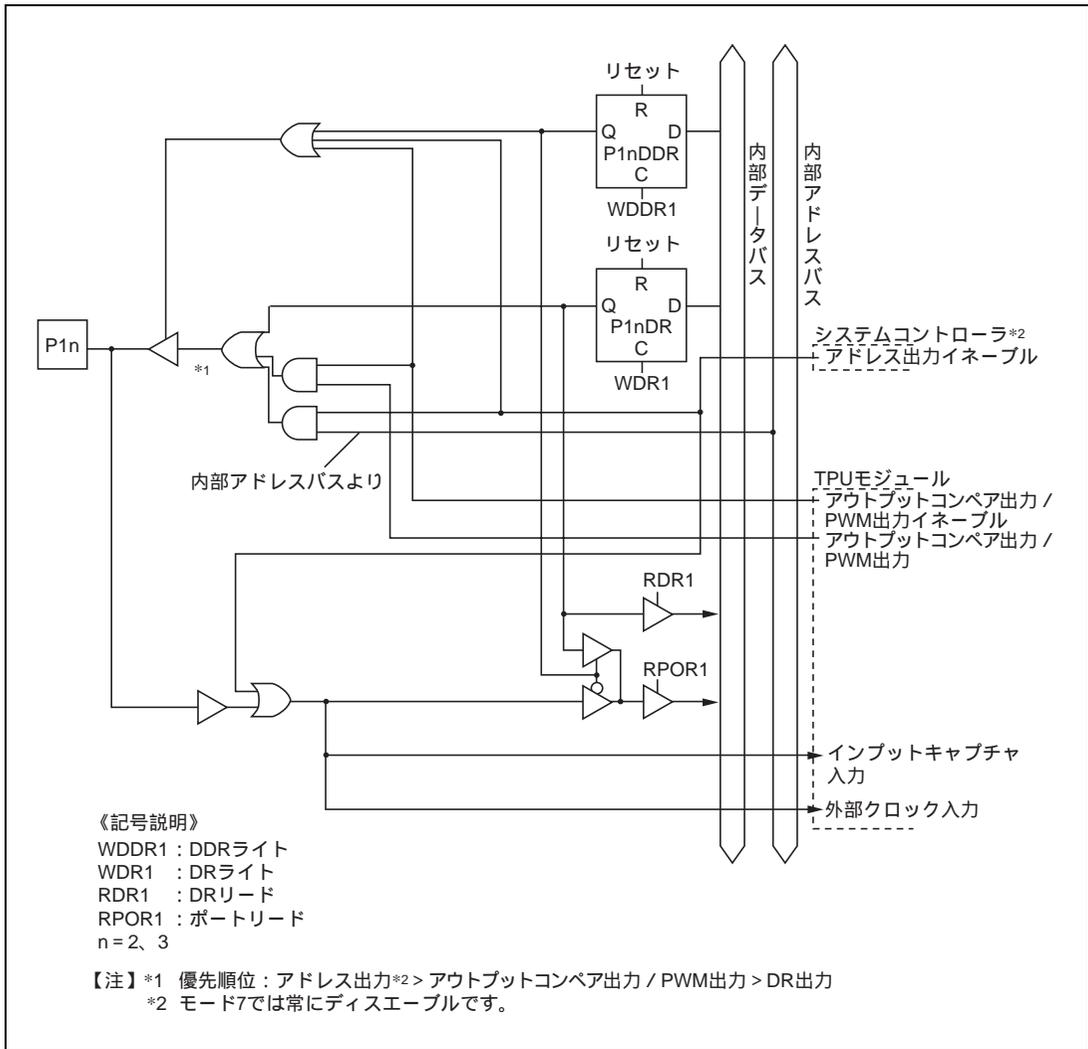


図 C.13 (b) ポート 1 ブロック図 (P12、 P13 端子)

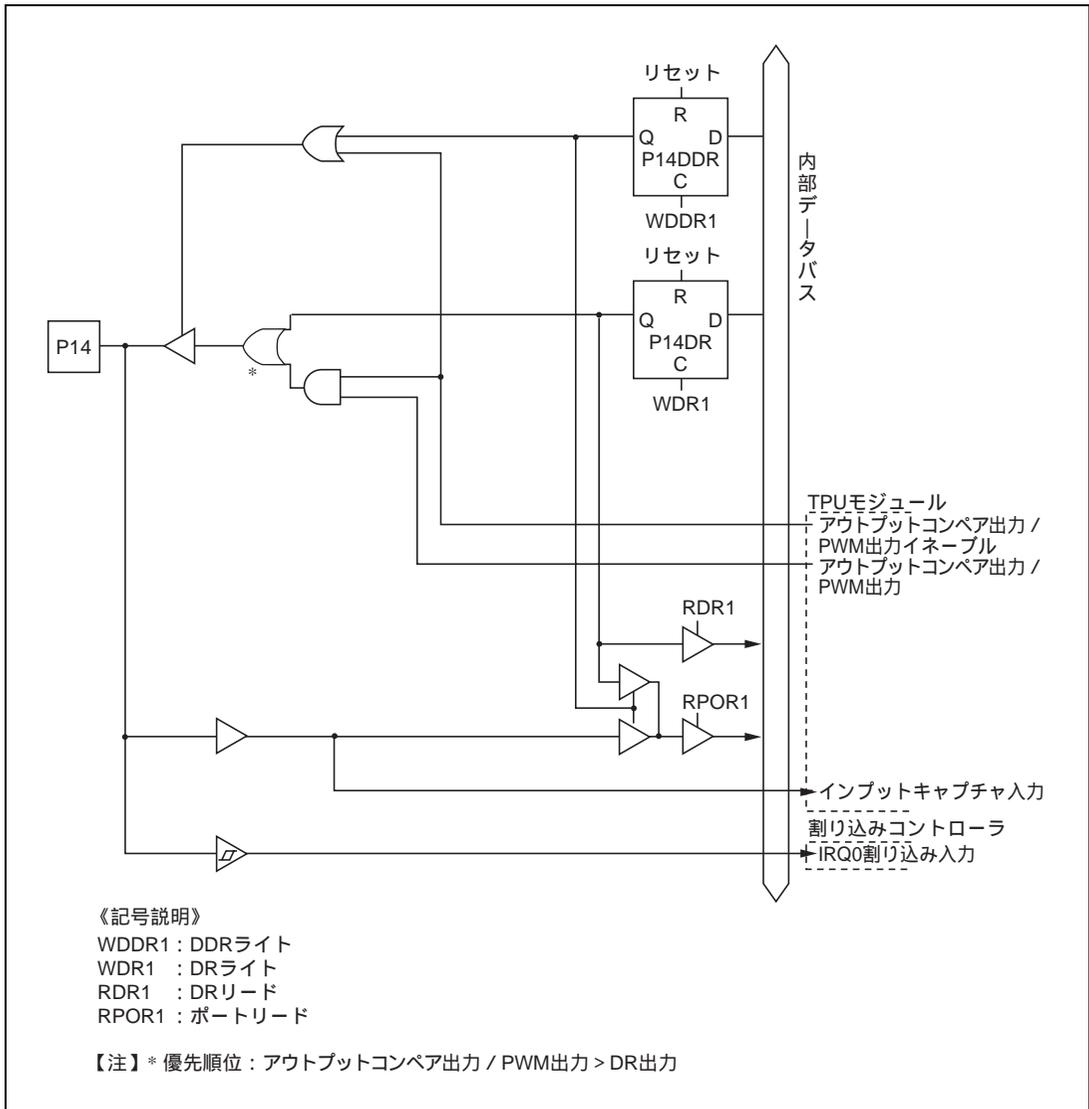


図 C.13 (c) ポート 1 ブロック図 (P14 端子)

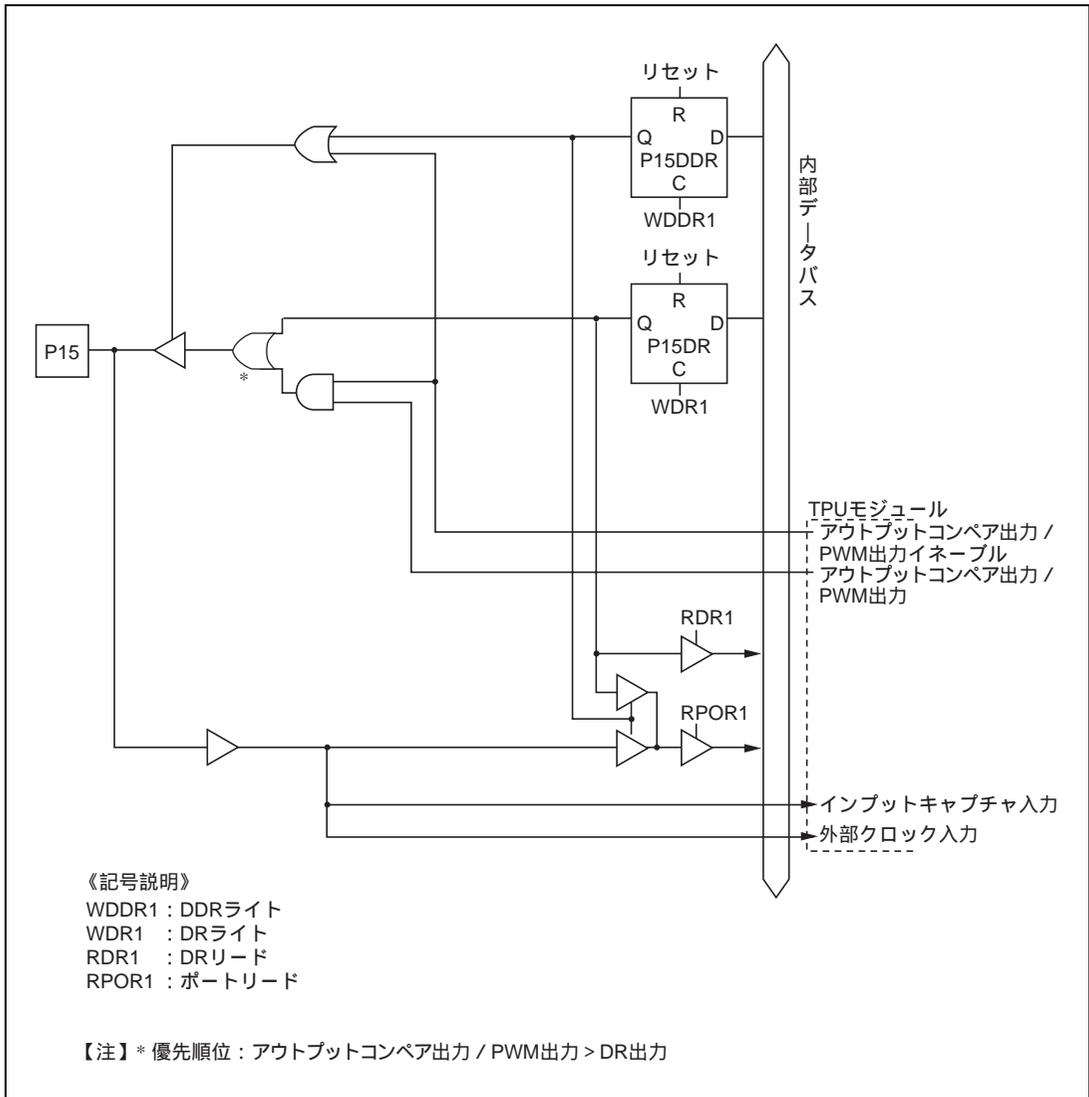


図 C.13 (d) ポート 1 ブロック図 (P15 端子)

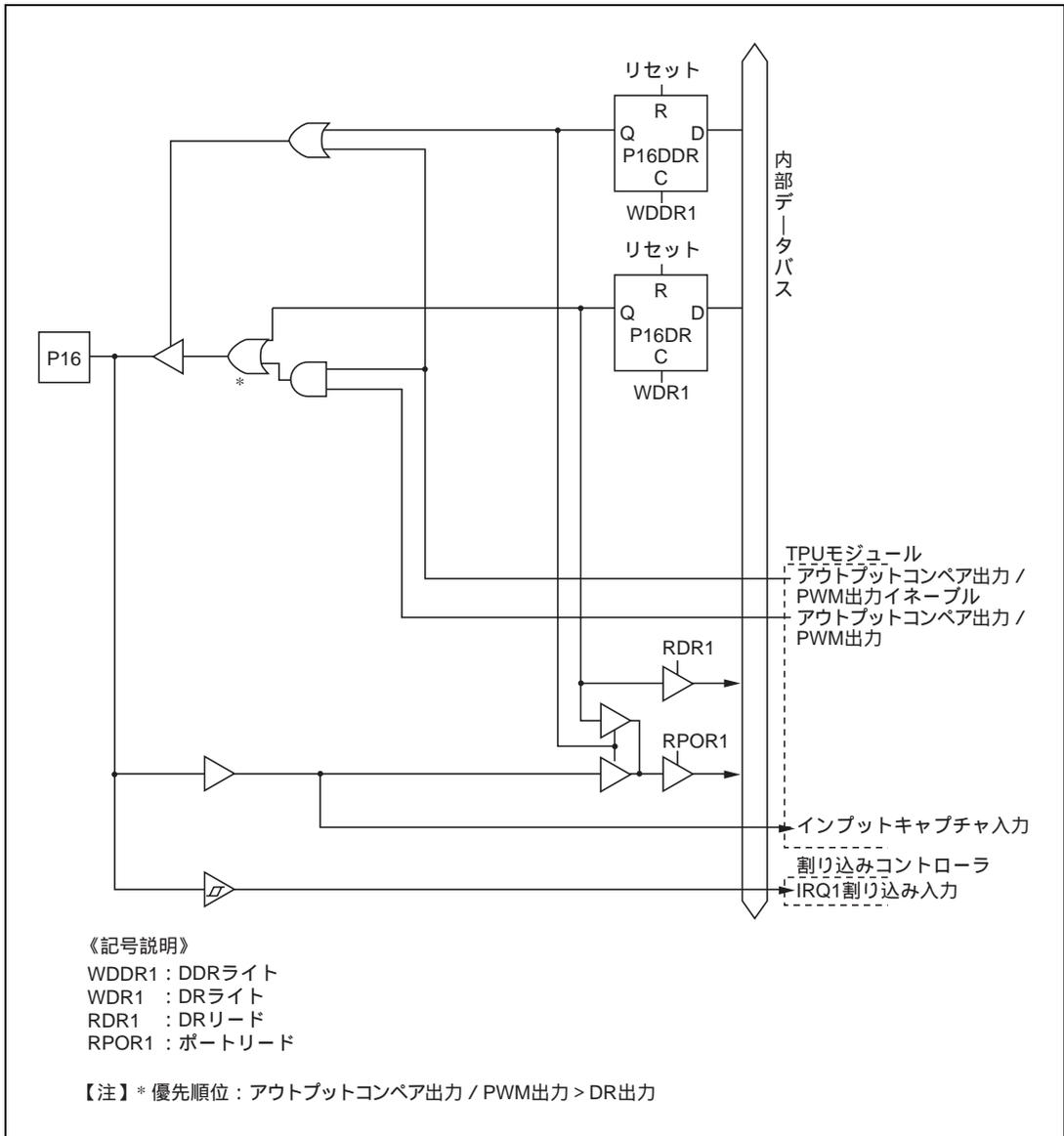


図 C.13 (e) ポート 1 ブロック図 (P16 端子)

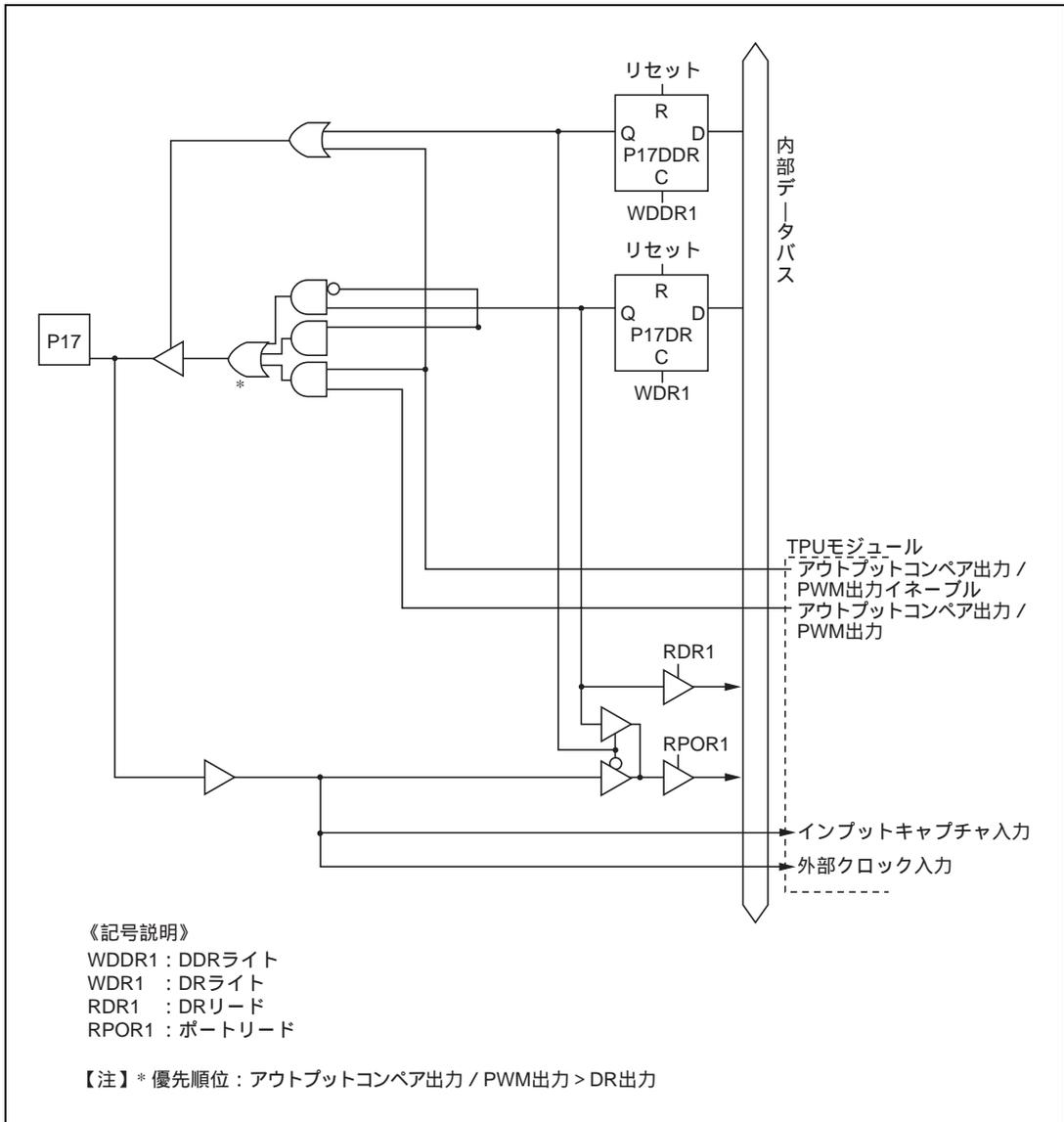


図 C.13 (f) ポート 1 ブロック図 (P17 端子)

C.14 ポート 3 ブロック図

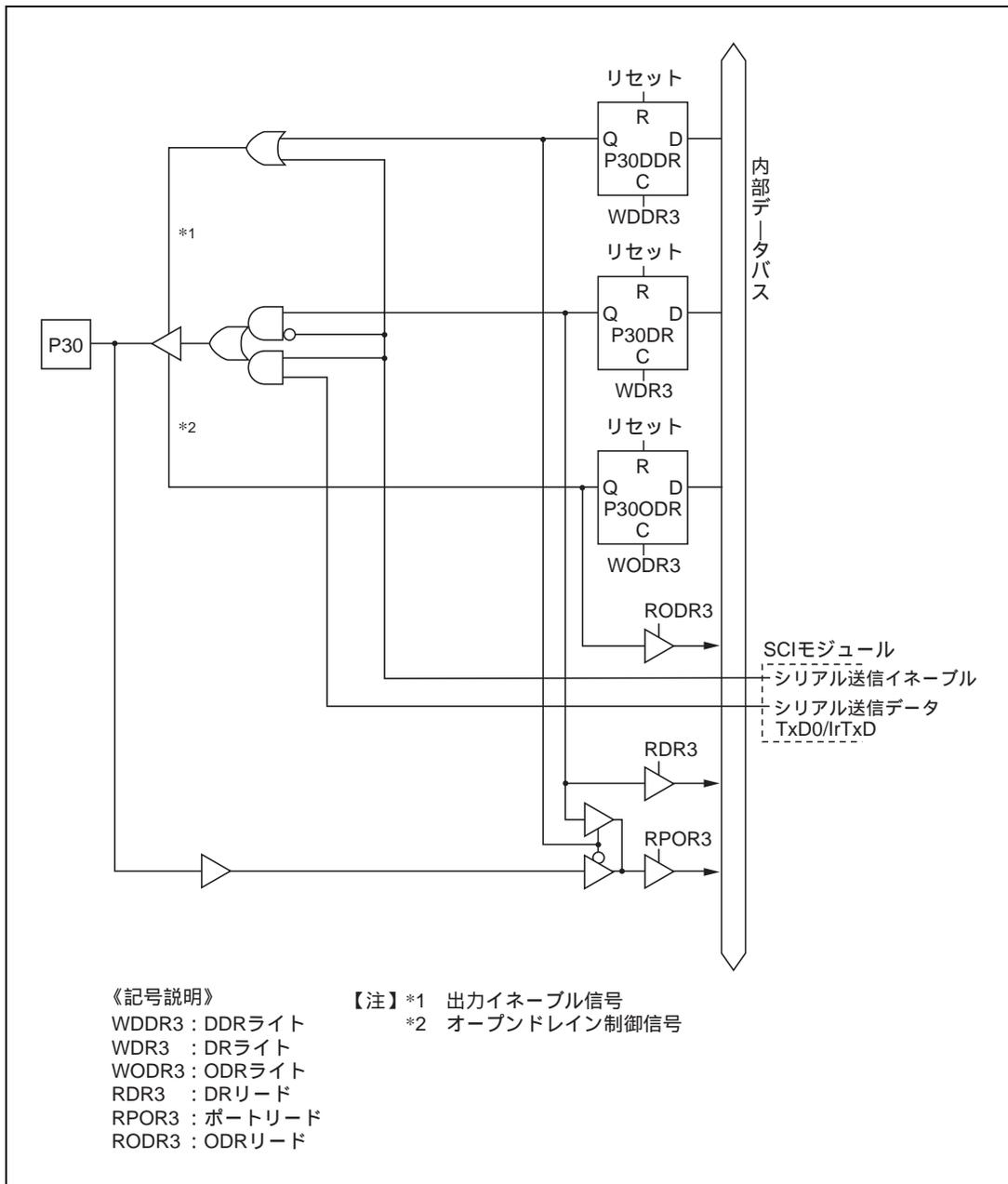


図 C.14 (a) ポート 3 ブロック図 (P30 端子)

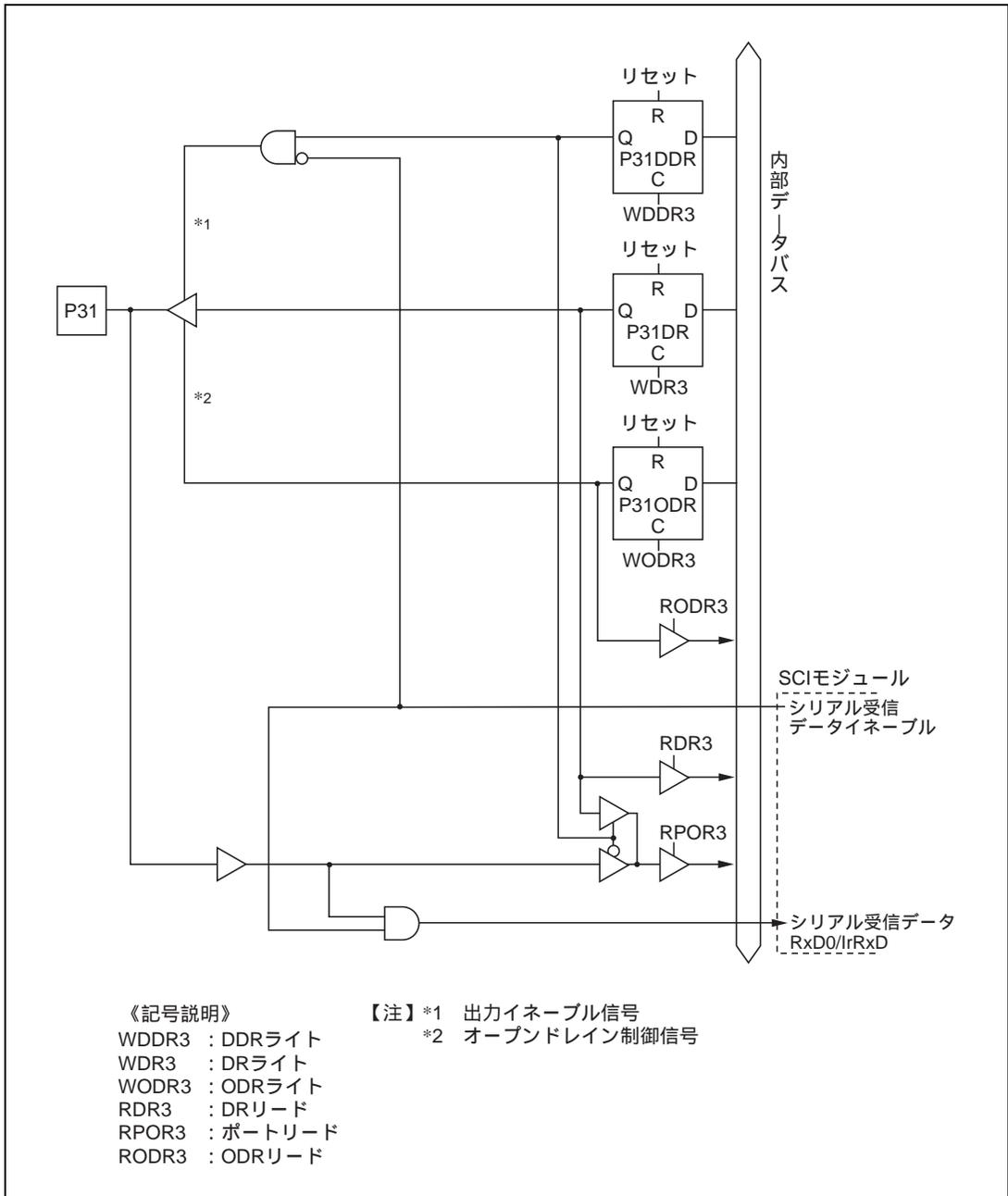


図 C.14 (b) ポート 3 ブロック図 (P31 端子)

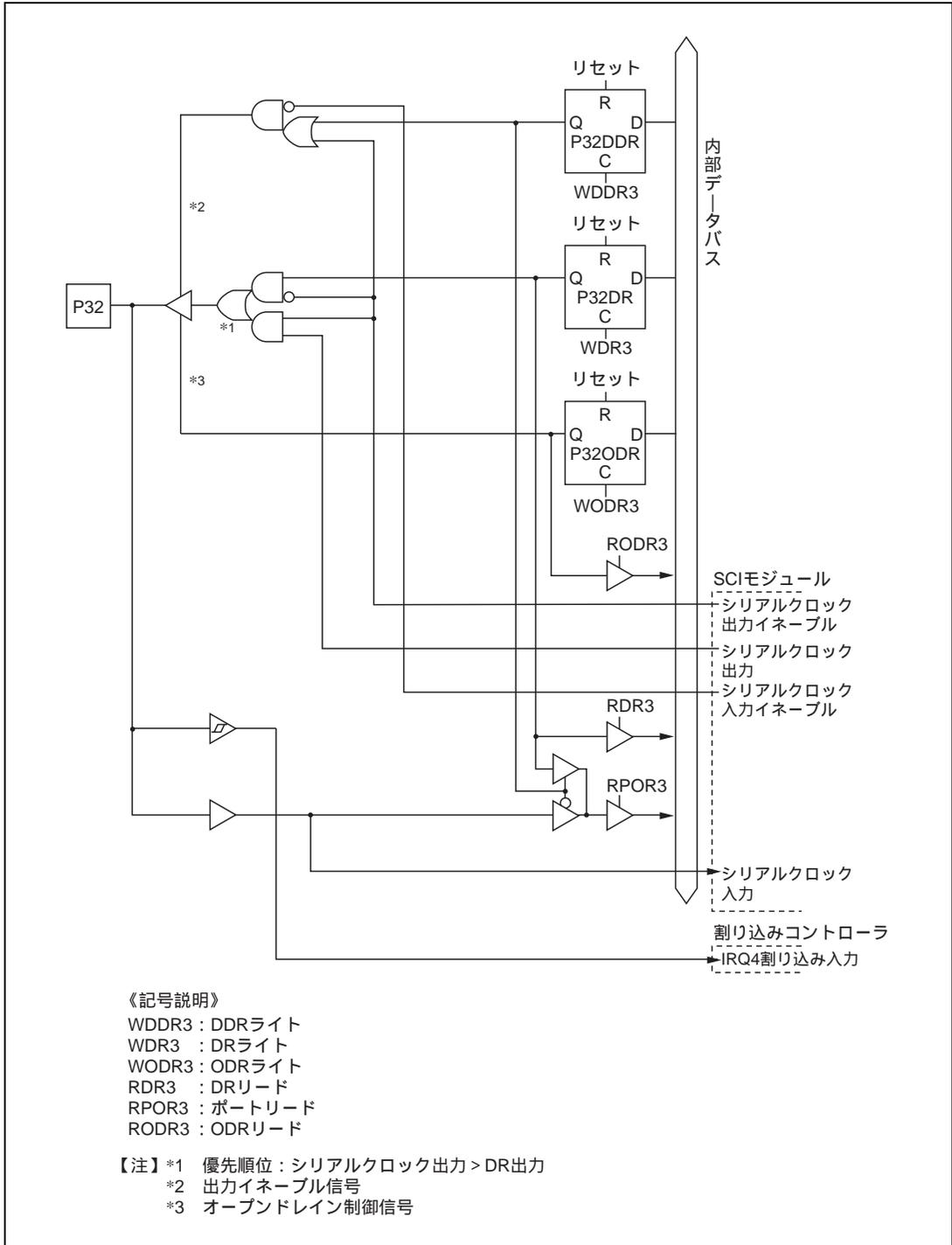


図 C.14 (c) ポート 3 ブロック図 (P32 端子)

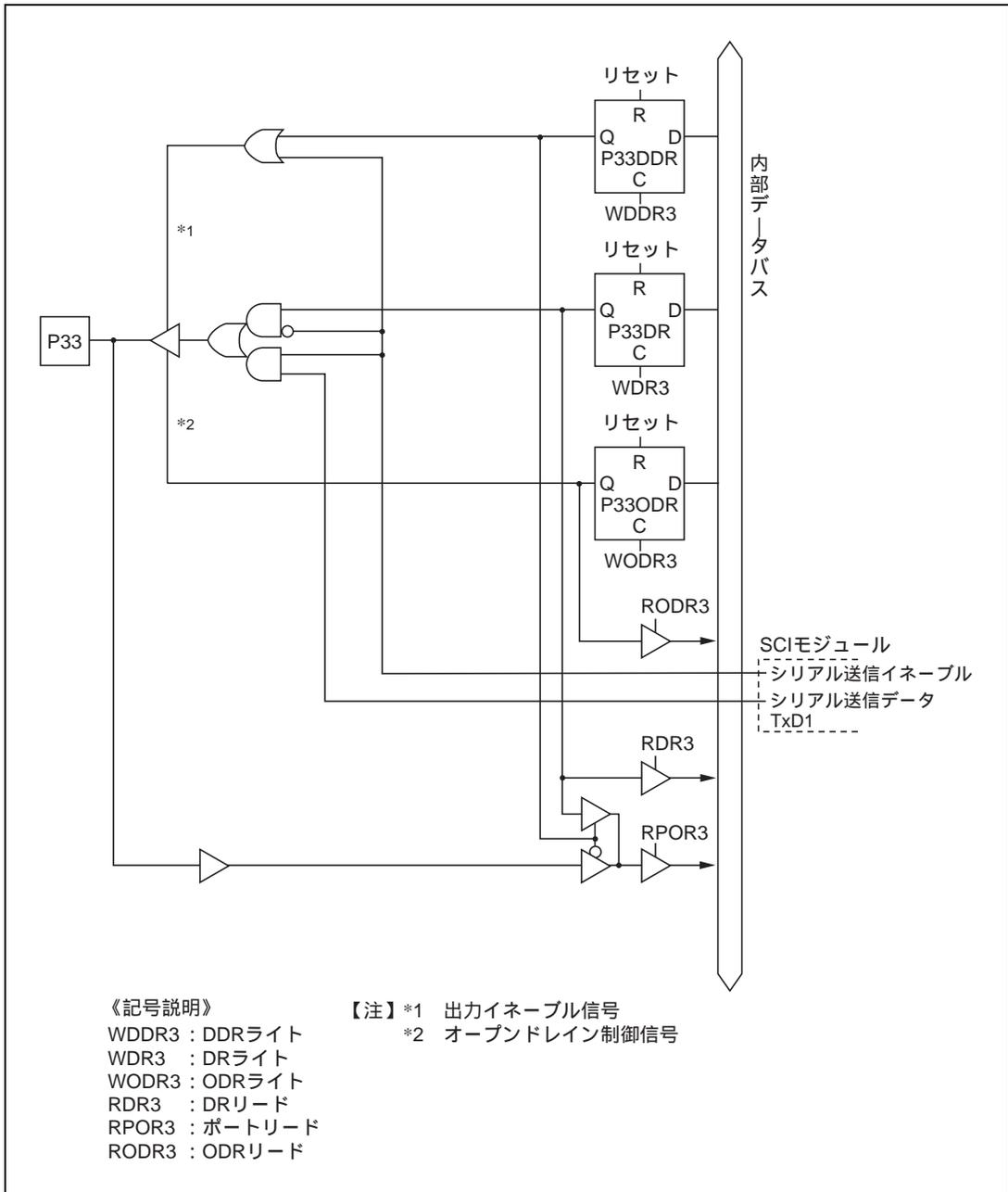


図 C.14 (d) ポート 3 ブロック図 (P33 端子)

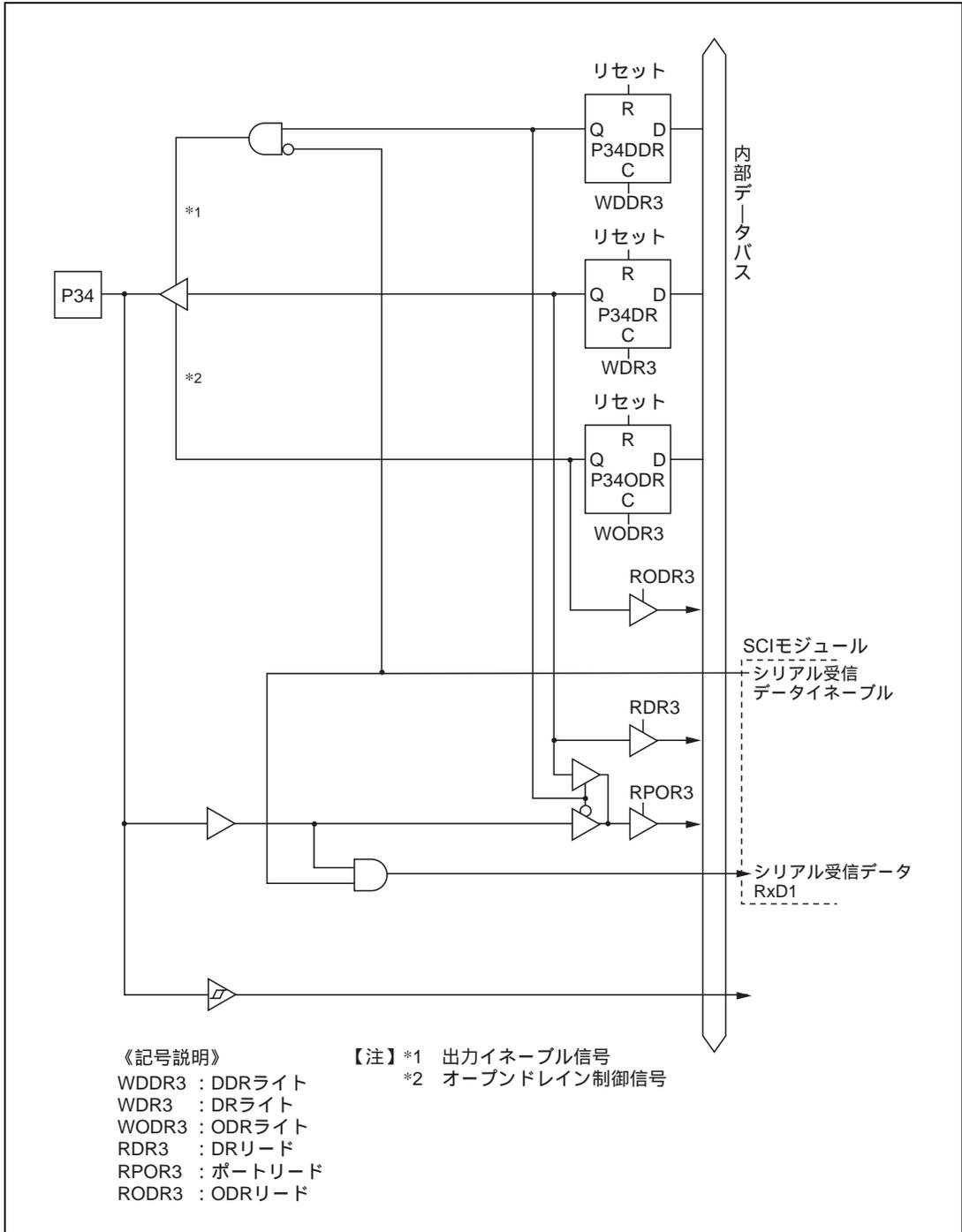


図 C.14 (e) ポート 3 ブロック図 (P34 端子)

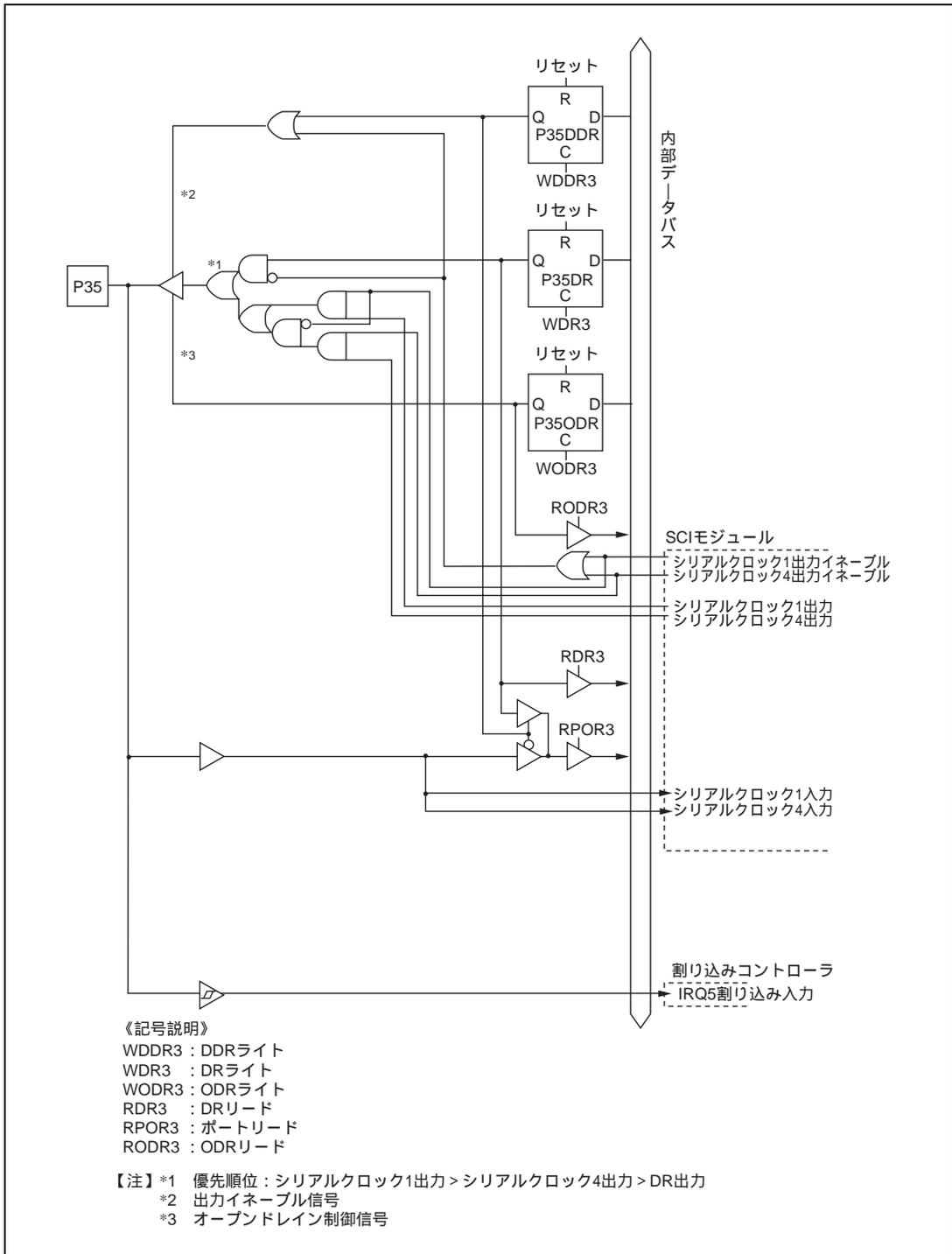


図 C.14 (f) ポート 3 ブロック図 (P35 端子)

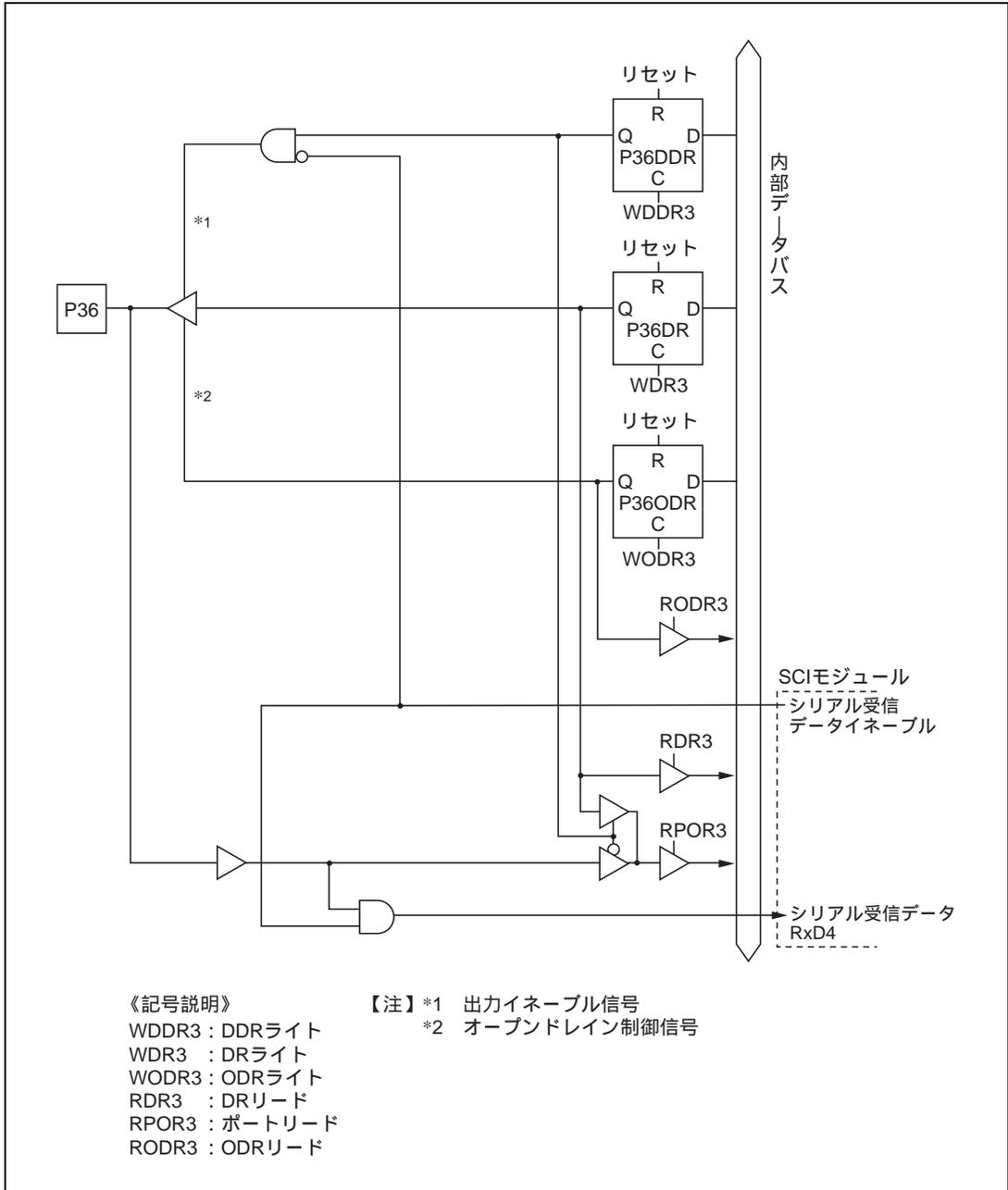


図 C.14 (g) ポート 3 ブロック図 (P36 端子)

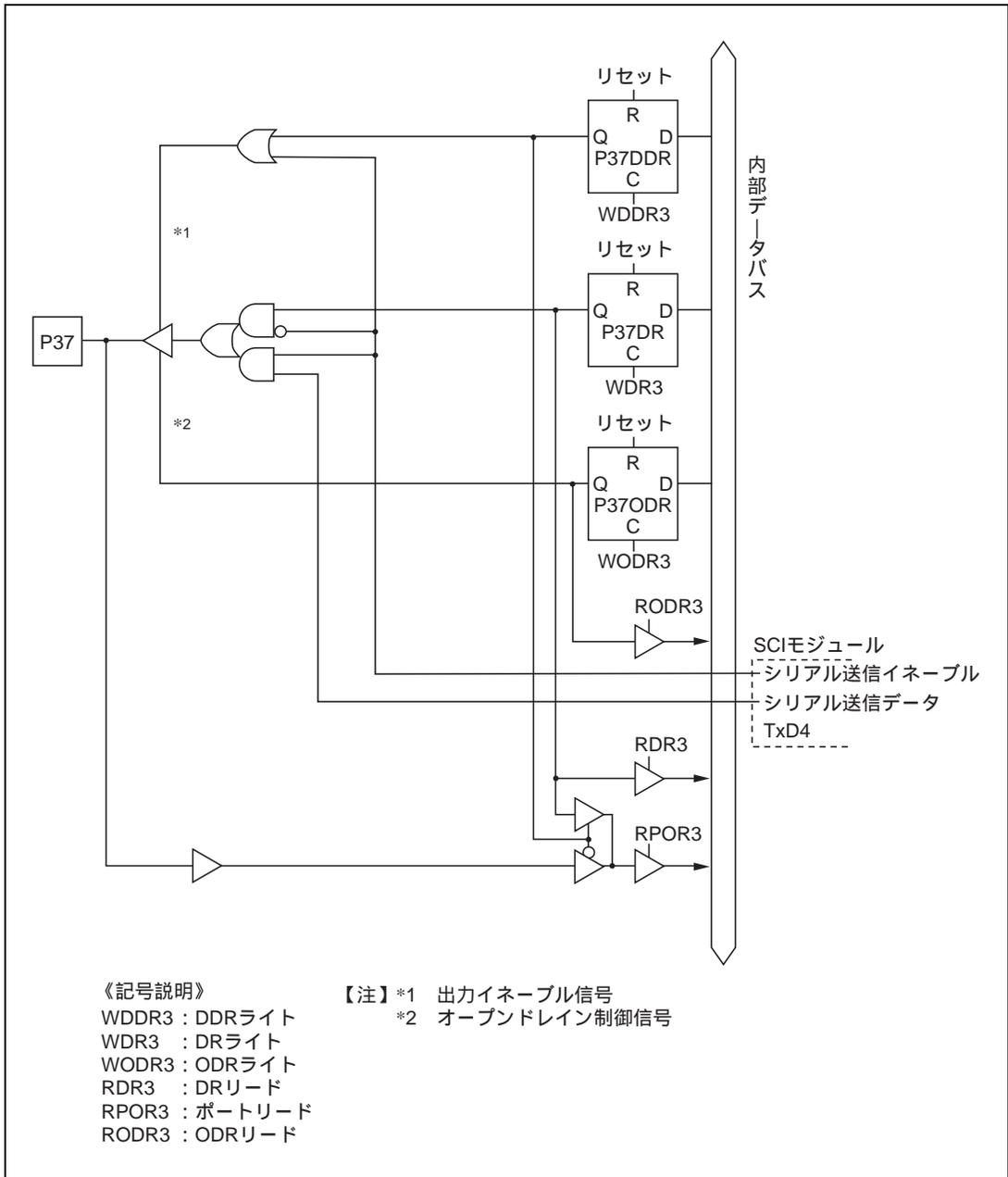


図 C.14 (h) ポート 3 ブロック図 (P37 端子)

C.15 ポート 4 ブロック図

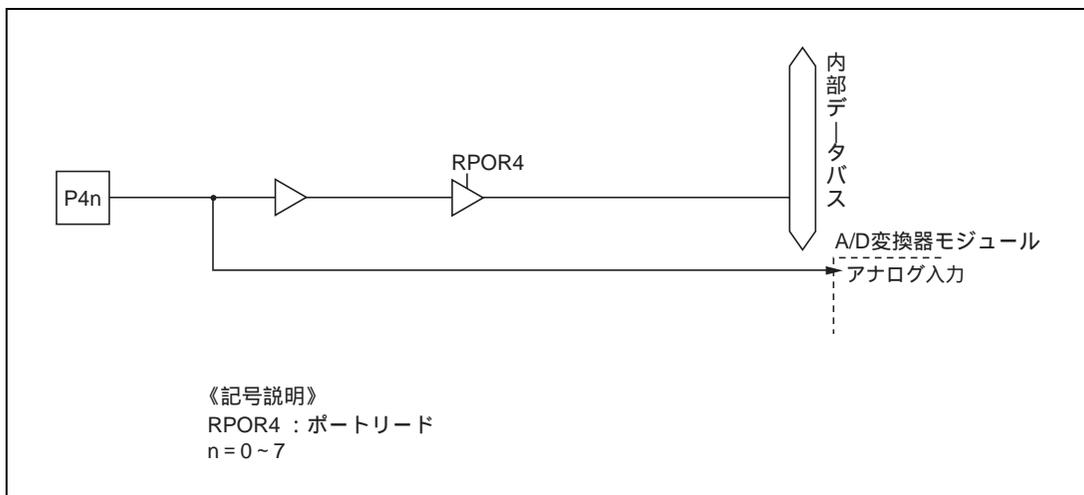


図 C.15 ポート 4 ブロック図 (P40 ~ P47 端子)

C.16 ポート7ブロック図

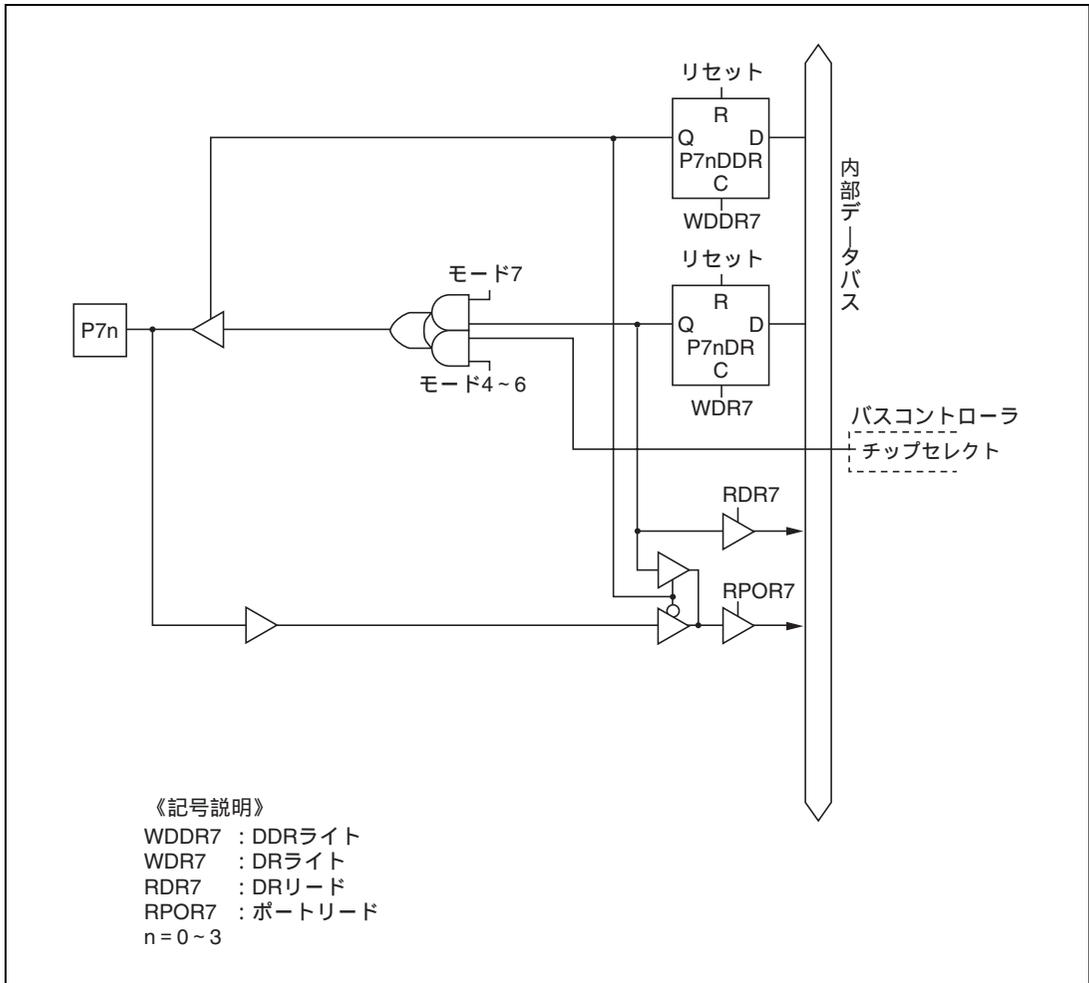


図 C.16 (a) ポート7ブロック図 (P70 ~ P73 端子)

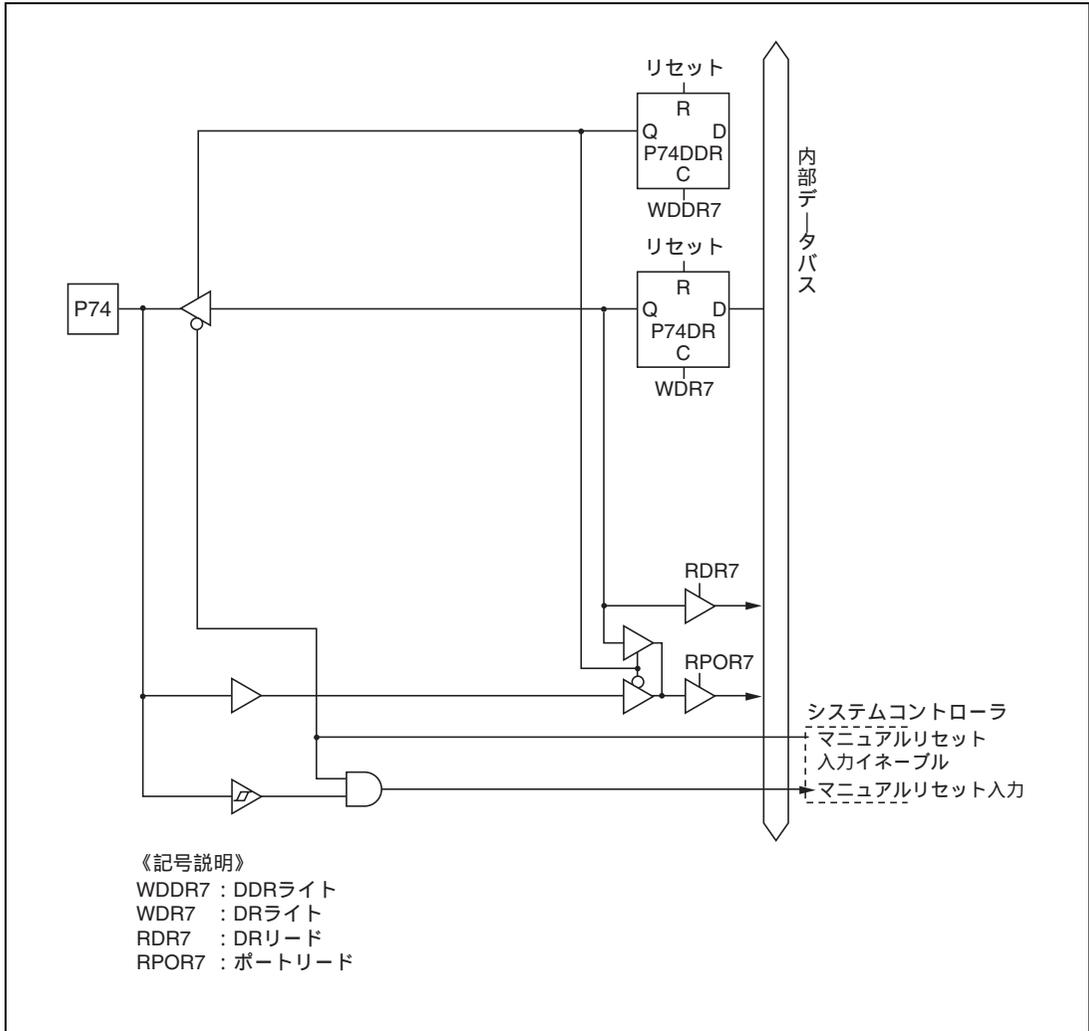


図 C.16 (b) ポート7 ブロック図 (P74 端子)

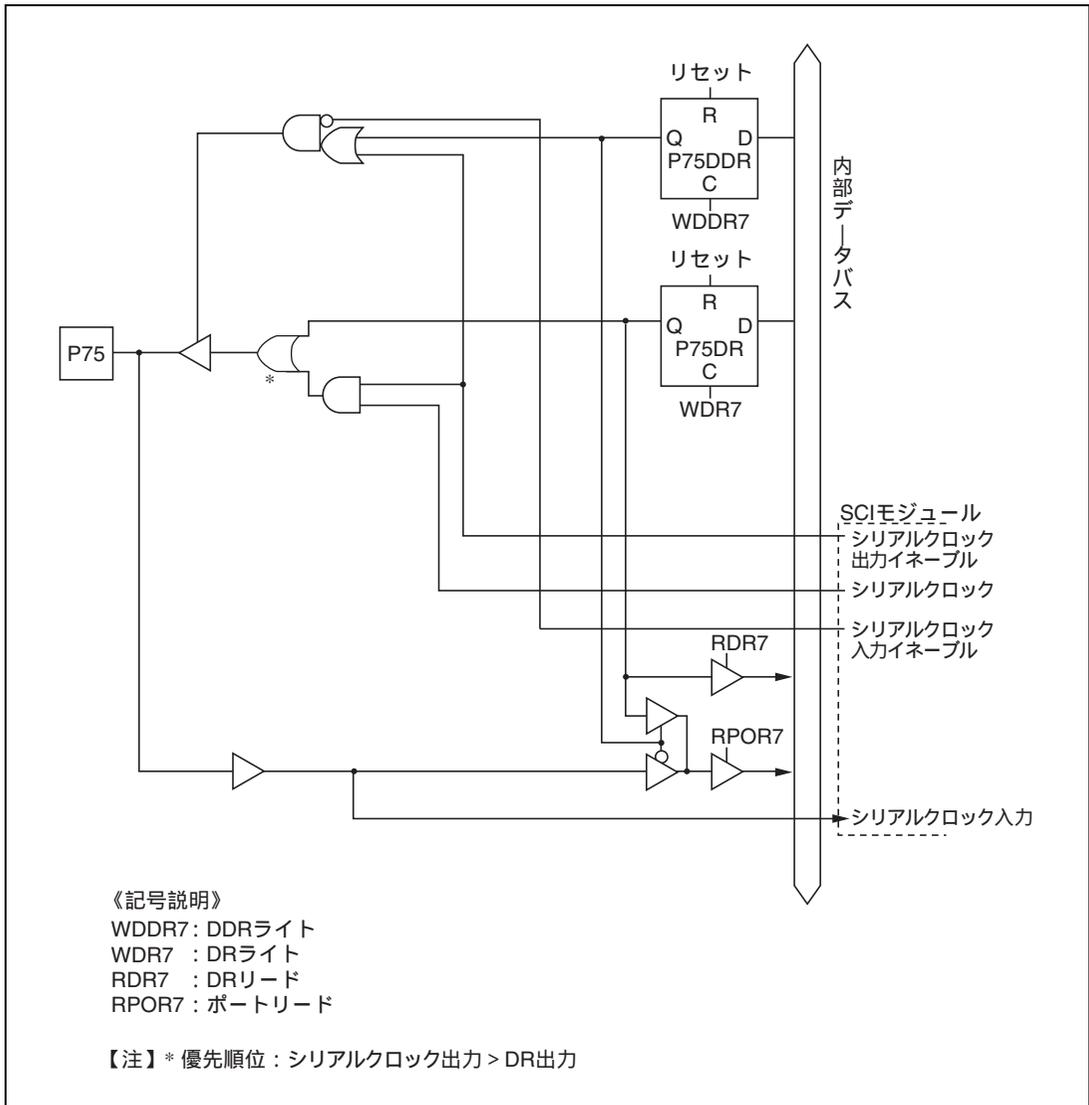


図 C.16 (c) ポート7 ブロック図 (P75 端子)

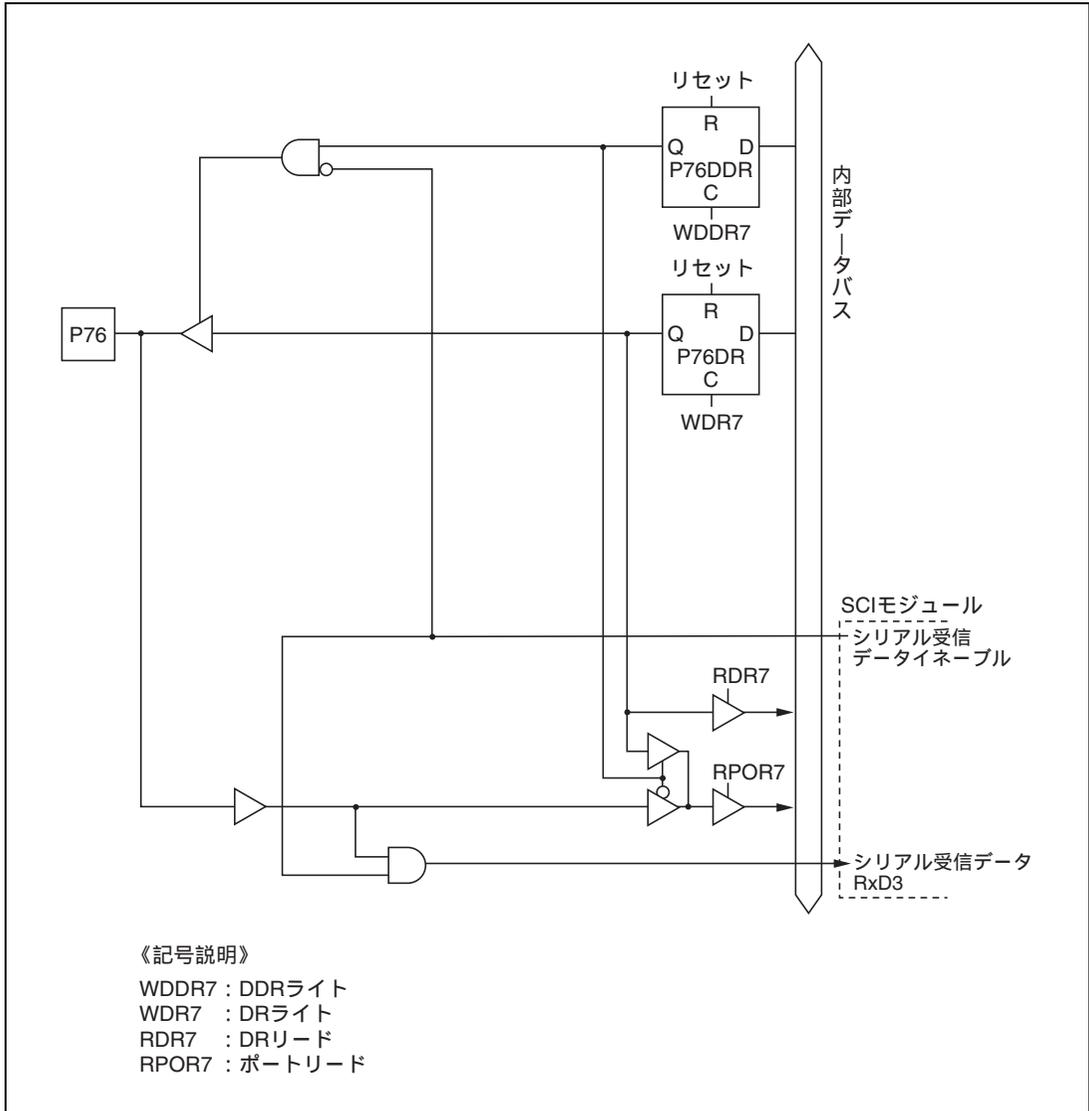


図 C.16 (d) ポート7ブロック図 (P76 端子)

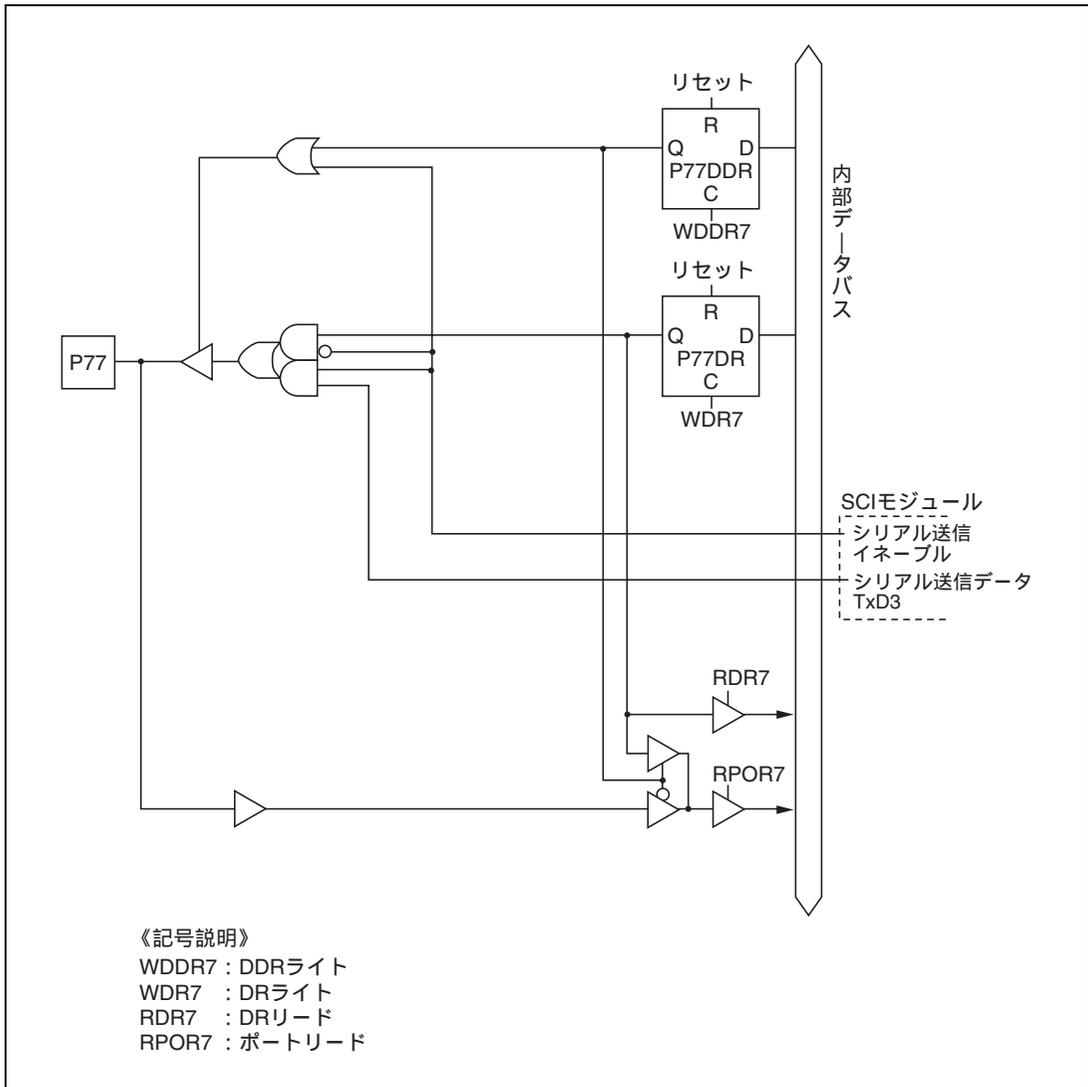


図 C.16 (e) ポート 7 ブロック図 (P77 端子)

C.17 ポート 9 ブロック図

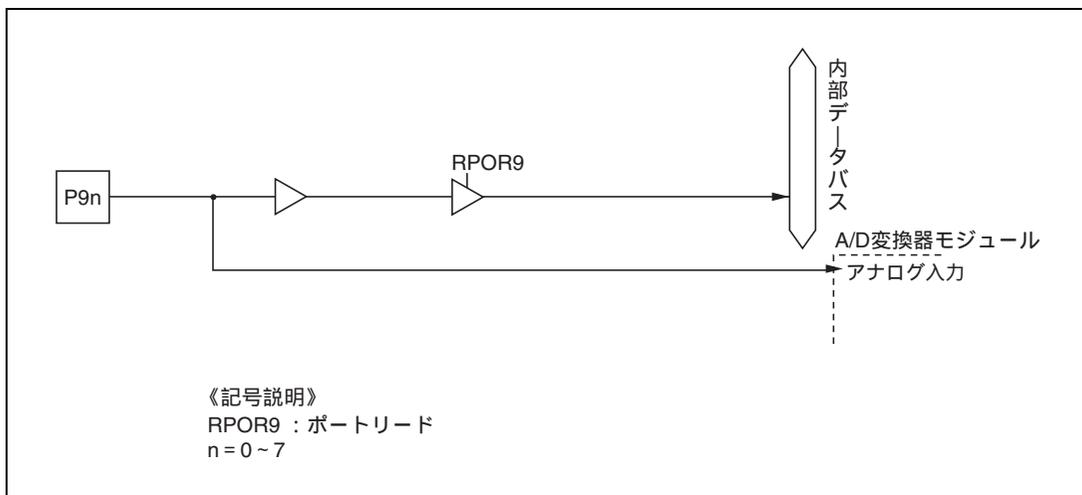


図 C.17 ポート 9 ブロック図 (P90 ~ P97 端子)

C.18 ポート A ブロック図

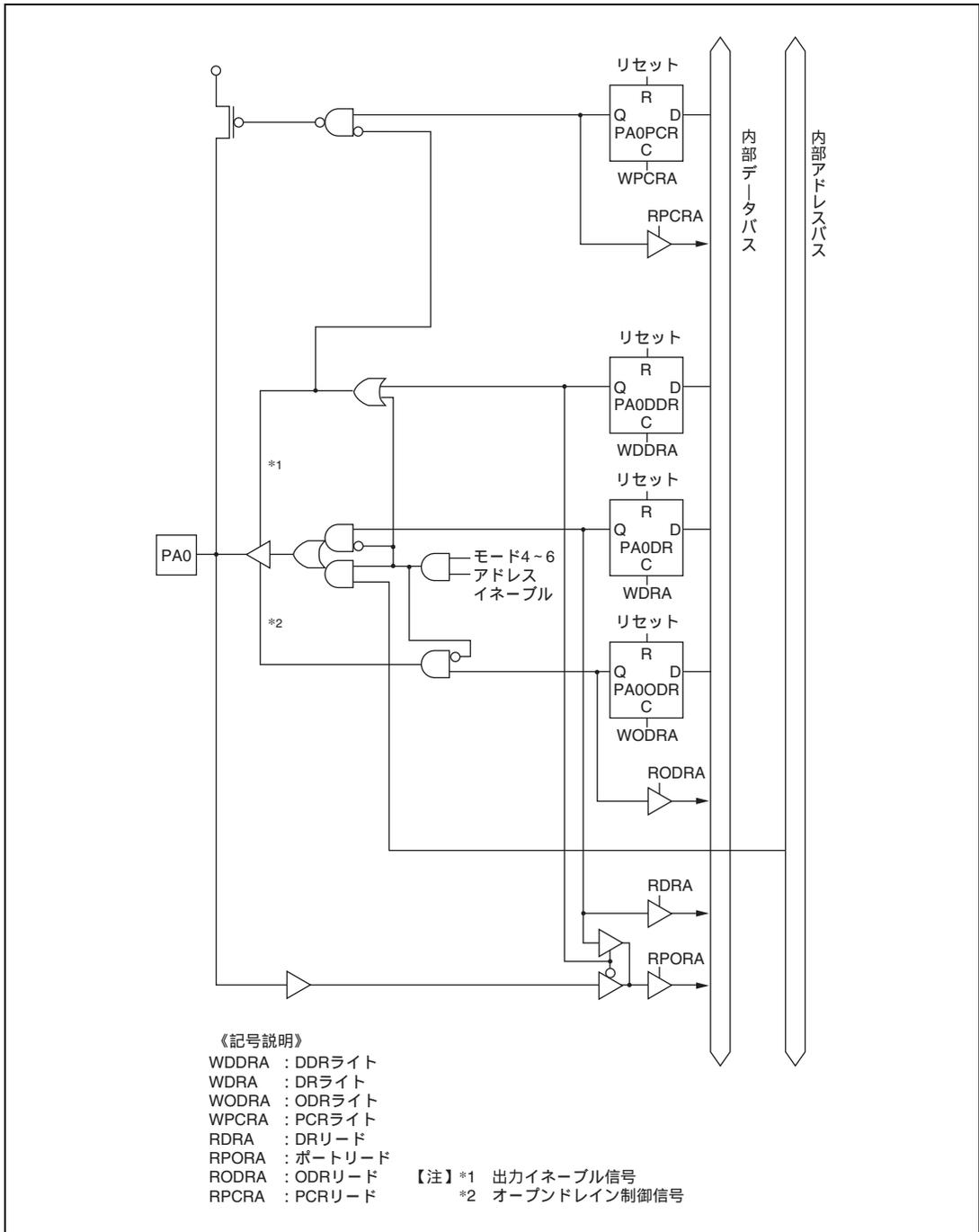


図 C.18 (a) ポート A ブロック図 (PA0 端子)

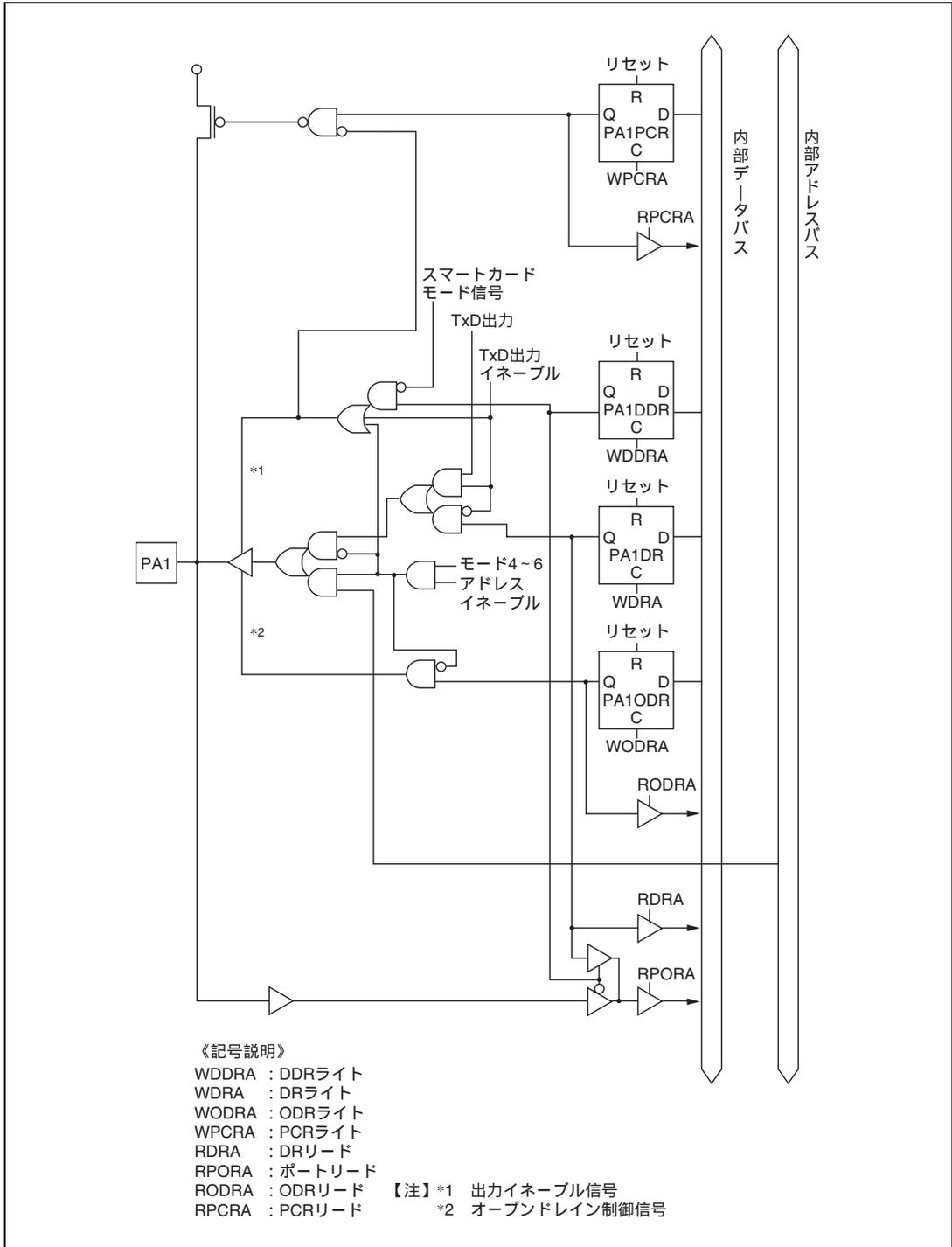


図 C.18 (b) ポート A ブロック図 (PA1 端子)

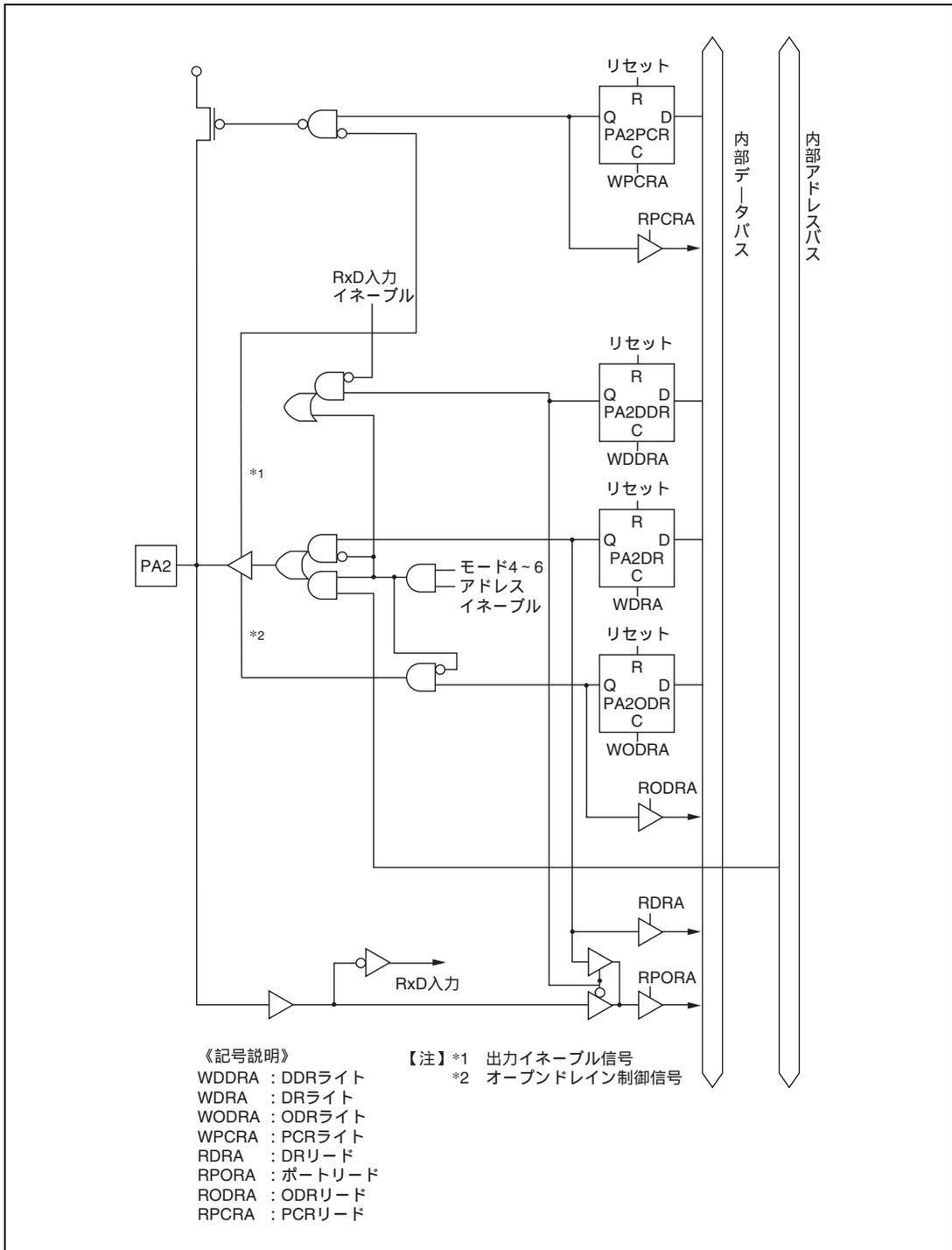


図 C.18 (c) ポート A ブロック図 (PA2 端子)

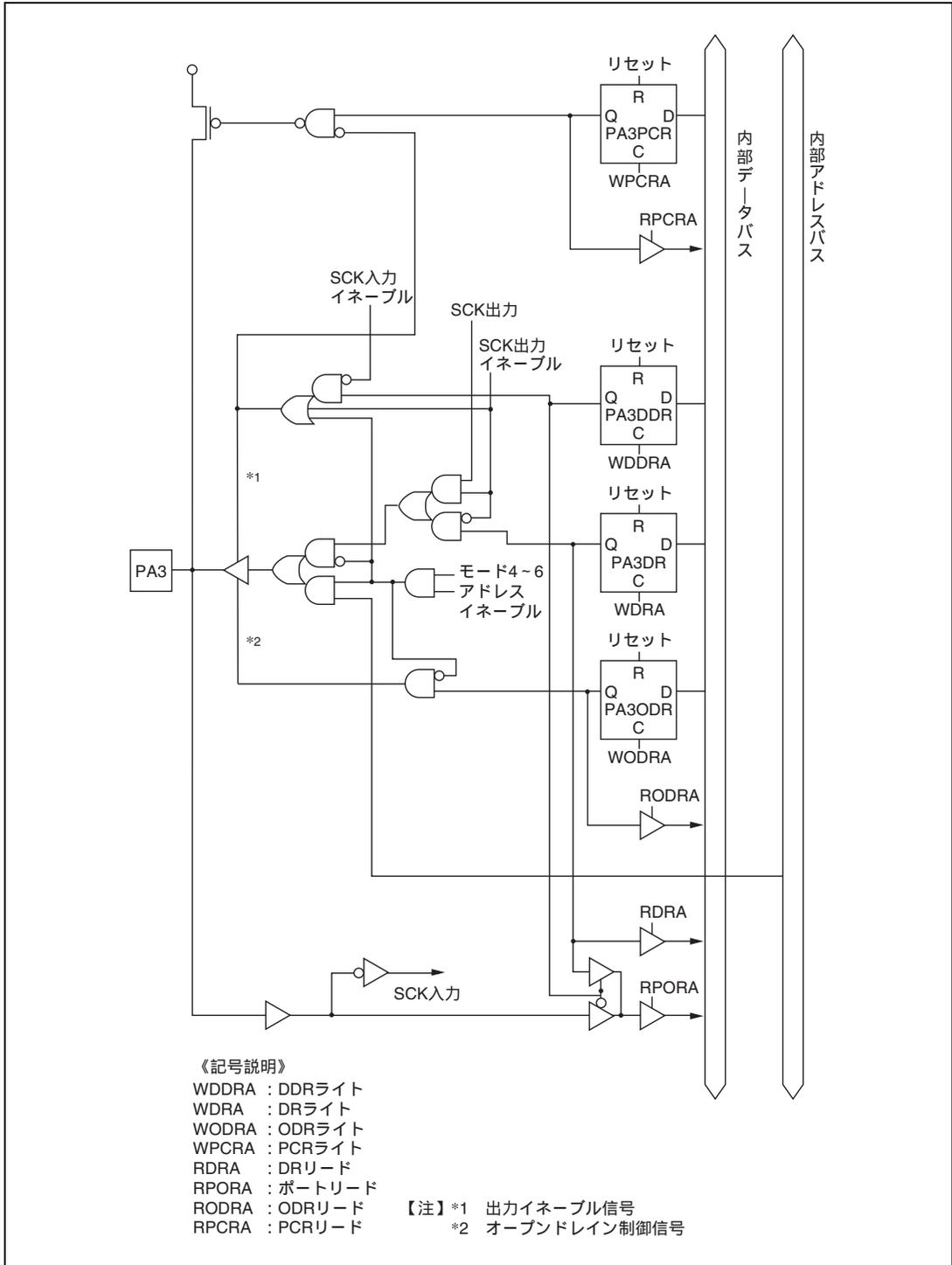


図 C.18 (d) ポート A ブロック図 (PA3 端子)

C.19 ポート B ブロック図

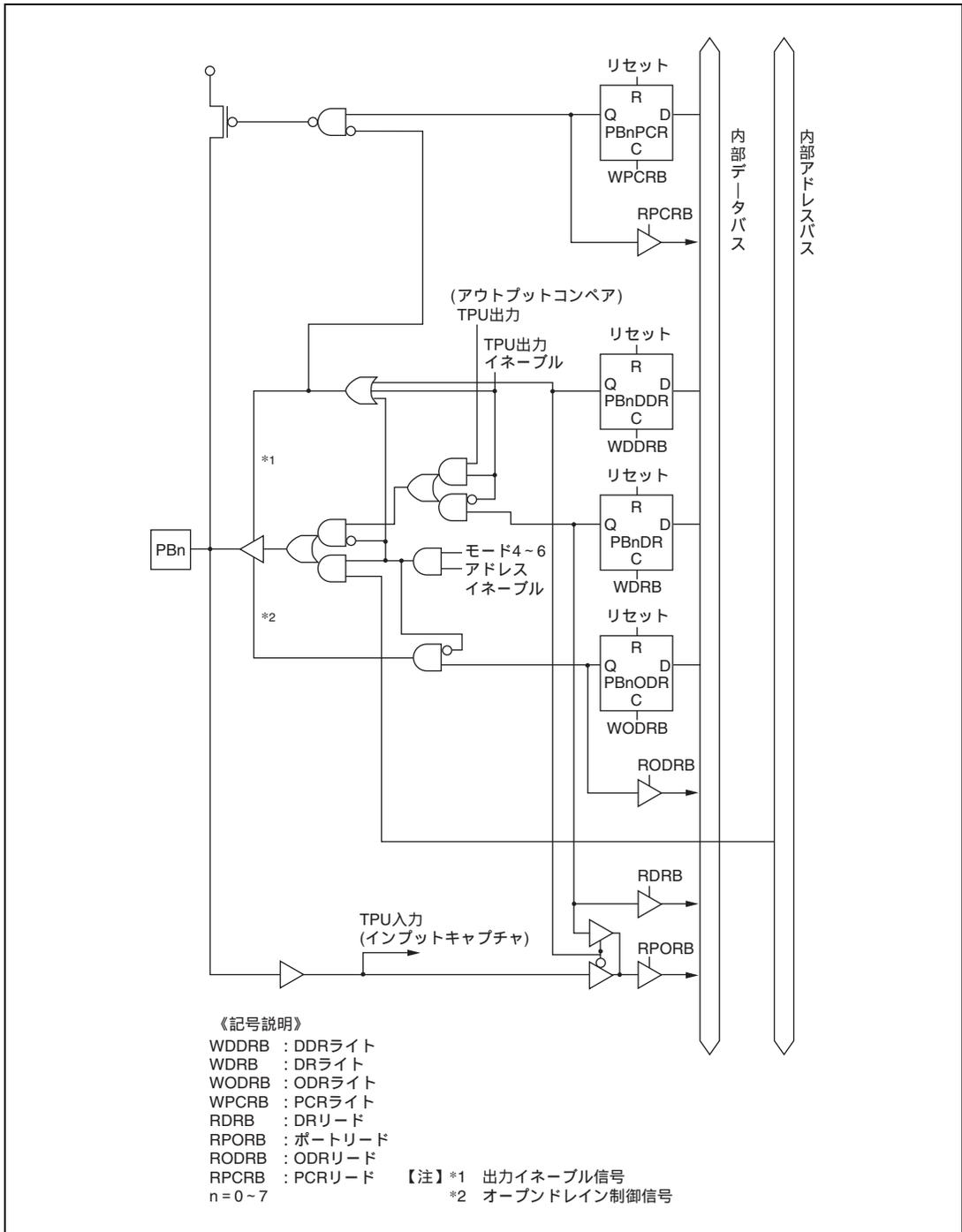


図 C.19 ポート B ブロック図 (PB0 ~ PB7 端子)

C.20 ポート C ブロック図

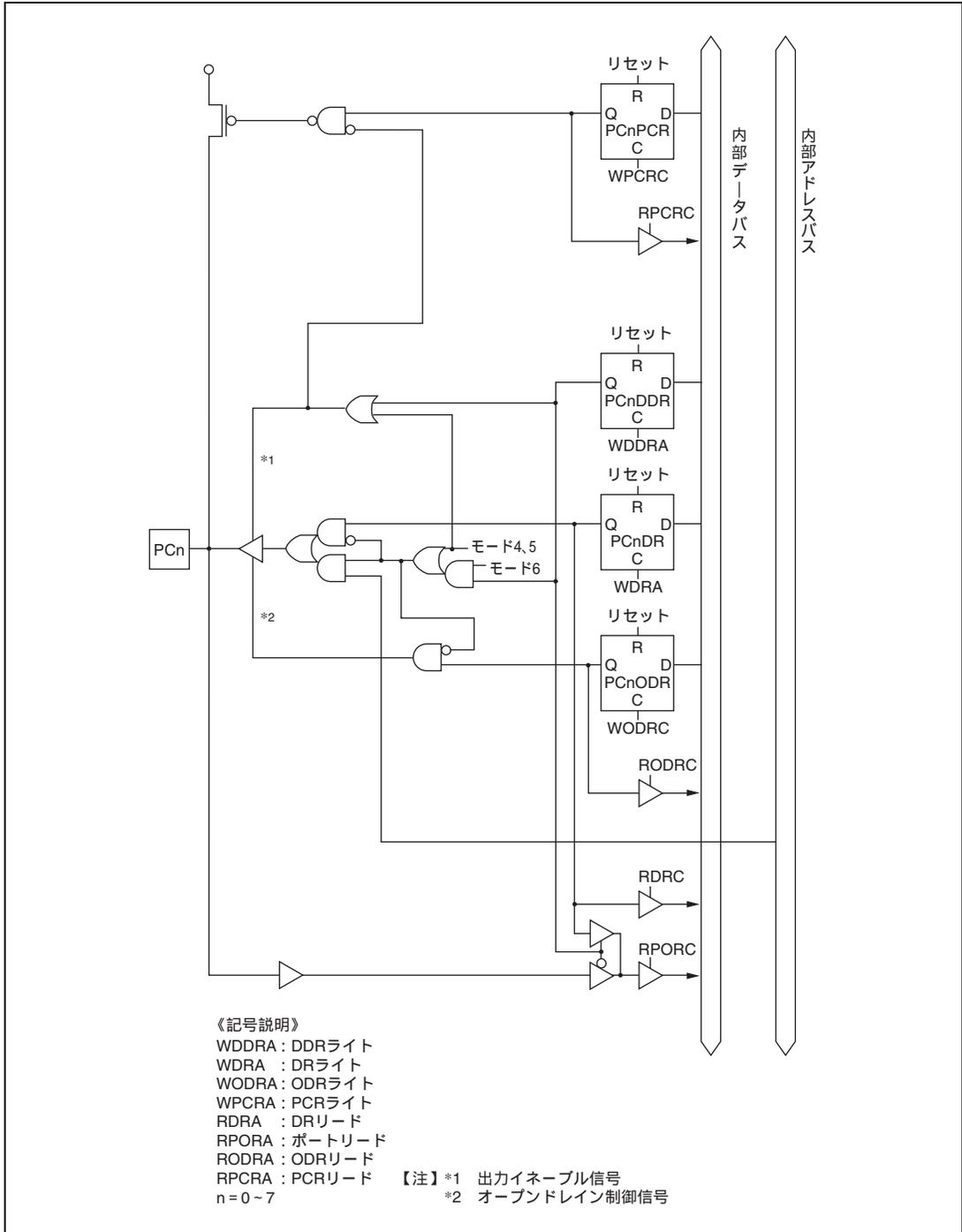


図 C.20 ポート C ブロック図 (PC0 ~ PC7 端子)

C.21 ポート D ブロック図

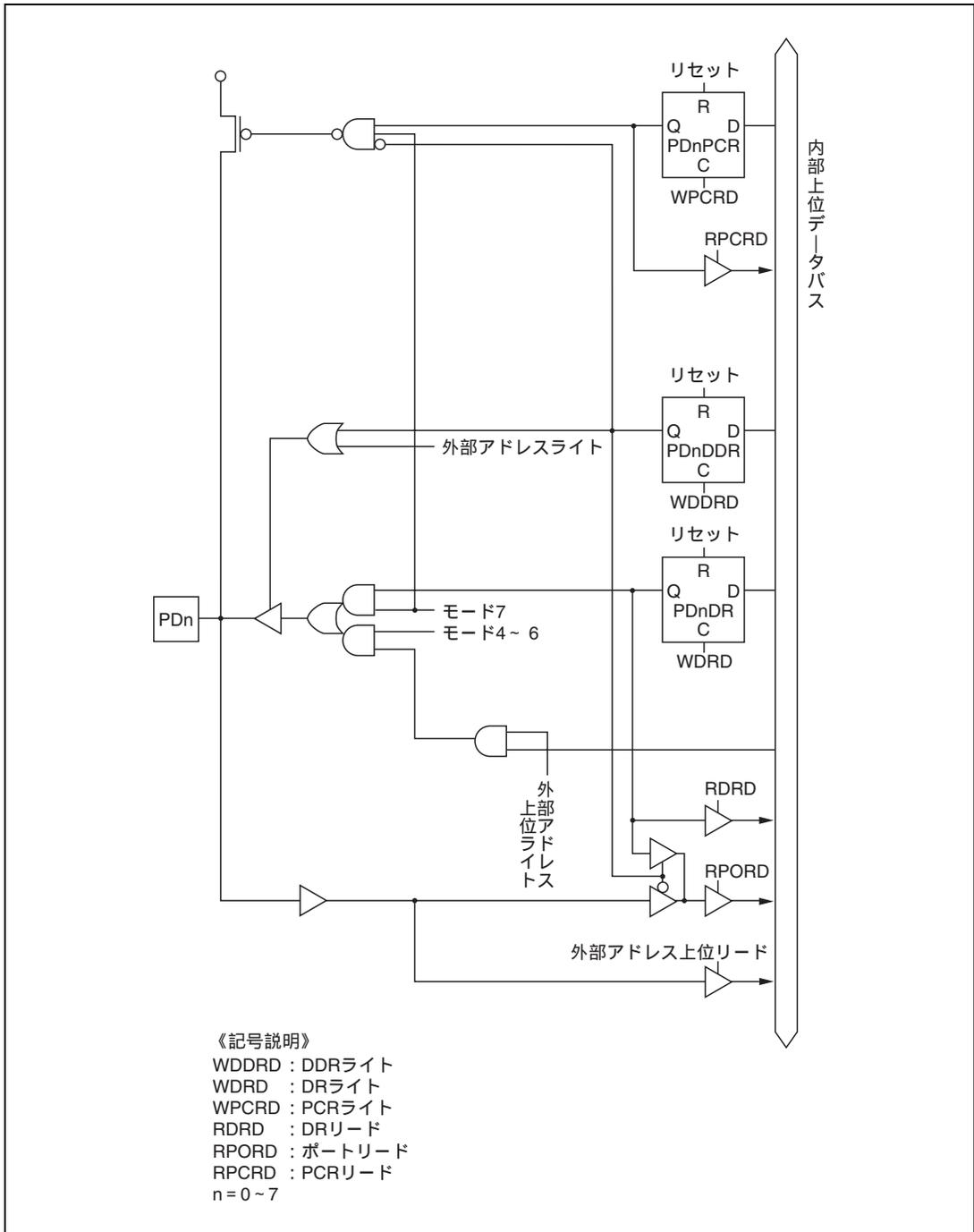


図 C.21 ポート D ブロック図 (PD0 ~ PD7 端子)

C.22 ポートEブロック図

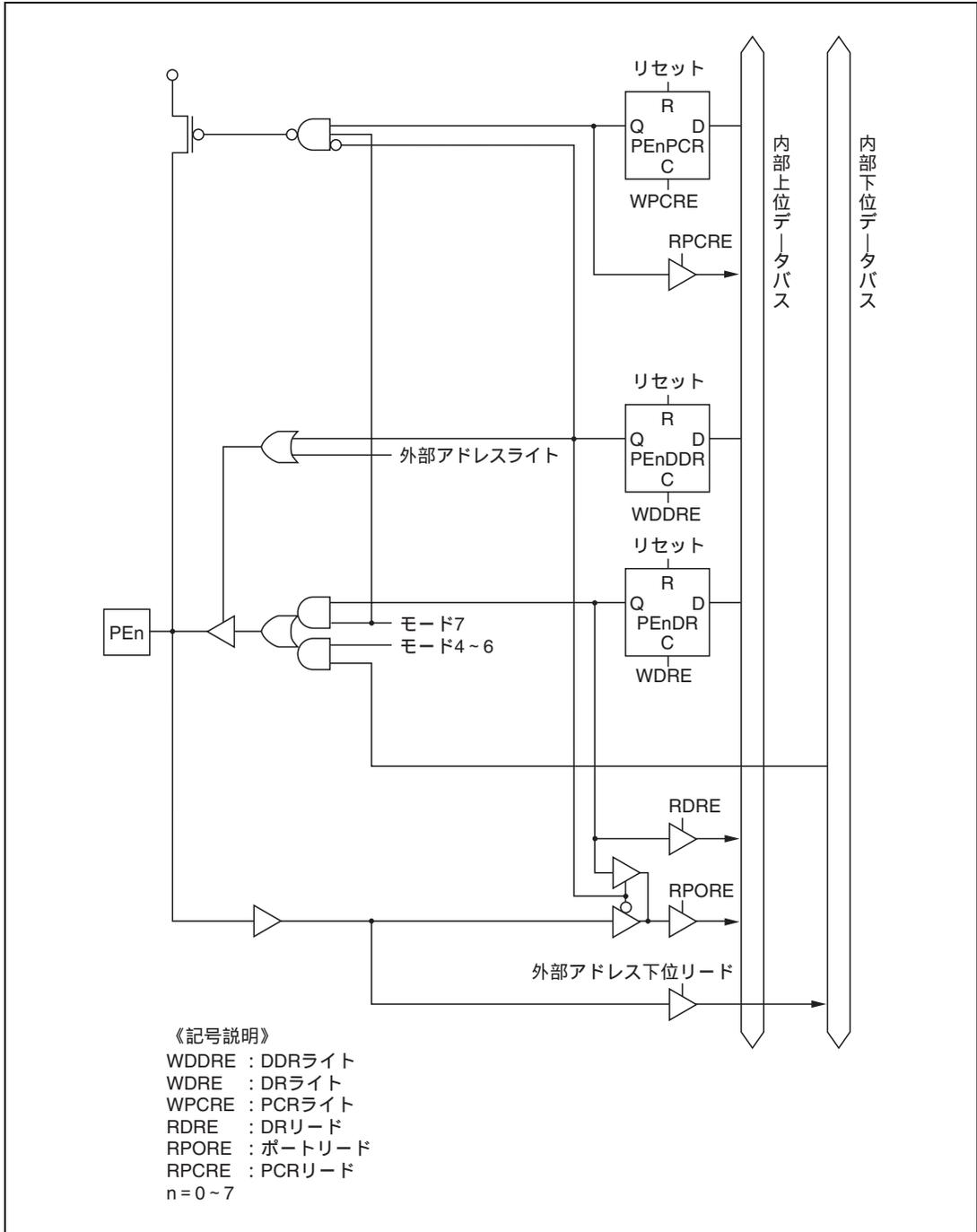


図 C.22 ポートEブロック図 (PE0~PE7 端子)

C.23 ポートFブロック図

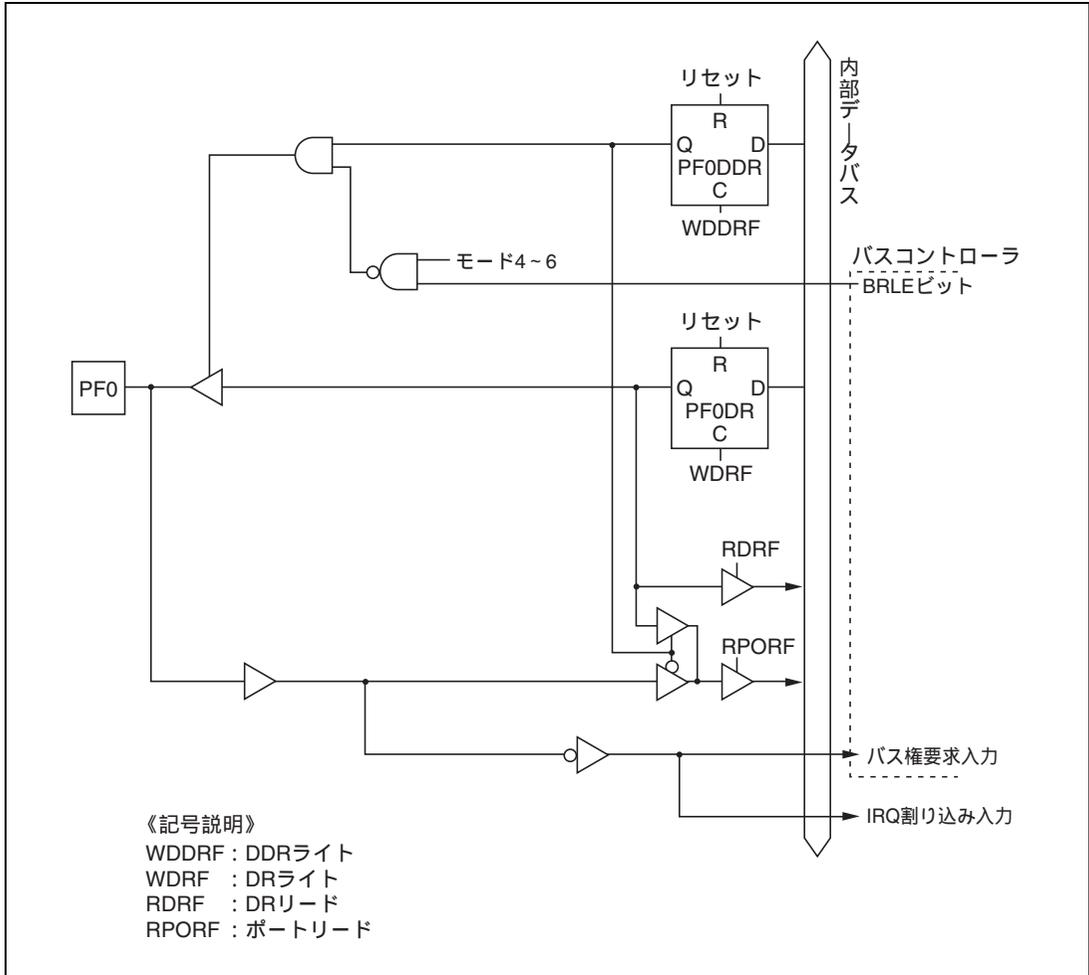


図 C.23 (a) ポートFブロック図 (PF0 端子)

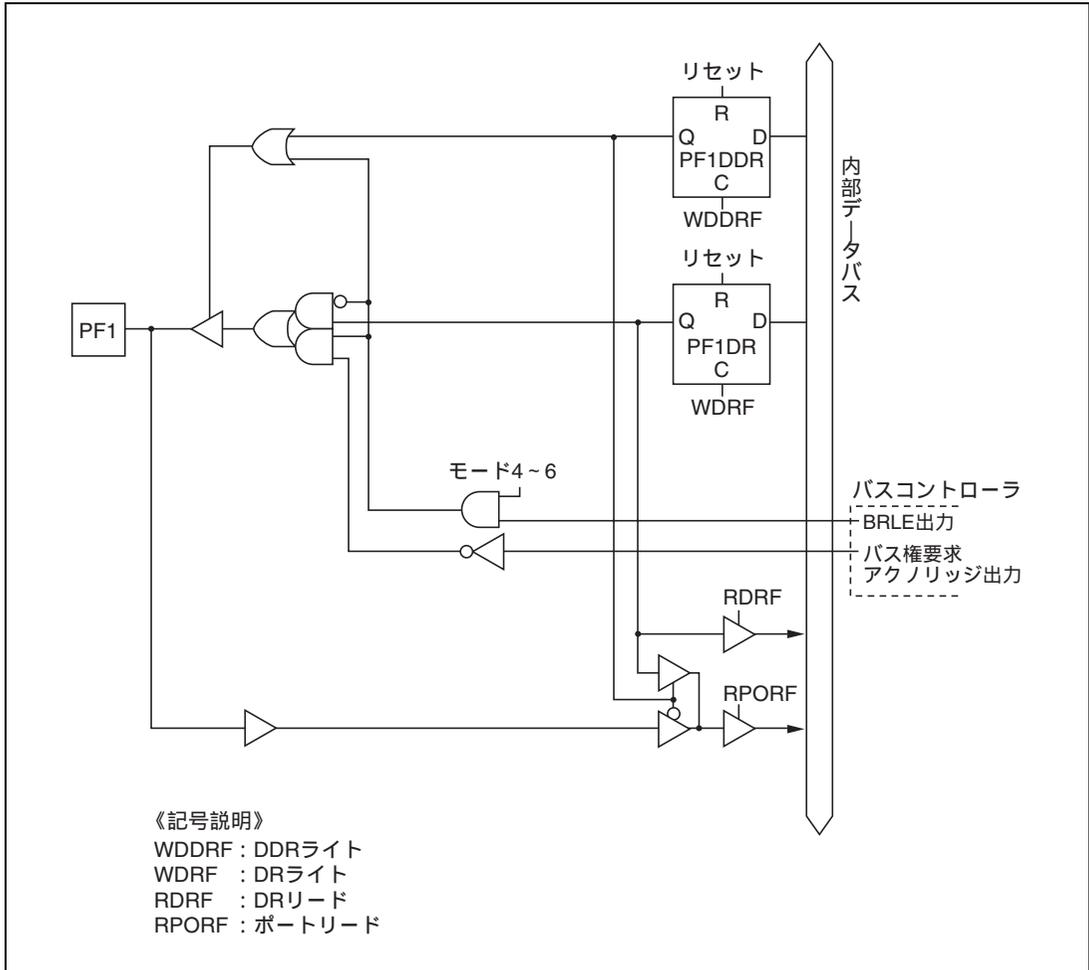


図 C.23 (b) ポート F ブロック図 (PF1 端子)

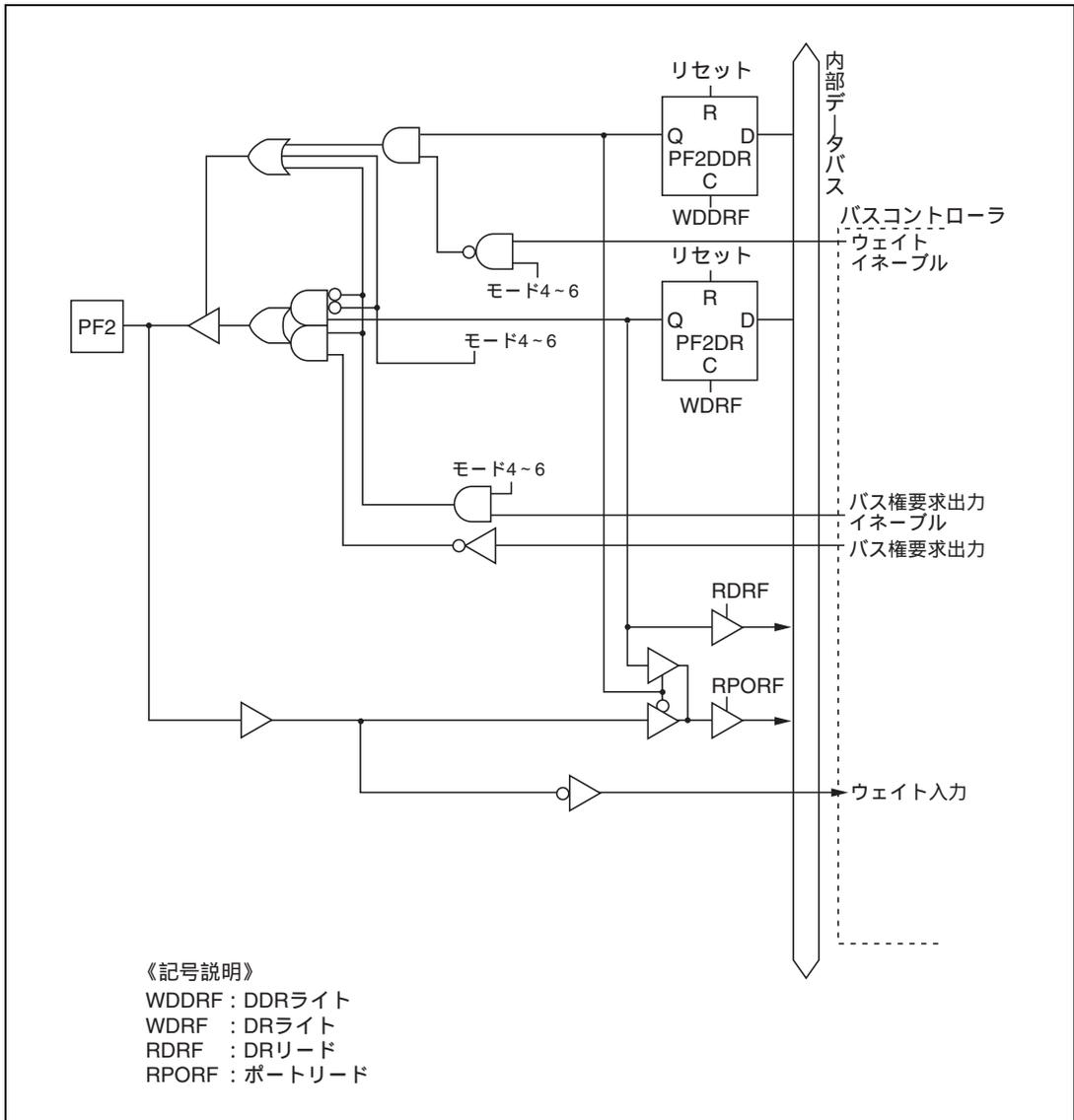


図 C.23 (c) ポート F ブロック図 (PF2 端子)

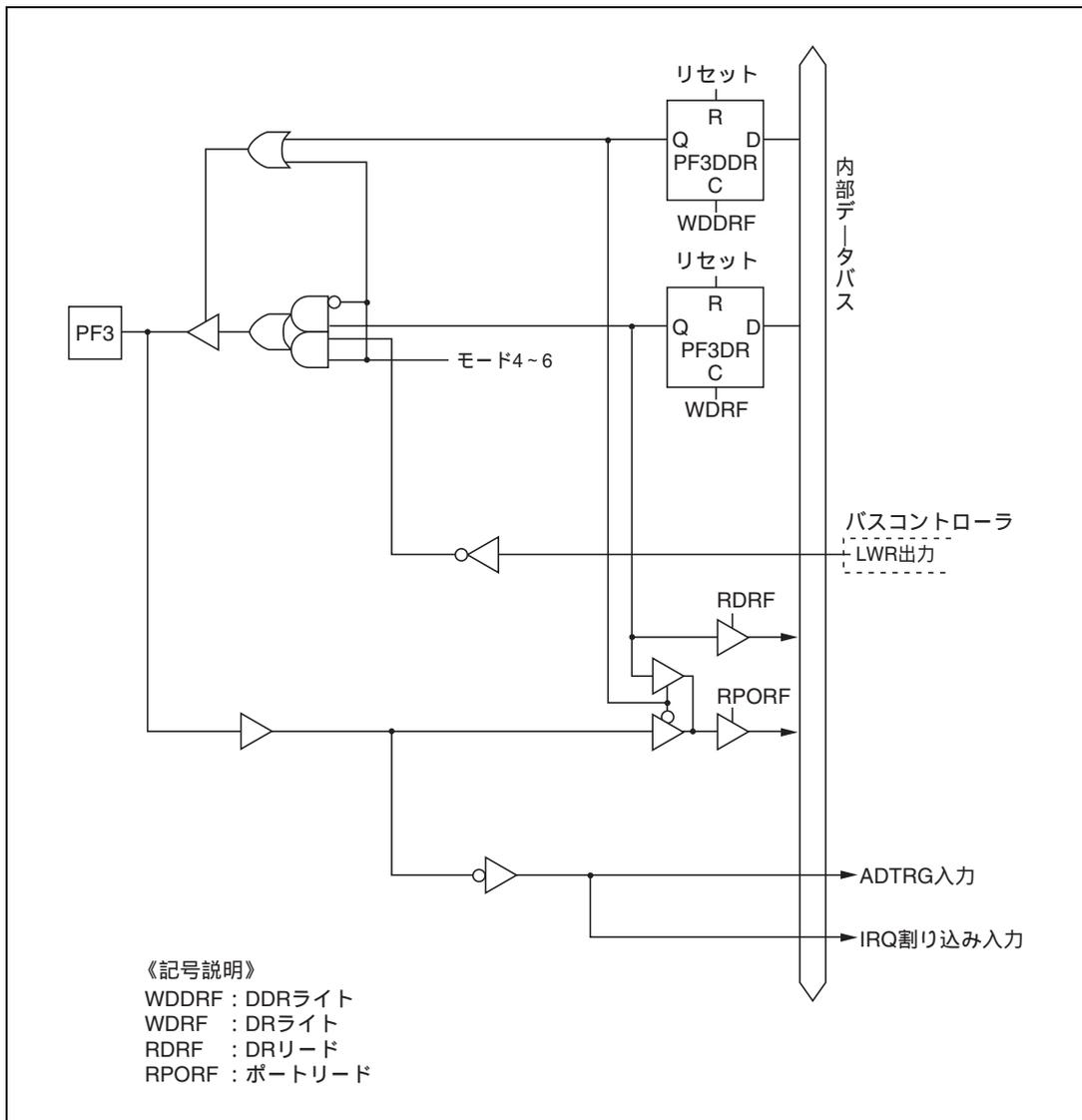


図 C.23 (d) ポート F ブロック図 (PF3 端子)

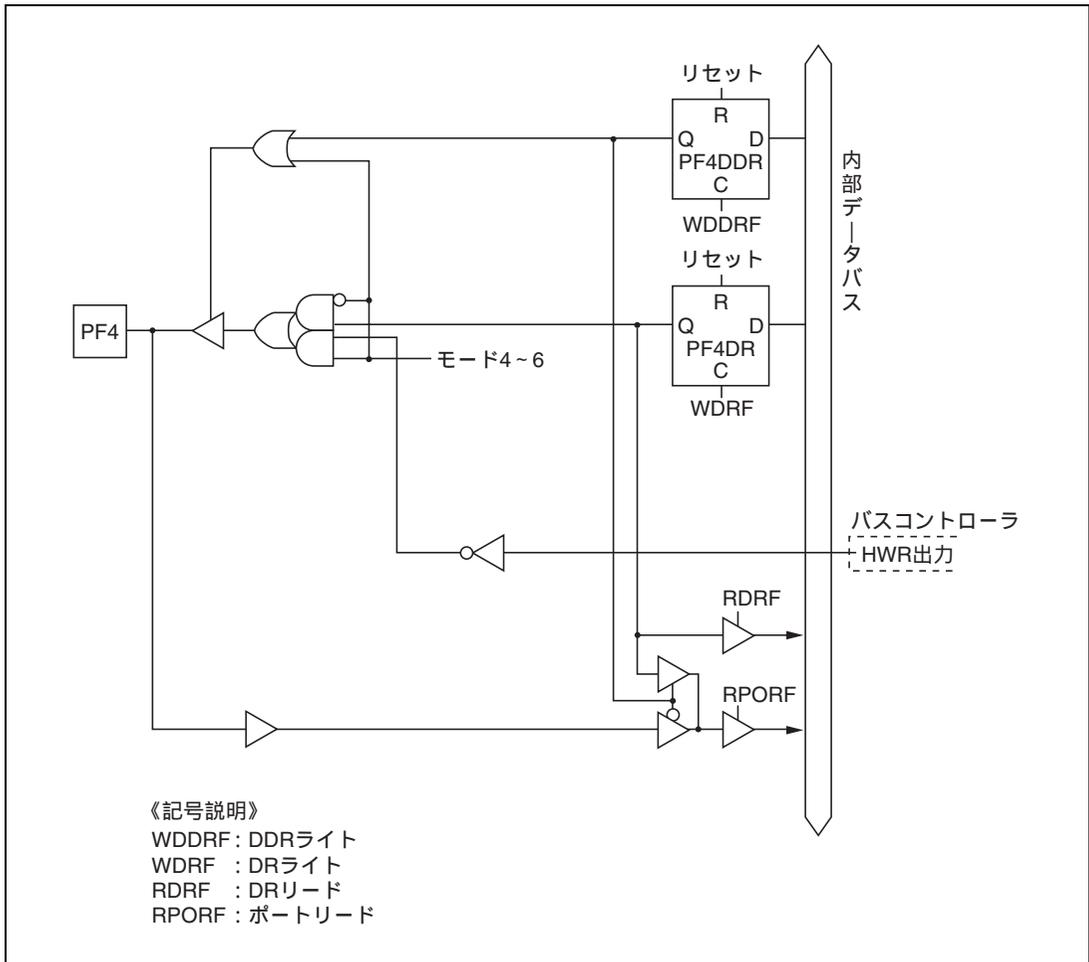


図 C.23 (e) ポート F ブロック図 (PF4 端子)

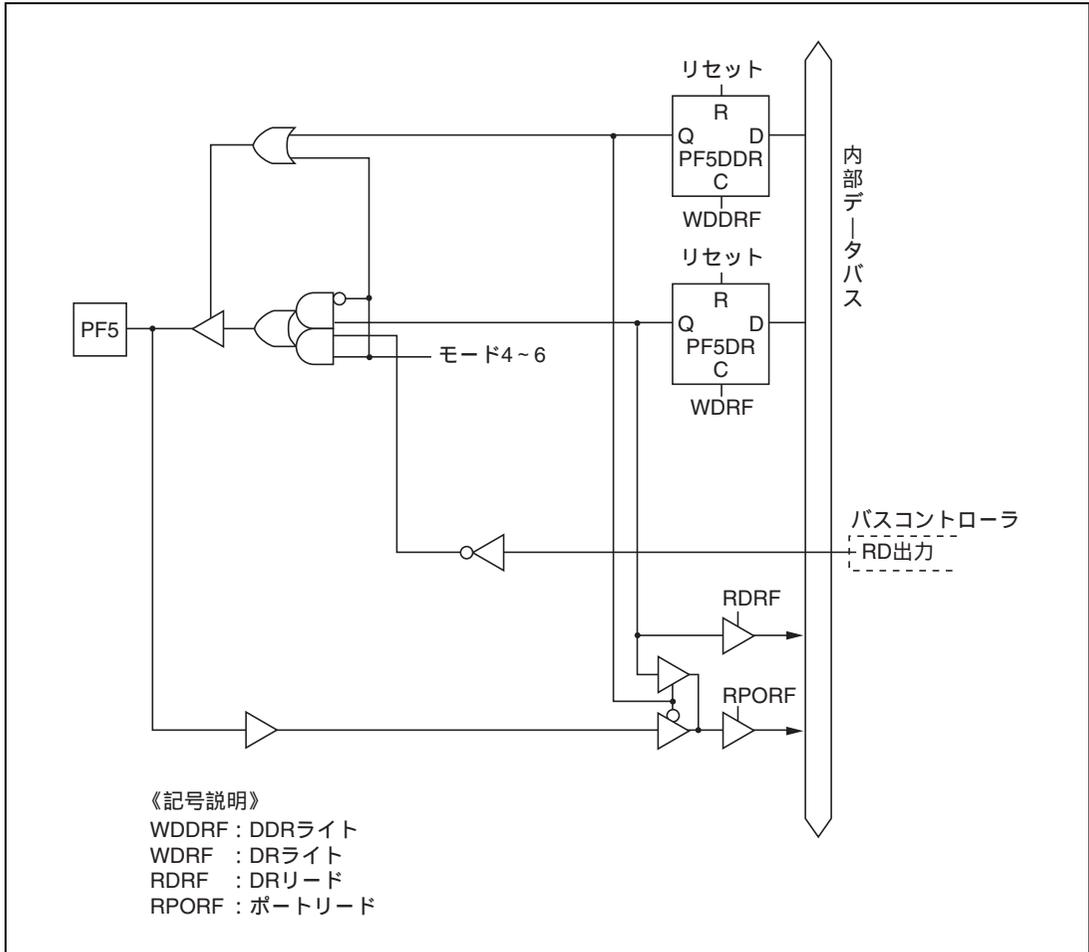


図 C.23 (f) ポート F ブロック図 (PF5 端子)

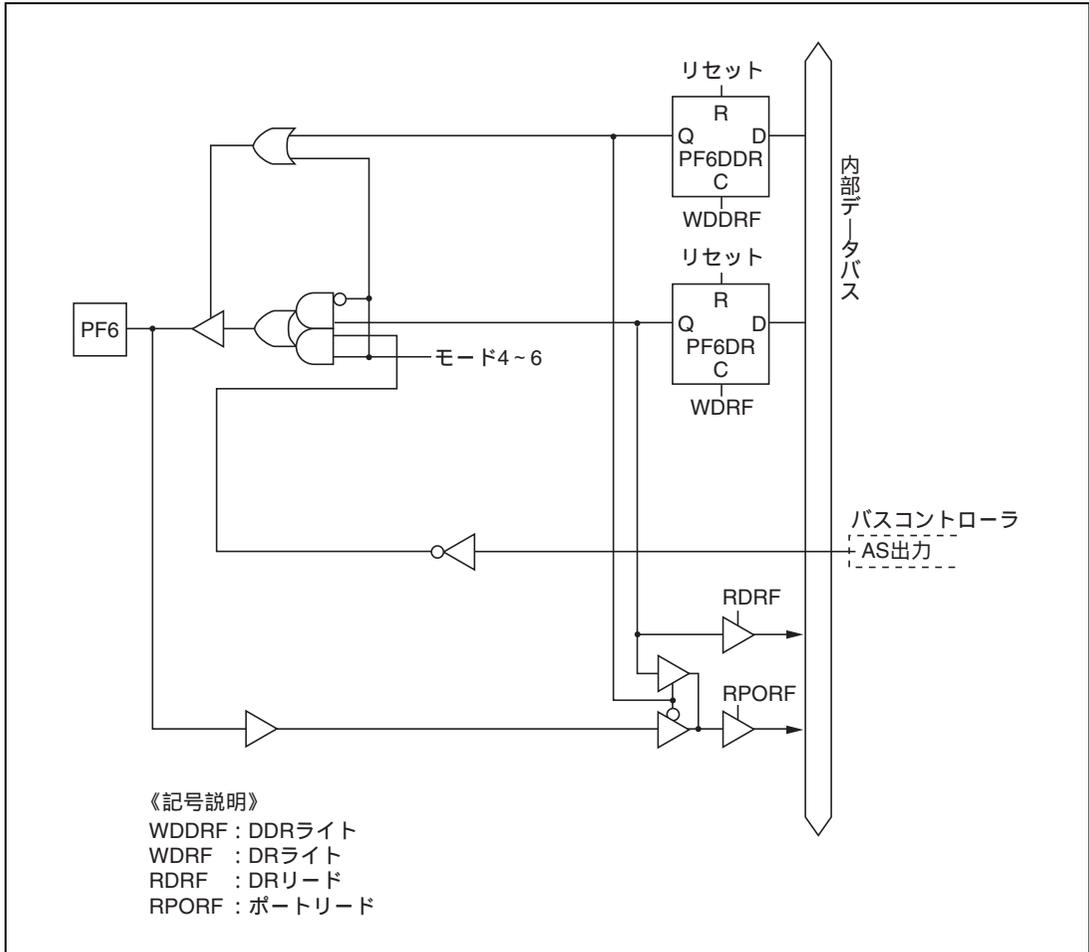


図 C.23 (g) ポート F ブロック図 (PF6 端子)

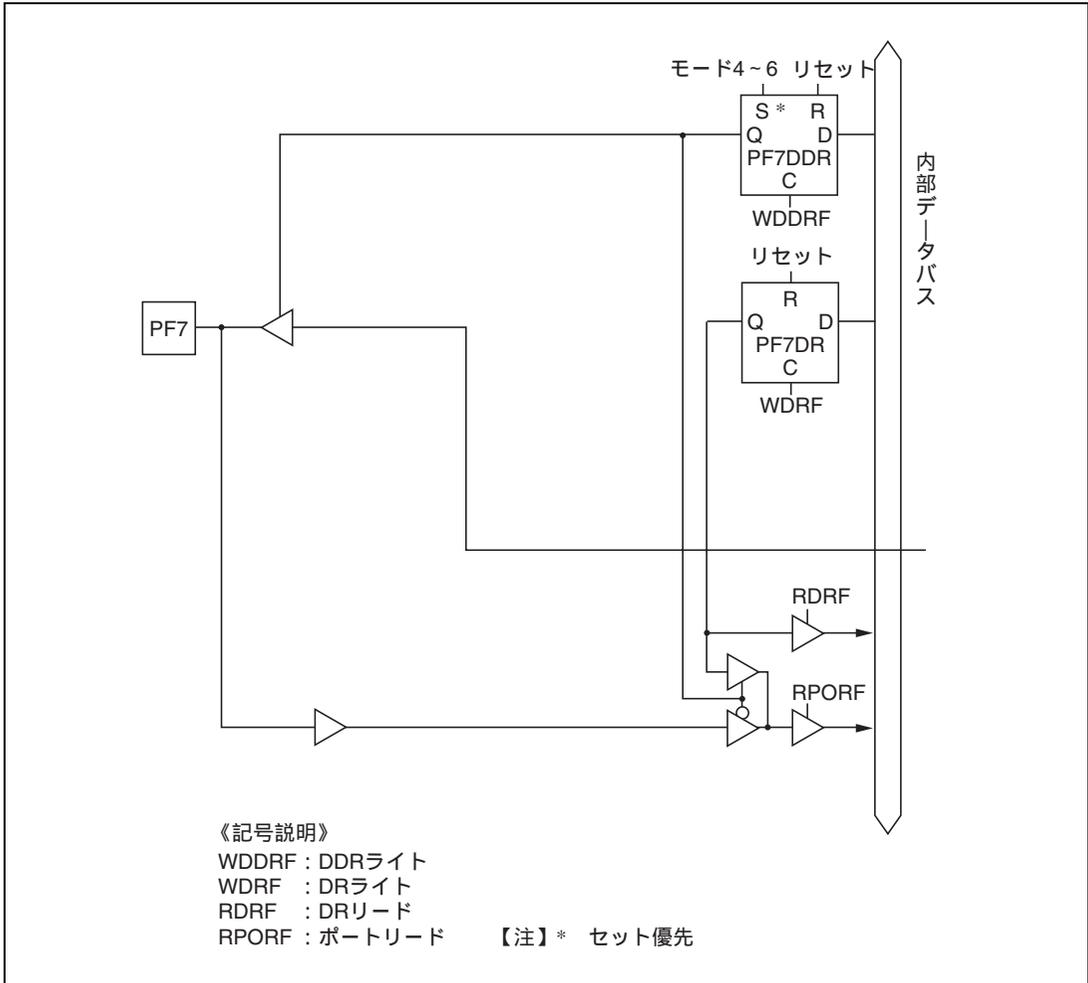


図 C.23 (h) ポート F ブロック図 (PF7 端子)

C.24 ポート G ブロック図

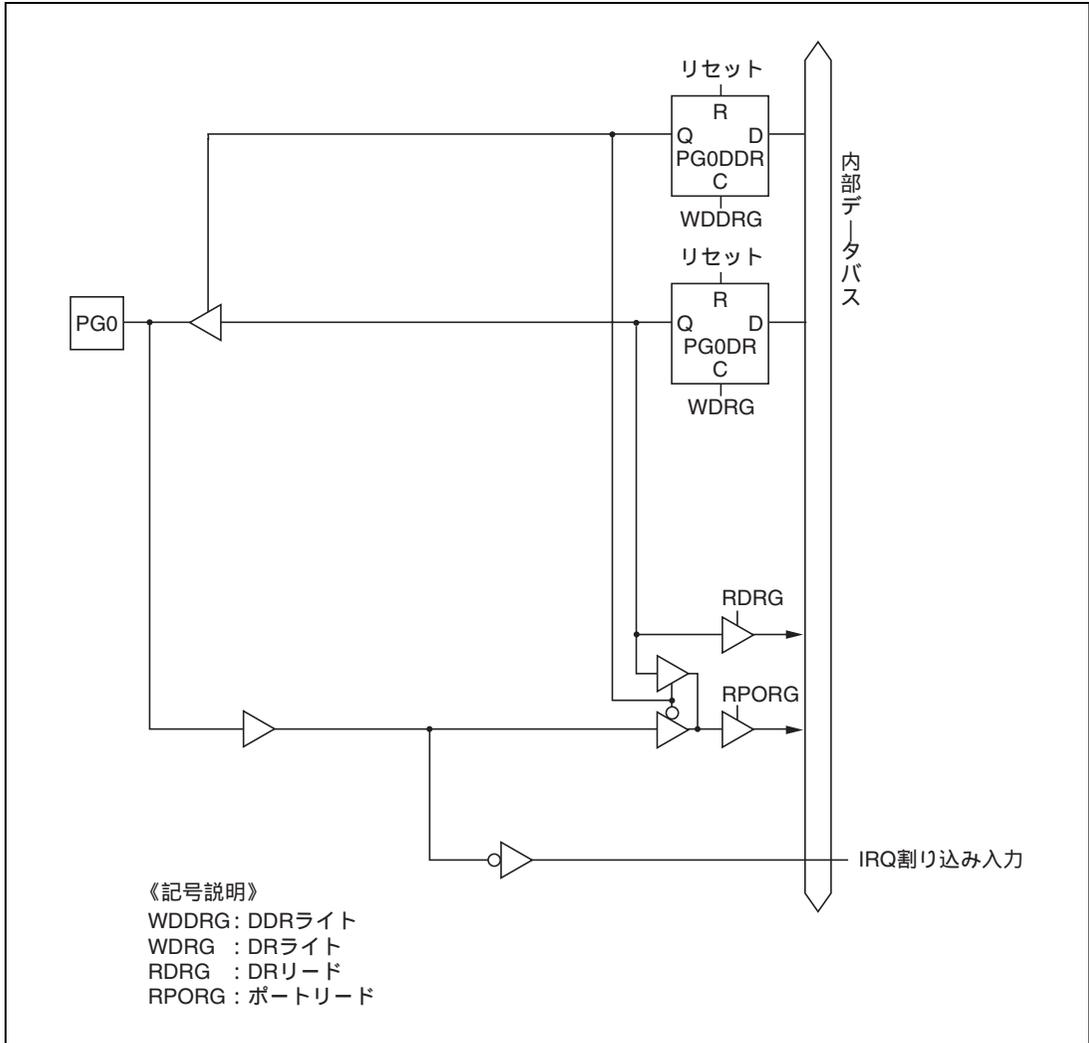


図 C.24 (a) ポート G ブロック図 (PG0 端子)

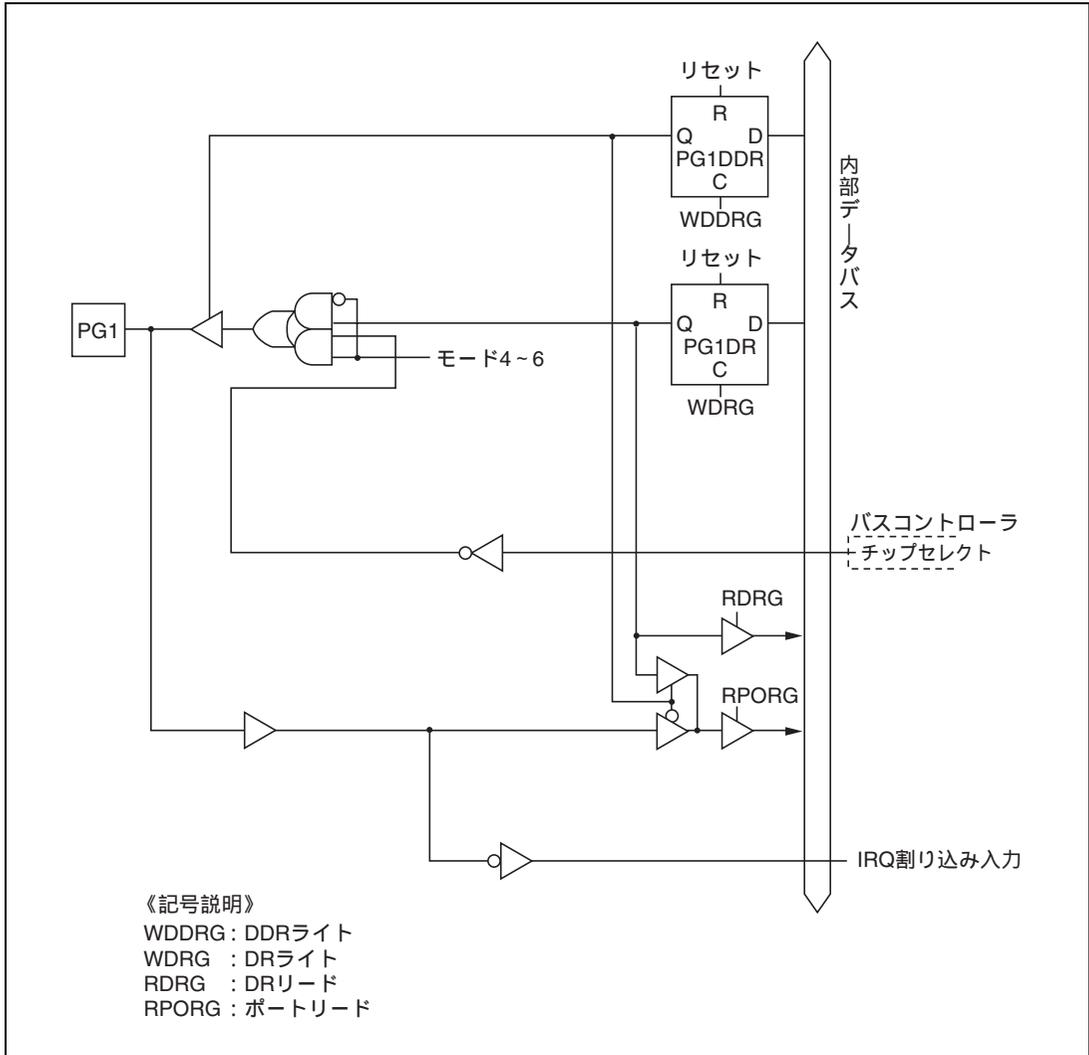


図 C.24 (b) ポート G ブロック図 (PG1 端子)

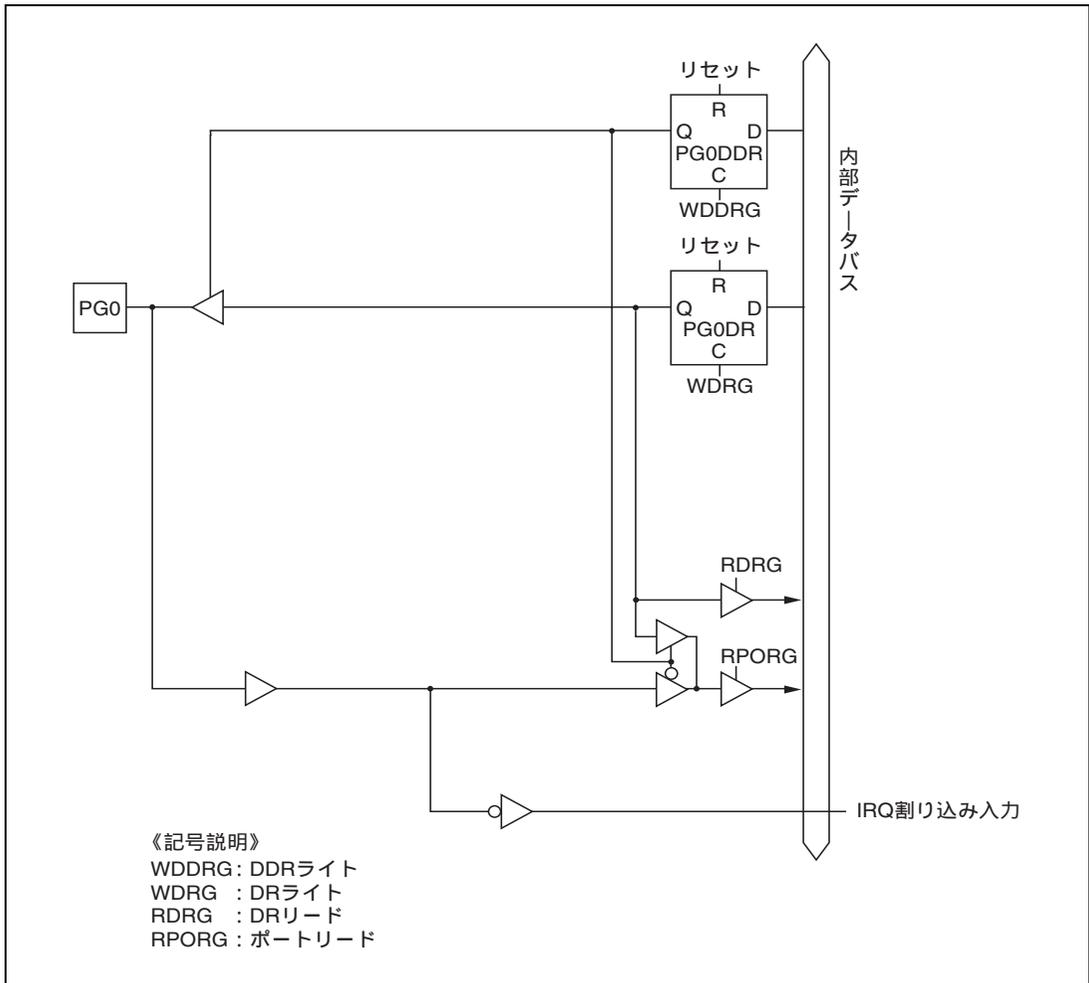


図 C.24 (c) ポート G ブロック図 (PG2、PG3 端子)

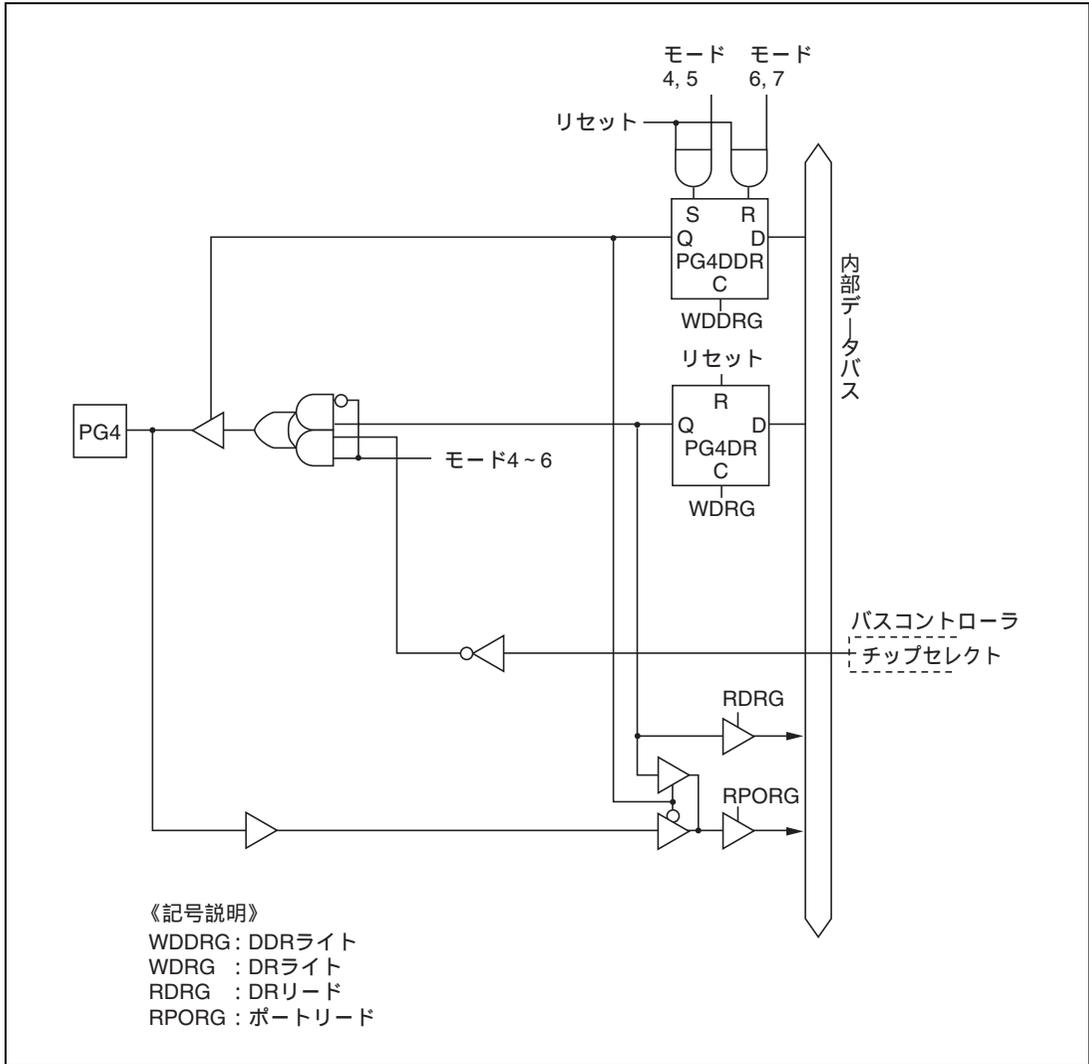


図 C.24 (d) ポート G ブロック図 (PG4 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 に各処理状態における I/O ポート状態 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F、H8S/2633R)、表 D.2 に各処理状態における I/O ポート状態 (H8S/2695) を示します。

表 D.1 各処理状態における I/O ポートの状態 (H8S/2633、H8S/2632、H8S/2631、H8S/2633F、H8S/2633R)

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	4~7	T	Keep	T	Keep	Keep	入出力ポート
ポート 3	4~7	T	Keep	T	Keep	Keep	入出力ポート
ポート 4	4~7	T	T	T	T	T	入力ポート
P77~74	4~7	T	Keep	T	Keep	Keep	入出力ポート
P73/ $\overline{CS7}$	7	T	Keep	T	Keep	Keep	入出力ポート
P72/ $\overline{CS6}$ P71/ $\overline{CS5}$ P70/ $\overline{CS4}$	4~6	T	Keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS7} \sim \overline{CS4}$
ポート 9	4~7	T	T	T	T	T	入力ポート
ポート A	4、5	L	Keep	T	[アドレス出力時 OPE = 0] T	[アドレス出力時] T [上記以外]	[アドレス出力時] A19~A17 [上記以外]
	6	T			[アドレス出力時 OPE = 1] Keep [上記以外] Keep	Keep	入出力ポート
	7	T	Keep	T	Keep	Keep	入出力ポート
ポート B	4、5	L	Keep	T	[アドレス出力時 OPE = 0] T	[アドレス出力時] T [上記以外]	[アドレス出力時] A15~A8 [上記以外]
	6	T			[アドレス出力時 OPE = 1] Keep [上記以外] Keep	Keep	入出力ポート
	7	T	Keep	T	Keep	Keep	入出力ポート

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート C	4、5	L	Keep	T	[OPE = 0] T [OPE = 1] Keep	T	A7 ~ A0	
	6	T	Keep	T	[DDR = 1, OPE = 0] T [DDR = 1, OPE = 1] Keep [DDR = 0] Keep	T	[DDR = 1] A7 ~ A0 [DDR = 0] 入出力ポート	
	7	T	Keep	T	Keep	Keep	入出力ポート	
ポート D	4 ~ 6	T	T*	T	T	T	データバス	
	7	T	Keep	T	Keep	Keep	入出力ポート	
ポート E	4 ~ 6	8ビット バス	T	Keep	T	Keep	Keep	入出力ポート
		16ビット トバス	T	T*	T	T	T	データバス
	7	T	Keep	T	Keep	Keep	Keep	入出力ポート
PF7/	4 ~ 6	クロック 出力	Keep	T	[DDR = 0] T	Keep	[DDR = 0] T	
	7				T		[DDR = 1] H	[DDR = 1] クロック出力
PF6/AS/ LCAS	4 ~ 6	H	H	T	[OPE = 0] T [LCAS 出力時 OPE = 1] LCAS [AS 出力時 OPE = 1] H	T	[LCAS 出力時] LCAS [上記以外] AS	
	7	T	Keep	T	Keep	Keep	入出力ポート	
PF5/RD PF4/HWR PF3/LWR/ ADTRG/	4 ~ 6	H	H	T	[OPE = 0] T [OPE = 1] H	T	R \bar{D} , HWR, LWR	
IRQ3	7	T	Keep	T	Keep	Keep	入出力ポート	
PF2/LCAS /WAIT/ BREQO	4 ~ 6	T	[CAS 出力時] H [上記以外] Keep	T	[LCAS 出力時 OPE = 0] T [LCAS 出力時 OPE = 1] LCAS [上記以外] Keep	[LCAS 出力時] T [BREQOE = 1] BREQO [WAITE = 1] T	[LCAS 出力時] LCAS [BREQOE = 1] BREQO [WAITE = 1] WAIT	
			7		T	Keep	T	Keep

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF1/BACK/ BUZZ	4~6	T	Keep	T	[BRLE = 0, BUZZE = 0] 入出力ポート [BRLE = 0, BUZZE = 1] H [BRLE = 1] H	[BRLE = 0, BUZZE = 0] 入出力ポート [BRLE = 0, BUZZE = 1] H [BRLE = 1] L	[BRLE = 0, BUZZE = 0] 入出力ポート [BRLE = 0, BUZZE = 1] BUZZ [BRLE = 1] BACK
	7	T	Keep	T	Keep	Keep	入出力ポート
PF0/BREQ/ IRQ2	4~6	T	Keep	T	[BRLE = 0] Keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] BREQ
	7	T	Keep	T	Keep	Keep	入出力ポート
PG4/CS0	4,5	H	Keep	T	[DDR = 1, OPE = 0] T [DDR = 1, OPE = 1] H [DDR = 0] T	T	[DDR = 0] 入力ポート [DDR = 1] CS0
	6	T			T	T	T
	7	T	Keep	T	Keep	Keep	入出力ポート
PG3/CS1 PG2/CS2	4~6	T	Keep	T	[DDR = 1, OPE = 0] T [DDR = 1, OPE = 1] H [DDR = 0] T	T	[DDR = 0] 入力ポート [DDR = 1] CS2 ~ CS1
	7	T			Keep	T	Keep
PG1/CS3/ OE/IRQ7	4~6	T	Keep	T	[DDR = 1, OPE = 0] T [DDR = 1, OPE = 1] H [DDR = 0] T	T	[DDR = 0] 入力ポート [OE = 0, DDR = 1] CS3 [OE = 1, DDR = 1] OE
	7	T			Keep	T	Keep

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG0/CAS/ IRQ6	4-6	T	Keep	T	[DRAME = 0] Keep [DRAME = 1,OPE = 1] CAS [DRAME = 1,OPE = 1] T	T	[DRAME = 0] 入出力ポート [DRAME = 1] CAS
	7	T	Keep	T	Keep	Keep	入出力ポート

【記号説明】

H	: High レベル	WAITE	: ウェイト入力イネーブル
L	: Low レベル	BRLE	: バスリリースイネーブル
T	: ハイインピーダンス	BREQOE	: BREQO 端子イネーブル
Keep	: 入力ポートはハイインピーダンス、 出力ポートは保持	DRAME	: DRAME 空間設定
		LCASE	: DRAME 空間設定
DDR	: データディレクションレジスタ	CW2 = LCASS = 0	
OPE	: 出力ポートイネーブル		

【注】 * 実行中のバスサイクル終了後の状態を示します。

表 D.2 各処理状態における I/O ポートの状態 (H8S/2695)

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	4~7	T	Keep	T	Keep	Keep	入出力ポート
ポート 3	4~7	T	Keep	T	Keep	Keep	入出力ポート
ポート 4	4~7	T	T	T	T	T	入力ポート
P77~74	4~7	T	Keep	T	Keep	Keep	入出力ポート
P73/CS7	7	T	Keep	T	Keep	Keep	入出力ポート
P72/CS6 P71/CS5 P70/CS4	4~6	T	Keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] CS7~CS4
ポート 9	4~7	T	T	T	T	T	入力ポート
ポート A	4, 5	L	Keep	T	[アドレス出力時 OPE = 0] T	[アドレス出力時] T [上記以外]	[アドレス出力時] A19~A17 [上記以外]
	6	T			[アドレス出力時 OPE = 1] Keep [上記以外] Keep	Keep	入出力ポート
	7	T	Keep	T	Keep	Keep	入出力ポート
ポート B	4, 5	L	Keep	T	[アドレス出力時 OPE = 0] T	[アドレス出力時] T [上記以外]	[アドレス出力時] A15~A8 [上記以外]
	6	T			[アドレス出力時 OPE = 1] Keep [上記以外] Keep	Keep	入出力ポート
	7	T	Keep	T	Keep	Keep	入出力ポート
ポート C	4, 5	L	Keep	T	[OPE = 0] T [OPE = 1] Keep	T	A7~A0
	6	T	Keep	T	[DDR = 1, OPE = 0] T [DDR = 1, OPE = 1] Keep [DDR = 0] Keep	T	[DDR = 1] A7~A0 [DDR = 0] 入出力ポート
	7	T	Keep	T	Keep	Keep	入出力ポート

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート D	4~6	T	T*	T	T	T	データバス	
	7	T	Keep	T	Keep	Keep	入出力ポート	
ポート E	4~6	8ビット バス	T	Keep	T	Keep	Keep	入出力ポート
		16ビット バス	T	T*	T	T	T	データバス
	7	T	Keep	T	Keep	Keep	Keep	入出力ポート
PF7/	4~6	クロック 出力	Keep	T	[DDR = 0] T	Keep	[DDR = 0] T	
	7				T		[DDR = 1] H	[DDR = 1] クロック出力
PF6/AS	4~6	H	H	T	[OPE = 0] T [AS 出力時 OPE = 1] H	T	AS	
	7	T	Keep	T	Keep	Keep	入出力ポート	
PF5/RD PF4/HWR PF3/LWR/ ADTRG/ IRQ3	4~6	H	H	T	[OPE = 0] T [OPE = 1] H	T	RD, HWR, LWR	
	7	T	Keep	T	Keep	Keep	入出力ポート	
PF2/WAIT/ BREQO	4~6	T	Keep	T	Keep	[BREQOE = 1] BREQO [WAITE = 1] T	[BREQOE = 1] BREQO [WAITE = 1] WAIT	
	7	T	Keep	T	Keep	Keep	入出力ポート	
PF1/BACK	4~6	T	Keep	T	[BRLE = 0] 入出力ポート [BRLE = 1] H	[BRLE = 0] 入出力ポート [BRLE = 1] L	[BRLE = 0] 入出力ポート [BRLE = 1] BACK	
	7	T	Keep	T	Keep	Keep	入出力ポート	
PF0/BREQ/ IRQ2	4~6	T	Keep	T	[BRLE = 0] Keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] BREQ	
	7	T	Keep	T	Keep	Keep	入出力ポート	

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG4/CS0	4,5	H	Keep	T	[DDR = 1,OPE = 0] T [DDR = 1,OPE = 1] H [DDR = 0] T	T	[DDR = 0] 入力ポート [DDR = 1] CS0
	6	T			T		
	7	T	Keep	T	Keep	Keep	入出力ポート
PG3/CS1 PG2/CS2	4~6	T	Keep	T	[DDR = 1,OPE = 0] T [DDR = 1,OPE = 1] H [DDR = 0] T	T	[DDR = 0] 入力ポート [DDR = 1] CS2 ~ CS1
	7	T	Keep	T	Keep	Keep	入出力ポート
PG1/CS3/ IRQ7	4~6	T	Keep	T	[DDR = 1,OPE = 0] T [DDR = 1,OPE = 1] H [DDR = 0] T	T	[DDR = 0] 入力ポート [DDR = 1] CS3
	7	T	Keep	T	Keep	Keep	入出力ポート
PG0/IRQ6	4~6	T	Keep	T	Keep	T	入出力ポート
	7	T	Keep	T	Keep	Keep	入出力ポート

【記号説明】

H	: High レベル	WAITE	: ウェイト入力イネーブル
L	: Low レベル	BRLE	: バスリリースイネーブル
T	: ハイインピーダンス	BREQOE	: BREQO 端子イネーブル
Keep	: 入力ポートはハイインピーダンス、 出力ポートは保持		
DDR	: データディレクションレジスタ		
OPE	: 出力ポートイネーブル		

【注】 * 実行中のバスサイクル終了後の状態を示します。

E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 E.1 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。

また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、0ns 以上としてください。

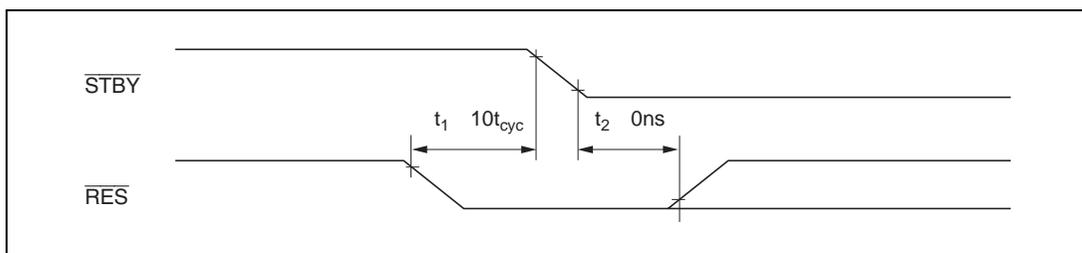


図 E.1 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、100ns 以上前に $\overline{\text{RES}}$ 信号を Low、NMI 信号を High とし、パワーオンリセットとしてください。

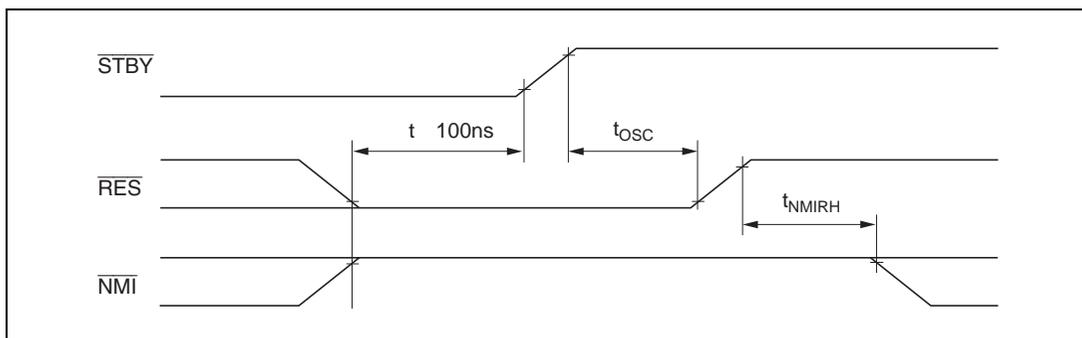


図 E.2 ハードウェアスタンバイモードからの復帰タイミング

F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

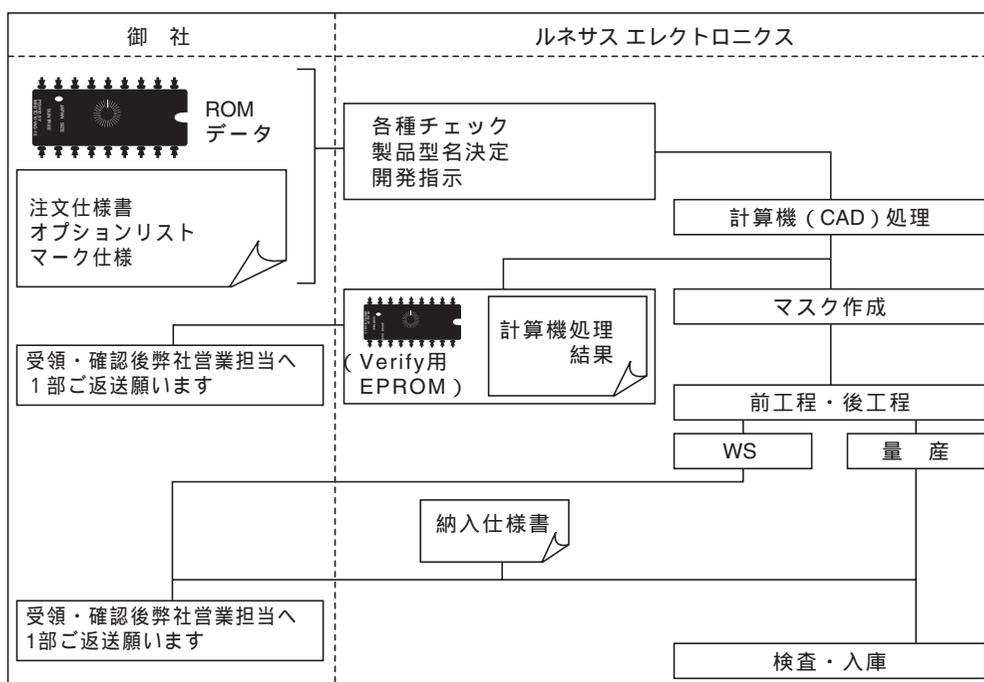


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM または F-ZTAT™ マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM または F-ZTAT™ マイコンで提出してください。なお、EPROM または F-ZTAT™ マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

G. 型名一覧

表 G.1 H8S/2633 グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ (パッケージコード)
H8S/2633	F-ZTAT 版	HD64F2633	HD64F2633F	128 ピン QFP (FP-128B)
			HD64F2633TE	120 ピン TQFP (TFP-120)
H8S/2632	マスク ROM 版	HD6432633	HD6432633F	128 ピン QFP (FP-128B)
			HD6432633TE	120 ピン TQFP (TFP-120)
		HD6432632	HD6432632F	128 ピン QFP (FP-128B)
			HD6432632TE	120 ピン TQFP (TFP-120)
H8S/2631		HD6432631	HD6432631F	128 ピン QFP (FP-128B)
			HD6432631TE	120 ピン TQFP (TFP-120)
H8S/2633R	F-ZTAT 版	HD64F2633R	HD64F2633RF	128 ピン QFP (FP-128B)
			HD64F2633RTE	120 ピン TQFP (TFP-120)
H8S/2695	マスク ROM 版	HD6432695	HD6432695F	128 ピン QFP (FP-128B)

H. 外形寸法図

H8S/2633 グループ、H8S/2633F、H8S/2633R、H8S/2695 の外形寸法図を図 H.1、図 H.2 に示します。

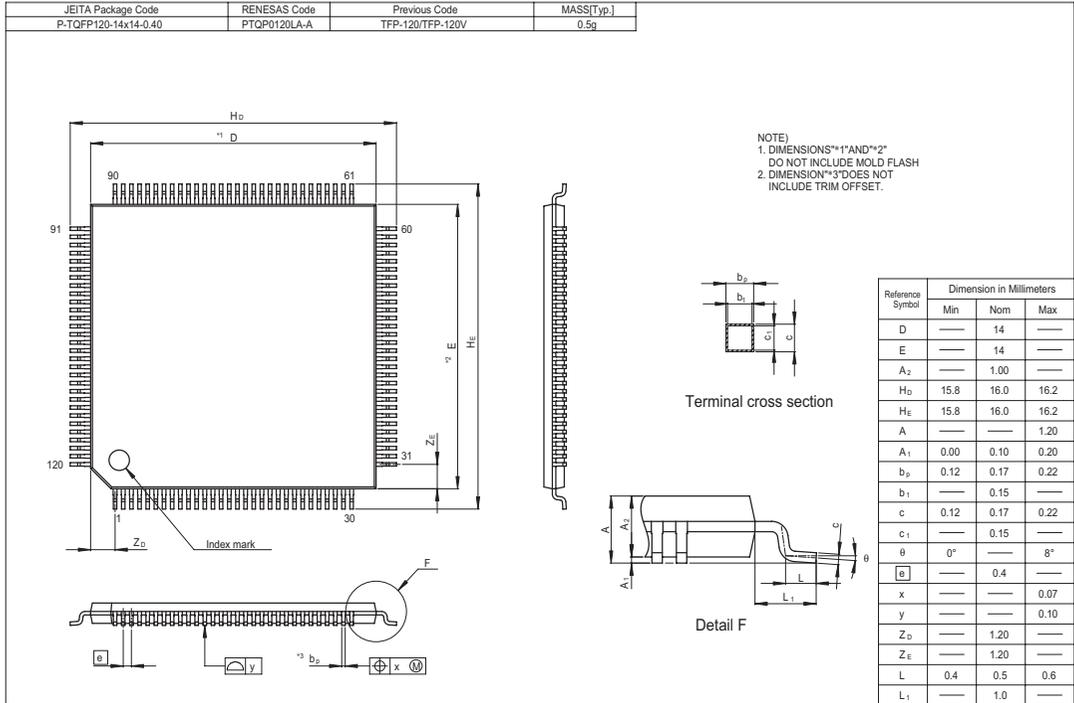


図 H.1 TFP-120 の外形寸法図

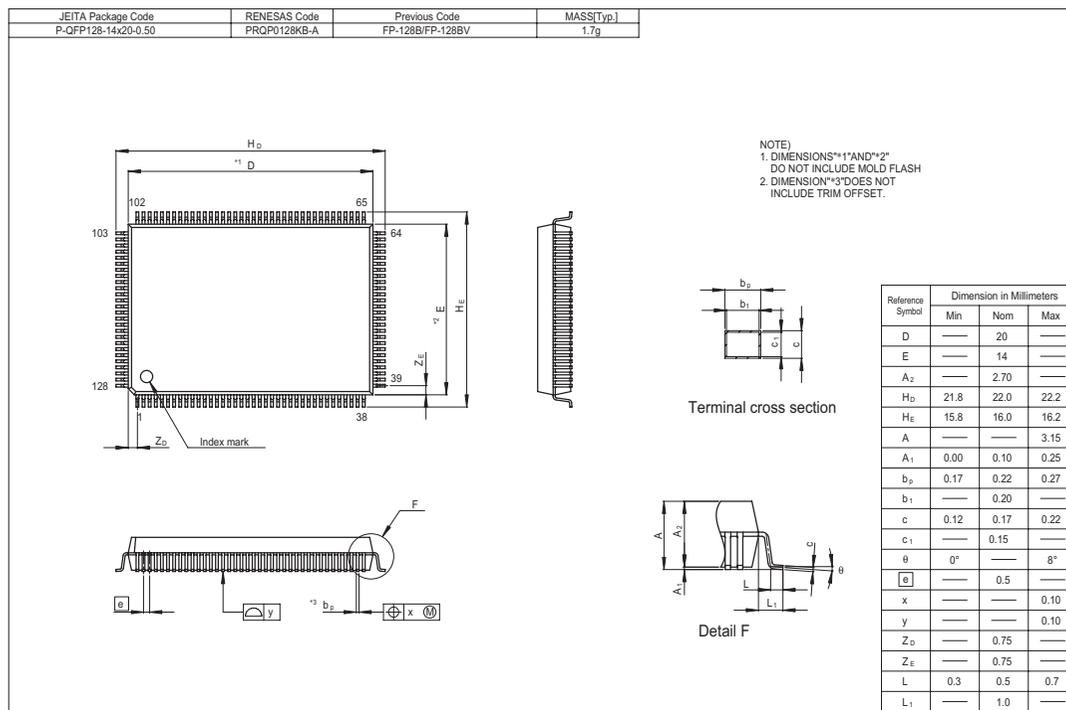


図 H.2 FP-128B の外形寸法図

ルネサス16ビットシングルチップマイクロコンピュータ
H8S/2633グループ、H8S/2633F-ZTAT™、H8S/2633RF-ZTAT™、H8S/2695
ユーザーズマニュアル ハードウェア編

発行年月日 1998年12月 Rev.1.00

2011年3月2日 Rev.6.00

発行 ルネサスエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

H8S/2633 グループ、H8S/2633F-ZTAT™、
H8S/2633RF-ZTAT™、H8S/2695
ユーザーズマニュアル ハードウェア編