

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# H8S/2655グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2600シリーズ

H8S/2655	HD6432655、 HD6472655
H8S/2653	HD6432653

## 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。



---

## 本版で改訂された箇所

---

修正項目	ページ	修正内容（詳細はマニュアル参照）
全体		<ul style="list-style-type: none"><li>・ 社名変更による変更 日立製作所 ルネサステクノロジ</li><li>・ 呼称変更による変更 H8S/2655 シリーズ H8S/2655 グループ</li><li>・ パッケージコード変更による変更 FP-128 PRQP0128KB-A TFP-120 PTQP0120LA-A</li></ul>
7.7 使用上の注意 (1)動作中の DMAC レジスタアクセス 図 7.40 DMAC レジスタの更新タイミング 図 7.41 DMAC レジスタの更新と CPU リードの競合	7-76、 7-77	記述および図を追加 動作中（転送待ち状態を含む）の DMAC レジスタリードに関しては以下のようになります。 (a) DMAC 制御はバスサイクルより 1 サイクル早く起動し、アドレス値を出力します。このため MAR は、DMAC 転送前のバスサイクルに更新されます。 (b) DMAC レジスタリード直後に DMAC の転送サイクルが起こる場合、図 7.41 のように DMAC レジスタがリードされます。





---

## はじめに

---

H8S/2655 グループは、内部 32 ビット構成の H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

H8S/2600 CPU は、基本命令を 1 ステートで実行でき、内部 32 ビット構成の 16 ビット×16 本の汎用レジスタと簡潔で最適化された命令セットを備えています。また、16M バイトのリニアなアドレス空間を扱うことができます（アーキテクチャとしては 4G バイト）。高級言語 C をベースとしたプログラムも効率的に実行できます。

アドレス空間は 8 つのエリアに分割されており、エリアごとにデータバス幅・アクセスステートを選択でき、各種のメモリを高速かつ容易に接続できます。

内蔵メモリとしては、大容量 ROM、RAM を内蔵しています。内蔵 ROM は、PROM 版（ZTAT<sup>®\*</sup>）、マスク ROM 版があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

周辺機能として、16 ビットタイマパルスユニット（TPU）、プログラマブルパルスジェネレータ（PPG）、8 ビットタイマ、ウォッチドックタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D 変換器、D/A 変換器、I/O ポートなどを内蔵しています。

また、DMA コントローラ（DMAC）、データトランスファコントローラ（DTC）を内蔵し、CPU に代わって高速のデータ転送を行うことができます。

H8S/2655 グループを用いることにより、高性能かつ小型のシステムを容易に実現することができます。

本マニュアルは、H8S/2655 グループのハードウェアについて説明しています。命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」を併せてご覧ください。

【注】\* ZTAT は（株）ルネサス テクノロジーの登録商標です。



---

# 目次

---

## 第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-6
1.3.1	ピン配置図	1-6
1.3.2	動作モード別端子機能一覧	1-8
1.3.3	端子機能	1-12

## 第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8/300 CPU との相違点	2-2
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU 動作モード	2-4
2.3	アドレス空間	2-9
2.4	レジスタ構成	2-10
2.4.1	概要	2-10
2.4.2	汎用レジスタ	2-11
2.4.3	コントロールレジスタ	2-12
2.4.4	CPU 内部レジスタの初期値	2-14
2.5	データ構成	2-15
2.5.1	汎用レジスタのデータ構成	2-15
2.5.2	メモリ上でのデータ構成	2-16
2.6	命令セット	2-18
2.6.1	概要	2-18
2.6.2	命令とアドレッシングモードの組み合わせ	2-19
2.6.3	命令の機能別一覧	2-20
2.6.4	命令の基本フォーマット	2-29
2.7	アドレッシングモードと実効アドレスの計算方法	2-31
2.7.1	アドレッシングモード	2-31
2.7.2	実効アドレスの計算方法	2-34
2.8	処理状態	2-38
2.8.1	概要	2-38
2.8.2	リセット状態	2-40
2.8.3	例外処理状態	2-40
2.8.4	プログラム実行状態	2-43
2.8.5	バス権解放状態	2-43
2.8.6	低消費電力状態	2-43

2.9	基本動作タイミング	2-44
2.9.1	概要	2-44
2.9.2	内蔵メモリ (ROM、RAM)	2-44
2.9.3	内蔵周辺モジュールアクセスタイミング	2-45
2.9.4	外部アドレス空間アクセスタイミング	2-46

### 第3章 MCU 動作モード

3.1	概要	3-1
3.1.1	動作モードの選択	3-1
3.1.2	レジスタ構成	3-2
3.2	各レジスタの説明	3-3
3.2.1	モードコントロールレジスタ (MDCR)	3-3
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	各動作モードの説明	3-5
3.3.1	モード 1	3-5
3.3.2	モード 2	3-5
3.3.3	モード 3	3-5
3.3.4	モード 4	3-5
3.3.5	モード 5	3-5
3.3.6	モード 6	3-6
3.3.7	モード 7	3-6
3.4	各動作モードにおける端子機能	3-7
3.5	各動作モードのアドレスマップ	3-8

### 第4章 例外処理

4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-4
4.2.1	概要	4-4
4.2.2	リセットの種類	4-4
4.2.3	リセットシーケンス	4-5
4.2.4	リセット直後の割り込み	4-6
4.3	トレース	4-7
4.4	割り込み	4-7
4.5	トラップ命令	4-8
4.6	例外処理後のスタックの状態	4-9
4.7	スタック使用上の注意	4-10

### 第5章 割り込みコントローラ

5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	ブロック図	5-2
5.1.3	端子構成	5-3

5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4
5.2.2	インタラプトコントロールレジスタ A ~ C (ICRA ~ ICRC)	5-5
5.2.3	インタラプトプライオリティレジスタ A ~ K (IPRA ~ IPRK)	5-5
5.2.4	IRQ イネーブルレジスタ (IER)	5-6
5.2.5	IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)	5-7
5.2.6	IRQ ステータスレジスタ (ISR)	5-8
5.3	割り込み要因	5-9
5.3.1	外部割り込み	5-9
5.3.2	内部割り込み	5-10
5.3.3	割り込み例外処理ベクタテーブル	5-11
5.4	割り込み動作	5-14
5.4.1	割り込み制御モードと割り込み動作	5-14
5.4.2	割り込み制御モード 0	5-17
5.4.3	割り込み制御モード 1	5-19
5.4.4	割り込み制御モード 2	5-22
5.4.5	割り込み制御モード 3	5-24
5.4.6	割り込み例外処理シーケンス	5-26
5.4.7	割り込み応答時間	5-27
5.5	使用上の注意	5-28
5.5.1	割り込みの発生とディスエーブルとの競合	5-28
5.5.2	割り込みを禁止している命令	5-29
5.5.3	割り込み禁止期間	5-29
5.5.4	EEPMOV 命令実行中の割り込み	5-29
5.6	割り込みによる DTC、DMAC の起動	5-30
5.6.1	概要	5-30
5.6.2	ブロック図	5-30
5.6.3	動作説明	5-31
<b>第 6 章 バスコントローラ</b>		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-3
6.1.3	端子構成	6-4
6.1.4	レジスタ構成	6-5
6.2	各レジスタの説明	6-6
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-6
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-7
6.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	6-8
6.2.4	バスコントロールレジスタ H (BCRH)	6-11
6.2.5	バスコントロールレジスタ L (BCRL)	6-13
6.2.6	メモリコントロールレジスタ (MCR)	6-15
6.2.7	DRAM コントロールレジスタ (DRAMCR)	6-18
6.2.8	リフレッシュタイマカウンタ (RTCNT)	6-20
6.2.9	リフレッシュタイムコンスタントレジスタ (RTCOR)	6-21

6.3	バス制御の概要 .....	6-22
6.3.1	エリア分割 .....	6-22
6.3.2	バス仕様 .....	6-23
6.3.3	メモリアンタフェース .....	6-24
6.3.4	アドバンスモード .....	6-24
6.3.5	ノーマルモード時のエリアの説明 .....	6-25
6.3.6	チップセレクト信号 .....	6-25
6.4	基本バスインタフェース .....	6-26
6.4.1	概要 .....	6-26
6.4.2	データサイズとデータアライメント .....	6-26
6.4.3	有効ストロブ .....	6-27
6.4.4	基本タイミング .....	6-28
6.4.5	ウェイト制御 .....	6-36
6.5	DRAM インタフェース .....	6-38
6.5.1	概要 .....	6-38
6.5.2	DRAM 空間の設定 .....	6-38
6.5.3	アドレスマルチプレクス .....	6-38
6.5.4	データバス .....	6-39
6.5.5	DRAM インタフェース使用端子 .....	6-39
6.5.6	基本タイミング .....	6-40
6.5.7	プリチャージステート制御 .....	6-41
6.5.8	ウェイト制御 .....	6-41
6.5.9	バイトアクセス制御 .....	6-43
6.5.10	バースト動作 .....	6-47
6.5.11	CAS2 本方式選択時の注意事項 .....	6-50
6.5.12	リフレッシュ制御 .....	6-51
6.6	擬似 SRAM インタフェース .....	6-55
6.6.1	概要 .....	6-55
6.6.2	PSRAM 空間の設定 .....	6-55
6.6.3	データバス .....	6-56
6.6.4	PSRAM インタフェース使用端子 .....	6-56
6.6.5	基本タイミング .....	6-57
6.6.6	プリチャージステート制御 .....	6-58
6.6.7	ウェイト制御 .....	6-59
6.6.8	バースト動作 .....	6-61
6.6.9	リフレッシュ制御 .....	6-64
6.6.10	パワーオンシーケンス .....	6-65
6.7	DMAC シングルアドレスモードと DRAM / PSRAM インタフェース .....	6-66
6.7.1	DDS = 1 のとき .....	6-66
6.7.2	DDS = 0 のとき .....	6-67
6.8	バースト ROM インタフェース .....	6-68
6.8.1	概要 .....	6-68
6.8.2	基本タイミング .....	6-68
6.8.3	ウェイト制御 .....	6-70

6.9	アイドルサイクル .....	6-70
6.9.1	動作説明 .....	6-70
6.9.2	アイドルサイクルでの端子状態 .....	6-72
6.10	ライトデータバッファ機能 .....	6-73
6.11	バス解放 .....	6-74
6.11.1	概要 .....	6-74
6.11.2	動作説明 .....	6-74
6.11.3	外部バス権解放状態での端子状態 .....	6-74
6.11.4	遷移タイミング .....	6-75
6.12	バスアービトレーション .....	6-76
6.12.1	概要 .....	6-76
6.12.2	動作説明 .....	6-76
6.12.3	バス権移行タイミング .....	6-76
6.12.4	外部バス権解放使用上の注意 .....	6-77
6.13	リセットとバスコントローラ .....	6-77
<b>第7章 DMA コントローラ</b>		
7.1	概要 .....	7-1
7.1.1	特長 .....	7-1
7.1.2	ブロック図 .....	7-2
7.1.3	機能概要 .....	7-3
7.1.4	端子構成 .....	7-4
7.1.5	レジスタ構成 .....	7-5
7.2	各レジスタの説明(1)(ショートアドレスモード) .....	7-6
7.2.1	メモリアドレスレジスタ(MAR) .....	7-7
7.2.2	I/O アドレスレジスタ(IOAR) .....	7-7
7.2.3	転送カウントレジスタ(ETCR) .....	7-8
7.2.4	DMA コントロールレジスタ(DMACR) .....	7-9
7.2.5	DMA バンドコントロールレジスタ(DMABCR) .....	7-13
7.3	各レジスタの説明(2)(フルアドレスモード) .....	7-18
7.3.1	メモリアドレスレジスタ(MAR) .....	7-18
7.3.2	I/O アドレスレジスタ(IOAR) .....	7-18
7.3.3	転送カウントレジスタ(ETCR) .....	7-19
7.3.4	DMA コントロールレジスタ(DMACR) .....	7-20
7.3.5	DMA バンドコントロールレジスタ(DMABCR) .....	7-24
7.4	各レジスタの説明(3) .....	7-29
7.4.1	DMA ライトイネーブルレジスタ(DMAWER) .....	7-29
7.4.2	DMA ターミナルコントロールレジスタ(DMATCR) .....	7-31
7.4.3	モジュールストップコントロールレジスタ(MSTPCR) .....	7-32
7.5	動作説明 .....	7-33
7.5.1	転送モード .....	7-33
7.5.2	シーケンシャルモード .....	7-35
7.5.3	アイドルモード .....	7-38
7.5.4	リピートモード .....	7-40
7.5.5	シングルアドレスモード .....	7-43

7.5.6	ノーマルモード	7-46
7.5.7	ブロック転送モード	7-49
7.5.8	DMAC の起動要因	7-54
7.5.9	DMAC の基本バスサイクル	7-57
7.5.10	DMAC のバスサイクル (デュアルアドレスモード)	7-58
7.5.11	DMAC のバスサイクル (シングルアドレスモード)	7-66
7.5.12	ライトデータバッファ機能	7-70
7.5.13	DMAC 複数チャネルの動作	7-71
7.5.14	DMAC と、外部バス権要求、リフレッシュサイクル、DTC の関係	7-72
7.5.15	NMI 割り込みと DMAC	7-72
7.5.16	DMAC 動作の強制終了	7-73
7.5.17	フルアドレスモードの解除	7-74
7.6	割り込み	7-75
7.7	使用上の注意	7-76
<b>第 8 章 データトランスファコントローラ (DTC)</b>		
8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	レジスタ構成	8-3
8.2	各レジスタの説明	8-4
8.2.1	DTC モードレジスタ A (MRA)	8-4
8.2.2	DTC モードレジスタ B (MRB)	8-6
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-7
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-7
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-7
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-8
8.2.7	DTC イネーブルレジスタ (DTCER)	8-8
8.2.8	DTC ベクタレジスタ (DTVECR)	8-9
8.2.9	モジュールストップコントロールレジスタ (MSTPCR)	8-10
8.3	動作説明	8-11
8.3.1	概要	8-11
8.3.2	起動要因	8-12
8.3.3	DTC ベクタテーブル	8-14
8.3.4	アドレス空間上でのレジスタ情報の配置	8-16
8.3.5	ノーマルモード	8-17
8.3.6	リピートモード	8-18
8.3.7	ブロック転送モード	8-19
8.3.8	チェイン転送	8-20
8.3.9	動作タイミング	8-21
8.3.10	DTC 実行ステート数	8-22
8.3.11	DTC 使用手順	8-23
8.3.12	DTC 使用例	8-23



8.4	割り込み.....	8-26
8.5	使用上の注意.....	8-26
第9章 I/Oポート		
9.1	概要.....	9-1
9.2	ポート1.....	9-7
	9.2.1 概要.....	9-7
	9.2.2 レジスタ構成.....	9-7
	9.2.3 端子機能.....	9-10
9.3	ポート2.....	9-18
	9.3.1 概要.....	9-18
	9.3.2 レジスタ構成.....	9-18
	9.3.3 端子機能.....	9-21
9.4	ポート3.....	9-29
	9.4.1 概要.....	9-29
	9.4.2 レジスタ構成.....	9-29
	9.4.3 端子機能.....	9-32
9.5	ポート4.....	9-34
	9.5.1 概要.....	9-34
	9.5.2 レジスタ構成.....	9-34
	9.5.3 端子機能.....	9-35
9.6	ポート5.....	9-36
	9.6.1 概要.....	9-36
	9.6.2 レジスタ構成.....	9-36
	9.6.3 端子機能.....	9-38
9.7	ポート6.....	9-40
	9.7.1 概要.....	9-40
	9.7.2 レジスタ構成.....	9-41
	9.7.3 端子機能.....	9-43
9.8	ポートA.....	9-45
	9.8.1 概要.....	9-45
	9.8.2 レジスタ構成.....	9-47
	9.8.3 モード別端子機能.....	9-50
	9.8.4 入力プルアップ MOS.....	9-52
9.9	ポートB.....	9-53
	9.9.1 概要.....	9-53
	9.9.2 レジスタ構成.....	9-55
	9.9.3 モード別端子機能.....	9-57
	9.9.4 入力プルアップ MOS.....	9-59
9.10	ポートC.....	9-60
	9.10.1 概要.....	9-60
	9.10.2 レジスタ構成.....	9-62
	9.10.3 モード別端子機能.....	9-65
	9.10.4 入力プルアップ MOS.....	9-66

9.11	ポート D	9-67
9.11.1	概要	9-67
9.11.2	レジスタ構成	9-68
9.11.3	モード別端子機能	9-70
9.11.4	入力プルアップ MOS	9-71
9.12	ポート E	9-72
9.12.1	概要	9-72
9.12.2	レジスタ構成	9-73
9.12.3	モード別端子機能	9-75
9.12.4	入力プルアップ MOS	9-76
9.13	ポート F	9-77
9.13.1	概要	9-77
9.13.2	レジスタ構成	9-79
9.13.3	端子機能	9-81
9.14	ポート G	9-83
9.14.1	概要	9-83
9.14.2	レジスタ構成	9-85
9.14.3	端子機能	9-87

## 第 10 章 16 ビットタイマパルスユニット (TPU)

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-5
10.1.3	端子構成	10-6
10.1.4	レジスタ構成	10-7
10.2	各レジスタの説明	10-9
10.2.1	タイマコントロールレジスタ (TCR)	10-9
10.2.2	タイマモードレジスタ (TMDR)	10-14
10.2.3	タイマ I/O コントロールレジスタ (TIOR)	10-16
10.2.4	タイマインタラプトイネーブルレジスタ (TIER)	10-25
10.2.5	タイマステータスレジスタ (TSR)	10-28
10.2.6	タイマカウンタ (TCNT)	10-32
10.2.7	タイマジェネラルレジスタ (TGR)	10-32
10.2.8	タイマスタートレジスタ (TSTR)	10-33
10.2.9	タイマシンクロレジスタ (TSYR)	10-34
10.2.10	モジュールストップコントロールレジスタ (MSTPCR)	10-35
10.3	バスマスタとのインタフェース	10-36
10.3.1	16 ビットレジスタ	10-36
10.3.2	8 ビットレジスタ	10-37
10.4	動作説明	10-38
10.4.1	概要	10-38
10.4.2	基本機能	10-39
10.4.3	同期動作	10-45
10.4.4	バッファ動作	10-47
10.4.5	カスケード接続動作	10-51
10.4.6	PWM モード	10-53

10.4.7	位相計数モード	10-59
10.5	割り込み	10-65
10.5.1	割り込み要因と優先順位	10-65
10.5.2	DTC / DMAC の起動	10-67
10.5.3	A/D 変換器の起動	10-67
10.6	動作タイミング	10-68
10.6.1	入出力タイミング	10-68
10.6.2	割り込み信号タイミング	10-72
10.7	使用上の注意	10-76

## 第 11 章 プログラマブルパルスジェネレータ (PPG)

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-4
11.2	各レジスタの説明	11-5
11.2.1	ネクストデータインネーブルレジスタ H、L (NDERH、NDERL)	11-5
11.2.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	11-6
11.2.3	ネクストデータレジスタ H、L (NDRH、NDRL)	11-6
11.2.4	NDR アクセス時の注意	11-7
11.2.5	PPG 出力コントロールレジスタ (PCR)	11-9
11.2.6	PPG 出力モードレジスタ (PMR)	11-11
11.2.7	ポート 1 データディレクションレジスタ (P1DDR)	11-13
11.2.8	ポート 2 データディレクションレジスタ (P2DDR)	11-14
11.2.9	モジュールストップコントロールレジスタ (MSTPCR)	11-14
11.3	動作説明	11-15
11.3.1	概要	11-15
11.3.2	出力タイミング	11-16
11.3.3	パルス出力通常動作	11-17
11.3.4	パルス出力ノンオーバーラップ動作	11-19
11.3.5	パルス反転出力	11-21
11.3.6	インプットキャプチャによるパルス出力	11-22
11.4	使用上の注意	11-23
11.4.1	パルス出力端子の動作	11-23
11.4.2	ノンオーバーラップ動作時の注意	11-23

## 第 12 章 8 ビットタイマ

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	タイマカウンタ 0、1 (TCNT0、TCNT1)	12-4
12.2.2	タイムコンスタントレジスタ A0、A1 (TCORA0、TCORA1)	12-4

12.2.3	タイムコンスタントレジスタ B0、B1 (TCORB0、TCORB1) .....	12-5
12.2.4	タイムコントロールレジスタ 0、1 (TCR0、TCR1) .....	12-5
12.2.5	タイムコントロール/ステータスレジスタ 0、1 (TCSR0、TCSR1) .....	12-7
12.2.6	モジュールストップコントロールレジスタ (MSTPCR) .....	12-10
12.3	動作説明 .....	12-11
12.3.1	TCNT のカウントタイミング .....	12-11
12.3.2	コンペアマッチタイミング .....	12-13
12.3.3	TCNT の外部リセットタイミング .....	12-14
12.3.4	オーバフローフラグ (OVF) のセットタイミング .....	12-15
12.3.5	カスケード接続時の動作 .....	12-16
12.4	割り込み要因 .....	12-17
12.5	8 ビットタイマの使用例 .....	12-17
12.6	使用上の注意 .....	12-18
12.6.1	TCNT のライトとカウンタクリアの競合 .....	12-18
12.6.2	TCNT のライトとカウントアップの競合 .....	12-19
12.6.3	TCOR のライトとコンペアマッチの競合 .....	12-20
12.6.4	コンペアマッチ A、B の競合 .....	12-20
12.6.5	内部クロックの切り替えと TCNT の動作 .....	12-21

## 第 13 章 ウォッチドッグタイマ (WDT)

13.1	概要 .....	13-1
13.1.1	特長 .....	13-1
13.1.2	ブロック図 .....	13-2
13.1.3	端子構成 .....	13-3
13.1.4	レジスタ構成 .....	13-3
13.2	各レジスタの説明 .....	13-4
13.2.1	タイマカウンタ (TCNT) .....	13-4
13.2.2	タイムコントロール/ステータスレジスタ (TCSR) .....	13-4
13.2.3	リセットコントロール/ステータスレジスタ (RSTCSR) .....	13-7
13.2.4	レジスタアクセス時の注意 .....	13-8
13.3	動作説明 .....	13-10
13.3.1	ウォッチドッグタイマモード時の動作 .....	13-10
13.3.2	インターバルタイマモード時の動作 .....	13-11
13.3.3	オーバフローフラグ (OVF) のセットタイミング .....	13-12
13.3.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング .....	13-13
13.4	割り込み .....	13-14
13.5	使用上の注意 .....	13-14
13.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合 .....	13-14
13.5.2	CKS2 ~ CKS0 ビットの書き換え .....	13-14
13.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え .....	13-15
13.5.4	WDTOVF 信号によるシステムのリセット .....	13-15
13.5.5	ウォッチドッグタイマモードでの内部リセット .....	13-15

## 第 14 章 シリアルコミュニケーションインタフェース (SCI)

14.1	概要 .....	14-1
14.1.1	特長 .....	14-1

14.1.2	ブロック図	14-2
14.1.3	端子構成	14-3
14.1.4	レジスタ構成	14-4
14.2	各レジスタの説明	14-5
14.2.1	レシーブシフトレジスタ (RSR)	14-5
14.2.2	レシーブデータレジスタ (RDR)	14-5
14.2.3	トランスミットシフトレジスタ (TSR)	14-5
14.2.4	トランスミットデータレジスタ (TDR)	14-6
14.2.5	シリアルモードレジスタ (SMR)	14-6
14.2.6	シリアルコントロールレジスタ (SCR)	14-9
14.2.7	シリアルステータスレジスタ (SSR)	14-12
14.2.8	ビットレートレジスタ (BRR)	14-15
14.2.9	スマートカードモードレジスタ (SCMR)	14-23
14.2.10	モジュールストップコントロールレジスタ (MSTPCR)	14-24
14.3	動作説明	14-25
14.3.1	概要	14-25
14.3.2	調歩同期式モード時の動作	14-27
14.3.3	マルチプロセッサ通信機能	14-37
14.3.4	クロック同期式モード時の動作	14-45
14.4	SCI 割り込み	14-53
14.5	使用上の注意	14-54

## 第 15 章 スマートカードインタフェース

15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-3
15.1.4	レジスタ構成	15-4
15.2	各レジスタの説明	15-5
15.2.1	スマートカードモードレジスタ (SCMR)	15-5
15.2.2	シリアルステータスレジスタ (SSR)	15-6
15.2.3	シリアルモードレジスタ (SMR)	15-7
15.2.4	シリアルコントロールレジスタ (SCR)	15-8
15.3	動作説明	15-9
15.3.1	概要	15-9
15.3.2	端子接続	15-9
15.3.3	データフォーマット	15-10
15.3.4	レジスタの設定	15-11
15.3.5	クロック	15-13
15.3.6	データの送信 / 受信動作	15-15
15.3.7	ソフトウェアスタンバイモードの使用例	15-21
15.3.8	電源投入後の動作	15-21

15.4	使用上の注意	15-22
------	--------	-------

## 第 16 章 A/D 変換器

16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-2
16.1.3	端子構成	16-3
16.1.4	レジスタ構成	16-3
16.2	各レジスタの説明	16-4
16.2.1	A/D データレジスタ A ~ H ( ADDRA ~ ADDRH )	16-4
16.2.2	A/D コントロール/ステータスレジスタ ( ADCSR )	16-5
16.2.3	A/D コントロールレジスタ ( ADCR )	16-7
16.2.4	モジュールストップコントロールレジスタ ( MSTPCR )	16-9
16.3	バスマスタとのインタフェース	16-10
16.4	動作説明	16-11
16.4.1	セレクトシングルモード	16-12
16.4.2	セレクトスキャンモード	16-13
16.4.3	グループシングルモード	16-14
16.4.4	グループスキャンモード	16-15
16.4.5	バッファ動作	16-16
16.4.6	同時サンプリング動作	16-19
16.4.7	変換開始モード	16-20
16.4.8	外部入力による変換開始	16-21
16.4.9	A/D 変換時間	16-22
16.5	割り込み	16-25
16.6	使用上の注意	16-25

## 第 17 章 D/A 変換器

17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-1
17.1.3	端子構成	17-2
17.1.4	レジスタ構成	17-3
17.2	各レジスタの説明	17-3
17.2.1	D/A データレジスタ 0、1 ( DADR0、DADR1 )	17-3
17.2.2	D/A コントロールレジスタ ( DACR )	17-3
17.2.3	モジュールストップコントロールレジスタ ( MSTPCR )	17-5
17.3	動作説明	17-5

## 第 18 章 RAM

18.1	概要	18-1
18.1.1	ブロック図	18-1
18.1.2	レジスタ構成	18-2
18.2	各レジスタの説明	18-2
18.2.1	システムコントロールレジスタ ( SYSCR )	18-2

18.3	動作説明	18-2
18.4	使用上の注意	18-2
<b>第 19 章 ROM</b>		
19.1	概要	19-1
19.1.1	ブロック図	19-1
19.1.2	レジスタ構成	19-2
19.2	各レジスタの説明	19-2
19.2.1	バスコントロールレジスタ L (BCRL)	19-2
19.3	動作説明	19-3
19.4	PROM モード	19-3
19.4.1	PROM モードの設定	19-3
19.4.2	ソケットアダプタの端子対応とメモリマップ	19-4
19.5	プログラミング	19-6
19.5.1	概要	19-6
19.5.2	書き込み / ベリファイ	19-7
19.5.3	書き込み時の注意	19-10
19.5.4	書き込み後の信頼性	19-11
<b>第 20 章 クロック発振器</b>		
20.1	概要	20-1
20.1.1	ブロック図	20-1
20.1.2	レジスタ構成	20-1
20.2	各レジスタの説明	20-2
20.2.1	システムクロックコントロールレジスタ (SCKCR)	20-2
20.3	発振器	20-3
20.3.1	水晶発振子を接続する方法	20-3
20.3.2	外部クロックを入力する方法	20-4
20.4	デューティ補正回路	20-5
20.5	中速クロック分周器	20-5
20.6	バスマスタクロック選択回路	20-5
<b>第 21 章 低消費電力状態</b>		
21.1	概要	21-1
21.1.1	レジスタ構成	21-2
21.2	各レジスタの説明	21-2
21.2.1	スタンバイコントロールレジスタ (SBYCR)	21-2
21.2.2	システムクロックコントロールレジスタ (SCKCR)	21-4
21.2.3	モジュールストップコントロールレジスタ (MSTPCR)	21-5
21.3	中速モード	21-5
21.4	スリープモード	21-6
21.5	モジュールストップモード	21-6
21.5.1	モジュールストップモード	21-6
21.5.2	使用上の注意	21-7

21.6	ソフトウェアスタンバイモード	21-8
21.6.1	ソフトウェアスタンバイモード	21-8
21.6.2	ソフトウェアスタンバイモードの解除	21-8
21.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	21-9
21.6.4	ソフトウェアスタンバイモードの応用例	21-9
21.6.5	使用上の注意	21-10
21.7	ハードウェアスタンバイモード	21-11
21.7.1	ハードウェアスタンバイモード	21-11
21.7.2	ハードウェアスタンバイモードのタイミング	21-11
21.8	φクロック出力禁止機能	21-12

## 第 22 章 電気的特性

22.1	絶対最大定格	22-1
22.2	DC 特性	22-2
22.3	AC 特性	22-7
22.3.1	クロックタイミング	22-7
22.3.2	制御信号タイミング	22-8
22.3.3	バスタイミング	22-10
22.3.4	DMAC タイミング	22-20
22.3.5	内蔵周辺モジュールタイミング	22-23
22.4	A/D 変換特性	22-27
22.5	D/A 変換特性	22-28
22.6	使用上の注意	22-28

## 付録

A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-19
A.3	オペレーションコードマップ	付録-29
A.4	命令実行ステート数	付録-33
A.5	命令実行中のバス状態	付録-40
A.6	コンディションコードの変化	付録-53
B.	内部 I/O レジスタ	付録-58
B.1	アドレス一覧	付録-58
B.2	機能一覧	付録-66
C.	I/O ポートのブロック図	付録-194
C.1	ポート 1 ブロック図	付録-194
C.2	ポート 2 ブロック図	付録-197
C.3	ポート 3 ブロック図	付録-201
C.4	ポート 4 ブロック図	付録-204
C.5	ポート 5 ブロック図	付録-205
C.6	ポート 6 ブロック図	付録-209
C.7	ポート A ブロック図	付録-215
C.8	ポート B ブロック図	付録-218
C.9	ポート C ブロック図	付録-219



C.10	ポートDブロック図.....	付録-220
C.11	ポートEブロック図.....	付録-221
C.12	ポートFブロック図.....	付録-222
C.13	ポートGブロック図.....	付録-230
D.	端子状態.....	付録-233
D.1	各処理状態におけるポートの状態.....	付録-233
E.	ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて.....	付録-237
F.	ROM 発注手順.....	付録-238
F.1	ROM 書き換え品開発の流れ ( 発注手順 ) .....	付録-238
F.2	ROM 発注時の注意事項 .....	付録-239
G.	型名一覧.....	付録-240
H.	外形寸法図.....	付録-241



---

# 1. 概要

---

## 1.1 概要

H8S/2655 グループは、ルネサスオリジナルアーキテクチャを採用した H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2600 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、DMA コントローラ (DMAC)、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM のメモリ、16 ビットタイマパルスユニット (TPU)、プログラマブルパルスジェネレータ (PPG)、8 ビットタイマ、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、D/A 変換器、I/O ポートの周辺機能などを内蔵しています。

内蔵 ROM は、PROM (ZTAT<sup>®</sup>\*) またはマスク ROM であり、128k / 64k バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 1~7 があり、アドレス空間やシングルチップモード / 外部拡張モードの選択ができます。

H8S/2655 グループの特長を表 1.1 に示します。

【注】\* ZTAT は (株) ルネサス テクノロジーの登録商標です。

## 1. 概要

表 1.1 概要 (1)

項 目	仕 様
CPU	汎用レジスタマシン <ul style="list-style-type: none"> <li>● 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) リアルタイム制御向き的高速動作</li> <li>● 最高動作周波数 20MHz</li> <li>● 高速演算 8 / 16 / 32 ビットレジスタ間加減算 : 50ns 16×16 ビットレジスタ間乗算 : 200ns 16×16+42 ビット積和演算 : 200ns 32÷16 ビットレジスタ間除算 : 1000ns 高速動作に適した命令セット</li> <li>● 69 種類の基本命令</li> <li>● 8 / 16 / 32 ビット転送 / 演算命令</li> <li>● 符号なし / 符号付き乗除算命令</li> <li>● 積和演算命令</li> <li>● 強力なビット操作命令 2 種類の CPU 動作モード</li> <li>● ノーマルモード : アドレス空間 64k バイト</li> <li>● アドバンスモード : アドレス空間 16M バイト</li> </ul>
バスコントローラ	<ul style="list-style-type: none"> <li>● アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能</li> <li>● エリアごとにチップセレクト出力可能</li> <li>● エリアごとに 8 ビット / 16 ビットアクセス空間を選択可能</li> <li>● エリアごとに 2 ステート / 3 ステートアクセス空間を設定可能</li> <li>● エリアごとにプログラムウェイトのステート数を設定可能</li> <li>● バースト ROM を直接接続可能</li> <li>● 最大 8M バイトの DRAM または PSRAM を直接接続可能 (またはインターバルタイマを使用可能)</li> <li>● 外部バス権解放機能</li> </ul>
DMA コントローラ (DMAC)	<ul style="list-style-type: none"> <li>● ショートアドレスモードとフルアドレスモードを選択可能</li> <li>● ショートアドレスモード時 : 4 チャンネル フルアドレスモード時 : 2 チャンネル</li> <li>● リピートモード / ブロック転送モードなどの転送可能</li> <li>● シングルアドレスモード転送可能</li> <li>● 内部割り込みによる起動可能</li> </ul>
データ転送コントローラ (DTC)	<ul style="list-style-type: none"> <li>● 内部割り込み / ソフトウェアによる起動</li> <li>● 1 つの起動要因に対して、複数回・複数種類の転送が可能</li> <li>● リピートモード / ブロック転送モードなどの転送可能</li> <li>● DTC を起動した割り込みを CPU に要求可能</li> </ul>
16 ビットタイマパルスユニット (TPU)	<ul style="list-style-type: none"> <li>● 16 ビットタイマ 6 チャンネルを内蔵</li> <li>● 最大 16 端子のパルス入出力処理が可能</li> <li>● 2 相エンコーダのカウント数の自動計測が可能</li> </ul>

表 1.1 概要 (2)

項 目	仕 様									
プログラマブル パルスジェネレータ (PPG)	<ul style="list-style-type: none"> <li>• TPU をタイムベースとした最大 16 ビットのパルス出力が可能</li> <li>• 4 ビット単位のグループで出力トリガを選択可能</li> <li>• ノンオーバーラップ期間の設定が可能</li> <li>• 直接出力 / 反転出力の設定可能</li> </ul>									
8 ビットタイマ ×2 チャンネル	<ul style="list-style-type: none"> <li>• 8 ビットアップカウンタ (外部イベントカウント可能)</li> <li>• タイムコンスタントレジスタ ×2</li> <li>• 2 チャンネルの接続が可能</li> </ul>									
ウォッチドッグタイ マ	ウォッチドッグタイマ / インターバルタイマの選択が可能									
シリアルコミュニケ ーションインタフェ ース (SCI) ×3 チャンネル	<ul style="list-style-type: none"> <li>• 調歩同期式モード / クロック同期式モードの選択が可能</li> <li>• マルチプロセッサ通信機能</li> <li>• スマートカードインタフェース機能</li> </ul>									
A/D 変換器	<ul style="list-style-type: none"> <li>• 分解能 : 10 ビット</li> <li>• 入力 : 8 チャンネル</li> <li>• 高速変換 : 最小変換時間 2.2<math>\mu</math>s (20MHz 動作時)</li> <li>• シングル / スキャンモードの選択が可能</li> <li>• サンプル &amp; ホールド機能</li> <li>• 外部トリガ / タイマトリガによる A/D 変換の起動が可能</li> </ul>									
D/A 変換器	<ul style="list-style-type: none"> <li>• 分解能 : 8 ビット</li> <li>• 出力 : 2 チャンネル</li> </ul>									
I/O ポート	入出力端子 87 本、入力専用端子 8 本									
メモリ	<ul style="list-style-type: none"> <li>• PROM またはマスク ROM</li> <li>• 高速スタティック RAM</li> </ul> <table border="1" data-bbox="381 1103 1219 1238"> <thead> <tr> <th>製品名</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>H8S/2655</td> <td>128kバイト</td> <td>4kバイト</td> </tr> <tr> <td>H8S/2653</td> <td>64kバイト</td> <td>4kバイト</td> </tr> </tbody> </table>	製品名	ROM	RAM	H8S/2655	128kバイト	4kバイト	H8S/2653	64kバイト	4kバイト
製品名	ROM	RAM								
H8S/2655	128kバイト	4kバイト								
H8S/2653	64kバイト	4kバイト								
割り込み コントローラ	<ul style="list-style-type: none"> <li>• 外部割り込み端子 9 本 (NMI、<math>\overline{IRQ}_0 \sim \overline{IRQ}_7</math>)</li> <li>• 内部割り込み要因 52 要因</li> <li>• 8 レベルの優先順位設定が可能</li> </ul>									
低消費電力状態	<ul style="list-style-type: none"> <li>• 中速モード</li> <li>• スリープモード</li> <li>• モジュールストップモード</li> <li>• ソフトウェアスタンバイモード</li> <li>• ハードウェアスタンバイモード</li> </ul>									

1. 概要

表 1.1 概要 (3)

項 目	仕 様				
動作モード	7種類のMCU動作モード				
	モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス 初期値    最大値
	1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット    16ビット
	2		内蔵ROM有効拡張モード	有効	8ビット    16ビット
	3		シングルチップモード	有効	-
	4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット    16ビット
	5		内蔵ROM無効拡張モード	無効	8ビット    16ビット
	6		内蔵ROM有効拡張モード	有効	8ビット    16ビット
	7		シングルチップモード	有効	-
クロック発信器	<ul style="list-style-type: none"> <li>デューティ補正回路内蔵</li> </ul>				
パッケージ	<ul style="list-style-type: none"> <li>120 ピンプラスチック TQFP ( PTQP0120LA-A )</li> <li>128 ピンプラスチック QFP ( PRQP0128KB-A )</li> </ul>				
製品ラインアップ	製品型名		ROM	パッケージ	
	5V版 ( V <sub>CC</sub> = 5V ± 10% )	低電圧版 ( V <sub>CC</sub> = 2.7 ~ 5.5V )			
	HD6472655TE	HD6472655VTE	PROM版	PTQP0120LA-A	
	HD6472655F	HD6472655VF		PRQP0128KB-A	
	HD6432655 ( ***) TE	HD6432655 ( ***) TE	マスクROM版	PTQP0120LA-A	
	HD6432655 ( ***) F	HD6432655 ( ***) F		PRQP0128KB-A	
	HD6432653 ( ***) TE	HD6432653 ( ***) TE		PTQP0120LA-A	
	HD6432653 ( ***) F	HD6432653 ( ***) F		PRQP0128KB-A	
	【記号説明】 ( ***) はROMコードです。				

## 1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

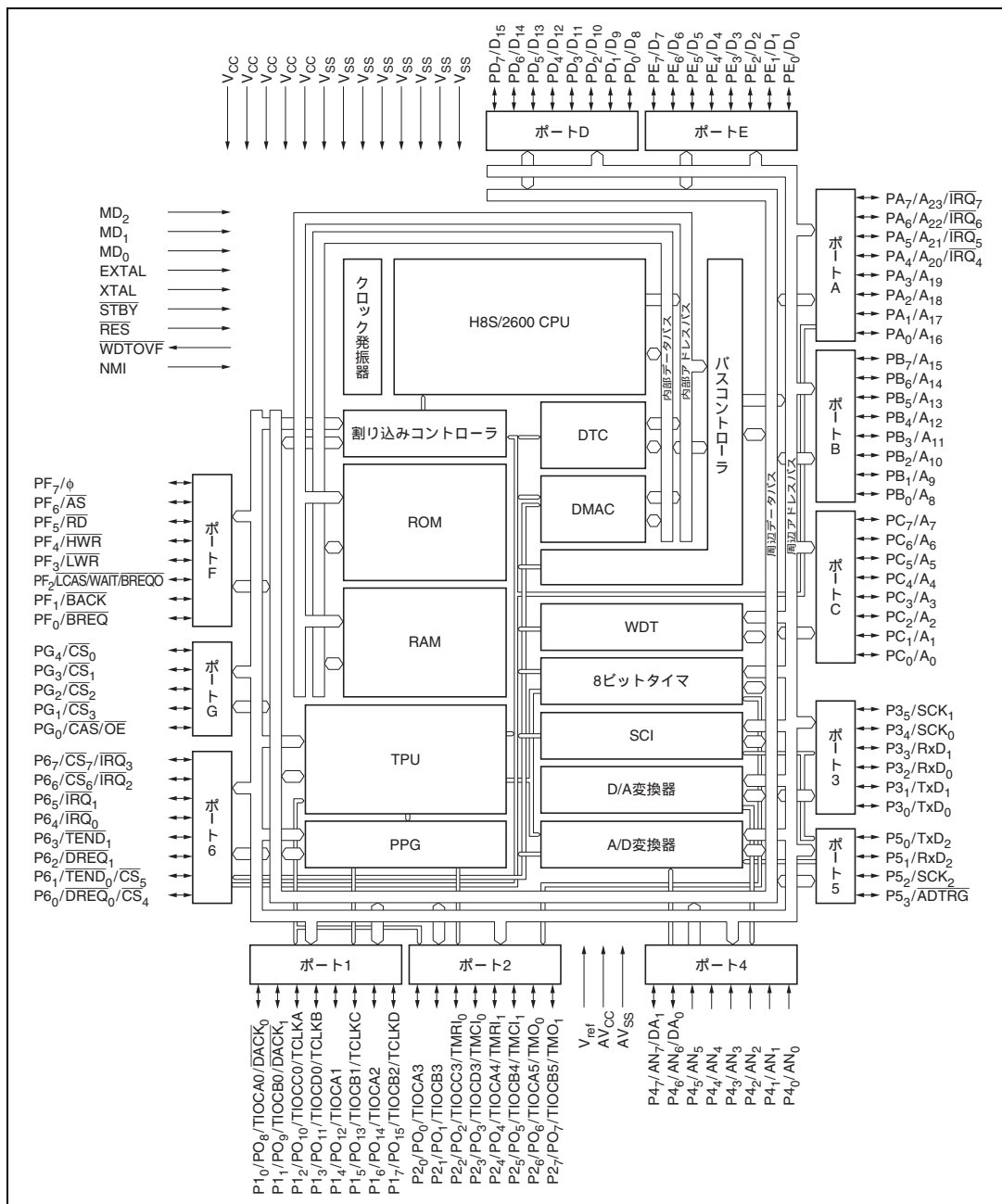


図 1.1 内部ブロック図

# 1. 概要

## 1.3 端子説明

### 1.3.1 ピン配置図

H8S/2655 グループのピン配置図を図 1.2、図 1.3 に示します。

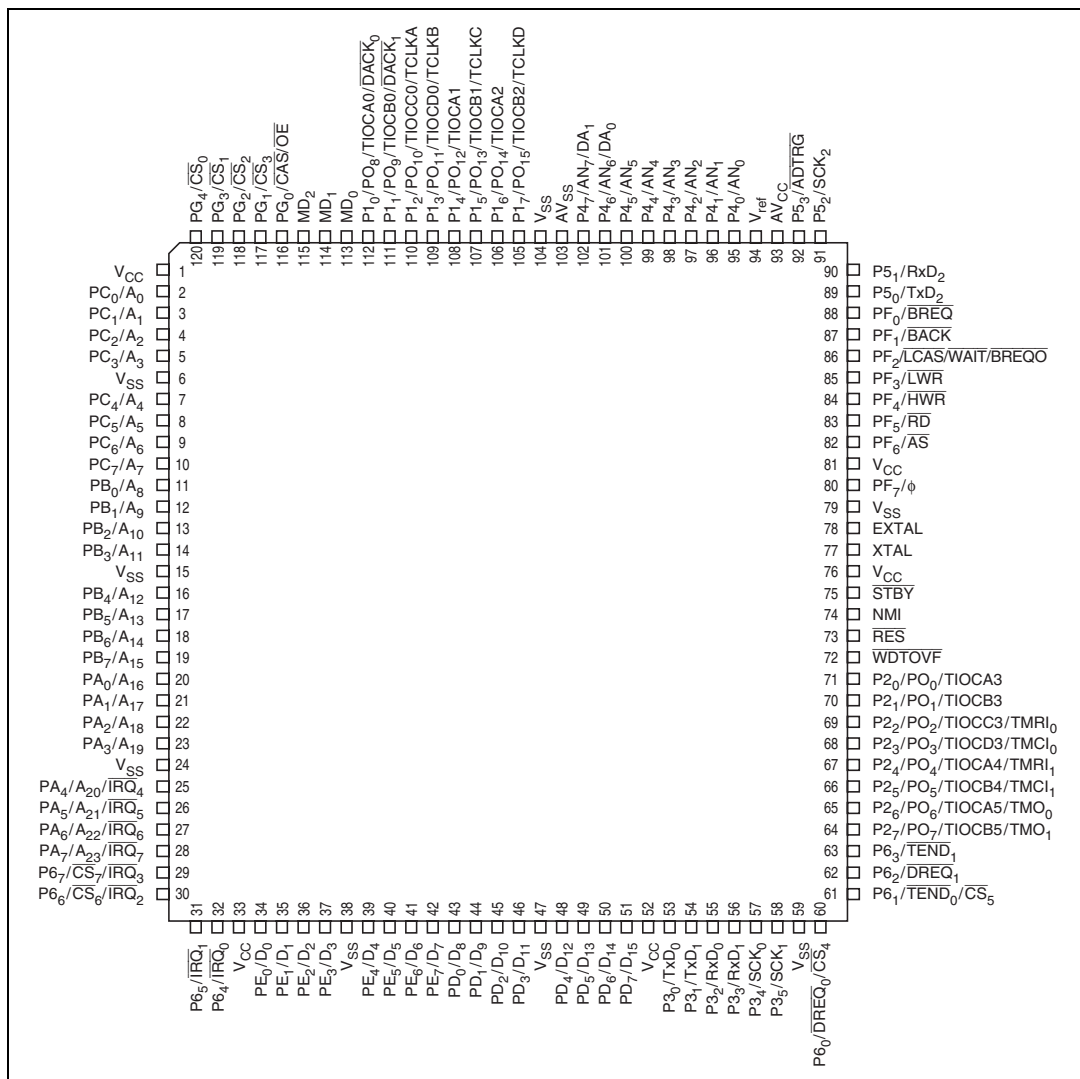


図 1.2 ピン配置図 (PTQP0120LA-A : 上面図)



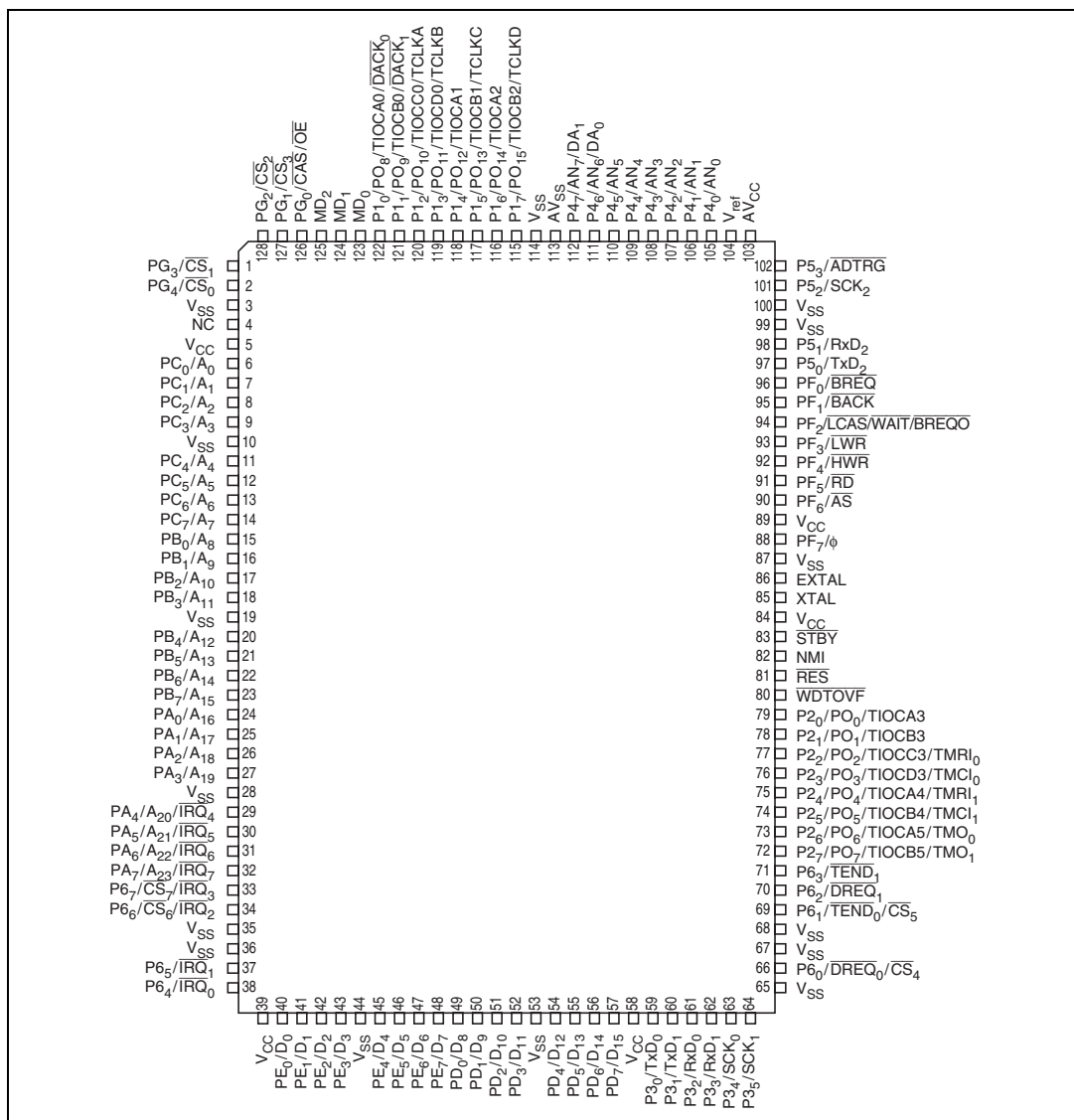


図 1.3 ピン配置図 (PRQP0128KB-A : 上面図)

## 1. 概要

### 1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2 に示します。

表 1.2 動作モード別端子機能一覧

ピン番号		端子名							
PTQP 0120LA-A	PRQP 0128KB-A	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード
1	5	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
2	6	A <sub>0</sub>	PC <sub>0</sub> /A <sub>0</sub>	PC <sub>0</sub>	A <sub>0</sub>	A <sub>0</sub>	PC <sub>0</sub> /A <sub>0</sub>	PC <sub>0</sub>	A <sub>0</sub>
3	7	A <sub>1</sub>	PC <sub>1</sub> /A <sub>1</sub>	PC <sub>1</sub>	A <sub>1</sub>	A <sub>1</sub>	PC <sub>1</sub> /A <sub>1</sub>	PC <sub>1</sub>	A <sub>1</sub>
4	8	A <sub>2</sub>	PC <sub>2</sub> /A <sub>2</sub>	PC <sub>2</sub>	A <sub>2</sub>	A <sub>2</sub>	PC <sub>2</sub> /A <sub>2</sub>	PC <sub>2</sub>	A <sub>2</sub>
5	9	A <sub>3</sub>	PC <sub>3</sub> /A <sub>3</sub>	PC <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>	PC <sub>3</sub> /A <sub>3</sub>	PC <sub>3</sub>	A <sub>3</sub>
6	10	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
7	11	A <sub>4</sub>	PC <sub>4</sub> /A <sub>4</sub>	PC <sub>4</sub>	A <sub>4</sub>	A <sub>4</sub>	PC <sub>4</sub> /A <sub>4</sub>	PC <sub>4</sub>	A <sub>4</sub>
8	12	A <sub>5</sub>	PC <sub>5</sub> /A <sub>5</sub>	PC <sub>5</sub>	A <sub>5</sub>	A <sub>5</sub>	PC <sub>5</sub> /A <sub>5</sub>	PC <sub>5</sub>	A <sub>5</sub>
9	13	A <sub>6</sub>	PC <sub>6</sub> /A <sub>6</sub>	PC <sub>6</sub>	A <sub>6</sub>	A <sub>6</sub>	PC <sub>6</sub> /A <sub>6</sub>	PC <sub>6</sub>	A <sub>6</sub>
10	14	A <sub>7</sub>	PC <sub>7</sub> /A <sub>7</sub>	PC <sub>7</sub>	A <sub>7</sub>	A <sub>7</sub>	PC <sub>7</sub> /A <sub>7</sub>	PC <sub>7</sub>	A <sub>7</sub>
11	15	A <sub>8</sub>	PB <sub>0</sub> /A <sub>8</sub>	PB <sub>0</sub>	A <sub>8</sub>	A <sub>8</sub>	PB <sub>0</sub> /A <sub>8</sub>	PB <sub>0</sub>	A <sub>8</sub>
12	16	A <sub>9</sub>	PB <sub>1</sub> /A <sub>9</sub>	PB <sub>1</sub>	A <sub>9</sub>	A <sub>9</sub>	PB <sub>1</sub> /A <sub>9</sub>	PB <sub>1</sub>	OE
13	17	A <sub>10</sub>	PB <sub>2</sub> /A <sub>10</sub>	PB <sub>2</sub>	A <sub>10</sub>	A <sub>10</sub>	PB <sub>2</sub> /A <sub>10</sub>	PB <sub>2</sub>	A <sub>10</sub>
14	18	A <sub>11</sub>	PB <sub>3</sub> /A <sub>11</sub>	PB <sub>3</sub>	A <sub>11</sub>	A <sub>11</sub>	PB <sub>3</sub> /A <sub>11</sub>	PB <sub>3</sub>	A <sub>11</sub>
15	19	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
16	20	A <sub>12</sub>	PB <sub>4</sub> /A <sub>12</sub>	PB <sub>4</sub>	A <sub>12</sub>	A <sub>12</sub>	PB <sub>4</sub> /A <sub>12</sub>	PB <sub>4</sub>	A <sub>12</sub>
17	21	A <sub>13</sub>	PB <sub>5</sub> /A <sub>13</sub>	PB <sub>5</sub>	A <sub>13</sub>	A <sub>13</sub>	PB <sub>5</sub> /A <sub>13</sub>	PB <sub>5</sub>	A <sub>13</sub>
18	22	A <sub>14</sub>	PB <sub>6</sub> /A <sub>14</sub>	PB <sub>6</sub>	A <sub>14</sub>	A <sub>14</sub>	PB <sub>6</sub> /A <sub>14</sub>	PB <sub>6</sub>	A <sub>14</sub>
19	23	A <sub>15</sub>	PB <sub>7</sub> /A <sub>15</sub>	PB <sub>7</sub>	A <sub>15</sub>	A <sub>15</sub>	PB <sub>7</sub> /A <sub>15</sub>	PB <sub>7</sub>	A <sub>15</sub>
20	24	PA <sub>0</sub>	PA <sub>0</sub>	PA <sub>0</sub>	A <sub>16</sub>	A <sub>16</sub>	PA <sub>0</sub> /A <sub>16</sub>	PA <sub>0</sub>	A <sub>16</sub>
21	25	PA <sub>1</sub>	PA <sub>1</sub>	PA <sub>1</sub>	A <sub>17</sub>	A <sub>17</sub>	PA <sub>1</sub> /A <sub>17</sub>	PA <sub>1</sub>	V <sub>CC</sub>
22	26	PA <sub>2</sub>	PA <sub>2</sub>	PA <sub>2</sub>	A <sub>18</sub>	A <sub>18</sub>	PA <sub>2</sub> /A <sub>18</sub>	PA <sub>2</sub>	V <sub>CC</sub>
23	27	PA <sub>3</sub>	PA <sub>3</sub>	PA <sub>3</sub>	A <sub>19</sub>	A <sub>19</sub>	PA <sub>3</sub> /A <sub>19</sub>	PA <sub>3</sub>	NC
24	28	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
25	29	PA <sub>4</sub> /IRQ <sub>4</sub>	PA <sub>4</sub> /IRQ <sub>4</sub>	PA <sub>4</sub> /IRQ <sub>4</sub>	A <sub>20</sub>	A <sub>20</sub>	PA <sub>4</sub> /A <sub>20</sub> /IRQ <sub>4</sub>	PA <sub>4</sub> /IRQ <sub>4</sub>	NC
26	30	PA <sub>5</sub> /IRQ <sub>5</sub>	PA <sub>5</sub> /IRQ <sub>5</sub>	PA <sub>5</sub> /IRQ <sub>5</sub>	PA <sub>5</sub> /A <sub>21</sub> /IRQ <sub>5</sub>	PA <sub>5</sub> /A <sub>21</sub> /IRQ <sub>5</sub>	PA <sub>5</sub> /A <sub>21</sub> /IRQ <sub>5</sub>	PA <sub>5</sub> /IRQ <sub>5</sub>	NC
27	31	PA <sub>6</sub> /IRQ <sub>6</sub>	PA <sub>6</sub> /IRQ <sub>6</sub>	PA <sub>6</sub> /IRQ <sub>6</sub>	PA <sub>6</sub> /A <sub>22</sub> /IRQ <sub>6</sub>	PA <sub>6</sub> /A <sub>22</sub> /IRQ <sub>6</sub>	PA <sub>6</sub> /A <sub>22</sub> /IRQ <sub>6</sub>	PA <sub>6</sub> /IRQ <sub>6</sub>	NC
28	32	PA <sub>7</sub> /IRQ <sub>7</sub>	PA <sub>7</sub> /IRQ <sub>7</sub>	PA <sub>7</sub> /IRQ <sub>7</sub>	PA <sub>7</sub> /A <sub>23</sub> /IRQ <sub>7</sub>	PA <sub>7</sub> /A <sub>23</sub> /IRQ <sub>7</sub>	PA <sub>7</sub> /A <sub>23</sub> /IRQ <sub>7</sub>	PA <sub>7</sub> /IRQ <sub>7</sub>	NC
29	33	P6 <sub>7</sub> /IRQ <sub>3</sub>	P6 <sub>7</sub> /IRQ <sub>3</sub>	P6 <sub>7</sub> /IRQ <sub>3</sub>	P6 <sub>7</sub> /IRQ <sub>3</sub> /CS <sub>7</sub>	P6 <sub>7</sub> /IRQ <sub>3</sub> /CS <sub>7</sub>	P6 <sub>7</sub> /IRQ <sub>3</sub> /CS <sub>7</sub>	P6 <sub>7</sub> /IRQ <sub>3</sub>	NC
30	34	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub> /CS <sub>6</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub> /CS <sub>6</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub> /CS <sub>6</sub>	P6 <sub>6</sub> /IRQ <sub>2</sub>	NC
-	35	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
-	36	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
31	37	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	P6 <sub>5</sub> /IRQ <sub>1</sub>	NC
32	38	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	P6 <sub>4</sub> /IRQ <sub>0</sub>	NC

# 1. 概要

ピン番号		端子名							
PTQP 0120LA-A	PRQP 0128KB-A	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード
33	39	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
34	40	PE <sub>0</sub> /D <sub>0</sub>	PE <sub>0</sub> /D <sub>0</sub>	PE <sub>0</sub>	PE <sub>0</sub> /D <sub>0</sub>	PE <sub>0</sub> /D <sub>0</sub>	PE <sub>0</sub> /D <sub>0</sub>	PE <sub>0</sub>	NC
35	41	PE <sub>1</sub> /D <sub>1</sub>	PE <sub>1</sub> /D <sub>1</sub>	PE <sub>1</sub>	PE <sub>1</sub> /D <sub>1</sub>	PE <sub>1</sub> /D <sub>1</sub>	PE <sub>1</sub> /D <sub>1</sub>	PE <sub>1</sub>	NC
36	42	PE <sub>2</sub> /D <sub>2</sub>	PE <sub>2</sub> /D <sub>2</sub>	PE <sub>2</sub>	PE <sub>2</sub> /D <sub>2</sub>	PE <sub>2</sub> /D <sub>2</sub>	PE <sub>2</sub> /D <sub>2</sub>	PE <sub>2</sub>	NC
37	43	PE <sub>3</sub> /D <sub>3</sub>	PE <sub>3</sub> /D <sub>3</sub>	PE <sub>3</sub>	PE <sub>3</sub> /D <sub>3</sub>	PE <sub>3</sub> /D <sub>3</sub>	PE <sub>3</sub> /D <sub>3</sub>	PE <sub>3</sub>	NC
38	44	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
39	45	PE <sub>4</sub> /D <sub>4</sub>	PE <sub>4</sub> /D <sub>4</sub>	PE <sub>4</sub>	PE <sub>4</sub> /D <sub>4</sub>	PE <sub>4</sub> /D <sub>4</sub>	PE <sub>4</sub> /D <sub>4</sub>	PE <sub>4</sub>	NC
40	46	PE <sub>5</sub> /D <sub>5</sub>	PE <sub>5</sub> /D <sub>5</sub>	PE <sub>5</sub>	PE <sub>5</sub> /D <sub>5</sub>	PE <sub>5</sub> /D <sub>5</sub>	PE <sub>5</sub> /D <sub>5</sub>	PE <sub>5</sub>	NC
41	47	PE <sub>6</sub> /D <sub>6</sub>	PE <sub>6</sub> /D <sub>6</sub>	PE <sub>6</sub>	PE <sub>6</sub> /D <sub>6</sub>	PE <sub>6</sub> /D <sub>6</sub>	PE <sub>6</sub> /D <sub>6</sub>	PE <sub>6</sub>	NC
42	48	PE <sub>7</sub> /D <sub>7</sub>	PE <sub>7</sub> /D <sub>7</sub>	PE <sub>7</sub>	PE <sub>7</sub> /D <sub>7</sub>	PE <sub>7</sub> /D <sub>7</sub>	PE <sub>7</sub> /D <sub>7</sub>	PE <sub>7</sub>	NC
43	49	D <sub>8</sub>	D <sub>8</sub>	PD <sub>0</sub>	D <sub>8</sub>	D <sub>8</sub>	D <sub>8</sub>	PD <sub>0</sub>	D <sub>0</sub>
44	50	D <sub>9</sub>	D <sub>9</sub>	PD <sub>1</sub>	D <sub>9</sub>	D <sub>9</sub>	D <sub>9</sub>	PD <sub>1</sub>	D <sub>1</sub>
45	51	D <sub>10</sub>	D <sub>10</sub>	PD <sub>2</sub>	D <sub>10</sub>	D <sub>10</sub>	D <sub>10</sub>	PD <sub>2</sub>	D <sub>2</sub>
46	52	D <sub>11</sub>	D <sub>11</sub>	PD <sub>3</sub>	D <sub>11</sub>	D <sub>11</sub>	D <sub>11</sub>	PD <sub>3</sub>	D <sub>3</sub>
47	53	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
48	54	D <sub>12</sub>	D <sub>12</sub>	PD <sub>4</sub>	D <sub>12</sub>	D <sub>12</sub>	D <sub>12</sub>	PD <sub>4</sub>	D <sub>4</sub>
49	55	D <sub>13</sub>	D <sub>13</sub>	PD <sub>5</sub>	D <sub>13</sub>	D <sub>13</sub>	D <sub>13</sub>	PD <sub>5</sub>	D <sub>5</sub>
50	56	D <sub>14</sub>	D <sub>14</sub>	PD <sub>6</sub>	D <sub>14</sub>	D <sub>14</sub>	D <sub>14</sub>	PD <sub>6</sub>	D <sub>6</sub>
51	57	D <sub>15</sub>	D <sub>15</sub>	PD <sub>7</sub>	D <sub>15</sub>	D <sub>15</sub>	D <sub>15</sub>	PD <sub>7</sub>	D <sub>7</sub>
52	58	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
53	59	P <sub>3</sub> /TxD <sub>0</sub>	P <sub>3</sub> /TxD <sub>0</sub>	P <sub>3</sub> /TxD <sub>0</sub>	P <sub>3</sub> /TxD <sub>0</sub>	P <sub>3</sub> /TxD <sub>0</sub>	P <sub>3</sub> /TxD <sub>0</sub>	P <sub>3</sub> /TxD <sub>0</sub>	NC
54	60	P <sub>3</sub> /TxD <sub>1</sub>	P <sub>3</sub> /TxD <sub>1</sub>	P <sub>3</sub> /TxD <sub>1</sub>	P <sub>3</sub> /TxD <sub>1</sub>	P <sub>3</sub> /TxD <sub>1</sub>	P <sub>3</sub> /TxD <sub>1</sub>	P <sub>3</sub> /TxD <sub>1</sub>	NC
55	61	P <sub>3</sub> /RxD <sub>0</sub>	P <sub>3</sub> /RxD <sub>0</sub>	P <sub>3</sub> /RxD <sub>0</sub>	P <sub>3</sub> /RxD <sub>0</sub>	P <sub>3</sub> /RxD <sub>0</sub>	P <sub>3</sub> /RxD <sub>0</sub>	P <sub>3</sub> /RxD <sub>0</sub>	NC
56	62	P <sub>3</sub> /RxD <sub>1</sub>	P <sub>3</sub> /RxD <sub>1</sub>	P <sub>3</sub> /RxD <sub>1</sub>	P <sub>3</sub> /RxD <sub>1</sub>	P <sub>3</sub> /RxD <sub>1</sub>	P <sub>3</sub> /RxD <sub>1</sub>	P <sub>3</sub> /RxD <sub>1</sub>	NC
57	63	P <sub>3</sub> /SCK <sub>0</sub>	P <sub>3</sub> /SCK <sub>0</sub>	P <sub>3</sub> /SCK <sub>0</sub>	P <sub>3</sub> /SCK <sub>0</sub>	P <sub>3</sub> /SCK <sub>0</sub>	P <sub>3</sub> /SCK <sub>0</sub>	P <sub>3</sub> /SCK <sub>0</sub>	NC
58	64	P <sub>3</sub> /SCK <sub>1</sub>	P <sub>3</sub> /SCK <sub>1</sub>	P <sub>3</sub> /SCK <sub>1</sub>	P <sub>3</sub> /SCK <sub>1</sub>	P <sub>3</sub> /SCK <sub>1</sub>	P <sub>3</sub> /SCK <sub>1</sub>	P <sub>3</sub> /SCK <sub>1</sub>	NC
59	65	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
60	66	P <sub>6</sub> /DREQ <sub>0</sub>	P <sub>6</sub> /DREQ <sub>0</sub>	P <sub>6</sub> /DREQ <sub>0</sub>	P <sub>6</sub> /DREQ <sub>0</sub> /CS <sub>4</sub>	P <sub>6</sub> /DREQ <sub>0</sub> /CS <sub>4</sub>	P <sub>6</sub> /DREQ <sub>0</sub> /CS <sub>4</sub>	P <sub>6</sub> /DREQ <sub>0</sub>	NC
-	67	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
-	68	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
61	69	P <sub>6</sub> /TEND <sub>0</sub>	P <sub>6</sub> /TEND <sub>0</sub>	P <sub>6</sub> /TEND <sub>0</sub>	P <sub>6</sub> /TEND <sub>0</sub> /CS <sub>5</sub>	P <sub>6</sub> /TEND <sub>0</sub> /CS <sub>5</sub>	P <sub>6</sub> /TEND <sub>0</sub> /CS <sub>5</sub>	P <sub>6</sub> /TEND <sub>0</sub>	NC
62	70	P <sub>6</sub> /DREQ <sub>1</sub>	P <sub>6</sub> /DREQ <sub>1</sub>	P <sub>6</sub> /DREQ <sub>1</sub>	P <sub>6</sub> /DREQ <sub>1</sub>	P <sub>6</sub> /DREQ <sub>1</sub>	P <sub>6</sub> /DREQ <sub>1</sub>	P <sub>6</sub> /DREQ <sub>1</sub>	NC
63	71	P <sub>6</sub> /TEND <sub>1</sub>	P <sub>6</sub> /TEND <sub>1</sub>	P <sub>6</sub> /TEND <sub>1</sub>	P <sub>6</sub> /TEND <sub>1</sub>	P <sub>6</sub> /TEND <sub>1</sub>	P <sub>6</sub> /TEND <sub>1</sub>	P <sub>6</sub> /TEND <sub>1</sub>	NC
64	72	P <sub>2</sub> /PO <sub>0</sub> /TIOCB5/TMO <sub>1</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCB5/TMO <sub>1</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCB5/TMO <sub>1</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCB5/TMO <sub>1</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCB5/TMO <sub>1</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCB5/TMO <sub>1</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCB5/TMO <sub>1</sub>	NC
65	73	P <sub>2</sub> /PO <sub>0</sub> /TIOCA5/TMO <sub>0</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCA5/TMO <sub>0</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCA5/TMO <sub>0</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCA5/TMO <sub>0</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCA5/TMO <sub>0</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCA5/TMO <sub>0</sub>	P <sub>2</sub> /PO <sub>0</sub> /TIOCA5/TMO <sub>0</sub>	NC

# 1. 概要

ピン番号		端子名								PROM モード
PTQP 0120LA-A	PRQP 0128KB-A	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7		
66	74	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB4/ TMCI <sub>1</sub>	NC
67	75	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA4/ TMRI <sub>1</sub>	NC
68	76	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCD3/ TMCI <sub>0</sub>	NC
69	77	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCC3/ TMRI <sub>0</sub>	NC
70	78	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCB3	NC
71	79	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	P2 <sub>f</sub> /PO <sub>f</sub> / TIOCA3	NC
72	80	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	NC
73	81	RES	RES	RES	RES	RES	RES	RES	RES	V <sub>PP</sub>
74	82	NMI	NMI	NMI	NMI	NMI	NMI	NMI	NMI	A <sub>9</sub>
75	83	STBY	STBY	STBY	STBY	STBY	STBY	STBY	STBY	V <sub>SS</sub>
76	84	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
77	85	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	NC
78	86	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	NC
79	87	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
80	88	PF <sub>f</sub> /φ	PF <sub>f</sub> /φ	PF <sub>f</sub> /φ	PF <sub>f</sub> /φ	PF <sub>f</sub> /φ	PF <sub>f</sub> /φ	PF <sub>f</sub> /φ	PF <sub>f</sub> /φ	NC
81	89	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub>
82	90	AS	AS	PF <sub>6</sub>	AS	AS	AS	AS	PF <sub>6</sub>	NC
83	91	RD	RD	PF <sub>5</sub>	RD	RD	RD	RD	PF <sub>5</sub>	NC
84	92	HWR	HWR	PF <sub>4</sub>	HWR	HWR	HWR	HWR	PF <sub>4</sub>	NC
85	93	LWR	LWR	PF <sub>3</sub>	LWR	LWR	LWR	LWR	PF <sub>3</sub>	NC
86	94	PF <sub>f</sub> /WAIT/ BREQO	PF <sub>f</sub> /WAIT/ BREQO	PF <sub>2</sub>	PF <sub>f</sub> /LCAS/ WAIT/ BREQO	PF <sub>f</sub> /LCAS/ WAIT/ BREQO	PF <sub>f</sub> /LCAS/ WAIT/ BREQO	PF <sub>f</sub> /LCAS/ WAIT/ BREQO	PF <sub>2</sub>	CE
87	95	PF <sub>f</sub> /BACK	PF <sub>f</sub> /BACK	PF <sub>1</sub>	PF <sub>f</sub> /BACK	PF <sub>f</sub> /BACK	PF <sub>f</sub> /BACK	PF <sub>f</sub> /BACK	PF <sub>1</sub>	PGM
88	96	PF <sub>f</sub> /BREQ	PF <sub>f</sub> /BREQ	PF <sub>0</sub>	PF <sub>f</sub> /BREQ	PF <sub>f</sub> /BREQ	PF <sub>f</sub> /BREQ	PF <sub>f</sub> /BREQ	PF <sub>0</sub>	NC
89	97	P5 <sub>f</sub> /TxD <sub>2</sub>	P5 <sub>f</sub> /TxD <sub>2</sub>	P5 <sub>f</sub> /TxD <sub>2</sub>	P5 <sub>f</sub> /TxD <sub>2</sub>	P5 <sub>f</sub> /TxD <sub>2</sub>	P5 <sub>f</sub> /TxD <sub>2</sub>	P5 <sub>f</sub> /TxD <sub>2</sub>	P5 <sub>f</sub> /TxD <sub>2</sub>	NC
90	98	P5 <sub>f</sub> /RxD <sub>2</sub>	P5 <sub>f</sub> /RxD <sub>2</sub>	P5 <sub>f</sub> /RxD <sub>2</sub>	P5 <sub>f</sub> /RxD <sub>2</sub>	P5 <sub>f</sub> /RxD <sub>2</sub>	P5 <sub>f</sub> /RxD <sub>2</sub>	P5 <sub>f</sub> /RxD <sub>2</sub>	P5 <sub>f</sub> /RxD <sub>2</sub>	NC
-	99	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
-	100	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
91	101	P5 <sub>f</sub> /SCK <sub>2</sub>	P5 <sub>f</sub> /SCK <sub>2</sub>	P5 <sub>f</sub> /SCK <sub>2</sub>	P5 <sub>f</sub> /SCK <sub>2</sub>	P5 <sub>f</sub> /SCK <sub>2</sub>	P5 <sub>f</sub> /SCK <sub>2</sub>	P5 <sub>f</sub> /SCK <sub>2</sub>	P5 <sub>f</sub> /SCK <sub>2</sub>	NC
92	102	P5 <sub>f</sub> /ADTRG	P5 <sub>f</sub> /ADTRG	P5 <sub>f</sub> /ADTRG	P5 <sub>f</sub> /ADTRG	P5 <sub>f</sub> /ADTRG	P5 <sub>f</sub> /ADTRG	P5 <sub>f</sub> /ADTRG	P5 <sub>f</sub> /ADTRG	NC
93	103	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	AV <sub>CC</sub>	V <sub>CC</sub>
94	104	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>ref</sub>	V <sub>CC</sub>

# 1. 概要

ピン番号		端子名							
PTQP 0120LA-A	PRQP 0128KB-A	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード
95	105	P4 <sub>0</sub> /AN <sub>0</sub>	P4 <sub>0</sub> /AN <sub>0</sub>	P4 <sub>0</sub> /AN <sub>0</sub>	P4 <sub>0</sub> /AN <sub>0</sub>	P4 <sub>0</sub> /AN <sub>0</sub>	P4 <sub>0</sub> /AN <sub>0</sub>	P4 <sub>0</sub> /AN <sub>0</sub>	NC
96	106	P4 <sub>1</sub> /AN <sub>1</sub>	P4 <sub>1</sub> /AN <sub>1</sub>	P4 <sub>1</sub> /AN <sub>1</sub>	P4 <sub>1</sub> /AN <sub>1</sub>	P4 <sub>1</sub> /AN <sub>1</sub>	P4 <sub>1</sub> /AN <sub>1</sub>	P4 <sub>1</sub> /AN <sub>1</sub>	NC
97	107	P4 <sub>2</sub> /AN <sub>2</sub>	P4 <sub>2</sub> /AN <sub>2</sub>	P4 <sub>2</sub> /AN <sub>2</sub>	P4 <sub>2</sub> /AN <sub>2</sub>	P4 <sub>2</sub> /AN <sub>2</sub>	P4 <sub>2</sub> /AN <sub>2</sub>	P4 <sub>2</sub> /AN <sub>2</sub>	NC
98	108	P4 <sub>3</sub> /AN <sub>3</sub>	P4 <sub>3</sub> /AN <sub>3</sub>	P4 <sub>3</sub> /AN <sub>3</sub>	P4 <sub>3</sub> /AN <sub>3</sub>	P4 <sub>3</sub> /AN <sub>3</sub>	P4 <sub>3</sub> /AN <sub>3</sub>	P4 <sub>3</sub> /AN <sub>3</sub>	NC
99	109	P4 <sub>4</sub> /AN <sub>4</sub>	P4 <sub>4</sub> /AN <sub>4</sub>	P4 <sub>4</sub> /AN <sub>4</sub>	P4 <sub>4</sub> /AN <sub>4</sub>	P4 <sub>4</sub> /AN <sub>4</sub>	P4 <sub>4</sub> /AN <sub>4</sub>	P4 <sub>4</sub> /AN <sub>4</sub>	NC
100	110	P4 <sub>5</sub> /AN <sub>5</sub>	P4 <sub>5</sub> /AN <sub>5</sub>	P4 <sub>5</sub> /AN <sub>5</sub>	P4 <sub>5</sub> /AN <sub>5</sub>	P4 <sub>5</sub> /AN <sub>5</sub>	P4 <sub>5</sub> /AN <sub>5</sub>	P4 <sub>5</sub> /AN <sub>5</sub>	NC
101	111	P4 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P4 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P4 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P4 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P4 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P4 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	P4 <sub>6</sub> /AN <sub>6</sub> /DA <sub>0</sub>	NC
102	112	P4 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P4 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P4 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P4 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P4 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P4 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	P4 <sub>7</sub> /AN <sub>7</sub> /DA <sub>1</sub>	NC
103	113	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	V <sub>SS</sub>
104	114	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
105	115	P1 <sub>1</sub> /PO <sub>15</sub> / TIOCB2/ TCLKD	P1 <sub>1</sub> /PO <sub>15</sub> / TIOCB2/ TCLKD	P1 <sub>1</sub> /PO <sub>15</sub> / TIOCB2/ TCLKD	P1 <sub>1</sub> /PO <sub>15</sub> / TIOCB2/ TCLKD	P1 <sub>1</sub> /PO <sub>15</sub> / TIOCB2/ TCLKD	P1 <sub>1</sub> /PO <sub>15</sub> / TIOCB2/ TCLKD	P1 <sub>1</sub> /PO <sub>15</sub> / TIOCB2/ TCLKD	NC
106	116	P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA2	P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA2	P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA2	P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA2	P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA2	P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA2	P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA2	NC
107	117	P1 <sub>6</sub> /PO <sub>13</sub> / TIOCB1/ TCLKC	P1 <sub>6</sub> /PO <sub>13</sub> / TIOCB1/ TCLKC	P1 <sub>6</sub> /PO <sub>13</sub> / TIOCB1/ TCLKC	P1 <sub>6</sub> /PO <sub>13</sub> / TIOCB1/ TCLKC	P1 <sub>6</sub> /PO <sub>13</sub> / TIOCB1/ TCLKC	P1 <sub>6</sub> /PO <sub>13</sub> / TIOCB1/ TCLKC	P1 <sub>6</sub> /PO <sub>13</sub> / TIOCB1/ TCLKC	NC
108	118	P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA1	P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA1	P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA1	P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA1	P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA1	P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA1	P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA1	NC
109	119	P1 <sub>2</sub> /PO <sub>11</sub> / TIOCD0/ TCLKB	P1 <sub>2</sub> /PO <sub>11</sub> / TIOCD0/ TCLKB	P1 <sub>2</sub> /PO <sub>11</sub> / TIOCD0/ TCLKB	P1 <sub>2</sub> /PO <sub>11</sub> / TIOCD0/ TCLKB	P1 <sub>2</sub> /PO <sub>11</sub> / TIOCD0/ TCLKB	P1 <sub>2</sub> /PO <sub>11</sub> / TIOCD0/ TCLKB	P1 <sub>2</sub> /PO <sub>11</sub> / TIOCD0/ TCLKB	NC
110	120	P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC0/ TCLKA	P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC0/ TCLKA	P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC0/ TCLKA	P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC0/ TCLKA	P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC0/ TCLKA	P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC0/ TCLKA	P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC0/ TCLKA	NC
111	121	P1 <sub>1</sub> /PO <sub>9</sub> / TIOCB0/ DACK <sub>1</sub>	P1 <sub>1</sub> /PO <sub>9</sub> / TIOCB0/ DACK <sub>1</sub>	P1 <sub>1</sub> /PO <sub>9</sub> / TIOCB0/ DACK <sub>1</sub>	P1 <sub>1</sub> /PO <sub>9</sub> / TIOCB0/ DACK <sub>1</sub>	P1 <sub>1</sub> /PO <sub>9</sub> / TIOCB0/ DACK <sub>1</sub>	P1 <sub>1</sub> /PO <sub>9</sub> / TIOCB0/ DACK <sub>1</sub>	P1 <sub>1</sub> /PO <sub>9</sub> / TIOCB0/ DACK <sub>1</sub>	NC
112	122	P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA0/ DACK <sub>0</sub>	P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA0/ DACK <sub>0</sub>	P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA0/ DACK <sub>0</sub>	P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA0/ DACK <sub>0</sub>	P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA0/ DACK <sub>0</sub>	P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA0/ DACK <sub>0</sub>	P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA0/ DACK <sub>0</sub>	NC
113	123	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	MD <sub>0</sub>	V <sub>SS</sub>
114	124	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	MD <sub>1</sub>	V <sub>SS</sub>
115	125	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	MD <sub>2</sub>	V <sub>SS</sub>
116	126	PG <sub>0</sub>	PG <sub>0</sub>	PG <sub>0</sub>	PG <sub>0</sub> /CAS/OE	PG <sub>0</sub> /CAS/OE	PG <sub>0</sub> /CAS/OE	PG <sub>0</sub>	NC
117	127	PG <sub>1</sub>	PG <sub>1</sub>	PG <sub>1</sub>	PG <sub>1</sub> /CS <sub>3</sub>	PG <sub>1</sub> /CS <sub>3</sub>	PG <sub>1</sub> /CS <sub>3</sub>	PG <sub>1</sub>	NC
118	128	PG <sub>2</sub>	PG <sub>2</sub>	PG <sub>2</sub>	PG <sub>2</sub> /CS <sub>2</sub>	PG <sub>2</sub> /CS <sub>2</sub>	PG <sub>2</sub> /CS <sub>2</sub>	PG <sub>2</sub>	NC
119	1	PG <sub>3</sub>	PG <sub>3</sub>	PG <sub>3</sub>	PG <sub>3</sub> /CS <sub>1</sub>	PG <sub>3</sub> /CS <sub>1</sub>	PG <sub>3</sub> /CS <sub>1</sub>	PG <sub>3</sub>	NC
120	2	PG <sub>4</sub> /CS <sub>0</sub>	PG <sub>4</sub> /CS <sub>0</sub>	PG <sub>4</sub>	PG <sub>4</sub> /CS <sub>0</sub>	PG <sub>4</sub> /CS <sub>0</sub>	PG <sub>4</sub> /CS <sub>0</sub>	PG <sub>4</sub>	NC
-	3	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>
-	4	NC	NC	NC	NC	NC	NC	NC	NC

【注】 NCはV<sub>SS</sub>に接続、または開放としてください。

## 1. 概要

### 1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号		入出力	名称および機能																												
		PTQP0120LA-A	PRQP0128KB-A																														
電源	V <sub>CC</sub>	1、33、52、76、81	5、39、58、84、89	入力	電源 電源に接続します。 V <sub>CC</sub> 端子は、全端子をシステムの電源に接続してください。																												
	V <sub>SS</sub>	6、15、24、38、47、59、79、104	3、10、19、28、35、36、44、53、65、67、68、87、99、100、114	入力	グランド 電源 (0V) に接続します。 V <sub>SS</sub> 端子は、全端子をシステムの電源 (0V) に接続してください。																												
クロック	XTAL	77	85	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 20 章 クロック発振器」を参照してください。																												
	EXTAL	78	86	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 20 章 クロック発振器」を参照してください。																												
	φ	80	88	出力	システムクロック 外部デバイスにシステムクロックを供給します。																												
動作モード コントロール	MD <sub>2</sub> ~ MD <sub>0</sub>	115 ~ 113	125 ~ 123	入力	モード端子 動作モードを設定します。 MD <sub>2</sub> ~ MD <sub>0</sub> 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>MD<sub>2</sub></th> <th>MD<sub>1</sub></th> <th>MD<sub>0</sub></th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td rowspan="3">0</td> <td rowspan="2">0</td> <td>0</td> <td>-</td> </tr> <tr> <td>1</td> <td>モード1</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>1</td> <td>モード3</td> </tr> <tr> <td>0</td> <td>モード4</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>モード5</td> </tr> <tr> <td>1</td> <td>モード6</td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>モード7</td> </tr> </tbody> </table>	MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	動作モード	0	0	0	-	1	モード1	1	0	モード2	1	0	1	モード3	0	モード4	1	0	モード5	1	モード6			1	モード7
MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	動作モード																														
0	0	0	-																														
		1	モード1																														
	1	0	モード2																														
1	0	1	モード3																														
		0	モード4																														
	1	0	モード5																														
		1	モード6																														
		1	モード7																														

分類	記号	ピン番号		入出力	名称および機能
		PTQP0120LA-A	PRQP0128KB-A		
システム制御	RES	73	81	入力	<u>リセット入力</u> この端子が Low レベルになると、リセット状態となります。 リセットの種類が NMI 端子の入力レベルによって選択されます。電源投入時は、NMI を High レベルとしてください。
	STBY	75	83	入力	<u>スタンバイ</u> この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	BREQ	88	96	入力	<u>バス権要求</u> 本 LSI に対し、外部バスマスタがバス権を要求します。
	BREQ $\bar{O}$	86	94	出力	<u>バス権要求出力</u> 外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの、外部バス権要求信号です。
	BACK	87	95	出力	<u>バス権要求アクノリッジ</u> バス権を外部バスマスタに解放したことを示します。
割り込み	NMI	74	82	入力	<u>ノンマスクブル割り込み</u> マスク不可能な割り込みを要求します。 未使用の場合は High レベルに固定してください。
	$\bar{I}RQ_7 \sim \bar{I}RQ_0$	28 ~ 25、29 ~ 32	32 ~ 29、33、34、37、38	入力	<u>割り込み要求 7~0</u> マスク可能な割り込みを要求します。
アドレスバス	A $_{23} \sim A_0$	28 ~ 25、23 ~ 16、14 ~ 7、5 ~ 2	32 ~ 29、27 ~ 20、18 ~ 11、9 ~ 6	出力	<u>アドレスバス</u> アドレスを出力します。
データバス	D $_{15} \sim D_0$	51 ~ 48、46 ~ 39、37 ~ 34	57 ~ 54、52 ~ 45、43 ~ 40	入出力	<u>データバス</u> 双方向データバスです。
バス制御	CS $_7 \sim CS_0$	29、30、61、60、117 ~ 120	33、34、69、66、127、128、1、2	出力	<u>チップセレクト</u> エリア 7~0 の選択信号です。
	AS	82	90	出力	<u>アドレスストローブ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\bar{R}D$	83	91	出力	<u>リード</u> この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。

## 1. 概要

分類	記号	ピン番号		入出力	名称および機能
		PTQP0120LA-A	PRQP0128KB-A		
バス制御	HWR	84	92	出力	<p>ハイライト/ライトイネーブル/            アッパーライトイネーブル</p> <p>外部空間をライトし、データバスの上位側 (D<sub>15</sub> ~ D<sub>8</sub>) が有効であることを示すストローブ信号です。</p> <p>2CAS 方式の DRAM のライトイネーブル信号です。</p> <p>2WE 方式の DRAM のアッパーライトイネーブル信号です。</p>
	LWR	85	93	出力	<p>ローライト/ローアークラムアドレスストローブ/            ローアークラムライトイネーブル</p> <p>外部空間をライトし、データバスの下位側 (D<sub>7</sub> ~ D<sub>0</sub>) が有効であることを示すストローブ信号です。</p> <p>2CAS 方式 (LCASS = 1) の DRAM のローアークラムアドレスストローブ信号です。</p> <p>2WE 方式の DRAM のローアークラムライトイネーブル信号です。</p>
	$\overline{\text{CAS}} / \overline{\text{OE}}$	116	126	出力	<p>アッパーカラムアドレスストローブ/カラムアドレスストローブ/アウトプットイネーブル/リフレッシュ</p> <p>2CAS 方式の DRAM のアッパーカラムアドレスストローブ信号です。</p> <p>2WE 方式の DRAM のカラムアドレスストローブ信号です。</p> <p>PSRAM のアウトプットイネーブル信号です。</p>
	LCAS	86	94	出力	<p>ローアークラムアドレスストローブ</p> <p>2CAS 方式 (LCASS = 0) の DRAM のローアークラムアドレスストローブ信号です。</p>
	$\overline{\text{WAIT}}$	86	94	入力	<p>ウェイト</p> <p>外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。</p>
	DMA コントローラ (DMAC)	$\overline{\text{DREQ}}_1$ 、 $\overline{\text{DREQ}}_0$	62、60	70、66	入力
$\overline{\text{TEND}}_1$ 、 $\overline{\text{TEND}}_0$		63、61	71、69	出力	<p>DMA 転送終了 1、0</p> <p>DMAC のデータ転送終了を示します。</p>
$\overline{\text{DACK}}_1$ 、 $\overline{\text{DACK}}_0$		111、112	121、122	出力	<p>DMA 転送アクリッジ 1、0</p> <p>DMAC のシングルアドレス転送アクリッジ端子です。</p>



1. 概要

分類	記号	ピン番号		入出力	名称および機能
		PTQP0120LA-A	PRQP0128KB-A		
16 ビットタイマパルスユニット (TPU)	TCLKD ~ TCLKA	105、107、109、110	115、117、119、120	入力	クロック入力 D~A 外部クロックを入力します。
	TIOCA0、TIOCB0、TIOCC0、TIOCD0	112 ~ 109	122 ~ 119	入出力	インプットキャブチャ / アウトプットコンペアマッチ A0 ~ D0 TGR0A ~ TGR0D のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA1、TIOCB1	108、107	118、117	入出力	インプットキャブチャ / アウトプットコンペアマッチ A1、B1 TGR1A、TGR1B のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA2、TIOCB2	106、105	116、115	入出力	インプットキャブチャ / アウトプットコンペアマッチ A2、B2 TGR2A、TGR2B のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA3、TIOCB3、TIOCC3、TIOCD3	71 ~ 68	79 ~ 76	入出力	インプットキャブチャ / アウトプットコンペアマッチ A3 ~ D3 TGR3A ~ TGR3D のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA4、TIOCB4	67、66	75、74	入出力	インプットキャブチャ / アウトプットコンペアマッチ A4、B4 TGR4A、TGR4B のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCA5、TIOCB5	65、64	73、72	入出力	インプットキャブチャ / アウトプットコンペアマッチ A5、B5 TGR5A、TGR5B のインプットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
プログラマブルパルスジェネレータ (PPG)	PO <sub>15</sub> ~ PO <sub>0</sub>	105 ~ 112、64 ~ 71	115 ~ 122、72 ~ 79	出力	パルス出力 15 ~ 0 パルス出力端子です。
8 ビットタイマ	TMO <sub>0</sub> 、TMO <sub>1</sub>	65、64	73、72	出力	コンペアマッチ出力 コンペアマッチ出力端子です。
	TMCI <sub>0</sub> 、TMCI <sub>1</sub>	68、66	76、74	入力	カウンタ外部クロック入力 カウンタに入力する外部クロックの入力端子です。
	TMRI <sub>0</sub> 、TMRI <sub>1</sub>	69、67	77、75	入力	カウンタ外部リセット入力 カウンタリセット入力端子です。
ウォッチドッグタイマ (WDT)	WDTOVF	72	80	出力	ウォッチドッグタイマオーバフロー ウォッチドッグタイマモード時のカウンタオーバフロー信号出力端子です。

## 1. 概要

分類	記号	ピン番号		入出力	名称および機能
		PTQP0120LA-A	PRQP0128KB-A		
シリアルコミュニケーションインタフェース (SCI) / スマートカードインタフェース	TxD <sub>2</sub> , TxD <sub>1</sub> , TxD <sub>0</sub>	89, 54, 53	97, 60, 59	出力	トランスミットデータ (チャンネル0, 1, 2) データ出力端子です。
	RxD <sub>2</sub> , RxD <sub>1</sub> , RxD <sub>0</sub>	90, 56, 55	98, 62, 61	入力	レシーブデータ (チャンネル0, 1, 2) データ入力端子です。
	SCK <sub>2</sub> , SCK <sub>1</sub> , SCK <sub>0</sub>	91, 58, 57	101, 64, 63	入出力	シリアルクロック (チャンネル0, 1, 2) クロック入出力端子です。
A/D 変換器	AN <sub>7</sub> ~ AN <sub>0</sub>	102 ~ 95	112 ~ 105	入力	アナログ7~0 アナログ入力端子です。
	ADTRG	92	102	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA <sub>1</sub> , DA <sub>0</sub>	102, 101	112, 111	出力	アナログ出力 D/A 変換器のアナログ出力端子です。
A/D 変換器、D/A 変換器	AV <sub>cc</sub>	93	103	入力	A/D 変換器および D/A 変換器の電源端子です。A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
	AV <sub>ss</sub>	103	113	入力	A/D 変換器および D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	94	104	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
I/O ポート	P1 <sub>7</sub> ~ P1 <sub>0</sub>	105 ~ 112	115 ~ 122	入出力	ポート1 8ビットの入出力端子です。 ポート1 データディレクションレジスタ (P1DDR) によって、1ビットごとに入出力を指定できます。
	P2 <sub>7</sub> ~ P2 <sub>0</sub>	64 ~ 71	72 ~ 79	入出力	ポート2 8ビットの入出力端子です。 ポート2 データディレクションレジスタ (P2DDR) によって、1ビットごとに入出力を指定できます。
	P3 <sub>5</sub> ~ P3 <sub>0</sub>	58 ~ 53	64 ~ 59	入出力	ポート3 6ビットの入出力端子です。 ポート3 データディレクションレジスタ (P3DDR) によって、1ビットごとに入出力を指定できます。

分類	記号	ピン番号		入出力	名称および機能
		PTQP0120LA-A	PRQP0128KB-A		
I/O ポート	P4 <sub>7</sub> ~ P4 <sub>0</sub>	102 ~ 95	112 ~ 105	入力	<u>ポート4</u> 8ビットの入力端子です。
	P5 <sub>3</sub> ~ P5 <sub>0</sub>	92 ~ 89	102、101、98、 97	入出力	<u>ポート5</u> 4ビットの入出力端子です。 ポート5データディレクションレジスタ (P5DDR)によって、1ビットごとに入出力を指 定できます。
	P6 <sub>7</sub> ~ P6 <sub>0</sub>	29 ~ 32、63 ~ 60	33、34、37、38、 71 ~ 69、66	入出力	<u>ポート6</u> 8ビットの入出力端子です。 ポート6データディレクションレジスタ (P6DDR)によって、1ビットごとに入出力を指 定できます。
	PA <sub>7</sub> ~ PA <sub>0</sub>	28 ~ 25、23 ~ 20	32 ~ 29、27 ~ 24	入出力	<u>ポートA</u> 8ビットの入出力端子です。 ポートAデータディレクションレジスタ (PADDR)によって、1ビットごとに入出力を指 定できます。
	PB <sub>7</sub> ~ PB <sub>0</sub>	19 ~ 16、14 ~ 11	23 ~ 20、18 ~ 15	入出力	<u>ポートB</u> 8ビットの入出力端子です。 ポートBデータディレクションレジスタ (PBDDR)によって、1ビットごとに入出力を指 定できます。
	PC <sub>7</sub> ~ PC <sub>0</sub>	10 ~ 7、5 ~ 2	14 ~ 11、9 ~ 6	入出力	<u>ポートC</u> 8ビットの入出力端子です。 ポートCデータディレクションレジスタ (PCDDR)によって、1ビットごとに入出力を指 定できます。
	PD <sub>7</sub> ~ PD <sub>0</sub>	51 ~ 48、46 ~ 43	57 ~ 54、52 ~ 49	入出力	<u>ポートD</u> 8ビットの入出力端子です。 ポートDデータディレクションレジスタ (PDDDR)によって、1ビットごとに入出力を指 定できます。
	PE <sub>7</sub> ~ PE <sub>0</sub>	42 ~ 39、37 ~ 34	48 ~ 45、43 ~ 40	入出力	<u>ポートE</u> 8ビットの入出力端子です。 ポートEデータディレクションレジスタ (PEDDR)によって、1ビットごとに入出力を指 定できます。
	PF <sub>7</sub> ~ PF <sub>0</sub>	80、82 ~ 88	88、90 ~ 96	入出力	<u>ポートF</u> 8ビットの入出力端子です。 ポートFデータディレクションレジスタ (PFDDR)によって、1ビットごとに入出力を指 定できます。

## 1. 概要

---

分類	記号	ピン番号		入出力	名称および機能
		PTQP0120LA-A	PRQP0128KB-A		
I/O ポート	PG <sub>4</sub> ~ PG <sub>6</sub>	120 ~ 116	2、1、128 ~ 126	入出力	<u>ポート G</u> 5 ビットの入出力端子です。 ポート G データディレクションレジスタ (PGDDR)によって、1 ビットごとに入出力を指定できます。

---

## 2. CPU

---

### 2.1 概要

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

#### 2.1.1 特長

本 CPU には、次の特長があります。

H8/300 CPU および H8/300H CPU の上位互換

- H8/300 および H8/300H CPU オブジェクトプログラムを実行可能

汎用レジスタ方式

- 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）

69 種類の基本命令

- 8 / 16 / 32 ビット演算命令
- 乗除算命令
- 強力なビット操作命令
- 積和演算命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付レジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
- ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
- 絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
- イミディエイト (#xx:8 / #xx:16 / #xx:32)
- プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
- メモリ間接 (@@aa:8)

16M バイトのアドレス空間

- プログラム : 16M バイト
- データ : 16M バイト（アーキテクチャ上は 4G バイト）

### 高速動作

- 頻出命令をすべて 1~2 ステートで実行
- 最高動作周波数 : 20MHz
- 8 / 16 / 32 ビットレジスタ間加減算 : 50ns
- 8 × 8 ビットレジスタ間乗算 : 150ns
- 16 ÷ 8 ビットレジスタ間除算 : 600ns
- 16 × 16 ビットレジスタ間乗算 : 200ns
- 32 ÷ 16 ビットレジスタ間除算 : 1000ns

### 2 種類の CPU 動作モード

- ノーマルモード / アドバンスモード

### 低消費電力状態

- SLEEP 命令により低消費電力状態に遷移
- CPU 動作クロックを選択可能

## 2.1.2 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

### 汎用レジスタ、コントロールレジスタを拡張

- 16 ビット × 8 本の拡張レジスタ、および 8 ビット × 1 本、32 ビット × 2 本のコントロールレジスタを追加

### アドレス空間を拡張

- ノーマルモードのとき、H8/300 CPU と同一の 64k バイトのアドレス空間を使用可能
- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能

### アドレッシングモードを強化

- 16M バイトのアドレス空間を有効に使用可能

### 命令強化

- ビット操作命令のアドレッシングモードを強化
- 符号付き乗除算命令などを追加
- 積和演算命令を追加
- 2 ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加
- テストアンドセット命令を追加

### 高速化

基本的な命令を 2 倍に高速化

### 2.1.3 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

コントロールレジスタを拡張

- 8 ビット×1 本、32 ビット×2 本のコントロールレジスタを追加

命令強化

- ビット操作命令のアドレッシングモードを強化
- 積和演算命令を追加
- 2 ビットシフト命令を追加
- 複数レジスタの退避 / 復帰命令を追加
- テストアンドセット命令を追加

高速化

- 基本的な命令を 2 倍に高速化

## 2.2 CPU 動作モード

本 CPU は、ノーマルモードおよびアドバンスモードの2つの CPU 動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大 64k バイト、アドバンスモードの場合 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計で最大 4G バイト）となります。

各モードは LSI のモード端子によって選択されます。

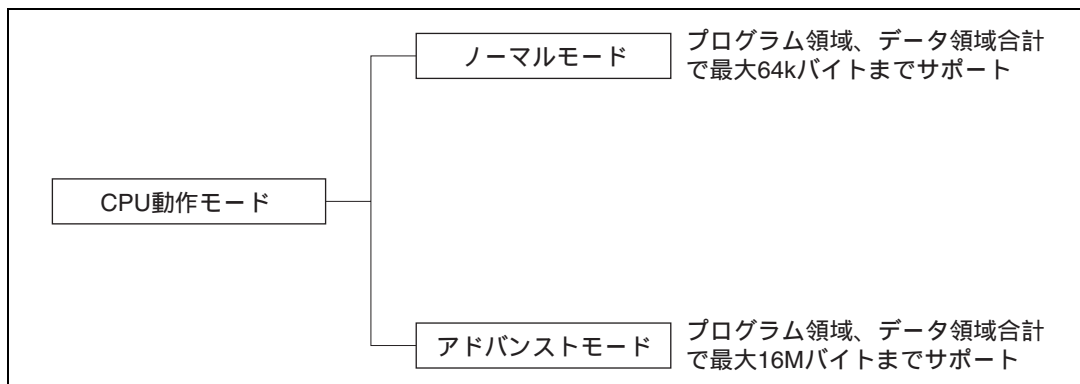


図 2.1 CPU 動作モード

### (1) ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一になります。

#### (a) アドレス空間

最大 64k バイトをアクセス可能です。

#### (b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください）。

#### (c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。



## (d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

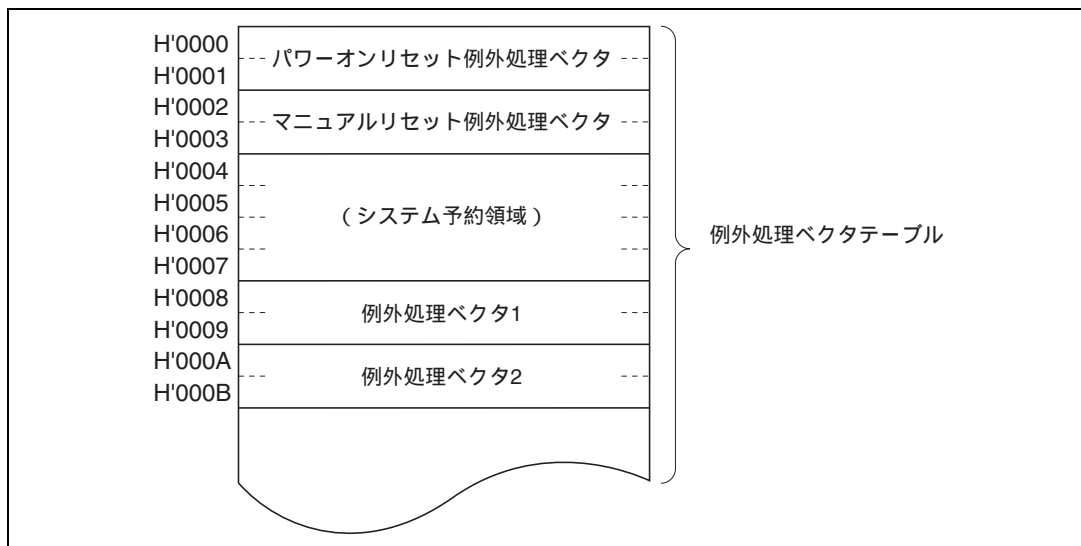


図 2.2 例外処理ベクタテーブル（ノーマルモード）

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット（ワード）となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

## (e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.3 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

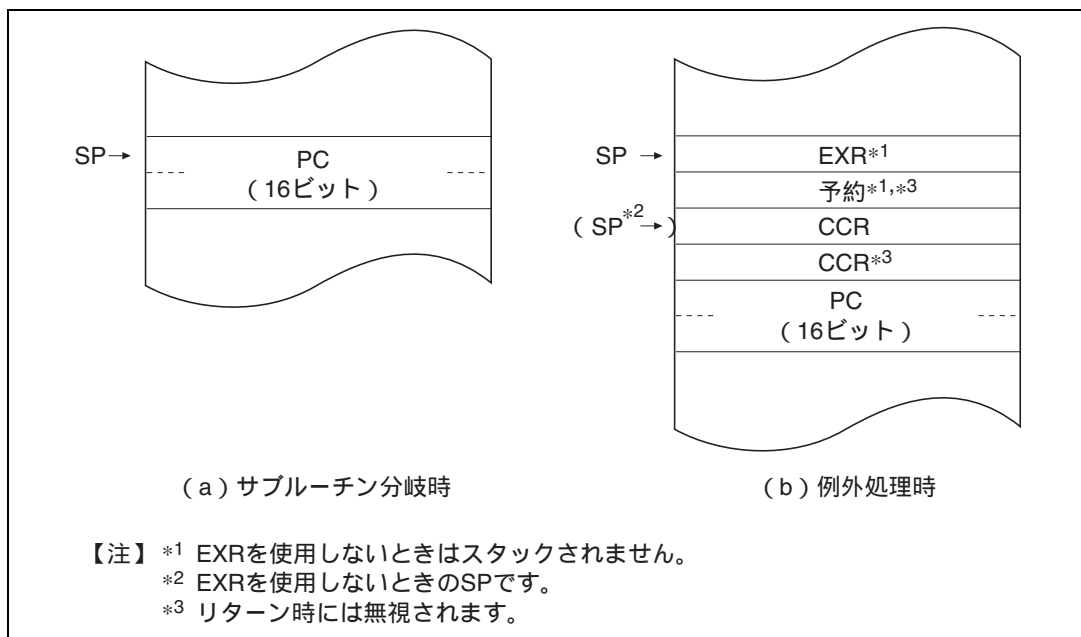


図 2.3 ノーマルモードのスタック構造

## (2) アドバンストモード

## (a) アドレス空間

最大 16M バイト(アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト)をリニアにアクセス可能です。

## (b) 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

## (c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

## (d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します (図 2.4 参照)。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

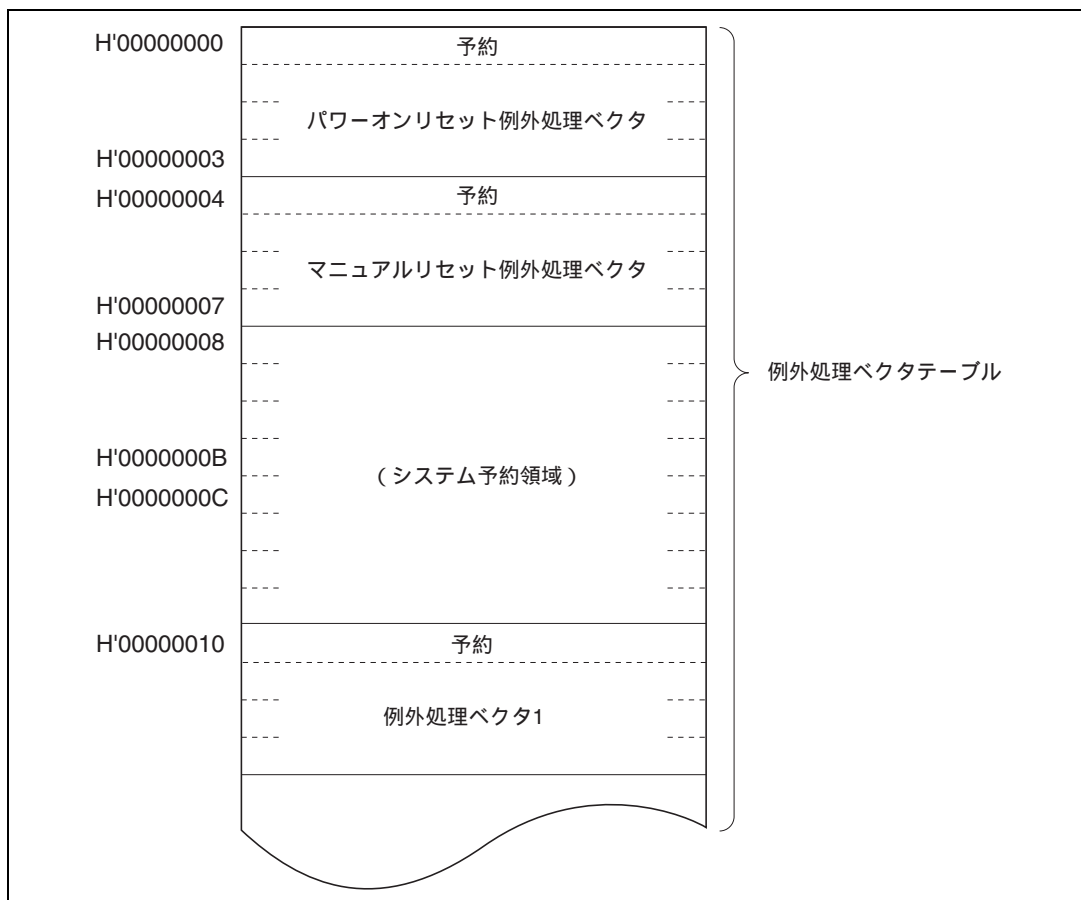


図 2.4 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペラントを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペラントは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000 ~ H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

#### (e) スタック構造

アドバンストモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.5 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

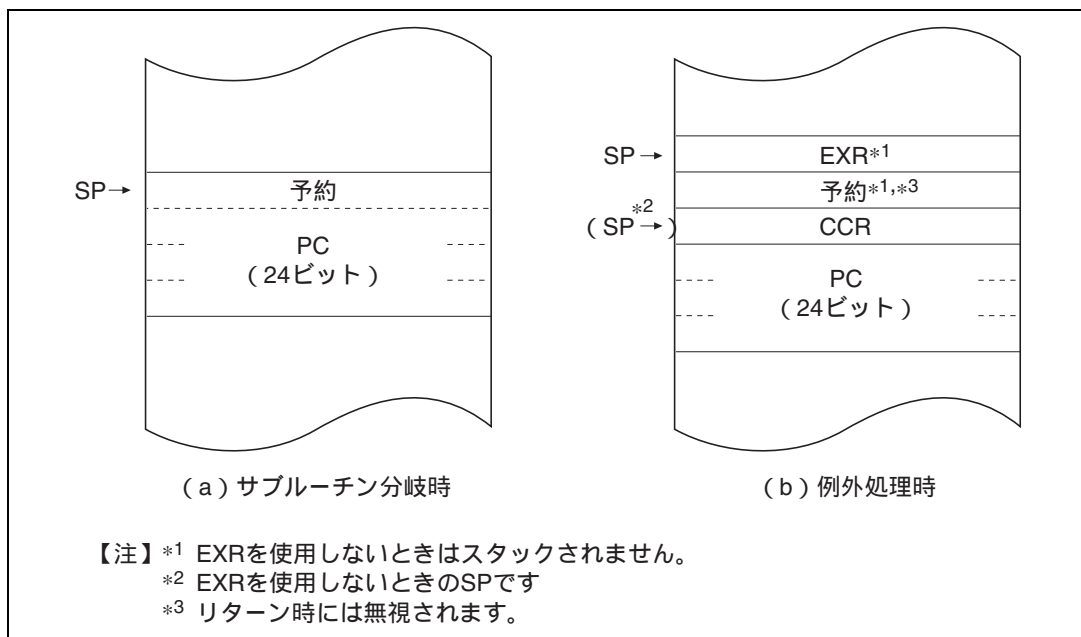


図 2.5 アドバンスモードのスタック構造

## 2.3 アドレス空間

本 CPU のメモリマップを図 2.6 に示します。本 CPU は、ノーマルモードのとき最大 64k バイト、またアドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。

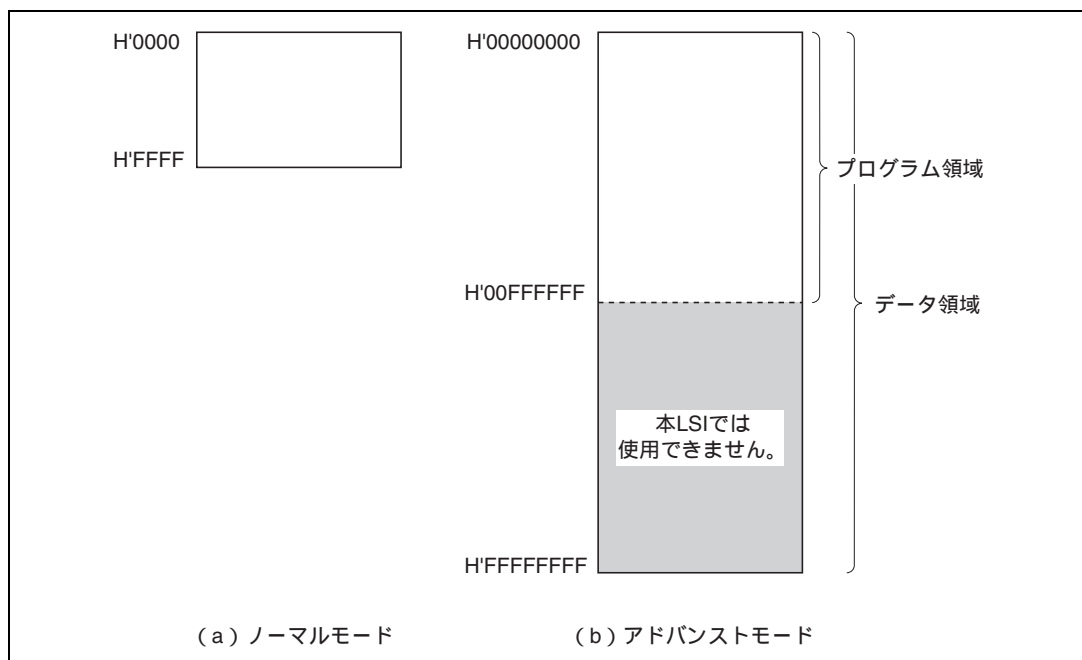


図 2.6 メモリマップ

## 2.4 レジスタ構成

### 2.4.1 概要

本 CPU の内部レジスタ構成を図 2.7 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

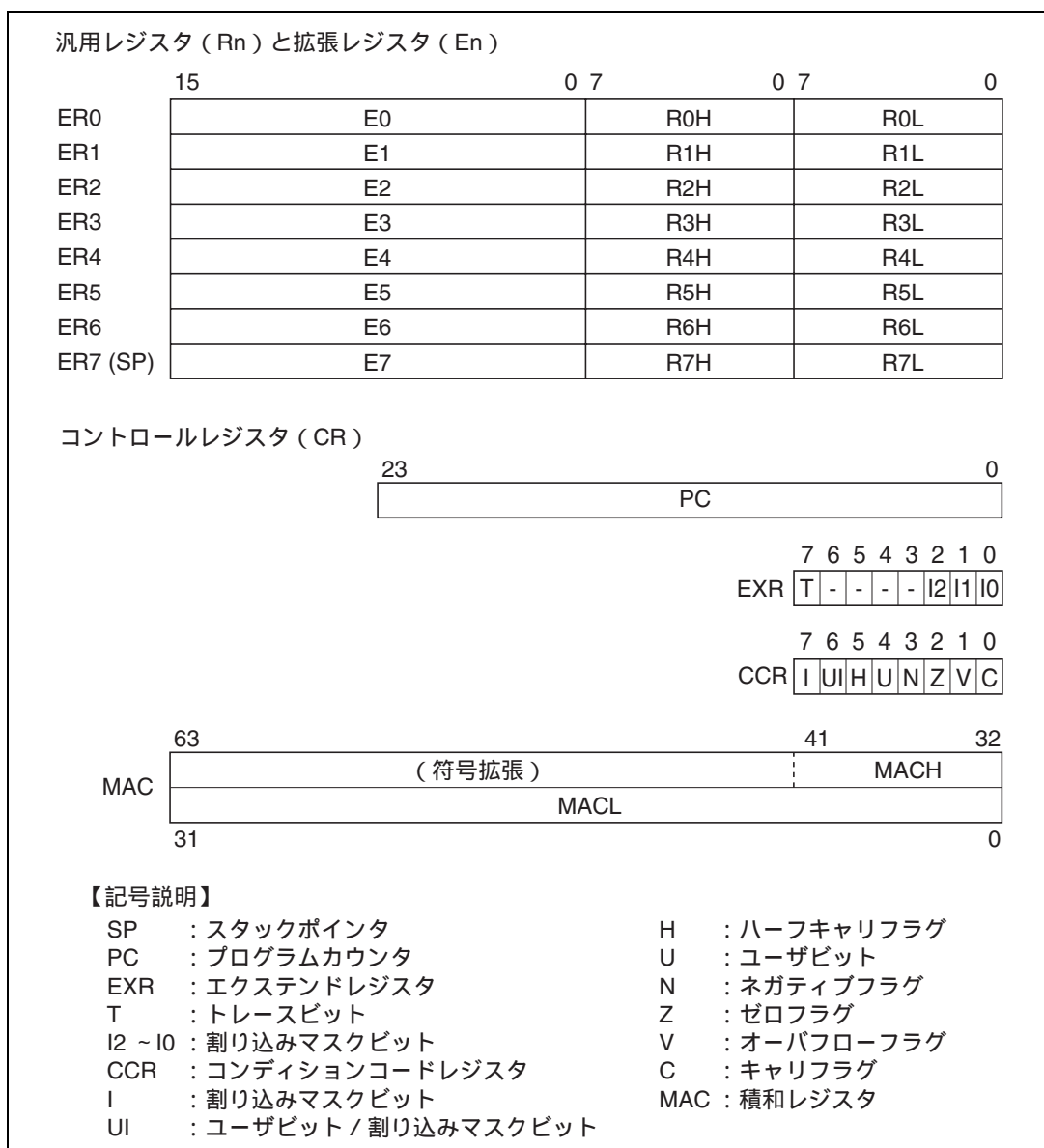


図 2.7 CPU 内部レジスタ構成

## 2.4.2 汎用レジスタ

本 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビット、および 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

汎用レジスタの使用方法を図 2.8 に示します。各レジスタ独立に使用方法を選択することができます。

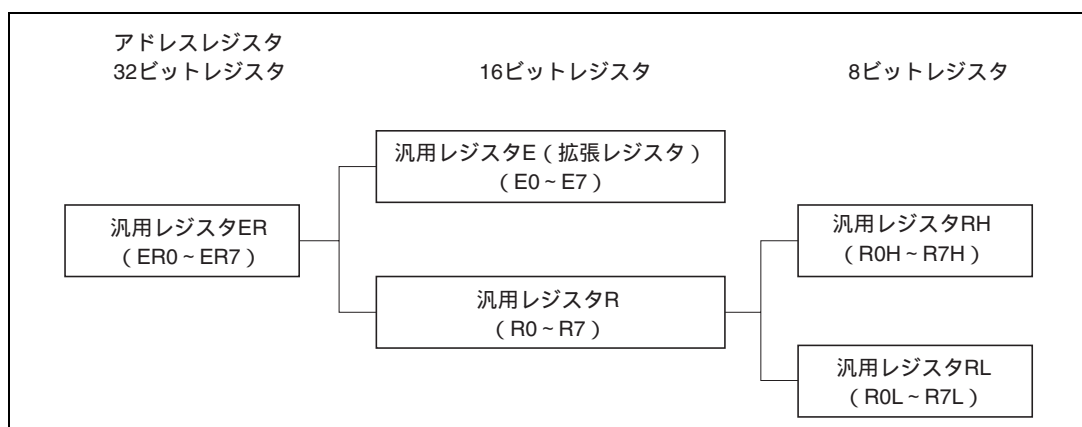


図 2.8 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.9 に示します。

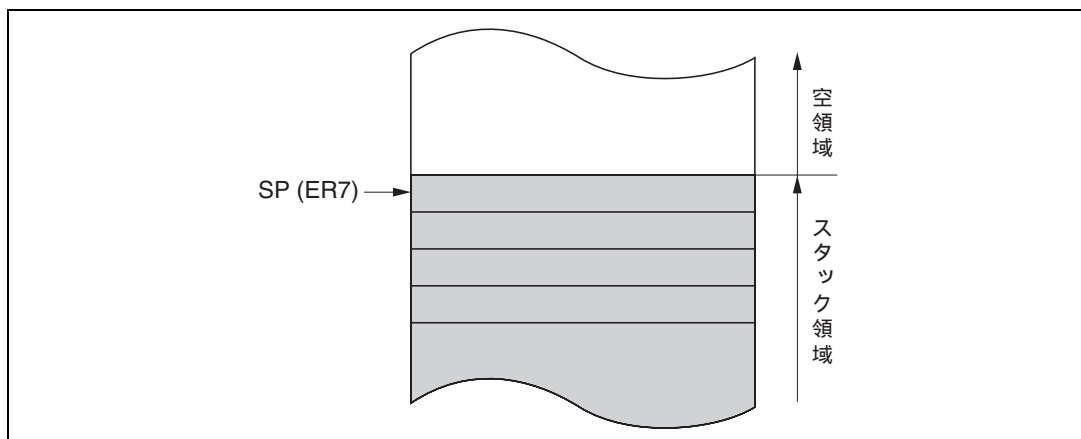


図 2.9 スタックの状態

### 2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR)、および 64 ビット積和レジスタ (MAC) があります。

#### (1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

#### (2) エクステンドレジスタ (EXR)

8 ビットのレジスタです。トレースビット (T)、割り込みマスクビット (I) を含む 8 ビットで構成されています。

##### ビット 7: トレースビット (T)

トレースモードか否かを指定します。本ビットが 0 にクリアされているときは命令を順次実行します。1 にセットされているときは 1 命令実行する毎にトレース例外処理を開始します。

##### ビット 6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。

##### ビット 2~0: 割り込みマスクビット (I2~I0)

割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。



EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間は、NMI を含めてすべての割り込みは受け付けられません。

### (3) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

#### ビット 7: 割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

#### ビット 6: ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

#### ビット 5: ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

#### ビット 4: ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。

#### ビット 3: ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

#### ビット 2: ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

#### ビット 1: オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

### ビット0: キャリフラグ (C)

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

### (4) 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効であり、上位は符号拡張されています。

## 2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

## 2.5 データ構成

本 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0, 1, 2, \dots, 7$ ) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.10 に示します。

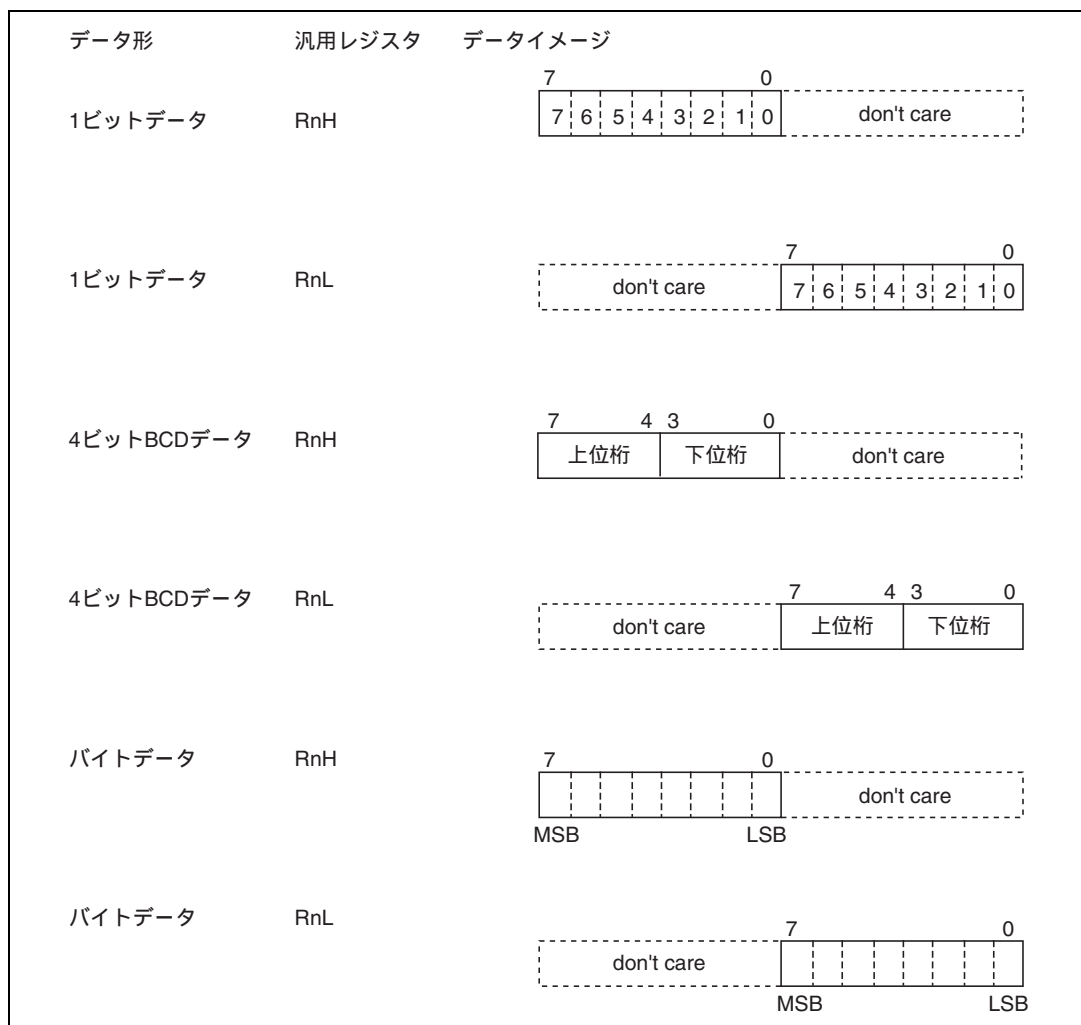


図 2.10 汎用レジスタのデータ構成 (1)

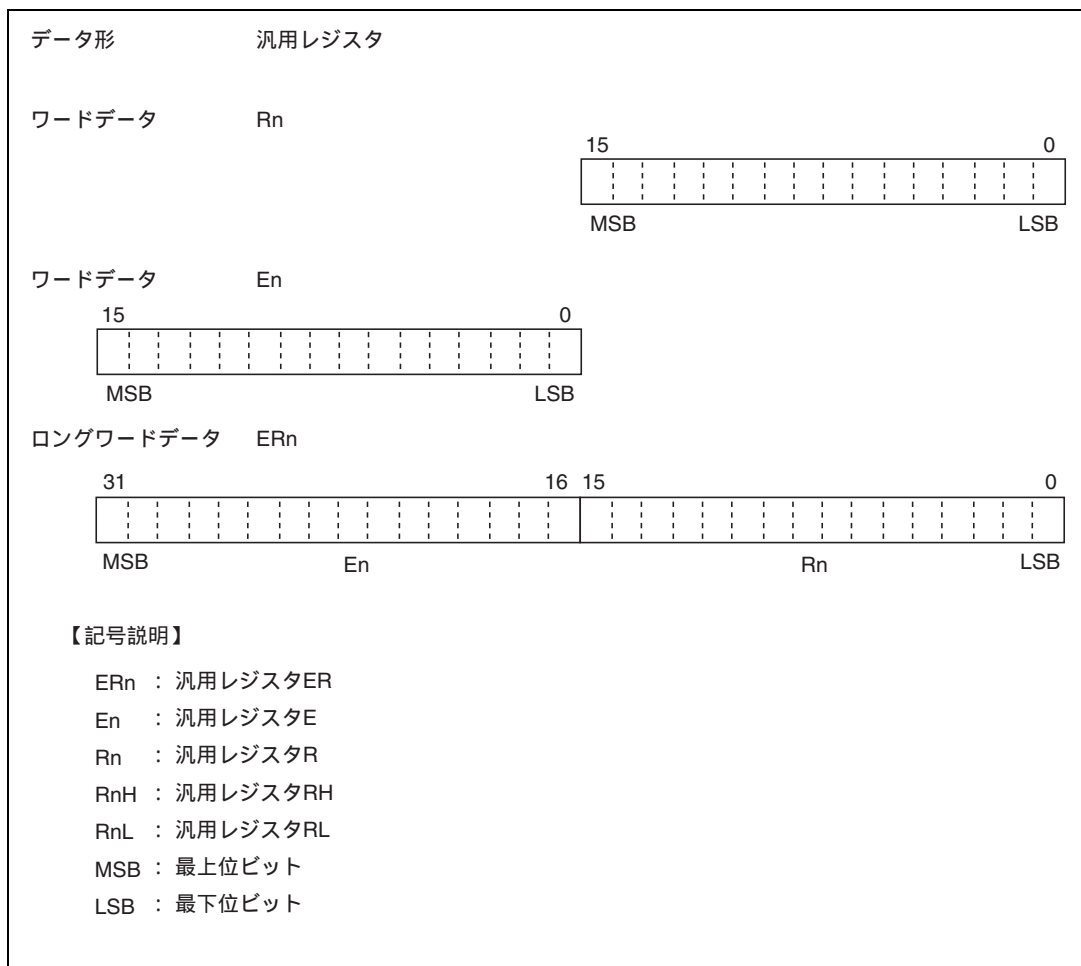


図 2.10 汎用レジスタのデータ構成 (2)

## 2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.11 に示します。

本 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

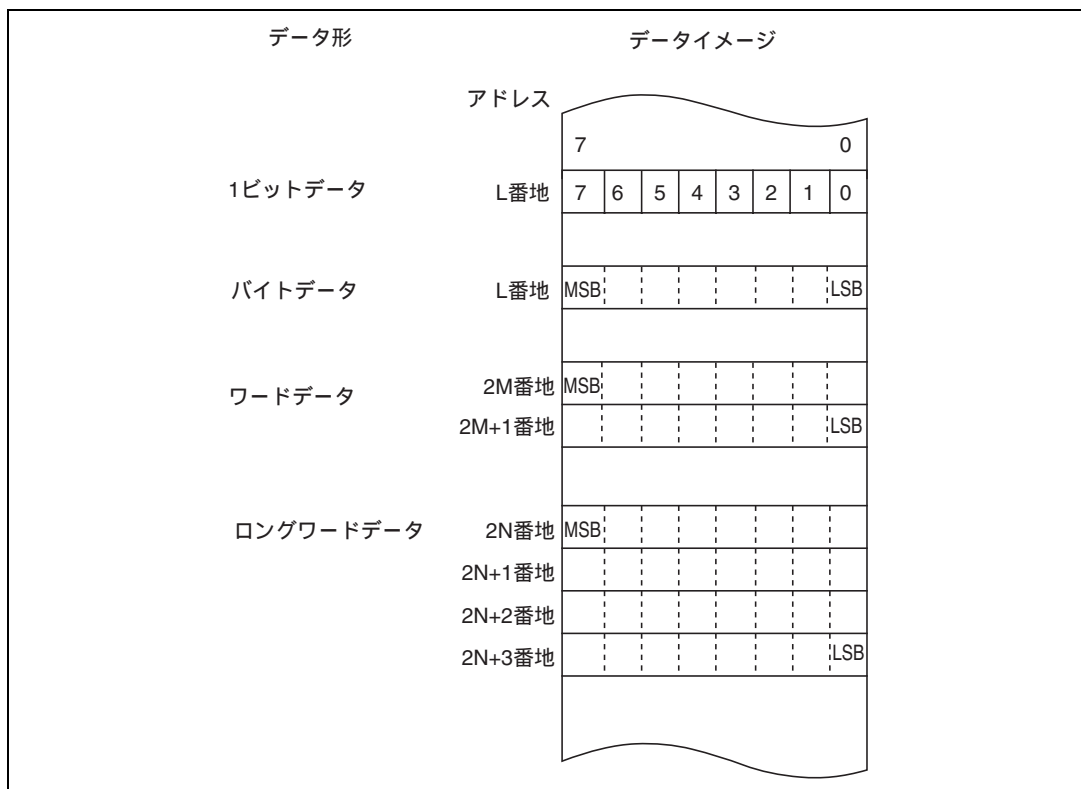


図 2.11 メモリ上でのデータ構成

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

## 2.6 命令セット

### 2.6.1 概要

本 CPU の命令は合計 69 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
転送命令	MOV	BWL	5
	POP* <sup>1</sup> , PUSH* <sup>1</sup>	WL	
	LDM, STM	L	
	MOVFPPE, MOVTPPE	B	
算術演算命令	ADD, SUB, CMP, NEG	BWL	23
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	BWL	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	BW	
	EXTU, EXTS	WL	
	TAS	B	
	MAC, LDMAC, STMAC, CLRMAC	-	
論理演算命令	AND, OR, XOR, NOT	BWL	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	BWL	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc* <sup>2</sup> , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 69 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

\*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。

また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。

\*2 Bcc は条件分岐命令の総称です。

## 2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:32, ERn)	@ - ERn@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(d8, PC)	@(d:16, PC)	@aa:8	.
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	-	BWL	-	-	-	-
	POP, PUSH	-	-	-	-	-	-	-	-	-	-	-	-	-	WL
	LDM, STM	-	-	-	-	-	-	-	-	-	-	-	-	-	L
	MOVEPE, MOVTPPE	-	-	-	-	-	-	-	B	-	-	-	-	-	-
算術演算命令	ADD, CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	-
	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-	-	-
	ADDX, SUBX	B	B	-	-	-	-	-	-	-	-	-	-	-	-
	ADDS, SUBS	-	L	-	-	-	-	-	-	-	-	-	-	-	-
	INC, DEC	-	BWL	-	-	-	-	-	-	-	BWL	-	-	-	-
	DAA, DAS	-	B	-	-	-	-	-	-	-	-	-	-	-	-
	MULXU, DIVXU	-	BW	-	-	-	-	-	-	-	-	-	-	-	-
	MULXS, DIVXS	-	BW	-	-	-	-	-	-	-	-	-	-	-	-
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-
	EXTU, EXTS	-	WL	-	-	-	-	-	-	-	-	-	-	-	-
	TAS	-	-	B	-	-	-	-	-	-	-	-	-	-	-
	MAC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	CLRMAC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	LDMAC, STMAC	-	L	-	-	-	-	-	-	-	-	-	-	-	-
論理演算命令	AND, OR, XOR	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	-
	NOT	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-
シフト命令	-	BWL	-	-	-	-	-	-	-	-	-	-	-	-	
ビット操作命令	-	B	B	-	-	-	-	B	B	-	B	-	-	-	
分岐命令	Bcc, BSR	-	-	-	-	-	-	-	-	-	-	-	-	-	
	JMP, JSR	-	-	-	-	-	-	-	-	-	-	-	-	-	
	RTS	-	-	-	-	-	-	-	-	-	-	-	-	-	
システム制御命令	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-	-	
	RTE	-	-	-	-	-	-	-	-	-	-	-	-	-	
	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-	-	
	LDC	B	B	W	W	W	W	-	W	-	W	-	-	-	
	STC	-	B	W	W	W	W	-	W	-	W	-	-	-	
	ANDC, ORC, XORC	B	-	-	-	-	-	-	-	-	-	-	-	-	
NOP	-	-	-	-	-	-	-	-	-	-	-	-	-		
ブロック転送命令	-	-	-	-	-	-	-	-	-	-	-	-	-	BW	

### 【記号説明】

- B : バイト
- W : ワード
- L : ロングワード

### 2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

#### 《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】 \* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。



表 2.3 データ転送命令

命令	サイズ*	機 能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。 また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、 POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

## 2. CPU

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B / W / L	Rd±Rs Rd, Rd±#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います(バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C Rd, Rd±#IMM±C Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B / W / L	Rd±1 Rd, Rd±2 Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1 Rd, Rd±2 Rd, Rd±4 Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	Rd×Rs Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
MULXS	B / W	Rd×Rs Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット 16 ビット、16 ビット×16 ビット 32 ビットの乗算が可能です。
DIVXU	B / W	Rd÷Rs Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット 商 8 ビット余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
DIVXS	B / W	Rd÷Rs Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット 商 8 ビット余り 8 ビット、 32 ビット÷16 ビット 商 16 ビット余り 16 ビットの除算が可能です。
CMP	B / W / L	Rd - Rs, Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	0 - Rd Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W / L	Rd(ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

命令	サイズ*	機 能
EXTS	W / L	Rd(符号拡張) Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS	B	@ERd - 0、1 (<ビット7> of @ERd) メモリの内容をテストした後、最上位ビット(ビット7)を1にセットします。
MAC	-	(EAs) × (EAd) + MAC MAC メモリとメモリ間の符号付き乗算を行い、結果を積和レジスタに加算します。 16ビット×16ビット+32ビット 32ビットの飽和演算、 16ビット×16ビット+42ビット 42ビットの非飽和演算が可能です。
CLRMAC	-	0 MAC 積和レジスタをゼロクリアします。
LDMAC STAMC	L	Rs MAC、MAC Rd 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

## 2. CPU

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [ ~(<ビット番号>of<EAd>) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [ ~(<ビット番号>of<EAd>) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

## 2. CPU

命令	サイズ*	機 能
BXOR	B	C⊕ (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕ [ ~ (<ビット番号>of<EAd>) ] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	(<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B: バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>二ーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td><math>N \oplus V = 0</math></td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td><math>N \oplus V = 1</math></td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N<math>\oplus</math>V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N<math>\oplus</math>V)=1</td> </tr> </tbody> </table>	二ーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC (BHS)	Carry Clear (High or Same)	C=0	BCS (BLO)	Carry Set (LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	Z (N $\oplus$ V)=0	BLE	Less or Equal	Z (N $\oplus$ V)=1
二ーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC (BHS)	Carry Clear (High or Same)	C=0																																																			
BCS (BLO)	Carry Set (LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	Z (N $\oplus$ V)=0																																																			
BLE	Less or Equal	Z (N $\oplus$ V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

## 2. CPU

表 2.9 システム制御命令

命令	サイズ*	機 能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード



表 2.10 ブロック転送命令

命令	サイズ*	機能
EEPMOV.B	-	<pre> if R4L = 0 then   Repeat @ER5+ @ER6+     R4L - 1 R4L   Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then   Repeat @ER5+ @ER6+     R4 - 1 R4   Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

## 2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

### (1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

### (2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

### (3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8 ビット、16 ビット、または 32 ビットです。

### (4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

図 2.12 に命令フォーマットの例を示します。

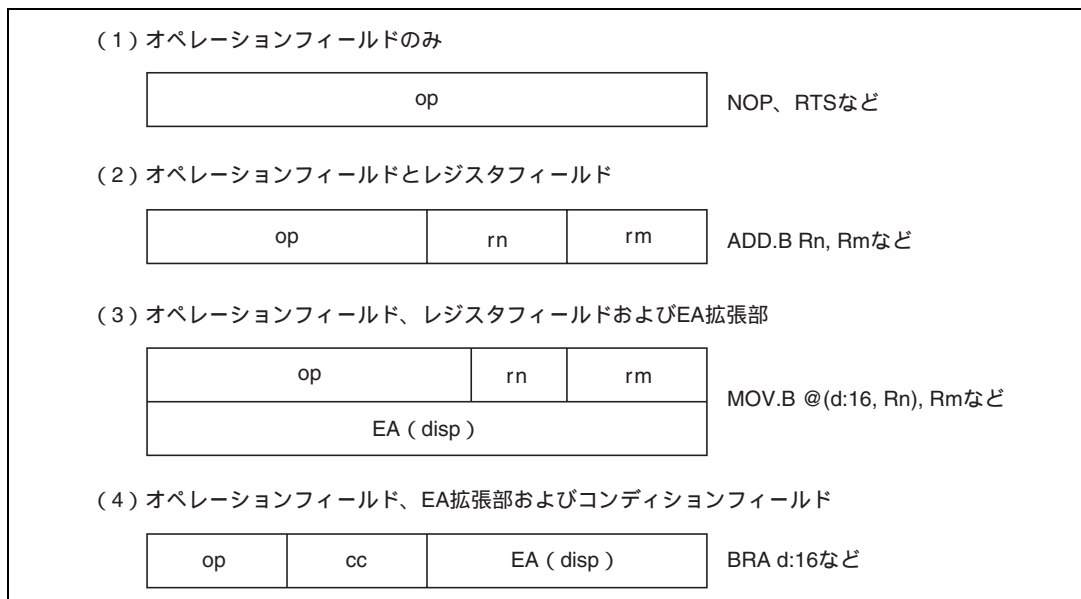


図 2.12 命令フォーマットの例

## 2.7 アドレッシングモードと実効アドレスの計算方法

### 2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

#### (1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

#### (2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

#### (3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に命令コード中に含まれる 16 ビットディスプレースメントまたは 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

## (4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

## (a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

## (b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

## (5) 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンスモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

## (6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コードの中に含まれます。

## (7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト ( - 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト ( - 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

## (8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 ( ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF ) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 4 章 例外処理」を参照してください。

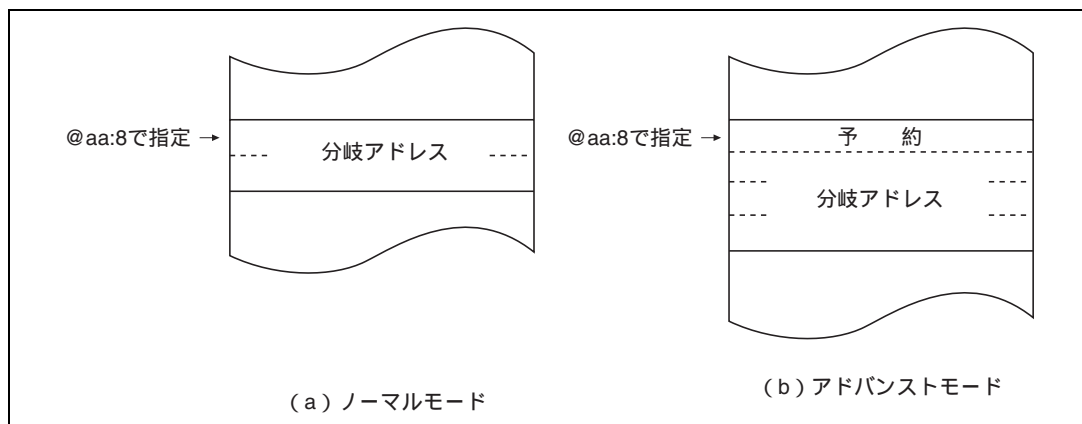


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします ( 「2.5.2 メモリ上でのデータ構成」を参照してください)。

### 2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実効アドレスの計算方法 (1)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
1	レジスタ直接 (Rn) op   rm   rn		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) op   r	汎用レジスタの内容 0 31 ↑ 31 24 23 ↑ don't care 0	
3	ディスプレースメント付レジスタ間接 @(d:16,ERn) / @(d:32,ERn) op   r   disp	汎用レジスタの内容 0 31 ↑ 31 24 23 ↑ don't care 0 + 符号拡張 disp 0 31	
4	ポストインクリメントレジスタ間接/プリインクリメントレジスタ間接 ・ @ERn+ ・ @ERn- op   r	汎用レジスタの内容 0 31 ↑ 31 24 23 ↑ don't care 0 + 1, 2または4 汎用レジスタの内容 0 31 ↑ 31 24 23 ↑ don't care 0 - 1, 2または4	

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

表 2.13 実効アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8	op   abs	31 24 23   don't care   HFFFF   8 7   0
	@aa:16	op   abs	31 24 23   don't care   符号拡張   16 15   0
	@aa:24	op   abs	31 24 23   don't care     0
	@aa:32	op   abs	31 24 23   don't care     0
6	イミディエイト #xx:8 / #xx:16 / #xx:32	op   IMM	オペランドはイミディエイトデータです。



表 2.13 実効アドレスの計算方法 (3)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード  ・アドバンストモード 		

## 2.8 処理状態

### 2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.14 に、処理状態間の遷移を図 2.15 に示します。

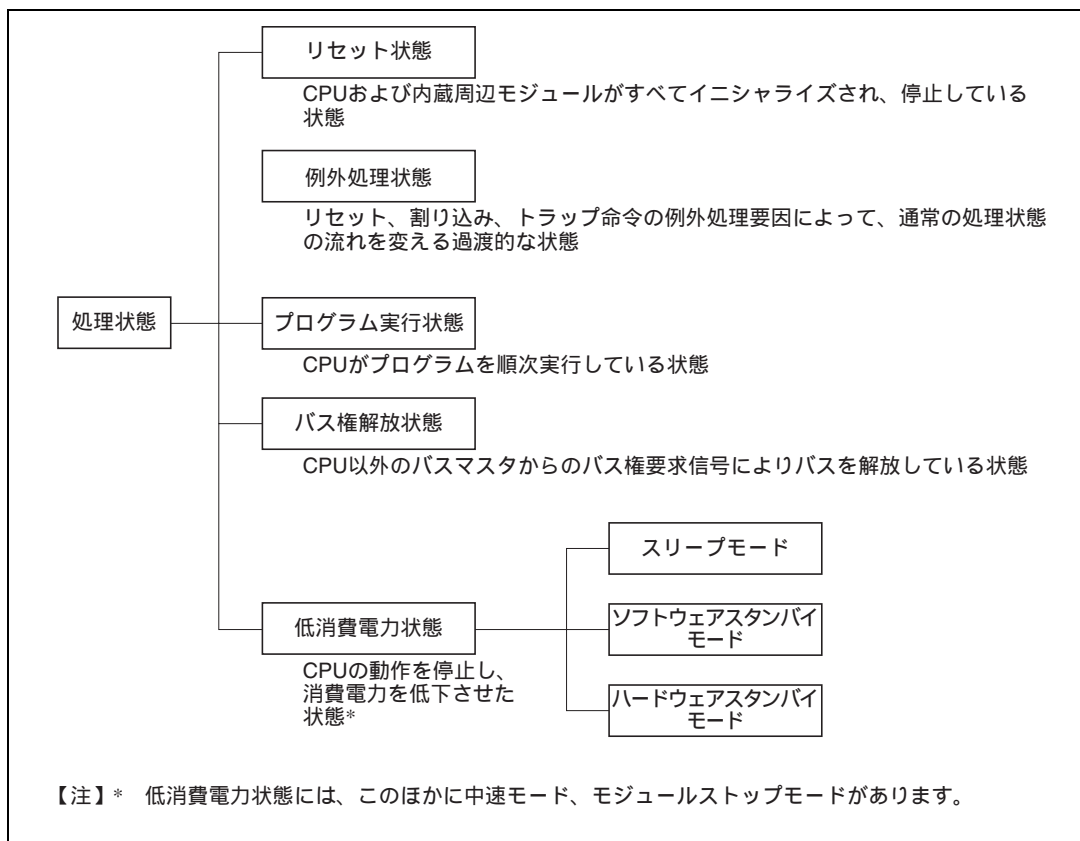


図 2.14 処理状態の分類

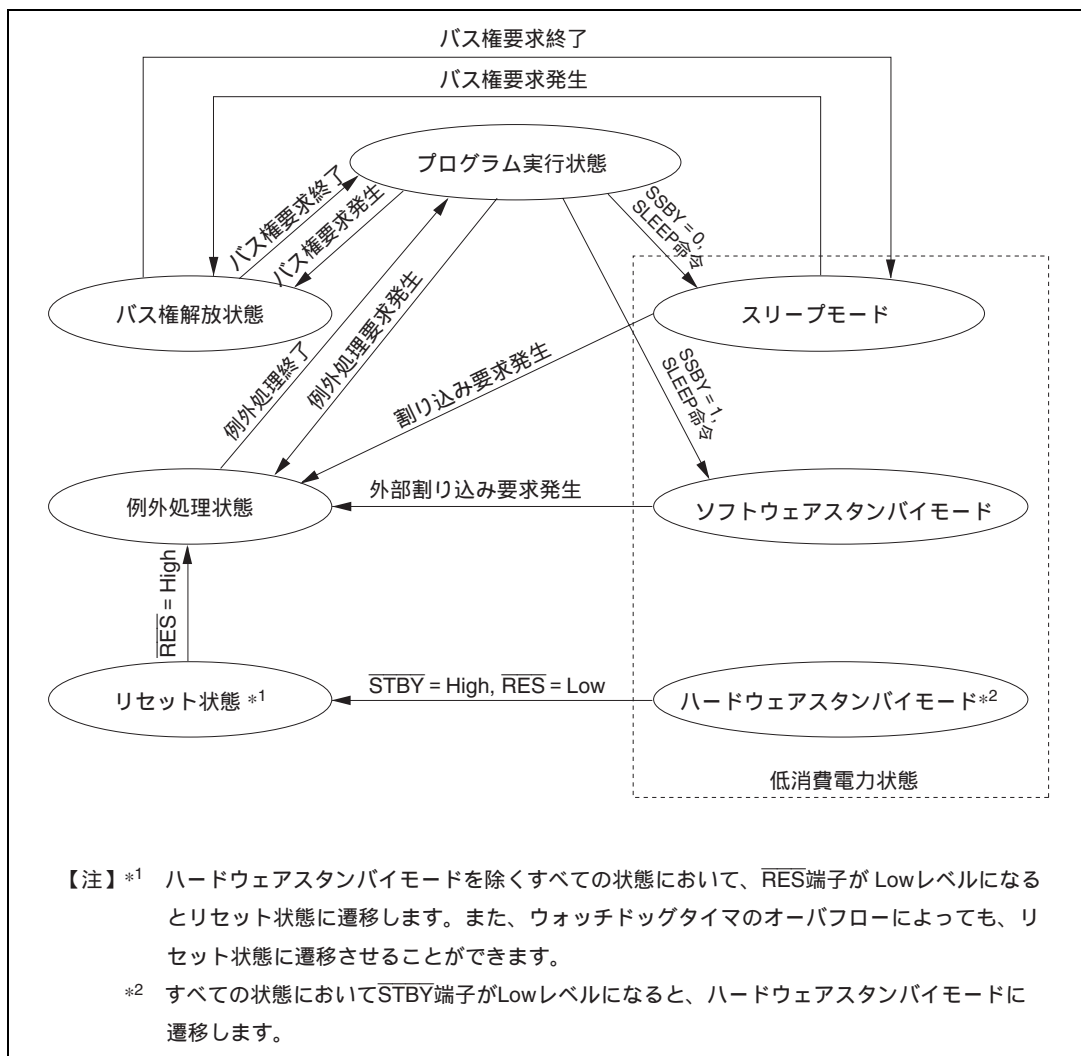


図 2.15 状態遷移図

## 2.8.2 リセット状態

$\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$  端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 13 章 ウォッチドッグタイマ」を参照してください。

## 2.8.3 例外処理状態

例外処理状態は、リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

### (1) 例外処理の種類と優先度

例外処理要因には、リセット、トレース、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより例外処理を開始します。
	トレース	命令実行終了時または例外処理終了時 <sup>*1</sup>	T ビット = 1 の状態で命令または例外処理の実行終了時開始します。
	割り込み	命令実行終了時または例外処理終了時 <sup>*2</sup>	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。 <sup>*3</sup>

【注】 \*1 トレースは割り込み制御モード 2、3 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

\*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

\*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

### (2) リセット例外処理

$\overline{\text{RES}}$  端子を Low レベルにして、リセット状態とした後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理を開始します。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

### (3) トレース

トレースは、割り込み制御モード 2、3 で有効です。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクは影響を受けません。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。

割り込み制御モード 0、1 では、T ビットの状態に依らず、トレースモードにはなりません。

### (4) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス (ベクタ) を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

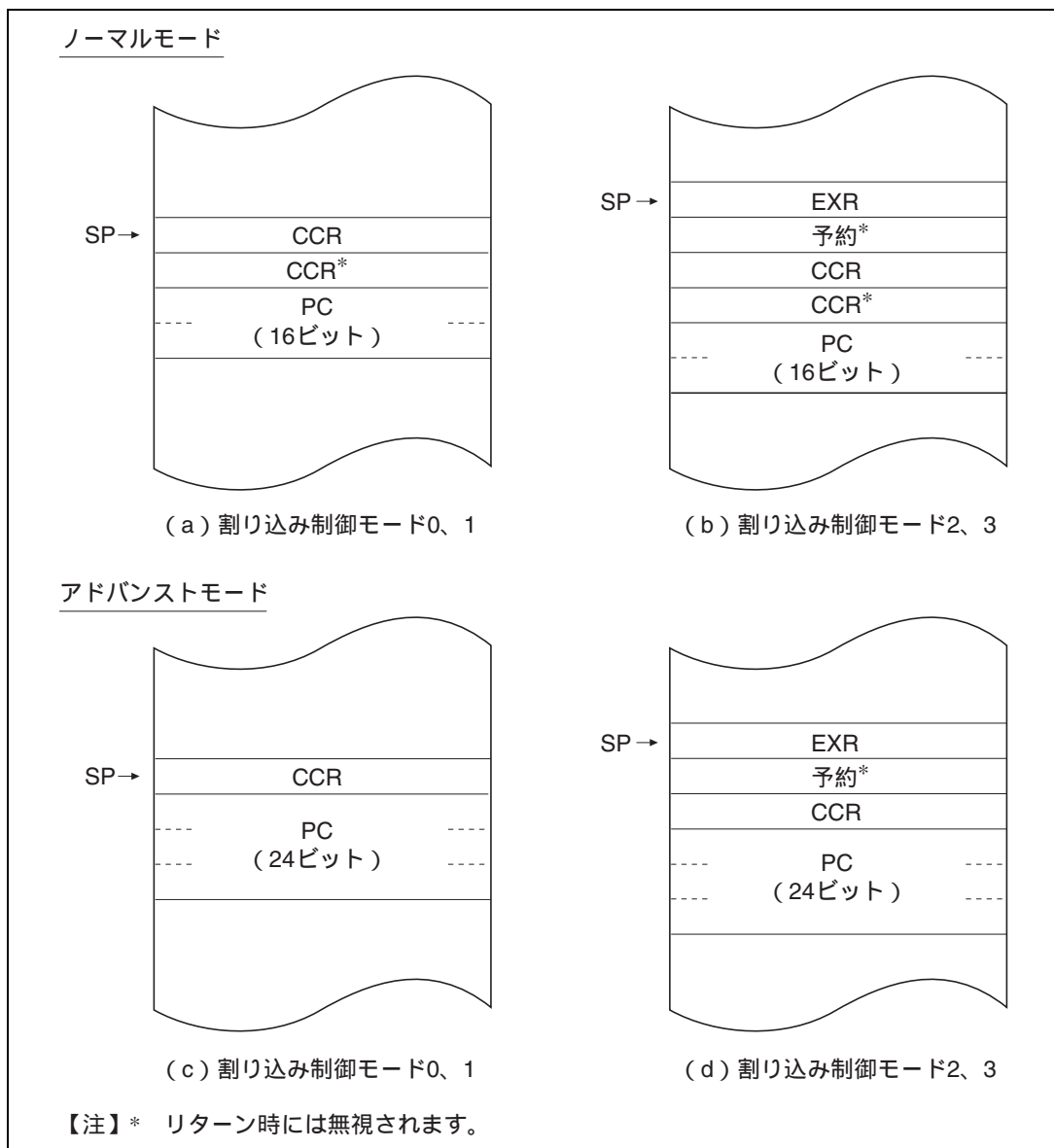


図 2.16 例外処理終了後のスタックの状態 (例)

## 2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

## 2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPU は動作を停止します。

なお、CPU 以外のバスマスタには DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) があります。

詳細は、「第 6 章 バスコントローラ」を参照してください。

## 2.8.6 低消費電力状態

低消費電力状態には、CPU の動作を停止した状態と、CPU の動作を停止しない状態があります。CPU の動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモードがあります。中速モードでは CPU およびそのほかのバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU 以外のモジュールの動作を停止します。詳細は「第 21 章 低消費電力状態」を参照してください。

### (1) スリープモード

スリープモードには、SBYCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移します。スリープモードでは、CPU の動作は SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

### (2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。規定の電圧が与えられている限り、CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

### (3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$  端子を Low レベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

## 2.9 基本動作タイミング

### 2.9.1 概要

本 CPU は、システムクロック ( $\phi$ ) を基準に動作しています。 $\phi$  の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

### 2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアccessサイクルを図 2.17 に、端子状態を図 2.18 に示します。

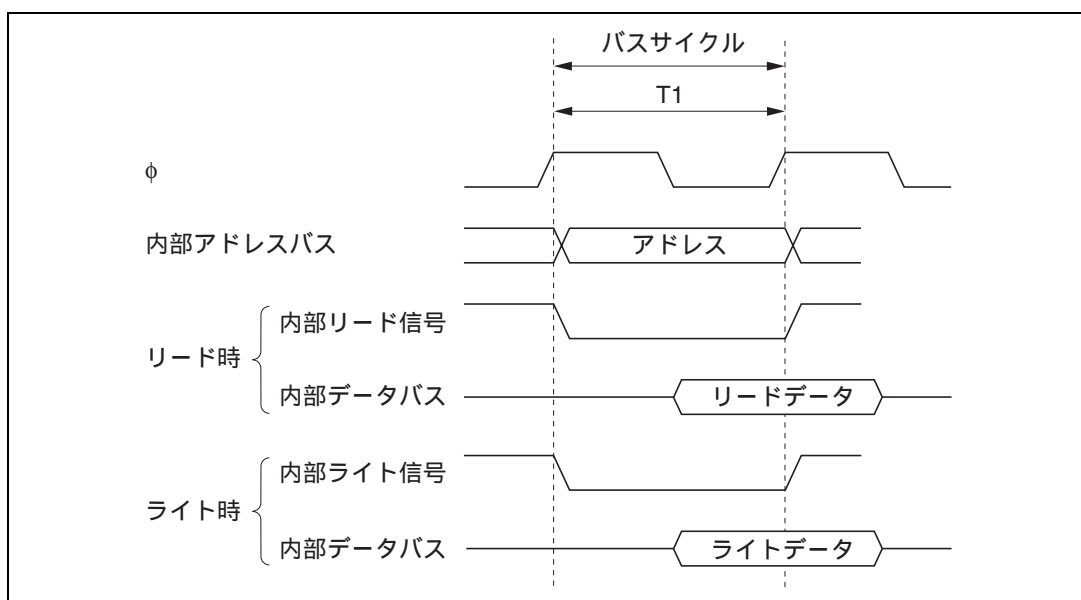


図 2.17 内蔵メモリアccessサイクル



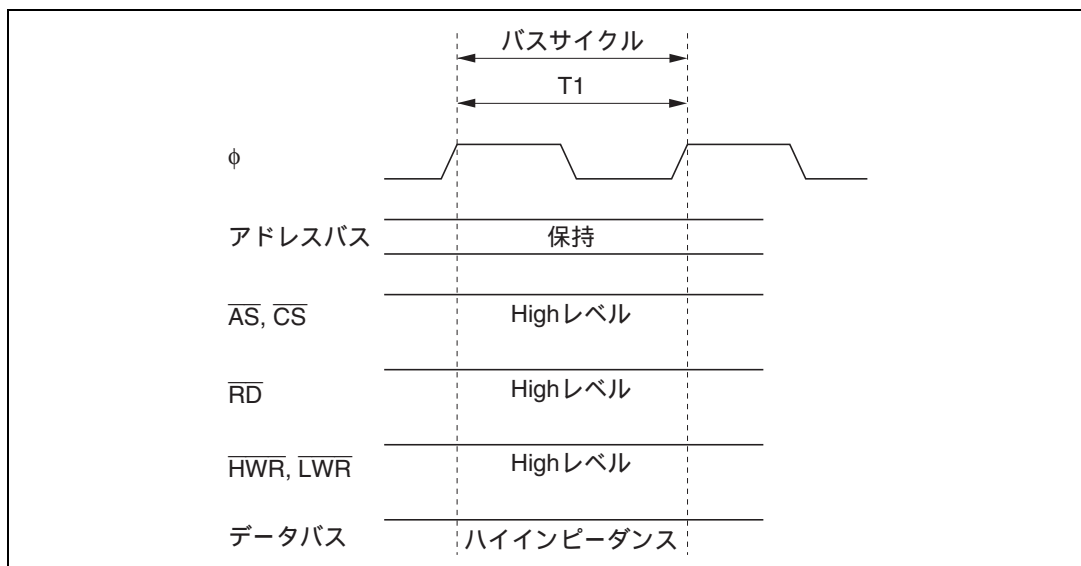


図 2.18 内蔵メモリアクセス時の端子状態

### 2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.19、端子状態を図2.20に示します。

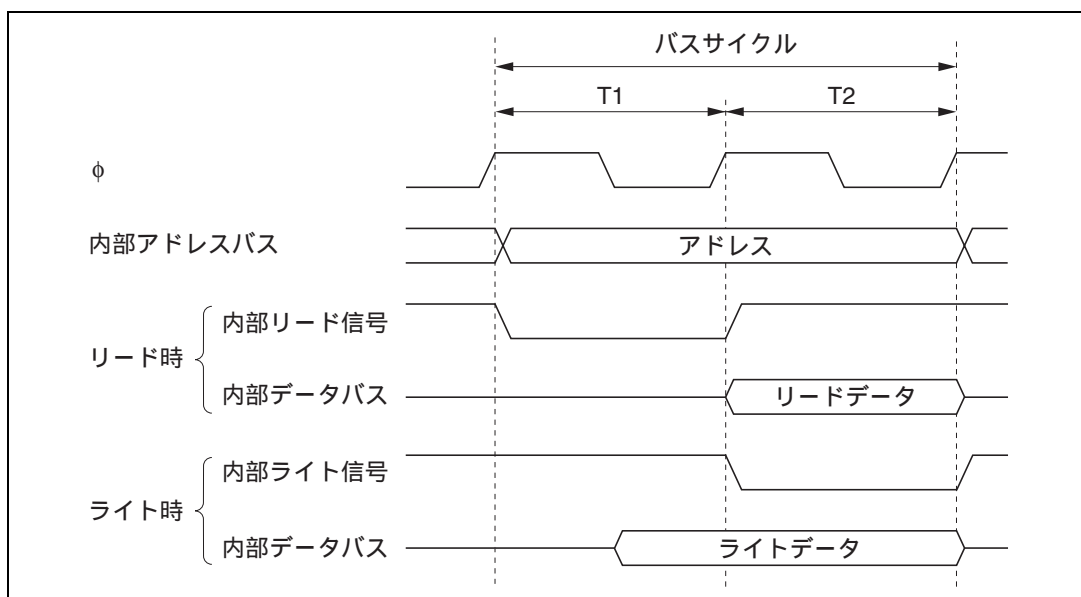


図 2.19 内蔵周辺モジュールアクセスサイクル

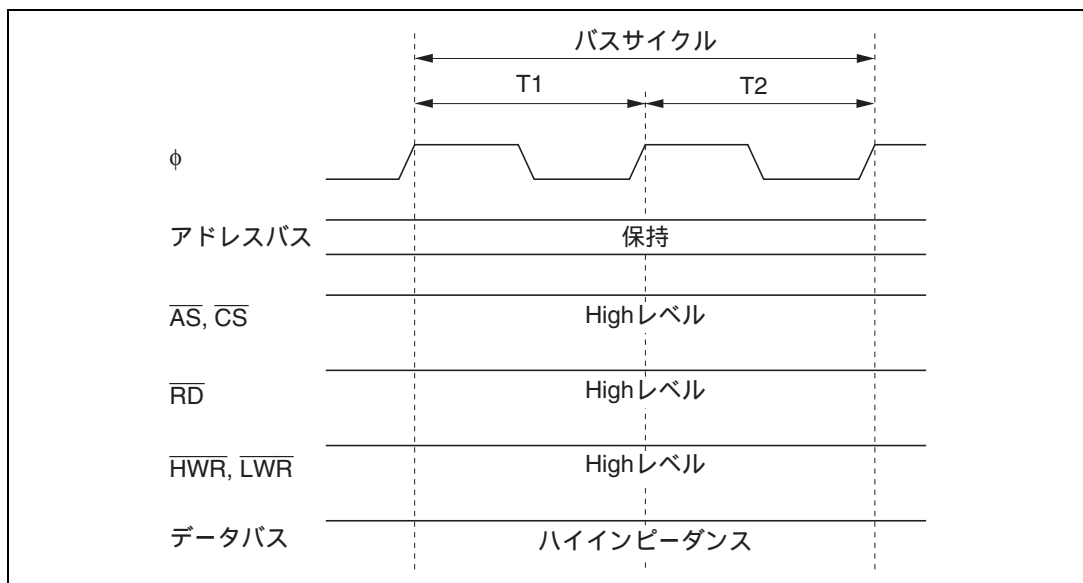


図 2.20 内蔵周辺モジュールアクセス時の端子状態

#### 2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は 8 ビットまたは 16 ビット、バスサイクルは 2 ステートまたは 3 ステートです。3 ステートアクセスではウェイトステートを挿入することができます。詳細は「第 6 章 バスコントローラ」を参照してください。

## 3. MCU 動作モード

### 3.1 概要

#### 3.1.1 動作モードの選択

本 LSI には、7 種類の動作モード(モード 1~7)があります。これらのモードは、モード端子(MD<sub>2</sub> ~ MD<sub>0</sub>)の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効/無効、バス幅の初期状態を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
0	0	0	0	-	-	-	-	-
1			1	ノーマル	内蔵 ROM 無効 拡張モード	無効	8 ビット	16 ビット
2			0	ノーマル	内蔵 ROM 有効 拡張モード	有効	8 ビット	16 ビット
3	1	シングルチップ モード	-					
4	1	0	0	アドバンスト	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット
5			1				8 ビット	16 ビット
6			0	アドバンスト	内蔵 ROM 有効 拡張モード	有効	8 ビット	16 ビット
7			1		シングルチップ モード			

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 1、2、4~6 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

外部拡張モードでは、8 ビットバスモードと 16 ビットバスモードを切り替えることができます。プログラム実行開始後、バスコントローラの設定により、エリアごとに 8 ビットまたは 16 ビットアドレス空間にすることができます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードになり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードになります。各動作モードによって端子の機能が切り替わります。

モード 1~7 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 1~7 になるように設定してください。

モード端子は、動作中に変化させないでください。

### 3. MCU 動作モード

---

#### 3.1.2 レジスタ構成

本 LSI にはモード端子 (MD<sub>2</sub>~MD<sub>0</sub>) の状態が反映されるモードコントロールレジスタ (MDCR) と、本 LSI の動作を制御するシステムコントロールレジスタ (SYSCR) があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R	不定	H'FF3B
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39

【注】 \* アドレスの下位 16 ビットを示しています。

## 3.2 各レジスタの説明

### 3.2.1 モードコントロールレジスタ (MDCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値 :	1	0	0	0	0	- *	- *	- *
R/W :	-	-	-	-	-	R	R	R

【注】\* MD<sub>2</sub>~MD<sub>0</sub>端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするのに用います。

#### ビット 7: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット 6~3: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

#### ビット 2~0: モードセレクト 2~0 (MDS2~MDS0)

モード端子 (MD<sub>2</sub>~MD<sub>0</sub>) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD<sub>2</sub>~MD<sub>0</sub> 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD<sub>2</sub>~MD<sub>0</sub>) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。

### 3.2.2 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	MACS	-	INTM1	INTM0	NMIEG	-	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	-	-	R/W

### 3. MCU 動作モード

---

#### ビット7: MAC サチュレーション (MACS)

MAC 命令の飽和演算、非飽和演算を選択します。

ビット7	説明
MACS	
0	MAC 命令は非飽和演算 (初期値)
1	MAC 命令は飽和演算

#### ビット6: リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

#### ビット5、4: 割り込み制御モード1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードの詳細については、「5.4.1 割り込み制御モードと割り込み動作」を参照してください。

ビット5	ビット4	割り込み制御モード	説明
INTM1	INTM0		
0	0	0	1ビットで、割り込みを制御 (初期値)
	1	1	1、UI ビットと ICR で、割り込みを制御
1	0	2	12~10 ビットと IPR で、割り込みを制御
	1	3	1、UI、12~10 ビット、ICR および IPR で、割り込みを制御

#### ビット3: NMI エッジセレクト (NMIEG)

NMI 割り込みの入力エッジ選択を行います。

ビット3	説明
NMIEG	
0	NMI 入力の下向きエッジで割り込み要求を発生 (初期値)
1	NMI 入力の上向きエッジで割り込み要求を発生

#### ビット2、1: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

#### ビット0: RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

## 3.3 各動作モードの説明

### 3.3.1 モード 1

CPU はノーマルモードでアドレス空間は 64k バイトです。内蔵 ROM は無効であり、リセット直後は 8 ビットバスモードとなります。

ポート B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。ただし、バスコントローラにより 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

### 3.3.2 モード 2

CPU はノーマルモードでアドレス空間は 64k バイトです。内蔵 ROM は有効であり、リセット直後は 8 ビットバスモードとなります。

ポート B、C はリセット直後は入力ポートになっています。対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。ただし、バスコントローラにより 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。使用できる内蔵 ROM 容量は 56k バイトに制限されます。

### 3.3.3 モード 3

CPU はノーマルモードでアドレス空間は 64k バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。  
使用できる内蔵 ROM 容量は 56k バイトに制限されます。

### 3.3.4 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

### 3.3.5 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A、B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

#### 3.3.6 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。ポート A、B、C はリセット直後は入力ポートになっています。対応する DDR (データディレクションレジスタ) を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。

#### 3.3.7 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。



### 3.4 各動作モードにおける端子機能

動作モードにより、ポート A~F の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
ポート A	PA <sub>7</sub> ~PA <sub>5</sub>	P	P	P	P*/A	P*/A	P*/A	P
	PA <sub>4</sub> ~PA <sub>0</sub>				A	A		
ポート B		A	P*/A	P	A	A	P*/A	P
ポート C		A	P*/A	P	A	A	P*/A	P
ポート D		D	D	P	D	D	D	P
ポート E		P*/D	P*/D	P	P/D*	P*/D	P*/D	P
ポート F	PF <sub>7</sub>	P/C*	P/C*	P	P/C*	P/C*	P/C*	P*/C
	PF <sub>6</sub> ~PF <sub>3</sub>	C	C		C	C		
	PF <sub>2</sub> ~PF <sub>0</sub>	P*/C	P*/C		P*/C	P*/C		

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- \* : リセット直後

## 3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図 3.1 に示します。

アドレス空間はモード 1~3 (ノーマルモード) では 64k バイトです。また、モード 4~7 (アドバンスモード) では 16M バイトです。

内蔵 ROM の容量は 64k バイトですが、モード 2、3 (ノーマルモード) では、使用できる内蔵 ROM の容量は 56k バイトになります。

モード 4~7 のとき、アドレス空間は 8 エリアに分割されています。詳細は、「第 6 章 バスコントローラ」を参照してください。

モード1 ノーマル・ 内蔵ROM無効拡張モード	モード2 ノーマル・ 内蔵ROM有効拡張モード	モード3 ノーマル・ シングルチップモード
H'0000	H'0000	H'0000
外部アドレス空間	内蔵ROM	内蔵ROM
	H'DFFF H'E000	H'DFFF
	外部アドレス空間	
H'EC00	H'EC00	H'EC00
内蔵RAM *	内蔵RAM *	内蔵RAM
H'FBFF H'FC00 H'FE3F	H'FBFF H'FC00 H'FE3F	H'FBFF
外部アドレス空間	外部アドレス空間	
内部I/Oレジスタ	内部I/Oレジスタ	H'FE40 H'FF07
H'FF08	H'FF08	内部I/Oレジスタ
外部アドレス空間	外部アドレス空間	
H'FF28 H'FFFF	H'FF28 H'FFFF	H'FF28 H'FFFF
内部I/Oレジスタ	内部I/Oレジスタ	内部I/Oレジスタ

【注】\* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.1 各動作モードのアドレスマップ (1)

### 3. MCU 動作モード

モード4、5 アドバンスト・ 内蔵ROM無効拡張モード	モード6 アドバンスト・ 内蔵ROM有効拡張モード	モード7 アドバンスト・ シングルチップモード
H'000000	H'000000	H'000000
外部アドレス空間	内蔵ROM	内蔵ROM
	H'00FFFF H'010000	H'00FFFF H'010000
外部アドレス空間	内蔵ROM / 外部アドレス空間 / リザーブ領域 *1	内蔵ROM / リザーブ領域 *2
	H'01FFFF H'020000	H'01FFFF
H'FFEC00	H'FFEC00	H'FFEC00
内蔵RAM *3	内蔵RAM *3	内蔵RAM
H'FFFBFF H'FFFC00 H'FFFE3F	H'FFFBFF H'FFFC00 H'FFFE3F	H'FFFBFF
外部アドレス空間	外部アドレス空間	
内部I/Oレジスタ	内部I/Oレジスタ	H'FFFE40 H'FFFF07
H'FFFF08	H'FFFF08	
外部アドレス空間	外部アドレス空間	
H'FFFF28 H'FFFFFF	H'FFFF28 H'FFFFFF	H'FFFF28 H'FFFFFF
内部I/Oレジスタ	内部I/Oレジスタ	内部I/Oレジスタ

【注】\*1 BCRLのEAE = 1のとき、外部アドレスになります。EAE = 0のとき、H8S/2655の場合は内蔵ROM、H8S/2653の場合はリザーブ領域になります。

\*2 H8S/2655の場合、BCRLのEAE = 1のときリザーブ領域、EAE = 0のとき内蔵ROMになります。H8S/2653の場合はリザーブ領域です。

\*3 SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.1 各動作モードのアドレスマップ (2)

---

## 4. 例外処理

---

### 4.1 概要

#### 4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。
	トレース* <sup>1</sup>	トレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* <sup>2</sup>
	トラップ命令* <sup>3</sup> (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 \*<sup>1</sup> トレースは割り込み制御モード 2、3 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

\*<sup>2</sup> ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

\*<sup>3</sup> トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

#### 4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- [ 1 ] プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
- [ 2 ] 割り込みマスクビットを更新します。T ビットを 0 にクリアします。
- [ 3 ] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [ 2 ]、[ 3 ] の動作を行います。

### 4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。  
これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。  
これらの要因とベクタアドレスとの対応を表 4.2 に示します。

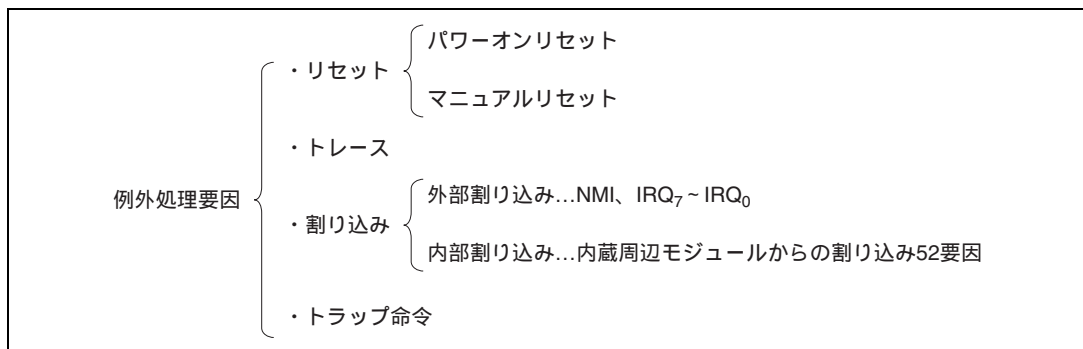


図 4.1 例外処理要因

H8S/2655 のモード 6、7 の場合、パワーオンリセット後に使用できる内蔵 ROM はアドレス H'000000 ~ H'00FFFF の 64k バイトです。ベクタアドレスの設定については注意してください。この場合、BCRL の EAE ビットを 0 にクリアすることにより、内蔵 ROM をアドレス H'000000 ~ H'01FFFF の 128k バイトとすることができます。

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス*1	
			ノーマルモード	アドバンスドモード
パワーオンリセット		0	H'0000 ~ H'0001	H'0000 ~ H'0003
マニュアルリセット		1	H'0002 ~ H'0003	H'0004 ~ H'0007
システム予約		2	H'0004 ~ H'0005	H'0008 ~ H'000B
		3	H'0006 ~ H'0007	H'000C ~ H'000F
		4	H'0008 ~ H'0009	H'0010 ~ H'0013
トレース		5	H'000A ~ H'000B	H'0014 ~ H'0017
システム予約		6	H'000C ~ H'000D	H'0018 ~ H'001B
外部割り込み	NMI	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (4 要因)		8	H'0010 ~ H'0011	H'0020 ~ H'0023
		9	H'0012 ~ H'0013	H'0024 ~ H'0027
		10	H'0014 ~ H'0015	H'0028 ~ H'002B
		11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約		12	H'0018 ~ H'0019	H'0030 ~ H'0033
		13	H'001A ~ H'001B	H'0034 ~ H'0037
		14	H'001C ~ H'001D	H'0038 ~ H'003B
		15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み	IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
	IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
	IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
	IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
	IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
	IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
	IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
	IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F
内部割り込み*2		24	H'0030 ~ H'0031	H'0060 ~ H'0063
		 91	 H'00B6 ~ H'00B7	 H'016C ~ H'016F

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

## 4.2 リセット

### 4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$  端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

リセット時の NMI 端子のレベルにより、パワーオンリセットと、マニュアルリセットの 2 種類に分けられます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 13 章 ウォッチドッグタイマ」を参照してください。

### 4.2.2 リセットの種類

リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

表 4.3 リセットの種類

種類	リセットへの遷移条件		内部状態	
	NMI	RES	CPU	内蔵周辺モジュール
パワーオンリセット	High	Low	初期化	初期化
マニュアルリセット	Low	Low	初期化	バスコントローラ、 I/O ポート以外初期化

ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの 2 種類があります。



### 4.2.3 リセットシーケンス

$\overline{\text{RES}}$  端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$  端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- [ 1 ] CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
- [ 2 ] リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

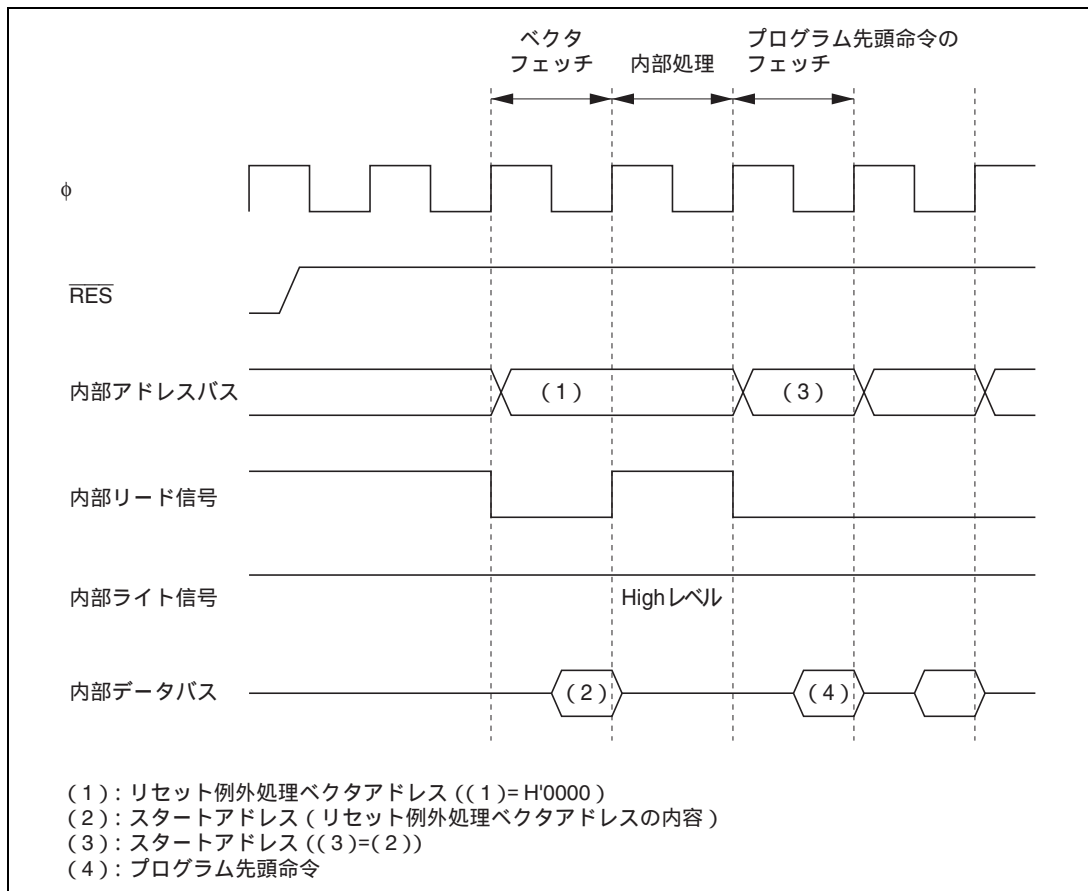


図 4.2 リセットシーケンス (モード 2、3)

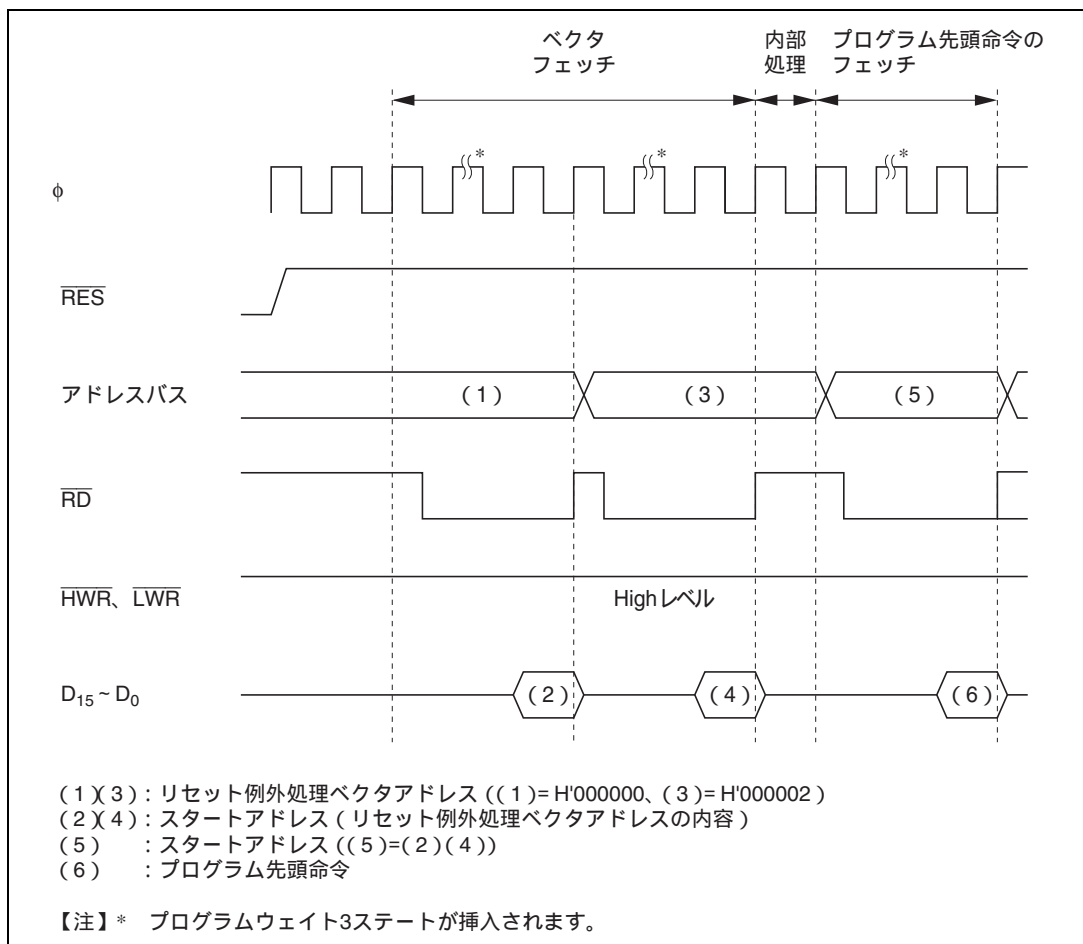


図 4.3 リセットシーケンス (モード4)

#### 4.2.4 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx:32, SP)。

### 4.3 トレース

トレースは、割り込み制御モード 2、3 で有効です。割り込み制御モード 0、1 では、T ビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第 5 章 割り込みコントローラ」を参照してください。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。

表 4.4 にトレース命令例外処理実行後の CCR、EXR の状態を示します。

トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
1	トレース例外処理は使用できません。			
2	1	-	-	0
3	1	1	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

### 4.4 割り込み

割り込み例外処理を開始させる要因には、9 本の外部割り込み (NMI、IRQ<sub>7</sub>~IRQ<sub>0</sub>) と、内蔵周辺モジュールからの要求による 52 の内部要因があります。割り込み要因と要因数を図 4.4 に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、リフレッシュタイマ、16 ビットタイマパルスユニット (TPU)、8 ビットタイマ、シリアルコミュニケーションインタフェース (SCI)、データトランスファコントローラ (DTC)、DMA コントローラ (DMAC)、A/D 変換器などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMI は最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、4 つの割り込み制御モードがあり、NMI 以外の割り込みに 3 または 8 レベルの優先順位 / マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

## 4. 例外処理

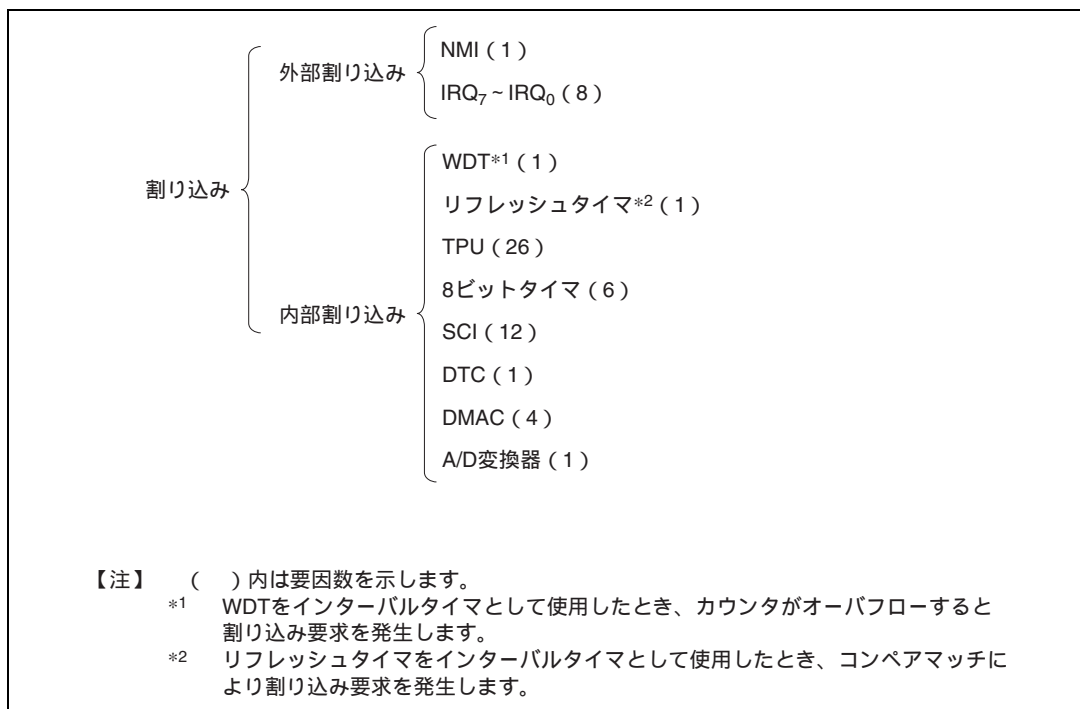


図 4.4 割り込み要因と要因数

## 4.5 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
1	1	1	-	-
2	1	-	-	0
3	1	1	-	0

### 【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

## 4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

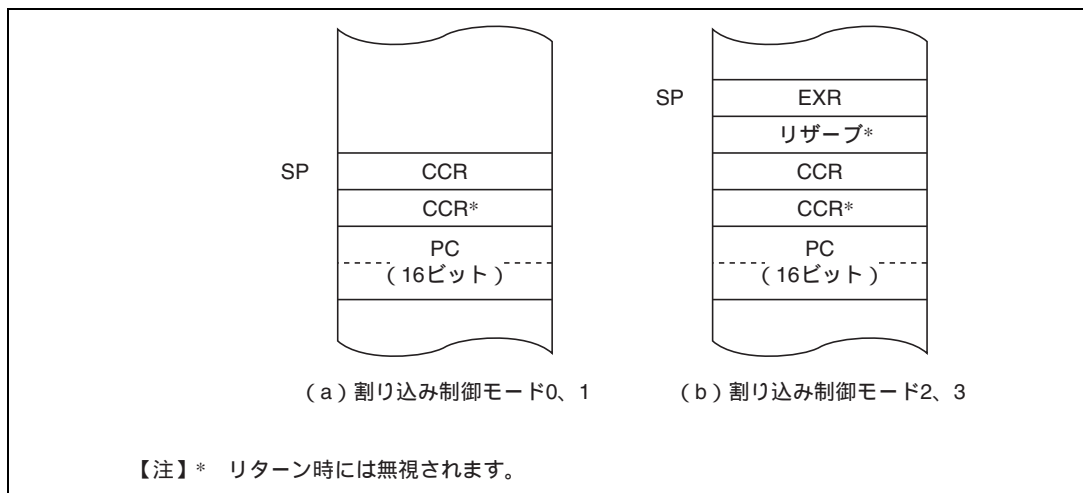


図 4.5 (1) 例外処理終了後のスタックの状態 (ノーマルモード)

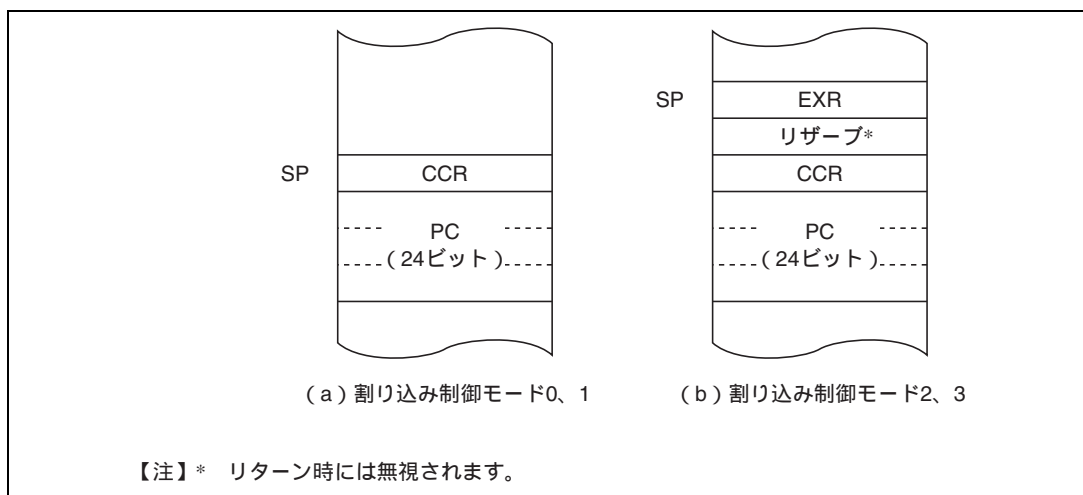


図 4.5 (2) 例外処理終了後のスタックの状態 (アドバンスモード)

## 4.7 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn      (MOV.W Rn, @-SP)
PUSH.L ERn     (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn       (MOV.W @SP+, Rn)
POP.L ERn      (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

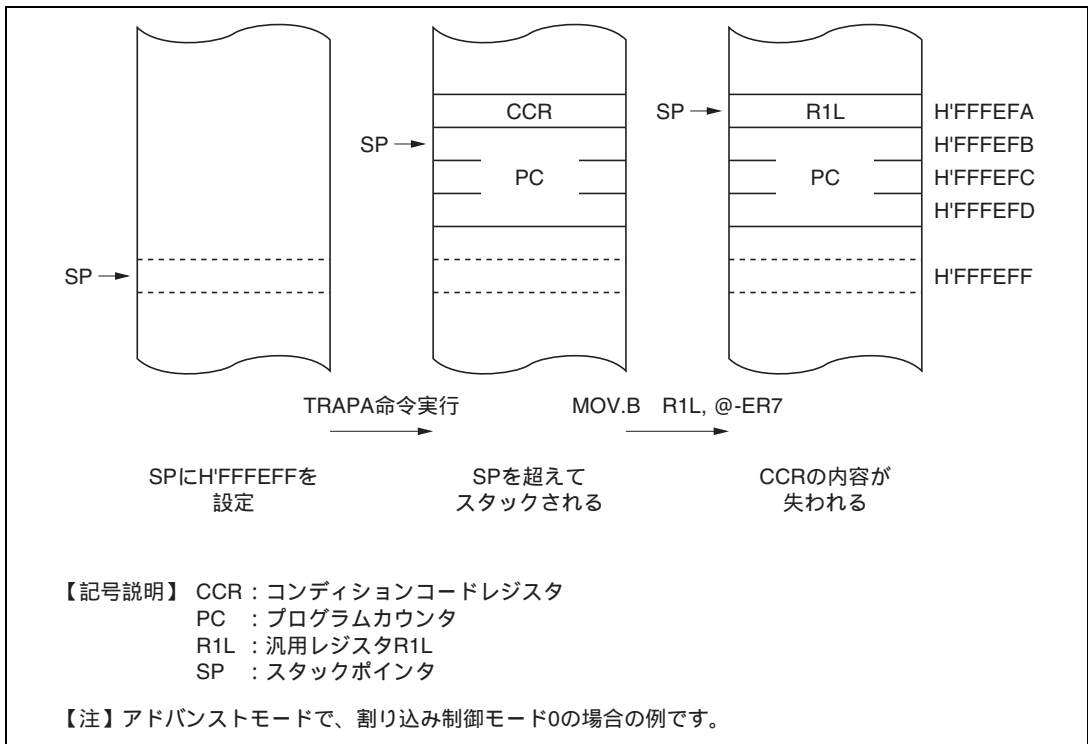


図 4.6 SP を奇数に設定したときの動作

---

## 5. 割り込みコントローラ

---

### 5.1 概要

#### 5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

##### 4 種類の割り込み制御モード

- システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、4 種類の割り込み制御モードを設定できます。

##### ICR により、優先順位を設定可能

- 割り込み優先順位を設定するインタラプトコントロールレジスタ(ICR)を備えており、NMI 以外の割り込みを、モジュールごとに 3 レベルの優先順位を設定できます。

##### IPR により、優先順位を設定可能

- 割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) を備えており、NMI 以外の割り込みを、モジュールごとに 8 レベルの優先順位を設定できます。
- NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。

##### 独立したベクタアドレス

- すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

##### 9 本の外部割り込み端子

- NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。
- IRQ<sub>7</sub> ~ IRQ<sub>0</sub> は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

##### DTC、DMAC の制御

- 割り込みによる DTC、DMAC の起動の制御を行います。

## 5. 割り込みコントローラ

### 5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

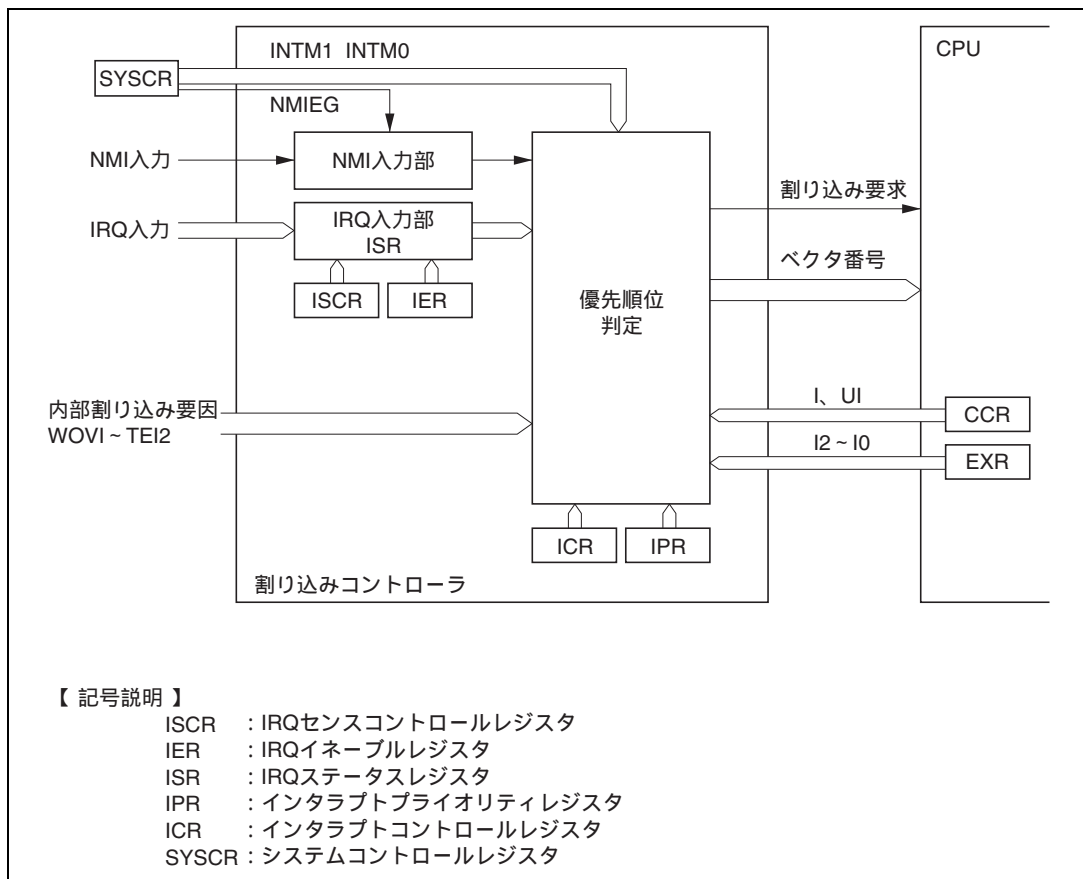


図 5.1 割り込みコントローラのブロック図



### 5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	記号	入出力	機能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み。立ち上がりエッジまたは立ち下がりエッジを選択可能
外部割り込み要求 7~0	IRQ <sub>7</sub> ~ IRQ <sub>0</sub>	入力	マスク可能な外部割り込み。立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能

### 5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39
IRQ センسコントロールレジスタ H	ISCRH	R/W	H'00	H'FF2C
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FF2D
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FF2E
IRQ ステータスレジスタ	ISR	R/(W)*2	H'00	H'FF2F
インタラプトコントロールレジスタ A	ICRA	R/W	H'00	H'FEC0
インタラプトコントロールレジスタ B	ICRB	R/W	H'00	H'FEC1
インタラプトコントロールレジスタ C	ICRC	R/W	H'00	H'FEC2
インタラプトプライオリティレジスタ A	IPRA	R/W	H'77	H'FEC4
インタラプトプライオリティレジスタ B	IPRB	R/W	H'77	H'FEC5
インタラプトプライオリティレジスタ C	IPRC	R/W	H'77	H'FEC6
インタラプトプライオリティレジスタ D	IPRD	R/W	H'77	H'FEC7
インタラプトプライオリティレジスタ E	IPRE	R/W	H'77	H'FEC8
インタラプトプライオリティレジスタ F	IPRF	R/W	H'77	H'FEC9
インタラプトプライオリティレジスタ G	IPRG	R/W	H'77	H'FECA
インタラプトプライオリティレジスタ H	IPRH	R/W	H'77	H'FECB
インタラプトプライオリティレジスタ I	IPRI	R/W	H'77	H'FECC
インタラプトプライオリティレジスタ J	IPRJ	R/W	H'77	H'FECD
インタラプトプライオリティレジスタ K	IPRK	R/W	H'77	H'FECE

【注】 \*1 アドレスの低位 16 ビットを示しています。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 5. 割り込みコントローラ

### 5.2 各レジスタの説明

#### 5.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	MACS	-	INTM1	INTM0	NMIEG	-	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	-	-	R/W

SYSCR は 8 ビットのリード/ライト可能なレジスタで、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5~3 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'01 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5、4 : 割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 4 つのモードの中から選択します。

ビット 5	ビット 4	割り込み制御モード	説明
0	0	0	1 ビットで、割り込みを制御します。(初期値)
	1	1	I、UI ビットと ICR で、割り込みを制御します。
1	0	2	I2~I0 ビットと IPR で、割り込みを制御します。
	1	3	I、UI、I2~I0 ビット、ICR、および IPR で、割り込みを制御します。

ビット 3 : NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 3	説明
NMIEG	
0	NMI 入力の下向きエッジで割り込み要求を発生 (初期値)
1	NMI 入力の上向きエッジで割り込み要求を発生

## 5.2.2 インタラプトコントロールレジスタ A~C (ICRA~ICRC)

ビット :	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICR は 8 ビットのリード/ライト可能な 3 本のレジスタで、NMI を除く割り込みの割り込みコントロールレベルの設定をします。

各割り込み要因と ICR の対応を表 5.3 に示します。

ICR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

表 5.3 各割り込み要因と ICR の対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ <sub>0</sub>	IRQ <sub>1</sub>	IRQ <sub>2</sub> IRQ <sub>3</sub>	IRQ <sub>4</sub> IRQ <sub>5</sub>	IRQ <sub>6</sub> IRQ <sub>7</sub>	DTC	ウォッチ ドッグタイ マ	リフレッ シュタイ マ
ICRB	-	A/D 変換器	TPU チャンネル 0	TPU チャンネル 1	TPU チャンネル 2	TPU チャンネル 3	TPU チャンネル 4	TPU チャンネル 5
ICRC	8ビット タイマ チャネ ル0	8ビット タイ マチャ ネル1	DMAC	SCI チャンネル 0	SCI チャンネル 1	SCI チャンネル 2	-	-

## 5.2.3 インタラプトプライオリティレジスタ A~K (IPRA~IPRK)

ビット :	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W

IPR は 8 ビットのリード/ライト可能な 11 本のレジスタで、NMI を除く割り込みの優先順位 (レベル 7~0) を設定します。

各割り込み要因と IPR の対応を表 5.4 に示します。

IPR は、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。

IPR はリセットまたはハードウェアスタンバイモード時に、H'77 に初期化されます。

## 5. 割り込みコントローラ

### ビット7、3：リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

表 5.4 各割り込み要因と IPR の対応

レジスタ	ビット	
	6~4	2~0
IPRA	IRQ <sub>0</sub>	IRQ <sub>1</sub>
IPRB	IRQ <sub>2</sub> IRQ <sub>3</sub>	IRQ <sub>4</sub> IRQ <sub>5</sub>
IPRC	IRQ <sub>6</sub> IRQ <sub>7</sub>	DTC
IPRD	ウォッチドッグタイマ	リフレッシュタイマ
IPRE	-	A/D 変換器
IPRF	TPU チャンネル 0	TPU チャンネル 1
IPRG	TPU チャンネル 2	TPU チャンネル 3
IPRH	TPU チャンネル 4	TPU チャンネル 5
IPRI	8 ビットタイマチャンネル 0	8 ビットタイマチャンネル 1
IPRJ	DMAC	SCI チャンネル 0
IPRK	SCI チャンネル 1	SCI チャンネル 2

表 5.4 に示すように、1 本の IPR に複数の割り込みが割り当てられています。ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、H'7 をセットすると優先レベル 7 (最高) になります。

割り込み要求が発生すると、IPR で設定した優先順位にしたがって最も優先順位の高い割り込みが選択されます。その後、この割り込みレベルと CPU 内のエクステンドレジスタ (EXR) の割り込みマスクビット (I2~I0) で設定された割り込みマスクレベルとを比較し、割り込みの優先レベルが設定したマスクレベルより高ければ、CPU に対して割り込み要求が発生します。

### 5.2.4 IRQ イネーブルレジスタ (IER)

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ<sub>7</sub>~IRQ<sub>0</sub> 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7~0 : IRQ<sub>7</sub> ~ IRQ<sub>0</sub> イネーブル (IRQ7E ~ IRQ0E)

IRQ<sub>7</sub> ~ IRQ<sub>0</sub> 割り込みを許可または禁止するかを選択します。

ビット n	説明	
IRQnE		
0	IRQ <sub>n</sub> 割り込みを禁止	(初期値)
1	IRQ <sub>n</sub> 割り込みを許可	

(n = 7 ~ 0)

### 5.2.5 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCRL

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCR は 16 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_7 \sim \overline{\text{IRQ}}_0$  端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

ビット 15~0 : IRQ<sub>7</sub> センスコントロール A、B (IRQ7SCA、IRQ7SCB)  
~ IRQ<sub>0</sub> センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ビット 15~0		説明
IRQ7SCB ~ IRQ0SCB	IRQ7SCA ~ IRQ0SCA	
0	0	IRQ <sub>7</sub> ~ IRQ <sub>0</sub> 入力の Low レベルで割り込み要求を発生 (初期値)
	1	IRQ <sub>7</sub> ~ IRQ <sub>0</sub> 入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ <sub>7</sub> ~ IRQ <sub>0</sub> 入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ <sub>7</sub> ~ IRQ <sub>0</sub> 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

## 5. 割り込みコントローラ

### 5.2.6 IRQ ステータスレジスタ (ISR)

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】\* フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ<sub>7</sub> ~ IRQ<sub>0</sub> 割り込み要求のステータス表示を行います。

ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7~0 : IRQ<sub>7</sub> ~ IRQ<sub>0</sub> フラグ (IRQ7F ~ IRQ0F)

IRQ<sub>7</sub> ~ IRQ<sub>0</sub> 割り込み要求のステータスの表示を行います。

ビット n	説明
0	<p>[ クリア条件 ] (初期値)</p> <p>(1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき</p> <p>(2) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態かつ <math>\overline{\text{IRQ}}_n</math> 入力が High レベルの状態、割り込み例外処理を実行したとき</p> <p>(3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB = 1 または、IRQnSCA = 1) の状態で IRQ<sub>n</sub> 割り込み例外処理を実行したとき</p> <p>(4) IRQ<sub>n</sub> 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき</p>
1	<p>[ セット条件 ]</p> <p>(1) Low レベル検出設定 (IRQnSCB = IRQnSCA = 0) の状態で IRQ<sub>n</sub> 入力が Low レベルになったとき</p> <p>(2) 立ち下がりエッジ検出設定時 (IRQnSCB = 0、IRQnSCA = 1) の状態で <math>\overline{\text{IRQ}}_n</math> 入力に立ち下がりエッジが発生したとき</p> <p>(3) 立ち上がりエッジ検出設定時 (IRQnSCB = 1、IRQnSCA = 0) の状態で <math>\overline{\text{IRQ}}_n</math> 入力に立ち上がりエッジが発生したとき</p> <p>(4) 両エッジ検出設定時 (IRQnSCB = IRQnSCA = 1) の状態で <math>\overline{\text{IRQ}}_n</math> 入力に立ち下がり、または立ち上がりエッジが発生したとき</p>

(n = 7 ~ 0)

## 5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、 $IRQ_7 \sim IRQ_0$ ）と内部割り込み（52 要因）があります。

### 5.3.1 外部割り込み

外部割り込みには、NMI、 $IRQ_7 \sim IRQ_0$ の9要因があります。このうち、NMI、 $IRQ_2 \sim IRQ_0$ はソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI割り込み

NMIは最優先の割り込みで、割り込み制御モードや、CPUの割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCRのNMIEGビットで選択できます。

NMI割り込み例外処理のベクタ番号は7です。

#### (2) $IRQ_7 \sim IRQ_0$ 割り込み

$IRQ_7 \sim IRQ_0$ 割り込みは $\overline{IRQ}_7 \sim \overline{IRQ}_0$ 端子の入力信号により要求されます。 $IRQ_7 \sim IRQ_0$ 割り込みには次の特長があります。

- (a)  $\overline{IRQ}_7 \sim \overline{IRQ}_0$ 端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCRで選択できます。
- (b)  $IRQ_7 \sim IRQ_0$ 割り込み要求を許可するか禁止するかを、IERで選択できます。
- (c) ICRにより割り込みコントロールレベルを設定できます。また、IPRにより割り込みプライオリティレベルを設定できます。
- (d)  $IRQ_7 \sim IRQ_0$ 割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

$IRQ_7 \sim IRQ_0$ 割り込みのブロック図を図 5.2 に示します。

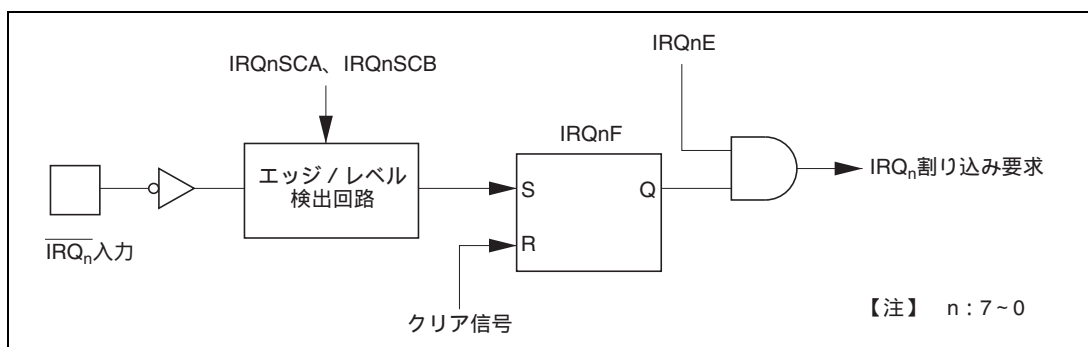


図 5.2  $IRQ_7 \sim IRQ_0$  割り込みのブロック図

## 5. 割り込みコントローラ

---

IRQnF のセットタイミングを図 5.3 に示します。

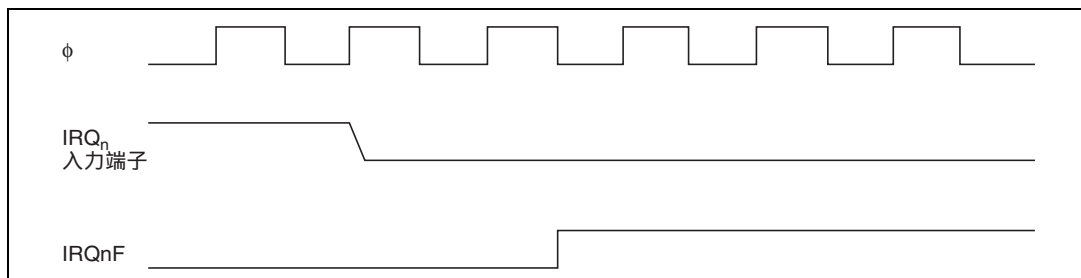


図 5.3 IRQnF のセットタイミング

$IRQ_7 \sim IRQ_0$  割り込み例外処理のベクタ番号は、23～16 です。

$IRQ_7 \sim IRQ_0$  割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

### 5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには 52 要因があります。

- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに要求されます。
- (2) ICRによって割り込みコントロールレベルを設定できます。また、IPRによって割り込みプライオリティレベルを設定できます。
- (3) TPU、8ビットタイマ、SCIなどの割り込み要求によりDMAC、DTCの起動ができます。割り込みによりDMAC、DTCの起動を行う場合、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。



### 5.3.3 割り込み例外処理ベクタテーブル

表 5.5 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、ICR、IPR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.5 のとおり固定です。

表 5.5 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (1)

割り込み要因	要因発生元	ベクタ番号	ベクタアドレス*		ICR	IPR	優先順位
			ノーマルモード	アドバンスモード			
NMI	外部端子	7	H'000E	H'001C			高 ▲
IRQ <sub>0</sub>		16	H'0020	H'0040	ICRA7	IPRA6 ~ IPRA4	
IRQ <sub>1</sub>		17	H'0022	H'0044	ICRA6	IPRA2 ~ IPRA0	
IRQ <sub>2</sub>		18	H'0024	H'0048	ICRA5	IPRB6 ~ IPRB4	
IRQ <sub>3</sub>		19	H'0026	H'004C			
IRQ <sub>4</sub>		20	H'0028	H'0050	ICRA4	IPRB2 ~ IPRB0	
IRQ <sub>5</sub>		21	H'002A	H'0054			
IRQ <sub>6</sub> IRQ <sub>7</sub>		22 23	H'002C H'002E	H'0058 H'005C	ICRA3	IPRC6 ~ IPRC4	
SWDTEND (ソフトウェア起動データ転送終了)	DTC	24	H'0030	H'0060	ICRA2	IPRC2 ~ IPRC0	低
WOVI (インターバルタイマ)	ウォッチドッグ タイマ	25	H'0032	H'0064	ICRA1	IPRD6 ~ IPRD4	
CMI (コンペアマッチ)	リフレッシュ コントローラ	26	H'0034	H'0068	ICRA0	IPRD2 ~ IPRD0	
リザーブ	-	27	H'0036	H'006C	ICRB7	IPRE6 ~ IPRE4	
ADI (A/D 変換終了)	A/D	28	H'0038	H'0070	ICRB6	IPRE2 ~ IPRE0	
リザーブ	-	29	H'003A	H'0074			
		30	H'003C	H'0078			
		31	H'003E	H'007C			
TGI0A (TGR0A インพุットキャブ チャ/コンペアマッチ)	TPU チャンネル 0	32	H'0040	H'0080	ICRB5	IPRF6 ~ IPRF4	
TGI0B (TGR0B インพุットキャブ チャ/コンペアマッチ)		33	H'0042	H'0084			
TGI0C (TGR0C インพุットキャブ チャ/コンペアマッチ)		34	H'0044	H'0088			
TGI0D (TGR0D インพุットキャブ チャ/コンペアマッチ)		35	H'0046	H'008C			
TCI0V (オーバフロー-0)		36	H'0048	H'0090			
リザーブ		-	37	H'004A			H'0094
		38	H'004C	H'0098			
		39	H'004E	H'009C			

【注】 \* 先頭アドレスの下位 16 ビットを示しています。

## 5. 割り込みコントローラ

表 5.5 割り込み要因とベクタアドレスおよび割り込み優先順位一覧(2)

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*		ICR	IPR	優先 順位
			ノーマルモード	アドバンスモード			
TGI1A(TGR1A インพุットキャブ チャ/コンペアマッチ) TGI1B(TGR1B インพุットキャブ チャ/コンペアマッチ) TCI1V(オーバフロー-1) TCI1U(アンダフロー-1)	TPU チャネル 1	40	H'0050	H'00A0	ICRB4	IPRF2 ~ IPRF0	↑ 高
		41	H'0052	H'00A4			
		42	H'0054	H'00A8			
		43	H'0056	H'00AC			
TGI2A(TGR2A インพุットキャブ チャ/コンペアマッチ) TGI2B(TGR2B インพุットキャブ チャ/コンペアマッチ) TCI2V(オーバフロー-2) TCI2U(アンダフロー-2)	TPU チャネル 2	44	H'0058	H'00B0	ICRB3	IPRG6 ~ IPRG4	
		45	H'005A	H'00B4			
		46	H'005C	H'00B8			
		47	H'005E	H'00BC			
TGI3A(TGR3A インพุットキャブ チャ/コンペアマッチ) TGI3B(TGR3B インพุットキャブ チャ/コンペアマッチ) TGI3C(TGR3C インพุットキャブ チャ/コンペアマッチ) TGI3D(TGR3D インพุットキャブ チャ/コンペアマッチ) TCI3V(オーバフロー-3)	TPU チャネル 3	48	H'0060	H'00C0	ICRB2	IPRG2 ~ IPRG0	
		49	H'0062	H'00C4			
		50	H'0064	H'00C8			
		51	H'0066	H'00CC			
		52	H'0068	H'00D0			
		リザーブ	-	53			H'006A
		54	H'006C	H'00D8			
		55	H'006E	H'00DC			
TGI4A(TGR4A インพุットキャブ チャ/コンペアマッチ) TGI4B(TGR4B インพุットキャブ チャ/コンペアマッチ) TCI4V(オーバフロー-4) TCI4U(アンダフロー-4)	TPU チャネル 4	56	H'0070	H'00E0	ICRB1	IPRH6 ~ IPRH4	
		57	H'0072	H'00E4			
		58	H'0074	H'00E8			
		59	H'0076	H'00EC			
TGI5A(TGR5A インพุットキャブ チャ/コンペアマッチ) TGI5B(TGR5B インพุットキャブ チャ/コンペアマッチ) TCI5V(オーバフロー-5) TCI5U(アンダフロー-5)	TPU チャネル 5	60	H'0078	H'00F0	ICRB0	IPRH2 ~ IPRH0	
		61	H'007A	H'00F4			
		62	H'007C	H'00F8			
		63	H'007E	H'00FC			

【注】 \* 先頭アドレスの下位 16 ビットを示しています。

表 5.5 割り込み要因とベクタアドレスおよび割り込み優先順位一覧 (3)

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*		ICR	IPR	優先 順位
			ノーマルモード	アドバンスモード			
CMIA0 (コンペアマッチ A) CMIB0 (コンペアマッチ B) OVI0 (オーバーフロー0)	8ビットタイマ チャンネル0	64	H'0080	H'0100	ICRC7	IPRI6 ~ IPRI4	高 ↑
		65	H'0082	H'0104			
		66	H'0084	H'0108			
リザーブ	-	67	H'0086	H'010C			
CMIA1 (コンペアマッチ A) CMIB1 (コンペアマッチ B) OVI1 (オーバーフロー1)	8ビットタイマ チャンネル1	68	H'0088	H'0110	ICRC6	IPRI2 ~ IPRI0	
		69	H'008A	H'0114			
		70	H'008C	H'0118			
リザーブ	-	71	H'008E	H'011C			
DEND0A(チャンネル0/チャンネル0A 転送終了) DEND0B(チャンネル0B転送終了) DEND1A(チャンネル1/チャンネル1A 転送終了) DEND1B(チャンネル1B転送終了)	DMAC	72	H'0090	H'0120	ICRC5	IPRJ6 ~ IPRJ4	
		73	H'0092	H'0124			
		74	H'0094	H'0128			
		75	H'0096	H'012C			
リザーブ	-	76	H'0098	H'0130			
		77	H'009A	H'0134			
		78	H'009C	H'0138			
		79	H'009E	H'013C			
ERI0 (受信エラー0) RXI0 (受信完了0) TXI0 (送信データエンプティ0) TEI0 (送信終了0)	SCI チャンネル0	80	H'00A0	H'0140	ICRC4	IPRJ2 ~ IPRJ0	
		81	H'00A2	H'0144			
		82	H'00A4	H'0148			
		83	H'00A6	H'014C			
ERI1 (受信エラー1) RXI1 (受信完了1) TXI1 (送信データエンプティ1) TEI1 (送信終了1)	SCI チャンネル1	84	H'00A8	H'0150	ICRC3	IPRK6 ~ IPRK4	
		85	H'00AA	H'0154			
		86	H'00AC	H'0158			
		87	H'00AE	H'015C			
ERI2 (受信エラー2) RXI2 (受信完了2) TXI2 (送信データエンプティ2) TEI2 (送信終了2)	SCI チャンネル2	88	H'00B0	H'0160	ICRC2	IPRK2 ~ IPRK0	
		89	H'00B2	H'0164			
		90	H'00B4	H'0168			
		91	H'00B6	H'016C			

【注】 \* 先頭アドレスの下位 16 ビットを示しています。

## 5.4 割り込み動作

### 5.4.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.6 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、ICR、IPR による割り込み優先順位の設定、および、CPU の CCR の I、UI ビット、EXR の I2~I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.6 割り込み制御モード

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説明
	IRQnF	INTM1			
0	0	0	ICR	I	I ビットにより、割り込みマスク制御を行います。 ICR により、優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより、3 レベルの割り込みマスク制御を行います。 ICR により、優先順位の設定ができます。
2	1	0	IPR	I2~I0	I2~I0 ビットにより、8 レベルの割り込みマスク制御を行います。 IPR により、8 レベルの優先順位の設定ができます。
3		1	ICR、IPR	I、UI、I2~I0	I2~I0 ビットによる 8 レベルの割り込みマスク制御と IPR による 8 レベルの優先順位の設定をベースにし、I、UI ビットによる割り込みマスクと ICR による優先順位の設定とを組み合わせ、制御を行います。

図 5.4 に優先順位判定回路のブロック図を示します。

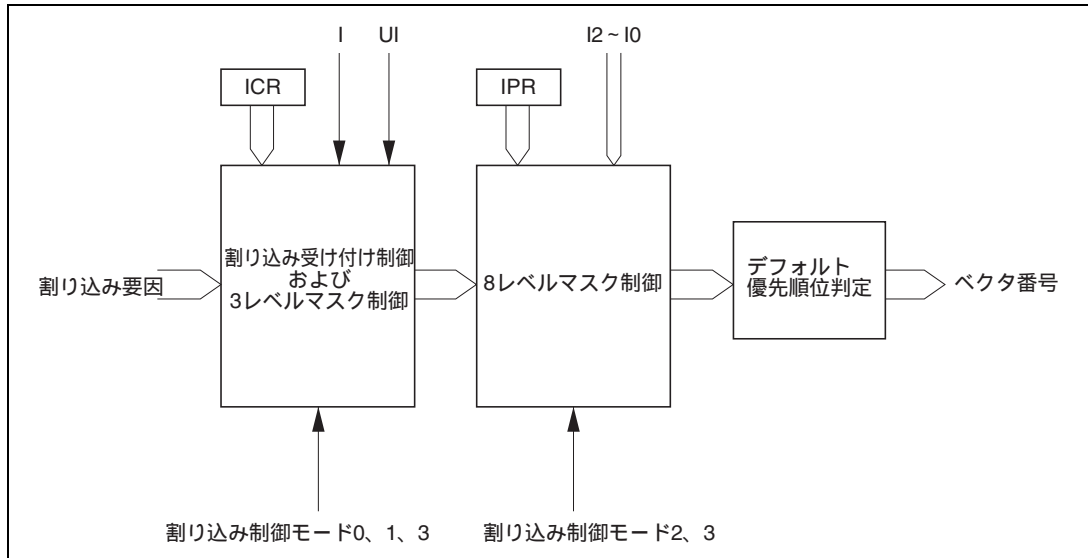


図 5.4 割り込み制御動作のブロック図

#### (1) 割り込み受け付け制御および3レベル制御

割り込み制御モード 0、1、3 のとき、CCR の I、UI ビット、および ICR (コントロールレベル) により割り込み受け付け制御、3レベルのマスク制御を行います。

表 5.7 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.7 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	*	すべての割り込み(コントロールレベル1を優先)
	1	*	NMI 割り込み
1	0	*	すべての割り込み(コントロールレベル1を優先)
		0	NMI、およびコントロールレベル1の割り込み
	1	1	NMI 割り込み
2	*	*	すべての割り込み
3	0	*	すべての割り込み
		0	NMI、およびコントロールレベル1の割り込み
	1	1	NMI 割り込み

【記号説明】

\* : Don't care

## 5. 割り込みコントローラ

### (2) 8 レベル制御

割り込み制御モード 2、3 のとき、割り込み受け付け制御および 3 レベル制御において、選択された割り込みに対して、割り込みプライオリティレベル (IPR) に従った 8 レベルのマスクレベル判定を行います。

IPR で設定したプライオリティレベルが、マスクレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.8 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
1	
2	プライオリティレベルがマスクレベルより大きい (IPR > I2 ~ I0) かつ、 プライオリティレベル (IPR) が最大の割り込み
3	

### (3) デフォルト優先順位判定

8 レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。IPR、および ICR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.9 に割り込み制御モードと動作および制御信号機能を示します。

表 5.9 割り込み制御モードと動作および制御信号機能

割り込み 制御モード	設定		割り込み受け付け制御 3 レベル制御			8 レベル制御		デフォルト 優先順位判定	T (トレース)	
	INTM1	INTM0	I	UI	ICR	I2 ~ I0	IPR			
0	0	0		IM	-	PR	x	-	- * <sup>2</sup>	-
1		1		IM	IM	PR	x	-	- * <sup>2</sup>	-
2	1	0	x	- * <sup>1</sup>	-	-		IM	PR	T
3		1		IM	IM	PR		IM	PR	T

#### 【記号説明】

- : 割り込み動作制御を行います。
- x : 動作しません。(割り込みはすべて許可)
- IM : 割り込みマスクビットとして使用。
- PR : 優先順位を設定。
- : 使用しません。

【注】 \*1 割り込み受け付け時に 1 にセットされます。

\*2 初期設定時を保持してください。

## 5.4.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビット、および ICR によって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。コントロールレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

- [ 1 ] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [ 2 ] 割り込みコントローラに対して割り込み要求が送られると、ICR に設定された割り込みコントロールレベルにしたがってコントロールレベル 1 の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルの設定が同一の、割り込み要求が同時に発生したときは、表 5.5 に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [ 3 ] I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [ 4 ] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [ 5 ] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [ 6 ] 次に CCR の I ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされません。
- [ 7 ] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

## 5. 割り込みコントローラ

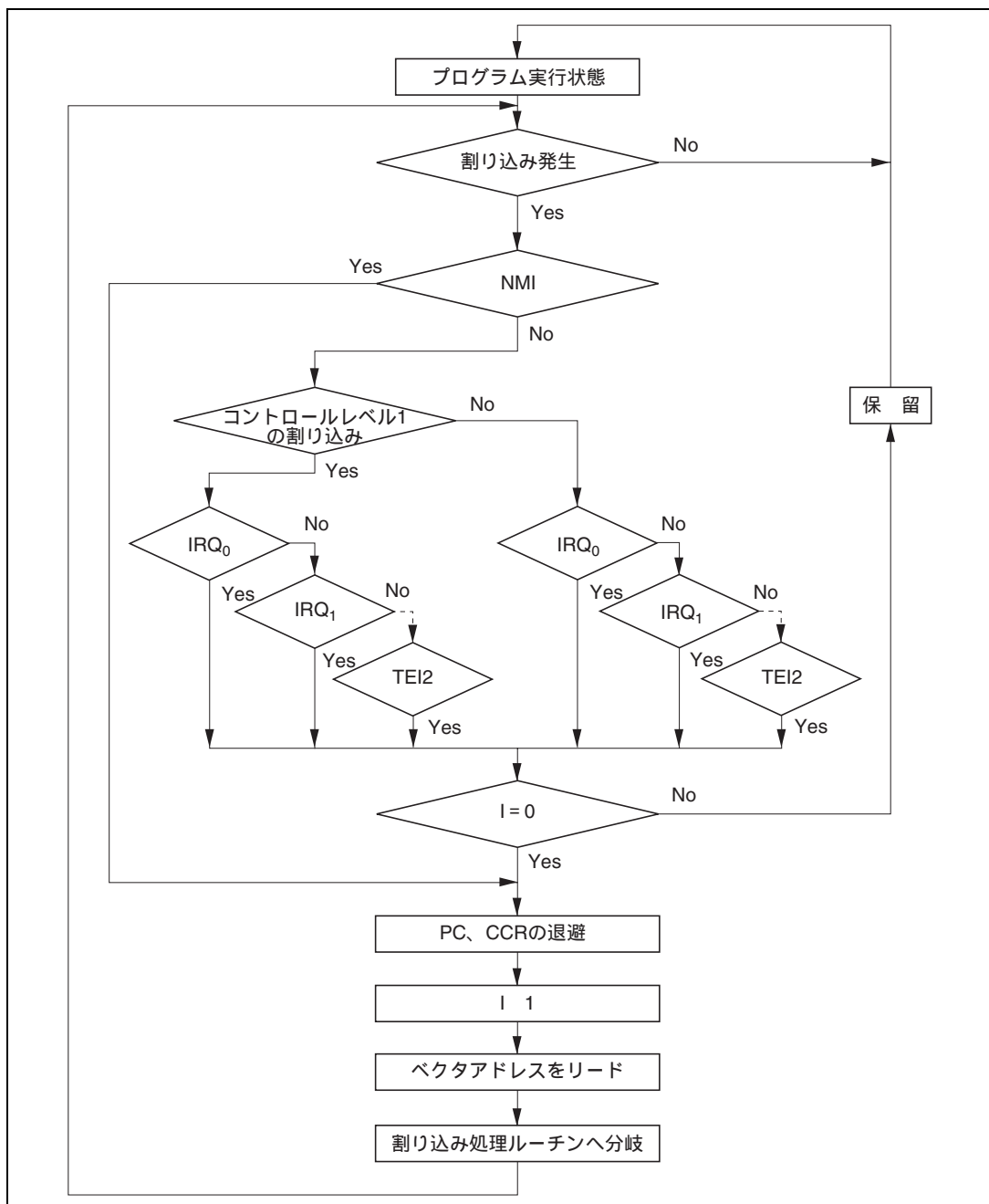


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー



### 5.4.3 割り込み制御モード 1

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって、3 レベルのマスケレベルを実現できます。

- (1) コントロールレベル0の割り込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (2) コントロールレベル1の割り込み要求は、IビットまたはUIビットが0にクリアされているとき許可状態、Iビット、およびUIビットがいずれも1にセットされているとき禁止状態となります。

例えば、各割り込み要求の対応する割り込みイネーブルビットを1にセット、ICRA ~ ICRC をそれぞれ H'20、H'00、H'00 に設定した場合（IRQ<sub>2</sub>、IRQ<sub>3</sub> 割り込みをコントロールレベル1に、その他の割り込みをコントロールレベル0に設定した場合）、次のようになります。

- (1) I=0のとき、すべての割り込みを許可  
（優先順位：NMI > IRQ<sub>2</sub> > IRQ<sub>3</sub> > IRQ0...）
- (2) I=1、UI=0のとき、NMI、IRQ<sub>2</sub>、IRQ<sub>3</sub>の割り込みのみを許可
- (3) I=1、UI=1のとき、NMIの割り込みのみを許可

また、このときの状態遷移を図 5.6 に示します。

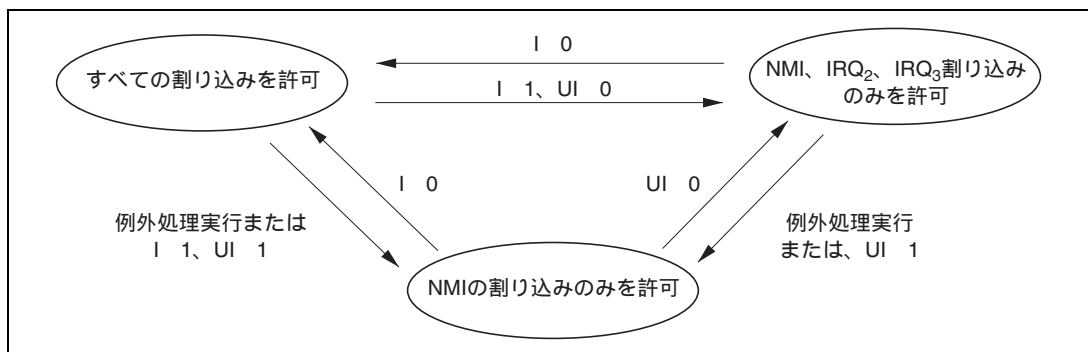


図 5.6 割り込み制御モード 1 の状態遷移例

このときの割り込み受け付けの動作フローチャートを図 5.7 に示します。

- [ 1 ] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [ 2 ] 割り込みコントローラに対して割り込み要求が送られると、ICRに設定された割り込みコントロールレベルにしたがってコントロールレベル1の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルの設定が同一の、割り込み要求が同時に発生したときは、表5.5に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [ 3 ] Iビットを参照します。Iビットが0にクリアされているときは、UIビットの影響を受けません。

## 5. 割り込みコントローラ

---

割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けられます。Iビットが1にセットされているときはNMI割り込みのみ受け付けられ、その他の割り込み要求は保留されます。

割り込みコントロールレベル1の割り込み要求は、割り込みコントロールレベル0の割り込み要求よりも優先的に受け付けられ、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けられます。

I、UIビットがいずれも1にセットされているときはNMI割り込みのみ受け付けられ、その他の割り込み要求は保留されます。

- [ 4 ] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [ 5 ] 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [ 6 ] 次にCCRのI、UIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- [ 7 ] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

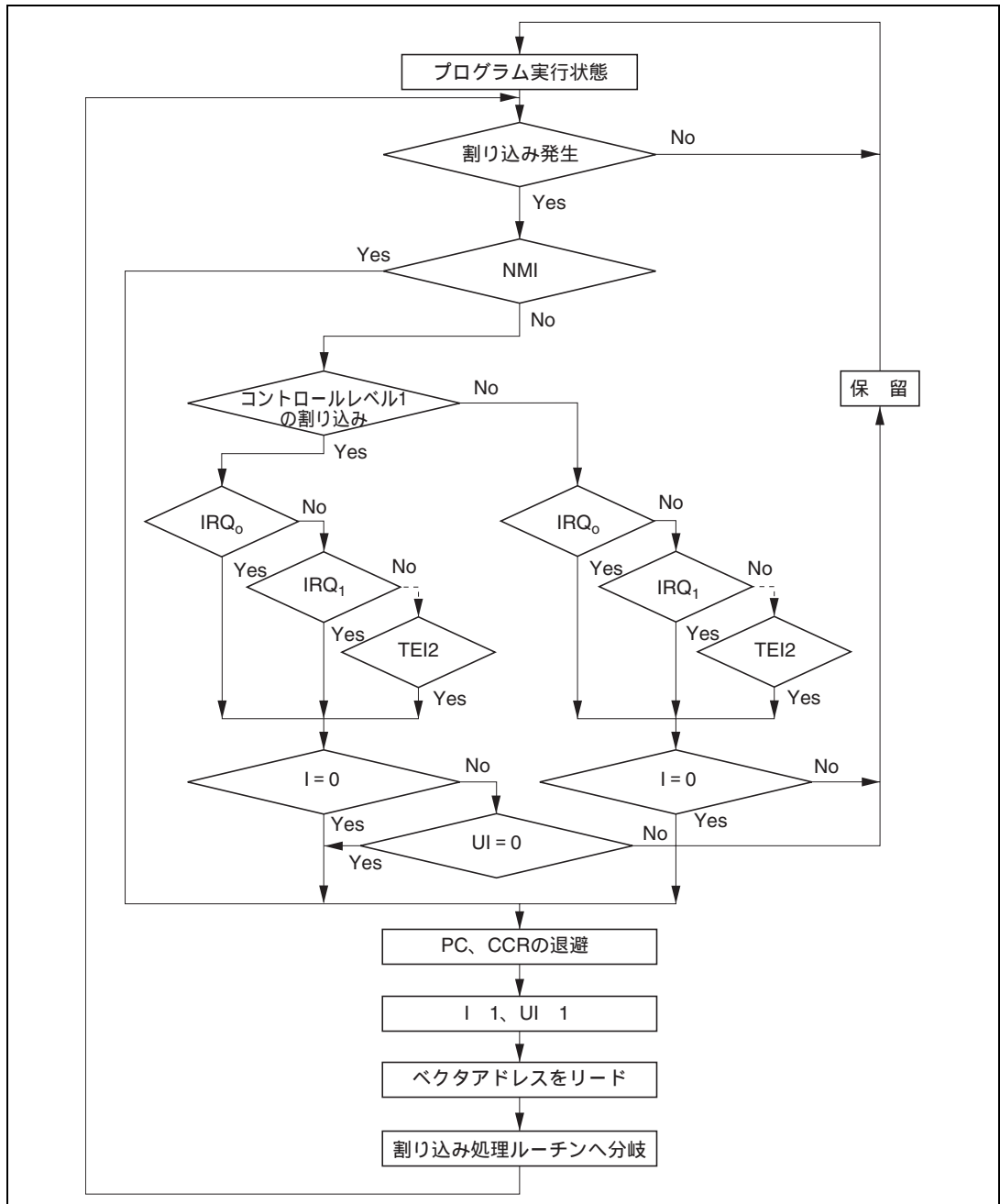


図 5.7 割り込み制御モード 1 の割り込み受け付けまでのフロー

### 5.4.4 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル (I2 ~ I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.8 に示します。

- [ 1 ] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [ 2 ] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.5に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [ 3 ] その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
- [ 4 ] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [ 5 ] 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [ 6 ] EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。  
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
- [ 7 ] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

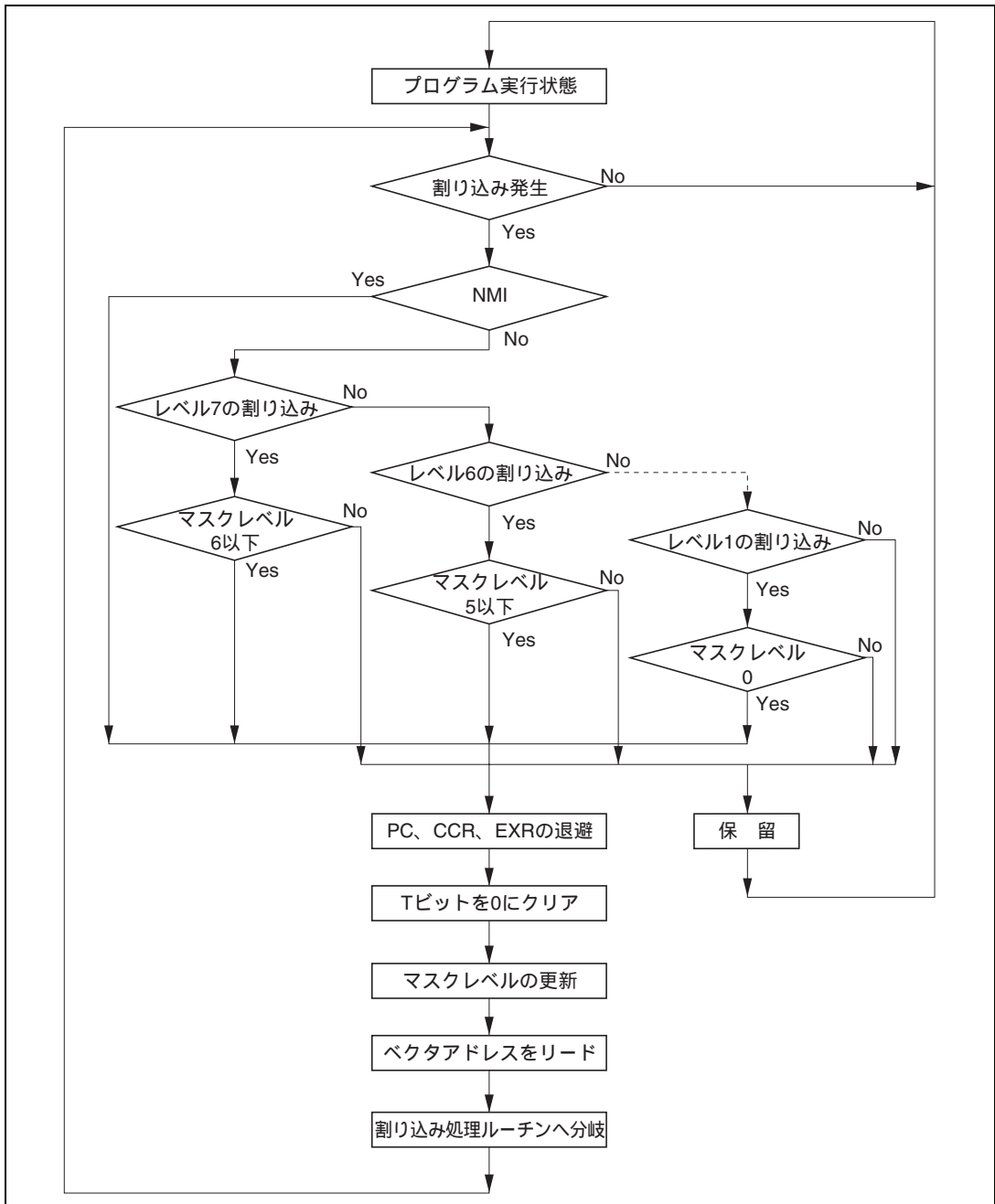


図 5.8 割り込み制御モード 2 の割り込み受け付けまでのフロー

### 5.4.5 割り込み制御モード 3

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル (I2 ~ I0 ビット) と IPR のプライオリティレベルとの比較による、8 レベル制御をベースにして、CPU の CCR の I、UI ビットによる割り込みマスクと ICR によるコントロールレベルの設定とを組み合わせ、制御を行います。

- (1) コントロールレベル0の割り込み要求は、Iビットが0にクリアされているときには許可状態、1にセットされているときには禁止状態となります。
- (2) コントロールレベル1の割り込み要求は、IビットまたはUIビットが0にクリアされているときには許可状態、IビットおよびUIビットがいずれも1にセットされているときには禁止状態となります。
- (3) Iビットが0にクリアされた状態で8レベルの優先順位制御を行います。

例えば、各割り込み要求の対応する割り込みイネーブルビットを 1 にセット、ICRA ~ ICRC をそれぞれ H'00、H'30、H'10 に設定した場合 (TPU チャネル 0、1、および SCI チャネル 0 をコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定した場合)、次のようになります。

- (1) I=0のとき、すべての割り込みに対して8レベルのマスク制御を行います。
- (2) I=1、UI=0のとき、TPU0、TPU1、SCI0の割り込みを許可します。I2 ~ I0ビットは無効になり、割り込みマスクレベルは0とみなされます。
- (3) I=1、UI=1のとき、NMI割り込みのみを許可します。

また、このときの状態遷移を図 5.9 に示します。

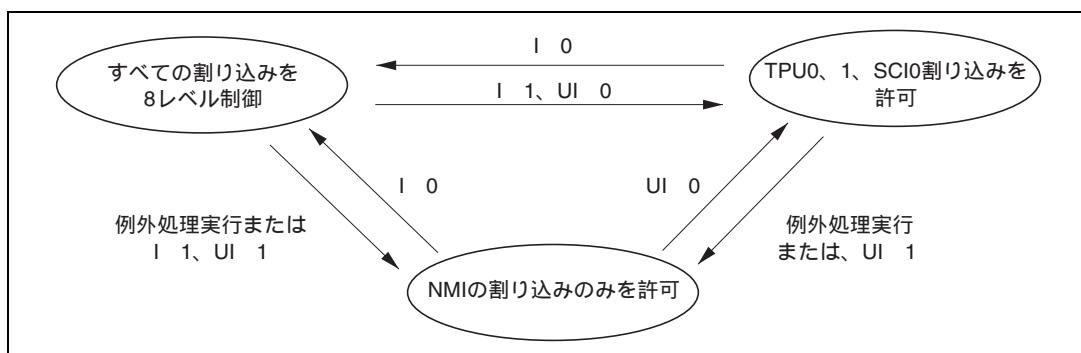


図 5.9 割り込み制御モード 3 の状態遷移例

このときの割り込み受け付けの動作フローチャートを図 5.10 に示します。

- [ 1 ] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [ 2 ] 割り込みコントローラに対して、割り込み要求が送られると、割り込み受け付け制御を行います。  
Iビットが0にクリアされている場合、すべての割り込みが受け付けられます。  
Iビットが1にセットされ、UIビットが0にクリアされている場合、コントロールレベル1の割

り込みが受け付けられます。

I、UIビットがいずれも1にセットされている場合は、NMI割り込みのみが受け付けられます。

- [ 3 ] IPRに設定されたプライオリティレベルに従って、最も優先順位の高い割り込みが選択されます。
- [ 4 ] Iビットが0にクリアされている状態では、選択された割り込み要求のプライオリティレベルとI2~I0の割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
- [ 5 ] 割り込み要求が受け付けられると、そのとき実行中の命令の実行が終了した後、割り込み例外処理を起動します。
- [ 6 ] 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [ 7 ] 次にCCRのI、UIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。また、I2~I0ビットは受け付けた割り込みの優先順位に書き換えられます。受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
- [ 8 ] EXRのTビットが0にクリアされます。
- [ 9 ] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。
- [ 10 ] 割り込み処理ルーチンで、再度割り込みを許可する場合には、許可する割り込みのコントロールレベルを1に設定し、CCRのUIビットを0にクリアします。コントロールレベル1で、プライオリティレベルに従って最も優先順位の高い割り込みが選択されます。I2~I0ビットは無効になり、割り込みマスクレベルは0とみなされます。  
また、Iビットを0にクリアすると、コントロールレベルは無視され、I2~I0ビットのマスクレベルより高いプライオリティレベルの割り込みが受け付けられます。

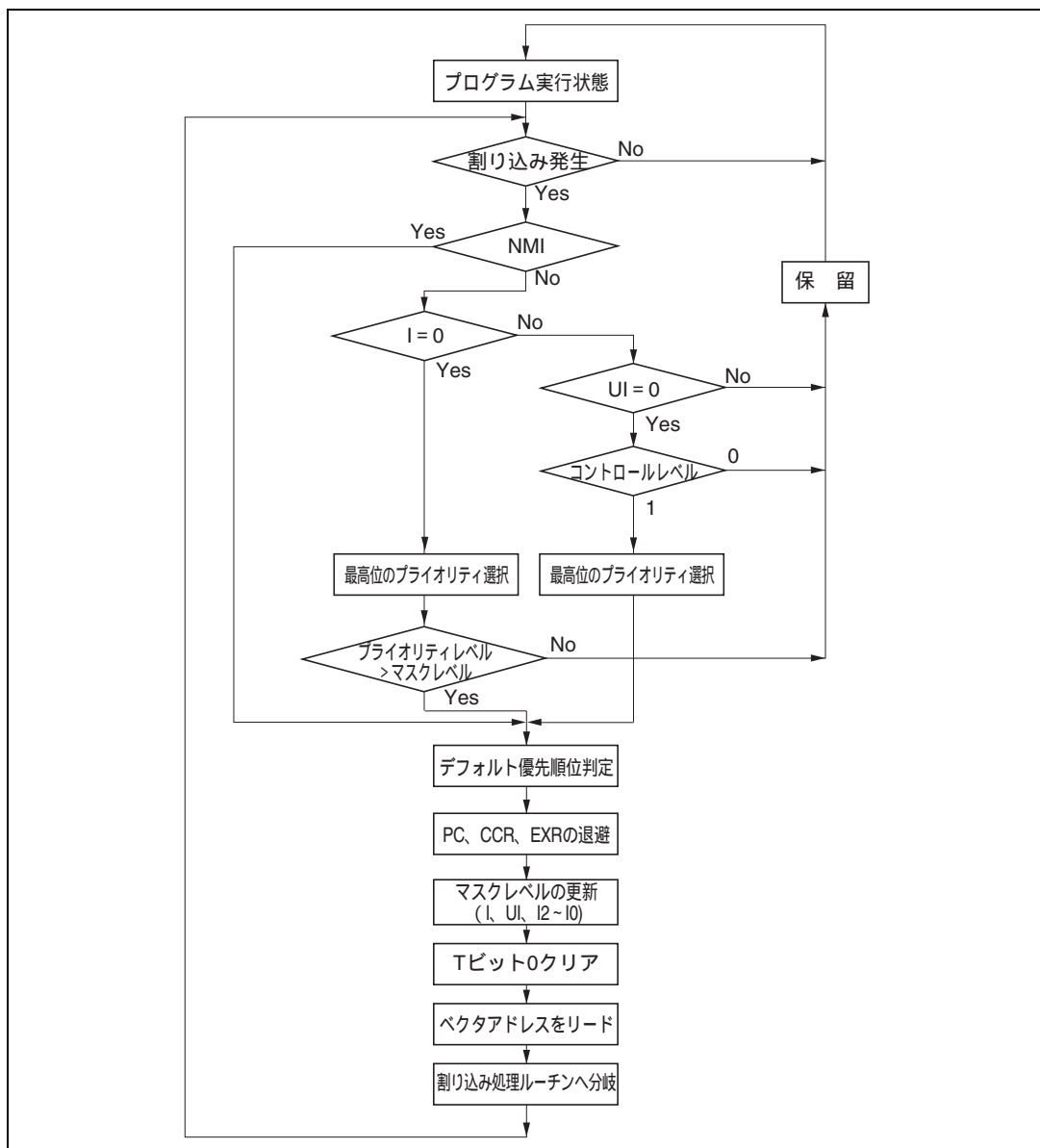


図 5.10 割り込み制御モード 3 の割り込み受け付けまでのフロー

### 5.4.6 割り込み例外処理シーケンス

図 5.11 に、割り込み例外処理シーケンスを示します。アドバンスドモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。



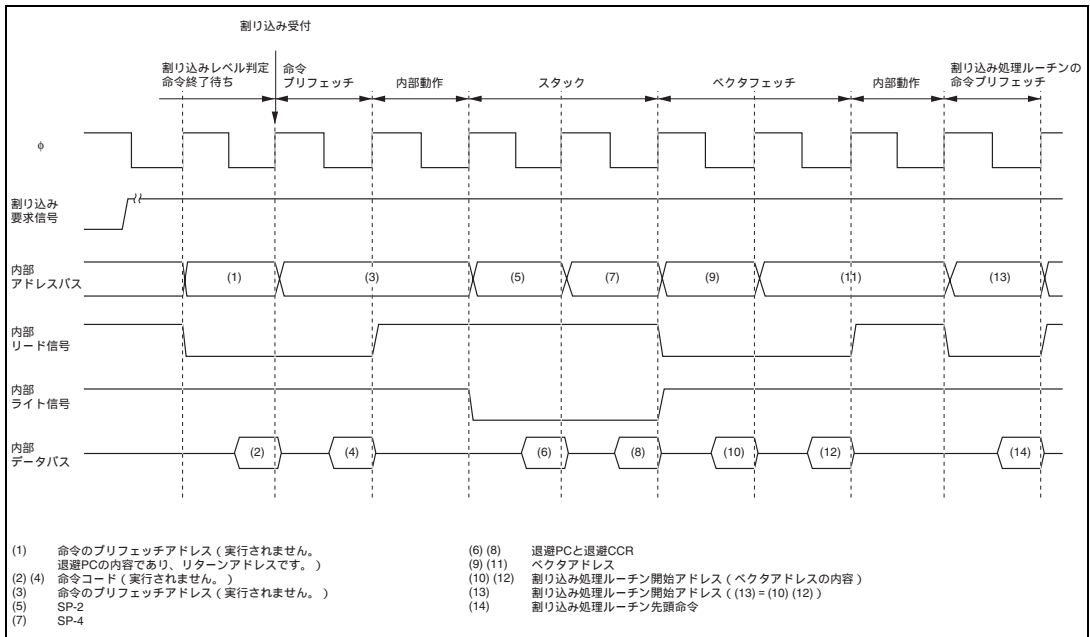


図 5.11 割り込み例外処理

### 5.4.7 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.10 に示します。表 5.10 の実行状態の記号については表 5.11 を参照してください。

表 5.10 割り込み応答時間

No.	実行状態	ノーマルモード		アドバンストモード	
		INTM1 = 0	INTM1 = 1	INTM1 = 0	INTM1 = 1
1	割り込み優先順位判定 <sup>*1</sup>	3			
2	実行中の命令が終了するまでの待ちステート数 <sup>*2</sup>	1 ~ 19 + 2 · S <sub>i</sub>			
3	PC、CCR および EXR のスタック	2 · S <sub>K</sub>	3 · S <sub>K</sub>	2 · S <sub>K</sub>	3 · S <sub>K</sub>
4	ベクタフェッチ	S <sub>i</sub>		2 · S <sub>i</sub>	
5	命令フェッチ <sup>*3</sup>	2 · S <sub>i</sub>			
6	内部処理 <sup>*4</sup>	2			
合計（内蔵メモリ使用時）		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

【注】 \*1 内部割り込みの場合 2 ステートとなります。

\*2 DIVXS 命令について示しています。

\*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

\*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

## 5. 割り込みコントローラ

表 5.11 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8ビットバス		16ビットバス	
		2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ $S_i$	1	4	6+2m	2	3+m
分岐アドレスリード $S_j$					
スタック操作 $S_k$					

【記号説明】

m：外部デバイスアクセス時のウェイトステート数

## 5.5 使用上の注意

### 5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されません。

割り込み要因フラグを0にクリアする場合も同様です。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.12に示します。

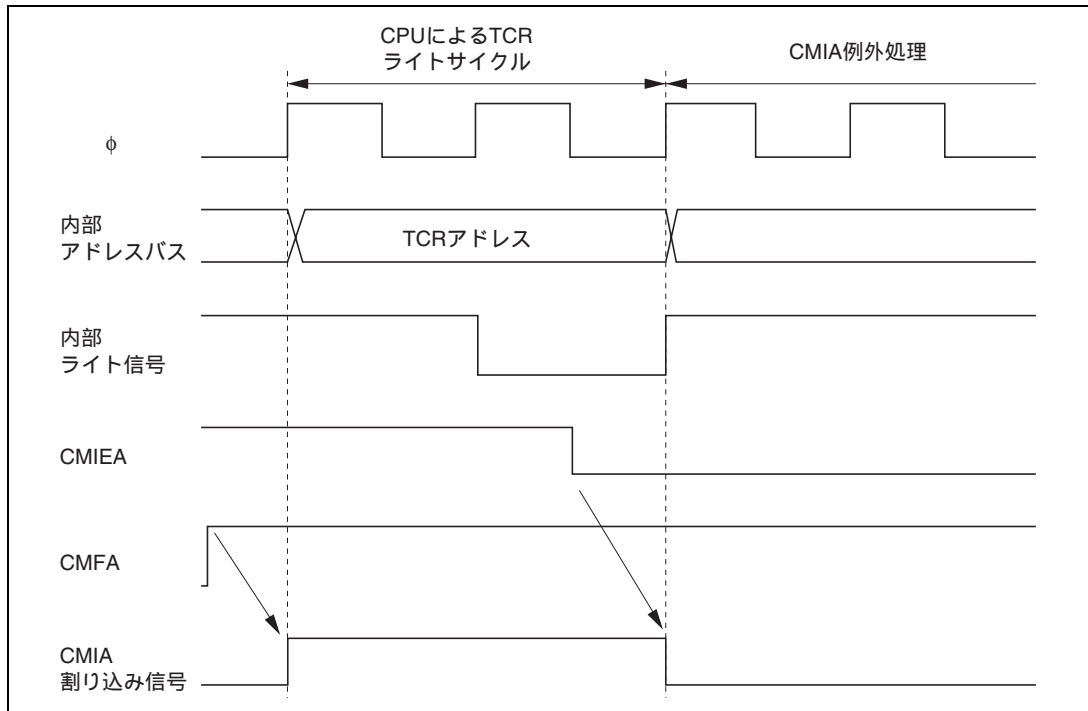


図 5.12 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

### 5.5.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

### 5.5.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

### 5.5.4 EEPROMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPROMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込

## 5. 割り込みコントローラ

---

み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:    EEPMOV.W
      MOV.W    R4,R4
      BNE     L1
```

## 5.6 割り込みによる DTC、DMAC の起動

### 5.6.1 概要

割り込みにより、DTC、DMAC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPUに対する割り込み要求
- (2) DTCに対する起動要求
- (3) DMACに対する起動要求
- (4) (1) ~ (3) の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、「第 8 章 データトランスファコントローラ」および「第 7 章 DMA コントローラ」を参照してください。

### 5.6.2 ブロック図

図 5.13 に、DTC、DMAC と割り込みコントローラのブロック図を示します。

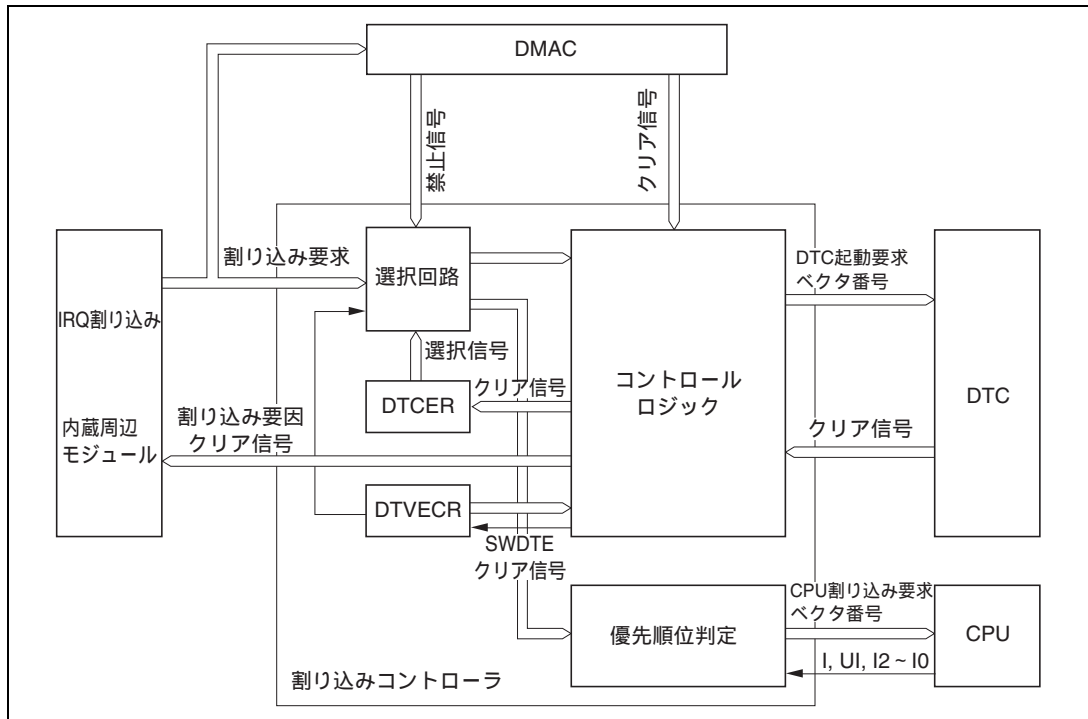


図 5.13 DTC、DMAC と割り込み制御

### 5.6.3 動作説明

DTC、DMAC 制御の割り込みコントローラの機能は 3 つに大別されます。

#### (1) 割り込み要因の選択

DMAC は、各チャンネルに直接、起動要因が入力されます。DMAC の各チャンネルの起動要因は DMACR の DTF3 ~ DTF0 ビットにより選択します。選択した起動要因を DMAC が管理するかを、DMABCR の DTA ビットによって選択することができます。DTA ビットを 1 にセットすると、その DMAC の起動要因になった割り込み要因は、DTC の起動要因および CPU の割り込み要因にはなりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCEA ~ DTCEF の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DIESEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求します。

#### (2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスケレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「7.6 割り込み」、および「8.3.3 DTC

## 5. 割り込みコントローラ

ベクタテーブル」を参照してください。

DMAC は、各チャンネルに直接起動要因が入力されます。

### (3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

同一の割り込みを、DMAC の起動要因と、DTC の起動要因または CPU の割り込み要因に選択した場合、これらは独立に動作を行います。それぞれの動作状態およびバス権の優先順位に従います。

表 5.12 に、DMAC の DMABCR の DTA ビット、DTC の DTCEA ~ DTCEF の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.12 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択・クリア制御		
DMAC	DTC		DMAC	DTC	CPU
DTA	DTCE	DISEL			
0	0	*		x	
	1	0			x
		1			
1	*	*		x	x

#### 【記号説明】

：当該割り込みを使用します。割り込み要因のクリアを行います。

( CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。 )

：当該割り込みを使用します。割り込み要因をクリアしません。

x : 当該割り込みは使用できません。

\* : Don't care

### (4) 使用上の注意

SCI および A/D 変換器の割り込み要因は、DMAC または DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビットや DISEL ビットには依存しません。

---

## 6. バスコントローラ

---

### 6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権調停機能をもっており、内部バスマスタである CPU、DMA コントローラ (DMAC) およびデータトランスファコントローラ (DTC) の動作を制御します。

#### 6.1.1 特長

バスコントローラの特長を以下に示します。

外部アドレス空間をエリア単位で管理

- アドバンストモードでは外部空間を 128k / 2M バイト単位の 8 エリアに分割して管理
- ノーマルモードでは外部空間を一つのエリアとして管理
- エリアごとにバス仕様を設定可能
- DRAM / PSRAM / バースト ROM インタフェースを設定可能

基本バスインタフェース

- エリア 0~7 に対してチップセレクト ( $\overline{CS}_0 \sim \overline{CS}_7$ ) を出力可能
- エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
- エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
- エリアごとに、プログラムウェイトステートを挿入可能

DRAM インタフェース

- エリア 2~5 に対して DRAM インタフェースを設定可能 (アドバンストモード時)
- ロウアドレス / カラムアドレスのマルチプレクス出力 (8 / 9 / 10 ビット)
- 2 種類のバイトアクセス方式 (CAS2 本方式と WE2 本方式)
- バースト動作 (高速ページモード)
- RAS プリチャージタイム確保のための  $T_p$  サイクル挿入
- CAS ビフォ RAS リフレッシュとセルフリフレッシュを選択可能

擬似 SRAM (PSRAM) 直結インタフェース

- エリア 2~5 に対して PSRAM インタフェースを設定可能 (アドバンストモード時)
- バースト動作 (スタティックカラムモード)
- RAS プリチャージタイム確保のための  $T_p$  サイクル挿入
- オートリフレッシュとセルフリフレッシュを選択可能

バースト ROM インタフェース

- エリア 0 に対してバースト ROM インタフェースを設定可能
- バーストアクセスの 1 または 2 ステートを選択可能

## 6. バスコントローラ

---

### アイドルサイクル挿入

- 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

### ライトバッファ機能

- 外部ライトサイクルと内部アクセスを並列に実行可能
- DMAC のシングルアドレスモードと内部アクセスを並列に実行可能

### バス権調停機能（バスアービトレーション）

- バスアービタを内蔵し、CPU、DMAC および DTC のバス権を調停

### その他

- リフレッシュ用カウンタ（リフレッシュタイマ）をインターバルタイマとして使用可能
- 外部バス権解放機能



## 6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

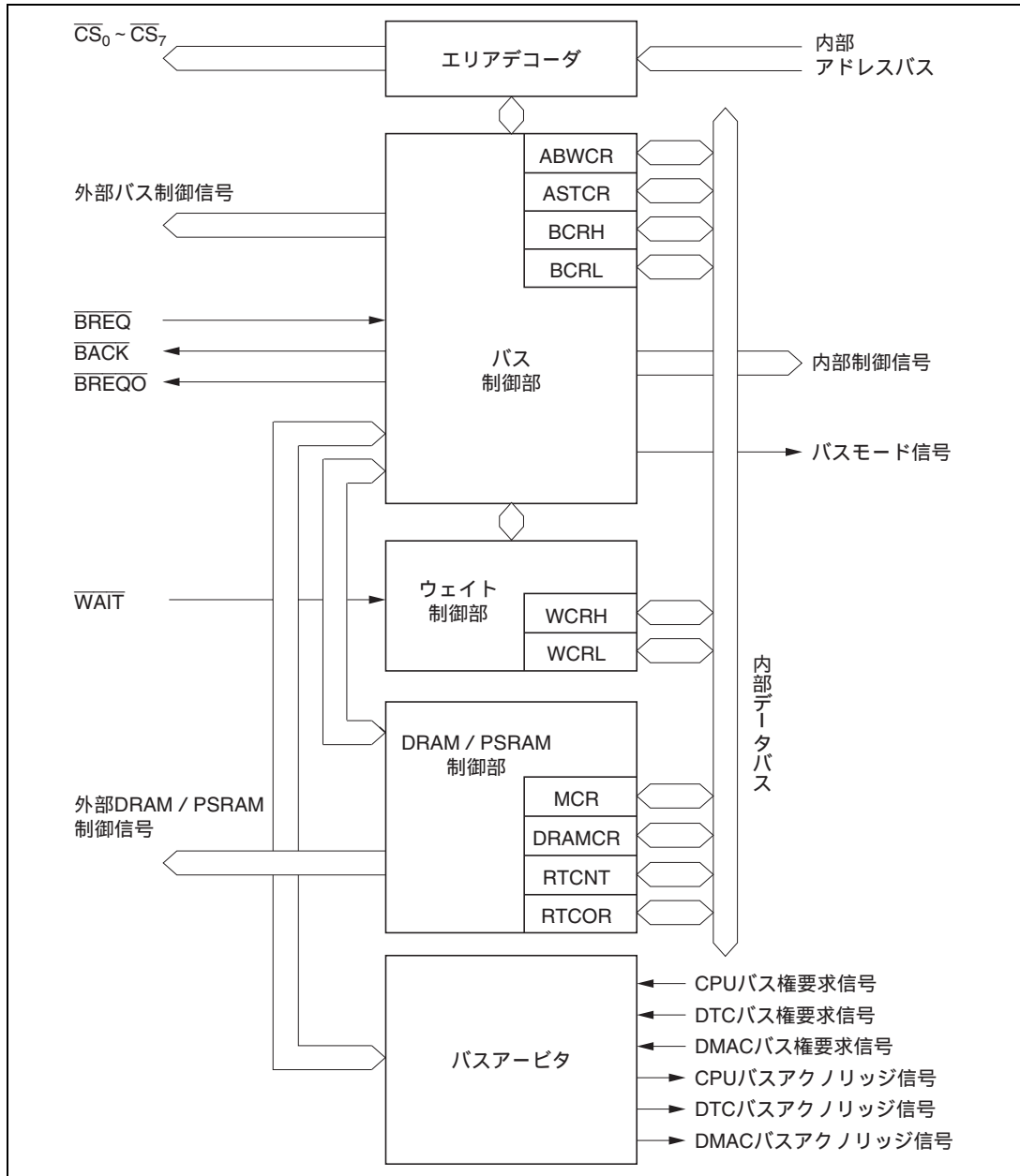


図 6.1 バスコントローラのブロック図

## 6. バスコントローラ

### 6.1.3 端子構成

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成 (1)

名称	記号	入出力	機能
アドレスストロープ	$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号。
リード	$\overline{RD}$	出力	外部空間をリードしていることを示すストロープ信号。
ハイライト/ ライトイネーブル/ アップライトイネーブル	$\overline{HWR}$	出力	外部空間をライトし、データバスの上位側 ( $D_{15} \sim D_8$ ) が有効であることを示すストロープ信号。 2CAS 方式の DRAM のライトイネーブル信号。 2WE 方式の DRAM のアップライトイネーブル信号。
ローライト/ローアークラム アドレスストロープ/ ローアライトイネーブル	$\overline{LWR}$	出力	外部空間をライトし、データバスの下位側 ( $D_7 \sim D_0$ ) が有効であることを示すストロープ信号。 2CAS 方式 (LCASS = 1) の DRAM のローアークラムアドレスストロープ信号。* 2WE 方式の DRAM のローアライトイネーブル信号。
チップセレクト 0	$\overline{CS}_0$	出力	エリア 0 が選択されていることを示すストロープ信号。
チップセレクト 1	$\overline{CS}_1$	出力	エリア 1 が選択されていることを示すストロープ信号。
チップセレクト 2/ ロウアドレスストロープ 2	$\overline{CS}_2$	出力	エリア 2 が選択されていることを示すストロープ信号。 エリア 2 が DRAM 空間のとき、DRAM のロウアドレスストロープ信号。
チップセレクト 3/ ロウアドレスストロープ 3	$\overline{CS}_3$	出力	エリア 3 が選択されていることを示すストロープ信号。 エリア 3 が DRAM 空間のとき、DRAM のロウアドレスストロープ信号。

【注】 \* BCRL の LCASS ビットにより、2CAS 方式の DRAM のローアークラムストロープ信号として  $\overline{LWR}$  端子または  $\overline{LCAS}$  端子を使用するかを選択することができます。

表 6.1 端子構成 (2)

名称	記号	入出力	機能
チップセレクト 4 / ロウアドレスストロープ 4	$\overline{\text{CS4}}$	出力	エリア 4 が選択されていることを示すストロープ信号。 エリア 4 が DRAM 空間のとき、DRAM のロウアドレス ストロープ信号。
チップセレクト 5 / ローアドレスストロープ 5	$\overline{\text{CS5}}$	出力	エリア 5 が選択されていることを示すストロープ信号。 エリア 5 が DRAM 空間のとき、DRAM のロウアドレス ストロープ信号。
チップセレクト 6	$\overline{\text{CS6}}$	出力	エリア 6 が選択されていることを示すストロープ信号。
チップセレクト 7	$\overline{\text{CS7}}$	出力	エリア 7 が選択されていることを示すストロープ信号。
アッパーカラムアドレススト ロープ / カラムアドレスストロープ / アウトプットイネーブル / リフレッシュ	$\overline{\text{CAS/OE}}$	出力	2CAS 方式の DRAM のアッパーカラムアドレススト ロープ信号。 2WE 方式の DRAM のカラムアドレスストロープ信号。 エリア 2~5 が PSRAM 空間のとき、PSRAM のアウト プットイネーブル信号。
ローアークラムストロープ	$\overline{\text{LCAS}}$	出力	2CAS 方式 ( $\text{LCASS}=0$ ) の DRAM のローアークラムア ドレスストロープ信号。*
ウェイト	WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウ ェイト要求信号。
バス権要求	$\overline{\text{BREQ}}$	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	$\overline{\text{BACK}}$	出力	バス権を解放したことを示すアクノリッジ信号。
バス権要求出力	$\overline{\text{BREQO}}$	出力	外部バス権解放状態で、内部バスマスタが外部空間をア クセスするとき、外部バス権要求信号。

【注】 \* BCRL の LCASS ビットにより、2CAS 方式の DRAM のローアークラムストロープ信号として LWR 端子または  $\overline{\text{LCAS}}$  端子を使用するかを選択することができます。

### 6.1.4 レジスタ構成

表 6.2 にバスコントローラのレジスタ構成を示します。

表 6.2 レジスタ構成

名称	略称	R/W	初期値		アドレス*1
			パワーオン リセット	マニュアル リセット	
バス幅コントロールレジスタ	ABWCR	R/W	H'FF/H'00*2	保持	H'FED0
アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	保持	H'FED1
ウェイトコントロールレジスタ H	WCRH	R/W	H'FF	保持	H'FED2
ウェイトコントロールレジスタ L	WCRL	R/W	H'FF	保持	H'FED3
バスコントロールレジスタ H	BCRH	R/W	H'D0	保持	H'FED4
バスコントロールレジスタ L	BCRL	R/W	H'3C	保持	H'FED5
メモリコントロールレジスタ	MCR	R/W	H'00	保持	H'FED6
DRAM コントロールレジスタ	DRAMCR	R/W	H'00	保持	H'FED7
リフレッシュタイムカウンタ	RTCNT	R/W	H'00	保持	H'FED8
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF	保持	H'FED9

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 MCU 動作モードによって決まります。

## 6.2 各レジスタの説明

### 6.2.1 バス幅コントロールレジスタ (ABWCR)

ビット :	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード	1~3、5~7							
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
モード4								
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ABWCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ノーマルモードでは、ABW7~ABW1 ビットの設定値は動作に影響を与えません。

ABWCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、モード 1~3、5~7 では H'FF に初期化され、モード 4 では、H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

#### ビット 7~0 : エリア 7~0 バス幅コントロール (ABW7~ABW0)

対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。ノーマルモードでは、エリア 0 の一部のみが有効で、ABW0 ビットにより外部空間を 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。

ビット n	説明
ABWn	
0	エリア n を 16 ビットアクセス空間に設定
1	エリア n を 8 ビットアクセス空間に設定

(n=7~0)

## 6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ビット :	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ノーマルモードでは、AST7~AST1 ビットの設定値は動作に影響を与えません。

ASTCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

### ビット 7~0 : エリア 7~0 アクセスステートコントロール (AST7~AST0)

対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。ノーマルモードでは、エリア 0 の一部のみが有効で、AST0 ビットにより外部空間を 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。

同時に、ウェイトステートの挿入を許可または禁止します。

ビット n	説明
ASTn	
0	エリア n を 2 ステートアクセス空間に設定 エリア n の外部空間アクセスにウェイトステートの挿入を禁止
1	エリア n の外部空間アクセスは 3 ステートアクセス (初期値) エリア n の外部空間アクセスにウェイトステートの挿入を許可

(n = 7~0)

## 6. バスコントローラ

### 6.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、それぞれ 8 ビットのリード/ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

ノーマルモードでは、エリア 0 の一部のみが有効で、W01、W00 ビットにより外部空間のプログラムウェイトステート数を選択します。W71、W70～W11、W10 ビットの設定値は動作に影響を与えません。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

WCRH、WCRL は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

#### (1) WCRH

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 7、6 : エリア 7 ウェイトコントロール 1、0 (W71、W70)

ASTCR の AST7 ビットが 1 にセットされた状態でエリア 7 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 7	ビット 6	説明
W71	W70	
0	0	エリア 7 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 7 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

#### ビット 5、4 : エリア 6 ウェイトコントロール 1、0 (W61、W60)

ASTCR の AST6 ビットが 1 にセットされた状態でエリア 6 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5	ビット 4	説明
W61	W60	
0	0	エリア 6 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 6 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット3、2：エリア5ウェイトコントロール1、0（W51、W50）

ASTCRのAST5ビットが1にセットされた状態でエリア5の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット3	ビット2	説明
W51	W50	
0	0	エリア5の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア5の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア5の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア5の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

ビット1、0：エリア4ウェイトコントロール1、0（W41、W40）

ASTCRのAST4ビットが1にセットされた状態でエリア4の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット1	ビット0	説明
W41	W40	
0	0	エリア4の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア4の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア4の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア4の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

## (2) WCRL

ビット：	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6：エリア3ウェイトコントロール1、0（W31、W30）

ASTCRのAST3ビットが1にセットされた状態でエリア3の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット7	ビット6	説明
W31	W30	
0	0	エリア3の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア3の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア3の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア3の外部空間アクセス時、プログラムウェイトを3ステート挿入 (初期値)

## 6. バスコントローラ

ビット 5、4 : エリア 2 ウェイトコントロール 1、0 (W21、W20)

ASTCR の AST2 ビットが 1 にセットされた状態でエリア 2 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5	ビット 4	説明
W21	W20	
0	0	エリア 2 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 2 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 3、2 : エリア 1 ウェイトコントロール 1、0 (W11、W10)

ASTCR の AST1 ビットが 1 にセットされた状態でエリア 1 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3	ビット 2	説明
W11	W10	
0	0	エリア 1 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 1 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 1、0 : エリア 0 ウェイトコントロール 1、0 (W01、W00)

ASTCR の AST0 ビットが 1 にセットされた状態で、エリア 0 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説明
W01	W00	
0	0	エリア 0 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 0 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)



## 6.2.4 バスコントロールレジスタ H (BCRH)

ビット :	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0
初期値 :	1	1	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRH は 8 ビットのリード/ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリア 2~5 およびエリア 0 のメモリインタフェースの選択を行います。

BCRH は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'D0 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

### ビット 7: アイドルサイクル挿入 1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 7	説明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

### ビット 6: アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 6	説明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

### ビット 5: パースト ROM イネーブル (BRSTRM)

エリア 0 をパースト ROM インタフェースとするかを選択します。ノーマルモードのときは、すべての外部空間が選択対象になります。

パースト ROM インタフェースと PSRAM のパースト動作は同時には設定しないでください。

ビット 5	説明
BRSTRM	
0	エリア 0 は基本バスインタフェース (初期値)
1	エリア 0 はパースト ROM インタフェース

## 6. バスコントローラ

### ビット 4 : パーストサイクルセレクト 1 (BRSTS1)

パースト ROM インタフェースのパーストサイクル数を選択します。

ビット 4 BRSTS1	説明	
0	パーストサイクルは 1 ステート	
1	パーストサイクルは 2 ステート (初期値)	

### ビット 3 : パーストサイクルセレクト 0 (BRSTS0)

パースト ROM インタフェースのパーストアクセス可能なワード数を選択します。

ビット 3 BRSTS0	説明	
0	パーストアクセスは最大 4 ワード (初期値)	
1	パーストアクセスは最大 8 ワード	

### ビット 2~0 : RAM タイプセレクト (RMTS2~RMTS0)

アドバンスモードのときに、エリア 2~5 のメモリインタフェースを選択します。

DRAM 空間を選択すると、当該エリアは DRAM インタフェースとなり、PSRAM 空間を選択すると、PSRAM インタフェースとなります。

ビット 2 RMTS2	ビット 1 RMTS1	ビット 0 RMTS0	説明			
			エリア 5	エリア 4	エリア 3	エリア 2
0	0	0	通常空間			
		1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			
1	0	0	通常空間			
		1	通常空間			PSRAM 空間
	1	0	通常空間		PSRAM 空間	
		1	PSRAM 空間			

## 6.2.5 バスコントロールレジスタ L (BCRL)

ビット :	7	6	5	4	3	2	1	0
	BRLE	BREQOE	EAE	LCASS	DDS	ASS	WDBE	WAITE
初期値 :	0	0	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRL は 8 ビットのリード/ライト可能なレジスタで、外部バス解放状態のプロトコルの選択、エリアの分割単位の選択、LCAS 信号の選択、DMAC シングルアドレス転送の選択、ライトデータバッファ機能の許可または禁止、 $\overline{\text{WAIT}}$  端子入力の許可または禁止の選択を行います。

BCRL は、パワーオンリセットおよびハードウェアスタンバイモード時に、H<sup>3</sup>C に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

## ビット 7 : バスリリースイネーブル (BRLE)

外部バス権の解放を許可または禁止します。

ビット 7	説明
BRLE	
0	外部バス権の解放を禁止。BREQ、BACK、 $\overline{\text{BREQO}}$ は入出力ポートとして使用可。 (初期値)
1	外部バス権の解放を許可。

## ビット 6 : BREQO 端子イネーブル (BREQOE)

外部バス解放状態のとき、内部バスマスタが外部空間アクセスを行うとき、またはリフレッシュ要求が発生したとき、外部バスマスタに対してバス権要求信号 (BREQ) を取り下げるよう要求する信号を出力します。

ビット 6	説明
BREQOE	
0	$\overline{\text{BREQO}}$ 出力禁止。 $\overline{\text{BREQO}}$ は入出力ポートとして使用可。 (初期値)
1	$\overline{\text{BREQO}}$ 出力許可

## ビット 5 : 外部アドレスイネーブル (EAE)

アドレス H'010000 ~ H'01FFFF を内部アドレスとするか、外部アドレスとするかを選択します。本設定は、ノーマルモードの場合は無効です。

ビット 5	説明
EAE	
0	アドレス H'010000 ~ H'01FFFF は内蔵 ROM (H8S/2655 の場合) またはリザーブ領域* (H8S/2653 の場合)。
1	アドレス H'010000 ~ H'01FFFF は外部アドレス (外部拡張モードの場合) またはリザーブ領域* (シングルチップモード) (初期値)

【注】 \* リザーブ領域はアクセスしないでください。

## 6. バスコントローラ

### ビット 4 : LCAS セレクト

2CAS 方式 DRAM インタフェースの  $\overline{\text{LCAS}}$  信号として、 $\overline{\text{LWR}}$  端子を用いるか  $\overline{\text{LCAS}}$  端子を用いるかを選択します。

ビット 4	説明
LCASS	
0	2CAS 方式 DRAM インタフェースの $\overline{\text{LCAS}}$ 信号として $\overline{\text{LCAS}}$ 端子を使用。 ( $\overline{\text{LCAS}}$ 信号を使用する場合、 $\overline{\text{BREQO}}$ 出力、 $\overline{\text{WAIT}}$ 入力は使用不可)
1	2CAS 方式 DRAM インタフェースの $\overline{\text{LCAS}}$ 信号として $\overline{\text{LWR}}$ 端子を使用。 (RAS ダウンモードは使用不可) (初期値)

### ビット 3 : DACK タイミングセレクト (DDS)

DRAM インタフェース / PSRAM インタフェース時、DMAC シングルアドレス転送のバスタイミングを選択します。

ビット 3	説明
DDS	
0	DRAM / PSRAM 空間に対して DMAC シングルアドレス転送を行う場合、必ずフルアクセスを実行。DACK 信号は $T_1$ または $T_1$ サイクルから Low レベルを出力。
1	DRAM / PSRAM 空間に対して DMAC シングルアドレス転送を行う場合もバーストアクセス可能。DACK 信号は $T_{c1}$ または $T_2$ サイクルから Low レベルを出力。 (初期値)

### ビット 2 : エリア分割単位セレクト (ASS)

エリアの分割単位を選択します。

ビット 2	説明
ASS	
0	エリアの分割単位は 128k バイト (1M ビット)
1	エリアの分割単位は 2M バイト (16M ビット) (初期値)

### ビット 1 : ライトデータバッファイネーブル (WDBE)

外部ライトサイクルまたは DMAC のシングルアドレスサイクルのとき、ライトバッファ機能を使用するか、使用しないかを選択します。

ビット 1	説明
WDBE	
0	ライトデータバッファ機能を使用しない (初期値)
1	ライトデータバッファ機能を使用する

ビット0: WAIT 端子イネーブル (WAITE)

WAIT 端子によるウェイト入力の許可または禁止を選択します。

ビット0	説明
WAITE	
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可 (初期値)
1	WAIT 端子によるウェイト入力を許可

## 6.2.6 メモリコントロールレジスタ (MCR)

ビット:	7	6	5	4	3	2	1	0
	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MCR は 8 ビットのリード/ライト可能なレジスタで、エリア 2~5 を DRAM インタフェースに設定しているとき、DRAM に対するストロープ制御方法、プリチャージサイクル数、アクセスモード、アドレスマルチプレクスのシフト量およびリフレッシュ時に挿入するウェイトステート数の選択を行います。またエリア 2~5 を PSRAM インタフェースに設定しているとき、PSRAM に対する、プリチャージサイクル数、アクセスモードを選択します。

MCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'00 に初期化されません。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

ビット7: TP サイクルコントロール (TPC)

DRAM 空間または PSRAM 空間に設定したエリア 2~5 へのアクセスのとき、プリチャージサイクル ( $T_p$ ) を 1 ステートにするか、2 ステートにするかを選択します。

ビット7	説明
TPC	
0	プリチャージサイクルを 1 ステート挿入 (初期値)
1	プリチャージサイクルを 2 ステート挿入

## 6. バスコントローラ

---

### ビット 6 : パーストアクセスイネーブル (BE)

DRAM 空間または PSRAM 空間に設定したエリア 2~5 へのパーストアクセスの許可または禁止を選択します。DRAM 空間のパーストアクセスは高速ページモード、また PSRAM 空間のパーストアクセスはスタティックカラムモードになります。

PSRAM のパースト動作とパースト ROM インタフェースは同時には設定しないでください。

ビット 6	説明
BE	
0	パースト禁止 (常にフルアクセス) (初期値)
1	(1) DRAM 空間アクセス時 高速ページモードでアクセス (2) PSRAM 空間アクセス時 スタティックカラムモードでアクセス

### ビット 5 : RAS ダウンモード (RCDM)

エリア 2~5 を DRAM 空間に設定した場合、DRAM へのアクセスが途切れたときに、 $\overline{\text{RAS}}$  信号を Low レベルにしたままで、次の DRAM へのアクセスを待つか (RAS ダウンモード)、 $\overline{\text{RAS}}$  信号を High レベルに戻すか (RAS アップモード) を選択します。LCASS = 1 のときの CAS2 本方式の場合は、RAS ダウンモードは使用できません。RAS ダウンモードに設定する場合は、BE = 1 としてください。

また、エリア 2~5 を PSRAM 空間に設定した場合、本ビットは無効になります。

ビット 5	説明
RCDM	
0	DRAM インタフェース : RAS アップモードを選択 (初期値)
1	DRAM インタフェース : RAS ダウンモードを選択

### ビット 4 : CAS2 本方式 / WE2 本方式選択 (CW2)

エリア 2~5 を 16 ビット DRAM 空間に設定した場合のバイトアクセス方式を、CAS2 本方式で行うか、WE2 本方式で行うか選択します。

ビット 5	説明
CW2	
0	CAS2 本方式を選択 : $\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{WE}}$ 信号が有効。 (初期値)
1	WE2 本方式を選択 : $\overline{\text{CAS}}$ 、 $\overline{\text{UWE}}$ 、 $\overline{\text{LWE}}$ 信号が有効。

ビット3、2：マルチプレクスシフトカウント 1、0 (MXC1、MXC0)

DRAM インタフェース時に、ロウアドレス / カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。また、DRAM / PSRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。

ビット3 MXC1	ビット2 MXC0	説明
0	0	8ビットシフト (1) 8ビットアクセス空間設定時： 比較対象ロウアドレスは $A_{23} \sim A_8$ (2) 16ビットアクセス空間設定時： 比較対象ロウアドレスは $A_{23} \sim A_9$
	1	9ビットシフト (1) 8ビットアクセス空間設定時： 比較対象ロウアドレスは $A_{23} \sim A_9$ (2) 16ビットアクセス空間設定時： 比較対象ロウアドレスは $A_{23} \sim A_{10}$
1	0	10ビットシフト (1) 8ビットアクセス空間設定時： 比較対象ロウアドレスは $A_{23} \sim A_{10}$ (2) 16ビットアクセス空間設定時： 比較対象ロウアドレスは $A_{23} \sim A_{11}$
	1	-

ビット1、0：リフレッシュサイクルウェイトコントロール 1、0 (RLW1、RLW0)

DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクルに対して、挿入するウェイトステート数を選択します。DRAM 空間に設定しているすべてのエリアに共通です。WAIT 端子によるウェイト入力禁止されています。

ビット1 RLW1	ビット0 RLW0	説明
0	0	ウェイトステートを挿入しない (初期値)
	1	ウェイトステートを1ステート挿入する
1	0	ウェイトステートを2ステート挿入する
	1	ウェイトステートを3ステート挿入する

## 6.2.7 DRAM コントロールレジスタ (DRAMCR)

ビット :	7	6	5	4	3	2	1	0
	RFSHE	RCW	RMODE	CMF	CMIE	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DRAMCR は 8 ビットのリード/ライト可能なレジスタで、DRAM のリフレッシュモード、リフレッシュカウンタのクロック選択およびリフレッシュタイマの制御を設定します。

DRAMCR は、パワーオンリセットおよびハードウェアスタンバイモード時に、H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

## ビット 7: リフレッシュ制御 (RFSHE)

リフレッシュ制御を行うか、行わないかを選択します。リフレッシュ制御を行わないときには、リフレッシュタイマをインターバルタイマとして使用することができます。ノーマルモードでは、リフレッシュ制御は行いません。

ビット 7	説明	
RFSHE		
0	リフレッシュ制御を行わない	(初期値)
1	リフレッシュ制御を行う	

## ビット 6: RAS・CAS 間ウェイト (RCW)

DRAM インタフェースの CAS ビフォ RAS リフレッシュ時、ウェイトステートの挿入を制御します。PSRAM インタフェースの場合は 0 を保持してください。

ビット 6	説明	
RCW		
0	CAS ビフォ RAS リフレッシュ時のウェイトステートの挿入を禁止 RAS 立ち下がりは $T_{Rc}$ サイクル	(初期値)
1	CAS ビフォ RAS リフレッシュ時にウェイトを 1 ステート挿入 RAS 立ち下がりは $T_{Rc1}$ サイクル	



## ビット 5：リフレッシュモード (RMODE)

リフレッシュ制御を行うとき (RFSHE=1)、通常のリフレッシュ (DRAM インタフェースでは CAS ビフォ RAS リフレッシュ、PSRAM インタフェースではオートリフレッシュ) を行うか、セルフリフレッシュを行うかを選択します。

ビット 5	説明
RMODE	
0	(1) DRAM インタフェース リフレッシュ方式は CAS ビフォ RAS リフレッシュ (2) PSRAM インタフェース リフレッシュ方式はオートリフレッシュ (初期値)
1	リフレッシュ方式はセルフリフレッシュ

## ビット 4：コンペアマッチフラグ (CMF)

RTCNT と RTCOR の値が一致したことを示すステータスフラグです。

リフレッシュ制御を行っている場合 (RFSHE=1)、DRAMCR にライトをするときには CMF は 1 をライトしてください。

ビット 4	説明
CMF	
0	[クリア条件] CMF=1 の状態で、CMF フラグをリードした後、CMF フラグに 0 をライトしたとき (初期値)
1	[セット条件] RTCNT = RTCOR になったとき

## ビット 3：コンペアマッチ割り込みイネーブル (CMIE)

DRAMCR の CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMI) を許可または禁止します。

リフレッシュ制御を行う場合 (RFSHE=1)、CMIE ビットは常に 0 にクリアされています。

ビット 3	説明
CMIE	
0	CMF フラグによる割り込み要求 (CMI) を禁止 (初期値)
1	CMF フラグによる割り込み要求 (CMI) を許可

## 6. バスコントローラ

ビット2~0：リフレッシュカウンタクロックセレクト（CKS2~CKS0）

システムクロック（ $\phi$ ）を分周して得られる7種類の内部クロックから RTCNT に入力するクロックを選択します。CKS2~CKS0 ビットで入力クロックを選択すると、RTCNT がカウントアップを開始します。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	カウント動作停止 (初期値)
		1	$\phi/2$ でカウント
	1	0	$\phi/8$ でカウント
		1	$\phi/32$ でカウント
1	0	0	$\phi/128$ でカウント
		1	$\phi/512$ でカウント
	1	0	$\phi/2048$ でカウント
		1	$\phi/4096$ でカウント

### 6.2.8 リフレッシュタイマカウンタ（RTCNT）

ビット：	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCNT は 8 ビットのリード/ライト可能なアップカウンタです。

RTCNT は、DRAMCR の CKS2~CKS0 ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致(コンペアマッチ)すると、DRAMCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき、DRAMCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、DRAMCR の CMIE ビットが 1 にセットされているとき、コンペアマッチ割り込み (CMI) が発生します。

RTCNT は、パワーオンリセットおよびハードウェアスタンバイモード時 H'00 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

### 6.2.9 リフレッシュタイムコンスタントレジスタ (RTCOR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCOR は 8 ビットのリード/ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、DRAMCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、パワーオンリセットおよびハードウェアスタンバイモード時 H'FF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモードでは初期化されません。

## 6.3 バス制御の概要

### 6.3.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 128k バイトまたは 2M バイト単位で、エリア 0~7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。また、ノーマルモードでは、エリア 0 の一部の、64k バイトのアドレス空間を制御しません。図 6.2 にメモリマップの概要を示します。

各エリアごとに、チップセレクト信号 ( $\overline{CS}_0 \sim \overline{CS}_7$ ) を出力することができます。

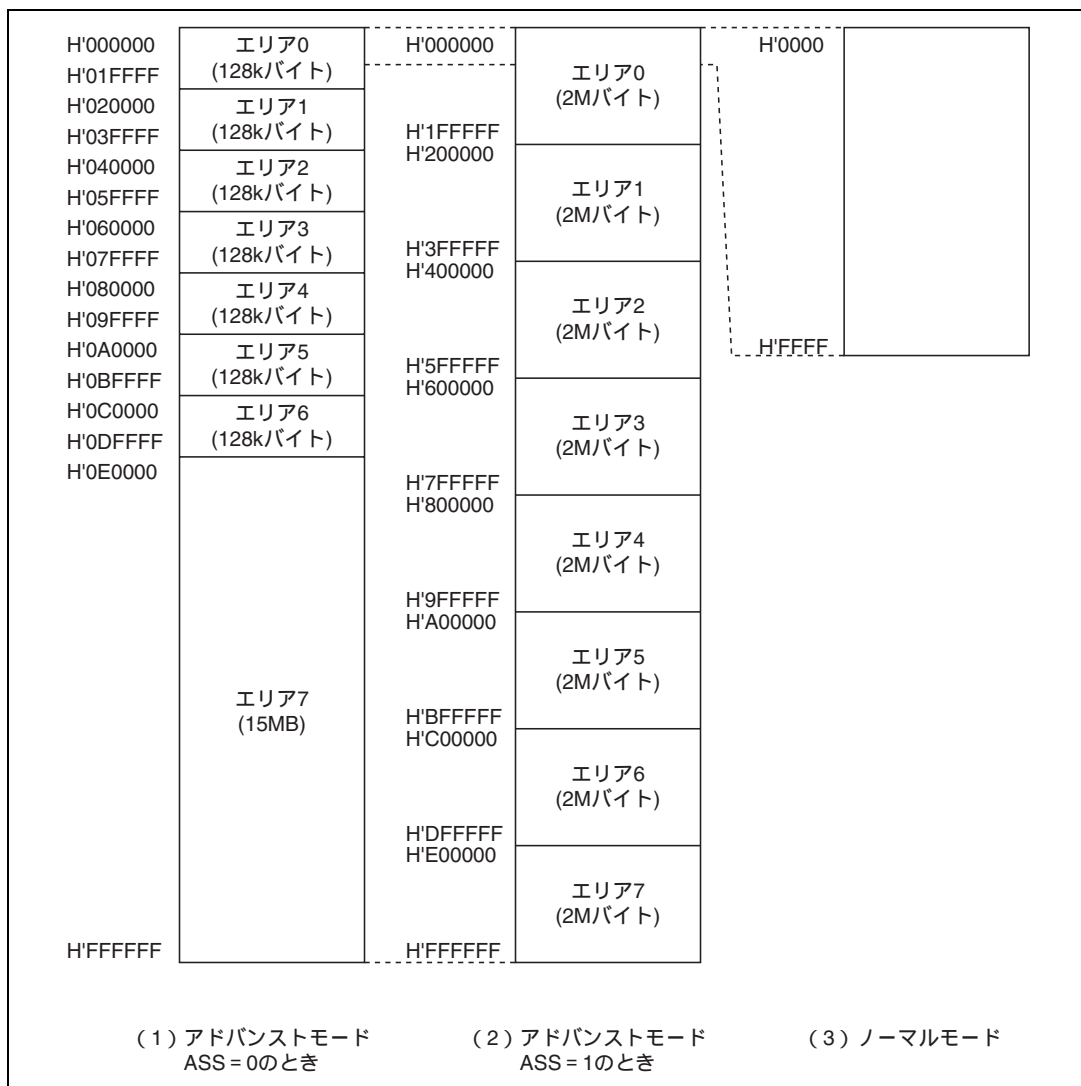


図 6.2 エリア分割

### 6.3.2 バス仕様

外部空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

#### (1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

#### (2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、DRAM / PSRAM インタフェースやバースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

#### (3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH、WCRL		バス仕様 (基本バスインタフェース)		
		Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0	-	-	16	2	0
			0			0
	1	0	1			
	1	0	2			
		1	3			
	1	0	-		-	8
0				0	3	
1		0	1			
1		0	2			
		1	3			

### 6.3.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などの直結が可能な基本バスインタフェース、DRAM の直結が可能な DRAM インタフェース、PSRAM の直結が可能な PSRAM インタフェース、およびバースト ROM の直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、DRAM インタフェースを設定したエリアが DRAM 空間、PSRAM インタフェースを設定したエリアが PSRAM 空間、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

### 6.3.4 アドバンスモード

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず 6.5、6.6、6.8 の各メモリインタフェースの項目を確認してください。

#### (1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、 $\overline{CS}_0$  信号を出力することができます。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

エリア 0 の大きさは ASS ビットの状態により、128k / 2M バイトが切り替わります。

#### (2) エリア 1、6

エリア 1、6 は、外部拡張モードのとき、エリア 1、6 のすべての空間が外部空間となります。

エリア 1、6 の外部空間をアクセスするとき、それぞれ、 $\overline{CS}_1$ 、 $\overline{CS}_6$  端子信号を出力することができます。

エリア 1、6 は、基本バスインタフェースのみを使用することができます。

エリア 1、6 の大きさは ASS ビットの状態により、128k / 2M バイトが切り替わります。

#### (3) エリア 2~5

エリア 2~5 は外部拡張モードのとき、エリア 2~5 のすべての空間が外部空間となります。

エリア 2~5 の外部空間をアクセスするとき、 $\overline{CS}_2 \sim \overline{CS}_5$  信号を出力することができます。

エリア 2~5 は、基本バスインタフェース、DRAM インタフェースまたは PSRAM インタフェースを選択することができます。DRAM インタフェースでは、 $\overline{CS}_2 \sim \overline{CS}_5$  信号は  $\overline{RAS}$  信号として使用されます。

エリア 2~5 の大きさは ASS ビットの状態により、128k / 2M バイトが切り替わります。

#### (4) エリア 7

エリア 7 は内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき、内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

エリア7の外部空間をアクセスするとき、 $\overline{CS}_7$ 信号を出力することができます。  
 エリア7のメモリインタフェースには、基本バスインタフェースのみを使用することができます。  
 エリア7の大きさはASSビットの状態により、15M/2Mバイトが切り替わります。

### 6.3.5 ノーマルモード時のエリアの説明

ノーマルモードでは、エリア0の一部の、64kバイトのアドレス空間を制御します。ノーマルモードでは、エリア分割を行いません。ROM無効拡張モードでは、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。ROM有効拡張モードでは、内蔵ROM、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。なお、内蔵RAMはシステムコントロールレジスタ(SYSCR)のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部空間になります。

外部空間をアクセスするとき、 $\overline{CS}_0$ 信号を出力することができます。

基本バスインタフェースまたはバーストROMインタフェースを選択することができます。

### 6.3.6 チップセレクト信号

本LSIは、エリア0~7に対して、それぞれチップセレクト信号( $\overline{CS}_0 \sim \overline{CS}_7$ )を出力することができます。当該エリアの外部空間をアクセスしたとき、Lowレベルを出力します。ノーマルモードでは $\overline{CS}_0$ 信号のみを出力することができます。

図6.3に $\overline{CS}_n$ ( $n=0 \sim 7$ )信号出力タイミング例を示します。

$\overline{CS}_n$ 信号出力の許可または禁止は各 $\overline{CS}_n$ 端子に対応するポートのデータディレクションレジスタ(DDR)を設定することにより行います。

ROM無効拡張モードでは、 $\overline{CS}_0$ 端子は、パワーオンリセット後に出力状態になっています。 $\overline{CS}_1 \sim \overline{CS}_7$ 端子はパワーオンリセット後に入力状態になっていますので、 $\overline{CS}_1 \sim \overline{CS}_7$ 信号を出力する場合には対応するDDRを1にセットしてください。

ROM有効拡張モードでは、 $\overline{CS}_0 \sim \overline{CS}_7$ 端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS}_0 \sim \overline{CS}_7$ 信号を出力する場合には対応するDDRを1にセットしてください。

詳細は「第9章 I/Oポート」を参照してください。

なお、エリア2~5をDRAM空間に設定したとき、 $\overline{CS}_2 \sim \overline{CS}_5$ 出力は $\overline{RAS}$ 信号として使用されます。

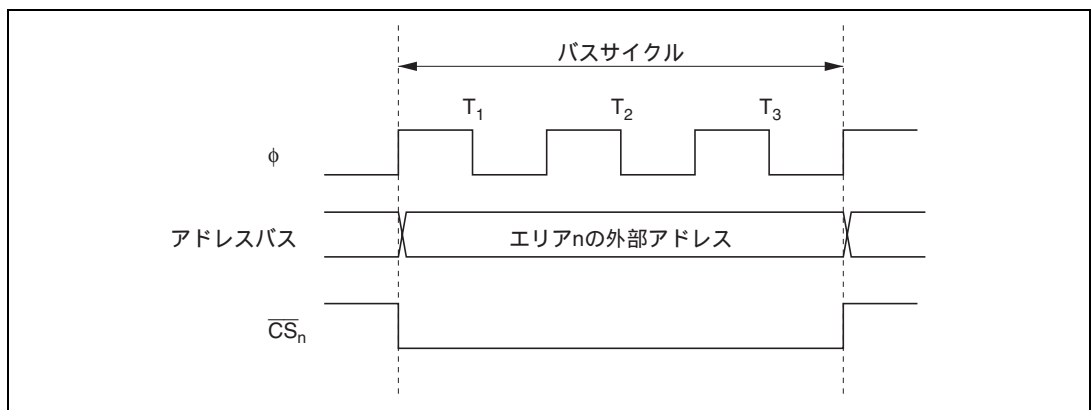


図 6.3  $\overline{CS}_n$ 信号出力タイミング ( $n=0 \sim 7$ )

## 6.4 基本バスインタフェース

### 6.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

ABWCR、ASTCR、WCRH、WCRL によってバス仕様を選択できます。表 6.3 を参照してください。

### 6.4.2 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス ( $D_{15} \sim D_8$ ) を使用するか、下位側データバス ( $D_7 \sim D_0$ ) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間か 16 ビットアクセス空間) とデータサイズによって制御します。

#### (1) 8 ビットアクセス空間

図 6.4 に、8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス ( $D_{15} \sim D_8$ ) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

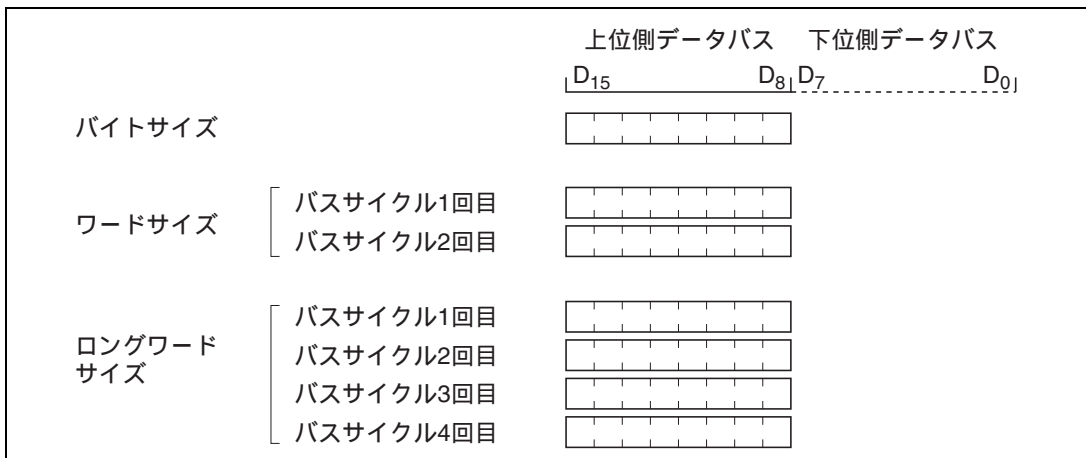


図 6.4 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)



## (2) 16 ビットアクセス空間

図 6.5 に、16 ビットアクセス空間の、データアライメント制御を示します。16 ビットアクセス空間では、上位側データバス ( $D_{15} \sim D_8$ ) および下位側データバス ( $D_7 \sim D_0$ ) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

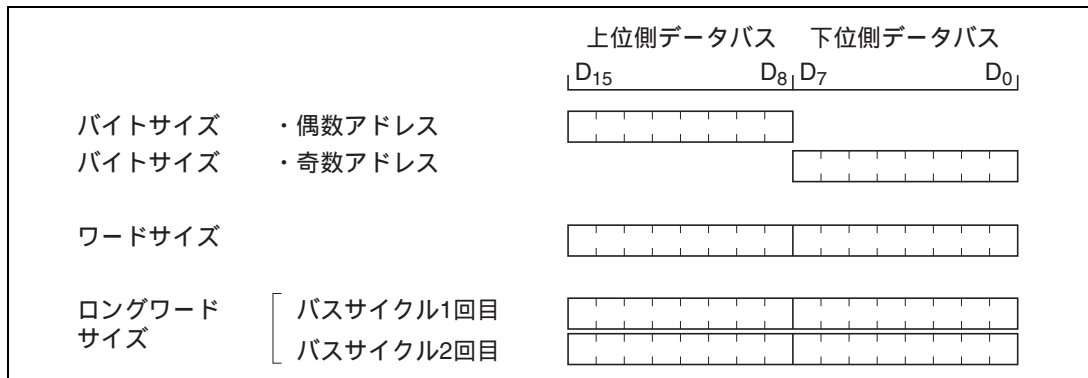


図 6.5 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

## 6.4.3 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 $\overline{RD}$  信号が有効です。

ライト時には、データバスの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード / ライト	アドレス	有効なストロープ	データバス上位 ( $D_{15} \sim D_8$ )	データバス下位 ( $D_7 \sim D_0$ )
8 ビットアクセス空間	バイト	リード	-	$\overline{RD}$	有効	無効
		ライト	-	$\overline{HWR}$		不定
16 ビットアクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数	$\overline{RD}$	無効	有効
		ライト	偶数	$\overline{HWR}$	有効	不定
			奇数	$\overline{LWR}$	不定	有効
	ワード	リード	-	$\overline{RD}$	有効	有効
		ライト	-	$\overline{HWR}$ , $\overline{LWR}$	有効	有効

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

## 6.4.4 基本タイミング

## (1) 8ビット2ステートアクセス空間

図6.6に8ビット2ステートアクセス空間のバスタイミングを示します。8ビットアクセス空間をアクセスするとき、データバスは上位側 ( $D_{15} \sim D_8$ ) を使用します。

$\overline{\text{LWR}}$  端子は常に High レベルに固定されます。ウェイトステートを挿入することはできません。

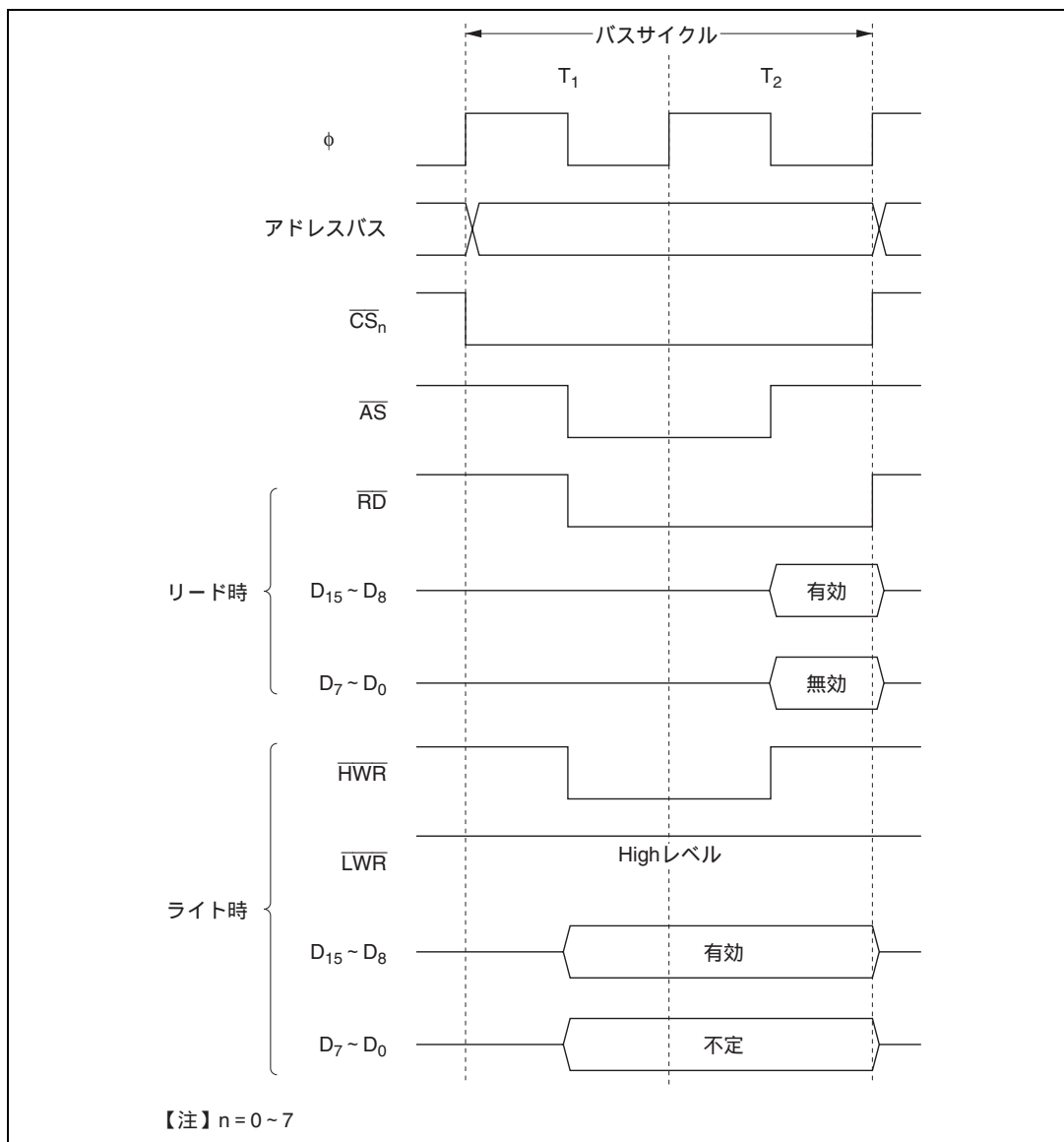


図 6.6 8ビット2ステートアクセス空間のバスタイミング

## (2) 8 ビット 3 ステートアクセス空間

図 6.7 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 ( $D_{15} \sim D_8$ ) を使用します。

$\overline{LWR}$  端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

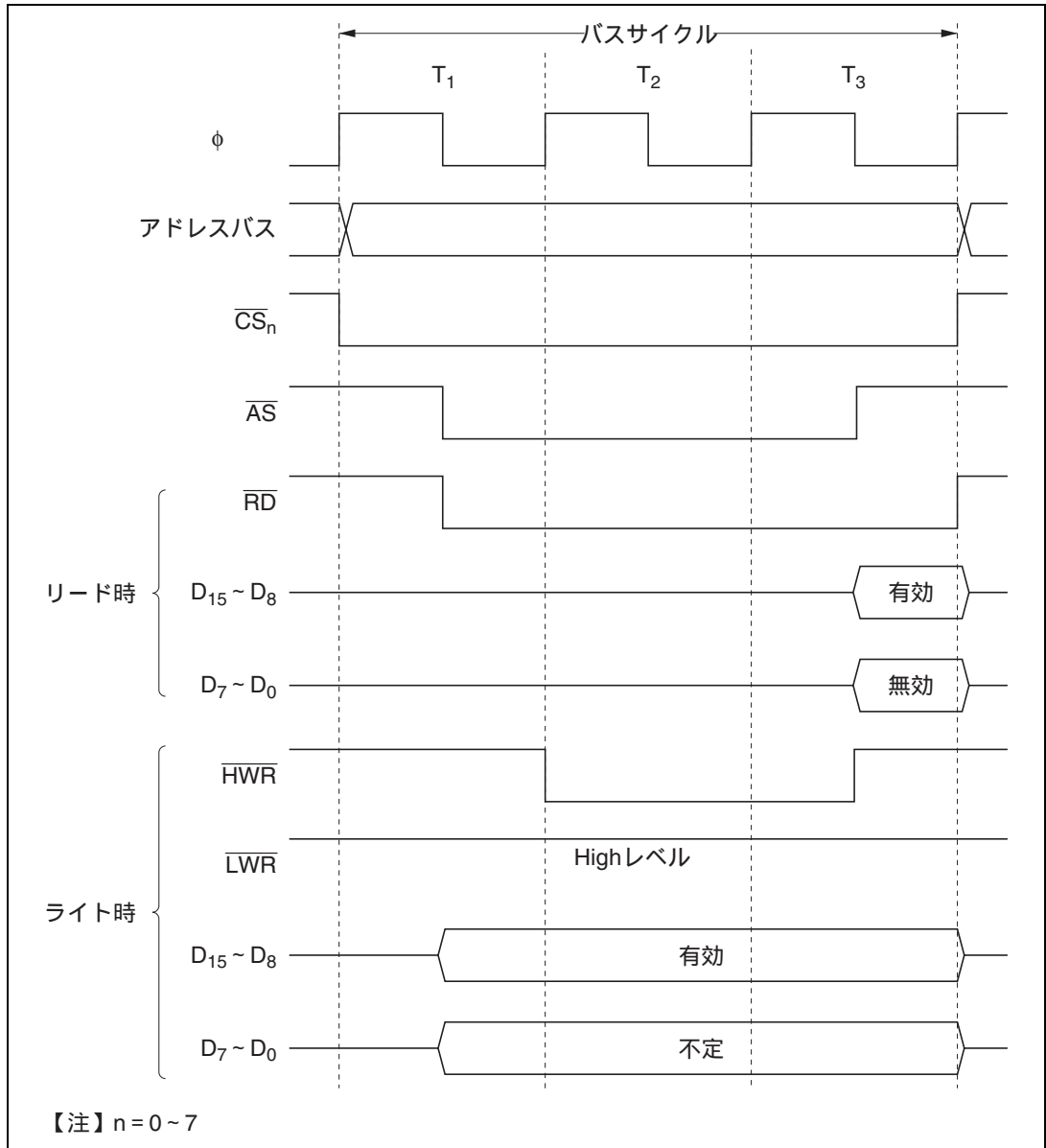


図 6.7 8 ビット 3 ステートアクセス空間のバスタイミング

## 6. バスコントローラ

### (3) 16 ビット 2 ステートアクセス空間

図 6.8～図 6.10 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 ( $D_{15} \sim D_8$ ) を使用し、奇数アドレスに対してはデータバスは下位側 ( $D_7 \sim D_0$ ) を使用します。

ウェイトステートを挿入することはできません。

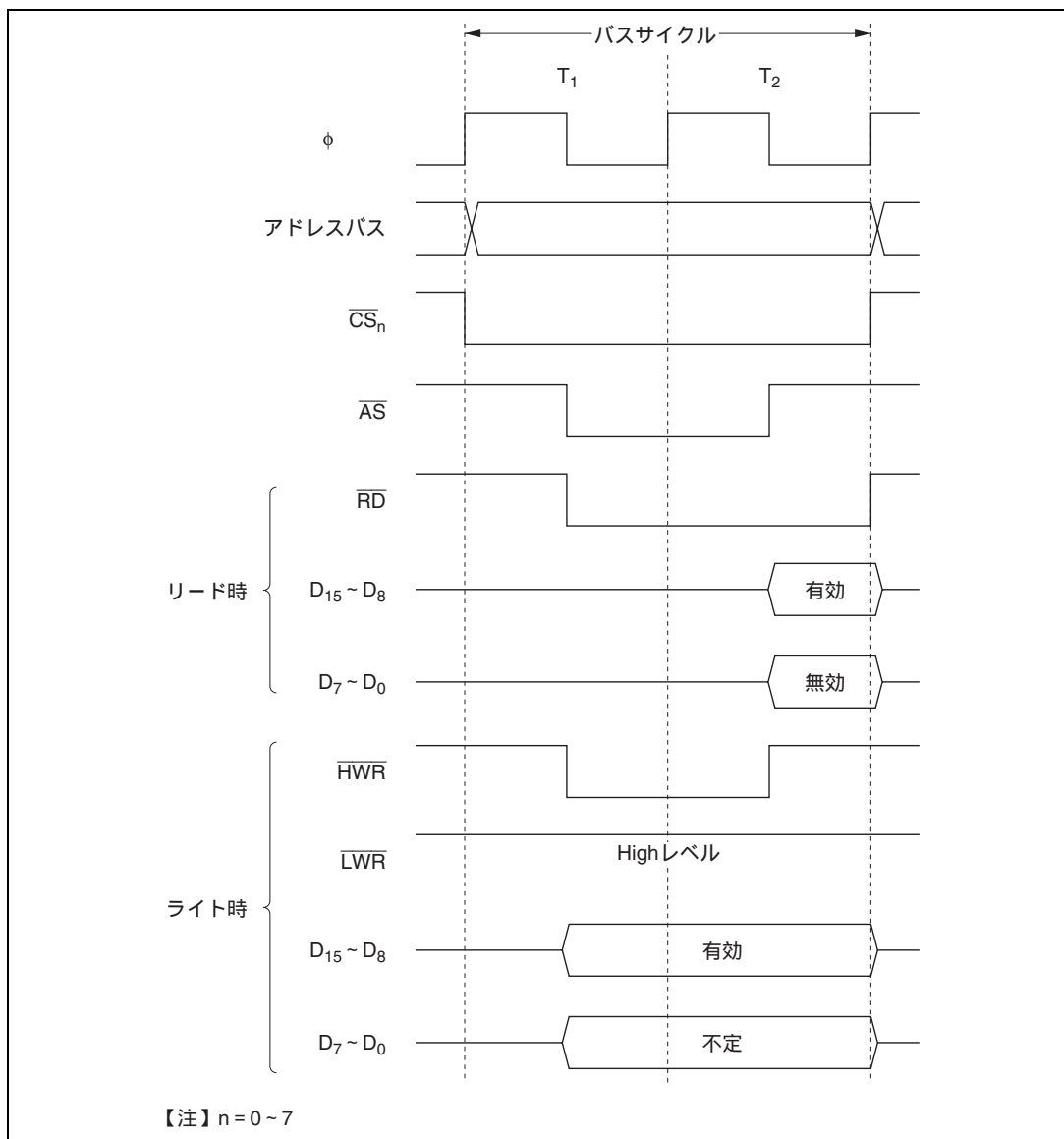


図 6.8 16 ビット 2 ステートアクセス空間のバスタイミング (1)  
(偶数アドレスバイトアクセス)

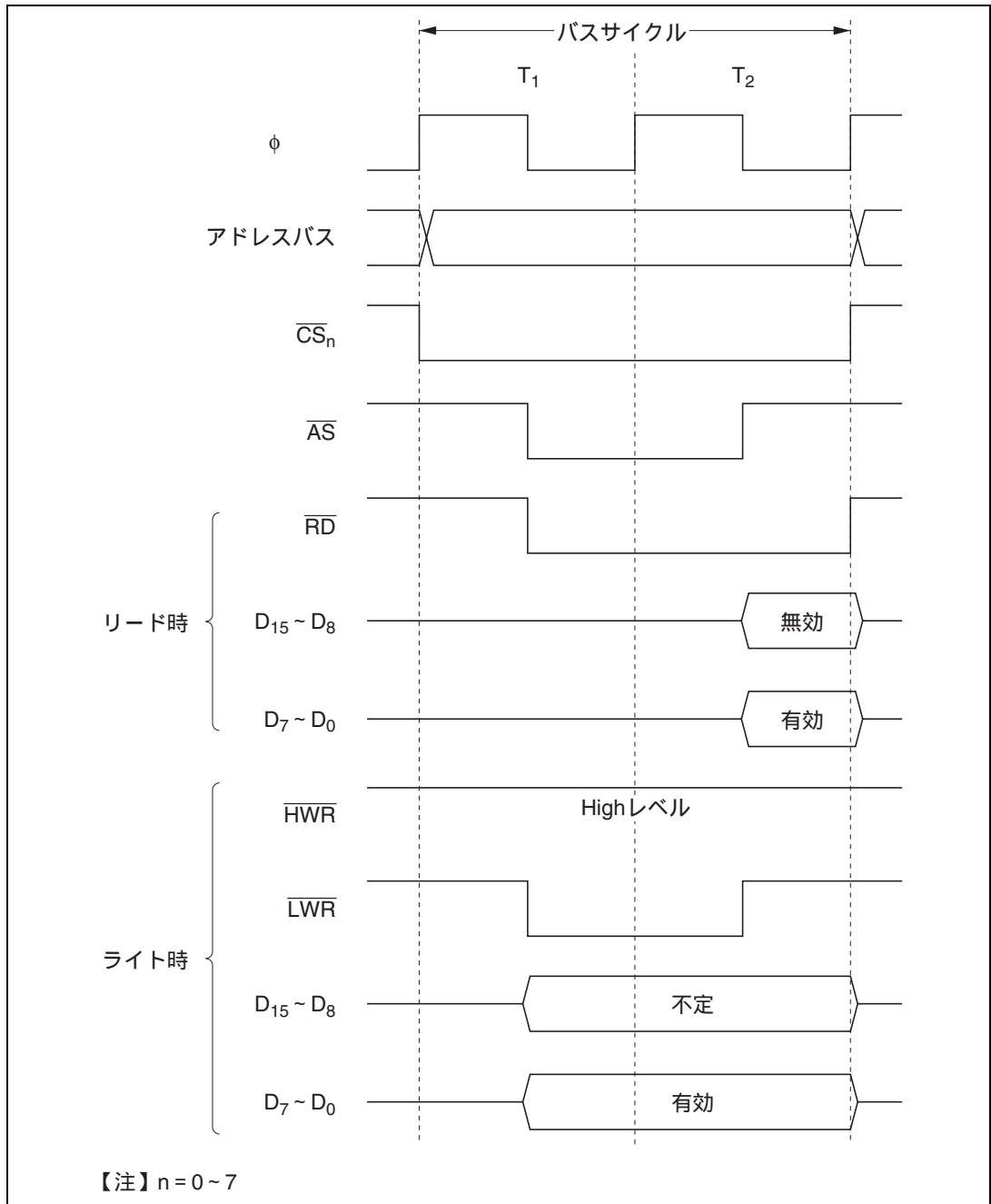


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (2)  
(奇数アドレスバイトアクセス)

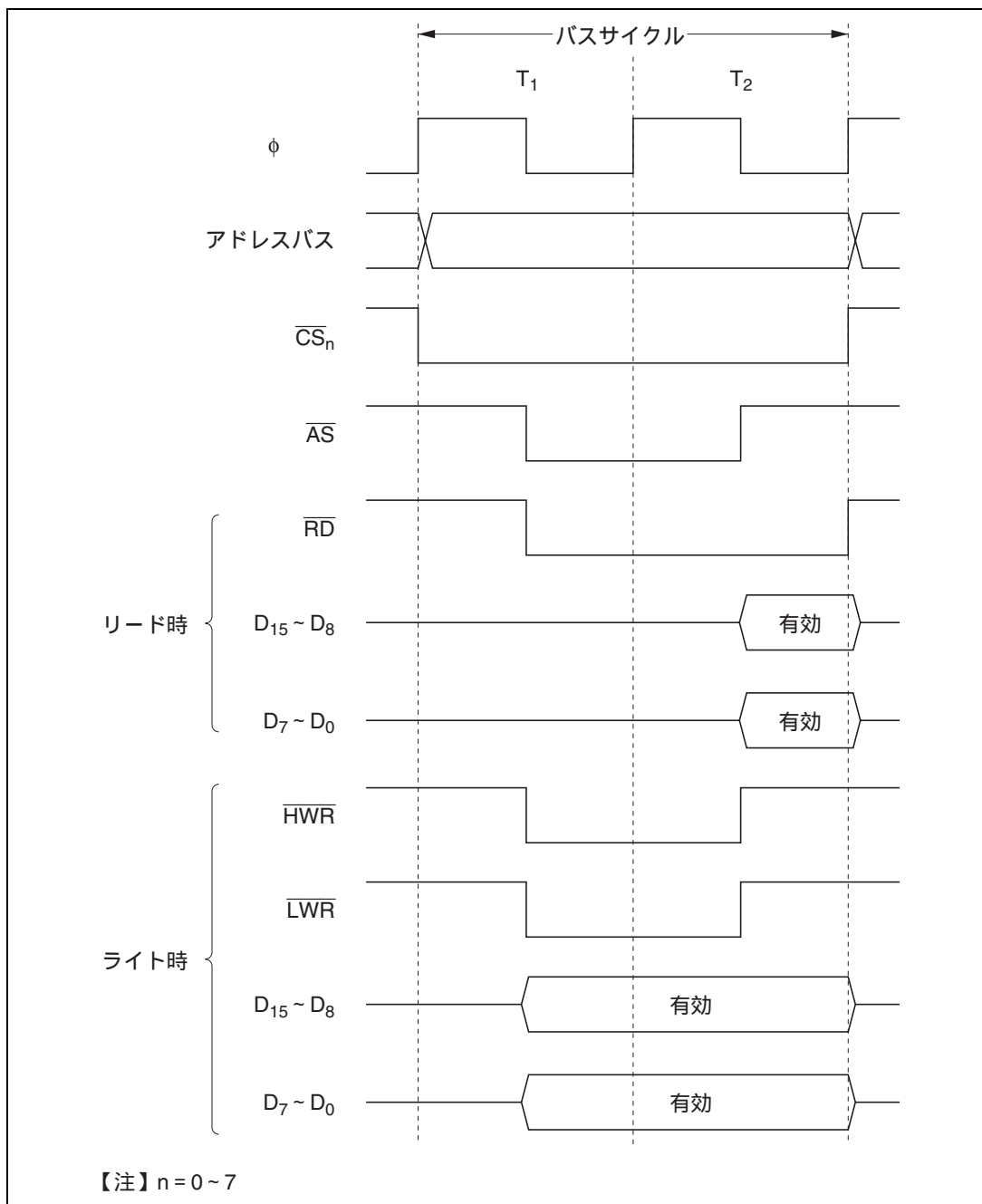


図 6.10 16ビット2ステートアクセス空間のバスタイミング(3)  
(ワードアクセス)

## (4) 16 ビット 3 ステートアクセス空間

図 6.11 ~ 図 6.13 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 ( $D_{15} \sim D_8$ ) を使用し、奇数アドレスに対してはデータバスは下位側 ( $D_7 \sim D_0$ ) を使用します。

ウェイトステートを挿入することができます。

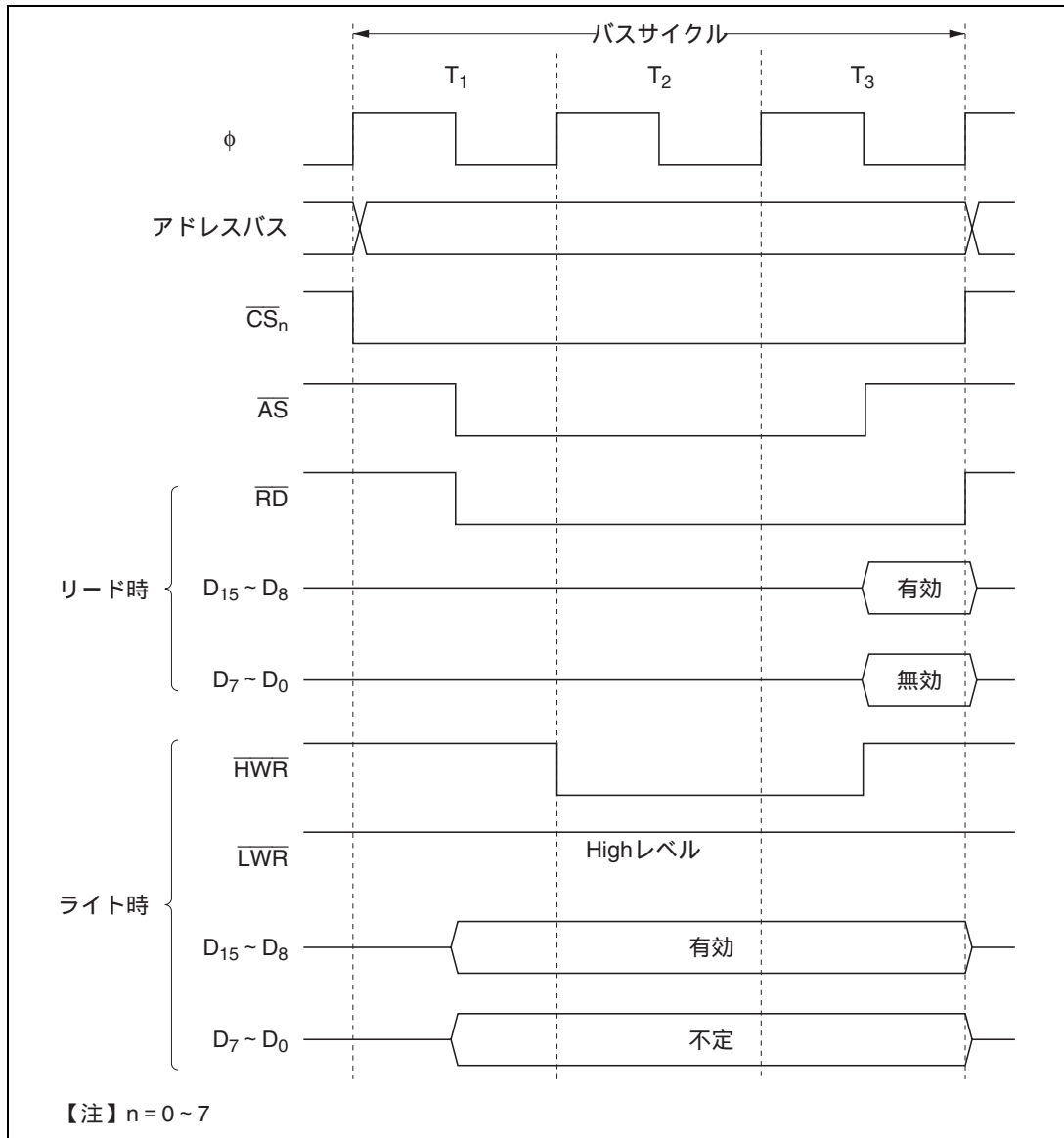


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング (1)  
(偶数アドレスバイトアクセス)

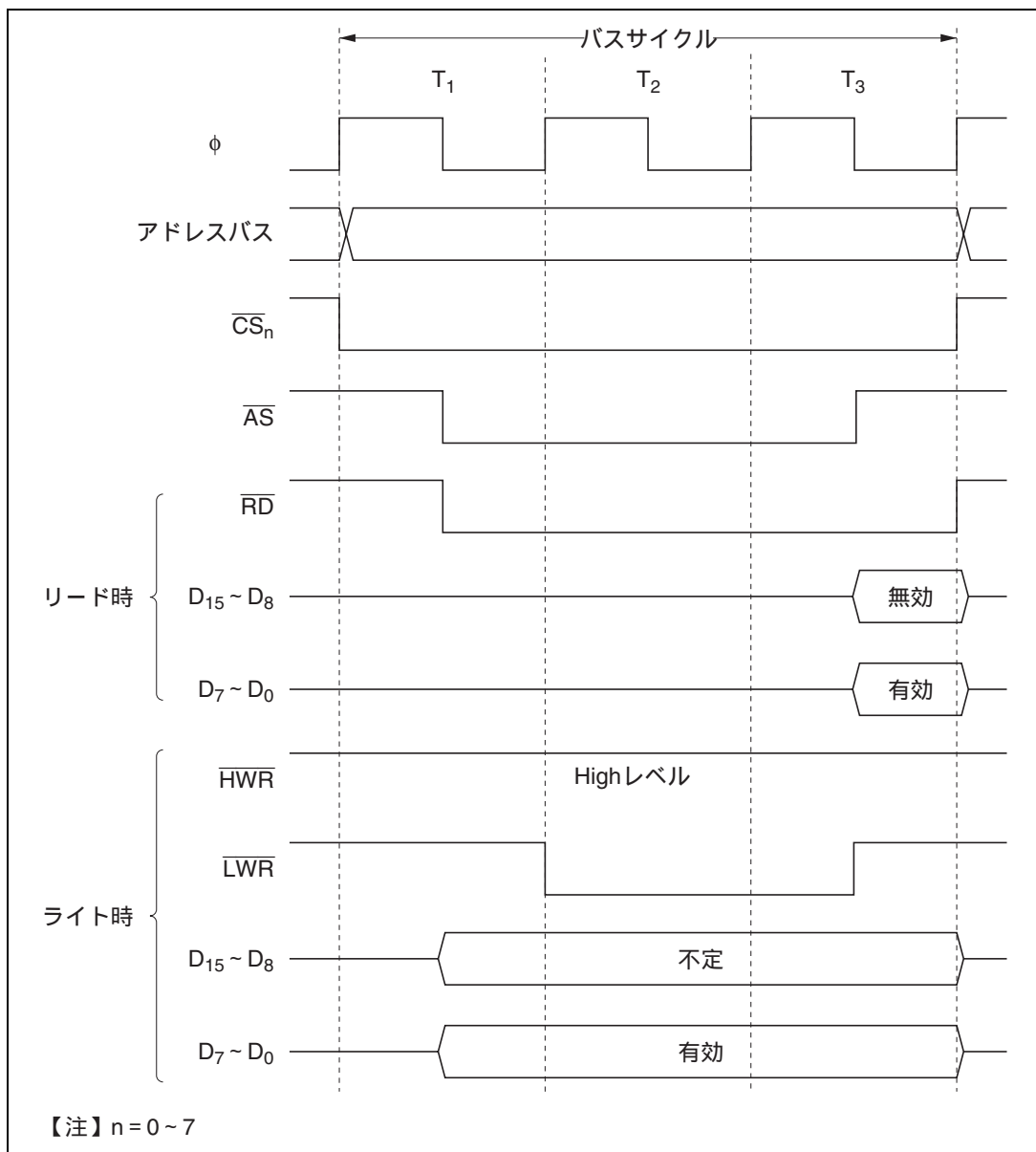


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング (2)  
(奇数アドレスバイトアクセス)



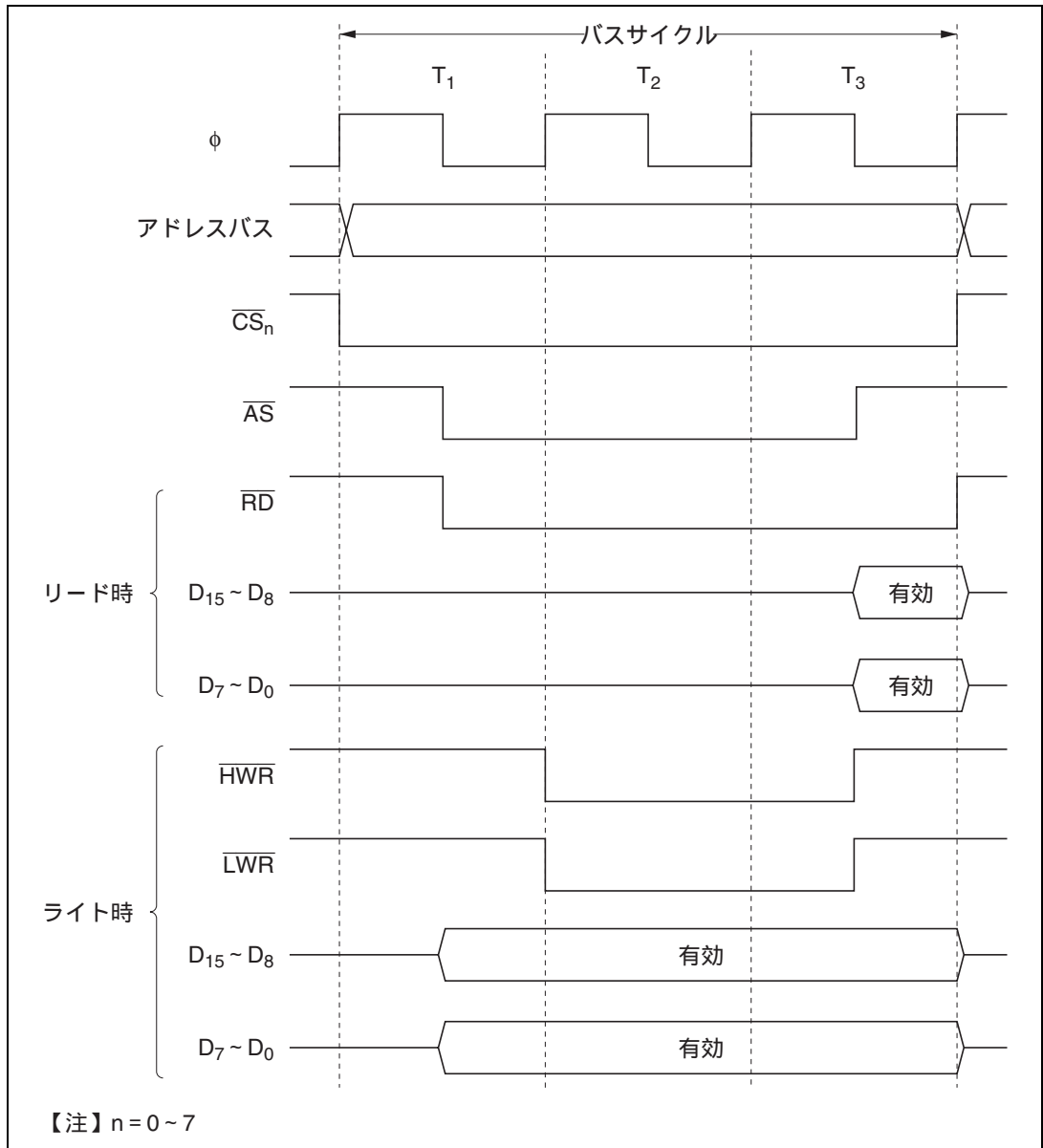


図 6.13 16 ビット 3 ステートアクセス空間のバスタイミング (3)  
(ワードアクセス)

### 6.4.5 ウェイト制御

本 LSI は、外部空間をアクセスするとき、ウェイトステート ( $T_w$ ) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法には、(1)プログラムウェイトの挿入、(2)  $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、があります。

#### (1) プログラムウェイトの挿入

BWCRH、BWCRL の設定により、3 ステートアクセス空間に対して、エリア単位で、0~3 ステートのウェイトステートを、自動的に  $T_2$  ステートと  $T_3$  ステートの間に挿入することができます。

#### (2) 端子ウェイトの挿入

BCRL の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$  端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まず、プログラムウェイトが挿入されます。 $T_2$  または  $T_w$  の最後のステートの  $\phi$  の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、更に、 $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。

4 ステート以上の  $T_w$  を挿入する場合や、外部デバイス毎に挿入する  $T_w$  数を変える場合などに有効です。

なお、WAITE ビットはすべてのエリアに対して共通です。

図 6.14 にウェイトステート挿入のタイミング例を示します。

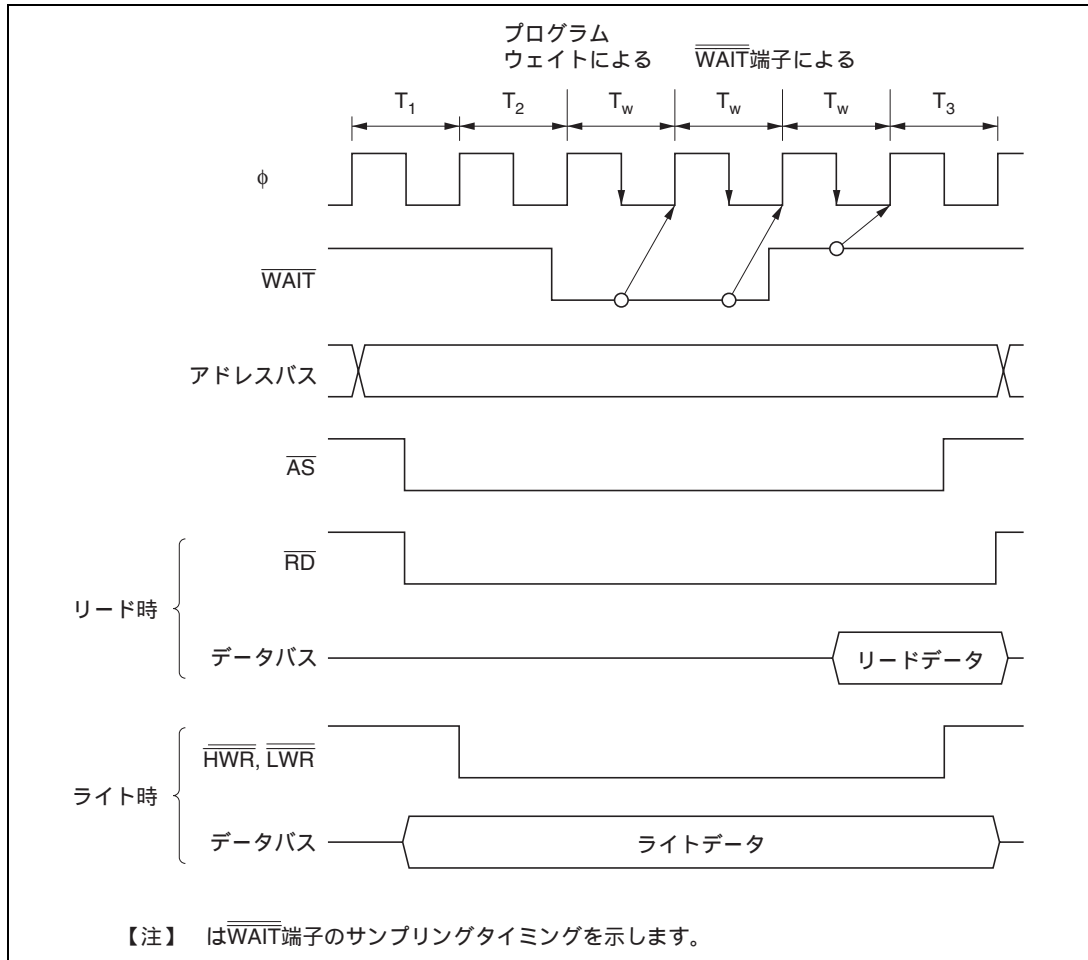


図 6.14 ウェイトステート挿入タイミング例

パワーオンリセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、 $\overline{\text{WAIT}}$  入力禁止状態となっています。マニュアルリセットのときには、バスコントローラのレジスタは保持され、ウェイト制御はリセット前の状態を継続します。

## 6.5 DRAM インタフェース

### 6.5.1 概要

本 LSI はアドバンスモードのとき、エリア 2~5 の外部空間を、DRAM 空間に設定し、DRAM インタフェースを行うことができます。DRAM インタフェースでは DRAM を本 LSI と直結することができます。BCRH の RMTS2~RMTS0 ビットにより、2/4/8M バイトまたは 128k/256k/512k バイトの DRAM 空間を設定できます。高速ページモードを利用したバースト動作を行うことができます。

### 6.5.2 DRAM 空間の設定

エリア 2~5 を DRAM 空間にするには、BCRH の RMTS2~RMTS0 ビットを設定します。RMTS2~RMTS0 ビットの設定値と DRAM 空間の関係を表 6.5 に示します。DRAM 空間は、(1) 1 エリア設定 (エリア 2)、(2) 2 エリア設定 (エリア 2、3)、(3) 4 エリア設定 (エリア 2~5) を選択することができます。

表 6.5 RMTS2~RMTS0 の設定値と DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			

### 6.5.3 アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、MCR の MXC1、MXC0 ビットによりロウアドレスのシフト量を選択します。表 6.6 に MXC1、MXC0 の設定値とシフト量の関係を示します。

表 6.6 MXC1、MXC0 とアドレスマルチプレクスの関係

	MCR		シフト量	アドレス端子															
	MXC1	MXC0		A <sub>23</sub> -A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>		
ロウアドレス	0	0	8ビット	A <sub>23</sub> -A <sub>13</sub>	A <sub>20</sub>	A <sub>19</sub>	A <sub>18</sub>	A <sub>17</sub>	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>		
		1	9ビット	A <sub>23</sub> -A <sub>13</sub>	A <sub>12</sub>	A <sub>20</sub>	A <sub>19</sub>	A <sub>18</sub>	A <sub>17</sub>	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>		
	1	0	10ビット	A <sub>23</sub> -A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>20</sub>	A <sub>19</sub>	A <sub>18</sub>	A <sub>17</sub>	A <sub>16</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>		
		1	設定禁止	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
カラムアドレス	-	-	-	A <sub>23</sub> -A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>		

### 6.5.4 データバス

DRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると、当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では、×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では  $D_{15} \sim D_8$  の上位側データバスが有効となり、16 ビット DRAM 空間では  $D_{15} \sim D_0$  の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.4.2 データサイズとデータアライメント」を参照してください。

### 6.5.5 DRAM インタフェース使用端子

表 6.7 に DRAM インタフェースで使用する端子と機能を示します。

表 6.7 DRAM インタフェース端子構成

端子	DRAM 設定時	名称	入出力	機能
$\overline{HWR}$	$\overline{WE}/\overline{UWE}$	ライトイネーブル/ アッパーライトイネーブル	出力	CAS2 本方式設定時は DRAM 空間アクセス時のライトイネーブル。 WE2 本方式設定時は DRAM 空間アクセス時のアッパーライトイネーブル。
$\overline{LWR}$	$\overline{LCAS}/\overline{LWE}$	ローアークラムアドレス ストロープ/ ローアークラムライトイネーブル	出力	CAS2 本方式 (LCASS = 1 のとき) 設定時は DRAM 空間アクセス時のローアークラムアドレスストロープ。 WE2 本方式設定時は DRAM 空間アクセス時のローアークラムライトイネーブル。
$\overline{LCAS}$	$\overline{LCAS}$	ローアークラムアドレス ストロープ	出力	2CAS 方式 (LCASS = 0 のとき) DRAM 空間アクセス時のローアークラムアドレスストロープ信号
$\overline{CS}_2$	$\overline{RAS}_2$	ロウアドレスストロープ 2	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストロープ
$\overline{CS}_3$	$\overline{RAS}_3$	ロウアドレスストロープ 3	出力	エリア 3 を DRAM 空間に設定したときのロウアドレスストロープ
$\overline{CS}_4$	$\overline{RAS}_4$	ロウアドレスストロープ 4	出力	エリア 4 を DRAM 空間に設定したときのロウアドレスストロープ
$\overline{CS}_5$	$\overline{RAS}_5$	ロウアドレスストロープ 5	出力	エリア 5 を DRAM 空間に設定したときのロウアドレスストロープ
$\overline{CAS}$	$\overline{CAS}/\overline{UCAS}$	カラムアドレスストロープ/ アッパーカラムアドレス ストロープ	出力	WE2 本方式設定時はカラムアドレスストロープ。 CAS2 方式設定時はアッパーカラムアドレスストロープ。
$\overline{WAIT}$	$\overline{WAIT}$	ウェイト	入力	ウェイト要求信号
$A_{12} \sim A_0$	$A_{12} \sim A_0$	アドレス端子	出力	ロウアドレス / カラムアドレスのマルチプレクス出力
$D_{15} \sim D_0$	$D_{15} \sim D_0$	データ端子	入出力	データ入出力端子

## 6.5.6 基本タイミング

DRAM 空間の基本アクセスタイミングを図 6.15 に示します。DRAM の基本タイミングは 4 ステートです。基本バスインタフェースとは異なり、ASTCR の対応するビットはウェイトの挿入の許可または禁止のみを制御し、アクセスステート数に影響は与えません。ASTCR の当該ビットを 0 にクリアしてある場合、DRAM アクセスサイクルにウェイトステートの挿入を行うことができません。

基本タイミング 4 ステートは  $T_p$  (プリチャージサイクル) 1 ステート、 $T_r$  (ロウアドレス出力サイクル) 1 ステート、 $T_{c1}$ 、 $T_{c2}$  (カラムアドレス出力サイクル) 2 ステートで構成されています。

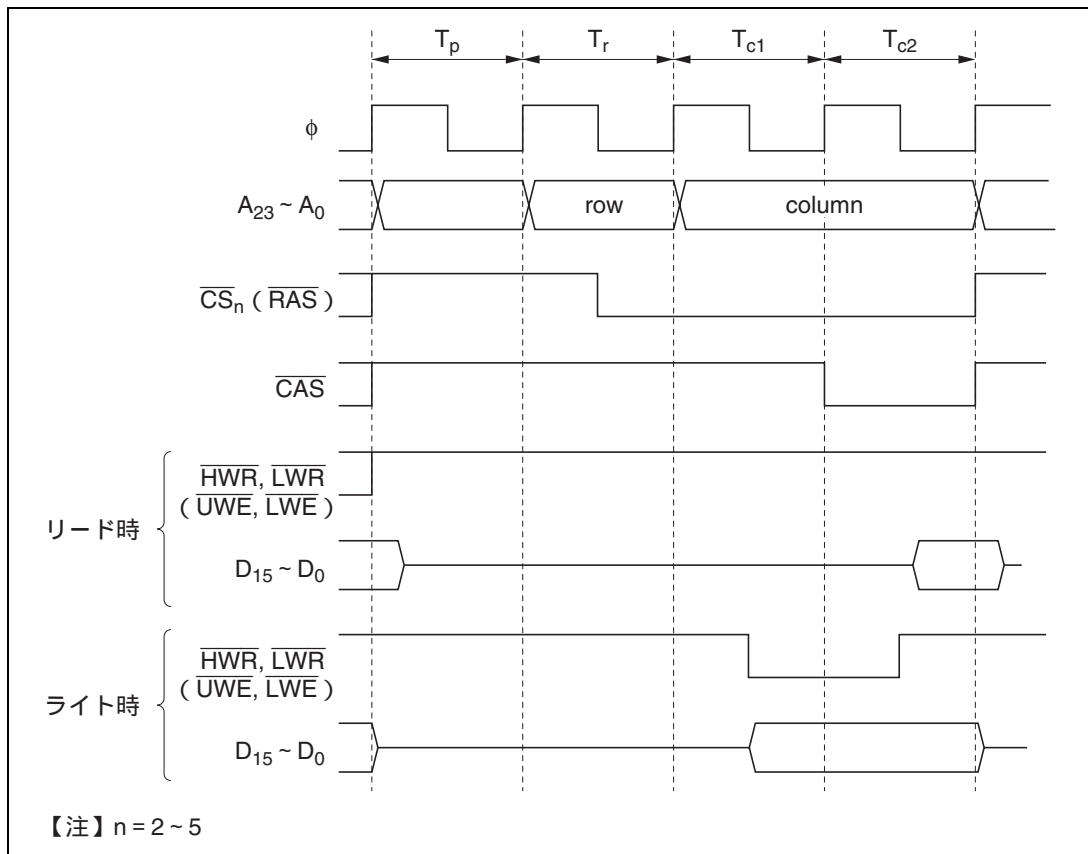


図 6.15 基本アクセスタイミング (WE2 本方式の場合)

### 6.5.7 プリチャージステート制御

DRAM をアクセスするときには、RAS プリチャージ時間を確保する必要があります。このため、本 LSI では、DRAM 空間をアクセスするとき、 $T_p$  を必ず 1 ステート挿入します。さらに、MCR の TPC ビットを 1 にセットすることにより、 $T_p$  を 1 ステートから 2 ステートへ変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な  $T_p$  サイクル数を設定してください。図 6.16 に  $T_p$  を 2 ステートとしたときのタイミングを示します。

TPC ビットを 1 にセットすると、リフレッシュサイクルの  $T_p$  も 2 ステートとなります。

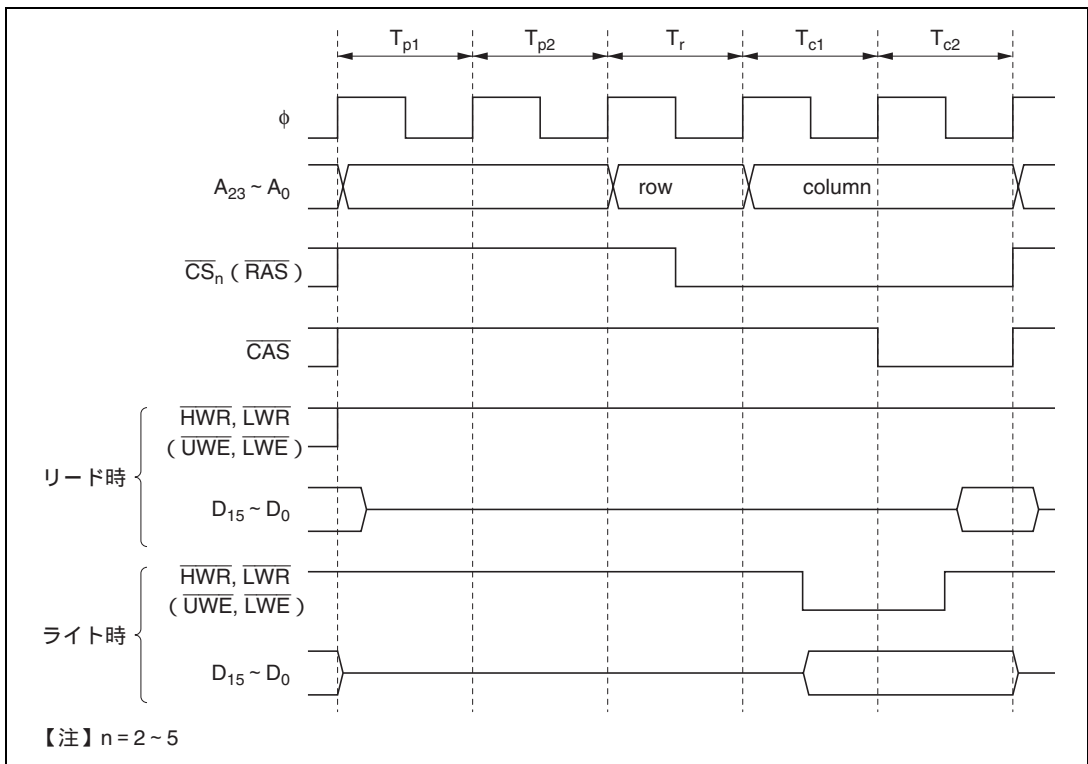


図 6.16 プリチャージサイクル 2 ステート時のタイミング  
(WE2 本方式の場合)

### 6.5.8 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2)  $\overline{WAIT}$  端子による端子ウェイトの挿入、の 2 種類があります。

#### (1) プログラムウェイトの挿入

DRAM 空間に設定されたエリアに対応する ASTCR のビットが 1 にセットされているとき、WCRH、WCRL の設定により、0~3 ステートのウェイトステートを、自動的に  $T_{c1}$  ステートと  $T_{c2}$  ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCRHのWAITEビットが1にセットされていると、ASTCRのASTビットにかかわらず $\overline{\text{WAIT}}$ 端子によるウェイト入力があります。この状態で、DRAM空間をアクセスすると、まず、プログラムウェイトが挿入されます。 $T_{c1}$ または $T_w$ の最後のステートの $\phi$ の立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子がLowレベルであると、更に $T_w$ が挿入されます。 $\overline{\text{WAIT}}$ 端子がLowレベルに保持されると、 $\overline{\text{WAIT}}$ 端子がHighレベルになるまで $T_w$ が挿入されます。

図6.17にウェイト状態挿入のタイミング例を示します。

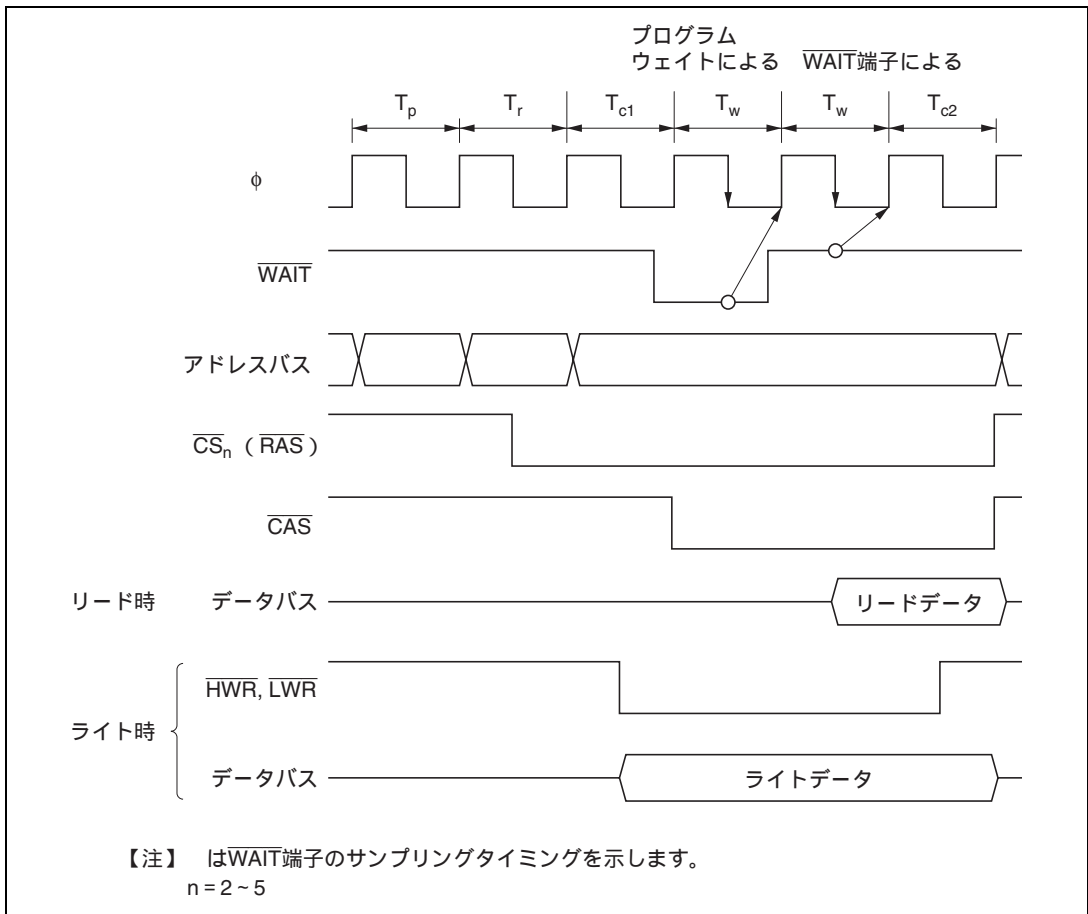


図 6.17 ウェイト状態挿入タイミング例



### 6.5.9 バイトアクセス制御

×16ビット構成のDRAMを接続するとき、バイトアクセスに必要な制御信号はDRAMの種類によって異なります。MCRのCW2ビットの設定により、(1)CAS2本方式、(2)WE2本方式、を選択することができます。

#### (1) CAS2 本方式

MCRのCW2ビットを0にクリアすると、CAS2本方式が選択されます。CAS2本方式では、 $\overline{UCAS}$ 、 $\overline{LCAS}$ 、 $\overline{WE}$ が出力されます。LCASSビットによって、 $\overline{LCAS}$ 信号としてLWR端子を用いるかLCAS端子を用いるかを選択します。

##### (a) LCASS = 0 のとき

図6.18 (a)にCAS2本方式(LCASS = 0のとき)の制御タイミングを示します。また、図6.19 (a)にCAS2本方式(LCASS = 0のとき)の接続例を示します。

##### (b) LCASS = 1 のとき

図6.18 (b)にCAS2本方式(LCASS = 1のとき)の制御タイミングを示します。また、図6.19 (b)にCAS2本方式(LCASS = 1のとき)の接続例を示します。

この場合、LWR端子をLCAS信号として使用するため、RASダウンモードは使用できません。

ICIS1、ICIS0ビットにかかわらず、DRAM空間のアクセスに続いてDRAM空間以外の空間をアクセスした場合、DRAM空間アクセス後、アイドルサイクル(TDI)が挿入されます。CBRリフレッシュ期間中には、その空間のアクセスは行わず、アイドルサイクル(TRI)を挿入した後、その他の空間のアクセスを行います。

#### (2) WE2 本方式

MCRのCW2ビットを1にセットすると、WE2本方式が選択されます。WE2本方式では $\overline{CAS}$ 、 $\overline{UWE}$ 、 $\overline{LWE}$ が出力されます。図6.20にWE2本方式の制御タイミングを示します。また図6.21にWE2本方式の接続例を示します。

## 6. バスコントローラ

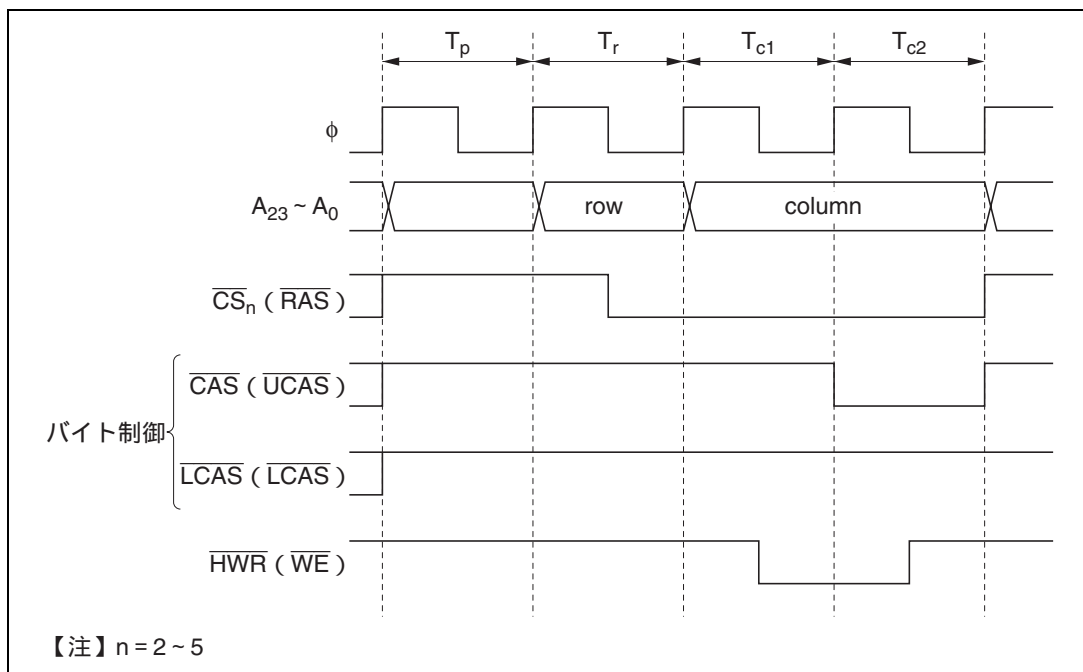


図 6.18 (a) CAS2 本方式 (LCASS = 0) の制御タイミング (上位バイトライトアクセス時)

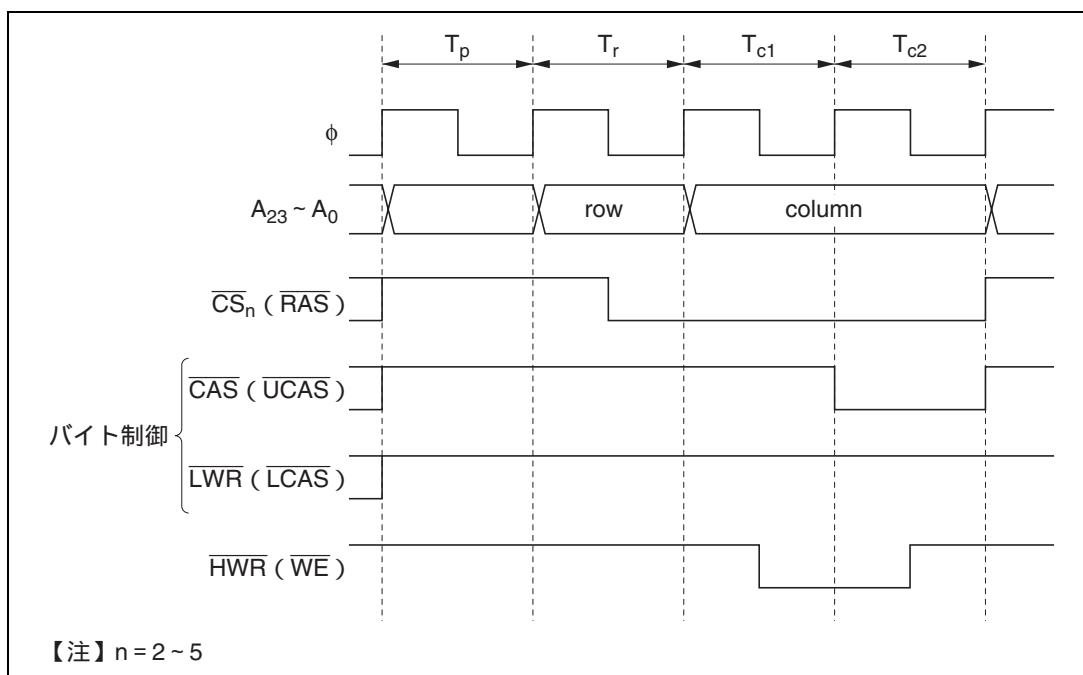


図 6.18 (b) CAS2 本方式 (LCASS = 1) の制御タイミング (上位バイトライトアクセス時)

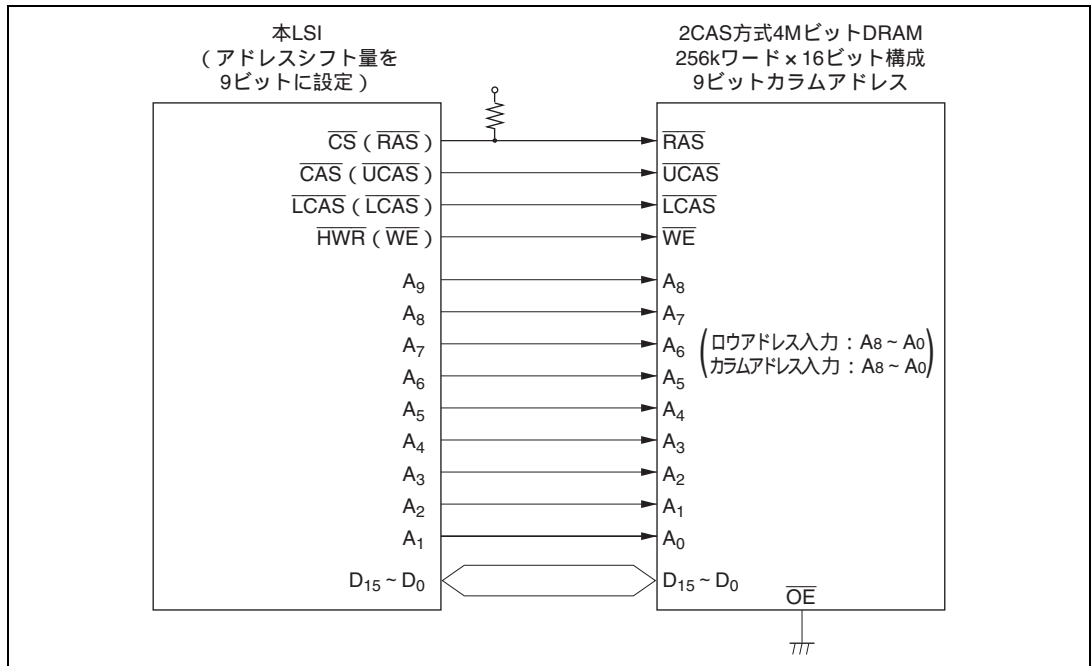


図 6.19 (a) CAS2 本方式 (LCASS = 0) の接続例

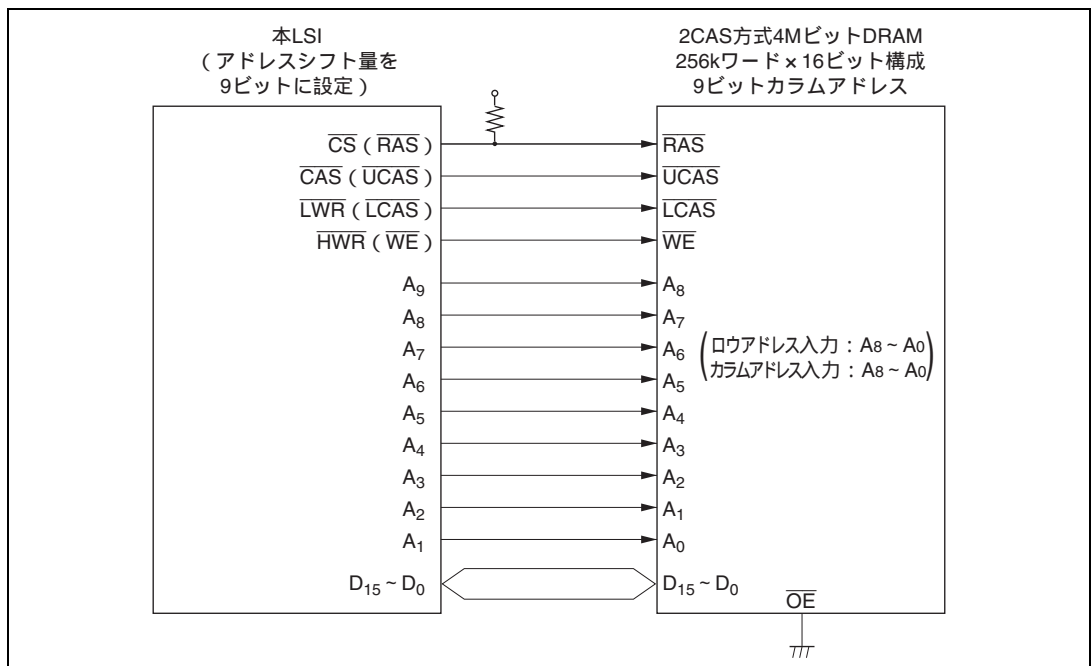


図 6.19 (b) CAS2 本方式 (LCASS = 1) の接続例

## 6. バスコントローラ

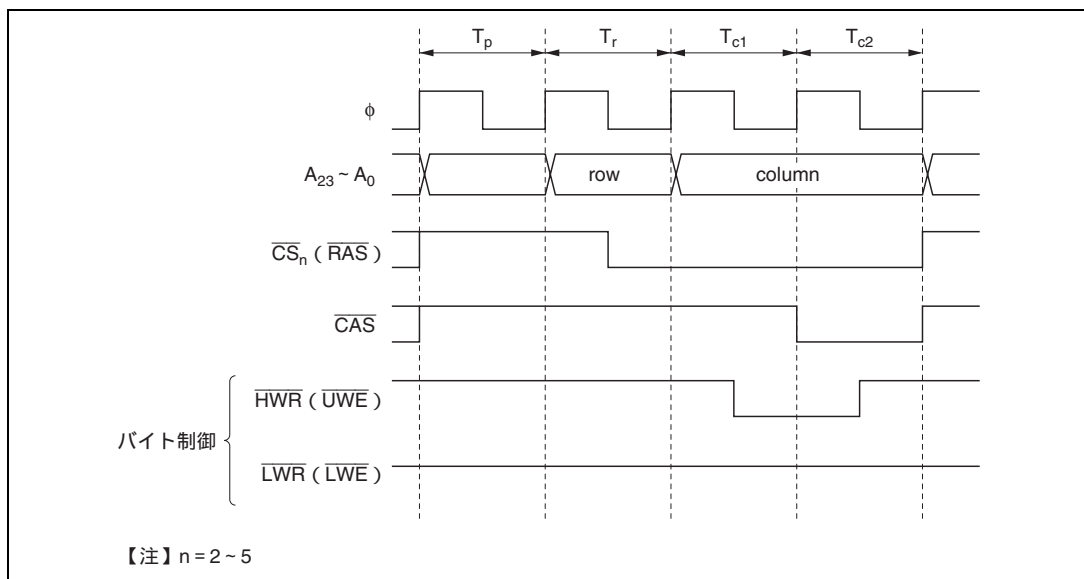


図 6.20 WE2 本方式の制御タイミング (上位バイトアクセス時)

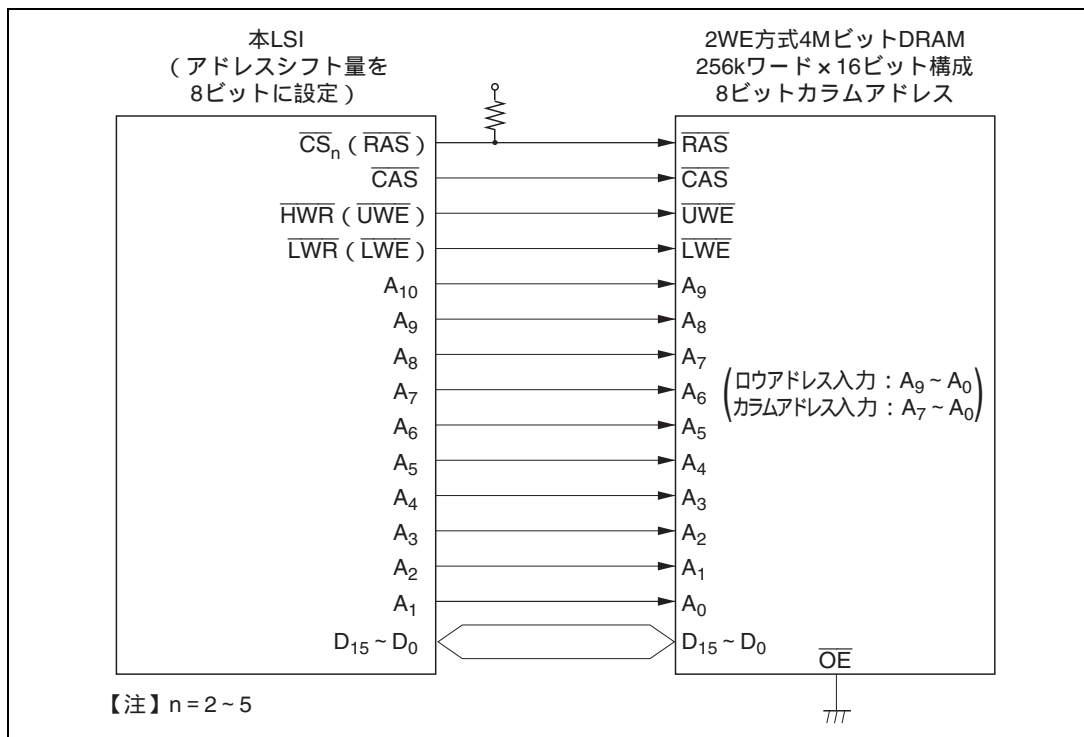


図 6.21 WE2 本方式の接続例

### 6.5.10 バースト動作

DRAMには、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。MCRのBEビットを1にセットすることにより、バーストアクセスを選択することができます。

#### (1) バーストアクセス（高速ページモード）の動作タイミング

図6.22にバーストアクセスの動作タイミングを示します。DRAM空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、 $\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクル（2ステート）が連続して行われます。比較対象となるロウアドレスはMCRのMXC1、MXC0ビットにより設定します。

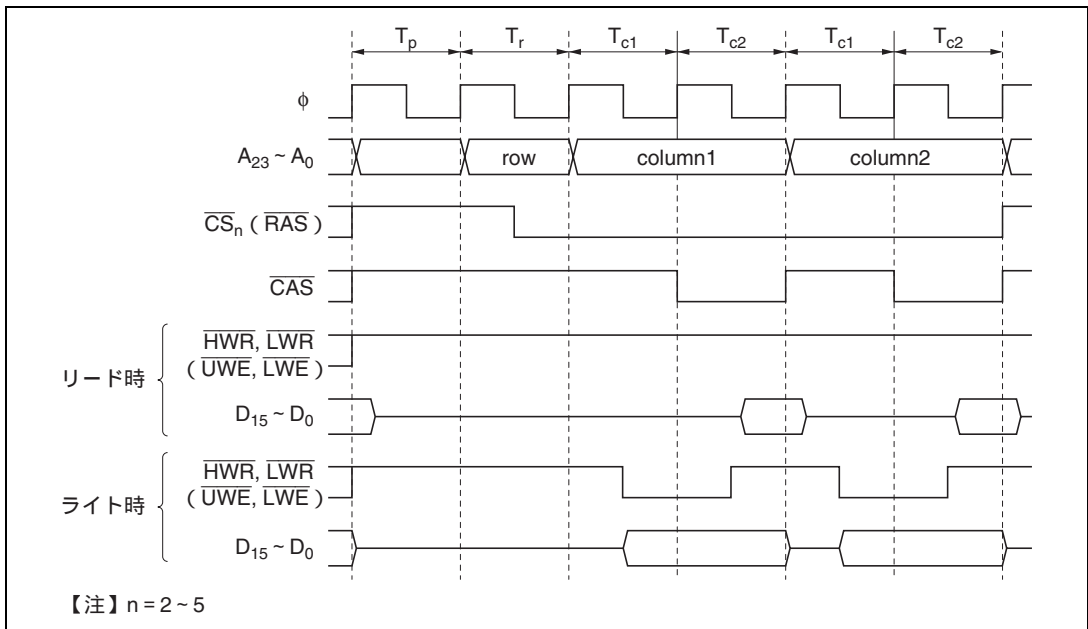


図 6.22 高速ページモードの動作タイミング  
(WE2 本方式の場合)

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き伸ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「6.5.8 ウェイト制御」を参照してください。

## 6. バスコントローラ

### (2) RAS ダウンモードと RAS アップモード

バースト動作を選択していても、DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も  $\overline{\text{RAS}}$  信号を Low レベルに保持しておく、次に DRAM 空間の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。

CAS2 本方式 (LCASS = 1 のとき) は、RAS ダウンモードを使用することができません。

#### (a) RAS ダウンモード

RAS ダウンモードを選択するときは、MCR の RCDM ビットを 1 にセットしてください。

DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$  信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致した場合、バーストアクセスが行われます。図 6.23 に RAS ダウンモードのタイミング例を示します。

ただし、リフレッシュ動作が RAS ダウン中に入る場合、 $\overline{\text{RAS}}$  信号は High レベルになります。

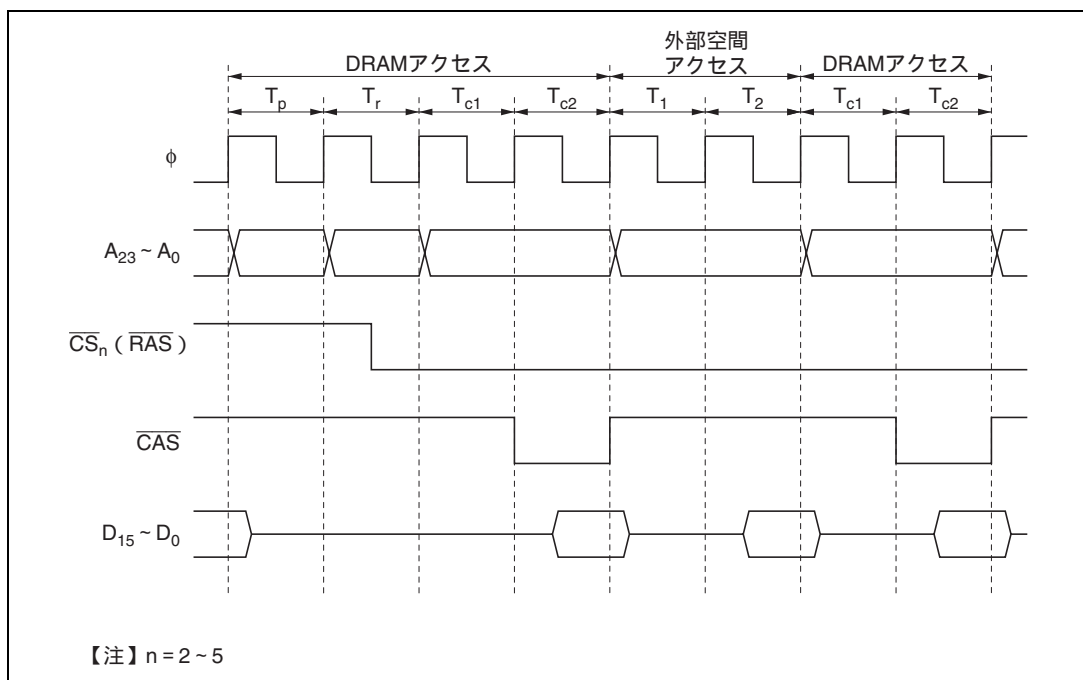


図 6.23 RAS ダウンモードの動作タイミング例

## (b) RAS アップモード

RASアップモードを選択するときは、MCRのRCDMビットを0にクリアしてください。  
 DRAM空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$ 信号をHighレベルに戻します。DRAM空間が連続している場合だけ、バースト動作が行われます。図6.24にRASアップモードのタイミング例を示します。  
 なお、バーストROM空間アクセスでは、 $\overline{\text{RAS}}$ 信号をHighに戻しません。

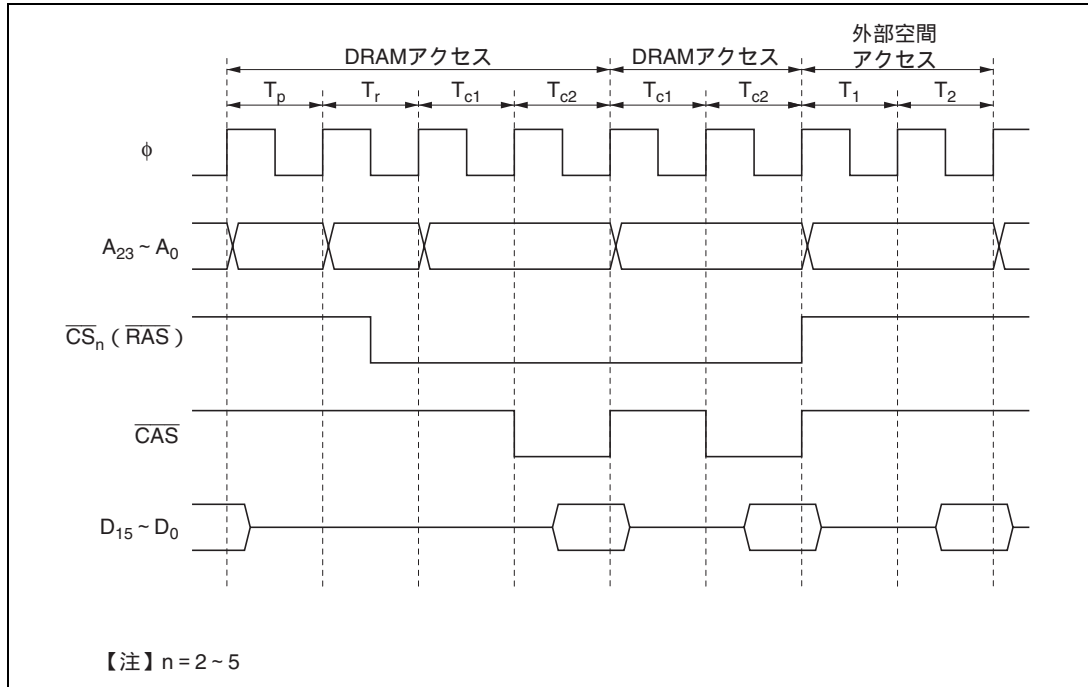


図 6.24 RAS アップモードの動作タイミング例

## 6.5.11 CAS2 本方式選択時の注意事項

CAS2 本方式 (LCASS = 1 のとき) 選択時、DRAM 空間のアクセスに続いて DRAM 空間以外の通常空間をアクセスした場合、DRAM 空間アクセス後、アイドルサイクル( $T_{DI}$ )が挿入されます。DRAM 空間アクセス後に内蔵メモリアクセスまたは DRAM 空間アクセスが続く場合にはアイドルサイクルは挿入されません。

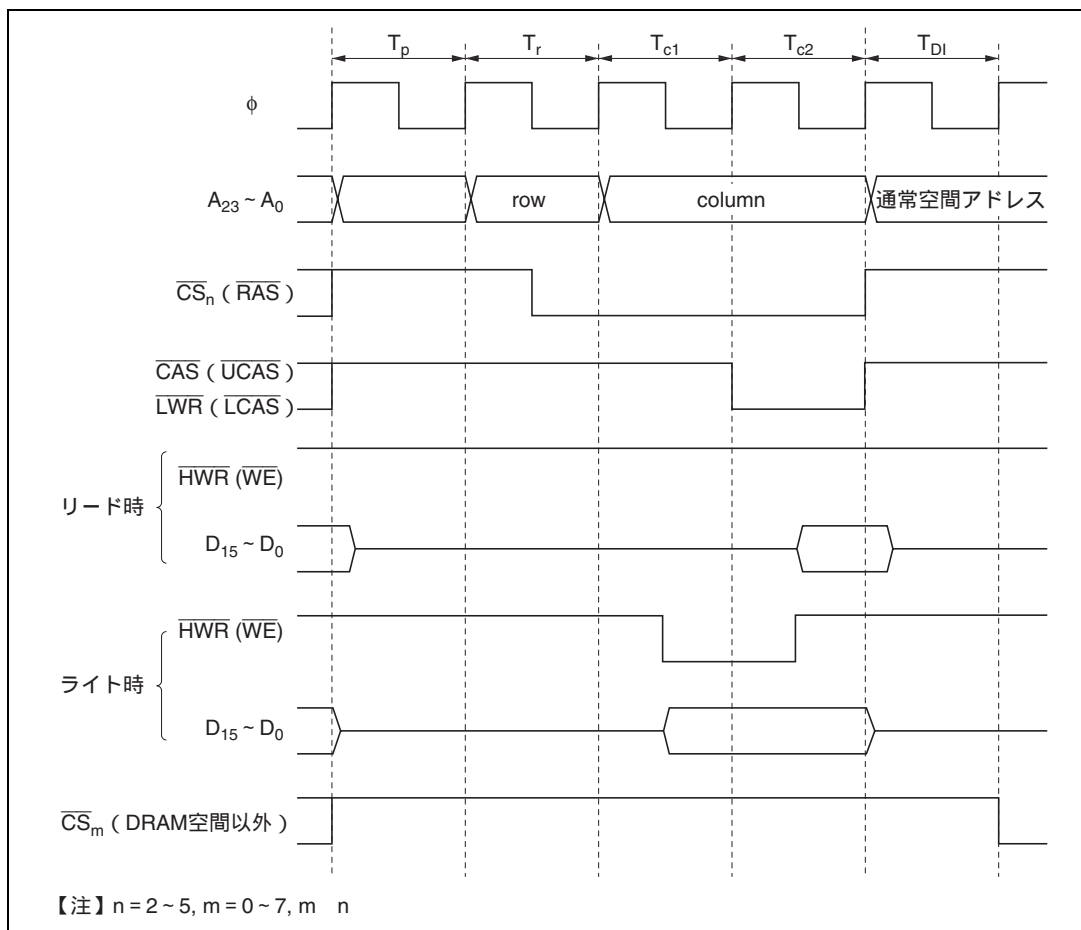


図 6.25 CAS2 本方式 (LCASS = 1) のアイドルサイクル挿入



### 6.5.12 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、(1) CAS ビフォ RAS (CBR) リフレッシュ、(2) セルフリフレッシュ、の 2 種類から選択できます。

#### (1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、DRAMCR の RFSHE ビットを 1 にセットし、RMODE ビットを 0 にクリアしてください。

CBR リフレッシュでは、DRAMCR の CKS2 ~ CKS0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と CKS2 ~ CKS0 ビットで決まる一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。

CKS2 ~ CKS0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、CKS2 ~ CKS0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。

リフレッシュ制御を行っている (RFSHE = 1) 場合、CMF フラグはクリアしないでください。

図 6.26 に RTCNT の動作を、図 6.27 にコンペアマッチのタイミングを、図 6.28、図 6.29 に WE2 本方式および CAS2 本方式の CBR リフレッシュのタイミングをそれぞれ示します。

また、WE2 本方式または CAS2 本方式 (LCASS = 0) のリフレッシュ期間中には、その他の通常空間のアクセスを行います。CAS2 本方式 (LCASS = 1) のリフレッシュ期間中には、その他の通常空間のアクセスは行わず、リフレッシュ終了後、アイドルサイクル ( $T_{RI}$ ) を挿入した後、通常空間のアクセスを行います。内蔵メモリアクセスや DRAM 空間アクセスが続く場合には、アイドルサイクル ( $T_{RI}$ ) は挿入されません。

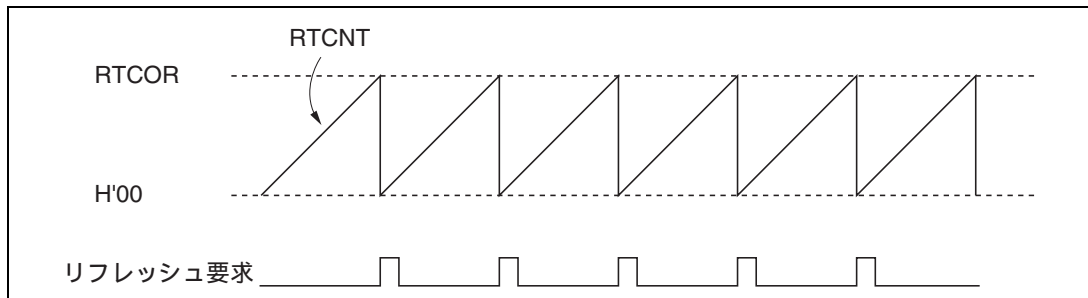


図 6.26 RTCNT の動作

## 6. バスコントローラ

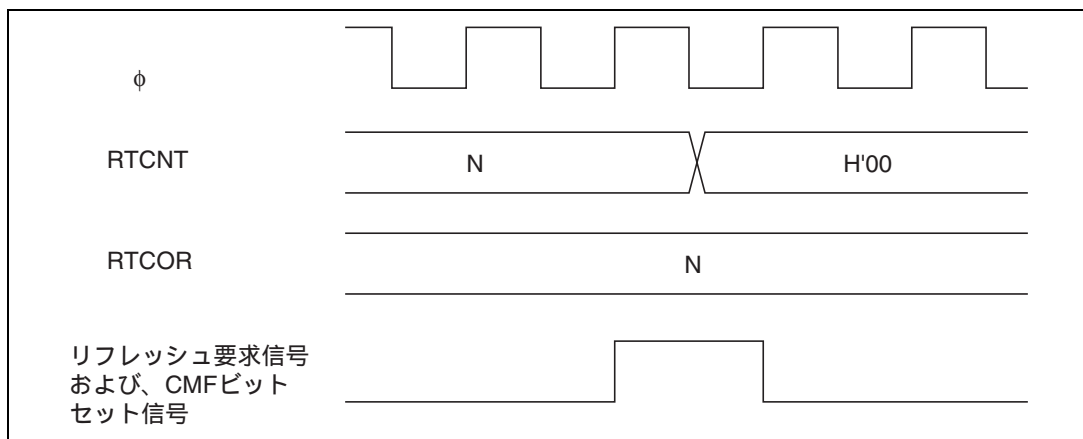


図 6.27 コンペアマッチのタイミング

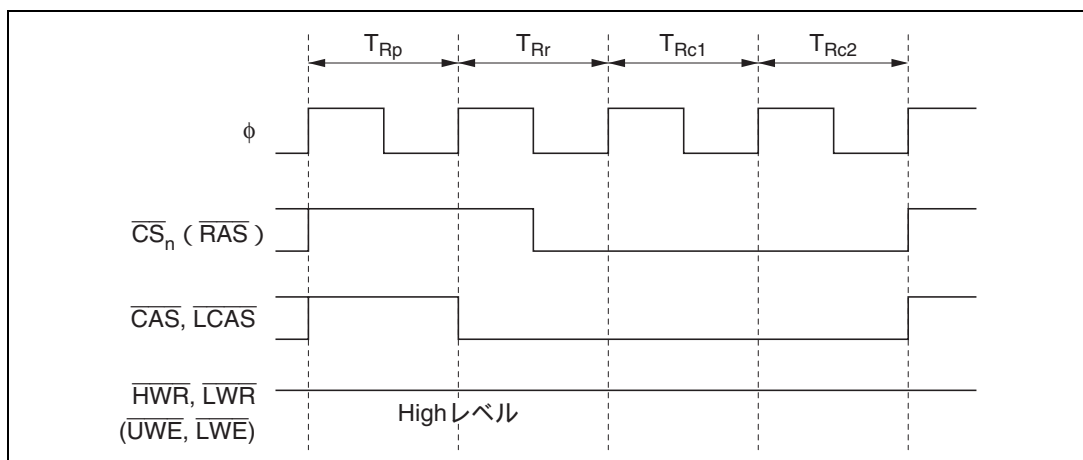


図 6.28 WE2 本方式または CAS2 本方式 (LCASS = 0) の CBR リフレッシュタイミング  
(RCW = 0、CW2 = 1 の場合、または RCW = 0、CW2 = 0、LCASS = 0 の場合)

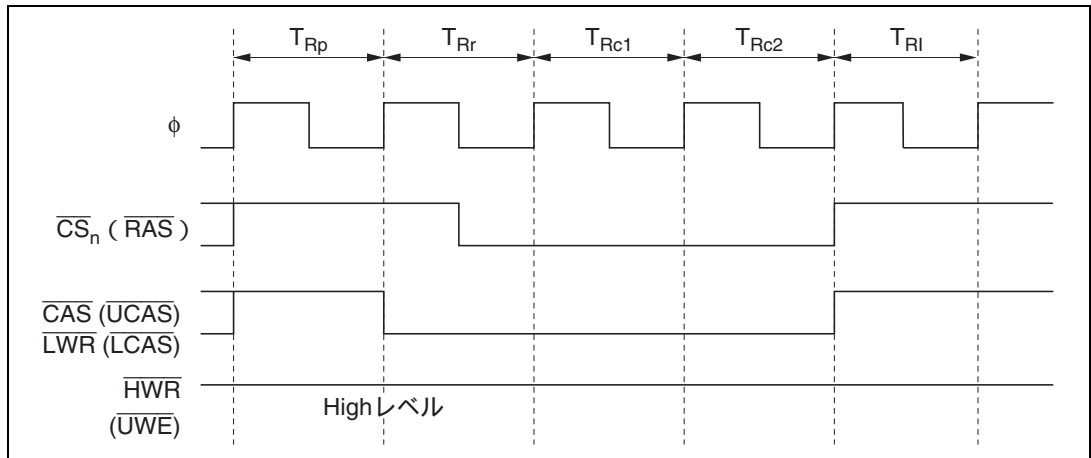


図 6.29 CAS2 本方式 (LCASS=1) の CBR リフレッシュタイミング  
(RCW=0、CW2=0、LCASS=1 の場合)

また、RCW ビットを 1 に設定した場合、 $\overline{RAS}$  信号が 1 サイクル遅れて出力されます。 $\overline{RAS}$  信号幅は、RLW1、RLW0 ビットで調整してください。RLW1、RLW0 ビットは、リフレッシュの時のみ有効になります。

図 6.30 に RCW ビットを 1 に設定したときのタイミングを示します。

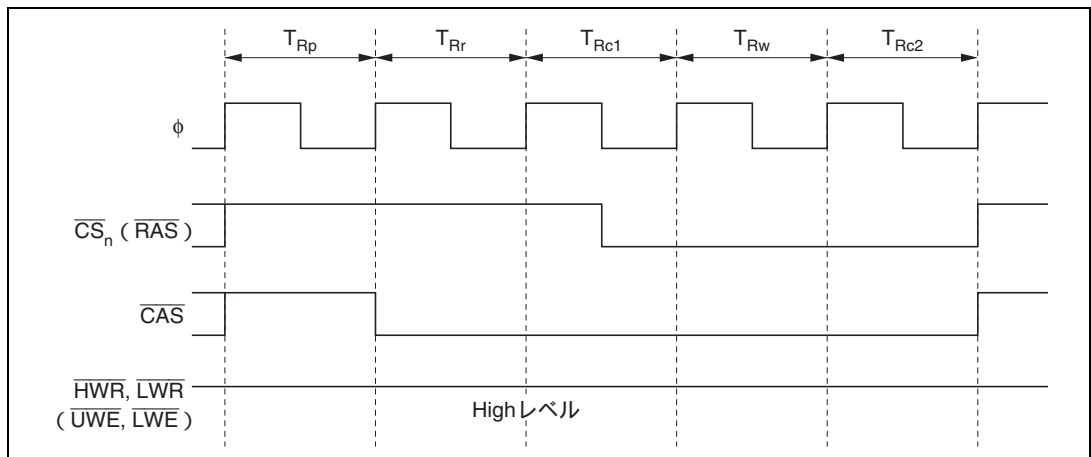


図 6.30 CBR リフレッシュタイミング  
(RCW=1、RLW1=0、RLW0=1、CW2=1 の場合)

## 6. バスコントローラ

### (2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード（バッテリーバックアップモード）を備えているものがあります。

セルフリフレッシュを選択するためには、DRAMCR の RFSHE ビットと RMODE ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 6.31 (a)、(b) に示すように、 $\overline{\text{CAS}}$  信号と  $\overline{\text{RAS}}$  信号が出力され DRAM はセルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードを解除すると、RMODE ビットを 0 にクリアし、セルフリフレッシュモードを解除します。

ソフトウェアスタンバイモードに遷移する場合、CBR リフレッシュ要求があると、CBR リフレッシュを実行した後、セルフリフレッシュモードに入ります。

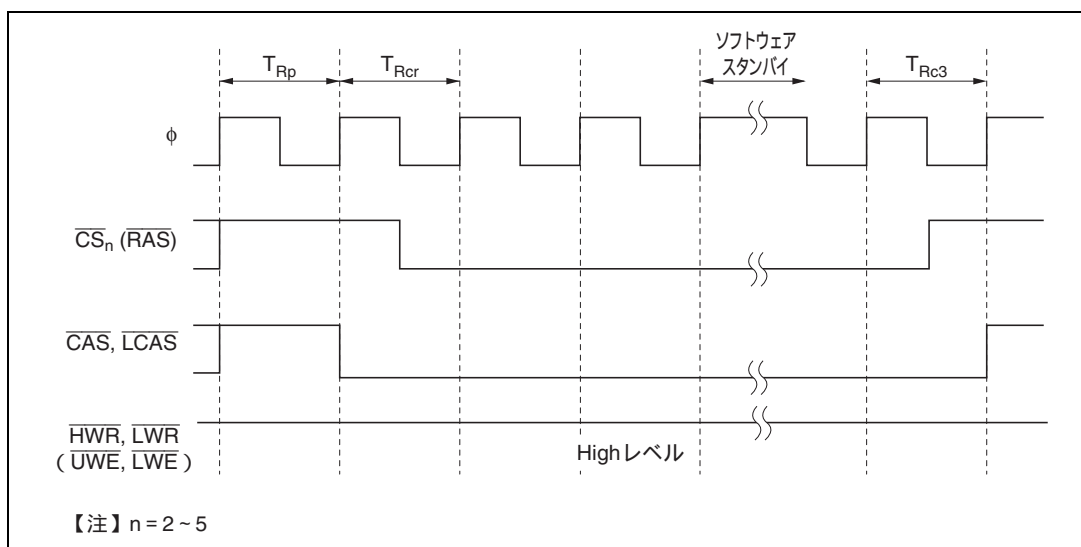


図 6.31 (a) セルフリフレッシュタイミング  
(CW2 = 1 の場合、または CW2 = 0、LCASS = 0 の場合)

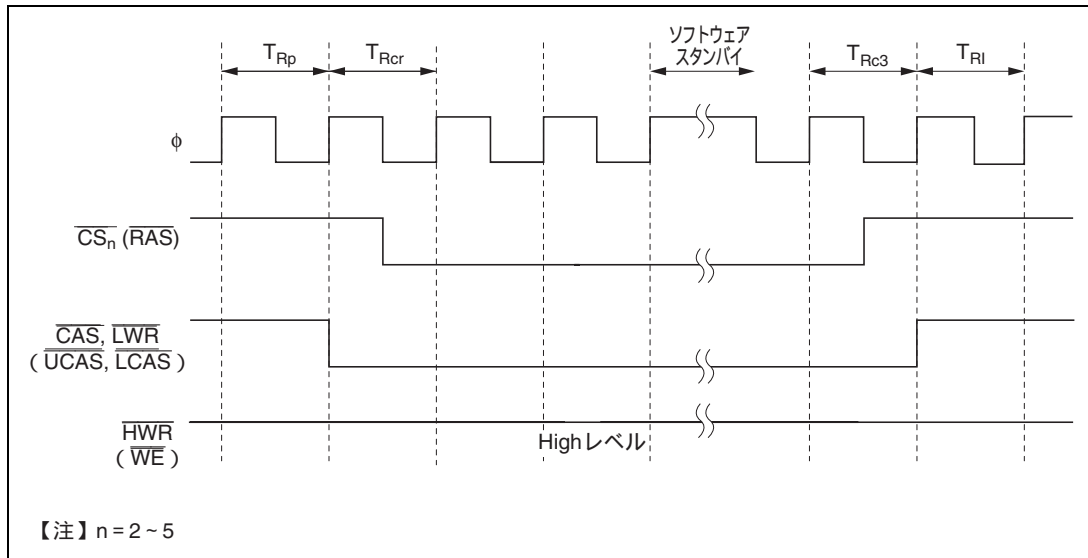


図 6.31 (b) セルフリフレッシュタイミング (CW2=0、LCASS=1 の場合)

## 6.6 擬似 SRAM インタフェース

### 6.6.1 概要

本 LSI はアドバンスモードのとき、エリア 2~5 の外部空間を、擬似 SRAM (PSRAM) 空間に設定し、PSRAM インタフェースを行うことができます。PSRAM インタフェースでは PSRAM を本 LSI と直結することができます。BCRH の RMTS3~RMTS0 ビットにより、2 / 4 / 8M バイトまたは 128k / 256k / 512k バイトの PSRAM 空間を設定できます。

直結する PSRAM はリフレッシュ信号 (RFSH) と出力イネーブル信号 ( $\overline{OE}$ ) がマルチプレクスされているものです。スタティックカラムモードを利用したバースト動作を行うことができます。

### 6.6.2 PSRAM 空間の設定

エリア 2~5 を PSRAM 空間にするには、BCRH の RMTS2~RMTS0 ビットを設定します。RMTS2~RMTS0 の設定値と PSRAM 空間の関係を表 6.8 に示します。PSRAM 空間は、(1) 1 エリア設定 (エリア 2)、(2) 2 エリア設定 (エリア 2、3)、(3) 4 エリア設定 (エリア 2~5)、の 3 種類から選択できます。

表 6.8 RMTS2~RMTS0 の設定値と PSRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
1	0	1	通常空間			PSRAM 空間
	1	0	通常空間		PSRAM 空間	
		1	PSRAM 空間			

## 6. バスコントローラ

### 6.6.3 データバス

PSRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると、当該エリアは 8 ビット PSRAM 空間となり、0 にクリアすると 16 ビット PSRAM 空間となります。

8 ビット PSRAM 空間では  $D_{15} \sim D_8$  の上位側データバスが有効となり、16 ビット PSRAM 空間では  $D_{15} \sim D_0$  の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.4.2 データサイズとデータアライメント」を参照してください。

### 6.6.4 PSRAM インタフェース使用端子

表 6.9 に PSRAM インタフェースで使用する端子と機能を示します。

表 6.9 PSRAM インタフェース端子構成

端子	PSRAM 設定時	名称	入出力	機能
HWR	WE/UWE	ライトイネーブル/ アッパーライトイネーブル	出力	PSRAM 空間を 16 ビットアクセスに設定したときの High 側のライトイネーブルまたは 8 ビットアクセスに設定したときのライトイネーブル
LWR	LWE	ローアライトイネーブル	出力	PSRAM 空間を 16 ビットアクセスに設定したときの Low 側のライトイネーブル
$\overline{CS}_2$	$\overline{CE}_2$	チップイネーブル 2	出力	エリア 2 を PSRAM 空間に設定したときのチップイネーブル信号
$\overline{CS}_3$	$\overline{CE}_3$	チップイネーブル 3	出力	エリア 3 を PSRAM 空間に設定したときのチップイネーブル信号
$\overline{CS}_4$	$\overline{CE}_4$	チップイネーブル 4	出力	エリア 4 を PSRAM 空間に設定したときのチップイネーブル信号
$\overline{CS}_5$	$\overline{CE}_5$	チップイネーブル 5	出力	エリア 5 を PSRAM 空間に設定したときのチップイネーブル信号
$\overline{CAS}$	OE/RFSH	アウトプットイネーブル/ リフレッシュ	出力	PSRAM のアウトプットイネーブル/ リフレッシュ兼用端子に接続
$\overline{WAIT}$	$\overline{WAIT}$	ウェイト	入力	ウェイト要求信号入力端子
$A_{20} \sim A_0$	$A_{20} \sim A_0$	アドレス端子	出力	アドレス出力端子
$D_{15} \sim D_0$	$D_{15} \sim D_0$	データ端子	入出力	データ入出力端子

### 6.6.5 基本タイミング

PSRAM 空間の基本アクセスタイミングを図 6.32 に示します。PSRAM の基本タイミングは、 $T_p$  (プリチャージサイクル)1 ステートを含み、4 ステートです。基本バスインタフェースとは異なり、ASTCR の対応するビットはウェイトの挿入の許可または禁止のみを制御し、アクセスステート数に影響は与えません。ASTCR の当該ビットを 0 にクリアしてある場合、PSRAM アクセスサイクルにウェイトステートの挿入を行うことはできません。

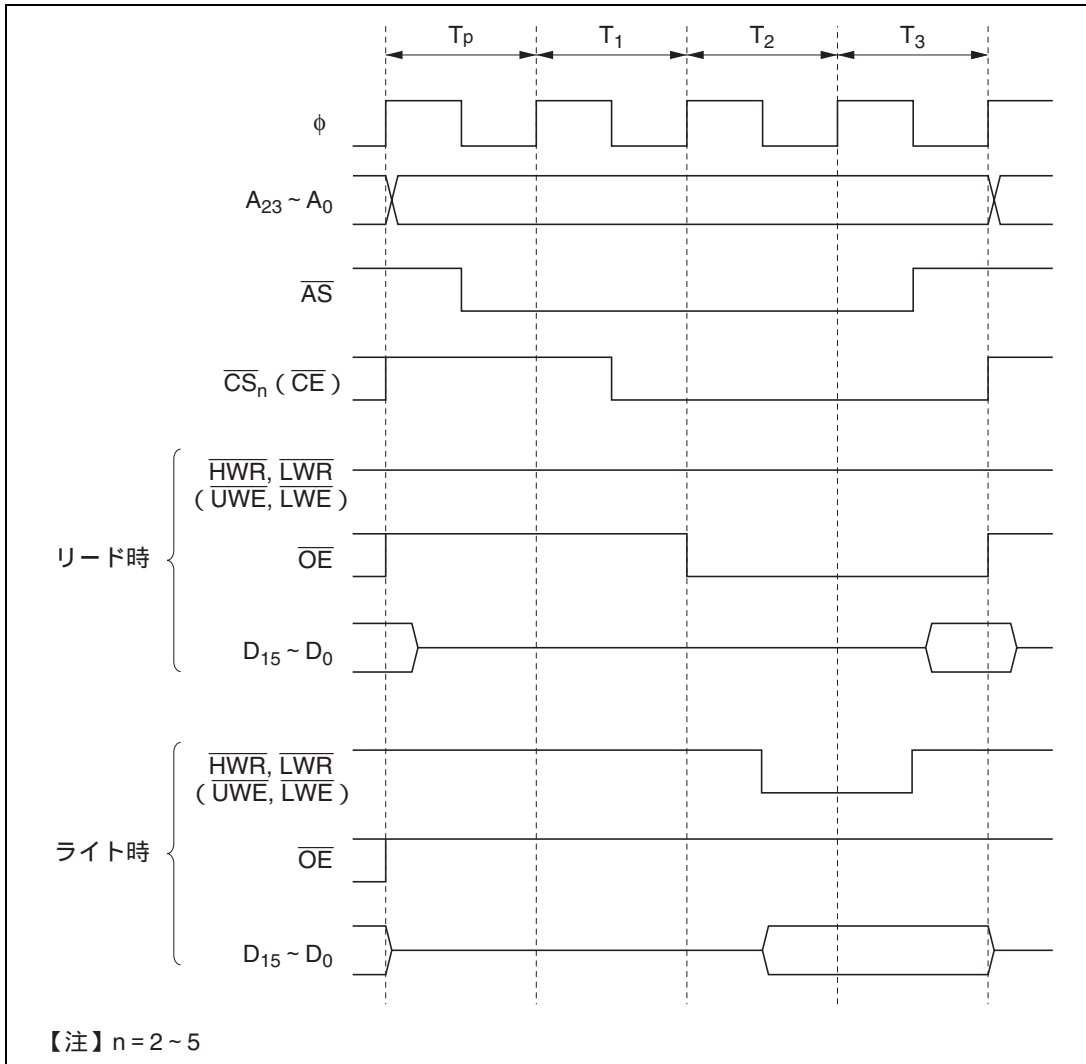


図 6.32 基本アクセスタイミング

## 6.6.6 プリチャージステート制御

PSRAM をアクセスするときには、CE プリチャージ時間を確保する必要があります。このため、本 LSI では PSRAM 空間をアクセスするとき、 $T_p$  を必ず 1 ステート挿入します。さらに、MCR の TPC ビットを 1 にセットすることにより、 $T_p$  を 1 ステートから 2 ステートへ変更することができます。接続する PSRAM と本 LSI の動作周波数に応じて最適な  $T_p$  サイクル数を設定してください。図 6.33 に  $T_p$  を 2 ステートとしたときのタイミングを示します。

TPC ビットを 1 にセットするとリフレッシュサイクルの  $T_p$  も 2 ステートとなります。

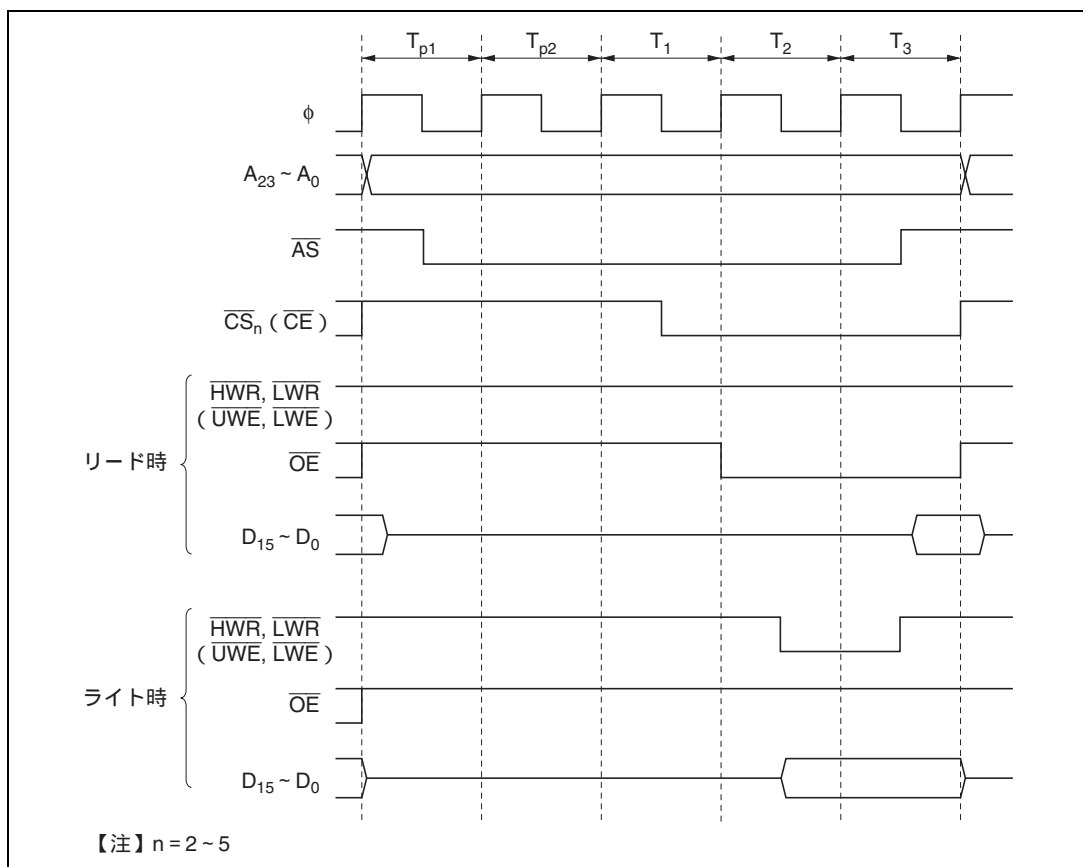


図 6.33 プリチャージサイクル 2 ステート時のタイミング



### 6.6.7 ウェイト制御

PSRAM アクセスサイクルにウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2)  $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、の2種類があります。

#### (1) プログラムウェイトの挿入

PSRAM 空間に設定されたエリアに対応する ASTCR のビットが1にセットされているとき、WCRH、WCRL の設定により、0~3 ステートのウェイトステートを、自動的に  $T_2$  ステートと  $T_3$  ステートの間に挿入することができます。

#### (2) 端子ウェイトの挿入

BCRL の WAITE ビットが1にセットされていると、ASTCR の AST ビットにかかわらず、 $\overline{\text{WAIT}}$  端子によるウェイト入力の有効になります。この状態で PSRAM 空間をアクセスすると、まず、プログラムウェイトが挿入されます。 $T_2$  または  $T_w$  の最後のステートの  $\phi$  の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、更に、 $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。

図 6.34 にウェイトステート挿入のタイミング例を示します。

6. バスコントローラ

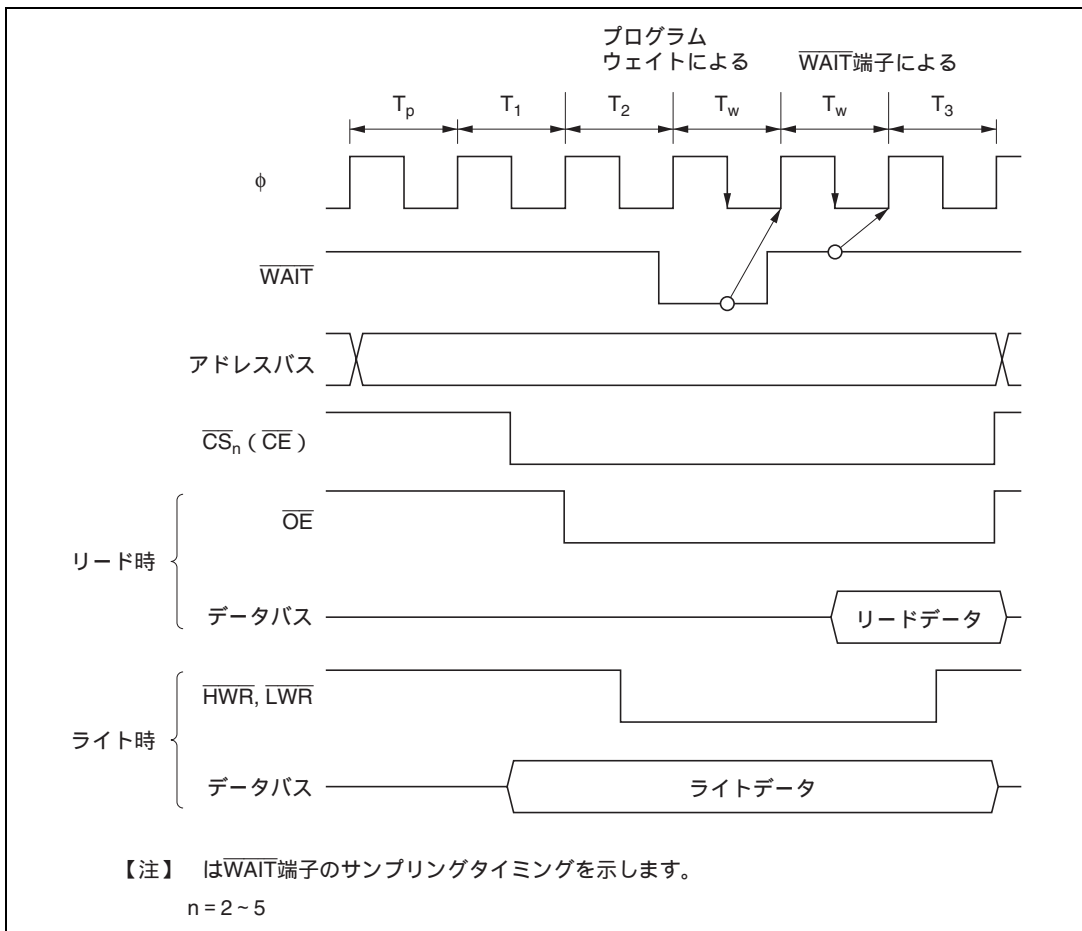


図 6.34 ウェイトステート挿入タイミング

### 6.6.8 バースト動作

PSRAM には、同一のロウアドレスに対するアクセスが連続する場合、 $\overline{CS}$  信号を Low レベルにしたままカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できるスタティックカラムモードを備えているものがあります。MCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。PSRAM のバースト動作とバースト ROM インタフェースは同時には設定しないでください。

図 6.35 にバーストアクセスの動作タイミングを示します。PSRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、カラムアドレスの出力サイクル（2 ステート）が連続して行われます。比較対象となるロウアドレスは MCR の MXC1、MXC0 ビットにより設定します。

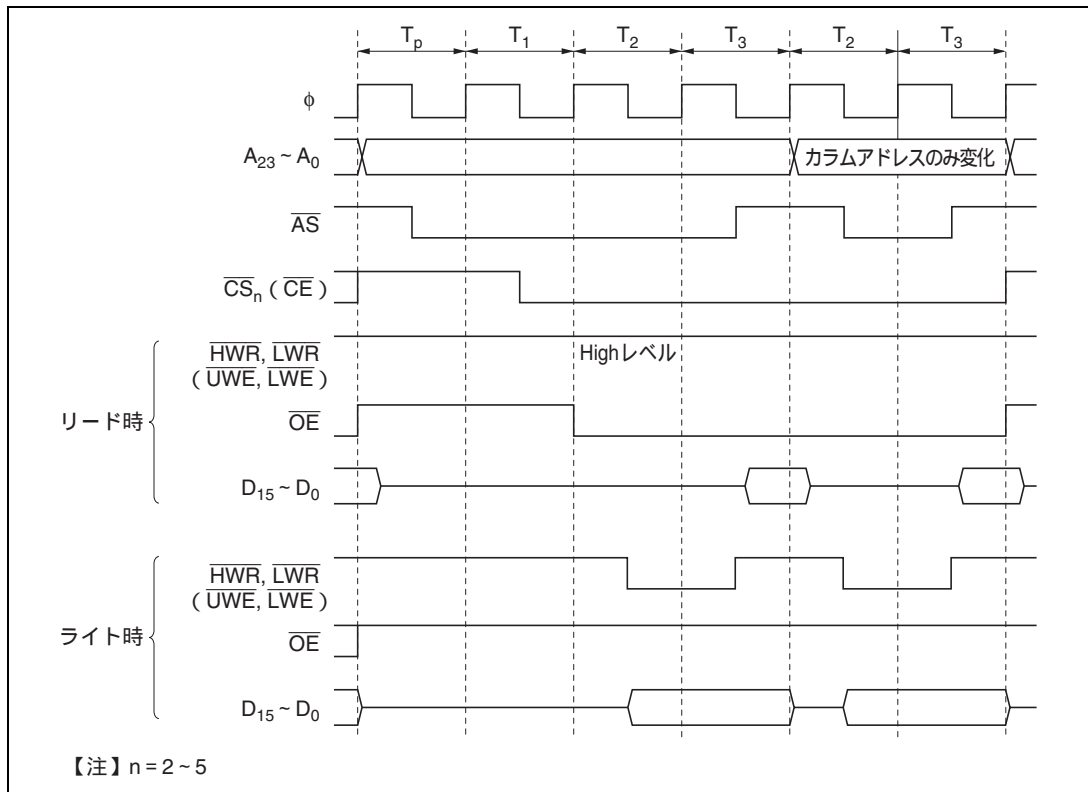


図 6.35 バーストアクセスの動作タイミング

## 6. バスコントローラ

バーストアクセスのときにもウェイトステートを挿入して、バスサイクルを引き伸ばすことができます。ウェイトステートの挿入方法、タイミングはノーマルモードのときと同様です。詳細は、「6.6.7 ウェイト制御」を参照してください。

バースト動作を選択していても、PSRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。PSRAM 空間へのアクセスが途切れて内蔵メモリまたは内部 I/O レジスタをアクセスしている間、 $\overline{\text{CE}}$  信号を Low レベルに保持し、次の PSRAM 空間アクセスのロウアドレスと前の PSRAM 空間アクセスのロウアドレスが一致した場合、バーストアクセスが行われます。図 6.36 にバーストアクセスのタイミング例を示します。

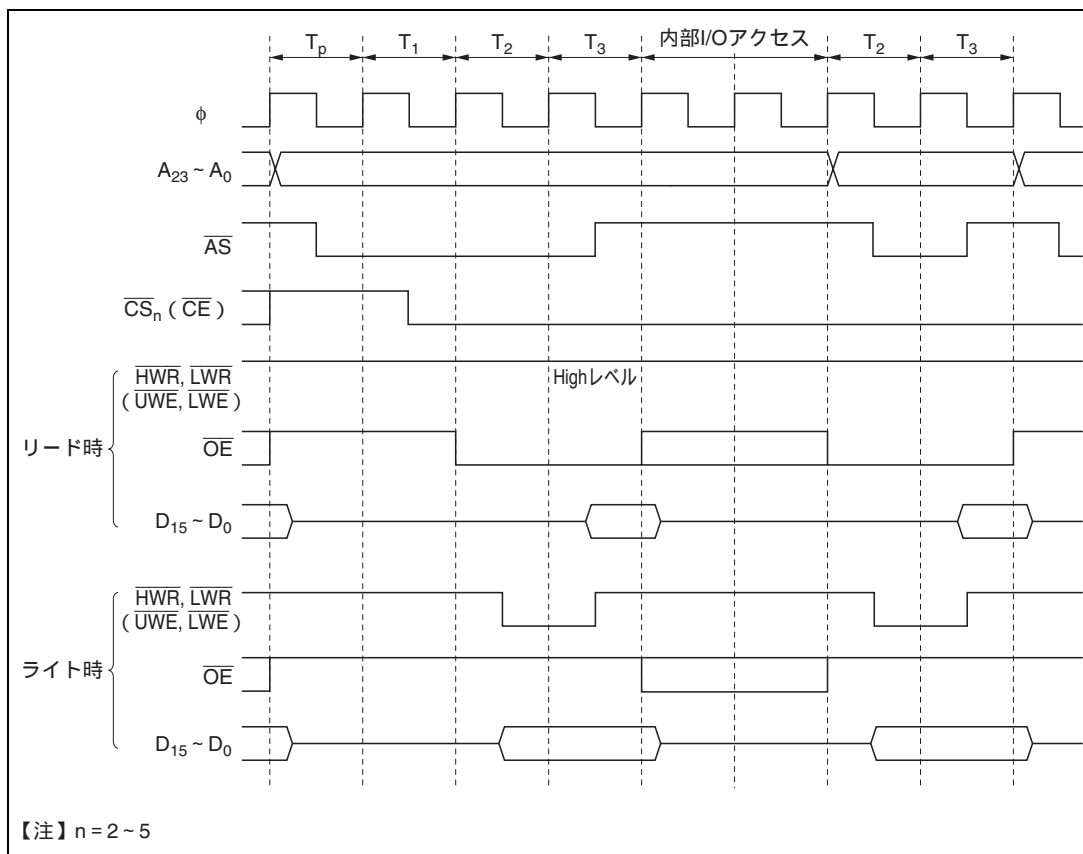


図 6.36 バーストアクセスの動作タイミング例

PSRAM 空間へのアクセスが途切れて他空間をアクセスすると、 $\overline{CE}$  信号を High レベルに戻します。PSRAM 空間が連続している場合だけ、バーストアクセスが行われます。図 6.37 にバーストアクセスが中断するタイミング例を示します。

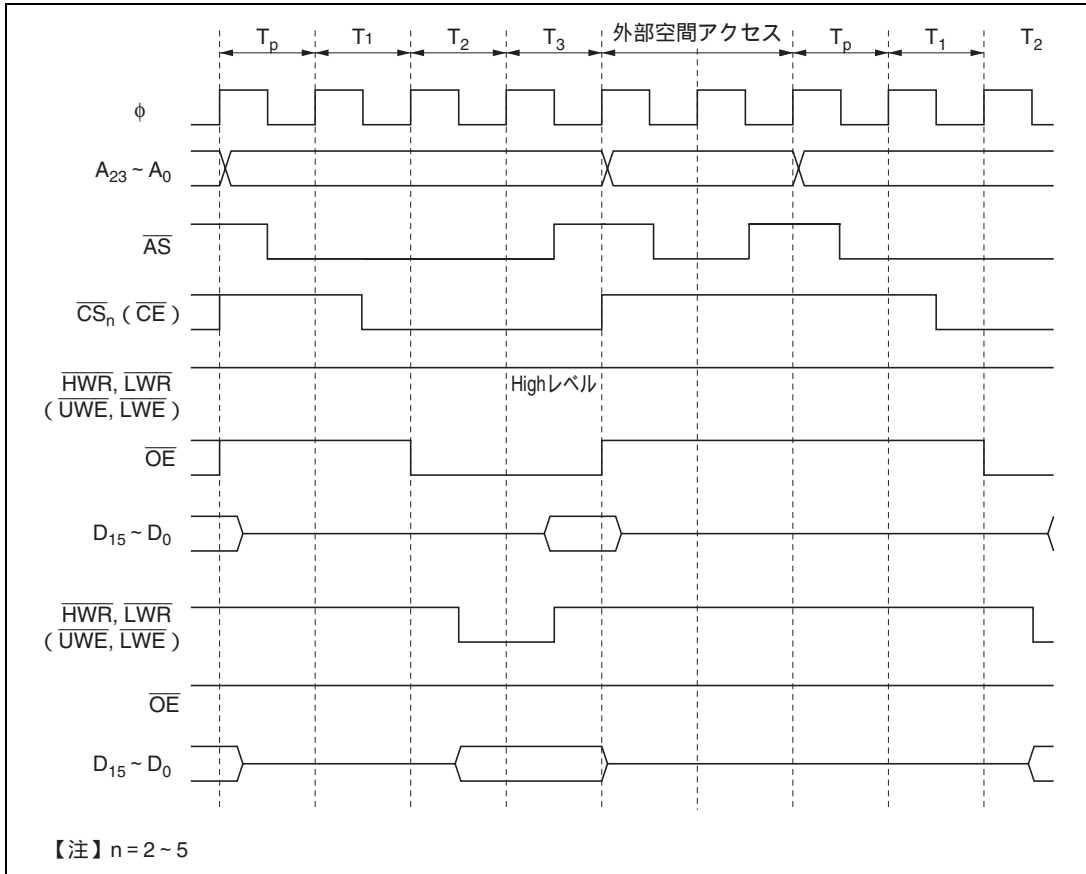


図 6.37 バーストアクセス中断のタイミング例

### 6.6.9 リフレッシュ制御

本 LSI は、PSRAM のリフレッシュを制御機能を備えています。リフレッシュ方法は (1) オートリフレッシュ、(2) セルフリフレッシュ、の 2 種類から選択できます。

#### (1) オートリフレッシュ

オートリフレッシュを選択するためには、DRAMCR の RFSHE ビットを 1 にセットし、RMODE ビットを 0 にクリアしてください。

オートリフレッシュでは、DRAMCR の CKS2 ~ CKS0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と CKS2 ~ CKS0 ビットで決まる一定間隔で繰り返されます。使用する PSRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。

CKS2 ~ CKS0 ビットの設定を行うと、その時点から RTCNT のカウントアップが開始されます。このため、CKS2 ~ CKS0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。

図 6.38 にオートリフレッシュのタイミングを示します。

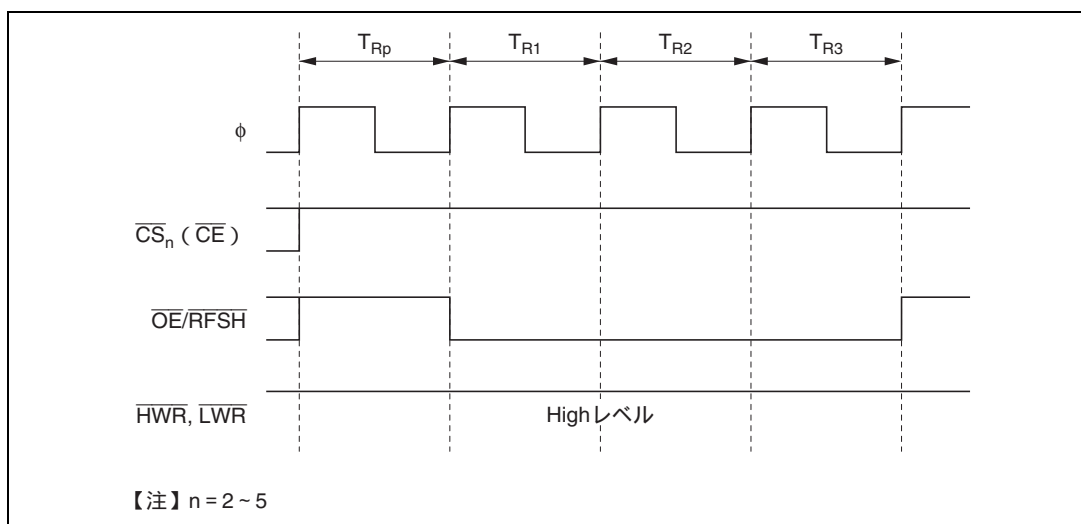


図 6.38 オートリフレッシュタイミング

## (2) セルフリフレッシュ

PSRAM は RFSH 信号を所定時間以上 Low レベルとすることによりセルフリフレッシュモードに入ります。セルフリフレッシュを選択するためには、RFSHE と RMODE ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに移るための SLEEP 命令を実行すると、セルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードを解除すると、RMODE ビットを 0 にクリアし、セルフリフレッシュモードを解除します。セルフリフレッシュ解除後の設定は、使用する PSRAM の特性を確認して行ってください。

図 6.39 にセルフリフレッシュのタイミングを示します。

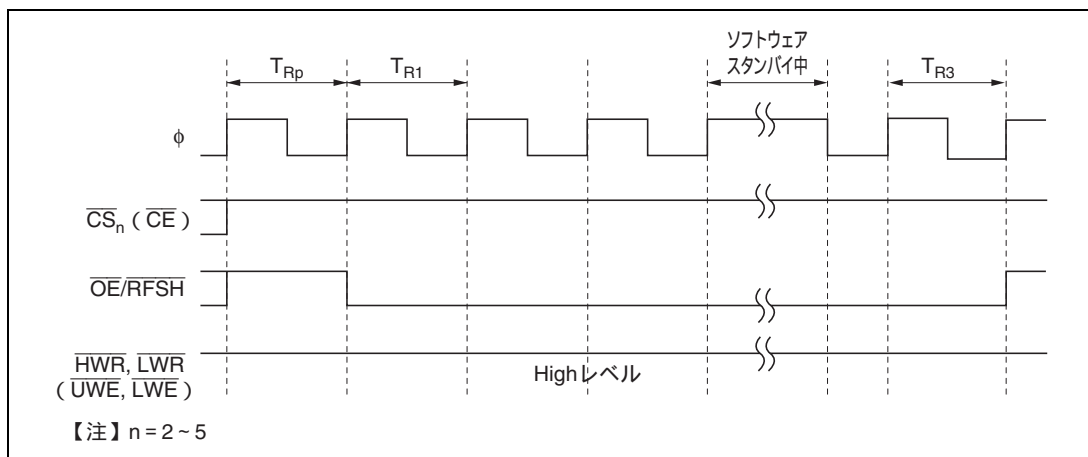


図 6.39 セルフリフレッシュタイミング

## 6.6.10 パワーオンシーケンス

パワーオンリセットではバスコントローラが初期化されます。PSRAM を接続する場合、PSRAM の特性を確認して必要な処理を行ってください。

## 6.7 DMAC シングルアドレスモードと DRAM / PSRAM インタフェース

DRAM または PSRAM インタフェースで、バーストモードを設定したとき、DDS ビットによって  $\overline{\text{DACK}}$  出力タイミングを選択します。また、同時に DMAC シングルアドレスモードで DRAM または PSRAM 空間をアクセスする場合に、バーストアクセスを行うか行わないかを選択します。

### 6.7.1 DDS = 1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$  出力タイミングは DRAM インタフェースの場合  $T_{c1}$  ステートから、PSRAM インタフェースの場合は  $T_2$  ステートから Low レベルになります。

図 6.40 に、DDS = 1 の場合の、DRAM インタフェース時の  $\overline{\text{DACK}}$  出力タイミングを示します。

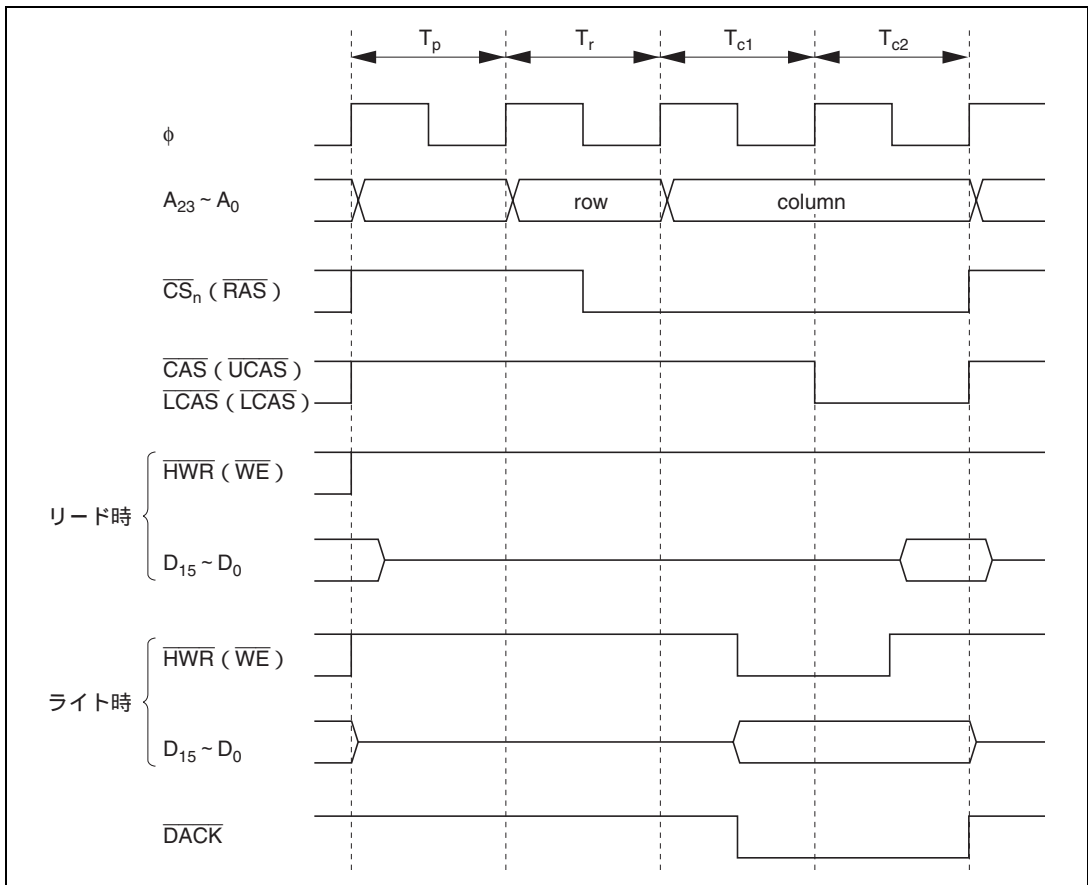


図 6.40 DDS = 1 の場合の  $\overline{\text{DACK}}$  出力タイミング (DRAM アクセスの例)



## 6.7.2 DDS = 0 のとき

DMAC シングルアドレスモードで DRAM または PSRAM 空間をアクセスしたとき、必ずフルアクセス（ノーマルアクセス）を行います。また、 $\overline{\text{DACK}}$  出力タイミングは DRAM インタフェースの場合  $T_r$  ステートから、PSRAM インタフェースの場合は  $T_r$  ステートから Low レベルになります。

DMAC シングルアドレスモード以外で、DRAM または PSRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.41 に、DDS = 0 の場合の、DRAM インタフェース時の  $\overline{\text{DACK}}$  出力タイミングを示します。

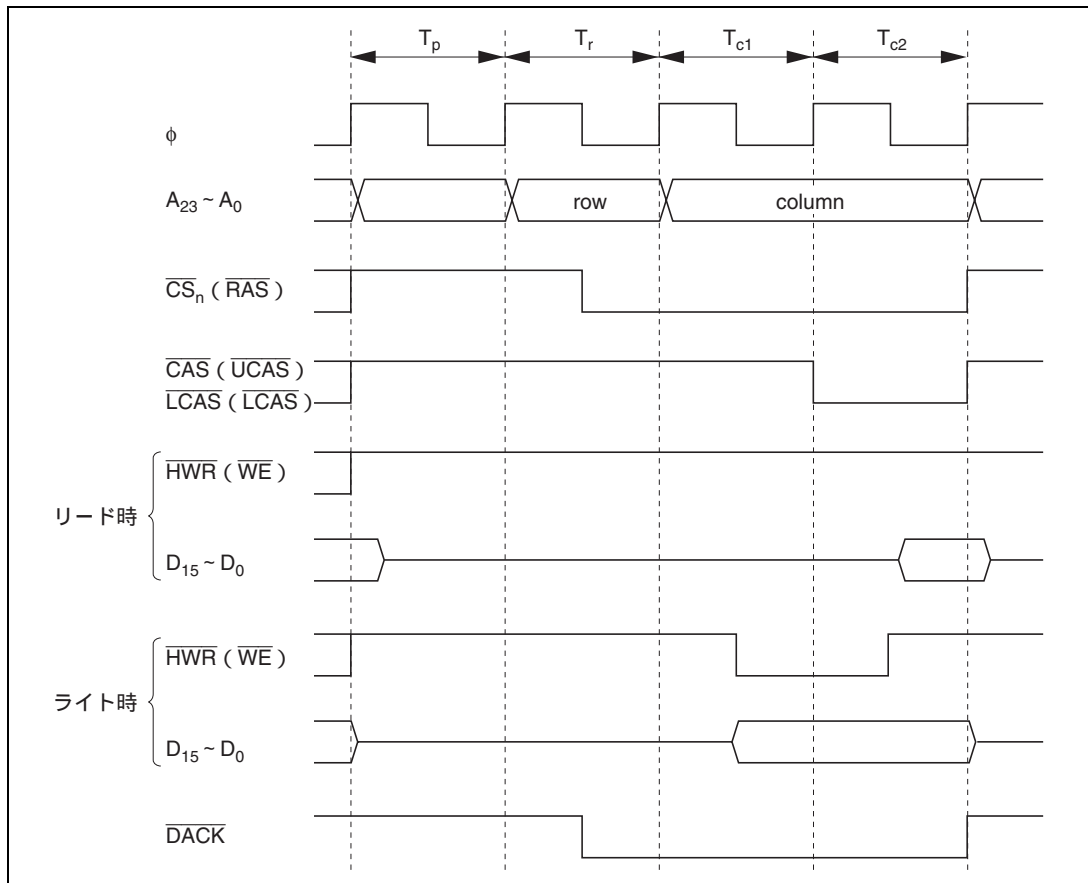


図 6.41 DDS = 0 の場合の  $\overline{\text{DACK}}$  出力タイミング (DRAM アクセスの例)

## 6.8 バースト ROM インタフェース

### 6.8.1 概要

本 LSI は、エリア 0 の外部空間を、バースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

バースト ROM インタフェースと PSRAM のバースト動作は同時には設定しないでください。

### 6.8.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル (フルアクセス) のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.42 (a) (b) に示します。

図 6.42 (a) は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.42 (b) は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

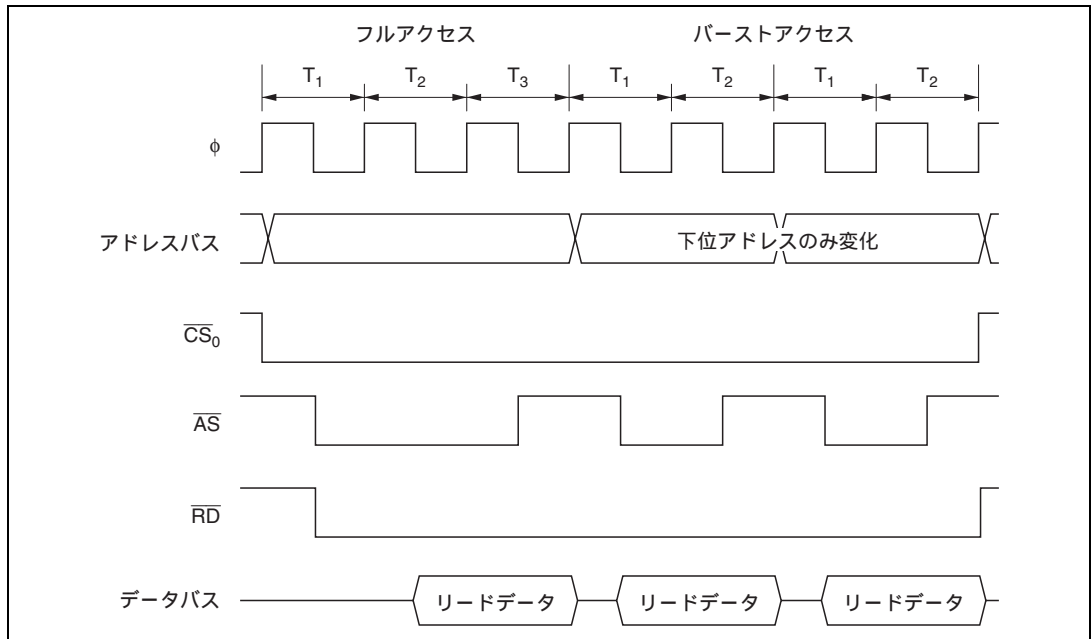


図 6.42 (a) バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合)

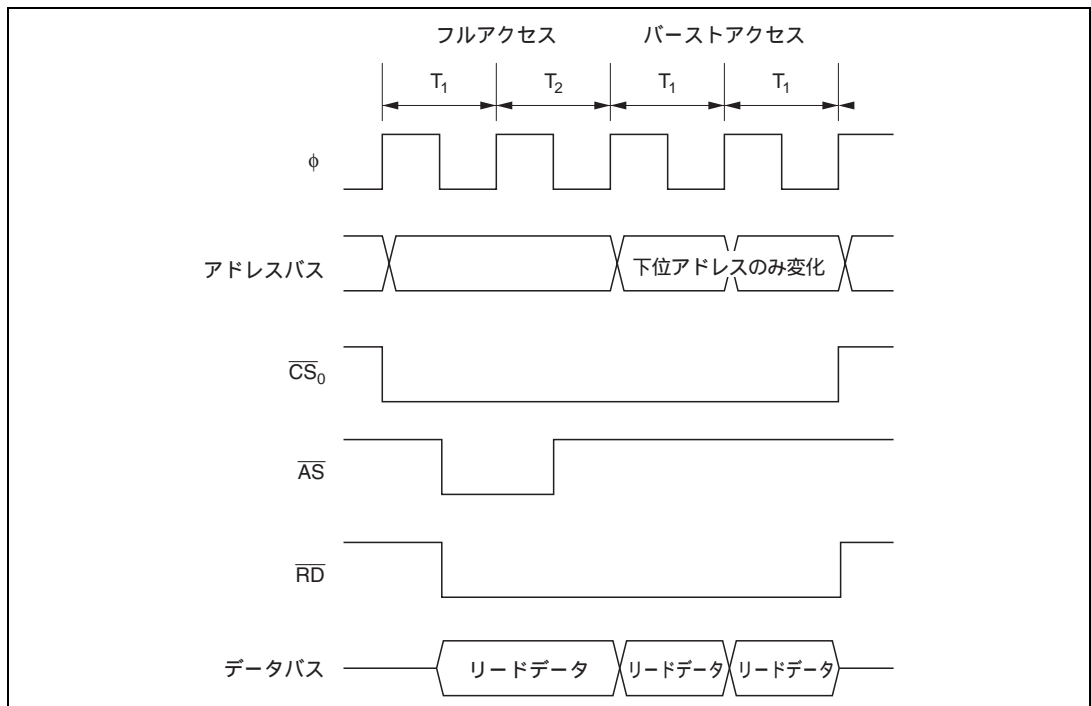


図 6.42 (b) バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合)

### 6.8.3 ウェイト制御

バーストROM インタフェースのイニシャルサイクル（フルアクセス）には、基本バスインタフェースと同様に、（1）プログラムウェイトの挿入、（2） $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、が可能です。「6.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

## 6.9 アイドルサイクル

### 6.9.1 動作説明

本 LSI は外部空間をアクセスするとき、（1）異なるエリア間でリードアクセスが連続して発生したとき、（2）リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル（ $T_1$ ）を1ステート挿入することができます。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きいROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

#### （1）異なるエリア間での連続リード

BCRH の ICIS1 ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。アドバンスモードのとき有効です。

図 6.43 に動作例を示します。バスサイクル A は、出力フローティング時間の大きいROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。（a）はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し（b）ではアイドルサイクルを挿入し、データの衝突を回避しています。

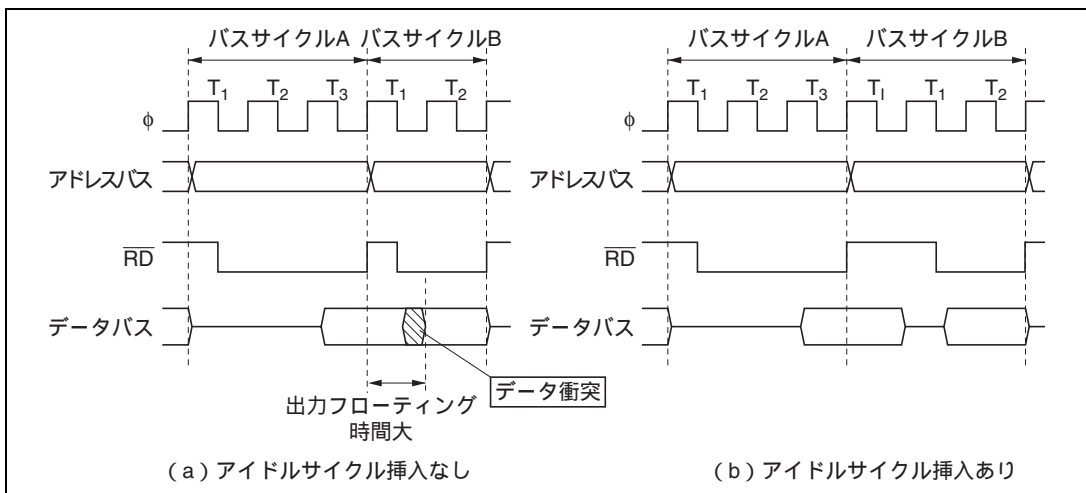


図 6.43 アイドルサイクル動作例（1）（ICIS1 = 1 のとき）

## (2) リード後のライト

BCRHのICIS0ビットを1にセットした状態で外部リード後に、外部ライトが発生するとライトサイクルの先頭に、アイドルサイクルが挿入されます。アドバンスモードおよびノーマルモードのとき有効です。

図6.44に動作例を示します。バスサイクルAは、出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはCPUのライトサイクルの場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBで、ROMからのリードデータとCPUのライトデータの衝突が発生しています。これに対し(b)ではアイドルサイクルを挿入し、データの衝突を回避しています。

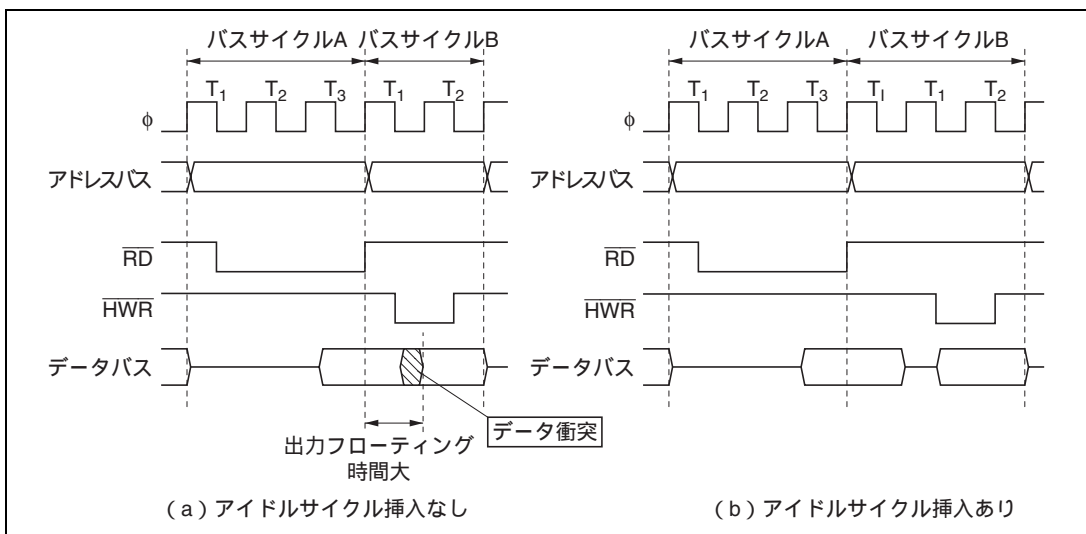


図 6.44 アイドルサイクル動作例 (2) (ICIS0=1 のとき)

## 6. バスコントローラ

### (3) 使用上の注意

DRAM 空間をアクセスするときは、ICIS0、1 ビットの設定は無効です。例えば、異なるエリア間での連続リードの場合、2 回目のリードが DRAM アクセスのとき、 $T_1$  サイクルは挿入されません。このタイミングを図 6.45 に示します。

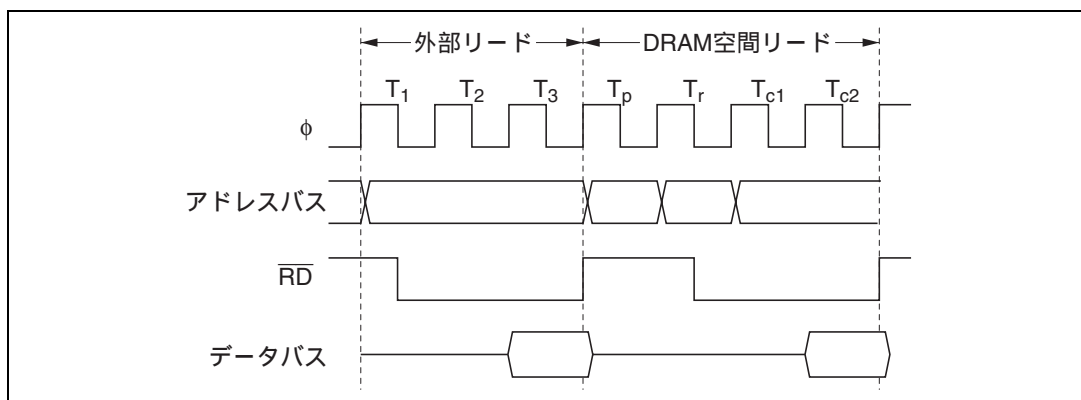


図 6.45 外部リード後の DRAM アクセス例

### 6.9.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.10 に示します。

表 6.10 アイドルサイクルでの端子状態

端子名	端子の状態
$A_{23} \sim A_0$	直後のバスサイクルの内容
$D_{15} \sim D_0$	ハイインピーダンス
$\overline{CS}_n$	High レベル <sup>*1</sup>
CAS/OE	High レベル <sup>*2</sup>
AS	High レベル
RD	High レベル
HWR	High レベル
LWR	High レベル
DACK <sub>n</sub>	High レベル

【注】 \*1 PSRAM 空間での CS ダウンモードでは Low レベルを保持します。また、DRAM 空間での RAS ダウンモードまたはリフレッシュサイクルでは Low レベルを保持します。

\*2 PSRAM 空間での CS ダウンモードまたはリフレッシュサイクルでは Low レベルを保持します。

## 6.10 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMA シングルアドレスモード転送と、内部アクセスを並行して実行することができます。BCRL の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.46 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMA シングルアドレスモード転送が 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

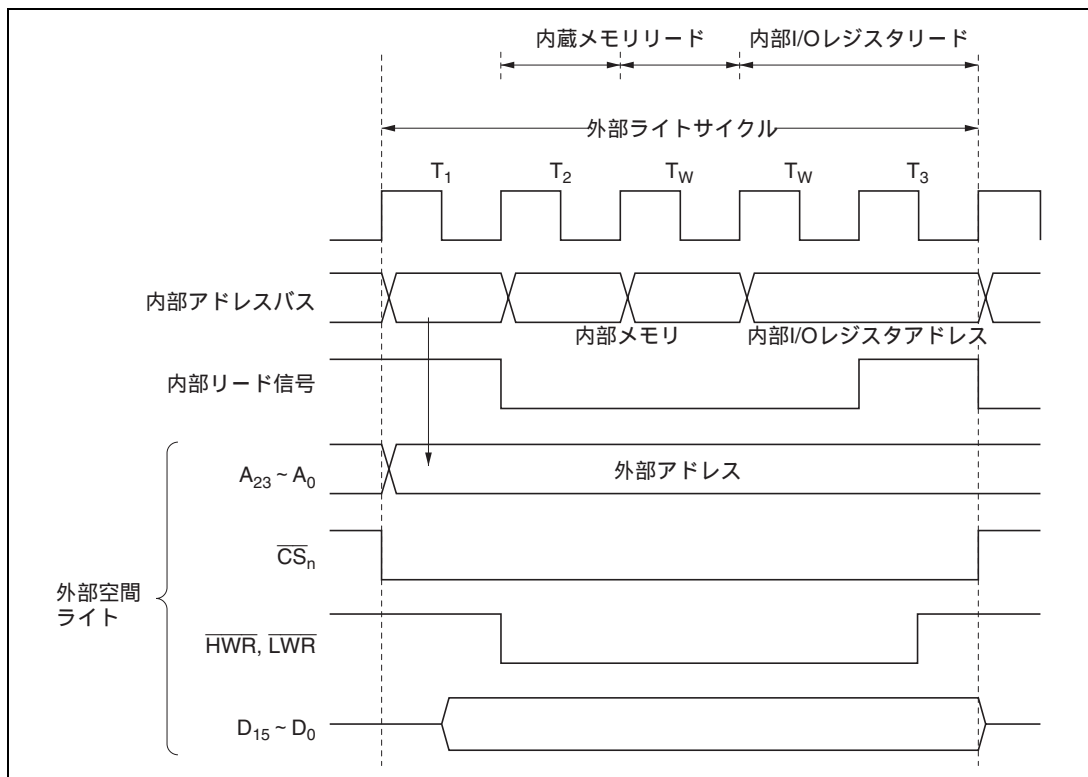


図 6.46 ライトデータバッファ機能使用時のタイミング例

## 6.11 バス解放

### 6.11.1 概要

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り、内部バスマスタは動作を継続します。

また、外部バス権解放状態で、内部バスマスタが外部アクセスをしようとしたとき、およびリフレッシュ要求が発生したときに、外部に対してバス権を要求することができます。

### 6.11.2 動作説明

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。BREQ 端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。BREQ 端子をサンプリングすると、所定のタイミングで、BACK 端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態にリフレッシュ要求が発生した場合も、外部バスマスタがバス権要求を取り下げられるまでリフレッシュ制御は保留されます。

BCRL の BREQOE ビットが 1 にセットされていると、外部バス権解放状態に内部バスマスタが外部アクセスをしようとしたとき、およびリフレッシュ要求が発生したときに、 $\overline{\text{BREQO}}$  端子を Low レベルとし、外部に、バス権要求を取り下げよう要求することができます。

BREQ 端子を High レベルとすると、所定のタイミングで、BACK 端子を High レベルとし外部バス権解放状態を終了します。

外部バス権解放要求、リフレッシュ要求、および外部アクセスが同時に発生したときの優先順位は

(高) リフレッシュ > 外部バス権 > 内部バスマスタの外部アクセス (低)

の順になっています。

### 6.11.3 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.11 に示します。

表 6.11 バス解放状態での端子状態

端子名	端子の状態
$A_{23} \sim A_0$	ハイインピーダンス
$D_{15} \sim D_0$	ハイインピーダンス
$\overline{\text{CS}}_n$	ハイインピーダンス
CAS	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
HWR	ハイインピーダンス
LWR	ハイインピーダンス
$\text{DACK}_n$	High レベル



## 6.11.4 遷移タイミング

バス権解放状態への遷移タイミングを図 6.47 に示します。

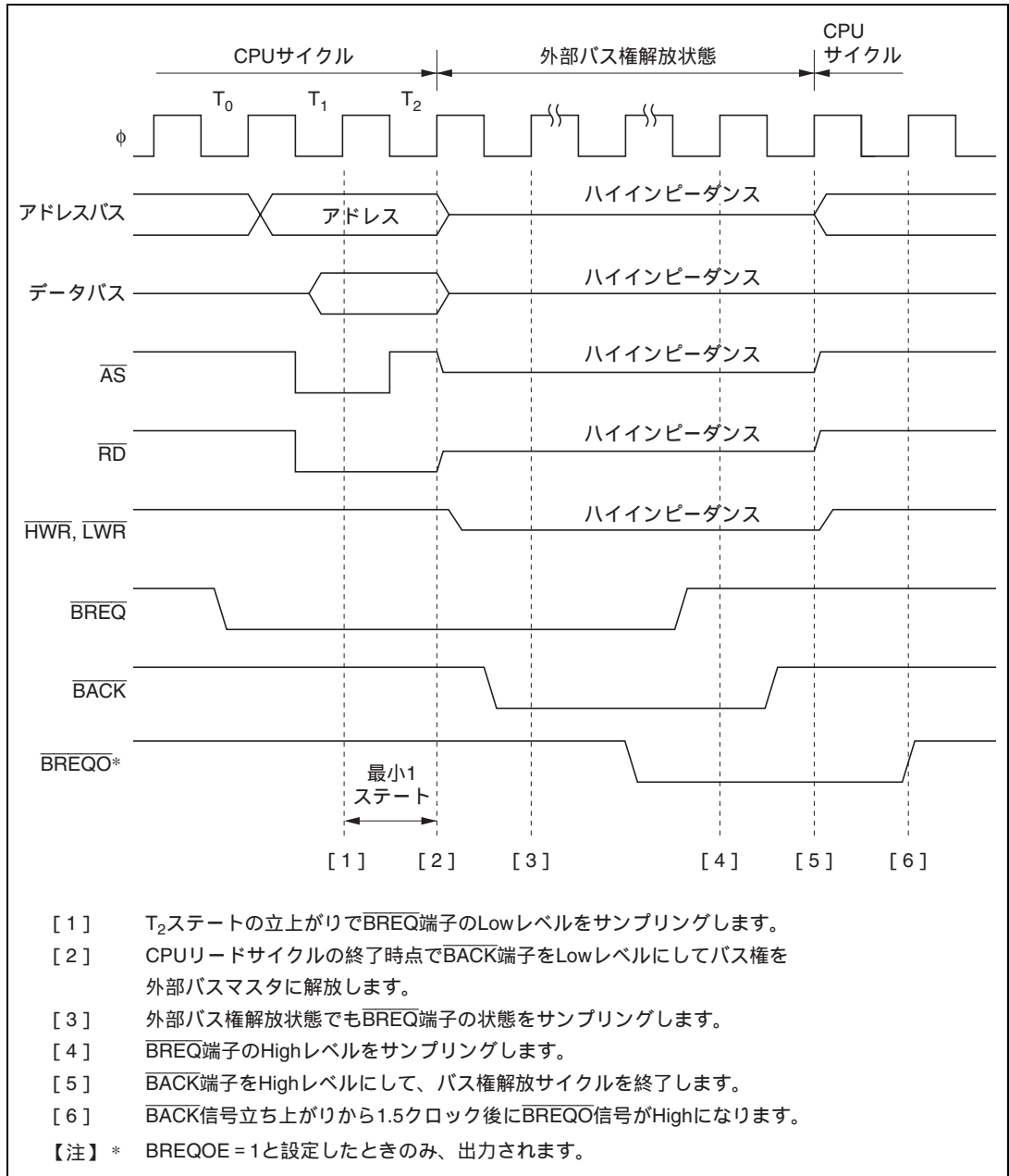


図 6.47 バス権解放状態遷移タイミング

### 6.12 バスアービトレーション

#### 6.12.1 概要

本 LSI はバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DTC および DMAC の 3 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

#### 6.12.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位は、

（高） DMAC > DTC > CPU （低）

の順になっています。

なお、内部バスマスタの内部バスアクセスと外部バス権解放、およびリフレッシュは並行して実行することができます。

外部バス権解放要求、リフレッシュ要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位は

（高） リフレッシュ > 外部バス権解放 > 内部バスマスタの外部アクセス （低）

の順になっています。

#### 6.12.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

##### （1）CPU

CPU は最も優先順位が低いバスマスタで、DTC および DMAC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

（a） バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などは、分割されたバスサイクルの切れ目では、バス権は移行しません。バス権を移行しないタイミングは「付録A.5 命令実行中のバス状態」を参照してください。

（b） CPUがスリープモードの場合、ただちにバス権を移行します。

### (2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード (3 ステート) 後、1 回のデータ転送後、レジスタ情報のライト (3 ステート) 後です。レジスタ情報のリード (3 ステート) 中、1 回のデータ転送中、レジスタ情報のライト (3 ステート) 中にはバスを解放しません。

### (3) DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。

## 6.12.4 外部バス権解放使用上の注意

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

$\overline{RD}$  信号、DRAM インタフェースの  $\overline{RAS}$  信号、 $\overline{CAS}$  信号、PSRAM インタフェースの  $\overline{CE}$  信号、 $\overline{OE}$  信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 $\overline{RD}$ 、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{CE}$ 、 $\overline{OE}$  信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

## 6.13 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセットでは、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 $\overline{WAIT}$  入力は無視されます。ライトデータは保証されません。また、DMAC はマニュアルリセットで初期化されますので、 $\overline{DACK}$ 、 $\overline{TEND}$  出力は禁止され、DDR と DR で制御される I/O ポートになります。



---

## 7. DMA コントローラ

---

### 7.1 概要

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

#### 7.1.1 特長

DMAC には次の特長があります。

ショートアドレスモードとフルアドレスモードを選択可能

##### (1) ショートアドレスモード

- 最大 4 チャンネルを使用可能
- デュアルアドレスモード / シングルアドレスモードの選択が可能
- デュアルアドレスモードでは転送元、転送先アドレスの一方を 24 ビット、他方を 16 ビットで指定
- シングルアドレスモードでは転送元、転送先アドレスの一方だけを 24 ビットで指定
- シングルアドレスモードでは 1 パスサイクルでの転送が可能
- デュアルアドレスモード、シングルアドレスモードに対し、シーケンシャルモード / アイドルモード / リピートモードの選択が可能

##### (2) フルアドレスモード

- 最大 2 チャンネルを使用可能
- 転送元、転送先アドレスを 24 ビットで指定
- ノーマルモード / ブロック転送モードの選択が可能

16M バイトのアドレス空間を直接指定可能

転送単位をバイト / ワードに設定可能

起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)

- 16 ビットタイマパルスユニット (TPU) のコンペアマッチ / インพุットキャプチャ割り込み × 6
- シリアルコミュニケーションインタフェース (SCI0、SCI1) の送信完了割り込み、受信完了割り込み
- A/D 変換器の変換終了割り込み
- 外部リクエスト
- オートリクエスト

### 7.1.2 ブロック図

DMAC のブロック図を図 7.1 に示します。

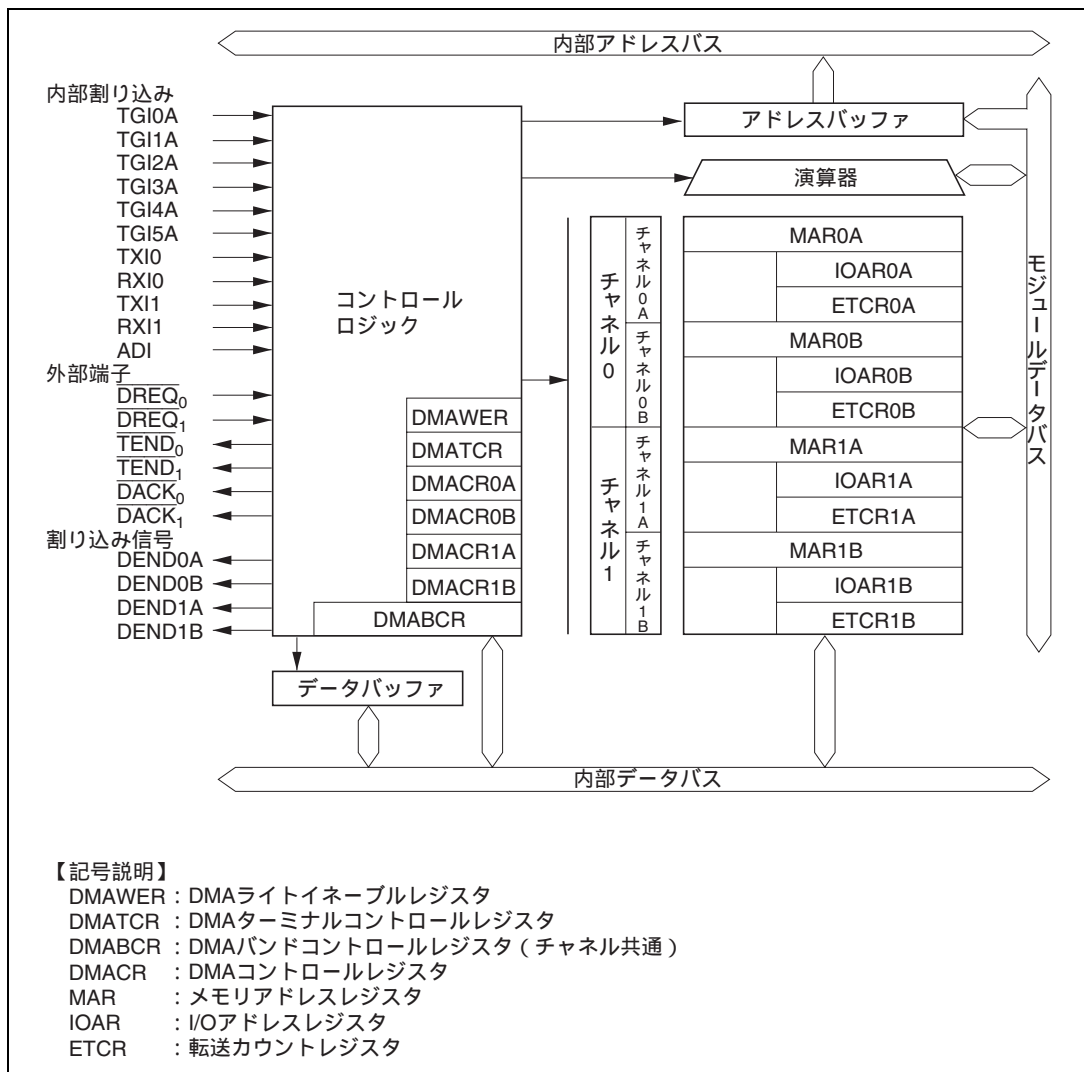


図 7.1 DMAC のブロック図

## 7.1.3 機能概要

DMAC のショートアドレスモード、フルアドレスモードの機能概要を表 7.1 (1)、(2) にそれぞれ示します。

表 7.1 (1) DMAC の機能概要 (ショートアドレスモード)

転送モード	転送要因	アドレスレジスタビット長	
		ソース	デスティネーション
デュアルアドレスモード	<ul style="list-style-type: none"> <li>TPU チャネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込み</li> <li>SCI の送信完了割り込み</li> <li>SCI の受信完了割り込み</li> <li>A/D 変換器の変換終了割り込み</li> <li>外部リクエスト</li> </ul>	24/16	16/24
シングルアドレスモード	<ul style="list-style-type: none"> <li>外部リクエスト</li> </ul>	24/DACK	DACK/24

## 7. DMA コントローラ

表 7.1 (2) DMAC の機能概要 (フルアドレスモード)

転送モード	転送要因	アドレスレジスタビット長	
		ソース	デスティネーション
(1) ノーマルモード オートリクエスト • 転送要求を内部保持 • 指定回数 (1~65536) 継続して転送 • バースト/サイクルスチール転送を選択可能 外部リクエスト • 1回の転送要求で1バイトまたは1ワードの転送を実行 • 転送回数は1~65536	• オートリクエスト	24	24
	• 外部リクエスト		
(2) ブロック転送モード • 1回の転送要求で指定したブロックサイズの転送を実行 • 転送回数は1~65536 • ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 • ブロックサイズは1~256バイトまたはワード	• TPU チャンネル0~5のコンペアマッチ/インプットキャプチャA割り込み • SCIの送信完了割り込み • SCIの受信完了割り込み • 外部リクエスト • A/D変換器の変換終了割り込み	24	24

### 7.1.4 端子構成

DMACの端子構成を表7.2に示します。

ショートアドレスモードでは、チャンネルAに対する外部リクエストによる転送、シングルアドレス転送、転送終了出力は行えません。

DMA転送アクノレッジは、ショートアドレスモードのチャンネルBのシングルアドレスモードにおいて機能します。

$\overline{\text{DREQ}}$  端子を使用するときは、対応するポートを出力にしないでください。

$\overline{\text{DACK}}$  端子は、シングルアドレス転送の設定により対応するポートが自動的に出力になり、 $\overline{\text{DACK}}$  端子となります。

$\overline{\text{TEND}}$  端子は、端子ごとに、対応するポートを  $\overline{\text{TEND}}$  端子として使用するかどうかをレジスタで設定できます。

表 7.2 端子構成

チャンネル	名称	記号	入出力	機能
0	DMA リクエスト 0	$\overline{\text{DREQ}}_0$	入力	DMAC チャンネル0の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{\text{DACK}}_0$	出力	DMAC チャンネル0のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{\text{TEND}}_0$	出力	DMAC チャンネル0の転送終了
1	DMA リクエスト 1	$\overline{\text{DREQ}}_1$	入力	DMAC チャンネル1の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{\text{DACK}}_1$	出力	DMAC チャンネル1のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{\text{TEND}}_1$	出力	DMAC チャンネル1の転送終了



## 7.1.5 レジスタ構成

DMAC のレジスタ構成を表 7.3 に示します。

表 7.3 レジスタ構成

チャンネル	アドレス*	バス幅	名称	略称	R/W	初期値
0	H'FEE0	16 ビット	メモリアドレスレジスタ 0A	MAR0A	R/W	不定
	H'FEE4		I/O アドレスレジスタ 0A	IOAR0A	R/W	不定
	H'FEE6		転送カウントレジスタ 0A	ETCR0A	R/W	不定
	H'FEE8		メモリアドレスレジスタ 0B	MAR0B	R/W	不定
	H'FEEC		I/O アドレスレジスタ 0B	IOAR0B	R/W	不定
	H'FEEE		転送カウントレジスタ 0B	ETCR0B	R/W	不定
1	H'FEF0	16 ビット	メモリアドレスレジスタ 1A	MAR1A	R/W	不定
	H'FEF4		I/O アドレスレジスタ 1A	IOAR1A	R/W	不定
	H'FEF6		転送カウントレジスタ 1A	ETCR1A	R/W	不定
	H'FEF8		メモリアドレスレジスタ 1B	MAR1B	R/W	不定
	H'FEFC		I/O アドレスレジスタ 1B	IOAR1B	R/W	不定
	H'FEFE		転送カウントレジスタ 1B	ETCR1B	R/W	不定
0、1	H'FF00	8 ビット	DMA ライトイネーブルレジスタ	DMAWER	R/W	H'00
	H'FF01		DMA ターミナルコントロールレジスタ	DMATCR	R/W	H'00
	H'FF02	16 ビット	DMA コントロールレジスタ 0A	DMACR0A	R/W	H'00
	H'FF03		DMA コントロールレジスタ 0B	DMACR0B	R/W	H'00
	H'FF04		DMA コントロールレジスタ 1A	DMACR1A	R/W	H'00
	H'FF05		DMA コントロールレジスタ 1B	DMACR1B	R/W	H'00
	H'FF06		DMA バンドコントロールレジスタ	DMABCR	R/W	H'0000
	H'FF3C	8 ビット	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF

【注】 \* アドレスは下位 16 ビットを示しています。

## 7.2 各レジスタの説明（１）（ショートアドレスモード）

ショートアドレスモード転送は、チャンネル A、B 独立に行うことができます。

表 7.4 に示すように DMABCR の FAE ビットを 0 に設定して各チャンネルのショートアドレスモード転送を指定します。FAE1、FAE0 ビットにより、チャンネル 1、0 を独立してショートアドレス/フルアドレスモードの選択を行うことができます。

表 7.4 ショートアドレスモードとフルアドレスモード（1チャンネル分：チャンネル0の例）

FAE0	説明																		
0	<p>ショートアドレスモードを指定（チャンネル A、B は独立して動作）</p> <table border="1" style="display: inline-table; vertical-align: top;"> <tr> <td rowspan="4" style="writing-mode: vertical-rl; text-orientation: mixed;">チャンネル 0 A</td> <td>MAR0A</td> <td>← 転送元 / 転送先アドレスを指定</td> </tr> <tr> <td>IOAR0A</td> <td>← 転送先 / 転送元アドレスを指定</td> </tr> <tr> <td>ETCR0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td>DMACR0A</td> <td>← 転送サイズ、モード、起動要因等を指定</td> </tr> </table> <table border="1" style="display: inline-table; vertical-align: top;"> <tr> <td rowspan="4" style="writing-mode: vertical-rl; text-orientation: mixed;">チャンネル 0 B</td> <td>MAR0B</td> <td>← 転送元 / 転送先アドレスを指定</td> </tr> <tr> <td>IOAR0B</td> <td>← 転送先 / 転送元アドレスを指定</td> </tr> <tr> <td>ETCR0B</td> <td>← 転送回数を指定</td> </tr> <tr> <td>DMACR0B</td> <td>← 転送サイズ、モード、起動要因等を指定</td> </tr> </table>	チャンネル 0 A	MAR0A	← 転送元 / 転送先アドレスを指定	IOAR0A	← 転送先 / 転送元アドレスを指定	ETCR0A	← 転送回数を指定	DMACR0A	← 転送サイズ、モード、起動要因等を指定	チャンネル 0 B	MAR0B	← 転送元 / 転送先アドレスを指定	IOAR0B	← 転送先 / 転送元アドレスを指定	ETCR0B	← 転送回数を指定	DMACR0B	← 転送サイズ、モード、起動要因等を指定
チャンネル 0 A	MAR0A		← 転送元 / 転送先アドレスを指定																
	IOAR0A		← 転送先 / 転送元アドレスを指定																
	ETCR0A		← 転送回数を指定																
	DMACR0A	← 転送サイズ、モード、起動要因等を指定																	
チャンネル 0 B	MAR0B	← 転送元 / 転送先アドレスを指定																	
	IOAR0B	← 転送先 / 転送元アドレスを指定																	
	ETCR0B	← 転送回数を指定																	
	DMACR0B	← 転送サイズ、モード、起動要因等を指定																	
1	<p>フルアドレスモードを指定（チャンネル A、B は組み合わせて動作）</p> <table border="1" style="display: inline-table; vertical-align: top;"> <tr> <td rowspan="8" style="writing-mode: vertical-rl; text-orientation: mixed;">チャンネル 0</td> <td>MAR0A</td> <td>← 転送元アドレスを指定</td> </tr> <tr> <td>MAR0B</td> <td>← 転送先アドレスを指定</td> </tr> <tr> <td>IOAR0A</td> <td>← 未使用</td> </tr> <tr> <td>IOAR0B</td> <td>← 未使用</td> </tr> <tr> <td>ETCR0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td>ETCR0B</td> <td>← 転送回数を指定（ブロック転送モード時のみ使用）</td> </tr> <tr> <td>DMACR0A</td> <td rowspan="2">← 転送サイズ、モード、起動要因等を指定</td> </tr> <tr> <td>DMACR0B</td> </tr> </table>	チャンネル 0	MAR0A	← 転送元アドレスを指定	MAR0B	← 転送先アドレスを指定	IOAR0A	← 未使用	IOAR0B	← 未使用	ETCR0A	← 転送回数を指定	ETCR0B	← 転送回数を指定（ブロック転送モード時のみ使用）	DMACR0A	← 転送サイズ、モード、起動要因等を指定	DMACR0B		
チャンネル 0	MAR0A		← 転送元アドレスを指定																
	MAR0B		← 転送先アドレスを指定																
	IOAR0A		← 未使用																
	IOAR0B		← 未使用																
	ETCR0A		← 転送回数を指定																
	ETCR0B		← 転送回数を指定（ブロック転送モード時のみ使用）																
	DMACR0A		← 転送サイズ、モード、起動要因等を指定																
	DMACR0B																		

## 7.2.1 メモリアドレスレジスタ (MAR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAR :																
初期値 :	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W :										R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

MAR は 32 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはディスティネーションアドレスを指定します。

MAR の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

MAR がソースアドレスレジスタとして機能するか、ディスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新していきます。詳細は、「7.2.4 DMA コントロールレジスタ (DMACR)」を参照してください。

MAR はリセットまたはスタンバイモード時に初期化されません。

## 7.2.2 I/O アドレスレジスタ (IOAR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

IOAR は 16 ビットのリード/ライト可能なレジスタで、転送のソースアドレスまたはディスティネーションアドレスの下位 16 ビットを指定します。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。

IOAR がソースアドレスレジスタとして機能するか、ディスティネーションアドレスレジスタとして機能するかは、DMACR の DTDIR ビットにより選択できます。

シングルアドレスモードでは IOAR は無効です。

IOAR は転送のたびにインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

IOAR はリセットまたはスタンバイモード時に初期化されません。

### 7.2.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定します。このレジスタは、シーケンシャルモードおよびアイドルモードと、リピートモードとでは設定が異なります。

#### (1) シーケンシャルモードおよびアイドルモード

##### 転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCR :	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

シーケンシャルモードとアイドルモードでは、ETCR は 16 ビットの転送カウンタ (1 ~ 65536) として機能します。1 回の転送を行うたびに 1 だけデクリメントされ H'0000 になると、DMABCR の DTE ビットをクリアし、転送を終了します。

#### (2) リピートモード

##### 転送回数保持

ビット :	15	14	13	12	11	10	9	8
ETCRH:	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

##### 転送カウンタ

ビット :	7	6	5	4	3	2	1	0
ETCRL:	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

リピートモードでは、ETCR は 8 ビットの転送カウンタ (1 ~ 256) ETCRL と転送回数保持レジスタ ETCRH として機能します。1 回の転送を行うたびに ETCRL は 1 だけデクリメントされ、H'00 になると、ETCRH の値をロードします。このとき、MAR は転送を開始したときの値に自動的に戻ります。

DMABCR の DTE ビットはクリアされません。このため、DTE ビットがユーザによりクリアされるまで、繰り返し転送が行えます。

ETCR はリセットまたはスタンバイモード時に初期化されません。

## 7.2.4 DMA コントロールレジスタ (DMACR)

ビット :	7	6	5	4	3	2	1	0
DMACR :	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMACR は 8 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。

DMACR は、リセットまたはスタンバイモード時に H'00 に初期化されます。

## ビット 7: データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 7	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送

## ビット 6: データトランスインクリメント/デクリメント (DTID)

シーケンシャルモードまたはリピートモードの場合、データ転送毎の MAR のインクリメント/デクリメントを選択します。

アイドルモードの場合、MAR はインクリメントもデクリメントもされません。

ビット 6	説明
DTID	
0	データ転送後 MAR をインクリメント (初期値) (1) DTSZ=0 のとき、転送後 MAR を +1 (2) DTSZ=1 のとき、転送後 MAR を +2
1	データ転送後 MAR をデクリメント (1) DTSZ=0 のとき、転送後 MAR を -1 (2) DTSZ=1 のとき、転送後 MAR を -2

## 7. DMA コントローラ

---

### ビット 5 : リピートイネーブル (RPE)

DMABCR の DTIE ビットと組み合わせて、シーケンシャルモード、アイドルモード、リピートモードのうち、どのモードで転送するかを選択します。

ビット 5	DMABCR	説明
RPE	DTIE	
0	0	シーケンシャルモードで転送 (転送終了割り込み無し) (初期値)
	1	シーケンシャルモードで転送 (転送終了割り込み有り)
1	0	リピートモードで転送 (転送終了割り込み無し)
	1	アイドルモードで転送 (転送終了割り込み有り)

シーケンシャルモード、アイドルモード、リピートモードの動作については、「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照してください。

### ビット 4 : データトランスファディレクション (DTDIR)

DMABCR の SAE ビットと組み合わせて、データ転送の方向 (ソース、デスティネーション) を指定します。したがって、デュアルアドレスモードとシングルアドレスモードとで機能が異なります。

DMABCR	ビット 4	説明
SAE	DTDIR	
0	0	MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送 (初期値)
	1	IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送
1	0	MAR をソースアドレス、 $\overline{DACK}$ 端子をライトストロープとして転送
	1	$\overline{DACK}$ 端子をリードストロープ、MAR をデスティネーションアドレスとして転送

ビット3~0: データトランスファファクタ (DTF3~DTF0)

データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部起動要因が異なります。

チャンネル A

ビット3	ビット2	ビット1	ビット0	説明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	A/D 変換器の変換終了割り込みで起動
		1	0	-
			1	-
	1	0	0	SCI チャンネル 0 の送信完了割り込みで起動
			1	SCI チャンネル 0 の受信完了割り込みで起動
		1	0	SCI チャンネル 1 の送信完了割り込みで起動
			1	SCI チャンネル 1 の受信完了割り込みで起動
1	0	0	0	TPU チャンネル 0 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
			1	TPU チャンネル 1 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
		1	0	TPU チャンネル 2 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
			1	TPU チャンネル 3 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
	1	0	0	TPU チャンネル 4 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
			1	TPU チャンネル 5 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
		1	0	-
			1	-

## 7. DMA コントローラ

### チャンネル B

ビット3	ビット2	ビット1	ビット0	説明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	A/D 変換器の変換終了割り込みで起動
		1	0	DREQ 端子の立ち下がりエッジ入力で起動*
			1	DREQ 端子の Low レベル入力で起動
	1	0	0	SCI チャンネル 0 の送信完了割り込みで起動
			1	SCI チャンネル 0 の受信完了割り込みで起動
		1	0	SCI チャンネル 1 の送信完了割り込みで起動
			1	SCI チャンネル 1 の受信完了割り込みで起動
1	0	0	0	TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	0	TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 3 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
	1	0	0	TPU チャンネル 4 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
			1	TPU チャンネル 5 のコンペアマッチ / インプットキャプチャ A 割り込みで起動
		1	0	-
			1	-

【注】 \* 転送許可後の最初の転送は Low レベルで検出します。

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.13 DMAC 複数チャンネルの動作」を参照してください。



## 7.2.5 DMA バンドコントロールレジスタ (DMABCR)

ビット	:	15	14	13	12	11	10	9	8
DMABCRH	:	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	:	7	6	5	4	3	2	1	0
DMABCRL	:	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMABCR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。

DMABCR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

## ビット 15 : フルアドレスイネーブル 1 (FAE1)

チャンネル 1 をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定するビットです。

ビット 15	
FAE1	説明
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ショートアドレスモードでは、チャンネル 1A、1B は、それぞれ独立したチャンネルとして使用できません。

## ビット 14 : フルアドレスイネーブル 0 (FAE0)

チャンネル 0 をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定するビットです。

ビット 14	
FAE0	説明
0	ショートアドレスモード (初期値)
1	フルアドレスモード

ショートアドレスモードでは、チャンネル 0A、0B は、それぞれ独立したチャンネルとして使用できません。

## 7. DMA コントローラ

### ビット 13：シングルアドレスイネーブル 1 (SAE1)

チャンネル 1B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定するビットです。

ビット 13	説明
SAE1	
0	デュアルアドレスモードで転送 (初期値)
1	シングルアドレスモードで転送

フルアドレスモードでは、本ビットは無効になります。

### ビット 12：シングルアドレスイネーブル 0 (SAE0)

チャンネル 0B を、デュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定するビットです。

ビット 12	説明
SAE0	
0	デュアルアドレスモードで転送 (初期値)
1	シングルアドレスモードで転送

フルアドレスモードでは、本ビットは無効になります。

### ビット 11~8：データトランスファアクノレッジ (DTA)

データトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。

DTE=1 のとき DTA=1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。DTE=1、DTA=1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU および DTC に割り込みを要求しません。

DTE=1 のとき DTA=0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合は、CPU または DTC 転送で割り込み要因をクリアしてください。

DTE=0 の状態では、DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは CPU または DTC に割り込みを要求します。

### ビット 11：データトランスファアクノレッジ 1B (DTA1B)

チャンネル 1B のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 11	説明
DTA1B	
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止 (初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可

## ビット 10：データトランスファアクノレッジ 1A (DTA1A)

チャンネル 1A のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 10	説明	
DTA1A		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

## ビット 9：データトランスファアクノレッジ 0B (DTA0B)

チャンネル 0B のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 9	説明	
DTA0B		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

## ビット 8：データトランスファアクノレッジ 0A (DTA0A)

チャンネル 0A のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 8	説明	
DTA0A		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

## ビット 7~4：データトランスファイネーブル (DTE)

DTE ビット = 0 の状態はデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

DTE = 0 となる条件は、

- 初期化されたとき
- リピートモードを除いた転送モードで、指定された回数分の転送を終了したとき
- 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき

です。

DTE = 1 の状態はデータ転送許可の状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。

DTE = 1 となる条件は、

- DTE = 0 をリード後、DTE = 1 をライトしたとき

です。

## 7. DMA コントローラ

---

### ビット 7: データトランスファイネーブル 1B (DTE1B)

チャンネル 1B のデータ転送を許可または禁止するビットです。

ビット 7	説明	
DTE1B		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

### ビット 6: データトランスファイネーブル 1A (DTE1A)

チャンネル 1A のデータ転送を許可または禁止するビットです。

ビット 6	説明	
DTE1A		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

### ビット 5: データトランスファイネーブル 0B (DTE0B)

チャンネル 0B のデータ転送を許可または禁止するビットです。

ビット 5	説明	
DTE0B		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

### ビット 4: データトランスファイネーブル 0A (DTE0A)

チャンネル 0A のデータ転送を許可または禁止するビットです。

ビット 4	説明	
DTE0A		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

### ビット 3~0: データトランスファエンドインタラプトイネーブル (DTIE)

転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE=0 のときに DTIE=1 となっていると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。

ビット3：データトランスファインタラプトイネーブル 1B (DTIE1B)

チャンネル 1B の転送終了割り込みを許可または禁止するビットです。

ビット3	説明	
DTIE1B		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

ビット2：データトランスファインタラプトイネーブル 1A (DTIE1A)

チャンネル 1A の転送終了割り込みを許可または禁止するビットです。

ビット2	説明	
DTIE1A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

ビット1：データトランスファインタラプトイネーブル 0B (DTIE0B)

チャンネル 0B の転送終了割り込みを許可または禁止するビットです。

ビット1	説明	
DTIE0B		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

ビット0：データトランスファインタラプトイネーブル 0A (DTIE0A)

チャンネル 0A の転送終了割り込みを許可または禁止するビットです。

ビット0	説明	
DTIE0A		
0	転送終了割り込みを禁止	(初期値)
1	転送終了割り込みを許可	

### 7.3 各レジスタの説明 (2) (フルアドレスモード)

フルアドレスモード転送は、チャンネル A、B を組み合わせて行います。フルアドレスモード転送の設定については、表 7.4 を参照してください。

#### 7.3.1 メモリアドレスレジスタ (MAR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAR :																
初期値 :	0	0	0	0	0	0	0	0	*	*	*	*	*	*	*	*
R/W :										R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAR :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

MAR は 32 ビットのリード/ライト可能なレジスタで、MARA は転送のソースアドレスレジスタとして、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 2 本の 16 ビットレジスタ MARH、MARL により構成されています。MARH の上位 8 ビットはリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「7.3.4 DMA コントロールレジスタ (DMACR)」を参照してください。

MAR はリセットまたはスタンバイモード時に初期化されません。

#### 7.3.2 I/O アドレスレジスタ (IOAR)

IOAR はフルアドレスモード転送では使用しません。

### 7.3.3 転送カウントレジスタ (ETCR)

ETCR は 16 ビットのリード/ライト可能なレジスタで、転送回数を設定しますが、ノーマルモードとブロック転送モードとでは機能が異なります。

ETCR はリセットまたはスタンバイモード時に初期化されません。

#### (1) ノーマルモード

##### (a) ETCRA

転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCRA :	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。このとき、ETCRB は使用されません。

##### (b) ETCRB

ETCRB はノーマルモードでは使用しません。

#### (2) ブロック転送モード

##### (a) ETCRA

ブロックサイズ保持

ビット :	15	14	13	12	11	10	9	8
ETCRH :	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブロックサイズカウンタ

ビット :	7	6	5	4	3	2	1	0
ETCRL :	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

## 7. DMA コントローラ

### (b) ETCRB

#### ブロック転送カウンタ

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCRB :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブロック転送モードでは、ETCRAL は 8 ビットのブロックサイズカウンタとして機能し、ETCRAH はブロックサイズを保持します。ETCRAL は 1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAH の値がロードされます。したがって、ETCRAH、ETCRAL にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、H'0000 になると転送を終了します。

### 7.3.4 DMA コントロールレジスタ (DMACR)

DMACR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。フルアドレスモードでは、DMACRA と DMACRB で機能が異なります。

DMACR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

#### (1) DMACRA

ビット :	15	14	13	12	11	10	9	8
DMACRA :	DTSZ	SAID	SAIDE	BLKDIR	BLKE			
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### (2) DMACRB

ビット :	7	6	5	4	3	2	1	0
DMACRB :		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

#### ビット 15 : データトランスファサイズ (DTSZ)

1 回に転送されるデータサイズを選択します。

ビット 15	説明
DTSZ	
0	バイトサイズ転送 (初期値)
1	ワードサイズ転送



ビット 14：ソースアドレスインクリメント/デクリメント (SAID)

ビット 13：ソースアドレスインクリメント/デクリメントイネーブル (SAIDE)

データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 14	ビット 13	説明
SAID	SAIDE	
0	0	MARA 固定 (初期値)
	1	データ転送後、MARA をインクリメント (1) DTSZ=0 のとき、転送後 MARA を +1 (2) DTSZ=1 のとき、転送後 MARA を +2
1	0	MARA 固定
	1	データ転送後、MARA をデクリメント (1) DTSZ=0 のとき、転送後 MARA を -1 (2) DTSZ=1 のとき、転送後 MARA を -2

ビット 12：ブロックディレクション (BLKDIR)

ビット 11：ブロックイネーブル (BLKE)

ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE で指定します。また、ブロック転送モードを指定する場合にはソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR で指定します。

ビット 12	ビット 11	説明
BLKDIR	BLKE	
0	0	ノーマルモードで転送 (初期値)
	1	ブロック転送モードで転送、ブロックエリアはデスティネーション側
1	0	ノーマルモードで転送
	1	ブロック転送モードで転送、ブロックエリアはソース側

ノーマルモード、ブロック転送モードの動作については、「7.5 動作説明」を参照してください。

ビット 10~7：リザーブビット

リード/ライト可能です。

ビット 6：デスティネーションアドレスインクリメント/デクリメント (DAID)

## 7. DMA コントローラ

ビット 5 : デスティネーションアドレスインクリメント / デクリメントイネーブル ( DAIDE )

データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 6	ビット 5	説明
DAID	DAIDE	
0	0	MARB 固定 (初期値)
	1	データ転送後、MARB をインクリメント (1) DTSZ=0 のとき、転送後 MARB を +1 (2) DTSZ=1 のとき、転送後 MARB を +2
1	0	MARB 固定
	1	データ転送後 MARB をデクリメント (1) DTSZ=0 のとき、転送後 MARB を -1 (2) DTSZ=1 のとき、転送後 MARB を -2

ビット 4 : リザーブビット

リード / ライト可能です。

ビット 3 ~ 0 : データトランスファファクタ ( DTF3 ~ DTF0 )

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードとでは指定できる起動要因が異なります。

ノーマルモード

ビット 3	ビット 2	ビット 1	ビット 0	説明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	-
		1	0	DREQ 端子の立ち下がりエッジ入力で起動*
			1	DREQ 端子の Low レベル入力で起動
	1	0	*	-
			1	オートリクエスト ( サイクルスチール )
1	*	*	0	オートリクエスト ( バースト )
			1	-

【注】 \*1 転送許可後の最初の転送は Low レベルで検出します。

\* : Don't care

## ブロック転送モード

ビット3	ビット2	ビット1	ビット0	説明
DTF3	DTF2	DTF1	DTF0	
0	0	0	0	- (初期値)
			1	A/D 変換器の変換終了割り込みで起動
		1	0	DREQ 端子の立ち下がりエッジ入力で起動*1
			1	DREQ 端子の Low レベル入力で起動
	1	0	0	SCI チャンネル 0 の送信完了割り込みで起動
			1	SCI チャンネル 0 の受信完了割り込みで起動
		1	0	SCI チャンネル 1 の送信完了割り込みで起動
			1	SCI チャンネル 1 の受信完了割り込みで起動
1	0	0	0	TPU チャンネル 0 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
			1	TPU チャンネル 1 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
		1	0	TPU チャンネル 2 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
			1	TPU チャンネル 3 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
	1	0	0	TPU チャンネル 4 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
			1	TPU チャンネル 5 のコンペアマッチ / インพุットキャプチャ A 割り込みで起動
		1	0	-
			1	-

【注】 \*1 転送許可後の最初の転送は Low レベルで検出します。

複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.13 DMAC 複数チャンネルの動作」を参照してください。

## 7.3.5 DMA バンドコントロールレジスタ (DMABCR)

ビット	15	14	13	12	11	10	9	8
DMABCRH	F AE1	F AE0			D TA1		D TA0	
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
DMABCRL	D TME1	D TE1	D TME0	D TE0	D TIE1B	D TIE1A	D TIE0B	D TIE0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DMABCR は 16 ビットのリード/ライト可能なレジスタで、DMAC の各チャンネルの動作を制御します。

DMABCR は、リセットまたはスタンバイモード時に H'0000 に初期化されます。

## ビット 15：フルアドレスイネーブル 1 (FAE1)

チャンネル 1 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。

ビット 15	
F AE1	説明
0	ショートアドレスモード (初期値)
1	フルアドレスモード

フルアドレスモードでは、チャンネル 1A、1B は、組み合わせてチャンネル 1 として使用できます。

## ビット 14：フルアドレスイネーブル 0 (FAE0)

チャンネル 0 を、ショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。

ビット 14	
F AE0	説明
0	ショートアドレスモード (初期値)
1	フルアドレスモード

フルアドレスモードでは、チャンネル 0A、0B は、組み合わせてチャンネル 0 として使用できます。

## ビット 13、12：リザーブビット

リード/ライト可能です。

## ビット 11、9：データトランスファアクノレッジ (DTA)

データトランスファファクタによって選択されている内部割り込み要因の、DMA 転送時のクリアを許可または禁止するビットです。

DTE=1 のとき DTA=1 となっていると、データトランスファファクタによって選択されている内部割り込み要因は DMA 転送により自動的にクリアされます。DTE=1、DTA=1 の状態では、データトランスファファクタによって選択されている内部割り込みは CPU および DTC に割り込みを要求しません。

DTE=1 のとき DTA=0 となっていると、データトランスファファクタによって選択されている内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合は、CPU または DTC 転送で割り込み要因をクリアしてください。

DTE=0 の状態では、DTA ビットによらず、データトランスファファクタによって選択されている内部割り込みは CPU または DTC に割り込みを要求します。

DTME ビットの状態は、前述の動作に影響を与えません。

## ビット 11：データトランスファアクノレッジ 1 (DTA1)

チャンネル 1 のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 11	説明	
DTA1		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

## ビット 9：データトランスファアクノレッジ 0 (DTA0)

チャンネル 0 のデータトランスファファクタによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

ビット 9	説明	
DTA0		
0	選択されている内部割り込み要因の DMA 転送時のクリアを禁止	(初期値)
1	選択されている内部割り込み要因の DMA 転送時のクリアを許可	

## ビット 10、8：リザーブビット

リード/ライト可能です。

## 7. DMA コントローラ

---

### ビット 7、5 : データトランスファマスタイネーブル (DTME)

DTE ビットとともに当該チャネルのデータ転送の許可または禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャネルは転送許可状態となります。

NMI 割り込みが発生したとき、当該チャネルがバーストモード転送中である場合には DTME ビットがクリアされ、転送を中断して CPU にバス権を移します。その後、DTME ビットを 1 にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI 割り込みにより DTME ビットがクリアされることはなく、転送を中断することはありません。

DTME ビット = 0 となる条件は、

- 初期化されたとき
- バーストモードで NMI が入力されたとき
- DTME ビットに 0 をライトしたとき

です。

また、DTME ビット = 1 となる条件は、

- DTME ビット = 0 をリード後、DTME ビットに 1 をライトしたとき

です。

### ビット 7 : データトランスファマスタイネーブル 1 (DTME1)

チャンネル 1 のデータ転送を許可または禁止するビットです。

ビット 7	
DTME1	説明
0	データ転送禁止。バーストモード時に、NMI 割り込みが発生すると 0 にクリア (初期値)
1	データ転送許可

### ビット 5 : データトランスファマスタイネーブル 0 (DTME0)

チャンネル 0 のデータ転送を許可または禁止するビットです。

ビット 5	
DTME0	説明
0	データ転送禁止。バーストモード時に、NMI 割り込みが発生すると 0 にクリア (初期値)
1	データ転送許可

## ビット 6、4：データトランスファイネーブル (DTE)

DTE = 0 のときはデータ転送禁止の状態であり、データトランスファファクタによって選択されている起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTE = 0 のときに DTIE = 1 となっていると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。

DTE = 0 となる条件は、

- 初期化されたとき
- 指定された回数分の転送を終了したとき
- 強制的に転送を打ち切るなどの理由により、DTE ビットに 0 をライトしたとき

です。

DTE = 1 かつ DTME = 1 のときはデータ転送許可状態であり、データトランスファファクタによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。

DTE = 1 となる条件は、

- DTE = 0 をリード後、DTE ビットに 1 をライトしたとき

です。

## ビット 6：データトランスファイネーブル 1 (DTE1)

チャンネル 1 のデータ転送を許可または禁止するビットです。

ビット 6	説明	
DTE1		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

## ビット 4：データトランスファイネーブル 0 (DTE0)

チャンネル 0 のデータ転送を許可または禁止するビットです。

ビット 4	説明	
DTE0		
0	データ転送を禁止	(初期値)
1	データ転送を許可	

## ビット 3、1：データトランスファインタラプトイネーブル B (DTIEB)

転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTME = 0 のときに DTIEB = 1 となっていると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。

転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIEB ビットを 0 にクリアする方法と、DTME ビットを 1 にセットして転送継続の処理を行う方法があります。

## 7. DMA コントローラ

---

ビット3：データトランスファインタラプトイネーブル1B (DTIE1B)

チャンネル1の転送中断割り込みを許可または禁止するビットです。

ビット3	説明
DTIE1B	
0	転送中断割り込みを禁止 (初期値)
1	転送中断割り込みを許可

ビット1：データトランスファインタラプトイネーブル0B (DTIE0B)

チャンネル0の転送中断割り込みを許可または禁止するビットです。

ビット1	説明
DTIE0B	
0	転送中断割り込みを禁止 (初期値)
1	転送中断割り込みを許可

ビット2、0：データトランスファエンドインタラプトイネーブルA (DTIEA)

転送終了時のCPUまたはDTCに対する割り込みを許可または禁止するビットです。DTE=0のときにDTIEA=1となっていると、DMACは転送終了とみなし、CPUまたはDTCに対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて、DTIEAビットを0にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後にDTEビットを1にセットして転送継続の処理を行う方法があります。

ビット2：データトランスファインタラプトイネーブル1A (DTIE1A)

チャンネル1の転送終了割り込みを許可または禁止するビットです。

ビット2	説明
DTIE1A	
0	転送終了割り込みを禁止 (初期値)
1	転送終了割り込みを許可

ビット0：データトランスファインタラプトイネーブル0A (DTIE0A)

チャンネル0の転送終了割り込みを許可または禁止するビットです。

ビット0	説明
DTIE0A	
0	転送終了割り込みを禁止 (初期値)
1	転送終了割り込みを許可



## 7.4 各レジスタの説明 (3)

### 7.4.1 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェーン転送を利用して書き換え、再起動させることができます。DMAWER は、レジスタを書き換える際に、目的とするチャンネル以外のレジスタを不用意に書き換えることのないように、特定チャンネルの DMACR ならびに DMATCR、DMABCR の特定ビットを変更できるように制限するものです。DMAWER による制限は、DTC に対し有効です。

図 7.2 にチャンネル 0A の転送終了割り込みにより DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送によりアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェーン転送によりコントロールレジスタの領域を再設定します。

コントロールレジスタの領域を再設定する際に、他のチャンネルの内容を変更できないように DMAWER のビットの設定によりマスクを行ってください。

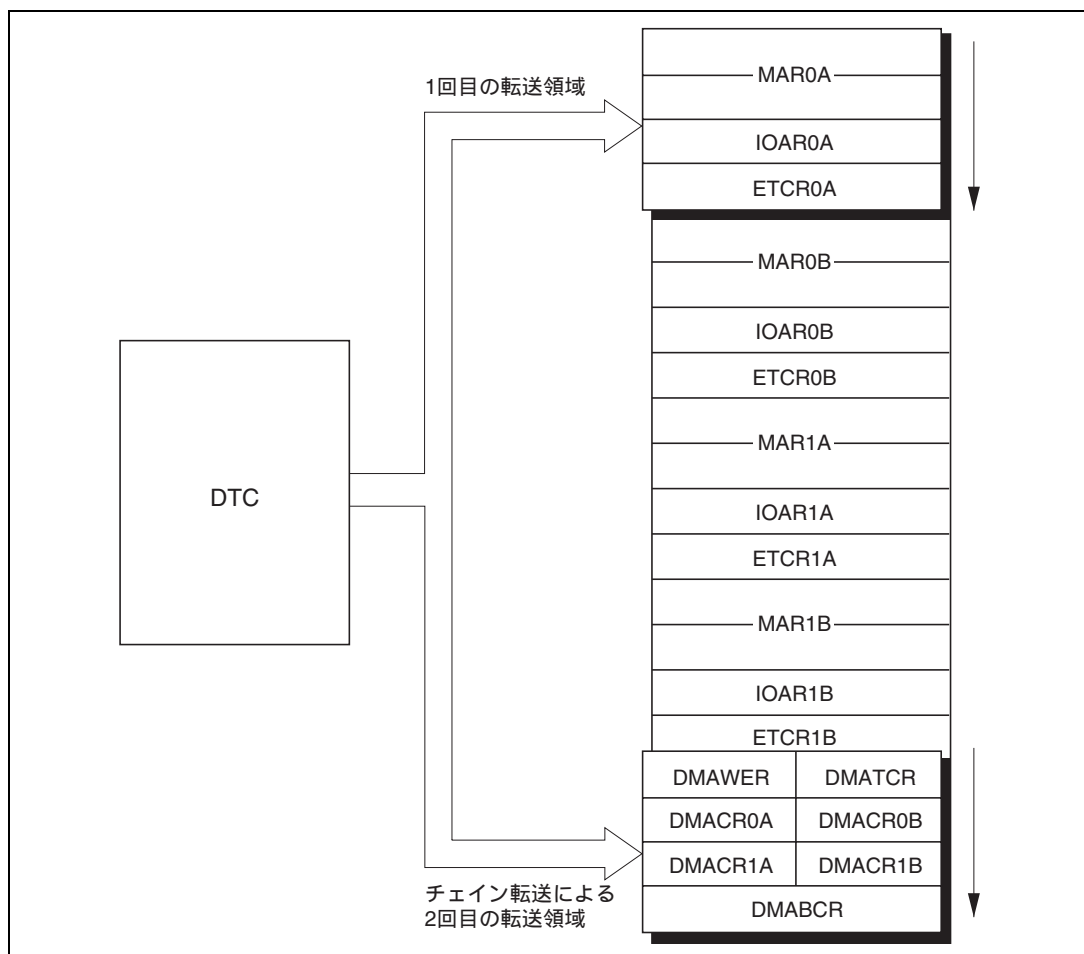


図 7.2 DTC によるレジスタ再設定領域 (例：チャンネル 0A)

## 7. DMA コントローラ

ビット	:	7	6	5	4	3	2	1	0
DMAWER	:					WE1B	WE1A	WE0B	WE0A
初期値	:	0	0	0	0	0	0	0	0
R/W	:					R/W	R/W	R/W	R/W

DMAWER は 8 ビットのリード/ライト可能なレジスタで、DTC に対し、DMACR、DMABCR、DMATCR へのライトの許可または禁止を制御します。

DMAWER は、リセットまたはスタンバイモード時に H'00 に初期化されます。

### ビット 7~4: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

### ビット 3: ライトイネーブル 1B (WE1B)

DTC に対し、DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可または禁止するビットです。

ビット 3	
WE1B	説明
0	DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを禁止 (初期値)
1	DMACR1B のすべてのビットと DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可

### ビット 2: ライトイネーブル 1A (WE1A)

DTC に対し、DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。

ビット 2	
WE1A	説明
0	DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを禁止 (初期値)
1	DMACR1A のすべてのビットと DMABCR のビット 10、6、2 へのライトを許可

ビット1：ライトイネーブル0B (WE0B)

DTC に対し、DMACR0B のすべてのビットと DMABCR のビット9、5、1、DMATCR のビット4 へのライトを許可または禁止するビットです。

ビット1	説明
WE0B	
0	DMACR0B のすべてのビットと DMABCR のビット9、5、1、DMATCR のビット4 へのライトを禁止 (初期値)
1	DMACR0B のすべてのビットと DMABCR のビット9、5、1、DMATCR のビット4 へのライトを許可

ビット0：ライトイネーブル0A (WE0A)

DTC に対し、DMACR0A のすべてのビットと DMABCR のビット8、4、0 へのライトを許可または禁止するビットです。

ビット0	説明
WE0A	
0	DMACR0A のすべてのビットと DMABCR のビット8、4、0 へのライトを禁止 (初期値)
1	DMACR0A のすべてのビットと DMABCR のビット8、4、0 へのライトを許可

DMAWER の設定にかかわらず、DTC による DMABCR のビット15~12 (FAE、SAE) へのライトは無効です。これらのビットを変更する場合は CPU による処理で行ってください。

DTC による DMABCR のビット7~4 (DTE) へのライトは、0 をリードせずに 1 をライトすることが可能になっています。フルアドレスモードに設定されているチャンネルの再起動は、再起動しようとするチャンネルのライトイネーブル A とライトイネーブル B にともに 1 をライトしてください。

MAR、IOAR、ETCR は、DMAWER の設定にかかわらず常にライト可能です。これらのレジスタの変更は、変更しようとするチャンネルが停止している状態で行ってください。

#### 7.4.2 DMA ターミナルコントロールレジスタ (DMATCR)

ビット	:	7	6	5	4	3	2	1	0
DMATCR	:			TEE1	TEE0				
初期値	:	0	0	0	0	0	0	0	0
R/W	:			R/W	R/W				

DMATCR は 8 ビットのリード/ライト可能なレジスタで、DMAC の転送終了端子の出力の許可または禁止を制御します。ビットの設定によりポートを自動的に出力に設定し、転送終了信号を出力することができます。

DMATCR は、リセットまたはスタンバイモード時に H'00 に初期化されます。

ビット7~6：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

## 7. DMA コントローラ

### ビット 5：転送終了端子イネーブル 1 (TEE1)

転送終了端子 1 ( $\overline{TEND}_1$ ) の出力を許可または禁止するビットです。

ビット 5	説明
TEE1	
0	$\overline{TEND}_1$ 端子出力を禁止 (初期値)
1	$\overline{TEND}_1$ 端子出力を許可

### ビット 4：転送終了端子イネーブル 0 (TEE0)

転送終了端子 0 ( $\overline{TEND}_0$ ) の出力を許可または禁止するビットです。

ビット 4	説明
TEE0	
0	$\overline{TEND}_0$ 端子出力を禁止 (初期値)
1	$\overline{TEND}_0$ 端子出力を許可

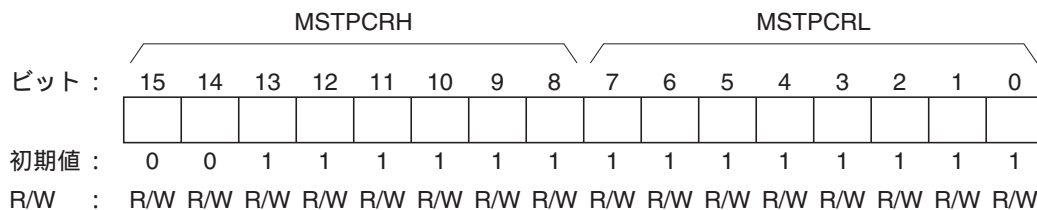
$\overline{TEND}$  端子は、ショートアドレスモードではチャンネル B のみに割り当てられています。

転送終了信号は、転送要因によらず、転送カウンタが 0 になった転送サイクルを示しています。例外として、ブロック転送モードの場合は、ブロックカウンタが 0 になった転送サイクルを示しています。

### ビット 3~0：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

## 7.4.3 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP15 ビットを 1 にセットすると、バスサイクルの終了時点で DMAC は動作を停止してモジュールストップモードへ遷移します。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## ビット 15 : モジュールストップ (MSTP15)

DMAC のモジュールストップモードを指定します。

ビット 15	説明
MSTP15	
0	DMAC のモジュールストップモード解除 (初期値)
1	DMAC のモジュールストップモード設定

## 7.5 動作説明

## 7.5.1 転送モード

DMAC のモード一覧を表 7.5 に示します。

表 7.5 DMAC の転送モード

転送モード		転送要因	備考
シヨートアドレスモード	デュアルアドレスモード (1) シーケンシャルモード (2) アイドルモード (3) リピートモード	<ul style="list-style-type: none"> <li>TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込み</li> <li>SCI の送信完了割り込み</li> <li>SCI の受信完了割り込み</li> <li>A/D 変換器の変換終了割り込み</li> <li>外部リクエスト</li> </ul>	<ul style="list-style-type: none"> <li>最大 4 チャンネルを独立に動作可能</li> <li>外部リクエストはチャンネル B のみ可能</li> <li>シングルアドレスモードはチャンネル B のみ可能</li> <li>シングルアドレスモードに対しても (1)、(2)、(3) の各モードを指定可能</li> </ul>
	(4) シングルアドレスモード		
フルアドレスモード	(5) ノーマルモード	<ul style="list-style-type: none"> <li>外部リクエスト</li> <li>オートリクエスト</li> </ul>	<ul style="list-style-type: none"> <li>チャンネル A、B を組み合わせて、最大 2 チャンネル動作可能</li> <li>オートリクエストでは、パーストモード転送/サイクルスチール転送の選択可能</li> </ul>
	(6) ブロック転送モード	<ul style="list-style-type: none"> <li>TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込み</li> <li>SCI の送信完了割り込み</li> <li>SCI の受信完了割り込み</li> <li>A/D 変換器の変換終了割り込み</li> <li>外部リクエスト</li> </ul>	

## 7. DMA コントローラ

---

各モードの動作概要を以下に示します。

### (1) シーケンシャルモード

一回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU または DTC に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送方向はプログラマブルです。

### (2) アイドルモード

一回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU または DTC に割り込みを要求することができます。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送元および転送先アドレスは固定になります。転送方向はプログラマブルです。

### (3) リピートモード

一回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU または DTC に対して割り込みは要求しません。アドレスの一方は 24 ビット、他方は 16 ビットで指定します。転送方向はプログラマブルです。

### (4) シングルアドレスモード

一回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ外部メモリと外部デバイス間の転送を行います。デュアルアドレスモードと異なり、ソースおよびディスティネーションのアクセスが並行に行われます。このため、ソースまたはディスティネーションのどちらか一方は、 $\overline{DACK}$  端子によるストロブだけでアクセスできる外部デバイスとなります。アドレスの一方は 24 ビットで指定し、他方は自動的に端子が設定されます。転送方向はプログラマブルです。

シングルアドレスモードでも、(1) ~ (3) の各モードを指定できます。

### (5) ノーマルモード

#### (a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了すると CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- サイクルスチールモード ...1 バイトまたはワード転送ごとにバスを他のバスマスタに解放します。
- パーストモード ...指定された転送が完了するまでバスを占有して転送を行います。

#### (b) 外部リクエスト

一回の転送要求に対して、1 バイトまたは 1 ワードずつ指定された回数だけ転送を行います。指定された回数の転送が終了すると、CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

## (6) ブロック転送モード

一回の転送要求に対して指定されたブロックサイズのブロック転送を行います。これを転送要求のあるごとに、指定された回数だけ繰り返します。一回のブロック転送が終了するたびに、一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了すると、CPU または DTC に対して割り込みを要求することができます。アドレスはいずれも 24 ビットで指定します。


## 7.5.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCR で指定した回数だけ実行します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。

シーケンシャルモード時のレジスタの機能を表 7.6 に示します。

表 7.6 シーケンシャルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
23 <span style="float: right;">0</span> 	ソースアドレスレジスタ	ディスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント
23 <span style="margin-left: 20px;">15</span> <span style="float: right;">0</span> 	ディスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
15 <span style="float: right;">0</span> 	転送カウンタ		転送回数	一回の転送ごとにデクリメント。H'0000 になると、転送終了

## 【記号説明】

- MAR : メモリアドレスレジスタ
- IOAR : I/O アドレスレジスタ
- ETCR : 転送カウントレジスタ
- DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は一回のバイトまたはワード転送のたびに 1 または 2 を、インクリメント/デクリメントします。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

シーケンシャルモードの動作を図 7.3 に示します。

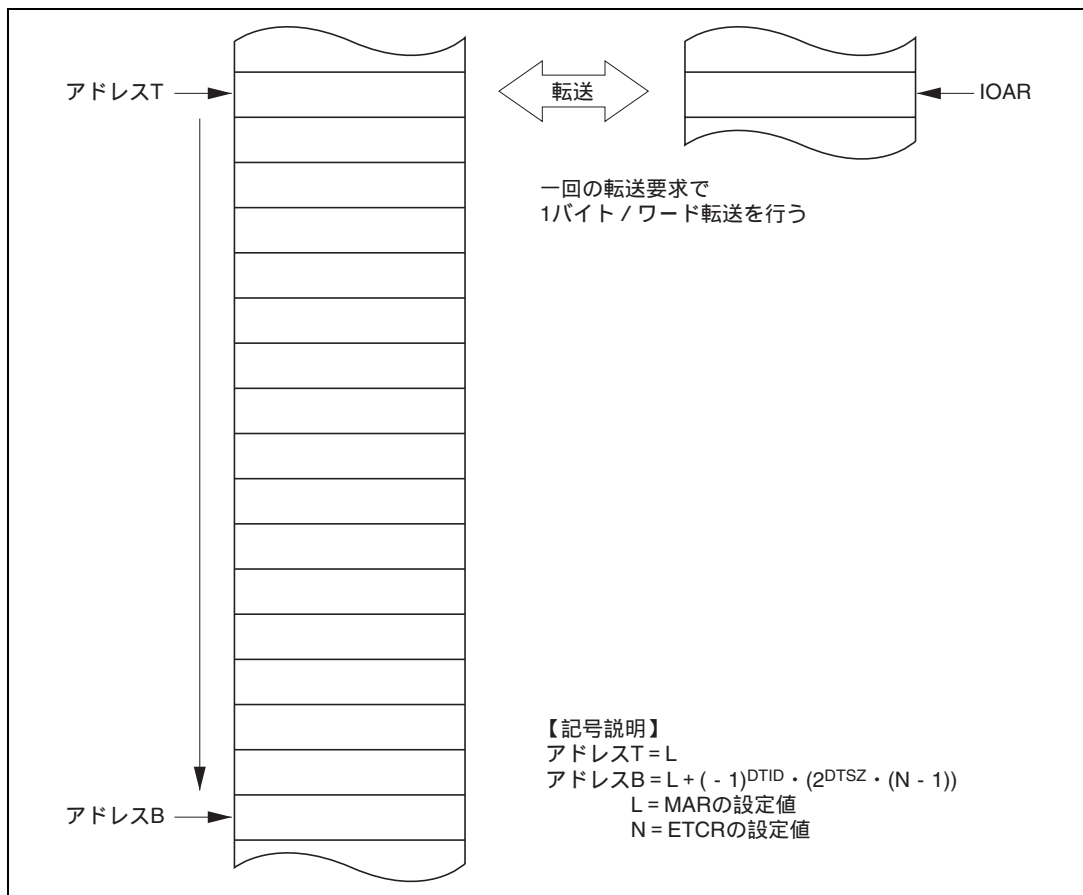


図 7.3 シーケンシャルモードの動作



転送回数は ETCR によって 16 ビットで指定します。ETCR は一回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

シーケンシャルモードの設定手順例を図 7.4 に示します。

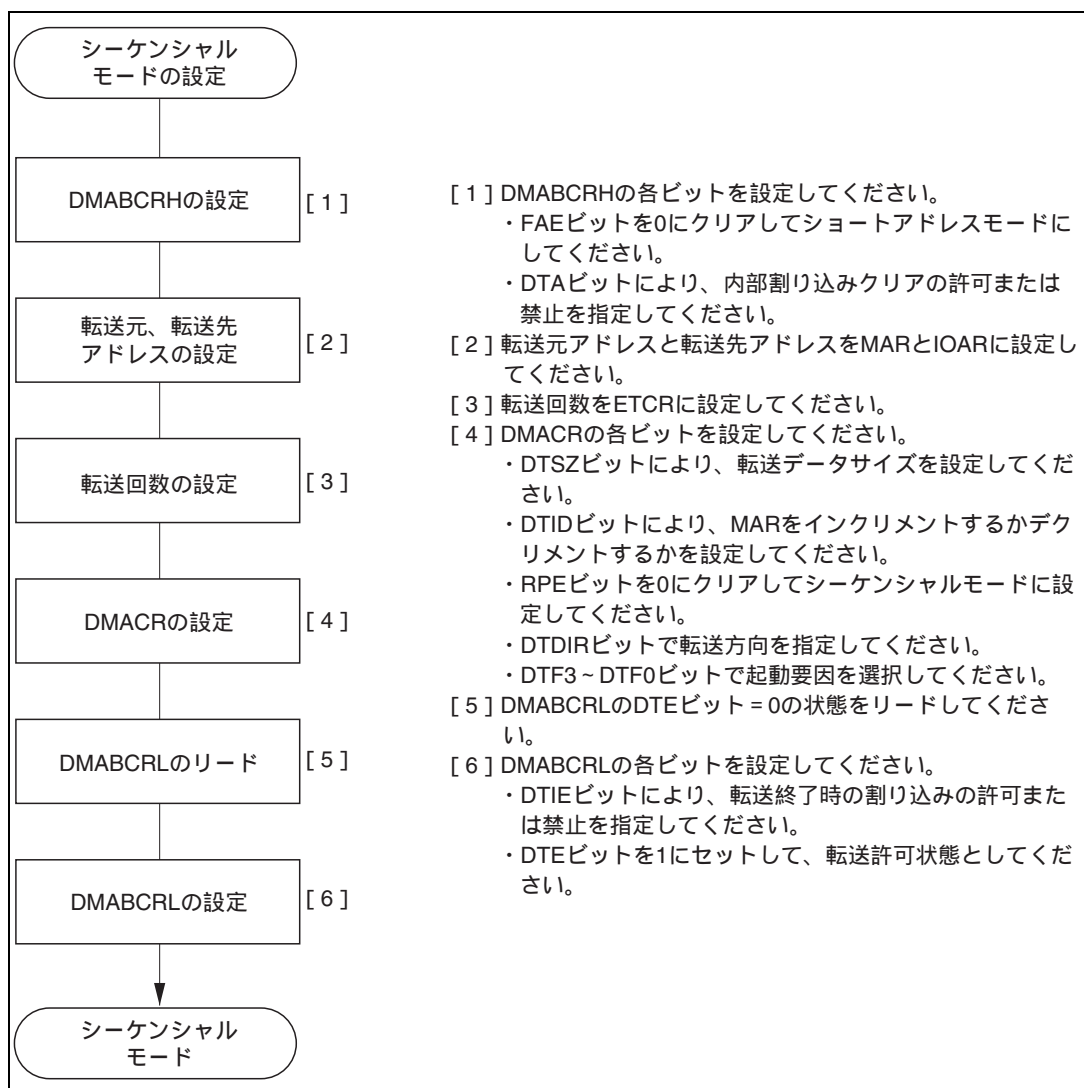


図 7.4 シーケンシャルモードの設定手順例

## 7.5.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードずつ転送、これを ETCR で指定した回数だけ実行します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。

アイドルモード時のレジスタの機能を表 7.7 に示します。

表 7.7 アイドルモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
23  0	ソースアドレスレジスタ	ディスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
23  15 0	ディスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
15  0	転送カウンタ		転送回数	一回の転送ごとにデクリメント。H'0000 になると、転送終了

## 【記号説明】

- MAR : メモリアドレスレジスタ
- IOAR : I/O アドレスレジスタ
- ETCR : 転送カウンタレジスタ
- DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は一回のバイトまたはワード転送のたびにインクリメントもデクリメントもされません。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

アイドルモードの動作を図 7.5 に示します。

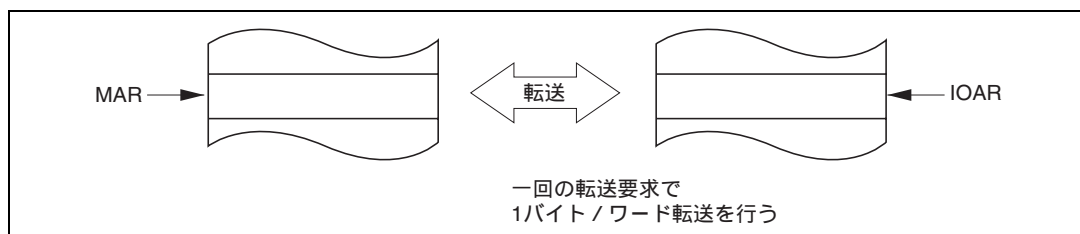


図 7.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は一回の転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

また、シングルアドレスモードで使用する場合は、チャンネル B 側のみ設定できます。

アイドルモードの設定手順例を図 7.6 に示します。

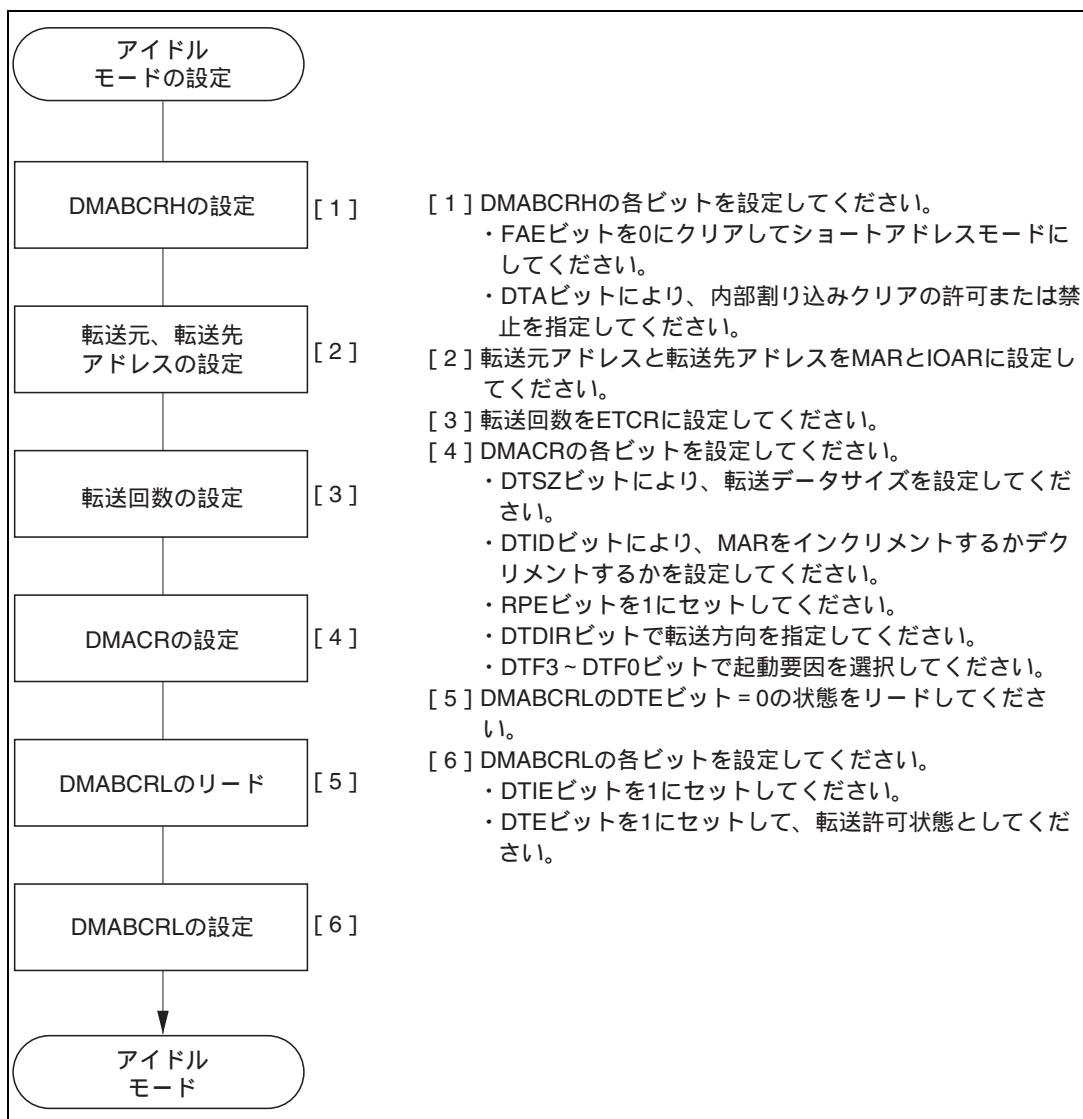


図 7.6 アイドルモードの設定手順例





## 7.5.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1、DTIE ビットを 0 に設定することで指定できます。リピートモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRL で指定した回数だけ実行します。指定された回数の転送終了時に、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。

アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。

リピートモード時のレジスタの機能を表 7.8 に示します。

表 7.8 リピートモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
23 0 	ソースアドレスレジスタ	ディスティネーションアドレスレジスタ	転送先または転送先の先頭アドレス	一回の転送ごとにインクリメント/デクリメント。H'0000 になると、初期設定値に回復
23 15 0 	ディスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
7 0 	転送回数保持		転送回数	固定
7 0 	転送カウンタ		転送回数	一回の転送ごとにデクリメント。H'00 になると、ETCRH の値をロード

## 【記号説明】

- MAR : メモリアドレスレジスタ
- IOAR : I/O アドレスレジスタ
- ETCR : 転送カウンタレジスタ
- DTDIR : データトランスファディレクションビット

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は一回のバイトまたはワード転送のたびに 1 または 2 を、インクリメント/デクリメントします。

IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR より上位 8 ビットは H'FF となります。

転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで、256 となります。

リピートモードでは ETCRL を転送カウンタとし、ETCRH は転送回数保持に使用します。ETCRL は一回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

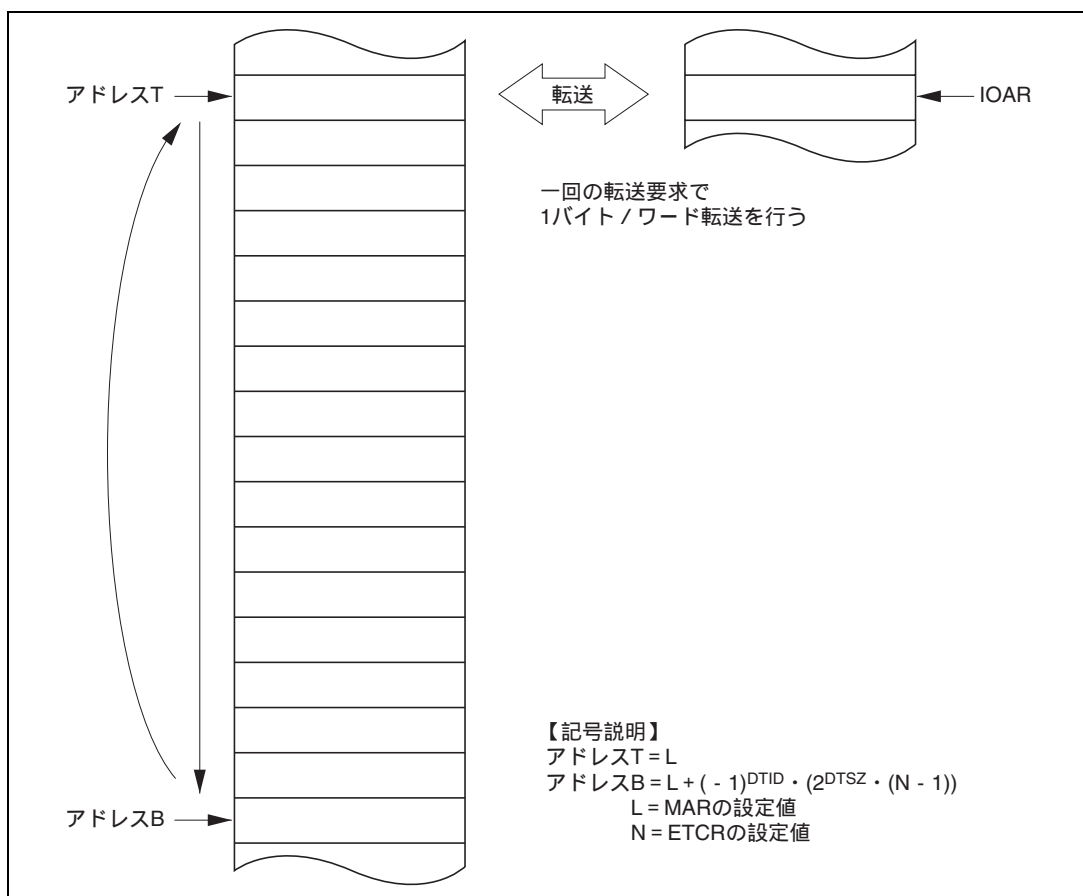
$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は、同じ値に設定してください。

リピートモードでは、DTE ビットがクリアされるまで動作を継続します。したがって、転送を終了するには DTE ビットを 0 にクリアしてください。CPU または DTC に対して転送終了割り込みは要求しません。

DTE ビットをクリア後、DTE ビットを再びセットすると、DTE ビットをクリアした時点で終了した転送の続きから再開することができます。

リピートモードの動作を図 7.7 に示します。



## 7. DMA コントローラ

転送要求（起動要因）には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信完了 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

リピートモードの設定手順例を図 7.8 に示します。

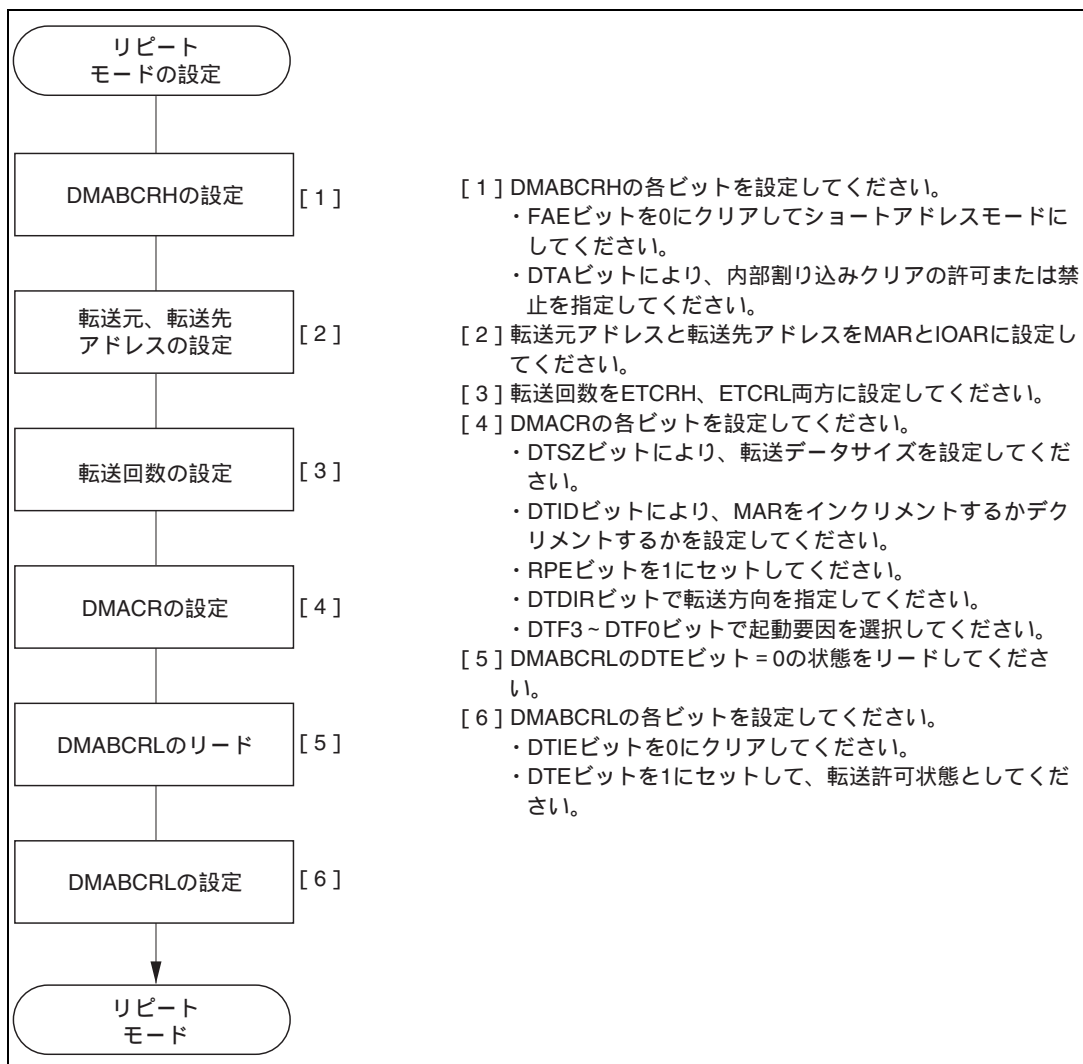


図 7.8 リピートモードの設定手順例

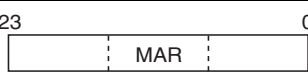

### 7.5.5 シングルアドレスモード

シングルアドレスモードは、チャンネル B のみ設定できます。ショートアドレスモードにおいて、DMABCR の SAE ビットを 1 に設定することで指定できます。

アドレスの一方は MAR で指定し、他方は自動的にデータ転送アクノレッジ端子 ( $\overline{DACK}$ ) に設定されます。転送方向は DMACR の DTDIR ビットにより指定できます。

シングルアドレスモード時のレジスタの機能を表 7.9 に示します。

表 7.9 シングルアドレスモード時のレジスタの機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
<div style="text-align: center;">  </div>	ソースアドレスレジスタ	ディスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	*
$\overline{DACK}$ 端子	ライトストロープ	リードストロープ	(SAE ビットによる自動設定、IOAR は無効)	外部デバイスに対するストロープ
<div style="text-align: center;">  </div>	転送カウンタ		転送回数	*

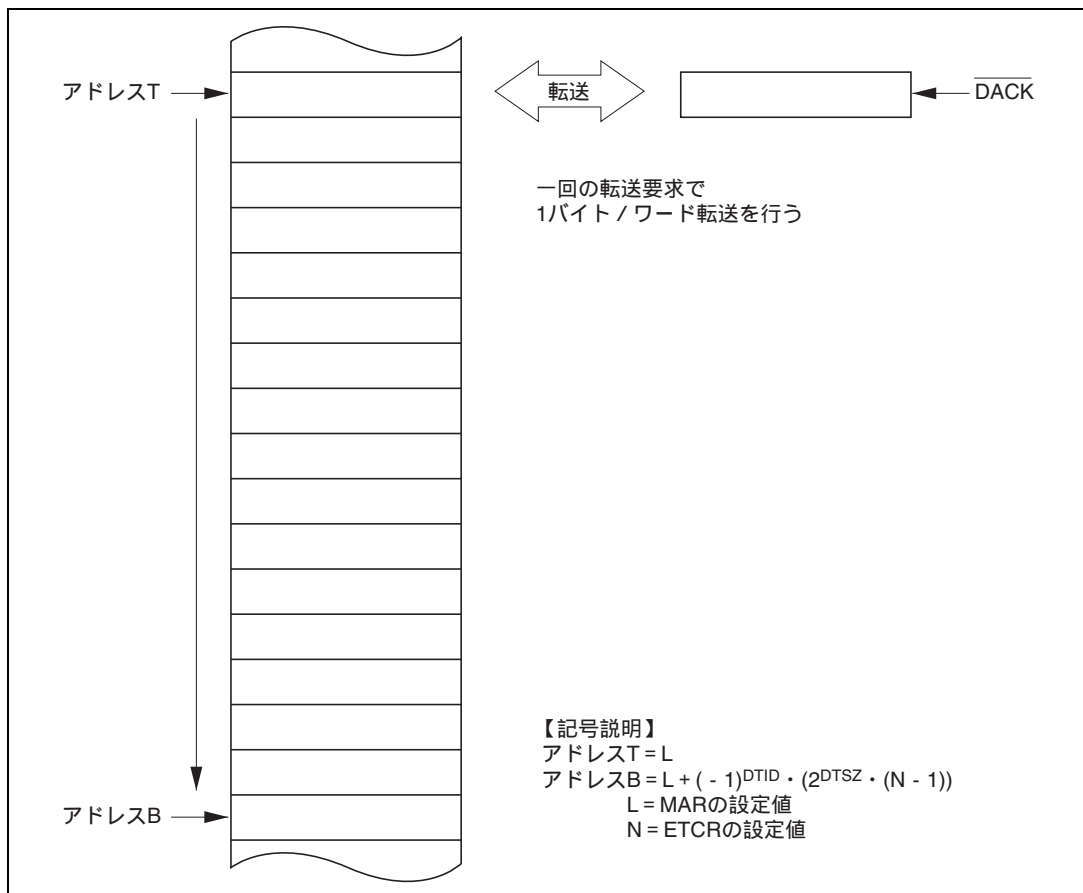
【記号説明】

- MAR : メモリアドレスレジスタ
- IOAR : I/O アドレスレジスタ
- ETCR : 転送カウントレジスタ
- DTDIR : データトランスファディレクションビット
- $\overline{DACK}$  : データ転送アクノレッジ

【注】\* 「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」の各動作を参照してください。

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。  
IOAR は無効となり、代わりに外部デバイスに対するストロープ ( $\overline{DACK}$ ) を出力します。

シングルアドレスモード（シーケンシャルモード指定時）の動作を図 7.9 に示します。





シングルアドレスモード（シーケンシャルモード指定）の設定手順例を図 7.10 に示します。

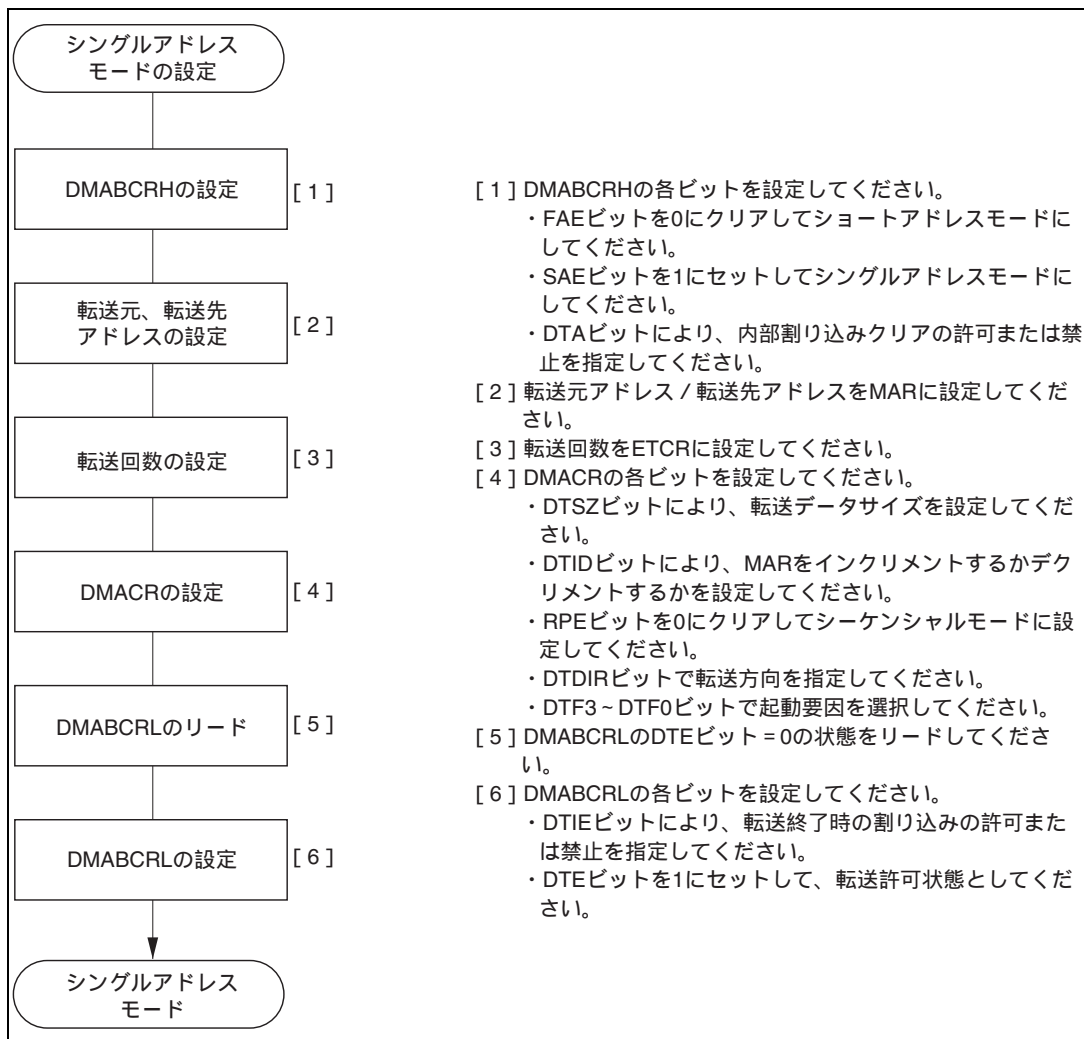


図 7.10 シングルアドレスモード（シーケンシャルモード指定）の設定手順例

## 7.5.6 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせて転送を行います。ノーマルモードは、DMABCR の FAE ビットを 1、DMACRA の BLKE ビットを 0 に設定することで指定できます。

ノーマルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードずつ転送後に MAR を更新、これを ETCRA で指定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。

ノーマルモード時のレジスタの機能を表 7.10 に示します。

表 7.10 ノーマルモード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
23 0 MARA	ソースアドレスレジスタ	転送元先頭アドレス	一回の転送ごとにインクリメント/デクリメント、または固定
23 0 MARB	ディスティネーションアドレスレジスタ	転送先先頭アドレス	一回の転送ごとにインクリメント/デクリメント、または固定
15 0 ETCRA	転送カウンタ	転送回数	一回の転送ごとにデクリメント、H'0000 になると転送終了

## 【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウンタレジスタ A

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は一回のバイトまたはワード転送のたびに 1 または 2、インクリメント/デクリメントするか、または固定にすることができます。

インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。

転送回数は ETCRA にて 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に割り込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

ノーマルモードの動作を図 7.11 に示します。

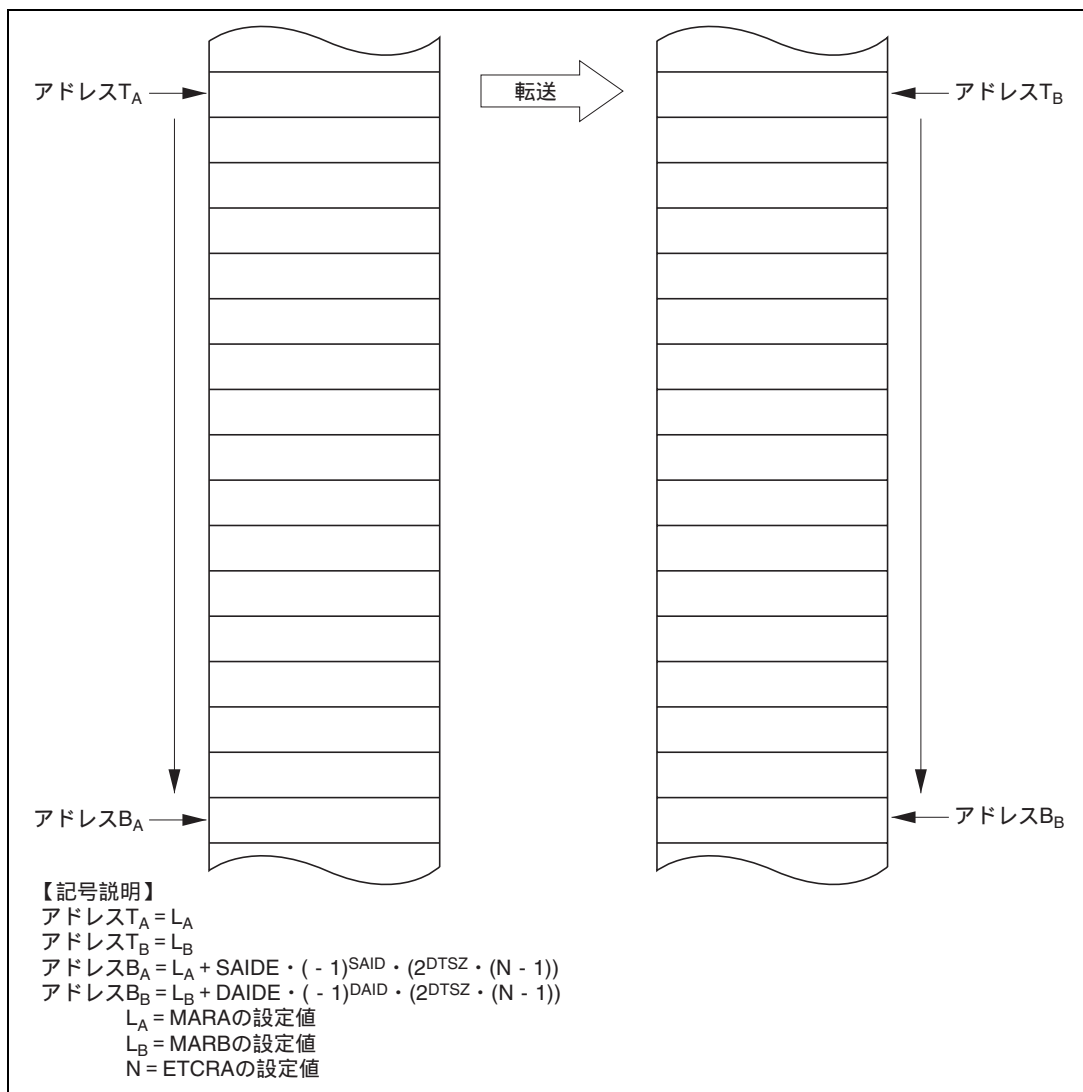


図 7.11 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。

オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは一回の転送を行うたびにバスを他のバスマスタに解放します。バーストモードでは、転送終了までバスを占有し続けます。

設定の詳細は「7.3.4 DMA コントロールレジスタ（DMACR）」を参照してください。

## 7. DMA コントローラ

ノーマルモードの設定手順例を図 7.12 に示します。

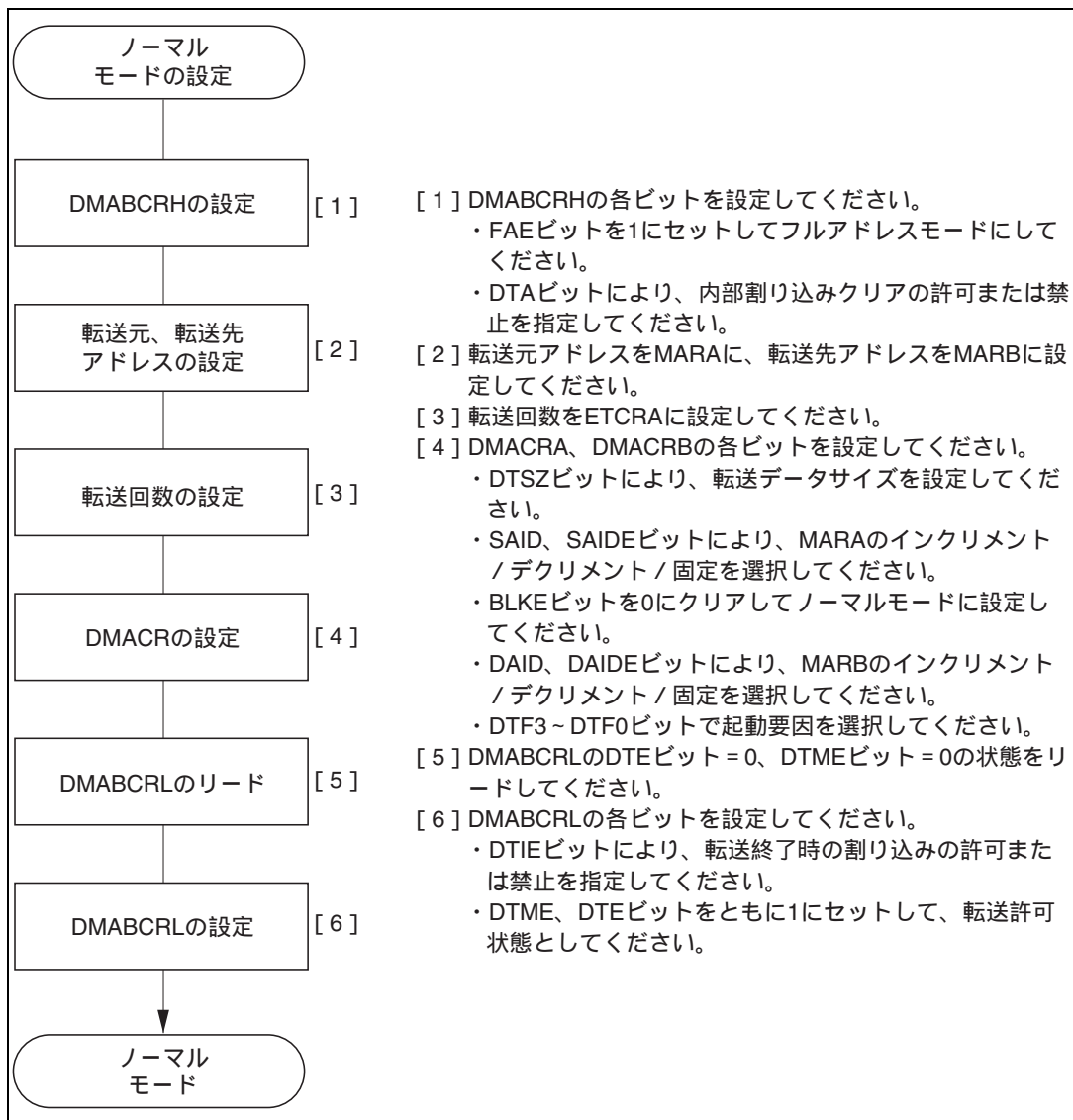


図 7.12 ノーマルモードの設定手順例






### 7.5.7 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせて転送を行います。ブロック転送モードは、DMABCR の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。

ブロック転送モードでは、一回の転送要求に対して指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア（複数バイト/ワードで構成されたエリア）とするかを選択できます。

ブロック転送モード時のレジスタの機能を表 7.11 に示します。

表 7.11 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
23  0	ソースアドレスレジスタ	転送元先頭アドレス	一回の転送ごとにインクリメント/デクリメントまたは固定
23  0	デスティネーションアドレスレジスタ	転送先先頭アドレス	一回の転送ごとにインクリメント/デクリメントまたは固定
7  0	ブロックサイズ保持	ブロックサイズ	固定
7  0	ブロックサイズカウンタ	ブロックサイズ	一回の転送ごとにデクリメント、H'00 になると ETCRH の値をコピー
15  0	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント、H'0000 になると転送終了

【記号説明】

MARA : メモリアドレスレジスタ A

MARB : メモリアドレスレジスタ B

ETCRA : 転送カウントレジスタ A

ETCRB : 転送カウントレジスタ B

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は一回のバイトまたはワード転送のたびに 1 または 2、インクリメント/デクリメントするかまたは固定にすることができます。

インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。

MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを M (M=1~256) とし、N (N=1~65536) 回の転送を行うとき、ETCRAH、ETCRAL の両方に M を、ETCRB に N を設定します。

## 7. DMA コントローラ

MARB をブロックエリアにした場合のブロック転送モードの動作を図 7.13 に示します。

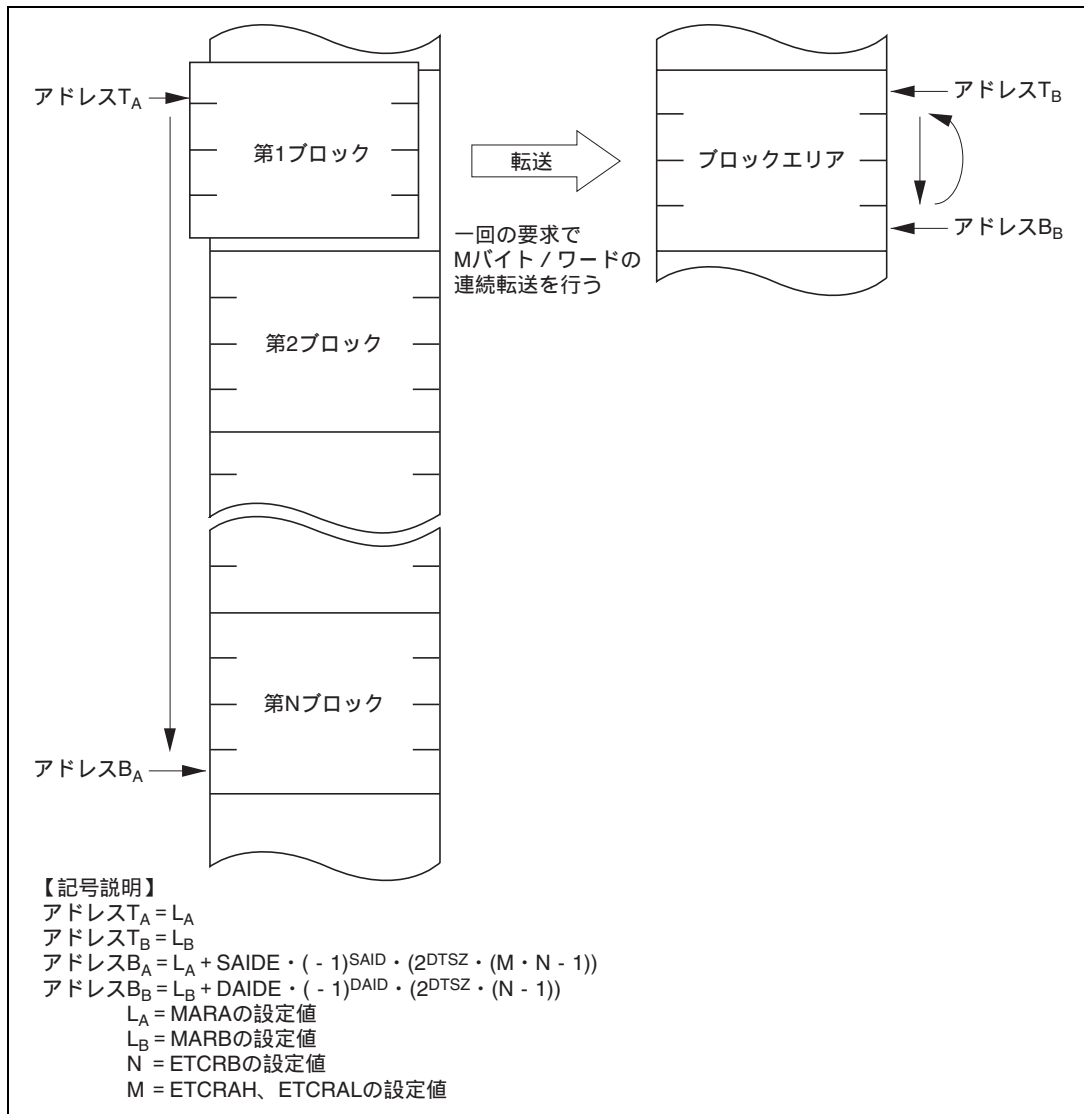


図 7.13 ブロック転送モードの動作 (BLKDIR = 0)

MARA をブロックエリアにした場合のブロック転送モードの動作を図 7.14 に示します。

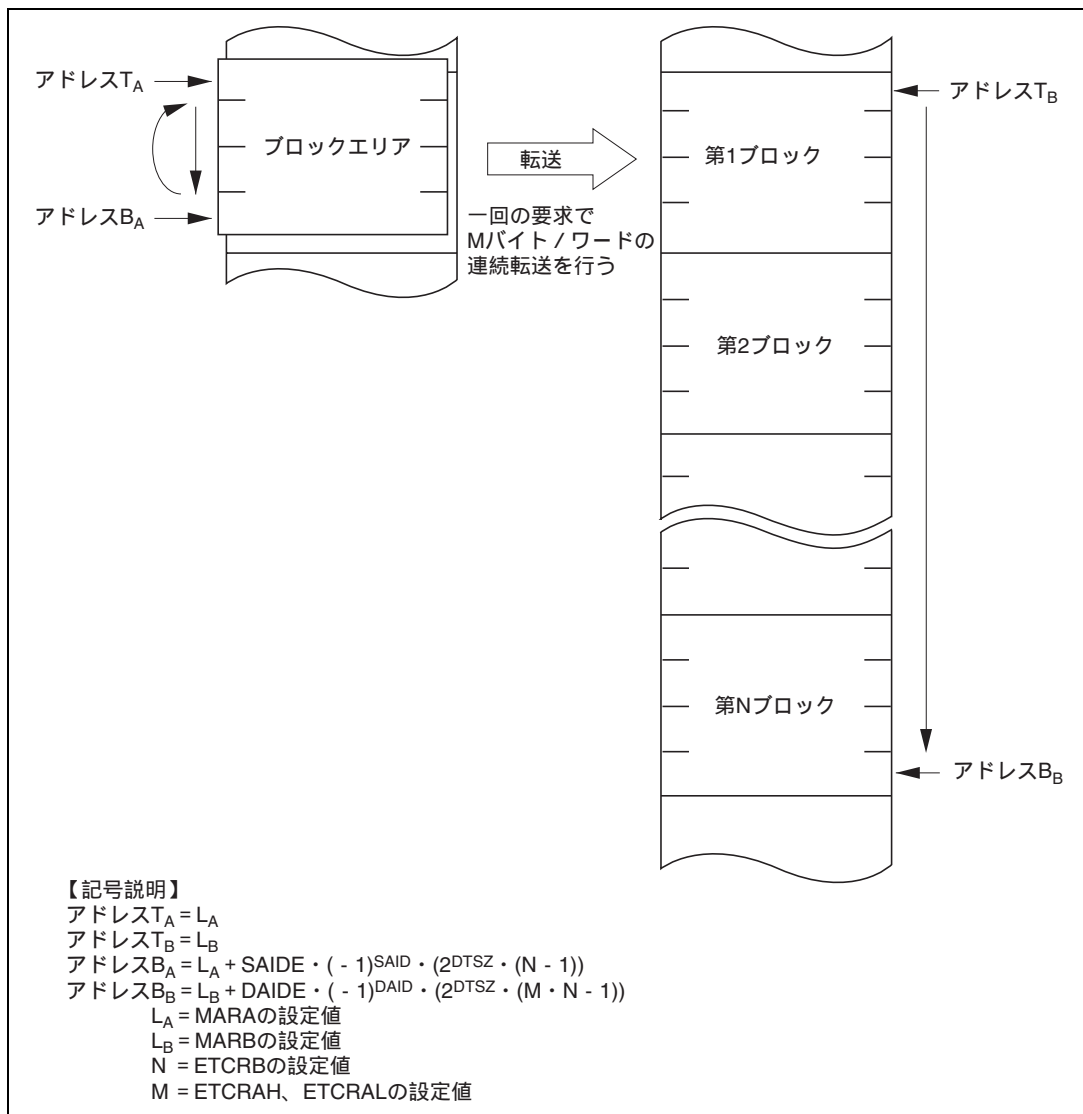


図 7.14 ブロック転送モードの動作 (BLKDIR = 1)

ETCRAL は一回のバイトまたはワード転送のたびに 1 だけデクリメントされます。一回の転送要求に対して、ETCRAL が H'00 になるまでバースト転送が行われます。ETCRAL が H'00 になったときに ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ および SAID/DAID、SAIDE/DAIDE ビットに応じて設定値を回復します。

## 7. DMA コントローラ

ETCRB は一回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU または DTC に対して割り込みを要求します。

図 7.15 にブロック転送モードの動作フローを示します。

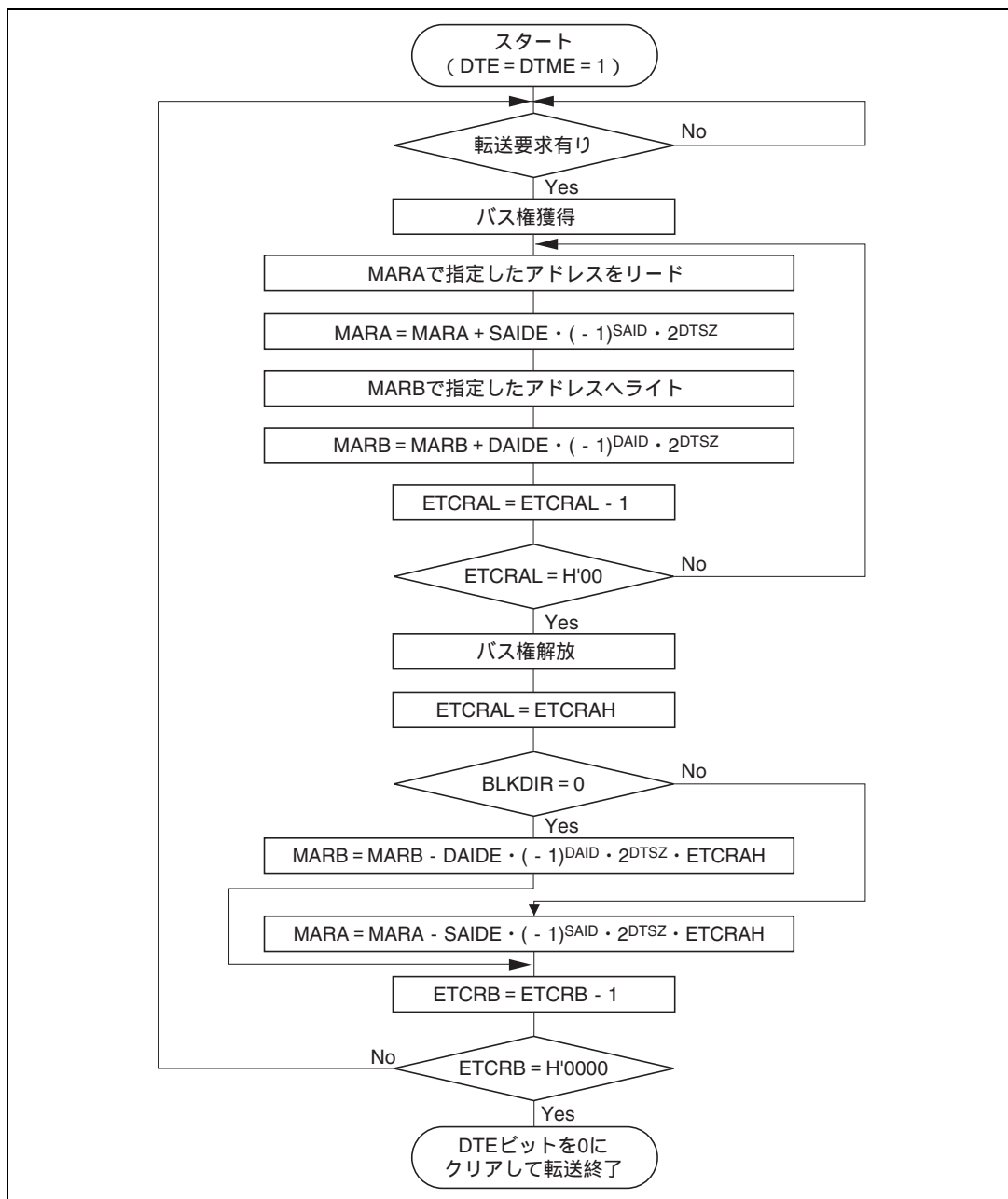


図 7.15 ブロック転送モードの動作フロー



転送要求（起動要因）には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信完了/受信完了割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。

設定の詳細は「7.3.4 DMAコントロールレジスタ（DMACR）」を参照してください。  
ブロック転送モードの設定手順例を図7.16に示します。

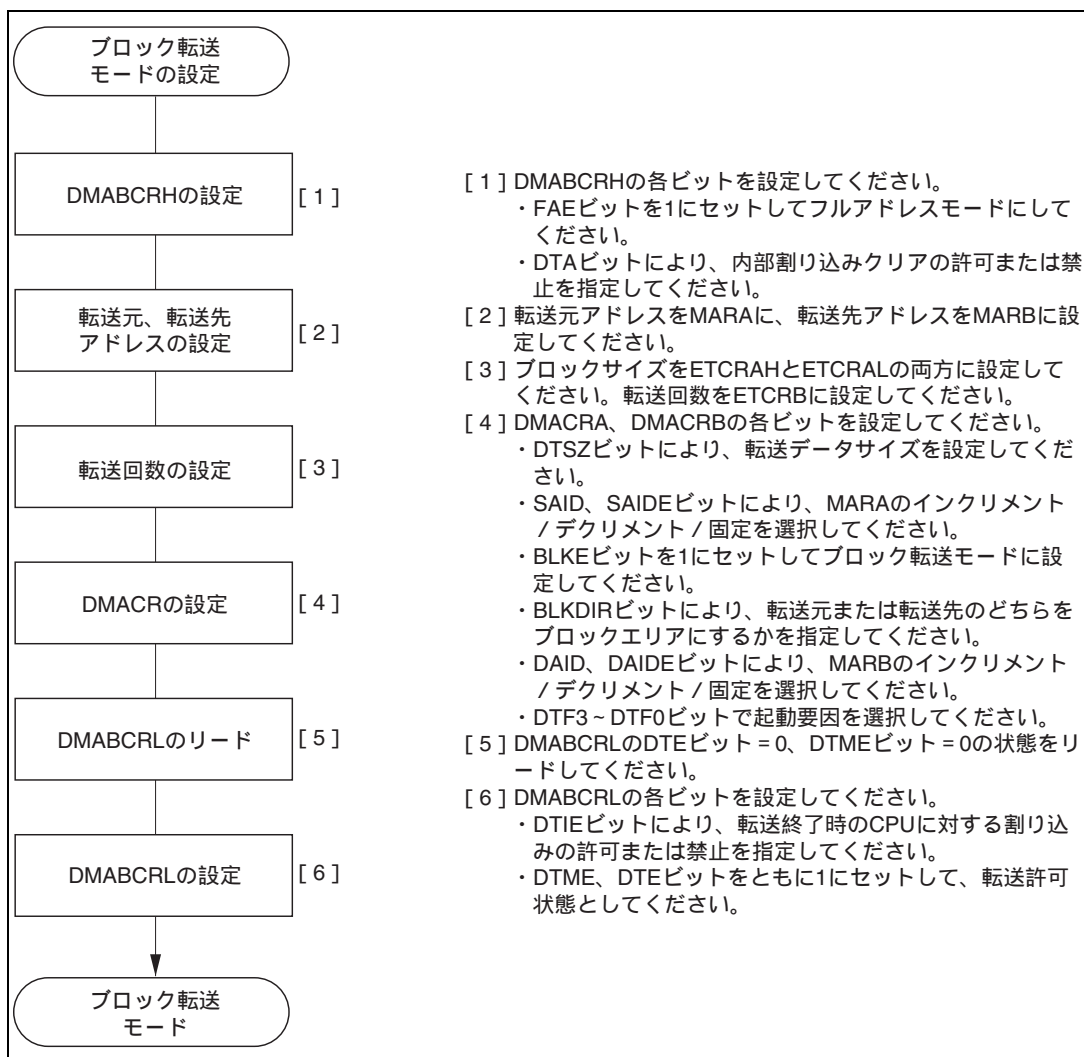


図 7.16 ブロック転送モードの設定手順例

## 7.5.8 DMAC の起動要因

DMAC の起動要因には、内部割り込み、外部リクエスト、およびオートリクエストがあります。転送モードおよびチャンネルにより、指定できる要因が表 7.12 に示すように異なります。

表 7.12 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマルモード	ブロック転送モード
内部 割り込み	ADI			×	
	TXI0			×	
	RXI0			×	
	TXI1			×	
	RXI1			×	
	TGI0A			×	
	TGI1A			×	
	TGI2A			×	
	TGI3A			×	
	TGI4A			×	
TGI5A			×		
外部 リクエスト	$\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力	×			
	$\overline{\text{DREQ}}$ 端子の Low レベル入力	×			
オートリクエスト		×	×		×

[ 記号説明 ] : 指定可能    × : 指定不可

## (1) 内部割り込みによる起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に要求を発生させることができます。詳しくは「第 5 章 割り込みコントローラ」を参照してください。

内部割り込みによる起動では、DMAC は割り込みコントローラとは独立して要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、DTC の起動要因としない割り込み要求により DMAC が起動される場合 (DTA = 1)、割り込み要因フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みについては、DMA 転送で所定のレジスタをアクセスしないと、割り込み要因フラグはクリアされません。複数のチャンネルで同一の割り込みを起動要因とした場合、最も優先順位の高いチャンネルが最初に起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持されて、優先順位にしたがって起動されます。

転送終了後などの DTE = 0 の状態では、DTA ビットにかかわらず、選択された起動要因は DMAC に要求されません。この場合、当該割り込みは CPU または DTC に要求されます。

CPU の割り込み要因または DTC の起動要因と重なっている場合 (DTA = 0)、割り込み要求フラグは DMAC によりクリアされることはありません。

### (2) 外部リクエストによる起動

起動要因として、外部リクエスト ( $\overline{\text{DREQ}}$  端子) を指定する場合は、該当するポートをあらかじめ入力に設定しておいてください。

外部リクエストにはレベルセンスとエッジセンスがあります。

ショートアドレスモード、フルアドレスモードのノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は、 $\overline{\text{DREQ}}$  端子の High レベルから Low レベルの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送を完了する前に次のエッジが入力された場合は、次の転送が行われない場合があります。

レベルセンスを選択した場合、 $\overline{\text{DREQ}}$  端子が High レベルに保持されている間は、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$  端子が Low レベルに保持されている間は、1 バイトまたは 1 ワードの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で  $\overline{\text{DREQ}}$  端子が High レベルになった場合は、転送を中断し転送要求待ち状態となります。

### (3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。

オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、転送終了までバスを占有し、連続して転送を行います。

### (4) シングルアドレスモード

DMAC は、リードサイクル、ライトサイクルが別のバスサイクルとなるデュアルアドレスモードと、リードサイクル、ライトサイクルが平行して実行されるシングルアドレスモードがあります。

デュアルアドレスモードは、ソースアドレスとデスティネーションアドレスを独立に指定して転送を行う転送法です。

これに対し、シングルアドレスモードは、転送元または転送先のいずれか一方がアドレスによって指定される外部空間と、アドレスにかかわらず、 $\overline{\text{DACK}}$  ストロープにより選択動作する外部デバイスとの転送を行う転送法です。図 7.17 にシングルアドレスモード時のデータバスを示します。

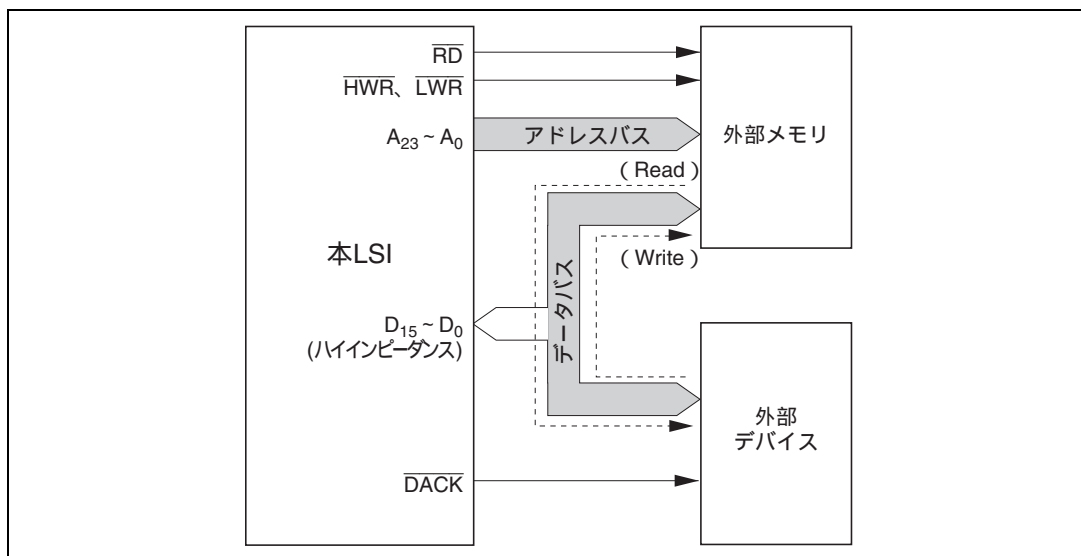


図 7.17 シングルアドレスモード時のデータバス

シングルアドレスモードのリードで使用する場合、外部メモリから外部デバイスへの転送となり、 $\overline{\text{DACK}}$  端子は外部デバイスに対するライトストロープとして機能します。シングルアドレスモードのライトで使用する場合、外部デバイスから外部メモリへの転送となり、 $\overline{\text{DACK}}$  端子は外部デバイスに対するリードストロープとして機能します。外部デバイスに対する方向制御はありませんので、上記のいずれか単方向で使用してください。

シングルアドレスモード時のバスサイクルは、外部メモリエリアに対するバスコントローラの設定に従います。外部デバイス側には、アドレスストロープと同期して  $\overline{\text{DACK}}$  が出力されます。バスサイクルの詳細は「7.5.11 DMAC のバスサイクル (シングルアドレスモード)」を参照してください。

シングルアドレスモード時の転送アドレスは、内部空間を指定しないでください。

### 7.5.9 DMAC の基本バスサイクル

DMAC の基本的なバスサイクルのタイミング例を図 7.18 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定にしがいます。

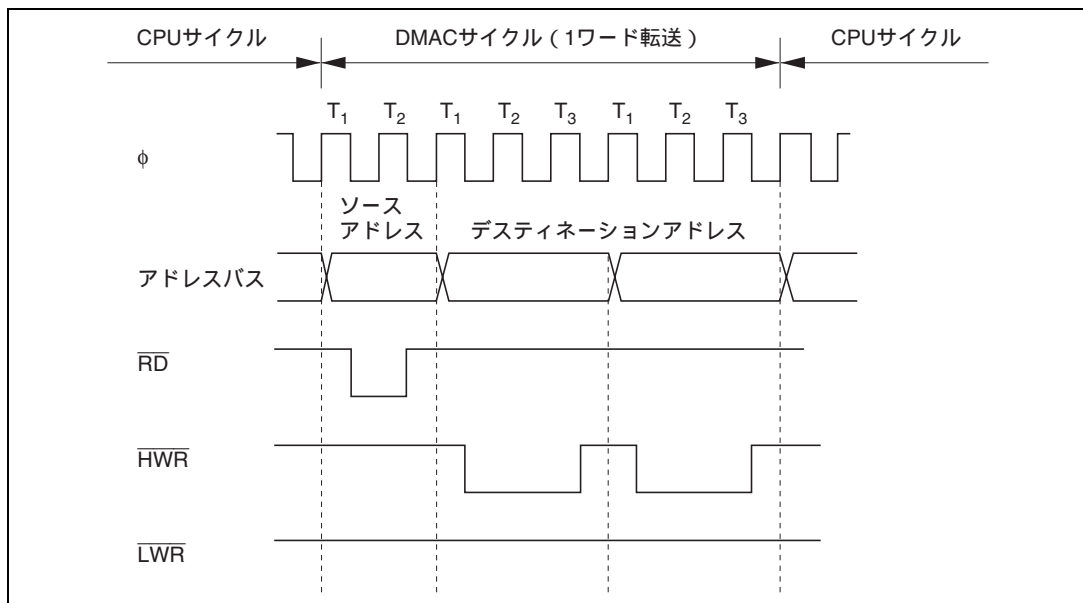


図 7.18 DMA 転送バスタイミング例

なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部のアドレスバスに出力されません。

## 7.5.10 DMAC のバスサイクル (デュアルアドレスモード)

## (1) ショートアドレスモード

図 7.19 に  $\overline{\text{TEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から、内部 I/O 空間へバイトサイズでショートアドレスモード転送 (シーケンシャル/アイドル/リピートモード) を行った場合の転送例を示します。

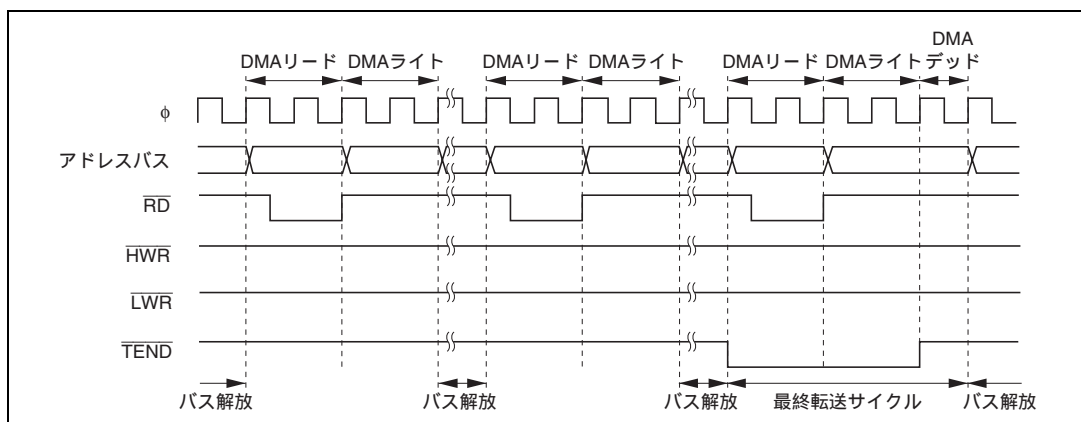


図 7.19 ショートアドレスモード転送例

一回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、一旦バスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

リピートモードの場合、 $\overline{\text{TEND}}$  出力を許可すると、転送カウンタが 0 となった転送サイクルで  $\overline{\text{TEND}}$  出力が Low レベルとなります。

## (2) フルアドレスモード (サイクルスチールモード)

図 7.20 に  $\overline{\text{TEND}}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

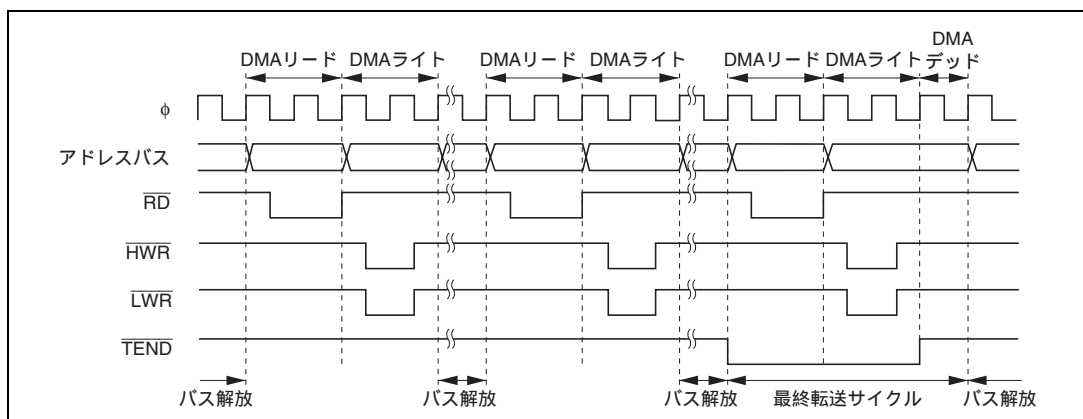


図 7.20 フルアドレスモード (サイクルスチール) 転送例

1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

## (3) フルアドレスモード (バーストモード)

図 7.21 に  $\overline{\text{TEND}}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

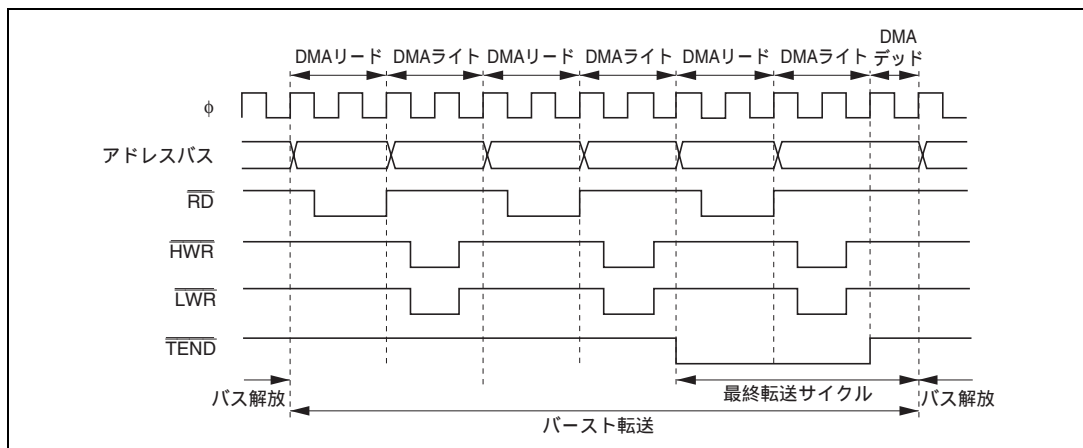


図 7.21 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードの転送を転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

バースト転送が始まると、他の優先順位の高いチャンネルの要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。



## (4) フルアドレスモード (ブロック転送モード)

図 7.22 に  $\overline{\text{TEND}}$  出力を許可して、内部 16 ビット 1 ステートアクセス空間から、外部 16 ビット 2 ステートアクセス空間へワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

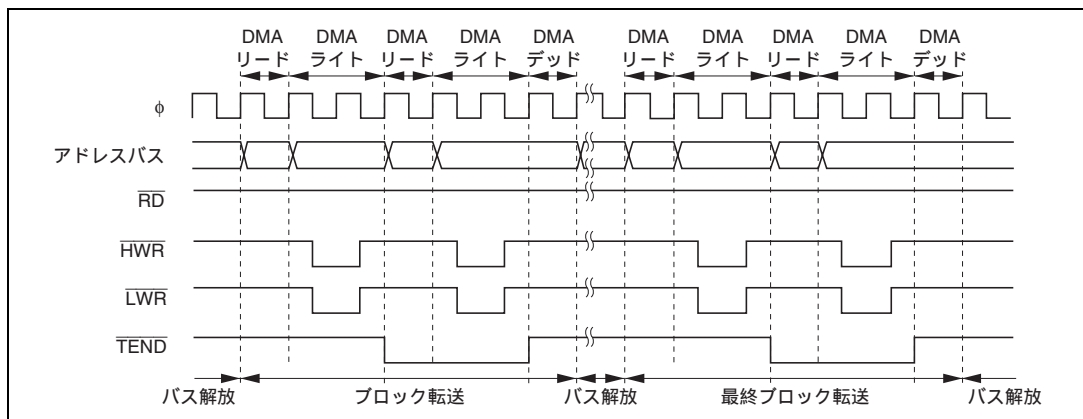


図 7.22 フルアドレスモード (ブロック転送モード) 転送例

一回の転送要求につき 1 ブロック分の転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

各ブロックの転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

1 ブロックは、連続して転送を行います。NMI が発生してもブロック転送の動作に影響を与えません。

(5)  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DTA ビットは、1 にセットしてください。

図 7.23 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例を示します。

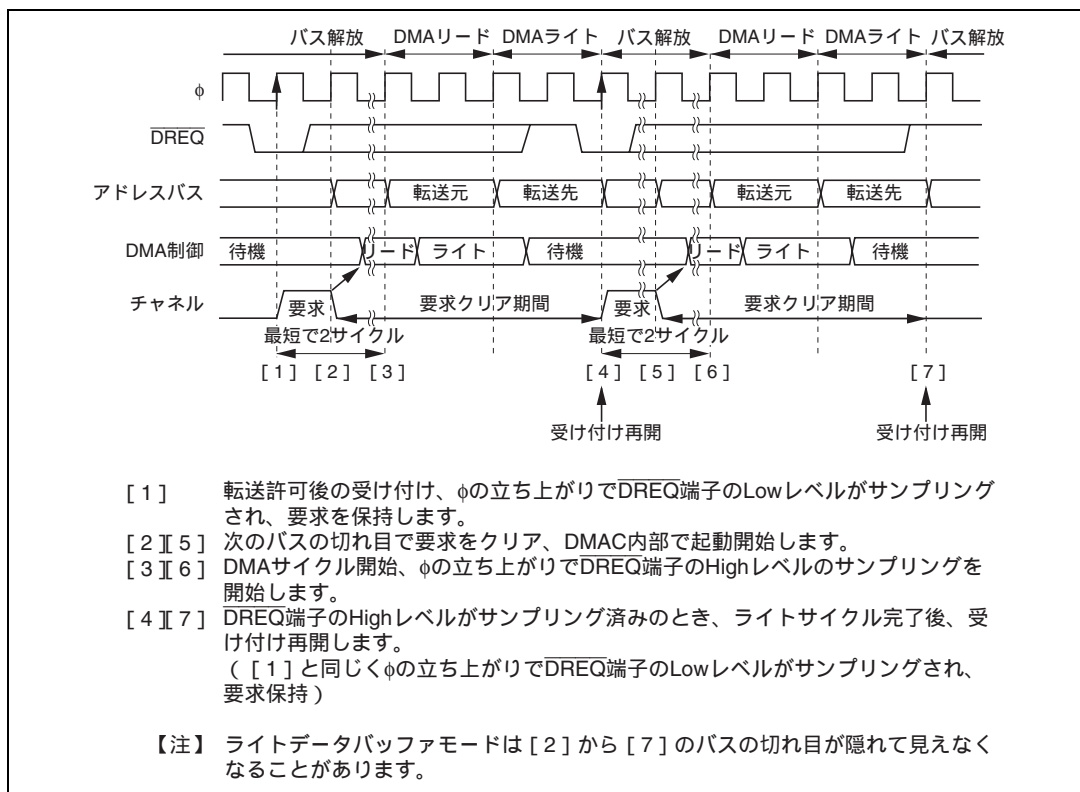


図 7.23  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の $\phi$ の立ち上がりを中心に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.24 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例を示します。

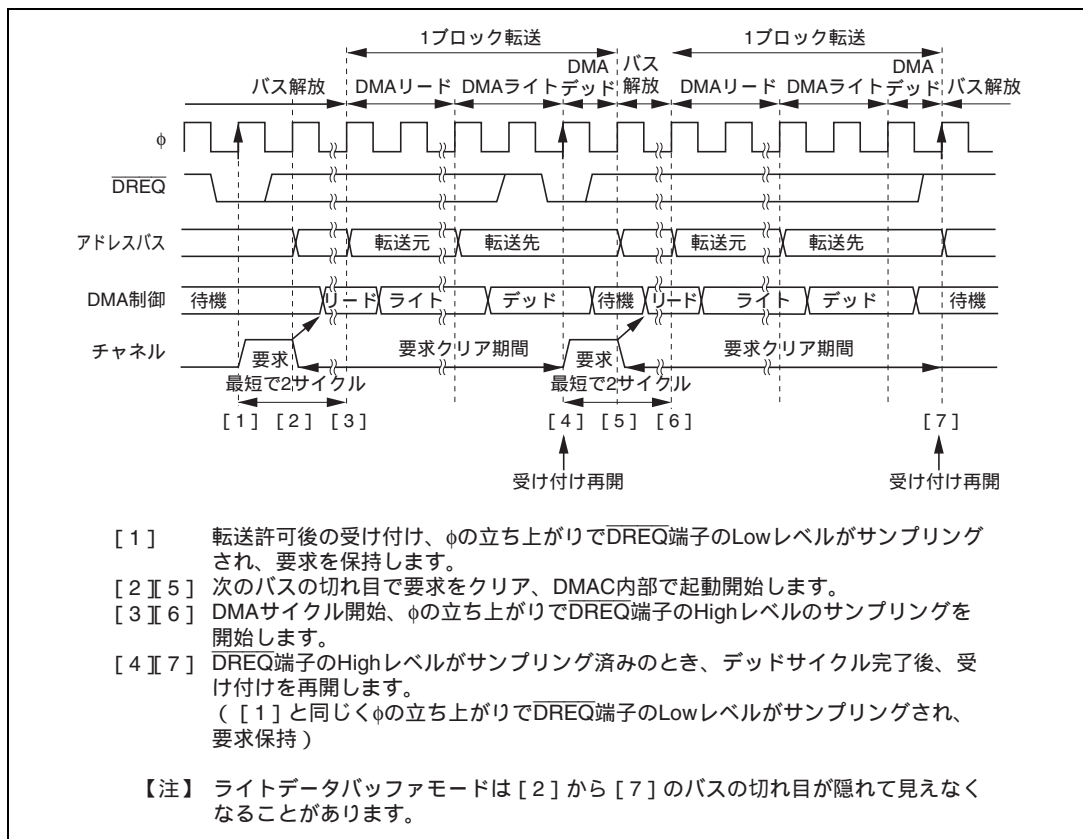


図 7.24  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の $\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA デッドサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、デッドサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(6)  $\overline{\text{DREQ}}$  レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DTA ビットは、1 にセットしてください。

図 7.25 に  $\overline{\text{DREQ}}$  レベル起動のノーマルモード転送例を示します。

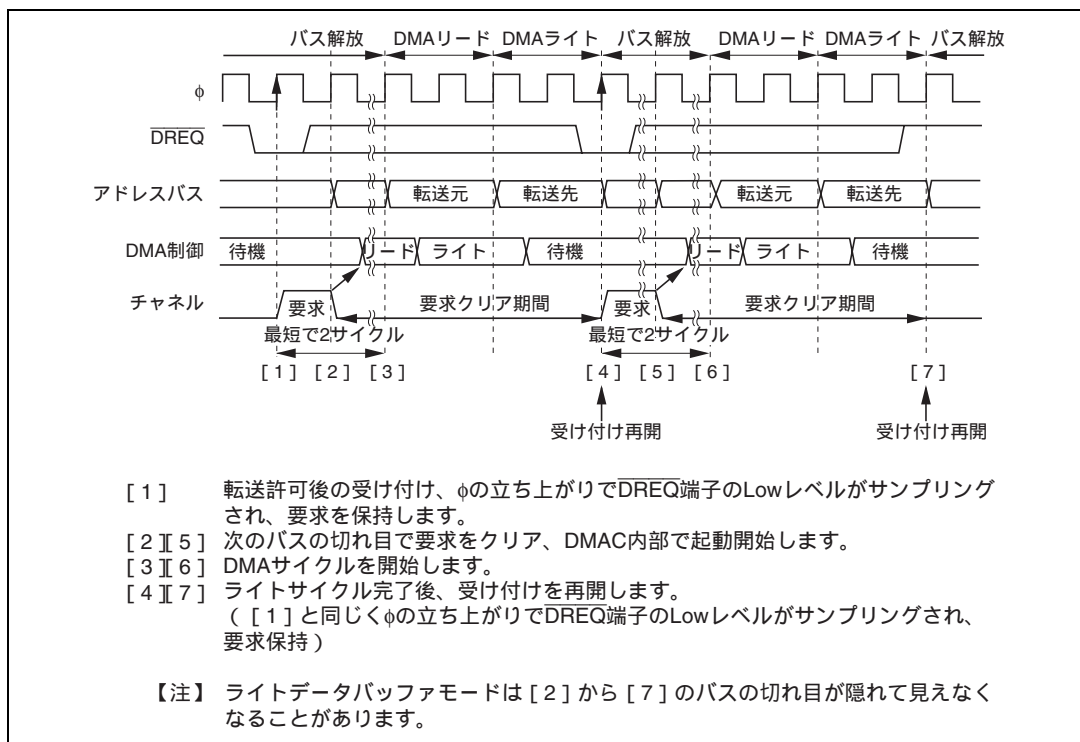


図 7.25  $\overline{\text{DREQ}}$  レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の  $\phi$  の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。



## 7.5.11 DMAC のバスサイクル (シングルアドレスモード)

## (1) シングルアドレスモード (リード)

図 7.27 に  $\overline{\text{TEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から、外部デバイスへバイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

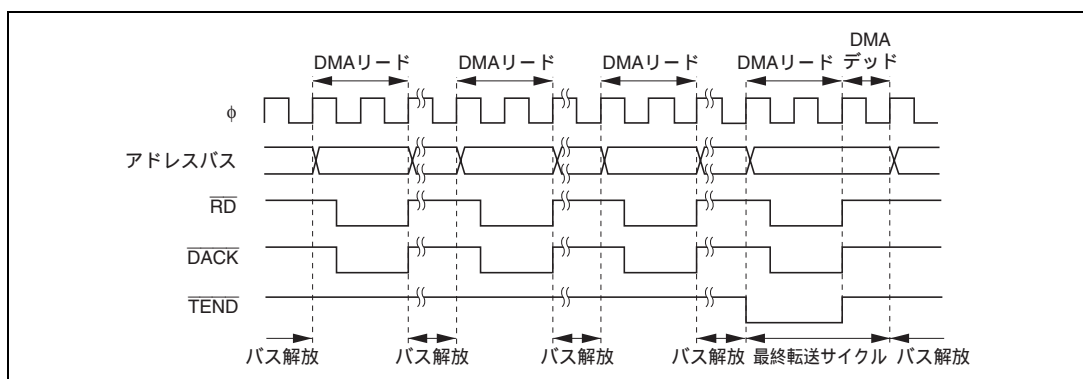


図 7.27 シングルアドレスモード (バイトリード) 転送例

図 7.28 に  $\overline{\text{TEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から、外部デバイスへワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

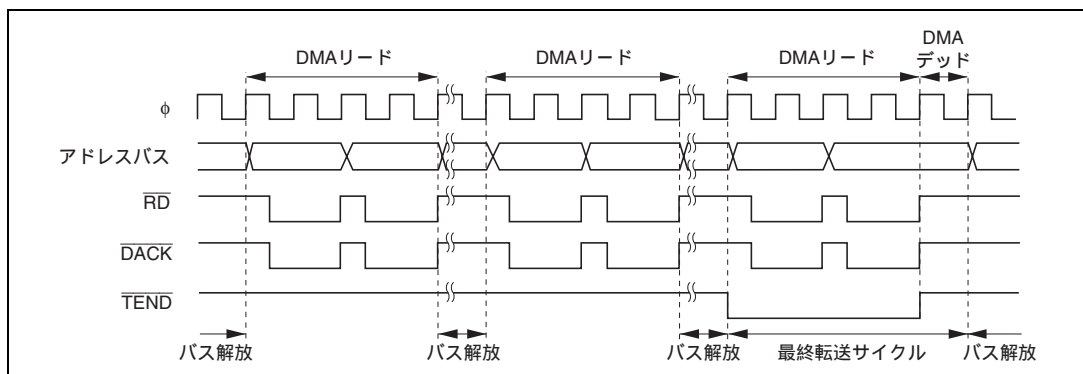


図 7.28 シングルアドレスモード (ワードリード) 転送例

一回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

## (2) シングルアドレスモード (ライト)

図 7.29 に  $\overline{\text{TEND}}$  出力を許可して、外部デバイスから、外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

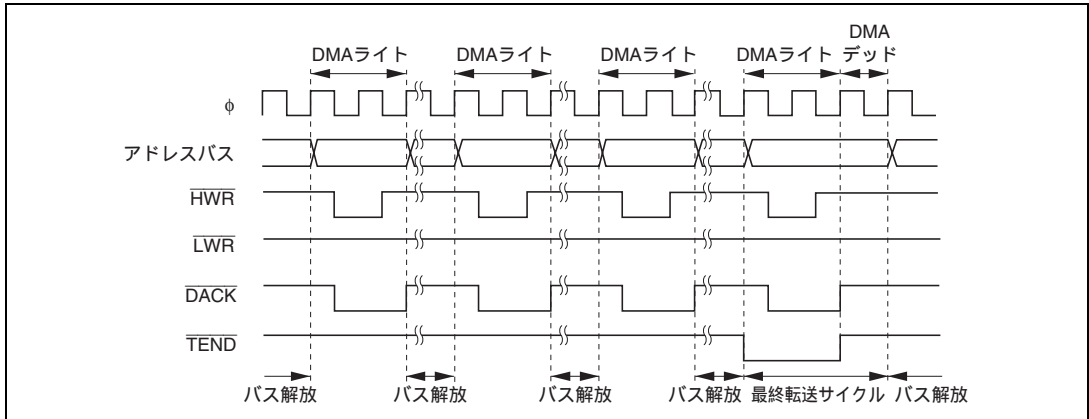


図 7.29 シングルアドレスモード (バイトライト) 転送例

図 7.30 に  $\overline{\text{TEND}}$  出力を許可して、外部デバイスから、外部 8 ビット 2 ステートアクセス空間へワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

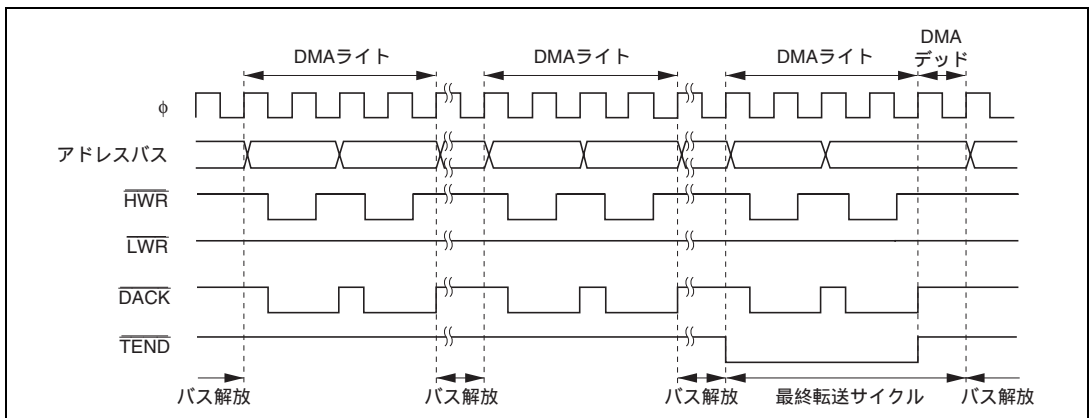


図 7.30 シングルアドレスモード (ワードライト) 転送例

一回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後、いったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(3)  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DTA ビットは、1 にセットしてください。

図 7.31 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

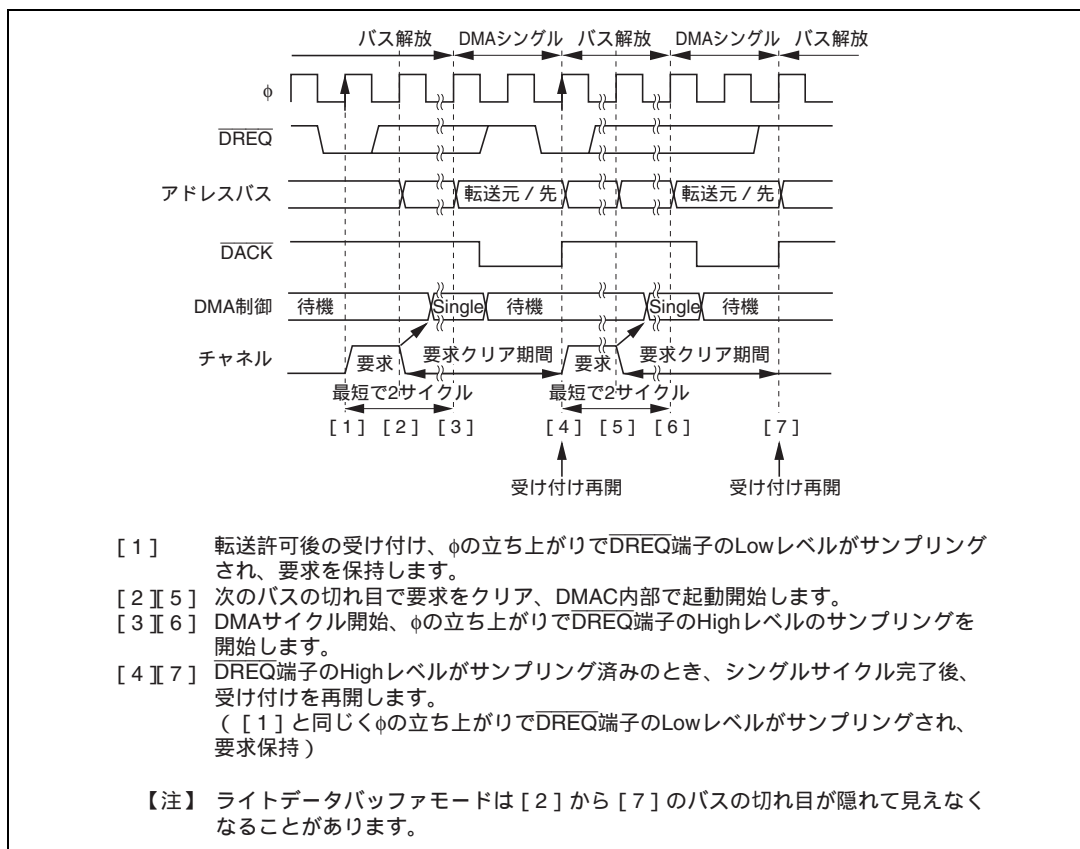


図 7.31  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の $\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。



(4)  $\overline{\text{DREQ}}$  端子 Low レベル起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DTA ビットは、1 にセットしてください。

図 7.32 に  $\overline{\text{DREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例を示します。

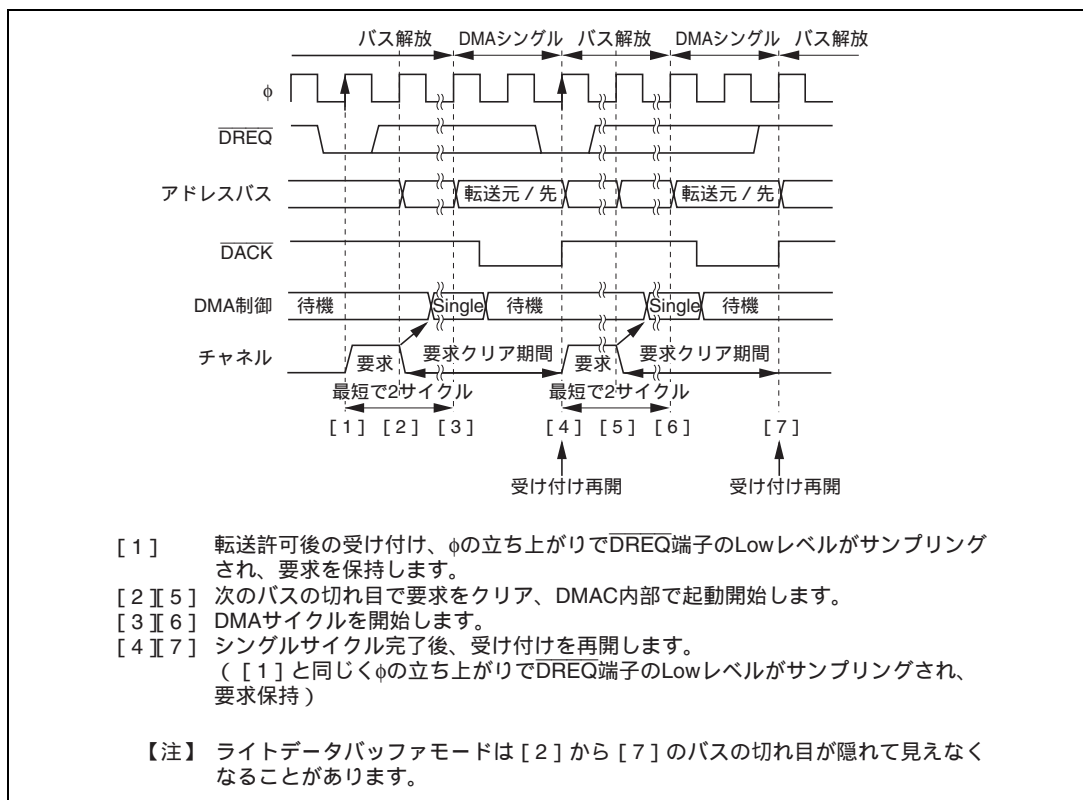


図 7.32  $\overline{\text{DREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の $\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び、 $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 7.5.12 ライトデータバッファ機能

DMAC の内部から外部のデュアルアドレス転送、シングルアドレス転送を、ライトデータバッファ機能を用いて高速に実行し、システムのスループットを向上することができます。

バスコントローラの BCRL の WDBE ビットを 1 にセットし、ライトデータバッファ機能を有効にした状態では、デュアルアドレス転送の外部ライトサイクル、またはシングルアドレス転送と、内部アクセス（内蔵メモリまたは内部 I/O レジスタ）とを並行して実行します。内部アクセスはバスマスタに依存しません。なお、DMAC のデッドサイクルは内部アクセスとみなされます。

$\overline{\text{TEND}}$  端子から Low レベルを出力するバスサイクルが外部バスサイクルの場合は、必ず Low レベルを出力できます。一方、 $\overline{\text{TEND}}$  端子から Low レベルを出力するバスサイクルが内部バスサイクルで、かつ並行して外部ライトサイクルが実行されている場合には、 $\overline{\text{TEND}}$  端子から Low レベルを出力しませんので注意してください。

図 7.33 に、ライトデータバッファ機能を用いた内蔵 RAM から外部メモリへのバーストモード転送の例を示します。

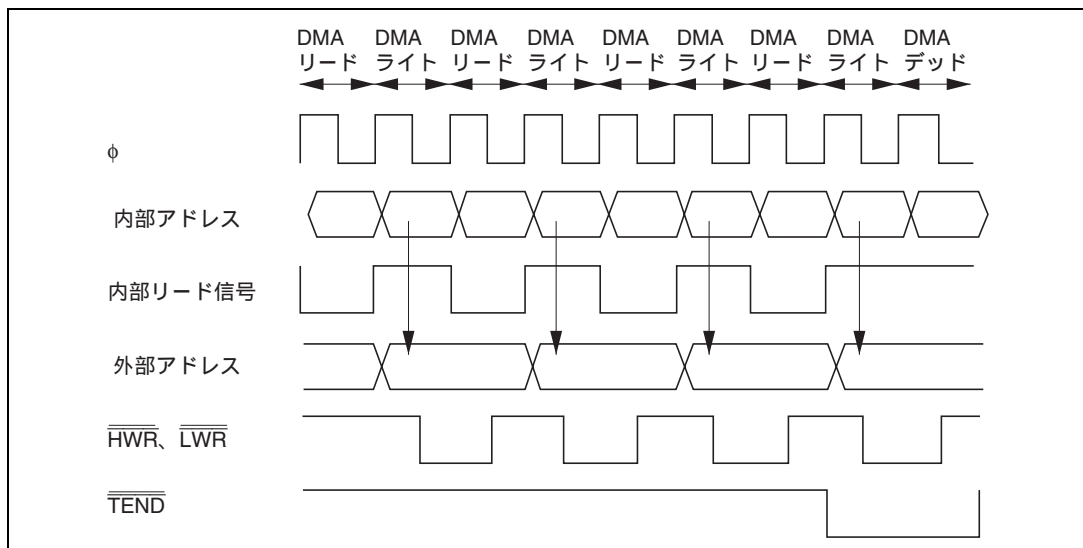


図 7.33 ライトデータバッファ機能を用いたデュアルアドレス転送の例

図 7.34 に、ライトデータバッファ機能を用いたシングルアドレス転送の例を示します。CPU のプログラム領域が内蔵メモリにある場合の例です。

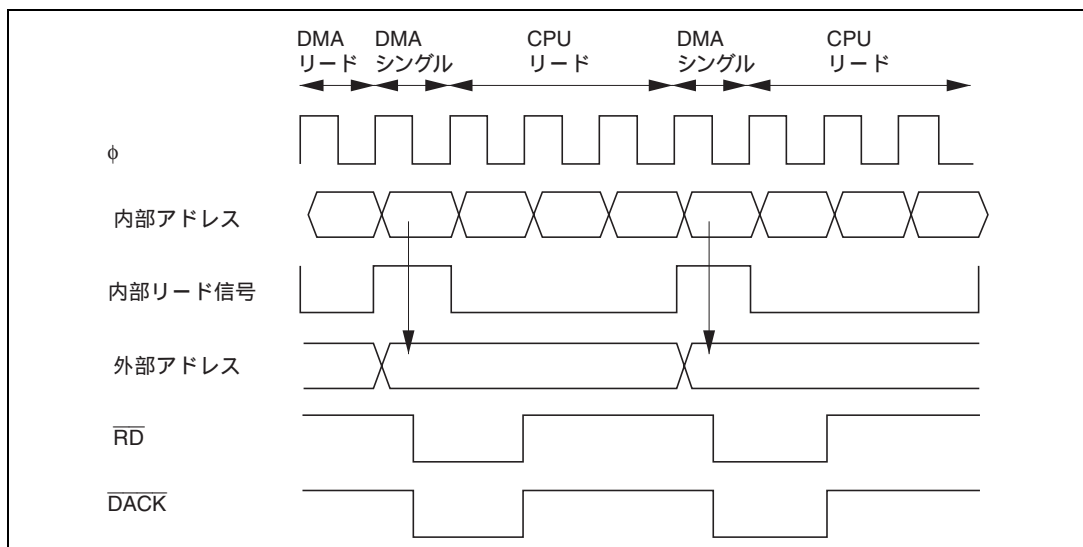


図 7.34 ライトデータバッファ機能を用いたシングルアドレス転送の例

DMAC は、ライトデータバッファ機能を起動した時点で、当該バスサイクルは終了したと認識して次の動作を開始します。したがって、 $\overline{DREQ}$  端子のサンプリングは、DMA ライトサイクルまたはシングルアドレス転送開始の 1 ステート後から開始されます。

### 7.5.13 DMAC 複数チャネルの動作

DMAC のチャネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 7.13 に DMAC のチャネル間優先順位を示します。

表 7.13 DMAC のチャネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑ 低
チャンネル 0B		
チャンネル 1A	チャンネル 1	
チャンネル 1B		

複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合、DMAC はバスを解放した時点で、要求の発生しているチャネルの中から表 7.13 の優先順位にしたがって、最も優先度の高いチャネルを選択して転送します。

バースト転送中、およびブロック転送の 1 ブロック転送中は、転送終了までチャネルを切り替えて転送することはありません。

図 7.35 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

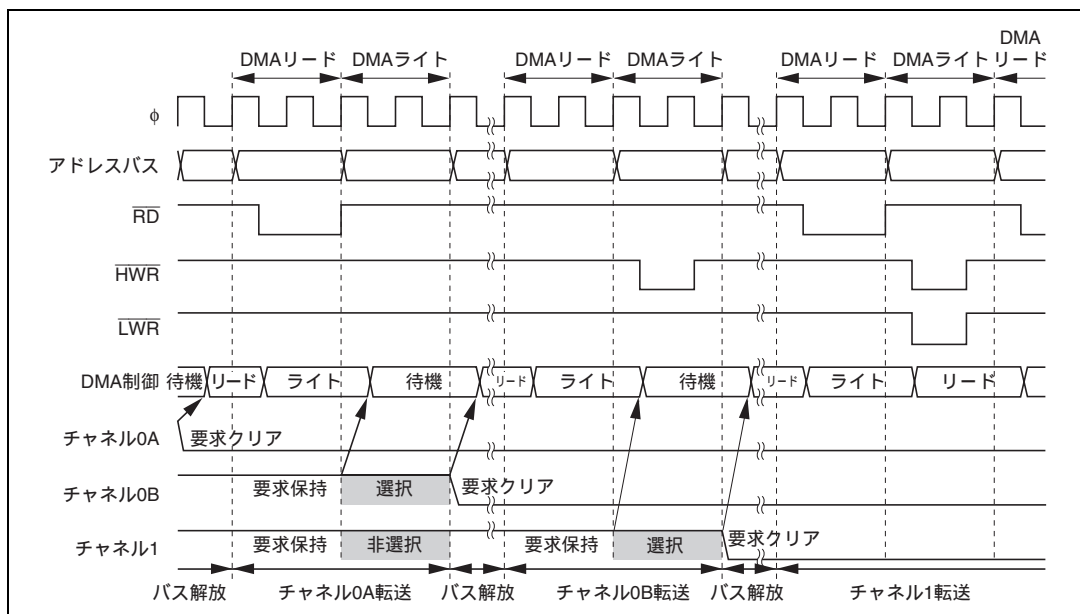


図 7.35 複数チャンネル転送例

### 7.5.14 DMAC と、外部バス権要求、リフレッシュサイクル、DTC の関係

DMA サイクルのリードとライトの間は不可分割となっています。このため、DMA サイクルの外部リードと外部ライト間にリフレッシュサイクル、外部バス解放サイクル、DTC サイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルの後に、リフレッシュおよび外部バス解放状態が挿入されることがあります。DTC は、DMAC より優先度が低いため、DMAC がバスを解放するまで DTC は動作しません。

DMA サイクルの、リードまたはライトが、内蔵メモリアクセスまたは内部 I/O レジスタアクセスの場合には、これらの DMA サイクル、リフレッシュサイクル、または外部バス解放が同時に行われる場合があります。

### 7.5.15 NMI 割り込みと DMAC

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードの転送を完了した時点で、転送を中断後バスを解放し、CPU にバス権が移ります。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。バーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を図 7.36 に示します。

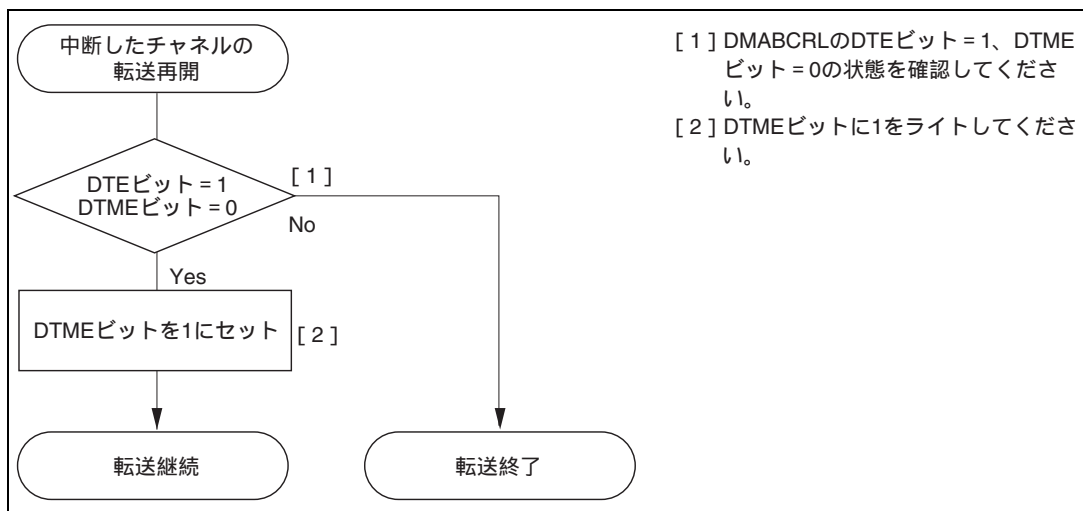


図 7.36 NMI 割り込みにより中断したチャンネルの転送継続手順例

### 7.5.16 DMAC 動作の強制終了

動作中のチャンネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットについても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を図 7.37 に示します。

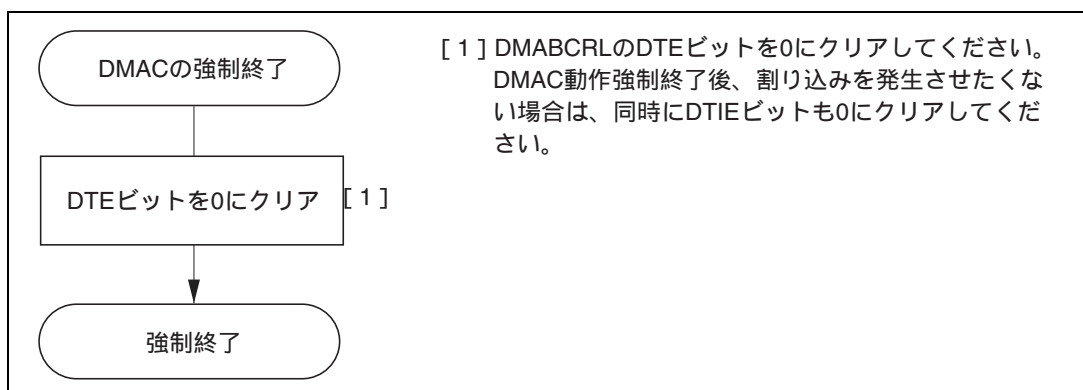


図 7.37 DMAC 動作の強制終了手順例

## 7.5.17 フルアドレスモードの解除

フルアドレスモードに設定したチャンネルを解除し、初期化する場合の手順を  
図 7.38 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

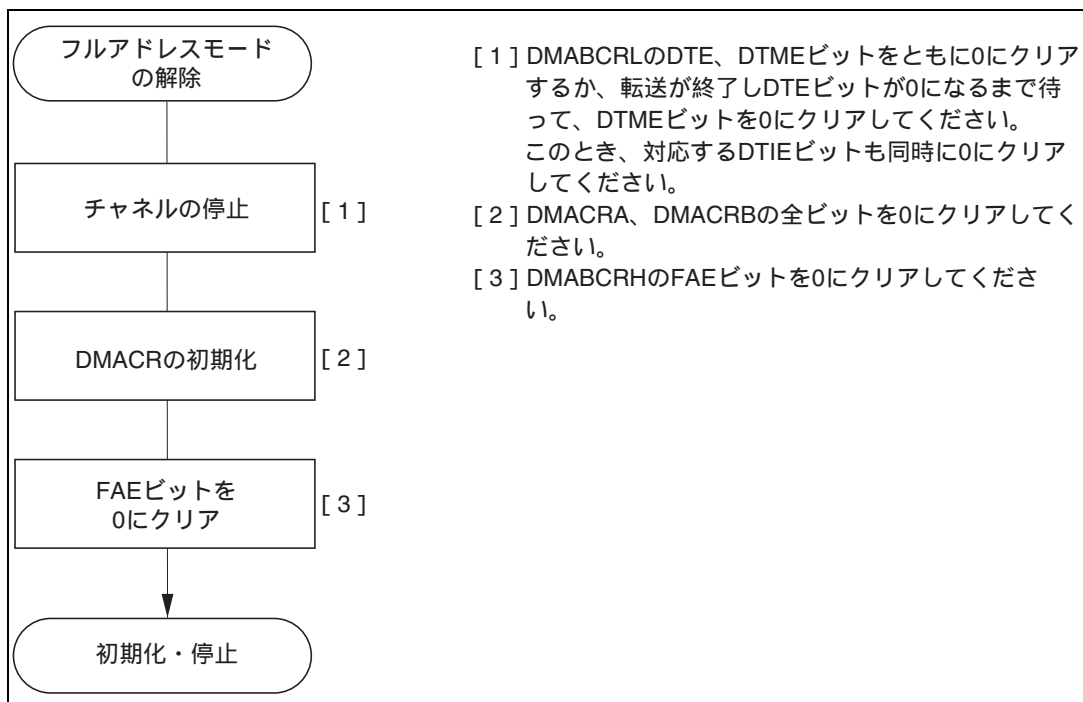


図 7.38 フルアドレスモード解除手順例.

## 7.6 割り込み

DMAC が発生する割り込み要因は転送終了、転送中断です。表 7.13 に割り込み要因と優先度を示します。

表 7.13 割り込み要因と優先度

割り込み名称	割り込み要因		割り込み優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCR の対応するチャンネルの DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。

チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 7.13 に示すようになっています。

転送終了 / 転送中断割り込みのブロック図を図 7.39 に示します。DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

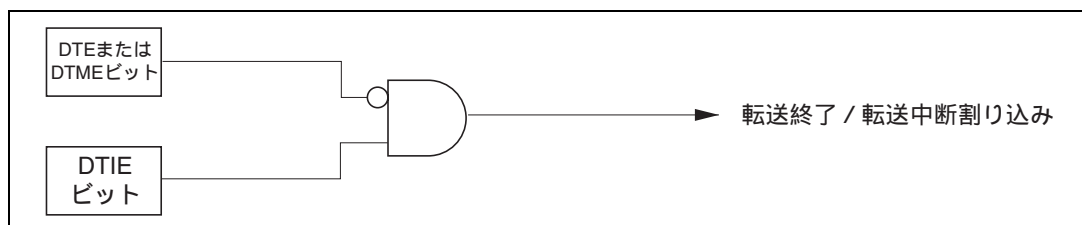


図 7.39 転送終了 / 転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIEB = 1 のとき DTME ビットが 0 にクリアされると発生します。

ショートアドレスモード、フルアドレスモードともに設定の途中で、割り込みが発生する条件となる、組み合わせが起こらないように DMABCR を設定してください。

## 7.7 使用上の注意

### (1) 動作中の DMAC レジスタアクセス

強制終了を除き、動作中（転送待ち状態を含む）のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。また、DMA 転送による DMAC レジスタへのライトは行わないでください。

動作中（転送待ち状態を含む）の DMAC レジスタリードへに関しては以下ようになります。

- (a) DMAC 制御はバスサイクルより 1 サイクル早く起動し、アドレス値を出力します。このため MAR は、DMAC 転送前のバスサイクルに更新されます。

図 7.40 に、デュアルアドレス転送モードにおける、DMAC レジスタの更新タイミング例を示します。

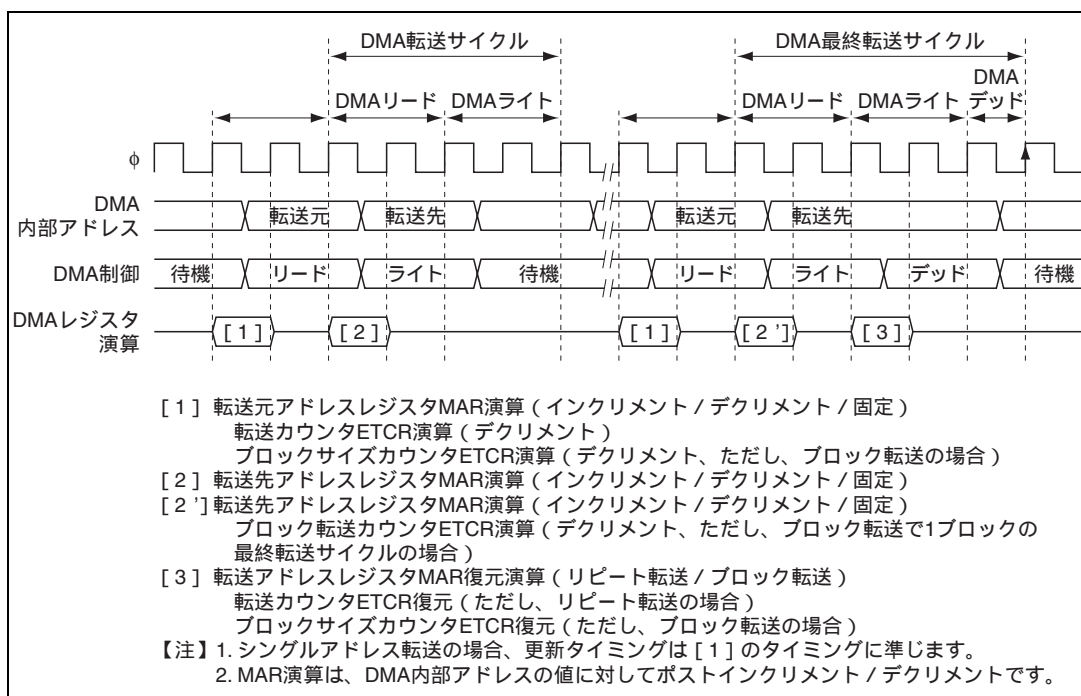


図 7.40 DMAC レジスタの更新タイミング



(b) DMAC レジスタリード直後に DMAC の転送サイクルが起こる場合、図 7.41 のように DMAC レジスタがリードされます。

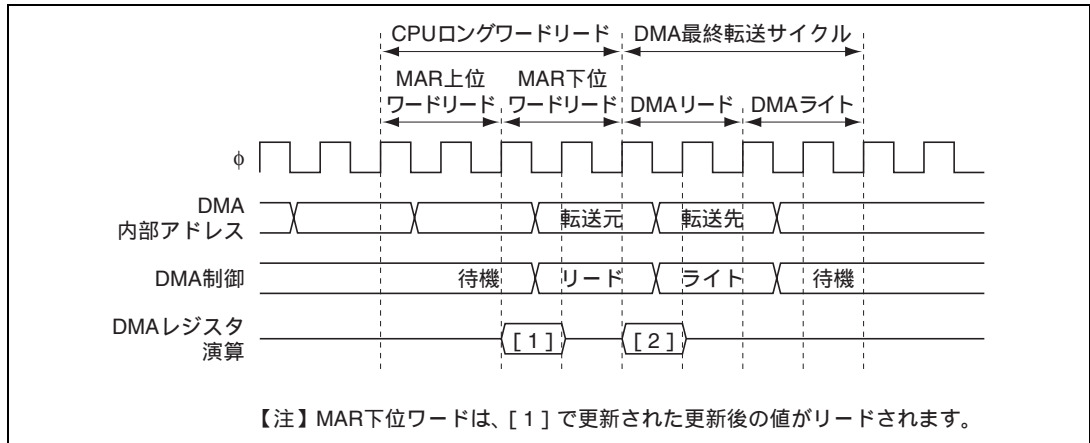


図 7.41 DMAC レジスタの更新と CPU リードの競合

## (2) モジュールストップ

MSTPCR の MSTP15 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTP15 ビットに 1 をライトできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

- ・ 転送終了 / 中断割り込み (DTE = 0 かつ DTIE = 1)
- ・  $\overline{\text{TEND}}$  端子イネーブル (TEE = 1)
- ・  $\overline{\text{DACK}}$  端子イネーブル (FAE = 0 かつ SAE = 1)

## (3) 中速モード

DTA ビットが 0 にクリアされている場合、DMAC の転送要因に指定された内部割り込み信号は、エッジ検出されています。

中速モードでは、DMAC は中速クロックで動作し、内蔵周辺モジュールは高速クロックで動作します。このため、CPU、DTC、または、DMAC の他のチャンネルにより当該割り込み要因がクリアされ、次の割り込みが発生する期間が DMAC のクロック (バスマスタクロック) に対し 1 ステート未満だった場合に、エッジ検出できずに無視されることがあります。

また、中速モードでは、DREQ 端子のサンプリングは中速クロックの立ち上がりになります。

## (4) ライトデータバッファ機能

バスコントローラの BCRL の WDBE ビットを 1 にセットし、ライトデータバッファ機能を有効にした状態では、デュアルアドレス転送の外部ライトサイクル、またはシングルアドレス転送と、内部アクセス（内蔵メモリまたは内部 I/O レジスタ）とを並行して実行します。

## (a) ライトデータバッファ機能と DMAC レジスタの設定

ライトデータバッファ機能による外部アクセス実行中に、外部アクセスを制御するレジスタの設定を変更すると、外部アクセスが正常に行えない場合があります。外部アクセスを制御するレジスタの操作は、DMAC動作を禁止した状態で外部リードをするなどして、外部アクセスと並行しない状態で行ってください。

## (b) ライトデータバッファ機能と DMAC 動作タイミング

ライトデータバッファ機能を用いた外部アクセス中に、DMACは次の動作を開始することができます。このため、ライトデータバッファ機能を禁止している場合に比較して、 $\overline{\text{DREQ}}$  端子のサンプリングタイミングや、 $\overline{\text{TEND}}$ 出力タイミングなどが変化します。また、内部バスサイクルが隠れて見えなくなることがあります。

(c) ライトデータバッファ機能と  $\overline{\text{TEND}}$  出力

$\overline{\text{TEND}}$ 端子からLowレベルを出力するバスサイクルが内部バスサイクルで、かつ並行して外部ライトサイクルが実行されている場合は、 $\overline{\text{TEND}}$ 端子からLowレベルを出力しません。例えば、内部I/Oレジスタと内蔵メモリ間のデータ転送を行う場合、ライトデータバッファ機能を用いると、 $\overline{\text{TEND}}$ 端子からLowレベルを出力しない場合がありますので、注意してください。

DMACの転送アドレスの少なくとも一方が外部アドレスの場合は、 $\overline{\text{TEND}}$ 端子からLowレベルが出力されます。

図 7.42 に、 $\overline{\text{TEND}}$  端子に Low レベルが出力されない場合の例を示します。

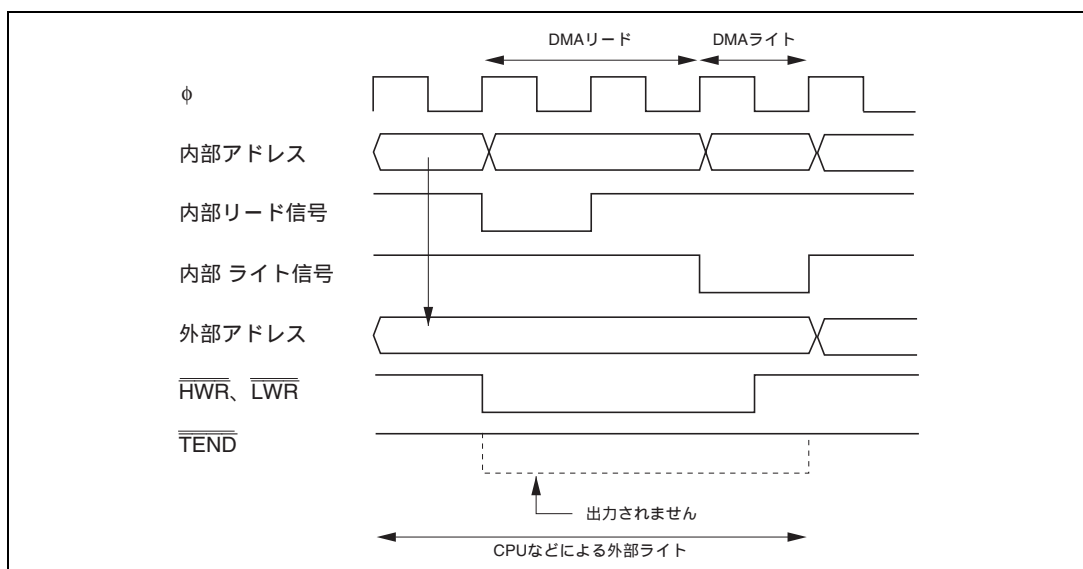


図 7.42  $\overline{\text{TEND}}$  端子に Low レベルが出力されない例

#### (5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$  端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い、次のようになります。

[ 1 ] 起動要求待ち状態： $\overline{\text{DREQ}}$  端子の Low レベルの検出を待ち、[ 2 ] に遷移します。

[ 2 ] 転送待ち状態：DMAC のデータ転送が可能になるのを待ち、[ 3 ] に遷移します。

[ 3 ] 起動要求禁止状態： $\overline{\text{DREQ}}$  端子の High レベルの検出を待ち、[ 1 ] に遷移します。

DMAC 転送許可後は、[ 1 ] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われます。

#### (6) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$  端子の立ち下がりエッジセンス / Low レベルセンスとともに、Low レベルを検出しています。同様に、内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL ライト実行以前に発生している内部割り込み、または  $\overline{\text{DREQ}}$  端子の Low レベルは、要求を受け付けます。

DMAC の起動時には、必要に応じて、前回の転送終了時などの内部割り込みまたは  $\overline{\text{DREQ}}$  端子の Low レベルが残らないようにしてください。

#### (7) 転送終了後の内部割り込み

転送終了または強制終了により、DTE ビットが 0 にクリアされると、DTA = 1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時に既に DMAC 内部で起動がかかっている場合には、転送は実行されますが、DTA = 1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

#### (8) チャンネルの再設定

複数のチャンネルが転送許可状態にあつて、複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR のコントロールビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行う場合があると、元の処理ルーチンで DMABCR をライトするデータが異なってしまう、ライトにより多重割り込みでの操作結果を無効にしてしまう場合がありますので注意してください。多重割り込みで DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアされた場合と 0 をライトされた場合、DTE / DTME = 0 の状態をいったんリードしないと CPU では 1 をライトできません。



---

## 8. データトランスファコントローラ (DTC)

---

### 8.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

#### 8.1.1 特長

任意チャンネル数の転送可能

- メモリ上に転送情報を格納
- 1 つの起動要因に対して複数のデータ転送が可能 (チェーン転送)

豊富な転送モード

- ノーマルモード / リピートモード / ブロック転送モードの選択が可能
- 転送元、転送先アドレスのインクリメント / デクリメント / 固定の選択が可能

16M バイトのアドレス空間を直接指定可能

- 転送元、転送先アドレスを 24 ビットで指定

転送単位をバイト / ワードに設定可能

DTC を起動した割り込みを CPU に要求可能

- 1 回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- 指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

ソフトウェアによる起動が可能

## 8. データトランスファコントローラ (DTC)

### 8.1.2 ブロック図

DTCのブロック図を図8.1に示します。

DTCのレジスタ情報は内蔵RAMに配置されます。DTCと内蔵RAM(1kバイト)間は32ビットバスで接続されていますので、DTCのレジスタ情報のリード/ライトを32ビット1ステートで実行することができ、処理速度の向上を図ることができます。

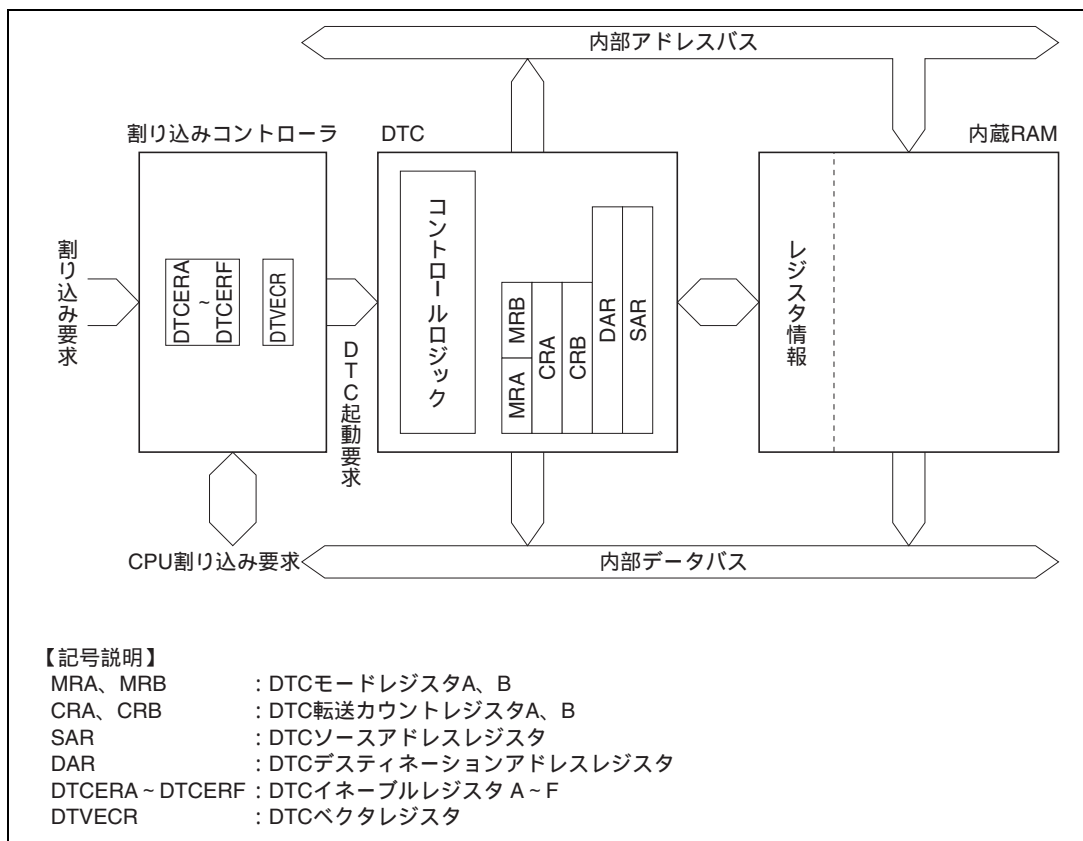


図 8.1 DTC のブロック図

## 8.1.3 レジスタ構成

DTC のレジスタ構成を表 8.1 に示します。

表 8.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
DTC モードレジスタ A	MRA	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC モードレジスタ B	MRB	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC ソースアドレスレジスタ	SAR	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC デスティネーションアドレスレジスタ	DAR	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC 転送カウントレジスタ A	CRA	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC 転送カウントレジスタ B	CRB	- * <sup>2</sup>	不定	- * <sup>3</sup>
DTC イネーブルレジスタ	DT CER	R/W	H'00	H'FF30 ~ H'FF35
DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FF37
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

- 【注】 \*<sup>1</sup> アドレスの下位 16 ビットを示しています。  
 \*<sup>2</sup> DTC 内のレジスタは直接リード/ライトできません。  
 \*<sup>3</sup> アドレス H'F800 ~ H'FBFF にレジスタ情報として配置します。DTC を使用する場合は SYSCR の RAME ビットを 0 にクリアしないでください。

## 8.2 各レジスタの説明

### 8.2.1 DTC モードレジスタ A (MRA)

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6 : ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説明
SM1	SM0	
0	-	SAR は固定
1	0	SAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	SAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)

ビット 5、4 : デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説明
DM1	DM0	
0	-	DAR は固定
1	0	DAR は転送後インクリメント (Sz=0 のとき +1、Sz=1 のとき +2)
	1	DAR は転送後デクリメント (Sz=0 のとき -1、Sz=1 のとき -2)



## 8. データトランスファコントローラ (DTC)

### ビット3、2 : DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット3	ビット2	説 明
DM1	DM0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

### ビット1 : DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット1	説 明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

### ビット0 : DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット0	説 明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

## 8. データトランスファコントローラ (DTC)

### 8.2.2 DTC モードレジスタ B (MRB)

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

#### ビット 7 : DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。

CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因フラグのクリアや DTCER のクリアは行いません。

ビット 7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

#### ビット 6 : DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット 6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

#### ビット 5~0 : リザーブビット

本 LSI では、DTC の動作に影響を与えません。0 をライトしてください。

## 8.2.3 DTC ソースアドレスレジスタ (SAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	---	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

## 8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット :	23	22	21	20	19	---	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	---	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

## 8.2.5 DTC 転送カウントレジスタ A (CRA)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	← CRAH →								← CRAL →							

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは一括して、16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

## 8. データトランスファコントローラ (DTC)

### 8.2.6 DTC 転送カウントレジスタ B (CRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

### 8.2.7 DTC イネーブルレジスタ (DTCER)

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCER は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード/ライトが可能な 6 本のレジスタで、DTCERA ~ DTCERF があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n : DTC 起動イネーブル (DTCE<sub>n</sub>)

ビット n	説明
DTCE <sub>n</sub>	
0	割り込みによる DTC 起動を禁止 (初期値) [クリア条件] • DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき
1	割り込みによる DTC 起動を許可 [保持条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびその時に割り込みコントローラが発生するペクタ番号について表 8.4 に示します。

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

## 8.2.8 DTC ベクタレジスタ (DTVECR)

ビット:	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

DTVECR は、8 ビットのリード/ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

## ビット 7: DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。

ソフトウェアで SWDTE ビットを 0 にクリアする場合には、SWDTE = 1 の状態をリード後、0 をライトしてください。

ビット 7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき
1	DTC ソフトウェア起動を許可 [保持条件] • DISEL ビットが 1 で、データ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中

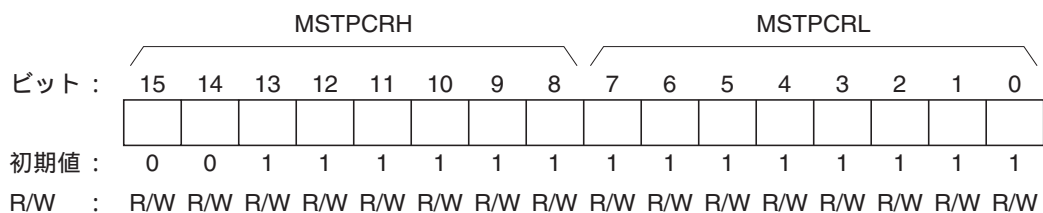
## ビット 6~0: DTC ソフトウェア起動ベクタ 6~0 (DTVEC6~DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、H'0400 + ((ベクタ番号) << 1) となります。ここで <<1 は 1 ビットの左シフトを表します。例えば、DTVEC6~DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。

## 8. データトランスファコントローラ (DTC)

### 8.2.9 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP14 ビットを 1 にセットすると、バスサイクルの終了時点で DTC は動作を停止してモジュールストップモードへ遷移します。ただし、DTC が起動中の場合、MSTP14 ビットに 1 をライトすることはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 14 : モジュールストップ (MSTP14)

DTC のモジュールストップモードを指定します。

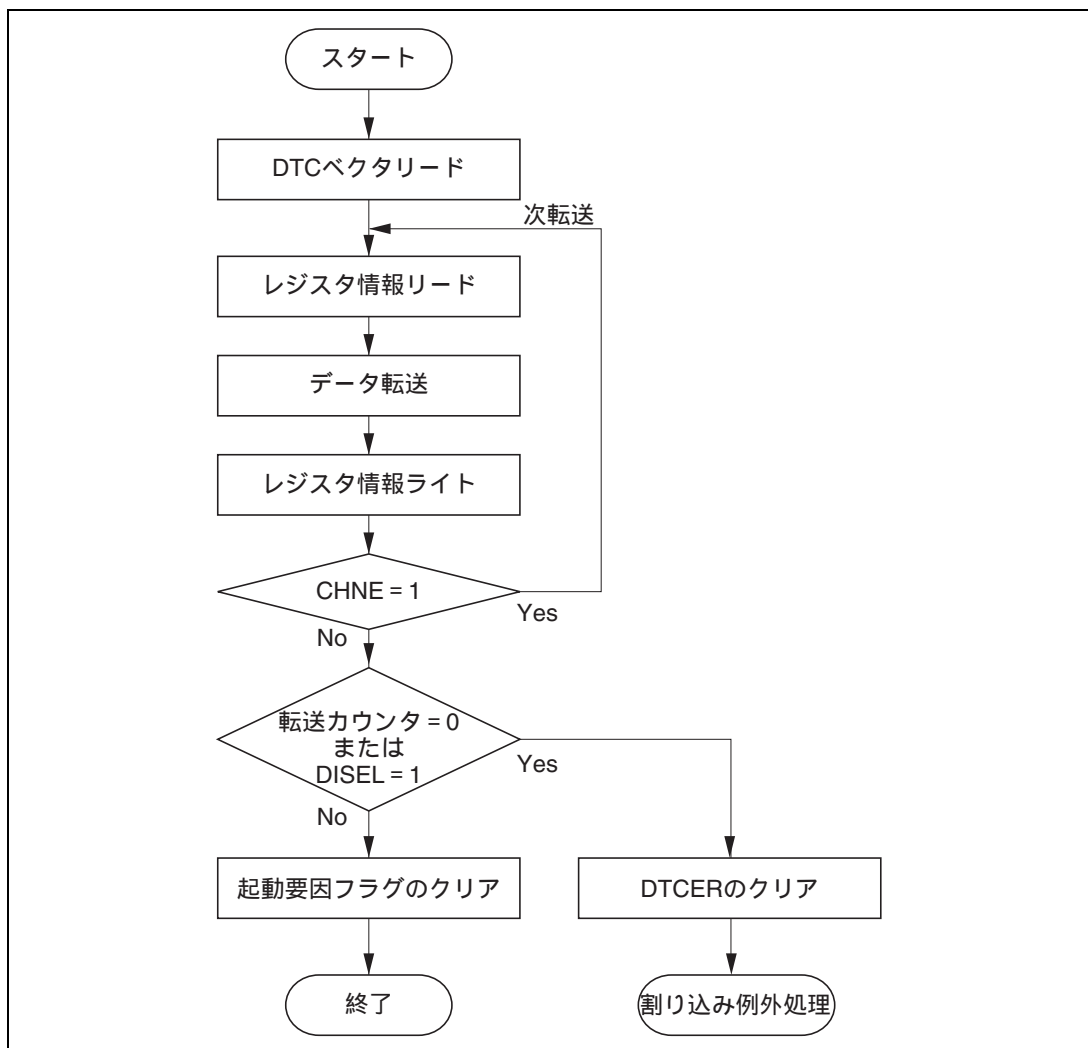
ビット 14	説明
MSTP14	
0	DTC のモジュールストップモード解除 (初期値)
1	DTC のモジュールストップモード設定

## 8.3 動作説明

### 8.3.1 概要

DTC は、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャネル数のデータ転送を行うことができます。また、CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます。

図 8.2 に DTC の動作フローチャートを示します。



## 8. データトランスファコントローラ (DTC)

DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTC は、転送元アドレスを 24 ビット長の SAR、転送先アドレスを 24 ビット長の DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメントあるいは固定とされます。

表 8.2 に、DTC の機能概要を示します。

表 8.2 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 転送回数は 1 ~ 65536 (2) リピートモード • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 指定回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 (3) ブロック転送モード • 1 回の転送要求で指定したブロックサイズの転送 • ブロックサイズ 1 ~ 256 バイトまたはワード • 転送回数は 1 ~ 65536 • ソースまたはデスティネーションのいずれかをブロックエリアに指定可能	• IRQ • TPU の TGI • 8 ビットタイマの CMI • SCI の TXI、RXI • A/D 変換器の ADI • DMAC の DEND • ソフトウェア	24 ビット	24 ビット

### 8.3.2 起動要因

DTC は、割り込み要因、もしくはソフトウェアによる DTVECR へのライト動作 (ソフトウェア起動) を起動要因として動作します。割り込み要因を、CPU に対する割り込み要求とするか、DTC の起動要因とするかは、割り込み要因ごとに DTCER の対応するビットで指定します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると、CPU の割り込み要因となります。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因または DTCER の対応するビットをクリアします。表 8.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、例えば RXI0 の場合、SCI0 の RDRF フラグになります。



表 8.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> <li>• SWDTE ビットは 1 を保持</li> <li>• CPU に割り込みを要求</li> </ul>
割り込み起動	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 1 を保持</li> <li>• 起動要因フラグは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 0 にクリア</li> <li>• 起動要因フラグは 1 を保持</li> <li>• 起動要因となった割り込みを CPU に要求</li> </ul>

図 8.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

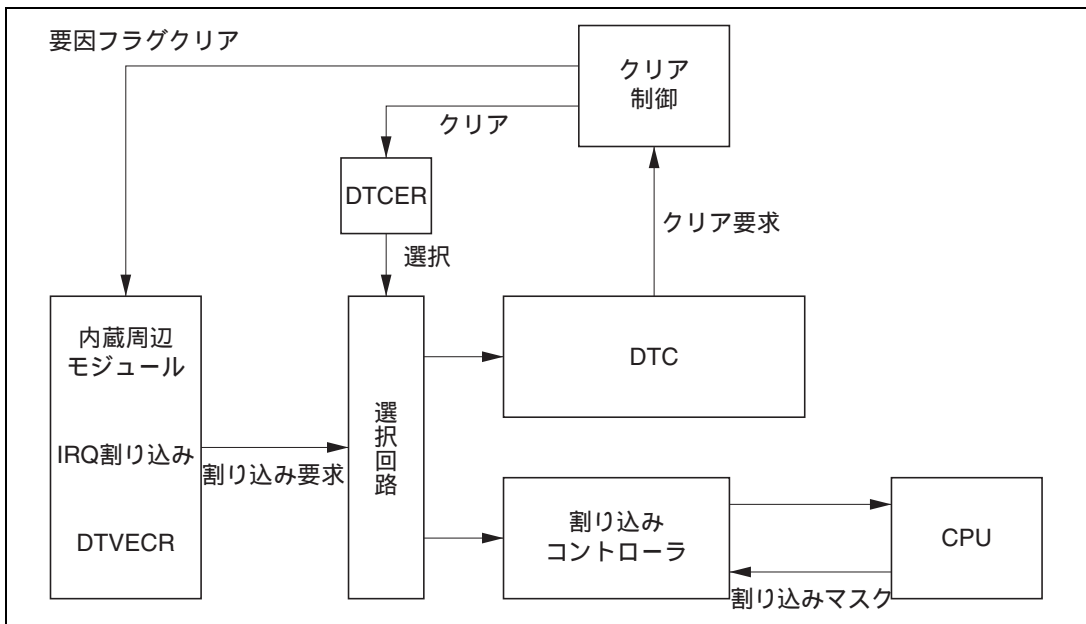


図 8.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位に従って受け付けられ、DTC が起動されます。

### 8.3.3 DTC ベクタテーブル

図 8.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 8.4 に、起動要因とベクタアドレスの対応および DTCER のビットとの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは  $H'0400 + (DTVECR[6:0] \ll 1)$  で求めます ( $\ll 1$  は 1 ビットの左シフトを表します)。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモードとアドバンスモードとで同じです。共に 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

## 8. データトランスファコントローラ (DTC)

表 8.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割込み要因	要因発生元	ベクタ番号	ベクタアドレス	DTCE	優先順位
DTVECR へのライト	ソフトウェア	DTVECR	H'0400 + (DTVECR[6:0]<<1)	-	高
IRQ0	外部端子	16	H'0420	DTCEA7	↑
IRQ1		17	H'0422	DTCEA6	
IRQ2		18	H'0424	DTCEA5	
IRQ3		19	H'0426	DTCEA4	
IRQ4		20	H'0428	DTCEA3	
IRQ5		21	H'042A	DTCEA2	
IRQ6		22	H'042C	DTCEA1	
IRQ7		23	H'042E	DTCEA0	
ADI (A/D 変換終了)	A/D	28	H'0438	DTCEB6	
TGI0A (GR0A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 0	32	H'0440	DTCEB5	
TGI0B (GR0B コンペアマッチ/インプットキャプチャ)		33	H'0442	DTCEB4	
TGI0C (GR0C コンペアマッチ/インプットキャプチャ)		34	H'0444	DTCEB3	
TGI0D (GR0D コンペアマッチ/インプットキャプチャ)		35	H'0446	DTCEB2	
TGI1A (GR1A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 1	40	H'0450	DTCEB1	
TGI1B (GR1B コンペアマッチ/インプットキャプチャ)		41	H'0452	DTCEB0	
TGI2A (GR2A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 2	44	H'0458	DTCEC7	
TGI2B (GR2B コンペアマッチ/インプットキャプチャ)		45	H'045A	DTCEC6	
TGI3A (GR3A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 3	48	H'0460	DTCEC5	
TGI3B (GR3B コンペアマッチ/インプットキャプチャ)		49	H'0462	DTCEC4	
TGI3C (GR3C コンペアマッチ/インプットキャプチャ)		50	H'0464	DTCEC3	
TGI3D (GR3D コンペアマッチ/インプットキャプチャ)		51	H'0466	DTCEC2	
TGI4A (GR4A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 4	56	H'0470	DTCEC1	
TGI4B (GR4B コンペアマッチ/インプットキャプチャ)		57	H'0472	DTCEC0	
TGI5A (GR5A コンペアマッチ/インプットキャプチャ)	TPU チャンネル 5	60	H'0478	DTCED5	
TGI5B (GR5B コンペアマッチ/インプットキャプチャ)		61	H'047A	DTCED4	
CMIA0	8ビットタイマ チャンネル 0	64	H'0480	DTCED3	
CMIB0		65	H'0482	DTCED2	
CMIA1	8ビットタイマ チャンネル 1	68	H'0488	DTCED1	
CMIB1		69	H'048A	DTCED0	
DMTEND0A (DMAC 転送終了 0)	DMAC	72	H'0490	DTCEE7	
DMTEND0B (DMAC 転送終了 1)		73	H'0492	DTCEE6	
DMTEND1A (DMAC 転送終了 2)		74	H'0494	DTCEE5	
DMTEND1B (DMAC 転送終了 3)		75	H'0496	DTCEE4	
RX10 (受信完了 0)	SCI チャンネル 0	81	H'04A2	DTCEE3	
TX10 (送信データエンティ 0)		82	H'04A4	DTCEE2	
RX11 (受信完了 1)	SCI チャンネル 1	85	H'04AA	DTCEE1	
TX11 (送信データエンティ 1)		86	H'04AC	DTCEE0	
RX12 (受信完了 2)	SCI チャンネル 2	89	H'04B2	DTCEF7	
TX12 (送信データエンティ 2)		90	H'04B4	DTCEF6	
					低

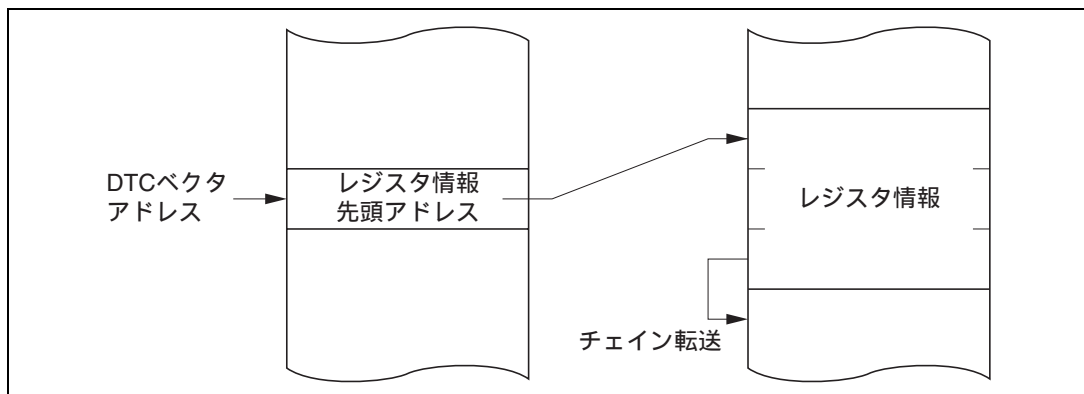


図 8.4 DTC ベクタアドレスとレジスタ情報との対応

### 8.3.4 アドレス空間上でのレジスタ情報の配置

図 8.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス (ベクタアドレスの内容) から、MRA、SAR、MRB、DAR、CRA、CRB の順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上 (アドレス : H'FFF800 ~ H'FFFBFF) に配置してください。

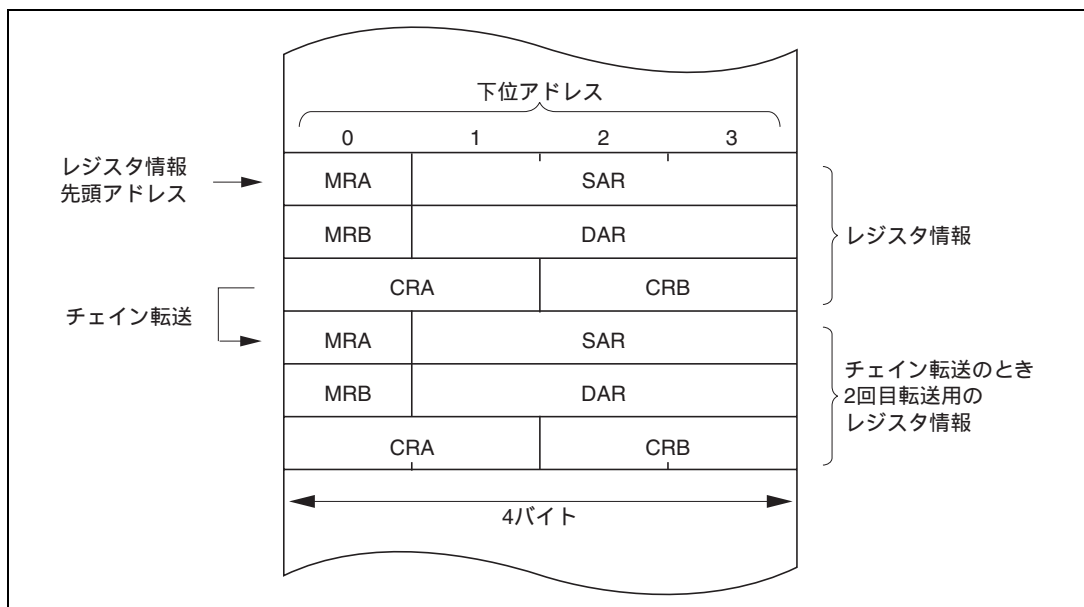


図 8.5 アドレス空間上での DTC レジスタ情報の配置

### 8.3.5 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込みを要求することができます。

表8.5にノーマルモードのレジスタ機能を、図8.6にノーマルモードのメモリマップを示します。

表 8.5 ノーマルモードのレジスタ機能

名 称	略 称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

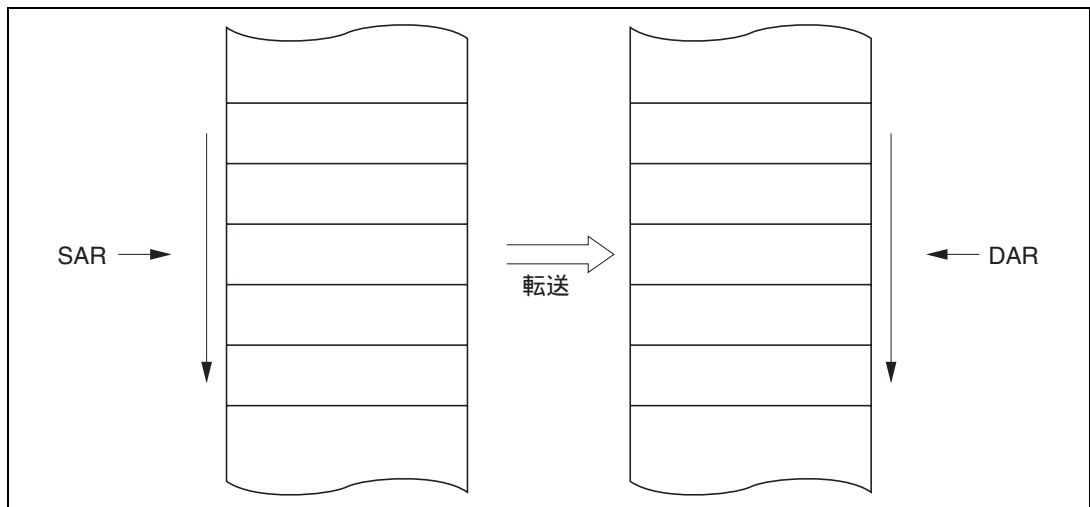


図 8.6 ノーマルモードのメモリマップ

### 8.3.6 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。

転送回数は1~256を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00になりませんので、DISEL=0の場合、CPUへの割り込みは要求されません。

表 8.6 にリピートモードのレジスタ機能を、図 8.7 にリピートモードのメモリマップを示します。

表 8.6 リピートモードのレジスタ機能

名 称	略 称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

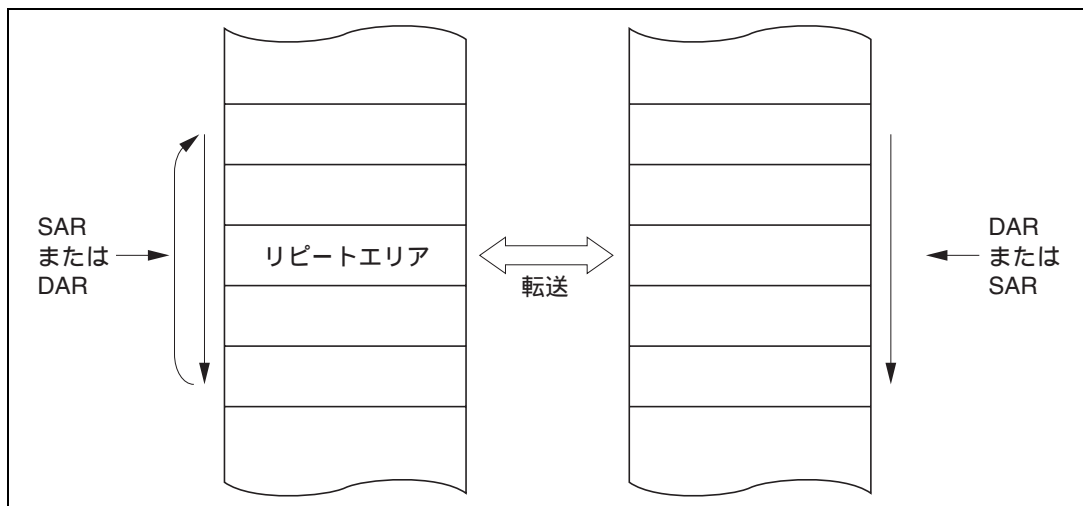


図 8.7 リピートモードのメモリマップ

### 8.3.7 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは1~256です。1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは連続して、インクリメントまたはデクリメントあるいは固定とされます。

転送回数は1~65536です。指定回数ブロック転送が終了すると、CPUへ割り込みを要求することができます。

表8.7にブロック転送モードのレジスタ機能を、図8.8にブロック転送モードのメモリマップを示します。

表 8.7 ブロック転送モードのレジスタ機能

名 称	略 称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

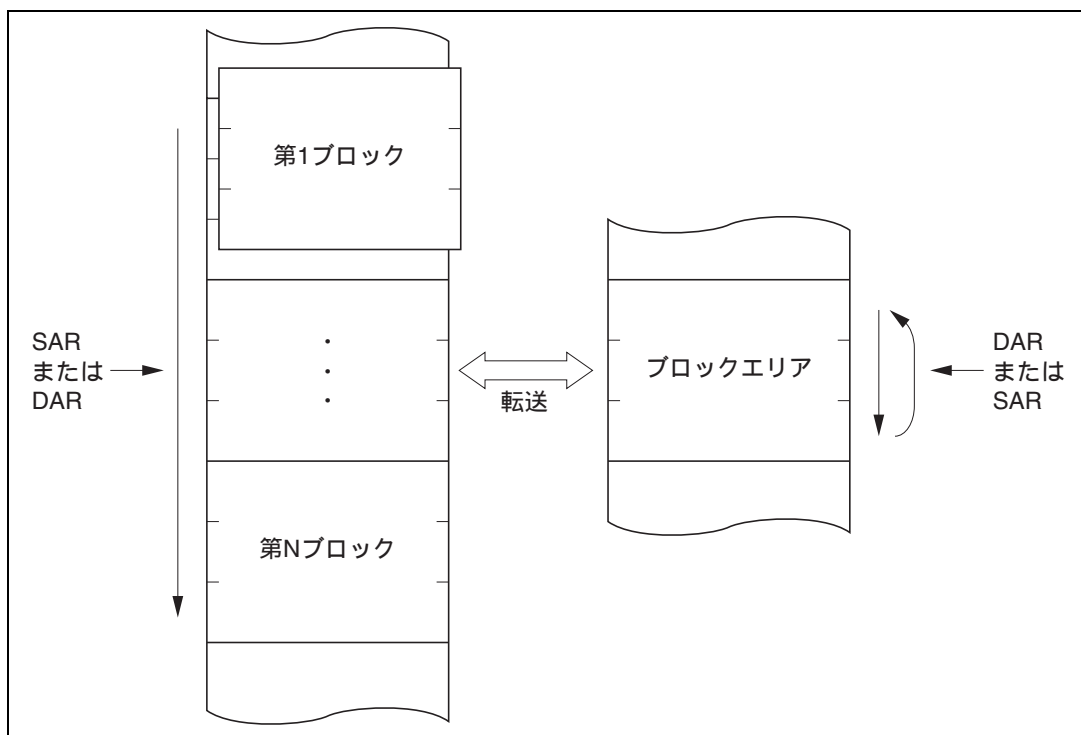


図 8.8 ブロック転送モードのメモリマップ

### 8.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 8.9 にチェイン転送のメモリマップを示します。

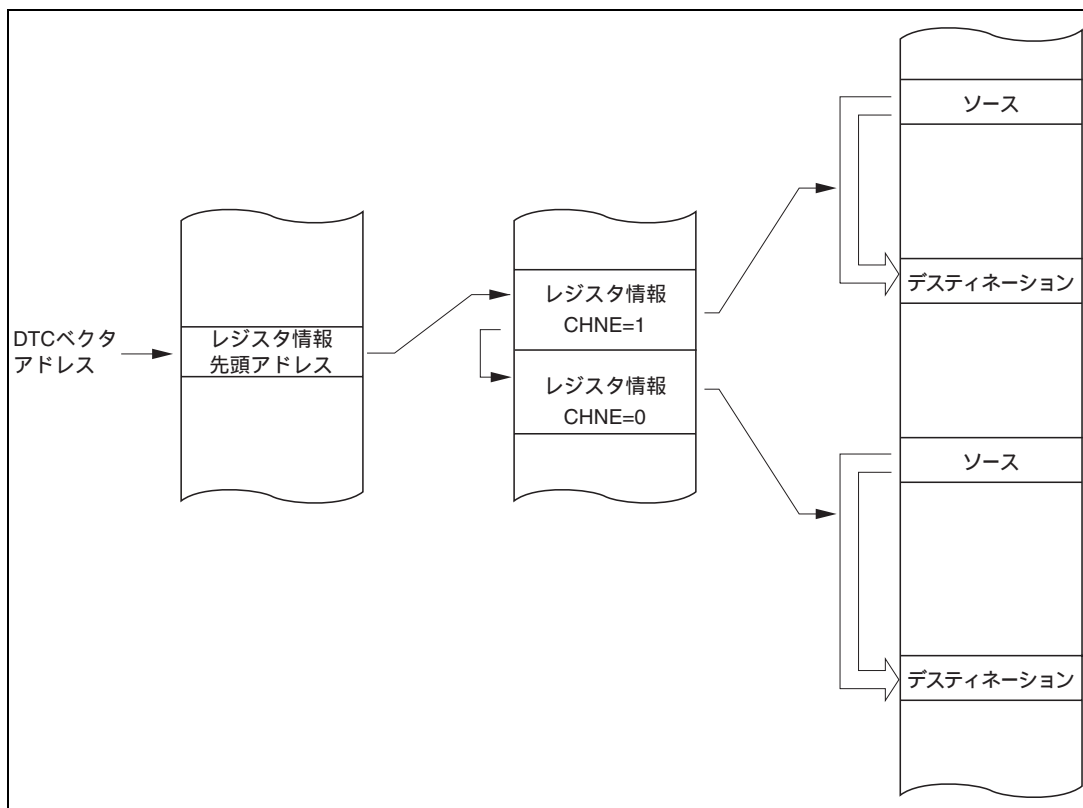


図 8.9 チェイン転送のメモリマップ

CHNE = 1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。



## 8.3.9 動作タイミング

図 8.10 ~ 図 8.12 に、DTC の動作タイミングの例を示します。

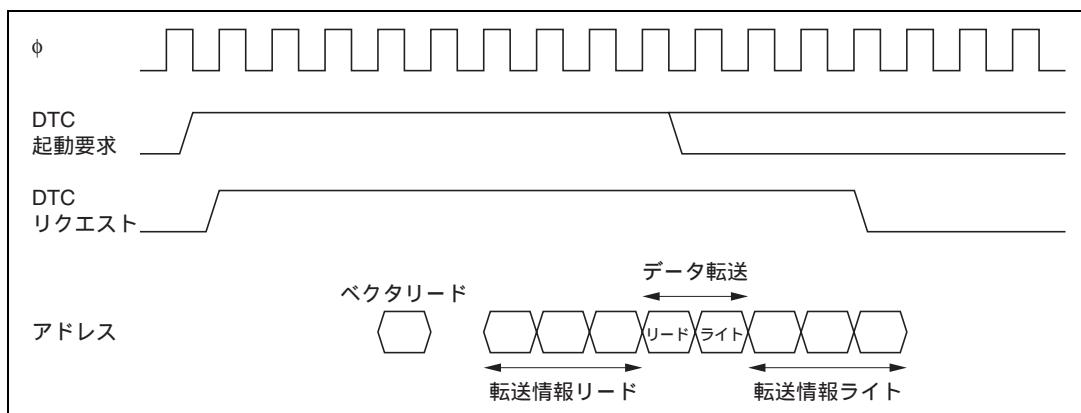


図 8.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

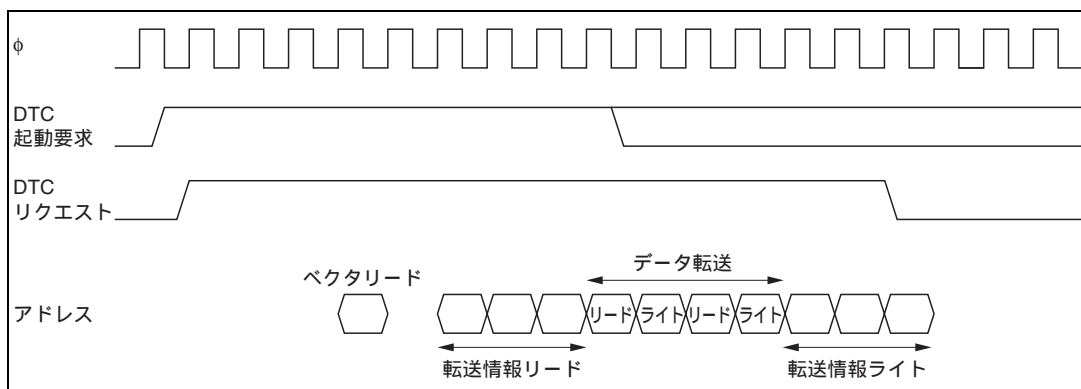


図 8.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2の例)

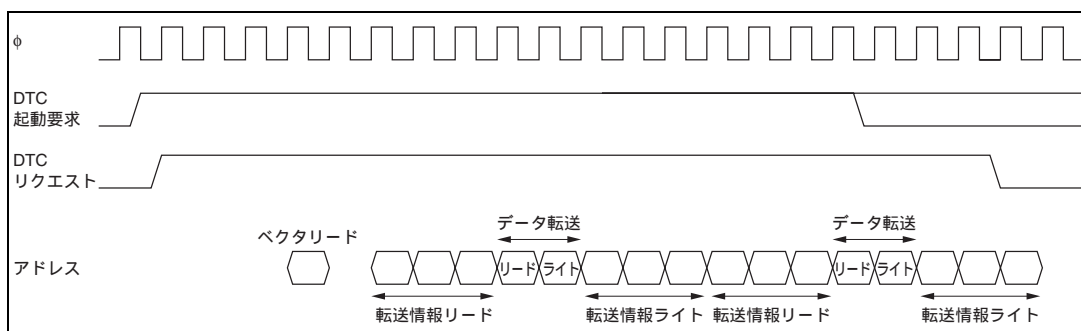


図 8.12 DTC の動作タイミング (チェイン転送の例)

## 8. データトランスファコントローラ (DTC)

### 8.3.10 DTC 実行ステート数

表 8.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.9 に、実行状態に必要なステート数を示します。

表 8.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ロック転送	1	6	N	N	3

N: ブロックサイズ (CRAH、CRAL の初期設定値)

表 8.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード S <sub>I</sub>	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 リード/ライト S <sub>J</sub>	1	-	-	-	-	-	-	-
	バイトデータリード S <sub>K</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S <sub>K</sub>	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S <sub>L</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S <sub>L</sub>	1	1	4	2	4	6+2m	2	3+m
	内部動作 S <sub>M</sub>	1							

実行ステート数は次の計算式で計算されます。なお、は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

例えば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

### 8.3.11 DTC 使用手順

#### (1) 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

- [ 1 ] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [ 2 ] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [ 3 ] DTCERの対応するビットを1にセットします。
- [ 4 ] 起動要因となる割り込み要因のイネーブルビットを1にセットします。  
要因となる割り込みが発生すると、DTCが起動されます。
- [ 5 ] 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引続きDTCによるデータ転送を行う場合には、DTCEを1にセットしてください。

#### (2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

- [ 1 ] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [ 2 ] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [ 3 ] SWDTE = 0を確認します。
- [ 4 ] SWDTEに1を、DTVECRにベクタ番号をライトします。
- [ 5 ] DTVECRにライトしたベクタ番号を確認します。
- [ 6 ] 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

### 8.3.12 DTC 使用例

#### (1) ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

- [ 1 ] MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
- [ 2 ] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [ 3 ] DTCERの対応するビットを1にセットします。
- [ 4 ] SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
- [ 5 ] SCIの1バイトのデータ受信が完了する毎に、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送されます。DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に

## 8. データトランスファコントローラ (DTC)

---

0にクリアされます。

- [ 6 ] 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### (2) チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピータモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE = 0 の時の転送) に限られるためです。

- [ 1 ] PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレス固定 (DM1 = DM0 = 0)、リピータモード (MD1 = 0、MD0 = 1)、ワードサイズ (Sz = 1) を設定します。ソース側をリピータ領域 (DTS = 1) に設定します。MRBはチェインモード (CHNE = 1、DISEL = 0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
- [ 2 ] TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレス固定 (DM1 = DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、ワードサイズ (Sz = 1) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
- [ 3 ] NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。
- [ 4 ] NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [ 5 ] DTCERのTGIAに対応するビットを1にセットします。
- [ 6 ] TIORでTGRAをアウトプットコンペアレジスタ (出力禁止) に設定し、TIERでTGIA割り込みを許可します。
- [ 7 ] PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
- [ 8 ] TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
- [ 9 ] TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
- [ 10 ] 指定した回数の転送終了後 (TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### (3) ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

- [ 1 ] MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ブロック転送モード (MD1 = 1、MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは

1回の割り込みで1回のブロック転送 (CHNE = 0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。

- [ 2 ] レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
- [ 3 ] DTVECRのSWDTE = 0を確認します。現在、DTCがソフトウェア起動に依る転送を行っていないことの確認です。
- [ 4 ] SWDTE = 1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
- [ 5 ] 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表わします。[ 3 ] と [ 4 ] の間に、割り込みが入り、ここで他のソフトウェアによる起動が成された場合が、これに相当します。起動したい場合、[ 3 ] に戻ってください。
- [ 6 ] ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- [ 7 ] 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

### 8.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

### 8.5 使用上の注意

#### (1) モジュールストップ

MSTPCR の MSTP14 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTP14 ビットに 1 をライトできません。

#### (2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

#### (3) DMAC 転送終了割り込み

DMAC 転送終了割り込みで DTC を起動したとき、転送カウンタ、DISEL ビットにかかわらず、DMAC の DTE ビットは DTC の制御を受けず、ライトデータが優先されます。このため、DTC の転送カウンタが 0 になった場合でも、CPU への割り込みが発生しない場合があります。

---

## 9. I/O ポート

---

### 9.1 概要

本 LSI には、12 本の入出力ポート（ポート 1~3、5、6、A~G）と 1 本の入力専用ポート（ポート 4）があります。

ポート機能一覧を表 9.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）と、端子の状態をリードするポートレジスタ（PORT）から構成されています。なお、入力専用ポートには DDR はありません。

ポート A~E には、入力プルアップ MOS が内蔵されており、DDR、DR の他に、入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

ポート 3、A には、オープンドレインコントロールレジスタ（ODR）が内蔵されており、出力バッファの PMOS のオン/オフを制御します。

ポート A~E は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 1~3、5、6、F、G は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1、A~C は LED を駆動する（シンク電流 10mA）ことができます。

ポート 2、ポート 6<sub>4</sub>~6<sub>7</sub>、ポート A<sub>4</sub>~A<sub>7</sub> はシュミットトリガ入力です。

各ポートのブロック図は、「付録 C I/O ポートのブロック図」を参照してください。

表 9.1 ポートの機能一覧(1)

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート 1	・ 8ビットの入出力ポート	P1/PO <sub>15</sub> /TIOCB <sub>2</sub> /TCLKD P1/PO <sub>14</sub> /TIOCA <sub>2</sub> P1/PO <sub>13</sub> /TIOCB <sub>1</sub> /TCLKC P1/PO <sub>12</sub> /TIOCA <sub>1</sub> P1/PO <sub>11</sub> /TIOCD <sub>2</sub> /TCLKB P1/PO <sub>10</sub> /TIOCC <sub>2</sub> /TCLKA P1/PO <sub>9</sub> /TIOCB <sub>0</sub> /DACK <sub>1</sub> P1/PO <sub>8</sub> /TIOCA <sub>0</sub> /DACK <sub>0</sub>	DMAコントローラの入出力端子 (DACK <sub>0</sub> , DACK <sub>1</sub> ) とTPUの入出力端子 (TCLKA, TCLKB, TCLKC, TCLKD, TIOCA <sub>2</sub> , TIOCB <sub>2</sub> , TIOCC <sub>2</sub> , TIOCD <sub>2</sub> , TIOCA <sub>1</sub> , TIOCB <sub>1</sub> , TIOCC <sub>1</sub> , TIOCD <sub>1</sub> , TIOCA <sub>0</sub> , TIOCB <sub>0</sub> , TIOCC <sub>0</sub> , TIOCD <sub>0</sub> ) とPPGの入出力端子 (PO <sub>15</sub> ~ PO <sub>8</sub> ) と8ビット入出力ポートとの兼用						
ポート 2	・ 8ビットの入出力ポート ・ シュミットトリガ入力	P2/PO <sub>7</sub> /TIOCB <sub>5</sub> /TMO <sub>1</sub> P2/PO <sub>6</sub> /TIOCA <sub>5</sub> /TMO <sub>0</sub> P2/PO <sub>5</sub> /TIOCB <sub>4</sub> /TMCI <sub>1</sub> P2/PO <sub>4</sub> /TIOCA <sub>4</sub> /TMRI <sub>1</sub> P2/PO <sub>3</sub> /TIOCD <sub>3</sub> /TMCI <sub>0</sub> P2/PO <sub>2</sub> /TIOCC <sub>3</sub> /TMRI <sub>0</sub> P2/PO <sub>1</sub> /TIOCB <sub>3</sub> P2/PO <sub>0</sub> /TIOCA <sub>3</sub>	TPUの入出力端子 (TIOCA <sub>5</sub> , TIOCB <sub>5</sub> , TIOCC <sub>5</sub> , TIOCD <sub>5</sub> , TIOCA <sub>4</sub> , TIOCB <sub>4</sub> , TIOCC <sub>4</sub> , TIOCD <sub>4</sub> , TIOCA <sub>3</sub> , TIOCB <sub>3</sub> , TIOCC <sub>3</sub> , TIOCD <sub>3</sub> , TIOCA <sub>2</sub> , TIOCB <sub>2</sub> , TIOCC <sub>2</sub> , TIOCD <sub>2</sub> , TIOCA <sub>1</sub> , TIOCB <sub>1</sub> , TIOCC <sub>1</sub> , TIOCD <sub>1</sub> , TIOCA <sub>0</sub> , TIOCB <sub>0</sub> , TIOCC <sub>0</sub> , TIOCD <sub>0</sub> ) の入出力端子 (TMRI <sub>0</sub> , TMCI <sub>0</sub> , TMO <sub>0</sub> , TMRI <sub>1</sub> , TMCI <sub>1</sub> , TMO <sub>1</sub> ) とPPGの入出力端子 (PO <sub>7</sub> ~ PO <sub>0</sub> ) と8ビット入出力ポートとの兼用						
ポート 3	・ 6ビットの入出力ポート ・ オープンドレイン出力可能	P3/SCK <sub>1</sub> P3/SCK <sub>0</sub> P3/RxD <sub>1</sub> P3/RxD <sub>0</sub> P3/TxD <sub>1</sub> P3/TxD <sub>0</sub>	SCI (チャネル0, 1) の入出力端子 (TxD <sub>0</sub> , RxD <sub>0</sub> , SCK <sub>0</sub> , TxD <sub>1</sub> , RxD <sub>1</sub> , SCK <sub>1</sub> ) と6ビット入出力ポートの兼用						
ポート 4	・ 8ビットの入出力ポート	P4/AN <sub>7</sub> /DA <sub>1</sub> P4/AN <sub>6</sub> /DA <sub>0</sub> P4/AN <sub>5</sub> P4/AN <sub>4</sub> P4/AN <sub>3</sub> P4/AN <sub>2</sub> P4/AN <sub>1</sub> P4/AN <sub>0</sub>	A/D変換器のアナログ入力 (AN <sub>7</sub> ~ AN <sub>0</sub> ) とD/A変換器のアナログ出力 (DA <sub>1</sub> , DA <sub>0</sub> ) と8ビット入出力ポートの兼用						



表 9.1 ポートの機能一覧(2)

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート5	・4ビットの入出力ポート	P5 <sub>7</sub> /ADTRG P5 <sub>2</sub> /SCK <sub>2</sub> P5 <sub>7</sub> /RxD <sub>2</sub> P5 <sub>0</sub> /TxD <sub>2</sub>	SCI (チャネル2) の入出力端子と4ビット入出力ポートの兼用						
ポート6	・8ビットの入出力ポート ・シミュットリガ入力 (P6 <sub>1</sub> ~ P6 <sub>7</sub> )	P6 <sub>7</sub> /IRQ <sub>7</sub> /CS <sub>7</sub> P6 <sub>6</sub> /IRQ <sub>6</sub> /CS <sub>6</sub> P6 <sub>5</sub> /IRQ <sub>5</sub> P6 <sub>4</sub> /IRQ <sub>4</sub> P6 <sub>3</sub> /TEND <sub>1</sub> P6 <sub>2</sub> /DREQ <sub>1</sub> P6 <sub>1</sub> /DREQ <sub>0</sub> /CS <sub>5</sub> P6 <sub>0</sub> /DREQ <sub>0</sub> /CS <sub>4</sub>	DMAコントローラの入出力端子 (DREQ <sub>0</sub> , TEND <sub>0</sub> , DREQ <sub>1</sub> , TEND <sub>1</sub> ) と割り込み入力端子 (IRQ <sub>0</sub> ~ IRQ <sub>3</sub> ) と8ビット入出力ポートの兼用	DMAコントローラの入出力端子 (DREQ <sub>0</sub> , TEND <sub>0</sub> , DREQ <sub>1</sub> , TEND <sub>1</sub> ) とバス制御出力端子 (CS <sub>4</sub> ~ CS <sub>7</sub> ) と割り込み入力端子 (IRQ <sub>0</sub> ~ IRQ <sub>3</sub> ) と8ビット入出力ポートの兼用					割り込み入力端子 (IRQ <sub>0</sub> ~ IRQ <sub>3</sub> ) と8ビット入出力ポートの兼用

表 9.1 ポートの機能一覧 (3)

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート A	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ</li> <li>・ MOS内蔵</li> <li>・ オープンドレイン出力可能</li> <li>・ シュミットトリガ入力 (<math>PA_4 \sim PA_7</math>)</li> </ul>	$PA_1/A_{20}/\overline{IRQ_7}$ $PA_6/A_{27}/\overline{IRQ_5}$ $PA_3/A_{21}/\overline{IRQ_5}$  $PA_1/A_{20}/\overline{IRQ_4}$	割り込み入力端子 入力ポートの兼用	モード2 割り込み入力端子 ( $\overline{IRQ_7} \sim \overline{IRQ_4}$ ) と 入力ポートの兼用	モード3 割り込み入力端子 ( $\overline{IRQ_7} \sim \overline{IRQ_4}$ ) と 入力ポートの兼用	モード4 DDR=0のとき (リセット後) 割り込み入力端子 ( $\overline{IRQ_7} \sim \overline{IRQ_5}$ ) と入力ポートの兼用 DDR=1のときアドレス出力 アドレス出力	モード5 DDR=0のとき (リセット後) 割り込み入力端子 ( $\overline{IRQ_7} \sim \overline{IRQ_4}$ ) と入力ポートの兼用 DDR=1のときアドレス出力	モード6 DDR=0のとき (リセット後) 割り込み入力端子 ( $\overline{IRQ_7} \sim \overline{IRQ_4}$ ) と入力ポートの兼用 DDR=1のときアドレス出力	モード7 割り込み入力端子 ( $\overline{IRQ_7} \sim \overline{IRQ_4}$ ) と入力ポートの兼用
ポート B	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ</li> <li>・ MOS内蔵</li> </ul>	$PA_3/A_{19} \sim PA_0/A_{16}$	入力ポート			アドレス出力		DDR=0のとき (リセット後) 入力ポート DDR=1のときアドレス出力	入出力ポート
ポート C	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ</li> <li>・ MOS内蔵</li> </ul>	$PB_7/A_{15} \sim PB_0/A_8$	アドレス出力	DDR=0のとき (リセット後) 入力ポート DDR=1のときアドレス出力	入出力ポート	アドレス出力		DDR=0のとき (リセット後) 入力ポート DDR=1のときアドレス出力	入出力ポート
ポート D	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ</li> <li>・ MOS内蔵</li> </ul>	$PC_7/A_7 \sim PC_0/A_0$	アドレス出力	DDR=0のとき (リセット後) 入力ポート DDR=1のときアドレス出力	入出力ポート	アドレス出力		DDR=0のとき (リセット後) 入力ポート DDR=1のときアドレス出力	入出力ポート
		$PD_7/D_{15} \sim PD_0/D_8$	データバス入出力	データバス入出力	入出力ポート	データバス入出力			入出力ポート

表 9.1 ポートの機能一覧(4)

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート E	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> <li>・ 入力プルアップ</li> </ul> MOS内蔵	PE <sub>i</sub> /D <sub>i</sub> ~ PE <sub>0</sub> /D <sub>0</sub>	8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータバス入出力	8ビットバスモードのとき入出力ポート	8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータバス入出力	モード4 モード5	モード6	モード7	
ポート F	<ul style="list-style-type: none"> <li>・ 8ビットの入出力ポート</li> </ul>	PF <sub>i</sub> /φ	DDR = 0のとき入力ポート DDR = 1のとき (リセット後) φ出力	DDR = 0のとき入力ポート DDR = 1のとき (リセット後) φ出力	DDR = 0のとき (リセット後) 入力ポート DDR = 1のとき φ出力	AS、RD、HWR、LWR出力	DDR = 0のとき入力ポート DDR = 1のとき (リセット後) φ出力	DDR = 0のとき (リセット後) 入力ポート DDR = 1のとき φ出力	
		PF <sub>i</sub> /AS PF <sub>i</sub> /RD PF <sub>i</sub> /HWR PF <sub>i</sub> /LWR	AS、RD、HWR、LWR出力	AS、RD、HWR、LWR	入力ポート	AS、RD、HWR、LWR出力		入力ポート	
		PF <sub>i</sub> /LCAS/WAIT/BREQO	WAIT = 0、BREQO = 0のとき (リセット後) 入力ポート WAIT = 1、BREQO = 0のとき WAIT入力 WAIT = 0、BREQO = 1のとき BREQO出力	WAIT = 0、BREQO = 0のとき (リセット後) 入力ポート WAIT = 1、BREQO = 0のとき WAIT入力 WAIT = 0、BREQO = 1のとき BREQO出力	WAIT = 0、BREQO = 0のとき (リセット後) 入力ポート WAIT = 1、BREQO = 0のとき WAIT入力 WAIT = 0、BREQO = 1のとき BREQO出力		WAIT = 0、BREQO = 0のとき (リセット後) 入力ポート WAIT = 1、BREQO = 0のとき WAIT入力 WAIT = 0、BREQO = 1のとき BREQO出力		
		PF <sub>i</sub> /BACK PF <sub>i</sub> /BREQ	BRLE = 0のとき (リセット後) 入力ポート BRLE = 1のとき BREQ入力、BACK出力	BRLE = 0のとき (リセット後) 入力ポート BRLE = 1のとき BREQ入力、BACK出力	BRLE = 0のとき (リセット後) 入力ポート BRLE = 1のとき BREQ入力、BACK出力		BRLE = 0のとき (リセット後) 入力ポート BRLE = 1のとき BREQ入力、BACK出力		

表 9.1 ポートの機能一覧(4)

ポート	概要	端子	モード1	モード2	モード3	モード4	モード5	モード6	モード7	
ポート G	・5ビット の入出力 ポート	PG <sub>4</sub> /CS <sub>0</sub>	DDR = 0のとき*1入力ポ ート DDR = 1のとき*2CS <sub>0</sub> 出 力	DDR = 0のとき*1入力ポ ート DDR = 1のとき*2CS <sub>0</sub> 出 力	入出力 ポート	DDR = 0のとき*1入力ポ ート DDR = 1のとき*2CS <sub>0</sub> 出 力	DDR = 0のとき*1入力ポ ート DDR = 1のとき*2CS <sub>0</sub> 出 力	DDR = 0のとき (リセット後) 入力ポ ート DDR = 1のとき CS <sub>1</sub> 、CS <sub>2</sub> 、CS <sub>3</sub> 出力	入出力 ポート	
			入力ポート	入力ポート						DRAM空間設定のときCAS出力 PSRAM空間設定のときOE出力 上記以外のとき (リセット後) 入出力 ポート
		PG <sub>3</sub> /CS <sub>1</sub> PG <sub>2</sub> /CS <sub>2</sub> PG <sub>1</sub> /CS <sub>3</sub>	入力ポート							
		PG <sub>4</sub> /CAS/OE								

【注】\*1 モード2、6のリセット後  
\*2 モード1、4、5のリセット後

## 9.2 ポート 1

### 9.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、PPG の出力端子 ( $PO_{15} \sim PO_8$ )、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA<sub>0</sub>、TIOCB<sub>0</sub>、TIOCC<sub>0</sub>、TIOCD<sub>0</sub>、TIOCA<sub>1</sub>、TIOCB<sub>1</sub>、TIOCA<sub>2</sub>、TIOCB<sub>2</sub>)、DMAC の出力端子 ( $\overline{DACK}_0$ 、 $\overline{DACK}_1$ ) と兼用になっています。ポート 1 の端子機能はいずれの動作モードでも共通です。

ポート 1 の各端子の構成を図 9.1 に示します。

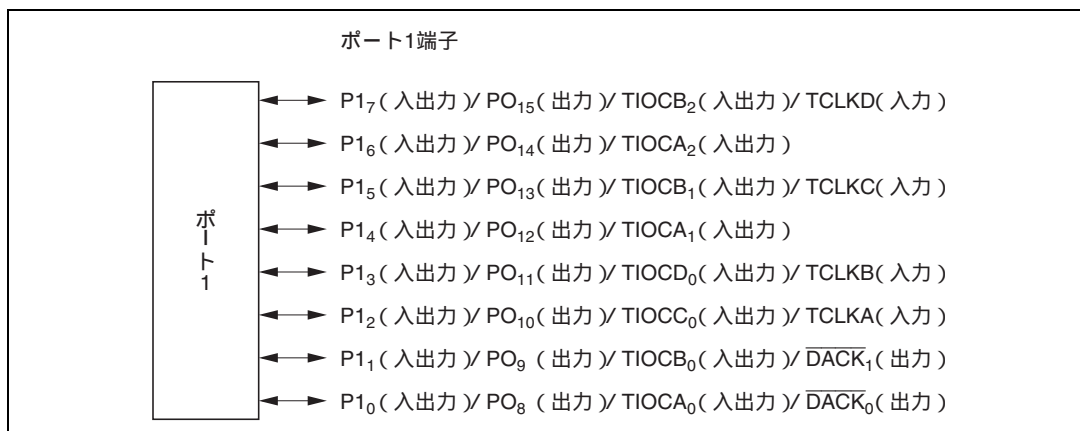


図 9.1 ポート 1 の端子機能

### 9.2.2 レジスタ構成

表 9.2 にポート 1 のレジスタ構成を示します。

表 9.2 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FEB0
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF60
ポート 1 レジスタ	PORT1	R	不定	H'FF50

【注】 \* アドレスの下位 16 ビットを示しています。

## 9. I/O ポート

---

### (1) ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。

P1DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。マニュアルリセットでは PPG、TPU、DMAC は初期化されるため、P1DDR、P1DR の指定によって端子状態が決定されます。

### (2) ポート 1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 (P1<sub>7</sub> ~ P1<sub>0</sub>) の出力データを格納します。

P1DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート1レジスタ (PORT1)

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* P1<sub>7</sub>~P1<sub>0</sub>端子の状態により決定されます。

PORT1は、8ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート1の各端子 (P1<sub>7</sub>~P1<sub>0</sub>) の出力データのライトは必ずPIDRに対して行ってください。

PIDDRが1にセットされているとき、ポート1のリードを行うとPIDRの値をリードします。PIDDRが0にクリアされているとき、ポート1のリードを行うと端子の状態が読み出されます。

PORT1は、パワーオンリセットまたはハードウェアスタンバイモードではPIDDR、PIDRが初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### 9.2.3 端子機能

ポート 1 の各端子は、PPG の出力端子 (PO<sub>15</sub> ~ PO<sub>8</sub>)、TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA<sub>0</sub>、TIOCB<sub>0</sub>、TIOCC<sub>0</sub>、TIOCD<sub>0</sub>、TIOCA<sub>1</sub>、TIOCB<sub>1</sub>、TIOCA<sub>2</sub>、TIOCB<sub>2</sub>)、DMAC の出力端子 ( $\overline{DACK}_0$ 、 $\overline{DACK}_1$ ) と兼用になっています。ポート 1 の端子機能を表 9.3 に示します。

表 9.3 ポート 1 の端子機能 (1)

端子	選択方法と端子機能						
P1 <sub>7</sub> /PO1 <sub>5</sub> / TIOCB <sub>2</sub> / TCLKD	TMDR2 の MD3 ~ MD0 ビット、TIOB2 の IOB3 ~ IOB0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、TCR0、TCR5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER15 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル2の設定	下表 (1)			下表 (2)		
	P17DDR	-			0	1	1
	NDER15	-			-	0	1
	端子機能	TIOCB <sub>2</sub> 出力			P1 <sub>7</sub> 入力	P1 <sub>7</sub> 出力	PO <sub>15</sub> 出力
				TIOCB <sub>2</sub> 入力*1			
	TCLKD入力*2						
<p>【注】*1 MD3 ~ MD0 = B'0000、B'01xx、かつ IOB3 = 1 の場合に TIOCB<sub>2</sub> 入力となります。</p> <p>*2 TCR0、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 の場合に TCLKD 入力となります。</p> <p>また、チャネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。</p>							
TPUチャネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)	
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011			
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外		
CCLR1、CCLR0	-	-	-	-	B'10以外	B'10	
出力機能	-	アウトプットコンペア出力	-	-	PWMモード2出力	-	
x : Don't care							



表 9.3 ポート1の端子機能(2)

端子	選択方法と端子機能						
P1 <sub>6</sub> /PO <sub>14</sub> / TIOCA <sub>2</sub>	TMDR2のMD3~MD0ビット、TIOR2のIOA3~IOA0ビット、TCR2のCCLR1、CCLR0ビットによるTPUチャンネル2の設定、NDERHのNDER14ビット、およびP16DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル2の設定	下表(1)			下表(2)		
	P16DDR	-			0	1	1
	NDER14	-			-	0	1
	端子機能	TIOCA <sub>2</sub> 出力			P1 <sub>6</sub> 入力	P1 <sub>6</sub> 出力	PO <sub>14</sub> 出力
					TIOCA <sub>2</sub> 入力*1		
	【注】*1 MD3~MD0 = B'0000、B'01xx、かつIOA3 = 1の場合にTIOCA <sub>2</sub> 入力となります。						
	TPUチャンネル2の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00以外	B'xx00以外	
CCLR1、CCLR0	-	-	-	-	B'01以外	B'01	
出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-	
						x : Don't care	
【注】*2 TIOCB <sub>2</sub> は出力禁止となります。							

9. I/O ポート

表 9.3 ポート 1 の端子機能 (3)

端子	選択方法と端子機能						
P1 <sub>5</sub> /PO <sub>13</sub> / TIOCB <sub>1</sub> / TCLKC	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOB3 ~ IOB0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャネル 1 の設定、TCR0、TCR2、TCR4、TCR5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER13 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル1の設定	下表 (1)		下表 (2)			
	P15DDR	-		0	1	1	
	NDER13	-		-	0	1	
	端子機能	TIOCB <sub>1</sub> 出力		P1 <sub>5</sub> 入力	P1 <sub>5</sub> 出力	PO <sub>13</sub> 出力	
				TIOCB <sub>1</sub> 入力*1			
		TCLKC入力*2					
	<p>【注】*1 MD3 ~ MD0 = B'0000、B'01xx、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB<sub>1</sub>入力となります。</p> <p>*2 TCR0、TCR2 のいずれかの設定が TPSC2 ~ TPSC0 = B'110 または TCR4、TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKC 入力となります。また、チャンネル 2、4 を位相計数モードに設定すると TCLKC 入力となります。</p>						
	TPUチャネル1の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプット コンペア出力	-	-	PWMモード2出力	-
		x : Don't care					

表 9.3 ポート 1 の端子機能 (4)

端子	選択方法と端子機能					
P1 <sub>4</sub> /PO <sub>12</sub> / TIOCA <sub>1</sub>	TMDR1 の MD3 ~ MD0 ビット、TIOR1 の IOA3 ~ IOA0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャネル 1 の設定、NDERH の NDER12 ビット、および P14DDR ビットの組み合わせにより、次のように切り替わります。					
	TPUチャネル1の設定	下表 (1)		下表 (2)		
	P14DDR	-		0	1	1
	NDER12	-		-	0	1
	端子機能	TIOCA <sub>1</sub> 出力		P1 <sub>4</sub> 入力	P1 <sub>4</sub> 出力	PO <sub>12</sub> 出力
				TIOCA <sub>1</sub> 入力*1		
	【注】*1 MD3 ~ MD0 = B'0000、B'01xx、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA <sub>1</sub> 入力となります。					
	TPUチャネル1の設定	(2)	(1)	(2)	(1)	(1) (2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	B'01以外	B'01
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力
						-
						x : Don't care
	【注】*2 TIOCB <sub>1</sub> は出力禁止となります。					

9. I/O ポート

表 9.3 ポート 1 の端子機能 (5)

端子	選択方法と端子機能						
P <sub>13</sub> /PO <sub>11</sub> / TIOCD <sub>0</sub> / TCLKB	TMDR0 の MD3 ~ MD0 ビット、TIOR0L の IOD3 ~ IOD0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR0 ~ TCR2 の TPSC2 ~ TPSC0 ビット、NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル0の設定	下表 (1)			下表 (2)		
	P13DDR	-	0	1	1		
	NDER11	-	-	0	1		
	端子機能	TIOCD <sub>0</sub> 出力	P <sub>13</sub> 入力	P <sub>13</sub> 出力	PO <sub>11</sub> 出力		
			TIOCD <sub>0</sub> 入力*1				
	TCLKB入力*2						
	【注】*1 MD3 ~ MD0 = B'0000、かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD <sub>0</sub> 入力となります。						
	*2 TCR0 ~ TCR2 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKB 入力となります。						
	また、チャンネル 1、5 を位相計数モードに設定すると TCLKB 入力となります。						
TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)	
MD3 ~ MD0	B'0000		B'0010	B'0011			
IOD3 ~ IOD0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外		
CCLR2 ~ CCLR0	-	-	-	-	B'110以外	B'110	
出力機能	-	アウトプット コンペア出力	-	-	PWMモード2出力	-	

表 9.3 ポート 1 の端子機能 (6)

端子	選択方法と端子機能					
P1 <sub>2</sub> /PO <sub>10</sub> / TIOCC <sub>0</sub> / TCLKA	TMDR0 の MD3 ~ MD0 ビット、TIOR0L の IOC3 ~ IOC0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR0 ~ TCR5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。					
	TPUチャンネル0の設定	下表 (1)		下表 (2)		
	P12DDR	-		0	1	1
	NDER10	-		-	0	1
	端子機能	TIOCC <sub>0</sub> 出力		P1 <sub>2</sub> 入力	P1 <sub>2</sub> 出力	PO <sub>10</sub> 出力
				TIOCC <sub>0</sub> 入力*1		
		TCLKA入力*2				
	【注】*1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC <sub>0</sub> 入力となります。					
	*2 TCR0 ~ TCR5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。					
	また、チャンネル 1、5 を位相計数モードに設定すると TCLKA 入力となります。					
	TPUチャンネル0の設定	(2)	(1)	(2)	(1)	(1) (2)
	MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011
	IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外
	CCLR2 ~ CCLR0	-	-	-	-	B'101以外 B'101
	出力機能	-	アウトプット コンペア出力	-	PWM *3 モード1出力	PWM モード2出力 -
		x : Don't care				
	【注】*3 TIOCC <sub>0</sub> は出力禁止となります。					
	TMDR0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。					

9. I/O ポート

表 9.3 ポート 1 の端子機能 (7)

端子	選択方法と端子機能						
P1 <sub>i</sub> /PO <sub>o</sub> / TIOCB <sub>o</sub> / DACK <sub>i</sub>	TMDR0 の MD3 ~ MD0 ビット、TIOR0H の IOB3 ~ IOB0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、NDERH の NDER9 ビット、および DMABCRH の SAE1 ビットと P11DDR ビットの組み合わせにより、次のように切り替わります。						
	SAE1	0				1	
	TPUチャンネル0の設定	下表 (1)		下表 (2)		-	
	P11DDR	-	0	1	1	-	
	NDER9	-	-	0	1	-	
	端子機能	TIOCB <sub>o</sub> 出力	P1 <sub>i</sub> 入力	P1 <sub>i</sub> 出力	PO <sub>o</sub> 出力	DACK <sub>i</sub> 出力	
	TIOCB <sub>o</sub> 入力*1						
	【注】*1 MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB <sub>o</sub> 入力となります。						
	TPUチャンネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00以外		
CCLR2 ~ CCLR0	-	-	-	-	B'010以外	B'010	
出力機能	-	アウトプット コンペア出力	-	-	PWMモード2出力	-	

x : Don't care

表 9.3 ポート 1 の端子機能 (8)

端子	選択方法と端子機能						
P1 <sub>0</sub> /PO <sub>8</sub> / TIOCA <sub>0</sub> / DACK <sub>0</sub>	TMDR0 の MD3 ~ MD0 ビット、TIOR0H の IOA3 ~ IOA0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャネル 0 の設定、NDERH の NDER8 ビット、および DMABCRH の SAE0 ビットと P10DDR ビットの組み合わせにより、次のように切り替わります。						
	SAE0	0				1	
	TPUチャネル0の設定	下表 (1)	下表 (2)			-	
	P10DDR	-	0	1	1	-	
	NDER8	-	-	0	1	-	
	端子機能	TIOCA <sub>0</sub> 出力	P1 <sub>0</sub> 入力	P1 <sub>0</sub> 出力	PO <sub>8</sub> 出力	DACK <sub>0</sub> 出力	
			TIOCA <sub>0</sub> 入力*1				
	【注】*1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA <sub>0</sub> 入力となります。						
	TPUチャネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR2 ~ CCLR0	-	-	-	-	B'001以外	B'001
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
							x : Don't care
	【注】*2 TIOCB <sub>0</sub> は出力禁止となります。						

## 9.3 ポート 2

### 9.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、PPG の出力端子 (PO<sub>7</sub>~PO<sub>0</sub>)、TPU の入出力端子 (TIOCA<sub>3</sub>、TIOCB<sub>3</sub>、TIOCC<sub>3</sub>、TIOCD<sub>3</sub>、TIOCA<sub>4</sub>、TIOCB<sub>4</sub>、TIOCA<sub>5</sub>、TIOCB<sub>5</sub>)、8 ビットタイマの入出力端子 (TMRI<sub>0</sub>、TMCI<sub>0</sub>、TMO<sub>0</sub>、TMRI<sub>1</sub>、TMCI<sub>1</sub>、TMO<sub>1</sub>) と兼用になっています。ポート 2 の端子機能はいずれの動作モードでも共通です。ポート 2 はシュミットトリガ入力です。

ポート 2 の各端子の構成を図 9.2 に示します。

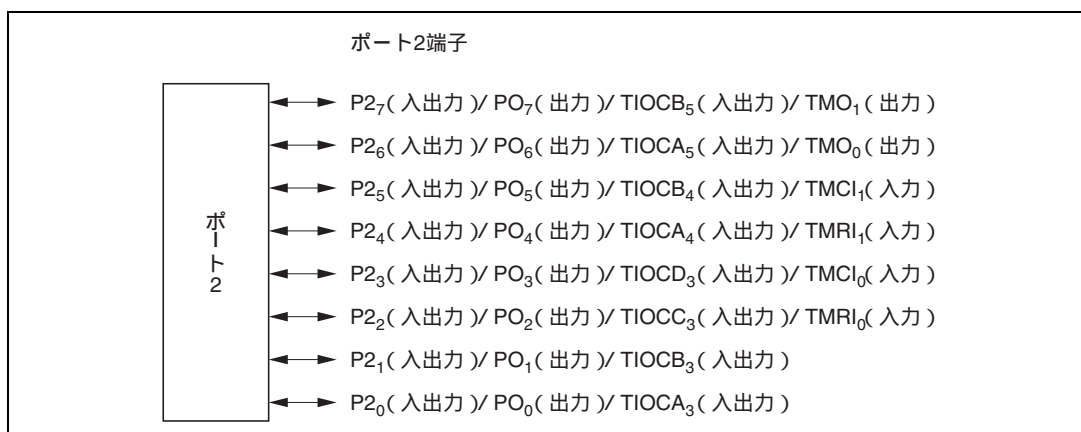


図 9.2 ポート 2 の端子機能

### 9.3.2 レジスタ構成

表 9.4 にポート 2 のレジスタ構成を示します。

表 9.4 ポート 2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FEB1
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FF61
ポート 2 レジスタ	PORT2	R	不定	H'FF51

【注】 \* アドレスの下位 16 ビットを示しています。



## (1) ポート2データディレクションレジスタ (P2DDR)

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P2DDRは、8ビットのライト専用レジスタで、ポート2の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P2DDRを1にセットすると対応するポート2の各端子は出力となり、0にクリアすると入力になります。

パワーオンリセットまたはハードウェアスタンバイモードではH'00に初期化されます。また、マニュアルリセットまたはソフトウェアスタンバイモードでは、P2DDRは直前の状態を保持します。マニュアルリセットではPPG、TPU、8ビットタイマは初期化されるため、P2DDR、P2DRの指定によって端子状態が決定されます。

## (2) ポート2データレジスタ (P2DR)

ビット :	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DRは、8ビットのリード/ライト可能なレジスタで、ポート2の各端子 (P2<sub>7</sub> ~ P2<sub>0</sub>) の出力データを格納します。

P2DRは、パワーオンリセットまたはハードウェアスタンバイモードではH'00に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9. I/O ポート

---

### (3) ポート 2 レジスタ (PORT2)

ビット :	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* P2<sub>7</sub>~P2<sub>0</sub>端子の状態により決定されます。

PORT2 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 2 の各端子 (P2<sub>7</sub>~P2<sub>0</sub>) の出力データのライトは必ず P2DR に対して行ってください。

P2DDR が 1 にセットされているとき、ポート 2 のリードを行うと P2DR の値をリードします。P2DDR が 0 にクリアされているとき、ポート 2 のリードを行うと端子の状態が読み出されます。

PORT2 は、パワーオンリセットまたはハードウェアスタンバイモードでは P2DDR、P2DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### 9.3.3 端子機能

ポート2の各端子は、PPGの出力端子(PO<sub>7</sub>~PO<sub>0</sub>)、TPUの入出力端子(TIOCA<sub>3</sub>、TIOCB<sub>3</sub>、TIOCC<sub>3</sub>、TIOCD<sub>3</sub>、TIOCA<sub>4</sub>、TIOCB<sub>4</sub>、TIOCA<sub>5</sub>、TIOCB<sub>5</sub>)、8ビットタイマの入出力端子(TMRI<sub>0</sub>、TMCI<sub>0</sub>、TMO<sub>0</sub>、TMRI<sub>1</sub>、TMCI<sub>1</sub>、TMO<sub>1</sub>)と兼用になっています。ポート2の端子機能を表9.5に示します。

表9.5 ポート2の端子機能(1)

端子	選択方法と端子機能						
P2/PO <sub>7</sub> / TIOCB <sub>5</sub> / TMO <sub>1</sub>	TMDR5のMD3~MD0ビット、TIOB5のIOB3~IOB0ビット、TCR5のCCLR1、CCLR0ビットによるTPUチャンネル5の設定、NDERLのNDER7ビット、および8ビットタイマのTCSR1のOS3~OS0ビットとP27DDRビットの組み合わせにより、次のように切り替わります。						
	OS3~OS0	すべてが0				いずれかが1	
	TPUチャンネル5の設定	下表(1)	下表(2)			-	
	P27DDR	-	0	1	1	-	
	NDER7	-	-	0	1	-	
	端子機能	TIOCB <sub>5</sub> 出力	P2 <sub>7</sub> 入力	P2 <sub>7</sub> 出力	PO <sub>7</sub> 出力	TMO <sub>1</sub> 出力	
			TIOCB <sub>5</sub> 入力*				
	【注】* MD3~MD0=B'0000、B'01xx、かつIOB3=1の場合にTIOCB <sub>5</sub> 入力となります。						
	TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	-	B'xx00	B'xx00以外	
	CCLR1、CCLR0	-	-	-	-	B'10以外	B'10
	出力機能	-	アウトプット コンペア出力	-	-	PWMモード2出力	-

x : Don't care

9. I/O ポート

表 9.5 ポート 2 の端子機能 (2)

端子	選択方法と端子機能						
P <sub>2</sub> /PO <sub>6</sub> / TIOCA <sub>5</sub> / TMO <sub>0</sub> 。	TMDR5 の MD3 ~ MD0 ビット、TIOA5 の IOA3 ~ IOA0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU チャネル 5 の設定、NDERL の NDER6 ビット、および TCSR0 の OS3 ~ OS0 ビットと P26DDR ビットの組み合わせにより、次のように切り替わります。						
	OS3 ~ OS0	すべてが0				いずれかが1	
	TPUチャネル5の設定	下表 (1)	下表 (2)			-	
	P26DDR	-	0	1	1	-	
	NDER6	-	-	0	1	-	
	端子機能	TIOCA <sub>5</sub> 出力	P <sub>26</sub> 入力	P <sub>26</sub> 出力	PO <sub>6</sub> 出力	TMO <sub>0</sub> 出力	
	TIOCA <sub>5</sub> 入力*1						
	【注】*1 MD3 ~ MD0 = B'0000、B'01xx、かつ IOA3 = 1 の場合に TIOCA <sub>5</sub> 入力となります。						
	TPUチャネル5の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外		
CCLR1、CCLR0	-	-	-	-	B'01以外	B'01	
出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-	
x : Don't care							
【注】*2 TIOCB <sub>5</sub> は出力禁止となります。							

表 9.5 ポート 2 の端子機能 (3)

端子	選択方法と端子機能							
P2 <sub>5</sub> /PO <sub>5</sub> / TIOCB <sub>4</sub> / TMCI <sub>1</sub>	8ビットタイマの外部クロック入力端子として使用される場合は、TCR1のCKS2~CKS0ビットで外部クロックを選択したときです。 TMDR4のMD3~MD0ビット、TIOA4のIOB3~IOB0ビット、TCR4のCCLR1、CCLR0ビットによるTPUチャンネル4の設定、NDERLのNDER5ビット、およびP25DDRビットの組み合わせにより、次のように切り替わります。							
	TPUチャンネル4の設定	下表(1)			下表(2)			
	P25DDR	-			0	1	1	
	NDER5	-			-	0	1	
	端子機能	TIOCB <sub>4</sub> 出力			P2 <sub>5</sub> 入力	P2 <sub>5</sub> 出力	PO <sub>5</sub> 出力	
					TIOCB <sub>4</sub> 入力*1			
	TMCI <sub>1</sub> 入力							
	【注】*1 MD3~MD0 = B'0000、B'01xx、かつ IOB3~IOB0 = B'10xx の場合に TIOCB <sub>4</sub> 入力となります。							
	TPUチャンネル4の設定	(2)	(1)		(2)	(2)	(1)	(2)
	MD3~MD0	B'0000、B'01xx			B'0010	B'0011		
IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111		-	B'xx00	B'xx00以外		
CCLR1、CCLR0	-	-		-	-	B'10以外	B'10	
出力機能	-	アウトプットコンペア出力		-	-	PWMモード2出力	-	

x : Don't care

9. I/O ポート

表 9.5 ポート 2 の端子機能 (4)

端子	選択方法と端子機能						
P2 <sub>4</sub> /PO <sub>4</sub> / TIOCA <sub>4</sub> / TMRI <sub>1</sub>	8ビットタイマのカウンタリセットとして使用される場合は、TCR1のCCLR1、CCLR0ビットがそれぞれ1にセットされているときです。 TMDR4のMD3~MD0ビット、TIOA4のIOA3~IOA0ビット、TCR4のCCLR1、CCLR0ビットによるTPUチャンネル4の設定、NDERLのNDER4ビット、およびP24DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル4の設定	下表(1)			下表(2)		
	P24DDR	-			0	1	1
	NDER4	-			-	0	1
	端子機能	TIOCA <sub>4</sub> 出力			P2 <sub>4</sub> 入力	P2 <sub>4</sub> 出力	PO <sub>4</sub> 出力
					TIOCA <sub>4</sub> 入力*1		
	TMRI <sub>1</sub> 入力						
	【注】*1 MD3~MD0=B'0000、B'01xx、かつIOA3~IOA0=B'10xxの場合にTIOCA <sub>4</sub> 入力となります。						
	TPUチャンネル4の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00以外	B'xx00以外		
CCLR1、CCLR0	-	-	-	-	B'01以外	B'01	
出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-	
x : Don't care							
【注】*2 TIOCB <sub>4</sub> は出力禁止となります。							

表 9.5 ポート 2 の端子機能 (5)

端子	選択方法と端子機能							
P2 <sub>3</sub> /PO <sub>3</sub> / TIOCD <sub>3</sub> / TMCI <sub>0</sub>	8 ビットタイマの外部クロック入力端子として使用される場合は、TCR0 の CKS2 ~ CKS0 ビットで外部クロックを選択したときです。 TMDR3 の MD3 ~ MD0 ビット、TIOR3L の IOD3 ~ IOD0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU チャネル 3 の設定、NDERL の NDER3 ビット、および P23DDR ビットの組み合わせにより、次のように切り替わります。							
	TPUチャネル3の設定	下表 (1)			下表 (2)			
	P23DDR	-			0	1	1	
	NDER3	-			-	0	1	
	端子機能	TIOCD <sub>3</sub> 出力			P2 <sub>3</sub> 入力	P2 <sub>3</sub> 出力	PO <sub>3</sub> 出力	
					TIOCD <sub>3</sub> 入力*1			
	TMCI <sub>0</sub> 入力							
	【注】*1 MD3 ~ MD0 = B'0000、かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD <sub>3</sub> 入力となります。							
	TPUチャネル3の設定	(2)	(1)		(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000			B'0010	B'0011		
IOD3 ~ IOD0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111		-	B'xx00	B'xx00以外		
CCLR2 ~ CCLR0	-	-		-	-	B'110以外	B'110	
出力機能	-	アウトプットコンペア出力		-	-	PWMモード2出力	-	
x : Don't care								

表 9.5 ポート 2 の端子機能 (6)

端子	選択方法と端子機能						
P2 <sub>2</sub> /PO <sub>2</sub> / TIOCC <sub>3</sub> / TMRI <sub>0</sub>	8ビットタイマのカウンタリセットとして使用される場合は、TCR0のCCLR1、CCLR0ビットがそれぞれ1にセットされているときです。 TMDR3のMD3~MD0ビット、TIOR3LのIOC3~IOC0ビット、TCR3のCCLR2~CCLR0ビットによるTPUチャンネル3の設定、NDERLのNDER2ビット、およびP22DDRビットの組み合わせにより、次のように切り替わります。						
	TPUチャンネル3の設定	下表(1)		下表(2)			
	P22DDR	-		0	1	1	
	NDER2	-		-	0	1	
	端子機能	TIOCC <sub>3</sub> 出力		P2 <sub>2</sub> 入力	P2 <sub>2</sub> 出力	PO <sub>2</sub> 出力	
				TIOCC <sub>3</sub> 入力*1			
		TMRI <sub>0</sub> 入力					
	【注】*1 MD3~MD0=B'0000、かつIOC3~IOC0=B'10xxの場合にTIOCC <sub>3</sub> 入力となります。						
	TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3~MD0	B'0000		B'001x	B'0010	B'0011	
	IOC3~IOC0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR2~CCLR0	-	-	-	-	B'101以外	B'101
	出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-
		x : Don't care					
	【注】*2 TIOCD <sub>3</sub> は出力禁止となります。 TMDR3のBFA=1またはBFB=1のときは出力禁止で(2)の設定になります。						



表 9.5 ポート 2 の端子機能 (7)

端子	選択方法と端子機能							
P2 <sub>1</sub> /PO <sub>1</sub> / TIOCB <sub>3</sub>	TMDR3 の MD3 ~ MD0 ビット、TIOR3H の IOB3 ~ IOB0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU チャネル 3 の設定、NDERL の NDER1 ビット、および P21DDR ビットの組み合わせにより、次のように切り替わります。							
	TPUチャネル3の設定	下表 (1)			下表 (2)			
	P21DDR	-			0	1	1	
	NDER1	-			-	0	1	
	端子機能	TIOCB <sub>3</sub> 出力			P2 <sub>1</sub> 入力	P2 <sub>1</sub> 出力	PO <sub>1</sub> 出力	
		TIOCB <sub>3</sub> 入力*1						
	【注】*1 MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB <sub>3</sub> 入力となります。							
	TPUチャネル3の設定	(2)	(1)		(2)	(2)	(1)	(2)
	MD3 ~ MD0	B'0000		B'0010	B'0011			
	IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111		-	B'xx00	B'xx00以外	
CCLR2 ~ CCLR0	-	-		-	-	B'010以外	B'010	
出力機能	-	アウトプットコンペア出力		-	-	PWMモード2出力	-	

x : Don't care

9. I/O ポート

表 9.5 ポート 2 の端子機能 (8)

端子	選択方法と端子機能						
P2 <sub>0</sub> /PO <sub>0</sub> / TIOCA <sub>3</sub>	TMDR3 の MD3 ~ MD0 ビット、TIOR3H の IOA3 ~ IOA0 ビット、TCR3 の CCLR2 ~ CCLR0 ビットによる TPU チャネル 3 の設定、NDERL の NDER0 ビット、および P20DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル3の設定	下表 (1)			下表 (2)		
	P20DDR	-			0	1	1
	NDER0	-			-	0	1
	端子機能	TIOCA <sub>3</sub> 出力			P2 <sub>0</sub> 入力	P2 <sub>0</sub> 出力	PO <sub>0</sub> 出力
		TIOCA <sub>3</sub> 入力*1					
	【注】*1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA <sub>3</sub> 入力となります。						
	TPUチャネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
	MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
	IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00以外	B'xx00以外	
CCLR2 ~ CCLR0	-	-	-	-	B'001以外	B'010	
出力機能	-	アウトプット コンペア出力	-	PWM *2 モード1出力	PWM モード2出力	-	
						x : Don't care	
【注】*2 TIOCB <sub>3</sub> は出力禁止となります。							

## 9.4 ポート 3

### 9.4.1 概要

ポート 3 は、6 ビットの入出力ポートです。ポート 3 は、SCI の入出力端子 (TxD<sub>0</sub>、RxD<sub>0</sub>、SCK<sub>0</sub>、TxD<sub>1</sub>、RxD<sub>1</sub>、SCK<sub>1</sub>) と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。ポート 3 の各端子の構成を図 9.3 に示します。

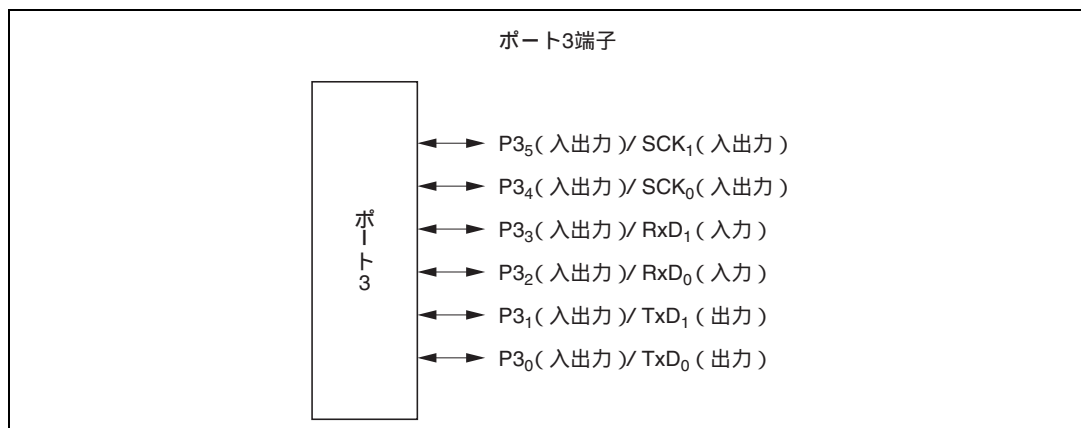


図 9.3 ポート 3 の端子機能

### 9.4.2 レジスタ構成

表 9.6 にポート 3 のレジスタ構成を示します。

表 9.6 ポート 3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FEB2
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF62
ポート 3 レジスタ	PORT3	R	不定	H'FF52
ポート 3 オープンドレインコントロールレジスタ	P3ODR	R/W	H'00	H'FF76

【注】 \* アドレスの下位 16 ビットを示しています。

## 9. I/O ポート

---

### (1) ポート 3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット 7、6 はリザーブビットです。

P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。

パワーオンリセットまたはハードウェアスタンバイモードでは H'CO に初期化されます。また、マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。SCI は初期化されるため、P3DDR、P3DR の指定によって端子状態が決定されます。

### (2) ポート 3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 (P<sub>35</sub> ~ P<sub>30</sub>) の出力データを格納します。

ビット 7、6 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'CO に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート 3 レジスタ (PORT3)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35	P34	P33	P32	P31	P30
初期値 :	1	1	- *	- *	- *	- *	- *	- *
R/W :	-	-	R	R	R	R	R	R

【注】\* P3<sub>5</sub>~P3<sub>0</sub>端子の状態により決定されます。

PORT3 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 3 の各端子 (P3<sub>5</sub>~P3<sub>0</sub>) の出力データのライトは必ず P3DR に対して行ってください。

ビット 7、6 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3DDR が 1 にセットされているとき、ポート 3 のリードを行うと P3DR の値をリードします。P3DDR が 0 にクリアされているとき、ポート 3 のリードを行うと端子の状態が読み出されます。

PORT3 は、パワーオンリセットまたはハードウェアスタンバイモードでは P3DDR、P3DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (4) ポート 3 オープンドレインコントロールレジスタ (P3ODR)

ビット :	7	6	5	4	3	2	1	0
	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

P3ODR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 (P3<sub>5</sub>~P3<sub>0</sub>) の PMOS のオン/オフを制御します。

ビット 7、6 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P3ODR を 1 にセットするとポート 3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

P3ODR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'CO に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9.4.3 端子機能

ポート 3 の各端子は、SCI の入出力端子 (Tx<sub>D0</sub>、Rx<sub>D0</sub>、SCK<sub>0</sub>、Tx<sub>D1</sub>、Rx<sub>D1</sub>、SCK<sub>1</sub>) と兼用になっています。ポート 3 の端子機能を表 9.7 に示します。

表 9.7 ポート 3 の端子機能 (1)

端子	選択方法と端子機能					
P3 <sub>5</sub> /SCK <sub>1</sub>	SCI1 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビットと P35DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/ $\bar{A}$	0		1	-	
	CKE0	0		1	-	-
	P35DDR	0	1	-	-	-
	端子機能	P3 <sub>5</sub> 入力端子	P3 <sub>5</sub> 出力端子*	SCK <sub>1</sub> 出力端子*	SCK <sub>1</sub> 出力端子*	SCK <sub>1</sub> 入力端子
【注】* P35ODR = 1 のとき、NMOS オープンドレイン出力になります。						
P3 <sub>4</sub> /SCK <sub>0</sub>	SCI0 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。					
	CKE1	0			1	
	C/ $\bar{A}$	0		1	-	
	CKE0	0		1	-	-
	P34DDR	0	1	-	-	-
	端子機能	P3 <sub>4</sub> 入力端子	P3 <sub>4</sub> 出力端子*	SCK <sub>0</sub> 出力端子*	SCK <sub>0</sub> 出力端子*	SCK <sub>0</sub> 入力端子
【注】* P34ODR = 1 のとき、NMOS オープンドレイン出力になります。						

表 9.7 ポート 3 の端子機能 (2)

端子	選択方法と端子機能		
P3 <sub>3</sub> /RxD <sub>1</sub>	SCI1 の SCR の RE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。		
	RE	0	1
	P33DDR	0	1
	端子機能	P3 <sub>3</sub> 入力端子	P3 <sub>3</sub> 入力端子*
【注】* P33ODR = 1 のとき、NMOS オープンドレイン出力になります。			
P3 <sub>2</sub> /RxD <sub>0</sub>	SCI0 の SCR の RE ビットと P32DDR ビットの組み合わせにより、次のように切り替わります。		
	RE	0	1
	R32DDR	0	1
	端子機能	P3 <sub>2</sub> 入力端子	P3 <sub>2</sub> 出力端子*
【注】* P32ODR = 1 のとき、NMOS オープンドレイン出力になります。			
P3 <sub>1</sub> /TxD <sub>1</sub>	SCI1 の SCR の TE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。		
	TE	0	1
	R31DDR	0	1
	端子機能	P3 <sub>1</sub> 入力端子	P3 <sub>1</sub> 出力端子*
【注】* P31ODR = 1 のとき、NMOS オープンドレイン出力になります。			
P3 <sub>0</sub> /TxD <sub>0</sub>	SCI0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。		
	TE	0	1
	R30DDR	0	1
	端子機能	P3 <sub>0</sub> 入力端子	P3 <sub>0</sub> 出力端子*
【注】* P30ODR = 1 のとき、NMOS オープンドレイン出力になります。			

## 9.5 ポート 4

### 9.5.1 概要

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 は、A/D 変換器のアナログ入力端子 ( $AN_0 \sim AN_7$ ) と D/A 変換器のアナログ出力端子 ( $DA_0$ 、 $DA_1$ ) との兼用になっています。ポート 4 の端子機能はいずれの動作モードでも共通です。ポート 4 の各端子の構成を図 9.4 に示します。

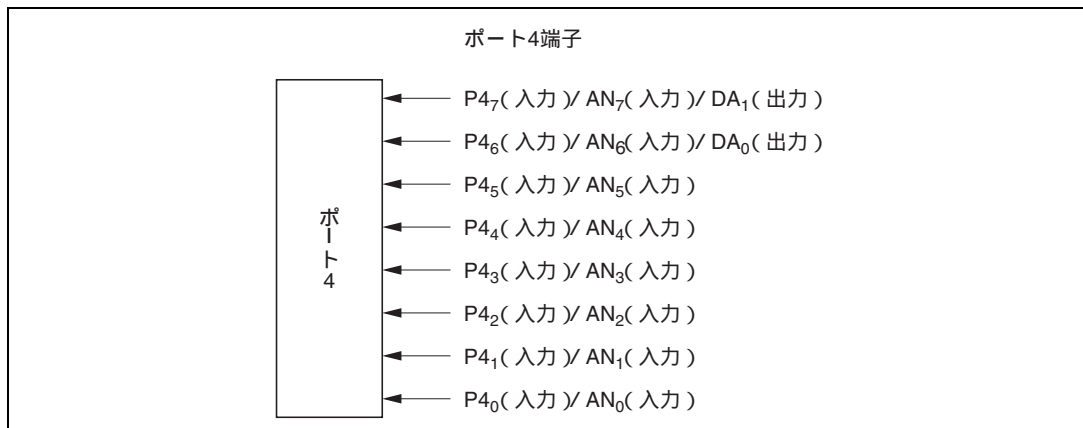


図 9.4 ポート 4 の端子機能

### 9.5.2 レジスタ構成

表 9.8 にポート 4 のレジスタ構成を示します。ポート 4 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 9.8 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 4 レジスタ	PORT4	R	不定	H'FF53

【注】 \* アドレスの下位 16 ビットを示しています。



## (1) ポート4レジスタ (PORT4)

PORT4のリードを行うと、常に端子の状態が読み出されます。

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	*	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* P4<sub>7</sub>~P4<sub>0</sub>端子の状態により決定されます。

## 9.5.3 端子機能

ポート4の各端子は、A/D変換器のアナログ入力端子 (AN<sub>0</sub>~AN<sub>7</sub>) とD/A変換器のアナログ出力端子 (DA<sub>0</sub>、DA<sub>1</sub>) との兼用になっています。

## 9.6 ポート 5

### 9.6.1 概要

ポート 5 は、4 ビットの入出力ポートです。ポート 5 は、SCI の入出力端子 (TxD<sub>2</sub>、RxD<sub>2</sub>、SCK<sub>2</sub>)、A/D 変換器の入力端子 ( $\overline{\text{ADTRG}}$ ) と兼用になっています。ポート 5 の端子機能はいずれの動作モードでも共通です。ポート 5 の各端子の構成を図 9.5 に示します。

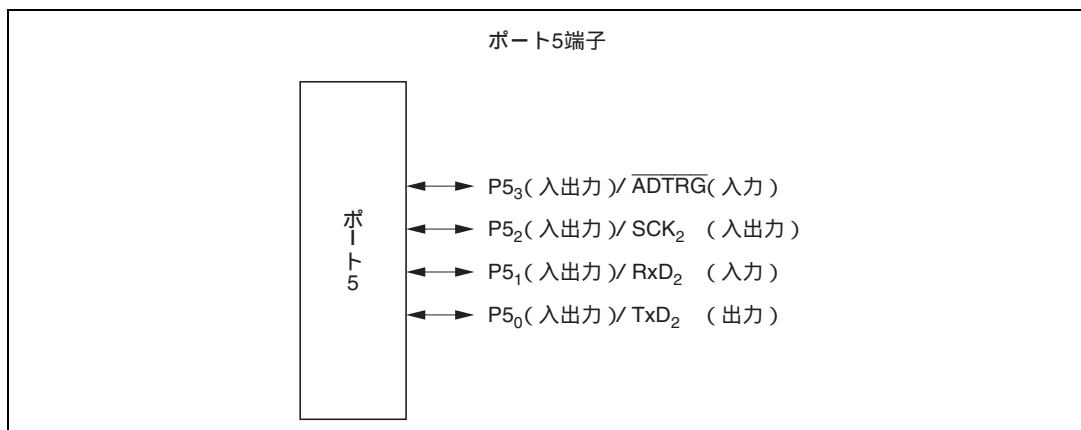


図 9.5 ポート 5 の端子機能

### 9.6.2 レジスタ構成

表 9.9 にポート 5 のレジスタ構成を示します。

表 9.9 ポート 5 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 5 データディレクションレジスタ	P5DDR	W	H'F0	H'FEB4
ポート 5 データレジスタ	P5DR	R/W	H'F0	H'FF64
ポート 5 レジスタ	PORT5	R	不定	H'FF54

【注】 \* アドレスの下位 16 ビットを示しています。

## (1) ポート 5 データディレクションレジスタ (P5DDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DDR	P52DDR	P51DDR	P50DDR
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

P5DDR は、8 ビットのライト専用レジスタで、ポート 5 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット 7~4 はリザーブビットです。

P5DDR を 1 にセットすると対応するポート 5 の各端子は出力となり、0 にクリアすると入力になります。

P5DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは HF0 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。SCI は初期化されるため、P5DDR、P5DR の指定によって端子状態が決定されます。

## (2) ポート 5 データレジスタ (P5DR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DR	P52DR	P51DR	P50DR
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

P5DR は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の各端子 (P5<sub>3</sub> ~ P5<sub>0</sub>) の出力データを格納します。

ビット 7~4 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P5DR は、パワーオンリセットまたはハードウェアスタンバイモードでは HF0 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート5レジスタ (PORT5)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53	P52	P51	P50
初期値 :	1	1	1	1	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

【注】\* P5<sub>3</sub>~P5<sub>0</sub>端子の状態により決定されます。

PORT5は、8ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート5の各端子 (P5<sub>3</sub>~P5<sub>0</sub>) の出力データのライトは必ず P5DR に対して行ってください。

ビット7~4はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

P5DDRが1にセットされているとき、ポート5のリードを行うとP5DRの値をリードします。P5DDRが0にクリアされているとき、ポート5のリードを行うと端子の状態が読み出されます。

PORT5は、パワーオンリセットまたはハードウェアスタンバイモードではP5DDR、P5DRが初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9.6.3 端子機能

ポート5の各端子は、SCIの入出力端子 (TxD<sub>2</sub>、RxD<sub>2</sub>、SCK<sub>2</sub>)、A/D変換器の入力端子 (ADTRG) と兼用になっています。ポート5の端子機能を表9.10に示します。

表 9.10 ポート 5 の端子機能

端子	選択方法と端子機能				
P5 <sub>3</sub> /ADTRG	A/D コントロールレジスタ (ADCR) のトリガセレクト 1、0 (TRGS1、TRGS0) と P53DDR ビットの組み合わせにより次のように切り替わります。				
	P53DDR	0		1	
	端子機能	P5 <sub>3</sub> 入力端子		P5 <sub>3</sub> 出力端子	
	ADTRG入力端子				
【注】* TRGS0 = TRGS1 = 1 のとき ADTRG 入力となります。					
P5 <sub>2</sub> /SCK <sub>2</sub>	SCI2 の SMR の C/A ビット、SCR の CKE0、CKE1 ビットと P52DDR ビットの組み合わせにより次のように切り替わります。				
	CKE1	0			1
	C/A	0		1	-
	CKE0	0	1	-	-
	P52DDR	0	1	-	-
	端子機能	P5 <sub>2</sub> 入力端子	P5 <sub>2</sub> 出力端子	SCK <sub>2</sub> 出力端子	SCK <sub>2</sub> 出力端子
P5 <sub>1</sub> /RxD <sub>2</sub>	SCI2 の SCR の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0		1	
	P51DDR	0	1		
	端子機能	P5 <sub>1</sub> 入力端子	P5 <sub>1</sub> 出力端子	RxD <sub>2</sub> 入力端子	
P5 <sub>0</sub> /TxD <sub>2</sub>	SCI2 の SCR の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。				
	TE	0		1	
	P50DDR	0	1		
	端子機能	P5 <sub>0</sub> 入力端子	P5 <sub>0</sub> 出力端子	TxD <sub>2</sub> 出力端子	

## 9.7 ポート 6

### 9.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、割り込み入力端子 ( $\overline{IRQ}_0$ 、 $\overline{IRQ}_1$ 、 $\overline{IRQ}_2$ 、 $\overline{IRQ}_3$ )、DMAC の入出力端子 ( $\overline{DREQ}_0$ 、 $\overline{TEND}_0$ 、 $\overline{DREQ}_1$ 、 $\overline{TEND}_1$ )、バス制御出力端子 ( $\overline{CS}_4 \sim \overline{CS}_7$ ) と兼用になっています。P6<sub>5</sub> ~ P6<sub>2</sub> の端子機能はいずれの動作モードでも共通です。P6<sub>7</sub>、P6<sub>6</sub>、P6<sub>1</sub>、P6<sub>0</sub> の端子機能は動作モードによって切り替わります。P6<sub>7</sub> ~ P6<sub>4</sub> はシュミットトリガ入力です。ポート 6 の各端子の構成を図 9.6 に示します。

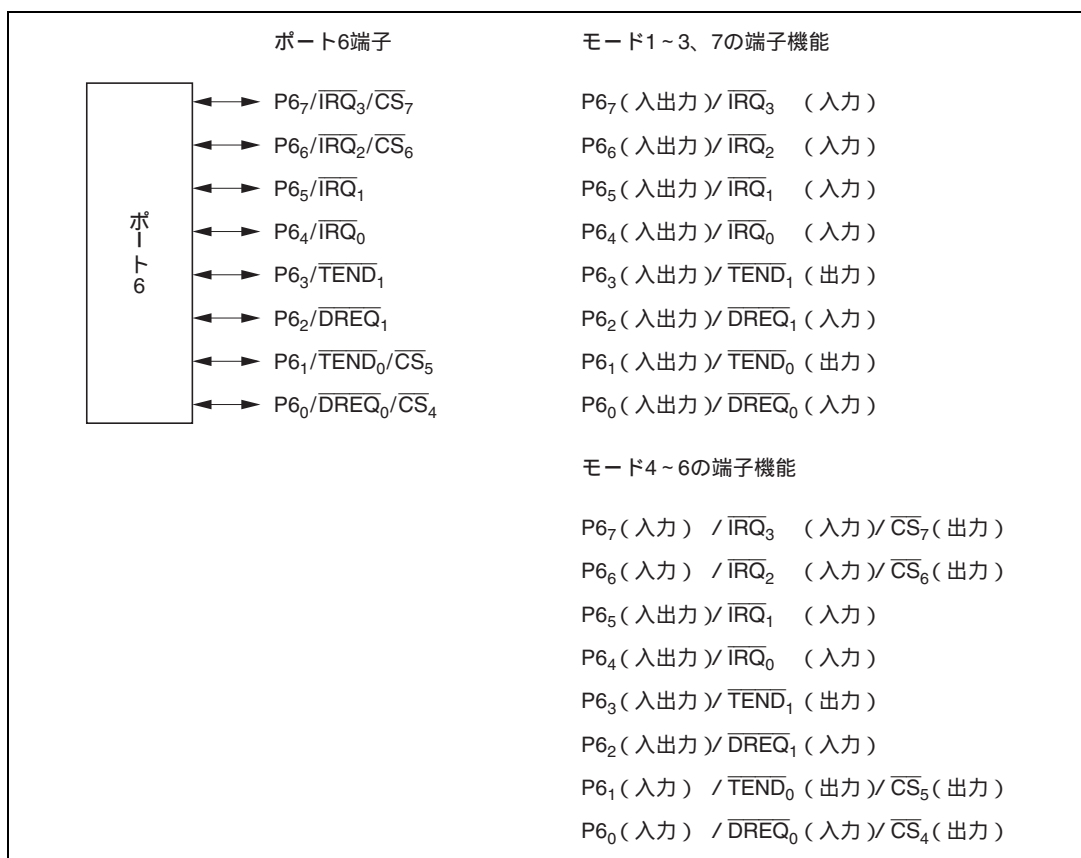


図 9.6 ポート 6 の端子機能

## 9.7.2 レジスタ構成

表 9.11 にポート 6 のレジスタ構成を示します。

表 9.11 ポート 6 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 6 データディレクションレジスタ	P6DDR	W	H'00	H'FEB5
ポート 6 データレジスタ	P6DR	R/W	H'00	H'FF65
ポート 6 レジスタ	PORT6	R	不定	H'FF55

【注】 \* アドレスの下位 16 ビットを示しています。

### (1) ポート 6 データディレクションレジスタ (P6DDR)

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P6DDR は、8 ビットのライト専用レジスタで、ポート 6 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P6DDR を 1 にセットすると対応するポート 6 の各端子は出力となり、0 にクリアすると入力になります。

P6DDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。マニュアルリセットでは DMAC は初期化されるため、P6DDR、P6DR の指定によって端子状態が決定されます。

### (2) ポート 6 データレジスタ (P6DR)

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の各端子 (P<sub>67</sub> ~ P<sub>60</sub>) の出力データを格納します。

P6DR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9. I/O ポート

---

### (3) ポート 6 レジスタ (PORT6)

ビット :	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* P6<sub>7</sub>~P6<sub>0</sub>端子の状態により決定されます。

PORT6 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 6 の各端子 (P6<sub>7</sub>~P6<sub>0</sub>) の出力データのライトは必ず P6DR に対して行ってください。

P6DDR が 1 にセットされているとき、ポート 6 のリードを行うと P6DR の値をリードします。P6DDR が 0 にクリアされているとき、ポート 6 のリードを行うと端子の状態が読み出されます。

PORT6 は、パワーオンリセットまたはハードウェアスタンバイモードでは P6DDR、P6DR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。



## 9.7.3 端子機能

ポート 6 の各端子は、割り込み入力端子 ( $\overline{IRQ}_0$ ,  $\overline{IRQ}_1$ ,  $\overline{IRQ}_2$ ,  $\overline{IRQ}_3$ )、DMAC の入出力端子 ( $\overline{DREQ}_0$ ,  $\overline{TEND}_0$ ,  $\overline{DREQ}_1$ ,  $\overline{TEND}_1$ )、バス制御出力端子 ( $\overline{CS}_4 \sim \overline{CS}_7$ ) と兼用になっています。ポート 6 の端子機能を表 9.12 に示します。

表 9.12 ポート 6 の端子機能 (1)

端子	選択方法と端子機能			
$P6_7/\overline{IRQ}_3/\overline{CS}_7$	P67DDR ビットにより、次のように切り替わります。			
	モード	モード1、2、3、7		モード4~6
	P67DDR	0	1	0 1
	端子機能	$P6_7$ 入力端子	$P6_7$ 出力端子	$P6_7$ 入力端子 $\overline{CS}_7$ 出力端子
$\overline{IRQ}_3$ 割り込み入力端子				
$P6_6/\overline{IRQ}_2/\overline{CS}_6$	P66DDR ビットにより、次のように切り替わります。			
	モード	モード1、2、3、7		モード4~6
	P66DDR	0	1	0 1
	端子機能	$P6_6$ 入力端子	$P6_6$ 出力端子	$P6_6$ 入力端子 $\overline{CS}_6$ 出力端子
$\overline{IRQ}_2$ 割り込み入力端子				
$P6_5/\overline{IRQ}_1$	P65DDR ビットにより、次のように切り替わります。			
	P65DDR	0		1
	端子機能	$P6_5$ 入力端子		$P6_5$ 出力端子
$\overline{IRQ}_1$ 割り込み入力端子				
$P6_4/\overline{IRQ}_0$	P64DDR ビットにより、次のように切り替わります。			
	P64DDR	0		1
	端子機能	$P6_4$ 入力端子		$P6_4$ 出力端子
$\overline{IRQ}_0$ 割り込み入力端子				

9. I/O ポート

表 9.12 ポート 6 の端子機能 (2)

端子	選択方法と端子機能				
P6 <sub>3</sub> $\overline{\text{TEND}}_1$	DMAC の DMATCR の TEE1 ビットと P63DDR ビットの組み合わせにより、次のように切り替わります。				
	TEE1	0		1	
	P63DDR	0	1	-	
	端子機能	P6 <sub>3</sub> 入力端子	P6 <sub>3</sub> 出力端子	$\overline{\text{TEND}}_1$ 出力	
P6 <sub>2</sub> $\overline{\text{DREQ}}_1$	P62DDR ビットの組み合わせにより、次のように切り替わります。				
	P62DDR	0		1	
	端子機能	P6 <sub>2</sub> 入力端子		P6 <sub>2</sub> 出力端子	
	DREQ <sub>1</sub> 入力				
P6 <sub>1</sub> $\overline{\text{TEND}}_0$ / CS <sub>5</sub>	DMAC の DMATCR の TEE0 ビットと P61DDR ビットの組み合わせにより、次のように切り替わります。				
	• モード 1、2、3、7				
	TEE0	0		1	
	P61DDR	0	1	-	
	端子機能	P6 <sub>1</sub> 入力端子	P6 <sub>1</sub> 出力端子	$\overline{\text{TEND}}_0$ 出力	
	• モード 4~6				
	TEE0	0		1	
	P61DDR	0	1	-	
端子機能	P6 <sub>1</sub> 入力端子	CS <sub>5</sub> 出力端子	$\overline{\text{TEND}}_0$ 出力		
P6 <sub>0</sub> $\overline{\text{DREQ}}_0$ / CS <sub>4</sub>	P60DDR ビットにより、次のように切り替わります。				
	モード	モード1、2、3、7		モード4~6	
	P60DDR	0	1	0	1
	端子機能	P6 <sub>0</sub> 入力端子	P6 <sub>0</sub> 出力端子	P6 <sub>0</sub> 入力端子	$\overline{\text{CS}}_4$ 出力端子
	DREQ <sub>0</sub> 入力				

## 9.8 ポート A

### 9.8.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、アドレスバス出力と、割り込み入力端子 ( $\overline{\text{IRQ}}_4 \sim \overline{\text{IRQ}}_7$ ) と兼用になっています。動作モードによって端子機能が切り替わります。

ポート A は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。また、 $\text{PA}_7 \sim \text{PA}_4$  はシュミットトリガ入力です。

ポート A の各端子の構成を図 9.7 に示します。

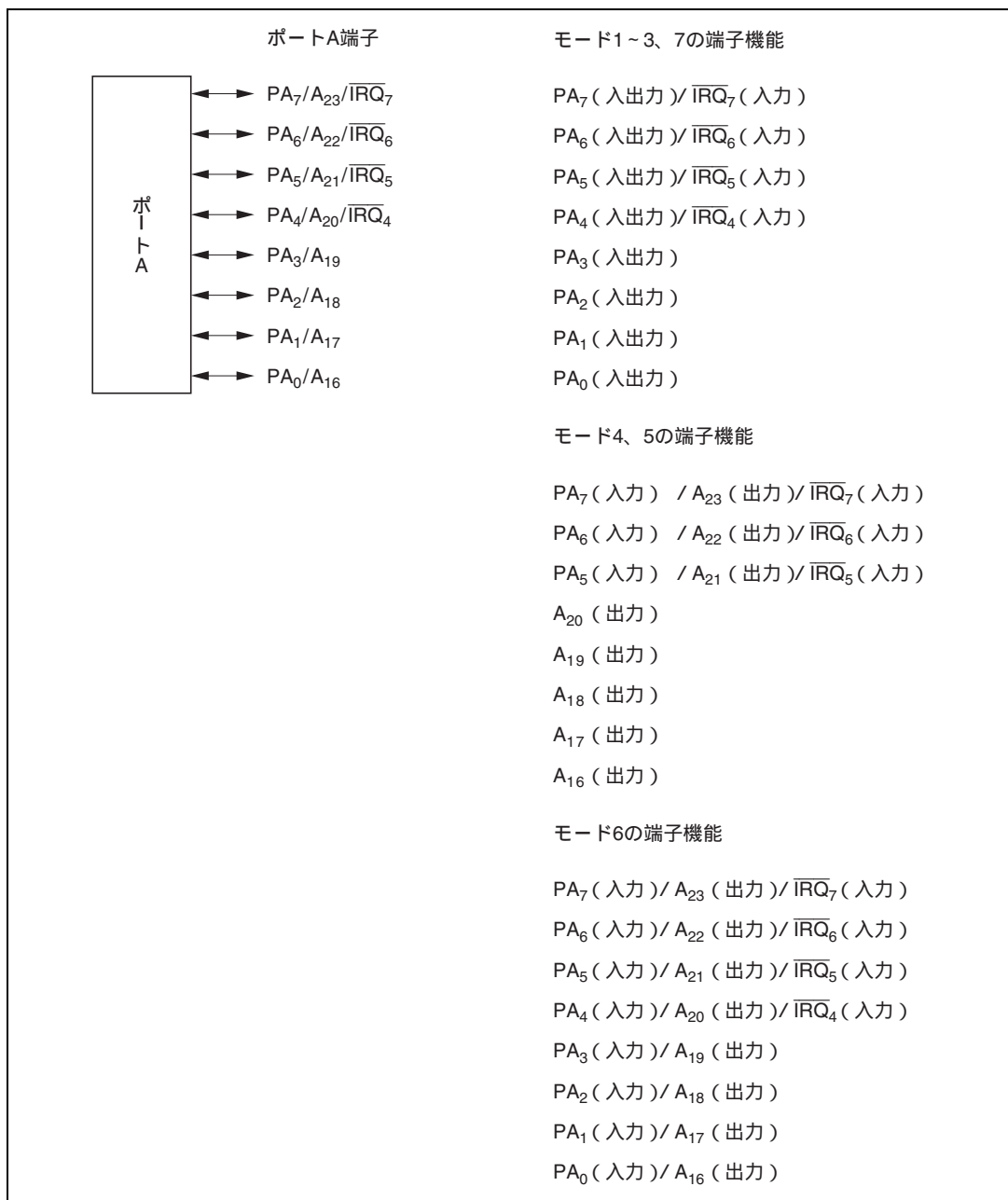


図 9.7 ポート A の端子機能

## 9.8.2 レジスタ構成

表 9.13 にポート A のレジスタ構成を示します。

表 9.13 ポート A レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート A データディレクションレジスタ	PADDR	W	H'00	H'FE89
ポート A データレジスタ	PADR	R/W	H'00	H'FF69
ポート A レジスタ	PORTA	R	不定	H'FF59
ポート A プルアップ MOS コントロールレジスタ	PAPCR	R/W	H'00	H'FF70
ポート A オープンドレインコントロールレジスタ	PAODR	R/W	H'00	H'FF77

【注】 \* アドレスの低位 16 ビットを示しています。

### (1) ポート A データディレクションレジスタ (PADDR)

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PADDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PADDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

#### (a) モード 1~3、7

PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

#### (b) モード 4、5

PA4DDR ~ PA0DDR ビットにかかわらず、対応するポート A の各端子はアドレス出力となります。

また、PA7DDR ~ PA5DDR ビットを 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

#### (c) モード 6

PADDR を 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

## 9. I/O ポート

---

### (2) ポート A データレジスタ (PADR)

ビット :	7	6	5	4	3	2	1	0
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA<sub>7</sub> ~ PA<sub>0</sub>) の出力データを格納します。

PADR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### (3) ポート A レジスタ (PORTA)

ビット :	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* PA<sub>7</sub> ~ PA<sub>0</sub>端子の状態により決定されます。

PORTA は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート A の各端子 (PA<sub>7</sub> ~ PA<sub>0</sub>) の出力データのライトは必ず PADR に対して行ってください。

PADDR が 1 にセットされているとき、ポート A のリードを行うと PADR の値をリードします。PADDR が 0 にクリアされているとき、ポート A のリードを行うと端子の状態が読み出されます。

PORTA は、パワーオンリセットまたはハードウェアスタンバイモードでは PADDR、PADR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (4) ポート A プルアップ MOS コントロールレジスタ (PAPCR)

ビット :	7	6	5	4	3	2	1	0
	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAPCR は、8 ビットのリード/ライト可能なレジスタで、ポート A に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 1~3、6、7 ではすべてのビット、モード 4、5 ではビット 7~5 が有効です。PADDR を 0 にクリアした (入力ポート) 状態で、PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PAPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (5) ポート A オープンドレインコントロールレジスタ (PAODR)

ビット :	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAODR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 (PA<sub>7</sub> ~ PA<sub>0</sub>) の PMOS のオン/オフを制御します。

PAODR は、モード 1~3、7 で有効です。

PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PAODR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### 9.8.3 モード別端子機能

#### (1) モード 1~3、7

モード 1~3、7 のとき、ポート A は入出力ポートおよび割り込み入力端子として機能し、各端子はビット単位で入出力を指定可能です。PADDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート A の端子機能を図 9.8 に示します。

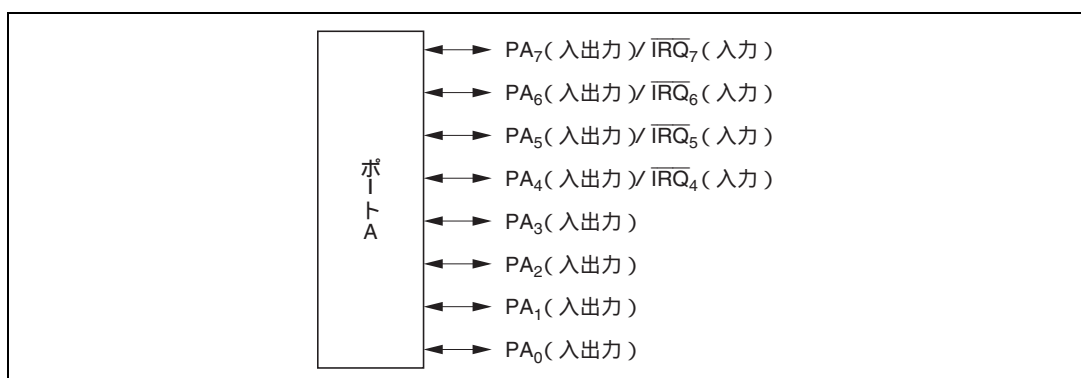


図 9.8 ポート A の端子機能 (モード 1~3、7)

#### (2) モード 4、5

モード 4、5 のとき、ポート A の下位 5 ビットは自動的にアドレス出力になり、上位 3 ビットはアドレス出力、または入力ポートおよび割り込み入力端子として機能します。上位 3 ビットはビット単位で入出力を指定可能で、PA7DDR ~ PA5DDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート A の端子機能を図 9.9 に示します。

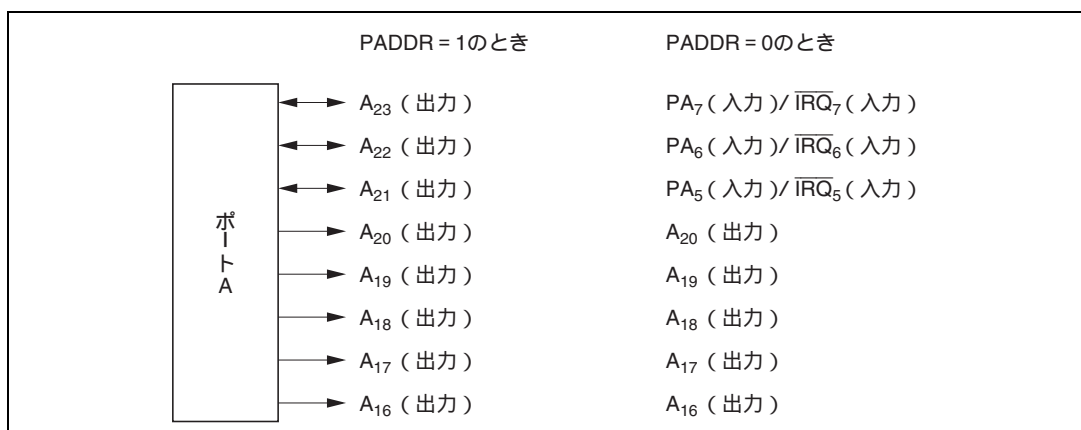


図 9.9 ポート A の端子機能 (モード 4、5)



## (3) モード 6

モード 6 のとき、ポート A はアドレス出力または、入力ポートおよび割り込み入力端子として機能します。ビット単位で入出力を指定可能です。PADDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート A の端子機能を図 9.10 に示します。

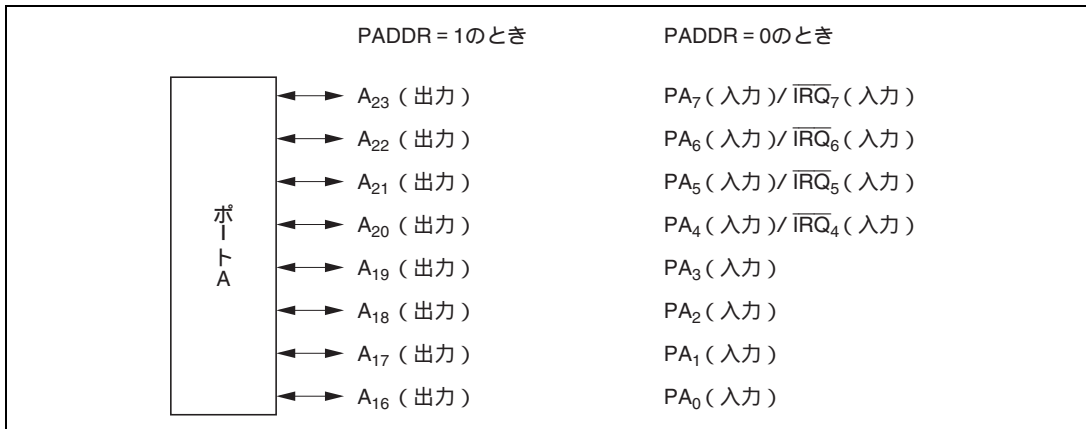


図 9.10 ポート A の端子機能 (モード 6)

### 9.8.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4、5 のときは PA<sub>7</sub>~PA<sub>5</sub> 端子が使用でき、モード 1~3、6、7 のときはいずれの端子も使用できます。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

PADDR を 0 にクリアした状態で、PAPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモード時にはオフします。マニュアルリセットまたはソフトウェアスタンバイモード時には直前の状態を保持します。

入力プルアップ MOS の状態を表 9.14 に示します。

表 9.14 入力プルアップ MOS の状態 (ポート A)

モード		パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1~3、6、7	PA <sub>7</sub> ~PA <sub>0</sub>	OFF		ON/OFF		
4、5	PA <sub>7</sub> ~PA <sub>5</sub>	OFF		ON/OFF		
	PA <sub>4</sub> ~PA <sub>0</sub>	OFF		OFF		

**【記号説明】**

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.9 ポート B

### 9.9.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B の各端子の構成を図 9.11 に示します。

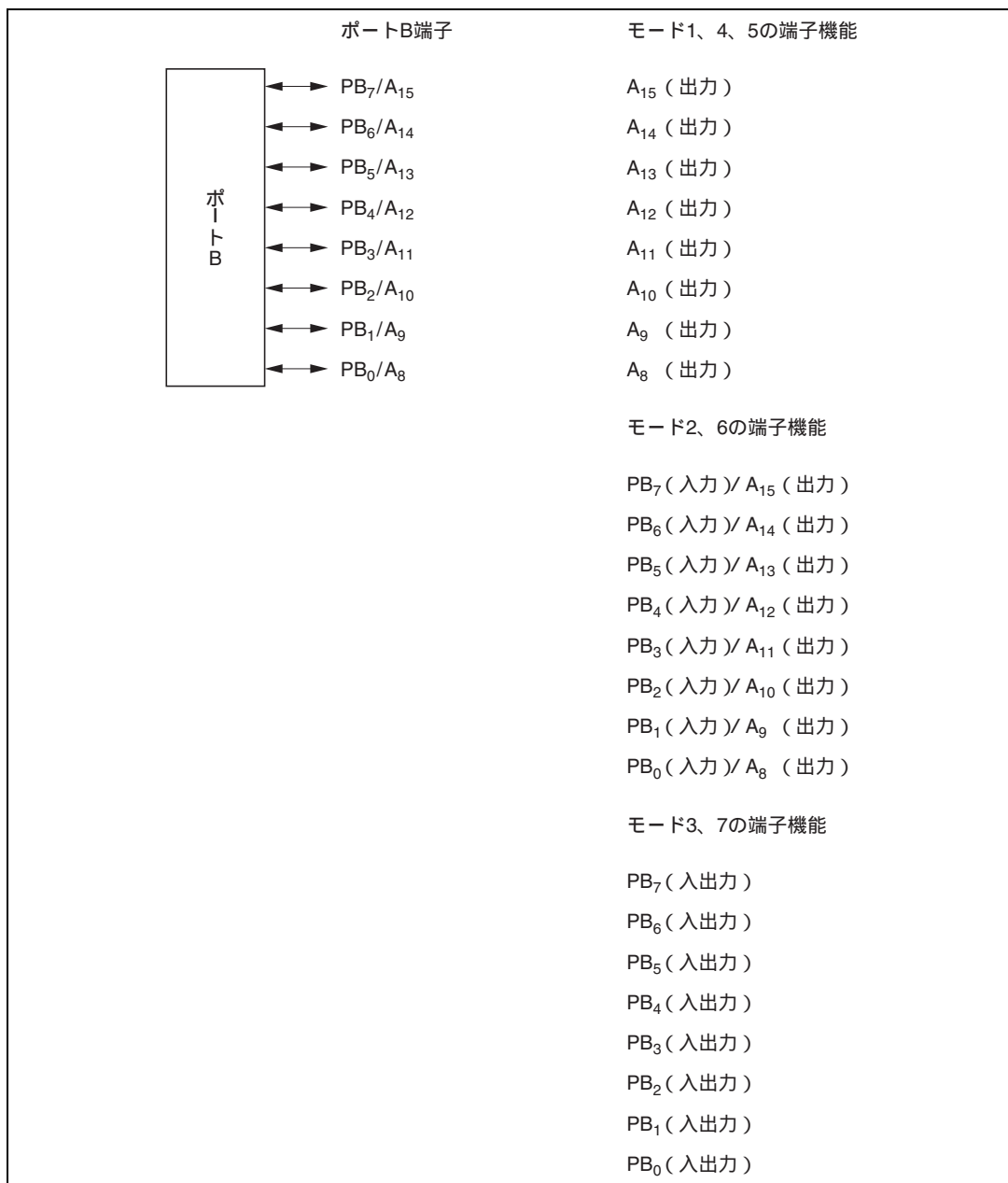


図 9.11 ポート B の端子機能

## 9.9.2 レジスタ構成

表 9.15 にポート B のレジスタ構成を示します。

表 9.15 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FEBA
ポート B データレジスタ	PBDR	R/W	H'00	H'FF6A
ポート B レジスタ	PORTB	R	不定	H'FF5A
ポート B プルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FF71

【注】 \* アドレスの下位 16 ビットを示しています。

### (1) ポート B データディレクションレジスタ (PBDDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PBDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PBDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

#### (a) モード 1、4、5

PBDDR にかかわらず、対応するポート B の各端子はアドレス出力となります。

#### (b) モード 2、6

PBDDR を 1 にセットすると対応するポート B の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

#### (c) モード 3、7

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

## 9. I/O ポート

---

### (2) ポート B データレジスタ (PBDR)

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 (PB<sub>7</sub> ~ PB<sub>0</sub>) の出力データを格納します。

PBDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### (3) ポート B レジスタ (PORTB)

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* PB<sub>7</sub> ~ PB<sub>0</sub>端子の状態により決定されます。

PORTB は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート B の各端子 (PB<sub>7</sub> ~ PB<sub>0</sub>) の出力データのライトは必ず PBDR に対して行ってください。

PBDDR が 1 にセットされているとき、ポート B のリードを行うと PBDR の値をリードします。PBDDR が 0 にクリアされているとき、ポート B のリードを行うと端子の状態が読み出されます。

PORTB は、パワーオンリセットまたはハードウェアスタンバイモードでは PBDDR、PBDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (4) ポート B プルアップ MOS コントロールレジスタ (PBPCR)

ビット :	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBPCR は、8 ビットのリード/ライト可能なレジスタで、ポート B に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3、6、7 では、PBDDR を 0 にクリアした (入力ポート) 状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PBPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9.9.3 モード別端子機能

## (1) モード 1、4、5

モード 1、4、5 のとき、ポート B は自動的にアドレス出力になります。

ポート B の端子機能を図 9.12 に示します。

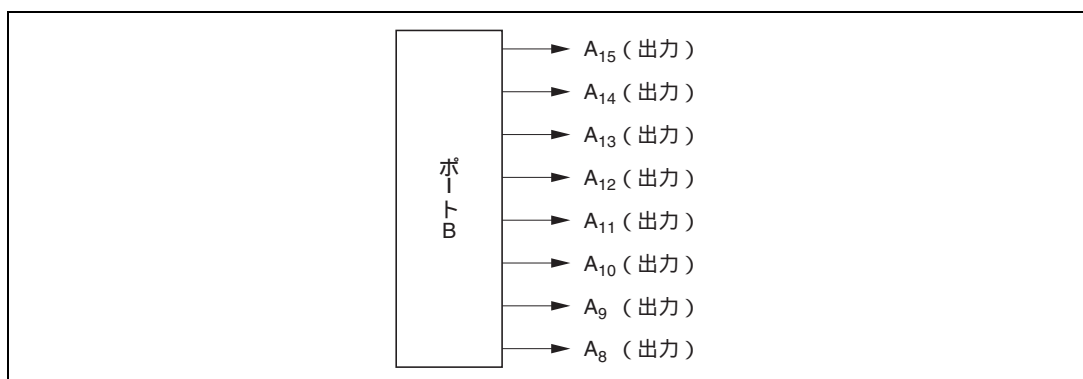


図 9.12 ポート B の端子機能 (モード 1、4、5)

## 9. I/O ポート

### (2) モード 2、6

モード 2、6 のとき、ポート B はアドレス出力、または入力ポートとして機能し、ビット単位で入出力を指定可能です。PBDDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート B の端子機能を図 9.13 に示します。

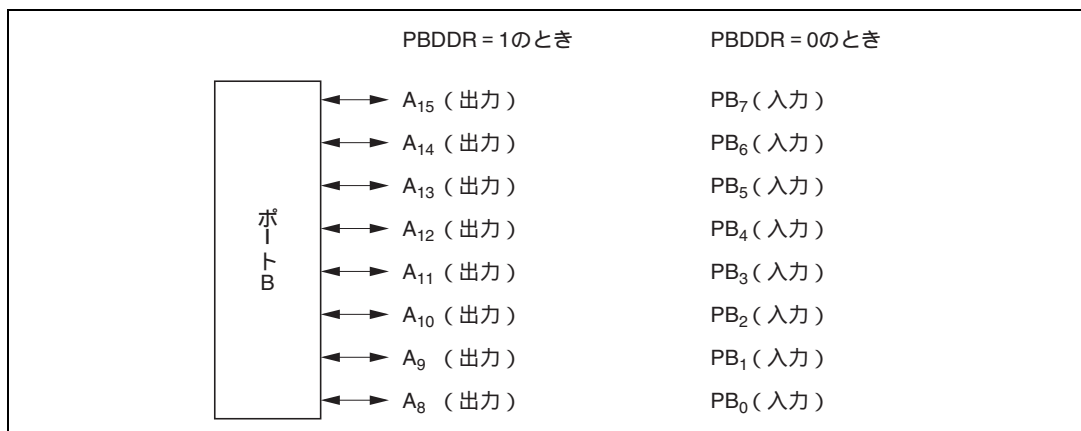


図 9.13 ポート B の端子機能 (モード 2、6)

### (3) モード 3、7

モード 3、7 のとき、ポート B は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PBDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート B の端子機能を図 9.14 に示します。

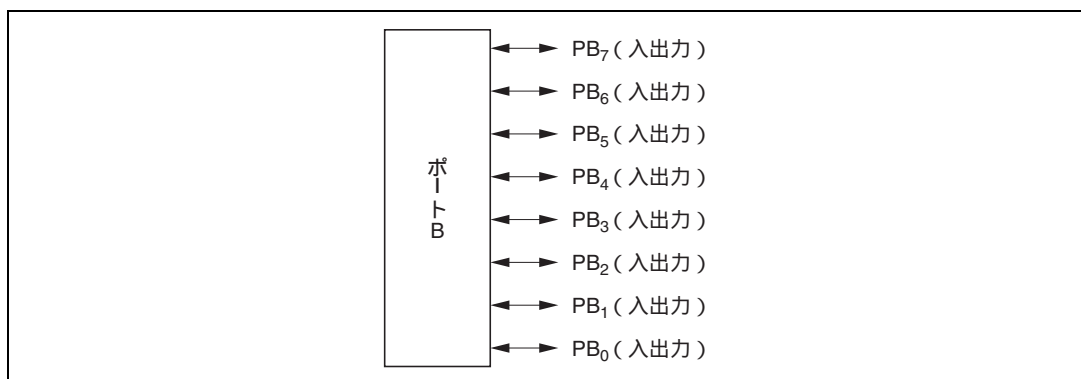


図 9.14 ポート B の端子機能 (モード 3、7)



### 9.9.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3、6、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 2、3、6、7 のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.16 に示します。

表 9.16 入力プルアップ MOS の状態 (ポート B)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1、4、5	OFF		OFF		
2、3、6、7			ON/OFF		

**【記号説明】**

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.10 ポート C

### 9.10.1 概要

ポート C は、8 ビットの入出力ポートです。ポート C は、アドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート C は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート C の各端子の構成を図 9.15 に示します。

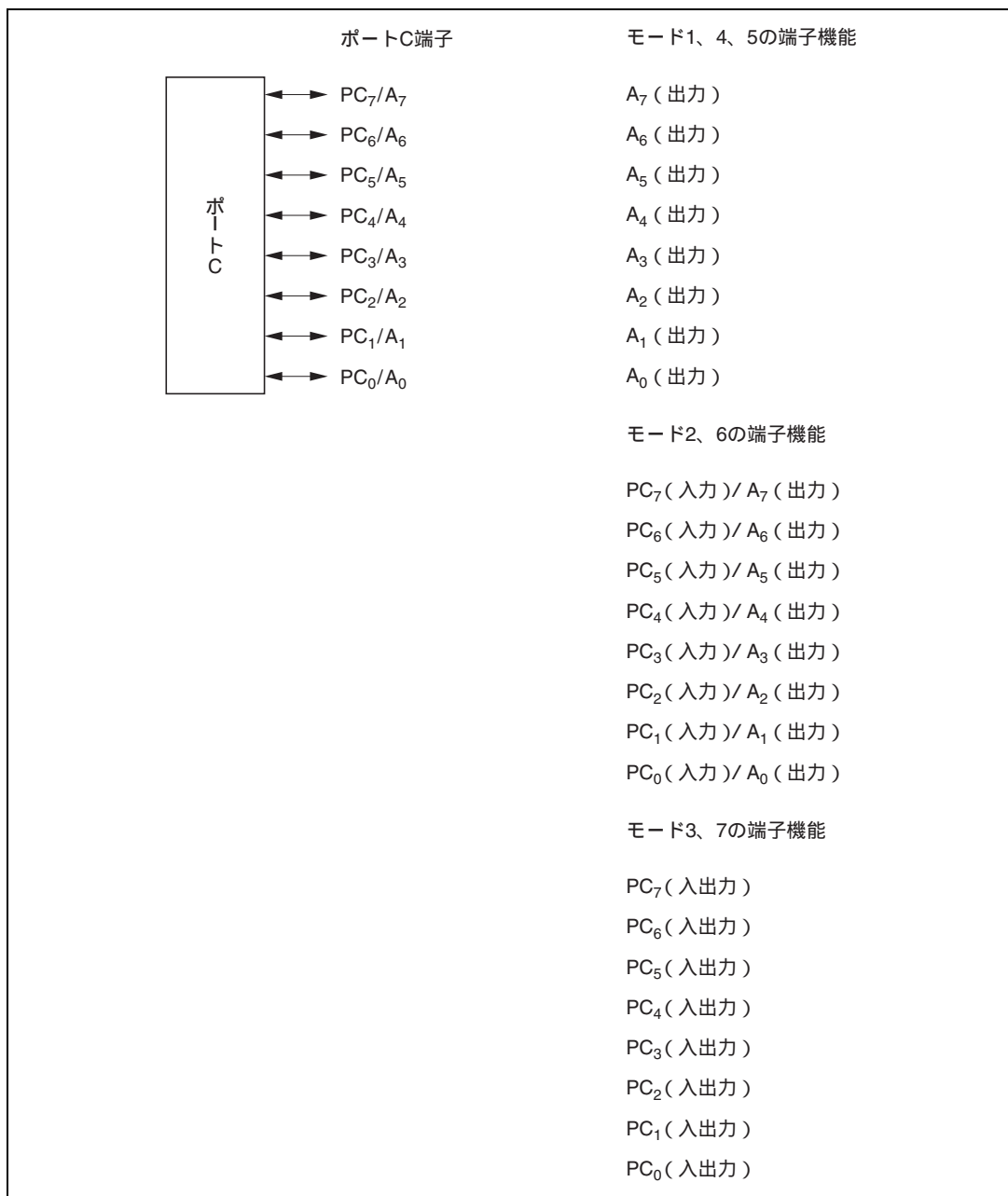


図 9.15 ポート C の端子機能

## 9.10.2 レジスタ構成

表 9.17 にポート C のレジスタ構成を示します。

表 9.17 ポート C レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FE8B
ポート C データレジスタ	PCDR	R/W	H'00	H'FF6B
ポート C レジスタ	PORTC	R	不定	H'FF5B
ポート C プルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FF72

【注】 \* アドレスの下位 16 ビットを示しています。

## (1) ポート C データディレクションレジスタ (PCDDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PCDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PCDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

## (a) モード 1、4、5

PCDDR にかかわらず、対応するポート C の各端子はアドレス出力となります。

## (b) モード 2、6

PCDDR を 1 にセットすると対応するポート C の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。

## (c) モード 3、7

PCDDR を 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

## (2) ポート C データレジスタ (PCDR)

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCDR は、8 ビットのリード/ライト可能なレジスタで、ポート C の各端子 (PC<sub>7</sub> ~ PC<sub>0</sub>) の出力データを格納します。

PCDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート C レジスタ (PORTC)

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* PC<sub>7</sub> ~ PC<sub>0</sub>端子の状態により決定されます。

PORTC は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート C の各端子 (PC<sub>7</sub> ~ PC<sub>0</sub>) の出力データのライトは必ず PCDR に対して行ってください。

PCDDR が 1 にセットされているとき、ポート C のリードを行うと PCDR の値をリードします。PCDDR が 0 にクリアされているとき、ポート C のリードを行うと端子の状態が読み出されます。

PORTC は、パワーオンリセットまたはハードウェアスタンバイモードでは PCDDR、PCDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9. I/O ポート

---

### (4) ポート C プルアップ MOS コントロールレジスタ (PCPCR)

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCPCR は、8 ビットのリード/ライト可能なレジスタで、ポート C に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3、6、7 では、PCDDR を 0 にクリアした (入力ポート) 状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PCPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### 9.10.3 モード別端子機能

#### (1) モード 1、4、5

モード 1、4、5 のとき、ポート C は自動的にアドレス出力になります。  
ポート C の端子機能を図 9.16 に示します。

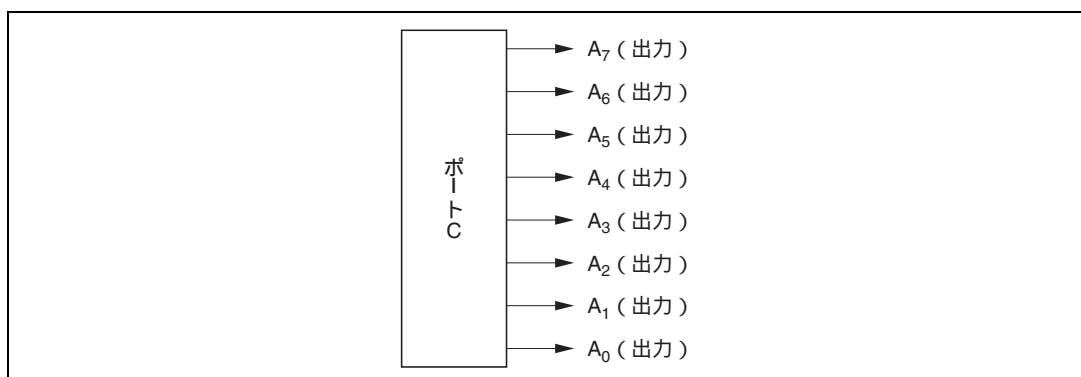


図 9.16 ポート C の端子機能 (モード 1、4、5)

#### (2) モード 2、6

モード 2、6 のとき、ポート C はアドレス出力または、入力ポートとして機能し、ビット単位で入出力を指定可能です。PCDDR の各ビットを 1 にセットすると対応する端子はアドレス出力になり、0 にクリアすると入力ポートになります。

ポート C の端子機能を図 9.17 に示します。

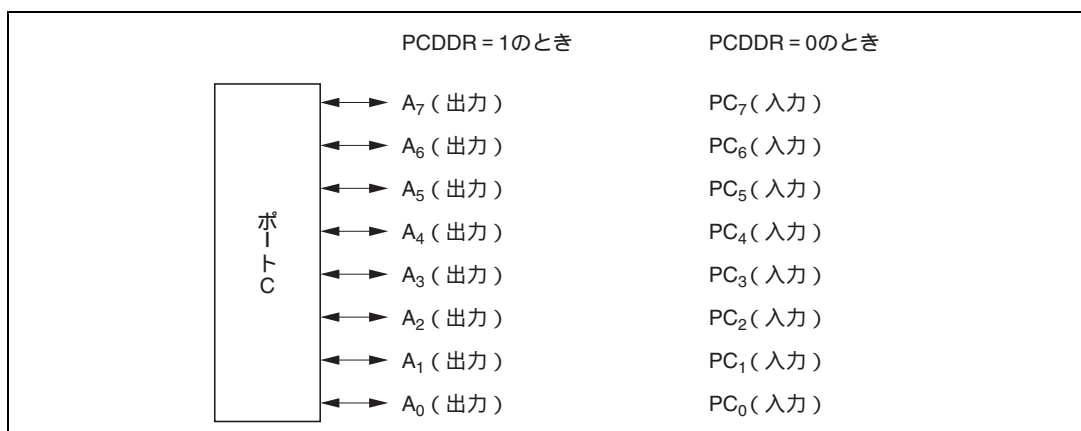


図 9.17 ポート C の端子機能 (モード 2、6)

(3) モード 3、7

モード 3、7 のとき、ポート C は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PCDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート C の端子機能を図 9.18 に示します。

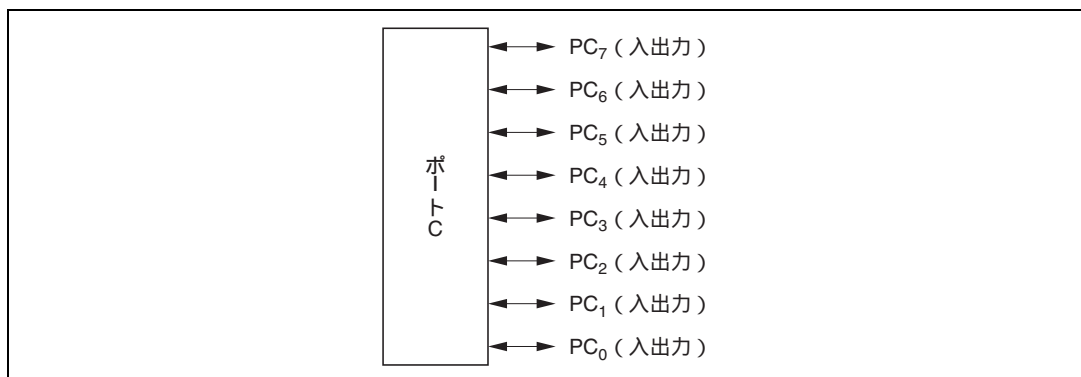


図 9.18 ポート C の端子機能 (モード 3、7)

### 9.10.4 入力プルアップ MOS

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3、6、7 のときに使用でき、ビット単位でオン / オフを指定できます。

モード 2、3、6、7 のとき、PCDDR を 0 にクリアした状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.18 に示します。

表 9.18 入力プルアップ MOS の状態 (ポート C)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1、4、5	OFF		OFF		
2、3、6、7	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。



## 9.11 ポート D

### 9.11.1 概要

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート D の各端子の構成を図 9.19 に示します。

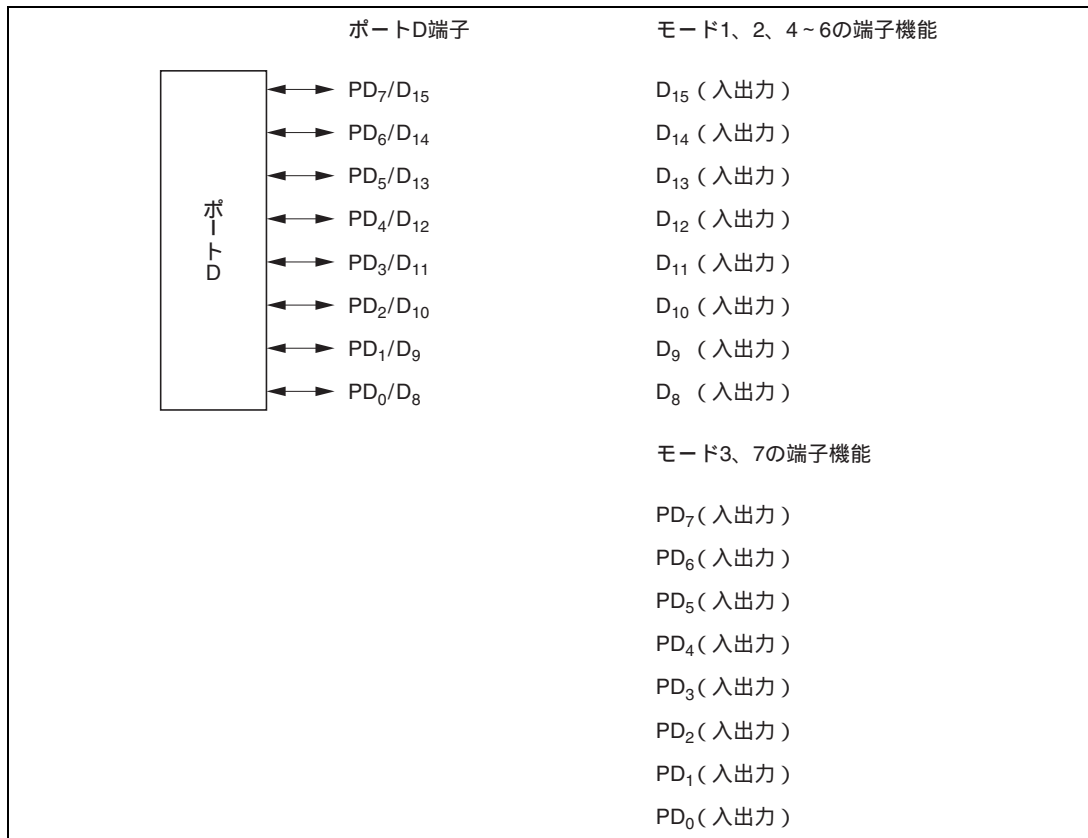


図 9.19 ポート D の端子機能

## 9.11.2 レジスタ構成

表 9.19 にポート D のレジスタ構成を示します。

表 9.19 ポート D レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FEBC
ポート D データレジスタ	PDDR	R/W	H'00	H'FF6C
ポート D レジスタ	PORTD	R	不定	H'FF5C
ポート D プルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FF73

【注】 \* アドレスの下位 16 ビットを示しています。

## (1) ポート D データディレクションレジスタ (PDDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PDDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PDDDR は直前の状態を保持します。

## (a) モード 1、2、4~6

PDDDR による入出力の方向は無視され、自動的にデータ入出力となります。

## (b) モード 3、7

PDDDR を 1 にセットすると対応するポート D の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

## (2) ポート D データレジスタ (PDDR)

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDDR は、8 ビットのリード/ライト可能なレジスタで、ポート D の各端子 (PD<sub>7</sub> ~ PD<sub>0</sub>) の出力データを格納します。

PDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## (3) ポート D レジスタ (PORTD)

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* PD<sub>7</sub> ~ PD<sub>0</sub>端子の状態により決定されます。

PORTD は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート D の各端子 (PD<sub>7</sub> ~ PD<sub>0</sub>) の出力データのライトは必ず PDDR に対して行ってください。

PDDDR が 1 にセットされているとき、ポート D のリードを行うと PDDR の値をリードします。PDDDR が 0 にクリアされているとき、ポート D のリードを行うと端子の状態が読み出されます。

PORTD は、パワーオンリセットまたはハードウェアスタンバイモードでは PDDDR、PDDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9. I/O ポート

### (4) ポート D プルアップ MOS コントロールレジスタ (PDPCR)

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDPCR は、8 ビットのリード/ライト可能なレジスタで、ポート D に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 3、7 では、PDDDR を 0 にクリアした(入力ポート)状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PDPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### 9.11.3 モード別端子機能

#### (1) モード 1、2、4~6

モード 1、2、4~6 のとき、ポート D は自動的にデータ入出力になります。  
ポート D の端子機能を図 9.20 に示します。

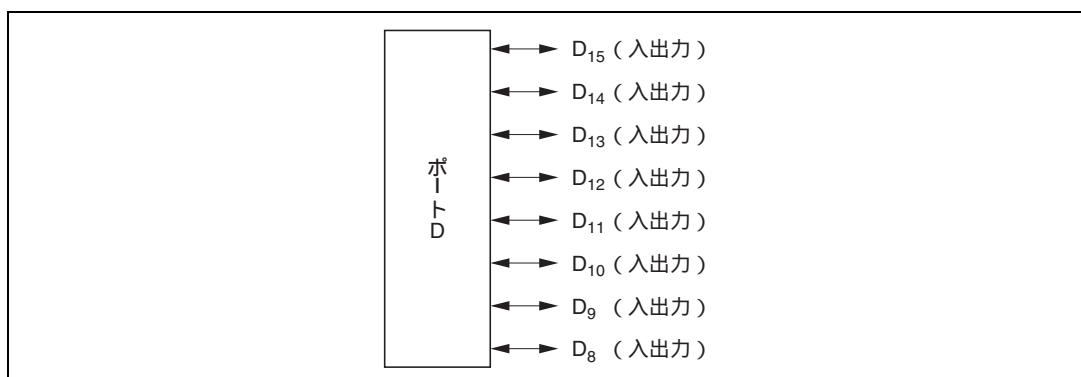


図 9.20 ポート D の端子機能 (モード 1、2、4~6)

## (2) モード 3、7

モード 3、7 のとき、ポート D は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PDDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート D の端子機能を図 9.21 に示します。

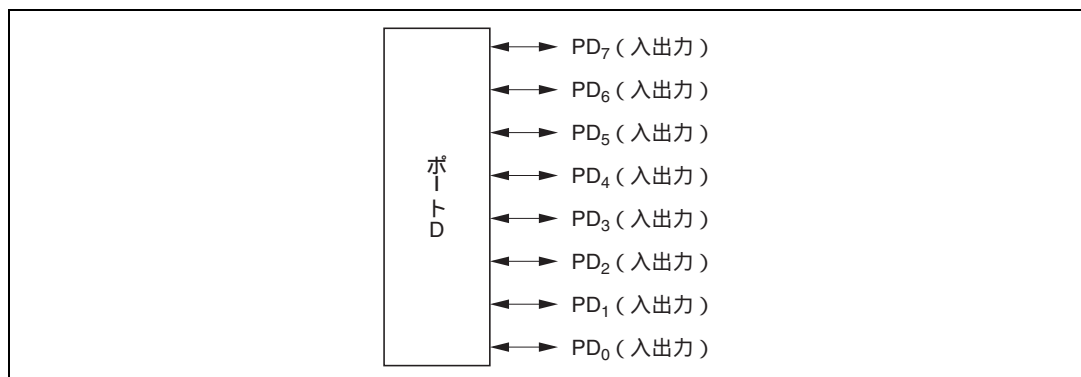


図 9.21 ポート D の端子機能 (モード 3、7)

#### 9.11.4 入力プルアップ MOS

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 3、7 のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.20 に示します。

表 9.20 入力プルアップ MOS の状態 (ポート D)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
1、2、4~6	OFF		OFF		
3、7	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.12 ポート E

### 9.12.1 概要

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット / 16 ビットバスモードによって端子機能が切り替わります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート E の各端子の構成を図 9.22 に示します。

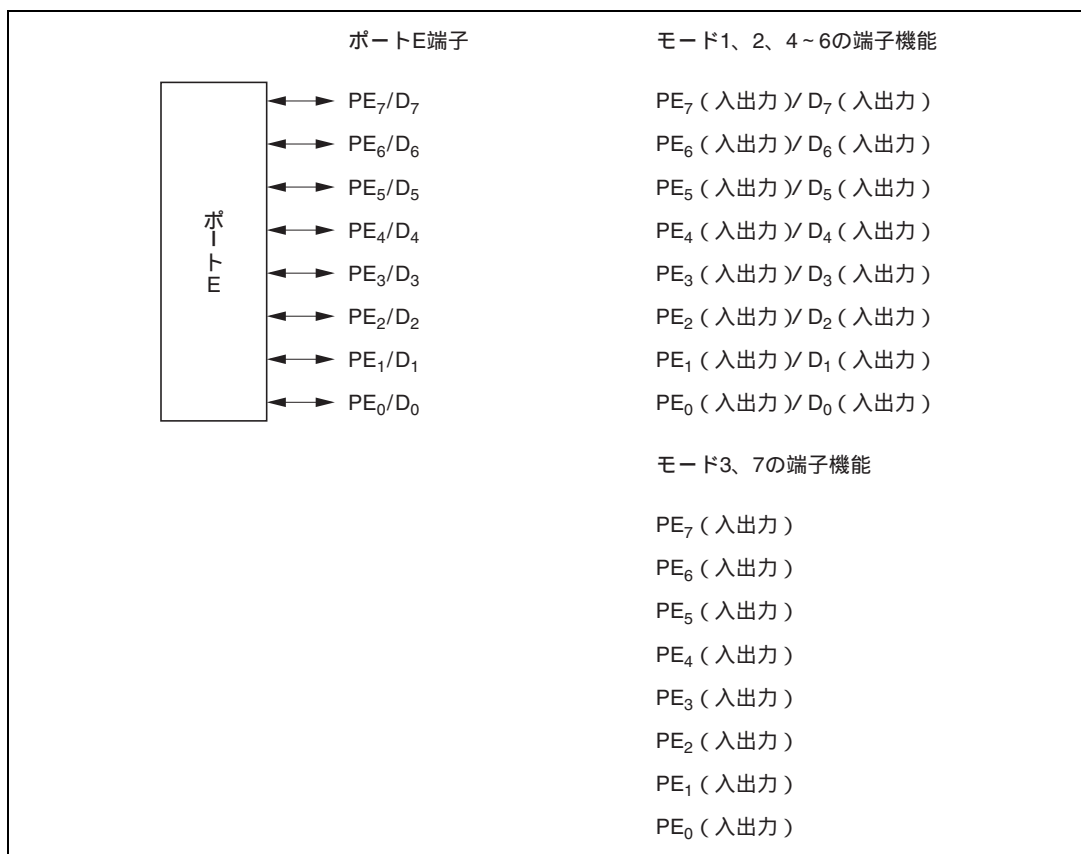


図 9.22 ポート E の端子機能

## 9.12.2 レジスタ構成

表 9.21 にポート E のレジスタ構成を示します。

表 9.21 ポート E レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート E データディレクションレジスタ	PEDDR	W	H'00	H'FEBD
ポート E データレジスタ	PEDR	R/W	H'00	H'FF6D
ポート E レジスタ	PORTE	R	不定	H'FF5D
ポート E プルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FF74

【注】 \* アドレスの下位 16 ビットを示しています。

### (1) ポート E データディレクションレジスタ (PEDDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PEDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PEDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PEDDR は直前の状態を保持します。

#### (a) モード 1、2、4~6

8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。

8 ビット / 16 ビットバスモードについては「第 6 章 バスコントローラ」を参照してください。

#### (b) モード 3、7

PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

## 9. I/Oポート

---

### (2) ポート E データレジスタ (PEDR)

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEDR は、8 ビットのリード/ライト可能なレジスタで、ポート E の各端子 (PE<sub>7</sub> ~ PE<sub>0</sub>) の出力データを格納します。

PEDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### (3) ポート E レジスタ (PORTE)

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* PE<sub>7</sub> ~ PE<sub>0</sub>端子の状態により決定されます。

PORTE は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート E の各端子 (PE<sub>7</sub> ~ PE<sub>0</sub>) の出力データのライトは必ず PEDR に対して行ってください。

PEDDR が 1 にセットされているとき、ポート E のリードを行うと PEDR の値をリードします。PEDDR が 0 にクリアされているとき、ポート E のリードを行うと端子の状態が読み出されます。

PORTE は、パワーオンリセットまたはハードウェアスタンバイモードでは PEDDR、PEDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。



## (4) ポート E プルアップ MOS コントロールレジスタ (PEPCR)

ビット :	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEPCR は、8 ビットのリード/ライト可能なレジスタで、ポート E に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 1、2、4~6 で 8 ビットバスモードのとき、またはモード 3、7 のとき、PEDDR を 0 にクリアした (入力ポート) 状態で、PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PEPCR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されません。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9.12.3 モード別端子機能

## (1) モード 1、2、4~6

モード 1、2、4~6 の場合で、8 ビットアクセス空間に設定し、8 ビットバスモードとしたとき、ポート E は入出力ポートとして機能します。PEDDR を 1 にセットすると対応するポート E の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また、16 ビットバスモードとしたとき、PEDDR による入出力の方向は無視され、データ入出力となります。

ポート E の端子機能を図 9.23 に示します。

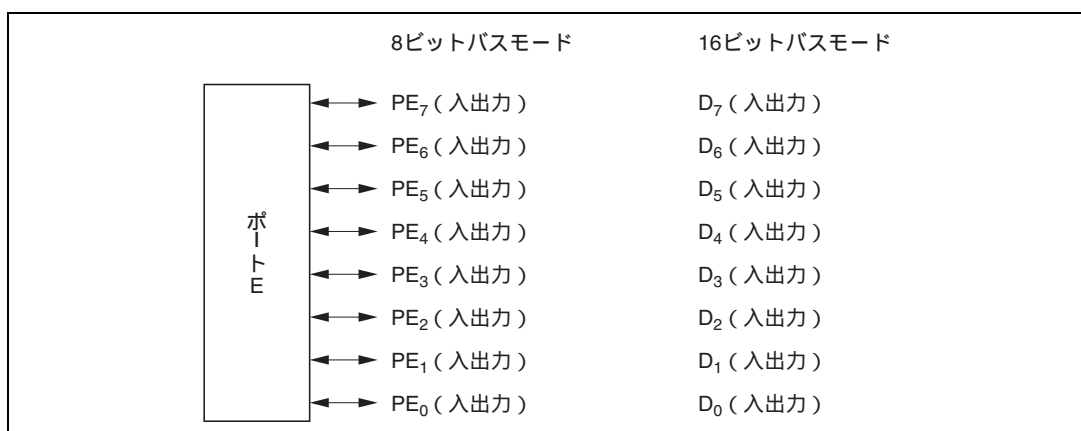


図 9.23 ポート E の端子機能 (モード 1、2、4~6)

(2) モード 3、7

モード 3、7 のとき、ポート E は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。PEDDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート E の端子機能を図 9.24 に示します。

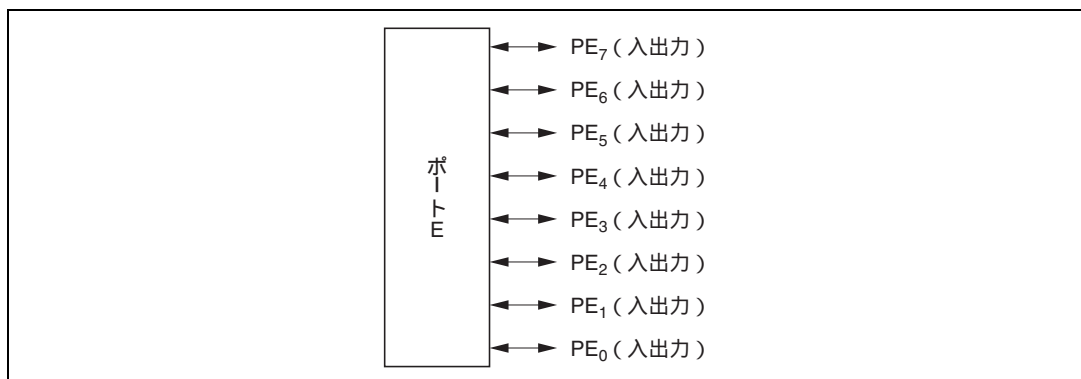


図 9.24 ポート E の端子機能 (モード 3、7)

### 9.12.4 入力プルアップ MOS

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 1、2、4~6 で 8 ビットバスモードのとき、またはモード 3、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 1、2、4~6 で 8 ビットバスモードのとき、またはモード 3、7 のとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、パワーオンリセットまたはハードウェアスタンバイモードではオフします。マニュアルリセットまたはソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.22 に示します。

表 9.22 入力プルアップ MOS の状態 (ポート E)

モード	パワーオンリセット	ハードウェアスタンバイモード	マニュアルリセット	ソフトウェアスタンバイモード	その他の動作時
3、7	OFF		ON/OFF		
1、2、4~6	8 ビットバス	OFF			
	16 ビットバス				

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR = 0 かつ PEPCR = 1 のときオン状態、その他のときはオフ状態です。

## 9.13 ポート F

### 9.13.1 概要

ポート F は、8 ビットの入出力ポートです。ポート F は、バス制御信号入出力端子 ( $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ 、 $\overline{LCAS}$ 、 $\overline{WAIT}$ 、 $\overline{BREQO}$ 、 $\overline{BREQ}$ 、 $\overline{BACK}$ ) およびシステムクロック ( $\phi$ ) 出力端子と兼用になっています。

ポート F の各端子の構成を図 9.25 に示します。

## 9. I/O ポート

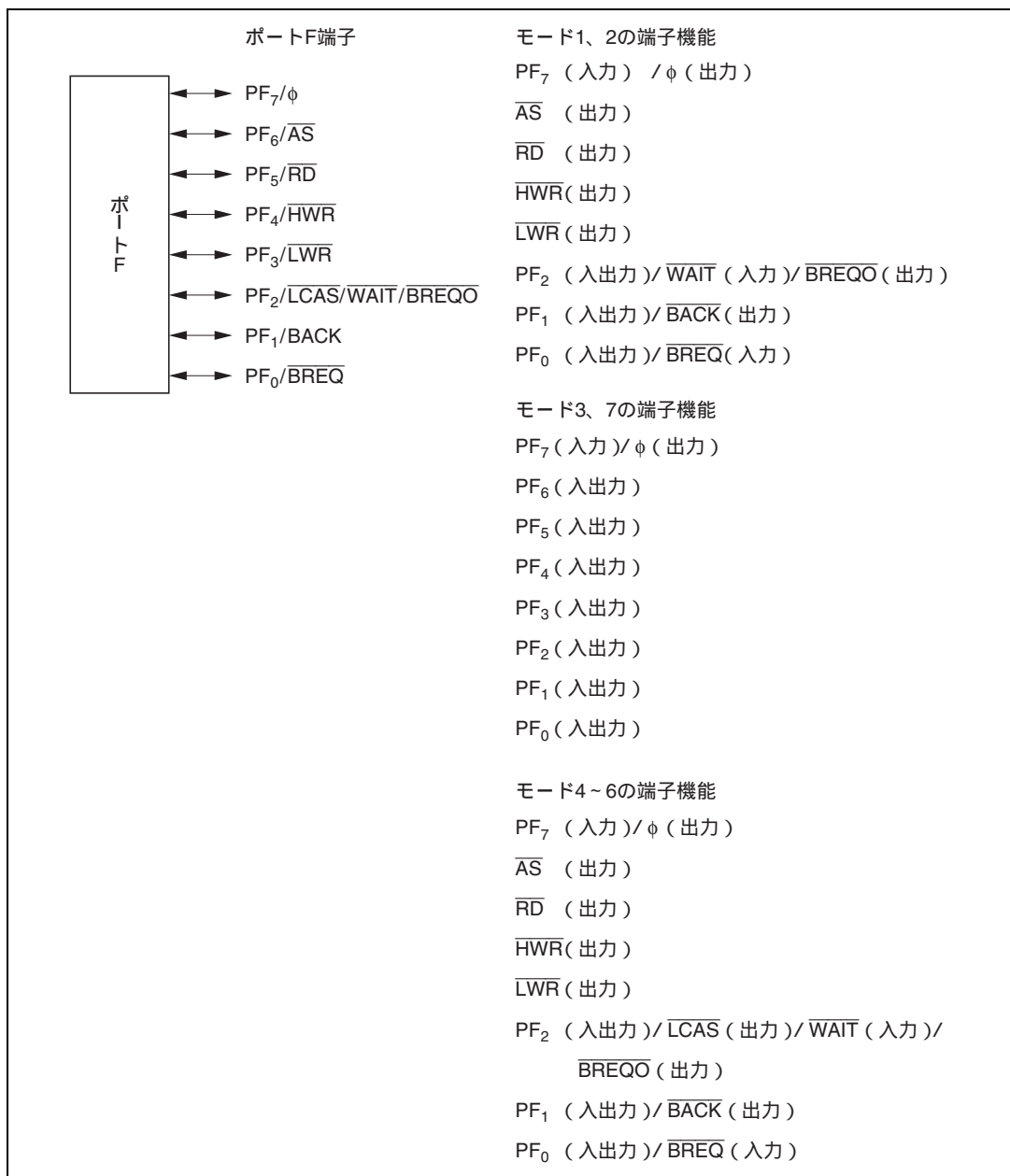


図 9.25 ポート F の端子機能

### 9.13.2 レジスタ構成

表 9.23 にポート F のレジスタ構成を示します。

表 9.23 ポート F レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
ポート F データディレクションレジスタ	PFDDR	W	H'80/H'00*2	H'FEBE
ポート F データレジスタ	PFDR	R/W	H'00	H'FF6E
ポート F レジスタ	PORTF	R	不定	H'FF5E

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 モードによって、初期値が異なります。

#### (1) ポート F データディレクションレジスタ (PFDDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
モード1、2、4~6								
初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード3、7								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PFDDR は、8 ビットのライト専用レジスタで、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PFDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 1、2、4~6 の場合 H'80 に、モード 3、7 の場合 H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PFDDR は直前の状態を保持します。ソフトウェアスタンバイモードに移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

#### (a) モード 1、2、4~6

PF<sub>7</sub> 端子は、PFDDR を 1 にセットするとφ出力端子、0 にクリアすると入力ポートになります。

PF<sub>6</sub> ~ PF<sub>3</sub> 端子は、PFDDR による入出力の方向は無視され、自動的にバス制御出力(  $\overline{AS}$ 、RD、HWR、LWR ) となります。

PF<sub>2</sub> ~ PF<sub>0</sub> 端子は、バスコントローラの設定により、バス制御入出力(  $\overline{LCAS}$ 、 $\overline{WAIT}$ 、 $\overline{BREQO}$ 、 $\overline{BACK}$ 、 $\overline{BREQ}$  ) となります。それ以外のとき、PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

## 9. I/O ポート

---

### (b) モード 3、7

PFDDR を 1 にセットすると PF7 端子は出力端子、PF<sub>6</sub> ~ PF<sub>0</sub> 端子は出力ポートとなります。PFDDR を 0 にクリアすると各端子は入力ポートになります。

### (2) ポート F データレジスタ (PFDR)

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFDR は、8 ビットのリード/ライト可能なレジスタで、ポート F の各端子 (PF<sub>7</sub> ~ PF<sub>0</sub>) の出力データを格納します。

PFDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### (3) ポート F レジスタ (PORTF)

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

【注】\* PF<sub>7</sub> ~ PF<sub>0</sub> 端子の状態により決定されます。

PORTF は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート F の各端子 (PF<sub>7</sub> ~ PF<sub>0</sub>) の出力データのライトは必ず PFDR に対して行ってください。

PFDDR が 1 にセットされているとき、ポート F のリードを行うと PFDR の値をリードします。PFDDR が 0 にクリアされているとき、ポート F のリードを行うと端子の状態が読み出されます。

PORTF は、パワーオンリセットまたはハードウェアスタンバイモードでは PFDDR、PFDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9.13.3 端子機能

ポート F は、バス制御信号入出力端子 ( $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ 、 $\overline{LCAS}$ 、 $\overline{WAIT}$ 、 $\overline{BREQ0}$ 、 $\overline{BREQ}$ 、 $\overline{BACK}$ ) およびシステムクロック ( $\phi$ ) 出力端子と兼用になっています。モード 1、2、4~6 とモード 3、7 では端子機能が異なります。ポート F の端子機能を表 9.24 に示します。

表 9.24 ポート F の端子機能 (1)

端子	選択方法と端子機能			
PF <sub>7</sub> / $\phi$	PF7DDR ビットにより、次のように切り替わります。			
	PF7DDR	0		1
	端子機能	PF <sub>7</sub> 入力端子		$\phi$ 出力端子
PF <sub>6</sub> / $\overline{AS}$	動作モードと PF6DDR ビットにより、次のように切り替わります。			
	動作モード	モード1、2、4~6		モード3、7
	PF6DDR	-	0	1
	端子機能	$\overline{AS}$ 出力端子	PF <sub>6</sub> 入力端子	PF <sub>6</sub> 出力端子
PF <sub>5</sub> / $\overline{RD}$	動作モードと PF5DDR ビットにより、次のように切り替わります。			
	動作モード	モード1、2、4~6		モード3、7
	PF5DDR	-	0	1
	端子機能	$\overline{RD}$ 出力端子	PF <sub>5</sub> 入力端子	PF <sub>5</sub> 出力端子
PF <sub>4</sub> / $\overline{HWR}$	動作モードと PF4DDR ビットにより、次のように切り替わります。			
	動作モード	モード1、2、4~6		モード3、7
	PF4DDR	-	0	1
	端子機能	$\overline{HWR}$ 出力端子	PF <sub>4</sub> 入力端子	PF <sub>4</sub> 出力端子

9. I/O ポート

表 9.24 ポートFの端子機能(2)

端子	選択方法と端子機能						
PF <sub>3</sub> /LWR	動作モードと PF3DDR ビットにより、次のように切り替わります。						
	動作モード	モード1、2、4~6			モード3、7		
	PF3DDR	-			0	1	
	端子機能	LWR出力端子			PF <sub>3</sub> 入力端子	PF <sub>3</sub> 出力端子	
PF <sub>2</sub> /LCASS/ WAIT/ BREQO	動作モードと RMTS2~RMTS0 ビット、LCASS ビット、BREQOE ビットと WAITE ビット、および PF2DDR ビットの組み合わせにより次のように切り替わります。						
	動作モード	モード1、2、4~6				モード3、7	
	LCASS	0			1*	-	
	BREQOE	0		1	-	-	
	WAITE	0		1	-	-	
	PF2DDR	0	1	-	-	0	1
	端子機能	PF <sub>2</sub> 入力端子	PF <sub>2</sub> 出力端子	WAIT 入力端子	BREQO 出力端子	LCASS 出力端子	PF <sub>2</sub> 入力端子
【注】* モード4~6で RMTS2~RMTS0=B'001~B'011、CW2=0の場合に限ります。							
PF <sub>1</sub> /BACK	動作モードと BRLE ビットと PF1DDR ビットの組み合わせにより次のように切り替わります。						
	動作モード	モード1、2、4~6			モード3、7		
	BRLE	0		1	-		
	PF1DDR	0	1	-	0	1	
端子機能	PF <sub>1</sub> 入力端子	PF <sub>1</sub> 出力端子	BACK 出力端子	PF <sub>1</sub> 入力端子	PF <sub>1</sub> 出力端子		
PF <sub>0</sub> /BREQ	動作モードと BRLE ビットと PF0DDR ビットの組み合わせにより次のように切り替わります。						
	動作モード	モード1、2、4~6			モード3、7		
	BRLE	0		1	-		
	PF0DDR	0	1	-	0	1	
端子機能	PF <sub>0</sub> 入力端子	PF <sub>0</sub> 出力端子	BREQ 入力端子	PF <sub>0</sub> 入力端子	PF <sub>0</sub> 出力端子		



## 9.14 ポート G

### 9.14.1 概要

ポート G は、5 ビットの入出力ポートで、バス制御信号出力端子 ( $\overline{CS}_0 \sim \overline{CS}_3$ 、 $\overline{CAS}$ 、 $\overline{OE}$ ) と兼用になっています。

ポート G の各端子の構成を図 9.26 に示します。

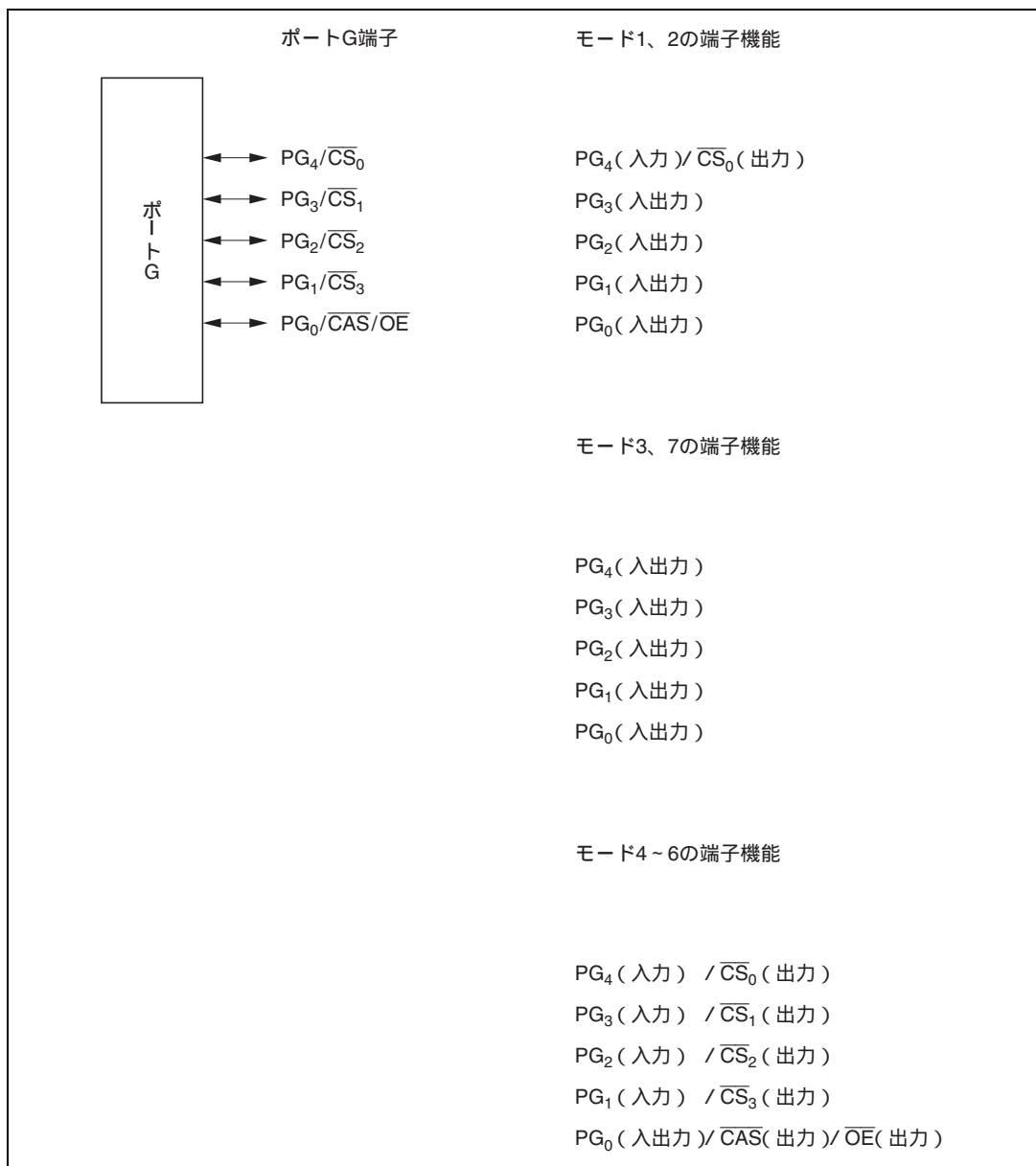


図 9.26 ポート G の端子機能

## 9.14.2 レジスタ構成

表 9.25 にポート G のレジスタ構成を示します。

表 9.25 ポート G レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
ポート G データディレクションレジスタ	PGDDR	W	H'E0/H'F0*2	H'FEBF
ポート G データレジスタ	PGDR	R/W	H'E0	H'FF6F
ポート G レジスタ	PORTG	R	不定	H'FF5F

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 モードによって、初期値が異なります。

### (1) ポート G データディレクションレジスタ (PGDDR)

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR

モード1、4、5

初期値 :	1	1	1	1	0	0	0	0
R/W :				W	W	W	W	W

モード2、3、6、7

初期値 :	1	1	1	0	0	0	0	0
R/W :				W	W	W	W	W

PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。リードは無効です。また、ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。

PGDDR は、パワーオンリセットまたはハードウェアスタンバイモードでは、モード 1、4、5 の場合 H'F0 に、モード 2、3、6、7 の場合 H'E0 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、PGDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

#### (a) モード 1、2

PG<sub>4</sub> 端子は、PGDDR を 1 にセットするとバス制御信号出力端子 ( $\overline{CS}_0$ )、0 にクリアすると入力ポートになります。

PG<sub>3</sub> ~ PG<sub>0</sub> 端子は PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

#### (b) モード 3、7

PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

## 9. I/O ポート

### (c) モード 4~6

PG<sub>4</sub>~PG<sub>0</sub> 端子は、PGDDR を 1 にセットするとバス制御信号出力端子 ( $\overline{CS}_0 \sim \overline{CS}_3$ )、0 にクリアすると入力ポートになります。

PG0 端子は、DRAM インタフェースを設定すると  $\overline{CAS}$  出力端子、PSRAM インタフェースを設定すると  $\overline{OE}$  出力端子となります。それ以外は、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

DRAM / PSRAM インタフェースについては「第 6 章 バスコントローラ」を参照してください。

### (2) ポート G データレジスタ (PGDR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	1	1	1	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

PGDR は、8 ビットのリード/ライト可能なレジスタで、ポート G の各端子 (PG<sub>4</sub>~PG<sub>0</sub>) の出力データを格納します。

ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDR は、パワーオンリセットまたはハードウェアスタンバイモードでは H'E0 に初期化されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

### (3) ポート G レジスタ (PORTG)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値 :	1	1	1	- *	- *	- *	- *	- *
R/W :	-	-	-	R	R	R	R	R

【注】\* PG<sub>4</sub>~PG<sub>0</sub>端子の状態により決定されます。

PORTG は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート G の各端子 (PG<sub>4</sub>~PG<sub>0</sub>) の出力データのライトは必ず PGDR に対して行ってください。

ビット 7~5 はリザーブビットです。リードすると不定値が読み出されます。ライトは無効です。

PGDDR が 1 にセットされているとき、ポート G のリードを行うと PGDR の値をリードします。PGDDR が 0 にクリアされているとき、ポート G のリードを行うと端子の状態が読み出されます。

PORTG は、パワーオンリセットまたはハードウェアスタンバイモードでは PGDDR、PGDR が初期化されるため、端子の状態により決定されます。マニュアルリセットまたはソフトウェアスタンバイモードでは、直前の状態を保持します。

## 9.14.3 端子機能

ポート G は、バス制御信号出力端子 ( $\overline{CS}_0 \sim \overline{CS}_3$ 、 $\overline{CAS}$ 、 $\overline{OE}$ ) と兼用になっています。モード 1、2 とモード 3、7 とモード 4~6 では端子機能が異なります。ポート G の端子機能を表 9.26 に示します。

表 9.26 ポート G の端子機能

端子	選択方法と端子機能						
$PG_4/\overline{CS}_0$	動作モードと PG4DDR ビットにより、次のように切り替わります。						
	動作モード	モード1、2、4~6			モード3、7		
	PG4DDR	0	1	0	1		
	端子機能	PG <sub>4</sub> 入力端子	$\overline{CS}_0$ 出力端子	PG <sub>4</sub> 入力端子	PG <sub>4</sub> 出力端子		
$PG_3/\overline{CS}_1$	動作モードと PG3DDR ビットにより、次のように切り替わります。						
	動作モード	モード1、2、3、7			モード4~6		
	PG3DDR	0	1	0	1		
	端子機能	PG <sub>3</sub> 入力端子	PG <sub>3</sub> 出力端子	PG <sub>3</sub> 入力端子	$\overline{CS}_1$ 出力端子		
$PG_2/\overline{CS}_2$	動作モードと PG2DDR ビットにより、次のように切り替わります。						
	動作モード	モード1、2、3、7			モード4~6		
	PG2DDR	0	1	0	1		
	端子機能	PG <sub>2</sub> 入力端子	PG <sub>2</sub> 出力端子	PG <sub>2</sub> 入力端子	$\overline{CS}_2$ 出力端子		
$PG_1/\overline{CS}_3$	動作モードと PG1DDR ビットにより、次のように切り替わります。						
	動作モード	モード1、2、3、7			モード4~6		
	PG1DDR	0	1	0	1		
	端子機能	PG <sub>1</sub> 入力端子	PG <sub>1</sub> 出力端子	PG <sub>1</sub> 入力端子	$\overline{CS}_3$ 出力端子		
$PG_0/\overline{CAS}/\overline{OE}$	動作モードと RMTS2~RMTS0 と PG0DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード1、2、3、7			モード4~6		
	RMTS2~RMTS0	-			B'000、B'100	B'0XX	B'1XX
	PG0DDR	0	1	0	1	-	
	端子機能	PG <sub>0</sub> 入力端子	PG <sub>0</sub> 出力端子	PG <sub>0</sub> 入力端子	PG <sub>0</sub> 出力端子	$\overline{CAS}$ 出力	$\overline{OE}$ 出力

XX 00



---

## 10. 16 ビットタイマパルスユニット (TPU)

---

### 10.1 概要

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット(TPU) を内蔵しています。

#### 10.1.1 特長

最大 16 本のパルス入出力が可能

チャンネル 0、3 は各 4 本、チャンネル 1、2、4、5 は各 2 本、合計 16 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタ独立にアウトプットコンペア/インプットキャプチャレジスタの設定が可能

また、チャンネル 0、3 の TGRC、TGRD は、バッファレジスタとして使用可能

各チャンネルごとに 8 種類のカウント入力クロックを選択可能

各チャンネルとも次の動作を設定可能

- コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
- インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
- カウンタクリア動作 : コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能  
コンペアマッチ/インプットキャプチャによる同時クリアが可能  
カウンタの同期動作による各レジスタの同期入出力が可能
- PWM モード : 任意デューティの PWM 出力が可能  
同期動作と組み合わせることにより、最大15相のPWM出力が可能

チャンネル 0、3 はバッファ動作を設定可能

- インプットキャプチャレジスタのダブルバッファ構成が可能
- アウトプットコンペアレジスタの自動書き換えが可能

チャンネル 1、2、4、5 は各々独立に位相計数モードを設定可能

- 2 相エンコーダパルスのアップダウンカウントが可能

カスケード接続動作

- チャンネル 2 (チャンネル 5) の入力クロックを、チャンネル 1 (チャンネル 4) のオーバフロー/アンダフローにすることにより 32 ビットカウンタとして動作

内部 16 ビットバスによる高速アクセス

- 16 ビットバスインタフェースによる高速アクセスが可能

### 26 種類の割り込み要因

- チャンネル 0、3 はコンペアマッチ / インプットキャプチャ兼用割り込み × 4 本、オーバフロー割り込み × 1 本が独立に要求可能
- チャンネル 1、2、4、5 はコンペアマッチ / インプットキャプチャ兼用割り込み × 2 本、オーバフロー割り込み × 1 本、アンダフロー割り込み × 1 本が独立に要求可能

### レジスタのデータの自動転送が可能

- データトランスファコントローラ (DTC) または DMA コントローラ (DMAC) の起動により、ブロック転送、1ワードデータ転送および1バイトデータ転送が可能

### プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能

- チャンネル 0~3 のコンペアマッチ / インプットキャプチャ信号を PPG の出力トリガとして使用可能

### A/D 変換器の変換スタートトリガを生成可能

- チャンネル 0~5 のコンペアマッチ A / インプットキャプチャ A 信号を A/D 変換器の変換開始トリガとして使用可能



表 10.1 に TPU の機能一覧を示します。

表 10.1 TPU 機能一覧 (1)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
カウントクロック	φ / 1 φ / 4 φ / 16 φ / 64 TCLKA TCLKB TCLKC TCLKD	φ / 1 φ / 4 φ / 16 φ / 64 φ / 256 TCLKA TCLKB	φ / 1 φ / 4 φ / 16 φ / 64 φ / 1024 TCLKA TCLKB TCLKC	φ / 1 φ / 4 φ / 16 φ / 64 φ / 256 φ / 1024 φ / 4096 TCLKA	φ / 1 φ / 4 φ / 16 φ / 64 φ / 1024 TCLKA TCLKC	φ / 1 φ / 4 φ / 16 φ / 64 φ / 256 TCLKA TCLKC TCLKD
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B	TGR3A TGR3B	TGR4A TGR4B	TGR5A TGR5B
ジェネラルレジスタ / バッファレジスタ	TGR0C TGR0D	-	-	TGR3C TGR3D	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ
コン ペア マッ チ出 力	0 出力 1 出力 トグル出力					
インプ ット キャ ブチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DMAC の起動	TGR0A のコンペア マッチまたはイン ットキャブチャ	TGR1A のコンペア マッチまたはイン ットキャブチャ	TGR2A のコンペア マッチまたはイン ットキャブチャ	TGR3A のコンペア マッチまたはイン ットキャブチャ	TGR4A のコンペア マッチまたはイン ットキャブチャ	TGR5A のコンペア マッチまたはイン ットキャブチャ
DTC の起動	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ	TGR のコンペア マッチまたはイン ットキャブチャ
A/D 変換開始トリガ	TGR0A のコンペア マッチまたはイン ットキャブチャ	TGR1A のコンペア マッチまたはイン ットキャブチャ	TGR2A のコンペア マッチまたはイン ットキャブチャ	TGR3A のコンペア マッチまたはイン ットキャブチャ	TGR4A のコンペア マッチまたはイン ットキャブチャ	TGR5A のコンペア マッチまたはイン ットキャブチャ

【記号説明】

: 可能

- : 不可

10. 16ビットタイムパルス

表 10.1 TPU 機能一覧 (2)

項目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
PPG トリガ	TGR0A, TGR0B のコンペアマッチまたはインプットキャプチャ	TGR1A, TGR1B のコンペアマッチまたはインプットキャプチャ	TGR2A, TGR2B のコンペアマッチまたはインプットキャプチャ	TGR3A, TGR3B のコンペアマッチまたはインプットキャプチャ	-	-
割り込み要因	5 要因 <ul style="list-style-type: none"> <li>● コンペアマッチ / インプット キャプチャ 0A</li> <li>● コンペアマッチ / インプット キャプチャ 0B</li> <li>● コンペアマッチ / インプット キャプチャ 0C</li> <li>● コンペアマッチ / インプット キャプチャ 0D</li> <li>● オーバフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>● コンペアマッチ / インプット キャプチャ 1A</li> <li>● コンペアマッチ / インプット キャプチャ 1B</li> <li>● オーバフロー</li> <li>● アンダフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>● コンペアマッチ / インプット キャプチャ 2A</li> <li>● コンペアマッチ / インプット キャプチャ 2B</li> <li>● オーバフロー</li> <li>● アンダフロー</li> </ul>	5 要因 <ul style="list-style-type: none"> <li>● コンペアマッチ / インプット キャプチャ 3A</li> <li>● コンペアマッチ / インプット キャプチャ 3B</li> <li>● コンペアマッチ / インプット キャプチャ 3C</li> <li>● コンペアマッチ / インプット キャプチャ 3D</li> <li>● オーバフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>● コンペアマッチ / インプット キャプチャ 4A</li> <li>● コンペアマッチ / インプット キャプチャ 4B</li> <li>● オーバフロー</li> <li>● アンダフロー</li> </ul>	4 要因 <ul style="list-style-type: none"> <li>● コンペアマッチ / インプット キャプチャ 5A</li> <li>● コンペアマッチ / インプット キャプチャ 5B</li> <li>● オーバフロー</li> <li>● アンダフロー</li> </ul>

【記号説明】

- : 可能
- : 不可

### 10.1.2 ブロック図

TPUのブロック図を図10.1に示します。

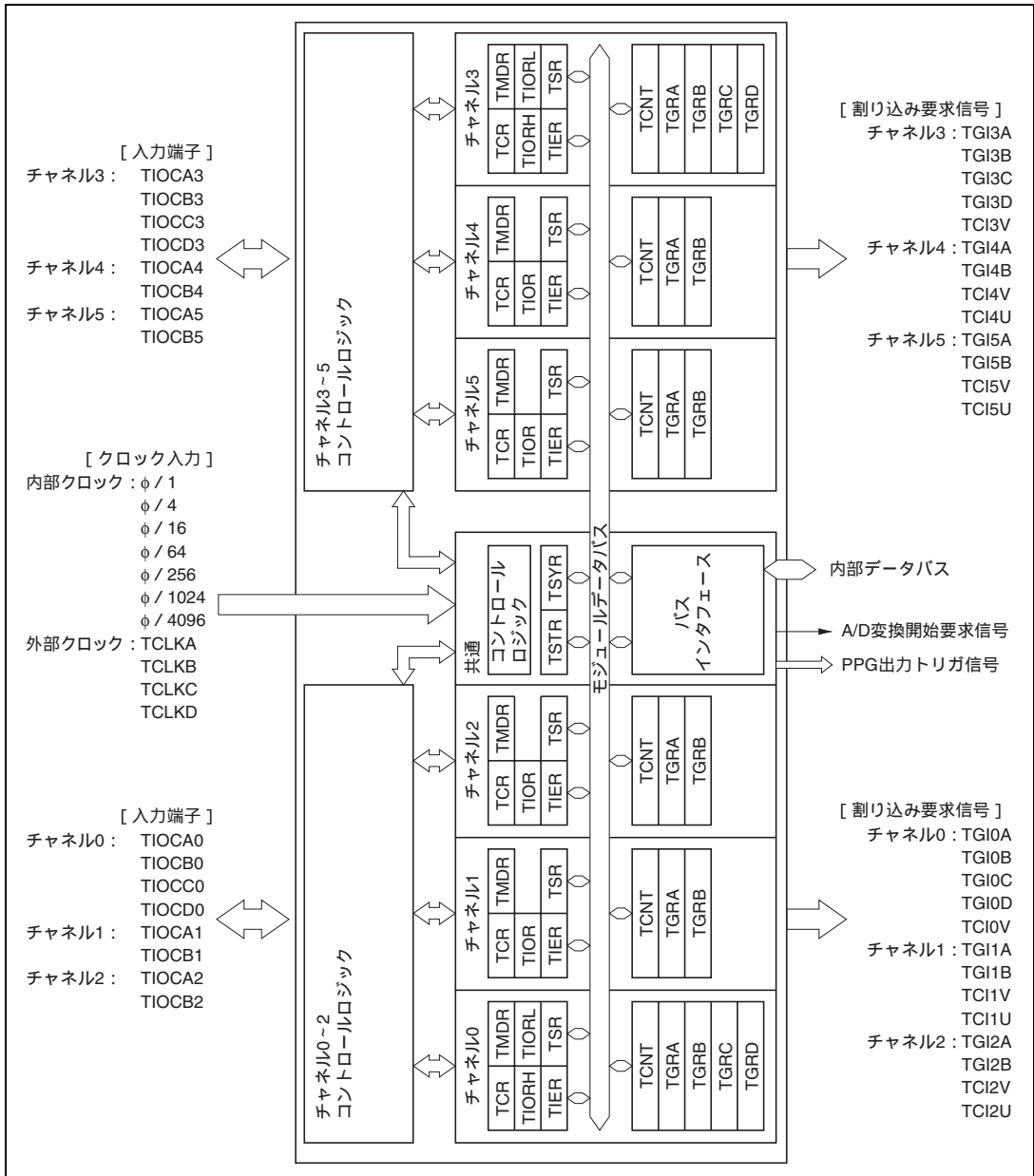


図 10.1 TPUのブロック図

## 10.1.3 端子構成

TPU の端子構成を表 10.2 に示します。

表 10.2 TPU の端子構成

チャンネル	名 称	記号	入出力	機 能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	インプットキャプチャ / アウトコンペアマッチ A0	TIOCA0	入出力	TGR0A のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B0	TIOCB0	入出力	TGR0B のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C0	TIOCC0	入出力	TGR0C のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D0	TIOCD0	入出力	TGR0D のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
1	インプットキャプチャ / アウトコンペアマッチ A1	TIOCA1	入出力	TGR1A のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B1	TIOCB1	入出力	TGR1B のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
2	インプットキャプチャ / アウトコンペアマッチ A2	TIOCA2	入出力	TGR2A のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B2	TIOCB2	入出力	TGR2B のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
3	インプットキャプチャ / アウトコンペアマッチ A3	TIOCA3	入出力	TGR3A のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B3	TIOCB3	入出力	TGR3B のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ C3	TIOCC3	入出力	TGR3C のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ D3	TIOCD3	入出力	TGR3D のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
4	インプットキャプチャ / アウトコンペアマッチ A4	TIOCA4	入出力	TGR4A のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B4	TIOCB4	入出力	TGR4B のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
5	インプットキャプチャ / アウトコンペアマッチ A5	TIOCA5	入出力	TGR5A のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子
	インプットキャプチャ / アウトコンペアマッチ B5	TIOCB5	入出力	TGR5B のインプットキャプチャ入力 / アウト プットコンペア出力 / PWM 出力端子

## 10.1.4 レジスタ構成

TPU のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成 (1)

チャンネル	名 称	略 称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFD0
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FFD1
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FFD2
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FFD3
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FFD4
	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'C0	H'FFD5
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FFD6
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FFD8
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FFDA
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FFDC
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FFDE
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFE0
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FFE1
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FFE2
	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'40	H'FFE4
	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'C0	H'FFE5
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FFE6
	タイマジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FFE8
	タイマジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FFEA
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FFF0
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FFF1
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FFF2
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FFF4
	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'C0	H'FFF5
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FFF6
	タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FFF8
	タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FFFA
3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FE80
	タイマモードレジスタ 3	TMDR3	R/W	H'C0	H'FE81
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W	H'00	H'FE82
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W	H'00	H'FE83
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'40	H'FE84
	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'C0	H'FE85
	タイマカウンタ 3	TCNT3	R/W	H'0000	H'FE86
	タイマジェネラルレジスタ 3A	TGR3A	R/W	H'FFFF	H'FE88
	タイマジェネラルレジスタ 3B	TGR3B	R/W	H'FFFF	H'FE8A
	タイマジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FE8C
	タイマジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FE8E

表 10.3 レジスタ構成 (2)

チャンネル	名 称	略 称	R/W	初期値	アドレス*1
4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FE90
	タイマモードレジスタ 4	TMDR4	R/W	H'C0	H'FE91
	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'00	H'FE92
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'40	H'FE94
	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'C0	H'FE95
	タイマカウンタ 4	TCNT4	R/W	H'0000	H'FE96
	タイマジェネラルレジスタ 4A	TGR4A	R/W	H'FFFF	H'FE98
	タイマジェネラルレジスタ 4B	TGR4B	R/W	H'FFFF	H'FE9A
5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FEA0
	タイマモードレジスタ 5	TMDR5	R/W	H'C0	H'FEA1
	タイマ I/O コントロールレジスタ 5	TIOR5	R/W	H'00	H'FEA2
	タイマインタラプトイネーブルレジスタ 5	TIER5	R/W	H'40	H'FEA4
	タイマステータスレジスタ 5	TSR5	R/(W)*2	H'C0	H'FEA5
	タイマカウンタ 5	TCNT5	R/W	H'0000	H'FEA6
	タイマジェネラルレジスタ 5A	TGR5A	R/W	H'FFFF	H'FEA8
	タイマジェネラルレジスタ 5B	TGR5B	R/W	H'FFFF	H'FEAA
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FFC0
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FFC1
	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 10.2 各レジスタの説明

### 10.2.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御する 8 ビットのレジスタです。TPU には、チャンネル 0~5 に各 1 本、計 6 本の TCR があります。TCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

チャンネル0 : TCR0

チャンネル3 : TCR3

ビット :	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TCR1

チャンネル2 : TCR2

チャンネル4 : TCR4

チャンネル5 : TCR5

ビット :	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 10. 16ビットタイムパルス

ビット7、6、5：カウンタクリア2、1、0（CCLR2、CCLR1、CCLR0）

TCNTのカウンタクリア要因を選択します。

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNTのクリア禁止（初期値）
			1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
	1	0	0	TCNTのクリア禁止
			1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
		1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

チャンネル	ビット7	ビット6	ビット5	説明
	リザーブ*3	CCLR1	CCLR0	
1、2 4、5	0	0	0	TCNTのクリア禁止（初期値）
			1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
			1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】 \*1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

\*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

\*3 チャンネル1、2、4、5ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。



## ビット 4、3：クロックエッジ 1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例： $\phi/4$  の両エッジ =  $\phi/2$  の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット 4	ビット 3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが  $\phi/4$  もしくはそれより遅い場合に有効です。入力クロックに  $\phi/1$ 、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合は本設定は無視されます。

## ビット 2、1、0：タイマプリスケラ 2、1、0 (TPSC2~TPSC0)

TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択する事ができます。表 10.4 に各チャンネルごとに設定可能なクロックソース一覧を示します。

表 10.4 TPU のクロックソース一覧

チャンネル	内部クロック						外部クロック				他のチャンネルの オーバフロー/ アンダフロー	
	$\phi/1$	$\phi/4$	$\phi/16$	$\phi/64$	$\phi/256$	$\phi/1024$	$\phi/4096$	TCLKA	TCLKB	TCLKC		TCLKD
0												
1												
2												
3												
4												
5												

## 【記号説明】

：設定有り

空欄：設定無し

## 10. 16ビットタイムパルス

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	外部クロック：TCLKD 端子入力でカウント

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	TCNT2のオーバーフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	内部クロック： $\phi/1024$ でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	内部クロック： $\phi/1024$ でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	内部クロック： $\phi/4096$ でカウント

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： $\phi/1024$ でカウント
			1	TCNT5 のオーバーフロー / アンダフローでカウント

【注】 チャンネル4 が位相計数モード時、この設定は無効になります。

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	外部クロック：TCLKD 端子入力でカウント

【注】 チャンネル5 が位相計数モード時、この設定は無効になります。

### 10.2.2 タイマモードレジスタ (TMDR)

TMDR は 8 ビットのリード/ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 6 本の TMDR があります。TMDR は、リセットまたはハードウェアスタンバイモード時に H'CO に初期化されます。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

チャンネル0 : TMDR0

チャンネル3 : TMDR3

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TMDR1

チャンネル2 : TMDR2

チャンネル4 : TMDR4

チャンネル5 : TMDR5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ビット7、6 : リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

## ビット 5 : バッファ動作 B (BFB)

TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。

TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説明
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

## ビット 4 : バッファ動作 A (BFA)

TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。

TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4	説明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

## ビット 3~0 : モード 3~0 (MD3~MD0)

MD3~MD0 はタイマの動作モードを設定します。

ビット 3	ビット 2	ビット 1	ビット 0	説明
MD3*1	MD2*2	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	リザーブ
		1	0	PWM モード 1
			1	PWM モード 2
	1	0	0	位相計数モード 1
			1	位相計数モード 2
		1	0	位相計数モード 3
			1	位相計数モード 4
1	*	*	*	-

\* : Don't care

- 【注】 \*1 MD3 はリザーブビットです。  
ライト時には常に 0 を書き込んでください。
- \*2 チャンネル 0、3 では、位相計数モードの設定はできません。  
MD2 には常に 0 をライトしてください。

## 10.2.3 タイマ I/O コントロールレジスタ (TIOR)

チャンネル0 : TIOR0H

チャンネル1 : TIOR1

チャンネル2 : TIOR2

チャンネル3 : TIOR3H

チャンネル4 : TIOR4

チャンネル5 : TIOR5

ビット :	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル0 : TIOR0L

チャンネル3 : TIOR3L

ビット :	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR は TGR を制御する 8 ビットのレジスタです。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力は、カウンタが停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

ビット 7~4 : I/O コントロール B3~0 ( IOB3~IOB0 )  
I/O コントロール D3~0 ( IOD3~IOD0 )

IOB3~IOB0 ビットは TGRB の機能を設定します。  
IOD3~IOD0 ビットは TGRD の機能を設定します。

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説明		
	IOB3	IOB2	IOB1	IOB0			
0	0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0		コンペアマッチで 1 出力	
				1		コンペアマッチでトグル出力	
				0		出力禁止	
				1		初期出力は 1 出力	コンペアマッチで 0 出力
	0	コンペアマッチで 1 出力					
	1	コンペアマッチでトグル出力					
	1	0	0	0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCB0 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
		1	*	*		0	キャプチャ入力元はチャネ ル 1 / カウントクロック
1							
*							

\* : Don't care

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説明		
	IOD3	IOD2	IOD1	IOB0			
0	0	0	0	0	TGR0D は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0		コンペアマッチで 1 出力	
				1		コンペアマッチでトグル出力	
				0		出力禁止	
				1		初期出力は 1 出力	コンペアマッチで 0 出力
	0	コンペアマッチで 1 出力					
	1	コンペアマッチでトグル出力					
	1	0	0	0	TGR0D は インプット キャプチャ レジスタ <sup>*2</sup>	キャプチャ入力元は TIOCD0 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
		1	*	*		0	キャプチャ入力元はチャネ ル 1 / カウントクロック
1							
*							

\* : Don't care

- 【注】 \*1 TCR1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT1 のカウントクロックに  $\phi/1$  を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。
- \*2 TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルス

チャネル	ビット7	ビット6	ビット5	ビット4	説明					
	IOB3	IOB2	IOB1	IOB0						
1	0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
				0			コンペアマッチで 1 出力			
			1	コンペアマッチでトグル出力						
			1	0		0	0	出力禁止	初期出力は 1 出力	
							1		コンペアマッチで 0 出力	
	0	コンペアマッチで 1 出力								
	1	0	0	0	キャプチャ入力元は TIOCB1 端子	立ち上がりエッジでインプットキャプチャ				
				1		立ち下がりエッジでインプットキャプチャ				
				*		両エッジでインプットキャプチャ				
	1	0	0	0		キャプチャ入力元は TGR0C コンペアマッチ / インプットキャプチャ	TGR0C のコンペアマッチ / インプットキャプ チャの発生でインプットキャプチャ			
				1						
*										

\* : Don't care

チャネル	ビット7	ビット6	ビット5	ビット4	説明					
	IOB3	IOB2	IOB1	IOB0						
2	0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
				0			コンペアマッチで 1 出力			
			1	コンペアマッチでトグル出力						
			1	0		0	0	出力禁止	初期出力は 1 出力	
							1		コンペアマッチで 0 出力	
	0	コンペアマッチで 1 出力								
	1	0	0	0	キャプチャ入力元は TIOCB2 端子	立ち上がりエッジでインプットキャプチャ				
				1		立ち下がりエッジでインプットキャプチャ				
				*		両エッジでインプットキャプチャ				

\* : Don't care



チャンネル	ビット7	ビット6	ビット5	ビット4	説明					
	IOB3	IOB2	IOB1	IOB0						
3	0	0	0	0	TGR3B は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は0出力	コンペアマッチで0出力			
			1	0			コンペアマッチで1出力			
				1		コンペアマッチでトグル出力				
			1	0		0	0	出力禁止	初期出力は1出力	
							1		コンペアマッチで0出力	
	1	0			コンペアマッチで1出力					
		1			コンペアマッチでトグル出力					
	1	0	0	0	TGR3B は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCB3 端子	立ち上がりエッジでインプットキャプチャ			
				1			立ち下がりエッジでインプットキャプチャ			
				*			両エッジでインプットキャプチャ			
			1	*		*	キャプチャ入力元はチャネル4 / カウントクロック		TCNT4 のカウントアップ / カウントダウンで インプットキャプチャ <sup>*1</sup>	

\* : Don't care

チャンネル	ビット7	ビット6	ビット5	ビット4	説明					
	IOD3	IOD2	IOD1	IOD0						
3	0	0	0	0	TGR3D は アウトプット コンペア レジスタ <sup>*2</sup>	出力禁止 (初期値)				
				1		初期出力は0出力	コンペアマッチで0出力			
			1	0			コンペアマッチで1出力			
				1		コンペアマッチでトグル出力				
			1	0		0	0	出力禁止	初期出力は1出力	
							1		コンペアマッチで0出力	
	1	0			コンペアマッチで1出力					
		1			コンペアマッチでトグル出力					
	1	0	0	0	TGR3D は インプット キャプチャ レジスタ <sup>*2</sup>	キャプチャ入力元は TIOCD3 端子	立ち上がりエッジでインプットキャプチャ			
				1			立ち下がりエッジでインプットキャプチャ			
				*			両エッジでインプットキャプチャ			
			1	*		*	キャプチャ入力元はチャネル4 / カウントクロック		TCNT4 のカウントアップ / カウントダウンで インプットキャプチャ <sup>*1</sup>	

\* : Don't care

- 【注】 \*1 TCR4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT4 のカウントクロックに  $\phi/1$  を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。
- \*2 TMDR3 の BFB ビットを 1 にセットして TGR3D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルス

チャネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
4	0	0	0	0	TGR4B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				1			コンペアマッチで 1 出力		
			1	0		0	初期出力は 1 出力	コンペアマッチで 0 出力	
						1		コンペアマッチで 1 出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	TGR4B は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCB4 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				1			両エッジでインプットキャプチャ		
		1	*	*		0	キャプチャ入力元は TGR3C コンペアマッチ / インプットキャプチャ	TGR3C のコンペアマッチ / インプットキャプ チャの発生でインプットキャプチャ	
								1	
								1	

\* : Don't care

チャネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOB3	IOB2	IOB1	IOB0					
5	0	0	0	0	TGR5B は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				1			コンペアマッチで 1 出力		
			1	0		0	0	初期出力は 1 出力	コンペアマッチで 0 出力
							1		コンペアマッチで 1 出力
							1		コンペアマッチでトグル出力
	1	*	0	0	TGR5B は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCB5 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				1			両エッジでインプットキャプチャ		
		1	*	0		0	キャプチャ入力元は TGR3C コンペアマッチ / インプットキャプチャ	TGR3C のコンペアマッチ / インプットキャプ チャの発生でインプットキャプチャ	
								1	
								1	

\* : Don't care

ビット 3~0 : I/O コントロール A3~0 ( IOA3~IOA0 )  
 I/O コントロール C3~0 ( IOC3~IOC0 )

IOA3~IOA0 は TGRA の機能を設定します。  
 IOC3~IOC0 は TGRC の機能を設定します。

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明		
	IOA3	IOA2	IOA1	IOA0			
0	0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0		コンペアマッチで 1 出力	
				1		コンペアマッチでトグル出力	
				0		出力禁止	
				1		初期出力は 1 出力	コンペアマッチで 0 出力
	0	コンペアマッチで 1 出力					
	1	コンペアマッチでトグル出力					
	1	0	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
		1	*	*		0	キャプチャ入力元はチャネ ル 1 / カウントクロック
1							
*							

\* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明		
	IOC3	IOC2	IOC1	IOC0			
0	0	0	0	0	TGR0C は アウトプット コンペア レジスタ*1	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0		コンペアマッチで 1 出力	
				1		コンペアマッチでトグル出力	
				0		出力禁止	
				1		初期出力は 1 出力	コンペアマッチで 0 出力
	0	コンペアマッチで 1 出力					
	1	コンペアマッチでトグル出力					
	1	0	0	0	TGR0C は インプット キャプチャ レジスタ*1	キャプチャ入力元は TIOCC0 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
		1	*	*		0	キャプチャ入力元はチャネ ル 1 / カウントクロック
1							
*							

\* : Don't care

【注】 \*1 TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

## 10. 16 ビットタイムパルス

チャネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOA3	IOA2	IOA1	IOA0					
1	0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				1			コンペアマッチで 1 出力		
			1	0		0	初期出力は 1 出力	コンペアマッチで 0 出力	
						1		コンペアマッチで 1 出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				1			両エッジでインプットキャプチャ		
		1	*	*		0	キャプチャ入力元は TGR0A コンペアマッチ / インプットキャプチャ	チャンネル 0/TGR0A のコンペアマッチ / イン プットキャプチャの発生でインプットキャプ チャ	
								1	
								1	

\* : Don't care

チャネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOA3	IOA2	IOA1	IOA0					
2	0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				1			コンペアマッチで 1 出力		
			1	0		0	0	初期出力は 1 出力	コンペアマッチで 0 出力
							1		コンペアマッチで 1 出力
							1		コンペアマッチでトグル出力
	1	*	0	0	TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCA2 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				1			両エッジでインプットキャプチャ		
		1	*	0		0	キャプチャ入力元は TIOCA2 端子	チャンネル 0/TGR0A のコンペアマッチ / イン プットキャプチャの発生でインプットキャプ チャ	
								1	
								1	

\* : Don't care

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOA3	IOA2	IOA1	IOA0					
3	0	0	0	0	TGR3A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				0			コンペアマッチで 1 出力		
			1	コンペアマッチでトグル出力					
			1	0		0	出力禁止	初期出力は 1 出力	
						1		コンペアマッチで 0 出力	
	0	コンペアマッチで 1 出力							
	1	0	0	0	TGR3A は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				*			両エッジでインプットキャプチャ		
			1	*		*	キャプチャ入力元はチャネ ル4 / カウントクロック	TCNT4 のカウントアップ / カウントダウンで インプットキャプチャ	

\* : Don't care

チャンネル	ビット3	ビット2	ビット1	ビット0	説明				
	IOC3	IOC2	IOC1	IOC0					
3	0	0	0	0	TGR3C は アウトプット コンペア レジスタ*1	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				0			コンペアマッチで 1 出力		
			1	コンペアマッチでトグル出力					
			1	0		0	出力禁止	初期出力は 1 出力	
						1		コンペアマッチで 0 出力	
	0	コンペアマッチで 1 出力							
	1	0	0	0	TGR3C は インプット キャプチャ レジスタ*1	キャプチャ入力元は TIOCC3 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				*			両エッジでインプットキャプチャ		
			1	*		*	キャプチャ入力元はチャネ ル4 / カウントクロック	TCNT4 のカウントアップ / カウントダウンで インプットキャプチャ	

\* : Don't care

【注】 \*1 TMDR3 の BFA ビットを 1 にセットして TGR3C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

10. 16 ビットタイムパルス

チャネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOA3	IOA2	IOA1	IOA0					
4	0	0	0	0	TGR4A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				1			コンペアマッチで 1 出力		
			1	0		0	初期出力は 1 出力	コンペアマッチで 0 出力	
						1		コンペアマッチで 1 出力	
						1		コンペアマッチでトグル出力	
	1	0	0	0	TGR4A は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCA4 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				*			両エッジでインプットキャプチャ		
		1	*	*		0	キャプチャ入力元は TGR3A コンペアマッチ / インプットキャプチャ	TGR3A のコンペアマッチ / インプットキャプ チャの発生でインプットキャプチャ	
								1	
								*	

\* : Don't care

チャネル	ビット7	ビット6	ビット5	ビット4	説明				
	IOA3	IOA2	IOA1	IOA0					
5	0	0	0	0	TGR5A は アウトプット コンペア レジスタ	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				1			コンペアマッチで 1 出力		
			1	0		0	初期出力は 1 出力	コンペアマッチで 0 出力	
						1		コンペアマッチで 1 出力	
						1		コンペアマッチでトグル出力	
	1	*	0	0	TGR5A は インプット キャプチャ レジスタ	キャプチャ入力元は TIOCA5 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
				*			両エッジでインプットキャプチャ		
		1	*	0		0	キャプチャ入力元は TIOCA5 端子	立ち上がりエッジでインプットキャプチャ	
								1	
								*	

\* : Don't care

## 10.2.4 タイマインタラプトイネーブルレジスタ (TIER)

チャンネル0 : TIER0

チャンネル3 : TIER3

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	-	R/W	R/W	R/W	R/W	R/W

チャンネル1 : TIER1

チャンネル2 : TIER2

チャンネル4 : TIER4

チャンネル5 : TIER5

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TIER は 8 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 6 本の TIER があります。TIER は、リセットまたはハードウェアスタンバイモード時に H'40 に初期化されます。

## 10. 16 ビットタイマパルス

---

### ビット 7 : A/D 変換開始要求イネーブル (TTGE)

TGRA のインプットキャプチャ/コンペアマッチによる、A/D 変換開始要求の発生を許可または禁止します。

ビット 7	説明
TTGE	
0	A/D 変換開始要求の発生を禁止 (初期値)
1	A/D 変換開始要求の発生を許可

### ビット 6 : リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

### ビット 5 : アンダフローインタラプトイネーブル (TCIEU)

チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説明
TCIEU	
0	TCFU による割り込み要求 (TCIU) を禁止 (初期値)
1	TCFU による割り込み要求 (TCIU) を許可

### ビット 4 : オーバフローインタラプトイネーブル (TCIEV)

TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。

ビット 4	説明
TCIEV	
0	TCFV による割り込み要求 (TCIV) を禁止 (初期値)
1	TCFV による割り込み要求 (TCIV) を許可

### ビット 3 : TGR インタラプトイネーブル D (TGIED)

チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3	説明
TGIED	
0	TGFD ビットによる割り込み要求 (TGID) を禁止 (初期値)
1	TGFD ビットによる割り込み要求 (TGID) を許可



## ビット 2 : TGR インタラプトイネーブル C (TGIEC)

チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2	説 明
TGIEC	
0	TGFC ビットによる割り込み要求 (TGIC) を禁止 (初期値)
1	TGFC ビットによる割り込み要求 (TGIC) を許可

## ビット 1 : TGR インタラプトイネーブル B (TGIEB)

TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。

ビット 1	説 明
TGIEB	
0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可

## ビット 0 : TGR インタラプトイネーブル A (TGIEA)

TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。

ビット 0	説 明
TGIEA	
0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可

## 10.2.5 タイマステータスレジスタ (TSR)

チャンネル0 : TSR0

チャンネル3 : TSR3

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】\* フラグをクリアするための0ライトのみ可能です。

チャンネル1 : TSR1

チャンネル2 : TSR2

チャンネル4 : TSR4

チャンネル5 : TSR5

ビット :	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

【注】\* フラグをクリアするための0ライトのみ可能です。

TSRは8ビットのレジスタで、各チャンネルのステータスの表示を行います。TPUには、各チャンネル1本、計6本のTSRがあります。TSRは、リセットまたはハードウェアスタンバイモード時にH'COに初期化されます。

## ビット7：カウント方向フラグ（TCFD）

チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット7	説明
TCFD	
0	TCNT はダウンカウント (初期値)
1	TCNT はアップカウント

## ビット6：リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

## ビット5：アンダフローフラグ（TCFU）

チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット5	説明
TCFU	
0	[クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき (初期値)
1	[セット条件] TCNT の値がアンダフロー (H'0000 H'FFFF) したとき

## ビット4：オーバフローフラグ（TCFV）

TCNT のオーバフローの発生を示すステータスフラグです。

ビット4	説明
TCFV	
0	[クリア条件] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき (初期値)
1	[セット条件] TCNT の値がオーバフロー (H'FFFF H'0000) したとき

## 10. 16ビットタイムパルス

### ビット3：インプットキャプチャ/アウトプットコンペアフラグD (TGFD)

チャンネル0、3のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット3	説明
TGFD	
0	[クリア条件] (初期値) (1) TGID 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
1	[セット条件] (1) TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき (2) TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき

### ビット2：インプットキャプチャ/アウトプットコンペアフラグC (TGFC)

チャンネル0、3のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル1、2、4、5ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2	説明
TGFC	
0	[クリア条件] (初期値) (1) TGIC 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	[セット条件] (1) TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき (2) TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき

## ビット1：インプットキャプチャ/アウトプットコンペアフラグ B (TGFB)

TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
TGFB	
0	[クリア条件] (初期値) (1) TGIB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
1	[セット条件] (1) TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき (2) TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

## ビット0：インプットキャプチャ/アウトプットコンペアフラグ A (TGFA)

TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
TGFA	
0	[クリア条件] (初期値) (1) TGIA 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTA ビットが 1 のとき (3) TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

### 10.2.6 タイマカウンタ (TCNT)

チャンネル0 : TCNT0 (アップカウンタ)  
 チャンネル1 : TCNT1 (アップ/ダウンカウンタ\*)  
 チャンネル2 : TCNT2 (アップ/ダウンカウンタ\*)  
 チャンネル3 : TCNT3 (アップカウンタ)  
 チャンネル4 : TCNT4 (アップ/ダウンカウンタ\*)  
 チャンネル5 : TCNT5 (アップ/ダウンカウンタ\*)

ビット :    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0  

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 :    0   0   0   0   0   0   0   0   0   0   0   0   0   0   0   0  
 R/W    :   R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

**【注】\*** 位相計数モード (および位相計数モードの他のチャンネルのオーバフロー/アンダフローのカウント時) のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

TCNT は 16 ビットのカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

### 10.2.7 タイマジェネラルレジスタ (TGR)

ビット :    15   14   13   12   11   10   9   8   7   6   5   4   3   2   1   0  

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

 初期値 :    1   1   1   1   1   1   1   1   1   1   1   1   1   1   1   1  
 R/W    :   R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TGR は 16 ビットのアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます\*。TGR はリセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。

TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

**【注】\*** TGR のバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

## 10.2.8 タイマスタートレジスタ (TSTR)

ビット :	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の動作/停止を選択します。TSTR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。TMDR へ動作モードを設定する場合や、TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット 7、6 : リザーブビット

ライト時は必ず 0 を書き込んでください。

ビット 5~0 : カウンタスタート 5~0 (CST5~CST0)

TCNT の動作または停止を選択します。

ビット n	説明
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

(n=5~0)

【注】 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

## 10.2.9 タイマシンクロレジスタ (TSYR)

ビット :	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

TSYR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

TSTR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6 : リザーブビット

ライト時は必ず 0 を書き込んでください。

ビット 5~0 : タイマ同期 5~0 (SYNC5~SYNC0)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセット\*<sup>1</sup>や、他チャンネルのカウンタクリアによる同期クリア\*<sup>2</sup>が可能となります。

ビット N	説明
0	TCNTn は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) (初期値)
1	TCNTn は同期動作 TCNT の同期プリセット/同期クリアが可能

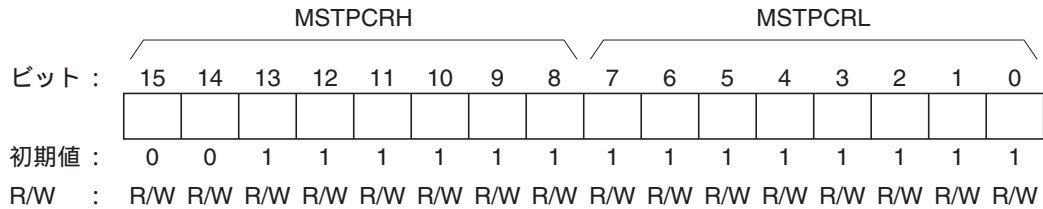
(n = 5~0)

【注】 \*1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

\*2 同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。



## 10.2.10 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP13 ビットを 1 にセットすると、バスサイクルの終了時点で TPU は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリードライトはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## ビット 13 : モジュールストップ (MSTP13)

TPU のモジュールストップモードを指定します。

ビット 13	説 明
MSTP13	
0	TPU のモジュールストップモード解除 (初期値)
1	TPU のモジュールストップモード設定

## 10.3 バスマスタとのインタフェース

### 10.3.1 16ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。

8 ビット単位でのリード/ライトはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 10.2 に示します。

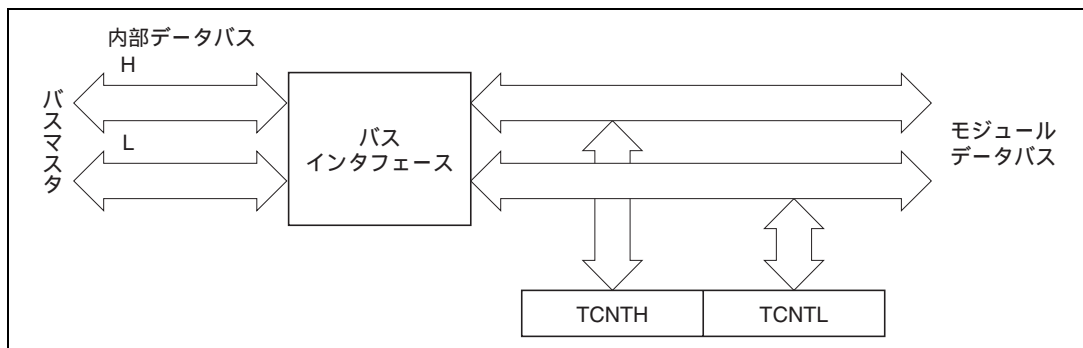


図 10.2 16 ビットレジスタのアクセス動作 [ バスマスタ TCNT (16 ビット) ]

### 10.3.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。CPU との間データバスは 16 ビット幅なので、16 ビット単位でのリード/ライトが可能です。また、8 ビット単位でのリード/ライトもできます。

8 ビットレジスタのアクセス動作例を図 10.3、図 10.4、図 10.5 に示します。

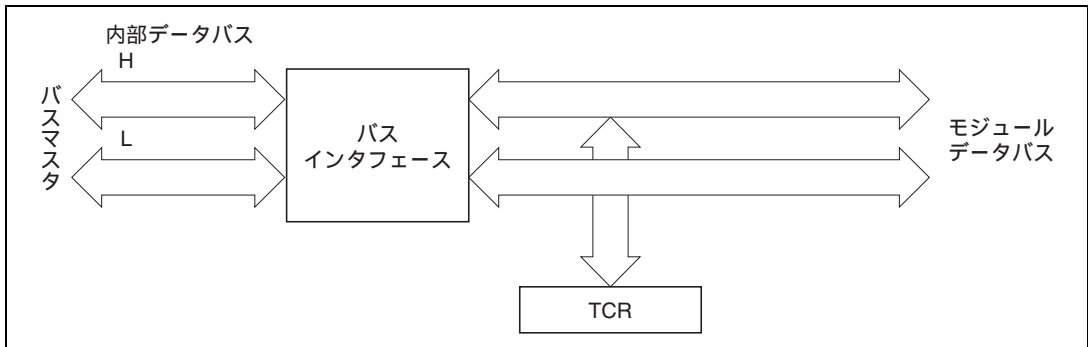


図 10.3 8 ビットレジスタのアクセス動作 [バスマスタ TCR (上位 8 ビット)]

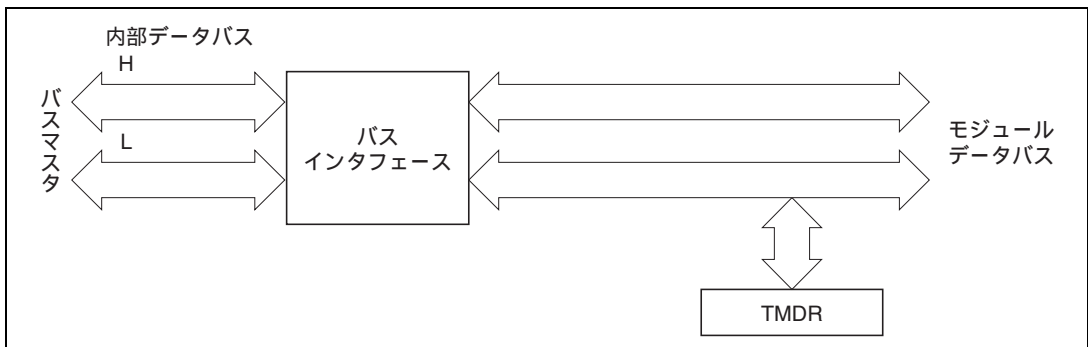


図 10.4 8 ビットレジスタのアクセス動作 [バスマスタ TMDR (下位 8 ビット)]

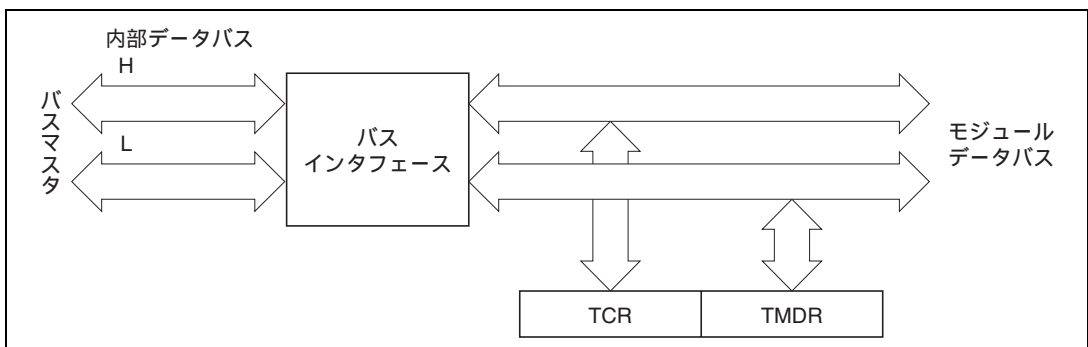


図 10.5 8 ビットレジスタのアクセス動作 [バスマスタ TCR、TMDR (16 ビット)]

## 10.4 動作説明

### 10.4.1 概要

各モードの動作概要を以下に示します。

#### (1) 通常動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (2) 同期動作

同期動作を設定したチャンネルのTCNTは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意のTCNTを書き換えると、他のチャンネルのTCNTも同時に書き換えられます。また、同期動作に設定された複数のチャンネルのTSYRのタイマ同期ビットの設定により、TCNTの同期クリアが可能です。

#### (3) バッファ動作

##### (a) TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値がTGRに転送されます。

##### (b) TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNTの値がTGRに転送されると同時に、それまで格納されていたTGRの値がバッファレジスタに転送されます。

#### (4) カスケード接続動作

チャンネル1カウンタ(TCNT1)とチャンネル2カウンタ(TCNT2)またはチャンネル4カウンタ(TCNT4)とチャンネル5カウンタ(TCNT5)を接続して32ビットカウンタとして動作させることができます。

#### (5) PWMモード

PWM波形を出力するモードです。出力レベルはTIORにより設定できます。

各TGRの設定により、デューティ0~100%のPWM波形が出力できます。

#### (6) 位相計数モード

チャンネル1、2、4、5で外部クロック入力端子から入力される2つのクロックの位相を検出して、TCNTをアップ/ダウンさせるモードです。位相計数モードに設定すると、対応するTCLK端子はクロック入力となり、またTCNTはアップ/ダウンカウント動作を行います。

2相エンコーダパルスの入力として使用できます。

## 10.4.2 基本機能

### (1) カウンタの動作

TSTR の CST0 ~ CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.6 に示します。

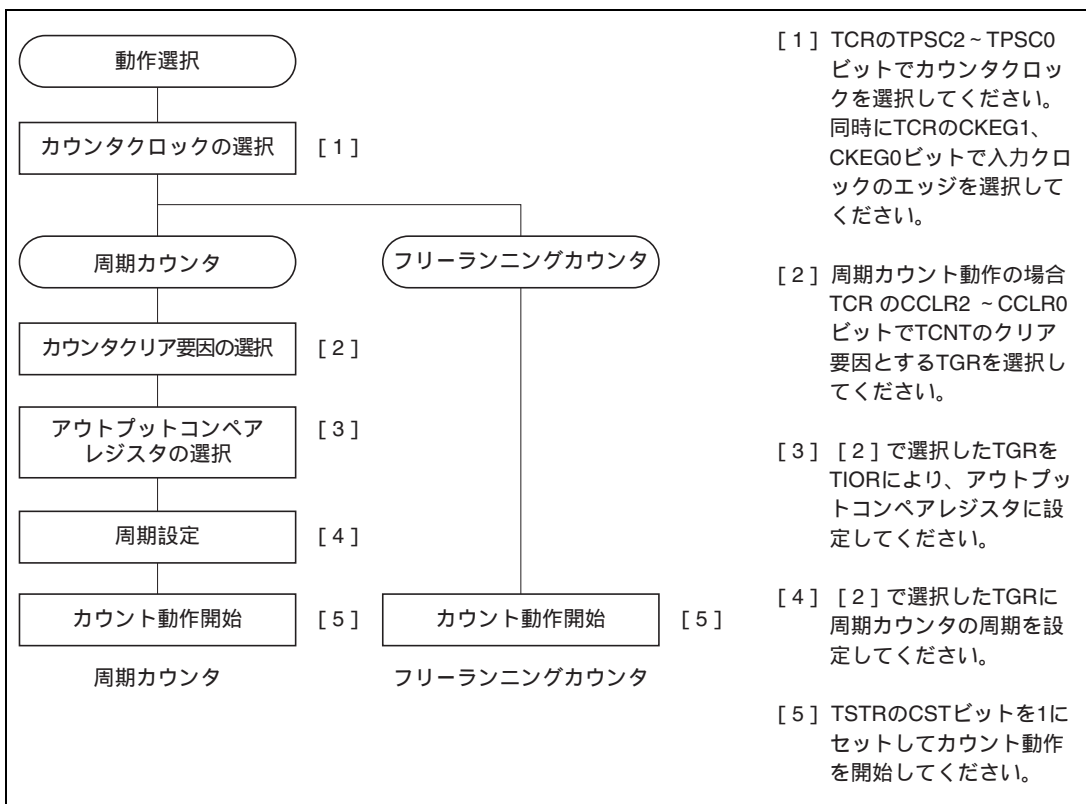


図 10.6 カウンタ動作設定手順例

### (b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー (H'FFFF H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 10.7 に示します。

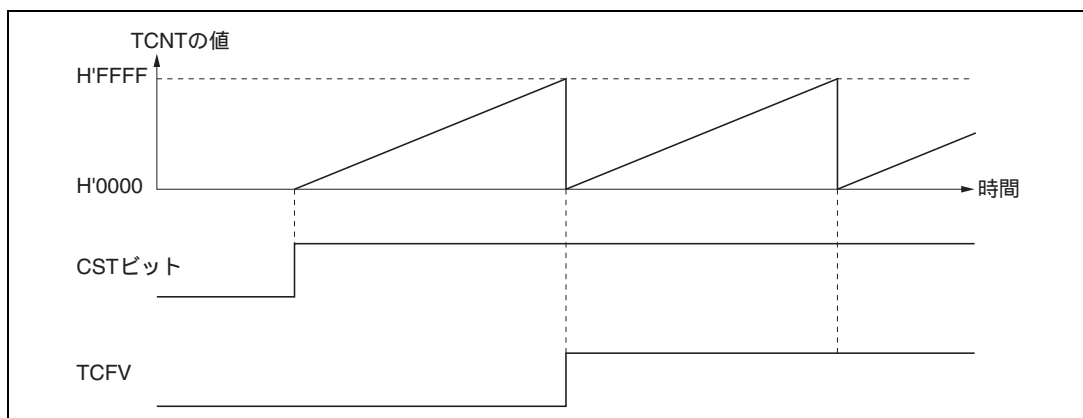


図 10.7 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウント動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCRのCCLR2～CCLR0ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRの対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TSRのTGFビットが1にセットされ、TCNTはH'0000にクリアされます。

このとき対応するTIERのTGIEビットが1ならば、TPUは割り込みを要求します。TCNTはコンペアマッチ後、H'0000からアップカウント動作を継続します。

周期カウンタの動作を図10.8に示します。

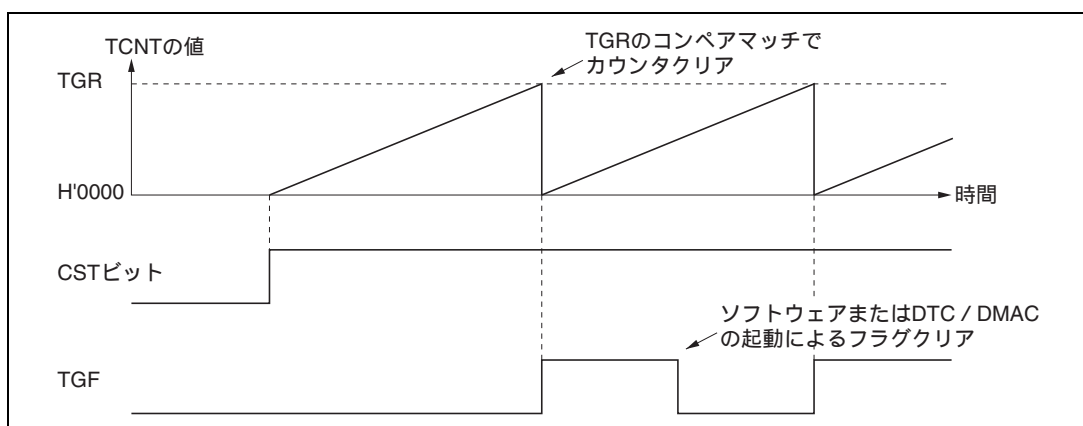


図 10.8 周期カウンタの動作

## (2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

## (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.9 に示します。

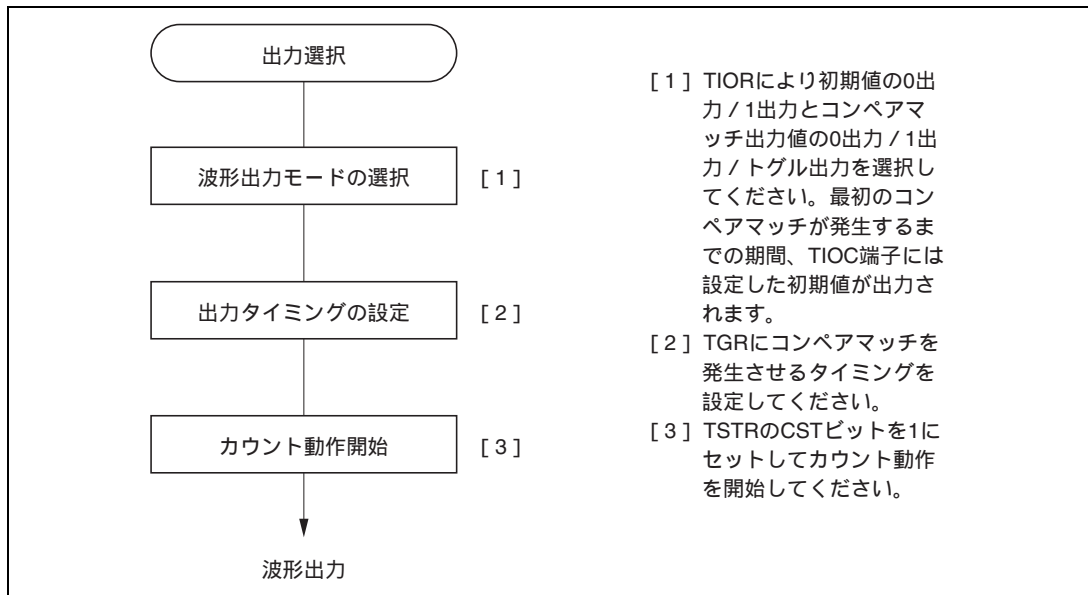


図 10.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力 / 1出力例を図 10.10 に示します。

TCNT を、フリーランニングカウント動作とし、コンペアマッチ A により 1出力、コンペアマッチ B により 0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

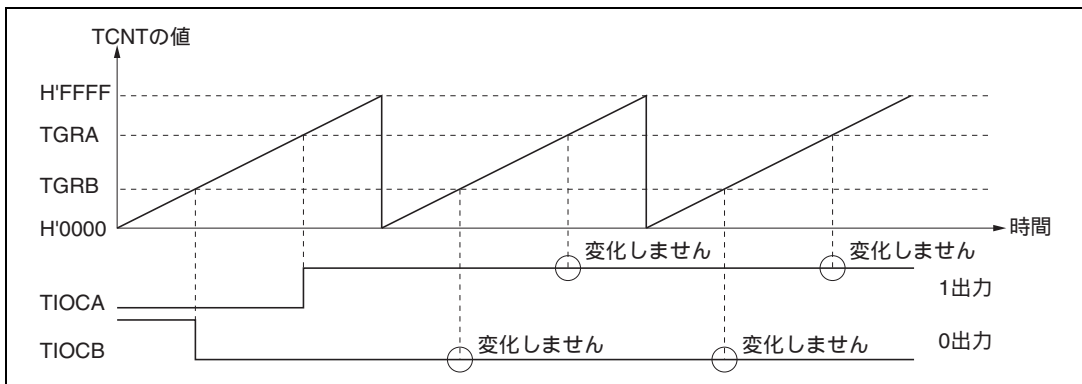


図 10.10 0出力 / 1出力の動作例

トグル出力の例を図 10.11 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

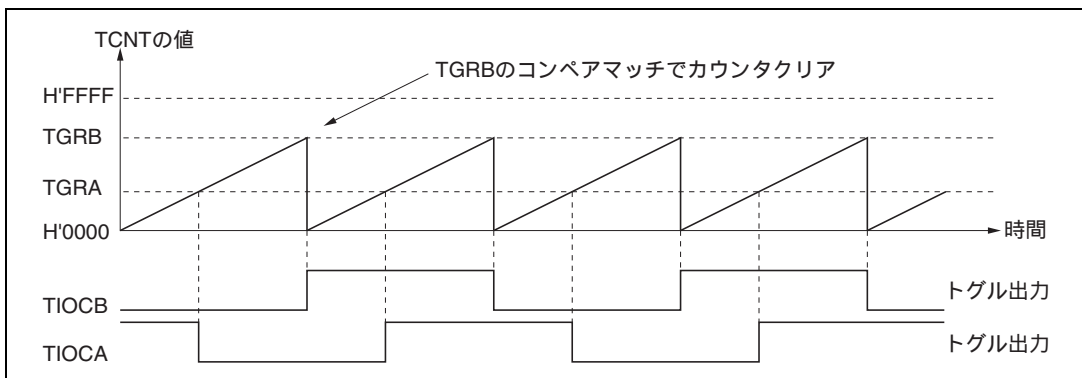


図 10.11 トグル出力の動作例



## (3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに  $\phi/1$  を選択しないでください。 $\phi/1$  を選択した場合は、インพุットキャプチャは発生しません。

## (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.12 に示します。

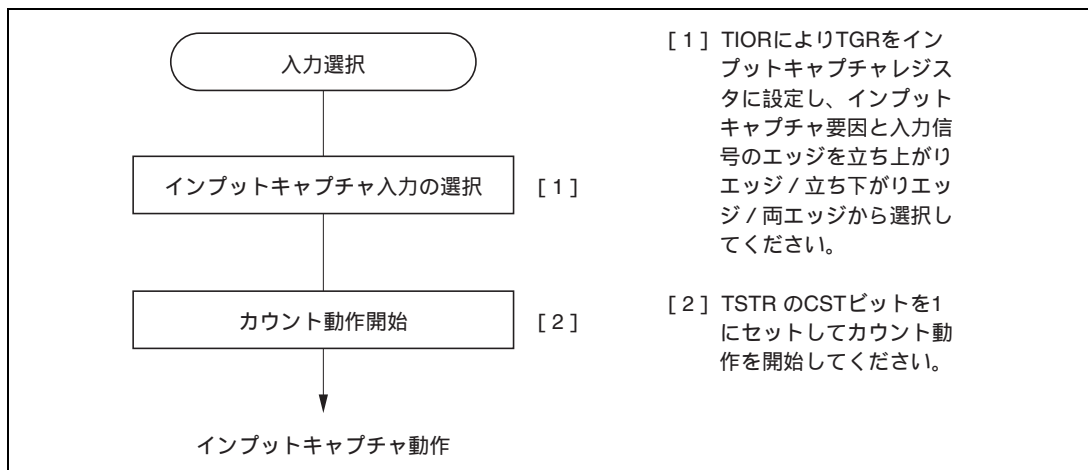


図 10.12 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

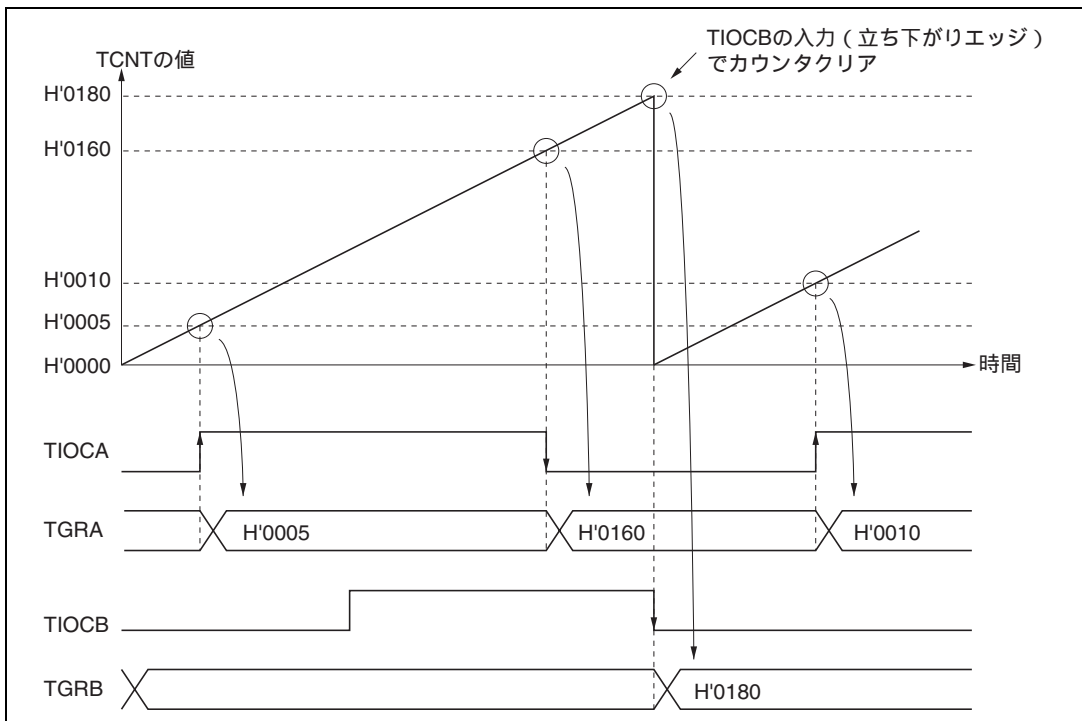


図 10.13 インพุットキャプチャ動作例

### 10.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対して TGR を増加することができます。  
チャンネル 0～5 はすべて同期動作の設定が可能です。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図 10.14 に示します。

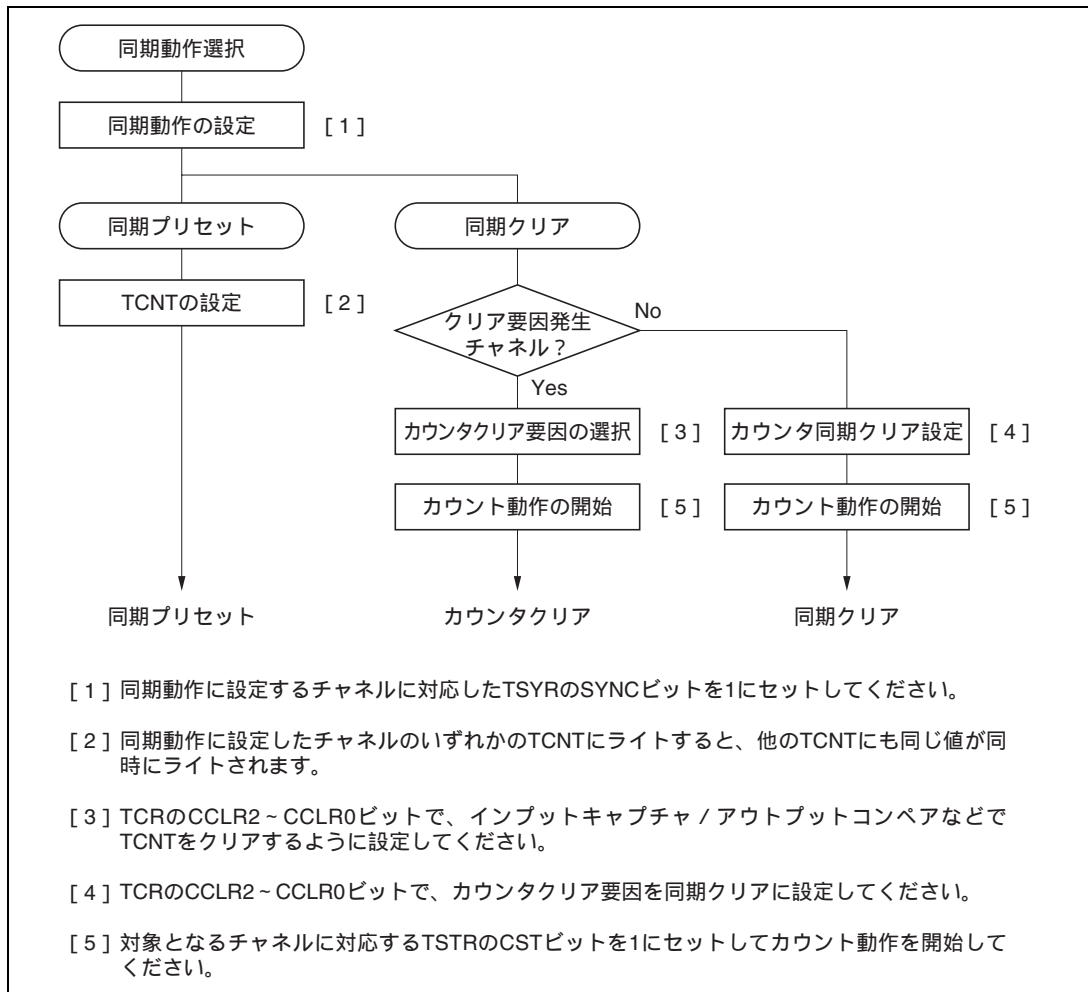


図 10.14 同期動作の設定手順例

## (2) 同期動作の例

同期動作の例を図 10.15 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGR0Bのコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOC0A、TIOC1A、TIOC2A端子から出力します。このとき、チャンネル0~2のTCNTは同期プリセット、TGR0Bのコンペアマッチによる同期クリアを行い、TGR0Bに設定したデータがPWM周期となります。

PWMモードについては、「10.4.6 PWMモード」を参照してください。

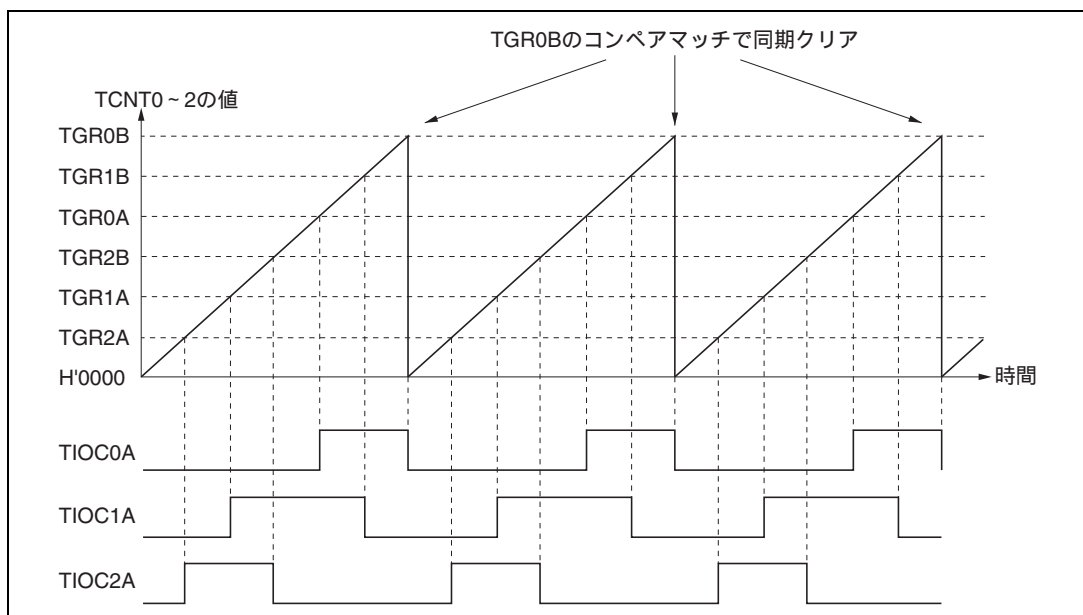


図 10.15 同期動作の動作例

#### 10.4.4 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.5 にバッファ動作時のレジスタの組み合わせを示します。

表 10.5 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D
3	TGR3A	TGR3C
	TGR3B	TGR3D

##### ・TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.16 に示します。

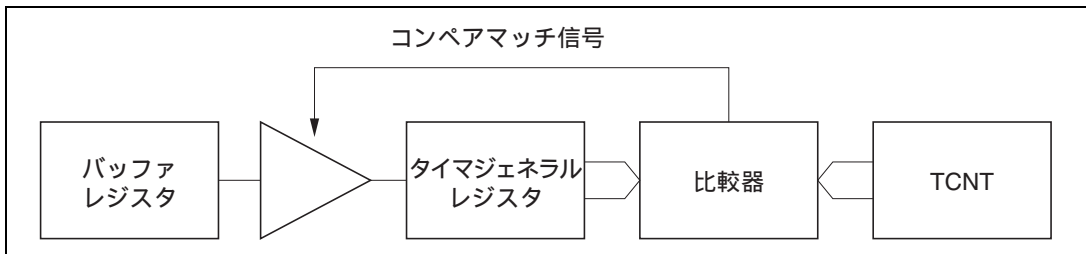


図 10.16 コンペアマッチバッファ動作

##### ・TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をTGRに転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 10.17 に示します。

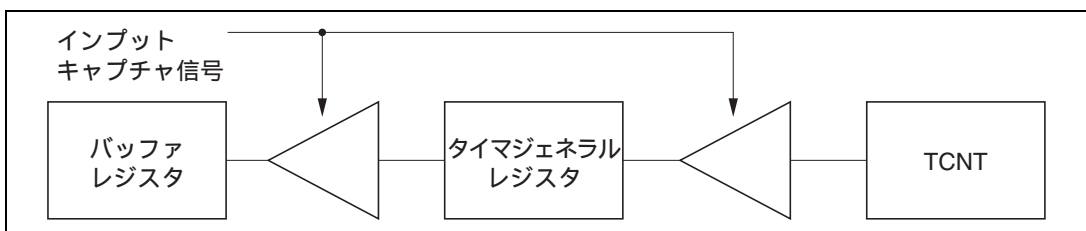


図 10.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.18 に示します。

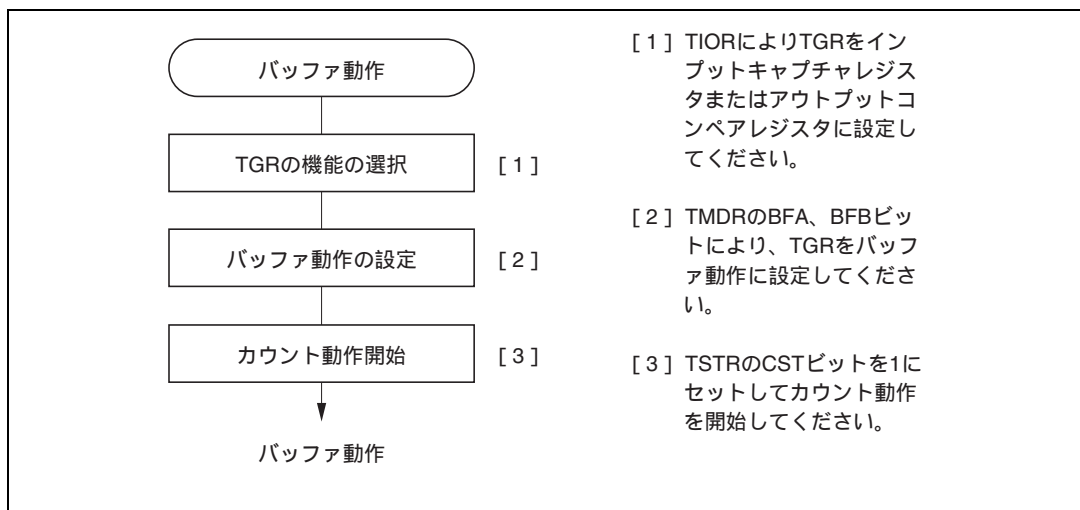


図 10.18 バッファ動作の設定手順例

## (2) バッファ動作例

## (a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.19 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイムジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「10.4.6 PWM モード」を参照してください。

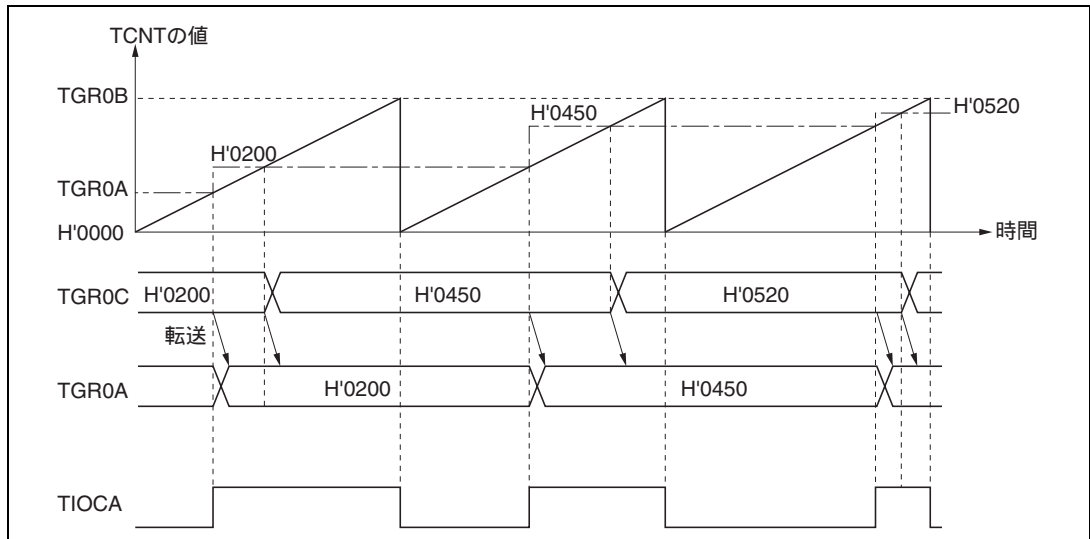


図 10.19 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.20 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

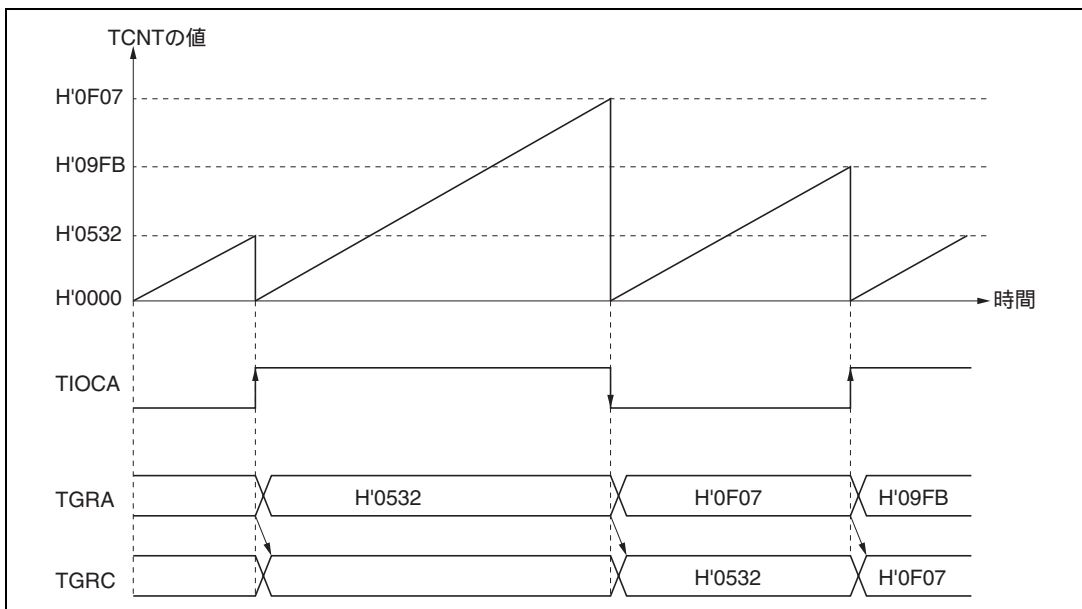


図 10.20 バッファ動作例 (2)



### 10.4.5 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1（チャンネル4）のカウンタクロックをTCRのTPSC2～TPSC0ビットでTCNT2（TCNT5）のオーバーフロー/アンダフローでカウントに設定することにより動作します。アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.6 にカスケード接続の組み合わせを示します。

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT1	TCNT2
チャンネル 4 とチャンネル 5	TCNT4	TCNT5

#### (1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.21 に示します。

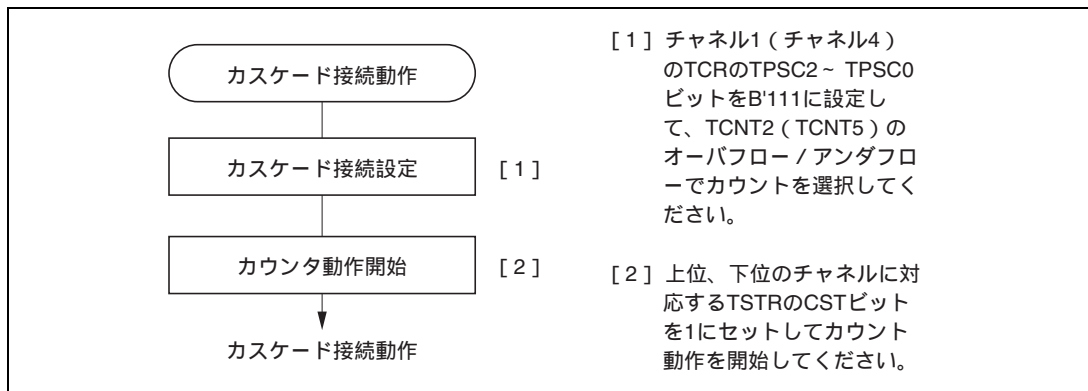


図 10.21 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT1 は TCNT2 のオーバフロー / アンダフローでカウント、TGR1A と TGR2A をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 10.22 に示します。

TIOCA1 端子と TIOCA2 端子に同時に立ち上がりエッジを入力することにより、TGR1A に上位 16 ビット、TGR2A に下位 16 ビットの 32 ビットデータが転送されます。

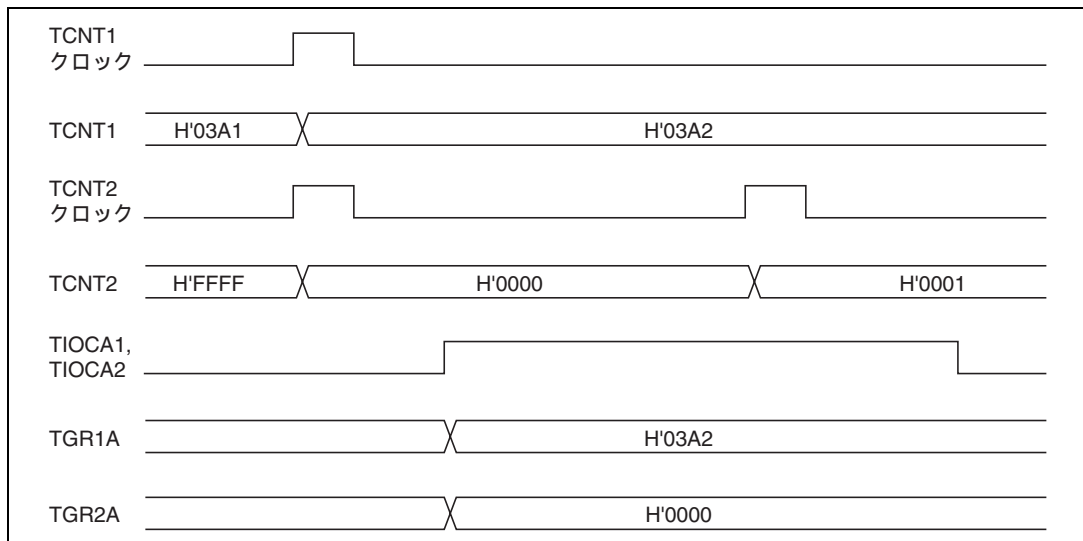


図 10.22 カスケード接続動作例 (1)

TCNT1 は TCNT2 のオーバフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 10.23 に示します。

TCNT1 は、TCNT2 のオーバフローでアップカウント、TCNT2 のアンダフローでダウンカウントされます。

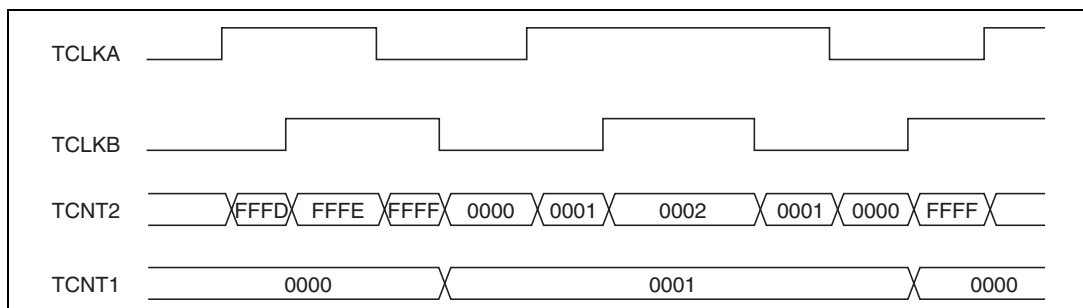


図 10.23 カスケード接続動作例 (2)

### 10.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

#### (a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

#### (b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.7 に示します。

表 10.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGR0A	TIOCA0	TIOCA0
	TGR0B		TIOCB0
	TGR0C	TIOCC0	TIOCC0
	TGR0D		TIOCD0
1	TGR1A	TIOCA1	TIOCA1
	TGR1B		TIOCB1
2	TGR2A	TIOCA2	TIOCA2
	TGR2B		TIOCB2
3	TGR3A	TIOCA3	TIOCA3
	TGR3B		TIOCB3
	TGR3C	TIOCC3	TIOCC3
	TGR3D		TIOCD3
4	TGR4A	TIOCA4	TIOCA4
	TGR4B		TIOCB4
5	TGR5A	TIOCA5	TIOCA5
	TGR5B		TIOCB5

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

## (1) PWM モードの設定手順例

PWM モードの設定手順例を図 10.24 に示します。

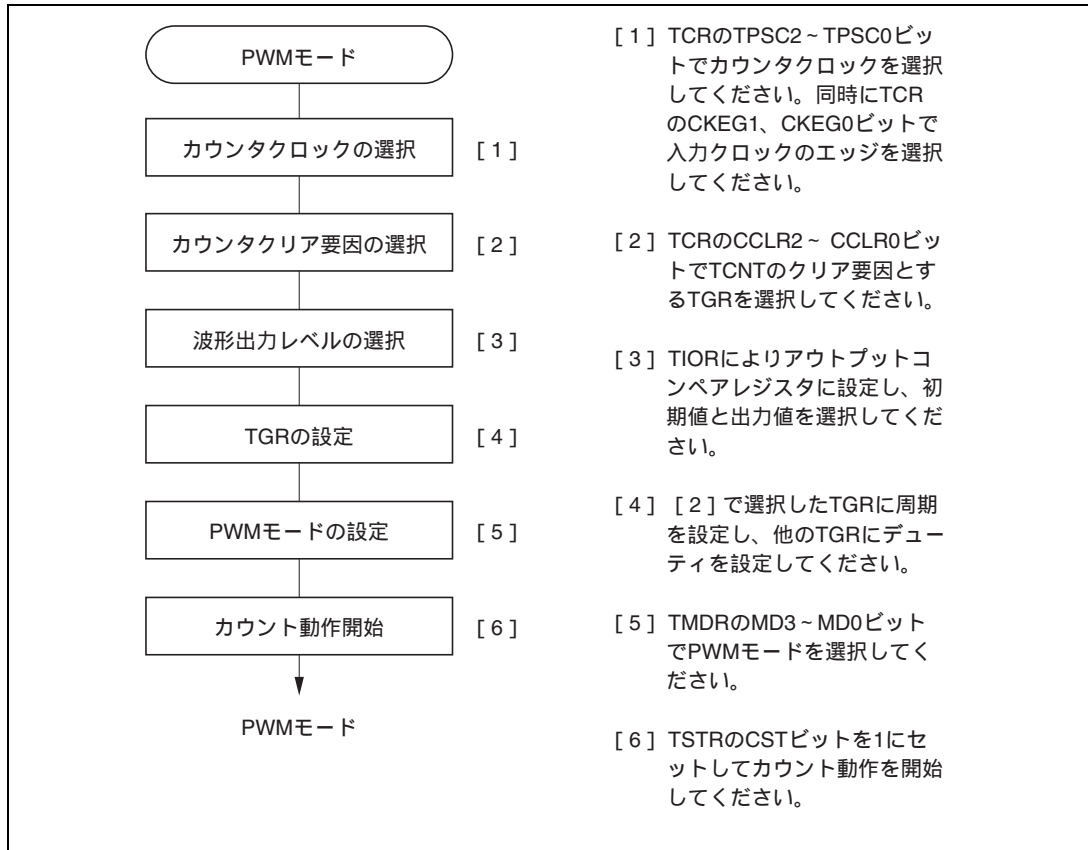


図 10.24 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 10.25 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

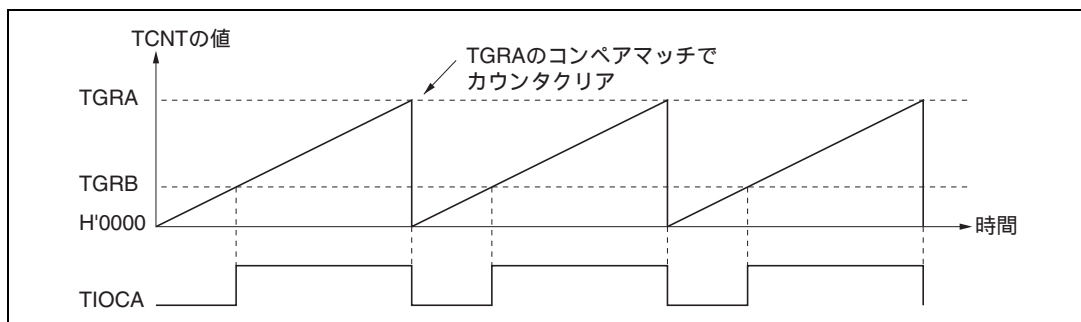


図 10.25 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 10.26 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGR1B のコンペアマッチとし、他の TGR ( TGR0A ~ TGR0D、 TGR1A ) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

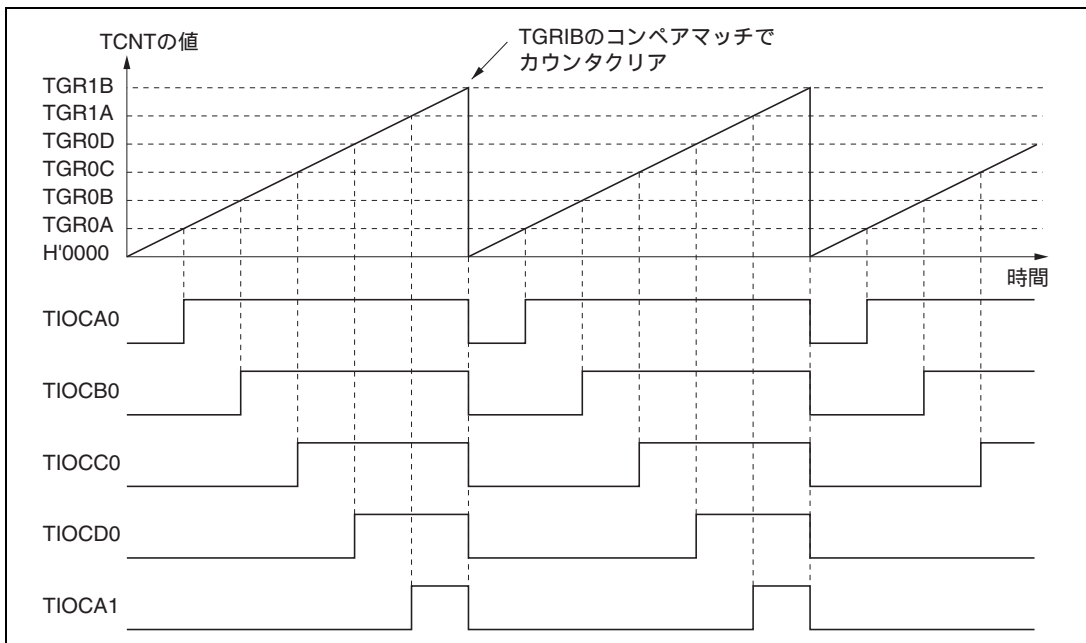


図 10.26 PWM モードの動作例 ( 2 )

## 10. 16ビットタイマパルス

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図10.27に示します。

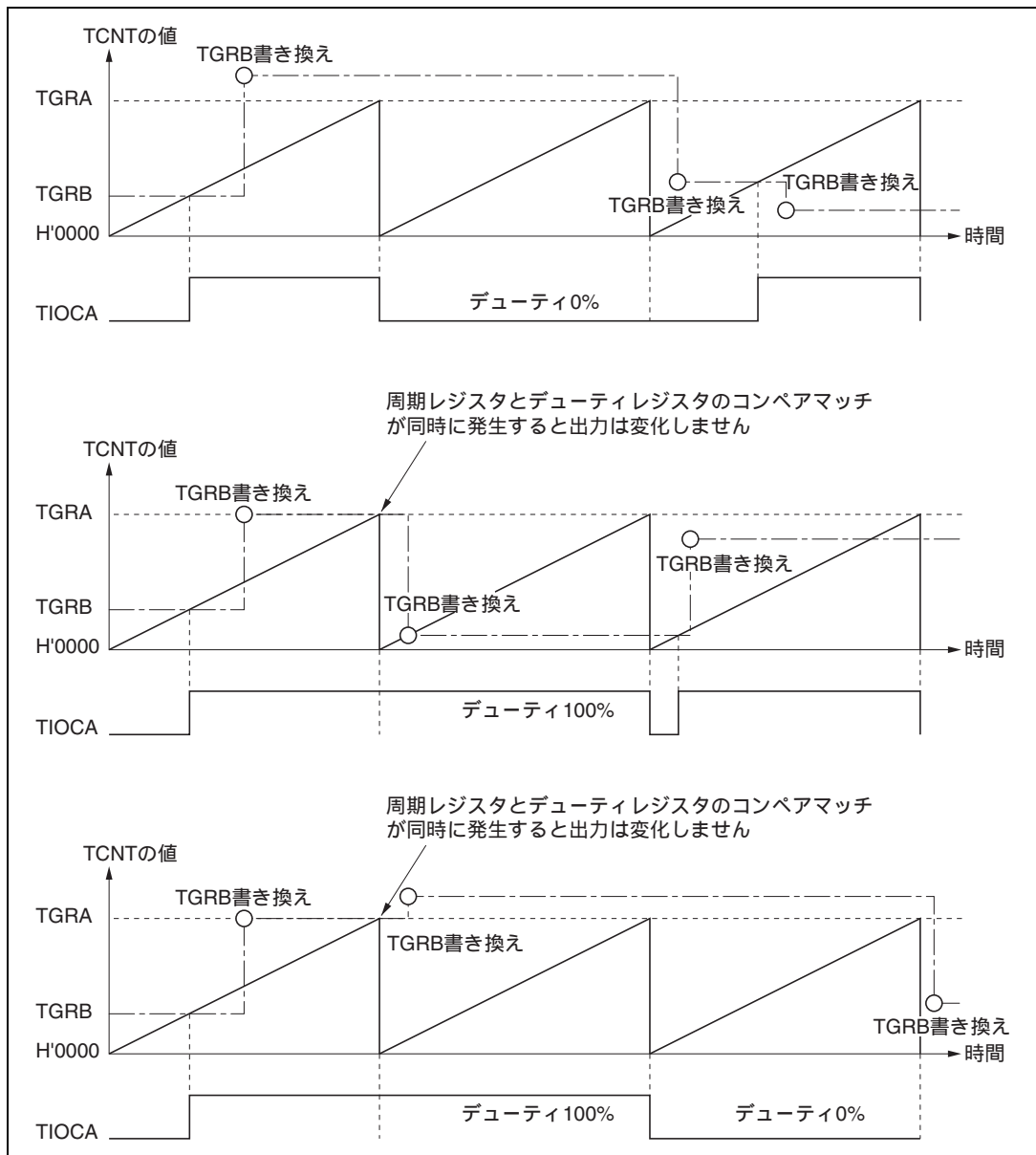


図 10.27 PWM モード動作例 ( 3 )



### 10.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力の位相差を検出し、TCNTをアップ/ダウンカウントします。このモードはチャンネル1、2、4、5で設定可能です。

位相計数モードに設定すると、TCRのTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNTはアップ/ダウンカウンタとして動作します。ただし、TCRのCCLR1、CCLR0ビット、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNTがアップカウント時、オーバフローが発生するとするとTSRのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

TSRのTCFDビットはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

表 10.8 に外部クロック端子とチャンネルの対応を示します。

表 10.8 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A相	B相
チャンネル1または5を位相計数モードとするとき	TCLKA	TCLKB
チャンネル2または4を位相計数モードとするとき	TCLKC	TCLKD

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.28 に示します。

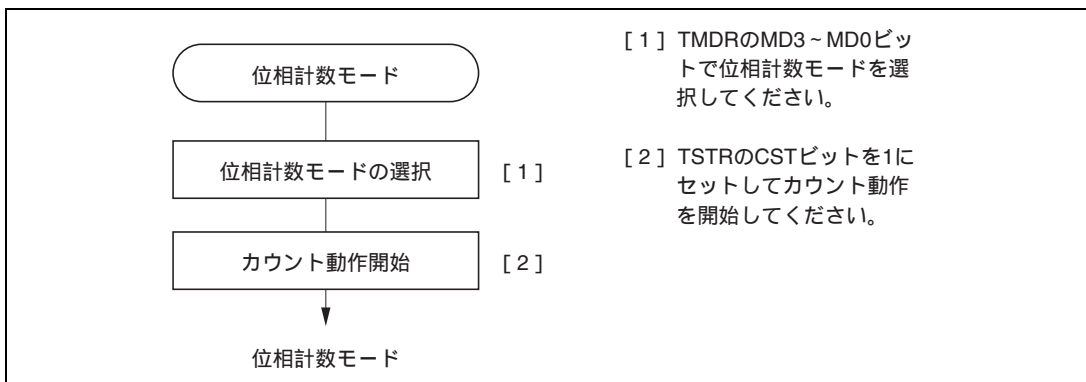


図 10.28 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 10.29 に、TCNT のアップ/ダウンカウント条件を表 10.9 に示します。

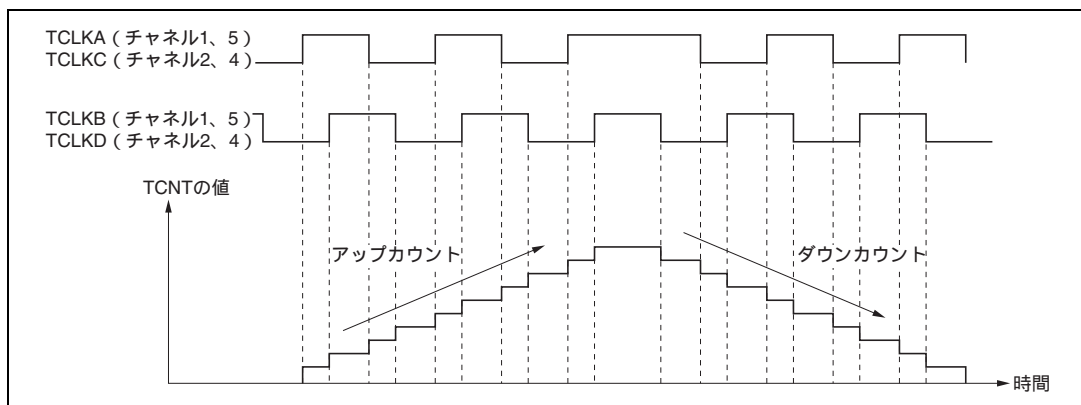


図 10.29 位相計数モード 1 の動作例

表 10.9 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
H	↑	アップカウント
L	↓	
↑	L	
↓	H	
H	↓	ダウンカウント
L	↑	
↑	H	
↓	L	

【記号説明】

H : High レベル

L : Low レベル

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## (b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.30 に、TCNT のアップ / ダウンカウント条件を表 10.10 に示します。

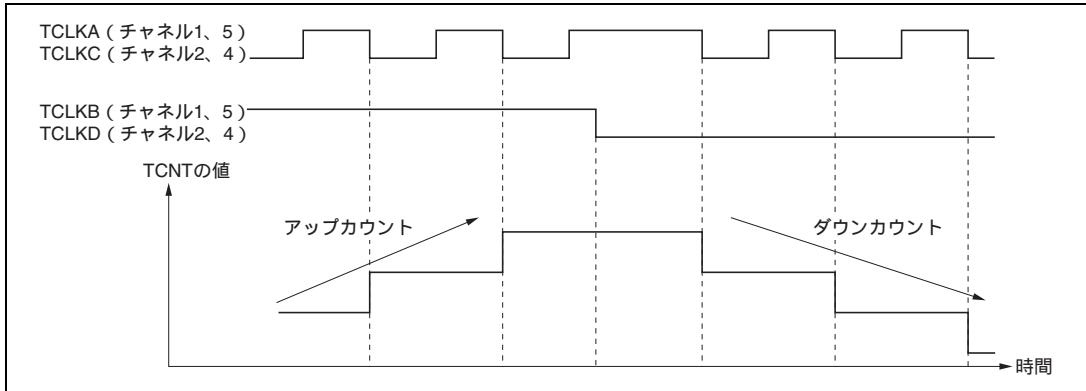


図 10.30 位相計数モード 2 の動作例

表 10.10 位相計数モード 2 のアップ / ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
H	$\uparrow$	don't care
L	$\downarrow$	don't care
$\uparrow$	L	don't care
$\downarrow$	H	アップカウント
H	$\downarrow$	don't care
L	$\uparrow$	don't care
$\uparrow$	H	don't care
$\downarrow$	L	ダウンカウント

## 【記号説明】

H : High レベル

L : Low レベル

 $\uparrow$  : 立ち上がりエッジ $\downarrow$  : 立ち下がりエッジ

## 10. 16ビットタイマパルス

### (c) 位相計数モード3

位相計数モード3の動作例を図10.31に、TCNTのアップ/ダウンカウント条件を表10.11に示します。

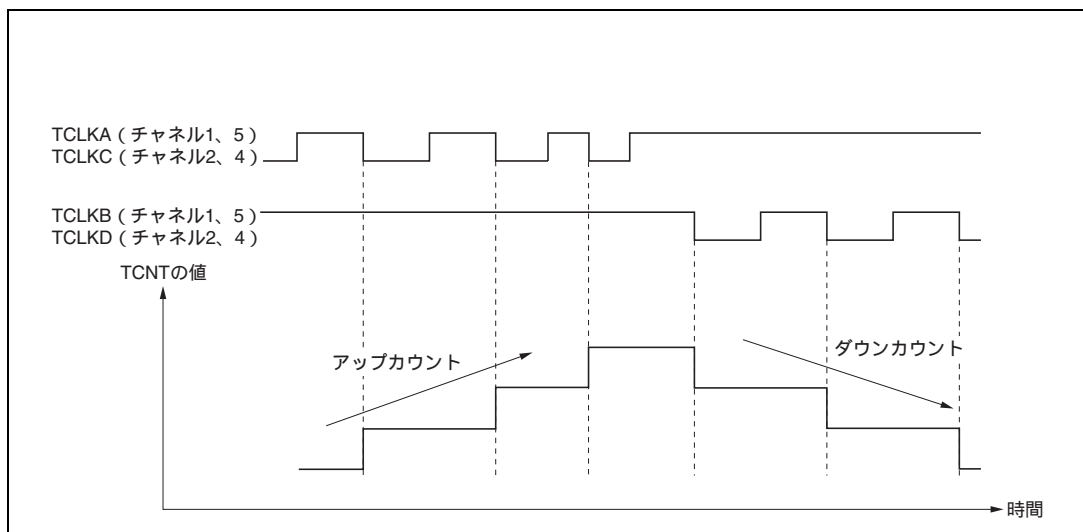


図 10.31 位相計数モード3の動作例

表 10.11 位相計数モード3のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
H	$\uparrow$	don't care
L	$\downarrow$	don't care
$\uparrow$	L	don't care
$\downarrow$	H	アップカウント
H	$\downarrow$	ダウンカウント
L	$\uparrow$	don't care
$\uparrow$	H	don't care
$\downarrow$	L	don't care

【記号説明】

H : High レベル

L : Low レベル

$\uparrow$  : 立ち上がりエッジ

$\downarrow$  : 立ち下がりエッジ

## (d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.32 に、TCNT のアップ / ダウンカウント条件を表 10.12 に示します。

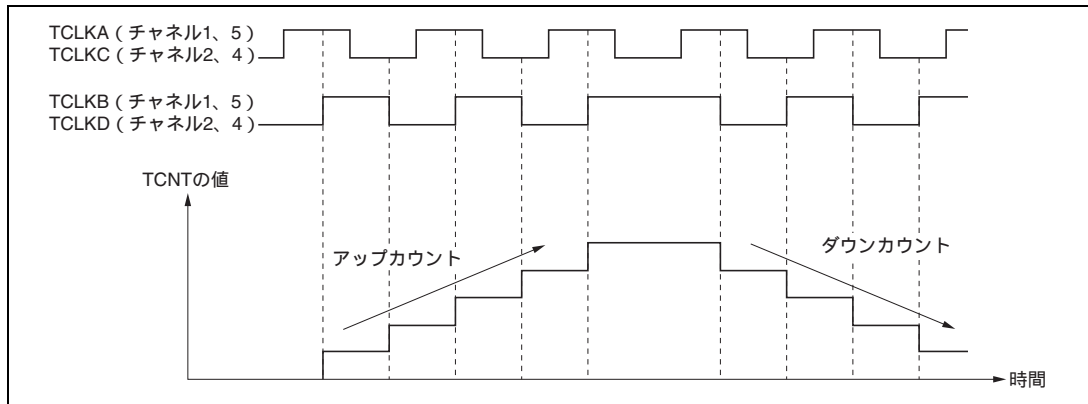


図 10.32 位相計数モード 4 の動作例

表 10.12 位相計数モード 4 のアップ / ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
H	$\uparrow$	アップカウント
L	$\downarrow$	アップカウント
$\uparrow$	L	don't care
$\downarrow$	H	don't care
H	$\downarrow$	ダウンカウント
L	$\uparrow$	ダウンカウント
$\uparrow$	H	don't care
$\downarrow$	L	don't care

## 【記号説明】

H : High レベル

L : Low レベル

 $\uparrow$  : 立ち上がりエッジ $\downarrow$  : 立ち下がりエッジ

## (3) 位相計数モード応用例

チャンネル1を位相計数モードに設定し、チャンネル0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図10.33に示します。

チャンネル1は位相計数モード1に設定し、TCLKAとTCLKBにエンコーダパルスのA相、B相を入力します。

チャンネル0はTCNTをTGR0Cのコンペアマッチでカウンタクリアとして動作させ、TGR0AとTGR0Cはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGR0Bは入力キャプチャ機能で使用し、TGR0BとTGR0Dをバッファ動作させます。TGR0Bの入力キャプチャ要因は、チャンネル1のカウンタ入力クロックとし、2相エンコーダの4通倍パルスのパルス幅の検出を行います。

チャンネル1のTGR1AとTGR1Bは、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGR0AとTGR0Cのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出が行うことができます。

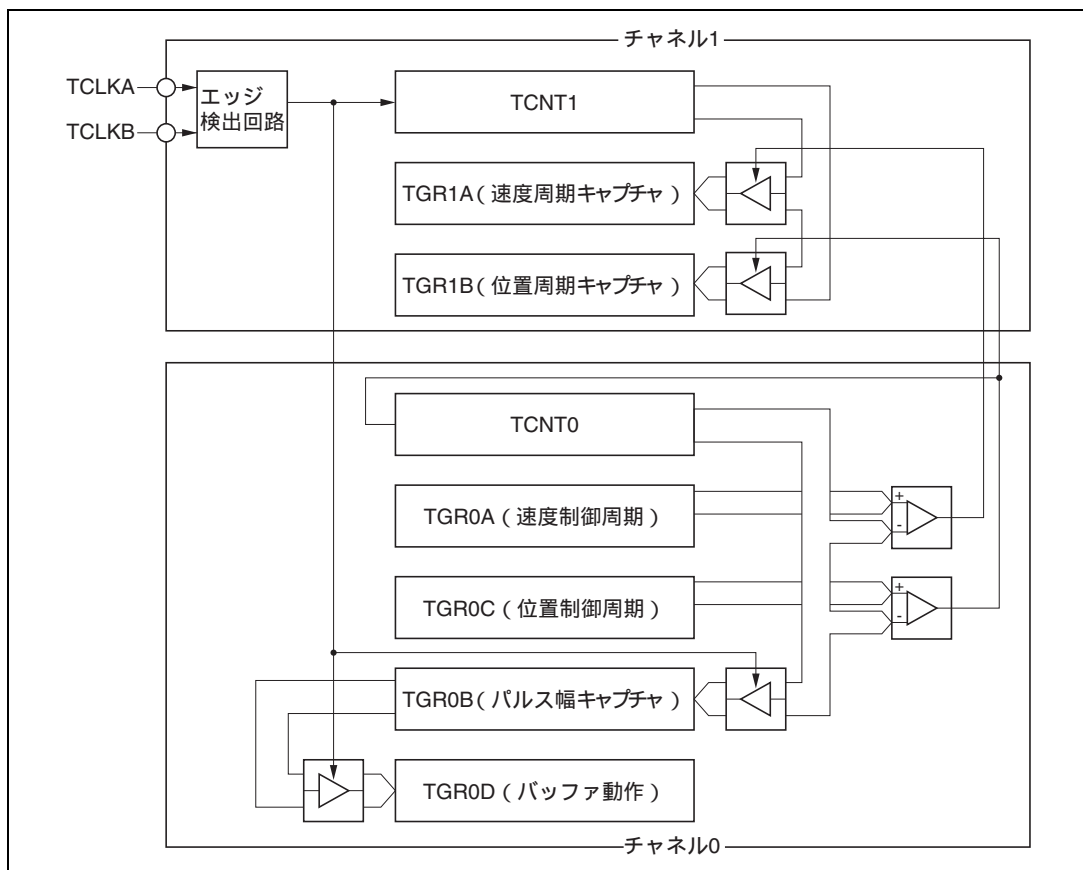


図 10.33 位相計数モードの応用例

## 10.5 割り込み

### 10.5.1 割り込み要因と優先順位

TPU の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

表 10.13 に TPU の割り込み要因の一覧を示します。

10. 16 ビットタイムパルス

表 10.13 TPU 割り込み一覧

チャンネル	割り込み要因	内 容	DMAC の起動	DTC の起動	優先順位
0	TGI0A	TGR0A のインプットキャプチャ / コンペアマッチ	可	可	↑ 高
	TGI0B	TGR0B のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI0C	TGR0C のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI0D	TGR0D のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI0V	TCNT0 のオーバフロー	不可	不可	
1	TGI1A	TGR1A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI1B	TGR1B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI1V	TCNT1 のオーバフロー	不可	不可	
	TCI1U	TCNT1 のアンダフロー	不可	不可	
2	TGI2A	TGR2A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI2B	TGR2B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI2V	TCNT2 のオーバフロー	不可	不可	
	TCI2U	TCNT2 のアンダフロー	不可	不可	
3	TGI3A	TGR3A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI3B	TGR3B のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI3C	TGR3C のインプットキャプチャ / コンペアマッチ	不可	可	
	TGI3D	TGR3D のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI3V	TCNT3 のオーバフロー	不可	不可	
4	TGI4A	TGR4A のインプットキャプチャ / コンペアマッチ	可	可	
	TGI4B	TGR4B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI4V	TCNT4 のオーバフロー	不可	不可	
	TCI4U	TCNT4 のアンダフロー	不可	不可	
5	TGI5A	TGR5A のインプットキャプチャ / コンペアマッチ	可	可	↓ 低
	TGI5B	TGR5B のインプットキャプチャ / コンペアマッチ	不可	可	
	TCI5V	TCNT5 のオーバフロー	不可	不可	
	TCI5U	TCNT5 のアンダフロー	不可	不可	

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。



### (1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

### (2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

### (3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

## 10.5.2 DTC / DMAC の起動

### (1) DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 8 章 データトランスファコントローラ」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

### (2) DMAC の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 7 章 DMA コントローラ」を参照してください。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

## 10.5.3 A/D 変換器の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

## 10.6 動作タイミング

### 10.6.1 入出力タイミング

#### (1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図10.34に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図10.35に示します。

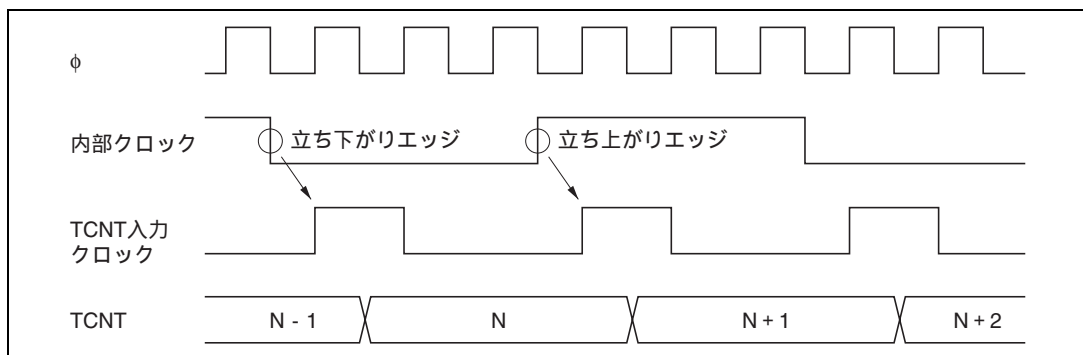


図 10.34 内部クロック動作時のカウンタタイミング

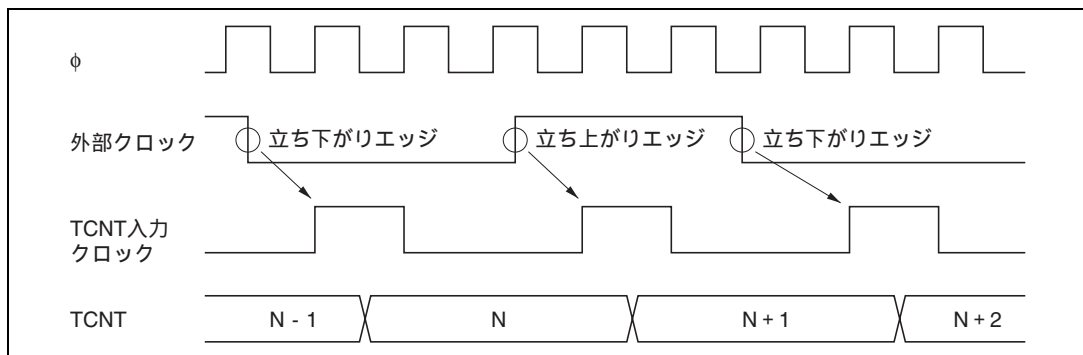


図 10.35 外部クロック動作時のカウンタタイミング

## (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.36 に示します。

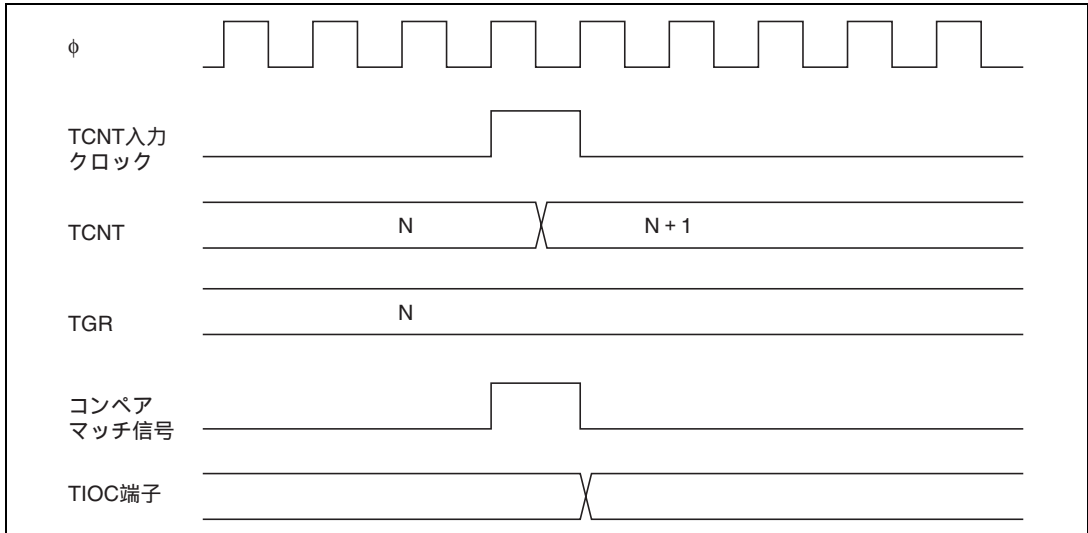


図 10.36 アウトプットコンペア出力タイミング

## (3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.37 に示します。

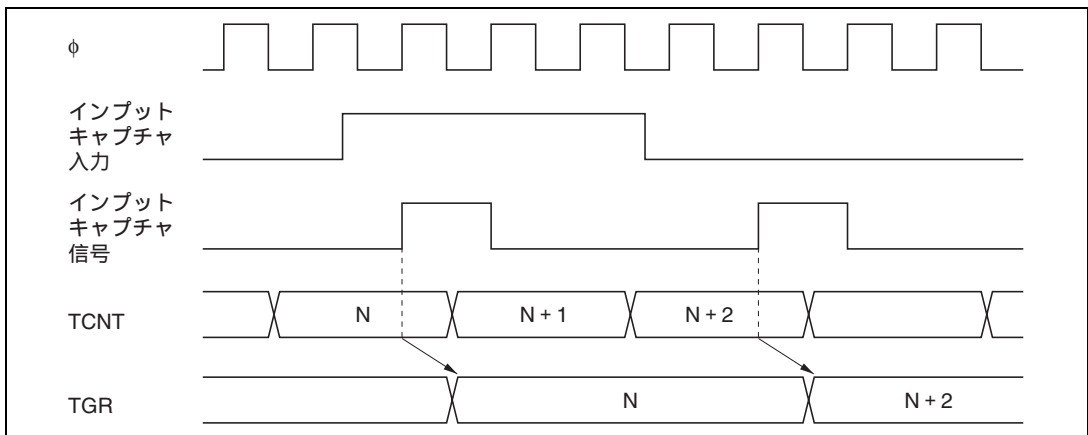


図 10.37 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.38 に示します。  
 インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.39 に示します。

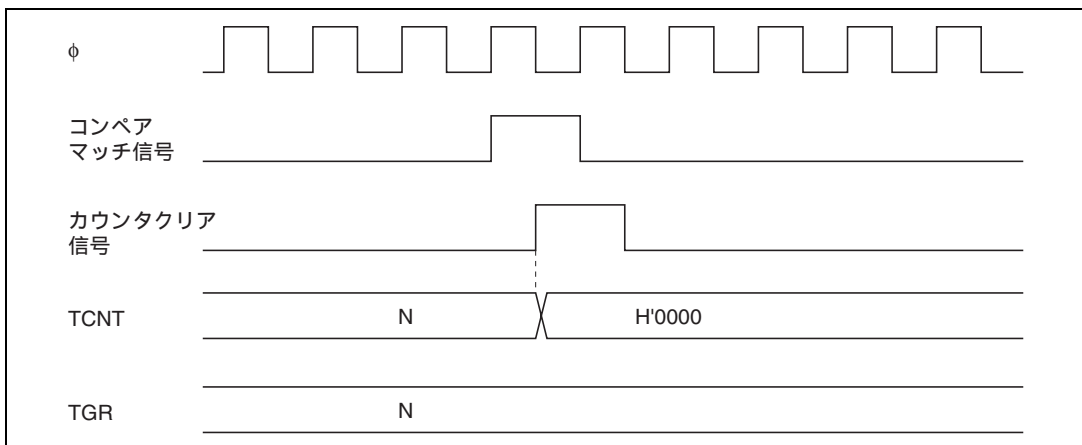


図 10.38 カウンタクリアタイミング (コンペアマッチ)

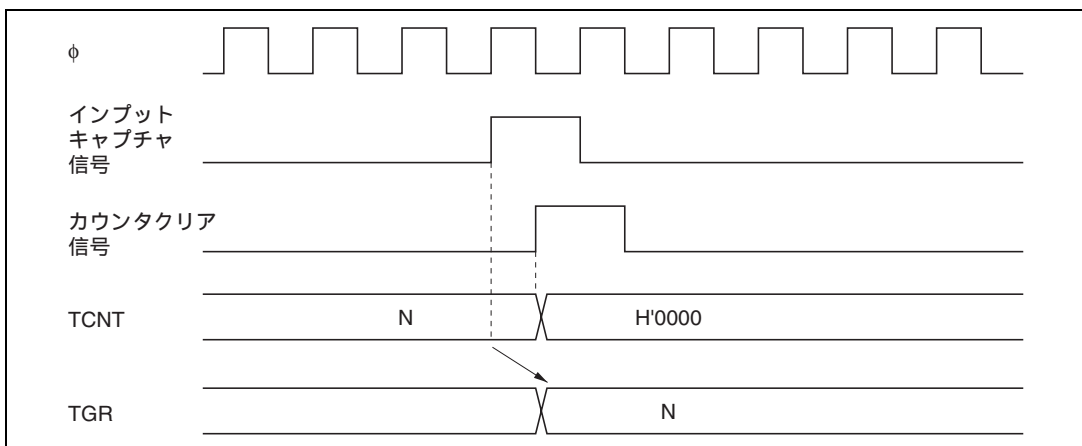


図 10.39 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.40、図 10.41 に示します。

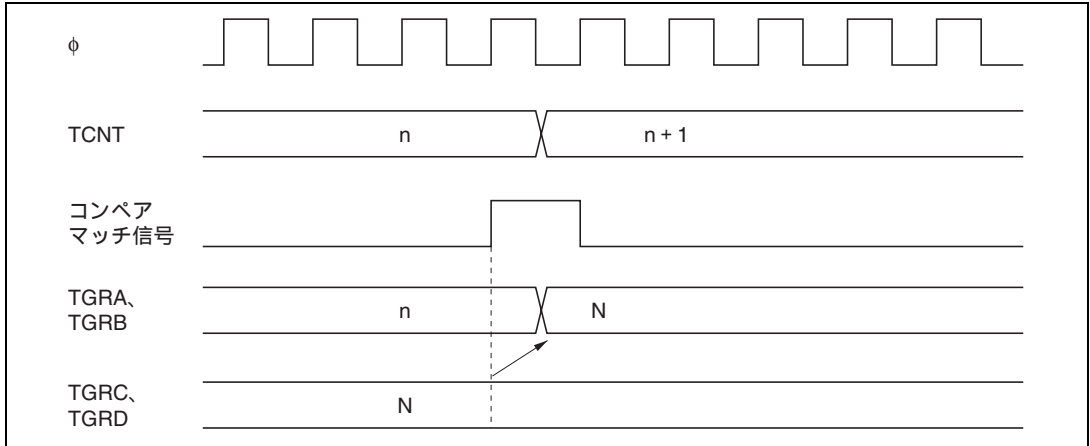


図 10.40 バッファ動作タイミング (コンペアマッチ)

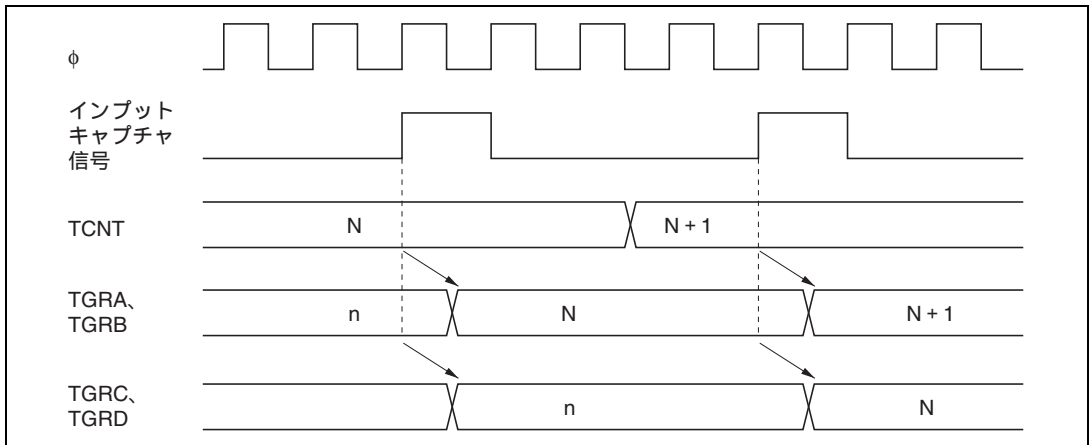


図 10.41 バッファ動作タイミング (インพุットキャプチャ)

## 10.6.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.42 に示します。

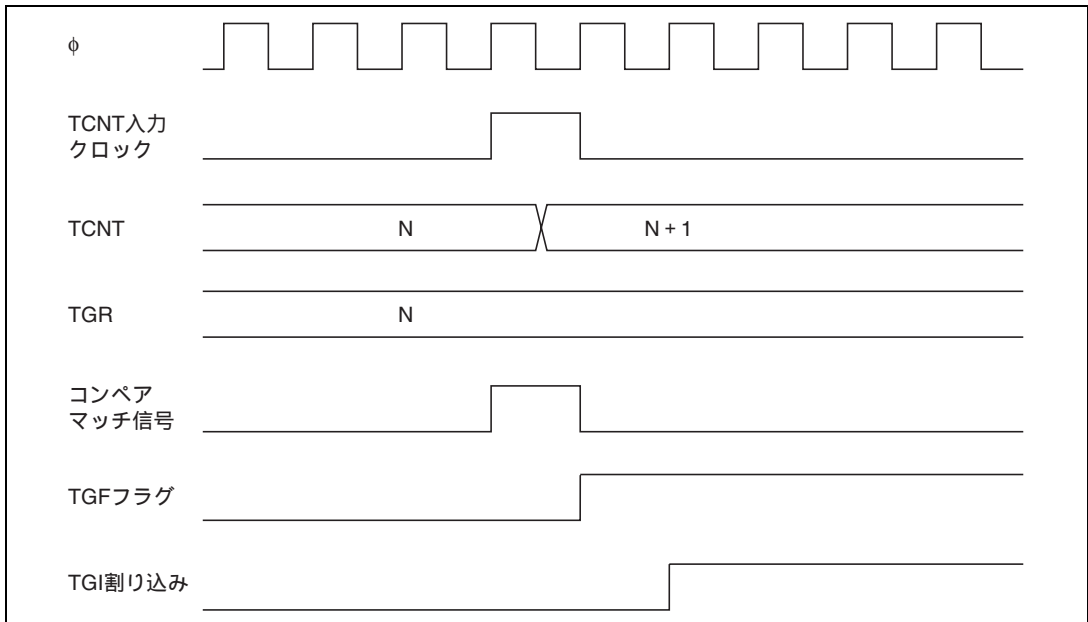


図 10.42 TGI 割り込みタイミング (コンペアマッチ)

## (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.43 に示します。

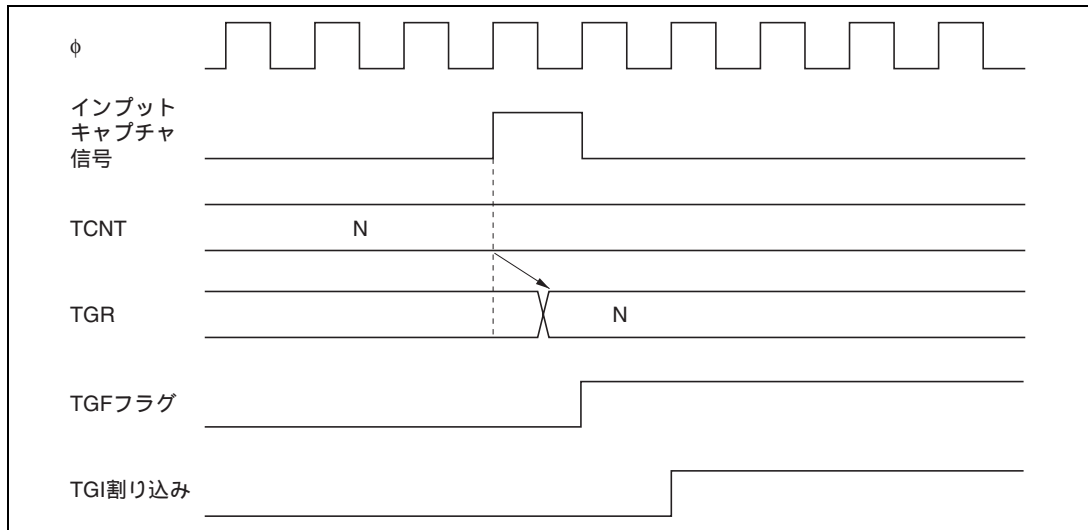


図 10.43 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.44 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.45 に示します。

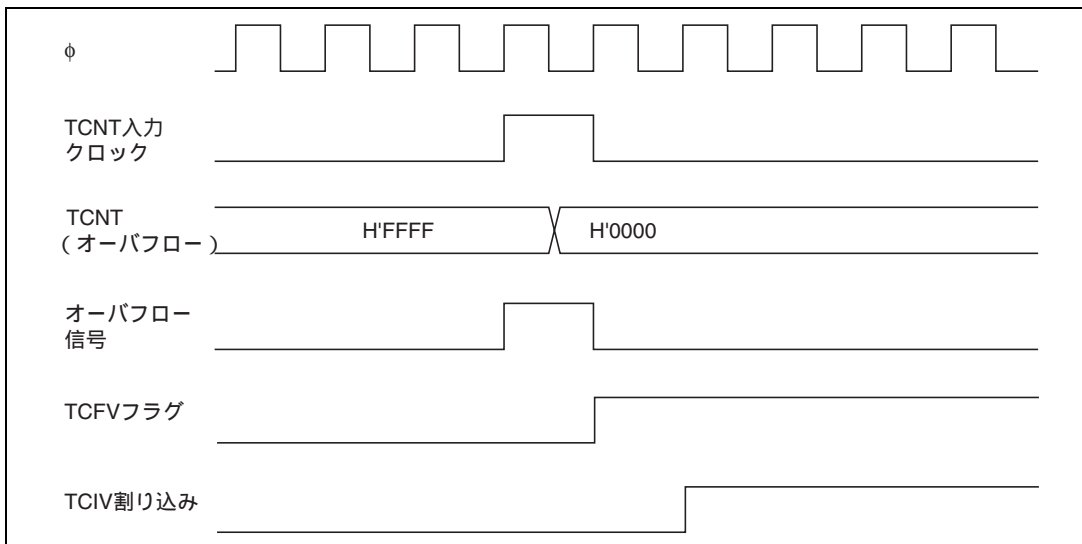


図 10.44 TCIV 割り込みのセットタイミング

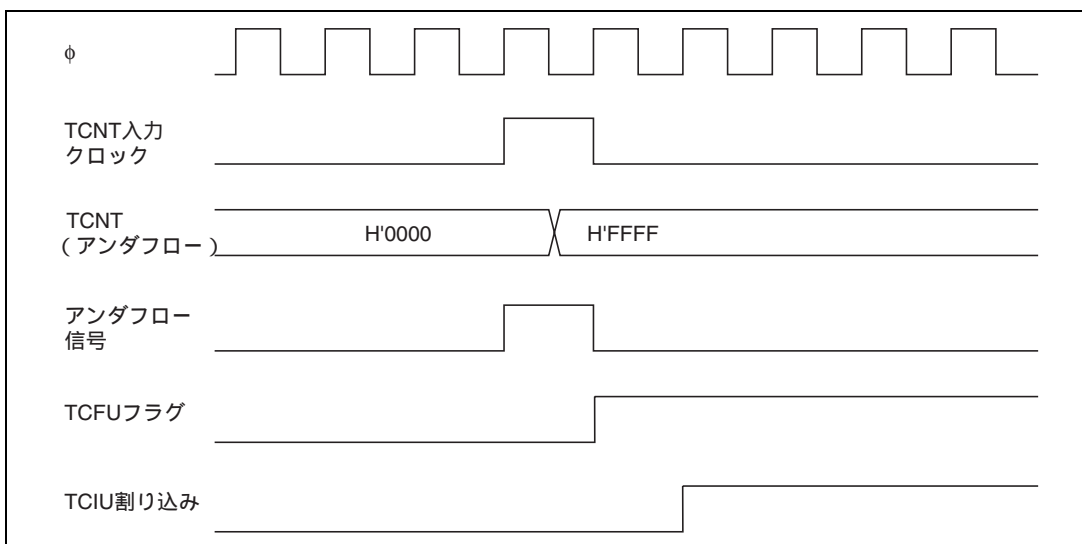


図 10.45 TCIU 割り込みのセットタイミング



## (4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCまたはDMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.46に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図10.47に示します。

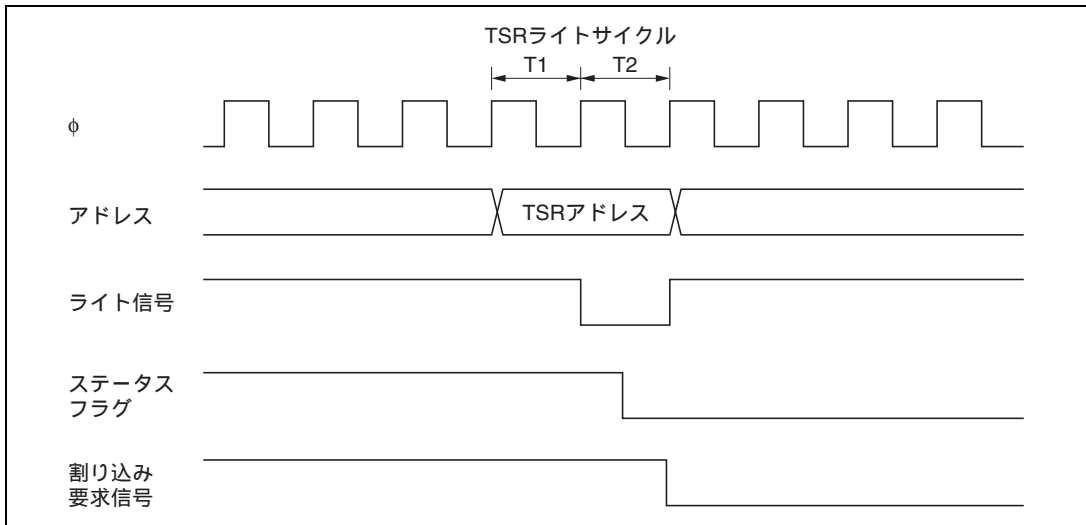


図 10.46 CPUによるステータスフラグのクリアタイミング

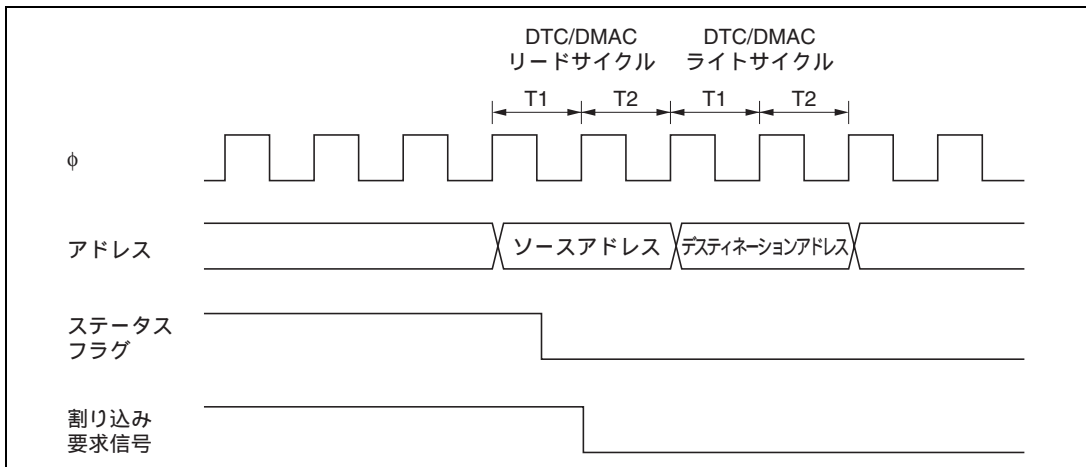


図 10.47 DTC/DMACの起動によるステータスフラグのクリアタイミング

## 10.7 使用上の注意

TPU の動作中、次のような動作や競合が起こりますので注意してください。

### (1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 10.48 に示します。

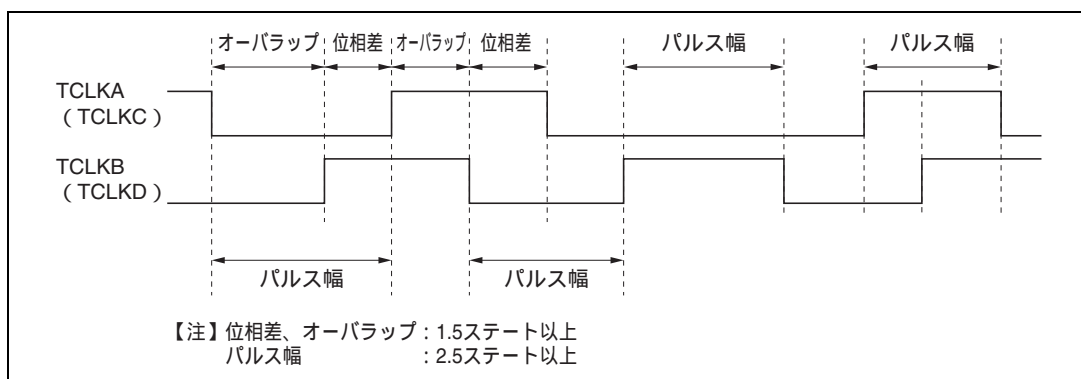


図 10.48 位相計数モード時の位相差、オーバーラップ、およびパルス幅

### (2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

$\phi$  : 動作周波数

N : TGR の設定値

## (3) TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.49 に示します。

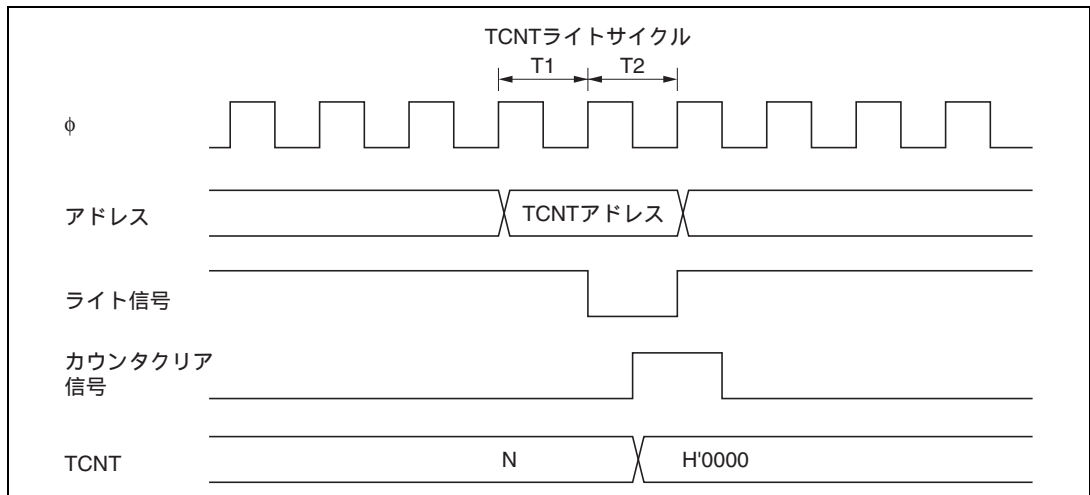


図 10.49 TCNT のライトとクリアの競合

(4) TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2状態で、カウントアップが発生しても、カウントアップされず、TCNTへのライトが優先されます。

このタイミングを図10.50に示します。

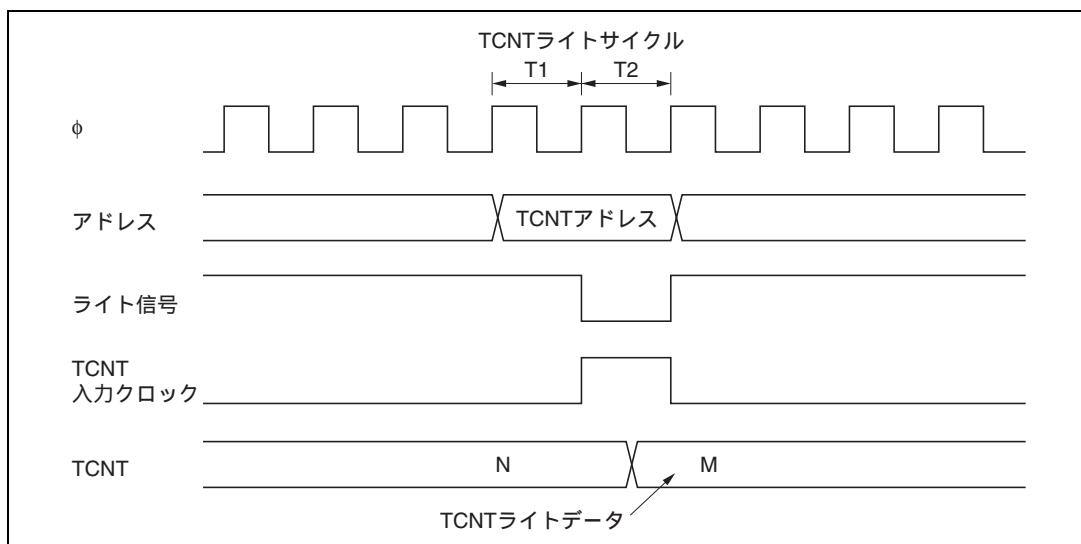


図 10.50 TCNTのライトとカウントアップの競合

## (5) TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても、TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.51 に示します。

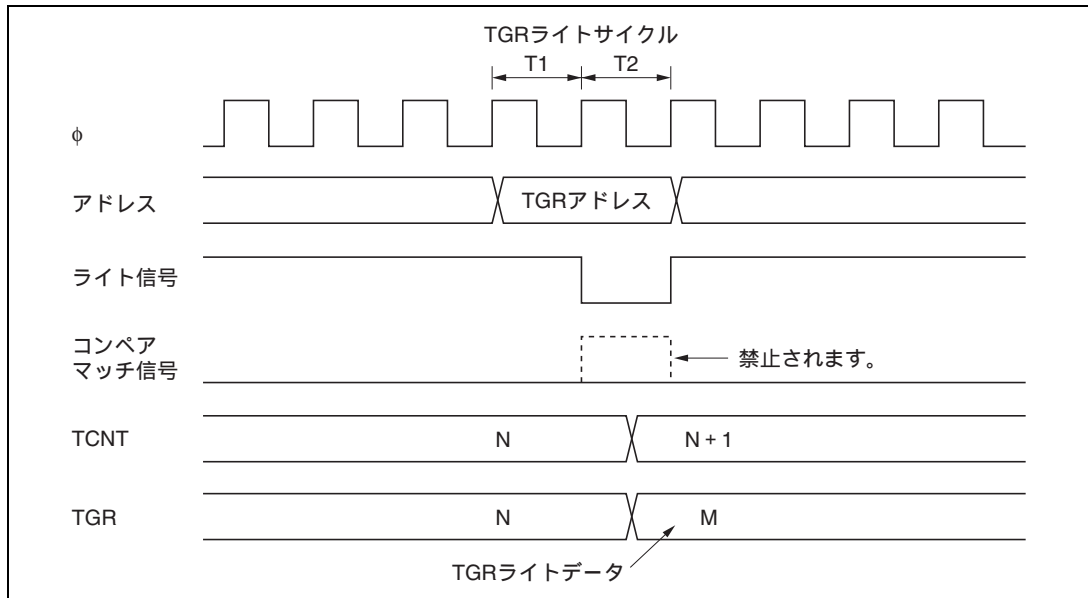


図 10.51 TGR のライトとコンペアマッチの競合

(6) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.52 に示します。

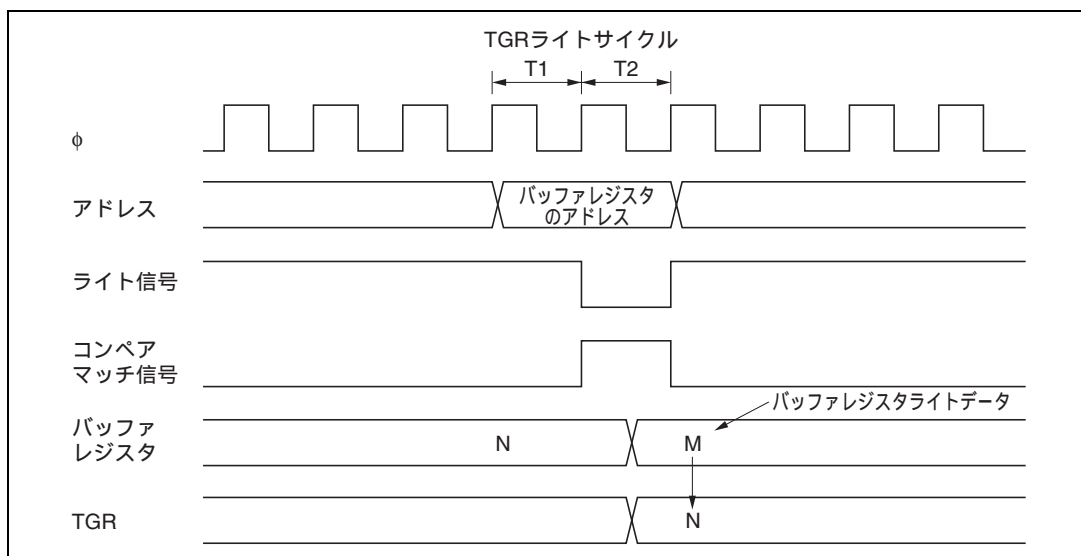


図 10.52 バッファレジスタのライトとコンペアマッチの競合

## (7) TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.53 に示します。

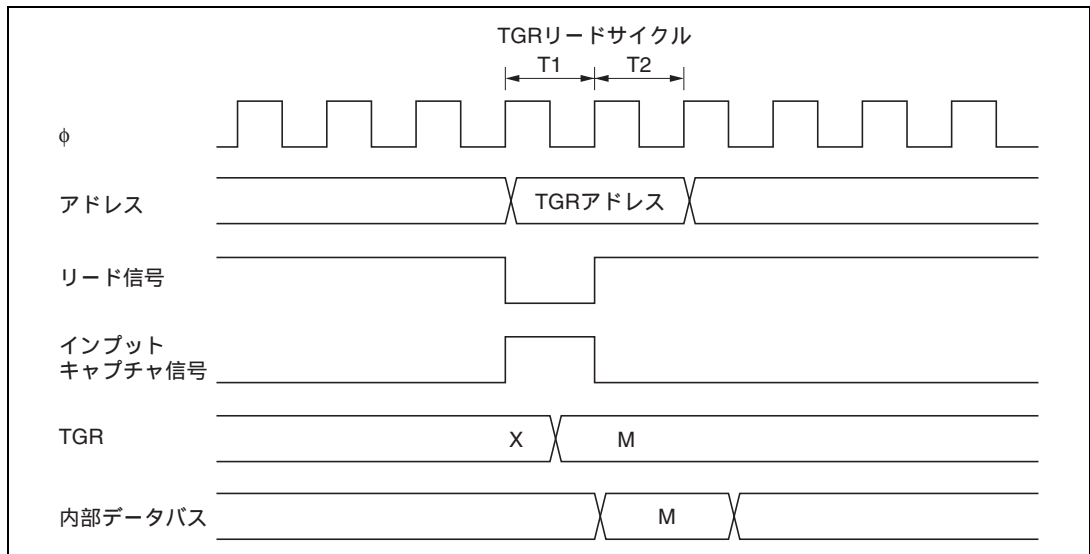


図 10.53 TGR のリードとインプットキャプチャの競合

(8) TGRのライトと入力キャプチャの競合

TGRのライトサイクル中のT2状態で入力キャプチャ信号が発生すると、TGRへのライトは行われず、入力キャプチャが優先されます。

このタイミングを図10.54に示します。

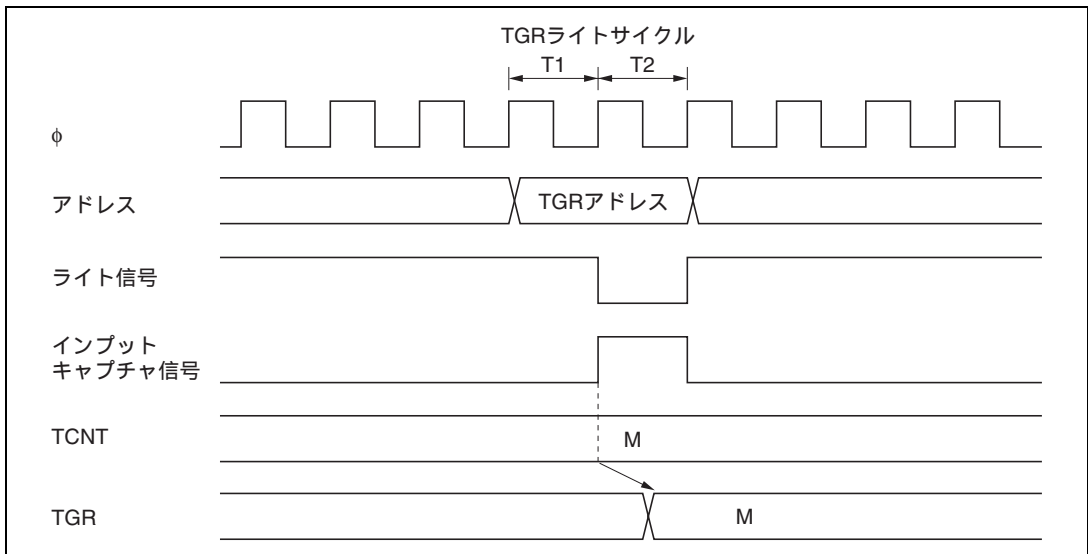


図 10.54 TGRのライトと入力キャプチャの競合



## (9) バッファレジスタのライトとインプットキャプチャの競合

バッファのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.55 に示します。

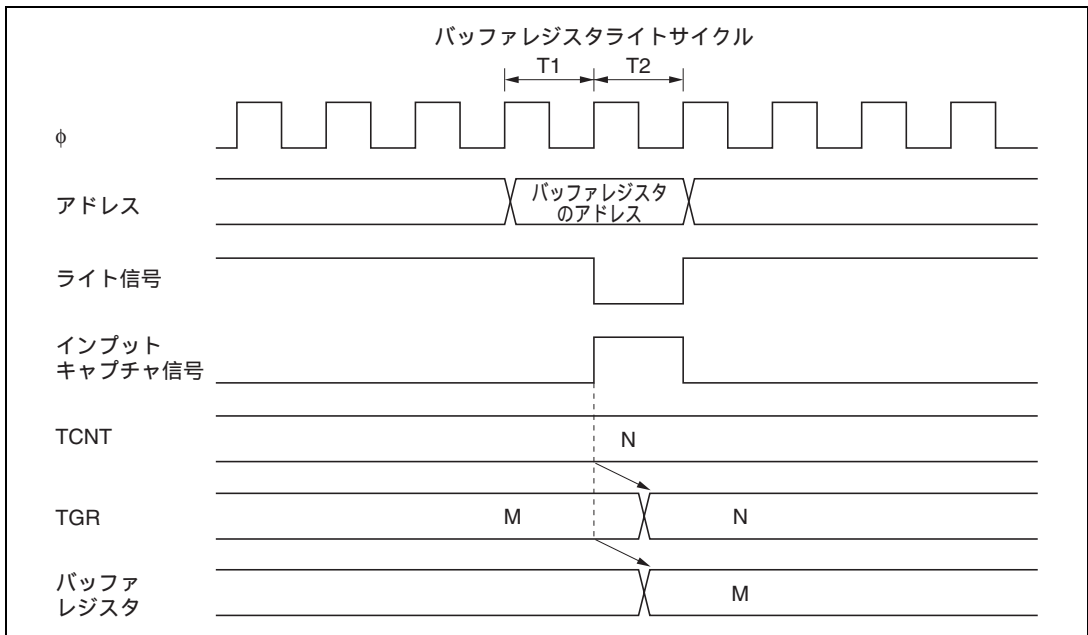


図 10.55 バッファレジスタのライトとインプットキャプチャの競合

(10) オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSRのTCFV/TCFUフラグはセットされず、TCNTのクリアが優先されます。

TGRのコンペアマッチをクリア要因とし、TGRにH'FFFFを設定した場合の動作タイミングを図10.56に示します。

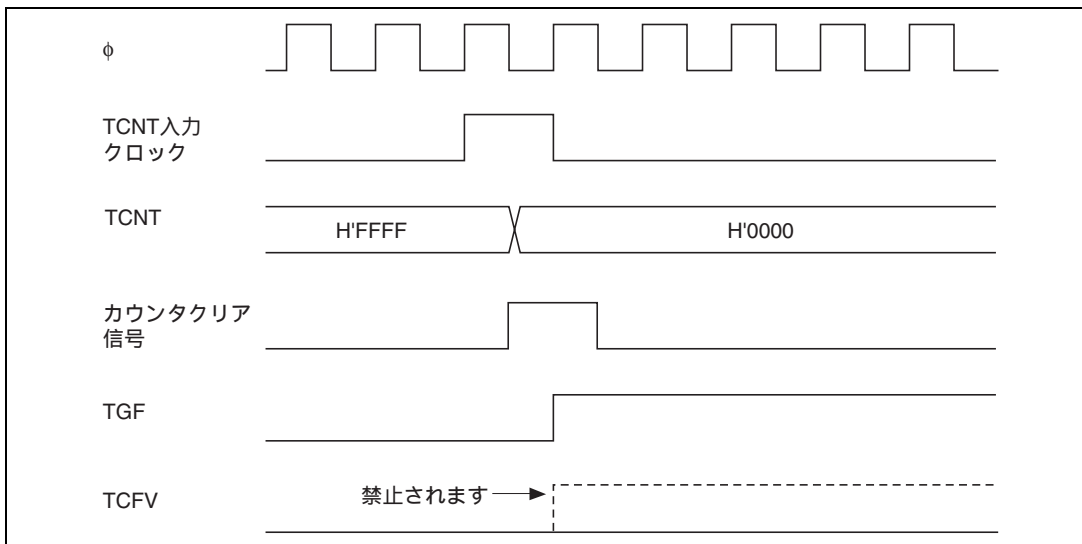


図 10.56 オーバフローとカウンタクリアの競合

## (11) TCNT のライトとオーバーフロー / アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ / カウントダウンが発生し、オーバーフロー / アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV / TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 10.57 に示します。

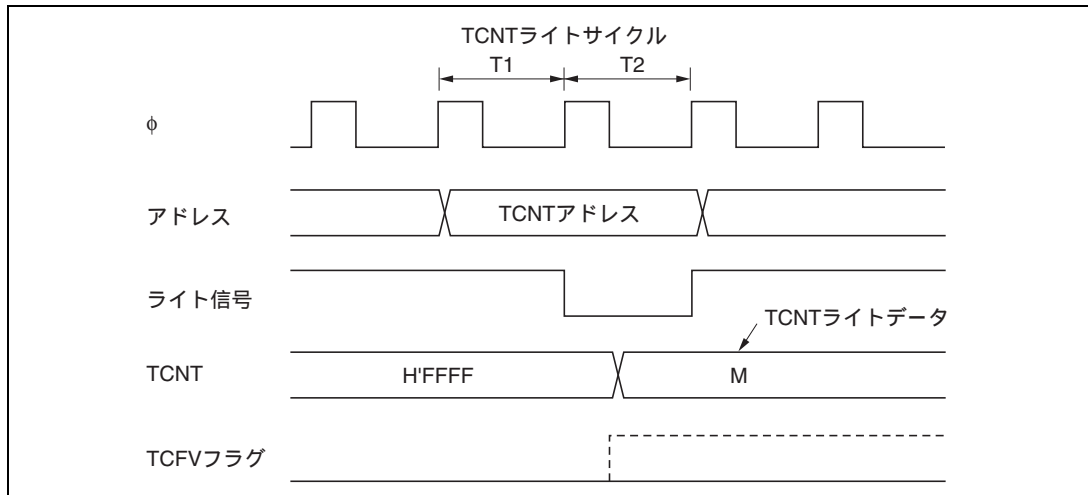


図 10.57 TCNT のライトとオーバーフローの競合

### (12) 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

### (13) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因または DMAC、DTC の起動要因がクリアできません。

事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

---

## 11. プログラマブルパルスジェネレータ (PPG)

---

### 11.1 概要

本 LSI は、16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルス出力を行うプログラマブルパルスジェネレータ (PPG) を内蔵しています。PPG は 4 ビット単位のパルス出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

#### 11.1.1 特長

PPG の特長を以下に示します。

出力データ 16 ビット

- 最大 16 ビットのデータ出力が可能で、パルス出力をビット単位に許可することができます。

4 系統の出力可能

- 4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×4 系統の出力を行うことができます。

出力トリガ信号を選択可能

- TPU の 4 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

ノンオーバーラップ動作

- 複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

データトランスファコントローラ (DTC)、DMA コントローラ (DMAC) との連携動作可能

- 出力トリガ信号に選択したコンペアマッチ信号で DTC または DMAC を起動することにより、CPU の介在なくデータを順次出力することができます。

反転出力の指定可能

- グループごとに、データに対する反転値を出力することができます。

## 11. プログラマブルパルスジェネレータ (PPG)

### 11.1.2 ブロック図

PPG のブロック図を図 11.1 に示します。

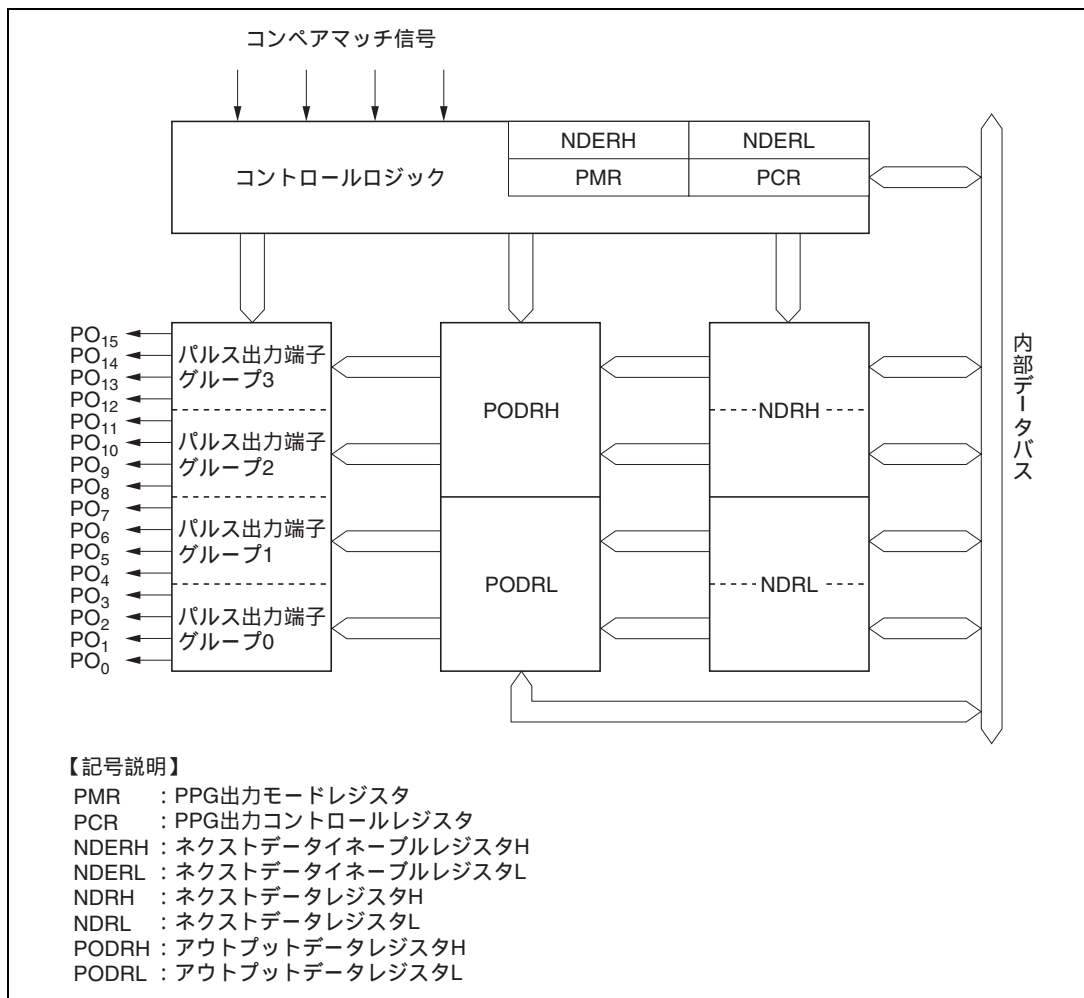


図 11.1 PPG のブロック図

## 11.1.3 端子構成

PPG の端子構成を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
パルス出力 0	PO <sub>0</sub>	出力	グループ 0 のパルス出力
パルス出力 1	PO <sub>1</sub>	出力	
パルス出力 2	PO <sub>2</sub>	出力	
パルス出力 3	PO <sub>3</sub>	出力	
パルス出力 4	PO <sub>4</sub>	出力	グループ 1 のパルス出力
パルス出力 5	PO <sub>5</sub>	出力	
パルス出力 6	PO <sub>6</sub>	出力	
パルス出力 7	PO <sub>7</sub>	出力	
パルス出力 8	PO <sub>8</sub>	出力	グループ 2 のパルス出力
パルス出力 9	PO <sub>9</sub>	出力	
パルス出力 10	PO <sub>10</sub>	出力	
パルス出力 11	PO <sub>11</sub>	出力	
パルス出力 12	PO <sub>12</sub>	出力	グループ 3 のパルス出力
パルス出力 13	PO <sub>13</sub>	出力	
パルス出力 14	PO <sub>14</sub>	出力	
パルス出力 15	PO <sub>15</sub>	出力	

## 11. プログラマブルパルスジェネレータ (PPG)

### 11.1.4 レジスタ構成

PPG のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
PPG 出力コントロールレジスタ	PCR	R/W	H'FF	H'FF46
PPG 出力モードレジスタ	PMR	R/W	H'F0	H'FF47
ネクストデータインーブルレジスタ H	NDERH	R/W	H'00	H'FF48
ネクストデータインーブルレジスタ L	NDERL	R/W	H'00	H'FF49
アウトプットデータレジスタ H	PODRH	R/(W)*2	H'00	H'FF4A
アウトプットデータレジスタ L	PODRL	R/(W)*2	H'00	H'FF4B
ネクストデータレジスタ H	NDRH	R/W	H'00	H'FF4C*3 H'FF4E
ネクストデータレジスタ L	NDRL	R/W	H'00	H'FF4D*3 H'FF4F
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FEB0
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FEB1
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 パルス出力として使用しているビットは、ライトできません。

\*3 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FF4E、グループ 3 に対する NDRH のアドレスは H'FF4C となります。  
同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FF4F、グループ 1 に対する NDRL のアドレスは H'FF4D となります。



## 11.2 各レジスタの説明

### 11.2.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDERL

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDERH、NDERL はそれぞれ 8 ビットのリード/ライト可能なレジスタで、パルス出力の許可または禁止をビット単位で選択します。

NDER によりパルス出力が許可されたビットは、PCR で選択された TPU のコンペアマッチが発生すると、NDR の値が PODR の当該ビットに自動転送され出力値が更新されます。パルス出力が禁止されているビットについては、NDR から PODR への転送は行われず出力値も変化しません。

NDER はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7~0 : ネクストデータイネーブル 15~8 (NDER15~NDER8)

パルス出力の許可または禁止をビット単位で選択します。

ビット 7~0	説明
0	パルス出力 PO <sub>15</sub> ~PO <sub>8</sub> を禁止 (NDR15~NDR8 から POD15~POD8 への転送禁止) (初期値)
1	パルス出力 PO <sub>15</sub> ~PO <sub>8</sub> を許可 (NDR15~NDR8 から POD15~POD8 への転送許可)

## 11. プログラマブルパルスジェネレータ (PPG)

ビット 7~0 : ネクストデータイネーブル 7~0 (NDR7~NDR0)

パルス出力の許可または禁止をビット単位で選択します。

ビット 7~0	説明
NDR7~NDR0	
0	パルス出力 PO <sub>7</sub> ~PO <sub>0</sub> を禁止 (NDR7~NDR0 から POD7~POD0 への転送禁止) (初期値)
1	パルス出力 PO <sub>7</sub> ~PO <sub>0</sub> を許可 (NDR7~NDR0 から POD7~POD0 への転送許可)

### 11.2.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH

ビット :	7	6	5	4	3	2	1	0
	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

PODRL

ビット :	7	6	5	4	3	2	1	0
	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】\* NDRにより、パルス出力に設定されたビットはリード専用となります。

PODRH、PODRL は 8 ビットのリード/ライト可能なレジスタで、パルス出力を使用する場合の出力データを格納します。

### 11.2.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は 8 ビットのリード/ライト可能なレジスタで、パルス出力の次のデータを格納します。パルス出力を行う場合、PCR で指定した TPU のコンペアマッチが発生したときに、NDR の内容が PODR の対応するビットに転送されます。NDR のアドレスは、パルス出力グループの出力トリガの選択により異なります。詳細は「11.2.4 NDR アクセス時の注意」を参照してください。

NDR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

### 11.2.4 NDR アクセス時の注意

NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なるように設定した場合とで異なります。

#### (1) パルス出力グループの出力トリガが同一の場合

パルス出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRH のアドレスは H'FF4C となります。グループ 3、2 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FF4E はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

##### (a) アドレス : H'FF4C

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

##### (b) アドレス : H'FF4E

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

パルス出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRL のアドレスは H'FF4D となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FF4F はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

##### (a) アドレス : H'FF4D

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 11. プログラマブルパルスジェネレータ (PPG)

---

(b) アドレス : H'FF4F

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

(2) パルス出力グループの出カトリガが異なる場合

パルス出力グループ 2、3 の出カトリガとなるコンペアマッチを別にする、NDRH の上位 4 ビット (グループ 3) のアドレスは H'FF4C、NDRH の下位 4 ビット (グループ 2) のアドレスは H'FF4E となります。このとき、アドレス H'FF4C のビット 3~0、アドレス H'FF4E のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FF4C

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

(b) アドレス : H'FF4E

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

パルス出力グループ 0、1 の出カトリガとなるコンペアマッチを別にする、NDRL の上位 4 ビット (グループ 1) のアドレスは H'FF4D、NDRL の下位 4 ビット (グループ 0) のアドレスは H'FF4F となります。このとき、アドレス H'FF4D のビット 3~0、アドレス H'FF4F のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FF4D

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

(b) アドレス : H'FF4F

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

### 11.2.5 PPG 出力コントロールレジスタ (PCR)

ビット :	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCR は 8 ビットのリード/ライト可能なレジスタでパルス出力の出力トリガ信号をグループ単位で選択します。

PCR は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7、6 : グループ 3 コンペアマッチセレクト 1、0 (G3CMS1、G3CMS0)

パルス出力グループ 3 (PO<sub>15</sub> ~ PO<sub>12</sub> 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 7	ビット 6	説明
G3CMS1	G3CMS0	パルス出力グループ 3 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

ビット 5、4 : グループ 2 コンペアマッチセレクト 1、0 (G2CMS1、G2CMS0)

パルス出力グループ 2 (PO<sub>11</sub> ~ PO<sub>8</sub> 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 5	ビット 4	説明
G2CMS1	G2CMS0	パルス出力グループ 2 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

## 11. プログラマブルパルスジェネレータ (PPG)

---

ビット 3、2 : グループ 1 コンペアマッチセレクト 1、0 (G1CMS1、G1CMS0)

パルス出力グループ 1 (PO<sub>7</sub>~PO<sub>4</sub>端子) の出力トリガとなるコンペアマッチを選択します。

ビット 3	ビット 2	説 明
G1CMS1	G1CMS0	パルス出力グループ 1 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

ビット 1、0 : グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

パルス出力グループ 0 (PO<sub>3</sub>~PO<sub>0</sub>端子) の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説 明
G0CMS1	G0CMS0	パルス出力グループ 0 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

## 11.2.6 PPG 出力モードレジスタ (PMR)

ビット :	7	6	5	4	3	2	1	0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値 :	1	1	1	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR は 8 ビットのリード/ライト可能なレジスタで、パルス出力の反転の設定、およびノンオーバーラップ動作の設定をグループ単位で指定します。

ノンオーバーラップ動作の PPG 出力は、出力トリガとなる TPU の TGRB に出力波形の周期を、また TGRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「11.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

PMR はリセットまたはハードウェアスタンバイモード時に H'F0 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

## ビット 7 : グループ 3 インバート (G3INV)

パルス出力グループ 3 (PO<sub>15</sub> ~ PO<sub>12</sub> 端子) を直接出力させるか反転出力させるかを選択します。

ビット 7	説明
G3INV	
0	パルス出力グループ 3 は、反転出力 (PODRH の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 3 は、直接出力 (PODRH の内容 1 に対して、端子に High レベルを出力) (初期値)

## ビット 6 : グループ 2 インバート (G2INV)

パルス出力グループ 2 (PO<sub>11</sub> ~ PO<sub>8</sub> 端子) を直接出力させるか反転出力させるかを選択します。

ビット 6	説明
G2INV	
0	パルス出力グループ 2 は、反転出力 (PODRH の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 2 は、直接出力 (PODRH の内容 1 に対して、端子に High レベルを出力) (初期値)

## 11. プログラマブルパルスジェネレータ (PPG)

### ビット 5 : グループ 1 インバート (G1INV)

パルス出力グループ 1 (PO<sub>7</sub> ~ PO<sub>4</sub> 端子) を直接出力させるか反転出力させるかを選択します。

ビット 5	説 明
G1INV	
0	パルス出力グループ 1 は、反転出力 (PODRL の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 1 は、直接出力 (PODRL の内容 1 に対して、端子に High レベルを出力) (初期値)

### ビット 4 : グループ 0 インバート (G0INV)

パルス出力グループ 0 (PO<sub>3</sub> ~ PO<sub>0</sub> 端子) を直接出力させるか反転出力させるかを選択します。

ビット 4	説 明
G0INV	
0	パルス出力グループ 0 は、反転出力 (PODRL の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 0 は、直接出力 (PODRL の内容 1 に対して、端子に High レベルを出力) (初期値)

### ビット 3 : グループ 3 ノンオーバーラップ (G3NOV)

パルス出力グループ 3 (PO<sub>15</sub> ~ PO<sub>12</sub> 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 3	説 明
G3NOV	
0	パルス出力グループ 3 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) (初期値)
1	パルス出力グループ 3 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に出力可能)

### ビット 2 : グループ 2 ノンオーバーラップ (G2NOV)

パルス出力グループ 2 (PO<sub>11</sub> ~ PO<sub>8</sub> 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	説 明
G2NOV	
0	パルス出力グループ 2 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新します。) (初期値)
1	パルス出力グループ 2 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)



## ビット 1: グループ 1 ノンオーバーラップ (G1NOV)

パルス出力グループ 1 (PO<sub>7</sub>~PO<sub>4</sub>端子)を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 1	説 明
G1NOV	
0	パルス出力グループ 1 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新します。) (初期値)
1	パルス出力グループ 1 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

## ビット 0: グループ 0 ノンオーバーラップ (G0NOV)

パルス出力グループ 0 (PO<sub>3</sub>~PO<sub>0</sub>端子)を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット	説 明
G0NOV	
0	パルス出力グループ 0 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新します。) (初期値)
1	パルス出力グループ 0 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

## 11.2.7 ポート 1 データディレクションレジスタ (P1DDR)

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。

ポート 1 は PO<sub>15</sub>~PO<sub>8</sub>端子との兼用端子となっています。PPG 出力を行う端子に対応するビットは 1 にセットしてください。

P1DDR の詳細は、「9.2 ポート 1」を参照してください。

## 11. プログラマブルパルスジェネレータ (PPG)

### 11.2.8 ポート 2 データディレクションレジスタ (P2DDR)

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P2DDR は、8 ビットのライト専用レジスタで、ポート 2 の各端子の入出力をビットごとに指定します。

ポート 2 は PO<sub>7</sub> ~ PO<sub>0</sub> 端子との兼用端子となっています。PPG 出力を行う端子に対応するビットは 1 にセットしてください。

P2DDR の詳細は、「9.3 ポート 2」を参照してください。

### 11.2.9 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCR <sub>H</sub>							MSTPCR <sub>L</sub>								
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP11 ビットを 1 にセットすると、バスサイクルの終了時点で PPG は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 11 : モジュールストップ (MSTP11)

PPG のモジュールストップモードを指定します。

ビット 11	説明
MSTP11	
0	PPG のモジュールストップモード解除
1	PPG のモジュールストップモード設定 (初期値)

## 11.3 動作説明

### 11.3.1 概要

PPG のパルス出力は、P1DDR、P2DDR、NDR の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PODR の内容が出力されます。

その後、PCR で指定したコンペアマッチが発生すると、ビットに対する NDR の内容がそれぞれ PODR に転送され、出力値が更新されます。

PPG 出力動作を図 11.2 に示します。また、PPG 動作条件を表 11.3 に示します。

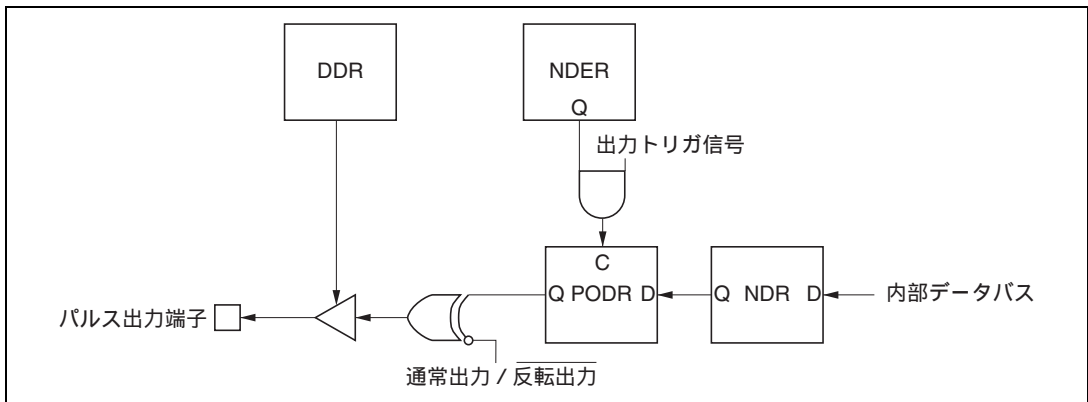


図 11.2 PPG 出力動作

表 11.3 PPG 動作条件

NDR	DDR	端子機能
		0
1	1	出力ポート
	0	入力ポート(ただし、コンペアマッチ時に NDR から PODR の転送を行い、PODR へのライトはできません)
	1	PPG パルス出力

次のコンペアマッチが発生するまでに NDR に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

### 11.3.2 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。

このタイミングを図 11.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

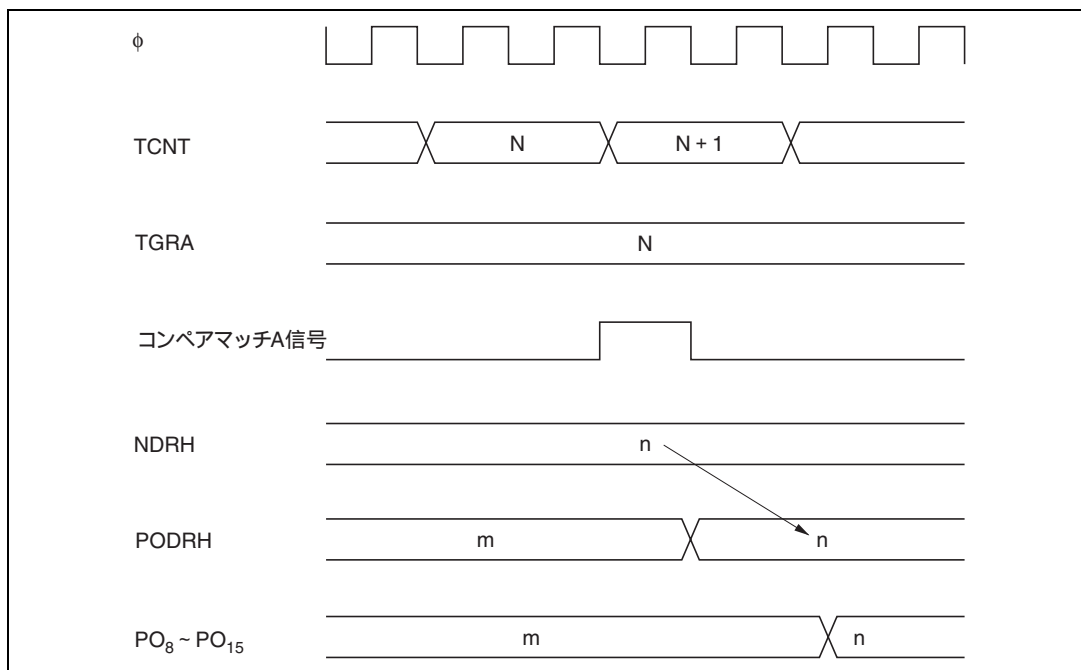


図 11.3 NDR の内容が転送・出力されるタイミング例

### 11.3.3 パルス出力通常動作

(1) パルス出力通常動作の設定手順例

パルス出力通常動作の設定手順例を図 11.4 に示します。

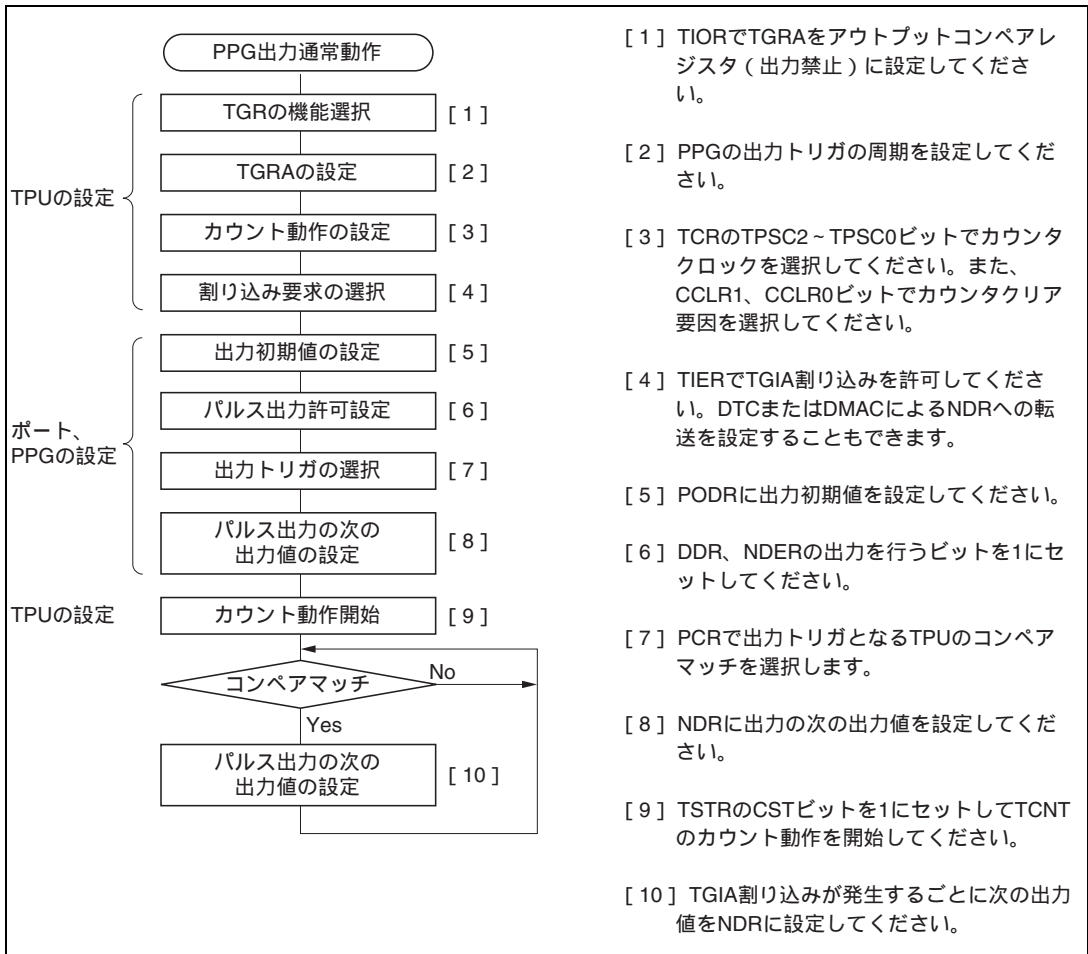


図 11.4 パルス出力通常動作の設定手順例

## 11. プログラマブルパルスジェネレータ (PPG)

### (2) パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図 11.5 に示します。

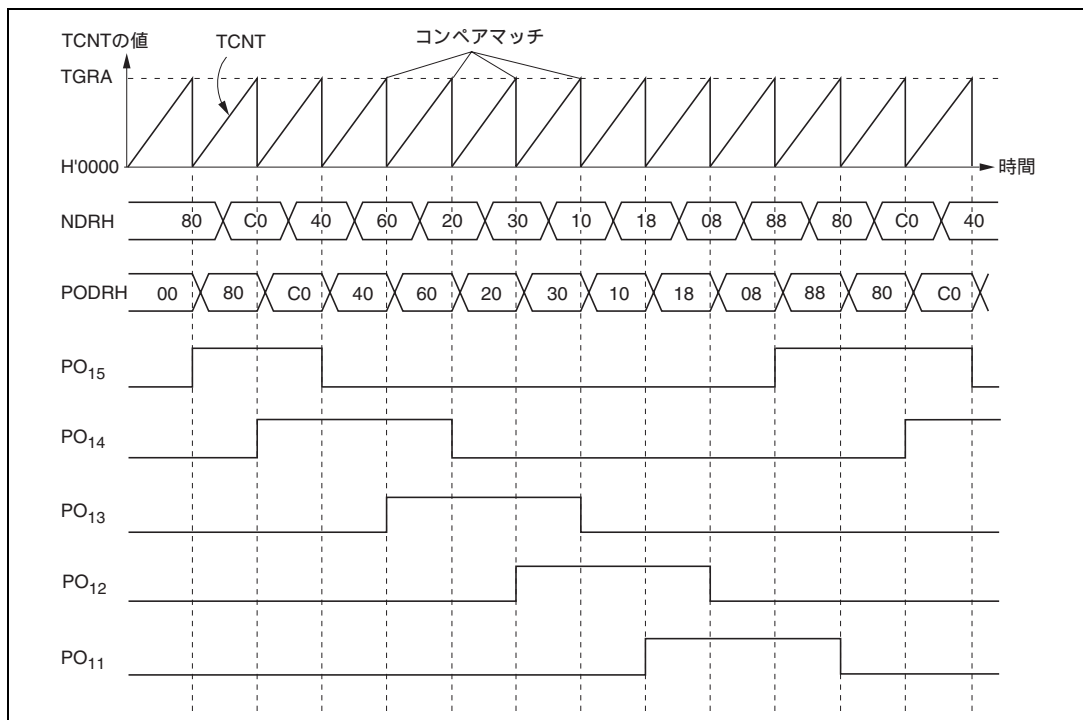


図 11.5 パルス出力通常動作例 (5相パルス出力例)

- [ 1 ] 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- [ 2 ] P1DDR、NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0により出力トリガを [ 1 ] で選択したTPUのコンペアマッチに設定します。NDRHに出力データH'80をライトします。
- [ 3 ] TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- [ 4 ] 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1 - 2相パルス出力を行うことができます。  
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

### 11.3.4 パルス出力ノンオーバーラップ動作

(1) パルス出力ノンオーバーラップ動作の設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 11.6 に示します。

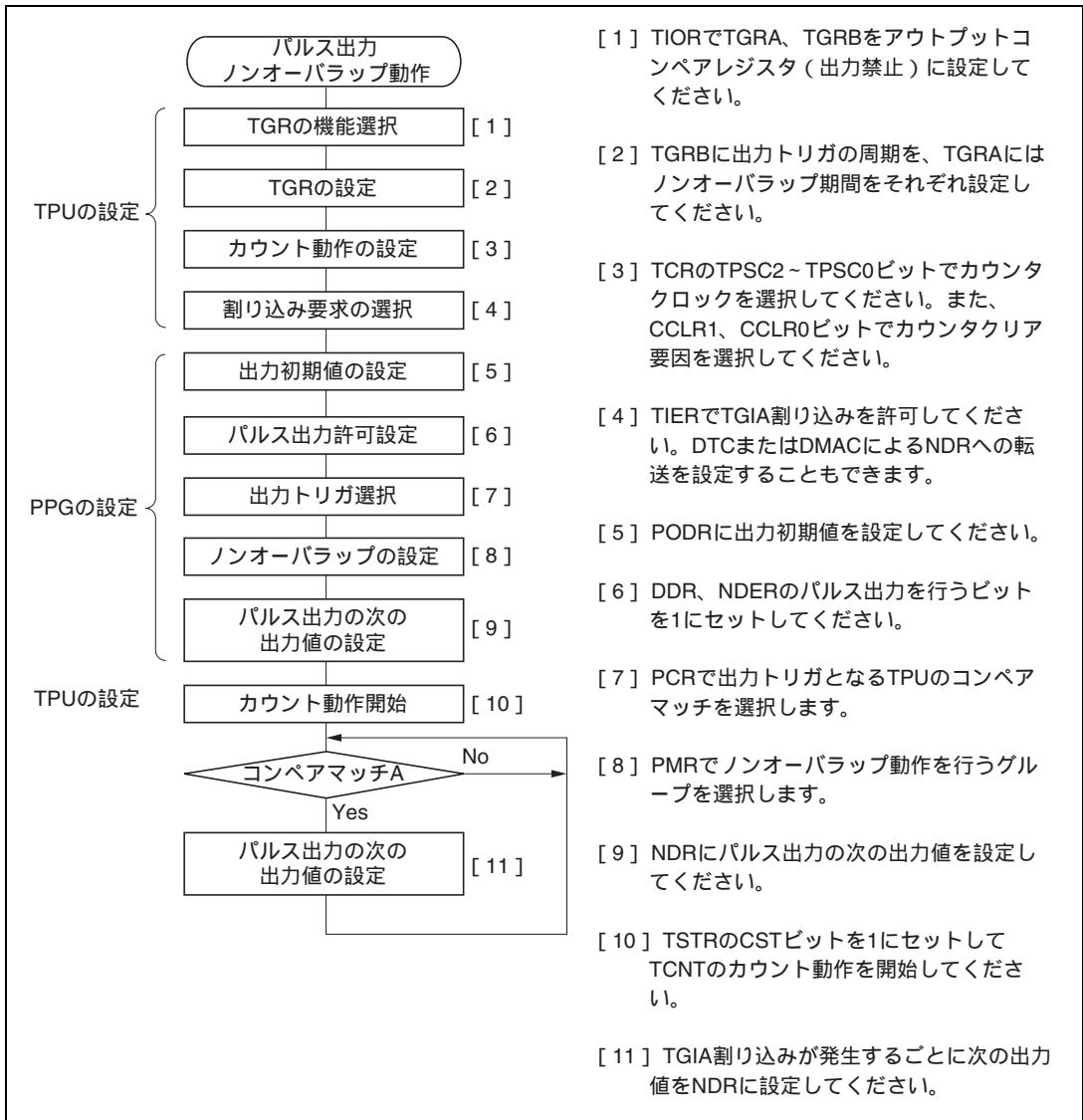


図 11.6 パルス出力ノンオーバーラップ動作の設定手順例

## 11. プログラマブルパルスジェネレータ (PPG)

### (2) パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図 11.7 に示します。

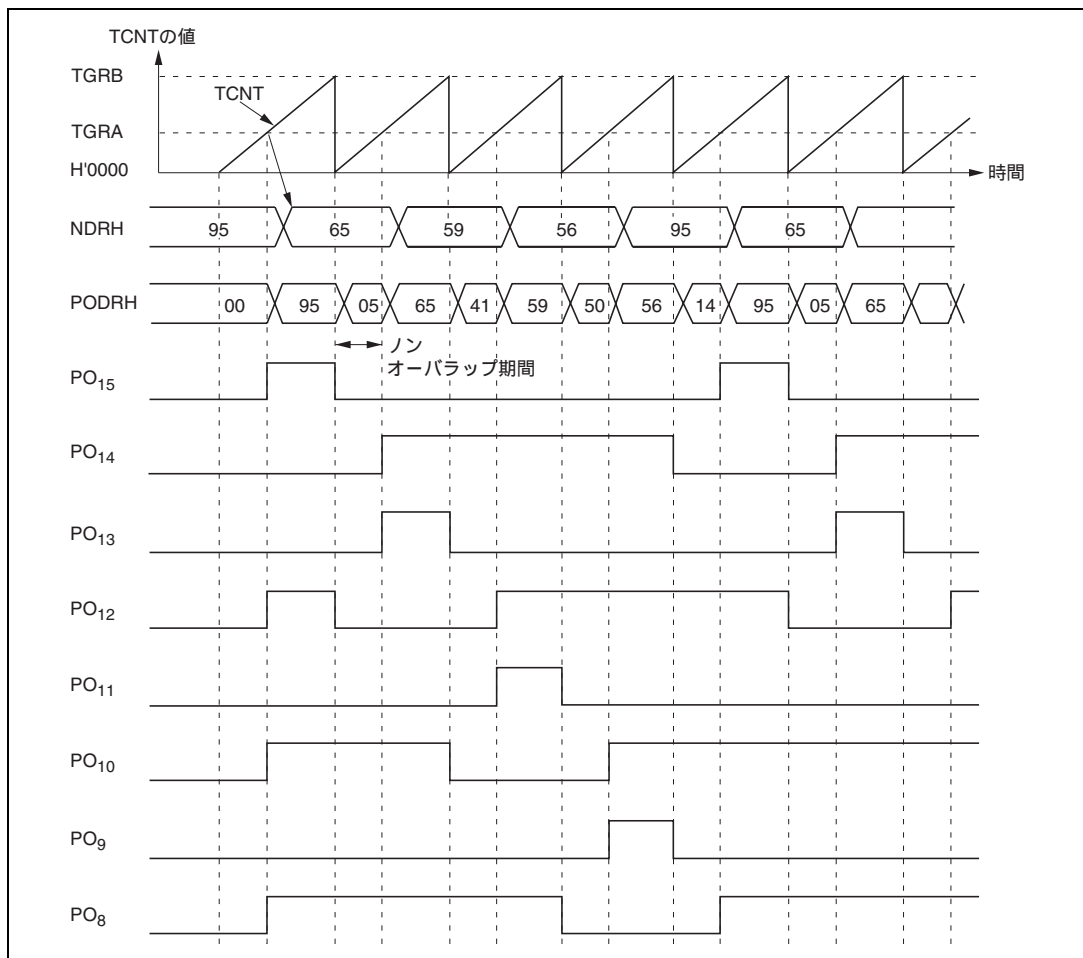


図 11.7 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力) (1)

- [ 1 ] 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
- [ 2 ] PIDDR、NDRHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを [ 1 ] で選択したTPUのコンペアマッチに設定します。PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。  
NDRHに出力データH'95をライトします。



- [ 3 ] TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力 0出力の変化、TGRAのコンペアマッチで0出力 1出力の変化を行います (0出力 1出力の変化はTGRAの設定値分遅延することになります)。TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
- [ 4 ] 以後、TGIA割り込みで順次H'59、H'56、H'95...をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

### 11.3.5 パルス反転出力

PMRのG3INV、G2INV、G1INVおよびG0INVを0に設定すると、PODRの内容に対する反転値を端子出力することができます。

図 11.7 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 11.8 に示します。

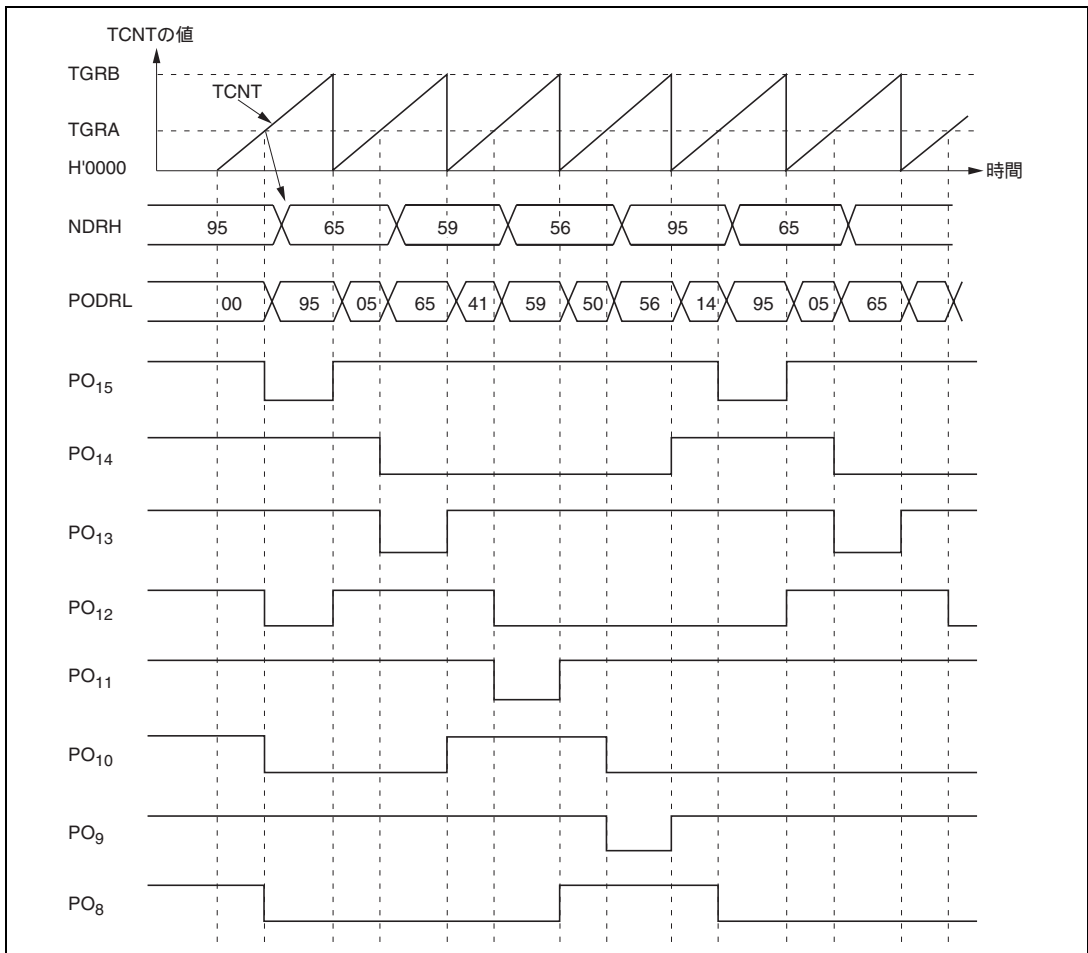


図 11.8 パルス反転出力例

### 11.3.6 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 11.9 に示します。

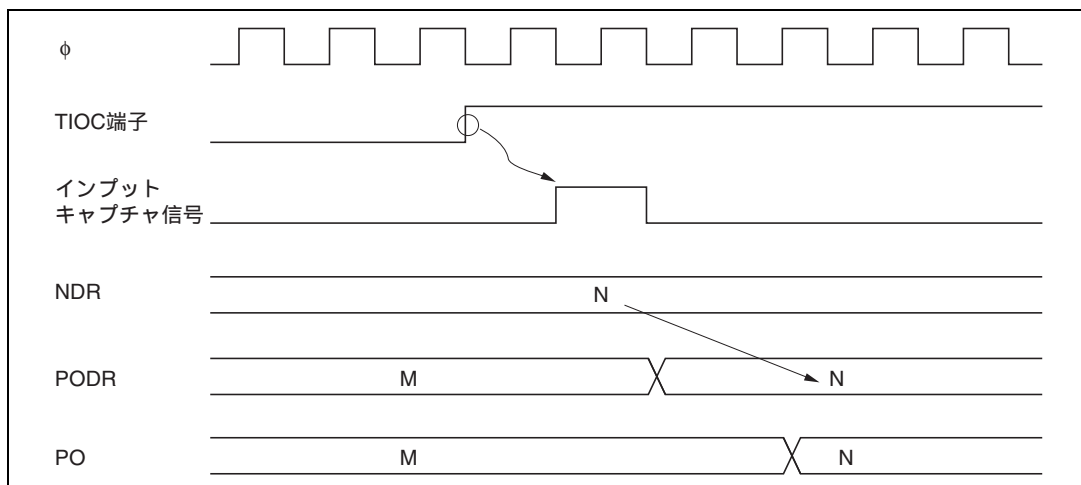


図 11.9 インพุットキャプチャによるパルス出力例

## 11.4 使用上の注意

### 11.4.1 パルス出力端子の動作

$PO_0 \sim PO_{15}$  は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

### 11.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から PODR の転送は以下のようになっています。

- (1) コンペアマッチAではNDRの内容を常にPODRへ転送します。
- (2) コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 11.10 に示します。

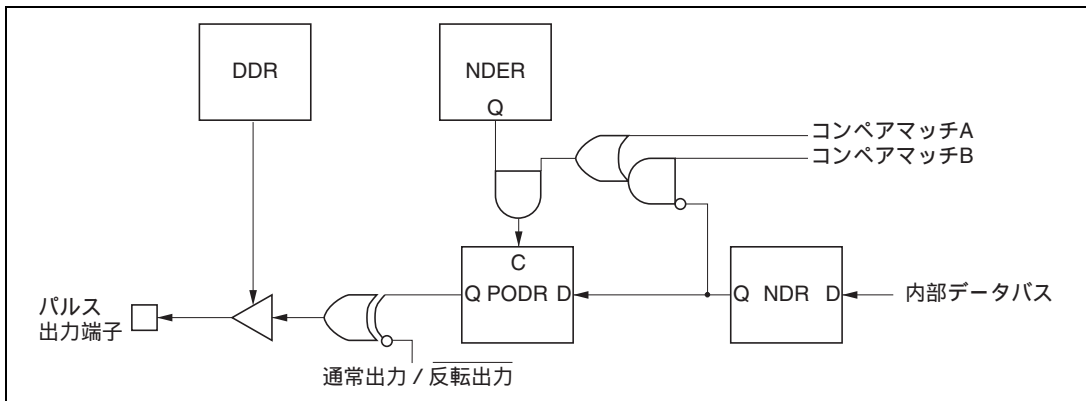


図 11.10 パルス出力ノンオーバーラップ動作

## 11. プログラマブルパルスジェネレータ (PPG)

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで ( ノンオーバーラップ期間 ) の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミング図 11.11 に示します。

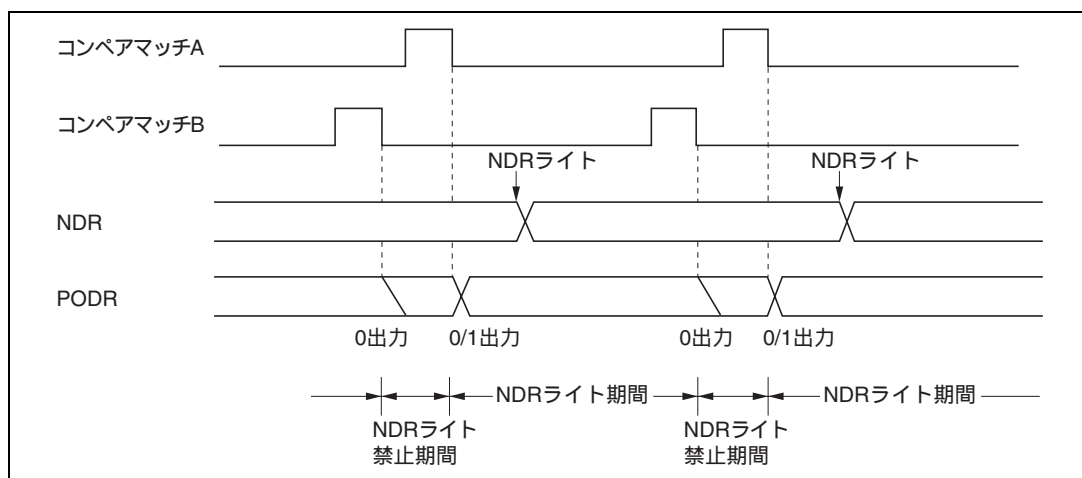


図 11.11 ノンオーバーラップ動作と NDR ライトタイミング

---

## 12. 8ビットタイマ

---

### 12.1 概要

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR0、TMR1) を内蔵しています。2 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があり、TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

#### 12.1.1 特長

4 種類のカウンタ入力クロックを選択可能

- 3 種類の内部クロック ( $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ) と、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

カウンタのクリア指定が可能

- コンペアマッチ A、B、または外部リセット信号のうちから選択できます。

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。

2 チャンネルのカスケード接続が可能

- チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能です (16 ビットカウントモード)。
- チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。

各チャンネル 3 種類の割り込み要因

- コンペアマッチ  $\times 2$  要因、オーバフロー  $\times 1$  要因があり、それぞれ独立に要求することができます。

### 12.1.2 ブロック図

8ビットタイマのブロック図を図12.1に示します。

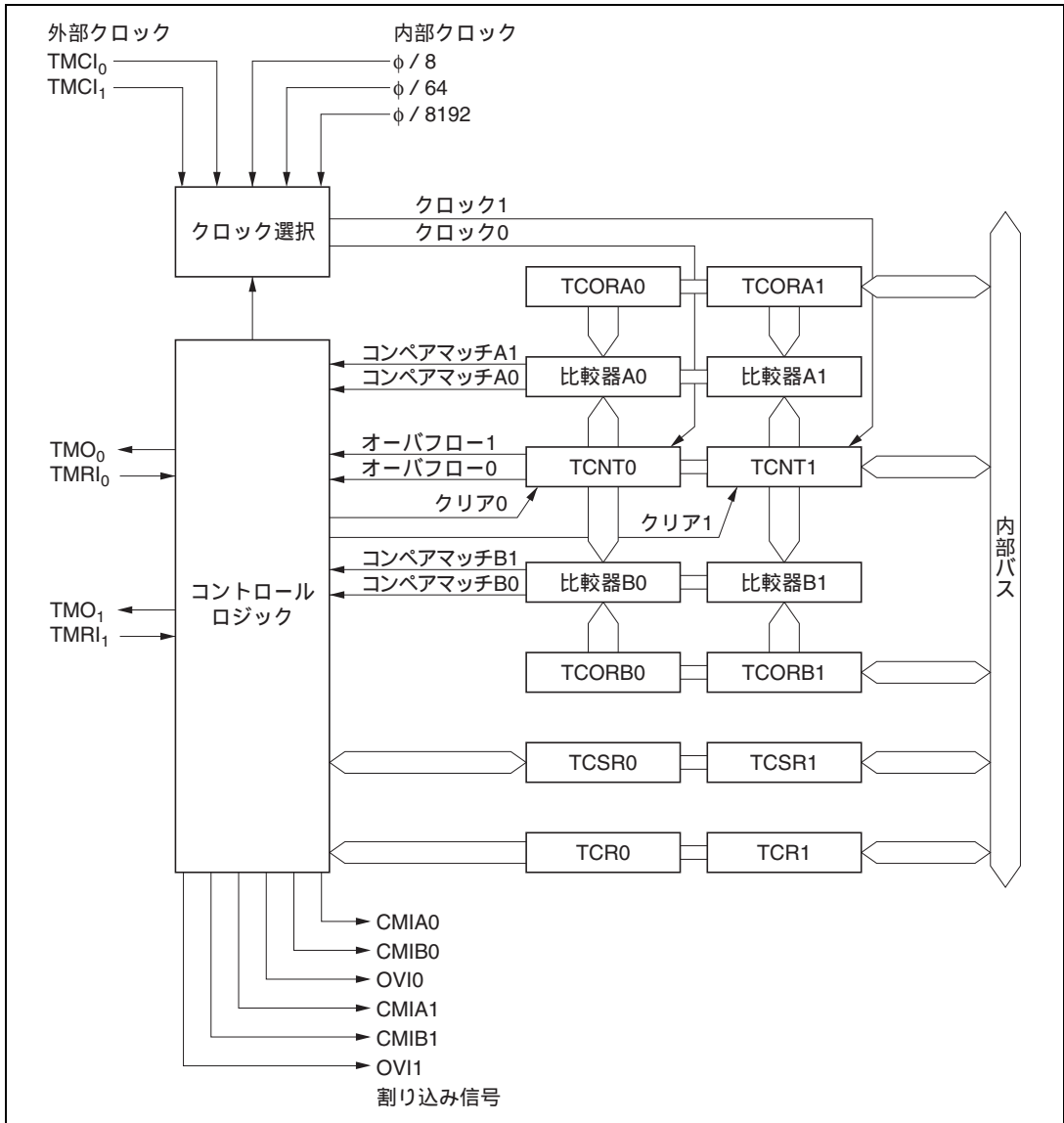


図 12.1 8ビットタイマのブロック図

### 12.1.3 端子構成

8ビットタイマの入出力端子を表 12.1 に示します。

表 12.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	タイマ出力端子 0	TMO <sub>0</sub>	出力	コンペアマッチ出力
	タイマクロック入力端子 0	TMCl <sub>0</sub>	入力	カウンタ外部クロック入力
	タイマリセット入力端子 0	TMRI <sub>0</sub>	入力	カウンタ外部リセット入力
1	タイマ出力端子 1	TMO <sub>1</sub>	出力	コンペアマッチ出力
	タイマクロック入力端子 1	TMCl <sub>1</sub>	入力	カウンタ外部クロック入力
	タイマリセット入力端子 1	TMRI <sub>1</sub>	入力	カウンタ外部リセット入力

### 12.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFB0
	タイマコントロール/ステータスレジスタ 0	TCSR0	R/(W)*2	H'00	H'FFB2
	タイムコンスタントレジスタ A0	TCORA0	R/W	H'FF	H'FFB4
	タイムコンスタントレジスタ B0	TCORB0	R/W	H'FF	H'FFB6
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFB8
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFB1
	タイマコントロール/ステータスレジスタ 1	TCSR1	R/(W)*2	H'10	H'FFB3
	タイムコンスタントレジスタ A1	TCORA1	R/W	H'FF	H'FFB5
	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF	H'FFB7
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFB9
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

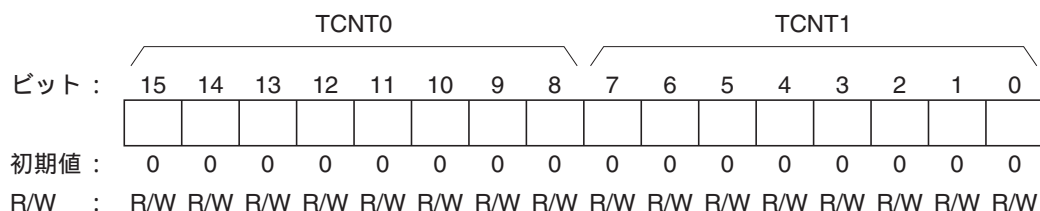
【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。

## 12.2 各レジスタの説明

### 12.2.1 タイマカウンタ 0、1 (TCNT0、TCNT1)



TCNT0、TCNT1 はそれぞれ 8 ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCR の CKS2 ~ CKS0 ビットで選択します。TCNT0、TCNT1 の値は、CPU から常にリード/ライト可能です。

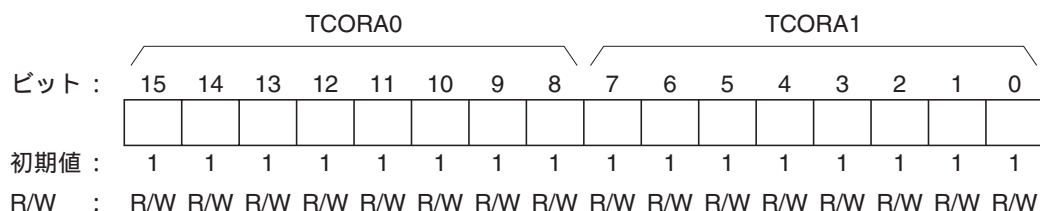
TCNT0、TCNT1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCNT は、外部リセット入力信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットで選択します。

また、TCNT がオーバフロー (H'FF H'00) すると、TCSR の OVF が 1 にセットされます。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

### 12.2.2 タイムコンスタントレジスタ A0、A1 (TCORA0、TCORA1)



TCORA0、TCORA1 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。TCORA0、TCORA1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

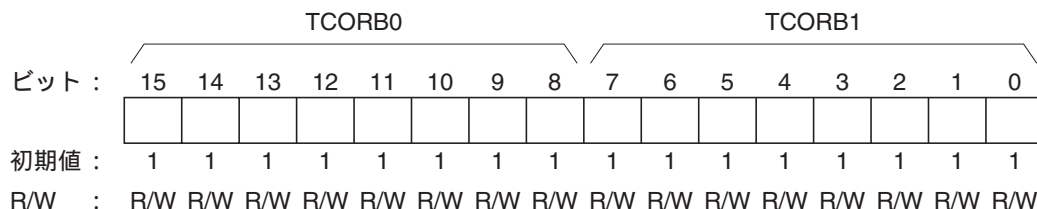
TCORA と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFA が 1 にセットされます。ただし、TCOR へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。



## 12.2.3 タイムコンスタントレジスタ B0、B1 (TCORB0、TCORB1)



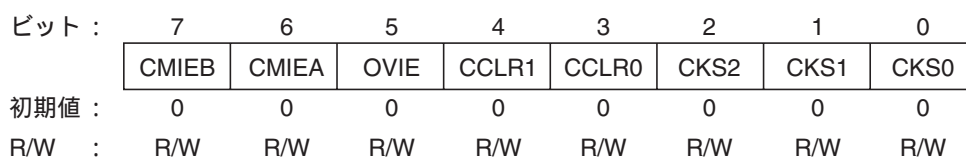
TCORB0、TCORB1 はそれぞれ 8 ビットのリード/ライト可能なレジスタです。TCORB0、TCORB1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFB が 1 にセットされます。ただし、TCOR へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR のアウトプットセレクト OS3、OS2 ビットの設定により、タイマ出力を自由に制御することができます。

TCORB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

## 12.2.4 タイマコントロールレジスタ 0、1 (TCR0、TCR1)



TCR0、TCR1 はそれぞれ 8 ビットのリード/ライト可能なレジスタで、TCNT の入力クロックの選択、TCNT のクリア指定、および各割り込み要求の許可を制御します。

TCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

なお、タイミングについては、「12.3 動作説明」を参照してください。

## ビット 7: コンペアマッチインタラプトイネーブル B (CMIEB)

TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ビット 7	説 明
CMIEB	
0	CMFB による割り込み要求 (CMIB) を禁止 <span style="float: right;">(初期値)</span>
1	CMFB による割り込み要求 (CMIB) を許可

## 12. 8ビットタイマ

---

### ビット6：コンペアマッチインタラプトイネーブルA (CMIEA)

TCSRのCMFAが1にセットされたとき、CMFAによる割り込み要求(CMIA)の許可または禁止を選択します。

ビット6	説明
CMIEA	
0	CMFAによる割り込み要求(CMIA)を禁止 (初期値)
1	CMFAによる割り込み要求(CMIA)を許可

### ビット5：タイマオーバフローインタラプトイネーブル(OVIE)

TCSRのOVFが1にセットされたとき、OVFによる割り込み要求(OVI)の許可または禁止を選択します。

ビット5	説明
OVIE	
0	OVFによる割り込み要求(OVI)を禁止 (初期値)
1	OVFによる割り込み要求(OVI)を許可

### ビット4、3：カウンタクリア1、0(CCLR1、CCLR0)

TCNTのクリアを指定します。クリアは、コンペアマッチA、Bまたは外部リセット入力から選択します。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

TCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック( $\phi$ )を分周した3種類のクロック( $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ )から選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力立ち上がり、立ち下がり、または立ち上がり/立ち下がり両エッジのカウントの3種類から選択できます。

チャンネル0と1では一部機能が異なります。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	クロック入力を禁止 (初期値)
		1	内部クロック: $\phi/8$ 立ち下がりエッジでカウント
	1	0	内部クロック: $\phi/64$ 立ち下がりエッジでカウント
		1	内部クロック: $\phi/8192$ 立ち下がりエッジでカウント
1	0	0	チャンネル0の場合: TCNT1のオーバフロー信号でカウント* チャンネル1の場合: TCNT0のコンペアマッチAでカウント*
		1	外部クロック: 立ち上がりエッジでカウント
	1	0	外部クロック: 立ち下がりエッジでカウント
		1	外部クロック: 立ち上がり/立ち下がり両エッジでカウント

【注】\* チャンネル0のクロック入力をTCNT1のオーバフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

### 12.2.5 タイマコントロール/ステータスレジスタ0、1 (TCSR0、TCSR1)

TCSR0

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*		R/W	R/W	R/W	R/W

【注】\* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

## 12. 8ビットタイマ

TCSR0、TCSR1 はそれぞれ 8 ビットのレジスタで、コンペアマッチやタイマオーバーフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

リセットまたはハードウェアスタンバイモード時に、TCSR0 は H'00 に、TCSR1 は H'10 に初期化されます。

### ビット 7: コンペアマッチフラグ B (CMFB)

TCNT と TCORB の値が一致したことを示すステータスフラグです。

ビット 7	説明
CMFB	
0	[クリア条件] (初期値) (1) CMFB = 1 の状態で、CMFB をリードした後、CMFB に 0 をライトしたとき (2) CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
1	[セット条件] TCNT = TCORB になったとき

### ビット 6: コンペアマッチフラグ A (CMFA)

TCNT と TCORA の値が一致したことを示すステータスフラグです。

ビット 6	説明
CMFA	
0	[クリア条件] (初期値) (1) CMFA = 1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき (2) CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
1	[セット条件] TCNT = TCORA になったとき

### ビット 5: タイマオーバーフローフラグ (OVF)

TCNT がオーバーフロー (H'FF H'00) したことを示すステータスフラグです。

ビット 5	説明
OVF	
0	[クリア条件] (初期値) OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき
1	[セット条件] TCNT が H'FF H'00 になったとき

## ビット4：A/Dトリガイネーブル（ADTE）（TCSR0のみ）

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

TCSR1 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット4	説明
ADTE	
0	コンペアマッチ A による A/D 変換開始要求を禁止 (初期値)
1	コンペアマッチ A による A/D 変換開始要求を許可

## ビット3~0：アウトプットセレクト3~0（OS3~OS0）

TCOR と TCNT のコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3 と OS2 ビットがコンペアマッチ B による出力レベルを選択し、OS1 と OS0 ビットがコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

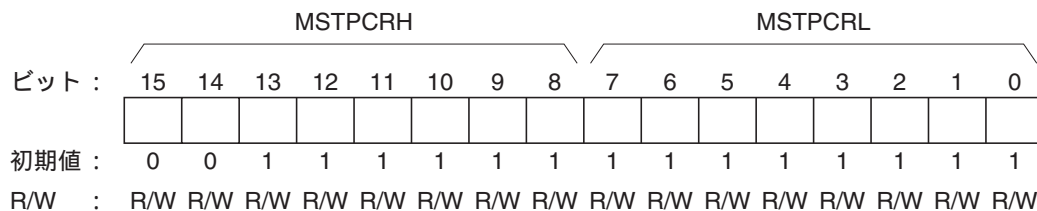
なお、OS3 ~ OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチ B で変化しない (初期値)
	1	コンペアマッチ B で 0 出力
1	0	コンペアマッチ B で 1 出力
	1	コンペアマッチ B ごとに反転出力 (トグル出力)

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

## 12.2.6 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP12 ビットを 1 にセットすると、バスサイクルの終了時点で 8 ビットタイマは動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## ビット 12 : モジュールストップ (MSTP12)

8 ビットタイマのモジュールストップモードを指定します

ビット 12	説明
MSTP12	
0	8 ビットタイマのモジュールストップモード解除
1	8 ビットタイマのモジュールストップモード設定 (初期値)

## 12.3 動作説明

### 12.3.1 TCNTのカウントタイミング

TCNTは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

#### (1) 内部クロック動作の場合

TCRのCKS2～CKS0ビットの設定により、システムクロック（ $\phi$ ）を分周して作られる3種類の内部クロック（ $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ）が選択されます。このタイミングを図12.2に示します。

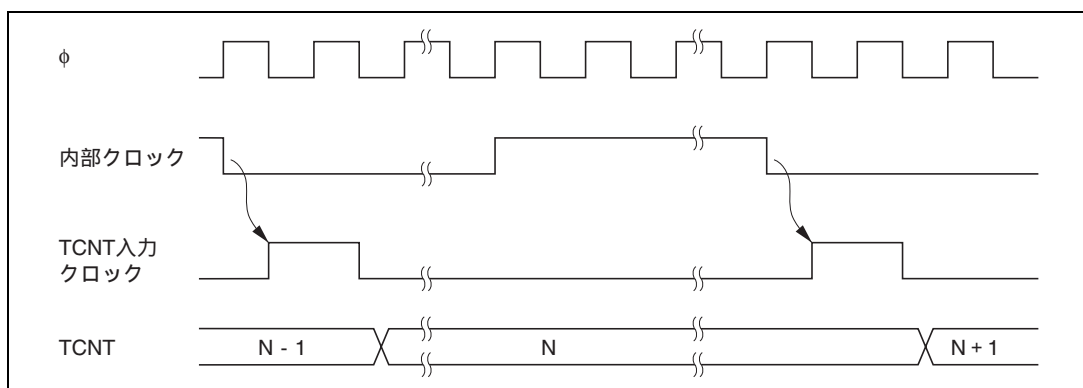


図 12.2 内部クロック動作時のカウントタイミング

## (2) 外部クロック動作の場合

TCR の CKS2 ~ CKS0 ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 12.3 に、外部クロックとして、立ち上がり / 立ち下がり両エッジの場合のタイミングを示します。

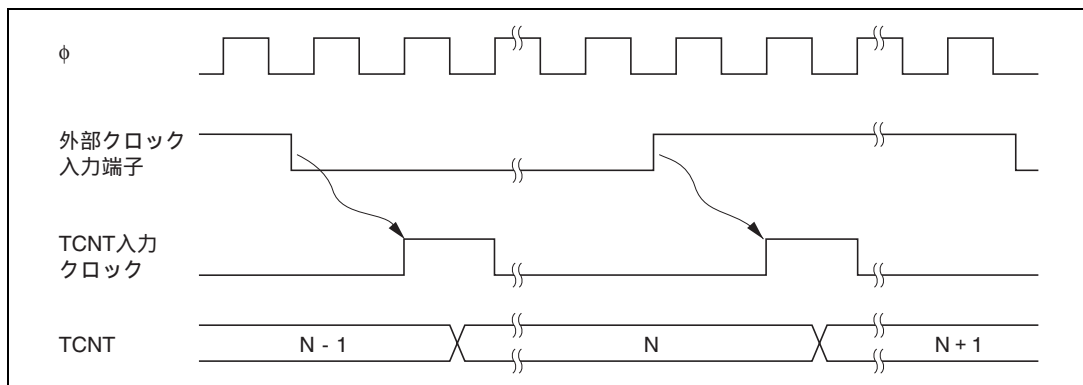


図 12.3 外部クロック動作時のカウントタイミング



### 12.3.2 コンペアマッチタイミング

#### (1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 12.4 に示します。

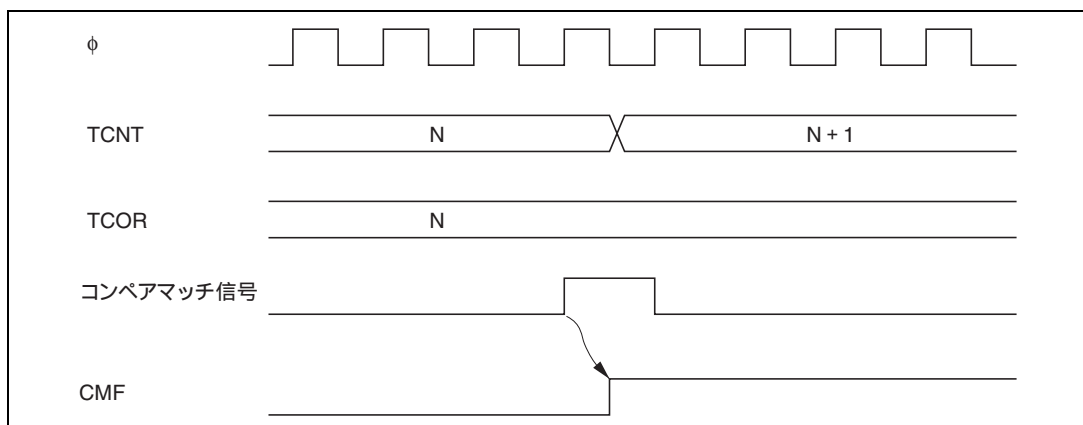


図 12.4 CMF セットタイミング

#### (2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 12.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

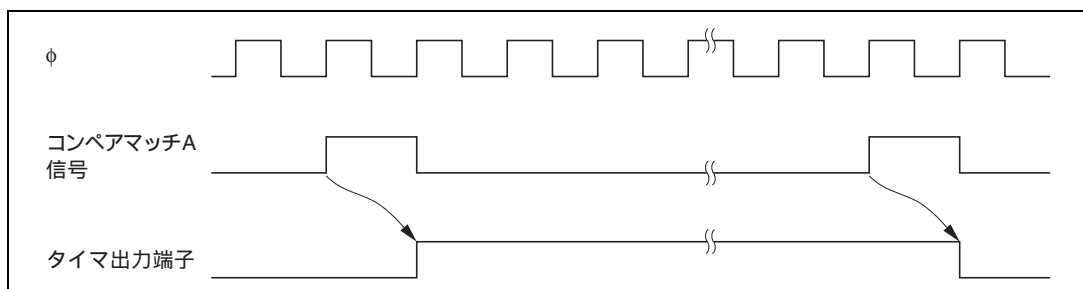


図 12.5 タイマ出力タイミング

## 12. 8 ビットタイマ

### (3) コンペアマッチによるクリア

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 12.6 に示します。

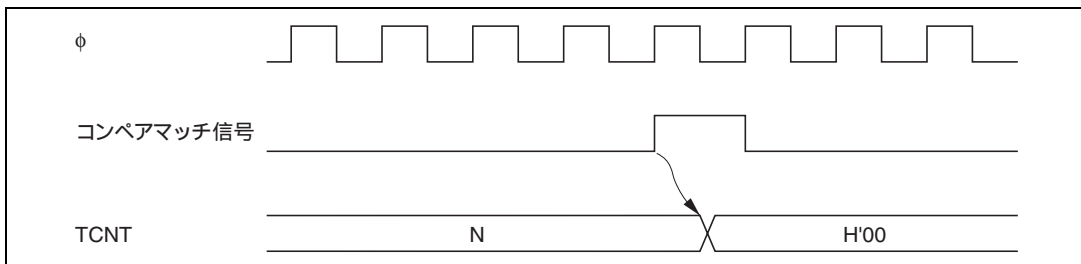


図 12.6 コンペアマッチによるクリアタイミング

### 12.3.3 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアパルスの幅は、1.5 ステート以上必要となります。このクリアされるタイミングを図 12.7 に示します。

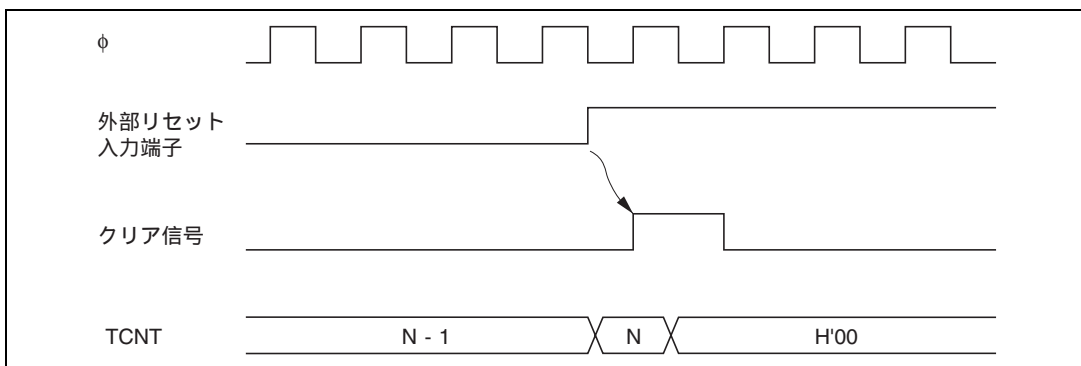


図 12.7 外部リセット入力によるクリアタイミング

### 12.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF → H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このときのタイミングを図 12.8 に示します。

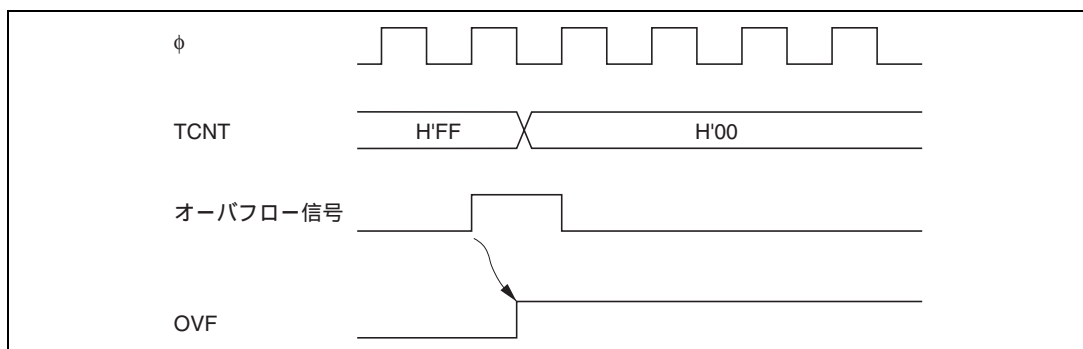


図 12.8 OVF のセットタイミング

### 12.3.5 カスケード接続時の動作

TCR0、TCR1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2 チャンルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する (16 ビットタイマモード) か、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウントする (コンペアマッチカウントモード) ことができます。このとき、本タイマは以下のよう  
に動作します。

#### (1) 16 ビットカウントモード

TCR0 の CKS2~CKS0 ビットが B'100 のとき、本タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンルの 16 ビットタイマとして動作します。

##### (a) コンペアマッチフラグのセット

- TCSR0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされま  
す。

##### (b) カウンタクリア指定

- TCR0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアをそれぞれ設定し  
た場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT0、TCNT1  
の両方) がクリアされます。また、TMRI<sub>0</sub> 端子によるカウンタクリアを設定した場合も、16  
ビットカウンタ (TCNT0、TCNT1 の両方) がクリアされます。
- TCR1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタク  
リアはできません。

##### (c) 端子出力

- TCSR0 の OS3~OS0 ビットによる TMO<sub>0</sub> 端子の出力制御は 16 ビットのコンペアマッチ条件  
に従います。
- TCSR1 の OS3~OS0 ビットによる TMO<sub>1</sub> 端子の出力制御は下位 8 ビットのコンペアマッチ  
条件に従います。

#### (2) コンペアマッチカウントモード

TCR1 の CKS2~CKS0 ビットが B'100 のとき、TCNT1 はチャンネル 0 のコンペアマッチ A をカウン  
トします。

チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO  
端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

#### (3) 使用上の注意

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT0、  
TCNT1 の入カクロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わ  
ないでください。

## 12.4 割り込み要因

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表12.3に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

また、CMIA、CMIB割り込みによりDTCを起動することができます。

表 12.3 8ビットタイマ割り込み要因

割り込み要因	内 容	DTCの起動	優先順位
CMIA	CMFAによる割り込み	可	高 ↑ 低
CMIB	CMFBによる割り込み	可	
OVI	OVFによる割り込み	不可	

## 12.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図12.9に示します。これは次に示すように設定します。

- [ 1 ] TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
- [ 2 ] TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期がTCORA、パルス幅がTCORBの波形をソフトウェアの介在なしに出力できます。

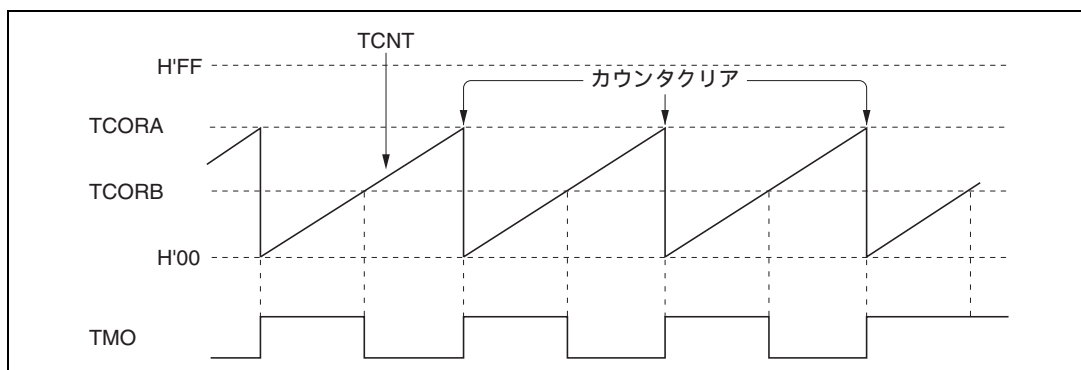


図 12.9 パルス出力例

## 12.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

### 12.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中のT2ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図12.10に示します。

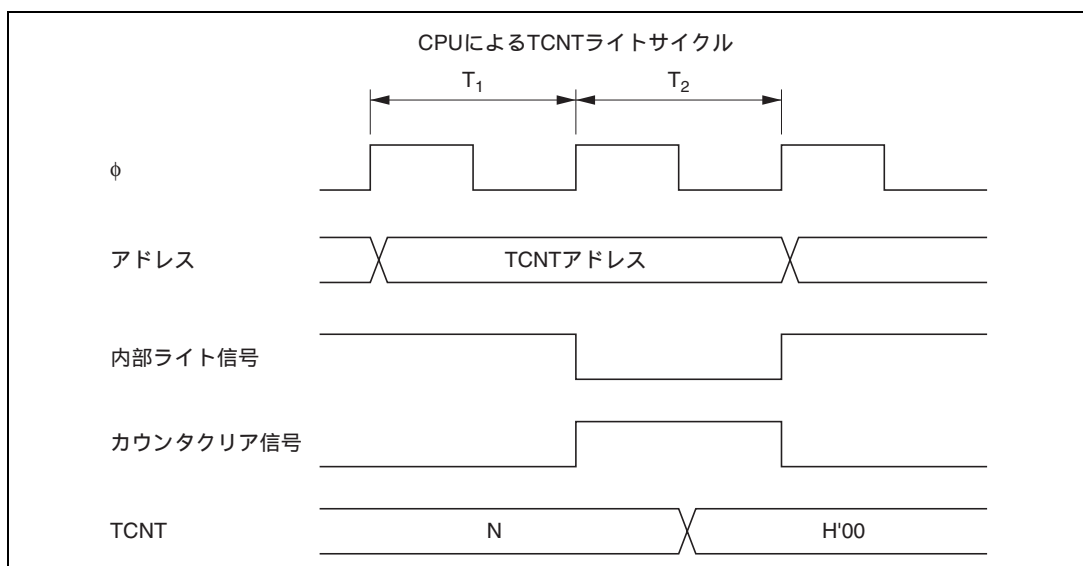


図 12.10 TCNTのライトとクリアの競合

### 12.6.2 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2状態でカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図12.11に示します。

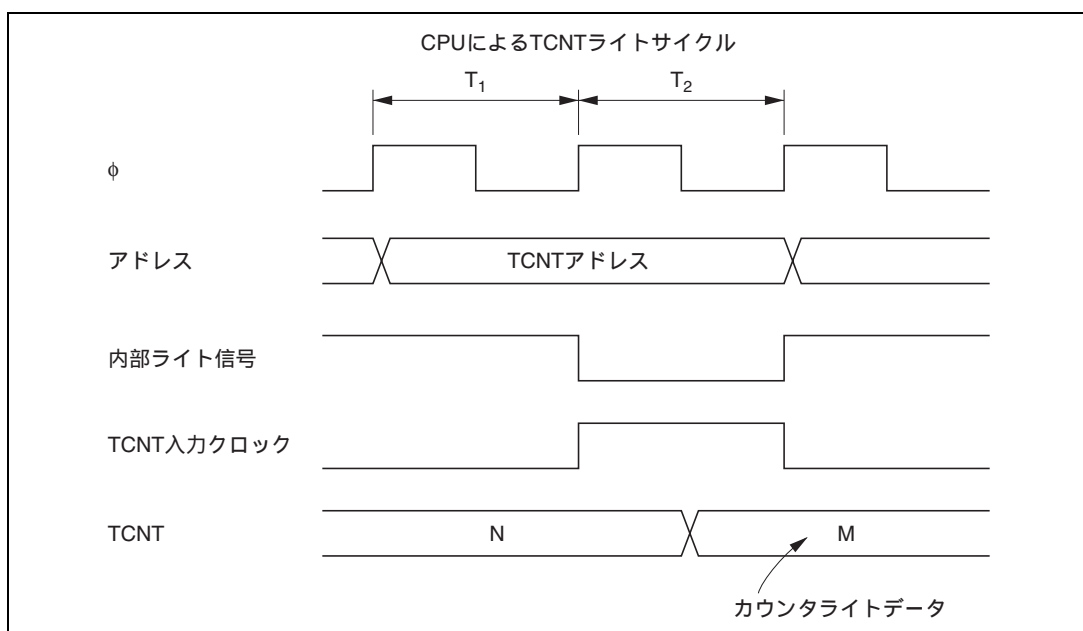


図 12.11 TCNTのライトとカウントアップの競合

### 12.6.3 TCORのライトとコンペアマッチの競合

TCORのライトサイクル中のT2ステートで、コンペアマッチが発生しても、TCORのライトが優先され、コンペアマッチ信号は禁止されます。これを図12.12に示します。

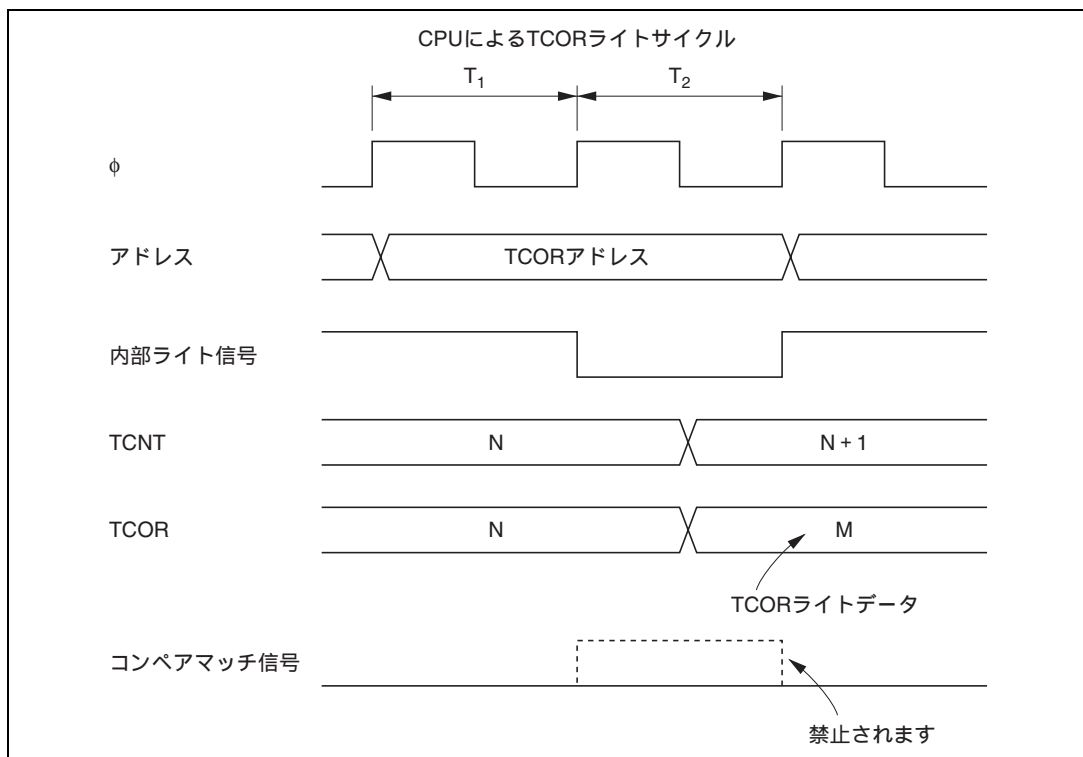


図 12.12 TCORのライトとコンペアマッチの競合

### 12.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.4 に示すタイマ出力の優先順位に従って動作します。

表 12.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	



### 12.6.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を表 12.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 12.5 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.5 内部クロックの切り替えと TCNT の動作

No.	CKS1、CKS0 ビット書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* <sup>1</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* <sup>2</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

12. 8ビットタイマ

No.	CKS1、CKS0ビット書き換えタイミング	TCNTクロックの動作
3	High Low レベル <sup>*3</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTクロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベルの切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNTクロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

- 【注】 \*1 Low レベル 停止、および停止 Low レベルの場合を含みます。  
 \*2 停止 High レベルの場合を含みます。  
 \*3 High レベル 停止を含みます。  
 \*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

---

## 13. ウォッチドッグタイマ (WDT)

---

### 13.1 概要

ウォッチドッグタイマ(WDT)は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号( $\overline{\text{WDTOVF}}$ )を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

#### 13.1.1 特長

WDTには次のような特長があります。

ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。

インターバルタイマモード時、割り込みを発生

- カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。

8種類のカウンタ入力クロックを選択可能

## 13. ウォッチドッグタイマ (WDT)

### 13.1.2 ブロック図

WDTのブロック図を図 13.1 に示します。

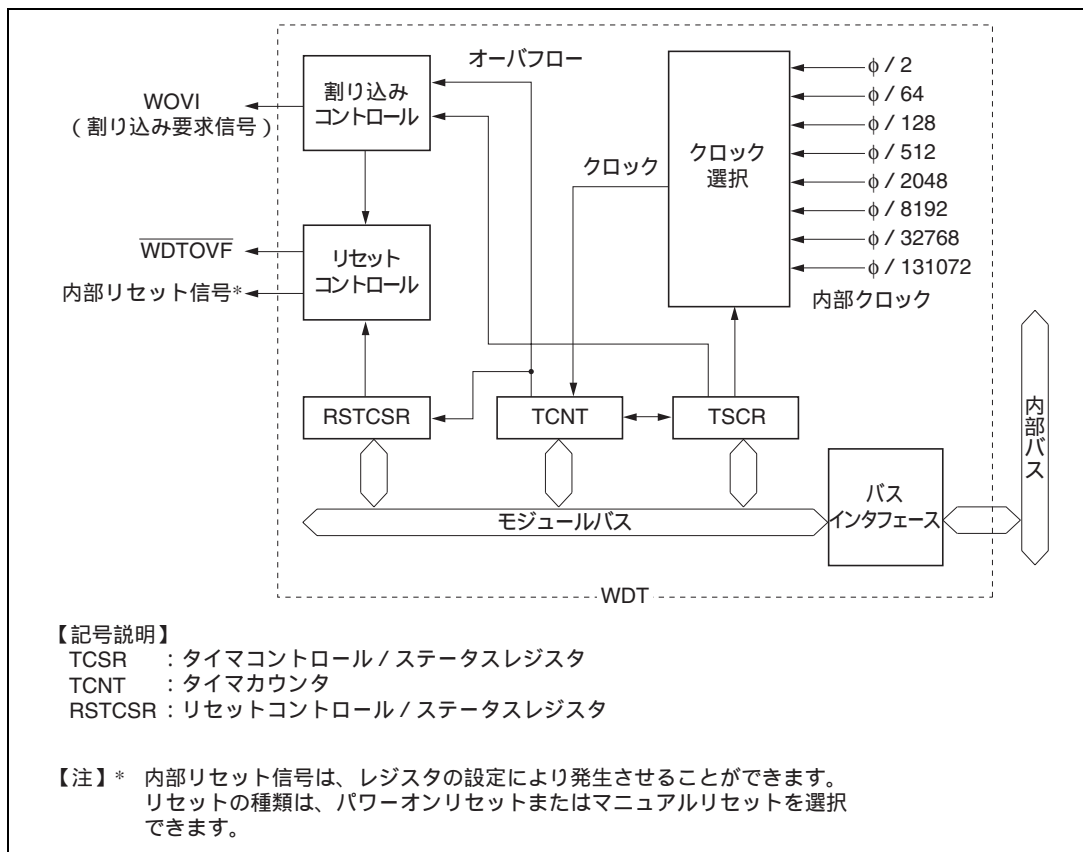


図 13.1 WDTのブロック図

### 13.1.3 端子構成

WDTの端子を表 13.1 に示します。

表 13.1 端子構成

名 称	記号	入出力	機 能
ウォッチドッグタイム オーバーフロー	WDTOVF	出力	ウォッチドッグタイムモード時のカウンタ オーバーフロー信号出力

### 13.1.4 レジスタ構成

WDTには、表 13.2 に示すように 3 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDTのモードの切り替え、リセット信号の制御などを行います。

表 13.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* <sup>1</sup>	
				ライト時* <sup>2</sup>	リード時
タイマコントロール/ステータスレジスタ	TCSR	R/(W)* <sup>3</sup>	H'18	H'FFBC	H'FFBC
タイマカウンタ	TCNT	R/W	H'00	H'FFBC	H'FFBD
リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)* <sup>3</sup>	H'1F	H'FFBE	H'FFBF

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 ライトについては、「13.2.4 レジスタアクセス時の注意」を参照してください。

\*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

## 13.2 各レジスタの説明

### 13.2.1 タイマカウンタ (TCNT)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTは、リード/ライト\*可能な8ビットのアップカウンタです。TCSRのTMEビットを1にすると、TCSRのCKS2~CKS0ビットで選択した内部クロックにより、TCNTはカウントアップを開始します。TCNTの値がオーバーフロー(H'FF H'00)すると、TCSRのWT/ITビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号( $\overline{\text{WDTOVF}}$ )またはインターバルタイマ割り込み(WOVI)が発生します。

TCNTは、リセット、ハードウェアスタンバイモード、またはTMEビットが0のとき、H'00に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】\* TCNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

### 13.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット :	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値 :	0	0	0	1	1	0	0	0
R/W :	R/(W)*	R/W	R/W	-	-	R/W	R/W	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

TCSRは、リード/ライト\*可能な8ビットのレジスタで、TCNTに入力するクロック、モードの選択などを行います。

TCSRは、リセットまたはハードウェアスタンバイモード時にH'18に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】\* TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

## ビット7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット7	説明
OVF	
0	[クリア条件] (初期値) OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき
1	[セット条件] インターバルタイマモードで、TCNTがオーバフロー (H'FF H'00) したとき

ビット6: タイマモードセレクト (WT/ $\bar{IT}$ )

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (WOVI) が発生するか、 $\overline{WDTOVF}$  信号が発生するかが決まります。

ビット6	説明
WT/ $\bar{IT}$	
0	インターバルタイマモード: TCNTがオーバフローしたときCPUヘインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード: TCNTがオーバフローしたとき $\overline{WDTOVF}$ 信号を外部へ出力*

【注】 \* ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳細は「13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

## ビット5: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	TCNTをH'00に初期化し、カウント動作を停止 (初期値)
1	TCNTはカウント動作

## ビット4、3: リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

### 13. ウォッチドッグタイマ (WDT)

---

ビット2~0: クロックセレクト2~0 (CKS2~CKS0)

システムクロック ( $\phi$ ) を分周して得られる8種類の内部クロックから、TCNT に入力するクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバフロー周期* ( $\phi = 20\text{MHz}$ の場合)
0	0	0	$\phi / 2$ (初期値)	25.6 $\mu\text{s}$
		1	$\phi / 64$	819.2 $\mu\text{s}$
	1	0	$\phi / 128$	1.6ms
		1	$\phi / 512$	6.6ms
1	0	0	$\phi / 2048$	26.2ms
		1	$\phi / 8192$	104.9ms
	1	0	$\phi / 32768$	419.4ms
		1	$\phi / 131072$	1.68s

【注】 \* オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。



## 13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

ビット :	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	-	-	-	-	-

【注】\* フラグをクリアするための0ライトのみ可能です。

RSTCSR は、リード/ライト\*可能な 8 ビットのレジスタで、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSR は、 $\overline{RES}$  端子からのリセット信号で H'1F に初期化されますが、WDT のオーバフローによる内部リセット信号では初期化されません。

【注】\* RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「13.2.4 レジスタアクセス時の注意」を参照してください。

## ビット7: ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNT がオーバフロー (H'FF H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	[クリア条件] (初期値) WOVF = 1 の状態で TCSR をリードした後、WOVF に 0 をライトしたとき
1	[セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー (H'FF H'00) したとき

## ビット6: リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、本 LSI 内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき内部リセットする

【注】\* 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

### 13. ウォッチドッグタイマ (WDT)

#### ビット5：リセットセレクト (RSTS)

ウォッチドッグタイマモードでTCNTがオーバフローして発生する、内部リセットの種類を選択します。

リセットの種類については、「第4章 例外処理」を参照してください。

ビット5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

#### ビット4~0：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

### 13.2.4 レジスタアクセス時の注意

TCNT、TCSR、RSTCSRは、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

#### (1) TCNT、TCSRへのライト

TCNT、TCSRへライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNTとTCSRが同一アドレスに割り当てられています。このため、図13.2に示すように、TCNTへライトするときは上位バイトをH'5Aにし、下位バイトをライトデータにして転送してください。TCSRへライトするときは上位バイトをH'A5にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータがTCNTまたはTCSRへライトされます。

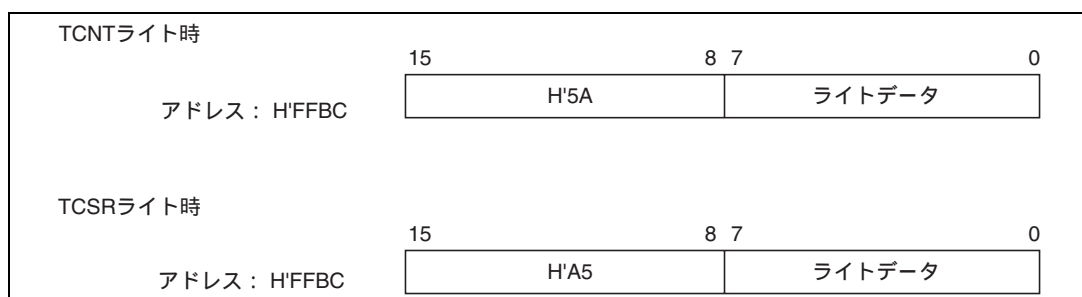


図 13.2 TCNT、TCSRへのライト

## (2) RSTCSR へのライト

RSTCSR へライトするときは、アドレス H'FFBE に対してワード転送を行ってください。バイト転送命令では、書き込みません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、図 13.3 に示すように、ライトの方法が異なります。

WOVF ビットへ 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

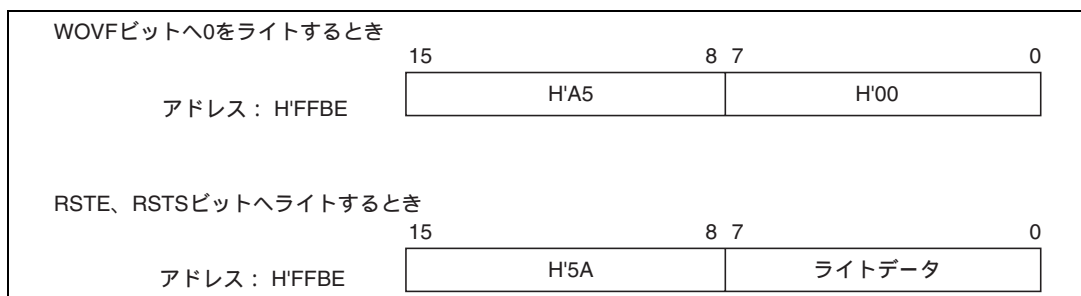


図 13.3 RSTCSR へのライト

## (3) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFBC に、TCNT はアドレス H'FFBD に、RSTCSR はアドレス H'FFBF にそれぞれ割り当てられています。

## 13.3 動作説明

### 13.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSR の  $WT/\overline{IT}$  ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 を書き込む）、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 $\overline{WDTOVF}$  信号が外部に出力されます。これを図 13.4 に示します。この  $\overline{WDTOVF}$  信号を用いて、システムをリセットすることができます。 $\overline{WDTOVF}$  信号は、RSTE = 1 のとき 132 ステート、RSTE = 0 のとき 130 ステートの間出力されます。

RSTCSR の RSTE ビットを 1 にセットしておくで、TCNT がオーバーフローしたときに、 $\overline{WDTOVF}$  信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によって、パワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、518 ステートの間出力されます。

$\overline{RES}$  端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{RES}$  端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

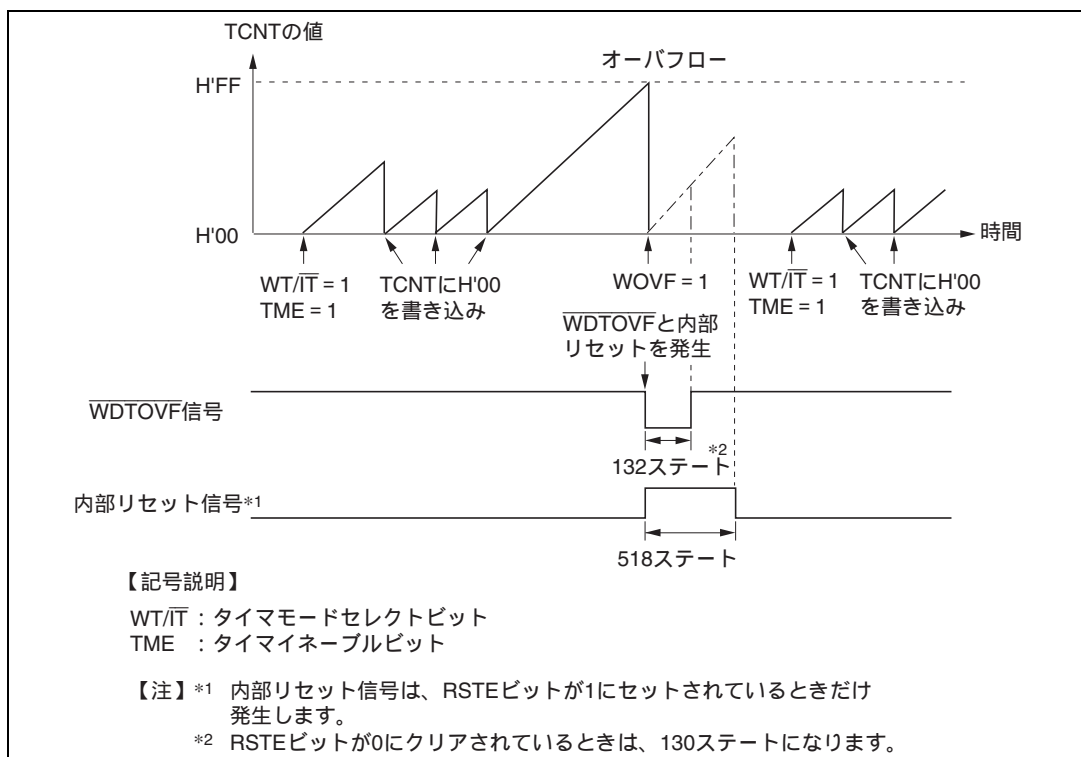


図 13.4 ウォッチドッグタイマモード時の動作

### 13.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときには、TCSR の  $WT/\overline{IT}$  ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 13.5 に示すように、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

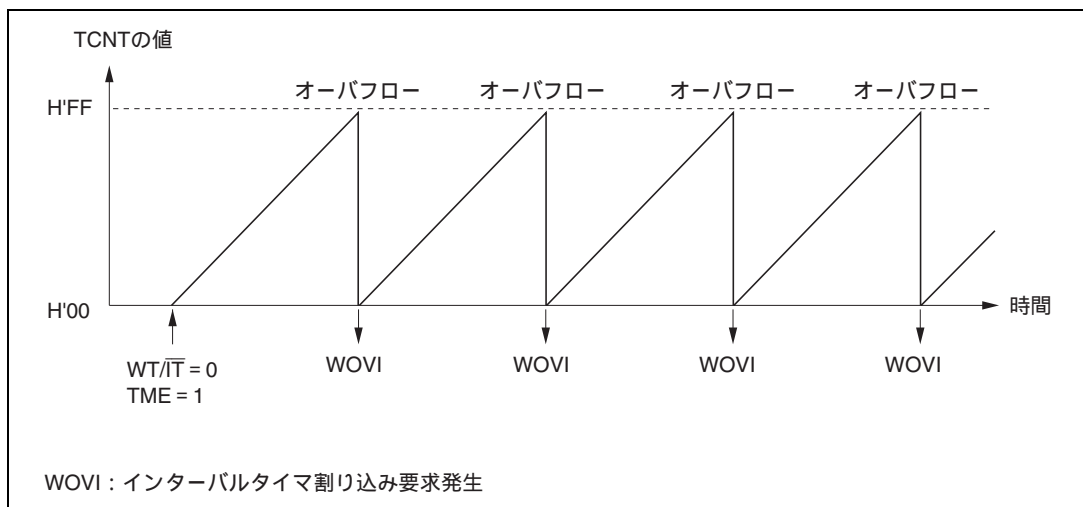


図 13.5 インターバルタイマモード時の動作

## 13. ウォッチドッグタイマ (WDT)

### 13.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 13.6 に示します。

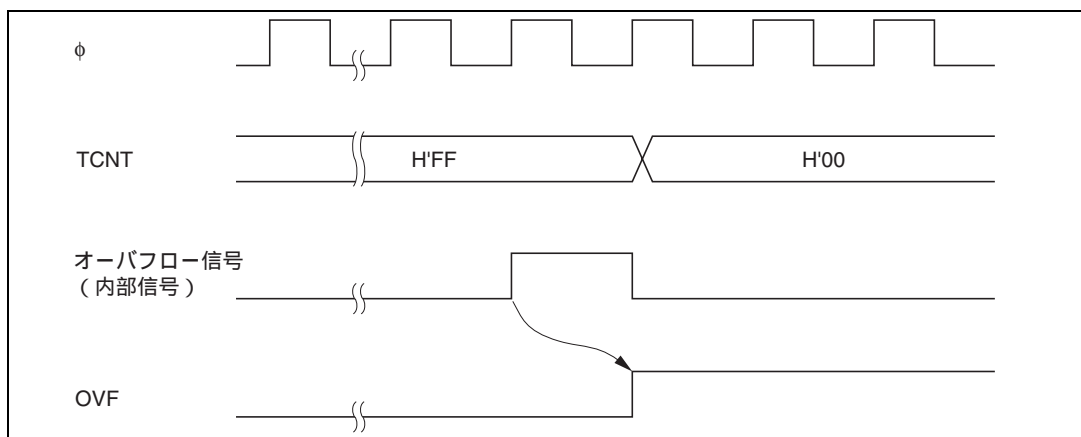


図 13.6 OVF のセットタイミング

### 13.3.4 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードで TCNT がオーバフローすると、RSTCSR の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$  信号が Low レベルになります。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 13.7 に示します。

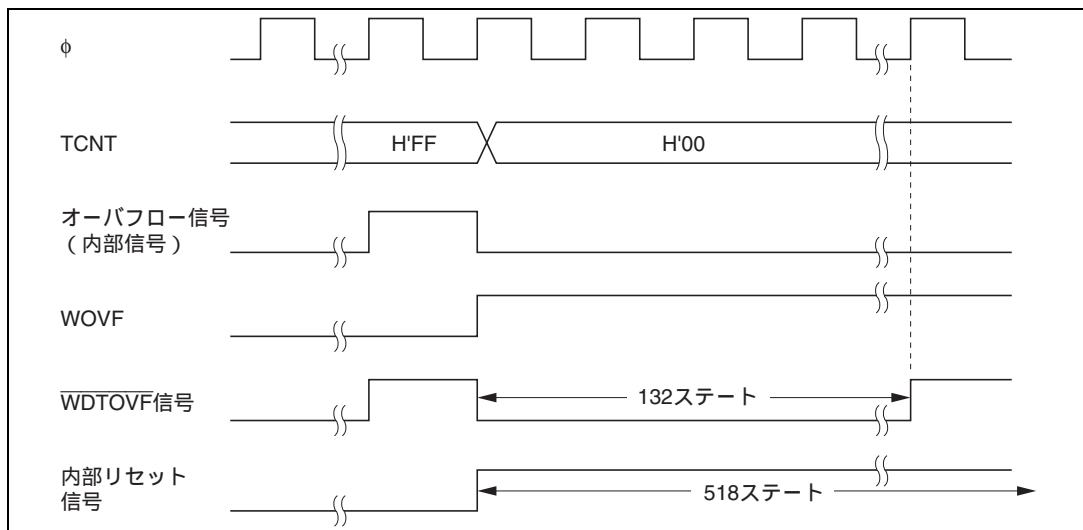


図 13.7 WOVF のセットタイミング

## 13.4 割り込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。

## 13.5 使用上の注意

### 13.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 13.8 に示します。

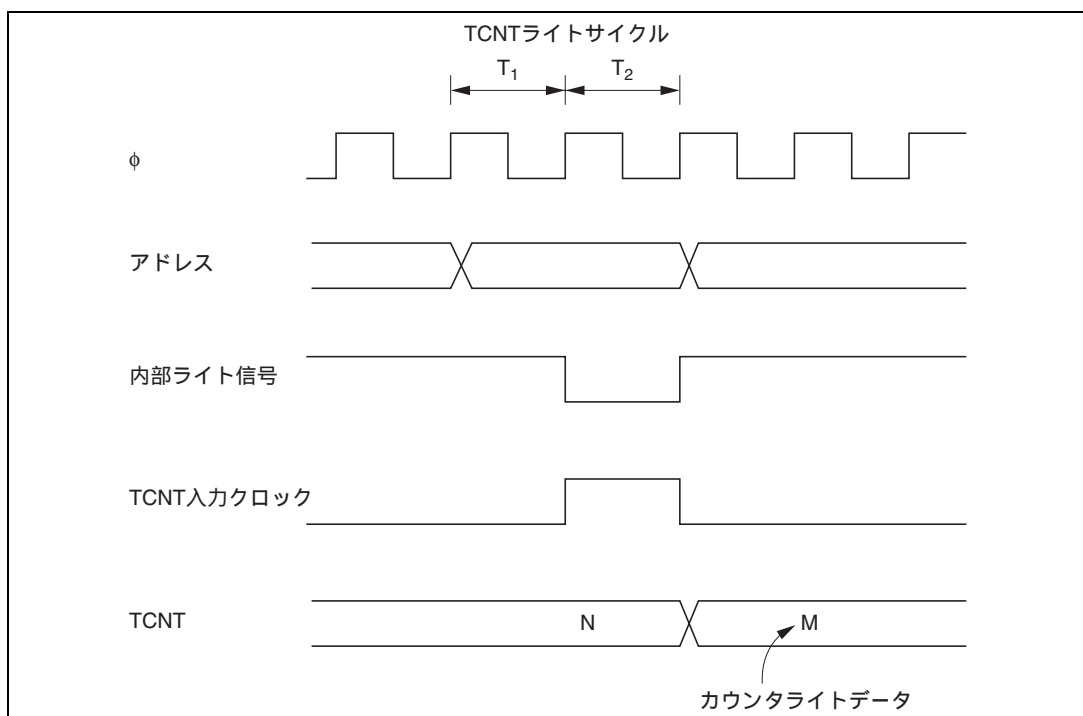


図 13.8 TCNT のライトとカウントアップの競合

### 13.5.2 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。



### 13.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから( TME ビットを 0 にクリアしてから )行ってください。

### 13.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$  出力信号を本 LSI の  $\overline{\text{RES}}$  端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$  信号は、本 LSI の  $\overline{\text{RES}}$  端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$  信号でシステム全体をリセットするときは、図 13.9 の示すような回路で行ってください。

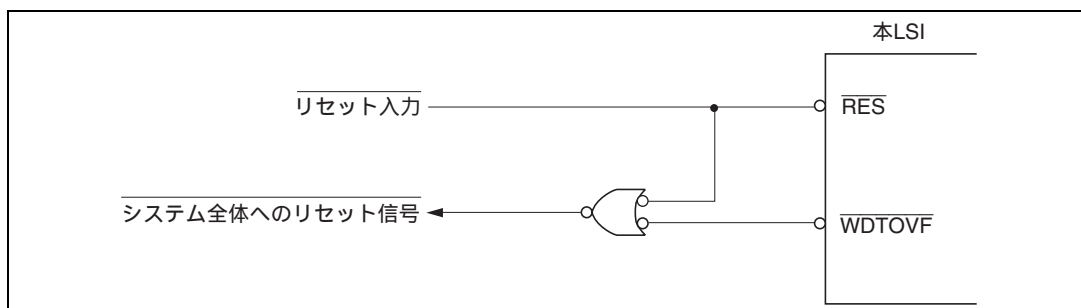


図 13.9  $\overline{\text{WDTOVF}}$  信号によるシステムのリセット回路例

### 13.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$  信号から Low レベルを出力している期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$  信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

### 13. ウォッチドッグタイマ (WDT)

---

---

## 14. シリアルコミュニケーションインタフェース (SCI)

---

### 14.1 概要

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。3 チャンネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

#### 14.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

##### (a) 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行  
Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能  
データ長 : 7ビット / 8ビット  
ストップビット長 : 1ビット / 2ビット  
パリティ : 偶数パリティ / 奇数パリティ / パリティなし  
マルチプロセッサビット : 1 / 0
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

##### (b) クロック同期式モード

- クロックに同期してシリアルデータ通信を実行  
クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- シリアルデータ通信フォーマットは 1 種類  
データ長 : 8ビット
- 受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

- 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

LSB ファースト方式 / MSB ファースト方式の選択が可能

- 通信モードによらず (調歩同期式モード 7 ビットデータの場合を除きます) 選択可能\*

【注】\* 本章では、LSB ファースト方式の例を説明しています。

## 14. シリアルコミュニケーションインタフェース (SCI)

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

- 送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、DMA コントローラ (DMAC) またはデータトランスファコントローラ (DTC) を起動させてデータ転送を実行可能

### 14.1.2 ブロック図

図 14.1 に SCI のブロック図を示します。

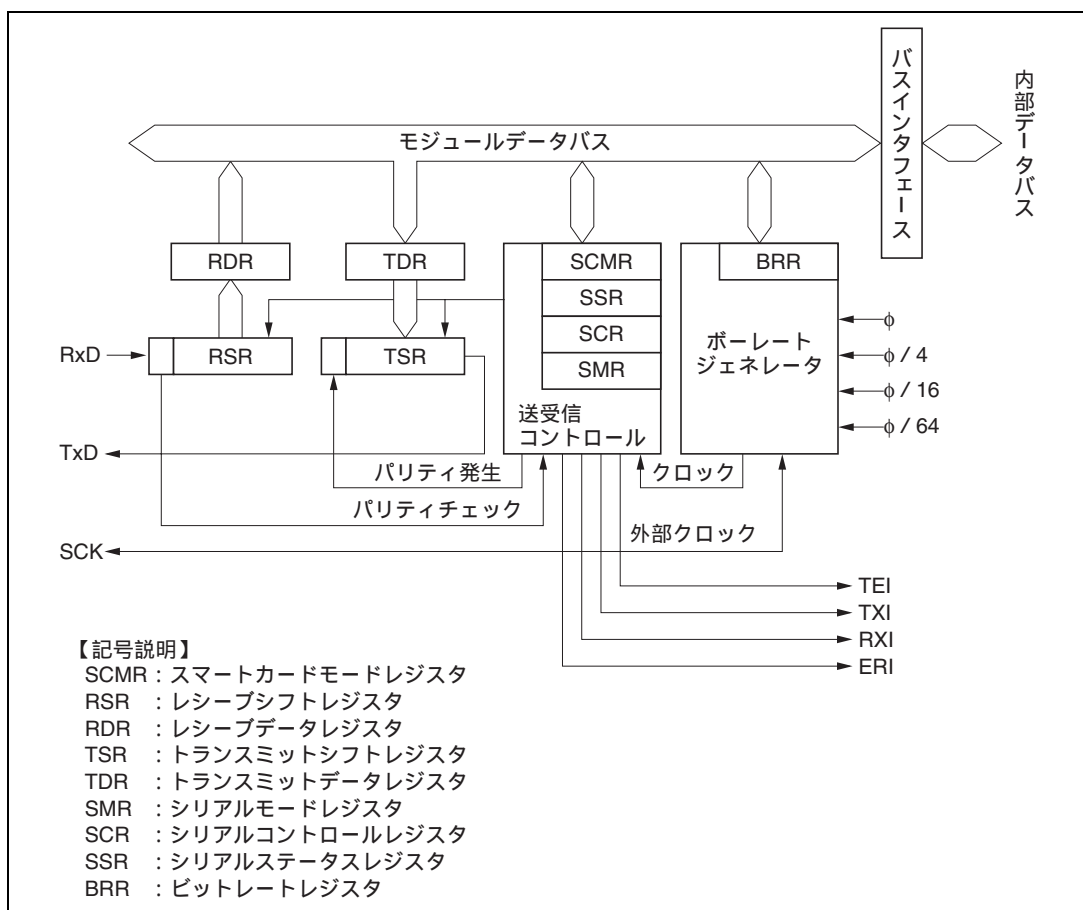


図 14.1 SCI のブロック図

## 14.1.3 端子構成

SCI は、チャンネルごとに表 14.1 に示すシリアル端子を持っています。

表 14.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子	SCK <sub>0</sub>	入出力	SCI0 のクロック入出力
	レシーブデータ端子	RxD <sub>0</sub>	入力	SCI0 の受信データ入力
	トランスミットデータ端子	TxD <sub>0</sub>	出力	SCI0 の送信データ出力
1	シリアルクロック端子	SCK <sub>1</sub>	入出力	SCI1 のクロック入出力
	レシーブデータ端子	RxD <sub>1</sub>	入力	SCI1 の受信データ入力
	トランスミットデータ端子	TxD <sub>1</sub>	出力	SCI1 の送信データ出力
2	シリアルクロック端子	SCK <sub>2</sub>	入出力	SCI2 のクロック入出力
	レシーブデータ端子	RxD <sub>2</sub>	入力	SCI2 の受信データ入力
	トランスミットデータ端子	TxD <sub>2</sub>	出力	SCI2 の送信データ出力

## 14.1.4 レジスタ構成

SCIには、表 14.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

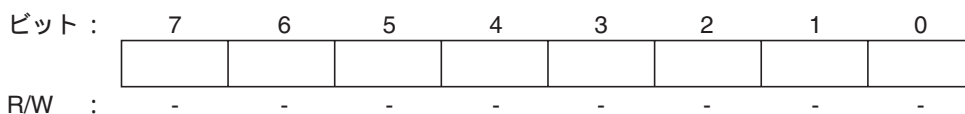
表 14.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス* <sup>1</sup>
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)* <sup>2</sup>	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)* <sup>2</sup>	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)* <sup>2</sup>	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

- 【注】 \*1 アドレスの下位 16 ビットを示しています。  
\*2 フラグをクリアするための 0 ライトのみ可能です。

## 14.2 各レジスタの説明

### 14.2.1 レシーブシフトレジスタ (RSR)

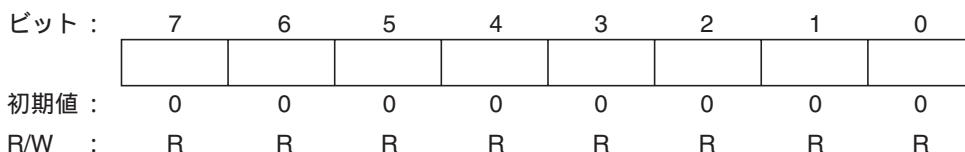


RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

### 14.2.2 レシーブデータレジスタ (RDR)



RDR は、受信したシリアルデータを格納するレジスタです。

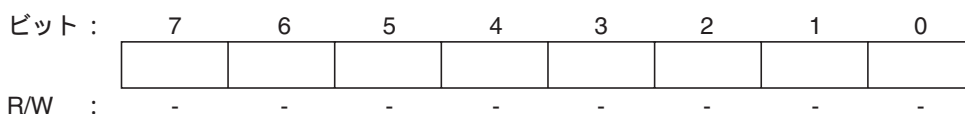
SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、またはモジュールストップモード時に H'00 に初期化されます。

### 14.2.3 トランスミットシフトレジスタ (TSR)



TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

### 14.2.4 トランスミットデータレジスタ (TDR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、またはモジュールストップモード時に H'FF に初期化されます。

### 14.2.5 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、またはモジュールストップモード時に H'00 に初期化されます。

#### ビット 7 : コミュニケーションモード (C/ $\bar{A}$ )

SCI の動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット 7	説明
C/ $\bar{A}$	
0	調歩同期式モード (初期値)
1	クロック同期式モード



## ビット6：キャラクタレングス (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】 \* 7ビットデータを選択した場合、TDRのMSB(ビット7)は送信されません。また、LSBファースト/MSBファーストの選択はできません。

## ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 \* PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

## ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ/奇数パリティのいずれで行うかを選択します。

O/Eビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* <sup>1</sup> (初期値)
1	奇数パリティ* <sup>2</sup>

【注】 \*<sup>1</sup> 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。

## 14. シリアルコミュニケーションインタフェース (SCI)

### ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説 明	
STOP		
0	1ストップビット* <sup>1</sup>	(初期値)
1	2ストップビット* <sup>2</sup>	

【注】 \*1 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。  
\*2 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

### ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「14.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説 明	
MP		
0	マルチプロセッサ機能の禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

### ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0ビットの設定により、 $\phi$ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「14.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説 明	
CKS1	CKS0		
0	0	$\phi$ クロック	(初期値)
	1	$\phi/4$ クロック	
1	0	$\phi/16$ クロック	
	1	$\phi/64$ クロック	

## 14.2.6 シリアルコントロールレジスタ (SCR)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の送信 / 受信動作、調歩同期モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、スタンバイモード、またはモジュールストップモード時に H'00 に初期化されます。

## ビット 7 : トランスミットインタラプトイネーブル (TIE)

TDR から TSR ヘシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット 7	説明
TIE	
0	送信データエンティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンティ割り込み (TXI) 要求の許可

【注】 \* TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

## ビット 6 : レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 \* RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

## 14. シリアルコミュニケーションインタフェース (SCI)

### ビット 5 : トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可または禁止します。

ビット 5	説 明	
TE		
0	送信動作を禁止* <sup>1</sup>	(初期値)
1	送信動作を許可* <sup>2</sup>	

【注】 \*<sup>1</sup> SSR の TDRE フラグは 1 に固定されます。

\*<sup>2</sup> この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

### ビット 4 : レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット 4	説 明	
RE		
0	受信動作を禁止* <sup>1</sup>	(初期値)
1	受信動作を許可* <sup>2</sup>	

【注】 \*<sup>1</sup> RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

\*<sup>2</sup> この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

### ビット 3 : マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時のみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット 3	説 明	
MPIE		
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作をします) [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき	(初期値)
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。	

【注】 \* MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および

## 14. シリアルコミュニケーションインタフェース (SCI)

受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

### ビット 2 : トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット 2	説 明	
TEIE		
0	送信終了割り込み (TEI) 要求を禁止*	(初期値)
1	送信終了割り込み (TEI) 要求を許可*	

【注】 \* TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

### ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを決定したのち、CKE1、CKE0 の設定を行ってください。

SCI のクロックソースの選択についての詳細は「14.3 動作説明」の表 14.9 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート* <sup>1</sup>
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* <sup>2</sup>
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* <sup>3</sup>
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* <sup>3</sup>
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 \*1 初期値

\*2 ビットレートと同じ周波数のクロックを出力

\*3 ビットレートの 16 倍の周波数のクロックを入力

## 14.2.7 シリアルステータスレジスタ (SSR)

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグおよびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、またはモジュールストップモード時にH'84に初期化されます。

## ビット7: トランスミットデータレジスタエンプティ (TDRE)

TDRからTSRにデータ転送が行われ、TDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で TDR へデータをライトしたとき
1	[セット条件] (初期値) (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

## ビット6: レシーブデータレジスタフル (RDRF)

受信したデータがRDRに格納されていることを示します。

ビット6	説明
RDRF	
0	[クリア条件] (初期値) (1) RDRF=1の状態をリードした後、0をライトしたとき (2) RXI 割り込みによって DMAC または DTC が起動され、DMAC または DTC で RDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびSCRのREビットを0にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

#### ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	[クリア条件] ORER = 1 の状態をリードした後、0 をライトしたとき (初期値)* <sup>1</sup>
1	[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき* <sup>2</sup>

【注】 \*1 SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

\*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

#### ビット 4 : フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説 明
FER	
0	[クリア条件] FER = 1 の状態をリードした後、0 をライトしたとき (初期値)* <sup>1</sup>
1	[セット条件] SCI が受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが 0 であったとき* <sup>2</sup>

【注】 \*1 SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

\*2 2ストップビットモードのときは、1 ビット目のストップビットのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

## 14. シリアルコミュニケーションインタフェース (SCI)

### ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	[クリア条件] (初期値)* <sup>1</sup> PER=1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき* <sup>2</sup>

【注】 \*1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

\*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

### ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDフラグはリード専用です。ライトは無効です。

ビット2	説明
TEND	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでTDRへデータをライトしたとき
1	[セット条件] (初期値) (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき

### ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPBビットは、リード専用です。ライトは無効です。

ビット1	説明
MPB	
0	[クリア条件] (初期値)* マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

【注】 \* マルチプロセッサフォーマットでSCRのREビットを0にクリアしたときには、以前の状態を保持します。



**ビット0：マルチプロセッサビットトランスファ (MPBT)**

調歩同期式モードにおいて送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットでないとき、あるいは送信でないとき、およびクロック同期式モード時には MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

**14.2.8 ビットレートレジスタ (BRR)**

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、またはモジュールストップモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 14.3 に調歩同期式モードの BRR の設定例を表 14.4 にクロック同期式モードの BRR の設定例を示します。

14. シリアルコミュニケーションインタフェース (SCI)

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)

ビットレート (bit/s)	φ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	0	6	- 6.99	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	- 18.62	0	1	- 14.67	0	1	0.00	-	-	-

ビットレート (bit/s)	φ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	- 6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

14. シリアルコミュニケーションインタフェース (SCI)

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

ビットレート (bit/s)	$\phi$ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	0	6	- 6.99

ビットレート (bit/s)	$\phi$ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

## 14. シリアルコミュニケーションインタフェース (SCI)

表 14.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

ビットレート (bit/s)	$\phi$ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	0	10	3.57	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	$\phi$ (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

表 14.4 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビットレート (bit/s)	$\phi$ (MHz)											
	2		4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	3	124	-	-	3	249	-	-
500	1	249	2	124	2	249	-	-	3	124	-	-
1k	1	124	1	249	2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	9
1M			0	0*	0	1	-	-	0	3	0	4
2.5M					-	-	0	0*	-	-	0	1
5M									-	-	0	0*

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

- 空欄 : 設定できません。
- : 設定可能ですが誤差がでます。
- \* : 連続送信 / 受信はできません。

## 14. シリアルコミュニケーションインタフェース (SCI)

---

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

クロック同期式モード

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

- B : ビットレート (bit/s)  
N : ボーレートジェネレータの BRR の設定値 (0 N 255)  
 $\phi$  : 動作周波数 (MHz)  
n : ボーレートジェネレータ入力クロック (n=0~3)  
(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	$\phi$	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

## 14. シリアルコミュニケーションインタフェース (SCI)

表 14.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 14.6、表 14.7 に外部クロック入力時の最大ビットレートを示します。

表 14.5 各周波数における最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0

#### 14. シリアルコミュニケーションインタフェース (SCI)

表 14.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500

表 14.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3



## 14.2.9 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、SDIR ビットにより、LSB ファースト / MSB ファーストの選択を行います。調歩同期式モード 7 ビットデータの場合を除き、シリアル通信モードによらず、LSB ファースト / MSB ファーストの選択が可能です。本章の説明では、LSB ファーストの場合について説明しています。

SCMR のその他のビットについての詳細は、「15.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

SCMR は、リセット、スタンバイモード、またはモジュールストップモード時に、HF2 に初期化されます。

## ビット 7~4 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

## ビット 3 : スマートカードデータトランスファディレクション (SDIR)

シリアル / パラレル変換のフォーマットを選択します。

送信 / 受信フォーマットが 8 ビットデータの場合に有効です。

ビット 3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

## ビット 2 : スマートカードデータインバート (SINV)

通常の SCI として動作する場合には 0 をライトしてください。

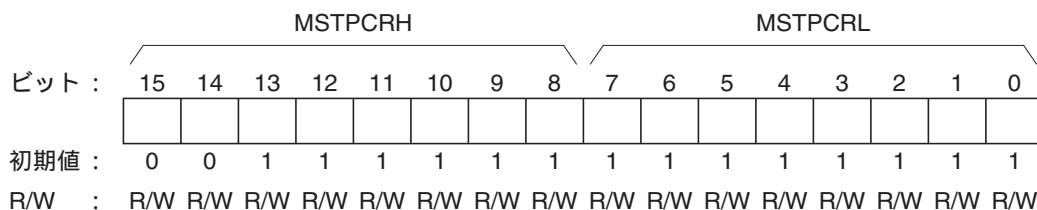
## ビット 1 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

## ビット 0 : スマートカードインタフェースモードセレクト (SMIF)

通常の SCI として動作する場合には 0 をライトしてください。

## 14.2.10 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP7~MSTP5 の対応するビットを 1 にセットすると、バスサイクルの終了時点で SCI は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードではレジスタのリード/ライトはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## ビット 7 : モジュールストップ (MSTP7)

SCI チャンネル 2 のモジュールストップモードを指定します。

ビット 7	説 明
MSTP7	
0	SCI チャンネル 2 のモジュールストップモード解除
1	SCI チャンネル 2 のモジュールストップモード設定 (初期値)

## ビット 6 : モジュールストップ (MSTP6)

SCI チャンネル 1 のモジュールストップモードを指定します。

ビット 6	説 明
MSTP6	
0	SCI チャンネル 1 のモジュールストップモード解除
1	SCI チャンネル 1 のモジュールストップモード設定 (初期値)

## ビット 5 : モジュールストップ (MSTP5)

SCI チャンネル 0 のモジュールストップモードを指定します。

ビット 5	説 明
MSTP5	
0	SCI チャンネル 0 のモジュールストップモード解除
1	SCI チャンネル 0 のモジュールストップモード設定 (初期値)

## 14.3 動作説明

### 14.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 14.8 に示します。また、SCI のクロックソースは、SMR の  $C/\bar{A}$  ビットおよび SCR の CKE1、CKE0 ビットの組み合わせでできます。これを表 14.9 に示します。

#### (1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定) 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：  
SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合：  
ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

#### (2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合：  
SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合：  
内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

#### 14. シリアルコミュニケーションインタフェース (SCI)

表 14.8 SMR の設定値とシリアル送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセスビット	パリティビット	ストップビット長		
C/A	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット		
				1					2ビット		
			1	0					1ビット		
				1					2ビット		
			1	0					1ビット		
				1					2ビット		
	1	0	1	-		0	調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット
				-		1		2ビット			
				-		0		1ビット			
		1		-		1		2ビット			
				-		0		7ビットデータ			1ビット
				-		1		2ビット			
1	-	-	-	-	クロック同期式モード	8ビットデータ		なし		なし	

表 14.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
ビット7	ビット1	ビット0		クロックソース	SCK 端子の機能
C/A	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

### 14.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

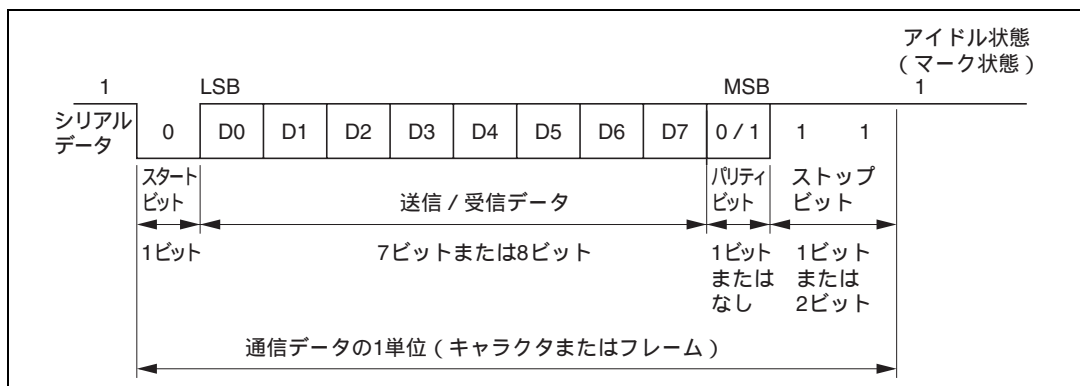


図 14.2 調歩同期式通信のデータフォーマット  
(8ビットデータ/パリティあり/2ストップビットの例)

## 14. シリアルコミュニケーションインタフェース (SCI)

### (1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 14.10 に示します。  
送信 / 受信フォーマットは 12 種類あり、SMR の選定により選択できます。

表 14.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

#### 【記号説明】

S : スタートビット  
 STOP : ストップビット  
 P : パリティビット  
 MPB : マルチプロセスビット

## (2) クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、またはSCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表14.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図14.3に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

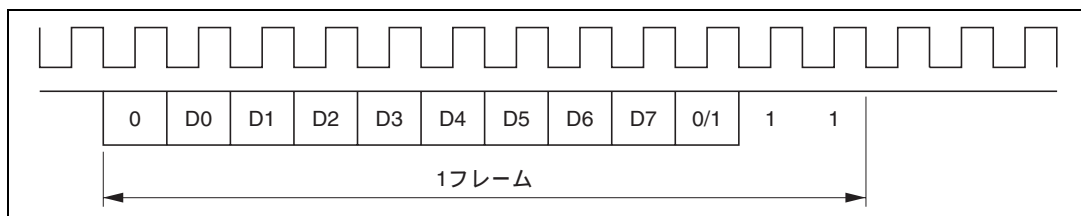


図 14.3 出力クロックと通信データの位相関係 (調歩同期式モード)

## (3) データの送信 / 受信動作

## (a) SCIの初期化 (調歩同期式)

データの送信 / 受信前には、まずSCRのTE、REビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは1にセットされ、TSRが初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図14.4にSCIの初期化フローチャートの例を示します。

## 14. シリアルコミュニケーションインタフェース (SCI)

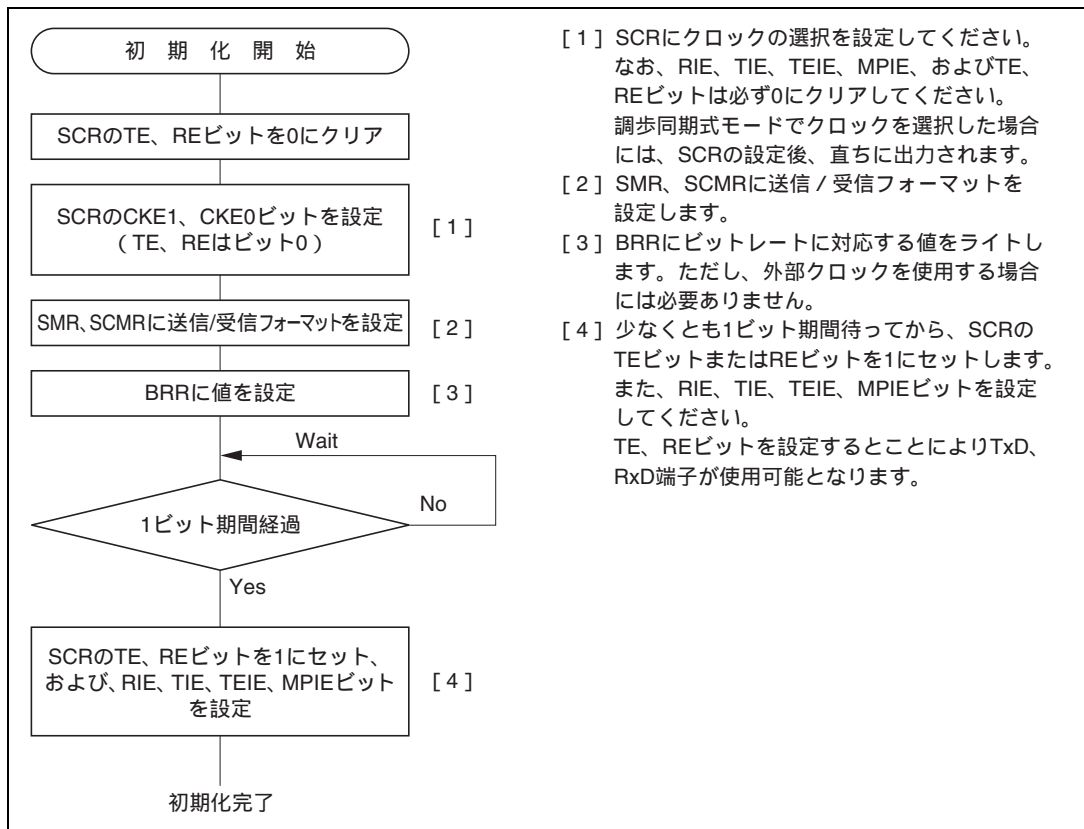


図 14.4 SCI の初期化フローチャートの例



## (b) シリアルデータ送信 (調歩同期式)

図 14.5 にシリアル送信のフローチャートの例を示します。  
シリアルデータ送信は以下の手順に従って行ってください。

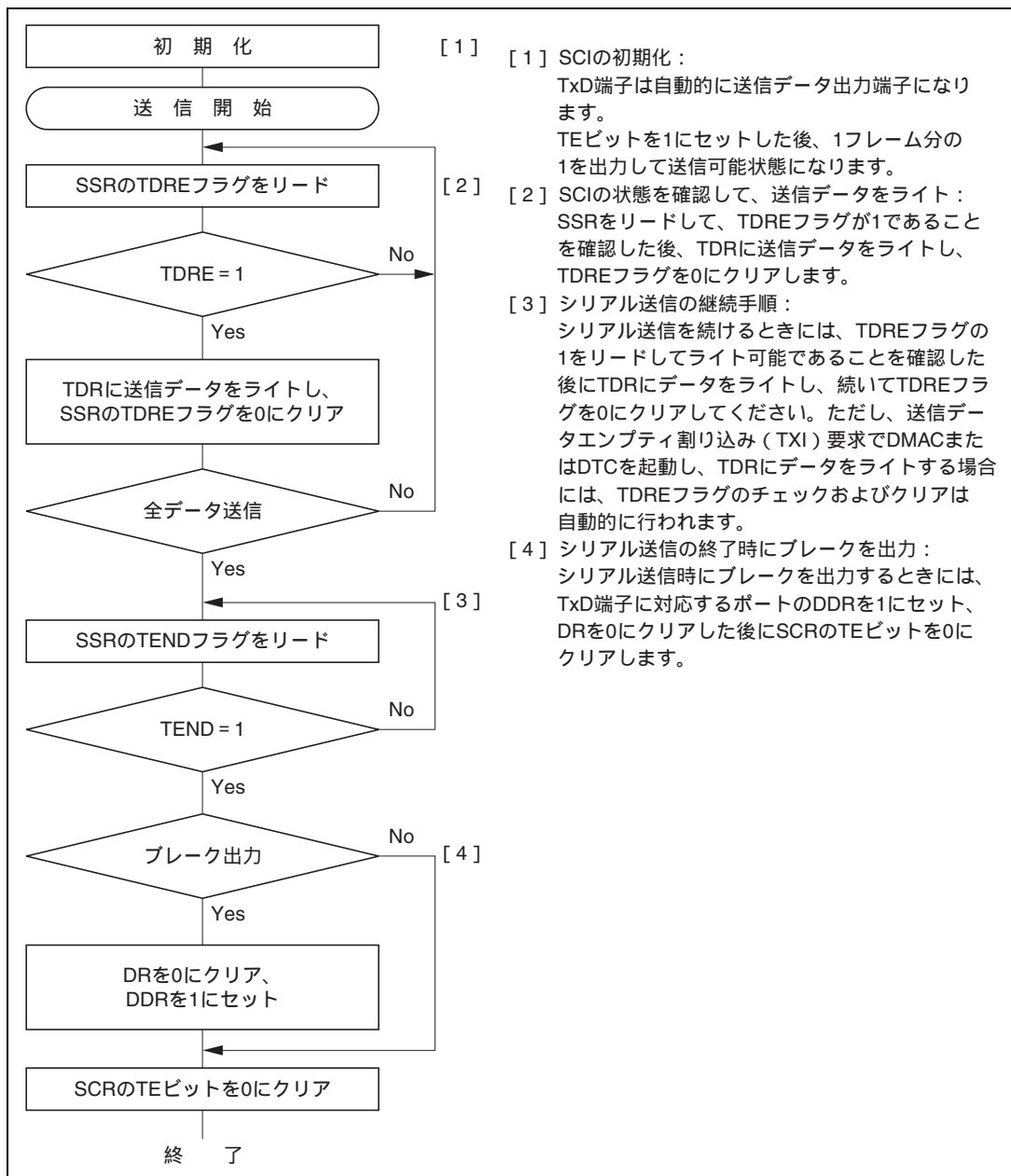


図 14.5 シリアル送信のフローチャートの例

## 14. シリアルコミュニケーションインタフェース (SCI)

---

SCI はシリアル送信時に以下のように動作します。

- [ 1 ] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [ 2 ] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。  
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。  
シリアル送信データは、以下の順にTxD端子から送り出されます。
  - [ a ] スタートビット：  
1ビットの0が出力されます。
  - [ b ] 送信データ：  
8ビット、または7ビットのデータがLSBから順に出力されます。
  - [ c ] パリティビットまたはマルチプロセッサビット：  
1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。  
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
  - [ d ] ストップビット：  
1ビットまたは2ビットの1 (ストップビット) が出力されます。
  - [ e ] マーク状態：  
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [ 3 ] SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。  
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する “マーク状態” になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 14.6 に示します。

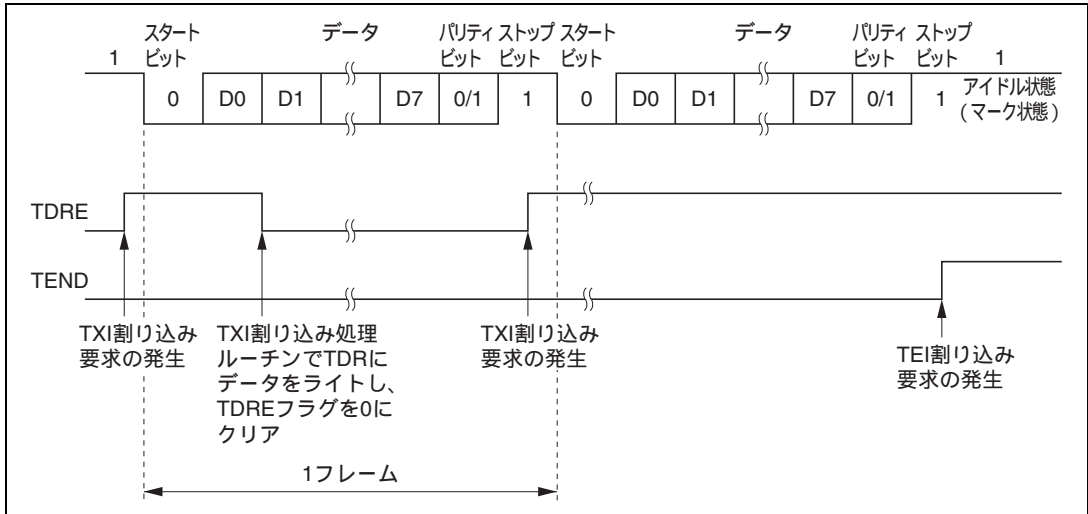


図 14.6 調歩同期式モードでの送信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 14.7 にシリアル受信フローチャートの例を示します。  
シリアルデータ受信は以下の手順に従って行ってください。

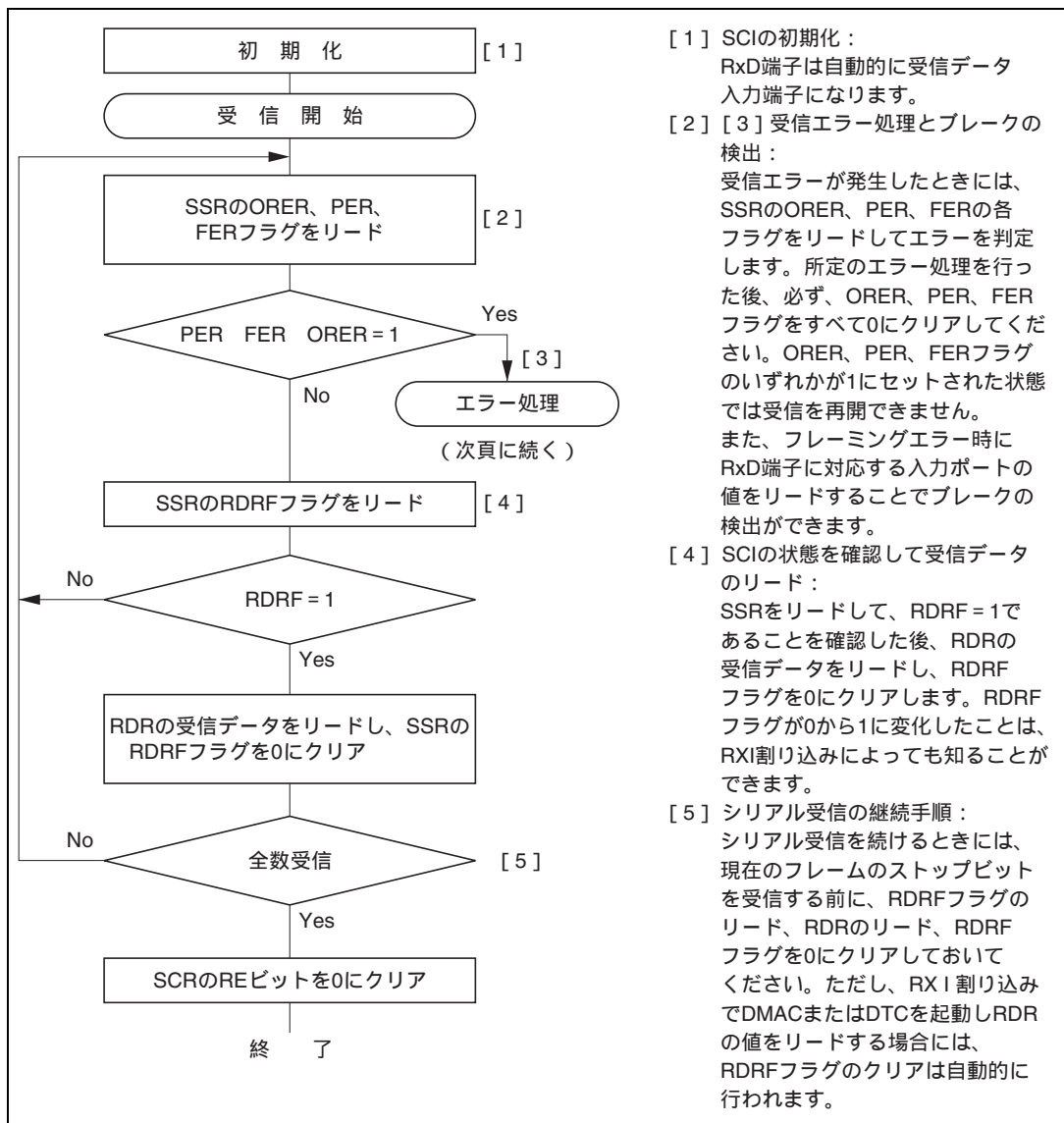


図 14.7 (1) シリアル受信データフローチャートの例

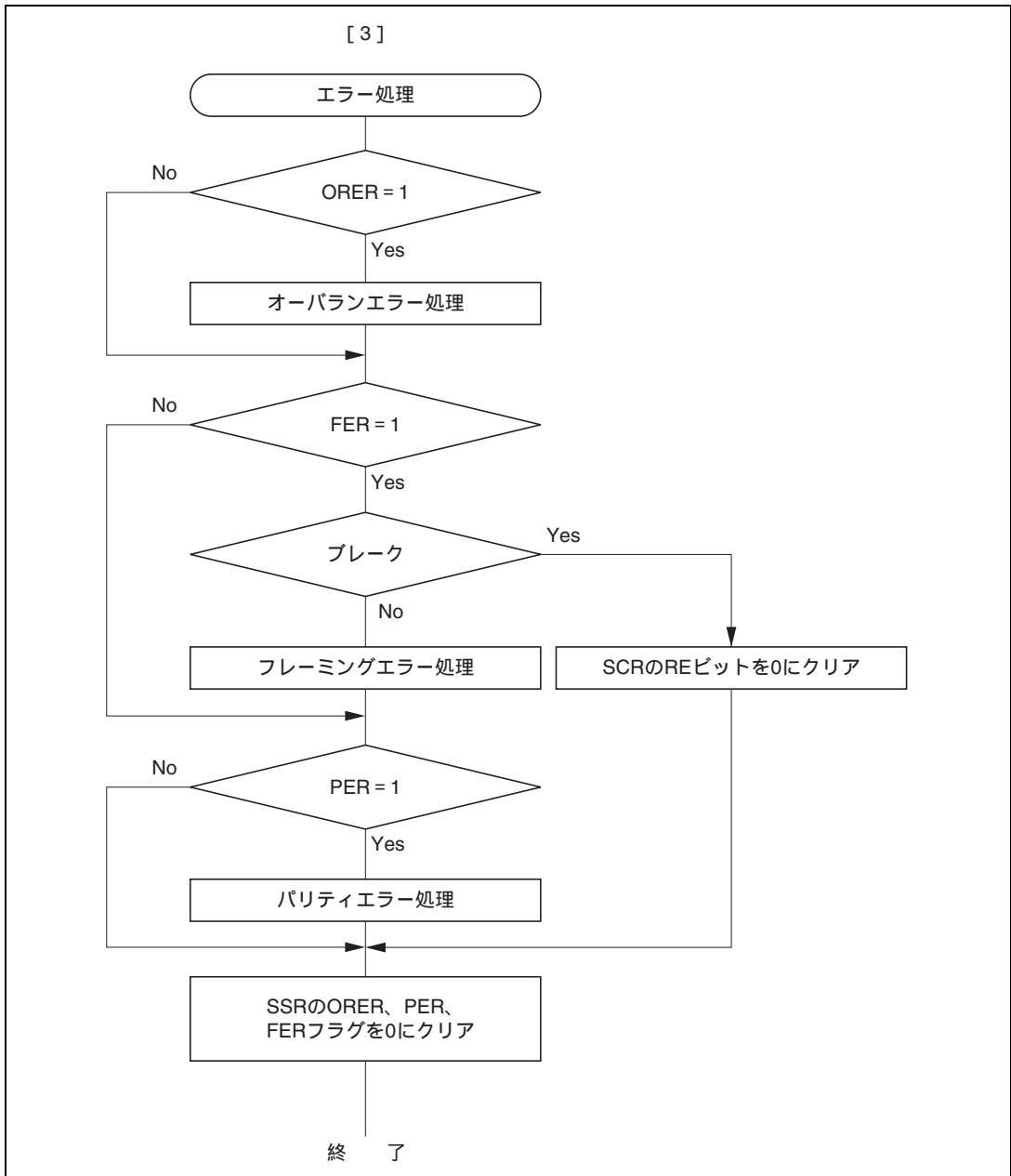


図 14.7 (2) シリアル受信データフローチャートの例

## 14. シリアルコミュニケーションインタフェース (SCI)

SCI は受信時に以下のように動作します。

- [ 1 ] SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
  - [ 2 ] 受信したデータをRSRのLSBからMSBの順に格納します。
  - [ 3 ] パリティビットおよびストップビットを受信します。  
受信後、SCIは以下のチェックを行います。
    - [ a ] パリティチェック：  
受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数 / 奇数パリティになっているかをチェックします。
    - [ b ] ストップビットチェック：  
ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のみをチェックします。
    - [ c ] ステータスチェック：  
RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。  
以上のチェックをすべて満足したとき、RDRFフラグが1にセットされ、RDRに受信データが格納されます。  
エラーチェックで受信エラー\*を発生すると表14.11のように動作します。
- 【注】\* 受信エラーが発生した状態では、以後の受信動作ができません。  
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。
- [ 4 ] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。  
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 14.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 14.8 に示します。

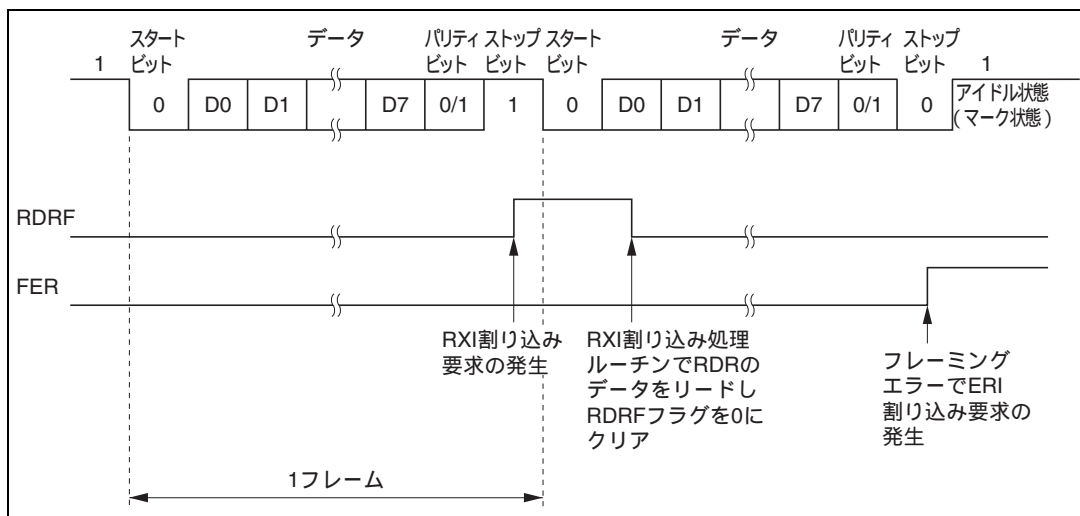


図 14.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

### 14.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 14.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

#### (1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 14.10 を参照してください。

#### (2) クロック

調歩同期式モードの項を参照してください。

## 14. シリアルコミュニケーションインタフェース (SCI)

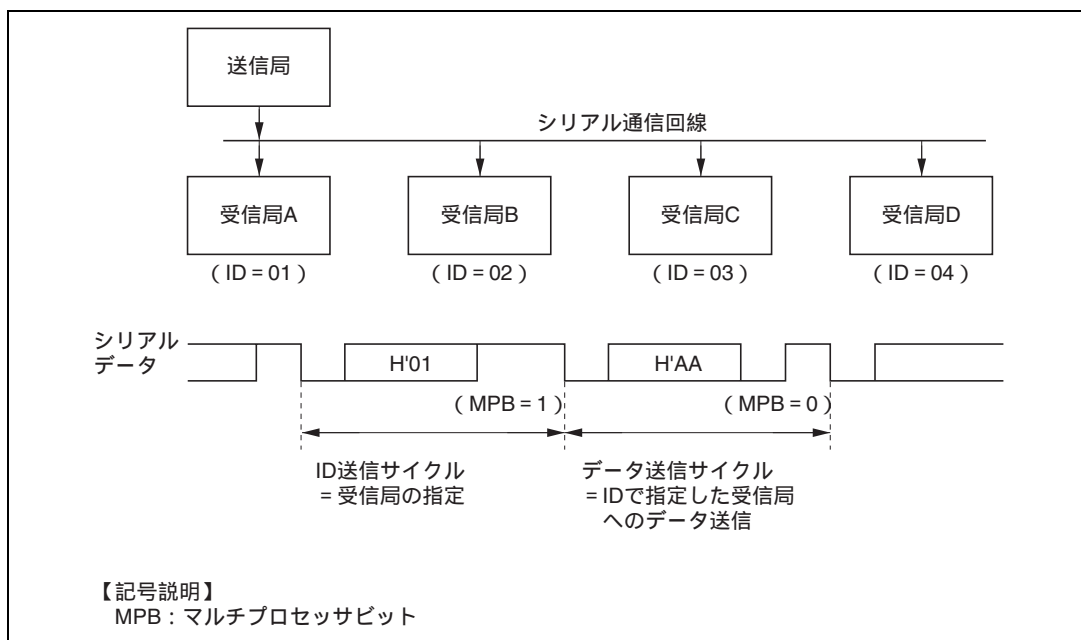


図 14.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H'AA の送信の例)

### (3) データの送信 / 受信動作

#### (a) マルチプロセッサシリアルデータ送信

図 14.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。  
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。



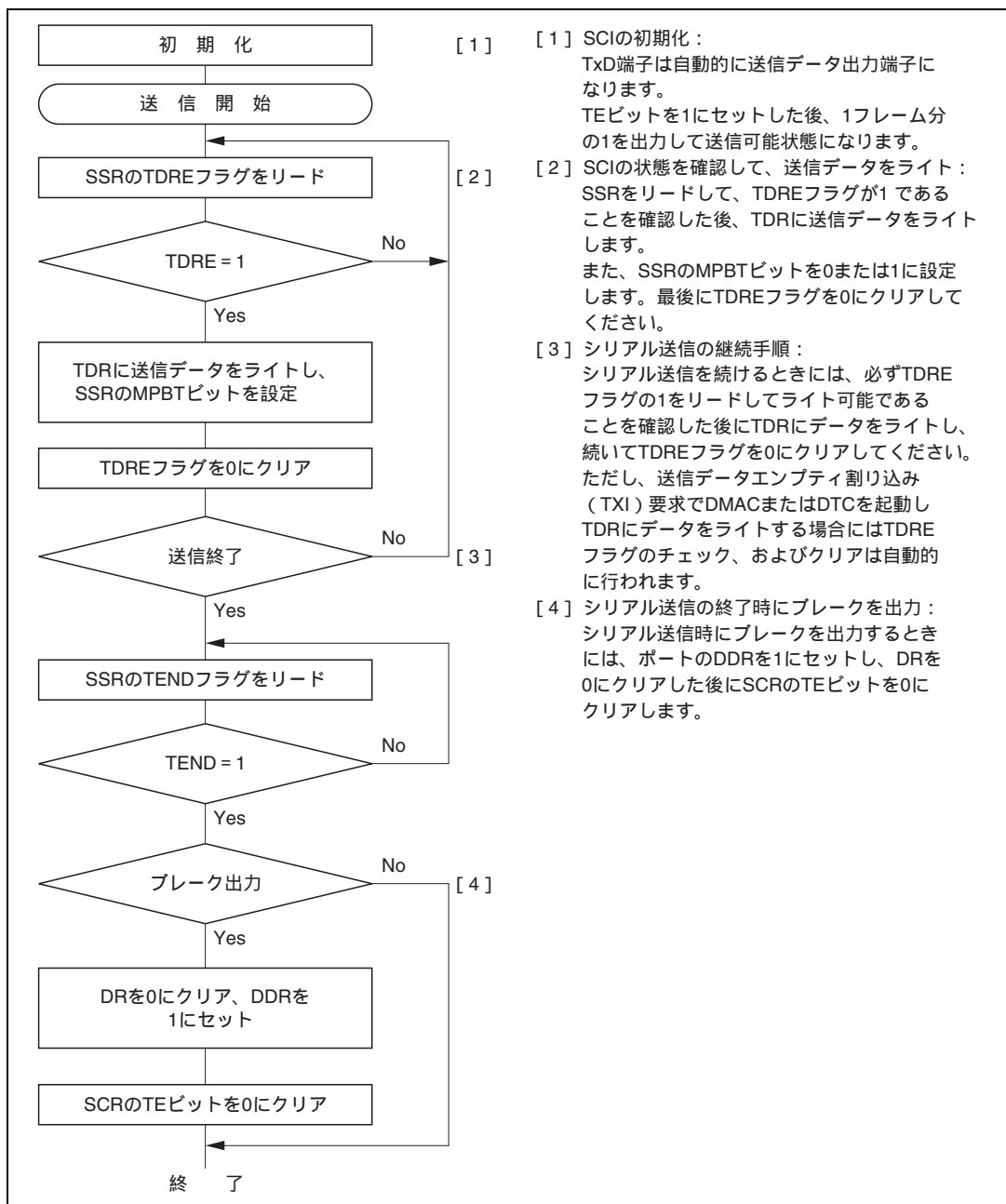


図 14.10 マルチプロセッサシリアル送信のフローチャートの例

## 14. シリアルコミュニケーションインタフェース (SCI)

SCI は、シリアル送信時に以下のように動作します。

- [ 1 ] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- [ 2 ] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。  
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。  
シリアル送信データは、以下の順にTx/D端子から送り出されます。
  - [ a ] スタートビット：  
1ビットの0が出力されます。
  - [ b ] 送信データ：  
8ビット/7ビットのデータがLSBから順に出力されます。
  - [ c ] マルチプロセッサビット：  
1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
  - [ d ] ストップビット：  
1ビット/2ビットの1 (ストップビット) が出力されます。
  - [ e ] マーク状態：  
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [ 3 ] SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。  
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。  
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 14.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

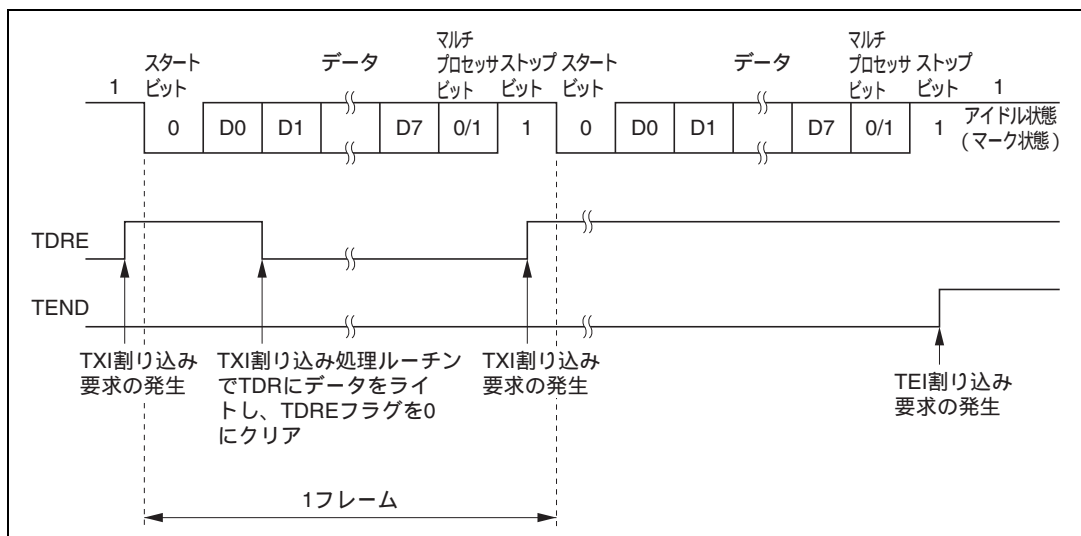


図 14.11 SCI の送信時の動作例  
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 14.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。  
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

## 14. シリアルコミュニケーションインタフェース (SCI)

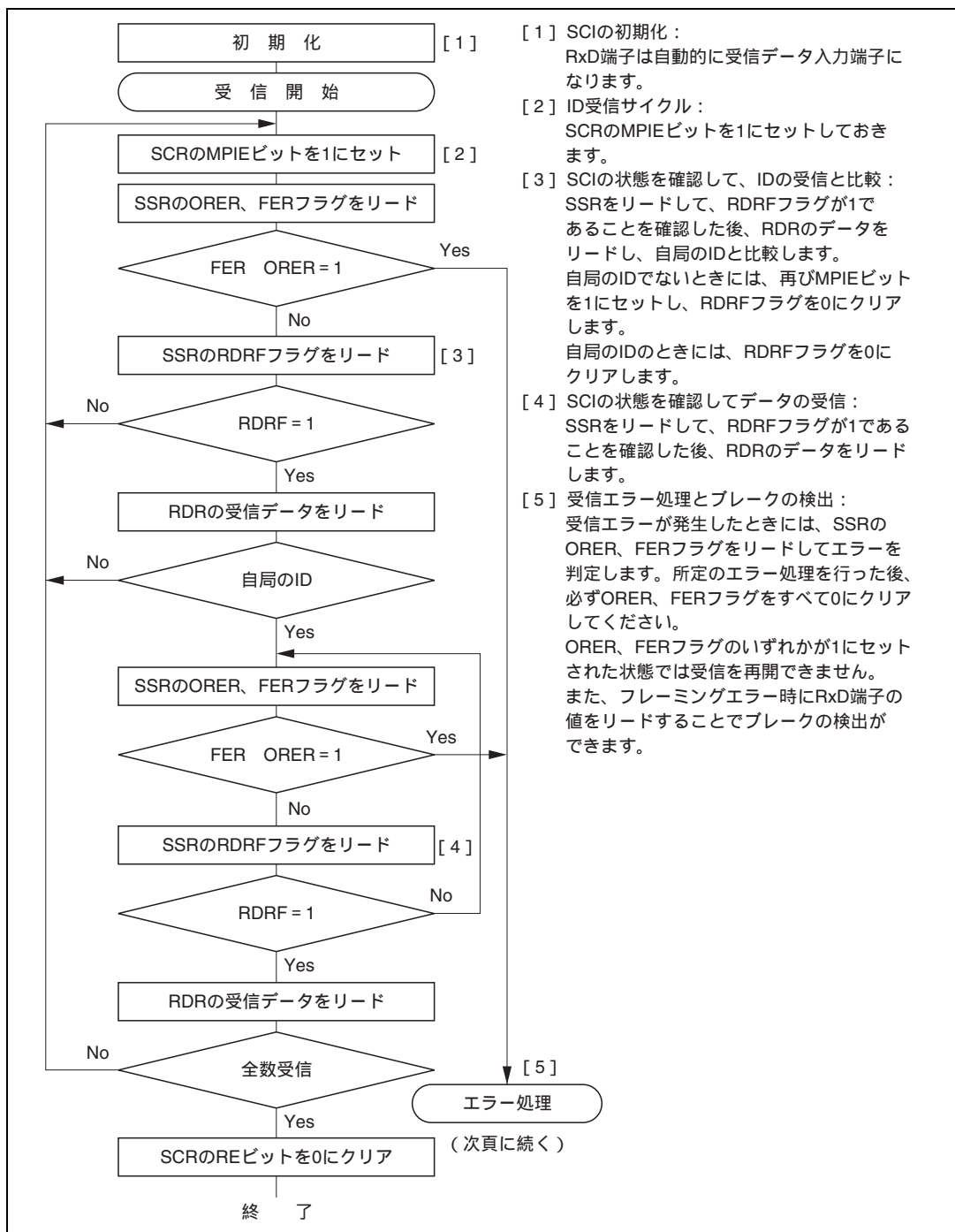


図 14.12 (1) マルチプロセッサシリアル受信フローチャートの例

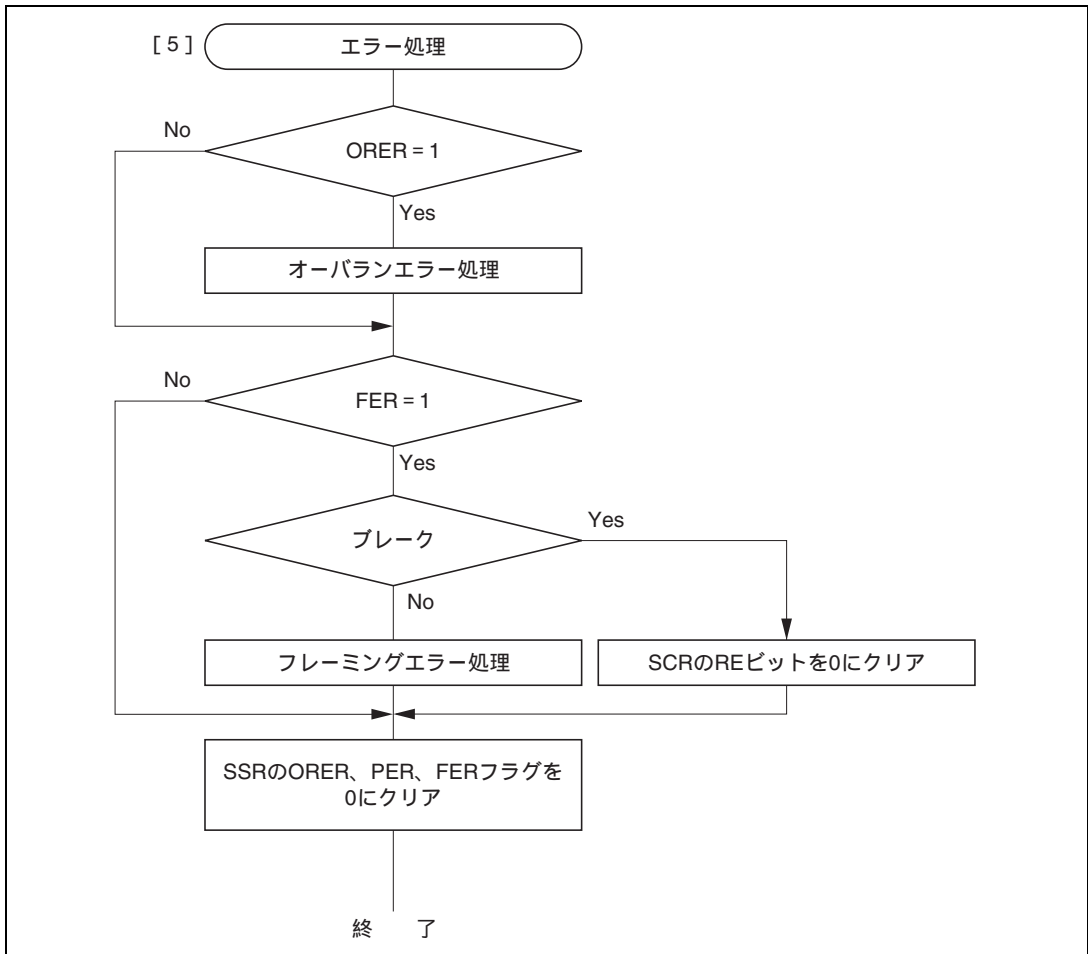


図 14.12 (2) マルチプロセッサシリアル受信フローチャートの例

図 14.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

## 14. シリアルコミュニケーションインタフェース (SCI)

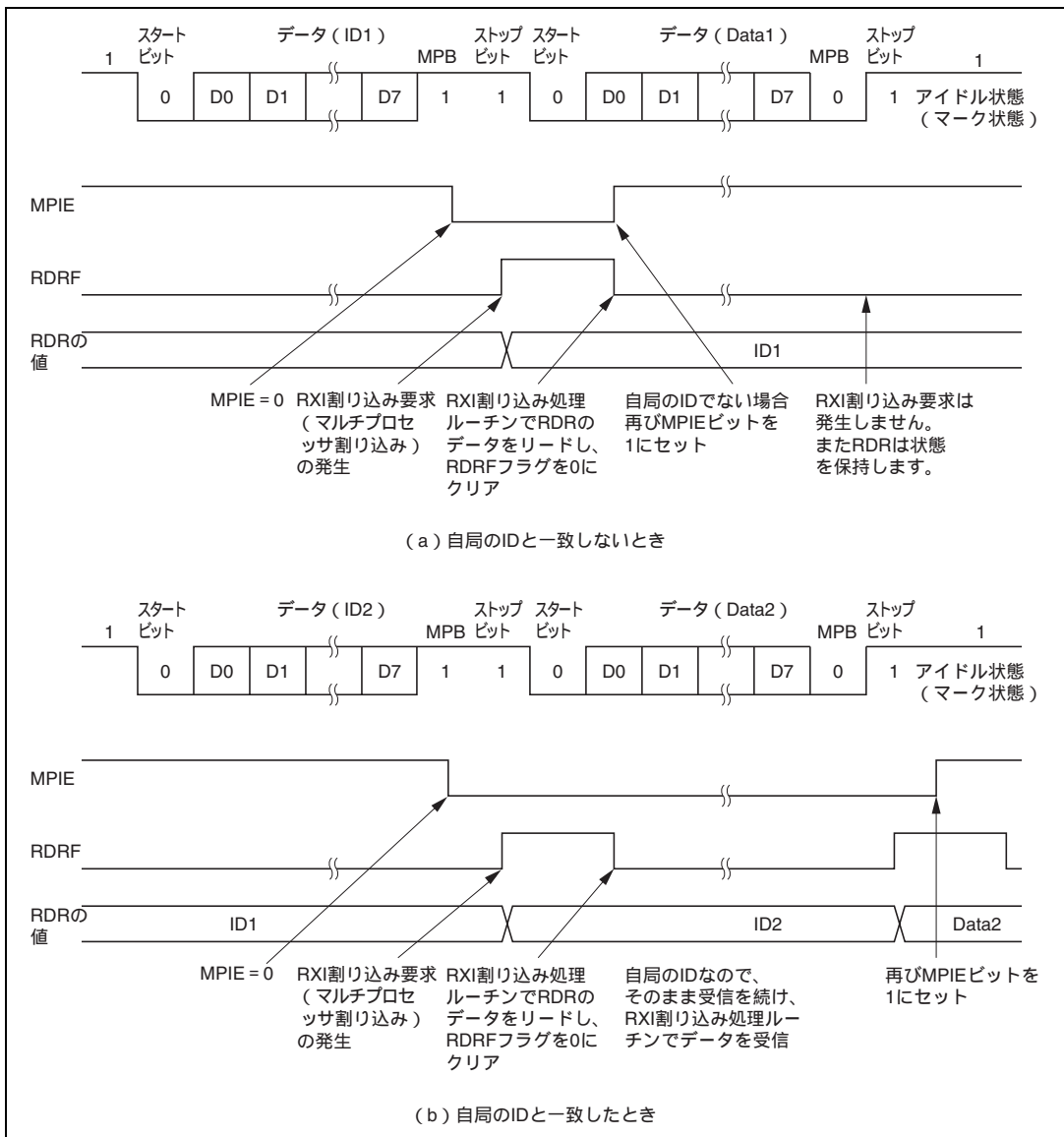


図 14.13 SCI の受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

### 14.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.14 に示します。

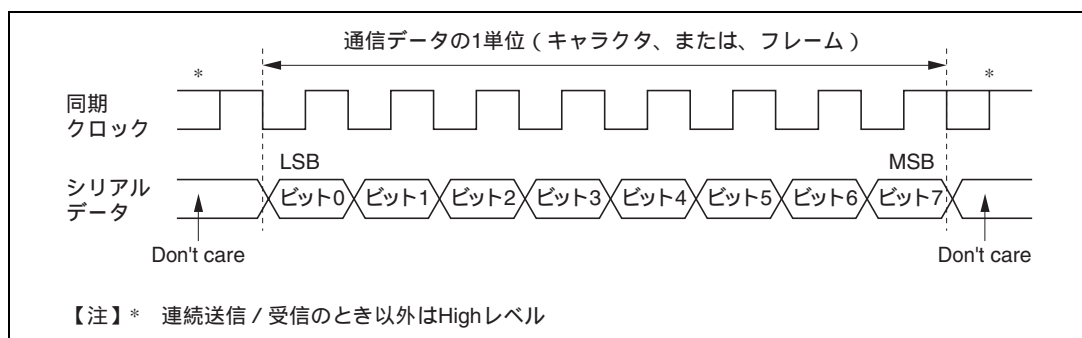


図 14.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信/受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

#### (2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 14.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

## 14. シリアルコミュニケーションインタフェース (SCI)

### (3) データの送信 / 受信動作

#### (a) SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 14.15 に SCI の初期化フローチャートの例を示します。

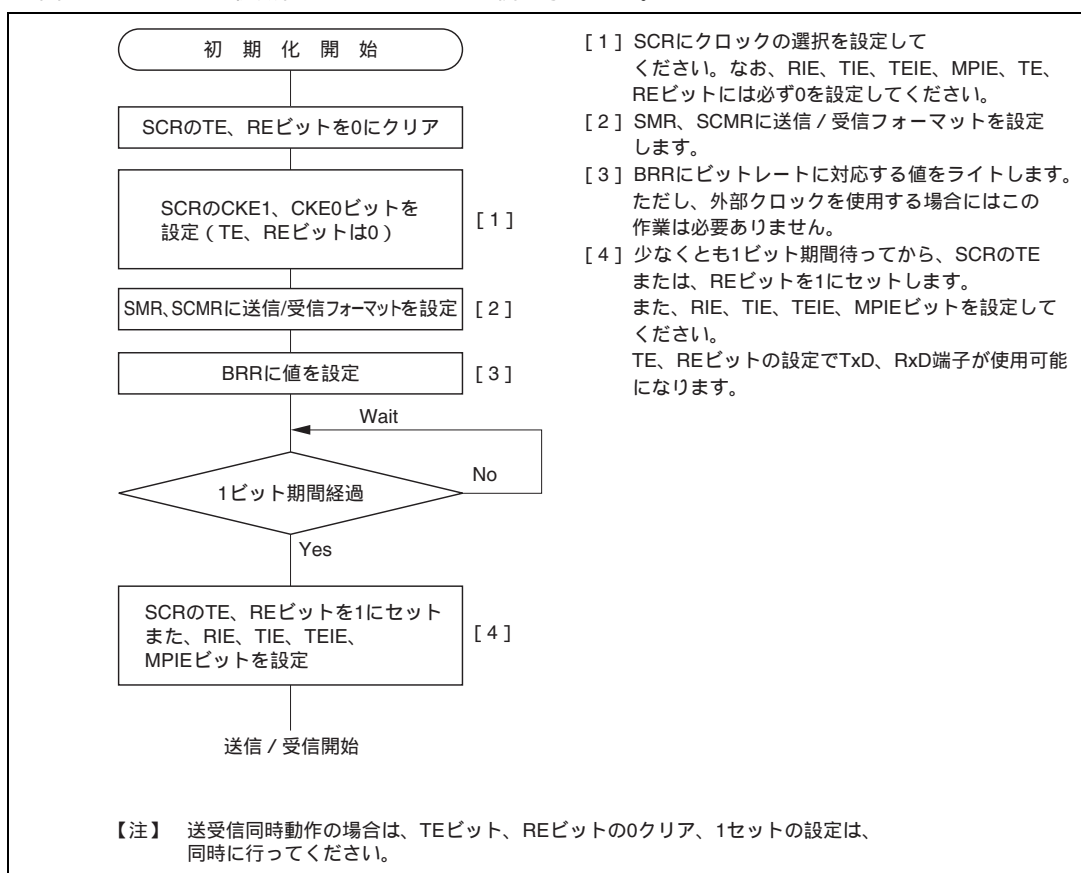


図 14.15 SCI の初期化フローチャートの例



## (b) シリアルデータ送信 (クロック同期式)

図 14.16 にシリアル送信のフローチャートの例を示します。  
シリアルデータ送信は以下の手順に従って行ってください。

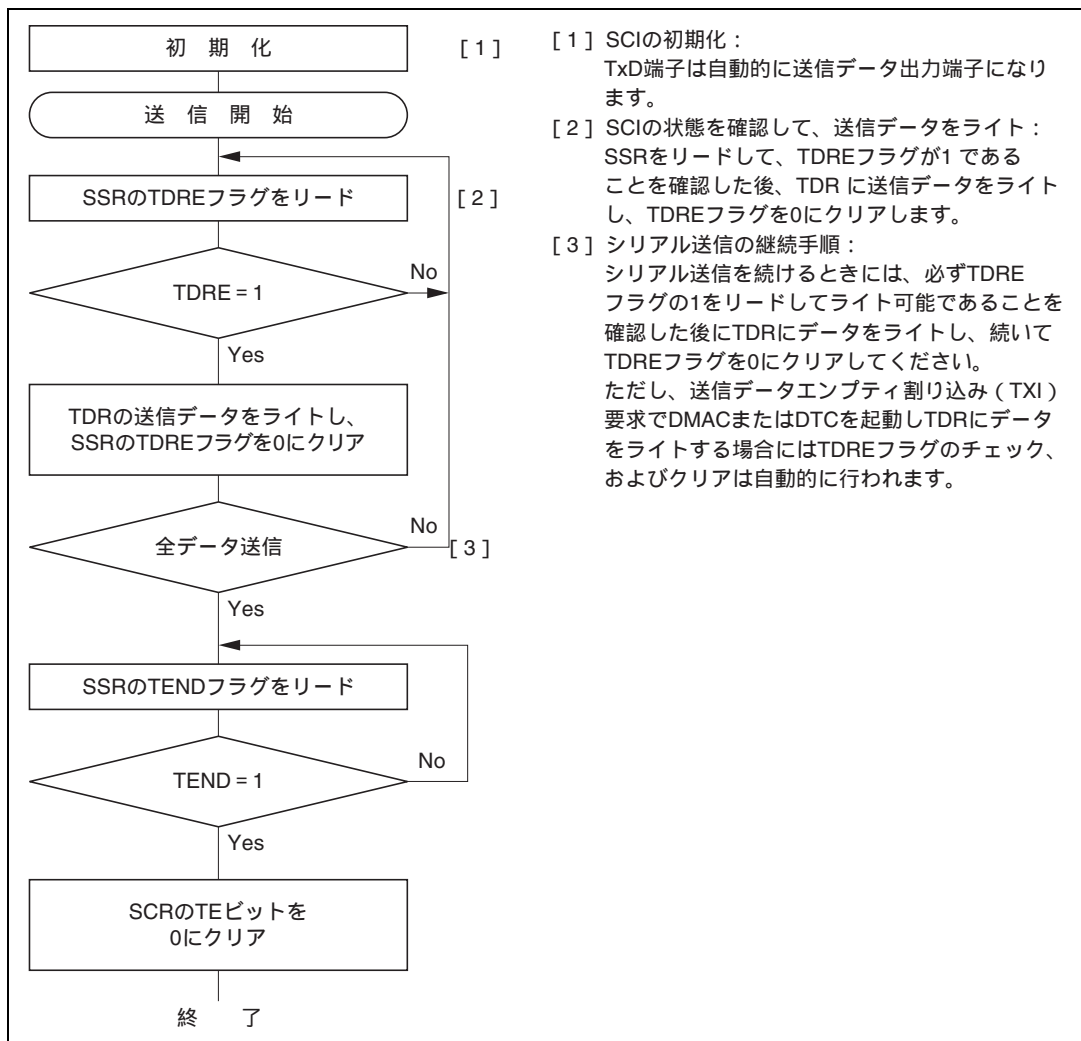


図 14.16 シリアル送信のフローチャートの例

## 14. シリアルコミュニケーションインタフェース (SCI)

SCI はシリアル送信時に以下のように動作します。

- [ 1 ] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされると認識し、TDRからTSRにデータを転送します。
- [ 2 ] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。  
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。  
シリアル送信データは、LSB (ビット0) からMSB (ビット7) の順にTxD端子から送り出されます。
- [ 3 ] SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。  
TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。  
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出した後、TxD端子は状態を保持します。  
このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
- [ 4 ] シリアル送信終了後は、SCK端子はHighレベル固定になります。

図 14.17 に SCI の送信時の動作例を示します。

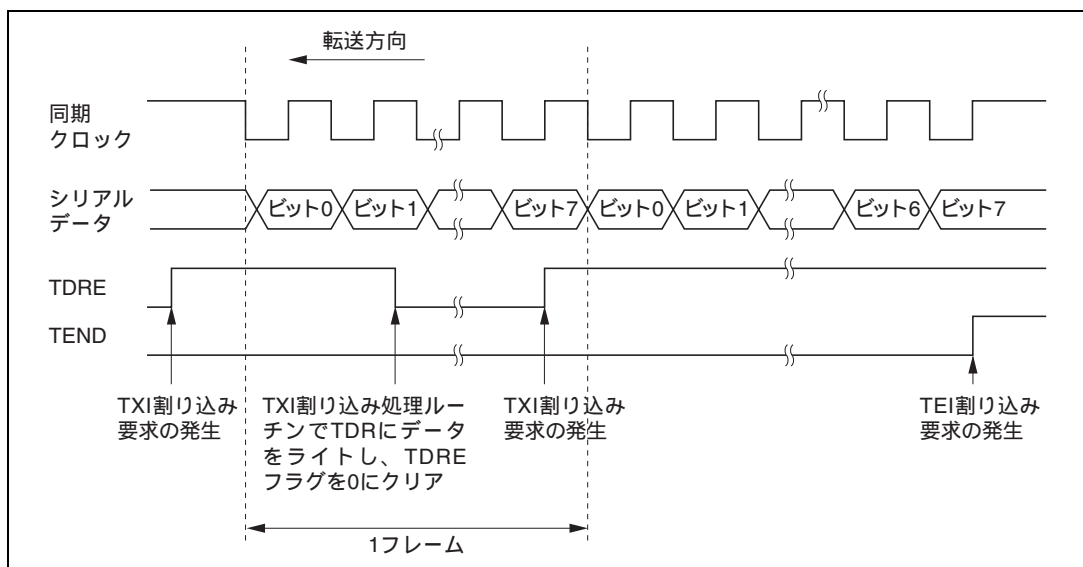


図 14.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 14.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行いうことができません。

## 14. シリアルコミュニケーションインタフェース (SCI)

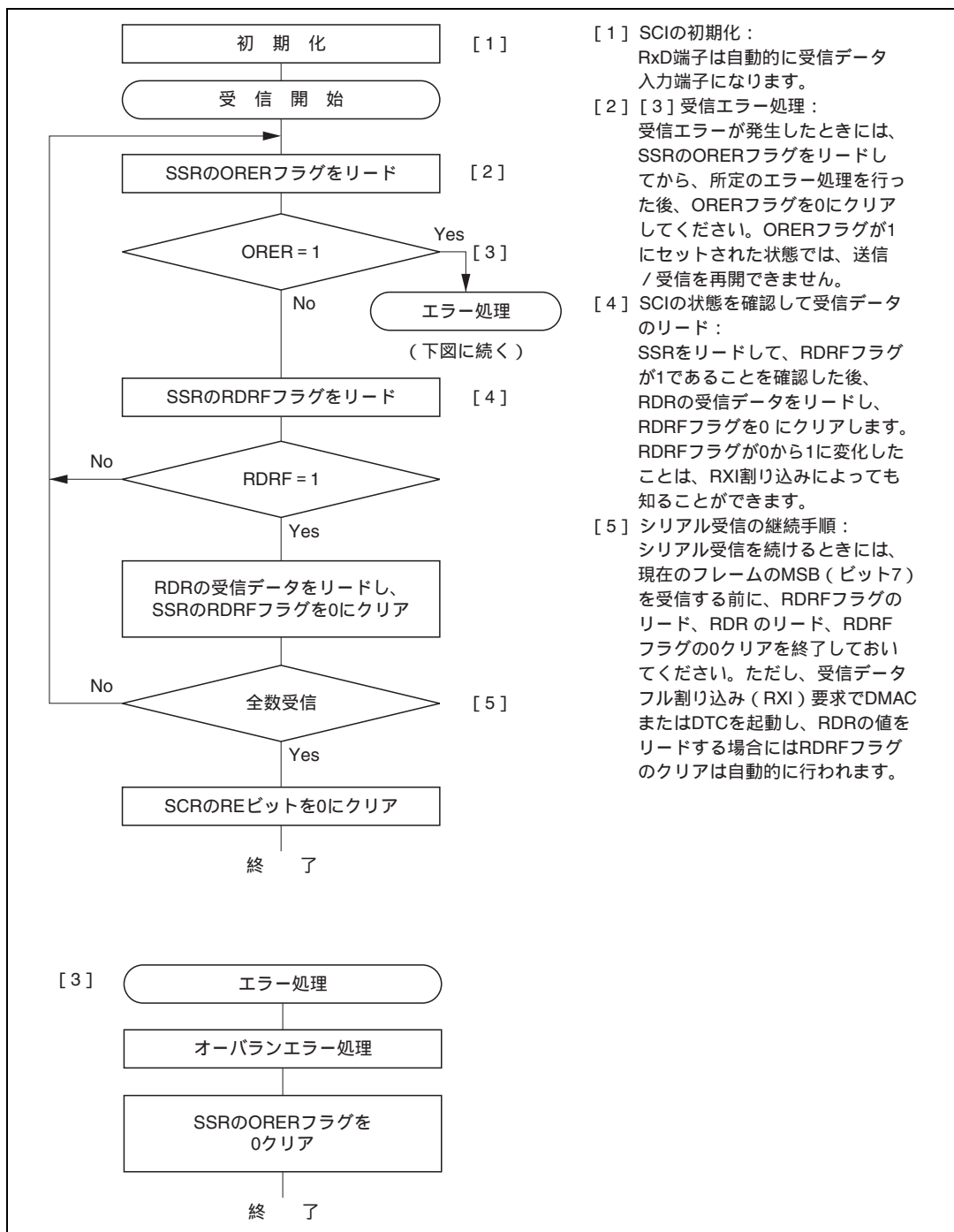


図 14.18 シリアルデータ受信フローチャートの例

SCI は受信時に以下のように動作します。

- [ 1 ] SCIは同期クロックの入力または出力に同期して内部を初期化します。
- [ 2 ] 受信したデータをRSRのLSBからMSBの順に格納します。  
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。  
このチェックを満足したときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表14.11のように動作します。  
エラーチェックで受信エラーを発生した状態では以後の送信動作、受信動作のいずれも行いうることができません。
- [ 3 ] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。  
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 14.19 に SCI の受信時の動作例を示します。

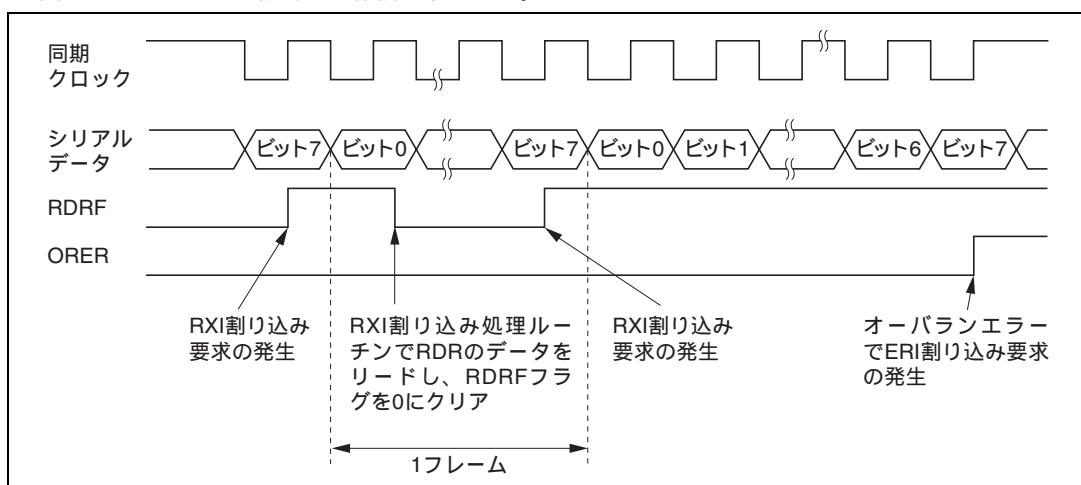


図 14.19 SCI の受信時の動作例

#### (d) シリアルデータ送受信同時動作 (クロック同期式)

図 14.20 にシリアル送受信同時動作のフローチャートの例を示します。  
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

## 14. シリアルコミュニケーションインタフェース (SCI)

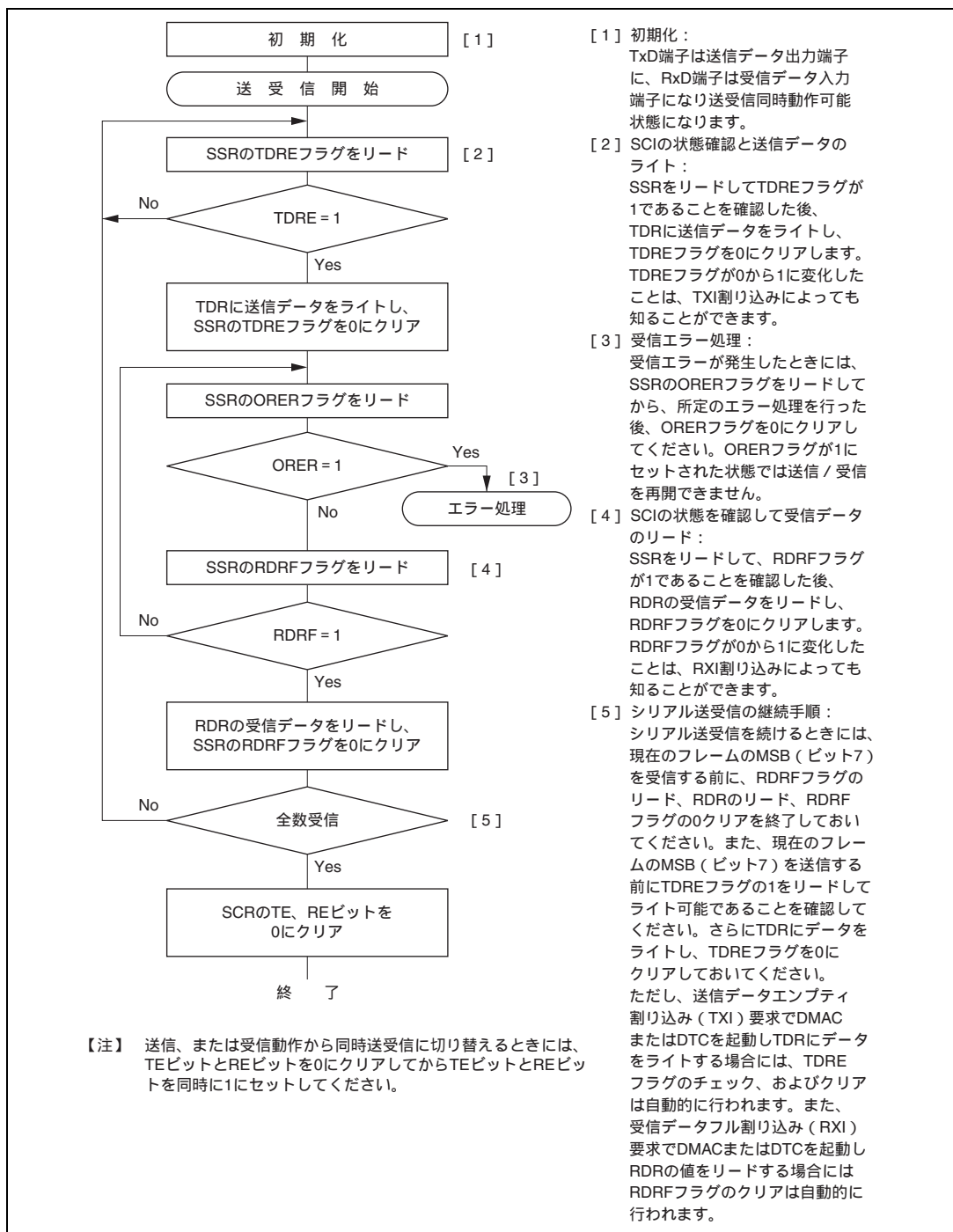


図 14.20 シリアル送受信同時動作のフローチャートの例

## 14.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンpty割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 14.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC または DTC を起動してデータ転送を行うことができます。TDRE フラグは DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DMAC または DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC または DTC を起動してデータ転送を行うことができます。RDRF フラグは DMAC または DTC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DMAC または DTC の起動はできません。

SCI チャンネル 2 の割り込みにより DMAC を起動することはできません。

表 14.12 SCI 割り込み要因

チャンネル	割り込み要因	内 容	DTC の起動	DMAC の起動	優先順位*
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	高 ↑ 低
	RXI	受信データフル (RDRF) による割り込み	可	可	
	TXI	送信データエンpty (TDRE) による割り込み	可	可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	可	
	TXI	送信データエンpty (TDRE) による割り込み	可	可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	
2	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	不可	
	RXI	受信データフル (RDRF) による割り込み	可	不可	
	TXI	送信データエンpty (TDRE) による割り込み	可	不可	
	TEI	送信終了 (TEND) による割り込み	不可	不可	

【注】 \* リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラの ICR、IPR により変更可能です。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に Rowe れます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませので注意してください。

## 14.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

### (1) TDR へのライトと TDRE フラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが1にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態では新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

### (2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、表14.13のようになります。また、オーバーランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表 14.13 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送	受信エラーの状態
RDRF	ORER	FER	PER	RSR RDR	
1	1	0	0	×	オーバーランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	×	オーバーランエラー+フレーミングエラー
1	1	0	1	×	オーバーランエラー+パリティエラー
0	0	1	1		フレーミングエラー+パリティエラー
1	1	1	1	×	オーバーランエラー+フレーミングエラー+パリティエラー

【注】 : RSR RDRに受信データを転送します。

× : RSR RDRに受信データを転送しません。

### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIは、ブレークを受信した後も受信動作を続けますので、FERフラグを0にクリアしても再び1にセットされますので、注意してください。

### (4) ブレークの送り出し

TxD端子は、DRとDDRにより入出力方向とレベルが決まるI/Oポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化からTEビットを1にセットするまでは、マーク状態をDRの値で代替します (TEビットを1にセットするまで、TxD端子として機能しません)。このため、最初はTxD端子に対応するポートのDDRとDRを1に設定しておきます。



シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 14.21 に示します。

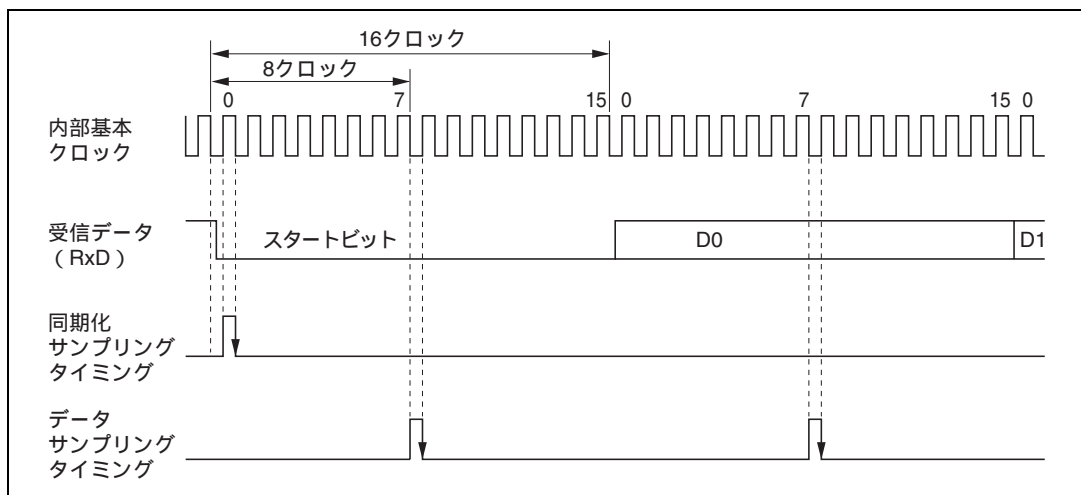


図 14.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

## 14. シリアルコミュニケーションインタフェース (SCI)

式(1)で、 $F=0$ 、 $D=0.5$ とすると、受信マージンは式(2)より46.875%となります。

$D=0.5$ 、 $F=0$ のとき、

$$M = \left( 0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

...式(2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

### (7) DMACまたはDTC使用上の制約事項

- (a) 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、 $\phi$ クロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります。(図14.22)
- (b) DMACまたはDTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み(RXI)に設定してください。

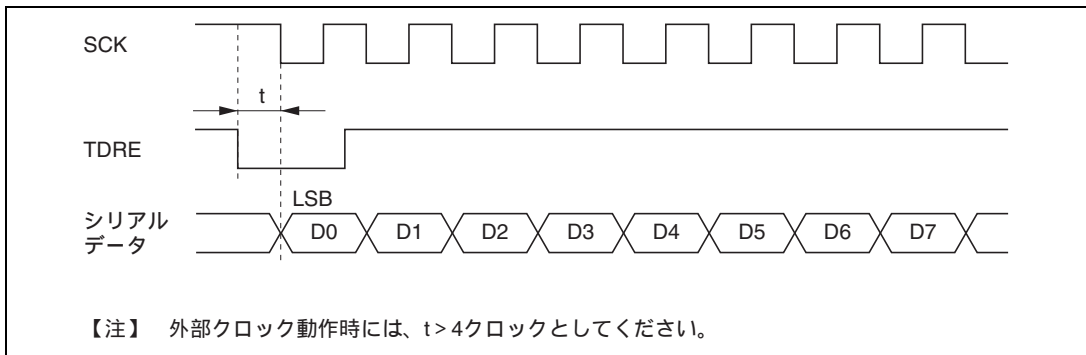


図 14.22 DTC によるクロック同期式送信時の例

---

## 15. スマートカードインタフェース

---

### 15.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 ( Identification Card ) に準拠した IC カード ( スマートカード ) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

#### 15.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

##### 調歩同期式モード

- データ長 : 8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル ( パリティエラー ) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション / インパースコンベンションの両方をサポート

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

##### 3 種類の割り込み要因

- 送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、DMA コントローラ ( DMAC ) またはデータトランスファコントローラ ( DTC ) を起動させてデータを転送可能

## 15. スマートカードインタフェース

### 15.1.2 ブロック図

図 15.1 にスマートカードインタフェースのブロック図を示します。

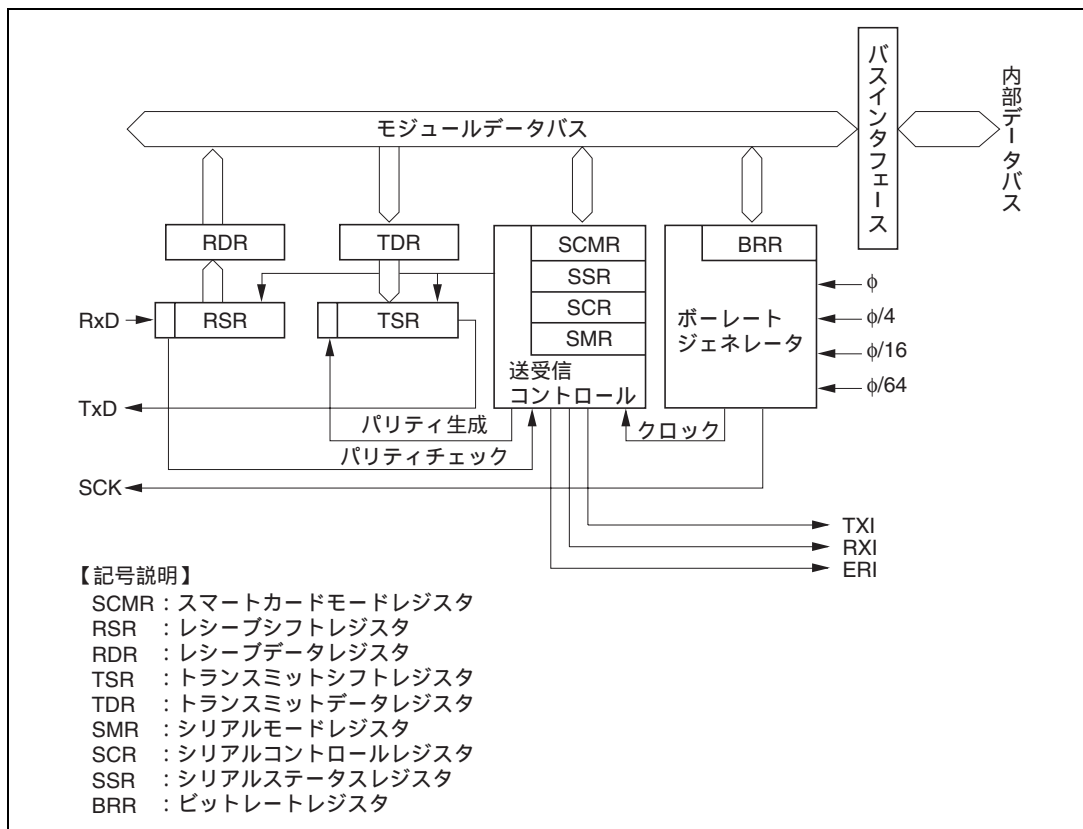


図 15.1 スマートカードインタフェースのブロック図

### 15.1.3 端子構成

スマートカードインタフェースの端子構成を表 15.1 に示します。

表 15.1 端子構成

チャンネル	名称	記号	入出力	機能
0	シリアルクロック端子 0	SCK <sub>0</sub>	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD <sub>0</sub>	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD <sub>0</sub>	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK <sub>1</sub>	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD <sub>1</sub>	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD <sub>1</sub>	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK <sub>2</sub>	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD <sub>2</sub>	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD <sub>2</sub>	出力	SCI2 の送信データ出力

## 15. スマートカードインタフェース

### 15.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 15.2 に示します。SMR、BRR、SCR、TDR、RDR、MSTPCR については、通常の SCI の機能と同様ですので、「第 14 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

表 15.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*1
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)*2	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
共通	モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 15.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

### 15.2.1 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

SCMR は、リセット、スタンバイモード、またはモジュールストップモード時に、HF2 に初期化されます。

#### ビット7~4: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

#### ビット3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

#### ビット2: スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「15.3.4 レジスタの設定」を参照してください。

ビット2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

## 15. スマートカードインタフェース

### ビット 1: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

### ビット 0: スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能を許可または禁止するビットです。

ビット 0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

## 15.2.2 シリアルステータスレジスタ (SSR)

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】\* フラグをクリアするための 0 ライトのみ可能です。

スマートカードインタフェースモードにおいては、SSR のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

### ビット 7~5:

通常の SCI と同様の動作をします。詳細は「14.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

### ビット 4: エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説明
ERS	
0	[クリア条件] (初期値) (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS=1 の状態をリードした後、0 をライトしたとき
1	[セット条件] エラーシグナル Low をサンプリングしたとき

【注】 SCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。



ビット3~0:

通常の SCI と同様の動作をします。詳細は「14.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット2	説明
TEND	
0	[クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトした (2) DMAC または DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCR の TE ビットが 0 かつ ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

### 15.2.3 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\*スマートカードインタフェースを使用する場合は、ビット 6、5、3、2 に対して設定値に示す 0 または 1 の値を必ず設定してください。

スマートカードインタフェースモードにおいては、SMR のビット 7 の機能が変更されます。

## 15. スマートカードインタフェース

### ビット7：GSMモード（GM）

スマートカードインタフェース機能を GSM モードに設定します。

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ（SCR）のビット 1 およびビット 0 で指定します。

ビット7	説明
GM	
0	通常のスマートカードインタフェースモードの動作。 (1) TEND フラグが開始ビットの先頭から 12.5etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のみ (初期値)
1	GSM モードのスマートカードインタフェースモードの動作。 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF 制御の他、High/Low 固定制御可能（SCR で設定）

【注】 etu（Elementary Time Unit）：1 ビットの転送期間の略

### ビット6～0：

通常の SCI と同様の動作をします。詳細は「14.2.5 シリアルモードレジスタ（SMR）」を参照してください。

## 15.2.4 シリアルコントロールレジスタ（SCR）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

スマートカードインタフェースモードで、シリアルモードレジスタ（SMR）のビット 7 が 1 のときに、SCR のビット 1 およびビット 0 の機能が変更されます。

### ビット7～2：

通常の SCI と同様の動作をします。詳細は「14.2.6 シリアルコントロールレジスタ（SCR）」を参照してください。

ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。

スマートカードインタフェースモード時では、通常のクロック出力の許可 / 禁止切り替えの他、クロック出力の High レベル固定と Low レベル固定を設定することができます。

SCMR	SMR	SCR の設定		SCK 端子機能の説明
SMIF	C/ $\bar{A}$ 、GM	CKE1	CKE0	
0	SCI 指定参照			
1	0	0	0	ポート入出力端子として動作
			1	SCK 出力端子としてクロック出力
	1	1	0	SCK 出力端子として Low 出力固定
			1	SCK 出力端子としてクロック出力
			0	SCK 出力端子として High 出力固定
			1	SCK 出力端子としてクロック出力

## 15.3 動作説明

### 15.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル Low を 1etu 期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

### 15.3.2 端子接続

図 15.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 VCC 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

## 15. スマートカードインタフェース

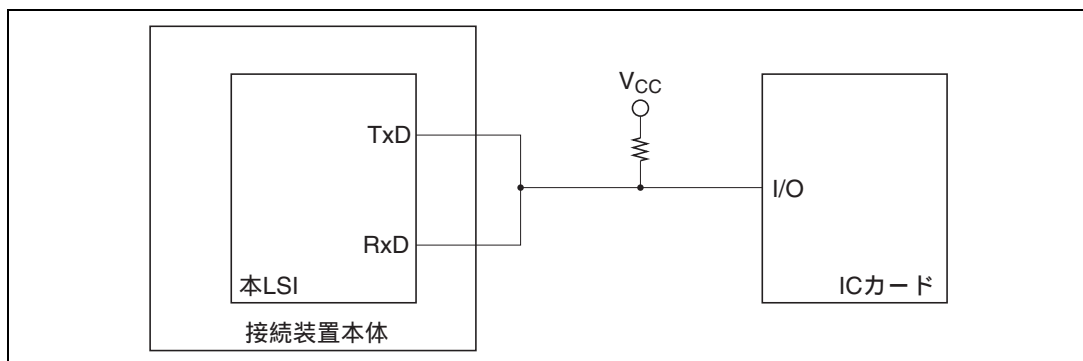


図 15.2 スマートカードインタフェース端子接続概略図

【注】 ICカードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

### 15.3.3 データフォーマット

図 15.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時は、エラーシグナルをサンプリングすると同じデータを再送信します。

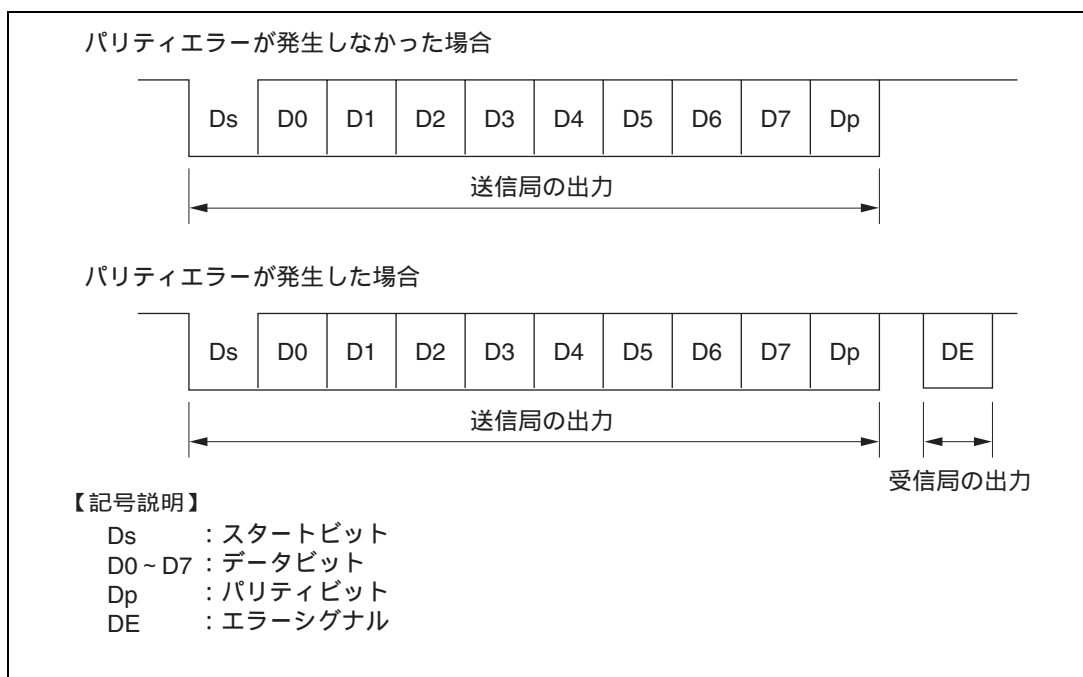


図 15.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [ 1 ] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [ 2 ] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Lowレベル) から開始します。この後に、8ビットのデータビット (D<sub>0</sub>~D<sub>7</sub>) とパリティビット (Dp) が続きます。
- [ 3 ] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [ 4 ] 受信側は、パリティチェックを行います。  
パリティエラーが無く正常に受信した場合、そのまま次のデータ受信を待ちます。  
一方、パリティエラーが発生した場合は、エラーシグナル (DE、Lowレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- [ 5 ] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、[ 2 ] に戻りエラーとなったデータを再送信します。

### 15.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 15.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 15.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SMR	GM	0	1	O/ $\bar{E}$	1	0	CKS1	CKS0
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	TIE	RIE	TE	RE	0	0	CKE1	CKE0
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	-	-	-	-	SDIR	SINV	-	SMIF

【注】 - : 未使用ビットを示します。

## 15. スマートカードインタフェース

---

### (1) SMR の設定

GM ビットは TEND フラグのセットタイミングとクロック出力の制御を行います。

O/E ビットは、IC カードがダイレクトコンベンション時には 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。「15.3.5 クロック」を参照してください。

### (2) BRR の設定

ビットレートを設定します。設定値の算出方法は「15.3.5 クロック」を参照してください。

### (3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 14 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は B'00 に設定し、クロックを出力する場合は B'01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

### (4) スマートカードモードレジスタ (SCMR) の設定

SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード (ダイレクトコンベンションタイプとインバースコンベンションタイプ) に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

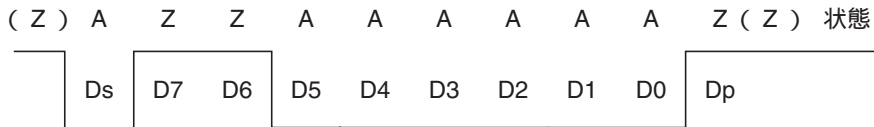
#### (a) ダイレクトコンベンション (SDIR = SINV = O/E = 0)

( Z ) A    Z    Z    A    Z    Z    Z    A    A    Z ( Z ) 状態



ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規格により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV =  $O/\bar{E} = 1$ )

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規格により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の  $O/\bar{E}$  ビットを奇数パリティモードに設定します (送信、受信とも同様です)。

### 15.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートは BRR と SMR の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 15.5 に示します。

このとき CKE0 = 1 でクロック出力を選択すると、SCK 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{\phi}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N = BRR の設定値 (0 ≤ N ≤ 255)

B = ビットレート (bit/s)

$\phi$  = 動作周波数 (MHz)

n = 表 15.4 を参照

表 15.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

## 15. スマートカードインタフェース

表 15.5 BRR の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

$\phi$ (MHz) \ N	10.00	10.714	13.00	14.285	16.00	18.00
0	13441	14400	17473	19200	21505	24194
1	6720	7200	8737	9600	10753	12097
2	4480	4800	5824	6400	7168	8065

【注】 ビットレートは、小数点以下 1 桁目を四捨五入した数値です。

一方、動作周波数とビットレートからビットレートレジスタ (BBR) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 15.6 ビットレート B (bit/s) に対する BRR の設定例 (ただし、n=0 のとき)

$\phi$ (MHz) \ bit/s	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99

表 15.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

$\phi$ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left( \frac{\phi}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$



### 15.3.6 データの送信 / 受信動作

#### (1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

- [ 1 ] SCRのTE、REビットを0にクリアします。
- [ 2 ] SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
- [ 3 ] SMRのO $\bar{E}$ ビットとCKS1、CKS0ビットを設定してください。このとき、C/ $\bar{A}$ 、CHR、MPビットは0に、STOP、PEビットは1に設定してください。
- [ 4 ] SCMRのSMIF、SDIR、SINVビットを設定してください。  
SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
- [ 5 ] ビットレートに対応する値をBRRに設定します。
- [ 6 ] SCRのCKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1ビットは、0に設定してください。  
CKE0ビットを1にセットした場合は、SCK端子からクロック出力されます。
- [ 7 ] 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

#### (2) シリアルデータ送信

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 15.5 に示します。

- [ 1 ] (1) の手順に従いスマートカードインタフェースモードに初期化します。
- [ 2 ] SSRのエラーフラグERSが0にクリアされていることを確認してください。
- [ 3 ] SSRのTENDフラグが1にセットされていることが確認できるまで、[ 2 ]、[ 3 ] を繰り返してください。
- [ 4 ] TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- [ 5 ] 連続してデータを送信する場合は、[ 2 ] に戻ってください。
- [ 6 ] 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理またはDMAC、DTCによるデータ転送が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求を発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 15.4 に TEND フラグセットタイミングを示します。

TXI 要求で DMAC または DTC を起動する場合、自動再転送を含め DMAC または DTC に設定したバイト数を自動的に送信することができます。

詳細は (6)、(7) を参照してください。

## 15. スマートカードインタフェース

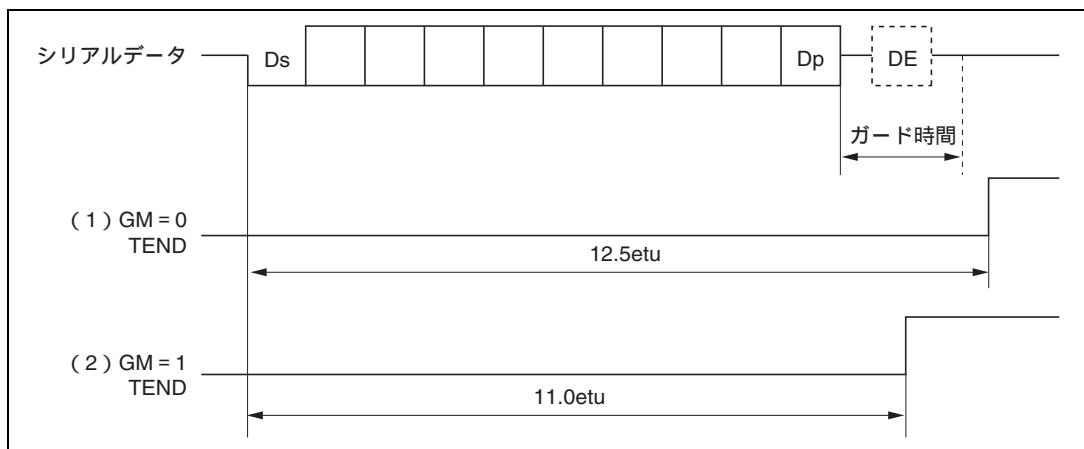


図 15.4 TEND フラグセットタイミング

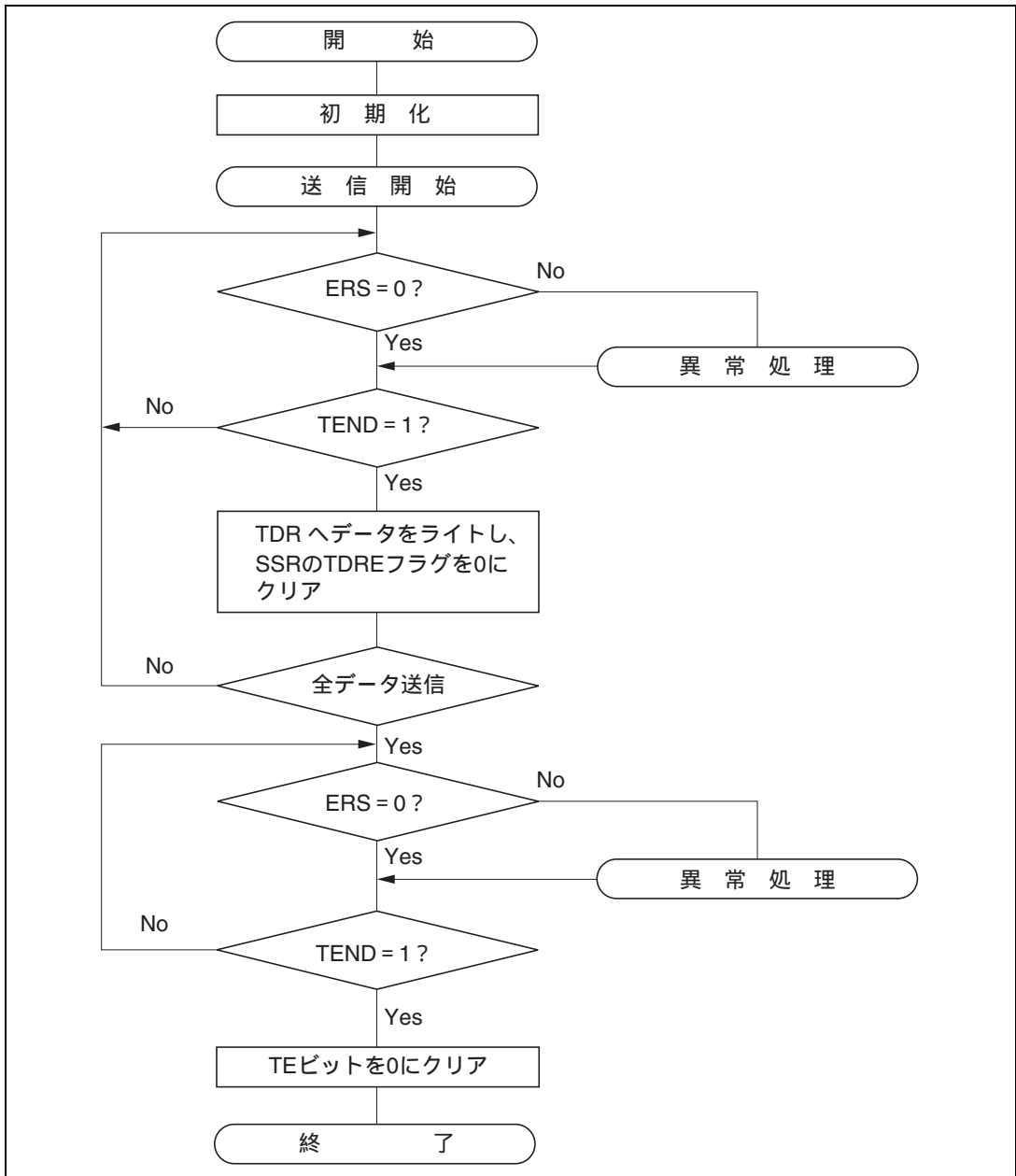


図 15.5 送信処理フローの例

## 15. スマートカードインタフェース

### (3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 15.6 に示します。

- [ 1 ] SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- [ 2 ] SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- [ 3 ] RDRFフラグが1であることを確認できるまで [ 2 ]、[ 3 ] を繰り返してください。
- [ 4 ] RDRから受信データをリードしてください。
- [ 5 ] 継続してデータを受信する場合は、RDRFフラグを0にクリアして [ 2 ] の手順に戻ってください。
- [ 6 ] 受信を終了する場合は、REビットを0にクリアします。

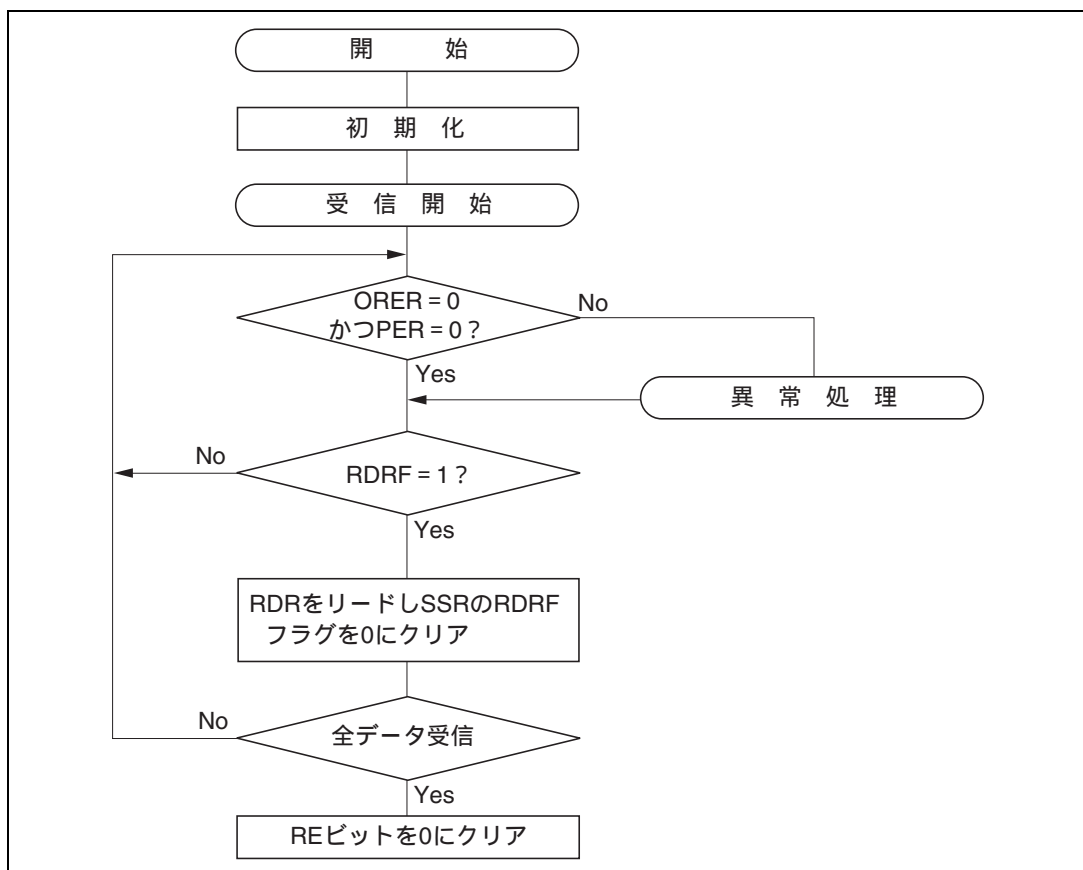


図 15.6 受信処理フローの例

以上の一連の処理は、割り込み処理または DMAC、DTC によるデータ転送が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

RXI 要求で DMAC または DTC を起動する場合、エラーの発生した受信データをスキップして DMAC または DTC に設定したバイト数だけ受信データを転送します。

詳細は (6)、(7) を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

#### (4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は RDRF フラグあるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できません。

#### (5) クロック出力の固定

SMR の GSM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.7 にクロック出力の固定タイミングを示します。GSM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

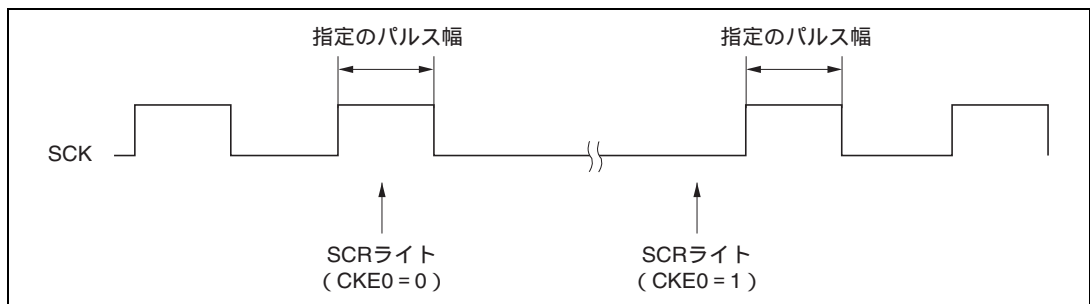


図 15.7 クロック出力固定タイミング

(6) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の3種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが1にセットされると、TXI 割り込み要求を発生します。

SSR の RDRF フラグが1にセットされると、RXI 割り込み要求を発生します。

SSR の ORER、PER、ERS フラグのいずれかが1にセットされると、ERI 割り込み要求を発生します。これらの関係を表 15.8 に示します。

表 15.8 スマートカードモードの動作状態と割り込み要因。

動作状態		フラグ	許可ビット	割り込み要因	DMAC の起動	DTC の起動
送信モード	正常動作	TEND	TIE	TXI	可	可
	エラー	ERS	RIE	ERI	不可	不可
受信モード	正常動作	RDRF	RIE	RXI	可	可
	エラー	PER、ORER	RIE	ERI	不可	不可

(7) DMAC または DTC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC または DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが1にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DMAC または DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC または DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC または DTC によるデータ転送時に自動的に0にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は0のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを1にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC または DTC を使って送受信を行う場合は、必ず先に DMAC または DTC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC、DTC の設定方法は「第7章 DMA コントローラ (DMAC)」、「第8章 データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが1にセットされると RXI 割り込み要求が発生します。あらかじめ DMAC または DTC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC または DTC が起動されて受信データの転送を行います。RDRF フラグは、DMAC または DTC によるデータ転送時に、自動的に0にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため、DMAC または DTC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

### 15.3.7 ソフトウェアスタンバイモードの使用例

スマートカードインタフェースモードを使用したシステムでソフトウェアスタンバイモードを使用する場合、以下の手順により、シリアルクロックのパルス幅を保持することができます。

図 15.8 にソフトウェアスタンバイモードの使用例を示します。

#### (1) ソフトウェアスタンバイモードへの遷移

- [ 1 ] シリアルクロックに対応するI/OポートのDDRとDRをソフトウェアスタンバイモードでの出力固定状態に設定してください。
- [ 2 ] SCRのTEビットとREビットを0にクリアし、送/受信動作を停止します。同時に、CKE1ビットをソフトウェアスタンバイモードの出力固定状態に設定してください。
- [ 3 ] SCRのCKE0ビットを0にクリアし、クロックを停止してください。
- [ 4 ] シリアルクロックの1クロックの期間待ってください。この間に、パルス幅を保持して、指定のレベルでシリアルクロック出力は固定されます。
- [ 5 ] SMRとSCMRにH'00をライトしてください。
- [ 6 ] ソフトウェアスタンバイモードに遷移してください。

#### (2) ソフトウェアスタンバイモードの解除

- [ 7 ] 外部割り込みによってソフトウェアスタンバイモードを解除してください。
- [ 8 ] SCRのCKE1ビットをソフトウェアスタンバイモードでの出力固定状態(対応するI/Oポートの状態)に設定します。
- [ 9 ] スマートカードインタフェースモードに設定し、クロック出力を行ってください。指定したパルス幅でクロック出力を行います。

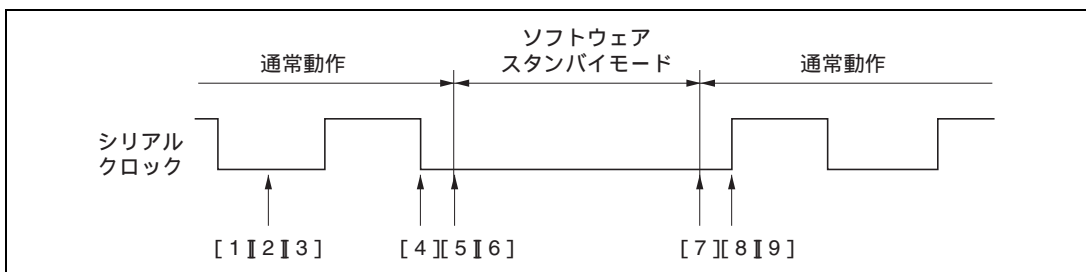


図 15.8 ソフトウェアスタンバイモードの遷移/解除

### 15.3.8 電源投入後の動作

以下の手順により、電源投入後からシリアルクロックのパルス幅を確保することができます。

- [ 1 ] 電源投入後のシリアルクロックの初期状態は、入力ポートのためハイインピーダンス状態です。電位を固定するために、プルアップまたはプルダウンしてください。
- [ 2 ] SCRのCKE1ビットで出力状態を指定してください。
- [ 3 ] SMRとSCMRを設定し、スマートカードインタフェースモードを設定してください。
- [ 4 ] SCRのCKE0ビットに1をセットして、シリアルクロック出力を開始してください。

## 15.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

### (1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 15.9 に示します。

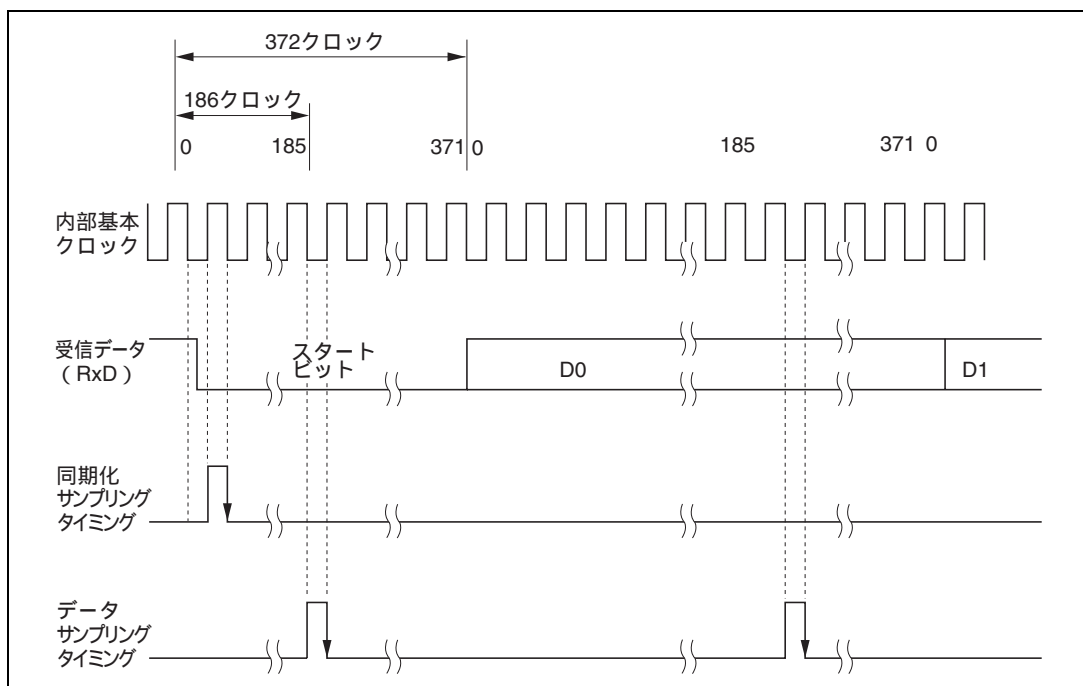


図 15.9 スマートカードインタフェースモード時の受信データサンプリングタイミング



したがって、受信マージンは、次の式のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

- M : 受信マージン (%)  
 N : クロックに対するビットレートの比 (N = 372)  
 D : クロックデューティ (D = 0 ~ 1.0)  
 L : フレーム長 (L = 10)  
 F : クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5 とすると、受信マージン式は次のようになります。

$$\begin{aligned} D &= 0.5, F = 0 \text{ のとき、} \\ M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

## (2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

### (a) SCI が受信モードの場合の再転送動作

SCI受信モードの場合の再転送動作を図15.10に示します。

- [ 1 ] 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- [ 2 ] 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- [ 3 ] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- [ 4 ] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。  
 さらに、RXI要因によるDMACまたはDTCのデータ転送が許可されていれば、RDRの内容を自動的にリードすることができます。DMACまたはDTCでRDRのデータをリードした場合、RDRFフラグは自動的に0にクリアされます。
- [ 5 ] 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

## 15. スマートカードインタフェース

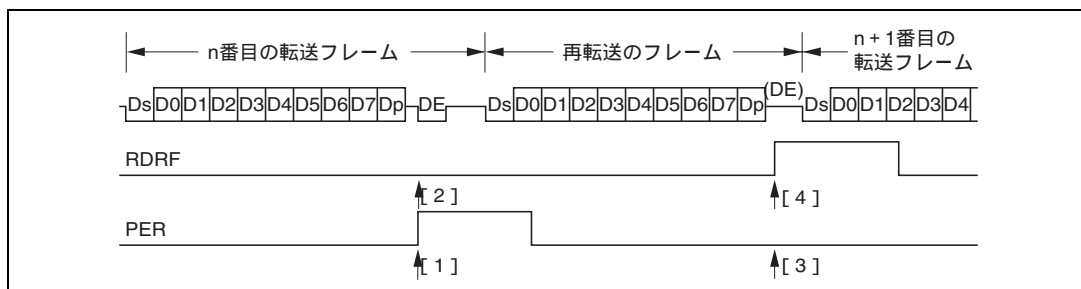


図 15.10 SCI 受信モードの場合の再転送動作

### (b) SCI が送信モードの場合の再転送動作

SCI送信モードの場合の再転送動作を図15.11に示します。

- [ 6 ] 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
- [ 7 ] 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
- [ 8 ] 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
- [ 9 ] 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。

さらに、TXI要因によるDMAC、DTCによるデータ転送が許可されていれば、自動的にTDRに次のデータをライトすることができます。DMACまたはDTCでTDRにデータをライトした場合、TDREビットは自動的に0にクリアされます。

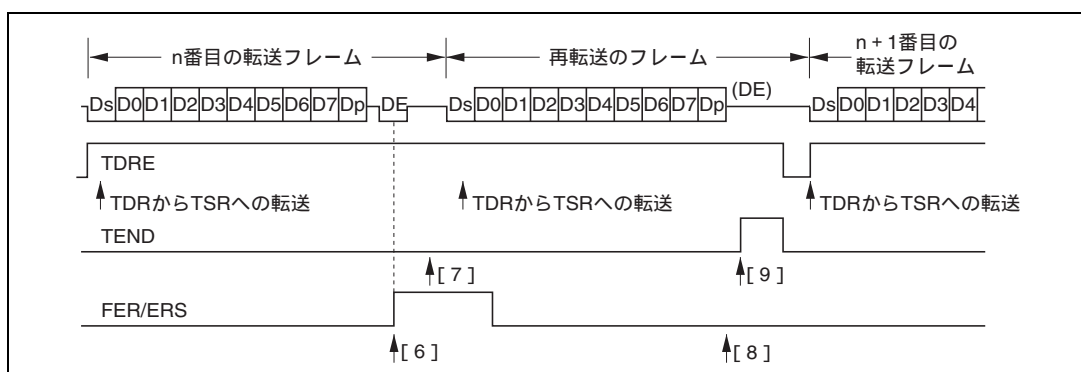


図 15.11 SCI 送信モードの場合の再転送動作

---

## 16. A/D 変換器

---

### 16.1 概要

本 A/D 変換器は 10 ビットの分解能を持ち、最大 8 チャンネルのアナログ入力を選択することができます。

#### 16.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビット分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定可能

リファレンス電圧端子 ( $V_{ref}$ ) をアナログ基準電圧として、 $0V \sim V_{ref}$  のアナログ入力を変換

高速変換

最小変換時間： 1 チャンネル当たり 2.2 $\mu$ s (20MHz 動作時)

連続変換時 1 チャンネル当たり 1.0 $\mu$ s

豊富な変換モード

セレクトモード/グループモードの選択が可能

シングルモード/スキャンモードの選択が可能

バッファ動作が可能

2 チャンネル同時サンプリングが可能

3 種類の変換開始

ソフトウェア、タイマの変換開始トリガ (TPU または 8 ビットタイマ) または  $\overline{ADTRG}$  端子の選択が可能

8 本のデータレジスタ

変換結果を、各チャンネルに対応した 16 ビットデータレジスタに保持

サンプル&ホールド機能

A/D 変換終了割り込み発生

A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能

## 16.1.2 ブロック図

A/D 変換器のブロック図を図 16.1 に示します。

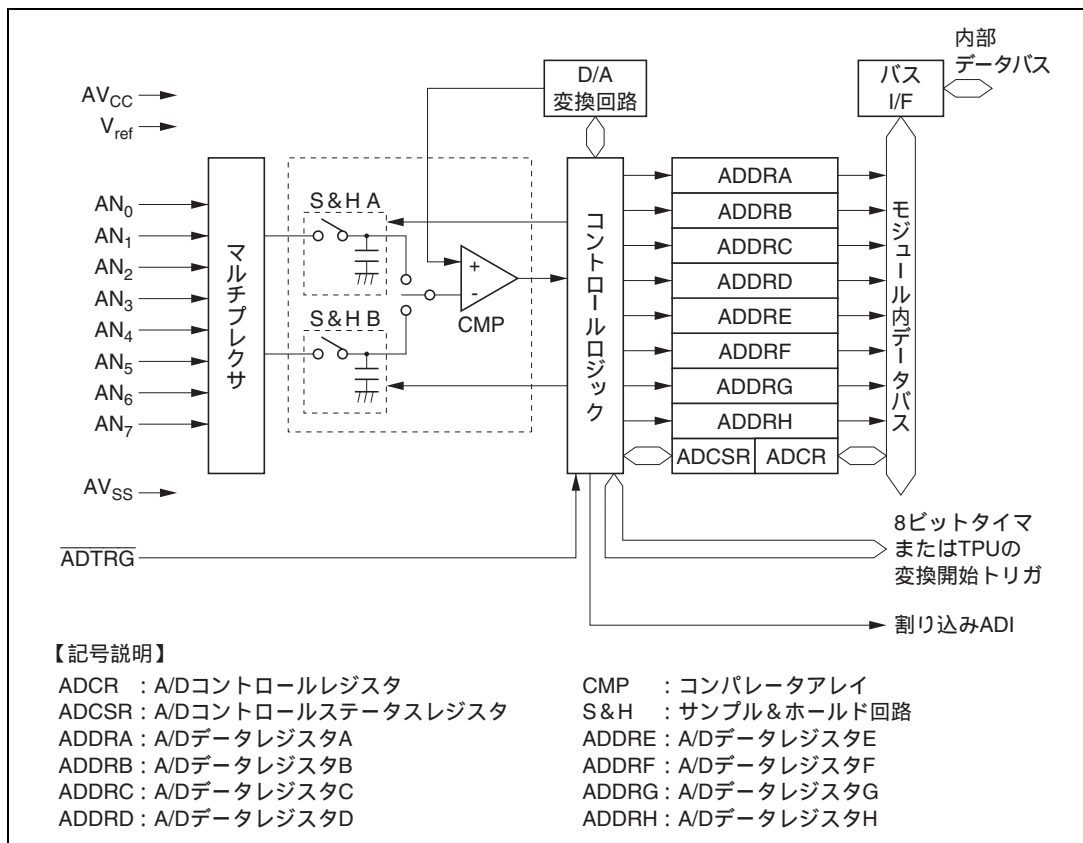


図 16.1 A/D 変換器のブロック図

### 16.1.3 端子構成

A/D 変換器で使用する入力端子を表 16.1 に示します。

$AV_{CC}$ 、 $AV_{SS}$  端子は、A/D 変換器内部のアナログ部の電源です。 $V_{ref}$  端子は、A/D 変換基準電圧です。

表 16.1 端子構成

端子名	略称	入出力	機能
アナログ電源	$AV_{CC}$	入力	アナログ部の電源
アナロググランド	$AV_{SS}$	入力	アナログ部のグランドおよび A/D 変換の基準電圧
リファレンス電圧	$V_{ref}$	入力	A/D 変換の基準電圧
アナログ入力 0	$AN_0$	入力	アナログ入力チャンネル 0
アナログ入力 1	$AN_1$	入力	アナログ入力チャンネル 1
アナログ入力 2	$AN_2$	入力	アナログ入力チャンネル 2
アナログ入力 3	$AN_3$	入力	アナログ入力チャンネル 3
アナログ入力 4	$AN_4$	入力	アナログ入力チャンネル 4
アナログ入力 5	$AN_5$	入力	アナログ入力チャンネル 5
アナログ入力 6	$AN_6$	入力	アナログ入力チャンネル 6
アナログ入力 7	$AN_7$	入力	アナログ入力チャンネル 7
A/D 外部トリガ入力	$\overline{ADTRG}$	入力	A/D 変換開始のための外部トリガ

### 16.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
A/D データレジスタ A	ADDRA	R	H'0000	H'FF90
A/D データレジスタ B	ADDRB	R	H'0000	H'FF92
A/D データレジスタ C	ADDRC	R	H'0000	H'FF94
A/D データレジスタ D	ADDRD	R	H'0000	H'FF96
A/D データレジスタ E	ADDRE	R	H'0000	H'FF98
A/D データレジスタ F	ADDRF	R	H'0000	H'FF9A
A/D データレジスタ G	ADDRG	R	H'0000	H'FF9C
A/D データレジスタ H	ADDRH	R	H'0000	H'FF9E
A/D コントロール / ステータスレジスタ	ADCSR	R/(W)*2	H'00	H'FFA0
A/D コントロールレジスタ	ADCR	R/W	H'00	H'FFA1
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 \*1 アドレスの低位 16 ビットを示しています。

\*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

## 16.2 各レジスタの説明

### 16.2.1 A/D データレジスタ A~H ( ADDRA ~ ADDRH )

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA ~ ADDRH の 8 本があります。

A/D 変換されたデータは 10 ビットデータで、変換されたチャネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの下位 8 ビットが ADDR の下位バイト ( ビット 7 ~ 0 ) に、また上位 2 ビットが上位バイト ( ビット 9、8 ) に転送され、保持されます。ビット 15 ~ 10 はリードすると常に 0 が読み出されます。

データリードはバイトまたはワードが選択できます。バイトデータリード時は、変換されたデータの上位 8 ビットが転送されます。また、ADDRA ~ ADDRD を組み合わせてバッファ動作を行うことができます。

アナログ入力チャネルと ADDR の対応を表 16.3 に示します。

ADDR は、リセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

表 16.3 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	A/D データレジスタ
AN <sub>0</sub>	ADDRA*
AN <sub>1</sub>	ADDRB*
AN <sub>2</sub>	ADDRC*
AN <sub>3</sub>	ADDRD*
AN <sub>4</sub>	ADDRE
AN <sub>5</sub>	ADDRF
AN <sub>6</sub>	ADDRG
AN <sub>7</sub>	ADDRH

【注】 \* バッファ動作時を除きます。

## 16.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット :	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】\* フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、A/D 変換の動作制御、およびステータスの表示を行います。

ADCSR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

## ビット 7: A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説明
ADF	
0	[ クリア条件 ] (初期値) (1) ADF = 1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (2) ADI 割り込みにより DTC または DMAC が起動され、所定のレジスタをリードしたとき
1	[ セット条件 ] シングルモード : 指定したすべてのチャンネルの変換を終了し、A/D 変換が終了したとき* スキャンモード : 指定したすべてのチャンネルを一巡して変換したとき*

【注】\* バッファ動作時は、指定したバッファ動作を終了するまでセットされません。

## ビット 6: A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。

ADIE ビットの設定は、変換停止中に行ってください。

ビット 6	説明
ADIE	
0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可

## 16. A/D 変換器

---

### ビット 5 : A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットはソフトウェア、タイマの変換開始トリガまたは A/D 外部トリガ入力端子 ( $\overline{\text{ADTRG}}$ ) によって 1 にセットすることができます。

ビット 5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード : A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始。ソフトウェアにより 0 にクリアされるまで連続変換

### ビット 4 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。動作周波数に応じて変換時間が  $2\mu\text{s}$  以上になるように設定してください。

変換時間の切り替えは、変換停止中に行ってください。

ビット 4	説明
CKS	
0	変換時間 = 24 ステート (A/D 変換器の基準クロック = $\phi$ ) (初期値)
1	変換時間 = 44 ステート (A/D 変換器の基準クロック = $\phi/2$ )

### ビット 3 : グループモード (GRP)

A/D 変換チャンネルの選択を、セレクトモードまたはグループモードから選択します。

GRP ビットの設定は、変換停止中に行ってください。

ビット 3	説明
GRP	
0	セレクトモード (初期値)
1	グループモード



ビット2~0: チャンネルセレクト2~0 (CH2~CH0)

GRP ビットとともにアナログ入力チャンネルを選択します。  
入力チャンネルの設定は、変換停止中に行ってください。

ビット2	ビット1	ビット0	説明	
CH2	CH1	CH0	セレクトモード (GRP=0)	グループモード (GRP=1)
0	0	0	AN <sub>0</sub>	AN <sub>0</sub>
		1	AN <sub>1</sub>	AN <sub>0</sub> ~ AN <sub>1</sub>
	1	0	AN <sub>2</sub>	AN <sub>0</sub> ~ AN <sub>2</sub>
		1	AN <sub>3</sub>	AN <sub>0</sub> ~ AN <sub>3</sub>
1	0	0	AN <sub>4</sub>	AN <sub>0</sub> ~ AN <sub>4</sub>
		1	AN <sub>5</sub>	AN <sub>0</sub> ~ AN <sub>5</sub>
	1	0	AN <sub>6</sub>	AN <sub>0</sub> ~ AN <sub>6</sub>
		1	AN <sub>7</sub>	AN <sub>0</sub> ~ AN <sub>7</sub>

### 16.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	-	PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ADCR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の動作制御を行います。  
ADCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7: リザーブビット

リードすると常に0が読み出されます。ライト時は必ず0をライトしてください。

ビット6: 電源ビット (PWR)

A/D 変換器の変換開始モードを指定します。PWR ビットを1にセットすると高速スタートモードに、また、0にセットすると低消費電力変換モードになります。変換開始動作の詳細については、「16.4.7 変換開始モード」を参照してください。

PWR ビットの設定は、変換停止中に行ってください。

ビット6	説明
PWR	
0	低消費電力変換モード (初期値)
1	高速スタートモード

## 16. A/D 変換器

---

### ビット 5～4：タイマトリガセレクト 1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。  
TRGS1、TRGS0 ビットの設定は、変換停止中に行ってください。

ビット 5	ビット 4	説明
TRGS1	TRGS0	
0	0	ソフトウェアによる A/D 変換の開始を許可 (初期値)
	1	TPU の変換開始トリガによる A/D 変換の開始を許可
1	0	8 ビットタイマの変換開始トリガによる A/D 変換の開始を許可
	1	外部トリガ端子 (ADTRG) による A/D 変換の開始を許可

### ビット 3：スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモードまたはスキャンモードの動作については、「16.4 動作説明」を参照してください。

SCAN ビットの設定は、変換停止中に行ってください。

ビット 3	説明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

### ビット 2：同時サンプリング (DSMP)

2 チャンネル同時サンプリング動作を許可または禁止します。同時サンプリングの詳細は「16.4.6 同時サンプリング動作」を参照してください。

DSMP ビットの設定は、変換停止中に行ってください。

ビット 2	説明
DSMP	
0	通常サンプリング動作 (初期値)
1	同時サンプリング動作

ビット 1、0 : バッファイネーブル 1、0 (BUFE1、BUFE0)

ADDRB ~ ADDRD をバッファレジスタとして使用するかしないかを選択します。

バッファ動作時の ADF フラグのセット、クリアについては「16.4.5 バッファ動作」を参照してください。

BUFE1、BUFE0 ビットの設定は、変換停止中に行ってください。

ビット 1	ビット 0	説明
BUFE1	BUFE0	
0	0	通常動作 (初期値)
	1	ADDRA と ADDRB はバッファ動作 : 変換結果 ADDRA ADDRB (ADDRB はバッファレジスタ)
1	0	ADDRA と ADDR C、および ADDR B と ADDR D はバッファ動作 : 変換結果 1 ADDRA ADDR C、変換結果 2 ADDR B ADDR D (ADDR C、ADDR D はバッファレジスタ)
	1	ADDRA ~ ADDR D はバッファ動作 : 変換結果 ADDRA ADDR B ADDR C ADDR D (ADDRB ~ ADDR D はバッファレジスタ)

## 16.2.4 モジュールストップコントロールレジスタ (MSTPCR)

	MSTPCR H								MSTPCR L							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP9 ビットを 1 にセットすると、バスサイクルの終了時点で A/D 変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードではレジスタのリード/ライトはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 9 : モジュールストップ (MSTP9)

A/D 変換器のモジュールストップモードを指定します。

ビット 9	説明
MSTP9	
0	A/D 変換器のモジュールストップモード解除
1	A/D 変換器のモジュールストップモード設定 (初期値)

## 16.3 バスマスタとのインタフェース

ADDRA ~ ADDRH は 16 ビットレジスタで、バスマスタとの間のデータバスは 16 ビット幅です。バスマスタからの ADDRA ~ ADDRH のリードは、ワード単位またはバイト単位のいずれも可能です。

ADDR のワード単位のリードは、ADDR の内容が 16 ビット一括してバスマスタへ転送されます。また、バイト単位の上位バイトのみのリードでは、変換されたデータ (AD9 ~ AD0) の上位 8 ビット (AD9 ~ AD2) の内容がバスマスタへ転送されます。

図 16.2 に、ADDR のリード時の動作を示します。

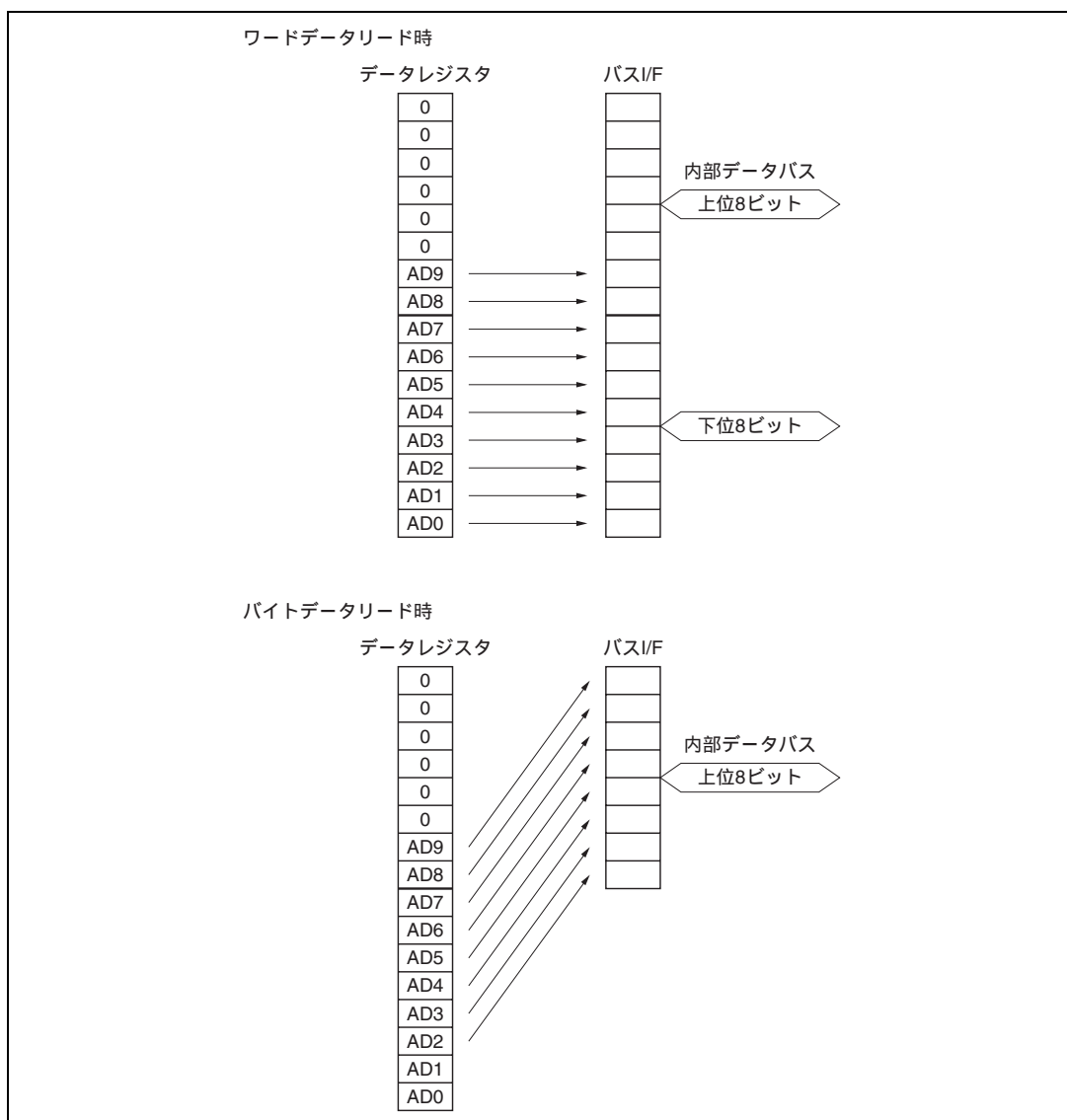


図 16.2 ADDR のリード動作

## 16.4 動作説明

A/D 変換器は、10 ビット分解能をもっています。

動作モードとして、セレクトまたはグループおよびシングルまたはスキャンの 4 つのモードにバッファ動作または同時サンプリング動作を組み合わせ設定することができます。

セレクトモードは 1 チャンネルを選択し、グループモードは複数チャンネルを選択します。シングルモードは 1 回の起動で、選択されたすべてのチャンネルの変換を行い、スキャンモードでは 1 回起動すると、ソフトウェアで停止させるまで、繰り返し変換を行います。バッファ動作は当該チャンネルの変換終了時に前回の変換結果をバッファレジスタに退避させます。同時サンプリング動作は 2 チャンネル同時にアナログ入力電圧をサンプリングし、順次変換します。

また、変換開始条件には、ソフトウェアまたはタイマの変換開始トリガ (TPU、8 ビットタイマ) または ADTRG 入力を選択できます。

A/D 変換は PWR ビットの設定により、高速スタートモードと低消費電力変換モードの 2 つのモードから選択が可能です。

動作モードや入力チャンネルを切り替える場合には、ADST ビットを 0 にクリアした状態で、ADCSR、ADCR を書き換えてください。ADCSR、ADCR を書き換えた後、ADST ビットを 1 にセットすると、再び A/D 変換を開始します。動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。A/D 変換を途中で停止する場合は、ADST ビットを 0 にクリアしてください。

### 16.4.1 セレクトシングルモード

セレクトシングルモードは 1 チャンネルのみの A/D 変換を行う場合に選択します。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中に 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます（BCLR 命令でクリアすることができます）。

セレクトシングルモードで AN<sub>i</sub> が選択された場合の動作例を図 16.3 に示します。

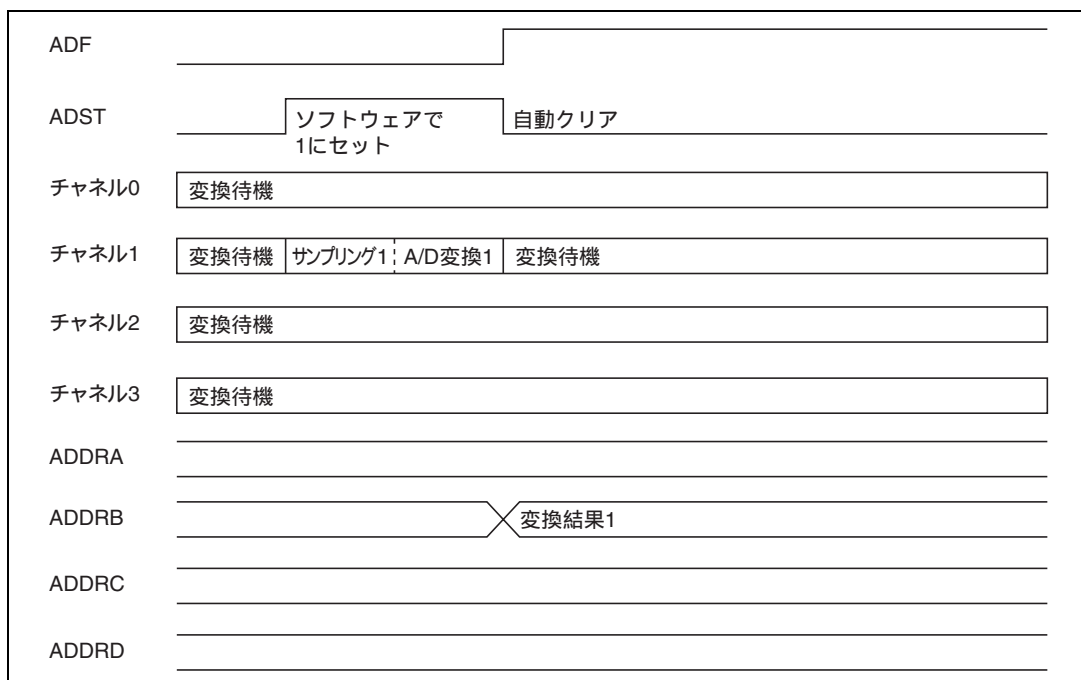


図 16.3 A/D 変換器の動作例（セレクトシングルモード）

### 16.4.2 セレクトスキャンモード

セレクトスキャンモードは1チャンネルのA/D変換を繰り返し行う場合に選択します。1チャンネルのアナログ入力を常時モニタするような場合に適しています。

指定した変換開始条件によって、ADSTビットが1にセットされると、A/D変換を開始します。ADSTビットは、ソフトウェアで0にクリアするまで、1を保持しています。この期間、選択された入力チャンネルのA/D変換を繰り返します。

また、最初の変換が終了すると、ADFフラグが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生し、A/D変換が一時停止します。ADI割り込み要求により、変換が停止した状態でADFフラグが0にクリアされると、再び変換を開始します。ADFフラグは、ADCSRをリードした後、0をライトするとクリアされます（BCLR命令でクリアすることができます）。

セレクトスキャンモードでAN<sub>i</sub>が選択された場合の動作例を図16.4に示します。

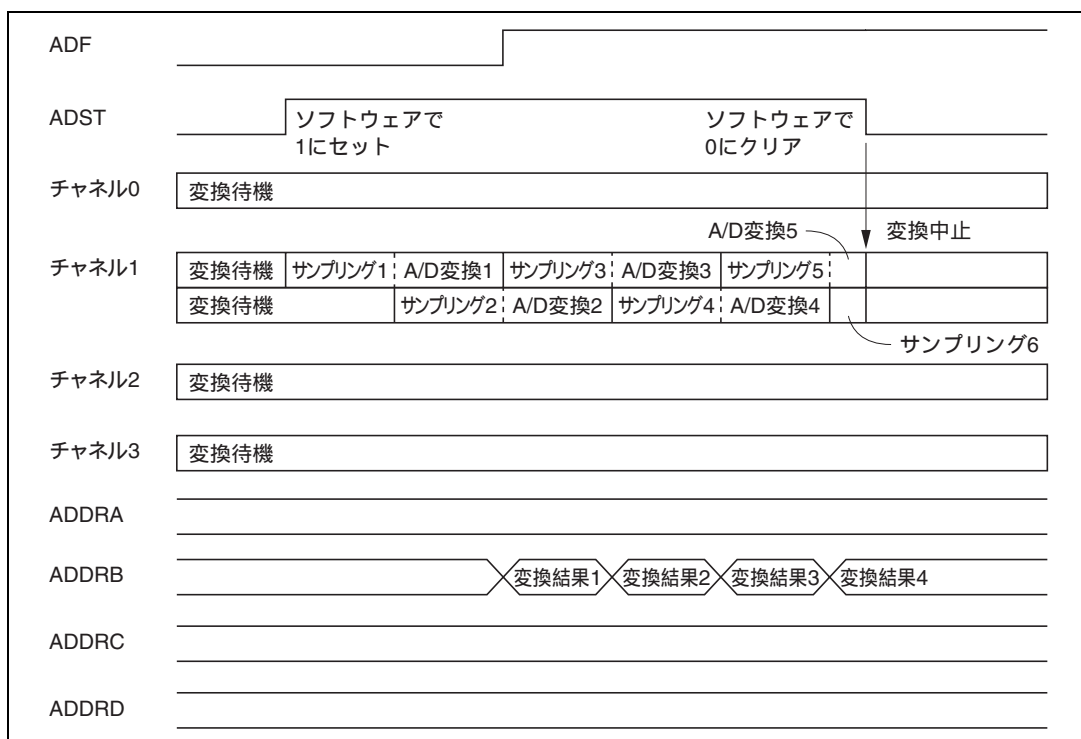


図 16.4 A/D 変換器の動作例（セレクトスキャンモード）

### 16.4.3 グループシングルモード

グループシングルモードは複数チャンネルの A/D 変換を行う場合に選択します。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中に 1 を保持しており、指定した入力チャンネルのすべての変換が終了すると自動的に 0 にクリアされます。

また、指定した入力チャンネルのすべての変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます（BCLR 命令でクリアすることができます）。

グループシングルモードで  $AN_0 \sim AN_2$  が選択された場合の動作例を図 16.5 に示します。

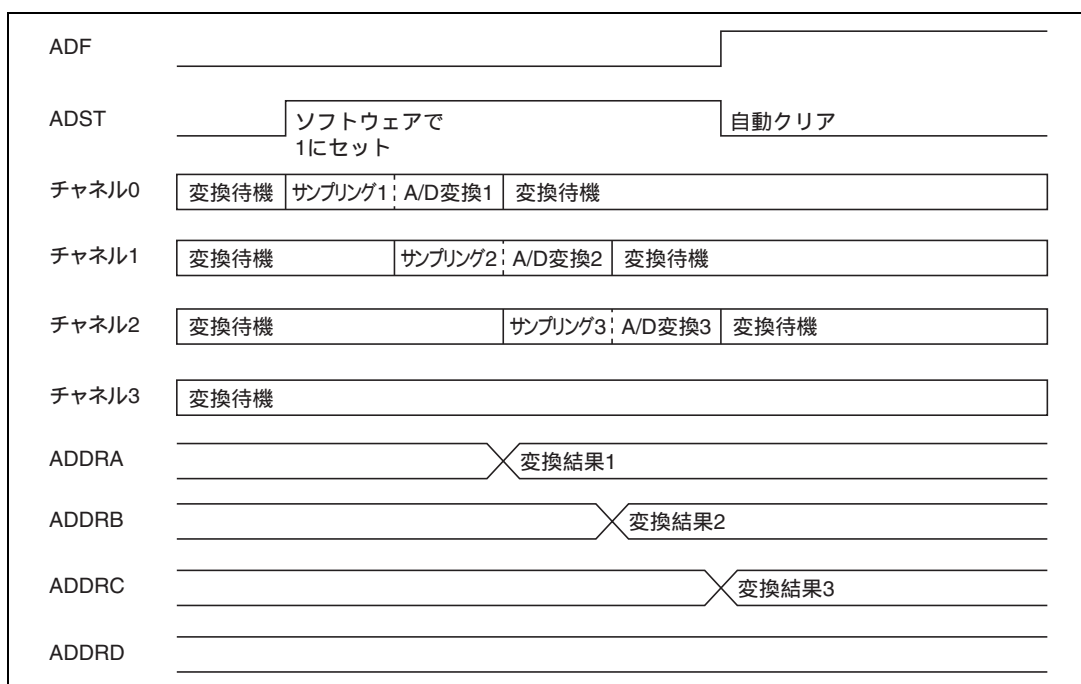


図 16.5 A/D 変換器の動作例（グループシングルモード）



### 16.4.4 グループスキャンモード

グループスキャンモードは複数チャンネルの A/D 変換を繰り返し行う場合に選択します。複数チャンネルのアナログ入力を常時モニタするような場合に適しています。

指定した変換開始条件によって、ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、ソフトウェアで 0 にクリアするまで、1 を保持しています。この期間、選択された入力チャンネルの A/D 変換を繰り返します。

また、指定したすべての入力チャンネルの最初の変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生し、A/D 変換が一時停止します。ADI 割り込み要求により、変換が停止した状態で ADF フラグが 0 にクリアされると、再び変換を開始します。ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます (BCLR 命令でクリアすることができます)。

グループスキャンモードで  $AN_0 \sim AN_2$  が選択された場合の動作例を図 16.6 に示します。

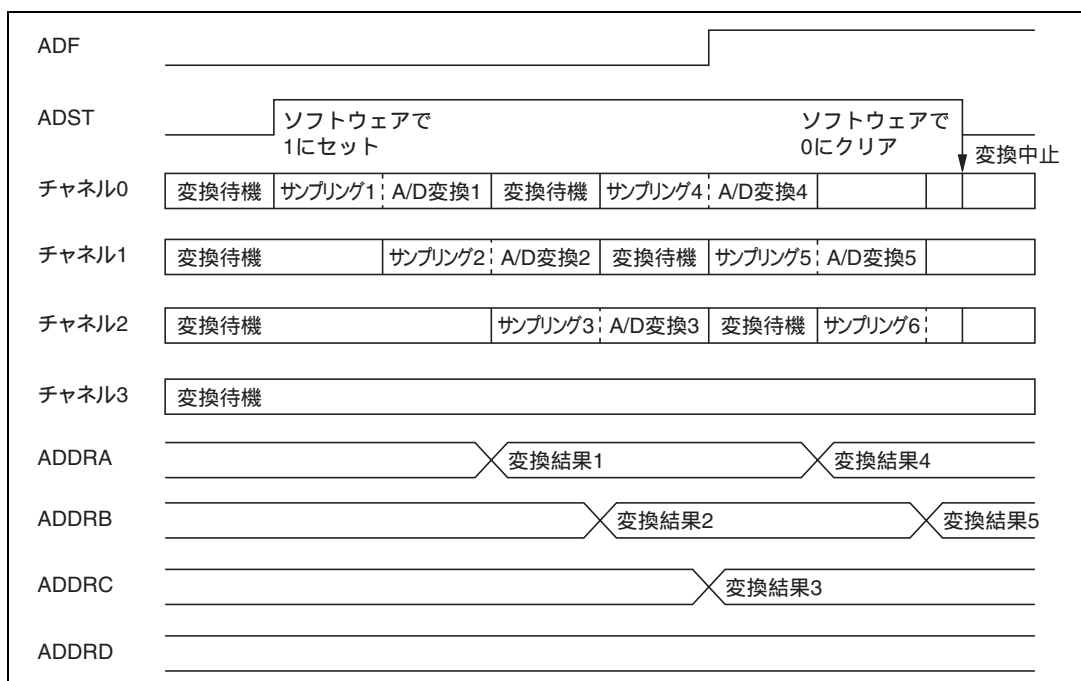


図 16.6 A/D 変換器の動作例 (グループスキャンモード)

### 16.4.5 バッファ動作

バッファ動作では、当該チャンネルの変換が終了すると、変換結果を ADDR に格納すると同時に、それ以前に格納していた変換結果を別の ADDR に転送します。

バッファ動作は AN0 ADDR<sub>A</sub> ADDR<sub>B</sub> の 2 段 1 組の動作と、AN0 ADDR<sub>A</sub> ADDR<sub>C</sub>、AN1 ADDR<sub>B</sub> ADDR<sub>D</sub> の 2 段 2 組の動作と、AN0 ADDR<sub>A</sub> ADDR<sub>B</sub> ADDR<sub>C</sub> ADDR<sub>D</sub> の 4 段 1 組の動作のなかから選択可能です。

同時サンプリング動作と組み合わせて使用する場合は、GRP = 1、BUFE1、BUFE0 = B'10、CH2 = 0 としてください

バッファ動作のタイミングを図 16.7 に示します。

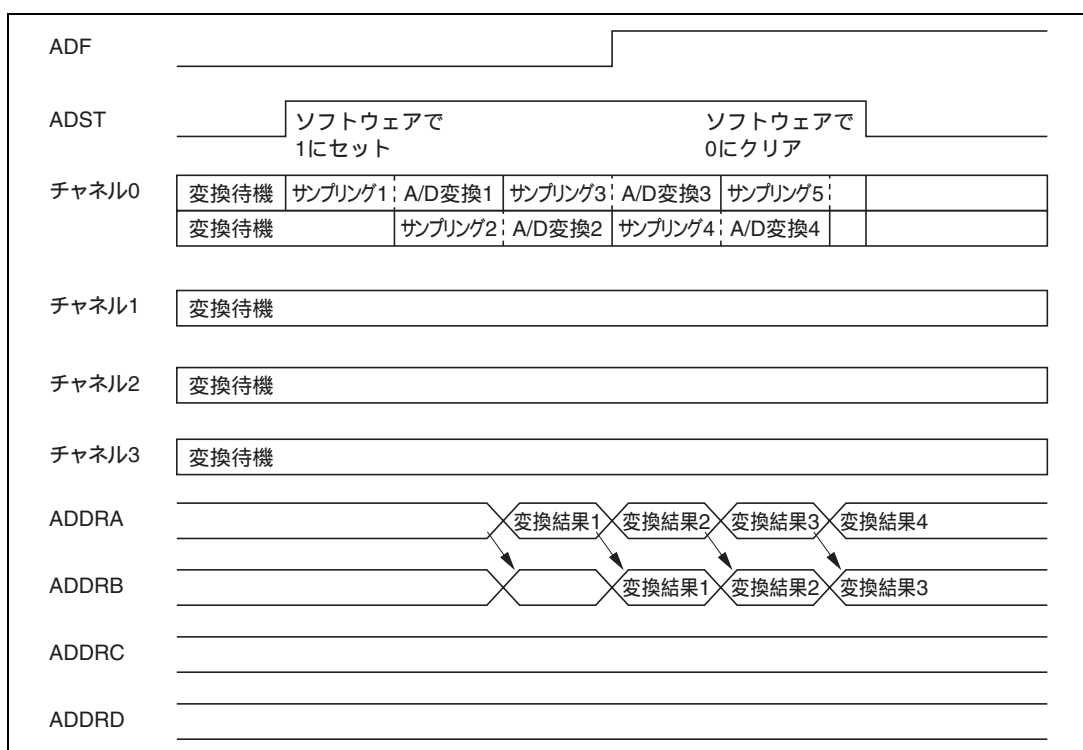


図 16.7 バッファ動作例 (セレクトスキャンモード: 2 段 1 組動作、CH2 ~ CH0=B'001 の場合)

## (1) バッファ動作のみを用いる場合

BUFE1、BUFE0 ビットで指定されたアナログ入力チャンネル ( $AN_0$ 、 $AN_1$ ) のみの変換を行う場合、グループモードを選択し、CH2 ~ CH0 ビットの設定により、ADF フラグのセット条件を選択することができます。

表 16.4 (1) に、バッファ動作時の変換動作と ADF フラグのセット条件を示します。表に示された最後の変換を終了した時点で、ADF フラグはセットされます。シングルモードでは、ADF フラグを 1 にセットした後、変換を停止します。スキャンモードでは変換を継続し、BUFE1、BUFE0 ビットで指定されたバッファレジスタに順次変換データを格納していきます。

ADF フラグが 1 にセットされたとき、ADIE ビットが 1 にセットされていると、ADI 割り込みが発生します。ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます (BCLR 命令で 0 にクリアすることができます)。

セレクトシングルモードの場合は、1 回ごとの変換を終了すると、いったん変換待機状態になります。ソフトウェア、タイマトリガ、または外部トリガによって A/D 変換が再開され、表 16.4 (1) に示される回数の変換を終了すると、ADF フラグが 1 にセットされます。

表 16.4 (1) バッファ動作時の変換チャンネルと ADF フラグセット / クリア条件

CH2 ~ CH0 の設定			バッファ動作の選択		
CH2	CH1	CH0	BUFE1, BUFE0 = B'01	BUFE1, BUFE0 = B'10	BUFE1, BUFE0 = B'11
0	0	0	$AN_0$ 1 回 (ADDRA)	$AN_0$ 、 $AN_1$ 各 1 回 (ADDRB)	$AN_0$ 1 回 (ADDRA)
		1	$AN_0$ 2 回 (ADDRB)		$AN_0$ 2 回 (ADDRB)
	1	0	表 16.4 (2) 参照	$AN_0$ 、 $AN_1$ 各 2 回 (ADDRD)	$AN_0$ 3 回 (ADDRC)
		1			$AN_0$ 4 回 (ADDRD)
1	—	—	表 16.4 (2) 参照		

## (2) グループモードとバッファ動作を組み合わせる場合

CH2 ~ CH0 ビットの設定により、BUFE1、BUFE0 ビットで指定されたアナログ入力チャンネル ( $AN_0$ 、 $AN_1$ ) と、 $AN_4$  ~  $AN_7$  を連続して変換することができます。

表 16.4 (2) に、バッファ動作時の変換動作と ADF フラグのセット条件を示します。表に示された最後の変換を終了した時点で、ADF フラグはセットされます。この場合、バッファレジスタに指定した ADDR に対応するアナログ入力は変換されません。例えば、BUFE1、BUFE0 = B'11、CH2 ~ CH0 = B'110 の場合、ADDRA、ADDRE ~ ADDR G に変換結果が格納されます。また、ADDRB ~ ADDR D には、変換開始前の ADDRA ~ ADDR C の内容が転送されます。

シングルモードでは、ADF フラグを 1 にセットした後、変換を停止します。スキャンモードでは、変換を継続します。

表 16.4 (2) バッファ動作時の変換チャンネルと ADF フラグセット/クリア条件

CH2 ~ CH0 の設定			バッファ動作の選択		
CH2	CH1	CH0	BUFE1, BUFE0 = B'01	BUFE1, BUFE0 = B'10	BUFE1, BUFE0 = B'11
0	0	-	表 16.4 (1) 参照		
	1	0	AN <sub>0</sub> , AN <sub>2</sub> (ADDRC)	表 16.4 (1) 参照	
		1	AN <sub>0</sub> , AN <sub>2</sub> , AN <sub>3</sub> (ADDRD)		
1	0	0	AN <sub>0</sub> , AN <sub>2</sub> ~ AN <sub>4</sub> (ADDRE)	AN <sub>0</sub> , AN <sub>1</sub> , AN <sub>4</sub> (ADDRE)	AN <sub>0</sub> , AN <sub>4</sub> (ADDRE)
		1	AN <sub>0</sub> , AN <sub>2</sub> ~ AN <sub>5</sub> (ADDRF)	AN <sub>0</sub> , AN <sub>1</sub> , AN <sub>4</sub> , AN <sub>5</sub> (ADDRF)	AN <sub>0</sub> , AN <sub>4</sub> , AN <sub>5</sub> (ADDRF)
	1	0	AN <sub>0</sub> , AN <sub>2</sub> ~ AN <sub>6</sub> (ADDRG)	AN <sub>0</sub> , AN <sub>1</sub> , AN <sub>4</sub> ~ AN <sub>6</sub> (ADDRG)	AN <sub>0</sub> , AN <sub>4</sub> ~ AN <sub>6</sub> (ADDRG)
		1	AN <sub>0</sub> , AN <sub>2</sub> ~ AN <sub>7</sub> (ADDRH)	AN <sub>0</sub> , AN <sub>1</sub> , AN <sub>4</sub> ~ AN <sub>7</sub> (ADDRH)	AN <sub>0</sub> , AN <sub>4</sub> ~ AN <sub>7</sub> (ADDRH)

## (3) ADF フラグのクリア

A/D 変換終了割り込みによって、DTC、DMAC を起動した場合、表 16.4 に指定された ADDR をリードしたときに、ADF フラグをクリアします。

## (4) バッファ動作の回数をリセットする場合

変換待機状態、または変換を停止させていったん BUFE1、BUFE0 ビットを B'00 にクリアしてください。バッファ回数が 0 にクリアされます。

## (5) バッファ動作を変更する場合

変換待機状態または変換を停止させて、いったん BUFE1、BUFE0 ビットを B'00 にクリアしてください。その後 BUFE1、BUFE0 ビットを設定し、変換を再開させると表 16.4 に示すバッファ動作を行います。

### 16.4.6 同時サンプリング動作

同時サンプリング動作では、2チャンネルの入力電圧を同時にサンプリングし、連続変換を行います。同時サンプリング動作はグループモードで有効です。同時サンプリング動作におけるチャンネルはCH2、CH1ビットで決まります。この組み合わせを表16.5に示します。

例えばCH2, CH1 = B'11のとき GRP = 1 ならば AN<sub>0</sub>, AN<sub>1</sub>, AN<sub>2</sub>, AN<sub>3</sub>, AN<sub>4</sub>, AN<sub>5</sub>, AN<sub>6</sub>, AN<sub>7</sub> のペアでこの順に同時サンプリングが行われます。また同時サンプリングのタイミングを図16.8に示します。

表 16.5 同時サンプリングチャンネル

チャンネル設定		サンプリングチャンネル
CH2	CH1	GRP = 1
0	0	AN <sub>0</sub> , AN <sub>1</sub>
	1	AN <sub>0</sub> , AN <sub>1</sub> , AN <sub>2</sub> , AN <sub>3</sub>
1	0	AN <sub>0</sub> , AN <sub>1</sub> , AN <sub>2</sub> , AN <sub>3</sub> , AN <sub>4</sub> , AN <sub>5</sub>
	1	AN <sub>0</sub> , AN <sub>1</sub> , AN <sub>2</sub> , AN <sub>3</sub> , AN <sub>4</sub> , AN <sub>5</sub> , AN <sub>6</sub> , AN <sub>7</sub>

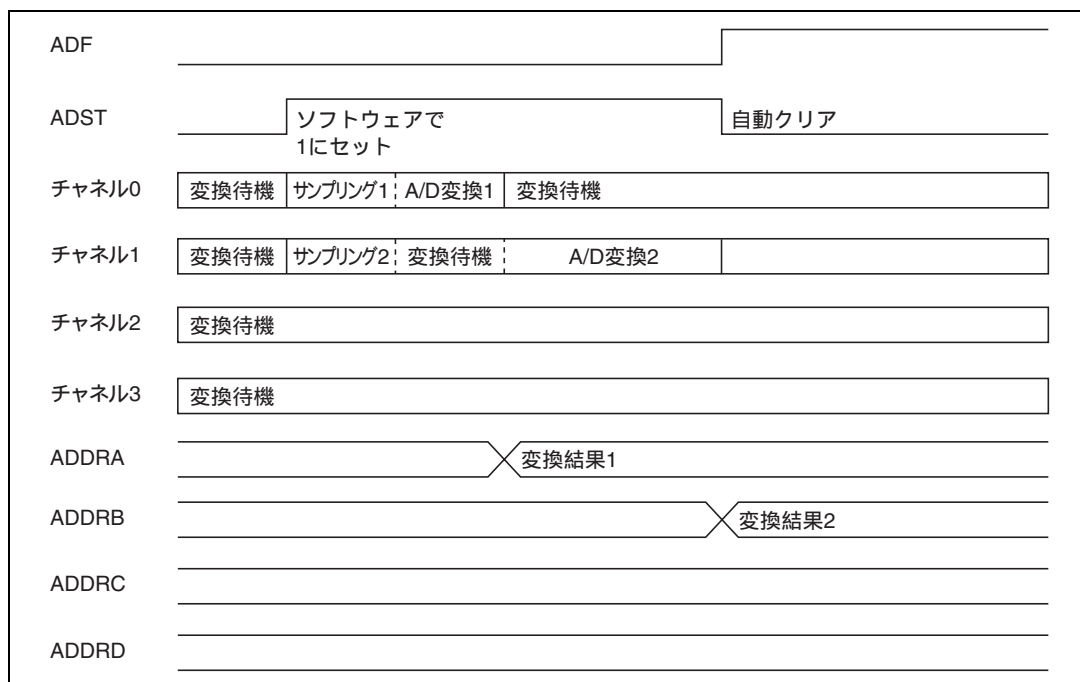


図 16.8 同時サンプリング動作例 (グループシングルモード)

### 16.4.7 変換開始モード

ADCSR の PWR ビットで A/D 変換器の変換開始モードを設定します。PWR ビットを 0 にクリアすると低消費電力変換モードに設定され、内部のアナログ回路は非アクティブ状態となります。また、1 にセットすると高速スタートモードに設定され、アナログ回路はアクティブ状態になります。

低消費電力変換モードでは、変換開始（ADST のセット）と同時にアナログ回路の電源を入れて基準クロックの 200 サイクルが経過すると、アナログ回路は変換可能な状態に移行し、1 回目の A/D 変換を開始します。基準クロックは ADCSR の CKS ビットで選択します。連続して変換を行う場合、2 回目以降の A/D 変換は 10 サイクルで行われます。A/D 変換が終了すると、ADST が 0 にクリアされ、自動的にアナログ回路の電源は切れます。このモードでは A/D 変換動作期間のみアナログ回路がアクティブになるため、電流の消費量を小さくすることができます。

高速スタートモードでは、A/D 変換が終了して ADST が 0 にクリアされても、アナログ回路に電源が供給され続けて、変換可能な状態を保持します。再度 ADST を 1 にセットすれば、直後に A/D 変換が開始されます。ただし、アナログ電源投入後の最初の変換のみ、ADST セット後 200 サイクルが経過してから変換が開始されます。アナログ回路の電源をオフするためには、PWR ビットを 0 にクリアします。連続して変換を行う場合、2 回目以降の A/D 変換は 10 サイクルで行われます。このモードでは常時アナログ回路がアクティブであるため、高速な A/D 変換動作が実現できます。

図 16.9 および図 16.10 に変換開始動作のタイミングを示します。

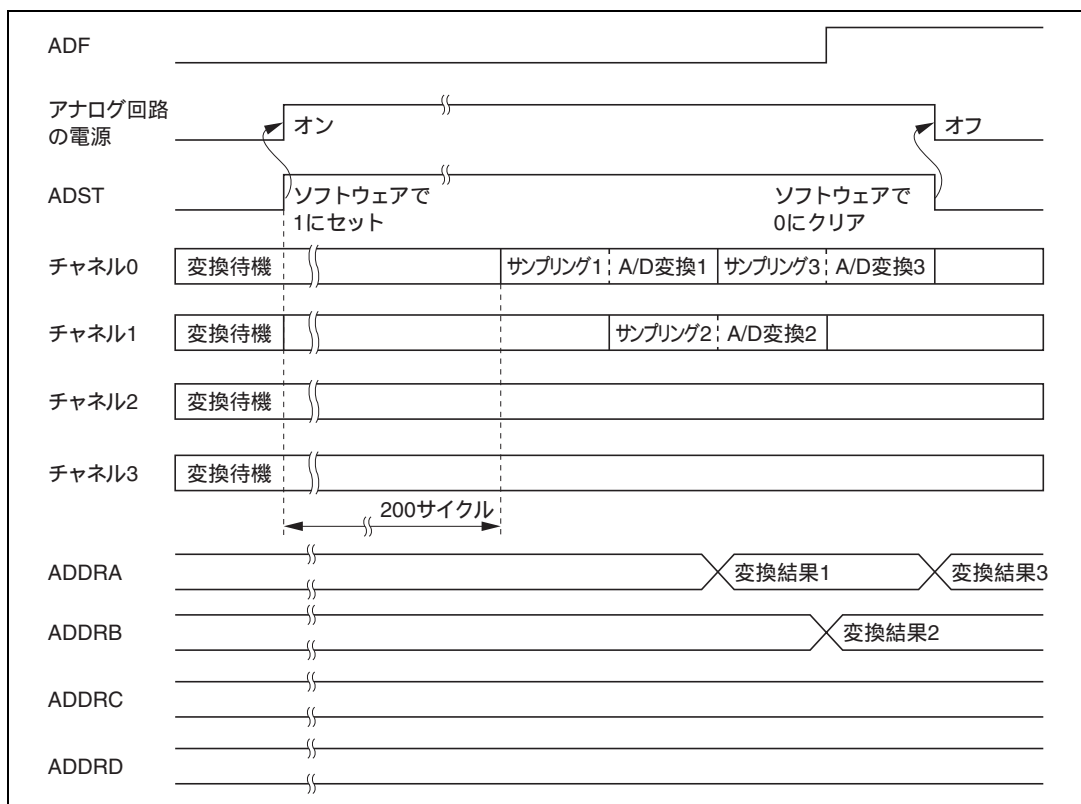


図 16.9 変換開始動作（低消費電力変換モード）

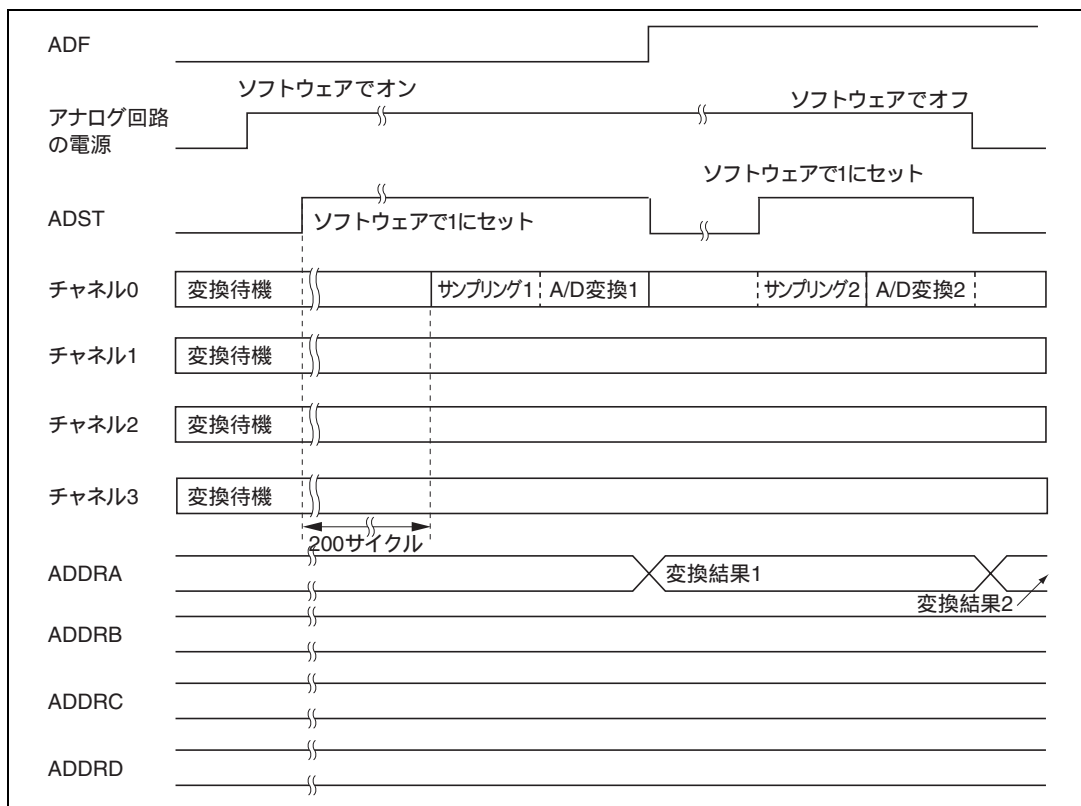


図 16.10 変換開始動作 (高速スタートモード)

### 16.4.8 外部入力による変換開始

A/D 変換は、タイマの変換開始トリガまたは  $\overline{\text{ADTRG}}$  入力により発生するトリガ信号により開始することが可能です。ADCSR の TRGS1、TRGS0 ビットで指定したトリガ信号が発生すると、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

外部入力による ADST ビットのセットタイミングを図 16.11 に示します。

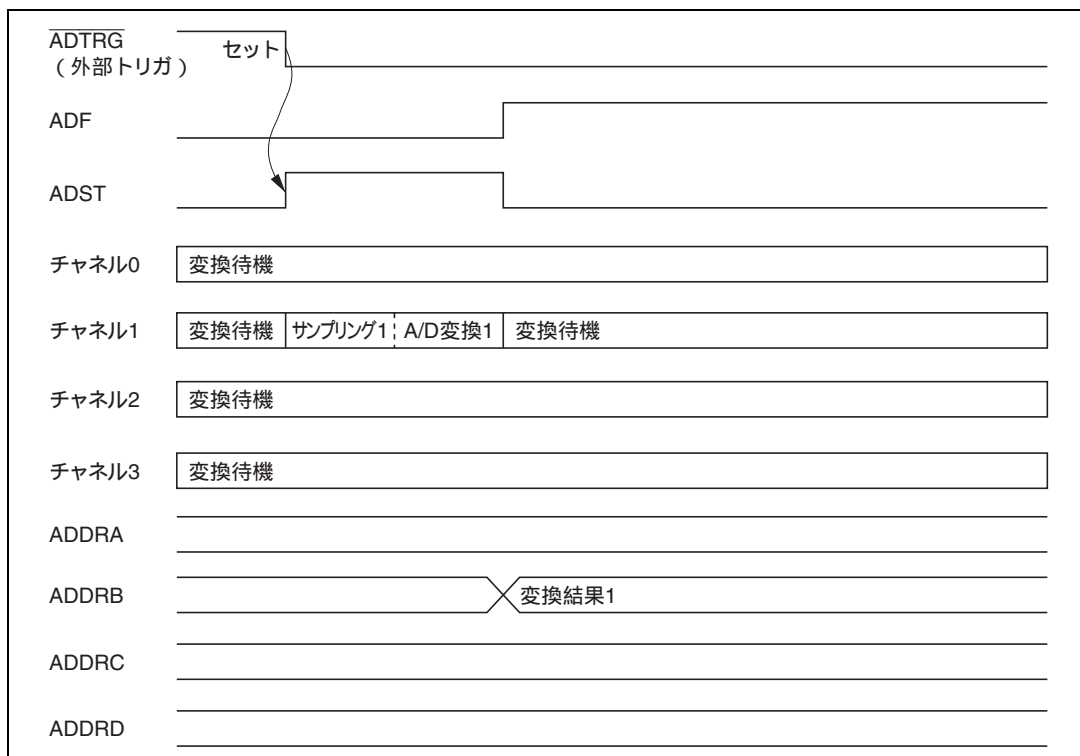


図 16.11 ADTRG の変換開始トリガによる変換開始

### 16.4.9 A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットを 1 にセットする ADCSR ライト動作、またはタイマのコンペアマッチの発生から  $t_D$  時間後に入力のサンプリングを行い、その後変換を開始します。

A/D 変換時間  $t_{CONV}$  は、変換開始遅延時間  $t_D$  と、入力サンプリング時間  $t_{SPL}$  と、動作時間  $t_{CP}$  および ADF フラグセット遅延時間  $t_s$  の合計になります。

A/D 変換のタイミングを図 16.12 (1)、(2) に示します。また、A/D 変換時間を表 16.6 に示します。



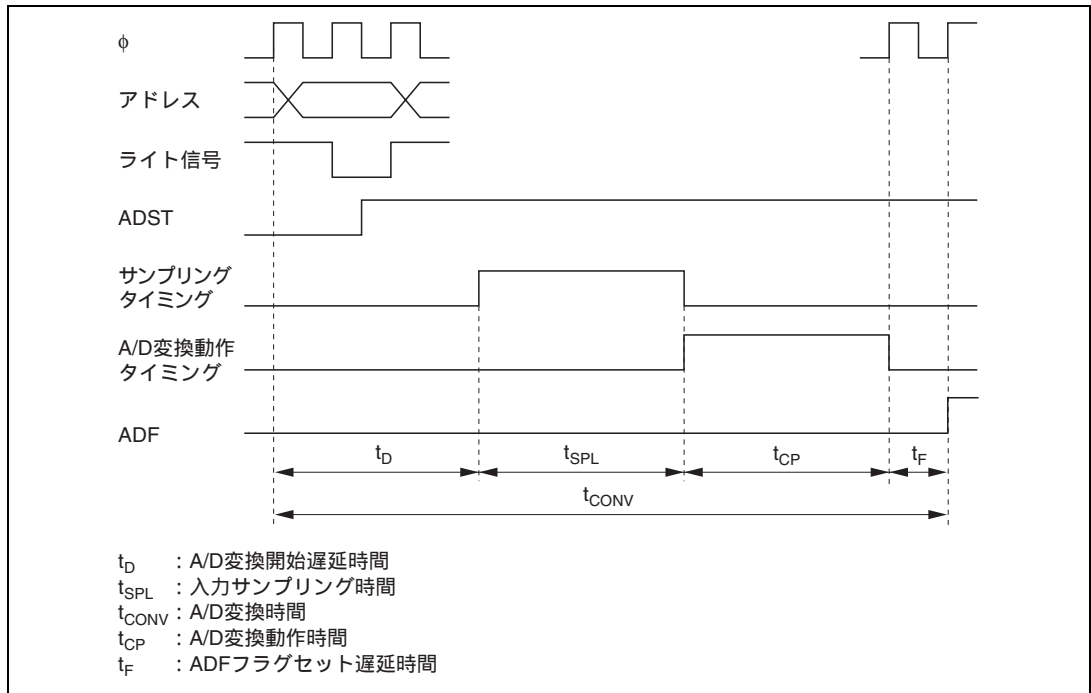


図 16.12 A/D 変換タイミング (1)

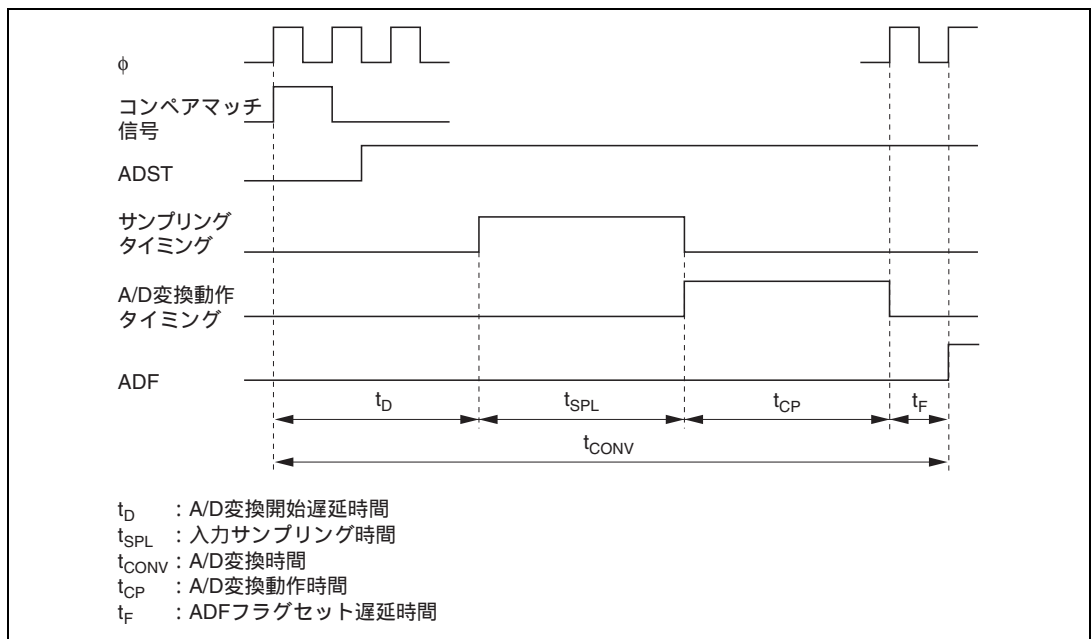


図 16.12 A/D 変換タイミング (2)

## 16. A/D 変換器

表 16.6 A/D 変換時間

	記号	CKS = 0	CKS = 1
A/D 変換開始遅延時間	$t_D$	3	3
入力サンプリング時間	$t_{SPL}$	10	20
A/D 変換動作時間	$t_{CP}$	10	20
ADF フラグセット遅延時間	$t_F$	1	1
A/D 変換時間	$t_{CONV}$	24	44

【注】 単位：ステート

表は PWR = 1 の時。PWR のセットから 200 ステートが経過していない場合は、200 ステートが経過するまで変換が行われません。PWR = 0 の時は 1 回目の A/D 変換開始遅延時間に 200 ステートを加算してください。連続して変換を行う場合の 2 回目以降の  $t_{CONV}$  は  $t_{SPL}$  を差し引いた時間になります。

ADCSR の CKS ビットは動作時間  $t_{CONV}$  を確保できるように設定してください。動作周波数と CKS ビットの設定例を表 16.7 (1)、(2) に示します。

(1)  $AV_{cc}$  4.5V のとき、 $t_{CONV}$  2 $\mu$ s

条件： $V_{cc} = 5.0V \pm 10\%$ 、 $AV_{cc} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

表 16.7 (1) 動作周波数と CKS ビットの設定例

CKS	変換時間 (ステート)	最小変換時間 ( $\mu$ s)				
		20MHz	16MHz	10MHz	8MHz	2MHz
0	24	-	-	2.4	2.8	12.0
1	44	2.2	2.8	4.4	5.5	22.0

【注】 - : 設定できません。

(2)  $AV_{cc} < 4.5V$  のとき、 $t_{CONV}$  4 $\mu$ s

条件： $V_{cc} = 2.7 \sim 5.5V$ 、 $AV_{cc} = 2.7 \sim 4.5V$ 、 $V_{ref} = 2.7V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

表 16.7 (2) 動作周波数と CKS ビットの設定例

CKS	変換時間 (ステート)	最小変換時間 ( $\mu$ s)				
		10MHz	8MHz	5MHz	4MHz	2MHz
0	24	-	-	4.8	6.0	12.0
1	44	4.4	5.5	8.8	11.0	22.0

【注】 - : 設定できません。

## 16.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DTC および DMAC の起動ができます。ADI 割り込みで変換されたデータのリードを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

A/D 変換器の割り込み要因を表 16.8 に示します。

スキャンモード時、ADIE ビットを 1 にセットしておく、ADF フラグが 1 にセットされると同時に A/D 変換を一時停止します。ADF フラグを 0 にクリアすると A/D 変換を再開します。

ADI 割り込みにより、DTC、DMAC を起動した場合、指定したデータレジスタの最後のレジスタをリードすると、ADF フラグは 0 にクリアされます。

表 16.8 A/D 変換器の割り込み要因

割り込み要因	内容	DTC、DMAC の起動
ADI	変換終了による割り込み	可

## 16.6 使用上の注意

A/D 変換器については、以下のことに注意してください。

### (1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子  $AN_0 \sim AN_7$  に印加する電圧は、 $AV_{SS}$   $AN_0 \sim AN_7$   $AV_{CC}$  の範囲にしてください。

### (2) $AV_{CC}$ 、 $AV_{SS}$ 入力電圧

$AV_{CC}$ 、 $AV_{SS}$  入力電圧は、 $AV_{CC} = V_{CC} \pm 10\%$ 、 $AV_{SS} = V_{SS}$  としてください。A/D 変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$  としてください。スタンバイモード時には、 $V_{RAM}$   $AV_{CC}$  5.5V、 $AV_{SS} = V_{SS}$  としてください。なお、 $V_{RAM}$  は、RAM スタンバイ電圧です。

### (3) $V_{ref}$ 入力電圧

アナログ基準電圧  $V_{ref}$  は、 $V_{ref}$   $AV_{CC}$  としてください。A/D 変換器を使用しない場合、 $V_{ref} = V_{CC}$  としてください。スタンバイモード時には、 $V_{RAM}$   $V_{ref}$   $AV_{CC}$  としてください。なお、 $V_{RAM}$  は RAM スタンバイ電圧です。

### (4) 入力ポート

入力ポートに接続する回路の時定数は A/D 変換器のサンプリング時間よりも短く設定してください。回路の時定数が長いと入力電圧が十分にサンプリングできないことがあります。

### (5) 変換開始モード

PWR ビットの設定によって A/D 変換動作が高速スタートモードの時と低消費電力変換モードの時では消費電流が異なります。



---

## 17. D/A 変換器

---

### 17.1 概要

本 LSI は、2 チャンネルの D/A 変換器を内蔵しています。

#### 17.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

2 チャンネル出力

変換時間最大 10 $\mu$ s (負荷容量 20pF 時)

出力電圧 0V ~  $V_{ref}$

ソフトウェアスタンバイモード時の D/A 出力保持機能

#### 17.1.2 ブロック図

D/A 変換器のブロック図を図 17.1 に示します。

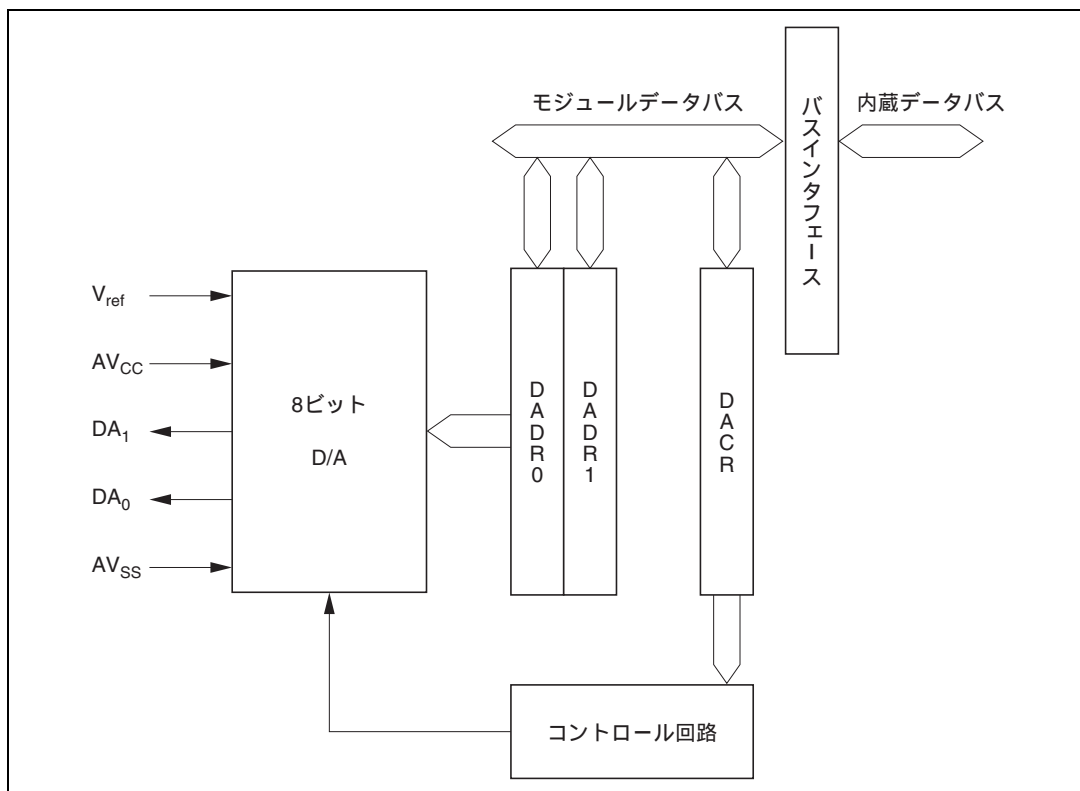


図 17.1 D/A 変換器のブロック図

### 17.1.3 端子構成

D/A 変換器で使用する入出力端子を表 17.1 に示します。

表 17.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	$AV_{CC}$	入力	アナログ部の電源
アナロググランド端子	$AV_{SS}$	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	$DA_0$	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	$DA_1$	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	$V_{ref}$	入力	アナログ部の基準電圧

### 17.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFA4
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFA5
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFA6
モジュールストップコントロールレジスタ	MSTPCR	R/W	H'3FFF	H'FF3C

【注】 \* アドレスの下位 16 ビットを示します。

## 17.2 各レジスタの説明

### 17.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0、1 (DADR0、DADR1) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

### 17.2.2 D/A コントロールレジスタ (DACR)

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。DACR は、リセットまたはハードウェアスタンバイモード時に、H'1F に初期化されます。

## 17. D/A 変換器

### ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説明
DAOE1	
0	アナログ出力 DA <sub>1</sub> を禁止 (初期値)
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA <sub>1</sub> を許可

### ビット 6 : D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説明
DAOE0	
0	アナログ出力 DA <sub>0</sub> を禁止 (初期値)
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA <sub>0</sub> を許可

### ビット 5 : D/A イネーブル (DAE)

DAOE0、DAOE1 ビットとともに、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果の出力は、DAOE0、DAOE1 ビットにより、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説明
DAOE1	DAOE0	DAE	
0	0	*	チャンネル 0、1 の D/A 変換を禁止
	1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可
			1
		1	*

\* : Don't care

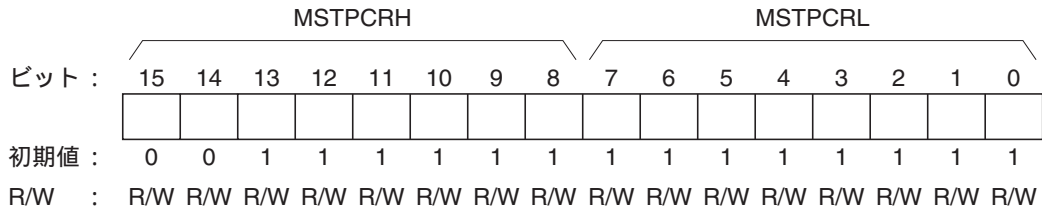
D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0、DAOE1 ビットをいずれも 0 にクリアして D/A 出力を禁止にしてください。

### ビット 4~0 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。



### 17.2.3 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTP10 ビットを 1 にセットすると、バスサイクルの終了時点で D/A 変換器は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード/ライトはできません。詳細は、「21.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 10：モジュールストップ (MSTP10)

D/A 変換器のモジュールストップモードを指定します。

ビット 10	説明
MSTP10	
0	D/A 変換器のモジュールストップモード解除
1	D/A 変換器のモジュールストップモード設定 (初期値)

## 17.3 動作説明

D/A 変換器は、2 チャンルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR0、DADR1 を書き換えるとただちに、新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 17.2 に示します。

- [ 1 ] DADR0 に変換データをライトします。
- [ 2 ] DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA<sub>0</sub> 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表わされます。

$$\frac{\text{DADR の内容}}{256} \times V_{\text{ref}}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- [ 3 ] DADR0 を書き換えるとただちに变換が開始されます。変換時間経過後に変換結果が出力されます。
- [ 4 ] DAOE0 ビットを 0 にクリアすると、DA<sub>0</sub> 端子は入力端子になります。

17. D/A 変換器

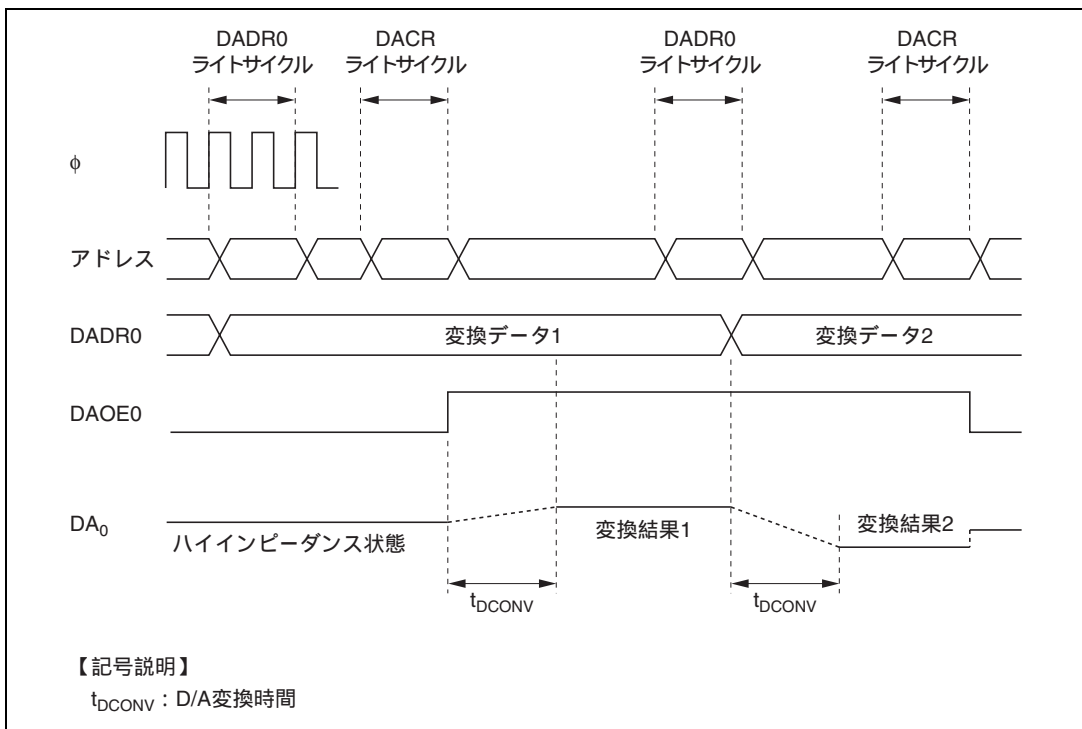


図 17.2 D/A 変換器の動作例

---

## 18. RAM

---

### 18.1 概要

本 LSI は、4k バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速度転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

#### 18.1.1 ブロック図

RAM のブロック図を図 18.1 に示します。

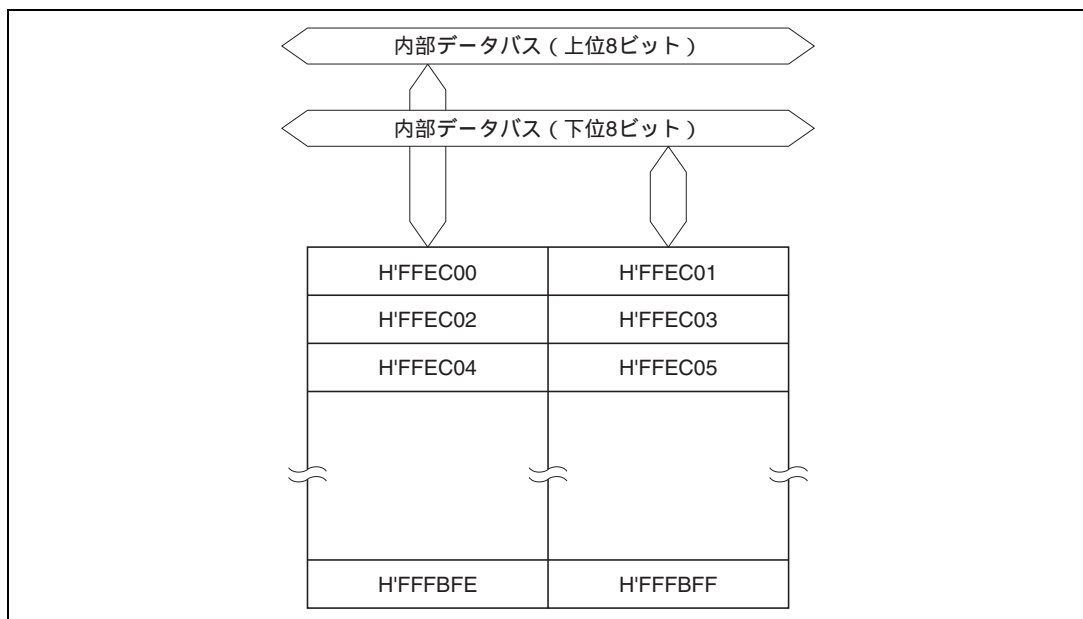


図 18.1 RAM のブロック図

### 18.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 18.1 に示します。

表 18.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FF39

【注】 \* アドレスの下位 16 ビットを示しています。

## 18.2 各レジスタの説明

### 18.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	MACS	-	INTM1	INTM0	NMIEG	-	-	RAME
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	-	R/W	R/W	R/W	-	-	R/W

内蔵 RAM は SYSCR の RAME ビットにより、有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ」を参照してください。

#### ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

## 18.3 動作説明

RAME ビットが 1 にセットされているとき、アドレス H'FFEC00 ~ H'FFFBFF をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード / ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

## 18.4 使用上の注意

アドレス H'FFF800 ~ H'FFFBFF は DTC のレジスタ情報を配置することができます。DTC を使用する場合は、RAME ビットを 0 にクリアしないでください。

---

## 19. ROM

---

### 19.1 概要

H8S/2655 は 128k バイト、H8S/2653 は 64k バイトの ROM ( PROM またはマスク ROM ) を内蔵しています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定はモード端子 ( MD<sub>2</sub>、MD<sub>1</sub>、MD<sub>0</sub> ) および BCRL の EAE ビットにより行います。

なお、PROM 版は、本 LSI を PROM モードに設定することにより、汎用 PROM ライタを用いて、自由にプログラムの書き込みができます。

#### 19.1.1 ブロック図

ROM のブロック図を図 19.1 に示します。

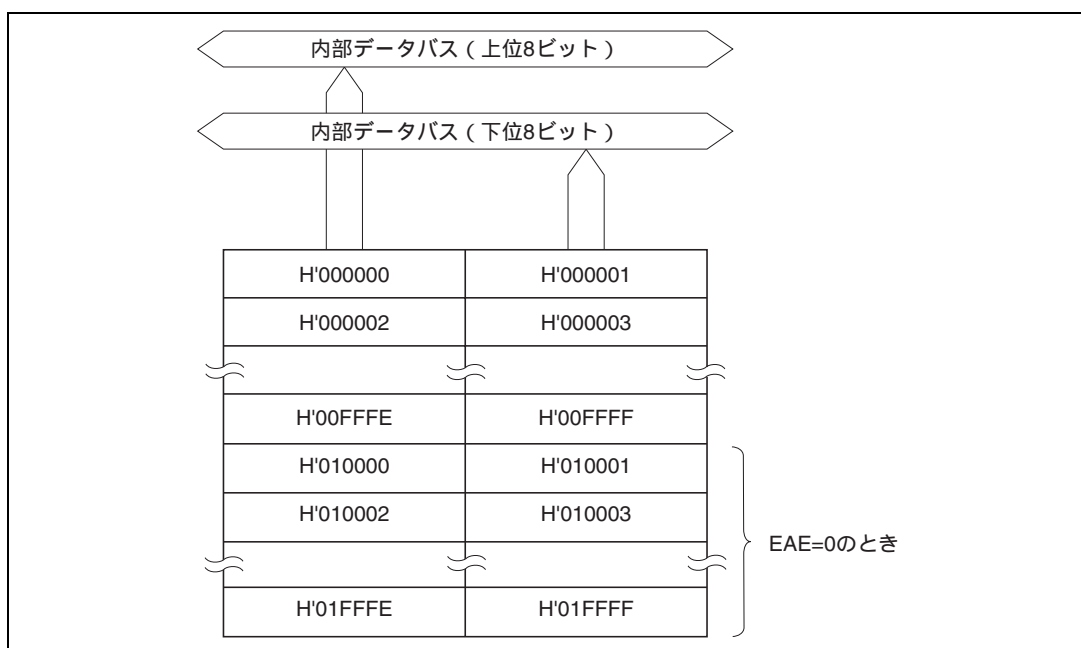


図 19.1 ROM のブロック図 ( H8S/2655 の場合 )

## 19.1.2 レジスタ構成

H8S/2655 の内蔵 ROM は、BCRL で制御されます。レジスタ構成を表 19.1 に示します。

表 19.1 レジスタ構成

名称	略称	R/W	初期値		アドレス*1
			パワーオン リセット	マニュアル リセット	
バスコントロールレジスタ L	BCRL	R/W	H'3C	保持	H'FED5

【注】 \*1 アドレスの低位 16 ビットを示しています。

## 19.2 各レジスタの説明

### 19.2.1 バスコントロールレジスタ L (BCRL)

ビット :	7	6	5	4	3	2	1	0
	BRLE	BREQOE	EAE	LCASS	DDS	ASS	WDBE	WAITE
初期値 :	0	0	1	1	1	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H8S/2655 の内蔵 ROM は、BCRL の EAE ビットにより、一部の領域の有効 / 無効が選択されます。なお、BCRL のその他のビットについての詳細は「6.2.5 バスコントロールレジスタ L」を参照してください。

#### ビット 5 : 外部アドレスイネーブル (EAE)

アドレス H'010000 ~ H'01FFFF を内部アドレスとするか、外部アドレスとするかを選択します。本設定はノーマルモードの場合は無効です。

ビット 5	説明
EAE	
0	アドレス H'010000 ~ H'01FFFF は内蔵 ROM (H8S/2655 の場合) またはリザーブ領域* (H8S/2653 の場合)。
1	アドレス H'010000 ~ H'01FFFF は外部アドレス (外部拡張モードの場合) またはリザーブ領域* (シングルチップモード)。(初期値)

【注】 \* リザーブ領域はアクセスしないでください。

## 19.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子 (MD<sub>2</sub>、MD<sub>1</sub>、MD<sub>0</sub>) および BCRL の EAE ビットにより行います。この設定を表 19.2 に示します。

ノーマルモードのとき、使用できる ROM は最大 56k バイトになります。

表 19.2 動作モードと ROM

動作モード		モード端子			BCRL	内蔵 ROM
		MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	EAE	
モード 1	ノーマル・内蔵 ROM 無効拡張モード	0	0	1		無効
モード 2	ノーマル・内蔵 ROM 有効拡張モード		1	0		有効 (56k バイト)
モード 3	ノーマル・シングルチップモード			1		
モード 4	アドバンスト・内蔵 ROM 無効拡張モード	1	0	0		無効
モード 5	アドバンスト・内蔵 ROM 無効拡張モード			1		
モード 6	アドバンスト・内蔵 ROM 有効拡張モード		1	0	0	有効*
					1	有効 (64k バイト)
モード 7	アドバンスト・シングルチップモード		1	0	有効*	
				1	有効 (64k バイト)	

【注】 \* H8S/2655 は 128k バイト、H8S/2653 は 64k バイトです。  
H8S/2655 のモード 6、7 の場合、パワーオンリセット後に使用できる内蔵 ROM は、アドレス H'000000 ~ H'00FFFF の 64k バイトですので注意してください。

## 19.4 PROM モード

### 19.4.1 PROM モードの設定

PROM 版の場合、PROM モードを設定すると、本 LSI はマイクロコンピュータとしての機能が停止し、内蔵 PROM のプログラムを行うことができます。この PROM のプログラムは、EPROM HN27C101 ( $V_{pp} = 12.5V$ ) と同様の仕様で行うことができます。120 ピンから 32 ピンへのピン配置変換ソケットを用いることにより、市販の PROM ライタで簡単に書き込みができます。

ただし、ページプログラミング方式はサポートしていませんので、PROM ライタを選択する場合には注意してください。

PROM モードの設定方法を表 19.3 に示します。

表 19.3 PROM モードの設定方法

端子名	設定
MD <sub>2</sub> 、MD <sub>1</sub> 、MD <sub>0</sub>	Low レベル
STBY	
PA <sub>2</sub> 、PA <sub>1</sub>	High レベル

### 19.4.2 ソケットアダプタの端子対応とメモリマップ

PROMライターによるプログラムは、120ピンから32ピンへのソケットアダプタを用いて行います。ソケットアダプタの端子対応図を図 19.2 に、ソケットアダプタの型名を表 19.4 に示します。

また、PROMモード時のメモリマップを図 19.3 に示します。



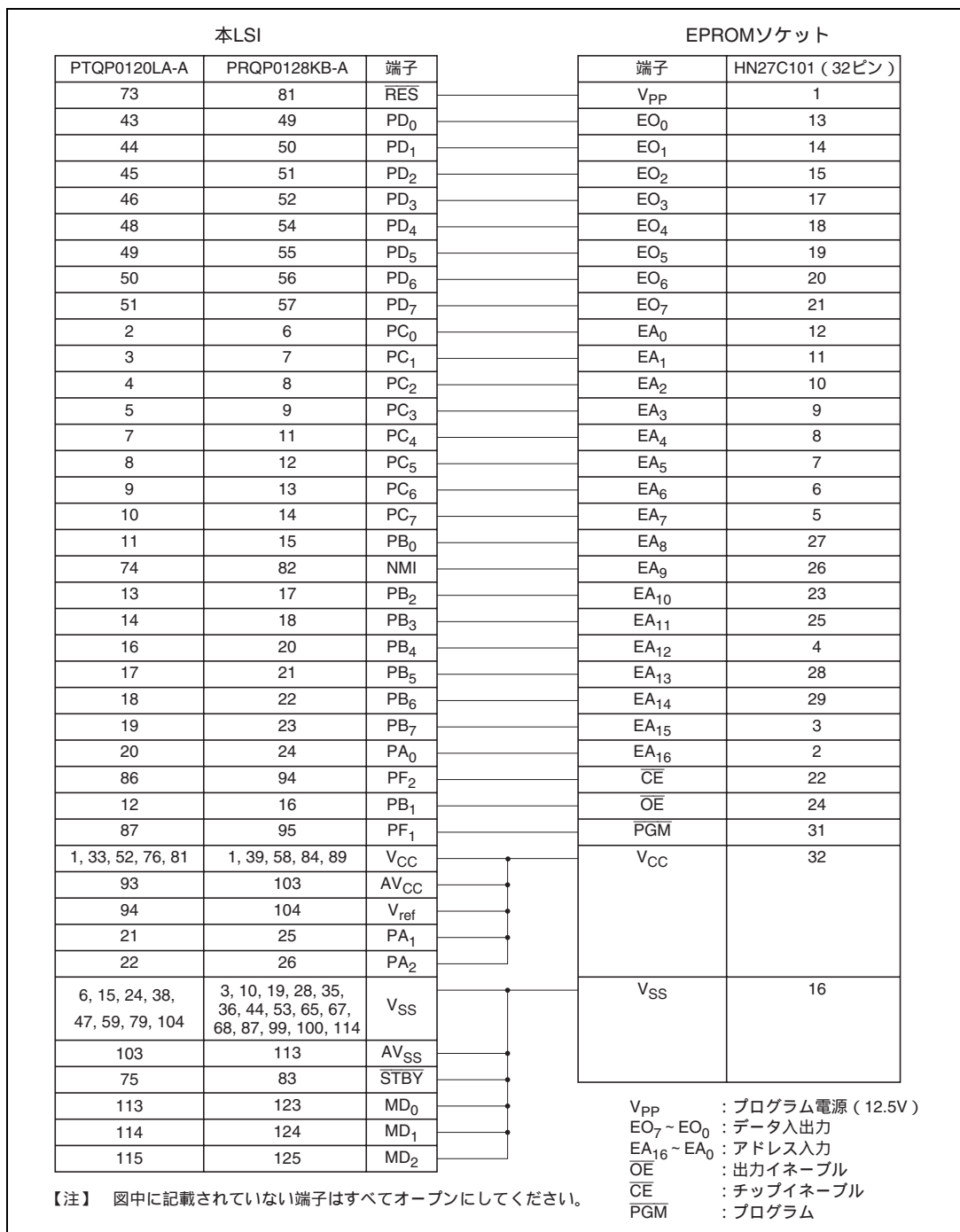


図 19.2 ソケットアダプタの端子対応図

表 19.4 ソケットアダプタ

製品名	パッケージ	ソケットアダプタ型名
H8S/2655	120 ピン TQFP (PTQP0120LA-A)	HS2655ESNS1H
	128 ピン QFP (PRQP0128KB-A)	HS2655ESHS1H

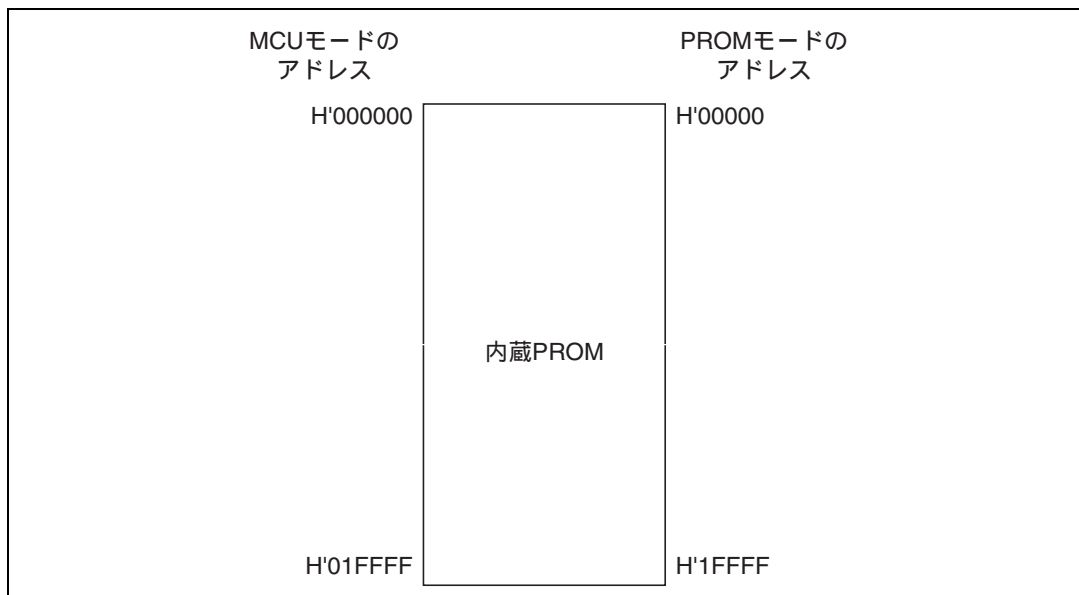


図 19.3 PROM モード時のメモリマップ

## 19.5 プログラミング

### 19.5.1 概要

PROM 版の PROM モード時の書き込み、ベリファイなどのモード選択は、表 19.5 に示すような設定で行います。

表 19.5 PROM モード時のモード選択

ピン	CE	OE	PGM	V <sub>PP</sub>	V <sub>CC</sub>	EO <sub>7</sub> ~ EO <sub>0</sub>	EA <sub>16</sub> ~ EA <sub>0</sub>
モード							
書き込み	L	H	L	V <sub>PP</sub>	V <sub>CC</sub>	データ入力	アドレス入力
ベリファイ	L	L	H	V <sub>PP</sub>	V <sub>CC</sub>	データ出力	アドレス入力
プログラミング禁止	L	L	L	V <sub>PP</sub>	V <sub>CC</sub>	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

## 【記号説明】

L : Low レベル V<sub>PP</sub> : V<sub>PP</sub> レベルH : High レベル V<sub>CC</sub> : V<sub>CC</sub> レベル

なお、書き込み、読み出し、ベリファイは、標準 EPROM の HN27C101 と同じ仕様になっています。

ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードは設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイト単位の高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ず H'00000 ~ H'1FFFF に設定してください。

### 19.5.2 書き込み / ベリファイ

書き込み / ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式はデバイスへの電圧ストレスを与えることなく、また、書き込みデータの信頼性を損なうことなく、高速な書き込みを行うことができます。未使用のアドレスのデータは H'FF です。高速プログラミングの基本的なフローを図 19.4 に示します。また、プログラミング時の電気的特性を表 19.6、表 19.7 に、タイミングを図 19.5 に示します。

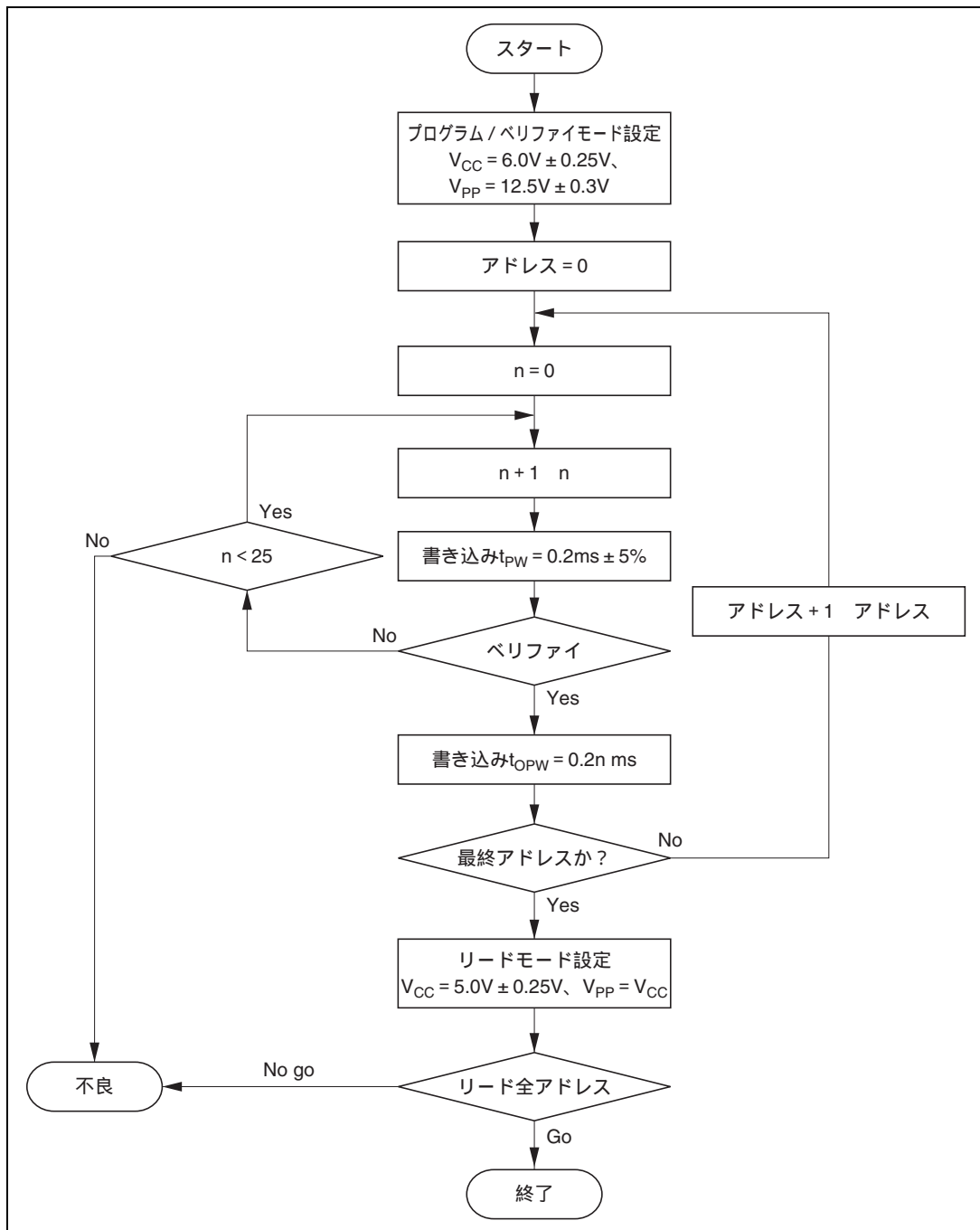


図 19.4 高速プログラミングフローチャート

表 19.6 DC 特性

(条件:  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$ )

項目		記号	min	typ	max	単位	測定条件
入力 High レベル電圧	$\overline{EO}_7 \sim \overline{EO}_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、PGM	$V_{IH}$	2.4	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$\overline{EO}_7 \sim \overline{EO}_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、PGM	$V_{IL}$	- 0.3	-	0.8	V	
出力 High レベル電圧	$EO_7 \sim EO_0$	$V_{OH}$	2.4	-	-	V	$I_{OH} = -200\mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	$V_{OL}$	-	-	0.45	V	$I_{OL} = 1.6mA$
入力 リーク電流	$\overline{EO}_7 \sim \overline{EO}_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、PGM	$ I_L $	-	-	2	$\mu A$	$V_{in} = 5.25V/0.5V$
$V_{CC}$ 電流		$I_{CC}$	-	-	40	mA	
$V_{PP}$ 電流		$I_{PP}$	-	-	40	mA	

表 19.7 AC 特性

(条件:  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$ )

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	$t_{AS}$	2			$\mu s$	図 19.5 *1
$\overline{OE}$ セットアップ時間	$t_{OES}$	2			$\mu s$	
データセットアップ時間	$t_{DS}$	2			$\mu s$	
アドレスホールド時間	$t_{AH}$	0			$\mu s$	
データホールド時間	$t_{DH}$	2			$\mu s$	
データ出力ディスエーブル時間	$t_{DF}^{*2}$			130	ns	
$V_{PP}$ セットアップ時間	$t_{VPS}$	2			$\mu s$	
プログラムパルス幅	$t_{PW}$	0.19	0.20	0.21	ms	
オーバプログラム時の PGM パルス幅	$t_{OPW}^{*3}$	0.19		5.25	ms	
$V_{CC}$ セットアップ時間	$t_{VCS}$	2			$\mu s$	
$\overline{CE}$ セットアップ時間	$t_{CES}$	2			$\mu s$	
データ出力遅延時間	$t_{OE}$	0		150	ns	

【注】 \*1 入力パルスレベル: 0.8~2.2V

入力立ち上がり/立ち下がり時間 20ns

タイミング参照レベル 入力: 1.0V、2.0V

出力: 0.8V、2.0V

\*2  $t_{DF}$  は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。\*3  $t_{OPW}$  はフローチャートに記載した値で定義されます。

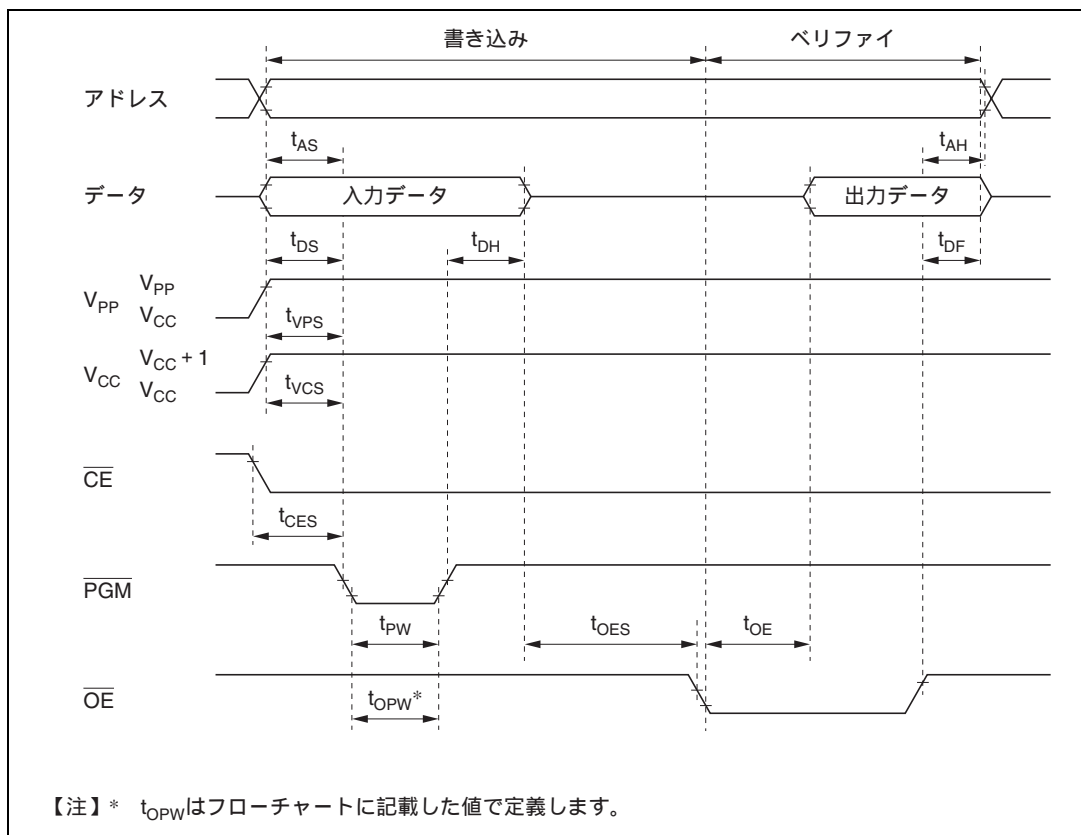


図 19.5 PROM 書き込み / ベリファイタイミング

### 19.5.3 書き込み時の注意

(1) 書き込みは規定された電圧、タイミングで行ってください。

PROM モード時のプログラム電圧 ( $V_{pp}$ ) は 12.5V です。

定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特に PROM ライタのオーバシュートなどには十分注意してください。

PROM ライタの HN27C101 のルネサス仕様に設定すると、 $V_{pp}$  は 12.5V になります。

(2) PROM ライタのソケット、ソケットアダプタおよび MCU それぞれのインデックスが一致していないと、過剰電流によって MCU が破壊されることがあります。書き込み前に正しく PROM ライタに装着されていることを確認してください。

(3) 書き込み中はソケットアダプタおよび MCU には触れないようにしてください。接触不良により書き込み不良となる場合があります。

(4) ページプログラミングモードはサポートしていません。PROM ライタのプログラミングモードの設定には注意してください。

(5) PROM の容量は 128k バイトです。アドレスは必ず H'00000 ~ H'1FFFF に設定してください。プログラミング時には、未使用のアドレス領域のデータは H'FF としてください。

#### 19.5.4 書き込み後の信頼性

PROM への書き込み後、データ保持特性を向上させるために、150 の高温放置を行うと大変有効です。高温放置は、スクリーニングの 1 つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 19.6 に推奨するスクリーニングフローを示します。

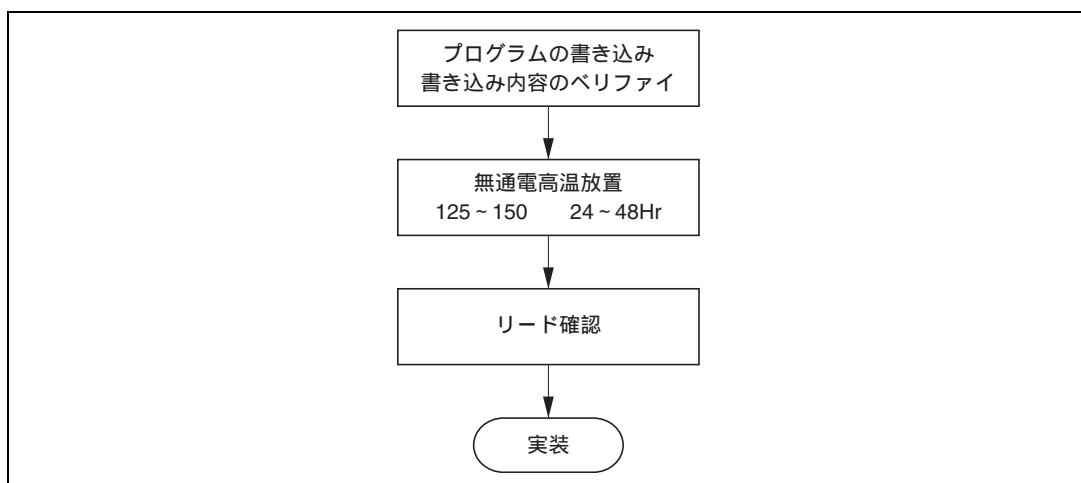


図 19.6 PROM 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中に、書き込み不良が連続して発生した場合には書き込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。





## 20. クロック発振器

### 20.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック ( $\phi$ )、バスマスタクロック、および内部クロックを生成します。クロック発振器は、発振器、デューティ補正回路、中速クロック分周器、バスマスタクロック選択回路から構成されます。

#### 20.1.1 ブロック図

クロック発振器のブロック図を図 20.1 に示します。

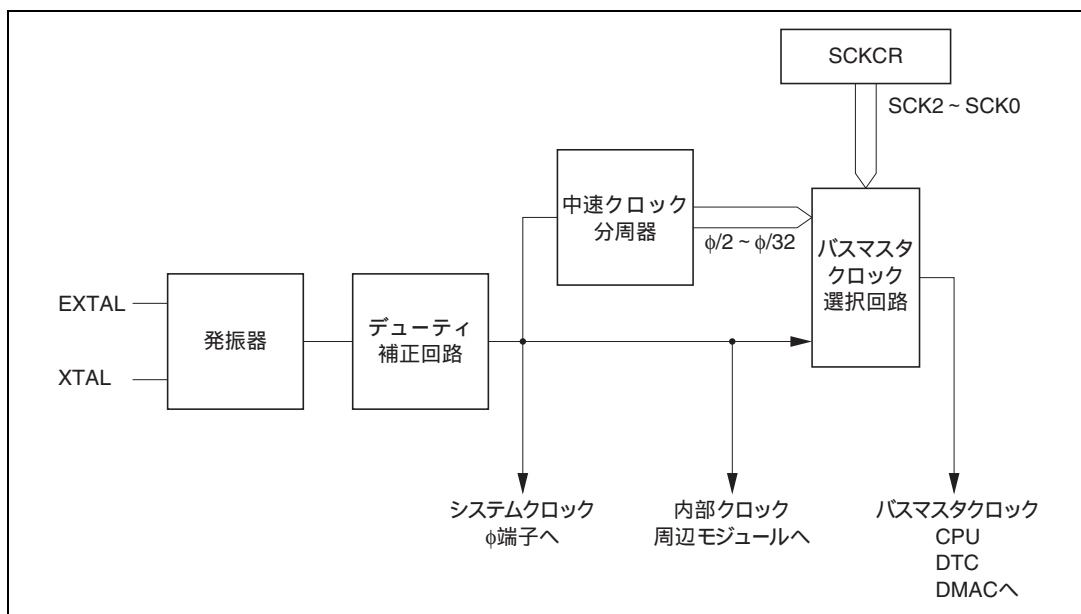


図 20.1 クロック発振器のブロック図

#### 20.1.2 レジスタ構成

クロック発振器は、SCKCR で制御されます。レジスタ構成を表 20.1 に示します。

表 20.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FF3A

【注】 \* アドレスの下位 16 ビットを示しています。

## 20.2 各レジスタの説明

### 20.2.1 システムクロックコントロールレジスタ (SCKCR)

ビット:	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	-	-	-	-	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、 $\phi$ クロック出力と中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 7: $\phi$ クロック出力禁止 (PSTOP)

$\phi$ 出力を制御します。

ビット 7	説明			
PSTOP	通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	$\phi$ 出力 (初期値)	$\phi$ 出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

#### ビット 6: リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

#### ビット 5~3: リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

#### ビット 2~0: システムクロックセレクト 2~0 (SCK2~0)

バスマスタのクロックを選択します。

ビット 2	ビット 1	ビット 0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1	-	-

## 20.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

### 20.3.1 水晶発振子を接続する方法

#### (1) 回路構成

水晶発振子を接続する場合の接続例を図 20.2 に示します。ダンピング抵抗  $R_d$  は、表 20.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

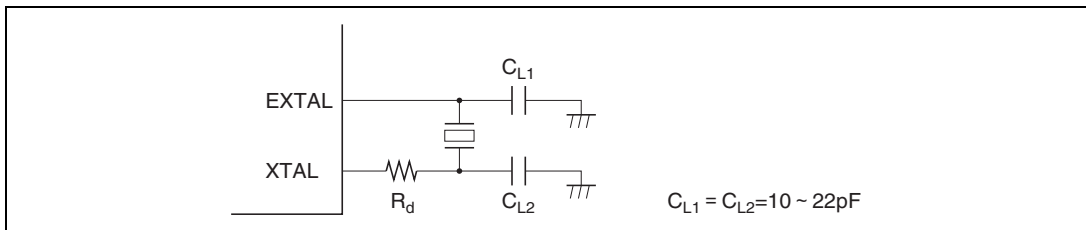


図 20.2 水晶発振子の接続例

表 20.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	12	16	20
$R_d$ ( $\Omega$ )	1k	500	200	0	0	0

#### (2) 水晶発振子

図 20.3 に水晶発振子の等価回路を示します。水晶発振子は表 20.3 に示す特性のものを使用してください。

水晶発振子は、システムクロック ( $\phi$ ) と同一の周波数のものを使用してください。

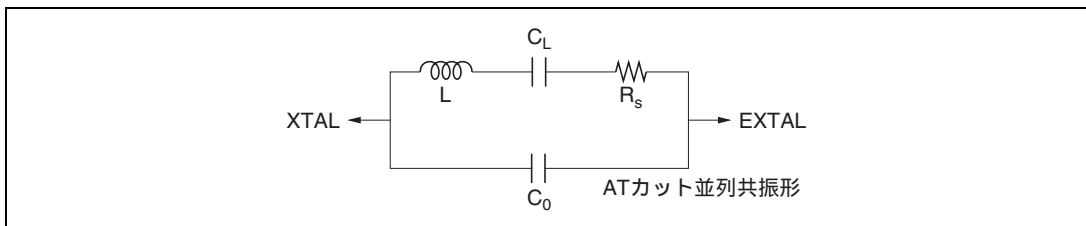


図 20.3 水晶発振子の等価回路

表 20.3 水晶発振子の特性

周波数 (MHz)	2	4	8	12	16	20
$R_s$ max ( $\Omega$ )	500	120	80	60	50	40
$C_0$ max (pF)	7					

## (3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。発振回路部の近くに信号線を通させないでください(図 20.4)。誘導により正しい発振ができなくなる場合があります。また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

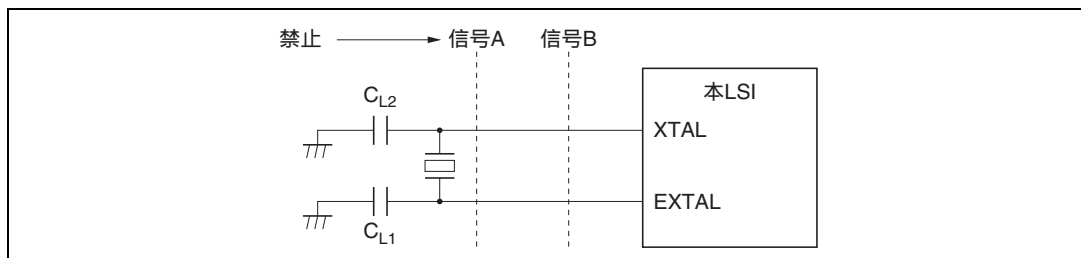


図 20.4 発振回路部のボード設計に関する注意事項

## 20.3.2 外部クロックを入力する方法

## (1) 回路構成

外部クロック入力の接続例を図 20.5 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 20.5 (b) の場合、スタンバイモード時には外部クロックが High レベルになるようにしてください。

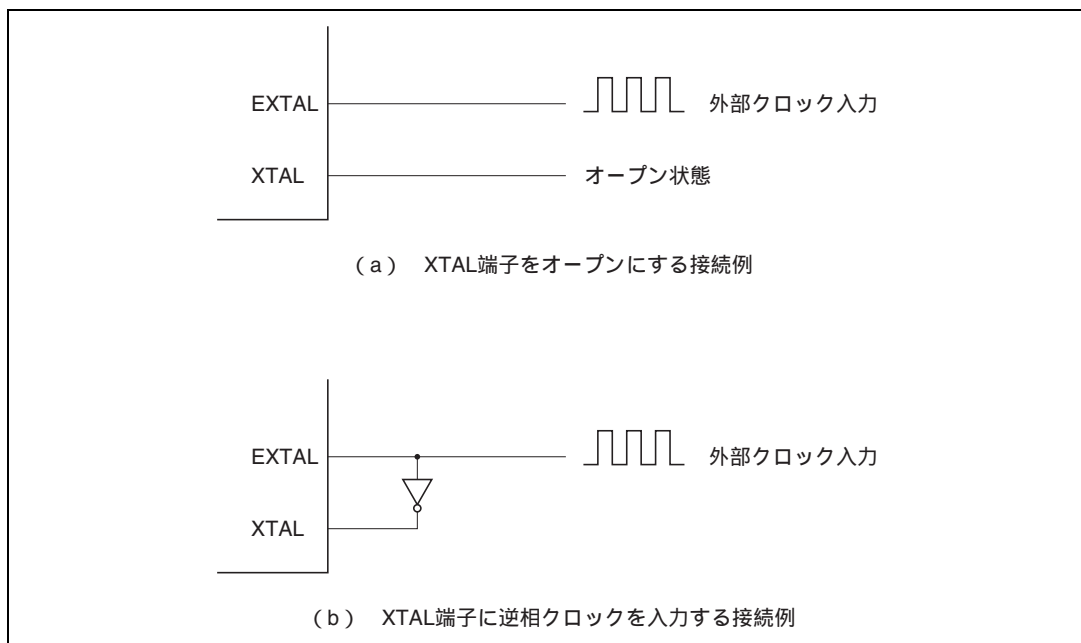


図 20.5 外部クロックの接続例

## (2) 外部クロック

外部クロックは、システムクロック ( $\phi$ ) と同一の周波数としてください。外部クロックの入力条件を表 20.4 および図 20.6 に示します。

表 20.4 外部クロック入力条件

項目	記号	$V_{CC} = 2.7 \sim 5.5V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック入力 パルス幅 Low レベル	$t_{EXL}$	40	-	20	-	ns	図 20.6	
外部クロック入力 パルス幅 High レベル	$t_{EXH}$	40	-	20	-	ns		
外部クロック立ち上 がり時間	$t_{EXr}$	-	10	-	5	ns		
外部クロック立ち下 がり時間	$t_{EXf}$	-	10	-	5	ns		
クロックパルス幅 Low レベル	$t_{CL}$	0.4	0.6	0.4	0.6	$t_{cyc}$	$\phi$ 5MHz	図 22.4
		80	-	80	-	ns	$\phi < 5MHz$	
クロックパルス幅 High レベル	$t_{CH}$	0.4	0.6	0.4	0.6	$t_{cyc}$	$\phi$ 5MHz	
		80	-	80	-	ns	$\phi < 5MHz$	

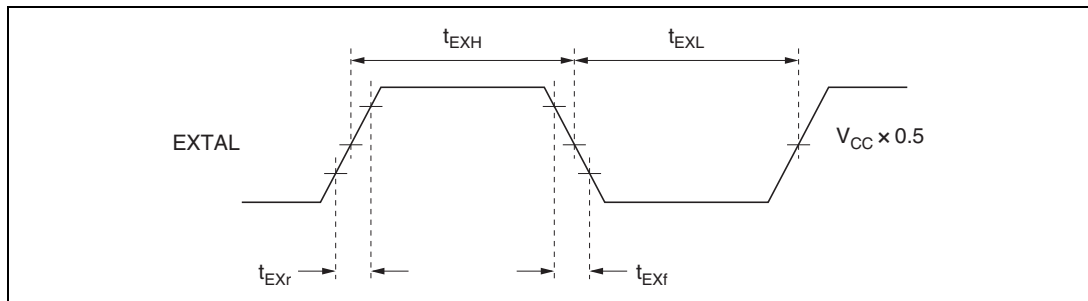


図 20.6 外部クロック入力タイミング

## 20.4 デューティ補正回路

デューティ補正回路は、発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正し、システムクロック ( $\phi$ ) を生成します。

## 20.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$  を生成します。

## 20.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SCKCR の SCK2 ~ SCK0 ビットに従って、システムクロック ( $\phi$ )、または中速クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) から選択します。



## 21. 低消費電力状態

### 21.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) スリープモード
- (4) モジュールストップモード
- (5) ソフトウェアスタンバイモード
- (6) ハードウェアスタンバイモード

があり、(2)～(6)が低消費電力状態です。スリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能 (CPU 以外のバスマスタも含む) の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 21.1 に、各動作状態へ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を示します。

表 21.1 動作状態

動作状態	遷移条件	解除方法	発振器	CPU		モジュール		I/O ポート
				レジスタ	レジスタ			
高速モード	制御レジスタ		動作	高速	動作	高速	動作	高速
中速モード	制御レジスタ		動作	中速	動作	高/ 中速*1	動作	高速
スリープモード	命令	割り込み	動作	停止	保持	高速	動作	高速
モジュール ストップモード	制御レジスタ		動作	高/ 中速	動作	停止	保持/ リセット*2	保持
ソフトウェア スタンバイモード	命令	外部 割り込み	停止	停止	保持	停止	保持/ リセット*2	保持
ハードウェア スタンバイモード	端子		停止	停止	不定	停止	リセット	ハイイン ピーダ ダンス

【注】 \*1 バスマスタは中速クロック、その他の内蔵周辺機能は高速クロックで動作します。

\*2 SCI はリセット状態、その他の内蔵周辺機能は状態を保持します。

### 21.1.1 レジスタ構成

低消費電力状態は、SBYCR、SCKCR、MSTPCR で制御されます。レジスタ構成を表 21.2 に示します。

表 21.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'08	H'FF38
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FF3A
モジュールストップコントロールレジスタ H	MSTPCRH	R/W	H'3F	H'FF3C
モジュールストップコントロールレジスタ L	MSTPCRL	R/W	H'FF	H'FF3D

【注】 \* アドレスの下位 16 ビットを示しています。

## 21.2 各レジスタの説明

### 21.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	-	-	-
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	-	-	-

SBYCR は 8 ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'08 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

#### ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場合は 0 をライトしてください。

ビット 7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移



## ビット6~4: スタンバイタイムセレクト2~0 (STS2~STS0)

外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでMCUが待機する時間を選択します。水晶発振の場合、表 21.4 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 262144 ステート
	1	0	リザーブ
		1	待機時間 = 16 ステート

## ビット3: 出力ポートイネーブル (OPE)

ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ( $\overline{CS}_0 \sim \overline{CS}_7$ 、 $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ 、 $\overline{CAS}$ 、 $\overline{OE}$ ) の出力を保持するか、ハイインピーダンスにするかを指定します。

ビット3	説明
OPE	
0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持 (初期値)

## ビット2~0: リザーブビット

リードすると常に0が読み出されます。ライトは無効です。

## 21.2.2 システムクロックコントロールレジスタ (SCKCR)

ビット :	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	-	-	-	-	R/W	R/W	R/W

SCKCR は 8 ビットのリード/ライト可能なレジスタで、 $\phi$ クロック出力の制御と中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7 :  $\phi$ クロック出力禁止 (PSTOP)

$\phi$ 出力を制御します。

ビット 7	説明			
PSTOP	通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
0	$\phi$ 出力 (初期値)	$\phi$ 出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

## ビット 6 : リザーブビット

リード/ライト可能ですが、ライト時には 0 をライトしてください。

## ビット 5~3 : リザーブビット

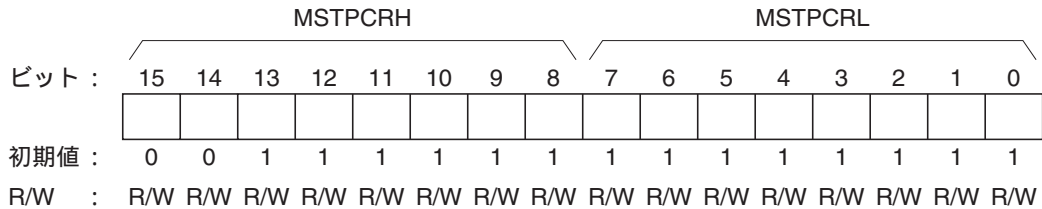
リードすると常に 0 が読み出されます。ライトは無効です。

## ビット 2~0 : システムクロックセレクト 2~0 (SCK2~SCK0)

バスマスタのクロックを選択します。

ビット 2	ビット 1	ビット 0	説明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1		

### 21.2.3 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 16 ビットのリード/ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 15~0 : モジュールストップ (MSTP15~MSTP0)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 21.3 を参照してください。

ビット 15~0	説明
MSTP15~MSTP0	
0	モジュールストップモード解除
1	モジュールストップモード設定

## 21.3 中速モード

SCKCR の SCK2~SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2~SCK0 ビットで指定した動作クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) で動作します。CPU 以外のバスマスタ (DMAC、DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック ( $\phi$ ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとして  $\phi/4$  を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2~SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

$\overline{\text{RES}}$  端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 21.1 に示します。

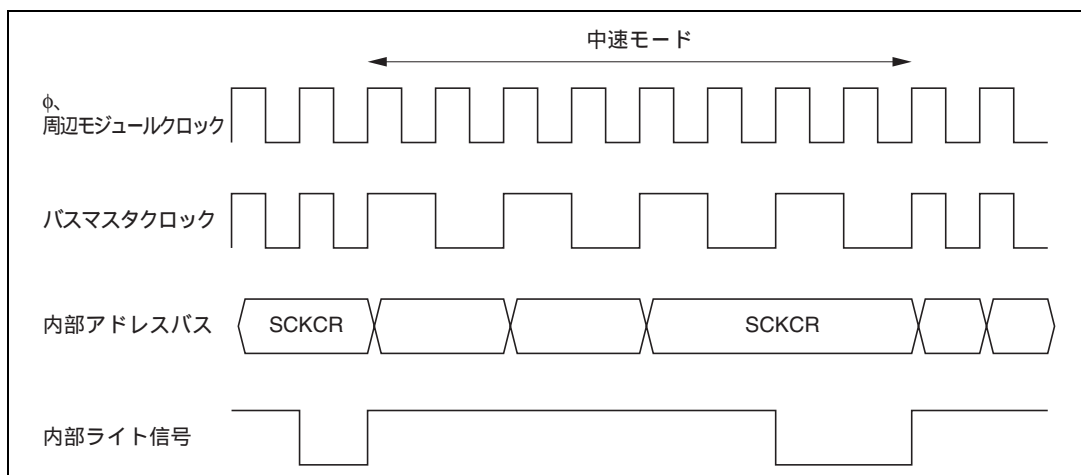


図 21.1 中速モードの遷移・解除タイミング

## 21.4 スリープモード

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

スリープモードの解除は、リセットまたはすべての割り込みによって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 21.5 モジュールストップモード

### 21.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 21.3 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

表 21.3 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCR <sub>H</sub>	MSTP15	DMA コントローラ
	MSTP14	データトランスファコントローラ (DTC)
	MSTP13	16 ビットタイマパルスユニット (TPU)
	MSTP12	8 ビットタイマ
	MSTP11	プログラマブルパルスジェネレータ (PPG)
	MSTP10	D/A 変換器
	MSTP9	A/D 変換器
	MSTP8	-
MSTPCR <sub>L</sub>	MSTP7	シリアルコミュニケーションインタフェース (SCI) チャンネル 2
	MSTP6	シリアルコミュニケーションインタフェース (SCI) チャンネル 1
	MSTP5	シリアルコミュニケーションインタフェース (SCI) チャンネル 0
	MSTP4	-
	MSTP3	-
	MSTP2	-
	MSTP1	-
	MSTP0	-

【注】 ビット 8、4~0 はリード/ライトできませんが、動作に影響を与えません。

## 21.5.2 使用上の注意

### (1) DMAC、DTC のモジュールストップ

DMAC、DTC の動作状態によっては、MSTP15、MSTP14 ビットは 1 にセットされない場合があります。DMAC または DTC のモジュールストップモードの設定は、それぞれ起動されない状態で行ってください。

詳細は「第 7 章 DMA コントローラ」、「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

### (2) 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

### (3) MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

## 21.6 ソフトウェアスタンバイモード

### 21.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータおよび SCI を除く内蔵周辺機能と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR の OPE ビットにより指定できます。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

### 21.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{IRQ_0} \sim \overline{IRQ_2}$  端子)、 $\overline{RES}$  端子、または  $\overline{STBY}$  端子によって行われます。

#### (1) 割り込みによる解除

NMI、 $IRQ_0 \sim IRQ_2$  割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

$IRQ_0 \sim IRQ_2$  割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ  $IRQ_0 \sim IRQ_2$  割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

#### (2) $\overline{RES}$ 端子による解除

$\overline{RES}$  端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき  $\overline{RES}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{RES}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

#### (3) $\overline{STBY}$ 端子による解除

$\overline{STBY}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

### 21.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のよう to してください。

#### (1) 水晶発振の場合

待機時間が 8ms (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。  
表 21.4 に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。

表 21.4 発振安定時間の設定

STS2	STS1	STS0	待機時間	20MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.41	0.51	0.68	0.8	1.0	1.3	2.0	4.1	ms
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	<u>8.2</u>	
	1	0	32768 ステート	1.6	2.0	2.7	3.3	4.1	5.5	<u>8.2</u>	16.4	
		1	65536 ステート	3.3	4.1	5.5	6.6	<u>8.2</u>	<u>10.9</u>	16.4	32.8	
1	0	0	131072 ステート	6.6	<u>8.2</u>	<u>10.9</u>	<u>13.1</u>	16.4	21.8	32.8	65.5	
		1	262144 ステート	<u>13.1</u>	16.4	21.8	26.2	32.8	43.6	65.6	131.2	
	1	0	- *	-	-	-	-	-	-	-	-	
		1	16 ステート	0.8	1.0	1.3	1.6	2.0	2.7	4.0	8.0	

: 推奨設定時間

【注】 \* リザーブされています。設定すると待機時間 16 ステートになります。

#### (2) 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

### 21.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 21.2 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている(立ち上がりエッジ指定)状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット(立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

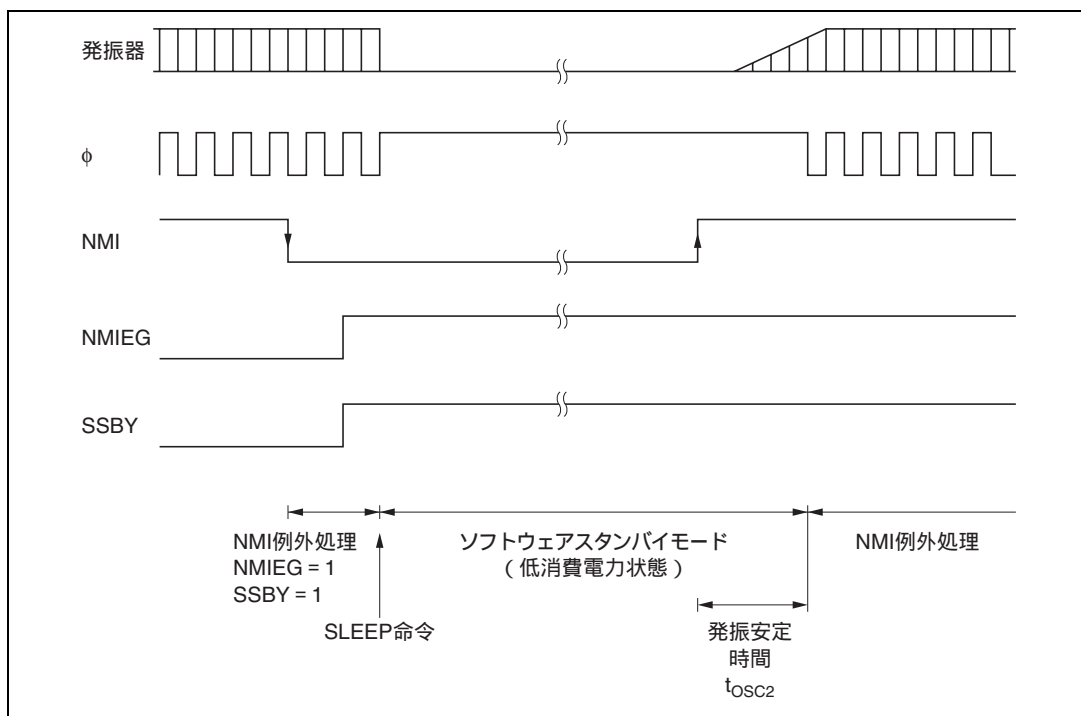


図 21.2 ソフトウェアスタンバイモードの応用例

### 21.6.5 使用上の注意

#### (1) I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

#### (2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

#### (3) ライトデータバッファ機能

ライトデータバッファ機能とソフトウェアスタンバイモードは同時には使用できません。

ライトデータバッファ機能を使用している場合、ソフトウェアスタンバイモードに遷移する前に BCRL の WDBE ビットを 0 にクリアしてライトデータバッファ機能を解除してください。さらに外部アドレスをリードするなどして外部ライトが終了したことを確認してから SLEEP 命令を実行し、ソフトウェアスタンバイモードに遷移してください。

ライトデータバッファ機能については「6.10 ライトデータバッファ機能」を参照してください。



## 21.7 ハードウェアスタンバイモード

### 21.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 ( $\text{MD}_2 \sim \text{MD}_0$ ) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子と  $\overline{\text{RES}}$  端子によって行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで（水晶発振の場合、発振安定時間 8ms 以上）Low レベルを保持してください。その後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

### 21.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 21.3 に示します。

$\overline{\text{RES}}$  端子を Low レベルにした後、 $\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$  端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

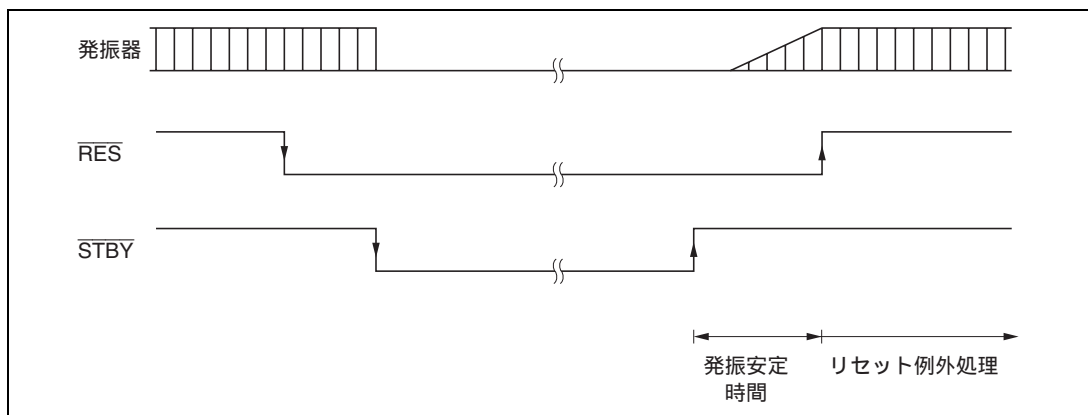


図 21.3 ハードウェアスタンバイモードのタイミング例

## 21.8 $\phi$ クロック出力禁止機能

SCKCR の PSTOP ビット、対応するポートの DDR により、 $\phi$ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で $\phi$ クロックは停止し、 $\phi$ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 $\phi$ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 $\phi$ クロック出力は禁止され、入力ポートになります。表 21.5 に各処理状態における $\phi$ 端子の状態を示します。

表 21.5 各処理状態における $\phi$ 端子の状態

DDR	0	1	
PSTOP	-	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード	ハイインピーダンス	High 固定	
スリープモード	ハイインピーダンス	$\phi$ 出力	High 固定
通常動作状態	ハイインピーダンス	$\phi$ 出力	High 固定

---

## 22. 電気的特性

---

### 22.1 絶対最大定格

絶対最大定格を表 22.1 に示します。

表 22.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
プログラム電圧	$V_{PP}$	-0.3 ~ +13.5	V
入力電圧 (ポート 4 以外)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 4)	$V_{in}$	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	$V_{ref}$	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
保存温度	$T_{stg}$	-55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

## 22.2 DC 特性

DC 特性を表 22.2 に示します。また、出力許容電流値を表 22.3 に示します。

表 22.2 DC 特性 (1)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ 入力電圧	ポート 2、 P6 <sub>4</sub> ~ P6 <sub>7</sub> PA <sub>4</sub> ~ PA <sub>7</sub>	V <sub>T-</sub>	1.0			V	
		V <sub>T+</sub>			V <sub>CC</sub> × 0.7	V	
		V <sub>T+</sub> - V <sub>T-</sub>	0.4			V	
入力 High レベル電圧	RES、STBY、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	V <sub>IH</sub>	V <sub>CC</sub> - 0.7		V <sub>CC</sub> + 0.3	V	
	EXTAL		V <sub>CC</sub> × 0.7		V <sub>CC</sub> + 0.3	V	
	ポート 1、3、5、 B ~ G、P6 <sub>0</sub> ~ P6 <sub>3</sub> 、 PA <sub>0</sub> ~ PA <sub>3</sub>		2.0		V <sub>CC</sub> + 0.3	V	
	ポート 4		2.0		AV <sub>CC</sub> + 0.3	V	
入力 Low レベル電圧	RES、STBY、 MD <sub>2</sub> ~ MD <sub>0</sub>	V <sub>IL</sub>	-0.3		0.5	V	
	NMI、EXTAL、 ポート 1、3 ~ 5、 B ~ G、P6 <sub>0</sub> ~ P6 <sub>3</sub> 、 PA <sub>0</sub> ~ PA <sub>3</sub>		-0.3		0.8	V	
出力 High レベル電圧	全出力端子	V <sub>OH</sub>	V <sub>CC</sub> - 0.5			V	I <sub>OH</sub> = -200μA
			3.5			V	I <sub>OH</sub> = -1mA
出力 Low レベル電圧	全出力端子	V <sub>OL</sub>			0.4	V	I <sub>OL</sub> = 1.6mA
	ポート 1、A ~ C				1.0	V	I <sub>OL</sub> = 10mA
入力リーク 電流	RES	I <sub>in</sub>			10.0	μA	V <sub>in</sub> = 0.5 ~ V <sub>CC</sub> - 0.5V
	STBY、NMI、 MD <sub>2</sub> ~ MD <sub>0</sub>				1.0	μA	
	ポート 4				1.0	μA	

【注】 \*1 A/D および D/A 変換器未使用時に、AV<sub>CC</sub>、V<sub>ref</sub>、AV<sub>SS</sub> 端子を開放しないでください。  
 AV<sub>CC</sub>、V<sub>ref</sub> 端子は V<sub>CC</sub> に、AV<sub>SS</sub> 端子は V<sub>SS</sub> にそれぞれ接続してください。

表 22.2 DC 特性 (2)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリープステート リーク電流 (オフ状態)	ポート 1~3、5、6、 A~G	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A~E	$-I_p$	50		300	$\mu A$	$V_{in} = 0V$
入力容量	RES	$C_{in}$			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50	pF	
	RES、NMI 以外の 全入力端子				15	pF	
消費電流 <sup>*2</sup>	通常動作時	$I_{CC}^{*4}$		80 (5.0V)	122	mA	$f = 20MHz$
	スリープ時			60 (5.0V)	84		
	スタンバイ時 <sup>*3</sup>			0.01	5.0	$\mu A$	$T_a = 50$ $50 < T_a$
			20				
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		16 (5.0V)	24	mA	
	A/D、D/A 変換待機時			0.01	5.0		
リファレンス 電源電流	A/D、D/A 変換中	$AI_{CC}$		2	3.0	mA	
	A/D、D/A 変換待機時			0.01	5.0		
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*1 A/D および D/A 変換器未使用時に、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

$AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 4.5V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$I_{CC} \max. = 1.0 \text{ (mA)} + 1.1 \text{ (mA / (MHz} \times V)) \times V_{CC} \times f \text{ (通常動作時)}$

$I_{CC} \max. = 1.0 \text{ (mA)} + 0.75 \text{ (mA / (MHz} \times V)) \times V_{CC} \times f \text{ (スリープ時)}$

## 22. 電気的特性

表 22.2 DC 特性 (3)

条件:  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ \*1  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	ポート 2、 P6 <sub>4</sub> ~ P6 <sub>7</sub> PA <sub>4</sub> ~ PA <sub>7</sub>	$V_T -$	$V_{CC} \times 0.2$		V		
		$V_T +$		$V_{CC} \times 0.7$	V		
		$V_T + - V_T -$	$V_{CC} \times 0.07$		V		
入力 High レベル電圧	RES、STBY、 NMI、MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
	ポート 1、3、5、 B ~ G、P6 <sub>0</sub> ~ P6 <sub>3</sub> 、PA <sub>0</sub> ~ PA <sub>3</sub>		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
	ポート 4		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	RES、STBY、 MD <sub>2</sub> ~ MD <sub>0</sub>	$V_{IL}$	-0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、 ポート 1、3 ~ 5、 B ~ G、P6 <sub>0</sub> ~ P6 <sub>3</sub> 、PA <sub>0</sub> ~ PA <sub>3</sub>		-0.3		$V_{CC} \times 0.2$ 0.8	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、A ~ C				1.0	V	$V_{CC} = 4V$ $I_{OL} = 5mA$ $4.0 < V_{CC} \leq 5.5V$ $I_{OL} = 10mA$
入力リーク 電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} =$ $0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、 MD <sub>2</sub> ~ MD <sub>0</sub>				1.0	$\mu A$	
	ポート 4				1.0	$\mu A$	

【注】 \*1 A/D および D/A 変換器未使用時に、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。  
 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。

表 22.2 DC 特性 (4)

条件:  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 2.7 \sim 5.5V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V^{*1}$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリーステータリーク電流 (オフ状態)	ポート 1~3、5、6、A~G	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10		300	$\mu A$	$V_{CC} = 2.7V \sim 5.5V$ , $V_{in} = 0V$
入力容量	RES	$C_{in}$			80	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI				50	pF	
	RES、NMI 以外の全入力端子				15	pF	
消費電流 <sup>*2</sup>	通常動作時	$I_{CC}^{*4}$		25 (3.0V)	62	mA	$f = 10MHz$
	スリープ時			18 (3.0V)	42	mA	$f = 10MHz$
	スタンバイ時 <sup>*3</sup>			0.01	5.0	$\mu A$	$T_a \ 50$ $50 < T_a$
アナログ電源電流	A/D、D/A 変換中	$AI_{CC}$		12 (3.0V)	22	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス電源電流	A/D、D/A 変換中	$AI_{CC}$		1.5 (3.0V)	2.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*1 A/D および D/A 変換器未使用時に、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

$AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$I_{CC} \max. = 1.0 \text{ (mA)} + 1.1 \text{ (mA / (MHz} \times V)) \times V_{CC} \times f$  (通常動作時)

$I_{CC} \max. = 1.0 \text{ (mA)} + 0.75 \text{ (mA / (MHz} \times V)) \times V_{CC} \times f$  (スリープ時)

## 22. 電気的特性

表 22.3 出力許容電流値

条件 :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、A~C			10	mA
	上記以外の出力端子			2.0	mA
出力 Low レベル許容電流 (総和)	ポート 1、A~C 32 端子の総和			80	mA
	上記を含む、全出力端子の総和			120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$		40	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 22.3 の値を超えないようにしてください。  
 2. ダーリントトランジスタや、LED を直接駆動する場合には、図 22.1、図 22.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

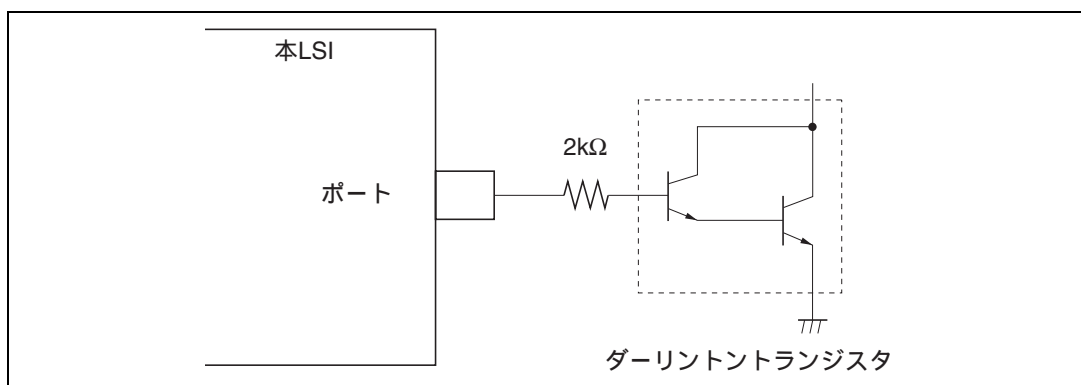


図 22.1 ダーリントトランジスタ駆動回路例

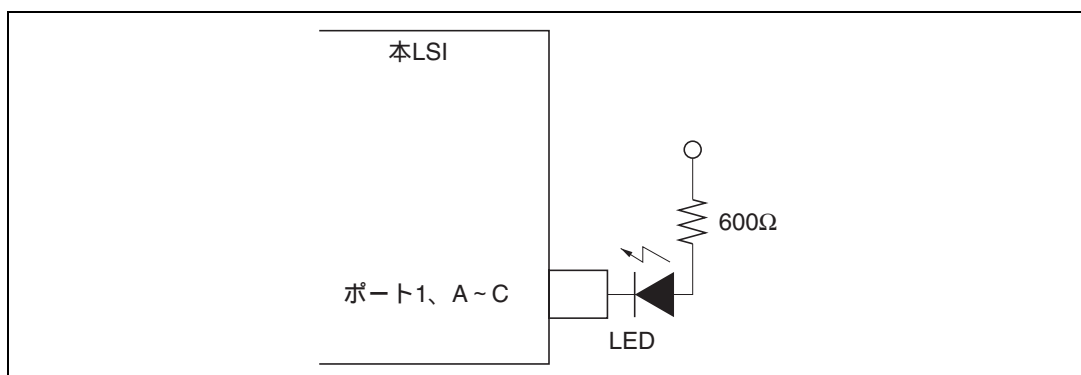


図 22.2 LED 駆動回路例



## 22.3 AC 特性

図 22.3 に AC 特性測定条件を示します。

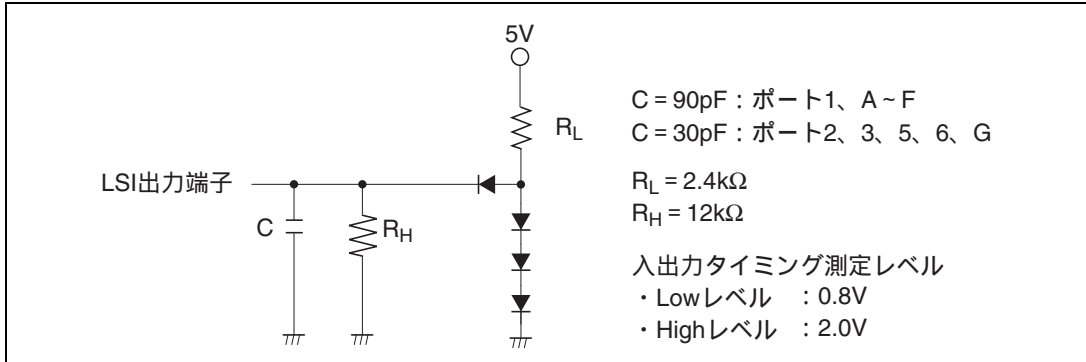


図 22.3 出力負荷回路

### 22.3.1 クロックタイミング

表 22.4 にクロックタイミングを示します。

表 22.4 クロックタイミング

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
クロックサイクル時間	$t_{cyc}$	100	500	50	500	ns	図 22.4
クロックハイレベルパルス幅	$t_{CH}$	35		20		ns	図 22.4
クロックローレベルパルス幅	$t_{CL}$	35		20		ns	
クロック立ち上がり時間	$t_{Cr}$		15		5	ns	
クロック立ち下がり時間	$t_{Cf}$		15		5	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20		10		ms	図 22.5
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	20		10		ms	図 21.2
外部クロック出力安定遅延時間	$t_{DEXT}$	500		500		$\mu s$	図 22.5

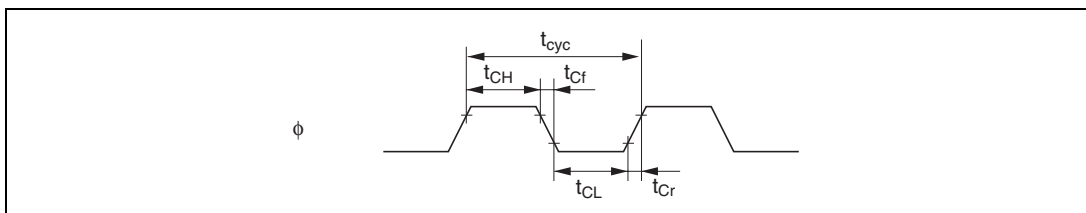


図 22.4 システムクロックタイミング

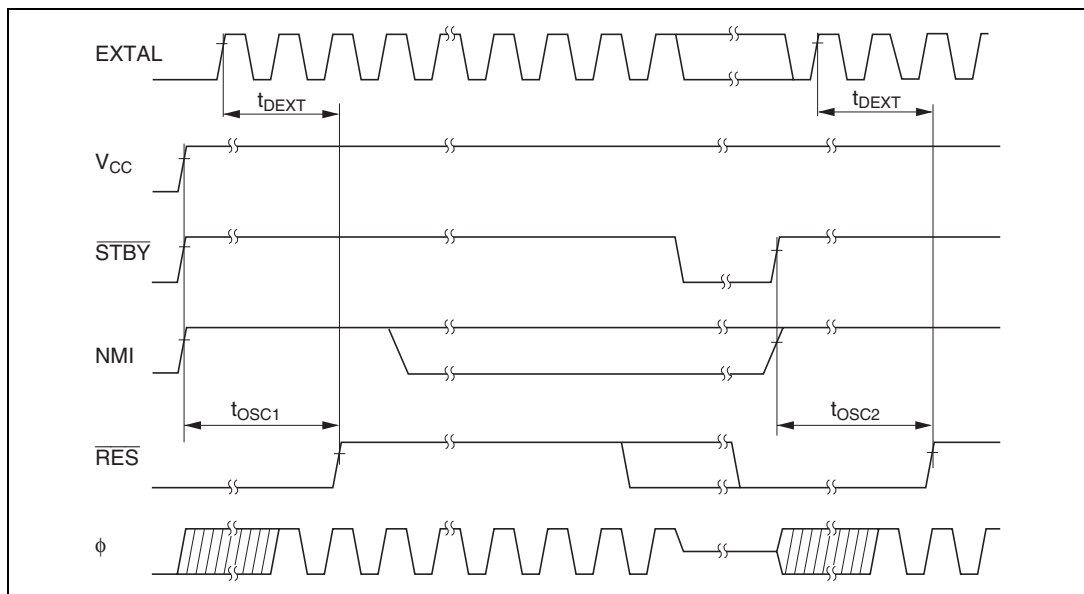


図 22.5 発振安定時間タイミング

### 22.3.2 制御信号タイミング

表 22.5 に制御信号タイミングを示します。

表 22.5 制御信号タイミング

- 条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7 \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)
- 条件 B :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
RES セットアップ時間	$t_{RESS}$	200		200		ns	図 22.6
RES パルス幅	$t_{RESW}$	20		20		$t_{cyc}$	
NMI リセットセットアップ時間	$t_{NMIRS}$	250		200		ns	
NMI リセットホールド時間	$t_{NMIRH}$	200		200		ns	図 22.7
NMI セットアップ時間	$t_{NMIS}$	250		150			
NMI ホールド時間	$t_{NMIH}$	10		10			
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		200			
IRQ セットアップ時間	$t_{IRQS}$	250		150		ns	
IRQ ホールド時間	$t_{IRQH}$	10		10			
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IQW}$	200		200			

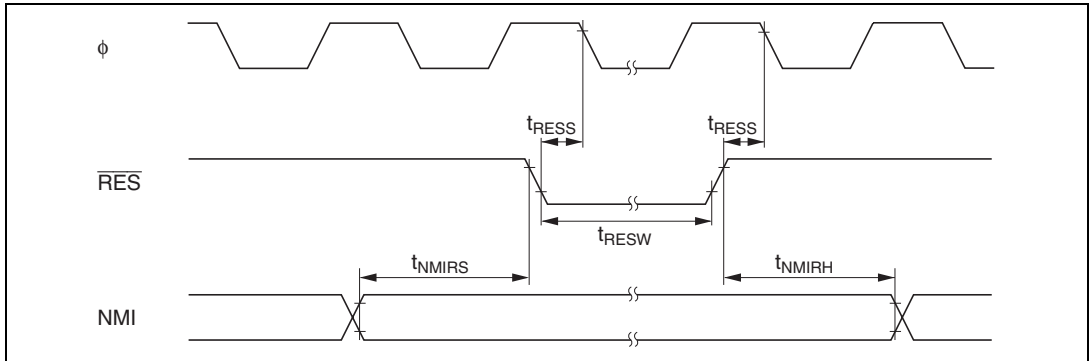


図 22.6 リセット入力タイミング

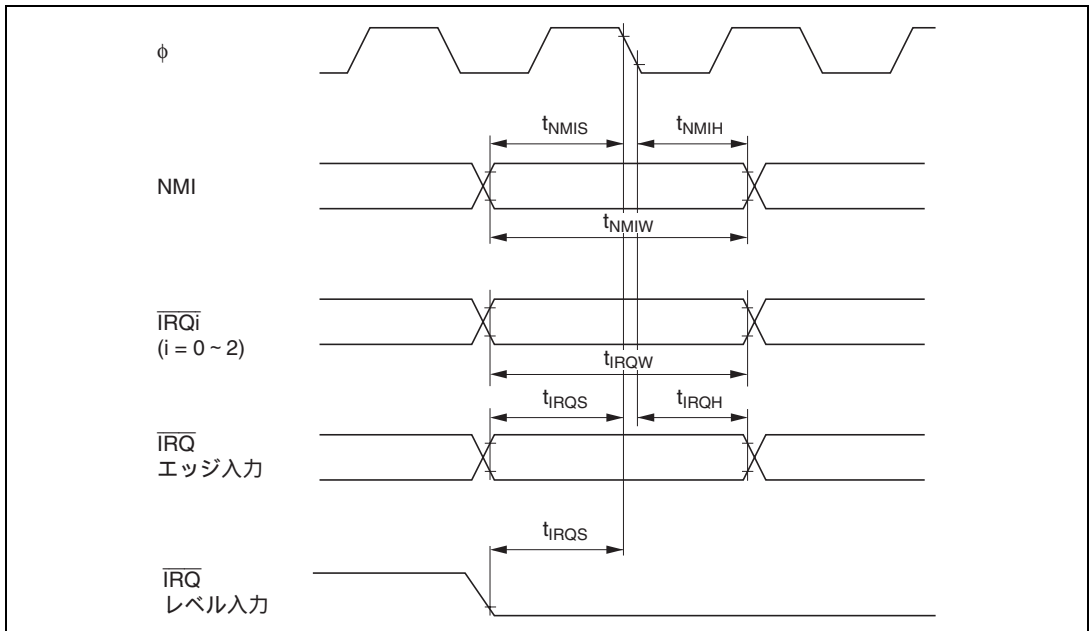


図 22.7 割り込み入力タイミング

## 22.3.3 バスタイミング

表 22.6 にバスタイミングを示します。

表 22.6 バスタイミング (1)

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$

$Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$

$Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
アドレス遅延時間	$t_{AD}$		40		20	ns	図 22.8 ~ 図 22.18
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 10$		ns	
プリチャージ時間	$t_{PCH}$	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 20$		ns	
CS 遅延時間 1	$t_{CSD1}$		40		20	ns	
CS 遅延時間 2	$t_{CSD2}$		40		20	ns	
CS パルス幅	$t_{CSW}$	$2.5 \times t_{cyc} - 40$		$2.5 \times t_{cyc} - 20$		ns	
AS 遅延時間	$t_{ASD}$		40		20	ns	
RD 遅延時間 1	$t_{RSD1}$		40		20	ns	
RD 遅延時間 2	$t_{RSD2}$		40		20	ns	
CAS 遅延時間	$t_{CASD}$		40		20	ns	
リードデータセットアップ時間	$t_{RDS}$	30		15		ns	
リードデータホールド時間	$t_{RDH}$	0		0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 50$		$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 50$		$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 50$		$3.0 \times t_{cyc} - 25$	ns	
WR 遅延時間 1	$t_{WRD1}$		40		20	ns	
WR 遅延時間 2	$t_{WRD2}$		40		20	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 20$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	$t_{WDD}$		60		30	ns	
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 40$		$0.5 \times t_{cyc} - 20$		ns	
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 10$		ns	
WR セットアップ時間	$t_{WCS}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 10$		ns	
WR ホールド時間	$t_{WCH}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 10$		ns	

表 22.6 バスタイミング (2)

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$

$Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$

$Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
CAS セットアップ時間	$t_{CSR}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 10$		ns	☒ 22.12
WAIT セットアップ時間	$t_{WTS}$	60		30		ns	☒ 22.10
WAIT ホールド時間	$t_{WTH}$	10		5		ns	
BREQ セットアップ時間	$t_{BRQS}$	60		30		ns	☒ 22.19
BACK 遅延時間	$t_{BACD}$		30		15	ns	
パスフローティング時間	$t_{BZD}$		100		50	ns	
BREQO 遅延時間	$t_{BRQOD}$		60		30	ns	☒ 22.20

## 22. 電気的特性

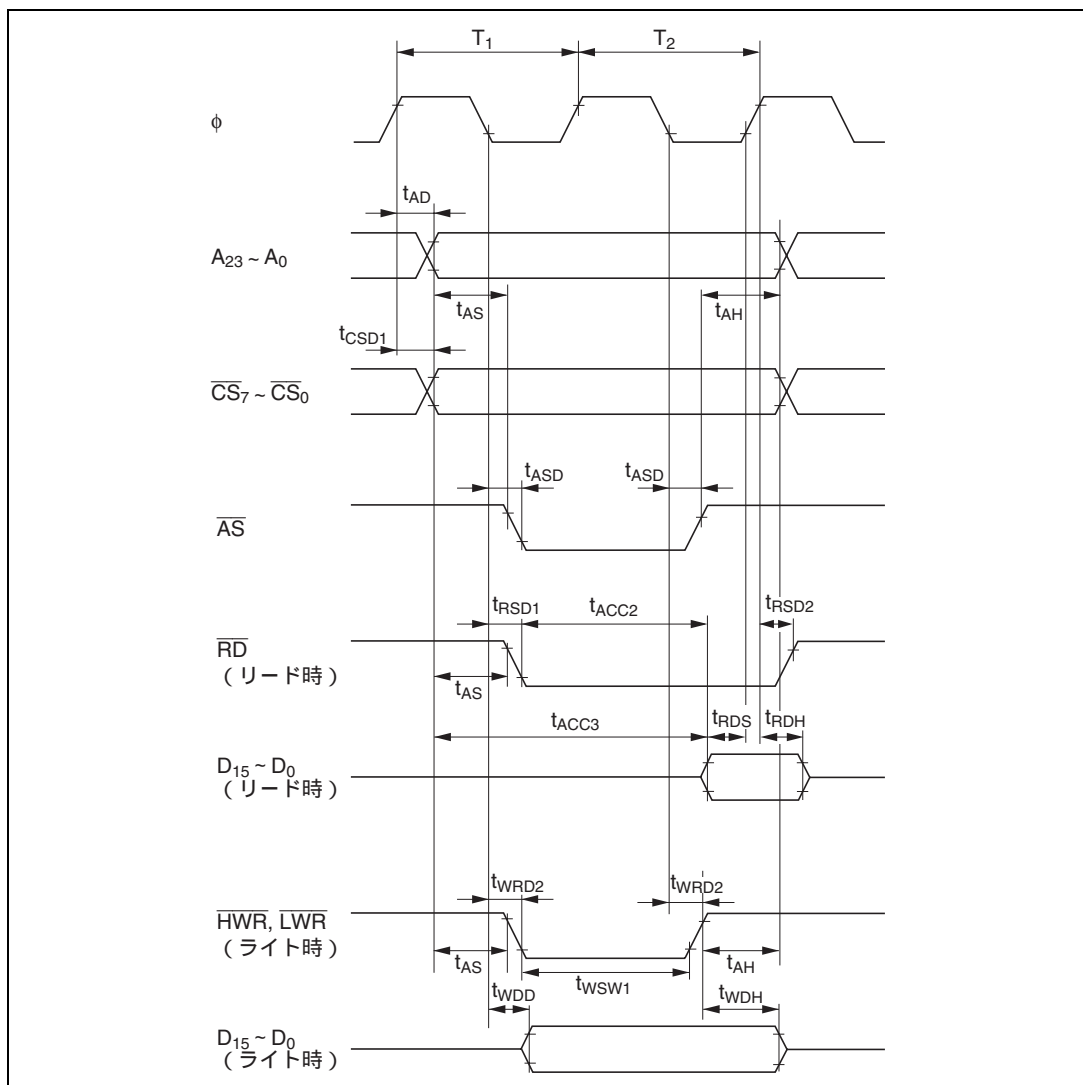


図 22.8 基本バスタイミング / 2 ステートアクセス

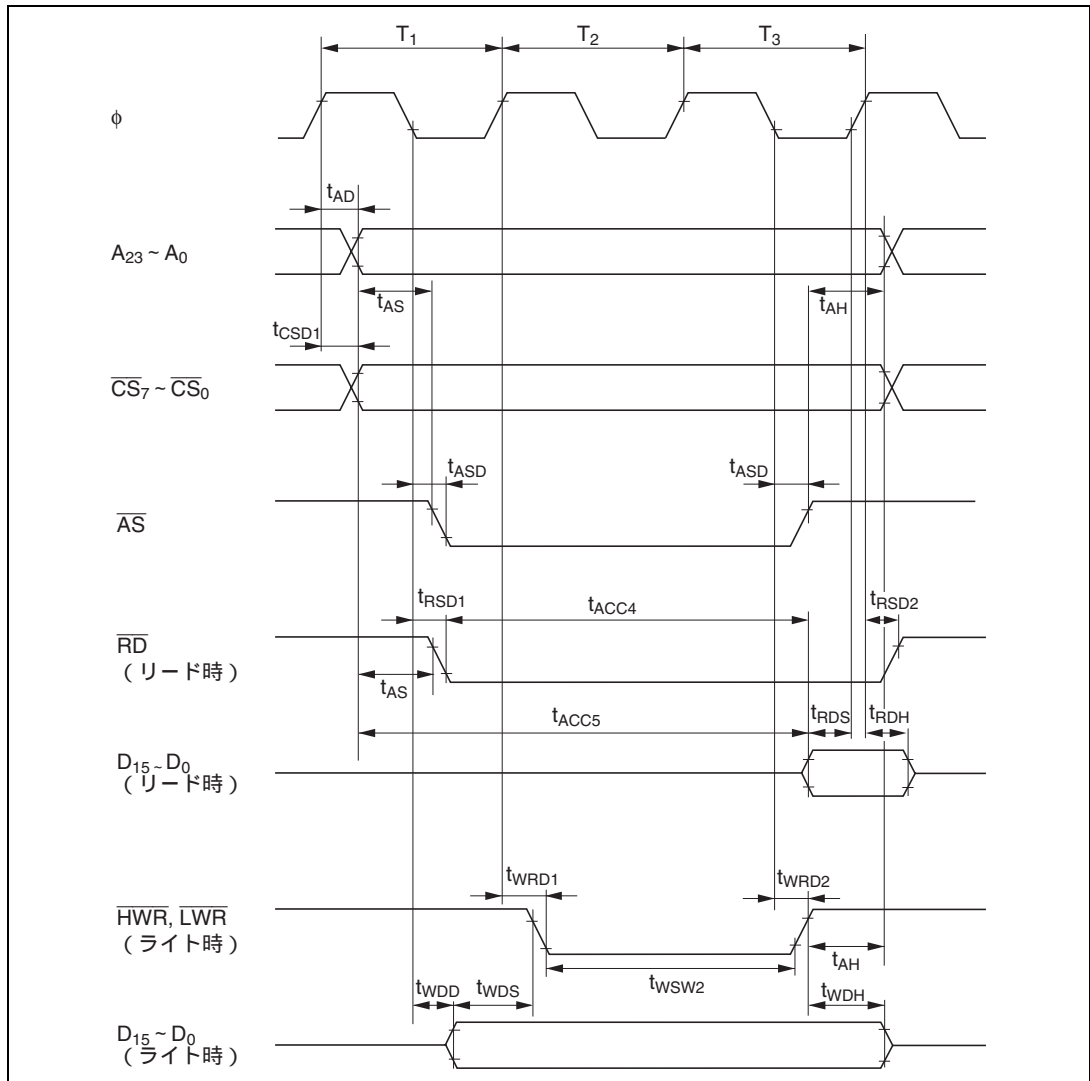


図 22.9 基本バスタイミング / 3 ステートアクセス

## 22. 電気的特性

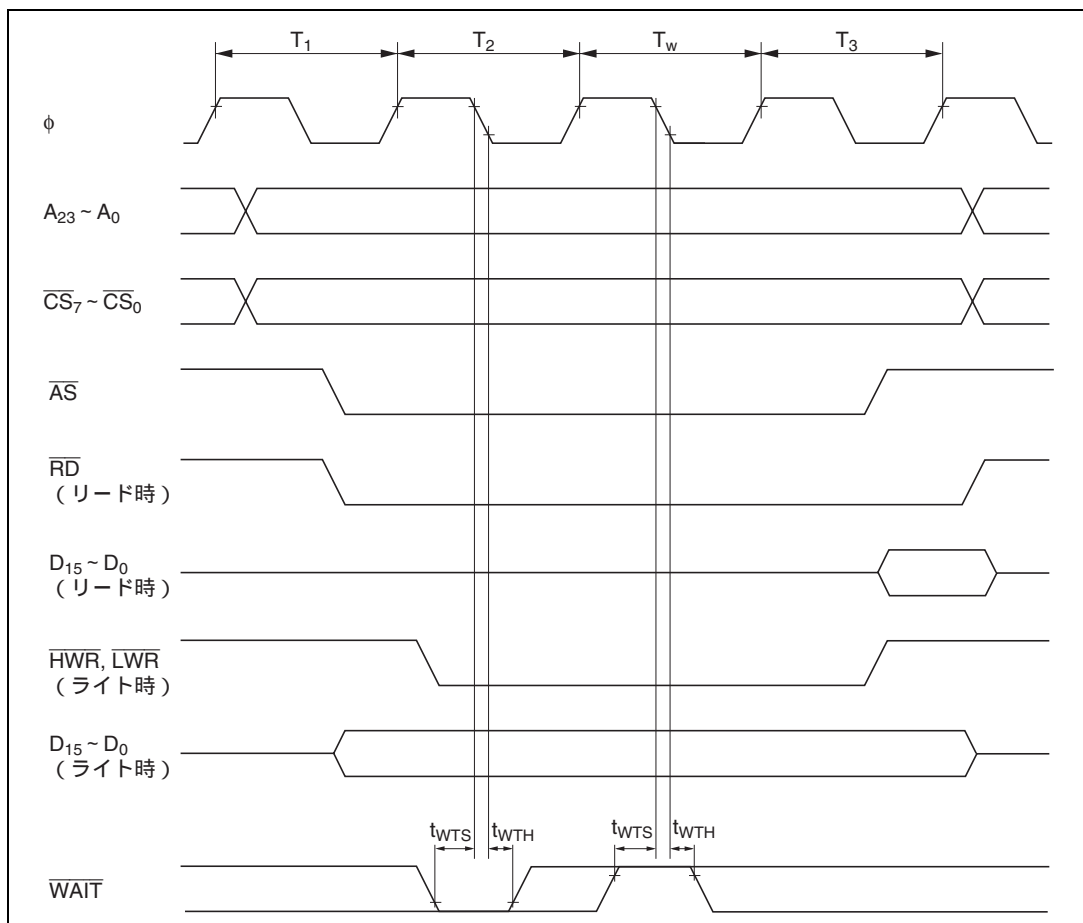


図 22.10 基本バスタイミング / 3 ステートアクセス 1 ウェイト



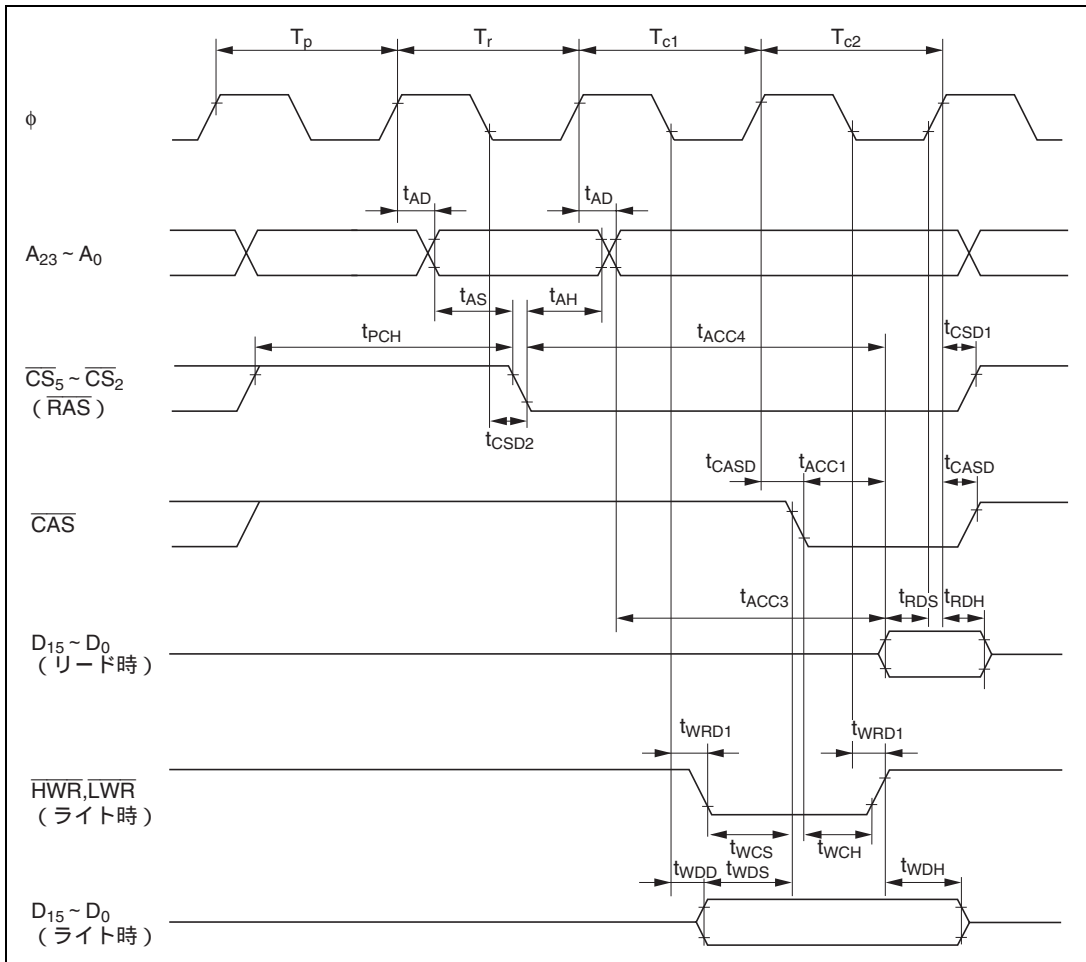


図 22.11 DRAM バスタイミング

## 22. 電気的特性

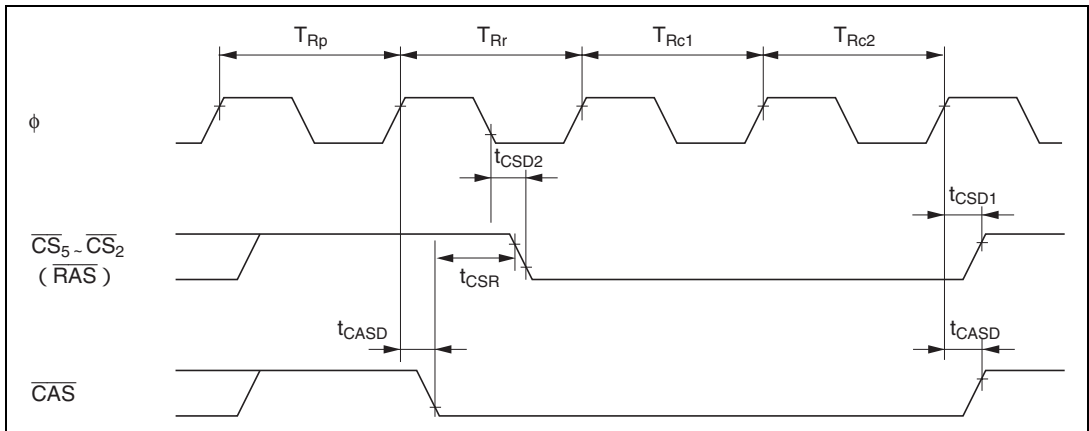


図 22.12 CAS ビフォ RAS リフレッシュタイミング

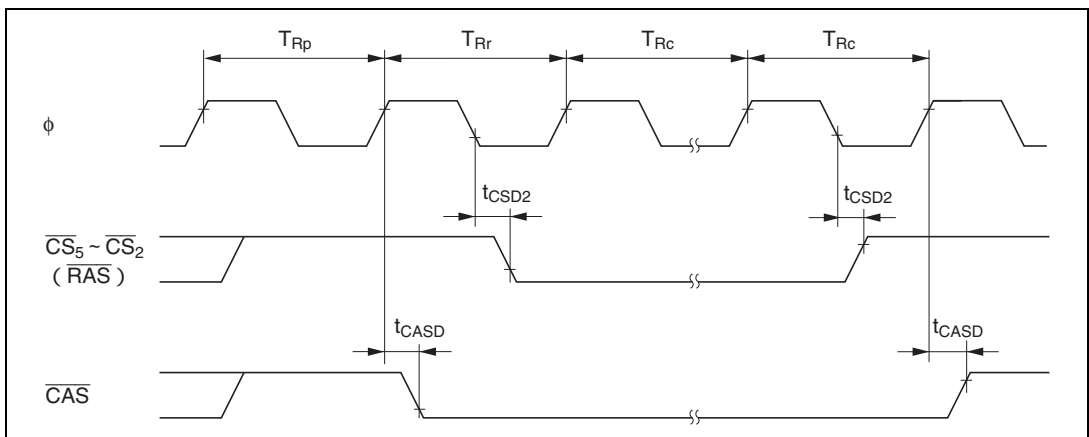


図 22.13 セルフリフレッシュタイミング

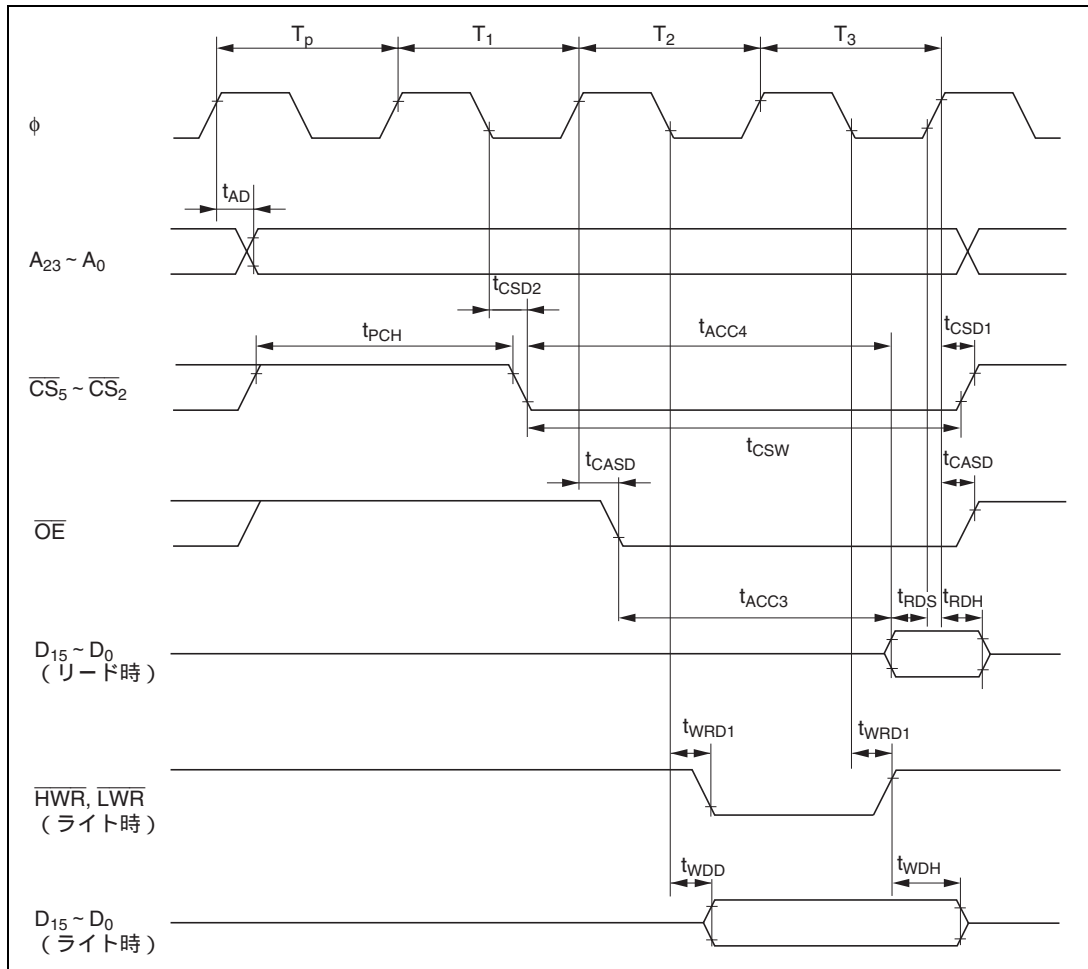


図 22.14 PSRAM バスタイミング

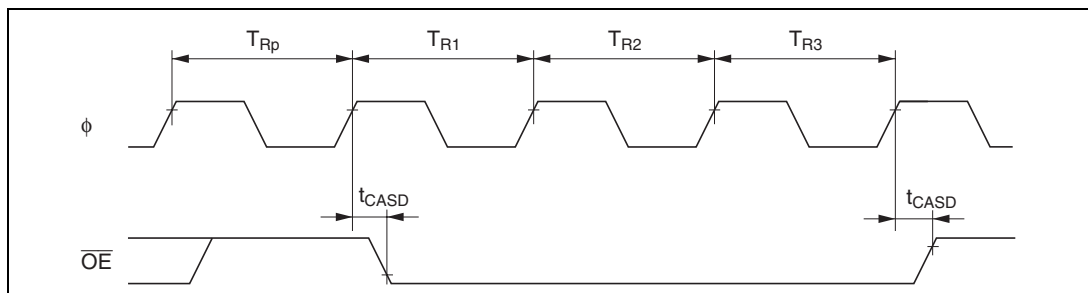


図 22.15 オートリフレッシュタイミング

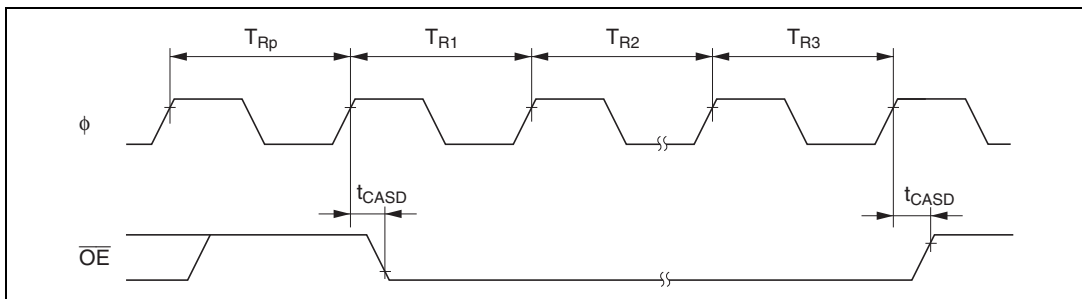


図 22.16 セルフリフレッシュタイミング

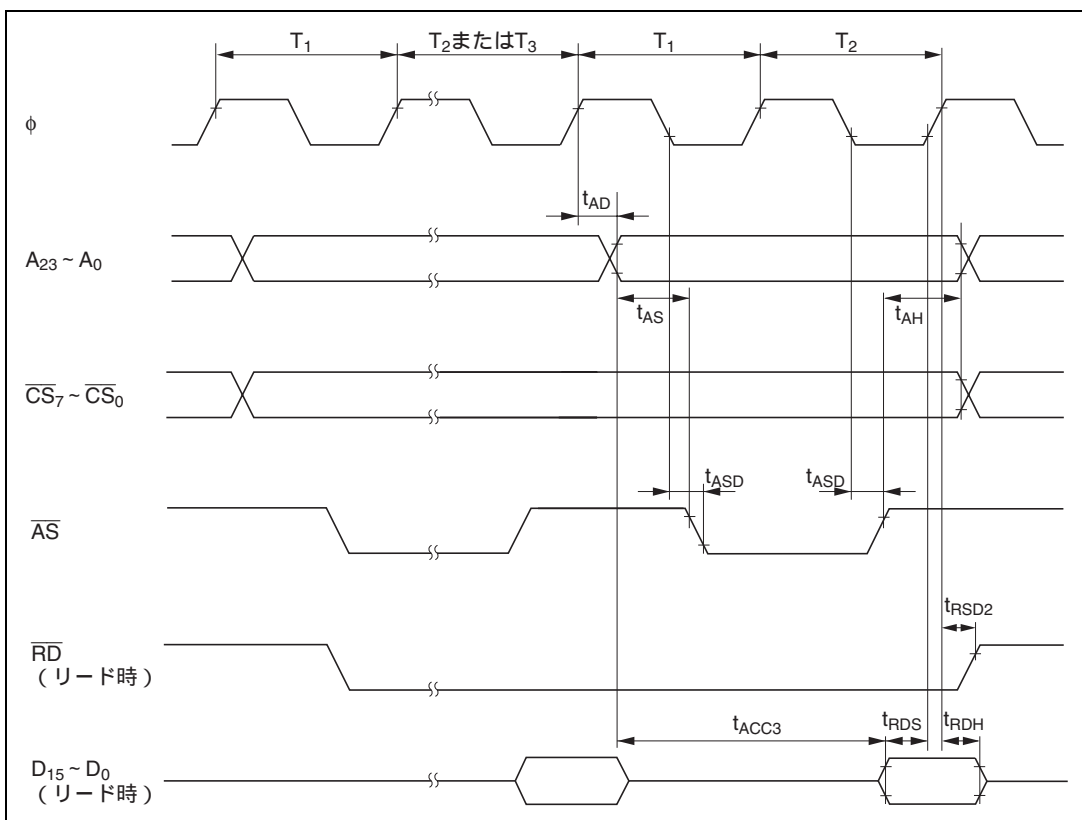


図 22.17 バーストROM アクセスタイミング / 2 ステートアクセス

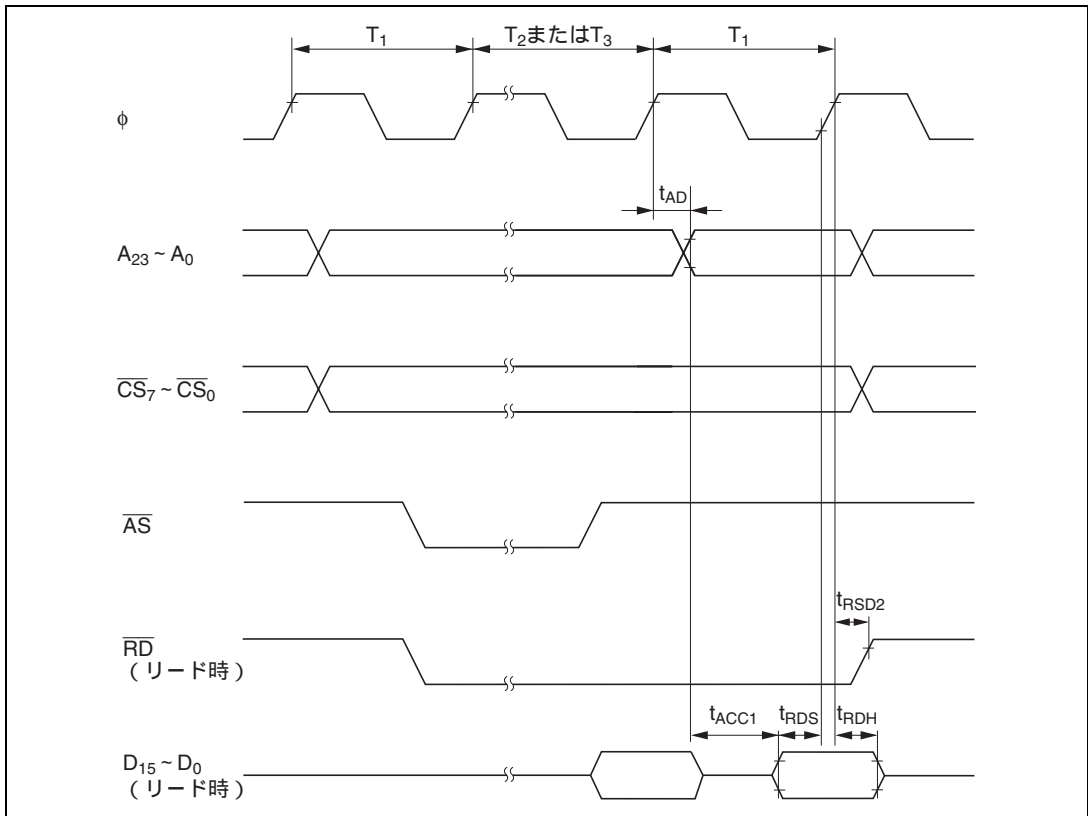


図 22.18 バースト ROM アクセスタイミング / 1 ステートアクセス

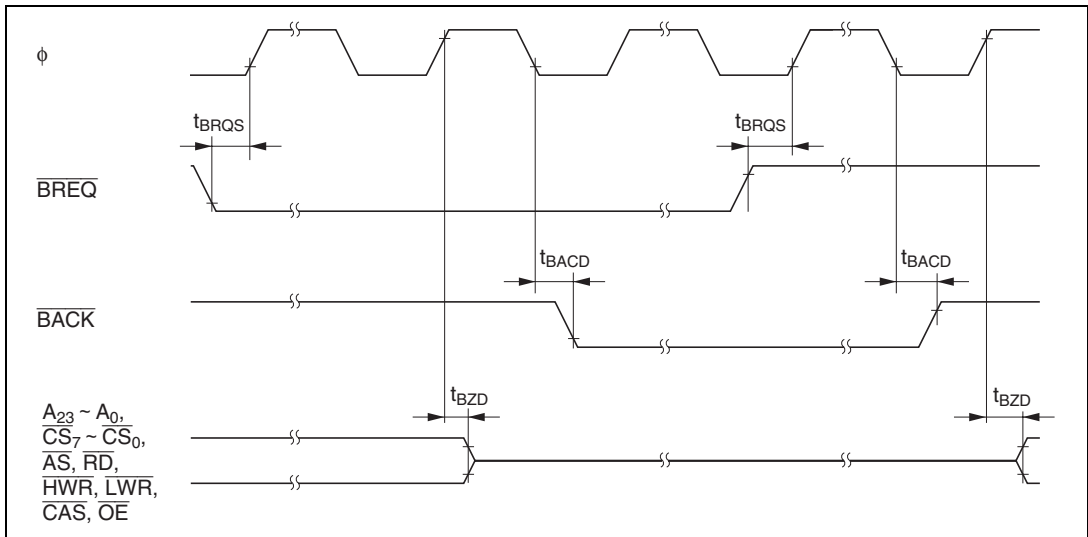


図 22.19 外部バス権解放タイミング

## 22. 電気的特性

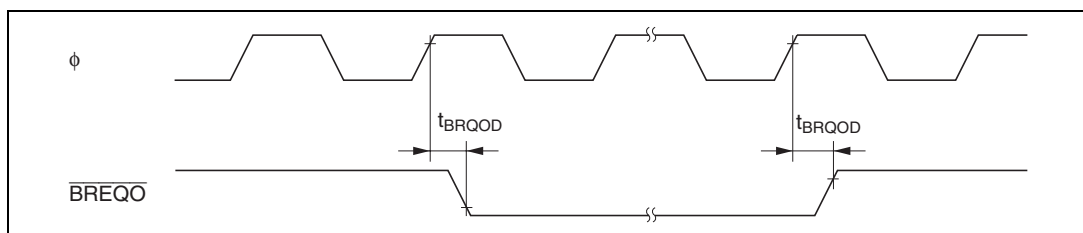


図 22.20 外部バス権要求出力タイミング

### 22.3.4 DMAC タイミング

表 22.7 に DMAC タイミングを示します。

表 22.7 DMAC タイミング

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$

$Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$

$Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
DREQ セットアップ時間	$t_{DRQS}$	40		30		ns	☒ 22.24
DREQ ホールド時間	$t_{DRQH}$	10		10			
TEND 遅延時間	$t_{TED}$		40		20		☒ 22.23
DACK 遅延時間 1	$t_{DACD1}$		40		20	ns	☒ 22.21
DACK 遅延時間 2	$t_{DACD2}$		40		20		

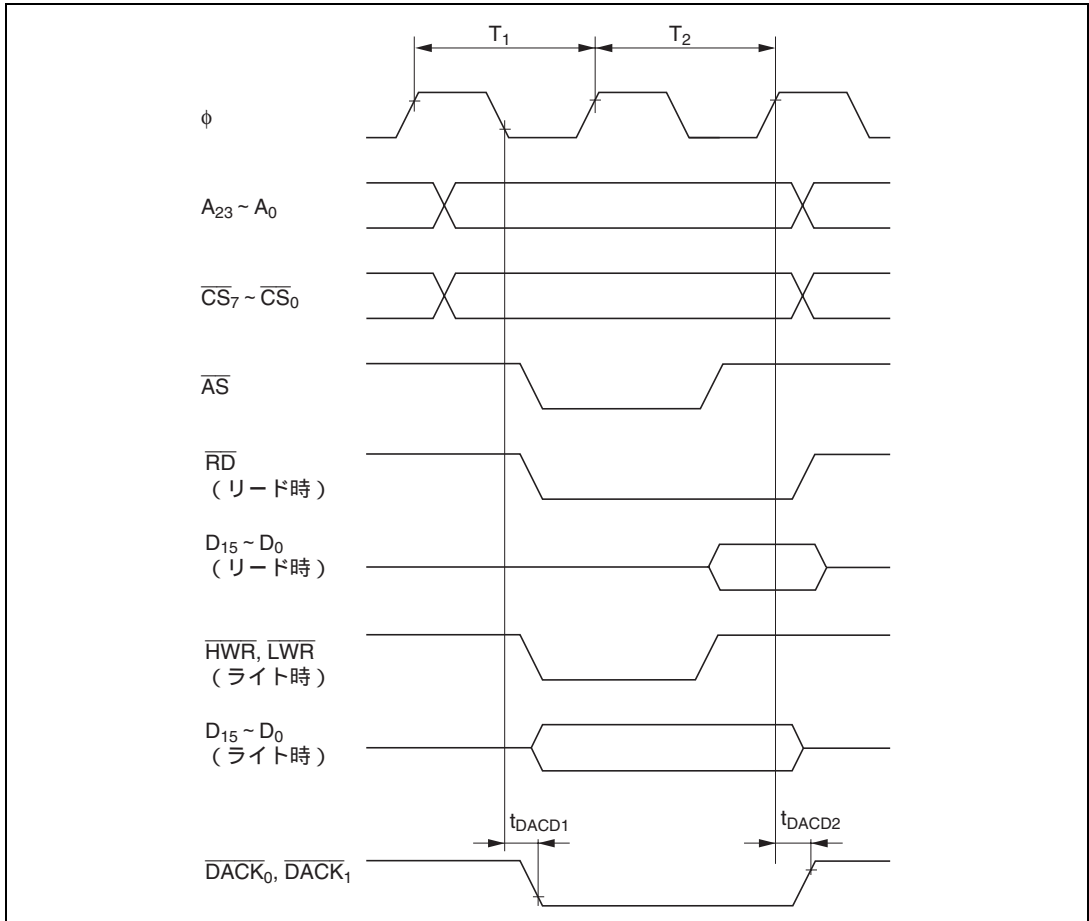


図 22.21 DMAC シングルアドレス転送タイミング / 2 ステートアクセス

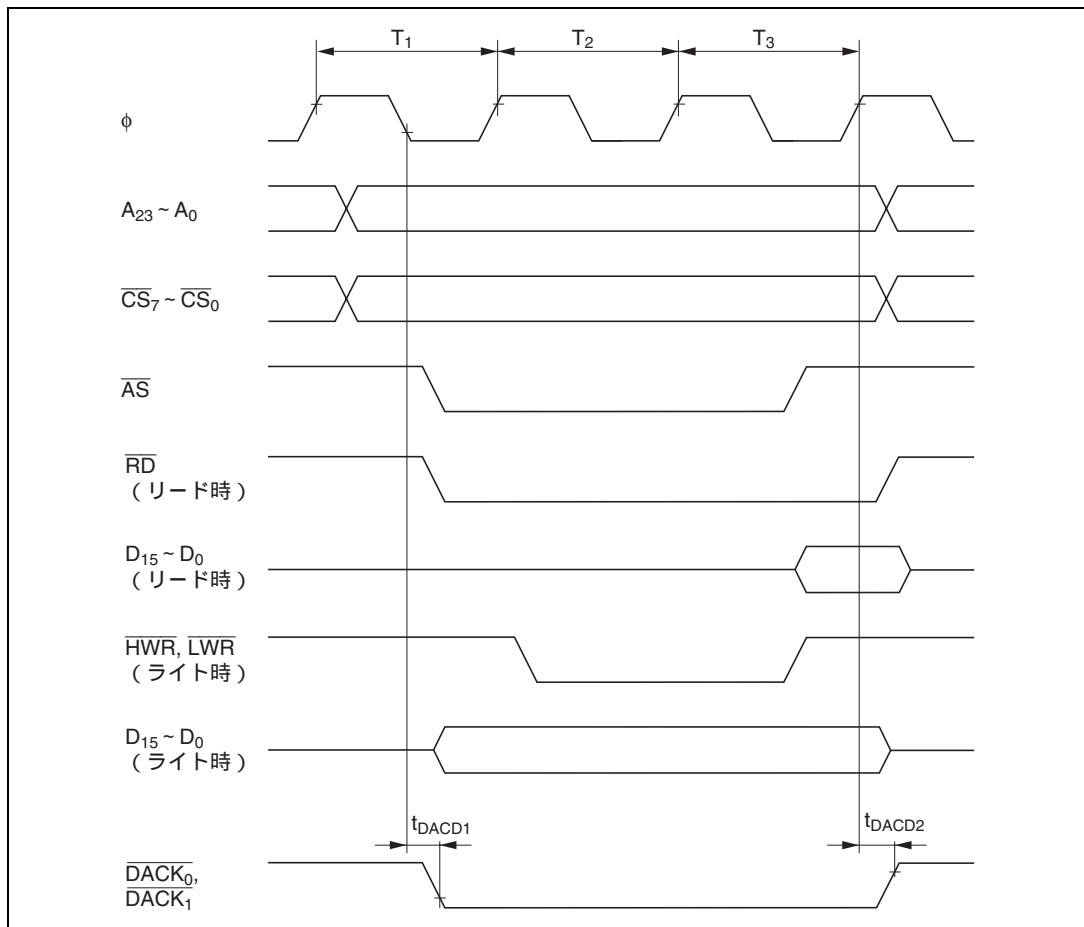


図 22.22 DMAC シングルアドレス転送タイミング / 3 ステートアクセス

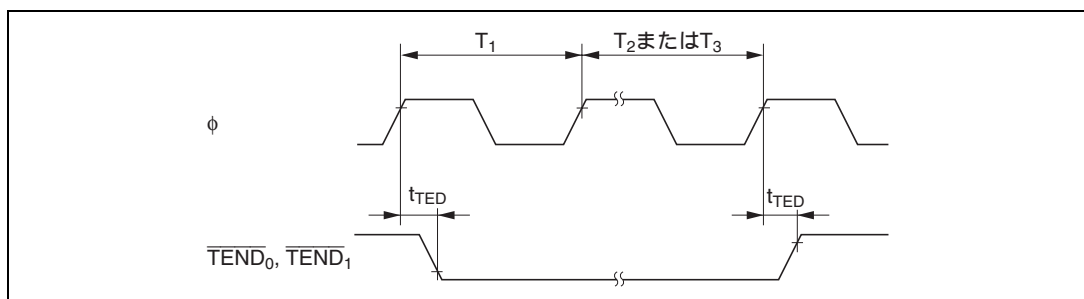


図 22.23 DMAC  $\overline{TEND}$  出カタイミング



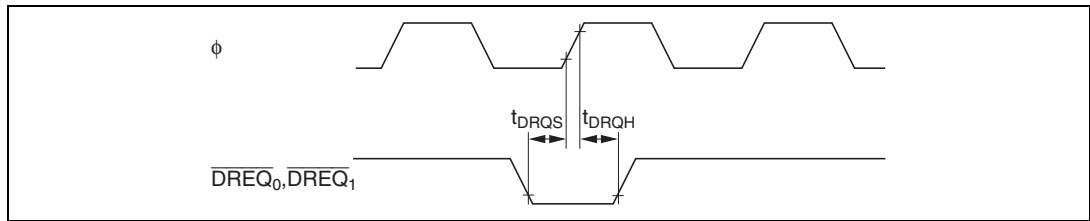


図 22.24 DMAC DREQ 入力タイミング

### 22.3.5 内蔵周辺モジュールタイミング

表 22.8 に内蔵周辺モジュールタイミングを示します。

表 22.8 内蔵周辺モジュールタイミング

条件 A :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	条件 A		条件 B		単位	測定条件
			min	max	min	max		
PORT	出力データ遅延時間	$t_{PWD}$		100		50	ns	図 22.25
	入力データセットアップ時間	$t_{PRS}$	50		30			
	入力データホールド時間	$t_{PRH}$	50		30			
PPG	パルス出力遅延時間	$t_{POD}$		100		50	ns	図 22.26
TPU	タイマ出力遅延時間	$t_{TOCD}$		100		50	ns	図 22.27
	タイマ入力セットアップ時間	$t_{TICS}$	50		30			
	タイマクロック入力セットアップ時間	$t_{TCKS}$	50		30		ns	図 22.28
	タイマクロックパルス幅	単エッジ指定 $t_{TCKWH}$	1.5		1.5		$t_{cyc}$	
	両エッジ指定 $t_{TCKWL}$	2.5		2.5				
TMR	タイマ出力遅延時間	$t_{TMOD}$		100		50	ns	図 22.29
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50		30			
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		30			
	タイマクロックパルス幅	単エッジ指定 $t_{TMCWH}$	1.5		1.5			
	両エッジ指定 $t_{TMCWL}$	2.5		2.5				
WDT	オーバフロー出力遅延時間	$t_{WOVD}$		100		50	ns	図 22.32
SCI	入力クロックサイクル	調歩同期 $t_{Scyc}$	4		4		$t_{cyc}$	図 22.33
		クロック同期	6		6			
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	$t_{Scyc}$	
	入力クロック立上がり時間	$t_{SCKr}$		1.5		1.5		
	入力クロック立下がり時間	$t_{SCKf}$		1.5		1.5	ns	図 22.34
	送信データ遅延時間	$t_{TXD}$		100		50		
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	100		50			
	受信データホールド時間 (クロック同期)	$t_{RXH}$	100		50		ns	
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	50		30		ns	図 22.35

## 22. 電気的特性

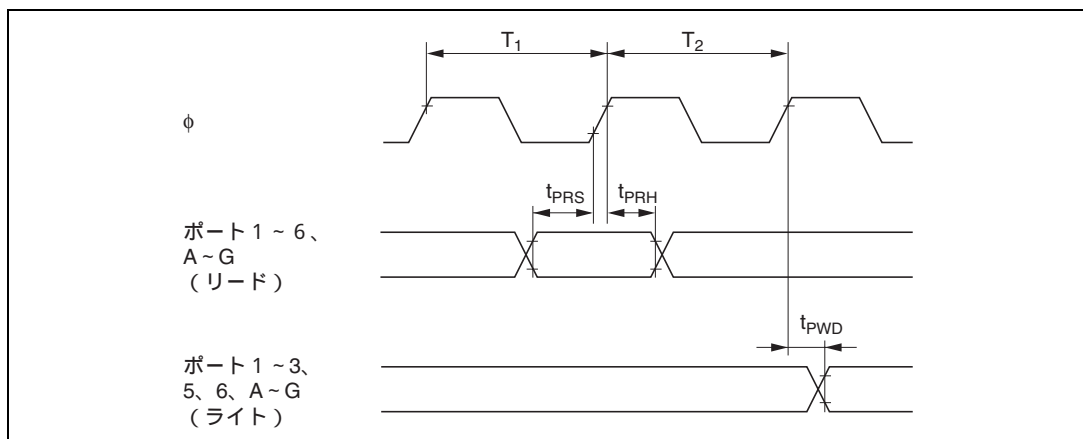


図 22.25 I/O ポート入出力タイミング

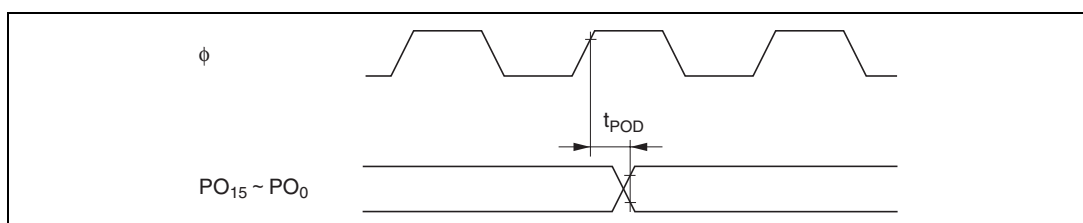


図 22.26 PPG 出力タイミング

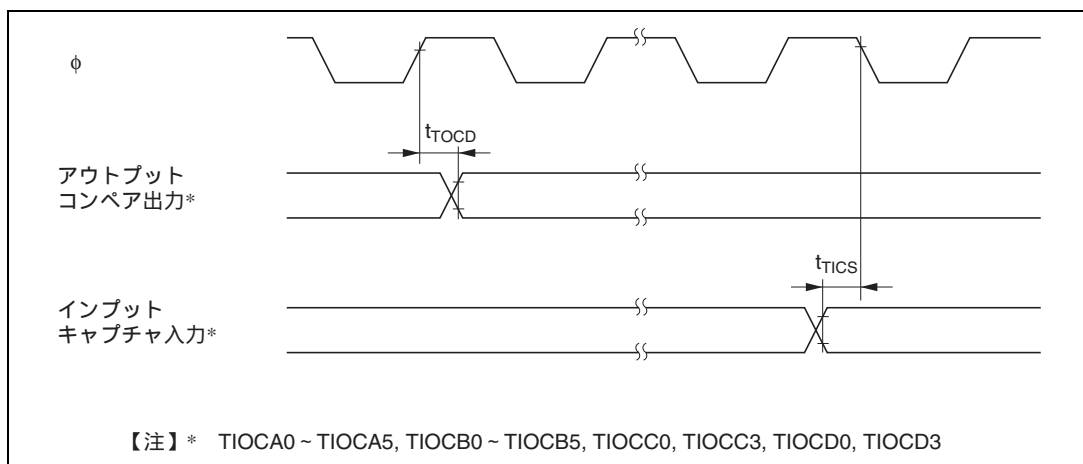


図 22.27 TPU 入出力タイミング

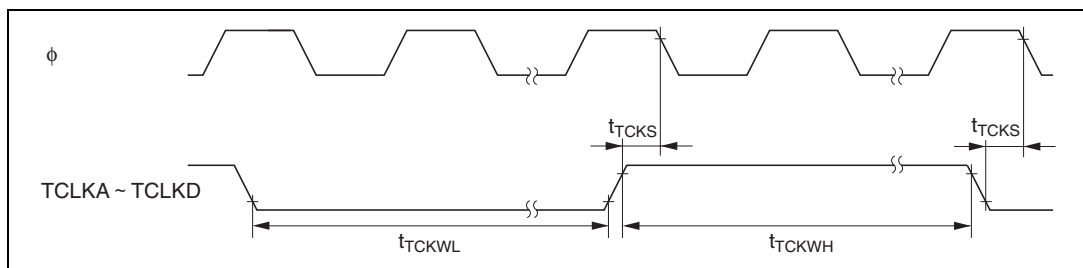


図 22.28 TPU クロック入力タイミング

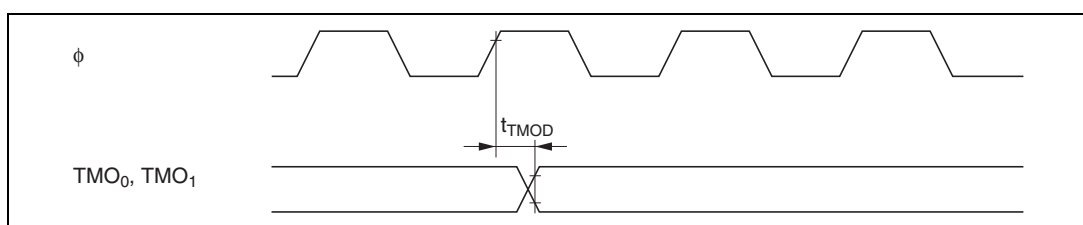


図 22.29 8 ビットタイマ出力タイミング

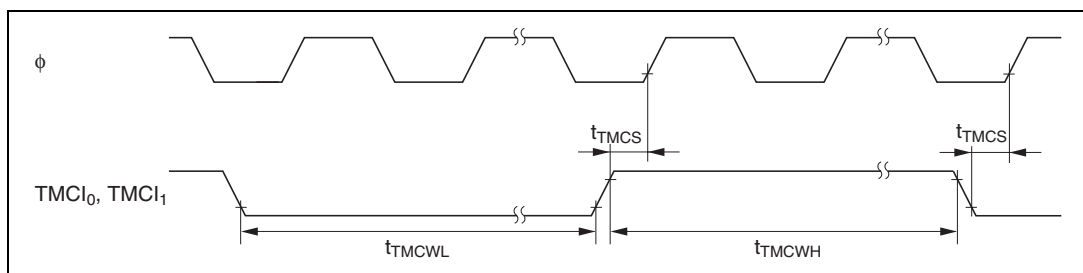


図 22.30 8 ビットタイマクロック入力タイミング

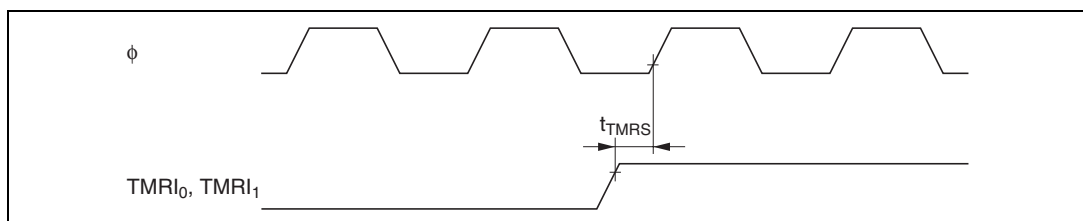


図 22.31 8 ビットタイマリセット入力タイミング

## 22. 電気的特性

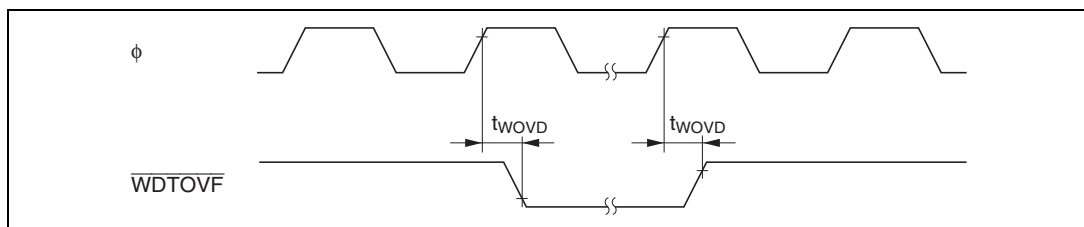


図 22.32 WDT 出力タイミング

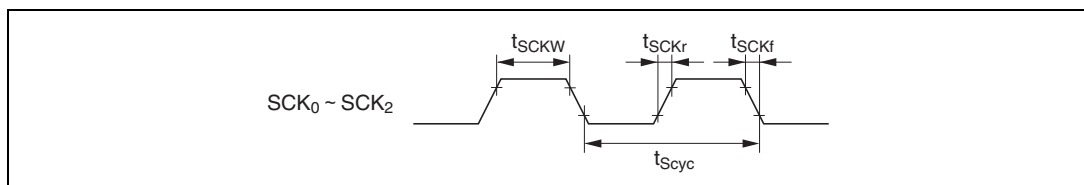


図 22.33 SCK クロック入力タイミング

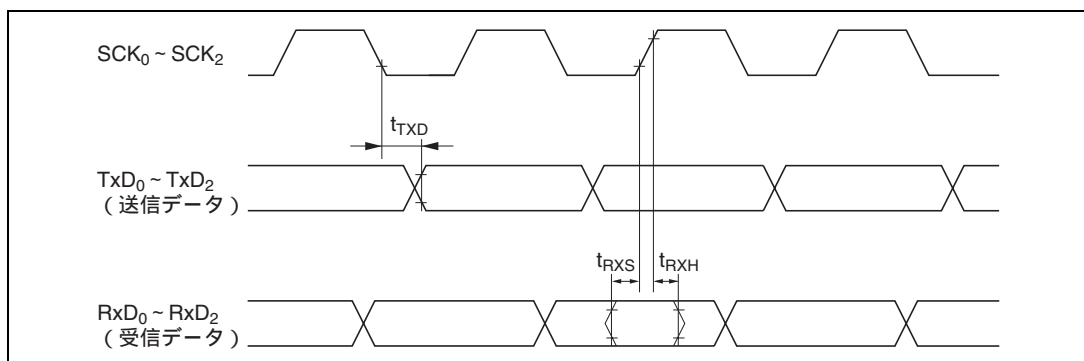


図 22.34 SCI 入出力タイミング / クロック同期式モード

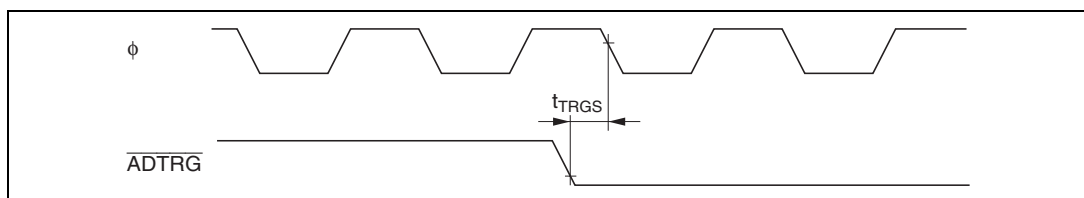


図 22.35 A/D 変換器外部トリガ入力タイミング

## 22.4 A/D 変換特性

A/D 変換特性を表 22.9 に示します。

表 22.9 A/D 変換特性

条件 A :  $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$   
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			条件 B			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間			44			44	$t_{cyc}$
アナログ入力容量			20			20	pF
許容信号源 インピーダンス			5			5	k $\Omega$
非直線性誤差			$\pm 12.0$			$\pm 8.0$	LSB
オフセット誤差			$\pm 12.0$			$\pm 8.0$	LSB
フルスケール誤差			$\pm 12.0$			$\pm 8.0$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 12.0$			$\pm 8.0$	LSB

## 22.5 D/A 変換特性

D/A 変換特性を表 22.10 に示します。

表 22.10 D/A 変換特性

条件 A :  $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 10MHz$   
 $Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)  
 条件 B :  $V_{CC} = AV_{CC} = 5.0V \pm 10\%$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 20MHz$   
 $Ta = -20 \sim +75$  (通常仕様品)、 $Ta = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			条件 B			単位	測定条件
	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	ビット	
変換時間			10			10	$\mu S$	負荷容量 20pF
絶対精度		$\pm 2.0$	$\pm 3.0$		$\pm 1.0$	$\pm 1.5$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$			$\pm 1.0$	LSB	負荷抵抗 4M $\Omega$

## 22.6 使用上の注意

ZTAT 版とマスク ROM 版は、本マニュアルに記載の電氣的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電氣的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

ZTAT 版を使用するシステムの評価試験を行う場合には、マスク ROM 版への切替え時にマスク ROM 版についても同等の評価試験を行ってください。

---

# 付録

---

## A. 命令

### A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理 (論理的補数)
( ) < >	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 \* 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L)、16 ビット (R0~R7、E0~E7) または 32 ビット (ER0~ER7) です。

《コンディションコード》

記 号	内 容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。



表 A.1 命令セット一覧(1)

(1) データ転送命令

二重ニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行ステータス数 *1			
		#xx	FR	@ERN	@(d,ERN)		@-ERn/ERN+	@aa	@(d,PC)	@aa	I	H	N		Z	V	C
MOV	B	2															1
MOV.B #xx:8,Rd	B	2															1
MOV.B Rs,Rd	B		2														1
MOV.B @ERS,Rd	B			2													2
MOV.B @(d:16,ERS),Rd	B				4												3
MOV.B @(d:32,ERS),Rd	B					8											5
MOV.B @ERS+,Rd	B						2										3
MOV.B @aa:8,Rd	B							2									2
MOV.B @aa:16,Rd	B								4								3
MOV.B @aa:32,Rd	B									6							4
MOV.B Rs,@ERd	B		2														2
MOV.B Rs,@(d:16,ERd)	B				4												3
MOV.B Rs,@(d:32,ERd)	B					8											5
MOV.B Rs,@-ERd	B						2										3
MOV.B Rs,@aa:8	B									2							2
MOV.B Rs,@aa:16	B										4						3
MOV.B Rs,@aa:32	B											6					4
MOV.W #xx:16,Rd	W	4															2
MOV.W Rs,Rd	W		2														2
MOV.W @ERS,Rd	W			2													2
MOV.W @(d:16,ERS),Rd	W				4												3
MOV.W @(d:32,ERS),Rd	W					8											5
MOV.W @ERS+,Rd	W						2										3
MOV.W @aa:16,Rd	W										4						3
MOV.W @aa:32,Rd	W											6					4
MOV.W Rs,@ERd	W			2													2
MOV.W Rs,@(d:16,ERd)	W				4												3
MOV.W Rs,@(d:32,ERd)	W					8											5
MOV.W Rs,@-ERd	W						2										3
MOV.W Rs,@aa:16	W												4				3
MOV.W Rs,@aa:32	W													6			4

表 A.1 命令セット一覧(2)

(1) データ転送命令

二一モニック	サイズ	アドレッシングモード / 命令幅 (バイト)						オペレーション	コンディショニングコード							実行ステート数 *1
		#xx#	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa		@(d,PC)	@aa	I	H	N	Z	V	
MOV	MOV.L #xx:32,ERd	L	6						#xx:32→ERd32	-	-	↑	0	-	3	
	MOV.L ERs,ERd	L	2						ERs32→ERd32	-	-	↑	0	-	1	
	MOV.L @ERs,ERd	L	4						@ERs→ERd32	-	-	↑	0	-	4	
	MOV.L @(d:16,ERs),ERd	L		6					@(d:16,ERs)→ERd32	-	-	↑	0	-	5	
	MOV.L @(d:32,ERs),ERd	L		10					@(d:32,ERs)→ERd32	-	-	↑	0	-	7	
	MOV.L @ERs+,ERd	L		4					@ERs→ERd32,ERs32+4→ERs32	-	-	↑	0	-	5	
	MOV.L @aa:16,ERd	L			6				@aa:16→ERd32	-	-	↑	0	-	5	
	MOV.L @aa:32,ERd	L			8				@aa:32→ERd32	-	-	↑	0	-	6	
	MOV.L ERs,@ERd	L		4					ERs32→@ERd	-	-	↑	0	-	4	
	MOV.L ERs,@(d:16,ERd)	L		6					ERs32→@(d:16,ERd)	-	-	↑	0	-	5	
	MOV.L ERs,@(d:32,ERd)	L		10					ERs32→@(d:32,ERd)	-	-	↑	0	-	7	
	MOV.L ERs,@ERd	L		4					ERd32-4→ERd32,ERs32→@ERd	-	-	↑	0	-	5	
	MOV.L ERs,@aa:16	L			6				ERs32→@aa:16	-	-	↑	0	-	5	
	MOV.L ERs,@aa:32	L			8				ERs32→@aa:32	-	-	↑	0	-	6	
POP	POP.W Rn	W						2	@SP→Rn:16,SP+2→SP	-	-	↑	0	-	3	
	POP.L ERn	L						4	@SP→ERn:32,SP+4→SP	-	-	↑	0	-	5	
PUSH	PUSH.W Rn	W						2	SP-2→SP,Rn:16→@SP	-	-	↑	0	-	3	
	PUSH.L ERn	L						4	SP-4→SP,ERn:32→@SP	-	-	↑	0	-	5	
LDM	LDM @SP+,(ERm-ERn)	L						4	(@SP→ERn:32,SP+4→SP) 復元本数分繰り返し	-	-	-	-	-	7/9/11 [1]	
STM	STM (ERm-ERn),@-SP	L						4	(SP-4→SP,ERn:32→@SP) 退避本数分繰り返し	-	-	-	-	-	7/9/11 [1]	
MOVFP	MOVFP @aa:16,Rd									-	-	-	-	-	[2]	
MOVTP	MOVTP Rr,@aa:16									-	-	-	-	-	[2]	

本LSIでは使用できません。



表 A.1 命令セット一覧(4)

(2) 算術演算命令

二オペランド	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディショニングコード							実行ステータス数 *1		
		#xx	ERn	@(d, ERn)	@-ERn/@ERN+		@aa	@(d, PC)	@aa	I	H	N	Z		V	C
DAS Rd	B	2														1
MULXU MULXU.B Rs, Rd	B	2														3 [6]
MULXS MULXU.W Rs, ERd	W	2														4 [6]
MULXS MULXS.B Rs, Rd	B	4														4 [7]
MULXS MULXS.W Rs, ERd	W	4														5 [7]
DIVXU DIVXU.B Rs, Rd	B	2														12
DIVXU.W Rs, ERd	W	2														20
DIVXS DIVXS.B Rs, Rd	B	4														13
DIVXS.W Rs, ERd	W	4														21
CMP CMP.B #xx:8, Rd	B	2														1
CMP CMP.W #xx:16, Rd	W	4														2
CMP.CMP.L #xx:32, ERd	L	6														3
NEG.NEG.B Rd	B	2														1
NEG.NEG.W Rd	W	2														1
EXTU.EXTU.L ERd	L	2														1
EXTS.EXTS.W Rd	W	2														1
TAS.TAS @ERd	B	4														4

(2) 算術演算命令

表 A.1 命令セット一覧 (5)

二オペランド	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード							実行ステート数 <sup>*1</sup>
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	aa	@(d,PC)		@aa	I	H	N	Z	V	C	
MAC	MAC @ERn+, @ERn+				4				@ERn+@ERn+MAC→MAC (符号付き乗算) ERn+2→ERn, ERn+2→ERn	-	-	-	-	-	-	4	
CLRMAC	CLRMAC						2		0→MACH, MACL	-	-	-	-	-	-	2	[12]
LDMAC	LDMAC ERs, MACH		2						ERs→MACH	-	-	-	-	-	-	2	[12]
	LDMAC ERs, MACL		2						ERs→MACL	-	-	-	-	-	-	2	[12]
STMAC	STMAC MACH, ERd		2						MACH→ERd	-	-	↑	↑	-	-	1	[12]
	STMAC MACL, ERd		2						MACL→ERd	-	-	↑	↑	-	-	1	[12]



表 A.1 命令セット一覧(7)

(4) シフト命令

二オペランド	サイズ	アドレッシングモード / 命令長 (バイト)					オペレーション	コンディションコード							実行ステータス数 <sup>*1</sup>		
		#xx	Rn	@(ERn)	@-ERn/@ERn+	@aa		@(d,PC)	@aa	I	H	N	Z	V	C	ノーマル	アドバンス
SHAL	SHALB Rd	B	2														1
	SHALB #2,Rd	B	2														1
	SHALW Rd	W	2														1
	SHALW #2,Rd	W	2														1
	SHALL ERd	L	2														1
SHAR	SHALL #2,ERd	L	2														1
	SHARB Rd	B	2														1
	SHARB #2,Rd	B	2														1
	SHARW Rd	W	2														1
	SHARW #2,Rd	W	2														1
SHLL	SHARL ERd	L	2														1
	SHARL #2,ERd	L	2														1
	SHLLB Rd	B	2														1
	SHLLB #2,Rd	B	2														1
	SHLLW Rd	W	2														1
SHLL	SHLLW #2,Rd	W	2														1
	SHLLL ERd	L	2														1
	SHLLL #2,ERd	L	2														1
	SHLLB Rd	B	2														1
	SHLLB #2,Rd	B	2														1
SHLR	SHLLW Rd	W	2														1
	SHLLW #2,Rd	W	2														1
	SHLLL ERd	L	2														1
	SHLLL #2,ERd	L	2														1
	SHLRB Rd	B	2														1
SHLR	SHLRB #2,Rd	B	2														1
	SHLRW Rd	W	2														1
	SHLRW #2,Rd	W	2														1
	SHLRL ERd	L	2														1
	SHLRL #2,ERd	L	2														1
ROTXL	ROTXLB Rd	B	2														1
	ROTXLB #2,Rd	B	2														1
	ROTXLW Rd	W	2														1
	ROTXLW #2,Rd	W	2														1
	ROTXLL ERd	L	2														1
ROTXLL #2,ERd	L	2														1	

表 A.1 命令セット一覧 (8)

(4) シフト命令

二進メック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディショニングコード								実行ステータス数 *1	
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa		@(d,PC)	@aa	I	H	N	Z	V	C	ノーマル	アドバンスト
ROTXR	ROTXR,B,Rd	B	2														1	
	ROTXR,B,#2,Rd	B	2														1	
	ROTXR,W,Rd	W	2														1	
	ROTXR,W,#2,Rd	W	2														1	
	ROTXR,L,ERd	L	2														1	
ROTXR,L,#2,ERd	L	2														1		
ROTL	ROTL,B,Rd	B	2														1	
	ROTL,B,#2,Rd	B	2														1	
	ROTL,W,Rd	W	2														1	
	ROTL,W,#2,Rd	W	2														1	
	ROTL,L,ERd	L	2														1	
ROTL,L,#2,ERd	L	2														1		
ROTR	ROTR,B,Rd	B	2														1	
	ROTR,B,#2,Rd	B	2														1	
	ROTR,W,Rd	W	2														1	
	ROTR,W,#2,Rd	W	2														1	
	ROTR,L,ERd	L	2														1	
ROTR,L,#2,ERd	L	2														1		



表 A.1 命令セット一覧 (9)

(5) ビット操作命令

二モード	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行スタート数 <sup>#1</sup>			
		#xx	RR	RRn	(d)ERn		+ERn/ERn	aa	(d)PC	@aa	I	H	N		Z	V	C
BSET	BSET #xx:3.Rd	B	2													1	
	BSET #xx:3.@ERd	B		4												4	
	BSET #xx:3.@aa:8	B			4											4	
	BSET #xx:3.@aa:16	B			6											5	
	BSET #xx:3.@aa:32	B			8											6	
	BSET Rn.Rd	B	2													1	
	BSET Rn.@ERd	B		4												4	
	BSET Rn.@aa:8	B			4											4	
	BSET Rn.@aa:16	B			6											5	
	BSET Rn.@aa:32	B			8											6	
	BCLR	BCLR #xx:3.@ERd	B		4												4
		BCLR #xx:3.@aa:8	B			4											4
BCLR #xx:3.@aa:16		B			6											5	
BCLR #xx:3.@aa:32		B			8											6	
BCLR Rn.Rd		B	2													1	
BCLR Rn.@ERd		B		4												4	
BCLR Rn.@aa:8		B			4											4	
BCLR Rn.@aa:16		B			6											5	
BCLR Rn.@aa:32		B			8											6	
BNOT		BNOT #xx:3.Rd	B	2													1
		BNOT #xx:3.@ERd	B		4												4
		BNOT #xx:3.@aa:8	B			4											4
	BNOT #xx:3.@aa:16	B			6											5	
	BNOT #xx:3.@aa:32	B			8											6	
	BNOT Rn.Rd	B	2													1	
	BNOT Rn.@ERd	B		4												4	
	BNOT Rn.@aa:8	B			4											4	
	BNOT Rn.@aa:16	B			6											5	
	BNOT Rn.@aa:32	B			8											6	

表 A.1 命令セット一覧 (10)

(5) ビット操作命令

二ノミック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行ステータス数*1			
		#xx	ERn	(d)ERn	+ERn/ERn		@aa	@(d,PC)	@aa	I	H	N	Z		V	C	ノーマル
BTST	BTST #xx:3,Rd	B	2													1	
	BTST #xx:3,@ERd	B		4												3	
	BTST #xx:3,@aa:8	B			4											3	
	BTST #xx:3,@aa:16	B			6											4	
	BTST #xx:3,@aa:32	B			8											5	
	BTST Rn,Rd	B	2													1	
	BTST Rn,@ERd	B		4												3	
	BTST Rn,@aa:8	B			4											3	
	BTST Rn,@aa:16	B			6											4	
	BTST Rn,@aa:32	B			8											5	
	BLD	BLD #xx:3,Rd	B	2													1
		BLD #xx:3,@ERd	B		4												3
BLD #xx:3,@aa:8		B			4											3	
BLD #xx:3,@aa:16		B			6											4	
BLD #xx:3,@aa:32		B			8											5	
BLD #xx:3,Rd		B	2													1	
BILD	BILD #xx:3,Rd	B	2													1	
	BILD #xx:3,@ERd	B		4												3	
	BILD #xx:3,@aa:8	B			4											3	
	BILD #xx:3,@aa:16	B			6											4	
	BILD #xx:3,@aa:32	B			8											5	
	BILD #xx:3,Rd	B	2													1	
BST	BST #xx:3,Rd	B	2													1	
	BST #xx:3,@ERd	B		4												4	
	BST #xx:3,@aa:8	B			4											4	
	BST #xx:3,@aa:16	B			6											5	
	BST #xx:3,@aa:32	B			8											6	
	BST #xx:3,Rd	B	2													1	
BIST	BIST #xx:3,@ERd	B		4												4	
	BIST #xx:3,@aa:8	B			4											4	
	BIST #xx:3,@aa:16	B			6											5	
	BIST #xx:3,@aa:32	B			8											6	
	BIST #xx:3,Rd	B	2													1	
	BIST #xx:3,Rd	B	2													1	

表 A.1 命令セット一覧 (11)

(5) ビット操作命令

二モードック	サイズ	アドレッシングモード / 命令長 (バイト)					オペレーション	コンディショニングコード							実行ステータス数*1	
		#xx	ERn	(d)ERn	+ERn/ERn	@aa		(d,PC)	@aa	I	H	N	Z	V		C
BAND	BAND #xx:3,Rd		2													1
	BAND #xx:3,@ERd			4												3
	BAND #xx:3,@aa:8				4											3
	BAND #xx:3,@aa:16				6											4
BIAND	BAND #xx:3,@aa:32				8											5
	BIAND #xx:3,Rd		2													1
	BIAND #xx:3,@ERd			4												3
	BIAND #xx:3,@aa:8				4											3
BIAND	BIAND #xx:3,@aa:16				6											4
	BIAND #xx:3,@aa:32				8											5
	BOR #xx:3,Rd		2													1
	BOR #xx:3,@ERd			4												3
BOR	BOR #xx:3,@aa:8				4											3
	BOR #xx:3,@aa:16				6											4
	BOR #xx:3,@aa:32				8											5
	BIOR #xx:3,Rd		2													1
BIOR	BIOR #xx:3,@ERd			4												3
	BIOR #xx:3,@aa:8				4											3
	BIOR #xx:3,@aa:16				6											4
	BIOR #xx:3,@aa:32				8											5
BXOR	BXOR #xx:3,Rd		2													1
	BXOR #xx:3,@ERd			4												3
	BXOR #xx:3,@aa:8				4											3
	BXOR #xx:3,@aa:16				6											4
BXOR	BXOR #xx:3,@aa:32				8											5
	BIXOR #xx:3,Rd		2													1
	BIXOR #xx:3,@ERd			4												3
	BIXOR #xx:3,@aa:8				4											3
BIXOR	BIXOR #xx:3,@aa:16				6											4
	BIXOR #xx:3,@aa:32				8											5

表 A.1 命令セット一覧 (12)

(6) 分岐命令

二一モニック	サイズ	オフレーション							コンディションコード							実行ステート数*1						
		#XX	Rn	@(dERn)	@-ERn/@ERN+	@aa	@(dPC)	@aa	I	H	N	Z	V	C	J		フォーマル	アド/ノスト				
Bcc																						
BRA d:8(BT d:8)	-																				2	
BRA d:16(BT d:16)	-																					3
BRN d:8(BF d:8)	-																					2
BRN d:16(BF d:16)	-																					3
BHI d:8	-																					2
BHI d:16	-																					3
BLS d:8	-																					2
BLS d:16	-																					3
BCC d:8(BHS q:8)	-																					2
BCC d:16(BHS d:16)	-																					3
BCS d:8(BLO q:8)	-																					2
BCS d:16(BLO d:16)	-																					3
BNE d:8	-																					2
BNE d:16	-																					3
BEQ d:8	-																					2
BEQ d:16	-																					3
BVC d:8	-																					2
BVC d:16	-																					3
BVS d:8	-																					2
BVS d:16	-																					3
BPL d:8	-																					2
BPL d:16	-																					3
BMI d:8	-																					2
BMI d:16	-																					3
BGE d:8	-																					2
BGE d:16	-																					3
BLT d:8	-																					2
BLT d:16	-																					3
BGT d:8	-																					2
BGT d:16	-																					3
BLE d:8	-																					2
BLE d:16	-																					3

表 A.1 命令セット一覧 (13)

(6) 分岐命令

二重ニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード							実行ステータス数 <sup>*1</sup>		
		#xx	Rn	@ERn	@(d,ERn)	@-ERn/ERN+	@aa	@(d,PC)		@aa	I	H	N	Z	V	C	ノーマル	アバノスト	アバノスト
JMP				2													2		
JMP @ERn	-																2		
JMP @aa:24	-					4											3		
JMP @aa:8	-							2									4	5	
BSR d:8	-						2										3	4	
BSR d:16	-						4										4	5	
JSR @ERn	-		2														3	4	
JSR @aa:24	-					4											4	5	
JSR @aa:8	-							2									4	6	
RTS	-																4	5	

表 A.1 命令セット一覧 ( 14 )

( 7 ) システム制御命令

二マチック	サイズ	アドレッシングモード / 命令長 ( バイト )								オペレーション	コンディションコード								実行ステート数 <sup>*1</sup>																					
		##xx	Fn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@aa		I	H	N	Z	V	C	ノーマ	7[13]	アド/ノスト	8[13]																				
TRAPA	TRAPA #xx:2	-									2										PC->@-SPOCCR->@-SP EXR->@-SP<ベクタ>->PC EXR-<@SP+,CCR-<@SP+, PC-<@SP+																			
RTE	RTE	-																																						
SLEEP	SLEEP	-																																						
LDC	LDC #xx:8,CCR	B	2																																					
	LDC #xx:8,EXR	B	4																																					
	LDC Rs,CCR	B	2																																					
	LDC Rs,EXR	B	2																																					
	LDC @ERs,CCR	W		4																																				
	LDC @ERs,EXR	W		4																																				
	LDC @(d:16,ERs),CCR	W			6																																			
	LDC @(d:16,ERs),EXR	W			6																																			
	LDC @(d:32,ERs),CCR	W			10																																			
	LDC @(d:32,ERs),EXR	W			10																																			
	LDC @ERs+,CCR	W			4																																			
	LDC @ERs+,EXR	W			4																																			
	LDC @aa:16,CCR	W					6																																	
	LDC @aa:16,EXR	W					6																																	
	LDC @aa:32,CCR	W					8																																	
	LDC @aa:32,EXR	W					8																																	

表 A.1 命令セット一覧 (15)

(7) システム制御命令

二オニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行ステート数*1										
		#xx	Fn	@ERN	@(d,ERN)	@-ERN/@ERN+	@(d,PC)		@aa	@aa	I	H	N	Z	V	C	ノーマル	アドバンスト								
STC	STC COR,Rd	B	2														CCR→Rd8	-	-	-	-	-	-	-	-	1
	STC EXR,Rd	B	2														EXR→Rd8	-	-	-	-	-	-	-	-	1
	STC COR,@ERd	W	4														CCR→@ERd	-	-	-	-	-	-	-	-	3
	STC EXR,@ERd	W	4														EXR→@ERd	-	-	-	-	-	-	-	-	3
	STC COR,@(d:16,ERd)	W		6													CCR→@(d:16,ERd)	-	-	-	-	-	-	-	-	4
	STC EXR,@(d:16,ERd)	W		6													EXR→@(d:16,ERd)	-	-	-	-	-	-	-	-	4
	STC COR,@(d:32,ERd)	W		10													CCR→@(d:32,ERd)	-	-	-	-	-	-	-	-	6
	STC EXR,@(d:32,ERd)	W		10													EXR→@(d:32,ERd)	-	-	-	-	-	-	-	-	6
	STC COR,@-ERd	W		4													ERd32-2→ERd32,CCR→@ERd	-	-	-	-	-	-	-	-	4
	STC EXR,@-ERd	W		4													ERd32-2→ERd32,EXR→@ERd	-	-	-	-	-	-	-	-	4
	STC COR,@aa:16	W					6										CCR→@aa:16	-	-	-	-	-	-	-	-	4
	STC EXR,@aa:16	W					6										EXR→@aa:16	-	-	-	-	-	-	-	-	4
	STC COR,@aa:32	W					8										CCR→@aa:32	-	-	-	-	-	-	-	-	5
	STC EXR,@aa:32	W					8										EXR→@aa:32	-	-	-	-	-	-	-	-	5
	ANDC	ANDC #xx:8,CCR	B	2														CCR,#xx:8→CCR	↑	↑	↑	↑	↑	↑	↑	↑
	ANDC #xx:8,EXR	B	4														EXR,#xx:8→EXR	-	-	-	-	-	-	-	-	2
ORC	ORC #xx:8,CCR	B	2														CCR,#xx:8→CCR	↑	↑	↑	↑	↑	↑	↑	↑	1
	ORC #xx:8,EXR	B	4														EXR,#xx:8→EXR	-	-	-	-	-	-	-	-	2
XORC	XORC #xx:8,CCR	B	2														CCR,#xx:8→CCR	↑	↑	↑	↑	↑	↑	↑	↑	1
	XORC #xx:8,EXR	B	4														EXR,#xx:8→EXR	-	-	-	-	-	-	-	-	2
NOP	NOP	-															PC←PC+2	-	-	-	-	-	-	-	-	1

表 A.1 命令セット一覧 (16)

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード / 命令幅 (バイト)						オペレーション	コンディションコード						実行ステータス数 *1	
		#X	EH	@(d, ERn)	@(ERn) / @ (ERn+)	@aa	@(d, PC)		@aa	I	H	N	Z	V		C
EERMOV B	-							4	if R4L=0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4L-1→R4L Until R4L=0 else next;	-	-	-	-	-	-	4+2n *2
EERMOV W	-							4	if R4=0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4-1→R4 Until R4=0 else next;	-	-	-	-	-	-	4+2n *2

- 【注】**
- \*1 実行ステータス数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。
  - \*2 nはR4LまたはR4の初期設定値です。
  - [1] 復帰 / 退避レジスタ数が2本のとき7ステータス、3本のとき9ステータス、4本のとき11ステータスになります。
  - [2] 本LSIでは使用できません。
  - [3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
  - [4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
  - [5] 演算結果が0 (ゼロ) のとき、演算前の値を保持し、それ以外のとき0にクリアされます。
  - [6] MULXU、MULXS、STMAC命令の直後は1ステータス多くなります。例えば、MAC命令実行後3ステータス以内にMULXU命令を実行しようとした場合、最大で3ステータス多くなります。例えば、MAC命令とMULXU命令の間に1ステータス命令 (NOP等) が1つある場合、MULXU命令は2ステータス多くなります。
  - [7] MAC命令実行後2ステータス以内にMULXS命令を実行しようとした場合、最大で2ステータス多くなります。例えば、MAC命令とMULXS命令の間に1ステータス命令 (NOP等) が1つある場合、MULXS命令は1ステータス多くなります。
  - [8] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
  - [9] 除数が0 (ゼロ) のとき1にセットされ、それ以外のとき0にクリアされます。
  - [10] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。
  - [11] STMAC命令を実行することで、MAC命令の結果がフラグに反映されます。
  - [12] MAC命令実行後3ステータス以内にこれらの命令を実行しようとした場合、最大で3ステータス多くなります。例えば、MAC命令とこれらの命令の間に1ステータス命令 (NOP等) が1つある場合、これらの命令は2ステータス多くなります。
  - [13] EXRが有効のとき、実行ステータス数は1ステータス多くなります。



## A.2 命令コード一覧

表 A.2 命令コード一覧 (1)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
ADD	ADD.B #xx:8,Rd	B	8	rd																
	ADD.B Rs,Rd	B	0	rs	rd															
	ADD.W #xx:16,Rd	W	7	9	1	rd			IMM											
	ADD.W Rs,Rd	W	0	9	rs	rd														
	ADD.L #xx:32,ERd	L	7	A	1	0:erd				IMM										
ADDS	ADD.L ERs,ERd	L	0	A	1:ers	0:erd														
	ADDS #1,ERd	L	0	B	0	0:erd														
	ADDS #2,ERd	L	0	B	8	0:erd														
	ADDS #4,ERd	L	0	B	9	0:erd														
	ADDS #8,ERd	B	9	rd	IMM															
ADDX	ADDX Rs,Rd	B	0	E	rs	rd														
	AND.B #xx:8,Rd	B	E	rd	IMM															
	AND.B Rs,Rd	B	1	6	rs	rd														
	AND.W #xx:16,Rd	W	7	9	6	rd			IMM											
	AND.W Rs,Rd	W	6	6	rs	rd														
AND.L	AND.L #xx:32,ERd	L	7	A	6	0:erd			IMM											
	AND.L ERs,ERd	L	0	1	F	0	6	6	0:ers	0:erd										
	ANDC #xx:8,CCR	B	0	6	IMM															
	ANDC #xx:8,EXR	B	0	1	4	1	0	6	IMM											
	BAND #xx:3,Rd	B	7	C	0:imm	rd														
BAND	BAND #xx:3,@ERd	B	7	E	abs	0:imm	0	7	6	0:imm	0									
	BAND #xx:3,@aa:8	B	7	E	abs	0:imm	0	7	6	0:imm	0									
	BAND #xx:3,@aa:16	B	6	A	1	0	abs	7	6	0:imm	0									
	BAND #xx:3,@aa:32	B	6	A	3	0	abs	7	6	0:imm	0									
	BRA d:8 (BT d:8)	-	4	0	disp															
Bcc	BRA d:16 (BT d:16)	-	5	8	0	0	disp													
	BRN d:8 (BF d:8)	-	4	1	disp															
	BRN d:16 (BF d:16)	-	5	8	1	0	disp													
	BHI d:8	-	4	2	disp															
	BHI d:16	-	5	8	2	0	disp													
	BLS d:8	-	4	3	disp															
	BLS d:16	-	5	8	3	0	disp													
	BCC d:8 (BHS d:8)	-	4	4	disp															
	BCC d:16 (BHS d:16)	-	5	8	4	0	disp													
	BCS d:8 (BLO d:8)	-	4	5	disp															
	BCS d:16 (BLO d:16)	-	5	8	5	0	disp													
	BNE d:8	-	4	6	disp															
	BNE d:16	-	5	8	6	0	disp													
	BEQ d:8	-	4	7	disp															
	BEQ d:16	-	5	8	7	0	disp													
BVC d:8	-	4	8	disp																
BVC d:16	-	5	8	8	0	disp														
BVS d:8	-	4	9	disp																
BVS d:16	-	5	8	9	0	disp														

表 A.2 命令コード一覧 (2)

命令	二モードック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
Bcc (続き)	BPL d:8	-	4	A	disp																
	BPL d:16	-	5	8	A	0	disp														
	BMI d:8	-	4	B	disp																
	BMI d:16	-	5	8	B	0	disp														
	BGE d:8	-	4	C	disp																
	BGE d:16	-	5	8	C	0	disp														
	BLT d:8	-	4	D	disp																
	BLT d:16	-	5	8	D	0	disp														
	BGT d:8	-	4	E	disp																
	BGT d:16	-	5	8	E	0	disp														
	BLE d:8	-	4	F	disp																
	BLE d:16	-	5	8	F	0	disp														
BCLR	BCLR #xx:3,Rd	B	7	2	0:IMM	rd															
	BCLR #xx:3,@ERd	B	7	D	0:erd	0	7	2	0:IMM	0											
	BCLR #xx:3,@aa:8	B	7	F	abs		7	2	0:IMM	0											
	BCLR #xx:3,@aa:16	B	6	A	1	8	abs														
	BCLR #xx:3,@aa:32	B	6	A	3	8	abs														
	BCLR Rn,Rd	B	6	2	rn	rd															
	BCLR Rn,@ERd	B	7	D	0:erd	0	6	2	m	0											
	BCLR Rn,@aa:8	B	7	F	abs		6	2	m	0											
	BCLR Rn,@aa:16	B	6	A	1	8	abs														
	BCLR Rn,@aa:32	B	6	A	3	8	abs														
	BIAND	BIAND #xx:3,Rd	B	7	6	1:IMM	rd														
		BIAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	1:IMM	0										
BIAND #xx:3,@aa:8		B	7	E	abs		7	6	1:IMM	0											
BIAND #xx:3,@aa:16		B	6	A	1	0	abs														
BIAND #xx:3,@aa:32		B	6	A	3	0	abs														
BILD #xx:3,Rd		B	7	7	1:IMM	rd															
BILD	BILD #xx:3,@ERd	B	7	C	0:erd	0	7	7	1:IMM	0											
	BILD #xx:3,@aa:8	B	7	E	abs		7	7	1:IMM	0											
	BILD #xx:3,@aa:16	B	6	A	1	0	abs														
	BILD #xx:3,@aa:32	B	6	A	3	0	abs														
	BIOR #xx:3,Rd	B	7	4	0:erd	rd															
	BIOR #xx:3,@ERd	B	7	C	0:erd	0	7	4	1:IMM	0											
BIST	BIOR #xx:3,@aa:8	B	7	E	abs		7	4	1:IMM	0											
	BIOR #xx:3,@aa:16	B	6	A	1	0	abs														
	BIOR #xx:3,@aa:32	B	6	A	3	0	abs														
	BIST #xx:3,Rd	B	6	7	1:IMM	rd															
	BIST #xx:3,@ERd	B	7	D	0:erd	0	6	7	1:IMM	0											
	BIST #xx:3,@aa:8	B	7	F	abs		6	7	1:IMM	0											
BIST	BIST #xx:3,@aa:16	B	6	A	1	8	abs														
	BIST #xx:3,@aa:32	B	6	A	3	8	abs														

表 A.2 命令コード一覧 (3)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BIXOR	BIXOR #xx:3,Rd	B	7	5	1:IMM# rd															
	BIXOR #xx:3,@ERd	B	7	C	0:erd; 0	7	5	1:IMM# 0												
	BIXOR #xx:3,@aa:8	B	7	E	abs	7	5	1:IMM# 0												
	BIXOR #xx:3,@aa:16	B	6	A	1	0	abs	7	5	1:IMM# 0										
	BIXOR #xx:3,@aa:32	B	6	A	3	0	abs													
BLD	BLD #xx:3,Rd	B	7	7	0:IMM# rd															
	BLD #xx:3,@ERd	B	7	C	0:erd; 0	7	7	0:IMM# 0												
	BLD #xx:3,@aa:8	B	7	E	abs	7	7	0:IMM# 0												
	BLD #xx:3,@aa:16	B	6	A	1	0	abs	7	7	0:IMM# 0										
	BLD #xx:3,@aa:32	B	6	A	3	0	abs													
BNOT	BNOT #xx:3,Rd	B	7	1	0:IMM# rd															
	BNOT #xx:3,@ERd	B	7	D	0:erd; 0	7	1	0:IMM# 0												
	BNOT #xx:3,@aa:8	B	7	F	abs	7	1	0:IMM# 0												
	BNOT #xx:3,@aa:16	B	6	A	1	8	abs	7	1	0:IMM# 0										
	BNOT #xx:3,@aa:32	B	6	A	3	8	abs													
	BNOT Rn,Rd	B	6	1	m rd															
	BNOT Rn,@ERd	B	7	D	0:erd; 0	6	1	m	0											
	BNOT Rn,@aa:8	B	7	F	abs	6	1	m	0											
	BNOT Rn,@aa:16	B	6	A	1	8	abs	6	1	m	0									
	BNOT Rn,@aa:32	B	6	A	3	8	abs													
BOR	BOR #xx:3,Rd	B	7	4	0:IMM# rd															
	BOR #xx:3,@ERd	B	7	C	0:erd; 0	7	4	0:IMM# 0												
	BOR #xx:3,@aa:8	B	7	E	abs	7	4	0:IMM# 0												
	BOR #xx:3,@aa:16	B	6	A	1	0	abs	7	4	0:IMM# 0										
	BOR #xx:3,@aa:32	B	6	A	3	0	abs													
BSET	BSET #xx:3,Rd	B	7	0	0:IMM# rd															
	BSET #xx:3,@ERd	B	7	D	0:erd; 0	7	0	0:IMM# 0												
	BSET #xx:3,@aa:8	B	7	F	abs	7	0	0:IMM# 0												
	BSET #xx:3,@aa:16	B	6	A	1	8	abs	7	0	0:IMM# 0										
	BSET #xx:3,@aa:32	B	6	A	3	8	abs													
	BSET Rn,Rd	B	6	0	m rd															
	BSET Rn,@ERd	B	7	D	0:erd; 0	6	0	m	0											
	BSET Rn,@aa:8	B	7	F	abs	6	0	m	0											
	BSET Rn,@aa:16	B	6	A	1	8	abs	6	0	m	0									
	BSET Rn,@aa:32	B	6	A	3	8	abs													
BSR	BSR d:8	-	5	5	disp															
	BSR d:16	-	5	C	0	0	disp													
BST	BST #xx:3,Rd	B	6	7	0:IMM# rd															
	BST #xx:3,@ERd	B	7	D	0:erd; 0	6	7	0:IMM# 0												
	BST #xx:3,@aa:8	B	7	F	abs	6	7	0:IMM# 0												
	BST #xx:3,@aa:16	B	6	A	1	8	abs	6	7	0:IMM# 0										
BST #xx:3,@aa:32	B	6	A	3	8	abs														

表 A.2 命令コード一覧(4)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
BTST	BTST #xx:3,Rd	B	7	3	0:IMM# rd															
	BTST #xx:3,@ERd	B	7	C	0:erd; 0	7	3	0:IMM# 0												
	BTST #xx:3,@aa:8	B	7	E	abs	7	3	0:IMM# 0												
	BTST #xx:3,@aa:16	B	6	A	1	0	abs	7	3	0:IMM# 0										
	BTST #xx:3,@aa:32	B	6	A	3	0	abs													
	BTST Rn,Rd	B	6	3	m	rd														
BXOR	BTST Rn,@ERd	B	7	C	0:erd; 0	6	3	m	0											
	BTST Rn,@aa:8	B	7	E	abs	6	3	m	0											
	BTST Rn,@aa:16	B	6	A	1	0	abs	6	3	rn	0									
	BTST Rn,@aa:32	B	6	A	3	0	abs													
	BXOR #xx:3,Rd	B	7	5	0:IMM# rd															
	BXOR #xx:3,@ERd	B	7	C	0:erd; 0	7	5	0:IMM# 0												
CLFRMAC	BXOR #xx:3,@aa:8	B	7	E	abs	7	5	0:IMM# 0												
	BXOR #xx:3,@aa:16	B	6	A	1	0	abs	7	5	0:IMM# 0										
	BXOR #xx:3,@aa:32	B	6	A	3	0	abs													
	CLFRMAC	-	0	1	A	0														
	CMP.B #xx:8,Rd	B	A	rd	IMM															
	CMP	CMP.B Rs,Rd	B	1	C	rs	rd													
CMP.W #xx:16,Rd		W	7	9	2	rd	IMM													
CMP.W Rs,Rd		W	1	D	rs	rd														
CMP.L #xx:32,ERd		L	7	A	2	0:erd														
CMP.L ERs,ERd		L	1	F	1:ers; 0:erd															
DAA Rd		B	0	F	0	rd														
DEC	DAS Rd	B	1	F	0	rd														
	DEC.B Rd	B	1	A	0	rd														
	DEC.W #1,Rd	W	1	B	5	rd														
	DEC.W #2,Rd	W	1	B	D	rd														
	DEC.L #1,ERd	L	1	B	7	0:erd														
	DEC.L #2,ERd	L	1	B	F	0:erd														
DIVXS	DIVXS.B Rs,Rd	B	0	1	D	0	5	1	rs	rd										
	DIVXS.W Rs,ERd	W	0	1	D	0	5	3	rs	0:erd										
	DIVXU.B Rs,Rd	B	5	1	rs	rd														
	DIVXU.W Rs,ERd	W	5	3	rs	0:erd														
	EEPMOV.B	-	7	B	5	C	5	9	8	F										
	EEPMOV.W	-	7	B	D	4	5	9	8	F										
EXTS	EXTS.W Rd	W	1	7	D	rd														
	EXTS.L ERd	L	1	7	F	0:erd														
EXTU	EXTU.W Rd	W	1	7	5	rd														
	EXTU.L ERd	L	1	7	7	0:erd														

表 A.2 命令コード一覧(5)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
INC	INC.B Rd	B	0	A	0	rd														
	INC.W #1, Rd	W	0	B	5	rd														
	INC.W #2, Rd	W	0	B	D	rd														
	INC.L #1, ERd	L	0	B	7	0::erd														
	INC.L #2, ERd	L	0	B	F	0::erd														
JMP	JMP @ERn	-	5	9	0::ern	0														
	JMP @aa:24	-	5	A		abs														
JSR	JMP @aa:8	-	5	B		abs														
	JSR @ERn	-	5	D	0::ern	0														
JSR @aa:24	JSR @aa:24	-	5	E		abs														
	JSR @aa:8	-	5	F		abs														
LDC	LDC #xx:8, CCR	B	0	7	IMM															
	LDC #xx:8, EXR	B	0	1	4	1	0	7	IMM											
	LDC Rs, CCR	B	0	3	0	rs														
	LDC Rs, EXR	B	0	3	1	rs														
	LDC @ERs, CCR	W	0	1	4	0	6	9	0	ers	0									
	LDC @ERs, EXR	W	0	1	4	1	6	9	0	ers	0									
	LDC @(d:16, ERs), CCR	W	0	1	4	0	6	F	0	ers	0									
	LDC @(d:16, ERs), EXR	W	0	1	4	1	6	F	0	ers	0									
	LDC @(d:32, ERs), CCR	W	0	1	4	0	7	8	0	ers	0									
	LDC @(d:32, ERs), EXR	W	0	1	4	1	7	8	0	ers	0	6	B	2	0					disp
	LDC @ERs+, CCR	W	0	1	4	0	6	D	0	ers	0	6	B	2	0					disp
	LDC @ERs+, EXR	W	0	1	4	1	6	D	0	ers	0									
	LDC @aa:16, CCR	W	0	1	4	0	6	B	0	0										
	LDC @aa:16, EXR	W	0	1	4	1	6	B	0	0										
	LDC @aa:32, CCR	W	0	1	4	0	6	B	2	0										
LDC @aa:32, EXR	W	0	1	4	1	6	B	2	0											
LDM	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1										
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2										
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3										
LDMAC	LDMAC ERs, MACH	L	0	3	2	0::ers														
	LDMAC ERs, MACL	L	0	3	3	0::ers														
MAC	MAC @ERn+, @ERm+	-	0	1	6	0	6	D	0	ern,0:erm										
	MOV.B #xx:8, Rd	B	F	rd		IMM														
MOV	MOV.B Rs, Rd	B	0	C	rs	rd														
	MOV.B @ERs, Rd	B	6	8	0::ers	rd														
	MOV.B @(d:16, ERs), Rd	B	6	E	0::ers	rd														
	MOV.B @(d:32, ERs), Rd	B	7	8	0	ers	0	6	A	2	rd									disp
	MOV.B @ERs+, Rd	B	6	C	0::ers	rd														
	MOV.B @aa:8, Rd	B	2	rd		abs														
	MOV.B @aa:16, Rd	B	6	A	0	rd														
	MOV.B @aa:32, Rd	B	6	A	2	rd														
	MOV.B Rs, @ERd	B	6	8	1	erd	rs													
	MOV.B Rs, @(d:16, ERd)	B	6	E	1	erd	rs													
MOV.B Rs, @(d:32, ERd)	B	7	8	0	erd	0	6	A	A	rs										

表 A.2 命令コード一覧 (6)

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
MOV (続き)	MOV B Rs, @ERd	B	6	C	1	erd	rs														
	MOV B Rs, @aa:8	B	3	rs	abs																
	MOV B Rs, @aa:16	B	6	A	8	A	rs	abs													
	MOV W #xx:16, Rd	W	7	9	0	rd															
	MOV W Rs, Rd	W	0	D	rs	rd															
	MOV W @ERSs, Rd	W	6	9	0	ers	rd														
	MOV W @(dt16, ERSs), Rd	W	6	F	0	ers	rd														
	MOV W @(dt32, ERSs), Rd	W	7	8	0	ers	rd														
	MOV W @ERS+, Rd	W	6	D	0	ers	rd	6	B	2	rd	disp									
	MOV W @aa:16, Rd	W	6	B	0	rd															
	MOV W @aa:32, Rd	W	6	B	2	rd															
	MOV W Rs, @ERd	W	6	9	1	erd	rs														
	MOV W Rs, @(dt16, ERd)	W	6	F	1	erd	rs	disp													
	MOV W Rs, @(dt32, ERd)	W	7	8	0	erd	0	6	B	A	rs	disp									
	MOV W Rs, @-ERd	W	6	D	1	erd	rs														
	MOV W Rs, @aa:16	W	6	B	8	rs	abs														
	MOV W Rs, @aa:32	W	6	B	A	rs	abs														
	MOV L #xx:32, Rd	L	7	A	0	erd	IMM														
	MOV L ERSs, ERd	L	0	F	1	ers	0	erd													
	MOV L @ERSs, ERd	L	0	1	0	0	6	9	0	ers	0	erd									
MOV L @(dt16, ERSs), ERd	L	0	1	0	0	6	F	0	ers	0	erd	disp									
MOV L @(dt32, ERSs), ERd	L	0	1	0	0	7	8	0	ers	0											
MOV L @ERS+, ERd	L	0	1	0	0	6	D	0	ers	0	erd										
MOV L @aa:16, ERd	L	0	1	0	0	6	B	0	erd												
MOV L @aa:32, ERd	L	0	1	0	0	6	B	2	erd												
MOV L ERSs, @ERd	L	0	1	0	0	6	9	1	erd	0	ers										
MOV L ERSs @(dt16, ERd)	L	0	1	0	0	6	F	1	erd	0	ers	disp									
MOV L ERSs @(dt32, ERd) *	L	0	1	0	0	7	8	0	erd	0											
MOV L ERSs @-ERd	L	0	1	0	0	6	D	1	erd	0	ers										
MOV L ERSs @aa:16	L	0	1	0	0	6	B	8	ers												
MOV L ERSs @aa:32	L	0	1	0	0	6	B	A	ers												
MOVFPPE @aa:16, Rd	B	6	A	4	rd	abs															
MOVFPPE Rs, @aa:16	B	6	A	C	rs	abs															
MULXS	MULXS B Rs, Rd	B	0	1	C	0	5	0	rs	rd											
MULXB	MULXS W Rs, Rd	W	0	1	C	0	5	2	rs	0	erd										
MULXU	MULXU B Rs, Rd	B	5	0	rs	rd															
MULXUW	MULXU W Rs, Rd	W	5	2	rs	0	erd														
NEG	NEG B Rd	B	1	7	8	rd															
	NEG W Rd	W	1	7	9	rd															
	NEG L ERd	L	1	7	B	0	erd														
NOP	NOP	-	0	0	0	0															

表 A.2 命令コード一覧(7)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト								
NOT	NOT.B Rd	B	1	7	0	rd														
	NOT.W Rd	W	1	7	1	rd														
	NOT.L ERd	L	1	7	3	0::end														
OR	OR.B #xx:8,Rd	B	C	rd		IMM														
	OR.B Rs,Rd	B	1	4	rs	rd														
	OR.W #xx:16,Rd	W	7	9	4	rd				IMM										
	OR.W Rs,Rd	W	6	4	rs	rd														
	OR.L #xx:32,ERd	L	7	A	4	0::end					IMM									
ORC	OR.L ERs,ERd	L	0	1	F	0	6	4	0	ers;0::end										
	ORC #xx:8,CCR	B	0	4	IMM															
	ORC #xx:8,EXR	B	0	1	4	1	0	4	IMM											
POP	POP.W Rn	W	6	D	7	rn														
	POP.L ERn	L	0	1	0	0	6	D	7	0::ern										
PUSH	PUSH.W Rn	W	6	D	F	rn														
	PUSH.L ERn	L	0	1	0	0	6	D	F	0::ern										
ROTL	ROTL.B Rd	B	1	2	8	rd														
	ROTL.B #2, Rd	B	1	2	C	rd														
	ROTL.W Rd	W	1	2	9	rd														
	ROTL.W #2, Rd	W	1	2	D	rd														
	ROTL.L ERd	L	1	2	B	0::end														
	ROTL.L #2, ERd	L	1	2	F	0::end														
ROTR	ROTR.B Rd	B	1	3	8	rd														
	ROTR.B #2, Rd	B	1	3	C	rd														
	ROTR.W Rd	W	1	3	9	rd														
	ROTR.W #2, Rd	W	1	3	D	rd														
	ROTR.L ERd	L	1	3	B	0::end														
	ROTR.L #2, ERd	L	1	3	F	0::end														
ROTXL	ROTXL.B Rd	B	1	2	0	rd														
	ROTXL.B #2, Rd	B	1	2	4	rd														
	ROTXL.W Rd	W	1	2	1	rd														
	ROTXL.W #2, Rd	W	1	2	5	rd														
	ROTXL.L ERd	L	1	2	3	0::end														
	ROTXL.L #2, ERd	L	1	2	7	0::end														
ROTXR	ROTXR.B Rd	B	1	3	0	rd														
	ROTXR.B #2, Rd	B	1	3	4	rd														
	ROTXR.W Rd	W	1	3	1	rd														
	ROTXR.W #2, Rd	W	1	3	5	rd														
	ROTXR.L ERd	L	1	3	3	0::end														
	ROTXR.L #2, ERd	L	1	3	7	0::end														
RTE	RTE	-	5	6	7	0														
RTS	RTS	-	5	4	7	0														

表 A.2 命令コード一覧 (8)

命令	ニーモニック	サイズ	インストラクションフォーマット																		
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト									
SHAL	SHAL.B.Rd	B	1	0	8	rd															
	SHAL.B.#2.Rd	B	1	0	C	rd															
	SHAL.W.Rd	W	1	0	9	rd															
	SHAL.W.#2.Rd	W	1	0	D	rd															
	SHAL.L.ERd	L	1	0	B	0:;end															
	SHAL.L.#2.ERd	L	1	0	F	0:;end															
SHAR	SHAR.B.Rd	B	1	1	8	rd															
	SHAR.B.#2.Rd	B	1	1	C	rd															
	SHAR.W.Rd	W	1	1	9	rd															
	SHAR.W.#2.Rd	W	1	1	D	rd															
	SHAR.L.ERd	L	1	1	B	0:;end															
	SHAR.L.#2.ERd	L	1	1	F	0:;end															
SHLL	SHLL.B.Rd	B	1	1	0	rd															
	SHLL.B.#2.Rd	B	1	1	0	rd															
	SHLL.W.Rd	W	1	1	0	rd															
	SHLL.W.#2.Rd	W	1	1	0	rd															
	SHLL.L.ERd	L	1	1	0	3:;end															
	SHLL.L.#2.ERd	L	1	1	0	7:;end															
SHLR	SHLR.B.Rd	B	1	1	1	rd															
	SHLR.B.#2.Rd	B	1	1	4	rd															
	SHLR.W.Rd	W	1	1	1	rd															
	SHLR.W.#2.Rd	W	1	1	5	rd															
	SHLR.L.ERd	L	1	1	3	0:;end															
	SHLR.L.#2.ERd	L	1	1	7	0:;end															
STC	SLEEP	-	0	1	8	0															
	STC.B.CCR.Rd	B	0	2	0	rd															
	STC.B.EXR.Rd	B	0	2	1	rd															
	STC.W.CCR.@ERd	W	0	1	4	0			6	9	1	erd	0								
	STC.W.EXR.@ERd	W	0	1	4	1			6	9	1	erd	0								
	STC.W.CCR,@(d:16.ERd)	W	0	1	4	0			6	F	1	erd	0								
	STC.W.EXR,@(d:16.ERd)	W	0	1	4	1			6	F	1	erd	0								
	STC.W.CCR,@(d:32.ERd)	W	0	1	4	0			7	8	0	erd	0		6	B	A	0			disp
	STC.W.EXR,@(d:32.ERd)	W	0	1	4	1			7	8	0	erd	0		6	B	A	0			disp
	STC.W.CCR.@ERd	W	0	1	4	0			6	D	1	erd	0								
	STC.W.EXR.@ERd	W	0	1	4	1			6	D	1	erd	0								
	STC.W.CCR,@aa:16	W	0	1	4	0			6	B	8	0									
	STC.W.EXR,@aa:16	W	0	1	4	1			6	B	8	0									
	STC.W.CCR,@aa:32	W	0	1	4	0			6	B	A	0									
STC.W.EXR,@aa:32	W	0	1	4	1			6	B	A	0										
STM	STM.L(ERn-ERn+1),@-SP	L	0	1	1	0			6	D	F	0:;ern									
	STM.L(ERn-ERn+2),@-SP	L	0	1	2	0			6	D	F	0:;ern									
	STM.L(ERn-ERn+3),@-SP	L	0	1	3	0			6	D	F	0:;ern									
	STM.MAC.MACH.ERd	L	0	2	2	0:;ers															
STMAC	STMAC.MACL.ERd	L	0	2	3	0:;ers															



表 A.2 命令コード一覧 (9)

命令	ニーモニック	サイズ	インストラクションフォーマット																	
			第11バイト	第10バイト	第9バイト	第8バイト	第7バイト	第6バイト	第5バイト	第4バイト	第3バイト	第2バイト								
SUB	SUB.B Rs,Rd	B	1	8	rs	rd														
	SUB.W #xx:16,Rd	W	7	9	3	rd				IMM										
	SUB.W Rs,Rd	W	1	9	rs	rd														
	SUB.L #xx:32,ERd	L	7	A	3	0:erd					IMM									
	SUB.L ERs,ERd	L	1	A	1:ers	0:erd														
SUBS	SUBS #1,ERd	L	1	B	0	0:erd														
	SUBS #2,ERd	L	1	B	8	0:erd														
	SUBS #4,ERd	L	1	B	9	0:erd														
	SUBS #xx:8,Rd	B	B	rd	IMM															
TAS	TAS @ERd	B	1	E	rs	rd														
TRAPA	TRAPA #x:2	B	0	1	E	0	7	B	0:erd	C										
XOR	XOR.B #xx:8,Rd	B	5	7	00:IMM	0														
	XOR.B Rs,Rd	B	D	rd	IMM															
	XOR.B Rs,Rd	B	1	5	rs	rd														
	XOR.W #xx:16,Rd	W	7	9	5	rd														
	XOR.W Rs,Rd	W	6	5	rs	rd				IMM										
	XOR.L #xx:32,ERd	L	7	A	5	0:erd														
	XOR.L ERs,ERd	L	0	1	F	0	6	5	0:ers	0:erd										
XORC	XORC #xx:8,CCR	B	0	5	IMM															
	XORC #xx:8,EXR	B	0	1	4	1	0	5	IMM											

【注】 \* MOV.L ERs, @ (d: 32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。

《記号説明》

IMM:	イミディエイトデータ (2、3、8、16、32 ビット)
abs:	絶対アドレス (8、16、24、32 ビット)
disp:	ディスプレイメント (8、16、32 ビット)
rs、rd、rn:	レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、rn はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
ers、erd、ern、erm:	レジスタフィールド (3 ビットでアドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

レジスタフィールドと汎用レジスタの対応を下表に示します。

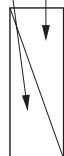
アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタフィールド	汎用レジスタ	レジスタフィールド	汎用レジスタ	レジスタフィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

### A.3 オペレーションコードマップ

表 A.3 にオペレーションコードマップを示します。

表 A.3 オペレーションコードマップ (1)

命令コード：  
 第1バイト 第2バイト  
 AH AL BH BL



BHの最上位ビットが0の場合を示します。  
 BHの最上位ビットが1の場合を示します。

AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.3(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	表A.3(2)	表A.3(2)
1	表A.3(2)	表A.3(2)	表A.3(2)	表A.3(2)	OR	XOR	AND	表A.3(2)	SUB	SUB	表A.3(2)	表A.3(2)	CMP	CMP	SUBX	表A.3(2)
2																
3																
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)		JMP		BSR		JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV	MOV	表A.3(2)			MOV		
7					BOR	BXOR	BAND	BILD	MOV	表A.3(2)	表A.3(2)	EFPMOV				表A.3(3)
8																
9																
A																
B																
C																
D																
E																
F																

表 A.3 オペレーションコードマップ (2)

命令コード :		第1バイト		第2バイト																						
		AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F					
AH/AL	BH	MOV	LDM	LDC	STC	MAC	SLEEP	CLRMAC	SHAL	SHAR	SHAR	SHAL	SHAL	SHAR	SHAR	SHAL	SHAL	SHAR	SHAR	SHAL	SHAR	TAS	表A.3(3)			
0A	INC	ADD																								
0B	ADDS	ADDS																								
0F	DAA	MOV																								
10	SHLL	SHLL																								
11	SHLR	SHLR																								
12	ROTXL	ROTXL																								
13	ROTXR	ROTXR																								
17	NOT	NOT																								
1A	DEC	SUB																								
1B	SUBS	SUBS																								
1F	DAS	CMP																								
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE										
6A	MOV	表A.3(4)	MOV	表A.3(4)	MOVFPPE																					
79	MOV	ADD	CMP	SUB	OR	XOR	AND																			
7A	MOV	ADD	CMP	SUB	OR	XOR	AND																			

表 A.3 オペレーションコードマップ (3)


命令コード:	第1バイト		第2バイト		第3バイト		第4バイト		9	A	B	C	D	E	F
	AH	AL	BH	BL	CH	CL	DH	DL							
CL	0	1	2	3	4	5	6	7	8						
AH/AL/BH/CL	MULXS	MULXS	MULXS												
01C05	MULXS														
01D05	DIVXS		DIVXS												
01F06				OR	XOR	AND									
7Cr06 *1			BTST												
7Cr07 *1			BTST	BOR	BXOR	BAND	BLD	BAND	BXOR	BAND	BLD	BAND	BXOR	BAND	BLD
7Dr06 *1	BSET	BNOT	BCLR	BIOR	BIXOR	BIAND	BST	BIST							
7Dr07 *1	BSET	BNOT	BCLR												
7Eaa6 *2			BTST												
7Eaa7 *2			BTST	BOR	BXOR	BAND	BLD	BAND	BXOR	BAND	BLD	BAND	BXOR	BAND	BLD
7Faa6 *2	BSET	BNOT	BCLR												
7Faa7 *2	BSET	BNOT	BCLR												



【注】 \*1 rはレジスタ指定部  
 \*2 aaは絶対アドレス指定


表 A.3 オペレーションコードマップ (4)

命令コード：		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト						
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL					
EL	AH/AL/BH/BL/CH/CL/DH/DL/EH/EL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
6A10aaaa6*																		
6A10aaaa7*			BTST			<del>                     BOR                      BIOR                 </del>	<del>                     BXOR                      BIXOR                 </del>	<del>                     BAND                      BAND                 </del>	<del>                     BLD                      BILD                 </del>	<del>                     BST                      BIST                 </del>								
6A18aaaa6*			BSET		BNOT													
6A18aaaa7*																		



命令コード：		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト		
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL	
GL	AH/AL/BH/BL/CH/CL/DH/DL/EH/EL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
6A30aaaaaa6*																		
6A30aaaaaa7*			BTST			<del>                     BOR                      BIOR                 </del>	<del>                     BXOR                      BIXOR                 </del>	<del>                     BAND                      BAND                 </del>	<del>                     BLD                      BILD                 </del>	<del>                     BST                      BIST                 </del>								
6A38aaaaaa6*			BSET		BNOT													
6A38aaaaaa7*																		



【注】 \* aaは絶対アドレス指定

## A.4 命令実行ステート数

H8S/2600 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.4 に各々のサイクルに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_i + J \cdot S_j + K \cdot S_k + L \cdot S_l + M \cdot S_m + N \cdot S_n$$

実行ステート数計算例

(例)

アドバンスモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFC7:8

表 A.5 より

$$I = L = 2, J = K = M = N = 0$$

表 A.4 より

$$S_i = 4, S_l = 2$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 2 = 12$$

2. JSR @@30

表 A.5 より

$$I = J = K = 2, L = M = N = 0$$

表 A.4 より

$$S_i = S_j = S_k = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.4 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象								
	内蔵 メモリ	内蔵周辺モジュール		外部デバイス					
		8ビット バス	16ビット バス	8ビットバス		16ビットバス			
				2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス		
命令フェッチ $S_I$	1	4	2	4	6+2m	2	3+m		
分岐アドレスリード $S_J$									
スタック操作 $S_K$									
バイトデータアクセス $S_L$								2	3+m
ワードデータアクセス $S_M$								4	6+2m
内部動作 $S_N$	1								

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数。



表 A.5 命令実行状態（サイクル数）（1）

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
ADD.L ERs,ERd	1						
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
AND.L ERs,ERd	2						
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1
	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
	BCLR Rn,@aa:32	4			2		
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		

表 A.5 命令実行状態 (サイクル数) (2)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		J	K	L	M	N	
BIOR	BIOR #xx:8, @aa:16	3			1		
		4			1		
BIST	BIST #xx:3, Rd	1					
		2			2		
		2			2		
		3			2		
		4			2		
BIXOR	BIXOR #xx:3, Rd	1					
		2			1		
		2			1		
		3			1		
		4			1		
BLD	BLD #xx:3, Rd	1					
		2			1		
		2			1		
		3			1		
		4			1		
BNOT	BNOT #xx:3, Rd	1					
		2			2		
		2			2		
		3			2		
		4			2		
		1					
		2			2		
		2			2		
		3			2		
		4			2		
BOR	BOR #xx:3, Rd	1					
		2			1		
		2			1		
		3			1		
		4			1		
BSET	BSET #xx:3, Rd	1					
		2			2		
		2			2		
		3			2		
		4			2		
		1					
		2			2		
		2			2		
		3			2		
		4			2		
BSR	BSR d:8	1-7		1			
		7-16		2			
	BSR d:16	1-7		1			1
		7-16		2			1
BST	BST #xx:3, Rd	1					
		2			2		
		2			2		
		3			2		
		3			2		
		4			2		
BTST	BTST #xx:3, Rd	1					
		2			1		
		2			1		
		3			1		
		4			1		
		1					
		2			1		
		2			1		
		3			1		
		4			1		
BXOR	BXOR #xx:3, Rd	1					
		2			1		
		2			1		
		3			1		
		4			1		
CLRMAC	CLRMAC	1					1 *3
CMP	CMP.B #xx:8, Rd	1					
		1					
		2					
		1					
		3					
		1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
		1					

表 A.5 命令実行状態 (サイクル数) (3)

命令	二ノモニツク	命令フェツチ	分岐アドレス リード	スタツク操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
DIVXS	DIVXS.B Rs,Rd	2					11
	DIVXS.W Rs,ERd	2					19
DIVXU	DIVXU.B Rs,Rd	1					11
	DIVXU.W Rs,ERd	1					19
EEPMOV	EEPMOV.B	2			2n+2 *2		
	EEPMOV.W	2			2n+2 *2		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					1
	JMP @aa:8	2	1				1
	ノーツ アドバツスト	2	2				1
JSR	JSR @ERn	2		1			
	ノーツ アドバツスト	2		2			
	JSR @aa:24	2		1			1
	ノーツ アドバツスト	2		2			1
	JSR @aa:8	2	1	1			
	ノーツ アドバツスト	2	2	2			
LDC	LDC #xx:8,CCR	1					
	LDC #xx:8,EXR	2					
	LDC Rs,CCR	1					
	LDC Rs,EXR	1					
	LDC @ERs,CCR	2				1	
	LDC @ERs,EXR	2				1	
	LDC @(d:16,ERs),CCR	3				1	
	LDC @(d:16,ERs),EXR	3				1	
	LDC @(d:32,ERs),CCR	5				1	
	LDC @(d:32,ERs),EXR	5				1	
	LDC @ERs+,CCR	2				1	1
	LDC @ERs+,EXR	2				1	1
	LDC @aa:16,CCR	3				1	
	LDC @aa:16,EXR	3				1	
LDC @aa:32,CCR	4				1		
LDC @aa:32,EXR	4				1		
LDM	LDML @SP+, (ERn-ERn+1)	2		4			1
	LDML @SP+, (ERn-ERn+2)	2		6			1
	LDML @SP+, (ERn-ERn+3)	2		8			1
LDMAC	LDMAC ERs,MACH	1					1 *3
	LDMAC ERs,MACL	1					1 *3
MAC	MAC @ERm+, @ERm+	2				2	
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1			1		
	MOV.B @(d:16,ERs),Rd	2			1		
	MOV.B @(d:32,ERs),Rd	4			1		
	MOV.B @ERs+,Rd	1			1		1
	MOV.B @aa:8,Rd	1			1		
	MOV.B @aa:16,Rd	2			1		
	MOV.B @aa:32,Rd	3			1		
	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		
	MOV.B Rs,@-ERd	1			1		1
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2				1	
	MOV.W Rs,Rd	1					
	MOV.W @ERs,Rd	1				1	
	MOV.W @(d:16,ERs),Rd	2				1	
	MOV.W @(d:32,ERs),Rd	4				1	
	MOV.W @ERs+,Rd	1				1	1
	MOV.W @aa:16,Rd	2				1	
	MOV.W @aa:32,Rd	3				1	
	MOV.W Rs,@ERd	1				1	
	MOV.W Rs,@(d:16,ERd)	2				1	
	MOV.W Rs,@(d:32,ERd)	4				1	
	MOV.W Rs,@-ERd	1				1	1
	MOV.W Rs,@aa:16	2				1	
	MOV.W Rs,@aa:32	3				1	
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2				2	
	MOV.L @(d:16,ERs),ERd	3				2	
MOV.L @(d:32,ERs),ERd	5				2		
MOV.L @ERs+,ERd	2				2	1	

表 A.5 命令実行状態 (サイクル数) (4)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.L @aa:16,ERd	3				2	1
	MOV.L @aa:32,ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:32,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:32	4				2	
MOVFPPE	MOVFPPE @:aa:16,Rd	本LSI では使用できません。					
MOVTPPE	MOVTPPE Rs, @:aa:16	本LSI では使用できません。					
MULXS	MULXS.B Rs,Rd	2					2 *3
	MULXS.W Rs,ERd	2					3 *3
MULXU	MULXU.B Rs,Rd	1					2 *3
	MULXU.W Rs,ERd	1					3 *3
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
			1				
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
			1				
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
			1				
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
			1				
RTE	RTE	2		2 / 3 *1			1
RTS	RTS	2		1			1
		2		2			1
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
			1				
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
			1				

表 A.5 命令実行状態（サイクル数）（5）

命令	二ノモニツク	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLLL ERd	1					
SHLR	SHLL.L #2,ERd	1					
	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					
SLEEP	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
	SLEEP	1					1
	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
STC	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
	STC.W CCR,@aa:32	4				1	
	STC.W EXR,@aa:32	4				1	
	STM	STM.L (ERn-ERn+1),@-SP	2		4		
STM.L (ERn-ERn+2),@-SP		2		6			1
STM.L (ERn-ERn+3),@-SP		2		8			1
STMAC <sup>*3</sup>	STMAC MACH,ERd	1					<sup>*3</sup>
	STMAC MACL,ERd	1					<sup>*3</sup>
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					
TAS	TAS @ERd	2			2		
TRAPA	TRAPA #x:2	2	1	2/3 <sup>*1</sup>			2
	アドバンス	2	2	2/3 <sup>*1</sup>			2
XOR	XOR.B #xx:8,Rd	1					
	XOR.B Rs,Rd	1					
	XOR.W #xx:16,Rd	2					
	XOR.W Rs,Rd	1					
	XOR.L #xx:32,ERd	3					
	XOR.L ERs,ERd	2					
XORC	XORC #xx:8,CCR	1					
	XORC #xx:8,EXR	2					

【注】 \*1 EXRが無効なとき2、有効なとき3になります。

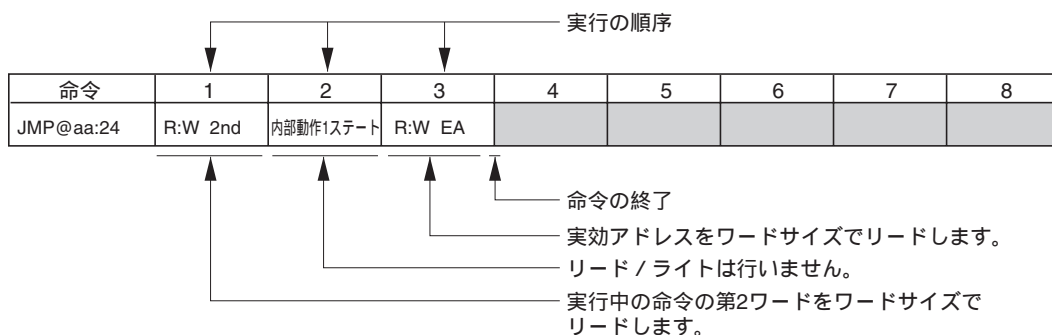
\*2 単独で使用するとき4、連続で使用するとき5になります。

\*3 直前の命令によって、内部動作が0～3ステート追加される場合があります。

## A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、「表 A.4 実行状態 (サイクル) に要するステート数」を参照してください。

《表の見方》



《記号説明》

R:B	バイトサイズリードを行います。
R:W	ワードサイズリードを行います。
W:B	バイトサイズライトを行います。
W:W	ワードサイズライトを行います。
:M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード (第3・第4バイト) のアドレスです。
3rd	第3ワード (第5・第6バイト) のアドレスです。
4th	第4ワード (第7・第8バイト) のアドレスです。
5th	第5ワード (第9・第10バイト) のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8ビットバス・3ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミングを図A.1に示します。

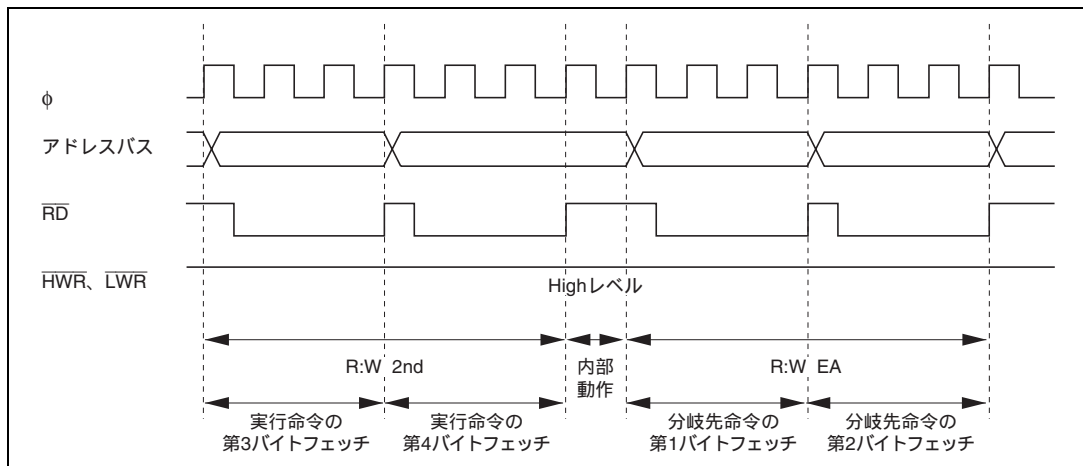


図 A.1 アドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミング  
(8ビットバス・3ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態 (1)

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #XX:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8 (BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1 スタート	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1 スタート	R:W EA						



表 A.6 命令の実行状態 (2)

命 令	1	2	3	4	5	6	7	8	9
BHI d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BLS d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BCC d:16 (BHS d;16)	R:W 2nd	内部動作 1 スタート	R:W EA						
BCS d:16 (BLO d;16)	R:W 2nd	内部動作 1 スタート	R:W EA						
BNE d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BVC d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BVS d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BPL d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BMI d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BGE d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BLT d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1 スタート	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						

表 A.6 命令の実行状態 (3)

命令	1	2	3	4	5	6	7	8	9
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B: EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				

表 A.6 命令の実行状態 (4)

命 令	1	2	3	4	5	6	7	8	9
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	ノーマル	R:W NEXT	R:W EA	W:W スタック					
	アドバンスト	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BSR d:16	ノーマル	R:W 2nd	内部動作 1 スタート	R:W EA	W:W スタック				
	アドバンスト	R:W 2nd	内部動作 1 スタート	R:W EA	W:W:M スタック(H)	W:W スタック(L)			
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	R:W NEXT	内部動作 1 スタート							
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								

表 A.6 命令の実行状態 (5)

命令	1	2	3	4	5	6	7	8	9
DEC.B Rd	R:W NEXT								
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 状態						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 状態						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 状態							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 状態							
EEMOV.B	R:W 2nd	R:B EAs * <sup>1</sup>	R:B EAd * <sup>1</sup>	R:B EAs * <sup>2</sup>	W:B EAd * <sup>2</sup>	R:W NEXT			
EEMOV.W	R:W 2nd	R:B EAs * <sup>1</sup>	R:B EAd * <sup>1</sup>	R:B EAs * <sup>2</sup>	W:B EAd * <sup>2</sup>	R:W NEXT			
EXTS.W Rd	R:W NEXT			n 回繰り返し返す * <sup>2</sup>					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1 スタート	R:W EA						
JMP @@aa:8	ノーマル	R:W NEXT	R:W aa:8	内部動作 1 スタート	R:W EA				
	アドバンス	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1 スタート	R:W EA			
JSR @ERn	ノーマル	R:W NEXT	R:W EA	W:Wスタック					
	アドバンス	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @aa:24	ノーマル	R:W 2nd	内部動作 1 スタート	R:W EA	W:W スタック				
	アドバンス	R:W 2nd	内部動作 1 スタート	R:W EA	W:W:M スタック(H)	W:W スタック(L)			
JSR @@aa:8	ノーマル	R:W NEXT	R:W aa:8	W:W スタック	R:W EA				
	アドバンス	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA		
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC @(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					

表 A.6 命令の実行状態 (6)

命令	1	2	3	4	5	6	7	8	9
LDC @(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1 スタート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1 スタート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+,(ERn-ERn+1)	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	R:W:M スタック(H) *3	R:W スタック(L) *3				
LDM.L @SP+,(ERn-ERn+2)	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	R:W:M スタック(H) *3	R:W スタック(L) *3				
LDM.L @SP+,(ERn-ERn+3)	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	R:W:M スタック(H) *3	R:W スタック(L) *3				
LDMAC ERs,MACH	R:W NEXT	内部動作 1 スタート		n 回繰り返し返す *3					
LDMAC ERs,MACL	R:W NEXT	内部動作 1 スタート							
MAC @ERn+,@ERm+	R:W 2nd	R:W NEXT	R:W EAn	R:W EAm					
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 スタート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 スタート	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:W EA						

表 A.6 命令の実行状態 (7)

命令	1	2	3	4	5	6	7	8	9
MOV.W @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 スタート	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs,@(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 スタート	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs,@(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPF @aa:16,Rd*4	R:W 2nd	内部動作 1 スタート	R:B EA						
MOVTPF Rs,@aa:16*4	R:W 2nd	内部動作 1 スタート	W:B EA						
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 2 スタート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 3 スタート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 2 スタート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 3 スタート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								

表 A.6 命令の実行状態 (8)

命令	1	2	3	4	5	6	7	8	9
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 スタート	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1 スタート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								

表 A.6 命令の実行状態 (9)

命令		1	2	3	4	5	6	7	8	9
ROTXR.L #2,ERd		R:W NEXT								
RTE		R:W NEXT	R:W スタック(EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W *5			
RTS	ノーマル	R:W NEXT	R:Wスタック	内部動作 1 スタート	R:W *5					
	アドバンス	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1 スタート	R:W *5				
SHAL.B Rd		R:W NEXT								
SHAL.B #2,Rd		R:W NEXT								
SHAL.W Rd		R:W NEXT								
SHAL.W #2,Rd		R:W NEXT								
SHAL.L ERd		R:W NEXT								
SHAL.L #2,ERd		R:W NEXT								
SHAR.B Rd		R:W NEXT								
SHAR.B #2,Rd		R:W NEXT								
SHAR.W Rd		R:W NEXT								
SHAR.W #2,Rd		R:W NEXT								
SHAR.L ERd		R:W NEXT								
SHAR.L #2,ERd		R:W NEXT								
SHLL.B Rd		R:W NEXT								
SHLL.B #2,Rd		R:W NEXT								
SHLL.W Rd		R:W NEXT								
SHLL.W #2,Rd		R:W NEXT								
SHLL.L ERd		R:W NEXT								
SHLL.L #2,ERd		R:W NEXT								
SHLR.B Rd		R:W NEXT								
SHLR.B #2,Rd		R:W NEXT								
SHLR.W Rd		R:W NEXT								
SHLR.W #2,Rd		R:W NEXT								
SHLR.L ERd		R:W NEXT								
SHLR.L #2,ERd		R:W NEXT								
SLEEP		R:W NEXT	内部動作:M							
STC CCR,Rd		R:W NEXT								
STC EXR,Rd		R:W NEXT								
STC CCR,@ERd		R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd		R:W 2nd	R:W NEXT	W:W EA						
STC CCR,@(d:16,ERd)		R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@(d:16,ERd)		R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@(d:32,ERd)		R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR,@(d:32,ERd)		R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd		R:W 2nd	R:W NEXT	内部動作 1 スタート	W:W EA					
STC EXR,@-ERd		R:W 2nd	R:W NEXT	内部動作 1 スタート	W:W EA					



表 A.6 命令の実行状態 (10)

命令	1	2	3	4	5	6	7	8	9	
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA						
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA						
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA					
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA					
STM.L (ERn-ERn+1),@-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M スタック(H) <sup>*3</sup>	W:W スタック(L) <sup>*3</sup>					
STM.L (ERn-ERn+2),@-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M スタック(H) <sup>*3</sup>	W:W スタック(L) <sup>*3</sup>					
STM.L (ERn-ERn+3),@-SP	R:W 2nd	R:W:M NEXT	内部動作 1 スタート	W:W:M スタック(H) <sup>*3</sup>	W:W スタック(L) <sup>*3</sup>					
STMAC MACH,ERd	R:W NEXT			n 回繰り返し返す <sup>*3</sup>						
STMAC MACL,ERd	R:W NEXT									
SUB.B Rs,Rd	R:W NEXT									
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT								
SUB.W Rs,Rd	R:W NEXT									
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT							
SUB.L ERs,ERd	R:W NEXT									
SUBS #1/2/4,ERd	R:W NEXT									
SUBX #xx:8,Rd	R:W NEXT									
SUBX Rs,Rd	R:W NEXT									
TAS @ERd	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA						
TRAPA #x:2	ノーマル	R:W NEXT	内部動作 1 スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W VEC	内部動作 1 スタート	R:W <sup>*8</sup>	
	アドバンスト	R:W NEXT	内部動作 1 スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 スタート	R:W <sup>*8</sup>
XOR.B #xx8,Rd	R:W NEXT									
XOR.B Rs,Rd	R:W NEXT									
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT								
XOR.W Rs,Rd	R:W NEXT									
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT							
XOR.L ERs,ERd	R:W 2nd	R:W NEXT								
XORC #xx:8,CCR	R:W NEXT									
XORC #xx:8,EXR	R:W 2nd	R:W NEXT								
リセット例外 処理	ノーマル	R:W VEC	内部動作 1 スタート	R:W <sup>*6</sup>						
	アドバンスト	R:W:M VEC	R:W VEC+2	内部動作 1 スタート	R:W <sup>*6</sup>					
割り込み例外 処理	ノーマル	R:W <sup>*7</sup>	内部動作 1 スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W VEC	内部動作 1 スタート	R:W <sup>*8</sup>	
	アドバンスト	R:W <sup>*7</sup>	内部動作 1 スタート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 スタート	R:W <sup>*8</sup>

【注】 \*1 EAs は ER5、EAd は ER6 の内容です。

\*2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。

また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。

- \*3 2本退避/復帰時は2回、3本退避/復帰時は3回、4本退避/復帰時は4回繰り返します。
- \*4 本 LSI では使用できません。
- \*5 リターン後の先頭アドレスです。
- \*6 プログラムのスタートアドレスです。
- \*7 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。  
また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。
- \*8 割り込み処理ルーチンの先頭アドレスです。

## A.6 コンディションコードの変化

CPU の各命令について、命令実行後のコンディションコードの変化を示します。以下に、表中で使われている記号を説明します。

$m = \begin{cases} 31 \\ 15 \\ 7 \end{cases}$	: ロングワードサイズの時 : ワードサイズの時 : バイトサイズの時
Si	: ソースオペランドのビット i
Di	: デスティネーションオペランドのビット i
Ri	: 結果のビット i
Dn	: デスティネーションオペランドの指定されたビット
-	: 影響なし
↕	: 実行結果に応じて変化 (定義参照)
0	: 常に 0 にクリア
1	: 常に 1 にセット
*	: 値を保証しません。
Z'	: 実行前の Z フラグ
C'	: 実行前の C フラグ

表 A.7 コンディションコードの変化(1)

命 令	H	N	Z	V	C	定 義
ADD	↕	↕	↕	↕	↕	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
ADDS	-	-	-	-	-	
ADDX	↕	↕	↕	↕	↕	$H = S_{m-4} \cdot D_{m-4} + D_{m-4} \cdot \overline{R_{m-4}} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = S_m \cdot D_m \cdot \overline{R_m} + \overline{S_m} \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot D_m + D_m \cdot \overline{R_m} + S_m \cdot \overline{R_m}$
AND	-	↕	↕	0	-	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
ANDC	↕	↕	↕	↕	↕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
BAND	-	-	-	-	↕	$C = C' \cdot D_n$
Bcc	-	-	-	-	-	
BCLR	-	-	-	-	-	
BIAND	-	-	-	-	↕	$C = C' \cdot \overline{D_n}$
BILD	-	-	-	-	↕	$C = \overline{D_n}$
BIOR	-	-	-	-	↕	$C = C' + \overline{D_n}$
BIST	-	-	-	-	-	
BIXOR	-	-	-	-	↕	$C = C' \cdot D_n + \overline{C'} \cdot \overline{D_n}$
BLD	-	-	-	-	↕	$C = D_n$
BNOT	-	-	-	-	-	
BOR	-	-	-	-	↕	$C = C' + D_n$
BSET	-	-	-	-	-	
BSR	-	-	-	-	-	
BST	-	-	-	-	-	
BTST	-	-	↕	-	-	$Z = \overline{D_n}$
BXOR	-	-	-	-	↕	$C = C' \cdot \overline{D_n} + \overline{C'} \cdot D_n$
CLRMAC	-	-	-	-	-	
CMP	↕	↕	↕	↕	↕	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$

表 A.7 コンディションコードの変化 (2)

命 令	H	N	Z	V	C	定 義
DAA	*	↕	↕	*	↕	$N=Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C : 10 進加算のキャリ
DAS	*	↕	↕	*	↕	$N=Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C : 10 進減算のボロ -
DEC	-	↕	↕	↕	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Dm \cdot Rm$
DIVXS	-	↕	↕	-	-	$N = Sm \cdot \overline{Dm} + \overline{Sm} \cdot Dm$ $Z = \overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
DIVXU	-	↕	↕	-	-	$N = Sm$ $Z = \overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
EEPMOV	-	-	-	-	-	
EXTS	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
EXTU	-	0	↕	0	-	$Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
INC	-	↕	↕	↕	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Dm \cdot Rm$
JMP	-	-	-	-	-	
JSR	-	-	-	-	-	
LDC	↕	↕	↕	↕	↕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
LDM	-	-	-	-	-	
LDMAC	-	-	-	-	-	
MAC	-	-	-	-	-	
MOV	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
MOVFPPE	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
MOVTPPE	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
MULXS	-	↕	↕	-	-	$N = R2m$ $Z = \overline{R2m} \cdot \overline{R2m-1} \cdot \dots \cdot \overline{R0}$
MULXU	-	-	-	-	-	
NEG	↕	↕	↕	↕	↕	$H = Dm-4 + Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Dm \cdot Rm$ $C = Dm + Rm$

表 A.7 コンディションコードの変化 (3)

命 令	H	N	Z	V	C	定 義
NOP	-	-	-	-	-	
NOT	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
OR	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ORC	↕	↕	↕	↕	↕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
POP	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
PUSH	-	↕	↕	0	-	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ROTL	-	↕	↕	0	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1 ビットのとき)、 $C = Dm-1$ (2 ビットのとき)
ROTR	-	↕	↕	0	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットのとき)、 $C = D1$ (2 ビットのとき)
ROTXL	-	↕	↕	0	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1 ビットのとき)、 $C = Dm-1$ (2 ビットのとき)
ROTXR	-	↕	↕	0	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットのとき)、 $C = D1$ (2 ビットのとき)
RTE	↕	↕	↕	↕	↕	実行結果の対応するビットの値が格納されます。
RTS	-	-	-	-	-	
SHAL	-	↕	↕	↕	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Dm} \cdot Dm-1 + \overline{Dm} \cdot \overline{Dm-1}$ (1 ビットのとき) $V = \overline{Dm} \cdot Dm-1 \cdot Dm-2 \cdot \overline{Dm-1} \cdot \overline{Dm-2}$ (2 ビットのとき) $C = Dm$ (1 ビットのとき)、 $C = Dm-1$ (2 ビットのとき)
SHAR	-	↕	↕	0	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットのとき)、 $C = D1$ (2 ビットのとき)
SHLL	-	↕	↕	0	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = Dm$ (1 ビットのとき)、 $C = Dm-1$ (2 ビットのとき)
SHLR	-	0	↕	0	↕	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C = D0$ (1 ビットのとき)、 $C = D1$ (2 ビットのとき)

表 A.7 コンディションコードの変化 (4)

命令	H	N	Z	V	C	定義
SLEEP	-	-	-	-	-	
STC	-	-	-	-	-	
STM	-	-	-	-	-	
STMAC	-	↕	↕	↕	-	N = MAC 命令の結果、MAC レジスタが負のとき Z = MAC 命令の結果、MAC レジスタが 0 のとき V = MAC 命令の結果、オーバーフローが発生したとき
SUB	↕	↕	↕	↕	↕	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ N = Rm $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
SUBS	-	-	-	-	-	
SUBX	↕	↕	↕	↕	↕	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ N = Rm $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
TAS	-	↕	↕	0	-	N = Dm $Z = \overline{D_m} \cdot \overline{D_{m-1}} \cdot \dots \cdot \overline{D_0}$
TRAPA	-	-	-	-	-	
XOR	-	↕	↕	0	-	N = Rm $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
XORC	↕	↕	↕	↕	↕	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。

## B. 内部 I/O レジスタ

### B.1 アドレス一覧

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'F800 ~ H'FBFF	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	16/32* ビット
	SAR										
	MRB	CHNE	DISEL	-	-	-	-	-	-		
	DAR										
	CRA										
	CRB										
	H'FE80	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1		
H'FE81	TMDR3	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
H'FE82	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE83	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FE84	TIER3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FE85	TSR3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FE86	TCNT3										
H'FE87											
H'FE88	TGR3A										
H'FE89											
H'FE8A	TGR3B										
H'FE8B											
H'FE8C	TGR3C										
H'FE8D											
H'FE8E	TGR3D										
H'FE8F											
H'FE90	TCR4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU4	16 ビット
H'FE91	TMDR4	-	-	-	-	MD3	MD2	MD1	MD0		
H'FE92	TIOR4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE94	TIER4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FE95	TSR4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FE96	TCNT4										
H'FE97											
H'FE98	TGR4A										
H'FE99											
H'FE9A	TGR4B										
H'FE9B											

【注】 \* 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき、32 ビットバス、その他のとき 16 ビットバスです。



アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅		
H'FEA0	TCR5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU5	16 ビット		
H'FEA1	TMDR5	-	-	-	-	MD3	MD2	MD1	MD0				
H'FEA2	TIOR5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0				
H'FEA4	TIER5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA				
H'FEA5	TSR5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA				
H'FEA6	TCNT5												
H'FEA7													
H'FEA8	TGR5A												
H'FEA9													
H'FEAA	TGR5B												
H'FEAB													
H'FEB0	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	ポート	8 ビット		
H'FEB1	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR				
H'FEB2	P3DDR	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR				
H'FEB4	P5DDR	-	-	-	-	P53DDR	P52DDR	P51DDR	P50DDR				
H'FEB5	P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR				
H'FEB9	PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR				
H'FEBA	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR				
H'FEBB	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR				
H'FEB C	PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR				
H'FEBD	PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR				
H'FEBE	PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR				
H'FEBF	PGDDR	-	-	-	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR				
H'FEC0	ICRA	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0			割り込み コントローラ	8 ビット
H'FEC1	ICRB	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0				
H'FEC2	ICRC	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0				
H'FEC4	IPRA	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FEC5	IPRB	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FEC6	IPRC	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FEC7	IPRD	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FEC8	IPRE	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FEC9	IPRF	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FECA	IPRG	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FECB	IPRH	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FECC	IPRI	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FECD	IPRJ	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				
H'FECE	IPRK	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0				

付録

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FED0	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コントローラ	8 ビット
H'FED1	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'FED2	WCRH	W71	W70	W61	W60	W51	W50	W41	W40		
H'FED3	WCRL	W31	W30	W21	W20	W11	W10	W01	W00		
H'FED4	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0		
H'FED5	BCRL	BLE	BREQOE	EAE	-	-	ASS	WDBE	WAITE		
H'FED6	MCR	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0		
H'FED7	DRAMCR	RFSHE	RCW	RMODE	CMF	CMIE	CKS2	CKS1	CKS0		
H'FED8	RTCNT										
H'FED9	RTCOR										
H'FEE0	MAR0AH	-	-	-	-	-	-	-	-	DMAC	16 ビット
H'FEE1											
H'FEE2	MAR0AL										
H'FEE3											
H'FEE4	IOAR0A										
H'FEE5											
H'FEE6	ETCR0A										
H'FEE7											
H'FEE8	MAR0BH	-	-	-	-	-	-	-	-		
H'FEE9											
H'FEEA	MAR0BL										
H'FEEB											
H'FEEC	IOAR0B										
H'FEED											
H'FEEE	ETCR0B										
H'FEEF											
H'FEF0	MAR1AH	-	-	-	-	-	-	-	-		
H'FEF1											
H'FEF2	MAR1AL										
H'FEF3											
H'FEF4	IOAR1A										
H'FEF5											
H'FEF6	ETCR1A										
H'FEF7											
H'FEF8	MAR1BH	-	-	-	-	-	-	-	-		
H'FEF9											
H'FEFA	MAR1BL										
H'FEFB											
H'FEFC	IOAR1B										
H'FEFD											
H'FEFE	ETCR1B										
H'FEFF											
H'FF00	DMAWER	-	-	-	-	WE1B	WE1A	WE0B	WE0A	8 ビット	
H'FF01	DMATCR	-	-	TEE1	TEE0	-	-	-	-		

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅	
H'FF02	DMACR0A	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	ショートアドレスモード	16 ビット	
		DTSZ	SAID	SAIDE	BLKDIR	BLKE	-	-	-	フルアドレスモード		
H'FF03	DMACR0B	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	ショートアドレスモード		
		-	DAID	DAIDE	-	DTF3	DTF2	DTF1	DTF0	フルアドレスモード		
H'FF04	DMACR1A	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	ショートアドレスモード		
		DTSZ	SAID	SAIDE	BLKDIR	BLKE	-	-	-	フルアドレスモード		
H'FF05	DMACR1B	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	ショートアドレスモード		
		-	DAID	DAIDE	-	DTF3	DTF2	DTF1	DTF0	フルアドレスモード		
H'FF06	DMABCRH	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A	ショートアドレスモード		
		FAE1	FAE0	-	-	DTA1	-	DTA0	-	フルアドレスモード		
H'FF07	DMABCRH	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A	ショートアドレスモード		
		DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A	フルアドレスモード		
H'FF2C	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	割り込み コントローラ		8 ビット
H'FF2D	ISCRH	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA			
H'FF2E	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E			
H'FF2F	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F			
H'FF30 ~ H'FF35	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0				
H'FF37	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	DTC	8 ビット	
H'FF38	SBYCR	SSBY	STS2	STS1	STS0	OPE	-	-	-	PPG	8 ビット	
H'FF39	SYSCR	MACS	-	INTM1	INTM0	NMIEG	-	-	RAME			
H'FF3A	SCKCR	PSTOP	-	-	-	-	SCK2	SCK1	SCK0			
H'FF3B	MDCR	-	-	-	-	-	MDS2	MDS1	MSD0			
H'FF3C	MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8			
H'FF3D	MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0			
H'FF46	PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0			
H'FF47	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV			
H'FF48	NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8			
H'FF49	NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0			
H'FF4A	PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8			
H'FF4B	PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0			
H'FF4C*	NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8			
H'FF4D*	NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0			
H'FF4E*	NDRH	-	-	-	-	NDR11	NDR10	NDR9	NDR8			
H'FF4F*	NDRL	-	-	-	-	NDR3	NDR2	NDR1	NDR0			

【注】 \* PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガが同一の場合は、NDRHのアドレスはH'FF4Cとなり、出力トリガが異なる場合は、グループ2に対応するNDRHのアドレスはH'FF4E、グループ3に対するNDRHのアドレスはH'FF4Cとなります。同様に、PCRの設定によりパルス出力グループ0とパルス出力グループ1の出力トリガが同一の場合は、NDRLのアドレスはH'FF4Dとなり、出力トリガが異なる場合は、グループ0に対するNDRLのアドレスはH'FF4F、グループ1に対するNDRLのアドレスはH'FF4Dとなります。

付録

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FF50	PORT1	P17	P16	P15	P14	P13	P12	P11	P10	ポート	8 ビット
H'FF51	PORT2	P27	P26	P25	P24	P23	P22	P21	P20		
H'FF52	PORT3	-	-	P35	P34	P33	P32	P31	P30		
H'FF53	PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
H'FF54	PORT5	-	-	-	-	P53	P52	P51	P50		
H'FF55	PORT6	P67	P66	P65	P64	P63	P62	P61	P60		
H'FF59	PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
H'FF5A	PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
H'FF5B	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
H'FF5C	PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
H'FF5D	PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0		
H'FF5E	PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0		
H'FF5F	PORTG	-	-	-	PG4	PG3	PG2	PG1	PG0		
H'FF60	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR		
H'FF61	P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR		
H'FF62	P3DR	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FF64	P5DR	-	-	-	-	P53DR	P52DR	P51DR	P50DR		
H'FF65	P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
H'FF69	PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
H'FF6A	PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FF6B	PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FF6C	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
H'FF6D	PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FF6E	PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
H'FF6F	PGDR	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR		
H'FF70	PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR		
H'FF71	PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
H'FF72	PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
H'FF73	PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
H'FF74	PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
H'FF76	P3ODR	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
H'FF77	PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR		
H'FF78	SMR0	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCIO、 スマートカード インタフェース0	8 ビット
H'FF79	BRR0										
H'FF7A	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF7B	TDR0										
H'FF7C	SSR0	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT		
H'FF7D	RDR0										
H'FF7E	SCMR0	-	-	-	-	SDIR	SINV	-	SMIF		

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅		
H'FF80	SMR1	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI1、 スマートカード インタフェース1	8 ビット		
H'FF81	BRR1												
H'FF82	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0				
H'FF83	TDR1												
H'FF84	SSR1	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT				
H'FF85	RDR1												
H'FF86	SCMR1	-	-	-	-	SDIR	SINV	-	SMIF				
H'FF88	SMR2	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0			SCI2、 スマートカード インタフェース2	8 ビット
H'FF89	BRR2												
H'FF8A	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0				
H'FF8B	TDR2												
H'FF8C	SSR2	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT				
H'FF8D	RDR2												
H'FF8E	SCMR2	-	-	-	-	SDIR	SINV	-	SMIF				
H'FF90	ADDRAH	-	-	-	-	-	-	AD9	AD8	A/D 変換器	16 ビット		
H'FF91	ADDRAL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FF92	ADDRBH	-	-	-	-	-	-	AD9	AD8				
H'FF93	ADDRBL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FF94	ADDRCH	-	-	-	-	-	-	AD9	AD8				
H'FF95	ADDRCL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FF96	ADDRDH	-	-	-	-	-	-	AD9	AD8				
H'FF97	ADDRDL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FF98	ADDREH	-	-	-	-	-	-	AD9	AD8				
H'FF99	ADDREL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FF9A	ADDRFH	-	-	-	-	-	-	AD9	AD8				
H'FF9B	ADDRFL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FF9C	ADDRGH	-	-	-	-	-	-	AD9	AD8				
H'FF9D	ADDRGL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FF9E	ADDRHH	-	-	-	-	-	-	AD9	AD8				
H'FF9F	ADDRHL	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0				
H'FFA0	ADCSR	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0				
H'FFA1	ADCR	-	PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0				
H'FFA4	DADR0											D/A	8 ビット
H'FFA5	DADR1												
H'FFA6	DACR	DAOE1	DAOE0	DAE	-	-	-	-	-				

付録

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FFB0	TCR0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	8ビット タイム チャンネル0,1	16 ビット
H'FFB1	TCR1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFB2	TCSR0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
H'FFB3	TCSR1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0		
H'FFB4	TCORA0										
H'FFB5	TCORA1										
H'FFB6	TCORB0										
H'FFB7	TCORB1										
H'FFB8	TCNT0										
H'FFB9	TCNT1										
H'FFBC (リード時)	TCSR	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	ウォッチ ドッグ タイム	16 ビット
H'FFBD (リード時)	TCNT										
H'FFBF (リード時)	RSTCSR	WOVF	RSTE	RSTS	-	-	-	-	-		
H'FFC0	TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU	16 ビット
H'FFC1	TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0		
H'FFD0	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU0	16 ビット
H'FFD1	TMDR0	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
H'FFD2	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FFD3	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FFD4	TIER0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FFD5	TSR0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FFD6	TCNT0										
H'FFD7											
H'FFD8	TGR0A										
H'FFD9											
H'FFDA	TGR0B										
H'FFDB											
H'FFDC	TGR0C										
H'FFDD											
H'FFDE	TGR0D										
H'FFDF											

アドレス	略号	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール名	バス幅
H'FFE0	TCR1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU1	16 ビット
H'FFE1	TMDR1	-	-	-	-	MD3	MD2	MD1	MD0		
H'FFE2	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FFE4	TIER1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FFE5	TSR1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FFE6	TCNT1										
H'FFE7											
H'FFE8	TGR1A										
H'FFE9											
H'FFEA	TGR1B										
H'FFEB											
H'FFF0	TCR2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU2	16 ビット
H'FFF1	TMDR2	-	-	-	-	MD3	MD2	MD1	MD0		
H'FFF2	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FFF4	TIER2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
H'FFF5	TSR2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
H'FFF6	TCNT2										
H'FFF7											
H'FFF8	TGR2A										
H'FFF9											
H'FFFA	TGR2B										
H'FFFB											

## B.2 機能一覧

H'F800 ~ FBFF DTC モードレジスタ A MRA

DTC

ビット :	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

DTCデータ トランスファサイズ	
0	バイトサイズ 転送
1	ワードサイズ 転送

DTC転送モードセレクト	
0	デスティネーション側がリピート 領域またはブロック領域
1	ソース側がリピート領域または ブロック領域

DTCモード		
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	-

デスティネーションアドレスモード		
0	-	DARは固定
1	0	DARは転送後インクリメント (Sz = 0のとき +1, Sz = 1のとき +2)
	1	DARは転送後デクリメント (Sz = 0のとき -1, Sz = 1のとき -2)

ソースアドレスモード		
0	-	SARは固定
1	0	SARは転送後インクリメント (Sz = 0のとき +1, Sz = 1のとき +2)
	1	SARは転送後デクリメント (Sz = 0のとき -1, Sz = 1のとき -2)



H'F800 ~ FBFF DTC モードレジスタ B MRB DTC

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	-	-	-	-	-	-
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	-	-	-

## DTCインタラプトセレクト

0	DTCデータ転送終了後、転送カウンタが0でなければ、CPUへの割り込みを禁止
1	DTCデータ転送終了後、CPUへの割り込みを許可

## DTCチェーン転送イネーブル

0	DTCデータ転送終了
1	DTCチェーン転送

H'F800 ~ FBFF DTC ソースアドレスレジスタ SAR DTC

ビット :	23	22	21	20	19	---	4	3	2	1	0
						---					
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

|  
転送データの転送元アドレスを指定

H'F800 ~ FBFF DTC デスティネーションアドレスレジスタ DAR DTC

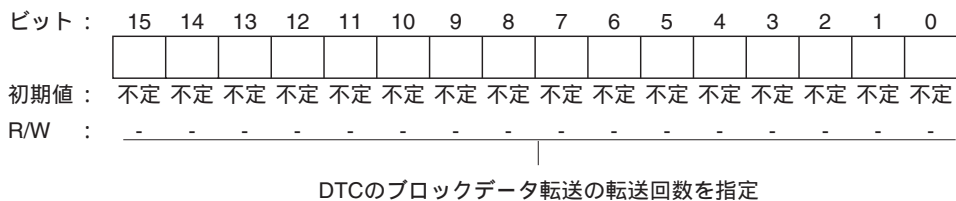
ビット :	23	22	21	20	19	---	4	3	2	1	0
						---					
初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	-	-	-	-	-	---	-	-	-	-	-

|  
DTCの転送データの転送先アドレスを指定

H'F800 ~ FBFF DTC 転送カウントレジスタ A CRA DTC



H'F800 ~ FBFF DTC 転送カウントレジスタ B CRB DTC



## H'FE80 タイマコントロールレジスタ 3 TCR3

TPU3

ビット:	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## タイムプリスケアラ

0	0	0	内部クロック: $\phi/1$ でカウント
		1	内部クロック: $\phi/4$ でカウント
	1	0	内部クロック: $\phi/16$ でカウント
		1	内部クロック: $\phi/64$ でカウント
1	0	0	外部クロック: TCLKA端子入力でカウント
		1	内部クロック: $\phi/1024$ でカウント
	1	0	内部クロック: $\phi/256$ でカウント
		1	内部クロック: $\phi/4096$ でカウント

## 入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

## カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
		1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア*2
		1	同期クリア/同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1

【注】\*1 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

\*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

H'FE81 タイマモードレジスタ3 TMDR3

TPU3

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	0	リザーブ
	1	0	0	PWMモード1
			1	0
1	0	0	位相計数モード1	
		1	0	位相計数モード2
	1	0	0	位相計数モード3
			1	0
1	*	*	*	-

\* : Don't care

- 【注】 1. MD3はリザーブビットです。  
 ライト時には常に0を書き込んでください。  
 2. チャンネル0、3では、位相計数モードの設定はできません。  
 MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FE82 タイマ I/O コントロールレジスタ 3H TIOR3H

TPU3

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR3A I/Oコントロール

0	0	0	0	TGR3Aは	出力禁止		
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
		1	0	0	コンペア		コンペアマッチで1出力
				1	レジスタ		コンペアマッチでトグル出力
	1	0	0	0	出力禁止		
				1	初期出力は1出力	コンペアマッチで0出力	
		1	0	0		コンペアマッチで1出力	
				1		コンペアマッチでトグル出力	
1	0	0	0	TGR3Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
			1	インプット	TIOCA3端子	立ち下がりエッジでインプットキャプチャ	
	1	*	*	0	キャプチャ		両エッジでインプットキャプチャ
				1	レジスタ	キャプチャ入力元は	TCNT4のカウンタアップ / カウントダウン チャネル4 / カウントロック でインプットキャプチャ

TGR3B I/Oコントロール

0	0	0	0	TGR3Bは	出力禁止		
			1	アウトプット	初期出力は0出力	コンペアマッチで0出力	
		1	0	0	コンペア		コンペアマッチで1出力
				1	レジスタ		コンペアマッチでトグル出力
	1	0	0	0	出力禁止		
				1	初期出力は1出力	コンペアマッチで0出力	
		1	0	0		コンペアマッチで1出力	
				1		コンペアマッチでトグル出力	
1	0	0	0	TGR3Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
			1	インプット	TIOCB3端子	立ち下がりエッジでインプットキャプチャ	
	1	*	*	0	キャプチャ		両エッジでインプットキャプチャ
				1	レジスタ	キャプチャ入力元は	TCNT4のカウンタアップ / カウントダウン チャネル4 / カウントロック でインプットキャプチャ*1

\* : Don't care

\* : Don't care

【注】 \*1 TCR4のTPSC2 - TPSC0ビットをB'000とし、TCNT4のカウンタクロックに / 1を使用した場合、本設定は無効となり、インプットキャプチャは発生しません。

H'FE83 タイマ I/O コントロールレジスタ 3L TIOR3L

TPU3

ビット :

7	6	5	4	3	2	1	0
IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR3C I/Oコントロール

0	0	0	0	TGR3Cは	出力禁止		
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力
		1	0	0	レジスタ	出力禁止	
					1	初期出力は1出力	コンペアマッチで0出力
					1	コンペアマッチで1出力	コンペアマッチでトグル出力
	1	0	0	TGR3Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット	TIOCC3端子	立ち下がりエッジでインプットキャプチャ
				1	* キャプチャ	両エッジでインプットキャプチャ	
		1	*	*	レジスタ	キャプチャ入力元は	TCNT4のカウンタアップ / カウントダウン
					チャネリ4 / カウントロック	でインプットキャプチャ	

\* : Don't care

【注】 TMDR3のBFAビットを1にセットしてTGR3Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

TGR3D I/Oコントロール

0	0	0	0	TGR3Dは	出力禁止		
				1	アウトプット	初期出力は0出力	コンペアマッチで0出力
				1	コンペア	コンペアマッチで1出力	コンペアマッチでトグル出力
		1	0	0	レジスタ	出力禁止	
					1	初期出力は1出力	コンペアマッチで0出力
					1	コンペアマッチで1出力	コンペアマッチでトグル出力
	1	0	0	TGR3Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
				1	インプット	TIOCD3端子	立ち下がりエッジでインプットキャプチャ
				1	* キャプチャ	両エッジでインプットキャプチャ	
		1	*	*	レジスタ	キャプチャ入力元は	TCNT4のカウンタアップ / カウントダウン
					チャネリ4 / カウントロック	でインプットキャプチャ*1	

\* : Don't care

【注】 TMDR3のBFBビットを1にセットしてTGR3Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

\*1 TCR4のTPSC2 ~ TPSC0ビットをB'000とし、TCNT4のカウンタクロックにφ / 1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

【注】 GRC、あるいはGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

## H'FE84 タイマインタラプトイネーブルレジスタ 3 TIER3

TPU3

ビット:	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	-	-	R/W	R/W	R/W	R/W	R/W

TGRインタラプトイネーブルA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

TGRインタラプトイネーブルC	
0	TGFCビットによる割り込み要求 (TGIC) を禁止
1	TGFCビットによる割り込み要求 (TGIC) を許可

TGRインタラプトイネーブルD	
0	TGFDビットによる割り込み要求 (TGID) を禁止
1	TGFDビットによる割り込み要求 (TGID) を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FE85 タイマステータスレジスタ 3 TSR3

TPU3

ビット:	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

TGRAインプットキャプチャ / アウトプットコンペアフラグ	
0	[クリア条件] (1) TGI A割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGI A割り込みによりDMACが起動され、DMACのDMABCRのDTEビットが1のとき (3) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ / アウトプットコンペアフラグ	
0	[クリア条件] (1) TGI B割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき、 (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

TGRCインプットキャプチャ / アウトプットコンペアフラグ	
0	[クリア条件] (1) TGI C割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFC = 1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

TGRDインプットキャプチャ / アウトプットコンペアフラグ	
0	[クリア条件] (1) TGI D割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFD = 1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

【注】\* フラグをクリアするための0ライトのみ可能です。



H'FE86 タイマカウンタ 3 TCNT3 TPU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑  
アップカウンタ

H'FE88 タイマジェネラルレジスタ 3A TGR3A TPU3

H'FE8A タイマジェネラルレジスタ 3B TGR3B TPU3

H'FE8C タイマジェネラルレジスタ 3C TGR3C TPU3

H'FE8E タイマジェネラルレジスタ 3D TGR3D TPU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

H'FE90 タイマコントロールレジスタ 4 TCR4

TPU4

ビット:	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイムプリスケアラ

0	0	0	内部クロック: $\phi / 1$ でカウント
		1	内部クロック: $\phi / 4$ でカウント
	1	0	内部クロック: $\phi / 16$ でカウント
		1	内部クロック: $\phi / 64$ でカウント
1	0	0	外部クロック: TCLKA端子入力でカウント
		1	外部クロック: TCLKC端子入力でカウント
	1	0	内部クロック: $\phi / 1024$ でカウント
		1	TCNT5のオーバフロー / アンダフローでカウント

【注】チャンネル4が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】チャンネル4が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ / インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ / インプットキャプチャでTCNTクリア
	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】\* 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

## H'FE91 タイマモードレジスタ 4 TMDR4

TPU4

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

## モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

\* : Don't care

【注】 MD3はリザーブビットです。  
ライト時には常に0を書き込んでください。

H'FE92 タイマ I/O コントロールレジスタ 4 TIOR4

TPU4

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR4A I/Oコントロール

0	0	0	0	TGR4Aは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
		1	0	0	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	1	0	0	0	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
		1	0	0	コンペアマッチで1出力	
				1	コンペアマッチでトグル出力	
1	0	0	0	TGR4Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
			1	インプット	TIOCA4端子	立ち下がりエッジでインプットキャプチャ
	1	*	*	0	キャプチャ	両エッジでインプットキャプチャ
				1	レジスタ	キャプチャ入力元は

\* : Don't care

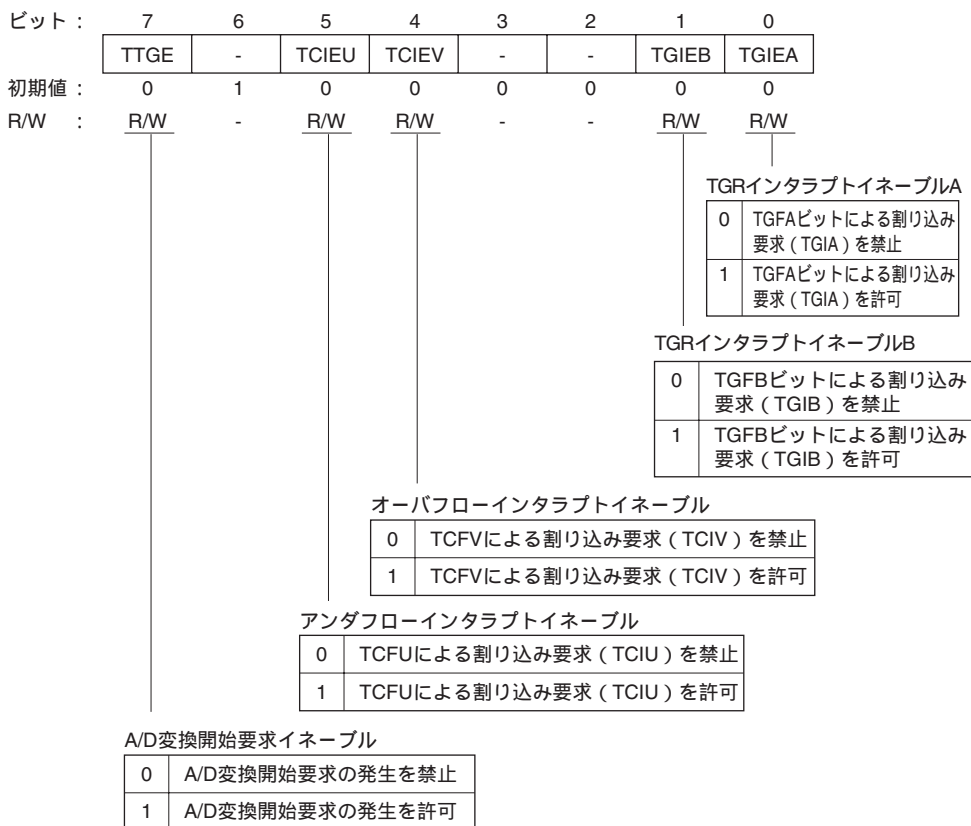
TGR4B I/Oコントロール

0	0	0	0	TGR4Bは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
		1	0	0	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	1	0	0	0	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
		1	0	0	コンペアマッチで1出力	
				1	コンペアマッチでトグル出力	
1	0	0	0	TGR4Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
			1	インプット	TIOCB4端子	立ち下がりエッジでインプットキャプチャ
	1	*	*	0	キャプチャ	両エッジでインプットキャプチャ
				1	レジスタ	キャプチャ入力元は

\* : Don't care

## H'FE94 タイマインタラプトイネーブルレジスタ 4 TIER4

TPU4



H'FE95 タイマステータスレジスタ 4 TSR4

TPU4

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGIA割り込みによりDMACが起動され、DMACのDMABCRのDTEビットが1のとき (3) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGRB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

アンダフローフラグ	
0	[クリア条件] TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FE96 タイマカウンタ 4 TCNT4

TPU4

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑  
アップ / ダウンカウンタ\*

【注】\* 位相計数モード、他のチャンネルのオーバーフロー / アンダフローのカウント時のみアップ / ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FE98 タイマジェネラルレジスタ 4A TGR4A

TPU4

H'FE9A タイマジェネラルレジスタ 4B TGR4B

TPU4

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FEA0 タイマコントロールレジスタ 5 TCR5

TPU5

ビット:	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイムプリスケアラ

0	0	0	内部クロック: $\phi/1$ でカウント
		1	内部クロック: $\phi/4$ でカウント
	1	0	内部クロック: $\phi/16$ でカウント
		1	内部クロック: $\phi/64$ でカウント
1	0	0	外部クロック: TCLKA端子入力でカウント
		1	外部クロック: TCLKC端子入力でカウント
	1	0	内部クロック: $\phi/256$ でカウント
		1	外部クロック: TCLKD端子入力でカウント

【注】チャンネル5が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】チャンネル5が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】\* 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。



H'FEA1 タイマモードレジスタ 5 TMDR5

TPU5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

\* : Don't care

【注】 MD3はリザーブビットです。  
 ライト時には常に0を書き込んでください。

H'FEA2 タイマ I/O コントロールレジスタ 5 TIOR5

TPU5

ビット :       7       6       5       4       3       2       1       0

IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 : 0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR5A I/Oコントロール

0	0	0	0	TGR5Aは	出力禁止	
				1	アウトプット	初期出力は0出力 コンペアマッチで0出力
				1	0	コンペア
	レジスタ	コンペアマッチでトグル出力				
	1	0	0	0	TGR5Aは	出力禁止
					1	初期出力は1出力
1					0	コンペア
	レジスタ	コンペアマッチでトグル出力				
1	*	0	0	TGR5Aは	キャプチャ入力元は	
				1	インプット	立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	TIOCA5端子
				レジスタ	両エッジでインプットキャプチャ	

\* : Don't care

TGR5B I/Oコントロール

0	0	0	0	TGR5Bは	出力禁止	
				1	アウトプット	初期出力は0出力 コンペアマッチで0出力
				1	0	コンペア
	レジスタ	コンペアマッチでトグル出力				
	1	0	0	0	TGR5Bは	出力禁止
					1	初期出力は1出力
1					0	コンペア
	レジスタ	コンペアマッチでトグル出力				
1	*	0	0	TGR5Bは	キャプチャ入力元は	
				1	インプット	立ち上がりエッジでインプットキャプチャ
				1	キャプチャ	TIOCB5端子
				レジスタ	両エッジでインプットキャプチャ	

\* : Don't care

## H'FEA4 タイマインタラプトイネーブルレジスタ 5 TIER5

TPU5

ビット :	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値 :	0	1	0	0	0	0	0	0
R/W :	R/W	-	R/W	R/W	-	-	R/W	R/W

TGRインタラプトイネーブルA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル	
0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FEA5 タイマステータスレジスタ 5 TSR5

TPU5

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	-	R/(W)*	R/(W)*	-	-	R/(W)*	R/(W)*

TGRAインプットキャプチャ / アウトプットコンペアフラグ	
0	〔クリア条件〕 (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGIA割り込みによりDMACが起動され、DMACのDMABCRのDTEビットが1のとき (3) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	〔セット条件〕 (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ / アウトプットコンペアフラグ	
0	〔クリア条件〕 (1) TGRB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	〔セット条件〕 (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバフローフラグ	
0	〔クリア条件〕 TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	〔セット条件〕 TCNTの値がオーバフロー (H'FFFF H'0000) したとき

アンダフローフラグ	
0	〔クリア条件〕 TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	〔セット条件〕 TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FEA6 タイマカウンタ 5 TCNT5 TPU5

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アップ/ダウンカウンタ\*

【注】\* 位相計数モード、他のチャンネルのオーバフロー/アンダフローのカウント時のみアップ/ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FEA8 タイマジェネラルレジスタ 5A TGR5A TPU5

H'FEAA タイマジェネラルレジスタ 5B TGR5B TPU5

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FEB0 ポート 1 データディレクションレジスタ P1DDR ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート1の各端子の入出力を指定

H'FEB1 ポート 2 データディレクションレジスタ P2DDR ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート2の各端子の入出力を指定

H'FEB2 ポート3 データディレクションレジスタ P3DDR ポート3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	W	W	W	W	W	W

ポート3の各端子の入出力を指定

H'FEB4 ポート5 データディレクションレジスタ P5DDR ポート5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DDR	P52DDR	P51DDR	P50DDR
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	W	W	W	W

ポート5の各端子の入出力を指定

H'FEB5 ポート6 データディレクションレジスタ P6DDR ポート6

ビット :	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート6の各端子の入出力を指定

H'FEB9 ポートA データディレクションレジスタ PADDR ポートA

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAの各端子の入出力を指定

H'FEBA ポート B データディレクションレジスタ PBDDR ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBの各端子の入出力を指定

H'FEBB ポート C データディレクションレジスタ PCDDR ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートCの各端子の入出力を指定

H'FEBC ポート D データディレクションレジスタ PDDDR ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートDの各端子の入出力を指定

H'FEBD ポート E データディレクションレジスタ PEDDR ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートEの各端子の入出力を指定

H'FEBE ポート F データディレクションレジスタ PFDDR ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
モード1、2、4~6								
初期値 :	1	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W
モード3、7								
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートFの各端子の入出力を指定

H'FEBF ポート G データディレクションレジスタ PGDDR ポート G

ビット :	7	6	5	4	3	2	1	0
				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR
モード1、4、5								
初期値 :	1	1	1	1	0	0	0	0
R/W :				W	W	W	W	W
モード2、3、6、7								
初期値 :	1	1	1	0	0	0	0	0
R/W :				W	W	W	W	W

ポートGの各端子の入出力を指定



H'FEC0 インタラプトコントロールレジスタ A ICRA 割り込みコントローラ  
 H'FEC1 インタラプトコントロールレジスタ B ICRB 割り込みコントローラ  
 H'FEC2 インタラプトコントロールレジスタ C ICRC 割り込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込みの割り込みコントロールレベルの設定

割り込み要因とICRの対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ <sub>0</sub>	IRQ <sub>1</sub>	IRQ <sub>2</sub> IRQ <sub>3</sub>	IRQ <sub>4</sub> IRQ <sub>5</sub>	IRQ <sub>6</sub> IRQ <sub>7</sub>	DTC	ウォッチ ドッグタイマ	リフレッシュ タイマ
ICRB	-	A/D 変換器	TPU チャンネル0	TPU チャンネル1	TPU チャンネル2	TPU チャンネル3	TPU チャンネル4	TPU チャンネル5
ICRC	8ビット タイマ チャンネル0	8ビット タイマ チャンネル1	DMAC	SCI チャンネル0	SCI チャンネル1	SCI チャンネル2	-	-

H'FEC4	インタラプトプライオリティレジスタ A	IPRA	割り込みコントローラ
H'FEC5	インタラプトプライオリティレジスタ B	IPRB	割り込みコントローラ
H'FEC6	インタラプトプライオリティレジスタ C	IPRC	割り込みコントローラ
H'FEC7	インタラプトプライオリティレジスタ D	IPRD	割り込みコントローラ
H'FEC8	インタラプトプライオリティレジスタ E	IPRE	割り込みコントローラ
H'FEC9	インタラプトプライオリティレジスタ F	IPRF	割り込みコントローラ
H'FECA	インタラプトプライオリティレジスタ G	IPRG	割り込みコントローラ
H'FECB	インタラプトプライオリティレジスタ H	IPRH	割り込みコントローラ
H'FECC	インタラプトプライオリティレジスタ I	IPRI	割り込みコントローラ
H'FECD	インタラプトプライオリティレジスタ J	IPRJ	割り込みコントローラ
H'FECE	インタラプトプライオリティレジスタ K	IPRK	割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	-	IPR6	IPR5	IPR4	-	IPR2	IPR1	IPR0
初期値 :	0	1	1	1	0	1	1	1
R/W :	-	R/W	R/W	R/W	-	R/W	R/W	R/W

割り込み要因の優先順位（レベル7～0）の設定

割り込み要因とIPRの対応

レジスタ	ビット	
	6～4	2～0
IPRA	IRQ <sub>0</sub>	IRQ <sub>1</sub>
IPRB	IRQ <sub>2</sub> IRQ <sub>3</sub>	IRQ <sub>4</sub> IRQ <sub>5</sub>
IPRC	IRQ <sub>6</sub> IRQ <sub>7</sub>	DTC
IPRD	WDT	リフレッシュタイマ
IPRE	-	A/D変換器
IPRF	TPUチャンネル0	TPUチャンネル1
IPRG	TPUチャンネル2	TPUチャンネル3
IPRH	TPUチャンネル4	TPUチャンネル5
IPRI	8ビットタイマチャンネル0	8ビットタイマチャンネル1
IPRJ	DMAC	SCIチャンネル0
IPRK	SCIチャンネル1	SCIチャンネル2

## H'FED0 バス幅コントロールレジスタ ABWCR

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード1、2、5、6								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
モード3、4、7								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0バス幅コントロール

0	エリアnを16ビットアクセス空間に設定
1	エリアnを8ビットアクセス空間に設定

(n=7~0)

## H'FED1 アクセスステートコントロールレジスタ ASTCR

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0アクセスステートコントロール

0	エリアnを2ステートアクセス空間に設定 エリアnの外部空間アクセスにウェイトステートの挿入を禁止
1	エリアnの外部空間アクセスは3ステートアクセス エリアnの外部空間アクセスにウェイトステートの挿入を許可

(n=7~0)

H'FED2 ウェイトコントロールレジスタ H WCRH

バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア4ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア5ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア6ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

エリア7ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

## H'FED3 ウェイトコントロールレジスタ L WCRL

バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## エリア0ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

## エリア1ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

## エリア2ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

## エリア3ウェイトコントロール

0	0	プログラムウェイトを挿入しない
	1	プログラムウェイトを1ステート挿入
1	0	プログラムウェイトを2ステート挿入
	1	プログラムウェイトを3ステート挿入

H'FED4 バスコントロールレジスタ H BCRH

バスコントローラ

ビット :

7	6	5	4	3	2	1	0
ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	RMTS2	RMTS1	RMTS0

初期値 :

1	1	0	1	0	0	0	0
---	---	---	---	---	---	---	---

R/W :

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

RAMタイプセレクト

RMTS2	RMTS1	RMTS0	エリア5	エリア4	エリア3	エリア2
0	0	0	通常空間			
		1	通常空間	DRAM空間		
	1	0	通常空間	DRAM空間		
		1	DRAM空間			
1	0	0	通常空間			
		1	通常空間	PSRAM空間		
	1	0	通常空間	PSRAM空間		
		1	PSRAM空間			

バーストサイクルセレクト0

0	バーストアクセスは最大4ワード
1	バーストアクセスは最大8ワード

バーストサイクルセレクト1

0	バーストサイクルは1ステート
1	バーストサイクルは2ステート

エリア0バーストROMイネーブル

0	基本バスインタフェース
1	バーストROMインタフェース

アイドルサイクル挿入0

0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する

アイドルサイクル挿入1

0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する

## H'FED5 バスコントロールレジスタ L BCRL

## バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	BLE	BREQOE	EAE	LCASS	DDS	ASS	WDBE	WAITE
初期値:	0	0	1	1	1	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WAIT端子イネーブル	
0	WAIT端子によるウェイト入力を禁止
1	WAIT端子によるウェイト入力を許可

ライトデータバッファイネーブル	
0	ライトデータバッファ機能を使用しない
1	ライトデータバッファ使用する

エリア分割単位セレクト	
0	128kバイト (1Mビット)
1	2Mバイト (16Mビット)

DDS	
0	DRAM / PSRAM空間に対してDMACシングルアドレス転送を行う場合、必ずフルアクセスを実行。DACK信号は $T_1$ または $T_1$ サイクルからLowレベルを出力。
1	DRAM / PSRAM空間に対してDMACシングルアドレス転送を行う場合もバーストアクセス可能。DACK信号は $T_{c1}$ または $T_2$ サイクルからLowレベルを出力。

LCAS端子セレクト	
0	2CAS方式DRAMインタフェースのLCAS信号としてLCAS端子を使用。 (LCAS信号を使用する場合、BREQO出力、WAIT入力は使用不可)
1	2CAS方式DRAMインタフェースのLCAS信号としてLWR端子を使用。 (RASダウンモードは使用不可)

外部アドレスH'010000 ~ H'01FFFFイネーブル	
0	内蔵ROM (H8S/2655の場合) またはリザーブ領域* (H8S/2653の場合)
1	外部アドレス (外部拡張モードの場合) またはリザーブ領域* (シングルチップモード)

【注】\* リザーブ領域はアクセスしないでください。

BREQO端子イネーブル	
0	BREQO出力禁止
1	BREQO出力許可

バスリリースイネーブル	
0	外部バス権の解放を禁止
1	外部バス権の解放を許可

H'FED6 メモリコントロールレジスタ MCR

バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	TPC	BE	RCDM	CW2	MXC1	MXC0	RLW1	RLW0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュサイクルウェイト  
コントロール

0	0	ウェイトステートを挿入しない
	1	ウェイトステートを1ステート挿入する
1	0	ウェイトステートを2ステート挿入する
	1	ウェイトステートを3ステート挿入する

マルチプレクスシフトカウンタ

0	0	8ビットシフト
	1	9ビットシフト
1	0	10ビットシフト
	1	

CAS2本方式 / WE2本方式選択

0	CAS2本方式を選択 : $\overline{\text{CASH}}$ 、 $\overline{\text{CASL}}$ 、 $\overline{\text{WE}}$ 信号が有効
1	WE2本方式を選択 : $\overline{\text{CAS}}$ 、 $\overline{\text{UWE}}$ 、 $\overline{\text{LWE}}$ 信号が有効

RAS / CSダウンモード

0	DRAMインタフェース : RASアップモードを選択
1	DRAMインタフェース : RASダウンモードを選択

バーストアクセスイネーブル

0	バースト禁止 (常にフルアクセス)
1	(1) DRAM空間アクセス時 高速ページモードでアクセス (2) PSRAM空間アクセス時 スタティックカラムモードでアクセス

TPサイクルコントロール

0	プリチャージサイクルを1ステート挿入
1	プリチャージサイクルを2ステート挿入



H'FED7 DRAM コントロールレジスタ DRAMCR

バスコントローラ

ビット :	7	6	5	4	3	2	1	0
	RFSHE	RCW	RMODE	CMF	CMIE	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リフレッシュカウンタクロックセレクト

0	0	0	カウント動作停止
		1	$\phi/2$ でカウント
	1	0	$\phi/8$ でカウント
		1	$\phi/32$ でカウント
1	0	0	$\phi/128$ でカウント
		1	$\phi/512$ でカウント
	1	0	$\phi/2048$ でカウント
		1	$\phi/4096$ でカウント

コンペアマッチ割り込みイネーブル

0	CMFフラグによる割り込み要求 (CMI) を禁止
1	CMFフラグによる割り込み要求 (CMI) を許可

コンペアマッチフラグ

0	[ クリア条件 ] CMF = 1の状態、CMFフラグをリードした後、CMFフラグに0をライトしたとき
1	[ セット条件 ] RTCNT = RTCORになったとき

リフレッシュモード選択

0	DRAMインタフェース : CASビフォRASリフレッシュ
	PSRAMインタフェース : オートリフレッシュ
1	セルフリフレッシュ

RAS・CAS間ウェイト

0	CASビフォRASリフレッシュ時のウェイトステートの挿入を禁止 RAS立ち下がりは $T_{Rr}$ サイクル
1	CASビフォRASリフレッシュ時にウェイトを1ステート挿入 RAS立ち下がりは $T_{RC1}$ サイクル

リフレッシュ制御

0	リフレッシュ制御を行わない
1	リフレッシュ制御を行う

H'FED8 リフレッシュタイムカウンタ RTCNT バスコントローラ

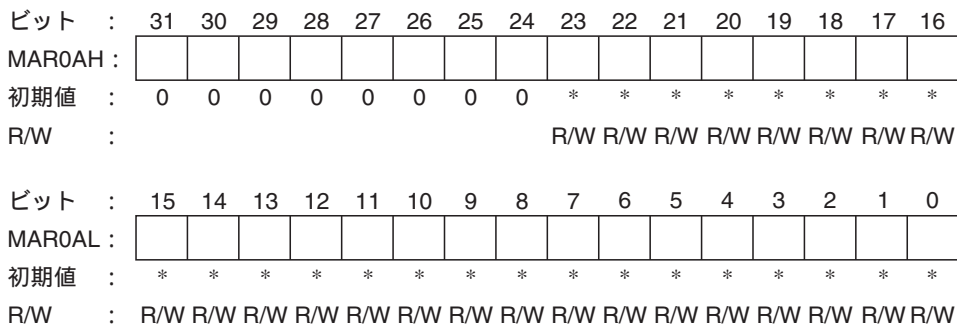


H'FED9 リフレッシュタイムコンスタントレジスタ RTCOR バスコントローラ



H'FEE0 メモリアドレスレジスタ 0AH MAR0AH DMAC

H'FEE2 メモリアドレスレジスタ 0AL MAR0AL DMAC



\* : 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
フルアドレスモード時 : 転送元アドレスを指定

H'FEE4 I/O アドレスレジスタ 0A IOAR0A DMAC

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOAR0A :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\* : 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
フルアドレスモード時 : 未使用

H'FEE6 転送カウントレジスタ 0A ETCR0A DMAC

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCR0A :																
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シーケンシャルモード		
アイドルモード	転送カウンタ	
ノーマルモード		

リピートモード		
	転送回数保持	転送カウンタ

ブロック転送モード		
	ブロックサイズ保持	ブロックサイズカウンタ

\* : 不定

H'FEE8 メモリアドレスレジスタ 0BH MAR0BH DMAC

H'FEEA メモリアドレスレジスタ 0BL MAR0BL DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 MAR0BH : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : 0 0 0 0 0 0 0 0 0 \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 MAR0BL : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

\* : 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
 フルアドレスモード時 : 転送先アドレスを指定

H'FEEC I/O アドレスレジスタ 0B IOAR0B DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 IOAR0B : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

\* : 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
 フルアドレスモード時 : 未使用

H'FE0E 転送カウントレジスタ 0B ETCR0B

DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 ETCR0B : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

シーケンシャルモード  
およびアイドルモード

転送カウンタ

リピートモード

転送回数保持

転送カウンタ

ブロック転送  
モード

ブロック転送カウンタ

\*: 不定

【注】ノーマルモードでは使用しません。

H'FEF0 メモリアドレスレジスタ 1AH MAR1AH

DMAC

H'FEF2 メモリアドレスレジスタ 1AL MAR1AL

DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 MAR1AH : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : 0 0 0 0 0 0 0 0 \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 MAR1AL : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

\*: 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
 フルアドレスモード時 : 転送元アドレスを指定

H'FEF4 I/O アドレスレジスタ 1A IOAR1A DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 IOAR1A: 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

\*: 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
 フルアドレスモード時 : 未使用

H'FEF6 転送カウントレジスタ 1A ETCR1A DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 ETCR1A: 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

シーケンシャルモード		
アイドルモード	転送カウンタ	
ノーマルモード		
リピートモード	転送回数保持	転送カウンタ
ブロック転送モード	ブロックサイズ保持	ブロックサイズカウンタ

\*: 不定

H'FEF8 メモリアドレスレジスタ 1BH MAR1BH DMAC

H'FEFA メモリアドレスレジスタ 1BL MAR1BL DMAC

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16  
 MAR1BH : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : 0 0 0 0 0 0 0 0 0 \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 MAR1BL : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

\* : 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
 フルアドレスモード時 : 転送先アドレスを指定

H'FEFC I/O アドレスレジスタ 1B IOAR1B DMAC

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0  
 IOAR1B : 

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

  
 初期値 : \* \* \* \* \* \* \* \* \* \* \* \* \* \* \* \*  
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

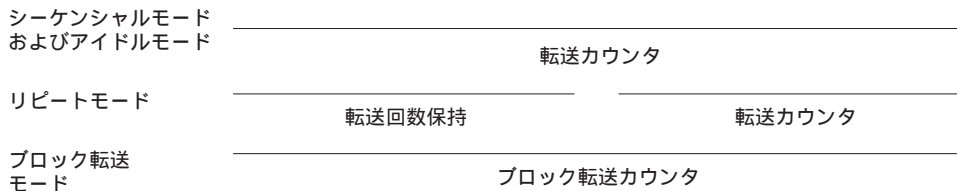
\* : 不定

ショートアドレスモード時 : 転送元 / 転送先アドレスを指定  
 フルアドレスモード時 : 未使用

H'FEFE 転送カウントレジスタ 1B ETCR1B

DMAC

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETCR1B																
初期値	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



\*: 不定

【注】 ノーマルモードでは使用しません。

H'FF00 DMA ライトイネーブルレジスタ DMAWER

DMAC

ビット	7	6	5	4	3	2	1	0
DMAWER					WE1B	WE1A	WE0B	WE0A
初期値	0	0	0	0	0	0	0	0
R/W					R/W	R/W	R/W	R/W

ライトイネーブル0A

0	DMACR0AのすべてのビットとDMABCRのビット8、4、0へのライトを禁止
1	DMACR0AのすべてのビットとDMABCRのビット8、4、0へのライトを許可

ライトイネーブル0B

0	DMACR0BのすべてのビットとDMABCRのビット9、5、1、DMATCRのビット4へのライトを禁止
1	DMACR0BのすべてのビットとDMABCRのビット9、5、1、DMATCRのビット4へのライトを許可

ライトイネーブル1A

0	DMACR1AのすべてのビットとDMABCRのビット10、6、2へのライトを禁止
1	DMACR1AのすべてのビットとDMABCRのビット10、6、2へのライトを許可

ライトイネーブル1B

0	DMACR1BのすべてのビットとDMABCRのビット11、7、3 DMATCRのビット5へのライトを禁止
1	DMACR1BのすべてのビットとDMABCRのビット11、7、3 DMATCRのビット5へのライトを許可



H'FF01 DMA ターミナルコントロールレジスタ DMATCR DMAC

ビット :	7	6	5	4	3	2	1	0
DMATCR :			TEE1	TEE0				
初期値 :	0	0	0	0	0	0	0	0
R/W :			R/W	R/W				

TEND<sub>0</sub>端子イネーブル

0	TEND <sub>0</sub> 端子出力を禁止
1	TEND <sub>0</sub> 端子出力を許可

TEND<sub>1</sub>端子イネーブル

0	TEND <sub>1</sub> 端子出力を禁止
1	TEND <sub>1</sub> 端子出力を許可

H'FF02 DMA コントロールレジスタ 0A DMACR0A DMAC  
 H'FF03 DMA コントロールレジスタ 0B DMACR0B DMAC  
 H'FF04 DMA コントロールレジスタ 1A DMACR1A DMAC  
 H'FF05 DMA コントロールレジスタ 1B DMACR1B DMAC

フルアドレスモード時

DMACRA

ビット	15	14	13	12	11	10	9	8
DMACRA	DTSZ	SAID	SAIDE	BLKDIR	BLKE			
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

転送モード/ブロックエリア設定

0	0	ノーマルモードで転送
	1	ブロック転送モードで転送、ブロックエリアはデスティネーション側
1	0	ノーマルモードで転送
	1	ブロック転送モードで転送、ブロックエリアはソース側

ソースアドレス設定

0	0	MARA固定
	1	データ転送後、MARAをインクリメント
1	0	MARA固定
	1	データ転送後、MARAをデクリメント

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

(次ページに続く)

(前ページより)

DMACRB

ビット	7	6	5	4	3	2	1	0
DMACRB		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データ転送の起動要因選択

DTF3	DTF2	DTF1	DTF0	ブロック転送モード	ノーマルモード
0	0	0	0	-	-
			1	A/D変換器の変換終了割り込み	-
	1	0	0	DREQ端子の立ち下がりエッジ入力	DREQ端子の立ち下がりエッジ入力
			1	DREQ端子のLowレベル入力	DREQ端子のLowレベル入力
	1	0	0	SCIチャンネル0の送信完了割り込み	-
			1	SCIチャンネル0の受信完了割り込み	-
1		0	0	SCIチャンネル1の送信完了割り込み	オートリクエスト(サイクルスチール)
		1	1	SCIチャンネル1の受信完了割り込み	オートリクエスト(バースト)
1	0	0	0	TPUチャンネル0のコンペアマッチ / インพุットキャプチャA割り込み	-
			1	TPUチャンネル1のコンペアマッチ / インพุットキャプチャA割り込み	-
		1	0	TPUチャンネル2のコンペアマッチ / インพุットキャプチャA割り込み	-
			1	TPUチャンネル3のコンペアマッチ / インพุットキャプチャA割り込み	-
	1	0	0	TPUチャンネル4のコンペアマッチ / インพุットキャプチャA割り込み	-
			1	TPUチャンネル5のコンペアマッチ / インพุットキャプチャA割り込み	-
		1	*	-	-

\* : Don't care

デスティネーションアドレスインクリメント/デクリメント

0	0	MARB固定
	1	データ転送後、MARBをインクリメント
1	0	MARB固定
	1	データ転送後、MARBをデクリメント

(次ページに続く)

(前ページより)

ショートアドレスモード時

ビット :	7	6	5	4	3	2	1	0
DMACR :	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファファクタ

				チャンネルA	チャンネルB		
0	0	0	0	-			
			1	A/D変換器の変換終了割り込みで起動			
			1	0	DREQの端子の立ち下がりエッジ入力で起動		
		1	1	DREQの端子のLOWレベル入力で起動			
		1	0	0	SCIチャンネル0の送信完了割り込みで起動		
				1	SCIチャンネル0の受信完了割り込みで起動		
	1			0	SCIチャンネル1の送信完了割り込みで起動		
	1	0	0	0	TPUチャンネル0のコンペアマッチ / インพุットキャプチャA割り込みで起動		
				1	TPUチャンネル1のコンペアマッチ / インพุットキャプチャA割り込みで起動		
				1	0	TPUチャンネル2のコンペアマッチ / インพุットキャプチャA割り込みで起動	
			1	0	0	TPUチャンネル3のコンペアマッチ / インพุットキャプチャA割り込みで起動	
					1	0	TPUチャンネル4のコンペアマッチ / インพุットキャプチャA割り込みで起動
1					1	TPUチャンネル5のコンペアマッチ / インพุットキャプチャA割り込みで起動	
1	0	0	-				
1	1	0	-				

データトランスファディレクション

0	デュアルアドレスモード時： MARをソースアドレス、IOARを デスティネーションアドレスとして転送 シングルアドレスモード時： MARをソースアドレス、DACK端子を ライトストロブとして転送
1	デュアルアドレスモード時： IOARをソースアドレス、MARを デスティネーションアドレスとして転送 シングルアドレスモード時： DACK端子をリードストロブ、MARを デスティネーションアドレスとして転送

リポートイネーブル

0	シークンシャルモード
1	リポートモードまたはアイドルモード

データトランスインクリメント / デクリメント

0	データ転送後MARをインクリメント
1	データ転送後MARをデクリメント

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

H'FF06 DMA バンドコントロールレジスタ DMABCRH DMAC

H'FF07 DMA バンドコントロールレジスタ DMABCRL DMAC

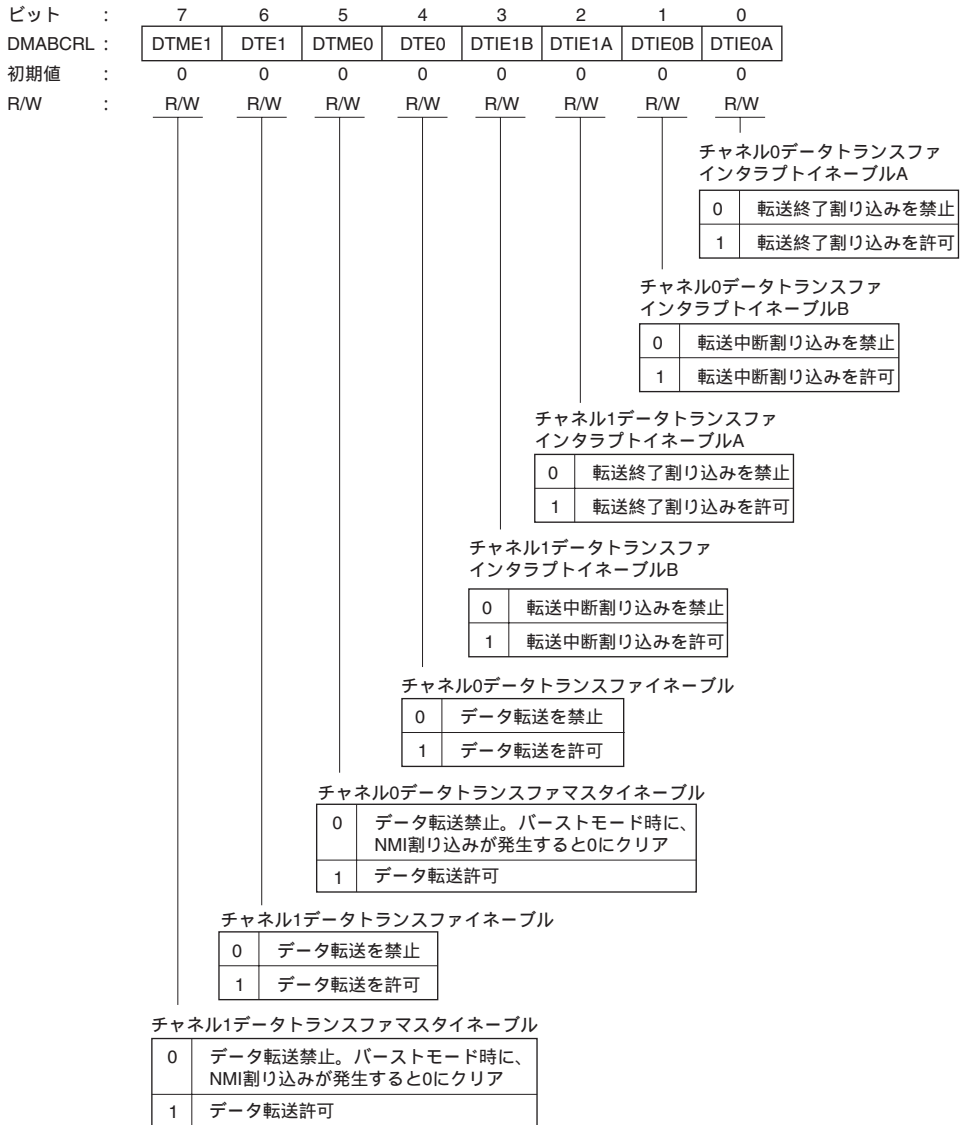
フルアドレスモード時



(次ページに続く)

(前ページより)

フルアドレスモード時



(次ページに続く)

(前ページより)

ショートアドレスモード時

ビット	15	14	13	12	11	10	9	8
DMABCRH	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル0Aデータ転送ファクノレッジ

0	選択されている内部割り込み要因のDMA転送時のクリアを禁止
1	選択されている内部割り込み要因のDMA転送時のクリアを許可

チャンネル0Bデータ転送ファクノレッジ

0	選択されている内部割り込み要因のDMA転送時のクリアを禁止
1	選択されている内部割り込み要因のDMA転送時のクリアを許可

チャンネル1Aデータ転送ファクノレッジ

0	選択されている内部割り込み要因のDMA転送時のクリアを禁止
1	選択されている内部割り込み要因のDMA転送時のクリアを許可

チャンネル1Bデータ転送ファクノレッジ

0	選択されている内部割り込み要因のDMA転送時のクリアを禁止
1	選択されている内部割り込み要因のDMA転送時のクリアを許可

チャンネル0Bシングルアドレスイネーブル

0	デュアルアドレスモードで転送
1	シングルアドレスモードで転送

チャンネル1Bシングルアドレスイネーブル

0	デュアルアドレスモードで転送
1	シングルアドレスモードで転送

チャンネル0フルアドレスイネーブル

0	ショートアドレスモード
1	フルアドレスモード

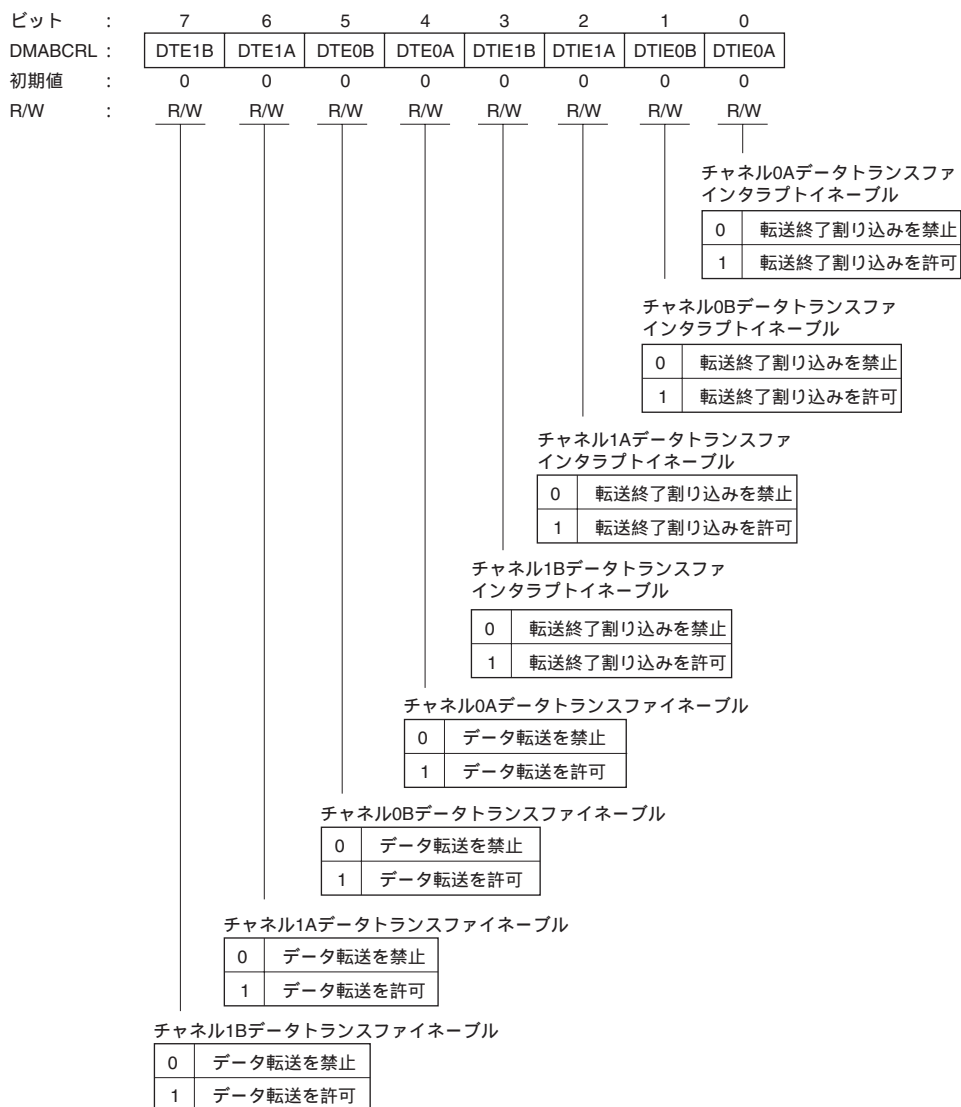
チャンネル1フルアドレスイネーブル

0	ショートアドレスモード
1	フルアドレスモード

(次ページに続く)

(前ページより)

ショートアドレスモード時





H'FF2C IRQ センスコントロールレジスタ H ISCRH

割り込みコントローラ

H'FF2D IRQ センスコントロールレジスタ L ISCLR

割り込みコントローラ

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ<sub>7</sub> ~ IRQ<sub>4</sub>センスコントロール

ISCLR

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ<sub>3</sub> ~ IRQ<sub>0</sub>センスコントロール

IRQ <sub>n</sub> SCB	IRQ <sub>n</sub> SCA	割り込み要求の発生
0	0	$\overline{\text{IRQ}}_n$ 入力のLowレベル
	1	$\overline{\text{IRQ}}_n$ 入力の立ち下がリエッジ
1	0	$\overline{\text{IRQ}}_n$ 入力の立ち上がリエッジ
	1	$\overline{\text{IRQ}}_n$ 入力の立ち下がり、立ち上がり両エッジ

(n = 7 ~ 0)

H'FF2E IRQ イネーブルレジスタ IER 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ<sub>n</sub>イネーブル

0	IRQ <sub>n</sub> 割り込みを禁止
1	IRQ <sub>n</sub> 割り込みを許可

(n = 7 ~ 0)

H'FF2F IRQ ステータスレジスタ ISR 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ<sub>7</sub> ~ IRQ<sub>0</sub>割り込み要求のステータス表示

【注】\* フラグをクリアするための0ライトのみ可能です。

## H'FF30 ~ H'FF35 DTC イネーブルレジスタ DTCERA ~ DTCERF DTC

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## DTC起動イネーブル

0	割り込みによるDTC起動を禁止 [クリア条件] ・DISELビットが1でデータ転送を終了したとき ・指定した回数の転送が終了したとき
1	割り込みによるDTC起動を許可 [保持条件] DISELビットが0で、指定した回数の転送が終了していないとき

## 割り込み要因とDTCERの対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
DTCERA	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
DTCERB	-	ADI	TGI0A	TGI0B	TGI0C	TGI0D	TGI1A	TGI1B
DTCERC	TGI2A	TGI2B	TGI3A	TGI3B	TGI3C	TGI3D	TGI4A	TGI4B
DTCERD	-	-	TGI5A	TGI5B	CMIA0	CMIB0	CMIA1	CMIB1
DTCERE	DMTEND0A	DMTEND0B	DMTEND1A	DMTEND1B	RXI0	TXI0	RXI1	TXI1
DTCERF	RXI2	TXI2	-	-	-	-	-	-

H'FF37 DTC ベクタレジスタ DTVECR

DTC

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCソフトウェア起動のベクタ番号を設定

DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [ クリア条件 ] DISELビットが0で、指定した回数の転送が終了していないとき
1	DTCソフトウェア起動を許可 [ 保持条件 ] ・ DISELビットが1でデータ転送を終了したとき ・ 指定した回数の転送が終了したとき ・ ソフトウェア起動によるデータ転送中

【注】\* SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

## H'FF38 スタンバイコントロールレジスタ SBYCR

低消費電力

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	-	-	-
初期値:	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	-	-	-

出力ポートイネーブル

0	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持

## スタンバイタイムマセレクト

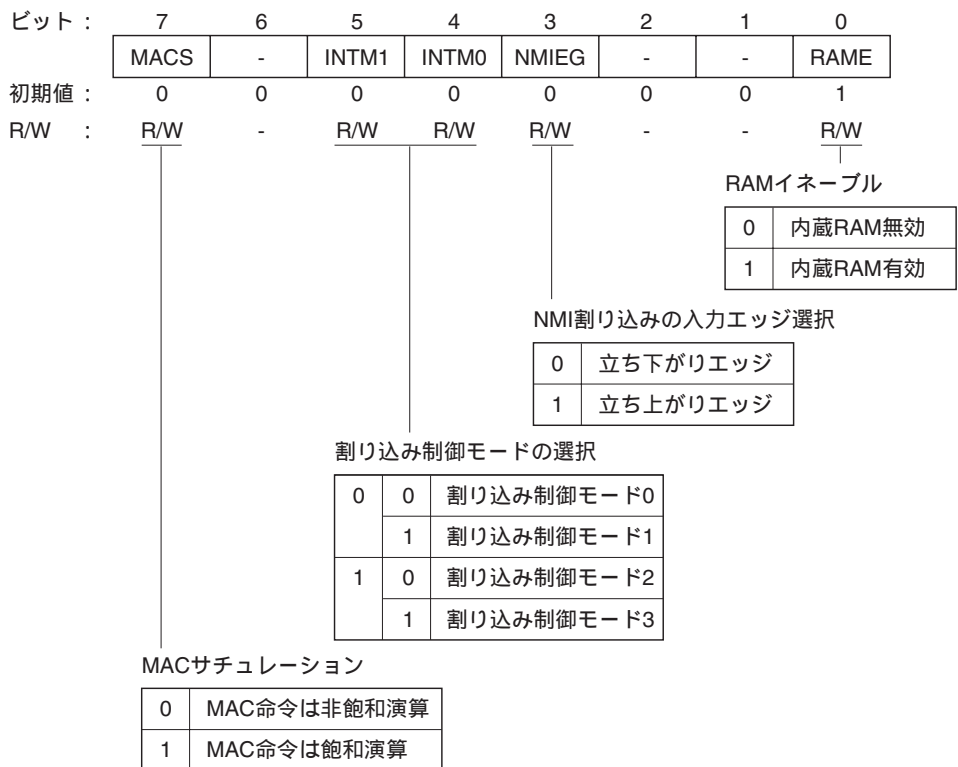
0	0	0	待機時間 = 8192ステート
		1	待機時間 = 16384ステート
	1	0	待機時間 = 32768ステート
		1	待機時間 = 65536ステート
1	0	0	待機時間 = 131072ステート
		1	待機時間 = 262144ステート
	1		待機時間 = 16ステート

## ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

H'FF39 システムコントロールレジスタ SYSCR

MCU



## H'FF3A システムクロックコントロールレジスタ SCKCR

## クロック発振器

ビット:	7	6	5	4	3	2	1	0
	PSTOP	-	-	-	-	SCK2	SCK1	SCK0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	-	-	-	-	R/W	R/W	R/W

## バスマスタのクロックの選択

0	0	0	バスマスタは高速モード
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1		

 $\phi$ クロック出力制御

PSTOP	通常動作状態	スリープモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
0	$\phi$ 出力	$\phi$ 出力	Highレベル固定	ハイインピーダンス
1	Highレベル固定	Highレベル固定	Highレベル固定	ハイインピーダンス

## H'FF3B モードコントロールレジスタ MDCR

## MCU

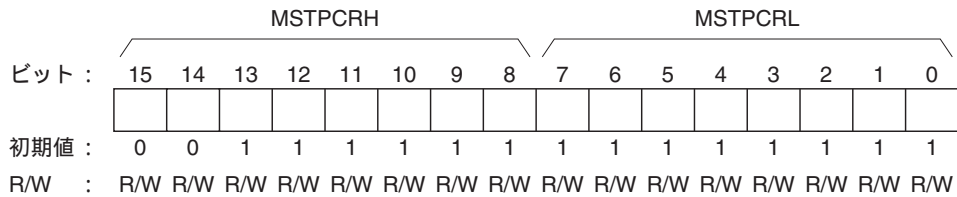
ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	MDS2	MDS1	MDS0
初期値:	1	0	0	0	0	-*	-*	-*
R/W:	-	-	-	-	-	R	R	R

モード端子の現在の動作モード

【注】\* MD<sub>2</sub>~MD<sub>0</sub>端子により決定されます。

H'FF3C モジュールストップコントロールレジスタ H MSTPCRH 低消費電力

H'FF3D モジュールストップコントロールレジスタ L MSTPCRL 低消費電力



モジュールストップモードを指定

0	モジュールストップモード解除
1	モジュールストップモード設定



## H'FF46 PPG 出力コントロールレジスタ PCR

PPG

ビット :	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

パルス出力グループ0の出力トリガ選択

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

パルス出力グループ1の出力トリガ選択

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

パルス出力グループ2の出力トリガ選択

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

パルス出力グループ3の出力トリガ選択

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

H'FF47 PPG 出力モードレジスタ PMR

PPG

ビット :	7	6	5	4	3	2	1	0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値 :	1	1	1	1	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

パルス出力グループnの通常 / ノンオーバーラップ動作選択

0	パルス出力グループnは、通常動作（選択されたTPUのコンペアマッチAで出力値を更新）
1	パルス出力グループnは、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に出力可能）

n = 3 ~ 0

パルス出力グループnの直接 / 反転出力

0	パルス出力グループnは、反転出力（PODRHの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループnは、直接出力（PODRHの内容1に対して、端子にHighレベルを出力）

n = 3 ~ 0

H'FF48 ネクストデータイネーブルレジスタ H NDERH

PPG

H'FF49 ネクストデータイネーブルレジスタ L NDERL

PPG

NDERH

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

パルス出力の許可 / 禁止を選択

0	パルス出力PO <sub>15</sub> ~ PO <sub>8</sub> を禁止
1	パルス出力PO <sub>15</sub> ~ PO <sub>8</sub> を許可

NDERL

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

パルス出力の許可 / 禁止を選択

0	パルス出力PO <sub>7</sub> ~ PO <sub>0</sub> を禁止
1	パルス出力PO <sub>7</sub> ~ PO <sub>0</sub> を許可

H'FF4A アウトプットデータレジスタ H PODRH PPG

H'FF4B アウトプットデータレジスタ L PODRL PPG

PODRH

ビット :	7	6	5	4	3	2	1	0
	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

パルス出力を使用する場合の出力データを格納

PODRL

ビット :	7	6	5	4	3	2	1	0
	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

パルス出力を使用する場合の出力データを格納

【注】\* NDERにより、パルス出力に設定されたビットはリード専用となります。

## H'FF4C(FF4E) ネクストデータレジスタ H NDRH

PPG

(1) パルス出力グループの出力トリガが同一の場合

(a) アドレス : H'FF4C

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

パルス出力グループ3、2の次のデータを格納

(b) アドレス : H'FF4E

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

(2) パルス出力グループの出力トリガが異なる場合

(a) アドレス : H'FF4C

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

パルス出力グループ3の次のデータを格納

(b) アドレス : H'FF4E

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

パルス出力グループ2の次のデータを格納

H'FF4D(FF4F) ネクストデータレジスタ L NDRL

PPG

(1) パルス出力グループの出力トリガが同一の場合

(a) アドレス : H'FF4D

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

パルス出力グループ1、0の次のデータを格納

(b) アドレス : H'FF4F

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	-	-	-	-	-	-	-	-

(2) パルス出力グループの出力トリガが異なる場合

(a) アドレス : H'FF4D

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	-	-	-	-
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	-	-	-	-

パルス出力グループ1の次のデータを格納

(b) アドレス : H'FF4F

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

パルス出力グループ0の次のデータを格納

## H'FF50 ポート 1 レジスタ PORT1

ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポート1の各端子の状態

【注】\* P17~P10端子の状態により決定されます。

## H'FF51 ポート 2 レジスタ PORT2

ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポート2の各端子の状態

【注】\* P27~P20端子の状態により決定されます。

## H'FF52 ポート 3 レジスタ PORT3

ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35	P34	P33	P32	P31	P30
初期値 :	1	1	- *	- *	- *	- *	- *	- *
R/W :	-	-	R	R	R	R	R	R

ポート3の各端子の状態

【注】\* P35~P30端子の状態により決定されます。

H'FF53 ポート 4 レジスタ PORT4 ポート 4

ビット :	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値 :	- *	- *	- *	- *	- *	- *	*	- *
R/W :	R	R	R	R	R	R	R	R

ポート4の各端子の状態

【注】\* P4<sub>7</sub> ~ P4<sub>0</sub>端子の状態により決定されます。

H'FF54 ポート 5 レジスタ PORT5 ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53	P52	P51	P50
初期値 :	1	1	1	1	- *	- *	- *	- *
R/W :	-	-	-	-	R	R	R	R

ポート5の各端子の状態

【注】\* P5<sub>3</sub> ~ P5<sub>0</sub>端子の状態により決定されます。

H'FF55 ポート 6 レジスタ PORT6 ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポート6の各端子の状態

【注】\* P6<sub>7</sub> ~ P6<sub>0</sub>端子の状態により決定されます。



## H'FF59 ポート A レジスタ PORTA

ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|  
ポートAの各端子の状態

【注】\* PA<sub>7</sub>～PA<sub>0</sub>端子の状態により決定されます。

## H'FF5A ポート B レジスタ PORTB

ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|  
ポートBの各端子の状態

【注】\* PB<sub>7</sub>～PB<sub>0</sub>端子の状態により決定されます。

## H'FF5B ポート C レジスタ PORTC

ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

|  
ポートCの各端子の状態

【注】\* PC<sub>7</sub>～PC<sub>0</sub>端子の状態により決定されます。

H'FF5C ポート D レジスタ PORTD

ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートDの各端子の状態

【注】\* PD<sub>7</sub>～PD<sub>0</sub>端子の状態により決定されます。

H'FF5D ポート E レジスタ PORTE

ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートEの各端子の状態

【注】\* PE<sub>7</sub>～PE<sub>0</sub>端子の状態により決定されます。

H'FF5E ポート F レジスタ PORTF

ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
初期値 :	- *	- *	- *	- *	- *	- *	- *	- *
R/W :	R	R	R	R	R	R	R	R

ポートFの各端子の状態

【注】\* PF<sub>7</sub>～PF<sub>0</sub>端子の状態により決定されます。

## H'FF5F ポート G レジスタ PORTG

ポート G

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4	PG3	PG2	PG1	PG0
初期値 :	1	1	1	- *	- *	- *	- *	- *
R/W :	-	-	-	R	R	R	R	R

|  
ポートGの各端子の状態

【注】\* PG<sub>4</sub> ~ PG<sub>0</sub>端子の状態により決定されます。

## H'FF60 ポート 1 データレジスタ P1DR

ポート 1

ビット :	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

|  
ポート1の各端子 (P1<sub>7</sub> ~ P1<sub>0</sub>) の出力データを格納

## H'FF61 ポート 2 データレジスタ P2DR

ポート 2

ビット :	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

|  
ポート2の各端子 (P2<sub>7</sub> ~ P2<sub>0</sub>) の出力データを格納

## H'FF62 ポート 3 データレジスタ P3DR

ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

|  
ポート3の各端子 (P3<sub>5</sub> ~ P3<sub>0</sub>) の出力データを格納

H'FF64 ポート 5 データレジスタ P5DR ポート 5

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	P53DR	P52DR	P51DR	P50DR
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

ポート5の各端子 (P5<sub>3</sub>~P5<sub>0</sub>) の出力データを格納

H'FF65 ポート 6 データレジスタ P6DR ポート 6

ビット :	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6の各端子 (P6<sub>7</sub>~P6<sub>0</sub>) の出力データを格納

H'FF69 ポート A データレジスタ PADR ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAの各端子 (PA<sub>7</sub>~PA<sub>0</sub>) の出力データを格納

H'FF6A ポート B データレジスタ PBDR ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBの各端子 (PB<sub>7</sub>~PB<sub>0</sub>) の出力データを格納

H'FF6B ポート C データレジスタ PCDR ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCの各端子 (PC<sub>7</sub>~PC<sub>0</sub>) の出力データを格納

H'FF6C ポート D データレジスタ PDDR ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートDの各端子 (PD<sub>7</sub>~PD<sub>0</sub>) の出力データを格納

H'FF6D ポート E データレジスタ PEDR ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートEの各端子 (PE<sub>7</sub>~PE<sub>0</sub>) の出力データを格納

H'FF6E ポート F データレジスタ PFDR ポート F

ビット :	7	6	5	4	3	2	1	0
	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートFの各端子 (PF<sub>7</sub>~PF<sub>0</sub>) の出力データを格納

H'FF6F ポート G データレジスタ PGDR ポート G

ビット :	7	6	5	4	3	2	1	0
	-	-	-	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値 :	1	1	1	0	0	0	0	0
R/W :	-	-	-	R/W	R/W	R/W	R/W	R/W

ポートGの各端子 (PG<sub>4</sub> ~ PG<sub>0</sub>) の出力データを格納

H'FF70 ポート A プルアップ MOS コントロールレジスタ PAPCR ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAに内蔵された入力プルアップMOSをビットごとに制御

H'FF71 ポート B プルアップ MOS コントロールレジスタ PBPCR ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBに内蔵された入力プルアップMOSをビットごとに制御

H'FF72 ポート C プルアップ MOS コントロールレジスタ PCPCR ポート C

ビット :	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCに内蔵された入力プルアップMOSをビットごとに制御

## H'FF73 ポート D プルアップ MOS コントロールレジスタ PDPCR ポート D

ビット :	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートDに内蔵された入力プルアップMOSをビットごとに制御

## H'FF74 ポート E プルアップ MOS コントロールレジスタ PEPCR ポート E

ビット :	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートEに内蔵された入力プルアップMOSをビットごとに制御

## H'FF76 ポート 3 オープンドレインコントロールレジスタ P3ODR ポート 3

ビット :	7	6	5	4	3	2	1	0
	-	-	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子 (P3<sub>5</sub> ~ P3<sub>0</sub>) のPMOSのオン / オフを制御

## H'FF77 ポート A オープンドレインコントロールレジスタ PAODR ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAの各端子 (PA<sub>7</sub> ~ PA<sub>0</sub>) のPMOSのオン / オフを制御

H'FF78 シリアルモードレジスタ 0 SMR0

SCI0

ビット:	7	6	5	4	3	2	1	0
	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】\* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード



## H'FF78 シリアルモードレジスタ0 SMR0

## スマートカードインタフェース0

ビット:	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

0	1ストップビット
1	2ストップビット

0	偶数パリティ
1	奇数パリティ

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

0	8ビットデータ
1	7ビットデータ*

【注】\* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。

## GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON/OFF制御の他、High/Low固定制御可能（SCRで設定）

【注】 etu (Elementary Time Unit) : 1ビットの転送期間の略

H'FF79 ビットレートレジスタ 0 BRR0                      SCI0、スマートカードインタフェース 0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信 / 受信のビットレートを設定

【注】詳細は「14.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF7A シリアルコントロールレジスタ 0 SCRO

SCIO

ビット :

7	6	5	4	3	2	1	0
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0

初期値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

R/W :

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

クロックイネーブル

0	0	調歩同期式モード クロック同期式モード	内部クロック / SCK端子は入出力ポート 内部クロック / SCK端子は同期 クロック出力
	1	調歩同期式モード クロック同期式モード	内部クロック / SCK端子はクロック出力*1 内部クロック / SCK端子は同期 クロック出力
1	0	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力
	1	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力

【注】\*1 ビットレートと同じ周波数のクロックを出力  
\*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRの RDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF7A シリアルコントロールレジスタ0 SCR0

スマートカードインタフェース0

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

SMCR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C/A,GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入力端子として動作
			1	SCK出力端子としてクロック出力
			0	SCK出力端子としてLow出力固定
	1	0	1	SCK出力端子としてクロック出力
			0	SCK出力端子としてHigh出力固定
			1	SCK出力端子としてクロック出力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンpty割り込み (TXI) 要求の禁止
1	送信データエンpty割り込み (TXI) 要求の許可

---

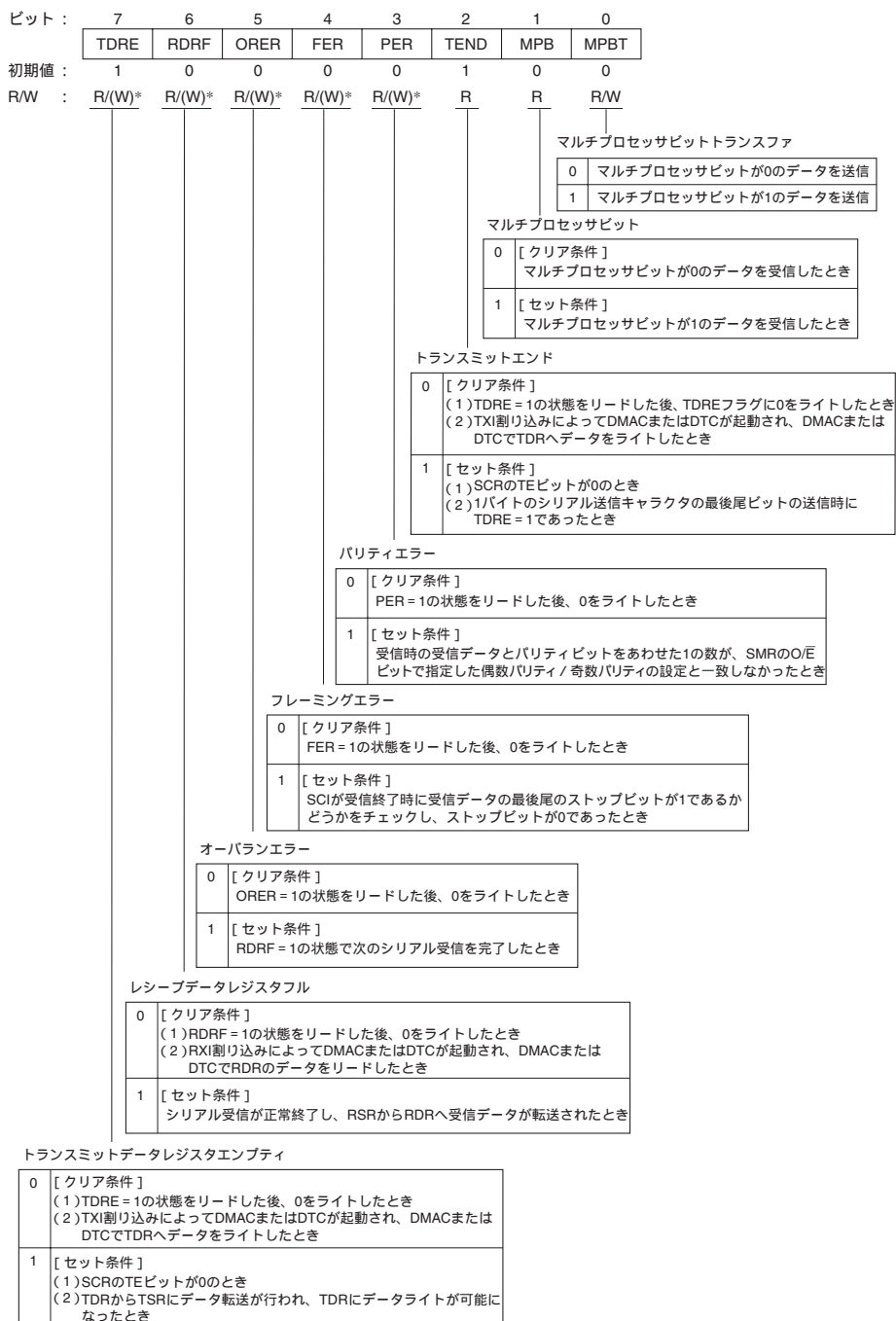
H'FF7B トランスミットデータレジスタ0 TDR0 SCI0、スマートカードインタフェース0

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF7C シリアルステータスレジスタ 0 SSR0

SCI0



## H'FF7C シリアルステータスレジスタ 0 SSR0

## スマートカードインタフェース 0

ビット	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでTDRへデータをライトしたとき
1	[セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCRのTEビットが0かつERSビットが0のとき (3) 1バイトのシリアルキャラクタを送信して、2.5etu 後にTDRE = 1かつERS = 0 (正常送信)のとき

【注】 etu (Elementary Time Unit : 1ビットの転送期間の略)

パリティエラー	
0	[クリア条件] PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

エラーシグナルステータス	
0	[クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1の状態をリードした後、0をライトしたとき
1	[セット条件] エラーシグナルLowをサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF = 1の状態でのシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF = 1の状態をリードした後、0をライトしたとき (2) RXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンブティ	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FF7D レシーブデータレジスタ0 RDR0 SCI0、スマートカードインタフェース0

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF7E スマートカードモードレジスタ0 SCMR0 SCI0、スマートカードインタフェース0

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	-	-	-	-	R/W	R/W	-	R/W

スマートカード  
インタフェースモード選択

0	スマートカード インタフェース機能を禁止
1	スマートカード インタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

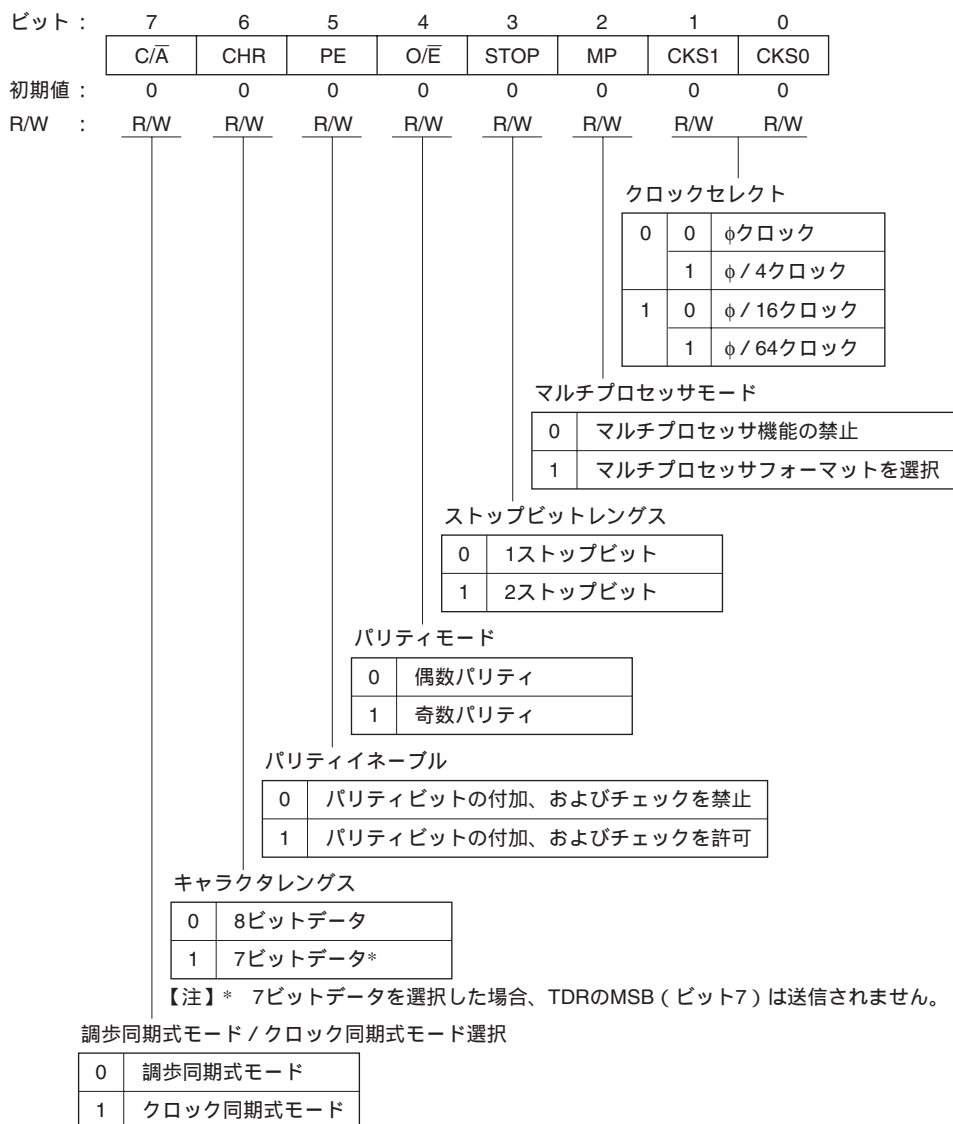
シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納



## H'FF80 シリアルモードレジスタ1 SMR1

SCI1



H'FF80 シリアルモードレジスタ1 SMR1

スマートカードインタフェース1

ビット:	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】\* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。

GSMモード

0	通常スマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFF制御のみ
1	GSMモードスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON/OFF制御の他、High/Low固定制御可能（SCRで設定）

【注】 etu (Elementary Time Unit) : 1ビットの転送期間の略

H'FF81 ビットレートレジスタ 1 BRR1 SCI1、スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信 / 受信のビットレートを設定

【注】詳細は「14.2.8 ビットレートレジスタ (BRR)」を参照してください。

H'FF82 シリアルコントロールレジスタ 1 SCR1

SC11

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード クロック同期式モード	内部クロック / SCK端子は入出力ポート 内部クロック / SCK端子は同期 クロック出力
	1	調歩同期式モード クロック同期式モード	内部クロック / SCK端子はクロック出力*1 内部クロック / SCK端子は同期 クロック出力
1	0	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力
	1	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力

【注】\*1 ビットレートと同じ周波数のクロックを出力  
\*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRの RDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

## H'FF82 シリアルコントロールレジスタ 1 SCR1

## スマートカードインタフェース 1

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## クロックイネーブル

SMCR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C/A,GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入力端子として動作
			1	SCK出力端子としてクロック出力
			0	SCK出力端子としてLow出力固定
	1	0	1	SCK出力端子としてクロック出力
			0	SCK出力端子としてHigh出力固定
			1	SCK出力端子としてクロック出力

## トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

## マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

## レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

## トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

## レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

## トランスミットインタラプトイネーブル

0	送信データエンpty割り込み (TXI) 要求の禁止
1	送信データエンpty割り込み (TXI) 要求の許可

H'FF83 トランスミットデータレジスタ 1 TDR1 SCI1、スマートカードインタフェース 1

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

## H'FF84 シリアルステータスレジスタ 1 SSR1

SCI1

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでTDRヘデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき

パリティエラー	
0	[クリア条件] PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

フレーミングエラー	
0	[クリア条件] FER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき

オーバーランエラー	
0	[クリア条件] ORER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF = 1の状態をリードした後、0をライトしたとき (2) RXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

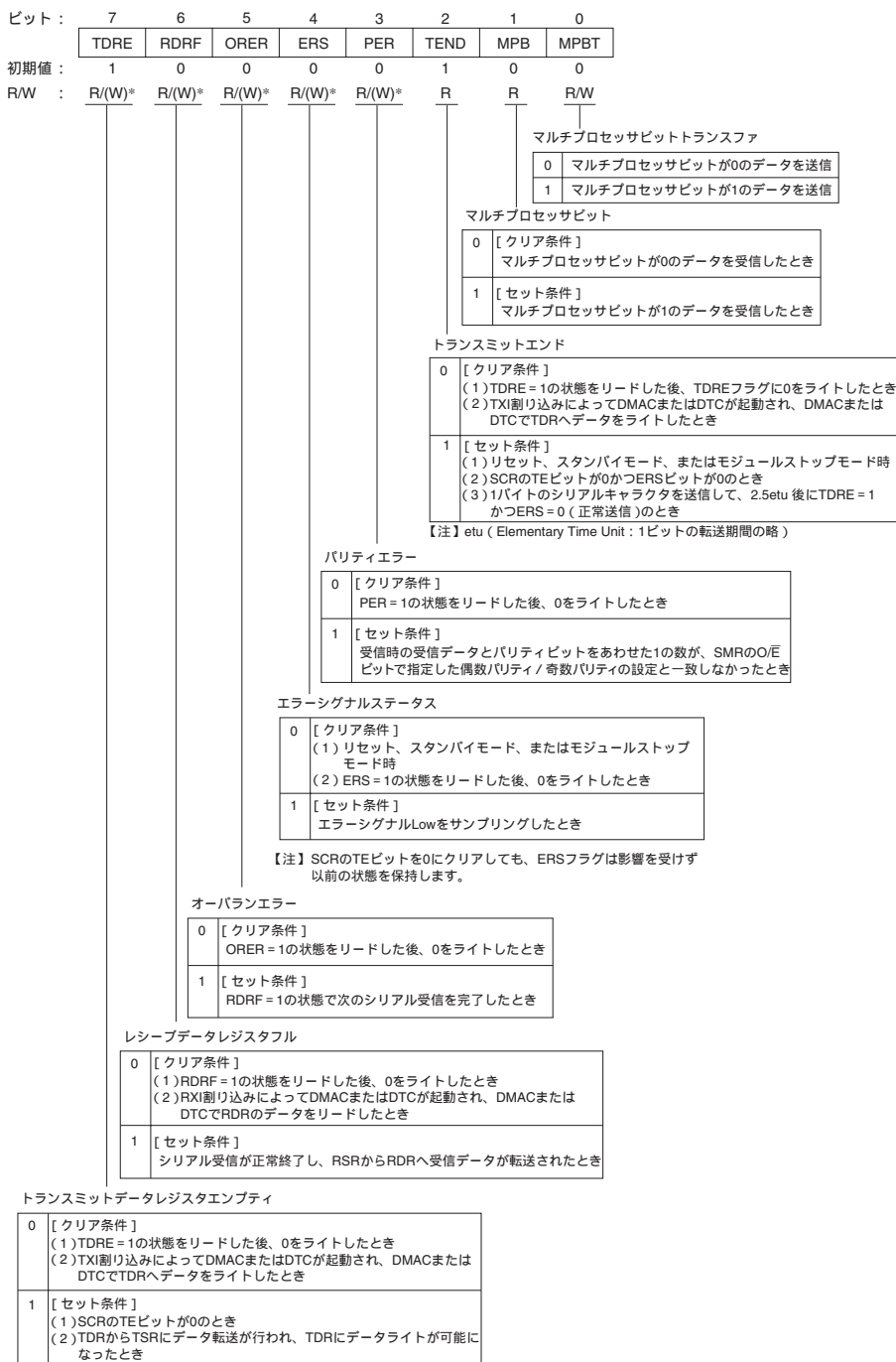
  

トランスミットデータレジスタエンpty	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでTDRヘデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FF84 シリアルステータスレジスタ 1 SSR1

スマートカードインタフェース 1



【注】\* フラグをクリアするための0ライトのみ可能です。



## H'FF85 レシーブデータレジスタ1 RDR1 SCI1、スマートカードインタフェース1

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

## H'FF86 スマートカードモードレジスタ1 SCMR1 SCI1、スマートカードインタフェース1

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	-	-	-	-	R/W	R/W	-	R/W

スマートカード  
インタフェースモード選択

0	スマートカード インタフェース機能を禁止
1	スマートカード インタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF88 シリアルモードレジスタ 2 SMR2

SCI2

ビット:	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	$\phi$ クロック
	1	$\phi$ /4クロック
1	0	$\phi$ /16クロック
	1	$\phi$ /64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】\* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード

## H'FF88 シリアルモードレジスタ2 SMR2

## スマートカードインタフェース2

ビット:	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

0	1ストップビット
1	2ストップビット

0	偶数パリティ
1	奇数パリティ

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

0	8ビットデータ
1	7ビットデータ*

【注】\* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。

## GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFF制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力のON/OFF制御の他、High/Low固定制御可能（SCRで設定）

【注】 etu (Elementary Time Unit) : 1ビットの転送期間の略

H'FF89 ビットレートレジスタ 2 BRR2 SCI2、スマートカードインタフェース 2

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信 / 受信のビットレートを設定

【注】詳細は「14.2.8 ビットレートレジスタ (BRR)」を参照してください。

## H'FF8A シリアルコントロールレジスタ 2 SCR2

SCI2

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## クロックイネーブル

0	0	調歩同期式モード クロック同期式モード	内部クロック / SCK端子は入出力ポート 内部クロック / SCK端子は同期 クロック出力
	1	調歩同期式モード クロック同期式モード	内部クロック / SCK端子はクロック出力*1 内部クロック / SCK端子は同期 クロック出力
1	0	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力
	1	調歩同期式モード クロック同期式モード	外部クロック / SCK端子はクロック入力*2 外部クロック / SCK端子は同期 クロック入力

【注】\*1 ビットレートと同じ周波数のクロックを出力  
\*2 ビットレートの16倍の周波数のクロックを入力

## トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

## マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRの RDRF、FER、ORERの各フラグのセットを禁止します。

## レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

## トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

## レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および 受信エラー割り込み (ERI) 要求を許可

## トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF8A シリアルコントロールレジスタ 2 SCR2

スマートカードインタフェース 2

ビット :

7	6	5	4	3	2	1	0
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0

初期値 :

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

R/W :

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-----	-----	-----	-----	-----	-----	-----	-----

クロックイネーブル

SMCR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C/A,GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入力端子として動作
			1	SCK出力端子としてクロック出力
			0	SCK出力端子としてLow出力固定
	1	0	1	SCK出力端子としてクロック出力
			0	SCK出力端子としてHigh出力固定
			1	SCK出力端子としてクロック出力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [ クリア条件 ] (1) MPIEビットを0にクリア (2) MPB = 1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンpty割り込み (TXI) 要求の禁止
1	送信データエンpty割り込み (TXI) 要求の許可

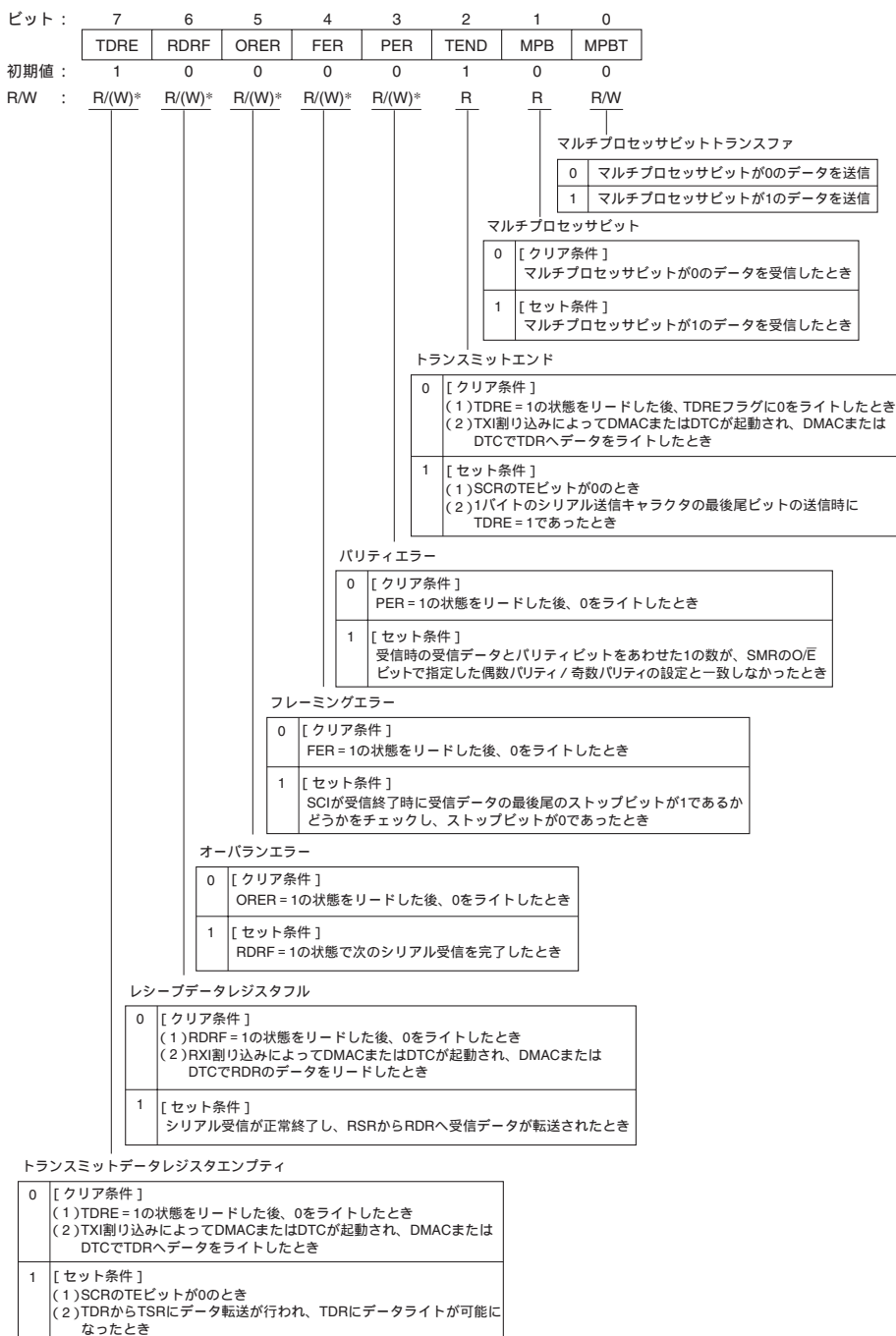
## H'FF8B トランスミットデータレジスタ2 TDR2 SCI2、スマートカードインタフェース2

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF8C シリアルステータスレジスタ 2 SSR2

SCI2





H'FF8C シリアルステータスレジスタ 2 SSR2

スマートカードインタフェース 2

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでTDRへデータをライトしたとき
1	[セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCRのTEビットが0かつERSビットが0のとき (3) 1バイトのシリアルキャラクタを送信して、2.5etu 後にTDRE = 1 かつERS = 0 (正常送信)のとき

【注】 etu ( Elementary Time Unit : 1ビットの転送期間の略)

パリティエラー	
0	[クリア条件] PER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのOEビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき

エラーシグナルステータス	
0	[クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1の状態をリードした後、0をライトしたとき
1	[セット条件] エラーシグナルLowをサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

オーバランエラー	
0	[クリア条件] ORER = 1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF = 1の状態での次のシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF = 1の状態をリードした後、0をライトしたとき (2) RXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンブティ	
0	[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき (2) TXI割り込みによってDMACまたはDTCが起動され、DMACまたはDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRIにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FF8D レシーブデータレジスタ2 RDR2 SCI2、スマートカードインタフェース2

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF8E スマートカードモードレジスタ2 SCMR2 SCI2、スマートカードインタフェース

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	-	-	-	-	R/W	R/W	-	R/W

スマートカード  
インタフェースモード選択

0	スマートカード インタフェース機能を禁止
1	スマートカード インタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

シリアル/パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF90	A/D データレジスタ AH	ADDRAH	A/D 変換器
H'FF91	A/D データレジスタ AL	ADDRAL	A/D 変換器
H'FF92	A/D データレジスタ BH	ADDRBH	A/D 変換器
H'FF93	A/D データレジスタ BL	ADDRBL	A/D 変換器
H'FF94	A/D データレジスタ CH	ADDRCH	A/D 変換器
H'FF95	A/D データレジスタ CL	ADDRCL	A/D 変換器
H'FF96	A/D データレジスタ DH	ADDRDH	A/D 変換器
H'FF97	A/D データレジスタ DL	ADDRDL	A/D 変換器
H'FF98	A/D データレジスタ EH	ADDREH	A/D 変換器
H'FF99	A/D データレジスタ EL	ADDREL	A/D 変換器
H'FF9A	A/D データレジスタ FH	ADDRFH	A/D 変換器
H'FF9B	A/D データレジスタ FL	ADDRFL	A/D 変換器
H'FF9C	A/D データレジスタ GH	ADDRGH	A/D 変換器
H'FF9D	A/D データレジスタ GL	ADDRGL	A/D 変換器
H'FF9E	A/D データレジスタ HH	ADDRHH	A/D 変換器
H'FF9F	A/D データレジスタ HL	ADDRHL	A/D 変換器

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	R	R	R	R	R	R	R	R	R	R

A/D変換された結果を格納

アナログ入力チャンネル	A/Dデータレジスタ
AN <sub>0</sub>	ADDRA*
AN <sub>1</sub>	ADDRB*
AN <sub>2</sub>	ADDRC*
AN <sub>3</sub>	ADDRD*
AN <sub>4</sub>	ADDRE
AN <sub>5</sub>	ADDRF
AN <sub>6</sub>	ADDRG
AN <sub>7</sub>	ADDRH

【注】\* バッファ動作時を除きます。

H'FFA0 A/D コントロール / ステータスレジスタ ADCSR

A/D 変換器

ビット :           7           6           5           4           3           2           1           0

	ADF	ADIE	ADST	CKS	GRP	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト

CH2	CH1	CH0	セレクトモード (GRP=0)	グループモード (GRP=1)
0	0	0	AN <sub>0</sub>	AN <sub>0</sub>
		1	AN <sub>1</sub>	AN <sub>0</sub> ~ AN <sub>1</sub>
	1	0	AN <sub>2</sub>	AN <sub>0</sub> ~ AN <sub>2</sub>
		1	AN <sub>3</sub>	AN <sub>0</sub> ~ AN <sub>3</sub>
1	0	0	AN <sub>4</sub>	AN <sub>0</sub> ~ AN <sub>4</sub>
		1	AN <sub>5</sub>	AN <sub>0</sub> ~ AN <sub>5</sub>
	1	0	AN <sub>6</sub>	AN <sub>0</sub> ~ AN <sub>6</sub>
		1	AN <sub>7</sub>	AN <sub>0</sub> ~ AN <sub>7</sub>

グループモード

0	セレクトモード
1	グループモード

クロックセレクト

0	変換時間 = 20ステート (A/D変換器の基準クロック = φ)
1	変換時間 = 40ステート (φ/2を選択時)

A/Dスタート

0	A/D変換を停止
1	(1) シングルモード : A/D変換を開始。 指定したチャンネル変換の終了で自動的に0クリア (2) スキャンモード : A/D変換を開始。 ソフトウェアにより0クリアされるまで連続変換

A/Dインタラプトイネーブル

0	A/D変換の終了による割り込み (ADI) 要求を禁止
1	A/D変換の終了による割り込み (ADI) 要求を許可

A/Dエンドフラグ

0	[クリア条件] (1) ADF = 1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき (2) ADI割り込みによりDTCまたはDMACが起動され、所定のレジスタをリードしたとき
1	[セット条件] シングルモード : 指定したすべてのチャンネルの変換を終了し、A/D変換が終了したとき* スキャンモード : 指定したすべてのチャンネルを一巡して変換したとき*

【注】\* フラグをクリアするための0ライトのみ可能です。

## H'FFA1 A/D コントロールレジスタ ADCR

## A/D 変換器

ビット:	7	6	5	4	3	2	1	0
	-	PWR	TRGS1	TRGS0	SCAN	DSMP	BUFE1	BUFE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## バッファインネーブル

0	0	通常動作
	1	ADDRAとADDRBはバッファ動作 (変換結果 ADDRA ADDR B) ADDRBはバッファレジスタ
1	0	ADDRAとADDRCおよびADDRBと ADDRDはバッファ動作 (変換結果1 ADDRA ADDR C、 変換結果2 ADDR B ADDR D) ADDR C、ADDR Dはバッファレジスタ
	1	ADDRA ~ ADDR Dはバッファ動作 (変換結果 ADDRA ADDR B ADDR C ADDR D) ADDR B ~ ADDR Dはバッファレジスタ

## 同時サンプリング

0	通常サンプリング動作
1	同時サンプリング動作

## スキャンモード

0	シングルモード
1	スキャンモード

## タイマトリガセレクト

0	0	ソフトウェアによるA/D変換の開始を許可
	1	TPUの変換開始トリガによるA/D変換の開始を許可
1	0	8ビットタイマの変換開始トリガによるA/D変換の開始を許可
	1	外部トリガ端子 ( $\overline{\text{ADTRG}}$ ) によるA/D変換の開始を許可

## 変換開始モードを指定

0	低消費電力変換モード
1	高速スタートモード

H'FFA4 D/A データレジスタ 0 DADR0 D/A

H'FFA5 D/A データレジスタ 1 DADR1 D/A

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A変換を行うデータを格納

H'FFA6 D/A コントロールレジスタ DACR D/A

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	-	-	-	-	-
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	-	-	-	-	-

D/Aアウトプットイネーブル0

0	アナログ出力DA <sub>0</sub> を禁止
1	チャンネル0のD/A変換を許可。アナログ出力DA <sub>0</sub> を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA <sub>1</sub> を禁止
1	チャンネル1のD/A変換を許可。アナログ出力DA <sub>1</sub> を許可

D/A変換制御

0	0	*	チャンネル0、1のD/A変換を禁止
	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
		1	チャンネル0、1のD/A変換を許可
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
		1	チャンネル0、1のD/A変換を許可
	1	*	チャンネル0、1のD/A変換を許可

\* : Don't care

H'FFB0 タイマコントロールレジスタ 0 TCR0

8ビットタイマチャンネル0

H'FFB1 タイマコントロールレジスタ 1 TCR1

8ビットタイマチャンネル1

ビット :

	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	0	クロック入力を禁止	
		1	内部クロック : φ / 8立ち下がリエッジでカウント	
		1	内部クロック : φ / 64立ち下がリエッジでカウント	
	1	0	0	内部クロック : φ / 8192立ち下がリエッジでカウント
			1	内部クロック : φ / 8192立ち下がリエッジでカウント
		1	0	外部クロック : 立ち上がりエッジでカウント
1	1	0	外部クロック : 立ち下がりエッジでカウント	
		1	外部クロック : 立ち上がり / 立ち下がり両エッジでカウント	

【注】\* チャンネル0のクロック入力をTCNT1のオーバーフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

カウンタクリア

0	0	クリアを禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

タイマオーバーフローインタラプトイネーブル

0	OVFによる割り込み要求 (OVI) を禁止
1	OVFによる割り込み要求 (OVI) を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求 (CMIA) を禁止
1	CMFAによる割り込み要求 (CMIA) を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割り込み要求 (CMIB) を禁止
1	CMFBによる割り込み要求 (CMIB) を許可

H'FFB2 タイマコントロール/ステータスレジスタ0 TCSR0 8ビットタイマチャンネル0

H'FFB3 タイマコントロール/ステータスレジスタ1 TCSR1 8ビットタイマチャンネル1

TCSR0 ビット :

	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1 ビット :

	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*		R/W	R/W	R/W	R/W

アウトプットセレクト

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

A/Dトリガインエーブル (TCSR0のみ)

0	コンペアマッチAによるA/D変換開始要求を禁止
1	コンペアマッチAによるA/D変換開始要求を許可

タイマオーバーフローフラグ

0	〔クリア条件〕 OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	〔セット条件〕 TCNTが'H'FF H'00になったとき

コンペアマッチフラグA

0	〔クリア条件〕 (1) CMFA = 1の状態、CMFAをリードした後、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき
1	〔セット条件〕 TCNT = TCORAになったとき

コンペアマッチフラグB

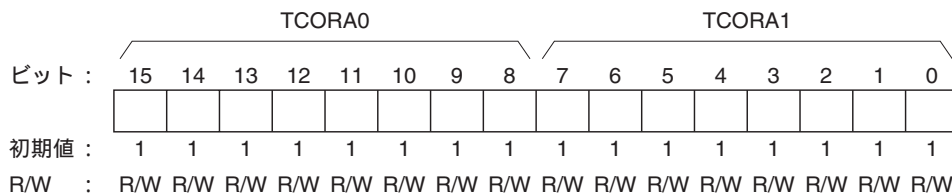
0	〔クリア条件〕 (1) CMFB = 1の状態、CMFBをリードした後、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき
1	〔セット条件〕 TCNT = TCORBになったとき

【注】\* ビット7~5は、フラグをクリアするための0ライトのみ可能です。



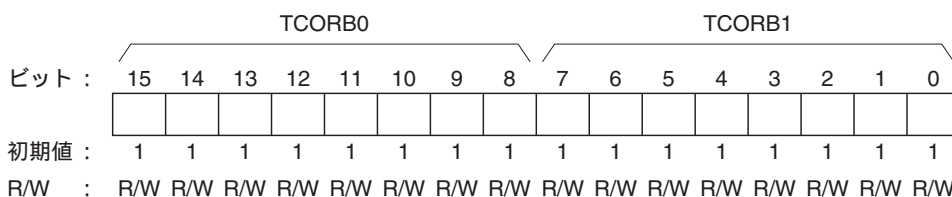
H'FFB4 タイムコンスタントレジスタ A0 TCORA0 8ビットタイマチャンネル0

H'FFB5 タイムコンスタントレジスタ A1 TCORA1 8ビットタイマチャンネル1



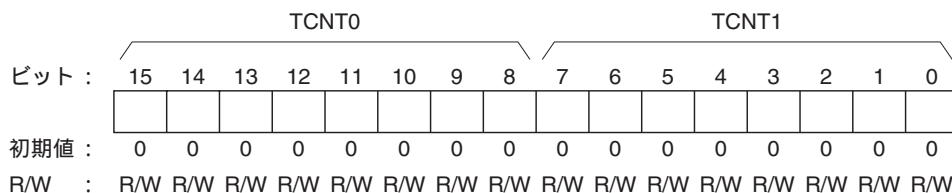
H'FFB6 タイムコンスタントレジスタ B0 TCORB0 8ビットタイマチャンネル0

H'FFB7 タイムコンスタントレジスタ B1 TCORB1 8ビットタイマチャンネル1



H'FFB8 タイマカウンタ0 TCNT0 8ビットタイマチャンネル0

H'FFB9 タイマカウンタ1 TCNT1 8ビットタイマチャンネル1



H'FFBC(W)H'FFBC(R) タイマコントロール/ステータスレジスタ TCSR

WDT

ビット :

7	6	5	4	3	2	1	0
OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0
初期値 :	0	0	0	1	1	0	0
R/W :	R/(W)*	R/W	R/W	-	-	R/W	R/W

クロックセレクト

CKS2	CKS1	CKS0	クロック	オーバーフロー周期* (φ = 20MHzの場合)
0	0	0	φ / 2 (初期値)	25.6μs
		1	φ / 64	819.2μs
	1	0	φ / 128	1.6ms
		1	φ / 512	6.6ms
1	0	0	φ / 2048	26.2ms
		1	φ / 8192	104.9ms
	1	0	φ / 32768	419.4ms
		1	φ / 131072	1.68s

【注】\* オーバーフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

タイムイネーブル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード： TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み (WOVI) を要求
1	ウォッチドックタイマモード： TCNTがオーバーフローしたときWDTOVF信号を外部へ出力

オーバーフローフラグ

0	〔クリア条件〕 OVF = 1の状態、TCSRをリード後、OVFに0をライトしたとき
1	〔セット条件〕 インターバルタイマモードで、TCNTがオーバーフロー (H'FF H'00) したとき

TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「13.2.4 レジスタアクセス時の注意」を参照してください。

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FFBC(W)H'FFBD(R) タイマカウンタ TCNT

WDT

ビット :

7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## H'FFBE(W)H'FFBF(R) リセットコントロール/ステータスレジスタ RSTCSR WDT

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R/W	-	-	-	-	-

リセットセレクト

0	パワーオンリセット
1	マニュアルリセット

リセットイネーブル

0	TCNTがオーバーフローしたとき、内部リセットしない*
1	TCNTがオーバーフローしたとき内部リセットする

【注】\* 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRIはリセットされます。

ウォッチドッグタイマオーバーフローフラグ

0	[クリア条件] WOVF = 1の状態にてRSTCSRをリードした後、WOVFに0をライトしたとき
1	[セット条件] ウォッチドッグタイマモードでTCNTがオーバーフロー (H'FF H'00) したとき

【注】\* フラグをクリアするための0ライトのみ可能です。

RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。  
詳細は「13.2.4 レジスタアクセス時の注意」を参照してください。

H'FFC0 タイマスタートレジスタ TSTR TPU

ビット :	7	6	5	4	3	2	1	0
	-	-	CST5	CST4	CST3	CST2	CST1	CST0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

カウンタスタート

0	TCNT <sub>n</sub> のカウンタ動作は停止
1	TCNT <sub>n</sub> のカウンタ動作

(n=5~0)

【注】 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態でのTIOAへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

H'FFC1 タイマシンクロレジスタ TSYR TPU

ビット :	7	6	5	4	3	2	1	0
	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

タイマ同期

0	TCNT <sub>n</sub> は独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係)
1	TCNT <sub>n</sub> は同期動作 TCNTの同期プリセット/同期クリアが可能

(n=5~0)

- 【注】
- 同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。
  - 同期クリアの設定には、SYNCビットの他にTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

## H'FFD0 タイマコントロールレジスタ0 TCR0

TPU0

ビット:	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## タイムプリスケアラ

0	0	0	内部クロック: $\phi / 1$ でカウント
		1	内部クロック: $\phi / 4$ でカウント
	1	0	内部クロック: $\phi / 16$ でカウント
		1	内部クロック: $\phi / 64$ でカウント
1	0	0	外部クロック: TCLKA端子入力でカウント
		1	外部クロック: TCLKB端子入力でカウント
	1	0	外部クロック: TCLKC端子入力でカウント
		1	外部クロック: TCLKD端子入力でカウント

## 入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

## カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ / インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ / インプットキャプチャでTCNTクリア
1		同期クリア / 同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1	
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ / インプットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ / インプットキャプチャでTCNTクリア*2
		1	同期クリア / 同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1

【注】\*1 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

\*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インプットキャプチャが発生しないため、TCNTはクリアされません。

H'FFD1 タイマモードレジスタ0 TMDR0

TPU0

ビット :	7	6	5	4	3	2	1	0
	-	-	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	0	リザーブ
1	0	0	0	PWMモード1
		1	0	PWMモード2
1	1	0	0	位相計数モード1
		1	0	位相計数モード2
1	1	0	0	位相計数モード3
		1	0	位相計数モード4
1	*	*	*	-

\* : Don't care

- 【注】 1. MD3はリザーブビットです。  
 ライト時には常に0を書き込んでください。  
 2. チャンネル0、3では、位相計数モードの設定はできません。  
 MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FFD2 タイマ I/O コントロールレジスタ 0H TIOR0H

TPU0

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR0A I/Oコントロール

0	0	0	0	TGR0Aは	出力禁止		
				1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
				1	0	コンペア	コンペアマッチで1出力
					1	レジスタ	コンペアマッチでトグル出力
1	0	0	0	TGR0Aは	出力禁止		
				1	アウトプット	初期出力は1出力 コンペアマッチで0出力	
				1	0	コンペア	コンペアマッチで1出力
					1	レジスタ	コンペアマッチでトグル出力
1	0	0	0	TGR0Aは	キャプチャ入力元は		
				1	インプット	TIOCA0端子 立ち上がりエッジでインプットキャプチャ	
				1	*	キャプチャ	立ち下がりエッジでインプットキャプチャ
				1	*	レジスタ	両エッジでインプットキャプチャ
				キャプチャ入力元は	TCNT1のカウントアップ/ カウントダウン チャンネルI/ カウントロック でインプットキャプチャ		

TGR0B I/Oコントロール

0	0	0	0	TGR0Bは	出力禁止		
				1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
				1	0	コンペア	コンペアマッチで1出力
					1	レジスタ	コンペアマッチでトグル出力
1	0	0	0	TGR0Bは	出力禁止		
				1	アウトプット	初期出力は1出力 コンペアマッチで0出力	
				1	0	コンペア	コンペアマッチで1出力
					1	レジスタ	コンペアマッチでトグル出力
1	0	0	0	TGR0Bは	キャプチャ入力元は		
				1	インプット	TIOCB0端子 立ち上がりエッジでインプットキャプチャ	
				1	*	キャプチャ	立ち下がりエッジでインプットキャプチャ
				1	*	レジスタ	両エッジでインプットキャプチャ
				キャプチャ入力元は	TCNT1のカウントアップ/ カウントダウン チャンネルI/ カウントロック でインプットキャプチャ <sup>#1</sup>		

\* : Don't care

\* : Don't care

【注】\*<sup>1</sup> TCR1のTPSC2~TPSC0ビットをB'000とし、TCNT1のカウントクロックに0/1を使用した場合、本設定は無効となり、インプットキャプチャは発生しません。

H'FFD3 タイマ I/O コントロールレジスタ 0L TIOR0L

TPU0

ビット :        7        6        5        4        3        2        1        0

IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR0C I/Oコントロール

0	0	0	0	TGR0Cは	出力禁止		
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力		
			1	コンペアレジスタ	コンペアマッチで1出力 コンペアマッチでトグル出力		
		1	0	0	TGR0Cは	出力禁止	
				1	初期出力は1出力	コンペアマッチで0出力 コンペアマッチで1出力 コンペアマッチでトグル出力	
				1	コンペアレジスタ	コンペアマッチでトグル出力	
	1	0	0	TGR0Cは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
			1	インプット	TIOCC0端子	立ち下がりエッジでインプットキャプチャ	
			1	* キャプチャレジスタ	両エッジでインプットキャプチャ		
		1	* *	0	TGR0Cは	キャプチャ入力元は	TCNT1のカウントアップ / カウントダウン
				1	インプット	キャプチャ入力元は	TCNT1のカウントアップ / カウントダウン
				1	* *	キャプチャレジスタ	チャネルi / カウントロック でインプットキャプチャ

\* : Don't care

【注】 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

TGR0D I/Oコントロール

0	0	0	0	TGR0Dは	出力禁止		
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力		
			1	コンペアレジスタ	コンペアマッチで1出力 コンペアマッチでトグル出力		
		1	0	0	TGR0Dは	出力禁止	
				1	初期出力は1出力	コンペアマッチで0出力 コンペアマッチで1出力 コンペアマッチでトグル出力	
				1	コンペアレジスタ	コンペアマッチでトグル出力	
	1	0	0	TGR0Dは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ	
			1	インプット	TIOCD0端子	立ち下がりエッジでインプットキャプチャ	
			1	* キャプチャレジスタ	両エッジでインプットキャプチャ		
		1	* *	0	TGR0Dは	キャプチャ入力元は	TCNT1のカウントアップ / カウントダウン
				1	インプット	キャプチャ入力元は	TCNT1のカウントアップ / カウントダウン
				1	* *	キャプチャレジスタ	チャネルi / カウントロック でインプットキャプチャ*1

\* : Don't care

【注】 TMDR0のBFBビットを1にセットしてTGR0Dをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

\*1 TCR1のTPSC2 - TPSC0ビットをB'000とし、TCNT1のカウントクロックにφ/1を使用した場合、本設定は無効となり、インプットキャプチャは発生しません。

【注】 GRC、あるいはGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。



## H'FFD4 タイマインタラプトイネーブルレジスタ 0 TIER0

TPU0

ビット:	7	6	5	4	3	2	1	0
	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	-	-	R/W	R/W	R/W	R/W	R/W

TGRインタラプトイネーブルA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

TGRインタラプトイネーブルC	
0	TGFCビットによる割り込み要求 (TGIC) を禁止
1	TGFCビットによる割り込み要求 (TGIC) を許可

TGRインタラプトイネーブルD	
0	TGFDビットによる割り込み要求 (TGID) を禁止
1	TGFDビットによる割り込み要求 (TGID) を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FFD5 タイマステータスレジスタ 0 TSR0

TPU0

ビット :	7	6	5	4	3	2	1	0
	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

TGRAインพุットキャプチャ / アウトプットコンペアフラグ

0	<p>〔クリア条件〕</p> <p>(1) TGRA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGRA割り込みによりDMACが起動され、DMACのDMABCRのDTEビットが1のとき</p> <p>(3) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき</p>
1	<p>〔セット条件〕</p> <p>(1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき</p> <p>(2) TGRAがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRAに転送されたとき</p>

TGRBインพุットキャプチャ / アウトプットコンペアフラグ

0	<p>〔セット条件〕</p> <p>(1) TGRB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき</p>
1	<p>〔セット条件〕</p> <p>(1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき</p> <p>(2) TGRBがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRBに転送されたとき</p>

TGRCインพุットキャプチャ / アウトプットコンペアフラグ

0	<p>〔クリア条件〕</p> <p>(1) TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGFC = 1の状態ではTGFCをリード後、TGFCに0をライトしたとき</p>
1	<p>〔セット条件〕</p> <p>(1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRCになったとき</p> <p>(2) TGRCがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRCに転送されたとき</p>

TGRDインพุットキャプチャ / アウトプットコンペアフラグ

0	<p>〔クリア条件〕</p> <p>(1) TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき</p> <p>(2) TGFD = 1の状態ではTGFDをリード後、TGFDに0をライトしたとき</p>
1	<p>〔セット条件〕</p> <p>(1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRDになったとき</p> <p>(2) TGRDがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRDに転送されたとき</p>

オーバーフローフラグ

0	<p>〔クリア条件〕</p> <p>TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき</p>
1	<p>〔セット条件〕</p> <p>TCNTの値がオーバーフロー (H'FFFF H'0000) したとき</p>

【注】\* フラグをクリアするための0ライトのみ可能です。

H'FFD6 タイマカウンタ 0 TCNT0 TPU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑  
アップカウンタ

H'FFD8 タイマジェネラルレジスタ 0A TGR0A TPU0

H'FFDA タイマジェネラルレジスタ 0B TGR0B TPU0

H'FFDC タイマジェネラルレジスタ 0C TGR0C TPU0

H'FFDE タイマジェネラルレジスタ 0D TGR0D TPU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

H'FFE0 タイマコントロールレジスタ 1 TCR1

TPU1

ビット:	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイムプリスケアラ

0	0	0	内部クロック: $\phi/1$ でカウント
		1	内部クロック: $\phi/4$ でカウント
	1	0	内部クロック: $\phi/16$ でカウント
		1	内部クロック: $\phi/64$ でカウント
1	0	0	外部クロック: TCLKA端子入力でカウント
		1	外部クロック: TCLKB端子入力でカウント
	1	0	内部クロック: $\phi/256$ でカウント
		1	TCNT2のオーバフロー/アンダフローでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 チャンネル1が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】\* 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

## H'FFE1 タイマモードレジスタ 1 TMDR1

TPU1

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

## モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

\* : Don't care

【注】 MD3はリザーブビットです。  
ライト時には常に0を書き込んでください。

H'FFE2 タイマ I/O コントロールレジスタ 1 TIOR1

TPU1

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR1A I/Oコントロール

0	0	0	0	TGR1Aは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
		1	0	0	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	1	0	0	0	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
		1	0	0	コンペアマッチで1出力	
				1	コンペアマッチでトグル出力	
1	0	0	0	TGR1Aは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
			1	インプット	TIOCA1端子	立ち下がりエッジでインプットキャプチャ
	1	*	*	0	キャプチャ	両エッジでインプットキャプチャ
				1	レジスタ	キャプチャ入力元は

\* : Don't care

TGR1B I/Oコントロール

0	0	0	0	TGR1Bは	出力禁止	
			1	アウトプット	初期出力は0出力 コンペアマッチで0出力	
		1	0	0	コンペア	コンペアマッチで1出力
				1	レジスタ	コンペアマッチでトグル出力
	1	0	0	0	出力禁止	
				1	初期出力は1出力 コンペアマッチで0出力	
		1	0	0	コンペアマッチで1出力	
				1	コンペアマッチでトグル出力	
1	0	0	0	TGR1Bは	キャプチャ入力元は	立ち上がりエッジでインプットキャプチャ
			1	インプット	TIOCB1端子	立ち下がりエッジでインプットキャプチャ
	1	*	*	0	キャプチャ	両エッジでインプットキャプチャ
				1	レジスタ	キャプチャ入力元は

\* : Don't care

## H'FFE4 タイマインタラプトイネーブルレジスタ1 TIER1

TPU1

ビット:	7	6	5	4	3	2	1	0
	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	-	R/W	R/W	-	-	R/W	R/W

TGRインタラプトイネーブルA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル	
0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FFE5 タイマステータスレジスタ 1 TSR1

TPU1

ビット:	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA
初期値:	1	1	0	0	0	0	0	0
R/W:	R	-	R(W)*	R(W)*	-	-	R(W)*	R(W)*

TGRAインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGIA割り込みによりDMACが起動され、DMACのDMABCRのDTEビットが1のとき (3) TGFA = 1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ/アウトプットコンペアフラグ	
0	[クリア条件] (1) TGB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB = 1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT = TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV = 1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー (H'FFFF H'0000) したとき

アンダフローフラグ	
0	[クリア条件] TCFU = 1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー (H'0000 H'FFFF) したとき

カウント方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】\* フラグをクリアするための0ライトのみ可能です。



H'FFE6 タイマカウンタ 1 TCNT1 TPU1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑  
アップ / ダウンカウンタ\*

【注】\* 位相計数モード、他のチャネルのオーバーフロー / アンダフローのカウント時のみアップ / ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FFE8 タイマジェネラルレジスタ 1A TGR1A TPU1

H'FFEA タイマジェネラルレジスタ 1B TGR1B TPU1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FFF0 タイマコントロールレジスタ 2 TCR2

TPU2

ビット:	7	6	5	4	3	2	1	0
	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0
R/W:	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック: $\phi/1$ でカウント
	1	1	内部クロック: $\phi/4$ でカウント
1	0	0	内部クロック: $\phi/16$ でカウント
	1	1	内部クロック: $\phi/64$ でカウント
1	0	0	外部クロック: TCLKA端子入力でカウント
		1	外部クロック: TCLKB端子入力でカウント
	1	0	外部クロック: TCLKC端子入力でカウント
		1	内部クロック: $\phi/1024$ でカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	-	両エッジでカウント

【注】 チャンネル2が位相計数モード時、この設定は無効になります。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ / インพุットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ / インพุットキャプチャでTCNTクリア
	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】\* 同期動作の設定は、TSYRのSYNCビットを1にすることにより行います。

## H'FFF1 タイマモードレジスタ 2 TMDR2

TPU2

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	-	-	-	-	R/W	R/W	R/W	R/W

## モード

0	0	0	0	通常動作
		1	リザーブ	
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	-

\* : Don't care

【注】 MD3はリザーブビットです。  
ライト時には常に0を書き込んでください。

H'FFF2 タイマ I/O コントロールレジスタ 2 TIOR2

TPU2

ビット :

7	6	5	4	3	2	1	0
IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値 :	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR2A I/Oコントロール

0	0	0	0	TGR2Aは	出力禁止	
				1	アウトプット	初期出力は0出力 コンペアマッチで0出力
				1	0	コンペア
	レジスタ	コンペアマッチでトグル出力				
	1	0	0	TGR2Aは	出力禁止	
				1	初期出力は1出力	コンペアマッチで0出力
1				0	コンペア	コンペアマッチで1出力
	レジスタ	コンペアマッチでトグル出力				
1	*	0	0	TGR2Aは	キャプチャ入力元は	
				1	立ち上がりエッジでインプットキャプチャ	
				1	TIOCA2端子	立ち下がりエッジでインプットキャプチャ
			1	*	両エッジでインプットキャプチャ	

\* : Don't care

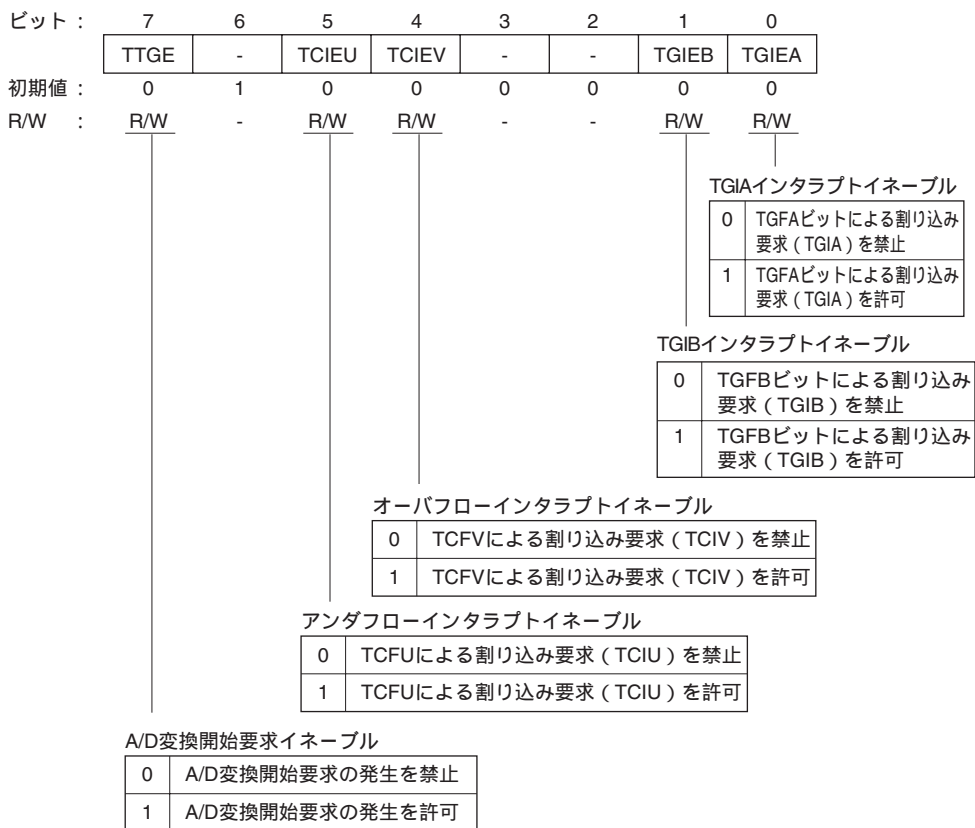
TGR2B I/Oコントロール

0	0	0	0	TGR2Bは	出力禁止	
				1	アウトプット	初期出力は0出力 コンペアマッチで0出力
				1	0	コンペア
	レジスタ	コンペアマッチでトグル出力				
	1	0	0	TGR2Bは	出力禁止	
				1	初期出力は1出力	コンペアマッチで0出力
1				0	コンペア	コンペアマッチで1出力
	レジスタ	コンペアマッチでトグル出力				
1	*	0	0	TGR2Bは	キャプチャ入力元は	
				1	立ち上がりエッジでインプットキャプチャ	
				1	TIOCB2端子	立ち下がりエッジでインプットキャプチャ
			1	*	両エッジでインプットキャプチャ	

\* : Don't care

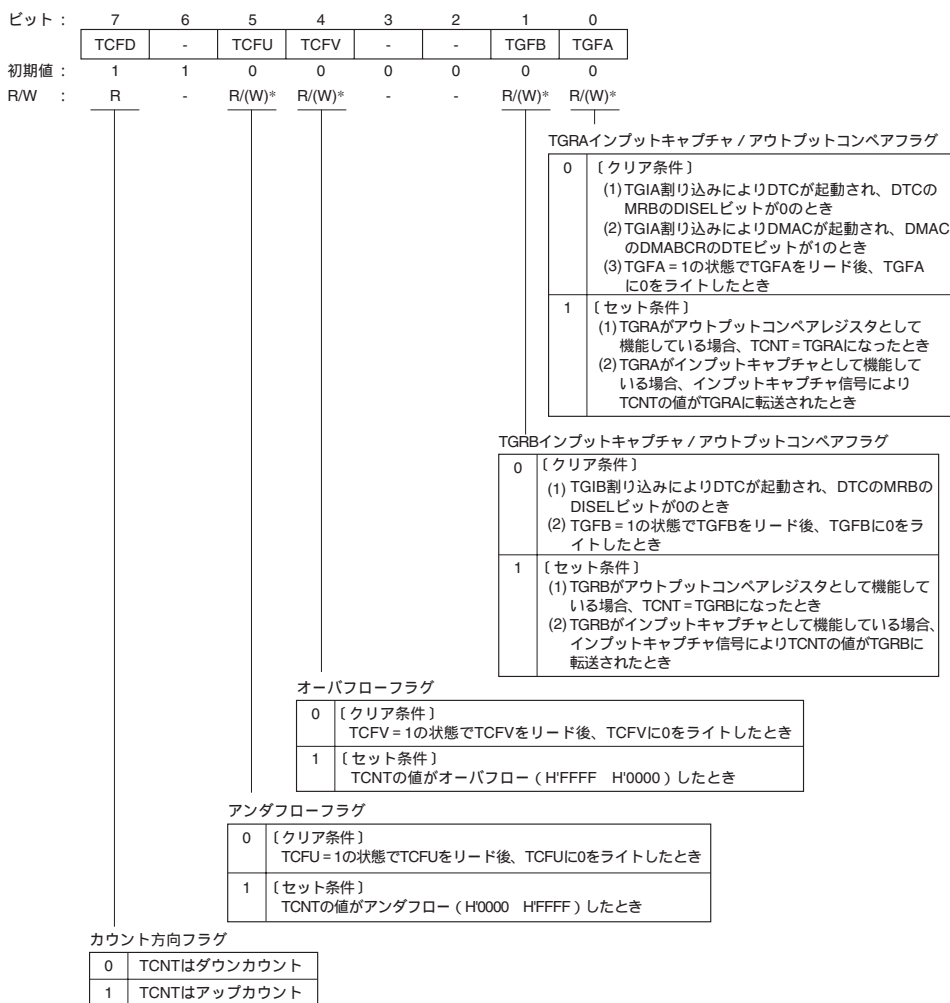
## H'FFF4 タイマインタラプトイネーブルレジスタ 2 TIER2

TPU2



H'FFF5 タイマステータスレジスタ 2 TSR2

TPU2



【注】\* フラグをクリアするための0ライトのみ可能です。

H'FFF6 タイマカウンタ 2 TCNT2

TPU2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑  
アップ / ダウンカウンタ\*

【注】\* 位相計数モード、他のチャネルのオーバフロー / アンダフローのカウント時のみアップ / ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FFF8 タイマジェネラルレジスタ 2A TGR2A

TPU2

H'FFFA タイマジェネラルレジスタ 2B TGR2B

TPU2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## C. I/O ポートのブロック図

### C.1 ポート 1 ブロック図

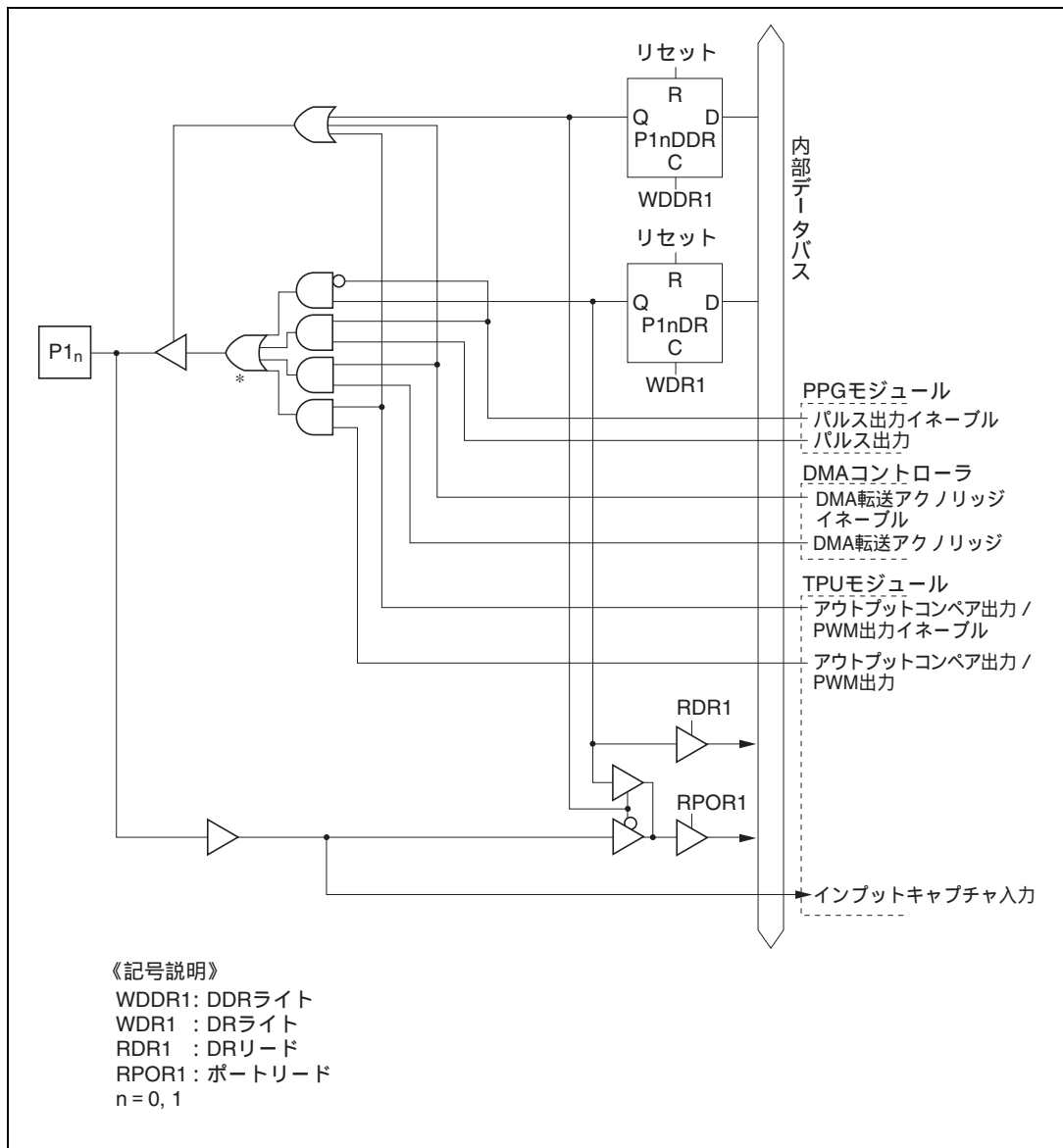


図 C.1 (a) ポート 1 ブロック図 (P1<sub>0</sub>、P1<sub>1</sub>端子)



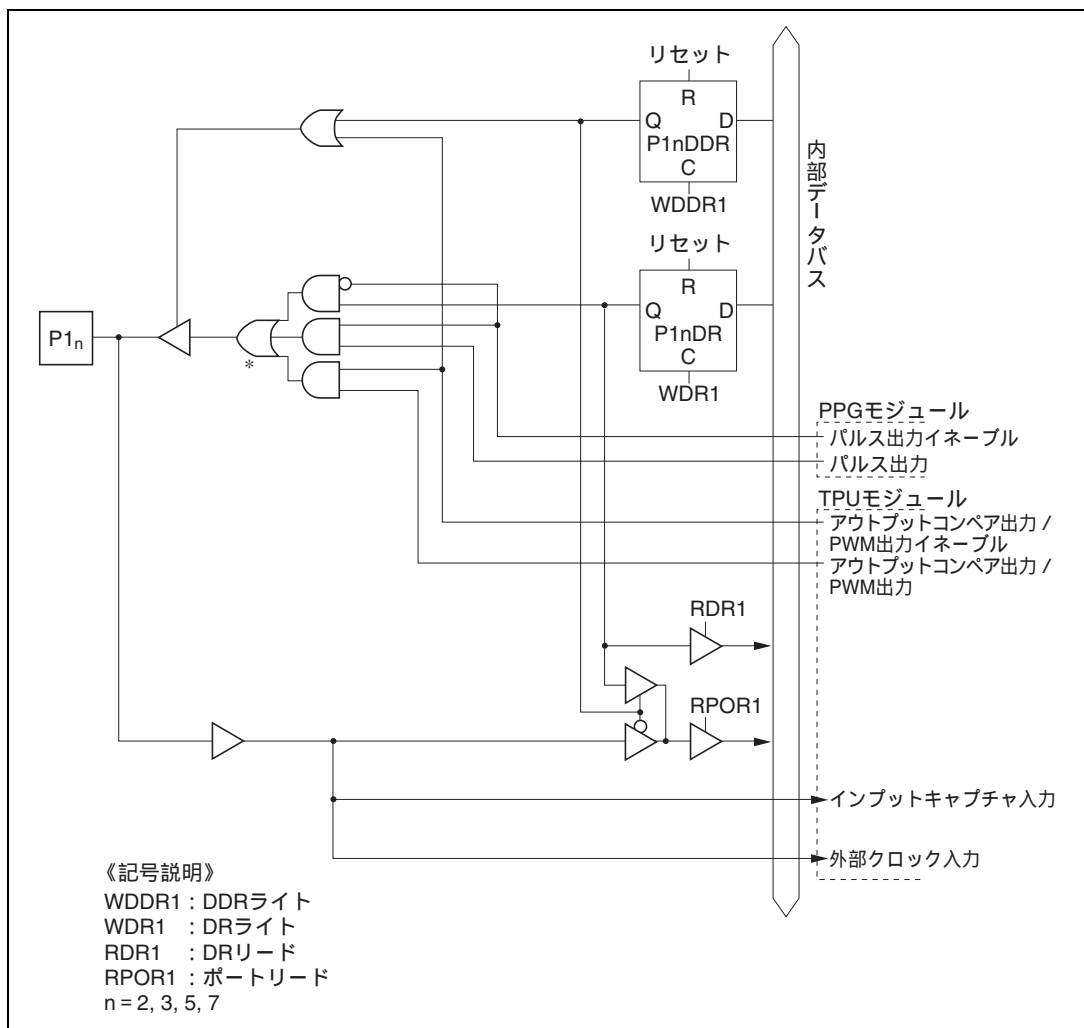


図 C.1 (b) ポート 1 ブロック図 (P1<sub>2</sub>、P1<sub>3</sub>、P1<sub>5</sub>、P1<sub>7</sub>端子)

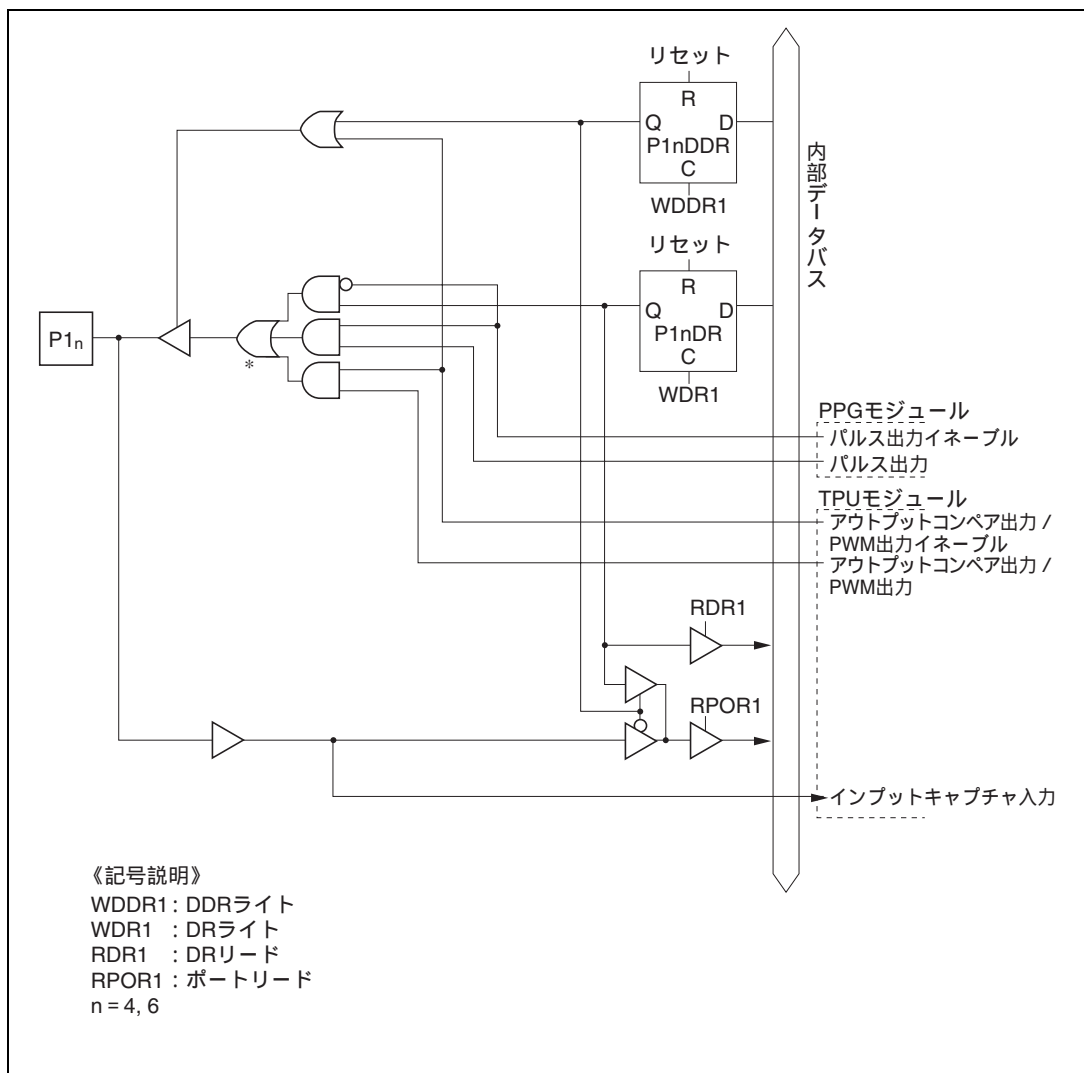


図 C.1 (c) ポート 1 ブロック図 (P1<sub>n</sub>、P1<sub>6</sub>端子)

## C.2 ポート2ブロック図

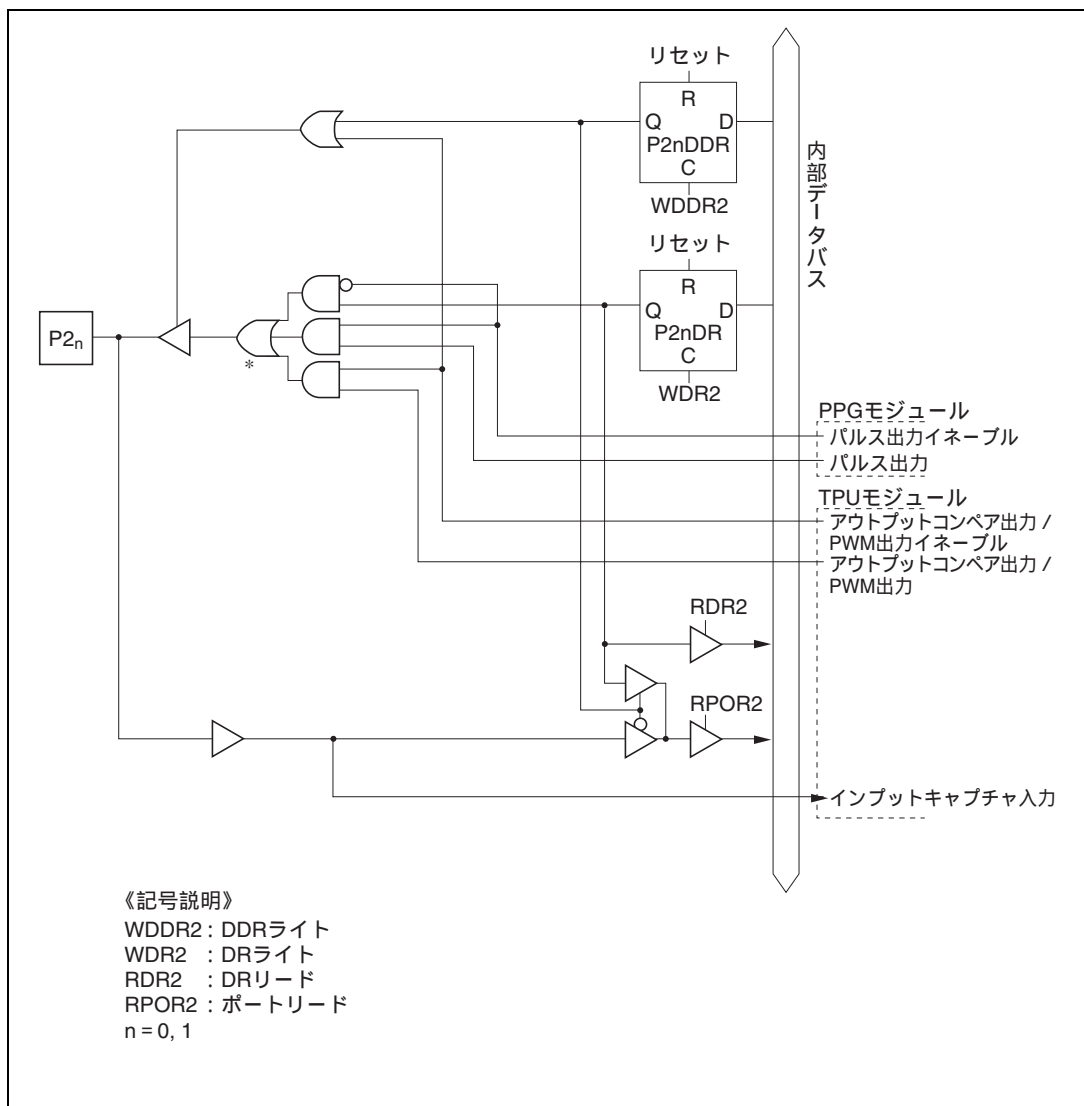


図 C.2 (a) ポート2ブロック図 (P2<sub>0</sub>、P2<sub>1</sub>端子)

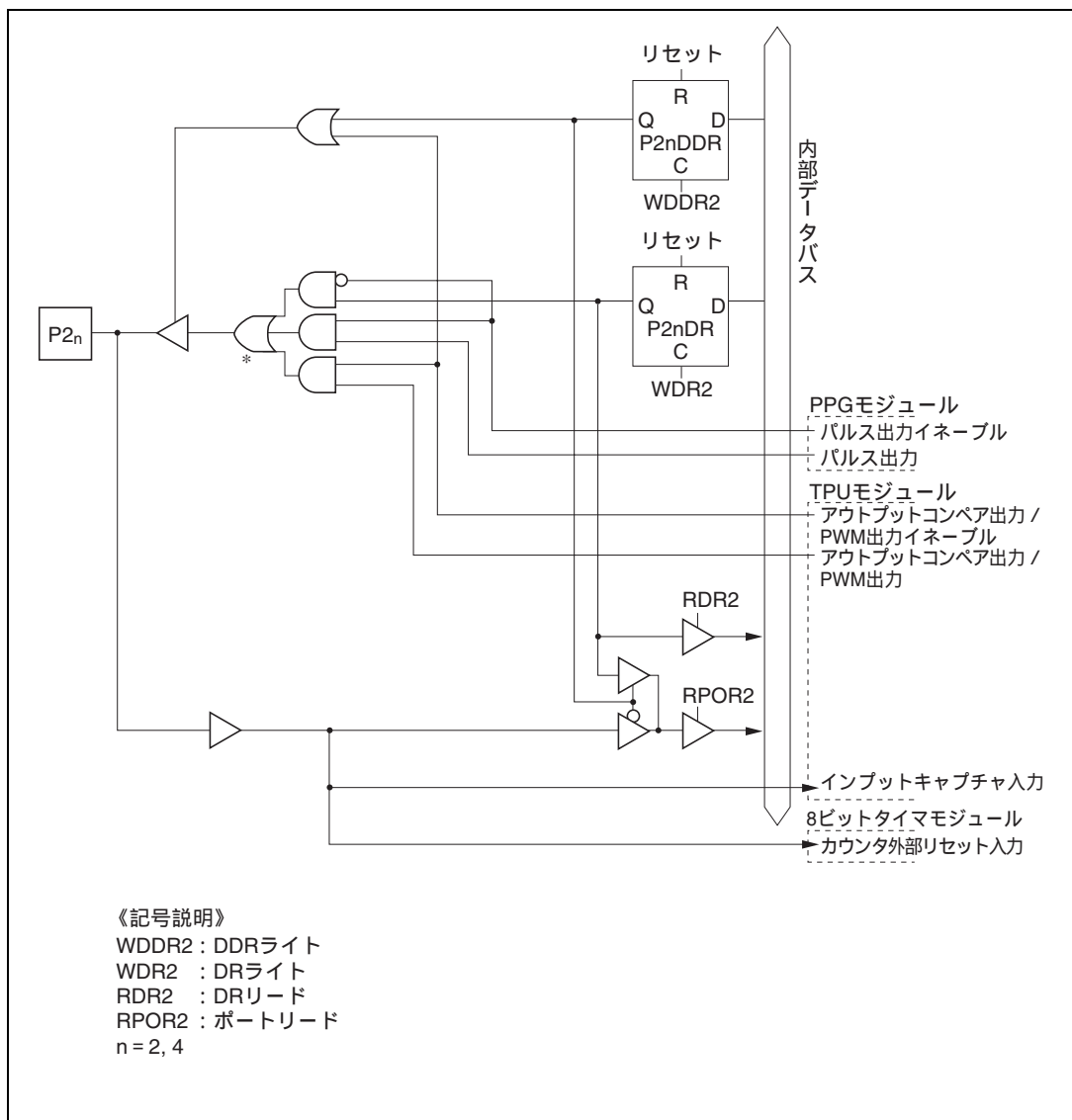


図 C.2 (b) ポート 2 ブロック図 (P2<sub>2</sub>、P2<sub>4</sub>端子)

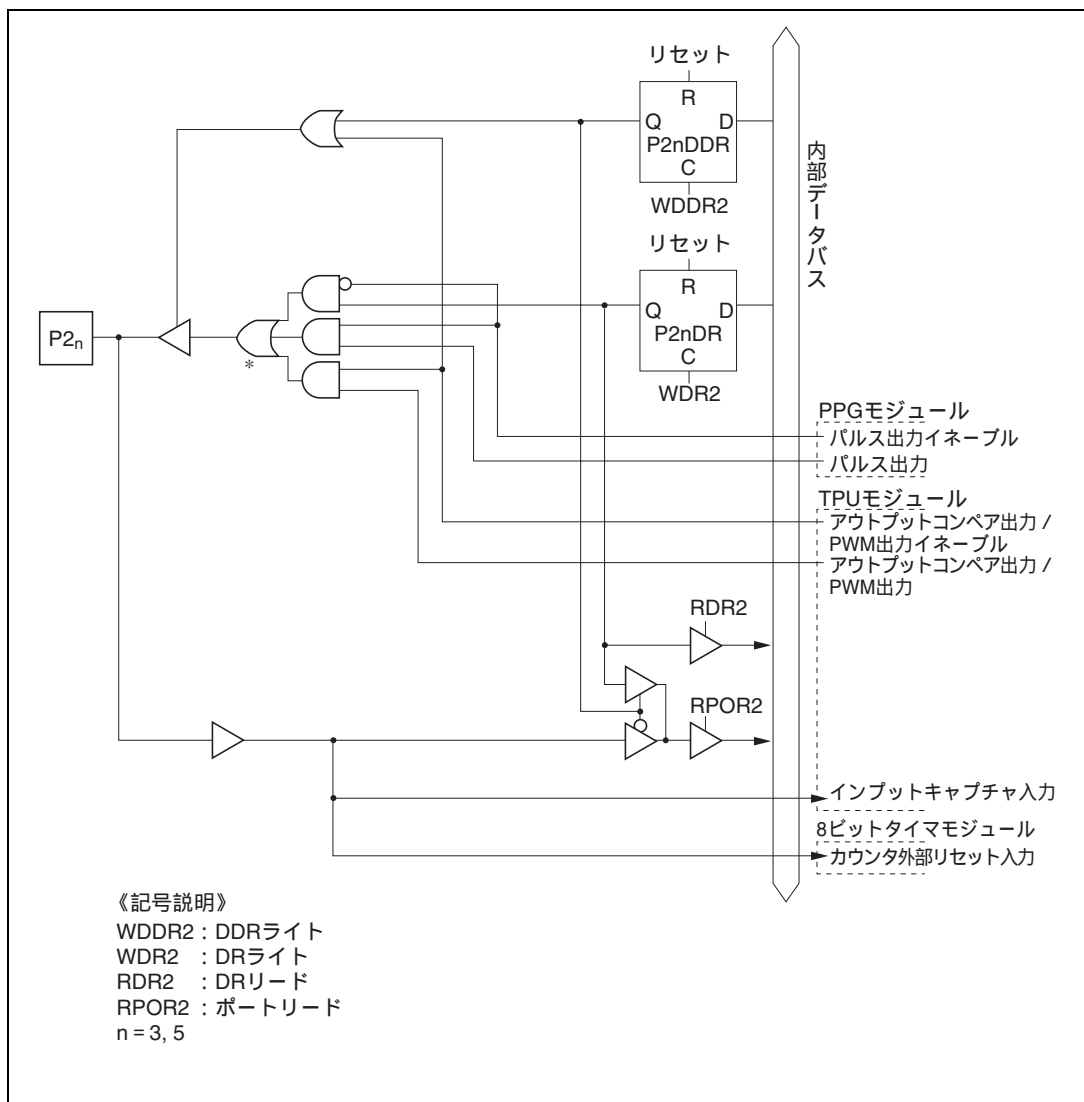


図 C.2 (c) ポート 2 ブロック図 (P2<sub>3</sub>、P2<sub>5</sub> 端子)

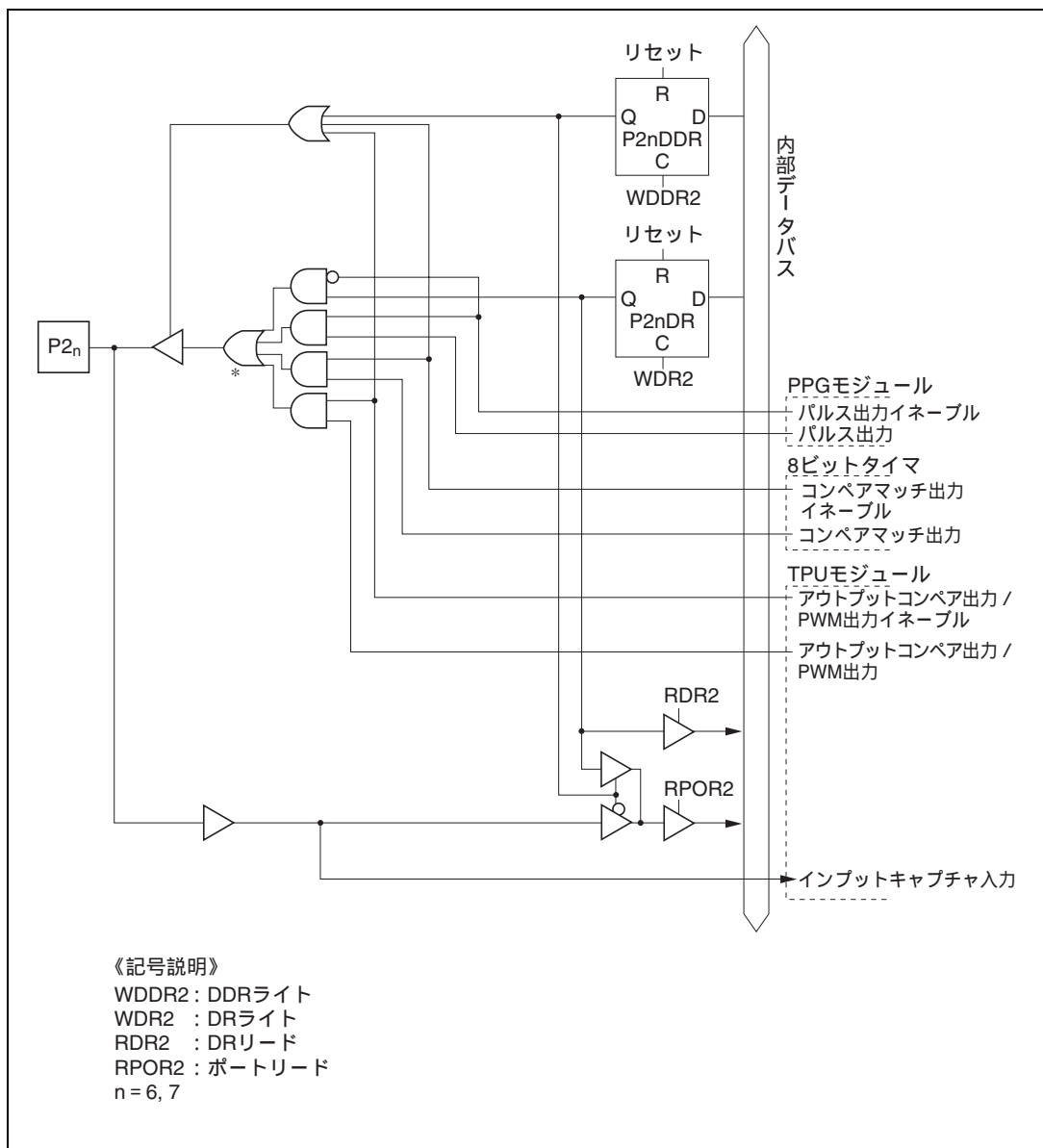


図 C.2 (d) ポート 2 ブロック図 (P2<sub>6</sub>、P2<sub>7</sub> 端子)

### C.3 ポート 3 ブロック図

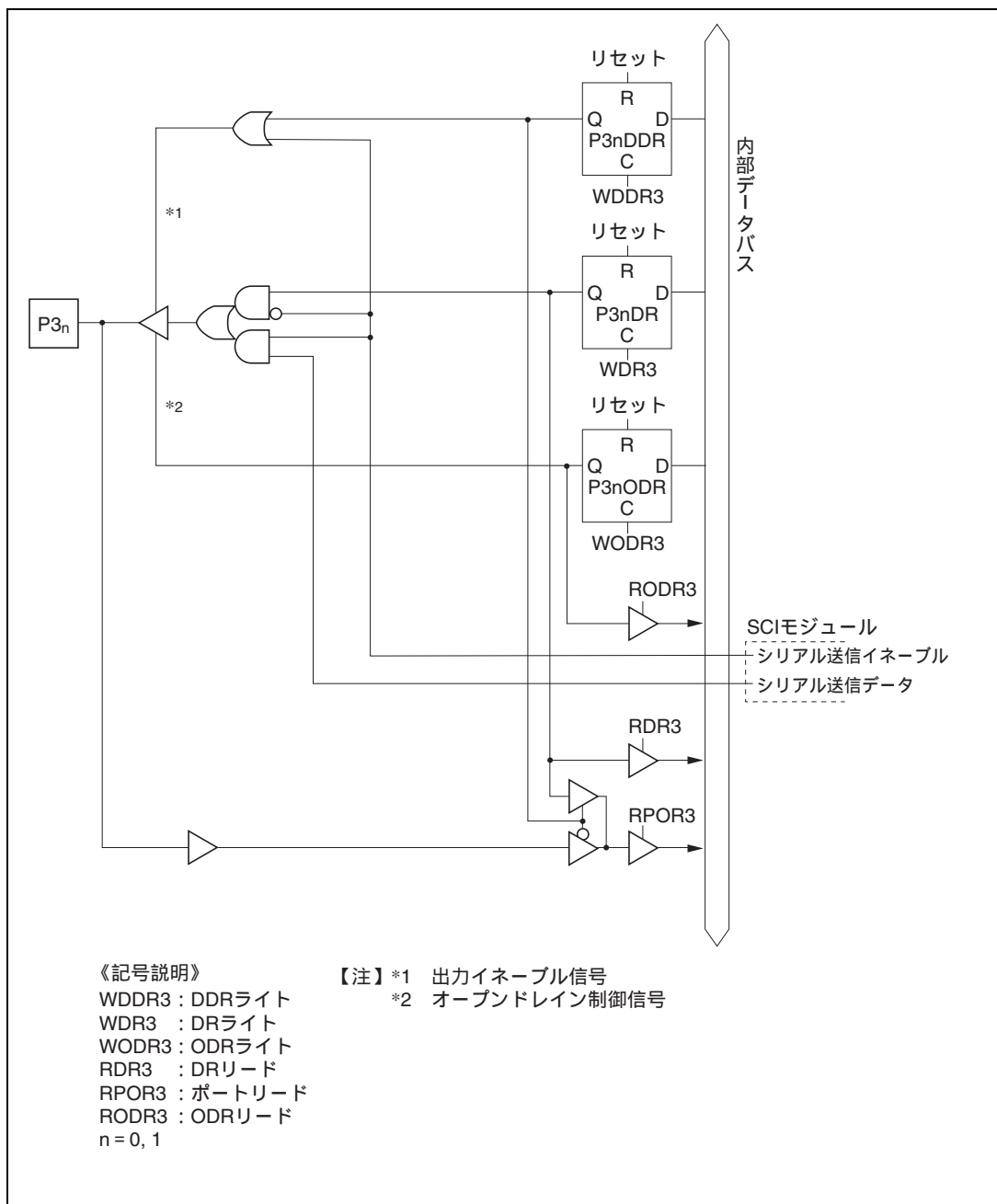


図 C.3 (a) ポート 3 ブロック図 (P3<sub>0</sub>、P3<sub>1</sub>端子)

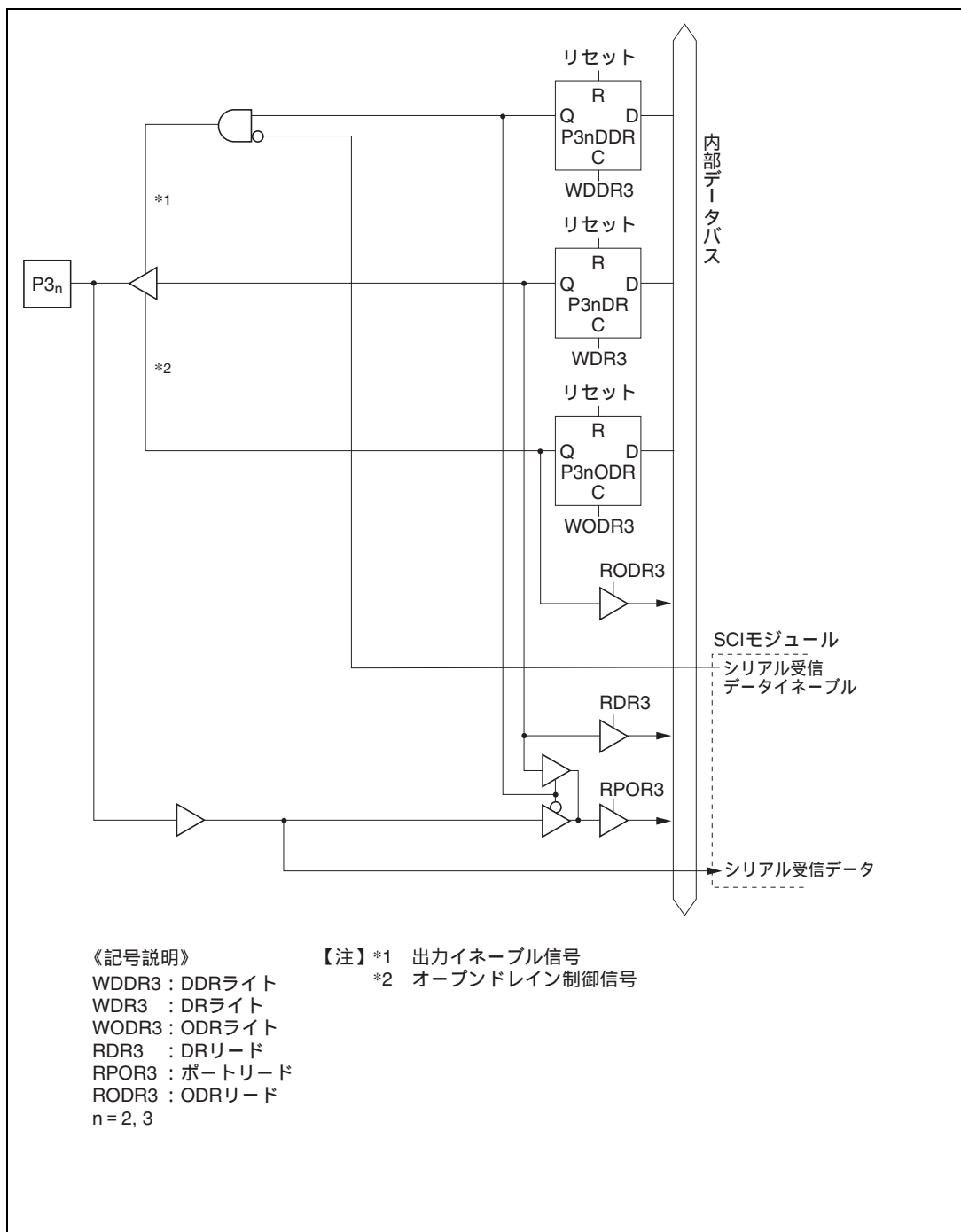
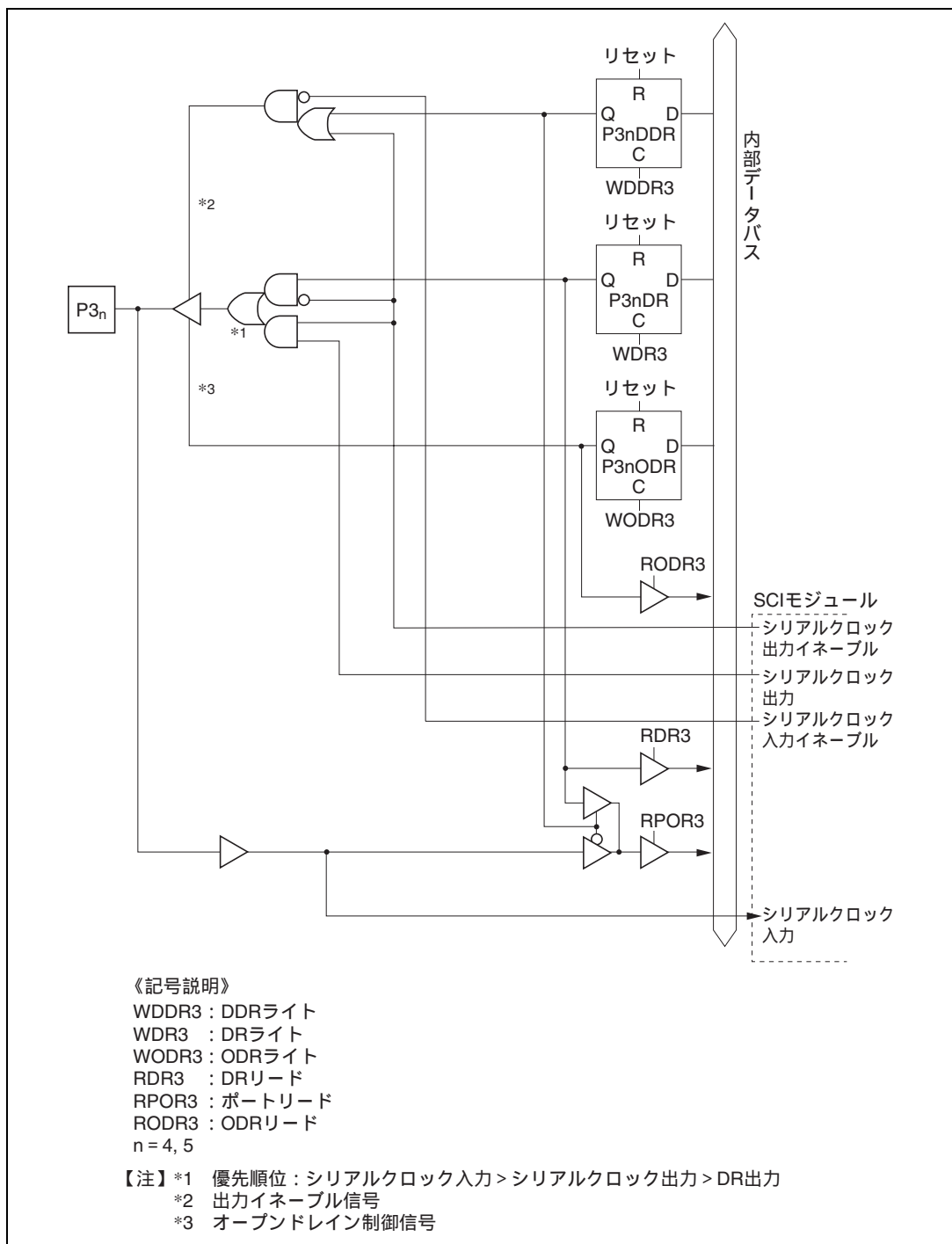


図 C.3 (b) ポート 3 ブロック図 (P3<sub>2</sub>、P3<sub>3</sub> 端子)



図 C.3 (c) ポート 3 ブロック図 (P3<sub>4</sub>、P3<sub>5</sub> 端子)

### C.4 ポート 4 ブロック図

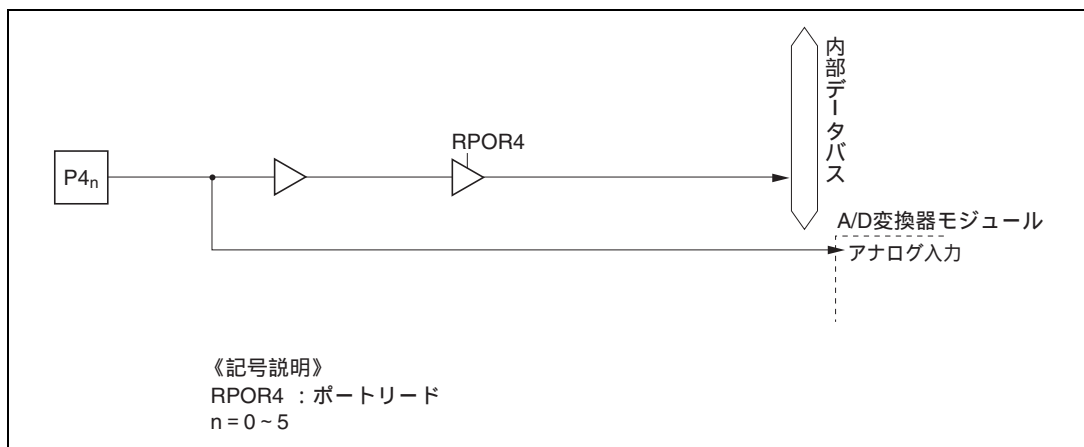


図 C.4 (a) ポート 4 ブロック図 (P4<sub>0</sub> ~ P4<sub>5</sub> 端子)

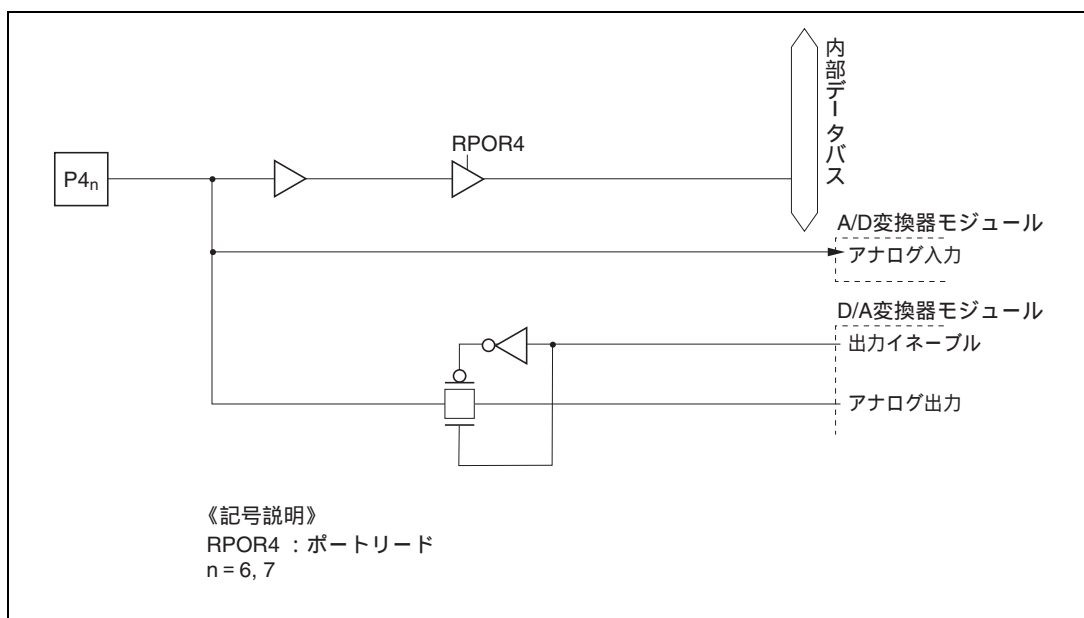


図 C.4 (b) ポート 4 ブロック図 (P4<sub>6</sub>、P4<sub>7</sub> 端子)

### C.5 ポート5ブロック図

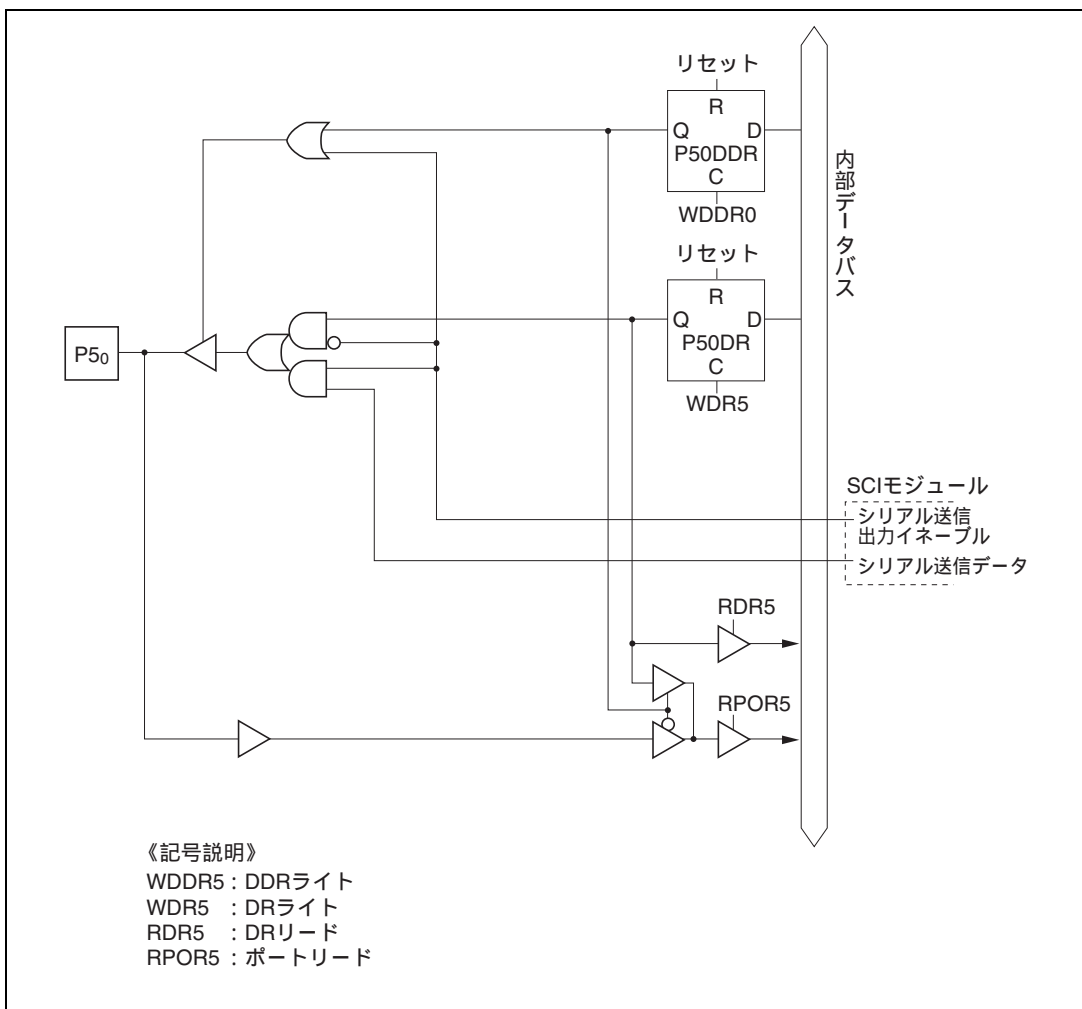


図 C.5 (a) ポート5ブロック図 (P5<sub>0</sub>端子)

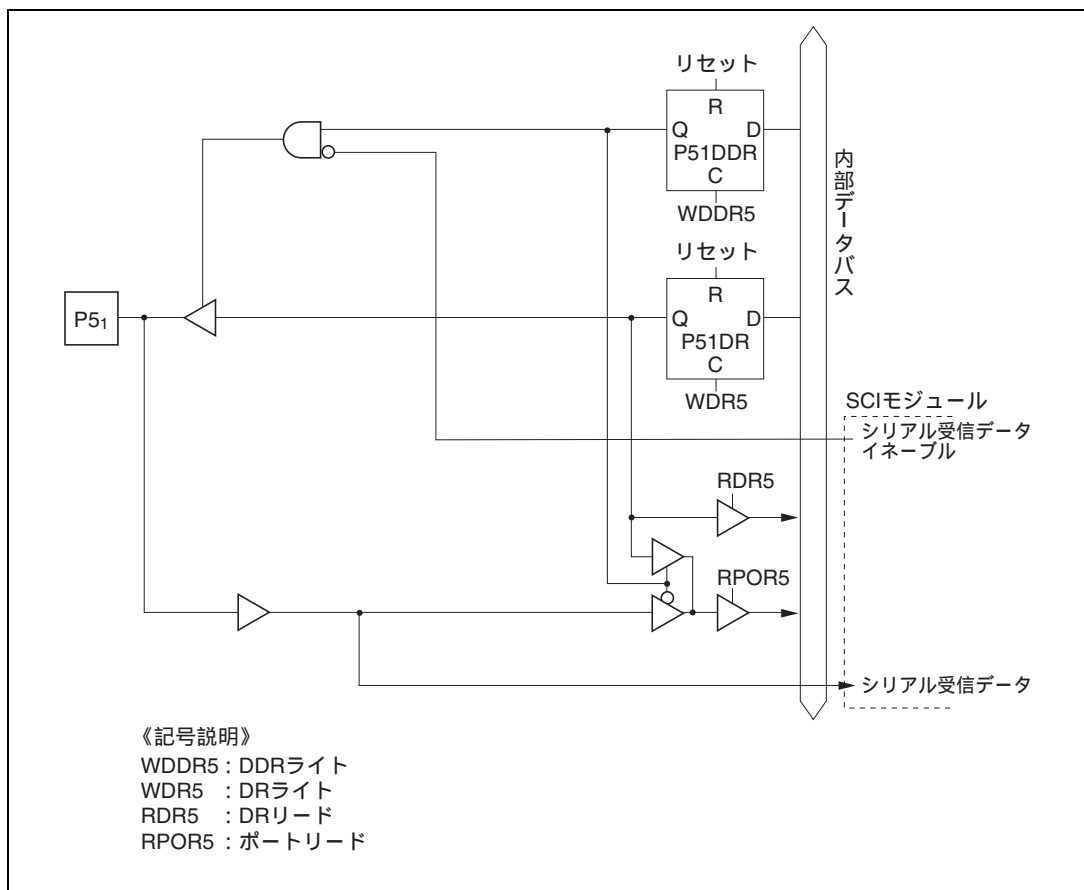


図 C.5 (b) ポート 5 ブロック図 (P5<sub>1</sub> 端子)

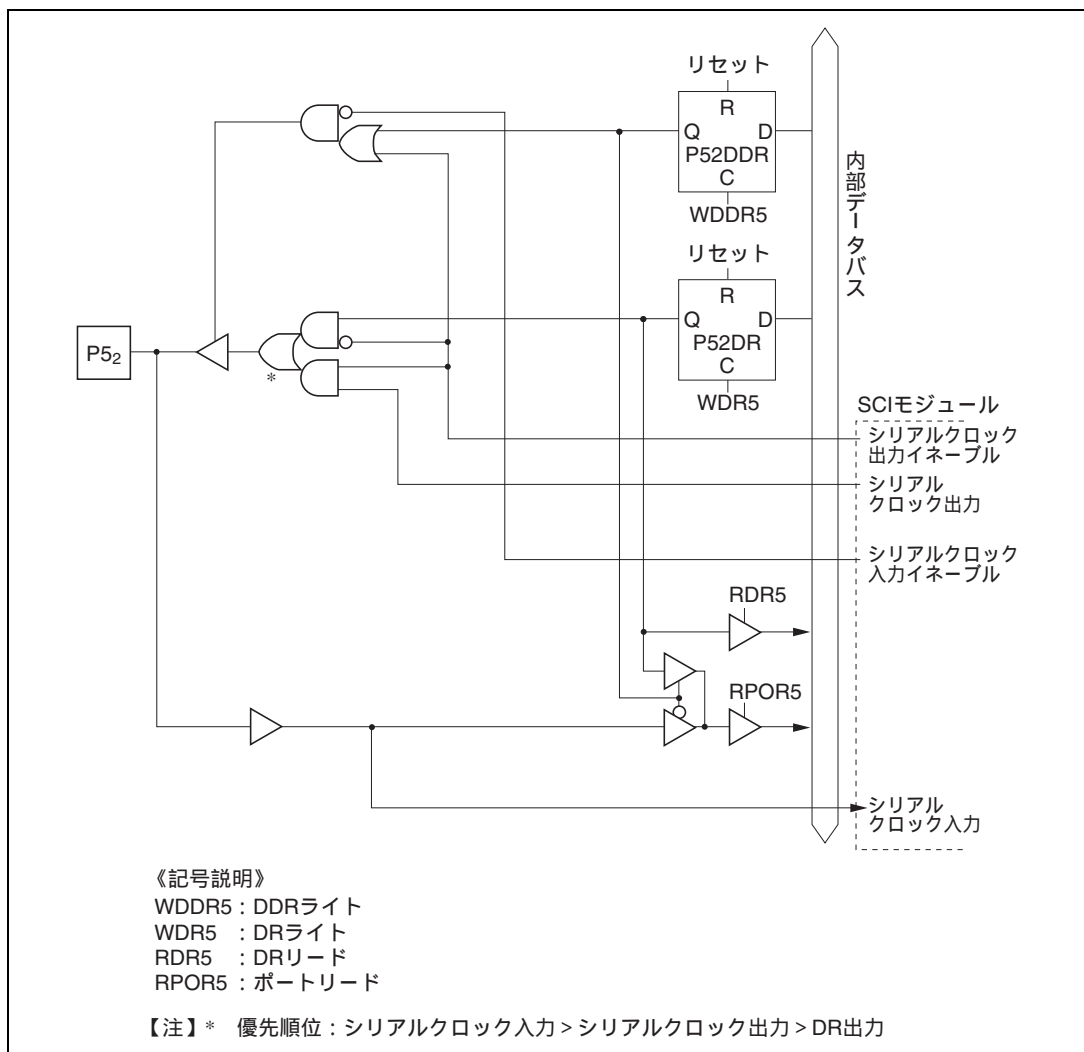


図 C.5 (c) ポート 5 ブロック図 (P5<sub>2</sub> 端子)

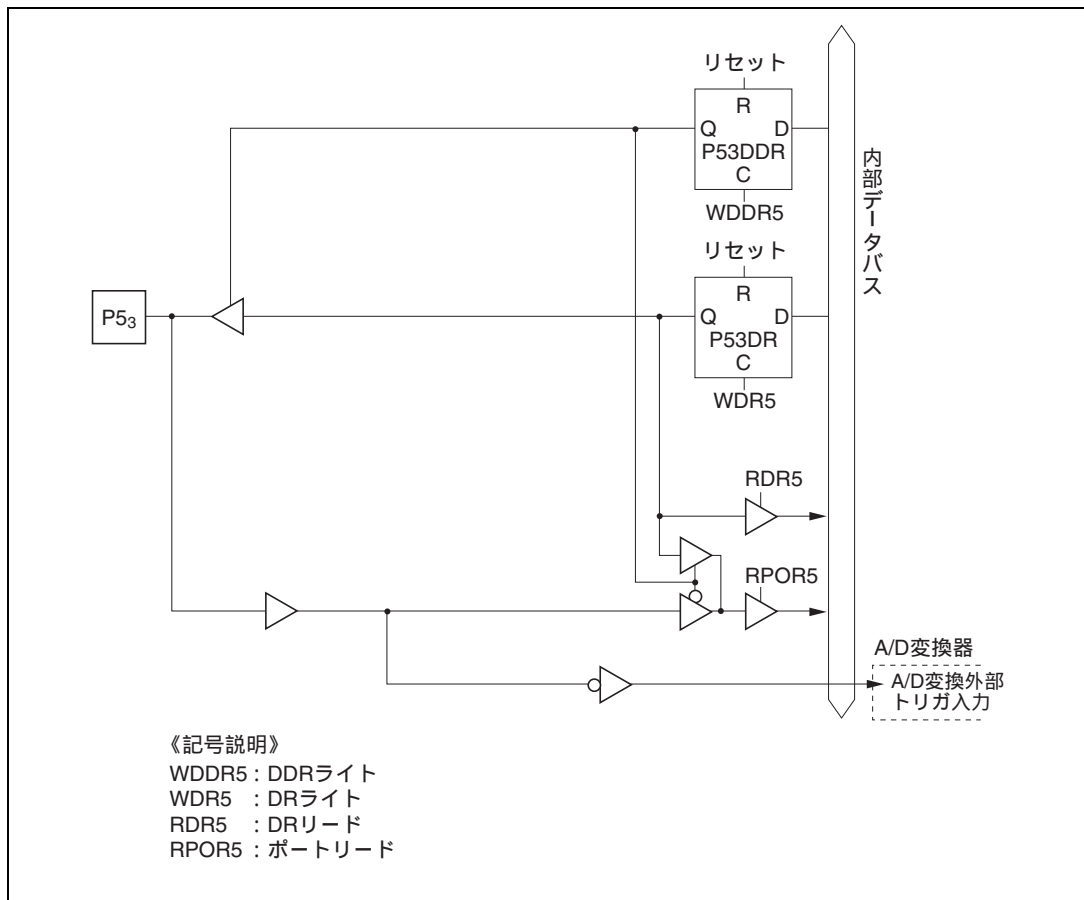


図 C.5 (d) ポート 5 ブロック図 (P5<sub>3</sub> 端子)



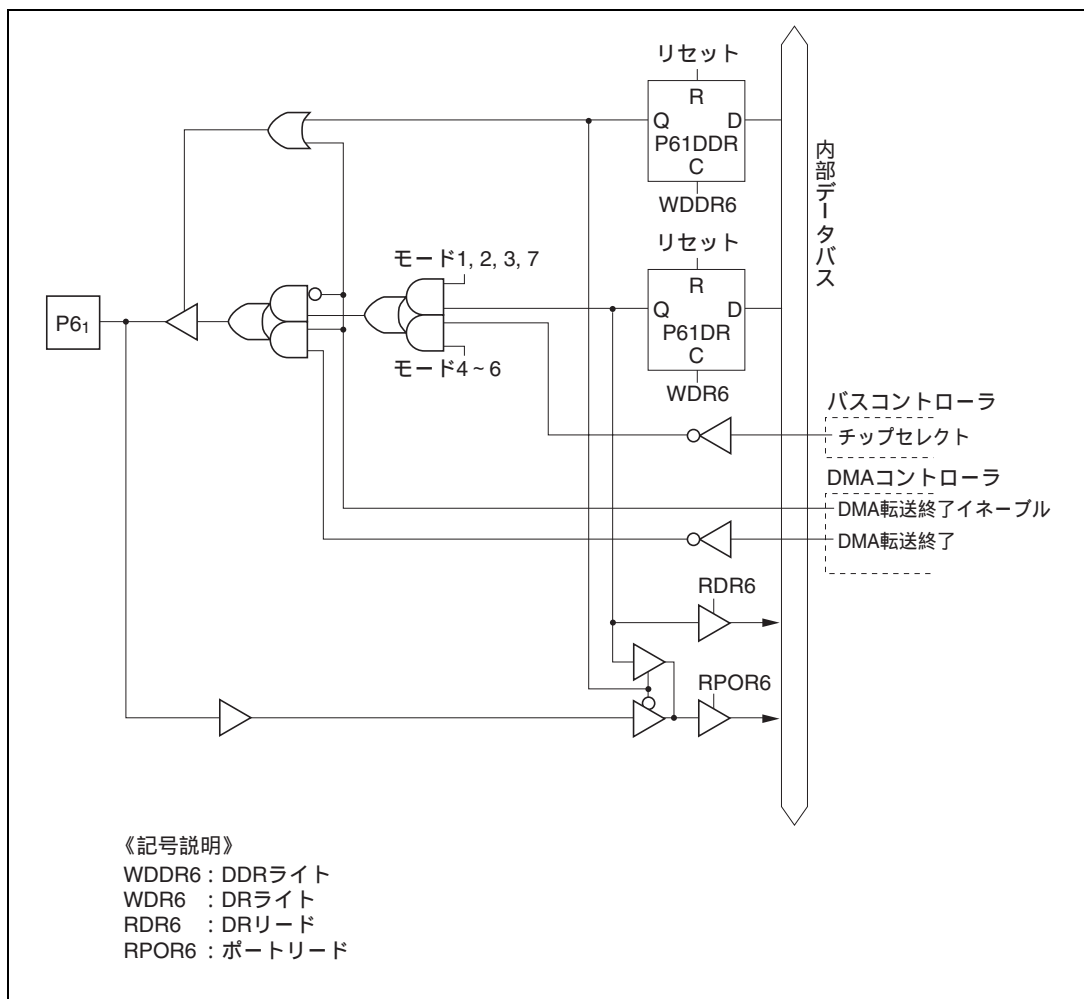


図 C.6 (b) ポート 6 ブロック図 (P6<sub>1</sub>端子)



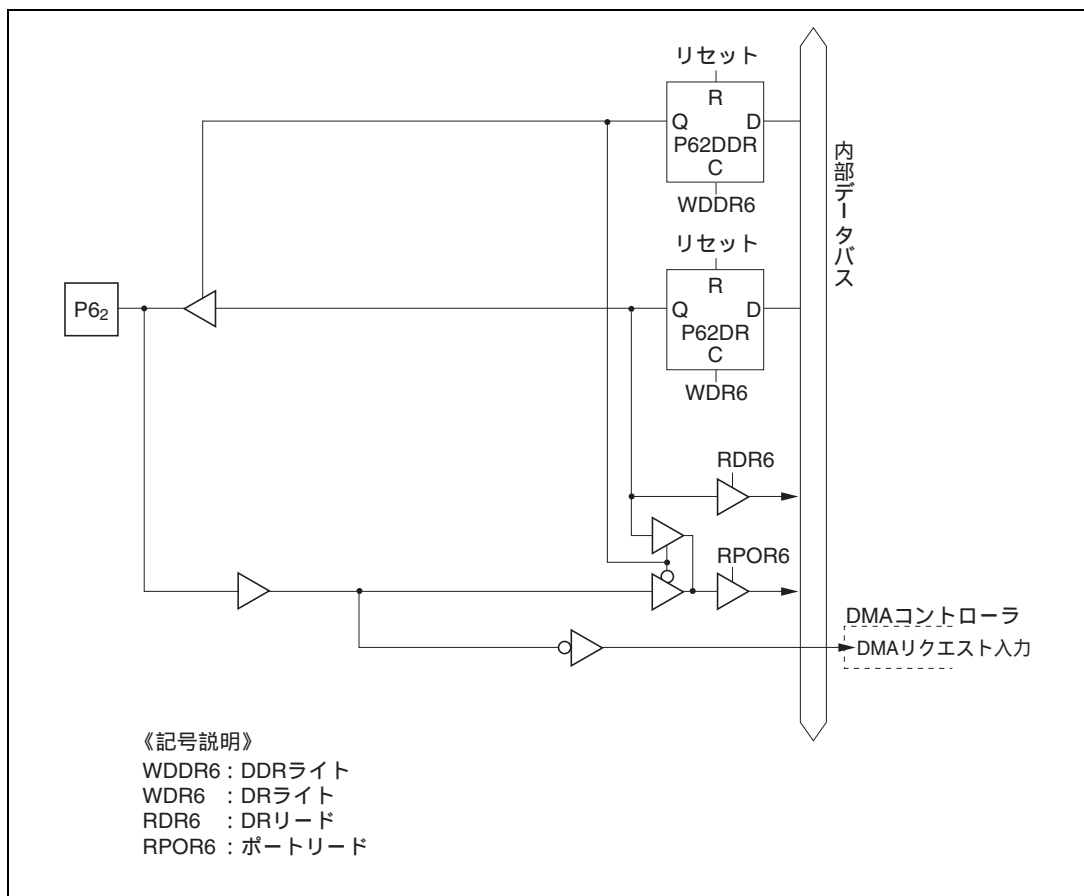


図 C.6 (c) ポート 6 ブロック図 (P6<sub>2</sub>端子)

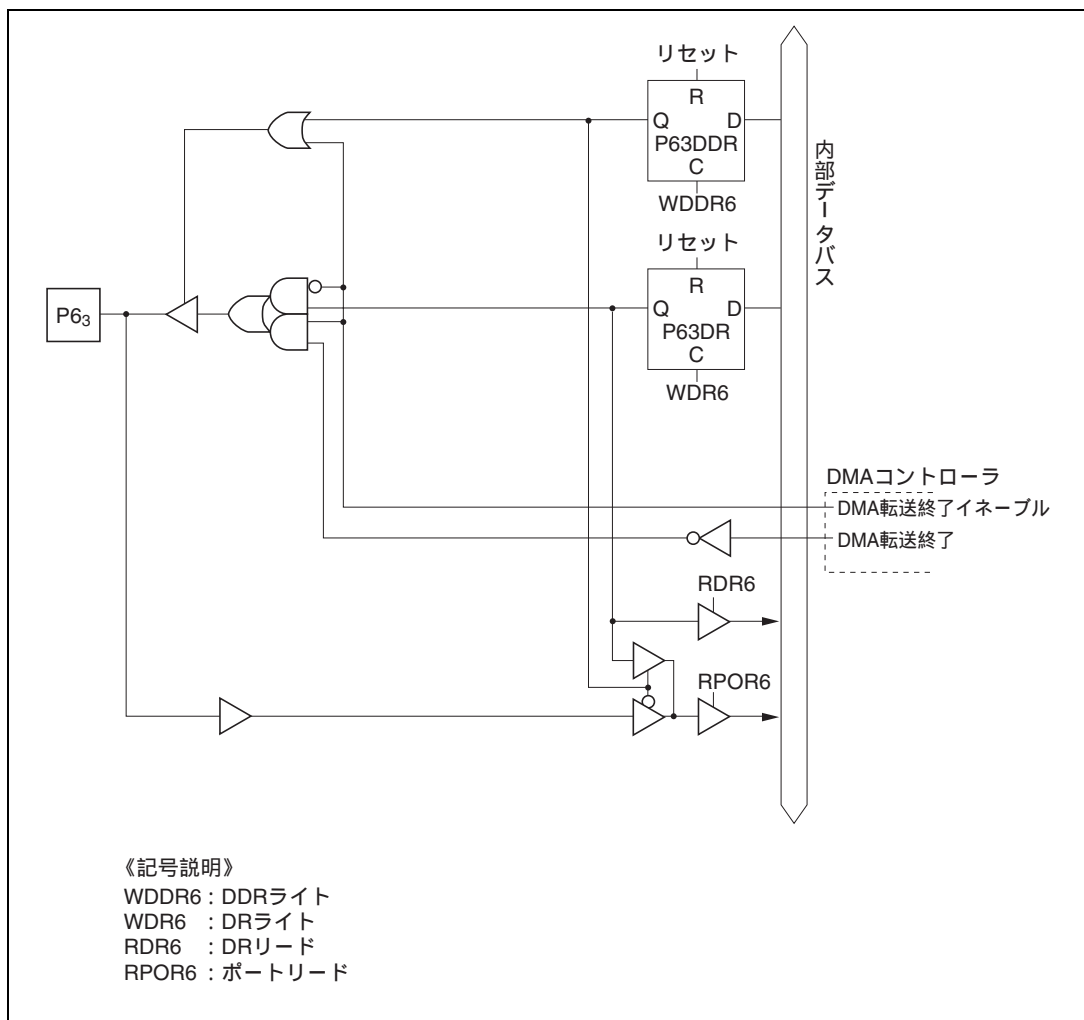


図 C.6 (d) ポート 6 ブロック図 (P6<sub>3</sub>端子)

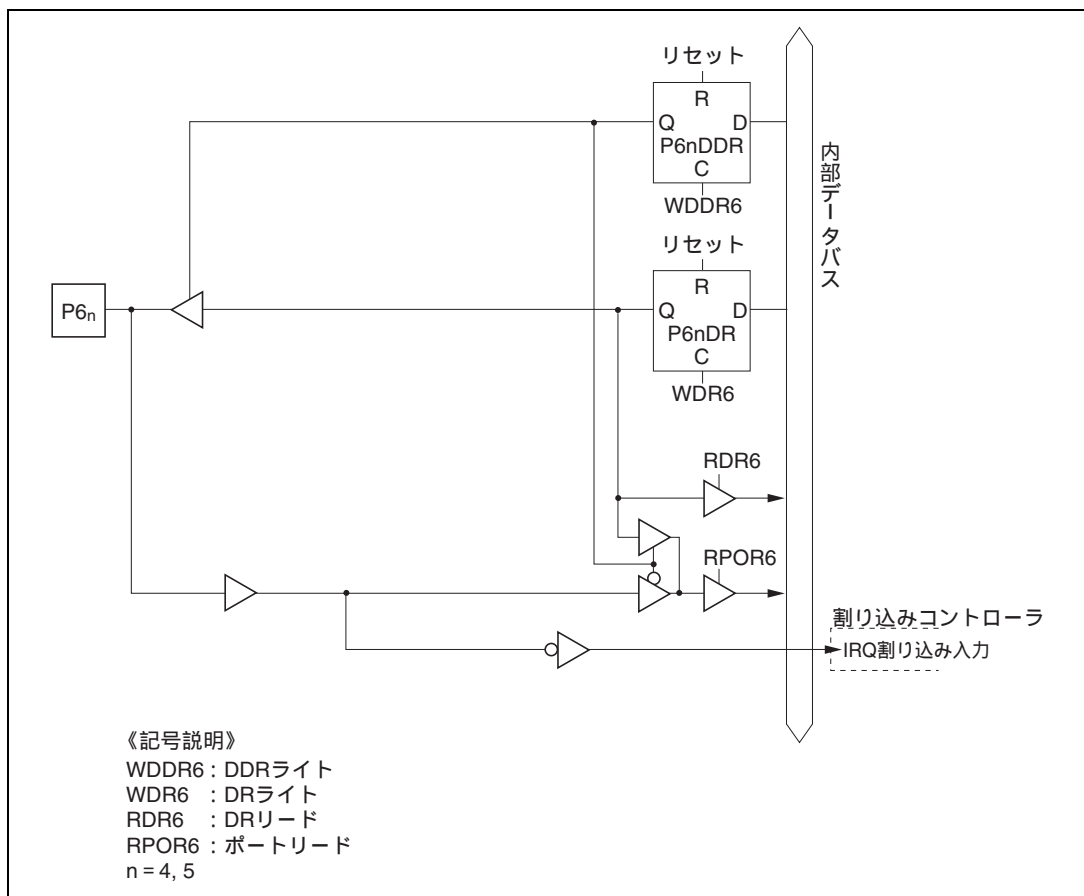


図 C.6 (e) ポート 6 ブロック図 (P6<sub>4</sub>、P6<sub>5</sub> 端子)

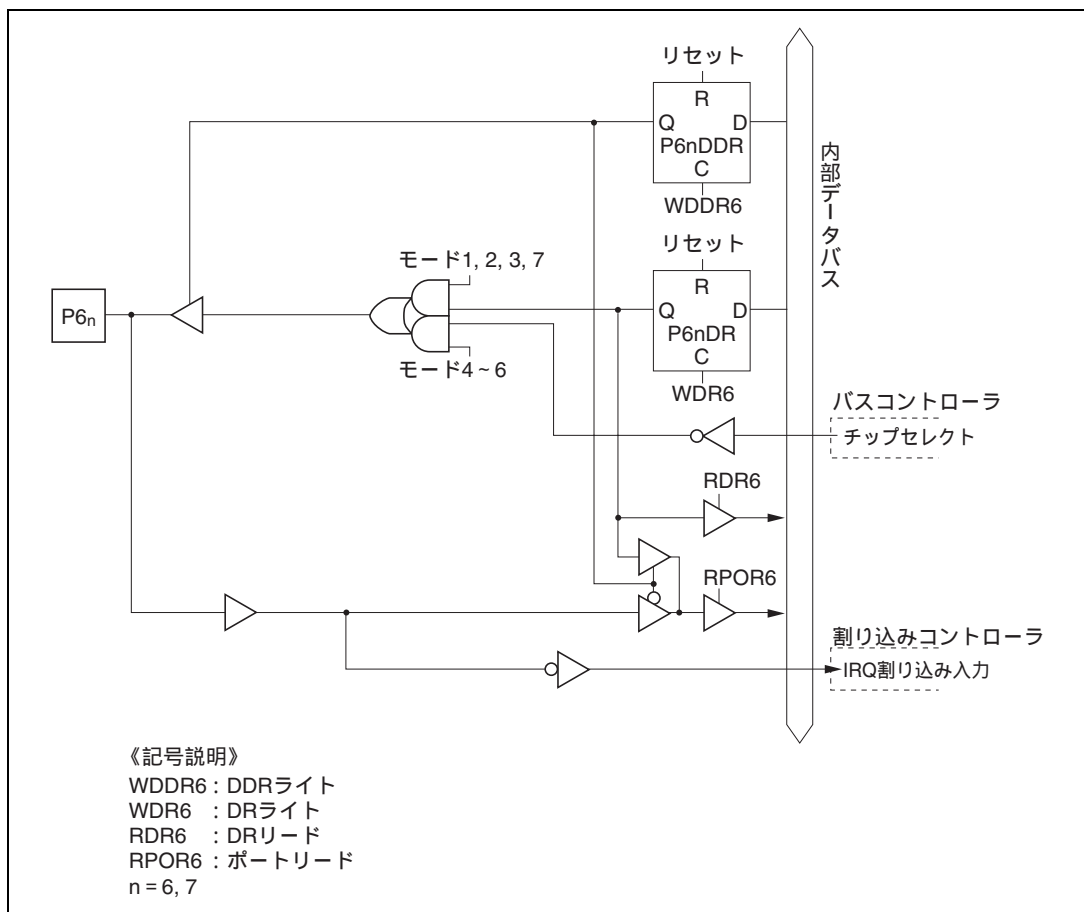


図 C.6 (f) ポート 6 ブロック図 (P6<sub>n</sub>、P6<sub>n</sub>端子)

### C.7 ポート A ブロック図

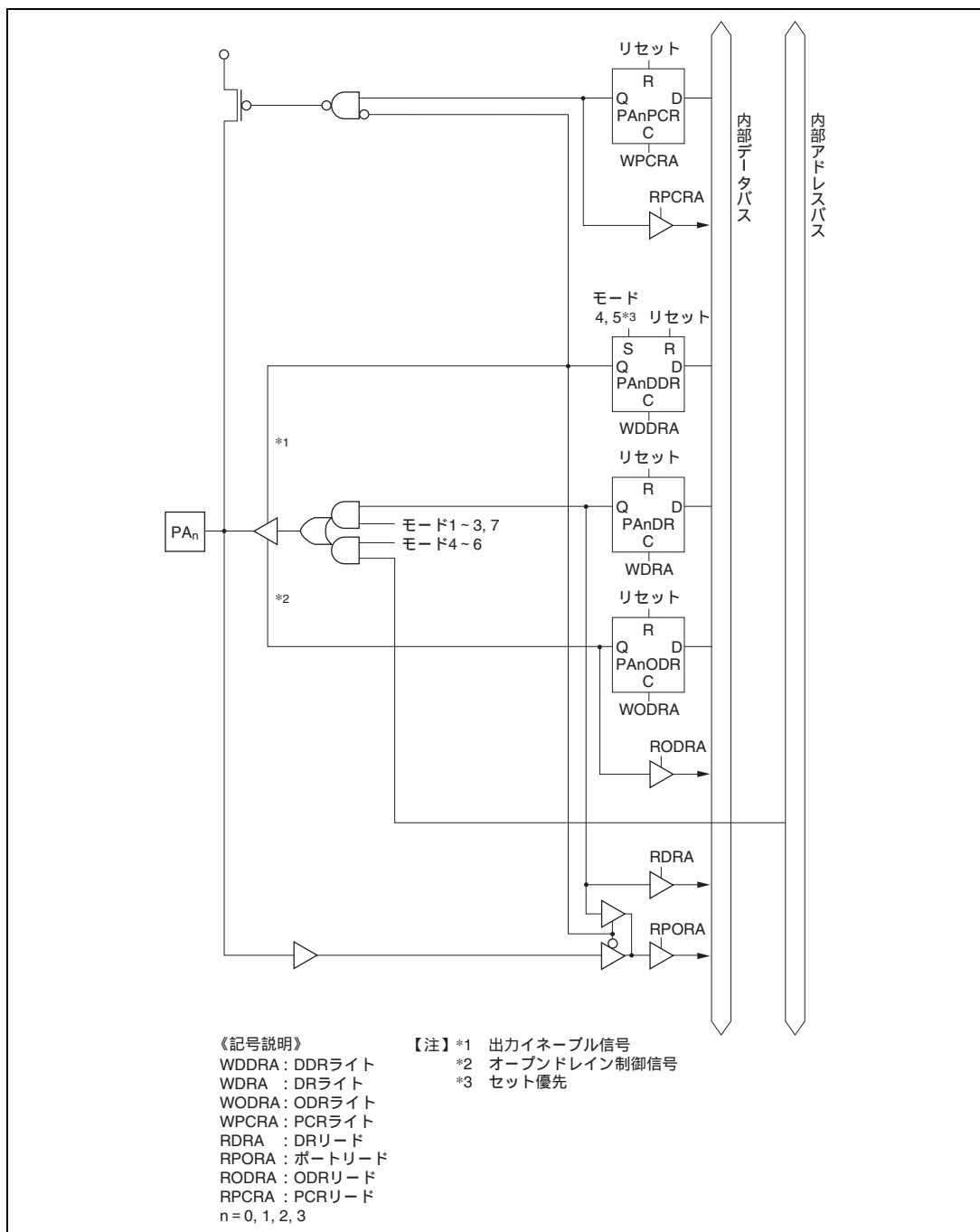


図 C.7 (a) ポート A ブロック図 (PA<sub>0</sub>、PA<sub>1</sub>、PA<sub>2</sub>、PA<sub>3</sub> 端子)

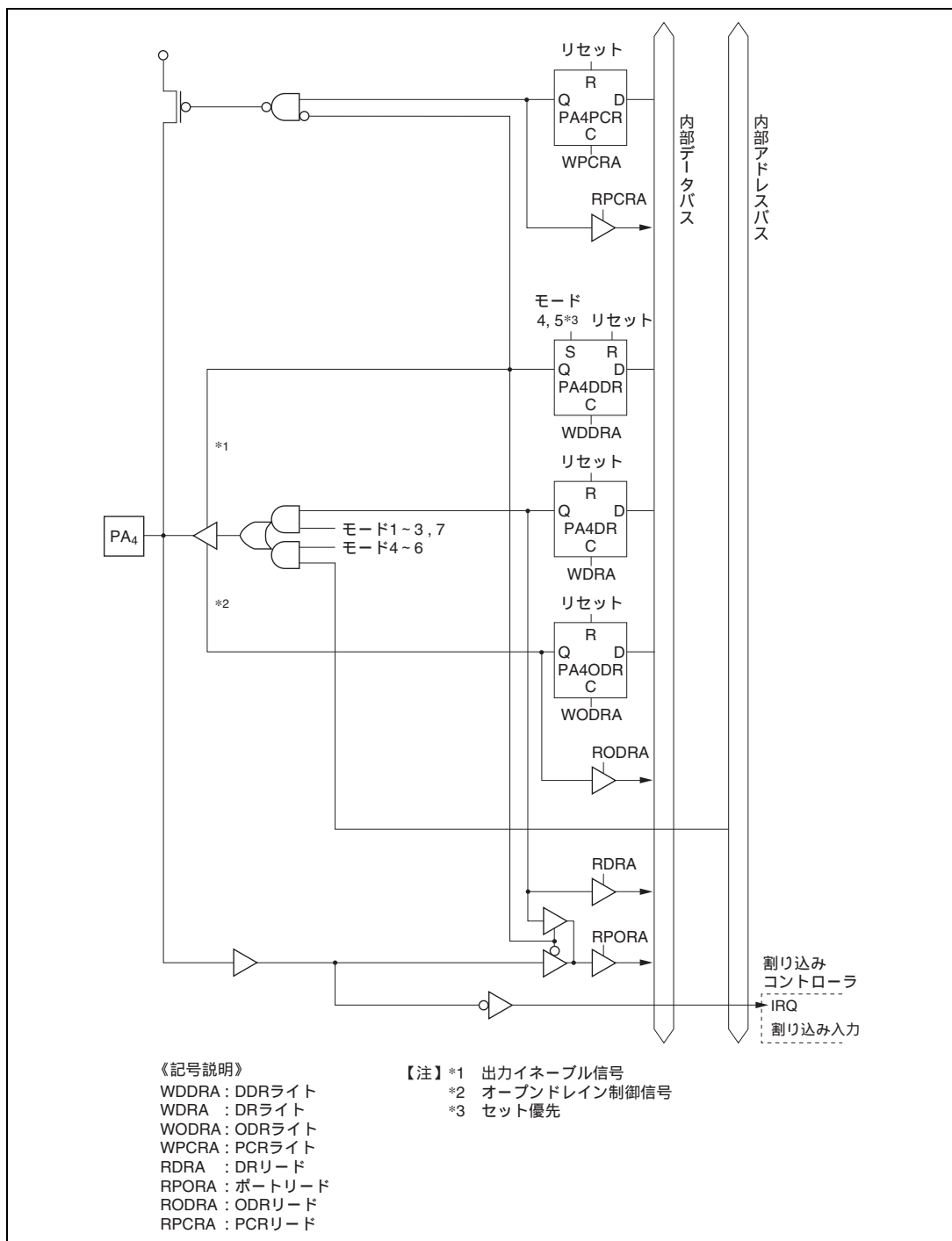


図 C.7 (b) ポート A ブロック図 (PA<sub>4</sub> 端子)



### C.8 ポート B ブロック図

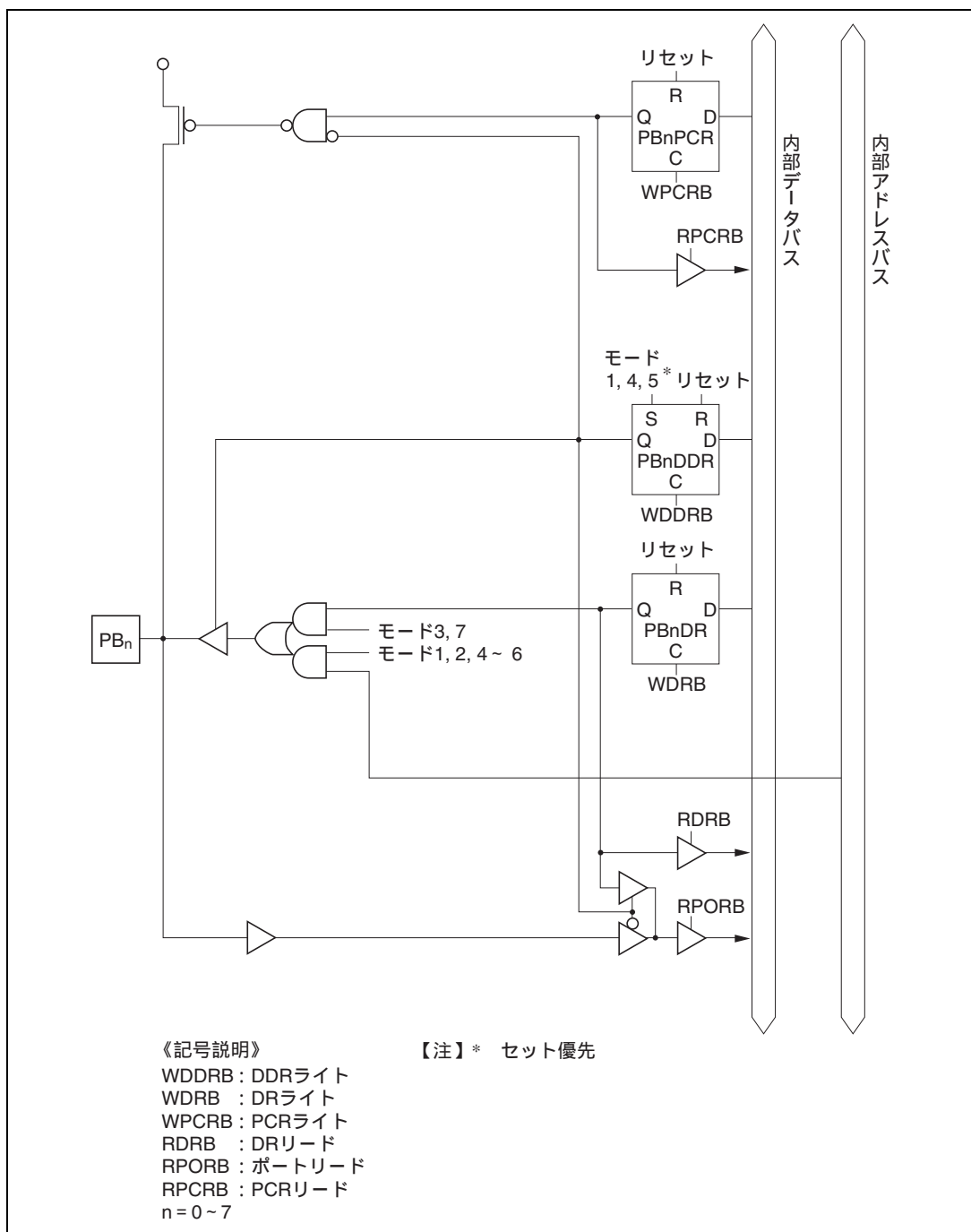


図 C.8 ポート B ブロック図 (PB<sub>n</sub> 端子)



### C.9 ポート C ブロック図

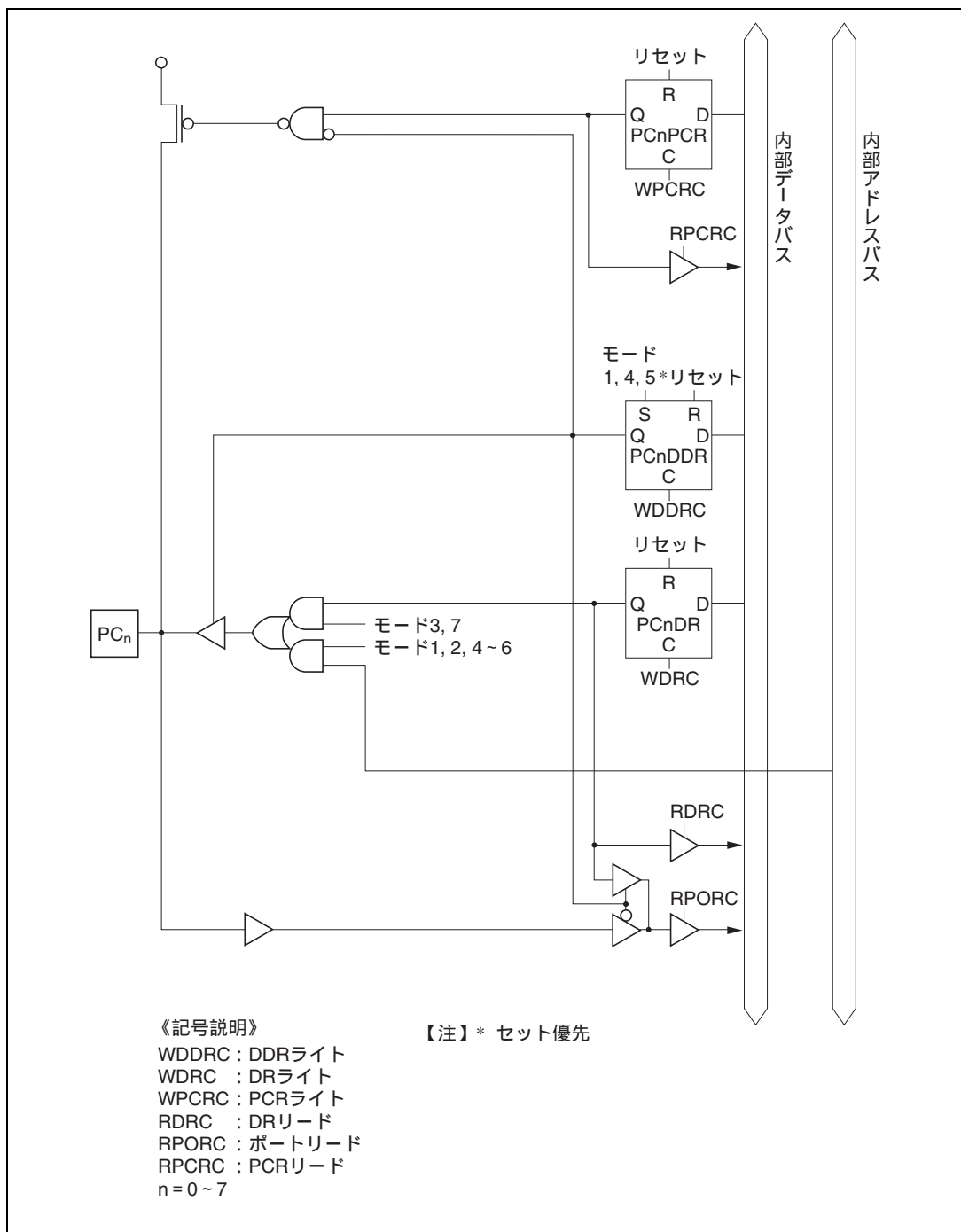


図 C.9 ポート C ブロック図 (PC<sub>n</sub>端子)

### C.10 ポート D ブロック図

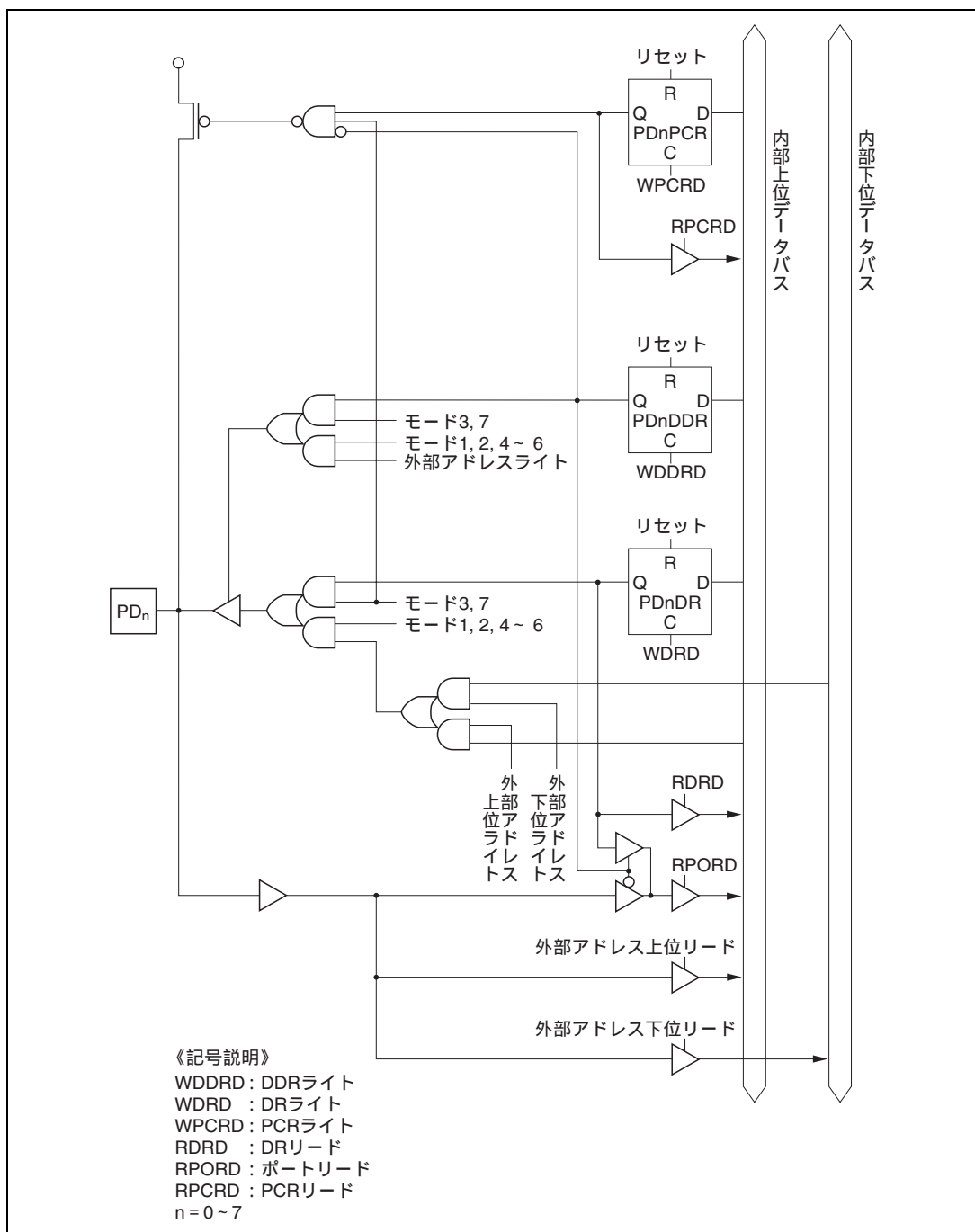


図 C.10 ポート D ブロック図 (PD<sub>n</sub>端子)

C.11 ポートEブロック図

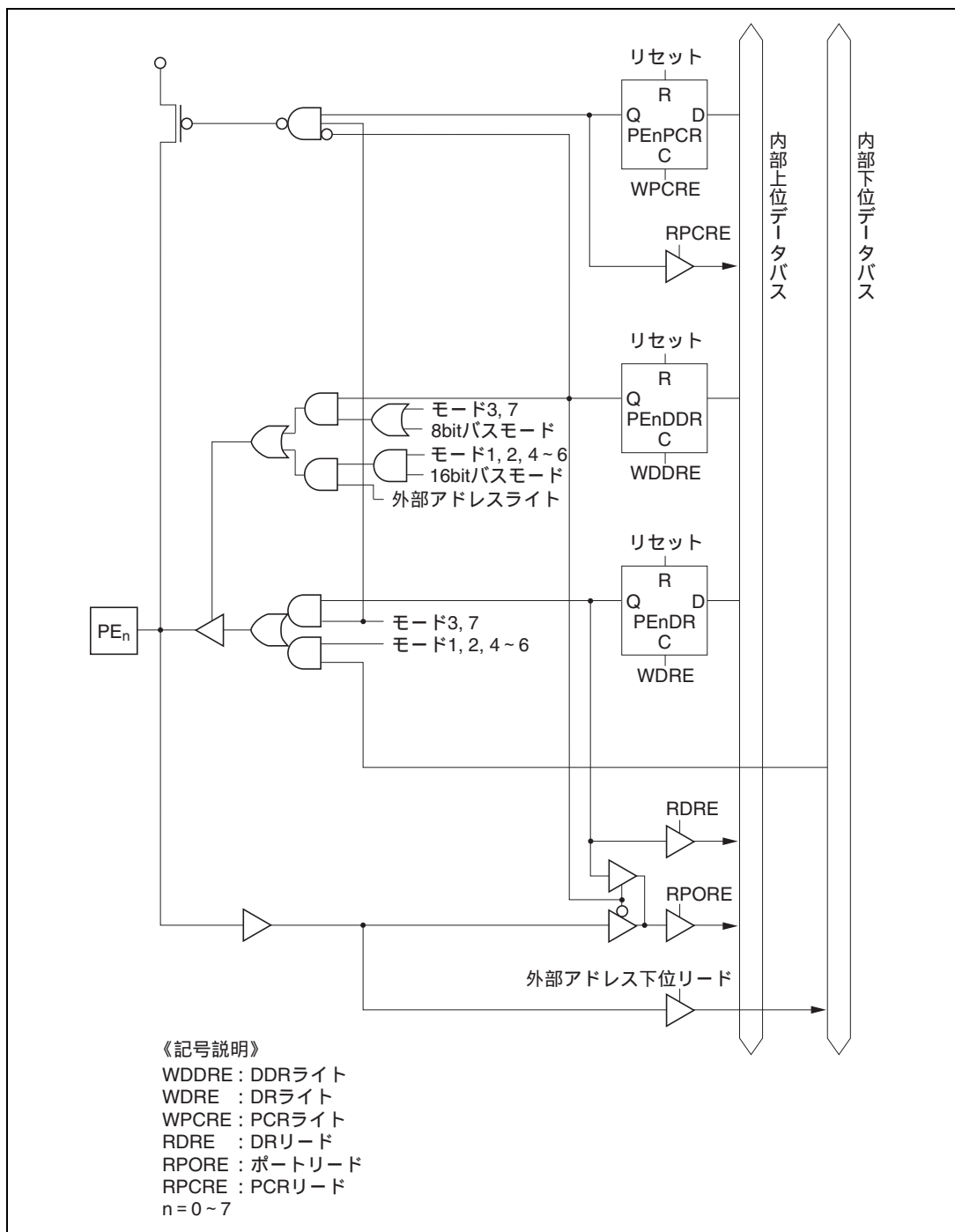


図 C.11 ポートEブロック図 (PE<sub>n</sub>端子)

### C.12 ポートFブロック図

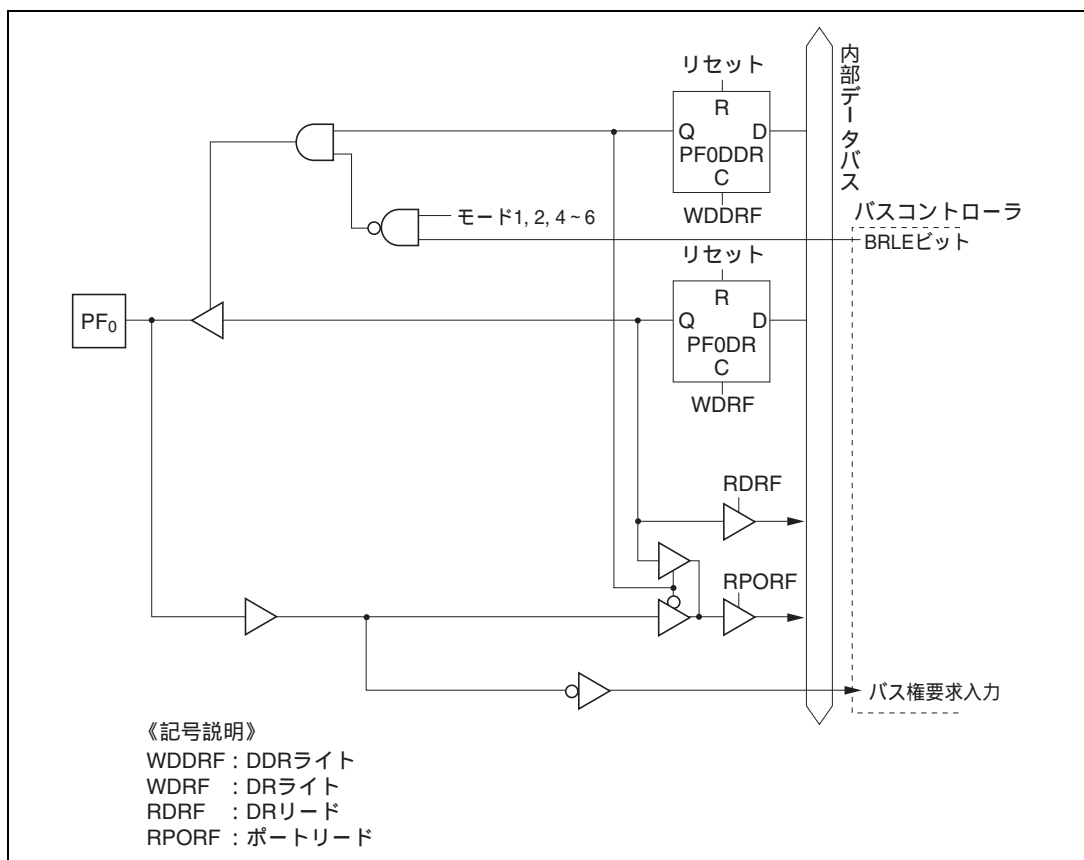


図 C.12 (a) ポートFブロック図 (PF<sub>0</sub>端子)

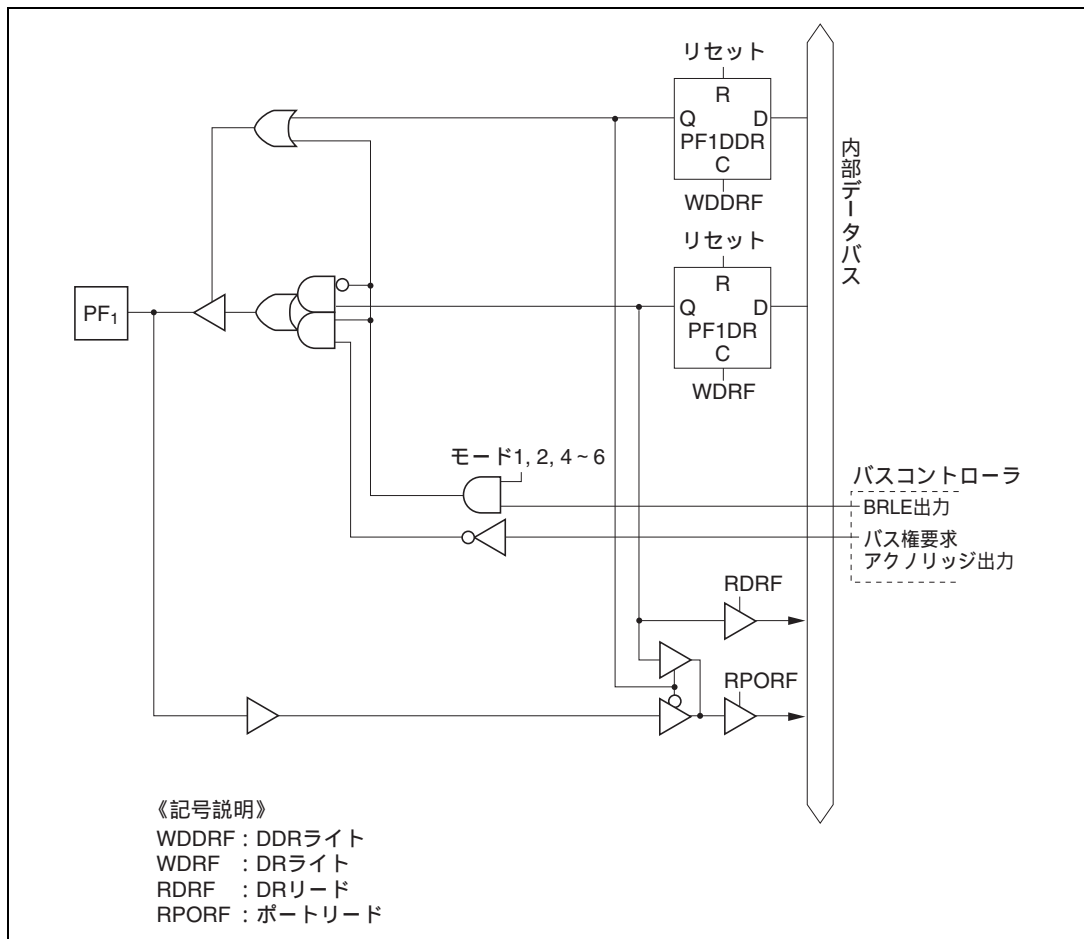


図 C.12 (b) ポート F ブロック図 (PF<sub>1</sub>端子)

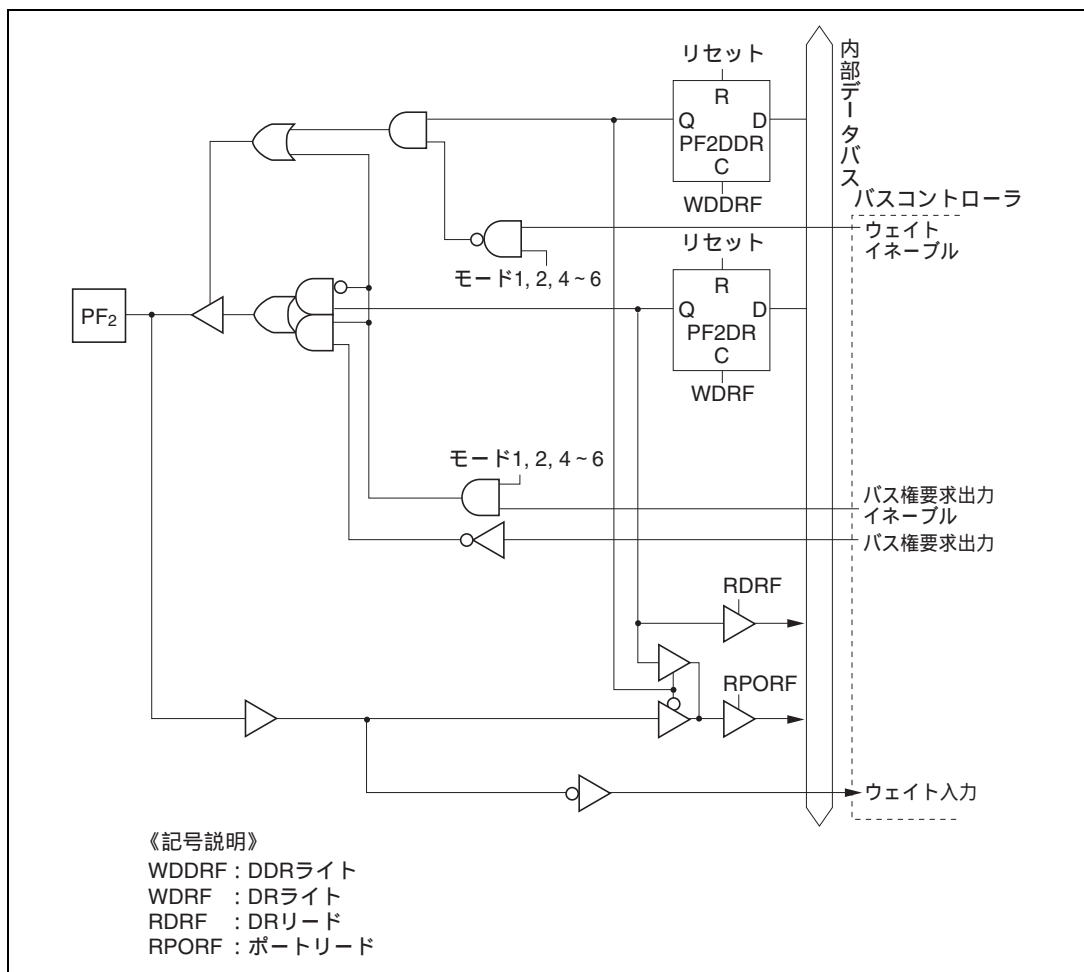


図 C.12 (c) ポート F ブロック図 (PF<sub>2</sub> 端子)

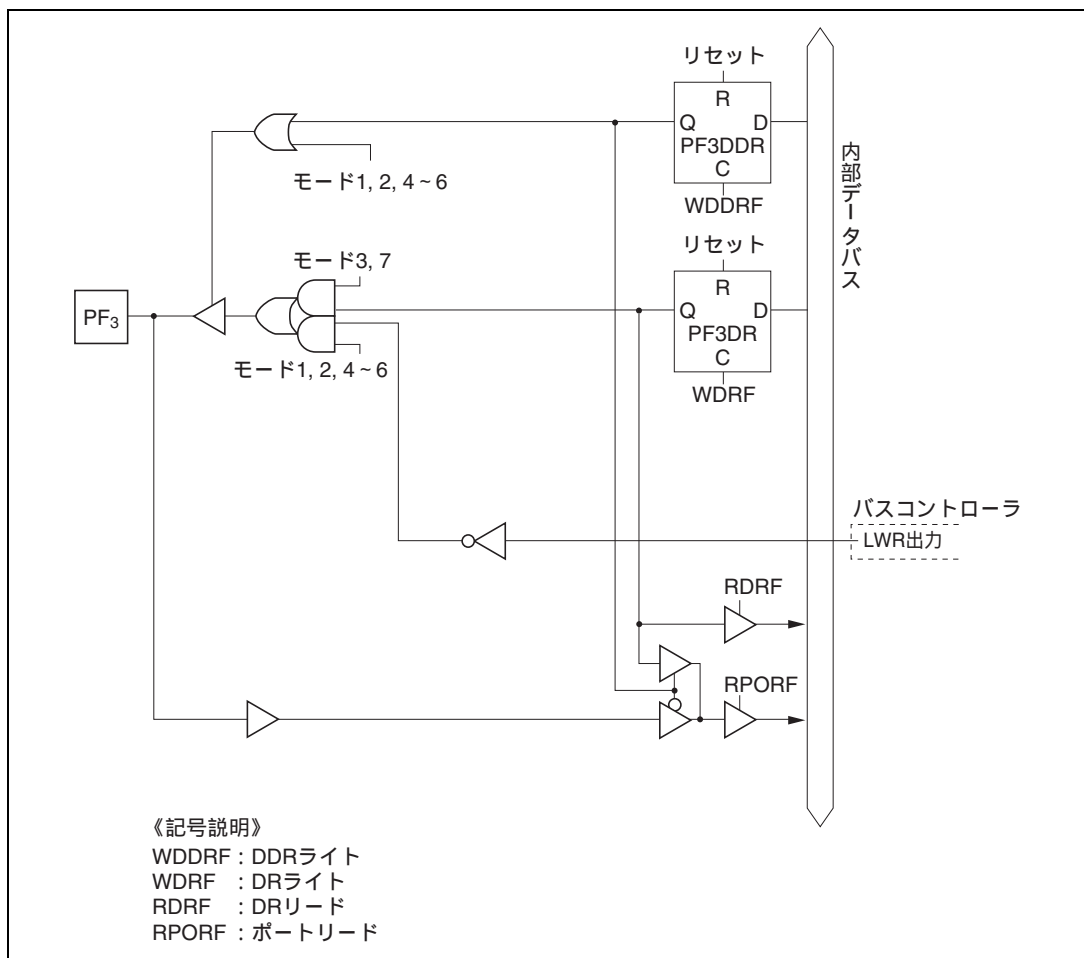


図 C.12 (d) ポート F ブロック図 (PF<sub>3</sub>端子)





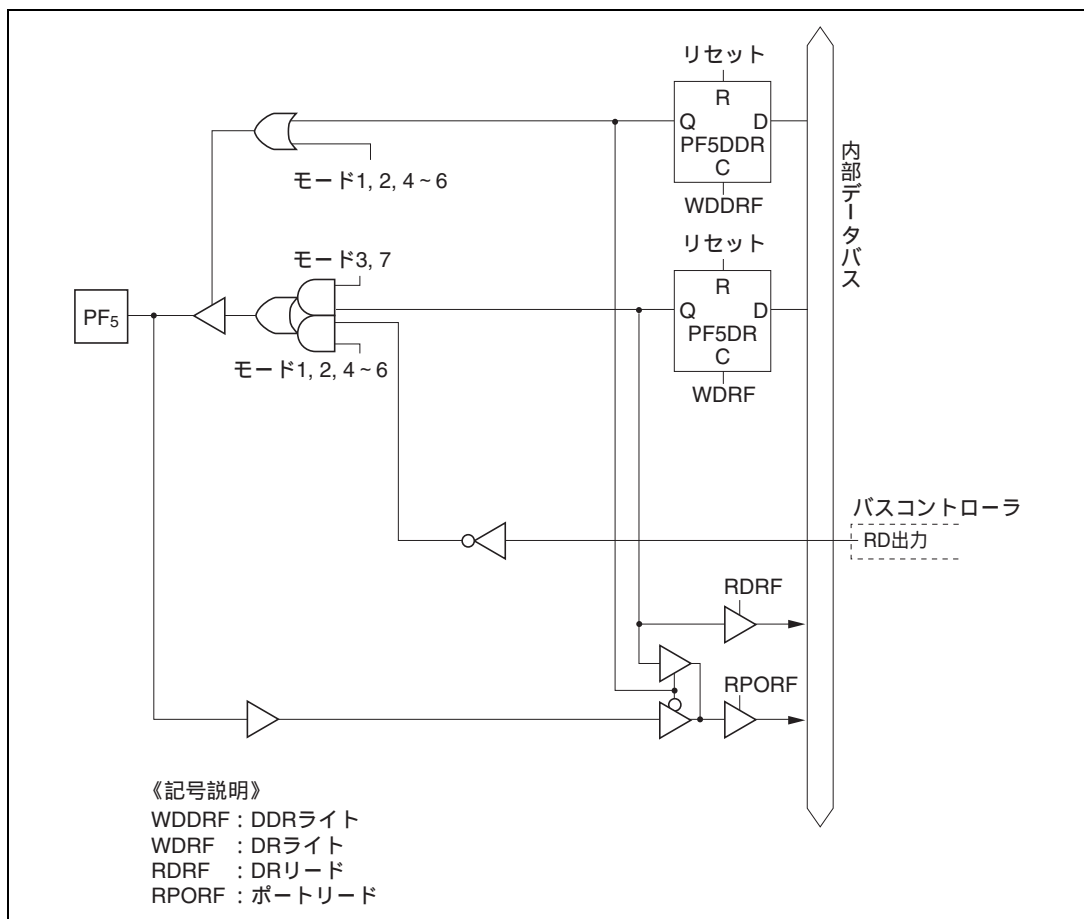


図 C.12 (f) ポート F ブロック図 (PF<sub>5</sub> 端子)

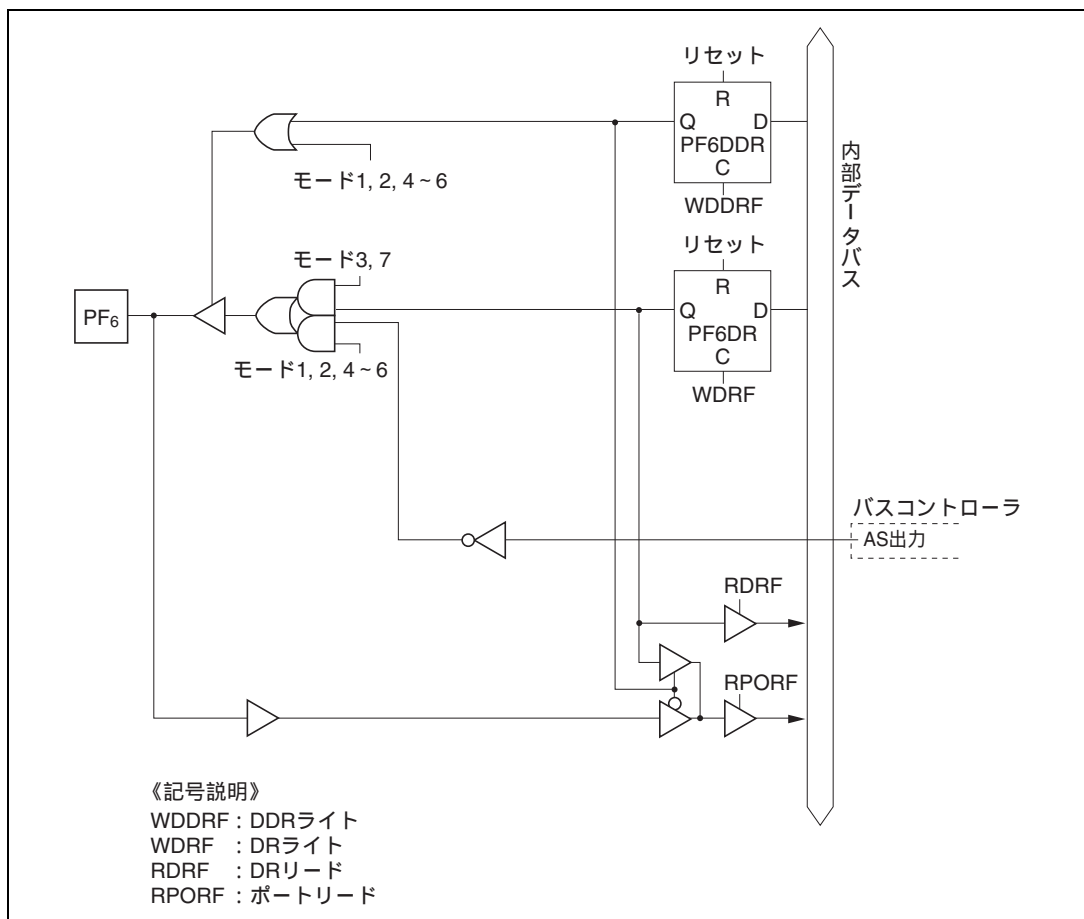


図 C.12 (g) ポート F ブロック図 (PF<sub>6</sub> 端子)

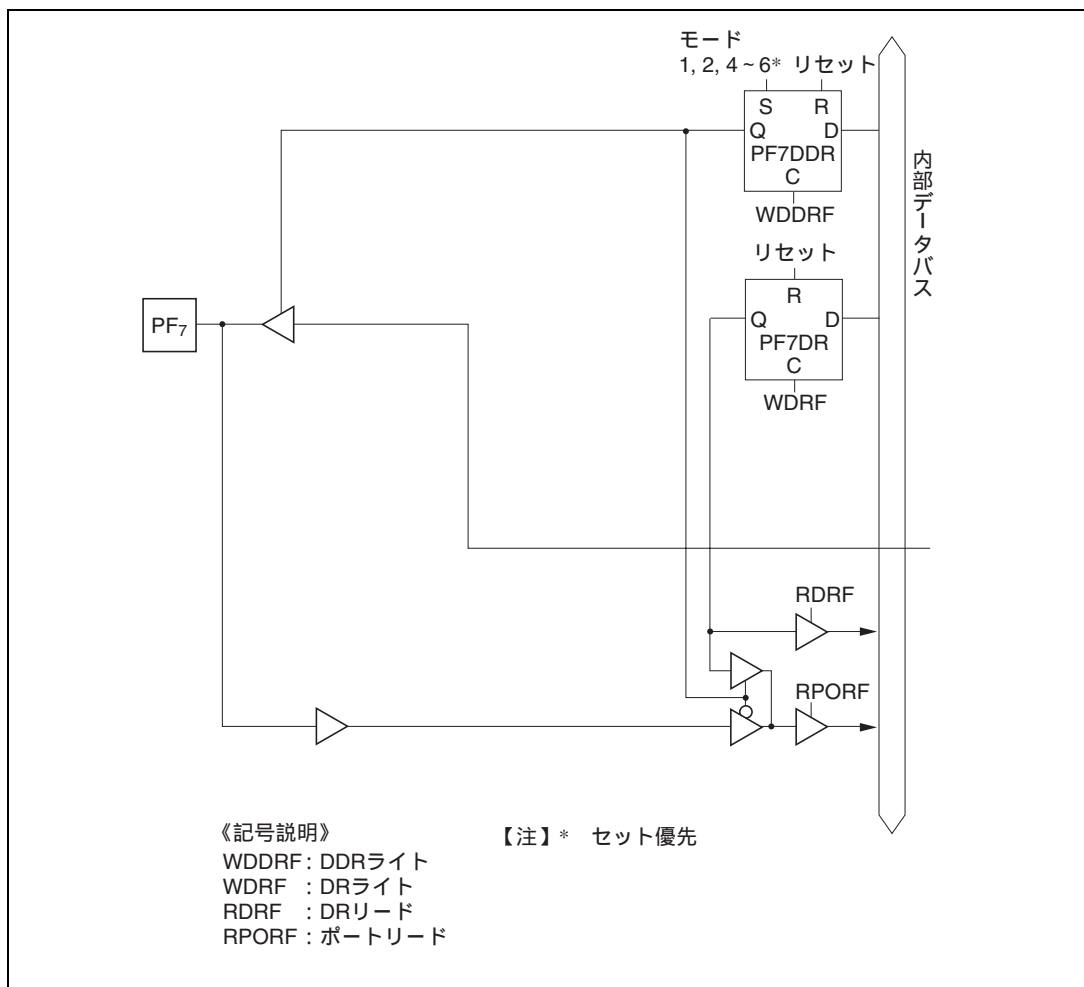


図 C.12 (h) ポート F ブロック図 (PF<sub>7</sub>端子)

C.13 ポート G ブロック図

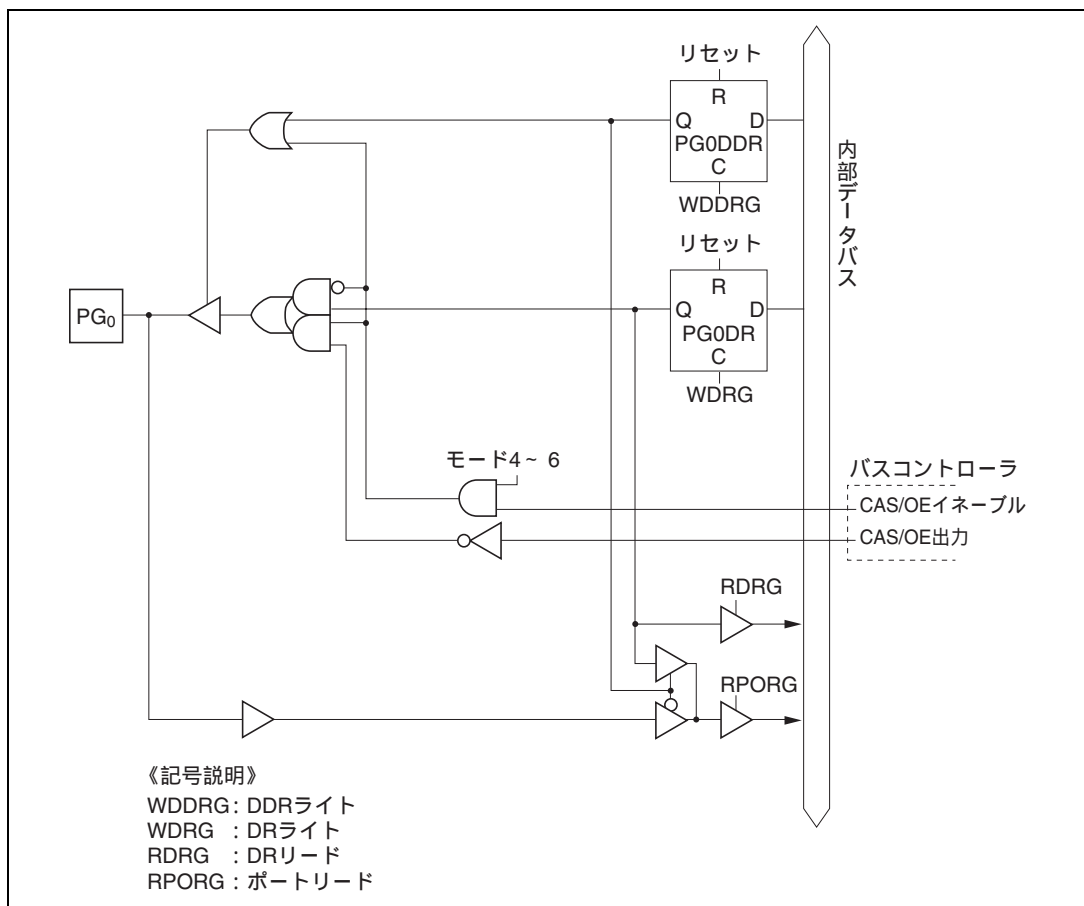


図 C.13 (a) ポート G ブロック図 (PG<sub>0</sub>端子)

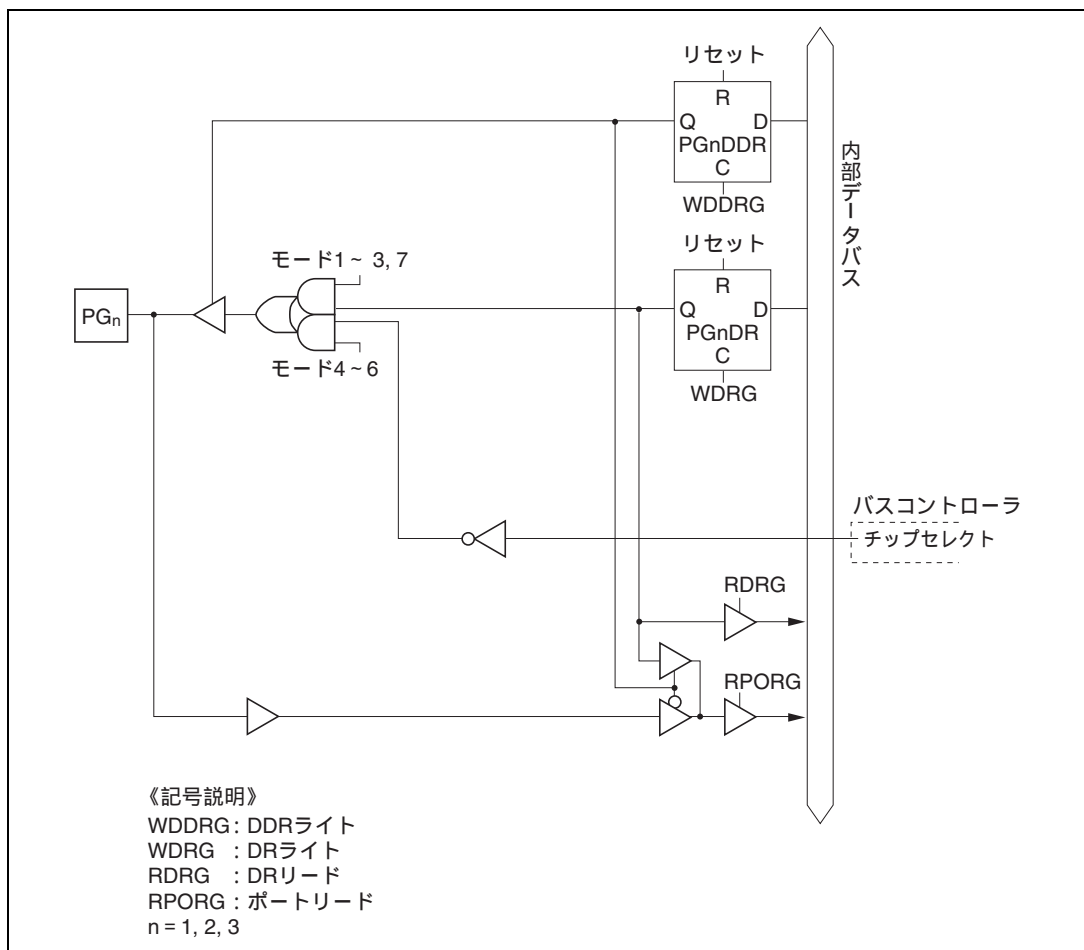


図 C.13 (b) ポート G ブロック図 (PG<sub>1</sub>、PG<sub>2</sub>、PG<sub>3</sub>端子)

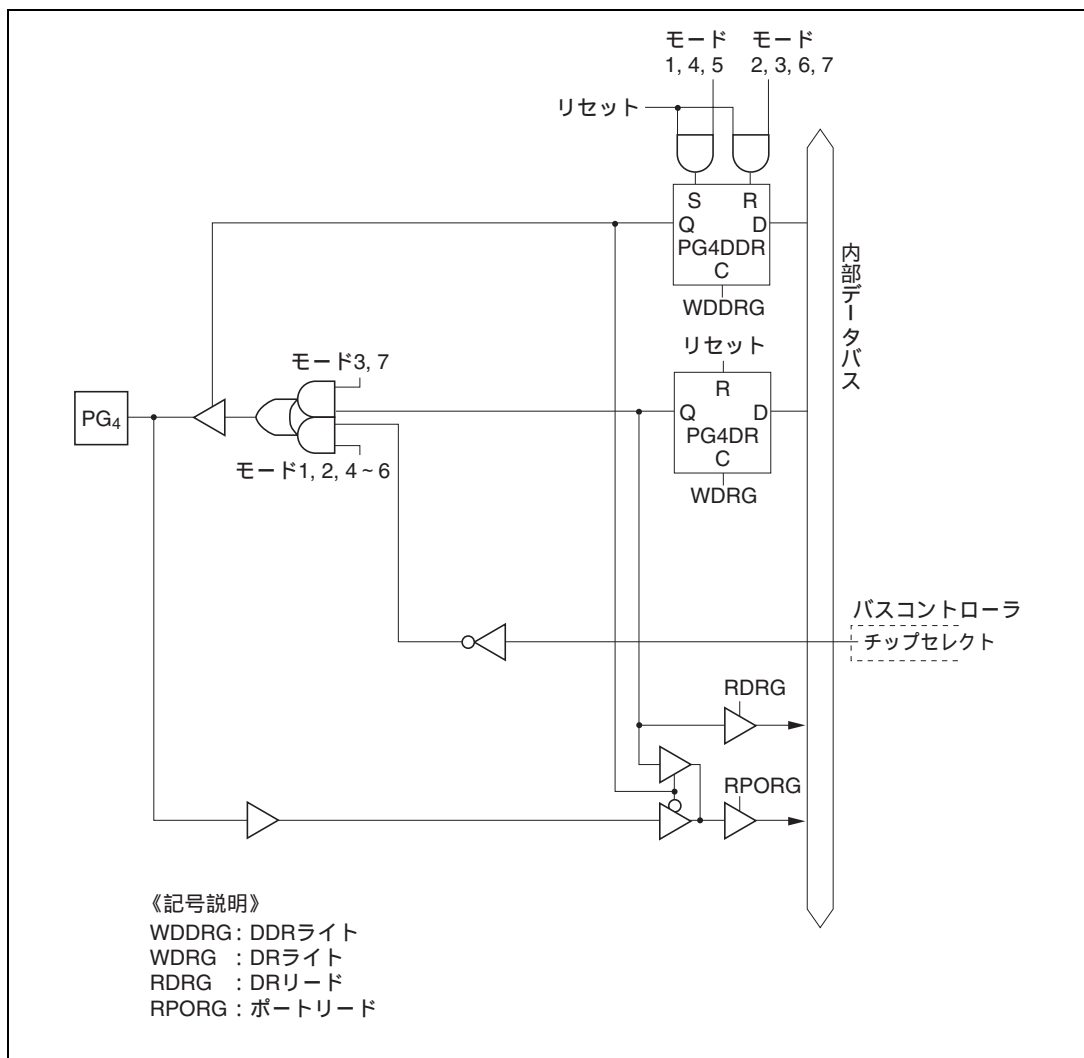


図 C.13 (c) ポート G ブロック図 (PG<sub>4</sub> 端子)

## D. 端子状態

## D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態 (1)

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	1~7	T	keep	T	keep	keep	入出力ポート
ポート 2	1~7	T	keep	T	keep	keep	入出力ポート
ポート 3	1~7	T	keep	T	keep	keep	入出力ポート
P4 <sub>7</sub> /DA1	1~7	T	T	T	[ DAOE1 = 1 ] keep [ DAOE1 = 0 ] T	keep	入出力ポート
P4 <sub>6</sub> /DA0	1~7	T	T	T	[ DAOE0 = 1 ] keep [ DAOE0 = 0 ] T	keep	入出力ポート
P4 <sub>5</sub> ~ P4 <sub>0</sub>	1~7	T	T	T	T	T	入力ポート
ポート 5	1~7	T	keep	T	keep	keep	入出力ポート
P6 <sub>5</sub> ~ P6 <sub>2</sub>	1~7	T	keep	T	keep	keep	入出力ポート
P6 <sub>7</sub> /CS <sub>7</sub> P6 <sub>6</sub> /CS <sub>6</sub> P6 <sub>5</sub> /CS <sub>5</sub> P6 <sub>4</sub> /CS <sub>4</sub>	1~3、7 4~6	T T	keep keep	T T	keep [ DDR・OPE=0 ] T [ DDR・OPE=1 ] H	keep T	入出力ポート [ DDR = 0 ] 入力ポート [ DDR = 1 ] CS <sub>7</sub> ~ CS <sub>4</sub>
ポート A PA0 ~ PA3	1~3、7 4、5 6	T L T	keep keep keep	T T T	keep [ OPE = 0 ] T [ OPE = 1 ] keep [ DDR・OPE=0 ] T [ DDR・OPE=1 ] keep	keep T T	入出力ポート アドレス出力 [ DDR = 0 ] 入力ポート [ DDR = 1 ] アドレス出力
ポート A PA4	1~3、7 4、5 6	T L T	keep keep keep	T T T	keep [ OPE = 0 ] T [ OPE = 1 ] keep [ DDR・OPE=0 ] T [ DDR・OPE=1 ]	keep T T	入出力ポート アドレス出力 [ DDR = 0 ] 入力ポート [ DDR = 1 ]

表 D.1 各処理状態における I/O ポートの状態 (2)

ポート名 端子名	MCU動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート A PA5 ~ PA7	1 ~ 3、 7	T	keep	T	keep	keep	入出力ポート
	4、 5	T	keep	T	[DDR・OPE=0] T [DDR・OPE=1] keep	T	[DDR=0] 入力ポート [DDR=1] アドレス出力
	6	T	keep	T	[DDR・OPE=0] T [DDR・OPE=1] keep	T	[DDR=0] 入力ポート [DDR=1] アドレス出力
ポート B	1、 4、 5	L	keep	T	[OPE=0] T [OPE=1] keep	T	アドレス出力
	2、 6	T	keep	T	[DDR・OPE=0] T [DDR・OPE=1] keep	T	[DDR=0] 入力ポート [DDR=1] アドレス出力
	3、 7	T	keep	T	keep	keep	入出力ポート
ポート C	1、 4、 5	L	keep	T	[OPE=0] T [OPE=1] keep	T	アドレス出力
	2、 6	T	keep	T	[DDR・OPE=0] T [DDR・OPE=1] keep	T	[DDR=0] 入力ポート [DDR=1] アドレス出力
	3、 7	T	keep	T	keep	keep	入出力ポート
ポート D	1、 2、 4 ~ 6	T	T*	T	T	T	データバス
	3、 7	T	keep	T	keep	keep	入出力ポート
ポート E	1、 2、 4 ~ 6	8ビット バス	keep	T	keep	keep	入出力ポート
		16ビット バス	T	T*	T	T	データバス
	3、 7	T	keep	T	keep	keep	入出力ポート
PF <sub>J</sub>	1、 2、 4 ~ 6	クロック 出力	[DDR=0] T [DDR=1] クロック出力	T	[DDR=0] 入力ポート [DDR=1] H	[DDR=0] 入力ポート [DDR=1] クロック出力	[DDR=0] 入力ポート [DDR=1] クロック出力
	3、 7	T	keep	T	[DDR=0] 入力ポート [DDR=1] H	[DDR=0] 入力ポート [DDR=1] クロック出力	[DDR=0] 入力ポート [DDR=1] クロック出力



表 D.1 各処理状態における I/O ポートの状態 (3)

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	パス権 解放状態	プログラム 実行状態 スリープモード
PF <sub>0</sub> /AS PF <sub>5</sub> /RD PF <sub>4</sub> /HWR PF <sub>3</sub> /LWR	1、2、4~6	H	H*	T	[ OPE = 0 ] T [ OPE = 1 ] H	T	AS、RD、 HWR、LWR
	3、7	T	keep	T	keep	keep	入出力ポート
PF <sub>2</sub> /LCAS/ WAIT/ BREQO	1、2、4~6	T	[ BREQOE + WAITE + LCASE = 0 ] keep [ BREQOE = 1 ] BREQO [ WAITE = 1 ] T [ LCASE = 1 ] H*	T	[ BREQOE + WAITE + LCASE = 0 ] keep [ BREQOE = 1 ] keep [ WAITE = 1 ] T [ LCASE = 1、 OPE = 0 ] T [ LCASE = 1、 OPE = 1 ] LCAS	[ BREQOE + WAITE + LCASE = 0 ] keep [ BREQOE = 1 ] BREQO [ WAITE = 1 ] T [ LCASE = 1 ] T	[ BREQOE + WAITE + LCASE = 0 ] 入出力ポート [ BREQOE = 1 ] BREQO [ WAITE = 1 ] WAIT [ LCASE = 1 ] LCAS
	3、7	T	keep	T	keep	keep	入出力ポート
PF <sub>1</sub> /BACK	1、2、4~6	T	[ BRLE = 0 ] keep [ BRLE = 1 ] BACK	T	[ BRLE = 0 ] keep [ BRLE = 1 ] BACK	L	[ BRLE = 0 ] 入出力ポート [ BRLE = 1 ] BACK
	3、7	T	keep	T	keep	keep	入出力ポート
PF <sub>0</sub> /BREQ	1、2、4~6	T	[ BRLE = 0 ] keep [ BRLE = 1 ] BREQ	T	[ BRLE = 0 ] keep [ BRLE = 1 ] T	T	[ BRLE = 0 ] 入出力ポート [ BRLE = 1 ] BREQ
	3、7	T	keep	T	keep	keep	入出力ポート
PG <sub>0</sub> /CS <sub>0</sub>	1、4、5	H	[ DDR = 0 ]	T	[ DDR · OPE = 0 ]	T	[ DDR = 0 ]
	2、6	T	T [ DDR = 1 ] H*		T [ DDR · OPE = 1 ] H		入力ポート [ DDR = 1 ] CS <sub>0</sub>
	3、7	T	keep	T	keep	keep	入出力ポート
PG <sub>0</sub> /CS <sub>1</sub> PG <sub>2</sub> /CS <sub>2</sub> PG <sub>7</sub> /CS <sub>3</sub>	1~3、7	T	keep	T	keep	keep	入出力ポート
	4~6	T	[ DDR = 0 ] T [ DDR = 1 ] H*	T	[ DDR · OPE = 0 ] T [ DDR · OPE = 1 ] H	T	[ DDR = 0 ] 入力ポート [ DDR = 1 ] CS <sub>1</sub> ~ CS <sub>3</sub>

表 D.1 各処理状態における I/O ポートの状態 (4)

ポート名 端子名	MCU 動作 モード	パワー オン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG <sub>0</sub> /CAS OE	1~3、7	T	keep	T	keep	keep	入出力ポート
	4~6	T	[ DRAME = 0、 PSRAM E = 0 ] keep [ DRAME = 1 ] H* [ PSRAM E = 1 ] H*	T	[ DRAME = 0、 PSRAM E = 0 ] keep [ OPE = 0 ] T [ DRAME · OPE = 1 ] CAS [ PSRAM E · OPE = 1 ] OE	T	[ DRAME = 0、 PSRAM E = 0 ] 入力ポート [ DRAME = 1、 PSRAM E = 0 ] CAS [ DRAME = 0、 PSRAM E = 1 ] OE

【記号説明】

- H : High レベル
- L : Low レベル
- T : ハイインピーダンス
- keep : 入力ポートはハイインピーダンス、出力ポートは保持
- DDR : データディレクションレジスタ
- OPE : 出力ポートイネーブル
- WAITE : ウェイト入力イネーブル
- BRLE : バスリリースイネーブル
- BREQOE : BREQO 端子イネーブル
- DRAME : DRAM 空間設定
- LCASE : DRAM 空間設定、CW2 = LCASS = 0
- PSRAM E : PSRAM 空間設定

【注】 \* : 実行中のバスサイクル終了後の状態を示します。

## E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

### 【ハードウェアスタンバイモードの遷移タイミング】

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

下記に示すように  $\overline{\text{STBY}}$  信号の立ち下がりに対し、10 ステート以上前に  $\overline{\text{RES}}$  信号を Low としてください。

また、 $\overline{\text{RES}}$  信号の立ち上がりは、 $\overline{\text{STBY}}$  信号の立ち下がりに対し、0ns 以上としてください。

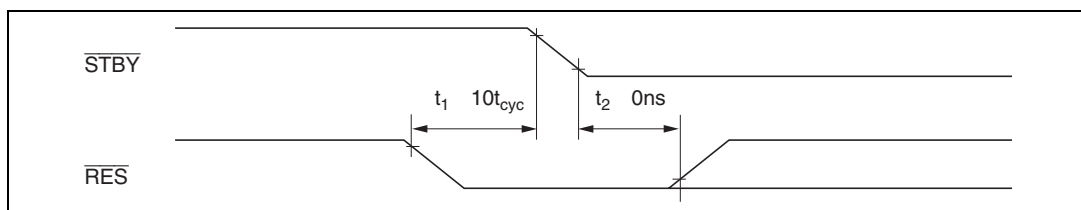


図 E.1 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように  $\overline{\text{RES}}$  信号を Low にする必要はありません。

### 【ハードウェアスタンバイモードからの復帰タイミング】

$\overline{\text{STBY}}$  信号の立ち上がりに対し、100ns 以上前に  $\overline{\text{RES}}$  信号を Low、NMI 信号を High とし、パワーオンリセットとしてください。

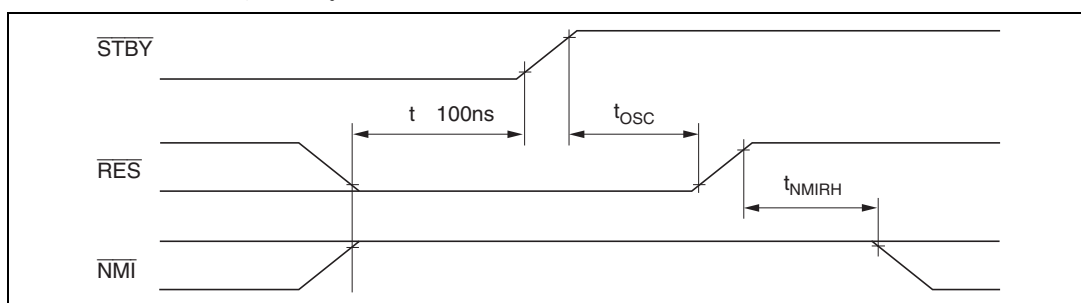


図 E.2 ハードウェアスタンバイモードからの復帰タイミング

## F. ROM 発注手順

### F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

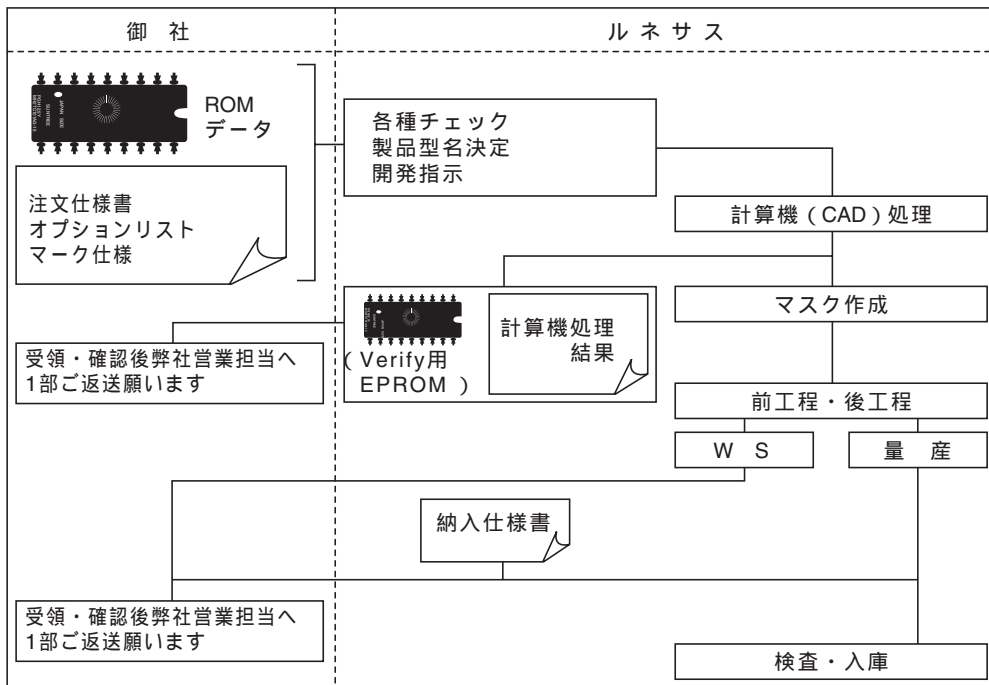


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT@マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* <sup>1</sup>
	マーク仕様例* <sup>2</sup>

【注】 \*1 製品シリーズにより必要ないものがあります。また、内容も異なります。

\*2 特別仕様の場合には、提出してください。

## F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT<sup>®</sup>マイコンで提出してください。なお、EPROM または ZTAT<sup>®</sup>マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

## G. 型名一覧

表 G.1 H8S/2655 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8S/2655	マスク ROM 版	5V 版 ( VCC = 5.0V ± 10% )	HD6432655	HD6432655 (***) TE	120 ピン TFP (PTQP0120LA-A)
				HD6432655 (***) F	128 ピン FP (PRQP0128KB-A)
		低電圧版 ( VCC = 2.7 ~ 5.5V )		HD6432655 (***) TE	120 ピン TFP (PTQP0120LA-A)
				HD6432655 (***) F	128 ピン FP (PRQP0128KB-A)
	ZTAT <sup>®</sup> 版	5V 版 ( VCC = 5.0V ± 10% )	HD6472655	HD6472655TE	120 ピン TFP (PTQP0120LA-A)
				HD6472655F	128 ピン FP (PRQP0128KB-A)
		低電圧版 ( VCC = 2.7 ~ 5.5V )		HD6472655VTE	120 ピン TFP (PTQP0120LA-A)
				HD6472655VF	128 ピン FP (PRQP0128KB-A)
H8S/2653	マスク ROM 版	5V 版 ( VCC = 5.0V ± 10% )	HD6432653	HD6432653 (***) TE	120 ピン TFP (PTQP0120LA-A)
				HD6432653 (***) F	128 ピン FP (PRQP0128KB-A)
		低電圧版 ( VCC = 2.7 ~ 5.5V )		HD6432653 (***) TE	120 ピン TFP (PTQP0120LA-A)
				HD6432653 (***) F	128 ピン FP (PRQP0128KB-A)

## 【記号説明】

( \*\*\*) は ROM コードです。

## H. 外形寸法図

H8/2655 グループの外形寸法図を図 H.1、図 H.2 に示します。

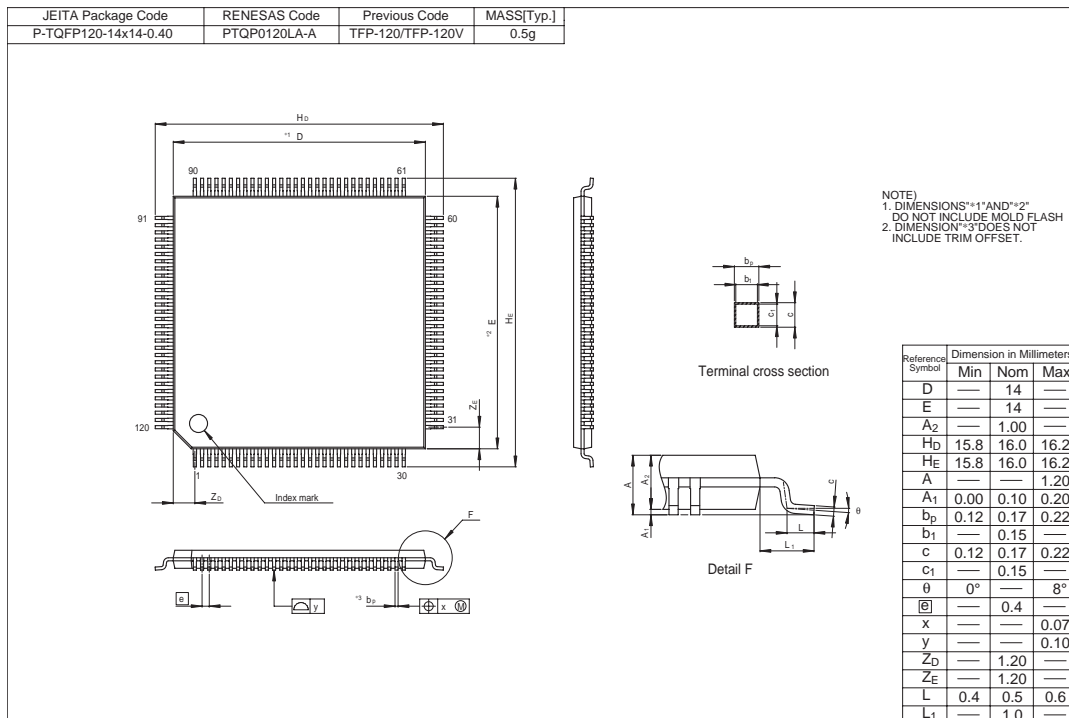


図 H.1 PTQP0120LA-A の外形寸法図

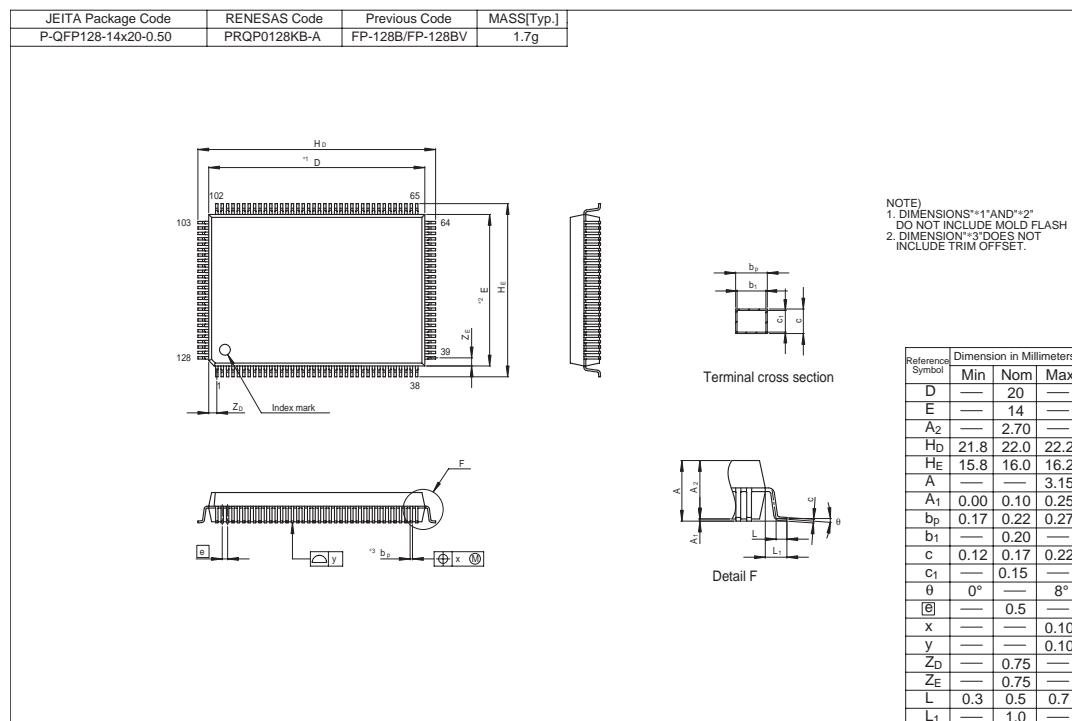


図 H.2 PRQP0128KB-A の外形寸法図



---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8S/2655グループ

発行年月日 1995年9月 第1版

2006年1月27日 Rev.6.00

発行 株式会社ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

営業お問合せ窓口  
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)

# H8S/2655 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0305-0600