

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# H8S/2678グループ、 H8S/2678Rグループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ / H8S/2600シリーズ

H8S/2676F-ZTAT™	HD64F2676
H8S/2676	HD6432676
H8S/2675	HD6432675
H8S/2674R	HD6412674R
H8S/2673	HD6432673
H8S/2670	HD6412670

## 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 本版で改訂された箇所

改訂履歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

5. 目次
6. 概要
7. 各機能モジュールの説明
  - ・ CPU およびシステム制御系
  - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、特長、入出力端子、レジスタの説明、動作説明、使用上の注意事項、等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。(使用上の注意事項は必要により記載されます。)

8. レジスタ一覧
9. 電気的特性
10. 付録
11. 索引

---

# はじめに

---

H8S/2678 グループ、H8S/2678R グループは、ルネサスオリジナルアーキテクチャを採用した H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2600 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

システム構成に必要な機能としては、DMA コントローラ (DMAC)、EXDMA コントローラ (EXDMAC)、データ転送コントローラ (DTC) のバスマスタ、ROM、RAM のメモリ、16 ビットタイマパルスユニット (TPU)、プログラマブルパルスジェネレータ (PPG)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI、IrDA)、10 ビット A/D 変換器、8 ビット D/A 変換器、I/O ポートの周辺機能などを内蔵しています。

また、高機能バスコントローラを内蔵し、DRAM、SDRAM などの各種のメモリを高速かつ容易に接続できます。

内蔵 ROM は単一電源フラッシュメモリ (F-ZTAT™\*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】F-ZTAT™ は (株) ルネサス テクノロジーの商標です。

**対象者** このマニュアルは、H8S/2678 グループ、H8S/2678R グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、H8S/2678 グループ、H8S/2678R グループのハードウェア機能と電気的特性をユーザーに理解して頂くことを目的にしています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

## 読み方

- 機能全体を理解しようとするとき。

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

- レジスタ名が分かっていて、詳細機能を知りたいとき。

本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第23章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例 レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。  
 XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)
- ビット表記順 : 左側が上位ビット、右側が下位ビットの順に表記します。
- 数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX
- 信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。  
 ( <http://japan.renesas.com/homepage.jsp> )

- H8S/2678グループ、H8S/2678Rグループに関するユーザーズマニュアル

資料名	資料番号
H8S/2678 グループ、H8S/2678R グループ ハードウェアマニュアル	本マニュアル
H8S/2600 グループ、H8S/2000 グループ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	ADJ - 702 - 303
H8S、H8/300 シリーズ シミュレータ・デバッガ (Windows 版) ユーザーズマニュアル	ADJ - 702 - 163
H8S、H8/300 シリーズ シミュレータ・デバッガ (UNIX 版) ユーザーズマニュアル	ADJ - 702 - 355
H8S、H8/300 シリーズ High-performance Embedded Workshop、High-performance Debugging Interface チュートリアル	ADJ 702 307
High-performance Embedded Workshop ユーザーズマニュアル	ADJ - 702 - 275

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055



---

## 本版で改訂された箇所

---

修正項目	ページ	修正内容（詳細はマニュアル参照）
全体		<ul style="list-style-type: none"><li>• 社名変更による変更 日立製作所 ルネサス テクノロジ</li><li>• 呼称変更による変更 H8S/2678 シリーズ H8S/2678 グループ</li></ul>



---

# 目次

---

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-3
1.3	端子説明	1-5
1.3.1	ピン配置図	1-5
1.3.2	動作モード別ピン配置一覧	1-7
1.3.3	端子機能	1-13
2.	CPU	2-1
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-9
2.4.1	汎用レジスタ	2-10
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-12
2.4.5	積和レジスタ (MAC)	2-13
2.4.6	CPU 内部レジスタの初期値	2-13
2.5	データ形式	2-14
2.5.1	汎用レジスタのデータ形式	2-14
2.5.2	メモリ上でのデータ形式	2-15
2.6	命令セット	2-17
2.6.1	命令の機能別一覧	2-18
2.6.2	命令の基本フォーマット	2-28
2.7	アドレッシングモードと実効アドレスの計算方法	2-29
2.7.1	レジスタ直接 Rn	2-29
2.7.2	レジスタ間接 @ERn	2-29
2.7.3	ディスプレイメント付きレジスタ @ (d:16,ERn) / @ (d:32,ERn)	2-29

2.7.4	ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn .....	2-30
2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32 .....	2-30
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32 .....	2-31
2.7.7	プログラムカウンタ相対 @(d:8, PC)/@(d:16, PC) .....	2-31
2.7.8	メモリ間接 @@aa:8 .....	2-31
2.7.9	実効アドレスの計算方法 .....	2-32
2.8	処理状態 .....	2-35
2.9	使用上の注意事項 .....	2-36
2.9.1	ビット操作命令使用上の注意事項 .....	2-36
3.	MCU 動作モード .....	3-1
3.1	動作モードの選択 .....	3-1
3.2	レジスタの説明 .....	3-2
3.2.1	モードコントロールレジスタ (MDCR) .....	3-2
3.2.2	システムコントロールレジスタ (SYSCR) .....	3-3
3.3	各動作モードの説明 .....	3-4
3.3.1	モード 1 .....	3-4
3.3.2	モード 2 .....	3-4
3.3.3	モード 3 .....	3-4
3.3.4	モード 4 .....	3-4
3.3.5	モード 5 .....	3-5
3.3.6	モード 6 .....	3-5
3.3.7	モード 7 .....	3-5
3.3.8	モード 10 .....	3-6
3.3.9	モード 11 .....	3-6
3.3.10	モード 12 .....	3-6
3.3.11	モード 13 .....	3-6
3.3.12	モード 14 .....	3-6
3.3.13	モード 15 .....	3-6
3.3.14	端子機能 .....	3-7
3.4	各動作モードのアドレスマップ .....	3-8
4.	例外処理 .....	4-1
4.1	例外処理の種類と優先度 .....	4-1
4.2	例外処理要因とベクタテーブル .....	4-2
4.3	リセット .....	4-3
4.3.1	リセット例外処理 .....	4-3
4.3.2	リセット直後の割り込み .....	4-5
4.3.3	リセット解除後の内蔵周辺機能 .....	4-5
4.4	トレース例外処理 .....	4-6

4.5	割り込み例外処理 .....	4-6
4.6	トラップ命令例外処理 .....	4-7
4.7	例外処理後のスタックの状態 .....	4-8
4.8	使用上の注意事項 .....	4-9
5.	割り込みコントローラ .....	5-1
5.1	特長 .....	5-1
5.2	入出力端子 .....	5-2
5.3	レジスタの説明 .....	5-3
5.3.1	割り込みコントロールレジスタ (INTCR) .....	5-4
5.3.2	インタラプトプライオリティレジスタ A~K (IPRA~IPRK) .....	5-5
5.3.3	IRQ イネーブルレジスタ (IER) .....	5-7
5.3.4	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL) .....	5-8
5.3.5	IRQ ステータスレジスタ (ISR) .....	5-11
5.3.6	IRQ 端子セレクトレジスタ (ITSR) .....	5-12
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER) .....	5-13
5.4	割り込み要因 .....	5-14
5.4.1	外部割り込み要因 .....	5-14
5.4.2	内部割り込み .....	5-15
5.5	割り込み例外処理ベクタテーブル .....	5-16
5.6	割り込み制御モードと割り込み動作 .....	5-20
5.6.1	割り込み制御モード 0 .....	5-20
5.6.2	割り込み制御モード 2 .....	5-22
5.6.3	割り込み例外処理シーケンス .....	5-24
5.6.4	割り込み応答時間 .....	5-25
5.6.5	割り込みによる DTC、DMAC の起動 .....	5-26
5.7	使用上の注意事項 .....	5-28
5.7.1	割り込みの発生とディスエーブルとの競合 .....	5-28
5.7.2	割り込みを禁止している命令 .....	5-29
5.7.3	割り込み禁止期間 .....	5-29
5.7.4	EEPMOV 命令実行中の割り込み .....	5-29
5.7.5	IRQ 端子セレクトレジスタ (ITSR) 設定の変更 .....	5-29
5.7.6	IRQ ステータスレジスタ (ISR) について .....	5-29
6.	バスコントローラ (BSC) .....	6-1
6.1	特長 .....	6-1
6.2	入出力端子 .....	6-3
6.3	レジスタの説明 .....	6-5
6.3.1	バスバス幅コントロールレジスタ (ABWCR) .....	6-6
6.3.2	アクセスステートコントロールレジスタ (ASTCR) .....	6-6

6.3.3	ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL) .....	6-7
6.3.4	リードストロープタイミングコントロールレジスタ (RDNCR) .....	6-11
6.3.5	$\overline{CS}$ アサート期間コントロールレジスタ H、L (CSACRH、CSACRL) .....	6-11
6.3.6	エリア 0 パースト ROM インタフェースコントロールレジスタ (BROMCRH) エリア 1 パースト ROM インタフェースコントロールレジスタ (BROMCRL) .....	6-13
6.3.7	バスコントロールレジスタ (BCR) .....	6-14
6.3.8	DRAM コントロールレジスタ (DRAMCR) .....	6-15
6.3.9	DRAM アクセスコントロールレジスタ (DRACCR) .....	6-19
6.3.10	リフレッシュコントロールレジスタ (REFCR) .....	6-23
6.3.11	リフレッシュタイマカウンタ (RTCNT) .....	6-25
6.3.12	リフレッシュタイムコンスタントレジスタ (RTCOR) .....	6-25
6.4	バス制御 .....	6-26
6.4.1	エリア分割 .....	6-26
6.4.2	バス仕様 .....	6-27
6.4.3	メモリインタフェース .....	6-28
6.4.4	チップセレクト信号 .....	6-30
6.5	基本バスインタフェース .....	6-31
6.5.1	データサイズとデータアライメント .....	6-31
6.5.2	有効ストロープ .....	6-32
6.5.3	基本動作タイミング .....	6-33
6.5.4	ウェイト制御 .....	6-41
6.5.5	リードストロープ ( $\overline{RD}$ ) タイミング .....	6-42
6.5.6	チップセレクト ( $\overline{CS}$ ) アサート期間拡張 .....	6-43
6.6	DRAMインタフェース .....	6-44
6.6.1	DRAM 空間の設定 .....	6-44
6.6.2	アドレスマルチプレクス .....	6-44
6.6.3	データバス .....	6-45
6.6.4	DRAM インタフェース使用端子 .....	6-45
6.6.5	基本動作タイミング .....	6-46
6.6.6	カラムアドレス出力サイクル制御 .....	6-47
6.6.7	ロウアドレス出カステート制御 .....	6-48
6.6.8	プリチャージステート制御 .....	6-50
6.6.9	ウェイト制御 .....	6-50
6.6.10	バイトアクセス制御 .....	6-53
6.6.11	パースト動作 .....	6-55
6.6.12	リフレッシュ制御 .....	6-58
6.6.13	DMAC および EXDMAC のシングルアドレス転送モードと DRAM インタフェース .....	6-63
6.7	シンクロナスDRAMインタフェース .....	6-65
6.7.1	連続シンクロナス DRAM 空間の設定 .....	6-65
6.7.2	アドレスマルチプレクス .....	6-66

6.7.3	データバス .....	6-66
6.7.4	シンクロナス DRAM インタフェース使用端子 .....	6-67
6.7.5	シンクロナス DRAM 専用クロック .....	6-68
6.7.6	基本動作タイミング .....	6-68
6.7.7	CAS レイテンシ制御 .....	6-70
6.7.8	ロウアドレス出力ステート制御 .....	6-72
6.7.9	プリチャージステート数 .....	6-73
6.7.10	ライトサイクル時のバスサイクル制御 .....	6-74
6.7.11	バイトアクセス制御 .....	6-75
6.7.12	バースト動作 .....	6-77
6.7.13	リフレッシュ制御 .....	6-80
6.7.14	シンクロナス DRAM のモードレジスタ設定 .....	6-85
6.7.15	DMAC および EXDMAC のシングルアドレス転送モードと シンクロナス DRAM インタフェース .....	6-86
6.8	バーストROMインタフェース .....	6-90
6.8.1	基本タイミング .....	6-91
6.8.2	ウェイト制御 .....	6-92
6.8.3	ライトアクセス .....	6-92
6.9	アイドルサイクル .....	6-93
6.9.1	動作説明 .....	6-93
6.9.2	アイドルサイクルでの端子状態 .....	6-108
6.10	ライトデータバッファ機能 .....	6-109
6.11	バス権解放 .....	6-110
6.11.1	動作説明 .....	6-110
6.11.2	外部バス権解放状態での端子状態 .....	6-111
6.11.3	遷移タイミング .....	6-112
6.12	バスアービトラージ .....	6-114
6.12.1	動作説明 .....	6-114
6.12.2	バス権移行タイミング .....	6-114
6.13	リセットとバスコントローラ .....	6-116
6.14	使用上の注意事項 .....	6-116
6.14.1	外部バス権解放機能と全モジュールクロックストップモード .....	6-116
6.14.2	外部バス権解放機能とソフトウェアスタンバイ .....	6-116
6.14.3	外部バス権解放機能と CBR リフレッシュ/オートリフレッシュ .....	6-116
6.14.4	BREQO 出力タイミング .....	6-116
6.14.5	シンクロナス DRAM 使用上の注意 .....	6-117
7.	DMA コントローラ (DMAC) .....	7-1
7.1	特長 .....	7-1
7.2	入出力端子 .....	7-3
7.3	レジスタの説明 .....	7-3

7.3.1	メモリアドレスレジスタ (MARA、MARB) .....	7-5
7.3.2	I/O アドレスレジスタ (IOARA、IOARB) .....	7-5
7.3.3	転送カウントレジスタ (ETCRA、ETCRB) .....	7-6
7.3.4	DMA コントロールレジスタ (DMACRA、DMACRB) .....	7-6
7.3.5	DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL) .....	7-12
7.3.6	DMA ライトイネーブルレジスタ (DMAWER) .....	7-18
7.3.7	DMA ターミナルコントロールレジスタ (DMATCR) .....	7-20
7.4	起動要因 .....	7-21
7.4.1	内部割り込み要求による起動 .....	7-21
7.4.2	外部リクエストによる起動 .....	7-22
7.4.3	オートリクエストによる起動 .....	7-22
7.5	動作説明 .....	7-23
7.5.1	転送モード .....	7-23
7.5.2	シーケンシャルモード .....	7-24
7.5.3	アイドルモード .....	7-27
7.5.4	リピートモード .....	7-29
7.5.5	シングルアドレスモード .....	7-32
7.5.6	ノーマルモード .....	7-35
7.5.7	ブロック転送モード .....	7-38
7.5.8	基本バスサイクル .....	7-43
7.5.9	DMA 転送 (デュアルアドレスモード) のバスサイクル .....	7-43
7.5.10	DMA 転送 (シングルアドレスモード) のバスサイクル .....	7-50
7.5.11	ライトデータバッファ機能 .....	7-53
7.5.12	複数チャネルの動作 .....	7-55
7.5.13	DMAC と外部バス権要求、リフレッシュサイクル、EXDMAC .....	7-56
7.5.14	DMAC と NMI 割り込み .....	7-56
7.5.15	DMAC の強制終了 .....	7-57
7.5.16	フルアドレスモードの解除 .....	7-57
7.6	割り込み要因 .....	7-59
7.7	使用上の注意事項 .....	7-60
8.	EXDMA コントローラ (EXDMAC) .....	8-1
8.1	特長 .....	8-1
8.2	入出力端子 .....	8-3
8.3	レジスタの説明 .....	8-3
8.3.1	EXDMA ソースアドレスレジスタ (EDSAR) .....	8-4
8.3.2	EXDMA ディスティネーションアドレスレジスタ (EDDAR) .....	8-4
8.3.3	EXDMA 転送カウントレジスタ (EDTCR) .....	8-5
8.3.4	EXDMA モードコントロールレジスタ (EDMDR) .....	8-6
8.3.5	EXDMA アドレスコントロールレジスタ (EDACR) .....	8-9



8.4	動作説明	8-12
8.4.1	転送モード	8-12
8.4.2	アドレスモード	8-13
8.4.3	DMA 転送要求	8-15
8.4.4	バスモード	8-16
8.4.5	転送モード	8-18
8.4.6	リピートエリア機能	8-20
8.4.7	DMA 転送動作中のレジスタ	8-21
8.4.8	チャンネルの優先順位	8-25
8.4.9	EXDMAC 転送 (デュアルアドレスモード) のバスサイクル	8-27
8.4.10	EXDMAC 転送 (シングルアドレスモード) のバスタイミング	8-33
8.4.11	各モードの動作タイミング	8-37
8.4.12	DMA 転送終了	8-48
8.4.13	EXDMAC と他のバスマスタ	8-49
8.5	割り込み要因	8-50
8.6	使用上の注意事項	8-52
9.	データトランスファコントローラ (DTC)	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-2
9.2.1	DTC モードレジスタ A (MRA)	9-3
9.2.2	DTC モードレジスタ B (MRB)	9-4
9.2.3	DTC ソースアドレスレジスタ (SAR)	9-4
9.2.4	DTC デスティネーションアドレスレジスタ (DAR)	9-4
9.2.5	DTC 転送カウントレジスタ A (CRA)	9-5
9.2.6	DTC 転送カウントレジスタ B (CRB)	9-5
9.2.7	DTC イネーブルレジスタ A ~ G (DTCERA ~ DTCERG)	9-5
9.2.8	DTC ベクタレジスタ (DTVECR)	9-6
9.3	起動要因	9-7
9.4	レジスタ情報の配置とDTCベクタテーブル	9-8
9.5	動作説明	9-11
9.5.1	ノーマルモード	9-13
9.5.2	リピートモード	9-14
9.5.3	ブロック転送モード	9-15
9.5.4	チェイン転送	9-16
9.5.5	割り込み要因	9-17
9.5.6	動作タイミング	9-17
9.5.7	DTC 実行ステート数	9-19
9.6	DTC使用手順	9-20
9.6.1	割り込みによる起動	9-20

9.6.2	ソフトウェアによる起動.....	9-20
9.7	DTC使用例.....	9-21
9.7.1	ノーマルモード.....	9-21
9.7.2	チェイン転送.....	9-21
9.7.3	転送カウンタ=0のときのチェイン転送.....	9-22
9.7.4	ソフトウェア起動.....	9-23
9.8	使用上の注意事項.....	9-24
9.8.1	モジュールストップモードの設定.....	9-24
9.8.2	内蔵RAM.....	9-24
9.8.3	DTCEビットの設定.....	9-24
10.	I/Oポート.....	10-1
10.1	ポート1.....	10-6
10.1.1	ポート1データディレクションレジスタ(P1DDR).....	10-6
10.1.2	ポート1データレジスタ(P1DR).....	10-6
10.1.3	ポート1レジスタ(PORT1).....	10-7
10.1.4	端子機能.....	10-8
10.2	ポート2.....	10-16
10.2.1	ポート2データディレクションレジスタ(P2DDR).....	10-16
10.2.2	ポート2データレジスタ(P2DR).....	10-16
10.2.3	ポート2レジスタ(PORT2).....	10-17
10.2.4	端子機能.....	10-18
10.3	ポート3.....	10-26
10.3.1	ポート3データディレクションレジスタ(P3DDR).....	10-26
10.3.2	ポート3データレジスタ(P3DR).....	10-26
10.3.3	ポート3レジスタ(PORT3).....	10-27
10.3.4	ポート3オープンドレインコントロールレジスタ(P3ODR).....	10-27
10.3.5	ポートファンクションコントロールレジスタ2(PFCR2).....	10-28
10.3.6	端子機能.....	10-29
10.4	ポート4.....	10-32
10.4.1	ポート4レジスタ(PORT4).....	10-32
10.4.2	端子機能.....	10-32
10.5	ポート5.....	10-33
10.5.1	ポート5データディレクションレジスタ(P5DDR).....	10-33
10.5.2	ポート5データレジスタ(P5DR).....	10-34
10.5.3	ポート5レジスタ(PORT5).....	10-34
10.5.4	端子機能.....	10-34
10.6	ポート6.....	10-37
10.6.1	ポート6データディレクションレジスタ(P6DDR).....	10-37
10.6.2	ポート6データレジスタ(P6DR).....	10-37

10.6.3	ポート 6 レジスタ(PORT6).....	10-38
10.6.4	端子機能.....	10-38
10.7	ポート 7.....	10-41
10.7.1	ポート 7 データディレクションレジスタ(P7DDR).....	10-41
10.7.2	ポート 7 データレジスタ(P7DR).....	10-41
10.7.3	ポート 7 レジスタ(PORT7).....	10-42
10.7.4	端子機能.....	10-42
10.8	ポート 8.....	10-45
10.8.1	ポート 8 データディレクションレジスタ(P8DDR).....	10-45
10.8.2	ポート 8 データレジスタ(P8DR).....	10-45
10.8.3	ポート 8 レジスタ(PORT8).....	10-46
10.8.4	端子機能.....	10-46
10.9	ポート A.....	10-49
10.9.1	ポート A データディレクションレジスタ(PADDR).....	10-49
10.9.2	ポート A データレジスタ(PADR).....	10-50
10.9.3	ポート A レジスタ(PORTA).....	10-50
10.9.4	ポート A プルアップ MOS コントロールレジスタ(PAPCR).....	10-51
10.9.5	ポート A オープンドレインコントロールレジスタ(PAODR).....	10-51
10.9.6	ポートファンクションコントロールレジスタ 1(PFCR1).....	10-52
10.9.7	端子機能.....	10-53
10.9.8	ポート A 入力プルアップ MOS の状態.....	10-53
10.10	ポート B.....	10-54
10.10.1	ポート B データディレクションレジスタ (PBDDR).....	10-54
10.10.2	ポート B データレジスタ (PBDR).....	10-54
10.10.3	ポート B レジスタ (PORTB).....	10-55
10.10.4	ポート B プルアップ MOS コントロールレジスタ (PBPCR).....	10-55
10.10.5	端子機能.....	10-56
10.10.6	ポート B 入力プルアップ MOS の状態.....	10-56
10.11	ポート C.....	10-57
10.11.1	ポート C データディレクションレジスタ (PCDDR).....	10-57
10.11.2	ポート C データレジスタ (PCDR).....	10-57
10.11.3	ポート C レジスタ (PORTC).....	10-58
10.11.4	ポート C プルアップ MOS コントロールレジスタ (PCPCR).....	10-58
10.11.5	端子機能.....	10-59
10.11.6	ポート C 入力プルアップ MOS の状態.....	10-59
10.12	ポート D.....	10-60
10.12.1	ポート D データディレクションレジスタ (PDDDR).....	10-60
10.12.2	ポート D データレジスタ (PDDR).....	10-60
10.12.3	ポート D レジスタ (PORTD).....	10-61
10.12.4	ポート D プルアップ MOS コントロールレジスタ (PDPCR).....	10-61
10.12.5	モード別端子機能.....	10-62

10.12.6	ポートD入力プルアップMOSの状態	10-62
10.13	ポートE	10-63
10.13.1	ポートEデータディレクションレジスタ(PEDDR)	10-63
10.13.2	ポートEデータレジスタ(PEDR)	10-64
10.13.3	ポートEレジスタ(PORTE)	10-64
10.13.4	ポートEプルアップMOSコントロールレジスタ(PEPCR)	10-65
10.13.5	端子機能	10-65
10.13.6	ポートE入力プルアップMOSの状態	10-66
10.14	ポートF	10-67
10.14.1	ポートFデータディレクションレジスタ(PFDDR)	10-67
10.14.2	ポートFデータレジスタ(PFDR)	10-68
10.14.3	ポートFレジスタ(PORTF)	10-68
10.14.4	端子機能	10-69
10.15	ポートG	10-72
10.15.1	ポートGデータディレクションレジスタ(PGDDR)	10-72
10.15.2	ポートGデータレジスタ(PGDR)	10-73
10.15.3	ポートGレジスタ(PORTG)	10-73
10.15.4	ポートファンクションコントロールレジスタ0(PFCR0)	10-74
10.15.5	端子機能	10-74
10.16	ポートH	10-76
10.16.1	ポートHデータディレクションレジスタ(PHDDR)	10-76
10.16.2	ポートHデータレジスタ(PHDR)	10-77
10.16.3	ポートHレジスタ(PORTH)	10-77
10.16.4	端子機能	10-78
11.	16ビットタイマパルスユニット(TPU)	11-1
11.1	特長	11-1
11.2	入出力端子	11-5
11.3	レジスタの説明	11-6
11.3.1	タイマコントロールレジスタ(TCR)	11-8
11.3.2	タイマモードレジスタ(TMDR)	11-11
11.3.3	タイマI/Oコントロールレジスタ(TIOR)	11-12
11.3.4	タイマイントラプトイネーブルレジスタ(TIER)	11-29
11.3.5	タイマステータスレジスタ(TSR)	11-30
11.3.6	タイマカウンタ(TCNT)	11-32
11.3.7	タイマジェネラルレジスタ(TGR)	11-32
11.3.8	タイマスタートレジスタ(TSTR)	11-33
11.3.9	タイマシンクロレジスタ(TSYR)	11-33
11.4	動作説明	11-34
11.4.1	基本動作	11-34

11.4.2	同期動作 .....	11-39
11.4.3	バッファ動作 .....	11-41
11.4.4	カスケード接続動作 .....	11-44
11.4.5	PWM モード .....	11-46
11.4.6	位相計数モード .....	11-51
11.5	割り込み要因 .....	11-56
11.6	DTCの起動 .....	11-58
11.7	DMACの起動 .....	11-58
11.8	A/D変換器の起動 .....	11-58
11.9	動作タイミング .....	11-59
11.9.1	入出力タイミング .....	11-59
11.9.2	割り込み信号タイミング .....	11-63
11.10	使用上の注意事項 .....	11-67
11.10.1	モジュールストップモードの設定 .....	11-67
11.10.2	入力クロックの制限事項 .....	11-67
11.10.3	周期設定上の注意事項 .....	11-67
11.10.4	TCNTのライトとクリアの競合 .....	11-68
11.10.5	TCNTのライトとカウントアップの競合 .....	11-68
11.10.6	TGRのライトとコンペアマッチの競合 .....	11-69
11.10.7	バッファレジスタのライトとコンペアマッチの競合 .....	11-70
11.10.8	TGRのリードとインプットキャプチャの競合 .....	11-71
11.10.9	TGRのライトとインプットキャプチャの競合 .....	11-71
11.10.10	バッファレジスタのライトとインプットキャプチャの競合 .....	11-72
11.10.11	オーバフロー/アンダフローとカウンタクリアの競合 .....	11-73
11.10.12	TCNTのライトとオーバフロー/アンダフローの競合 .....	11-74
11.10.13	入出力端子の兼用 .....	11-74
11.10.14	モジュールストップ時の割り込み .....	11-74
12.	プログラマブルパルスジェネレータ (PPG) .....	12-1
12.1	特長 .....	12-1
12.2	入出力端子 .....	12-3
12.3	レジスタの説明 .....	12-3
12.3.1	ネクストデータインーブルレジスタ H、L (NDERH、NDERL) .....	12-4
12.3.2	アウトプットデータレジスタ H、L (PODRH、PODRL) .....	12-5
12.3.3	ネクストデータレジスタ H、L (NDRH、NDRL) .....	12-6
12.3.4	PPG 出力コントロールレジスタ (PCR) .....	12-8
12.3.5	PPG 出力モードレジスタ (PMR) .....	12-9
12.4	動作説明 .....	12-10
12.4.1	出力タイミング .....	12-11
12.4.2	通常動作のパルス出力設定手順例 .....	12-12

12.4.3	パルス出力通常動作例(5相パルス出力例) .....	12-13
12.4.4	パルス出力ノンオーバーラップ動作 .....	12-14
12.4.5	ノンオーバーラップ動作のパルス出力設定手順例 .....	12-16
12.4.6	パルス出力ノンオーバーラップ動作例(4相の相補ノンオーバーラップ出力例) .....	12-17
12.4.7	パルス反転出力 .....	12-19
12.4.8	インプットキャプチャによるパルス出力 .....	12-20
12.5	使用上の注意事項 .....	12-20
12.5.1	モジュールストップモードの設定 .....	12-20
12.5.2	パルス出力端子の動作 .....	12-20
13.	8ビットタイマ(TMR) .....	13-1
13.1	特長 .....	13-1
13.2	入出力端子 .....	13-3
13.3	レジスタの説明 .....	13-3
13.3.1	タイマカウンタ(TCNT) .....	13-4
13.3.2	タイムコンスタントレジスタA(TCORA) .....	13-4
13.3.3	タイムコンスタントレジスタB(TCORB) .....	13-4
13.3.4	タイマコントロールレジスタ(TCR) .....	13-5
13.3.5	タイマコントロール/ステータスレジスタ(TCSR) .....	13-7
13.4	動作説明 .....	13-9
13.4.1	パルス出力 .....	13-9
13.1	動作タイミング .....	13-10
13.5.1	TCNTのカウントタイミング .....	13-10
13.5.2	コンペアマッチ時のCMFA、CMFBフラグのセットタイミング .....	13-10
13.5.3	コンペアマッチ時のタイマ出力タイミング .....	13-11
13.5.4	コンペアマッチによるカウンタクリアタイミング .....	13-11
13.5.5	TCNTの外部リセットタイミング .....	13-12
13.5.6	オーバフローフラグ(OVF)のセットタイミング .....	13-12
13.6	カスケード接続時の動作 .....	13-13
13.6.1	16ビットカウントモード .....	13-13
13.6.2	コンペアマッチカウントモード .....	13-13
13.7	割り込み要因 .....	13-14
13.7.1	割り込み要因とDTC起動 .....	13-14
13.7.2	A/D変換器の起動 .....	13-14
13.8	使用上の注意 .....	13-14
13.8.1	TCNTのライトとカウンタクリアの競合 .....	13-14
13.8.2	TCNTのライトとカウントアップの競合 .....	13-15
13.8.3	TCORのライトとコンペアマッチの競合 .....	13-16
13.8.4	コンペアマッチA、Bの競合 .....	13-16
13.8.5	内部クロックの切り替えとTCNTの動作 .....	13-17

13.8.6	カスケード接続時のモード設定	13-18
13.8.7	モジュールストップモード時の割り込み	13-18
14.	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-2
14.3	レジスタの説明	14-2
14.3.1	タイマカウンタ (TCNT)	14-2
14.3.2	タイマコントロール/ステータスレジスタ (TCSR)	14-3
14.3.3	リセットコントロール/ステータスレジスタ (RSTCSR)	14-4
14.4	動作説明	14-5
14.4.1	ウォッチドッグタイマモード	14-5
14.4.2	インターバルタイマモード	14-6
14.5	割り込み要因	14-6
14.6	使用上の注意事項	14-7
14.6.1	レジスタアクセス時の注意	14-7
14.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	14-8
14.6.3	CKS2 ~ CKS0 ビットの書き換え	14-8
14.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	14-8
14.6.5	ウォッチドッグタイマモードでの内部リセット	14-9
14.6.6	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	14-9
15.	シリアルコミュニケーションインタフェース (SCI, IrDA)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	レシーブシフトレジスタ (RSR)	15-4
15.3.2	レシーブデータレジスタ (RDR)	15-4
15.3.3	トランスミットデータレジスタ (TDR)	15-4
15.3.4	トランスミットシフトレジスタ (TSR)	15-5
15.3.5	シリアルモードレジスタ (SMR)	15-5
15.3.6	シリアルコントロールレジスタ (SCR)	15-7
15.3.7	シリアルステータスレジスタ (SSR)	15-9
15.3.8	スマートカードモードレジスタ (SCMR)	15-13
15.3.9	ビットレートレジスタ (BRR)	15-14
15.3.10	IrDA コントロールレジスタ (IrCR)	15-22
15.3.11	シリアル拡張モードレジスタ (SEMR)	15-23
15.4	調歩同期式モードの動作	15-24
15.4.1	送受信フォーマット	15-24
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-26

15.4.3	クロック .....	15-27
15.4.4	SCI の初期化 (調歩同期式) .....	15-28
15.4.5	データ送信 (調歩同期式) .....	15-29
15.4.6	シリアルデータ受信 (調歩同期式) .....	15-31
15.5	マルチプロセッサ通信機能.....	15-34
15.5.1	マルチプロセッサシリアルデータ送信 .....	15-35
15.5.2	マルチプロセッサシリアルデータ受信 .....	15-36
15.6	クロック同期式モードの動作.....	15-39
15.6.1	クロック .....	15-39
15.6.2	SCI の初期化.....	15-40
15.6.3	シリアルデータ送信 (クロック同期式) .....	15-41
15.6.4	シリアルデータ受信 (クロック同期式) .....	15-43
15.6.5	シリアルデータ送受信同時動作 (クロック同期式) .....	15-45
15.7	スマートカードインタフェースの動作説明.....	15-47
15.7.1	接続例.....	15-47
15.7.2	データフォーマット (ブロック転送モード時を除く) .....	15-48
15.7.3	ブロック転送モード .....	15-49
15.7.4	受信データサンプリングタイミングと受信マージン.....	15-50
15.7.5	初期設定.....	15-51
15.7.6	データ送信 (ブロック転送モードを除く) .....	15-52
15.7.7	シリアルデータ受信 (ブロック転送モードを除く) .....	15-55
15.7.8	クロック出力制御.....	15-57
15.8	IrDA動作.....	15-59
15.9	割り込み要因 .....	15-62
15.9.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み .....	15-62
15.9.2	スマートカードインタフェースモードにおける割り込み.....	15-63
15.10	使用上の注意事項 .....	15-64
15.10.1	モジュールストップモードの設定.....	15-64
15.10.2	ブレークの検出と処理について.....	15-64
15.10.3	マーク状態とブレークの送付.....	15-64
15.10.4	受信エラーフラグと送信動作について (クロック同期式モードのみ) .....	15-64
15.10.5	TDR へのライトと TDRE フラグの関係について.....	15-64
15.10.6	DMAC または DTC 使用上の制約事項 .....	15-65
15.10.7	モード遷移時の動作について.....	15-65
16.	A/D 変換器.....	16-1
16.1	特長.....	16-1
16.2	入出力端子 .....	16-3
16.3	レジスタの説明 .....	16-4
16.3.1	A/D データレジスタ A ~ H ( ADDR <sub>A</sub> ~ ADDR <sub>H</sub> ) .....	16-4



16.3.2	A/D コントロール/ステータスレジスタ (ADCSR) .....	16-5
16.3.3	A/D コントロールレジスタ (ADCR) .....	16-8
16.4	動作説明 .....	16-9
16.4.1	シングルモード .....	16-9
16.4.2	スキャンモード .....	16-10
16.4.3	入力サンプリングと A/D 変換時間 .....	16-10
16.4.4	外部トリガ入力タイミング .....	16-12
16.5	割り込み要因 .....	16-13
16.6	A/D変換精度の定義 .....	16-13
16.7	使用上の注意事項 .....	16-15
16.7.1	モジュールストップモードの設定 .....	16-15
16.7.2	許容信号源インピーダンスについて .....	16-15
16.7.3	絶対精度への影響 .....	16-15
16.7.4	アナログ電源端子他の設定範囲 .....	16-15
16.7.5	ボード設計上の注意 .....	16-16
16.7.6	ノイズ対策上の注意 .....	16-16
17.	D/A 変換器 .....	17-1
17.1	特長 .....	17-1
17.2	入出力端子 .....	17-2
17.3	レジスタの説明 .....	17-2
17.3.1	D/A データレジスタ 0~3 (DADR0~DADR3) .....	17-2
17.3.2	D/A コントロールレジスタ 01、23 (DACR01、DACR23) .....	17-3
17.4	動作説明 .....	17-5
17.5	使用上の注意事項 .....	17-6
17.5.1	モジュールストップモードの設定 .....	17-6
17.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能 .....	17-6
18.	RAM .....	18-1
19.	フラッシュメモリ (F-ZTAT 版) .....	19-1
19.1	特長 .....	19-1
19.2	モード遷移図 .....	19-3
19.3	ブロック構成 .....	19-6
19.4	入出力端子 .....	19-9
19.5	レジスタの説明 .....	19-9
19.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1) .....	19-10
19.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2) .....	19-11
19.5.3	消去ブロック指定レジスタ 1 (EBR1) .....	19-11
19.5.4	消去ブロック指定レジスタ 2 (EBR2) .....	19-12

19.5.5	RAM エミュレーションレジスタ (RAMER) .....	19-13
19.6	オンボードプログラミングモード .....	19-15
19.6.1	ブートモード .....	19-16
19.6.2	ユーザプログラムモード .....	19-18
19.7	RAMによるフラッシュメモリのエミュレーション .....	19-19
19.8	フラッシュメモリの書き込み/消去 .....	19-21
19.8.1	プログラム/プログラムベリファイ .....	19-21
19.8.2	イレース/イレースベリファイ .....	19-23
19.8.3	フラッシュメモリの書き込み/消去時の割り込み .....	19-23
19.9	書き込み/消去プロテクト .....	19-25
19.9.1	ハードウェアプロテクト .....	19-25
19.9.2	ソフトウェアプロテクト .....	19-25
19.9.3	エラープロテクト .....	19-25
19.10	ライターモード .....	19-26
19.11	フラッシュメモリの低消費電力動作 .....	19-26
19.12	使用上の注意事項 .....	19-26
19.13	F-ZTATマイコンのマスクROM化時の注意事項 .....	19-32
20.	マスク ROM .....	20-1
21.	クロック発振器 .....	21-1
21.1	レジスタの説明 .....	21-2
21.1.1	システムクロックコントロールレジスタ (SCKCR) .....	21-2
21.1.2	PLL コントロールレジスタ (PLLCR) .....	21-3
21.2	発振器 .....	21-3
21.2.1	水晶発振子を接続する方法 .....	21-3
21.2.2	外部クロックを入力する方法 .....	21-4
21.3	PLL回路 .....	21-6
21.4	分周器 .....	21-6
21.5	使用上の注意事項 .....	21-7
21.5.1	クロック発振器に関する使用上の注意事項 .....	21-7
21.5.2	発振子に関する注意事項 .....	21-7
21.5.3	ボード設計上の注意事項 .....	21-7
22.	低消費電力状態 .....	22-1
22.1	レジスタの説明 .....	22-4
22.1.1	スタンバイコントロールレジスタ (SBYCR) .....	22-4
22.1.2	モジュールストップコントロールレジスタ H、L (MSTPCRH、MSTPCRL) .....	22-6
22.2	動作説明 .....	22-7
22.2.1	クロック分周モード .....	22-7

22.2.2	スリープモード .....	22-7
22.2.3	ソフトウェアスタンバイモード .....	22-8
22.2.4	ハードウェアスタンバイモード .....	22-11
22.2.5	モジュールストップモード .....	22-12
22.2.6	全モジュールクロックストップモード .....	22-12
22.3	クロック出力制御 .....	22-12
22.4	使用上の注意事項 .....	22-13
22.4.1	I/O ポートの状態 .....	22-13
22.4.2	発振安定待機中の消費電流 .....	22-13
22.4.3	EXDMAC、DMAC、DTC のモジュールストップ .....	22-13
22.4.4	内蔵周辺モジュールの割り込み .....	22-13
22.4.5	MSTPCR のライト .....	22-13
23.	レジスタ一覧 .....	23-1
23.1	レジスタアドレス一覧 (アドレス順) .....	23-2
23.2	レジスタビット一覧 .....	23-11
23.3	各動作モードにおけるレジスタの状態 .....	23-24
24.	電気的特性 .....	24-1
24.1	絶対最大定格 .....	24-1
24.2	DC特性 .....	24-2
24.3	AC特性 .....	24-4
24.4	A/D変換特性 .....	24-39
24.5	D/A変換特性 .....	24-39
24.6	フラッシュメモリ特性 .....	24-40
24.7	使用上の注意 .....	24-41
付録	.....	付録-1
A.	各処理状態におけるポートの状態 .....	付録-1
B.	型名一覧 .....	付録-8
C.	外形寸法図 .....	付録-9
索引	.....	索引-1



---

# 図目次

---

1. 概要.....	1-1
図 1.1 H8S/2678 グループ 内部ブロック図.....	1-3
図 1.2 H8S/2678R グループ 内部ブロック図.....	1-4
図 1.3 H8S/2678 グループ ピン配置図.....	1-5
図 1.4 H8S/2678R グループ ピン配置図.....	1-6
2. CPU.....	2-1
図 2.1 例外処理ベクタテーブル（ノーマルモード）.....	2-5
図 2.2 ノーマルモードのスタック構造.....	2-5
図 2.3 例外処理ベクタテーブル（アドバンスモード）.....	2-6
図 2.4 アドバンスモードのスタック構造.....	2-7
図 2.5 アドレス空間.....	2-8
図 2.6 CPU 内部レジスタ構成.....	2-9
図 2.7 汎用レジスタの使用方法.....	2-10
図 2.8 スタックの状態.....	2-11
図 2.9 汎用レジスタのデータ形式（1）.....	2-14
図 2.9 汎用レジスタのデータ形式（2）.....	2-15
図 2.10 メモリ上でのデータ形式.....	2-16
図 2.11 命令フォーマットの例.....	2-28
図 2.12 メモリ間接による分岐アドレスの指定.....	2-32
図 2.13 状態遷移図.....	2-36
3. MCU 動作モード.....	3-1
図 3.1 H8S/2676 アドレスマップ（1）.....	3-8
図 3.1 H8S/2676 アドレスマップ（2）.....	3-9
図 3.1 H8S/2676 アドレスマップ（3）.....	3-10
図 3.2 H8S/2675 アドレスマップ（1）.....	3-11
図 3.2 H8S/2675 アドレスマップ（2）.....	3-12
図 3.3 H8S/2673 アドレスマップ（1）.....	3-13
図 3.3 H8S/2673 アドレスマップ（2）.....	3-14
図 3.4 H8S/2670 アドレスマップ.....	3-15
図 3.5 H8S/2674R アドレスマップ.....	3-16

4.	例外処理	4-1
図 4.1	リセットシーケンス (アドバンスモード/内蔵 ROM 有効)	4-4
図 4.2	リセットシーケンス (アドバンスモード/内蔵 ROM 無効)	4-5
図 4.3	例外処理終了後のスタックの状態	4-8
図 4.4	SP を奇数に設定したときの動作	4-9
5.	割り込みコントローラ	5-1
図 5.1	割り込みコントローラのブロック図	5-2
図 5.2	IRQ15 ~ IRQ0 割り込みのブロック図	5-15
図 5.3	割り込み制御モード 0 の割り込み受け付けまでのフロー	5-21
図 5.4	割り込み制御モード 2 の割り込み受け付けまでのフロー	5-23
図 5.5	割り込み例外処理	5-24
図 5.6	DTC、DMAC と割り込みコントローラ	5-26
図 5.7	割り込みの発生とディスエーブルの競合	5-28
6.	バスコントローラ (BSC)	6-1
図 6.1	バスコントローラのブロック図	6-2
図 6.2	リードストローブネゲートタイミング (3 ステートアクセス空間の場合)	6-11
図 6.3	$\overline{CS}$ 、アドレスアサート期間拡張 (3 ステートアクセス空間、RD <sub>Nn</sub> =0 の場合)	6-12
図 6.4	RAS 信号アサートタイミング (カラムアドレス出力サイクル 2 ステート、フルアクセスする場合)	6-19
図 6.5	連続シンクロナス DRAM 空間ライトアクセス時の CAS レイテンシ制御サイクル 無効タイミング (CAS レイテンシ 2 の場合)	6-22
図 6.6	エリア分割の様子	6-26
図 6.7	$\overline{CS}_n$ 信号出力タイミング (n=0~7)	6-30
図 6.8	アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)	6-31
図 6.9	アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)	6-32
図 6.10	8 ビット 2 ステートアクセス空間のバスタイミング	6-33
図 6.11	8 ビット 3 ステートアクセス空間のバスタイミング	6-34
図 6.12	16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-35
図 6.13	16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-36
図 6.14	16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)	6-37
図 6.15	16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-38
図 6.16	16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-39
図 6.17	16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)	6-40
図 6.18	ウェイトステート挿入タイミング例	6-41
図 6.19	リードストローブタイミング例	6-42
図 6.20	チップセレクトアサート期間拡張時タイミング例	6-43
図 6.21	DRAM 基本アクセスタイミング (RAST=0、CAST=0 の場合)	6-46

図 6.22	カラムアドレス出力サイクル 3 ステートの場合のアクセスタイミング例 ( RAST = 0 の場合 ) .....	6-47
図 6.23	RAS 信号が Tr ステートの先頭から Low レベルとなる場合のアクセスタイミング例 ( CAST = 0 の場合 ) .....	6-48
図 6.24	ロウアドレス出力保持ステート数が 1 ステート時のタイミング例 ( RAST = 0、CAST = 0 の場合 ) .....	6-49
図 6.25	プリチャージサイクル 2 ステート時のタイミング例 ( RAST = 0、CAST = 0 の場合 ) .....	6-50
図 6.26	ウェイトステート挿入タイミング例 ( カラムアドレス出力 2 ステートの場合 ) .....	6-52
図 6.27	ウェイトステート挿入タイミング例 ( カラムアドレス出力 3 ステートの場合 ) .....	6-53
図 6.28	CAS2 本方式の制御タイミング ( 上位バイトライトアクセス時、RAST = 0、CAST = 0 の場合 ) .....	6-54
図 6.29	CAS2 本方式の接続例 .....	6-54
図 6.30	高速ページモードの動作タイミング ( RAST = 0、CAST = 0 の場合 ) .....	6-55
図 6.31	高速ページモードの動作タイミング ( RAST = 0、CAST = 1 の場合 ) .....	6-56
図 6.32	RAS ダウンモードの動作タイミング例 ( RAST = 0、CAST = 0 の場合 ) .....	6-57
図 6.33	RAS アップモードの動作タイミング例 ( RAST = 0、CAST = 0 の場合 ) .....	6-58
図 6.34	RTCNT の動作 .....	6-59
図 6.35	コンペアマッチのタイミング .....	6-59
図 6.36	CBR リフレッシュタイミング .....	6-59
図 6.37	CBR リフレッシュタイミング ( RCW1 = 0、RCW0 = 1、RLW1 = 0、RLW0 = 0 の場合 ) .....	6-60
図 6.38	CBR リフレッシュタイミング例 ( CBRM = 1 のとき ) .....	6-60
図 6.39	セルフリフレッシュタイミング .....	6-61
図 6.40	セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例 .....	6-62
図 6.41	DDS = 1 または EDDS = 1 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 ( RAST = 0、CAST = 0 の場合 ) .....	6-63
図 6.42	DDS = 0 または EDDS = 0 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 ( RAST = 0、CAST = 1 の場合 ) .....	6-64
図 6.43	と SDRAM の関係 ( PLL 周波数逓倍率 $\times 1$ 、 $\times 2$ の場合 ) .....	6-68
図 6.44	シンクロナス DRAM 基本アクセスタイミング ( CAS レイテンシ 1 の場合 ) .....	6-69
図 6.45	CAS レイテンシ制御タイミング ( SDWCD = 0、CAS レイテンシ 3 の場合 ) .....	6-71
図 6.46	ロウアドレス出力保持ステート数が 1 ステート時のタイミング例 ( RCD1 = 0、RCD0 = 1、SDWCD = 0、CAS レイテンシ 2 の場合 ) .....	6-72
図 6.47	プリチャージサイクル 2 ステート時のタイミング例 ( TPC1 = 0、TPC0 = 1、SDWCD = 0、CAS レイテンシ 2 の場合 ) .....	6-73
図 6.48	CAS レイテンシ制御サイクルを無効にしたときのライトアクセスタイミング例 ( SDWCD = 1 の場合 ) .....	6-74
図 6.49	DQMU、DQML による制御タイミング ( 上位バイトライトアクセス時、SDWCD = 0 の場合、CAS レイテンシ 2 の場合 ) .....	6-75
図 6.50	DQMU、DQML による制御タイミング ( 下位バイトリードアクセス時、CAS レイテンシ 2 の場合 ) .....	6-76
図 6.51	DQMU、DQML によるバイト制御の接続例 .....	6-77
図 6.52	バーストアクセスの動作タイミング ( BE = 1、SDWCD = 0、CAS レイテンシ 2 の場合 ) .....	6-78

図 6.53	RAS ダウンモードの動作タイミング例 (BE = 1、CAS レイテンシ 2 の場合) .....	6-80
図 6.54	オートリフレッシュタイミング .....	6-81
図 6.55	オートリフレッシュタイミング (TPC = 1、TPC0 = 1、RCW1 = 0、RCW0 = 1 の場合) .....	6-82
図 6.56	オートリフレッシュタイミング (TPC = 0、TPC0 = 0、RLW1 = 0、RLW0 = 1 の場合) .....	6-83
図 6.57	セルフリフレッシュタイミング (TPC1 = 1、TPC0 = 0、RCW1 = 0、RCW0 = 0、RLW1 = 0、RLW0 = 0 の場合) .....	6-84
図 6.58	セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例 (TPCS2 ~ TPCS0 = H'2、TPC1 = 0、TPC0 = 0、CAS レイテンシ 2 の場合) .....	6-85
図 6.59	シンクロナス DRAM モード設定タイミング .....	6-86
図 6.60	DDS = 1 または EDDS = 1 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 .....	6-87
図 6.61	DDS = 0 または EDDS = 0 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例 .....	6-89
図 6.62	リードデータを 2 ステート拡張した場合のタイミング例 (DDS = 1 または EDDS = 1、RDXC1 = 0、RDXC0 = 1、CAS レイテンシ 2 の場合) .....	6-90
図 6.63	バースト ROM アクセスタイミング例 (ASTn = 1、バーストサイクル 2 ステートの場合) .....	6-91
図 6.64	バースト ROM アクセスタイミング例 (ASTn = 0、バーストサイクル 1 ステートの場合) .....	6-92
図 6.65	アイドルサイクル動作例 (異なるエリア間での連続リード) .....	6-93
図 6.66	アイドルサイクル動作例 (リード後のライト) .....	6-94
図 6.67	アイドルサイクル動作例 (ライト後のリード) .....	6-95
図 6.68	チップセレクト ( $\overline{\text{CS}}$ ) とリード ( $\overline{\text{RD}}$ ) の関係 .....	6-95
図 6.69	外部リード後の DRAM フルアクセス例 (CAST = 0 の場合) .....	6-96
図 6.70	RAS ダウンモード時のアイドルサイクル動作例 (異なるエリア間での連続リード) (IDLC = 0、RAST = 0、CAST = 0 の場合) .....	6-96
図 6.71	RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト) (IDLC = 0、RAST = 0、CAST = 0 の場合) .....	6-97
図 6.72	外部リード後のシンクロナス DRAM フルアクセス例 (CAS レイテンシ 2 の場合) .....	6-98
図 6.73	RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード) (IDLC = 0、CAS レイテンシ 2 の場合) .....	6-99
図 6.74	RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード) (IDLC = 1、CAS レイテンシ 2 の場合) .....	6-100
図 6.75	RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト) (IDLC = 0、CAS レイテンシ 2 の場合) .....	6-101
図 6.76	DRAM アクセス後のアイドルサイクル動作例 (異なるエリア間での連続リード) (IDLC = 0、RAST = 0、CAST = 0 の場合) .....	6-102
図 6.77	DRAM アクセス後のアイドルサイクル動作例 (リード後のライト) (IDLC = 0、RAST = 0、CAST = 0 の場合) .....	6-102
図 6.78	DRAM ライトアクセス後のアイドルサイクル動作例 (IDLC = 0、ICIS1 = 0、RAST = 0、CAST = 0 の場合) .....	6-103
図 6.79	連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクル動作例 (異なるエリア間のリード) (IDLC = 0、CAS レイテンシ 2 の場合) .....	6-104
図 6.80	連続シンクロナス DRAM 空間ライトアクセス後のアイドルサイクル動作例 (IDLC = 0、ICIS1 = 0、SDWCD = 1、CAS レイテンシ 2 の場合) .....	6-105



図 6.81	RAS ダウンモードで DRAM 空間へのリードとライトが連続したときに アイドルサイクルを挿入する場合のタイミング例 .....	6-107
図 6.82	RAS ダウンモードで連続シンクロナス DRAM 空間へのリードとライトが連続したときに アイドルサイクルを挿入する場合のタイミング例 (SDWCD=1、CAS レイテンシ 2 の場合) .....	6-108
図 6.83	ライトデータバッファ機能使用時のタイミング例 .....	6-109
図 6.84	バス権解放状態遷移タイミング .....	6-112
図 6.85	シンクロナス DRAM インタフェース時のバス解放状態遷移タイミング .....	6-113
7. DMA コントローラ (DMAC) .....		7-1
図 7.1	DMAC のブロック図 .....	7-2
図 7.2	DTC によるレジスタ再設定領域 (チャンネル 0A) .....	7-19
図 7.3	シーケンシャルモードの動作 .....	7-25
図 7.4	シーケンシャルモードの設定手順例 .....	7-26
図 7.5	アイドルモードの動作 .....	7-27
図 7.6	アイドルモードの設定手順例 .....	7-28
図 7.7	リピートモードの動作 .....	7-30
図 7.8	リピートモードの設定手順例 .....	7-31
図 7.9	シングルアドレスモード (シーケンシャルモード指定) の動作 .....	7-33
図 7.10	シングルアドレスモード (シーケンシャルモード指定) の設定手順例 .....	7-34
図 7.11	ノーマルモードの動作 .....	7-36
図 7.12	ノーマルモードの設定手順例 .....	7-37
図 7.13	ブロック転送モードの動作 (BLKDIR = 0) .....	7-39
図 7.14	ブロック転送モードの動作 (BLKDIR = 1) .....	7-40
図 7.15	ブロック転送モードの動作フロー .....	7-41
図 7.16	ブロック転送モードの設定手順例 .....	7-42
図 7.17	DMA 転送バスタイミング例 .....	7-43
図 7.18	ショートアドレスモード転送例 .....	7-43
図 7.19	フルアドレスモード (サイクルスチール) 転送例 .....	7-44
図 7.20	フルアドレスモード (バーストモード) 転送例 .....	7-45
図 7.21	フルアドレスモード (ブロック転送モード) 転送例 .....	7-45
図 7.22	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例 .....	7-46
図 7.23	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例 .....	7-47
図 7.24	$\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例 .....	7-48
図 7.25	$\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例 .....	7-49
図 7.26	シングルアドレスモード (バイトリード) 転送例 .....	7-50
図 7.27	シングルアドレスモード (ワードリード) 転送例 .....	7-50
図 7.28	シングルアドレスモード (バイトライト) 転送例 .....	7-51
図 7.29	シングルアドレスモード (ワードライト) 転送例 .....	7-51
図 7.30	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例 .....	7-52
図 7.31	$\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例 .....	7-53

図 7.32	ライトデータバッファ機能を用いたデュアルアドレス転送例	7-54
図 7.33	ライトデータバッファ機能を用いたシングルアドレス転送例	7-54
図 7.34	複数チャンネル転送例	7-55
図 7.35	NMI 割り込みにより中断したチャンネルの転送継続手順例	7-56
図 7.36	DMAC の強制終了手順例	7-57
図 7.37	フルアドレスモード解除手順例	7-58
図 7.38	転送終了/転送中断割り込みのブロック図	7-59
図 7.39	DMAC のレジスタの更新タイミング	7-60
図 7.40	DMAC レジスタの更新と CPU リードの競合	7-61
図 7.41	$\overline{\text{TEND}}$ 端子に Low レベルが出力されない例	7-63
8.	EXDMA コントローラ (EXDMAC)	8-1
図 8.1	EXDMAC のブロック図	8-2
図 8.2	デュアルアドレスモードのタイミング例	8-13
図 8.3	シングルアドレスモードでのデータの流れ	8-14
図 8.4	シングルアドレスモードのタイミング例	8-15
図 8.5	サイクルスチールモードのタイミング例	8-17
図 8.6	バーストモードのタイミング例	8-17
図 8.7	ノーマル転送モードの例	8-18
図 8.8	ブロック転送モードの例	8-19
図 8.9	リピートエリア機能の例	8-20
図 8.10	ブロック転送モードとリピートエリア機能を併用したときの例	8-21
図 8.11	ノーマル転送モードとブロック転送モード時の EDTCR の更新動作	8-23
図 8.12	動作中のチャンネルのレジスタの設定を変更するときの手順	8-24
図 8.13	チャンネルの優先順位のタイミング例	8-25
図 8.14	チャンネルの優先順位のタイミング例	8-26
図 8.15	ノーマル転送モード (サイクルスチールモード) 転送例	8-27
図 8.16	ノーマル転送モード (バーストモード) 転送例	8-27
図 8.17	ブロック転送モード (サイクルスチールモード) 転送例	8-28
図 8.18	$\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例	8-29
図 8.19	$\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例	8-30
図 8.20	$\overline{\text{EDREQ}}$ レベル起動のノーマルモード転送例	8-31
図 8.21	$\overline{\text{EDREQ}}$ レベル起動のブロック転送モード転送例	8-32
図 8.22	シングルアドレスモード (バイトリード) 転送例	8-33
図 8.23	シングルアドレスモード (ワードリード) 転送例	8-33
図 8.24	シングルアドレスモード (バイトライト) 転送例	8-34
図 8.25	シングルアドレスモード (ワードライト) 転送例	8-34
図 8.26	$\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例	8-35
図 8.27	$\overline{\text{EDREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例	8-36
図 8.28	オートリクエスト/サイクルスチールモード/ノーマル転送モード (競合がない場合/デュアルアドレスモード)	8-37

図 8.29	オートリクエスト/サイクルスチールモード/ノーマル転送モード (CPU サイクルあり/シングルアドレスモード) .....	8-37
図 8.30	オートリクエスト/サイクルスチールモード/ノーマル転送モード (他のチャネルと競合する場合/シングルアドレスモード) .....	8-38
図 8.31	オートリクエスト/バーストモード/ノーマル転送モード (CPU サイクルあり/デュアルアドレスモード/BGUP=0) .....	8-38
図 8.32	オートリクエスト/バーストモード/ノーマル転送モード (CPU サイクルあり/デュアルアドレスモード/BGUP=1) .....	8-38
図 8.33	オートリクエスト/バーストモード/ノーマル転送モード (CPU サイクルあり/シングルアドレスモード/BGUP=1) .....	8-39
図 8.34	オートリクエスト/バーストモード/ノーマル転送モード (他のチャネルと競合する場合/シングルアドレスモード) .....	8-39
図 8.35	外部リクエスト/サイクルスチールモード/ノーマル転送モード (競合がない場合/デュアルアドレスモード/Low レベル検出) .....	8-40
図 8.36	外部リクエスト/サイクルスチールモード/ノーマル転送モード (CPU サイクルあり/シングルアドレスモード/Low レベル検出) .....	8-40
図 8.37	外部リクエスト/サイクルスチールモード/ノーマル転送モード (競合がない場合/シングルアドレスモード/立ち下がリエッジ検出) .....	8-40
図 8.38	外部リクエスト/サイクルスチールモード/ノーマル転送モード (他のチャネルと競合する場合/デュアルアドレスモード/Low レベル検出) .....	8-41
図 8.39	外部リクエスト/サイクルスチールモード/ブロック転送モード (競合がない場合/デュアルアドレスモード/Low レベル検出/BGUP=0) .....	8-42
図 8.40	外部リクエスト/サイクルスチールモード/ブロック転送モード (競合がない場合/シングルアドレスモード/立ち下がリエッジ検出/BGUP=0) .....	8-43
図 8.41	外部リクエスト/サイクルスチールモード/ブロック転送モード (CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP=0) .....	8-44
図 8.42	外部リクエスト/サイクルスチールモード/ブロック転送モード (CPU サイクルあり/デュアルアドレスモード/Low レベル検出/BGUP=1) .....	8-45
図 8.43	外部リクエスト/サイクルスチールモード/ブロック転送モード (CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP=1) .....	8-46
図 8.44	外部リクエスト/サイクルスチールモード/ブロック転送モード (他のチャネルと競合する場合/デュアルアドレスモード/Low レベル検出) .....	8-47
図 8.45	転送終了割り込みのブロック図 .....	8-50
図 8.46	転送終了割り込みが発生したチャネルの転送再開手順例 .....	8-51
9.	データトランスファコントローラ (DTC) .....	9-1
図 9.1	DTC のブロック図 .....	9-2
図 9.2	DTC 起動要因制御ブロック図 .....	9-7
図 9.3	アドレス空間上での DTC レジスタ情報の配置 .....	9-8
図 9.4	DTC 動作フローチャート .....	9-11
図 9.5	ノーマルモードのメモリマップ .....	9-13
図 9.6	リピートモードのメモリマップ .....	9-14
図 9.7	ブロック転送モードのメモリマップ .....	9-15

図 9.8	チェーン転送の動作 .....	9-16
図 9.9	DTC の動作タイミング ( ノーマルモード、リピートモードの例 ) .....	9-17
図 9.10	DTC の動作タイミング ( ブロック転送モード、ブロックサイズ=2 の例 ) .....	9-18
図 9.11	DTC の動作タイミング ( チェイン転送の例 ) .....	9-18
図 9.12	カウンタ=0 のときのチェーン転送 .....	9-23
11.	16 ビットタイマパルスユニット ( TPU ) .....	11-1
図 11.1	TPU のブロック図 .....	11-4
図 11.2	カウンタ動作設定手順例 .....	11-34
図 11.3	フリーランニングカウンタの動作 .....	11-35
図 11.4	周期カウンタの動作 .....	11-36
図 11.5	コンペアマッチによる波形出力動作例 .....	11-36
図 11.6	0 出力/1 出力の動作例 .....	11-37
図 11.7	トグル出力の動作例 .....	11-37
図 11.8	インプットキャプチャ動作の設定例 .....	11-38
図 11.9	インプットキャプチャ動作例 .....	11-39
図 11.10	同期動作の設定手順例 .....	11-40
図 11.11	同期動作の動作例 .....	11-41
図 11.12	コンペアマッチバッファ動作 .....	11-42
図 11.13	インプットキャプチャバッファ動作 .....	11-42
図 11.14	バッファ動作の設定手順例 .....	11-42
図 11.15	バッファ動作例 ( 1 ) .....	11-43
図 11.16	バッファ動作例 ( 2 ) .....	11-44
図 11.17	カスケード接続動作設定手順 .....	11-45
図 11.18	カスケード接続動作例 ( 1 ) .....	11-45
図 11.19	カスケード接続動作例 ( 2 ) .....	11-46
図 11.20	PWM モードの設定手順例 .....	11-48
図 11.21	PWM モードの動作例 ( 1 ) .....	11-48
図 11.22	PWM モードの動作例 ( 2 ) .....	11-49
図 11.23	PWM モードの動作例 ( 3 ) .....	11-50
図 11.24	位相計数モードの設定手順例 .....	11-51
図 11.25	位相計数モード 1 の動作例 .....	11-52
図 11.26	位相計数モード 2 の動作例 .....	11-53
図 11.27	位相計数モード 3 の動作例 .....	11-54
図 11.28	位相計数モード 4 の動作例 .....	11-55
図 11.29	位相計数モードの応用例 .....	11-56
図 11.30	内部クロック動作時のカウントタイミング .....	11-59
図 11.31	外部クロック動作時のカウントタイミング .....	11-59
図 11.32	アウトプットコンペア出力タイミング .....	11-60
図 11.33	インプットキャプチャ入力信号タイミング .....	11-60

図 11.34	カウンタクリアタイミング (コンペアマッチ)	11-61
図 11.35	カウンタクリアタイミング (インプットキャプチャ)	11-61
図 11.36	バッファ動作タイミング (コンペアマッチ)	11-62
図 11.37	バッファ動作タイミング (インプットキャプチャ)	11-62
図 11.38	TGI 割り込みタイミング (コンペアマッチ)	11-63
図 11.39	TGI 割り込みタイミング (インプットキャプチャ)	11-64
図 11.40	TCIV 割り込みのセットタイミング	11-65
図 11.41	TCIU 割り込みのセットタイミング	11-65
図 11.42	CPU によるステータスフラグのクリアタイミング	11-66
図 11.43	DTC/DMAC の起動によるステータスフラグのクリアタイミング	11-66
図 11.44	位相計数モード時の位相差、オーバーラップ、およびパルス幅	11-67
図 11.45	TCNT のライトとクリアの競合	11-68
図 11.46	TCNT のライトとカウントアップの競合	11-68
図 11.47	TGR のライトとコンペアマッチの競合	11-69
図 11.48	バッファレジスタのライトとコンペアマッチの競合	11-70
図 11.49	TGR のリードとインプットキャプチャの競合	11-71
図 11.50	TGR のライトとインプットキャプチャの競合	11-71
図 11.51	バッファレジスタのライトとインプットキャプチャの競合	11-72
図 11.52	オーバフローとカウンタクリアの競合	11-73
図 11.53	TCNT のライトとオーバフローの競合	11-74
12. プログラムブルパルスジェネレータ (PPG) ..... 12-1		
図 12.1	PPG のブロック図	12-2
図 12.2	PPG 概要図	12-10
図 12.3	NDR の内容が転送・出力されるタイミング例	12-11
図 12.4	パルス出力通常動作の設定手順例	12-12
図 12.5	パルス出力通常動作例 (5 相パルス出力例)	12-13
図 12.6	パルス出力ノンオーバーラップ動作	12-14
図 12.7	ノンオーバーラップ動作と NDR ライトタイミング	12-15
図 12.8	パルス出力ノンオーバーラップ動作の設定手順例	12-16
図 12.9	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力)	12-17
図 12.10	パルス反転出力例	12-19
図 12.11	インプットキャプチャによるパルス出力例	12-20
13. 8 ビットタイマ (TMR) ..... 13-1		
図 13.1	8 ビットタイマのブロック図	13-2
図 13.2	パルス出力例	13-9
図 13.3	内部クロック動作時のカウントタイミング	13-10
図 13.4	外部クロック動作時のカウントタイミング	13-10
図 13.5	コンペアマッチ時の CMF フラグのセットタイミング	13-11

図 13.6	コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング	13-11
図 13.7	コンペアマッチによるカウンタクリアタイミング	13-11
図 13.8	外部リセット入力によるクリアタイミング	13-12
図 13.9	OVF フラグのセットタイミング	13-12
図 13.10	TCNT のライトとクリアの競合	13-15
図 13.11	TCNT のライトとカウントアップの競合	13-15
図 13.12	TCOR のライトとコンペアマッチの競合	13-16
14.	ウォッチドッグタイマ (WDT)	14-1
図 14.1	WDT のブロック図	14-2
図 14.2	ウォッチドッグタイマモード時の動作	14-5
図 14.3	インターバルタイマモード時の動作	14-6
図 14.4	TCNT、TCSR、RSTCSR へのライト	14-7
図 14.5	TCNT のライトとカウントアップの競合	14-8
図 14.6	WDTOVF 信号によるシステムのリセット回路例	14-9
15.	シリアルコミュニケーションインタフェース (SCI、IrDA)	15-1
図 15.1	SCI のブロック図	15-2
図 15.2	調歩同式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	15-24
図 15.3	調歩同期式モードの受信データサンプリングタイミング	15-26
図 15.4	出カクロックと送信データの位相関係 (調歩同期式モード)	15-27
図 15.5	SCI の初期化フローチャートの例	15-28
図 15.6	調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	15-29
図 15.7	シリアル送信のフローチャートの例	15-30
図 15.8	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	15-31
図 15.9	シリアル受信データフローチャートの例 (1)	15-32
図 15.9	シリアル受信データフローチャートの例 (2)	15-33
図 15.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	15-34
図 15.11	マルチプロセッサシリアル送信のフローチャートの例	15-35
図 15.12	SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)	15-36
図 15.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	15-37
図 15.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	15-38
図 15.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	15-39
図 15.15	SCI の初期化フローチャートの例	15-40
図 15.16	クロック同期式モードの送信時の動作例	15-41
図 15.17	シリアル送信のフローチャートの例	15-42
図 15.18	SCI の受信時の動作例	15-43

図 15.19	シリアルデータ受信フローチャートの例	15-44
図 15.20	シリアル送受信同時動作のフローチャートの例	15-46
図 15.21	スマートカードインタフェース端子接続概要	15-47
図 15.22	通常のスマートカードインタフェースのデータフォーマット	15-48
図 15.23	ダイレクトコンベンション (SDIR = SINV = $O/\bar{E}$ = 0)	15-49
図 15.24	インバースコンベンション (SDIR = SINV = $O/\bar{E}$ = 1)	15-49
図 15.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	15-50
図 15.26	SCI 送信モードの場合の再転送動作	15-53
図 15.27	送信動作時の TEND フラグ発生タイミング	15-53
図 15.28	送信処理フローの例	15-54
図 15.29	SCI 受信モードの場合の再転送動作	15-55
図 15.30	受信フローの例	15-56
図 15.31	クロック出力固定タイミング	15-57
図 15.32	クロック停止・再起動手順	15-58
図 15.33	IrDA ブロック図	15-59
図 15.34	IrDA の送信/受信動作	15-60
図 15.35	DTC によるクロック同期式送信時の例	15-65
図 15.36	送信時のモード遷移フローチャートの例	15-66
図 15.37	モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)	15-67
図 15.38	モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)	15-67
図 15.39	受信時のモード遷移フローチャートの例	15-68
16.	A/D 変換器	16-1
図 16.1	A/D 変換器のブロック図	16-2
図 16.2	A/D 変換タイミング	16-11
図 16.3	外部トリガ入力タイミング	16-12
図 16.4	A/D 変換精度の定義	16-14
図 16.5	A/D 変換精度の定義	16-14
図 16.6	アナログ入力回路の例	16-15
図 16.7	アナログ入力保護回路の例	16-16
図 16.8	アナログ入力端子等価回路	16-17
17.	D/A 変換器	17-1
図 17.1	D/A 変換器のブロック図	17-1
図 17.2	D/A 変換器の動作例	17-5
19.	フラッシュメモリ (F-ZTAT 版)	19-1
図 19.1	フラッシュメモリのブロック図	19-2
図 19.2	フラッシュメモリに関する状態遷移	19-3

図 19.3	ブートモード	19-4
図 19.4	ユーザプログラムモード	19-5
図 19.5	384k バイトフラッシュメモリのブロック構成 (モード 3、4、7)	19-7
図 19.6	256k バイトフラッシュメモリのブロック構成 (モード 4、7、10、11)	19-8
図 19.7	ユーザプログラムモードにおける書き込み/消去例	19-18
図 19.8	RAM によるエミュレーションフロー	19-19
図 19.9	RAM のオーバーラップ例	19-20
図 19.10	プログラム/プログラムベリファイフロー	19-22
図 19.11	イレース/イレースベリファイフロー	19-24
図 19.12	電源投入/切断タイミング (H8S/2678 グループ)	19-29
図 19.13	電源投入/切断タイミング (H8S/2678R グループ)	19-30
図 19.14	モード遷移タイミング (例: ブートモード ユーザモード ユーザプログラムモード)	19-31
20.	マスク ROM	20-1
図 20.1	256k バイトマスク ROM のブロック図 (HD6432676)	20-1
図 20.2	128k バイトマスク ROM のブロック図 (HD6432675)	20-1
図 20.3	64k バイトマスク ROM のブロック図 (HD6432673)	20-2
21.	クロック発振器	21-1
図 21.1	クロック発振器のブロック図	21-1
図 21.2	水晶発振子の接続例	21-4
図 21.3	水晶発振子の等価回路	21-4
図 21.4	外部クロックの接続例	21-5
図 21.5	外部クロック入力タイミング	21-5
図 21.6	発振回路部のボード設計に関する注意事項	21-7
図 21.7	PLL 回路の外付け推奨回路	21-8
22.	低消費電力状態	22-1
図 22.1	モード遷移図	22-3
図 22.2	ソフトウェアスタンバイモードの応用例	22-10
図 22.3	ハードウェアスタンバイモードのタイミング	22-11
24.	電氣的特性	24-1
図 24.1	出力負荷回路	24-4
図 24.2	システムクロックタイミング	24-5
図 24.3	SDRAM タイミング	24-5
図 24.4	(1) 発振安定時間タイミング	24-6
図 24.4	(2) 発振安定時間タイミング	24-6
図 24.5	リセット入力タイミング	24-7
図 24.6	割り込み入力タイミング	24-8



図 24.7	基本バスタイミング/2 ステートアクセス.....	24-12
図 24.8	基本バスタイミング/3 ステートアクセス.....	24-13
図 24.9	基本バスタイミング/3 ステートアクセス 1 ウェイト.....	24-14
図 24.10	基本バスタイミング/2 ステートアクセス ( $\overline{CS}$ アサート期間延長).....	24-15
図 24.11	基本バスタイミング/3 ステートアクセス ( $\overline{CS}$ アサート期間延長).....	24-16
図 24.12	バースト ROM アクセスタイミング/1 ステートバーストアクセス.....	24-17
図 24.13	バースト ROM アクセスタイミング/2 ステートバーストアクセス.....	24-18
図 24.14	DRAM アクセスタイミング/2 ステートアクセス.....	24-19
図 24.15	DRAM アクセスタイミング/2 ステートアクセス 1 ウェイト.....	24-20
図 24.16	DRAM アクセスタイミング/2 ステートバーストアクセス.....	24-21
図 24.17	DRAM アクセスタイミング/3 ステートアクセス (RAST=1 のとき).....	24-22
図 24.18	DRAM アクセスタイミング/3 ステートアクセス 1 ウェイト.....	24-23
図 24.19	DRAM アクセスタイミング/3 ステートバーストアクセス.....	24-24
図 24.20	CAS ビフォア RAS リフレッシュタイミング.....	24-25
図 24.21	CAS ビフォア RAS リフレッシュタイミング (ウェイトサイクル挿入).....	24-25
図 24.22	セルフリフレッシュタイミング (ソフトウエアスタンバイからの復帰時: RAST=0 のとき).....	24-26
図 24.23	セルフリフレッシュタイミング (ソフトウエアスタンバイからの復帰時: RAST=1 のとき).....	24-26
図 24.24	外部バス権開放タイミング.....	24-27
図 24.25	外部バス権要求出力タイミング.....	24-27
図 24.26	シンクロナス DRAM 基本アクセスタイミング (CAS レイテンシ 2 の場合).....	24-28
図 24.27	シンクロナス DRAM セルフリフレッシュタイミング.....	24-29
図 24.28	リードデータを 2 ステート拡張した場合 (CAS レイテンシ 2 の場合).....	24-30
図 24.29	DMAC および EXDMAC、シングルアドレス転送タイミング/2 ステートアクセス.....	24-32
図 24.30	DMAC および EXDMAC、シングルアドレス転送タイミング/3 ステートアクセス.....	24-33
図 24.31	DMAC および EXDMAC、 $\overline{TEND}$ 、 $\overline{ETEND}$ 出力タイミング.....	24-34
図 24.32	DMAC および EXDMAC、 $\overline{DREQ}$ 、 $\overline{EDREQ}$ 入力タイミング.....	24-34
図 24.33	EXDMAC、 $\overline{EDRAK}$ 出力タイミング.....	24-34
図 24.34	I/O ポート入出力タイミング.....	24-36
図 24.35	PPG 出力タイミング.....	24-36
図 24.36	TPU 入出力タイミング.....	24-36
図 24.37	TPU クロック入力タイミング.....	24-36
図 24.38	8 ビットタイマ出力タイミング.....	24-37
図 24.39	8 ビットタイマクロック入力タイミング.....	24-37
図 24.40	8 ビットタイマリセット入力タイミング.....	24-37
図 24.41	WDT 出力タイミング.....	24-37
図 24.42	SCK クロック入力タイミング.....	24-38
図 24.43	SCI 入出力タイミング/クロック同期モード.....	24-38
図 24.44	A/D 変換器外部トリガ入力タイミング.....	24-38

付録 ..... 付録-1

    図 C.1 外形寸法図 (FP-144H) ..... 付録-9

    図 C.2 外形寸法図 (FP-144G) ..... 付録-10

---

# 表目次

---

1. 概要.....	1-1
表 1.1 動作モード別ピン配置一覧.....	1-7
表 1.2 端子機能.....	1-13
2. CPU.....	2-1
表 2.1 命令の分類.....	2-17
表 2.2 オペレーションの記号.....	2-18
表 2.3 データ転送命令.....	2-19
表 2.4 算術演算命令 (1).....	2-20
表 2.4 算術演算命令 (2).....	2-21
表 2.5 論理演算命令.....	2-22
表 2.6 シフト命令.....	2-22
表 2.7 ビット操作命令 (1).....	2-23
表 2.7 ビット操作命令 (2).....	2-24
表 2.8 分岐命令.....	2-25
表 2.9 システム制御命令.....	2-26
表 2.10 ブロック転送命令.....	2-27
表 2.11 アドレッシングモード一覧表.....	2-29
表 2.12 絶対アドレスのアクセス範囲.....	2-30
表 2.13 実行アドレスの計算方法 (1).....	2-33
表 2.13 実行アドレスの計算方法 (2).....	2-34
3. MCU 動作モード.....	3-1
表 3.1 MCU 動作モードの選択.....	3-2
表 3.2 各動作モードにおける端子機能.....	3-7
4. 例外処理.....	4-1
表 4.1 例外処理の種類と優先度.....	4-1
表 4.2 例外処理ベクタテーブル.....	4-2
表 4.3 トレース例外処理後の CCR、EXR の状態.....	4-6
表 4.4 トラップ命令例外処理後の CCR、EXR の状態.....	4-7
5. 割り込みコントローラ.....	5-1
表 5.1 端子構成.....	5-2

表 5.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-16
表 5.3	割り込み制御モード	5-20
表 5.4	割り込み応答時間	5-25
表 5.5	割り込み例外処理の実行状態のステート数	5-25
表 5.6	割り込み要因の選択とクリア制御	5-27
6.	バスコントローラ (BSC)	6-1
表 6.1	端子構成	6-3
表 6.2	各エリアのバス仕様 (基本バスインタフェース)	6-28
表 6.3	使用するデータバスと有効ストロープ	6-32
表 6.4	RTMS2 ~ RTMS0 の設定値と DRAM 空間の関係	6-44
表 6.5	MXC2 ~ MXC0 とアドレスマルチプレクスの関係	6-45
表 6.6	DRAM インタフェース端子構成	6-45
表 6.7	RMTS2 ~ RMTS0 の設定値とシンクロナス DRAM 空間の関係	6-65
表 6.8	MXC2 ~ MXC0 とアドレスマルチプレクスの関係	6-66
表 6.9	シンクロナス DRAM インタフェース端子構成	6-67
表 6.10	CAS レイテンシの設定	6-70
表 6.11	通常空間と DRAM/連続シンクロナス DRAM 空間を混在してアクセスするときの アイドルサイクル	6-106
表 6.12	アイドルサイクルでの端子状態	6-108
表 6.13	バス権解放状態での端子状態	6-111
7.	DMA コントローラ (DMAC)	7-1
表 7.1	端子構成	7-3
表 7.2	ショートアドレスモードとフルアドレスモード (チャンネル 0)	7-4
表 7.3	DMAC の起動要因	7-21
表 7.4	DMAC の転送モード	7-23
表 7.5	シーケンシャルモード時のレジスタ機能	7-24
表 7.6	アイドルモード時のレジスタ機能	7-27
表 7.7	リピートモード時のレジスタ機能	7-29
表 7.8	シングルアドレスモード時レジスタの機能	7-32
表 7.9	ノーマルモード時のレジスタ機能	7-35
表 7.10	ブロック転送モード時のレジスタの機能	7-38
表 7.11	DMAC のチャンネル間優先順位	7-55
表 7.12	割り込み要因と優先度	7-59
8.	EXDMA コントローラ (EXDMAC)	8-1
表 8.1	端子構成	8-3
表 8.2	EXDMAC の転送モード	8-12
表 8.3	EXDMAC のチャンネル間の優先順位	8-25

表 8.4	割り込み要因と優先度.....	8-50
9.	データトランスファコントローラ (DTC) .....	9-1
表 9.1	割り込み要因と DTC ベクタアドレスおよび対応する DTCE (1) .....	9-9
表 9.1	割り込み要因と DTC ベクタアドレスおよび対応する DTCE (2) .....	9-10
表 9.2	チェーン転送の条件 .....	9-12
表 9.3	ノーマルモードのレジスタ機能.....	9-13
表 9.4	リピートモードのレジスタ機能.....	9-14
表 9.5	ブロック転送モードのレジスタ機能 .....	9-15
表 9.6	DTC の実行状態 .....	9-19
表 9.7	実行状態に必要なステート数.....	9-19
10.	I/O ポート.....	10-1
表 10.1	ポートの機能一覧 .....	10-2
表 10.2	ポート A 入力プルアップ MOS の状態.....	10-53
表 10.3	ポート B 入力プルアップ MOS の状態.....	10-56
表 10.4	ポート C 入力プルアップ MOS の状態.....	10-59
表 10.5	ポート D 入力プルアップ MOS の状態.....	10-62
表 10.6	ポート E 入力プルアップ MOS の状態.....	10-66
11.	16 ビットタイマパルスユニット (TPU) .....	11-1
表 11.1	TPU の機能一覧 (1) .....	11-2
表 11.1	TPU の機能一覧 (2) .....	11-3
表 11.2	端子構成 .....	11-5
表 11.3	CCLR2 ~ CCLR0 (チャンネル 0、3) .....	11-8
表 11.4	CCLR2 ~ CCLR0 (チャンネル 1、2、4、5) .....	11-9
表 11.5	TPSC2 ~ TPSC0(チャンネル 0).....	11-9
表 11.6	TPSC2 ~ TPSC0(チャンネル 1).....	11-9
表 11.7	TPSC2 ~ TPSC0(チャンネル 2).....	11-10
表 11.8	TPSC2 ~ TPSC0(チャンネル 3).....	11-10
表 11.9	TPSC2 ~ TPSC0(チャンネル 4).....	11-10
表 11.10	TPSC2 ~ TPSC0(チャンネル 5).....	11-11
表 11.11	MD3 ~ MD0 .....	11-12
表 11.12	TIORH_0.....	11-13
表 11.13	TIORL_0 .....	11-14
表 11.14	TIOR_1.....	11-15
表 11.15	TIOR_2.....	11-16
表 11.16	TIORH_3.....	11-17
表 11.17	TIORL_3 .....	11-18
表 11.18	TIOR_4.....	11-19

表 11.19	TIOR_5.....	11-20
表 11.20	TIORH_0.....	11-21
表 11.21	TIORL_0.....	11-22
表 11.22	TIOR_1.....	11-23
表 11.23	TIOR_2.....	11-24
表 11.24	TIORH_3.....	11-25
表 11.25	TIORL_3.....	11-26
表 11.26	TIOR_4.....	11-27
表 11.27	TIOR_5.....	11-28
表 11.28	レジスタの組み合わせ.....	11-41
表 11.29	カスケード接続組み合わせ.....	11-44
表 11.30	各 PWM 出力のレジスタと出力端子.....	11-47
表 11.31	位相計数モードクロック入力端子.....	11-51
表 11.32	位相計数モード 1 のアップ/ダウンカウント条件.....	11-52
表 11.33	位相計数モード 2 のアップ/ダウンカウント条件.....	11-53
表 11.34	位相計数モード 3 のアップ/ダウンカウント条件.....	11-54
表 11.35	位相計数モード 4 のアップ/ダウンカウント条件.....	11-55
表 11.36	TPU 割り込み一覧.....	11-57
12.	プログラマブルパルスジェネレータ (PPG) .....	12-1
表 12.1	PPG の入出力端子.....	12-3
13.	8 ビットタイマ (TMR) .....	13-1
表 13.1	端子構成.....	13-3
表 13.2	TCNT に入力するクロックとカウント条件.....	13-6
表 13.3	8 ビットタイマ TMR_0、TMR_1 の割り込み要因.....	13-14
表 13.4	タイマ出力の優先順位.....	13-16
表 13.5	内部クロックの切り替えと TCNT の動作.....	13-17
14.	ウォッチドッグタイマ (WDT) .....	14-1
表 14.1	端子構成.....	14-2
表 14.2	WDT の割り込み要因.....	14-6
15.	シリアルコミュニケーションインタフェース (SCI、IrDA) .....	15-1
表 15.1	端子構成.....	15-3
表 15.2	BRR の設定値 N とビットレート B の関係.....	15-14
表 15.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(1).....	15-15
表 15.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(2).....	15-16
表 15.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(3).....	15-17
表 15.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(4).....	15-18

表 15.4	各動作周波数における最大ビットレート (調歩同期式モード)	15-19
表 15.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	15-19
表 15.6	ビットレートに対する BRR の設定例 [クロック同期式モード]	15-20
表 15.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	15-20
表 15.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)	15-21
表 15.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき)	15-21
表 15.10	シリアル送信/受信フォーマット (調歩同期式モード)	15-25
表 15.11	SSR のステータスフラグの状態と受信データの処理	15-32
表 15.12	IrCKS2 ~ IrCKS0 ビット設定	15-61
表 15.13	SCI 割り込み要因	15-62
表 15.14	SCI 割り込み要因	15-63
16.	A/D 変換器	16-1
表 16.1	端子構成	16-3
表 16.2	アナログ入力チャネルと ADDR の対応	16-5
表 16.3	A/D 変換時間 (シングルモード)	16-11
表 16.4	A/D 変換時間 (スキャンモード)	16-12
表 16.5	A/D 変換器の割り込み要因	16-13
表 16.6	アナログ端子の規格	16-17
17.	D/A 変換器	17-1
表 17.1	端子構成	17-2
表 17.2	D/A 変換の制御	17-3
表 17.3	D/A 変換の制御	17-4
19.	フラッシュメモリ (F-ZTAT 版)	19-1
表 19.1	ブートモードとユーザプログラムモードの相違点	19-3
表 19.2	端子構成	19-9
表 19.3	消去ブロック	19-12
表 19.4	オンボードプログラミングモードの設定方法	19-15
表 19.5	ブートモードの動作	19-17
表 19.6	ビットレート自動合わせ込みが可能なシステムクロック周波数	19-17
表 19.7	フラッシュメモリの動作状態	19-26
21.	クロック発振器	21-1
表 21.1	ダンピング抵抗値	21-4
表 21.2	水晶発振子の特性	21-4
表 21.3	外部クロック入力条件	21-5

22. 低消費電力状態 .....	22-1
表 22.1 各モードでの本 LSI の内部状態 .....	22-2
表 22.2 発振安定時間の設定 .....	22-9
表 22.3 各処理状態における 端子の状態 .....	22-13
24. 電気的特性 .....	24-1
表 24.1 絶対最大定格 .....	24-1
表 24.2 DC 特性 (1) .....	24-2
表 24.3 DC 特性 (2) .....	24-3
表 24.4 出力許容電流値 .....	24-4
表 24.5 クロックタイミング .....	24-5
表 24.6 制御信号タイミング .....	24-7
表 24.7 パスタイミング (1) .....	24-9
表 24.8 パスタイミング (2) .....	24-10
表 24.9 DMAC タイミング .....	24-31
表 24.10 内蔵周辺モジュールタイミング .....	24-35
表 24.11 A/D 変換特性 .....	24-39
表 24.12 D/A 変換特性 .....	24-39
表 24.13 フラッシュメモリ特性 .....	24-40



---

# 1. 概要

---

## 1.1 特長

- 16ビット高速H8S/2600 CPU  
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換  
汎用レジスタ：16ビット×16本  
基本命令：69種類
- 豊富な周辺機能  
DMAコントローラ (DMAC)  
EXDMAコントローラ (EXDMAC)  
データトランスファコントローラ (DTC)  
16ビットタイマパルスユニット (TPU)  
プログラマブルパルスジェネレータ (PPG)  
8ビットタイマ (TMR)  
ウォッチドッグタイマ (WDT)  
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)  
10ビットA/D変換器  
8ビットD/A変換器  
クロック発振器
- 内蔵メモリ

ROM タイプ	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2676	256k バイト	8k バイト	
マスク ROM 版	HD6432676	256k バイト	8k バイト	
	HD6432675	128k バイト	8k バイト	
	HD6432673	64k バイト	8k バイト	
ROM レス版	HD6412674R		32k バイト	
	HD6412670		8k バイト	

## 1. 概要

---

- 汎用入出力ポート  
入出力ポート：103本  
入力ポート：12本
- 各種低消費電力モードをサポート
- 小型パッケージ

製品	パッケージ	(コード)	取付高さ	ボディサイズ	ピンピッチ
H8S/2678 グループ	QFP-144	FP-144G	3.05mm ( max. )	22.0 × 22.0mm	0.5mm
H8S/2678R グループ	LQFP-144	FP-144H	1.70mm ( max. )	22.0 × 22.0mm	0.5mm

## 1.2 内部ブロック図

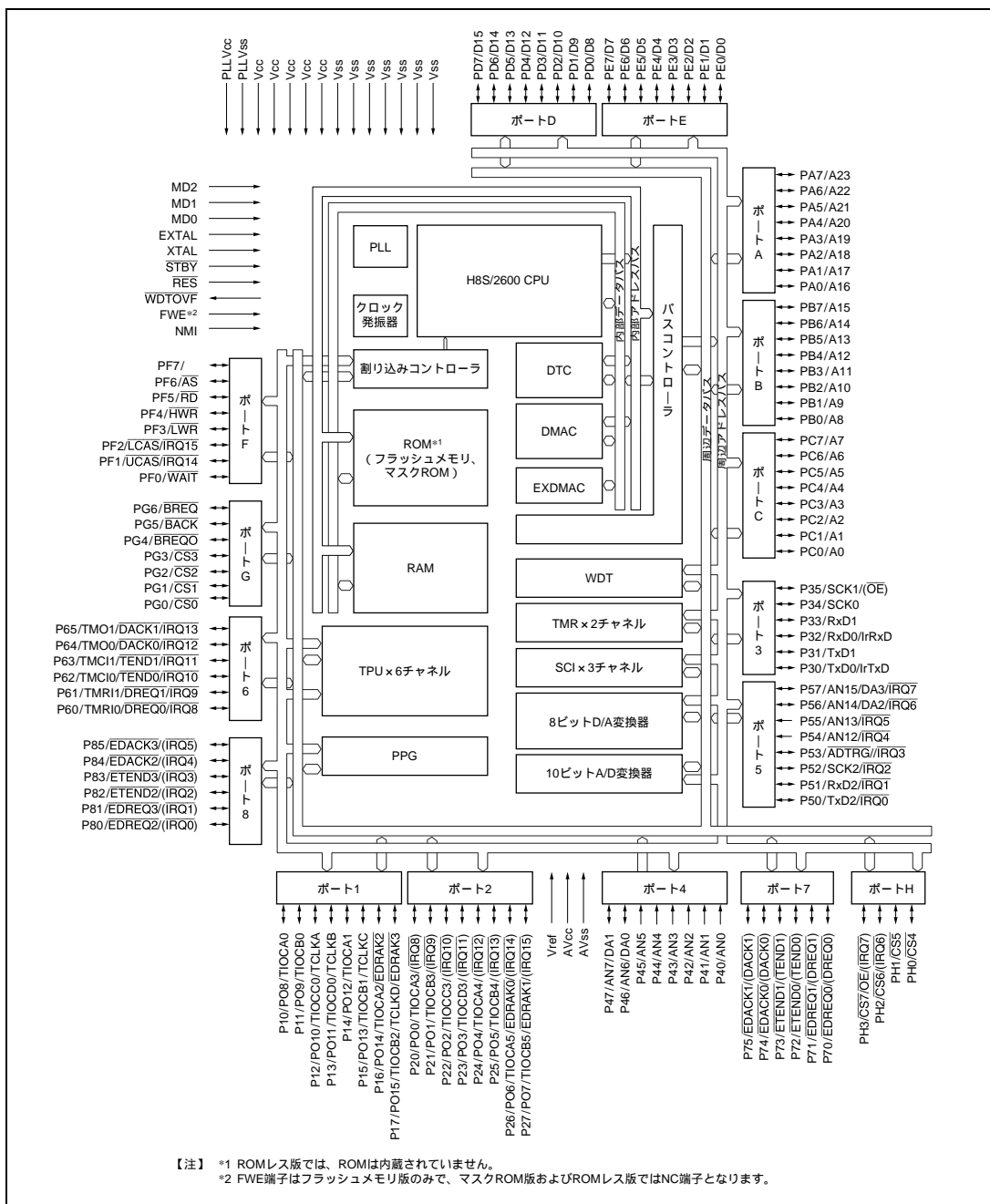


図 1.1 H8S/2678 グループ 内部ブロック図

# 1. 概要

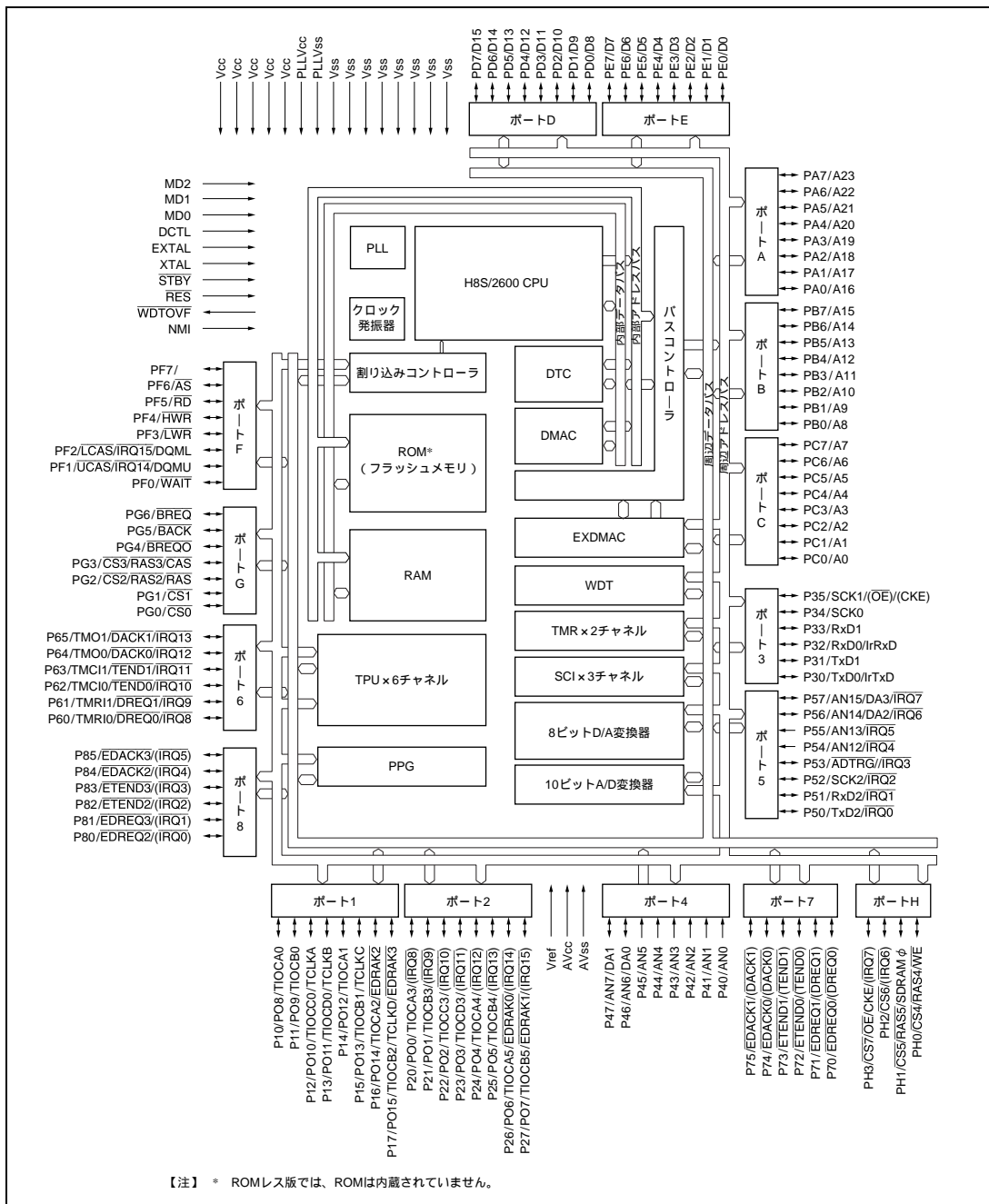


図 1.2 H8S/2678R グループ 内部ブロック図

## 1.3 端子説明

### 1.3.1 ピン配置図

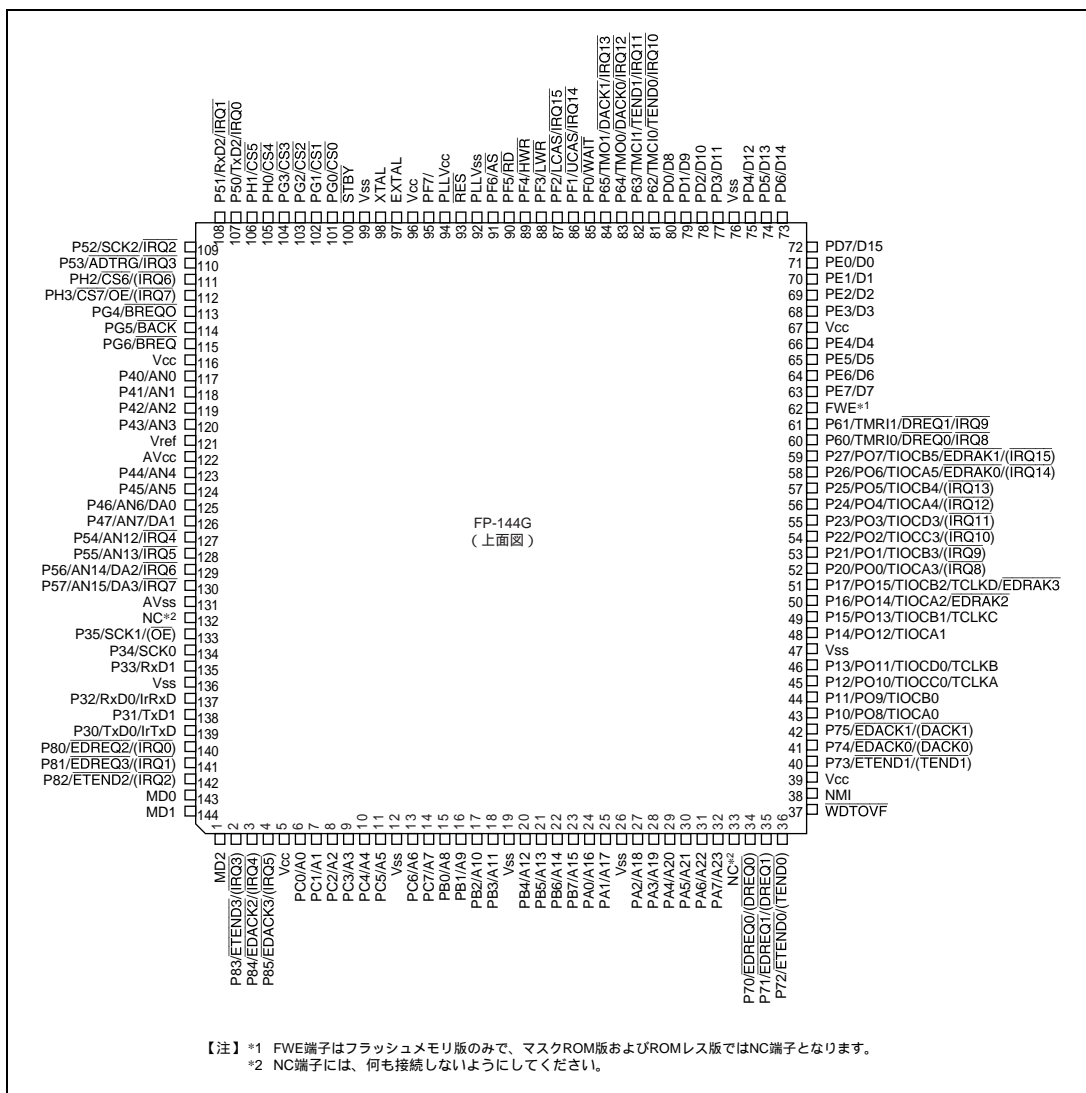


図 1.3 H8S/2678 グループ ピン配置図

# 1. 概要

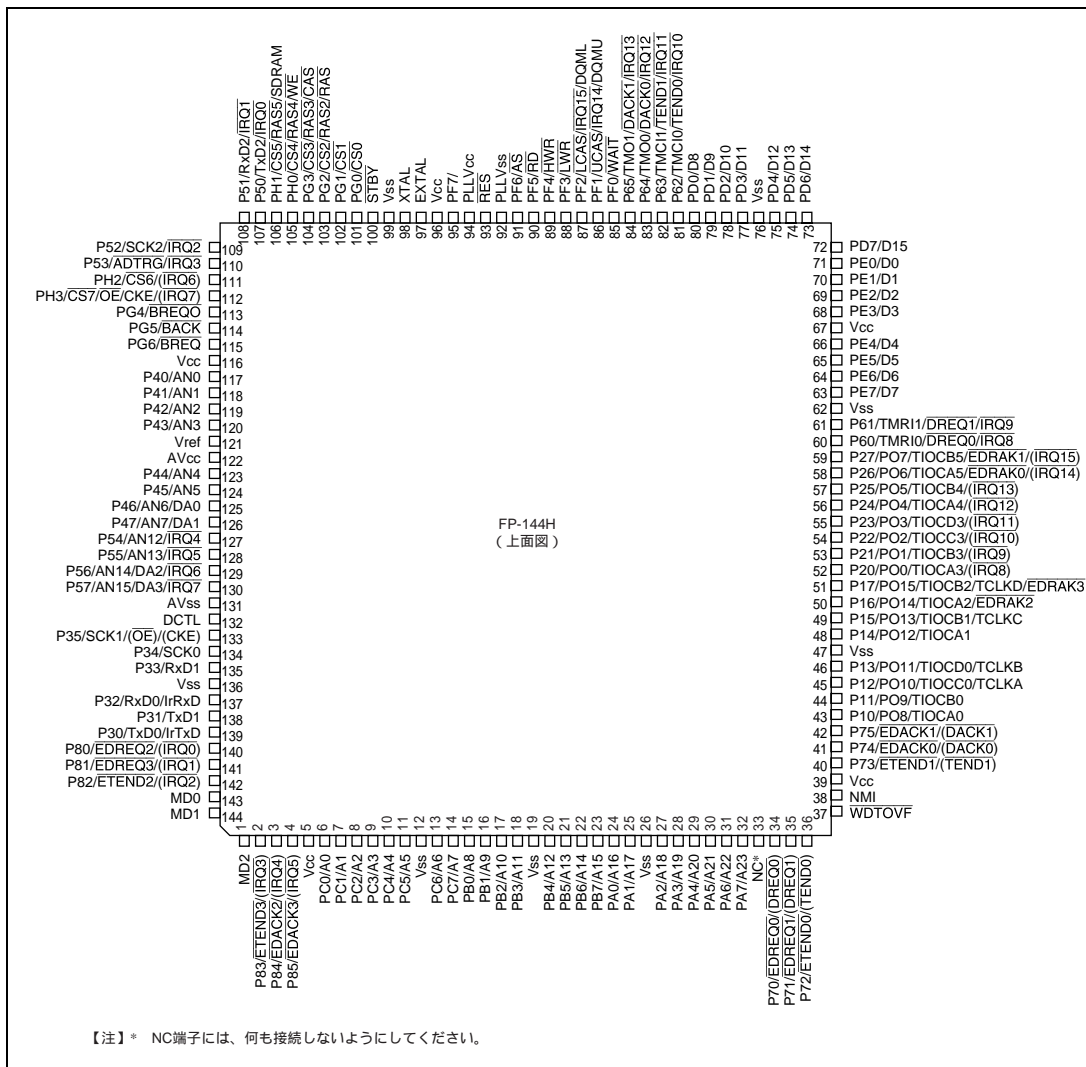


図 1.4 H8S/2678R グループ ピン配置図

## 1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン 番号	端子名					フラッシュ メモリ ライターモード
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		
				EXPE=1	EXPE=0	
1	MD2	MD2	MD2	MD2	MD2	Vss
2	P83/ETEND3/ (IRQ3)	P83/ETEND3/ (IRQ3)	P83/ETEND3/ (IRQ3)	P83/ETEND3/ (IRQ3)	P83/(IRQ3)	NC
3	P84/EDACK2/ (IRQ4)	P84/EDACK2/ (IRQ4)	P84/EDACK2/ (IRQ4)	P84/EDACK2/ (IRQ4)	P84/(IRQ4)	NC
4	P85/EDACK3/ (IRQ5)	P85/EDACK3/ (IRQ5)	P85/EDACK3/ (IRQ5)	P85/EDACK3/ (IRQ5)	P85/(IRQ5)	NC
5	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
6	A0	A0	PC0/A0	PC0/A0	PC0	A0
7	A1	A1	PC1/A1	PC1/A1	PC1	A1
8	A2	A2	PC2/A2	PC2/A2	PC2	A2
9	A3	A3	PC3/A3	PC3/A3	PC3	A3
10	A4	A4	PC4/A4	PC4/A4	PC4	A4
11	A5	A5	PC5/A5	PC5/A5	PC5	A5
12	Vss	Vss	Vss	Vss	Vss	Vss
13	A6	A6	PC6/A6	PC6/A6	PC6	A6
14	A7	A7	PC7/A7	PC7/A7	PC7	A7
15	A8	A8	PB0/A8	PB0/A8	PB0	A8
16	A9	A9	PB1/A9	PB1/A9	PB1	A9
17	A10	A10	PB2/A10	PB2/A10	PB2	A10
18	A11	A11	PB3/A11	PB3/A11	PB3	A11
19	Vss	Vss	Vss	Vss	Vss	Vss
20	A12	A12	PB4/A12	PB4/A12	PB4	A12
21	A13	A13	PB5/A13	PB5/A13	PB5	A13
22	A14	A14	PB6/A14	PB6/A14	PB6	A14
23	A15	A15	PB7/A15	PB7/A15	PB7	A15
24	A16	A16	PA0/A16	PA0/A16	PA0	A16
25	A17	A17	PA1/A17	PA1/A17	PA1	A17
26	Vss	Vss	Vss	Vss	Vss	Vss
27	A18	A18	PA2/A18	PA2/A18	PA2	A18
28	A19	A19	PA3/A19	PA3/A19	PA3	NC

## 1. 概要

ピン 番号	端子名					
	モード1 モード5	モード2 モード6	モード4	モード7		フラッシュ メモリ ライターモード
				EXPE=1	EXPE=0	
29	A20	A20	PA4/A20	PA4/A20	PA4	NC
30	PA5/A21	PA5/A21	PA5/A21	PA5/A21	PA5	NC
31	PA6/A22	PA6/A22	PA6/A22	PA6/A22	PA6	NC
32	PA7/A23	PA7/A23	PA7/A23	PA7/A23	PA7	NC
33	NC	NC	NC	NC	NC	NC
34	P70/EDREQ0/ (DREQ0)	P70/EDREQ0/ (DREQ0)	P70/EDREQ0/ (DREQ0)	P70/EDREQ0/ (DREQ0)	P70/(DREQ0)	NC
35	P71/EDREQ1/ (DREQ1)	P71/EDREQ1/ (DREQ1)	P71/EDREQ1/ (DREQ1)	P71/EDREQ1/ (DREQ1)	P71/(DREQ1)	NC
36	P72/ETEND0/ (TEND0)	P72/ETEND0/ (TEND0)	P72/ETEND0/ (TEND0)	P72/ETEND0/ (TEND0)	P72/(TEND0)	NC
37	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	NC
38	NMI	NMI	NMI	NMI	NMI	Vcc
39	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
40	P73/ETEND1/ (TEND1)	P73/ETEND1/ (TEND1)	P73/ETEND1/ (TEND1)	P73/ETEND1/ (TEND1)	P73/(TEND1)	NC
41	P74/EDACK0/ (DACK0)	P74/EDACK0/ (DACK0)	P74/EDACK0/ (DACK0)	P74/EDACK0/ (DACK0)	P74/(DACK0)	NC
42	P75/EDACK1/ (DACK1)	P75/EDACK1/ (DACK1)	P75/EDACK1/ (DACK1)	P75/EDACK1/ (DACK1)	P75/(DACK1)	NC
43	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	NC
44	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	NC
45	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	NC
46	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	NC
47	Vss	Vss	Vss	Vss	Vss	Vss
48	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	NC
49	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	NC
50	P16/PO14/ TIOCA2/EDRAK2	P16/PO14/ TIOCA2/EDRAK2	P16/PO14/ TIOCA2/EDRAK2	P16/PO14/ TIOCA2/EDRAK2	P16/PO14/ TIOCA2	NC



ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライターモード
				EXPE=1	EXPE=0	
51	P17/PO15/ TIOCB2/TCLKD/ EDRAK3	P17/PO15/ TIOCB2/TCLKD/ EDRAK3	P17/PO15/ TIOCB2/TCLKD/ EDRAK3	P17/PO15/ TIOCB2/TCLKD/ EDRAK3	P17/PO15/ TIOCB2/TCLKD	NC
52	P20/PO0/ TIOCA3/( $\overline{\text{IRQ8}}$ )	P20/PO0/ TIOCA3/( $\overline{\text{IRQ8}}$ )	P20/PO0/ TIOCA3/( $\overline{\text{IRQ8}}$ )	P20/PO0/ TIOCA3/( $\overline{\text{IRQ8}}$ )	P20/PO0/ TIOCA3/( $\overline{\text{IRQ8}}$ )	NC
53	P21/PO1/ TIOCB3/( $\overline{\text{IRQ9}}$ )	P21/PO1/ TIOCB3/( $\overline{\text{IRQ9}}$ )	P21/PO1/ TIOCB3/( $\overline{\text{IRQ9}}$ )	P21/PO1/ TIOCB3/( $\overline{\text{IRQ9}}$ )	P21/PO1/ TIOCB3/( $\overline{\text{IRQ9}}$ )	NC
54	P22/PO2/ TIOCC3/( $\overline{\text{IRQ10}}$ )	P22/PO2/ TIOCC3/( $\overline{\text{IRQ10}}$ )	P22/PO2/ TIOCC3/( $\overline{\text{IRQ10}}$ )	P22/PO2/ TIOCC3/( $\overline{\text{IRQ10}}$ )	P22/PO2/ TIOCC3/( $\overline{\text{IRQ10}}$ )	OE
55	P23/PO3/ TIOCD3/( $\overline{\text{IRQ11}}$ )	P23/PO3/ TIOCD3/( $\overline{\text{IRQ11}}$ )	P23/PO3/ TIOCD3/( $\overline{\text{IRQ11}}$ )	P23/PO3/ TIOCD3/( $\overline{\text{IRQ11}}$ )	P23/PO3/ TIOCD3/( $\overline{\text{IRQ11}}$ )	$\overline{\text{CE}}$
56	P24/PO4/ TIOCA4/( $\overline{\text{IRQ12}}$ )	P24/PO4/ TIOCA4/( $\overline{\text{IRQ12}}$ )	P24/PO4/ TIOCA4/( $\overline{\text{IRQ12}}$ )	P24/PO4/ TIOCA4/( $\overline{\text{IRQ12}}$ )	P24/PO4/ TIOCA4/( $\overline{\text{IRQ12}}$ )	WE
57	P25/PO5/ TIOCB4/( $\overline{\text{IRQ13}}$ )	P25/PO5/ TIOCB4/( $\overline{\text{IRQ13}}$ )	P25/PO5/ TIOCB4/( $\overline{\text{IRQ13}}$ )	P25/PO5/ TIOCB4/( $\overline{\text{IRQ13}}$ )	P25/PO5/ TIOCB4/( $\overline{\text{IRQ13}}$ )	Vss
58	P26/PO6/ TIOCA5/ EDRAK0/( $\overline{\text{IRQ14}}$ )	P26/PO6/ TIOCA5/ EDRAK0/( $\overline{\text{IRQ14}}$ )	P26/PO6/ TIOCA5/ EDRAK0/( $\overline{\text{IRQ14}}$ )	P26/PO6/ TIOCA5/ EDRAK0/( $\overline{\text{IRQ14}}$ )	P26/PO6/ TIOCA5/( $\overline{\text{IRQ14}}$ )	NC
59	P27/PO7/ TIOCB5/ EDRAK1/( $\overline{\text{IRQ15}}$ )	P27/PO7/ TIOCB5/ EDRAK1/( $\overline{\text{IRQ15}}$ )	P27/PO7/ TIOCB5/ EDRAK1/( $\overline{\text{IRQ15}}$ )	P27/PO7/ TIOCB5/ EDRAK1/( $\overline{\text{IRQ15}}$ )	P27/PO7/ TIOCB5/( $\overline{\text{IRQ15}}$ )	NC
60	P60/TMRI0/ $\overline{\text{DREQ0}}/\overline{\text{IRQ8}}$	P60/TMRI0/ $\overline{\text{DREQ0}}/\overline{\text{IRQ8}}$	P60/TMRI0/ $\overline{\text{DREQ0}}/\overline{\text{IRQ8}}$	P60/TMRI0/ $\overline{\text{DREQ0}}/\overline{\text{IRQ8}}$	P60/TMRI0/ $\overline{\text{DREQ0}}/\overline{\text{IRQ8}}$	NC
61	P61/TMRI1/ $\overline{\text{DREQ1}}/\overline{\text{IRQ9}}$	P61/TMRI1/ $\overline{\text{DREQ1}}/\overline{\text{IRQ9}}$	P61/TMRI1/ $\overline{\text{DREQ1}}/\overline{\text{IRQ9}}$	P61/TMRI1/ $\overline{\text{DREQ1}}/\overline{\text{IRQ9}}$	P61/TMRI1/ $\overline{\text{DREQ1}}/\overline{\text{IRQ9}}$	NC
62	FWE* <sup>1</sup> Vss* <sup>2</sup>	FWE* <sup>1</sup> Vss* <sup>2</sup>	FWE* <sup>1</sup> Vss* <sup>2</sup>	FWE* <sup>1</sup> Vss* <sup>2</sup>	FWE* <sup>1</sup> Vss* <sup>2</sup>	FWE* <sup>1</sup> Vss* <sup>2</sup>
63	D7	PE7/D7	PE7/D7	PE7/D7	PE7	NC
64	D6	PE6/D6	PE6/D6	PE6/D6	PE6	NC
65	D5	PE5/D5	PE5/D5	PE5/D5	PE5	NC
66	D4	PE4/D4	PE4/D4	PE4/D4	PE4	NC
67	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
68	D3	PE3/D3	PE3/D3	PE3/D3	PE3	NC
69	D2	PE2/D2	PE2/D2	PE2/D2	PE2	NC
70	D1	PE1/D1	PE1/D1	PE1/D1	PE1	NC

## 1. 概要

ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライターモード
				EXPE=1	EXPE=0	
71	D0	PE0/D0	PE0/D0	PE0/D0	PE0	NC
72	D15	D15	D15	D15	PD7	I/O7
73	D14	D14	D14	D14	PD6	I/O6
74	D13	D13	D13	D13	PD5	I/O5
75	D12	D12	D12	D12	PD4	I/O4
76	Vss	Vss	Vss	Vss	Vss	Vss
77	D11	D11	D11	D11	PD3	I/O3
78	D10	D10	D10	D10	PD2	I/O2
79	D9	D9	D9	D9	PD1	I/O1
80	D8	D8	D8	D8	PD0	I/O0
81	P62/TMC10/ TEND0/IRQ10	P62/TMC10/ TEND0/IRQ10	P62/TMC10/ TEND0/IRQ10	P62/TMC10/ TEND0/IRQ10	P62/TMC10/ TEND0/IRQ10	NC
82	P63/TMC11/ TEND1/IRQ11	P63/TMC11/ TEND1/IRQ11	P63/TMC11/ TEND1/IRQ11	P63/TMC11/ TEND1/IRQ11	P63/TMC11/ TEND1/IRQ11	NC
83	P64/TMO0/ DACK0/IRQ12	P64/TMO0/ DACK0/IRQ12	P64/TMO0/ DACK0/IRQ12	P64/TMO0/ DACK0/IRQ12	P64/TMO0/ DACK0/IRQ12	NC
84	P65/TMO1/ DACK1/IRQ13	P65/TMO1/ DACK1/IRQ13	P65/TMO1/ DACK1/IRQ13	P65/TMO1/ DACK1/IRQ13	P65/TMO1/ DACK1/IRQ13	NC
85	PF0/WAIT	PF0/WAIT	PF0/WAIT	PF0/WAIT	PF0	NC
86	PF1/UCAS/ IRQ14/DQMU* <sup>2</sup>	PF1/UCAS/ IRQ14/DQMU* <sup>2</sup>	PF1/UCAS/ IRQ14/DQMU* <sup>2</sup>	PF1/UCAS/ IRQ14/DQMU* <sup>2</sup>	PF1/IRQ14	NC
87	PF2/LCAS/ IRQ15/DQML* <sup>2</sup>	PF2/LCAS/ IRQ15/DQML* <sup>2</sup>	PF2/LCAS/ IRQ15/DQML* <sup>2</sup>	PF2/LCAS/ IRQ15/DQML* <sup>2</sup>	PF2/IRQ15	NC
88	PF3/LWR	PF3/LWR	PF3/LWR	PF3/LWR	PF3	NC
89	HWR	HWR	HWR	HWR	PF4	NC
90	RD	RD	RD	RD	PF5	NC
91	PF6/AS	PF6/AS	PF6/AS	PF6/AS	PF6	NC
92	PLLVss	PLLVss	PLLVss	PLLVss	PLLVss	Vss
93	RES	RES	RES	RES	RES	RES
94	PLLVcc	PLLVcc	PLLVcc	PLLVcc	PLLVcc	Vcc
95	PF7/	PF7/	PF7/	PF7/	PF7/	NC
96	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
97	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL

1. 概要

ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライタモード
				EXPE=1	EXPE=0	
98	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
99	Vss	Vss	Vss	Vss	Vss	Vss
100	STBY	STBY	STBY	STBY	STBY	Vcc
101	PG0/CS0	PG0/CS0	PG0/CS0	PG0/CS0	PG0	NC
102	PG1/CS1	PG1/CS1	PG1/CS1	PG1/CS1	PG1	NC
103	PG2/CS2/ RAS2*/RAS* <sup>2</sup>	PG2/CS2/ RAS2*/RAS* <sup>2</sup>	PG2/CS2/ RAS2*/RAS* <sup>2</sup>	PG2/CS2/ RAS2*/RAS* <sup>2</sup>	PG2	NC
104	PG3/CS3/ RAS3*/CAS* <sup>2</sup>	PG3/CS3/ RAS3*/CAS* <sup>2</sup>	PG3/CS3/ RAS3*/CAS* <sup>2</sup>	PG3/CS3/ RAS3*/CAS* <sup>2</sup>	PG3	NC
105	PH0/CS4/ RAS4*/WE* <sup>2</sup>	PH0/CS4/ RAS4*/WE* <sup>2</sup>	PH0/CS4/ RAS4*/WE* <sup>2</sup>	PH0/CS4/ RAS4*/WE* <sup>2</sup>	PH0	NC
106	PH1/CS5/ RAS5* <sup>2</sup> / SDRAM * <sup>2</sup>	PH1/CS5/ RAS5* <sup>2</sup> / SDRAM * <sup>2</sup>	PH1/CS5/ RAS5* <sup>2</sup> / SDRAM * <sup>2</sup>	PH1/CS5/ RAS5* <sup>2</sup> / SDRAM * <sup>2</sup>	PH1	NC
107	P50/TxD2/IRQ0	P50/TxD2/IRQ0	P50/TxD2/IRQ0	P50/TxD2/IRQ0	P50/TxD2/IRQ0	Vss
108	P51/RxD2/IRQ1	P51/RxD2/IRQ1	P51/RxD2/IRQ1	P51/RxD2/IRQ1	P51/RxD2/IRQ1	Vss
109	P52/SCK2/IRQ2	P52/SCK2/IRQ2	P52/SCK2/IRQ2	P52/SCK2/IRQ2	P52/SCK2/IRQ2	Vcc
110	P53/ADTRG/ IRQ3	P53/ADTRG/ IRQ3	P53/ADTRG/ IRQ3	P53/ADTRG/ IRQ3	P53/ADTRG/ IRQ3	NC
111	PH2/CS6/(IRQ6)	PH2/CS6/(IRQ6)	PH2/CS6/(IRQ6)	PH2/CS6/(IRQ6)	PH2/(IRQ6)	NC
112	PH3/CS7/OE/ (IRQ7)/CKE* <sup>2</sup>	PH3/CS7/OE/ (IRQ7)/CKE* <sup>2</sup>	PH3/CS7/OE/ (IRQ7)/CKE* <sup>2</sup>	PH3/CS7/OE/ (IRQ7)/CKE* <sup>2</sup>	PH3/(IRQ7)	NC
113	PG4/BREQ0	PG4/BREQ0	PG4/BREQ0	PG4/BREQ0	PG4	NC
114	PG5/BACK	PG5/BACK	PG5/BACK	PG5/BACK	PG5	NC
115	PG6/BREQ	PG6/BREQ	PG6/BREQ	PG6/BREQ	PG6	NC
116	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
117	P40/AN0	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC
118	P41/AN1	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC
119	P42/AN2	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC
120	P43/AN3	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC
121	Vref	Vref	Vref	Vref	Vref	NC
122	AVcc	AVcc	AVcc	AVcc	AVcc	Vcc
123	P44/AN4	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC

## 1. 概要

ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライトモード
				EXPE=1	EXPE=0	
124	P45/AN5	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC
125	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	NC
126	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	NC
127	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	NC
128	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	NC
129	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	NC
130	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	NC
131	AVss	AVss	AVss	AVss	AVss	Vss
132	NC <sup>*3</sup> DCTL <sup>*2</sup>	NC <sup>*3</sup> DCTL <sup>*2</sup>	NC <sup>*3</sup> DCTL <sup>*2</sup>	NC <sup>*3</sup> DCTL <sup>*2</sup>	NC <sup>*3</sup> DCTL <sup>*2</sup>	NC <sup>*3</sup> Vss <sup>*2</sup>
133	P35/SCK1/( $\overline{\text{OE}}$ )/ (CKE) <sup>*2</sup>	P35/SCK1/( $\overline{\text{OE}}$ )/ (CKE) <sup>*2</sup>	P35/SCK1/( $\overline{\text{OE}}$ )/ (CKE) <sup>*2</sup>	P35/SCK1/( $\overline{\text{OE}}$ )/ (CKE) <sup>*2</sup>	P35/SCK1	NC
134	P34/SCK0	P34/SCK0	P34/SCK0	P34/SCK0	P34/SCK0	NC
135	P33/RxD1	P33/RxD1	P33/RxD1	P33/RxD1	P33/RxD1	NC
136	Vss	Vss	Vss	Vss	Vss	Vss
137	P32/RxD0/IrRxD	P32/RxD0/IrRxD	P32/RxD0/IrRxD	P32/RxD0/IrRxD	P32/RxD0/IrRxD	Vcc
138	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	NC
139	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	NC
140	P80/EDREQ2/ ( $\overline{\text{IRQ0}}$ )	P80/EDREQ2/ ( $\overline{\text{IRQ0}}$ )	P80/EDREQ2/ ( $\overline{\text{IRQ0}}$ )	P80/EDREQ2/ ( $\overline{\text{IRQ0}}$ )	P80/( $\overline{\text{IRQ0}}$ )	NC
141	P81/EDREQ3/ ( $\overline{\text{IRQ1}}$ )	P81/EDREQ3/ ( $\overline{\text{IRQ1}}$ )	P81/EDREQ3/ ( $\overline{\text{IRQ1}}$ )	P81/EDREQ3/ ( $\overline{\text{IRQ1}}$ )	P81/( $\overline{\text{IRQ1}}$ )	NC
142	P82/ETEND2/ ( $\overline{\text{IRQ2}}$ )	P82/ETEND2/ ( $\overline{\text{IRQ2}}$ )	P82/ETEND2/ ( $\overline{\text{IRQ2}}$ )	P82/ETEND2/ ( $\overline{\text{IRQ2}}$ )	P82/( $\overline{\text{IRQ2}}$ )	NC
143	MD0	MD0	MD0	MD0	MD0	Vss
144	MD1	MD1	MD1	MD1	MD1	Vss

【注】 \*1 H8S/2678 グループのフラッシュメモリ版のみで、H8S/2678 グループのマスク ROM 版、ROM レス版では NC 端子となります。

\*2 H8S/2678R グループのみ

\*3 H8S/2678 グループのみ

## 1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号		入出力	機能
		FP-144G (H8S/2678 グループ)	FP-144H (H8S/2678R グループ)		
電源	Vcc	5、39 67、96 116	5、39 67、96 116	入力	電源端子です。システムの電源に接続してください。
	Vss	12、19 26、47 76、99 136	12、19 26、47 62、76 99、136	入力	グランド端子です。システムの電源(0V)に接続してください。
	PLLVcc	94	94	入力	内蔵 PLL 発振器用の電源端子です。
	PLLVss	92	92	入力	内蔵 PLL 発振器用のグランド端子です。
クロック	XTAL	98	98	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 21 章 クロック発振器」を参照してください。
	EXTAL	97	97	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 21 章 クロック発振器」を参照してください。
		95	95	出力	外部デバイスにシステムクロックを供給します。
	SDRAM		106	出力	シンクロナス DRAM を接続する場合に、シンクロナス DRAM の CLK 端子に接続します。詳細は、「第 6 章 バスコントローラ(BSC)」を参照してください。
動作モード コントロール	MD2	1	1	入力	動作モードを設定します。これらの端子は動作中に変化させないでください。
	MD1	144	144		
	MD0	143	143		
	DCTL		132	入力	この端子が High レベルになると、シンクロナス DRAM 専用クロック SDRAM が出力されます。シンクロナス DRAM インタフェースを使用しない場合には、Low レベルにしてください。この端子は動作中に変化させないでください。
システム制御	RES	93	93	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	STBY	100	100	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。

## 1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144G (H8S/2678 グループ)	FP-144H (H8S/2678R グループ)		
システム制御	$\overline{\text{BREQ}}$	115	115	入力	本 LSI に対し外部バスマスタがバス権を要求します。
	$\overline{\text{BREQO}}$	113	113	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号です。
	$\overline{\text{BACK}}$	114	114	出力	バス権を外部バスマスタに解放したことを示します。
	$\overline{\text{FWE}}$	62		入力	フラッシュメモリ用の端子です。フラッシュメモリ版のみとなります。
アドレスバス	A23 ~ A0	32 ~ 27 25 ~ 20 18 ~ 13 11 ~ 6	32 ~ 27 25 ~ 20 18 ~ 13 11 ~ 6	出力	アドレス出力端子です。
データバス	D15 ~ D0	72 ~ 75 77 ~ 80 63 ~ 66 68 ~ 71	72 ~ 75 77 ~ 80 63 ~ 66 68 ~ 71	入出力	双方向データバスです。
バス制御	$\overline{\text{CS7}} \sim \overline{\text{CS0}}$	112, 111 106 ~ 101	112, 111 106 ~ 101	出力	外部アドレス空間の分割エリア 7 ~ 0 の選択信号です。
	$\overline{\text{AS}}$	91	91	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{RD}}$	90	90	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{HWR}}$	89	89	出力	外部アドレス空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号です。また、DRAM 空間アクセス時のライトイネーブル信号です。
	$\overline{\text{LWR}}$	88	88	出力	外部アドレス空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロープ信号です。
	$\overline{\text{UCAS}}$	86	86	出力	16 ビット DRAM 空間アクセス時のアッパーカラムアドレスストロープ信号です。また、8 ビット DRAM 空間アクセス時のカラムアドレスストロープ信号です。
	$\overline{\text{LCAS}}$	87	87	出力	16 ビット DRAM 空間アクセス時のロウアーカラムアドレスストロープ信号です。

分類	記号	ピン番号		入出力	機能
		FP-144G (H8S/2678 グループ)	FP-144H (H8S/2678R グループ)		
バス制御	DQMU		86	出力	16ビット連続シンクロナス DRAM 空間アクセス時のアップデータマスクイネーブル信号です。また8ビット連続シンクロナス DRAM 空間アクセス時のデータマスクイネーブル信号です。
	DQML		87	出力	16ビット連続シンクロナス DRAM 空間アクセス時のロウアデータマスクイネーブル信号です。
	$\overline{\text{RAS}}/\text{RAS2}$ $\overline{\text{RAS3}}$ ~ $\overline{\text{RAS5}}$		103 ~ 106	出力	DRAM インタフェースのときの DRAM のロウアドレスストロブ信号です。 $\overline{\text{RAS}}$ 信号はエリア 2 ~ 5 を連続 DRAM 空間に設定したときのロウアドレスストロブ信号です。
	$\overline{\text{RAS}}$		103	出力	シンクロナス DRAM インタフェースのときのシンクロナス DRAM のロウアドレスストロブ信号です。
	$\overline{\text{CAS}}$		104	出力	シンクロナス DRAM インタフェースのときのシンクロナス DRAM のコラムアドレスストロブ信号です。
	$\overline{\text{WE}}$		105	出力	シンクロナス DRAM インタフェースのときのシンクロナス DRAM のライトイネーブル信号です。
	$\overline{\text{WAIT}}$	85	85	入力	外部3ステートアドレス空間をアクセスすると、バスサイクルにウェイトステートの挿入を要求します。
	$\overline{\text{OE}}$ ( $\overline{\text{OE}}$ )	112 133	112 133	出力	DRAM 空間アクセス時のアウトプットイネーブル信号です。 $\overline{\text{OE}}$ と ( $\overline{\text{OE}}$ ) の出力端子は、ポート3のポートファンクションコントロールレジスタ2 (PFCR2) により選択します。
	CKE (CKE)		112 133	出力	シンクロナス DRAM インタフェースのときのクロックイネーブル信号です。CKE と (CKE) の出力端子は、ポート3のポートファンクションコントロールレジスタ2 (PFCR2) により選択します。

## 1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144G (H8S/2678 グループ)	FP-144H (H8S/2678R グループ)		
割り込み	NMI	38	38	入力	ノンマスクابل割り込み要求端子です。使用しない場合は High レベルに固定してください。
	$\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$	87、86 84、83 82、81 61、60 130 ~ 127 110 ~ 107	87、86 84、83 82、81 61、60 130 ~ 127 110 ~ 107	入力	マスク可能な割り込みを要求します。 $\overline{\text{IRQn}}$ と ( $\overline{\text{IRQn}}$ ) の入力端子は、割り込みコントローラの IRQ 端子選択レジスタ (ITSR) により選択します (n = 0 ~ 15)。
	$\overline{(\text{IRQ15})} \sim \overline{(\text{IRQ0})}$	59 ~ 52 112、111 4 ~ 2 142 ~ 140	59 ~ 52 112、111 4 ~ 2 142 ~ 140		
DMA コントローラ (DMAC)	$\overline{\text{DREQ1}}$	61	61	入力	DMAC の起動を要求します。 $\overline{\text{DREQn}}$ と ( $\overline{\text{DREQn}}$ ) の入力端子は、ポート 3 のポートファンクションコントロールレジスタ 2 (PFCR2) により選択します (n = 1, 0)。
	$\overline{\text{DREQ0}}$	60	60		
	$\overline{(\text{DREQ1})}$	35	35		
	$\overline{(\text{DREQ0})}$	34	34		
	$\overline{\text{TEND1}}$	82	82	出力	DMAC のデータ転送終了を示します。 $\overline{\text{TENDn}}$ と ( $\overline{\text{TENDn}}$ ) の出力端子は、ポート 3 のポートファンクションコントロールレジスタ 2 (PFCR2) により選択します (n = 1, 0)。
	$\overline{\text{TEND0}}$	81	81		
$\overline{(\text{TEND1})}$	40	40	出力	DMAC のシングルアドレス転送アクノリッジ端子です。 $\overline{\text{DACKn}}$ と ( $\overline{\text{DACKn}}$ ) の出力端子は、ポート 3 のポートファンクションコントロールレジスタ 2 (PFCR2) により選択します (n = 1, 0)。	
$\overline{(\text{TEND0})}$	36	36			
$\overline{\text{DACK1}}$	84	84	出力	DMAC のシングルアドレス転送アクノリッジ端子です。 $\overline{\text{DACKn}}$ と ( $\overline{\text{DACKn}}$ ) の出力端子は、ポート 3 のポートファンクションコントロールレジスタ 2 (PFCR2) により選択します (n = 1, 0)。	
$\overline{\text{DACK0}}$	83	83			
$\overline{(\text{DACK1})}$	42	42			
$\overline{(\text{DACK0})}$	41	41			
EXDMA コントローラ (EXDMAC)	$\overline{\text{EDREQ3}} \sim \overline{\text{EDREQ0}}$	141、140 35、34	141、140 35、34	入力	EXDMAC の起動を要求します。
	$\overline{\text{ETEND3}} \sim \overline{\text{ETEND0}}$	2、142 40、36	2、142 40、36	出力	EXDMAC のデータ転送終了を示します。
	$\overline{\text{EDACK3}} \sim \overline{\text{EDACK0}}$	4、3 42、41	4、3 42、41	出力	EXDMAC のシングルアドレス転送アクノリッジ端子です。
	$\overline{\text{EDRAK3}} \sim \overline{\text{EDRAK0}}$	51、50 59、58	51、50 59、58	出力	外部デバイスからの DMA 転送要求受け付け、実行開始を外部デバイスに通知します。



## 1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144G (H8S/2678 グループ)	FP-144H (H8S/2678R グループ)		
16ビット タイマパルス ユニット(TPU)	TCLKA	45	45	入力	タイマの外部クロック入力端子です。
	TCLKB	46	46		
	TCLKC	49	49		
	TCLKD	51	51		
	TIOCA0	43	43	入出力	TGRA_0 - TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB0	44	44		
	TIOCC0	45	45		
	TIOCD0	46	46		
	TIOCA1	48	48	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB1	49	49		
	TIOCA2	50	50	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB2	51	51		
	TIOCA3	52	52	入出力	TGRA_3 - TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB3	53	53		
TIOCC3	54	54			
TIOCD3	55	55			
TIOCA4	56	56	入出力	TGRA_4、TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	
TIOCB4	57	57			
TIOCA5	58	58	入出力	TGRA_5、TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	
TIOCB5	59	59			
プログラマブルパルスジェネレータ (PPG)	PO15 ~ PO0	51 ~ 48 46 ~ 43 59 ~ 52	51 ~ 48 46 ~ 43 59 ~ 52	出力	パルス出力端子です。
8ビット タイマ (TMR)	TMO0	83	83	出力	アウトプットコンペア機能による波形出力端子です。
	TMO1	84	84		
	TMC10	81	81	入力	外部イベント入力端子です。
	TMC11	82	82		
	TMRI0	60	60	入力	カウンタリセット入力端子です。
	TMRI1	61	61		
ウォッチドッグタイマ (WDT)	WDTOVF	37	37	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力端子です。

## 1. 概要

分類	記号	ピン番号		入出力	機能
		FP-144G (H8S/2678 グループ)	FP-144H (H8S/2678R グループ)		
シリアルコミュニケーションインタフェース (SCI) / スマートカードインタフェース (SCI_0 は IrDA 機能付き)	TxD2	107	107	出力	データ出力端子です。
	TxD1	138	138		
	TxD0/ IrTxD	139	139		
	RxD2	108	108	入力	データ入力端子です。
	RxD1	135	135		
	RxD0/ IrRxD	137	137		
	SCK2	109	109		
	SCK1	133	133	入出力	クロック入出力端子です。
	SCK0	134	134		
A/D 変換器	AN15 ~ AN12	130 ~ 127 126 ~ 123	130 ~ 127 126 ~ 123	入力	アナログ入力端子です。
	AN7 ~ AN0	120 ~ 117	120 ~ 117		
	ADTRG	110	110	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA3 ~ DA0	130、129 126、125	130、129 126、125	出力	アナログ出力端子です。
A/D 変換器 D/A 変換器	AVcc	122	122	入力	A/D 変換器、D/A 変換器のアナログ電源端子です。A/D 変換器、D/A 変換器を使用しない場合は、システムの電源 (+3V) に接続してください。
	AVss	131	131	入力	A/D 変換器、D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	121	121	入力	A/D 変換器、D/A 変換器の基準電圧入力端子です。A/D 変換器、D/A 変換器を使用しない場合は、システムの電源 (+3V) に接続してください。
I/O ポート	P17 ~ P10	51 ~ 48 46 ~ 43	51 ~ 48 46 ~ 43	入出力	8 ビットの入出力端子です。
	P27 ~ P20	59 ~ 52	59 ~ 52	入出力	8 ビットの入出力端子です。
	P35 ~ P30	133 ~ 135 137 ~ 139	133 ~ 135 137 ~ 139	入出力	6 ビットの入出力端子です。
	P47 ~ P40	126 ~ 123 120 ~ 117	126 ~ 123 120 ~ 117	入力	8 ビットの入力端子です。
	P57 ~ P54	130 ~ 127	130 ~ 127	入力	4 ビットの入力端子です。
	P53 ~ P50	110 ~ 107	110 ~ 107	入出力	4 ビットの入出力端子です。
	P65 ~ P60	84 ~ 81 61、60	84 ~ 81 61、60	入出力	6 ビットの入出力端子です。
	P75 ~ P70	42 ~ 40 36 ~ 34	42 ~ 40 36 ~ 34	入出力	6 ビットの入出力端子です。

分類	記号	ピン番号		入出力	機能
		FP-144G (H8S/2678 グループ)	FP-144H (H8S/2678R グループ)		
I/O ポート	P85 ~ P80	4 ~ 2 142 ~ 140	4 ~ 2 142 ~ 140	入出力	6 ビットの入出力端子です。
	PA7 ~ PA0	32 ~ 27 25、24	32 ~ 27 25、24	入出力	8 ビットの入出力端子です。
	PB7 ~ PB0	23 ~ 20 18 ~ 15	23 ~ 20 18 ~ 15	入出力	8 ビットの入出力端子です。
	PC7 ~ PC0	14、13 11 ~ 6	14、13 11 ~ 6	入出力	8 ビットの入出力端子です。
	PD7 ~ PD0	72 ~ 75 77 ~ 80	72 ~ 75 77 ~ 80	入出力	8 ビットの入出力端子です。
	PE7 ~ PE0	63 ~ 66 68 ~ 71	63 ~ 66 68 ~ 71	入出力	8 ビットの入出力端子です。
	PF7 ~ PF0	95 91 ~ 85	95 91 ~ 85	入出力	8 ビットの入出力端子です。
	PG6 ~ PG0	115 ~ 113 104 ~ 101	115 ~ 113 104 ~ 101	入出力	7 ビットの入出力端子です。
	PH3 ~ PH0	112、111 106、105	112、111 106、105	入出力	4 ビットの入出力端子です。

## 1. 概要

---

---

## 2. CPU

---

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2600 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2600 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

### 2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換  
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本  
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：69 種類  
8/16/32 ビット演算命令  
乗除算命令  
強力なビット操作命令  
積和演算命令
- アドレッシングモード：8 種類  
レジスタ直接 (Rn)  
レジスタ間接 (@ERn)  
ディスプレイースメント付レジスタ間接 (@ (d:16,ERn) / @ (d:32,ERn) )  
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+ / @-ERn)  
絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)  
イミディエイト (#xx:8 / #xx:16 / #xx:32)  
プログラムカウンタ相対 (@ (d:8,PC) / @ (d:16,PC) )  
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト  
プログラム：16M バイト  
データ：16M バイト

## 2. CPU

---

- 高速動作

頻出命令をすべて1~2ステートで実行

8/16/32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：3ステート

16÷8ビットレジスタ間除算：12ステート

16×16ビットレジスタ間乗算：4ステート

32÷16ビットレジスタ間除算：20ステート

- CPU動作モード：2種類

ノーマルモード/アドバンスモード

【注】 本LSIではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

### 2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

### 2.1.2 H8/300 CPU との相違点

H8S/2600 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張  
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張  
ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能  
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化  
16Mバイトのアドレス空間を有効に使用可能
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
符号付き乗除算命令などを追加  
積和演算命令を追加  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避/復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

【注】 本 LSI では、ノーマルモードは使用できません。

### 2.1.3 H8/300H CPU との相違点

H8S/2600 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張  
8ビット×1本、32ビット×2本のコントロールレジスタを追加
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
積和演算命令を追加  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避/復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.2 CPU 動作モード

H8S/2600 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大64kバイト、アドバンスモードでは16Mバイトです。動作モードはLSIのモード端子によって決まります。

#### 2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造はH8/300 CPU と同一です。

- アドレス空間

最大64kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本LSIではノーマルモードは使用できません。



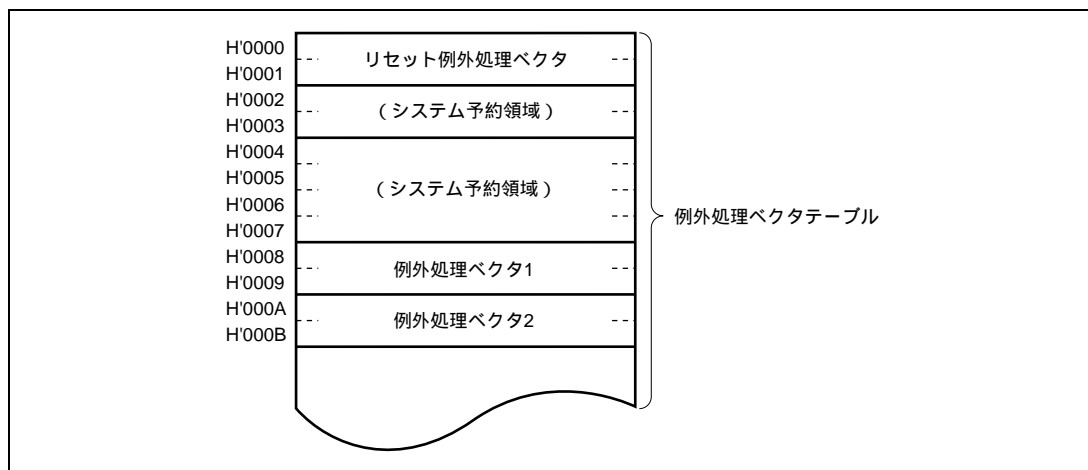


図 2.1 例外処理ベクタテーブル ( ノーマルモード )

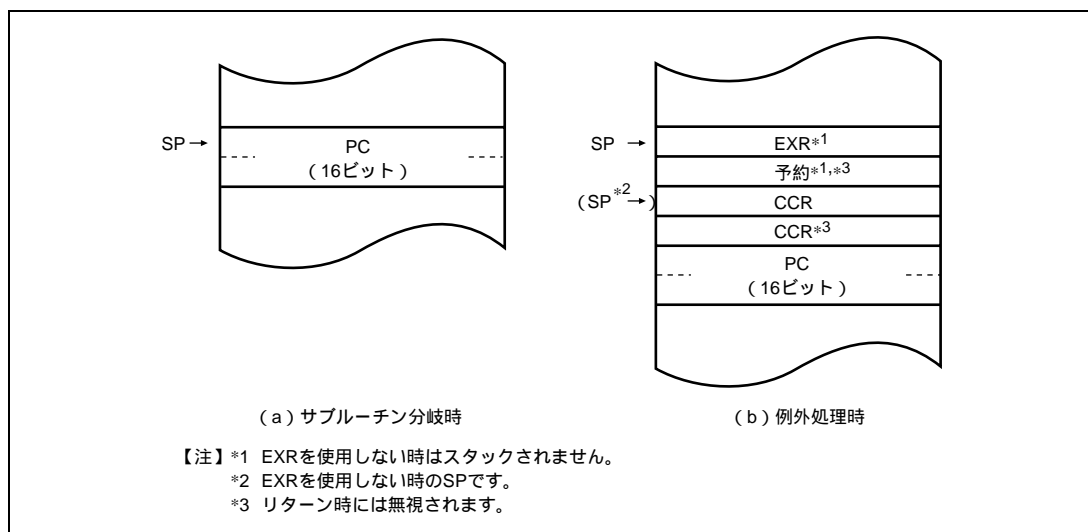


図 2.2 ノーマルモードのスタック構造

## 2.2.2 アドバンスモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンスモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

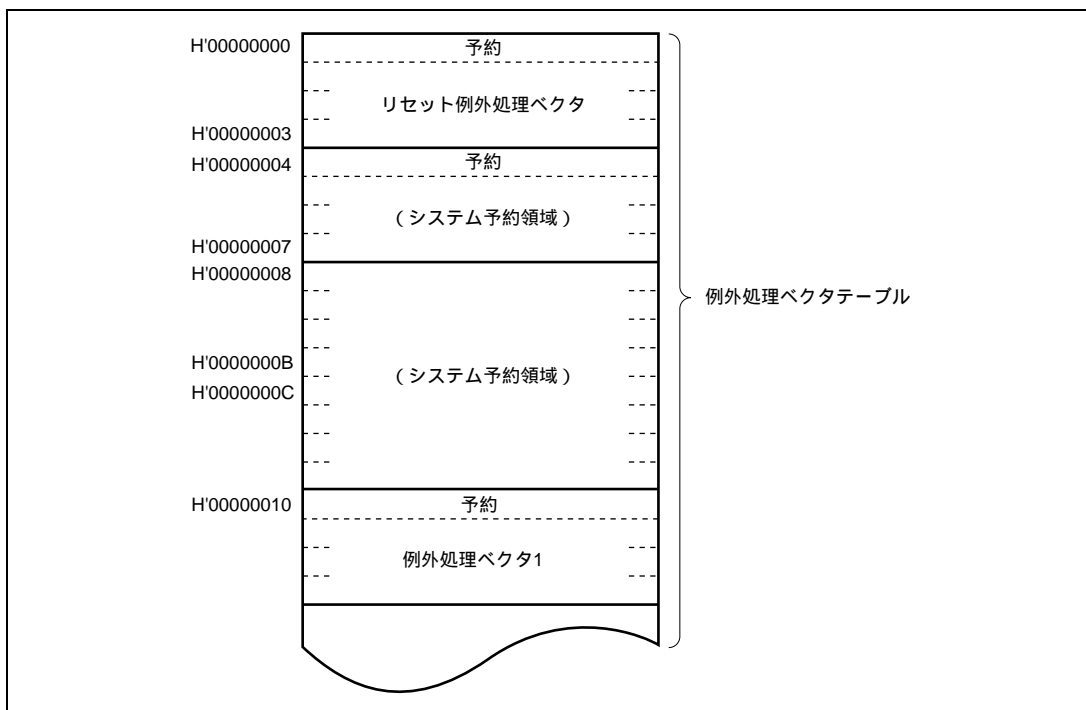


図 2.3 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット(ロングワード)となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000~H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

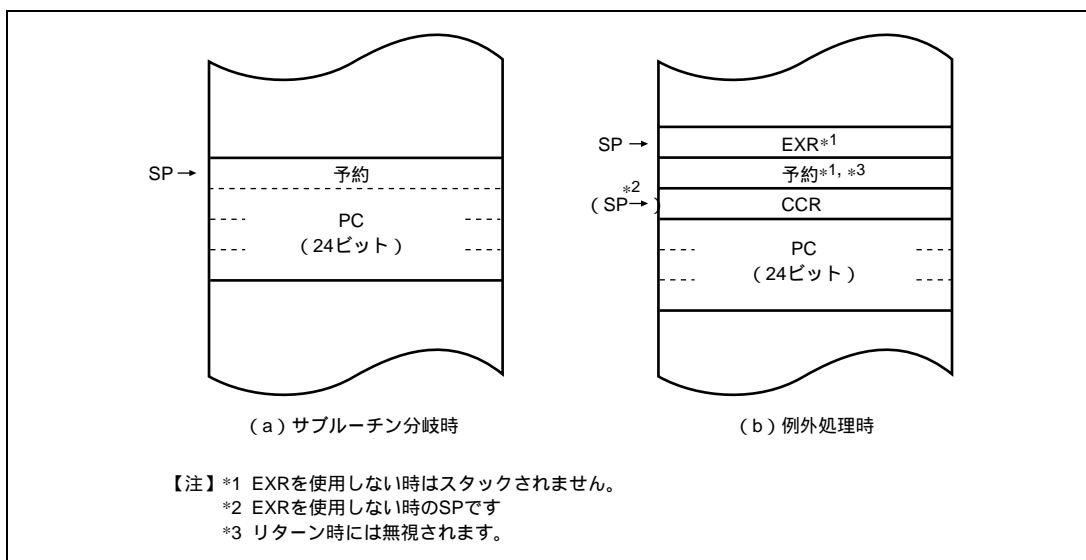


図 2.4 アドバンスモードのスタック構造

## 2.3 アドレス空間

H8S/2600 CPU のメモリマップを図 2.5 に示します。H8S/2600 CPU は、ノーマルモードのとき最大 64k バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

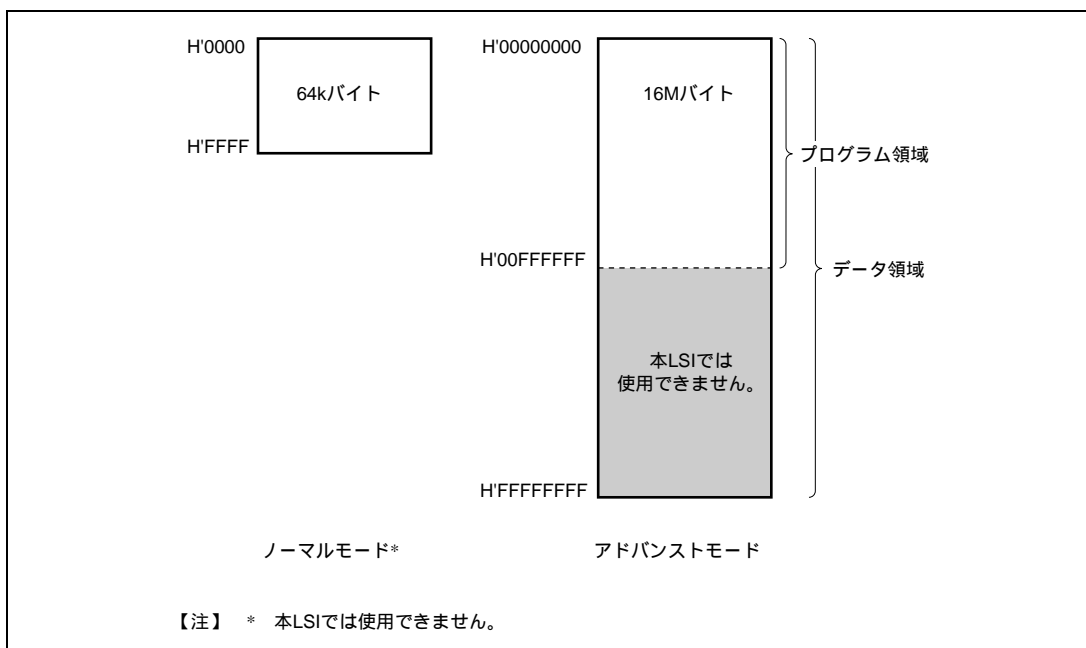


図 2.5 アドレス空間

【注】 本LSIでは、ノーマルモードは使用できません。

## 2.4 レジスタの構成

H8S/2600 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) および 64 ビット積和レジスタ (MAC) があります。

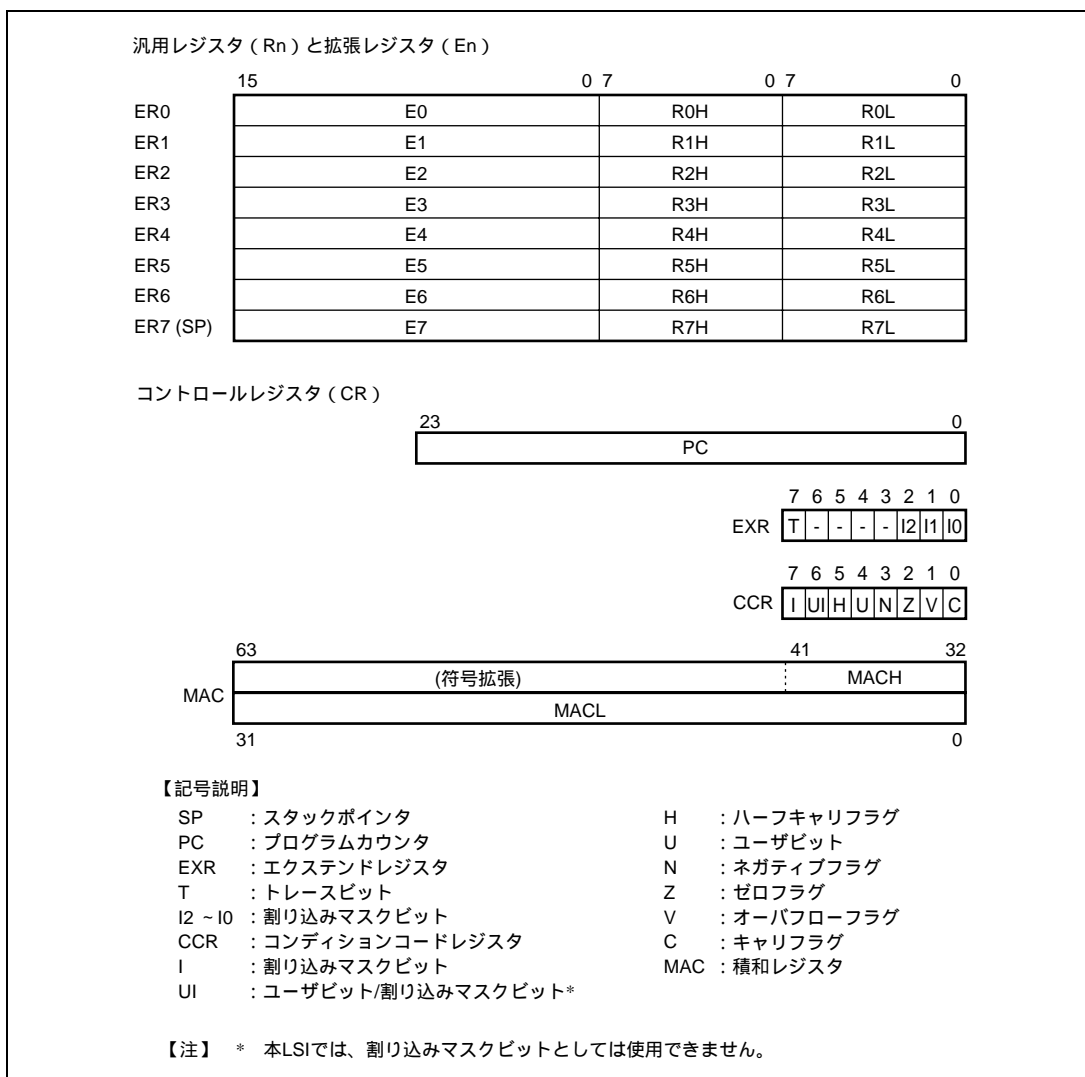


図 2.6 CPU 内部レジスタ構成

### 2.4.1 汎用レジスタ

H8S/2600 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

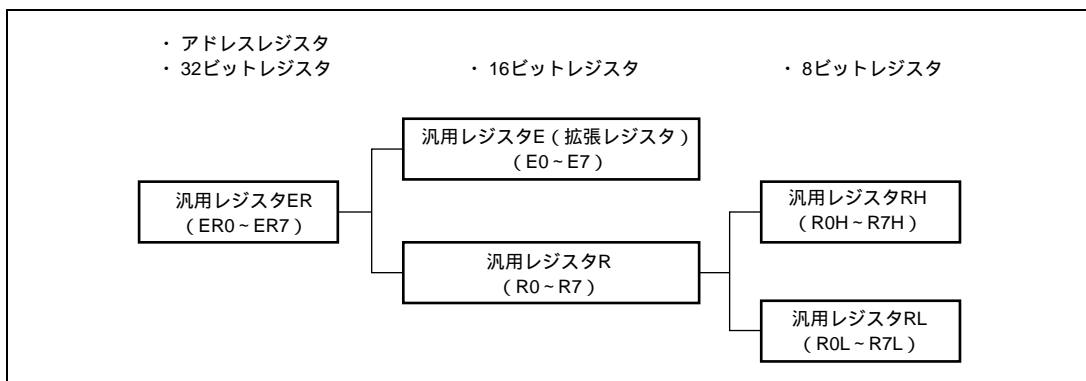


図 2.7 汎用レジスタの使用方法

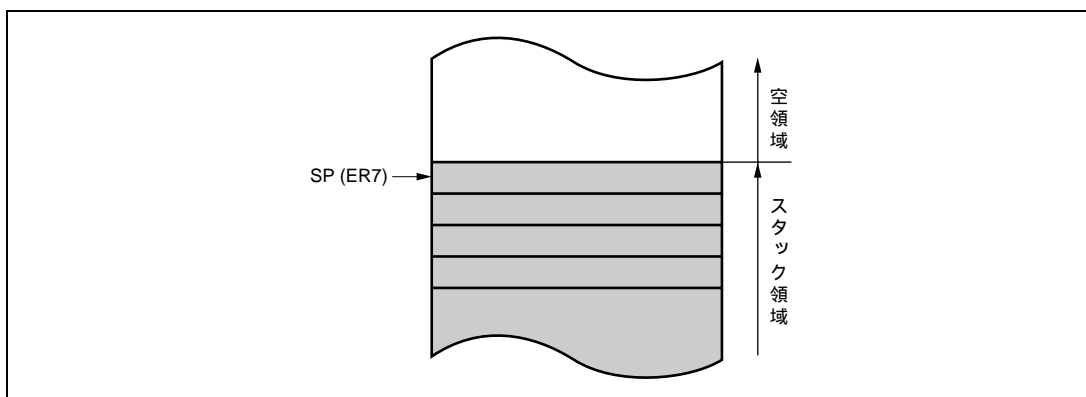


図 2.8 スタックの状態

## 2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

## 2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		1		リザーブビット リードすると常に 1 が読み出されます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

### 2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外の場合 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> <li>• 加算結果のキャリ</li> <li>• 減算結果のボロー</li> <li>• シフト/ローテートのキャリ</li> </ul> また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。



### 2.4.5 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符合拡張されています。

### 2.4.6 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

## 2.5 データ形式

H8S/2600 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0,1,2,\dots,7$ ) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

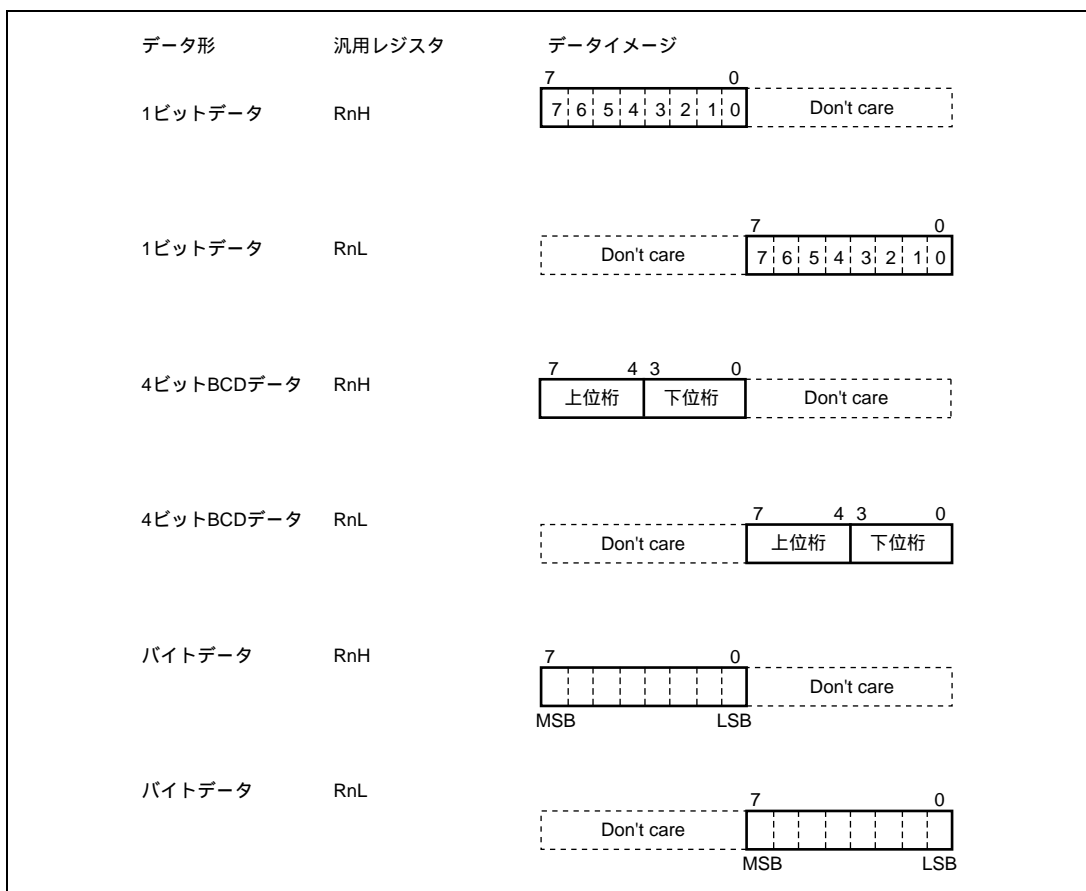


図 2.9 汎用レジスタのデータ形式 (1)

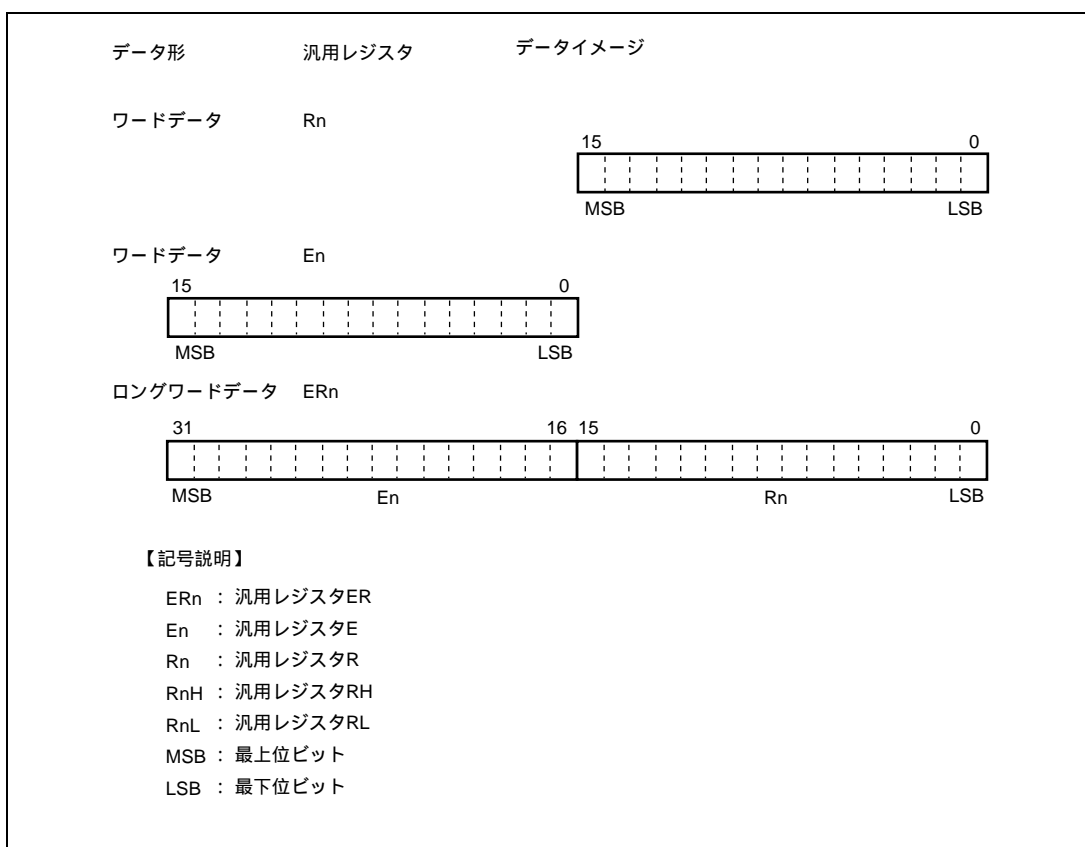


図 2.9 汎用レジスタのデータ形式 (2)

## 2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2600 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

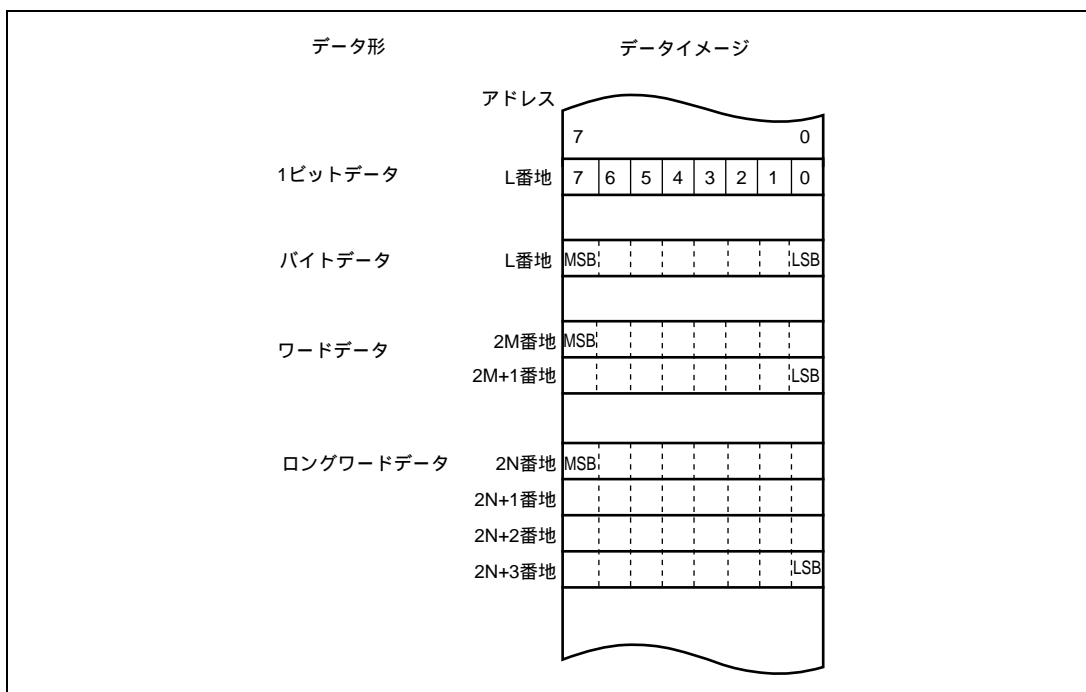


図 2.10 メモリ上でのデータ形式

## 2.6 命令セット

H8S/2600 CPU の命令は合計 69 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * <sup>1</sup> , PUSH * <sup>1</sup>	W/L	
	LDM, STM	L	
	MOVFP* <sup>3</sup> , MOVTP* <sup>3</sup>	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	23
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* <sup>4</sup>	B	
	MAC, LDMAC, STMAC, CLRMAC	-	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAN, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * <sup>2</sup> , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 69 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- \*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。  
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- \*2 Bcc は条件分岐命令の総称です。
- \*3 本 LSI では使用できません。
- \*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

## 2. CPU

### 2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】\* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】\* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

## 2. CPU

表 2.4 算術演算命令 (1)

命令	サイズ*	機 能
ADD SUB	B/W/L	$Rd \pm Rs$ $Rd$ , $Rd \pm \#IMM$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ $Rd$ , $Rd \pm \#IMM \pm C$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ , $Rd \pm 4$ $Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd$ (10 進補正) $Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット $\times$ 8 ビット 16 ビット、16 ビット $\times$ 16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット $\times$ 8 ビット 16 ビット、16 ビット $\times$ 16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット $\div$ 8 ビット 商 8 ビット余り 8 ビット、 32 ビット $\div$ 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

【注】\* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード



表 2.4 算術演算命令 (2)

命令	サイズ* <sup>1</sup>	機 能
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット $\div$ 8 ビット 商 8 ビット 余り 8 ビット、 32 ビット $\div$ 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs$ 、 $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W/L	$Rd$ (ゼロ拡張) $\rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	$Rd$ (符号拡張) $\rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* <sup>2</sup>	B	@ERd - 0、1 ( <ビット 7> of @ERd ) メモリの内容をテストした後、最上位ビット (ビット 7) を 1 にセットします。
MAC	-	$(EAs) \times (EAd) + MAC \rightarrow MAC$ メモリとメモリ間の符合付き乗算を行い、結果を積和レジスタに加算します。 16 ビット $\times$ 16 ビット + 32 ビット 32 ビットの飽和演算、 16 ビット $\times$ 16 ビット + 42 ビット 42 ビットの非飽和演算が可能です。
CLRMAC	-	0 $\rightarrow MAC$ 積和レジスタをゼロクリアします。
LDMAC STMAC	L	$Rs \rightarrow MAC$ 、 $MAC \rightarrow Rd$ 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

## 2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd、Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd、Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】\* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】\* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~ (<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [ ~ (<ビット番号>of<EAd>) ] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [ ~ (<ビット番号>of<EAd>) ] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】\* サイズはオペランドサイズを示します。

B: バイト

## 2. CPU

表 2.7 ビット操作命令 (2)

命令	サイズ*	機 能
BXOR	B	$C \oplus (\text{<ビット番号>of<EAd>})$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (\text{<ビット番号>of<EAd>})]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(\text{<ビット番号>of<EAd>})$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (\text{<ビット番号>of<EAd>})$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C$ ( $\text{<ビット番号>of<EAd>}$ ) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C$ ( $\text{<ビット番号>of<EAd>}$ ) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】\* サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always ( True )</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never ( False )</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear ( High or Same )</td> <td>C=0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set ( LOW )</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z ( N⊕V ) =0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z ( N⊕V ) =1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always ( True )	Always	BRN (BF)	Never ( False )	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC (BHS)	Carry Clear ( High or Same )	C=0	BCS (BLO)	Carry Set ( LOW )	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z ( N⊕V ) =0	BLE	Less or Equal	Z ( N⊕V ) =1
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always ( True )	Always																																																			
BRN (BF)	Never ( False )	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC (BHS)	Carry Clear ( High or Same )	C=0																																																			
BCS (BLO)	Carry Set ( LOW )	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z ( N⊕V ) =0																																																			
BLE	Less or Equal	Z ( N⊕V ) =1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

## 2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then   Repeat @ER5+ @ER6+     R4L - 1 R4L   Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then   Repeat @ER5+ @ER6+     R4 - 1 R4   Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

## 2.6.2 命令の基本フォーマット

H8S/2600 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

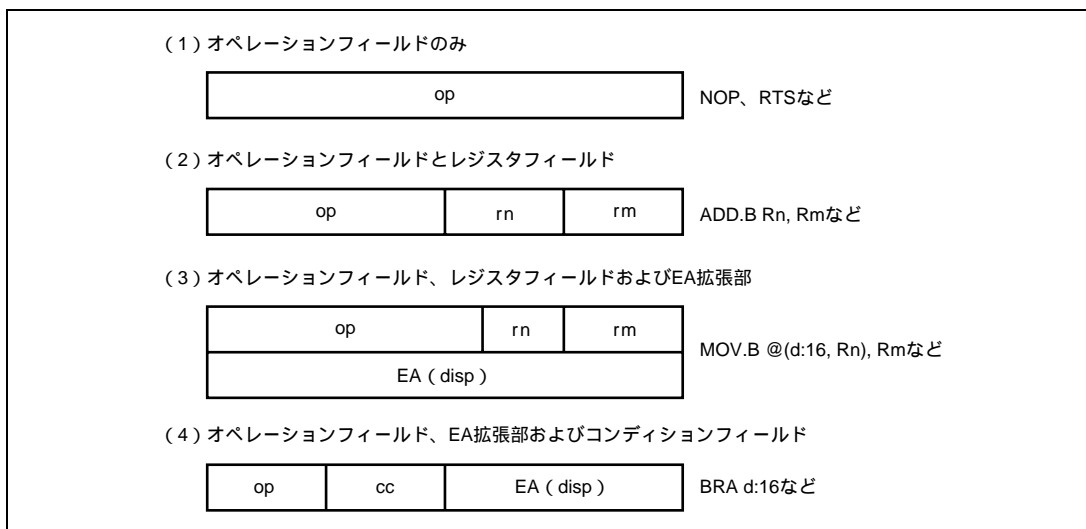


図 2.11 命令フォーマットの例



## 2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2600 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@ ( d:16,ERn ) / @ ( d:32,ERn )
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@ ( d:8,PC ) / @ ( d:16,PC )
8	メモリ間接	@@aa:8

### 2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

### 2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

### 2.7.3 ディスプレースメント付きレジスタ @ ( d:16,ERn ) / @ ( d:32,ERn )

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

## 2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

### (1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

### (2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数になるようにしてください。

## 2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスドモード
データ領域	8 ビット (@aa:8)	H'FFF0 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】\* 本 LSI では使用できません。

### 2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

### 2.7.7 プログラムカウンタ相対 @(d:8, PC)/@(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト ( - 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト ( - 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

### 2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

【注】 本 LSI ではノーマルモードは使用できません。

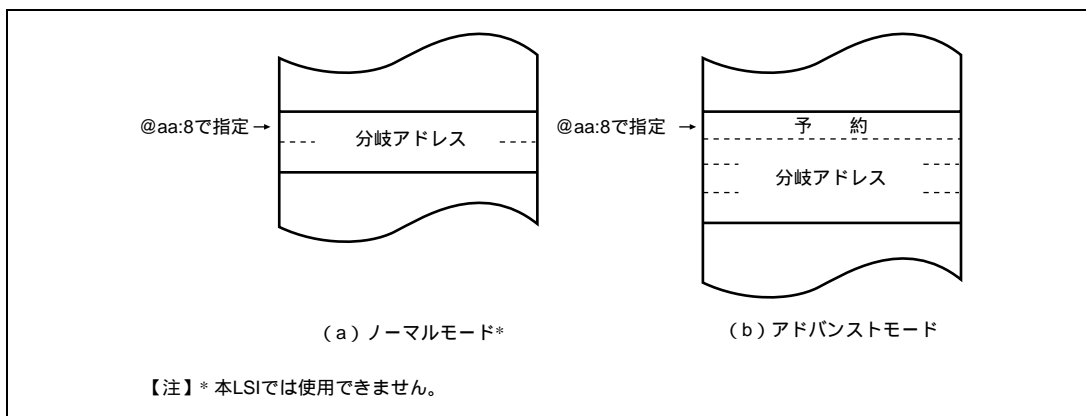


図 2.12 メモリ間接による分岐アドレスの指定

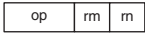

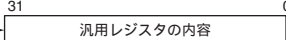

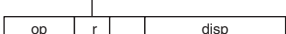
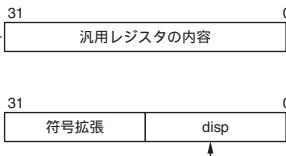
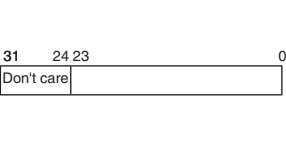
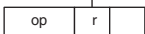

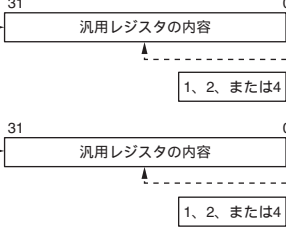
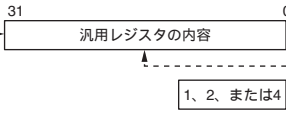
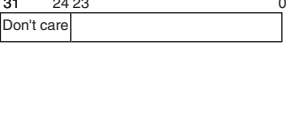
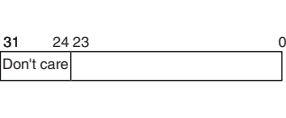
### 2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】 本 LSI ではノーマルモードは使用できません。

表 2.13 実行アドレスの計算方法 (1)

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。
2	レジスタ間接 (@ERn) 		
3	ディスプレースメント付きレジスタ間接 @d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 	 

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

2. CPU

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
5	絶対アドレス @aa:8		
	@aa:16		
	@aa:24		
	@aa:32		
6	イミディエイト #xx:8 / #xx:16 / #xx:32		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)		
8	メモリ間接 @aa:8 ・ノーマルモード*		
	・アドバンストモード		

【注】\* 本LSIでは使用できません。

## 2.8 処理状態

H8S/2600 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

DMAコントローラ（DMAC）、データトランスファコントローラ（DTC）を内蔵している製品で、これらCPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第22章 低消費電力状態」を参照してください。

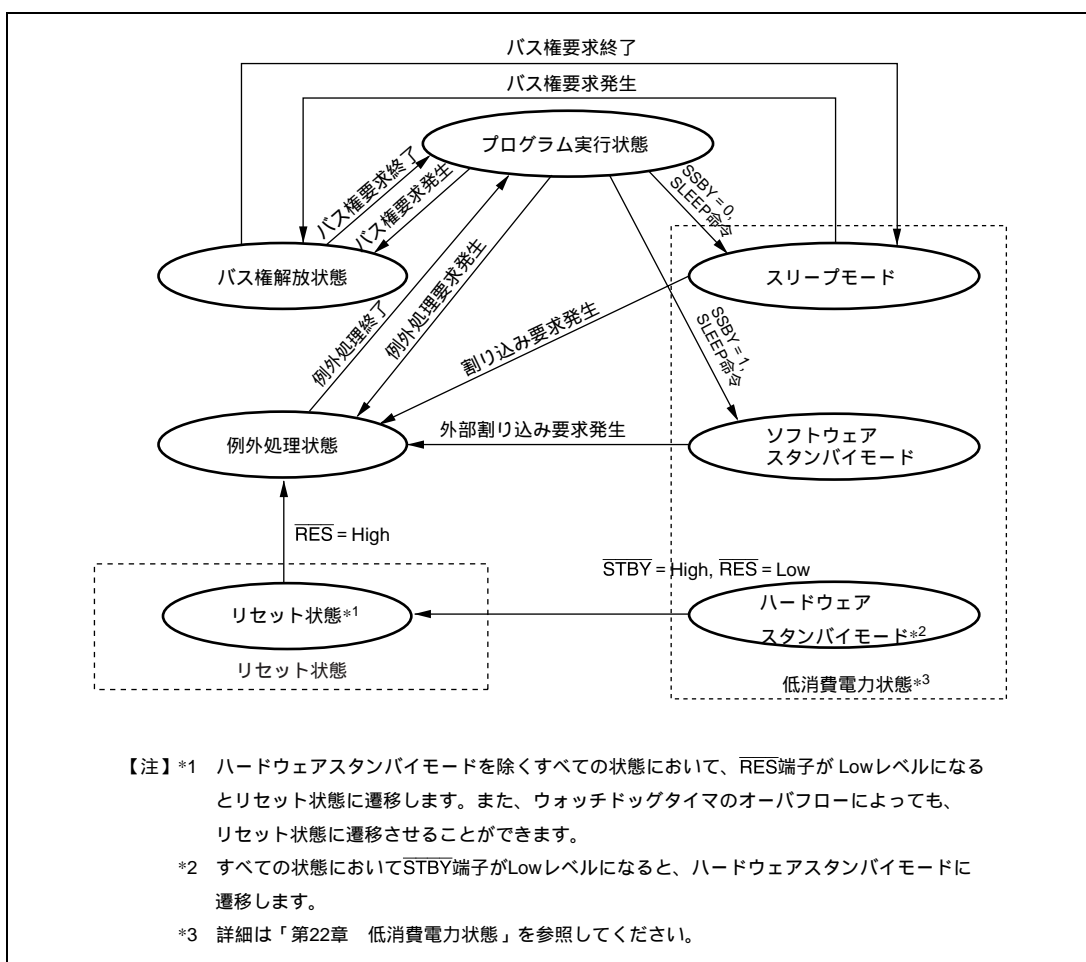


図 2.13 状態遷移図

## 2.9 使用上の注意事項

### 2.9.1 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。



---

## 3. MCU 動作モード

---

### 3.1 動作モードの選択

H8S/2678 グループは、12 種類の動作モード（モード 1、2、4~7、10~15）があります。フラッシュメモリ版はすべての動作モードが使用できます。マスク ROM 版はモード 1、2、4~7 が使用できます。ROM レス版ではモード 1、2 が使用できます。

H8S/2678R グループは、7 種類の動作モード（モード 1~7）があります。フラッシュメモリ版はすべての動作モードが使用できます。ROM レス版ではモード 1、2 が使用できます。

動作モードはモード端子（MD2~MD0）の設定で決まります。

モード 1、2、4~6 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラにより、外部アドレス空間をエリアごとに 8 ビットまたは 16 ビットに設定できます。また、いずれか 1 つのエリアを 16 ビットアドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードとなります。

モード 7 は、外部メモリおよび周辺デバイスへのアクセスをプログラム実行開始時に切り替えることができるシングルチップ起動拡張モードです。

モード 3、10、11 は、フラッシュメモリの書き込み/消去を行うブートモードです。

モード 12~15 は、フラッシュメモリの書き込み/消去を行うユーザプログラムモードです。

ブートモードとユーザプログラムモードについては「第 19 章 フラッシュメモリ（F-ZTAT 版）」を参照してください。

FWE、MD2~MD0 端子は、LSI の動作中に変化させないでください。

### 3. MCU 動作モード

表 3.1 MCU 動作モードの選択

MCU* <sup>1</sup> 動作モード	FWE* <sup>2</sup>	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
								初期値	最大値
1	0	0	0	1	アドバンスト	内蔵 ROM 無効拡張モード	無効	16 ビット	16 ビット
2	0	0	1	0	アドバンスト	内蔵 ROM 無効拡張モード	無効	8 ビット	16 ビット
3	-	0	1	1	アドバンスト	ブートモード	有効	-	16 ビット
4	0	1	0	0	アドバンスト	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
5	0	1	0	1	アドバンスト	内蔵 ROM 有効拡張モード	有効	16 ビット	16 ビット
6	0	1	1	0	アドバンスト	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
7	0	1	1	1	アドバンスト	シングルチップモード	有効	-	16 ビット
10	1	0	1	0	アドバンスト	ブートモード	有効	8 ビット	16 ビット
11	1	0	1	1	アドバンスト	ブートモード	有効	-	16 ビット
12	1	1	0	0	アドバンスト	ユーザプログラムモード	有効	8 ビット	16 ビット
13	1	1	0	1	アドバンスト	ユーザプログラムモード	有効	16 ビット	16 ビット
14	1	1	1	0	アドバンスト	ユーザプログラムモード	有効	8 ビット	16 ビット
15	1	1	1	1	アドバンスト	ユーザプログラムモード	有効	-	16 ビット

【注】 \*1 H8S/2678 グループはモード 1、2、4~7、10~15 をサポートします。

H8S/2678R グループはモード 1~7 をサポートします。

\*2 FWE 端子の設定は H8S/2678 グループのみです。H8S/2678R グループには FWE 端子はありません。

## 3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

### 3.2.1 モードコントロールレジスタ (MDCR)

MDCR は現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7~3		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	MDS2	*	R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。これらのビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、MD2~MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
1	MDS1	*	R	
0	MDS0	*	R	

【注】 \* MD2～MD0 端子の設定により決定されます。

### 3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は MAC 命令の飽和演算の選択、フラッシュメモリの制御レジスタの CPU アクセスを制御、外部バスモードの設定、内蔵 RAM の有効/無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		1	R/W	リザーブビット
6		1	R/W	初期値を変更しないでください。
5	MACS	0	R/W	MAC サチュレーション MAC 命令の飽和演算、非飽和演算を選択します。 0 : 非飽和演算 1 : 飽和演算
4		0	R/W	リザーブビット 初期値を変更しないでください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。このビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリの制御レジスタの内容は保持されています。マスク ROM 版、ROM レス版では 0 をライトしてください。 0 : アドレス H'FFFFFFC8～H'FFFFFFCB のエリアはフラッシュメモリの制御レジスタを非選択 1 : アドレス H'FFFFFFC8～H'FFFFFFCB のエリアはフラッシュメモリの制御レジスタを選択
2		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	EXPE		R/W	外部バスモードイネーブル 外部バスモードを設定します。モード 1、2、4～6 では EXPE = 1 に固定されておりライトは無効です。モード 3*、7 ではリード/ライト可能です。 EXPE = 1 の状態で EXPE に 0 をライトする場合は、外部バスサイクルが実行されていない状態で行ってください。 0 : 外部アドレス空間無効 1 : 外部アドレス空間有効
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットではリセットを解除したとき初期化されます。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

【注】 \* H8S/2678R グループのフラッシュメモリ版のみ使用できます。

## 3.3 各動作モードの説明

### 3.3.1 モード 1

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A~C がアドレスバス、ポート D、E がデータバス、ポート F~H の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には 8 ビットバスモードとなります。

### 3.3.2 モード 2

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A~C がアドレスバス、ポート D、E がデータバス、ポート F~H の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には 16 ビットバスモードとなり、ポート E がデータバスとなります。

### 3.3.3 モード 3

フラッシュメモリのブートモードです。フラッシュメモリの書き込み/消去以外は、モード 7 と同様の動作となります。モード 3 は H8S/2678R グループのフラッシュメモリ版のみ使用できます。

### 3.3.4 モード 4

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。エリア 0 の前半に接続された内蔵 ROM のプログラムを実行します。

ポート A~C はリセット直後は入力ポートになっていますが、各ポートのレジスタの設定によりアドレスバスとすることができます。ポート D、E がデータバス、ポート F~H の一部がバス制御信号となります。ポート A~C 端子機能の切り替えについては「第 10 章 I/O ポート」を参照してください。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には 16 ビットバスモードとなり、ポート E がデータバスとなります。

フラッシュメモリ版では FLMCR1 の SWE ビットを 1 にセットすることにより、ユーザプログラムモードに遷移します。

### 3.3.5 モード 5

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。エリア 0 の前半に接続された外部 ROM のプログラムを実行します。

ポート A~C はアドレスバス、ポート D、E がデータバス、ポート F~H の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には 8 ビットバスモードとなります。

フラッシュメモリ版では、FLMCR1 の SWE ビットを 1 にセットすることにより、ユーザプログラムモードに遷移します。

### 3.3.6 モード 6

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。エリア 0 の前半に接続された外部 ROM のプログラムを実行します。

ポート A~C はアドレスバス、ポート D、E がデータバス、ポート F~H の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には 16 ビットバスモードとなり、ポート E がデータバスとなります。

フラッシュメモリ版では、FLMCR1 の SWE ビットを 1 にセットすることにより、ユーザプログラムモードに遷移します。

### 3.3.7 モード 7

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。シングルチップモードで起動します。シングルチップモードでは外部アドレス空間は使用できません。

リセット直後はシングルチップモードで、すべての I/O ポートを入出力ポートとして使用できます。ただし SYSCR の EXPE ビットを 1 にセットすると外部拡張モードとなり、外部アドレス空間が有効となります。外部拡張モードの場合、初期状態はすべてのエリアで 16 ビットアクセス空間となっています。ポート A~H の端子は内蔵 ROM 有効外部拡張モードと同様です。

フラッシュメモリ版では、FLMCR1 の SWE ビットを 1 にセットすることにより、ユーザプログラムモードに遷移します。

## 3. MCU 動作モード

---

### 3.3.8 モード 10

フラッシュメモリのブートモードです。フラッシュメモリの書き込み/消去以外は、モード 4 と同様の動作となります。モード 10 は H8S/2678 グループのフラッシュメモリ版のみ使用できます。

### 3.3.9 モード 11

フラッシュメモリのブートモードです。フラッシュメモリの書き込み/消去以外は、モード 7 と同様の動作となります。モード 11 は H8S/2678 グループのフラッシュメモリ版のみ使用できます。

### 3.3.10 モード 12

フラッシュメモリのユーザプログラムモードです。フラッシュメモリの書き込み/消去以外は、モード 4 と同様の動作となります。モード 12 は H8S/2678 グループのフラッシュメモリ版のみ使用できます。

### 3.3.11 モード 13

フラッシュメモリのユーザプログラムモードです。フラッシュメモリの書き込み/消去以外は、モード 5 と同様の動作となります。モード 13 は H8S/2678 グループのフラッシュメモリ版のみ使用できます。

### 3.3.12 モード 14

フラッシュメモリのユーザプログラムモードです。フラッシュメモリの書き込み/消去以外は、モード 6 と同様の動作となります。モード 14 は H8S/2678 グループのフラッシュメモリ版のみ使用できます。

### 3.3.13 モード 15

フラッシュメモリのユーザプログラムモードです。フラッシュメモリの書き込み/消去以外は、モード 7 と同様の動作となります。モード 15 は H8S/2678 グループのフラッシュメモリ版のみ使用できます。

## 3.3.14 端子機能

動作モードにより、ポート A~H の端子機能が切り替わります。表 3.2 に各動作モードにおける端子機能を示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	モード 10	モード 11	モード 12	モード 13	モード 14	モード 15
ポート A	PA7 ~ PA5	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A
	PA4 ~ PA0	A	A			A	A				A		A	
ポート B		A	A	P*/A	P*/A	A	A	P*/A	P*/A	P*/A	P*/A	A	A	P*/A
ポート C		A	A	P*/A	P*/A	A	A	P*/A	P*/A	P*/A	P*/A	A	A	P*/A
ポート D		D	D	P*/D	P*/D	D	D	P*/D	D	P*/D	D	D	D	P*/D
ポート E		P/D*	P*/D	P*/D	P*/D	P/D*	P*/D	P*/D	P*/D	P*/D	P*/D	P/D*	P*/D	P*/D
ポート F	PF7、 PF6	P/C*	P*/C	P*/C	P*/C	P/C*	P/C*	P*/C	P*/C	P*/C	P/C*	P/C*	P/C*	P*/C
	PF5、 PF4	C	C		C	C	C		C		C	C	C	
	PF3	P/C*	P/C*		P/C*	P/C*	P/C*		P/C*		P/C*	P/C*	P/C*	
	PF2 ~ PF0	P*/C	P*/C		P*/C	P*/C	P*/C		P*/C		P*/C	P*/C	P*/C	
ポート G	PG6 ~ PG1	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C
	PG0	P/C*	P/C*		P*/C	P/C*	P/C*		P/C*		P*/C	P/C*	P/C*	
ポート H		P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C

## 【記号説明】

- P : 入出力ポート  
A : アドレスバス出力  
D : データバス入出力  
C : 制御信号、クロック入出力  
\* : リセット直後

【注】 H8S/2678 グループはモード 1、2、4~7、10~15 をサポートします。

H8S/2678R グループはモード 1~7 をサポートします。

### 3.4 各動作モードのアドレスマップ

各製品のアドレスマップを図 3.1 ~ 図 3.5 に示します。

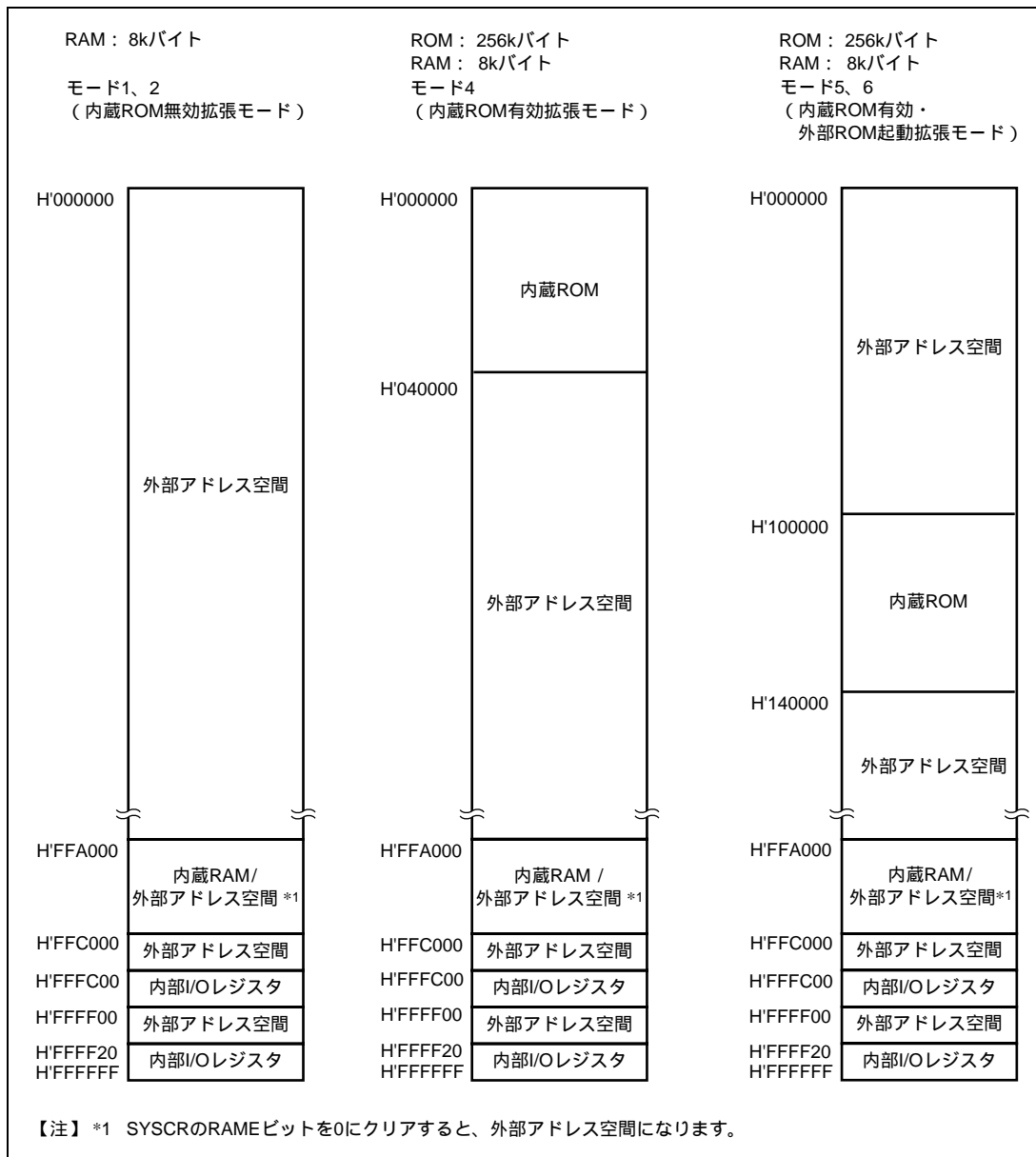


図 3.1 H8S/2676 アドレスマップ (1)



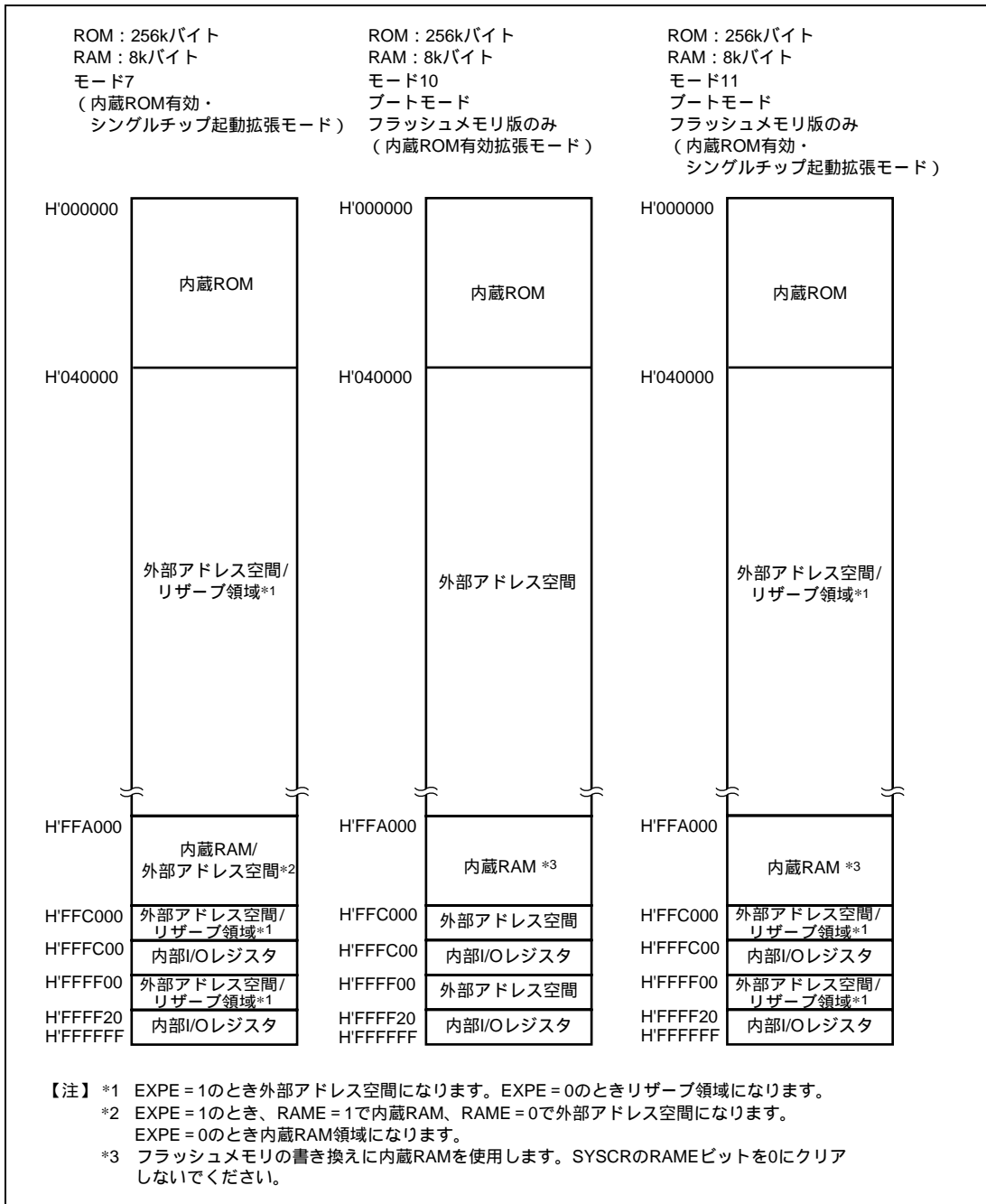


図 3.1 H8S/2676 アドレスマップ (2)

### 3. MCU 動作モード

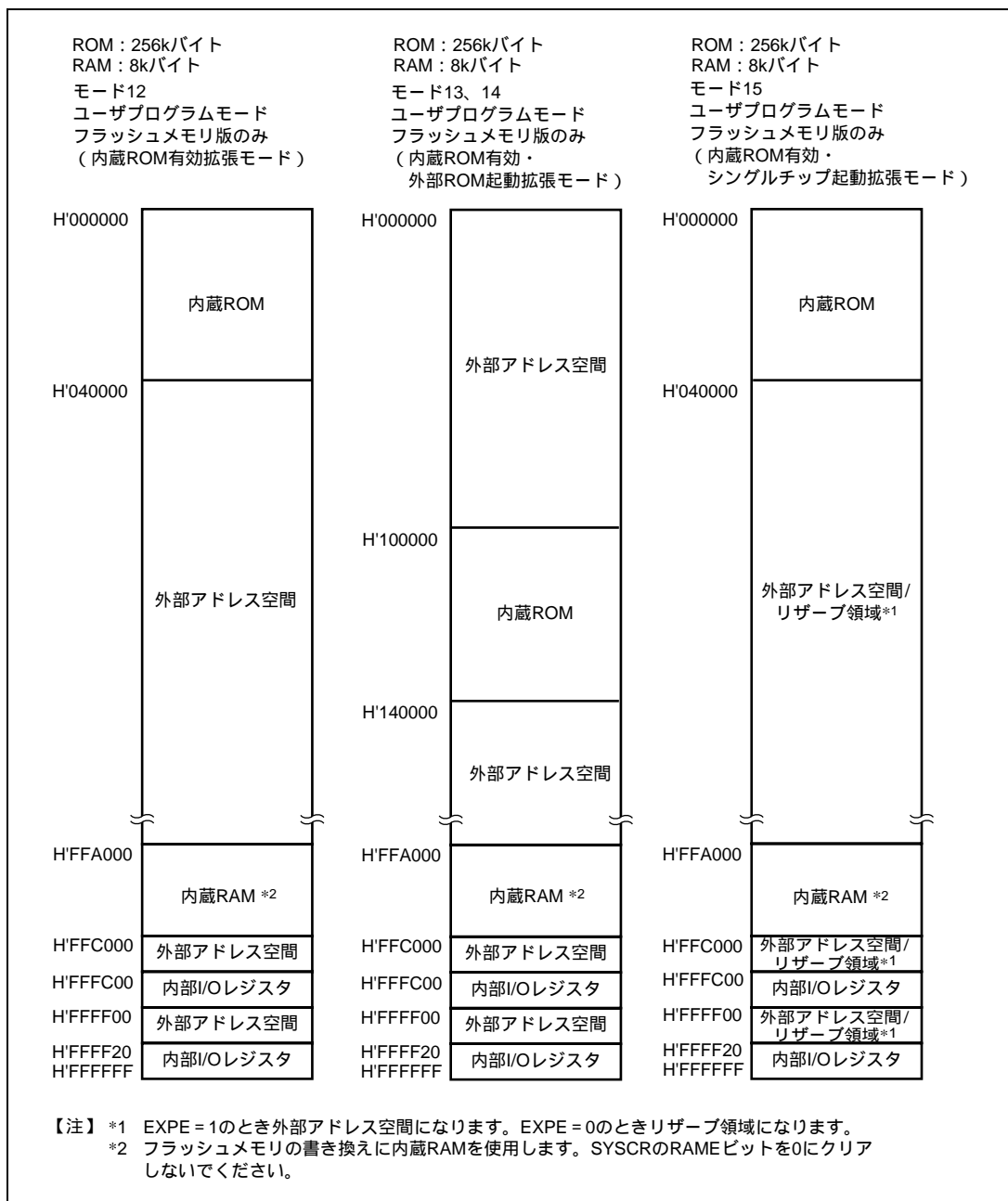


図 3.1 H8S/2676 アドレスマップ (3)

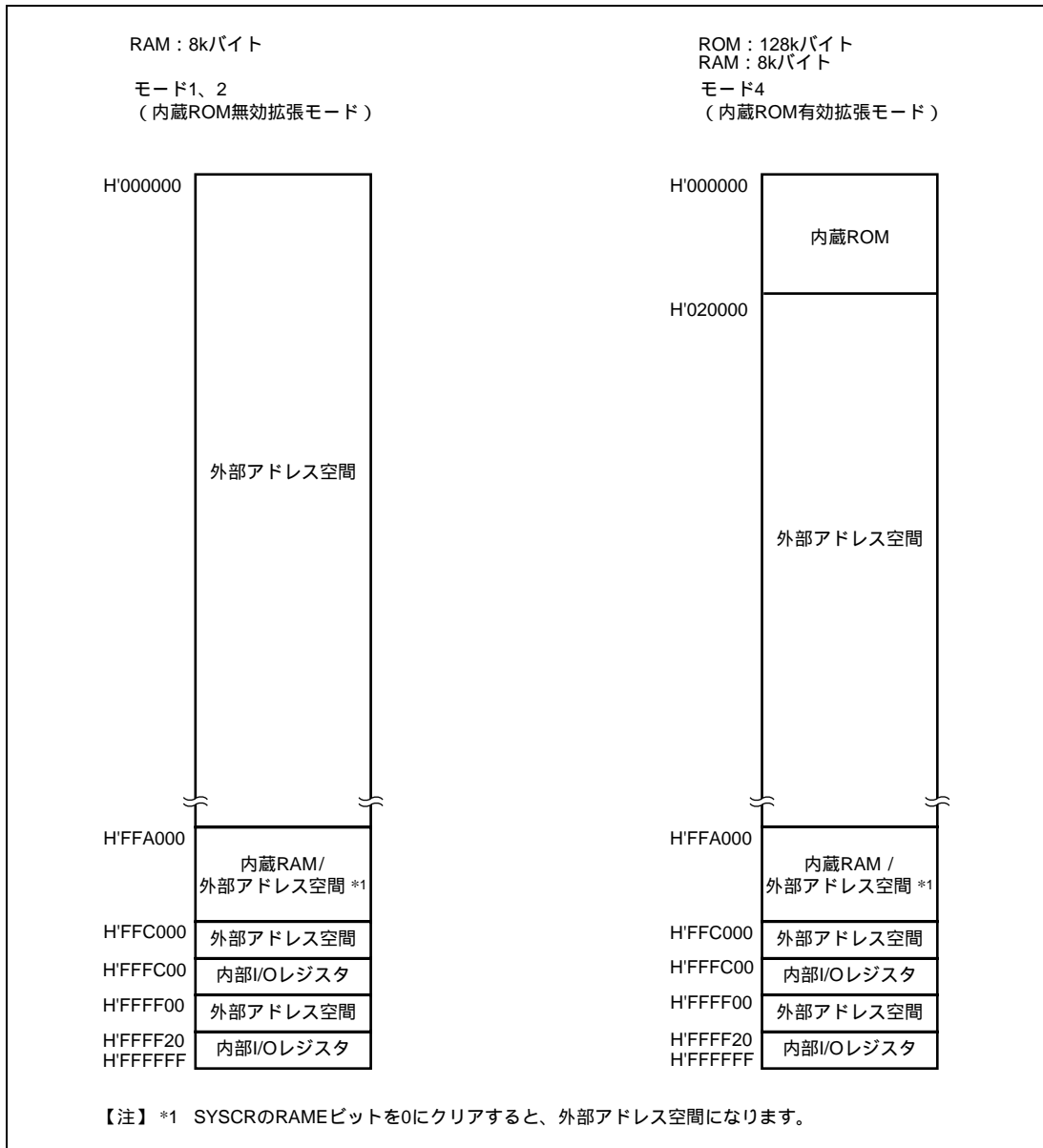


図 3.2 H8S/2675 アドレスマップ (1)

### 3. MCU 動作モード

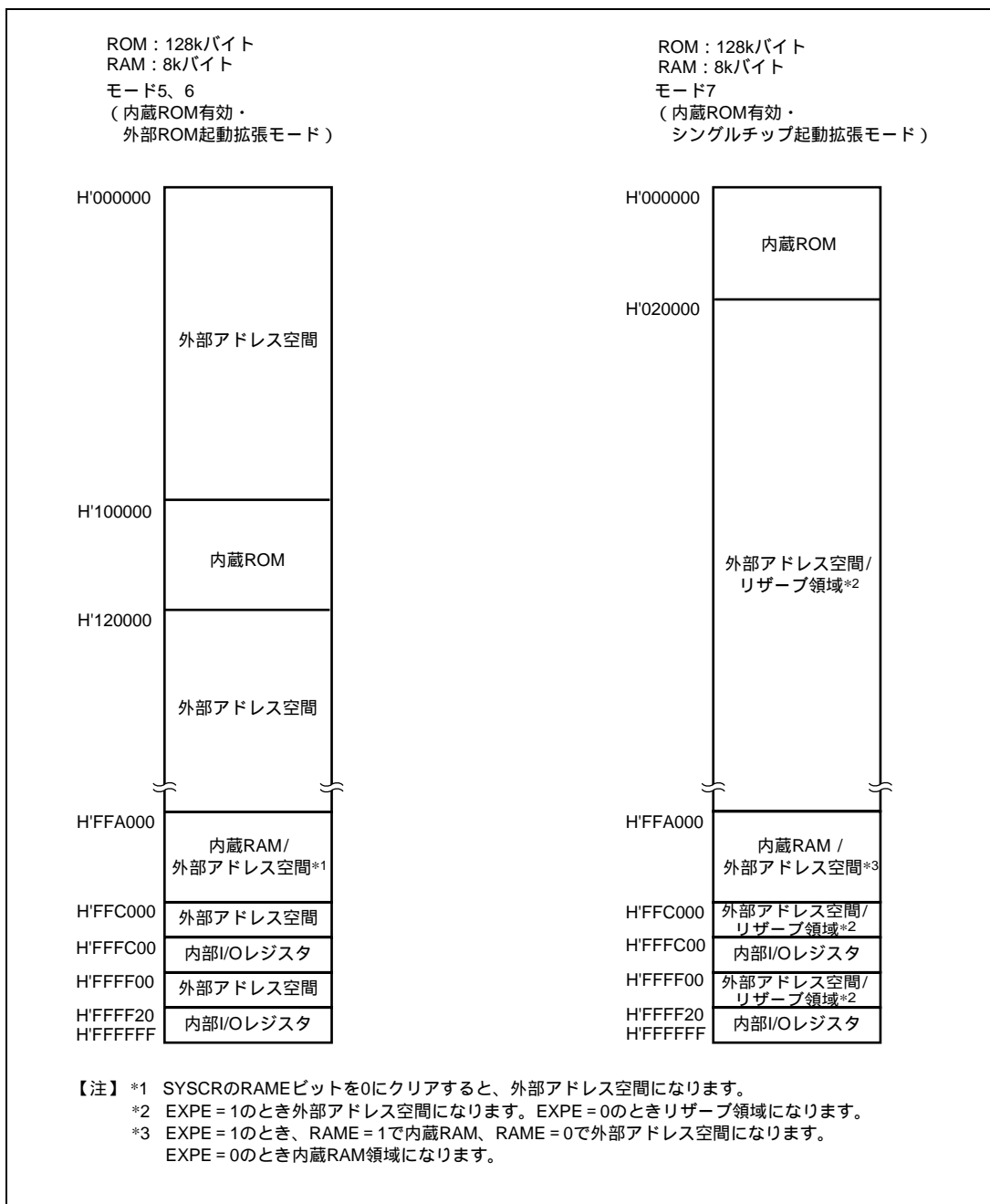


図 3.2 H8S/2675 アドレスマップ (2)

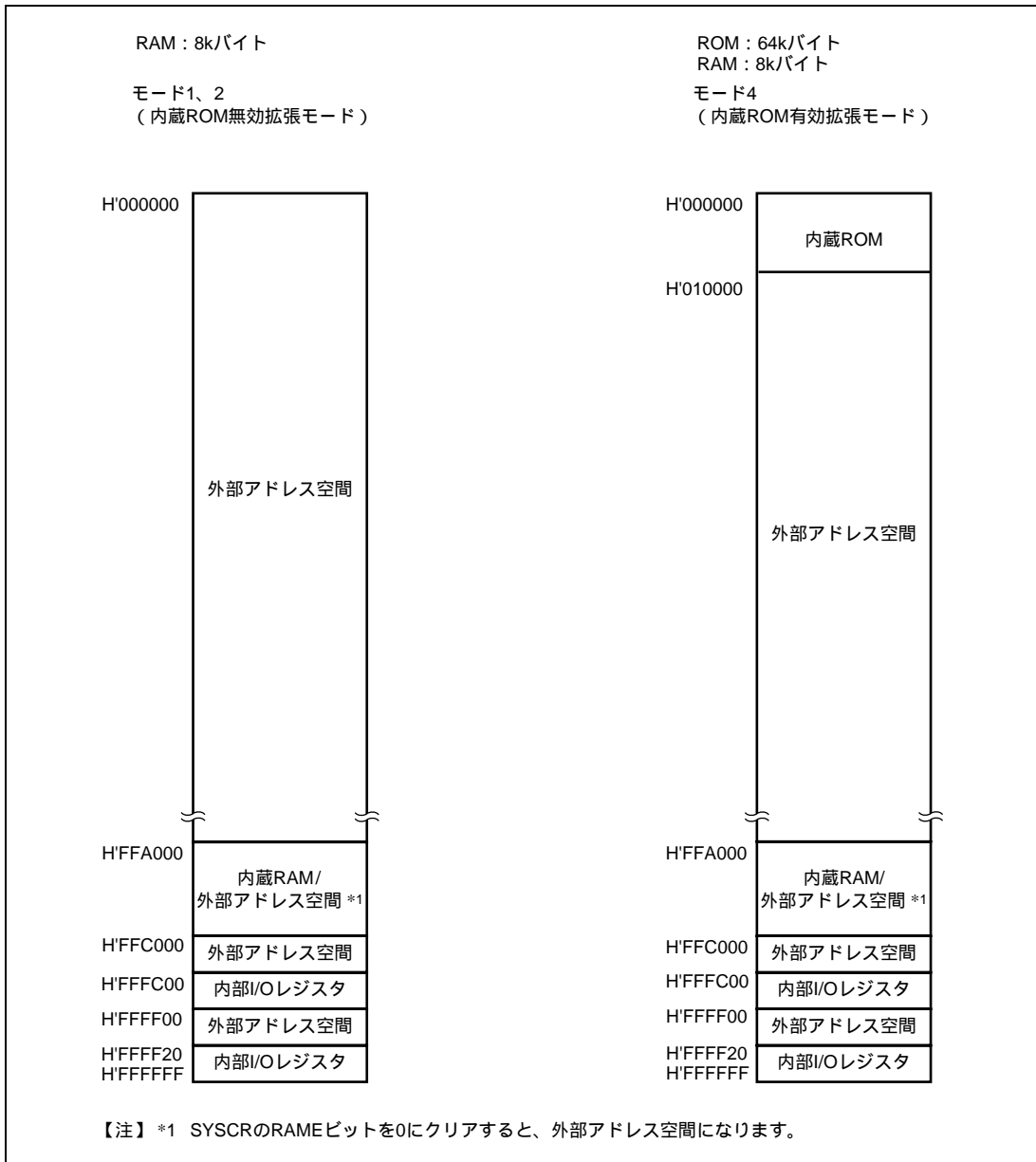


図 3.3 H8S/2673 アドレスマップ (1)

### 3. MCU 動作モード

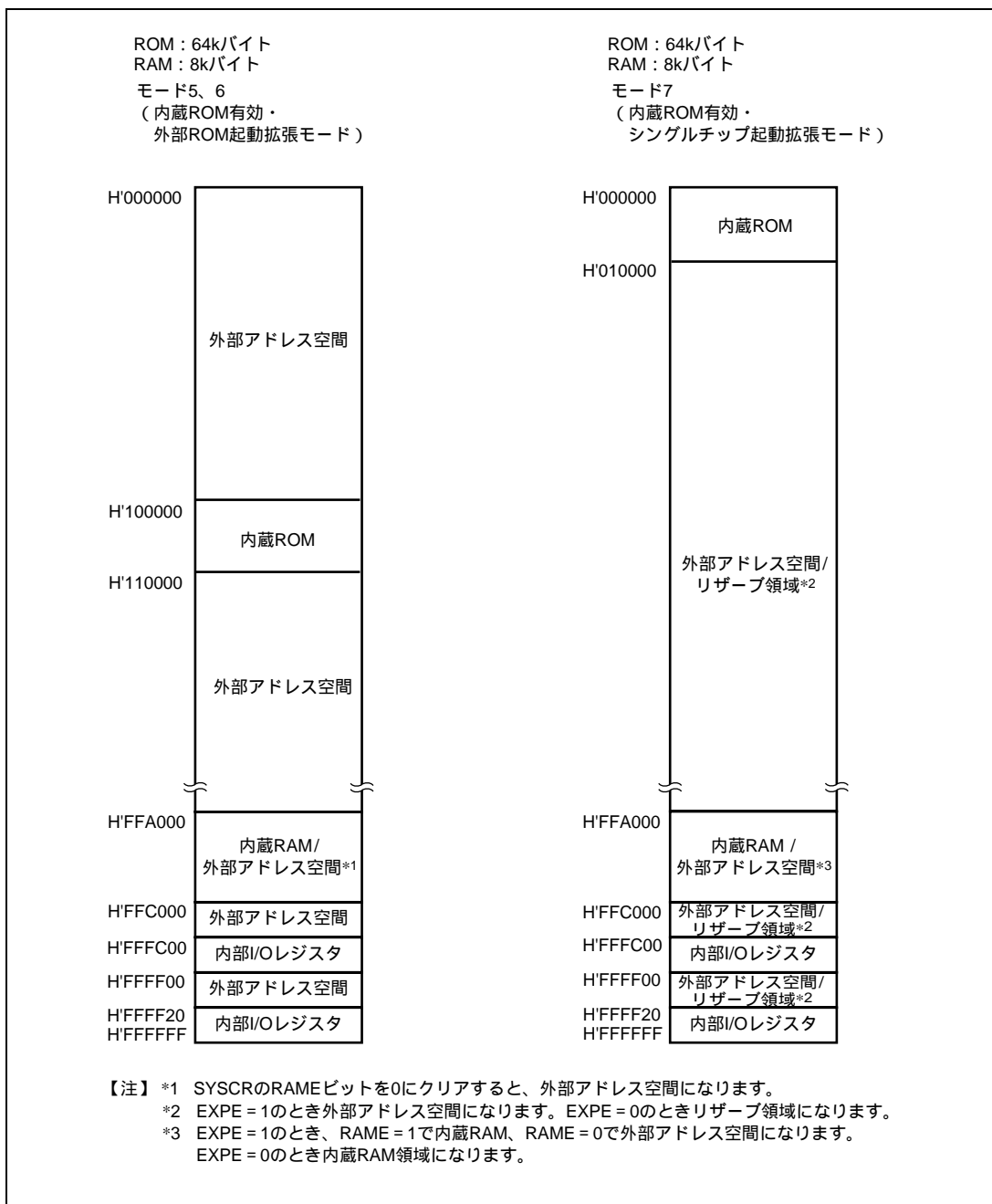


図 3.3 H8S/2673 アドレスマップ (2)

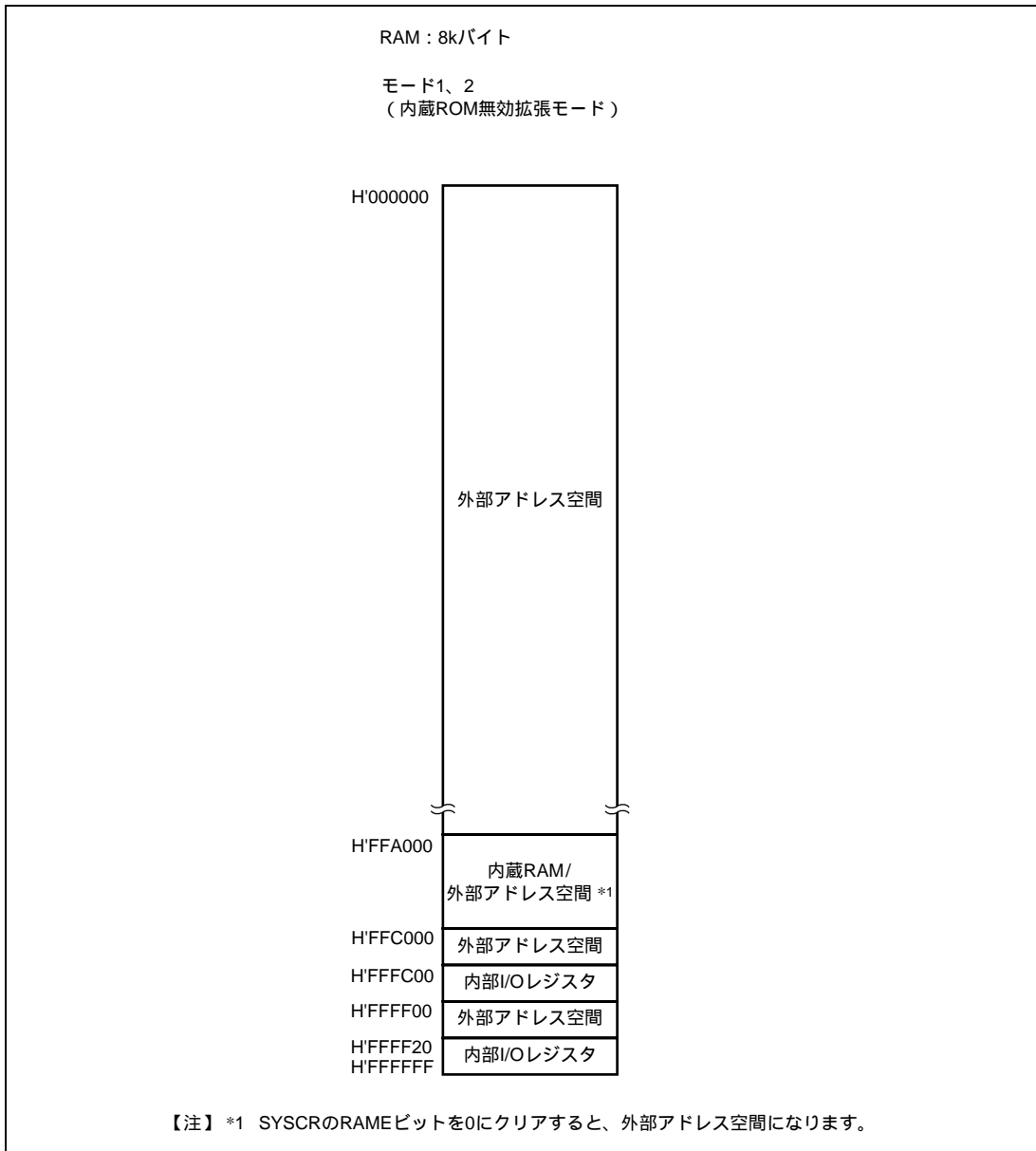


図 3.4 H8S/2670 アドレスマップ

### 3. MCU 動作モード

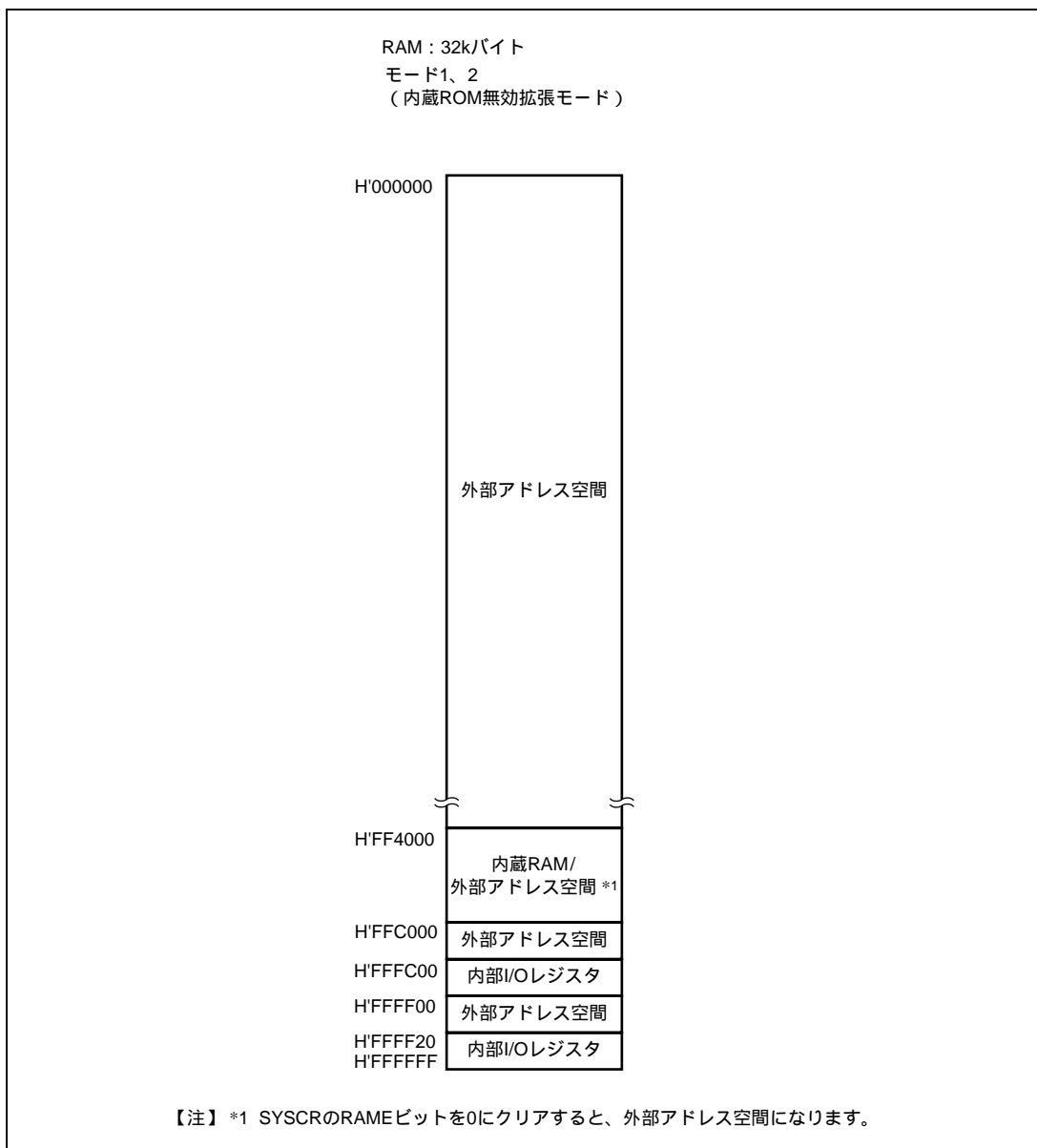


図 3.5 H8S/2674R アドレスマップ



---

## 4. 例外処理

---

### 4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すように、リセット、トレース、割り込み、およびトラップ命令があります。これらの例外処理要因には表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 5 章 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高    ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	トレース* <sup>1</sup>	EXR のトレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	直接遷移* <sup>2</sup>	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* <sup>3</sup>
	トラップ命令* <sup>4</sup>	トラップ (TRAPA) 命令の実行により開始します。

【注】 \*1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

\*2 本 LSI では使用できません。

\*3 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

\*4 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

## 4. 例外処理

### 4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス* <sup>1</sup>	
		ノーマルモード* <sup>2</sup>	アドバンスモード
パワーオンリセット	0	H'0000 ~ H'0001	H'0000 ~ H'0003
マニュアルリセット* <sup>2</sup>	1	H'0002 ~ H'0003	H'0004 ~ H'0007
システム予約	2	H'0004 ~ H'0005	H'0008 ~ H'000B
	3	H'0006 ~ H'0007	H'000C ~ H'000F
	4	H'0008 ~ H'0009	H'0010 ~ H'0013
トレース	5	H'000A ~ H'000B	H'0014 ~ H'0017
割り込み (直接遷移)* <sup>2</sup>	6	H'000C ~ H'000D	H'0018 ~ H'001B
割り込み (NMI)	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (#0)	8	H'0010 ~ H'0011	H'0020 ~ H'0023
トラップ命令 (#1)	9	H'0012 ~ H'0013	H'0024 ~ H'0027
トラップ命令 (#2)	10	H'0014 ~ H'0015	H'0028 ~ H'002B
トラップ命令 (#3)	11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約	12	H'0018 ~ H'0019	H'0030 ~ H'0033
	13	H'001A ~ H'001B	H'0034 ~ H'0037
	14	H'001C ~ H'001D	H'0038 ~ H'003B
	15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
外部割り込み IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
外部割り込み IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
外部割り込み IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
外部割り込み IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F

例外処理要因	ベクタ番号	ベクタアドレス*1	
		ノーマルモード*2	アドバンストモード
外部割り込み IRQ8	24	H'0030 ~ H'0031	H'0060 ~ H'0063
外部割り込み IRQ9	25	H'0032 ~ H'0033	H'0064 ~ H'0067
外部割り込み IRQ10	26	H'0034 ~ H'0035	H'0068 ~ H'006B
外部割り込み IRQ11	27	H'0036 ~ H'0037	H'006C ~ H'006F
外部割り込み IRQ12	28	H'0038 ~ H'0039	H'0070 ~ H'0073
外部割り込み IRQ13	29	H'003A ~ H'003B	H'0074 ~ H'0077
外部割り込み IRQ14	30	H'003C ~ H'003D	H'0078 ~ H'007B
外部割り込み IRQ15	31	H'003E ~ H'003F	H'007C ~ H'007F
内部割り込み*3	32	H'0040 ~ H'0041	H'0080 ~ H'0083
	99	H'00C6 ~ H'00C7	H'018C ~ H'018F

【注】 \*1 先頭アドレスの下位 16 ビットを示しています。

\*2 本 LSI では使用できません。

\*3 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

## 4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は  $\overline{\text{RES}}$  端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

### 4.3.1 リセット例外処理

$\overline{\text{RES}}$  端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

#### 4. 例外処理

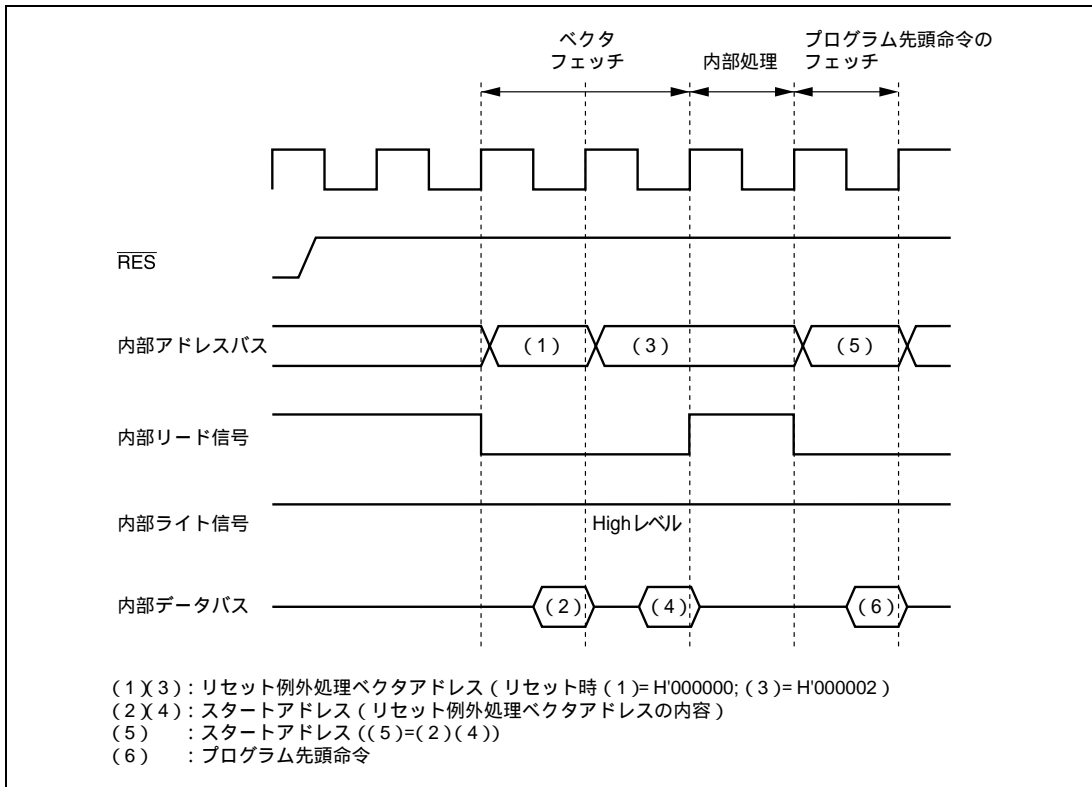


図 4.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

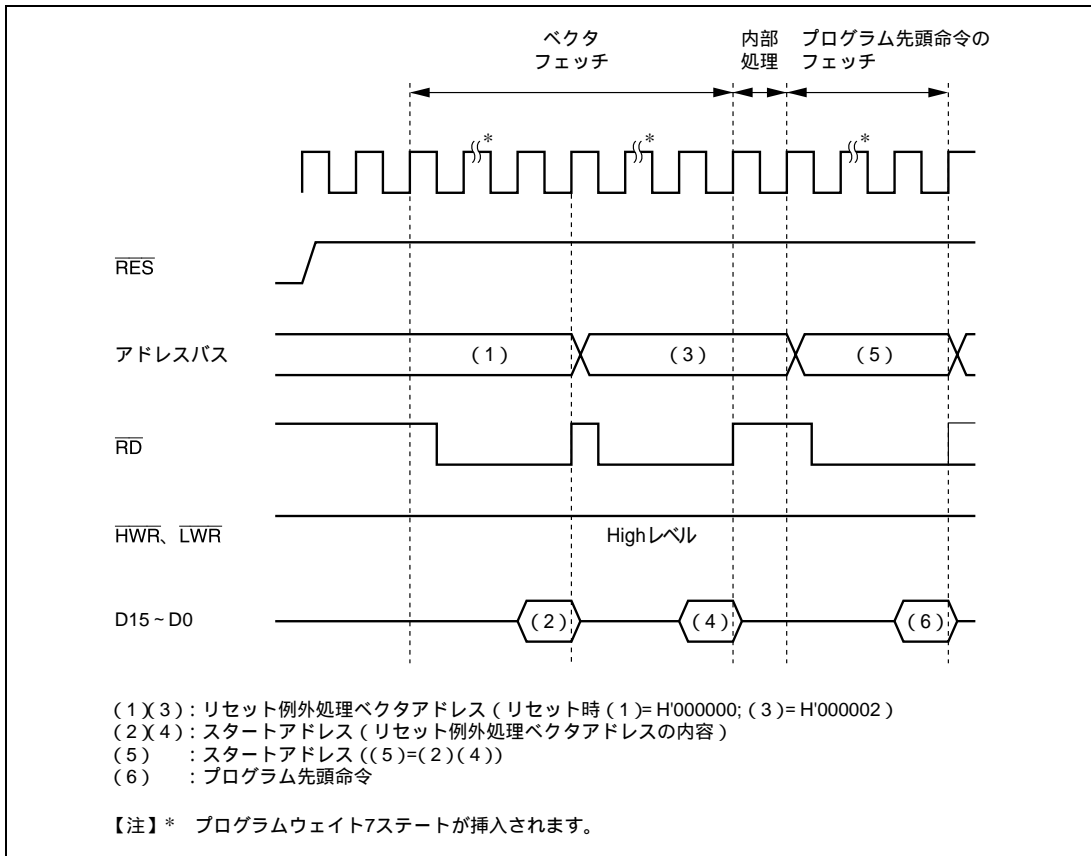


図 4.2 リセットシーケンス (アドバンスモード/内蔵 ROM 無効)

### 4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

### 4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCR は H'0FFF に初期化され、DMAC、EXDMAC と DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

## 4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが1命令を実行するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.3にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.3 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

### 【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

## 4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ(PC)とコンディションコードレジスタ(CCR)、エクステンドレジスタ(EXR)の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

## 4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

## 4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

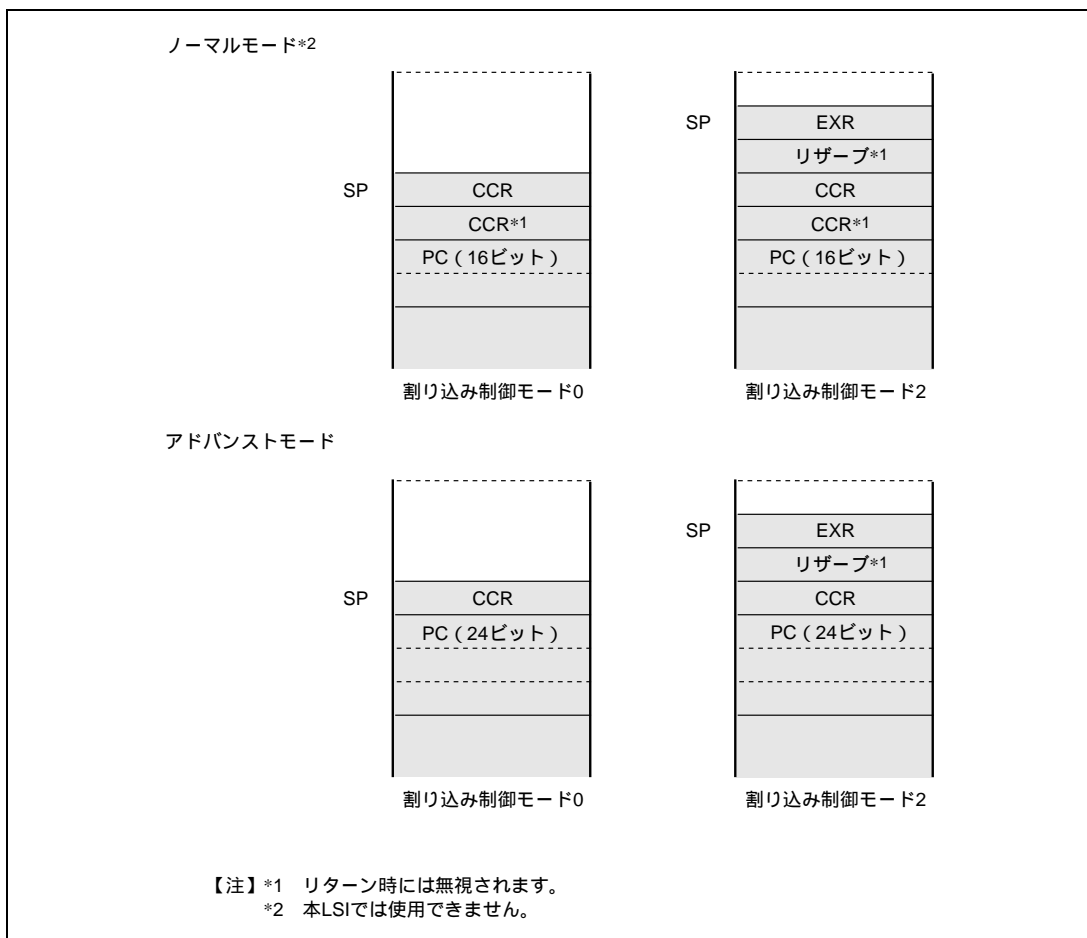


図 4.3 例外処理終了後のスタックの状態



## 4.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ(SP: ER7)の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.4に示します。

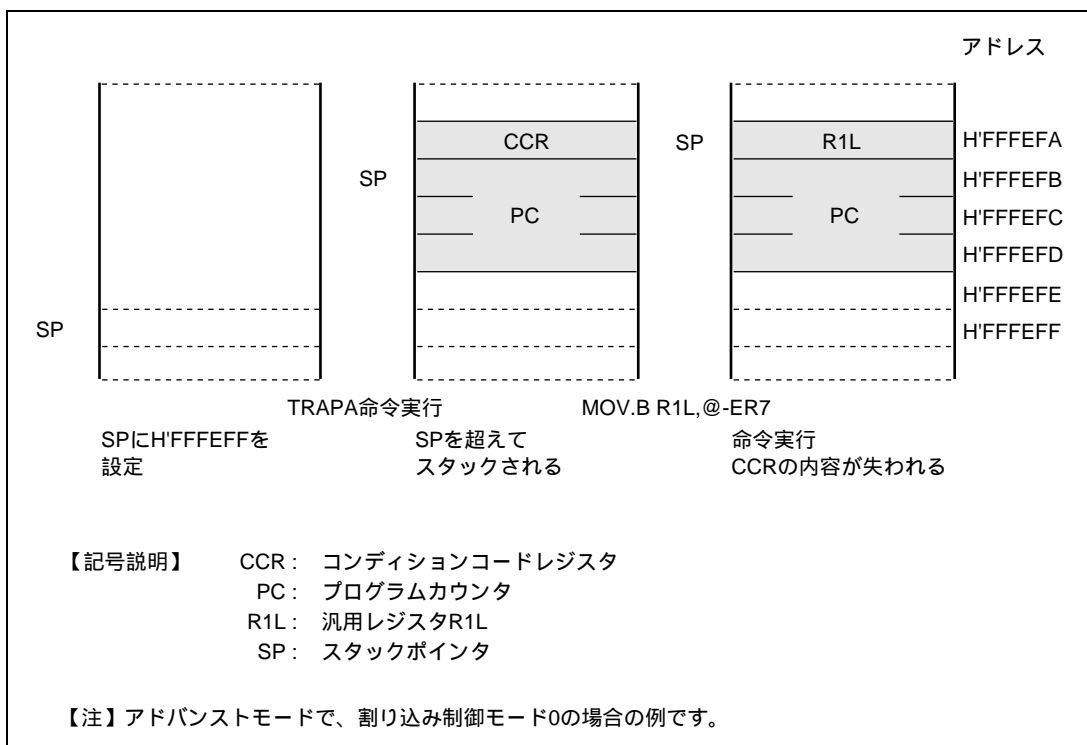


図 4.4 SP を奇数に設定したときの動作

#### 4. 例外处理

---

---

## 5. 割り込みコントローラ

---

### 5.1 特長

- 2種類の割り込み制御モード  
割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードをサポートしています。
- IPRにより、優先順位を設定可能  
インタラプトプライオリティレジスタ (IPR) により、NMI以外の割り込み要求にはモジュールごとに8レベルの優先順位を設定できます。NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。
- 独立したベクタアドレス  
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 17本の外部割り込み端子  
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{IRQ15}$  ~  $\overline{IRQ0}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- DTC、DMACの制御  
割り込み要求によりDTC、DMACを起動することができます。

## 5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

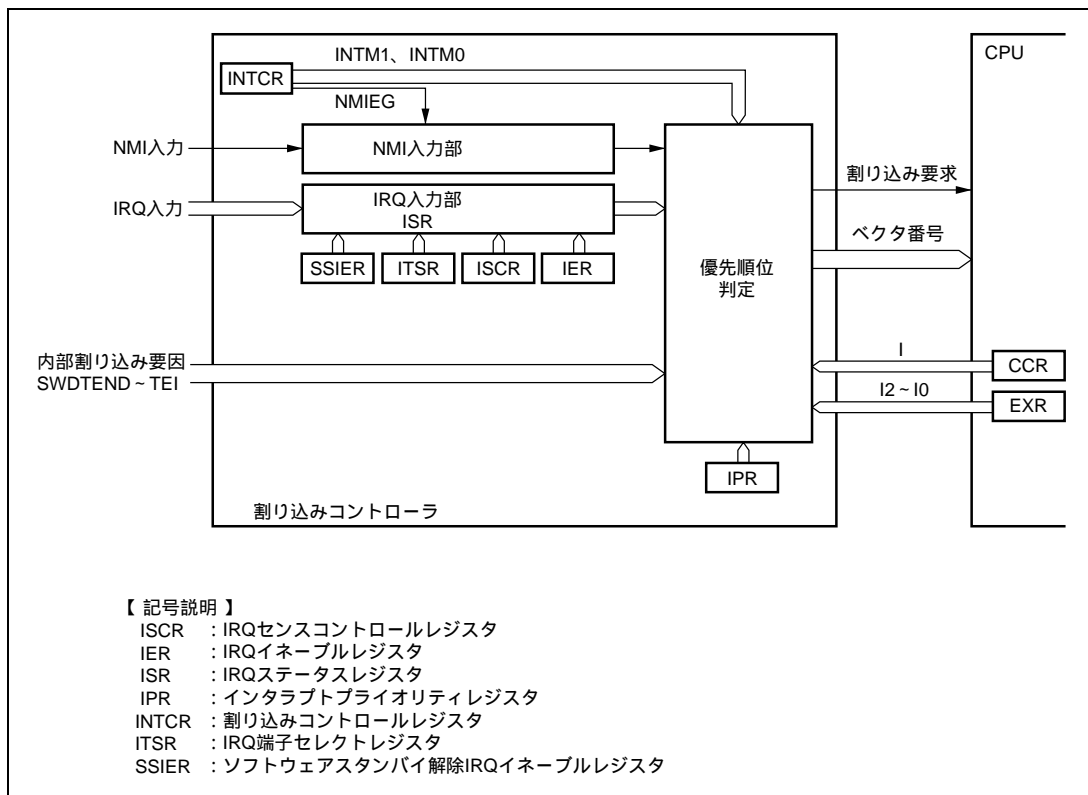


図 5.1 割り込みコントローラのブロック図

## 5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスク外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
IRQ15 - IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能。

### 5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- IRQ端子セレクトレジスタ (ITSR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)

## 5. 割り込みコントローラ

### 5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	ビット名	初期値	R/W	説 明
7		0	R/W	リザーブビット
6		0	R/W	リード/ライト可能ですが、0をライトしてください。
5	INTM1	0	R/W	割り込み制御選択モード 1、0
4	INTM0	0	R/W	割り込みコントローラの割り込み制御モードを選択します。 00：割り込み制御モード 0 1ビットで割り込みを制御します。 01：設定禁止 10：割り込み制御モード 2 12~10ビットと IPR で割り込みを制御します。 11：設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりエッジで割り込み要求を発生 1：NMI 入力の立ち上がりエッジで割り込み要求を発生
2~0		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

### 5.3.2 インタラプトプライオリティレジスタ A~K (IPRA~IPRK)

IPR は 16 ビットのリード/ライト可能な 11 本のレジスタで、NMI を除く割り込み要因の優先順位(レベル 7~0)を設定します。各割り込み要因と IPR の対応については表 5.2 を参照してください。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。IPR のリードはワードサイズで行ってください。

ビット	ビット名	初期値	R/W	説 明
15		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	
7		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

## 5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。
5	IPR5	1	R/W	000: 優先レベル 0 (最低)
4	IPR4	1	R/W	001: 優先レベル 1
				010: 優先レベル 2
				011: 優先レベル 3
				100: 優先レベル 4
				101: 優先レベル 5
				110: 優先レベル 6
				111: 優先レベル 7 (最高)
3		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。
1	IPR1	1	R/W	000: 優先レベル 0 (最低)
0	IPR0	1	R/W	001: 優先レベル 1
				010: 優先レベル 2
				011: 優先レベル 3
				100: 優先レベル 4
				101: 優先レベル 5
				110: 優先レベル 6
				111: 優先レベル 7 (最高)



### 5.3.3 IRQ イネーブルレジスタ (IER)

IER は IRQ15 ~ IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
15	IRQ15E	0	R/W	IRQ15 イネーブル このビットが 1 のとき IRQ15 割り込み要求がイネーブルになります。
14	IRQ14E	0	R/W	IRQ14 イネーブル このビットが 1 のとき IRQ14 割り込み要求がイネーブルになります。
13	IRQ13E	0	R/W	IRQ13 イネーブル このビットが 1 のとき IRQ13 割り込み要求がイネーブルになります。
12	IRQ12E	0	R/W	IRQ12 イネーブル このビットが 1 のとき IRQ12 割り込み要求がイネーブルになります。
11	IRQ11E	0	R/W	IRQ11 イネーブル このビットが 1 のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル このビットが 1 のとき IRQ10 割り込み要求がイネーブルになります。
9	IRQ9E	0	R/W	IRQ9 イネーブル このビットが 1 のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル このビットが 1 のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが 1 のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが 1 のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります。

## 5. 割り込みコントローラ

### 5.3.4 IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は  $\overline{\text{IRQ15}}$  ~  $\overline{\text{IRQ0}}$  端子から割り込み要求を発生させる要因を選択します。

• ISCRH

ビット	ビット名	初期値	R/W	説 明
15	IRQ15SCB	0	R/W	IRQ15 センスコントロール B IRQ15 センスコントロール A 00: $\overline{\text{IRQ15}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ15}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ15}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ15}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ15SCA	0	R/W	
13	IRQ14SCB	0	R/W	IRQ14 センスコントロール B IRQ14 センスコントロール A 00: $\overline{\text{IRQ14}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ14}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ14}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ14}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
12	IRQ14SCA	0	R/W	
11	IRQ13SCB	0	R/W	IRQ13 センスコントロール B IRQ13 センスコントロール A 00: $\overline{\text{IRQ13}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ13}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ13}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ13}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
10	IRQ13SCA	0	R/W	
9	IRQ12SCB	0	R/W	IRQ12 センスコントロール B IRQ12 センスコントロール A 00: $\overline{\text{IRQ12}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ12}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ12}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ12}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ12SCA	0	R/W	
7	IRQ11SCB	0	R/W	IRQ11 センスコントロール B IRQ11 センスコントロール A 00: $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ11}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ11}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ11SCA	0	R/W	

## 5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
5	IRQ10SCB	0	R/W	IRQ10 センスコントロール B IRQ10 センスコントロール A 00: $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ10}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ10}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ10SCA	0	R/W	
3	IRQ9SCB	0	R/W	IRQ9 センスコントロール B IRQ9 センスコントロール A 00: $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ9}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ9}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
2	IRQ9SCA	0	R/W	
1	IRQ8SCB	0	R/W	IRQ8 センスコントロール B IRQ8 センスコントロール A 00: $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ8}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ8}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ8SCA	0	R/W	

• ISCR1

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B IRQ7 センスコントロール A 00: $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SCA	0	R/W	
13	IRQ6SCB	0	R/W	IRQ6 センスコントロール B IRQ6 センスコントロール A 00: $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
12	IRQ6SCA	0	R/W	

## 5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
11 10	IRQ5SCB IRQ5SCA	0 0	R/W R/W	IRQ5 センスコントロール B IRQ5 センスコントロール A 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9 8	IRQ4SCB IRQ4SCA	0 0	R/W R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7 6	IRQ3SCB IRQ3SCA	0 0	R/W R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4	IRQ2SCB IRQ2SCA	0 0	R/W R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3 2	IRQ1SCB IRQ1SCA	0 0	R/W R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00: $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1 0	IRQ0SCB IRQ0SCA	0 0	R/W R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00: $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

## 5.3.5 IRQ ステータスレジスタ (ISR)

ISR は IRQ15 ~ IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IRQ15F	0	R/(W)*	[ セット条件 ]
14	IRQ14F	0	R/(W)*	• ISCR で選択した割り込み要因が発生したとき
13	IRQ13F	0	R/(W)*	[ クリア条件 ]
12	IRQ12F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
11	IRQ11F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき
10	IRQ10F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
9	IRQ9F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
8	IRQ8F	0	R/(W)*	• IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
7	IRQ7F	0	R/(W)*	
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 5. 割り込みコントローラ

### 5.3.6 IRQ 端子セレクトレジスタ (ITSR)

ITSR は  $\overline{\text{IRQ15}}$  ~  $\overline{\text{IRQ0}}$  の入力端子を選択します。

ビット	ビット名	初期値	R/W	説明
15	ITS15	0	R/W	$\overline{\text{IRQ15}}$ の入力端子を選択します。 0 : PF2 1 : P27
14	ITS14	0	R/W	$\overline{\text{IRQ14}}$ の入力端子を選択します。 0 : PF1 1 : P26
13	ITS13	0	R/W	$\overline{\text{IRQ13}}$ の入力端子を選択します。 0 : P65 1 : P25
12	ITS12	0	R/W	$\overline{\text{IRQ12}}$ の入力端子を選択します。 0 : P64 1 : P24
11	ITS11	0	R/W	$\overline{\text{IRQ11}}$ の入力端子を選択します。 0 : P63 1 : P23
10	ITS10	0	R/W	$\overline{\text{IRQ10}}$ の入力端子を選択します。 0 : P62 1 : P22
9	ITS9	0	R/W	$\overline{\text{IRQ9}}$ の入力端子を選択します。 0 : P61 1 : P21
8	ITS8	0	R/W	$\overline{\text{IRQ8}}$ の入力端子を選択します。 0 : P60 1 : P20
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : P57 1 : PH3
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : P56 1 : PH2
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : P55 1 : P85

ビット	ビット名	初期値	R/W	説 明
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : P54 1 : P84
3	ITS3	0	R/W	$\overline{\text{IRQ3}}$ の入力端子を選択します。 0 : P53 1 : P83
2	ITS2	0	R/W	$\overline{\text{IRQ2}}$ の入力端子を選択します。 0 : P52 1 : P82
1	ITS1	0	R/W	$\overline{\text{IRQ1}}$ の入力端子を選択します。 0 : P51 1 : P81
0	ITS0	0	R/W	$\overline{\text{IRQ0}}$ の入力端子を選択します。 0 : P50 1 : P80

### 5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER はソフトウェアスタンバイ状態から復帰するために使用する  $\overline{\text{IRQ}}$  端子を選択します。

ビット	ビット名	初期値	R/W	説 明
15	SSI15	0	R/W	これらのビットは、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQn}}$ 端子を選択します。 0 : IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません (n=15~3 のときの初期値)。 1 : ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します (n=2~0 のときの初期値)。
14	SSI14	0	R/W	
13	SSI13	0	R/W	
12	SSI12	0	R/W	
11	SSI11	0	R/W	
10	SSI10	0	R/W	
9	SSI9	0	R/W	
8	SSI8	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	1	R/W	
1	SSI1	1	R/W	
0	SSI0	1	R/W	

### 5.4 割り込み要因

#### 5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0の17要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

##### (1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、INTCR の NMIEG ビットで選択できます。

##### (2) IRQ15～IRQ0 割り込み

IRQ15～IRQ0 割り込みは  $\overline{\text{IRQ}15}$ ～ $\overline{\text{IRQ}0}$  端子の入力信号により割り込み要求を発生します。IRQ15～IRQ0 割り込みには以下の特長があります。

- $\overline{\text{IRQ}15}$ ～ $\overline{\text{IRQ}0}$  入力の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ15～IRQ0 割り込み要求は IER により選択できます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ15～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ15～IRQ0 割り込み要求を  $\overline{\text{IRQ}n}$  入力の Low レベルで発生するようにした場合、割り込み要求時には当該  $\overline{\text{IRQ}}$  入力を割り込み処理開始まで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該  $\overline{\text{IRQ}}$  入力を High レベルに戻し、かつ ISR の  $\text{IRQ}n\text{F}$  ビット ( $n=0\sim 15$ ) を 0 にクリアしてください。割り込み処理開始前に、当該  $\overline{\text{IRQ}}$  入力を High レベルに戻すと当該割り込みが実行されない場合があります。

IRQ15～IRQ0 割り込みの検出は、当該端子の入出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、そのほかの機能の入出力端子としては使用しないでください。

IRQ15～IRQ0 割り込みのブロック図を図 5.2 に示します。



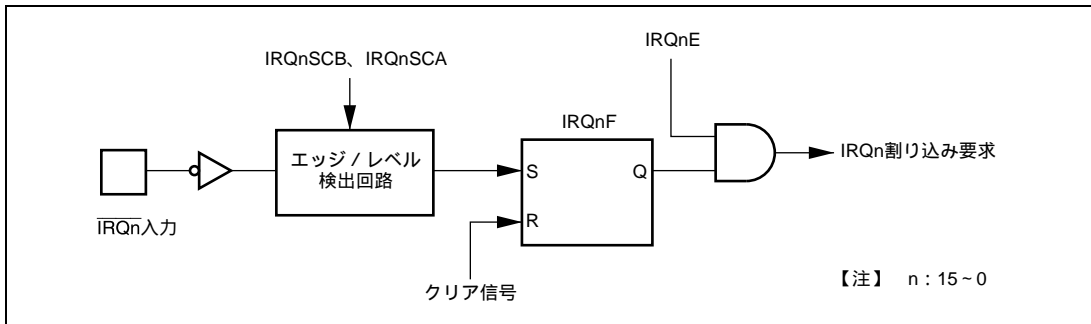


図 5.2 IRQ15 ~ IRQ0 割り込みのブロック図

### 5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- TPU、SCIなどの割り込み要求によりDMAC、DTCを起動することができます。
- 割り込み要求によりDMAC、DTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

## 5. 割り込みコントローラ

### 5.5 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード 2 に設定されている場合、モジュール間の優先順位は、IPR により変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名称	ベクタ番号	ベクタアドレス*	IPR	優先順位	DTC起動	DMAC起動
			アドバンストモード				
外部端子	NMI	7	H'001C		↑ 高	-	-
	IRQ0	16	H'0040	IPRA14 ~ IPRA12		-	-
	IRQ1	17	H'0044	IPRA10 ~ IPRA8		-	-
	IRQ2	18	H'0048	IPRA6 ~ IPRA4		-	-
	IRQ3	19	H'004C	IPRA2 ~ IPRA0		-	-
	IRQ4	20	H'0050	IPRB14 ~ IPRB12		-	-
	IRQ5	21	H'0054	IPRB10 ~ IPRB8		-	-
	IRQ6	22	H'0058	IPRB6 ~ IPRB4		-	-
	IRQ7	23	H'005C	IPRB2 ~ IPRB0		-	-
	IRQ8	24	H'0060	IPRC14 ~ IPRC12		-	-
	IRQ9	25	H'0064	IPRC10 ~ IPRC8		-	-
	IRQ10	26	H'0068	IPRC6 ~ IPRC4		-	-
	IRQ11	27	H'006C	IPRC2 ~ IPRC0		-	-
	IRQ12	28	H'0070	IPRD14 ~ IPRD12		-	-
	IRQ13	29	H'0074	IPRD10 ~ IPRD8		-	-
	IRQ14	30	H'0078	IPRD6 ~ IPRD4		-	-
IRQ15	31	H'007C	IPRD2 ~ IPRD0	-	-		
DTC	SWDTEND	32	H'0080	IPRE14 ~ IPRE12	-	-	
WDT	WOVI	33	H'0084	IPRE10 ~ IPRE8	-	-	
	システム予約	34	H'0088	IPRE6 ~ IPRE4	-	-	
リフレッシュコントローラ	CMI	35	H'008C	IPRE2 ~ IPRE0	-	-	
	システム予約	36	H'0090	IPRF14 ~ IPRF12	-	-	
		37	H'0094		-	-	
A/D	ADI	38	H'0098	IPRF10 ~ IPRF8	-	-	
	システム予約	39	H'009C		-	-	
					↓ 低		

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
TPU_0	TGI0A	40	H'00A0	IPRF6 ~ IPRF4	高 ▲		
	TGI0B	41	H'00A4				-
	TGI0C	42	H'00A8				-
	TGI0D	43	H'00AC				-
	TCI0V	44	H'00B0				-
システム予約		45	H'00B4			-	-
		46	H'00B8			-	-
		47	H'00BC			-	-
TPU_1	TGI1A	48	H'00C0	IPRF2 ~ IPRF0			
	TGI1B	49	H'00C4				-
	TCI1V	50	H'00C8				-
	TCI1U	51	H'00CC				-
TPU_2	TGI2A	52	H'00D0	IPRG14 ~ IPRG12			
	TGI2B	53	H'00D4				-
	TCI2V	54	H'00D8				-
	TCI2U	55	H'00DC				-
TPU_3	TGI3A	56	H'00E0	IPRG10 ~ IPRG8			
	TGI3B	57	H'00E4				-
	TGI3C	58	H'00E8				-
	TGI3D	59	H'00EC				-
	TCI3V	60	H'00F0				-
システム予約		61	H'00F4			-	-
		62	H'00F8			-	-
		63	H'00FC			-	-
TPU_4	TGI4A	64	H'0100	IPRG6 ~ IPRG4			
	TGI4B	65	H'0104				-
	TCI4V	66	H'0108				-
	TCI4U	67	H'010C				-
TPU_5	TGI5A	68	H'0110	IPRG2 ~ IPRG0			
	TGI5B	69	H'0114				-
	TCI5V	70	H'0118				-
	TCI5U	71	H'011C				-

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
TMR_0	CMIA0	72	H'0120	IPRH14 ~ IPRH12	高 ▲             低		-
	CMIB0	73	H'0124				-
	OVI0	74	H'0128				-
	システム予約	75	H'012C				-
TMR_1	CMIA1	76	H'0130	IPRH10 ~ IPRH8			-
	CMIB1	77	H'0134				-
	OVI1	78	H'0138				-
	システム予約	79	H'013C				-
DMAC	DMTEND0A	80	H'0140	IPRH6 ~ IPRH4			-
	DMTEND0B	81	H'0144				-
	DMTEND1A	82	H'0148			-	
	DMTEND1B	83	H'014C			-	
EXDMAC	EXDMTEND0	84	H'0150	IPRH2 ~ IPRH0		-	
	EXDMTEND1	85	H'0154	IPRI14 ~ IPRI12		-	
	EXDMTEND2	86	H'0158	IPRI10 ~ IPRI8		-	
	EXDMTEND3	87	H'015C	IPRI6 ~ IPRI4		-	
SCI_0	ERI0	88	H'0160	IPRI2 ~ IPRI0		-	
	RXI0	89	H'0164			-	
	TXI0	90	H'0168			-	
	TEI0	91	H'016C			-	
SCI_1	ERI1	92	H'0170	IPRJ14 ~ IPRJ12		-	
	RXI1	93	H'0174			-	
	TXI1	94	H'0178			-	
	TEI1	95	H'017C			-	
SCI_2	ERI2	96	H'0180	IPRJ10 ~ IPRJ8		-	
	RXI2	97	H'0184			-	
	TXI2	98	H'0188			-	
	TEI2	99	H'018C			-	
	システム予約	100	H'0190	IPRJ6 ~ IPRJ4		-	
		101	H'0194			-	
		102	H'0198			-	
		103	H'019C	IPRJ2 ~ IPRJ0		-	
		104	H'01A0			-	
		105	H'01A4			-	

## 5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
SCI_2	システム予約	106	H'01A8	IPRJ2 ~ IPRJ0	高 ↑ 低	-	-
		107	H'01AC			-	-
		108	H'01B0	IPRK14 ~ IPRK12		-	-
		109	H'01B4			-	-
		110	H'01B8			-	-
		111	H'01BC			-	-
		112	H'01C0	IPRK10 ~ IPRK8		-	-
		113	H'01C4			-	-
		114	H'01C8			-	-
		115	H'01CC			-	-
		116	H'01D0	IPRK6 ~ IPRK4		-	-
		117	H'01D4			-	-
		118	H'01D8			-	-
		119	H'01DC			-	-
		120	H'01E0	IPRK2 ~ IPRK0		-	-
		121	H'01E4			-	-
		122	H'01E8			-	-
		123	H'01EC			-	-
		124	H'01F0			-	-
		125	H'01F4			-	-
		126	H'01F8			-	-
		127	H'01FC			-	-

【注】 \* 先頭アドレスの下位 16 ビットを示しています。

### 5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード2の2種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択はINTCRで行います。表5.3に割り込み制御モード0と割り込み制御モード2の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	1	各割り込み要因の優先順位はデフォルトで固定されています。 NMIを除く割り込み要因は1ビットによりマスクされます。
2	IPR	12~10	IPRによりNMIを除く各割り込み要因に8レベルの優先順位を設定できます。 12~10ビットにより、8レベルの割り込みマスク制御を行います。

#### 5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIを除く割り込み要求はCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPUのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

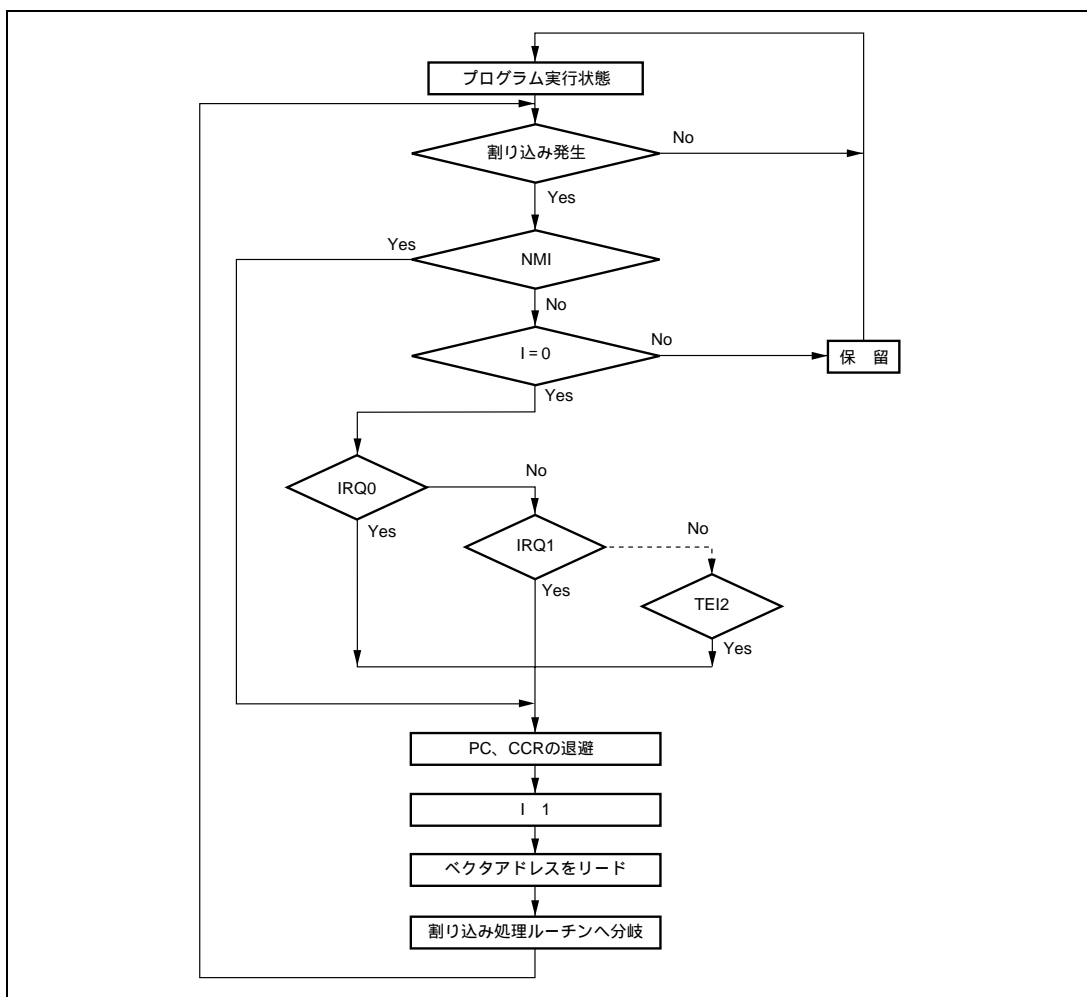


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

## 5. 割り込みコントローラ

---

### 5.6.2 割り込み制御モード 2

割り込み制御モード 2 では NMI を除く割り込み要求は CPU の EXR の割り込みマスクレベル (12~10 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラはIPRに設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表5.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。



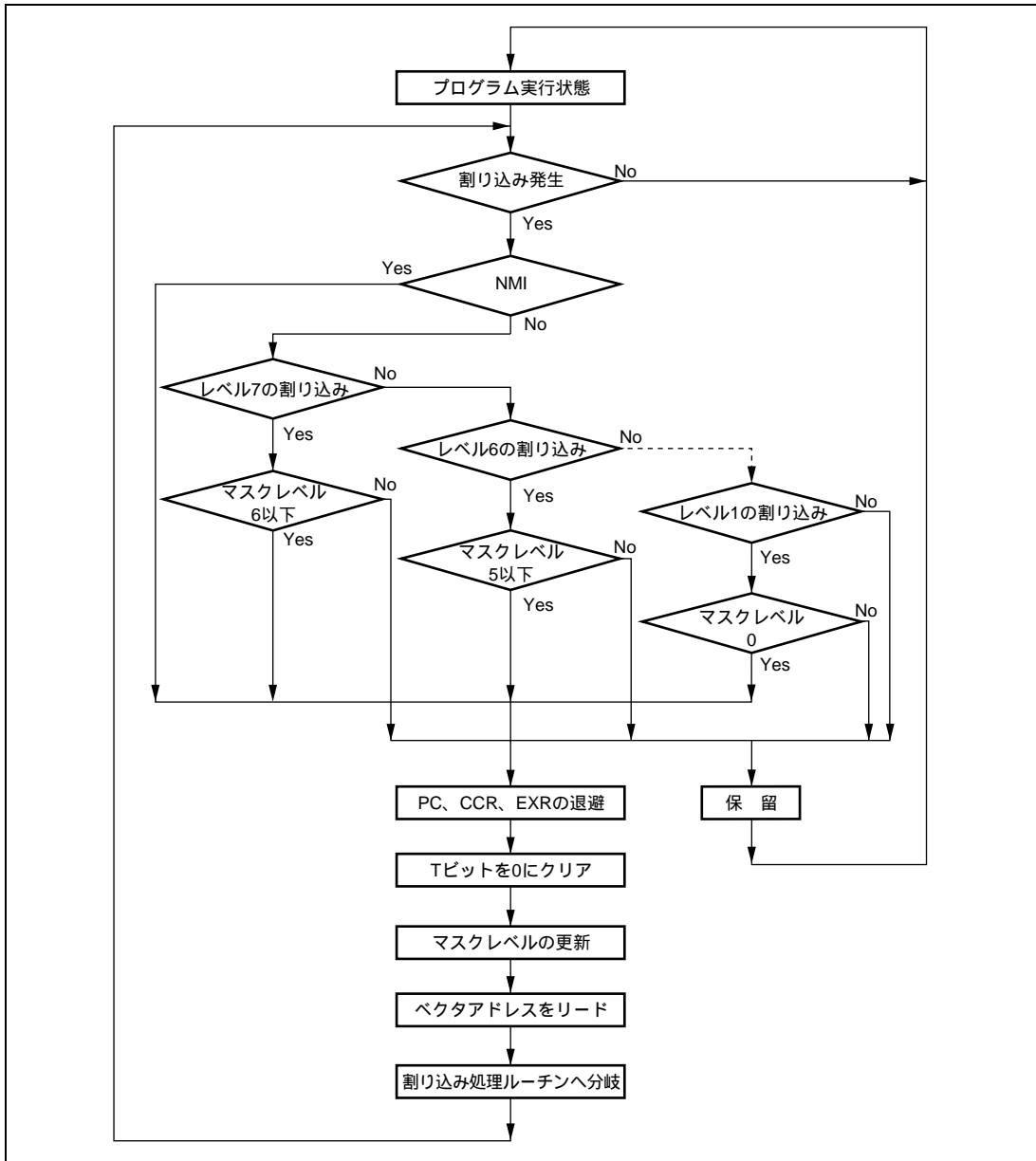


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

## 5. 割り込みコントローラ

### 5.6.3 割り込み例外処理シーケンス

図 5.5 に、割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

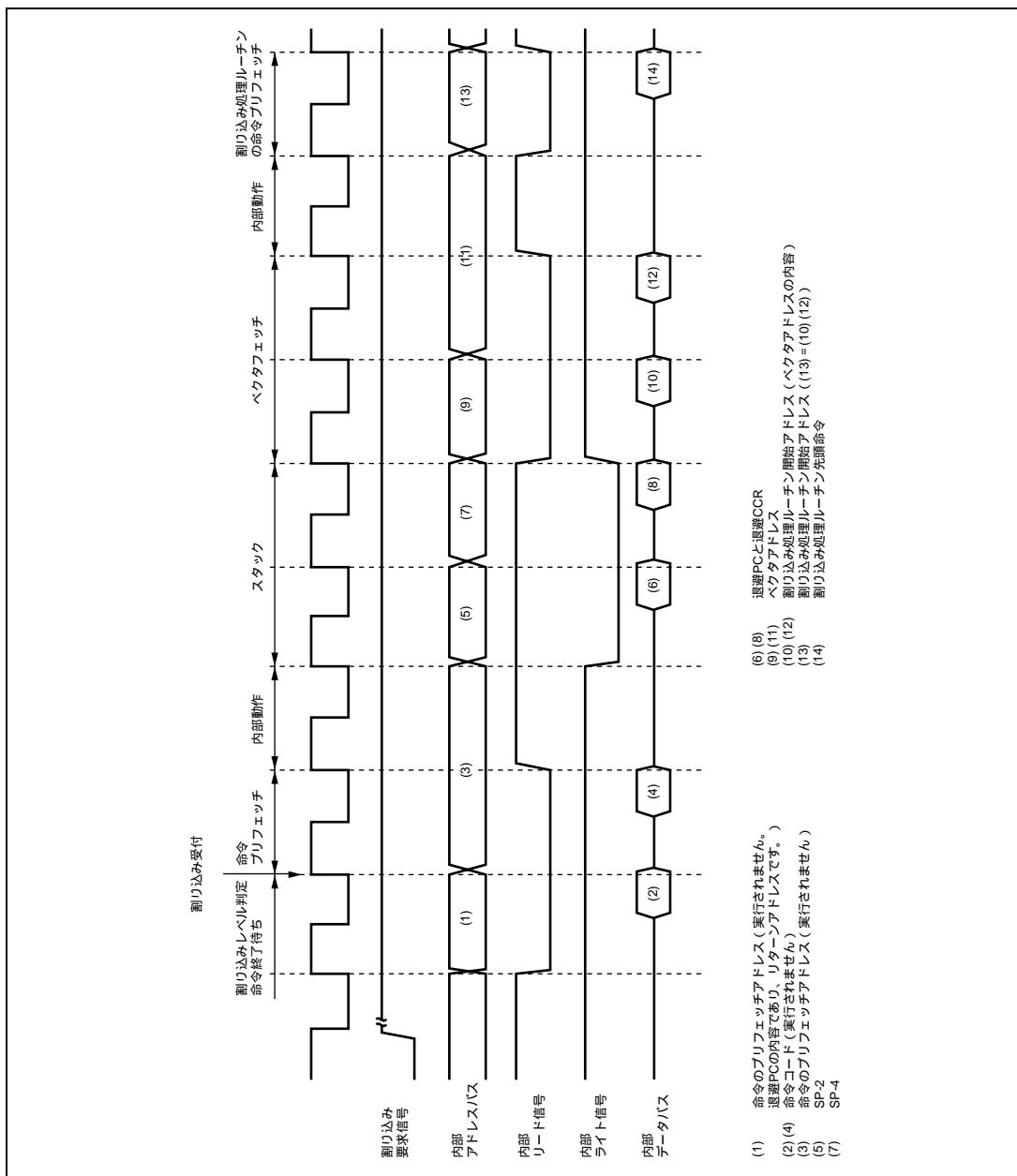


図 5.5 割り込み例外処理

## 5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能なため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	$1 \sim 19 + 2 \cdot S_i$			
3	PC、CCR および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	$S_i$		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

【注】 \*1 内部割り込みの場合 2 ステートとなります。

\*2 MULXS、DIVXS 命令について示しています。

\*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

\*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

\*5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8ビットバス		16ビットバス	
		2ステート アクセス	3ステートア クセス	2ステートア クセス	3ステートア クセス
命令フェッチ $S_i$	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード $S_j$					
スタック操作 $S_k$					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

## 5. 割り込みコントローラ

### 5.6.5 割り込みによる DTC、DMAC の起動

割り込み要求により DTC、DMAC を起動することができます。この場合以下の選択を行うことができます。

- (1) CPU に対する割り込み要求
- (2) DTC に対する起動要求
- (3) DMAC に対する起動要求
- (4) (1) ~ (3) の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、表 5.2 および「第 9 章 データトランスファコントローラ (DTC)」および「第 7 章 DMA コントローラ (DMAC)」を参照してください。

図 5.6 に DTC、DMAC と割り込みコントローラのブロック図を示します。

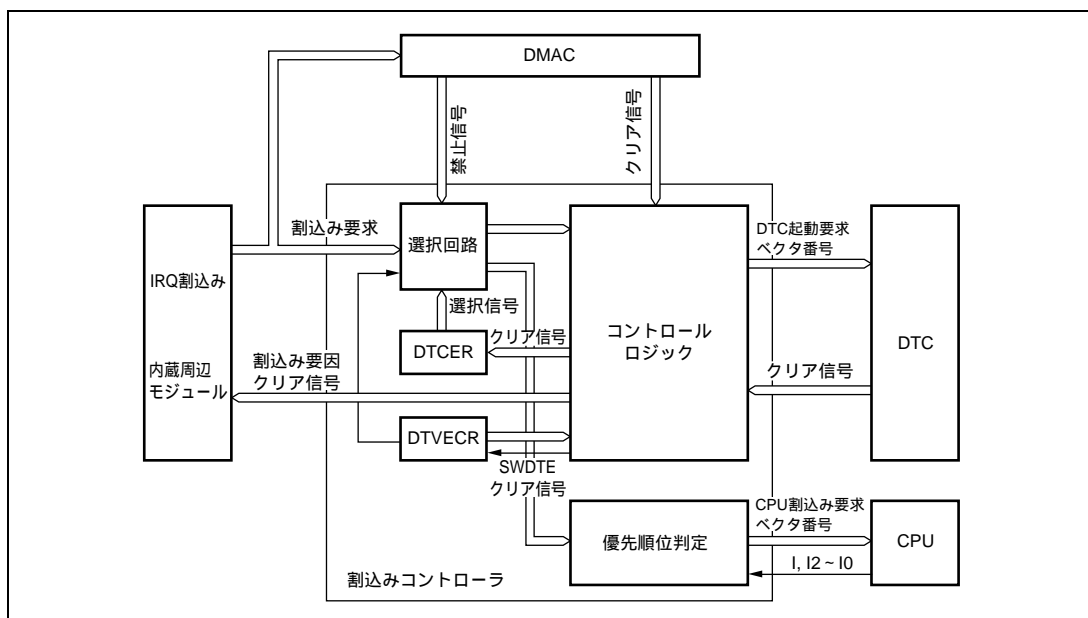


図 5.6 DTC、DMAC と割り込みコントローラ

#### (1) 割り込み要因の選択

DMAC の各チャネルの起動要因は、DMACR の DTF3 ~ DTF0 ビットにより選択します。選択した起動要因を DMAC が制御するかを、DMABCR の DTA ビットにより選択することができます。DTA ビットを 1 にセットすると、DMAC の起動要因になった割り込み要因は、DTC の起動要因および CPU の割り込み要因にはなりません。

DMAC で管理されている割り込み以外の割り込み要因は、DTC の DTCER の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

DTC の MRB の DISEL ビットにより、DTC のデータ転送終了後、DTCE ビットを 0 にクリアして CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い転送カウンタが 0 になると、DTC のデータ転送終了後、DTCE ビットを 0 にクリアして CPU に割り込みを要求します。

## (2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は表 9.1 を参照してください。DMAC は各チャンネルに直接起動要因が入力されます。

## (3) 動作順序

同一の割り込みを DTC の起動要因と CPU の割り込み要因に選択した場合は、DTC のデータ転送終了後、CPU の割り込み例外処理を行います。同一の割り込みを DMAC の起動要因と DTC の起動要因、または CPU の割り込み要因に選択した場合は、それぞれ独立に動作を行います。

表 5.6 に、DMAC の DMABCR の DTA ビット、DTC の DTCER の DTCE ビットおよび MRB の DISEL ビットの設定による割り込み要因の選択とクリア制御を示します。

表 5.6 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択/クリア制御		
DMAC	DTC		DMAC	DTC	CPU
DTA	DTCE	DISEL			
0	0	*		×	
	1	0			×
		1			
1	*	*		×	×

## 【記号説明】

: 当該割り込みを使用します。割り込み要因のクリアを行います。

( CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。 )

: 当該割り込みを使用します。割り込み要因をクリアしません。

× : 当該割り込みは使用できません。

\* : Don't care

【注】 SCI および A/D 変換器の割り込み要因は、DMAC または DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビットや DISEL ビットには依存しません。

## 5.7 使用上の注意事項

### 5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER\_0 の TCIEV を 0 にクリアする場合の例を図 5.7 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

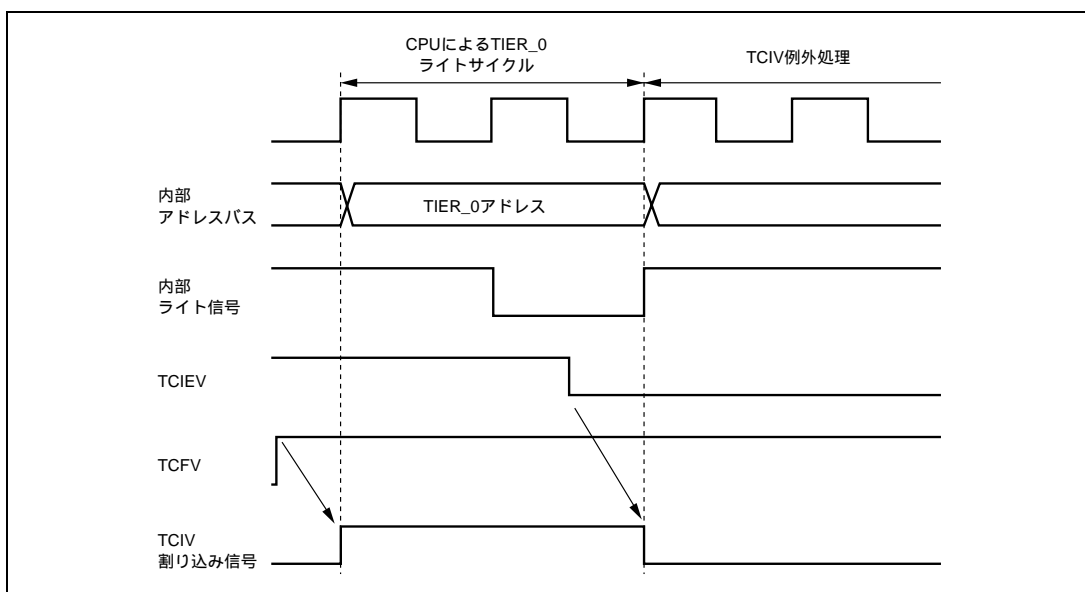


図 5.7 割り込みの発生とディスエーブルの競合

## 5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

## 5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

## 5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4,R4
      BNE   L1
```

## 5.7.5 IRQ 端子セレクトレジスタ (ITSR) 設定の変更

ITSR の設定を変更する場合、変更前に選択されていた端子のレベルと変更後に選択された端子のレベルが異なると、内部にエッジが発生し、ISR の IRQnF (n=0~15) が意図しないタイミングで 1 にセットされることがあります。このとき IRQn 割り込み要求 (n=0~15) がイネーブルされると、そのまま割り込み例外処理を実行します。意図しない割り込みを防ぐには、ITSR の設定変更を IRQn 割り込み要求を禁止の状態で行い、その後 IRQnF をクリアしてください。

## 5.7.6 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により IRQnF=1 となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。





---

## 6. バスコントローラ (BSC)

---

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。バスコントローラはバス権調停機能を持っており、バスマスタである CPU、DMA コントローラ (DMAC)、EXDMA コントローラ (EXDMAC)、およびデータトランスファコントローラ (DTC) の動作を制御します。

バスコントローラのブロック図を図 6.1 に示します。

### 6.1 特長

- 外部アドレス空間をエリア単位で管理
  - 外部アドレス空間を 2M バイト単位の 8 エリアに分割して管理
  - エリアごとにバス仕様を設定可能
  - バーストROM/DRAM/シンクロナスDRAM インタフェースを設定可能
- 基本バスインタフェース
  - エリア 0 ~ 7 に対してチップセレクト ( $\overline{CS0} \sim \overline{CS7}$ ) を出力可能
  - エリアごとに 8 ビットアクセス空間/16 ビットアクセス空間を選択可能
  - エリアごとに 2 ステートアクセス空間/3 ステートアクセス空間を選択可能
  - エリアごとにプログラムウェイトステートを挿入可能
- バーストROM インタフェース
  - エリア 0、エリア 1 に対してバーストROM インタフェースを独立して設定可能
- DRAM インタフェース
  - エリア 2 ~ 5 に対して DRAM インタフェースを設定可能
- シンクロナスDRAM インタフェース
  - エリア 2 ~ 5 を連続シンクロナスDRAM 空間に設定可能
- バス権調停機能 (バスアービトレーション)
  - バスアービタを内蔵し、CPU、DMAC、DTC、およびEXDMACのバス権などを調停

【注】 H8S/2678 グループでは、シンクロナス DRAM インタフェースをサポートしていません。

## 6. バスコントローラ (BSC)

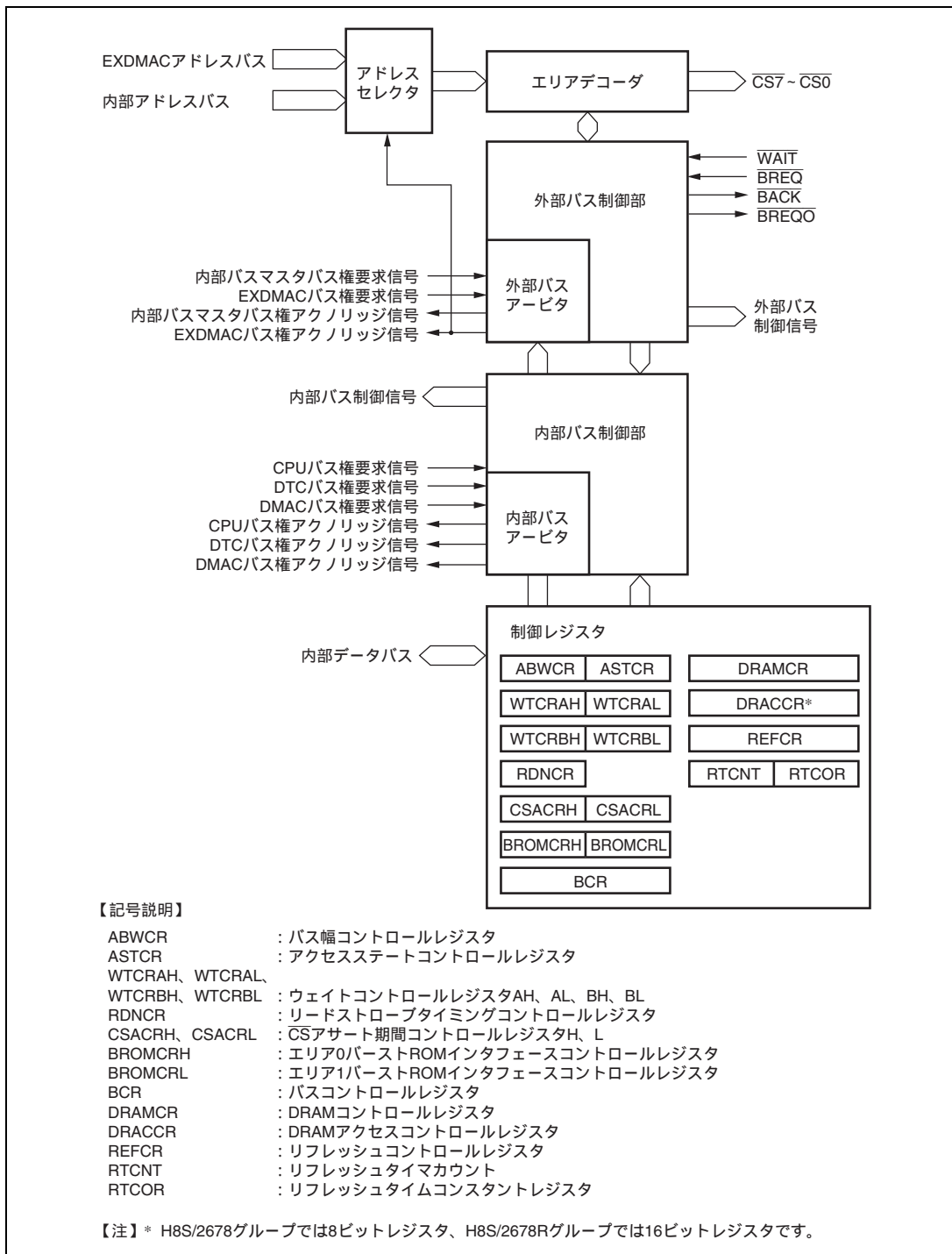


図 6.1 バスコントローラのブロック図

## 6.2 入出力端子

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名称	記号	入出力	機能
アドレスストローブ	$\overline{AS}$	出力	通常空間をアクセスし、アドレスバス上のアドレス出力が有効であることを示すストローブ信号
リード	$\overline{RD}$	出力	通常空間をリードしていることを示すストローブ信号
ハイライト/ ライトイネーブル	$\overline{HWR}$	出力	通常空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストローブ信号/DRAM 空間のライトイネーブル信号
ロウライト	$\overline{LWR}$	出力	通常空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストローブ信号
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストローブ信号
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストローブ信号
チップセレクト 2/ ロウアドレスストローブ 2/ ロウアドレスストローブ	$\overline{CS2}/$ $\overline{RAS2}*/$ $\overline{RAS}*$	出力	エリア 2 が選択されていることを示すストローブ信号/エリア 2 が DRAM 空間、またはエリア 2~5 を連続 DRAM 空間に設定したときの DRAM のロウアドレスストローブ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM のロウアドレスストローブ信号
チップセレクト 3/ ロウアドレスストローブ 3/ カラムアドレスストローブ	$\overline{CS3}/$ $\overline{RAS3}*/$ $\overline{CAS}*$	出力	エリア 3 が選択されていることを示すストローブ信号/エリア 3 が DRAM 空間のときの DRAM のロウアドレスストローブ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM のカラムアドレスストローブ信号
チップセレクト 4/ ロウアドレスストローブ 4/ ライトイネーブル	$\overline{CS4}/$ $\overline{RAS4}*/$ $\overline{WE}*$	出力	エリア 4 が選択されていることを示すストローブ信号/エリア 4 が DRAM 空間のときの DRAM のロウアドレスストローブ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM のライトイネーブル信号
チップセレクト 5/ ロウアドレスストローブ 5/ SDRAM	$\overline{CS5}/$ $\overline{RAS5}*/$ SDRAM *	出力	エリア 5 が選択されていることを示すストローブ信号/エリア 5 が DRAM 空間のときの DRAM のロウアドレスストローブ信号/シンクロナス DRAM インタフェースのときのシンクロナス DRAM の専用クロック
チップセレクト 6	$\overline{CS6}$	出力	エリア 6 が選択されていることを示すストローブ信号
チップセレクト 7	$\overline{CS7}$	出力	エリア 7 が選択されていることを示すストローブ信号
アッパーカラムアドレスストローブ/ アッパーデータマスクイネーブル	$\overline{UCAS}/$ $\overline{DQMU}*$	出力	16 ビット DRAM インタフェース空間のアッパーカラムアドレスストローブ信号または 8 ビット DRAM 空間のカラムアドレスストローブ信号/16 ビットシンクロナス DRAM 空間のアッパーデータマスク信号または 8 ビットシンクロナス DRAM 空間のデータマスク信号

【注】\* H8S/2678R グループのみです。

## 6. バスコントローラ (BSC)

名称	記号	入出力	機能
ロウアーカラムアドレスストロープ /ロウアーデータマスキネーブル	$\overline{\text{LCAS}}/$ $\text{DQML}^*$	出力	16 ビット DRAM 空間のロウアーカラムアドレスストロープ 信号/16 ビットシンクロナス DRAM 空間のロウアーデータマ スク信号
アウトプットイネーブル/ クロックイネーブル	$\overline{\text{OE}}/\text{CKE}^*$	出力	DRAM 空間のアウトプットイネーブル信号/シンクロナス DRAM 空間のクロックイネーブル信号
ウェイト	WAIT	入力	外部アドレス空間をアクセスするときのウェイト要求信号
バス権要求	$\overline{\text{BREQ}}$	入力	バス権を外部バスマスタに解放することを要求するリクエスト 信号
バス権要求アクノリッジ	BACK	出力	バス権を外部バスマスタに解放したことを示すアクノリッジ 信号
バス権要求出力	BREQO	出力	外部バス権解放状態で、内部バスマスタが外部アドレス空間を アクセスするときの外部バス権要求信号
データ転送アクノリッジ 1 (DMAC)	$\overline{\text{DACK1}}$	出力	DMAC チャンネル 1 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 0 (DMAC)	$\overline{\text{DACK0}}$	出力	DMAC チャンネル 0 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 3 (EXDMAC)	EDACK3	出力	EXDMAC チャンネル 3 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 2 (EXDMAC)	EDACK2	出力	EXDMAC チャンネル 2 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 1 (EXDMAC)	EDACK1	出力	EXDMAC チャンネル 1 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 0 (EXDMAC)	EDACK0	出力	EXDMAC チャンネル 0 がシングルアドレス転送時のデータ転送 アクノリッジ信号

【注】\* H8S/2678R グループのみです。

### 6.3 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタAH (WTCRAH)
- ウェイトコントロールレジスタAL (WTCRAL)
- ウェイトコントロールレジスタBH (WTCRBH)
- ウェイトコントロールレジスタBL (WTCRBL)
- リードストローブタイミングコントロールレジスタ (RDNCR)
- $\overline{CS}$ アサート期間コントロールレジスタH (CSACRH)
- $\overline{CS}$ アサート期間コントロールレジスタL (CSACRL)
- エリア0バーストROMインタフェースコントロールレジスタH (BROMCRH)
- エリア1バーストROMインタフェースコントロールレジスタL (BROMCRL)
- バスコントロールレジスタ (BCR)
- DRAMコントロールレジスタ (DRAMCR)
- DRAMアクセスコントロールレジスタ (DRACCR)
- リフレッシュコントロールレジスタ (REFCR)
- リフレッシュタイマカウンタ (RTCNT)
- リフレッシュタイムコンスタントレジスタ (RTCOR)

## 6. バスコントローラ (BSC)

### 6.3.1 バスバス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアを 8 ビットアクセス空間、または 16 ビットアクセス空間のいずれかに設定します。

ビット	ビット名	初期値*	R/W	説明
7	ABW7	1/0	R/W	エリア 7~0 バス幅コントロール
6	ABW6	1/0	R/W	対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。
5	ABW5	1/0	R/W	
4	ABW4	1/0	R/W	0 : エリア n を 16 ビットアクセス空間に設定
3	ABW3	1/0	R/W	1 : エリア n を 8 ビットアクセス空間に設定
2	ABW2	1/0	R/W	(n = 7~0)
1	ABW1	1/0	R/W	
0	ABW0	1/0	R/W	

【注】 \* モード 2、4、6 では 1、モード 1、5、7 では 0 となります。

### 6.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール
6	AST6	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。同時に、ウェイトステートの挿入を許可または禁止します。
5	AST5	1	R/W	
4	AST4	1	R/W	0 : エリア n を 2 ステートアクセス空間に設定
3	AST3	1	R/W	エリア n のアクセスにウェイトステートの挿入を禁止
2	AST2	1	R/W	1 : エリア n を 3 ステートアクセス空間に設定
1	AST1	1	R/W	エリア n のアクセスにウェイトステートの挿入を許可
0	AST0	1	R/W	(n = 7~0)

### 6.3.3 ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。また、シンクロナス DRAM 接続時は、CAS レイテンシの設定を行います。

#### • WTCRAH

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
14	W72	1	R/W	エリア 7 ウェイトコントロール 2~0 ASTCR の AST7=1 のとき、エリア 7 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	
11	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10	W62	1	R/W	エリア 6 ウェイトコントロール 2~0 ASTCR の AST6=1 のとき、エリア 6 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	

## 6. バスコントローラ (BSC)

### • WTCRAL

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	W52	1	R/W	エリア5ウェイトコントロール2~0 ASTCRのAST5=1のとき、エリア5をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W51	1	R/W	
4	W50	1	R/W	
3	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	W42	1	R/W	エリア4ウェイトコントロール2~0 ASTCRのAST4=1のとき、エリア4をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
1	W41	1	R/W	
0	W40	1	R/W	



## • WTCRBH

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
14	W32	1	R/W	エリア3ウェイトコントロール2~0 ASTCRのAST3=1のとき、エリア3をアクセスするときのプログラムウェイトステート数を選択します。  000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
10	W22	1	R/W	エリア2ウェイトコントロール2~0 ASTCRのAST2=1のとき、エリア2をアクセスするときのプログラムウェイトステート数を選択します。また、シンクロナスDRAM接続時はCASレイテンシの設定を行います*。エリア2の設定がエリア2~5に反映されます。ASTCRのウェイトステートの挿入/禁止の設定によらず、CASレイテンシの設定が可能です。  000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入  000: エリア2~5はCASレイテンシ1のシンクロナスDRAMを接続 001: エリア2~5はCASレイテンシ2のシンクロナスDRAMを接続 010: エリア2~5はCASレイテンシ3のシンクロナスDRAMを接続 011: エリア2~5はCASレイテンシ4のシンクロナスDRAMを接続 1XXX: 設定禁止
9	W21	1	R/W	
8	W20	1	R/W	

【注】 \* H8S/2678グループは、シンクロナスDRAMインタフェースをサポートしていません。

【記号説明】 X: Don't care

## 6. バスコントローラ (BSC)

### • WTCRBL

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	W12	1	R/W	エリア1ウェイトコントロール2-0 ASTCRのAST1=1のとき、エリア1をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W11	1	R/W	
4	W10	1	R/W	
3	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	W02	1	R/W	エリア0ウェイトコントロール2-0 ASTCRのAST0=1のとき、エリア0をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

### 6.3.4 リードストローブタイミングコントロールレジスタ (RDNCR)

RDNCR は、通常空間のリードアクセス時のリードストローブ信号 ( $\overline{RD}$ ) のネゲートタイミングを設定します。

ビット	ビット名	初期値	R/W	説明
7	RDN7	0	R/W	リードストローブタイミングコントロール7~0
6	RDN6	0	R/W	これらのビットは対応するエリアのリードアクセス時のリードストローブのネゲートタイミングを設定します。図 6.2 に示すように DRNn=1 に設定したエリアのリードストローブは、DRN=0 に設定したときと比べて半ステート早くネゲートします。リードデータのセットアップ/ホールドの規定も同様です。 0: エリア n のリードアクセス時、 $\overline{RD}$ のネゲートタイミングは、リードサイクルの終わり 1: エリア n のリードアクセス時、 $\overline{RD}$ のネゲートタイミングは、リードサイクルの終わりから半ステート手前 (n=7~0)
5	RDN5	0	R/W	
4	RDN4	0	R/W	
3	RDN3	0	R/W	
2	RDN2	0	R/W	
1	RDN1	0	R/W	
0	RDN0	0	R/W	

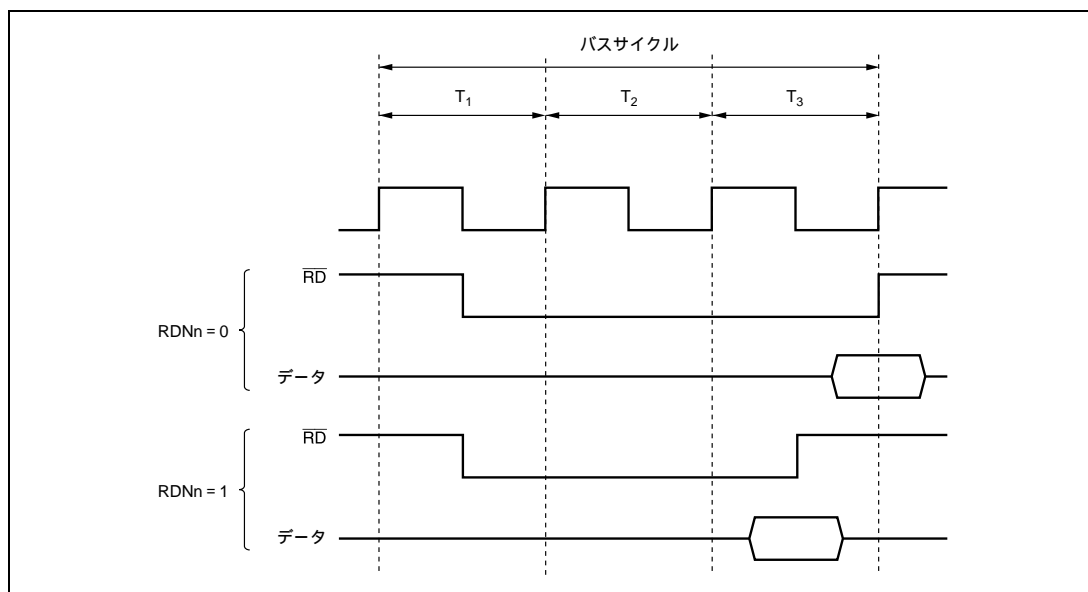


図 6.2 リードストローブネゲートタイミング (3 ステートアクセス空間の場合)

### 6.3.5 $\overline{CS}$ アサート期間コントロールレジスタ H、L (CSACRH、CSACRL)

CSACRH、CSACRL は、基本バスインタフェースのチップセレクト信号 ( $\overline{CSn}$ )、アドレス信号のアサート期間を拡張するかどうかを選択します。 $\overline{CSn}$ 、アドレス信号のアサート期間を拡張することにより、外部 I/O デバイスとのフレキシブルなインタフェースをとることが可能です。

## 6. バスコントローラ (BSC)

### • CSACRH

ビット	ビット名	初期値	R/W	説明
7	CSXH7	0	R/W	$\overline{CS}$ 、アドレス信号アサート期間コントロール 1 $T_h$ サイクルを挿入するかどうかを指定します (図 6.3 参照)。 $CSXH_n = 1$ に設定したエリアのアクセス時、通常のアクセスサイクルの前に $\overline{CS}_n$ とアドレスがアサートされる $T_h$ サイクルが 1 ステート挿入されます。 0 : エリア $n$ の基本バスインタフェースをアクセス時、 $\overline{CS}_n$ 、アドレスアサート期間 ( $T_h$ ) を拡張しない 1 : エリア $n$ の基本バスインタフェースをアクセス時、 $\overline{CS}_n$ 、アドレスアサート期間 ( $T_h$ ) を拡張する ( $n=7\sim 0$ )
6	CSXH6	0	R/W	
5	CSXH5	0	R/W	
4	CSXH4	0	R/W	
3	CSXH3	0	R/W	
2	CSXH2	0	R/W	
1	CSXH1	0	R/W	
0	CSXH0	0	R/W	

### • CSACRL

ビット	ビット名	初期値	R/W	説明
7	CSXT7	0	R/W	$\overline{CS}$ 、アドレス信号アサート期間コントロール 2 $T_t$ サイクルを挿入するかどうかを指定します (図 6.3 参照)。 $CSXT_n = 1$ に設定したエリアのアクセス時、通常のアクセスサイクルの前に $\overline{CS}_n$ とアドレスだけがアサートされる $T_t$ サイクルが 1 ステート挿入されます。 0 : エリア $n$ の基本バスインタフェースをアクセス時、 $\overline{CS}_n$ 、アドレスアサート期間 ( $T_t$ ) を拡張しない 1 : エリア $n$ の基本バスインタフェースをアクセス時、 $\overline{CS}_n$ 、アドレスアサート期間 ( $T_t$ ) を拡張する ( $n=7\sim 0$ )
6	CSXT6	0	R/W	
5	CSXT5	0	R/W	
4	CSXT4	0	R/W	
3	CSXT3	0	R/W	
2	CSXT2	0	R/W	
1	CSXT1	0	R/W	
0	CSXT0	0	R/W	

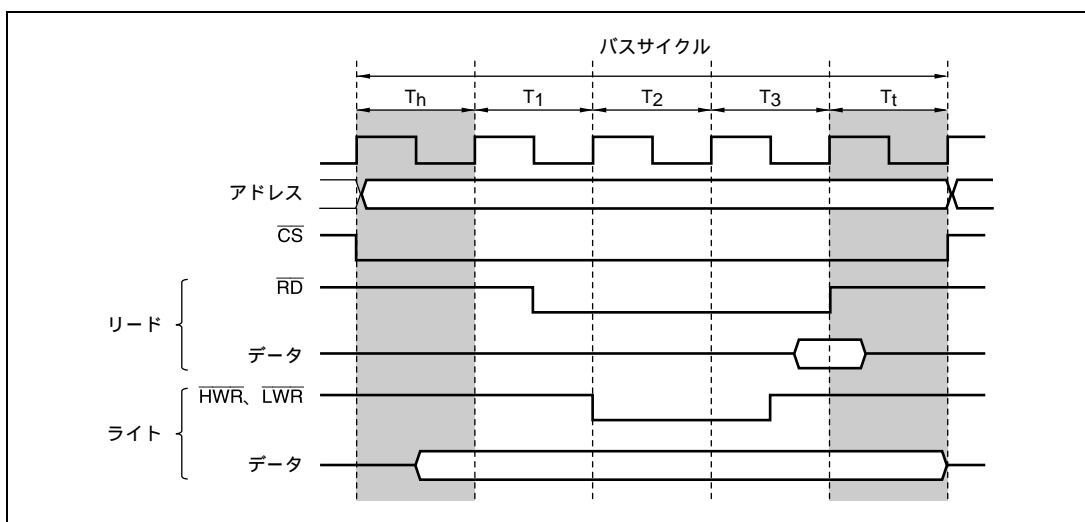


図 6.3  $\overline{CS}$ 、アドレスアサート期間拡張 (3 ステートアクセス空間、 $RDN_n = 0$  の場合)

### 6.3.6 エリア 0 バースト ROM インタフェースコントロールレジスタ (BROMCRH) エリア 1 バースト ROM インタフェースコントロールレジスタ (BROMCRL)

BROMCRH、BROMCRLは、バーストROMインタフェースの設定を行います。BROMCRHはエリア0、BROMCRLはエリア1のバーストROMインタフェースを独立に設定可能です。

ビット	ビット名	初期値	R/W	説明
7	BSRMn	0	R/W	バーストROMインタフェース選択 基本バスインタフェース/バーストROMインタフェースを選択します。 0：基本バスインタフェース 1：バーストROMインタフェース
6	BSTSn2	0	R/W	バーストサイクルセレクト バーストサイクルのステート数を選択します。 000：1ステート 001：2ステート 010：3ステート 011：4ステート 100：5ステート 101：6ステート 110：7ステート 111：8ステート
5	BSTSn1	0	R/W	
4	BSTSn0	0	R/W	
3	-	0	R/W	リザーブビット
2	-	0	R/W	リードすると常に0が読み出されます。初期値を変更しないでください。
1	BSWDn1	0	R/W	バーストワード数セレクト バーストROMインタフェースのバーストアクセス可能なワード数を選択します。 00：最大4ワード 01：最大8ワード 10：最大16ワード 11：最大32ワード
0	BSWDn0	0	R/W	

(n=1, 0)

## 6. バスコントローラ (BSC)

### 6.3.7 バスコントロールレジスタ (BCR)

BCR はアイドルサイクル、外部バス解放状態のプロトコル、ライトデータバッファ機能の許可/禁止、 $\overline{\text{WAIT}}$  端子入力の許可/禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
15	BRLE	0	R/W	外部バス解放イネーブル 外部バス権の解放を許可または禁止します。 0: 外部バス権の解放を禁止 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ は入出力ポートとして使用可 1: 外部バス権の解放を許可
14	BREQOE	0	R/W	$\overline{\text{BREQO}}$ 端子イネーブル 外部バス解放状態で、内部バスマスタが外部アドレス空間をアクセスするとき、またはリフレッシュ要求が発生したときに外部バスマスタに対してバス権要求信号 ( $\overline{\text{BREQO}}$ ) の出力を制御します。 0: $\overline{\text{BREQO}}$ 信号出力禁止、 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可能 1: $\overline{\text{BREQO}}$ 信号出力許可
13	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
12	IDLC	1	R/W	アイドルサイクルステート数選択 ICIS2、ICIS1、ICIS0 で設定されたアイドルサイクルのステート数を指定します。 0: アイドルサイクルは 1 ステート 1: アイドルサイクルは 2 ステート
11	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
10	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルの挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
9	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクル、または DMAC のシングルアドレス転送のときライトデータバッファ機能を使用できます。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する

ビット	ビット名	初期値	R/W	説明
8	WAITE	0	R/W	<p>WAIT 端子イネーブル</p> <p>WAIT 端子によるウェイト入力の許可または禁止を選択します。</p> <p>0: WAIT 端子によるウェイト入力を禁止</p> <p>    WAIT 端子は入出力ポートとして使用可能</p> <p>1: WAIT 端子によるウェイト入力を許可</p>
7~3	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが 0 をライトしてください。</p>
2	ICIS2	0	R/W	<p>アイドルサイクル挿入 2</p> <p>外部ライトサイクルと外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0: アイドルサイクルを挿入しない</p> <p>1: アイドルサイクルを挿入する</p> <p>【注】H8S/2678 グループでは、ビット 2 はリザーブビットです。0 をライトしてください。</p>
1~0	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

### 6.3.8 DRAM コントロールレジスタ (DRAMCR)

DRAMCR は、DRAM/シンクロナス DRAM インタフェースの設定を行います。

【注】 H8S/2678 グループでは、シンクロナス DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	OEE	0	R/W	<p>OE 出力イネーブル</p> <p>EDO ベージモードを備えた DRAM の接続時に使用する OE 信号を DRAM の (OE) 端子から出力できます。OE 信号は DRAM 空間に設定したすべてのエリアに共通です。</p> <p>シンクロナス DRAM 接続時は CKE 信号をシンクロナス DRAM の (OE) 端子から出力できます。CKE 信号は連続シンクロナス DRAM 空間で共通です。</p> <p>0: OE/CKE 信号出力禁止、(OE)/(CKE) 端子は入出力ポートとして使用可能</p> <p>1: OE/CKE 信号出力許可</p>
14	RAST	0	R/W	<p>RAS アサートタイミング選択</p> <p>DRAM アクセス時の RAS 信号を Tr サイクルの先頭 (立ち上がりエッジ) からアサートするか、立ち下がりエッジからアサートするかを選択します。</p> <p>図 6.4 に RAST ビットの設定と RAS アサートタイミングの関係を示します。このビットによる設定は、DRAM 空間に設定したすべてのエリアに共通です。</p> <p>0: RAS を Tr サイクルの 立ち下がりエッジでアサート</p> <p>1: RAS を Tr サイクルの先頭からアサート</p>

## 6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
13	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
12	CAST	0	R/W	カラムアドレス出力サイクル数選択 DRAM アクセス時のカラムアドレス出力サイクルを 2 ステートにするか、3 ステートにするかを選択します。このビットによる設定は、DRAM 空間に設定したすべてのエリアに共通です。 0 : 2 ステート 1 : 3 ステート
11	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
10 9 8	RMTS2 RMTS1 RMTS0	0 0 0	R/W R/W R/W	DRAM/連続シンクロナス DRAM 空間選択 エリア 2~5 に DRAM/連続シンクロナス DRAM 空間を設定します。 連続 DRAM 空間を設定すると、1 エリアの容量 2M バイトを超える大容量 DRAM を接続することができます。この場合、 $\overline{RAS}$ 信号は $\overline{CS2}$ 端子から出力されます。 連続シンクロナス DRAM 空間を設定すると、1 エリアの容量 2M バイトを超える大容量シンクロナス DRAM を設定することができます。この場合、RAS、CAS、WE 信号は、それぞれ $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 端子から出力されます。またシンクロナス DRAM モードに設定とすると、シンクロナス DRAM のモードレジスタ設定を行うことができます。 000 : 通常空間 001 : エリア 5~3 は通常空間、エリア 2 は DRAM 空間 010 : エリア 5、4 は通常空間、エリア 3、2 は DRAM 空間 011 : エリア 5~2 は DRAM 空間 100 : 連続シンクロナス DRAM 空間 (H8S/2678 グループでは設定禁止) 101 : シンクロナス DRAM モード設定 (H8S/2678 グループでは設定禁止) 110 : 設定禁止 111 : エリア 5~2 は連続 DRAM 空間
7	BE	0	R/W	バーストアクセスイネーブル DRAM/連続シンクロナス DRAM 空間に指定したエリアへのバーストアクセスの許可または禁止を選択します。DRAM/連続シンクロナス DRAM 空間のバーストアクセスは高速ページモードとなります。EDO ページモードを備えた DRAM を使用する場合には、 $\overline{OE}$ 信号を接続してください。 0 : フルアクセス 1 : 高速ページモードでアクセス

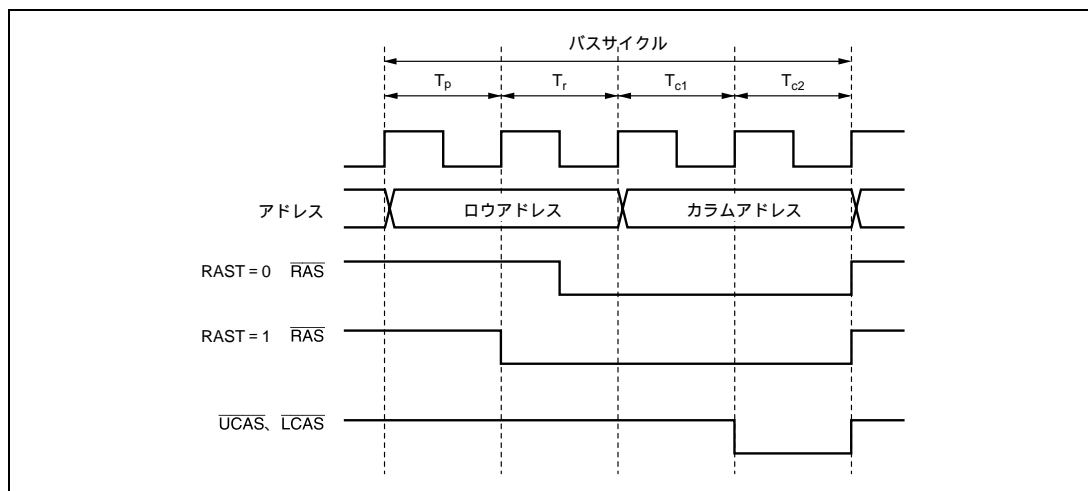


6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	RCDM	0	R/W	<p><math>\overline{\text{RAS}}</math> ダウンモード</p> <p>通常空間へのアクセス、内部 I/O レジスタへのアクセスのため DRAM 空間へのアクセスが途切れたときに、<math>\overline{\text{RAS}}</math> 信号を Low レベルにしたままで次の DRAM へのアクセスを待つか (<math>\overline{\text{RAS}}</math> ダウンモード)、<math>\overline{\text{RAS}}</math> 信号を High レベルに戻すか (<math>\overline{\text{RAS}}</math> アップモード) を選択します。このビットの設定は、BE ビットに 1 を設定したときのみ有効です。</p> <p>また、RCMD=1 の状態で <math>\overline{\text{RAS}}</math> ダウン中に、このビットを 0 にクリアした場合、その時点で <math>\overline{\text{RAS}}</math> ダウン状態は解除され、<math>\overline{\text{RAS}}</math> は High レベルとなります。</p> <p>連続シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。</p> <p>0 : DRAM 空間アクセス時、<math>\overline{\text{RAS}}</math> アップモードを選択 1 : DRAM 空間アクセス時、<math>\overline{\text{RAS}}</math> ダウンモードを選択</p>
5	DDS	0	R/W	<p>DMAC シングルアドレス転送時オプション</p> <p>DRAM/シンクロナス DRAM インタフェースで DMAC のシングルアドレス転送を行う際に、必ずフルアクセスを行うか、バーストアクセスを許可するかを選択します。</p> <p>DRAMCR の BE を 0 に設定して、DRAM/シンクロナス DRAM のバーストアクセスを禁止した場合、このビットの設定に関係なく、DMAC のシングルアドレス転送はフルアクセスになります。</p> <p>このビットは他のバスマスタの外部アクセス、DMAC のデュアルアドレス転送には影響を与えません。</p> <p>0 : 必ずフルアクセスを実行 1 : バーストアクセスを許可</p>
4	EDDS	0	R/W	<p>EXDMAC シングルアドレス転送時オプション</p> <p>DRAM/シンクロナス DRAM インタフェースで EXDMAC のシングルアドレス転送を行う際に、必ずフルアクセスを行うか、バーストアクセスを許可するかを選択します。</p> <p>DRAMCR の BE ビットを 0 に設定して、DRAM/シンクロナス DRAM のバーストアクセスを禁止した場合、このビットに関係なく、EXDMAC のシングルアドレス転送はフルアクセスになります。</p> <p>このビットは他のバスマスタの外部アクセス、EXDMAC デュアルアドレス転送には影響を与えません。</p> <p>0 : 必ずフルアクセスを実行 1 : バーストアクセスを許可</p>
3	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

## 6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
2	MXC2	0	R/W	アドレスマルチプレクス選択
1	MXC1	0	R/W	<p>ロウアドレス/カラムアドレスのアドレスマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に、DRAM/シンクロナス DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。</p> <p>DRAM インタフェース使用時には MXC2 ビットを 0 に設定してください。連続シンクロナス DRAM 空間設定時に MXC2 ビットを 1 に設定すると、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。詳細は「6.6.2、6.7.2 アドレスマルチプレクス」を参照してください。</p> <p>DRAM インタフェース</p> <p>000 : 8 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A8</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9</p> <p>001 : 9 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10</p> <p>010 : 10 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11</p> <p>011 : 11 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A12</p> <p>シンクロナス DRAM インタフェース</p> <p>100 : 8 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A8</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9</p> <p>Precharge-sel はカラムアドレスの A15 ~ A9</p> <p>101 : 9 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10</p> <p>Precharge-sel はカラムアドレスの A15 ~ A10</p> <p>110 : 10 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11</p> <p>Precharge-sel はカラムアドレスの A15 ~ A11</p> <p>111 : 11 ビットシフト</p> <p>8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11</p> <p>16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A12</p> <p>Precharge-sel はカラムアドレスの A15 ~ A12</p>
0	MXC0	0	R/W	

図 6.4  $\overline{\text{RAS}}$  信号アサートタイミング (カラムアドレス出力サイクル 2 ステート、フルアクセスする場合)

### 6.3.9 DRAM アクセスコントロールレジスタ (DRACCR)

DRACCR は、DRAM/シンクロナス DRAM インタフェースのバス仕様を設定します。

【注】 H8S/2678 グループでは、シンクロナス DRAM インタフェースをサポートしていません。

#### • H8S/2678 グループ

ビット	ビット名	初期値	R/W	説明
7	DRMI	0	R/W	アイドルサイクル挿入 DRAM リードサイクルの後に通常空間アクセスサイクルが連続する場合、DRAM リードサイクルの後にアイドルサイクルを挿入することができます。 アイドルサイクル挿入の条件、ステート数などの設定は BCR レジスタの ICIS1、ICIS0、IDLC ビットの設定に従います。 0 : アイドルサイクルを挿入しない。 1 : アイドルサイクルを挿入する。
6	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
5	TPC1	0	R/W	プリチャージステート制御
4	TPC0	0	R/W	通常アクセス時ならびにリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00 : 1 ステート 01 : 2 ステート 10 : 3 ステート 11 : 4 ステート

## 6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3	-	0	R/W	リザーブビット
2	-	0	R/W	リード/ライト可能ですが、0をライトしてください。
1	RCD1	0	R/W	RAS、CAS 間ウェイト制御 RAS アサートサイクルと CAS アサートサイクルの間に挿入するウェイトサイクルを選択します。  00: ウェイトサイクルを挿入しない 01: ウェイトサイクルを 1 ステート挿入する 10: ウェイトサイクルを 2 ステート挿入する 11: ウェイトサイクルを 3 ステート挿入する
0	RCD0	0	R/W	

【注】\* H8S/2678R グループのみです。

### • H8S/2678R グループ

ビット	ビット名	初期値	R/W	説明
15	DRMI	0	R/W	アイドルサイクル挿入 DRAM/シンクロナス DRAM アクセスサイクルの後に通常空間アクセスサイクルが連続する場合、DRAM/シンクロナス DRAM アクセスサイクルの後にアイドルサイクルを挿入することができます。アイドルサイクル挿入の条件、ステート数などの設定は BCR レジスタの ICIS2、ICIS1、ICIS0、IDLC ビットの設定に従います。  0: アイドルサイクルを挿入しない。 1: アイドルサイクルを挿入する。
14	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
13	TPC1	0	R/W	プリチャージステート制御 通常アクセス時ならびにリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。  00: 1 ステート 01: 2 ステート 10: 3 ステート 11: 4 ステート
12	TPC0	0	R/W	
11	SDWCD	0	R/W	連続シンクロナス DRAM 空間ライトアクセス時、CAS レイテンシ制御サイクル無効 シンクロナス DRAM のライトアクセス時に WTCRBH の設定により挿入される CAS レイテンシ制御サイクル (Tcl) を無効にします (図 6.5 参照)。  0: CAS レイテンシ制御サイクル有効 1: CAS レイテンシ制御サイクル無効
10	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

## 6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
9 8	RCD1 RCD0	0 0	R/W R/W	RAS、CAS 間ウェイト制御 RAS アサートサイクルと CAS アサートサイクルの間に挿入するウェイトサイクルを選択します。 00: ウェイトサイクルを挿入しない 01: ウェイトサイクルを 1 ステート挿入する 10: ウェイトサイクルを 2 ステート挿入する 11: ウェイトサイクルを 3 ステート挿入する
7~4	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
3	CKSPE	0	R/W	クロックサスペンドイネーブル シンクロナス DRAM インタフェースで DMAC、EXDMAC のシングルアドレス転送時に、リードデータを拡張するためのクロックサスペンドモードを有効にします。 0: クロックサスペンドモードを禁止する 1: クロックサスペンドモードを有効にする
2	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
1 0	RDXC1 RDXC0	0 0	R/W R/W	リードデータ拡張サイクル数選択 クロックサスペンドモードにより挿入されるリードデータ拡張サイクル( $T_{sp}$ )の挿入ステート数を選択します。このビットは CKSPE ビットが 1 にセットされているときに有効となります。 00: 1 ステート挿入する 01: 2 ステート挿入する 10: 3 ステート挿入する 11: 4 ステート挿入する

## 6. バスコントローラ (BSC)

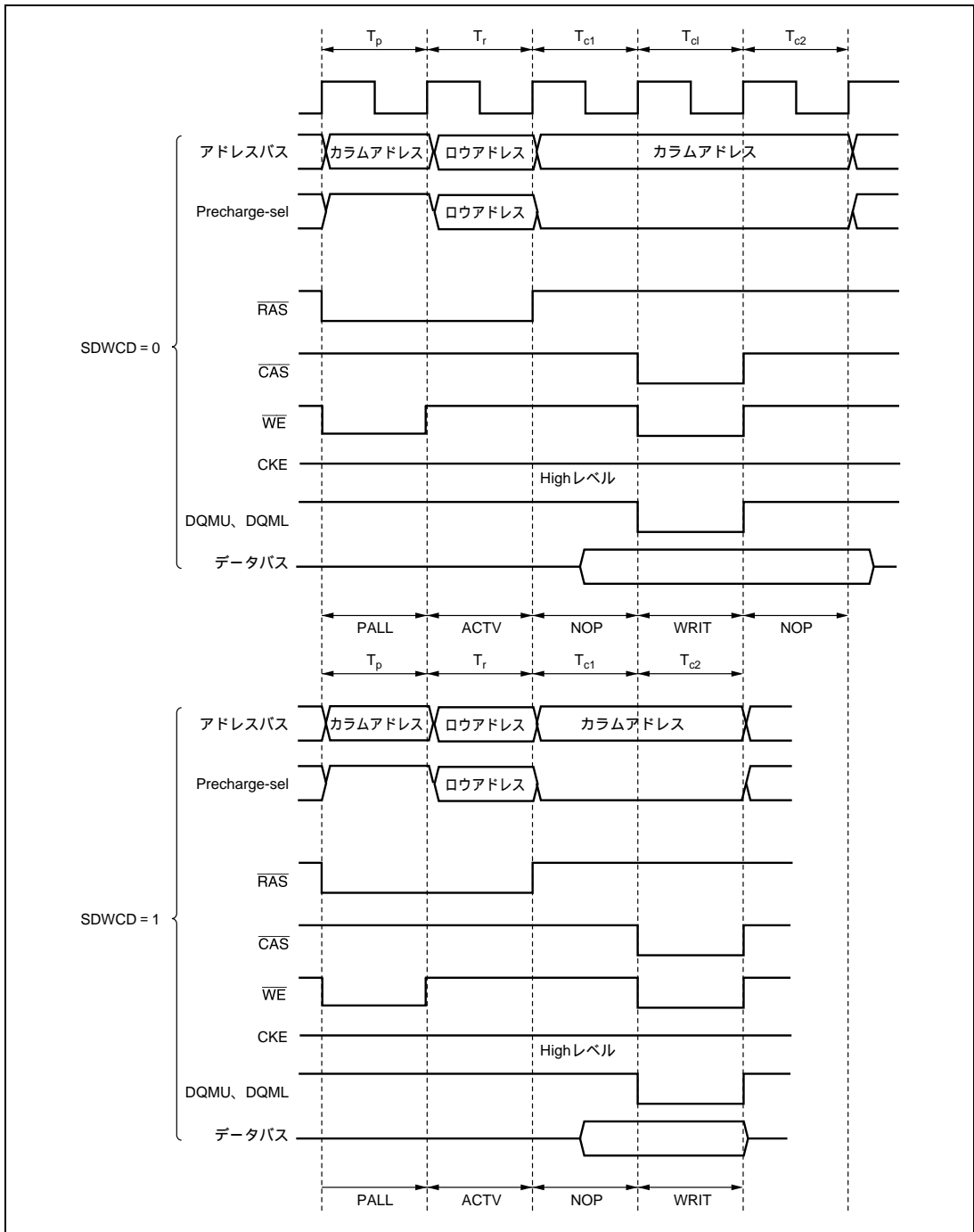


図 6.5 連続シンクロラス DRAM 空間ライトアクセス時の CAS レイテンシ制御サイクル無効タイミング (CAS レイテンシ 2 の場合)

## 6.3.10 リフレッシュコントロールレジスタ (REFCR)

REFCR は、DRAM/シンクロナス DRAM インタフェースのリフレッシュの制御を設定します。

【注】 H8S/2678 グループでは、シンクロナス DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ</p> <p>RTCNT と RTCOR の値が一致したことを示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• RFSHE ビットが 0 にクリアされた状態で、CMF=1 をリードした後、CMF に 0 をライトしたとき</li> <li>• RFSHE ビットが 1 にセットされた状態で、CBR リフレッシュが実行されたとき</li> </ul> <p>[セット条件]</p> <p>RTCOR = RTCNT となったとき</p>
14	CMIE	0	R/W	<p>コンペアマッチ割り込みイネーブル</p> <p>CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMI) を許可または禁止します。</p> <p>このビットはリフレッシュ制御を行わない場合 (RFSHE = 0 のとき) に有効です。RFSHE ビットに 1 を設定してリフレッシュ制御を行っている場合 (RFSHE = 1 のとき) このビットは常に 0 にクリアされており、ライトは無効です。</p> <p>0 : CMF フラグによる割り込み要求を禁止 1 : CMF フラグによる割り込み要求を許可</p>
13	RCW1	0	R/W	<p>CAS、RAS 間ウェイト制御</p> <p>DRAM/シンクロナス DRAM リフレッシュサイクルの <math>\overline{\text{CAS}}</math> アサートサイクルと <math>\overline{\text{RAS}}</math> アサートサイクルの間に挿入するウェイトサイクル数を選択します。</p> <p>00 : ウェイトステートを挿入しない 01 : ウェイトステートを 1 ステート挿入する 10 : ウェイトステートを 2 ステート挿入する 11 : ウェイトステートを 3 ステート挿入する</p>
12	RCW0	0	R/W	
11	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10 9 8	RTCK2 RTCK1 RTCK0	0 0 0	R/W R/W R/W	リフレッシュカウンタクロックセレクト リフレッシュカウンタのカウンタアップに使用するクロックを選択します。 入力クロックを選択すると、リフレッシュカウンタがカウンタアップを開始します。 000 : カウンタ動作停止 001 : /2 でカウンタ 010 : /8 でカウンタ 011 : /32 でカウンタ 100 : /128 でカウンタ 101 : /512 でカウンタ 110 : /2048 でカウンタ 111 : /4096 でカウンタ
7	RFSHE	0	R/W	リフレッシュ制御 リフレッシュ制御を行うことができます。リフレッシュ制御を行わないときは、リフレッシュタイマをインターバルタイマとして使用できます。 0 : リフレッシュ制御を行わない 1 : リフレッシュ制御を行う
6	CBRM	0	R/M	CBR リフレッシュ制御 CBR リフレッシュを他の外部アクセスと並行して行うか、CBR リフレッシュのみ行うかを選択します。 連続シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。 0 : CAS ビフォ RAS リフレッシュ時の外部アクセスを許可 1 : CAS ビフォ RAS リフレッシュ時の外部アクセスを禁止
5 4	RLW1 RLW0	0 0	R/W R/W	リフレッシュサイクルウェイト制御 DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクル/シンクロナス DRAM インタフェースのオートリフレッシュサイクルに挿入するウェイトステート数を選択します。DRAM/連続シンクロナス DRAM 空間に設定しているすべてのエリアに共通です。 00 : ウェイトステートを挿入しない 01 : ウェイトステートを 1 ステート挿入する 10 : ウェイトステートを 2 ステート挿入する 11 : ウェイトステートを 3 ステート挿入する



ビット	ビット名	初期値	R/W	説明
3	SLFRF	0	R/W	セルフリフレッシュイネーブル ソフトウェアスタンバイ状態に遷移するときに、このビットに1がセットされていると DRAM/シンクロナス DRAM に対してセルフリフレッシュモードを設定します。RFSHE = 1 に設定してリフレッシュ動作を行う場合に有効です。 ソフトウェアスタンバイモードから復帰後は、クリアされます。 0 : セルフリフレッシュを禁止 1 : セルフリフレッシュを許可
2	TPCS2	0	R/W	セルフリフレッシュ時プリチャージサイクル制御
1	TPCS1	0	R/W	セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。
0	TPCS0	0	R/W	セルフリフレッシュ直後のプリチャージサイクルのステート数は DRACCR レジスタの TPC1、TPC0 ビットで設定したステート数との加算になります。 000 : TPC 設定値と同値 001 : TPC 設定値 + 1 ステート 010 : TPC 設定値 + 2 ステート 011 : TPC 設定値 + 3 ステート 100 : TPC 設定値 + 4 ステート 101 : TPC 設定値 + 5 ステート 110 : TPC 設定値 + 6 ステート 111 : TPC 設定値 + 7 ステート

【注】 \* H8S/2678R グループのみです。

### 6.3.11 リフレッシュタイムカウンタ (RTCNT)

RTCNT は 8 ビットのリード/ライト可能なアップカウンタです。RTCNT は、REFCR の RTCK2 ~ RTCK0 ビットで選択された内部クロックによりカウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき REFCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、RFSHE ビットが 0 にクリアされているとき、REFCR の CMIE ビットが 1 にセットされると、コンペアマッチ割り込み (CMI) が発生します。

RTCNT は、リセットおよびハードウェアスタンバイモード時 H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

### 6.3.12 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は 8 ビットのリード/ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、リセットおよびハードウェアスタンバイモード時 H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

## 6.4 バス制御

### 6.4.1 エリア分割

バスコントローラは、アドバンスモードではアドレス 16M バイトのアドレス空間を、2M バイト単位でエリア 0~7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。各エリアごとに、チップセレクト信号 ( $\overline{CS0} \sim \overline{CS7}$ ) を出力することができます。また、ノーマルモードでは、エリア 0 の一部の 64k バイトのアドレス空間を制御します。図 6.6 にメモリマップの概要を示します。

【注】 本 LSI ではノーマルモードでは使用できません。

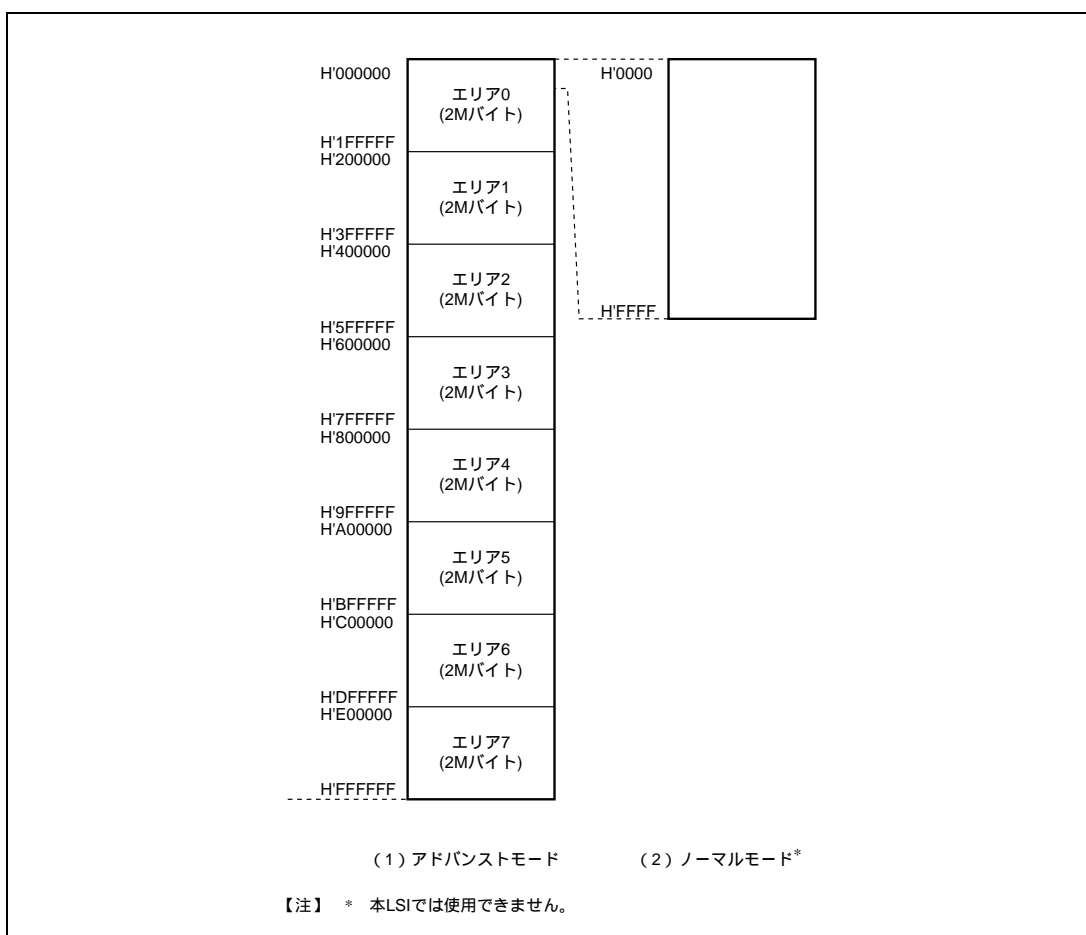


図 6.6 エリア分割の様子

## 6.4.2 バス仕様

外部アドレス空間のバス仕様は、バス幅、アクセスステート数、プログラムウェイトステート数、リードストロープタイミング、チップセレクト ( $\overline{CS}$ ) アサート期間拡張ステートの5つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

### (1) バス幅

バス幅は、ABWCR により 8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間となります。すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

### (2) アクセスステート数

アクセスステート数は、ASTCR により 2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間となります。なお、DRAM/シンクロナス DRAM インタフェースやパースト ROM インタフェースでは、ASTCR の設定によらず、アクセスステート数が決まることがあります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。3 ステートアクセス空間に設定すると、WTCRA、WTCRB によるプログラムウェイトと、 $\overline{WAIT}$  端子による外部ウェイトを挿入することが可能となります。

【注】 H8S/2678 グループでは、シンクロナス DRAM インタフェースをサポートしていません。

### (3) プログラムウェイトステート数

ASTCR により 3 ステートアクセス空間に設定したとき、WTCRA、WTCRB により自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~7 ステートを選択可能です。バス幅、アクセスステート数、プログラムウェイトステート数による基本バスインタフェースの各エリアのバス仕様を表 6.2 に示します。

## 6. バスコントローラ (BSC)

表 6.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRA, WCRB			バス仕様 (基本バスインタフェース)					
ABWn	ASTn	Wn2	Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数			
0	0	-	-	-	16	2	0			
				0			0	0	0	
	1	0	-	-		0	3	0		
						1		0	1	
						1		0	2	
						1		0	3	
		1	0	-		-		0	4	
								1	0	5
								1	0	6
								1	0	7
1	0	-	-	-	8	2	0			
				0			0	0	0	
	1	0	-	-		0	3	0		
						1		0	1	
						1		0	2	
						1		0	3	
		1	0	-		-		0	4	
								1	0	5
								1	0	6
								1	0	7

(n=0~7)

### (4) リードストロブタイミング

RDNCR により、通常空間のリードストロブ ( $\overline{RD}$ ) のネゲートタイミングを 2 種類 (リードサイクルの終わり、またはリードサイクルの終わりから半ステート前) から選択することができます。

### (5) チップセレクト ( $\overline{CS}$ ) アサート期間拡張ステート

外部 I/O デバイスの中にはアドレス、 $\overline{CS}$  信号と、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$  などのストロブ信号との間のセットアップ時間やホールド時間が必要なものがあります。CSACR により、通常空間のアクセスサイクルの前後に  $\overline{CS}$  と  $\overline{AS}$ 、アドレスだけがアサートされるステートを挿入することができます。

## 6.4.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などと直結が可能な基本バスインタフェース、DRAM と直結が可能な DRAM インタフェース、シンクロナス DRAM との直結が可能なシンクロナス DRAM インタフェースおよびバースト ROM と直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

す。

基本バスインタフェースを設定したエリアが通常空間です。また、DRAM インタフェースを設定したエリアが DRAM 空間、シンクロナス DRAM インタフェースを設定したエリアが連続シンクロナス DRAM 空間、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。

【注】 H8S/2678 グループでは、シンクロナス DRAM インタフェースをサポートしていません。

#### (1) エリア 0

エリア 0 は内蔵 ROM 有効拡張モードでは内蔵 ROM を含んでおり、内蔵 ROM を除いた空間が外部アドレス空間となります。内蔵 ROM 無効拡張モードではエリア 0 のすべての空間が外部アドレス空間となります。

エリア 0 の外部アドレス空間をアクセスするとき、 $\overline{CS0}$  信号を出力することができます。

エリア 0 は、基本バスインタフェース、またはバースト ROM インタフェースを選択することができます。

#### (2) エリア 1

エリア 1 は、外部拡張モードのとき、エリア 1 のすべての空間が外部アドレス空間となります。

エリア 1 の外部アドレス空間をアクセスするとき、 $\overline{CS1}$  信号を出力することができます。

エリア 1 は、基本バスインタフェース、またはバースト ROM インタフェースを選択することができます。

#### (3) エリア 2~5

エリア 2~5 は、外部拡張モードのとき、エリア 2~5 のすべての空間が外部アドレス空間となります。

エリア 2~5 の外部アドレス空間をアクセスするとき、 $\overline{CS2}$ ~ $\overline{CS5}$  信号を出力することができます。

エリア 2~5 は、基本バスインタフェース、DRAM インタフェース、シンクロナス DRAM インタフェースを選択することができます。DRAM インタフェースでは、 $\overline{CS2}$ ~ $\overline{CS5}$  信号は  $\overline{RAS}$  信号として使用されます。

エリア 2~5 を連続 DRAM 空間に設定すると、64M ビット DRAM など大容量 DRAM を接続することができます。このとき、 $\overline{CS2}$  信号が連続 DRAM 空間の  $\overline{RAS}$  信号として使用されます。

エリア 2~5 を連続シンクロナス DRAM 空間に設定すると、64M ビットまでのシンクロナス DRAM など大容量シンクロナス DRAM を接続することができます。このとき  $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$  端子は、それぞれ連続シンクロナス DRAM 空間の  $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$ 、CLK 信号として使用されます。また、 $\overline{OE}$  端子は CKE 信号として使用されます。

#### (4) エリア 6

エリア 6 は、外部拡張モードのとき、エリア 6 のすべての空間が外部空間となります。

エリア 6 の外部アドレス空間をアクセスするとき、 $\overline{CS6}$  信号を出力することができます。

エリア 6 は基本バスインタフェースのみを使用することができます。

## 6. バスコントローラ (BSC)

### (5) エリア7

エリア7は、内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部アドレス空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると内蔵 RAM は無効となり、対応するアドレスは外部アドレス空間になります。

エリア7の外部アドレス空間をアクセスするとき、 $\overline{CS7}$  信号を出力することができます。

エリア7のメモリインタフェースには、基本バスインタフェースのみを使用することができます。

### 6.4.4 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ( $\overline{CS0} \sim \overline{CS7}$ ) を出力することができます。 $\overline{CS0} \sim \overline{CS7}$  信号は、当該エリアの外部空間をアクセスしたとき Low レベルを出力します。図 6.7 に  $\overline{CS0} \sim \overline{CS7}$  信号の出力タイミング例を示します。

$\overline{CS0} \sim \overline{CS7}$  信号出力の許可または禁止は各  $\overline{CS0} \sim \overline{CS7}$  端子に対応するポートのデータディレクションレジスタ (DDR) で設定します。

内蔵 ROM 無効拡張モードでは、 $\overline{CS0}$  端子はリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$  端子はリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$  信号を出力するときには、対応する DDR を 1 にセットしてください。

内蔵 ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$  端子はリセット後にすべて入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$  信号を出力するときには対応する DDR を 1 にセットしてください。

なお、エリア 2~5 を DRAM 空間に設定したとき、 $\overline{CS2} \sim \overline{CS5}$  出力は  $\overline{RAS}$  信号として使用されます。

H8S/2678R グループでは、エリア 2~5 を連続シンクロナス DRAM 空間に設定したとき、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$  出力はそれぞれ、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$ 、CLK 信号として使用されます。

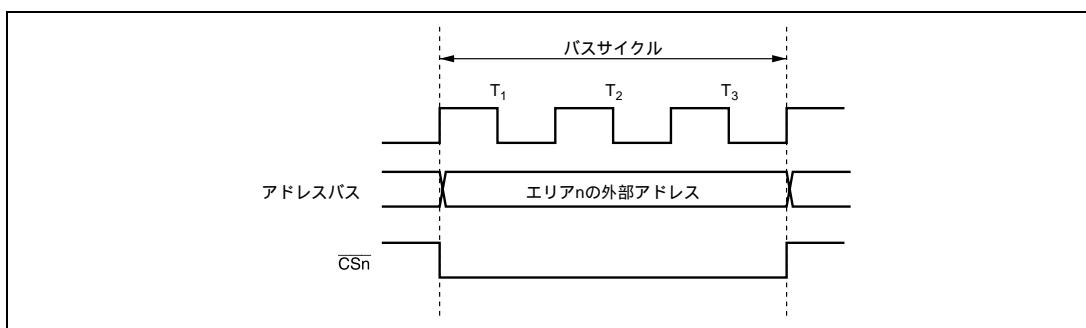


図 6.7  $\overline{CSn}$  信号出力タイミング (n=0~7)

## 6.5 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

### 6.5.1 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部アドレス空間をアクセスするとき上位側データバス (D15~D8) を使用するか、下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、または 16 ビットアクセス空間) とデータサイズによって制御します。

#### (1) 8 ビットアクセス空間

図 6.8 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15~D8) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

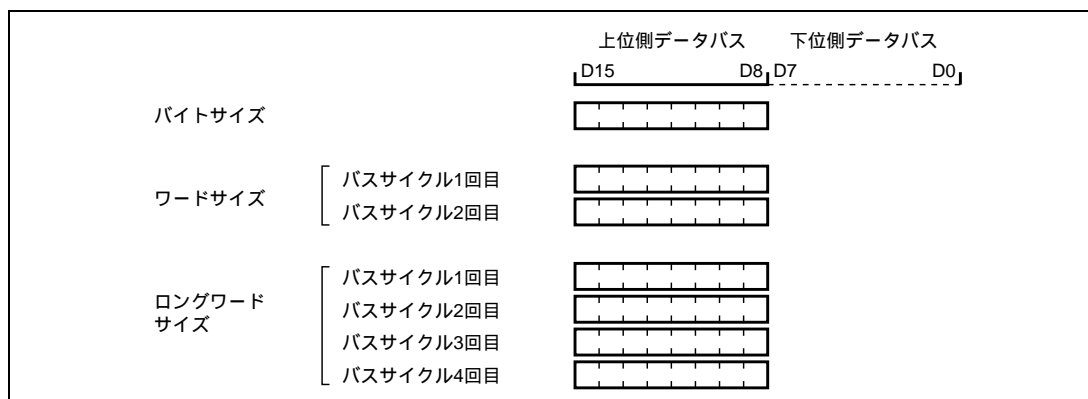


図 6.8 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

#### (2) 16 ビットアクセス空間

図 6.9 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

## 6. バスコントローラ (BSC)

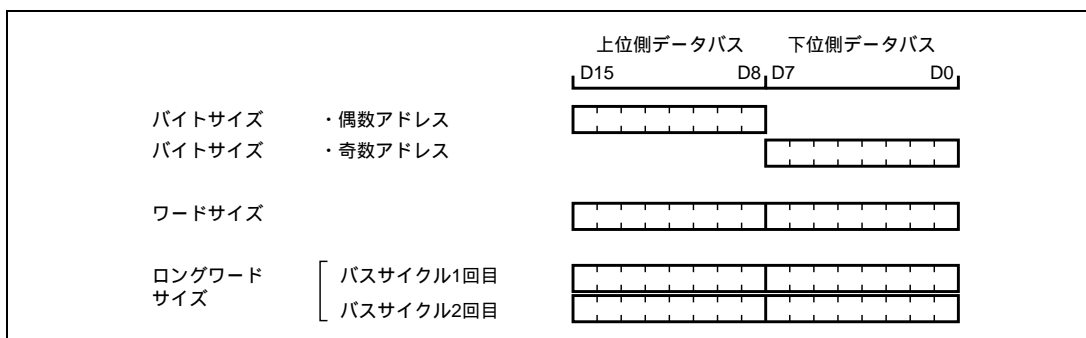


図 6.9 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

### 6.5.2 有効ストロープ

表 6.3 にアクセス空間と使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 $\overline{RD}$  信号が有効です。ライト時には、データバスの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。

表 6.3 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15 ~ D8)	データバス下位 (D7 ~ D0)
8 ビット アクセス空間	バイト	リード	-	$\overline{RD}$	有効	無効
		ライト	-	$\overline{HWR}$		Hi-Z
16 ビット アクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数		無効	有効
		ライト	偶数	$\overline{HWR}$	有効	Hi-Z
			奇数	$\overline{LWR}$	Hi-Z	有効
	ワード	リード	-	$\overline{RD}$	有効	有効
		ライト	-	$\overline{HWR}$ 、 $\overline{LWR}$	有効	有効

【注】 Hi-Z: ハイインピーダンス状態

無効: 入力状態で、入力値は無視されます。



## 6.5.3 基本動作タイミング

## (1) 8ビット2ステートアクセス空間

図 6.10 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15 ~ D8) を使用します。 $\overline{\text{LWR}}$  端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

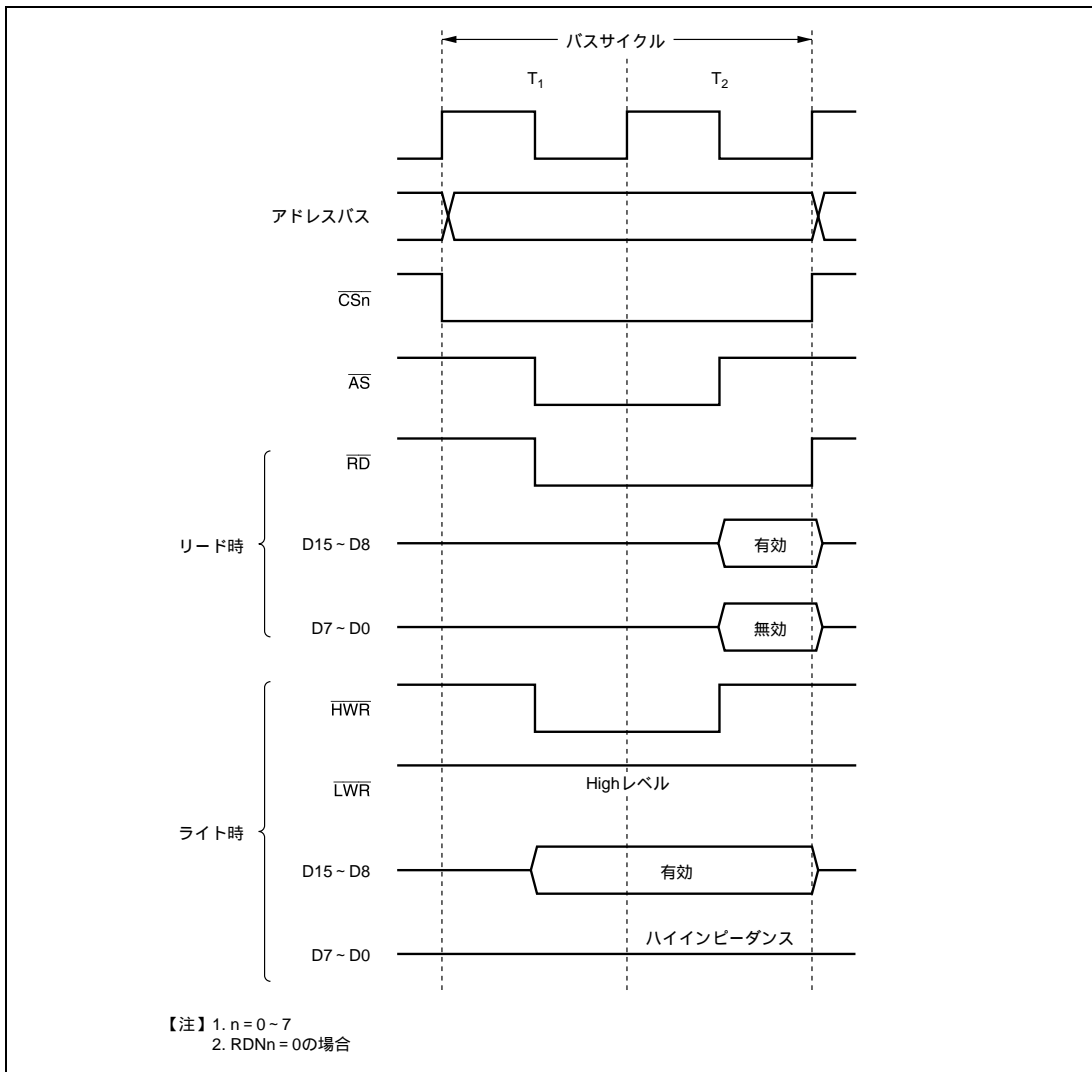


図 6.10 8ビット2ステートアクセス空間のバスタイミング

## 6. バスコントローラ (BSC)

### (2) 8 ビット 3 ステートアクセス空間

図 6.11 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15 ~ D8) を使用します。 $\overline{\text{LWR}}$  端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

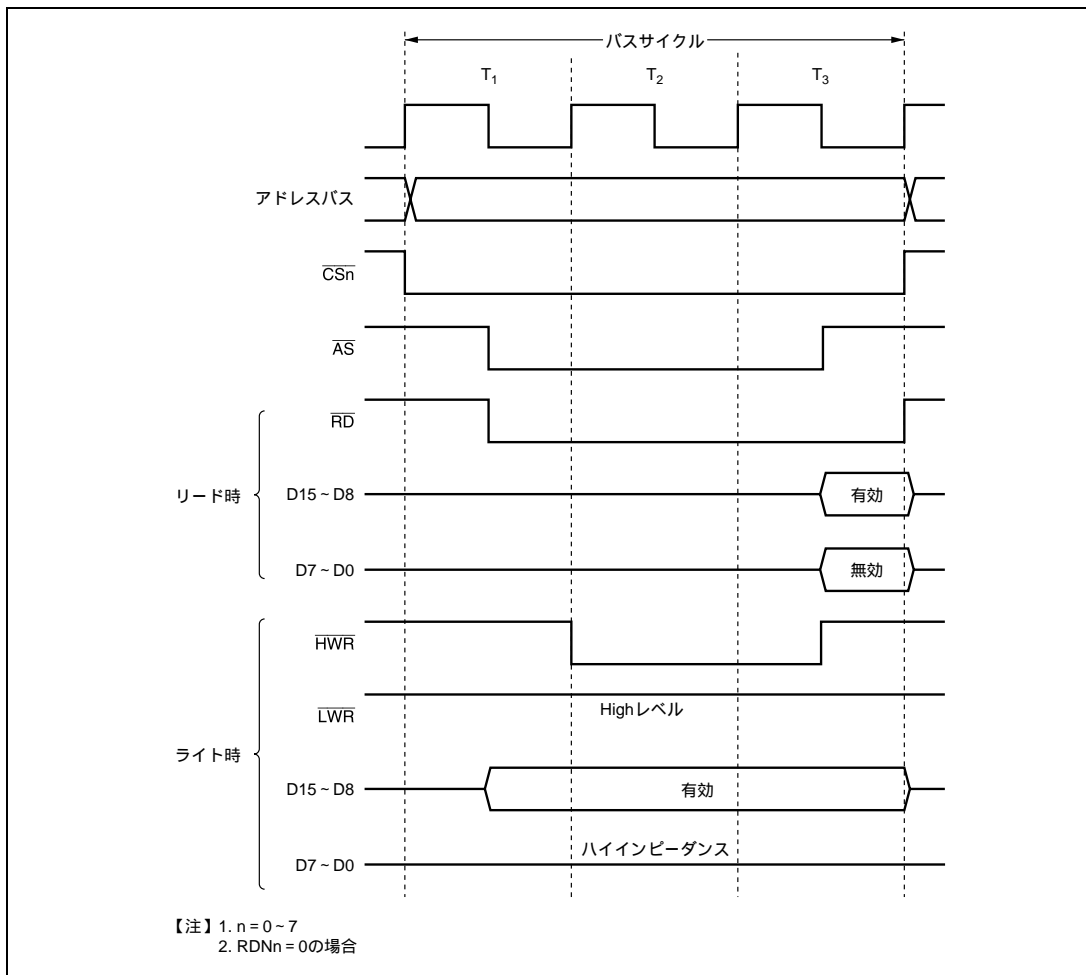


図 6.11 8 ビット 3 ステートアクセス空間のバスタイミング

## (3) 16 ビット 2 ステートアクセス空間

図 6.12~図 6.14 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。ウェイトステートを挿入することはできません。

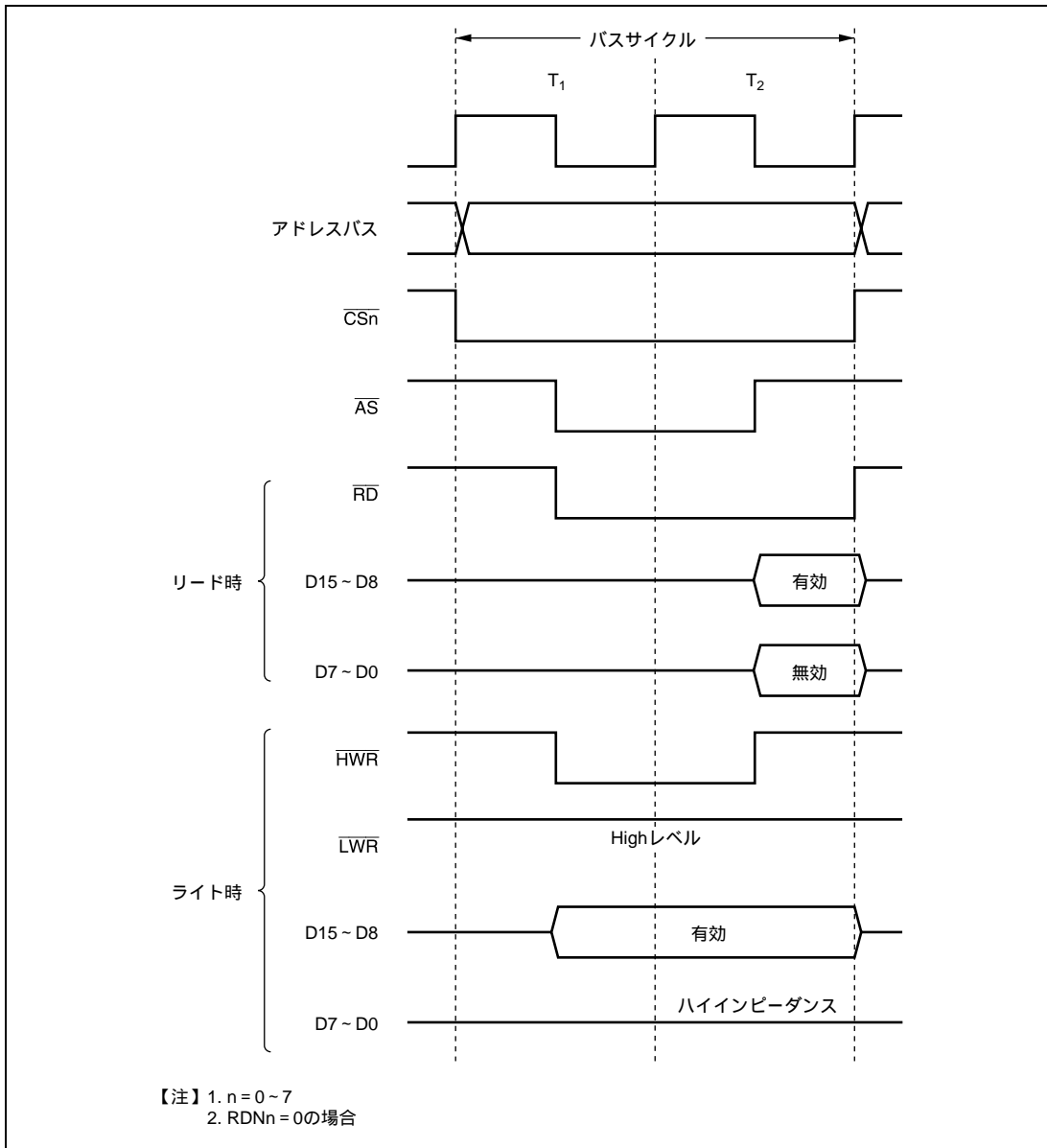


図 6.12 16 ビット 2 ステートアクセス空間のバスタイミング  
(偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

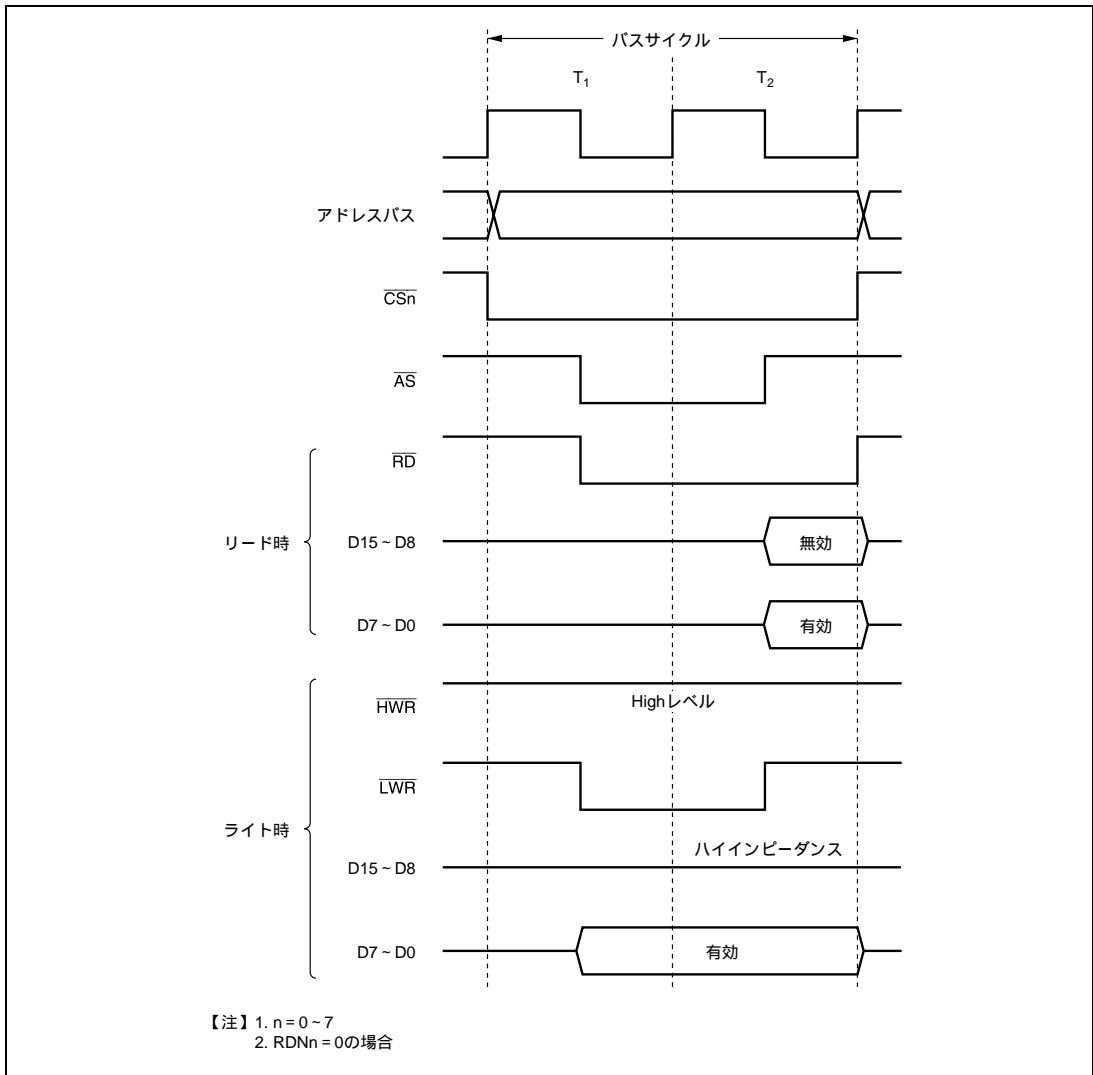


図 6.13 16 ビット 2 ステートアクセス空間のバスタイミング  
(奇数アドレスバイトアクセス)

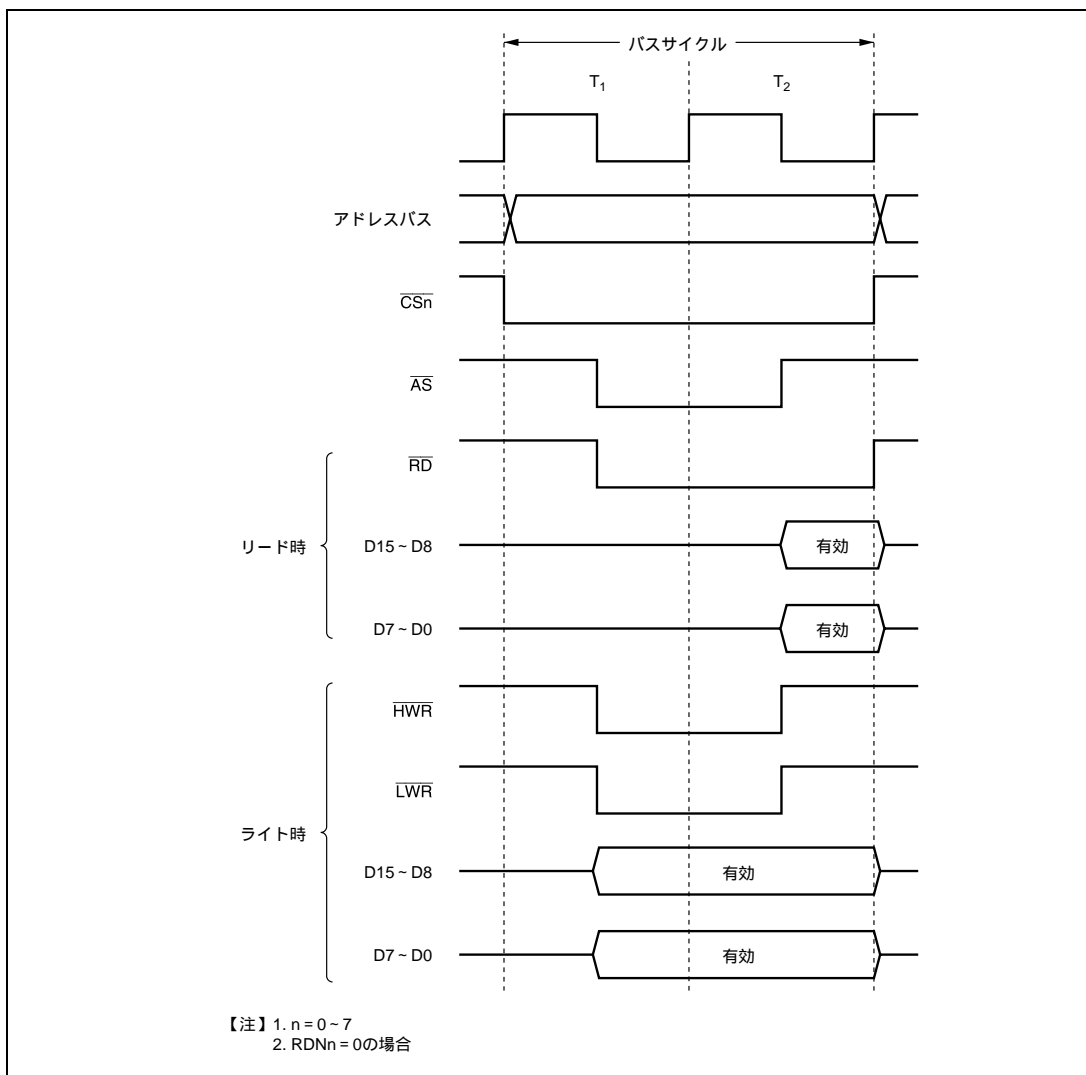


図 6.14 16 ビット 2 ステートアクセス空間のバスタイミング  
(ワードアクセス)

## 6. バスコントローラ (BSC)

### (4) 16 ビット 3 ステートアクセス空間

図 6.15 ~ 図 6.17 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15 ~ D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7 ~ D0) を使用します。ウェイトステートを挿入することができます。

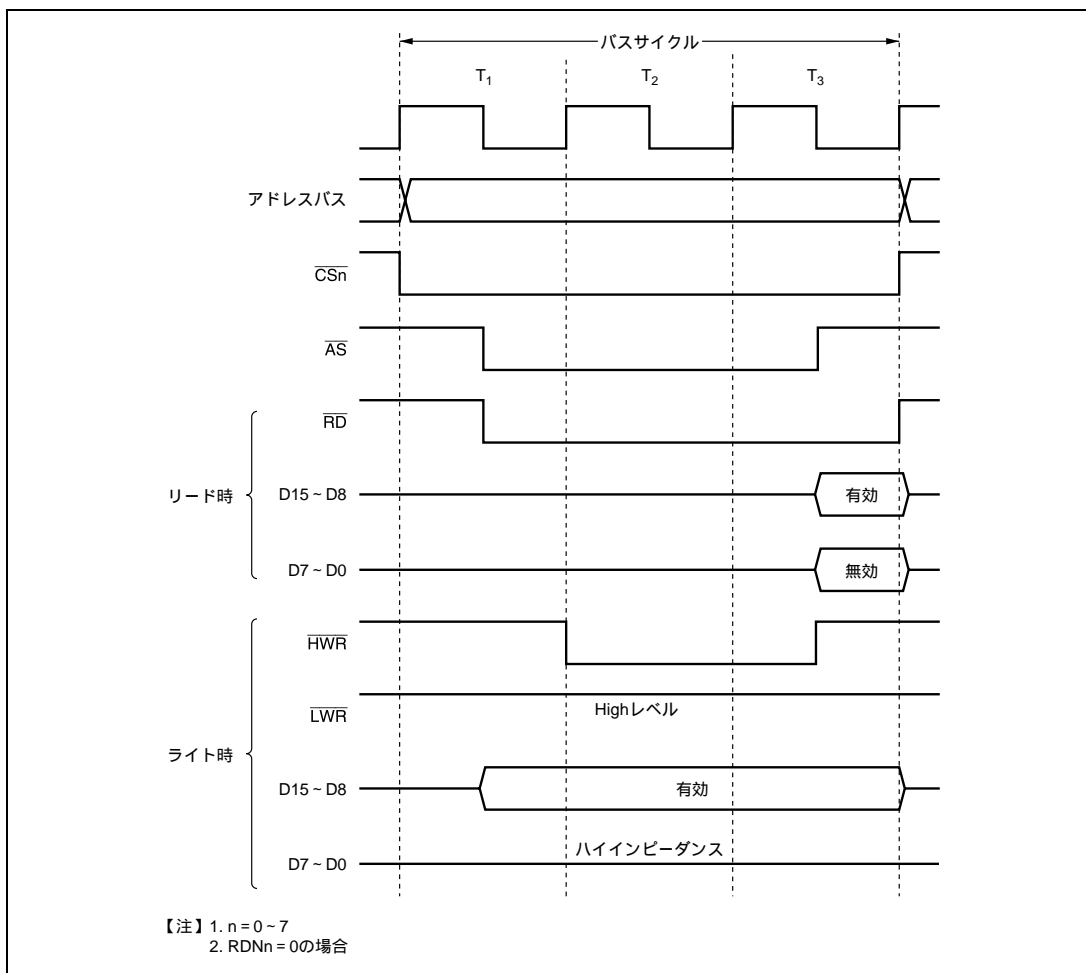


図 6.15 16 ビット 3 ステートアクセス空間のバスタイミング  
(偶数アドレスバイトアクセス)

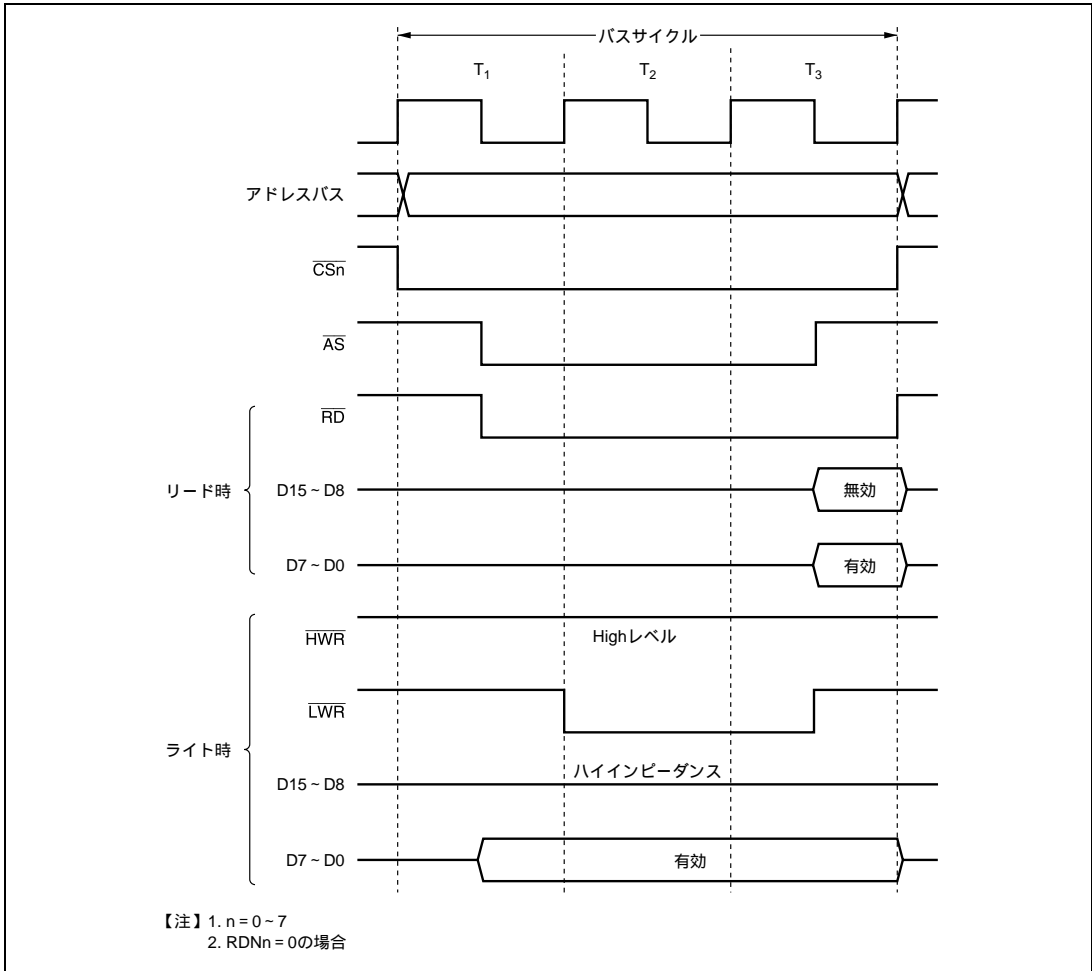


図 6.16 16 ビット 3 ステートアクセス空間のバスタイミング  
(奇数アドレスバイトアクセス)

## 6. バスコントローラ (BSC)

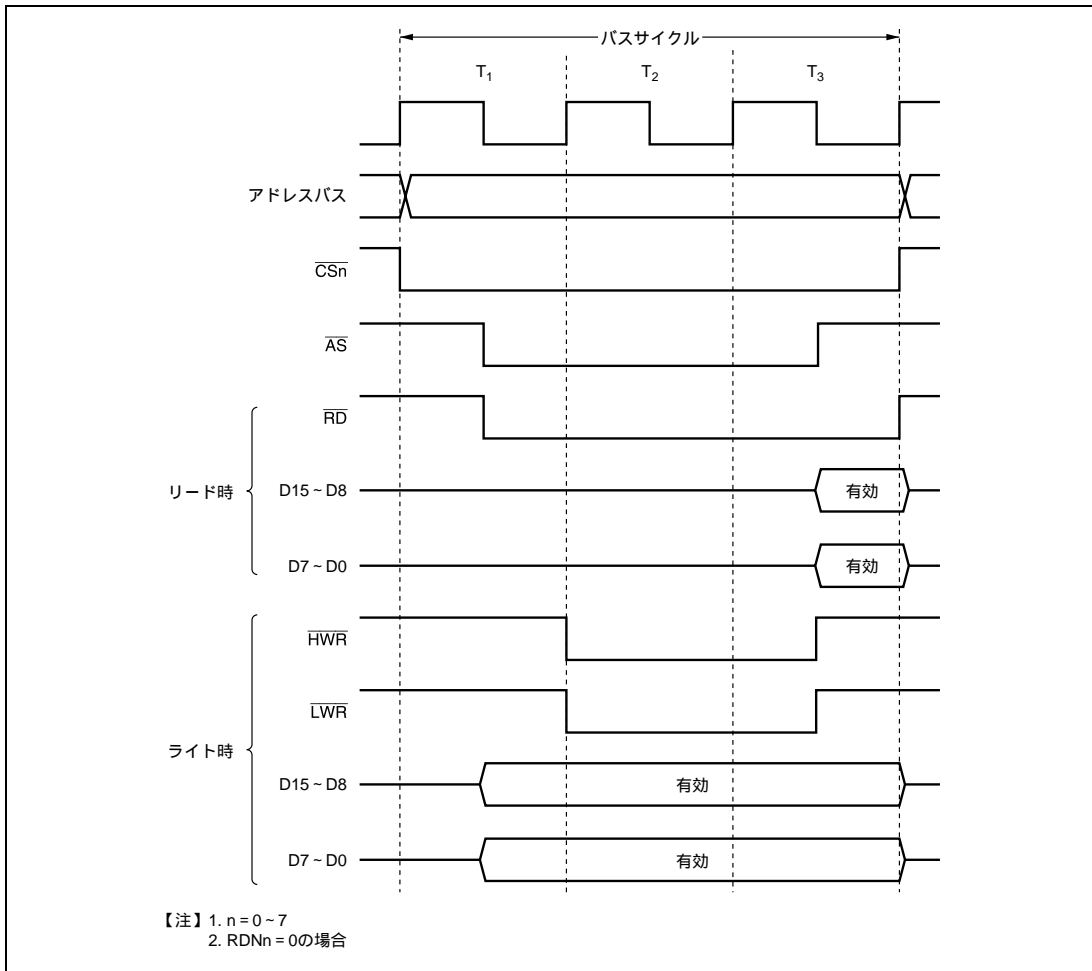


図 6.17 16 ビット 3 ステートアクセス空間のバスタイミング  
(ワードアクセス)



### 6.5.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート ( $T_w$ ) を挿入して、バスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入があります。

#### (1) プログラムウェイトの挿入

WTCRA、WTCRB により、3 ステートアクセス空間に対して、エリア単位で 0~7 ステートのウェイトステートを自動的に  $T_2$  ステートと  $T_3$  ステートの間に挿入することができます。

#### (2) 端子ウェイトの挿入

BCR の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$  端子によるウェイト入力が有効になります。この状態で外部空間をアクセスすると、まず WTCRA、WTCRB の設定に従いプログラムウェイトが挿入されます。続いて  $T_2$  または  $T_w$  の最後のステートの 立ち下りのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると  $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると  $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。7 ステート以上の  $T_w$  を挿入する場合や、外部デバイスごとに挿入する  $T_w$  数を変える場合などに有効です。なお、WAITE ビットはすべてのエリアに対して共通です。図 6.18 にウェイトステート挿入のタイミング例を示します。

リセット後は 3 ステートアクセスかつプログラムウェイト 7 ステート挿入、 $\overline{\text{WAIT}}$  入力禁止状態となっています。

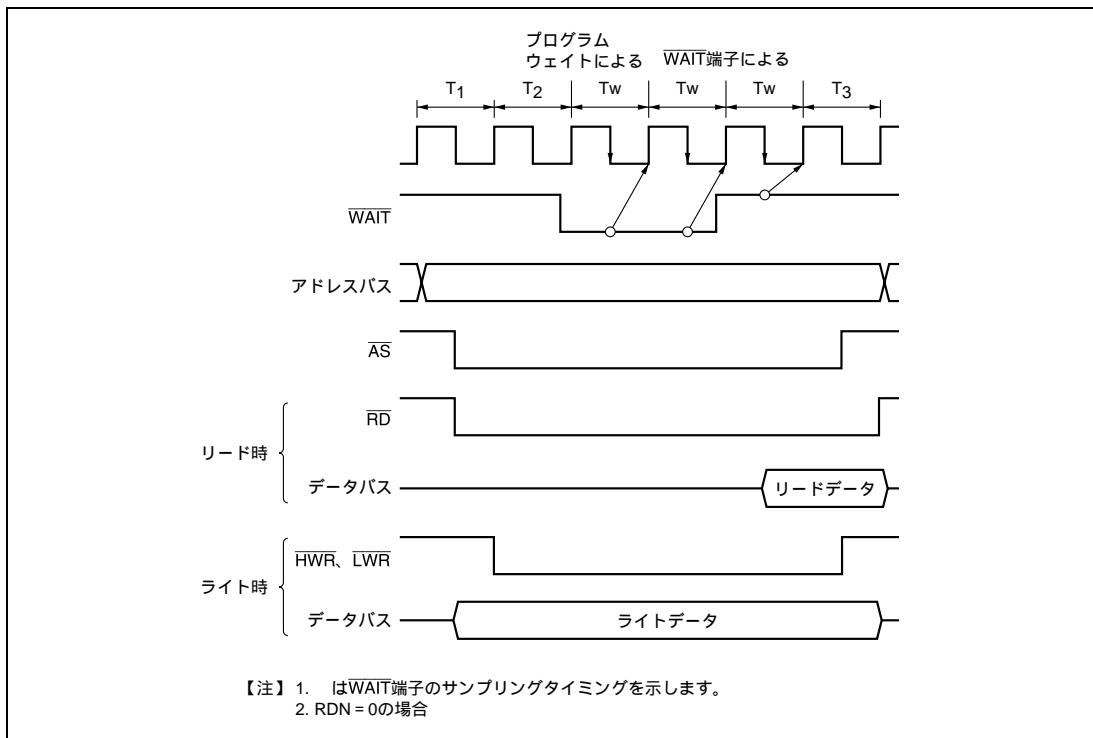


図 6.18 ウェイトステート挿入タイミング例

6.5.5 リードストローブ ( $\overline{RD}$ ) タイミング

RDNCR の RDN7 ~ RDN0 ビットを 1 にセットすることにより、エリア単位にリードストローブ ( $\overline{RD}$ ) のタイミングを変更することが可能です。図 6.19 に基本バス 3 ステートアクセス空間でリードストローブのタイミングを変更した場合のタイミング例を示します。

DMAC および EXDMAC をシングルアドレスモードで使用している場合、 $RDNn=1$  に設定して  $\overline{RD}$  のタイミングを変更すると、 $\overline{DACK}$ 、 $\overline{EDACK}$  の立ち上がりに対して、 $\overline{RD}$  のタイミングが変化しますので注意が必要です。

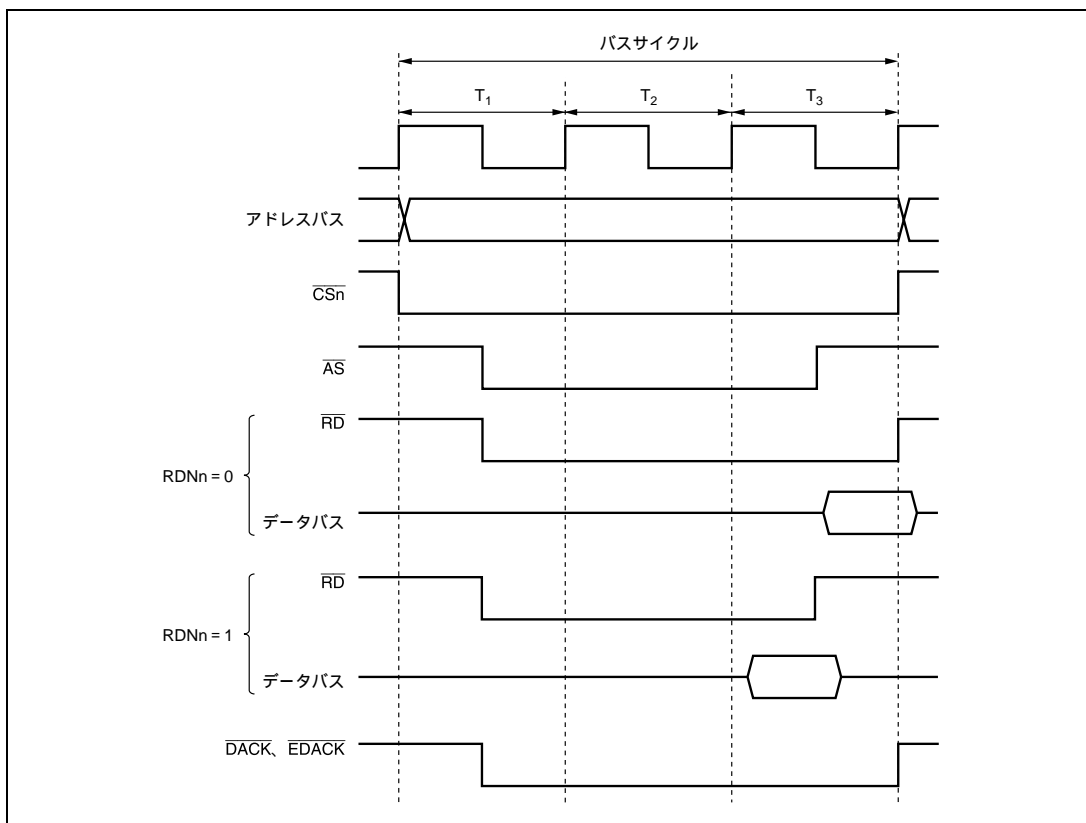


図 6.19 リードストローブタイミング例

### 6.5.6 チップセレクト ( $\overline{CS}$ ) アサート期間拡張

外部 I/O デバイスには、アドレス、 $\overline{CS}$  信号と  $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$  のストロープ信号の間のセットアップ時間やホールド時間が必要な場合があります。CSACR の設定により、基本バス空間のアクセスサイクルの前後に  $\overline{CS}$  と  $\overline{AS}$ 、アドレスだけがアサートされるステートを挿入することができます。 $\overline{CS}$  アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の  $\overline{CS}$  アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間およびホールド時間が緩和されます。

図 6.20 に基本バス 3 ステートアクセス空間に  $\overline{CS}$  アサート期間を拡張した場合のタイミング例を示します。

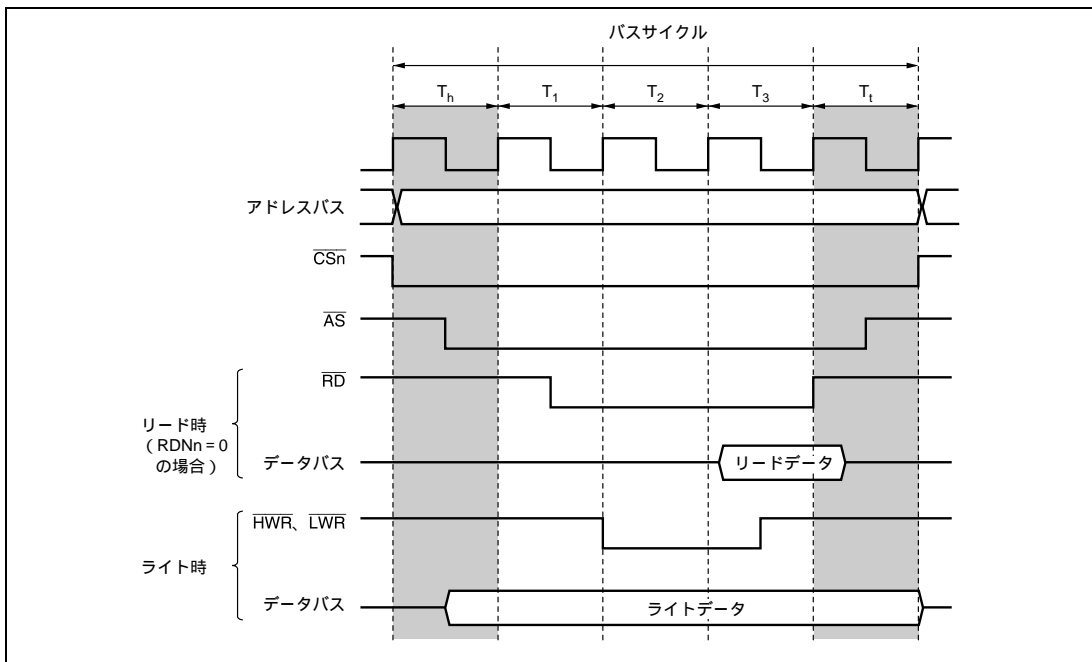


図 6.20 チップセレクトアサート期間拡張時タイミング例

基本バスサイクルの手に挿入される拡張ステート ( $T_h$ ) と、基本バスサイクルの後に挿入される拡張ステート ( $T_t$ ) の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 8 ビットの CSXH7 ~ CSXH0 ビットで  $T_h$  ステート、下位 8 ビットの CSXT7 ~ CSXT0 ビットで  $T_t$  ステートの挿入の有無を設定することができます。

## 6.6 DRAM インタフェース

本 LSI はエリア 2~5 の外部空間を DRAM 空間に設定し、DRAM インタフェースを行うことができます。DRAM インタフェースでは DRAM を本 LSI と直結することができます。DRAMCR の RMTS2~RMTS0 ビットにより、2/4/8M バイトの DRAM 空間を設定できます。また、高速ページモードを利用したバースト動作を行うことができます。

### 6.6.1 DRAM 空間の設定

エリア 2~5 を DRAM 空間にするには、DRAMCR レジスタの RMTS2~RMTS0 ビットを設定します。表 6.4 に RMTS2~RMTS0 ビットの設定値と DRAM 空間の関係を示します。DRAM 空間は、1 エリア設定 (エリア 2)、2 エリア設定 (エリア 2、3)、4 エリア設定 (エリア 2~5)、連続エリア設定 (エリア 2~5) を選択することができます。

表 6.4 RTMS2~RTMS0 の設定値と DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			
1	0	0	連続シンクロナス DRAM 空間*			
		1	シンクロナス DRAM のモードレジスタ設定*			
	1	0	リザーブ (設定禁止)			
		1	連続 DRAM 空間			

【注】\* H8S/2678 ではリザーブ (設定禁止) になります。

連続 DRAM 空間では、 $\overline{\text{RAS2}}$  が有効となります。また、バス幅、ウェイトステート数など連続 DRAM 空間のバス仕様は、エリア 2 の設定に従います。

### 6.6.2 アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、DRAMCR の MXC2~MXC0 ビットによりロウアドレスのシフト量を選択します。表 6.5 に MXC2~MXC0 の設定値とシフト量の関係を示します。

DRAM インタフェースの時は MXC2 を 0 に設定してください。

表 6.5 MXC2 ~ MXC0 とアドレスマルチプレクスの関係

	DRAMCR			シフト量	アドレス端子																	
	MXC2	MXC1	MXC0		A23 ~ A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
ロウ アドレス	0	0	0	8ビット	A23 ~ A16	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	
			1	9ビット	A23 ~ A16	A15	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
	1	0	10ビット	A23 ~ A16	A15	A14	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
		1	11ビット	A23 ~ A16	A15	A14	A13	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
	1	x	x	リザーブ (設定禁止)																		
カラム アドレス	0*	x	x	—	A23 ~ A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
	1*	x	x	リザーブ (設定禁止)																		

x : don't care

【注】 \* H8S/2678 グループではアドレス端子は A23 ~ A0 になります。

### 6.6.3 データバス

DRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では、×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D15 ~ D8 の上位側データバスが有効となり、16 ビット DRAM 空間では D15 ~ D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.5.1 データサイズとデータアライメント」を参照してください。

### 6.6.4 DRAM インタフェース使用端子

表 6.6 に DRAM インタフェースで使用する端子と機能を示します。 $\overline{CS2} \sim \overline{CS5}$  端子はリセット後、入力状態になっていますので  $\overline{RAS2} \sim \overline{RAS5}$  信号を出力する場合には、対応する DDR を 1 にセットしてください。

表 6.6 DRAM インタフェース端子構成

端子	DRAM 設定時	名称	入出力	機能
HWR	WE	ライトイネーブル	出力	DRAM 空間アクセス時のライトイネーブル
CS2	RAS2/RAS	ロウアドレスストロープ 2/ ロウアドレスストロープ	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストロープ/エリア 2 ~ 5 を連続 DRAM 空間に設定したときのロウアドレスストロープ
CS3	RAS3	ロウアドレスストロープ 3	出力	エリア 3 を DRAM 空間に設定したときのロウアドレスストロープ
CS4	RAS4	ロウアドレスストロープ 4	出力	エリア 4 を DRAM 空間に設定したときのロウアドレスストロープ
CS5	RAS5	ロウアドレスストロープ 5	出力	エリア 5 を DRAM 空間に設定したときのロウアドレスストロープ

## 6. バスコントローラ (BSC)

端子	DRAM 設定時	名称	入出力	機能
$\overline{UCAS}$	$\overline{UCAS}$	アッパーカラムアドレス ストローブ	出力	16 ビット DRAM 空間アクセス時のアッパーカラム ストローブ/8 ビット DRAM 空間アクセス時のカラム アドレスストローブ
$\overline{LCAS}$	$\overline{LCAS}$	ロウアーカラムアドレス ストローブ	出力	16 ビット DRAM 空間アクセス時のロウアーカラム アドレスストローブ信号
$\overline{RD}$ 、 $\overline{OE}$	$\overline{OE}$	アウトプットイネーブル	出力	DRAM 空間アクセス時のアウトプットイネーブル
$\overline{WAIT}$	$\overline{WAIT}$	ウェイト	入力	ウェイト要求信号
A15 ~ A0	A15 ~ A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力
D15 ~ D0	D15 ~ D0	データ端子	入出力	データ入出力端子

### 6.6.5 基本動作タイミング

DRAM 空間の基本アクセスタイミングを図 6.21 に示します。

基本タイミング 4 ステートは、 $T_p$  (プリチャージサイクル) 1 ステート、 $T_r$  (ロウアドレス出力サイクル) 1 ステート、 $T_{c1}$ 、 $T_{c2}$  (カラムアドレス出力サイクル) 2 ステートで構成されています。

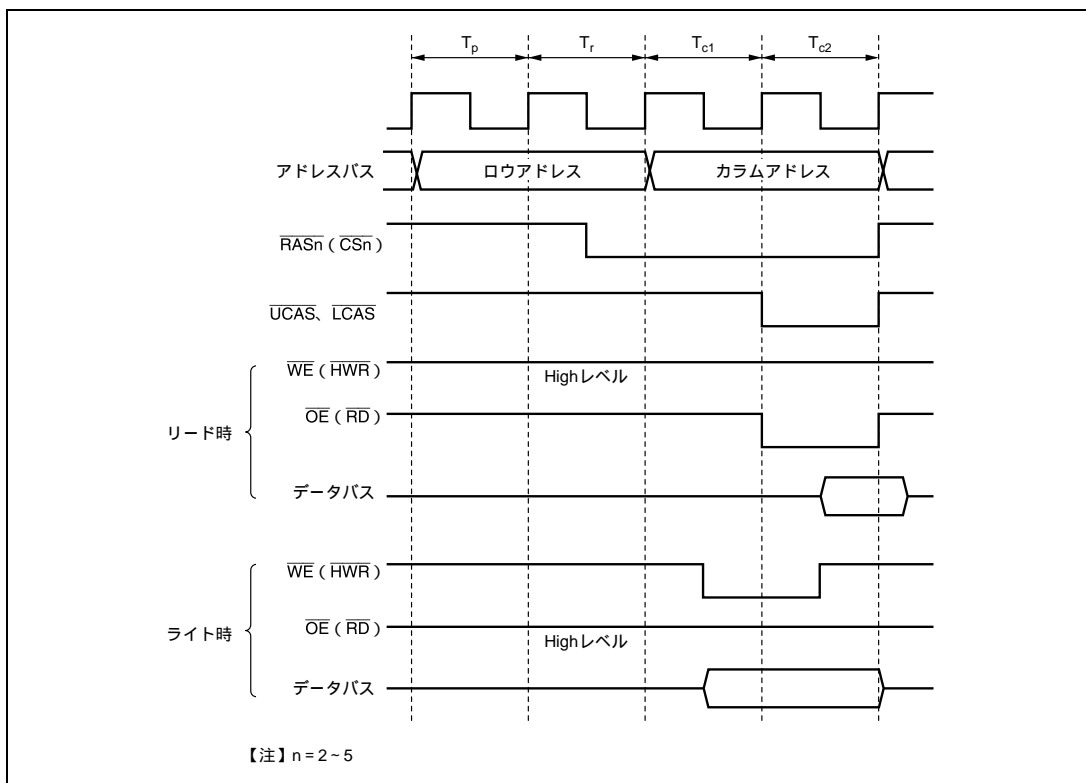


図 6.21 DRAM 基本アクセスタイミング (RAST = 0、CAST = 0 の場合)

DRAM 空間へのアクセス時、 $\overline{RD}$  信号は DRAM への  $\overline{OE}$  信号として出力されています。EDO ページモードを備えた DRAM を接続する際には、 $\overline{OE}$  信号を DRAM の ( $\overline{OE}$ ) 端子に接続してください。また、DRAMCR レジスタの OEE ビットを 1 にセットすることにより、DRAM 空間に対する  $\overline{OE}$  信号を専用の  $\overline{OE}$  端子から出力することも可能です。この場合、DRAM 空間に対する  $\overline{OE}$  信号は  $\overline{RD}$  端子、( $\overline{OE}$ ) 端子の両方から出力されますが、DRAM 空間以外の外部リードサイクルでは  $\overline{RD}$  端子のみが出力されます。

### 6.6.6 カラムアドレス出力サイクル制御

DRAMCR レジスタの CAST ビットを 1 にセットすると、カラムアドレス出力サイクルを 2 ステートから 3 ステートへ変更することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{CAS}$  パルス幅などの規定値が最適になるように設定してください。図 6.22 にカラムアドレス出力サイクルを 3 ステートに設定した場合のタイミング例を示します。

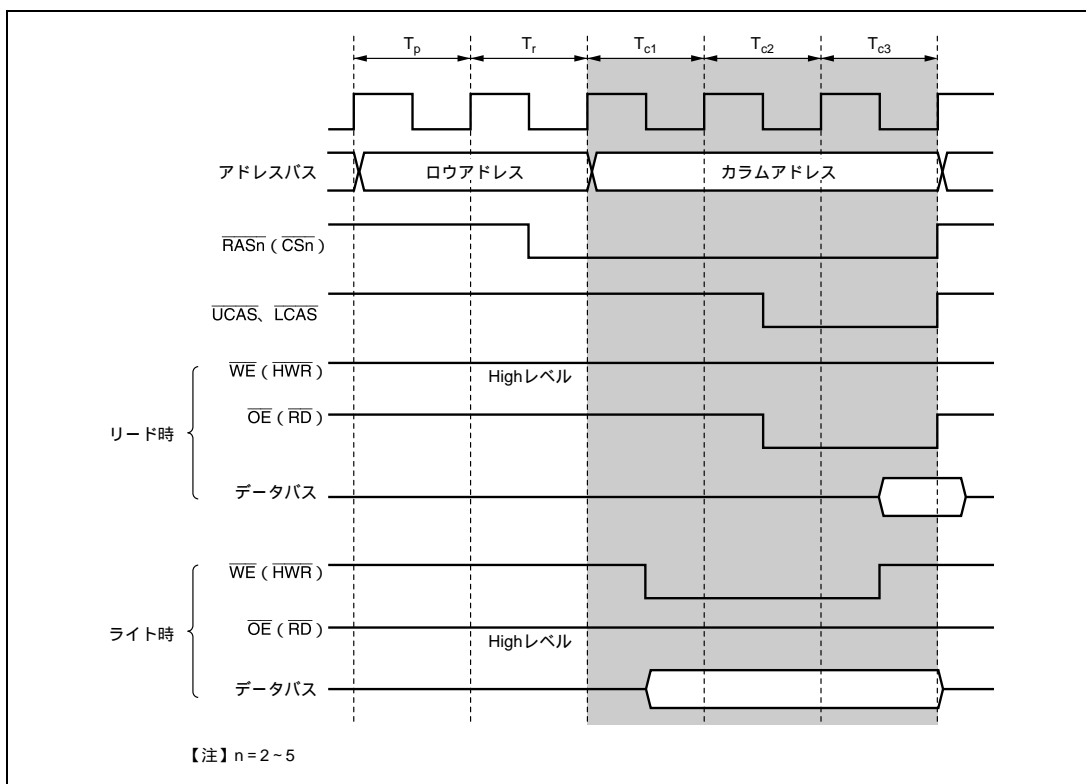


図 6.22 カラムアドレス出力サイクル 3 ステートの場合のアクセスタイミング例  
(RAST = 0 の場合)

## 6.6.7 ロウアドレス出力ステート制御

DRAMCR レジスタの RAST ビットを 1 にセットすると、 $\overline{\text{RAS}}$  信号が  $T_r$  ステートの先頭から Low レベルとなり、 $\overline{\text{RAS}}$  信号の立ち下がりに対するロウアドレスのホールド時間と DRAM リードアクセス時間が変化します。接続する DRAM と本 LSI の動作周波数に応じて最適になるように設定してください。図 6.23 に  $\overline{\text{RAS}}$  信号が  $T_r$  ステートの先頭から Low レベルとなる場合のタイミング例を示します。

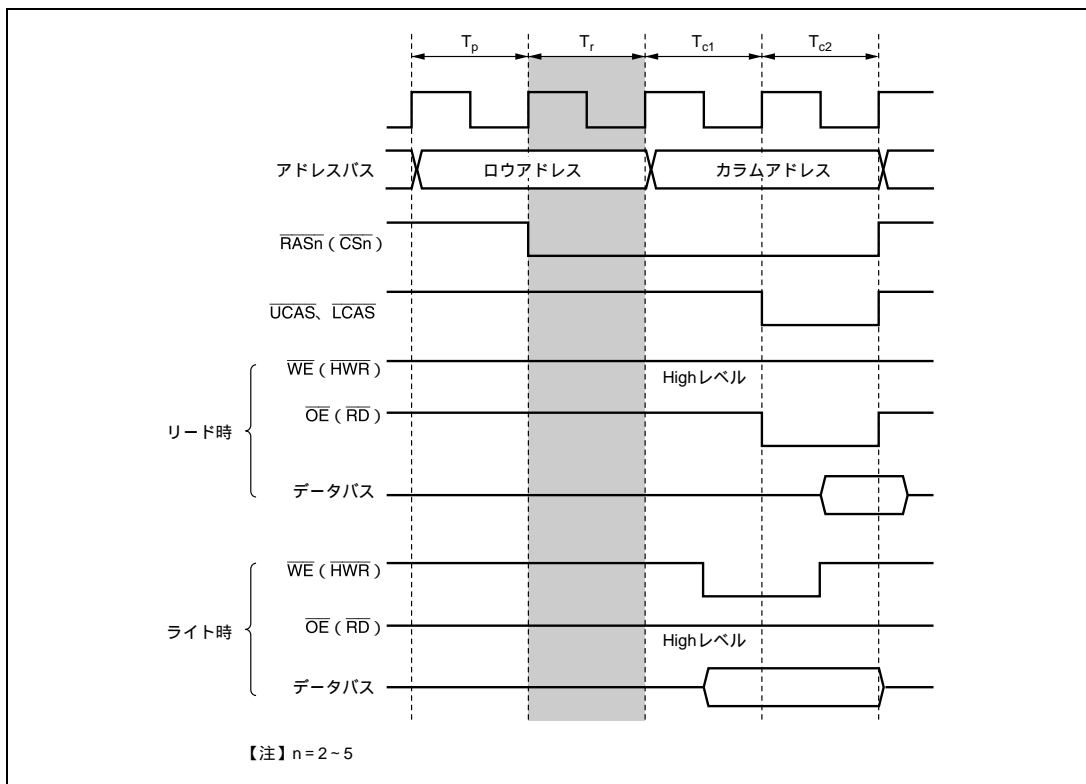


図 6.23 RAS 信号が  $T_r$  ステートの先頭から Low レベルとなる場合のアクセスタイミング例  
(CAST = 0 の場合)



ロウアドレスのホールド時間またはリード時のアクセス時間が必要な場合には、DRACCR の RCD1、RCD0 ビットを設定することにより、 $\overline{\text{RAS}}$  信号が Low レベルとなる  $T_r$  サイクルと、カラムアドレスが出力される  $T_{c1}$  サイクルの間にロウアドレスが出力保持されるステート ( $T_{rw}$ ) を 1~3 ステート挿入することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{RAS}}$  信号の立ち下がりエッジに対するロウアドレス信号のホールド時間が最適になるように設定してください。図 6.24 に  $T_{rw}$  を 1 ステートに設定したときのタイミングを示します。

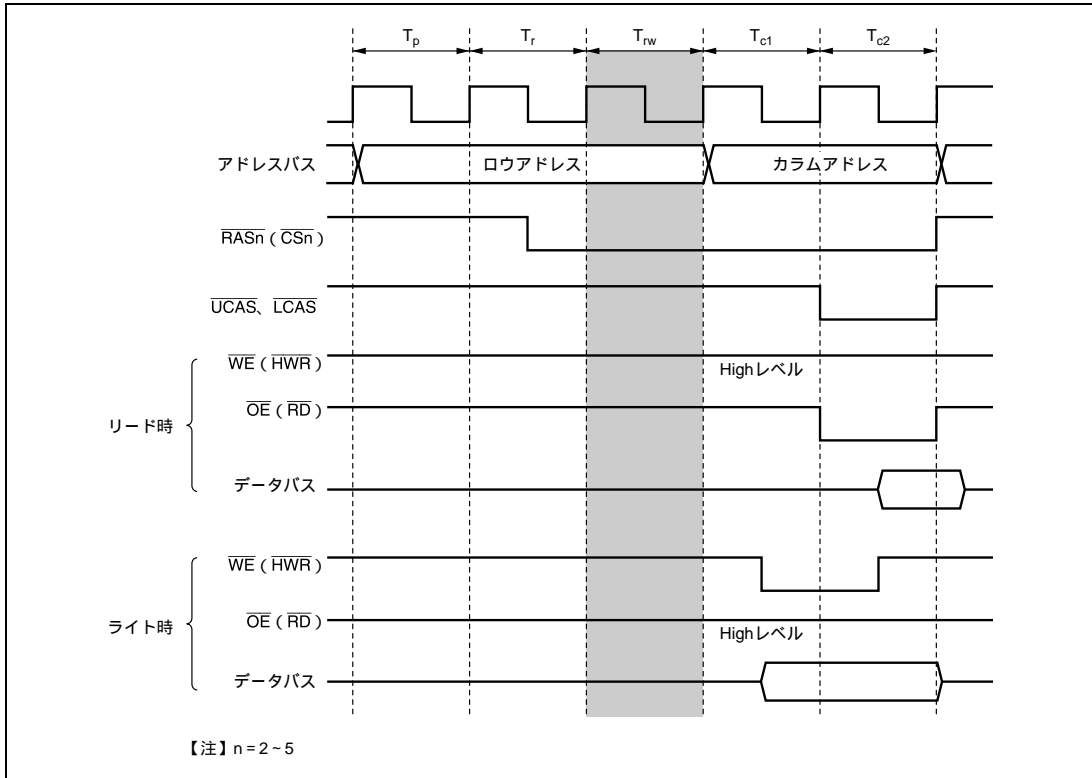


図 6.24 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例  
( $\text{RAST}=0$ 、 $\text{CAST}=0$  の場合)

## 6.6.8 プリチャージステート制御

DRAM をアクセスするときには、 $\overline{\text{RAS}}$  プリチャージ時間を確保する必要があります。本 LSI では、DRAM 空間をアクセスするとき、 $T_p$  を必ず 1 ステート挿入します。さらに、DRACCR の TPC1、TPC0 ビットの設定により、 $T_p$  を 1 ステートから 4 ステートの範囲で変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な  $T_p$  サイクル数を設定してください。図 6.25 に  $T_p$  を 2 ステートとしたときのタイミングを示します。TPC1、TPC0 ビットの設定は、リフレッシュサイクルの  $T_p$  にも有効です。

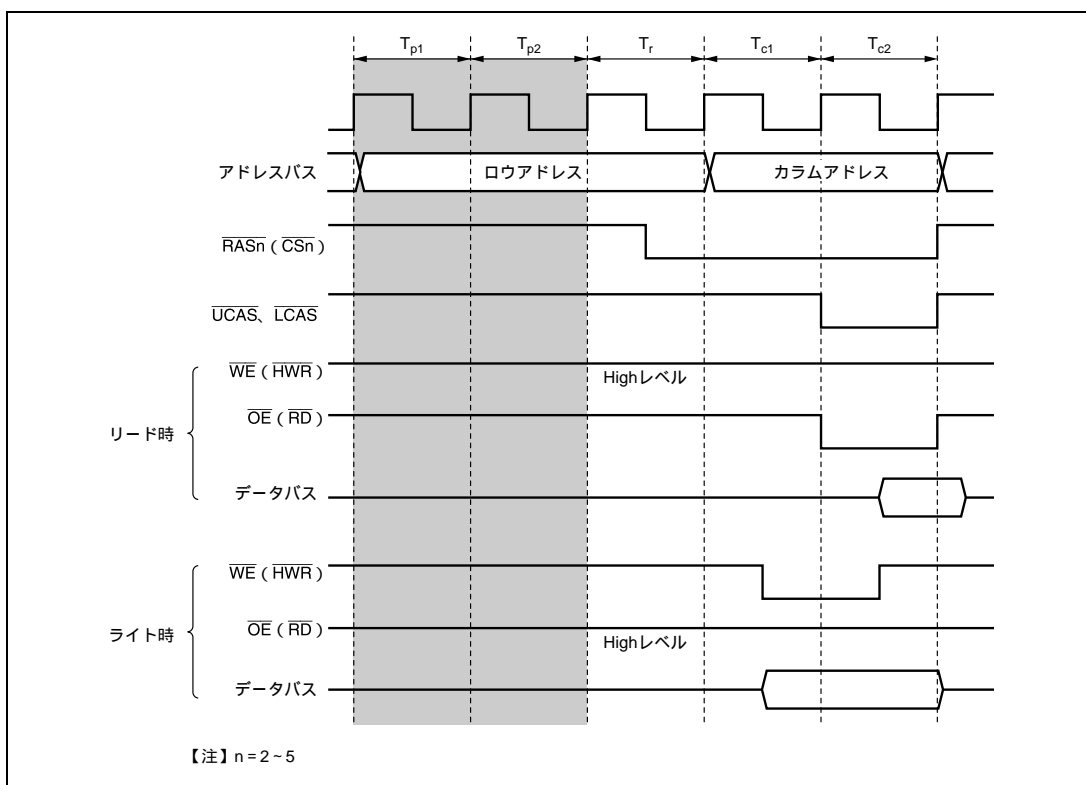


図 6.25 プリチャージサイクル 2 ステート時のタイミング例  
( $\text{RAST}=0$ 、 $\text{CAST}=0$  の場合)

## 6.6.9 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入の 2 種類があります。

ウェイトステートは、DRAM 空間リードアクセス時には  $\overline{\text{CAS}}$  のアサート期間を引き延ばすように挿入され、ライトアクセス時にはライトデータと  $\overline{\text{CAS}}$  の立ち下がりエッジとのセットアップ時間を引き延ばすように挿入されます。

(1) プログラムウェイトの挿入

DRAM 空間に設定されたエリアに対応する ASTCR のビットが 1 にセットされているとき、WTCRA、WTCRB の設定により、0~7 ステートのウェイトステートを自動的に Tc1 ステートと Tc2 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR レジスタの WAITE ビットが 1 にセットされ、かつ ASTCR のビットが 1 にセットされている場合、 $\overline{\text{WAIT}}$  端子によるウェイト入力の有効になります。この状態で DRAM 空間をアクセスすると、まずプログラムウェイト (Tw) が挿入されます。Tc1 または Tw の最後のステートの 立ち下りのタイミングで  $\overline{\text{WAIT}}$  端子が Low レベルであると、更に Tw が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで Tw が挿入されます。

カラムアドレス出力サイクルが 2 ステートの時のウェイトサイクル挿入タイミング例を図 6.26 に、3 ステートの時のウェイトサイクル挿入タイミング例を図 6.27 に示します。

## 6. バスコントローラ (BSC)

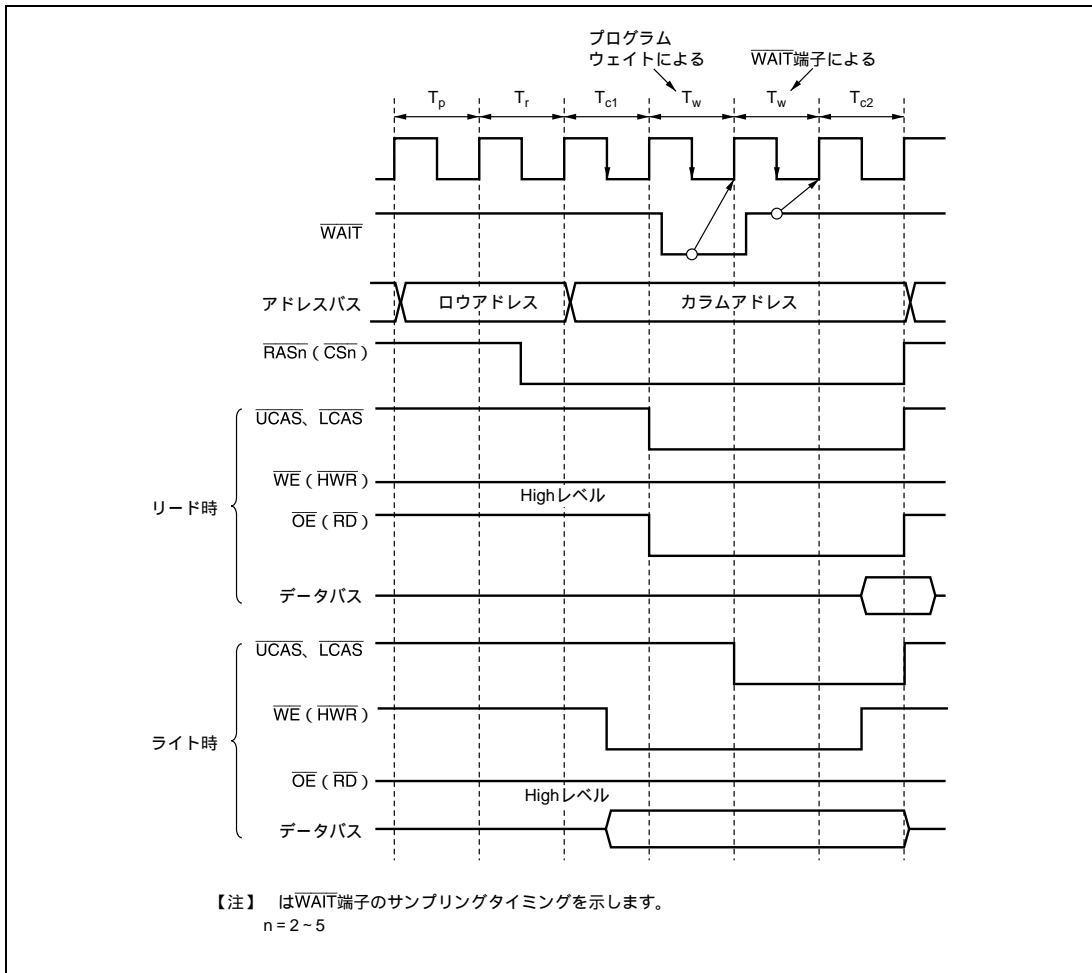


図 6.26 ウェイト状態挿入タイミング例 (カラムアドレス出力 2 ステートの場合)

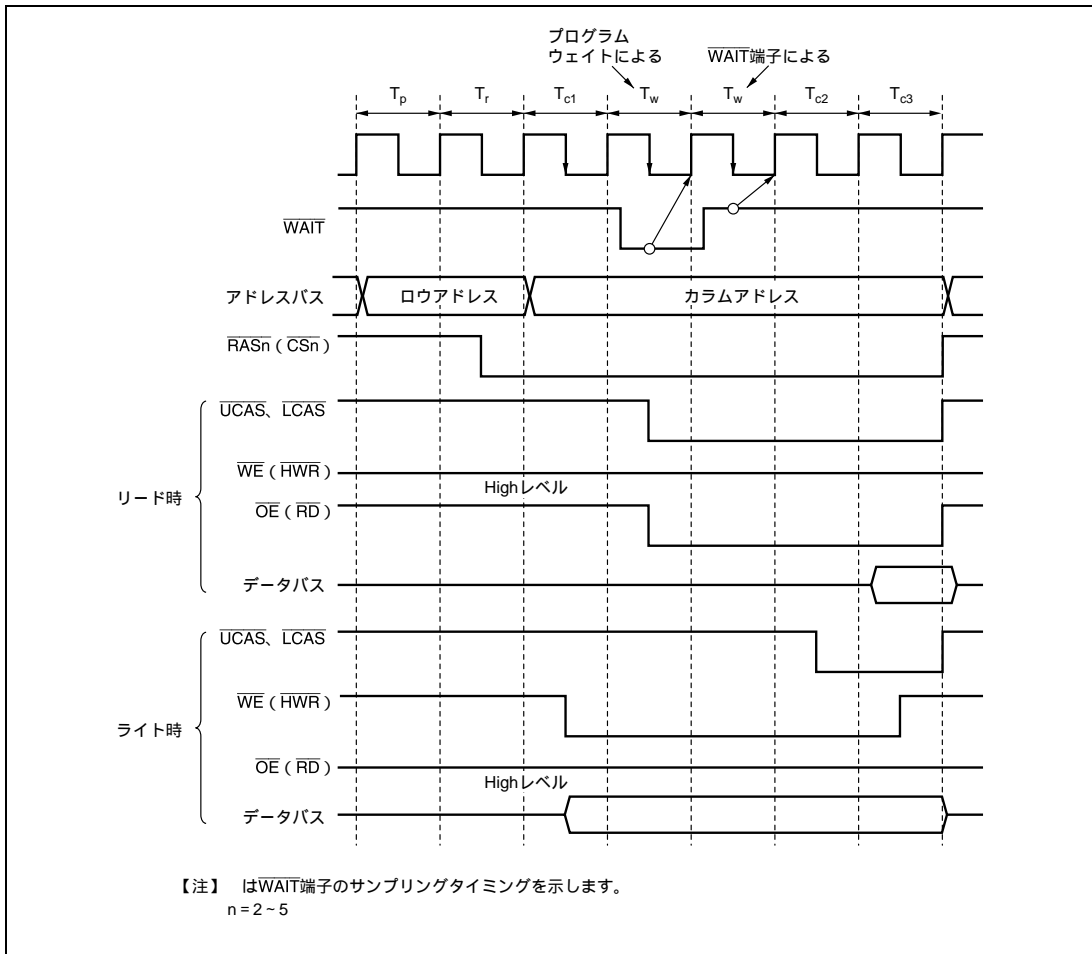


図 6.27 ウェイトステート挿入タイミング例 (カラムアドレス出力3ステートの場合)

### 6.6.10 バイトアクセス制御

×16ビット構成のDRAMを接続するとき、バイトアクセスに必要な制御信号としてCAS2本方式を使用することができます。図6.28にCAS2本方式の制御タイミングを示します。また図6.29にCAS2本方式の接続例を示します。

## 6. バスコントローラ (BSC)

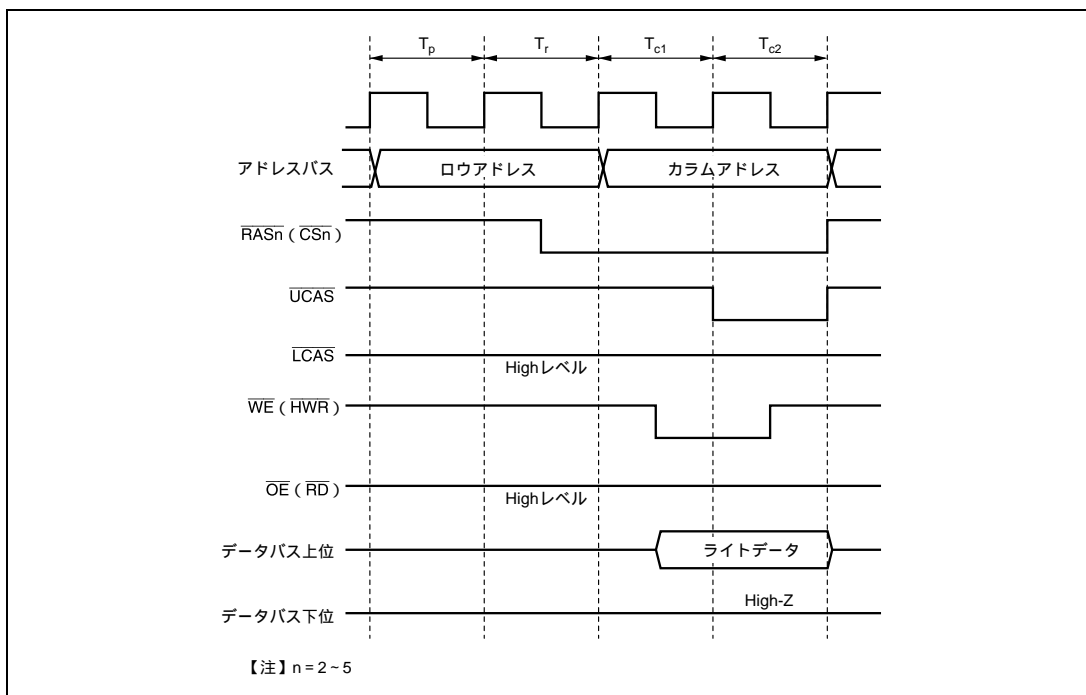


図 6.28 CAS2 本方式の制御タイミング  
(上位バイトライトアクセス時、RAST=0、CAST=0の場合)

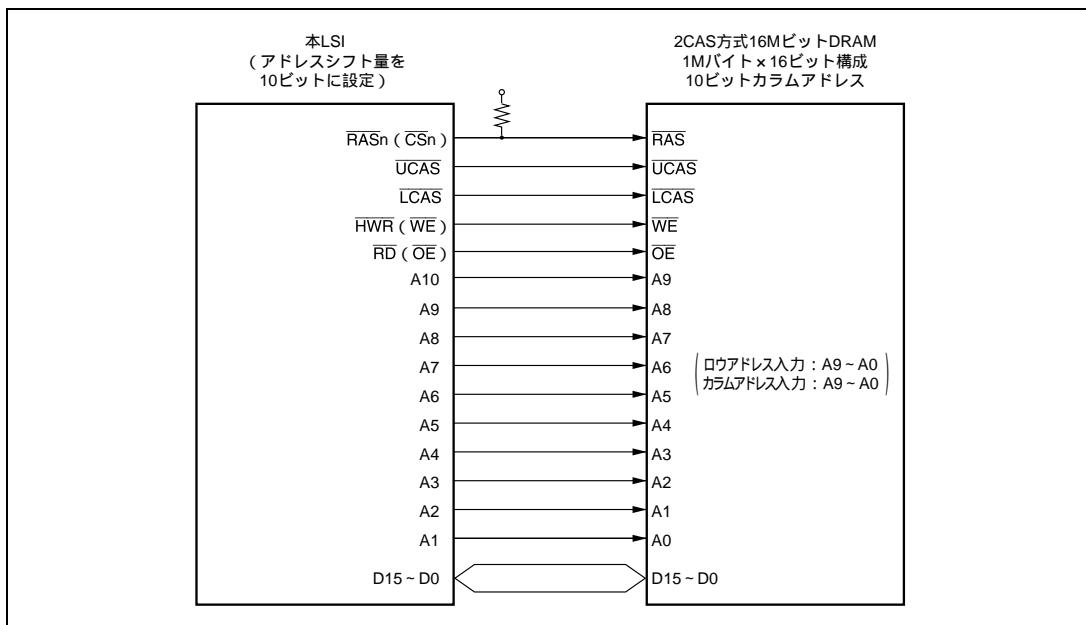


図 6.29 CAS2 本方式の接続例

### 6.6.11 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。DRAMCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

#### (1) バーストアクセス（高速ページモード）

図 6.30、図 6.31 にバーストアクセスの動作タイミングを示します。DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、 $\overline{\text{CAS}}$  信号とカラムアドレスの出力サイクル（2 ステート）が連続して行われます。比較対象となるロウアドレスは DRAMCR の MXC2 ~ MXC0 ビットにより設定します。

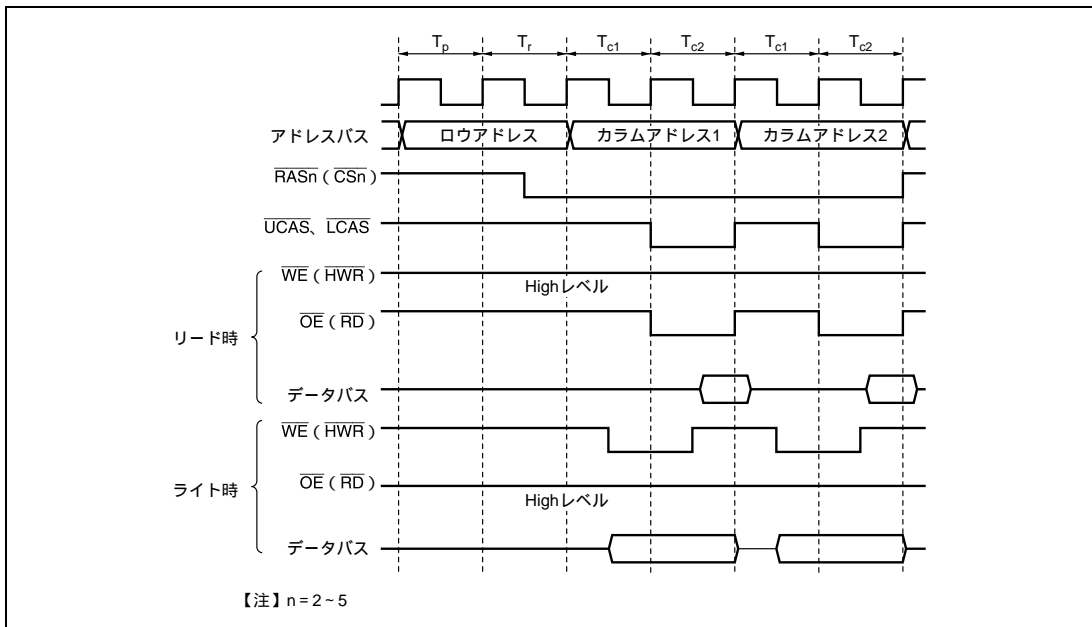


図 6.30 高速ページモードの動作タイミング (RAST = 0、CAST = 0 の場合)

## 6. バスコントローラ (BSC)

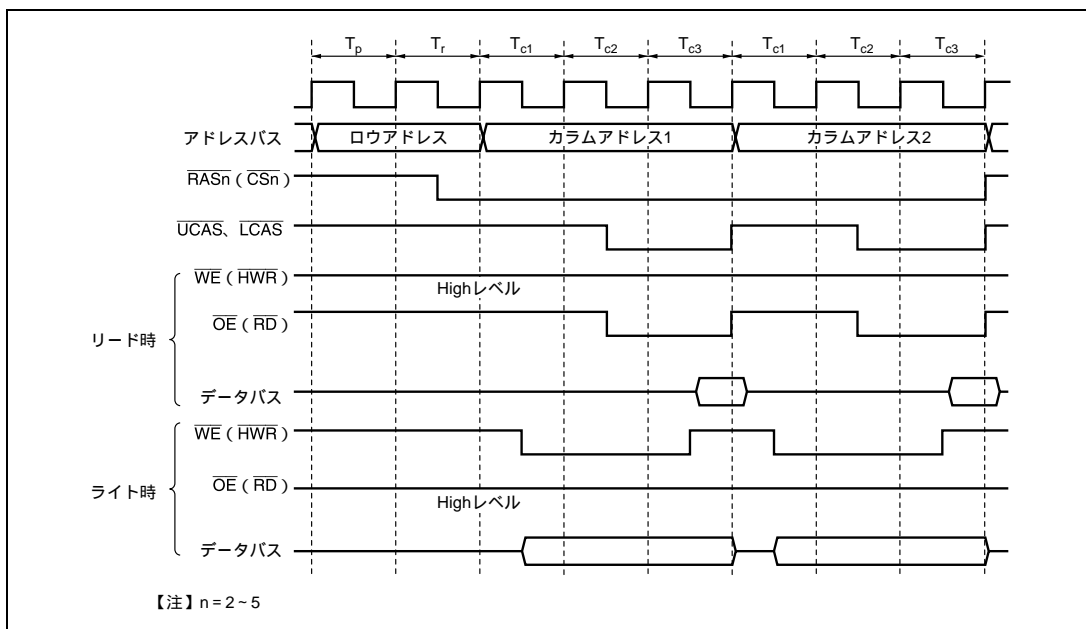


図 6.31 高速ページモードの動作タイミング (RAST=0、CAST=1 の場合)

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き伸ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「6.6.9 ウェイト制御」を参照してください。

### (2) RAS ダウンモードと RAS アップモード

バースト動作を選択しても、DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も  $\overline{\text{RAS}}$  信号を Low レベルに保持しておく、次に DRAM 空間の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。

#### (a) RAS ダウンモード

RAS ダウンモードを選択するときは、DRAMCR の RCDM ビットと BE ビットをともに 1 にセットしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$  信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致したときに、バーストアクセスが行われます。図 6.32 に RAS ダウンモードのタイミング例を示します。

ただし、以下の場合、 $\overline{\text{RAS}}$  信号は High レベルになります。

- リフレッシュ動作が RAS ダウン中に入る場合
- セルフリフレッシュが行われた場合
- ソフトウェアスタンバイモードへ遷移する場合
- 外部バスを解放する場合



- RCDMビット、またはBEビットを0にクリアした場合

また、 $\overline{\text{RAS}}$  ダウン中に全モジュールクロックストップモードへ遷移すると、 $\overline{\text{RAS}}$  が Low レベルの状態でもクロックが停止します。 $\overline{\text{RAS}}$  が High レベルの状態でも全モジュールクロックストップモードへ遷移したい場合には、SLEEP 命令の実行の前に RCDM ビットを 0 にクリアしてください。

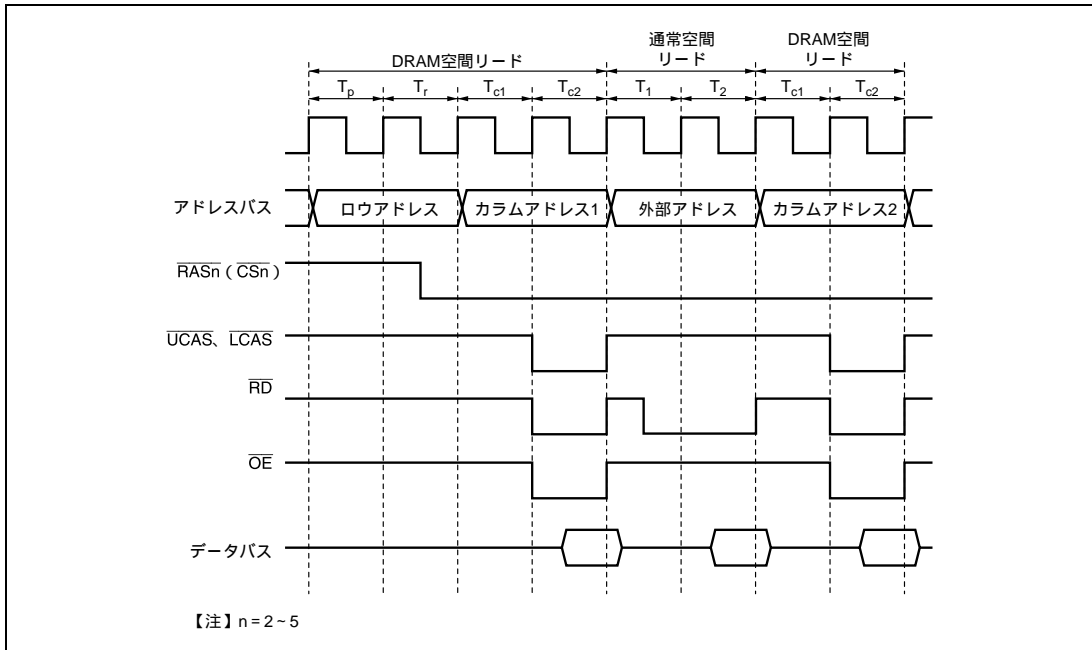


図 6.32 RAS ダウンモードの動作タイミング例 (RAST = 0、CAST = 0 の場合)

## 6. バスコントローラ (BSC)

### (b) RAS アップモード

RAS アップモードを選択するときは、DRAMCR の RCDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$  信号を High レベルに戻します。DRAM 空間が連続している場合だけバースト動作が行われます。図 6.33 に RAS アップモードのタイミング例を示します。

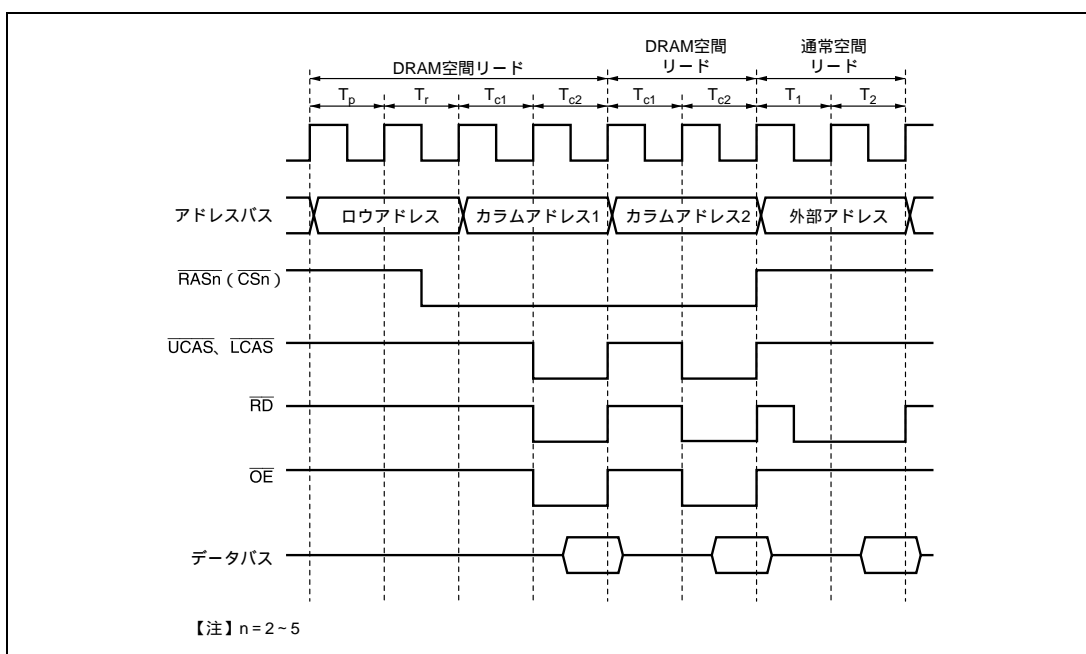


図 6.33 RAS アップモードの動作タイミング例 (RAST=0、CAST=0 の場合)

### 6.6.12 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、CAS ビフォ RAS (CBR) リフレッシュです。また、ソフトウェアスタンバイ状態に移移するときにセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR レジスタの RMTS2 ~ RMTS0 ビットの設定により、いずれかのエリアを DRAM 空間に設定した場合に有効です。

#### (1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

CBR リフレッシュでは、REFCR の RTCK2 ~ RTCK0 ビットで選択した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2 ~ RTCK0 ビットで決まる一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR

と RTCK2 ~ RTCK0 ビットの値を設定してください。

REFCR の RTCK2 ~ RTCK0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、RTCK2 ~ RTCK0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。図 6.34 に RTCNT の動作を、図 6.35 にコンペアマッチのタイミングを、図 6.36 に CBR リフレッシュのタイミングをそれぞれ示します。

また、REFCR の CBRM ビット = 0 を設定したとき、CBR リフレッシュ期間中には、DRAM 空間以外の外部空間のアクセスを並行して行います。

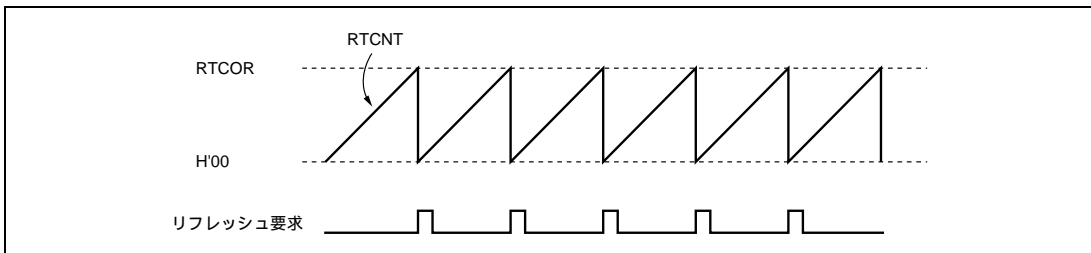


図 6.34 RTCNT の動作

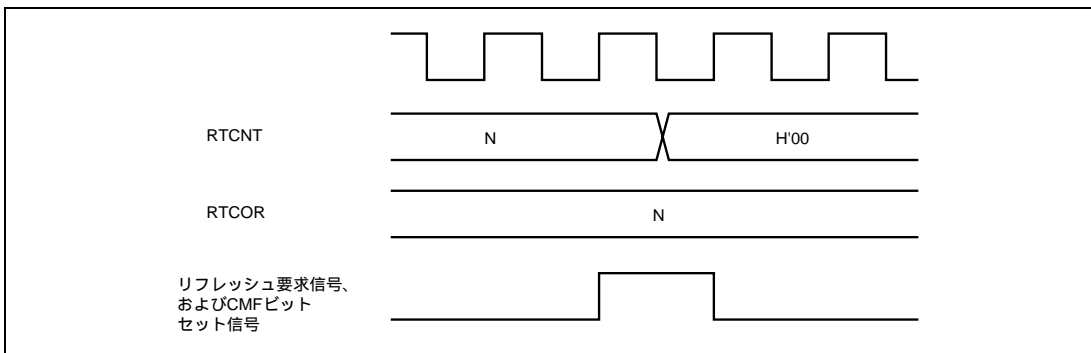


図 6.35 コンペアマッチのタイミング

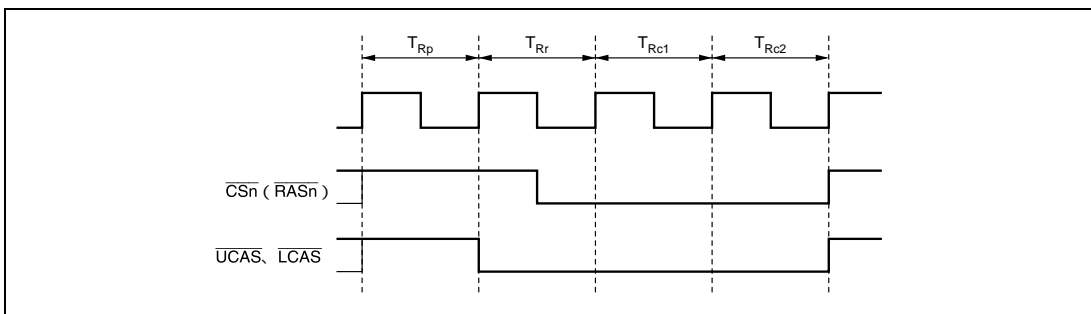


図 6.36 CBR リフレッシュタイミング

## 6. バスコントローラ (BSC)

また、REFCR の RCW1、RCW0 ビットに設定することにより、 $\overline{\text{RAS}}$  信号が 1 から 3 サイクル遅れて出力することが可能です。 $\overline{\text{RAS}}$  信号幅は、REFCR の RLW1、RLW0 ビットで調整してください。RCW1、RCW0、RLW1、RLW0 ビットの設定は、リフレッシュの時のみ有効になります。図 6.37 に RCW1、RCW0 ビットを設定したときのタイミングを示します。

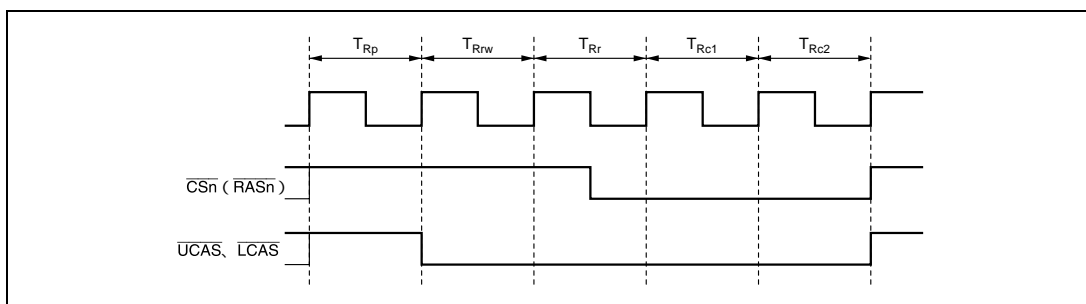


図 6.37 CBR リフレッシュタイミング  
(RCW1=0、RCW0=1、RLW1=0、RLW0=0 の場合)

使用する DRAM によっては、リフレッシュ期間中の  $\overline{\text{WE}}$  信号の変化を許可しないものがあります。その場合、REFCR の CBRM ビットに 1 を設定してください。この場合、バスコントローラは適当なバスサイクルの切れ目でリフレッシュサイクルを挿入します。CBRM ビットに 1 を設定したときのタイミング例を図 6.38 に示します。このとき  $\overline{\text{CS}}$  信号は制御対象外で、リフレッシュ期間に入る直前の値を保持します。

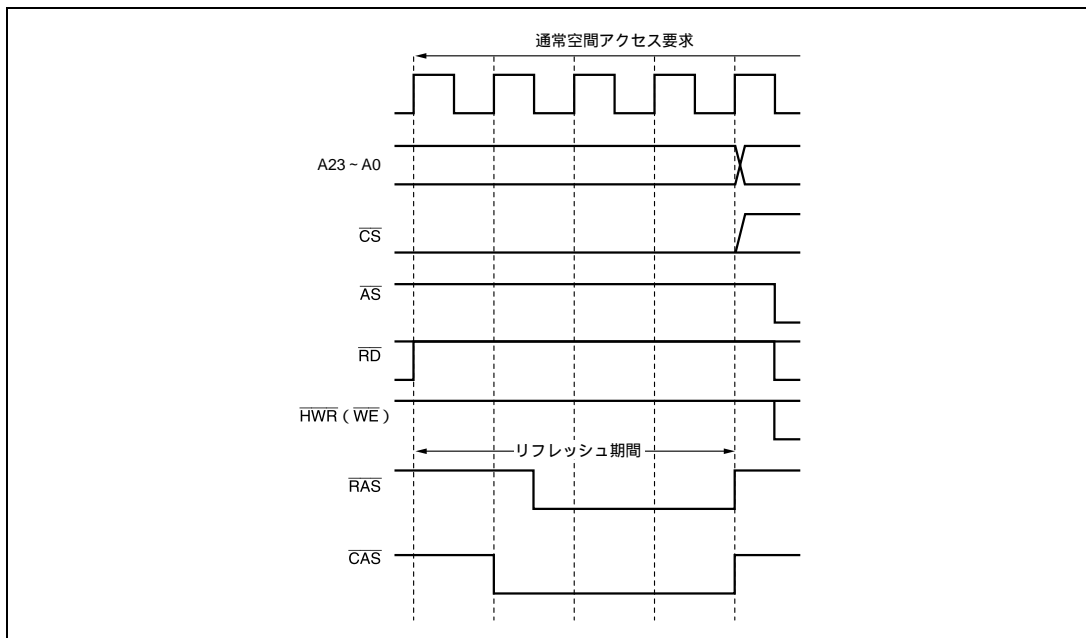


図 6.38 CBR リフレッシュタイミング例 (CBRM=1 のとき)

## (2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 6.39 に示すように  $\overline{\text{CAS}}$  信号と  $\overline{\text{RAS}}$  信号が出力され DRAM はセルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードを解除すると SLFRF ビットが 0 にクリアされ、セルフリフレッシュモードが自動的に解除されます。ソフトウェアスタンバイモードに遷移する場合、CBR リフレッシュ要求があると CBR リフレッシュを実行した後セルフリフレッシュモードに入ります。

セルフリフレッシュモードを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

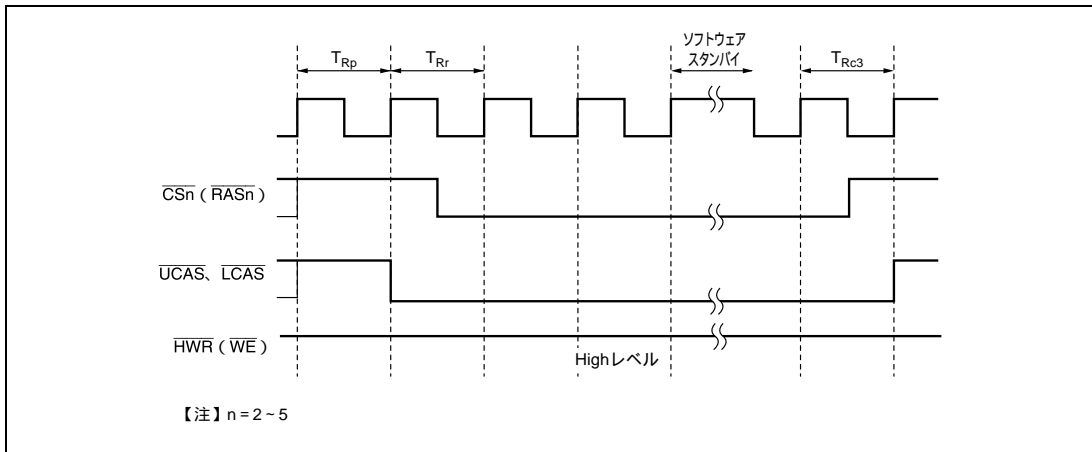


図 6.39 セルフリフレッシュタイミング

また、セルフリフレッシュモードを備える DRAM の中には、セルフリフレッシュ直後の  $\overline{\text{RAS}}$  信号のプリチャージ時間が通常のプリチャージ時間よりも長いものが存在します。REFCR の TPCS2 ~ TPCS0 ビットの設定により、セルフリフレッシュ直後のプリチャージ時間のみを通常のプリチャージ時間より、1~7 ステート増加することが可能です。この場合、DRACCR の TPC1、TPC0 ビットの設定に従った通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。図 6.40 にセルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例を示します。

## 6. バスコントローラ (BSC)

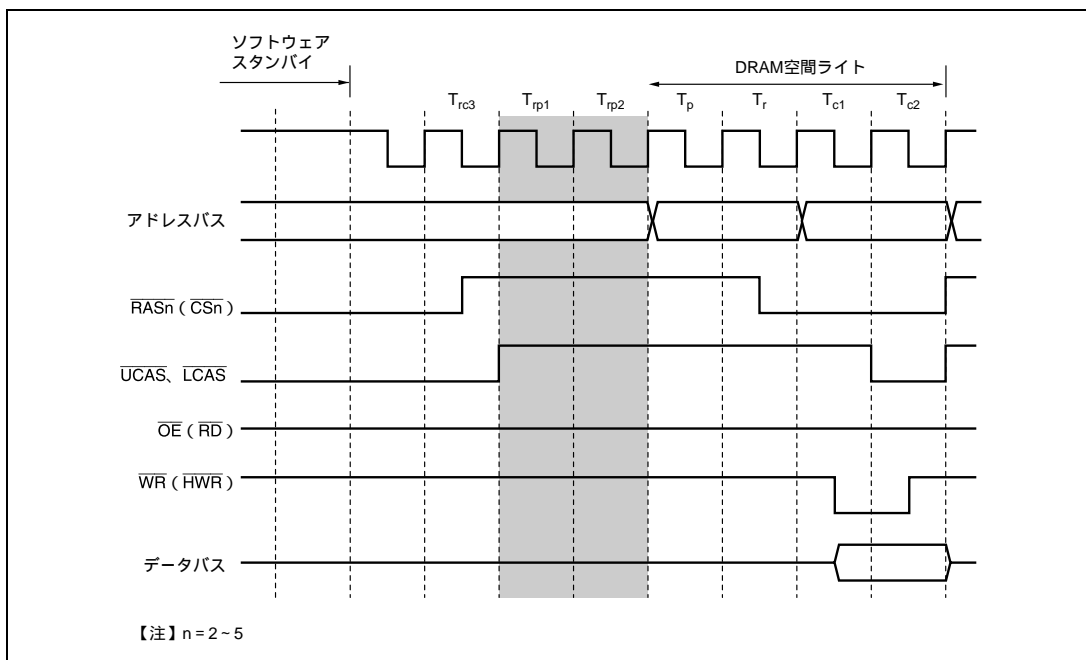


図 6.40 セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例

### (3) リフレッシュと全モジュールクロックストップモード

本 LSI は、MSTPCR の ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE) で SLEEP 命令を実行しスリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。このモードでは、バスコントローラもクロックが停止しますので CBR リフレッシュも実行されません。外部に DRAM を接続して、スリープモードで DRAM のデータを保持したい場合には、MSTPCR の ACSE ビットを 0 にクリアしてください。

### 6.6.13 DMAC および EXDMAC のシングルアドレス転送モードと DRAM インタフェース

DRAM インタフェースでバーストモードを設定したとき、DRAMCR の DDS、EDDS ビットによって  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングを選択します。また、同時に DMAC および EXDMAC シングルアドレスモードで DRAM 空間をアクセスする場合に、バーストアクセスを行うか行わないかを選択します。

(1) DDS = 1 または EDDS = 1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングは DRAM インタフェースの場合  $T_{c1}$  スタートから Low レベルになります。

図 6.41 に DDS = 1 または EDDS = 1 のときの DRAM インタフェース時の  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングを示します。

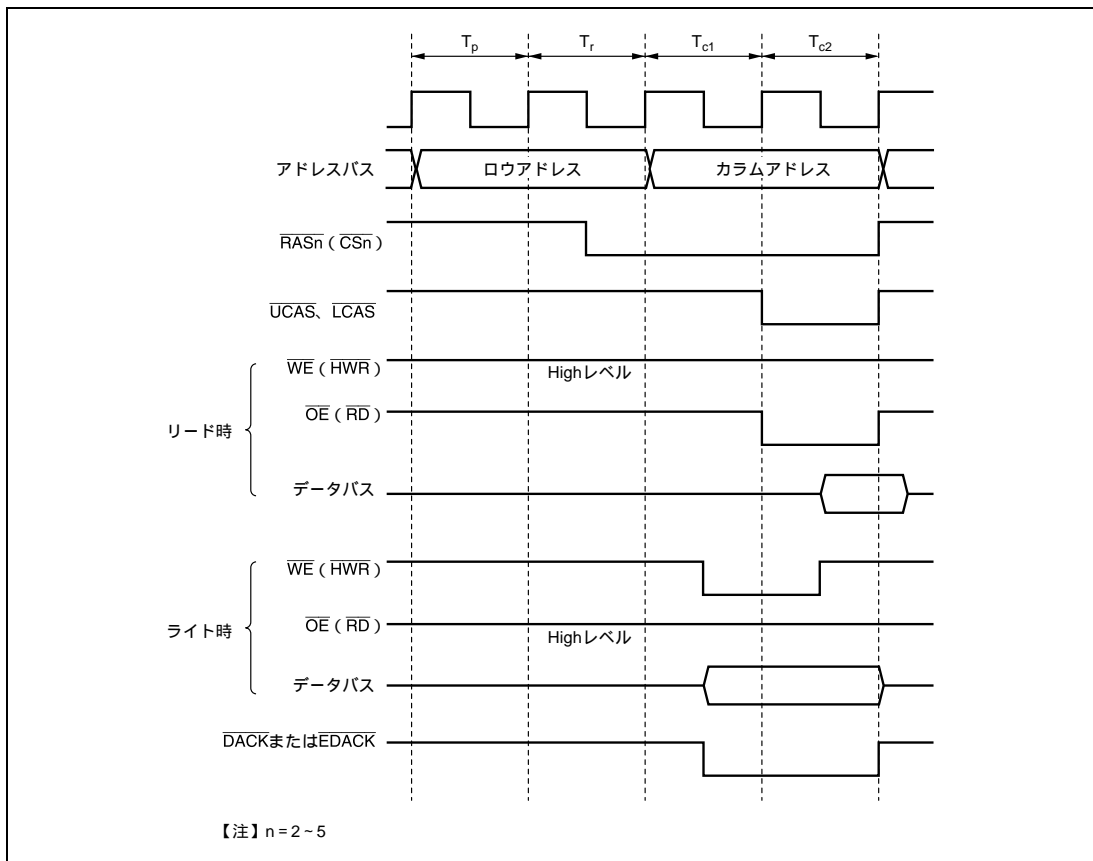


図 6.41 DDS = 1 または EDDS = 1 の場合の  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミング例  
( RAST = 0、CAST = 0 の場合 )

## 6. バスコントローラ (BSC)

### (2) DDS = 0 または EDDS = 0 のとき

DMAC または EXDMAC シングルアドレス転送モードで DRAM 空間をアクセスしたとき、必ずフルアクセス (ノーマルアクセス) を行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングは、DRAM インタフェースの場合 Tr ステートから Low レベルになります。

DMAC または EXDMAC シングルアドレス転送モード以外で DRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.42 に、DDS = 0 または EDDS = 0 のときの、DRAM インタフェース時の  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングを示します。

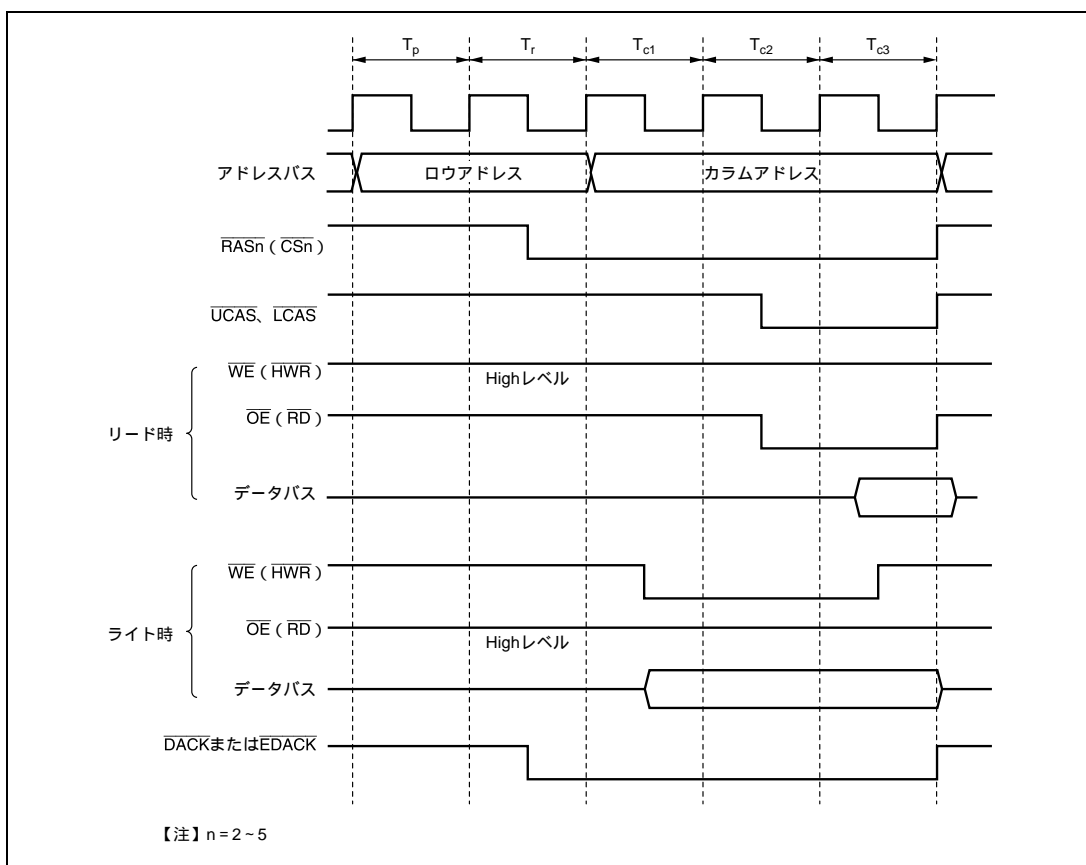


図 6.42 DDS = 0 または EDDS = 0 の場合の  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミング例  
( RAST = 0、CAST = 1 の場合 )



## 6.7 シンクロナス DRAM インタフェース

H8S/2678R グループは、エリア 2~5 の外部アドレス空間を連続シンクロナス DRAM 空間に設定し、シンクロナス DRAM インタフェースを行うことができます。シンクロナス DRAM インタフェースでは、DRAMCR レジスタの RMTS2~RMTS0 ビットの設定により、8M バイトまでのシンクロナス DRAM を本 LSI と直結することができます。CAS レイテンシ 1~4 のシンクロナス DRAM を接続することが可能です。

【注】 H8S/2678 グループは、シンクロナス DRAM インタフェースをサポートしていません。

### 6.7.1 連続シンクロナス DRAM 空間の設定

エリア 2~5 を連続シンクロナス DRAM 空間にするには、DRAMCR の RMTS2~RMTS0 ビットを設定します。RMTS2~RMTS0 ビットの設定値とシンクロナス DRAM 空間の関係を表 6.7 に示します。シンクロナス DRAM インタフェースは、連続エリア設定 (エリア 2~5) となります。

表 6.7 RMTS2~RMTS0 の設定値とシンクロナス DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
		0	通常空間		DRAM 空間	
	1	DRAM 空間				
1	0	0	連続シンクロナス DRAM 空間			
		1	シンクロナス DRAM モード設定			
	1	0	リザーブ (設定禁止)			
		1	連続 DRAM 空間			

連続シンクロナス DRAM 空間では、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$  端子を  $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$  信号として使用します。また、シンクロナス DRAM の ( $\overline{OE}$ ) 端子を CKE 信号として使用し、 $\overline{CS5}$  端子をシンクロナス DRAM 専用クロック (SDRAM )として使用します。連続シンクロナス DRAM 空間のバス仕様は、エリア 2 の設定に従います。連続シンクロナス DRAM 空間に対する端子ウェイト、プログラムウェイトは無効となります。

$\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$  およびカラムアドレスの上位に出力されるアドレスプリチャージ設定コマンド (Prechrg-sel) を組み合わせることにより、シンクロナス DRAM に対するコマンドが指定されます。

本 LSI がサポートするコマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロブ・バンクアクティブ (ACTV)、リード (READ)、ライト (WRIT)、モードレジスタ書き込み (MRS) です。バンク制御を行うコマンドは使用できません。

## 6. バスコントローラ (BSC)

### 6.7.2 アドレスマルチプレクス

連続シンクロナス DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、DRAMCR の MXC2 ~ MXC0 ビットによりロウアドレスのシフト量を選択します。また、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Prechrge-sel) を出力することができます。表 6.8 に MXC2 ~ MXC0 ビットの設定値とシフト量の関係を示します。シンクロナス DRAM インタフェースのときは MXC2 ビットに 1 を設定してください。

表 6.8 MXC2 ~ MXC0 とアドレスマルチプレクスの関係

	DRAMCR			シフト量	アドレス端子																	
	MXC2	MXC1	MXC0		A23 ~ A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
ロウ アドレス	0	x	x		リザーブ (設定禁止)																	
	1	0	0	8ビット	A23 ~ A16	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	
			1	9ビット	A23 ~ A16	A15	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	
		1	0	10ビット	A23 ~ A16	A15	A14	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	
			1	11ビット	A23 ~ A16	A15	A14	A13	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	
カラム アドレス	0	x	x		リザーブ (設定禁止)																	
	1	0	0	—	A23 ~ A16	P	P	P	P	P	P	P	P	A8	A7	A6	A5	A4	A3	A2	A1	A0
			1	—	A23 ~ A16	P	P	P	P	P	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
		1	0	—	A23 ~ A16	P	P	P	P	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
			1	—	A23 ~ A16	P	P	P	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	

x : don't care

P : Precharge-sel

### 6.7.3 データバス

連続シンクロナス DRAM 空間に設定した場合、ABWCR レジスタの ABW2 ビットを 1 にセットするとエリア 2 ~ 5 は 8 ビット連続シンクロナス DRAM 空間となり、0 にクリアすると 16 ビット連続シンクロナス DRAM 空間となります。16 ビット連続シンクロナス DRAM 空間では、×16 ビット構成のシンクロナス DRAM を直結することができます。

8 ビット連続シンクロナス DRAM 空間では D15 ~ D8 の上位側データバスが有効となり、16 ビット連続シンクロナス DRAM 空間では D15 ~ D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.5.1 データサイズとデータアライメント」を参照してください。

### 6.7.4 シンクロナス DRAM インタフェース使用端子

表 6.9 にシンクロナス DRAM インタフェースで使用する端子と機能を示します。シンクロナス DRAM インタフェースを有効とするためには、DCTL 端子を 1 に固定する必要があります。DCTL 端子は動作中に変化させないでください。

$\overline{CS2} \sim \overline{CS4}$  端子は、リセット後に入力状態になっていますので、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$  信号を出力する場合には対応する DDR を 1 にセットしてください。詳細は「第 10 章 I/O ポート」を参照してください。また、CKE 信号を出力する場合には DRAMCR レジスタの OEE ビットを 1 にセットしてください。

表 6.9 シンクロナス DRAM インタフェース端子構成

端子	シンクロナス DRAM 設定時	名称	入出力	機能
$\overline{CS2}$	$\overline{RAS}$	ロウアドレスストロープ	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのロウアドレスストロープ
$\overline{CS3}$	$\overline{CAS}$	カラムアドレスストロープ	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのカラムアドレスストロープ
$\overline{CS4}$	$\overline{WE}$	ライトイネーブル	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのライトイネーブル
$\overline{CS5}$	SDRAM	クロック	出力	シンクロナス DRAM 専用クロック
$(\overline{OE})$	(CKE)	クロックイネーブル	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのクロックイネーブル
$\overline{UCAS}$	DQMU	アッパーデータマスキイネーブル	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のアッパーデータマスキイネーブル/8 ビット連続シンクロナス DRAM 空間アクセス時のデータマスキイネーブル
$\overline{LCAS}$	DQML	ロウアーデータマスキイネーブル	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のロウアーデータマスキイネーブル
A15 ~ A0	A15 ~ A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力端子
D15 ~ D0	D15 ~ D0	データ端子	入出力	データ入出力端子
DCTL	DCTL	デバイスコントロール端子	入力	SDRAM の出力イネーブル端子

### 6.7.5 シンクロナス DRAM 専用クロック

DCTL 端子を 1 に固定すると、 $\overline{CS5}$  端子よりシンクロナス専用クロック (SDRAM ) が出力されます。SDRAM は本 LSI の PLL 回路の周波数通倍率を  $\times 1$  または  $\times 2$  に設定した場合、 $\overline{CS5}$  に対して  $90^\circ$  位相が進んで出力されます。そのため、クロックの立ち上がりエッジで動作するシンクロナス DRAM に対して安定したマージンを確保することができます。このときの  $\overline{CS5}$  と SDRAM の関係を図 6.43 に示します。なお、PLL 回路の周波数通倍率を  $\times 4$  とした場合、SDRAM と  $\overline{CS5}$  の位相は同相となります。

本 LSI の SDRAM にシンクロナス DRAM の CLK 端子を直結して使用する場合には、PLL 回路の周波数通倍率を  $\times 1$  または  $\times 2$  に設定することを推奨いたします。

【注】本文中の SDRAM の出力タイミングは PLL 回路の周波数通倍率が  $\times 1$  または  $\times 2$  の場合です。

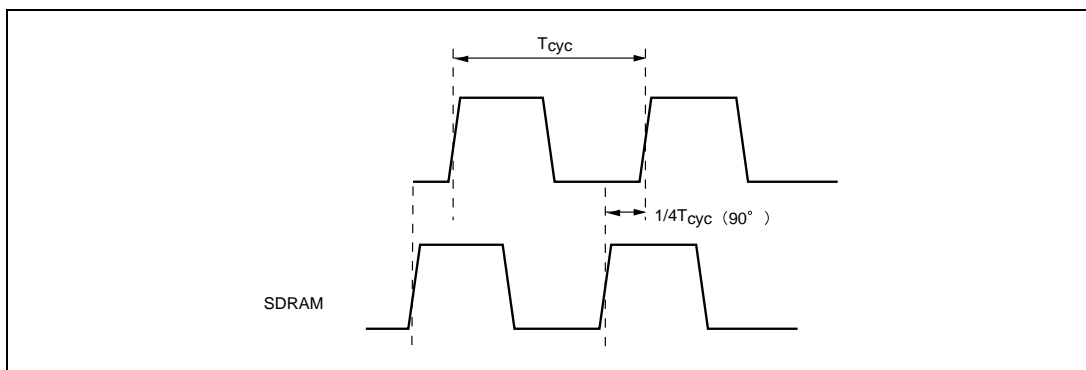


図 6.43  $\overline{CS5}$  と SDRAM の関係 (PLL 周波数通倍率  $\times 1$ 、 $\times 2$  の場合)

### 6.7.6 基本動作タイミング

基本タイミングは  $T_p$  (プリチャージサイクル) 1 ステート、 $T_r$  (ロウアドレス出力サイクル) 1 ステート、 $T_{c1}$ 、 $T_{c2}$  (コラムアドレス出力サイクル) 2 ステートで構成されています。

エリア 2~5 を連続シンクロナス DRAM 空間に設定した場合、BCR の WAITE ビット、DRAMCR の RAST、CAST、RCDM ビット、REFCR の CBRM ビットの設定は無視されます。

シンクロナス DRAM の基本タイミングを図 6.44 に示します。

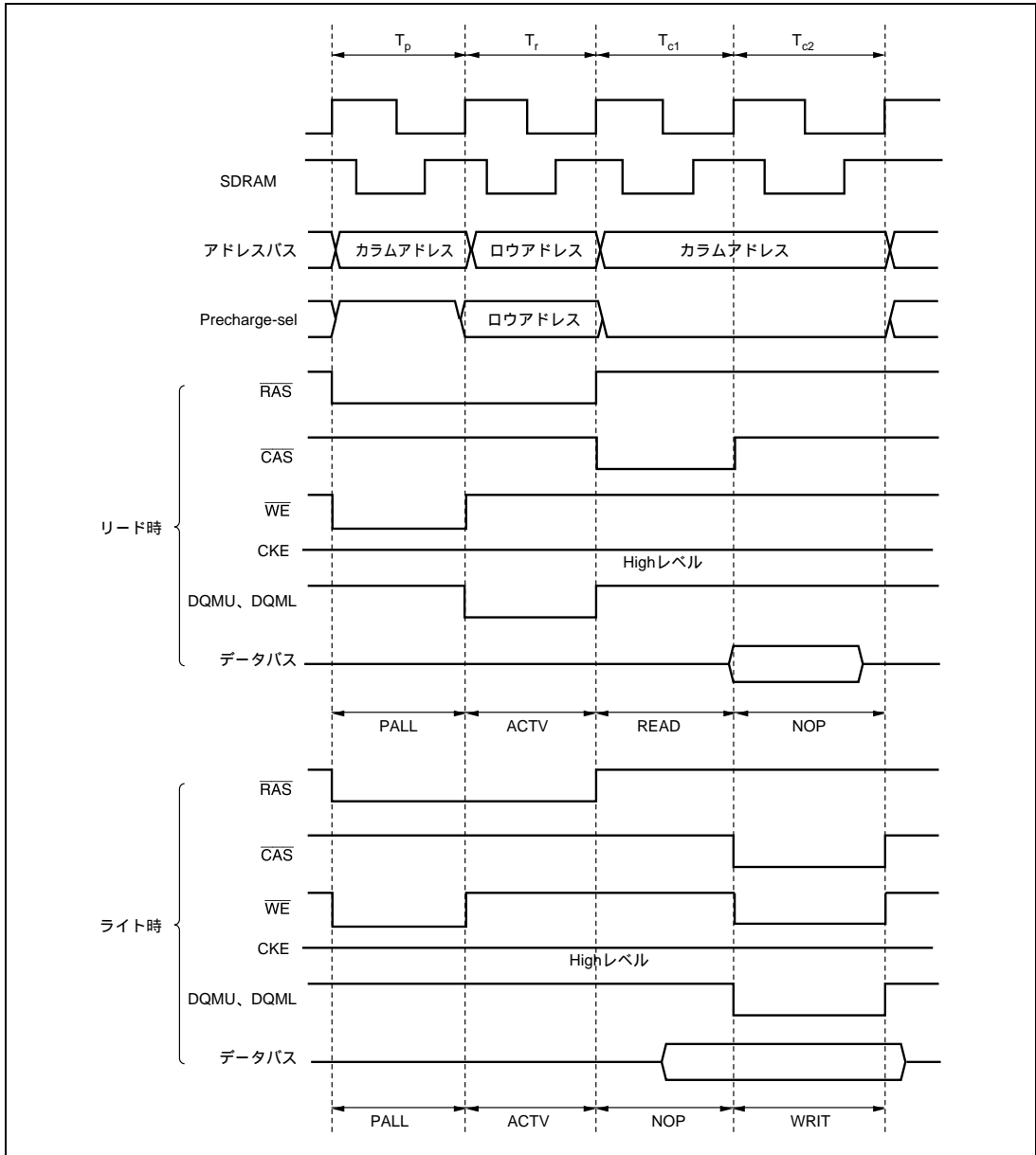


図 6.44 シンクロナス DRAM 基本アクセスタイミング (CAS レイテンシ 1 の場合)

## 6. バスコントローラ (BSC)

---

### 6.7.7 CAS レイテンシ制御

CAS レイテンシの制御は WTCRBH の W22 ~ W20 ビットの設定で行います。シンクロナス DRAM の設定により、表 6.10 のように CAS レイテンシ数を設定してください。設定に応じて、CAS レイテンシ制御サイクル (Tcl) が挿入されます。このとき ASTCR の AST2 ビットの設定に関係なく WTCRB レジスタの設定が可能です。例として CAS レイテンシ 3 のシンクロナス DRAM を接続したときの CAS レイテンシ制御タイミングを図 6.45 に示します。

W22 ~ W20 の初期値は H'7 となっていますので、接続するシンクロナス DRAM の CAS レイテンシに合わせて設定してください。

表 6.10 CAS レイテンシの設定

W22	W21	W20	説明	CAS レイテンシ制御サイクル挿入数
0	0	0	CAS レイテンシ 1 のシンクロナス DRAM を接続	0 ステート
		1	CAS レイテンシ 2 のシンクロナス DRAM を接続	1 ステート
	1	0	CAS レイテンシ 3 のシンクロナス DRAM を接続	2 ステート
		1	CAS レイテンシ 4 のシンクロナス DRAM を接続	3 ステート
1	0	0	リザーブ (使用禁止)	
		1	リザーブ (使用禁止)	
	1	0	リザーブ (使用禁止)	
		1	リザーブ (使用禁止)	

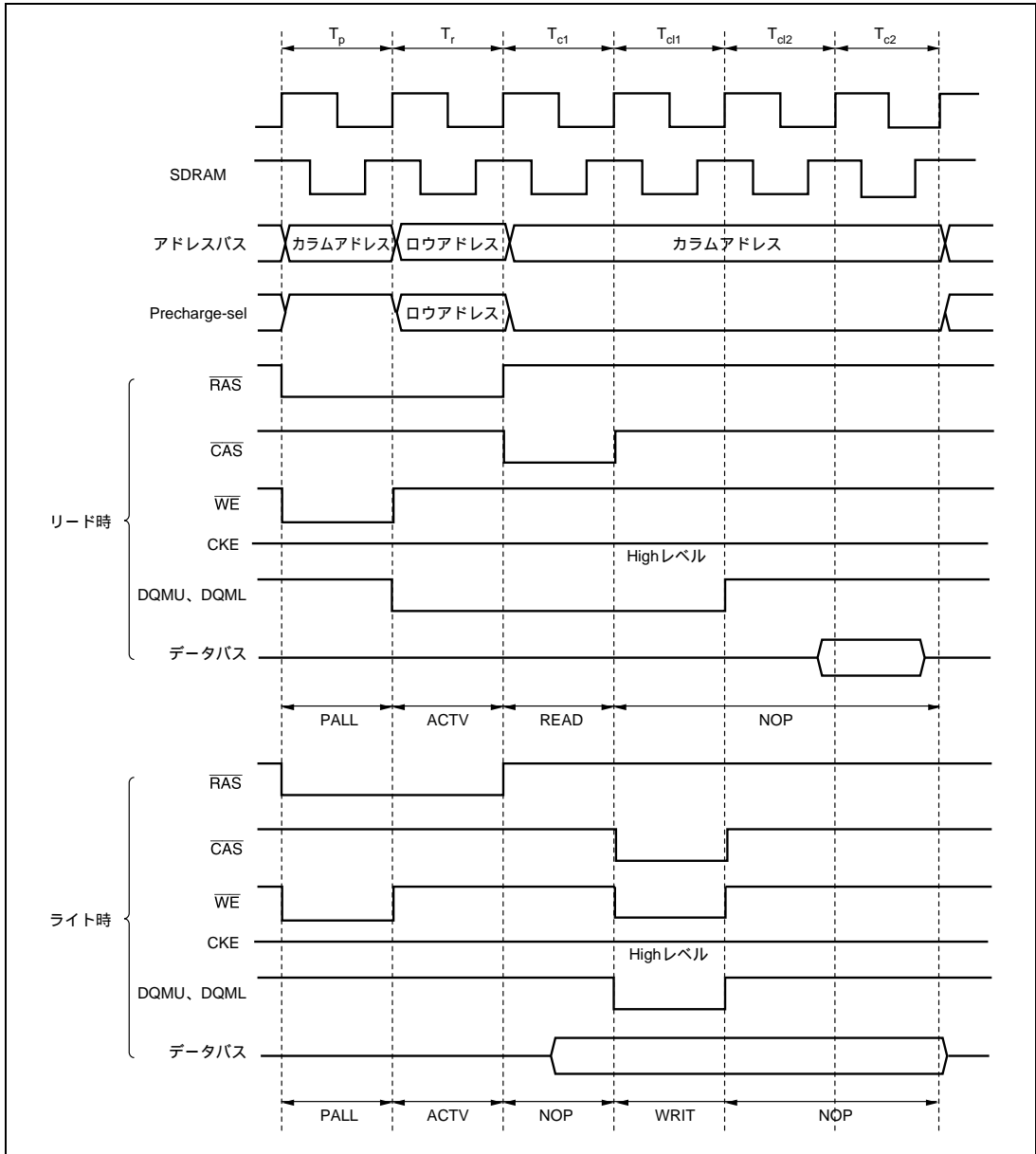


図 6.45 CAS レイテンシ制御タイミング (SDWCD = 0、CAS レイテンシ 3 の場合)

### 6.7.8 ロウアドレス出力ステート制御

ACTV コマンドから次の READ/WRITE コマンドまでのコマンド間隔規定を満たすことができない場合には、DRACCR の RCD1、RCD0 ビットを設定することにより、ACTV コマンドが出力される  $T_r$  サイクルとカラムアドレスが出力される  $T_{c1}$  サイクルの間に NOP コマンドが出力されるステート ( $T_{rw}$ ) を 1~3 ステート挿入することが可能です。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、ウェイト時間が最適になるように設定してください。図 6.46 に  $T_{rw}$  を 1 ステート設定したときのタイミングを示します。

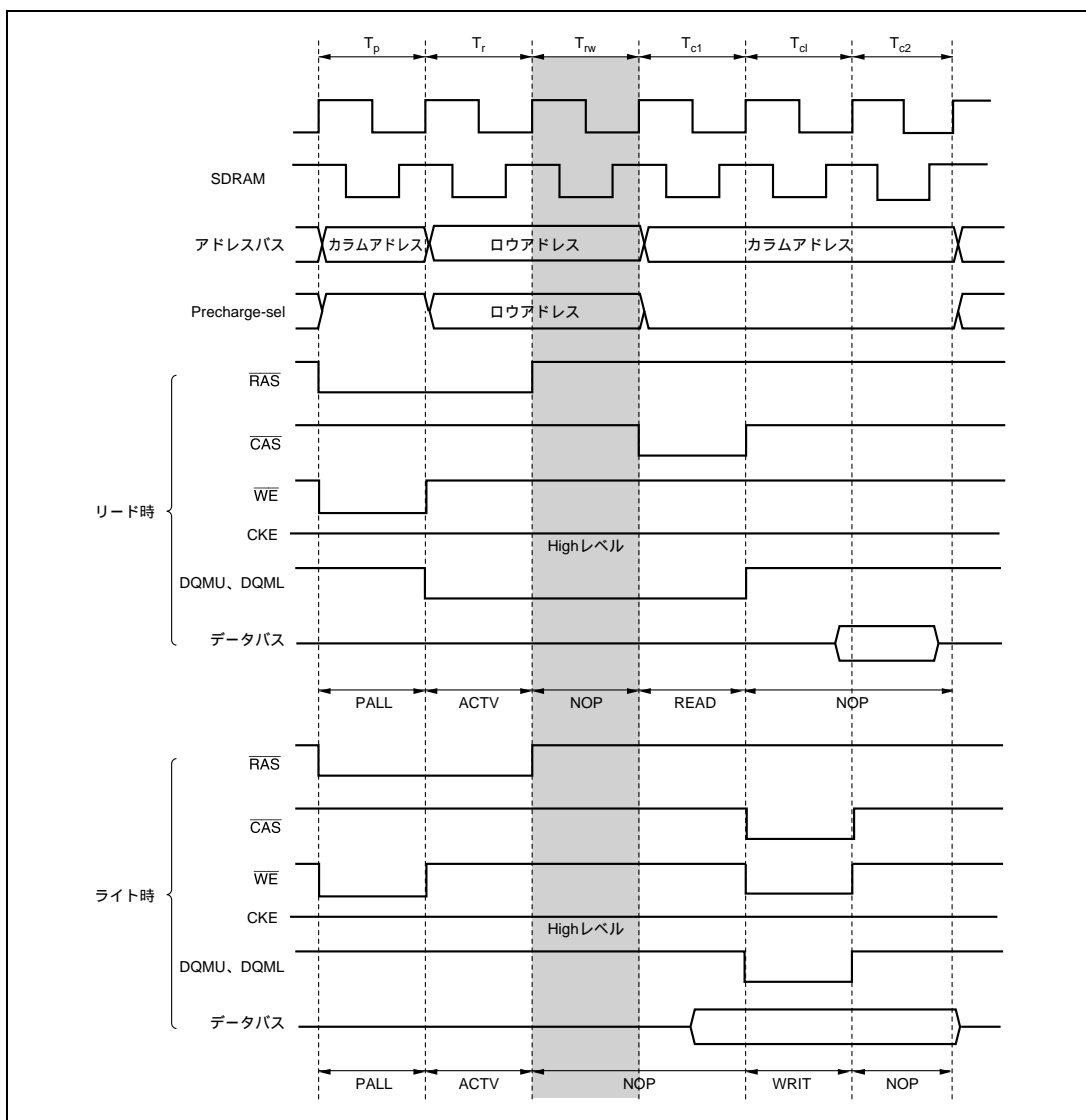


図 6.46 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例  
(RCD1 = 0、RCD0 = 1、SDWCD = 0、CAS レイテンシ 2 の場合)



## 6.7.9 プリチャージサイクル数

PALL コマンドから次の ACTV/REF コマンドまでの間隔規定を満たすことができない場合には、DRACCR の TPC1、TPC0 ビットを設定することにより、 $T_p$  サイクルを 1 ステートから 4 ステートの範囲で変更することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適な  $T_p$  サイクル数を設定してください。図 6.47 に  $T_p$  を 2 ステートとしたときのタイミングを示します。

TPC1、TPC0 ビットの設定は、リフレッシュサイクルの  $T_p$  にも有効です。

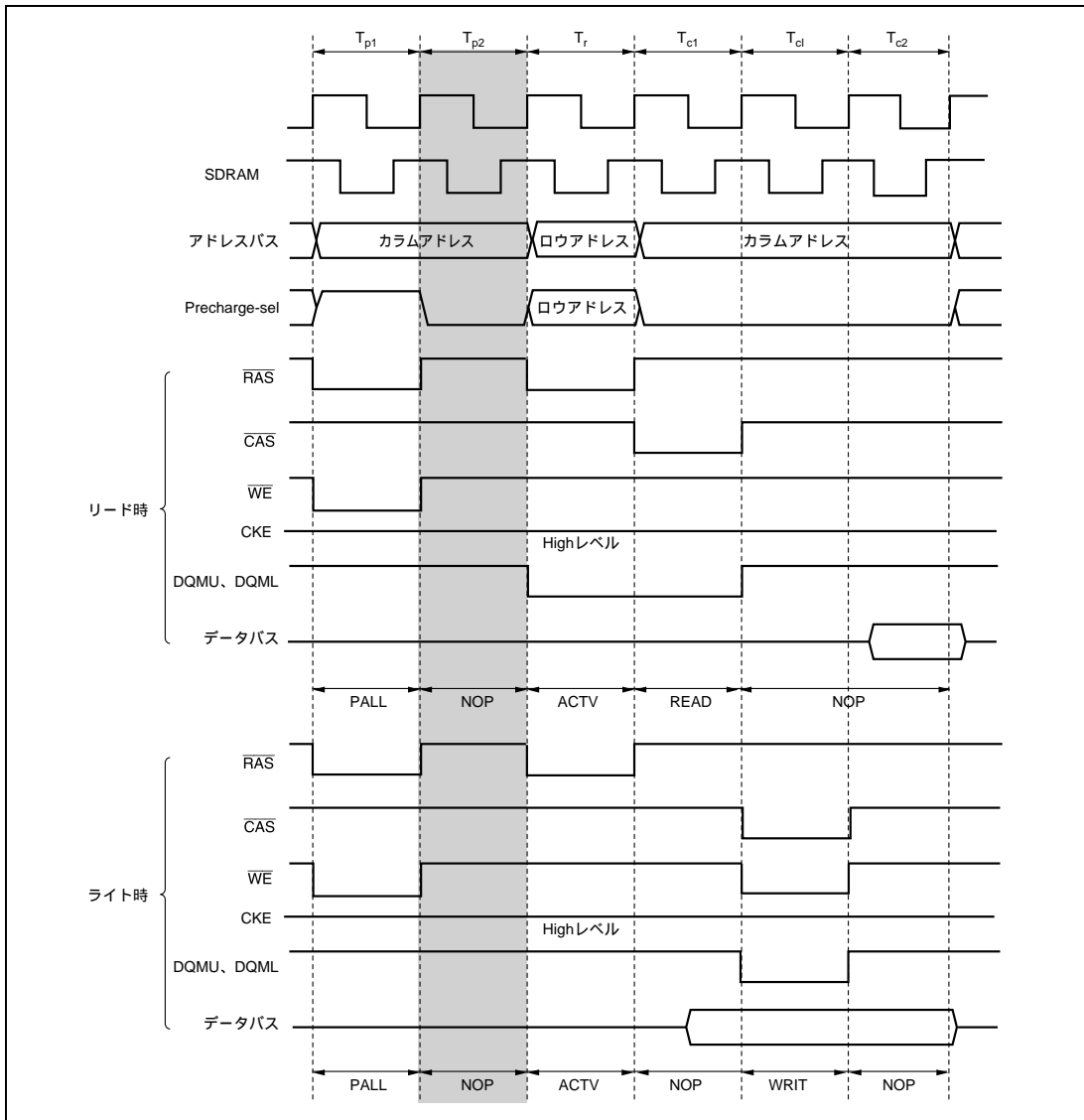


図 6.47 プリチャージサイクル 2 ステート時のタイミング例  
(TPC1 = 0、TPC0 = 1、SDWCD = 0、CAS レイテンシ 2 の場合)

### 6.7.10 ライトサイクル時のバスサイクル制御

DRACCR の SDWCD ビットを 1 にセットすると、シンクロナス DRAM のライトアクセス時に WTCRB により挿入される CAS レイテンシ制御サイクル ( $T_{cl}$ ) を無効にすることができます。CAS レイテンシ制御サイクルを無効にするとシンクロナス DRAM のリードアクセスに比べ、ライトアクセスのサイクル数を減らすことができます。CAS レイテンシ制御サイクルを無効としたときのライトアクセスタイミング例を図 6.48 に示します。

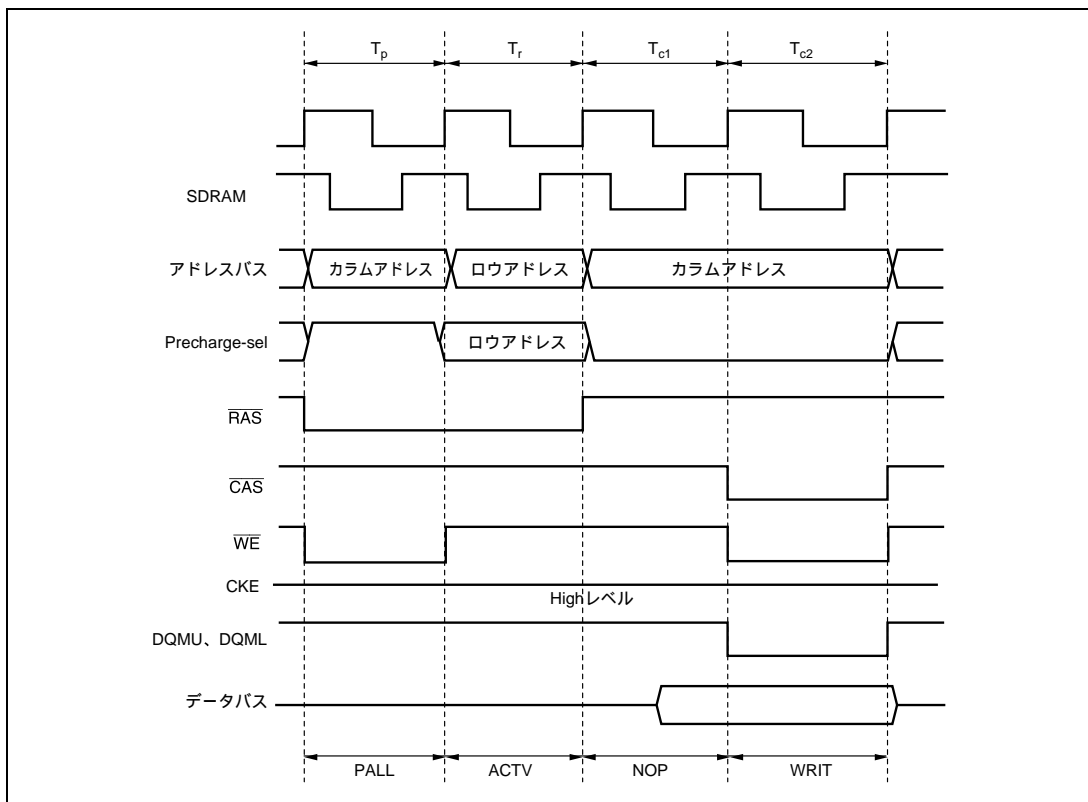


図 6.48 CAS レイテンシ制御サイクルを無効にしたときのライトアクセスタイミング例 (SDWCD = 1 の場合)

## 6.7.11 バイトアクセス制御

×16ビット構成のシンクロナス DRAM を接続するとき、DQMU、DQML を制御してバイトアクセスを行うことができます。

図 6.49、図 6.50 に DQM の制御タイミングを示します。また図 6.51 に DQMU、DQML によりバイト制御を行うときの接続例を示します。

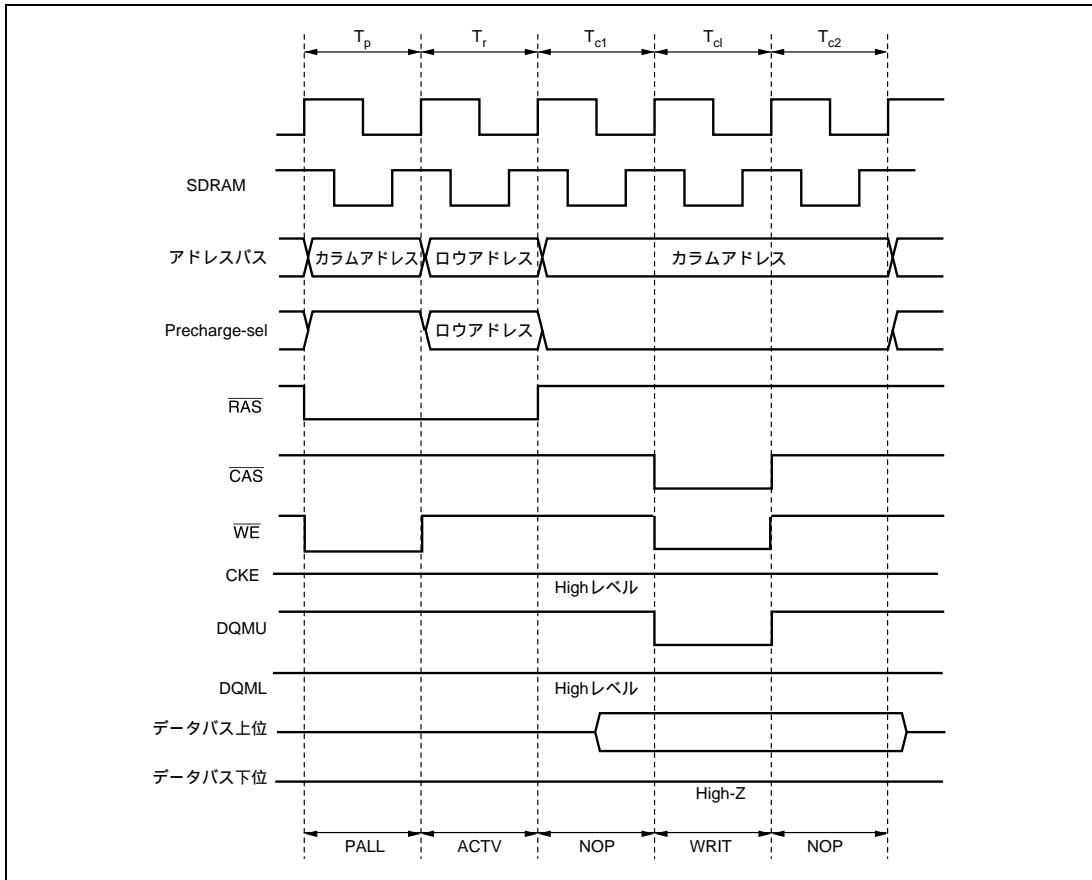


図 6.49 DQMU、DQML による制御タイミング  
(上位バイトライトアクセス時、SDWCD=0 の場合、CAS レイテンシ 2 の場合)

6. バスコントローラ (BSC)

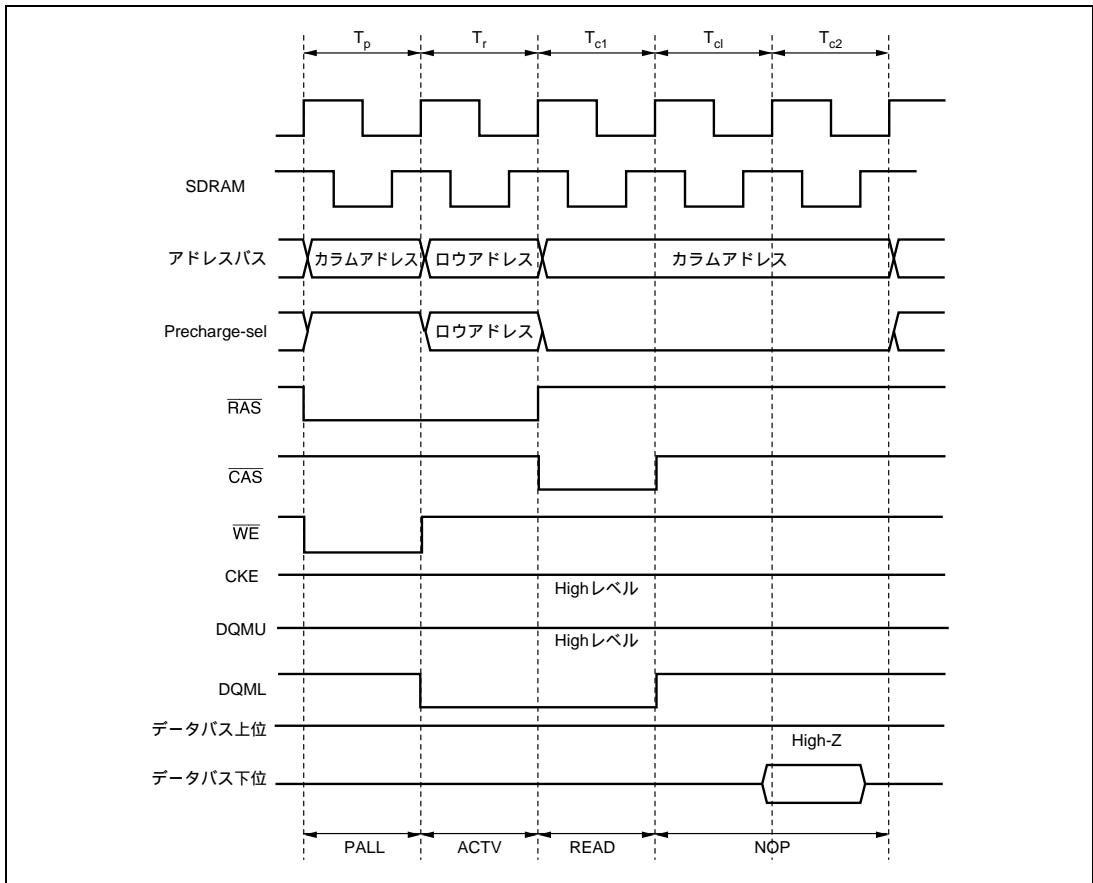


図 6.50 DQMU、DQML による制御タイミング  
(下位バイトリードアクセス時、CAS レイテンシ 2 の場合)

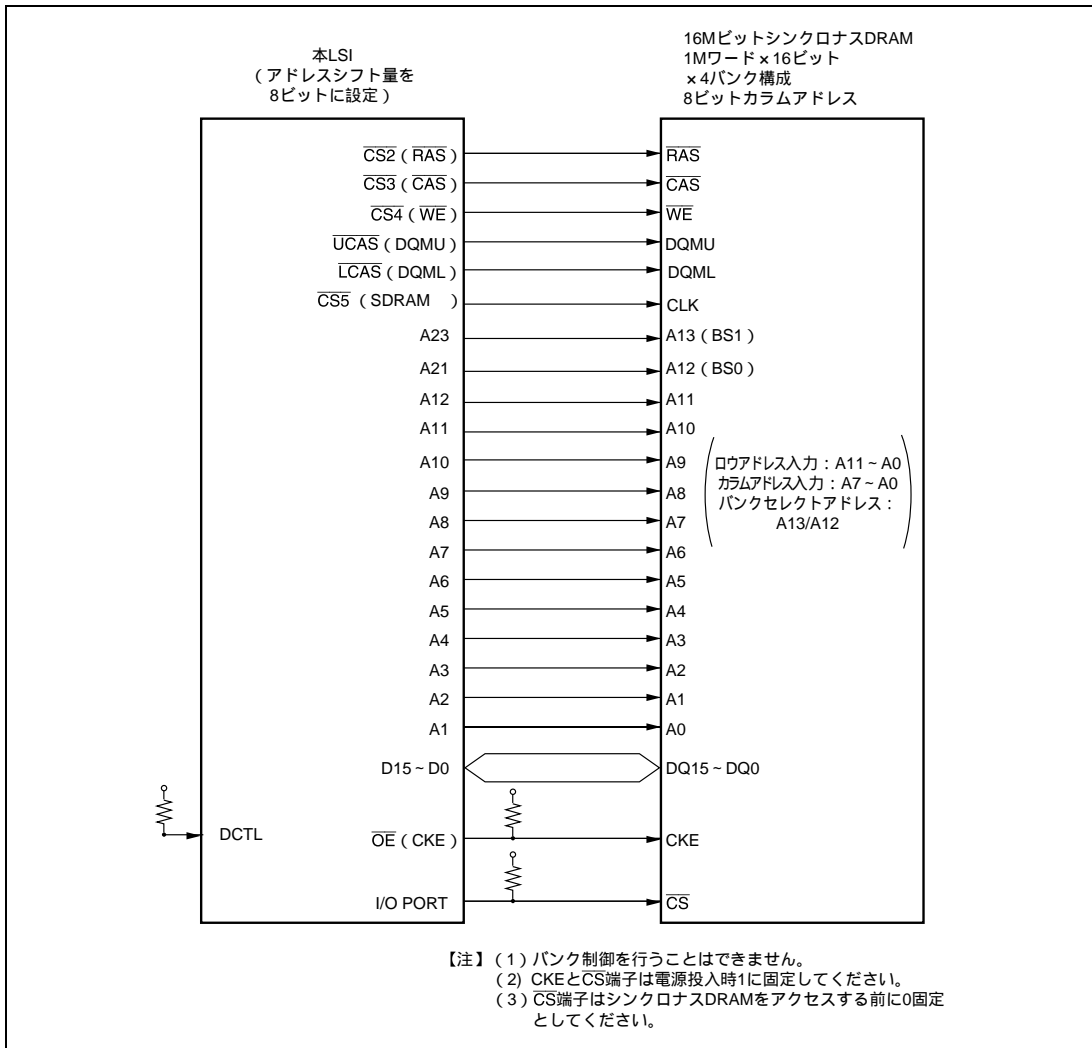


図 6.51 DQMU、DQML によるバイト制御の接続例

### 6.7.12 パースト動作

シンクロナス DRAM では、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス ( ノーマルアクセス ) の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセスできるパーストアクセスがあります。DRAMCR の BE ビットを 1 にセットすることにより、パーストアクセスを選択することができます。

シンクロナス DRAM をリードする際の DQM は常に 2 サイクルのレイテンシがあります。このために、CAS レイテンシを 1 に設定して READ コマンドを発行する場合、2 回目以降のカラムアドレスに対して Tc1 サイクルを直ちに行くと、Tc2 サイクルのデータ出力に対する DQM 信号の指定が行えません。したがって、CAS レイテン

## 6. バスコントローラ (BSC)

シ 1 のシンクロナス DRAM を接続するときは、BE ビットを 1 に設定しないでください。

### (1) パーストアクセスの動作タイミング

図 6.52 にパーストアクセスの動作タイミングを示します。連続シンクロナス DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、カラムアドレスの出力サイクルが連続して行なわれます。比較対象となるロウアドレスは DRAMCR レジスタの MXC2 ~ MXC0 ビットにより設定します。

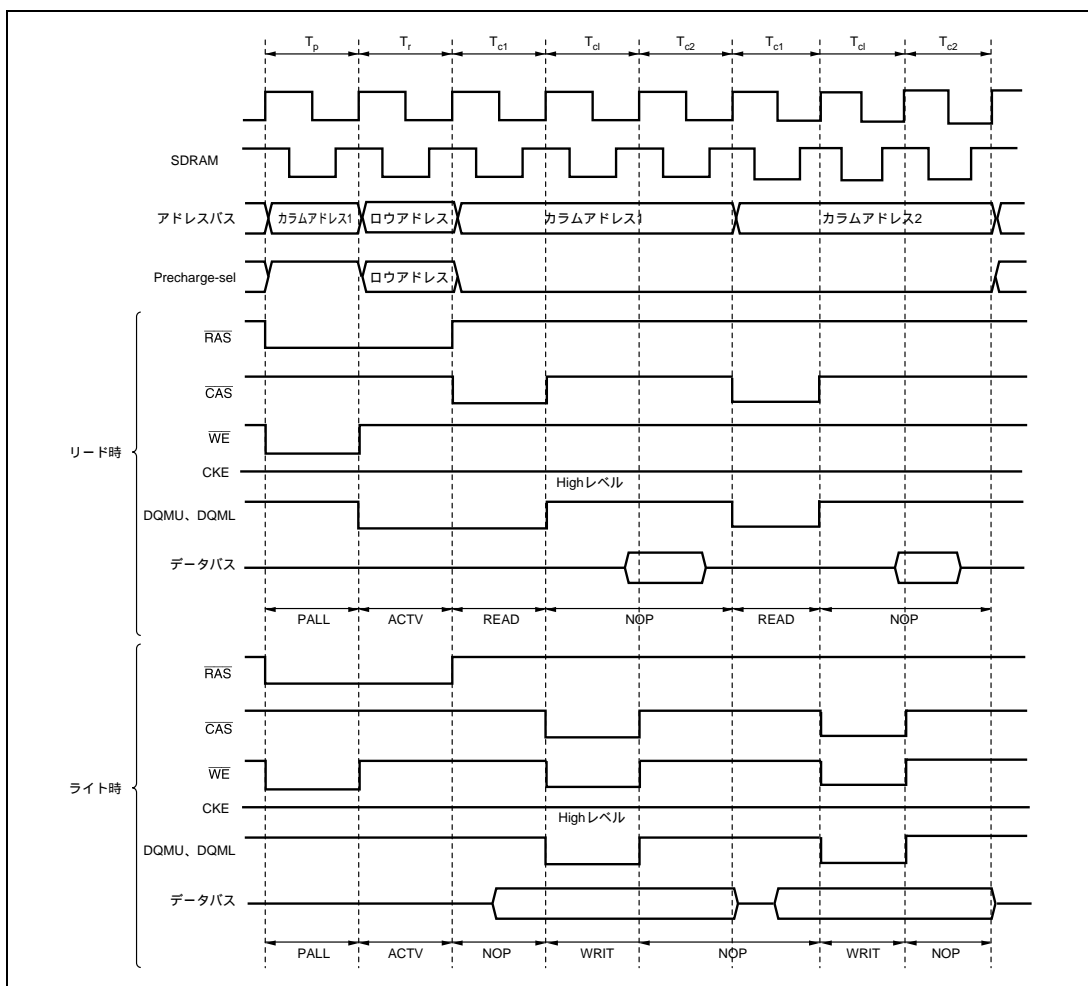


図 6.52 パーストアクセスの動作タイミング  
(BE = 1、SDWCD = 0、CAS レイテンシ 2 の場合)

## (2) RAS ダウンモード

バースト動作を選択していても、連続シンクロナス DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間もロウアドレスのアクティブ状態が保持され、DRAM の RAS ダウンモードと同様に ACTV コマンドを発生せずにリードまたはライトコマンドを発行することができます。

DRAMCR の BE ビットを 1 にセットすると、RCDM ビットの設定によらず RAS ダウンモードが選択されます。DRAM の RAS アップモードに相当する動作は本 LSI ではサポートしていません。

図 6.53 に RAS ダウンモードのタイミング例を示します。ただし、以下の状態に遷移した場合、次の連続シンクロナス DRAM 空間のアクセスはフルアクセスとなります。

- リフレッシュ動作が RAS ダウン中に入る場合
- セルフリフレッシュが行われた場合
- ソフトウェアスタンバイモードへ遷移する場合
- 外部バスを開放する場合
- BE ビットを 0 にクリアした場合
- シンクロナス DRAM のモードレジスタ設定を行った場合

各バンクをアクティブ状態にしておける時間に制限のあるシンクロナス DRAM が存在します。この場合、プログラムの実行によってこの値を守る周期で、別のロウアドレスにアクセスする保証がない場合 (ソフトウェアスタンバイ、スリープ等)、オートリフレッシュまたはセルフリフレッシュを行う設定にし、各バンクの最大アクティブ状態時間の制約を満たす必要があります。リフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムで行う必要があります。

## 6. バスコントローラ (BSC)

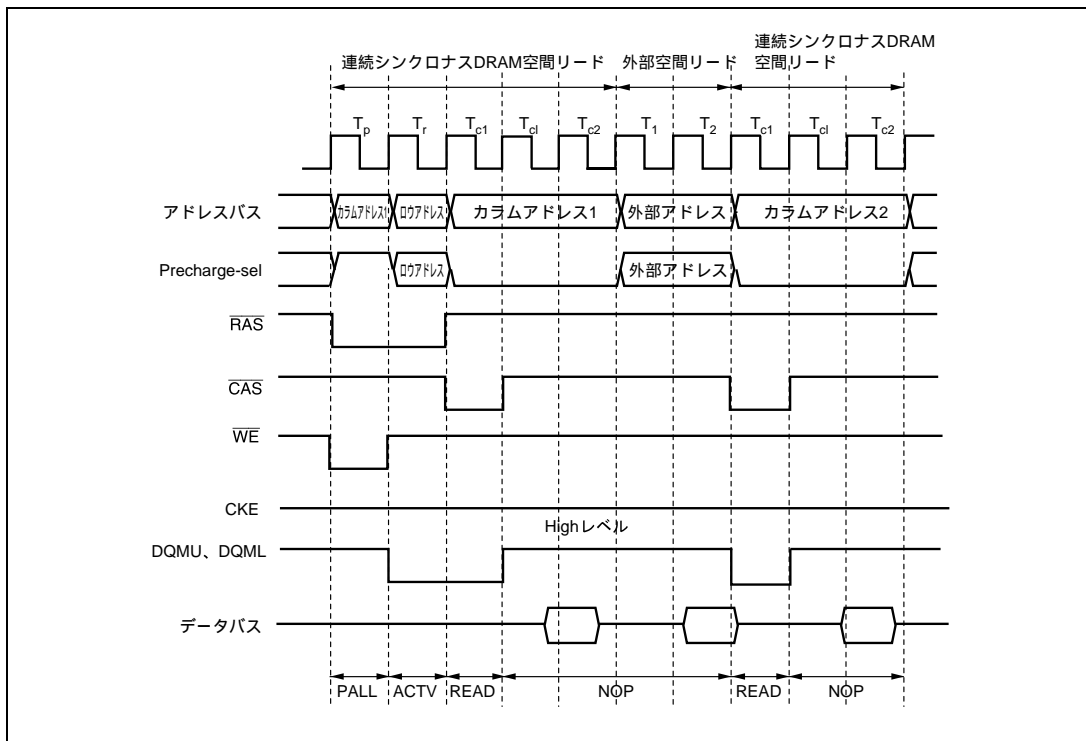


図 6.53 RAS ダウンモードの動作タイミング例  
(BE = 1、CAS レイテンシ 2 の場合)

### 6.7.13 リフレッシュ制御

本 LSI は、シンクロナス DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、オートリフレッシュです。また、ソフトウェアスタンバイ状態に遷移するときにセルフリフレッシュを実行することができます。リフレッシュ制御は、DRAMCR の RMTS2 ~ RMTS0 ビットの設定により、連続シンクロナス DRAM 空間に設定した場合に有効です。

#### (1) オートリフレッシュ

オートリフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

オートリフレッシュでは、REFCR の RTCK2 ~ RTCK0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2 ~ RTCK0 ビットで決まる一定間隔で繰り返されます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2 ~ RTCK0 ビットの値を設定してください。

RTCK2 ~ RTCK0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、RTCK2 ~ RTCK0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行なってください。図 6.54 にオートリフレッシュのタイミングを示します。



リフレッシュカウンタの動作は DRAM インタフェースと同様ですので、詳細は「6.6.12 リフレッシュ制御」を参照してください。

また、連続シンクロナス DRAM 空間を設定したときは、REFCR レジスタの CBRM ビットの設定は無視されるため、オートリフレッシュと連続シンクロナス DRAM 空間以外の外部アドレス空間アクセスを並行して行うことはできません。

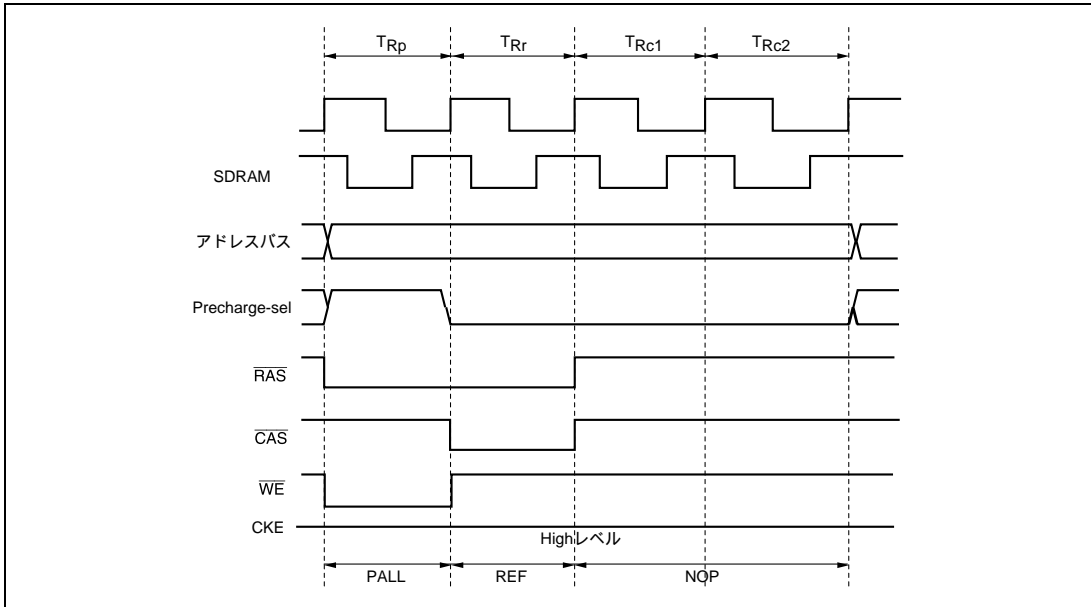


図 6.54 オートリフレッシュタイミング

PALL コマンドから REF コマンドまでの間隔規定を満たすことができない場合には、REFCR の RCW1、RCW0 ビットを設定することにより、DRACCR の TPC1、TPC0 ビットで設定される  $T_{Rp}$  サイクルに続き、1 ステートから 3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適なウェイト数を設定してください。図 6.55 にウェイトを 1 ステート挿入したときのタイミングを示します。リフレッシュサイクルにおいても DRACCR の TPC1、TPC0 ビットの設定は有効になるため、プリチャージサイクル数に続き RCW1、RCW0 ビットによりさらにコマンド間隔を引き延ばすことができます。

## 6. バスコントローラ (BSC)

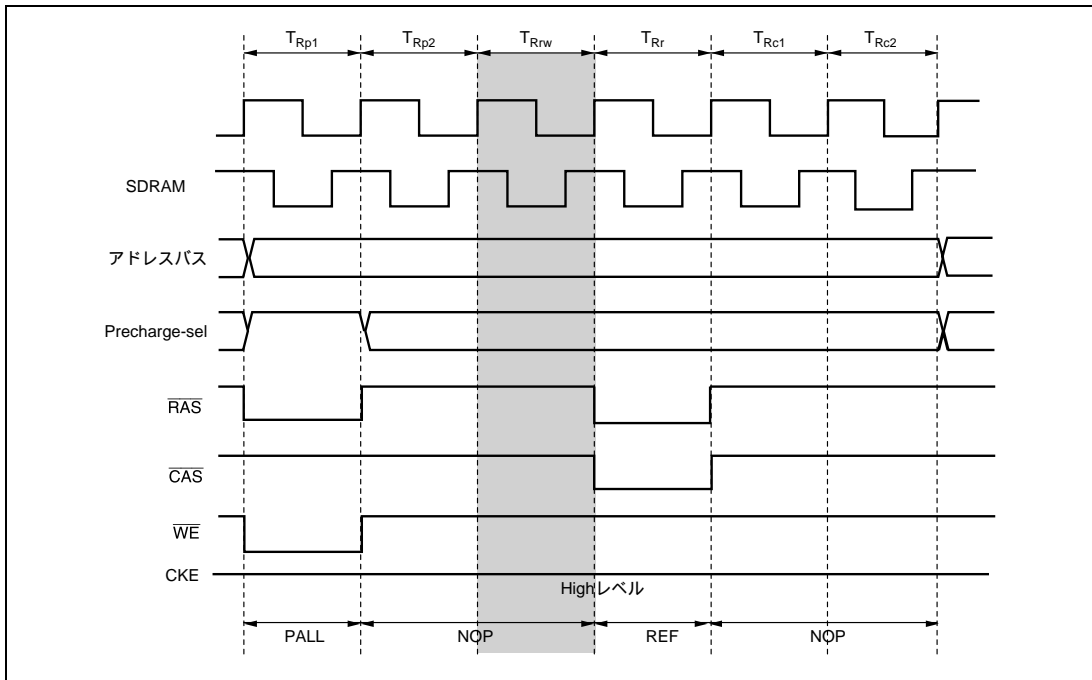


図 6.55 オートリフレッシュタイミング  
( $TPC = 1$ 、 $TPC0 = 1$ 、 $RCW1 = 0$ 、 $RCW0 = 1$  の場合)

REF コマンドから次の ACTV までの間隔規定を満たすことのできない場合には、REFCR の RLW1、RLW0 ビットを設定することにより、リフレッシュサイクルに 1 ステートから 3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適なウェイト数を設定してください。図 6.56 に 1 ステートのウェイトを挿入したときのタイミングを示します。

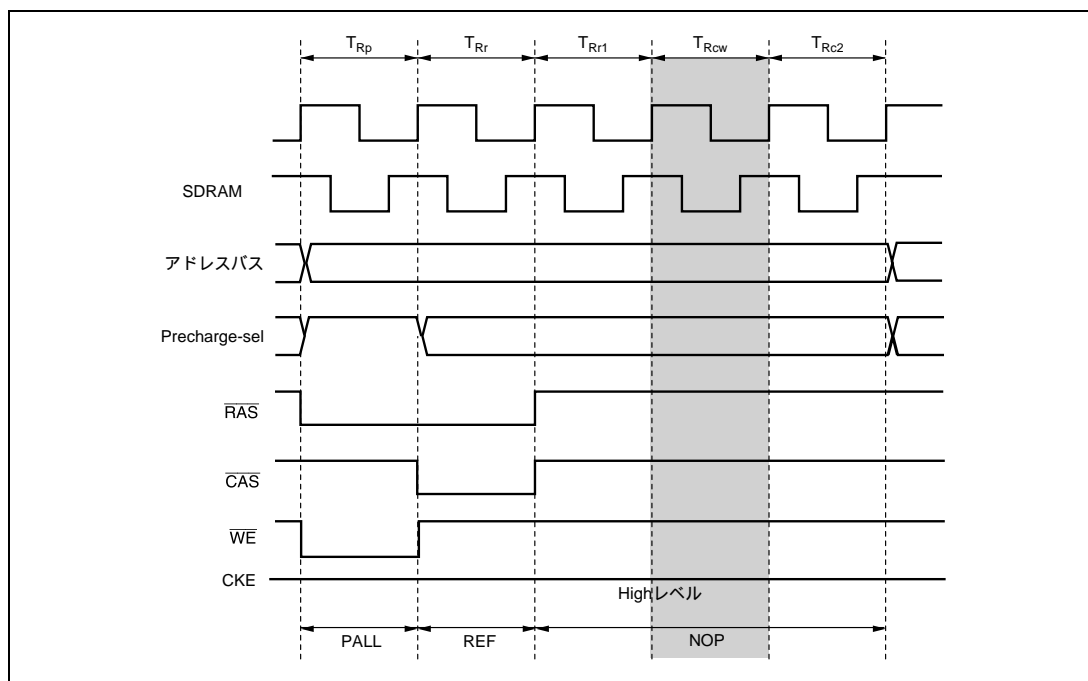


図 6.56 オートリフレッシュタイミング  
(TPC = 0、TPC0 = 0、RLW1 = 0、RLW0 = 1 の場合)

## (2) セルフリフレッシュ

シンクロナス DRAM には、スタンバイモードの一種として、シンクロナス DRAM 内でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに移行するための SLEEP 命令を実行すると、図 6.57 に示すように SELF コマンドが発行されます。

ソフトウェアスタンバイモードを解除すると、REFCR の SLFRF ビットが 0 にクリアされ、セルフリフレッシュモードが自動的に解除されます。ソフトウェアスタンバイモードに移行する場合、オートリフレッシュ要求があると、オートリフレッシュを実行した後セルフリフレッシュモードに入ります。

セルフリフレッシュモードを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

## 6. バスコントローラ (BSC)

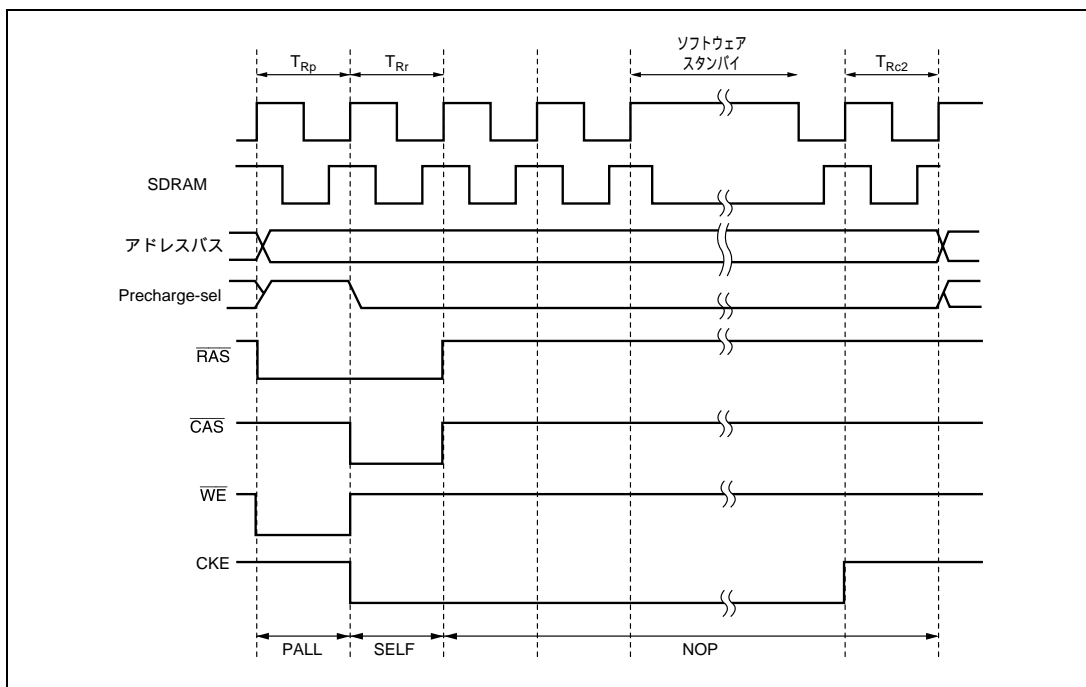


図 6.57 セルフリフレッシュタイミング  
(TPC1=1、TPC0=0、RCW1=0、RCW0=0、RLW1=0、RLW0=0の場合)

また、セルフリフレッシュモードを備えるシンクロナス DRAM の中には、セルフリフレッシュの解除から次のコマンドまでの間隔規定のあるものが存在します。REFCR の TPCS2~TPCS0 ビットを設定することにより、セルフリフレッシュ解除後のプリチャージ時間より 1~7 ステート増加することが可能です。この場合にも、DRACCR の TPC1、TPC0 ビットの設定にしたがった通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。図 6.58 にセルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例を示します。

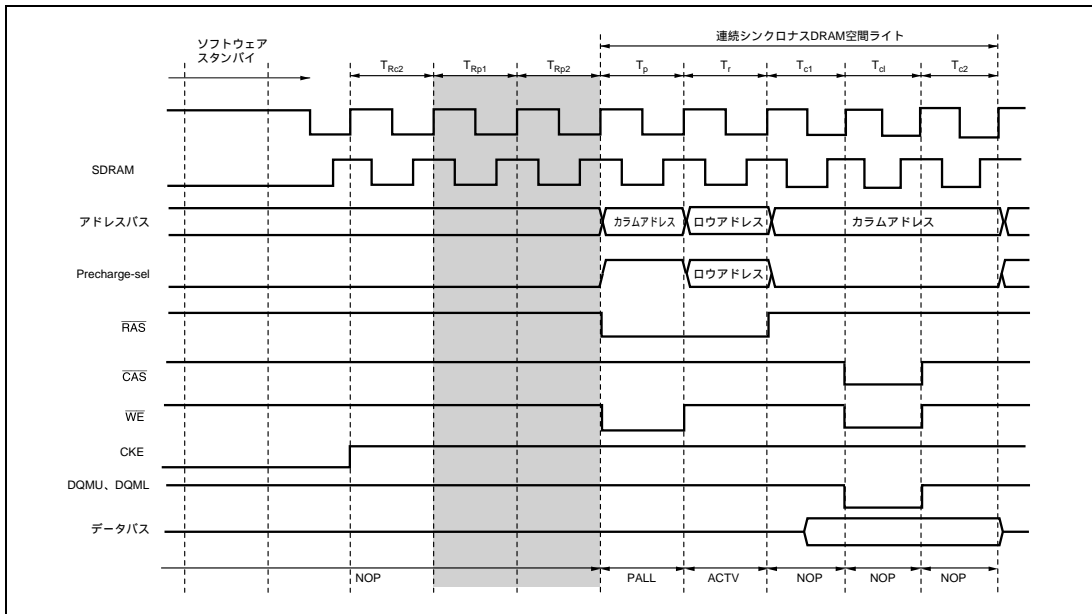


図 6.58 セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例  
(TPCS2 ~ TPCS0 = H'2、TPC1 = 0、TPC0 = 0、CAS レイテンシ 2 の場合)

### (3) リフレッシュと全モジュールクロックストップモード

本 LSI は MSTPCRH レジスタの ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE) で SLEEP 命令を実行しスリープ状態へ移行すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ移行します。

このモードではバスコントローラもクロックが停止しますので、オートリフレッシュも実行されません。外部アドレス空間にシンクロナス DRAM を接続し、スリープモードを行う場合には MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。

### (4) ソフトウェアスタンバイ

通常のソフトウェアスタンバイに遷移する時は PALL コマンドは出力されません。したがってシンクロナス DRAM を接続してソフトウェアスタンバイを行う場合にはセルフリフレッシュを設定してください。

## 6.7.14 シンクロナス DRAM のモードレジスタ設定

シンクロナス DRAM を使用するためには、パワーオン後、モードの設定を行う必要があります。モードの設定は DRAMCR の RMTS2 ~ RMTS0 ビットを H'5 に設定し、シンクロナス DRAM モードレジスタの設定を有効にします。その後、連続シンクロナス DRAM 空間をバイトアクセスします。シンクロナス DRAM モードレジスタに設定したい値を X とすると、8 ビットバス構成のシンクロナス DRAM では H'400000+X 番地の連続シンクロナス DRAM 空間に、16 ビットバス構成のシンクロナス DRAM では H'400000+2X 番地の連続シンクロナス DRAM 空間に書き込みを行うことで値 X がシンクロナス DRAM のモードレジスタに設定されます。

## 6. バスコントローラ (BSC)

シンクロナス DRAM のモードレジスタ設定値は MRS コマンド発行時点のアドレス信号の値が取り込まれます。本 LSI はシンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。シンクロナス DRAM のモードレジスタを設定する際は、バーストリード/シングルライトを設定し、バースト長は 1 としてください。シンクロナス DRAM のモード設定タイミングを図 6.59 に示します。

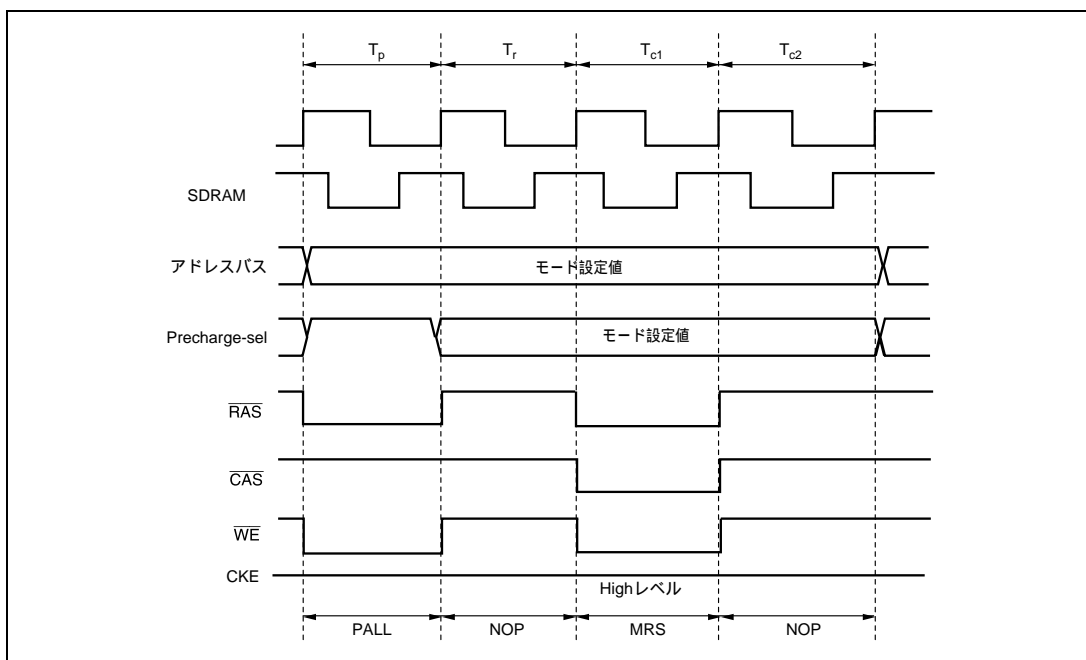


図 6.59 シンクロナス DRAM モード設定タイミング

### 6.7.15 DMAC および EXDMAC のシングルアドレス転送モードとシンクロナス DRAM インタフェース

シンクロナス DRAM インタフェースでバーストモードに設定したとき、DRAMCR の DDS、EDDS ビットによって  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングを選択します。また、同時に DMAC および EXDMAC シングルアドレスモードで連続シンクロナス DRAM 空間をアクセスする場合に、必ずフルアクセス (ノーマルアクセス) を行うかバーストアクセスを許可するか選択します。また、DDS、EDDS ビットの設定によらず、リードデータの確定時間をクロックサスペンドモードにより拡張することができます。

#### (1) $\overline{\text{DACK}}$ または $\overline{\text{EDACK}}$ の出力タイミング

- DDS = 1 または EDDS = 1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングは、シンクロナス DRAM インタフェースの場合  $T_{c1}$  ステートから Low レベルになります。

図 6.60 に、DDS = 1 または EDDS = 1 のときの、シンクロナス DRAM インタフェース時の  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミングを示します。

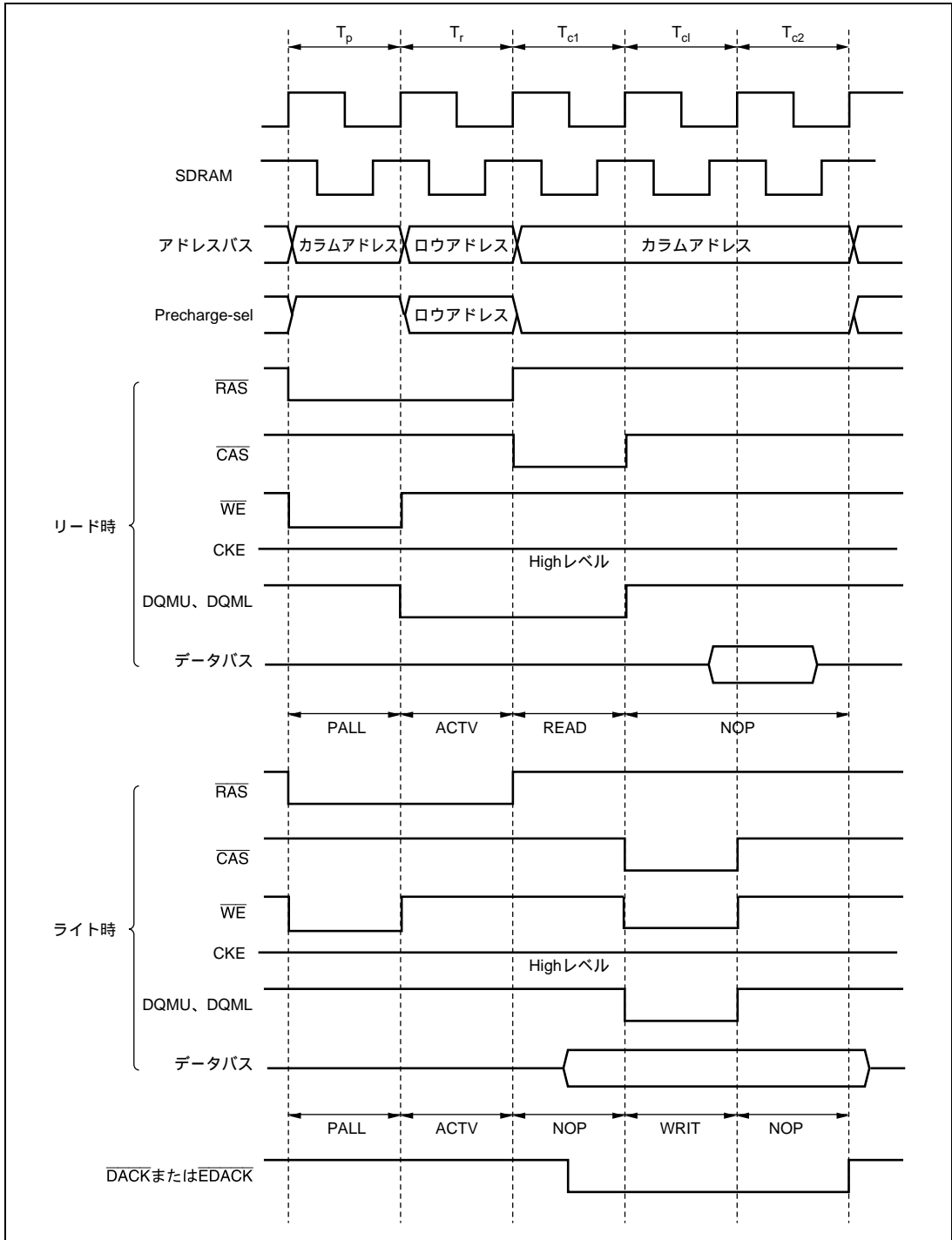


図 6.60 DDS = 1 または EDDS = 1 の場合の  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出カタイミング例

## 6. バスコントローラ (BSC)

---

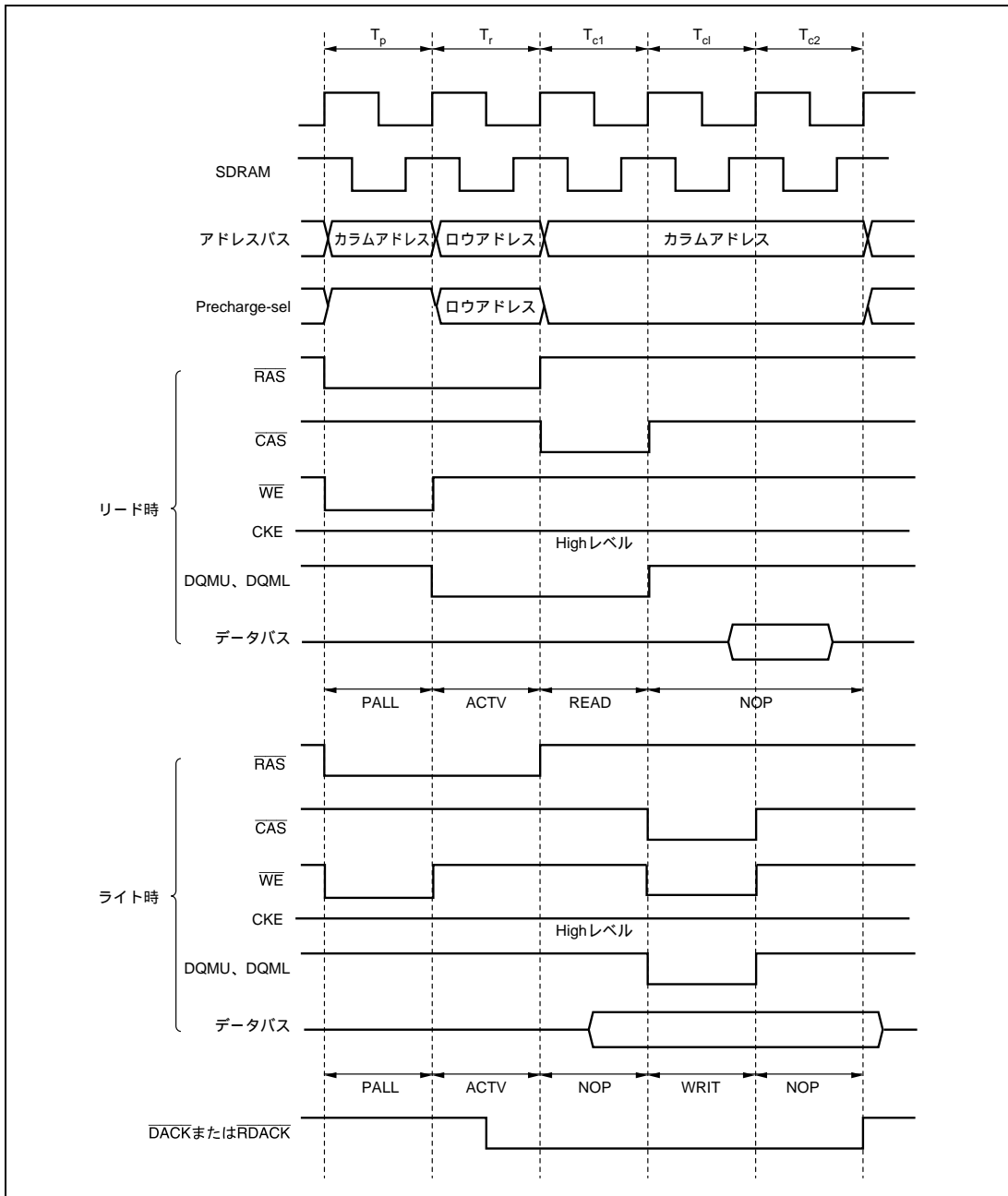
(a) DDS = 0 または EDDS = 0 のとき

DMAC または EXDMAC シングルアドレス転送モードで連続シンクロナス DRAM 空間をアクセスしたとき、必ずフルアクセス (ノーマルアクセス) を行います。また、 $\overline{DACK}$ 、 $\overline{EDACK}$  出力タイミングは、シンクロナス DRAM インタフェースの場合 Tr ステートから Low レベルになります。

DMAC または EXDAC シングルアドレス転送モード以外で、連続シンクロナス DRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.61 に、DDS = 0 または EDDS = 0 の場合の、シンクロナス DRAM インタフェース接続時の  $\overline{DACK}$ 、 $\overline{EDACK}$  出力タイミングを示します。



図 6.61 DDS = 0 または EDDS = 0 の場合の  $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$  出力タイミング例

## (2) リードデータ拡張

DMAC および EXDMAC のシングルアドレス転送モードで連続シクロナス DRAM 空間をリードアクセスする場合に、DRACCR の CKSPE ビットを 1 に設定すると、リードデータの確定時間をクロックサスペンドモードに

## 6. バスコントローラ (BSC)

より拡張することができます。リードデータ拡張サイクル( $T_{sp}$ )の挿入ステート数は DRACCR の RDXC1、RDXC0 ビットにより設定します。リードデータの拡張を行う際は DRAMCR の OEE ビットを 1 に設定してください。リードデータの拡張は DDS、EDDS ビットに依存しません。

図 6.62 にリードデータを 2 サイクル拡張した場合のタイミング図を示します。

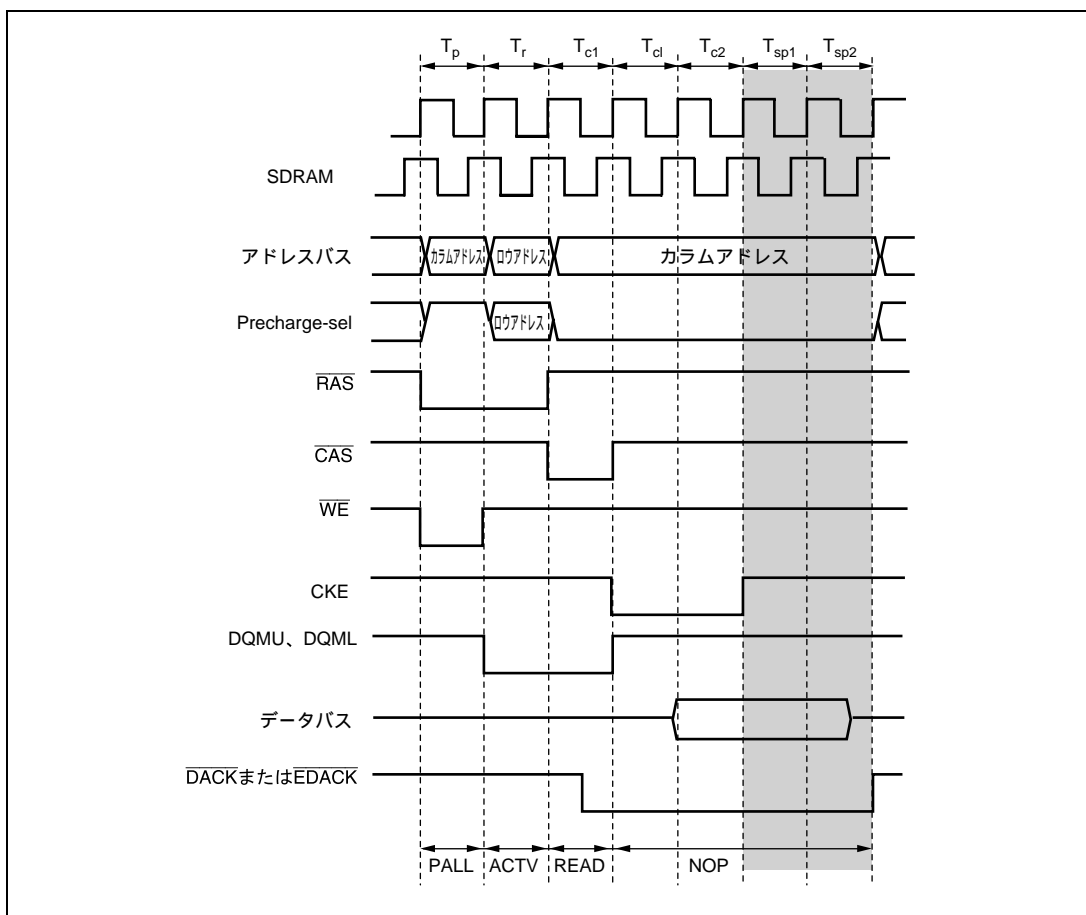


図 6.62 リードデータを 2 ステート拡張した場合のタイミング例  
(DDS = 1 または EDDS = 1、RDXC1 = 0、RDXC0 = 1、CAS レイテンシ 2 の場合)

## 6.8 バースト ROM インタフェース

本 LSI は、エリア 0 およびエリア 1 の外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間では、バーストアクセス可能な ROM を高速にアクセスすることができます。

BROMCR の BSRM1、BSRM0 ビットにより、エリア 1 およびエリア 0 をバースト ROM 空間に設定します。BROMCR の BSWD11、BSWD10 ビットにより、4 ワード/8 ワード/16 ワード/32 ワードの連続バーストアクセスを

行うことができます。バーストアクセスは1ステートから8ステートを選択できます。

エリア0およびエリア1を独立に設定することができます。

バーストROM空間では、CPUによるリードアクセスのみがバーストアクセスの対象となります。

### 6.8.1 基本タイミング

バーストROMインタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数はASTCR、ABWCR、WTCRA、WTCRB、CSACRHによる基本バスインタフェースの設定に従います。エリア0またはエリア1をバーストROM空間に設定した場合、RDNCR、CSACRLレジスタの設定は無視されます。

バーストサイクルは、BROMCRのBSTS02~BSTS00、BSTS12~BSTS10の設定により、1ステートから8ステートの選択が可能です。ウェイトステートは挿入できません。また、BSTS01、BSTS00、BSTS11、BSTS10ビットの設定により、最大32ワードのバーストアクセスを行います。

バーストROM空間の基本アクセスタイミングを図6.63、図6.64に示します。

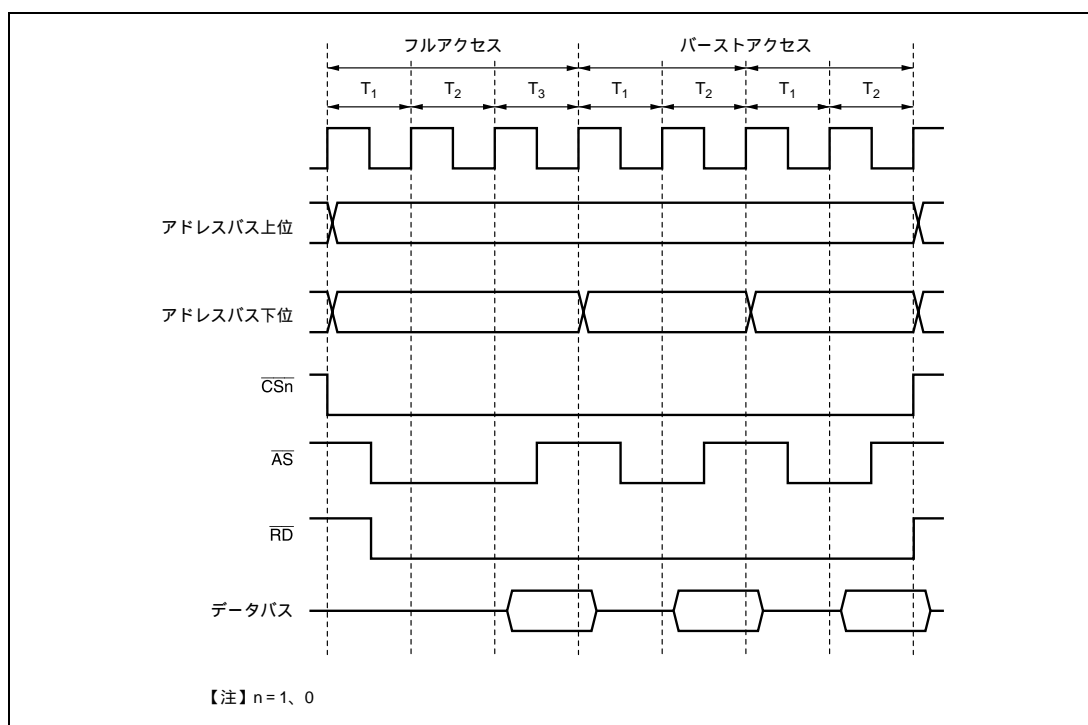


図 6.63 バーストROMアクセスタイミング例  
(ASTn=1、バーストサイクル2ステートの場合)

## 6. バスコントローラ (BSC)

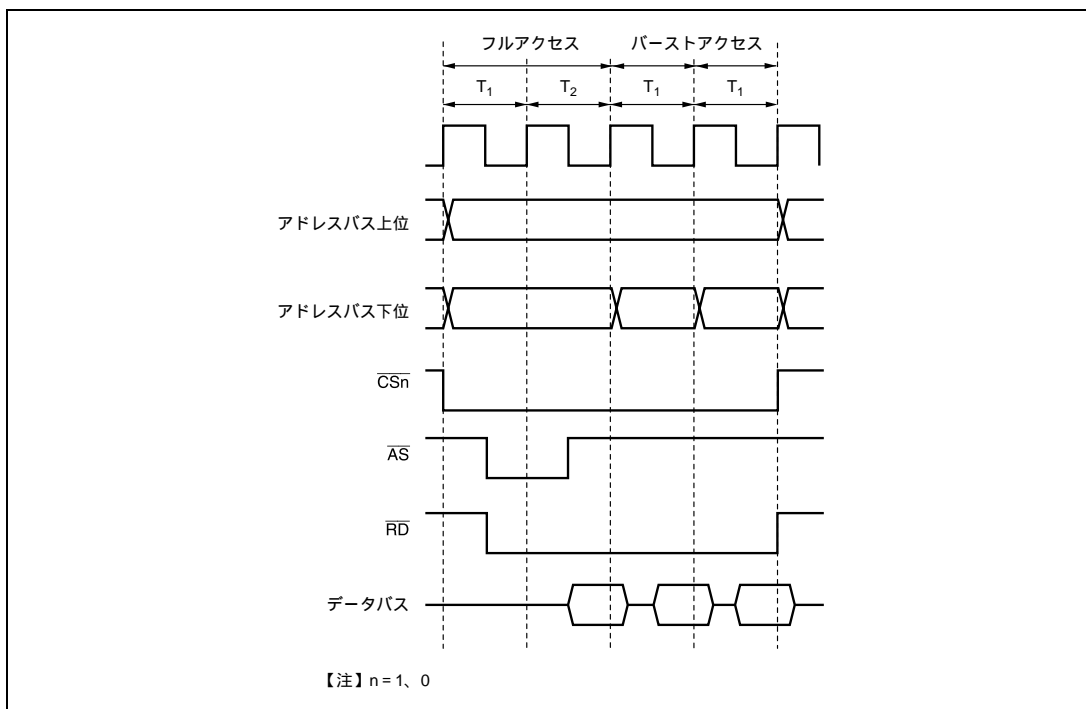


図 6.64 バースト ROM アクセスタイミング例  
( $ASTn = 0$ 、バーストサイクル 1 ステートの場合)

### 6.8.2 ウェイト制御

バースト ROM インタフェースのインisialサイクル(フルアクセス)には、基本バスインタフェースと同様に、プログラムウェイトの挿入、 $\overline{WAIT}$  端子による端子ウェイトの挿入が可能です。「6.5.5 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

### 6.8.3 ライトアクセス

バースト ROM 空間へライトアクセスを実行すると、その時点でバーストアクセスは途切れ、基本バスインタフェースの設定に準じたライトアクセスが実行されます。また、バースト ROM 空間に設定した場合でも、ライトアクセスはバーストしません。

## 6.9 アイドルサイクル

### 6.9.1 動作説明

本 LSI は外部アドレス空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、(3)ライトサイクルの直後にリードサイクルが発生したときの3つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル ( $T_i$ ) を挿入することができます (H8S/2678 グループは、(3)の条件でアイドルサイクルを挿入できません。)。BCR の IDLC ビットの設定により、アイドルサイクルを1ステートまたは2ステート挿入可能です。アイドルサイクルの挿入により、出力フローティング時間の大きいROMなどと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

#### (1) 異なるエリア間での連続リード

BCR の ICIS1 ビットを1にセットした状態で、異なるエリア間での連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図6.65に動作例を示します。バスサイクルAは出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはSRAMからのリードサイクルでそれぞれ異なるエリアに配置した場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBでROMからのリードデータとSRAMからのリードデータの衝突が発生しています。これに対し、(b)ではアイドルサイクルを挿入しデータの衝突を回避しています。

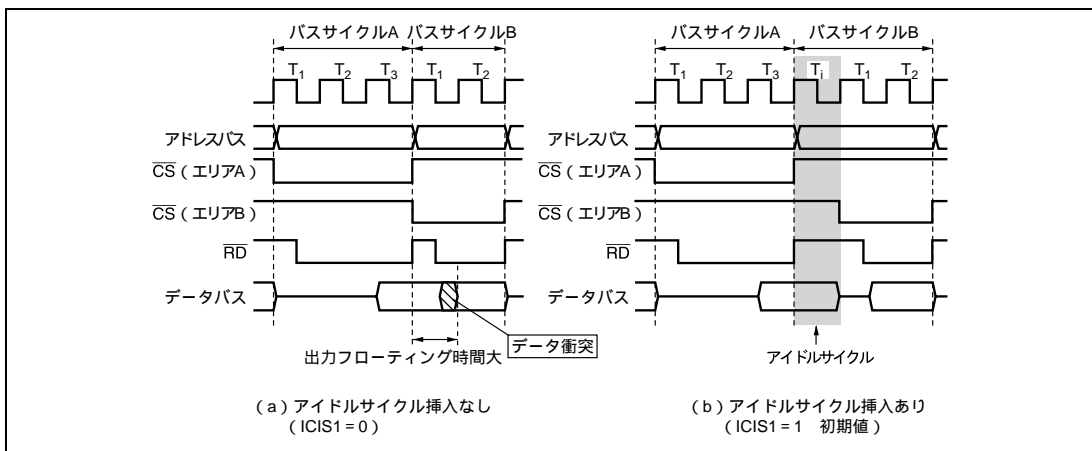


図 6.65 アイドルサイクル動作例 (異なるエリア間での連続リード)

## 6. バスコントローラ (BSC)

### (2) リード後のライト

BCR の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.66 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

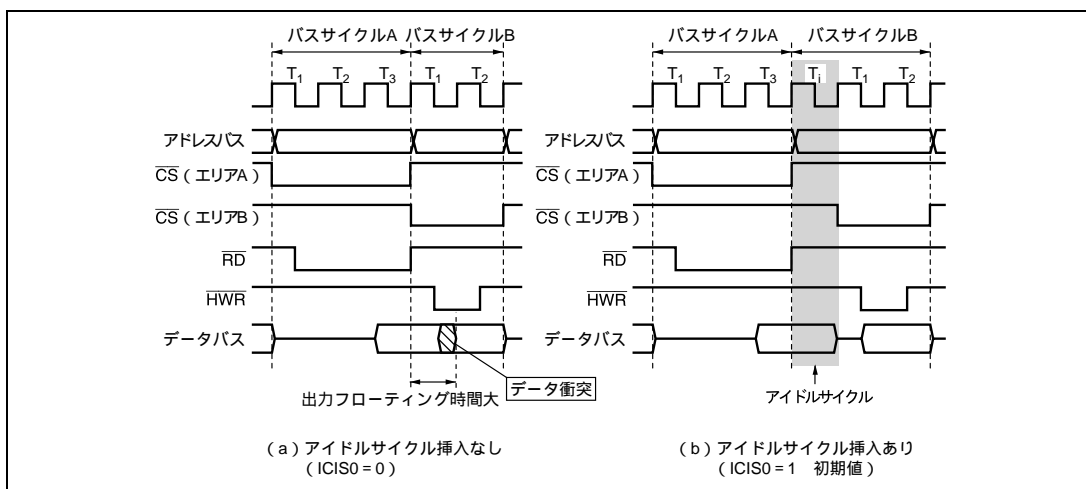


図 6.66 アイドルサイクル動作例 (リード後のライト)

### (3) ライト後のリード

BCR の ICIS2 ビットを 1 にセットした状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。

図 6.67 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は外部からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU からのライトデータと外部からのリードデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

【注】 H8S/2678 グループは、(3) の条件ではアイドルサイクルを挿入できません。

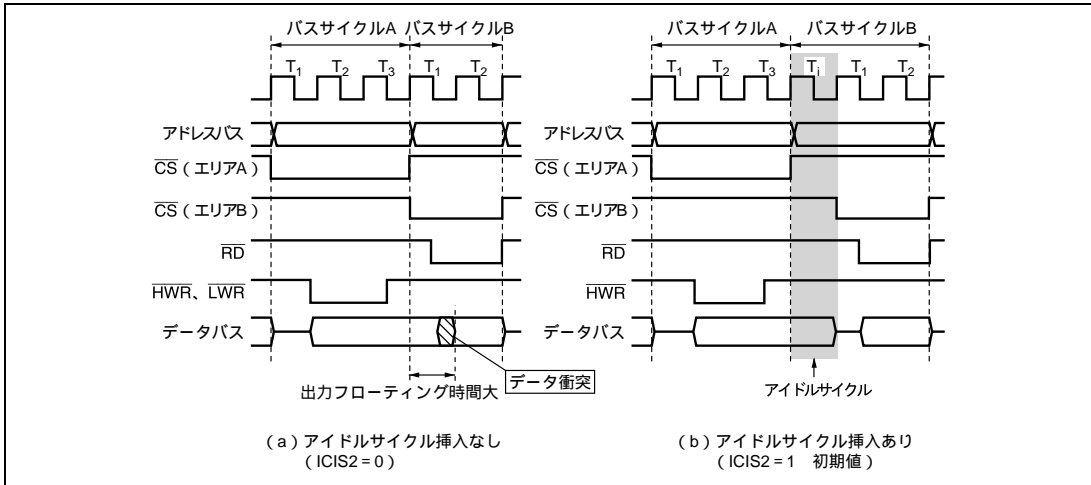
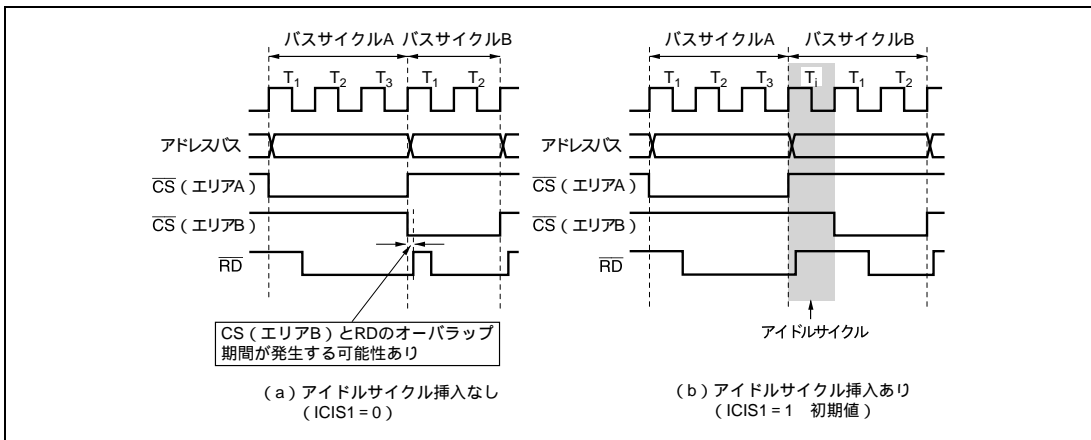


図 6.67 アイドルサイクル動作例 (ライト後のリード)

(4) チップセレクト ( $\overline{CS}$ ) 信号とリード ( $\overline{RD}$ ) 信号の関係

システムの負荷条件によっては、 $\overline{CS}$  信号よりも  $\overline{RD}$  信号の方が遅れる場合があります。図 6.68 に例を示します。(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の  $\overline{RD}$  信号とバスサイクル B の  $\overline{CS}$  信号間でオーバーラップ期間が発生する可能性があります。これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 $\overline{RD}$  信号と  $\overline{CS}$  信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

図 6.68 チップセレクト ( $\overline{CS}$ ) とリード ( $\overline{RD}$ ) の関係

## 6. バスコントローラ (BSC)

### (5) 通常空間アクセス後に DRAM 空間をアクセスする時のアイドルサイクル

通常空間アクセス後の DRAM 空間アクセスでは、BCR の ICIS2 (H8S/2678 グループでは、このビットはありません。)、ICIS1、ICIS0、IDLC ビットの設定が有効です。ただし、異なるエリア間での連続リードの場合、2 回目のリードが DRAM 空間へのフルアクセスのとき、 $T_p$  サイクルのみが挿入され  $T_i$  サイクルは挿入されません。このタイミングを図 6.69 に示します。

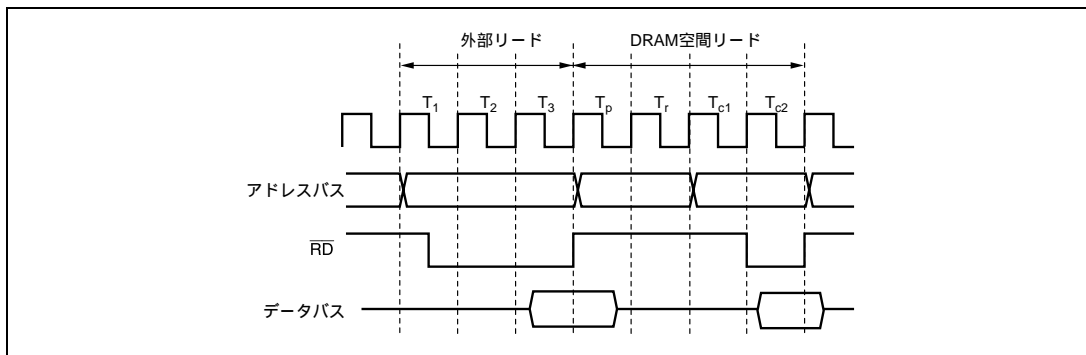


図 6.69 外部リード後の DRAM フルアクセス例 (CAST = 0 の場合)

RAS ダウンモード時のバーストアクセスでは ICIS2、ICIS1、ICIS0、IDLC ビットの設定が有効となり、アイドルサイクルが挿入されます。このタイミングを図 6.70、図 6.71 に示します。

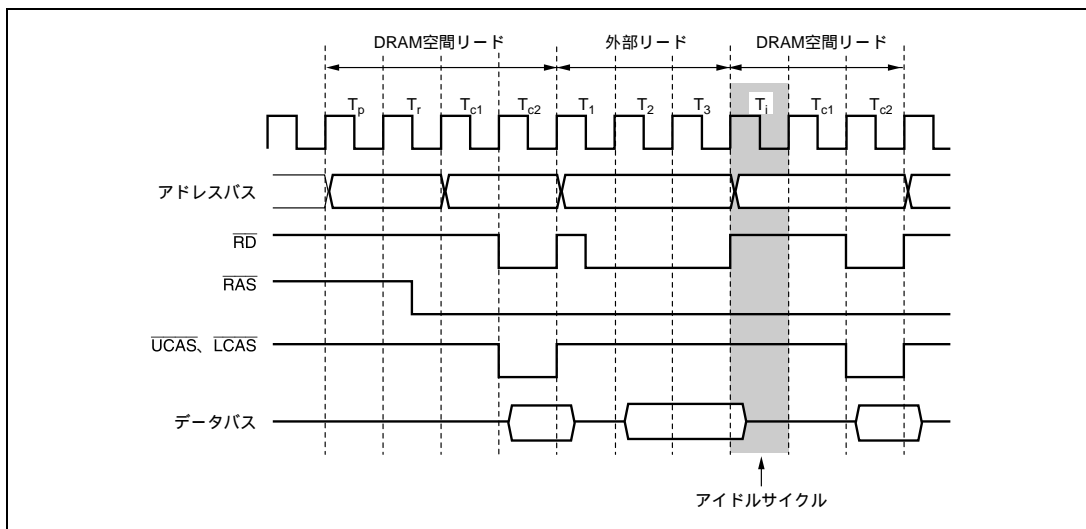


図 6.70 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリア間での連続リード)  
(IDLC = 0、RAST = 0、CAST = 0 の場合)



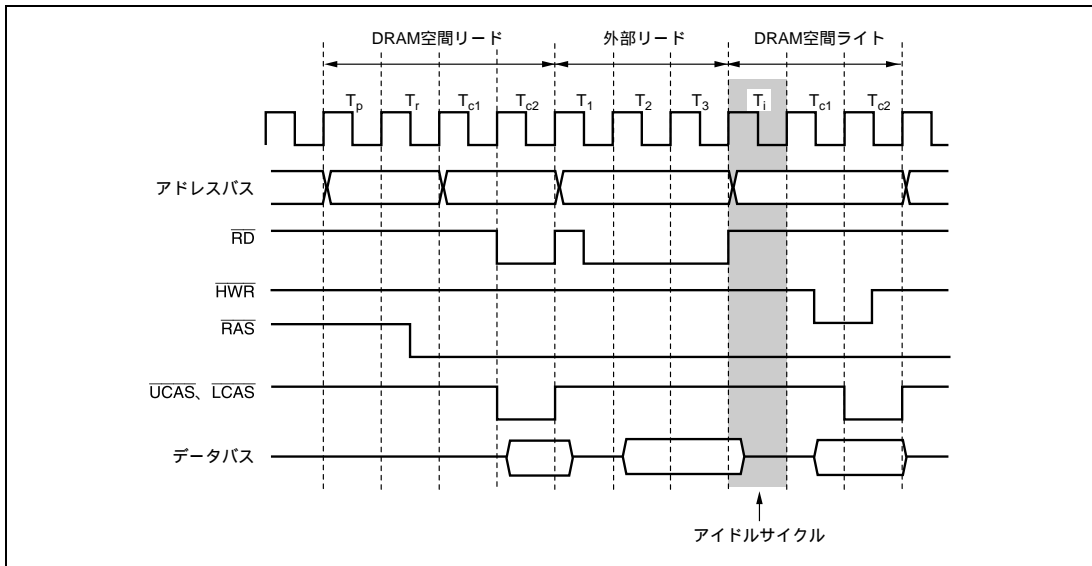


図 6.71 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)  
(IDLC=0、RAST=0、CAST=0の場合)

(6) 通常空間アクセス後に連続シンクロナス DRAM 空間をアクセスする時のアイドルサイクル

通常空間アクセス後の連続シンクロナス DRAM 空間をアクセスでは、BCR の ICIS2、ICIS1、ICIS0、IDLC ビットの設定が有効です。ただし、異なるエリア間での連続リードの場合、2 回目のリードが連続シンクロナス DRAM 空間へのフルアクセスのとき、 $T_p$  サイクルのみが挿入され  $T_i$  サイクルは挿入されません。このタイミングを図 6.72 に示します。

【注】 H8S/2678 グループでは、シンクロナス DRAM インタフェースはサポートしていません。

## 6. バスコントローラ (BSC)

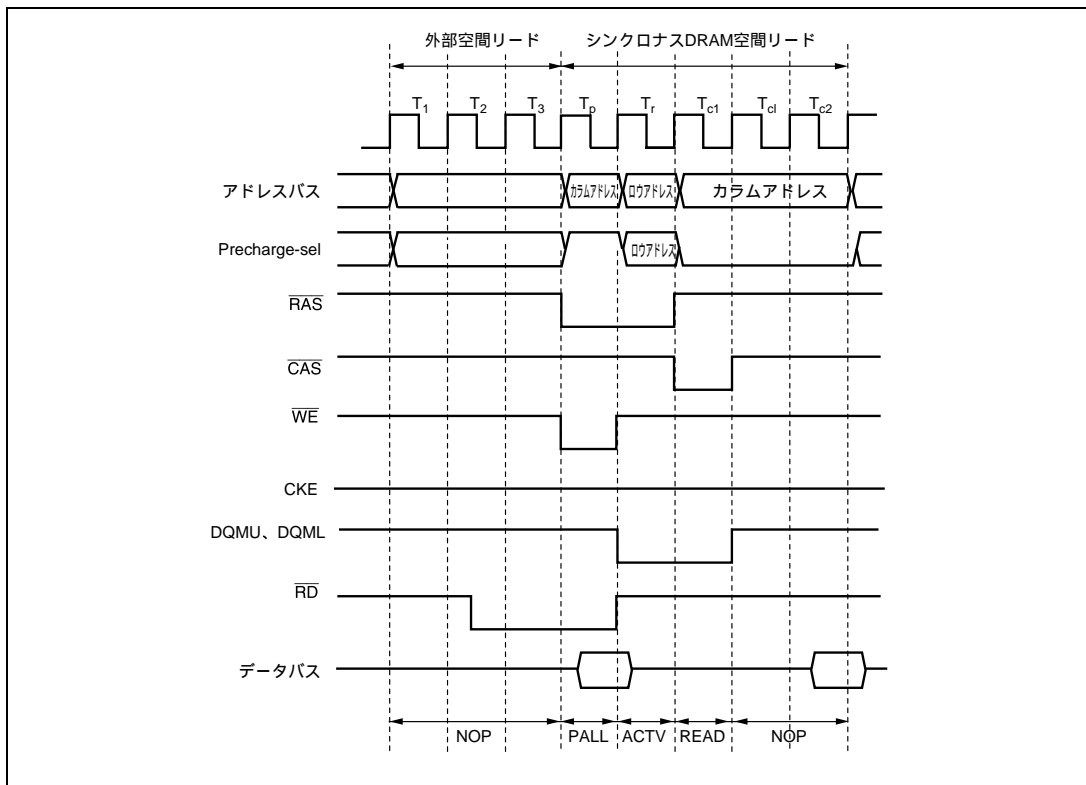


図 6.72 外部リード後のシンクロナス DRAM フルアクセス例  
(CAS レイテンシ 2 の場合)

RAS ダウンモード時のバーストアクセスでは ICIS2、ICIS1、ICIS0、IDLC ビットの設定が有効となり、アイドルサイクルが挿入されます。ただし、リードアクセス時には、IDLC ビットの設定により、DQMU、DQML のタイミングが異なりますので、注意してください。このタイミングを図 6.73、図 6.74 に示します。ライトアクセス時には、DQMU、DQML は IDLC ビットの設定に依存しません。このタイミングを図 6.75 に示します。

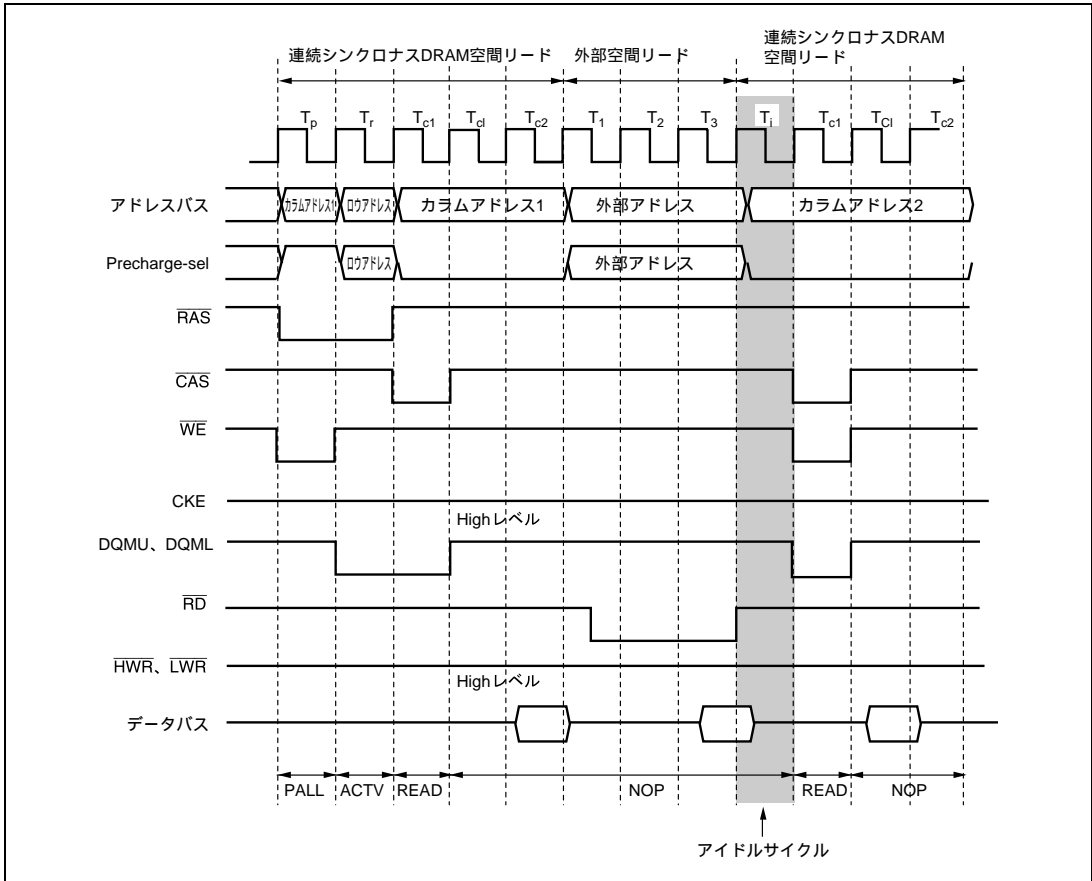


図 6.73 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード)  
(IDLC=0、CAS レイテンシ 2 の場合)

## 6. バスコントローラ (BSC)

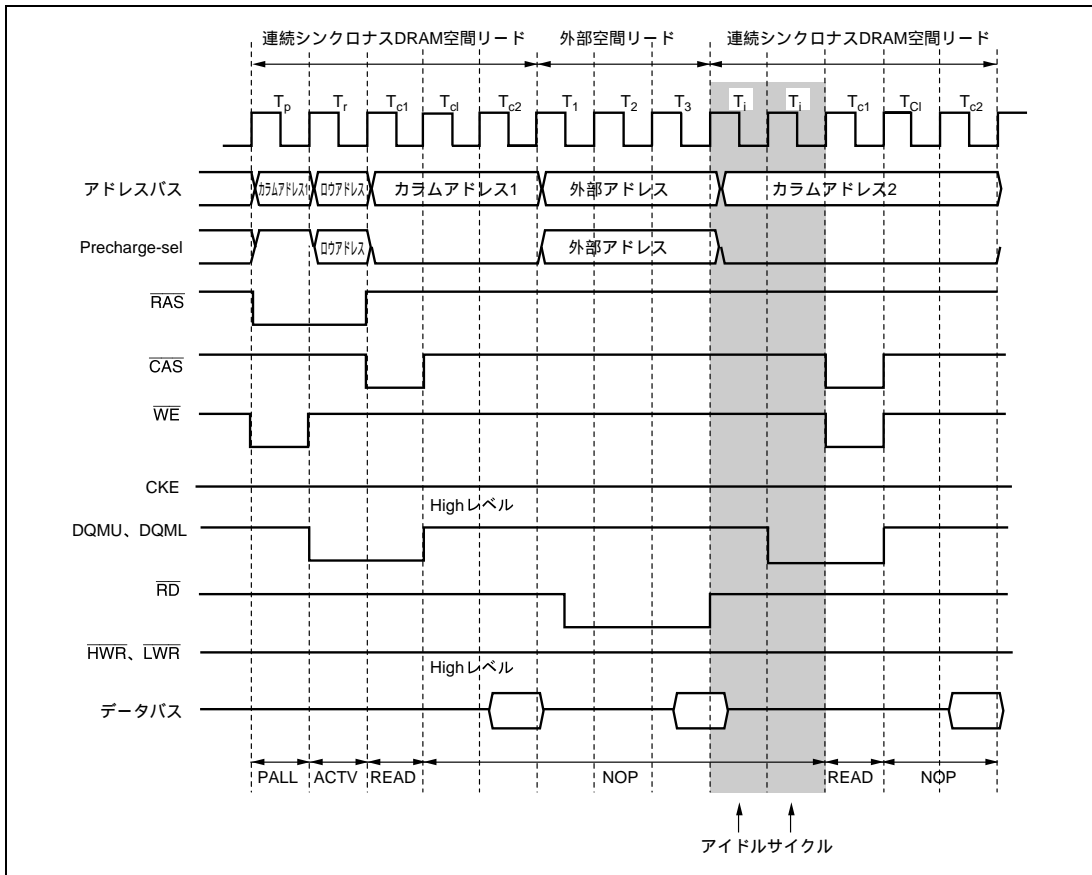


図 6.74 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード)  
(IDLC=1、CAS レイテンシ 2 の場合)

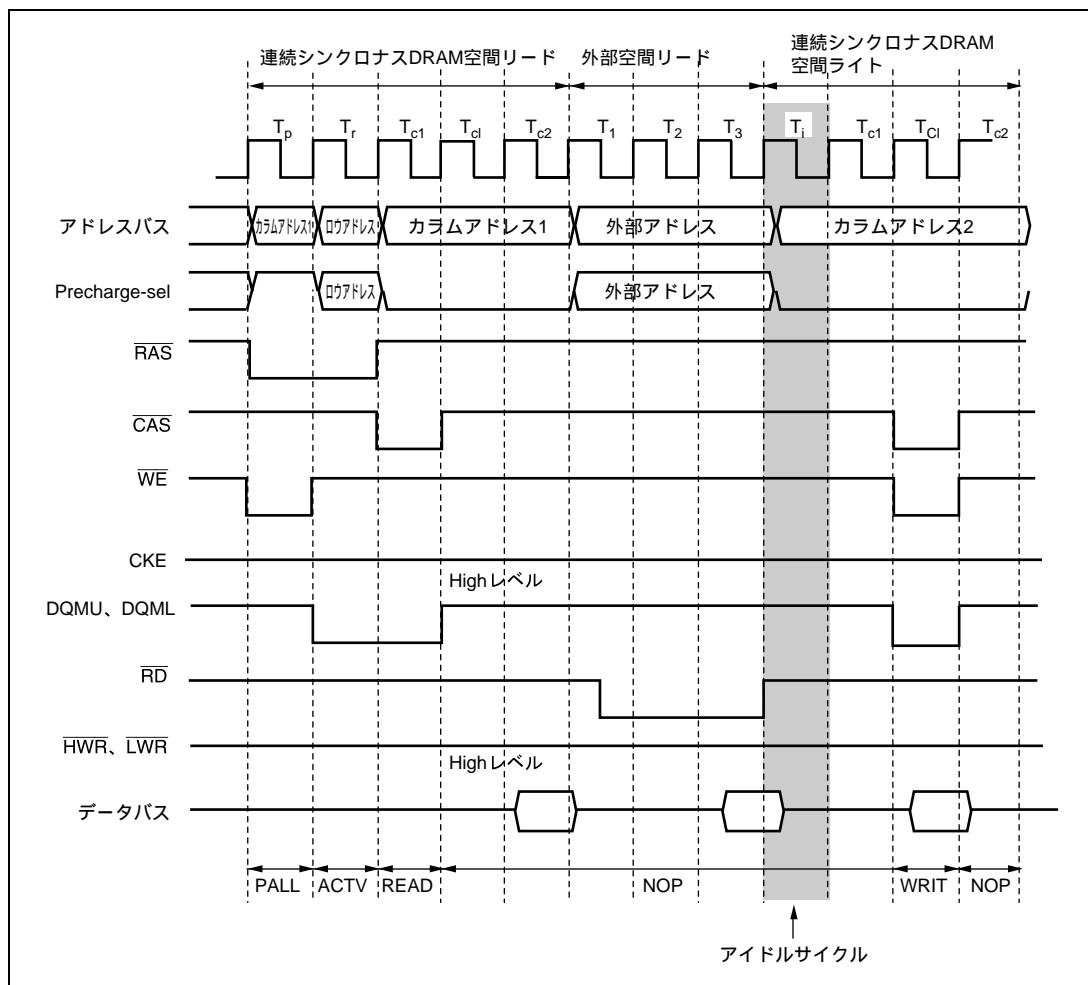


図 6.75 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)  
(IDLC=0、CAS レイテンシ 2 の場合)

(7) DRAM 空間アクセス後に通常空間をアクセスする時のアイドルサイクル

(a) DRAM 空間リードアクセス後の通常空間アクセス

DRACCR の DRMI ビットを 0 にクリアした状態では、DRAM 空間アクセス後のアイドルサイクルは無効です。DRMI ビットを 1 にセットすると、DRAM 空間アクセス後のアイドルサイクルを有効にすることができます。挿入されるアイドルサイクルの条件ならびにステート数は BCR の ICIS1、ICIS0、IDLC ビットの設定に従います。図 6.76、図 6.77 に DRMI ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

DRMI ビットを 0 にクリアすると、ICIS1、ICIS0 ビットを 1 に設定しても、DRAM 空間アクセス後にはアイドルサイクルは挿入されません。

6. バスコントローラ (BSC)

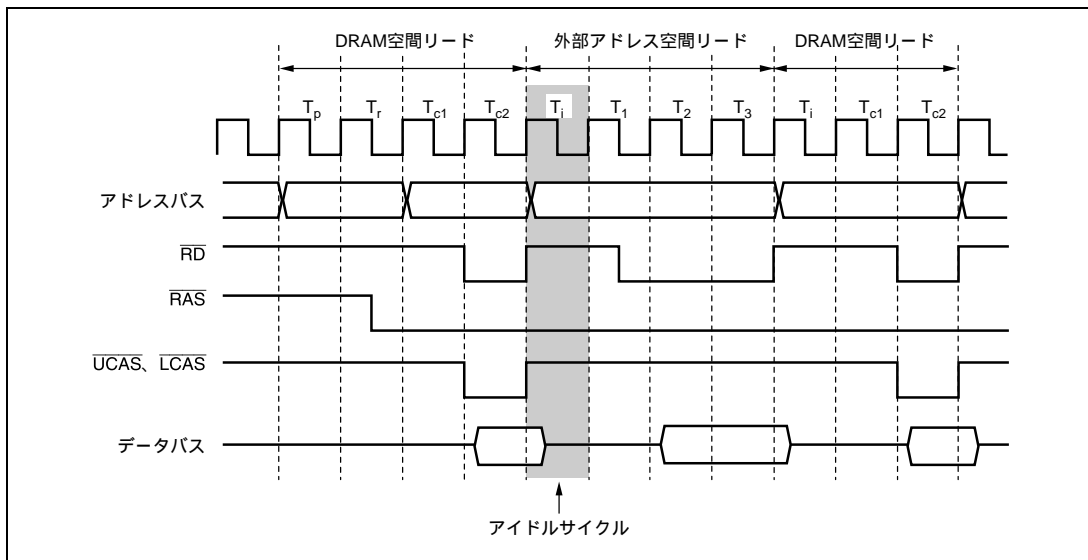


図 6.76 DRAM アクセス後のアイドルサイクル動作例 (異なるエリア間での連続リード)  
(IDLC=0、RAST=0、CAST=0の場合)

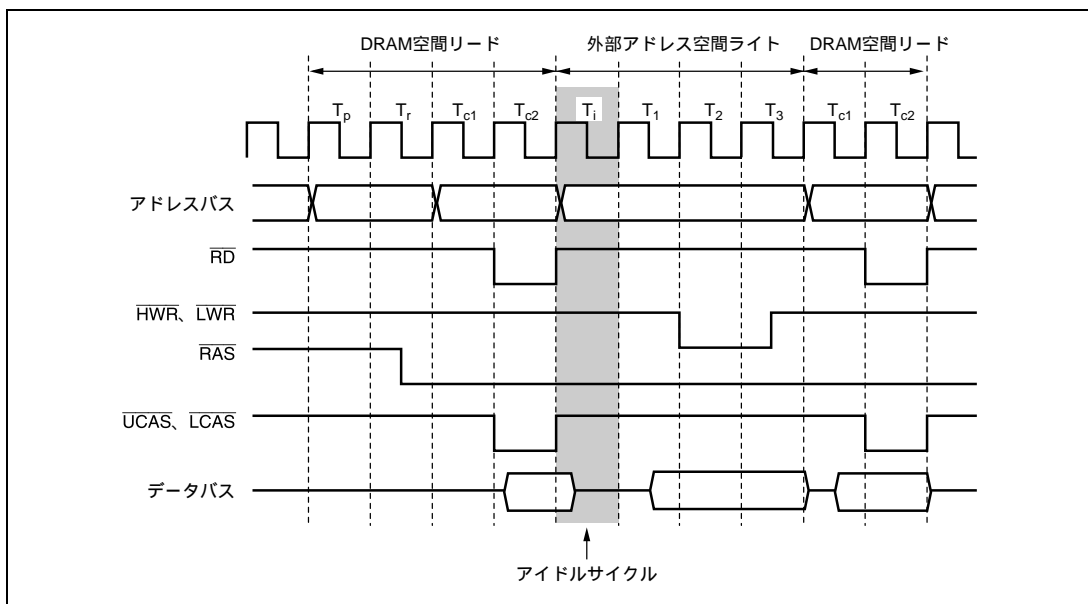


図 6.77 DRAM アクセス後のアイドルサイクル動作例 (リード後のライト)  
(IDLC=0、RAST=0、CAST=0の場合)

## (b) DRAM 空間ライトアクセス後の通常空間アクセス

BCR の ICIS2 ビットを 1 に設定した状態で (H8S/2678 グループでは、ICRS2 ビットがないため、この設定はできません。)、DRAM 空間ライトアクセス後に通常空間のリードアクセスが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。挿入されるアイドルサイクルのステート数は IDLC ビットの設定に従いません。DRACCR の DRMI ビットに依存しません。図 6.78 に ICIS2 ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

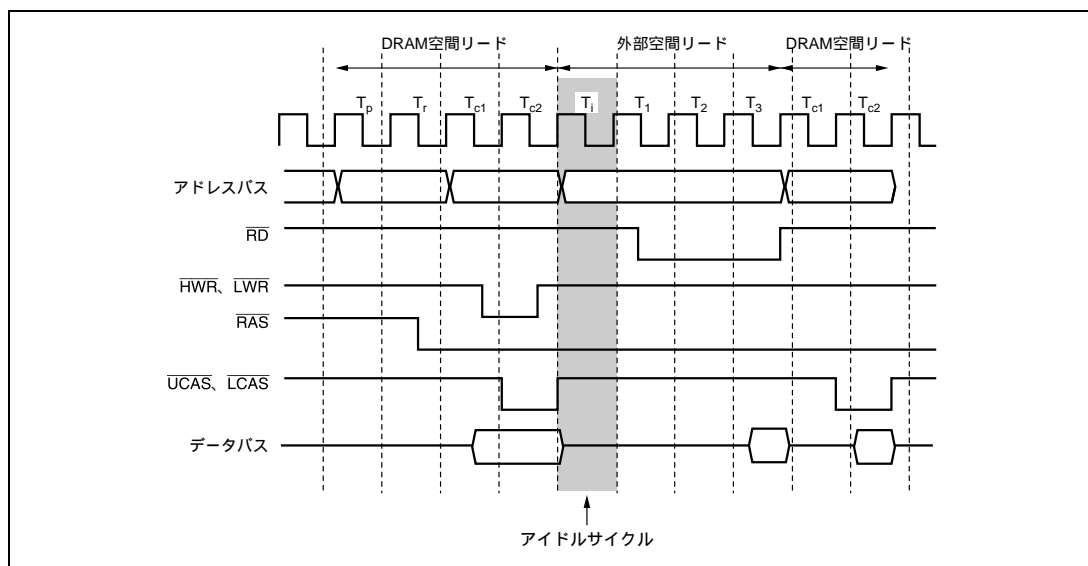


図 6.78 DRAM ライトアクセス後のアイドルサイクル動作例  
(IDLC = 0、ICIS1 = 0、RAST = 0、CAST = 0 の場合)

## (8) 連続シンクロナス DRAM 空間アクセス後に通常空間をアクセスする時のアイドルサイクル

【注】 H8S/2678 グループは、シンクロナス DRAM インタフェースをサポートしていません。

## (a) 連続シンクロナス DRAM 空間リードアクセス後の通常空間アクセス

DRACCR の DRMI ビットを 0 にクリアした状態では、連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクルは無効です。DRMI ビットを 1 にセットすると、連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクルを有効にすることができます。挿入されるアイドルサイクルの条件ならびにステート数は RCR の ICIS1、ICIS0、IDLC ビットの設定に従います。図 6.79 に DRMI ビットを 1 にセットした場合のアイドルサイクル動作例を示します。DRMI ビットを 0 にクリアすると、ICIS1、ICIS0 ビットを 1 に設定しても、連続シンクロナス DRAM 空間リードアクセス後にはアイドルサイクルは挿入されません。

## 6. バスコントローラ (BSC)

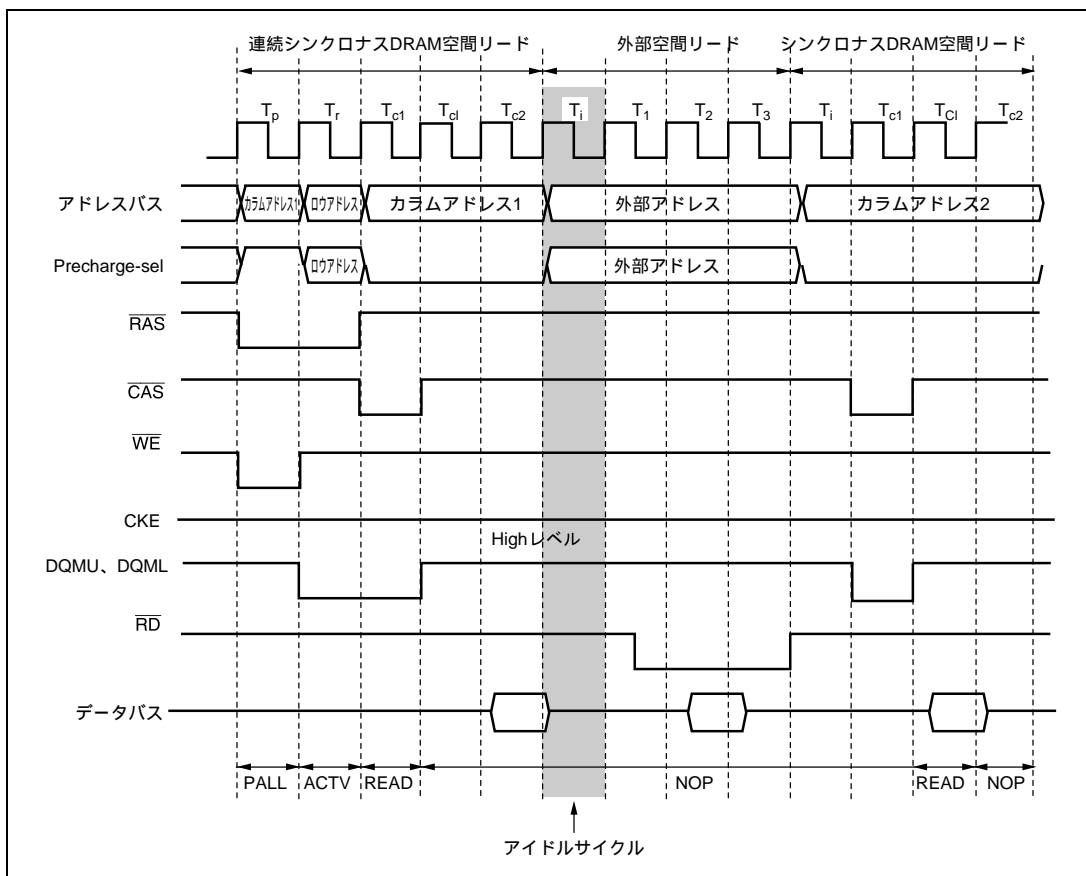


図 6.79 連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクル動作例  
(異なるエリア間のリード)  
(IDLC=0、CAS レイテンシ 2 の場合)

### (b) 連続シンクロナス DRAM 空間ライトアクセス後の通常空間アクセス

BCR の ICIS2 ビットを 1 に設定した状態で、連続シンクロナス DRAM 空間ライトアクセス後に通常空間のリードサイクルが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。挿入されるアイドルサイクルのステート数は IDLC ビットの設定に従います。DRACCR の DRMI ビットに依存しません。

図 6.80 に ICIS2 ビットを 1 にセットした場合のアイドルサイクル動作例を示します。



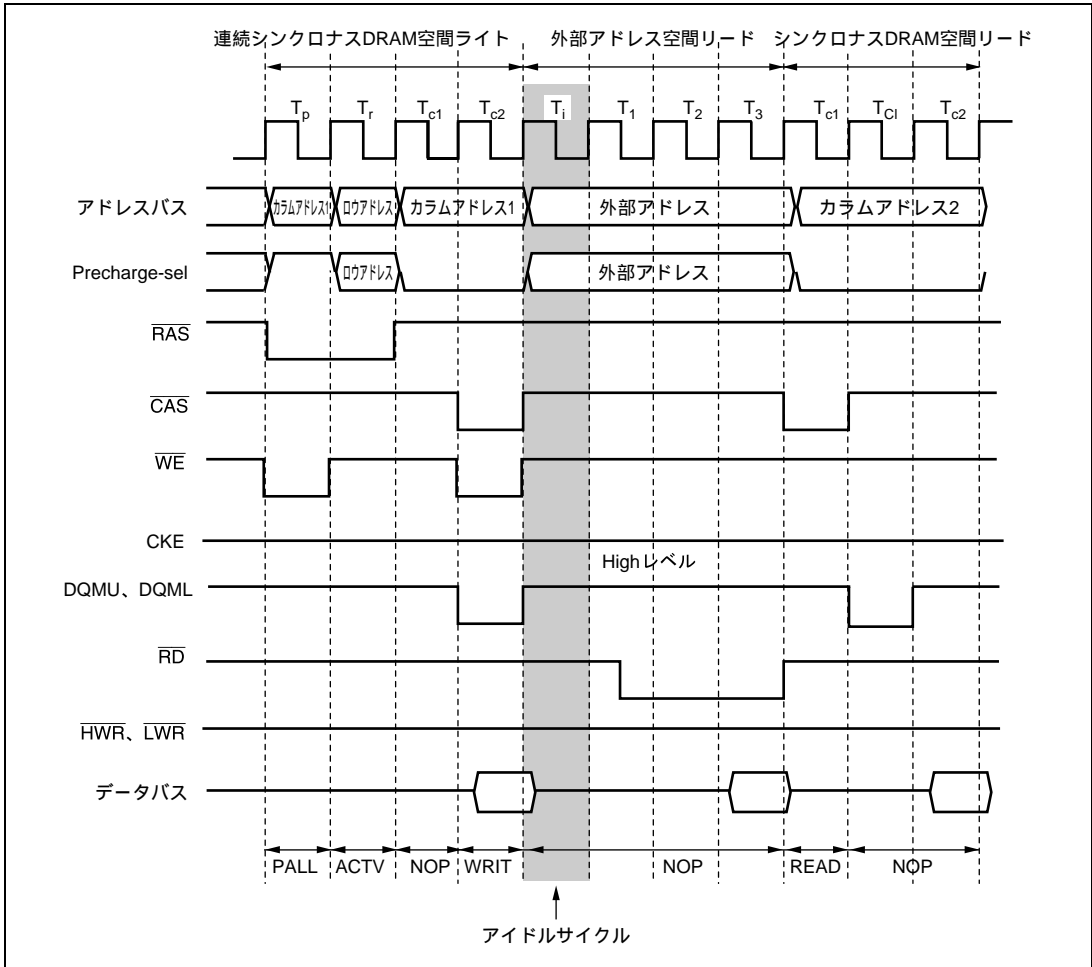


図 6.80 連続シンクロナス DRAM 空間ライトアクセス後のアイドルサイクル動作例  
(IDLC=0、ICIS1=0、SDWCD=1、CAS レイテンシ 2 の場合)

## 6. バスコントローラ (BSC)

表 6.11 に通常空間と DRAM 空間/連続シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル挿入の有無を示します。

表 6.11 通常空間と DRAM/連続シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	ICIS2*2	ICIS1	ICIS0	DRMI	IDLC	アイドルサイクル
通常空間リード	通常空間リード (異なるエリア)	-	0	-	-	-	無効
			1	-	-	0	1 ステート挿入
						1	2 ステート挿入
	DRAM/連続シンクロナス DRAM*空間リード	-	0	-	-	-	無効
		-	1	-	-	0	1 ステート挿入
						1	2 ステート挿入
	通常空間ライト	-	-	0	-	-	無効
		-	-	1	-	0	1 ステート挿入
						1	2 ステート挿入
	DRAM/連続シンクロナス DRAM* <sup>1</sup> 空間ライト	-	-	0	-	-	無効
		-	-	1	-	0	1 ステート挿入
						1	2 ステート挿入
DRAM/連続シンクロナス DRAM* <sup>1</sup> 空間 リード	通常空間リード	-	0	-	-	-	無効
			1	-	0	-	無効
		-			1	0	1 ステート挿入
						1	2 ステート挿入
	DRAM/連続シンクロナス DRAM* <sup>1</sup> 空間リード	-	0	-	-	-	無効
		-	1	-	0	-	無効
					1	0	1 ステート挿入
						1	2 ステート挿入
	通常空間ライト	-	-	0	-	-	無効
		-	-	1	0	-	無効
					1	0	1 ステート挿入
						1	2 ステート挿入
DRAM/連続シンクロナス DRAM* <sup>1</sup> 空間ライト	-	-	0	-	-	無効	
	-	-	1	0	-	無効	
				1	0	1 ステート挿入	
					1	2 ステート挿入	
通常空間ライト	通常空間リード	0	-	-	-	-	無効
		1	-	-	-	0	1 ステート挿入
						1	2 ステート挿入
	DRAM/連続シンクロナス DRAM* <sup>1</sup> 空間リード	0	-	-	-	-	無効
		1	-	-	-	0	1 ステート挿入
						1	2 ステート挿入

前のアクセス	次のアクセス	ICIS2*2	ICIS1	ICIS0	DRMI	IDLC	アイドルサイクル
DRAM/連続シンクロナス DRAM*1 空間ライト	通常空間リード	0	-	-	-	-	無効
		1	-	-	-	0	1 ステート挿入
	DRAM/連続シンクロナス DRAM*1 空間リード	0	-	-	-	-	無効
		1	-	-	-	0	1 ステート挿入
					1	2 ステート挿入	

【注】 \*1 H8S/2678 グループは、シンクロナス DRAM インタフェースをサポートしていません。

\*2 H8S/2678 グループは、リザーブビットです。設定できません。

また、DRACCR の DRMI ビットを 1 にセットすることにより、DRAM/連続シンクロナス DRAM 空間バーストアクセス時にリードとライトが連続した場合のアイドルサイクルを挿入することが可能です。図 6.81、図 6.82 に DRAM/連続シンクロナス DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例を示します。

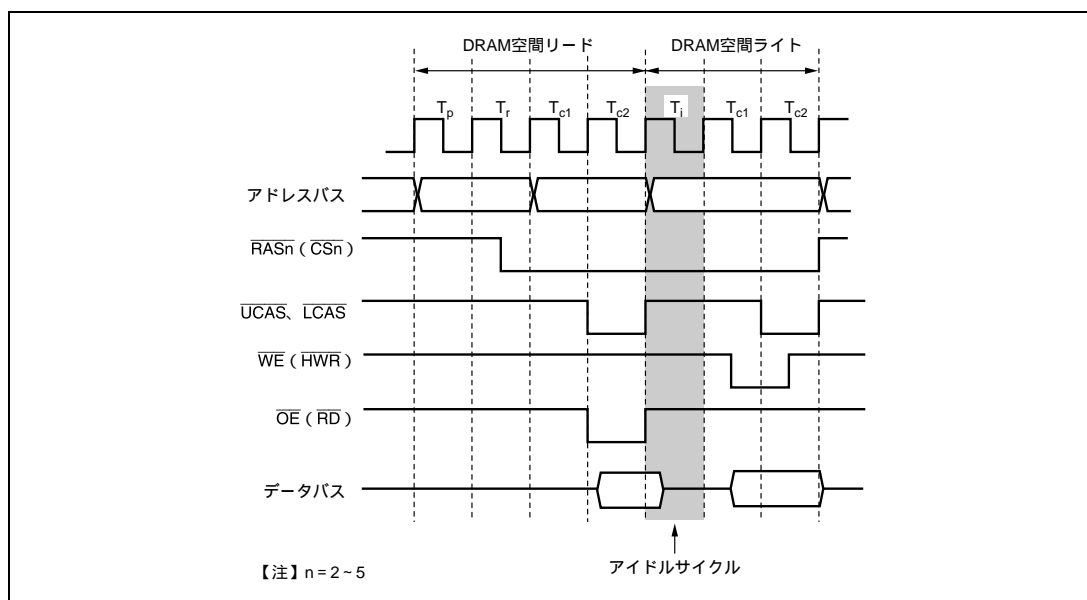


図 6.81 RAS ダウンモードで DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例

## 6. バスコントローラ (BSC)

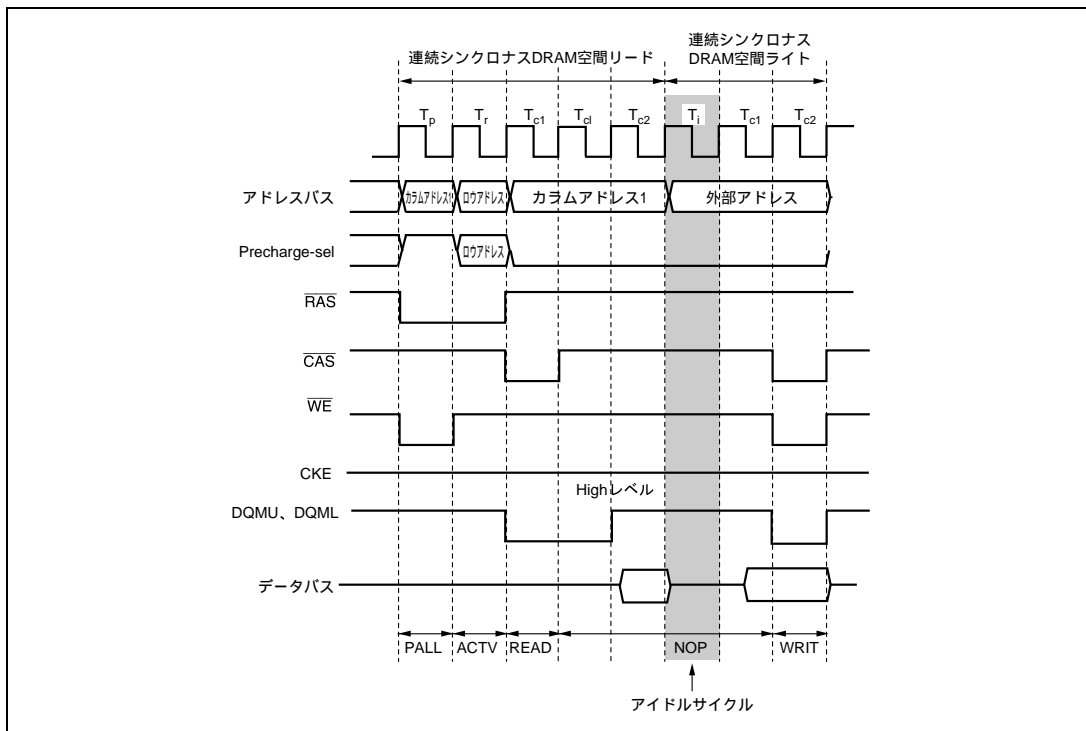


図 6.82 RAS ダウンモードで連続シンクロナス DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例 (SDWCD=1、CAS レイテンシ 2 の場合)

### 6.9.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.12 に示します。

表 6.12 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
$\overline{CS}_n$ (n = 7 ~ 0)	High レベル <sup>*1*</sup> <sup>*2</sup>
$\overline{UCAS}$ 、 $\overline{LCAS}$	High レベル <sup>*2</sup>
$\overline{AS}$	High レベル
$\overline{RD}$	High レベル
( $\overline{OE}$ )	High レベル
HWR、LWR	High レベル
$\overline{DACK}_n$ (n = 1、0)	High レベル
$\overline{EDACK}_n$ (n = 3 ~ 0)	High レベル

【注】 \*1 DRAM 空間での RAS ダウンモードでは Low レベルを保持します。

\*2 DRAM 空間でのリフレッシュサイクルでは Low レベルを保持します。

## 6.10 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMA シングルアドレスモード転送と、内部アクセスを並行して実行することができます。BCR の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.83 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部アドレス空間ライトまたは DMA シングルアドレスモード転送が 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部アドレス空間ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

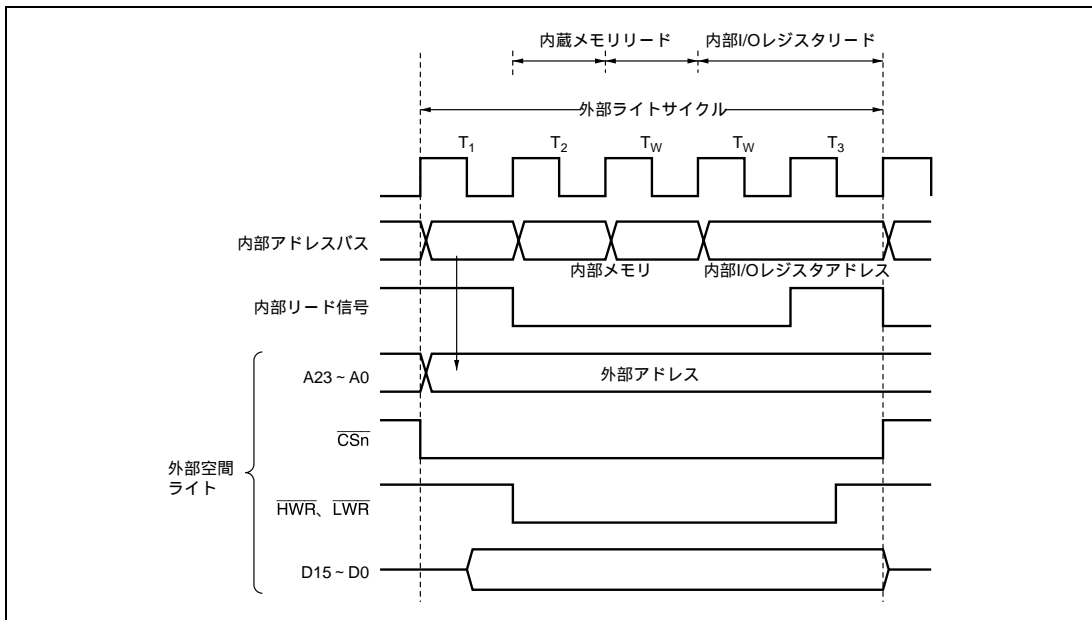


図 6.83 ライトデータバッファ機能使用時のタイミング例

### 6.11 バス権解放

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り EXDMAC を除く内部バスマスタは動作を継続します。また、外部バス権解放状態で、以下の要求が発生すると、外部に対し  $\overline{\text{BREQO}}$  信号を Low レベルにしてバス権を要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- リフレッシュ要求が発生したとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

#### 6.11.1 動作説明

外部拡張モードで、BCR の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$  端子を Low レベルにすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$  端子をサンプリングすると、所定のタイミングで  $\overline{\text{BACK}}$  端子を Low レベルにし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして外部バス権解放状態になります。

外部バス権解放状態で、EXDMAC を除く内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態でリフレッシュ要求が発生した場合、ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合も、外部バスマスタのバス権要求が取り下げられるまでリフレッシュ制御、並びにソフトウェアスタンバイ、全モジュールクロックストップ制御は保留されます。

BCR の BREQOE ビットが 1 にセットされていると、以下の要求が発生したときに  $\overline{\text{BREQO}}$  端子を Low レベルとし、外部にバス権要求を取り下げよう要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- リフレッシュ要求が発生したとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

$\overline{\text{BREQ}}$  端子を High レベルとすると、所定のタイミングで  $\overline{\text{BACK}}$  端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセスが同時に発生したときの優先順位は

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

また、リフレッシュ要求、外部バス権解放要求が同時に発生したときの優先順位は

(高) リフレッシュ > 外部バス権解放 (低)

となります。

### 6.11.2 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.13 に示します。

表 6.13 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{CS}_n$ (n = 7 ~ 0)	ハイインピーダンス
$\overline{UCAS}$ 、 $\overline{LCAS}$	ハイインピーダンス
AS	ハイインピーダンス
$\overline{RD}$	ハイインピーダンス
$\overline{OE}$	ハイインピーダンス
HWR、LWR	ハイインピーダンス
$\overline{DACK}_n$ (n = 1, 0)	High レベル
$\overline{EDACK}_n$ (n = 3 ~ 0)	High レベル

### 6.11.3 遷移タイミング

バス権解放状態への遷移タイミングを図 6.84 に示します。

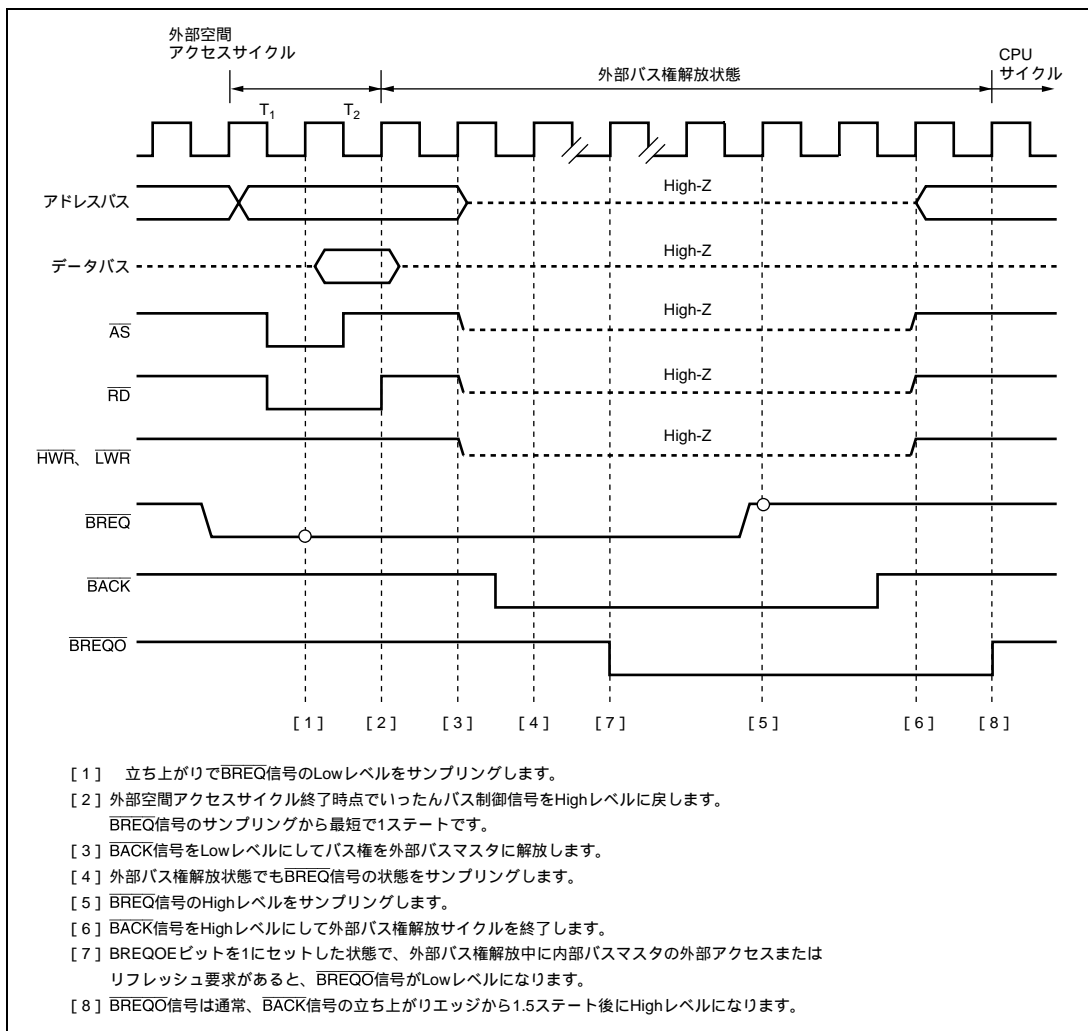


図 6.84 バス権解放状態遷移タイミング



シンクロナス DRAM インタフェース時のバス権解放状態への遷移タイミングを図 6.85 に示します。

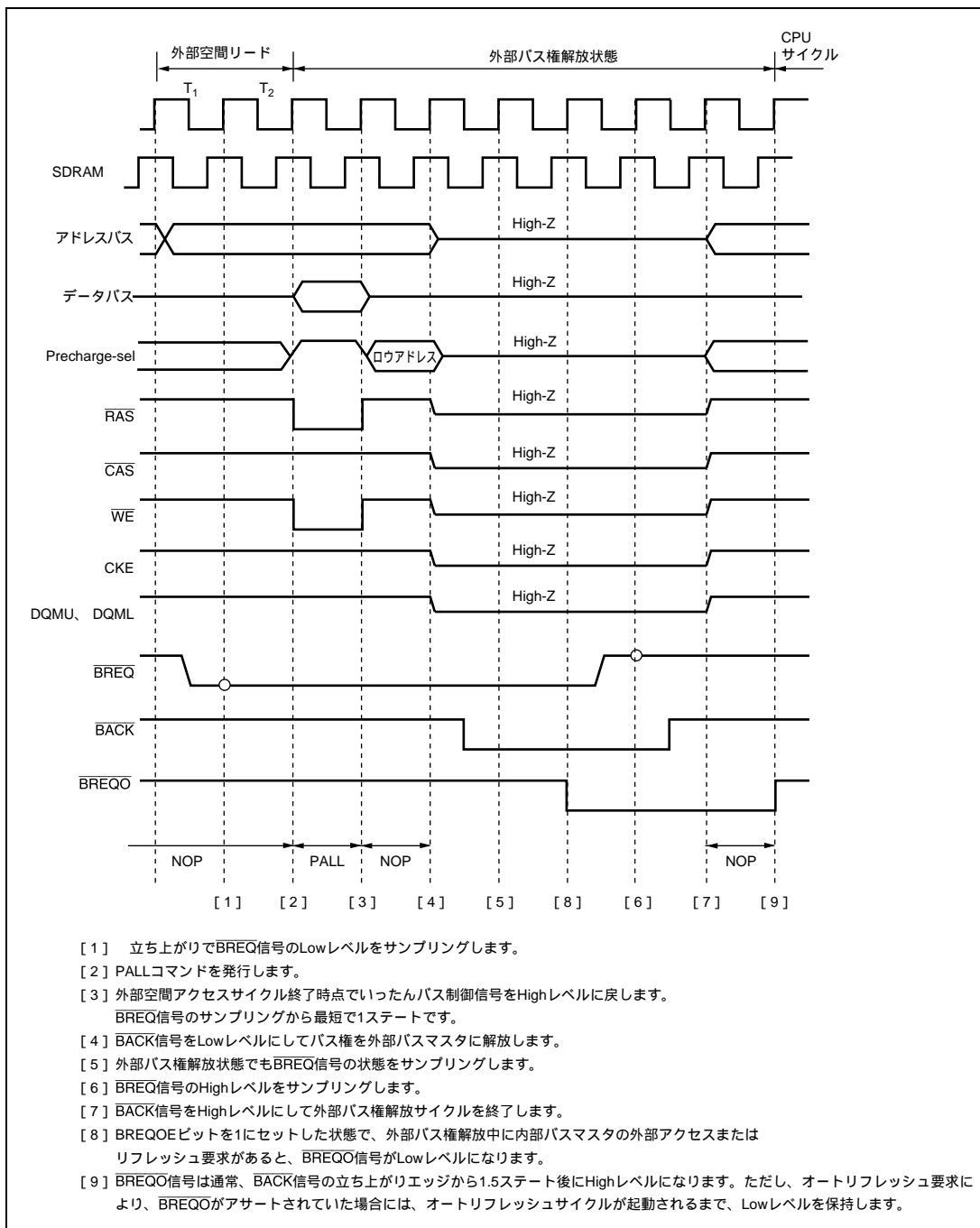


図 6.85 シンクロナス DRAM インタフェース時のバス解放状態遷移タイミング

### 6.12 バスアービトレーション

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU、DTC、DMAC および EXDMAC の 4 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

#### 6.12.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていればそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) EXDMAC > DMAC > DTC > CPU (低)

なお、EXDMAC を除く内部バスマスタの内部バスアクセスと、外部バス権解放、CBRM ビットが 0 の場合のリフレッシュ、EXDMAC の外部バスアクセスは並行して実行することができます。

外部バス権解放要求、リフレッシュ要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

(高) リフレッシュ > EXDMAC > 外部バス権解放 (低)

(高) 外部バス権解放 > EXDMAC を除く内部バスマスタの外部アクセス (低)

ただし、REFCR の CBRM ビットを 0 にクリアした場合のリフレッシュと、内部バスマスタの DRAM 空間以外への外部アクセスは同時に実行可能なため優先順位はありません。

#### 6.12.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

##### (1) CPU

CPU は最も優先順位が低いバスマスタで、DTC、DMAC および EXDMAC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
- BSET、BCLRなどのビット操作命令では、いったん対象のデータを読み込み（リード）、所定のビット操作演算後（モディファイ）、書き戻し（ライト）ます。このようなリード モディファイ ライトサイクルの間は一連のバスサイクルとして実行されるためバス権を移行しません。
- CPUがスリープモードの場合、ただちにバス権を移行します。

#### (2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3 ステート）後、1 回のデータ転送後、レジスタ情報のライト（3 ステート）後です。レジスタ情報のリード（3 ステート）中、1 回のデータ転送中、レジスタ情報のライト（3 ステート）中にはバスを解放しません。

#### (3) DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はショートアドレスモード、ノーマルモードの外部リクエスト、またはサイクルスチールモードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。ただし、DMAC より優先順位の高い、EXDMAC、外部バス権解放要求があった場合、ブロック転送中、バースト転送中にもこれらのバスマスタにバス権を移行する場合があります。

#### (4) EXDMAC

EXDMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

EXDMAC は外部バス間転送専用のため、EXDMAC にバス権が移行しても、他の内部バスマスタの内部アクセスは並列して実行されます。

EXDMAC はノーマル転送モードまたはサイクルスチール転送モードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バースト転送モードの場合は転送終了後にバス権を解放します。このとき、EDMDR レジスタの BGUP ビットに 1 をセットすることにより、内部バスマスタからの外部アクセス要求があった場合に一旦バス権を解放するように設定することが可能です。詳しくは「第 8 章 EXDMA コントローラ」を参照してください。

#### (5) 外部バス権解放

BCR レジスタの BRLE ビットを 1 にセットした状態で  $\overline{\text{BREQ}}$  端子が Low レベルとなって外部バス権解放要求が起こるとバスアービタに対してバス権を要求します。

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

### 6.13 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

### 6.14 使用上の注意事項

#### 6.14.1 外部バス権解放機能と全モジュールクロックストップモード

本 LSI は MSTPCRH レジスタの ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE) で SLEEP 命令を実行しスリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。この状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。逆に、外部バス権解放状態で、全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合、全モジュールクロックストップモードへの遷移は保留され、バス権復帰後に遷移します。

#### 6.14.2 外部バス権解放機能とソフトウェアスタンバイ

本 LSI はバス解放中でも、プログラムが内蔵 ROM などで動作していて外部アクセスが起きない場合には、内部バスマスタの動作は停止しません。外部バス解放中にソフトウェアスタンバイモードに遷移するための SLEEP 命令が実行された場合、ソフトウェアスタンバイモードへの遷移は保留され、バス権復帰後に遷移します。

また、ソフトウェアスタンバイモードではクロック発振も停止するため、ソフトウェアスタンバイ中に  $\overline{\text{BREQ}}$  が Low レベルとなり、外部バス解放要求があっても、ソフトウェアスタンバイ状態から復帰するまで外部バス解放に応答できません。

#### 6.14.3 外部バス権解放機能と CBR リフレッシュ/オートリフレッシュ

外部バス権解放中には CBR リフレッシュ/オートリフレッシュを実行することができません。BCR の BREQOE ビットを 1 にセットしておくこと、CBR リフレッシュ/オートリフレッシュ要求が発生したときに、 $\overline{\text{BREQO}}$  信号を出力することができます。

【注】 H8S/2678 グループは、オートリフレッシュ制御はサポートしていません。

#### 6.14.4 BREQO 出力タイミング

BREQOE ビットに 1 をセットして  $\overline{\text{BREQO}}$  信号を出力する場合、 $\overline{\text{BACK}}$  信号が Low レベルになる前に  $\overline{\text{BREQO}}$  が Low レベルになる場合があります。

これは、本 LSI が  $\overline{\text{BREQ}}$  の Low レベルをサンプリングして、内部のバス権を調停している間に、すでに次の外部アクセス要求または、CBR リフレッシュ要求が発生した場合に起こります。

### 6.14.5 シンクロナス DRAM 使用上の注意

#### (1) シンクロナス DRAM インタフェースの設定

シンクロナス DRAM インタフェースを有効とするためには、DCTL 端子を 1 に固定する必要があります。DCTL 端子は動作中に変化させないでください。

#### (2) 接続クロック

シンクロナス DRAM に接続するクロックは必ず SDRAM としてください。

#### (3) $\overline{\text{WAIT}}$ 端子

連続シンクロナス DRAM 空間では  $\overline{\text{WAIT}}$  端子によるウェイトステートの挿入は BCR レジスタの WAITE ビットの設定によらず無効となります。

#### (4) バンク制御

本 LSI はシンクロナス DRAM のバンク制御を行うことはできません。全バンクが選択されます。

#### (5) パーストアクセス

シンクロナス DRAM のパーストリード/パーストライトのモードは対応していません。シンクロナス DRAM のモードレジスタを設定する際は、パーストリード/シングルライトを設定し、パースト長は 1 としてください。

#### (6) CAS レイテンシ

CAS レイテンシが 1 のシンクロナス DRAM を接続する場合は、DRAMCR レジスタの BE ビットは 0 を設定してください。



---

## 7. DMA コントローラ (DMAC)

---

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

### 7.1 特長

- ショートアドレスモードとフルアドレスモードを選択可能

#### (1) ショートアドレスモード

最大4チャンネルを使用可能

デュアルアドレスモード/シングルアドレスモードの選択が可能

デュアルアドレスモードでは転送元、転送先アドレスの一方を24ビット、他方を16ビットで指定

シングルアドレスモードでは転送元、転送先アドレスの一方だけを24ビットで指定

シングルアドレスモードでは1バスサイクルでの転送が可能

デュアルアドレスモード、シングルアドレスモードに対し、シーケンシャルモード/アイドルモード/リピートモードの選択が可能

#### (2) フルアドレスモード

最大2チャンネルを使用可能

転送元、転送先アドレスを24ビットで指定

ノーマルモード/ブロック転送モードの選択が可能

- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)  
16ビットタイムパルスユニット (TPU) のコンペアマッチ/インプットキャプチャ割り込み×6  
シリアルコミュニケーションインタフェース (SCL\_0、SCL\_1) の送信完了割り込み、受信完了割り込み  
A/D変換器の変換終了割り込み  
外部リクエスト  
オートリクエスト
- モジュールストップモードの設定可能

## 7. DMA コントローラ (DMAC)

DMAC のブロック図を図 7.1 に示します。

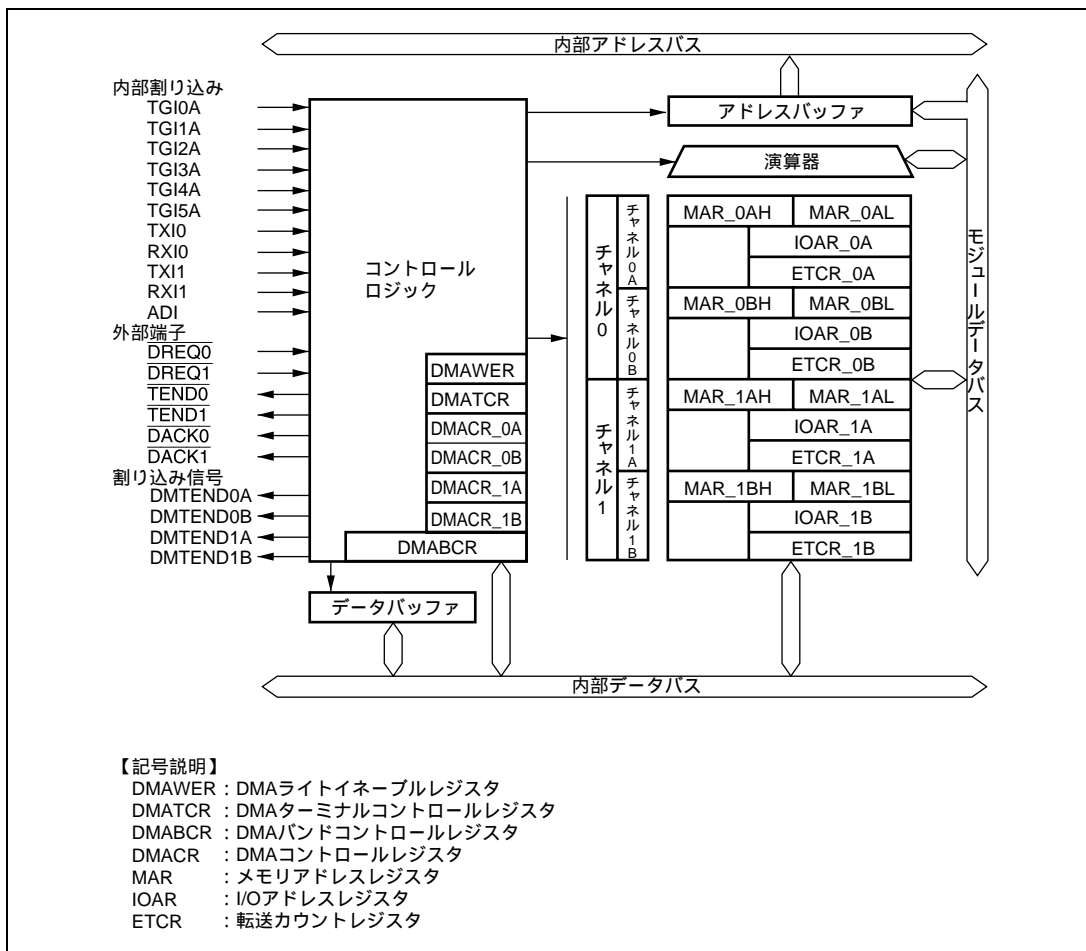


図 7.1 DMAC のブロック図



## 7.2 入出力端子

DMAC の端子構成を表 7.1 に示します。

表 7.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA リクエスト 0	$\overline{DREQ0}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{DACK0}$	出力	チャンネル 0 のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{TEND0}$	出力	チャンネル 0 の転送終了
1	DMA リクエスト 1	$\overline{DREQ1}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{DACK1}$	出力	チャンネル 1 のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{TEND1}$	出力	チャンネル 1 の転送終了

## 7.3 レジスタの説明

DMAC には以下のレジスタがあります。

- メモリアドレスレジスタ\_0AH (MAR\_0AH)
- メモリアドレスレジスタ\_0AL (MAR\_0AL)
- I/Oアドレスレジスタ\_0A (IOAR\_0A)
- 転送カウントレジスタ\_0A (ETCR\_0A)
- メモリアドレスレジスタ\_0BH (MAR\_0BH)
- メモリアドレスレジスタ\_0BL (MAR\_0BL)
- I/Oアドレスレジスタ\_0B (IOAR\_0B)
- 転送カウントレジスタ\_0B (ETCR\_0B)
- メモリアドレスレジスタ\_1AH (MAR\_1AH)
- メモリアドレスレジスタ\_1AL (MAR\_1AL)
- I/Oアドレスレジスタ\_1A (IOAR\_1A)
- 転送カウントレジスタ\_1A (ETCR\_1A)
- メモリアドレスレジスタ\_1BH (MAR\_1BH)
- メモリアドレスレジスタ\_1BL (MAR\_1BL)
- I/Oアドレスレジスタ\_1B (IOAR\_1B)
- 転送カウントレジスタ\_1B (ETCR\_1B)
- DMAコントロールレジスタ\_0A (DMACR\_0A)
- DMAコントロールレジスタ\_0B (DMACR\_0B)
- DMAコントロールレジスタ\_1A (DMACR\_1A)
- DMAコントロールレジスタ\_1B (DMACR\_1B)

## 7. DMA コントローラ (DMAC)

- DMAバンドコントロールレジスタH (DMABCRH)
- DMAバンドコントロールレジスタL (DMABCRL)
- DMAライトイネーブルレジスタ (DMAWER)
- DMAターミナルコントロールレジスタ (DMATCR)

MAR、IOAR、ETCR、DMACR、DMABCR は、転送モード (ショートアドレスモード、フルアドレスモード) により機能が異なります。転送モードは、DMABCRH の FAE1、FAE0 ビットにより選択できます。表 7.2 にチャンネル 0 のショートアドレスモードとフルアドレスモードのレジスタ構成を示します。

表 7.2 ショートアドレスモードとフルアドレスモード (チャンネル 0)

FAE0	説明																										
0	<p>ショートアドレスモードを指定 (チャンネル0A、0Bはそれぞれ独立して動作)</p> <table border="1"> <tr> <td rowspan="4">チャンネル 0 A</td> <td>MAR_0AH</td> <td>MAR_0AL</td> <td>← 転送元/転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0A</td> <td>← 転送先/転送元アドレスを指定</td> </tr> <tr> <td></td> <td>ETCR_0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>DMACR_0A</td> <td>← 転送サイズ、モード、起動要因を指定</td> </tr> <tr> <td rowspan="4">チャンネル 0 B</td> <td>MAR_0BH</td> <td>MAR_0BL</td> <td>← 転送元/転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0B</td> <td>← 転送先/転送元アドレスを指定</td> </tr> <tr> <td></td> <td>ETCR_0B</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>DMACR_0B</td> <td>← 転送サイズ、モード、起動要因を指定</td> </tr> </table>	チャンネル 0 A	MAR_0AH	MAR_0AL	← 転送元/転送先アドレスを指定		IOAR_0A	← 転送先/転送元アドレスを指定		ETCR_0A	← 転送回数を指定		DMACR_0A	← 転送サイズ、モード、起動要因を指定	チャンネル 0 B	MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定		IOAR_0B	← 転送先/転送元アドレスを指定		ETCR_0B	← 転送回数を指定		DMACR_0B	← 転送サイズ、モード、起動要因を指定
チャンネル 0 A	MAR_0AH		MAR_0AL	← 転送元/転送先アドレスを指定																							
			IOAR_0A	← 転送先/転送元アドレスを指定																							
			ETCR_0A	← 転送回数を指定																							
		DMACR_0A	← 転送サイズ、モード、起動要因を指定																								
チャンネル 0 B	MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定																								
		IOAR_0B	← 転送先/転送元アドレスを指定																								
		ETCR_0B	← 転送回数を指定																								
		DMACR_0B	← 転送サイズ、モード、起動要因を指定																								
1	<p>フルアドレスモードを指定 (チャンネル0A、0Bを組み合わせるとして動作)</p> <table border="1"> <tr> <td rowspan="7">チャンネル 0</td> <td>MAR_0AH</td> <td>MAR_0AL</td> <td>← 転送元アドレスを指定</td> </tr> <tr> <td>MAR_0BH</td> <td>MAR_0BL</td> <td>← 転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0A</td> <td>← 未使用</td> </tr> <tr> <td></td> <td>IOAR_0B</td> <td>← 未使用</td> </tr> <tr> <td></td> <td>ETCR_0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>ETCR_0B</td> <td>← 転送回数を指定 (ブロック転送モード時のみ使用)</td> </tr> <tr> <td></td> <td>DMACR_0A</td> <td>DMACR_0B</td> <td>← 転送サイズ、モード、起動要因を指定</td> </tr> </table>	チャンネル 0	MAR_0AH	MAR_0AL	← 転送元アドレスを指定	MAR_0BH	MAR_0BL	← 転送先アドレスを指定		IOAR_0A	← 未使用		IOAR_0B	← 未使用		ETCR_0A	← 転送回数を指定		ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)		DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因を指定			
チャンネル 0	MAR_0AH		MAR_0AL	← 転送元アドレスを指定																							
	MAR_0BH		MAR_0BL	← 転送先アドレスを指定																							
			IOAR_0A	← 未使用																							
			IOAR_0B	← 未使用																							
			ETCR_0A	← 転送回数を指定																							
			ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)																							
		DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因を指定																							

### 7.3.1 メモリアドレスレジスタ (MARA、MARB)

MAR は、ソースアドレス (転送元アドレス)、ディスティネーションアドレス (転送先アドレス) を指定する 32 ビットのリード/ライト可能なレジスタです。MAR は 2 本の 16 ビットレジスタ MARH、MARL から構成されています。MARH の上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。

MAR は、チャンネル 0 に MAR\_0A (チャンネル 0A)、MAR\_0B (チャンネル 0B)、チャンネル 1 に MAR\_1A (チャンネル 1A)、MAR\_1B (チャンネル 1B) の 4 本があります。

MAR は、リセットまたはスタンバイモード時に初期化されません。

#### (1) ショートアドレスモード

ショートアドレスモードでは、MARA、MARB はそれぞれ独立して動作します。DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、ディスティネーションアドレスレジスタとして機能するかを選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新します。

#### (2) フルアドレスモード

フルアドレスモードでは、MARA はソースアドレスレジスタとして機能し、MARB はディスティネーションアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはディスティネーションのメモリアドレスを自動的に更新します。

### 7.3.2 I/O アドレスレジスタ (IOARA、IOARB)

IOAR はソースアドレス (転送元アドレス) またはディスティネーションアドレス (転送先アドレス) の下位 16 ビットを指定する 16 ビットのリード/ライト可能なレジスタです。転送アドレスの上位 8 ビットは、HFF の値が自動的に設定されます。

IOAR は、チャンネル 0 に IOAR\_0A (チャンネル 0A)、IOAR\_0B (チャンネル 0B)、チャンネル 1 に IOAR\_1A (チャンネル 1A)、IOAR\_1B (チャンネル 1B) の 4 本があります。

IOAR は、DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、ディスティネーションアドレスレジスタとして機能するかを選択できます。

IOAR はデータ転送でインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

IOAR はリセットまたはスタンバイモード時に初期化されません。

IOAR はショートアドレスモードで使用し、フルアドレスモードでは使用しません。

## 7. DMA コントローラ (DMAC)

---

### 7.3.3 転送カウントレジスタ (ETCRA、ETCRB)

ETCR は転送回数を設定する 16 ビットのリード/ライト可能なレジスタです。ETCR は、チャンネル 0 に ETCR\_0A (チャンネル 0A)、ETCR\_0B (チャンネル 0B)、チャンネル 1 に ETCR\_1A (チャンネル 1A)、ETCR\_1B (チャンネル 1B) の 4 本があります。

ETCR は、リセットまたはスタンバイモード時に初期化されません。

#### (1) ショートアドレスモード

ETCR は、シーケンシャルモードおよびアイドルモードと、リピートモードでは設定が異なります。

シーケンシャルモードおよびアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、H'0000 になると DMABCRL の DTE ビットをクリアし、転送を終了します。

リピートモードでは、ETCR は 8 ビットの転送カウンタ (ETCRL) と、転送回数保持レジスタ (ETCRH) として機能します。1 回のデータ転送を行うたびに ETCRL は 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRH の値をロードします。このとき MAR はデータ転送を開始したときの値に自動的に戻ります。DMABCRL の DTE ビットはクリアされません。DTE ビットをクリアするまで、繰り返しデータ転送が行えます。

#### (2) フルアドレスモード

ETCR は、ノーマルモードとブロック転送モードでは機能が異なります。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'0000 になると転送を終了します。ETCRB はノーマルモードでは使用しません。

ブロック転送モードでは、ETCRA は 8 ビットのブロックサイズカウンタ (ETCRAL) と、ブロックサイズ保持レジスタ (ETCRAH) として機能します。ETCRAL は 1 バイトまたは 1 ワードのデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRAH の値がロードされます。ETCRAL、ETCRAH にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 ずつデクリメントされ、H'0000 になると転送を終了します。

### 7.3.4 DMA コントロールレジスタ (DMACRA、DMACRB)

DMACR は DMAC の各チャンネルの動作を制御します。DMACR は、チャンネル 0 に DMACR\_0A (チャンネル 0A)、DMACR\_0B (チャンネル 0B)、チャンネル 1 に DMACR\_1A (チャンネル 1A)、DMACR\_1B (チャンネル 1B) の 4 本があります。DMACR は、ショートアドレスモードではチャンネル A、チャンネル B はそれぞれ独立して動作し、フルアドレスモードではチャンネル A、チャンネル B は組み合わせて動作します。DMACR は、転送モードにより一部のビット機能が異なります。

## (1) ショートアドレスモード

- DMACR\_0A、DMACR\_0B、DMACR\_1A、DMACR\_1B

ビット	ビット名	初期値	R/W	説明
7	DTSZ	0	R/W	データトランスファサイズ 1 回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
6	DTID	0	R/W	データトランスインクリメント/デクリメント シーケンシャルモードまたはリポートモードの場合、データ転送ごとの MAR のインクリメント/デクリメントを選択します。アイドルモードの場合、MAR はインクリメント/デクリメントされません。 0: データ転送後 MAR をインクリメント • DTSZ=0 のとき、MAR を +1 • DTSZ=1 のとき、MAR を +2 1: データ転送後 MAR をデクリメント • DTSZ=0 のとき、MAR を -1 • DTSZ=1 のとき、MAR を -2
5	RPE	0	R/W	リポートイネーブル DMABCR の DTIE ビットと組み合わせて、シーケンシャルモード、アイドルモード、リポートモードのどのモードで転送するかを選択します。 DTIE=0 のとき (転送終了割り込みなし) 0: シーケンシャルモードで転送 1: リポートモードで転送 DTIE=1 のとき (転送終了割り込みあり) 0: シーケンシャルモードで転送 1: アイドルモードで転送
4	DTDIR	0	R/W	データトランスファディレクション DMABCR の SAE ビットと組み合わせて、データ転送の方向 (ソース側、デスティネーション側) を指定します。デュアルアドレスモードとシングルアドレスモードでは機能が異なります。 SAE=0 のとき 0: MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送 1: IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送 SAE=1 のとき 0: MAR をソースアドレス、DACK 端子をライトストローブとして転送 1: DACK 端子をリードストローブ、MAR をデスティネーションアドレスとして転送

## 7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
3	DTF3	0	R/W	データトランスファファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	<p>チャンネル A</p> <p>0000 : 設定禁止</p> <p>0001 : A/D 変換器の変換終了割り込みで起動</p> <p>0010 : 設定禁止</p> <p>0011 : 設定禁止</p> <p>0100 : SCI チャンネル 0 の送信完了割り込みで起動</p> <p>0101 : SCI チャンネル 0 の受信完了割り込みで起動</p> <p>0110 : SCI チャンネル 1 の送信完了割り込みで起動</p> <p>0111 : SCI チャンネル 1 の受信完了割り込みで起動</p> <p>1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1011 : TPU チャンネル 3 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1100 : TPU チャンネル 4 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1101 : TPU チャンネル 5 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>チャンネル B の場合</p> <p>0000 : 設定禁止</p> <p>0001 : A/D 変換器の変換終了割り込みで起動</p> <p>0010 : DREQ 端子の立ち下がりエッジで起動 ( 転送許可後の最初の転送は Low レベルで検出します。 )</p> <p>0011 : DREQ 端子の Low レベル入力で起動</p> <p>0100 : SCI チャンネル 0 の送信完了割り込みで起動</p> <p>0101 : SCI チャンネル 0 の受信完了割り込みで起動</p> <p>0110 : SCI チャンネル 1 の送信完了割り込みで起動</p> <p>0111 : SCI チャンネル 1 の受信完了割り込みで起動</p> <p>1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1011 : TPU チャンネル 3 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1100 : TPU チャンネル 4 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1101 : TPU チャンネル 5 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.12 複数チャンネルの動作」を参照してください。</p>

## (2) フルアドレスモード

## • DMACR\_0A、DMACR\_1A

ビット	ビット名	初期値	R/W	説明
15	DTSZ	0	R/W	データ転送サイズ 1回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
14 13	SAID SAIDE	0 0	R/W R/W	ソースアドレスインクリメント/デクリメント ソースアドレスインクリメント/デクリメントイネーブル データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: 固定 01: データ転送後、MARA をインクリメント • DTSZ = 0 のとき、MARA を +1 • DTSZ = 1 のとき、MARA を +2 10: 固定 11: データ転送後、MARA をデクリメント • DTSZ = 0 のとき、MARA を -1 • DTSZ = 1 のとき、MARA を -2
12 11	BLKDIR BLKE	0 0	R/W R/W	ブロックディレクション ブロックイネーブル ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE ビットで指定します。またブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR ビットで指定します。 X0: ノーマルモードで転送 01: ブロック転送モードで転送 (ブロックエリアはデスティネーション側) 11: ブロック転送モードで転送 (ブロックエリアはソース側)
10~8	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

【記号説明】 X: Don't care

## 7. DMA コントローラ (DMAC)

### • DMACR\_0B、DMACR\_1B

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6 5	DAID DAIDE	0 0	R/W R/W	デスティネーションアドレスインクリメント/デクリメント デスティネーションアドレスインクリメント/デクリメントイネーブル データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。  00: 固定 01: データ転送後、MARB をインクリメント <ul style="list-style-type: none"> <li>• DTSZ = 0 のとき、MARB を +1</li> <li>• DTSZ = 1 のとき、MARB を +2</li> </ul> 10: 固定 11: データ転送後、MARB をデクリメント <ul style="list-style-type: none"> <li>• DTSZ = 0 のとき、MARB を -1</li> <li>• DTSZ = 1 のとき、MARB を -2</li> </ul>
4	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。



7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データ転送ファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	ノーマルモード 0000 : 設定禁止 0001 : 設定禁止 0010 : $\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動 (転送許可後の最初の転送は、Low レベルで検出します。) 0011 : $\overline{\text{DREQ}}$ 端子の Low レベル入力で起動 010X : 設定禁止 0110 : オートリクエスト (サイクルスチール) 0111 : オートリクエスト (バースト) 1XXX : 設定禁止 ブロック転送モード 0000 : 設定禁止 0001 : A/D 変換器の変換終了割り込みで起動 0010 : $\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動 (転送許可後の最初の転送は、Low レベルで検出します。) 0011 : $\overline{\text{DREQ}}$ 端子の Low レベルで起動 0100 : SCI チャンネル 0 の送信完了割り込みで起動 0101 : SCI チャンネル 0 の受信完了割り込みで起動 0110 : SCI チャンネル 1 の送信完了割り込みで起動 0111 : SCI チャンネル 1 の受信完了割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1011 : TPU チャンネル 3 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1100 : TPU チャンネル 4 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1101 : TPU チャンネル 5 のコンペアマッチ/インプットキャプチャ A 割り込みで起動 1110 : 設定禁止 1111 : 設定禁止 複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.12 複数チャンネルの動作」を参照してください。

【記号説明】 X : Don't care

## 7. DMA コントローラ (DMAC)

### 7.3.5 DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL)

DMABCR は DMAC の各チャンネルの動作を制御します。DMABCR は、転送モードにより一部ビットの機能が異なります。

#### (1) ショートアドレスモード

##### • DMABCRH

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	フルアドレスイネーブル 1 チャンネル 1 をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 1A、1B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
14	FAE0	0	R/W	フルアドレスイネーブル 0 チャンネル 0 をショートアドレスモード/フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 0A、0B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
13	SAE1	0	R/W	シングルアドレスイネーブル 1 チャンネル 1B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード
12	SAE0	0	R/W	シングルアドレスイネーブル 0 チャンネル 0B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード

## 7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
11	DTA1B	0	R/W	データトランスファアクノレッジ 1B データトランスファアクノレッジ 1A データトランスファアクノレッジ 0B データトランスファアクノレッジ 0A  DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。  DTE = 1 のとき DTA = 1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE = 1、DTA = 1 の状態では、内部割り込みは CPU および DTC に割り込みを要求しません。  DTE = 1 のとき DTA = 0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。  DTE = 0 のとき DTA ビットの設定に関係なく、内部割り込み要因は CPU または DTC に割り込みを要求します。
10	DTA1A	0	R/W	
9	DTA0B	0	R/W	
8	DTA0A	0	R/W	

### • DMABCRL

ビット	ビット名	初期値	R/W	説 明
7	DTE1B	0	R/W	データトランスファイネーブル 1B データトランスファイネーブル 1A データトランスファイネーブル 0B データトランスファイネーブル 0A  DTIE = 1 のときに DTE = 0 にすると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。  DTE = 1 はデータ転送許可状態であり DTE = 0 はデータ転送許可状態であり、DMACR の DTF3~0 ビットによって選択されている起動要因は無視されます。DMACR の DTF3~0 ビットによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。  [クリア条件] • 初期化されたとき • リピートモードを除いた転送モードで、指定した回数の転送を終了したとき • 強制的に転送を中断するなどの理由により、DTE ビットに 0 をライトしたとき  [セット条件] • DTE = 0 をリード後、DTE = 1 をライトしたとき
6	DTE1A	0	R/W	
5	DTE0B	0	R/W	
4	DTE0A	0	R/W	

## 7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
3	DTIE1B	0	R/W	データトランスファエンドインタラプトイネーブル 1B
2	DTIE1A	0	R/W	データトランスファエンドインタラプトイネーブル 1A
1	DTIE0B	0	R/W	データトランスファエンドインタラプトイネーブル 0B
0	DTIE0A	0	R/W	データトランスファエンドインタラプトイネーブル 0A

転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIE = 1 にすると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。

### (2) フルアドレスモード

#### • DMABCRH

ビット	ビット名	初期値	R/W	説 明
15	FAE1	0	R/W	フルアドレスイネーブル 1 チャンネル 1 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 1A、1B を組み合わせてチャンネル 1 として使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
14	FAE0	0	R/W	フルアドレスイネーブル 0 チャンネル 0 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 0A、0B を組み合わせてチャンネル 0 として使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
13		0	R/W	リザーブビット
12		0	R/W	リード/ライト可能ですが、0 をライトしてください。
11	DTA1	0	R/W	データトランスファアクノレッジ 1 チャンネル 1 の DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。 DTE1 = 1 のとき DTA1 = 1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE1 = 1、DTA1 = 1 の状態では内部割り込みは CPU および DTC に割り込みを要求しません。 DTE1 = 1 のとき DTA1 = 0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。 DTE1 = 0 のとき、DTA1 ビットの設定に関係なく、内部割り込みは CPU または DTC に割り込みを要求します。 DTME1 ビットの状態は、前述の動作に影響を与えません。

## 7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
10		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
9	DTA0	0	R/W	データトランスファアクノレッジ0 チャンネル0のDMACRのDTF3~0ビットによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。 DTE0=1のときDTA0=1にすると、内部割り込み要因はDMA転送により自動的にクリアされます。DTE0=1、DTA0=1の状態では内部割り込みはCPUおよびDTCに割り込みを要求しません。 DTE0=1のときDTA0=0にすると、内部割り込み要因は転送時にはクリアされず、並行してCPUまたはDTCに割り込みを要求することができます。この場合、CPUまたはDTC転送で割り込み要因をクリアしてください。 DTE0=0のとき、DTA0ビットの設定に関係なく、内部割り込みはCPUまたはDTCに割り込みを要求します。 DTME0ビットの状態は、前述の動作に影響を与えません。
8		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

### • DMABCRL

ビット	ビット名	初期値	R/W	説 明
7	DTME1	0	R/W	データトランスファマスタイネーブル1 DTE1ビットとともにチャンネル1のデータ転送を許可または禁止するビットです。DTME1ビットとDTE1ビットをいずれも1にセットすると、チャンネル1は転送許可状態となります。 NMI割り込みが発生したとき、チャンネル1がバーストモード転送中のときはDTME1ビットが0にクリアされ、転送を中断してCPUにバス権を移します。その後、DTME1ビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI割り込みによりDTME1ビットがクリアされることはなく、転送を中断することはありません。 [クリア条件] <ul style="list-style-type: none"> <li>• 初期化されたとき</li> <li>• バーストモードでNMIが入力されたとき</li> <li>• DTME1ビットに0をライトしたとき</li> </ul> [セット条件] <ul style="list-style-type: none"> <li>• DTME1ビット=0をリード後、DTME1ビットに1をライトしたとき</li> </ul>

## 7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
6	DTE1	0	R/W	<p>データトランスファイナブル 1</p> <p>チャンネル1のDMACRのDTF3~0ビットによって選択されている起動要因のDMA転送を許可または禁止するビットです。</p> <p>DTE1=0のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPUまたはDTCに割り込みが要求されます。また、DTIE1=1のときDTE1=0にすると、DMACは転送終了とみなし、CPUに対し転送終了割り込みを要求します。</p> <p>DTE1=1かつDTME1=1のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 初期化されたとき</li> <li>• 指定した回数の転送を終了したとき</li> <li>• 強制的に転送を中断するなどの理由により、DTE1ビットに0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• DTE1=0をリード後、DTE1ビットに1をライトしたとき</li> </ul>
5	DTME0	0	R/W	<p>データトランスファマスタイナブル 0</p> <p>DTE0ビットとともにチャンネル0のデータ転送を許可または禁止するビットです。DTME0ビットとDTE0ビットをいずれも1にセットすると、チャンネル0は転送許可状態となります。</p> <p>NMI割り込みが発生したとき、チャンネル0がバーストモード転送中のときはDTME0ビットが0にクリアされ、転送を中断してCPUにバス権を移します。その後、DTME0ビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI割り込みによりDTME0ビットがクリアされることはなく、転送を中断することはありません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 初期化されたとき</li> <li>• バーストモードでNMIが入力されたとき</li> <li>• DTME0ビットに0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• DTME0ビット=0をリード後、DTME0ビットに1をライトしたとき</li> </ul>

## 7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
4	DTE0	0	R/W	<p>データトランスファインエーブル 0</p> <p>チャンネル 0 の DMACR の DTF3 ~ 0 ビットによって選択されている起動要因の DMA 転送を許可または禁止するビットです。</p> <p>DTE0 = 0 のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTIE0 = 1 のとき DTE0 = 0 になると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>DTE0 = 1 かつ DTME0 = 1 のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>初期化されたとき</li> <li>指定した回数の転送を終了したとき</li> <li>強制的に転送を中断するなどの理由により、DTE0 ビットに 0 をライトしたとき</li> </ul> <p>[セット条件]</p> <p>DTE0 = 0 をリード後、DTE0 ビットに 1 をライトしたとき</p>
3	DTIE1B	0	R/W	<p>データトランスファインタラプトインエーブル 1B</p> <p>チャンネル 1 の転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE1B = 1 のとき DTME1 = 0 になると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIE1B ビットを 0 にクリアする方法と、DTME1 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
2	DTIE1A	0	R/W	<p>データトランスファエンドインタラプトインエーブル 1A</p> <p>チャンネル 1 の転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE1A = 1 のとき DTE1 = 0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE1A ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE1 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
1	DTIE0B	0	R/W	<p>データトランスファインタラプトインエーブル 0B</p> <p>チャンネル 0 の転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0B = 1 のとき DTME0 = 0 になると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIE0B ビットを 0 にクリアする方法と、DTME0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
0	DTIE0A	0	R/W	<p>データトランスファエンドインタラプトインエーブル 0A</p> <p>チャンネル 0 の転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0A = 1 のとき DTE0 = 0 にすると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE0A ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>

## 7. DMA コントローラ (DMAC)

### 7.3.6 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェーン転送を利用して書き換え、再起動させることができます。DMAWER は、目的とするチャンネル以外のレジスタを不用意に書き換えることができないように、DTC に対し特定チャンネルの DMACR および DMATCR、DMABCR の特定ビットの変更を制限します。DMAWER による制限は、DTC に対し有効です。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	WE1B	0	R/W	ライトイネーブル 1B DMACR1B のすべてのビットと、DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可
2	WE1A	0	R/W	ライトイネーブル 1A DMACR1A のすべてのビットと、DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可
1	WE0B	0	R/W	ライトイネーブル 0B DMACR0B のすべてのビットと、DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可
0	WE0A	0	R/W	ライトイネーブル 0A DMACR0A のすべてのビットと、DMABCR のビット 8、4、0 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可



図 7.2 にチャンネル 0A の転送終了割り込み要求により DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送でアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェイン転送でコントロールレジスタの領域を再設定します。コントロールレジスタの領域を再設定する際には、他のチャンネルの内容を変更できないように DMAWER のビットを設定してマスクしてください。

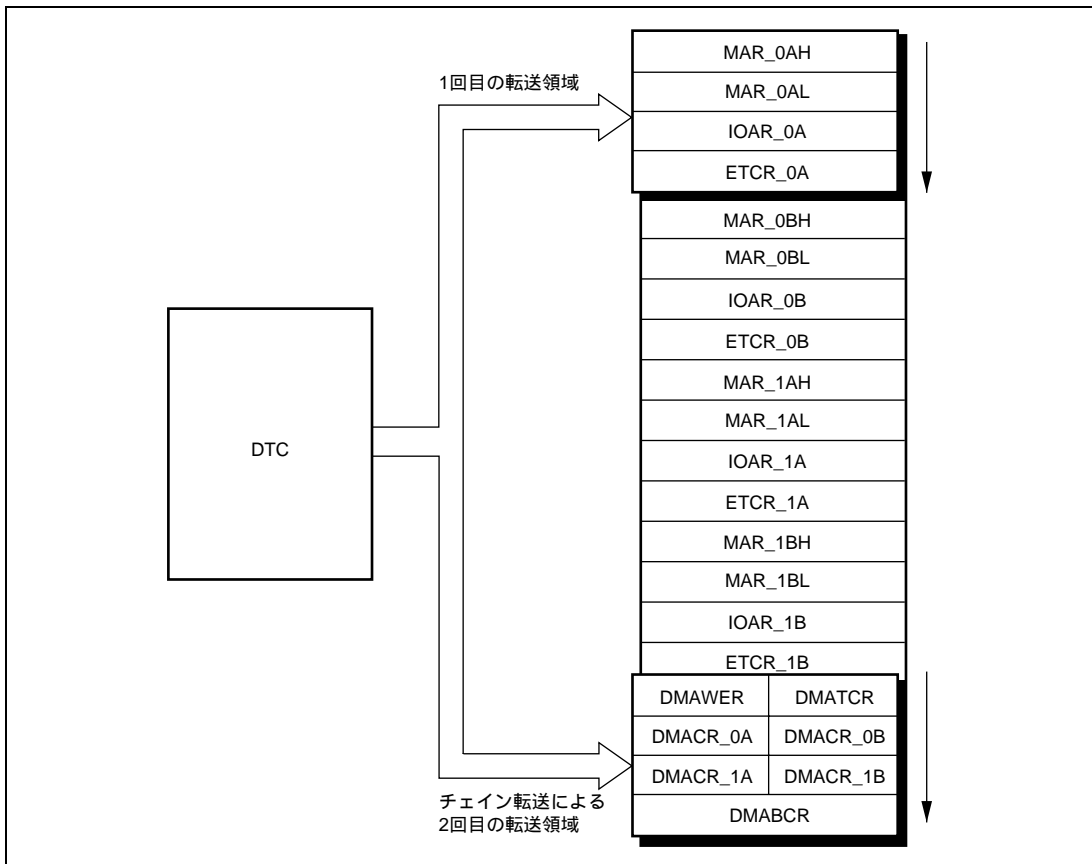


図 7.2 DTC によるレジスタ再設定領域 (チャンネル 0A)

DMAWER の設定にかかわらず、DTC による DMABCR のビット 15~12 (FAE、SAE) へのライトは無効です。これらのビットの変更は CPU による処理で行ってください。

DTC による DMABCR のビット 7~4 (DTE) へのライトは、0 をリードせずに 1 をライトすることができます。フルアドレスモードに設定されているチャンネルの再起動は、再起動するチャンネルのライトイネーブル A、ライトイネーブル B とともに 1 をライトしてください。

MAR、IOAR、ETCR は、DMAWER の設定に関係なく常にライト可能です。これらのレジスタの変更は、変更するチャンネルが停止している状態で行ってください。

## 7. DMA コントローラ (DMAC)

---

### 7.3.7 DMA ターミナルコントロールレジスタ (DMATCR)

DMATCR は、DMAC の転送終了端子の出力の許可または禁止を制御します。ビットの設定によりポートを自動的に出力に設定し、転送終了信号を出力することができます。TEND 端子は、ショートアドレスモードではチャンネル B のみに割り当てられています。転送終了信号は、転送要因によらず、転送カウンタが 0 になった転送サイクルを示しています。例外として、ブロック転送モードの場合は、ブロックカウンタが 0 になった転送サイクルを示しています。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると常に 0 が読み出されます。ライトは無効です。
5	TEE1	0	R/W	転送終了端子イネーブル 1 転送終了端子 1 ( $\overline{TEND1}$ ) の出力を許可または禁止するビットです。 0 : $\overline{TEND1}$ 端子出力を禁止 1 : $\overline{TEND1}$ 端子出力を許可
4	TEE0	0	R/W	転送終了端子イネーブル 0 転送終了端子 0 ( $\overline{TEND0}$ ) の出力を許可または禁止するビットです。 0 : $\overline{TEND0}$ 端子出力を禁止 1 : $\overline{TEND0}$ 端子出力を許可
3~0	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

## 7.4 起動要因

DMAC は内部割り込み要求または外部リクエスト、オートリクエストにより起動します。表 7.3 に DMAC の起動要因を示します。指定できる要因は、転送モードによって異なります。

表 7.3 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマル モード	ブロック 転送モード
内部 割り込み	ADI			×	
	TXI0			×	
	RXI0			×	
	TXI1			×	
	RXI1			×	
	TGI0A			×	
	TGI1A			×	
	TGI2A			×	
	TGI3A			×	
	TGI4A			×	
	TGI5A			×	
外部 リクエスト	DREQ 端子の立ち下がりエッジ入力	×			
	DREQ 端子の Low レベル入力	×			
オートリクエスト		×	×		×

【記号説明】 : 指定可能 × : 指定不可

### 7.4.1 内部割り込み要求による起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に割り込み要求を発生させることができます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

内部割り込み要求による起動要因では、DMAC は割り込みコントローラとは独立して割り込み要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、または DTC の起動要因としない割り込み要求により DMAC を起動する場合 (DTA = 1)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みは、DMA 転送で所定のレジスタをアクセスしないと、割り込み要求フラグはクリアされません。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持され優先順位に従って起動されます。

転送終了後の DTE = 0 の状態では、DTA ビットの設定に関係なく、選択された起動要因は DMAC に割り込みを要求しません。この場合、当該割り込みは CPU または DTC に割り込みを要求します。

CPU の割り込み要因または DTC の起動要因と重なっている場合 (DTA = 0)、割り込み要求フラグは DMAC に

## 7. DMA コントローラ (DMAC)

---

よりクリアされません。

### 7.4.2 外部リクエストによる起動

DMAC の起動要因として外部リクエスト ( $\overline{\text{DREQ}}$  端子) を指定する場合は、該当ポートをあらかじめ入力に設定してください。外部リクエストにはレベルセンスとエッジセンスがあります。

ショートアドレスモード、フルアドレスモードのノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合、 $\overline{\text{DREQ}}$  端子の High レベルから Low レベルの変化を検出するたびに、1 バイトまたは 1 ワードのデータ転送を行います。データ転送を完了する前に次のエッジが入力された場合は、次のデータ転送を行わないことがあります。

レベルセンスを選択した場合、 $\overline{\text{DREQ}}$  端子が High レベルに保持されているときは、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$  端子が Low レベルに保持されているときは、1 バイトまたは 1 ワードの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で  $\overline{\text{DREQ}}$  端子が High レベルになると、転送を中断し転送要求待ち状態になります。

### 7.4.3 オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。バーストモードでは、転送終了までバスを占有し連続して転送を行います。

## 7.5 動作説明

### 7.5.1 転送モード

DMAC の転送モードを表 7.4 に示します。

表 7.4 DMAC の転送モード

転送モード	転送要因	備考
ショート アドレスモード	デュアルアドレスモード (1) シーケンシャルモード • 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 転送回数は 1 ~ 65536 (2) アイドルモード • メモリアドレスは固定 • 転送回数は 1 ~ 65536 (3) リピートモード • メモリアドレスを 1 または 2 増減 • 転送回数 (1 ~ 256) 転送後、 初期状態を回復して動作を継続	• TPU チャンネル 0~5 の コンペアマッチ/インプット キャプチャ A 割り込み • SCI の送信完了割り込み • SCI の受信完了割り込み • A/D 変換器の変換終了割り込み • 外部リクエスト
	シングルアドレスモード • 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 • I/O を指定するアドレスの代わりに $\overline{\text{DACK}}$ 端子を用いて 1 バスサイ クルで転送 • シーケンシャルモード、アイドル モード、リピートモードの各モー ドを指定可能	

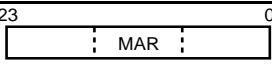
## 7. DMA コントローラ (DMAC)

転送モード		転送要因	備考
フル アドレスモード	ノーマルモード (1) オートリクエスト <ul style="list-style-type: none"> <li>転送要求を内部保持</li> <li>指定回数 (1 ~ 65536) を継続して転送</li> <li>バースト/サイクルスチール転送を選択可能</li> </ul>	<ul style="list-style-type: none"> <li>オートリクエスト</li> </ul>	<ul style="list-style-type: none"> <li>チャンネル A、B を組み合わせて、最大 2 チャンネル動作可能</li> </ul>
	(2) 外部リクエスト <ul style="list-style-type: none"> <li>1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行</li> <li>転送回数は 1 ~ 65536</li> </ul>	<ul style="list-style-type: none"> <li>外部リクエスト</li> </ul>	
	ブロック転送モード <ul style="list-style-type: none"> <li>1 回の転送要求で指定した 1 ブロックサイズの転送を実行</li> <li>転送回数は 1 ~ 65536</li> <li>ソースまたはデスティネーションのいずれかをブロックエリアに指定可能</li> <li>ブロックサイズは 1 ~ 256 バイトまたはワード</li> </ul>	<ul style="list-style-type: none"> <li>TPU チャンネル 0 ~ 5 のコンペアマッチ/インプットキャプチャ A 割り込み</li> <li>SCI の送信完了割り込み</li> <li>SCI の受信完了割り込み</li> <li>A/D 変換器の変換終了割り込み</li> <li>外部リクエスト</li> </ul>	

### 7.5.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.5 にシーケンシャルモード時のレジスタの機能を示します。

表 7.5 シーケンシャルモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	一回の転送ごとにデクリメント H'0000 になると転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は一回のバイトまたはワードデータ転送を行うたびに 1 または 2 をインクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。

図 7.3 にシーケンシャルモードの動作を示します。

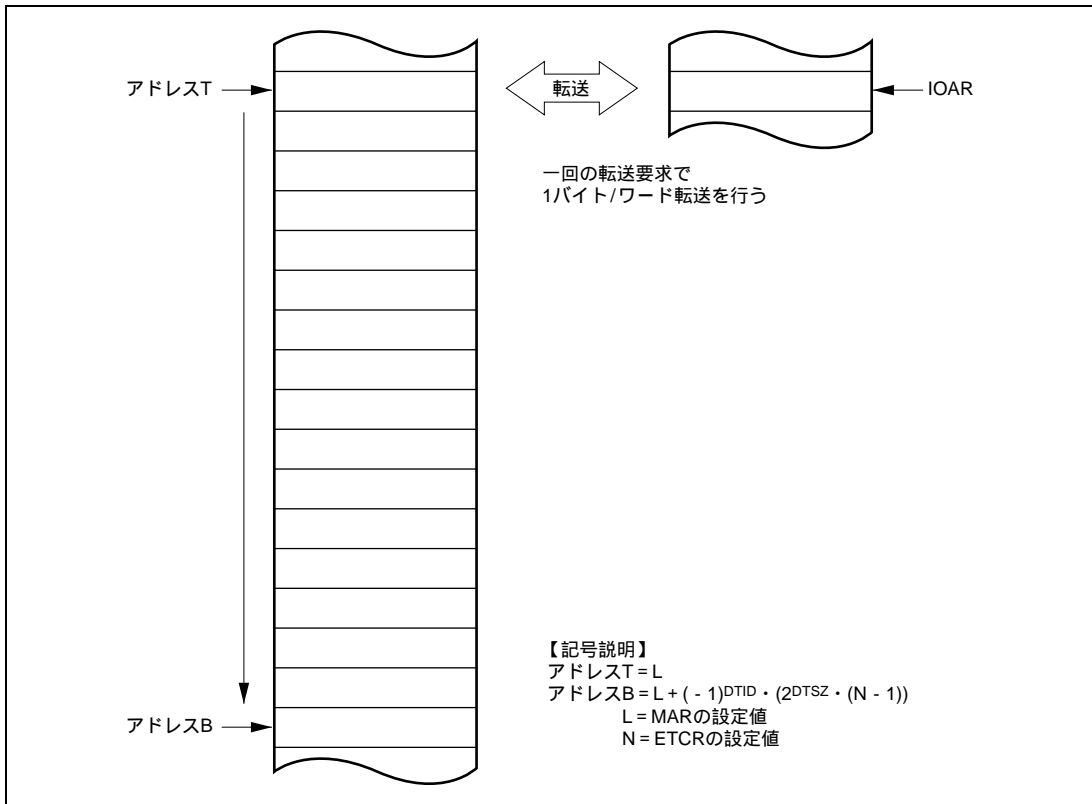


図 7.3 シーケンシャルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は一回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCR の DTE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信/受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 7.4 にシーケンシャルモードの設定手順例を示します。

## 7. DMA コントローラ (DMAC)

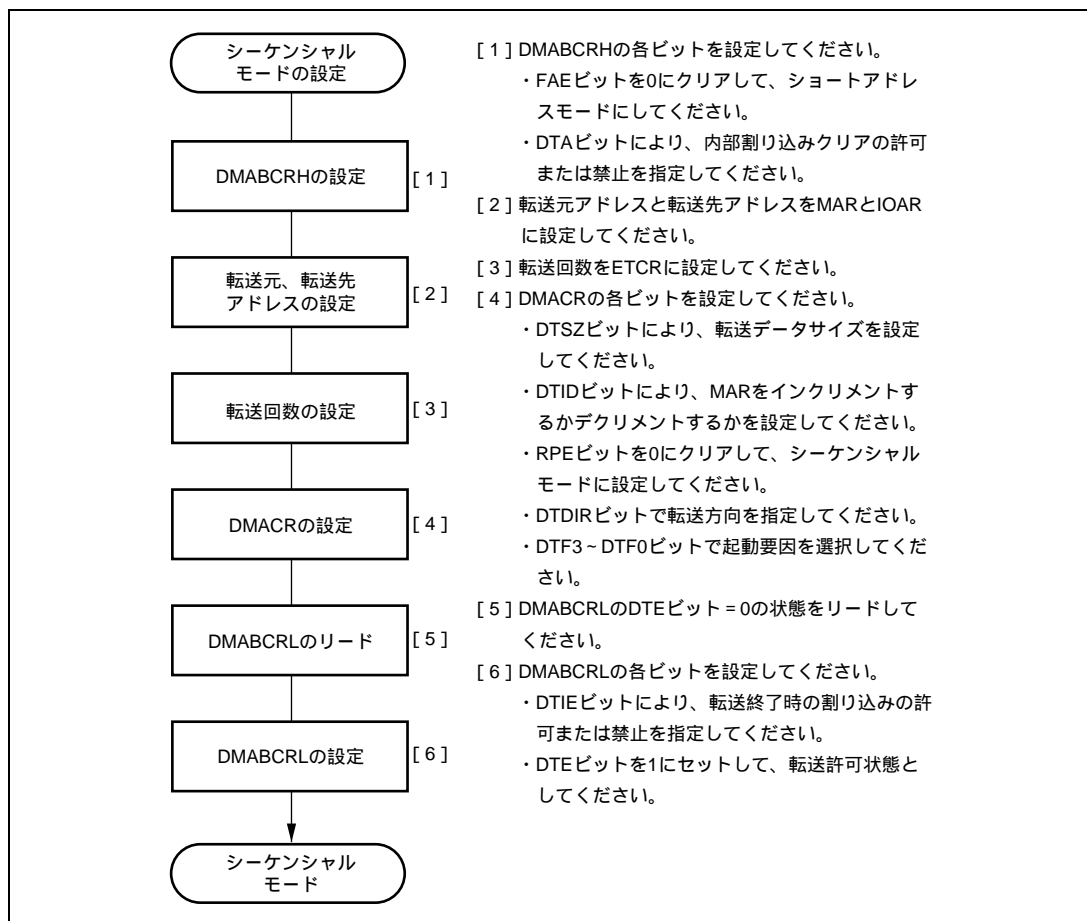


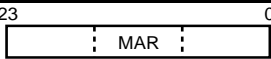
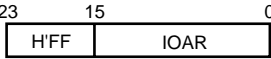
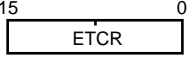
図 7.4 シーケンシャルモードの設定手順例



### 7.5.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DMABCRL の DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行います。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.6 にアイドルモード時のレジスタの機能を示します。

表 7.6 アイドルモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	ディスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
	ディスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	一回の転送ごとにデクリメント H'0000 になると転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR はデータ転送でインクリメント/デクリメントされません。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。図 7.5 にアイドルモードの動作を示します。

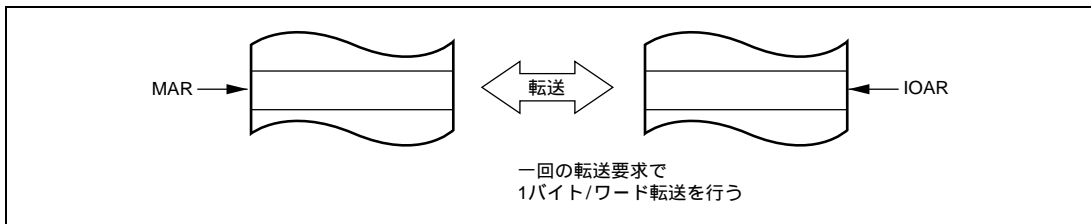


図 7.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は一回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTIE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信/受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

## 7. DMA コントローラ (DMAC)

図 7.6 にアイドルモードの設定手順例を示します。

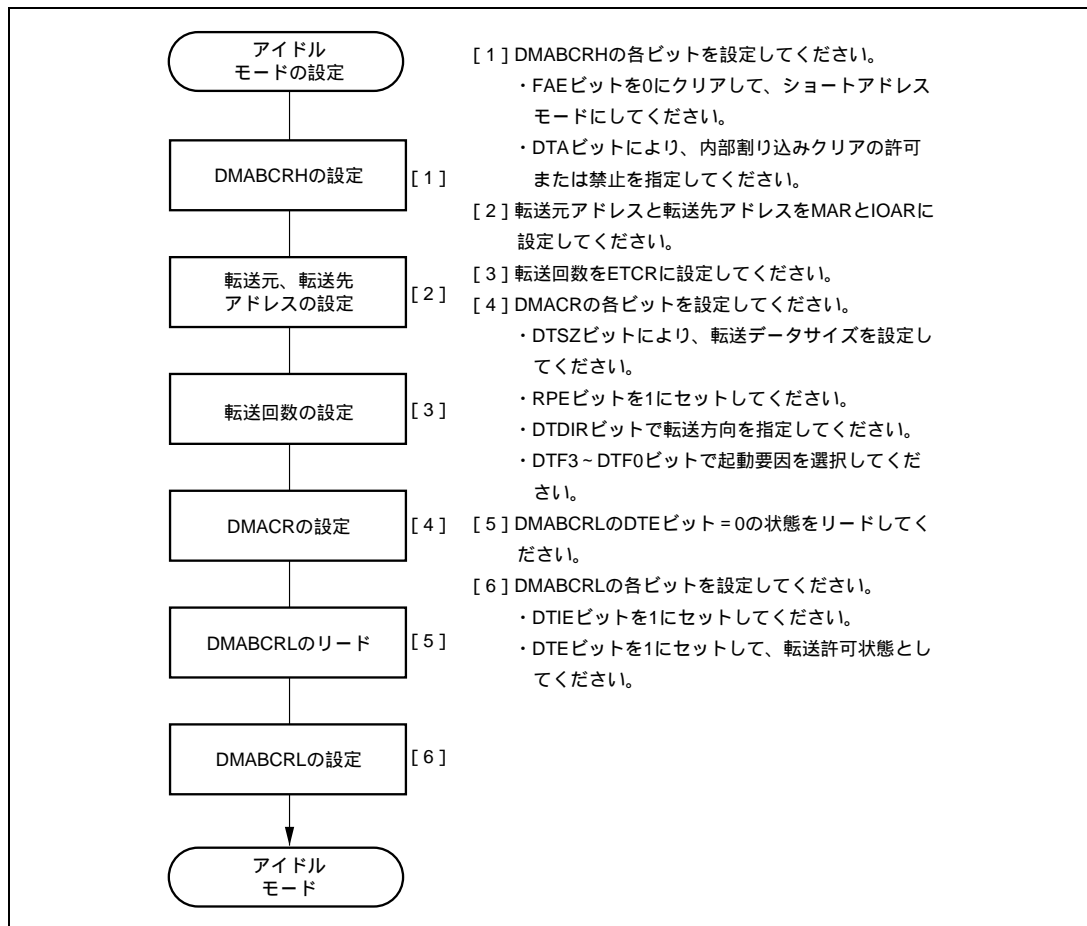
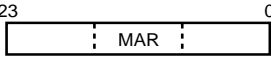
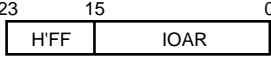




図 7.6 アイドルモードの設定手順例

## 7.5.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1 に、DMABCRL の DTIE ビットを 0 に設定することで指定できます。リピートモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRL で設定した回数だけ実行します。設定回数の転送を終了すると、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.7 にリピートモード時のレジスタの機能を示します。

表 7.7 リピートモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	ディスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント H'0000 になると初期設定値に回復
	ディスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
	転送カウンタ		転送回数	一回の転送ごとにデクリメント H'00 になると ETCRH の値をロード

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は一回のデータ転送を行うたびに 1 または 2 をインクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで 256 となります。

リピートモードでは、ETCRL を転送カウンタ、ETCRH を転送回数保持レジスタとして使用します。ETCRL は一回のデータ転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は同じ値に設定してください。

## 7. DMA コントローラ (DMAC)

リピートモードでは、DMABCRL の DTE ビットがクリアされるまで動作を継続します。したがって、データ転送を終了するには DTE ビットを 0 にクリアしてください。CPU または DTC に対して転送終了割り込みは要求しません。DTE ビットをクリア後、DTE ビットを再びセットすると、DTE ビットをクリアした時点で終了した転送の続きから再開することができます。

図 7.7 にリピートモードの動作を示します。

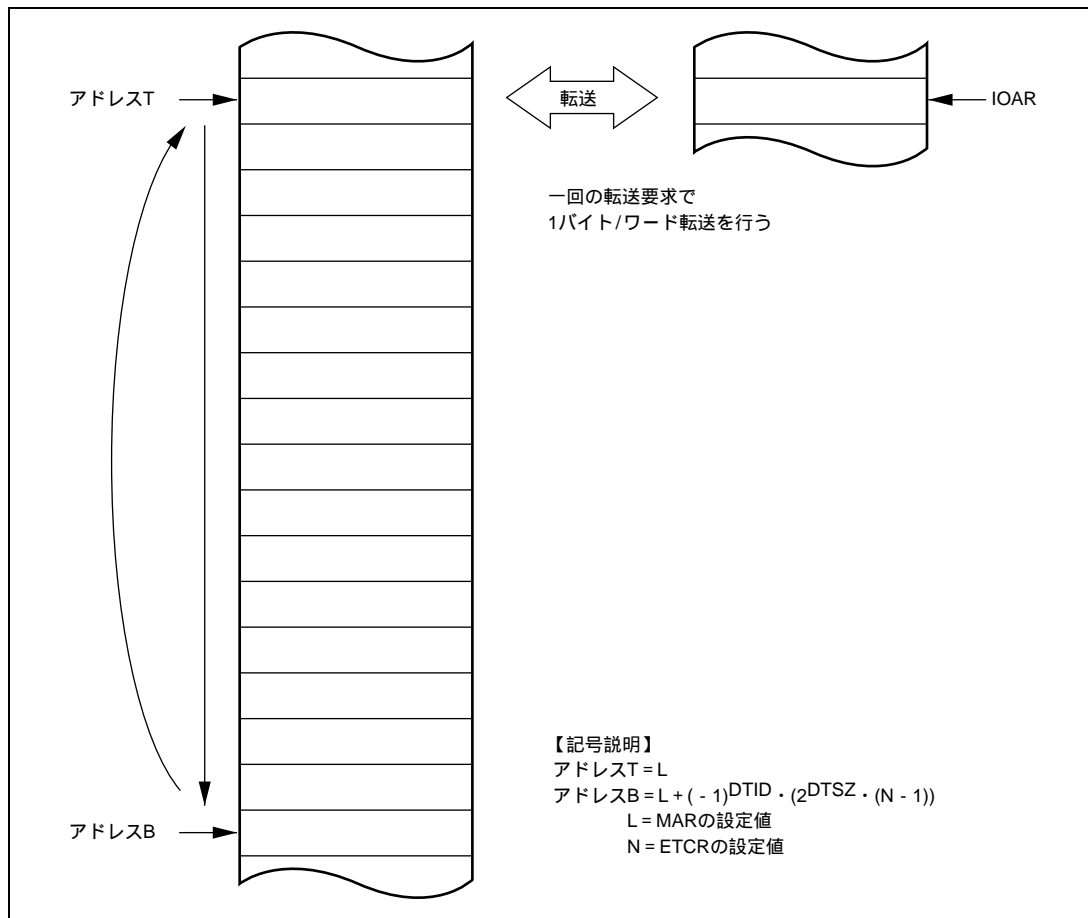


図 7.7 リピートモードの動作

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信/受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ/インプットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 7.8 にリピートモードの設定手順例を示します。

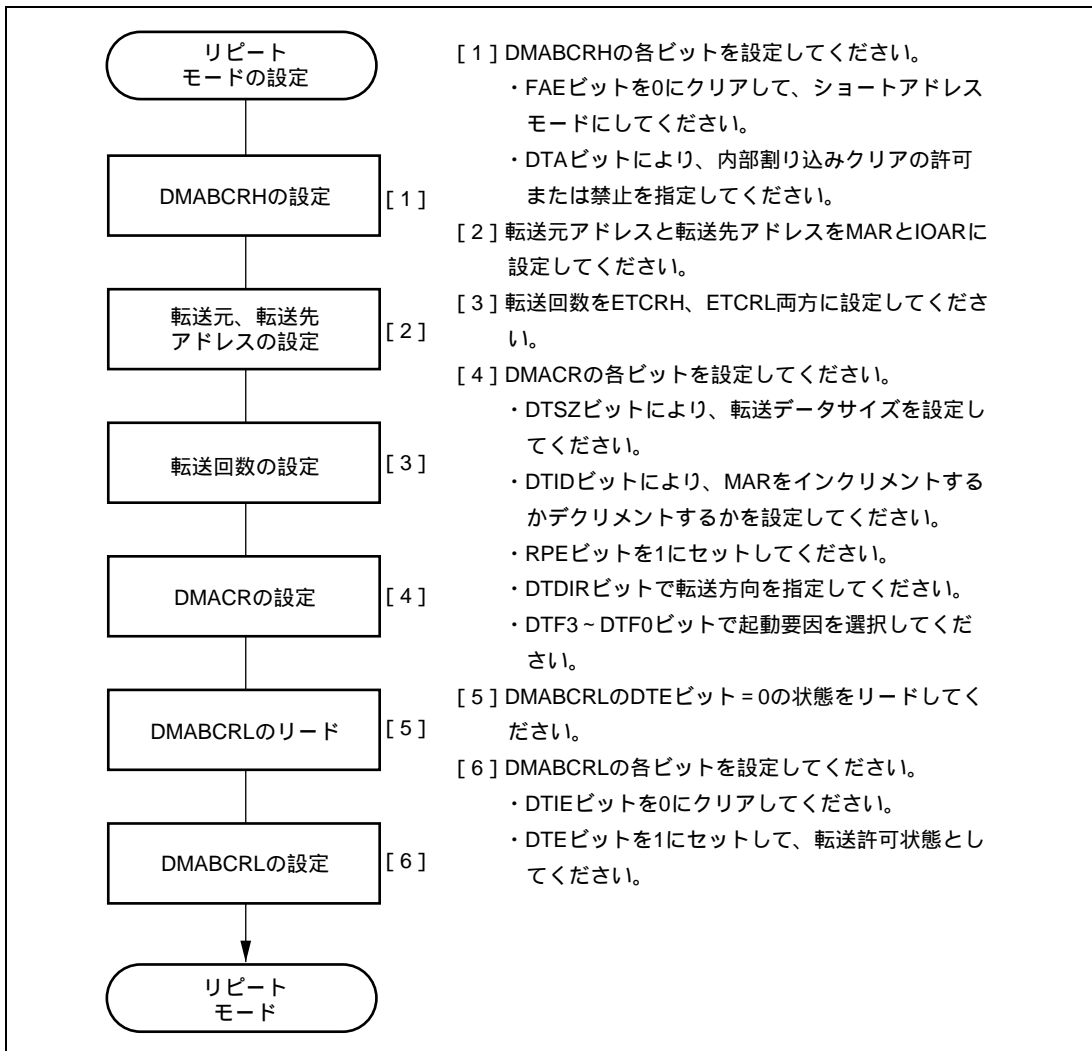


図 7.8 リピートモードの設定手順例

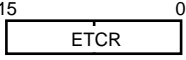
## 7. DMA コントローラ (DMAC)

### 7.5.5 シングルアドレスモード

シングルアドレスモードは、チャンネル B のみ設定できます。シングルアドレスモードは、ショートアドレスモードにおいて DMABCRH の SAE ビットを 1 に設定することで指定できます。

アドレスの一方は MAR で指定し、他方は自動的にデータ転送アクノレッジ端子 ( $\overline{DACK}$ ) に設定されます。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.8 にシングルアドレスモード時のレジスタの機能を示します。

表 7.8 シングルアドレスモード時レジスタの機能

対象レジスタ	機 能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	ディスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照
$\overline{DACK}$ 端子	ライトストロープ	リードストロープ	(DMABCRH の SAE ビットによる自動設定、IOAR は無効)	外部デバイスに対するストロープ
	転送カウンタ		転送回数	「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。IOAR は無効となり、代わりに外部デバイスに対するストロープ ( $\overline{DACK}$ ) を出力します。

図 7.9 にシングルアドレスモード (シーケンシャルモード指定) の動作を示します。

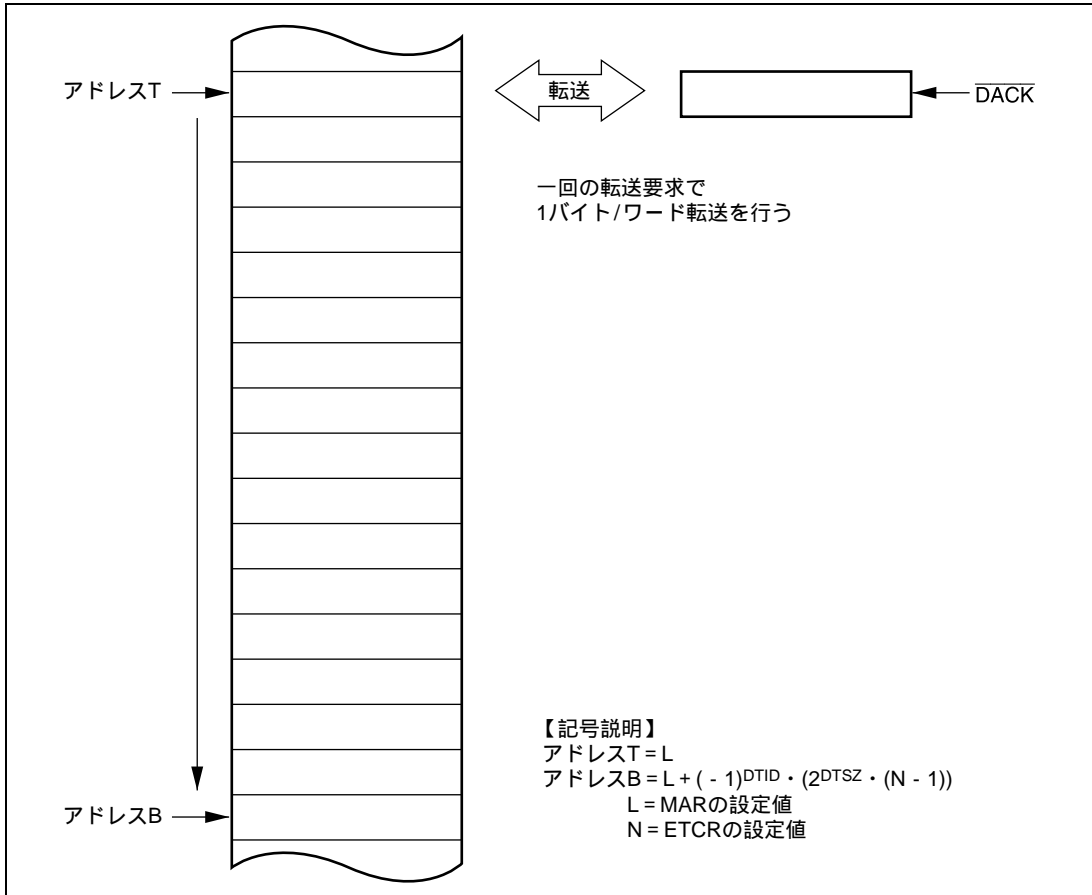


図 7.9 シングルアドレスモード (シーケンシャルモード指定) の動作

## 7. DMA コントローラ (DMAC)

図 7.10 にシングルアドレスモード (シーケンシャルモード指定) の設定手順例を示します。

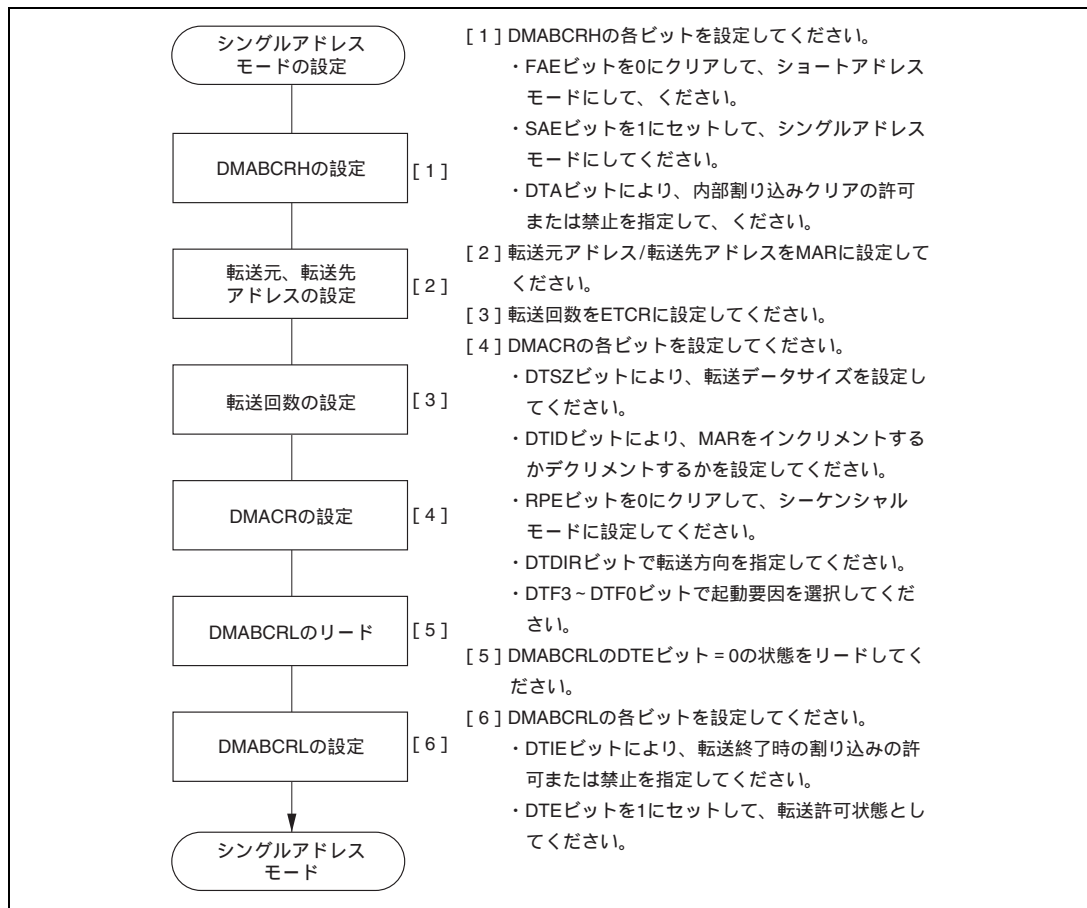



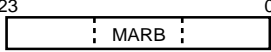
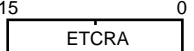
図 7.10 シングルアドレスモード (シーケンシャルモード指定) の設定手順例



### 7.5.6 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせてデータ転送を行います。ノーマルモードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 0 に設定することで指定できます。ノーマルモードでは、一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRA で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。表 7.9 にノーマルモード時のレジスタの機能を示します。

表 7.9 ノーマルモード時のレジスタ機能

対象レジスタ	機能	初期設定値	動作
23  0	ソースアドレスレジスタ	転送元の先頭アドレス	一回の転送ごとにインクリメント/デクリメント、または固定
23  0	ディスティネーションアドレスレジスタ	転送先の先頭アドレス	一回の転送ごとにインクリメント/デクリメント、または固定
15  0	転送カウンタ	転送回数	一回の転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は一回のデータ転送を行うたびに、1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA により 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTE ビットをクリアしてデータ転送を終了します。このとき、DMABCRL の DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCRA に H'0000 を設定したときで 65536 となります。

## 7. DMA コントローラ (DMAC)

図 7.11 にノーマルモードの動作を示します。

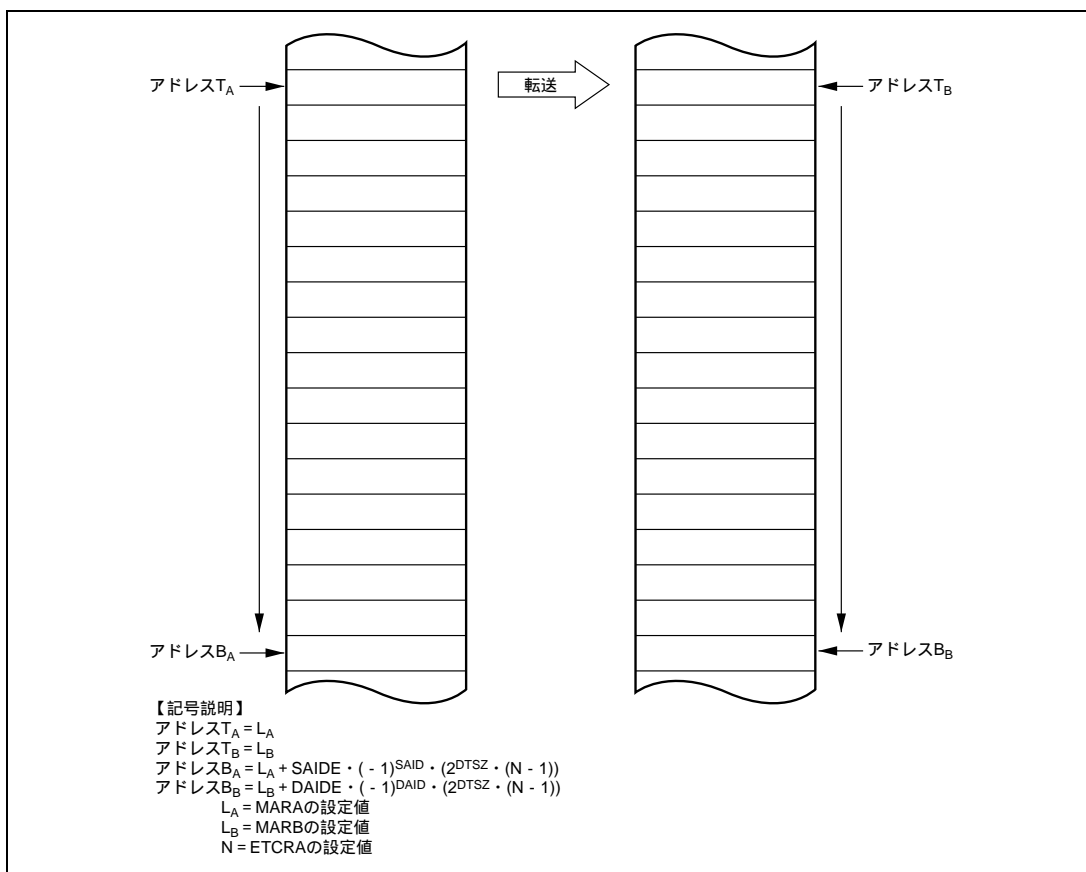


図 7.11 ノーマルモードの動作

転送要求 (起動要因) には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、設定された回数のデータ転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、一回のデータ転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。

図 7.12 にノーマルモードの設定手順例を示します。

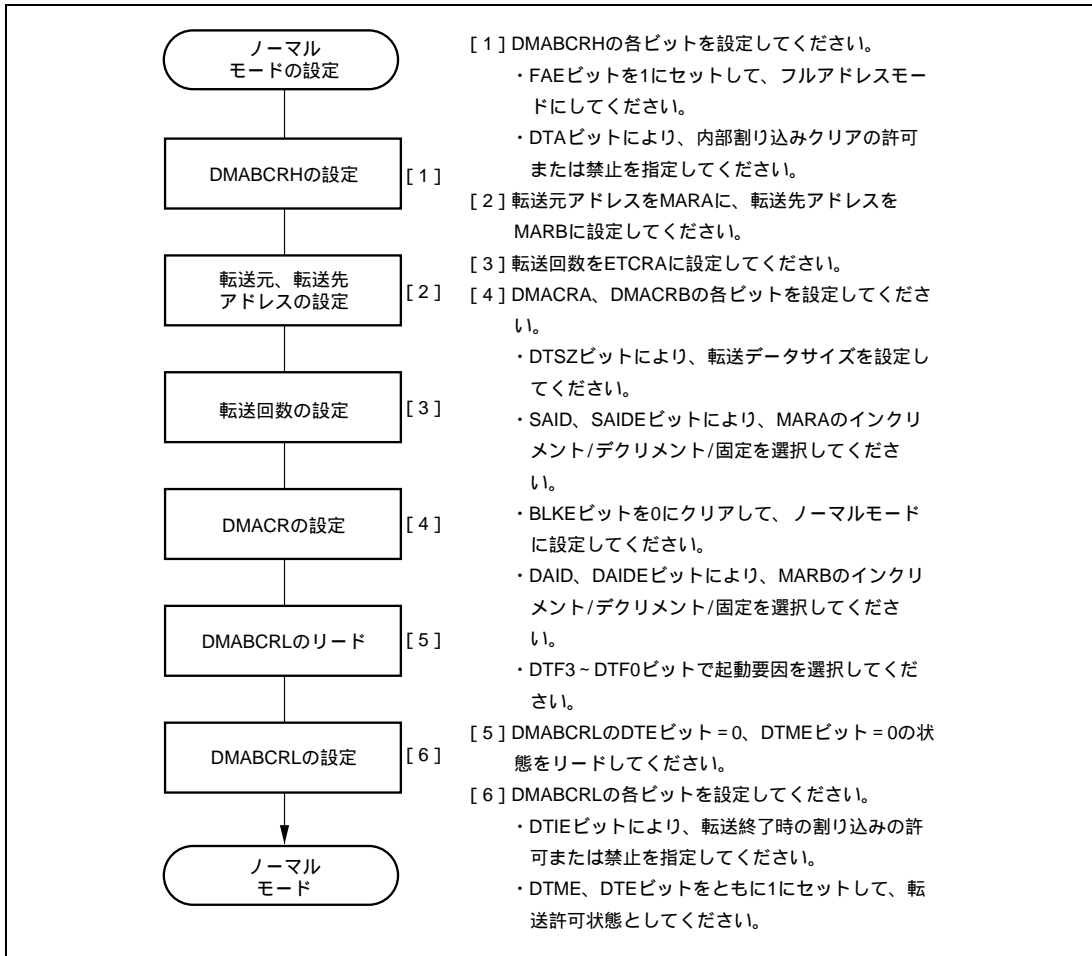


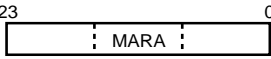
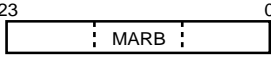



図 7.12 ノーマルモードの設定手順例

## 7. DMA コントローラ (DMAC)

### 7.5.7 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせてデータ転送を行います。ブロック転送モードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。ブロック転送モードでは、一回の転送要求に対して指定されたブロックサイズのデータ転送を行います。これを ETCRB で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア(複数バイト/ワードで構成されたエリア)とするかを選択できます。表 7.10 にブロック転送モード時のレジスタの機能を示します。

表 7.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	一回の転送ごとにインクリメント/デクリメント、または固定
	ディスティネーションアドレスレジスタ	転送先先頭アドレス	一回の転送ごとにインクリメント/デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	一回の転送ごとにデクリメント H'00 になると ETCRAH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は一回のデータ転送を行うたびに 1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを  $M$  ( $M = 1 \sim 256$ ) とし、 $N$  ( $N = 1 \sim 65536$ ) 回の転送を行うとき、ETCRAH、ETCRAL の両方に  $M$  を、ETCRB に  $N$  を設定します。

図 7.13 に MARB をブロックエリアにした場合のブロック転送モードの動作を示します。

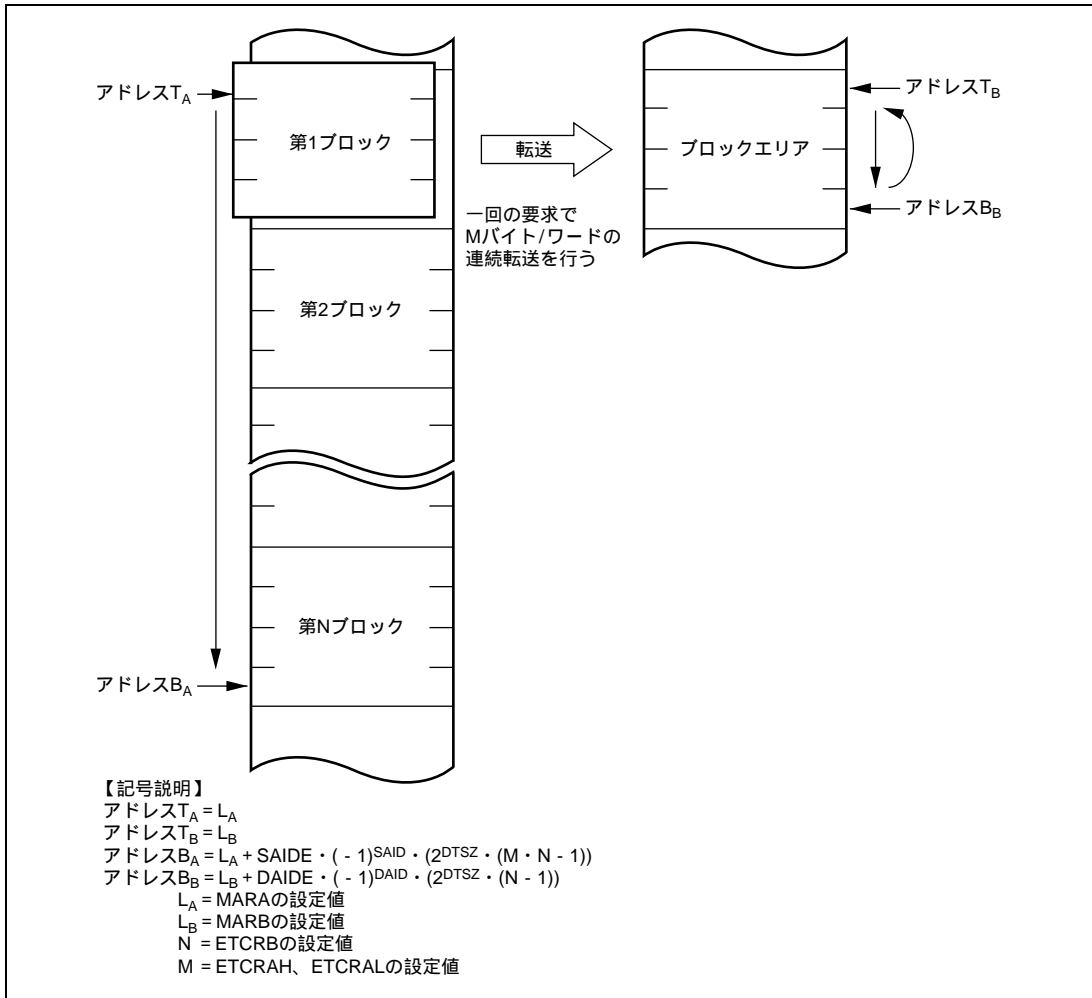


図 7.13 ブロック転送モードの動作 (BLKDIR = 0)

## 7. DMA コントローラ (DMAC)

図 7.14 に MARA をブロックエリアにした場合のブロック転送モードの動作を示します。

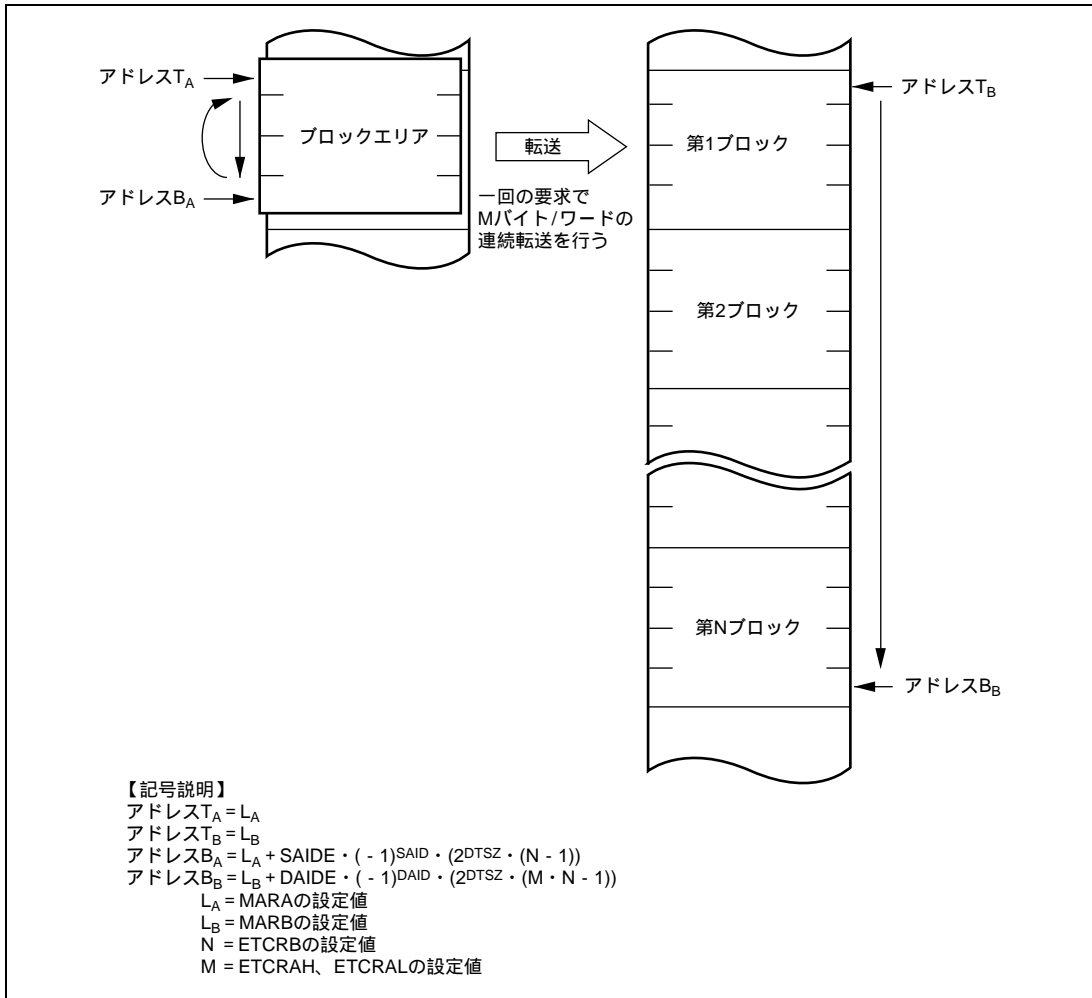


図 7.14 ブロック転送モードの動作 (BLKDIR = 1)

ETCRAL は一回のデータ転送を行うたびに 1 だけデクリメントされます。一回の転送要求に対して、ETCRAL が H'00 になるまでパースト転送が行われます。ETCRAL が H'00 になると ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ および SAID/DAID、SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は一回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTE ビットをクリアして転送を終了します。このとき、DMABCRL の DTIE ビットが 1 にセットされていると、CPU または DTC に対して割り込みを要求します。図 7.15 にブロック転送モードの動作フローを示します。

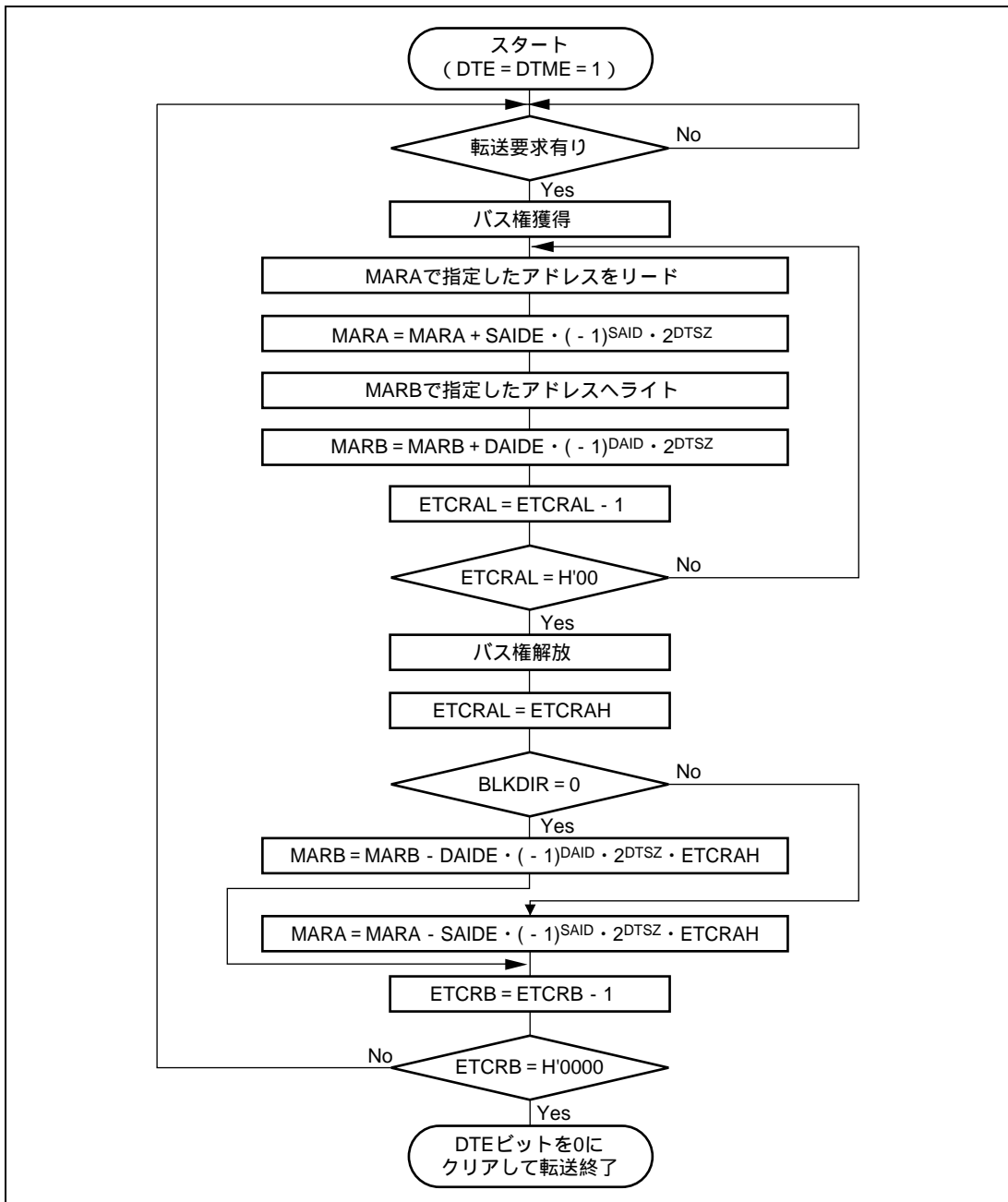


図 7.15 ブロック転送モードの動作フロー

## 7. DMA コントローラ (DMAC)

転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信/受信完了割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。図7.16にブロック転送モードの設定手順例を示します。

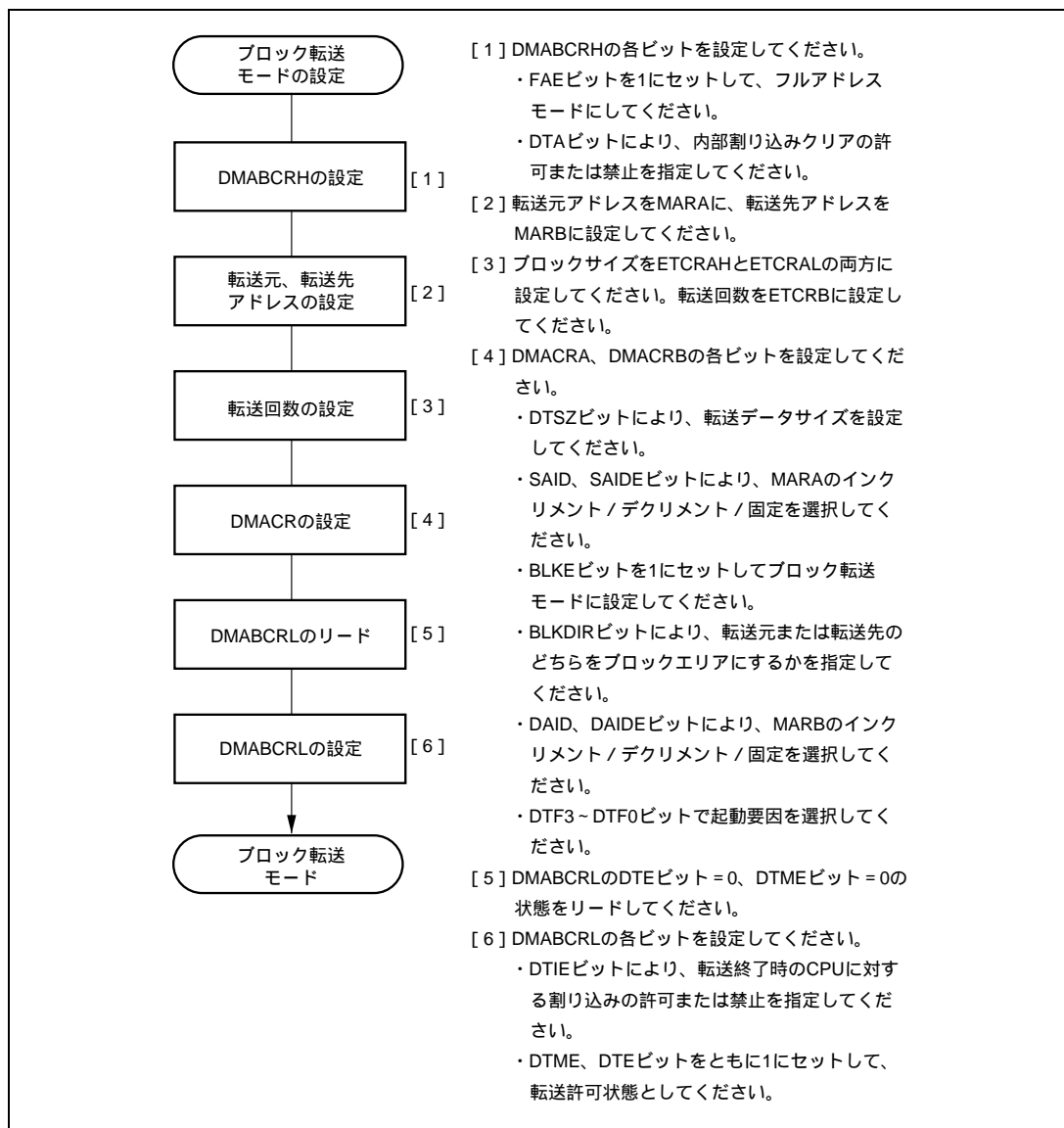


図 7.16 ブロック転送モードの設定手順例



### 7.5.8 基本バスサイクル

図 7.17 に DMAC の基本的なバスサイクルのタイミング例を示します。図 7.17 はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMA サイクルは CPU サイクルと同様に、バスコントローラの設定に従います。なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部アドレスバスに出力されません。

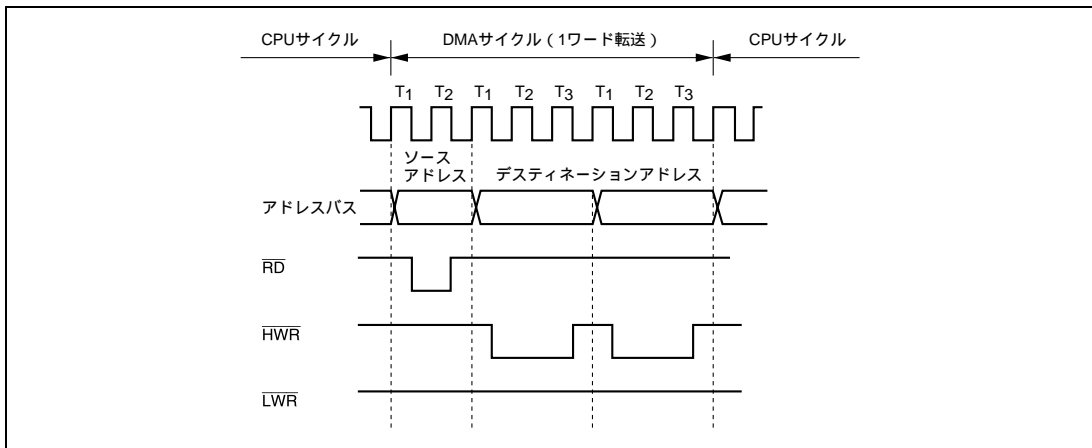


図 7.17 DMA 転送バスタイミング例

### 7.5.9 DMA 転送 (デュアルアドレスモード) のバスサイクル

#### (1) ショートアドレスモード

図 7.18 に  $\overline{TEND}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から内部 I/O 空間へ、バイトサイズでショートアドレスモード転送 (シーケンシャル/アイドル/リピートモード) を行った場合の転送例を示します。

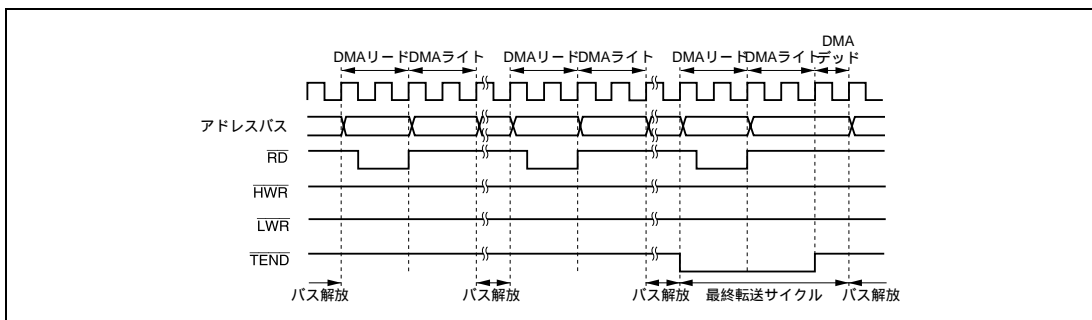


図 7.18 ショートアドレスモード転送例

## 7. DMA コントローラ (DMAC)

一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

リピートモードの場合、 $\overline{TEND}$  出力を許可すると、転送終了サイクルで  $\overline{TEND}$  出力が Low レベルになります。

### (2) フルアドレスモード (サイクルスチールモード)

図 7.19 に  $\overline{TEND}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

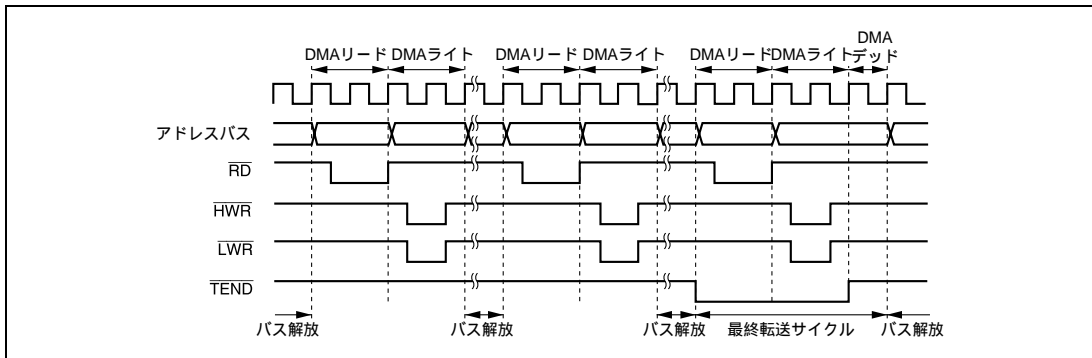


図 7.19 フルアドレスモード (サイクルスチール) 転送例

一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

### (3) フルアドレスモード (バーストモード)

図 7.20 に  $\overline{TEND}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

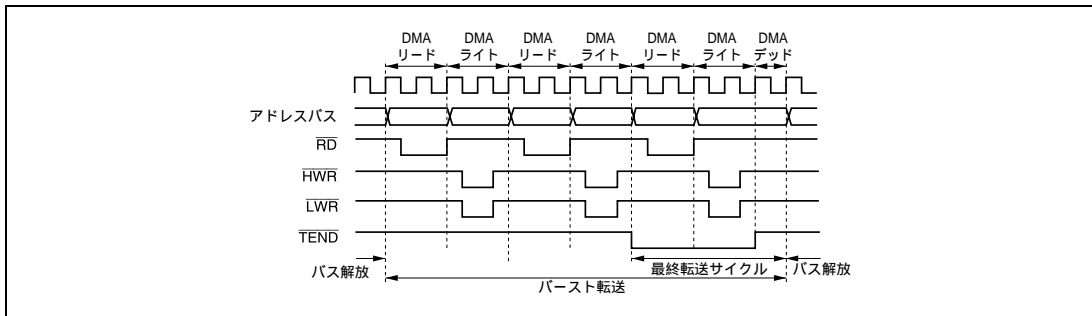


図 7.20 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードのデータ転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

バースト転送が始まると、他の優先順位の高いチャンネルの割り込み要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DMABCRL の DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードのデータ転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

#### (4) フルアドレスモード (ブロック転送モード)

図 7.21 に TEND 出力を許可して、内部 16 ビット 1 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

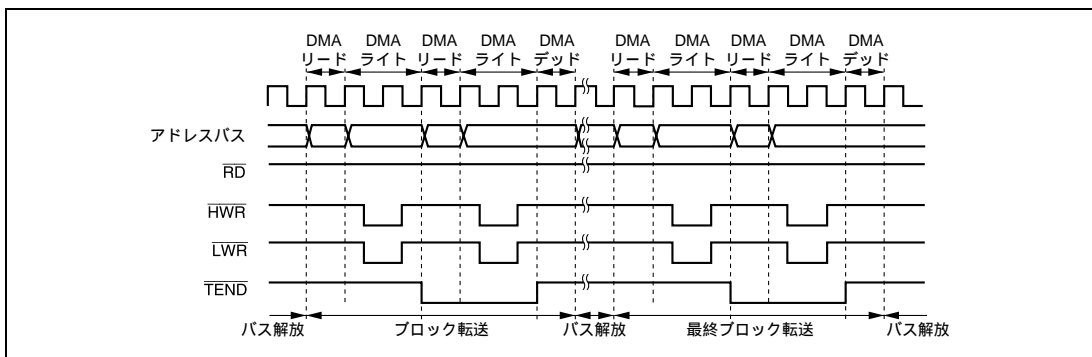


図 7.21 フルアドレスモード (ブロック転送モード) 転送例

一回の転送要求に対して 1 ブロック分のデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

## 7. DMA コントローラ (DMAC)

各ブロックの転送終了サイクル(転送カウンタが0となったサイクル)では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。データ転送中に NMI が発生しても、1 ブロック分のデータ転送終了までブロック転送の動作に影響を与えません。

### (5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.22 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例を示します。

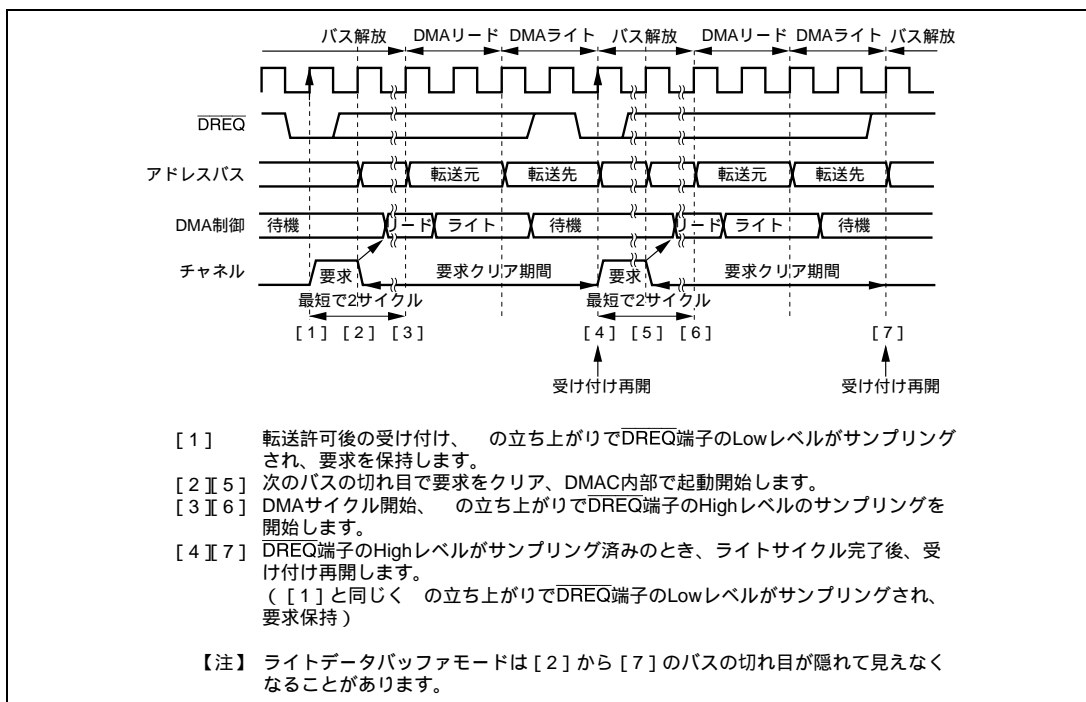
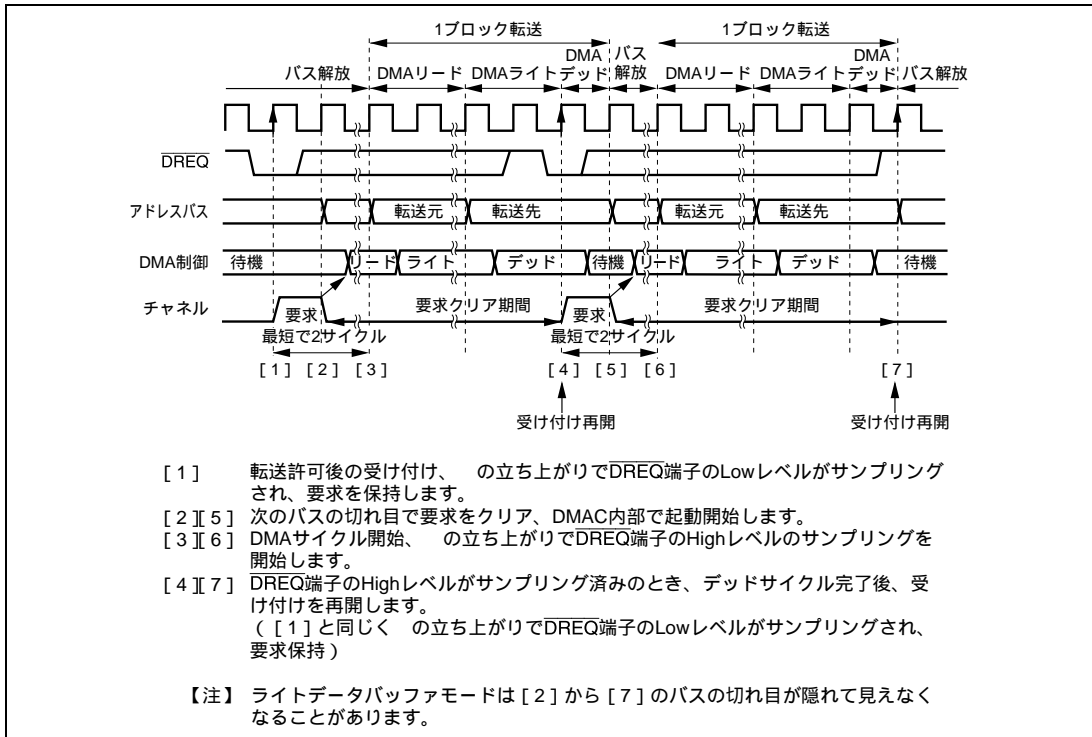


図 7.22  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の の立ち上がり を起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.23 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例を示します。図 7.23  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA デッドサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、DMA デッドサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 7. DMA コントローラ (DMAC)

### (6) $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.24 に  $\overline{\text{DREQ}}$  端子 Low レベル起動のノーマルモード転送例を示します。

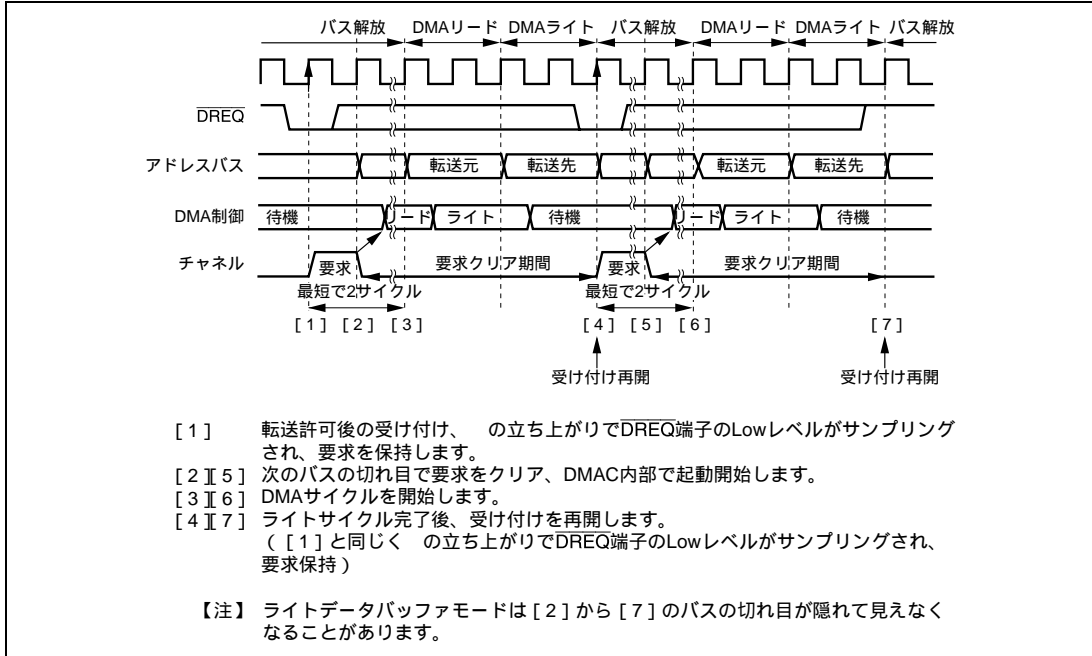
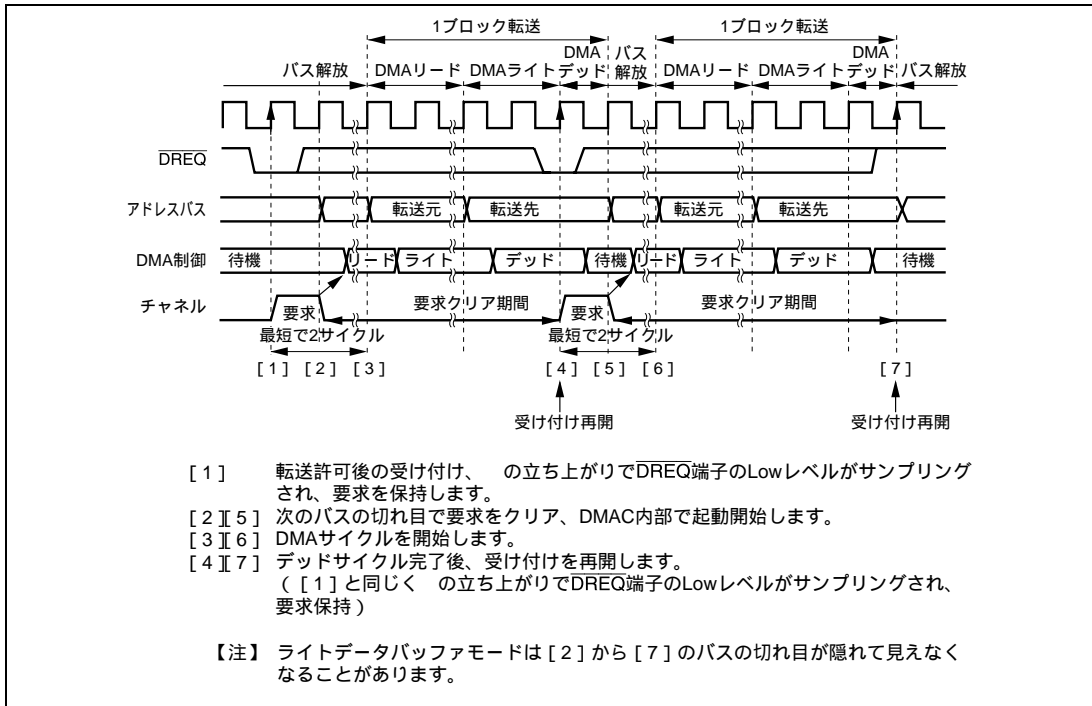


図 7.24  $\overline{\text{DREQ}}$  端子 Low レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.25 に  $\overline{\text{DREQ}}$  端子 Low レベル起動のブロック転送モード転送例を示します。図 7.25  $\overline{\text{DREQ}}$  端子 Low レベル起動のブロック転送モード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の の立ち上がり を起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。DMA デッドサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 7. DMA コントローラ (DMAC)

### 7.5.10 DMA 転送 (シングルアドレスモード) のバスサイクル

#### (1) シングルアドレスモード (リード)

図 7.26 に  $\overline{\text{TEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

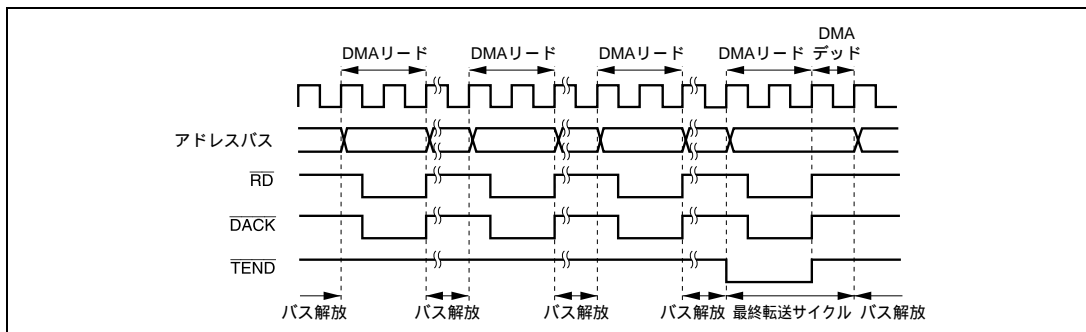


図 7.26 シングルアドレスモード (バイトリード) 転送例

図 7.27 に  $\overline{\text{TEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

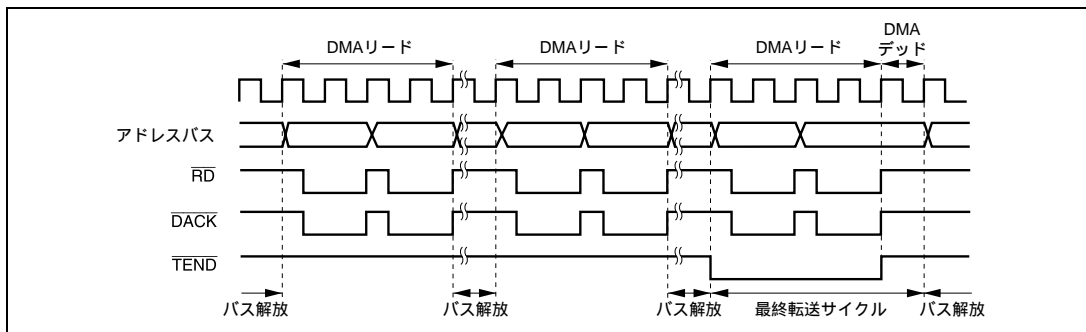


図 7.27 シングルアドレスモード (ワードリード) 転送例

一回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。



## (2) シングルアドレスモード (ライト)

図 7.28 に  $\overline{TEND}$  出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

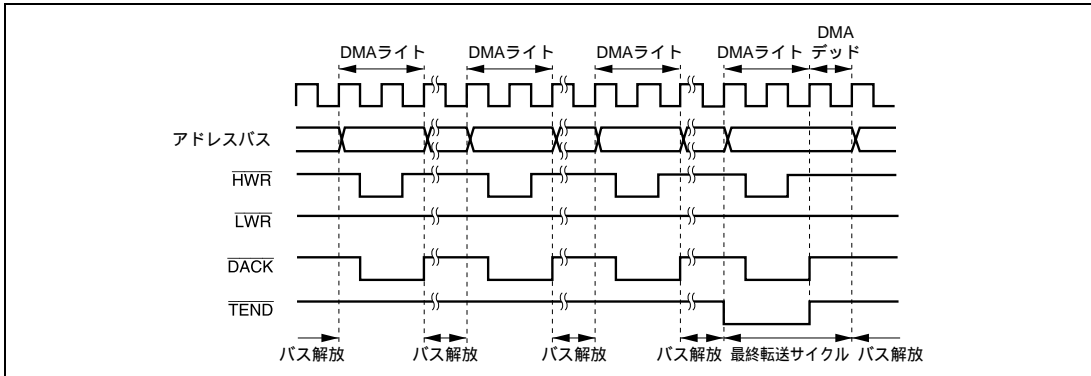


図 7.28 シングルアドレスモード (バイトライト) 転送例

図 7.29 に  $\overline{TEND}$  出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

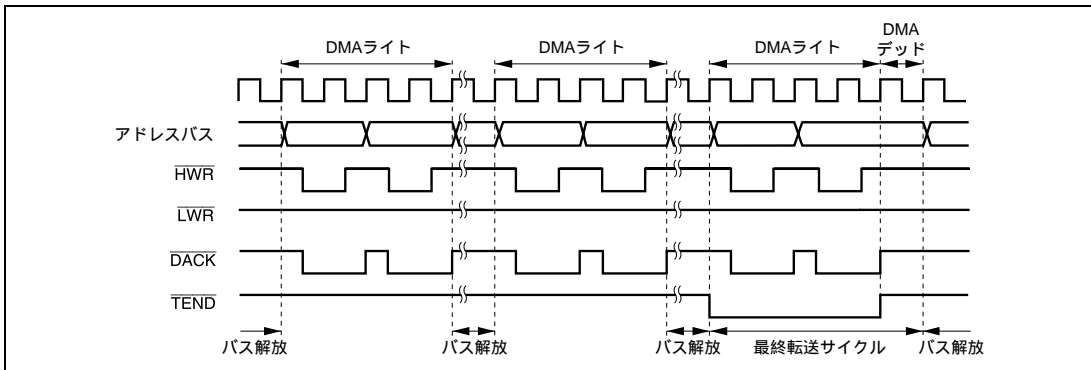


図 7.29 シングルアドレスモード (ワードライト) 転送例

一回の転送要求に対して 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

## 7. DMA コントローラ (DMAC)

### (3) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.30 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

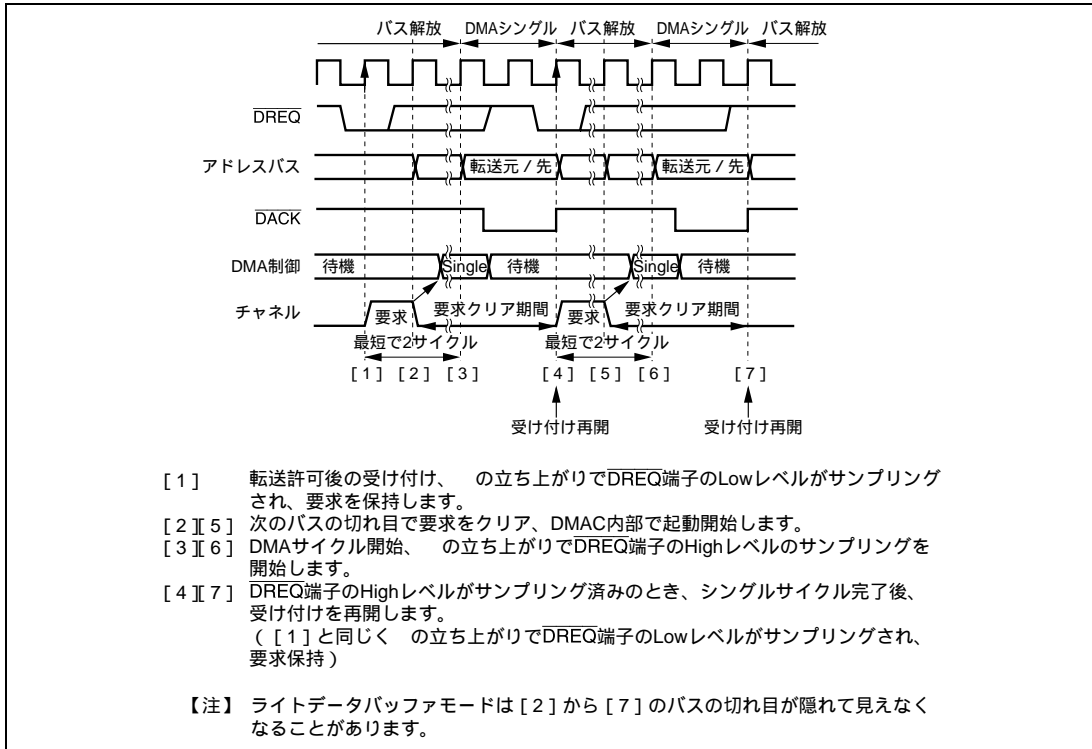


図 7.30  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の の立ち上がり

を起点に毎サイクル行われます。  
 $\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(4)  $\overline{\text{DREQ}}$  端子 Low レベル起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.31 に  $\overline{\text{DREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例を示します。

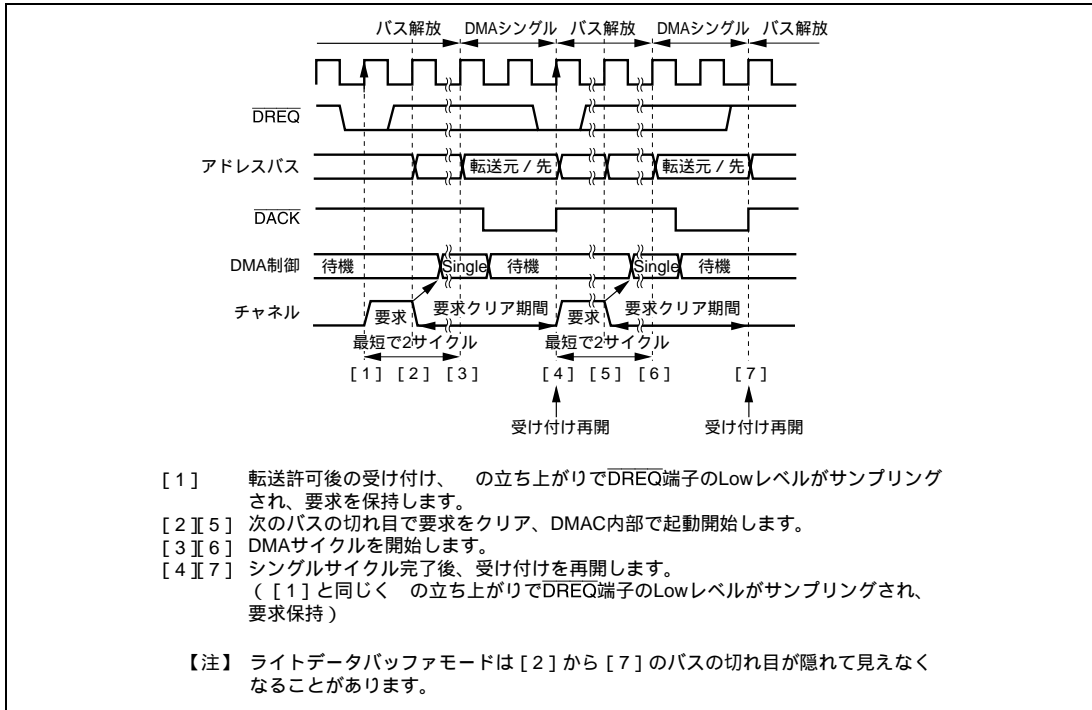


図 7.31  $\overline{\text{DREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の の立ち上がり

を起点に毎サイクル行われます。  
 $\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

### 7.5.11 ライトデータバッファ機能

DMAC 内部から外部のデュアルアドレス転送やシングルアドレス転送をライトデータバッファ機能を用いて高速に実行し、システムのスループットを向上させることができます。

バスコントローラの BCR の WDBE ビットを 1 にセットして、ライトデータバッファ機能を有効にすると、デュアルアドレス転送の外部ライトサイクルまたは、シングルアドレス転送と内部アクセス (内蔵メモリまたは内部 I/O レジスタ) を並行して実行します。内部アクセスはバスマスタに依存しません。なお、DMAC の DMA デッドサイクルは内部アクセスとみなされず。

## 7. DMA コントローラ (DMAC)

$\overline{\text{TEND}}$  端子から Low レベルを出力するバスサイクルが外部バスサイクルの場合は、必ず  $\overline{\text{TEND}}$  端子から Low レベルを出力できます。一方、 $\overline{\text{TEND}}$  端子から Low レベルを出力するバスサイクルが内部バスサイクルで、かつ並行して外部ライトサイクルが実行されている場合は、 $\overline{\text{TEND}}$  端子から Low レベルを出力しませんので注意してください。

図 7.32 にライトデータバッファ機能を用いた内蔵 RAM から外部メモリへのバーストモード転送の例を示します。

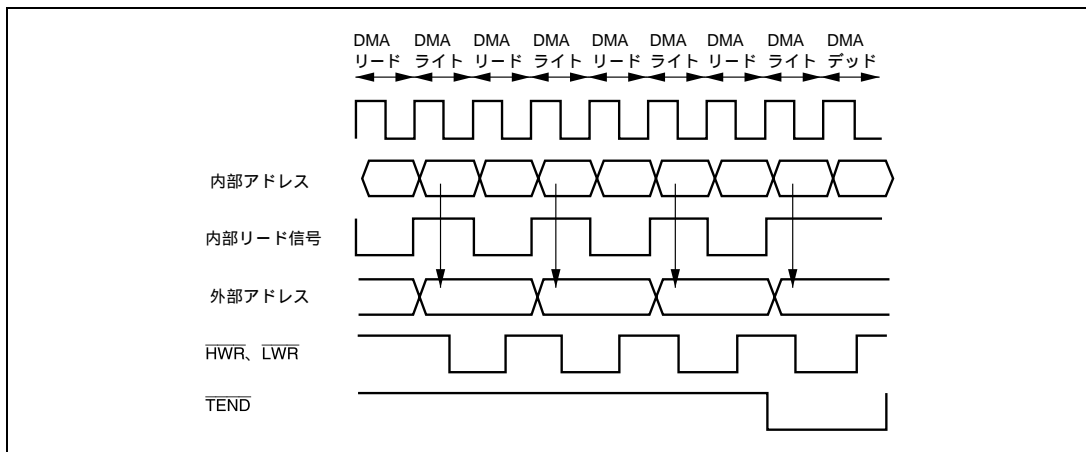


図 7.32 ライトデータバッファ機能を用いたデュアルアドレス転送例

図 7.33 に、ライトデータバッファ機能を用いたシングルアドレス転送の例を示します。CPU のプログラム領域が内蔵メモリにある場合の例です。

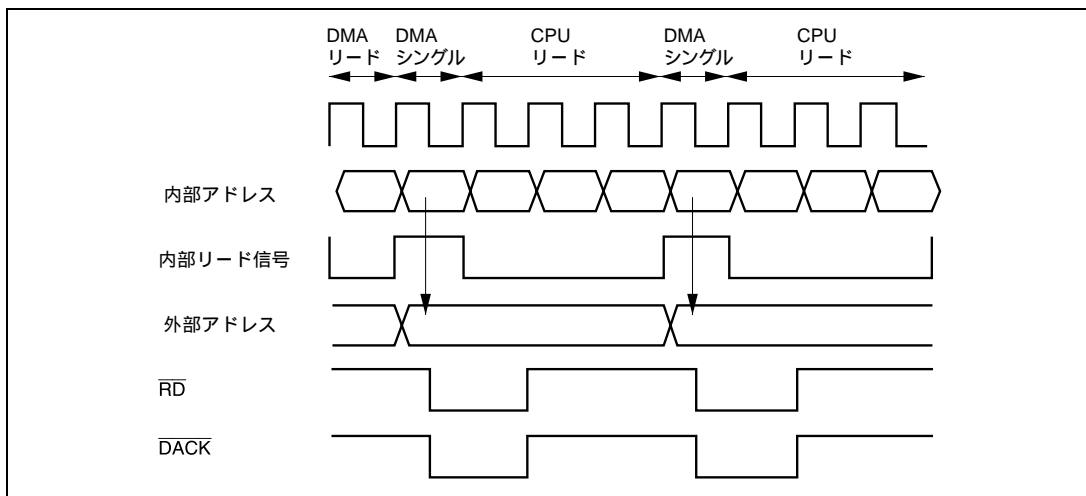


図 7.33 ライトデータバッファ機能を用いたシングルアドレス転送例

DMAC は、ライトデータバッファ機能を起動した時点で、当該バスサイクルは終了したと認識して次の動作を開始します。したがって、 $\overline{\text{DREQ}}$  端子のサンプリングは、DMA ライトサイクルまたはシングルアドレス転送開始の 1 ステート後から開始されます。

### 7.5.12 複数チャンネルの動作

DMAC のチャンネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 7.11 に DMAC のチャンネル間優先順位を示します。

表 7.11 DMAC のチャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑ 低
チャンネル 0B		
チャンネル 1A	チャンネル 1	
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合は、DMAC はバスを解放した時点で転送要求の発生しているチャンネルの中から表 7.11 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。バースト転送中およびブロック転送で 1 ブロック転送中は、転送終了までチャンネルを切り替えて転送することはありません。図 7.34 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

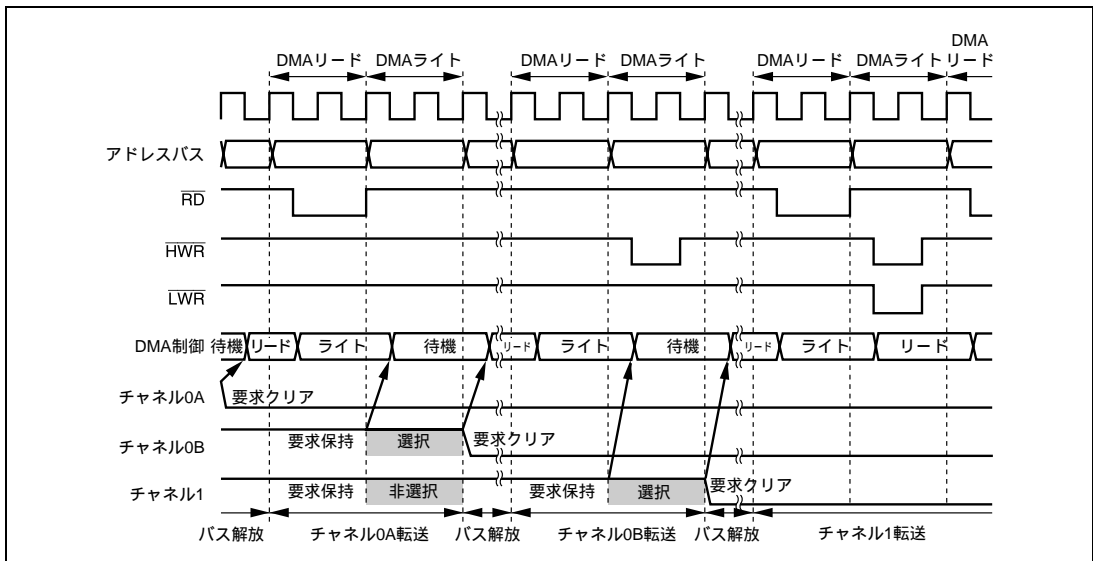


図 7.34 複数チャンネル転送例

## 7. DMA コントローラ (DMAC)

### 7.5.13 DMAC と外部バス権要求、リフレッシュサイクル、EXDMAC

DMAC が外部空間をアクセスする場合、リフレッシュサイクル、EXDMAC サイクル、外部バス解放サイクルとの競合が発生する場合があります。このとき、バスコントローラは外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っている場合でも転送をいったん中断し、リフレッシュサイクル、EXDMAC サイクル、外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い DTC、CPU の外部アクセスは、DMAC が外部バスを解放するまで待機します)。

DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクル後となります。外部リードサイクルと外部ライトサイクルの間は分割不可のため、この間でバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMA サイクルがリフレッシュサイクル、EXDMAC サイクル、外部バス解放サイクルと同時に実行される場合があります。

### 7.5.14 DMAC と NMI 割り込み

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DMABCRL の DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で転送を中断してバスを解放し、CPU にバス権を移します。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。図 7.35 にバーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を示します。

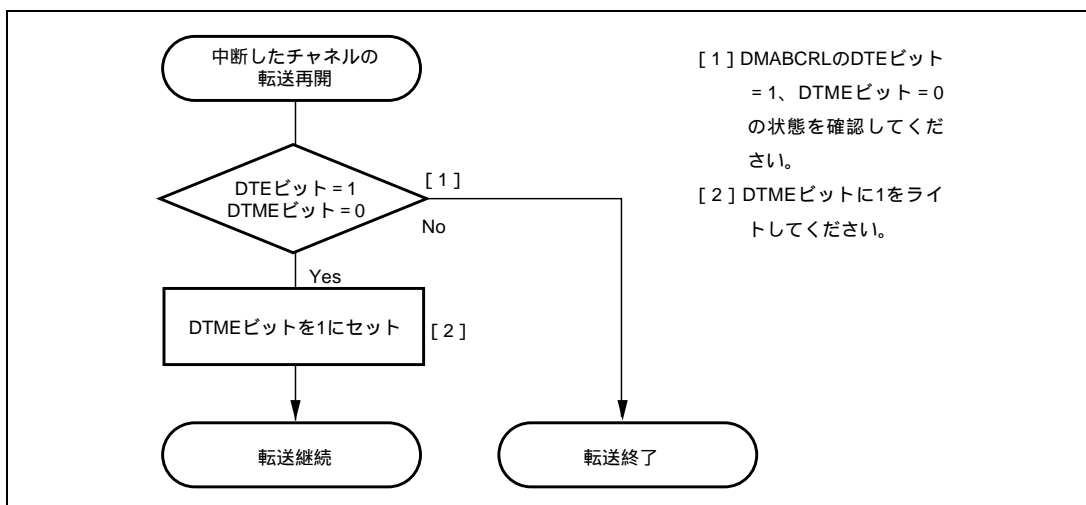


図 7.35 NMI 割り込みにより中断したチャンネルの転送継続手順例

### 7.5.15 DMAC の強制終了

動作中のチャンネルの DMABCRL の DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。フルアドレスモードの場合は DMABCRL の DTME ビットについても同様です。図 7.36 に DMAC をソフトウェアで強制終了させる場合の手順を示します。

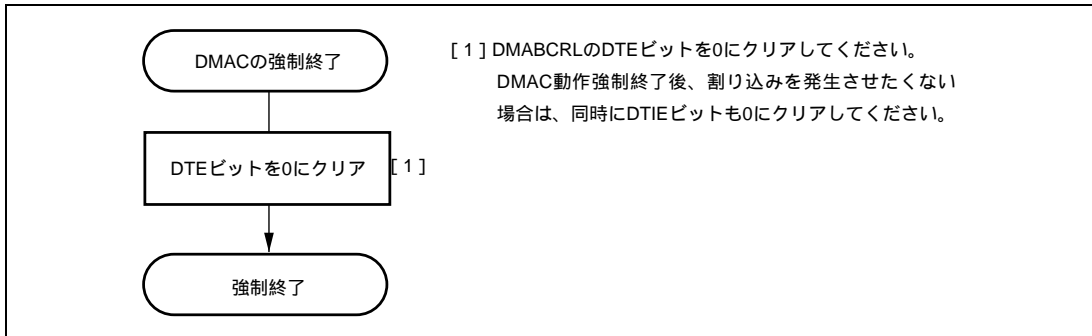


図 7.36 DMAC の強制終了手順例

### 7.5.16 フルアドレスモードの解除

図 7.37 にフルアドレスモードに設定したチャンネルを解除し、初期化する手順を示します。解除後に再設定する場合には、各転送モードの設定手順に従ってください。

## 7. DMA コントローラ (DMAC)

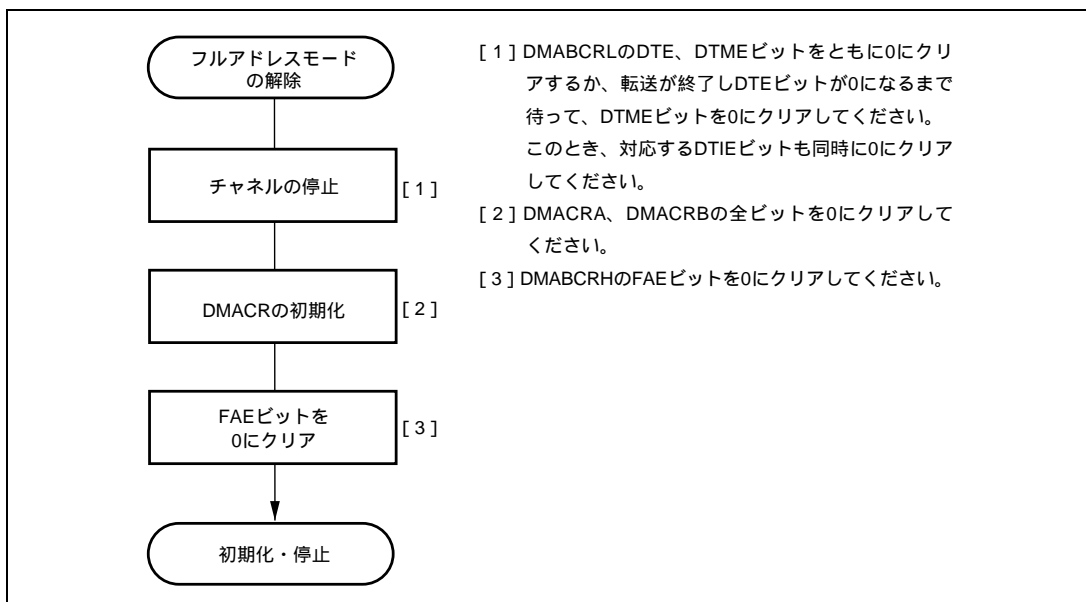


図 7.37 フルアドレスモード解除手順例



## 7.6 割り込み要因

DMAC が発生する割り込み要因は転送終了、転送中断です。表 7.12 に割り込み要因と優先度を示します。

表 7.12 割り込み要因と優先度

割り込み 名称	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DMTEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DMTEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DMTEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DMTEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCRL の対応するチャンネルの DMABCRL の DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 7.12 に示すようになっています。

図 7.38 に転送終了/転送中断割り込みのブロック図を示します。DMABCRL の DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

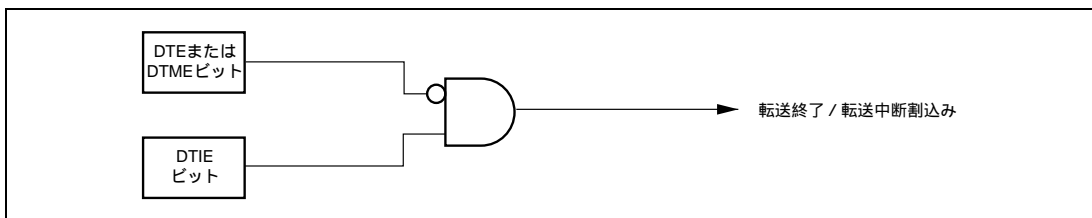


図 7.38 転送終了/転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIE = 1 のときに DTME ビットが 0 にクリアされると発生します。ショートアドレスモード、フルアドレスモードともに設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

## 7.7 使用上の注意事項

### (1) 動作中の DMAC のレジスタアクセス

DMAC の強制終了を除き、動作中（転送待ち状態を含む）のチャンネルの設定は変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。また、DMA 転送による DMAC のレジスタへのライトは行わないでください。

動作中（転送待ち状態を含む）の DMAC のレジスタリードに関しては次のようになります。

- DMA制御は、バスサイクルより1サイクル早く起動し、アドレス値を出力します。このため、MARはDMA転送前のバスサイクルに更新されます。図7.39にデュアルアドレス転送モードにおけるDMACのレジスタの更新タイミング例を示します。

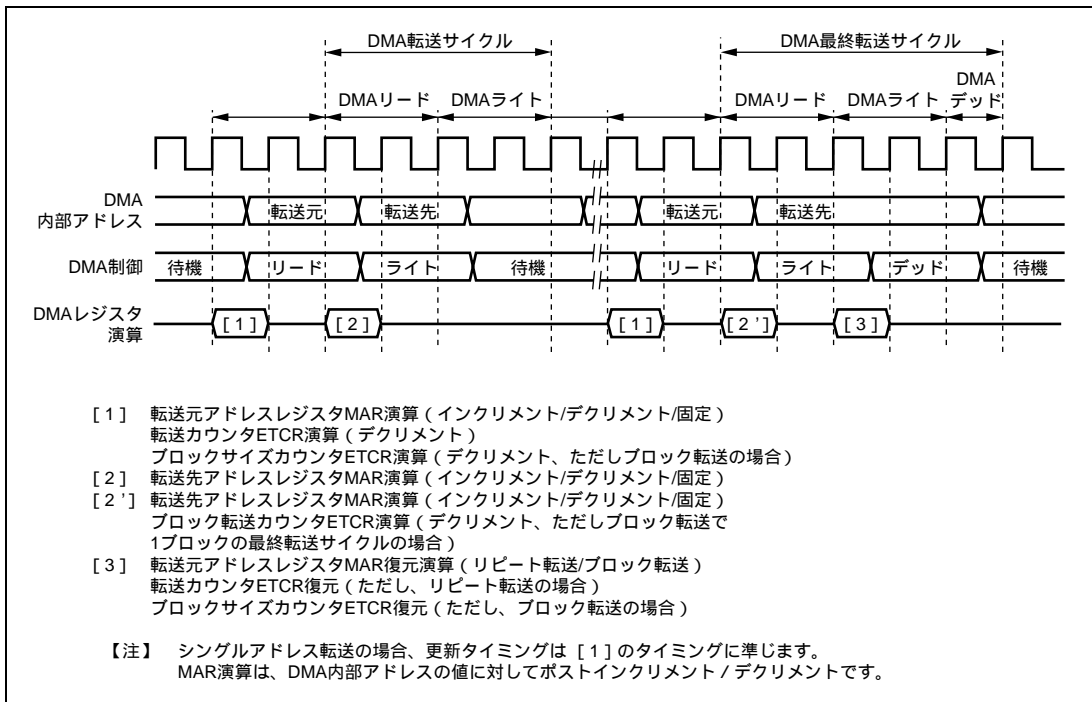


図 7.39 DMAC のレジスタの更新タイミング

- DMACのレジスタリード直後にDMACの転送サイクルが起ると、図7.40のようにDMACのレジスタがリードされます。

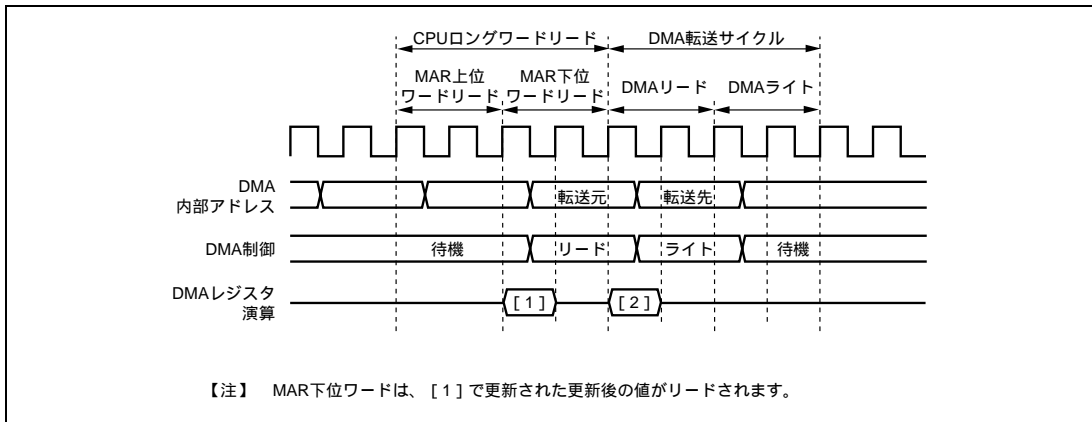


図 7.40 DMAC レジスタの更新と CPU リードの競合

### (2) モジュールストップ

MSTPCRH の MSTP13 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTP13 ビットを 1 にセットできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じてモジュールストップに先立って無効にしてください。

- 転送終了/中断割り込み (DTE = 0 かつ DTIE = 1)
- $\overline{\text{TEND}}$  端子イネーブル (TEE = 1)
- $\overline{\text{DACK}}$  端子イネーブル (FAE = 0 かつ SAE = 1)

### (3) ライトデータバッファ機能

バスコントローラの BCR の WDBE ビットを 1 にセットし、ライトデータバッファ機能を有効にすると、デュアルアドレス転送の外部ライトサイクルと内部アクセス (内蔵メモリまたは内部 I/O レジスタ) とを並行して実行します。

- ライトデータバッファ機能と DMAC のレジスタ設定

ライトデータバッファ機能による外部アクセス実行中に、外部アクセスを制御するように DMAC のレジスタの設定を変更すると、外部アクセスが正常に行えない場合があります。外部アクセスを制御するレジスタの操作は、DMAC の動作を禁止した状態で外部リードするなどして、外部アクセスと並行しない状態で行ってください。

- ライトデータバッファ機能と DMAC のレジスタ設定

ライトデータバッファ機能を用いた外部アクセス中に、DMAC は次の動作を開始することができます。このため、ライトデータバッファ機能を禁止している場合と比較して、 $\overline{\text{DREQ}}$  端子のサンプリングタイミングや、 $\overline{\text{TEND}}$  出力タイミングなどが変化します。また、内部バスサイクルが隠れて見えなくなることがあります。

## 7. DMA コントローラ (DMAC)

---

### (4) $\overline{\text{TEND}}$ 出力について

最終転送サイクルが内部アドレスの場合には、 $\overline{\text{TEND}}$  端子から Low レベルを出力するように設定にした場合でも、外部バスが下記の条件では最終転送サイクル (内部バスサイクル) と外部バスサイクルが平行して実行されるため、 $\overline{\text{TEND}}$  端子から Low レベルが出力されない場合がありますので注意してください。

1. EXDMACサイクル
2. ライトバッファモードがイネーブル状態でのライトサイクル
3. ライトバッファモードがイネーブル状態での別チャンネルのDMACのシングルアドレスサイクル
4. バス解放サイクル
5. CBRリフレッシュサイクル

図 7.41 に、上記の 2. の場合で  $\overline{\text{TEND}}$  端子から Low レベルが出力されない場合の例を示します。

最終転送サイクルが外部アドレスの場合には、バスサイクルに同期して  $\overline{\text{TEND}}$  端子から Low レベルが出力されます。

ただし、最終転送サイクルと CBR リフレッシュが同時に発生した場合、CBR リフレッシュと最終転送サイクルが連続して実行される場合がありますが、このときリフレッシュサイクルに対しても  $\overline{\text{TEND}}$  端子が Low レベル出力となる場合がありますので注意してください。

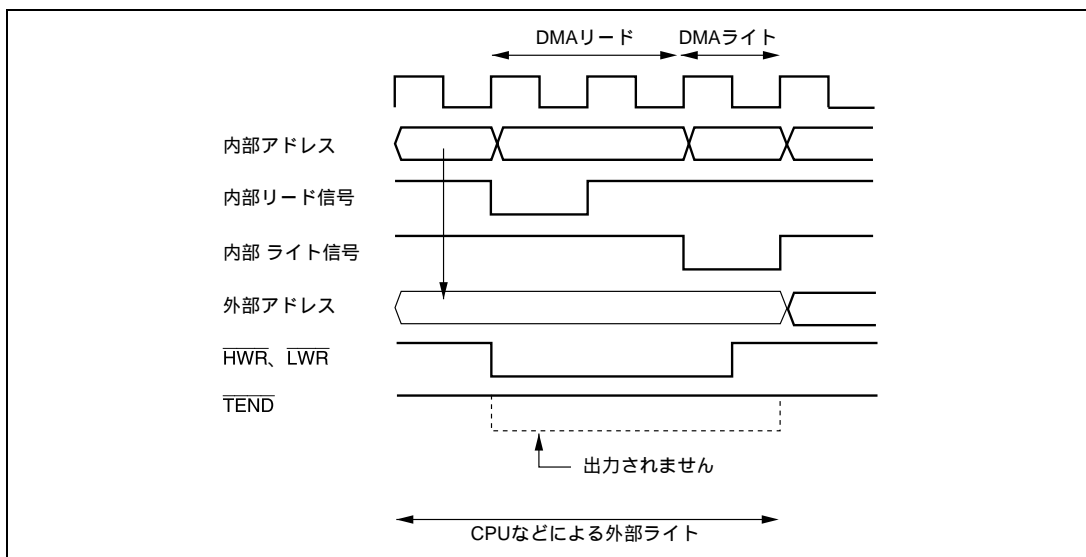


図 7.41  $\overline{\text{TEND}}$  端子に Low レベルが出力されない例

#### (5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$  端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い次のようになります。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ 端子のLowレベルの検出を待ち、2. に遷移します。
2. 転送待ち状態：DMACのデータ転送が可能になるのを待ち、3. に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ 端子のHighレベルの検出を待ち、1. に遷移します。

DMAC の転送許可後は、1. に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われません。

#### (6) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$  端子の立ち下がりエッジセンス/Low レベルセンスともに Low レベルを検出しています。同様に内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL へのライト以前に発生している内部割り込み、または  $\overline{\text{DREQ}}$  端子の Low レベル出力は、要求を受け付けません。

DMAC の起動時には、必要に応じて前回の転送終了時などの内部割り込み、または  $\overline{\text{DREQ}}$  端子の Low レベルが残らないようにしてください。

## 7. DMA コントローラ (DMAC)

---

### (7) 転送終了後の内部割り込み

転送終了または強制終了により、DMABCRL の DTE ビットが 0 にクリアされると、DMABCRH の DTA = 1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時に既に DMAC 内部で起動がかかっている場合にはデータ転送は実行されますが、DTA = 1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

### (8) チャンネルの再設定

複数のチャンネルが転送許可状態で複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR の制御ビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行うと、元の処理ルーチンで DMABCR をライトするデータが異なってしまう、ライトにより多重割り込みでの操作結果を無効にしてしまうことがありますので注意してください。多重割り込みで DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアするとき、および 0 をライトするときは DTE/DTME = 0 の状態をいったんリードしないと、CPU で 1 をライトできません。

---

## 8. EXDMA コントローラ (EXDMAC)

---

本 LSI は、4 チャンネルの外部バス転送専用 DMA コントローラ (EXDMAC) を内蔵しています。EXDMAC は、DACK (DMA 転送通知) 付き外部デバイスと外部メモリ間の転送を CPU に代わって高速に行うことができます。

### 8.1 特長

- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 最大転送回数は16M (16,777,215回) /無限大 (フリーランニング)
- アドレスモードはデュアルアドレスモード/シングルアドレスモードの選択が可能
- バスモードはサイクルスチールモード/バーストモードの選択が可能
- 転送モードはノーマルモード/ブロック転送モードの選択が可能
- 転送要求は、外部リクエスト、オートリクエスト
- 割り込み要求は設定した転送回数終了後、CPUに割り込み要求を発生
- リピートエリア設定機能
- 内部バスマスタとの並列動作が可能
- EDRAK端子により、外部デバイスに対して転送要求を受け付けて転送処理開始を通知
- モジュールストップモードの設定が可能





## 8.2 入出力端子

EXDMAC の端子構成を表 8.1 に示します。

表 8.1 端子構成

チャンネル	名称	略称	入出力	機能
0	EXDMA 転送リクエスト 0	$\overline{\text{EDREQ0}}$	入力	チャンネル 0 の外部リクエスト
	EXDMA 転送アクノレッジ 0	$\overline{\text{EDACK0}}$	出力	チャンネル 0 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 0	$\overline{\text{ETEND0}}$	出力	チャンネル 0 の転送終了
	$\overline{\text{EDREQ0}}$ 受け付け確認	$\overline{\text{EDRAK0}}$	出力	チャンネル 0 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知
1	EXDMA 転送リクエスト 1	$\overline{\text{EDREQ1}}$	入力	チャンネル 1 の外部リクエスト
	EXDMA 転送アクノレッジ 1	$\overline{\text{EDACK1}}$	出力	チャンネル 1 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 1	$\overline{\text{ETEND1}}$	出力	チャンネル 1 の転送終了
	$\overline{\text{EDREQ1}}$ 受け付け確認	$\overline{\text{EDRAK1}}$	出力	チャンネル 1 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知
2	EXDMA 転送リクエスト 2	$\overline{\text{EDREQ2}}$	入力	チャンネル 2 の外部リクエスト
	EXDMA 転送アクノレッジ 2	$\overline{\text{EDACK2}}$	出力	チャンネル 2 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 2	$\overline{\text{ETEND2}}$	出力	チャンネル 2 の転送終了
	$\overline{\text{EDREQ2}}$ 受け付け確認	$\overline{\text{EDRAK2}}$	出力	チャンネル 2 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知
3	EXDMA 転送リクエスト 3	$\overline{\text{EDREQ3}}$	入力	チャンネル 3 の外部リクエスト
	EXDMA 転送アクノレッジ 3	$\overline{\text{EDACK3}}$	出力	チャンネル 3 のシングルアドレス転送アクノレッジ
	EXDMA 転送終了 3	$\overline{\text{ETEND3}}$	出力	チャンネル 3 の転送終了
	$\overline{\text{EDREQ3}}$ 受け付け確認	$\overline{\text{EDRAK3}}$	出力	チャンネル 3 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知

## 8.3 レジスタの説明

EXDMAC には以下のレジスタがあります。

- EXDMA ソースアドレスレジスタ\_0 (EDSAR\_0)
- EXDMA ディスティネーションアドレスレジスタ\_0 (EDDAR\_0)
- EXDMA 転送カウンタレジスタ\_0 (EDTCR\_0)
- EXDMA モードコントロールレジスタ\_0 (EDMDR\_0)
- EXDMA アドレスコントロールレジスタ\_0 (EDACR\_0)
- EXDMA ソースアドレスレジスタ\_1 (EDSAR\_1)
- EXDMA ディスティネーションアドレスレジスタ\_1 (EDDAR\_1)

## 8. EXDMA コントローラ (EXDMAC)

---

- EXDMA転送カウントレジスタ\_1 (EDTCR\_1)
- EXDMAモードコントロールレジスタ\_1 (EDMDR\_1)
- EXDMAアドレスコントロールレジスタ\_1 (EDACR\_1)
- EXDMAソースアドレスレジスタ\_2 (EDSAR\_2)
- EXDMAディスティネーションアドレスレジスタ\_2 (EDDAR\_2)
- EXDMA転送カウントレジスタ\_2 (EDTCR\_2)
- EXDMAモードコントロールレジスタ\_2 (EDMDR\_2)
- EXDMAアドレスコントロールレジスタ\_2 (EDACR\_2)
- EXDMAソースアドレスレジスタ\_3 (EDSAR\_3)
- EXDMAディスティネーションアドレスレジスタ\_3 (EDDAR\_3)
- EXDMA転送カウントレジスタ\_3 (EDTCR\_3)
- EXDMAモードコントロールレジスタ\_3 (EDMDR\_3)
- EXDMAアドレスコントロールレジスタ\_3 (EDACR\_3)

### 8.3.1 EXDMA ソースアドレスレジスタ (EDSAR)

EDSAR は転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送元アドレスに更新されます。シングルアドレスモードにおいて、 $\overline{\text{DACK}}$  付きデバイスを転送元に指定した場合、EDSAR の値は無視されます。

上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。ライトするときは 0 をライトしてください。

EDSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDSAR をリードする場合はロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDSAR にはライトしないでください。EDSAR の初期値は不定です。

### 8.3.2 EXDMA ディスティネーションアドレスレジスタ (EDDAR)

EDDAR は転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送先アドレスに更新されます。シングルアドレスモードにおいて、 $\overline{\text{DACK}}$  付きデバイスを転送先に指定した場合、EDDAR の値は無視されます。

上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。ライトするときは 0 をライトしてください。

EDDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDDAR をリードする場合はロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDDAR にはライトしないでください。EDDAR の初期値は不定です。

### 8.3.3 EXDMA 転送カウントレジスタ (EDTCR)

EDTCR は転送回数を設定します。転送モードにより機能が異なります。EXDMA 動作中のチャンネルの EDTCR にライトしないでください。

#### (1) ノーマル転送モード

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
23~0		すべて 不定	R/W	24 ビット転送カウンタ 転送回数を設定します。H'000001 に設定すると、転送要求は 1 回です。H'000000 に設定すると“転送回数 = 設定なし”となり、転送カウンタは機能を停止します。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFF に設定すると、最大値 16,777,215 回になります。EXDMA 動作中は残りの転送回数を示します。 リードは常に可能です。転送処理中のチャンネルの EDTCR をリードするときは、ロングワードサイズでリードしてください。

#### (2) ブロック転送モード

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
23~16		すべて 不定	R/W	ブロックサイズ ブロック転送時のブロックサイズ (バイト数、ワード数) を設定します。H'01 に設定すると、ブロックサイズは 1 です。H'00 に設定すると、ブロックサイズは最大値 256 になります。レジスタの値は常に指定したブロックサイズを示します。
15~0		すべて 不定	R/W	16 ビット転送カウンタ ブロック転送回数を設定します。H'0001 に設定すると、ブロック転送回数は 1 回です。H'0000 に設定すると“転送回数 = 設定なし”となり、転送カウンタは機能を停止します。この場合、転送カウンタによる転送終了割り込みは発生しません。H'FFFF に設定すると、ブロック転送回数は最大値 65,535 回になります。EXDMA 動作中は残りの転送回数を示します。

## 8. EXDMA コントローラ (EXDMAC)

### 8.3.4 EXDMA モードコントロールレジスタ (EDMDR)

EDMDR は EXDMAC の動作を制御します。

ビット	ビット名	初期値	R/W	説明
15	EDA	0	R/W	<p>EXDMA アクティブ</p> <p>対応するチャンネルのデータ転送を許可/禁止します。このビットが 1 にセットされていると、EXDMA 動作中であることを示します。</p> <p>オートリクエストを指定 (MDS1、MDS0 ビットで指定) した場合、このビットを 1 にセットすると転送処理に入ります。外部リクエストでは、このビットを 1 にセットした後に転送要求が発生すると転送処理に入ります。EXDMA 動作中にこのビットを 0 にクリアすると転送を停止します。ブロック転送モードで、EXDMA 動作中にこのビットを 0 にクリアすると、処理中の 1 ブロック転送期間は転送を継続し、1 ブロックの転送終了後にこのビットが 0 にクリアされます。</p> <p>転送を終了 (中断) させる外的要因が発生した場合は、自動的にこのビットが 0 にクリアされて、転送を終了します。このビットを 1 にセットした状態で動作モード、転送方法などを変更しないでください。</p> <p>0: 対応チャンネルのデータ転送を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>指定回数の転送を終了したとき</li> <li>リピートエリアオーバーフロー割り込みにより停止したとき</li> <li>EDA = 1 のときに 0 ライトしたとき</li> </ul> <p>ただし、ブロック転送モードでは 1 ブロック転送終了後に反映</p> <ul style="list-style-type: none"> <li>リセット、NMI 割り込み、ハードウェアスタンバイモード時</li> </ul> <p>1: 対応チャンネルのデータ転送を許可</p> <p>【注】EDA ビットは、ライトした値が直ちに反映されない期間が存在します。</p>
14	BEF	0	R/(W)*	<p>ブロック転送エラーフラグ</p> <p>ブロック転送中にエラーが発生したことを示すフラグです。ブロック転送中に NMI 割り込みが発生すると、EXDMAC は直ちに EXDMA 動作を終了し、このビットを 1 にセットします。アドレスレジスタは次の転送アドレスを示しますが、1 ブロックサイズの内の転送を行ったデータは失われます。</p> <p>0: ブロック転送エラーなし</p> <p>[クリア条件]</p> <p>BEF = 1 をリード後、0 をライトしたとき</p> <p>1: ブロック転送エラーあり</p> <p>[セット条件]</p> <p>ブロック転送中に NMI 割り込みの発生</p>

## 8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
13	EDRAKE	0	R/W	EDRAK 端子出力イネーブル EDREQ 受け付け確認、転送処理開始 (EDRAK) 端子の出力を許可するビットです。 0: EDRAK 端子の出力を禁止 1: EDRAK 端子の出力を許可
12	ETENDE	0	R/W	ETEND 端子出力イネーブル EXDMA 転送終了 (ETEND) 端子の出力を許可するビットです。 0: ETEND 端子の出力を禁止 1: ETEND 端子の出力を許可
11	EDREQS	0	R/W	EDREQ セレクト 外部リクエストモードで使用する EDREQ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。 0: Low レベル検出 1: 立ち下がりエッジ検出 (転送許可後の最初の転送は Low レベルで検出します。)
10	AMS	0	R/W	アドレスモードセレクト アドレスモードをシングルアドレスモードとデュアルアドレスモードから選択します。シングルアドレスモードにすると EDACK 端子が有効になります。 0: デュアルアドレスモード 1: シングルアドレスモード
9 8	MDS1 MDS0	0 0	R/W R/W	モードセレクト 1、0 起動要因、バスモード、転送モードを指定します。 00: オートリクエスト、サイクルスチールモード、ノーマル転送モード 01: オートリクエスト、バーストモード、ノーマル転送モード 10: 外部リクエスト、サイクルスチールモード、ノーマル転送モード 11: 外部リクエスト、サイクルスチールモード、ブロック転送モード
7	EDIE	0	R/W	EXDMA インタラプトイネーブル 割り込み要求を許可または禁止するビットです。このビットを 1 にセットすると、IRF ビットが 1 にセットされたときに割り込み要求を発生します。割り込み要求は、このビットを 0 にクリアするか、IRF ビットを 0 にクリアすると解除されます。 0: 割り込み要求禁止 1: 割り込み要求許可

## 8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
6	IRF	0	R/(W)*	<p>インタラプトリクエストフラグ</p> <p>割り込み要求が発生し、転送終了したことを示すフラグです。</p> <p>0: 割り込み要求なし</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• EDA ビットに 1 をライトしたとき</li> <li>• IRF=1 をリード後、0 をライトしたとき</li> </ul> <p>1: 割り込み要求の発生</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• 転送カウンタによる転送終了割り込み要求が発生したとき</li> <li>• ソースアドレスリピートエリアオーバフロー割り込み要求が発生したとき</li> <li>• ディスティネーションアドレスリピートエリアオーバフロー割り込み要求が発生したとき</li> </ul>
5	TCEIE	0	R/W	<p>転送カウンタエンドインタラプトイネーブル</p> <p>転送カウンタによる転送終了割り込み要求を許可または禁止するビットです。このビットが 1 にセットされているとき、転送カウンタにより転送終了すると、IRF ビットが 1 にセットされ、割り込み要求が発生したことを示します。</p> <p>0: 転送カウンタによる転送終了割り込み要求を禁止</p> <p>1: 転送カウンタによる転送終了割り込み要求を許可</p>
4	SDIR	0	R/W	<p>シングルアドレスディレクション</p> <p>シングルアドレスモード時のデータ転送の方向を指定します。デュアルアドレスモードでは、このビットの設定は無視されます。</p> <p>0: 転送方向は、EDSAR DACK 付き外部デバイス</p> <p>1: 転送方向は、DACK 付き外部デバイス EDDAR</p>
3	DTSIZE	0	R/W	<p>データトランスミットサイズ</p> <p>転送するデータのサイズを指定するビットです。</p> <p>0: バイトサイズ</p> <p>1: ワードサイズ</p>
2	BGUP	0	R/W	<p>バスギブアップ</p> <p>このビットを 1 にセットすると、バーストモード、ブロック転送モード時に、内部バスマスタからバス権の要求があると、バス権を譲ることができます。ノーマルモード、サイクルスチールモード時はこのビットの設定は無視されます。</p> <p>0: バス権を解放しない</p> <p>1: 内部バスマスタからバス権の要求があると、バス権を譲る</p>
1	-	0	R/W	リザーブビット
0	-	0	R/W	リード/ライト可能ですが、0 をライトしてください。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 8.3.5 EXDMA アドレスコントロールレジスタ (EDACR)

EDACR はアドレスレジスタの増減、リピートエリア機能を指定します。

ビット	ビット名	初期値	R/W	説 明
15	SAT1	0	R/W	ソースアドレス更新モード
14	SAT0	0	R/W	<p>転送元アドレス (EDSAR) の増減を指定します。シングルアドレスモードで転送元を DACK 付き外部デバイスに設定した場合は、このビットの指定は無視されません。</p> <p>0X : 固定</p> <p>10 : 増加 (バイト転送時 + 1、ワード転送時 + 2)</p> <p>11 : 減少 (バイト転送時 - 1、ワード転送時 - 2)</p>
13	SARIE	0	R/W	<p>ソースアドレスリピートインタラプトイネーブル</p> <p>このビットを 1 にセットすると、ソースアドレスのリピートエリアのオーバーフローが発生したときに、EDMDR の IRF ビットを 1 にセットし、EDMDR の EDA ビットを 0 にクリアして転送を終了します。IRF ビットが 1 にセットされているとき EDMDR の EDIE = 1 の場合、CPU に対して割り込み要求を発生します。</p> <p>ブロック転送モードと併用する場合、ソースアドレスリピート割り込み要求は 1 ブロックサイズの転送が終了してから発生します。ソースアドレスリピート割り込みにより転送終了したチャンネルの EDMDR の EDA ビットを 1 にセットすると、転送終了した状態から引き続き転送を再開することができます。ソースアドレスリピートエリアを設定していない場合は、このビットは無視されます。</p> <p>0 : ソースアドレスリピート割り込み要求を発生しない。</p> <p>1 : ソースアドレスのリピートエリアのオーバーフローが発生したときに EDMDR の IRF ビットを 1 にして、割り込み要求を発生する。</p>

## 8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
12	SARA4	0	R/W	ソースアドレスリピートエリア
11	SARA3	0	R/W	ソースアドレス (EDSAR) にリピートエリアを設定するビットです。
10	SARA2	0	R/W	リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようして実現されます。リピートエリアのサイズは、2 バイトから 8M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。アドレスが増減してリピートエリアがオーバーフローした場合、下位アドレスはアドレスが増加するとリピートエリアの先頭アドレスになり、アドレスが減少するとリピートエリアの最後のアドレスになります。SARIE ビットを 1 にセットすると、リピートエリアのオーバーフローが発生したときに割り込み要求を発生することができます。
9	SARA1	0	R/W	
8	SARA0	0	R/W	<p>00000 : リピートエリアの設定なし</p> <p>00001 : 下位 1 ビット (2 バイト) をリピートエリアに設定</p> <p>00010 : 下位 2 ビット (4 バイト) をリピートエリアに設定</p> <p>00011 : 下位 3 ビット (8 バイト) をリピートエリアに設定</p> <p>00100 : 下位 4 ビット (16 バイト) をリピートエリアに設定</p> <p style="text-align: center;">:</p> <p>10011 : 下位 19 ビット (512k バイト) をリピートエリアに設定</p> <p>10100 : 下位 20 ビット (1M バイト) をリピートエリアに設定</p> <p>10101 : 下位 21 ビット (2M バイト) をリピートエリアに設定</p> <p>10110 : 下位 22 ビット (4M バイト) をリピートエリアに設定</p> <p>10111 : 下位 23 ビット (8M バイト) をリピートエリアに設定</p> <p>11XXX : 設定禁止</p>
7	DAT1	0	R/W	ディスティネーションアドレス更新モード
6	DAT0	0	R/W	<p>転送先アドレス (EDDAR) の増減を指定します。シングルアドレスモードで転送先を DACK 付き外部デバイスに設定した場合は、このビットの指定は無視されます。</p> <p>0X : 固定</p> <p>10 : 増加 (バイト転送時 +1、ワード転送時 +2)</p> <p>11 : 減少 (バイト転送時 -1、ワード転送時 -2)</p>
5	DARIE	0	R/W	<p>ディスティネーションアドレスリピートインタラプトイネーブル</p> <p>このビットを 1 にセットすると、ディスティネーションアドレスのリピートエリアのオーバーフローが発生したときに、EDMDR の IRF ビットを 1 にセットし、EDMDR の EDA ビットを 0 にクリアして転送を終了します。IRF ビットが 1 にセットされているとき EDMDR の EDIE = 1 の場合、CPU に対して割り込み要求を発生します。ブロック転送モードと併用する場合、ディスティネーションアドレスリピート割り込み要求は 1 ブロックサイズの転送が終了してから発生します。ディスティネーションアドレスリピート割り込みにより転送終了したチャネルの EDMDR の EDA ビットに 1 をセットすると、転送終了した状態から引き続き転送を再開することができます。ディスティネーションアドレスリピートエリアを設定していない場合は、このビットは無視されます。</p> <p>0 : ディスティネーションアドレスリピート割り込み要求を発生しない。</p> <p>1 : ディスティネーションアドレスのリピートエリアのオーバーフローが発生したときに EDMDR の IRF ビットを 1 にして、割り込み要求を発生させる。</p>



## 8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
4	DARA4	0	R/W	<p>ディスティネーションアドレスリピートエリア</p> <p>ディスティネーションアドレス (EDDAR) にリピートエリアを設定するビットです。リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。リピートエリアのサイズは、2 バイトから 8 M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。アドレスが増減してリピートエリアがオーバーフローした場合、下位アドレスは、アドレスが増加するとリピートエリアの先頭アドレスになり、アドレスが減少するとリピートエリアの最後のアドレスになります。DARIE ビットを 1 にセットすると、リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>00000 : リピートエリアの設定なし</p> <p>00001 : 下位 1 ビット (2 バイト) をリピートエリアに設定</p> <p>00010 : 下位 2 ビット (4 バイト) をリピートエリアに設定</p> <p>00011 : 下位 3 ビット (8 バイト) をリピートエリアに設定</p> <p>00100 : 下位 4 ビット (16 バイト) をリピートエリアに設定</p> <p style="text-align: center;">:</p> <p>10011 : 下位 19 ビット (512k バイト) をリピートエリアに設定</p> <p>10100 : 下位 20 ビット (1M バイト) をリピートエリアに設定</p> <p>10101 : 下位 21 ビット (2M バイト) をリピートエリアに設定</p> <p>10110 : 下位 22 ビット (4M バイト) をリピートエリアに設定</p> <p>10111 : 下位 23 ビット (8M バイト) をリピートエリアに設定</p> <p>11XXX : 設定禁止</p>
3	DARA3	0	R/W	
2	DARA2	0	R/W	
1	DARA1	0	R/W	
0	DARA0	0	R/W	

【記号説明】 X : Don't care

## 8.4 動作説明

### 8.4.1 転送モード

EXDMAC の転送モードを表 8.2 に示します。

表 8.2 EXDMAC の転送モード

転送モード			転送要因	転送回数	アドレスレジスタ	
					ソース	ディスティネーション
デュアル アドレス モード	ノーマル 転送モード	オートリクエストモード • バースト/サイクルスチール モード	オートリクエスト	1 ~ 16,777,215 または指定なし	EDSAR	EDDAR
		外部リクエストモード • サイクルスチールモード	外部リクエスト			
	ブロック 転送モード	外部リクエストモード • 1 回の転送要求で指定した ブロックサイズをバースト 転送 • ブロックサイズは 1 ~ 256 バイトまたはワード	外部リクエスト	1 ~ 65,535 または指定なし		
シングル アドレス モード	<ul style="list-style-type: none"> <li>• ソースまたはディスティネーションアドレスレジスタの代わりに EDACK 端子を用いて外部デバイスとの直接データ転送</li> <li>• アドレスレジスタの設定以外は、上記の各転送モードを指定可能</li> <li>• 1 バスサイクルで 1 回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。)</li> </ul>				EDSAR/ EDACK	EDACK/ EDDAR

転送モードは各チャネル毎に設定可能です。

ノーマル転送モードでは、1 回の転送要求で 1 バイトまたは 1 ワードのデータ転送を実行します。オートリクエストの場合、バースト/サイクルスチール転送モードを設定可能です。バースト転送モードの場合、指定した転送回数を実行するか、転送イネーブルビットを 0 にクリアするまで高速に連続転送することができます。

ブロック転送モードでは、1 回の転送要求で指定したブロックサイズの転送を実行します。ブロックサイズは 1 ~ 256 (バイト/ワード) です。1 ブロック内の転送はバースト転送モードと同等の高速転送が可能です。

転送回数に指定なしを設定した場合 (EDTCR=H'000000)、転送カウンタは停止して、転送回数に制限がなくなり永続して転送が可能になります。

メモリアドレスは、1 または 2 の増減、固定を各アドレスレジスタに対して独立に設定可能です。

各モードとも、2 のべき乗バイトのリピートエリアを設定可能です。

## 8.4.2 アドレスモード

### (1) デュアルアドレスモード

転送元、転送先を共に EXDMAC 内のレジスタで指定して、1 回の転送を 2 バスサイクルで実行するモードです。

転送元アドレスはソースアドレスレジスタ (EDSAR) に、転送先アドレスはディスティネーションアドレスレジスタ (EDDAR) に設定します。

転送動作は、最初のバスサイクルで転送元アドレスで指定した外部メモリの値をリードして、次のバスサイクルで転送先アドレスで指定した外部メモリにライトします。

リードサイクルとライトサイクルの間は分割不可となっています。このため、2 つのバスサイクルの間に他のバスサイクル (内部バスマスタの外部アクセス、リフレッシュサイクル、外部バス解放サイクル) は発生しません。

$\overline{ETEND}$  端子の出力は、EDMDR の ETENDE ビットにより、許可/禁止を設定することができます。 $\overline{ETEND}$  は連続する 2 バスサイクルの間出力されます。 $\overline{EDACK}$  端子は出力されません。

図 8.2 に、デュアルアドレスモードのタイミング例を示します。

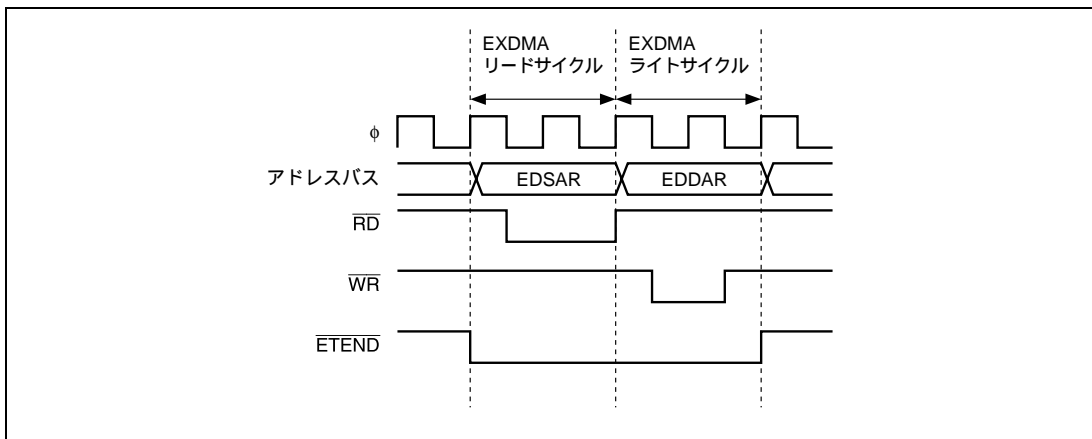


図 8.2 デュアルアドレスモードのタイミング例

## 8. EXDMA コントローラ (EXDMAC)

### (2) シングルアドレスモード

ソースまたはディスティネーションアドレスレジスタの代わりに  $\overline{\text{EDACK}}$  端子を用いて外部デバイスと外部メモリの間で直接データを転送するモードです。このモードで EXDMAC は、外部 I/O へのストロブ信号 ( $\overline{\text{EDACK}}$ ) を転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。図 8.3 に示す外部メモリと DACK 付き外部デバイスとの転送の例では、外部デバイスがデータバスにデータを出力すると同じバスサイクルでそのデータが外部メモリに書き込まれます。

転送方向は、EDMDR の SDIR ビットにより、DACK 付き外部デバイスを転送元にするか転送先にするかを指定できます。SDIR = 0 では、外部メモリ (EDSAR) → DACK 付き外部デバイスへの転送、SDIR = 1 では、DACK 付き外部デバイス → 外部メモリ (EDDAR) への転送になります。

転送の対象として使用しないソースまたはディスティネーションアドレスのレジスタ設定は無視されます。

$\overline{\text{EDACK}}$  端子は、シングルアドレスモードに設定すると自動的に有効になります。 $\overline{\text{EDACK}}$  端子はローアクティブです。 $\overline{\text{ETEND}}$  端子の出力は、EDMDR の ETENDE ビットにより、許可/禁止を設定することができます。 $\overline{\text{ETEND}}$  は 1 バスサイクルの間出力されます。

図 8.3 にシングルアドレスモードでのデータの流れを示します。図 8.4 にシングルアドレスモードのタイミング例を示します。

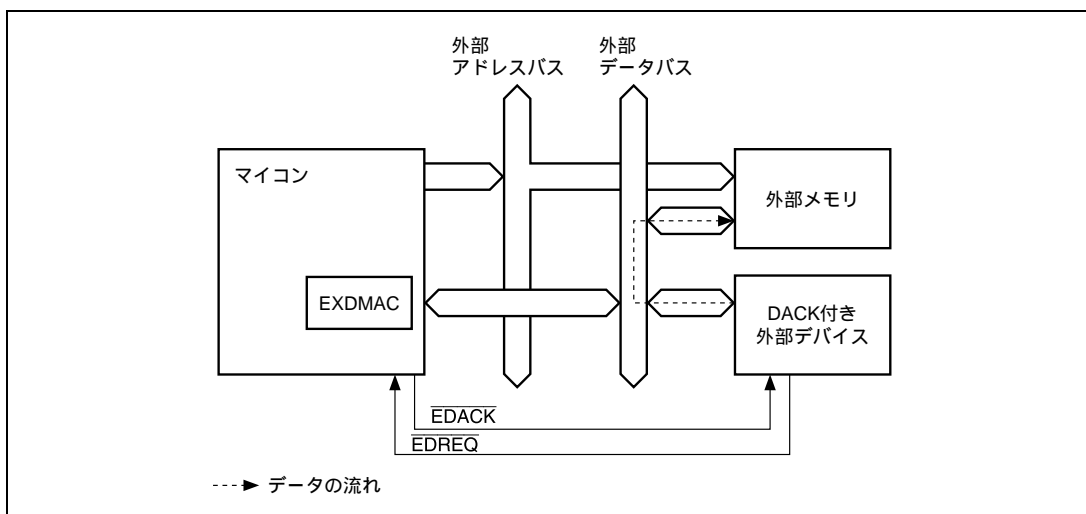


図 8.3 シングルアドレスモードでのデータの流れ

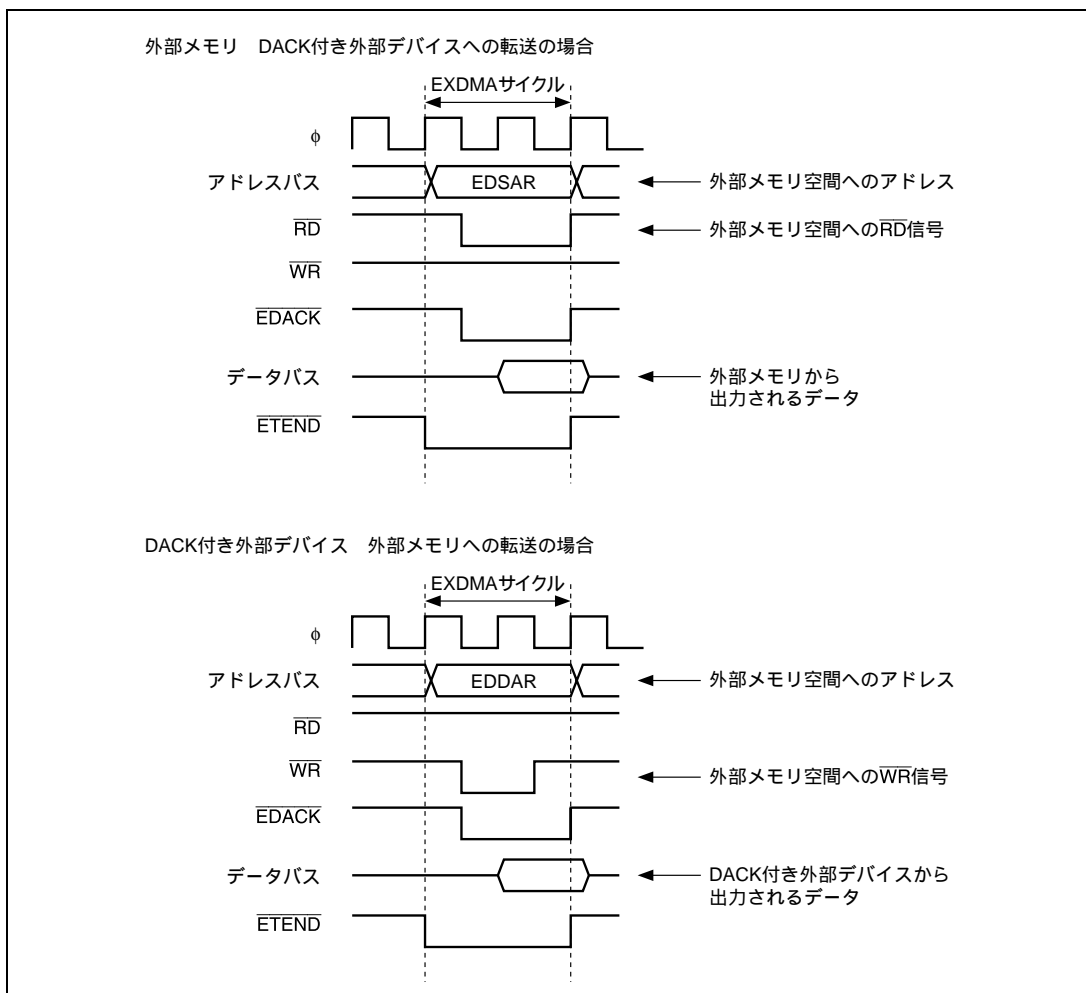


図 8.4 シングルアドレスモードのタイミング例

### 8.4.3 DMA 転送要求

#### (1) オートリクエストモード

オートリクエストモードは、メモリとメモリ間の転送や、転送要求を発生できない周辺モジュールとメモリ間との転送のように、転送要求信号が外部から来ない場合に、EXDMAC 内部で自動的に転送要求信号を発生するモードです。オートリクエストモードでは、EDMDR の EDA ビットを 1 にセットすると転送が開始されます。

オートリクエストモードでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。ブロック転送モードではオートリクエストモードは使用できません。

## 8. EXDMA コントローラ (EXDMAC)

---

### (2) 外部リクエストモード

外部リクエストモードは、本 LSI の外部デバイスからの転送要求信号 ( $\overline{\text{EDREQ}}$ ) によって転送を開始するモードです。DMA 転送が許可されているとき ( $\text{EDA}=1$ ) に  $\overline{\text{EDREQ}}$  が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

転送要求信号は、 $\overline{\text{EDREQ}}$  端子で受け付けます。 $\overline{\text{EDREQ}}$  端子を立ち下がりエッジで検出するか Low レベルで検出するかは、EDMDR の EDREQS ビットで選択します (EDREQS=0 は Low レベル検出、EDREQS = 1 は立ち下がりエッジ検出)。

EDMDR の EDRAKE ビットを 1 にセットすると、転送要求を受け付けたことを確認する信号を  $\overline{\text{EDRAK}}$  端子から出力することができます。 $\overline{\text{EDRAK}}$  信号は、1 回の外部リクエストに対して、受け付けおよび転送処理を開始したときに出力します。 $\overline{\text{EDRAK}}$  信号により、外部デバイスは  $\overline{\text{EDREQ}}$  信号のネゲートタイミングを知ることができ、転送要求元と EXDMAC とのハンドシェイクを容易にとることができます。

外部リクエストモードでは、バーストモードの代わりにブロック転送モードが使用できます。ブロック転送モードは 1 回の転送要求で指定の回数 (ブロックサイズ) の転送を連続 (バースト) して転送することができます。ブロック転送モードの  $\overline{\text{EDRAK}}$  信号は、 $\overline{\text{EDREQ}}$  による転送要求が 1 ブロック単位なので、1 ブロックの転送に対して 1 回のみ出力されます。

### 8.4.4 バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。起動要因がオートリクエストの場合、サイクルスチールモードとバーストモードを選択することができます。起動要因が外部リクエストの場合は、サイクルスチールモードになります。

#### (1) サイクルスチールモード

サイクルスチールモードでは、EXDMAC は 1 回の転送単位 (バイト、ワードまたは 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。これを転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャンネルに転送要求がある場合は、いったんバス権を解放した後に、転送要求のあったチャンネルの転送を行います。他のバスマスタから外部空間へのバス権要求がない場合は、バス権解放期間が 1 サイクル挿入されます。複数のチャンネルに転送要求がある場合の動作の詳細については「8.4.8 チャンネルの優先順位」を参照してください。

図 8.5 にサイクルスチールモードのタイミング例を示します。

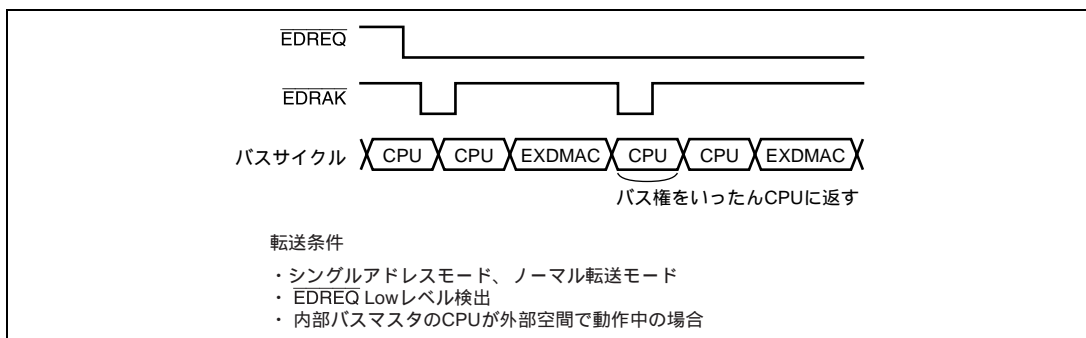


図 8.5 サイクルスチールモードのタイミング例

## (2) バーストモード

バーストモードでは、EXDMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。外部リクエストモードにはバーストモードはありません。

バーストモードでは一度転送を開始すると、優先順位の高い他のチャンネルに転送要求がある場合でも、転送を中断することはありません。バーストモードのチャンネルが転送終了すると、次のサイクルはサイクルスチールモードと同様にバス権を解放します。

EDMDR の EDA ビットを 0 にクリアすると、DMA 転送は停止します。ただし、EDA ビットを 0 にクリアするまでに EXDMAC 内部で発生した転送要求分の DMA 転送は実行されます。

リピートエリアオーバーフロー割り込みが発生した場合は、EDA ビットを 0 にクリアして転送を終了します。

EDMDR の BGUP ビットを 1 にセットすると、バースト転送中に他のバスマスタからバス権要求があった場合、バス権を譲ります。バス権の要求がなければ、BGUP ビットを 1 にセットした場合でもバースト転送します。

図 8.6 にバーストモードのタイミング例を示します。

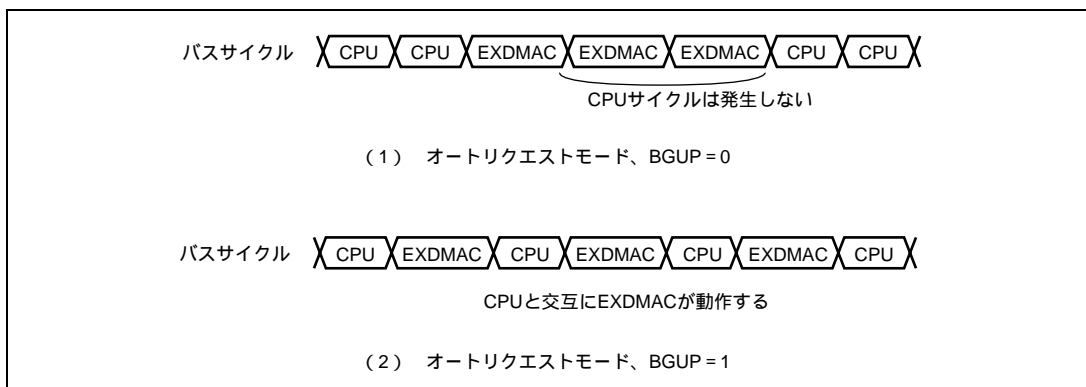


図 8.6 バーストモードのタイミング例

### 8.4.5 転送モード

転送モードにはノーマル転送モードとブロック転送モードがあります。起動要因が外部リクエストの場合、ノーマル転送モードとブロック転送モードを選択することができます。起動要因がオートリクエストの場合は、ノーマル転送モードになります。

#### (1) ノーマル転送モード

ノーマル転送モードでは、1回の転送要求に対して1回の転送単位の転送を処理します。EDTCRは24ビット転送カウンタとして機能します。

$\overline{\text{ETEND}}$  出力は、最後のDMA転送でのみ出力されます。 $\overline{\text{EDRAK}}$  出力は、転送要求受け付け、転送処理開始毎に出力されます。

図 8.7 にノーマル転送モードでのDMA転送タイミング例を示します。

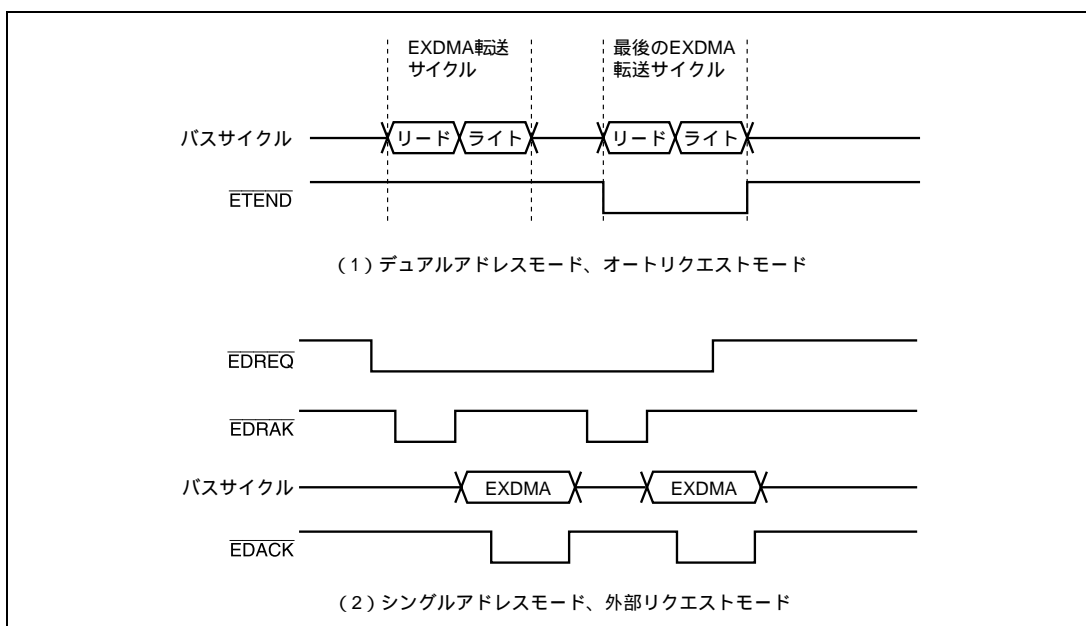


図 8.7 ノーマル転送モードの例



## (2) ブロック転送モード

ブロック転送モードでは、1回の転送要求に対してブロックサイズにより指定されたサイズ(バイト数、ワード数)を連続に DMA 転送します。EDTCR は上位 8 ビットがブロックサイズ、下位 16 ビットが 16 ビット転送カウンタとして機能します。ブロックサイズは、1~256 まで指定できます。1 ブロック分の転送中は優先順位の高い他のチャンネルの転送要求は待たされます。1 ブロックサイズの転送が終了すると、次のサイクルはバス権を解放します。

EDMDR の BGUP ビットを 1 にセットすると、ブロック転送中に他のバスマスタからバス権要求があった場合にバス権を譲るようになります。

アドレスレジスタの値はノーマルモードの場合と同様に更新されます。1 ブロックの転送終了ごとにアドレスレジスタの値を最初の値に戻す機能はありません。

$\overline{ETEND}$  出力は、1 ブロックサイズの転送毎に、各ブロックの終わりの DMA 転送サイクルで出力されます。

$\overline{EDRAK}$  出力は、1 回の転送要求 (1 ブロック分) に対して 1 回出力されます。

ブロック転送モードでリピートエリア機能のリピートエリアオーバーフロー割り込みを設定する場合は注意が必要です。詳細は「8.4.6 リピートエリア機能」を参照してください。

NMI 割り込みが発生した場合は、ブロック転送を強制終了します。詳細は「8.4.12 DMA 転送終了」を参照してください。

図 8.8 にブロック転送モードでの DMA 転送タイミング例を示します。

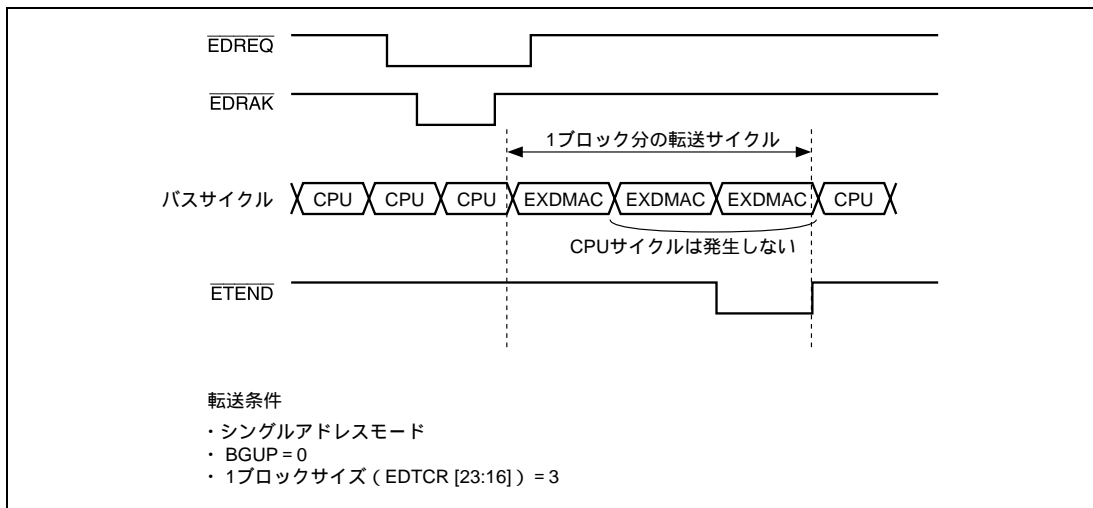


図 8.8 ブロック転送モードの例

### 8.4.6 リピートエリア機能

EXDMAC にはソースアドレス、ディスティネーションアドレス各々にリピートエリアを設定する機能があります。リピートエリアを設定するとアドレスレジスタはリピートエリアに指定された範囲の値を繰り返します。リングバッファを転送対象にしている場合、アドレスレジスタの値がバッファの最終アドレスになる（リングバッファに対するアドレスオーバーフロー）度に、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要になりますが、リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を EXDMAC 内で行うことができます。

リピートエリア機能は、ソースアドレスレジスタとディスティネーションアドレスレジスタに独立して設定できます。

ソースアドレスのリピートエリアは EDACR の SARA4 ~ 0 で指定します。ディスティネーションアドレスのリピートエリアは EDACR の DARA4 ~ 0 で指定します。各々のリピートエリアのサイズは独立に指定することができます。

アドレスレジスタの値がリピートエリアの終端になり、リピートエリアオーバーフローになったときに DMA 転送を一時停止させ CPU に対する割り込みを発生することが可能です。EDACR の SARIE ビットを 1 にセットすると、ソースアドレスレジスタがリピートエリアオーバーフローしたときに EDMDR の IRF ビットを 1 にセットし、EDMDR の EDA ビットを 0 にクリアして転送を終了します。このとき、EDMDR の EDIE ビット = 1 の場合、割り込み要求を発生させます。EDACR の DARIE ビットに 1 をセットするとディスティネーションアドレスレジスタが対象になります。

割り込み発生中に EDMDR の EDA ビットに 1 をセットすると、引き続き転送を再開します。図 8.9 にリピートエリア機能の例を示します。

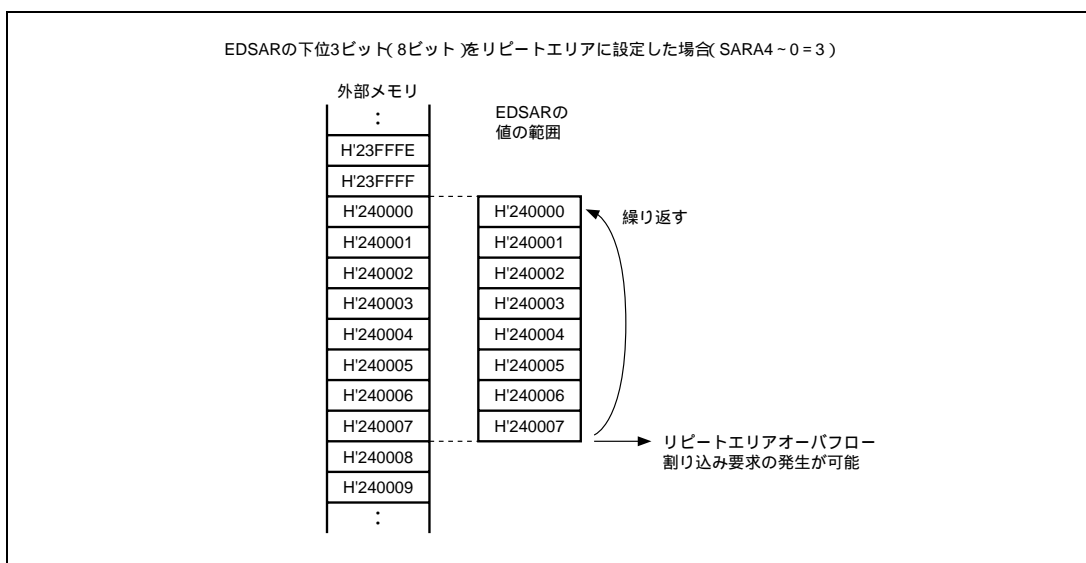


図 8.9 リピートエリア機能の例

リピートエリアのオーバーフロー割り込み機能をブロック転送モードと併用する場合は注意が必要です。ブロック転送モードにおいてリピートエリアオーバーフローが発生した場合、転送を終了させるときは、ブロックサイズを2のべき乗になるように指定する必要があります。または、ブロックサイズの切れ目とリピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。

ブロック転送モードの1ブロックサイズを転送している期間にリピートエリアオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまでリピート割り込み要求は保留され、転送はオーバーランします。図 8.10 にブロック転送モードとリピートエリア機能を併用したときの例を示します。

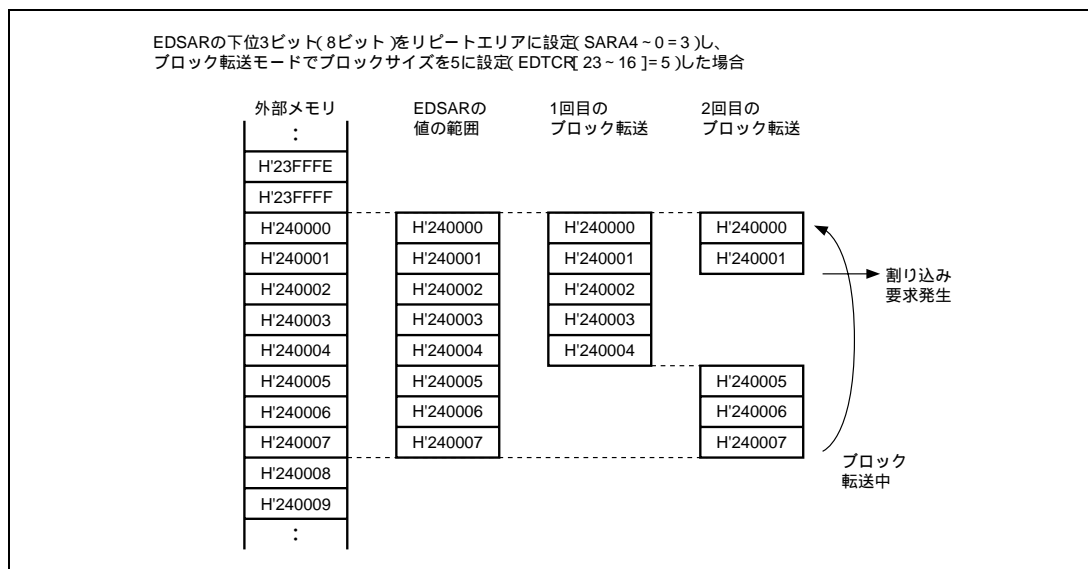


図 8.10 ブロック転送モードとリピートエリア機能を併用したときの例

#### 8.4.7 DMA 転送動作中のレジスタ

EXDMAC のレジスタは DMA 転送処理に伴い値を更新します。更新される値は各種設定や転送の状態によって異なります。更新するレジスタは、EDSAR、EDDAR、EDTCR、EDMDR の EDA、BEF、IRF ビットです。

##### (1) EXDMA ソースアドレスレジスタ (EDSAR)

転送元として、EDSAR のアドレスをアクセスするとき、EDSAR の値を出力するとともに次にアクセスするアドレスに更新します。EDACR の SAT1、0 ビットでアドレスの増減を指定します。SAT1=0 ではアドレスは固定されます。SAT1=1 でかつ SAT0=0 では増加、SAT0=1 では減少します。

増減サイズは、転送するデータのサイズで決まります。EDMDR の DTSIZE=0 の場合、バイトサイズになり、アドレスは±1 増減されます。DTSIZE=1 の場合、ワードサイズになり、アドレスは±2 増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に EDSAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の EDSAR

## 8. EXDMA コントローラ (EXDMAC)

---

は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDSAR の値をいったんバッファリングすることによって正常な値を出力します。

転送動作中のチャンネルの EDSAR にライトしないでください。

### (2) EXDMA ディスティネーションアドレスレジスタ (DDSAR)

転送先として、EDDAR のアドレスをアクセスするときに、EDDAR の値を出力するとともに次にアクセスするアドレスに更新します。EDACR の DAT1、0 ビットで増減を指定します。DAT1 = 0 ではアドレスは固定されます。DAT1 = 1 でかつ DAT0 = 0 では増加、DAT0 = 1 では減少します。

増減サイズは、転送するデータのサイズで決まります。EDMDR の DTSIZE = 0 の場合、バイトサイズになり、アドレスは  $\pm 1$  増減されます。DTSIZE = 1 の場合、ワードサイズになり、アドレスは  $\pm 2$  増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に EDDAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の EDDAR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDDAR の値をいったんバッファリングすることによって正常な値を出力します。

転送動作中のチャンネルの EDDAR にライトしないでください。

### (3) EXDMA トランスファカウントレジスタ (EDTCR)

DMA 転送を行うとともに EDTCR の値は 1 減少します。ただし、EDTCR の値が 0 の場合は転送回数はカウントされないため、EDTCR の値は変化しません。

ブロック転送モードでは、EDTCR の機能が変わります。EDTCR [ 23:16 ] の上位 8 ビットはブロックサイズを指定するために使用され、その値は変化しません。EDTCR [ 15:0 ] の下位 16 ビットは転送カウンタとして機能し、DMA 転送を行うと同時に EDTCR の値は 1 減少します。ただし、EDTCR [ 15:0 ] の値が 0 の場合は転送回数はカウントされないため、EDTCR [ 15:0 ] の値は変化しません。

ノーマル転送モードの場合は EDTCR が 24 ビット変化する可能性があるため、DMA 転送中に CPU から EDTCR をリードする場合は、ロングワードサイズでアクセスする必要があります。動作中の EDTCR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDTCR の値をいったんバッファリングすることによって正常な値を出力します。

ブロック転送モードでは上位 8 バイトは更新されることがないのでワードサイズでアクセスできます。

動作中のチャンネルの EDTCR にライトしないでください。DMA 転送に伴うアドレス更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。

EDTCR = 1 0 への更新と CPU によるライト (値は 0 以外) が競合した場合、EDTCR の値は CPU によるライトが優先されますが、転送終了します。CPU によって EDTCR に 0 をライトしても転送終了はしません。

図 8.11 にノーマル転送モードとブロック転送モードのときの EDTCR の更新動作を示します。

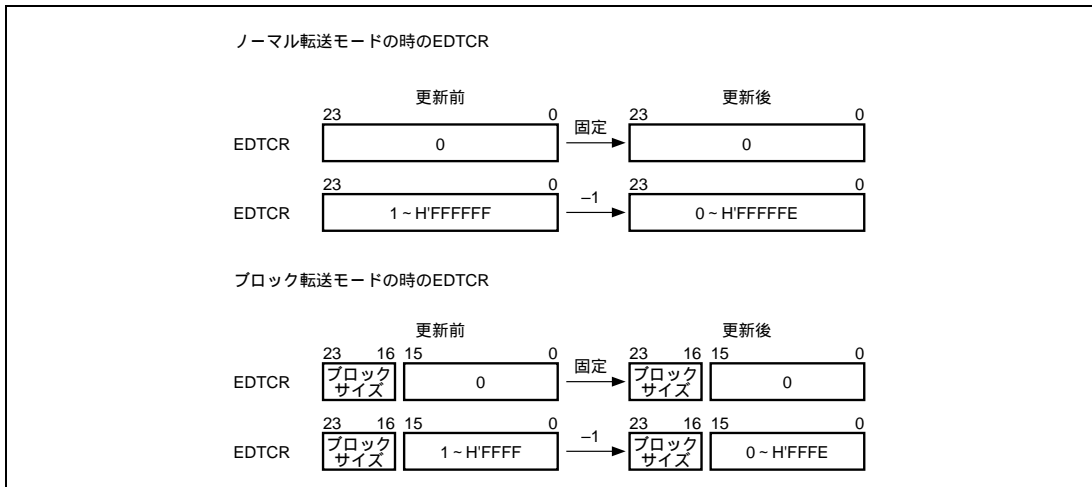


図 8.11 ノーマル転送モードとブロック転送モード時の EDTCR の更新動作

#### (4) EDMDR の EDA ビット

EDMDR の EDA ビットは CPU によりライトしてデータ転送の許可/禁止を制御して使用しますが、DMA 転送状態により EXDMAC によって自動的に EDA ビットをクリアする場合があります。また、転送中には CPU による EDA ビットの 0 ライトが反映されない期間があります。

EXDMAC により EDA ビットがクリアされる条件には以下のものがあります。

- EDTCRの値が1 0になり、転送が終了した場合
- リpeatエリアオーバーフロー割り込み要求が発生し、転送が終了した場合
- NMI割り込みが発生し、転送が停止した場合
- リセット
- ハードウェアスタンバイモード
- EDAビットに0ライトして、転送が停止した場合

EDA ビットに 0 ライトして転送を停止させるとき、DMA 転送中の期間は EDA ビットは 1 を保持します。ブロック転送モードの場合は、1 ブロックサイズの転送は中断されずに行われるため、EDA ビットに 0 ライトしてから 1 ブロックサイズの転送が終了する期間、EDA ビットは 1 を保持します。

バーストモードの場合、EDA ビットに 0 ライトしたバスサイクルから最大で 3 回の DMA 転送が行われてから転送を停止します。EDA ビットに 0 ライトしてから最後の DMA サイクルが終了するまでの期間、EDA ビットは 1 を保持します。

EDA ビットが 1 になっているチャンネルのレジスタには、ライトすることが禁止されています (EDA ビットは除く)。EDA ビットに 0 ライトしてから各レジスタの設定を変更するときは EDA ビットが 0 にクリアされていることを確認する必要があります。

図 8.12 に動作中のチャンネルのレジスタの設定を変更するときの手順を示します。

## 8. EXDMA コントローラ (EXDMAC)

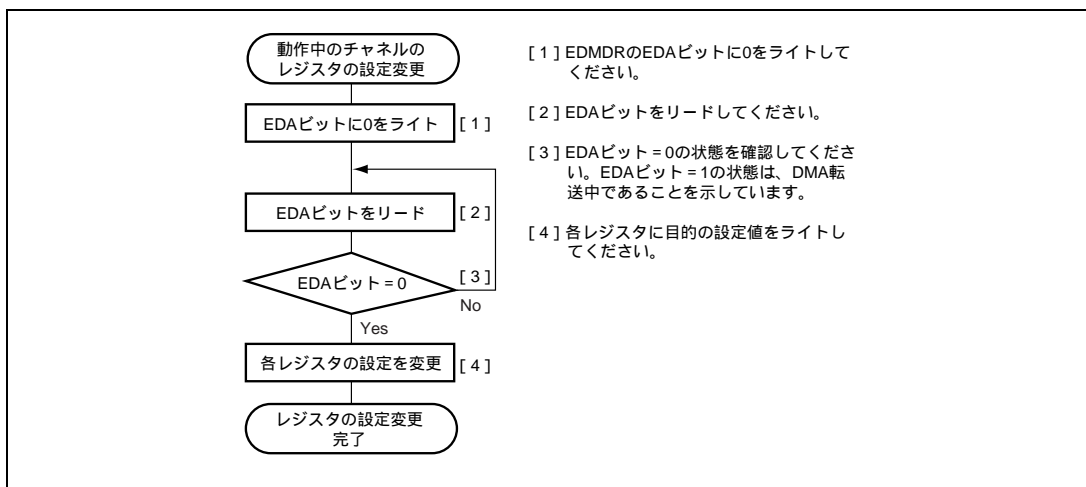


図 8.12 動作中のチャネルのレジスタの設定を変更するときの手順

### (5) EDMDR の BEF ビット

ブロック転送モードは1回の転送要求に対して設定された回数(1ブロックサイズ)の転送を行います。転送回数を正確に保証するために1ブロックサイズの転送は、リセット時、スタンバイ時、そしてNMI割り込みが発生したときを除いて必ず実行されます。

ブロック転送の最中にNMI割り込みが発生した場合、1ブロックサイズの転送は途中で中止してEDAビットを0にクリアして終了します。このとき、ブロック転送中に異常が発生したことを示すBEFビットをセットします。

### (6) EDMDR の IRF ビット

割り込み要求の要因が発生したときEDMDRのIRFビットは1にセットされます。IRFビットが1にセットされ、EDMDRのEDIEビットが1にセットされていると割り込み要求が発生します。

IRFビットに1がセットされるタイミングは、割り込みを発生させる要因になったDMA転送のバスサイクルが終了して、EDMDRのEDAビットが0になって転送終了したときです。

割り込み処理の中でEDAビットに1をセットして転送を再開した場合、自動的にIRFビットが0クリアされ、割り込み要求は解除されます。

割り込みについての詳細は「8.5 割り込み要因」を参照してください。

### 8.4.8 チャンネルの優先順位

EXDMAC のチャンネル間の優先順位はチャンネル0 > チャンネル1 > チャンネル2 > チャンネル3 の順になっています。表 8.3 に EXDMAC のチャンネル間の優先順位を示します。

表 8.3 EXDMAC のチャンネル間の優先順位

チャンネル	優先順位
チャンネル0	高
チャンネル1	↑
チャンネル2	↓
チャンネル3	低

複数のチャンネルに対して同時に転送要求が発生した場合、要求の発生しているチャンネルの中から表 8.3 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。

#### (1) 複数チャンネルからの転送要求 (オートリクエストのサイクルスチールモードを除く)

転送中に他のチャンネルの転送要求が発生した場合は、転送中のチャンネルを除いて最も優先度の高いチャンネルを選択します。選択されたチャンネルは転送中のチャンネルがバスを解放してから転送を開始します。このとき EXDMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。他にバス権要求がなければ 1 サイクルバス解放します。

バースト転送中、および 1 ブロック分のブロック転送中は、チャンネルを切り替えて転送することはありません。

図 8.13 にチャンネル 0、1、2 の転送要求が同時に発生した場合の転送例を示します。図の例は外部リクエストのサイクルスチールモードの場合です。

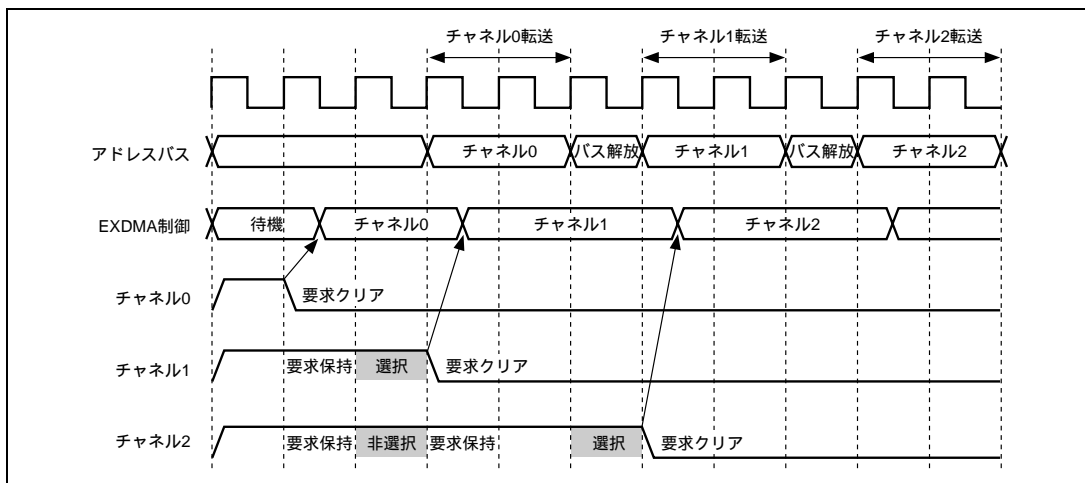


図 8.13 チャンネルの優先順位のタイミング例

## 8. EXDMA コントローラ (EXDMAC)

### (2) オートリクエストのサイクルスチールモードのときの複数チャンネルからの転送要求

オートリクエストのサイクルスチールモードで転送中に他のチャンネルの転送要求が発生した場合は、チャンネルの優先度により動作が異なります。

転送要求をしたチャンネルが転送中のチャンネルよりも優先度が高い場合は、転送要求をしたチャンネルを選択します。転送要求をしたチャンネルが転送中のチャンネルよりも優先度が低い場合は、転送要求をしたチャンネルの転送要求は保留され、転送中のチャンネルを引き続き選択します。

選択されたチャンネルは転送中のチャンネルがバスを解放してから転送を開始します。このとき EXDMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。他にバス権要求がなければ 1 サイクルバス解放します。

図 8.14 にオートリクエストのサイクルスチールモードを含んだ場合の転送例を示します。

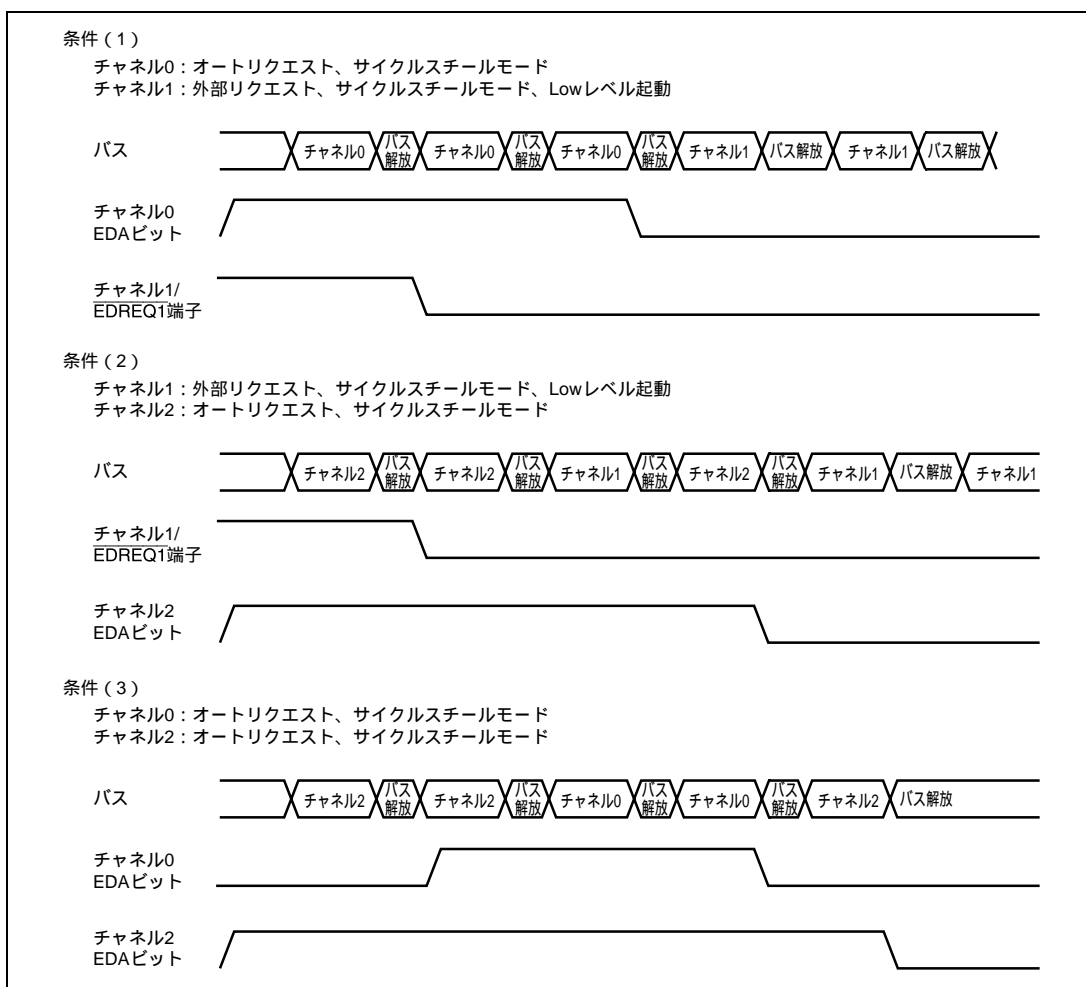


図 8.14 チャンネルの優先順位のタイミング例



## 8.4.9 EXDMAC 転送 (デュアルアドレスモード) のバスサイクル

## (1) ノーマル転送モード (サイクルスチールモード)

図 8.15 に  $\overline{ETEND}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モード (サイクルスチールモード) 転送を行った場合の転送例を示します。

1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

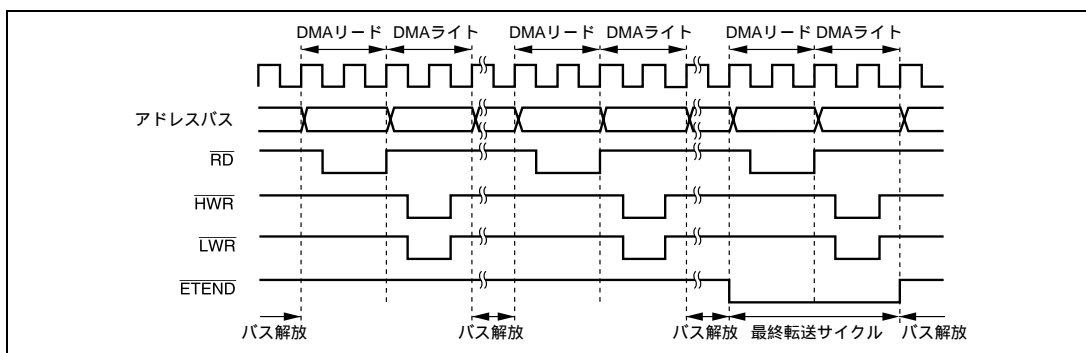


図 8.15 ノーマル転送モード (サイクルスチールモード) 転送例

## (2) ノーマル転送モード (バーストモード)

図 8.16 に  $\overline{ETEND}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モード (バーストモード) 転送を行った場合の転送例を示します。

バーストモードでは、1 バイトまたは 1 ワードの転送を転送が終了するまで継続して実行します。

バースト転送が始まると、他の優先順位の高いチャンネルの要求が発生しても、バースト転送が終了するまで待たされます。

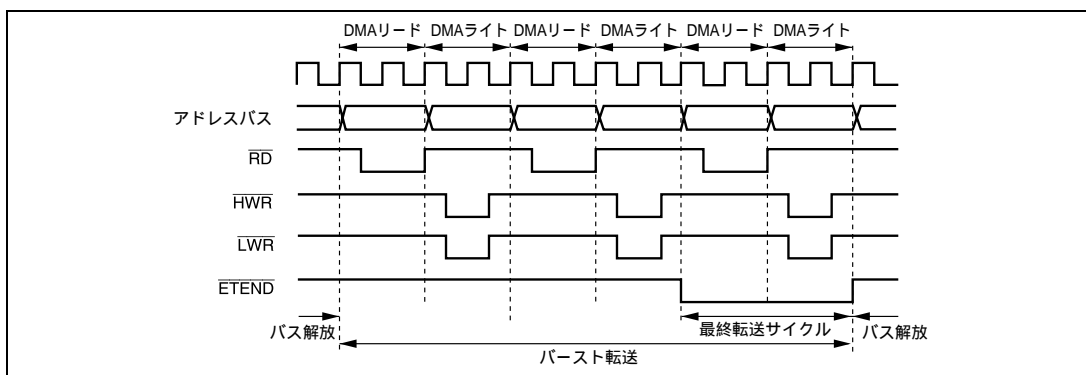


図 8.16 ノーマル転送モード (バーストモード) 転送例

## 8. EXDMA コントローラ (EXDMAC)

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、EDA ビットがクリアされ、転送禁止状態になります。すでにバースト転送が EXDMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが EXDMAC 内部で起動されている場合は、EDA ビットがクリアされてもそのまま転送終了まで実行します。

### (3) ブロック転送モード (サイクルスチールモード)

図 8.17 に ETEND 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでブロック転送モード (サイクルスチールモード) 転送を行った場合の転送例を示します。

一回の転送要求につき 1 ブロック分の転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

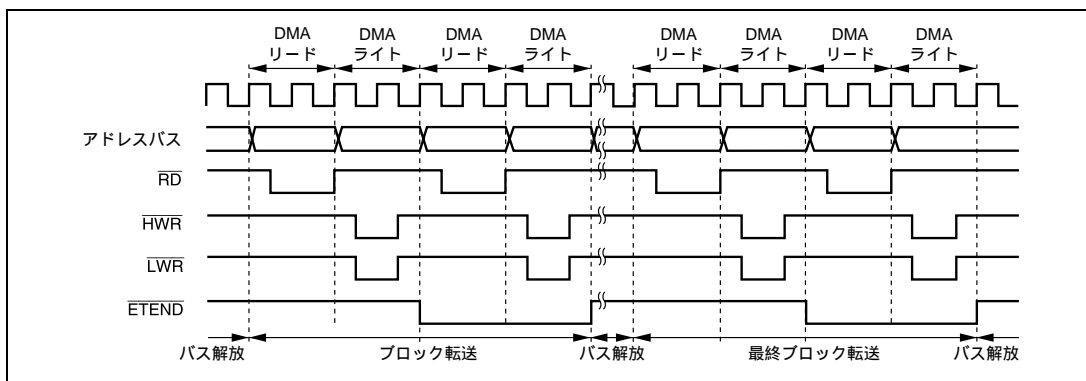


図 8.17 ブロック転送モード (サイクルスチールモード) 転送例

(4)  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動タイミング

図 8.18 に  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例を示します。

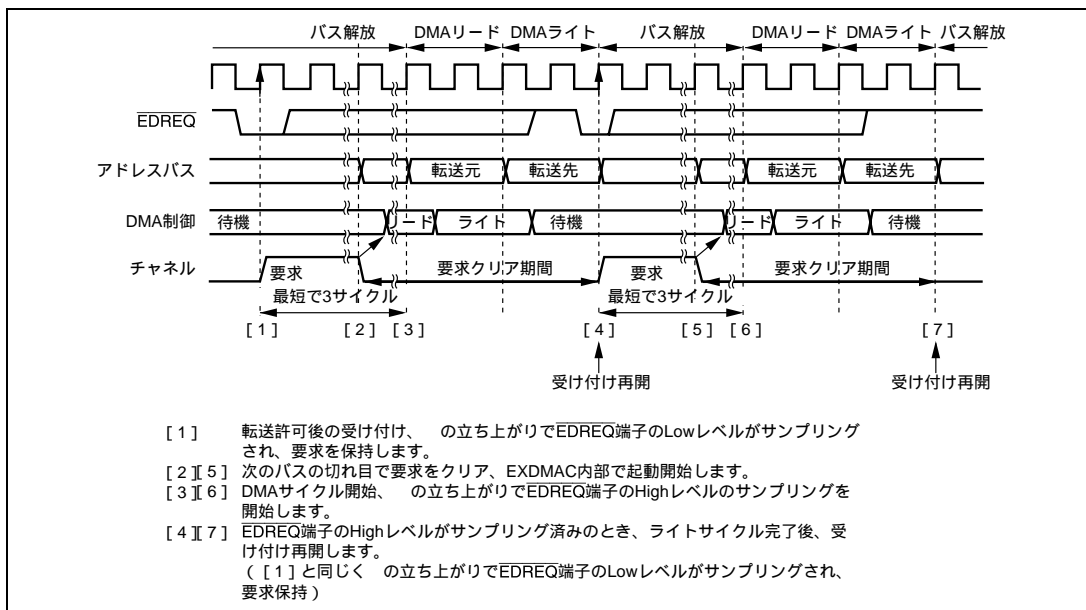


図 8.18  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{EDREQ}}$  端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の の立ち上がり を起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$  端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{EDREQ}}$  端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに  $\overline{\text{EDREQ}}$  端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{EDREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 8. EXDMA コントローラ (EXDMAC)

図 8.19 に  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例を示します。

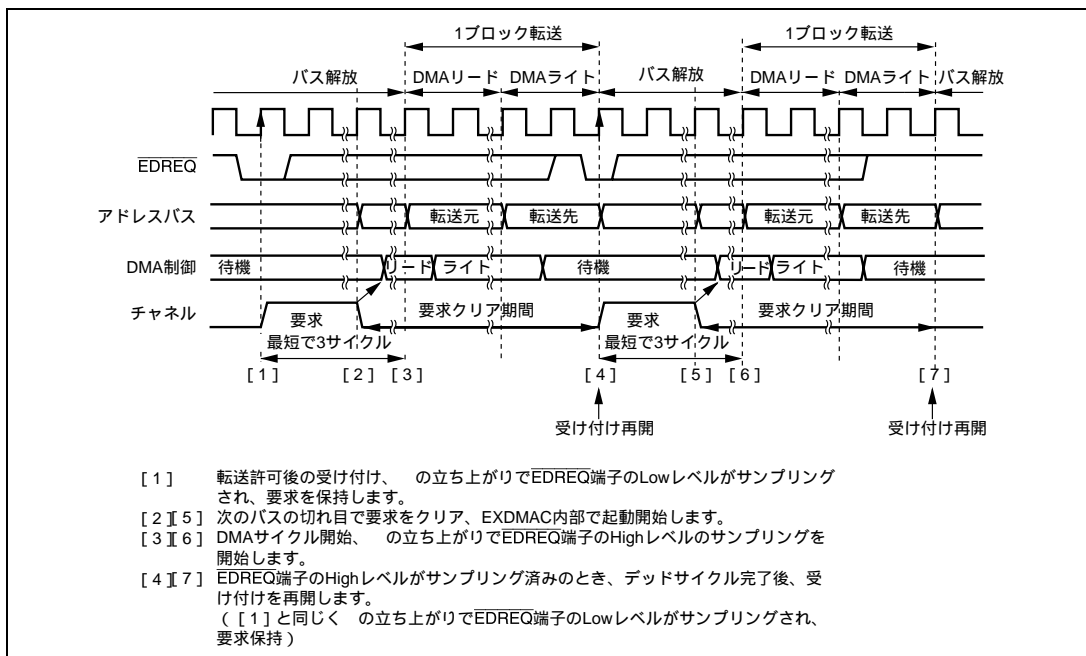


図 8.19  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{EDREQ}}$  端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$  端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{EDREQ}}$  端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに  $\overline{\text{EDREQ}}$  端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{EDREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(5)  $\overline{\text{EDREQ}}$  レベル起動タイミング

図 8.20 に  $\overline{\text{EDREQ}}$  レベル起動のノーマルモード転送例を示します。

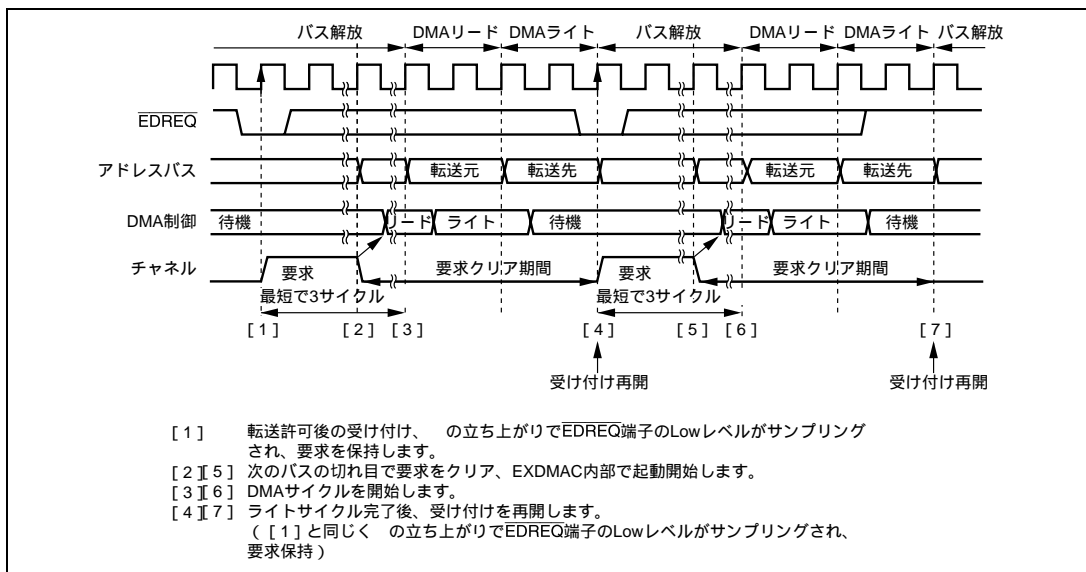


図 8.20  $\overline{\text{EDREQ}}$  レベル起動のノーマルモード転送例

$\overline{\text{EDREQ}}$  端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$  端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{EDREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 8. EXDMA コントローラ (EXDMAC)

図 8.21 に  $\overline{\text{EDREQ}}$  レベル起動のブロック転送モード転送例を示します。

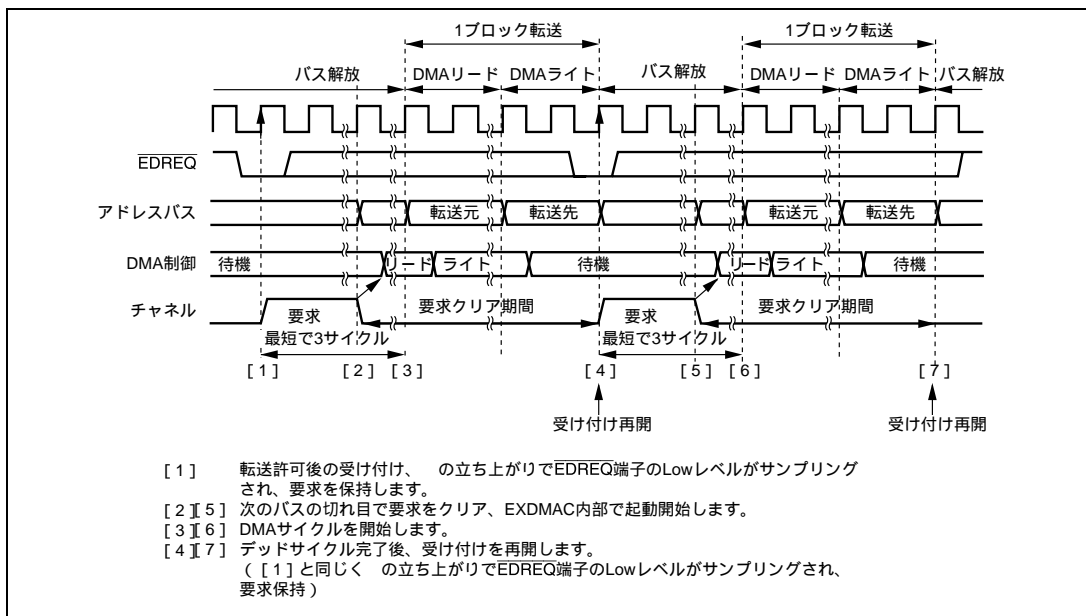


図 8.21  $\overline{\text{EDREQ}}$  レベル起動のブロック転送モード転送例

$\overline{\text{EDREQ}}$  端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$  端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{EDREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

### 8.4.10 EXDMAC 転送 (シングルアドレスモード) のバスタイミング

#### (1) シングルアドレスモード (リード)

図 8.22 に  $\overline{\text{ETEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

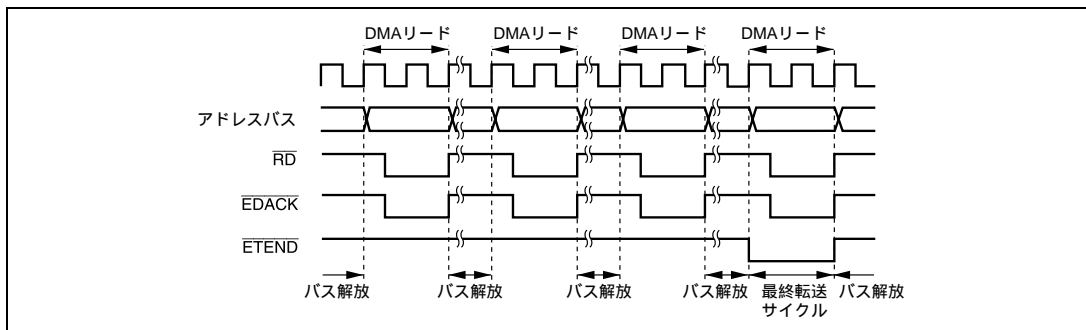


図 8.22 シングルアドレスモード (バイトリード) 転送例

図 8.23 に  $\overline{\text{ETEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

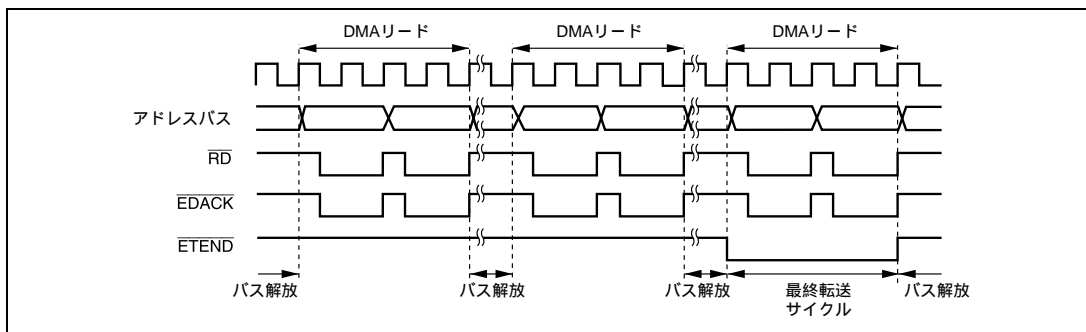


図 8.23 シングルアドレスモード (ワードリード) 転送例

一回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

## 8. EXDMA コントローラ (EXDMAC)

### (2) シングルアドレスモード (ライト)

図 8.24 に  $\overline{\text{ETEND}}$  出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

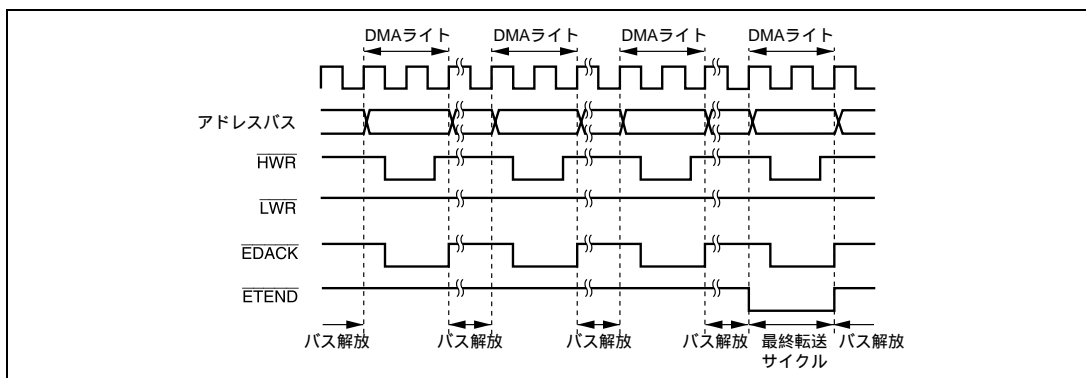


図 8.24 シングルアドレスモード (バイトライト) 転送例

図 8.25 に  $\overline{\text{ETEND}}$  出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

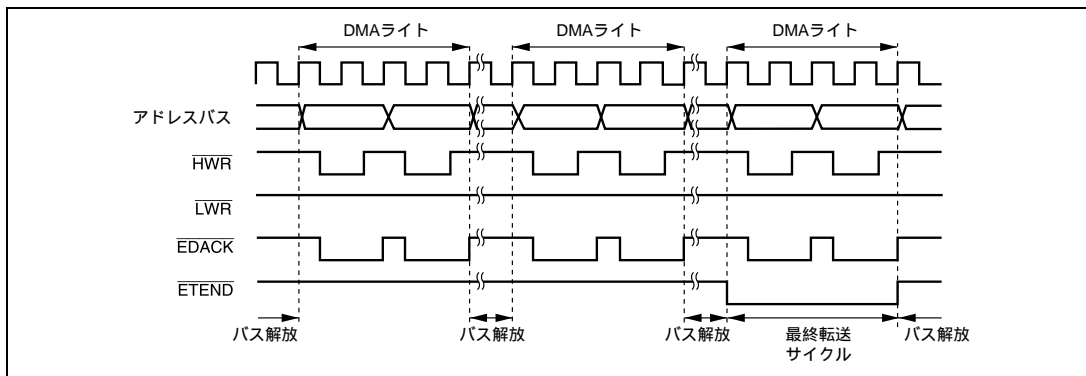


図 8.25 シングルアドレスモード (ワードライト) 転送例

一回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。



(3)  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動タイミング

図 8.26 に  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

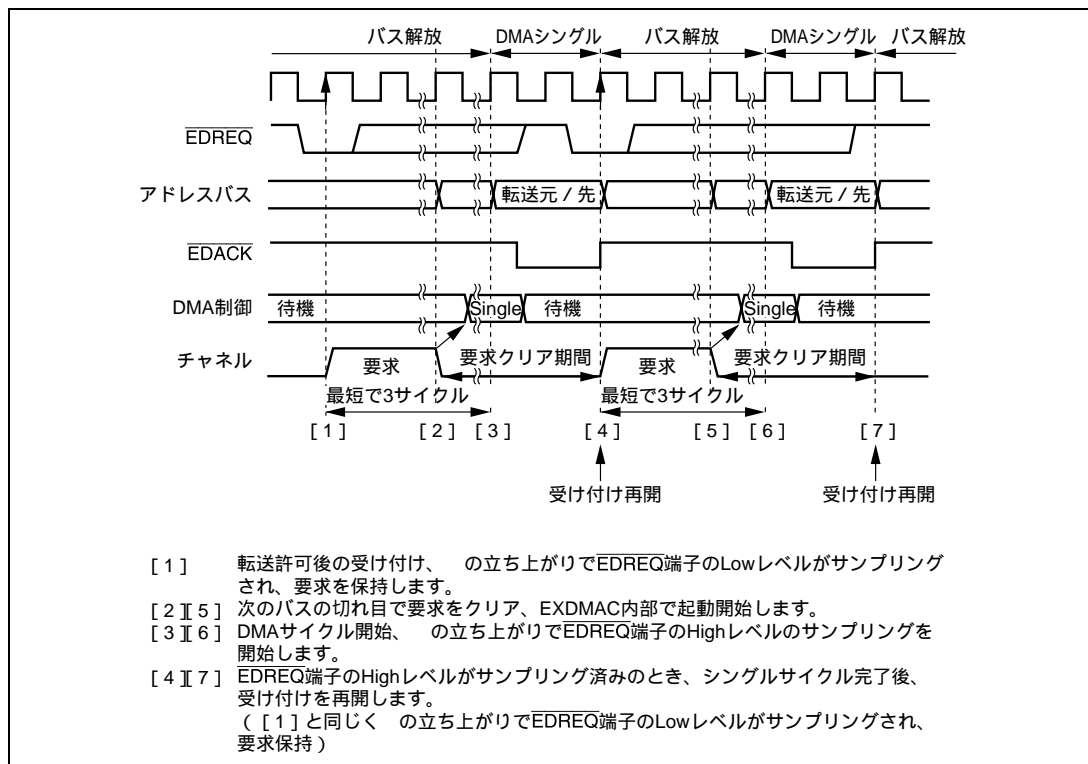


図 8.26  $\overline{\text{EDREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{EDREQ}}$  端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$  端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{EDREQ}}$  端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに  $\overline{\text{EDREQ}}$  端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び  $\overline{\text{EDREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 8. EXDMA コントローラ (EXDMAC)

### (4) $\overline{\text{EDREQ}}$ 端子 Low レベル起動タイミング

図 8.27 に  $\overline{\text{EDREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例を示します。

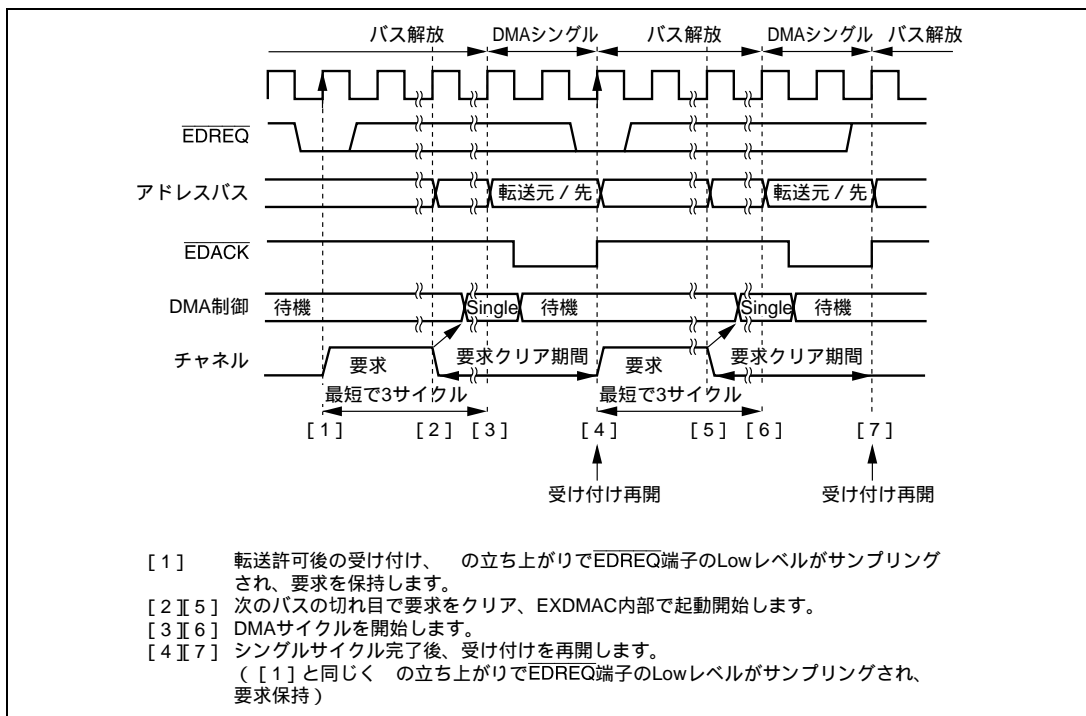


図 8.27  $\overline{\text{EDREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{EDREQ}}$  端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の の立ち上がり を起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$  端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び  $\overline{\text{EDREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 8.4.11 各モードの動作タイミング

## (1) オートリクエスト/サイクルスチールモード/ノーマル転送モード

EDMDR の EDA ビットを 1 セットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。1 転送単位の EXDMA サイクルの終了から次の転送開始までにバス解放期間が 1 サイクル発生します。

優先順位の高い他のチャンネルに転送要求がある場合は、当該チャンネルの転送要求は一時保留され、次の転送から他のチャンネルの転送を行います。他のチャンネルの転送が終了すると、当該チャンネルの転送を再開します。

図 8.28 ~ 図 8.30 に各条件の動作タイミング例を示します。

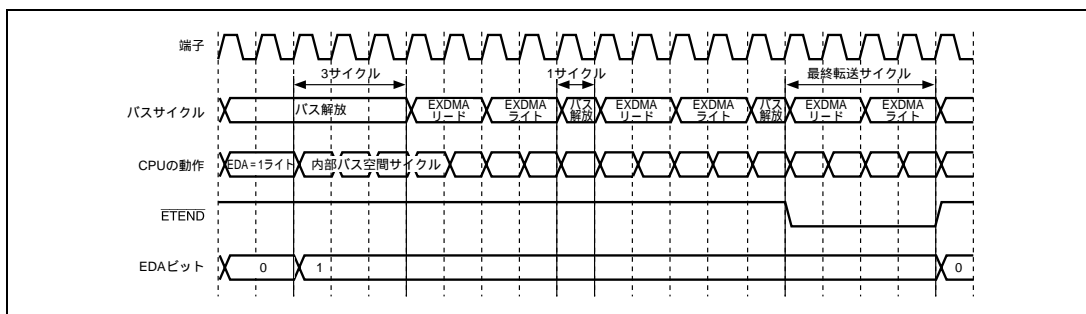


図 8.28 オートリクエスト/サイクルスチールモード/ノーマル転送モード  
(競合がない場合/デュアルアドレスモード)

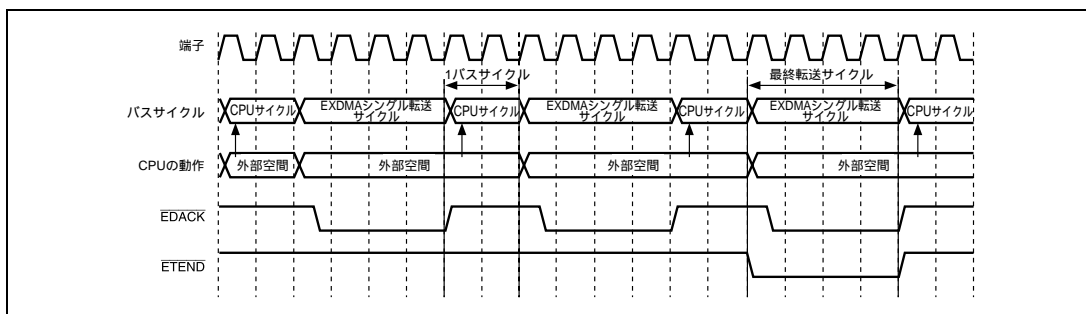


図 8.29 オートリクエスト/サイクルスチールモード/ノーマル転送モード  
(CPU サイクルあり/シングルアドレスモード)

## 8. EXDMA コントローラ (EXDMAC)

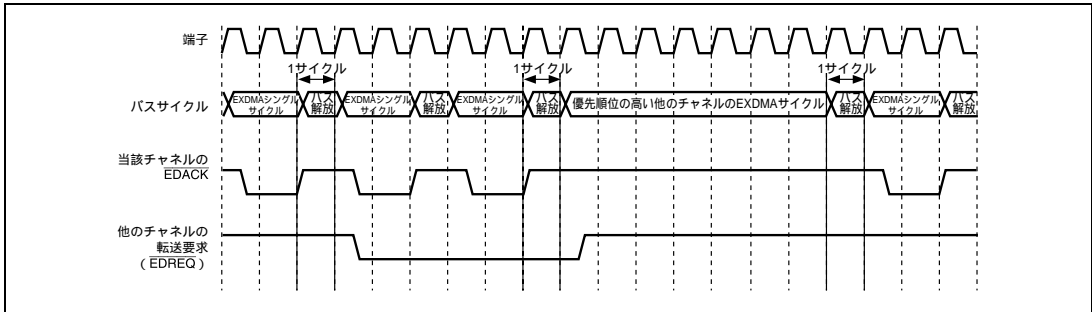


図 8.30 オートリクエスト/サイクルスチールモード/ノーマル転送モード  
(他のチャネルと競合する場合/シングルアドレスモード)

### (2) オートリクエスト/バーストモード/ノーマル転送モード

EDMDR の EDA ビットを 1 セットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。一度転送を開始すると転送終了条件が満たされるまで連続 (バースト) して転送します。

EDMDR の BGUP ビット = 1 の場合は、他のバスマスタからのバス権要求があったときにバス権を譲ります。他のチャネルの転送要求は、当該チャネルの転送が終了するまで保留されます。

図 8.31 ~ 図 8.34 に各条件の動作タイミング例を示します。

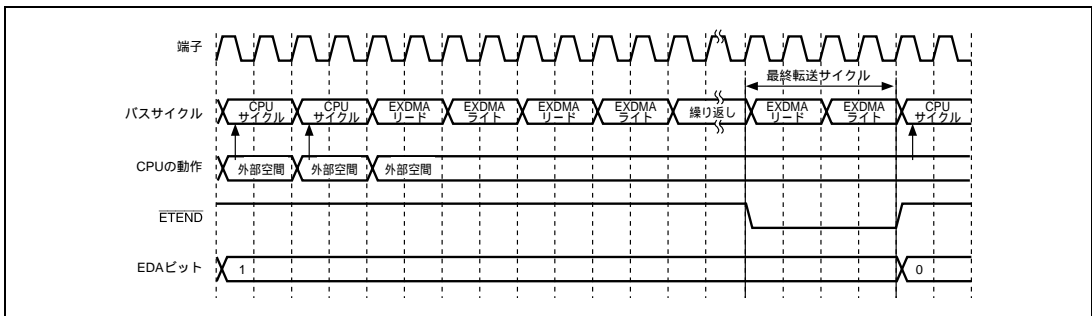


図 8.31 オートリクエスト/バーストモード/ノーマル転送モード  
(CPU サイクルあり/デュアルアドレスモード/BGUP = 0)

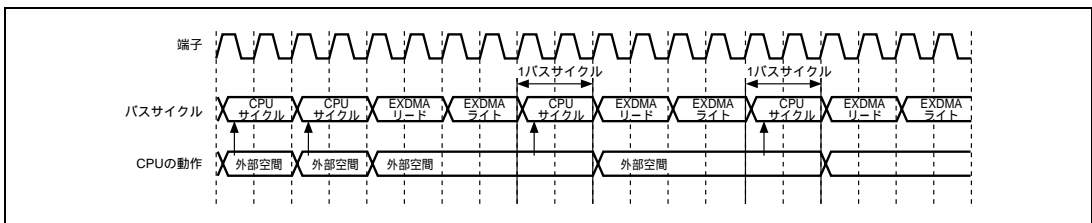


図 8.32 オートリクエスト/バーストモード/ノーマル転送モード  
(CPU サイクルあり/デュアルアドレスモード/BGUP = 1)

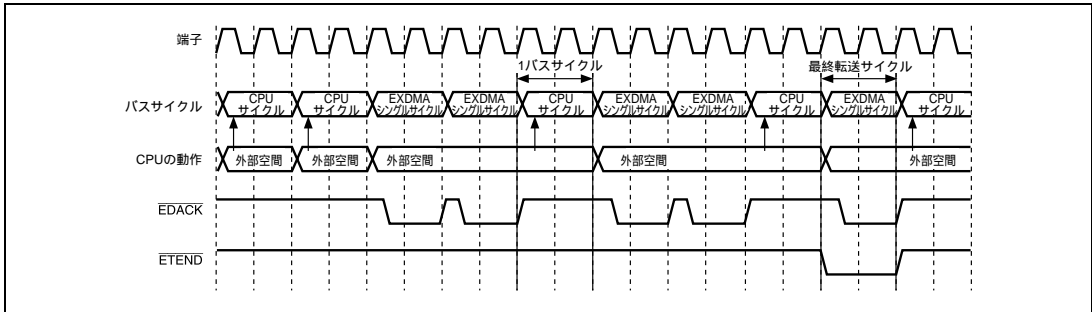


図 8.33 オートリクエスト/バーストモード/ノーマル転送モード  
(CPU サイクルあり/シングルアドレスモード/BGUP = 1)

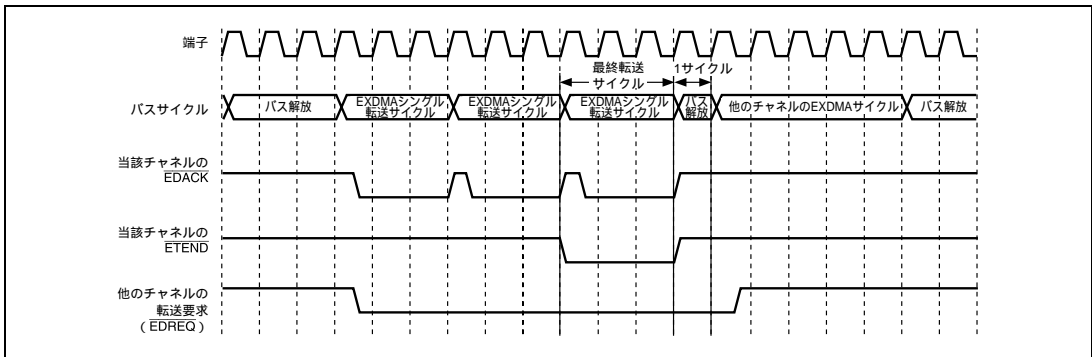


図 8.34 オートリクエスト/バーストモード/ノーマル転送モード  
(他のチャネルと競合する場合/シングルアドレスモード)

(3) 外部リクエスト/サイクルスチールモード/ノーマル転送モード

外部リクエストモードでは、転送要求を受け付けてから最短 3 サイクル後に EXDMA 転送サイクルを開始します。次の転送要求の受け付けは 1 転送単位の EXDMA サイクルの終了からです。外部バス空間での CPU サイクルは、次の EXDMA サイクルの間に最短 2 バスサイクル発生します。

他のチャネルに転送要求が発生すると、次の EXDMA サイクルの前に他のチャネルの EXDMA サイクルが発生します。

$\overline{\text{EDREQ}}$  端子の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 8.35 ~ 図 8.38 に各条件の動作タイミング例を示します。

## 8. EXDMA コントローラ (EXDMAC)

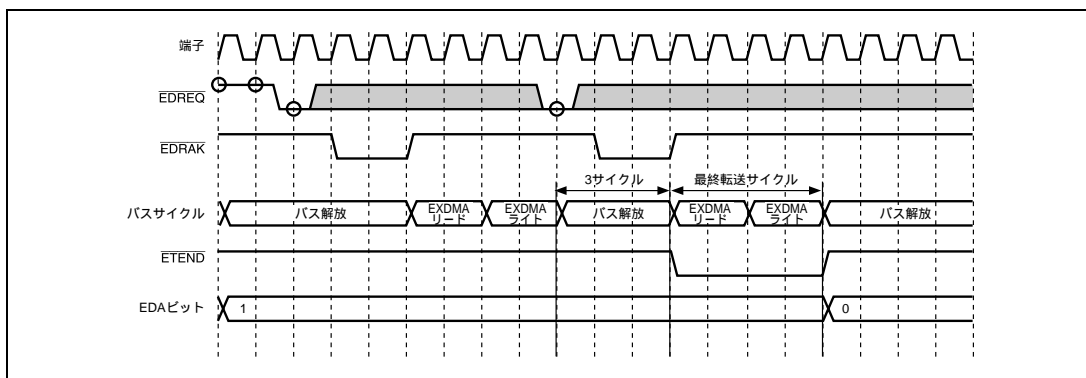


図 8.35 外部リクエスト/サイクルスチールモード/ノーマル転送モード  
(競合がない場合/デュアルアドレスモード/Low レベル検出)

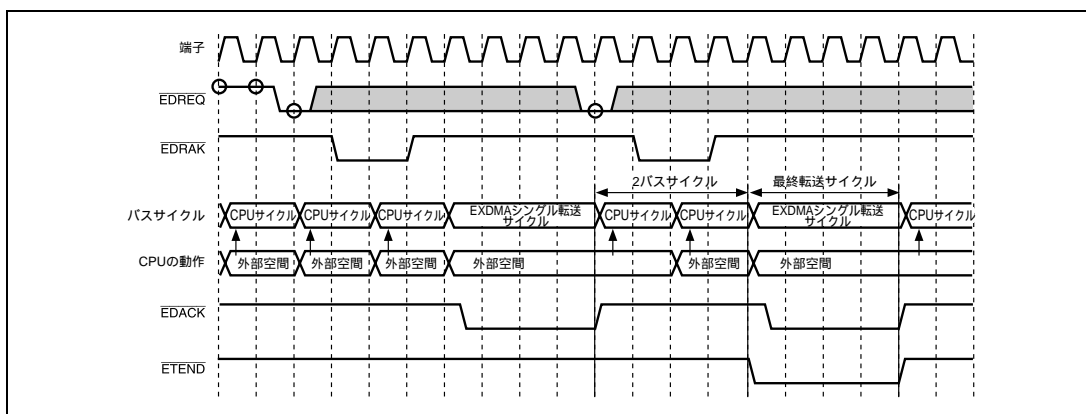


図 8.36 外部リクエスト/サイクルスチールモード/ノーマル転送モード  
(CPU サイクルあり/シングルアドレスモード/Low レベル検出)

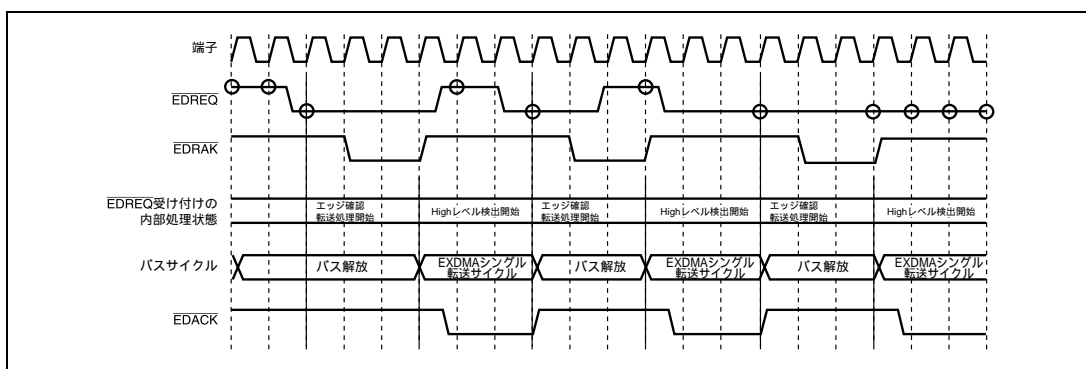


図 8.37 外部リクエスト/サイクルスチールモード/ノーマル転送モード  
(競合がない場合/シングルアドレスモード/立ち下がりエッジ検出)

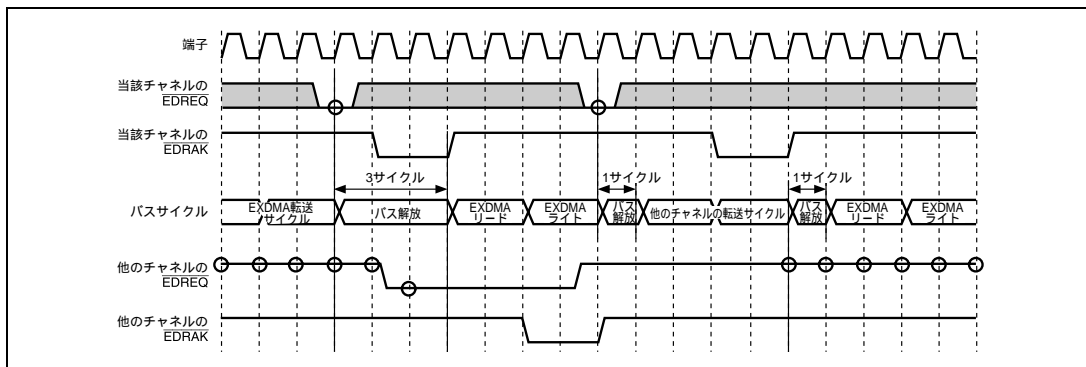


図 8.38 外部リクエスト/サイクルスチールモード/ノーマル転送モード  
(他のチャンネルと競合する場合/デュアルアドレスモード/Low レベル検出)

#### (4) 外部リクエスト/サイクルスチールモード/ブロック転送モード

ブロック転送モードでは、1 ブロック分の転送はバーストモードと同様に連続転送します。次のブロック転送の開始タイミングは通常の転送モードと同様です。

他のチャンネルに転送要求が発生すると、次のブロック転送の前に他のチャンネルの EXDMA サイクルが発生します。

$\overline{\text{EDREQ}}$  端子の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 8.39 ~ 図 8.44 に各条件の動作タイミング例を示します。

## 8. EXDMA コントローラ (EXDMAC)

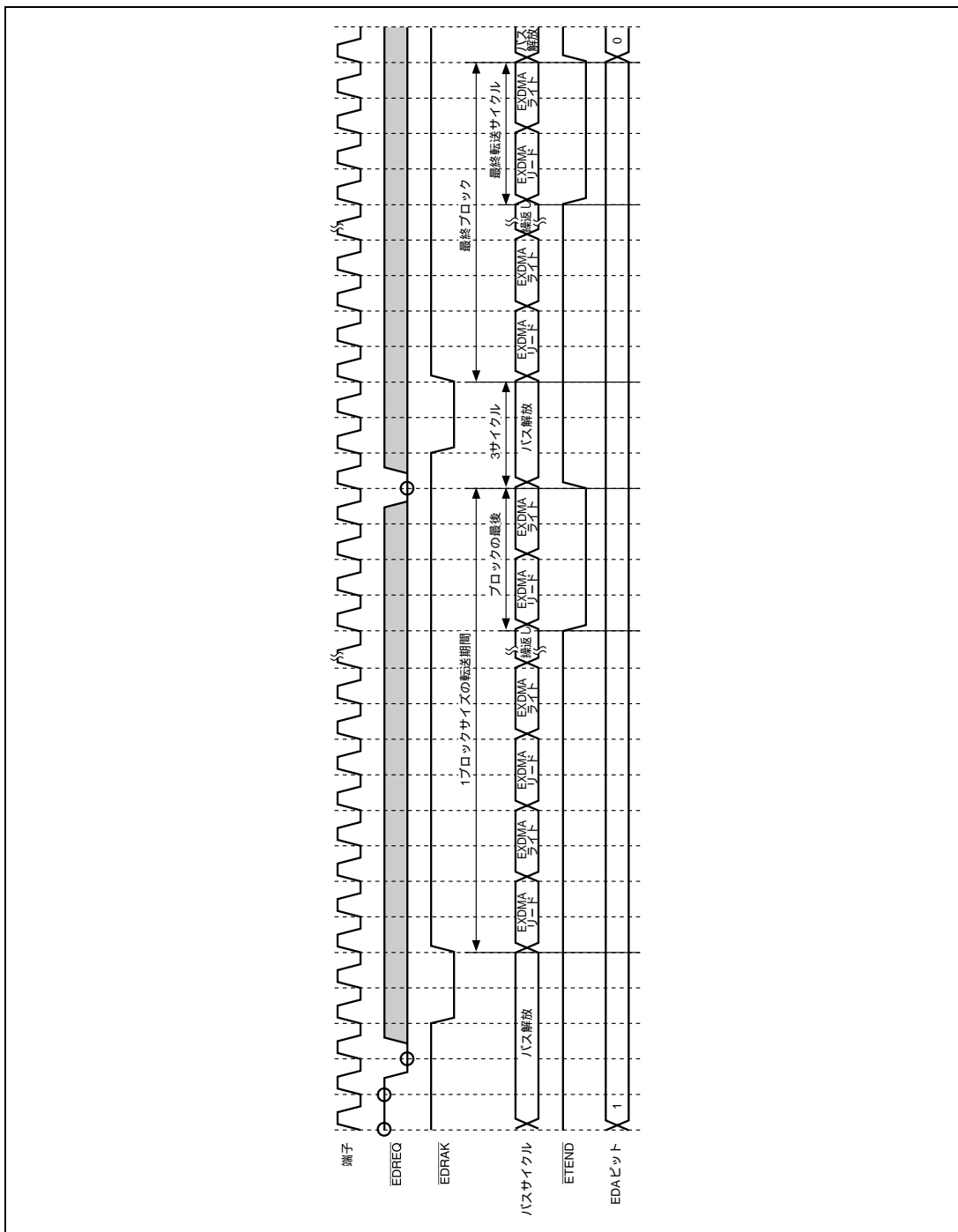


図 8.39 外部リクエスト/サイクルスチールモード/ブロック転送モード  
(競合がない場合/デュアルアドレスモード/Low レベル検出/BGUP = 0)



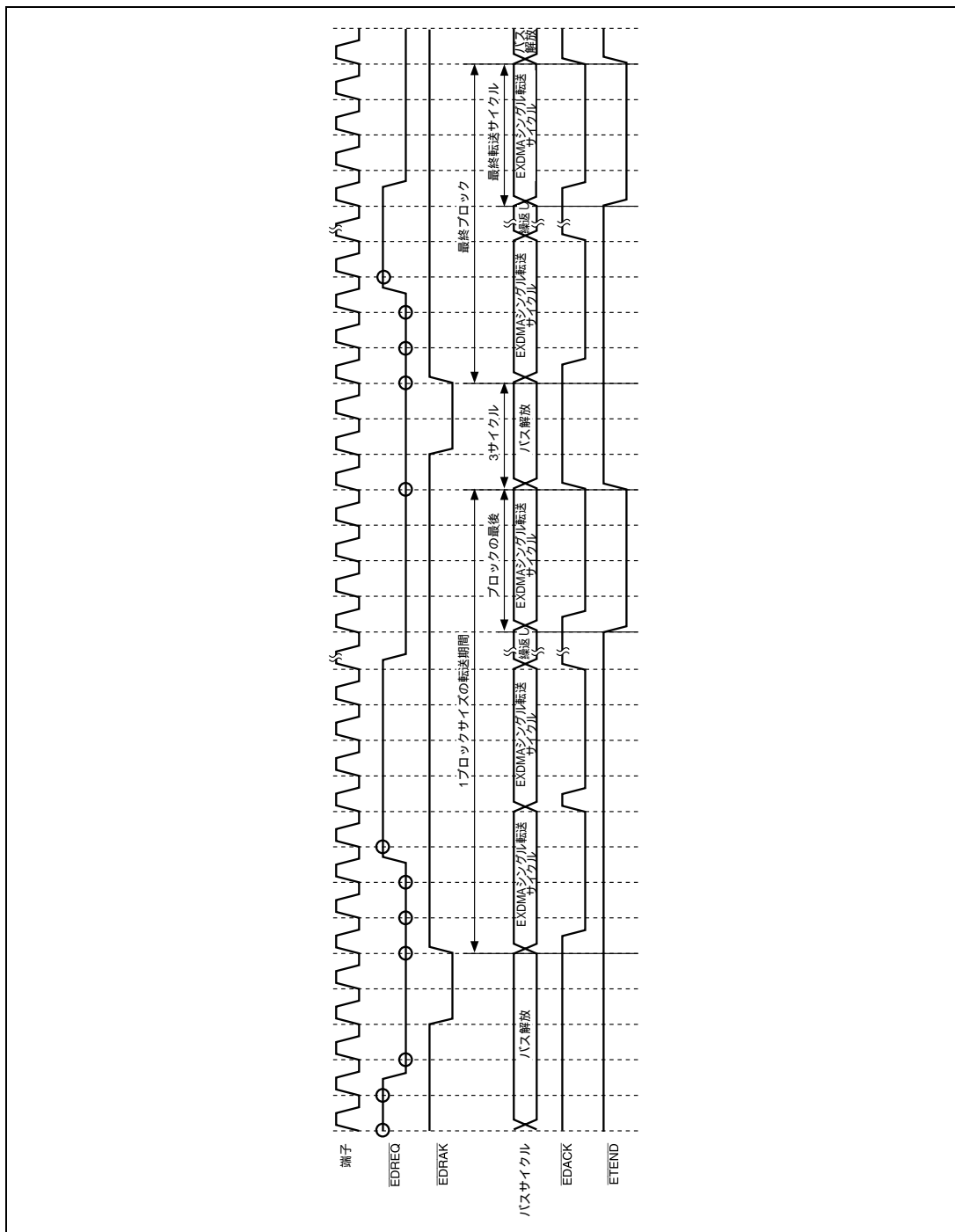


図 8.40 外部リクエスト/サイクルスチールモード/ブロック転送モード  
(競合がない場合/シングルアドレスモード/立ち下がりエッジ検出/BGUP = 0)

## 8. EXDMA コントローラ (EXDMAC)

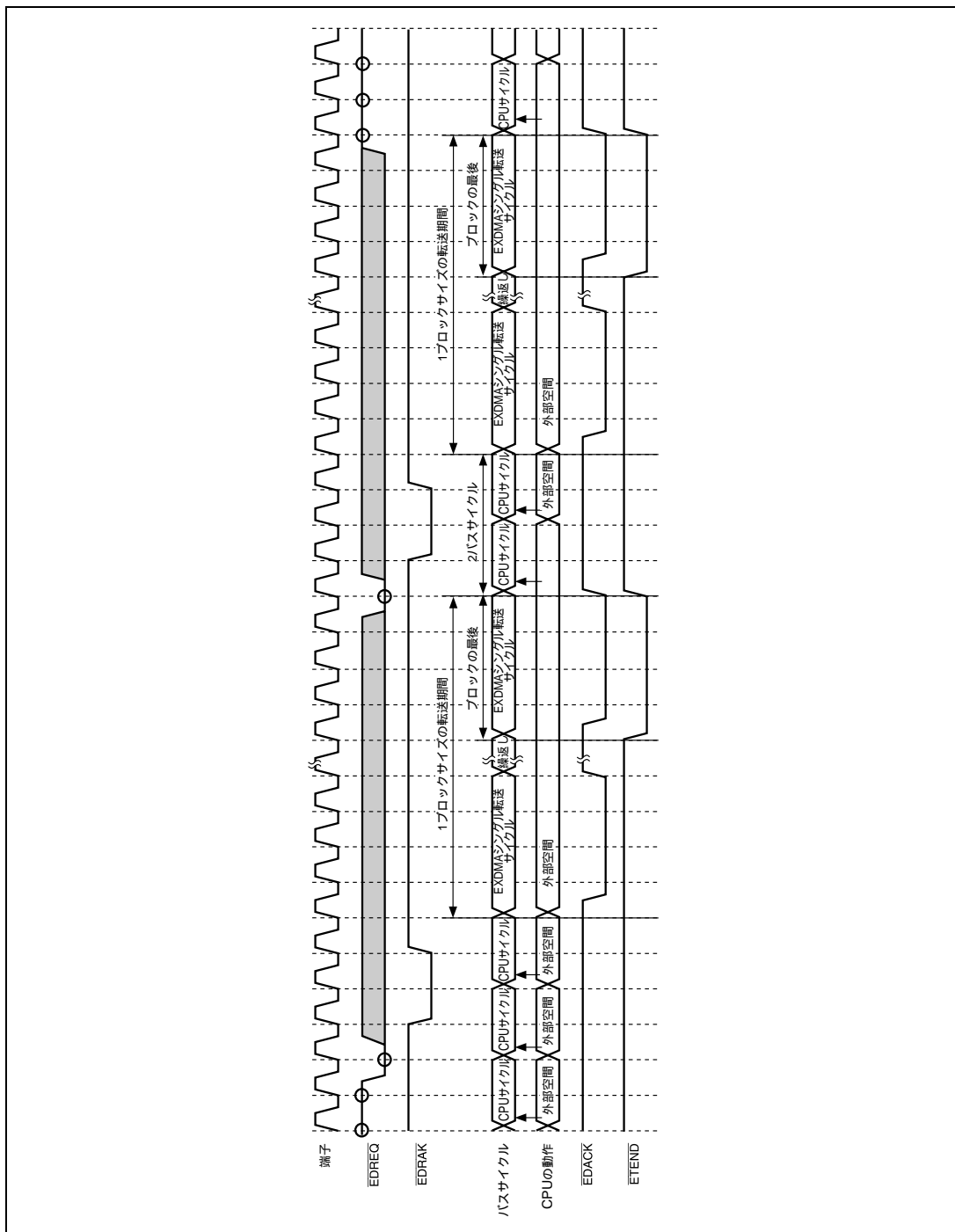


図 8.41 外部リクエスト/サイクルスチールモード/ブロック転送モード  
(CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP = 0)

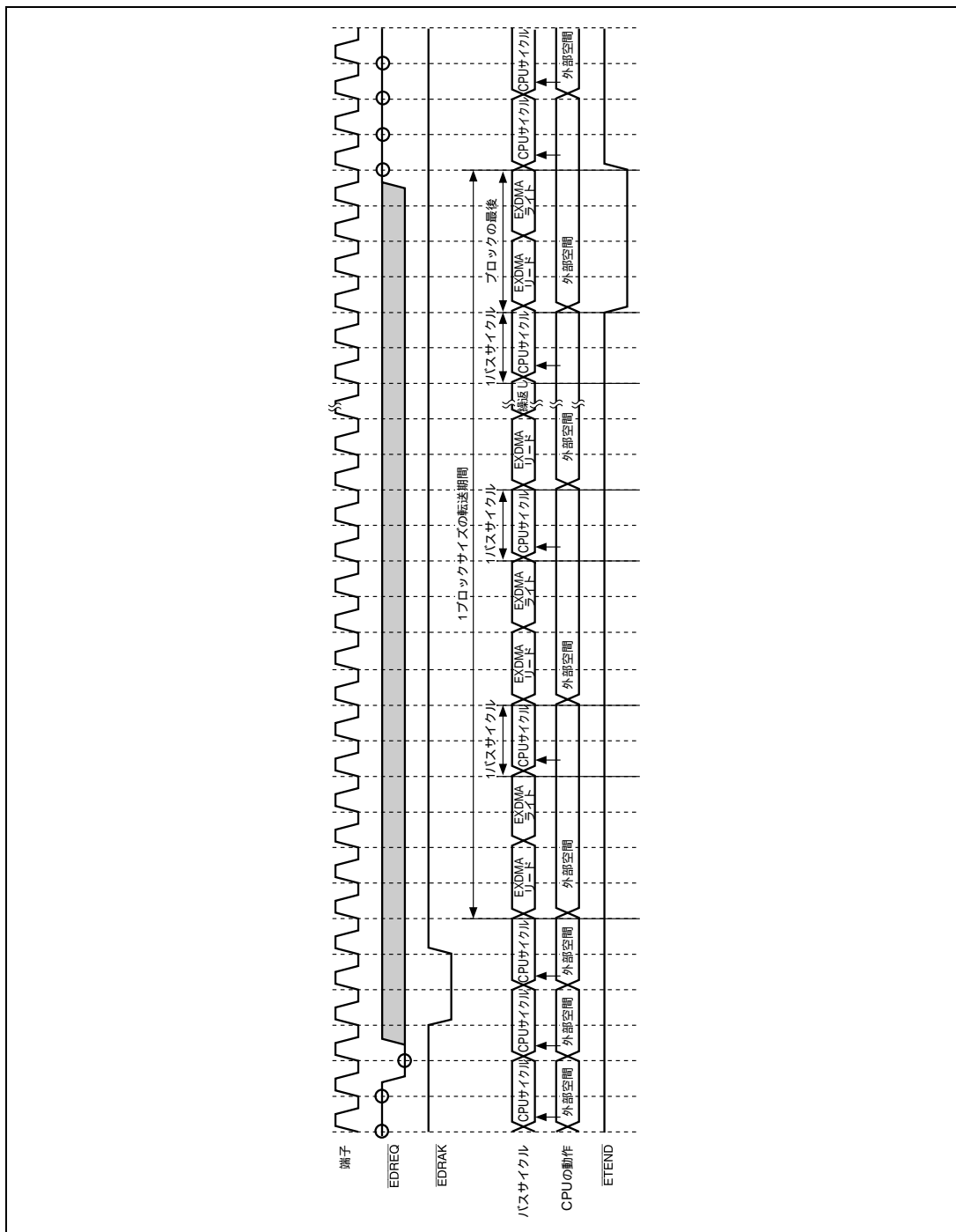


図 8.42 外部リクエスト/サイクルスチールモード/ブロック転送モード  
(CPU サイクルあり/デュアルアドレスモード/Low レベル検出/BGUP = 1)

## 8. EXDMA コントローラ (EXDMAC)

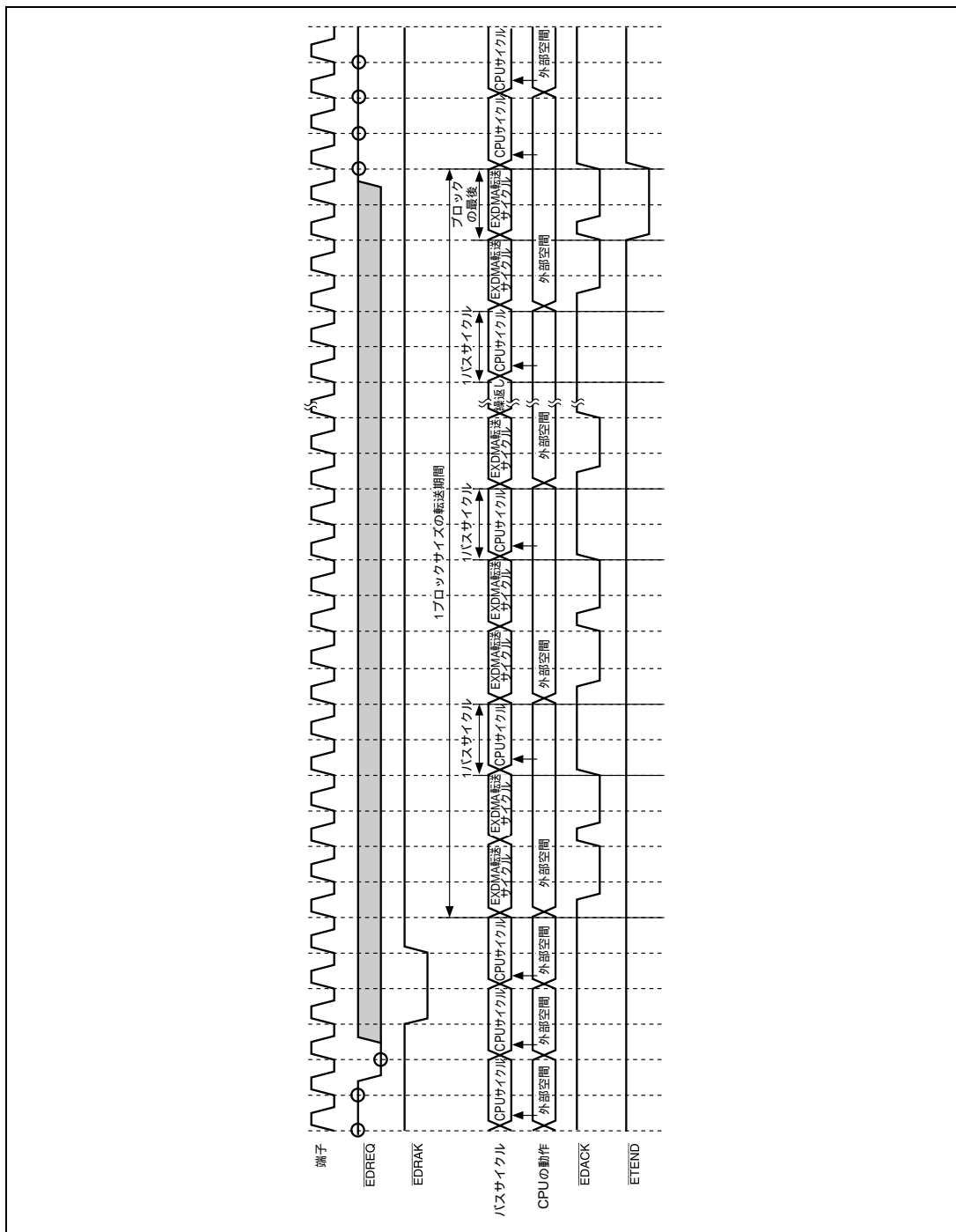


図 8.43 外部リクエスト/サイクルスチールモード/ブロック転送モード  
(CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP = 1)

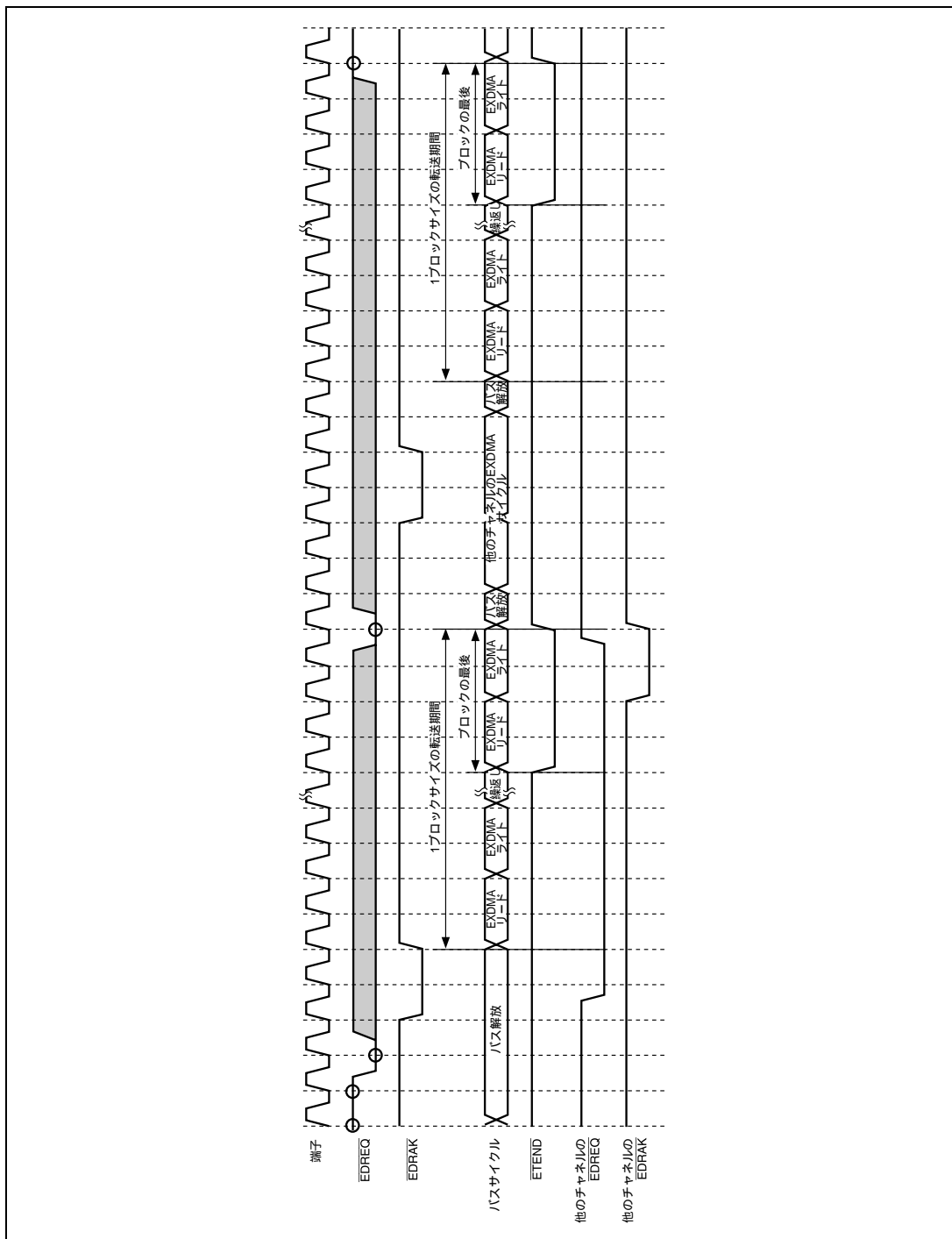


図 8.44 外部リクエスト/サイクルスチールモード/ブロック転送モード  
(他のチャネルと競合する場合/デュアルアドレスモード/Low レベル検出)

### 8.4.12 DMA 転送終了

DMA 転送終了は転送終了条件によって動作が異なります。DMA 転送が終了すると、EDMDR の EDA ビットが 1 から 0 になり DMA 転送が終了したことを示します。

#### (1) EDTCR = 1 0 による転送終了

EDTCR の値が 1 から 0 になると、対応するチャンネルの DMA 転送が終了し、EDMDR の EDA ビットが 0 にクリアされます。このとき EDMDR の TCEIE ビットがセットされていると、転送カウンタによる転送終了割り込み要求が発生し、EDMDR の IRF ビットが 1 セットされます。

ブロック転送モードの場合は、EDTCR の 15~0 ビットの値が 1 から 0 になると DMA 転送が終了します。

EDTCR の値が転送前から 0 の場合では、DMA 転送は終了しません。

#### (2) リpeatエリアオーバーフロー割り込みによる転送終了

リピートエリアを指定し、リピートインタラプトイネーブル(EDACR の SARIE ビット、または DARIE ビット)をセットしている状態で、アドレスがリピートエリアオーバーフローした場合、リピートエリアオーバーフロー割り込み要求が発生します。このとき DMA 転送は終了し、EDMDR の EDA ビットが 0 にクリアされ、EDMDR の IRF ビットが 1 セットされます。

デュアルアドレスモードの場合、リードサイクル中にリピートエリアオーバーフロー割り込み要求が発生しても、続くライトサイクル処理は実行されます。

ブロック転送モードの場合は、1 ブロック分の転送中にリピートエリアオーバーフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。リピートエリアオーバーフロー割り込みによる転送終了はブロックサイズの区切りで発生します。

#### (3) EDMDR の EDA ビットに 0 ライトすることによる転送終了

CPU によって EDMDR の EDA ビットを 0 ライトすると、転送中の DMA サイクルおよび、転送要求を受け付けた DMA サイクルまでが実行され、転送終了になります。

ブロック転送モードの場合、1 ブロックサイズの転送が終了してから DMA 転送は停止します。

EDMDR の EDA ビットの値が 0 にクリアされるタイミングは転送の処理がすべて終了してからになります。それまでは EDMDR の EDA ビットの値は 1 が読み出されます。

#### (4) NMI 割り込みによる強制終了

NMI 割り込みが発生すると、DMA 転送は強制終了します。すべてのチャンネルの EDA ビットは 0 にクリアされます。外部リクエストの場合、 $\overline{\text{EDRAK}}$  が出力された転送要求の分まで DMA 転送を行います。デュアルアドレスモードの場合、リードサイクルに続くライトサイクル処理は実行されます。

ブロック転送モードの場合、1 ブロックサイズの転送中でも強制終了します。このとき 1 ブロックサイズの途中で転送を中止するので、EDMDR の BEF ビットに 1 セットして、ブロック転送が正常に行われなかったことを示します。

強制終了したとき、レジスタの値は保持され、アドレスレジスタは次の転送アドレスを示しているため、EDMDR の EDA ビットに 1 をセットすれば転送を再開することができます。EDMDR の BEF = 1 になっていると、1 ブロックサイズの途中から再開することになります。

(5) ハードウェアスタンバイモード、リセット入力

ハードウェアスタンバイモード、またはリセット入力により、EXDMAC は初期化されます。DMA 転送は保証されません。

### 8.4.13 EXDMAC と他のバスマスタ

DMA 転送サイクルのリードとライトの間は分割不可となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU、DTC、DMAC) の外部空間アクセスサイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルの後に、リフレッシュおよび外部バス解放状態が挿入されることがあります。内部バスマスタは、EXDMAC より優先度が低いため、EXDMAC がバスを解放するまで内部バスマスタの外部空間アクセスは動作しません。


EXDMAC がバスを解放するタイミングには以下の場合があります。

1. サイクルスチールモードのDMA転送が行われたとき
2. 異なるチャンネルに切り換わるとき
3. バースト転送モードで転送が終了したとき
4. ブロック転送の1ブロック転送が終了したとき
5. EDMDRのBGUPビットを1にセットしてバースト転送またはブロック転送を行っているとき (ただし、リードとライトの間は除きます)

## 8.5 割り込み要因

EXDMAC が発生する割り込み要因は転送カウンタによる転送終了、リピートエリアオーバーフロー割り込みです。表 8.4 に割り込み要因と優先度を示します。

表 8.4 割り込み要因と優先度

割り込み名称	割り込み要因	割り込み優先順位
EXDMTEND0	チャンネル0の転送カウンタによる転送終了による割り込み チャンネル0のソースアドレスリピートエリアオーバーフローによる割り込み チャンネル0のディスティネーションアドレスリピートエリアオーバーフローによる割り込み	高  低
EXDMTEND1	チャンネル1の転送カウンタによる転送終了による割り込み チャンネル1のソースアドレスリピートエリアオーバーフローによる割り込み チャンネル1のディスティネーションアドレスリピートエリアオーバーフローによる割り込み	
EXDMTEND2	チャンネル2の転送カウンタによる転送終了による割り込み チャンネル2のソースアドレスリピートエリアオーバーフローによる割り込み チャンネル2のディスティネーションアドレスリピートエリアオーバーフローによる割り込み	
EXDMTEND3	チャンネル3の転送カウンタによる転送終了による割り込み チャンネル3のソースアドレスリピートエリアオーバーフローによる割り込み チャンネル3のディスティネーションアドレスリピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルのEDMDRのEDIEビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 8.4 に示すようになっています。

転送終了割り込みのブロック図を図 8.45 に示します。EDMDRのIRFビット=1の状態ではEDIEビットを1に設定すると、常に転送終了割り込みが発生します。

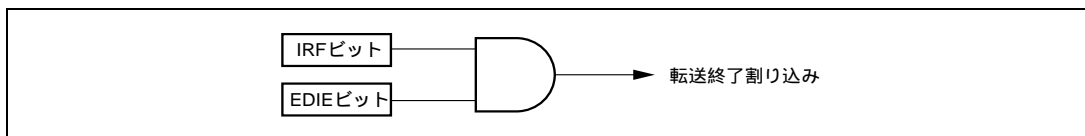


図 8.45 転送終了割り込みのブロック図



各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで各々設定します。転送カウンタによる転送終了割り込みは EDMDR の TCEIE ビットにより、ソースアドレスレジスタリポートエリアオーバーフロー割り込みは EDACR の SARIE ビットにより、ディスティネーションアドレスレジスタリポートエリアオーバーフロー割り込みは EDACR の DARIE ビットにより、許可または禁止を設定します。各割り込みの割り込みイネーブルビットを 1 セットした状態で、各割り込み要因が発生すると EDMDR の IRF ビットが 1 にセットされます。各割り込み要因は区別せずに、IRF ビットに反映します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて EDMDR の IRF ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に EDMDR の EDA ビットを 1 にセットして転送継続の処理を行う方法があります。転送終了割り込みを解除して、転送を再開する手順例を 図 8.46 に示します。

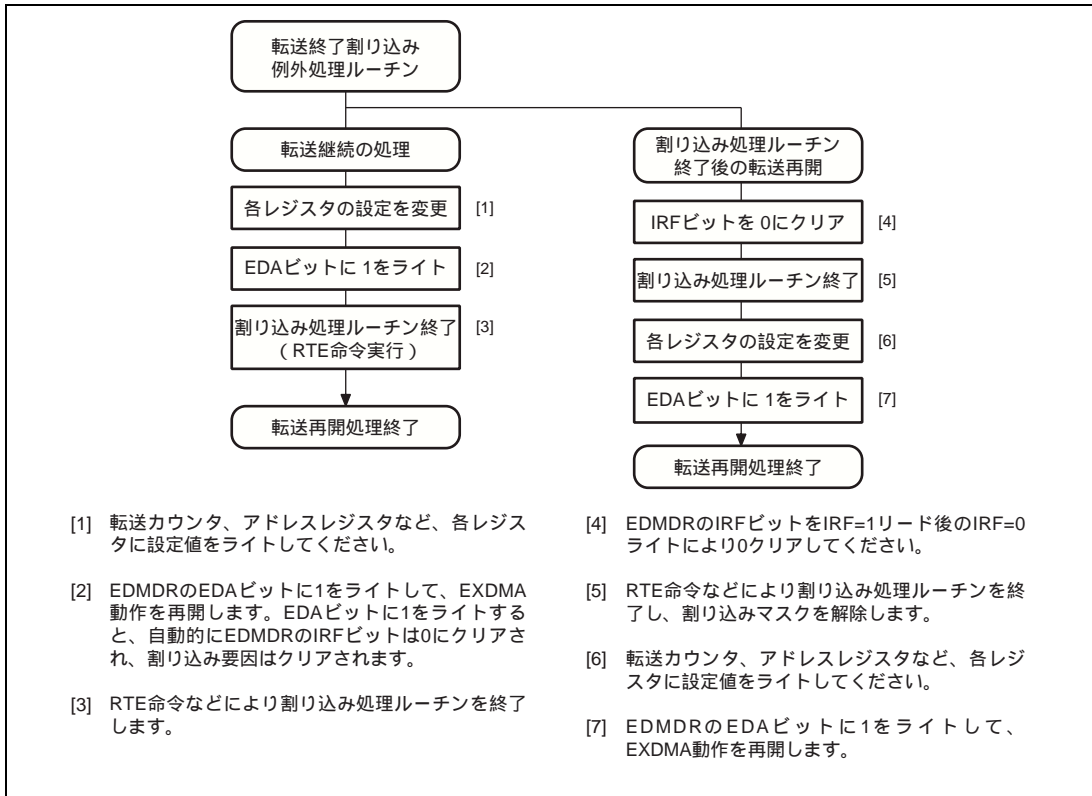


図 8.46 転送終了割り込みが発生したチャンネルの転送再開手順例

### 8.6 使用上の注意事項

#### (1) 動作中の EXDMAC のレジスタアクセス

EDMDR の EDA ビットを 0 にクリアする場合を除き、動作中 ( 転送待ち状態を含む ) のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

#### (2) モジュールストップ

MSTPCRH の MSTP14 ビットを 1 にセットすると、EXDMAC のクロックが停止し、EXDMAC はモジュールストップ状態となります。ただし、EXDMAC のいずれかのチャンネルが転送許可状態になっている場合と割り込み要求が発生中の場合は、MSTP14 ビットを 1 にライトできません。EDMDR の EDA ビットを 0 クリアした状態にし、EDMDR の IRF ビットまたは EDIE ビットを 0 クリアした状態にしてから MSTP14 ビットを設定してください。

EXDMAC のクロックが停止すると、EXDMAC のレジスタに対するアクセスができなくなります。以下の EXDMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

- EDMDR の ETENDE = 1 (  $\overline{\text{ETEND}}$  端子イネーブル )
- EDMDR の EDRAKE = 1 (  $\overline{\text{EDRAK}}$  端子イネーブル )
- EDMDR の AMS = 1 (  $\overline{\text{EDACK}}$  端子イネーブル )

#### (3) $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{EDREQ}}$  端子の立ち下がりエッジの検出は、EXDMAC の内部動作に同期して行い次のようになります。

1. 起動要求待ち状態 :  $\overline{\text{EDREQ}}$  端子の Low レベルの検出を待ち、2. に遷移します。
2. 転送待ち状態 : EXDMAC のデータ転送が可能になるのを待ち、3. に遷移します。
3. 起動要求禁止状態 :  $\overline{\text{EDREQ}}$  端子の High レベルの検出を待ち、1. に遷移します。

EXDMAC の転送許可後は、1. に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われません。

#### (4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{EDREQ}}$  端子の立ち下がりエッジセンス / Low レベルセンスともに Low レベルを検出しています。したがって、転送許可状態にするための EDMDR へのライト以前から発生している  $\overline{\text{EDREQ}}$  端子の Low レベルは要求を受け付けます。

EXDMAC の起動時には、必要に応じて、前回の転送終了時などの  $\overline{\text{EDREQ}}$  端子の Low レベルが残らないようにしてください。

(5) EDMDR の IRF = 1 の状態からの割り込み要求の許可

EDMDR の IRF ビットが 1 の状態から転送開始する場合に、EDMDR の EDA ビットと共に EDMDR の EDIE ビットを 1 にセットして割り込み要求を許可すると、EDIE = 1 かつ IRF = 1 の状態が生じるために割り込み要求が発生します。転送開始時に誤って割り込み要求を発生させないために、IRF ビットを 0 クリアしてから EDIE ビットを 1 にセットするようにしてください。

(6)  $\overline{\text{ETEND}}$  と CBR リフレッシュサイクル

EXDMAC の最終転送サイクルと CBR リフレッシュサイクルが同時に発生した場合、CBR リフレッシュと最終転送サイクルが連続して実行される場合があります。このときリフレッシュサイクルに対して  $\overline{\text{ETEND}}$  が Low レベルになることがありますので注意してください。

## 8. EXDMA コントローラ (EXDMAC)

---

---

## 9. データトランスファコントローラ (DTC)

---

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 9.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

### 9.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類  
ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能

## 9. データトランスファコントローラ (DTC)

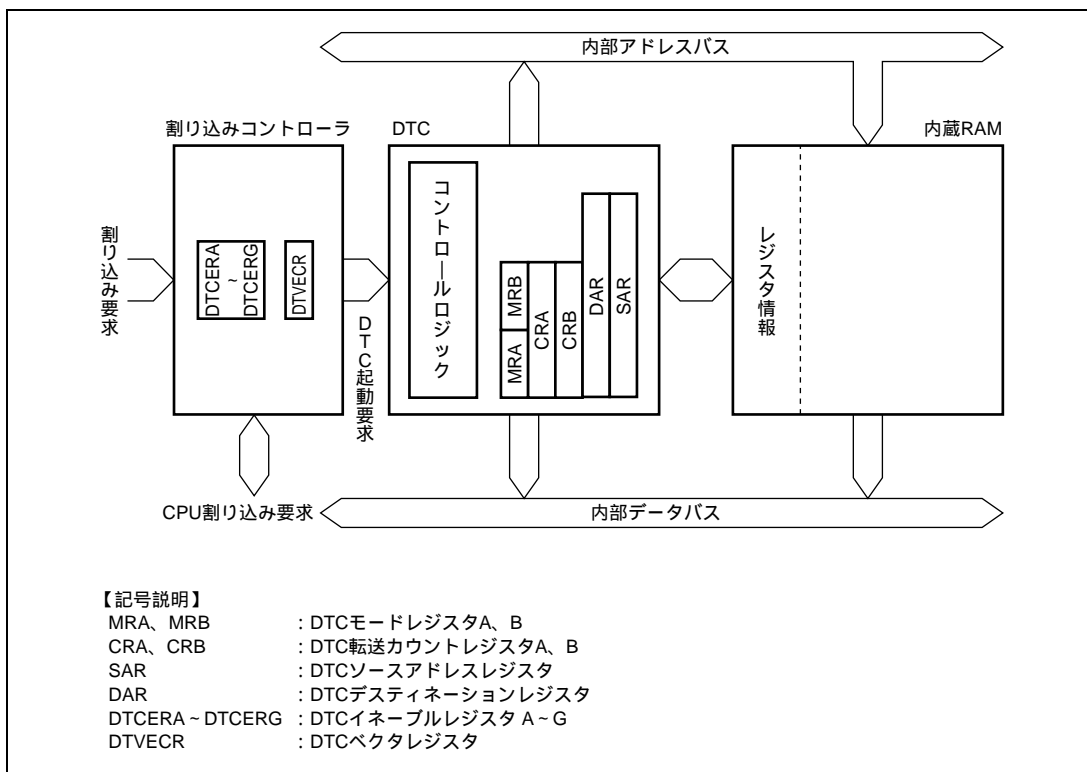


図 9.1 DTC のブロック図

## 9.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタA~G (DTCERA~DTCERG)
- DTCベクタレジスタ (DTVECR)

## 9.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【注】 X : Don't care

## 9. データトランスファコントローラ (DTC)

---

### 9.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「9.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISSEL	不定		DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットは 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
5	CHNS	不定		チェイン転送セレクト チェイン転送の条件を選択します。 0: 連続してチェイン転送を行う 1: 転送カウンタ=0 のときのみチェイン転送を行う
4~0		不定		リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

【注】 x: Don't care

### 9.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 9.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。



### 9.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されません。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。

### 9.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。ノーマルモードおよびリピートモードでは使用しません。

### 9.2.7 DTC イネーブルレジスタ A~G (DTCERA~DTCERG)

DTCEr は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERG があります。各割り込み要因と DTCE ビットの対応については表 9.1 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	[ クリア条件 ]
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

## 9. データトランスファコントローラ (DTC)

### 9.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。 [ クリア条件 ] <ul style="list-style-type: none"><li>• DIESEL ビットが 0 で、指定した回数の転送が終了しないとき</li><li>• CPU に対し、ソフトウェア起動データ転送終了割り込みが要求 (SWDTEND) が発生したあと、0 をライトしたとき</li></ul> DIESEL ビットが 1 で、データ転送を終了したとき、および指定した回数の転送が終了したときはクリアされません。
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE=0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

### 9.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RX10 の場合、起動要因フラグは、SCI\_0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 9.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

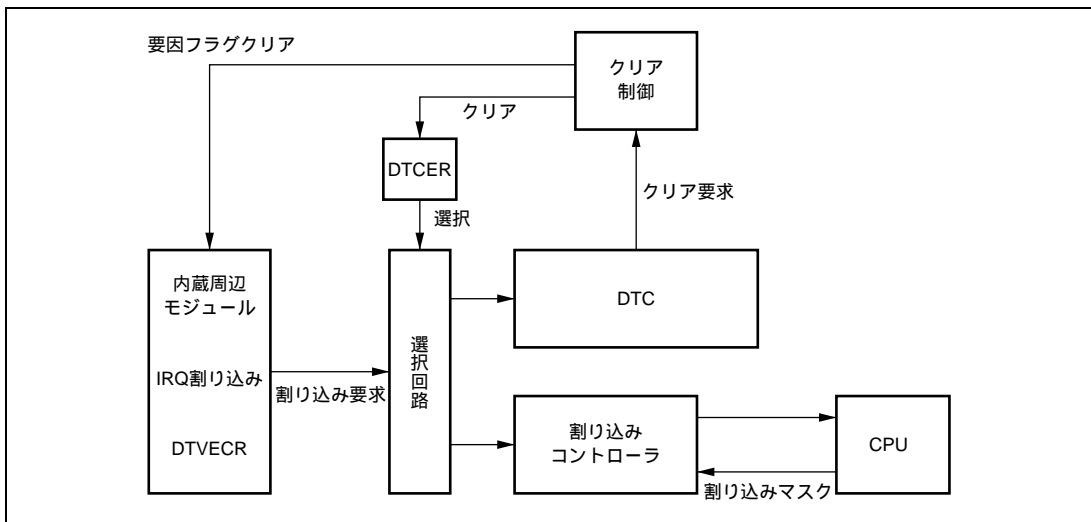


図 9.2 DTC 起動要因制御ブロック図

## 9.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFBC00 ~ H'FFBFFF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは 4 の倍数の番地としてください。図 9.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 9.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは  $H'0400 + (DTVECR [6:0] \times 2)$  となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモード\*とアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

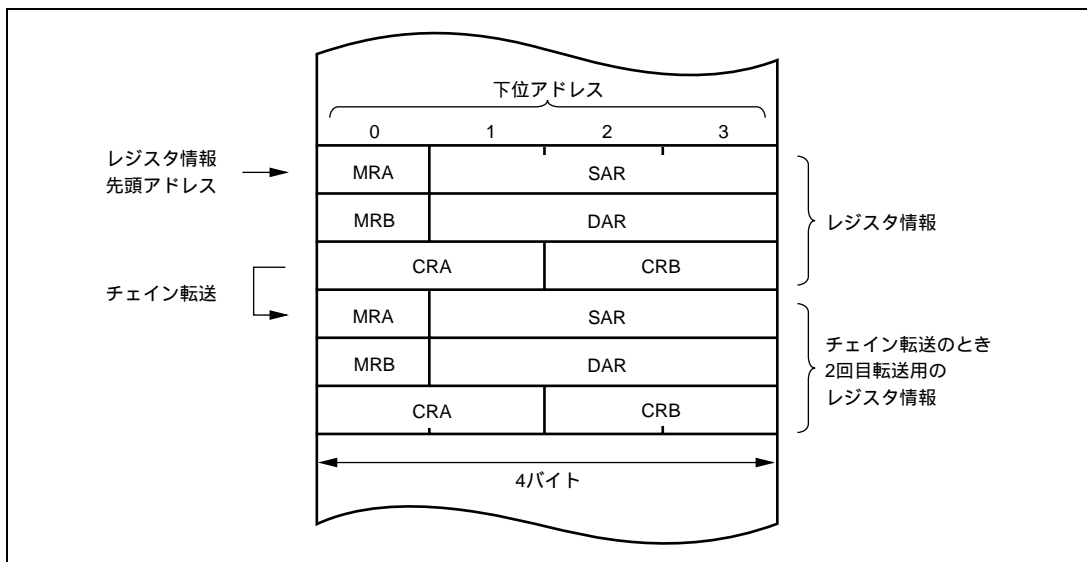


図 9.3 アドレス空間上での DTC レジスタ情報の配置

【注】 \* 本 LSI では使用できません。

9. データトランスファコントローラ (DTC)

表 9.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE (1)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400+ (DTVECR[6 : 0] × 2)	-	高 ▲
外部端子	IRQ0	16	H'0420	DTCEA7	▲ ↓ 低
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
	IRQ4	20	H'0428	DTCEA3	
	IRQ5	21	H'042A	DTCEA2	
	IRQ6	22	H'042C	DTCEA1	
	IRQ7	23	H'042E	DTCEA0	
	IRQ8	24	H'0430	DTCEB7	
	IRQ9	25	H'0432	DTCEB6	
	IRQ10	26	H'0434	DTCEB5	
	IRQ11	27	H'0436	DTCEB4	
	IRQ12	28	H'0438	DTCEB3	
	IRQ13	29	H'043A	DTCEB2	
	IRQ14	30	H'043C	DTCEB1	
IRQ15	31	H'043E	DTCEB0		
A/D	ADI	38	H'044C	DTCEC6	▲ ↓ 低
TPU_0	TGI0A	40	H'0450	DTCEC5	
	TGI0B	41	H'0452	DTCEC4	
	TGI0C	42	H'0454	DTCEC3	
	TGI0D	43	H'0456	DTCEC2	
TPU_1	TGI1A	48	H'0460	DTCEC1	
	TGI1B	49	H'0462	DTCEC0	
TPU_2	TGI2A	52	H'0468	DTCED7	
	TGI2B	53	H'046A	DTCED6	
TPU_3	TGI3A	56	H'0470	DTCED5	
	TGI3B	57	H'0472	DTCED4	
	TGI3C	58	H'0474	DTCED3	
	TGI3D	59	H'0476	DTCED2	
TPU_4	TGI4A	64	H'0480	DTCED1	
	TGI4B	65	H'0482	DTCED0	

## 9. データトランスファコントローラ (DTC)

表 9.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE (2)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
TPU_5	TGI5A	68	H'0488	DTCEE7	<div style="display: flex; align-items: center; justify-content: center;"> <span style="margin-right: 5px;">高</span> <span style="margin-left: 5px;">低</span> </div>
	TGI5B	69	H'048A	DTCEE6	
TMR_0	CMIA0	72	H'0490	DTCEE3	
	CMIB0	73	H'0492	DTCEE2	
TMR_1	CMIA1	76	H'0498	DTCEE1	
	CMIB1	77	H'049A	DTCEE0	
DMAC	DMTEND0A	80	H'04A0	DTCEF7	
	DMTEND0B	81	H'04A2	DTCEF6	
	DMTEND1A	82	H'04A4	DTCEF5	
	DMTEND1B	83	H'04A6	DTCEF4	
SCI_0	RXI0	89	H'04B2	DTCEF3	
	TXI0	90	H'04B4	DTCEF2	
SCI_1	RXI1	93	H'04BA	DTCEF1	
	TXI1	94	H'04BC	DTCEF0	
SCI_2	RXI2	97	H'04C2	DTCEG7	
	TXI2	98	H'04C4	DTCEG6	

【注】 \* 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。  
ソフトウェアスタンバイ状態および全モジュールクロックストップモードを割り込みにより解除する場合は、対応する DTCE ビットに 0 をライトしてください。

## 9.5 動作説明

DTC はレジスタ情報を内蔵 RAM 上に格納します。DTC が起動すると内蔵 RAM からレジスタ情報をリードしてデータ転送を行ない、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意チャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。さらに、転送カウンタ=0 のときのみチェーン転送を行うこともできます。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

図 9.4 に DTC の動作フローチャートを示します。表 9.2 に第 1 の転送から第 2 の転送を行うチェーン転送の条件を示します。

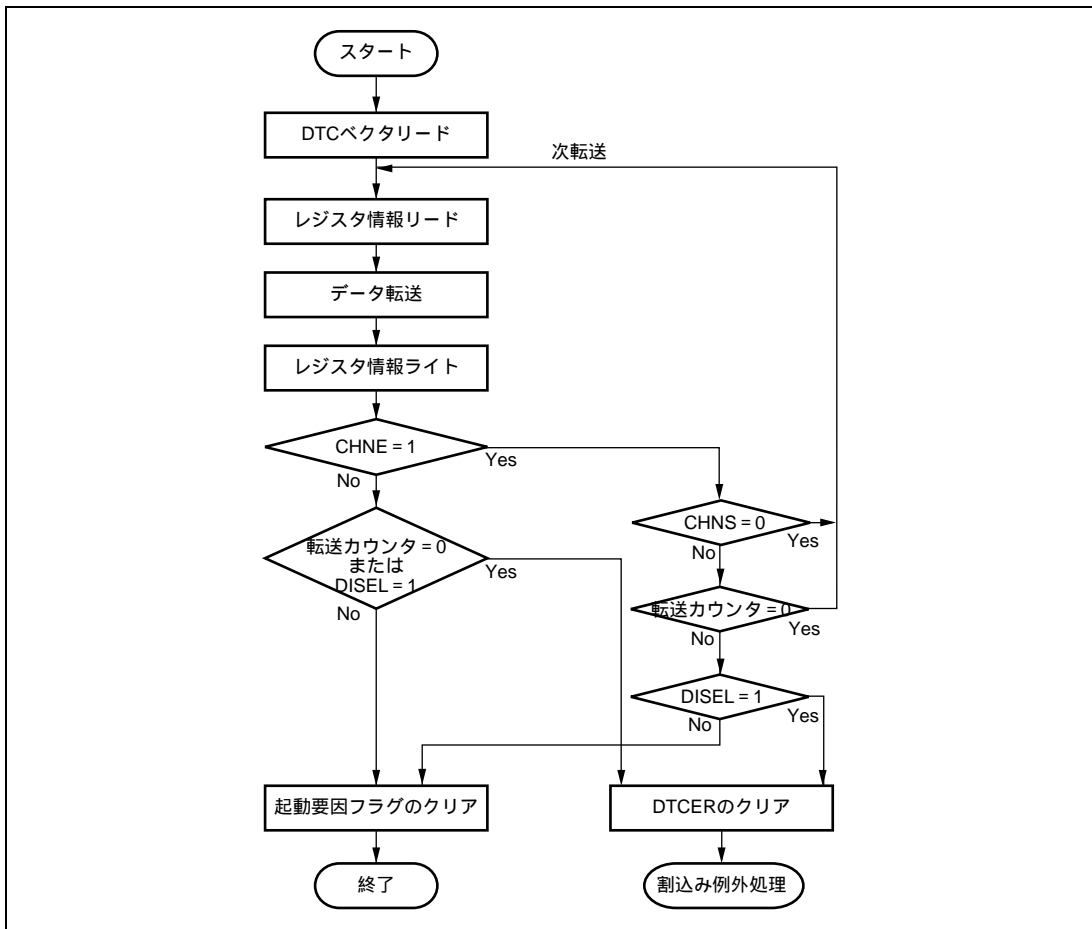


図 9.4 DTC 動作フローチャート

## 9. データトランスファコントローラ (DTC)

表 9.2 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	CR	CHNE	CHNS	DISEL	CR	
0		0	0 以外					第 1 の転送で終了
0		0	0					第 1 の転送で終了
0		1						CPU へ割り込み要求
1	0			0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	0	0 以外				第 1 の転送で終了	
1	1		0	0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	1	0 以外				第 1 の転送で終了 CPU へ割り込み要求	



### 9.5.1 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 9.3 にノーマルモードにおけるレジスタ機能を示します。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

表 9.3 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

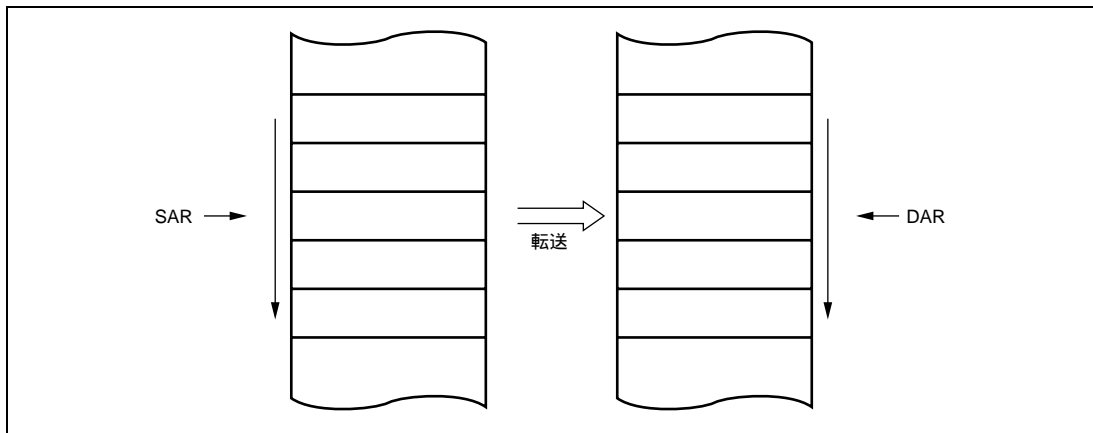


図 9.5 ノーマルモードのメモリマップ

## 9. データトランスファコントローラ (DTC)

### 9.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 9.4 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 9.4 リピートモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

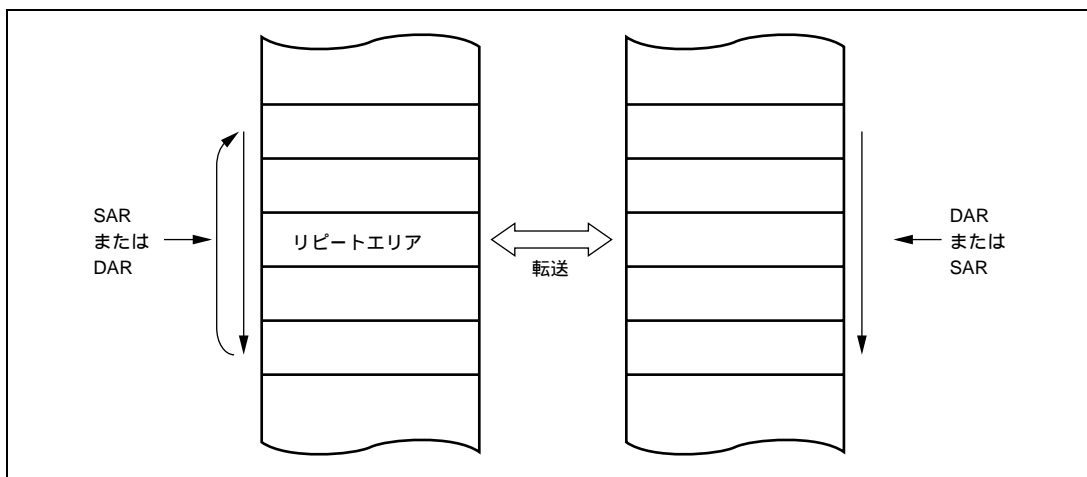


図 9.6 リピートモードのメモリマップ

### 9.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 9.5 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数 of ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 9.5 ブロック転送モードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

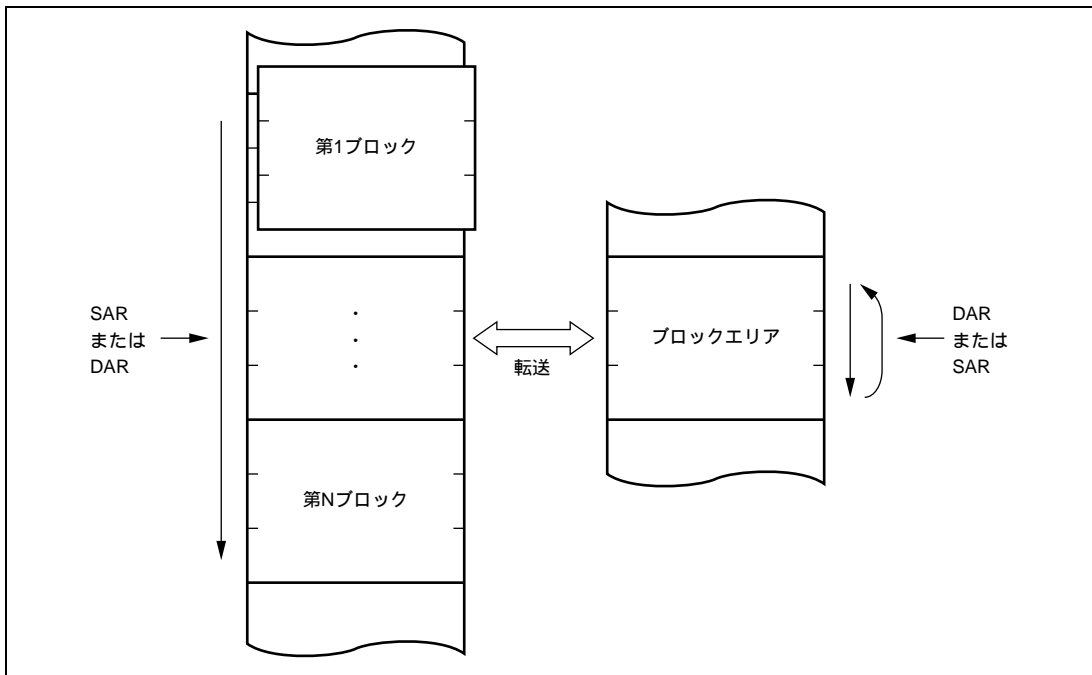


図 9.7 ブロック転送モードのメモリマップ

### 9.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 9.8 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後 MRB の CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。また CHNE = 1 のとき、CHNS ビットを 1 にセットすると転送カウンタ = 0 のときのみチェイン転送を行うこともできます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISSEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

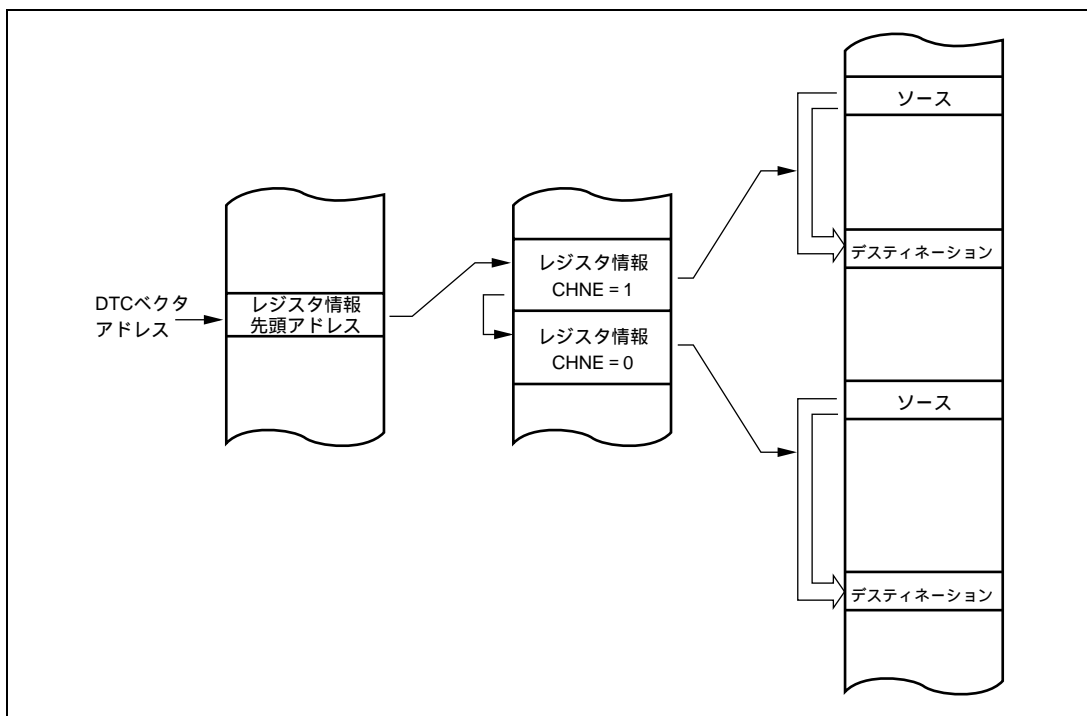


図 9.8 チェイン転送の動作

### 9.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

### 9.5.6 動作タイミング

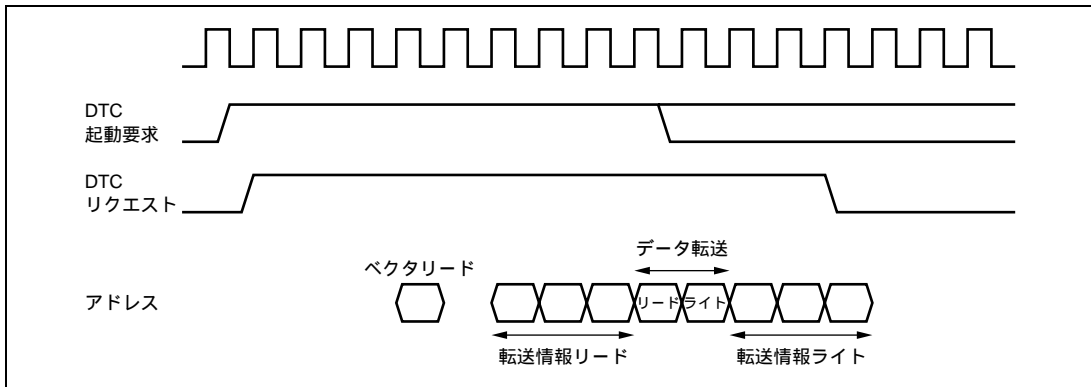


図 9.9 DTC の動作タイミング (ノーマルモード、リピートモードの例)

## 9. データトランスファコントローラ (DTC)

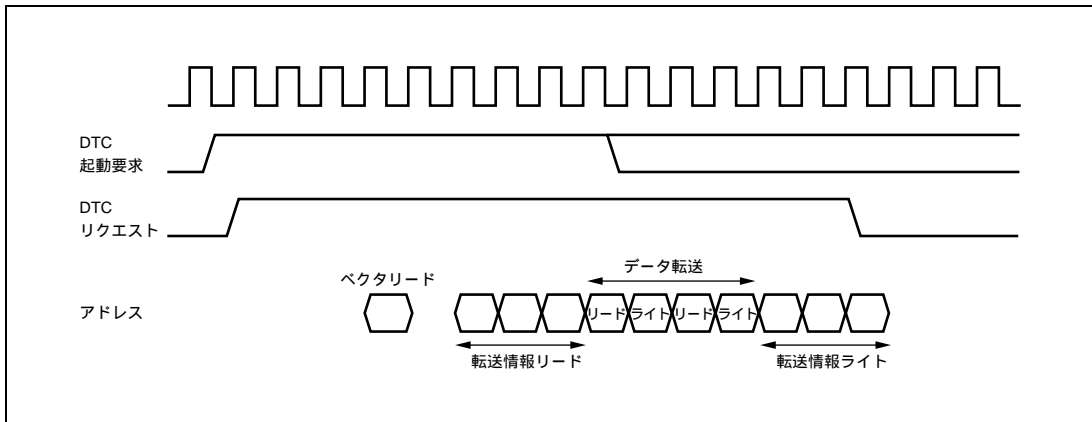


図 9.10 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

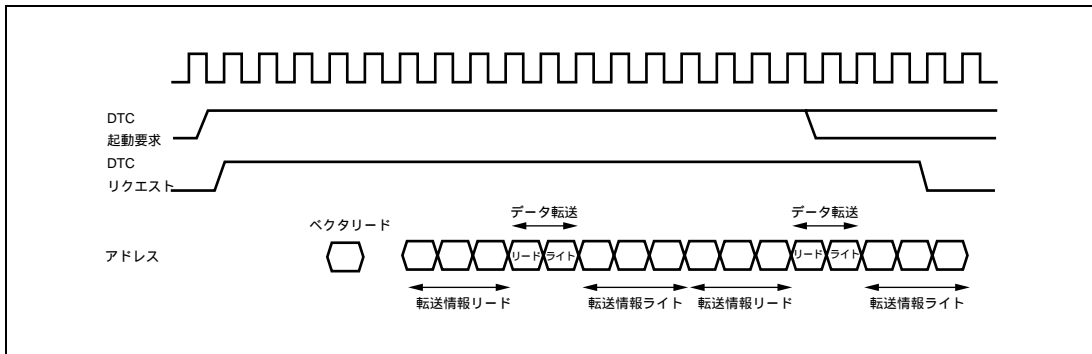


図 9.11 DTC の動作タイミング (チェイン転送の例)

## 9.5.7 DTC 実行ステート数

表 9.6 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 9.7 に、実行状態に必要なステート数を示します。

表 9.6 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N：ブロックサイズ (CRAH、CRAL の初期設定値)

表 9.7 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリードS <sub>I</sub>	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報S <sub>J</sub> リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリードS <sub>K</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータリードS <sub>K</sub>	1	1	4	2	4	6+2m	2	3+m
	バイトデータライトS <sub>L</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータライトS <sub>L</sub>	1	1	4	2	4	6+2m	2	3+m
	内部動作S <sub>M</sub>	1							

実行ステート数は次の計算式で計算されます。なお、は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

### 9.6 DTC 使用手順

#### 9.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。  
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

#### 9.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。



## 9.7 DTC 使用例

### 9.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### 9.7.2 チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピートモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE = 0 の時の転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレス固定 (DM1 = DM0 = 0)、リピートモード (MD1 = 0、MD0 = 1)、ワードサイズ (Sz = 1) を設定します。ソース側をリピート領域 (DTS = 1) に設定します。MRBはチェインモード (CHNE = 1、DISEL = 0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレス固定 (DM1 = DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、ワードサイズ (Sz = 1) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。

## 9. データトランスファコントローラ (DTC)

---

3. NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。
4. NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
5. DTCERのTGIAに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ(出力禁止)に設定し、TIERでTGIA割り込みを許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後(TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### 9.7.3 転送カウンタ = 0 のときのチェイン転送

DTCは、転送カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって転送回数が256回以上のリピータ転送を行うことができます。128kBの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレスH'0000から始まるように設定します。図9.12に転送カウンタ=0のときのチェイン転送の概要を示します。

1. 第1のデータ転送として、入力データ用のノーマルモードを設定します。転送元アドレスは固定(G/Aなど)、CRA = H'0000 (65536回)、CHNE = 1、CHNS = 1、DISEL = 0としてください。
2. 第1のデータ転送の転送先アドレスの65536回毎の先頭アドレスの上位8ビットアドレスを別の領域(ROMなど)に用意してください。例えば入力バッファをH'200000 ~ H'21FFFFとする場合には、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレスの再設定用のリピータモード(ソース側をリピータ領域)とします。転送先は第1の転送用レジスタ情報領域のDARの上位8ビットとします。CHNE = DISEL = 0としてください。上記入力バッファをH'200000 ~ H'21FFFFとする場合には、転送カウンタ = 2とします。
4. 割り込みによって第1のデータ転送を65536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
5. 引き続き割り込みによって第1のデータ転送を第1のデータ転送で指定した65536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
6. 上記 4. 5. を無限に繰り返します。第2のデータ転送がリピータモードのため、CPUには割り込みを要求しま

せん。

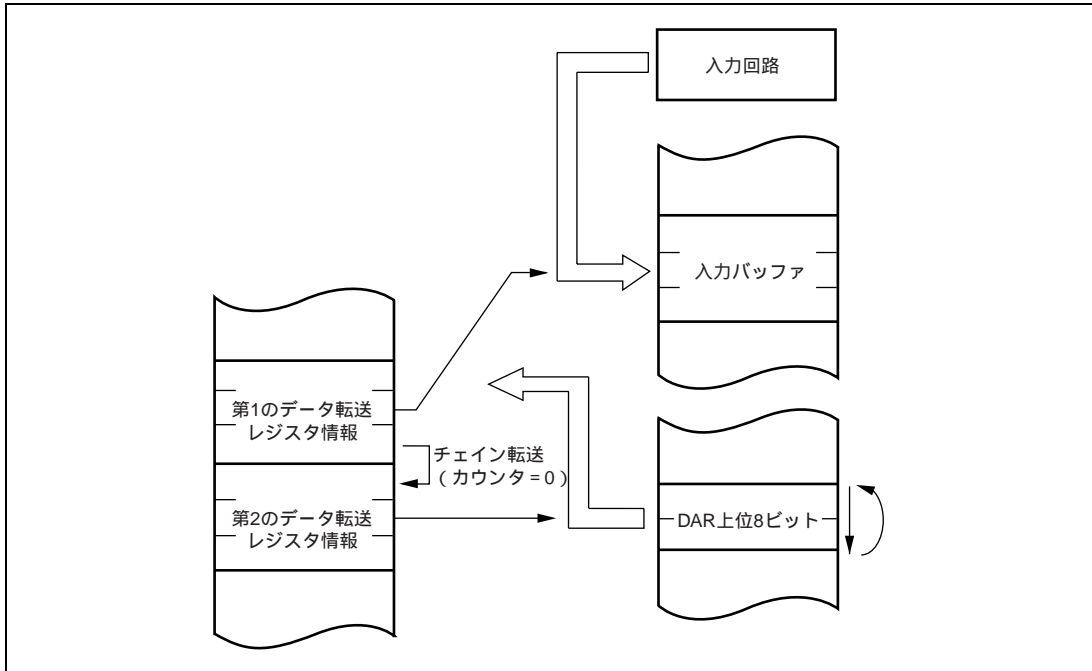


図 9.12 カウンタ=0のときのチェーン転送

#### 9.7.4 ソフトウェア起動

DTCの使用例として、ソフトウェア起動による1ブロック128バイトのデータ転送を行う例を示します。転送元アドレスはH'1000、転送先アドレスはH'2000です。ベクタ番号はH'60、したがって、ベクタアドレスはH'04C0です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0)を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0)を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080)を設定します。CRBは1 (H'0001)をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0)に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ラ

## 9. データトランスファコントローラ (DTC)

---

イトが失敗したことを表します。[3]と[4]の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]に戻ってください。

6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

### 9.8 使用上の注意事項

#### 9.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTCの動作禁止/許可を設定することが可能です。初期値では、DTCの動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTCが起動中はモジュールストップモードに設定できません。「第22章 低消費電力状態」を参照してください。

#### 9.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRBの各レジスタは、内蔵RAMに配置します。DTCを使用する場合は、SYSCRのRAMEビットを0にクリアしないでください。

#### 9.8.3 DTCE ビットの設定

DTCEビットの設定は、必ずBSET、BCLRなどビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときには、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

##### (1) DMAC 転送終了割り込み

DMAC転送終了割り込みでDTCを起動したとき、転送カウンタ、DISELビットにかかわらず、DMACのDTEビットはDTCの制御を受けずライトデータが優先されます。このため、DTCの転送カウンタが0になった場合でも、CPUへの割り込みが発生しない場合があります。

##### (2) チェイン転送

チェイン転送の場合には、連結された最後のデータ転送時に起動要因またはDTCERのクリアを行います。一方、SCIおよびA/D変換器の割り込み/起動要因は、DTCが所定のレジスタをリード/ライトしたときにクリアされます。したがって、これらの割り込み/起動要因によってDTCを起動する場合、チェインで連結された最後のデータ転送で、当該レジスタのリード/ライトを含まない場合は、割り込み/起動要因が保持されます。

---

## 10. I/O ポート

---

ポートの機能一覧を表 10.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート A ~ E には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

ポート 3、ポート A にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン/オフを選択できます。

ポート 1 ~ 3、5 (P50 ~ P53)、6 ~ 8 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。ポート A ~ H は 1 個の TTL と 50pF の容量負荷を駆動することができます。

すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

ポート 1、ポート 2 はシュミットトリガ入力です。ポート 5、ポート 6、ポート F (PF1、PF2)、ポート H (PH2、PH3) は、IRQ 入力として使用する際シュミットトリガ入力となります。

10. I/O ポート

表 10.1 ポートの機能一覧

ポート名	概要	モード 1、5	モード 2、6	モード 4	モード 3* <sup>1</sup> 、7		入出力 形態他
					EXPE=1	EXPE=0	
ポート 1	PPG 出力、 TPU 入出力、 EXDMAC 出力と兼用 汎用入出力 ポート	P17/PO15/TIOCB2/TCLKD/ EDRAK3		P17/PO15/TIOCB2/ TCLKD/EDRAK3	P17/PO15/TIOCB2/ TCLKD	シュミット トリガ入力	
		P16/PO14/TIOCA2/EDRAK2		P16/PO14/TIOCA2/ EDRAK2	P16/PO14/TIOCA2		
		P15/PO13/TIOCB1/TCLKC P14/PO12/TIOCA1 P13/PO11/TIOCD0/TCLKB P12/PO10/TIOCC0/TCLKA P11/PO9/TIOCB0 P10/PO8/TIOCA0					
ポート 2	PPG 出力、 TPU 入出力、 割り込み 入力、 EXDMAC 出力と兼用 汎用入出力 ポート	P27/PO7/TIOCB5/EDRAK1/ (IRQ15)		P27/PO7/TIOCB5/ EDRAK1/(IRQ15)	P27/PO7/TIOCB5/ (IRQ15)	シュミット トリガ入力	
		P26/PO6/TIOCA5/EDRAK0/ (IRQ14)		P26/PO6/TIOCA5/ EDRAK0/(IRQ14)	P26/PO6/TIOCA5/ (IRQ14)		
		P25/PO5/TIOCB4/(IRQ13) P24/PO4/TIOCA4/(IRQ12) P23/PO3/TIOCD3/(IRQ11) P22/PO2/TIOCC3/(IRQ10) P21/PO1/TIOCB3/(IRQ9) P20/PO0/TIOCA3/(IRQ8)					
ポート 3	SCI 入出力 と兼用汎用 入出力 ポート	P35/SCK1/(OE)/(CKE* <sup>2</sup> )		P35/SCK1/(OE)/(CKE* <sup>2</sup> )	P35/SCK1	オープン ド レイン 出力可能	
		P34/SCK0 P33/RxD1 P32/RxD0/IrRxD P31/TxD1 P30/TxD0/IrTxD					

ポート名	概要	モード 1、5	モード 2、6	モード 4	モード 3*1、7		入出力 形態他
					EXPE=1	EXPE=0	
ポート 4	A/D 変換器 アナログ入 力、D/A 変換 器アナログ 出力と兼用 汎用入力 ポート	P47/AN7/DA1 P46/AN6/DA0 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/ANO					
ポート 5	割り込み入 力、A/D 変換 器アナログ 入力、D/A 変 換器アナロ グ出力と兼 用汎用入力 ポート	P57/AN15/DA3/IRQ7 P56/AN14/DA2/IRQ6 P55/AN13/IRQ5 P54/AN12/IRQ4					IRQ 入力と して使用時 シュミット トリガ入力
	割り込み入 力、A/D 変換 器入力、SCI 入出力と兼 用汎用入 出力ポート	P53/ADTRG/IRQ3 P52/SCK2/IRQ2 P51/RxD2/IRQ1 P50/TxD2/IRQ0					
ポート 6	割り込み入 力、TMR 入 出力、DMAC 入出力と兼 用汎用入 出力ポート	P65/TMO1/DACK1/IRQ13 P64/TMO0/DACK0/IRQ12 P63/TMC11/TEND1/IRQ11 P62/TMC10/TEND0/IRQ10 P61/TMRI1/DREQ1/IRQ9 P60/TMRI0/DREQ0/IRQ8					IRQ 入力と して使用時 シュミット トリガ入力
ポート 7	DMAC 入出 力、 EXDMAC 入 出力と兼用 汎用入出力 ポート	P75/EDACK1/(DACK1) P74/EDACK0/(DACK0) P73/ETEND1/(TEND1) P72/ETEND0/(TEND0) P71/EDREQ1/(DREQ1) P70/EDREQ0/(DREQ0)		P75/EDACK1/(DACK1) P74/EDACK0/(DACK0) P73/ETEND1/(TEND1) P72/ETEND0/(TEND0) P71/EDREQ1/(DREQ1) P70/EDREQ0/(DREQ0)	P75/(DACK1) P74/(DACK0) P73/(TEND1) P72/(TEND0) P71/(DREQ1) P70/(DREQ0)		
ポート 8	EXDMAC 入出力、割り 込み入力と 兼用汎用入 出力ポート	P85/EDACK3/(IRQ5) P84/EDACK2/(IRQ4) P83/ETEND3/(IRQ3) P82/ETEND2/(IRQ2) P81/EDREQ3/(IRQ1) P80/EDREQ2/(IRQ0)		P85/EDACK3/(IRQ5) P84/EDACK2/(IRQ4) P83/ETEND3/(IRQ3) P82/ETEND2/(IRQ2) P81/EDREQ3/(IRQ1) P80/EDREQ2/(IRQ0)	P85/(IRQ5) P84/(IRQ4) P83/(IRQ3) P82/(IRQ2) P81/(IRQ1) P80/(IRQ0)		

## 10. I/O ポート

ポート名	概要	モード 1、5	モード 2、6	モード 4	モード 3*1、7		入出力 形態他
					EXPE=1	EXPE=0	
ポート A	アドレス出力と兼用汎用入出力ポート	PA7/A23 PA6/A22 PA5/A21 A20 A19 A18 A17 A16		PA7/A23 PA6/A22 PA5/A21 PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	PA7/A23 PA6/A22 PA5/A21 PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	PA7 PA6 PA5 PA4 PA3 PA2 PA1 PA0	入力プルアップ MOS 内蔵 オープンドレイン 出力可能
ポート B	アドレス出力と兼用汎用入出力ポート	A15 A14 A13 A12 A11 A10 A9 A8		PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8	PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8	PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	入力プルアップ MOS 内蔵
ポート C	アドレス出力と兼用汎用入出力ポート	A7 A6 A5 A4 A3 A2 A1 A0		PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	PC7 PC6 PC5 PC4 PC3 PC2 PC1 PC0	入力プルアップ MOS 内蔵
ポート D	データ入出力と兼用汎用入出力ポート	D15 D14 D13 D12 D11 D10 D9 D8			D15 D14 D13 D12 D11 D10 D9 D8	PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	入力プルアップ MOS 内蔵



ポート名	概要	モード 1、5	モード 2、6	モード 4	モード 3*1、7		入出力 形態他
					EXPE=1	EXPE=0	
ポート E	データ入出力と兼用汎用入出力ポート	D7 D6 D5 D4 D3 D2 D1 D0	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0	入力プルアップ MOS 内蔵
ポート F	割り込み入力、バス制御入出力と兼用汎用入出力ポート	PF7/ PF6/ $\overline{AS}$ $\overline{RD}$ HWR PF3/ $\overline{LWR}$		PF7/ PF6/ $\overline{AS}$ $\overline{RD}$ HWR PF3/ $\overline{LWR}$	PF7/ PF6/ $\overline{AS}$ $\overline{RD}$ HWR PF3/ $\overline{LWR}$	PF7/ PF6 PF5 PF4 PF3	PF1、PF2 のみ IRQ 入力として 使用時 シュミット トリガ入力
		PF2/ $\overline{LCAS}/DQML$ *2/ $\overline{IRQ15}$		PF2/ $\overline{LCAS}/DQML$ *2/ $\overline{IRQ15}$	PF2/ $\overline{LCAS}/DQML$ *2/ $\overline{IRQ15}$	PF2/ $\overline{IRQ15}$	
		PF1/ $\overline{UCAS}/DQMU$ *2/ $\overline{IRQ14}$		PF1/ $\overline{UCAS}/DQMU$ *2/ $\overline{IRQ14}$	PF1/ $\overline{UCAS}/DQMU$ *2/ $\overline{IRQ14}$	PF1/ $\overline{IRQ14}$	
		PF0/ $\overline{WAIT}$		PF0/ $\overline{WAIT}$	PF0/ $\overline{WAIT}$	PF0	
ポート G	バス制御入出力と兼用汎用入出力ポート	PG6/ $\overline{BREQ}$ PG5/ $\overline{BACK}$ PG4/ $\overline{BREQO}$ PG3/ $\overline{CS3}/\overline{RAS3}/\overline{CAS}$ *2 PG2/ $\overline{CS2}/\overline{RAS2}/\overline{RAS}$ *2 PG1/ $\overline{CS1}$ PG0/ $\overline{CS0}$	PG6/ $\overline{BREQ}$ PG5/ $\overline{BACK}$ PG4/ $\overline{BREQO}$ PG3/ $\overline{CS3}/\overline{RAS3}/\overline{CAS}$ *2 PG2/ $\overline{CS2}/\overline{RAS2}/\overline{RAS}$ *2 PG1/ $\overline{CS1}$ PG0/ $\overline{CS0}$	PG6/ $\overline{BREQ}$ PG5/ $\overline{BACK}$ PG4/ $\overline{BREQO}$ PG3/ $\overline{CS3}/\overline{RAS3}/\overline{CAS}$ *2 PG2/ $\overline{CS2}/\overline{RAS2}/\overline{RAS}$ *2 PG1/ $\overline{CS1}$ PG0/ $\overline{CS0}$	PG6 PG5 PG4 PG3 PG2 PG1 PG0		
ポート H	割り込み入力、バス制御入出力と兼用汎用入出力ポート	PH3/ $\overline{CS7}/\overline{OE}/\overline{CKE}$ *2/( $\overline{IRQ7}$ )		PH3/ $\overline{CS7}/\overline{OE}/\overline{CKE}$ *2/ ( $\overline{IRQ7}$ )	PH3/( $\overline{IRQ7}$ )	PH2、PH3 のみ IRQ 入力として 使用時 シュミット トリガ入力	
		PH2/ $\overline{CS6}/(\overline{IRQ6})$		PH2/ $\overline{CS6}/(\overline{IRQ6})$	PH2/( $\overline{IRQ6})$		
		PH1/ $\overline{CS5}/\overline{RAS5}/\overline{SDRAM}$ *2		PH1/ $\overline{CS5}/\overline{RAS5}/$ $\overline{SDRAM}$ *2	PH1/ $\overline{SDRAM}$ *2		
		PH0/ $\overline{CS4}/\overline{RAS4}/\overline{WE}$ *2		PH0/ $\overline{CS4}/\overline{RAS4}/\overline{WE}$ *2	PH0		

【注】 \*1 H8S/2678 グループは、モード 3 をサポートしていません。

\*2 H8S/2678 グループには、これらの端子はありません。

## 10. I/Oポート

---

### 10.1 ポート1

ポート1は8ビットの兼用入出力ポートです。ポート1には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

#### 10.1.1 ポート1データディレクションレジスタ (P1DDR)

P1DDRはポート1の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

#### 10.1.2 ポート1データレジスタ (P1DR)

P1DRはポート1の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

### 10.1.3 ポート 1 レジスタ (PORT1)

PORT1 はポート 1 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P17	*	R	このレジスタをリードすると、P1DDR がセットされているビットは P1DR の値がリードされます。P1DDR がクリアされているビットは端子の状態がリードされます。
6	P16	*	R	
5	P15	*	R	
4	P14	*	R	
3	P13	*	R	
2	P12	*	R	
1	P11	*	R	
0	P10	*	R	

【注】\* P17 ~ P10 端子の状態により決定されます。

## 10. I/O ポート

### 10.1.4 端子機能

ポート 1 は、PPG の出力端子、TPU の入出力端子、EXDMAC の出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- P17/PO15/TIOCB2/TCLKD/EDRAK3

TMDR\_2 の MD3 ~ MD0 ビット、TIOCB2 の IOB3 ~ IOB0 ビット、TCR\_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、TCR\_0、TCR\_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER15 ビット、EDMDR\_3 の EDRAKE ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。

モード 1、2、3\*<sup>3</sup> (EXPE = 1)、4、5、6、7 (EXPE = 1)

EDRAKE	0				1
TPU チャンネル 2 の設定	下表 (1)	下表 (2)			-
P17DDR	-	0	1	1	-
NDER15	-	-	0	1	-
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力	EDRAK3 出力
		TIOCB2 入力* <sup>1</sup>			
	TCLKD 入力* <sup>2</sup>				

モード 3\*<sup>3</sup> (EXPE = 0)、7 (EXPE = 0)

EDRAKE	0			
TPU チャンネル 2 の設定	下表 (1)	下表 (2)		
P17DDR	-	0	1	1
NDER15	-	-	0	1
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力
		TIOCB2 入力* <sup>1</sup>		
	TCLKD 入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB2 入力となります。

\*2 TCR\_0、TCR\_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 の場合に TCLKD 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。

\*3 H8S/2678R グループのみです。

TPUチャンネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード2 出力	-

x : Don't Care

- P16/PO14/TIOCA2/EDRAK2

TMDR\_2のMD3～MD0ビット、TIOR\_2のIOA3～IOA0ビット、TCR\_2のCCLR1、CCLR0ビットによるTPUチャンネル2の設定、NDERHのNDERH14ビット、EDMDR\_2のEDRAKEビットおよび、P16DDRビットの組み合わせにより、次のように切り替わります。

モード1、2、3<sup>\*3</sup>(EXPE=1)、4、5、6、7(EXPE=1)

EDRAKE	0					1
TPUチャンネル2の設定	下表(1)		下表(2)			-
P16DDR	-	0	1	1	-	
NDER14	-	-	0	1	-	
端子機能	TIOCA2出力	P16出力	P16出力	PO14出力	EDRAK2出力	
		TIOCA2入力 <sup>*1</sup>				

モード3<sup>\*3</sup>(EXPE=0)、7(EXPE=0)

EDRAKE	0				
TPUチャンネル2の設定	下表(1)		下表(2)		
P16DDR	-	0	1	1	
NDER14	-	-	0	1	
端子機能	TIOCA2出力	P16入力	P16出力	PO14出力	
		TIOCA2入力 <sup>*1</sup>			

【注】 \*1 MD3～MD0=B'0000、B'01xxかつIOA3=1の場合にTIOCA2入力となります。

## 10. I/O ポート

TPU チャンネル 2 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 \*2 TIOCB2 は出力禁止となります。

\*3 H8S/2678R グループのみです。

- P15/PO13/TIOCB1/TCLKC

TMDR\_1 の MD3 ~ MD0 ビット、TIOR\_1 の IOB3 ~ IOB0 ビット、TCR\_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR\_0、TCR\_2、TCR\_4、TCR\_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER13 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P15DDR	-	0	1	1
NDER13	-	-	0	1
端子機能	TIOCB1 出力	P15 入力	P15 出力	PO13 出力
		TIOCB1 入力*1		
	TCLKC 入力*2			

【注】 \*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'01xx の場合に TIOCB1 入力となります。

\*2 TCR\_0、TCR\_2 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 または TCR\_4、TCR\_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKC 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。

TPU チャンネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P14/PO12/TIOCA1

TMDR\_1 の MD3 ~ MD0 ビット、TIOR\_1 の IOA3 ~ IOA0 ビット、TCR\_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、NDERH の NDER12 ビット、および P14DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P14DDR	-	0	1	1
NDER12	-	-	0	1
端子機能	TIOCA1 出力	P14 入力	P14 出力	PO12 出力
		TIOCA1 入力* <sup>1</sup>		

【注】 \*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA1 入力となります。

TPU チャンネル 1 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* <sup>2</sup> モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 \*2 TIOCB1 は出力禁止となります。

## 10. I/O ポート

- P13/PO11/TIOCD0/TCLKB

TPU チャンネル 0 の MD3 ~ MD0 ビット、TIORL\_0 の IOD3 ~ IOD0 ビット、TCR\_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR\_0 ~ TCR\_2 の TPSC2 ~ TPSC0 ビット、NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P13DDR	-	0	1	1
NDER11	-	-	0	1
端子機能	TIOCD0 出力	P13 入力	P13 出力	PO11 出力
		TIOCD0 入力* <sup>1</sup>		
	TCLKB 入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD0 入力となります。

\*2 TCR\_0 ~ TCR\_2 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKB 入力となります。

また、チャンネル 1、5 を位相計数モードに設定すると、TCLKB 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOD3 ~ IOD0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'110 以外	B'110
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care



- P12/PO10/TIOCC0/TCLKA

TMDR\_0 の MD3 ~ MD0 ビット、TIORL\_0 の IOC3 ~ IOC0 ビット、TCR\_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR\_0 ~ TCR\_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P12DDR	-	0	1	1
NDER10	-	-	0	1
端子機能	TIOCC0 出力	P12 入力	P12 出力	PO10 出力
		TIOCC0 入力* <sup>1</sup>		
	TCLKA 入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC0 入力となります。

\*2 TCR\_0 ~ TCR\_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。

また、チャンネル 1、5 を位相計数モードに設定すると、TCLKA 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'101 以外	B'101
出力機能	-	アウトプット コンペア出力	-	PWM* <sup>3</sup> モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 \*3 TIOCC0 は出力禁止となります。TMDR\_0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。

## 10. I/O ポート

- P11/PO9/TIOCB0

TMDR\_0 の MD3 ~ MD0 ビット、TIORH\_0 の IOB3 ~ IOB0 ビットによる TPU チャンネル 0 の設定、NDERH の NDER9 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P11DDR	-	0	1	1
NDER9	-	-	0	1
端子機能	TIOCB0 出力	P11 入力	P11 出力	PO9 出力
		TIOCB0 入力*1		

【注】 \*1 MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB0 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'010 以外	B'010
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P10/PO8/TIOCA0

TMDR\_0 の MD3 ~ MD0 ビット、TIORH\_0 の IOA3 ~ IOA0 ビット、TCR\_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、NDERH の NDER8 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P10DDR	-	0	1	1
NDER8	-	-	0	1
端子機能	TIOCA0 出力	P10 入力	P10 出力	PO8 出力
		TIOCA0 入力* <sup>1</sup>		

【注】 \*1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA0 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'001 以外	B'001
出力機能	-	アウトプット コンペア出力	-	PWM* <sup>2</sup> モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 \*2 TIOCB0 は出力禁止となります。

## 10.2 ポート 2

ポート 2 は 8 ビットの兼用入出力ポートです。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ(P2DDR)
- ポート2データレジスタ(P2DR)
- ポート2レジスタ(PORT2)

### 10.2.1 ポート 2 データディレクションレジスタ(P2DDR)

P2DDR は、ポート 2 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	P27DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

### 10.2.2 ポート 2 データレジスタ(P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P27DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

### 10.2.3 ポート 2 レジスタ(PORT2)

PORT2 は、ポート 2 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	P27	*	R	このレジスタをリードすると、P2DDR がセットされているビットは、P2DR の値がリードされます。P2DDR がクリアされているビットは端子の状態がリードされます。
6	P26	*	R	
5	P25	*	R	
4	P24	*	R	
3	P23	*	R	
2	P22	*	R	
1	P21	*	R	
0	P20	*	R	

【注】\* P27 ~ P20 端子の状態により決定されます。

## 10. I/O ポート

### 10.2.4 端子機能

ポート 2 は、PPG の出力端子、TPU の入出力端子、割り込み入力端子、EXDMAC の出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P27/PO7/TIOCB5/ $\overline{\text{RQ15}}$ /EDRAK1

TMDR\_5 の MD3 ~ MD0 ビット、TIOR\_5 の IOB3 ~ IOB0 ビット、TCR\_5 の CCLR1、CCLR0 ビットによる TPU チャンネル 5 の設定、NDERL の NDER7 ビット、EDMDR\_1 の EDRAKE ビット、P27DDR ビットおよび ITSr の ITS15 の組み合わせにより、次のように切り替わります。

モード 1、2、3\*<sup>3</sup> (EXPE = 1)、4、5、6、7 (EXPE = 1)

EDRAKE	0				1
TPU チャンネル 5 の設定	下表 (1)	下表 (2)			-
P27DDR	-	0	1	1	-
NDER7	-	-	0	1	-
端子機能	TIOCB5 出力	P27 入力	P27 出力	PO7 出力	EDRAK1 出力
	TIOCB5 入力* <sup>1</sup>				
	$\overline{\text{RQ15}}$ 割り込み入力* <sup>2</sup>				

モード 3\*<sup>3</sup> (EXPE = 0)、7 (EXPE = 0)

EDRAKE	0			
TPU チャンネル 5 の設定	下表 (1)	下表 (2)		
P27DDR	-	0	1	1
NDER7	-	-	0	1
端子機能	TIOCB5 出力	P27 入力	P27 出力	PO7 出力
	TIOCB5 入力* <sup>1</sup>			
	$\overline{\text{RQ15}}$ 割り込み入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB5 入力となります。

\*2 ITS15 = 1 のとき  $\overline{\text{RQ15}}$  入力となります。

\*3 H8S/2678R グループのみです。

TPU チャンネル 5 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P26/PO6/TIOCA5/(IREQ14)/EDRAK0

TMDR\_5のMD3~MD0ビット、TIOR\_5のIOA3~IOA0ビット、TCR\_5のCCLR1、CCLR0ビットによるTPUチャンネル5の設定、NDERLのNDER6ビット、EDMDR\_0のEDRAKEビット、P26DDRビットおよびITSRのITS14ビットの組み合わせにより、次のように切り替わります。

モード1、2、3\*<sup>4</sup>(EXPE=1)、4、5、6、7(EXPE=1)

EDRAKE	0				1
TPUチャンネル5の設定	下表(1)	下表(2)			-
P26DDR	-	0	1	1	-
NDER6	-	-	0	1	-
端子機能	TIOCA5出力	P26出力	P26出力	PO6出力	EDRAK0出力
		TIOCA5入力* <sup>1</sup>			
	IREQ14割り込み入力* <sup>2</sup>				

モード3\*<sup>4</sup>(EXPE=0)、7(EXPE=0)

EDRAKE	0			
TPUチャンネル5の設定	下表(1)	下表(2)		
P26DDR	-	0	1	1
NDER6	-	-	0	1
端子機能	TIOCA5出力	P26入力	P26出力	PO6出力
		TIOCA5入力* <sup>1</sup>		
	IREQ14割り込み入力* <sup>2</sup>			

【注】 \*1 MD3~MD0=B'0000、B'01xxかつIOA3=1の場合にTIOCA5入力となります。

\*2 ITS14=1のときIREQ14入力となります。

TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3~IOA0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	B'xx00	B'xx00以外	B'xx00以外	
CCLR1、CCLR0	-	-	-	-	B'01以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* <sup>3</sup> モード1 出力	PWM モード2 出力	-

x : Don't Care

【注】 \*3 TIOCB5は出力禁止となります。

\*4 H8S/2678Rグループのみです。

## 10. I/O ポート

- P25/PO5/TIOCB4/(IRQ13)

TMDR\_4 の MD3 ~ MD0 ビット、TIOR\_4 の IOB3 ~ IOB0 ビット、TCR\_4 の CCLR1、CCLR0 ビットによる TPU チャンネル 4 の設定、NDERL の NDER5 ビット、P25DDR ビットおよび ITSr の ITS13 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 4 の設定	下表 (1)	下表 (2)		
P25DDR	-	0	1	1
NDER5	-	-	0	1
端子機能	TIOCB4 出力	P25 入力	P25 出力	PO5 出力
		TIOCB4 入力*1		
IRQ13 割り込み入力*2				

【注】 \*1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB4 入力となります。

\*2 ITS13 = 1 のとき IRQ13 入力となります。

TPU チャンネル 4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care



- P24/PO4/TIOCA4/(IRQ12)

TMDR\_4のMD3～MD0ビット、TIOR\_4のIOA3～IOA0ビットによるTPUチャンネル4の設定、NDERLのNDER4ビット、およびP24DDRビットおよびITSRのITS12ビットの組み合わせにより、次のように切り替わります。

TPUチャンネル4の設定	下表(1)	下表(2)		
P24DDR	-	0	1	1
NDER4	-	-	0	1
端子機能	TIOCA4 出力	P24 入力	P24 出力	PO4 出力
		TIOCA4 入力* <sup>1</sup>		
	IRQ12 割り込み入力* <sup>2</sup>			

【注】 \*1 MD3～MD0 = B'0000、B'01xx かつ IOA3～IOA0 = B'10xx の場合に TIOCA4 入力となります。

\*2 ITS12 = 1 のとき IRQ12 入力となります。

TPUチャンネル4の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* <sup>3</sup> モード1 出力	PWM モード2 出力	-

x : Don't Care

【注】 \*3 TIOCB4 は出力禁止となります。

## 10. I/O ポート

- P23/PO3/TIOCD3/( $\overline{\text{IRQ11}}$ )

TMDR\_3 の MD3 ~ MD0 ビット、TIORL\_3 の IOD3 ~ IOD0 ビット、TCR\_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER3 ビット、P23DDR ビットおよび ITSr の ITS11 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P23DDR	-	0	1	1
NDER3	-	-	0	1
端子機能	TIOCD3 出力	P23 入力	P23 出力	PO3 出力
		TIOCD3 入力* <sup>1</sup>		
	$\overline{\text{IRQ11}}$ 割り込み入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD3 入力となります。

\*2 ITS11 = 1 のとき  $\overline{\text{IRQ11}}$  入力となります。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0		B'0000	B'0010		B'0011	
IOD3 ~ IOD0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'110 以外	B'110
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P22/PO2/TIOCC3/( $\overline{\text{IRQ10}}$ )

TMDR\_3 の MD3 ~ MD0 ビット、TIORL\_3 の IOC3 ~ IOC0 ビット、TCR\_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER2 ビット、P22DDR ビットおよび ITSR の ITS10 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P22DDR	-	0	1	1
NDER2	-	-	0	1
端子機能	TIOCC3 出力	P22 入力	P22 出力	PO2 出力
		TIOCC3 入力* <sup>1</sup>		
	$\overline{\text{IRQ10}}$ 割り込み入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC3 入力となります。

\*2 ITS10 = 1 のとき  $\overline{\text{IRQ10}}$  入力となります。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0		B'0000	B'001x	B'0010	B'0011	
IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'101 以外	B'101
出力機能	-	アウトプット コンペア出力	-	PWM* <sup>3</sup> モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 \*3 TIOCC3 は出力禁止となります。TMDR\_3 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。

## 10. I/O ポート

- P21/PO1/TIOCB3/( $\overline{\text{IRQ9}}$ )

TMDR\_3 の MD3 ~ MD0 ビット、TIOBH\_3 の IOB3 ~ IOB0 ビット、TCR\_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER1 ビット、P21DDR ビットおよび ITS9 の ITS9 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P21DDR	-	0	1	1
NDER1	-	-	0	1
端子機能	TIOCB3 出力	P21 入力	P21 出力	PO1 出力
		TIOCB3 入力* <sup>1</sup>		
	IRQ9 割り込み入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB3 入力となります。

\*2 ITS9 = 1 のとき  $\overline{\text{IRQ9}}$  入力となります。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0		B'0000	B'0010		B'0011	
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'010 以外	B'010
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P20/PO0/TIOCA3/(IRQ8)

TMDR\_3 の MD3 ~ MD0 ビット、TIORH\_3 の IOA3 ~ IOA0 ビット、TCR\_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER0 ビット、P20DDR ビットおよび ITS8 の ITS8 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P20DDR	-	0	1	1
NDER0	-	-	0	1
端子機能	TIOCA3 出力	P20 入力	P20 出力	PO0 出力
		TIOCA0 入力* <sup>1</sup>		
	IRQ8 割り込み入力* <sup>2</sup>			

【注】 \*1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA0 入力となります。

\*2 ITS8 = 1 のとき IRQ8 入力となります。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0		B'0000	B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'001 以外	B'001
出力機能	-	アウトプット コンペア出力	-	PWM* <sup>3</sup> モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 \*3 TIOCB3 は出力禁止となります。

## 10.3 ポート 3

ポート 3 は 6 ビットの兼用入出力ポートです。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ(P3DDR)
- ポート3データレジスタ(P3DR)
- ポート3レジスタ(PORT3)
- ポート3オープンドレインコントロールレジスタ(P3ODR)
- ポートファンクションコントロールレジスタ2(PFCR2)

### 10.3.1 ポート 3 データディレクションレジスタ(P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	-	0	-	リザーブビット
6	-	0	-	リードすると不定値が読み出されます。
5	P35DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

### 10.3.2 ポート 3 データレジスタ(P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	-	0	-	リザーブビット
6	-	0	-	リードすると 0 が読み出されます。ライトは無効です。
5	P35DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

### 10.3.3 ポート 3 レジスタ(PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	-	不定		リザーブビット
6	-	不定		リードすると不定値が読み出されます。
5	P35	*	R	このレジスタをリードすると、P3DDR がセットされているビットは、P3DR の値がリードされます。P3DDR がクリアされているビットは端子の状態がリードされます。
4	P34	*	R	
3	P33	*	R	
2	P32	*	R	
1	P31	*	R	
0	P30	*	R	

【注】\* P35 ~ P30 端子の状態により決定されます。

### 10.3.4 ポート 3 オープンドレインコントロールレジスタ(P3ODR)

P3ODR は、ポート 3 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説 明
7	-	0	-	リザーブビット
6	-	0	-	リードすると 0 が読み出されます。ライトは無効です。
5	P35ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

## 10. I/O ポート

### 10.3.5 ポートファンクションコントロールレジスタ 2(PFCR2)

PFCR2 は、I/O ポートの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると0が読み出されます。ライト時は0をライトしてください。
3	ASOE	1	R/W	$\overline{AS}$ 出力イネーブル $\overline{AS}$ 出力の許可/禁止を選択します。 0 : PF6 は I/O ポートとして設定 1 : PF6 は $\overline{AS}$ 出力端子として設定
2	LWROE	1	R/W	$\overline{LWR}$ 出力イネーブル $\overline{LWR}$ 出力の許可/禁止を選択します。 0 : PF3 は I/O ポートとして設定 1 : PF3 は $\overline{LWR}$ 出力端子として設定
1	OES	1	R/W	$\overline{OE}$ 出力セレクト DRAMCR の OEE ビットを 1 にセット( $\overline{OE}/\text{CKE}^*$ 出力許可)したとき、 $\overline{OE}/\text{CKE}^*$ 出力端子のポートを選択します。 0 : P35 を $\overline{OE}/\text{CKE}^*$ 出力端子として設定 1 : PH3 を $\overline{OE}/\text{CKE}^*$ 出力端子として設定
0	DMACS	0	R/W	DMAC 制御端子セレクト DMAC 制御入出力のポートを選択します。 0 : P65 ~ P60 を DMAC 制御端子として設定 1 : P75 ~ P70 を DMAC 制御端子として設定

【注】\* H8S/2678R グループのみです。



### 10.3.6 端子機能

ポート 3 は SCI 入出力端子、バス制御出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P35/SCK1/ $\overline{\text{OE}}$ /CKE

SCI<sub>1</sub> の SMR の  $\text{C}/\overline{\text{A}}$  ビット、SCR の CKE0、CKE1 ビット、DRAMCR の RMTS2~0 ビット、PFCR2 の OES ビットと P35DDR ビットの組み合わせにより、次のように切り替わります。

モード 1、2、3 (EXPE=1)、4、5、6、7 (EXPE=1) H8S/2678R グループのとき

OEE	0					1						
OES	-					1					0	
エリア 2~5	-					-					通常空間 または DRAM 空間	連続シン クロナス DRAM 空間
CKE1	0			1		0			1		-	-
$\text{C}/\overline{\text{A}}$	0		1	-		0		1	-		-	-
CKE0	0	1	-	-	-	0	1	-	-	-	-	-
P35DDR	0	1	-	-	-	0	1	-	-	-	-	-
端子機能	P35 入力	P35 出力*	SCK1 出力*	SCK1 出力*	SCK1 入力	P35 入力	P35 出力*	SCK1 出力*	SCK1 出力*	SCK1 入力	$\overline{\text{OE}}$ 出力	CKE 出力

モード 1、2、4、5、6、7 (EXPE=1) H8S/2678 のとき

OEE	0					1						
OES	-					1					0	
CKE1	0			1		0			1		-	
$\text{C}/\overline{\text{A}}$	0		1	-		0		1	-		-	
CKE0	0	1	-	-	-	0	1	-	-	-	-	-
P35DDR	0	1	-	-	-	0	1	-	-	-	-	-
端子機能	P35 入力	P35 出力*	SCK1 出力*	SCK1 出力*	SCK1 入力	P35 入力	P35 出力*	SCK1 出力*	SCK1 出力*	SCK1 入力	$\overline{\text{OE}}$ 出力	

【注】 \* P35ODR=1 のとき、NMOS オープンドレイン出力になります。

## 10. I/O ポート

モード 3\*<sup>2</sup> (EXPE=0)、7 (EXPE=0)

OEE	-				
OES	-				
CKE1	0				1
C/ $\bar{A}$	0			1	-
CKE0	0		1	-	-
P35DDR	0	1	-	-	-
端子機能	P35 入力	P35 出力* <sup>1</sup>	SCK1 出力* <sup>1</sup>	SCK1 出力* <sup>1</sup>	SCK1 入力* <sup>1</sup>

【注】 \*1 P35ODR=1 のとき、NMOS オープンドレイン出力になります。

\*2 H8S/2678R グループのみです。

- P34/SCK0

SCI<sub>0</sub> の SMR の C/ $\bar{A}$  ビット、SCR の CKE0、CKE1 ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0				1
C/ $\bar{A}$	0			1	-
CKE0	0		1	-	-
P34DDR	0	1	-	-	-
端子機能	P34 入力	P34 出力*	SCK0 出力*	SCK0 出力*	SCK0 入力

【注】 \* P34ODR=1 のとき、NMOS オープンドレイン出力になります。

- P33/RxD1

SCI<sub>1</sub> の SCR の RE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P33DDR	0	1	-
端子機能	P33 入力	P33 出力*	RxD1 入力

【注】 \* P33ODR=1 のとき、NMOS オープンドレイン出力になります。

- P32/RxD0/IrRxD

SCI<sub>0</sub> の SCR の RE ビットと P32DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P32DDR	0	1	-
端子機能	P32 入力	P32 出力*	RxD0/IrRxD 入力

【注】 \* P32ODR=1 のとき、NMOS オープンドレイン出力になります。

- P31/TxD1

SCI\_1 の SCR の TE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P31DDR	0	1	-
端子機能	P31 入力	P31 出力*	TxD1 出力*

【注】\* P31ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P30/TxD0/IrTxD

SCI\_0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	-
端子機能	P30 入力	P30 出力*	TxD0/IrTxD 出力*

【注】\* P30ODR = 1 のとき、NMOS オープンドレイン出力になります。

## 10.4 ポート 4

ポート 4 は 8 ビットのアナログ入力兼用入力ポートです。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ (PORT4)

### 10.4.1 ポート 4 レジスタ (PORT4)

PORT4 は 8 ビットのリード専用レジスタでポート 4 の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	P47	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P46	*	R	
5	P45	*	R	
4	P44	*	R	
3	P43	*	R	
2	P42	*	R	
1	P41	*	R	
0	P40	*	R	

【注】\* P47～P40 端子の状態により決定されます。

### 10.4.2 端子機能

ポート 4 は A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子と兼用になっています。端子の関係は以下のとおりです。

- P47/AN7/DA1

端子機能	AN7 入力
	DA1 出力

- P46/AN6/DA0

端子機能	AN6 入力
	DA0 出力

- P45/AN5

端子機能	AN5 入力
------	--------

- P44/AN4

端子機能	AN4 入力
------	--------

- P43/AN3

端子機能	AN3 入力
------	--------

- P42/AN2

端子機能	AN2 入力
------	--------

- P41/AN1

端子機能	AN1 入力
------	--------

- P40/AN0

端子機能	AN0 入力
------	--------

## 10.5 ポート 5

ポート 5 は 4 ビットの入出力ポート(P53 ~ P50)と 4 ビットの入力専用ポート(P57 ~ P54)です。入力専用ポートにはデータディレクションレジスタ、データレジスタはありません。ポート 3 には以下のレジスタがあります。

- ポート5データディレクションレジスタ(P5DDR)
- ポート5データレジスタ(P5DR)
- ポート5レジスタ(PORT5)

### 10.5.1 ポート 5 データディレクションレジスタ(P5DDR)

P5DDR は、ポート 5 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると不定値が読み出されます。
3	P53DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	P52DDR	0	W	
1	P51DDR	0	W	
0	P50DDR	0	W	

## 10. I/O ポート

### 10.5.2 ポート 5 データレジスタ(P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	P53DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	P52DR	0	R/W	
1	P51DR	0	R/W	
0	P50DR	0	R/W	

### 10.5.3 ポート 5 レジスタ(PORT5)

PORT5 は、ポート 5 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P57	*	R	P57 ~ P54 をリードすると常に端子の状態がリードされます。
6	P56	*	R	
5	P55	*	R	
4	P54	*	R	
3	P53	*	R	P53 ~ P50 をリードすると、P5DDR がセットされているビットは、P5DR の値がリードされます。P5DDR がクリアされているビットは端子の状態がリードされます。
2	P52	*	R	
1	P51	*	R	
0	P50	*	R	

【注】\* P57 ~ P50 端子の状態により決定されます。

### 10.5.4 端子機能

ポート 5 は SCI 入出力端子、A/D 変換器の入力端子、A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P57/AN15/DA3/ $\overline{\text{IRQ7}}$

ITSR の ITS7 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ7}}$ 割り込み入力*
	AN15 入力
	DA3 出力

【注】\* ITS7 = 0 のとき  $\overline{\text{IRQ7}}$  入力となります。

- P56/AN14/DA2/ $\overline{\text{IRQ6}}$

ITSR の ITS6 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ6}}$ 割り込み入力*
	AN14 入力
	DA2 出力

【注】\* ITS6 = 0 のとき  $\overline{\text{IRQ6}}$  入力となります。

- P55/AN13/ $\overline{\text{IRQ5}}$

ITSR の ITS5 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ5}}$ 割り込み入力*
	AN13 入力

【注】\* ITS5 = 0 のとき  $\overline{\text{IRQ5}}$  入力となります。

- P54/AN12/ $\overline{\text{IRQ4}}$

ITSR の ITS4 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ4}}$ 割り込み入力*
	AN12 入力

【注】\* ITS4 = 0 のとき  $\overline{\text{IRQ4}}$  入力となります。

- P53/ADTRG/ $\overline{\text{IRQ3}}$

A/D コントロールレジスタ (ADCR) の TRGS1 ビット、TRGS0 ビット、および ITSR の ITS3 ビット、P53DDR ビットの組み合わせにより次のように切り替わります。

P53DDR	0	1
	P53 入力	P53 出力
端子機能	$\overline{\text{ADTRG}}$ 入力* <sup>1</sup>	
	$\overline{\text{IRQ3}}$ 割り込み入力* <sup>2</sup>	

【注】 \*<sup>1</sup> TRGS1 = TRGS0 = 0 のとき  $\overline{\text{ADTRG}}$  を入力となります。

\*<sup>2</sup> ITS3 = 1 のとき  $\overline{\text{IRQ3}}$  入力となります。

## 10. I/O ポート

- P52/SCK2/ $\overline{\text{IRQ2}}$

SCI<sub>2</sub>のSMRのC/ $\overline{\text{A}}$ ビット、SCRのCKE0、CKE1ビットとITSRのITS2ビットとP52DDRビットの組み合わせにより次のように切り替わります。

CKE1	0				-
C/ $\overline{\text{A}}$	0		1		-
CKE0	0		1		-
P52DDR	0	1	-	-	-
端子機能	P52 入力	P52 出力	SCK2 出力	SCK2 出力	SCK2 入力
	$\overline{\text{IRQ2}}$ 割り込み入力*				

【注】\* ITS2 = 0 のとき  $\overline{\text{IRQ2}}$  を入力となります。

- P51/RxD2/ $\overline{\text{IRQ1}}$

SCI<sub>2</sub>のSCRのREビットとITSRのITS1ビットとP51DDRビットの組み合わせにより次のように切り替わります。

RE	0		1	
P51DDR	0		1	
端子機能	P51 入力		P51 出力	
			RxD2 入力	
$\overline{\text{IRQ1}}$ 割り込み入力*				

【注】\* ITS1 = 0 のとき  $\overline{\text{IRQ1}}$  を入力となります。

- P50/TxD2/ $\overline{\text{IRQ0}}$

SCI<sub>2</sub>のSCRのTEビットとITSRのITS0ビットとP50DDRビットの組み合わせにより次のように切り替わります。

TE	0		1	
P50DDR	0		1	
端子機能	P50 入力		P50 出力	
			TxD2 入力	
$\overline{\text{IRQ0}}$ 割り込み入力*				

【注】\* ITS0 = 0 のとき  $\overline{\text{IRQ0}}$  を入力となります。



## 10.6 ポート 6

ポート 6 は 6 ビットの兼用入出力ポートです。ポート 6 には以下のレジスタがあります。ポートファンクションコントロールレジスタ 2 については「10.3.5 ポートファンクションコントロールレジスタ 2(PFCR2)」を参照してください。

- ポート 6 データディレクションレジスタ(P6DDR)
- ポート 6 データレジスタ(P6DR)
- ポート 6 レジスタ(PORT6)
- ポートファンクションコントロールレジスタ 2(PFCR2)

### 10.6.1 ポート 6 データディレクションレジスタ(P6DDR)

P6DDR は、ポート 6 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると不定値が読み出されます。
5	P65DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

### 10.6.2 ポート 6 データレジスタ(P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると 0 が読み出されます。ライトは無効です。
5	P65DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

## 10. I/O ポート

### 10.6.3 ポート 6 レジスタ(PORT6)

PORT6 は、ポート 6 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P65	*	R	このレジスタをリードすると、P6DDR がセットされているビットは、P6DR の値がリードされます。P6DDR がクリアされているビットは端子の状態がリードされます。
4	P64	*	R	
3	P63	*	R	
2	P62	*	R	
1	P61	*	R	
0	P60	*	R	

【注】\* P65 ~ P60 端子の状態により決定されます。

### 10.6.4 端子機能

ポート 6 は 8 ビットタイマの入出力端子、割り込み入力端子、DMAC 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P65/TMO1/ $\overline{\text{DACK1}}$ /IRQ13

PFCR2 の DMACS ビット、DMABCRH の SAE1 ビット、8 ビットタイマの TCSR\_1 の OS3 ~ OS0 ビット、P65DDR ビットおよび ITSR の ITS13 ビットの組み合わせにより、次のように切り替わります。

SAE1	0			1			
DMACS	-			1			0
OS3 ~ OS0	すべてが 0		いずれかが 1	すべてが 0		いずれかが 1	-
P65DDR	0	1	-	0	1	-	-
端子機能	P65 入力	P65 出力	TMO1 出力	P65 入力	P65 出力	TMO1 出力	$\overline{\text{DACK1}}$ 出力
	IRQ13 割り込み入力*						

【注】\* ITS13 = 0 のとき  $\overline{\text{DACK1}}$  割り込み入力となります。

- P64/TMO0/DACK0/IRQ12

PFCR2 の DMACS ビット、DMABCRH の SAE0 ビット、8 ビットタイマの TCSR\_0 の OS3 ~ OS0 ビット、P64DDR ビットおよび ITSR の ITS12 ビットの組み合わせにより、次のように切り替わります。

SAE0	0			1			
DMACS	-			1			0
OS3 ~ OS0	すべてが 0		いずれかが 1	すべてが 0		いずれかが 1	-
P64DDR	0	1	-	0	1	-	-
端子機能	P64 入力	P64 出力	TMO0 出力	P64 入力	P64 出力	TMO0 出力	DACK0 出力
	IRQ12 割り込み入力*						

【注】\* ITS12 = 0 のとき IRQ12 割り込み入力となります。

- P63/TMCI1/TEND1/IRQ11

PFCR2 の DMACS ビット、DMAC の DMATCR の TEE1 ビット、P63DDR ビットおよび ITSR の ITS11 ビットの組み合わせにより、次のように切り替わります。

TEE1	0			1		
DMACS	-			1		0
P63DDR	0	1	0	1	-	
端子機能	P63 入力	P63 出力	P63 入力	P63 出力	TEND1 出力	
	IRQ11 割り込み入力* <sup>1</sup>					
	TMCI1 入力* <sup>2</sup>					

【注】 \*1 ITS11 = 0 のとき IRQ11 割り込み入力となります。

\*2 TMR の外部クロック入力端子として使用する場合は、TRC\_1 の CKS2 ~ CKS0 ビットで外部クロックを選択します。

- P62/TMCI0/TEND0/IRQ10

PFCR2 の DMACS ビット、DMAC の DMATCR の TEE0 ビット、P62DDR ビットおよび ITSR の ITS10 ビットの組み合わせにより、次のように切り替わります。

TEE0	0			1		
DMACS	-			1		0
P62DDR	0	1	0	1	-	
端子機能	P62 入力	P62 出力	P62 入力	P62 出力	TEND0 出力	
	IRQ10 割り込み入力* <sup>1</sup>					
	TMCI0 入力* <sup>2</sup>					

【注】 \*1 ITS10 = 0 のとき IRQ10 割り込み入力となります。

\*2 TMR の外部クロック入力端子として使用する場合は、TRC\_0 の CKS2 ~ CKS0 ビットで外部クロックを選択します。

## 10. I/O ポート

- P61/TMRI1/ $\overline{\text{DREQ1}}$ /IRQ9

P61DDR ビット、PF2CR2 の DMACS ビットおよび ITSR の ITS9 ビットにより、次のように切り替わります。

P61DDR	0	1
端子機能	P61 入力	P61 出力
	TMRI1 入力* <sup>1</sup>	
	$\overline{\text{DREQ1}}$ 入力* <sup>2</sup>	
	$\overline{\text{IRQ9}}$ 割り込み入力* <sup>3</sup>	

【注】 \*1 TMR のカウンタリセットとして使用する場合は、TCR\_1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

\*2 DMACS = 0 のとき  $\overline{\text{DREQ1}}$  入力となります。

\*3 ITS9 = 0 のとき  $\overline{\text{IRQ9}}$  割り込み入力となります。

- P60/TMRI0/ $\overline{\text{DREQ0}}$ /IRQ8

P60DDR ビット、PF2CR2 の DMACS ビットおよび ITSR の ITS8 ビットにより、次のように切り替わります。

P60DDR	0	1
端子機能	P60 入力	P60 出力
	TMRI0 入力* <sup>1</sup>	
	$\overline{\text{DREQ0}}$ 入力* <sup>2</sup>	
	$\overline{\text{IRQ8}}$ 割り込み入力* <sup>3</sup>	

【注】 \*1 TMR のカウンタリセットとして使用する場合は、TCR\_0 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

\*2 DMACS = 0 のとき  $\overline{\text{DREQ0}}$  入力となります。

\*3 ITS8 = 0 のとき  $\overline{\text{IRQ8}}$  割り込み入力となります。

## 10.7 ポート 7

ポート7は6ビットの兼用入出力ポートです。ポート7には以下のレジスタがあります。ポートファンクションコントロールレジスタ2については「10.3.5 ポートファンクションコントロールレジスタ2(PFCR2)」を参照してください。

- ポート7データディレクションレジスタ(P7DDR)
- ポート7データレジスタ(P7DR)
- ポート7レジスタ(PORT7)
- ポートファンクションコントロールレジスタ2(PFCR2)

### 10.7.1 ポート7データディレクションレジスタ(P7DDR)

P7DDRは、ポート7の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	-	0	-	リザーブビット
6	-	0	-	リードすると不定値が読み出されます。
5	P75DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
4	P74DDR	0	W	
3	P73DDR	0	W	
2	P72DDR	0	W	
1	P71DDR	0	W	
0	P70DDR	0	W	

### 10.7.2 ポート7データレジスタ(P7DR)

P7DRは、ポート7の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	-	0	-	リザーブビット
6	-	0	-	リードすると0が読み出されます。ライトは無効です。
5	P75DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P74DR	0	R/W	
3	P73DR	0	R/W	
2	P72DR	0	R/W	
1	P71DR	0	R/W	
0	P70DR	0	R/W	

## 10. I/O ポート

### 10.7.3 ポート7レジスタ(PORT7)

PORT7は、ポート7の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P75	*	R	このレジスタをリードすると、P7DDRがセットされているビットは、P7DRの値がリードされます。P7DDRがクリアされているビットは端子の状態がリードされます。
4	P74	*	R	
3	P73	*	R	
2	P72	*	R	
1	P71	*	R	
0	P70	*	R	

【注】\* P75～P70 端子の状態により決定されます。

### 10.7.4 端子機能

ポート7はDMAC入出力端子、EXDMAC入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P75/ ( $\overline{\text{DACK1}}$ ) /EDACK1

PFCR2のDMACSビット、DMABCRHのSAE1ビット、EDMDR\_1のAMSビットとP75DDRビットの組み合わせにより、次のように切り替わります。

モード1、2、3\* (EXPE=1)、4、5、6、7 (EXPE=1)

AMS	0					1
SAE1	0		1			-
DMACS	-		0	1	-	
P75DDR	0	1	0	1	-	
端子機能	P75 入力	P75 出力	P75 入力	P75 出力	$\overline{\text{DACK1}}$ 出力	EDACK1 出力

モード3\* (EXPE=0)、7 (EXPE=0)

AMS	-				
SAE1	0		1		
DMACS	-		0		1
P75DDR	0	1	0	1	-
端子機能	P75 入力	P75 出力	P75 入力	P75 出力	$\overline{\text{DACK1}}$ 出力

【注】\* H8S/2678R グループのみです。

- P74/ ( $\overline{\text{DACK0}}$ ) /EDACK0

PFCR2 の DMACS ビット、DMABCRH の SAE0 ビット、EDMDR\_0 の AMS ビットと P74DDR ビットの組み合わせにより、次のように切り替わります。

モード 1、2、3\* (EXPE = 1)、4、5、6、7 (EXPE = 1)

AMS	0				1	
SAE0	0		1		-	
DMACS	-		0		1	
P74DDR	0	1	0	1	-	-
端子機能	P74 入力	P74 出力	P74 入力	P74 出力	$\overline{\text{DACK0}}$ 出力	EDACK0 出力

モード 3\* (EXPE = 0)、7 (EXPE = 0)

AMS	-					
SAE0	0		1			
DMACS	-		0		1	
P74DDR	0	1	0	1	-	
端子機能	P74 入力	P74 出力	P74 入力	P74 出力	$\overline{\text{DACK0}}$ 出力	

- P73/ ( $\overline{\text{TEND1}}$ ) / $\overline{\text{ETEND1}}$

PFCR2 の DMACS ビット、DMAC の DMATCR の TEE1 ビット、EXDMAC の EDMDR\_1 の ETENDE ビットと P73DDR ビットの組み合わせにより、次のように切り替わります。

モード 1、2、3\* (EXPE = 1)、4、5、6、7 (EXPE = 1)

ETENDE	0				1	
TEE1	0		1		-	
DMACS	-		0		1	
P73DDR	0	1	0	1	-	-
端子機能	P73 入力	P73 出力	P73 入力	P73 出力	$\overline{\text{TEND1}}$ 出力	$\overline{\text{ETEND1}}$ 出力

モード 3\* (EXPE = 0)、7 (EXPE = 0)

ETENDE	-					
TEE1	0		1			
DMACS	-		0		1	
P73DDR	0	1	0	1	-	
端子機能	P73 入力	P73 出力	P73 入力	P73 出力	$\overline{\text{TEND1}}$ 出力	

【注】\* H8S/2678R グループのみです。

## 10. I/O ポート

- P72/ ( $\overline{\text{TEND0}}$ ) /  $\overline{\text{ETEND0}}$

PFCR2 の DMACS ビット、DMAC の DMATCR の TEE0 ビット、EXDMAC の EDMDR\_0 の ETENDE ビットと P72DDR ビットの組み合わせにより、次のように切り替わります。

モード 1、2、3\* (EXPE = 1)、4、5、6、7 (EXPE = 1)

ETENDE	0				1	
TEE0	0		1			
DMACS	-		0		1	
P72DDR	0	1	0	1	-	-
端子機能	P72 入力	P72 出力	P72 入力	P72 出力	$\overline{\text{TEND0}}$ 出力	$\overline{\text{ETEND0}}$ 出力

モード 3\* (EXPE = 0)、7 (EXPE = 0)

ETENDE	-					
TEE0	0			1		
DMACS	-			0		1
P72DDR	0	1	0	1	-	
端子機能	P72 入力	P72 出力	P72 入力	P72 出力	$\overline{\text{TEND0}}$ 出力	

【注】\* H8S/2678R グループのみです。

- P71/ ( $\overline{\text{DREQ1}}$ ) /  $\overline{\text{EDREQ1}}$

P71DDR ビットおよび PFCR2 の DMACS ビットにより、次のように切り替わります。

P71DDR	0		1	
端子機能	P71 入力		P71 出力	
	DREQ1 入力*			
	$\overline{\text{EDREQ1}}$ 入力			

【注】\* DMACS = 1 のとき  $\overline{\text{DREQ1}}$  入力となります。

- P70/ ( $\overline{\text{DREQ0}}$ ) /  $\overline{\text{EDREQ0}}$

P70DDR ビットおよび PFCR2 の DMACS ビットにより、次のように切り替わります。

P70DDR	0		1	
端子機能	P70 入力		P70 出力	
	DREQ0 入力*			
	$\overline{\text{EDREQ0}}$ 入力			

【注】\* DMACS = 1 のとき  $\overline{\text{DREQ0}}$  入力となります。



## 10.8 ポート 8

ポート 8 は 6 ビットの兼用入出力ポートです。ポート 8 には以下のレジスタがあります。

- ポート8データディレクションレジスタ(P8DDR)
- ポート8データレジスタ(P8DR)
- ポート8レジスタ(PORT8)

### 10.8.1 ポート 8 データディレクションレジスタ(P8DDR)

P8DDR は、ポート 8 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると不定値が読み出されます。
5	P85DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

### 10.8.2 ポート 8 データレジスタ(P8DR)

P8DR は、ポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると 0 が読み出されます。ライトは無効です。
5	P85DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

## 10. I/O ポート

### 10.8.3 ポート 8 レジスタ(PORT8)

PORT8 は、ポート 8 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定		リザーブビット
6	-	不定		リードすると不定値が読み出されます。
5	P85	*	R	このレジスタをリードすると、P8DDR がセットされているビットは、P8DR の値がリードされます。P8DDR がクリアされているビットは端子の状態がリードされます。
4	P84	*	R	
3	P83	*	R	
2	P82	*	R	
1	P81	*	R	
0	P80	*	R	

【注】\* P85～P80 端子の状態により決定されます。

### 10.8.4 端子機能

ポート 8 は割り込み入力端子、EXDMAC 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P85 / ( $\overline{\text{IRQ5}}$ ) /  $\overline{\text{EDACK3}}$

EXDMAC の EDMDR\_3 の AMS ビットと P85DDR ビットおよび ITSR の ITS5 ビットにより、次のように切り替わります。

モード 1、2、3 (EXPE = 1)、4、5、6、7 (EXPE = 1)

AMS	0		1
P85DDR	0	1	-
端子機能	P85 入力	P85 出力	$\overline{\text{EDACK3}}$ 出力
	$\overline{\text{IRQ5}}$ 割り込み入力*		

モード 3、7 (EXPE = 0)

AMS	-	
P85DDR	0	1
端子機能	P85 入力	P85 出力
	$\overline{\text{IRQ5}}$ 割り込み入力*	

【注】\* ITS5 = 1 のとき  $\overline{\text{IRQ5}}$  入力となります。

- P84/ ( $\overline{\text{IRQ4}}$ ) /  $\overline{\text{EDACK2}}$

EXDMAC の EDMDR\_2 の AMS ビットと P84DDR ビットおよび ITSR の ITS4 ビットにより、次のように切り替わります。

モード 1、2、3\*<sup>2</sup> (EXPE = 1)、4、5、6、7 (EXPE = 1)

AMS	0		1
P84DDR	0	1	-
端子機能	P84 入力	P84 出力	$\overline{\text{EDACK2}}$ 出力
	$\overline{\text{IRQ4}}$ 割り込み入力* <sup>1</sup>		

モード 3\*<sup>2</sup> (EXPE = 0)、7 (EXPE = 0)

AMS	-	
P84DDR	0	1
端子機能	P84 入力	P84 出力
	$\overline{\text{IRQ4}}$ 割り込み入力* <sup>1</sup>	

【注】 \*1 ITS4 = 1 のとき  $\overline{\text{IRQ4}}$  入力となります。

\*2 モード 3 は H8S/2678 グループではサポートしていません。

- P83/ ( $\overline{\text{IRQ3}}$ ) /  $\overline{\text{ETEND3}}$

EXDMAC の EDMDR\_3 の ETENDE ビットと P83DDR ビットおよび ITSR の ITS3 ビットにより、次のように切り替わります。

モード 1、2、3\*<sup>2</sup> (EXPE = 1)、4、5、6、7 (EXPE = 1)

ETENDE	0		1
P83DDR	0	1	-
端子機能	P83 入力	P83 出力	$\overline{\text{ETEND3}}$ 出力
	$\overline{\text{IRQ3}}$ 割り込み入力* <sup>1</sup>		

モード 3\*<sup>2</sup> (EXPE = 0)、7 (EXPE = 0)

ETENDE	-	
P83DDR	0	1
端子機能	P83 入力	P83 出力
	$\overline{\text{IRQ3}}$ 割り込み入力* <sup>1</sup>	

【注】 \*1 ITS3 = 1 のとき  $\overline{\text{IRQ3}}$  入力となります。

\*2 モード 3 は H8S/2678 グループではサポートしていません。

## 10. I/O ポート

- P82/ ( $\overline{\text{IRQ2}}$ ) /  $\overline{\text{ETEND2}}$

EXDMAC の EDMDR\_2 の ETENDE ビットと P82DDR ビットおよび ITSR の ITS2 ビットにより、次のように切り替わります。

モード 1、2、3\*<sup>2</sup> (EXPE = 1)、4、5、6、7 (EXPE = 1)

ETENDE	0		1
P82DDR	0	1	-
端子機能	P82 入力		$\overline{\text{ETEND2}}$ 出力
	$\overline{\text{IRQ2}}$ 割り込み入力*		

モード 3\*<sup>2</sup> (EXPE = 0)、7 (EXPE = 0)

ETENDE	-		
P82DDR	0	1	
端子機能	P82 入力		P82 出力
	$\overline{\text{IRQ2}}$ 割り込み入力*		

【注】 \*1 ITS2 = 1 のとき  $\overline{\text{IRQ2}}$  入力となります。

\*2 モード 3 は H8S/2678 グループではサポートしていません。

- P81/ ( $\overline{\text{IRQ1}}$ ) /  $\overline{\text{EDREQ3}}$

P81DDR ビットおよび ITSR の ITS1 ビットにより、次のように切り替わります。

P81DDR	0	1	
端子機能	P81 入力		P81 出力
	$\overline{\text{EDREQ3}}$ 入力		
	$\overline{\text{IRQ1}}$ 割り込み入力*		

【注】 \* ITS1 = 1 のとき  $\overline{\text{IRQ1}}$  入力となります。

- P80/ ( $\overline{\text{IRQ0}}$ ) /  $\overline{\text{EDREQ2}}$

P80DDR ビットおよび ITSR の ITS0 ビットにより、次のように切り替わります。

P80DDR	0	1	
端子機能	P80 入力		P80 出力
	$\overline{\text{EDREQ2}}$ 入力		
	$\overline{\text{IRQ0}}$ 割り込み入力*		

【注】 \* ITS0 = 1 のとき  $\overline{\text{IRQ0}}$  入力となります。

## 10.9 ポート A

ポート A は 8 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。

- ポートAデータディレクションレジスタ(PADDR)
- ポートAデータレジスタ(PADR)
- ポートAレジスタ(PORTA)
- ポートAプルアップMOSコントロールレジスタ(PAPCR)
- ポートAオープンドレインコントロールレジスタ(PAODR)
- ポートファンクションコントロールレジスタ1(PFCR1)

### 10.9.1 ポート A データディレクションレジスタ(PADDR)

PADDR は、ポート A の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	<ul style="list-style-type: none"> <li>• モード 1、2、5、6 のとき PA4 ~ PA0 端子は、アドレス出力になります。</li> <li>PA7 ~ PA5 端子は、A23E ~ A21E ビットがそれぞれ 1 にセットされているとき、PADDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E ~ A21E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDR によって端子機能を切り替えることができます。</li> <li>• モード 4 のとき A23E ~ A16E ビットがそれぞれ 1 にセットされているとき、PADDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E ~ A16E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDR によって端子機能を切り替えることができます。</li> <li>• モード 3*、7(EXPE=1) のとき A23E ~ A16E ビットがそれぞれ 1 にセットされているとき、PADDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E ~ A16E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDR を 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。</li> <li>• モード 3*、7(EXPE=0) のとき ポート A は入出力ポートとなり、PADDR によって端子機能を切り替えることができます。</li> </ul>
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

【注】\* H8S/2678R グループのみです。

## 10. I/O ポート

---

### 10.9.2 ポート A データレジスタ(PADR)

PADR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PA7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

### 10.9.3 ポート A レジスタ(PORTA)

PORTA は、ポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	PA7	*	R	このレジスタをリードすると、PADDR がセットされているビットは、PADDR の値がリードされます。PADDR がクリアされているビットは端子の状態がリードされます。
6	PA6	*	R	
5	PA5	*	R	
4	PA4	*	R	
3	PA3	*	R	
2	PA2	*	R	
1	PA1	*	R	
0	PA0	*	R	

【注】\* PA7 - PA0 端子の状態により決定されます。

### 10.9.4 ポート A プルアップ MOS コントロールレジスタ(PAPCR)

PAPCR は、ポート A の入力プルアップ MOS のオン/オフを制御します。モード 1、2、5、6 ではビット 7 ~ 5 が有効です。モード 3\*、4、7 ではすべてのビットが有効です。

ビット	ビット名	初期値	R/W	説明
7	PA7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PA6PCR	0	R/W	
5	PA5PCR	0	R/W	
4	PA4PCR	0	R/W	
3	PA3PCR	0	R/W	
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

### 10.9.5 ポート A オープンドレインコントロールレジスタ(PAODR)

PAODR は、ポート A の端子の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

## 10.9.6 ポートファンクションコントロールレジスタ 1(PFCR1)

PFCR1 は、I/O ポートの制御を行います。モード 1、2、5、6 ではビット 7~5 が有効です。モード 3\*、4、7 ではすべてのビットが有効です。

【注】\* モード 3 は H8S/2678 グループではサポートしていません。

ビット	ビット名	初期値	R/W	説明
7	A23E	1	R/W	アドレス A23 イネーブル アドレス出力 23(A23)の許可/禁止を選択します。 0 : PA7DDR=1 で DR を出力 1 : PA7DDR=1 で A23 を出力
6	A22E	1	R/W	アドレス A22 イネーブル アドレス出力 22(A22)の許可/禁止を選択します。 0 : PA6DDR=1 で DR を出力 1 : PA6DDR=1 で A22 を出力
5	A21E	1	R/W	アドレス A21 イネーブル アドレス出力 21(A21)の許可/禁止を選択します。 0 : PA5DDR=1 で DR を出力 1 : PA5DDR=1 で A21 を出力
4	A20E	1	R/W	アドレス A20 イネーブル アドレス出力 20(A20)の許可/禁止を選択します。 0 : PA4DDR=1 で DR を出力 1 : PA4DDR=1 で A20 を出力
3	A19E	1	R/W	アドレス A19 イネーブル アドレス出力 19(A19)の許可/禁止を選択します。 0 : PA3DDR=1 で DR を出力 1 : PA3DDR=1 で A19 を出力
2	A18E	1	R/W	アドレス A18 イネーブル アドレス出力 18(A18)の許可/禁止を選択します。 0 : PA2DDR=1 で DR を出力 1 : PA2DDR=1 で A18 を出力
1	A17E	1	R/W	アドレス A17 イネーブル アドレス出力 17(A17)の許可/禁止を選択します。 0 : PA1DDR=1 で DR を出力 1 : PA1DDR=1 で A17 を出力
0	A16E	1	R/W	アドレス A16 イネーブル アドレス出力 16(A16)の許可/禁止を選択します。 0 : PA0DDR=1 で DR を出力 1 : PA0DDR=1 で A16 を出力



### 10.9.7 端子機能

ポート A はアドレス出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PA7/A23、PA6/A22、PA5/A21

動作モードとEXPEビットとA23E～A21EビットとPADDRビットにより次のように切り替わります。

動作モード	1、2、4、5、6				3*、7					
EXPE	-				0		1			
AxxE	0		1		-		0		1	
PADDR	0	1	0	1	0	1	0	1	0	1
端子機能	PA 入力	PA 出力	PA 入力	アドレス 出力	PA 入力	PA 出力	PA 入力	PA 出力	PA 入力	アドレス 出力

- PA4/A20、PA3/A19、PA2/A18、PA1/A17、PA0/A16

動作モードとEXPEビットとA20E～A16EビットとPADDRビットにより次のように切り替わります。

動作モード	1、2、5、6	4				3*、7					
EXPE	-	-				0		1			
AxxE	-	0		1		-		0		1	
PADDR	-	0	1	0	1	0	1	0	1	0	1
端子機能	アドレス 出力	PA 入力	PA 出力	PA 入力	アドレス 出力	PA 入力	PA 出力	PA 入力	PA 出力	PA 入力	アドレス 出力

### 10.9.8 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 1、2、5、6 のときは PA7～PA5 端子が使用でき、モード 3\*、4、7 のときはすべての端子が使用できます。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 10.2 に示します。

表 10.2 ポート A 入力プルアップ MOS の状態

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
3*、4、7	PA7～PA0	OFF		ON/OFF	
1、2、5、6	PA7～PA5	OFF		ON/OFF	
	PA4～PA0	OFF		OFF	

【記号説明】

OFF :入力プルアップ MOS は、常にオフ状態です。

ON/OFF :PADDR=0 かつ PAPCR=1 のときオン状態、その他のときはオフ状態です。

【注】\* モード 3 は H8S/2678 グループではサポートしていません。

## 10.10 ポート B

ポート B は 8 ビットの兼用入出力ポートです。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)

### 10.10.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	<ul style="list-style-type: none"> <li>• モード 1、2、5、6 のとき PBDDR にかかわらず、対応する各端子はアドレス出力となります。</li> <li>• モード 3* (EXPE = 1)、モード 4、モード 7 (EXPE = 1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。</li> <li>• モード 3* (EXPE = 0)、モード 7 (EXPE = 0) のとき ポート B は入出力ポートになり、PBDDR によって端子機能を切り替えることができます。</li> </ul>
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

【注】\* モード 3 は H8S/2678 グループではサポートしていません。

### 10.10.2 ポート B データレジスタ (PBDR)

PBDR はポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

### 10.10.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	*	R	このレジスタをリードすると、PBDDR がセットされているビットは PBDR の値がリードされます。PBDDR がクリアされているビットは端子の状態がリードされます。
6	PB6	*	R	
5	PB5	*	R	
4	PB4	*	R	
3	PB3	*	R	
2	PB2	*	R	
1	PB1	*	R	
0	PB0	*	R	

【注】\* PB7～PB0 端子の状態により決定されます。

### 10.10.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン/オフを制御します。モード 3、4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

## 10. I/O ポート

### 10.10.5 端子機能

ポート B の各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/A15、PB6/A14、PB5/A13、PB4/A12、PB3/A11、PB2/A10、PB1/A9、PB0/A8

動作モードと EXPE ビットと PBDDR ビットにより次のように切り替わります。

動作モード	1、2、5、6	4		3*、7			
EXPE	-	-		0		1	
PBDDR	-	0	1	0	1	0	1
端子機能	アドレス出力	PB 入力	アドレス出力	PB 入力	PB 出力	PB 入力	アドレス出力

### 10.10.6 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 4、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 3、4、7 のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.3 に示します。

表 10.3 ポート B 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、5、6	OFF		OFF	
3*、4、7			ON/OFF	

#### 【記号説明】

OFF :入力プルアップ MOS は、常にオフ状態です。

ON/OFF :PBDDR=0 かつ PBPCR=1 のときオン状態、その他のときはオフ状態です。

【注】\* モード 3 は H8S/2678 グループではサポートしていません。

## 10.11 ポート C

ポート C は 8 ビットの兼用入出力ポートです。ポート C には以下のレジスタがあります。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C データレジスタ (PCDR)
- ポート C レジスタ (PORTC)
- ポート C プルアップ MOS コントロールレジスタ (PCPCR)

### 10.11.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PC7DDR	0	W	• モード 1、2、5、6 のとき PCDDR にかかわらず、対応する各端子はアドレス出力となります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	• モード 3* (EXPE=1)、モード 4、モード 7 (EXPE=1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。
4	PC4DDR	0	W	
3	PC3DDR	0	W	• モード 3* (EXPE=0)、7 (EXPE=0) のとき ポート C は入出力ポートになり、PCDDR によって端子機能を切り替えることができます。
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

【注】\* モード 3 は H8S/2678 グループではサポートしていません。

### 10.11.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

## 10. I/O ポート

---

### 10.11.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PC7	*	R	このレジスタをリードすると、PCDDR がセットされているビットは PCDR の値がリードされます。PCDDR がクリアされているビットは端子の状態がリードされます。
6	PC6	*	R	
5	PC5	*	R	
4	PC4	*	R	
3	PC3	*	R	
2	PC2	*	R	
1	PC1	*	R	
0	PC0	*	R	

【注】\* PC7 - PC0 端子の状態により決定されます。

### 10.11.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン/オフを制御します。モード 3\*、4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

### 10.11.5 端子機能

ポートCの各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/A7、PC6/A6、PC5/A5、PC4/A4、PC3/A3、PC2/A2、PC1/A1、PC0/A0、  
動作モードとEXPEビットとPCDDRビットにより次のように切り替わります。

動作モード	1、2、5、6	4		3*、7			
EXPE	-	-		0		1	
PCDDR	-	0	1	0	1	0	1
端子機能	アドレス出力	PC入力	アドレス出力	PC入力	PC出力	PC入力	アドレス出力

### 10.11.6 ポートC入力プルアップMOSの状態

ポートCは、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはモード3、4、7のときに使用でき、ビット単位でオン/オフを指定できます。

モード3、4、7のとき、PCDDRを0にクリアした状態で、PCPCRを1にセットすると、入力プルアップMOSはオンとなります。

入力プルアップMOSの状態を表10.4に示します。

表 10.4 ポートC入力プルアップMOSの状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、5、6	OFF		OFF	
3*、4、7			ON/OFF	

【記号説明】

OFF : 入力プルアップMOSは、常にオフ状態です。

ON/OFF : PCDDR=0かつPCPCR=1のときオン状態、その他のときはオフ状態です。

## 10.12 ポート D

ポート D は 8 ビットの兼用入出力ポートです。ポート D には以下のレジスタがあります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D ブルアップ MOS コントロールレジスタ (PDPCR)

### 10.12.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PD7DDR	0	W	<ul style="list-style-type: none"> <li>• モード 1、2、3* (EXPE = 1)、4、5、6、7 (EXPE = 1) のとき ポート D は、自動的にデータ入出力となります。</li> <li>• モード 3* (EXPE = 0)、7 (EXPE = 0) のとき ポート D は入出力ポートになり、PDDDR によって端子機能を切り替えることができます。</li> </ul>
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

【注】\* H8S/2678R グループのみです。

### 10.12.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	



### 10.12.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	PD7	*	R	このレジスタをリードすると、PDDDR がセットされているビットは PDDR の値がリードされます。PDDDR がクリアされているビットは端子の状態がリードされます。
6	PD6	*	R	
5	PD5	*	R	
4	PD4	*	R	
3	PD3	*	R	
2	PD2	*	R	
1	PD1	*	R	
0	PD0	*	R	

【注】\* PD7～PD0 端子の状態により決定されます。

### 10.12.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン/オフを制御します。モード 3\*、7 のときに有効です。

ビット	ビット名	初期値	R/W	説 明
7	PD7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

【注】\* H8S/2678R グループのみです。

## 10. I/O ポート

### 10.12.5 モード別端子機能

ポートDの各端子は、データ入出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PD7/D15、PD6/D14、PD5/D13、PD4/D12、PD3/D11、PD2/D10、PD1/D9、PD0/D8  
動作モードとEXPEビットとPDDDRビットにより次のように切り替わります。

動作モード	1、2、4、5、6	3*、7		
EXPE	-	0		1
PDDDR	-	0	1	-
端子機能	データ入出力	PD入力	PD出力	データ入出力

### 10.12.6 ポートD入力プルアップMOSの状態

ポートDは、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSはモード3\*、7のときに使用でき、ビット単位でオン/オフを指定できます。

モード3\*、7のとき、PDDDRを0にクリアした状態で、PDPCRを1にセットすると、入力プルアップMOSはオンとなります。

入力プルアップMOSの状態を表10.5に示します。

表 10.5 ポートD入力プルアップMOSの状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、4、5、6	OFF		OFF	
3*、7			ON/OFF	

#### 【記号説明】

OFF :入力プルアップMOSは、常にオフ状態です。

ON/OFF :PDDDR=0かつPDPCR=1のときオン状態、その他のときはオフ状態です。

【注】\* H8S/2678Rグループのみです。

## 10.13 ポート E

ポート E は 8 ビットの兼用入出力ポートです。ポート E には以下のレジスタがあります。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E データレジスタ (PEDR)
- ポート E レジスタ (PORTE)
- ポート E プルアップ MOS コントロールレジスタ (PEPCR)

### 10.13.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ポート E の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PE7DDR	0	W	<ul style="list-style-type: none"> <li>• モード 1、2、4~6 のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。</li> <li>• モード 3*、7 (EXPE=1) のとき 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。 8 ビット/16 ビットバスモードについては「第 6 章 バスコントローラ」を参照してください。</li> <li>• モード 3*、7 (EXPE=0) のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなります。このビットを 1 にセットすると対応する端子は、出力ポートになり、0 にクリアすると入力ポートになります。 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。</li> <li>• モード 3*、7 (EXPE=0) のとき ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。</li> </ul>
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

【注】\* H8S/2678R グループのみです。

## 10. I/O ポート

---

### 10.13.2 ポート E データレジスタ(PEDR)

PEDR は、ポート E の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

### 10.13.3 ポート E レジスタ(PORTE)

PORTE は、ポート E の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PE7	*	R	このレジスタをリードすると、PEDDR がセットされているビットは、PEDR の値がリードされます。PEDDR がクリアされているビットは端子の状態がリードされます。
6	PE6	*	R	
5	PE5	*	R	
4	PE4	*	R	
3	PE3	*	R	
2	PE2	*	R	
1	PE1	*	R	
0	PE0	*	R	

【注】\* PE7～PE0 端子の状態により決定されます。

### 10.13.4 ポート E プルアップ MOS コントロールレジスタ(PEPCR)

PEPCR は、ポート E の入力プルアップ MOS のオン/オフを制御します。8 ビットバスモードのとき有効です。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

### 10.13.5 端子機能

ポート E はデータ入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PE7/D7、PE6/D6、PE5/D5A、PE4/D4、PE3/D3、PE2/D2、PE1/D1、PE0/D0

動作モードとバスモードと EXPE ビットと PEDDR ビットにより次のように切り替わります。

動作モード	1、2、4、5、6			3*、7				
	すべてのエリアが 8 ビット空間		いずれかの エリアが 16 ビット空間	-		すべてのエリアが 8 ビット空間		いずれかの エリアが 16 ビット空間
EXPE	-		-	0		1		1
PEDDR	0	1	-	0	1	0	1	-
端子機能	PE 入力	PE 出力	データ入出力	PE 入力	PE 出力	PE 入力	PE 出力	データ入出力

【注】\* H8S/2678R グループのみです。

### 10.13.6 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、8 ビットバスモードのとき使用でき、ビット単位でオン/オフを指定できます。8 ビットバスモードのとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.6 に示します。

表 10.6 ポート E 入力プルアップ MOS の状態

モード*		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1~7	8 ビットバス	OFF		ON/OFF	
	16 ビットバス			OFF	

【記号説明】

OFF :入力プルアップ MOS は、常にオフ状態です。

ON/OFF :PEDDR=0 かつ PEPCR=1 のときオン状態、その他のときはオフ状態です。

【注】\* モード 3 は H8S/2678R グループのみです。

## 10.14 ポート F

ポート F は 8 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。ポートファンクションコントロールレジスタ 2 については「10.3.5 ポートファンクションコントロールレジスタ 2(PFCR2)」を参照してください。

- ポート F データディレクションレジスタ(PFDDR)
- ポート F データレジスタ(PFDR)
- ポート F レジスタ(PORTF)
- ポートファンクションコントロールレジスタ 2(PFCR2)

### 10.14.1 ポート F データディレクションレジスタ(PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	1/0*1	W	<ul style="list-style-type: none"> <li>• モード 1、2、4~6 のとき PF7 端子は、1 にセットすると 出力となり、0 にクリアすると入力ポートになります。</li> <li>PF6 端子は、ASOE を 1 にセットすると AS 出力となり、0 にクリアすると入出力ポートとなり、PF6DDR によって端子機能を切り替えることができます。</li> <li>PF5、PF4 端子は、バス制御出力(<math>\overline{RD}</math>、<math>\overline{HWR}</math>)となります。</li> <li>PF3 端子は、LWROE を 1 にセットすると <math>\overline{LWR}</math> 出力となり、0 にクリアすると入出力ポートとなり、PF3DDR によって端子機能を切り替えることができます。</li> <li>PF2~PF0 端子は、バスコントローラの設定によりバス制御入出力(<math>\overline{LCAS}</math>、<math>\overline{UCAS}</math>、<math>\overline{WAIT}</math>)となります。それ以外のとき PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。</li> <li>• モード 3*2、7(EXPE=1)のとき PF7~PF3 端子は、モード 1、2、4~6 のときと同じです。 PF2~PF0 端子は、バスコントローラと PFCR の設定によりバス制御入出力(<math>\overline{LCAS}</math>、<math>\overline{UCAS}</math>、<math>\overline{WAIT}</math>)となります。それ以外のとき、入出力ポートとなり、PFDDR によって端子機能を切り替えることができます。</li> <li>• モード 3*2、7(EXPE=0)のとき PF7 端子は、1 にセットすると 出力となり、0 にクリアすると入力ポートになります。 PF6~PF0 端子は入出力ポートとなり、PFDDR によって端子機能を切り替えることができます。</li> </ul>
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

【注】 \*1 モード 1、2、4~6 のときは 1 に、モード 3、7 のときは 0 になります。

\*2 H8S/2678R グループのみです。

## 10. I/O ポート

---

### 10.14.2 ポート F データレジスタ(PFDR)

PFDR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PF7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

### 10.14.3 ポート F レジスタ(PORTF)

PORTF は、ポート F の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	PF7	- *	R	このレジスタをリードすると、PFDDR がセットされているビットは、PFDR の値がリードされます。PFDDR がクリアされているビットは端子の状態がリードされます。
6	PF6	- *	R	
5	PF5	- *	R	
4	PF4	- *	R	
3	PF3	- *	R	
2	PF2	- *	R	
1	PF1	- *	R	
0	PF0	- *	R	

【注】\* PF7～PF0 端子の状態により決定されます。



### 10.14.4 端子機能

ポート F は割り込み入力端子、バス制御信号入出力端子、システムクロック出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PF7/

PF7DDR ビットにより、次のように切り替わります。

動作モード	1~7	
PFDDR	0	1
端子機能	PF7 入力	出力

- PF6/ $\overline{AS}$

動作モードと EXPE ビット、ASOE ビット、PF6DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3*、7				
EXPE	-			0		1		
ASOE	1	0		-		1	0	
PF6DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{AS}$ 出力	PF6 入力	PF6 出力	PF6 入力	PF6 出力	$\overline{AS}$ 出力	PF6 入力	PF6 出力

- PF5/ $\overline{RD}$

動作モードと EXPE ビット、PF5DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3*、7		
EXPE	-			0		1
PF5DDR	-			0	1	-
端子機能	$\overline{RD}$ 出力			PF5 入力	PF5 出力	$\overline{RD}$ 出力

- PF4/ $\overline{HWR}$

動作モードと EXPE ビット、PF4DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3*、7		
EXPE	-			0		1
PF4DDR	-			0	1	-
端子機能	$\overline{HWR}$ 出力			PF4 入力	PF4 出力	$\overline{HWR}$ 出力

【注】\* H8S/2678R グループのみです。

## 10. I/O ポート

- PF3/ $\overline{\text{LWR}}$

動作モードと EXPE ビット、LWROE ビット、PF3DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3* <sup>2</sup> 、7				
EXPE	-			0		1		
LWROE	1	0		-		1	0	
PF3DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{\text{LWR}}$ 出力	PF3 入力	PF3 出力	PF3 入力	PF3 出力	$\overline{\text{LWR}}$ 出力	PF3 入力	PF3 出力

- PF2/ $\overline{\text{LCAS}}/\overline{\text{DQML}}^{\ast 2}/\overline{\text{IRQ15}}$

動作モード、EXPE ビット、DRAMCR の RMTS2 ~ RMTS0 ビット、ABWCR の ABW5 ~ ABW2 ビット、および PF2DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	1、2、4、5、6			3* <sup>2</sup> 、7				
EXPE	-			0		1		
エリア 2~5	DRAM/シンクロナス DRAM* <sup>2</sup> 空間 のエリアの いずれかが 16 ビットバ ス空間	DRAM/シンクロナス DRAM* <sup>2</sup> 空間のエリアが すべて 8 ビットバス空 間、または、エリア 2~5 がすべて通常空間		-		DRAM/シン クロナス DRAM* <sup>2</sup> 空間 のエリアの いずれかが 16 ビットバ ス空間	DRAM/シンクロナス DRAM* <sup>2</sup> 空間のエリア がすべて 8 ビットバス 空間、または、エリア 2~5 がすべて通常空 間	
PF2DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{\text{LCAS}}/\overline{\text{DQML}}^{\ast 2}$ 出力	PF2 入力	PF2 出力	PF2 入力	PF2 出力	$\overline{\text{LCAS}}/\overline{\text{DQML}}^{\ast 2}$ 出力	PF2 入力	PF2 出力
	$\overline{\text{IRQ15}}$ 割り込み入力* <sup>1</sup>							

【注】 \*1 ITSr の ITS15 ビットが 0 にクリアされているとき  $\overline{\text{IRQ15}}$  割り込み入力。

\*2 H8S/2678R グループのみです。

- PF1/ $\overline{UCAS}$ /DQMU<sup>\*2</sup>/ $\overline{IRQ14}$

動作モードと EXPE ビット、DRAMCR の RMTS2 ~ RMTS0 ビット、および PF1DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	1、2、4、5、6			3 <sup>*2</sup> 、7				
EXPE	-			0		1		
エリア2~5	エリア2~5の いずれかが DRAM/シンク ロナス DRAM <sup>*2</sup> 空間	エリア2~5がすべて 通常空間		-		エリア2~5の いずれかが DRAM/シンク ロナス DRAM <sup>*2</sup> 空間	エリア2~5がすべて 通常空間	
PF1DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{UCAS}$ /DQMU <sup>*2</sup> 出力	PF1 入力	PF1 出力	PF1 入力	PF1 出力	$\overline{UCAS}$ /DQMU <sup>*2</sup> 出力	PF1 入力	PF1 出力
	$\overline{IRQ14}$ 割り込み入力 <sup>*1</sup>							

【注】 \*1 ITSR の ITS14 ビットが0にクリアされているとき  $\overline{IRQ14}$  割り込み入力。

- PF0/ $\overline{WAIT}$

動作モードと EXPE ビット、BCR の WAITE ビット、および PF0DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3 <sup>*2</sup> 、7				
EXPE	-			0		1		
WAITE	0		1	-		0		1
PF0DDR	0	1	-	0	1	0	1	-
端子機能	PF0 入力	PF0 出力	$\overline{WAIT}$ 入力	PF0 入力	PF0 出力	PF0 入力	PF0 出力	$\overline{WAIT}$ 入力

【注】 \*2 H8S/2678R グループのみです。

## 10.15 ポート G

ポート G は 7 ビットの兼用入出力ポートです。ポート G には以下のレジスタがあります。

- ポート G データディレクションレジスタ (PGDDR)
- ポート G データレジスタ (PGDR)
- ポート G レジスタ (PORTG)
- ポート ファンクションコントロールレジスタ 0 (PFCR0)

### 10.15.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR は、ポート G の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると不定値が読み出されます。
6	PG6DDR	0	W	<ul style="list-style-type: none"> <li>• モード 1、2、4~6 のとき PG6 ~ PG4 端子は、バスコントローラの設定によりバス制御入出力 (BREQ、BACK、BREQO) となります。それ以外るとき、入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。PG3 ~ PG0 端子は <math>\overline{CS}</math> 出力許可ビット (CS3E ~ CS0E) を 1 にセットしたとき、PGDDR を 1 にセットすると <math>\overline{CS}</math> 出力となり、0 にクリアすると入力ポートとなります。CS 出力許可ビット (CS3E ~ CS0E) を 0 にクリアすると入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。</li> <li>• モード 3*<sup>2</sup>、7 (EXPE=1) のとき PG6 ~ PG4 端子は、バスコントローラの設定によりバス制御入出力 (BREQ、BACK、BREQO) となります。それ以外るとき、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。PG3 ~ PG0 端子は CS 出力許可ビット (CS3E ~ CS0E) を 1 にセットしたとき、PGDDR を 1 にセットすると <math>\overline{CS}</math> 出力となり、0 にクリアすると入力ポートとなります。<math>\overline{CS}</math> 出力許可ビット (CS3E ~ CS0E) を 0 にクリアすると入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。</li> <li>• モード 3*<sup>2</sup>、7 (EXPE=0) のとき PG6 ~ PG0 端子は入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。</li> </ul>
5	PG5DDR	0	W	
4	PG4DDR	0	W	
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	1/0* <sup>1</sup>	W	

【注】 \*1 モード 1、2、5、6 のときは 1 に、モード 3、4、7 のときは 0 になります。

\*2 H8S/2678R グループのみです。

### 10.15.2 ポート G データレジスタ(PGDR)

PGDR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	-	0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
6	PG6DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
5	PG5DR	0	R/W	
4	PG4DR	0	R/W	
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

### 10.15.3 ポート G レジスタ(PORTG)

PORTG は、ポート G の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	-	不定	-	リザーブビット リードすると不定値が読み出されます。
6	PG6	- *	R	このレジスタをリードすると、PGDDR がセットされているビットは、PGDR の値がリードされます。PGDDR がクリアされているビットは端子の状態がリードされます。
5	PG5	- *	R	
4	PG4	- *	R	
3	PG3	- *	R	
2	PG2	- *	R	
1	PG1	- *	R	
0	PG0	- *	R	

【注】\* PG6 ~ PG0 端子の状態により決定されます。

## 10. I/O ポート

### 10.15.4 ポートファンクションコントロールレジスタ 0(PFCR0)

PFCR0 は、I/O ポートの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CS7E	1	R/W	CS7 ~ CS0 イネーブル 対応する $\overline{CSn}$ 出力の出力許可/禁止を選択します。 0 : I/O ポートとして設定 1 : $\overline{CSn}$ 出力端子として設定 (n=7 ~ 0)
6	CS6E	1	R/W	
5	CS5E	1	R/W	
4	CS4E	1	R/W	
3	CS3E	1	R/W	
2	CS2E	1	R/W	
1	CS1E	1	R/W	
0	CS0E	1	R/W	

### 10.15.5 端子機能

ポート G はバス制御信号入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PG6/ $\overline{BREQ}$

動作モードと EXPE ビット、BRLE ビット、PG6DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3*、7				
EXPE	-			0		1		
BRLE	0		1	-		0		1
PG6DDR	0	1	-	0	1	0	1	-
端子機能	PG6 入力	PG6 出力	$\overline{BREQ}$ 入力	PG6 入力	PG6 出力	PG6 入力	PG6 出力	$\overline{BREQ}$ 入力

- PG5/ $\overline{BACK}$

動作モードと EXPE ビット、BRLE ビット、PG5DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3*、7				
EXPE	-			0		1		
BRLE	0		1	-		0		1
PG5DDR	0	1	-	0	1	0	1	-
端子機能	PG5 入力	PG5 出力	$\overline{BACK}$ 出力	PG5 入力	PG5 出力	PG5 入力	PG5 出力	$\overline{BACK}$ 出力

【注】\* H8S/2678R グループのみです。

- PG4/ $\overline{\text{BREQO}}$

動作モードと EXPE ビット、BRLE ビット、BREQO ビット、PG4DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6					3*、7						
EXPE	-					0		1				
BRLE	0		1			-		0		1		
BREQO	-		0		1	-		-		0		1
PG5DDR	0	1	0	1	-	0	1	0	1	0	1	-
端子機能	PG4 入力	PG4 出力	PG4 入力	PG4 出力	$\overline{\text{BREQO}}$ 出力	PG4 入力	PG4 出力	PG4 入力	PG4 出力	PG4 入力	PG4 出力	$\overline{\text{BREQO}}$ 出力

- PG3/ $\overline{\text{CS3}}/\overline{\text{RAS3}}^*/\overline{\text{CAS}}^*$ 、PG2/ $\overline{\text{CS2}}/\overline{\text{RAS2}}^*/\overline{\text{RAS}}^*$

動作モードと EXPE ビット、CSnE ビット、RMTS2~RMTS0 ビット、PGnDDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6							3*、7											
EXPE	-							0		1									
CSnE	0		1					-		0		1							
RMTS2 ~ RMTS0	-	エリアnが 通常空間		エリアnが DRAM 空間		エリア2-5が シンクロナス DRAM* 空間		エリア2-5が 連続DRAM/ シンクロナス DRAM* 空間		-	-	エリアnが 通常空間		エリアnが DRAM 空間		エリア2-5が シンクロナス DRAM* 空間		エリア2-5が 連続DRAM/ シンクロナス DRAM* 空間	
PGn DDR	0	1	0	1	-	-	-	0	1	0	1	0	1	-	-	-			
端子機能	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力	$\overline{\text{RASn}}$ 出力	$\overline{\text{CAS}}^*$ 出力	$\overline{\text{RAS}}^*$ 出力	PGn 入力	PGn 出力	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力	$\overline{\text{RASn}}$ 出力	$\overline{\text{CAS}}^*$ 出力	$\overline{\text{RAS}}^*$ 出力			

n=2、3

- PG1/ $\overline{\text{CS1}}$ 、PG0/ $\overline{\text{CS0}}$

動作モードと EXPE ビット、CSnE ビット、PGnDDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6				3*、7					
EXPE	-				0		1			
CSnE	0		1		-		0		1	
PGnDDR	0	1	0	1	0	1	0	1	0	1
端子機能	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力	PGn 入力	PGn 出力	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力

n=0、1

【注】\* H8S/2678R グループのみです。

## 10.16 ポート H

ポート H は 4 ビットの兼用入出力ポートです。ポート H には以下のレジスタがあります。ポートファンクションコントロールレジスタ 0 については「10.15.4 ポートファンクションコントロールレジスタ 0(PFCR0)」、ポートファンクションコントロールレジスタ 2 については「10.3.5 ポートファンクションコントロールレジスタ 2(PFCR2)」を参照してください。

- ポート H データディレクションレジスタ(PHDDR)
- ポート H データレジスタ(PHDR)
- ポート H レジスタ(PORTH)
- ポートファンクションコントロールレジスタ 0(PFCR0)
- ポートファンクションコントロールレジスタ 2(PFCR2)

### 10.16.1 ポート H データディレクションレジスタ(PHDDR)

PHDDR は、ポート H の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると不定値が読み出されます。
3	PH3DDR	0	W	<ul style="list-style-type: none"> <li>• モード 1、2、3* (EXPE=1)、4~6、7(EXPE=1)のとき PH3 端子は <math>\overline{OE}</math> 出力許可ビット(OEE)と <math>\overline{OE}</math> 出力セレクトビット(OES)を 1 にセットしたとき、<math>\overline{OE}</math> 出力になります。それ以外るとき、CS7E ビットを 1 にセットしたとき、PHDDR を 1 にセットすると <math>\overline{CS}</math> 出力となり、0 にクリアすると入力ポートとなります。CS7E ビットを 0 にクリアすると入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。</li> <li>PH2~PH0 端子は <math>\overline{CS}</math> 出力許可ビット(CS6E~CS4E)を 1 にセットしたとき、PHDDR を 1 にセットすると <math>\overline{CS}</math> 出力となり、0 にクリアすると入力ポートとなります。<math>\overline{CS}</math> 出力許可ビット(CS6E~CS4E)を 0 にクリアすると入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。</li> <li>• モード 3* (EXPE=0)、7(EXPE=0)のとき PH3~PH0 端子は入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。</li> </ul>
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

【注】\* H8S/2678R グループのみです。



### 10.16.2 ポートHデータレジスタ(PHDR)

PHDR は、ポートHの出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると0が読み出されます。ライトは無効です。
3	PH3DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

### 10.16.3 ポートHレジスタ(PORTH)

PORTH は、ポートHの端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定		リザーブビット リードすると不定値が読み出されます。
3	PH3	*	R	このレジスタをリードすると、PHDDR がセットされているビットは、PHDR の値がリードされます。PHDDR がクリアされているビットは端子の状態がリードされます。
2	PH2	*	R	
1	PH1	*	R	
0	PH0	*	R	

【注】\* PH3～PH0 端子の状態により決定されます。

## 10. I/O ポート

### 10.16.4 端子機能

ポート H はバス制御信号入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PH3/ $\overline{CS7/OE/CKE}^{*2}$  ( $\overline{IRQ7}$ )

動作モードと EXPE ビット、OEE ビット、OES ビット、CS7E ビット、PH3DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6										3 <sup>*2</sup> 、7																						
EXPE	-										0					1																	
OEE	0		1						-					0					1														
OES	-		0						1					-					0					1									
エリア 2~5	-		-						通常空間 または DRAM空間					-					-					通常空間 または DRAM空間					シンク ロナス DRAM <sup>*2</sup> 空間				
CS7E	0		1		0		1		-		-		-		0		1		0		1		0		1		-		-				
PH3 DDR	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1			
端子機能	PH3 入力	PH3 出力	PH3 入力	CS7 出力	PH3 入力	PH3 出力	PH3 入力	CS7 出力	O $\overline{E}$ 出力	CKE <sup>*2</sup> 出力	PH3 入力	PH3 出力	PH3 入力	PH3 出力	PH3 入力	CS7 出力	PH3 入力	PH3 出力	PH3 入力	CS7 出力	O $\overline{E}$ 出力	CKE <sup>*2</sup> 出力	IRQ7入力 <sup>*1</sup>										

【注】 \*1 ITS の ITS7 ビットが 1 にセットされているとき  $\overline{IRQ7}$  入力

\*2 H8S/2678R グループのみです。

- PH2/ $\overline{CS6}$  ( $\overline{IRQ6}$ )

動作モードと EXPE ビット、CS6E ビット、PH2DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6					3 <sup>*2</sup> 、7																					
EXPE	-					0					1																
CS6E	0		1			-					0					1											
PH2DDR	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1					
端子機能	PH2 入力	PH2 出力	PH2 入力	$\overline{CS6}$ 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	$\overline{CS6}$ 出力	IRQ6 入力 <sup>*1</sup>				

【注】 \*1 ITS の ITS6 ビットが 1 にセットされているとき  $\overline{IRQ6}$  入力

\*2 H8S/2678R グループのみです。

- PH1/CS5/RAS5\*/SDRAM \*

動作モードと DCTL 端子、EXPE ビット、CS5E ビット、RMTS2~0 ビット、PH1DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6						3*、7											
EXPE							0		1									
エリア 5	通常空間			DRAM 空間					通常空間			DRAM 空間						
DCTL	0														1			
CS5E	0		1		0		1				0		1		0		1	
PH1 DDR	0	1	0	1	0	1		0	1	0	1	0	1	0	1			
端子機能	PH1 入力	PH1 出力	PH1 入力	<u>CS5</u> 出力	PH1 入力	PH1 出力	<u>RAS5*</u> 出力	PH1 入力	PH1 出力	PH1 入力	PH1 出力	PH1 入力	PH1 出力	<u>CS5</u> 出力	PH1 入力	PH1 出力	<u>RAS5*</u> 出力	SDRAM* 出力

- PH0/CS4/RAS4\*/WE\*

動作モードと EXPE ビット、CS4E ビット、RMTS2~0 ビット、PH0DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6						3*、7										
EXPE							0		1								
エリア 4			通常空間		DRAM 空間		シンク ロナス DRAM* 空間				通常空間		DRAM 空間		シンク ロナス DRAM* 空間		
CS4E	0		1						0		1						
PH0 DDR	0	1	0	1			0	1	0	1	0	1					
端子機能	PH0 入力	PH0 出力	PH0 入力	<u>CS4</u> 出力	<u>RAS4*</u> 出力	<u>WE*</u> 出力	PH0 入力	PH0 出力	PH0 入力	PH0 出力	PH0 入力	PH0 出力	<u>CS4</u> 出力	<u>RAS4*</u> 出力	<u>WE*</u> 出力		

【注】\* H8S/2678R グループのみです。



---

## 11. 16ビットタイマパルスユニット (TPU)

---

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 11.1 に、ブロック図を図 11.1 に示します。

### 11.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

## 11. 16 ビットタイマパルスユニット (TPU)

表 11.1 TPU の機能一覧 (1)

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	/1 /4 /16 /64 TCLKA TCLKB TCLKC TCLKD	/1 /4 /16 /64 /256 TCLKA TCLKB	/1 /4 /16 /64 /1024 TCLKA TCLKB TCLKC	/1 /4 /16 /64 /256 /1024 /4096 TCLKA	/1 /4 /16 /64 /1024 TCLKA TCLKC	/1 /4 /16 /64 /256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力 1 出力 トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

: 可能

- : 不可

表 11.1 TPU の機能一覧 (2)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッチ または インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッチ または インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッチ または インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッチ または インプット キャプチャ	-	-
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ0A ・コンペアマッチ /インプット キャプチャ0B ・コンペアマッチ /インプット キャプチャ0C ・コンペアマッチ /インプット キャプチャ0D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ1A ・コンペアマッチ /インプット キャプチャ1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ2A ・コンペアマッチ /インプット キャプチャ2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ3A ・コンペアマッチ /インプット キャプチャ3B ・コンペアマッチ /インプット キャプチャ3D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ4A ・コンペアマッチ /インプット キャプチャ4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ5A ・コンペアマッチ /インプット キャプチャ5B ・オーバフロー ・アンダフロー

# 11. 16 ビットタイマパルスユニット (TPU)

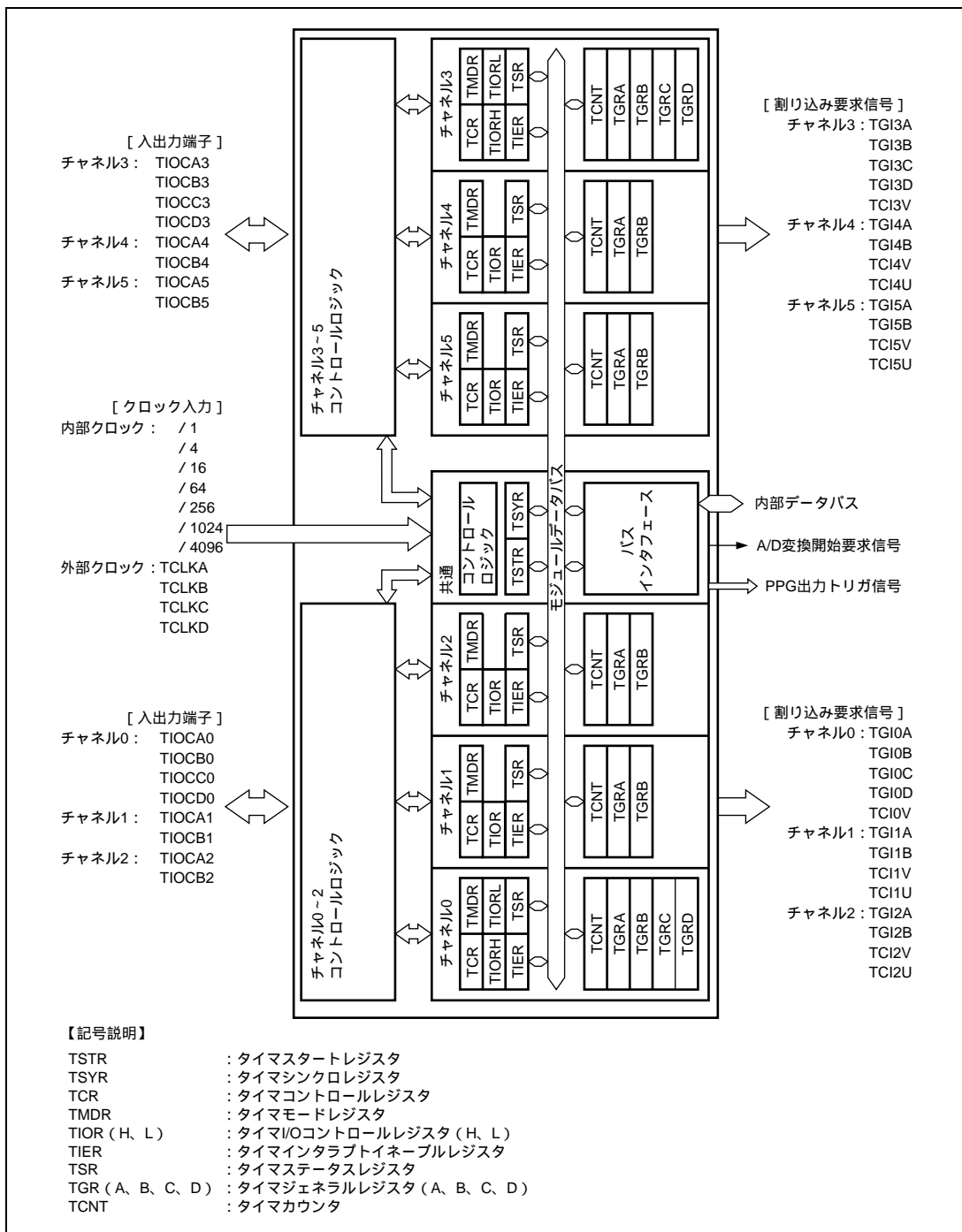


図 11.1 TPU のブロック図



## 11.2 入出力端子

表 11.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

### 11.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。

- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマモードレジスタ\_0 (TMDR\_0)
- タイマI/OコントロールレジスタH\_0 (TIORH\_0)
- タイマI/OコントロールレジスタL\_0 (TIORL\_0)
- タイマインタラプトイネーブルレジスタ\_0 (TIER\_0)
- タイマステータスレジスタ\_0 (TSR\_0)
- タイマカウンタ\_0 (TCNT\_0)
- タイマジェネラルレジスタA\_0 (TGRA\_0)
- タイマジェネラルレジスタB\_0 (TGRB\_0)
- タイマジェネラルレジスタC\_0 (TGRC\_0)
- タイマジェネラルレジスタD\_0 (TGRD\_0)
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマモードレジスタ\_1 (TMDR\_1)
- タイマI/Oコントロールレジスタ\_1 (TIOR\_1)
- タイマインタラプトイネーブルレジスタ\_1 (TIER\_1)
- タイマステータスレジスタ\_1 (TSR\_1)
- タイマカウンタ\_1 (TCNT\_1)
- タイマジェネラルレジスタA\_1 (TGRA\_1)
- タイマジェネラルレジスタB\_1 (TGRB\_1)
- タイマコントロールレジスタ\_2 (TCR\_2)
- タイマモードレジスタ\_2 (TMDR\_2)
- タイマI/Oコントロールレジスタ\_2 (TIOR\_2)
- タイマインタラプトイネーブルレジスタ\_2 (TIER\_2)
- タイマステータスレジスタ\_2 (TSR\_2)
- タイマカウンタ\_2 (TCNT\_2)
- タイマジェネラルレジスタA\_2 (TGRA\_2)
- タイマジェネラルレジスタB\_2 (TGRB\_2)
- タイマコントロールレジスタ\_3 (TCR\_3)
- タイマモードレジスタ\_3 (TMDR\_3)
- タイマI/OコントロールレジスタH\_3 (TIORH\_3)

- タイマI/OコントロールレジスタL\_3 (TIORL\_3)
- タイマインタラプトイネーブルレジスタ\_3 (TIER\_3)
- タイマステータスレジスタ\_3 (TSR\_3)
- タイマカウンタ\_3 (TCNT\_3)
- タイマジェネラルレジスタA\_3 (TGRA\_3)
- タイマジェネラルレジスタB\_3 (TGRB\_3)
- タイマジェネラルレジスタC\_3 (TGRC\_3)
- タイマジェネラルレジスタD\_3 (TGRD\_3)
- タイマコントロールレジスタ\_4 (TCR\_4)
- タイマモードレジスタ\_4 (TMDR\_4)
- タイマI/Oコントロールレジスタ\_4 (TIOR\_4)
- タイマインタラプトイネーブルレジスタ\_4 (TIER\_4)
- タイマステータスレジスタ\_4 (TSR\_4)
- タイマカウンタ\_4 (TCNT\_4)
- タイマジェネラルレジスタA\_4 (TGRA\_4)
- タイマジェネラルレジスタB\_4 (TGRB\_4)
- タイマコントロールレジスタ\_5 (TCR\_5)
- タイマモードレジスタ\_5 (TMDR\_5)
- タイマI/Oコントロールレジスタ\_5 (TIOR\_5)
- タイマインタラプトイネーブルレジスタ\_5 (TIER\_5)
- タイマステータスレジスタ\_5 (TSR\_5)
- タイマカウンタ\_5 (TCNT\_5)
- タイマジェネラルレジスタA\_5 (TGRA\_5)
- タイマジェネラルレジスタB\_5 (TGRB\_5)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

## 11. 16 ビットタイムパルスユニット (TPU)

### 11.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 11.3、表 11.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0
3	CKEG0	0	R/W	<p>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: /4 の両エッジ = /2 の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。</p> <p>00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント</p> <p>【記号説明】X: Don't care</p>
2	TPSC2	0	R/W	タイムプリスケール 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.5 ~ 表 11.10 を参照してください。
0	TPSC0	0	R/W	

表 11.3 CCLR2 ~ CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コン

## 11. 16 ビットタイマパルスユニット (TPU)

ペアマッチ/インพุットキャプチャが発生しないため、TCNT はクリアされません。

表 11.4 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 \*1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

\*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 11.5 TPSC2~TPSC0(チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.6 TPSC2~TPSC0(チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : /256 でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】チャンネル 1 が位相計数モード時、この設定は無効になります。

## 11. 16ビットタイムパルスユニット (TPU)

表 11.7 TPSC2~TPSC0(チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	内部クロック： /1024 でカウント

【注】チャンネル2 が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0(チャンネル3)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	内部クロック： /1024 でカウント
	1	1	0	内部クロック： /256 でカウント
	1	1	1	内部クロック： /4096 でカウント

表 11.9 TPSC2~TPSC0(チャンネル4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKC 端子入力でカウント
	1	1	0	内部クロック： /1024 でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】チャンネル4 が位相計数モード時、この設定は無効になります。

表 11.10 TPSC2 ~ TPSC0 (チャンネル 5)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック： TCLKA 端子入力でカウント
	1	0	1	外部クロック： TCLKC 端子入力でカウント
	1	1	0	内部クロック： /256 でカウント
	1	1	1	外部クロック： TCLKD 端子入力でカウント

【注】チャンネル 5 が位相計数モード時、この設定は無効になります。

### 11.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	1		リザーブ
6	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0： TGRB は通常動作 1： TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0： TGRA は通常動作 1： TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3 ~ 0 MD3 ~ MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライト時には常に 0 としてください。 詳細は表 11.11 を参照してください。
2	MD2	0		
1	MD1	0		
0	MD0	0		

## 11. 16ビットタイマパルスユニット (TPU)

表 11.11 MD3～MD0

ビット3	ビット2	ビット1	ビット0	説 明
MD3* <sup>1</sup>	MD2* <sup>2</sup>	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	

【記号説明】 x : Don't care

【注】 \*1 MD3はリザーブビットです。ライト時には常に0としてください。

\*2 チャンネル0、3では、位相計数モードの設定はできません。MD2には常に0をライトしてください。

### 11.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル0、3 に各 2 本、チャンネル1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH\_0、TIOR\_1、TIOR\_2、TIORH\_3、TIOR\_4、TIOR\_5

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3～B0 TGRB の機能を設定します。詳細は表 11.12、表 11.14、表 11.15、表 11.16、表 11.18、表 11.19 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3～A0 TGRA の機能を設定します。詳細は表 11.20、表 11.22、表 11.23、表 11.24、表 11.26、表 11.27 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	



11. 16 ビットタイムパルスユニット (TPU)

• TIORL\_0、TIORL\_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3 ~ D0 TGRD の機能を設定します。詳細は表 11.13、表 11.17 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3 ~ C0 TGRC の機能を設定します。詳細は表 11.21、表 11.25 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 11.12 TIORH\_0

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 X : Don't care

## 11. 16 ビットタイマパルスユニット (TPU)

【注】 \* TCR\_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_1 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 11.13 TIORL\_0

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>2</sup>	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0		インプットキャプチャレジスタ* <sup>2</sup>
1	0	0	1	キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ	
1	0	1	X	キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ	
1	1	X	X	キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ* <sup>1</sup>	

【記号説明】 X : Don't care

【注】 \*1 TCR\_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_1 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

\*2 TMDR\_0 の BFB ビットを 1 にセットして TGRD\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.14 TIOR\_1

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	X	X		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

## 11. 16ビットタイマパルスユニット (TPU)

表 11.15 TIOR\_2

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.16 TIORH\_3

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 X : Don't care

【注】\* TCR\_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_4 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.17 TIORL\_3

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>2</sup>	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* <sup>2</sup>	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ* <sup>1</sup>

【記号説明】 X : Don't care

【注】 \*1 TCR\_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_4 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

\*2 TMDR\_3 の BFB ビットを 1 にセットして TGRD\_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.18 TIOR\_4

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRC_3 コンペアマッチ/イン プットキャプチャ TGRC_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

## 11. 16ビットタイムパルスユニット (TPU)

表 11.19 TIOR\_5

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care



表 11.20 TIORH\_0

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	1	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	0	0		キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.21 TIORL\_0

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 \* TMDR\_0 の BFA ビットを 1 にセットして TGRC\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.22 TIOR\_1

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_0 コンペアマッチ/イン プットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ/インプット キャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

## 11. 16ビットタイムパルスユニット (TPU)

表 11.23 TIOR\_2

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.24 TIORH\_3

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.25 TIORL\_3

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 \* TMDR\_3 の BFA ビットを 1 にセットして TGRC\_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.26 TIOR\_4

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_3 コンペアマッチ/イン プットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

## 11. 16ビットタイマパルスユニット (TPU)

表 11.27 TIOR\_5

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_5の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care



### 11.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると 1 がリードされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGF D ビットが 1 にセットされたとき、TGF D ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGF D ビットによる割り込み要求 (TGID) を禁止 1 : TGF D ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

## 11. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説 明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求(TGIB)を禁止 1 : TGFB ビットによる割り込み要求(TGIB)を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

### 11.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	ビット名	初期値	R/W	説 明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。 ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6		1		リザーブビット リードすると常に 1 がリードされます。ライトは無効です
5	TCFU	0	R/(W)*	アンダフローフラグ チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。 ライトは無効です。 [ セット条件 ] TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [ クリア条件 ] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R/(W)*	オーバーフローフラグ (TCFV) TCNT のオーバーフローの発生を示すステータスフラグです。 [ セット条件 ] TCNT の値がオーバーフローしたとき (H'FFFF H'0000) [ クリア条件 ] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

11. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)*	<p>インพุットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</li> <li>• TGRD がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRD に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき</li> <li>• TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</li> </ul>
2	TGFC	0	R/(W)*	<p>インพุットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき</li> <li>• TGRC がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRC に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき</li> <li>• TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</li> </ul>
1	TGFB	0	R/(W)*	<p>インพุットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき</li> <li>• TGRB がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRB に転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき</li> <li>• TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</li> </ul>

## 11. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	インプットキャプチャ/アウトプットコンペアフラグ A TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"><li>• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</li><li>• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</li></ul> [クリア条件] <ul style="list-style-type: none"><li>• TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき</li><li>• TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTE ビットが 1 のとき</li><li>• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</li></ul>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 11.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

### 11.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

### 11.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル0~5のTCNTの動作/停止を選択します。TMDRへ動作モードを設定する場合やTCRへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット
6				ライト時は必ず0としてください。
5	CST5	0	R/W	カウンタスタート5~0
4	CST4	0	R/W	TCNTの動作または停止を選択します。
3	CST3	0	R/W	TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。
2	CST2	0	R/W	CSTビットが0の状態ではTIOAへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。
1	CST1	0	R/W	
0	CST0	0	R/W	0: TCNT_5 ~ TCNT_0 のカウント動作は停止 1: TCNT_5 ~ TCNT_0 はカウント動作

### 11.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル0~5のTCNTの独立動作または同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット
6				ライト時は必ず0としてください。
5	SYNC5	0	R/W	タイマ同期5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数のTCNTの同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットの他にTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。
1	SYNC1	0	R/W	
0	SYNC0	0	R/W	0: TCNT_5 ~ TCNT_0 は独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係) 1: TCNT_5 ~ TCNT_0 は同期動作 TCNTの同期プリセット/同期クリアが可能

## 11.4 動作説明

### 11.4.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (1) カウンタの動作

TSTRのCST0～CST5ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図11.2に示します。

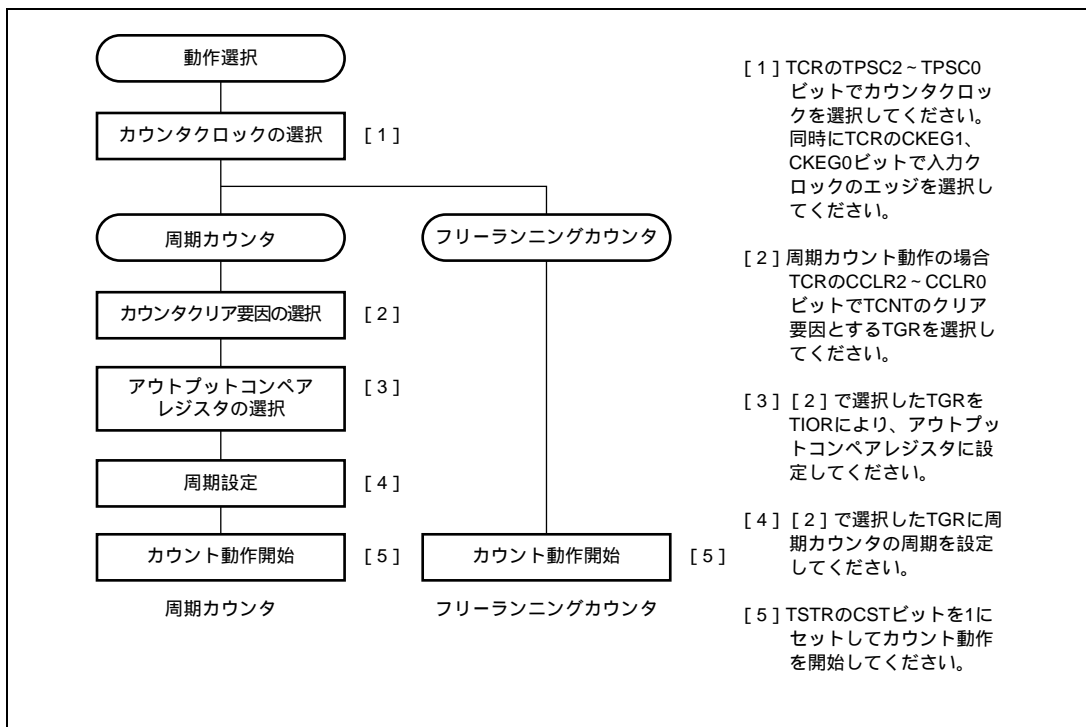


図 11.2 カウンタ動作設定手順例

## (b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 11.3 に示します。

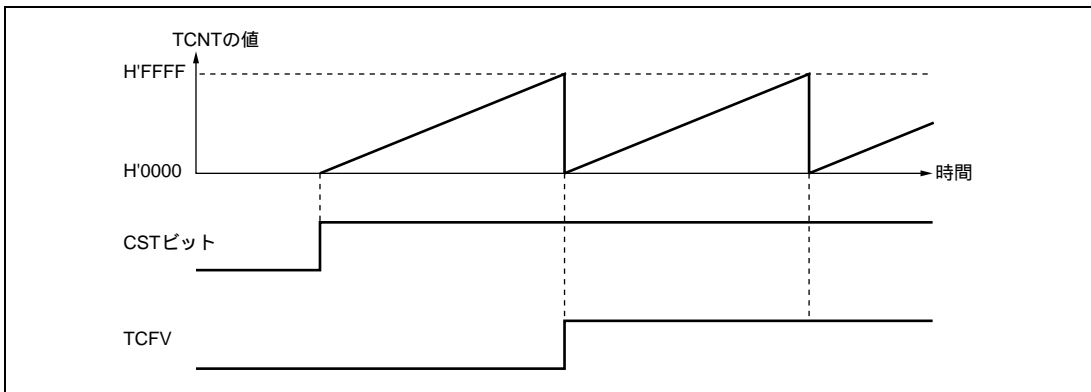


図 11.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 11.4 に示します。

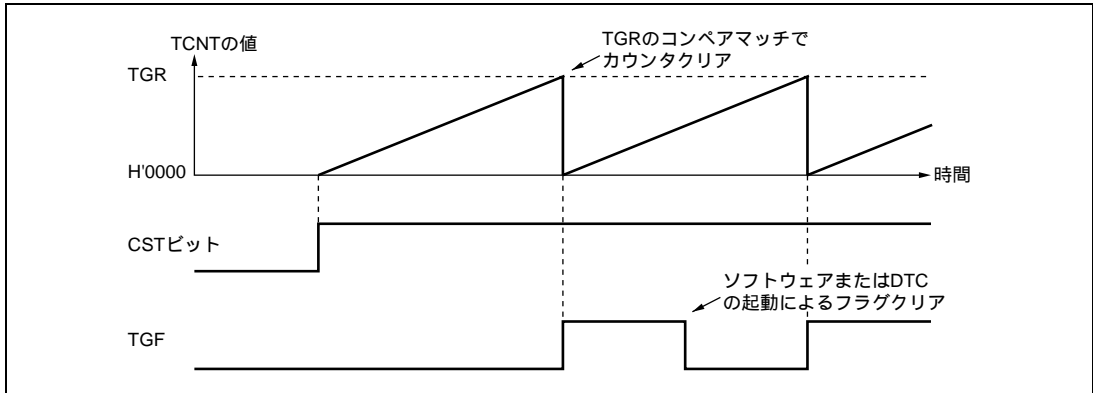


図 11.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.5 に示します。

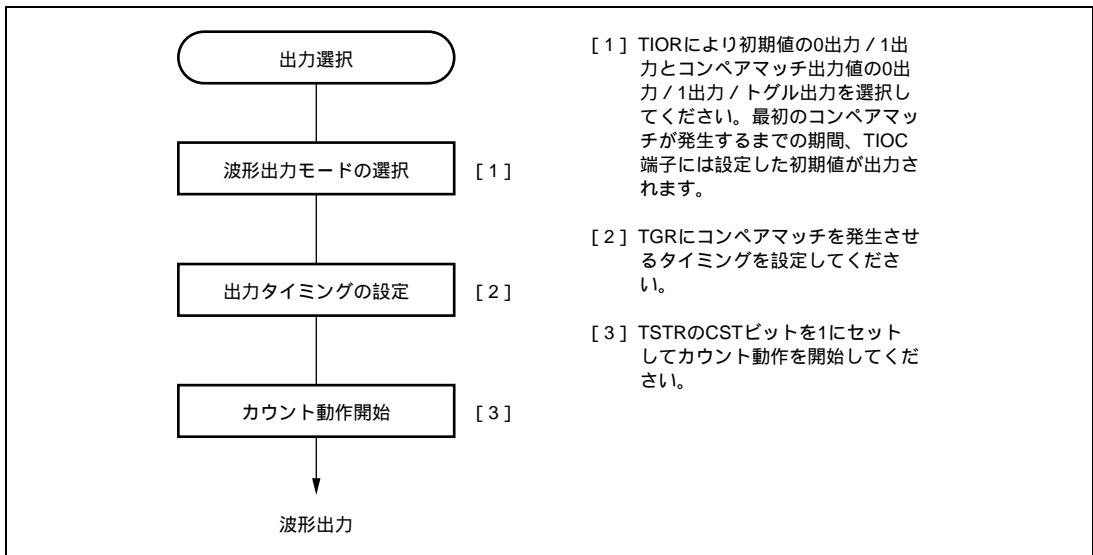


図 11.5 コンペアマッチによる波形出力動作例



## (b) 波形出力動作例

0出力/1出力例を図11.6に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチAにより1出力、コンペアマッチBにより0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

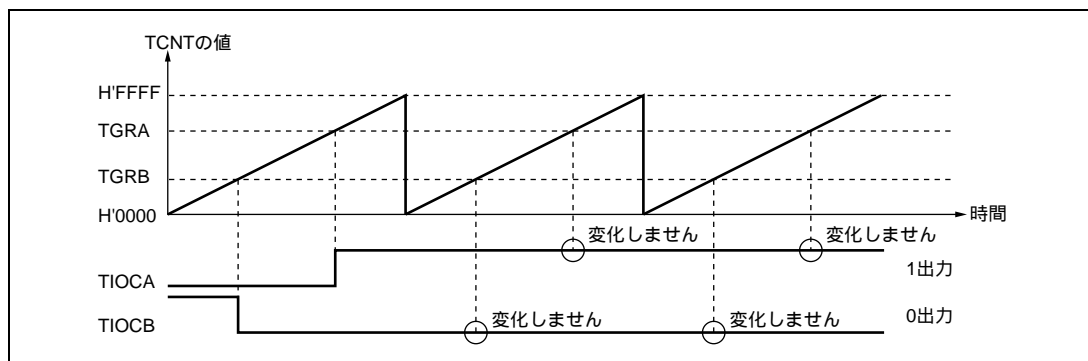


図 11.6 0出力/1出力の動作例

トグル出力の例を図11.7に示します。

TCNTを周期カウント動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

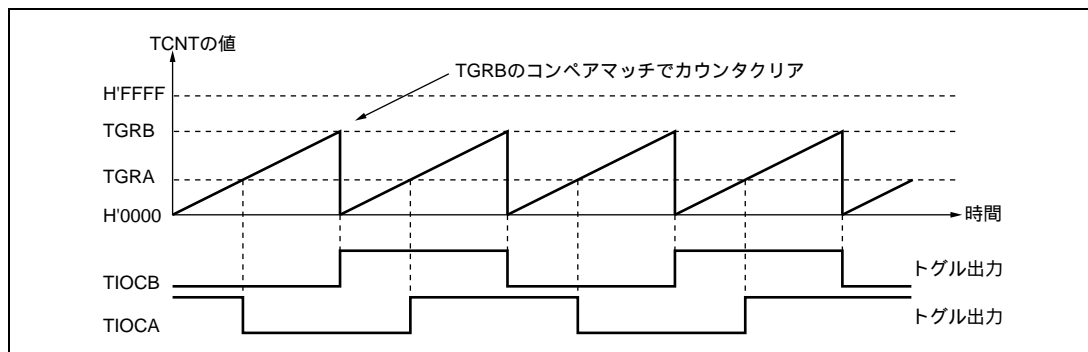


図 11.7 トグル出力の動作例

## 11. 16 ビットタイマパルスユニット (TPU)

### (3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル0、1、3、4は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル0、3で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに /1 を選択しないでください。 /1 を選択した場合は、インพุットキャプチャは発生しません。

#### (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 11.8 に示します。

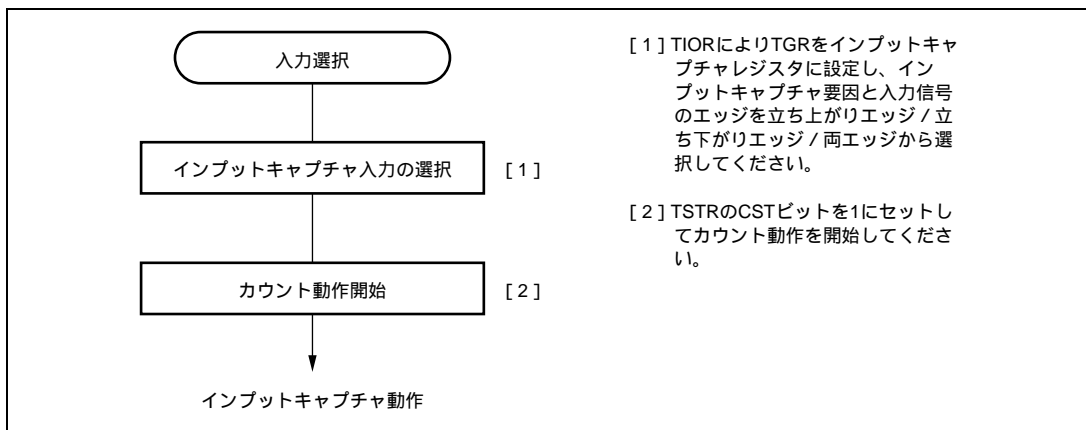


図 11.8 インพุットキャプチャ動作の設定例

#### (b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.9 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

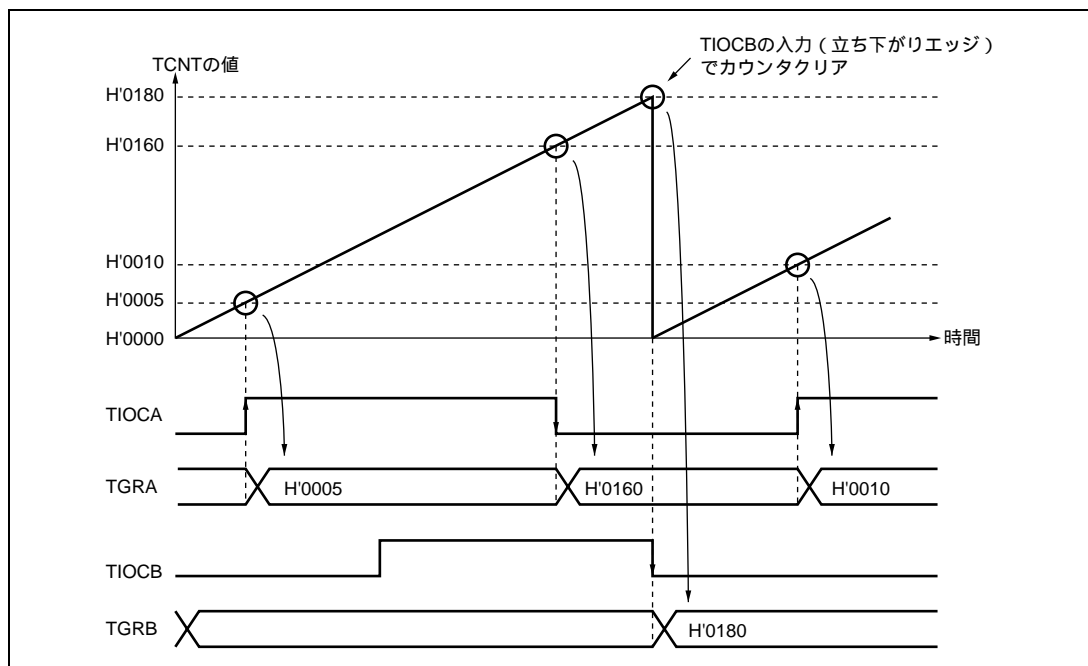


図 11.9 インプットキャプチャ動作例

### 11.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図 11.10 に示します。

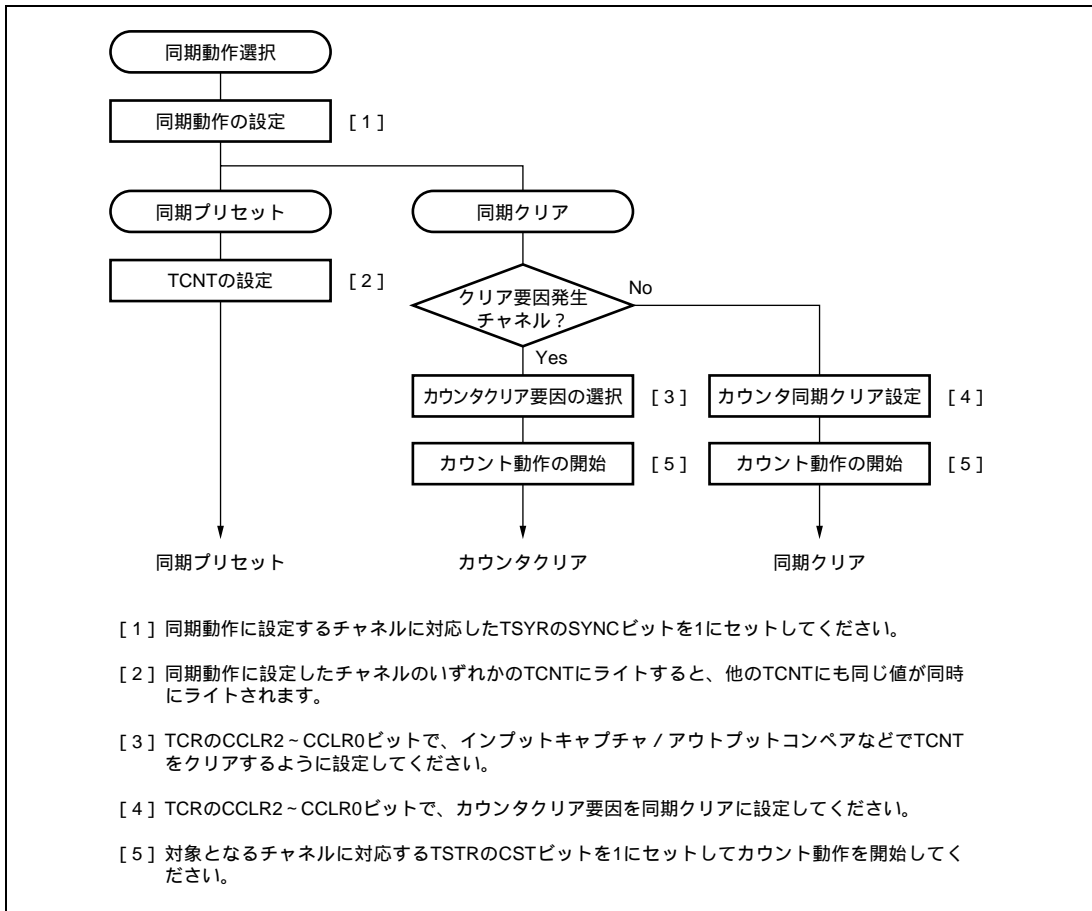


図 11.10 同期動作の設定手順例

( 2 ) 同期動作の例

同期動作の例を図 11.11 に示します。

チャンネル0～2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGRB\_0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、チャンネル0～2のTCNTは同期プリセット、TGRB\_0のコンペアマッチによる同期クリアを行い、TGRB\_0に設定したデータがPWM周期となります。

PWMモードについては、「11.4.5 PWMモード」を参照してください。

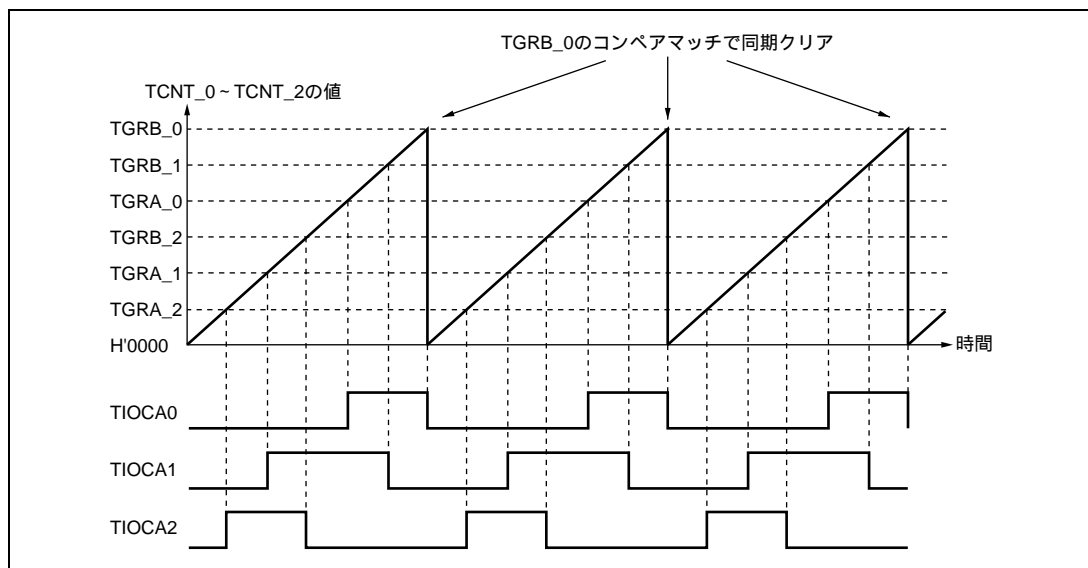


図 11.11 同期動作の動作例

### 11.4.3 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 11.28 にバッファ動作時のレジスタの組み合わせを示します。

表 11.28 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

#### •TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 11.12 に示します。

## 11. 16ビットタイマパルスユニット(TPU)

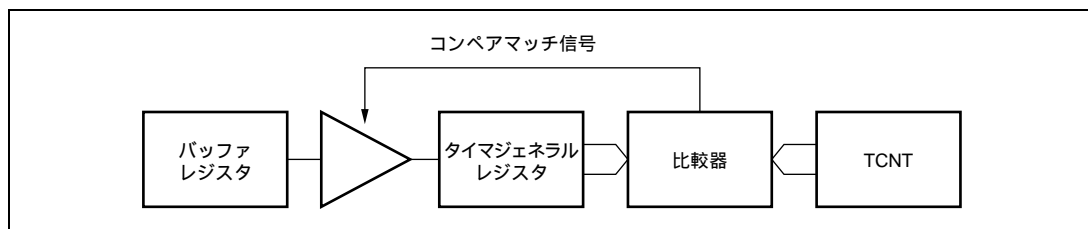


図 11.12 コンペアマッチバッファ動作

### •TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 11.13 に示します。

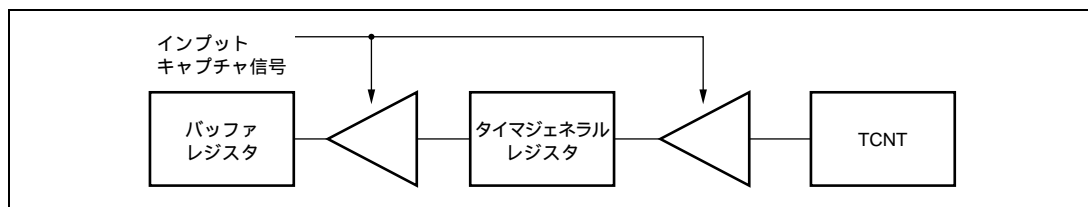


図 11.13 インプットキャプチャバッファ動作

### (1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.14 に示します。

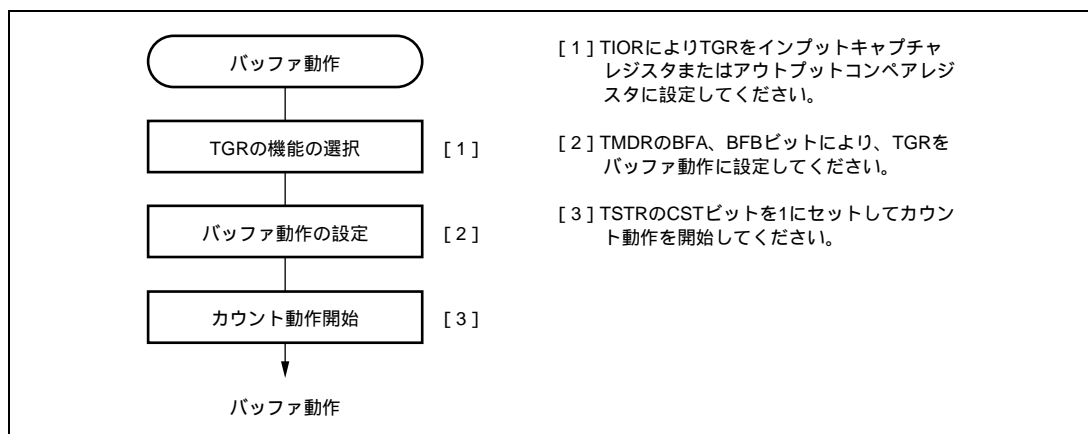


図 11.14 バッファ動作の設定手順例

## (2) バッファ動作例

## (a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図11.15に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイムジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「11.4.5 PWMモード」を参照してください。

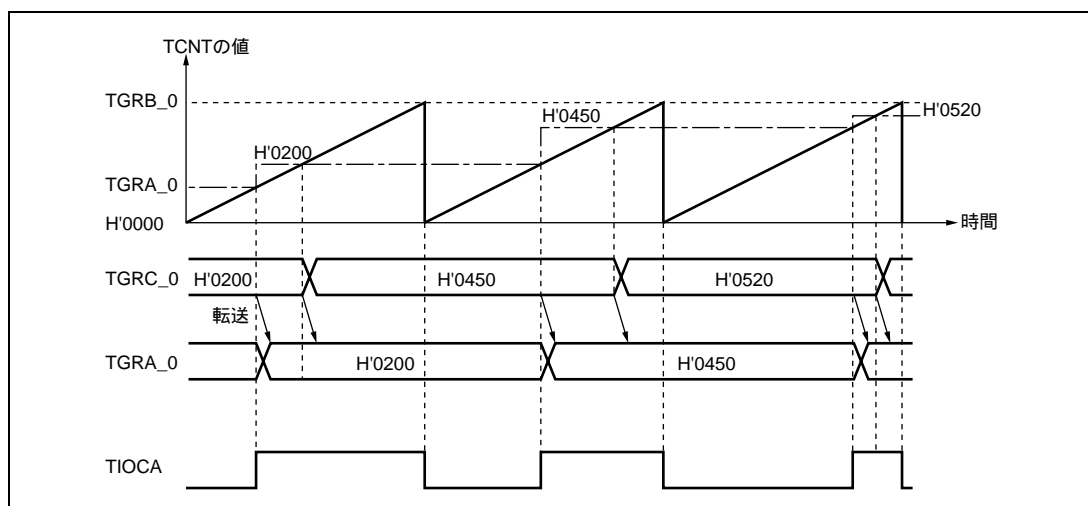


図 11.15 バッファ動作例 (1)

## (b) TGR がインプットキャプチャレジスタの場合

TGRAをインプットキャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図11.16に示します。

TCNTはTGRAのインプットキャプチャでカウンタクリア、TIOCA端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

## 11. 16 ビットタイマパルスユニット (TPU)

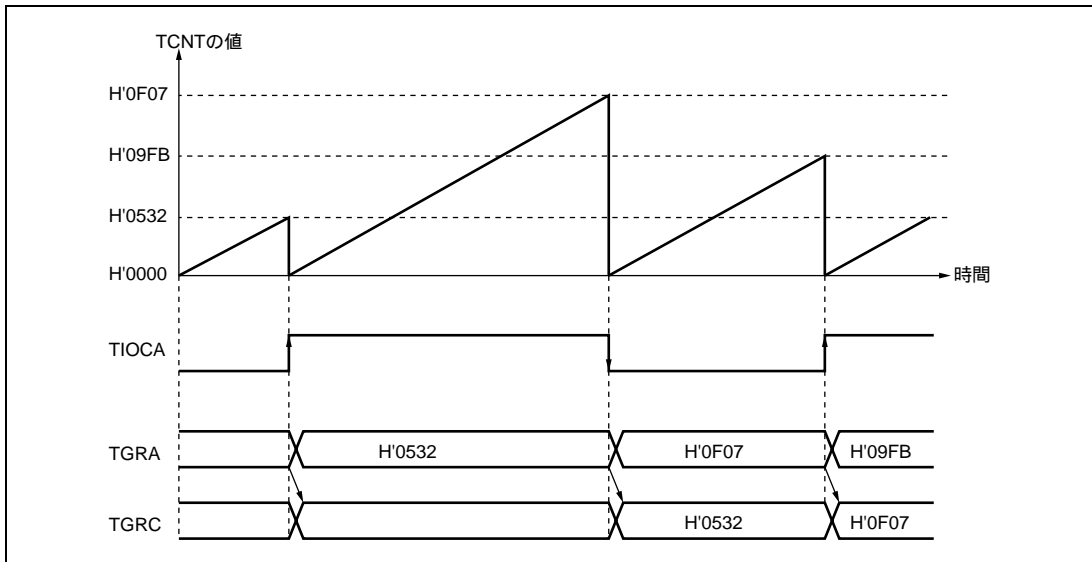


図 11.16 バッファ動作例 (2)

### 11.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 (チャンネル 4) のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT<sub>x</sub> (TCNT<sub>5</sub>) のオーバフロー/アンダフローでカウンタに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 11.29 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 11.29 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT <sub>1</sub>	TCNT <sub>2</sub>
チャンネル 4 とチャンネル 5	TCNT <sub>4</sub>	TCNT <sub>5</sub>

#### (1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.17 に示します。



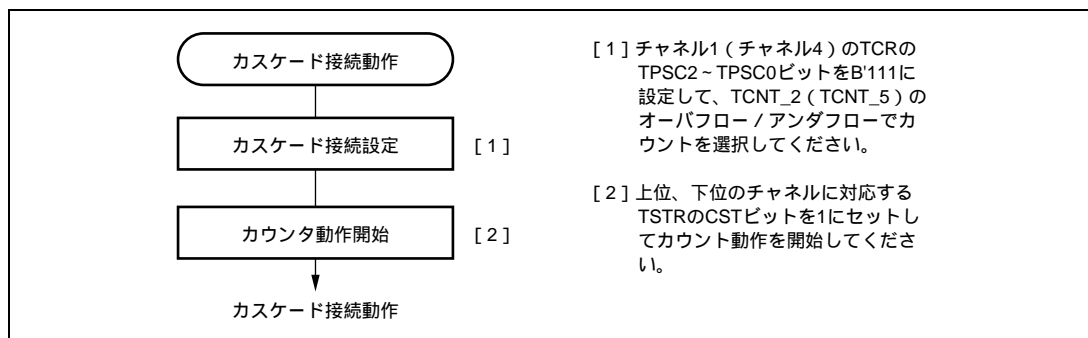


図 11.17 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT\_1 は TCNT\_2 のオーバーフロー/アンダフローでカウント、TGRA\_1 と TGRA\_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 11.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA\_1 に上位 16 ビット、TGRA\_2 に下位 16 ビットの 32 ビットデータが転送されます。

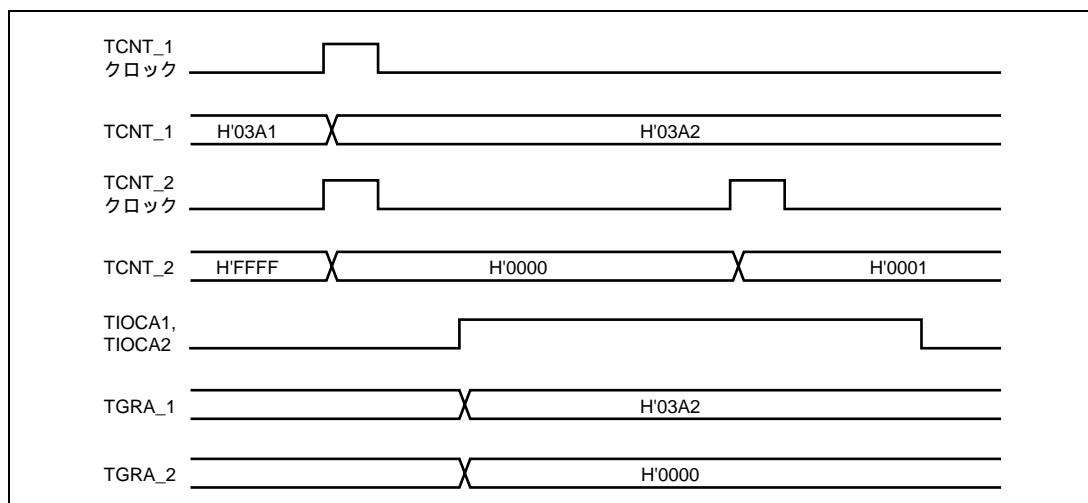


図 11.18 カスケード接続動作例 (1)

TCNT\_1 は TCNT\_2 のオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 11.19 に示します。

TCNT\_1 は、TCNT\_2 のオーバーフローでアップカウント、TCNT\_2 のアンダフローでダウンカウントされます。

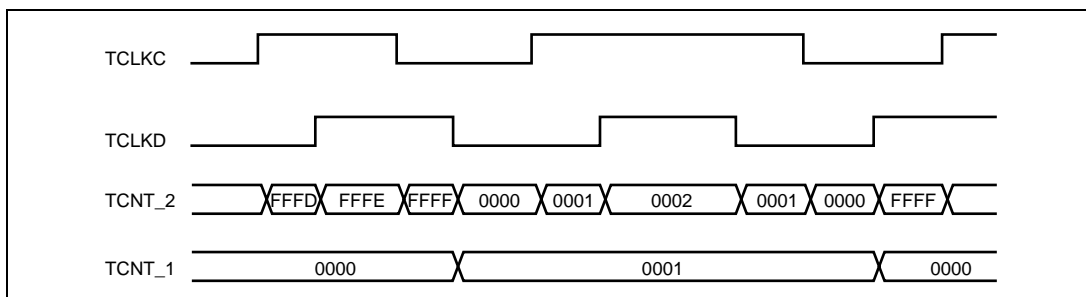


図 11.19 カスケード接続動作例 (2)

### 11.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

#### ( a ) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

#### ( b ) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.30 に示します。

表 11.30 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

## 11. 16 ビットタイマパルスユニット (TPU)

### ( 1 ) PWM モードの設定手順例

PWM モードの設定手順例を図 11.20 に示します。

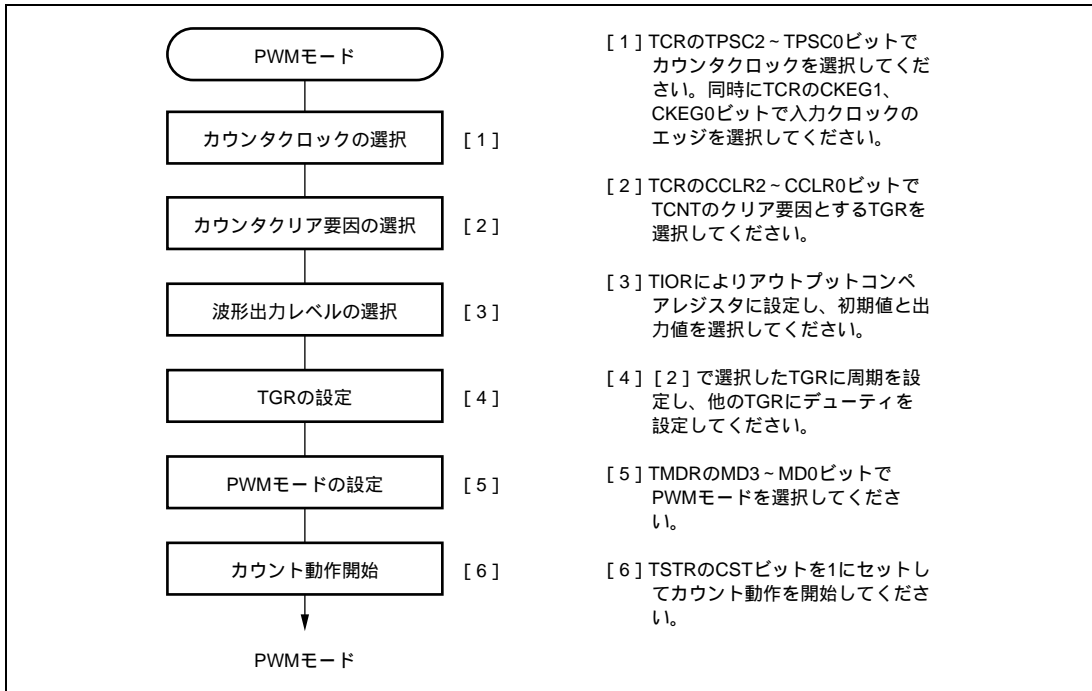


図 11.20 PWM モードの設定手順例

### ( 2 ) PWM モードの動作例

PWM モード 1 の動作例を図 11.21 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

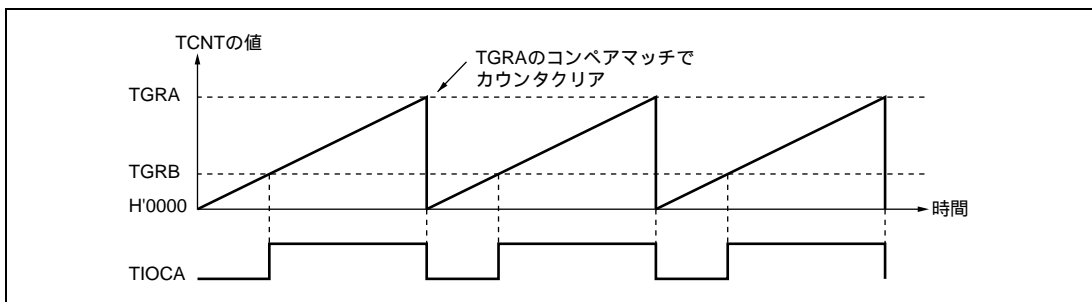


図 11.21 PWM モードの動作例 ( 1 )

PWM モード2の動作例を図 11.22 に示します。

この図は、チャンネル0と1を同期動作させ、TCNTのクリア要因をTGRB\_1のコンペアマッチとし、他のTGR (TGRA\_0~TGRD\_0, TGRA\_1)の初期出力値を0、出力値を1に設定して5相のPWM波形を出力させた場合の例です。

この場合、TGRB\_1に設定した値が周期となり、他のTGRに設定した値がデューティになります。

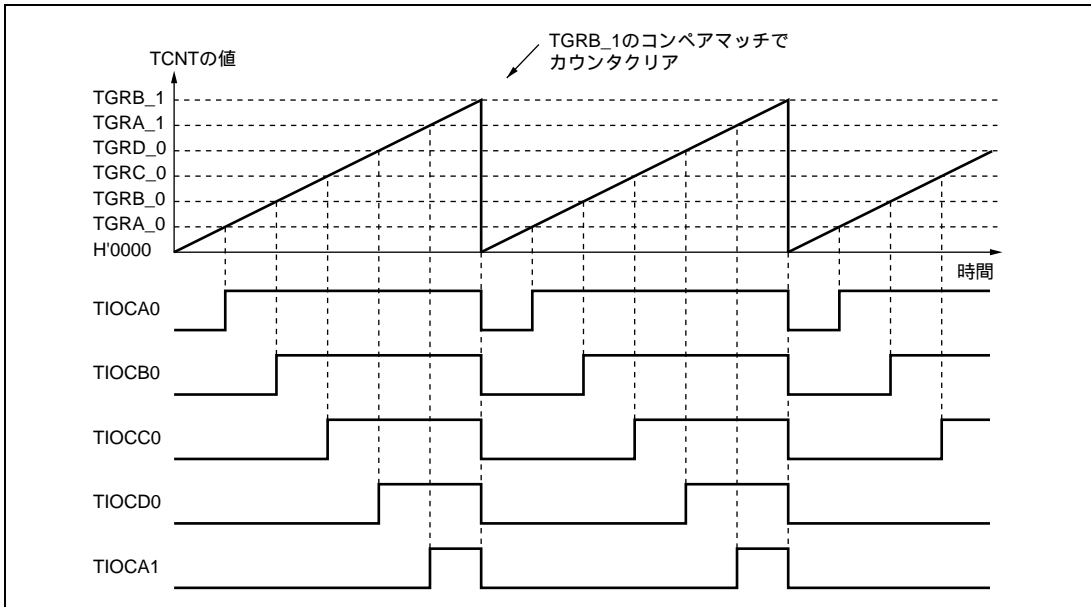


図 11.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 11.23 に示します。

11. 16ビットタイマパルスユニット (TPU)

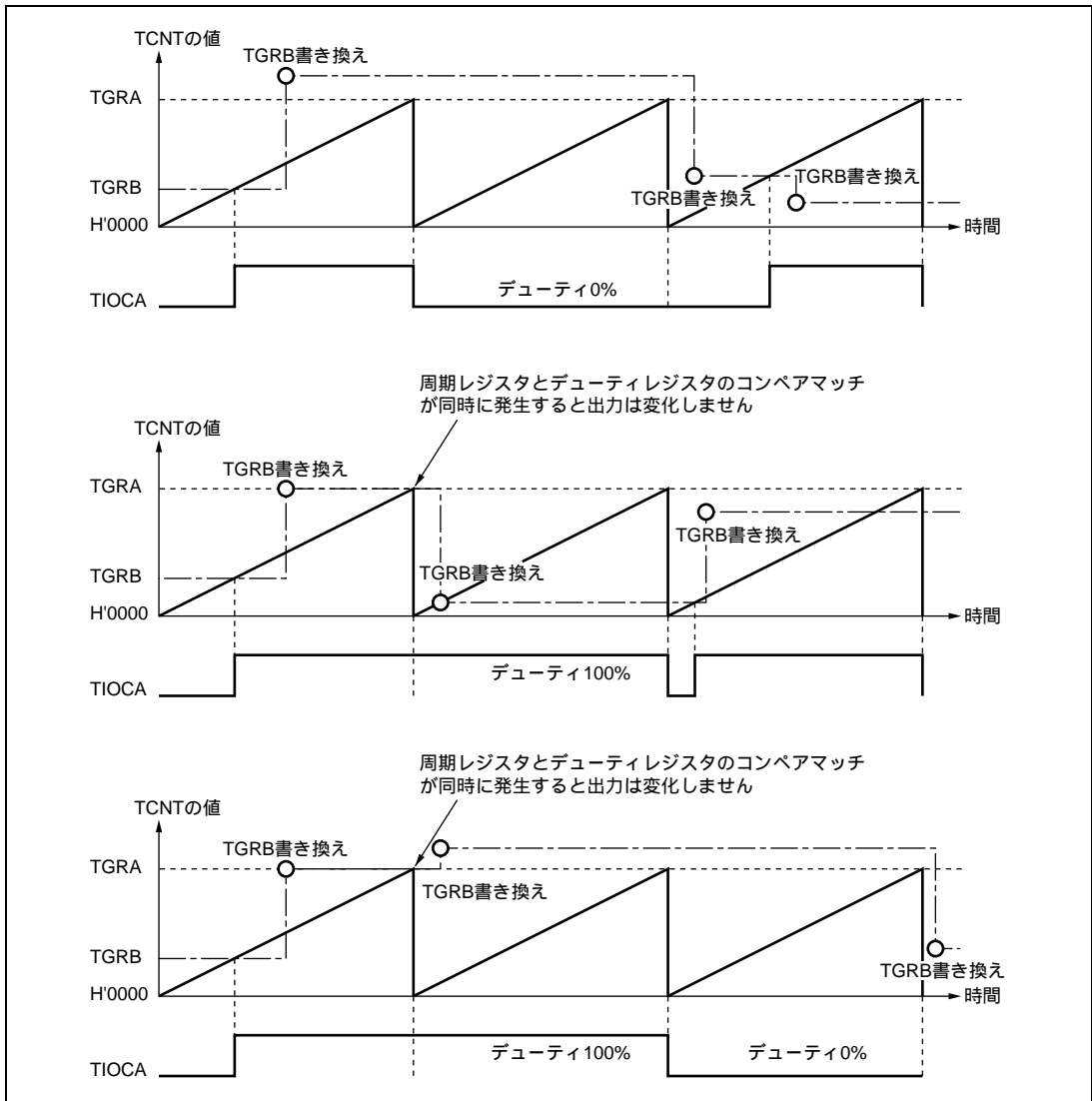


図 11.23 PWM モードの動作例 (3)

### 11.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.31 に外部クロック端子とチャンネルの対応を示します。

表 11.31 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.24 に示します。

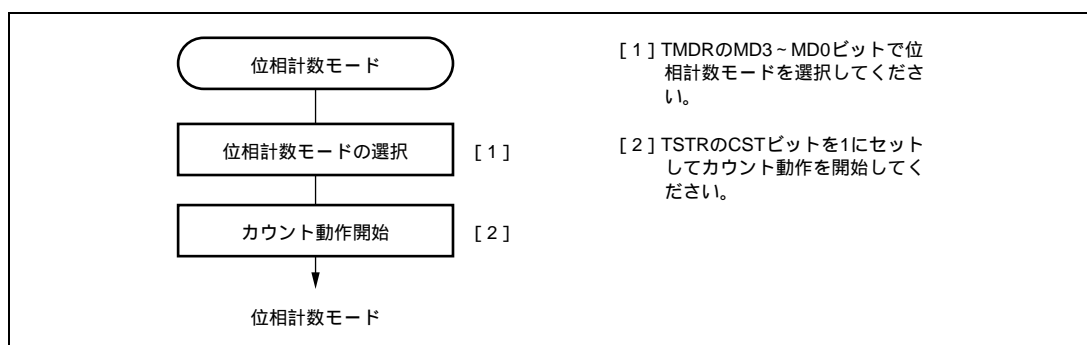


図 11.24 位相計数モードの設定手順例

## 11. 16 ビットタイマパルスユニット (TPU)

### (2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

#### (a) 位相計数モード1

位相計数モード1の動作例を図11.25に、TCNTのアップ/ダウンカウント条件を表11.32に示します。

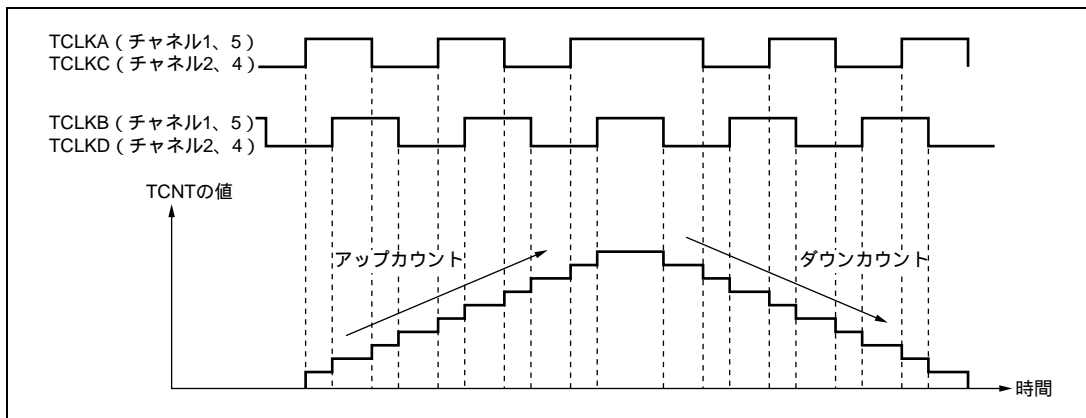


図 11.25 位相計数モード1の動作例

表 11.32 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

#### 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ



## (b) 位相計数モード2

位相計数モード2の動作例を図11.26に、TCNTのアップ/ダウンカウント条件を表11.33に示します。

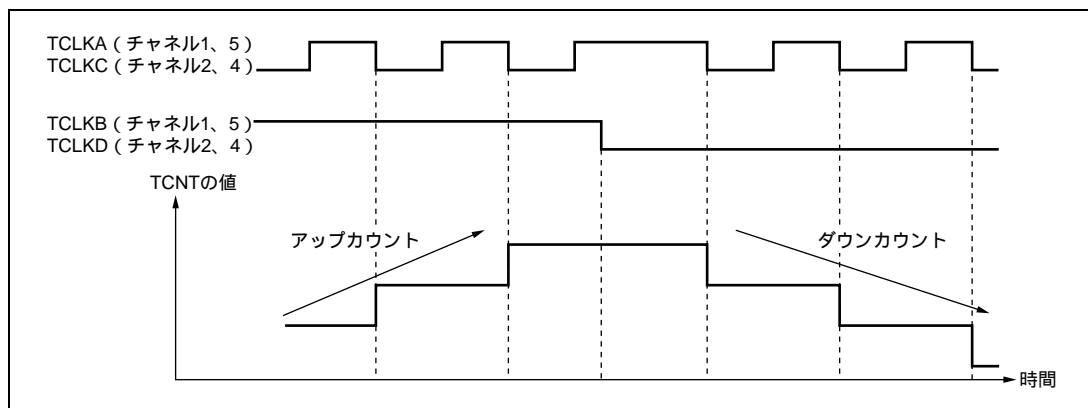


図 11.26 位相計数モード2の動作例

表 11.33 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		Don't care
Low レベル		Don't care
	Low レベル	Don't care
	High レベル	アップカウント
High レベル		Don't care
Low レベル		Don't care
	High レベル	Don't care
	Low レベル	ダウンカウント

## 【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

## 11. 16 ビットタイマパルスユニット (TPU)

### (c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.27 に、TCNT のアップ/ダウンカウント条件を表 11.34 に示します。

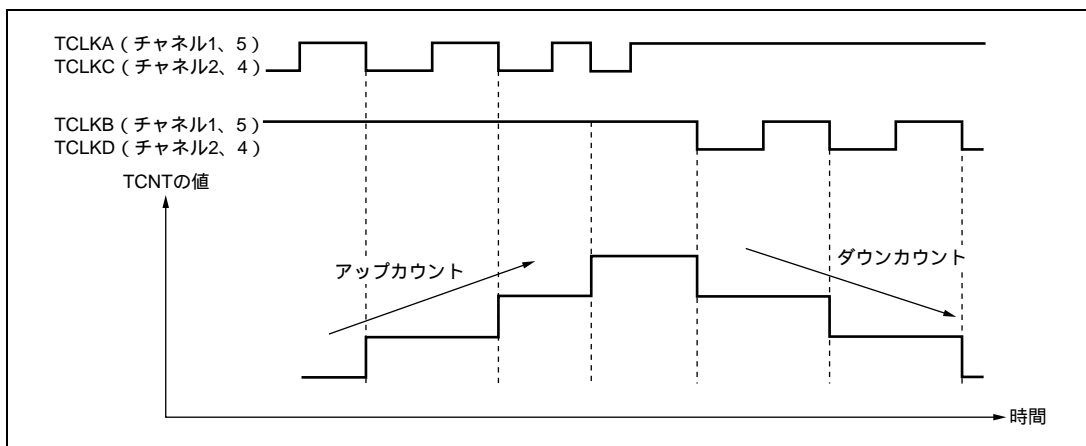


図 11.27 位相計数モード 3 の動作例

表 11.34 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	$\uparrow$	Don't care
Low レベル	$\downarrow$	Don't care
$\uparrow$	Low レベル	Don't care
$\downarrow$	High レベル	アップカウント
High レベル	$\downarrow$	ダウンカウント
Low レベル	$\uparrow$	Don't care
$\uparrow$	High レベル	Don't care
$\downarrow$	Low レベル	Don't care

#### 【記号説明】

$\uparrow$  : 立ち上がりエッジ

$\downarrow$  : 立ち下がりエッジ

## (d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.28 に、TCNT のアップ/ダウンカウント条件を表 11.35 に示します。

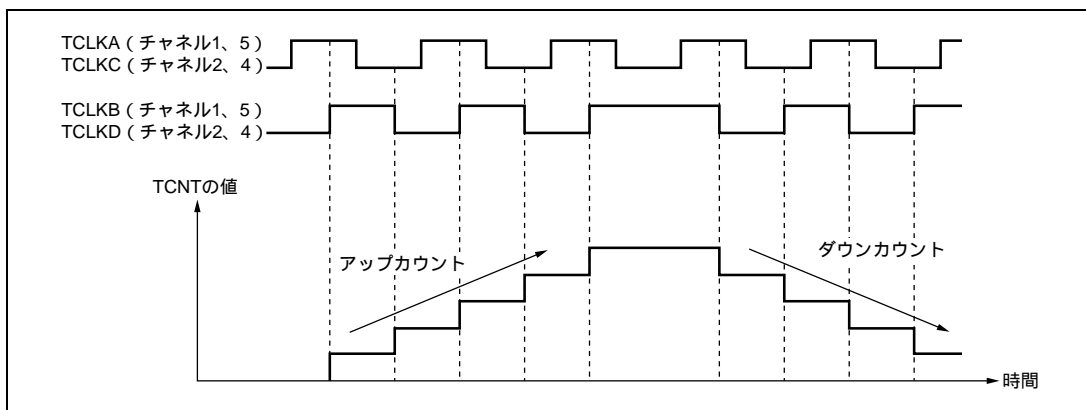


図 11.28 位相計数モード 4 の動作例

表 11.35 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

## 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

## (3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 11.29 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC\_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA\_0 と TGRC\_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB\_0 はインプットキャプチャ機能で使用し、TGRB\_0 と TGRD\_0 をバッファ動作させます。TGRB\_0 のインプットキャプチャ要因は、チャンネル 1 のカウンタ入力クロックとし、2 相エンコーダの 4 倍パルスのパルス幅を検出します。

## 11. 16 ビットタイマパルスユニット (TPU)

チャンネル1のTGRA\_1とTGRB\_1は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGRA\_0とTGRC\_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

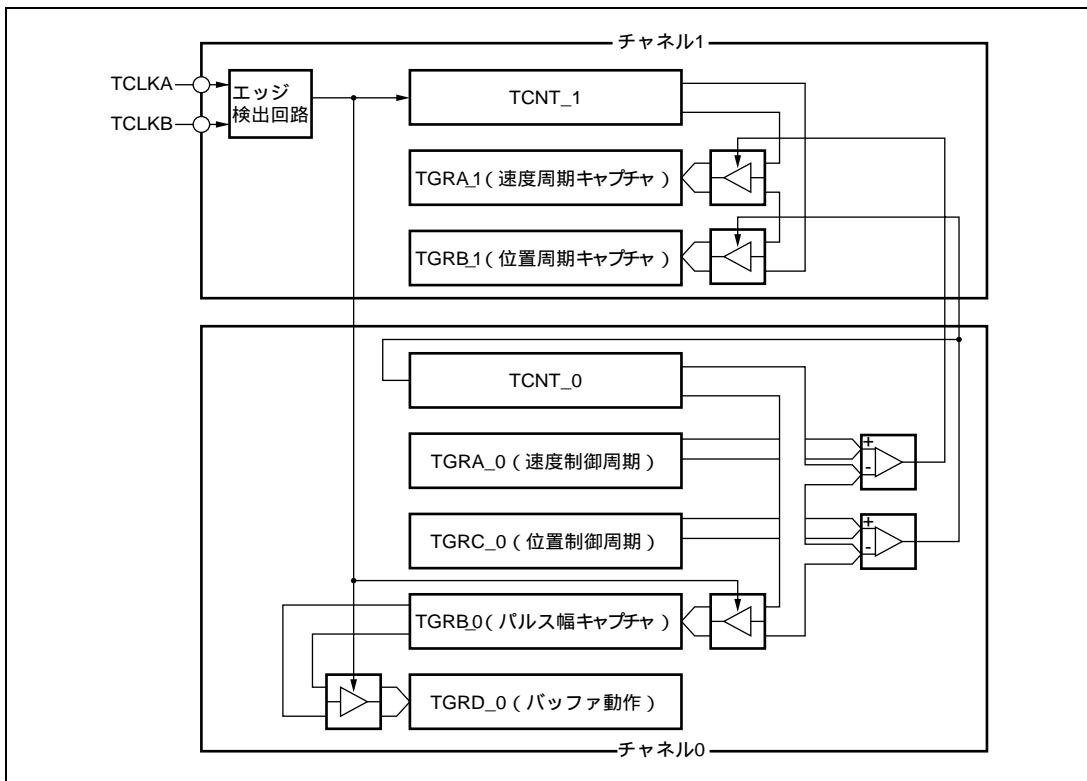


図 11.29 位相計数モードの応用例

### 11.5 割り込み要因

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第5章 割り込みコントローラ」を参照してください。

表 11.36 に TPU の割り込み要因の一覧を示します。

表 11.36 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動	DMAC の起動
0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	可
	TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	可	不可
	TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	可	不可
	TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	可	不可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	不可
1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	可
	TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	可	不可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	不可
2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	可
	TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	可	不可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	不可
3	TGI3A	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	可
	TGI3B	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	可	不可
	TGI3C	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	可	不可
	TGI3D	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	可	不可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	不可
4	TGI4A	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可	可
	TGI4B	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	可	不可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可	不可
5	TGI5A	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可	可
	TGI5B	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	可	不可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

## 11. 16ビットタイムパルスユニット (TPU)

---

### (1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

### (2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

### (3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

## 11.6 DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第9章 データトランスファコントローラ」を参照してください。

TPUでは、チャンネル0、3が各4本、チャンネル1、2、4、5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

## 11.7 DMACの起動

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「第7章 DMAコントローラ」を参照してください。

TPUでは、各チャンネルに1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

## 11.8 A/D変換器の起動

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、各チャンネル1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

## 11.9 動作タイミング

### 11.9.1 入出力タイミング

#### (1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図11.30に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図11.31に示します。

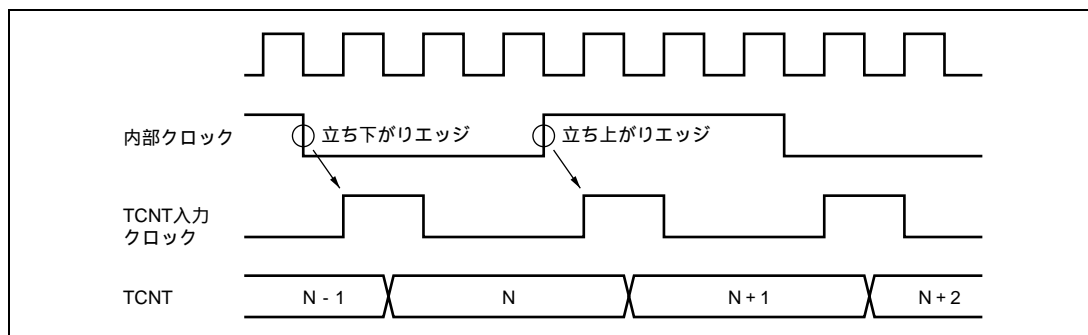


図 11.30 内部クロック動作時のカウンタタイミング

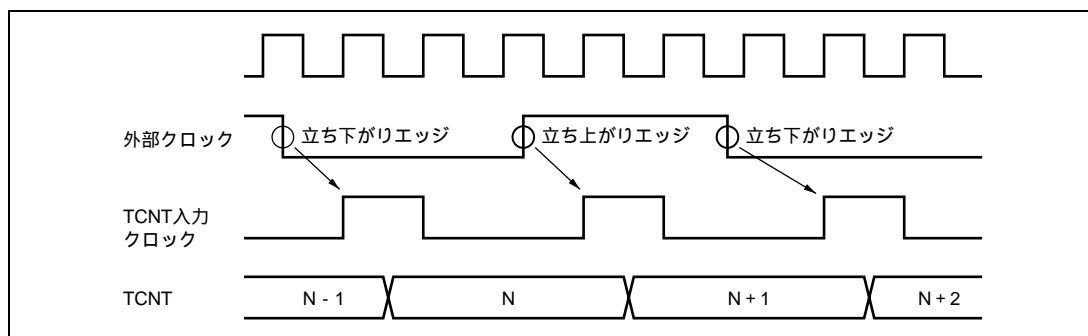


図 11.31 外部クロック動作時のカウンタタイミング

## 11. 16 ビットタイマパルスユニット (TPU)

### (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 11.32 に示します。

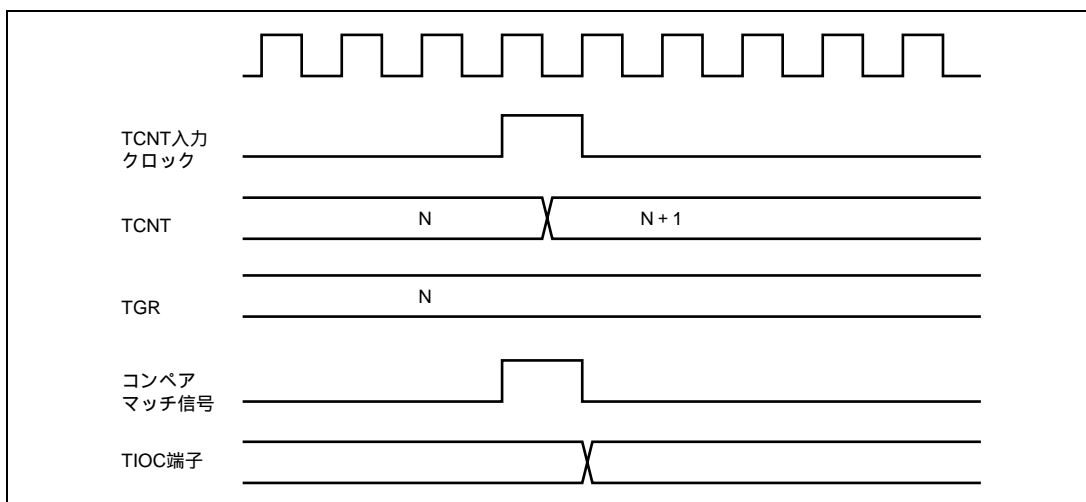


図 11.32 アウトプットコンペア出力タイミング

### (3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 11.33 に示します。

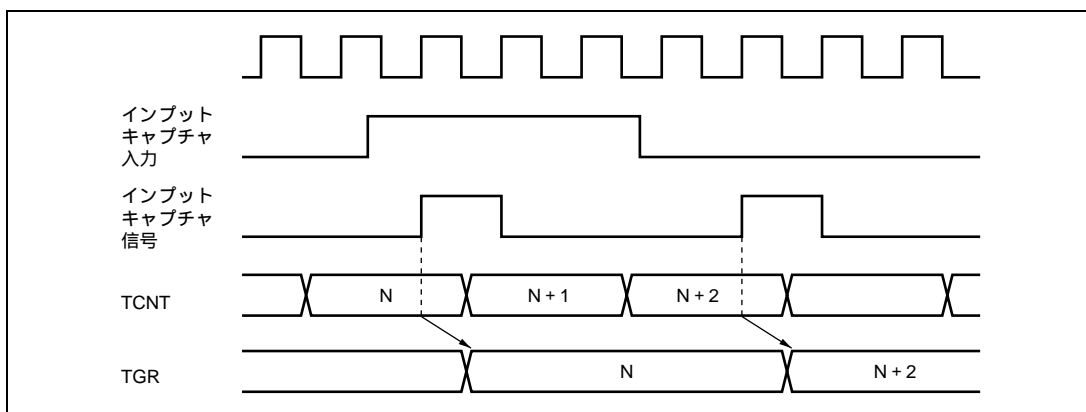


図 11.33 インプットキャプチャ入力信号タイミング



(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.35 に示します。

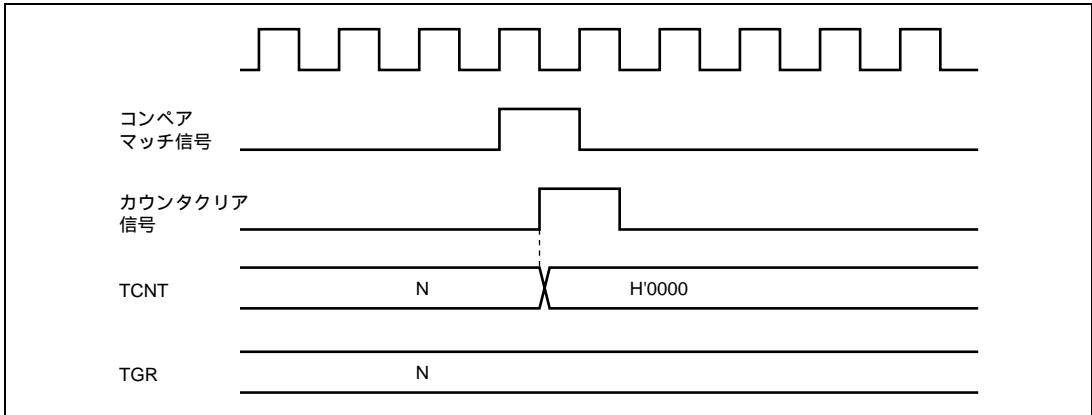


図 11.34 カウンタクリアタイミング (コンペアマッチ)

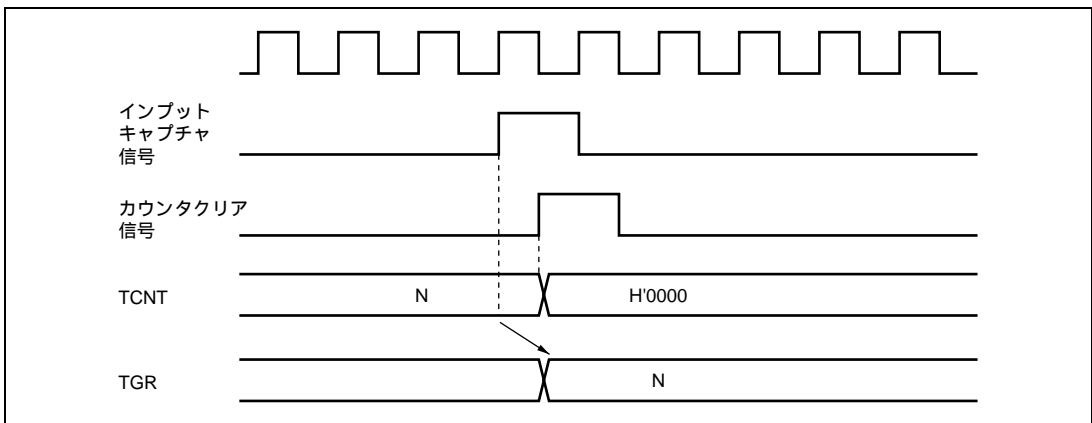


図 11.35 カウンタクリアタイミング (インプットキャプチャ)

## 11. 16ビットタイマパルスユニット (TPU)

### (5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.36、図 11.37 に示します。

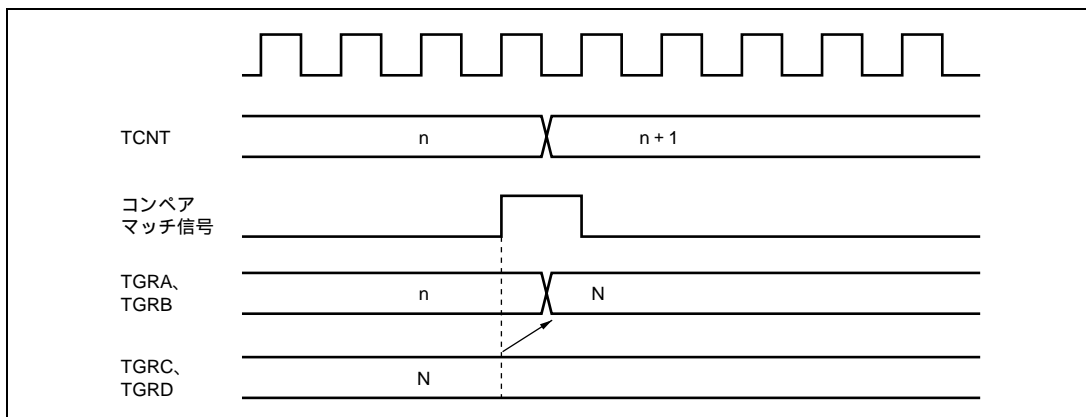


図 11.36 バッファ動作タイミング (コンペアマッチ)

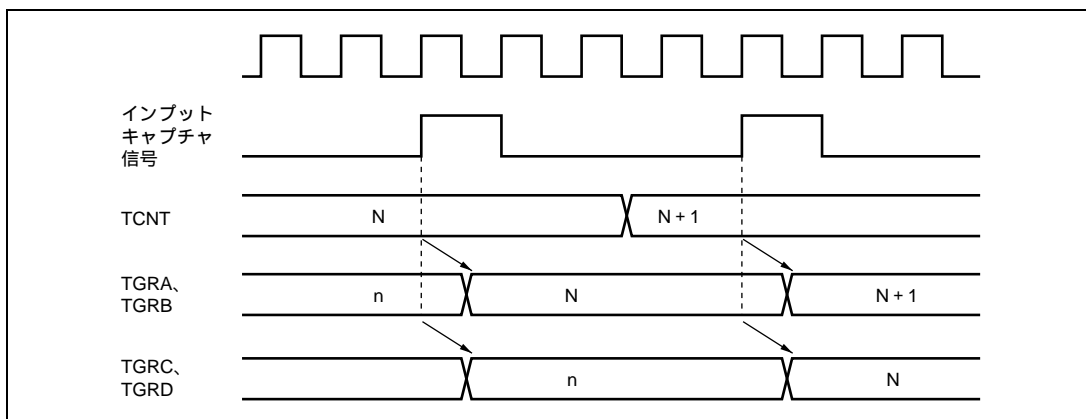


図 11.37 バッファ動作タイミング (インプットキャプチャ)

## 11.9.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.38 に示します。

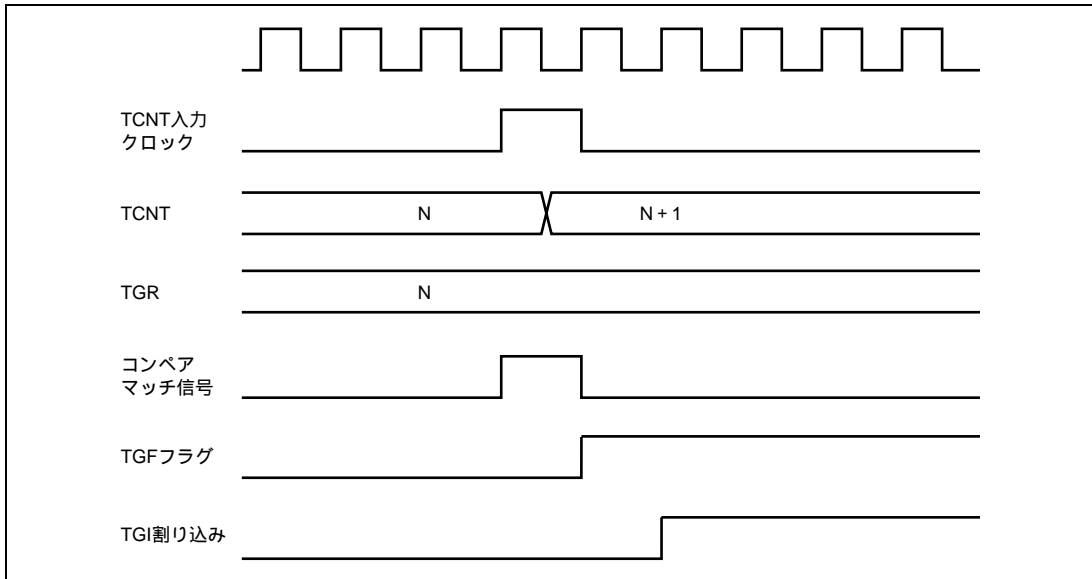


図 11.38 TGI 割り込みタイミング (コンペアマッチ)

## 11. 16 ビットタイマパルスユニット (TPU)

### (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.39 に示します。

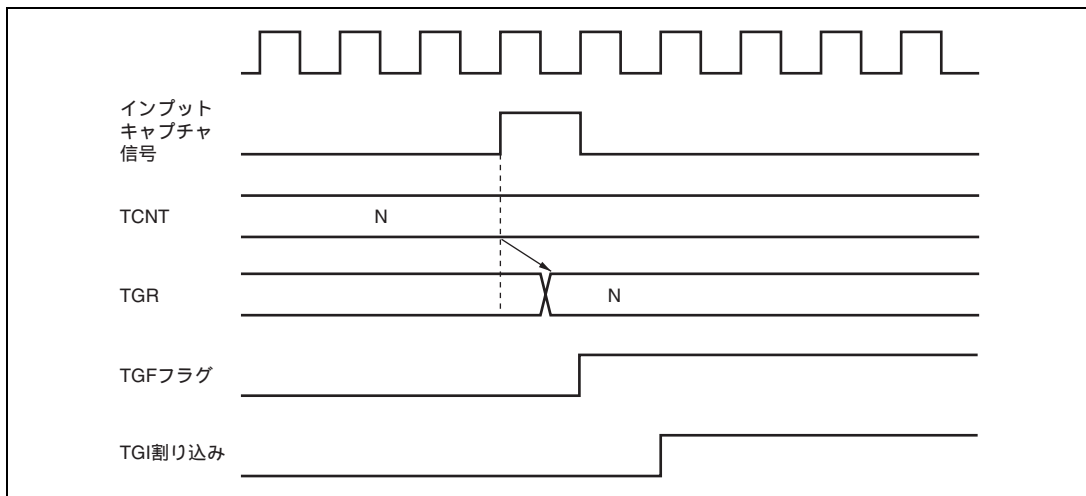


図 11.39 TGI 割り込みタイミング (インพุットキャプチャ)

## (3) TCFV フラグ/TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.41 に示します。

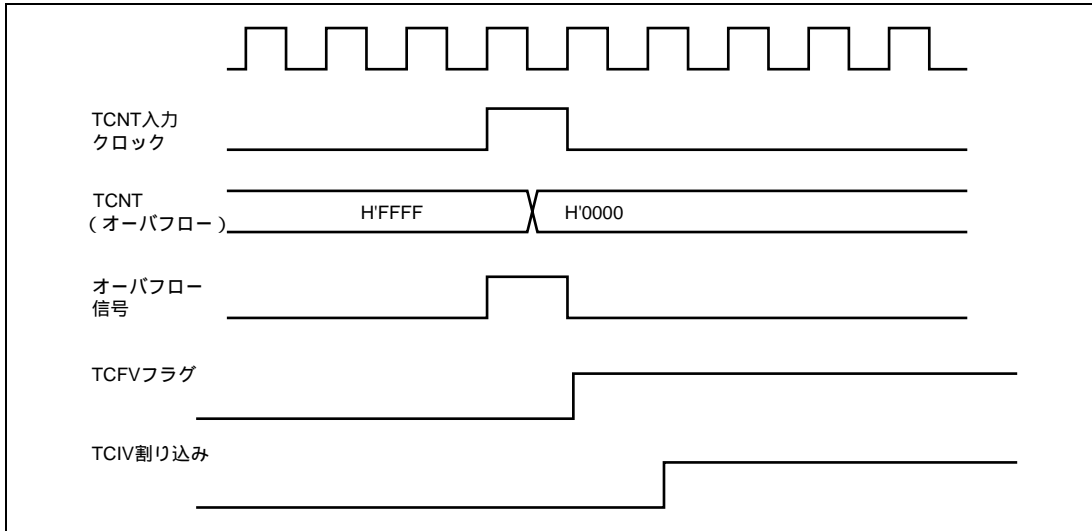


図 11.40 TCIV 割り込みのセットタイミング

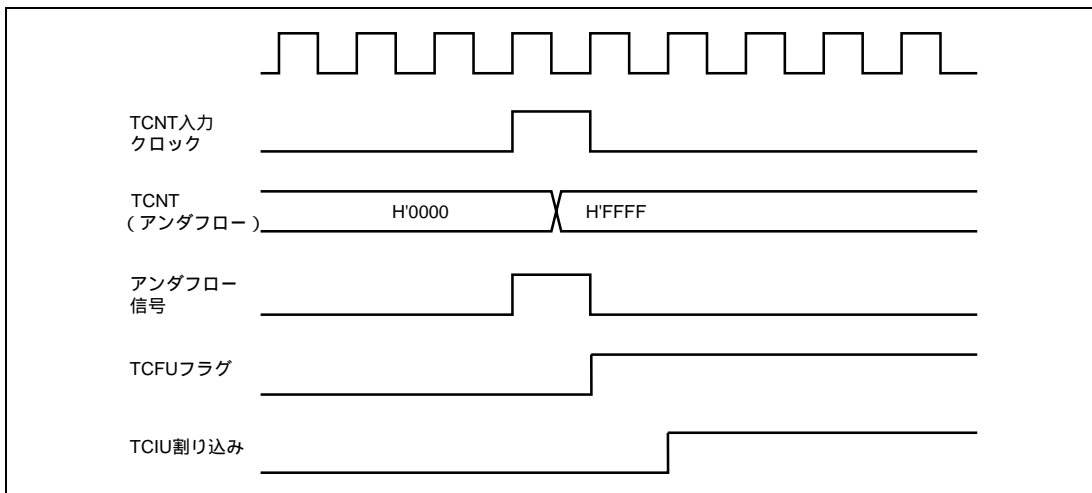


図 11.41 TCIU 割り込みのセットタイミング

## 11. 16 ビットタイマパルスユニット (TPU)

### (4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCまたはDMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図11.42に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図11.43に示します。

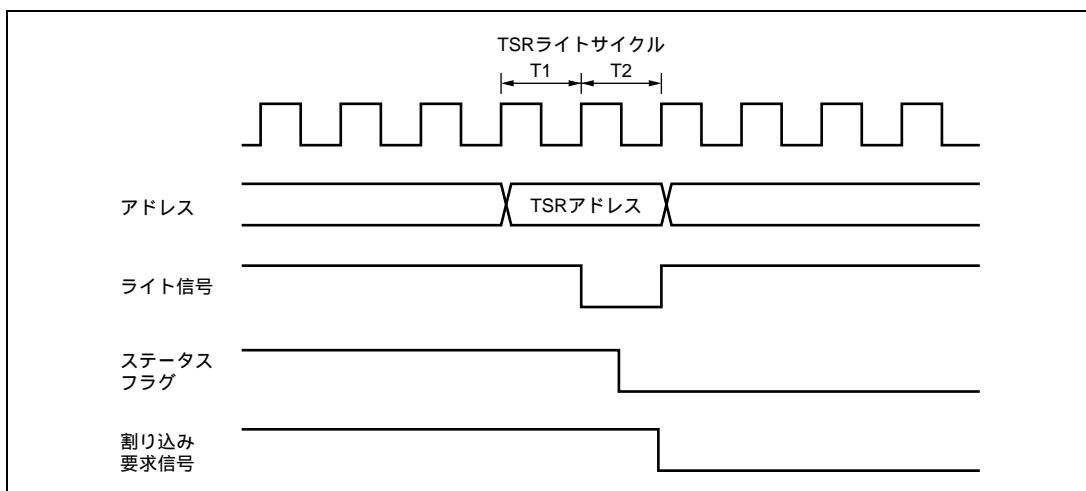


図 11.42 CPU によるステータスフラグのクリアタイミング

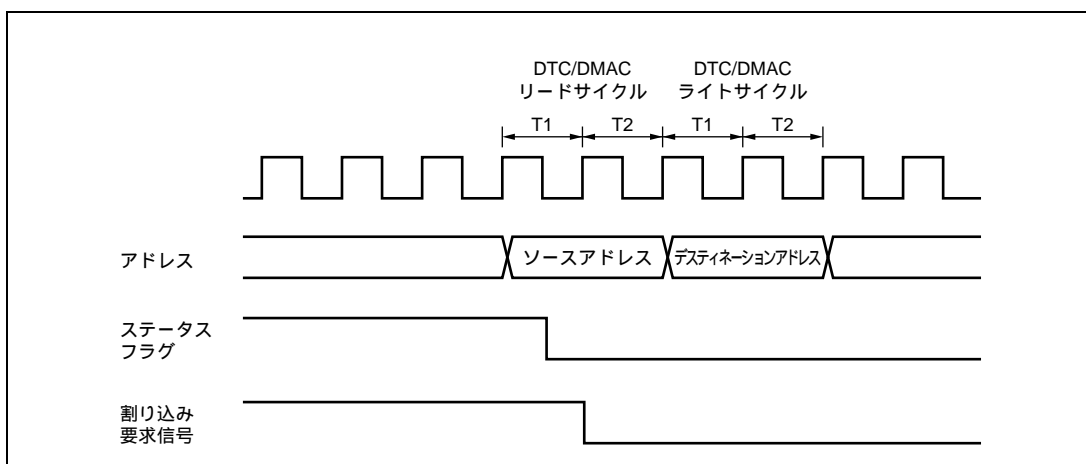


図 11.43 DTC/DMAC の起動によるステータスフラグのクリアタイミング

## 11.10 使用上の注意事項

### 11.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止/許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 11.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.44 に示します。

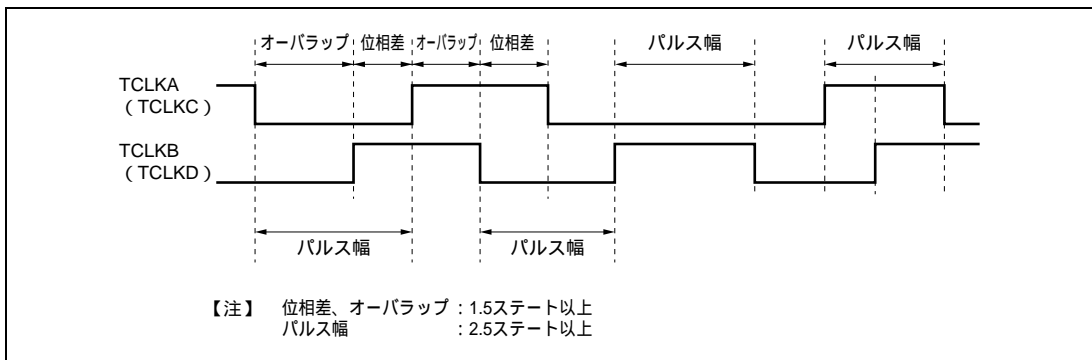


図 11.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

### 11.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{1}{(N+1)}$$

- f : カウンタ周波数  
 : 動作周波数  
 N : TGR の設定値

### 11.10.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。このタイミングを図 11.45 に示します。

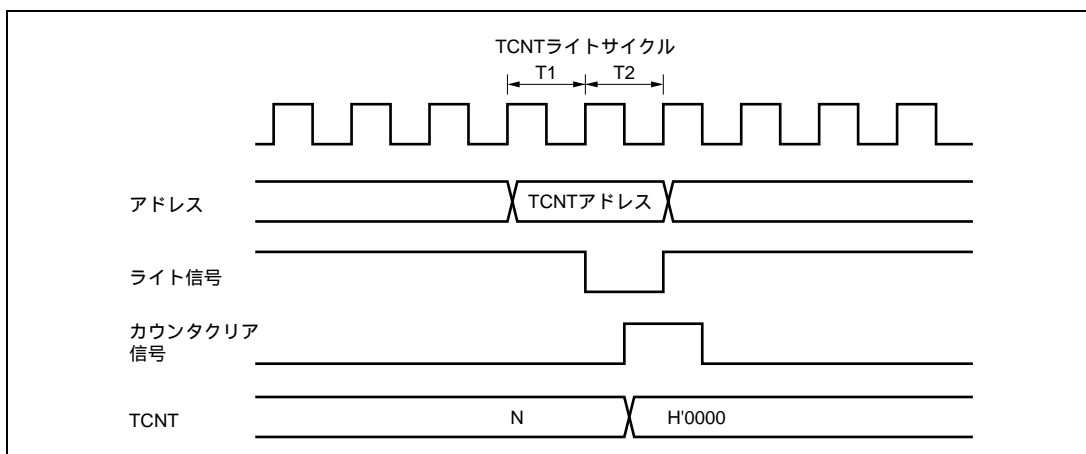


図 11.45 TCNT のライトとクリアの競合

### 11.10.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。このタイミングを図 11.46 に示します。

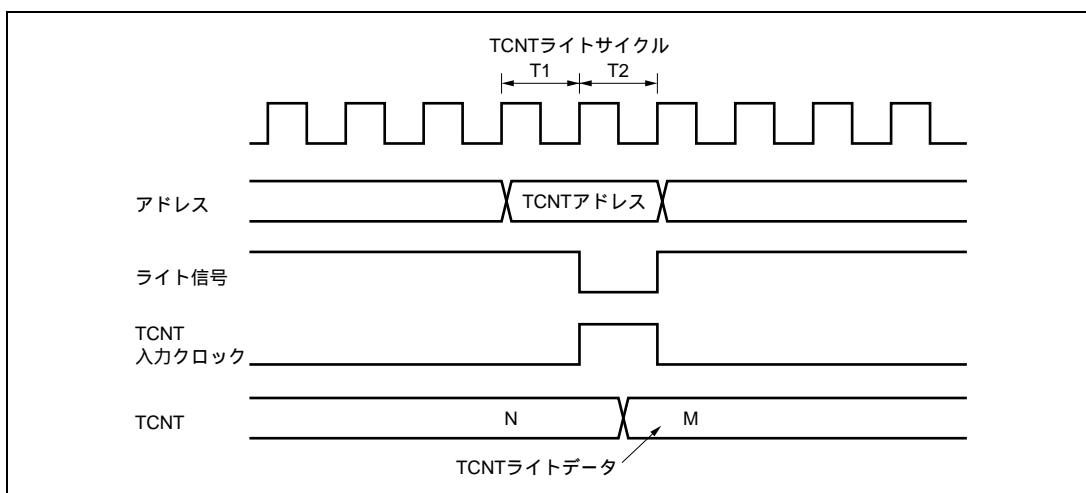


図 11.46 TCNT のライトとカウントアップの競合



### 11.10.6 TGRのライトとコンペアマッチの競合

TGRのライトサイクル中のT2ステートでコンペアマッチが発生してもTGRのライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図11.47に示します。

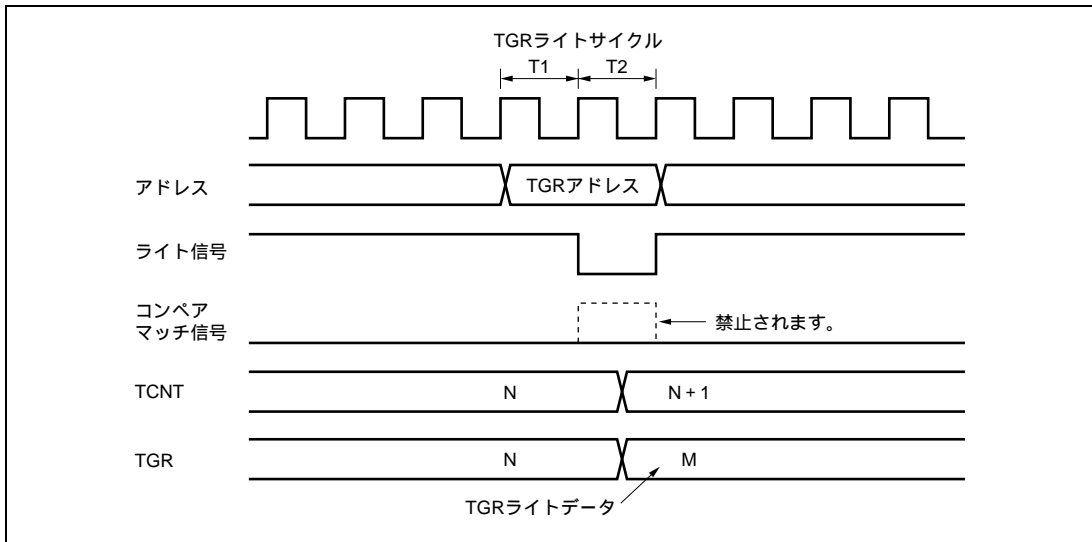


図 11.47 TGRのライトとコンペアマッチの競合

### 11.10.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 11.48 に示します。

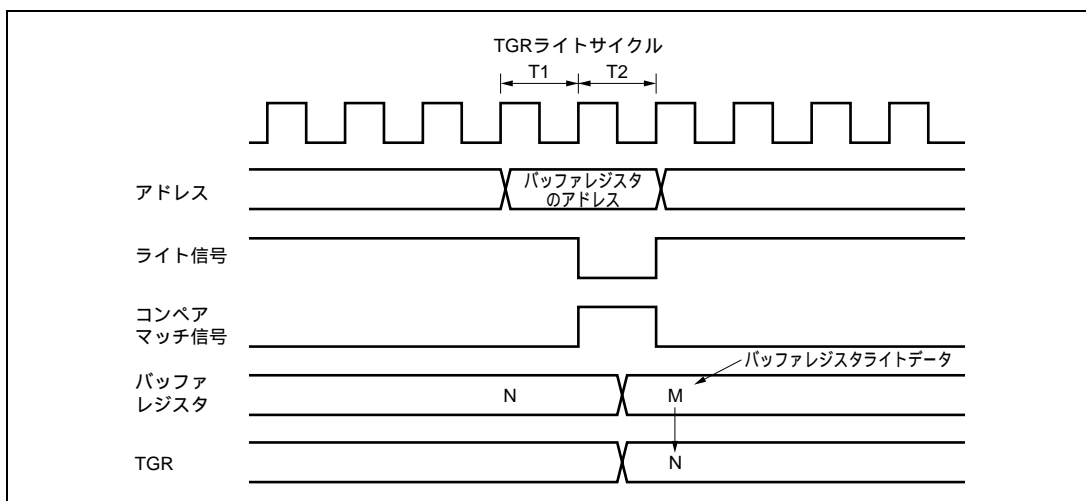


図 11.48 バッファレジスタのライトとコンペアマッチの競合

### 11.10.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 11.49 に示します。

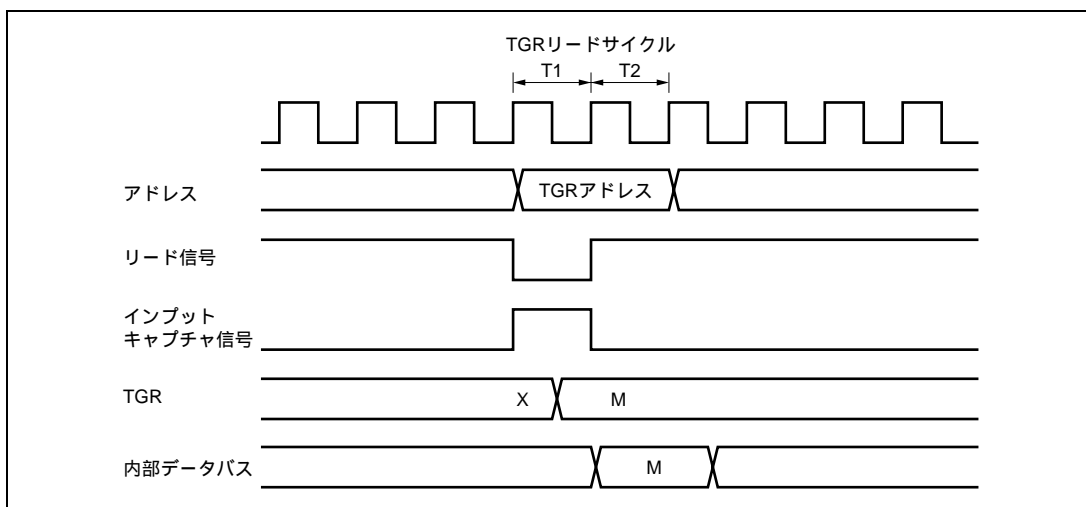


図 11.49 TGR のリードとインプットキャプチャの競合

### 11.10.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。このタイミングを図 11.50 に示します。

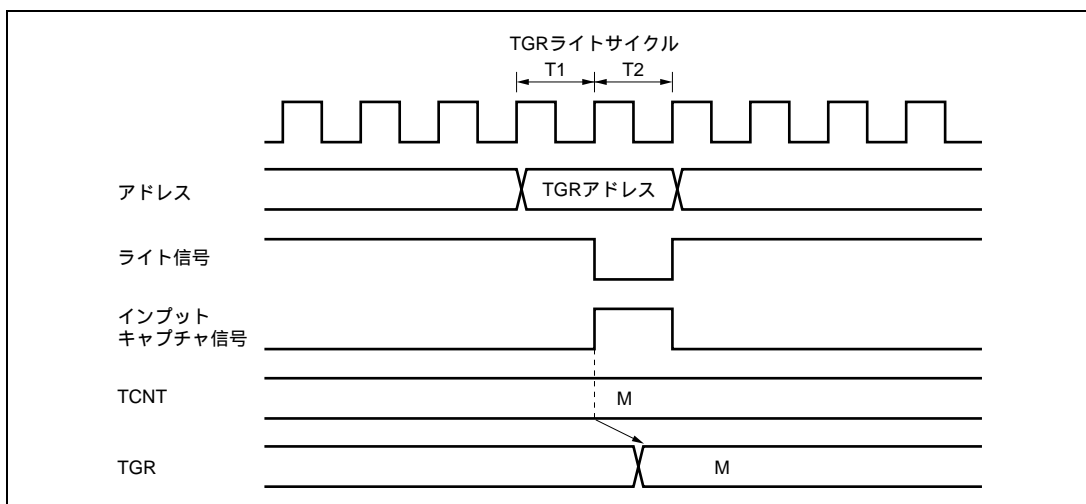


図 11.50 TGR のライトとインプットキャプチャの競合

### 11.10.10 バッファレジスタのライトと入力キャプチャの競合

バッファレジスタのライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 11.51 に示します。

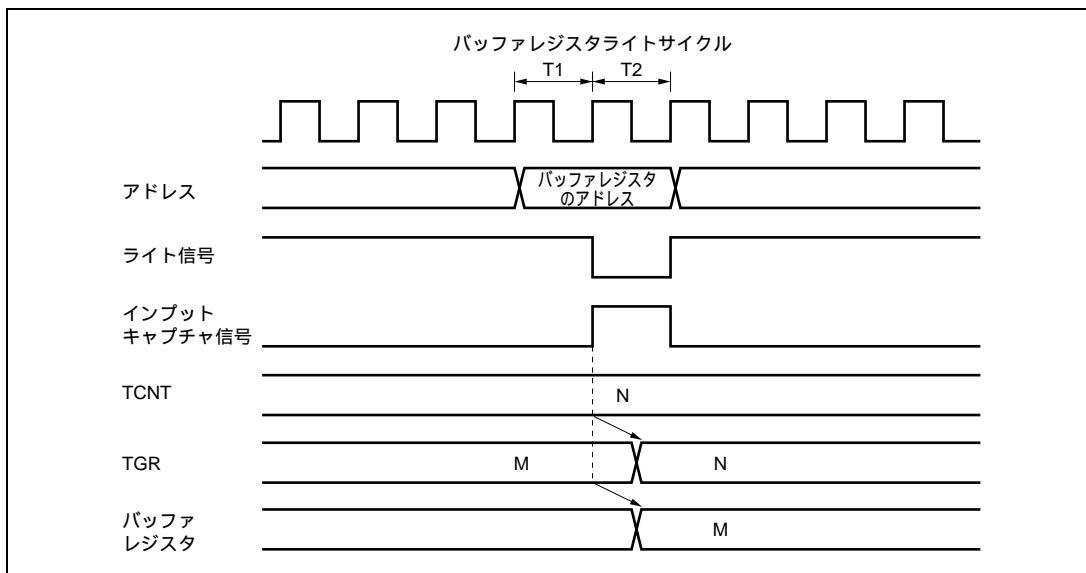


図 11.51 バッファレジスタのライトと入力キャプチャの競合

### 11.10.11 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSRのTCFV/TCFUフラグはセットされず、TCNTのクリアが優先されます。

TGRのコンペアマッチをクリア要因とし、TGRにH'FFFFを設定した場合の動作タイミングを図11.52に示します。

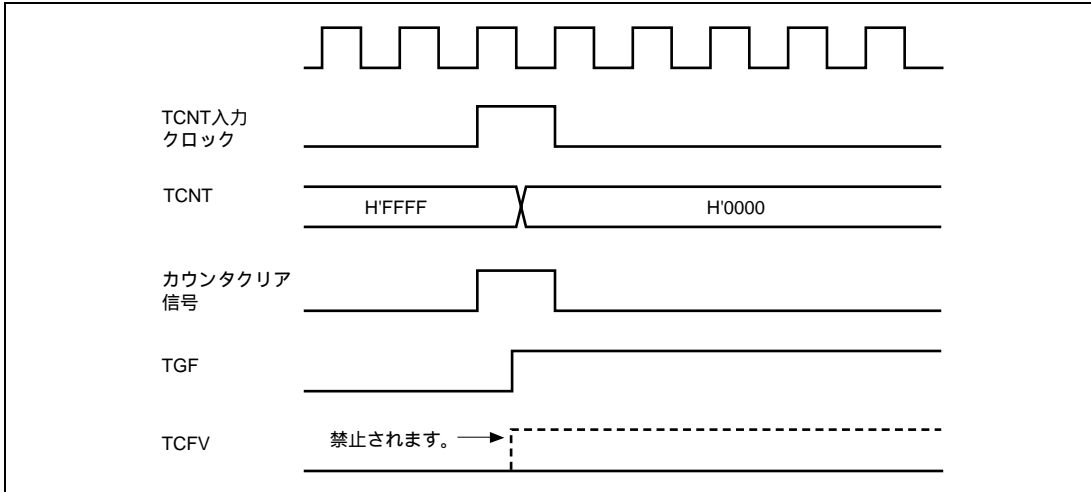


図 11.52 オーバフローとカウンタクリアの競合

### 11.10.12 TCNT のライトとオーバーフロー/アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ/カウントダウンが発生し、オーバーフロー/アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 11.53 に示します。

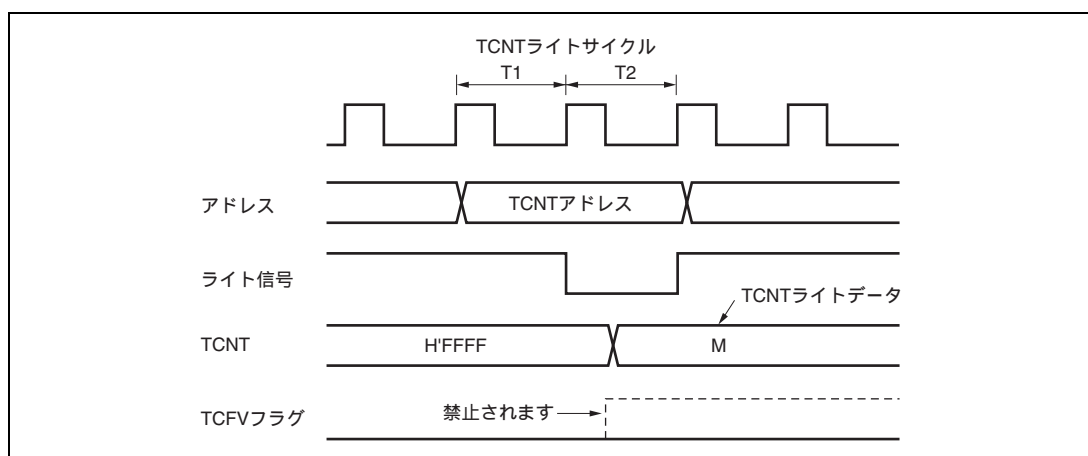


図 11.53 TCNT のライトとオーバーフローの競合

### 11.10.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

### 11.10.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DMAC または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

---

## 12. プログラマブルパルスジェネレータ (PPG)

---

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 12.1 に示します。

### 12.1 特長

- 出力データ16ビット
- 4系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC)、DMAコントローラ (DMAC) との連携動作可能
- 反転出力の指定可能
- モジュールストップモードの設定可能

## 12. プログラマブルパルスジェネレータ (PPG)

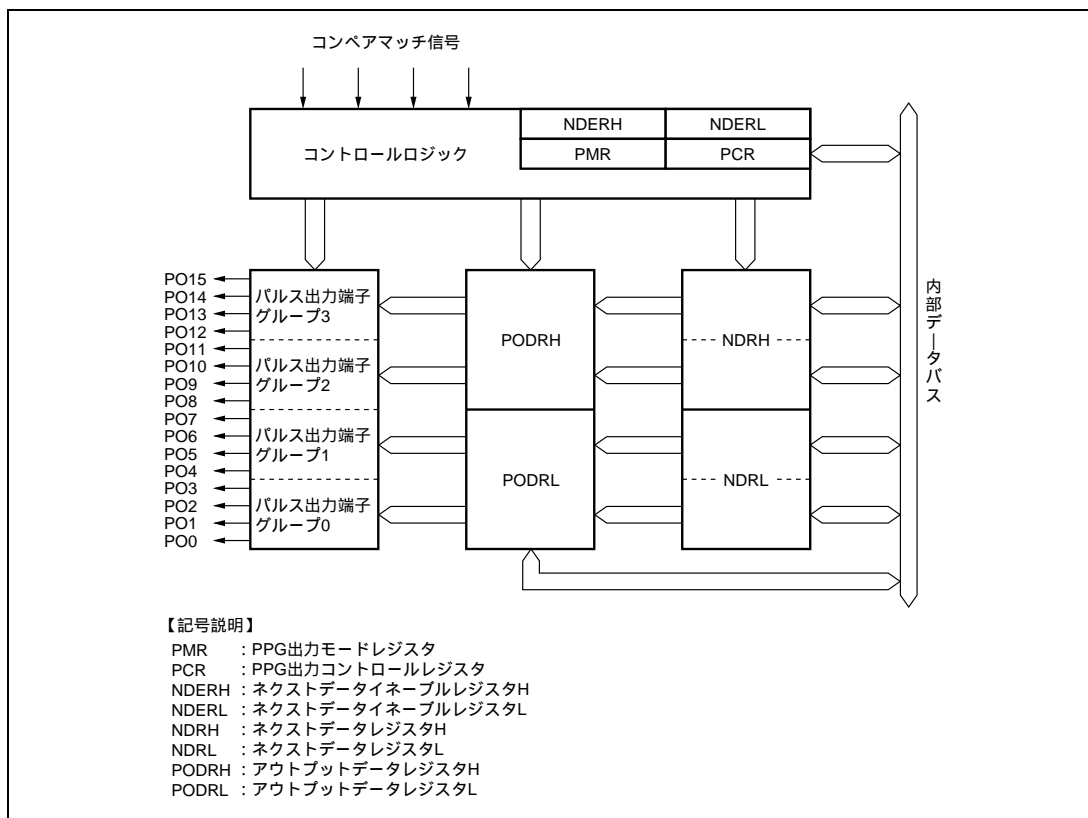


図 12.1 PPG のブロック図



## 12.2 入出力端子

PPG には表 12.1 の入出力端子があります。

表 12.1 PPG の入出力端子

端子名	入出力	機能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	
PO7	出力	パルス出力グループ 1 のパルス出力
PO6	出力	
PO5	出力	
PO4	出力	
PO3	出力	パルス出力グループ 0 のパルス出力
PO2	出力	
PO1	出力	
PO0	出力	

## 12.3 レジスタの説明

PPG には以下のレジスタがあります。

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

## 12. プログラマブルパルスジェネレータ (PPG)

### 12.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。PPG によってパルスを出力するためにはこの他に対応する DDR を 1 にセットする必要があります。

#### • NDERH

ビット	ビット名	初期値	R/W	説明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1 にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH ヘーダが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

#### • NDERL

ビット	ビット名	初期値	R/W	説明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1 にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘーダが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

## 12.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

## • PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

## • PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

## 12. プログラマブルパルスジェネレータ (PPG)

### 12.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

- NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説 明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説 明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

## 12. プログラマブルパルスジェネレータ (PPG)

- NDRL

パルス出力グループ 0、1 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

## 12. プログラマブルパルスジェネレータ (PPG)

### 12.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「12.3.5 PPG 出力モードレジスタ (PMR)」を併せて参照してください。

ビット	ビット名	初期値	R/W	説明
7 6	G3CMS1 G3CMS0	1 1	R/W R/W	グループ 3 コンペアマッチセレクト 1、0 パルス出力グループ 3 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
5 4	G2CMS1 G2CMS0	1 1	R/W R/W	グループ 2 コンペアマッチセレクト 1、0 パルス出力グループ 2 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
3 2	G1CMS1 G1CMS0	1 1	R/W R/W	グループ 1 コンペアマッチセレクト 1、0 パルス出力グループ 1 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
1 0	G0CMS1 G0CMS0	1 1	R/W R/W	グループ 0 コンペアマッチセレクト 1、0 パルス出力グループ 0 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ

## 12.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「12.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ 1 インバート パルス出力グループ 1 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ 0 インバート パルス出力グループ 0 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

## 12. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説明
1	G1NOV	0	R/W	グループ1 ノンオーバーラップ パルス出力グループ 1 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0 : 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
0	G0NOV	0	R/W	グループ0 ノンオーバーラップ パルス出力グループ 0 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0 : 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

### 12.4 動作説明

PPG 概要図を図 12.2 に示します。PPG は、P1DDR、P2DDR、NDER の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

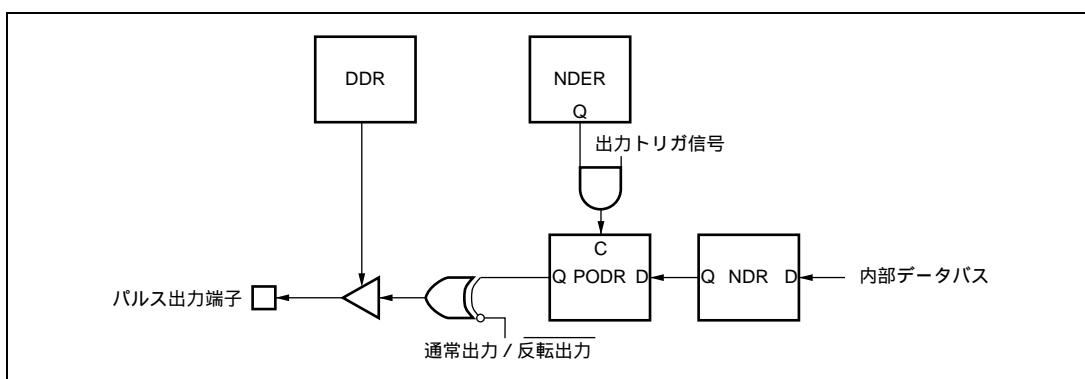


図 12.2 PPG 概要図



## 12.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 12.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

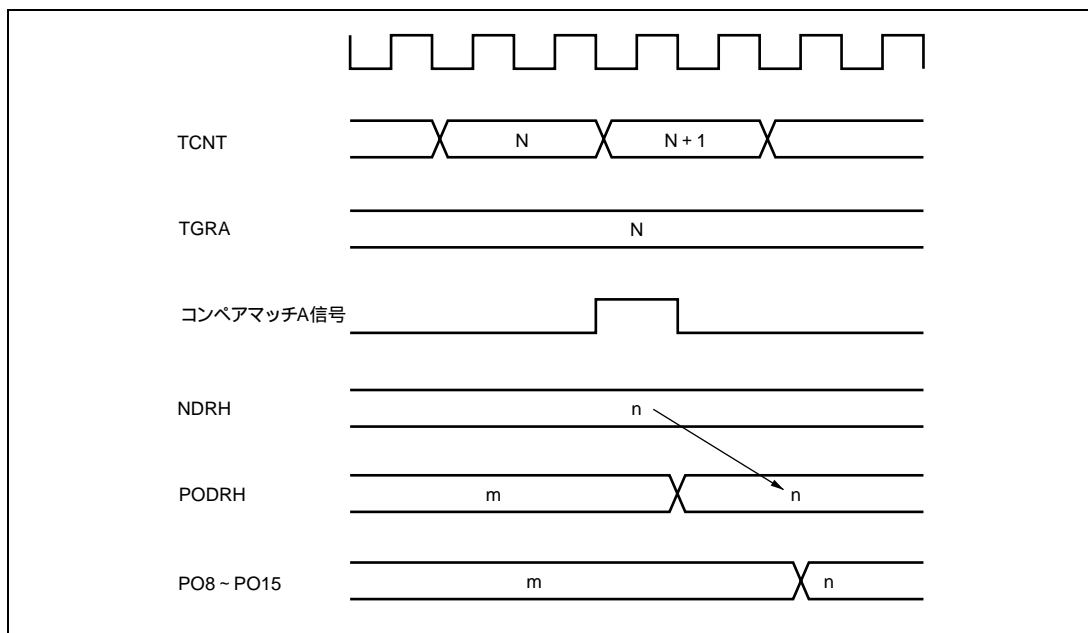


図 12.3 NDR の内容が転送・出力されるタイミング例

### 12.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 12.4 に示します。

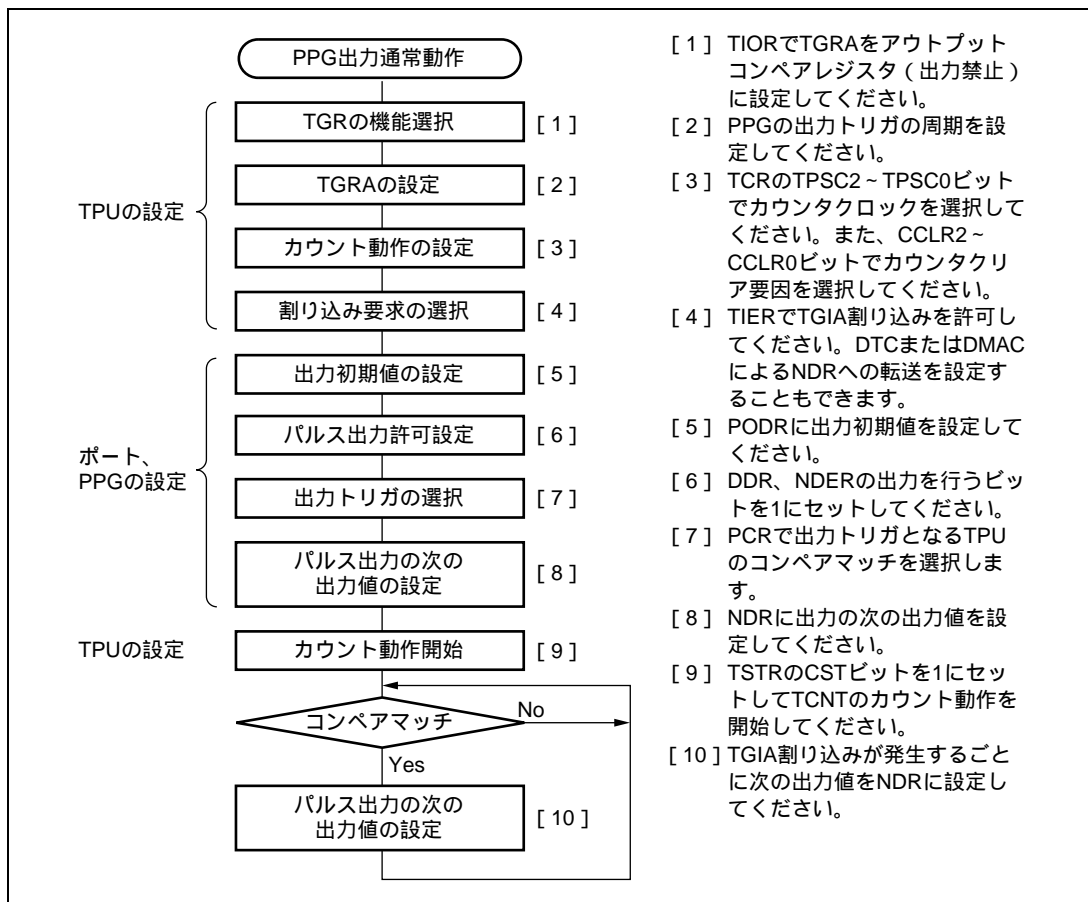


図 12.4 パルス出力通常動作の設定手順例

## 12.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図12.5に示します。

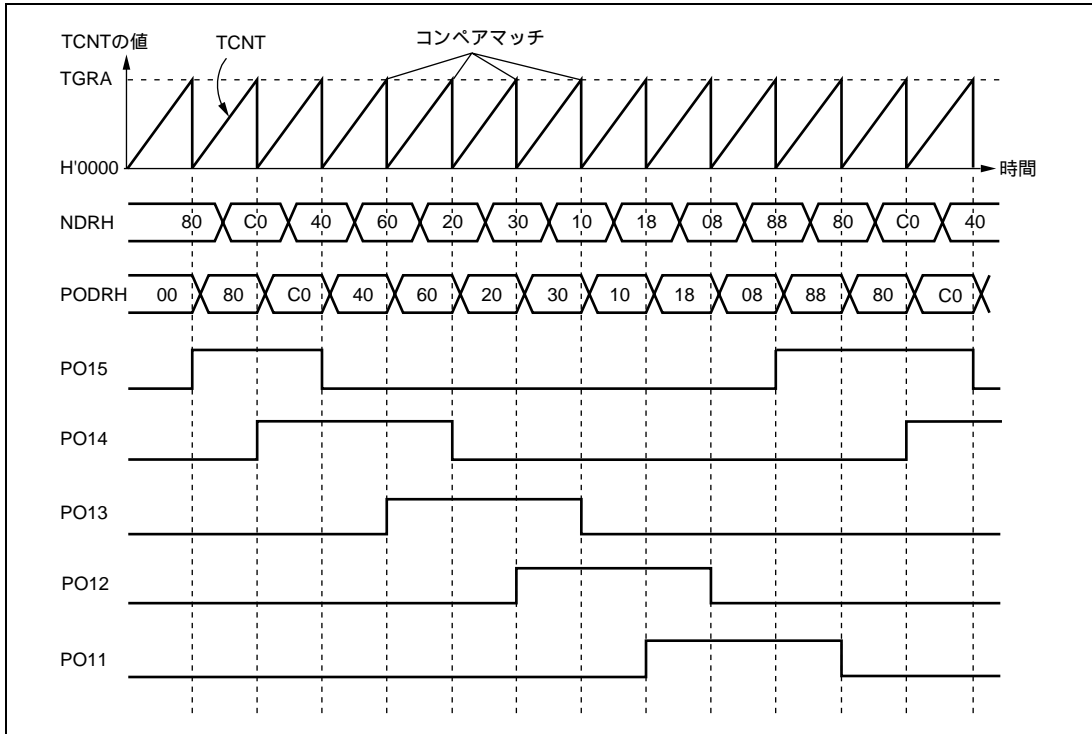


図 12.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャ (TGIA) 割り込みを許可します。
- PIDDR、NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1 - 2相パルス出力を行うことができます。

TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

### 12.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時の NDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 12.6 に示します。

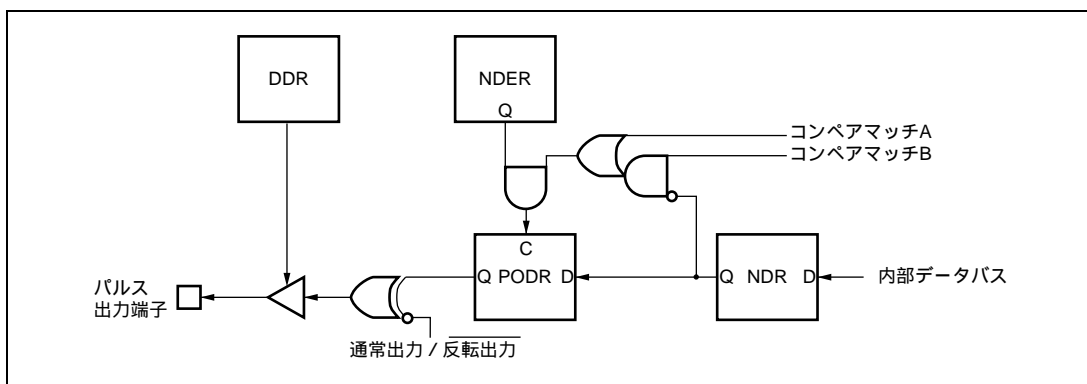


図 12.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで(ノンオーバーラップ期間)の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 12.7 に示します。

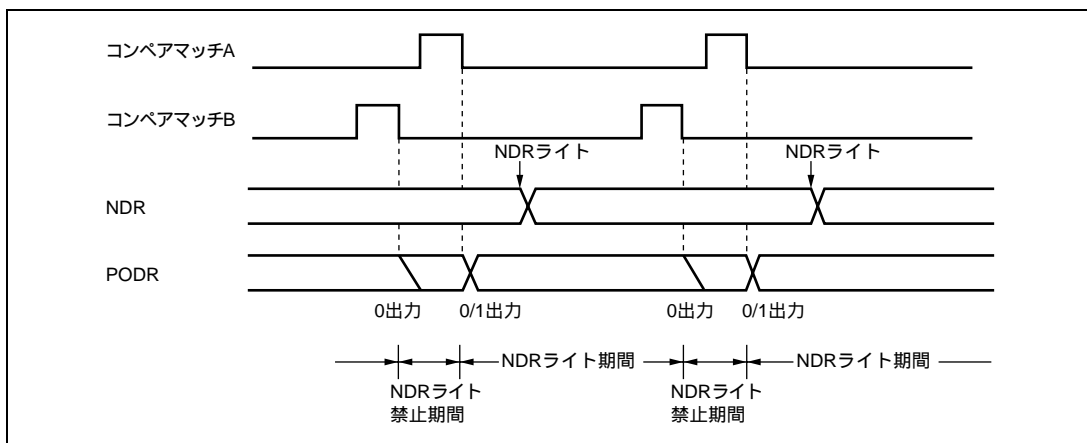


図 12.7 ノンオーバーラップ動作と NDR ライトタイミング

### 12.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 12.8 に示します。

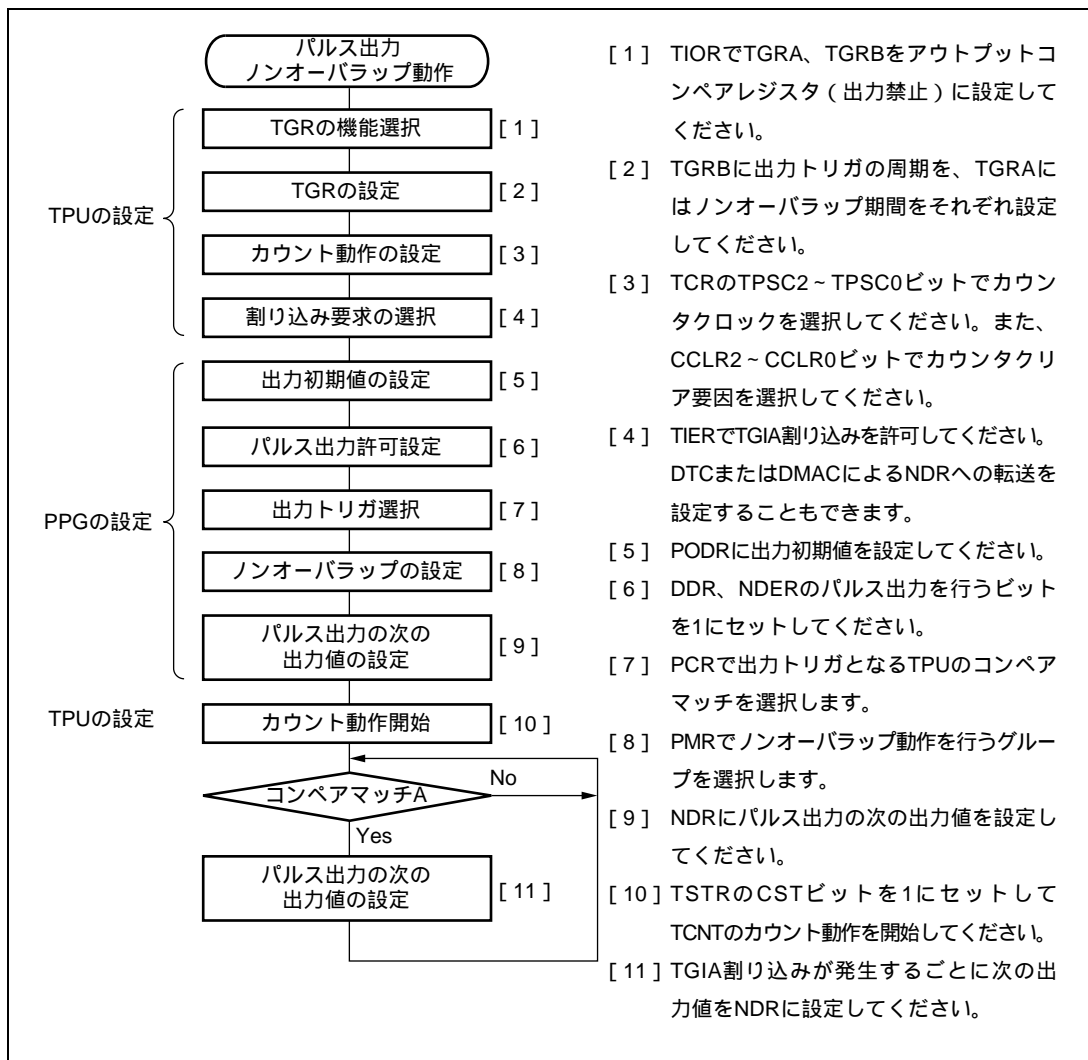


図 12.8 パルス出力ノンオーバーラップ動作の設定手順例

### 12.4.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図12.9に示します。

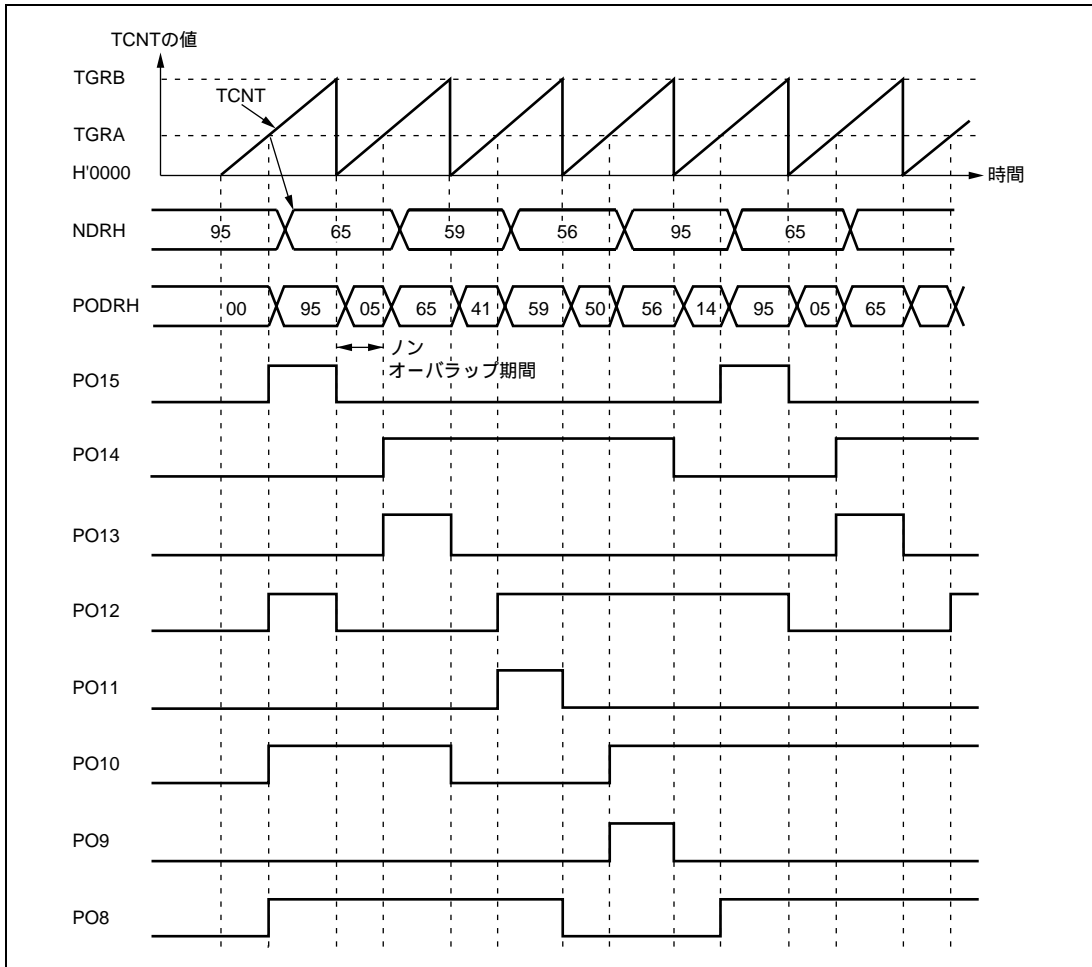


図 12.9 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

## 12. プログラマブルパルスジェネレータ (PPG)

---

1. 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
2. P1DDR、NDRHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。  
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。  
NDRHに出力データH'95をライトします。
3. TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力 0出力の変化、TGRAのコンペアマッチで0出力 1出力の変化を行います (0出力 1出力の変化はTGRAの設定値分遅延することになります)。  
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
4. 以後、TGIA割り込みで順次H'59、H'56、H'95...をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。  
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。



### 12.4.7 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 12.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 12.10 に示します。

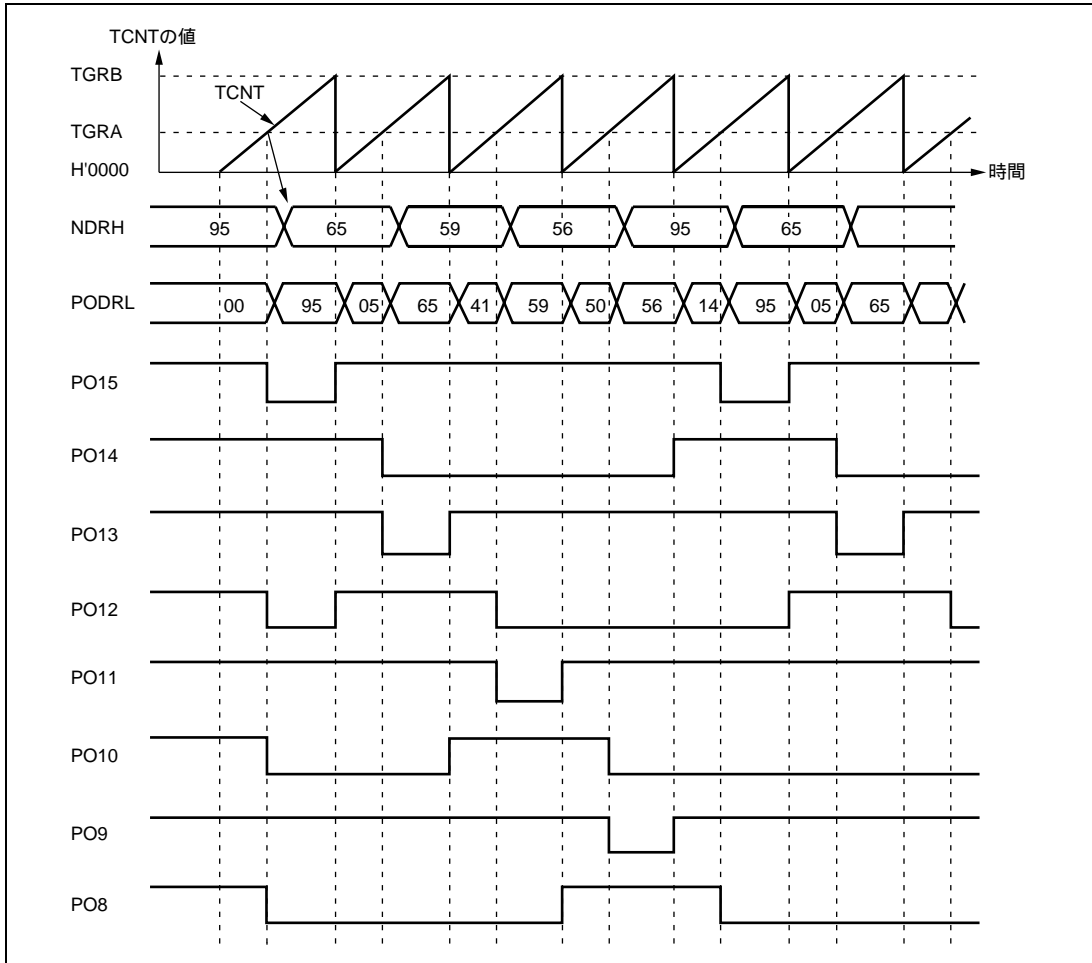


図 12.10 パルス反転出力例

## 12. プログラマブルパルスジェネレータ (PPG)

### 12.4.8 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 12.11 に示します。

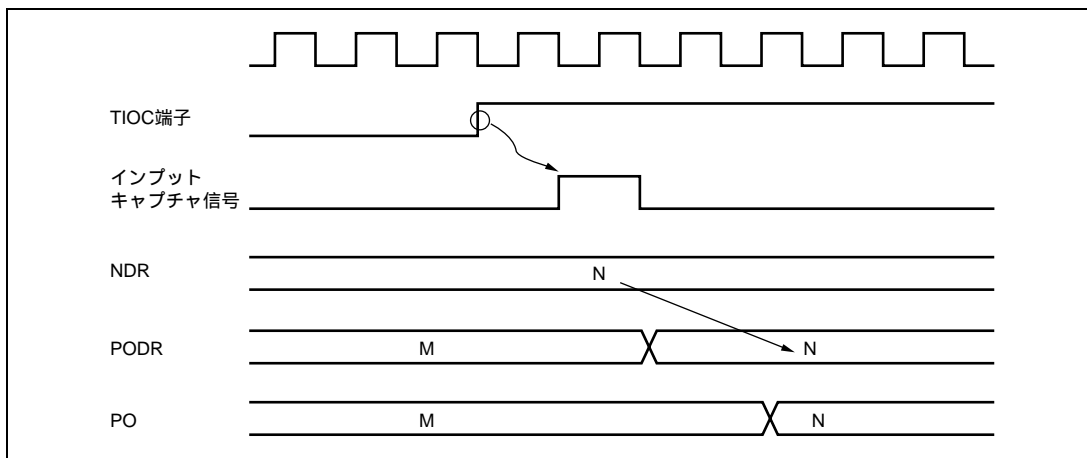


図 12.11 インพุットキャプチャによるパルス出力例

## 12.5 使用上の注意事項

### 12.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PPG の動作禁止/許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 12.5.2 パルス出力端子の動作

PO0 ~ PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

---

## 13. 8ビットタイマ (TMR)

---

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマを内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

### 13.1 特長

- 4種類のクロックを選択可能  
3種類の内部クロック ( /8、 /64、 /8192 ) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能  
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御  
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能 ( TMR\_0、 TMR\_1 )  
TMR\_0を上位、TMR\_1を下位とする16ビットタイマとして動作可能です ( 16ビットカウントモード ) 。  
TMR\_1はTMR\_0のコンペアマッチをカウント可能です ( コンペアマッチカウントモード ) 。
- 複数の割り込み要因  
コンペアマッチA、コンペアマッチB、オーバーフローの3種類があります。
- A/D変換器の変換開始トリガを生成可能

### 13. 8ビットタイマ (TMR)

8ビットタイマ (TMR\_0、TMR\_1) のブロック図を図 13.1 に示します。

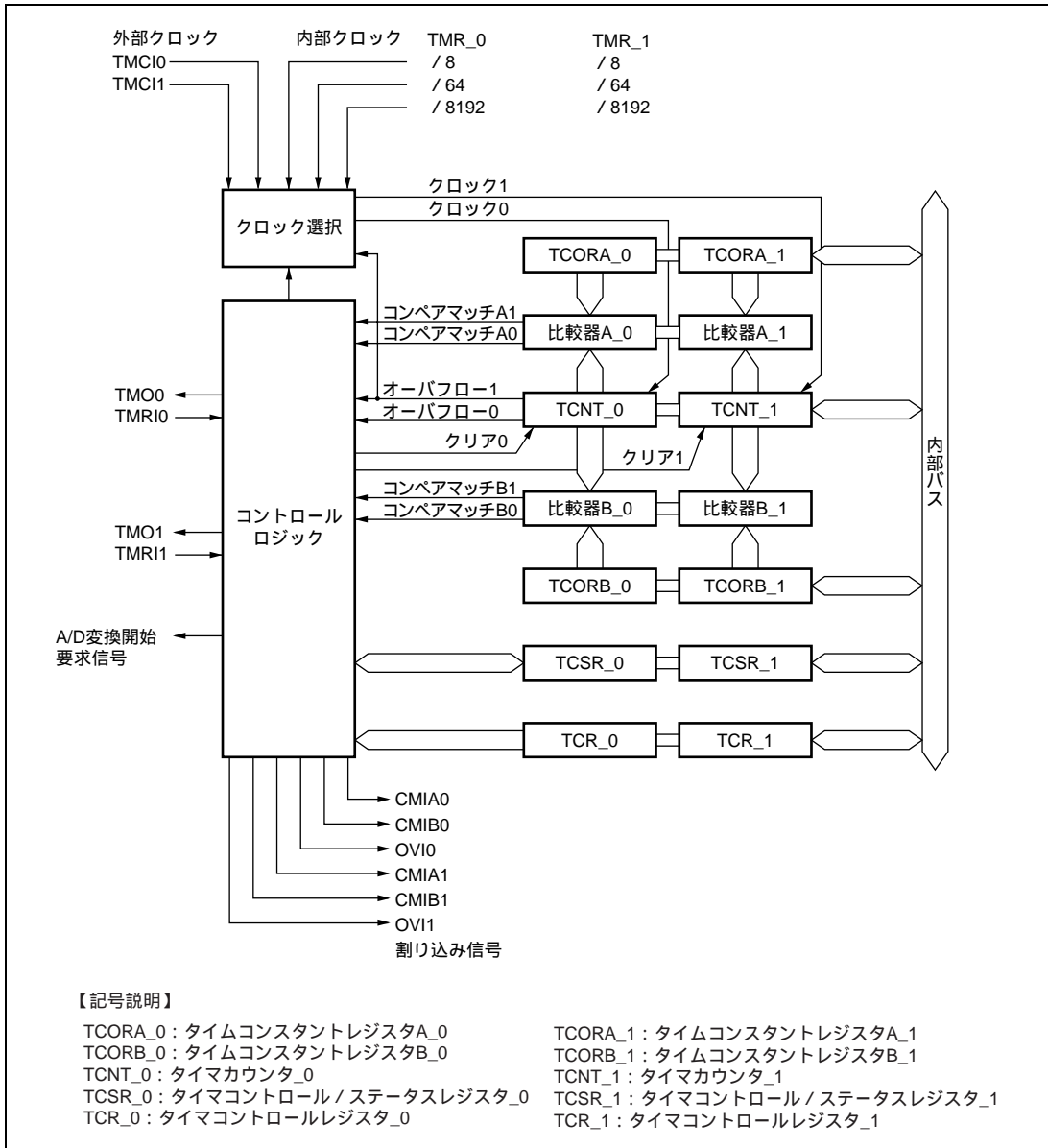


図 13.1 8ビットタイマのブロック図

## 13.2 入出力端子

TMRの端子構成を表13.1に示します。

表 13.1 端子構成

チャンネル	名称	略称	入出力	機能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi1	入力	カウンタ外部リセット入力

## 13.3 レジスタの説明

TMRには以下のレジスタがあります。モジュールストップコントロールレジスタについては「22.1.2 モジュールストップコントロールレジスタH、L(MSTPCR<sub>H</sub>、MSTPCR<sub>L</sub>)」を参照してください。

- タイマカウンタ\_0 (TCNT\_0)
- タイムコンスタントレジスタA\_0 (TCORA\_0)
- タイムコンスタントレジスタB\_0 (TCORB\_0)
- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマコントロール/ステータスレジスタ\_0 (TCSR\_0)
- タイマカウンタ\_1 (TCNT\_1)
- タイムコンスタントレジスタA\_1 (TCORA\_1)
- タイムコンスタントレジスタB\_1 (TCORB\_1)
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマコントロール/ステータスレジスタ\_1 (TCSR\_1)

## 13. 8ビットタイマ (TMR)

---

### 13.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのアップカウンタです。TCNT\_0、TCNT\_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー(H'FF H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

### 13.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA\_0、TCORA\_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

### 13.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB\_0、TCORB\_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

## 13.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
3	CCLR0	0	R/W	
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックとカウント条件を選択します。表 13.2 を参照してください。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

### 13. 8 ビットタイマ (TMR)

表 13.2 TCNT に入力するクロックとカウント条件

チャンネル	TCR			説 明
	ビット 2	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	
TMR_0	0	0	0	クロック入力を禁止
	0	0	1	内部クロック /8 立ち下がりエッジでカウント
	0	1	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	1	内部クロック /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	クロック入力を禁止
	0	0	1	内部クロック /8 立ち下がりエッジでカウント
	0	1	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	1	内部クロック /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_0 のコンペアマッチ A でカウント*
共通	1	0	1	外部クロックの立ち上がりエッジでカウント
	1	1	0	外部クロックの立ち下がりエッジでカウント
	1	1	1	外部クロックの立ち上がり/立ち下がり両エッジでカウント

【注】\* TMR\_0 のクロック入力を TCNT\_1 のオーバフロー信号とし、TMR\_1 のクロック入力を TCNT\_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。



## 13.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】\* フラグをクリアするための 0 ライトのみ可能です。

### 13. 8ビットタイマ (TMR)

• TCSR\_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】\* フラグをクリアするための 0 ライトのみ可能です。

## 13.4 動作説明

### 13.4.1 パルス出力

任意のデューティパルスを出力させる例を図 13.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

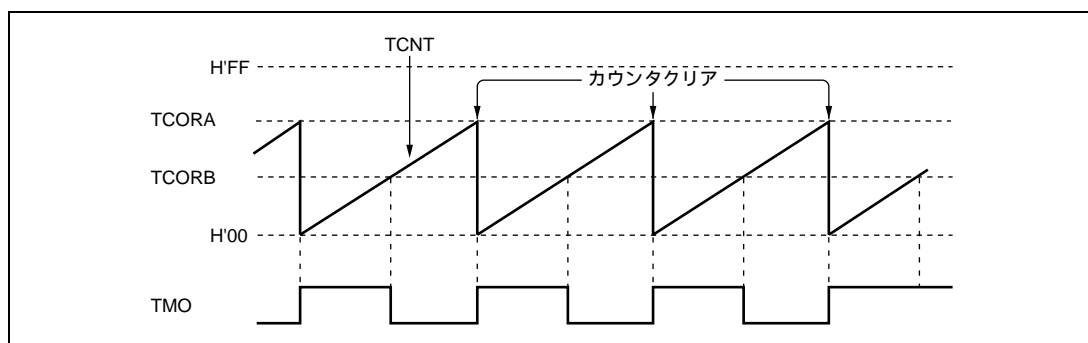


図 13.2 パルス出力例

## 13.5 動作タイミング

### 13.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 13.3 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 13.4 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

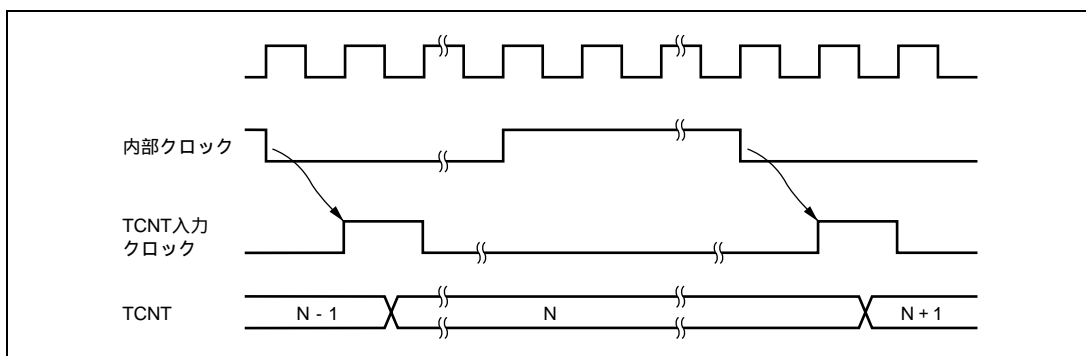


図 13.3 内部クロック動作時のカウントタイミング

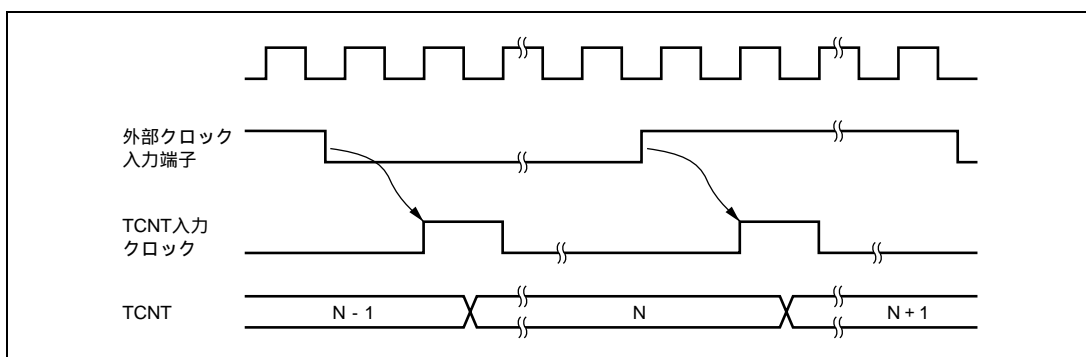


図 13.4 外部クロック動作時のカウントタイミング

### 13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 13.5 に示します。

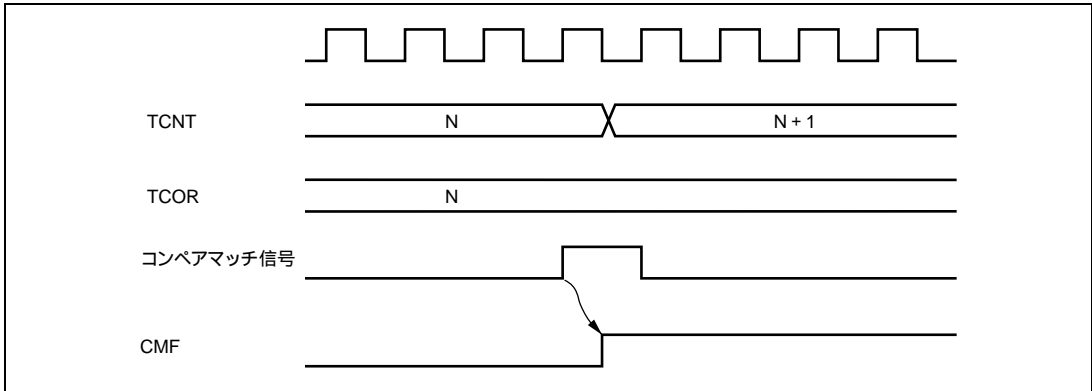


図 13.5 コンペアマッチ時の CMF フラグのセットタイミング

### 13.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 13.6 に示します。

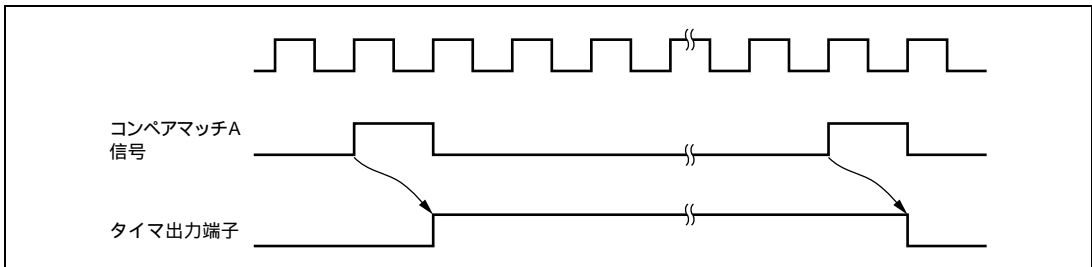


図 13.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

### 13.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 13.7 に示します。

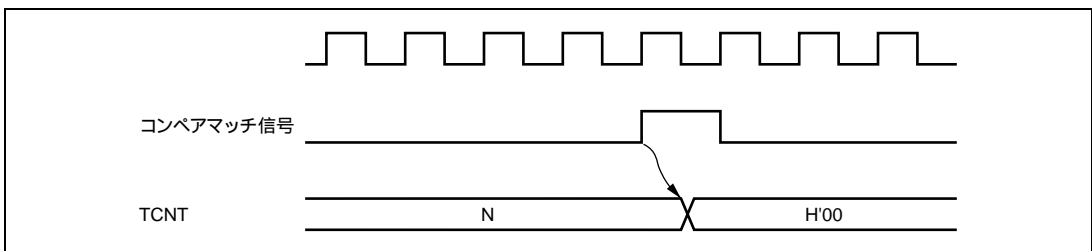


図 13.7 コンペアマッチによるカウンタクリアタイミング

### 13.5.5 TCNT の外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図13.8に示します。

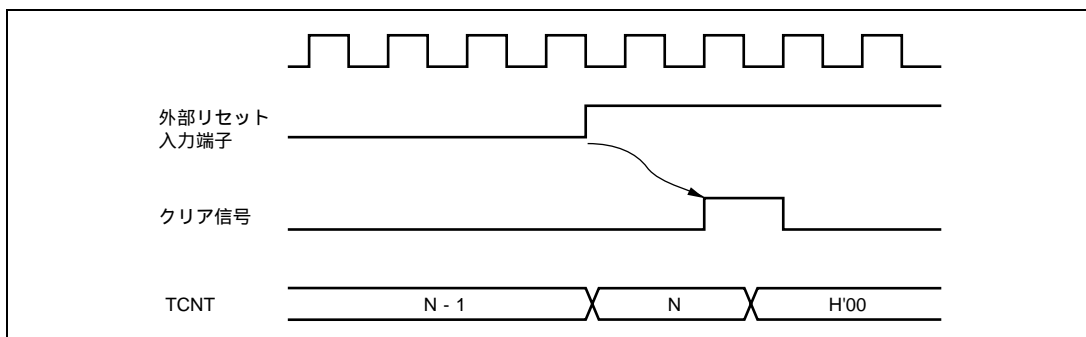


図 13.8 外部リセット入力によるクリアタイミング

### 13.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバフロー (H'FF H'00) したとき出力されるオーバフロー信号により1にセットされます。OVFフラグのセットタイミングを図13.9に示します。

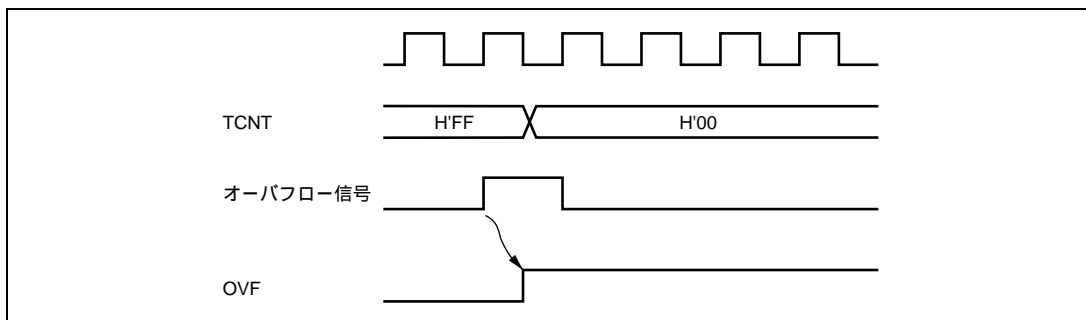


図 13.9 OVF フラグのセットタイミング

## 13.6 カスケード接続時の動作

TCR\_0、TCR\_1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントするコンペアマッチカウントモードにすることができます。

### 13.6.1 16ビットカウントモード

TCR\_0 の CKS2~CKS0 ビットが B'100 のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

#### (1) コンペアマッチフラグのセット

- TCSR\_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR\_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

#### (2) カウンタクリア指定

- TCR\_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされません。
- TCR\_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

#### (3) 端子出力

- TCSR\_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR\_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

### 13.6.2 コンペアマッチカウントモード

TCR\_1 の CKS2~CKS0 ビットが B'100 のとき、TCNT\_1 はチャンネル0のコンペアマッチ A をカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

## 13.7 割り込み要因

### 13.7.1 割り込み要因と DTC 起動

8ビットタイマ TMR\_0、TMR\_1 の割り込み要因は、CMIA、CMIB、OVI の3種類があります。表 13.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 13.3 8ビットタイマ TMR\_0、TMR\_1 の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	高 ▲ 低
CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
OVI0	TCNT_0 のオーバーフロー	OVF	不可	低
CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	高 ▲ 低
CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
OVI1	TCNT_1 のオーバーフロー	OVF	不可	低

### 13.7.2 A/D 変換器の起動

TMR\_0 のコンペアマッチ A により A/D 変換器を起動することができます。TMR\_0 のコンペアマッチ A の発生により TCSR\_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器で 8ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

## 13.8 使用上の注意

### 13.8.1 TCNT のライトとカウンタクリアの競合

図 13.10 のように TCNT のライトサイクル中の T<sub>2</sub> ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。



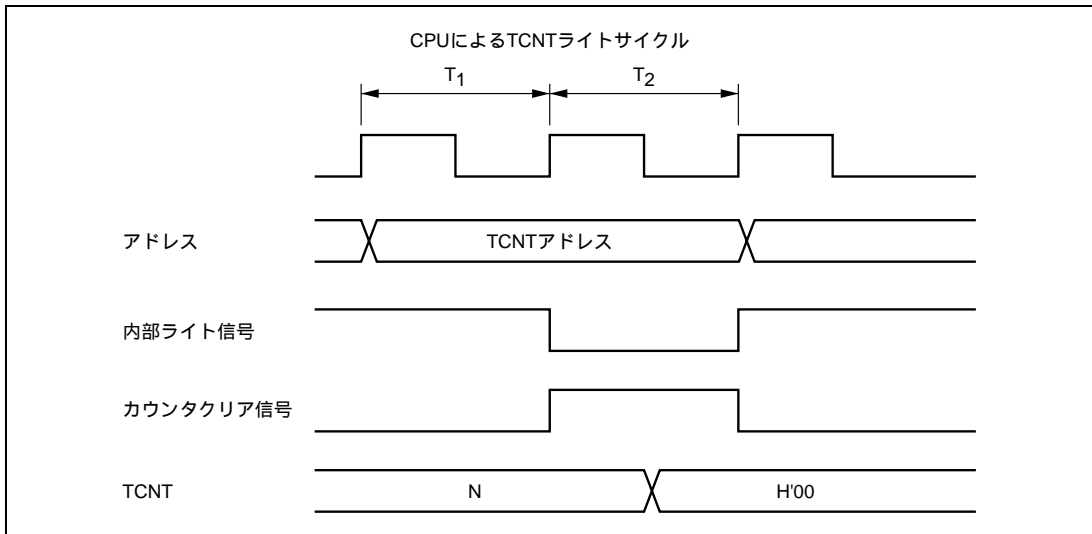


図 13.10 TCNT のライトとクリアの競合

### 13.8.2 TCNT のライトとカウントアップの競合

図 13.11 のように TCNT のライトサイクル中の T<sub>2</sub> ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

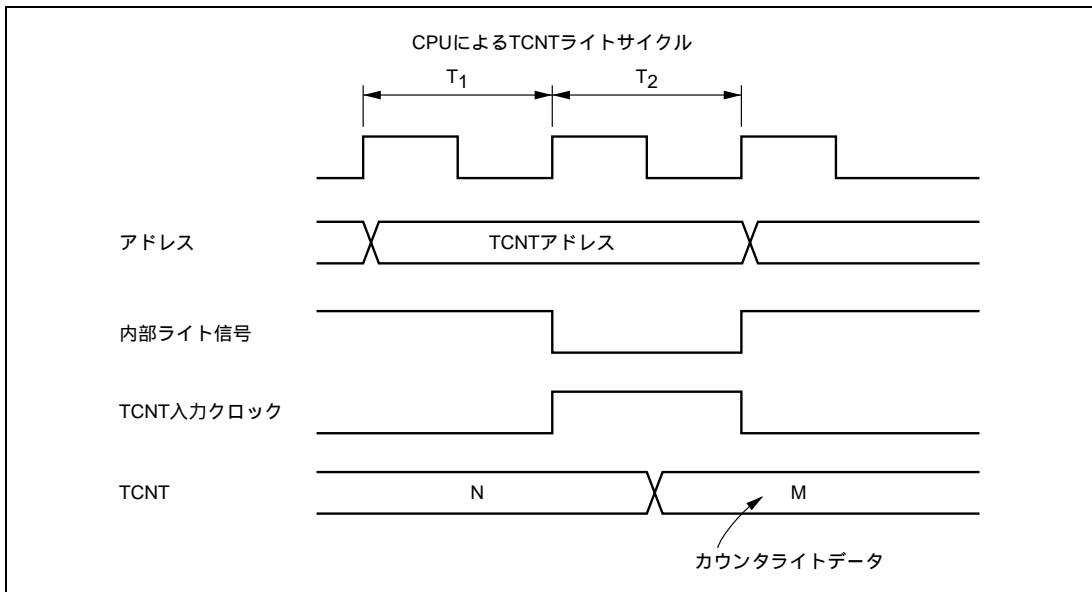


図 13.11 TCNT のライトとカウントアップの競合

### 13.8.3 TCOR のライトとコンペアマッチの競合

図 13.12 のように TCOR のライトサイクル中の T<sub>2</sub> ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

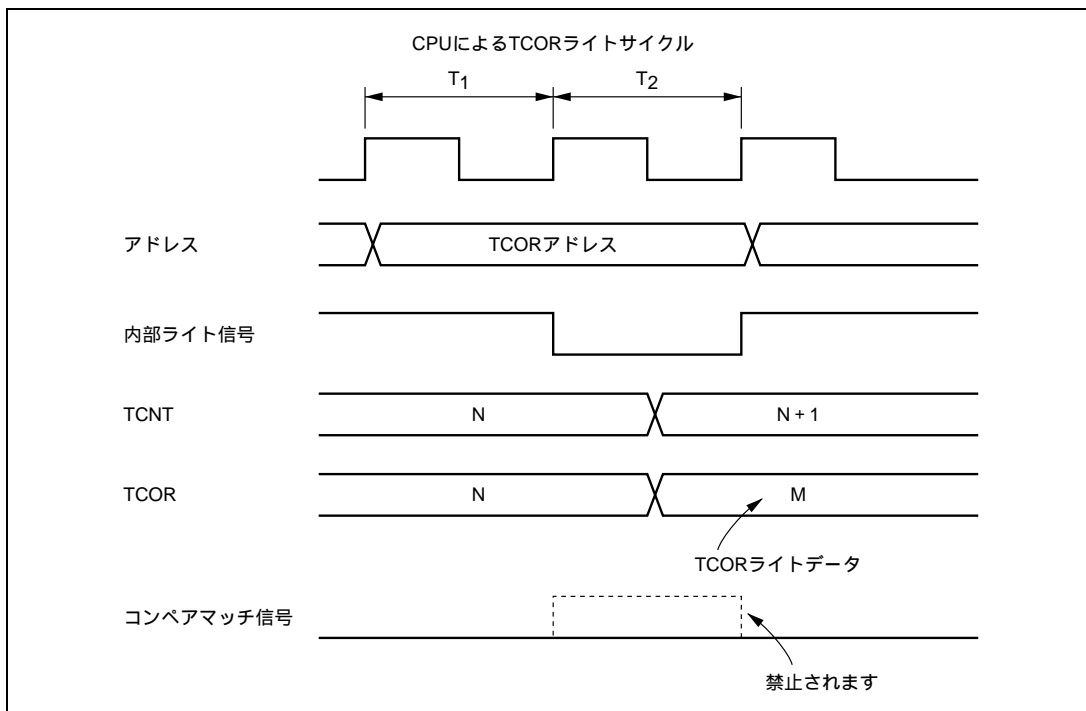


図 13.12 TCOR のライトとコンペアマッチの競合

### 13.8.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 13.4 に示すタイマ出力の優先順位に従って動作します。

表 13.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

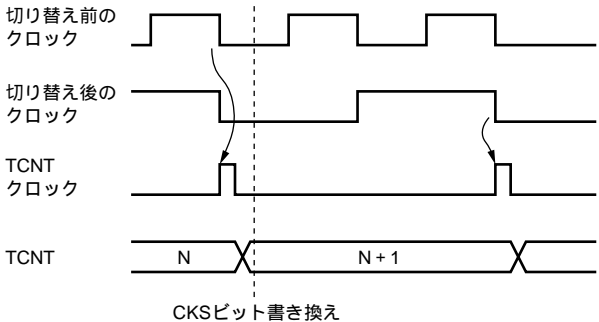
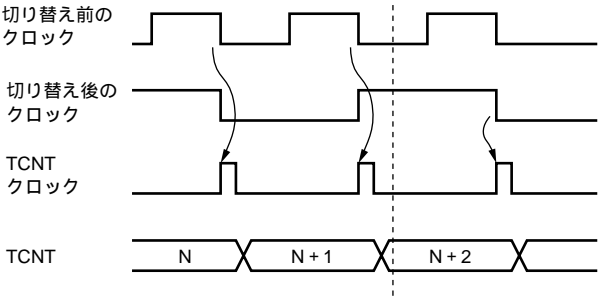
### 13.8.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング(CKS1、CKS0 ビットの書き換え)と TCNT 動作の関係を表 13.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 13.5 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 13.5 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* <sup>1</sup> の切り替え	 <p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* <sup>2</sup> の切り替え	 <p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

### 13. 8ビットタイマ (TMR)

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル <sup>*3</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 \*1 Low レベル 停止、および停止 Low レベルの場合を含みます。

\*2 停止 High レベルの場合を含みます。

\*3 High レベル 停止を含みます。

\*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

#### 13.8.6 カスケード接続時のモード設定

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT\_0、TCNT\_1 の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

#### 13.8.7 モジュールストップモード時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、または DTC、DMAC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどして、モジュールストップモードにしてください。

---

## 14. ウォッチドッグタイマ (WDT)

---

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 ( $\overline{\text{WDTOVF}}$ ) を出力します。同時に、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 14.1 に示します。

### 14.1 特長

- 8種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

#### ウォッチドッグタイマモード

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力、このとき同時に本LSI内部をリセットするかしないかを選択可能

#### インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

## 14. ウォッチドッグタイマ (WDT)

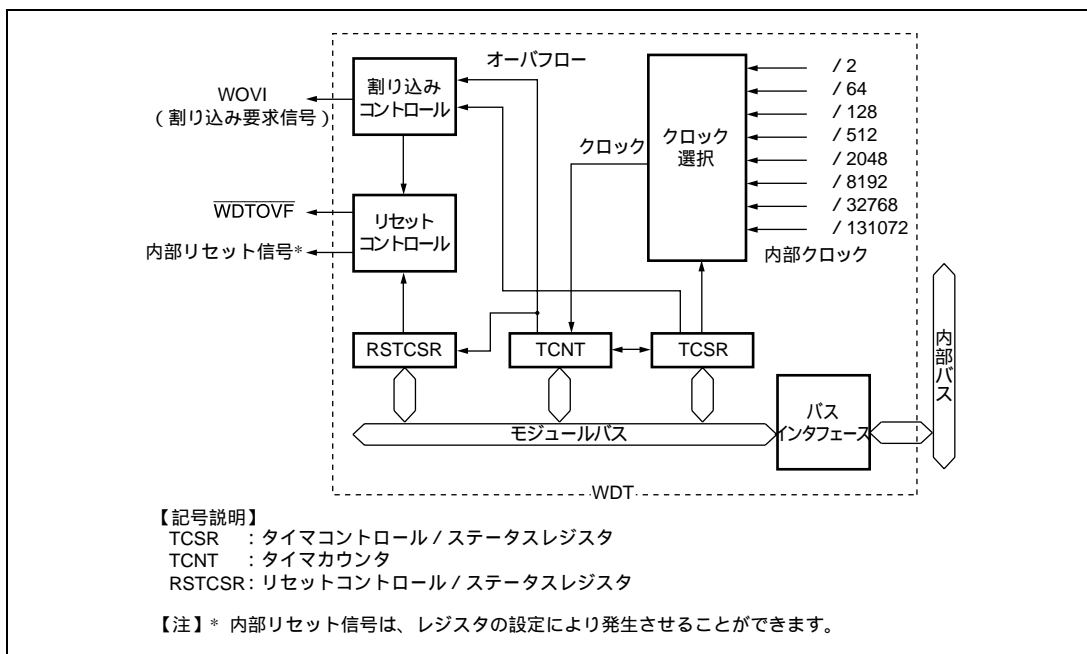


図 14.1 WDT のブロック図

## 14.2 入出力端子

WDT の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	記号	入出力	機能
ウォッチドッグタイマオーバフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力

## 14.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は、「14.6.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

### 14.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

## 14.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>インターバルタイマモードで TCNT がオーバフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <p>インターバルタイマモードで TCNT がオーバフロー (H'FF H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>TCNT がオーバフローしたとき、インターバルタイマ割り込み (WOVI) を要求します。</p> <p>1 : ウォッチドッグタイマモード</p> <p>TCNT がオーバフローしたとき、外部へ <math>\overline{\text{WDTOVF}}</math> を出力します。</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4		1		リザーブビット
3		1		リードすると常に 1 が読み出されます。ライトは無効です。
2	CKS2	0	R/W	<p>クロックセレクト 2 ~ 0</p> <p>TCNT に入力するクロックを選択します。( ) 内は = 20MHz のときのオーバフロー周期を表します。</p> <p>000 : クロック /2 (周期 25.6<math>\mu</math>s)</p> <p>001 : クロック /64 (周期 819.2<math>\mu</math>s)</p> <p>010 : クロック /128 (周期 1.6ms)</p> <p>011 : クロック /512 (周期 6.6ms)</p> <p>100 : クロック /2048 (周期 26.2ms)</p> <p>101 : クロック /8192 (周期 104.9ms)</p> <p>110 : クロック /32768 (周期 419.4ms)</p> <p>111 : クロック /131072 (周期 1.68s)</p>
1	CKS1	0	R/W	
0	CKS0	0	R/W	

## 14. ウォッチドッグタイマ (WDT)

【注】\* フラグをクリアするための0ライトのみ可能です。

### 14.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$  端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー(H'FF H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	-	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4 ~ 0		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】\* フラグをクリアするための0ライトのみ可能です。



## 14.4 動作説明

### 14.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の  $WT/\overline{IT}$  ビット = 1 に、TME ビット = 1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 $\overline{WDTOVF}$  信号が出力されます。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラムしてください。さらに、ウォッチドッグタイマモード時には、 $\overline{WDTOVF}$  信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 $\overline{WDTOVF}$  信号と同時に、本 LSI の内部をリセットする信号が発生します。 $\overline{RES}$  端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{RES}$  端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

$\overline{WDTOVF}$  信号は、RSTCSR の RSTE ビット = 1 のとき 132 ステート、RSTE ビット = 0 のとき 130 ステートの間出力されます。内部リセット信号は、518 ステートの間出力されます。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

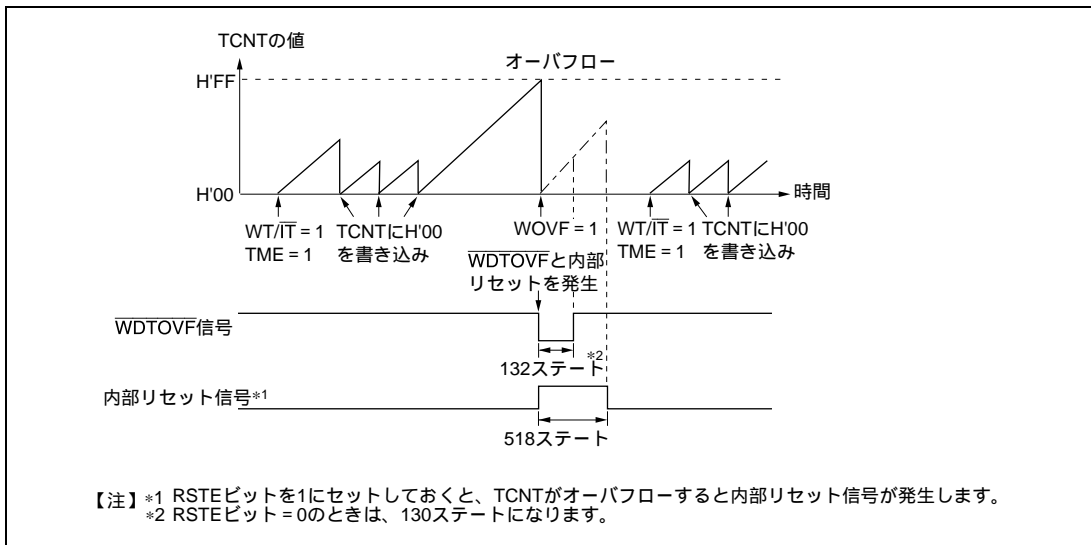


図 14.2 ウォッチドッグタイマモード時の動作

## 14. ウォッチドッグタイマ (WDT)

### 14.4.2 インターバルタイマモード

インターバルタイマとして使用するときは、TCSR の  $WT/\overline{IT}$  ビット = 0 に、TME ビット = 1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローすることによりインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

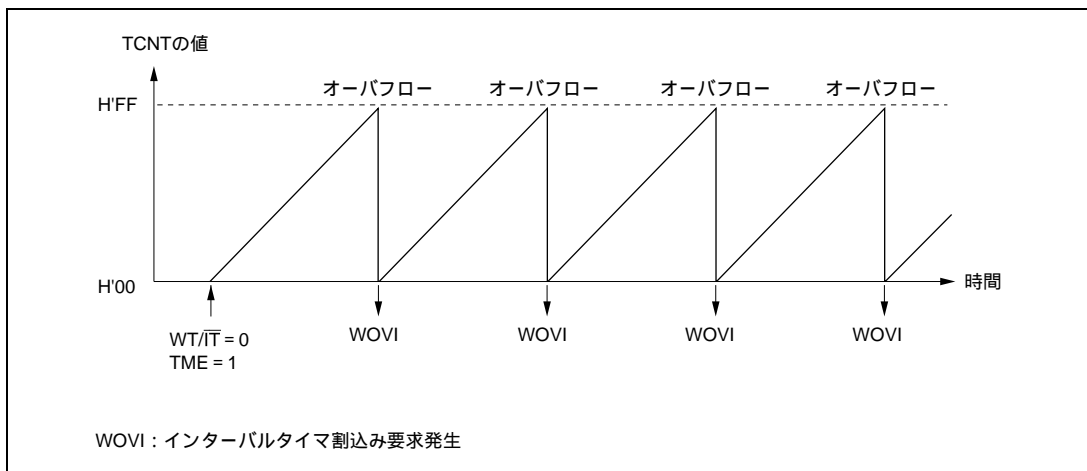


図 14.3 インターバルタイマモード時の動作

### 14.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 14.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバーフロー	OVF	不可



## 14. ウォッチドッグタイマ (WDT)

### 14.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートの次サイクルでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.5 に示します。

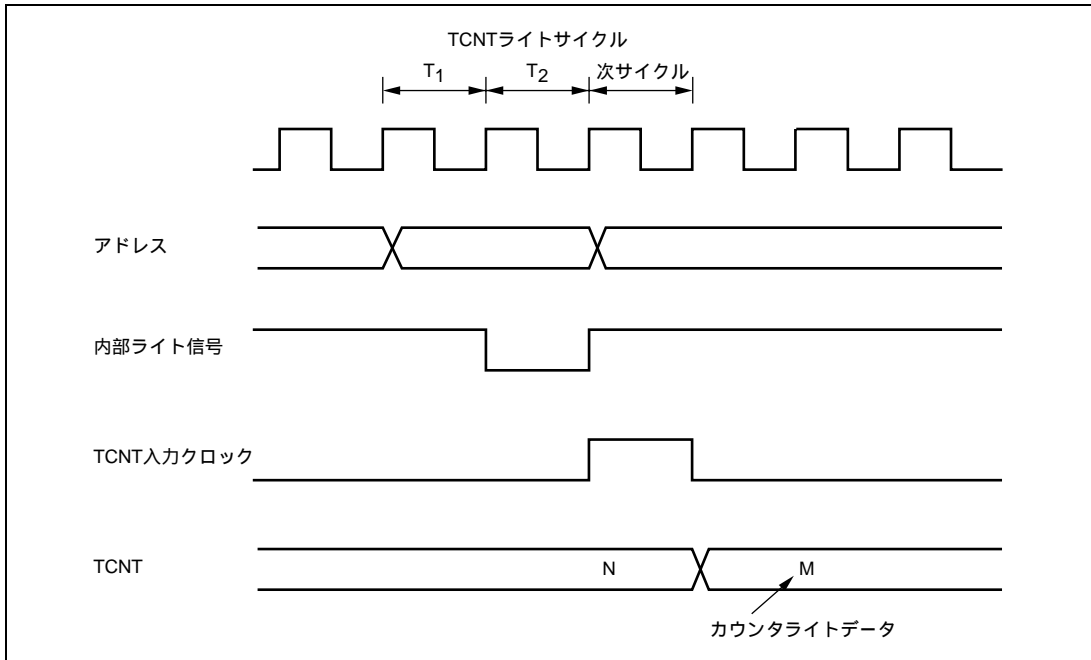


図 14.5 TCNT のライトとカウントアップの競合

### 14.6.3 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 14.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 14.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$  信号が Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$  信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

### 14.6.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$  信号を  $\overline{\text{RES}}$  端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$  信号は、 $\overline{\text{RES}}$  端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$  信号でシステム全体をリセットするときは、図 14.6 の示すような回路で行ってください。

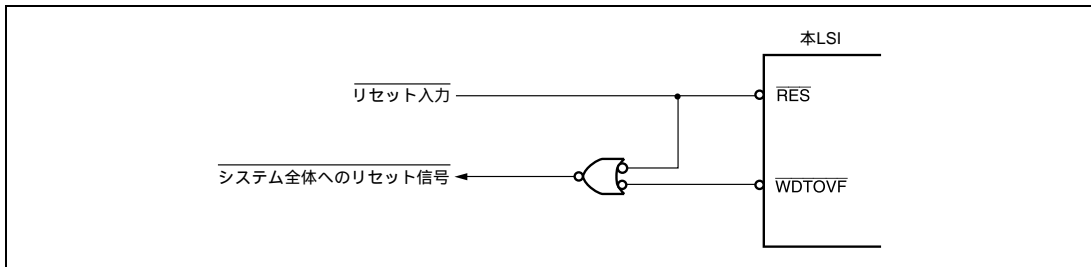


図 14.6  $\overline{\text{WDTOVF}}$  信号によるシステムのリセット回路例

## 14. ウォッチドッグタイマ (WDT)

---

---

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

---

本 LSI は独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。また、3 チャンネルのうち 1 チャンネル (SCI\_0) は、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の生成が可能です。SCI のブロック図を図 15.1 に示します。

### 15.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。

- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)

- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCまたはDMACを起動することができます。

- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能

- ストップビット長 : 1ビット/2ビット選択可能

- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能

- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー

- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

- 平均転送レートジェネレータ

(H8S/2678RグループのSCI\_2のみ) : 10.667MHz動作時に115.152kbps / 460.606kbps  
 16MHz動作時に115.196kbps / 460.784kbps / 720kbps  
 32MHz動作時に720kbpsを選択可能

クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

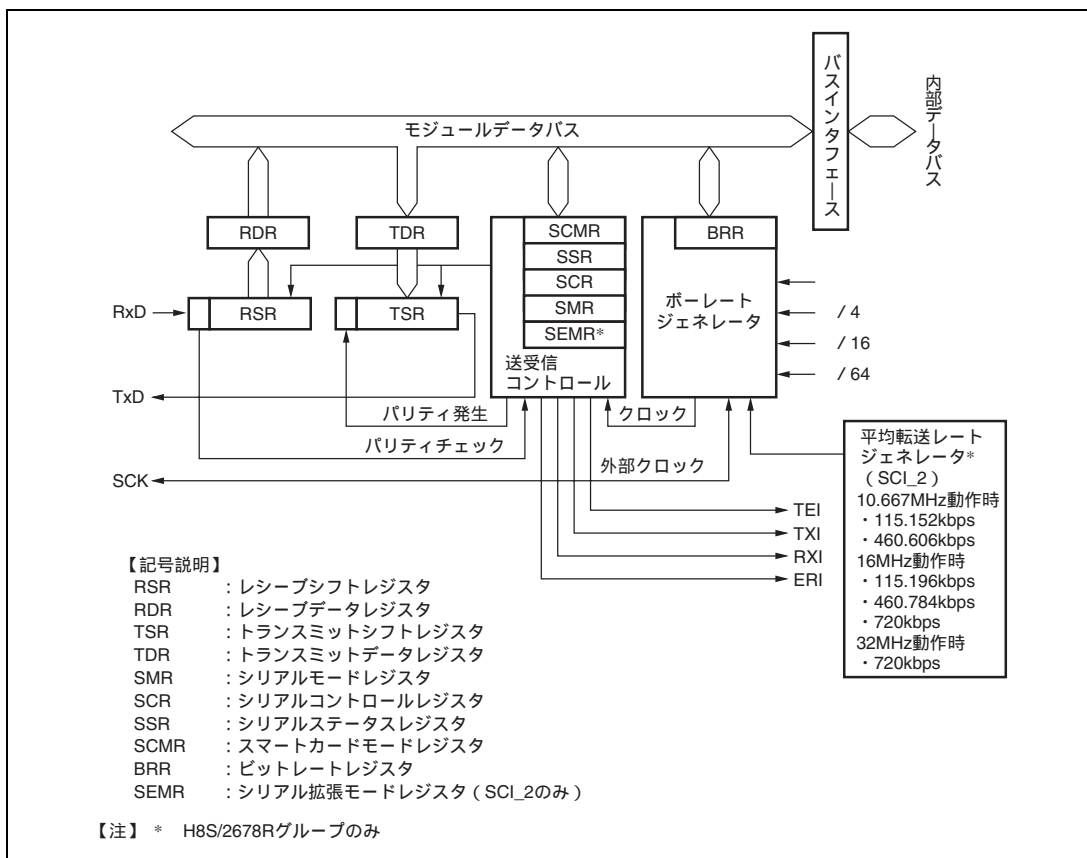


図 15.1 SCIのブロック図



## 15.2 入出力端子

SCI には、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0/IrRxD	入力	チャンネル0の受信データ入力端子 (通常/IrDA)
	TxD0/IrTxD	出力	チャンネル0の送信データ出力端子 (通常/IrDA)
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子

【注】\* 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

## 15.3 レジスタの説明

SCI には以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ\_0 (RSR\_0)
- トランスミットシフトレジスタ\_0 (TSR\_0)
- レシーブデータレジスタ\_0 (RDR\_0)
- トランスミットデータレジスタ\_0 (TDR\_0)
- シリアルモードレジスタ\_0 (SMR\_0)
- シリアルコントロールレジスタ\_0 (SCR\_0)
- シリアルステータスレジスタ\_0 (SSR\_0)
- スマートカードモードレジスタ\_0 (SCMR\_0)
- ビットレートレジスタ\_0 (BRR\_0)
- IrDAコントロールレジスタ\_0 (IrCR\_0)
- レシーブシフトレジスタ\_1 (RSR\_1)
- トランスミットシフトレジスタ\_1 (TSR\_1)
- レシーブデータレジスタ\_1 (RDR\_1)
- トランスミットデータレジスタ\_1 (TDR\_1)
- シリアルモードレジスタ\_1 (SMR\_1)

- シリアルコントロールレジスタ\_1 (SCR\_1)
- シリアルステータスレジスタ\_1 (SSR\_1)
- スマートカードモードレジスタ\_1 (SCMR\_1)
- ビットレートレジスタ\_1 (BRR\_1)
- レシーブシフトレジスタ\_2 (RSR\_2)
- トランスミットシフトレジスタ\_2 (TSR\_2)
- レシーブデータレジスタ\_2 (RDR\_2)
- トランスミットデータレジスタ\_2 (TDR\_2)
- シリアルモードレジスタ\_2 (SMR\_2)
- シリアルコントロールレジスタ\_2 (SCR\_2)
- シリアルステータスレジスタ\_2 (SSR\_2)
- スマートカードモードレジスタ\_2 (SCMR\_2)
- ビットレートレジスタ\_2 (BRR\_2)
- シリアル拡張モードレジスタ (SEMR) \*

【注】 \* H8S/2678R グループのみ

### 15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

### 15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

### 15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

### 15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

### 15.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)

ビット	ビット名	初期値	R/W	説明
7	C/A	0	R/W	コミュニケーションモード 0 : 調歩同期式モードで動作します。 1 : クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信します。 1 : データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0 : 1 ストップビット 1 : 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ機能がイネーブルになります。 マルチプロセッサモードでは PE、O/E ビットの設定は無効です。

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説 明
1	CKS1	0	R/W	クロックセレクト 1~0 内蔵ボーレートジェネレータのクロックソースを選択します。 00 : クロック (n=0) 01 : /4 クロック (n=1) 10 : /16 クロック (n=2) 11 : /64 クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「15.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。
0	CKS0	0	R/W	

### スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	GM	0	R/W	GSM モード このビットを1にセットするとGSMモードで動作します。GSMモードではTENDのセットタイミングが先頭から11.0etuに前倒しされ、クロック出力制御機能が追加されます。詳細は「15.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを1にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「15.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードでPE=1のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「15.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3	BCP1	0	R/W	基本クロックパルス 1~0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「15.3.9 ビットレートレジスタ (BRR)」中のSの値を表します。
2	BCP0	0	R/W	

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説 明
1	CKS1	0	R/W	クロックセレクト 1~0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00 : クロック (n=0) 01 : /4 クロック (n=1) 10 : /16 クロック (n=2) 11 : /64 クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「15.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。

### 15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル(調歩同期式モードで SMR の MP = 1 のとき有効) このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル1-0
0	CKE0	0	R/W	<p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ ( SCK 端子は入出力ポートとして使用できます )</p> <p>01 : 内蔵ポーレートジェネレータ ( SCK 端子からビットレートと同じ周波数のクロックを出力します )</p> <p>1X : 外部クロック ( SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。 )</p> <p>クロック同期式の場合</p> <p>0X : 内部クロック ( SCK 端子はクロック出力端子となります。 )</p> <p>1X : 外部クロック ( SCK 端子はクロック入力端子となります。 )</p>

【注】 X : Don't care

### スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを 1 にセットすると、送信動作が可能になります。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを 1 にセットすると、受信動作が可能になります。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル ( 調歩同期式モードで SMR の MP = 1 のとき有効 )</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1~0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「15.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力
0	CKE0	0	R/W	

【注】 X : Don't care

### 15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。

Rev.3.00 2005.09.09 15-9

RJJ09B0294-0300

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF=1の状態では次のデータを受信したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • ストップビットが0のとき [クリア条件] • 1の状態をリードした後、0をライトしたとき 2ストップビットモードのときも1ビット目のストップビットのみチェックします。
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
2	TEND	1	R	トランスミットエンド [セット条件] • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき • TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 \* フラグをクリアするための0ライトのみ可能です。



15. シリアルコミュニケーションインタフェース (SCI、IrDA)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• SCR の TE が 0 のとき</li> <li>• TDR から TSR にデータが転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき</li> </ul>
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• 受信が正常終了し、RSR から RDR へ受信データが転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき</li> </ul> <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。</p>
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• RDRF=1 の状態で次のデータを受信したとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul>
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• エラーシグナル Low をサンプリングしたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• 受信中にパリティエラーを検出したとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> </ul>

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCR の TE=0 かつ ESR=0 のとき</li> <li>• 1 バイトのデータを送信して一定期間後、ESR=0 かつ TDRE=1 のとき</li> </ul> <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 1.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 1.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき</li> <li>• TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき</li> </ul>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 15.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて1		リザーブビット リードすると常に1がリードされます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合はSMRのO/Eビットを反転してください。 0: TDRの内容をそのまま送信、受信データをそのままRDRに格納 1: TDRの内容を反転して送信、受信データを反転してRDRに格納
1		1		リザーブビット リードすると常に1がリードされます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき1をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

### 15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 15.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 15.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	
スマートカード インタフェース	$B = \frac{\times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

n : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.3 に、各動作周波数における設定可能な最大ビットレートを表 15.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 15.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 15.5、表 15.7 に外部クロック入力時の最大ビットレートを示します。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.3 ビットレートに対する BRR の設定例 [調歩同期モード] (1)

ビットレート (bit/s)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.3 ビットレートに対する BRR の設定例 [ 調歩同期モード ] ( 2 )

ビットレート ( bit/s )	動作周波数 ( MHz )											
	6			6.144			7.3728			8		
	n	N	誤差 ( % )	n	N	誤差 ( % )	n	N	誤差 ( % )	n	N	誤差 ( % )
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート ( bit/s )	動作周波数 ( MHz )											
	9.8304			10			12			12.288		
	n	N	誤差 ( % )	n	N	誤差 ( % )	n	N	誤差 ( % )	n	N	誤差 ( % )
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.3 ビットレートに対する BRR の設定例 (調歩同期式モード) (3)

ビットレート (bit/s)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	動作周波数 (MHz)											
	18			19.6608			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25	3	110	- 0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	- 0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	- 0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	- 0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	0.15
9600	0	58	- 0.69	0	63	0.00	0	64	0.16	0	80	- 0.47
19200	0	28	1.02	0	31	0.00	0	32	- 1.36	0	40	- 0.76
31250	0	17	0.00	0	19	- 1.70	0	19	0.00	0	24	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73	0	19	1.73

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

---

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(4)

ビットレート (bit/s)	動作周波数 (MHz)					
	30			33		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33
150	3	97	- 0.35	3	106	0.39
300	2	194	0.16	2	214	- 0.07
600	2	97	- 0.35	2	106	0.39
1200	1	194	0.16	1	214	- 0.07
2400	1	97	- 0.35	1	106	0.39
4800	0	194	0.16	0	214	- 0.07
9600	0	97	- 0.35	0	106	0.39
19200	0	48	- 0.35	0	53	- 0.54
31250	0	29	0	0	32	0
38400	0	23	1.73	0	26	- 0.54



## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.4 各動作周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N	(MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0	10	312500	0	0
2.097152	65536	0	0	12	375000	0	0
2.4576	76800	0	0	12.288	384000	0	0
3	93750	0	0	14	437500	0	0
3.6864	115200	0	0	14.7456	460800	0	0
4	125000	0	0	16	500000	0	0
4.9152	153600	0	0	17.2032	537600	0	0
5	156250	0	0	18	562500	0	0
6	187500	0	0	19.6608	614400	0	0
6.144	192000	0	0	20	625000	0	0
7.3728	230400	0	0	25	781250	0	0
8	250000	0	0	30	937500	0	0
9.8304	307200	0	0	33	1031250	0	0

表 15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250	10	2.5000	156250
2.097152	0.5243	32768	12	3.0000	187500
2.4576	0.6144	38400	12.288	3.0720	192000
3	0.7500	46875	14	3.5000	218750
3.6864	0.9216	57600	14.7456	3.6864	230400
4	1.0000	62500	16	4.0000	250000
4.9152	1.2288	76800	17.2032	4.3008	268800
5	1.2500	78125	18	4.5000	281250
6	1.5000	93750	19.6608	4.9152	307200
6.144	1.5360	96000	20	5.0000	312500
7.3728	1.8432	115200	25	6.2500	390625
8	2.0000	125000	30	7.5000	468750
9.8304	2.4576	153600	33	8.2500	515625

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	動作周波数 (MHz)																	
	2		4		8		10		16		20		25		30		33	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-														
250	2	124	2	249	3	124	-	-	3	249								
500	1	249	2	124	2	249	-	-	3	124	-	-			3	233		
1k	1	124	1	249	2	124	-	-	2	249	-	-	3	97	3	116	3	128
2.5k	0	199	1	99	1	199	1	249	2	99	2	124	2	155	2	187	2	205
5k	0	99	0	199	1	99	1	124	1	199	1	249	2	77	2	93	2	102
10k	0	49	0	99	0	199	0	249	1	99	1	124	1	155	1	187	1	205
25k	0	19	0	39	0	79	0	99	0	159	0	199	0	249	1	74	1	82
50k	0	9	0	19	0	39	0	49	0	79	0	99	0	124	0	149	0	164
100k	0	4	0	9	0	19	0	24	0	39	0	49	0	62	0	74	0	82
250k	0	1	0	3	0	7	0	9	0	15	0	19	0	24	0	29	0	32
500k	0	0*	0	1	0	3	0	4	0	7	0	9	-	-	0	14	-	-
1M			0	0*	0	1			0	3	0	4	-	-	-	-	-	-
2.5M							0	0*			0	1	-	-	0	2	-	-
5M											0	0*	-	-	-	-	-	-

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がです。

\* : 連続送信/連続受信はできません。

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3	16	2.6667	2666666.7
4	0.6667	666666.7	18	3.0000	3000000.0
6	1.0000	1000000.0	20	3.3333	3333333.3
8	1.3333	1333333.3	25	4.1667	4166666.7
10	1.6667	1666666.7	30	5.0000	5000000.0
12	2.0000	2000000.0	33	5.5000	5500000.0
14	2.3333	2333333.3			

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.8 ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

ビットレート (bit/s)	動作周波数 (MHz)								
	25.00			30.00			33.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59

表 15.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

(MHz)	最大ビットレート (bit/s)	n	N	(MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	18.00	24194	0	0
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
14.2848	19200	0	0	33.00	44355	0	0
16.00	21505	0	0				

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

### 15.3.10 IrDA コントロールレジスタ (IrCR)

IrCR は、SCI\_0 の機能の選択を行いません。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI_0 の入出力を通常の SCI または IrDA に設定します。 0 : TxD0/IrTxD、RxD0/IrRxD 端子は TxD0、RxD0 として動作 1 : TxD0/IrTxD、RxD0/IrRxD 端子は IrTxD、IrRxD として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : パルス幅 = $B \times 3/16$ (ビットレートの 3/16) 001 : パルス幅 = /2 010 : パルス幅 = /4 011 : パルス幅 = /8 100 : パルス幅 = /16 101 : パルス幅 = /32 110 : パルス幅 = /64 111 : パルス幅 = /128
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3~0		すべて 0		リザーブビット リードすると常に 0 がリードされます。ライトは無効です。

## 15.3.11 シリアル拡張モードレジスタ (SEMR)

SEMR は、調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートの選択により基本クロックが自動設定できます。SEMR は、H8S/2678R グループの SCI\_2 にのみあります。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値がリードされます。ライトは無効です。
3	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作
2	ACS2	0	R/W	調歩同期クロックソースセレクト (調歩同期式モードで CKS1 = 1 のとき有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCS ビットの値に関係なく基本クロックが自動設定されます。 000 : 外部クロック入力 001 : = 10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 010 : = 10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 011 : = 32MHz 専用の平均転送レート 720kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 100 : 設定禁止 101 : = 16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 110 : = 16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 111 : = 16MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 平均転送レートは、10.667MHz、16MHz または 32MHz の動作周波数以外には対応していません。
1	ACS1	0	R/W	
0	ACS0	0	R/W	

## 15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

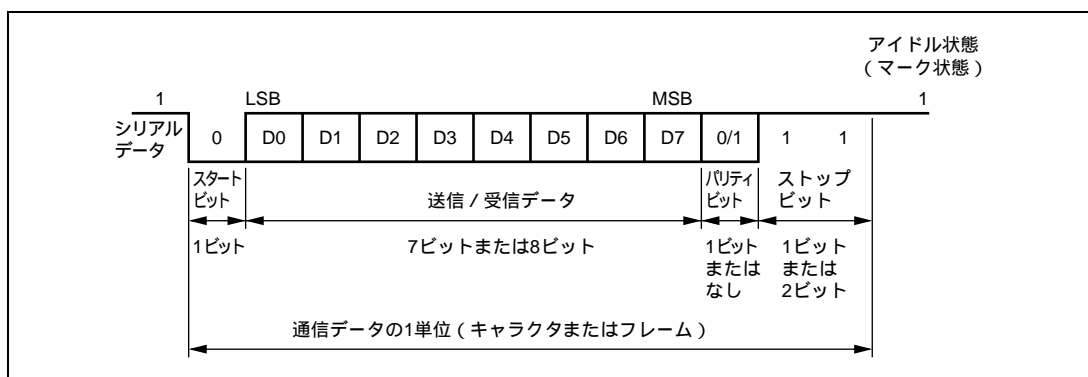


図 15.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

### 15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

### 15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図15.3に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1+F) \right\} \times 100 \quad [\%] \quad \cdots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

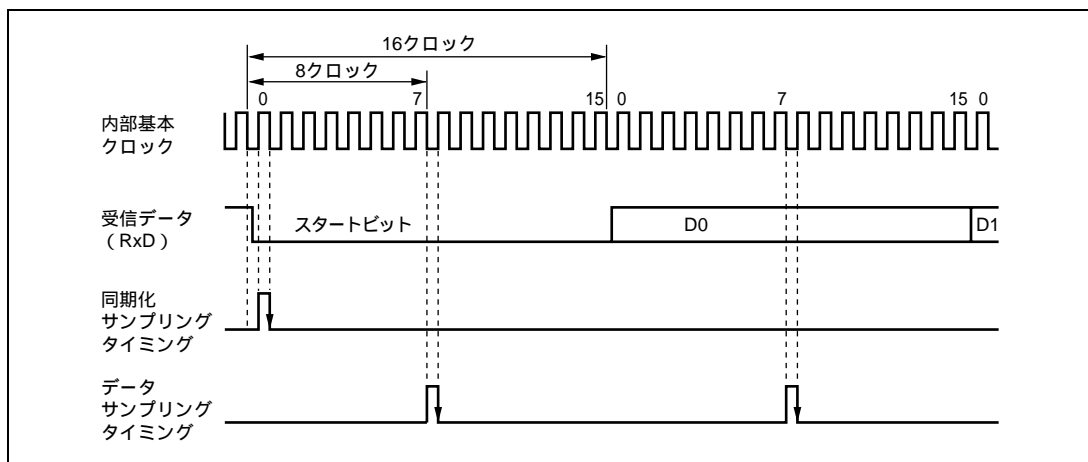


図 15.3 調歩同期式モードの受信データサンプリングタイミング



### 15.4.3 クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.4に示すように送信データの中央でクロックが立ち上がります。

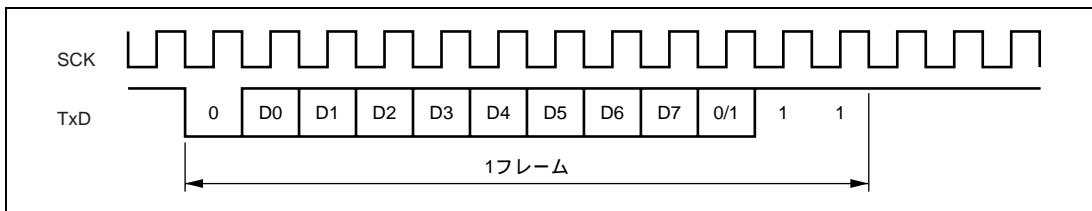


図 15.4 出力クロックと送信データの位相関係 (調歩同期式モード)

## 15.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図15.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

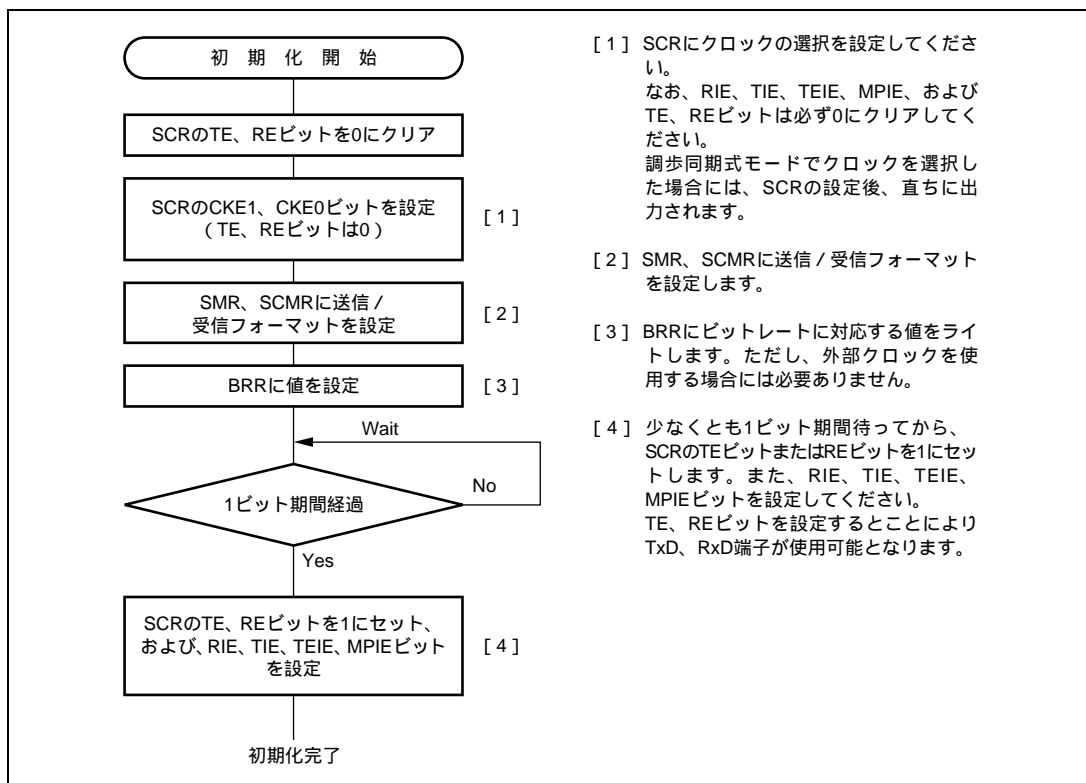


図 15.5 SCIの初期化フローチャートの例

## 15.4.5 データ送信 (調歩同期式)

図 15.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 15.7 にデータ送信のフローチャートの例を示します。

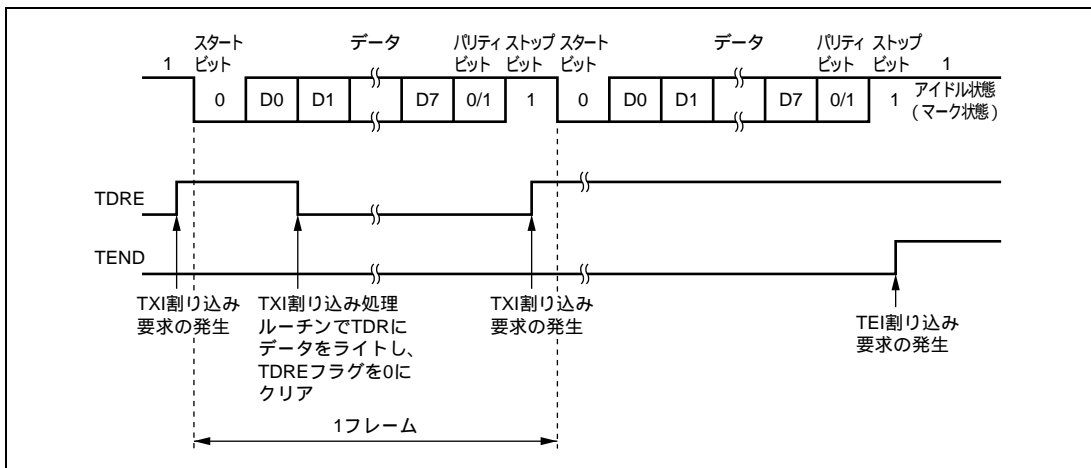


図 15.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

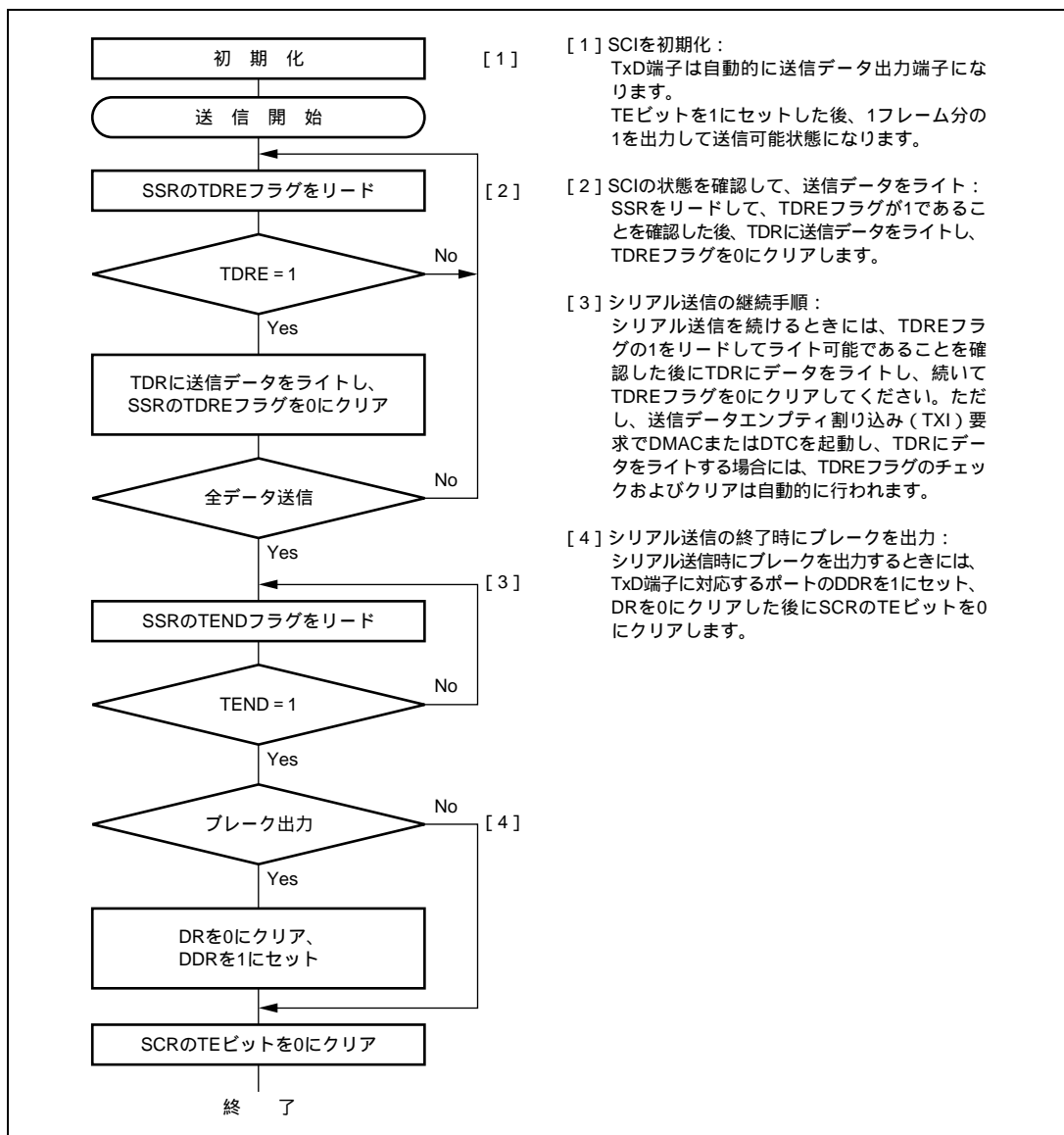


図 15.7 シリアル送信のフローチャートの例

## 15.4.6 シリアルデータ受信 (調歩同期式)

図 15.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

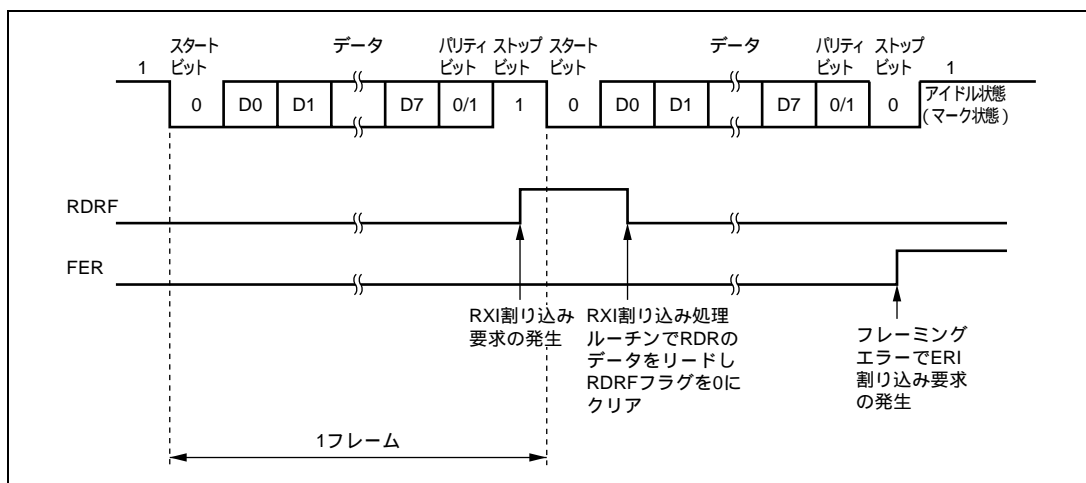


図 15.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 15.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.9 にデータ受信のためのフローチャートの例を示します。

## 15. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 15.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 \* RDRF は、データ受信前の状態を保持します。

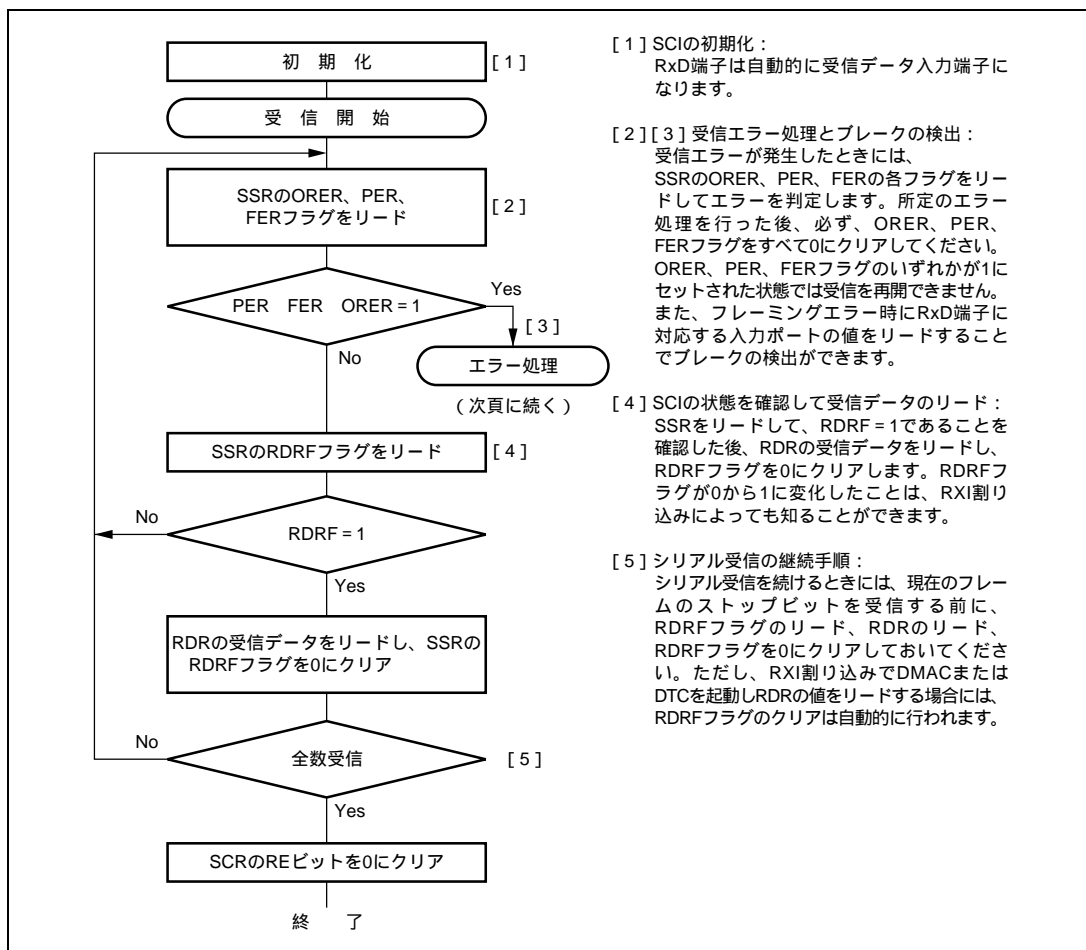


図 15.9 シリアル受信データフローチャートの例 (1)

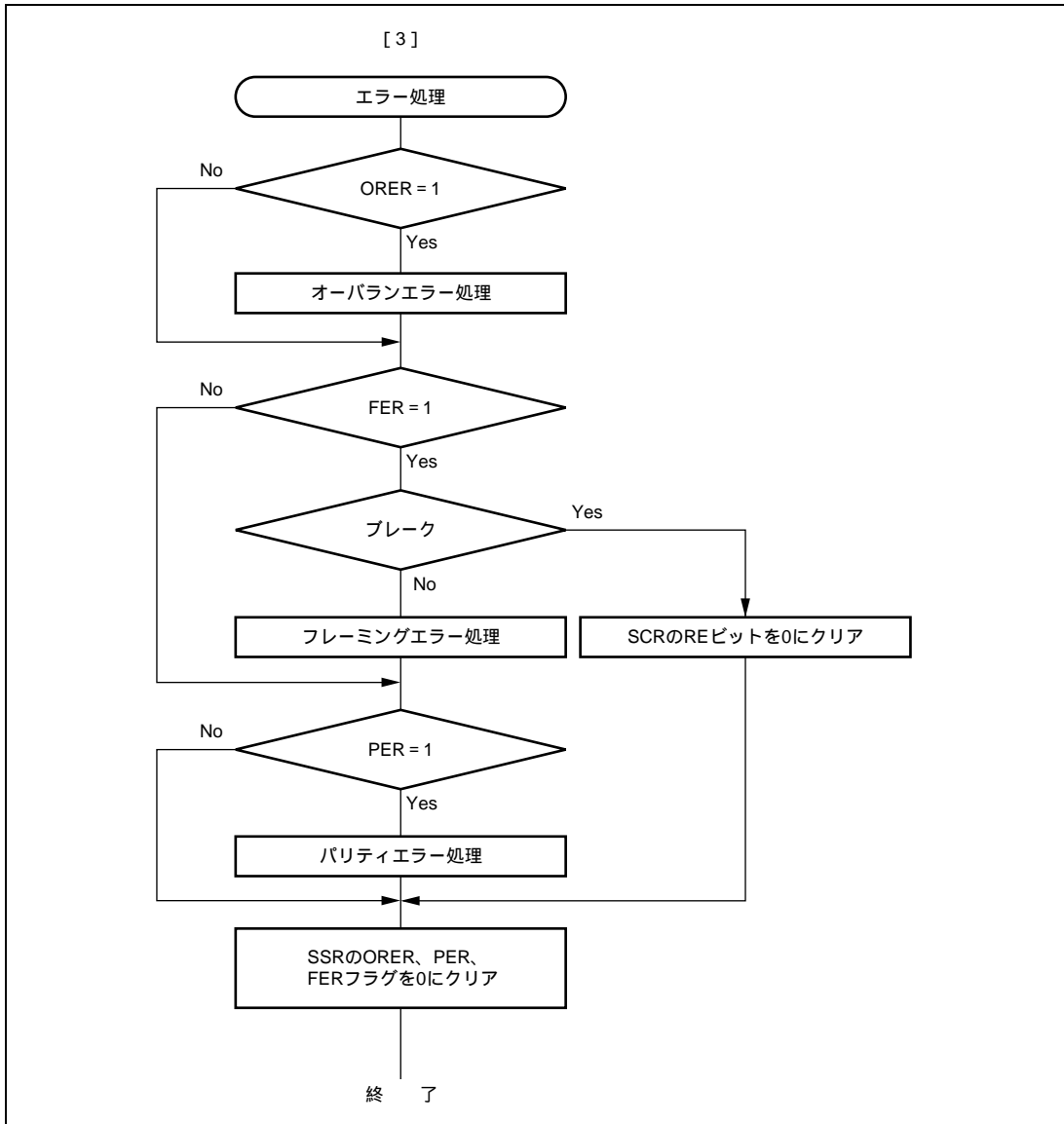


図 15.9 シリアル受信データフローチャートの例 (2)

## 15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

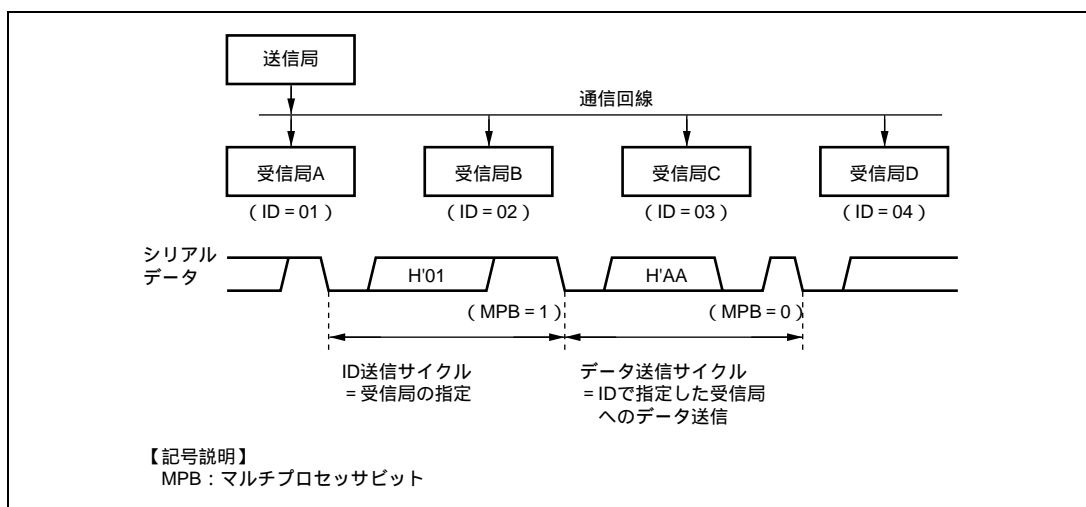


図 15.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)



## 15.5.1 マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

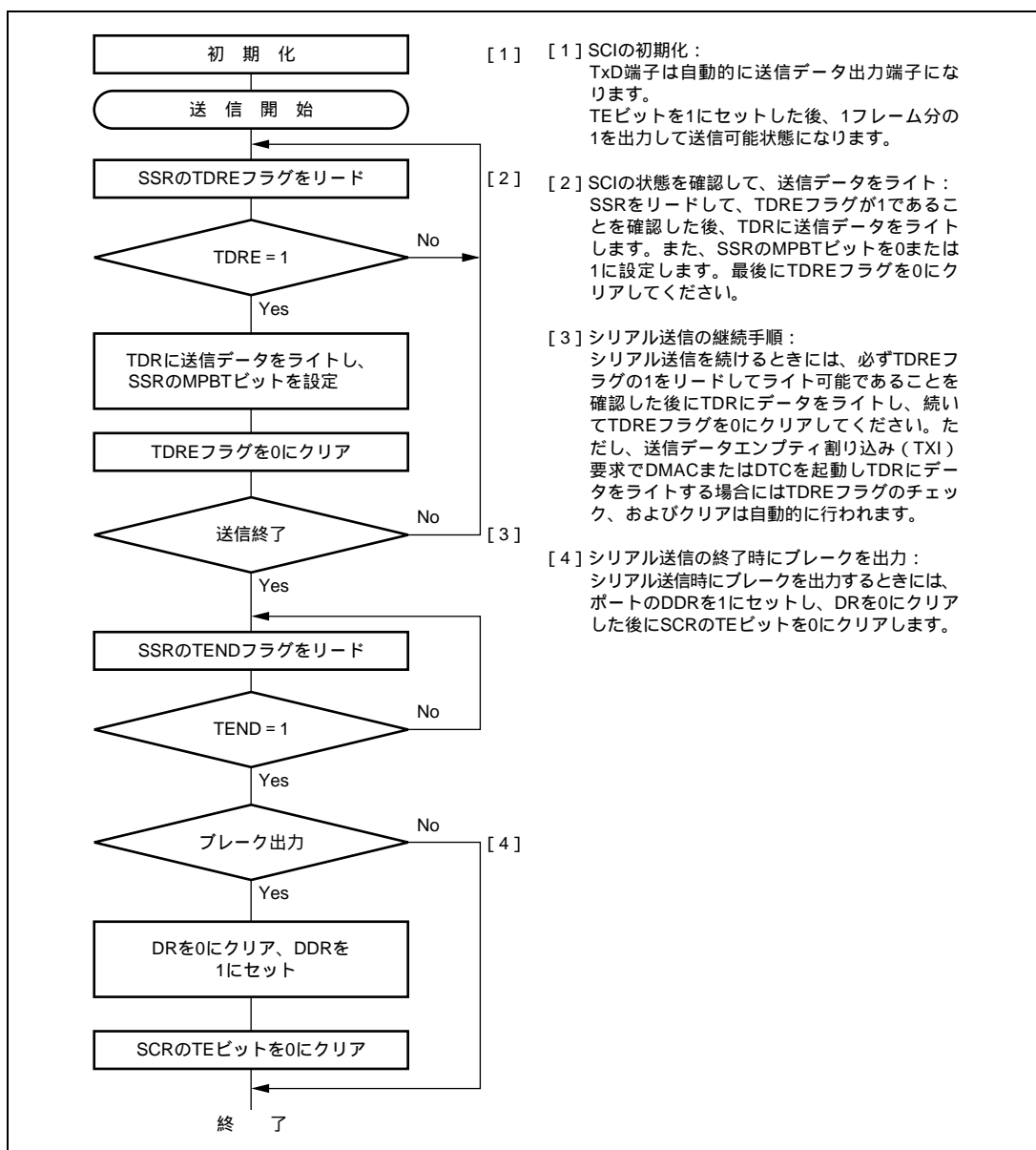


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

### 15.5.2 マルチプロセッサシリアルデータ受信

図 15.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 15.12 に受信時の動作例を示します。

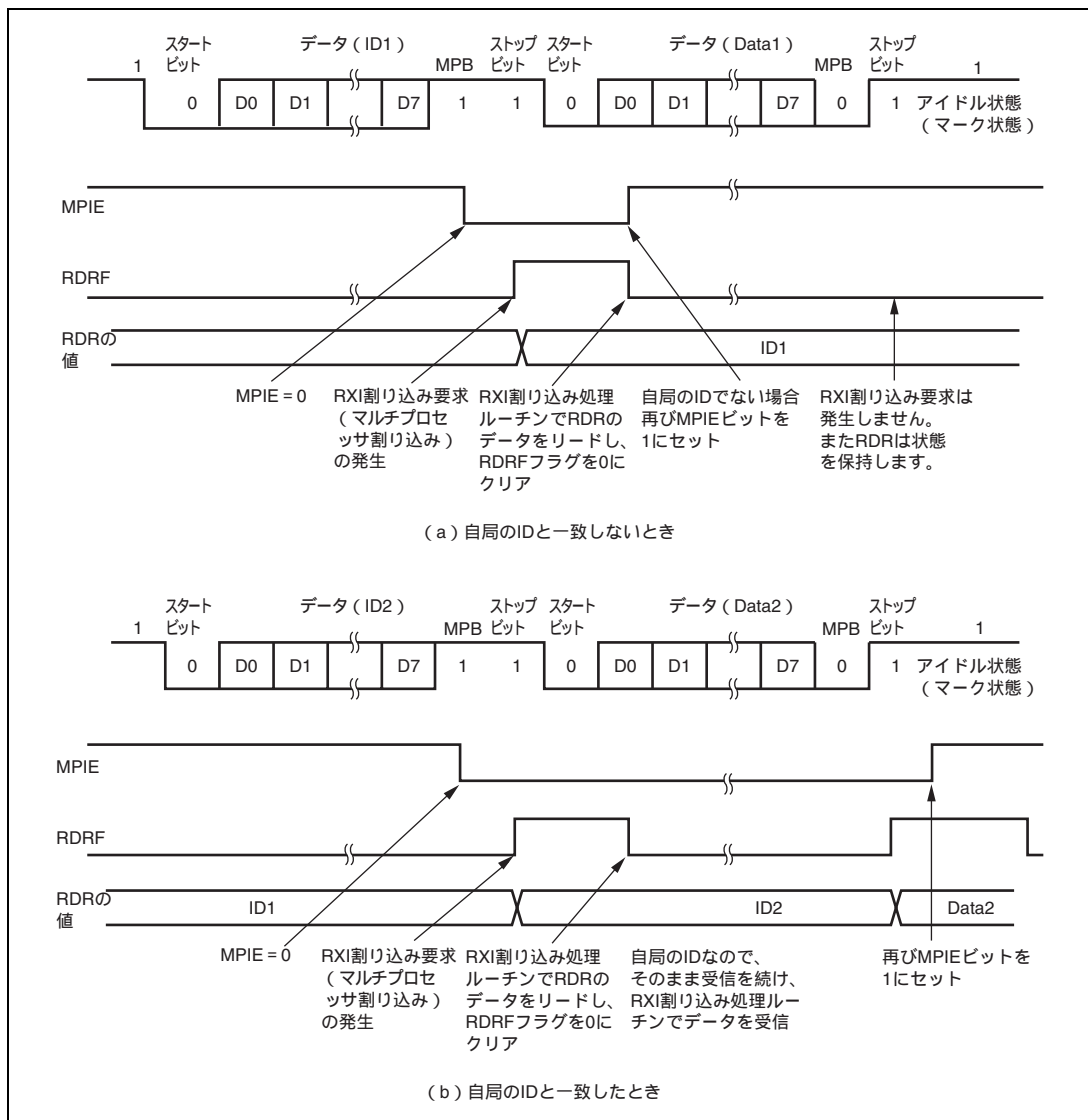


図 15.12 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

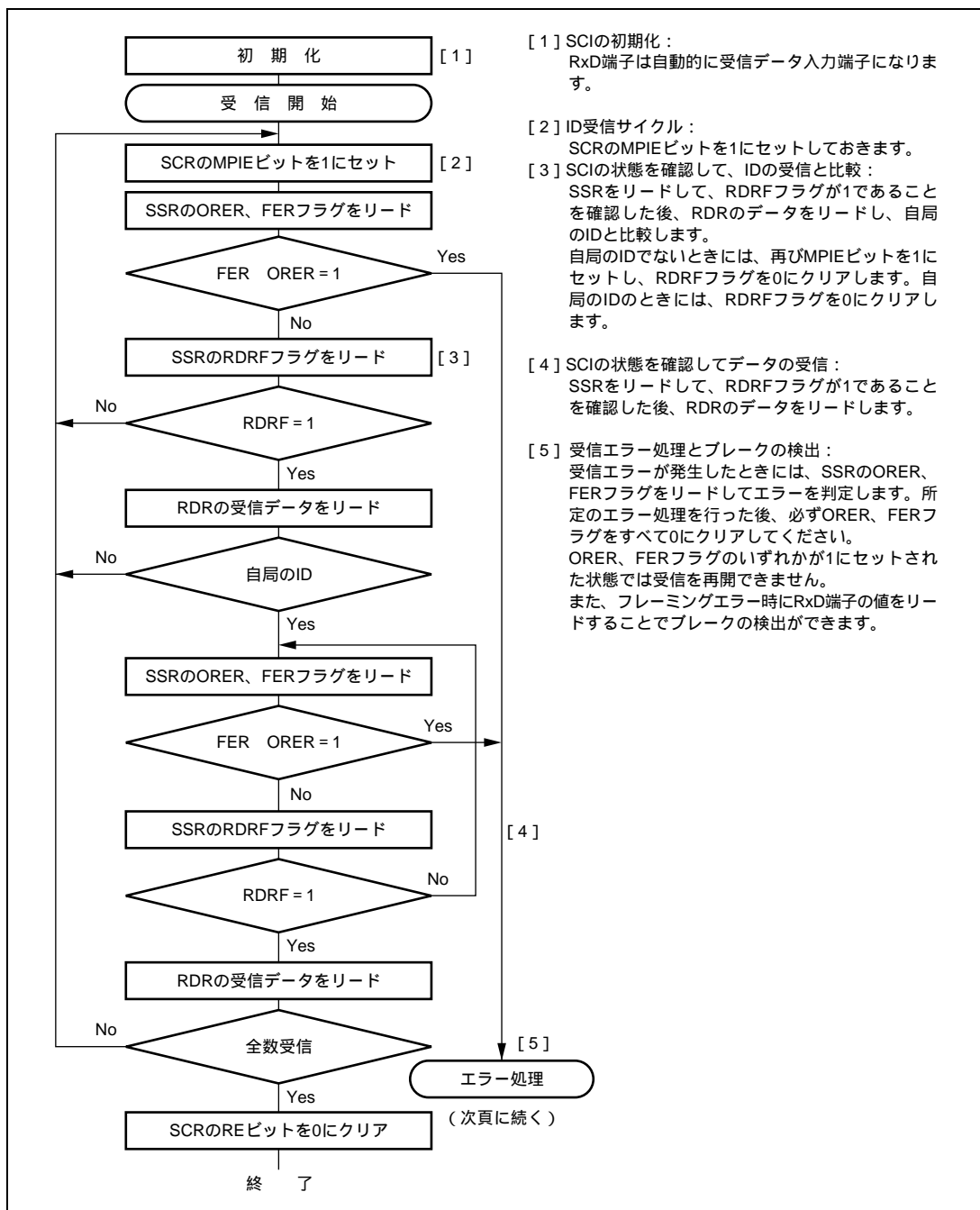


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

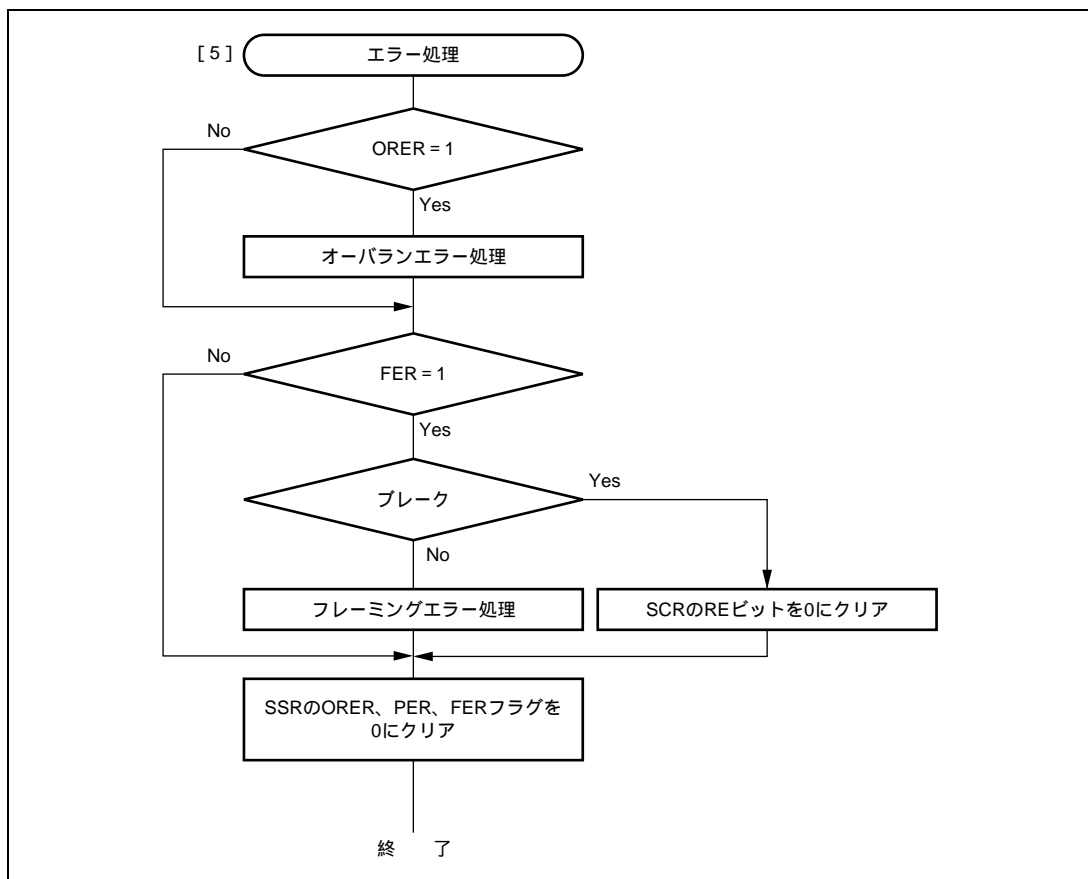


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

## 15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保持します。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

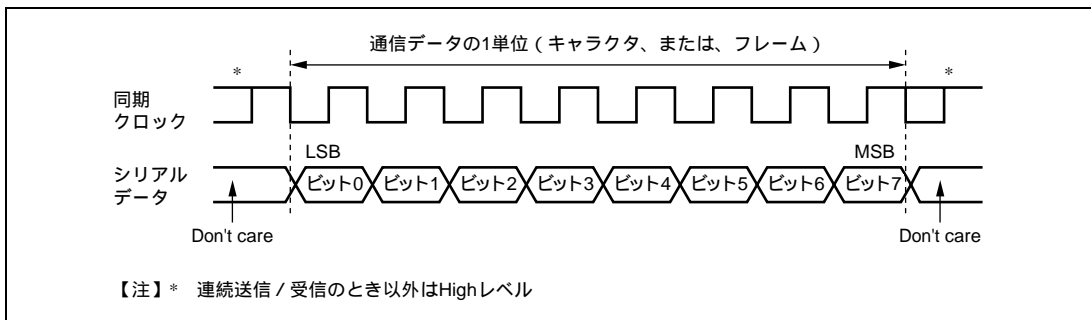


図 15.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

### 15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

### 15.6.2 SCIの初期化

データの送受信前に、SCRのTE、REビットをクリアした後、図15.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

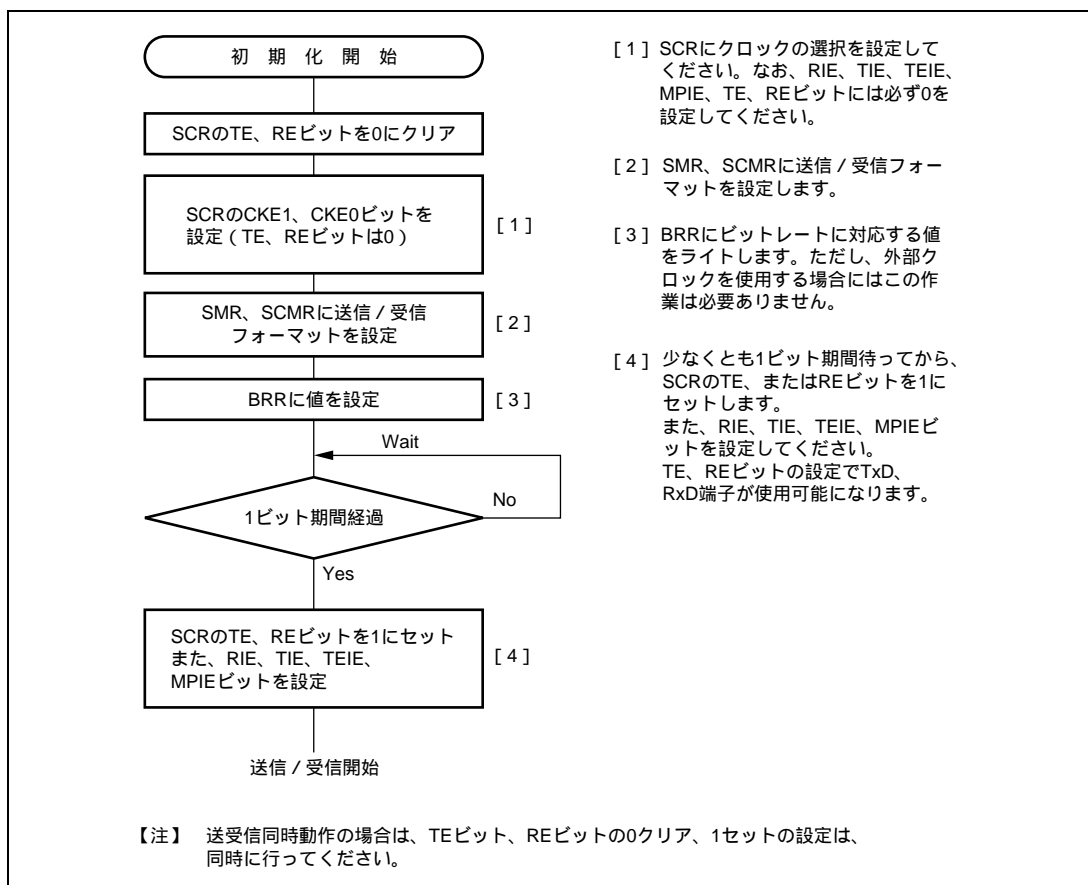


図 15.15 SCIの初期化フローチャートの例

## 15.6.3 シリアルデータ送信 (クロック同期式)

図 15.16 にクロック同期モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCI は SSR の TDRE を監視し、クリアされると TDR にデータが書き込まれたと認識して TDR から TSR にデータを転送します。
2. TDR から TSR にデータを転送すると、TDRE を 1 にセットして送信を開始します。このとき、SCR の TIE が 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込みルーチンで、前に転送したデータの送信が終了するまでに TDR に次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE をチェックします。
5. TDRE が 0 であると次の送信データを TDR から TSR にデータを転送し、次のフレームの送信を開始します。
6. TDRE が 1 であると SSR の TEND に 1 をセットし、最終ビット出力状態を保持します。このとき SCR の TEIE が 1 にセットされていると TEI を発生します。SCK 端子は High レベルに固定されます。

図 15.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、RE ビットをクリアしただけでは、受信エラーフラグはクリアされませんので注意してください。

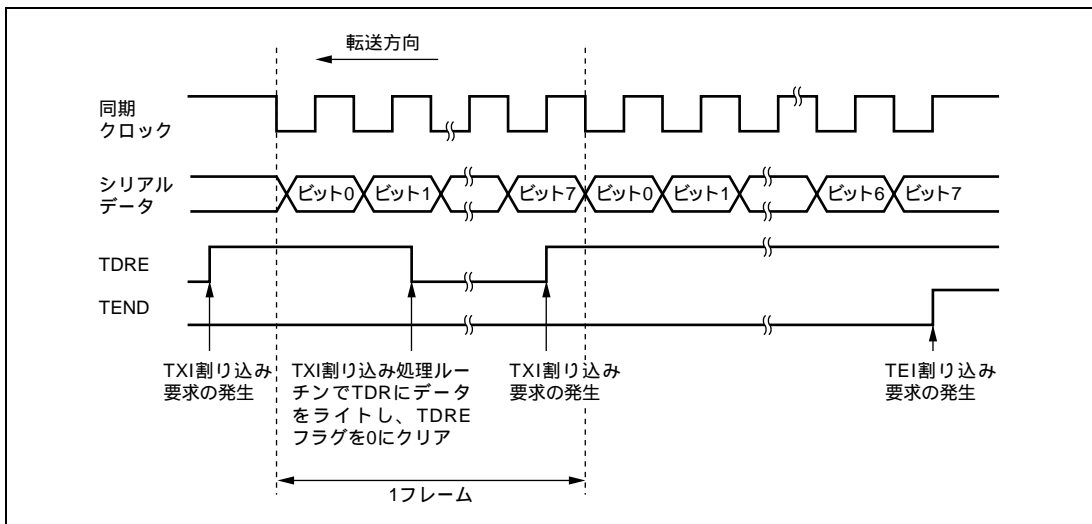


図 15.16 クロック同期モードの送信時の動作例

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

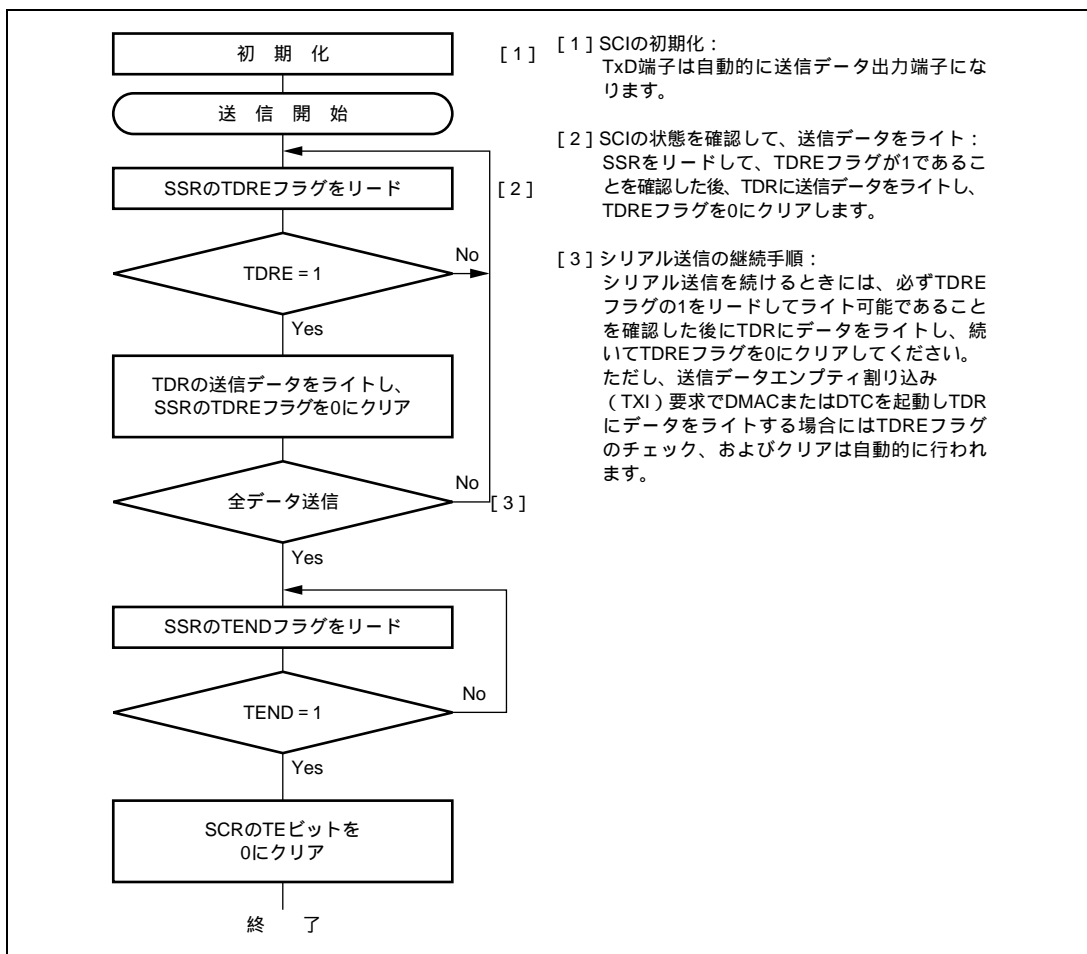


図 15.17 シリアル送信のフローチャートの例



## 15.6.4 シリアルデータ受信 (クロック同期式)

図 15.18 にクロック同期モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

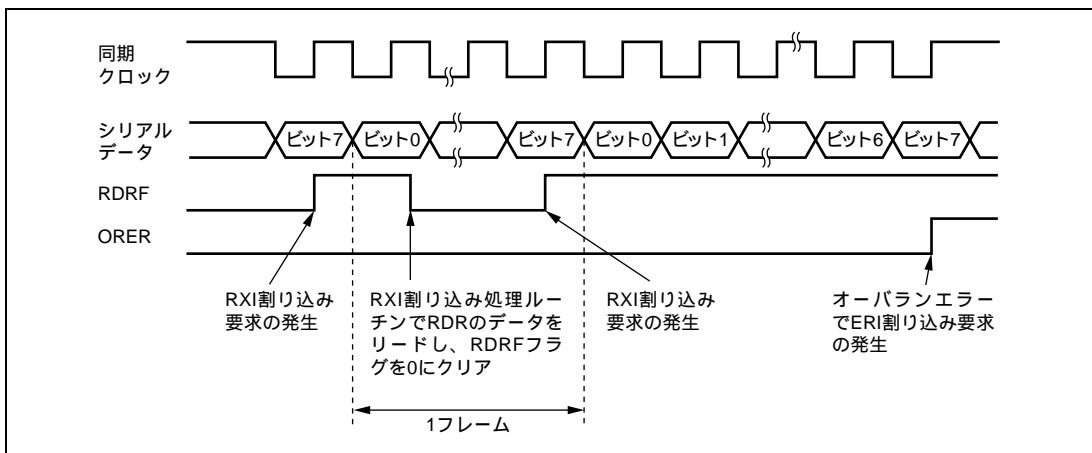


図 15.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.19 にデータ受信のためのフローチャートの例を示します。

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

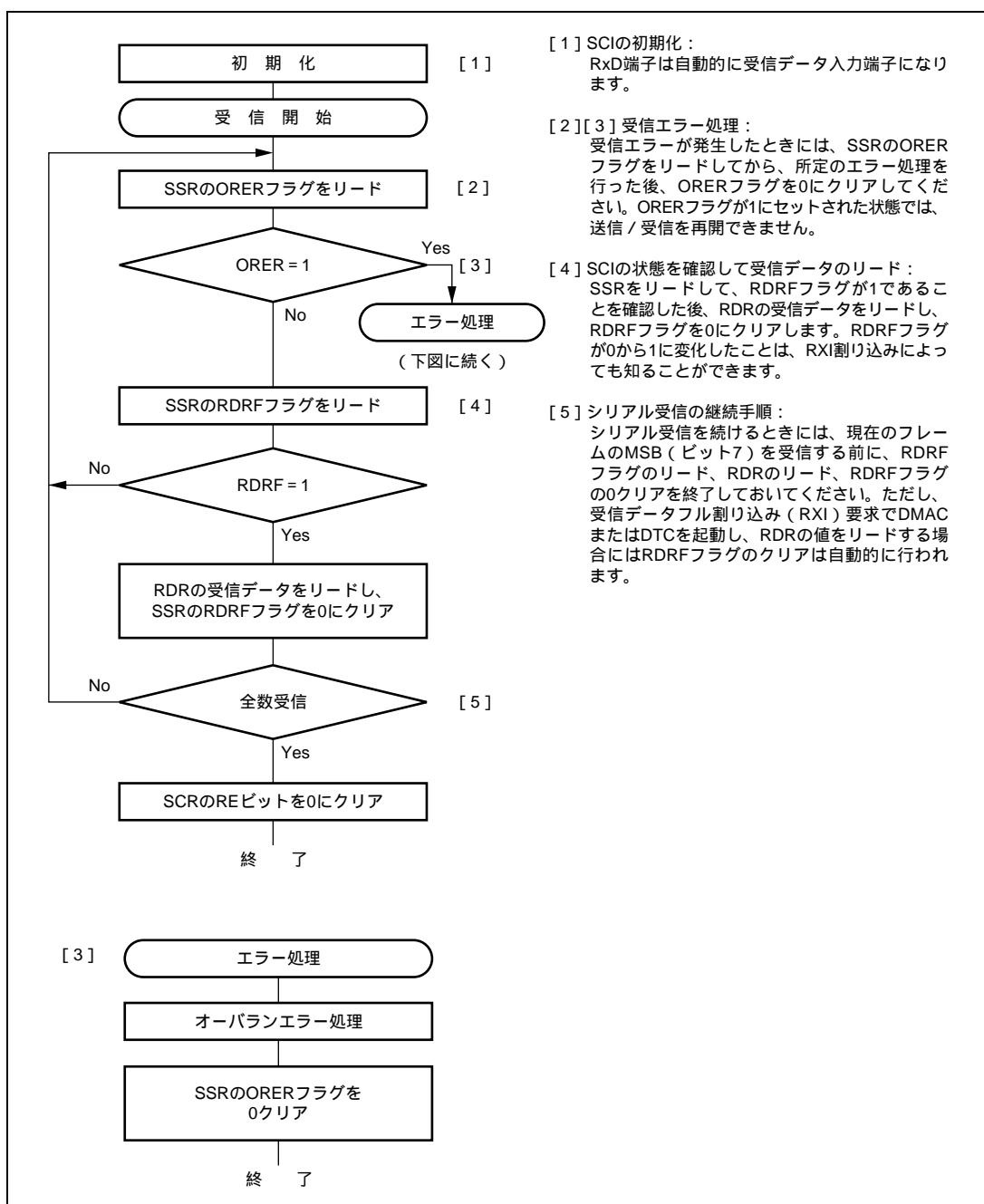


図 15.19 シリアルデータ受信フローチャートの例

### 15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

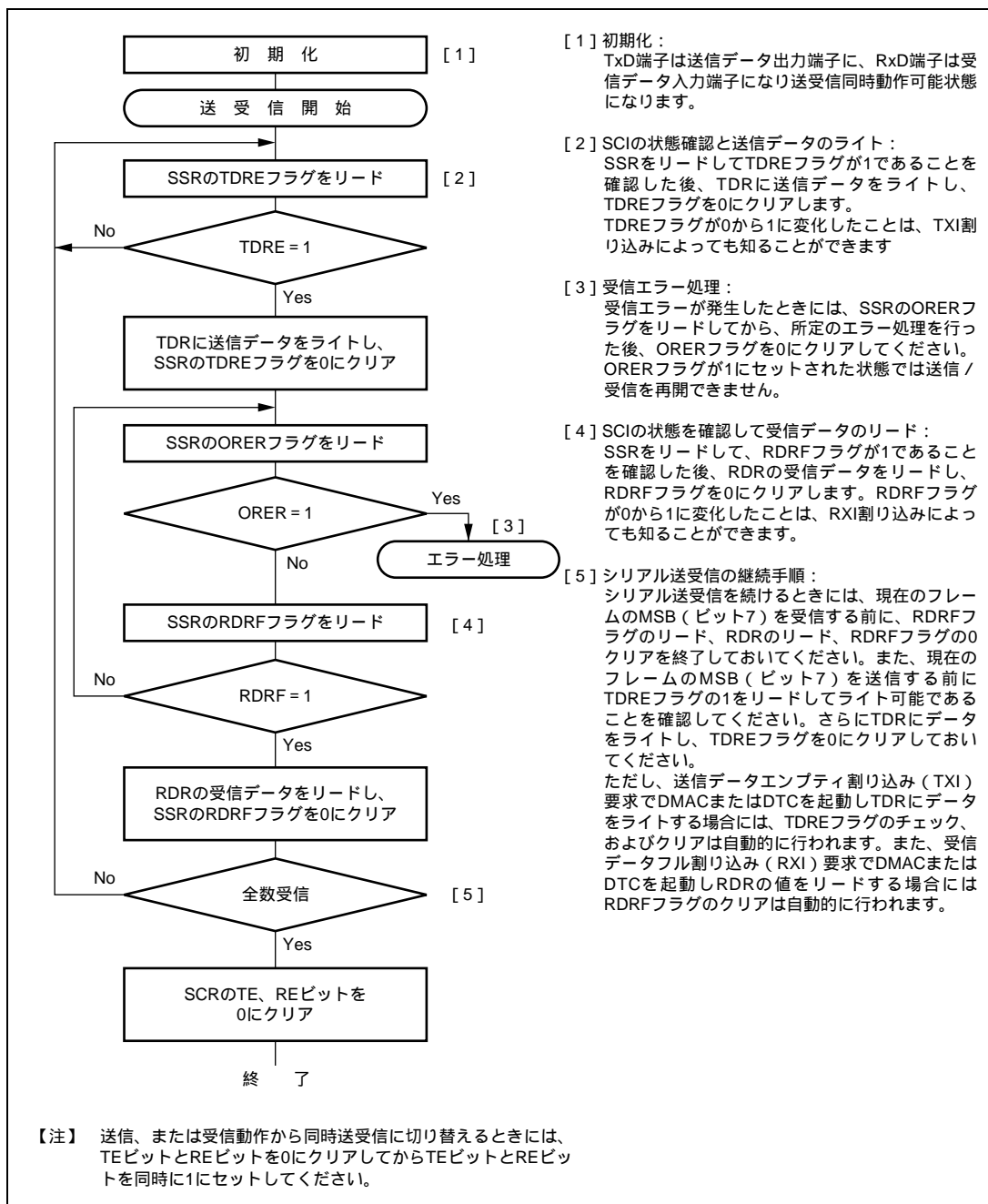


図 15.20 シリアル送受信同時動作のフローチャートの例

## 15.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード(スマートカード)とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 15.7.1 接続例

図 15.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源V<sub>CC</sub>側にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。リセット信号の出力には本LSIの出力ポートを使用できます。

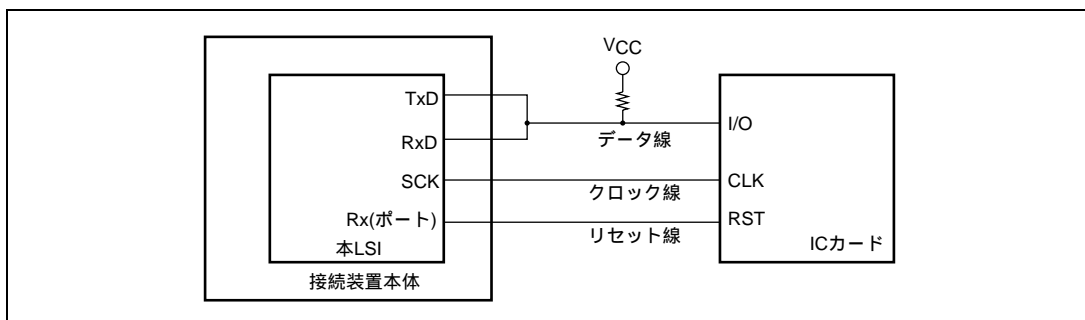


図 15.21 スマートカードインタフェース端子接続概要

### 15.7.2 データフォーマット (ブロック転送モード時を除く)

図 15.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

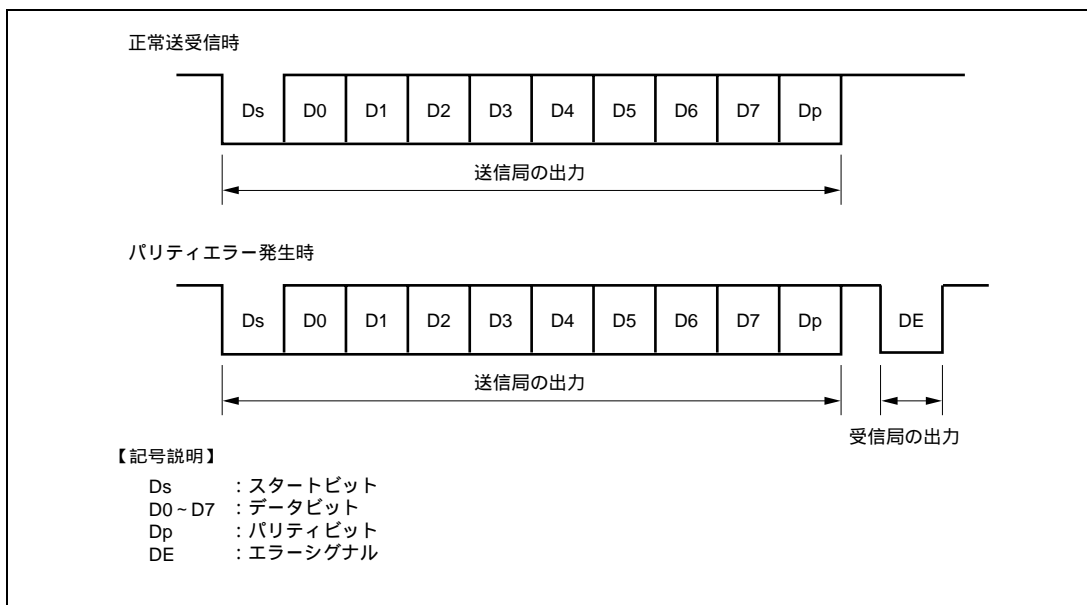


図 15.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインパースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

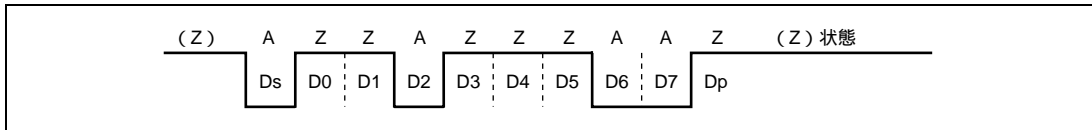


図 15.23 ダイレクトコンベンション (SDIR = SINV = O/E = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/E ビットには 0 をセットしてください。

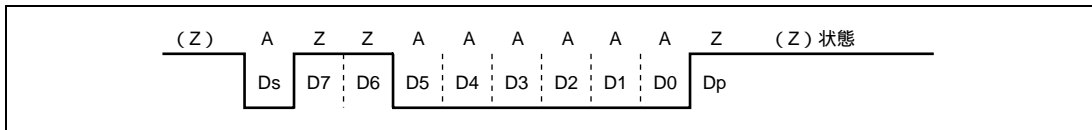


図 15.24 インバースコンベンション (SDIR = SINV = O/E = 1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7 ~ D0 のみ反転させます。このため、送受信とも SMR の O/E ビットに 1 を設定してパリティビットを反転させてください。

### 15.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

## 15.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図15.25に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N=32、64、372、256）

D：クロックデューティ（D=0~1.0）

L：フレーム長（L=10）

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

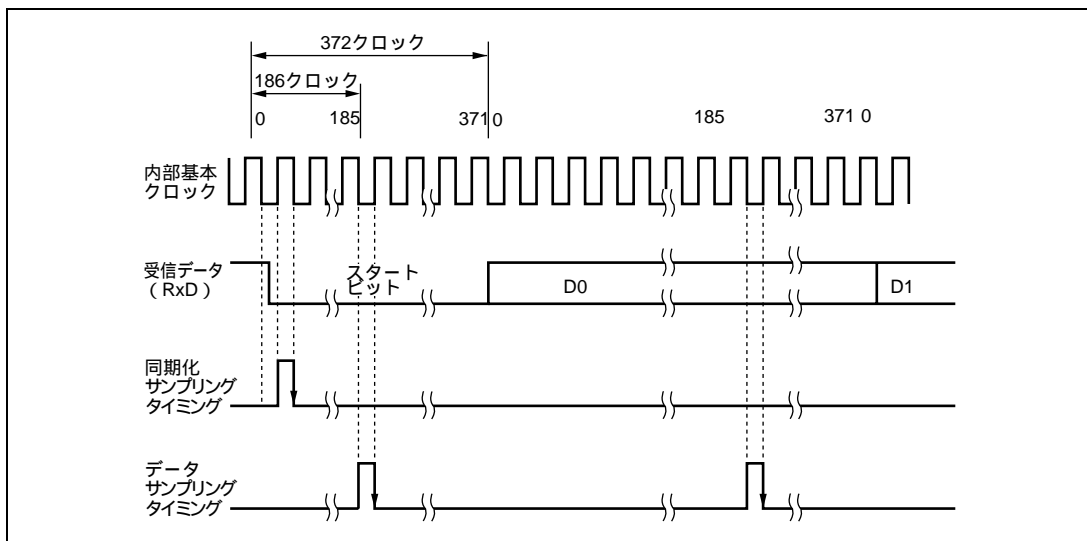


図 15.25 スマートカードインタフェースモード時の受信データサンプリングタイミング（372倍のクロック使用時）



### 15.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。  
SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。  
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

### 15.7.6 データ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 15.26 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されません。

送信処理フローの例を図 15.28 に示します。これら一連の処理はTXI 割り込み要因によってDTCまたはDMACを起動することで、自動的に行うことができます。送信動作では、SSRのTENDフラグが1にセットされると同時にTDREフラグもセットされ、SCRのTIEをセットしておくことでTXI 割り込み要求を発生します。あらかじめDTCまたはDMACの起動要因にTXI要求を設定しておけば、TXI要求によりDTCまたはDMACが起動されて送信データの転送を行います。TDREおよびTENDフラグは、DTCまたはDMACによるデータ転送時に自動的に0にクリアされます。エラーが発生した場合はSCIが自動的に同じデータを再送信します。この間TENDは0のまま保持され、DTCまたはDMACは起動されません。したがって、エラー発生時の再送信を含め、SCIとDTCまたはDMACが指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERSフラグは自動的にクリアされませんので、RIEビットを1にセットしておき、エラー発生時にERI 割り込み要求を発生させ、ERSをクリアしてください。

なお、DTCまたはDMACを使って送受信を行う場合は、必ず先にDTCまたはDMACを設定し、許可状態にしてからSCIの設定を行ってください。DTCまたはDMACの設定方法は「第9章 データトランスファコントローラ (DTC)」、「第7章 DMAコントローラ (DMAC)」を参照してください。

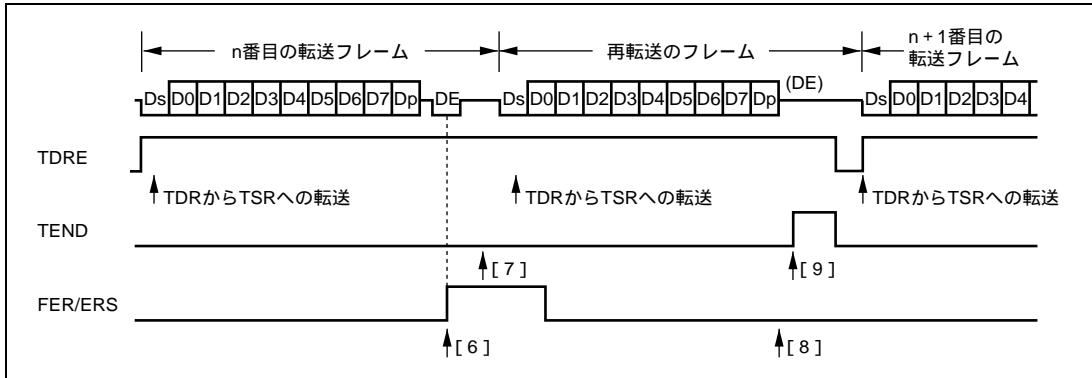


図 15.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 15.27 に TEND フラグ発生タイミングを示します。

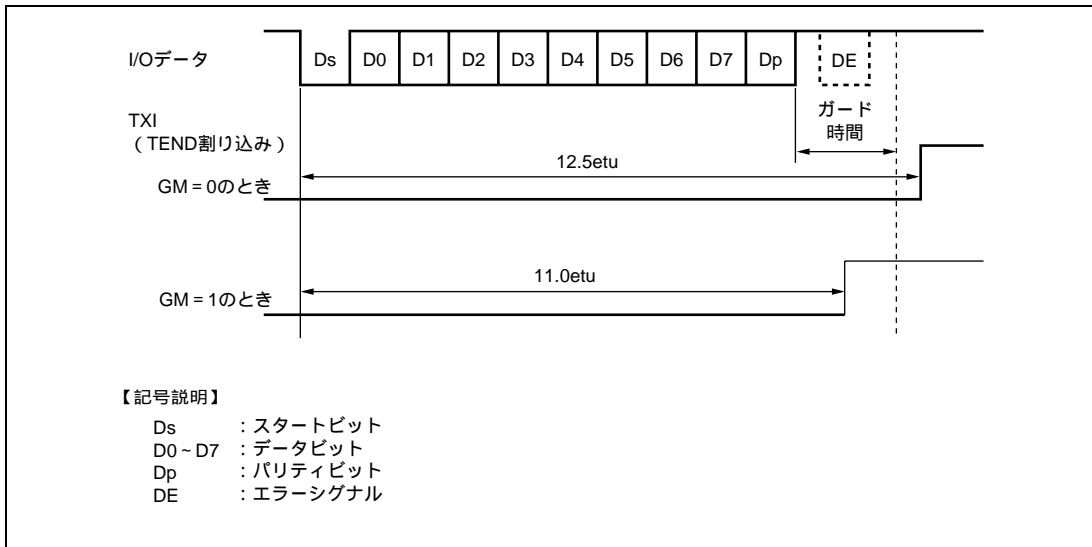


図 15.27 送信動作時の TEND フラグ発生タイミング

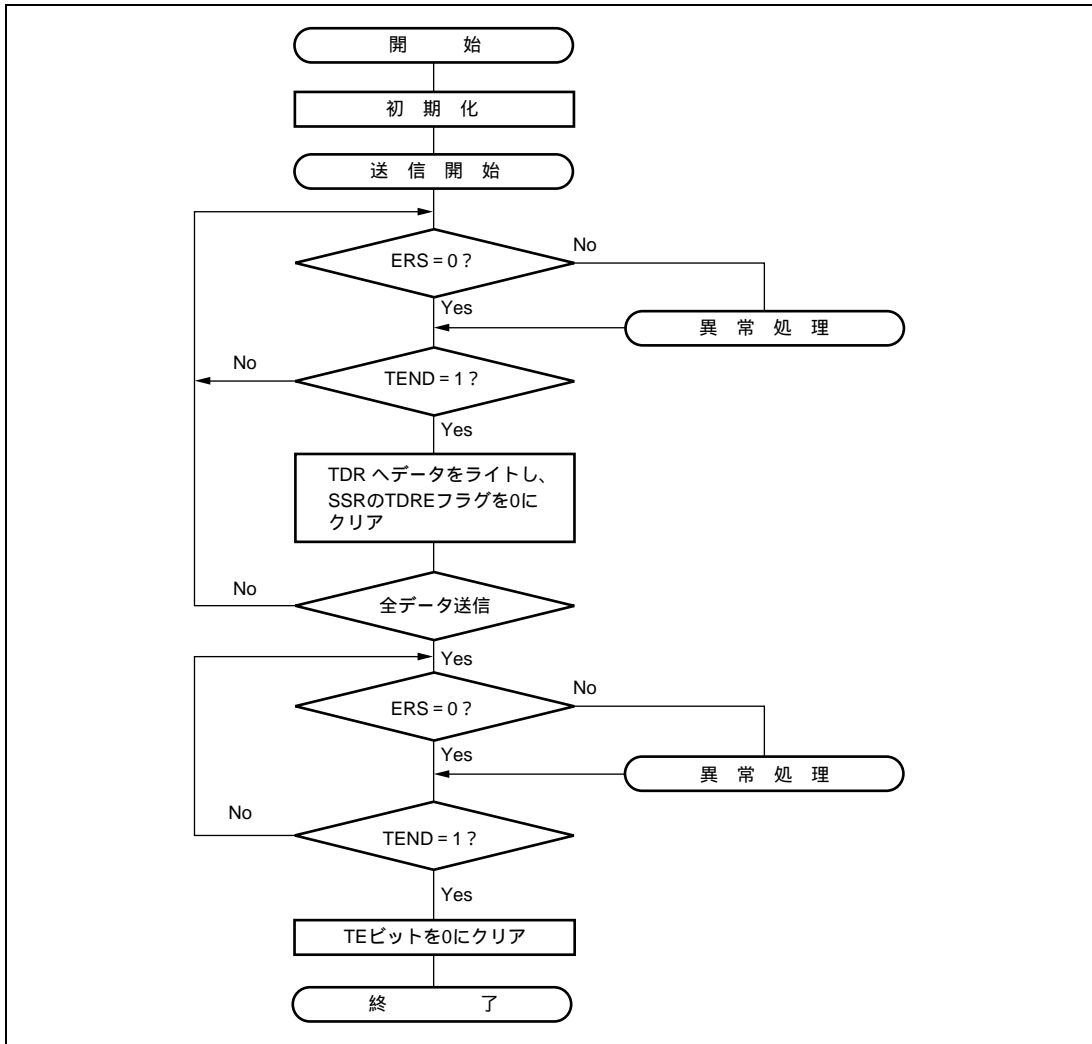


図 15.28 送信処理フローの例

### 15.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 15.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 15.30 に示します。これら一連の処理はRXI 割り込み要因によってDTCまたはDMACを起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことでRDRF フラグが 1 にセットされるとRXI 要求を発生します。あらかじめDTCまたはDMACの起動要因にRXI 要求を設定しておけば、RXI 要求によりDTCまたはDMACが起動されて受信データの転送を行います。DTCまたはDMACによりデータが転送されるとRDRFフラグは自動的にクリアされます。また、受信時にエラーが発生しORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はDTCまたはDMACは起動されず、受信データはスキップされるためDTCまたはDMACに設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生しPER が 1 にセットされた場合でも、受信したデータはRDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「15.4 調歩同期式モードの動作」を参照してください。

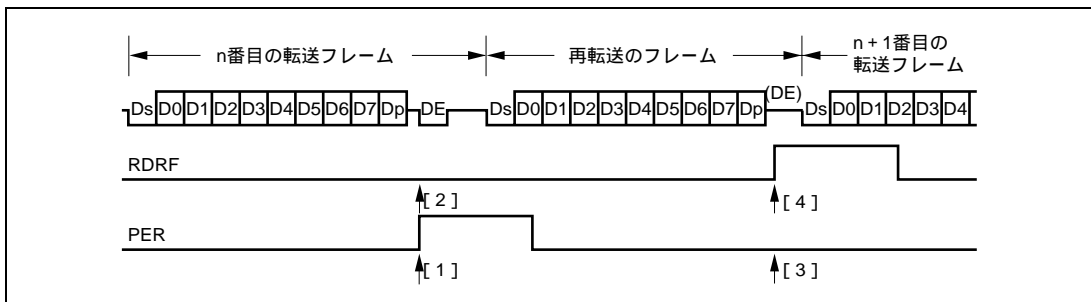


図 15.29 SCI 受信モードの場合の再転送動作

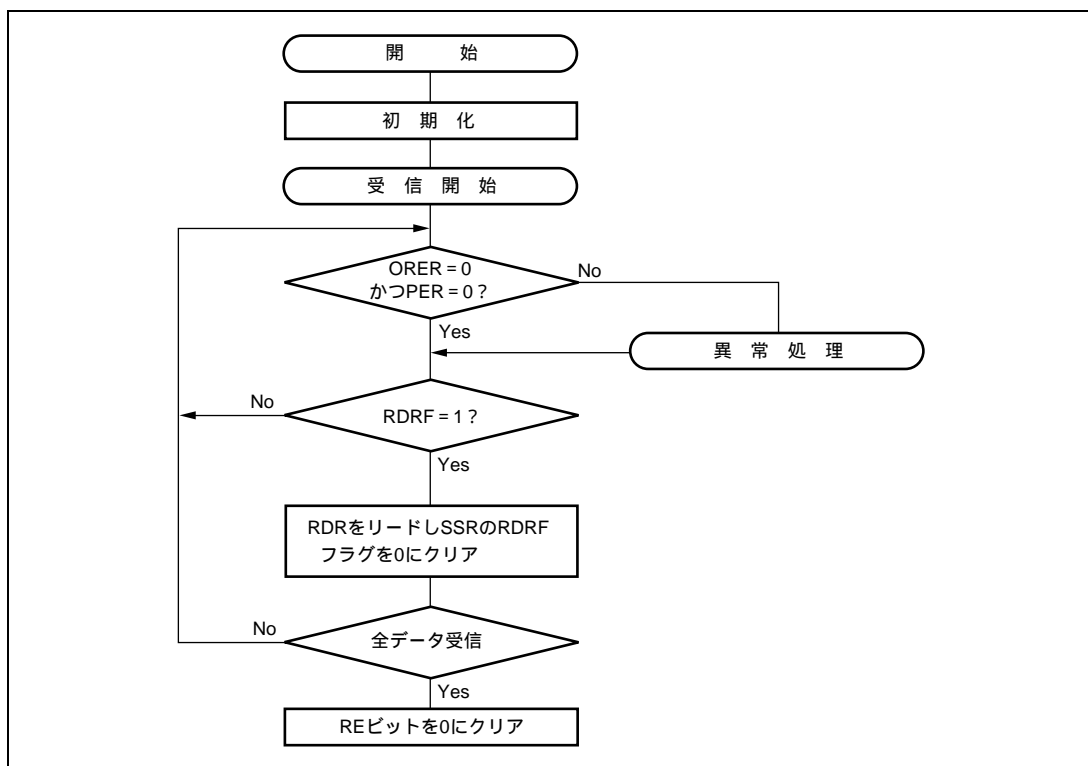


図 15.30 受信フローの例

### 15.7.8 クロック出力制御

SMRのGMビットが1にセットされているとき、SCRのCKE1、CKE0ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.31 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

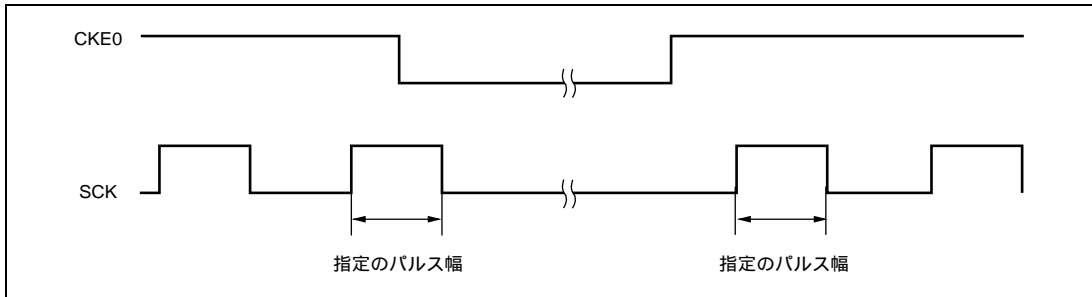


図 15.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。  
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。  
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。  
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

---

- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき
  - ソフトウェアスタンバイ状態を解除してください。
  - SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

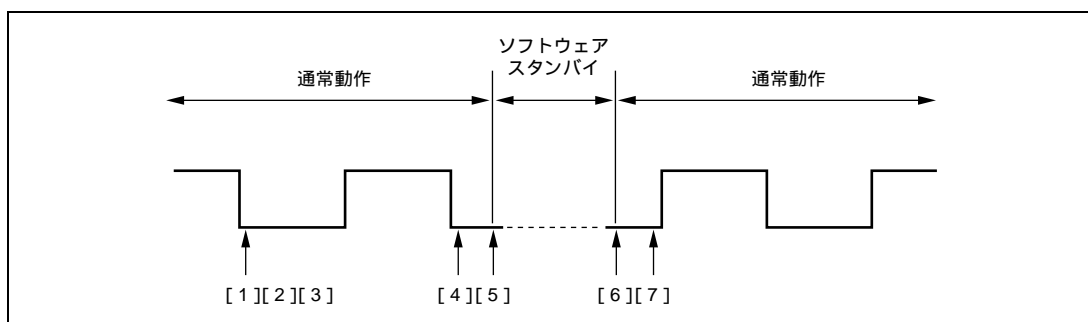


図 15.32 クロック停止・再起動手順



## 15.8 IrDA 動作

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI\_0 の Tx/D0/RxD0 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTx/D/IrRx/D 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

図 15.33 に IrDA のブロック図を示します。

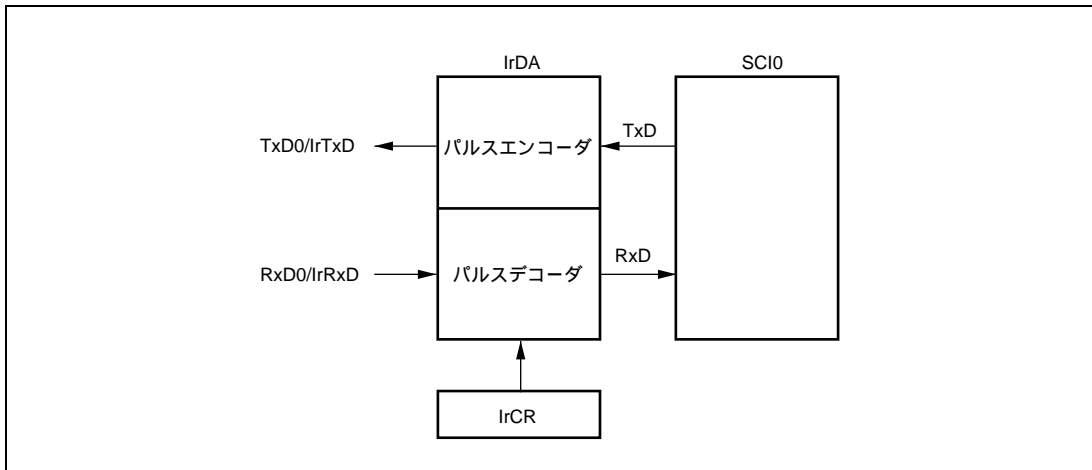


図 15.33 IrDA ブロック図

### (1) 送信

送信時、SCI からの出力信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 15.34 参照)。シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の  $3/16$  の High パルスが出力されます (初期値)。なお、High パルス幅は IrCR の IrCKS2 ~ IrCKS0 ビットの設定値により変化させることも可能です。規格では、High パルス幅は最小  $1.41 \mu\text{s}$ 、最大  $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または  $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$  と定められています。システムクロック が  $20\text{MHz}$  のとき、 $1.41 \mu\text{s}$  以上で最小の High パルス幅としては  $1.6 \mu\text{s}$  が設定可能です。また、シリアルデータが 1 のときは、パルスは出力されません。

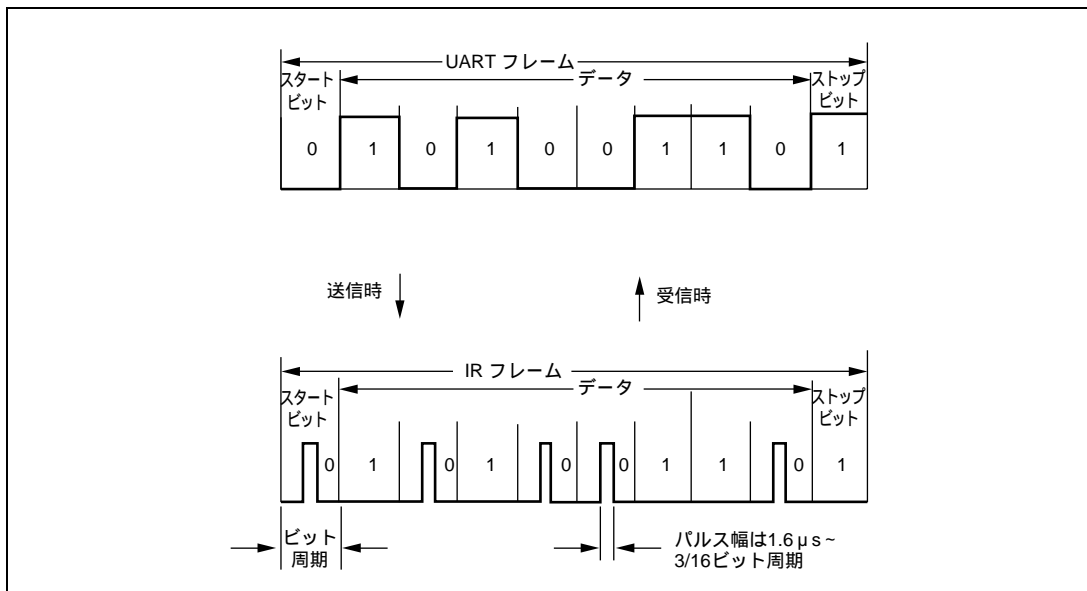


図 15.34 IrDA の送信/受信動作

(2) 受信

受信時、IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の 1.41 μs より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート × 3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2 ~ IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 15.12 に示します。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.12 IrCKS2 ~ IrCKS0 ビット設定

動作周波数 (MHz)	ビットレート(bps) (上段) / ビット周期 × 3/16(μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	-
2.097152	010	010	010	010	010	-
2.4576	010	010	010	010	010	-
3	011	011	011	011	011	-
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	110

【記号説明】

- : SCI側のビットレート設定ができません。

## 15.9 割り込み要因

### 15.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 15.13 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC または DMAC を起動してデータ転送を行うことができます。TDRE フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC または DMAC を起動してデータ転送を行うことができます。RDRF フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 15.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
0	ERI0	受信エラー	ORER、FER、PER	不可	不可	高 ↑ 低
	RX10	受信データフル	RDRF	可	可	
	TX10	送信データエンプティ	TDRE	可	可	
	TE10	送信終了	TEND	不可	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	不可	↑ 低
	RX11	受信データフル	RDRF	可	可	
	TX11	送信データエンプティ	TDRE	可	可	
	TE11	送信終了	TEND	不可	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	不可	↑ 低
	RX12	受信データフル	RDRF	可	不可	
	TX12	送信データエンプティ	TDRE	可	不可	
	TE12	送信終了	TEND	不可	不可	

## 15.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 15.14 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 15.14 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位
0	ERI0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	↑ 高        低
	RXI0	受信データフル	RDRF	可	可	
	TXI0	送信データエンプティ	TEND	可	可	
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI1	受信データフル	RDRF	可	可	
	TXI1	送信データエンプティ	TEND	可	可	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI2	受信データフル	RDRF	可	不可	
	TXI2	送信データエンプティ	TEND	可	不可	

スマートカードモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「第 9 章 データトランスファコントローラ (DTC)」、「第 7 章 DMA コントローラ (DMAC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC または DMAC が起動されて受信データの転送を行います。RDRF フラグは、DTC または DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

### 15.10 使用上の注意事項

#### 15.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第22章 低消費電力状態」を参照してください。

#### 15.10.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD端子の値を直接リードすることでブレークを検出できます。ブレークではRxD端子からの入力がすべて0になりますので、FERがセットされ、またPERもセットされる可能性があります。SCIは、ブレークを受信した後も受信動作を続けます。したがってFERを0にクリアしても再びFERが1にセットされますので注意してください。

#### 15.10.3 マーク状態とブレークの送出

TEが0のとき、TxD端子はDRとDDRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTxD端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TEを1にセットするまで、通信回線をマーク状態(1の状態)にするためには、PCR=1、PDR=1を設定します。このとき、TEが0にクリアされていますので、TxD端子はI/Oポートとなっており1が出力されます。一方、データ送信時にブレークを送出したいときは、PCR=1、PDR=0に設定した後TEを0にクリアします。TEを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されません。

#### 15.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ(ORER、PER、FER)が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

#### 15.10.5 TDRへのライトとTDREフラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送するとTDREフラグが1にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態では新しいデータをTDRにライトすると、TDRに格納されていたデータはTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

### 15.10.6 DMAC または DTC 使用上の制約事項

- (1) 同期クロックに外部クロックソースを使用する場合、DMAC または DTC による TDR の更新後、クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR の更新後 4 クロック以内に送信クロックを入力すると誤動作することがあります (図 15.35 参照)。
- (2) DMAC または DTC により、RDR のリードを行うときは必ず起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

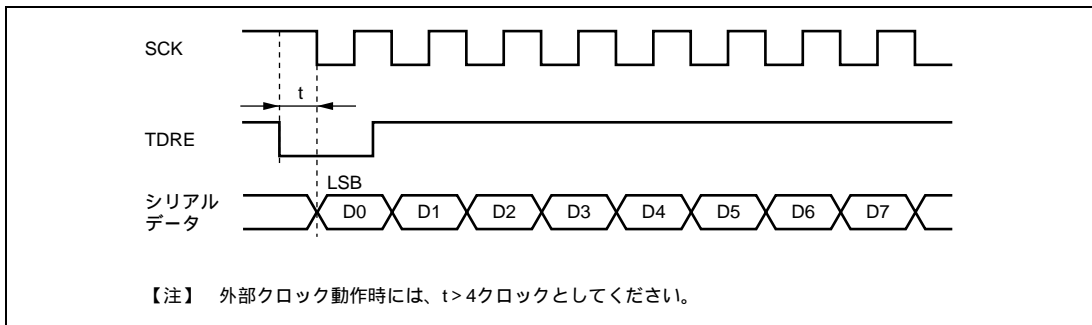


図 15.35 DTC によるクロック同期式送信時の例

### 15.10.7 モード遷移時の動作について

#### (1) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE = 1$  に設定し、SSR リード TDR ライト TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 15.36 に送信時のモード遷移フローチャートの例を示します。図 15.37、図 15.38 にモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。解除後 DTC による送信をする場合は  $TE = 1$ 、 $TIE = 1$  に設定すると TXI フラグが立ち、DTC による送信が始まります。

#### (2) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止 ( $RE = 0$ ) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE = 1$  に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

図 15.39 に受信時のモード遷移フローチャートの例を示します。

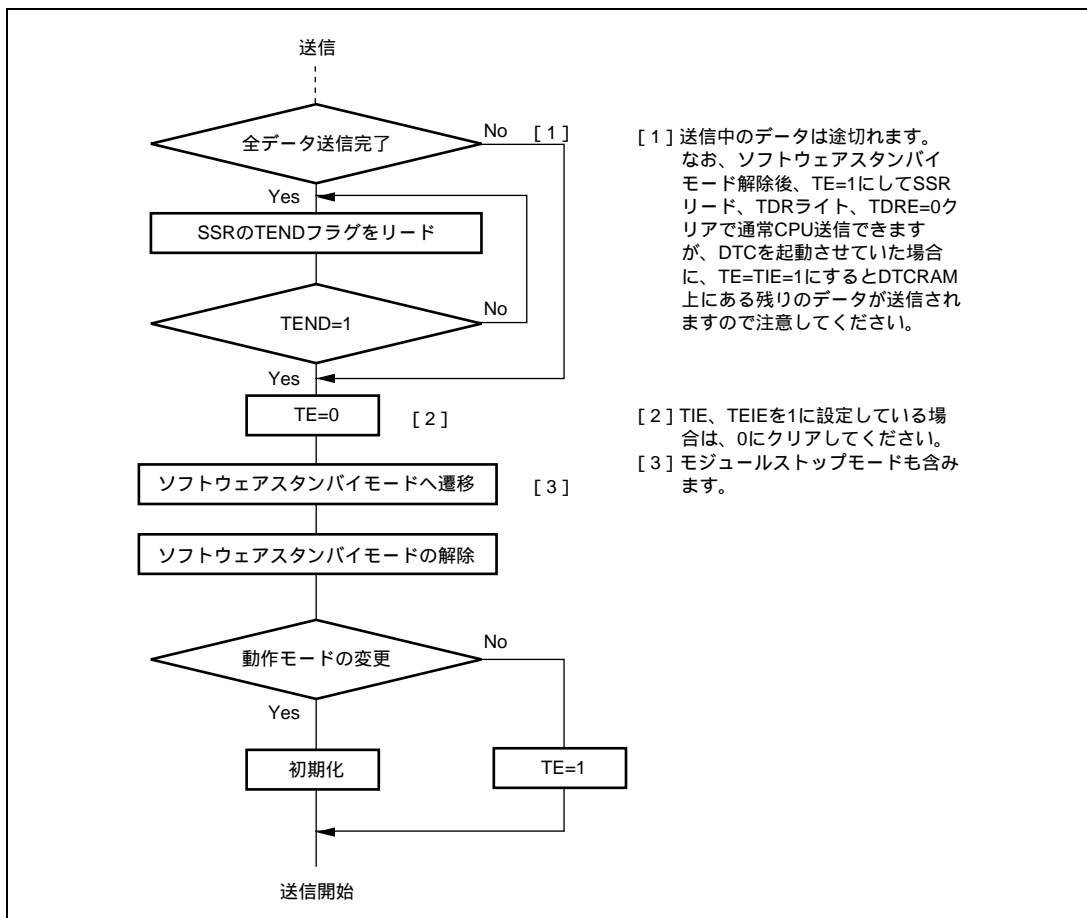


図 15.36 送信時のモード遷移フローチャートの例



## 15. シリアルコミュニケーションインタフェース (SCI, IrDA)

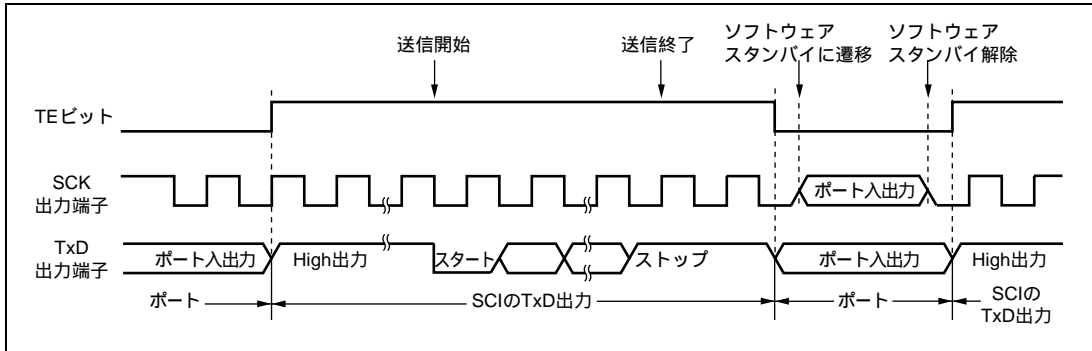


図 15.37 モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

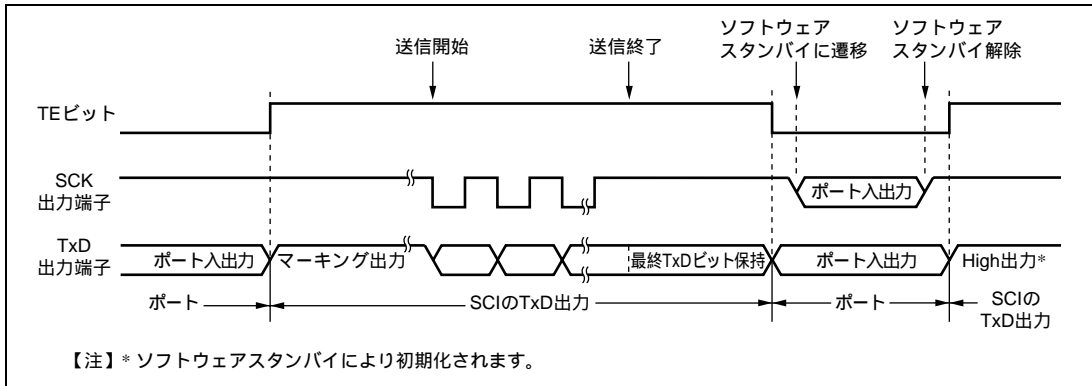


図 15.38 モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

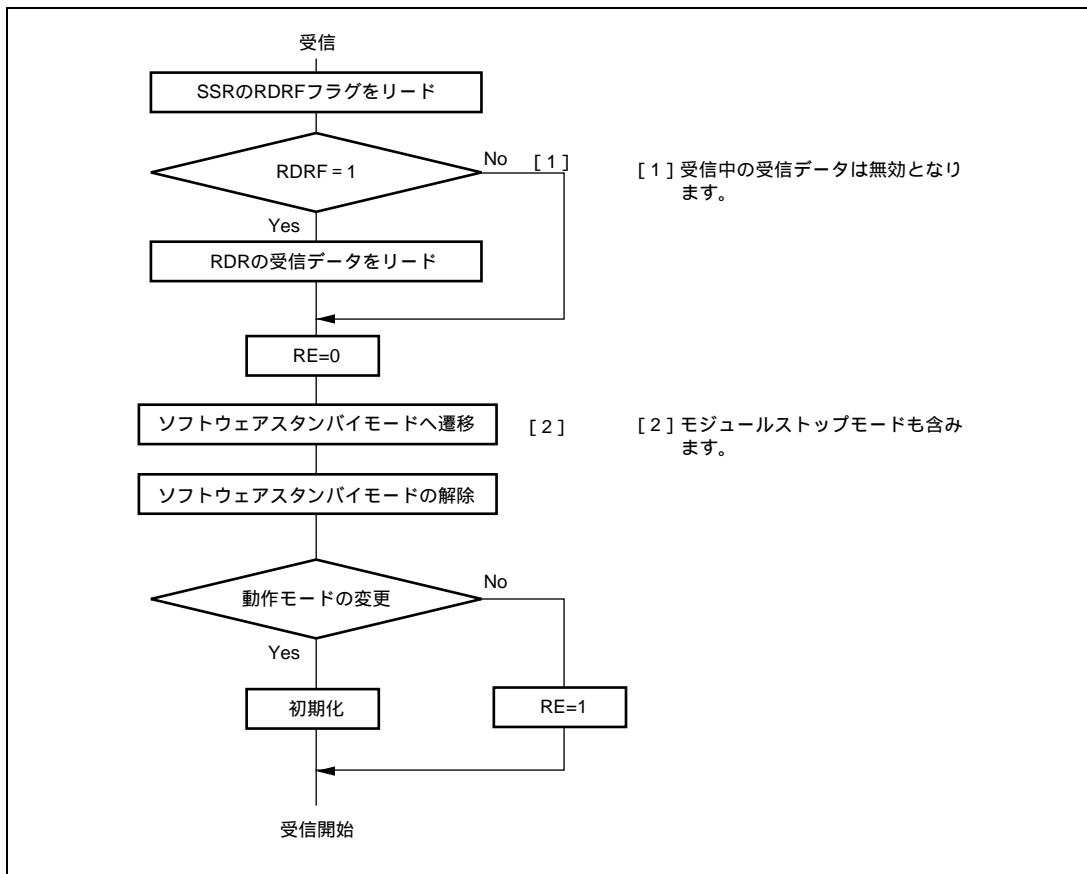


図 15.39 受信時のモード遷移フローチャートの例

---

## 16. A/D 変換器

---

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 12 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 16.1 に示します。

### 16.1 特長

- 分解能：10ビット
- 入力チャンネル：12チャンネル
- 変換時間：1チャンネル当たり6.7  $\mu$ s (20MHz動作時)
- 動作モード：2種類
  - シングルモード：1チャンネルのA/D変換
  - スキャンモード：1～4チャンネルの連続A/D変換、または1～8チャンネルの連続A/D変換 (H8S/2678Rグループ)
- データレジスタ：4本 (H8S/2678グループ)、8本 (H8S/2678Rグループ)  
A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
  - ソフトウェア
  - 16ビットタイマパルスユニット (TPU)、または8ビットタイマ (TMR) による変換開始トリガ
  - 外部トリガ信号
- 割り込み要因
  - A/D変換終了割り込み要求 (ADI) を発生
- モジュールストップモードの設定可能

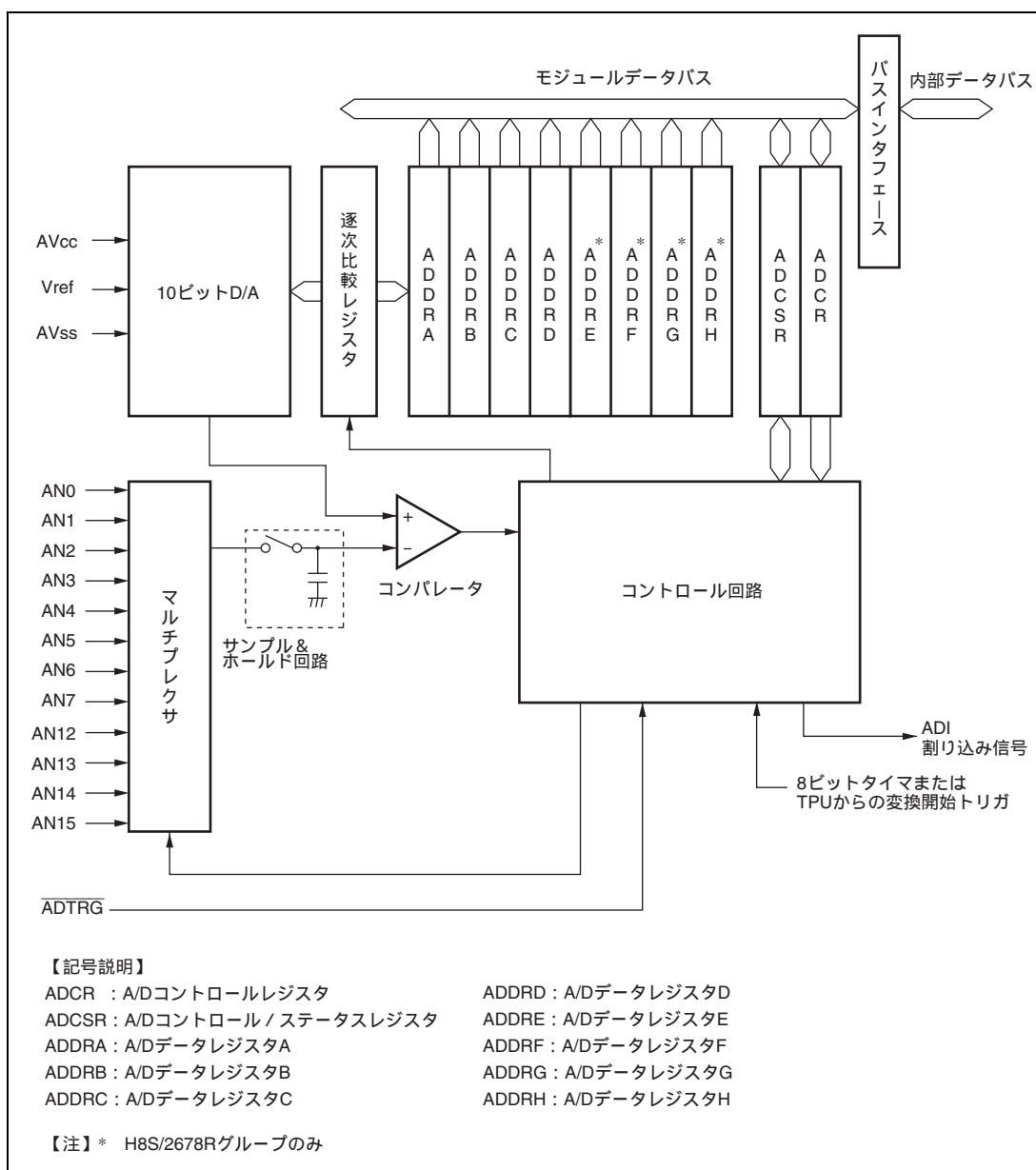


図 16.1 A/D 変換器のブロック図

## 16.2 入出力端子

A/D 変換器で使用する入力端子を表 16.1 に示します。

12 本のアナログ入力端子は 2 チャネルセットに分割されており、アナログ入力端子 0~7 (AN0~AN7) がチャネルセット 0、アナログ入力端子 12~15 (AN12~AN15) がチャネルセット 1 になっています。

H8S/2678 グループでは各チャネルセットは 4 チャネル×2 グループに分割されています。アナログ入力端子 0~3 (AN0~AN3) がチャネルセット 0 のグループ 0、アナログ入力端子 4~7 (AN4~AN7) がチャネルセット 0 のグループ 1、アナログ入力端子 12~15 (AN12~AN15) がチャネルセット 1 のグループ 1 になっています。

AVcc、AVss は、A/D 変換器内部のアナログ部の電源端子です。Vref は A/D 変換の基準電圧端子です。

表 16.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	チャネルセット 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 12	AN12	入力	チャネルセット 1 のアナログ入力
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

## 16.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/DデータレジスタE (ADDRE)
- A/DデータレジスタF (ADDRF)
- A/DデータレジスタG (ADDRG)
- A/DデータレジスタH (ADDRH)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

### 16.3.1 A/D データレジスタ A ~ H ( ADDRA ~ ADDRH )

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。H8S/2678 グループでは ADDRA ~ ADDRD の 4 本、H8S/2678R グループでは ADDRA ~ ADDRH の 8 本あります。各アナログ入力チャネルの変換結果が格納される ADDR は表 16.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

H8S/2678 グループでは CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

H8S/2678R グループでは CPU 間のデータバスは 16 ビット幅です。CPU から直接リードできます。

表 16.2 アナログ入力チャンネルと ADDR の対応

## • H8S/2678 グループ

アナログ入力チャンネル				変換結果が格納される A/D データレジスタ
チャンネルセット 0 (CH3=1)		チャンネルセット 1 (CH3=0)		
グループ 0 (CH2=0)	グループ 1 (CH2=1)	グループ 0 (CH2=0)	グループ 1 (CH2=1)	
AN0	AN4	設定禁止	AN12	ADDRA
AN1	AN5	設定禁止	AN13	ADDRB
AN2	AN6	設定禁止	AN14	ADDRC
AN3	AN7	設定禁止	AN15	ADDRD

## • H8S/2678Rグループ

アナログ入力チャンネル		変換結果が格納される A/D データレジスタ
チャンネルセット 0 (CH3=0)	チャンネルセット 1 (CH3=1)	
AN0	該当なし	ADDRA
AN1	該当なし	ADDRB
AN2	該当なし	ADDRC
AN3	該当なし	ADDRD
AN4	AN12	ADDRE
AN5	AN13	ADDRF
AN6	AN14	ADDRG
AN7	AN15	ADDRH

## 16.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

## • H8S/2678 グループ

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DMAC または DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。

## 16. A/D 変換器

ビット	ビット名	初期値	R/W	説明																														
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。ソフトウェア、TPU、TMR の変換開始トリガ、または ADTRG 端子によって 1 にセットし、A/D 変換を開始します。A/D 変換中は 1 を保持します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではリセット、ハードウェアスタンバイモード、ソフトウェアによってクリアされるまで選択されたチャンネルを順次連続変換します。																														
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 0 : シングルモード 1 : スキャンモード																														
3	CKS	0	R/W	クロックセレクト ADCR の CKS1 ビットとともに、A/D 変換時間の設定を行います。 ADCR の CKS1 = 0 のとき 0 : 530 ステート (max) 1 : 68 ステート (max) ADCR の CKS1 = 1 のとき 0 : 266 ステート (max) 1 : 134 ステート (max)																														
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャンネルセレクト 2 ~ 0 SCAN ビット、ADCR の CH3 ビットとともに、アナログ入力チャンネルを選択します。 <table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">SCAN=0、CH3=0 のとき</td> <td style="width: 50%;">SCAN=1、CH3=0 のとき</td> </tr> <tr> <td>0XXX : 設定禁止</td> <td>0XXX : 設定禁止</td> </tr> <tr> <td>100 : AN12</td> <td>100 : AN12</td> </tr> <tr> <td>101 : AN13</td> <td>101 : AN12、AN13</td> </tr> <tr> <td>110 : AN14</td> <td>110 : AN12 ~ AN14</td> </tr> <tr> <td>111 : AN15</td> <td>111 : AN12 ~ AN15</td> </tr> <tr> <td>SCAN=0、CH3=1 のとき</td> <td>SCAN=1、CH3=1 のとき</td> </tr> <tr> <td>000 : AN0</td> <td>000 : AN0</td> </tr> <tr> <td>001 : AN1</td> <td>001 : AN0、AN1</td> </tr> <tr> <td>010 : AN2</td> <td>010 : AN0 ~ AN2</td> </tr> <tr> <td>011 : AN3</td> <td>011 : AN0 ~ AN3</td> </tr> <tr> <td>100 : AN4</td> <td>100 : AN4</td> </tr> <tr> <td>101 : AN5</td> <td>101 : AN4、AN5</td> </tr> <tr> <td>110 : AN6</td> <td>110 : AN4 ~ AN6</td> </tr> <tr> <td>111 : AN7</td> <td>111 : AN4 ~ AN7</td> </tr> </table>	SCAN=0、CH3=0 のとき	SCAN=1、CH3=0 のとき	0XXX : 設定禁止	0XXX : 設定禁止	100 : AN12	100 : AN12	101 : AN13	101 : AN12、AN13	110 : AN14	110 : AN12 ~ AN14	111 : AN15	111 : AN12 ~ AN15	SCAN=0、CH3=1 のとき	SCAN=1、CH3=1 のとき	000 : AN0	000 : AN0	001 : AN1	001 : AN0、AN1	010 : AN2	010 : AN0 ~ AN2	011 : AN3	011 : AN0 ~ AN3	100 : AN4	100 : AN4	101 : AN5	101 : AN4、AN5	110 : AN6	110 : AN4 ~ AN6	111 : AN7	111 : AN4 ~ AN7
SCAN=0、CH3=0 のとき	SCAN=1、CH3=0 のとき																																	
0XXX : 設定禁止	0XXX : 設定禁止																																	
100 : AN12	100 : AN12																																	
101 : AN13	101 : AN12、AN13																																	
110 : AN14	110 : AN12 ~ AN14																																	
111 : AN15	111 : AN12 ~ AN15																																	
SCAN=0、CH3=1 のとき	SCAN=1、CH3=1 のとき																																	
000 : AN0	000 : AN0																																	
001 : AN1	001 : AN0、AN1																																	
010 : AN2	010 : AN0 ~ AN2																																	
011 : AN3	011 : AN0 ~ AN3																																	
100 : AN4	100 : AN4																																	
101 : AN5	101 : AN4、AN5																																	
110 : AN6	110 : AN4 ~ AN6																																	
111 : AN7	111 : AN4 ~ AN7																																	

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

【記号説明】 X : Don't care



• H8S/2678Rグループ

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DMAC または DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、ハードウェアスタンバイモードまたはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3 2 1 0	CH3 CH2 CH1 CH0	0 0 0 0	R/W R/W R/W R/W	チャンネルセレクト 3~0 ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。 SCANE=0、SCANS=X のとき SCANE=1、SCANS=0 のとき SCANE=1、SCANS=1 のとき 0000 : AN0 0001 : AN1 0010 : AN2 0011 : AN3 0100 : AN4 0101 : AN5 0110 : AN6 0111 : AN7 10XX : 設定禁止 1100 : AN12 1101 : AN13 1110 : AN14 1111 : AN15 0000 : AN0 0001 : AN0、AN1 0010 : AN0 ~ AN2 0011 : AN0 ~ AN3 0100 : AN4 0101 : AN4、AN5 0110 : AN4 ~ AN6 0111 : AN4 ~ AN7 10XX : 設定禁止 1100 : AN12 1101 : AN12、AN13 1110 : AN12 ~ AN14 1111 : AN12 ~ AN15

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

【記号説明】 X : Don't care

## 16. A/D 変換器

### 16.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

#### • H8S/2678 グループ

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : TMR からの変換トリガによる A/D 変換開始 11 : $\overline{\text{ADTRG}}$ による A/D 変換開始
5		1		リザーブビット
4		1		リードすると常に 1 が読み出されます。ライトは無効です。
3	CKS1	1	R/W	クロックセレクト 1 ADCRS の CKS ビットとともに、A/D 変換時間の設定を行いません。CKS ビットの説明を参照してください。
2	CH3	1	R/W	チャンネルセレクト 3 ADCRS の CH2 ~ CH0 ビットとともに、アナログ入力チャンネルを選択します。CH2 ~ CH0 ビットの説明を参照してください。
1		1		リザーブビット
0		1		リードすると常に 1 が読み出されます。

#### • H8S/2678R グループ

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : TMR からの変換トリガによる A/D 変換開始 11 : $\overline{\text{ADTRG}}$ による A/D 変換開始
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード。1~4 チャンネルの連続 A/D 変換 11 : スキャンモード。1~8 チャンネルの連続 A/D 変換

【記号説明】 X : Don't care

ビット	ビット名	初期値	R/W	説明
3	CKS1	0	R/W	クロックセレクト
2	CKS0	0	R/W	A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00 : 変換時間=530 ステート (max) 01 : 変換時間=266 ステート (max) 10 : 変換時間=134 ステート (max) 11 : 変換時間=68 ステート (max)
1		0		リザーブビット
0		0		リードすると常に 0 が読み出されます。ライトは無効です。

## 16.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

### 16.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
- A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
- A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
- ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると変換を中止し、A/D 変換器は待機状態になります。

### 16.4.2 スキャンモード

スキャンモードは指定された最大 4 チャンネル、または最大 8 チャンネル (H8S/2678R グループ) のアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、TPUまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルセットの第 1 チャンネルからA/D変換を開始します。

H8S/2678グループでは、CH3、CH2 = 10のときAN0、CH3、CH2 = 11のときAN4、CH3、CH2 = 01のときAN12からA/D変換を開始します。

H8S/2678Rグループでは、最大4チャンネルの連続A/D変換 (SCANE、SCANS = 10) または最大8チャンネルの連続A/D変換 (SCANE、SCANS = 11) を選択できます。4チャンネルの連続A/D変換の場合は、CH3、CH2 = 00のときAN0、CH3、CH2 = 01のときAN4、CH3、CH2 = 11のときAN12からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、SH3、SH2 = 00のときAN0からA/D変換を開始します。

2. それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネルセットの第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2~3を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

### 16.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間( $t_b$ )時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 16.2 に示します。また、A/D 変換時間を表 16.3 に示します。

A/D 変換時間( $t_{conv}$ )は、図 16.2 に示すように、 $t_b$ と入力サンプリング時間( $t_{spl}$ )を含めた時間となります。ここで  $t_b$  は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 16.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 16.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 16.4 に示す値となります。いずれの場合も変換時間は「第 24 章 電気的特性 (H8S/2678 グループ)」、「第 25 章 電気的特性 (H8S/2678R グループ)」の A/D 変換特性に示す範囲となるように CKS、CKS1 ビット (H8S/2678 グループ) CKS1、CKS0 ビット (H8S/2678R グループ) を設定してください。

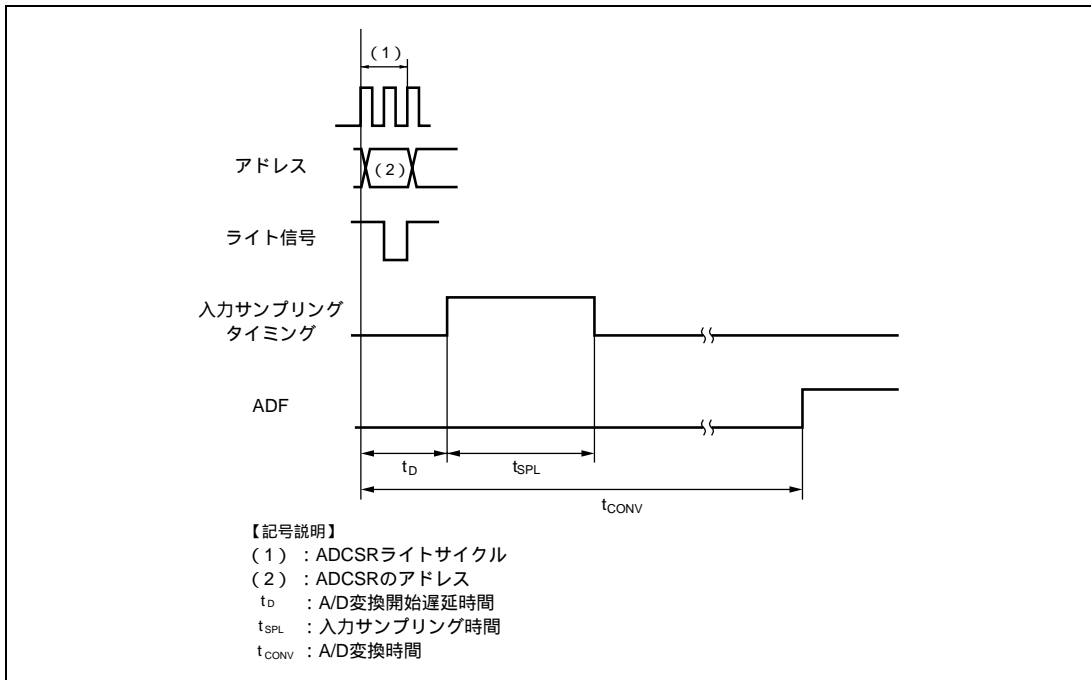


図 16.2 A/D 変換タイミング

表 16.3 A/D 変換時間 (シングルモード)

## • H8S/2678グループ

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS = 0			CKS = 1			CKS = 0			CKS = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_D$	18	-	33	4	-	5	10	-	17	6	-	9
入力サンプリング時間	$t_{SPL}$	-	127	-	-	15	-	-	63	-	-	31	-
A/D 変換時間	$t_{CONV}$	515	-	530	67	-	68	259	-	266	131	-	134

【注】 表中の数値の単位はステートです。

## • H8S/2678Rグループ

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_D$	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	$t_{SPL}$	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	$t_{CONV}$	515	-	530	259	-	266	131	-	134	67	-	68

【注】 表中の数値の単位はステートです。

表 16.4 A/D 変換時間 (スキャンモード)

## • H8S/2678グループ

CKS1	CKS	変換時間 (ステート)
0	0	512 (固定)
	1	64 (固定)
1	0	256 (固定)
	1	128 (固定)

## • H8S/2678Rグループ

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

## 16.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{\text{ADTRG}}$  端子から入力されます。 $\overline{\text{ADTRG}}$  の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 16.3 に示します。

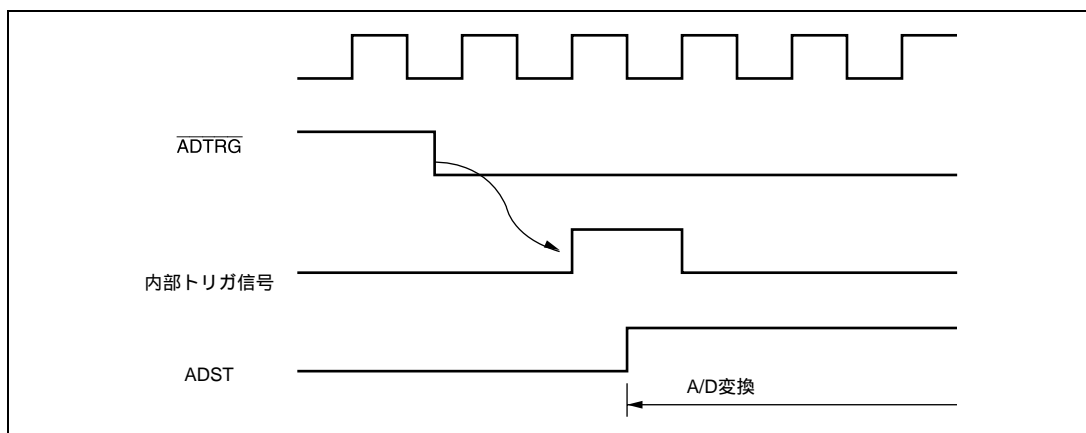


図 16.3 外部トリガ入力タイミング

## 16.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みでデータトランスファコントローラ(DTC)および DMA コントローラ (DMAC) の起動ができます。ADI 割り込みで変換されたデータのリードを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 16.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ADI	A/D 変換終了	ADF	可	可

## 16.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D 変換器のデジタル出力コード数

- 量子化誤差

A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる (図16.4)

- オフセット誤差

デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図16.5)

- フルスケール誤差

デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図16.5)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図16.5)。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

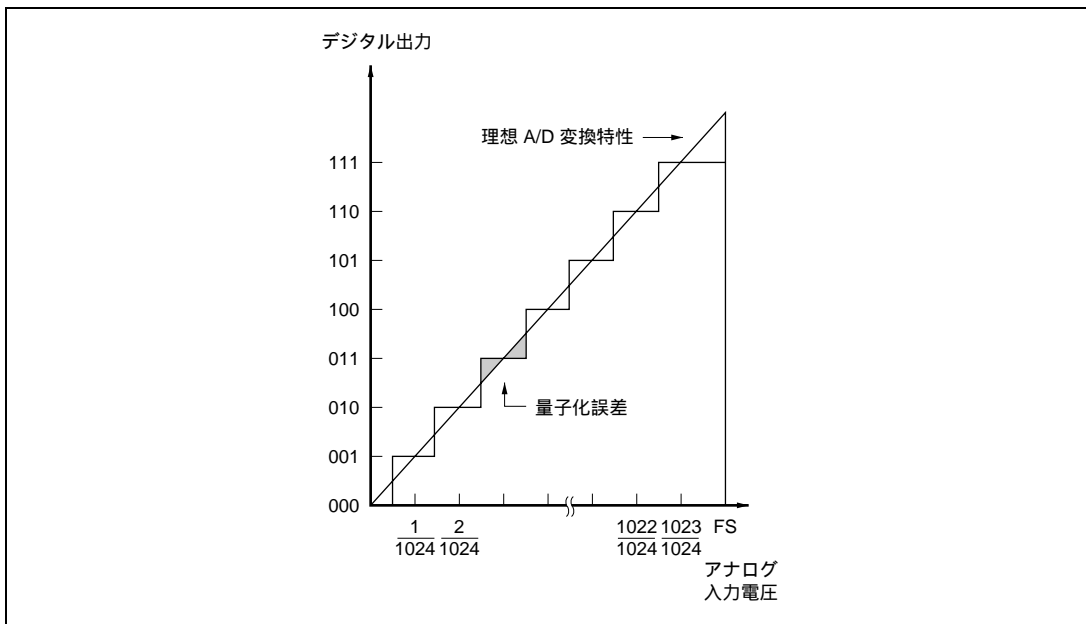


図 16.4 A/D 変換精度の定義

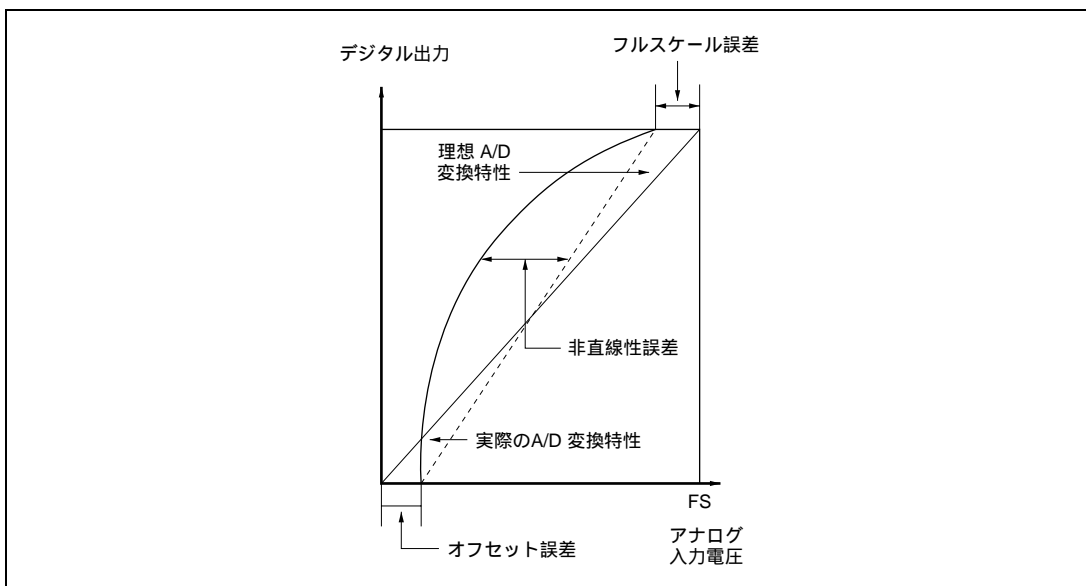


図 16.5 A/D 変換精度の定義



## 16.7 使用上の注意事項

### 16.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 22 章 低消費電力状態」を参照してください。

### 16.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが 10k $\Omega$  以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 10k $\Omega$  を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の 10k $\Omega$  だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば 5mV/ $\mu$ s 以上）には追従できないことがあります（図 16.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

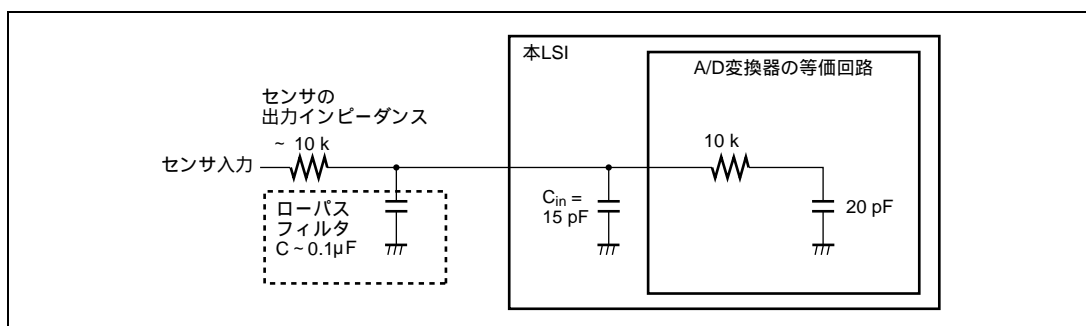


図 16.6 アナログ入力回路の例

### 16.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず  $AV_{SS}$  等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

### 16.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子  $AN_n$  に印加する電圧は  $AV_{SS}$   $V_{AN}$   $V_{ref}$  の範囲としてください。

## 16. A/D 変換器

- AVcc、AVssとVcc、Vssの関係

AVcc、AVssとVcc、Vssとの関係はAVcc = VccかつAVss = Vssとし、さらに、A/D変換器を使用しないときもAVcc、AVss端子をオープンにしないでください。

- Vrefの設定範囲

Vref端子によるリファレンス電圧の設定範囲は、Vref = AVccにしてください。

### 16.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子(AN0~AN7、AN12~AN15)、アナログ基準電源(Vref)、アナログ電源電圧(AVcc)は、アナロググランド(AVss)で、デジタル回路と分離してください。さらに、アナロググランド(AVss)は、ボード上の安定したグランド(Vss)に一点接続してください。

### 16.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子(AN0~AN7、AN12~AN15)の破壊を防ぐために、図16.7に示すようにAVcc - AVss間に保護回路を接続してください。AVccに接続するバイパスコンデンサ、AN0~AN7、AN12~AN15に接続するフィルタ用のコンデンサは、必ずAVssに接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN7、AN12~AN15の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどでA/D変換を頻繁に行う場合、A/D変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス( $R_{in}$ )を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

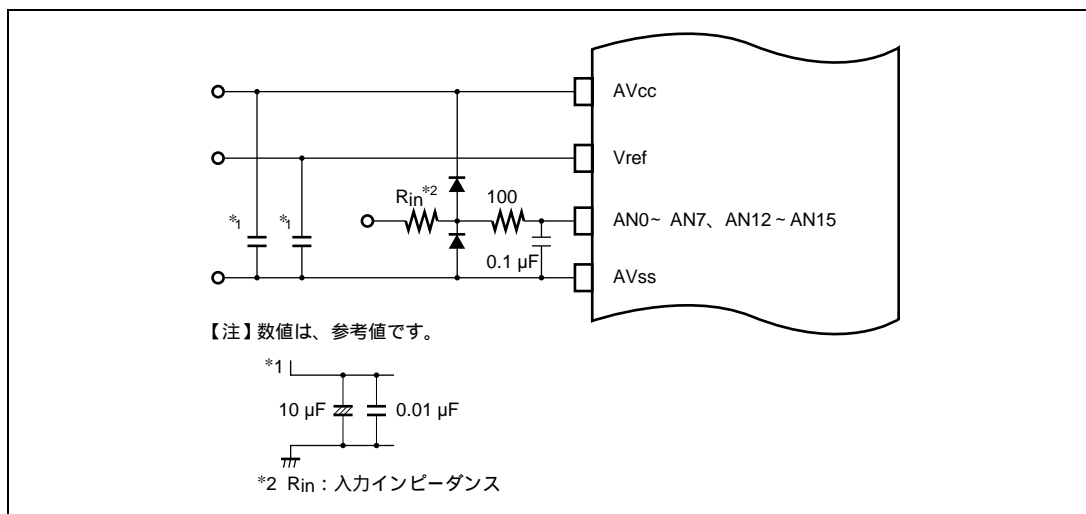


図 16.7 アナログ入力保護回路の例





## 17. D/A 変換器

### 17.1 特長

- 分解能：8ビット
- 出力チャンネル：4チャンネル
- 変換時間：最大10 $\mu$ s（負荷容量20pF時）
- 出力電圧：0V～Vref
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップモードの設定可能

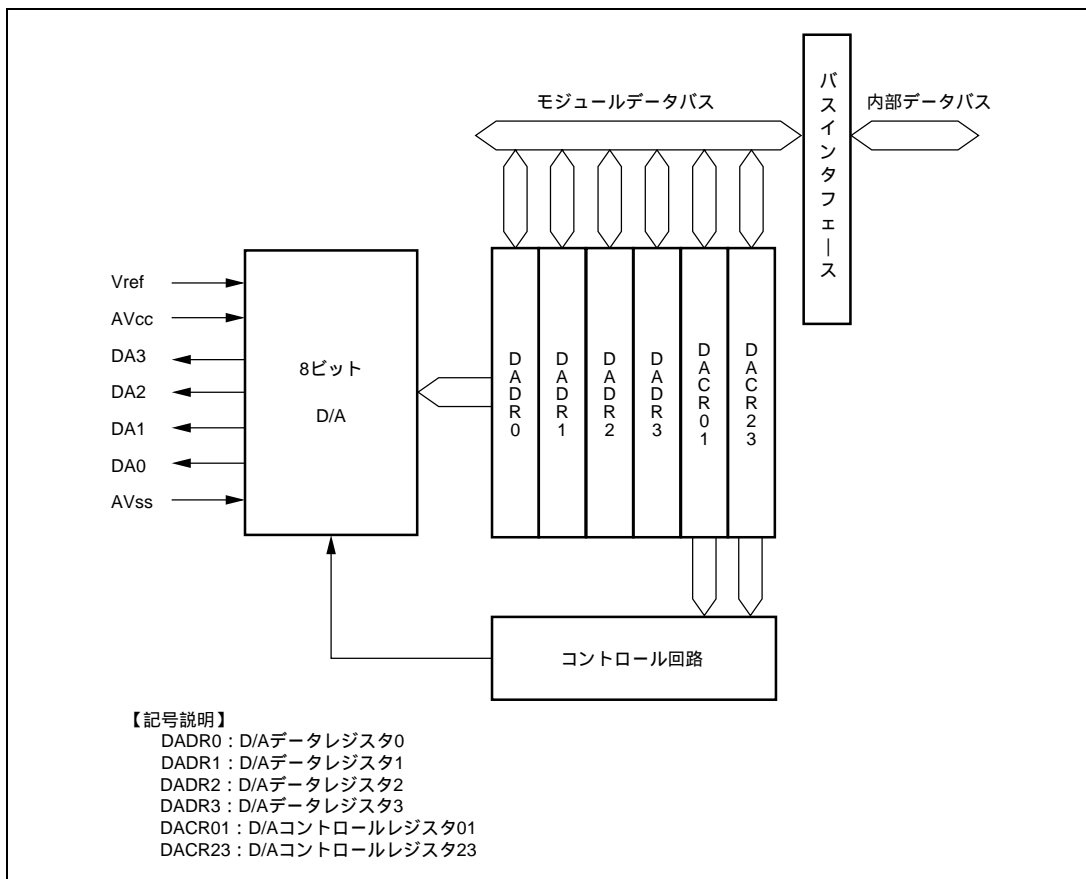


図 17.1 D/A 変換器のブロック図

### 17.2 入出力端子

D/A 変換器で使用する入出力端子を表 17.1 に示します。

表 17.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電源端子	Vref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
アナログ出力端子 2	DA2	出力	チャンネル 2 のアナログ出力
アナログ出力端子 3	DA3	出力	チャンネル 3 のアナログ出力

### 17.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aデータレジスタ2 (DADR2)
- D/Aデータレジスタ3 (DADR3)
- D/Aコントロールレジスタ01 (DACR01)
- D/Aコントロールレジスタ23 (DACR23)

#### 17.3.1 D/A データレジスタ 0 ~ 3 (DADR0 ~ DADR3)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換されアナログ出力端子に出力されます。

## 17.3.2 D/A コントロールレジスタ 01、23 (DACR01、DACR23)

DACR は D/A 変換器の動作を制御します。

• DACR01

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : チャネル 1 のアナログ出力 (DA1) を禁止 1 : チャネル 1 の D/A 変換を許可。チャネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : チャネル 0 のアナログ出力 (DA0) を禁止 1 : チャネル 0 の D/A 変換を許可。チャネル 0 のアナログ出力 (DA0) を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 17.2 を参照してください。
4~0	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 17.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可、チャネル 1 の D/A 変換を禁止
	1	0	チャネル 1 の D/A 変換を許可、チャネル 0 の D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
	1	0	
		1	

## 17. D/A 変換器

### • DACR23

ビット	ビット名	初期値	R/W	説明
7	DAOE3	0	R/W	D/A アウトプットイネーブル 3 D/A 変換とアナログ出力を制御します。 0 : チャネル 3 のアナログ出力 ( DA3 ) を禁止 1 : チャネル 3 の D/A 変換を許可。チャネル 3 のアナログ出力 ( DA3 ) を許可
6	DAOE2	0	R/W	D/A アウトプットイネーブル 2 D/A 変換とアナログ出力を制御します。 0 : チャネル 2 のアナログ出力 ( DA2 ) を禁止 1 : チャネル 2 の D/A 変換を許可。チャネル 2 のアナログ出力 ( DA2 ) を許可
5	DAE	0	R/W	D/A イネーブル DAOE2、DAOE3 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャネル 2、3 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャネル 2、3 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE2、DAOE3 ビットにより制御されます。表 17.3 を参照してください。
4~0	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 17.3 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE3	DAOE2	
0	0	0	D/A 変換を禁止
		1	チャネル 2 の D/A 変換を許可、チャネル 3 の D/A 変換を禁止
	1	0	チャネル 3 の D/A 変換を許可、チャネル 2 の D/A 変換を禁止
		1	チャネル 2、3 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 2、3 の D/A 変換を許可
	1	0	
		1	



## 17.4 動作説明

4チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACR01、DACR23のDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図17.2に示します。

1. DADR0に変換データをライトします。
2. DACR01のDAOE0ビットを1にセットすると、D/A変換が開始されます。 $t_{DCONV}$ 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表わされます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR0を書き換えるとただちに交換が開始されます。 $t_{DCONV}$ 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

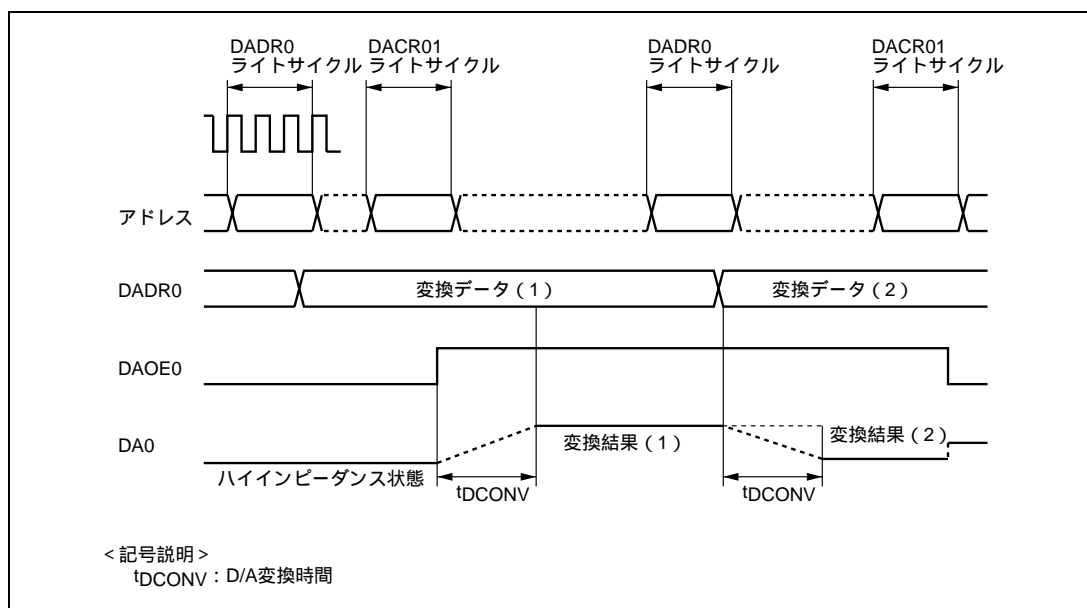


図 17.2 D/A 変換器の動作例

### 17.5 使用上の注意事項

#### 17.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 22 章 低消費電力状態」を参照してください。

#### 17.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0～DAOE3、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

---

## 18. RAM

---

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品区分		ROM タイプ	RAM 容量	RAM アドレス
H8S/2678 グループ	HD64F2676	フラッシュメモリ版	8k バイト	H'FFA000 ~ H'FFBFFF
	HD6432676	マスク ROM 版	8k バイト	H'FFA000 ~ H'FFBFFF
	HD6432675		8k バイト	H'FFA000 ~ H'FFBFFF
	HD6432673		8k バイト	H'FFA000 ~ H'FFBFFF
	HD6412670	ROM レス版	8k バイト	H'FFA000 ~ H'FFBFFF
H8S/2678R グループ	HD6412674R	ROM レス版	32k バイト	H'FF4000 ~ H'FFBFFF



---

## 19. フラッシュメモリ (F-ZTAT 版)

---

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 19.1 に示します。

### 19.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2678 グループ	HD64F2676	256k バイト	H'000000 ~ H'03FFFF (モード 4、7、10、11) H'100000 ~ H'13FFFF (モード 5、6、13、14)

- 書き込み/消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。384kバイトフラッシュメモリは64kバイト×5ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。256kバイトフラッシュメモリは64kバイト×3ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

100回まで書き換え可能です。

- オンボードプログラミングモード：2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。この他、通常ユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングの他にPROMライタを用いて書き込み/消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

- 書き込み/消去プロテクト

## 19. フラッシュメモリ (F-ZTAT 版)

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。

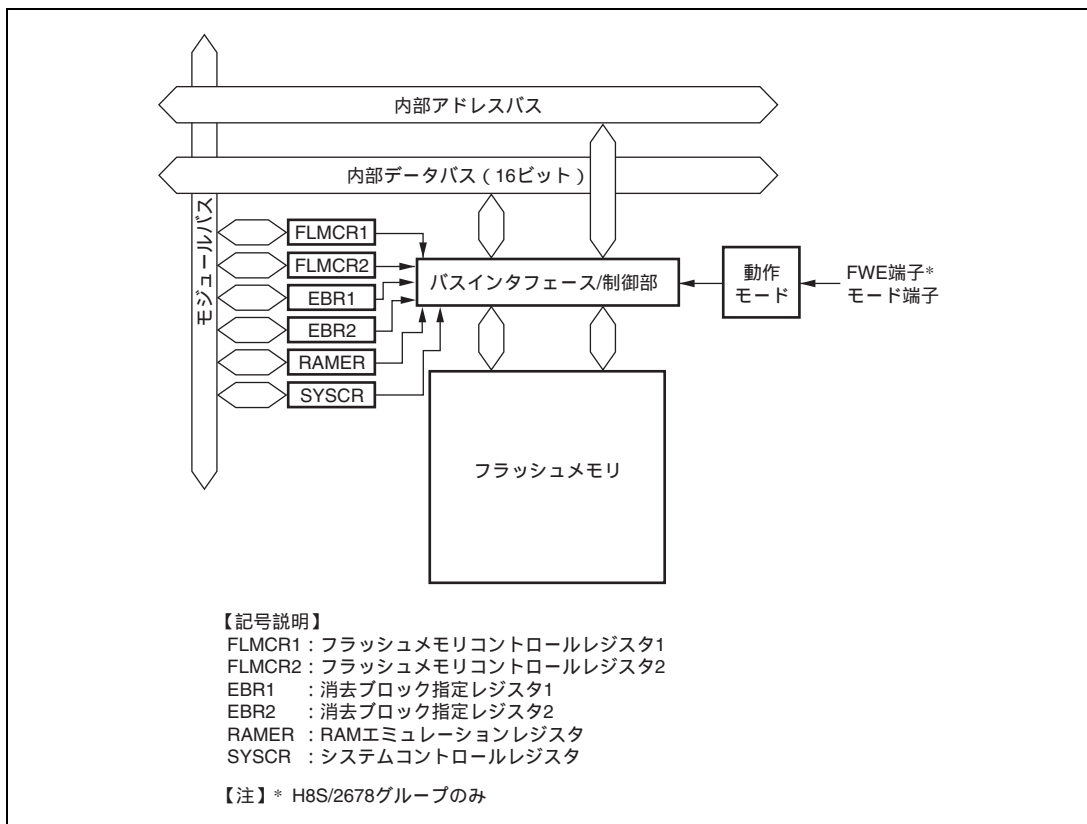


図 19.1 フラッシュメモリのブロック図

## 19.2 モード遷移図

リセット状態でモード端子とFWE端子\*を設定しリセットスタートすると、本LSIは図19.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表19.1にブートモードとユーザプログラムモードの相違点を示します。図19.3にブートモードを、図19.4にユーザプログラムモードを示します。

【注】 \* H8S/2678グループのみです。

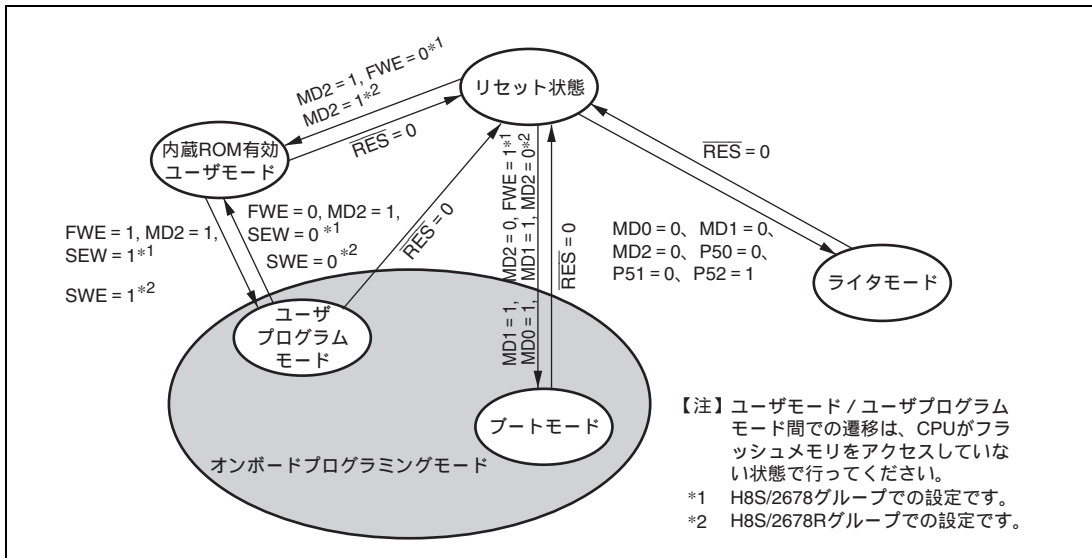


図 19.2 フラッシュメモリに関する状態遷移

表 19.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ エミュレーション

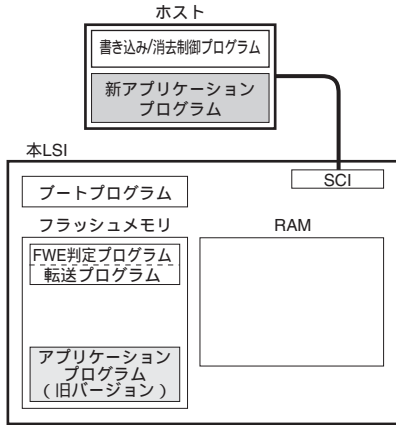
【注】\* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。





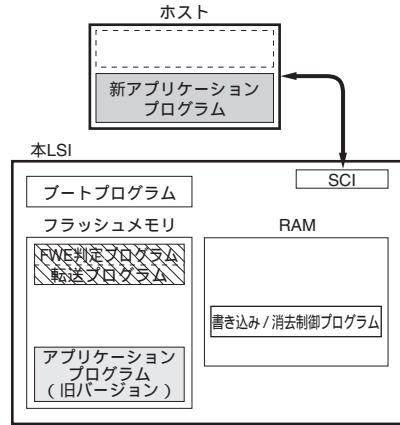
1. 初期状態

(1) ユーザプログラムモードに遷移したことを確認する FWE判定プログラム、(2) フラッシュメモリから内蔵 RAMに転送する書き込み/消去制御プログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。  
 (3) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



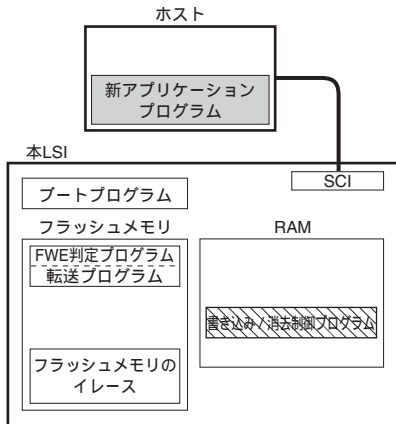
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに遷移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



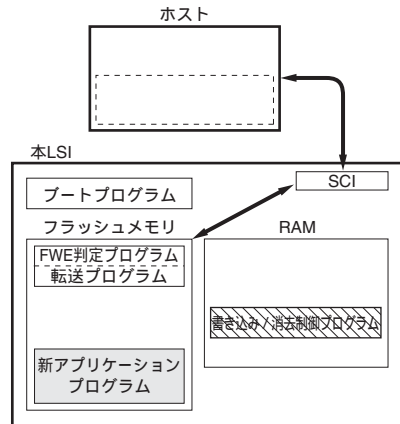
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



【注】 FWE判定プログラムは、H8S/2678Rグループでは使用しません。

プログラム実行状態

図 19.4 ユーザプログラムモード

### 19.3 ブロック構成

図 19.5 に 384k バイトフラッシュメモリ、図 19.6 に 256k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。384k バイトフラッシュメモリは 64k バイト (5 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されています。256k バイトフラッシュメモリは 64k バイト (3 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されています。消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位4kバイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
				- - - - -	H'000FFF
EB1 消去単位4kバイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
				- - - - -	H'001FFF
EB2 消去単位4kバイト	H'002000	H'002001	H'002002	書き込み単位 128バイト	H'00207F
				- - - - -	H'002FFF
EB3 消去単位4kバイト	H'003000	H'003001	H'003002	書き込み単位 128バイト	H'00307F
				- - - - -	H'003FFF
EB4 消去単位4kバイト	H'004000	H'004001	H'004002	書き込み単位 128バイト	H'00407F
				- - - - -	
EB7 消去単位4kバイト	H'007000	H'007001	H'007002	書き込み単位 128バイト	H'00707F
				- - - - -	H'007FFF
EB8 消去単位32kバイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
				- - - - -	H'00FFFF
EB9 消去単位64kバイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
				- - - - -	H'01FFFF
EB10 消去単位64kバイト	H'020000	H'020001	H'020002	書き込み単位 128バイト	H'02007F
				- - - - -	H'02FFFF
EB11 消去単位64kバイト	H'030000	H'030001	H'030002	書き込み単位 128バイト	H'03007F
				- - - - -	H'03FFFF
EB12 消去単位64kバイト	H'040000	H'040001	H'040002	書き込み単位 128バイト	H'04007F
				- - - - -	H'04FFFF
EB13 消去単位64kバイト	H'050000	H'050001	H'050002	書き込み単位 128バイト	H'05007F
				- - - - -	H'05FFFF

【注】モード5、6のときは、H'100000～H'15FFFFに割り付けられています。

図 19.5 384k バイトフラッシュメモリのブロック構成 (モード3、4、7)

## 19. フラッシュメモリ (F-ZTAT 版)

EB0 ↑ 消去単位4kバイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
				- - - - -	H'000FFF
EB1 ↑ 消去単位4kバイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
				- - - - -	H'001FFF
EB2 ↑ 消去単位4kバイト	H'002000	H'002001	H'002002	書き込み単位 128バイト	H'00207F
				- - - - -	H'002FFF
EB3 ↑ 消去単位4kバイト	H'003000	H'003001	H'003002	書き込み単位 128バイト	H'00307F
				- - - - -	H'003FFF
EB4 ↑ 消去単位4kバイト	H'004000	H'004001	H'004002	書き込み単位 128バイト	H'00407F
				- - - - -	
EB7 ↑ 消去単位4kバイト	H'007000	H'007001	H'007002	書き込み単位 128バイト	H'00707F
				- - - - -	H'007FFF
EB8 ↑ 消去単位32kバイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
				- - - - -	H'00FFFF
EB9 ↑ 消去単位64kバイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
				- - - - -	H'01FFFF
EB10 ↑ 消去単位64kバイト	H'020000	H'020001	H'020002	書き込み単位 128バイト	H'02007F
				- - - - -	H'02FFFF
EB11 ↑ 消去単位64kバイト	H'030000	H'030001	H'030002	書き込み単位 128バイト	H'03007F
				- - - - -	H'03FFFF

【注】モード5、6、13、14のときは、H'100000～H'13FFFFに割り付けられています。

図 19.6 256k バイトフラッシュメモリのブロック構成 (モード 4、7、10、11)

## 19.4 入出力端子

フラッシュメモリは表 19.2 に示す端子により制御されます。

表 19.2 端子構成

端子名	入出力	機 能
$\overline{\text{RES}}$	入力	リセット
FWE*	入力	フラッシュメモリの書き込み/消去をハードウェアプロテクト
MD2	入力	動作モードを設定
MD1	入力	動作モードを設定
MD0	入力	動作モードを設定
P52	入力	ライトモードの動作モードを設定
P51	入力	ライトモードの動作モードを設定
P50	入力	ライトモードの動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

【注】 \* H8S/2678 グループのみ

## 19.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)

## 19. フラッシュメモリ (F-ZTAT 版)

### 19.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「19.8 フラッシュメモリの書き込み/消去」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FWE	0/1	R	フラッシュライトイネーブル FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。0 のときハードウェアプロテクト状態になります。 【注】 H8S/2678R グループでは、ビット 7 はリザーブビットです。モード 1、2 のときリードすると 0 が読み出されます。モード 3~7 のときリードすると 1 が読み出されます。初期値を変更しないでください。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み/消去が可能となります。このビットが 0 のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ FWE = 1*、SWE = 1 の状態でこのビットを 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。
4	PSU	0	R/W	プログラムセットアップ FWE = 1*、SWE = 1 の状態でこのビットを 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。
3	EV	0	R/W	イレースベリファイ FWE = 1*、SWE = 1 の状態でこのビットを 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ FWE = 1*、SWE = 1 の状態でこのビットを 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース FWE = 1*、SWE = 1、ESU = 1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム FWE = 1*、SWE = 1、PSU = 1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

【注】 \* H8S/2678 グループでの設定です。

### 19.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。内蔵フラッシュメモリが無効のときは、H'00 が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「19.9.3 エラープロテクト」を参照してください。
6~0		0	R	リザーブビット リードすると常に 0 が読み出されます。

### 19.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。このレジスタは EBR2 と合わせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。消去ブロックは、表 19.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 の 4k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 の 4k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 の 4k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 の 4k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 の 4k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 の 4k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 の 4k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 の 4k バイトが消去対象となります。

## 19.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR2 は H'00 に初期化されます。このレジスタは EBR1 と合わせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。消去ブロックは、表 19.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
7, 6		0	R/W	リザーブビット 初期値を変更しないでください。
5	EB13	0	R/W	このビットが 1 のとき EB13 の 64k バイトが消去対象となります。 【注】 H8S/2678 グループではリザーブビットです。初期値を変更しないでください。
4	EB12	0	R/W	このビットが 1 のとき EB12 の 64k バイトが消去対象となります。 【注】 H8S/2678 グループではリザーブビットです。初期値を変更しないでください。
3	EB11	0	R/W	このビットが 1 のとき EB11 の 64k バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 の 64k バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB 9 の 64k バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 の 32k バイトが消去対象となります。

表 19.3 消去ブロック

ブロック (サイズ)	アドレス	
	H8S/2678 R グループ : モード 3、4、7 H8S/2678 グループ : モード 4、7、10、11	H8S/2678 R グループ : モード 5、6 H8S/2678 グループ : モード 5、6、13、14
EB0 (4k バイト)	H'000000 ~ H'000FFF	H'100000 ~ H'100FFF
EB1 (4k バイト)	H'001000 ~ H'001FFF	H'101000 ~ H'101FFF
EB2 (4k バイト)	H'002000 ~ H'002FFF	H'102000 ~ H'102FFF
EB3 (4k バイト)	H'003000 ~ H'003FFF	H'103000 ~ H'103FFF
EB4 (4k バイト)	H'004000 ~ H'004FFF	H'104000 ~ H'104FFF
EB5 (4k バイト)	H'005000 ~ H'005FFF	H'105000 ~ H'105FFF
EB6 (4k バイト)	H'006000 ~ H'006FFF	H'106000 ~ H'106FFF
EB7 (4k バイト)	H'007000 ~ H'007FFF	H'107000 ~ H'107FFF
EB8 (32k バイト)	H'008000 ~ H'00FFFF	H'108000 ~ H'10FFFF
EB9 (64k バイト)	H'010000 ~ H'01FFFF	H'110000 ~ H'11FFFF
EB10 (64k バイト)	H'020000 ~ H'02FFFF	H'120000 ~ H'12FFFF
EB11 (64k バイト)	H'030000 ~ H'03FFFF	H'130000 ~ H'13FFFF
EB12 (64k バイト)	H'040000 ~ H'04FFFF	H'140000 ~ H'14FFFF
EB13 (64k バイト)	H'050000 ~ H'05FFFF	H'150000 ~ H'15FFFF

【注】 384k バイトフラッシュメモリの消去ブロックは EB0 ~ EB13 です。

256k バイトフラッシュメモリの消去ブロックは EB0 ~ EB11 です。



### 19.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMERの設定は、ユーザモード、ユーザプログラミングモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

## 19. フラッシュメモリ (F-ZTAT 版)

ビット	ビット名	初期値	R/W	説明
7、5		0	R	リザーブビット リードすると常に0が読み出されます。
4		0	R/W	リザーブビット 初期値を変更しないでください。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。このビットが1のとき、RAMの一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となります。このビットが0のとき、RAMエミュレーション機能は無効です。
2 1 0	RAM2 RAM1 RAM0	0 0 0	R/W R/W R/W	フラッシュメモリエリア選択 RAMS が1のとき、RAMとオーバーラップさせるフラッシュメモリのエリアを選択します。これらのエリアは4kバイトの消去ブロックに対応しています。 H8S/2678 Rグループ：モード3、4、7 H8S/2678 グループ：モード4、7、10、11 000 : H'000000 ~ H'000FFF(EB0) 001 : H'001000 ~ H'001FFF(EB1) 010 : H'002000 ~ H'002FFF(EB2) 011 : H'003000 ~ H'003FFF(EB3) 100 : H'004000 ~ H'004FFF(EB4) 101 : H'005000 ~ H'005FFF(EB5) 110 : H'006000 ~ H'006FFF(EB6) 111 : H'007000 ~ H'007FFF(EB7) H8S/2678 Rグループ：モード5、6 H8S/2678 グループ：モード5、6、13、14 000 : H'100000 ~ H'100FFF(EB0) 001 : H'101000 ~ H'101FFF(EB1) 010 : H'102000 ~ H'102FFF(EB2) 011 : H'103000 ~ H'103FFF(EB3) 100 : H'104000 ~ H'104FFF(EB4) 101 : H'105000 ~ H'105FFF(EB5) 110 : H'106000 ~ H'106FFF(EB6) 111 : H'107000 ~ H'107FFF(EB7)

## 19.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。オンボードプログラミングモードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。ブートモードの設定方法は、表 19.4 を参照してください。ユーザプログラムモードは、ソフトウェアで制御ビットを設定し動作可能です。また、フラッシュメモリに関する各モードへの状態遷移図は、図 19.2 を参照してください。

表 19.4 オンボードプログラミングモードの設定方法

- H8S/2678グループ

モード設定		FWE	MD2	MD1	MD0
ブートモード	内蔵 ROM 有効拡張モード	1	0	1	0
	内蔵 ROM 有効・シングルチップ起動拡張モード	1	0	1	1
ユーザプログラムモード	内蔵 ROM 有効拡張モード	1	1	0	0
	内蔵 ROM 有効・外部 ROM 起動拡張モード* <sup>1</sup>	1	1	0	1
	内蔵 ROM 有効・外部 ROM 起動拡張モード* <sup>2</sup>	1	1	1	0
	内蔵 ROM 有効・シングルチップ起動拡張モード	1	1	1	1

【注】 \*1 外部バスの初期値は 16 ビットです。

\*2 外部バスの初期値は 8 ビットです。

- H8S/2678Rグループ

モード設定		MD2	MD1	MD0
ブートモード	内蔵 ROM 有効・シングルチップ起動拡張モード	0	1	1

### 19.6.1 ブートモード

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI\_1 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 19.5 に示します。

1. ブートプログラムが起動すると、SCI\_1は調歩同期式モードに設定され、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI\_1のビットレートをホストのビットレートに合わせ込みます。送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートがかかります。
2. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表19.6の範囲としてください。
3. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「19.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。
4. 書き込み制御プログラムに分岐するときSCI\_1は送受信動作を終了 (SCRのRE=0、TE=0) しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
5. ブートモードは、フラッシュメモリに書き込まれているデータがある場合 (全データが1でないとき)、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。

- 【注】
1. ブートモードでは内蔵RAMの一部 (FF8000 ~ FF87FF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FF8800 ~ H'FFBFFF 番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
  2. ブートモードはリセットにより解除されます。リセット端子を Low レベルにして最低 20 ステート経過後、MD 端子を設定してリセットを解除してください。WDT のオーバフローリセットが発生した場合もブートモードは解除されます。
  3. ブートモードの途中でモード端子の入力レベルを変化させないでください。
  4. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

表 19.5 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐  <div style="border: 1px solid black; border-radius: 15px; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレートの合わせ込み	<p>所定のビットレートでH'00を連続送信</p> <p>↓</p> <p>H'00を正常に受信したらH'55送信</p> <p>↓</p> <p>H'AA受信</p>	<p>H'00,H'00・・・H'00</p> <p>H'00</p> <p>H'55</p> <p>H'AA</p>	<ul style="list-style-type: none"> <li>受信データH'00のLow期間を測定</li> <li>ビットレートを計算し、SCI_1のBRRを設定</li> <li>ビットレート合わせ込み終了後、ホストへH'00を送信</li> <li>H'55を受信したらホストへH'AAを送信</li> </ul>
書き込み制御プログラムの転送	<p>転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信</p> <p>↓</p> <p>書き込み制御プログラムを1バイト毎に送信(N回繰り返し)</p>	<p>上位バイト、下位バイト</p> <p>エコーバック</p> <p>H'XX</p> <p>エコーバック</p>	<p>受信した2バイトデータをホストへエコーバック</p> <p>↓</p> <p>受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)</p>
フラッシュメモリ消去	<p>ブートプログラム消去エラー</p> <p>↓</p> <p>H'AA受信</p>	<p>H'FF</p> <p>H'AA</p>	<p>フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)</p>
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 19.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
19200bps	8 ~ 25MHz
9600bps	8 ~ 25MHz

## 19.6.2 ユーザプログラムモード

ユーザモードではユーザが用意した書き込み/消去プログラムに岐することで任意のブロックをオンボードで消去し書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 19.7 にユーザプログラムモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「19.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。

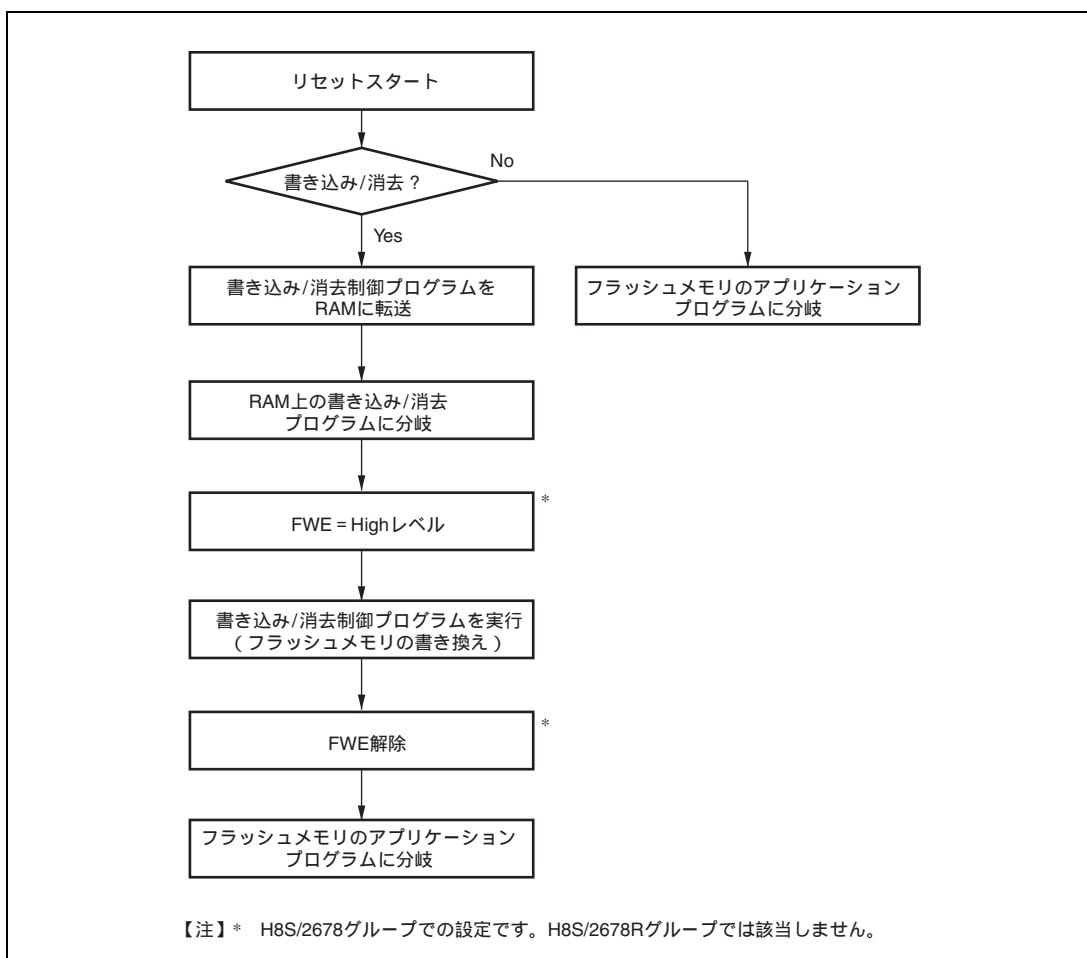


図 19.7 ユーザプログラムモードにおける書き込み/消去例

## 19.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるように、RAMER によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができます。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 19.8 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSピットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

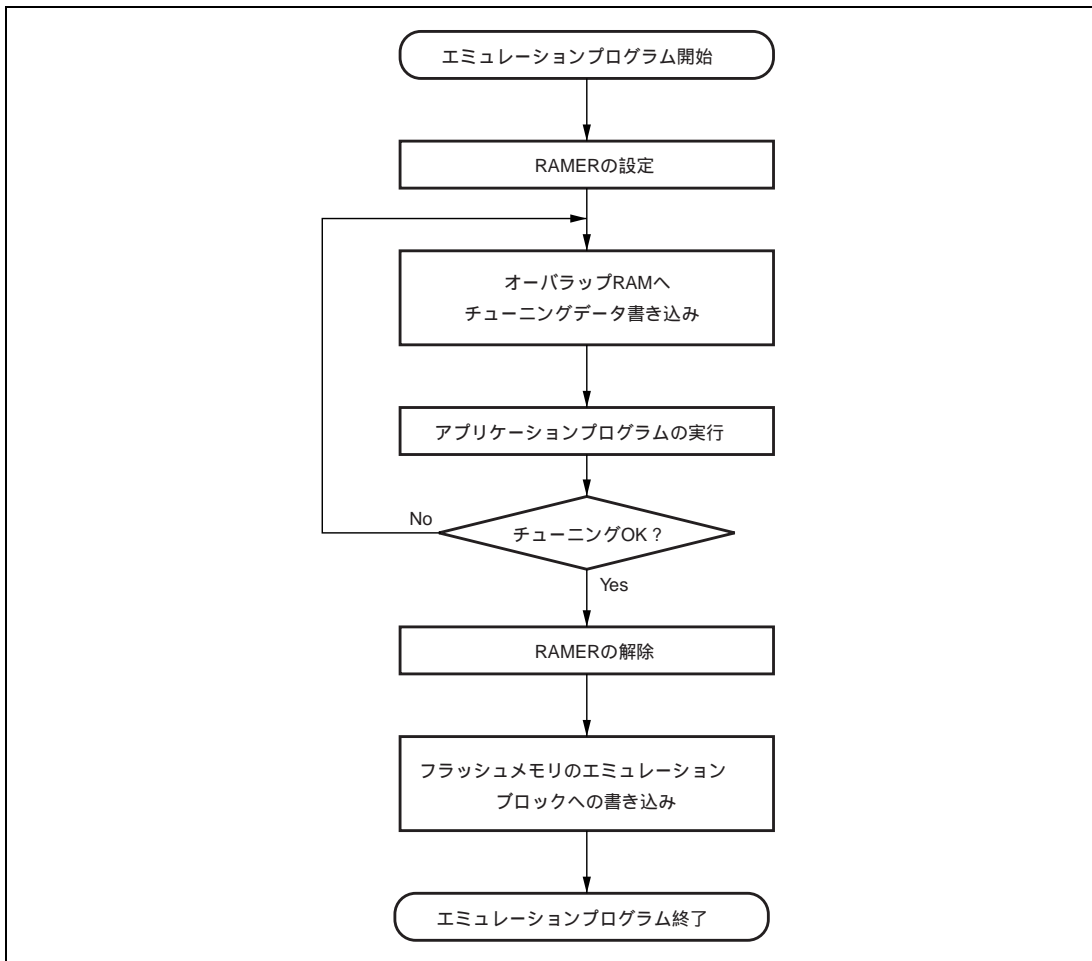


図 19.8 RAM によるエミュレーションフロー

## 19. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリのブロックをオーバーラップさせる例を図 19.9 に示します。

1. オーバーラップさせるRAMのエリアはH'FFFA000 ~ H'FFFAFFFの4kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは4kバイトのEB0 ~ EB7のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスともとのRAMのアドレスの両方からアクセスできます。

- 【注】
1. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり(エミュレーションプロテクト)、FLMCR1のPビットまたはEビットをセットしてもプログラムモード、イレースモードへは遷移しません。
  2. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
  3. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

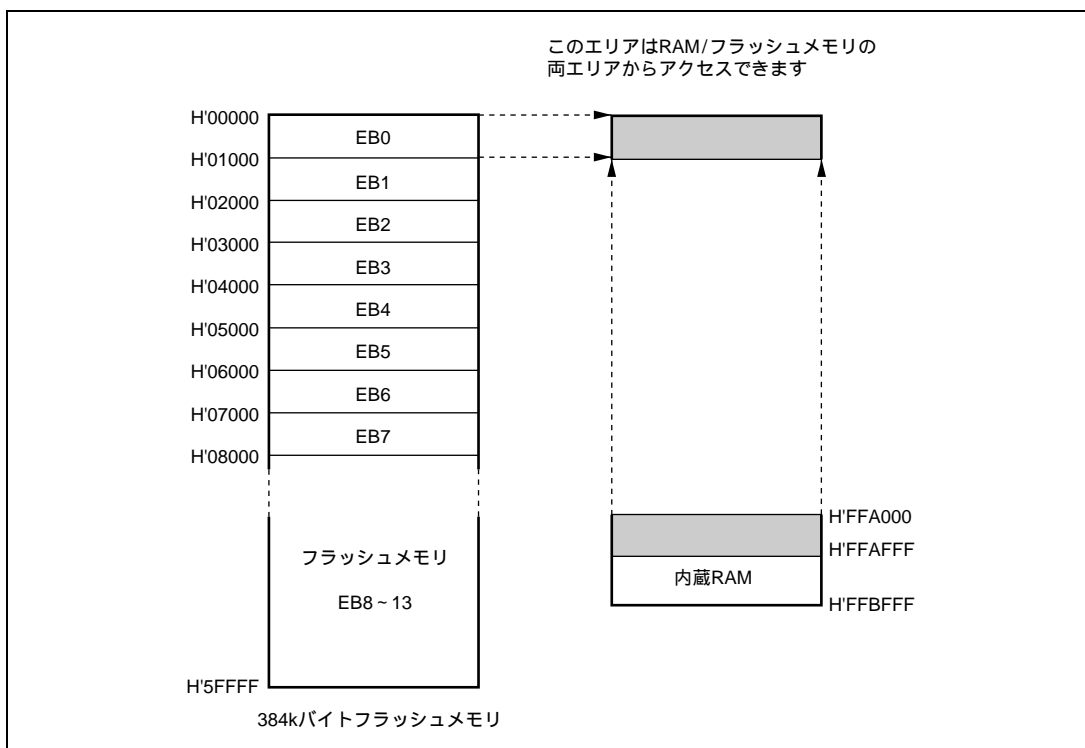


図 19.9 RAM のオーバーラップ例



## 19.8 フラッシュメモリの書き込み/消去

オンボードでのフラッシュメモリの書き込み/消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1、FLMCR2の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み/消去プログラムではこれらのモードを組み合わせで書き込み/消去を行います。フラッシュメモリへの書き込みは「19.8.1 プログラム/プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「19.8.2 イレース/イレースベリファイ」に沿って行ってください。

### 19.8.1 プログラム/プログラムベリファイ

フラッシュメモリへの書き込みは、図19.10に示すプログラム/プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図19.10に従ってください。
4. 書き込みデータエリア、再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図19.10に従ってください。
6. プログラムの暴走等による過剰書き込みを避けるためにウォッチドックタイマの設定をしてください。オーバフロー周期は  $(y+z2+ \quad ) \mu s$  より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
8. 同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、最大書き込み回数(N)回を超えないようにしてください。

# 19. フラッシュメモリ (F-ZTAT 版)

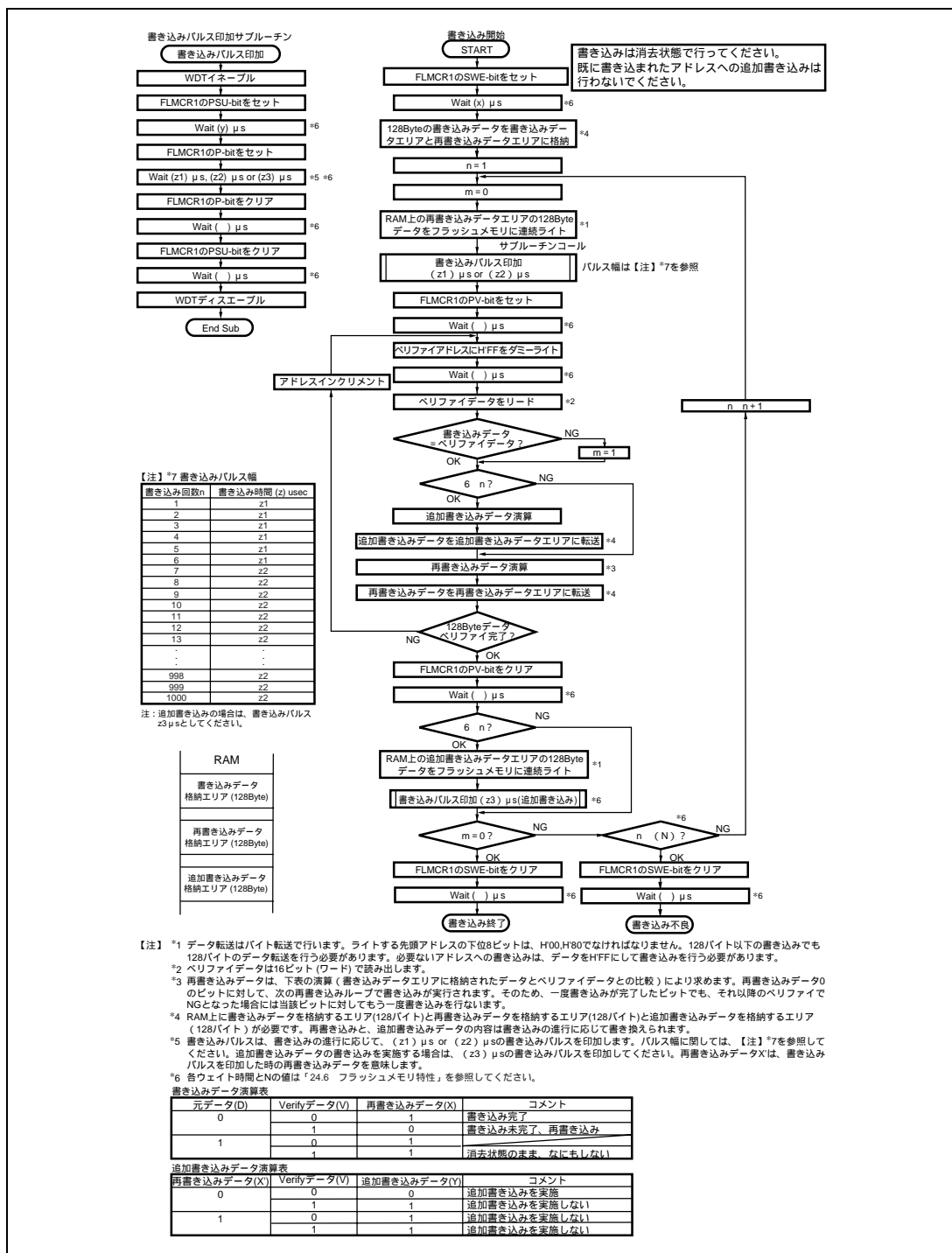


図 19.10 プログラム/プログラムベリファイフロー

## 19.8.2 イレース/イレースベリファイ

消去は図 19.11 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト (消去するメモリの全データをすべて0にする) を行う必要はありません。
2. 消去はブロック単位で行います。EBR1、EBR2により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は (y+z+ ) msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が最大消去回数 (N) 回を超えないようにしてください。

## 19.8.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中、またはブートプログラム実行中は、以下の理由から NMI を含むすべての割り込みを禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスが実行できなくなる。

## 19. フラッシュメモリ (F-ZTAT 版)

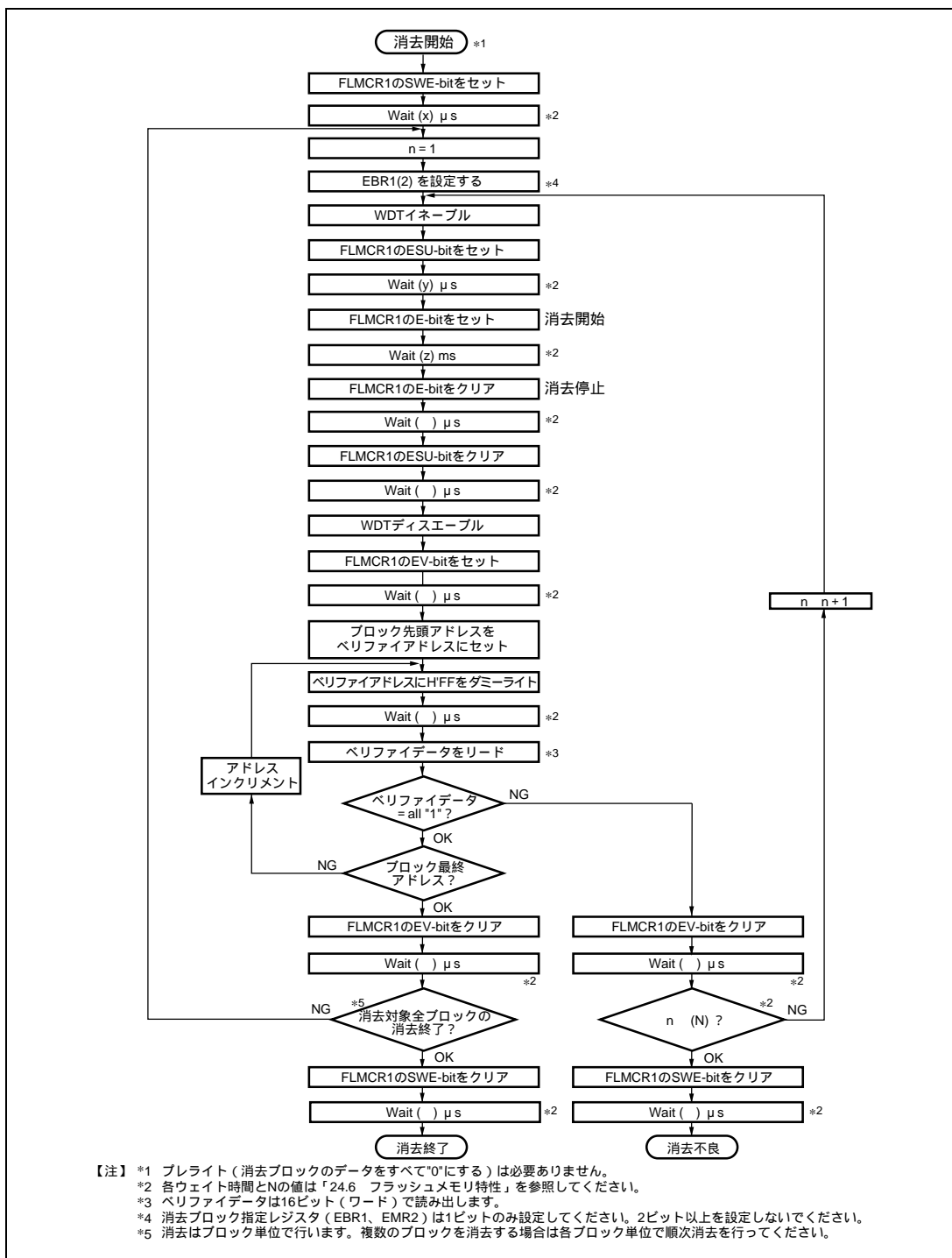


図 19.11 イレース/イレースペリファイフロー

## 19.9 書き込み/消去プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

### 19.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット (WDT によるオーバフローリセットも含む) またはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。

FLMCR1、FLMCR2、EBR1、EBR2 が初期化されます。 $\overline{\text{RES}}$  端子によるリセットでは、電源投入後発振が安定するまで  $\overline{\text{RES}}$  端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した  $\overline{\text{RES}}$  パルス幅の間  $\overline{\text{RES}}$  端子を Low レベルに保持してください。

### 19.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み/消去プロテクト状態になります (内蔵 RAM/外部メモリ上で実行してください)。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、EBR1、EBR2 の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

### 19.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み/消去中に CPU の暴走や書き込み/消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み/消去動作を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み/消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み/消去中のリセットを除く例外処理開始
- 書き込み/消去中の SLEEP 命令実行
- 書き込み/消去中に CPU がバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットまたハードウェアスタンバイモードによってのみ解除できます。

## 19.10 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み/消去を行うことができます。PROM ライタはルネサス 512k バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているライタを使用してください。

## 19.11 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態  
フラッシュメモリの読み出しが可能です。
- スタンバイ状態  
フラッシュメモリのすべての回路が停止します。

表 19.7 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリがスタンバイ状態から通常動作状態へ復帰する時は、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100  $\mu$ s 以上になるよう SBYCR の STS3 ~ STS0 を設定してください。

表 19.7 フラッシュメモリの動作状態

動作モード	フラッシュメモリの状態
アクティブモード	通常動作状態
スリープモード	通常動作状態
スタンバイモード	スタンバイ状態

## 19.12 使用上の注意事項

オンボードプログラミングモード、RAM エミュレーション機能、およびライタモード使用時の注意事項を示します。

1. 規定された電圧、タイミングでフラッシュメモリへの書き込み/消去を行ってください。  
定格以上の電圧を印加した場合、本 LSI の永久破壊となることがあります。PROM ライタはルネサス 512k バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているものを使用してください。ライタの設定は HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。
2. 電源投入/切断時は、リセット状態にしてください。  
V<sub>cc</sub> 電源の印加/切断時は  $\overline{\text{RES}}$  端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは停電等による電源の切断、再投入時にも満足するよ

うにしてください。

### 3. 電源投入/切断時の注意

FWE端子にHighレベルを印加するときは、Vcc確定後に行ってください。また、Vccを切断する前にFWE端子をLowレベルにしてください。Vcc電源の印加/切断時はFWE端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。図19.12にH8S/2678グループの電源投入/切断タイミングを示します。

### 4. FWE端子の印加/解除の注意

FWE端子に印加するときは、LSIの動作が確定した状態で行ってください。LSIの動作が確定しない場合は、FWE端子をLowレベルに固定し、プロテクト状態にしてください。FWE端子の印加/解除は、フラッシュメモリへの誤書き込み/誤消去を防止するため次のような注意が必要です。

- FWE端子の印加は、Vcc電圧が確定し安定している状態で行なってください。
- ブートモードでは、FWE端子の印加/解除はリセット中に行ってください。
- ユーザプログラムモードでは、フラッシュメモリ上でのプログラム実行中、リセットの状態にかかわらずFWE入力のHighレベル/Lowレベルの切り替えが可能です。
- FWE端子の印加は、プログラムが暴走していない状態で行なってください。
- FWE端子の解除は、FLMCR1のSWE、ESU、PSU、EV、PV、Eビットをクリアした状態で行ってください。

### 5. FWE端子に常時Highレベルを印加しないでください。

FWE端子にHighレベルを印加するのは、フラッシュメモリに書き込み/消去を行うときのみとしてください。また、FWE端子にHighレベルを印加中は、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

### 6. フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書き込み/消去を行うことができます。また、FLMCR1のPビット、Eビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

### 7. SWEビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWEビットをクリアした後100  $\mu$ s以上たってから行ってください。SWEビットをセットするとフラッシュメモリのデータを書き換えできませんが、SWE = 1のときはプログラムベリファイ/イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ (プログラム/イレース中のベリファイ) 以外の目的でフラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中にSWEビットのクリアを行わないでください。RAMによるエミュレーション機能を使用する場合も、同様にフラッシュメモリ上のプログラム実行とデータ読み出しはSWEビットをクリアした後に行ってください。ただし、フラッシュメモリ空間とオーバーラップしたRAMエリアについては、SWEビットのセット/クリアにかかわらずリード/ライト可能です。

## 19. フラッシュメモリ (F-ZTAT 版)

---

8. フラッシュメモリの書き込み/消去中に割り込みを使用しないでください。  
フラッシュメモリへの書き込み/消去を行う場合は、書き込み/消去動作を最優先とするため、NMIを含むすべての割り込み要求を禁止してください。
9. 追加書き込みは行わないでください。書き換えは消去後に行ってください。  
オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
10. 書き込み前に、正しくPROMライターに装着されていることを確認してください。  
PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
11. 書き込み中はソケットアダプタや製品に手を触れないでください。  
接触不良などにより、書き込み不良になることがあります。
12. 動作中は、SWEビットをクリアしてリセット入力してください。  
SWEビットクリア後、100  $\mu$ s以上たってからリセット入力してください。



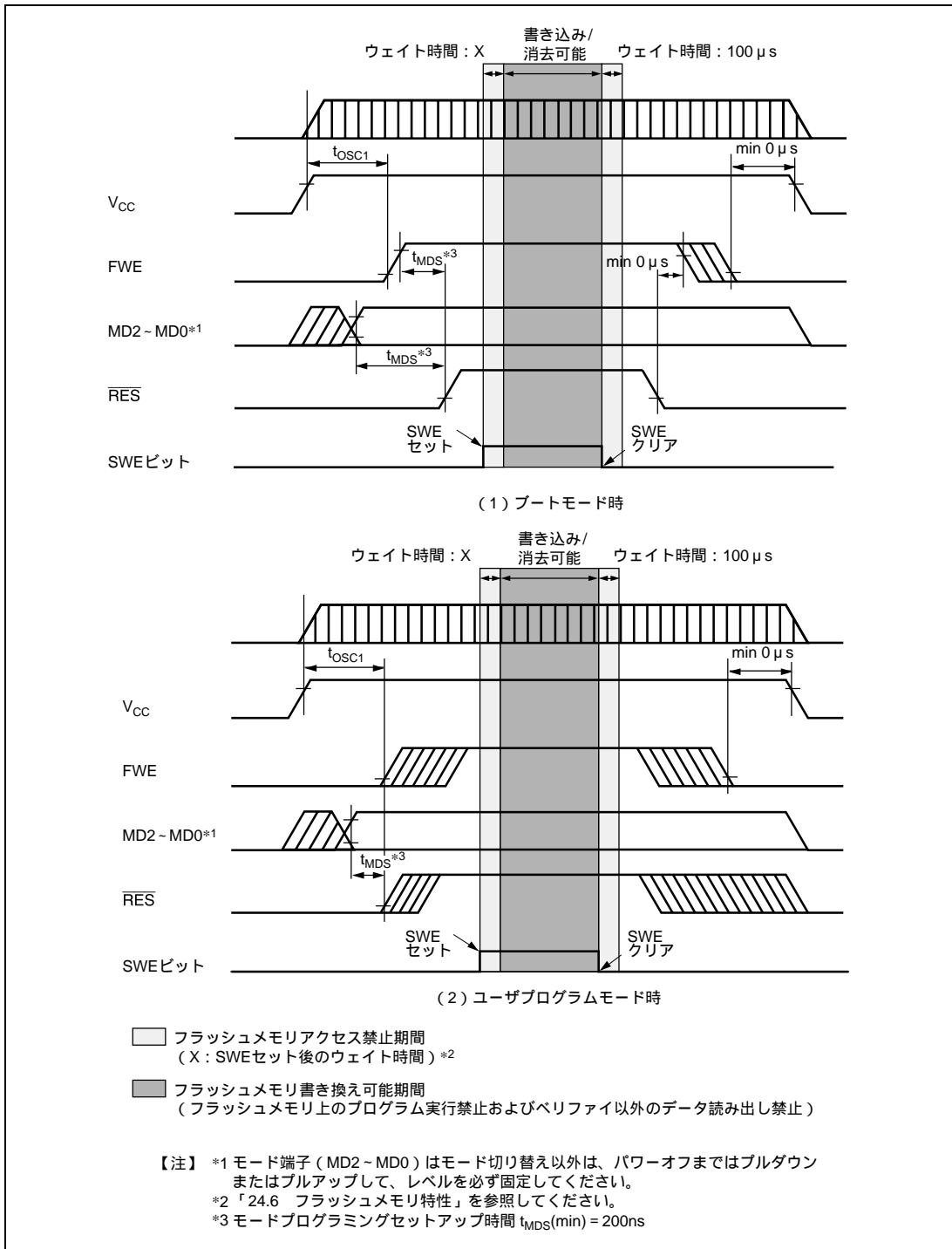


図 19.12 電源投入/切断タイミング (H8S/2678 グループ)

## 19. フラッシュメモリ (F-ZTAT 版)

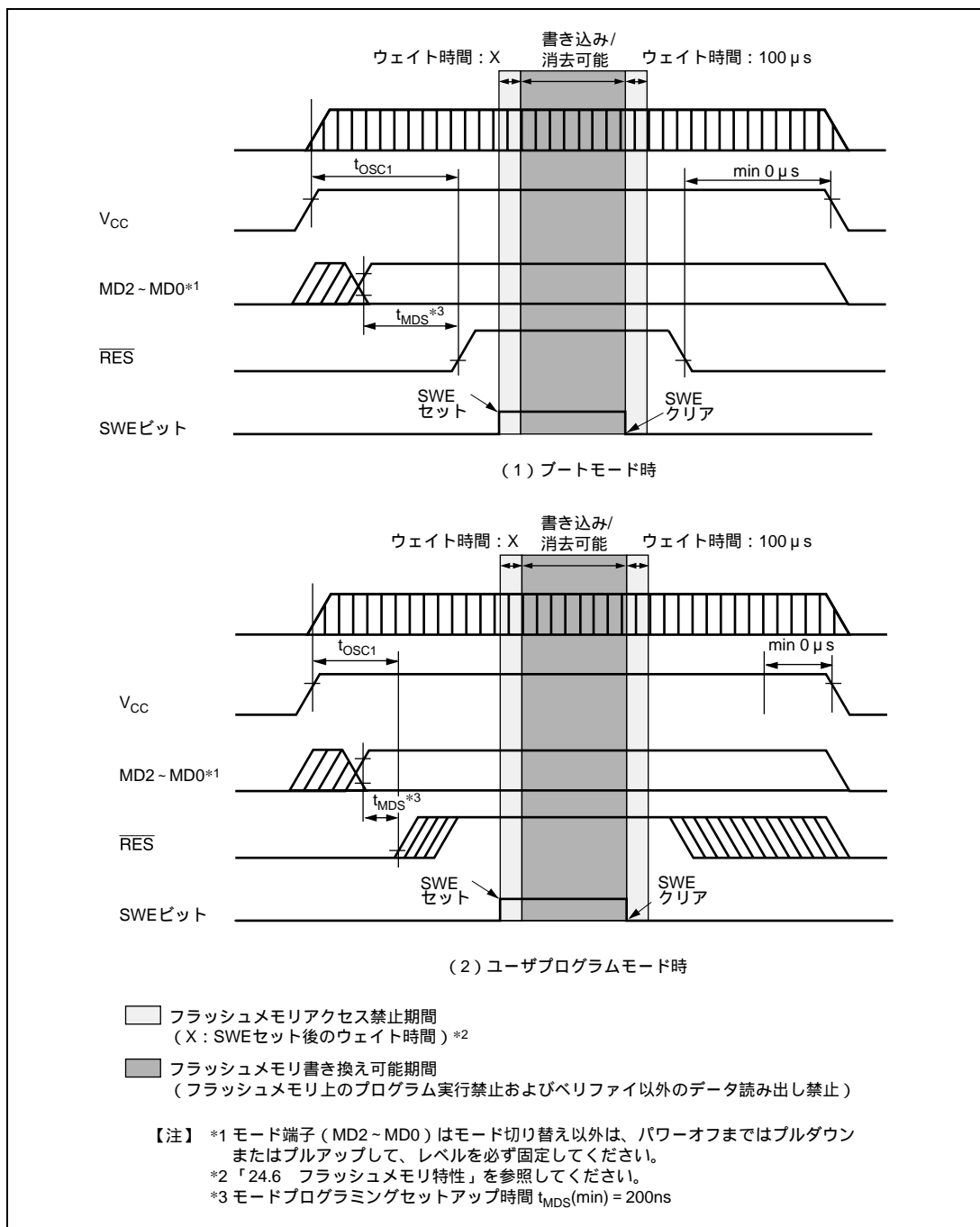


図 19.13 電源投入/切断タイミング (H8S/2678R グループ)

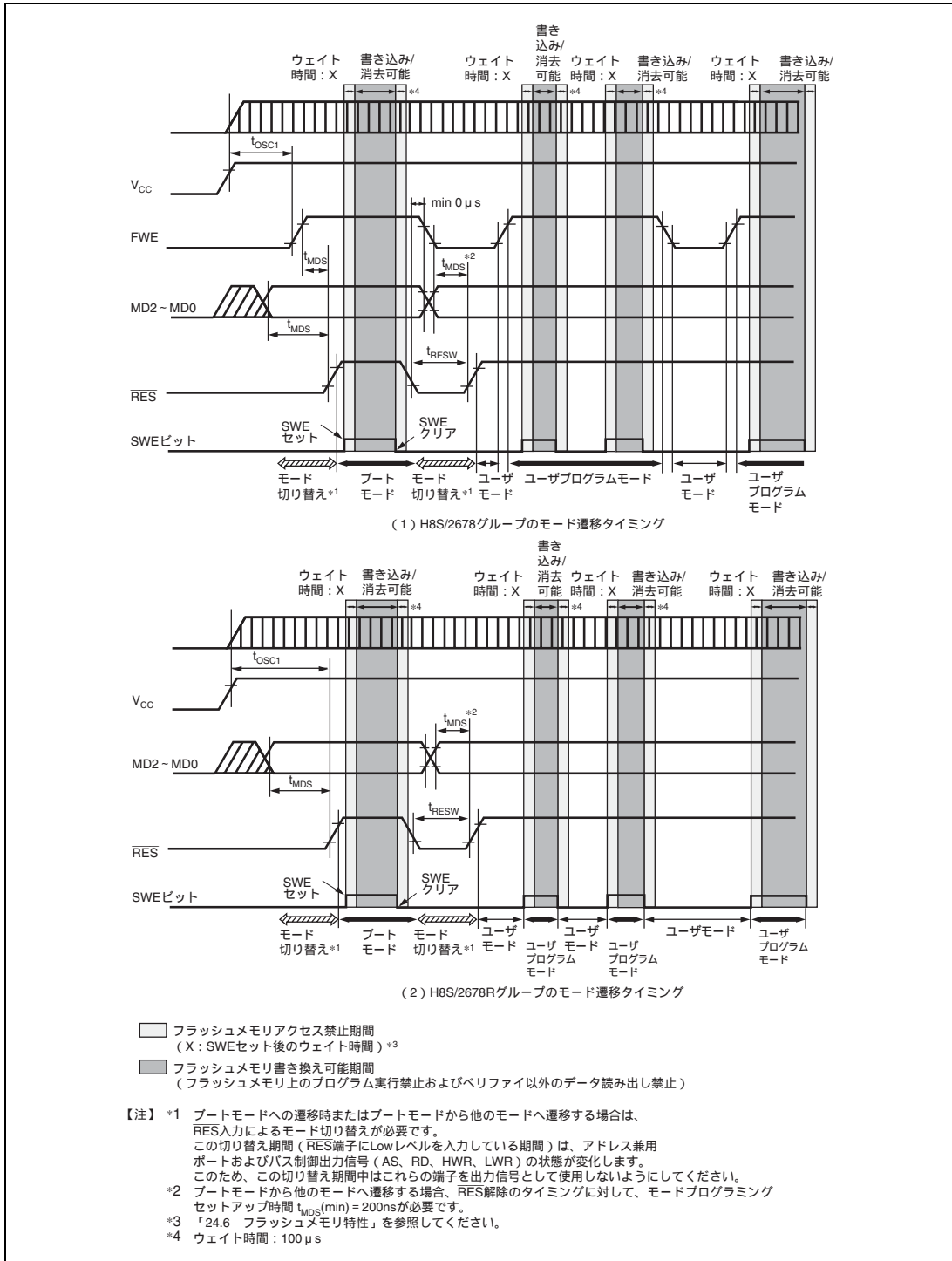


図 19.14 モード遷移タイミング (例: ブートモード ユーザモード ユーザプログラムモード)

### 19.13 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク ROM 版では、フラッシュメモリ用レジスタの存在するアドレス (「23.1 レジスタアドレス一覧」参照) を読むと、値は不定になります。

F-ZTAT 版アプリケーションソフトをマスク ROM 版製品で使用する場合、FWE 端子状態の判定はできません。フラッシュメモリの書き換え (消去/書き込み) 部分および RAM エミュレーション部分が起動しないように、プログラムを変更してください。

また、マスク ROM 版で、ブートモードのモード端子設定は行なわないでください。

【注】 F-ZTAT 版製品、ROM サイズの異なる同一グループのマスク ROM 版製品はすべて対象となります。

## 20. マスク ROM

本グループでは、64k、128k、および256k バイトのマスク ROM を内蔵しています。内蔵 ROM は、16 ビット幅のデータバスを介して、CPU、データ転送コントローラ (DTC) および DMA コントローラ (DMAC) に接続されています。CPU、DTC、および DMAC は、8 または 16 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

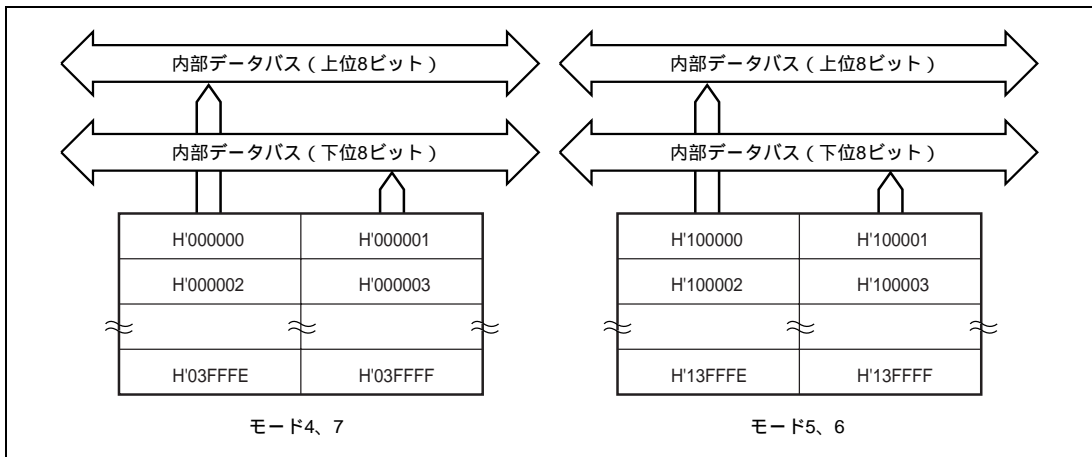


図 20.1 256k バイトマスク ROM のブロック図 (HD6432676)

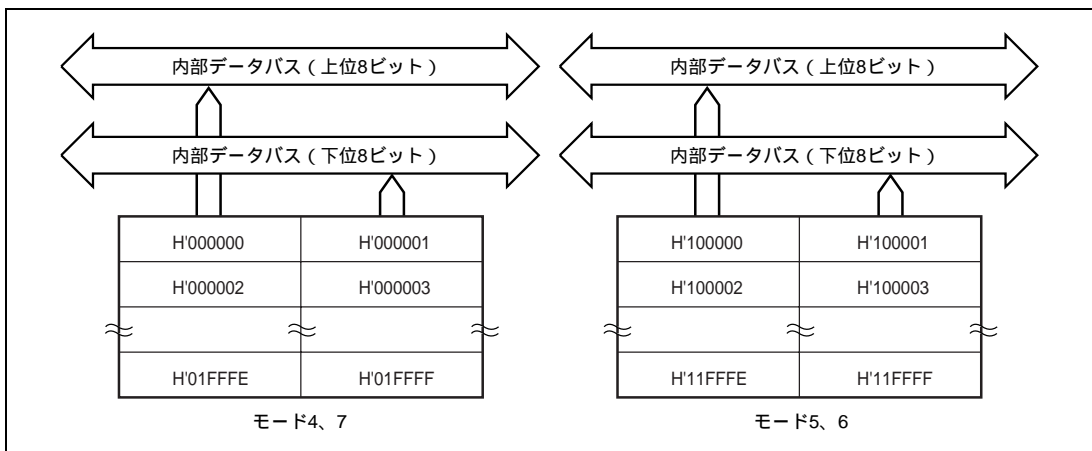


図 20.2 128k バイトマスク ROM のブロック図 (HD6432675)

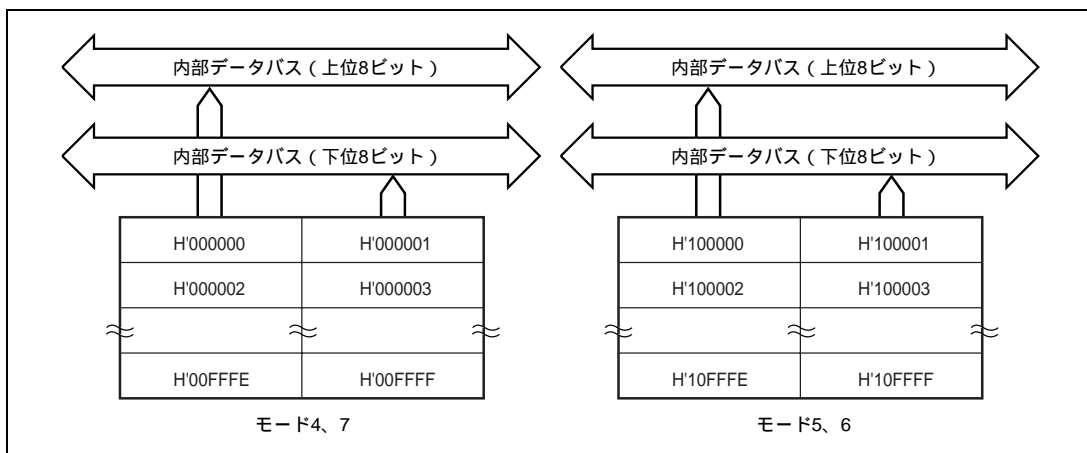


図 20.3 64k バイトマスク ROM のブロック図 (HD6432673)

内蔵 ROM は、動作モードによって有効か無効が決まります。動作モードは、表 3.1 のようにモード設定端子 FWE、MD2～MD0 で選びます。内蔵 ROM を使う場合にはモード 4～7 を、使わない場合にはモード 1 かモード 2 を選んでください。内蔵 ROM は、エリア 0 に割り付けられています。

## 21. クロック発振器

本 LSI はクロック発振器を内蔵しており、システムクロック ( )、および 内部クロックを生成します。クロック発振器は、発振器、PLL 回路、分周器から構成されます。クロック発振器のブロック図を図 21.1 に示します。

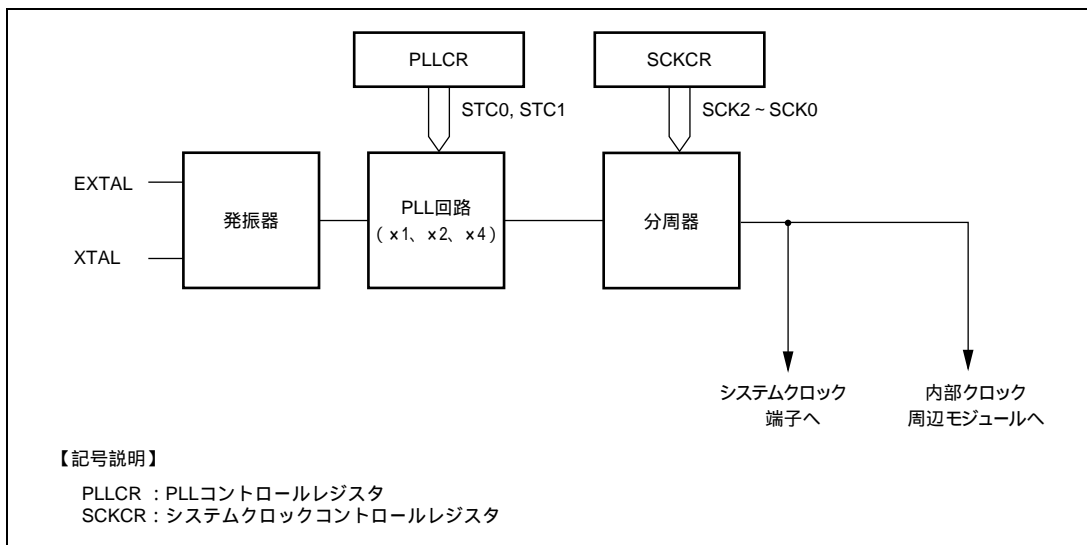


図 21.1 クロック発振器のブロック図

発振器からの周波数は、PLL 回路により変更できます。周波数の変更は、PLL コントロールレジスタ ( PLLCR ) とシステムクロックコントロールレジスタ ( SCKCR ) の設定によりソフトウェアで行います。

## 21.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ(SCKCR)
- PLLコントロールレジスタ(PLLCR)

### 21.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は 出力の制御、PLL 回路の周波数通倍率変更時の動作選択、分周器の分周比の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	出力禁止 出力を制御します。 通常動作状態 0: 出力 1: High レベル固定 スリープモード 0: 出力 1: High レベル固定 ソフトウェアスタンバイモード 0: High レベル固定 1: High レベル固定 ハードウェアスタンバイモード 0: ハイインピーダンス 1: ハイインピーダンス 全モジュールクロックストップモード 0: 出力 1: High レベル固定
6		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
5、4		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	STCS	0	R/W	周波数通倍率切り替えモード選択 PLL 回路の周波数通倍率変更時の動作を選択します。 0: 変更した通倍率は、ソフトウェアスタンバイモード遷移後に有効 1: 変更した通倍率は、STC1、STC0 ビット書き換え後に有効



ビット	ビット名	初期値	R/W	説 明
2	SCK2	0	R/W	システムクロックセレクト2~0 分周比を選択します。 000 : 1/1 001 : 1/2 010 : 1/4 011 : 1/8 100 : 1/16 101 : 1/32 11X : 設定禁止
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【注】 X : Don't care

### 21.1.2 PLL コントロールレジスタ (PLLCR)

PLLCR は PLL 回路の周波数逡倍率を設定します。

ビット	ビット名	初期値	R/W	説 明
7~4		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3		0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
2		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	STC1	0	R/W	周波数逡倍率設定 PLL 回路の周波数逡倍率を設定します。 00 : x1 01 : x2 10 : x4 11 : 設定禁止
0	STC0	0	R/W	

## 21.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

### 21.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 21.2 に示します。ダンピング抵抗  $R_d$  は表 21.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子の等価回路を図 21.3 に示します。水晶発振子は表 21.2 に示す特性のものを使用してください。

## 21. クロック発振器

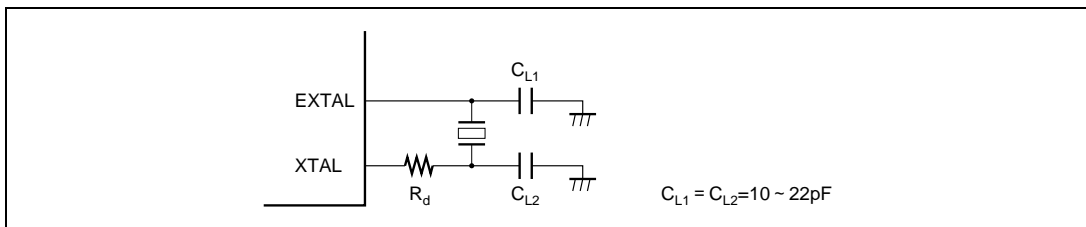


図 21.2 水晶発振子の接続例

表 21.1 ダンピング抵抗値

周波数 (MHz)	8	12	16	20	25
R <sub>d</sub> ( )	200	0	0	0	0

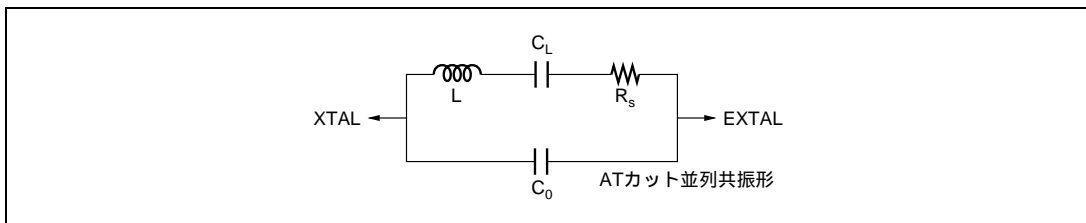


図 21.3 水晶発振子の等価回路

表 21.2 水晶発振子の特性

周波数 (MHz)	8	12	16	20	25
R <sub>s</sub> max ( )	80	60	50	40	40
C <sub>0</sub> max (pF)	7				

### 21.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 21.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

外部クロックの入力条件を表 21.3 に示します。

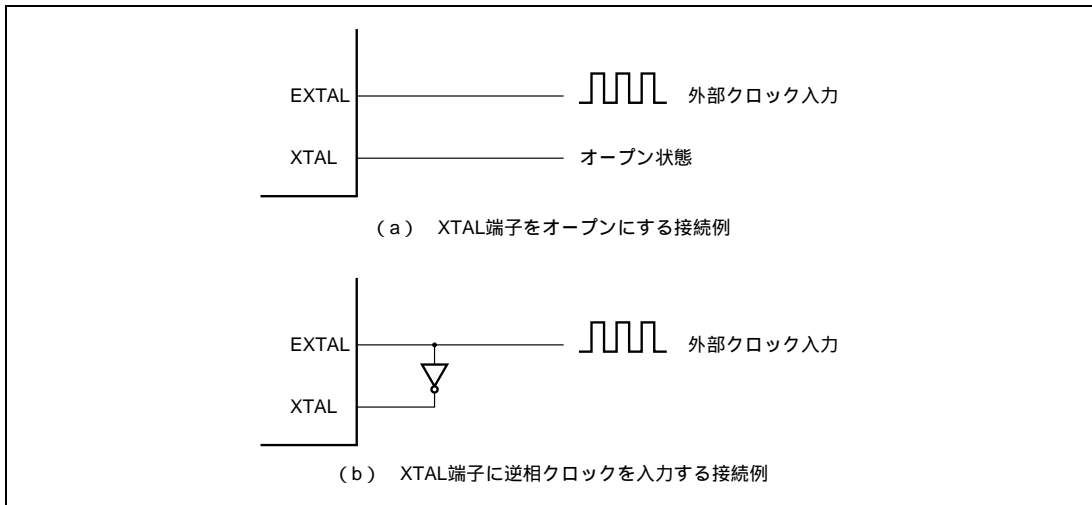


図 21.4 外部クロックの接続例

表 21.3 外部クロック入力条件

項目	記号	$V_{CC} = 3.0 \sim 3.6 \text{ V}$		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	$t_{EXL}$	15	-	ns	図 21.5
外部クロック入力パルス幅 High レベル	$t_{EXH}$	15	-	ns	
外部クロック立ち上がり時間	$t_{EXr}$	-	5	ns	
外部クロック立ち下がり時間	$t_{EXf}$	-	5	ns	
クロックパルス幅 Low レベル	$t_{CL}$	0.4	0.6	tcyc	
クロックパルス幅 High レベル	$t_{CH}$	0.4	0.6	tcyc	

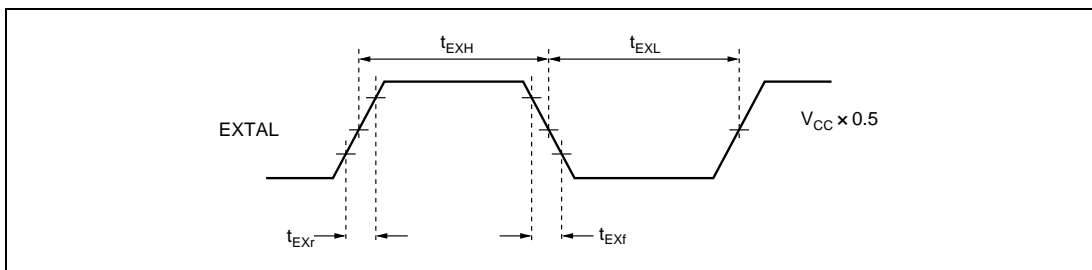


図 21.5 外部クロック入力タイミング

### 21.3 PLL 回路

PLL 回路は、発振器からの周波数を 1 倍、2 倍、4 倍に逡倍する機能を持っています。周波数逡倍率は PLLCR の STC1、STC0 ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

PLL 回路の周波数逡倍率を変更する場合、SCKCR の STCS ビットの設定で動作が異なります。

STCS ビットが 0 の場合、変更した周波数逡倍率はソフトウェアスタンバイモード遷移後に有効になります。遷移時間は、スタンバイコントロールレジスタ (SBYCR) の STS3 ~ STS0 ビットで設定します。SBYCR については「22.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

1. 初期状態では、PLL回路の逡倍率は1倍です。
2. STS3 ~ STS0ビットで遷移時間を設定します。
3. STC1、STC0ビットで周波数逡倍率を設定し、ソフトウェアスタンバイモードに遷移します。
4. クロック発振器が停止し、設定したSTC1 ~ STC0の設定が有効となります。
5. ソフトウェアスタンバイモードを解除し、STS3 ~ STS0ビットで設定した、遷移時間が確保されます。
6. 設定した遷移時間経過後、変更した周波数逡倍率で本LSIは動作を再開します。

STCS ビットが 1 の場合、STC1、STC0 ビット書き換え後に、変更後の周波数逡倍率では本 LSI は動作します。

### 21.4 分周器

分周器は PLL 回路出力クロックを分周し、1/2、1/4、1/8、1/16、1/32 のクロックを生成します。

## 21.5 使用上の注意事項

### 21.5.1 クロック発振器に関する使用上の注意事項

1. SCKCR、PLLCRの設定により の周波数が変わりますので以下の点に注意してください。  
分周比は電気的特性のACタイミングのクロックサイクル時間 $t_{cyc}$ の動作保証範囲内に収まるように選択してください。つまり、 $\min = 8\text{MHz}$ 、 $\max = 33\text{MHz}$ とし、 $< 8\text{MHz}$ 、 $> 33\text{MHz}$ とならないように注意してください。
2. 内部モジュールは、すべて を基準に動作します。このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。また、ソフトウェアスタンバイモード解除用の待機時間も分周比を変更することで変わります。詳細は「22.2.3 (3) ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。
3. ライトデータバッファ機能、EXDMACを用いて、外部バスサイクル実行中にSCKCRあるいはPLLCRの設定を行うと、 の周波数が変わりますので注意してください。

### 21.5.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 21.5.3 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 21.6 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

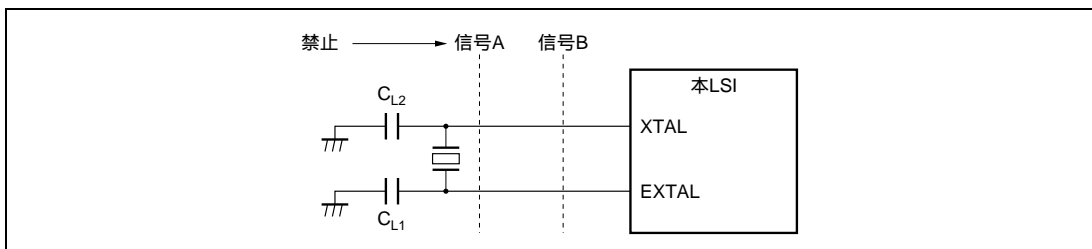


図 21.6 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 21.7 に示します。PLL<sub>Vcc</sub>、PLL<sub>Vss</sub> と V<sub>cc</sub>、V<sub>ss</sub> はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

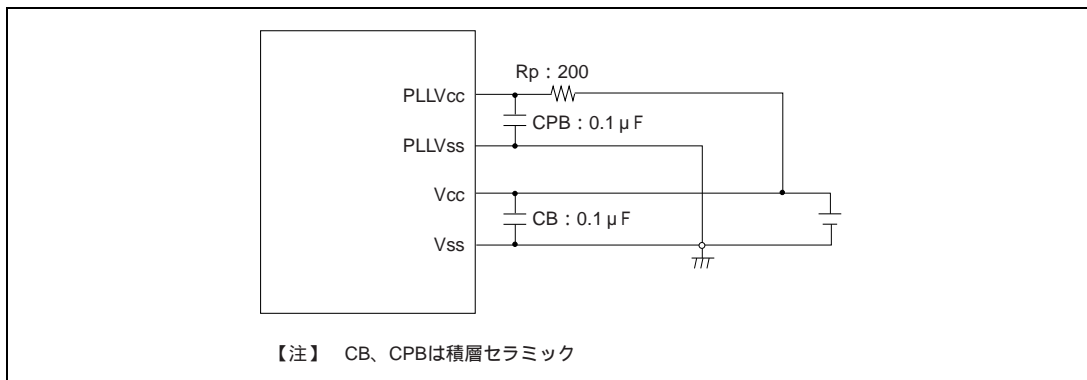


図 21.7 PLL 回路の外付け推奨回路

---

## 22. 低消費電力状態

---

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードの他、

- クロック分周モード
- スリープモード
- モジュールストップモード
- 全モジュールクロックストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、クロック分周モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 22.1 に各モードでの本 LSI 本の内部状態を示します。図 22.1 に可能なモード間遷移を示します。

## 22. 低消費電力状態

表 22.1 各モードでの本 LSI の内部状態

動作状態		高速モード	クロック分周モード	スリープモード	モジュールストップモード	全モジュールストップモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
クロック発振器		動作	動作	動作	動作	動作	停止	停止
CPU	命令実行	動作	動作	停止	動作	停止	停止	停止
	レジスタ			保持			保持	不定
外部割り込み	NMI	動作	動作	動作	動作	動作	動作	停止
	IRQ0 ~ 15							
周辺機能	WDT	動作	動作	動作	動作	動作	停止 (保持)	停止 (リセット)
	TMR	動作	動作	動作	停止 (保持)	動作/ 停止(保持)*	停止 (保持)	停止 (リセット)
	EXDMAC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	DMAC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	DTC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	PPG	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	D/A	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	A/D	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (リセット)	停止 (リセット)
	SCI	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	RAM	動作	動作	動作	動作	動作	保持	保持
	I/O	動作	動作	動作	動作	保持	保持	ハイインピーダンス

【注】 停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(リセット)は、内部レジスタ値および内部状態を初期化します。

モジュールストップモードは、停止設定をしたモジュールのみ停止(リセットまたは保持)します。

\* MSTPCR の MSTP0 ビットの設定により、動作/停止を選択することができます。



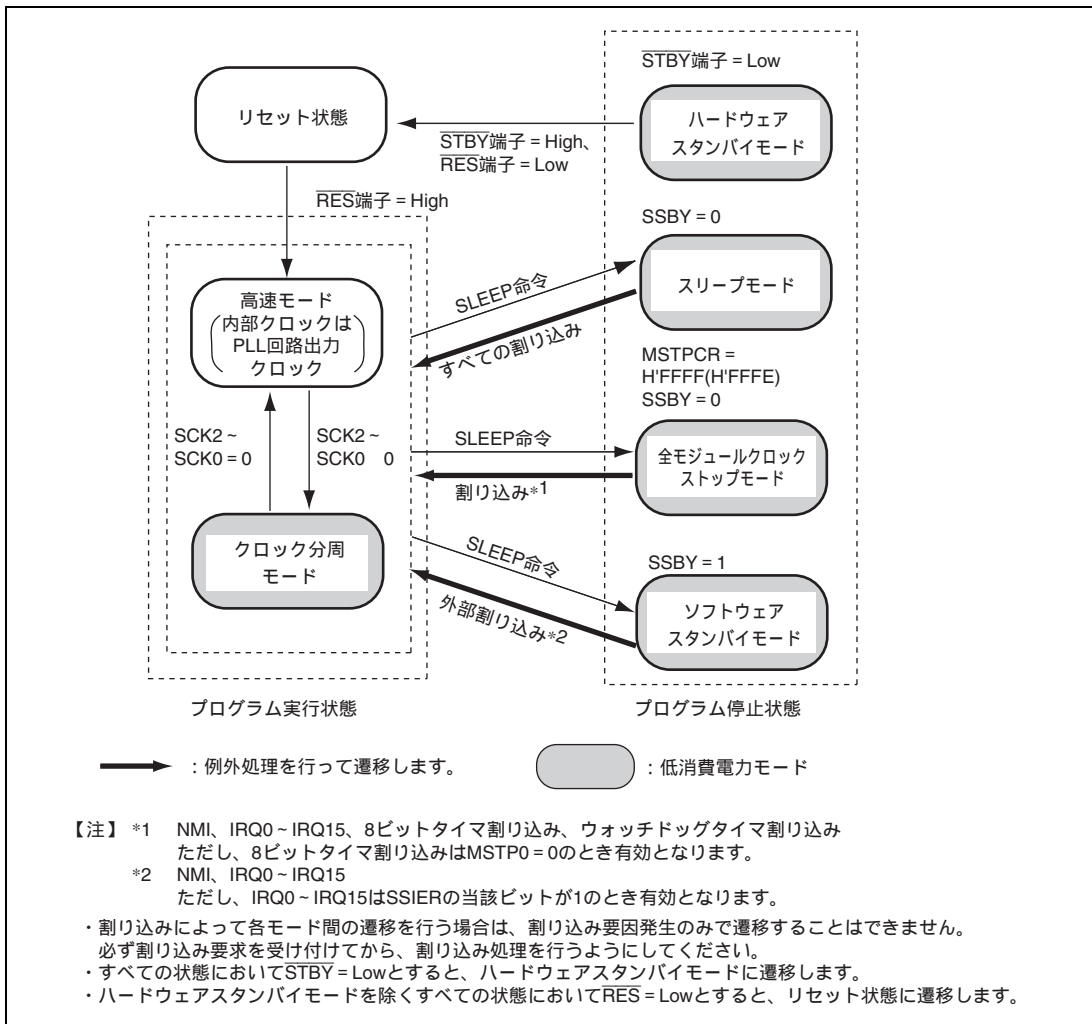


図 22.1 モード遷移図

## 22.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「21.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- システムクロックコントロールレジスタ (SCKCR)
- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタH (MSTPCRH)
- モジュールストップコントロールレジスタL (MSTPCRL)

### 22.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR はソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは1にセットされたまま値が変わりません。クリアする場合は0をライトしてください。
6	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ( $\overline{CS7} \sim \overline{CS0}$ 、 $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ 、 $\overline{UCAS}$ 、 $\overline{LCAS}$ ) の端子状態を保持するか、ハイインピーダンスにするかを指定します。 0: ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス 1: ソフトウェアスタンバイモード時に、端子状態を保持する
5, 4	-	0	-	リザーブビット リードすると常に0が読み出されます。初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説 明
3	STS3	1	R/W	スタンバイタイムセレクト 3~0 外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。 水晶発振の場合、表 22.2 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。 外部クロックの場合、PLL 回路の安定時間が必要になります。表 22.2 を参照し、待機時間を設定してください。 DRAM を使用しソフトウェアスタンバイ状態でセルフリフレッシュを選択する場合、DRAM の tRAS (セルフリフレッシュ時 RAS パルス幅) を満たす必要があります。 F-ZTAT 版では、フラッシュメモリの安定時間を確保してください。  0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : 設定禁止 0100 : 設定禁止 0101 : 待機時間 = 64 ステート 0110 : 待機時間 = 512 ステート 0111 : 待機時間 = 1024 ステート 1000 : 待機時間 = 2048 ステート 1001 : 待機時間 = 4096 ステート 1010 : 待機時間 = 16384 ステート 1011 : 待機時間 = 32768 ステート 1100 : 待機時間 = 65536 ステート 1101 : 待機時間 = 131072 ステート 1110 : 待機時間 = 262144 ステート 1111 : 待機時間 = 524288 ステート
2	STS2	1	R/W	
1	STS1	1	R/W	
0	STS0	1	R/W	

22.1.2 モジュールストップコントロールレジスタ H、L (MSTPCR<sub>H</sub>、MSTPCL<sub>L</sub>)

MSTPCR はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCR<sub>H</sub>

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべての内蔵周辺機能、または TMR 以外の内蔵周辺機能をモジュールストップモードにし、SLEEP 命令実行後の全モジュールクロックストップモードへの遷移を許可または禁止します。 0 : 全モジュールクロックストップモードを禁止 1 : 全モジュールクロックストップモードを許可
14	MSTP14	0	R/W	EXDMA コントローラ (EXDMAC)
13	MSTP13	0	R/W	DMA コントローラ (DMAC)
12	MSTP12	0	R/W	データ転送コントローラ (DTC)
11	MSTP11	1	R/W	16 ビットタイマパルスユニット (TPU)
10	MSTP10	1	R/W	プログラマブルパルスジェネレータ (PPG)
9	MSTP9	1	R/W	D/A 変換器 (チャンネル 0、1)
8	MSTP8	1	R/W	D/A 変換器 (チャンネル 2、3)

• MSTPCL<sub>L</sub>

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	
6	MSTP6	1	R/W	A/D 変換器
5	MSTP5	1	R/W	
4	MSTP4	1	R/W	
3	MSTP3	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI <sub>2</sub> )
2	MSTP2	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI <sub>1</sub> )
1	MSTP1	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI <sub>0</sub> )
0	MSTP0	1	R/W	8 ビットタイマ (TMR)

## 22.2 動作説明

### 22.2.1 クロック分周モード

SCKCR の SCK2 ~ SCK0 ビットを 001 ~ 101 に設定すると、そのバスサイクルの終了時点でクロック分周モードになります。クロック分周モードでは、CPU、バスマスタ、内蔵周辺機能は SCK2 ~ SCK0 ビットで指定した動作クロック (1/2、1/4、1/8、1/16、1/32) で動作します。

クロック分周モードの解除は、SCK2 ~ SCK0 ビットをすべて 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、クロック分周モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されるとクロック分周モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されるとクロック分周モードに復帰します。

$\overline{\text{RES}}$  端子を Low レベルにするとリセット状態に遷移し、クロック分周モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットについても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

### 22.2.2 スリープモード

#### (1) スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

#### (2) スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、または  $\overline{\text{STBY}}$  端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

### 22.2.3 ソフトウェアスタンバイモード

#### (1) ソフトウェアスタンバイモードへの遷移

SBYCRのSSBYビットを1にセットした状態でSLEEP命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPUの内部レジスタの内容と内蔵RAMのデータ、SCIおよびA/D変換器を除く内蔵周辺機能と、I/Oポートの状態は保持されます。アドレスバス、バス制御信号は、SBYCRのOPEビットによりハイインピーダンス状態とするか、端子状態を保持するかを指定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

#### (2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI、 $\overline{IRQ0} \sim \overline{IRQ15}$ 端子)、 $\overline{RES}$ 端子、または $\overline{STBY}$ 端子によって行われます。 $\overline{IRQ0} \sim \overline{IRQ15}$ 端子は、SSIERの当該SSIビットを1にセットすることより、ソフトウェアスタンバイモードの解除要因として使用することができます。

- 割り込みによる解除

NMI、 $\overline{IRQ0} \sim \overline{IRQ15}$  割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2～STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

$\overline{IRQ0} \sim \overline{IRQ15}$  割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつ $\overline{IRQ0} \sim \overline{IRQ15}$  割り込みより高い優先順位の割り込みが発生しないようにしてください、なお、CPU側でマスクした場合、またはDTCの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{RES}$ 端子による解除

$\overline{RES}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{RES}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{RES}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{STBY}$ 端子による解除

$\overline{STBY}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

#### (3) ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCRのSTS3～STS0ビットの設定は、以下のようにしてください。

- 水晶発振の場合

待機時間が発振安定時間以上となるようにSTS3～STS0ビットを設定してください。

表22.2に、動作周波数とSTS3～STS0ビットの設定に対する待機時間を示します。

- 外部クロックの場合

PLL回路の安定時間が必要となります。表22.2を参照し待機時間を設定してください。

表 22.2 発振安定時間の設定

STS3	STS2	STS1	STS0	待機時間	* [ MHz ]						単位
					33	25	20	13	10	8	
0	0	0	0	リザーブ	-	-	-	-	-	-	μs
			1	リザーブ	-	-	-	-	-	-	
		1	0	リザーブ	-	-	-	-	-	-	
			1	リザーブ	-	-	-	-	-	-	
	1	0	0	リザーブ	-	-	-	-	-	-	
			1	64	1.9	2.6	3.2	4.9	6.4	8.0	
		1	0	512	15.5	20.5	25.6	39.4	51.2	64.0	
			1	1024	31.0	41.0	51.2	78.8	102.4	128.0	
1	0	0	0	2048	62.1	81.9	102.4	157.5	204.8	256.0	ms
			1	4096	0.12	0.16	0.20	0.32	0.41	0.51	
		1	0	16384	0.50	0.66	0.82	1.26	1.64	2.05	
			1	32765	0.99	1.31	1.64	2.52	3.28	4.10	
	1	0	0	65536	1.99	2.62	3.28	5.04	6.55	8.19	
			1	131072	3.97	5.24	6.55	10.08	13.11	16.38	
		1	0	262144	7.94	10.49	13.11	20.16	26.21	32.77	
			1	524288	15.89	20.97	26.21	40.33	52.43	65.54	

■ : 推奨設定時間

【注】\* は分周器の出力です。

(4) ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 22.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

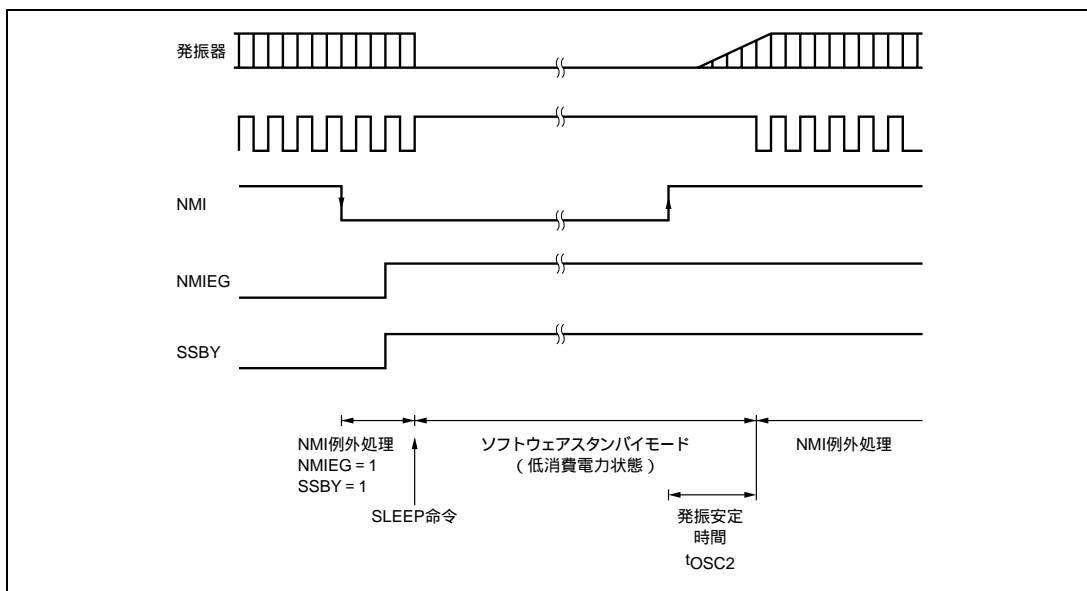


図 22.2 ソフトウェアスタンバイモードの応用例



## 22.2.4 ハードウェアスタンバイモード

### (1) ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

### (2) ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子と  $\overline{\text{RES}}$  端子によって行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで (発振安定時間については、表 22.2 参照) Low レベルを保持してください。その後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

### (3) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 22.3 に示します。 $\overline{\text{RES}}$  端子を Low レベルにした後、 $\overline{\text{STBY}}$  端子を Low レベルにするとハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子を High レベルにしクロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

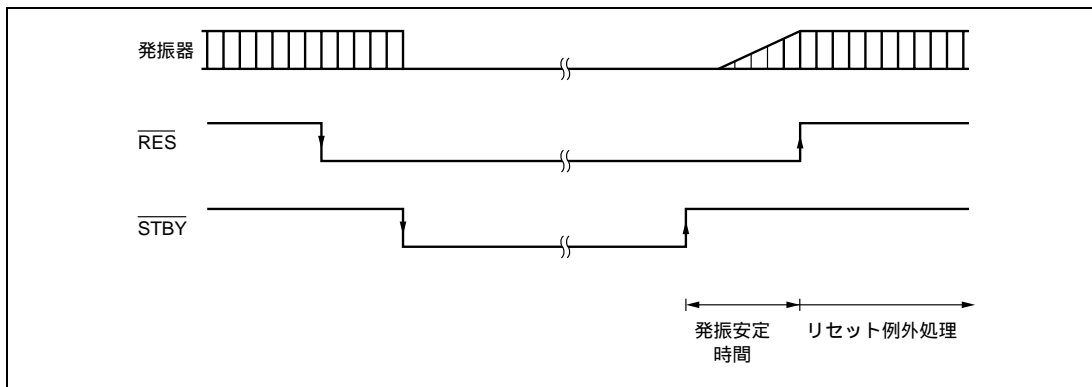


図 22.3 ハードウェアスタンバイモードのタイミング

### 22.2.5 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI を除くモジュールの内部状態が保持されています。

リセット解除後は、EXDMAC、DMAC、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

### 22.2.6 全モジュールクロックストップモード

MSTPCRH の ACSE ビットを 1 にセットし、かつ MSTPCR で制御されるすべての内蔵周辺機能をモジュールストップモードにしたとき (MSTPCR = H'FFFF)、または 8 ビットタイマ以外の内蔵周辺機能をモジュールストップモードにしたとき (MSTPCR = H'FFFE)、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ、ウォッチドッグタイマを除く内蔵周辺機能、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。8 ビットタイマは MSTP0 ビットにより動作/停止を選択できます。

全モジュールクロックストップモードの解除は、外部割り込み (NMI、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ15}}$  端子)、 $\overline{\text{RES}}$  端子、内部割り込み (8 ビットタイマ、ウォッチドッグタイマ) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合と NMI 以外の割り込みが CPU でマスクされている場合、または DTC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 22.3 クロック出力制御

SCKCR の PSTOP ビット、対応するポートの DDR により、クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で クロックは停止し、出力は High レベルになります。PSTOP を 0 にクリアした状態では、クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、クロック出力は禁止され、入力ポートになります。表 22.3 に各処理状態における 端子の状態を示します。

表 22.3 各処理状態における 端子の状態

レジスタの設定値		通常動作状態	スリープモード	ソフトウェア	ハードウェア	全モジュールクロック ストップモード
DDR	PSTOP			スタンバイモード	スタンバイモード	
0	X	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス
1	0	出力	出力	High 固定	ハイ インピーダンス	出力
1	1	High 固定	High 固定	High 固定	ハイ インピーダンス	High 固定

## 22.4 使用上の注意事項

### 22.4.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

### 22.4.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

### 22.4.3 EXDMAC、DMAC、DTC のモジュールストップ

EXDMAC、DMAC、DTC の動作状態によっては、MSTP12～MSTP14 ビットは 1 にセットされない場合があります。EXDMAC、DMAC または DTC のモジュールストップモードの設定は、それぞれ起動されない状態で行ってください。

詳細は「第 8 章 EXDMA コントローラ (EXDMAC)」、「第 7 章 DMA コントローラ (DMAC)」、「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

### 22.4.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因、または EXDMAC、DMAC、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

### 22.4.5 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。



---

## 23. レジスタ一覧

---

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

### 1. レジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

### 2. レジスタビット一覧

- 「レジスタアドレス一覧(アドレス順)」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「 」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

### 3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧(アドレス順)」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 23. レジスタ一覧

### 23.1 レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
DTC モードレジスタ A	MRA	8	H'BC00	DTC	16/32	2
DTC ソースアドレスレジスタ	SAR	24	~	DTC	16/32	2
DTC モードレジスタ B	MRB	8	H'BFFF	DTC	16/32	2
DTC デスティネーションアドレスレジスタ	DAR	24		DTC	16/32	2
DTC 転送カウントレジスタ A	CRA	16		DTC	16/32	2
DTC 転送カウントレジスタ B	CRB	16		DTC	16/32	2
シリアル拡張モードレジスタ*	SEMR	8	H'FDA8	SCI_2	8	2
EXDMA ソースアドレスレジスタ_0	EDSAR_0	32	H'FDC0	EXDMAC_0	16	2
EXDMA デスティネーションアドレスレジスタ_0	EDDAR_0	32	H'FDC4	EXDMAC_0	16	2
EXDMA 転送カウントレジスタ_0	EDTCR_0	32	H'FDC8	EXDMAC_0	16	2
EXDMA モードコントロールレジスタ_0	EDMDR_0	16	H'FDCC	EXDMAC_0	16	2
EXDMA アドレスコントロールレジスタ_0	EDACR_0	16	H'FDCE	EXDMAC_0	16	2
EXDMA ソースアドレスレジスタ_1	EDSAR_1	32	H'FDD0	EXDMAC_1	16	2
EXDMA デスティネーションアドレスレジスタ_1	EDDAR_1	32	H'FDD4	EXDMAC_1	16	2
EXDMA 転送カウントレジスタ_1	EDTCR_1	32	H'FDD8	EXDMAC_1	16	2
EXDMA モードコントロールレジスタ_1	EDMDR_1	16	H'FDDC	EXDMAC_1	16	2
EXDMA アドレスコントロールレジスタ_1	EDACR_1	16	H'FDDE	EXDMAC_1	16	2
EXDMA ソースアドレスレジスタ_2	EDSAR_2	32	H'FDE0	EXDMAC_2	16	2
EXDMA デスティネーションアドレスレジスタ_2	EDDAR_2	32	H'FDE4	EXDMAC_2	16	2
EXDMA 転送カウントレジスタ_2	EDTCR_2	32	H'FDE8	EXDMAC_2	16	2
EXDMA モードコントロールレジスタ_2	EDMDR_2	16	H'FDEC	EXDMAC_2	16	2
EXDMA アドレスコントロールレジスタ_2	EDACR_2	16	H'FDEE	EXDMAC_2	16	2
EXDMA ソースアドレスレジスタ_3	EDSAR_3	32	H'FDF0	EXDMAC_3	16	2
EXDMA デスティネーションアドレスレジスタ_3	EDDAR_3	32	H'FDF4	EXDMAC_3	16	2
EXDMA 転送カウントレジスタ_3	EDTCR_3	32	H'FDF8	EXDMAC_3	16	2
EXDMA モードコントロールレジスタ_3	EDMDR_3	16	H'FDFF	EXDMAC_3	16	2
EXDMA アドレスコントロールレジスタ_3	EDACR_3	16	H'FDFF	EXDMAC_3	16	2
インタラプトプライオリティレジスタ A	IPRA	16	H'FE00	INT	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
インタラプトプライオリティレジスタ E	IPRE	16	H'FE08	INT	16	2
インタラプトプライオリティレジスタ B	IPRB	16	H'FE02	INT	16	2
インタラプトプライオリティレジスタ C	IPRC	16	H'FE04	INT	16	2
インタラプトプライオリティレジスタ D	IPRD	16	H'FE06	INT	16	2
インタラプトプライオリティレジスタ F	IPRF	16	H'FE0A	INT	16	2
インタラプトプライオリティレジスタ G	IPRG	16	H'FE0C	INT	16	2
インタラプトプライオリティレジスタ H	IPRH	16	H'FE0E	INT	16	2
インタラプトプライオリティレジスタ I	IPRI	16	H'FE10	INT	16	2
インタラプトプライオリティレジスタ J	IPRJ	16	H'FE12	INT	16	2
インタラプトプライオリティレジスタ K	IPRK	16	H'FE14	INT	16	2
IRQ 端子セレクトレジスタ	ITSR	16	H'FE16	INT	16	2
ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ	SSIER	16	H'FE18	INT	16	2
IRQ センスコントロールレジスタ H	ISCRH	16	H'FE1A	INT	16	2
IRQ センスコントロールレジスタ L	ISCR L	16	H'FE1C	INT	16	2
IrDA コントロールレジスタ_0	IrCR_0	8	H'FE1E	IrDA_0	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE20	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FE21	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE22	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FE24	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'FE25	PORT	8	2
ポート 7 データディレクションレジスタ	P7DDR	8	H'FE26	PORT	8	2
ポート 8 データディレクションレジスタ	P8DDR	8	H'FE27	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FE29	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FE2A	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE2B	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'FE2C	PORT	8	2
ポート E データディレクションレジスタ	PEDDR	8	H'FE2D	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE2E	PORT	8	2
ポート G データディレクションレジスタ	PGDDR	8	H'FE2F	PORT	8	2
ポートファンクションコントロール レジスタ 0	PFCR0	8	H'FE32	PORT	8	2
ポートファンクションコントロール レジスタ 1	PFCR1	8	H'FE33	PORT	8	2
ポートファンクションコントロール レジスタ 2	PFCR2	8	H'FE34	PORT	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート A ブルアップ MOS コントロール レジスタ	PAPCR	8	H'FE36	PORT	8	2
ポート B ブルアップ MOS コントロール レジスタ	PBPCR	8	H'FE37	PORT	8	2
ポート C ブルアップ MOS コントロール レジスタ	PCPCR	8	H'FE38	PORT	8	2
ポート D ブルアップ MOS コントロール レジスタ	PDPCR	8	H'FE39	PORT	8	2
ポート E ブルアップ MOS コントロール レジスタ	PEPCR	8	H'FE3A	PORT	8	2
ポート 3 オープンドレインコントロール レジスタ	P3ODR	8	H'FE3C	PORT	8	2
ポート A オープンドレイン コントロールレジスタ	PAODR	8	H'FE3D	PORT	8	2
タイマコントロールレジスタ_3	TCR_3	8	H'FE80	TPU_3	16	2
タイマモードレジスタ_3	TMDR_3	8	H'FE81	TPU_3	16	2
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FE82	TPU_3	16	2
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FE83	TPU_3	16	2
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FE84	TPU_3	16	2
タイマステータスレジスタ_3	TSR_3	8	H'FE85	TPU_3	16	2
タイマカウンタ_3	TCNT_3	16	H'FE86	TPU_3	16	2
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FE88	TPU_3	16	2
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FE8A	TPU_3	16	2
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FE8C	TPU_3	16	2
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FE8E	TPU_3	16	2
タイマコントロールレジスタ_4	TCR_4	8	H'FE90	TPU_4	16	2
タイマモードレジスタ_4	TMDR_4	8	H'FE91	TPU_4	16	2
タイマ I/O コントロールレジスタ_4	TIOR_4	8	H'FE92	TPU_4	16	2
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FE94	TPU_4	16	2
タイマステータスレジスタ_4	TSR_4	8	H'FE95	TPU_4	16	2
タイマカウンタ_4	TCNT_4	16	H'FE96	TPU_4	16	2
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FE98	TPU_4	16	2
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FE9A	TPU_4	16	2
タイマコントロールレジスタ_5	TCR_5	8	H'FEA0	TPU_5	16	2
タイマモードレジスタ_5	TMDR_5	8	H'FEA1	TPU_5	16	2
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FEA2	TPU_5	16	2
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FEA4	TPU_5	16	2
タイマステータスレジスタ_5	TSR_5	8	H'FEA5	TPU_5	16	2



## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_5	TCNT_5	16	H'FEA6	TPU_5	16	2
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FEA8	TPU_5	16	2
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FEAA	TPU_5	16	2
バス幅コントロールレジスタ	ABWCR	8	H'FEC0	BSC	16	2
アクセスステートコントロールレジスタ	ASTCR	8	H'FEC1	BSC	16	2
ウェイトコントロールレジスタ AH	WTCRAH	8	H'FEC2	BSC	16	2
ウェイトコントロールレジスタ AL	WTCRAL	8	H'FEC3	BSC	16	2
ウェイトコントロールレジスタ BH	WTCRBH	8	H'FEC4	BSC	16	2
ウェイトコントロールレジスタ BL	WTCRBL	8	H'FEC5	BSC	16	2
リードストローブタイミングコントロール レジスタ	RDNCR	8	H'FEC6	BSC	16	2
CS アサート期間コントロールレジスタ H	CSACRH	8	H'FEC8	BSC	16	2
CS アサート期間コントロールレジスタ L	CSACRL	8	H'FEC9	BSC	16	2
バーストROM インタフェースコントロールレジスタ H	BROMCRH	8	H'FECA	BSC	16	2
バーストROM インタフェースコントロールレジスタ L	BROMCRL	8	H'FECB	BSC	16	2
バスコントロールレジスタ	BCR	16	H'FECC	BSC	16	2
RAM エミュレーションレジスタ (F-ZTAT 版)	RAMER	8	H'FECE	FLASH	16	2
DRAM コントロールレジスタ L	DRAMCR	16	H'FED0	BSC	16	2
DRAM アクセスコントロールレジスタ	DRACCR	8/16*2	H'FED2	BSC	16	2
リフレッシュコントロールレジスタ	REFCR	16	H'FED4	BSC	16	2
リフレッシュタイマカウンタ	RTCNT	8	H'FED6	BSC	16	2
リフレッシュタイムコンスタントレジスタ	RTCOR	8	H'FED7	BSC	16	2
メモリアドレスレジスタ_0AH	MAR_0AH	16	H'FEE0	DMAC	16	2
メモリアドレスレジスタ_0AL	MAR_0AL	16	H'FEE2	DMAC	16	2
I/O アドレスレジスタ_0A	IOAR_0A	16	H'FEE4	DMAC	16	2
転送カウントレジスタ_0A	ETCR_0A	16	H'FEE6	DMAC	16	2
メモリアドレスレジスタ_0BH	MAR_0BH	16	H'FEE8	DMAC	16	2
メモリアドレスレジスタ_0BL	MAR_0BL	16	H'FEEA	DMAC	16	2
I/O アドレスレジスタ_0B	IOAR_0B	16	H'FEEC	DMAC	16	2
転送カウントレジスタ_0B	ETCR_0B	16	H'FEEE	DMAC	16	2
メモリアドレスレジスタ_1AH	MAR_1AH	16	H'FEF0	DMAC	16	2
メモリアドレスレジスタ_1AL	MAR_1AL	16	H'FEF2	DMAC	16	2
I/O アドレスレジスタ_1A	IOAR_1A	16	H'FEF4	DMAC	16	2
転送カウントレジスタ_1A	ETCR_1A	16	H'FEF6	DMAC	16	2
メモリアドレスレジスタ_1BH	MAR_1BH	16	H'FEF8	DMAC	16	2
メモリアドレスレジスタ_1BL	MAR_1BL	16	H'FEFA	DMAC	16	2
I/O アドレスレジスタ_1B	IOAR_1B	16	H'FEFC	DMAC	16	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
転送カウントレジスタ_1B	ETCR_1B	16	H'FEFE	DMAC	16	2
DMA ライトイネーブルレジスタ	DMAWER	8	H'FF20	DMAC	8	2
DMA ターミナルコントロールレジスタ	DMATCR	8	H'FF21	DMAC	8	2
DMA コントロールレジスタ_0A	DMACR_0A	8	H'FF22	DMAC	16	2
DMA コントロールレジスタ_0B	DMACR_0B	8	H'FF23	DMAC	16	2
DMA コントロールレジスタ_1A	DMACR_1A	8	H'FF24	DMAC	16	2
DMA コントロールレジスタ_1B	DMACR_1B	8	H'FF25	DMAC	16	2
DMA バンドコントロールレジスタ H	DMABCRH	8	H'FF26	DMAC	16	2
DMA バンドコントロールレジスタ L	DMABCRL	8	H'FF27	DMAC	16	2
DTC イネーブルレジスタ A	DTCERA	8	H'FF28	DTC	16	2
DTC イネーブルレジスタ B	DTCERB	8	H'FF29	DTC	16	2
DTC イネーブルレジスタ C	DTCERC	8	H'FF2A	DTC	16	2
DTC イネーブルレジスタ D	DTCERD	8	H'FF2B	DTC	16	2
DTC イネーブルレジスタ E	DTCERE	8	H'FF2C	DTC	16	2
DTC イネーブルレジスタ F	DTCERF	8	H'FF2D	DTC	16	2
DTC イネーブルレジスタ G	DTCERG	8	H'FF2E	DTC	16	2
DTC ベクタレジスタ	DTVECR	8	H'FF30	DTC	16	2
割り込みコントロールレジスタ	INTCR	8	H'FF31	INT	16	2
IRQ イネーブルレジスタ	IER	16	H'FF32	INT	16	2
IRQ ステータスレジスタ	ISR	16	H'FF34	INT	16	2
スタンバイコントロールレジスタ	SBYCR	8	H'FF3A	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FF3B	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FF3D	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FF3E	SYSTEM	8	2
モジュールストップコントロール レジスタ H	MSTPCRH	8	H'FF40	SYSTEM	8	2
モジュールストップコントロール レジスタ L	MSTPCRL	8	H'FF41	SYSTEM	8	2
PLL コントロールレジスタ	PLLCR	8	H'FF45	SYSTEM	8	2
PPG 出力コントロールレジスタ	PCR	8	H'FF46	PPG	8	2
PPG 出力モードレジスタ	PMR	8	H'FF47	PPG	8	2
ネクストデータイネーブルレジスタ H	NDERH	8	H'FF48	PPG	8	2
ネクストデータイネーブルレジスタ L	NDERL	8	H'FF49	PPG	8	2
アウトプットデータレジスタ H	PODRH	8	H'FF4A	PPG	8	2
アウトプットデータレジスタ L	PODRL	8	H'FF4B	PPG	8	2
ネクストデータレジスタ H* <sup>3</sup>	NDRH	8	H'FF4C	PPG	8	2
ネクストデータレジスタ L* <sup>3</sup>	NDRL	8	H'FF4D	PPG	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ネクストデータレジスタ H <sup>*3</sup>	NDRH	8	H'FF4E	PPG	8	2
ネクストデータレジスタ L <sup>*3</sup>	NDRL	8	H'FF4F	PPG	8	2
ポート 1 レジスタ	PORT1	8	H'FF50	PORT	8	2
ポート 2 レジスタ	PORT2	8	H'FF51	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FF52	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FF53	PORT	8	2
ポート 5 レジスタ	PORT5	8	H'FF54	PORT	8	2
ポート 6 レジスタ	PORT6	8	H'FF55	PORT	8	2
ポート 7 レジスタ	PORT7	8	H'FF56	PORT	8	2
ポート 8 レジスタ	PORT8	8	H'FF57	PORT	8	2
ポート A レジスタ	PORTA	8	H'FF59	PORT	8	2
ポート B レジスタ	PORTB	8	H'FF5A	PORT	8	2
ポート C レジスタ	PORTC	8	H'FF5B	PORT	8	2
ポート D レジスタ	PORTD	8	H'FF5C	PORT	8	2
ポート E レジスタ	PORTE	8	H'FF5D	PORT	8	2
ポート F レジスタ	PORTF	8	H'FF5E	PORT	8	2
ポート G レジスタ	PORTG	8	H'FF5F	PORT	8	2
ポート 1 データレジスタ	P1DR	8	H'FF60	PORT	8	2
ポート 2 データレジスタ	P2DR	8	H'FF61	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FF62	PORT	8	2
ポート 5 データレジスタ	P5DR	8	H'FF64	PORT	8	2
ポート 6 データレジスタ	P6DR	8	H'FF65	PORT	8	2
ポート 7 データレジスタ	P7DR	8	H'FF66	PORT	8	2
ポート 8 データレジスタ	P8DR	8	H'FF67	PORT	8	2
ポート A データレジスタ	PADR	8	H'FF69	PORT	8	2
ポート B データレジスタ	PBDR	8	H'FF6A	PORT	8	2
ポート C データレジスタ	PCDR	8	H'FF6B	PORT	8	2
ポート D データレジスタ	PDDR	8	H'FF6C	PORT	8	2
ポート E データレジスタ	PEDR	8	H'FF6D	PORT	8	2
ポート F データレジスタ	PFDR	8	H'FF6E	PORT	8	2
ポート G データレジスタ	PGDR	8	H'FF6F	PORT	8	2
ポート H レジスタ	PORTH	8	H'FF70	PORT	8	2
ポート H データレジスタ	PHDR	8	H'FF72	PORT	8	2
ポート H データディレクションレジスタ	PHDDR	8	H'FF74	PORT	8	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78	SCI_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79	SCI_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	SCI_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	SCI_1	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FF88	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FF89	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	SCI_2	8	2
A/D データレジスタ A (H8S/2678R グループ)	ADDRA	16	H'FF90	A/D	16	2
A/D データレジスタ AH (H8S/2678 グループ)	ADDRAH	8	H'FF90	A/D	8	2
A/D データレジスタ AL (H8S/2678 グループ)	ADDRAL	8	H'FF91	A/D	8	2
A/D データレジスタ B (H8S/2678R グループ)	ADDRB	16	H'FF92	A/D	16	2
A/D データレジスタ BH (H8S/2678 グループ)	ADDRBH	8	H'FF92	A/D	8	2
A/D データレジスタ BL (H8S/2678 グループ)	ADDRBL	8	H'FF93	A/D	8	2
A/D データレジスタ C (H8S/2678R グループ)	ADDRC	16	H'FF94	A/D	16	2
A/D データレジスタ CH (H8S/2678 グループ)	ADDRCH	8	H'FF94	A/D	8	2
A/D データレジスタ CL (H8S/2678 グループ)	ADDRCL	8	H'FF95	A/D	8	2
A/D データレジスタ D (H8S/2678R グループ)	ADDRD	16	H'FF96	A/D	16	2
A/D データレジスタ DH (H8S/2678 グループ)	ADDRDH	8	H'FF96	A/D	8	2
A/D データレジスタ DL (H8S/2678 グループ)	ADDRDL	8	H'FF97	A/D	8	2
A/D コントロール/ステータスレジスタ (H8S/2678 グループ)	ADCSR	8	H'FF98	A/D	8	2
A/D データレジスタ E (H8S/2678R グループ)	ADDRE	16	H'FF98	A/D	16	2
A/D コントロールレジスタ (H8S/2678 グループ)	ADCR	8	H'FF99	A/D	8	2
A/D データレジスタ F (H8S/2678R グループ)	ADDRF	16	H'FF9A	A/D	16	2
A/D データレジスタ G (H8S/2678R グループ)	ADDRG	16	H'FF9C	A/D	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
A/D データレジスタ H (H8S/2678R グループ)	ADDRH	16	H'FF9E	A/D	16	2
A/D コントロール/ステータスレジスタ (H8S/2678R グループ)	ADCSR	8	H'FFA0	A/D	16	2
A/D コントロールレジスタ (H8S/2678R グループ)	ADCR	8	H'FFA1	A/D	16	2
D/A データレジスタ 0	DADR0	8	H'FFA4	D/A	8	2
D/A データレジスタ 1	DADR1	8	H'FFA5	D/A	8	2
D/A コントロールレジスタ 01	DACR01	8	H'FFA6	D/A	8	2
D/A データレジスタ 2	DADR2	8	H'FFA8	D/A	8	2
D/A データレジスタ 3	DADR3	8	H'FFA9	D/A	8	2
D/A コントロールレジスタ 23	DACR23	8	H'FFAA	D/A	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFB0	TMR_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFB1	TMR_1	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFB2	TMR_0	16	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFB3	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFB4	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFB5	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFB6	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFB7	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFB8	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFB9	TMR_1	16	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFBC* (ライト時) H'FFBC (リード時)	WDT	16	2
タイマカウンタ	TCNT	8	H'FFBC* (ライト時) H'FFBD (リード時)	WDT	16	2
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FFBE* (ライト時) H'FFBF (リード時)	WDT	16	2
タイマスタートレジスタ	TSTR	8	H'FFC0	TPU	16	2
タイマシンクロレジスタ	TSYR	8	H'FFC1	TPU	16	2
フラッシュメモリコントロールレジスタ 1 (F-ZTAT 版)	FLMCR1	8	H'FFC8	FLASH	8	2
フラッシュメモリコントロールレジスタ 2 (F-ZTAT 版)	FLMCR2	8	H'FFC9	FLASH	8	2

## 23. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
消去ブロック指定レジスタ 1 (F-ZTAT 版)	EBR1	8	H'FFCA	FLASH	8	2
消去ブロック指定レジスタ 2 (F-ZTAT 版)	EBR2	8	H'FFCB	FLASH	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFD0	TPU_0	16	2
タイマモードレジスタ_0	TMDR_0	8	H'FFD1	TPU_0	16	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFD2	TPU_0	16	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFD3	TPU_0	16	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFD4	TPU_0	16	2
タイマステータスレジスタ_0	TSR_0	8	H'FFD5	TPU_0	16	2
タイマカウンタ_0	TCNT_0	16	H'FFD6	TPU_0	16	2
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFD8	TPU_0	16	2
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFDA	TPU_0	16	2
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFDC	TPU_0	16	2
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFDE	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFE0	TPU_1	16	2
タイマモードレジスタ_1	TMDR_1	8	H'FFE1	TPU_1	16	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFE2	TPU_1	16	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFE4	TPU_1	16	2
タイマステータスレジスタ_1	TSR_1	8	H'FFE5	TPU_1	16	2
タイマカウンタ_1	TCNT_1	16	H'FFE6	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFE8	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFEA	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FFF0	TPU_2	16	2
タイマモードレジスタ_2	TMDR_2	8	H'FFF1	TPU_2	16	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFF2	TPU_2	16	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFF4	TPU_2	16	2
タイマステータスレジスタ_2	TSR_2	8	H'FFF5	TPU_2	16	2
タイマカウンタ_2	TCNT_2	16	H'FFF6	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFF8	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFA	TPU_2	16	2

【注】\*1 H8S/2678 グループにはありません。

\*2 H8S/2678 グループでは 8 ビット、H8S/2678R グループでは 16 ビットです。

\*3 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FF4E、グループ 3 に対する NDRH のアドレスは H'FF4C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FF4F、グループ 1 に対する NDRL のアドレスは H'FF4D となります。

\*4 ライトについては、「14.6.1 レジスタアクセス時の注意」を参照してください。

## 23.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC* <sup>9</sup>
SAR									
MRB	CHNE	DISEL	CHNS						
DAR									
CRA									
CRB									
SEMR* <sup>7</sup>					ABCS	ACS2	ACS1	ACS0	SCI_2 スマートカ ードインタ フェース_2
EDSAR_0									EXDMAC_0
EDDAR_0									
EDTCR_0									
EDMDR_0	EDA EDIE	BEF IRF	EDRAKE TCEIE	ETENDE SDIR	EDREQS DTSIZE	AMS BGUP	MDS1	MDS0	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
EDACR_0	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	EXDMAC_0
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_1									EXDMAC_1
EDDAR_1									
EDTCR_1									
EDMDR_1	EDA	BEF	EDRAKE	ETENDE	EDREQS	AMS	MDS1	MDS0	
	EDIE	IRF	TCEIE	SDIR	DTSIZE	BGUP			
EDACR_1	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_2									EXDMAC_2
EDDAR_2									
EDTCR_2									
EDMDR_2	EDA	BEF	EDRAKE	ETENDE	EDREQS	AMS	MDS1	MDS0	
	EDIE	IRF	TCEIE	SDIR	DTSIZE	BGUP			
EDACR_2	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_3									EXDMAC_3



## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
EDDAR_3									EXDMAC_3
EDTCR_3									
EDMDR_3	EDA	BEF	EDRAKE	ETENDE	EDREQS	AMS	MDS1	MDS0	
	EDIE	IRF	TCEIE	SDIR	DTSIZE	BGUP			
EDACR_3	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
IPRA	IPRA14		IPRA13	IPRA12	IPRA10		IPRA9	IPRA8	INT
	IPRA6		IPRA5	IPRA4	IPRA2		IPRA1	IPRA0	
IPRB	IPRB14		IPRB13	IPRB12	IPRB10		IPRB9	IPRB8	
	IPRB6		IPRB5	IPRB4	IPRB2		IPRB1	IPRB0	
IPRC	IPRC14		IPRC13	IPRC12	IPRC10		IPRC9	IPRC8	
	IPRC6		IPRC5	IPRC4	IPRC2		IPRC1	IPRC0	
IPRD	IPRD14		IPRD13	IPRD12	IPRD10		IPRD9	IPRD8	
	IPRD6		IPRD5	IPRD4	IPRD2		IPRD1	IPRD0	
IPRE	IPRE14		IPRE13	IPRE12	IPRE10		IPRE9	IPRE8	
	IPRE6		IPRE5	IPRE4	IPRE2		IPRE1	IPRE0	
IPRF	IPRF14		IPRF13	IPRF12	IPRF10		IPRF9	IPRF8	
	IPRF6		IPRF5	IPRF4	IPRF2		IPRF1	IPRF0	
IPRG	IPRG14		IPRG13	IPRG12	IPRG10		IPRG9	IPRG8	
	IPRG6		IPRG5	IPRG4	IPRG2		IPRG1	IPRG0	
IPRH	IPRH14		IPRH13	IPRH12	IPRH10		IPRH9	IPRH8	
	IPRH6		IPRH5	IPRH4	IPRH2		IPRH1	IPRH0	
IPRI	IPRI14		IPRI13	IPRI12	IPRI10		IPRI9	IPRI8	
	IPRI6		IPRI5	IPRI4	IPRI2		IPRI1	IPRI0	
IPRJ	IPRJ14		IPRJ13	IPRJ12	IPRJ10		IPRJ9	IPRJ8	
	IPRJ6		IPRJ5	IPRJ4	IPRJ2		IPRJ1	IPRJ0	
IPRK	IPRK14		IPRK13	IPRK12	IPRK10		IPRK9	IPRK8	
	IPRK6		IPRK5	IPRK4	IPRK2		IPRK1	IPRK0	
ITSR	ITS15	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8	
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SSIER	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8	INT
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
ISCRH	IRQ15SCB	IRQ15SCA	IRQ14SCB	IRQ14SCA	IRQ13SCB	IRQ13SCA	IRQ12SCB	IRQ12SCA	
	IRQ11SCB	IRQ11SCA	IRQ10SCB	IRQ10SCA	IRQ9SCB	IRQ9SCA	IRQ8SCB	IRQ8SCA	
ISCR_L	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IrCR_0	IrE	IrCKS2	IrCKS1	IrCKS0					IrDA_0
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR			P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P5DDR					P53DDR	P52DDR	P51DDR	P50DDR	
P6DDR			P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P7DDR			P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR	
P8DDR			P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
PGDDR		PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	
PFCR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E	
PFCR1	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E	
PFCR2					ASOE	LWROE	OES	DMACS	
PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR	
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
P3ODR			P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3
TMDR_3	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	TPU_3	
TSR_3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRA_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRB_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRC_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRD_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_4
TMDR_4	-	-	-	-	MD3	MD2	MD1	MD0		
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
TSR_4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
TCNT_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRA_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRB_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TCR_5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5	
TMDR_5	-	-	-	-	MD3	MD2	MD1	MD0		
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA		
TSR_5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA		
TCNT_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRA_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
TGRB_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	BSC
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WTCRAH		W72	W71	W70		W62	W61	W60	
WTCRAL		W52	W51	W50		W42	W41	W40	
WTCRBH		W32	W31	W30		W22	W21	W20	
WTCRBL		W12	W11	W10		W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
CSACRH	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0	
CSACRL	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0	
BROMCRH	BSRM0	BSTS02	BSTS01	BSTS00			BSWD01	BSWD00	
BROMCRL	BSRM1	BSTS12	BSTS11	BSTS10			BSWD11	BSWD10	
BCR	BRLE	BREQ0E		IDLC	ICIS1	ICIS0	WDBE	WAITE	
						ICIS2*7			
RAMER	-	-	-	-	RAMS	RAM2	RAM1	RAM0	FLASH (F-ZTAT版)
DRAMCR	0EE BE	RAST RCDM		CAST EDDS		RMTS2 MXC2	RMTS1 MXC1	RMTS0 MXC0	BSC
DRACCR*1	DRMI		TPC1	TPC0	SDWCD*7		RCD1	RCD0	
					CKSPE*7		RDXC1*7	RDXC0*7	
REFCR	CMF RFSHE	CMIE CBRM	RCW1 RLW1	RCW0 RLW0		RTCK2 TPCS2	RTCK1 TPCS1	RTCK0 TPCS0	
RTCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RTCOR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0AH	- Bit7	- Bit6	- Bit5	- Bit4	- Bit3	- Bit2	- Bit1	- Bit0	DMAC
MAR_0AL	Bit15 Bit7	Bit14 Bit6	Bit13 Bit5	Bit12 Bit4	Bit11 Bit3	Bit10 Bit2	Bit9 Bit1	Bit8 Bit0	
IOAR_0A	Bit15 Bit7	Bit14 Bit6	Bit13 Bit5	Bit12 Bit4	Bit11 Bit3	Bit10 Bit2	Bit9 Bit1	Bit8 Bit0	
ETCR_0A	Bit15 Bit7	Bit14 Bit6	Bit13 Bit5	Bit12 Bit4	Bit11 Bit3	Bit10 Bit2	Bit9 Bit1	Bit8 Bit0	
MAR_0BH	- Bit7	- Bit6	- Bit5	- Bit4	- Bit3	- Bit2	- Bit1	- Bit0	
MAR_0BL	Bit15 Bit7	Bit14 Bit6	Bit13 Bit5	Bit12 Bit4	Bit11 Bit3	Bit10 Bit2	Bit9 Bit1	Bit8 Bit0	
IOAR_0B	Bit15 Bit7	Bit14 Bit6	Bit13 Bit5	Bit12 Bit4	Bit11 Bit3	Bit10 Bit2	Bit9 Bit1	Bit8 Bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ETCR_0B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	DMAC
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1AH	-	-	-	-	-	-	-	-	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1AL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR_1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1BH	-	-	-	-	-	-	-	-	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1BL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOARV1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMAWER	-	-	-	-	WE1B	WE1A	WE0B	WE0A	
DMATCR	-	-	TEE1	TEE0	-	-	-	-	
DMACR_0A*10	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0A*11	DTSZ	SAID	SAIDE	BLKDIR	BLKE	-	-	-	
DMACR_0B*10	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0B*11	-	DAID	DAIDE	-	DTF3	DTF2	DTF1	DTF0	
DMACR_1A*10	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1A*11	DTSZ	SAID	SAIDE	BLKDIR	BLKE	-	-	-	
DMACR_1B*10	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1B*11	-	DAID	DAIDE	-	DTF3	DTF2	DTF1	DTF0	
DMABCRH*10	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A	
DMABCRH*11	FAE1	FAE0	-	-	DTA1	-	DTA0	-	
DMABCRL*10	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DMABCRL*11	DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	
DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	-	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	DTC
DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCERF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0	
DTCERG	DTCEG7	DTCEG6	-	-	-	-	-	-	
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	INT
INTCR			INTM1	INTM0	NMIEG				
IER	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
SBYCR	SSBY	OPE			STS3	STS2	STS1	STS0	SYSTEM
SCKCR	PSTOP				STCS	SCK2	SCK1	SCK0	
SYSCR			MACS		FLSHE		EXPE	RAME	
MDCR						MDS2	MDS1	MDS0	
MSTPCR	ACSE	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	PPG
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
PLLCR							STC1	STC0	
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	PORT
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	PORT
NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDRH	-	-	-	-	NDR11	NDR10	NDR9	NDR8	
NDRL	-	-	-	-	NDR3	NDR2	NDR1	NDR0	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	-	-	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT5	P57	P56	P55	P54	P53	P52	P51	P50	
PORT6	-	-	P65	P64	P63	P62	P61	P60	
PORT7	-	-	P75	P74	P73	P72	P71	P70	
PORT8	-	-	P85	P84	P83	P82	P81	P80	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	PORT
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG	-	PG6	PG5	PG4	PG3	PG2	PG1	PG0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P5DR	-	-	-	-	P53DR	P52DR	P51DR	P50DR	
P6DR	-	-	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
P7DR	-	-	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR	
P8DR	-	-	P85DR	P84DR	P83DR	P82DR	P81RD	P80DR	
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PGDR	-	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
PORTH					PH3	PH2	PH1	PH0	
PHDR					PH3DR	PH2DR	PH1DR	PH0DR	
PHDDR					PH3DDR	PH2DDR	PH1DDR	PH0DDR	
SMR_0	C/ $\bar{A}$ / GM* <sup>2</sup>	CHR/ BLK* <sup>3</sup>	PE	O/ $\bar{E}$	STOP/ BCP1* <sup>4</sup>	MP/ BCP0* <sup>5</sup>	CKS1	CKS0	SCI_0、 スマート
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	カード
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_0
SSR_0	TDRE	RDRF	ORER	FER/ ERS* <sup>6</sup>	PER	TEND	MPB	MPBT	
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_0	-	-	-	-	SDIR	SINV	-	SMIF	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR_1	C/ $\bar{A}$ / GM <sup>*2</sup>	CHR/ BLK <sup>*3</sup>	PE	O/ $\bar{E}$	STOP/ BCP1 <sup>*4</sup>	MP/ BCP0 <sup>*5</sup>	CKS1	CKS0	SCI_1、 スマート カード
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_1
SSR_1	TDRE	RDRF	ORER	FER/ ERS <sup>*6</sup>	PER	TEND	MPB	MPBT	
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_1	-	-	-	-	SDIR	SINV	-	SMIF	
SMR_2	C/ $\bar{A}$ / GM <sup>*2</sup>	CHR/ BLK <sup>*3</sup>	PE	O/ $\bar{E}$	STOP/ BCP1 <sup>*4</sup>	MP/ BCP0 <sup>*5</sup>	CKS1	CKS0	SCI_2、 スマート カード
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_2									エース_2
SSR_2	TDRE	RDRF	ORER	FER/ ERS <sup>*6</sup>	PER	TEND	MPB	MPBT	
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_2	-	-	-	-	SDIR	SINV	-	SMIF	
ADDRA	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	A/D
ADDRB	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRC	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRD	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRE <sup>*7</sup>	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRF <sup>*7</sup>	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRG <sup>*7</sup>	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRH <sup>*7</sup>	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADCSR	ADF	ADIE	ADST	SCAN <sup>*8</sup> / - <sup>*9</sup>	CKS <sup>*8</sup> / CH3 <sup>*9</sup>	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	- <sup>*8</sup> / SCANE <sup>*7</sup>	- <sup>*8</sup> / SCANS <sup>*7</sup>	CKS1	CH3 <sup>*8</sup> / CKS0 <sup>*7</sup>	-	-	



## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DADR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	D/A
DADR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR01	DAOE1	DAOE0	DAE	-	-	-	-	-	
DADR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DADR3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR23	DAOE3	DAOE2	DAE	-	-	-	-	-	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0	
TCORA_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORA_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORB_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORB_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCSR	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT
TCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RSTCSR	WOVF	RSTE	-	-	-	-	-	-	
TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	FLASH
FLMCR2	FLER	-	-	-	-	-	-	-	(F-ZTAT版)
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2	-	-	EB13	EB12	EB11	EB10	EB9	EB8	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

## 23. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRB_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	TPU_0
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

- 【注】
- \*1 H8S/2678 グループでは 8 ビット、H8S/2678R グループでは 16 ビットです。
  - \*2 SCI として使う場合は C/A、スマートカードインタフェースとして使う場合は GM として機能します。
  - \*3 SCI として使う場合は CHR、スマートカードインタフェースとして使う場合は BLK として機能します。
  - \*4 SCI として使う場合は STOP、スマートカードインタフェースとして使う場合は BCP1 として機能します。
  - \*5 SCI として使う場合は MP、スマートカードインタフェースとして使う場合は BCP0 として機能します。
  - \*6 SCI として使う場合は FER、スマートカードインタフェースとして使う場合は ERS として機能します。
  - \*7 H8S/2678 グループにはありません。
  - \*8 H8S/2678R グループにはありません。
  - \*9 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。
  - \*10 ショートアドレスモードのとき
  - \*11 フルアドレスモードのとき

## 23.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
MRA	初期化							初期化	DTC
SAR	初期化							初期化	
MRB	初期化							初期化	
DAR	初期化							初期化	
CRA	初期化							初期化	
CRB	初期化							初期化	
SEMR*	初期化				初期化	初期化	初期化	初期化	SCI_2
EDSAR_0	初期化							初期化	EXDMAC_0
EDDAR_0	初期化							初期化	
EDTCR_0	初期化							初期化	
EDMDR_0	初期化							初期化	
EDACR_0	初期化							初期化	
EDSAR_1	初期化							初期化	EXDMAC_1
EDDAR_1	初期化							初期化	
EDTCR_1	初期化							初期化	
EDMDR_1	初期化							初期化	
EDACR_1	初期化							初期化	
EDSAR_2	初期化							初期化	EXDMAC_2
EDDAR_2	初期化							初期化	
EDTCR_2	初期化							初期化	
EDMDR_2	初期化							初期化	
EDACR_2	初期化							初期化	
EDSAR_3	初期化							初期化	EXDMAC_3
EDDAR_3	初期化							初期化	
EDTCR_3	初期化							初期化	
EDMDR_3	初期化							初期化	
EDACR_3	初期化							初期化	
IPRA	初期化							初期化	INT
IPRB	初期化							初期化	
IPRC	初期化							初期化	
IPRD	初期化							初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
IPRE	初期化							初期化	INT
IPRF	初期化							初期化	
IPRG	初期化							初期化	
IPRH	初期化							初期化	
IPRI	初期化							初期化	
IPRJ	初期化							初期化	
IPRK	初期化							初期化	
ITSR	初期化							初期化	
SSIER	初期化							初期化	
ISCRH	初期化							初期化	
ISCRL	初期化							初期化	
IrCR_0	初期化							初期化	IrDA_0
P1DDR	初期化							初期化	PORT
P2DDR	初期化							初期化	
P3DDR	初期化							初期化	
P5DDR	初期化							初期化	
P6DDR	初期化							初期化	
P7DDR	初期化							初期化	
P8DDR	初期化							初期化	
PADDR	初期化							初期化	
PBDDR	初期化							初期化	
PCDDR	初期化							初期化	
PDDDR	初期化							初期化	
PEDDR	初期化							初期化	
PFDDR	初期化							初期化	
PGDDR	初期化							初期化	
PFCR0	初期化							初期化	
PFCR1	初期化							初期化	
PFCR2	初期化							初期化	
PAPCR	初期化							初期化	
PBPCR	初期化							初期化	
PCPCR	初期化							初期化	
PDPCR	初期化							初期化	
PEPCR	初期化							初期化	

## 23. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール	
P3ODR	初期化							初期化	PORT	
PAODR	初期化							初期化		
TCR_3	初期化							初期化	TPU_3	
TMDR_3	初期化							初期化		
TIORH_3	初期化							初期化		
TIORL_3	初期化							初期化		
TIER_3	初期化							初期化		
TSR_3	初期化							初期化		
TCNT_3	初期化							初期化		
TGRA_3	初期化							初期化		
TGRB_3	初期化							初期化		
TGRC_3	初期化							初期化		
TGRD_3	初期化							初期化	TPU_4	
TCR_4	初期化							初期化		
TMDR_4	初期化							初期化		
TIOR_4	初期化							初期化		
TIER_4	初期化							初期化		
TSR_4	初期化							初期化		
TCNT_4	初期化							初期化		
TGRA_4	初期化							初期化		
TGRB_4	初期化							初期化		
TCR_5	初期化							初期化		TPU_5
TMDR_5	初期化							初期化		
TIOR_5	初期化							初期化		
TIER_5	初期化							初期化		
TSR_5	初期化							初期化		
TCNT_5	初期化							初期化		
TGRA_5	初期化							初期化		
TGRB_5	初期化							初期化		
ABWCR	初期化							初期化	BSC	
ASTCR	初期化							初期化		
WTCRAH	初期化							初期化		
WTCRAL	初期化							初期化		
WTCRBH	初期化							初期化		
WTCRBL	初期化							初期化		
RDNCR	初期化							初期化		

## 23. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
CSACRH	初期化							初期化	BSC
CSACRL	初期化							初期化	
BROMCRH	初期化							初期化	
BROMCRL	初期化							初期化	
BCR	初期化							初期化	
RAMER	初期化							初期化	
DRAMCR	初期化							初期化	BSC
DRACCR	初期化							初期化	
REFCR	初期化							初期化	
RTCNT	初期化							初期化	
RTCOR	初期化							初期化	
MAR_0AH	初期化							初期化	
MAR_0AL	初期化							初期化	
IOAR_0A	初期化							初期化	
ETCR_0A	初期化							初期化	
MAR_0BH	初期化							初期化	
MAR_0BL	初期化							初期化	
IOAR_0B	初期化							初期化	
ETCR_0B	初期化							初期化	
MAR_1AH	初期化							初期化	
MAR_1AL	初期化							初期化	
IOAR_1A	初期化							初期化	
ETCR_1A	初期化							初期化	
MAR_1BH	初期化							初期化	
MAR_1BL	初期化							初期化	
IOAR_1B	初期化							初期化	
ETCR_1B	初期化							初期化	
DMAWER	初期化							初期化	
DMATCR	初期化							初期化	
DMACR_0A	初期化							初期化	
DMACR_0B	初期化							初期化	
DMACR_1A	初期化							初期化	
DMACR_1B	初期化							初期化	
DMABCRH	初期化							初期化	
DMABCRL	初期化							初期化	

## 23. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
DTCERA	初期化							初期化	DTC
DTCERB	初期化							初期化	
DTCERC	初期化							初期化	
DTCERD	初期化							初期化	
DTCERE	初期化							初期化	
DTCERF	初期化							初期化	
DTCERG	初期化							初期化	
DTVECR	初期化							初期化	
INTCR	初期化							初期化	INT
IER	初期化							初期化	
ISR	初期化							初期化	
SBYCR	初期化							初期化	SYSTEM
SCKCR	初期化							初期化	
SYSCR	初期化							初期化	
MDCR	初期化							初期化	
MSTPCRH	初期化							初期化	
MSTPCRL	初期化							初期化	
PLLCR	初期化							初期化	
PCR	初期化							初期化	
PMR	初期化							初期化	PPG
NDERH	初期化							初期化	
NDERL	初期化							初期化	
PODRH	初期化							初期化	
PODRL	初期化							初期化	
NDRH	初期化							初期化	
NDRL	初期化							初期化	
NDRH	初期化							初期化	
NDRL	初期化							初期化	PORT
PORT1									
PORT2									
PORT3									
PORT4									
PORT5									
PORT6									
PORT7									
PORT8									
PORTA									



## 23. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
PORTB									PORT
PORTC									
PORTD									
PORTE									
PORTF									
PORTG									
P1DR	初期化							初期化	
P2DR	初期化							初期化	
P3DR	初期化							初期化	
P5DR	初期化							初期化	
P6DR	初期化							初期化	
P7DR	初期化							初期化	
P8DR	初期化							初期化	
PADR	初期化							初期化	
PBDR	初期化							初期化	
PCDR	初期化							初期化	
PDDR	初期化							初期化	
PEDR	初期化							初期化	
PFDR	初期化							初期化	
PGDR	初期化							初期化	
PORTH									
PHDR	初期化							初期化	
PHDDR	初期化							初期化	
SMR_0	初期化				初期化	初期化	初期化	初期化	SCI_0
BRR_0	初期化				初期化	初期化	初期化	初期化	
SCR_0	初期化				初期化	初期化	初期化	初期化	
TDR_0	初期化				初期化	初期化	初期化	初期化	
SSR_0	初期化				初期化	初期化	初期化	初期化	
RDR_0	初期化				初期化	初期化	初期化	初期化	
SCMR_0	初期化				初期化	初期化	初期化	初期化	
SMR_1	初期化				初期化	初期化	初期化	初期化	SCI_1
BRR_1	初期化				初期化	初期化	初期化	初期化	
SCR_1	初期化				初期化	初期化	初期化	初期化	
TDR_1	初期化				初期化	初期化	初期化	初期化	
SSR_1	初期化				初期化	初期化	初期化	初期化	
RDR_1	初期化				初期化	初期化	初期化	初期化	
SCMR_1	初期化				初期化	初期化	初期化	初期化	

## 23. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
SMR_2	初期化				初期化	初期化	初期化	初期化	SCI_2
BRR_2	初期化				初期化	初期化	初期化	初期化	
SCR_2	初期化				初期化	初期化	初期化	初期化	
TDR_2	初期化				初期化	初期化	初期化	初期化	
SSR_2	初期化				初期化	初期化	初期化	初期化	
RDR_2	初期化				初期化	初期化	初期化	初期化	
SCMR_2	初期化				初期化	初期化	初期化	初期化	
ADDRA	初期化				初期化	初期化	初期化	初期化	
ADDRB	初期化				初期化	初期化	初期化	初期化	
ADDRC	初期化				初期化	初期化	初期化	初期化	
ADDRD	初期化				初期化	初期化	初期化	初期化	
ADDRE*	初期化				初期化	初期化	初期化	初期化	
ADDRF*	初期化				初期化	初期化	初期化	初期化	
ADDRG*	初期化				初期化	初期化	初期化	初期化	
ADDRH*	初期化				初期化	初期化	初期化	初期化	
ADCSR	初期化				初期化	初期化	初期化	初期化	
ADCR	初期化				初期化	初期化	初期化	初期化	
DADR0	初期化							初期化	D/A
DADR1	初期化							初期化	
DACR01	初期化							初期化	
DADR2	初期化							初期化	
DADR3	初期化							初期化	
DACR23	初期化							初期化	
TCR_0	初期化							初期化	
TCR_1	初期化							初期化	TMR_0
TCSR_0	初期化							初期化	
TCSR_1	初期化							初期化	TMR_1
TCORA_0	初期化							初期化	
TCORA_1	初期化							初期化	
TCORB_0	初期化							初期化	
TCORB_1	初期化							初期化	
TCNT_0	初期化							初期化	
TCNT_1	初期化							初期化	
TCSR	初期化							初期化	
TCNT	初期化							初期化	WDT
RSTCSR	初期化							初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TSTR	初期化							初期化	TPU
TSYR	初期化							初期化	
FLMCR1	初期化							初期化	FLASH
FLMCR2	初期化							初期化	(F-ZATA 版)
EBR1	初期化							初期化	
EBR2	初期化							初期化	
TCR_0	初期化							初期化	TPU_0
TMDR_0	初期化							初期化	
TIORH_0	初期化							初期化	
TIORL_0	初期化							初期化	
TIER_0	初期化							初期化	
TSR_0	初期化							初期化	
TCNT_0	初期化							初期化	
TGRA_0	初期化							初期化	TPU_0
TGRB_0	初期化							初期化	
TGRC_0	初期化							初期化	
TGRD_0	初期化							初期化	
TCR_1	初期化							初期化	TPU_1
TMDR_1	初期化							初期化	
TIOR_1	初期化							初期化	
TIER_1	初期化							初期化	
TSR_1	初期化							初期化	
TCNT_1	初期化							初期化	
TGRA_1	初期化							初期化	
TGRB_1	初期化							初期化	
TCR_2	初期化							初期化	TPU_2
TMDR_2	初期化							初期化	
TIOR_2	初期化							初期化	
TIER_2	初期化							初期化	
TSR_2	初期化							初期化	
TCNT_2	初期化							初期化	
TGRA_2	初期化							初期化	
TGRB_2	初期化							初期化	

【注】 \* H8S/2678 グループにはありません。



---

## 24. 電気的特性

---

### 24.1 絶対最大定格

絶対最大定格を表 24.1 に示します。

表 24.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V <sub>cc</sub> PLL <sub>Vcc</sub>	- 0.3 ~ + 4.6*	V
入力電圧 (ポート 4、P54 ~ P57 以外)	V <sub>in</sub>	- 0.3 ~ V <sub>cc</sub> + 0.3	V
入力電圧 (ポート 4、P54 ~ P57)	V <sub>in</sub>	- 0.3 ~ AV <sub>cc</sub> + 0.3	V
リファレンス電源電圧	V <sub>ref</sub>	- 0.3 ~ AV <sub>cc</sub> + 0.3	V
アナログ電源電圧	AV <sub>cc</sub>	- 0.3 ~ + 4.6*	V
アナログ入力電圧	V <sub>AN</sub>	- 0.3 ~ AV <sub>cc</sub> + 0.3	V
動作温度	T <sub>opr</sub>	通常仕様品 : - 20 ~ + 75* 広温度範囲仕様品 : - 40 ~ + 85*	
保存温度	T <sub>stg</sub>	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 \* F-ZTAT 版の製品では、

電源電圧およびアナログ電源電圧は、

- 0.3 ~ + 4.0V

になります。

フラッシュメモリの書き込み/消去時の動作温度範囲は、

通常仕様品 : 0 ~ + 75

広温度範囲仕様品 : 0 ~ + 85

になります。

## 24.2 DC 特性

表 24.2 DC 特性 (1)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^{*1}$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、ポート 2	$VT^-$	$V_{cc} \times 0.2$	-	-	V	
	P50 ~ P53 <sup>*2</sup> 、 ポート 6 <sup>*2</sup> 、 ポート 8 <sup>*2</sup> 、PF1 <sup>*2</sup> 、PF2 <sup>*2</sup> 、 PH2 <sup>*2</sup> 、PH3 <sup>*2</sup>	$VT^+$	-	-	$V_{cc} \times 0.7$	V	
		$VT^+ - VT^-$	$V_{cc} \times 0.07$	-	-	V	
	P54 ~ P57 <sup>*2</sup>	$VT^-$	$AV_{cc} \times 0.2$	-	-	V	
		$VT^+$	-	-	$AV_{cc} \times 0.7$	V	
		$VT^+ - VT^-$	$AV_{cc} \times 0.07$	-	-	V	
入力 High レベル電圧	$\overline{STBY}$ 、MD2 ~ MD0、 DCTL <sup>*4</sup>	$V_{IH}$	$V_{cc} \times 0.9$	-	$V_{cc} + 0.3$	V	
	RES、NMI		$V_{cc} \times 0.9$	-	$V_{cc} + 0.3$	V	
	EXTAL		$V_{cc} \times 0.7$	-	$V_{cc} + 0.3$	V	
	ポート 3、P50 ~ P53 <sup>*3</sup> ポート 6 ~ 8 <sup>*3</sup> 、 ポート A ~ H <sup>*3</sup>		$V_{cc} \times 0.7$	-	$V_{cc} + 0.3$	V	
	ポート 4、P54 ~ P57 <sup>*3</sup>		$AV_{cc} \times 0.7$	-	$AV_{cc} + 0.3$	V	
入力 Low レベル電圧	RES、 $\overline{STBY}$ 、 MD2 ~ MD0、DCTL <sup>*4</sup>	$V_{IL}$	- 0.3	-	$V_{cc} \times 0.1$	V	
	NMI、EXTAL		- 0.3	-	$V_{cc} \times 0.2$	V	
	ポート 3 ~ 8、 ポート A ~ H <sup>*3</sup>		- 0.3	-	$V_{cc} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{cc} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{cc} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$
入力リーク 電流	RES	$ I_{in} $	-	-	10.0	$\mu A$	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
	$\overline{STBY}$ 、NMI、 MD2 ~ MD0、DCTL <sup>*4</sup>		-	-	1.0	$\mu A$	
	ポート 4、P54 ~ P57		-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{cc} - 0.5V$

【注】 \*1 A/D および D/A 変換器未使用時に  $AV_{cc}$ 、 $V_{ref}$ 、 $AV_{ss}$  端子を開放しないでください。 $AV_{cc}$ 、 $V_{ref}$  端子は  $V_{cc}$  に、 $AV_{ss}$  端子は  $V_{ss}$  にそれぞれ接続してください。\*2  $\overline{IRQ0} \sim \overline{IRQ15}$  として使用した場合です。\*3  $\overline{IRQ0} \sim \overline{IRQ15}$  以外として使用した場合です。

\*4 H8S/2678 グループでは、サポートしていません。

表 24.3 DC 特性 (2)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリーステートリーク電流 (オフ状態)	ポート 1~3、 P50~P53 ポート 6~8、 ポート A~H	$ I_{TSI} $	-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	-	300	$\mu A$	$V_{CC} = 2.7 \sim 3.6V$ $V_{in} = 0V$
入力容量	RES	$C_{in}$	-	-	30	pF	$V_{in} = 0V$
	NMI		-	-	30	pF	$f = 1MHz$
	RES、NMI 以外の全入力端子		-	-	15	pF	$T_a = 25$
消費電流 <sup>*2</sup>	通常動作時	$I_{CC}^{*4}$	-	80(3.3V)	150	mA	$f = 33MHz$
	スリープ時		-	70(3.3V)	125	mA	$f = 33MHz$
	スタンバイ時 <sup>*3</sup>		-	0.01	10	$\mu A$	$T_a = 50$
	全モジュールクロックストップ時 <sup>*5</sup>		-	-	80	$\mu A$	$50 < T_a$
アナログ電源電流	A/D、D/A 変換中	$I_{lcc}$	-	0.2(3.0V)	2.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
リファレンス電源電流	A/D、D/A 変換中	$I_{lcc}$	-	1.4(3.0V)	4.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0	-	-	V	

【注】 \*1 A/D および D/A 変換器未使用時に  $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。\*2 消費電流値は、 $V_{IH, min} = V_{CC} - 0.5V$ 、 $V_{IL, max} = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。\*3  $V_{RAM}$   $V_{CC} < 3.0V$  のとき、 $V_{IH, min} = V_{CC} \times 0.9$ 、 $V_{IL, max} = 0.3V$  とした場合の値です。\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。 $I_{CC, max} = 1.0(mA) + 1.2(mA / (MHz \times V)) \times V_{CC} \times f$  (通常動作時) $I_{CC, max} = 1.0(mA) + 1.0(mA / (MHz \times V)) \times V_{CC} \times f$  (スリープ時)

\*5 参照値です。

## 24. 電気的特性

表 24.4 出力許容電流値

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^{*1}$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	全出力端子	$I_{OL}$	-	-	2.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	$I_{OL}$	-	-	80	mA
出力 High レベル許容量 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 24.4 の値を超えないようにしてください。

\*1 A/D および D/A 変換器未使用時に  $AV_{cc}$ 、 $V_{ref}$ 、 $AV_{ss}$  端子を開放しないでください。

$AV_{cc}$ 、 $V_{ref}$  端子は  $V_{cc}$  に、 $AV_{ss}$  端子は  $V_{ss}$  にそれぞれ接続してください。

## 24.3 AC 特性

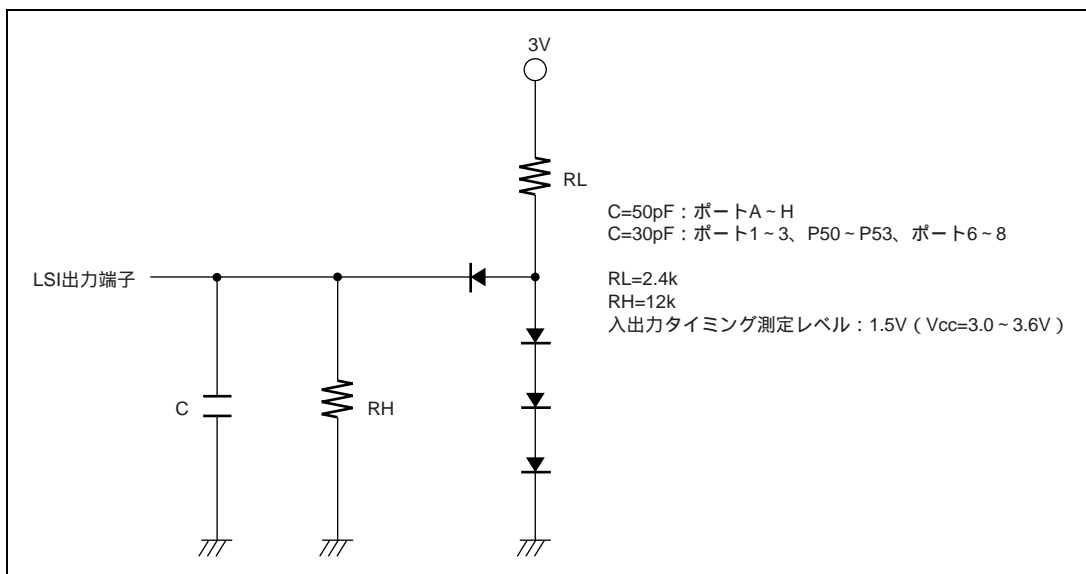


図 24.1 出力負荷回路



## (1) クロックタイミング

表 24.5 クロックタイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = 20 \sim +75$  (通常仕様品) $T_a = 40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	$t_{cyc}$	30.3	125	ns	図 24.2
クロックハイレベルパルス幅	$t_{CH}$	10	-	ns	図 24.2
クロックローレベルパルス幅	$t_{CL}$	10	-	ns	
クロック立ち上がり時間	$t_{Cr}$	-	5	ns	
クロック立ち下がり時間	$t_{Cr}$	-	5	ns	
リセット発振安定時間(水晶)	$t_{OSC1}$	10	-	ms	図 24.4 (1)
ソフトウェアスタンバイ発振安定時間(水晶)	$t_{OSC2}$	10	-	ms	図 24.4 (2)
外部クロック出力遅延安定時間	$t_{DEXT}$	500	-	$\mu s$	図 24.4 (1)
クロック位相差*	$t_{dif}$	$1/4 \times t_{cyc} - 3$	$1/4 \times t_{cyc} + 3$	ns	図 24.3
クロックハイレベルパルス幅 (SDRAM )*	$t_{SDCH}$	10	-	ns	図 24.3
クロックローレベルパルス幅 (SDRAM )*	$t_{SDCL}$	10	-	ns	図 24.3
クロック立ち上がり時間 (SDRAM )*	$t_{sdcr}$	-	5	ns	図 24.3
クロック立ち下がり時間 (SDRAM )*	$t_{sdcr}$	-	5	ns	図 24.3

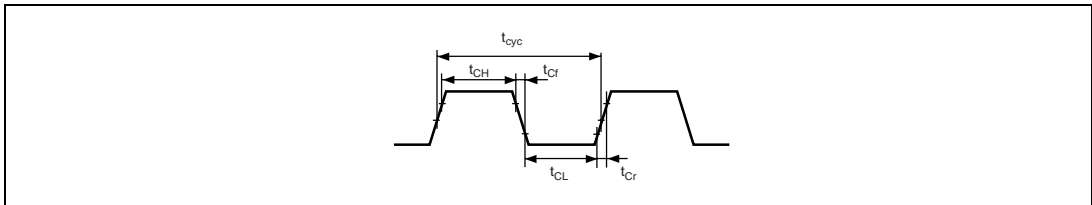


図 24.2 システムクロックタイミング

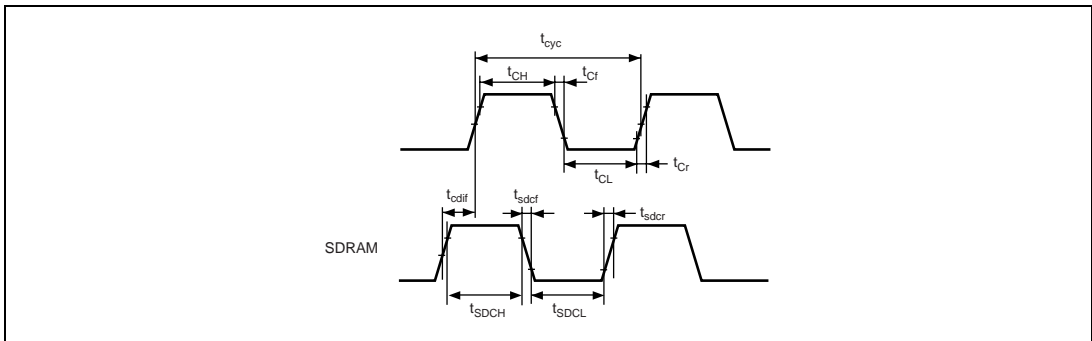


図 24.3 SDRAM タイミング\*

【注】 \* H8S/2678 グループでは、サポートしていません。

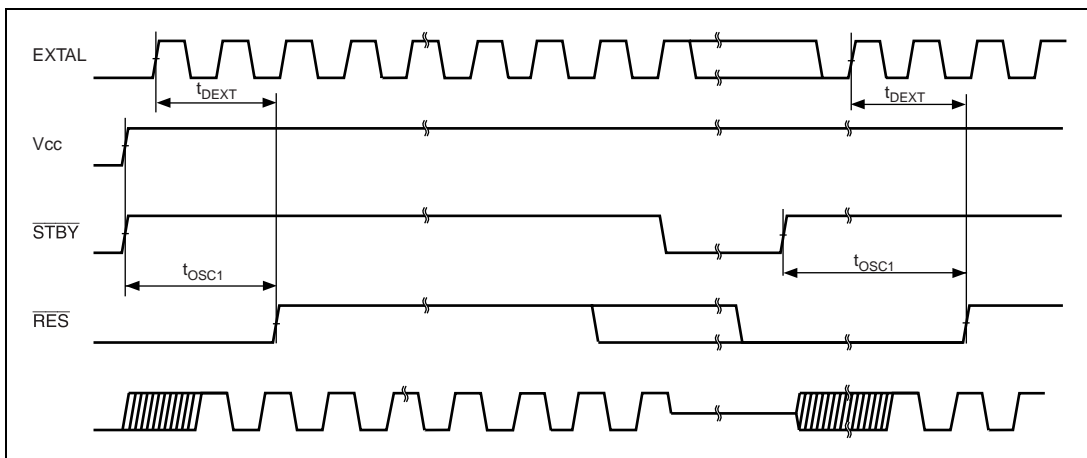


図 24.4 (1) 発振安定時間タイミング

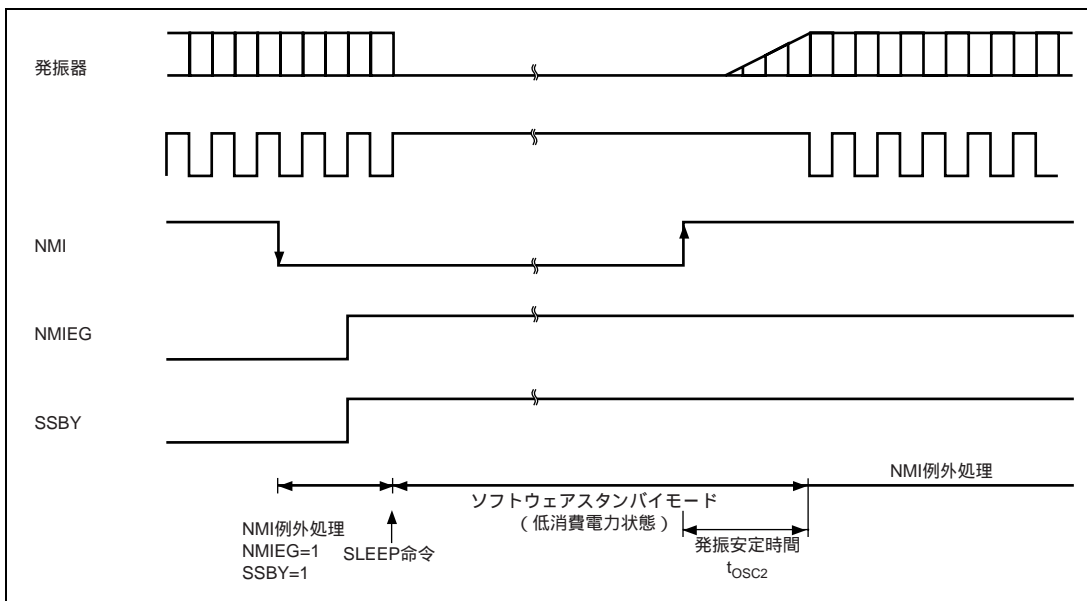


図 24.4 (2) 発振安定時間タイミング

## (2) 制御信号タイミング

表 24.6 制御信号タイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = 20 \sim +75$  (通常仕様品) $T_a = 40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	$t_{RESS}$	200	-	ns	図 24.5
RES パルス幅	$t_{RESW}$	20	-	$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	150	-	ns	図 24.6
NMI ホールド時間	$t_{NMIH}$	10	-		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200	-		
$\overline{IRQ}$ セットアップ時間	$t_{IRQS}$	150	-	ns	
$\overline{IRQ}$ ホールド時間	$t_{IRGH}$	10	-		
$\overline{IRQ}$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IROW}$	200	-		

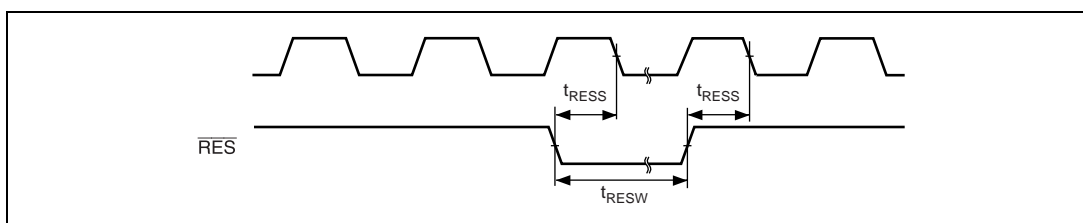


図 24.5 リセット入力タイミング

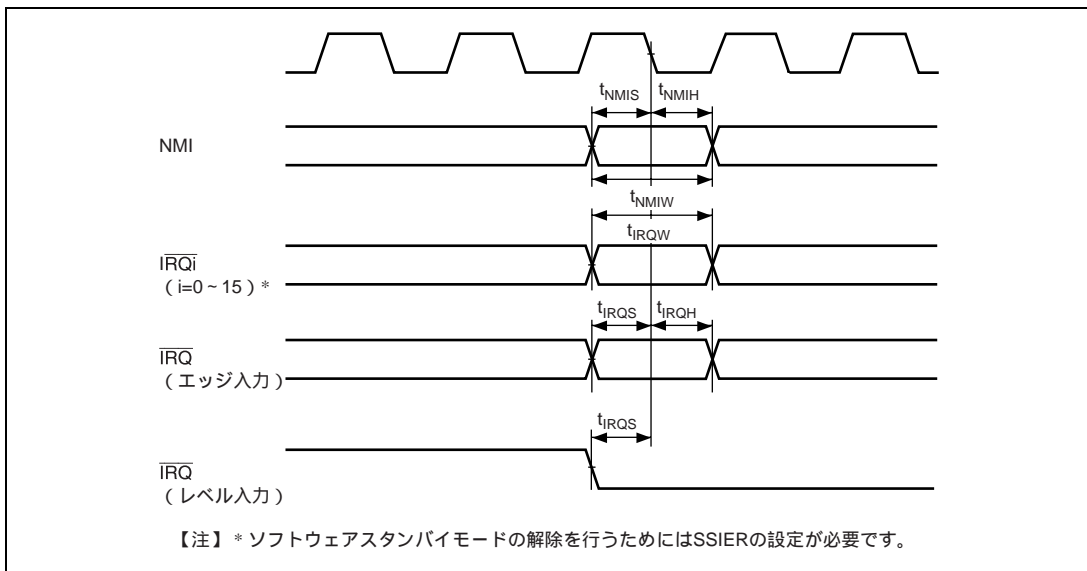


図 24.6 割り込み入力タイミング

## (3) バスタイミング

表 24.7 バスタイミング (1)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ = 8 ~ 33MHz、 $T_a = 20 \sim +75$  (通常仕様品) $T_a = 40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	-	20	ns	図 24.7
アドレスセットアップ時間 1	$t_{AS1}$	$0.5 \times t_{cyc} - 13$	-	ns	~
アドレスセットアップ時間 2	$t_{AS2}$	$1.0 \times t_{cyc} - 13$	-	ns	図 24.21
アドレスセットアップ時間 3	$t_{AS3}$	$1.5 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 4	$t_{AS4}$	$2.0 \times t_{cyc} - 13$	-	ns	
アドレスホールド時間 1	$t_{AH1}$	$0.5 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 2	$t_{AH2}$	$1.0 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 3	$t_{AH3}$	$1.5 \times t_{cyc} - 8$	-	ns	
$\overline{CS}$ 遅延時間 1	$t_{CSD1}$	-	15	ns	
$\overline{CS}$ 遅延時間 2	$t_{CSD2}$	-	15	ns	
$\overline{CS}$ 遅延時間 3	$t_{CSD3}$	-	20	ns	
$\overline{AS}$ 遅延時間	$t_{ASD}$	-	15	ns	
RD 遅延時間 1	$t_{RSD1}$	-	15	ns	
RD 遅延時間 2	$t_{RSD2}$	-	15	ns	
リードデータセットアップ時間 1	$t_{RDS1}$	15	-	ns	
リードデータセットアップ時間 2	$t_{RDS2}$	15	-	ns	
リードデータホールド時間 1	$t_{RDH1}$	0	-	ns	
リードデータホールド時間 2	$t_{RDH2}$	0	-	ns	
リードデータアクセス時間 1	$t_{AC1}$	-	$1.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 2	$t_{AC2}$	-	$1.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 3	$t_{AC3}$	-	$2.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 4	$t_{AC4}$	-	$2.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 5	$t_{AC5}$	-	$1.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 6	$t_{AC6}$	-	$2.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 7	$t_{AC7}$	-	$4.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 8	$t_{AC8}$	-	$3.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 1	$t_{AA1}$	-	$1.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 2	$t_{AA2}$	-	$1.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 3	$t_{AA3}$	-	$2.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 4	$t_{AA4}$	-	$2.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 5	$t_{AA5}$	-	$3.0 \times t_{cyc} - 20$	ns	

## 24. 電気的特性

表 24.8 バスタイミング (2)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 33MHz、 $T_a = 20 \sim +75$  (通常仕様品)

$T_a = 40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	$t_{WRD1}$	-	15	ns	図 24.7
WR 遅延時間 2	$t_{WRD2}$	-	15	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 13$	-	ns	図 24.21
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 13$	-	ns	
ライトデータ遅延時間	$t_{WDD}$	-	20	ns	
ライトデータセットアップ時間 1	$t_{WDS1}$	$0.5 \times t_{cyc} - 13$	-	ns	
ライトデータセットアップ時間 2	$t_{WDS2}$	$1.0 \times t_{cyc} - 13$	-	ns	
ライトデータセットアップ時間 3	$t_{WDS3}$	$1.5 \times t_{cyc} - 13$	-	ns	
ライトデータホールド時間 1	$t_{WDH1}$	$0.5 \times t_{cyc} - 8$	-	ns	
ライトデータホールド時間 2	$t_{WDH2}$	$1.0 \times t_{cyc} - 8$	-	ns	
ライトデータホールド時間 3	$t_{WDH3}$	$1.5 \times t_{cyc} - 8$	-	ns	
ライトコマンドセットアップ時間 1	$t_{WCS1}$	$0.5 \times t_{cyc} - 10$	-	ns	
ライトコマンドセットアップ時間 2	$t_{WCS2}$	$1.0 \times t_{cyc} - 10$	-	ns	
ライトコマンドホールド時間 1	$t_{WCH1}$	$0.5 \times t_{cyc} - 10$	-	ns	
ライトコマンドホールド時間 2	$t_{WCH2}$	$1.0 \times t_{cyc} - 10$	-	ns	
リードコマンドセットアップ時間 1	$t_{RCS1}$	$1.5 \times t_{cyc} - 10$	-	ns	
リードコマンドセットアップ時間 2	$t_{RCS2}$	$2.0 \times t_{cyc} - 10$	-	ns	
リードコマンドホールド時間	$t_{RCH}$	$0.5 \times t_{cyc} - 10$	-	ns	
CAS 遅延時間 1	$t_{CASD1}$	-	15	ns	
CAS 遅延時間 2	$t_{CASD2}$	-	15	ns	
CAS セットアップ時間 1	$t_{CSR1}$	$0.5 \times t_{cyc} - 10$	-	ns	
CAS セットアップ時間 2	$t_{CSR2}$	$1.5 \times t_{cyc} - 10$	-	ns	
CAS パルス幅 1	$t_{CASW1}$	$1.0 \times t_{cyc} - 20$	-	ns	
CAS パルス幅 2	$t_{CASW2}$	$1.5 \times t_{cyc} - 20$	-	ns	
CAS プリチャージ時間 1	$t_{CPW1}$	$1.0 \times t_{cyc} - 20$	-	ns	
CAS プリチャージ時間 2	$t_{CPW2}$	$1.5 \times t_{cyc} - 20$	-	ns	
OE 遅延時間 1	$t_{OED1}$	-	15	ns	
OE 遅延時間 2	$t_{OED2}$	-	15	ns	
プリチャージ時間 1	$t_{PCH1}$	$1.0 \times t_{cyc} - 20$	-	ns	
プリチャージ時間 2	$t_{PCH2}$	$1.5 \times t_{cyc} - 20$	-	ns	

項目	記号	min	max	単位	測定条件
セルフリフレッシュ時プリチャージ時間 1	$t_{RPS1}$	$2.5 \times t_{cyc} - 20$	-	ns	図 24.22
セルフリフレッシュ時プリチャージ時間 2	$t_{RPS2}$	$3.0 \times t_{cyc} - 20$	-	ns	図 24.23
WAIT セットアップ時間	$t_{WTS}$	25	-	ns	図 24.15
WAIT ホールド時間	$t_{WTH}$	5	-	ns	
BREQ セットアップ時間	$t_{BREQS}$	30	-	ns	図 24.24
BACK 遅延時間	$t_{BACD}$	-	15	ns	
バスフローティング時間	$t_{BZD}$	-	40	ns	
BREQ $\bar{O}$ 遅延時間	$t_{BREQD}$	-	25	ns	図 24.25
アドレス遅延時間 2*	$t_{AD2}$	-	16.5	ns	図 24.26
CS 遅延時間 4*	$t_{CSD4}$	-	16.5	ns	図 24.26
DQM 遅延時間*	$t_{DQMD}$	-	16.5	ns	図 24.26
CKE 遅延時間*	$t_{CKED}$	-	16.5	ns	図 24.27
リードデータセットアップ時間 3*	$t_{RDS3}$	15	-	ns	図 24.26
リードデータホールド時間 3*	$t_{RDH3}$	0	-	ns	図 24.26
ライトデータ遅延時間 2*	$t_{WDD2}$	-	31.5	ns	図 24.26
ライトデータホールド時間 4*	$t_{WDH4}$	2	-	ns	図 24.26

【注】 \* H8S/2678 グループでは、サポートしていません。

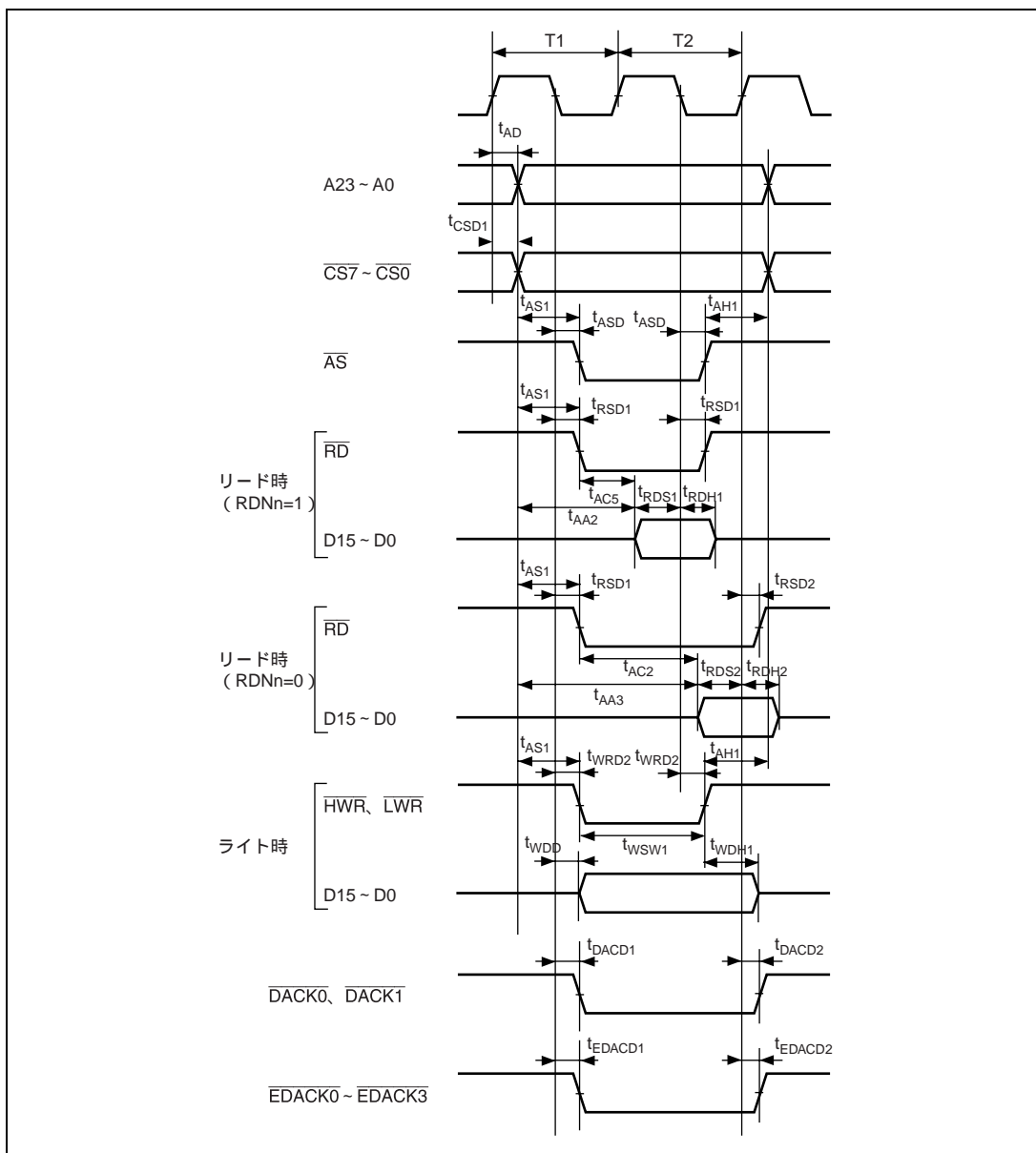


図 24.7 基本バスタイミング/2 ステートアクセス



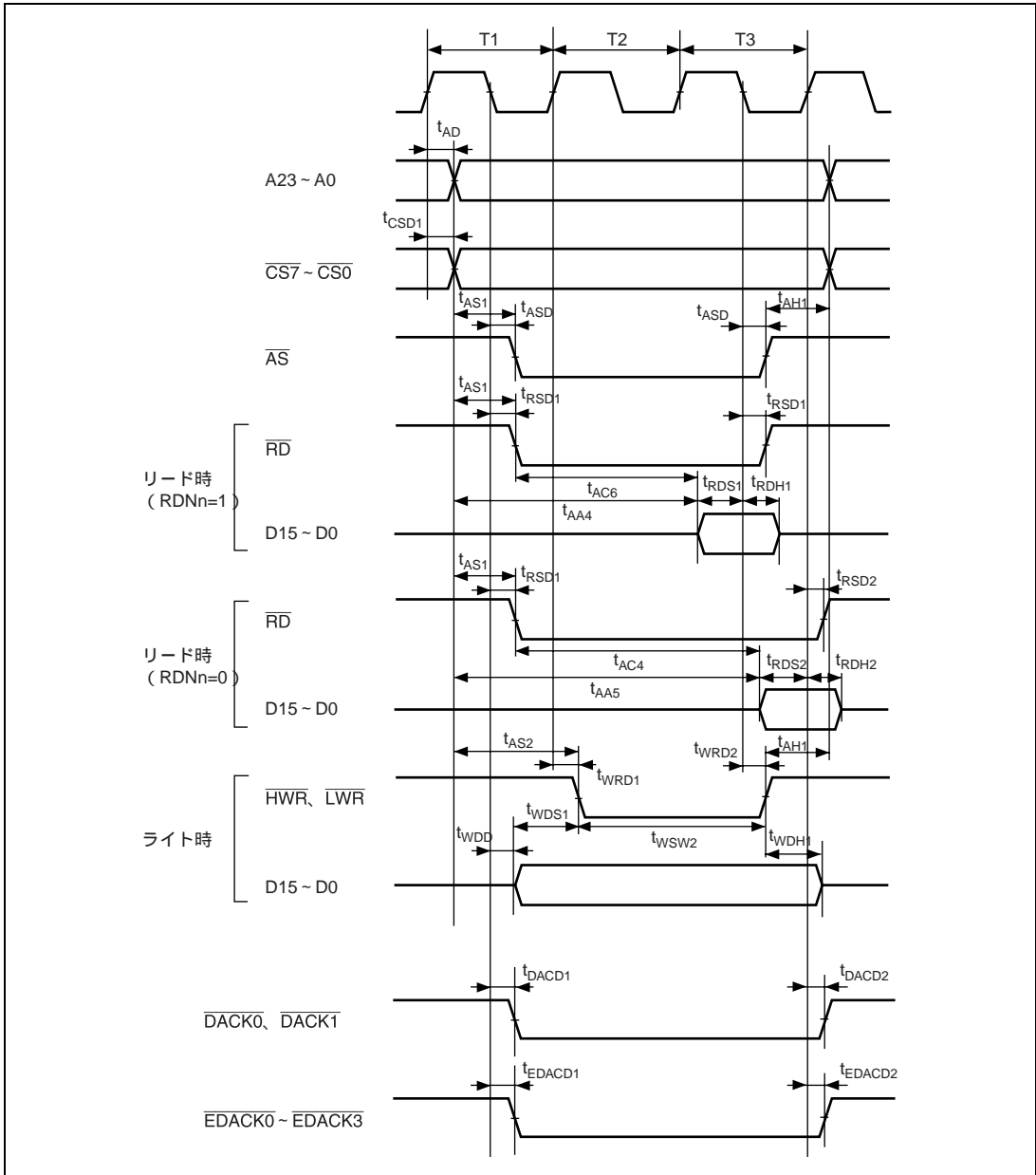


図 24.8 基本バスタイミング/3 ステートアクセス

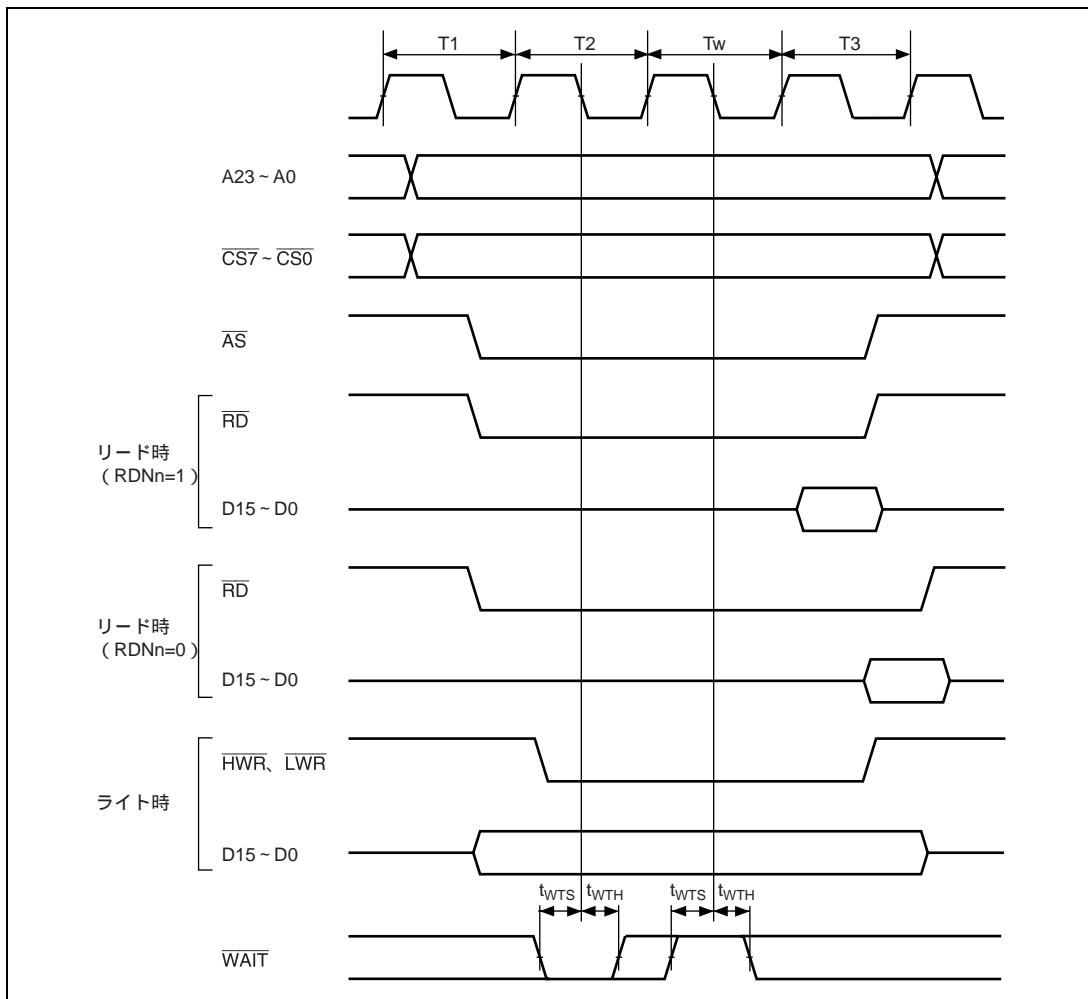


図 24.9 基本バスタイミング/3 ステートアクセス 1 ウェイト

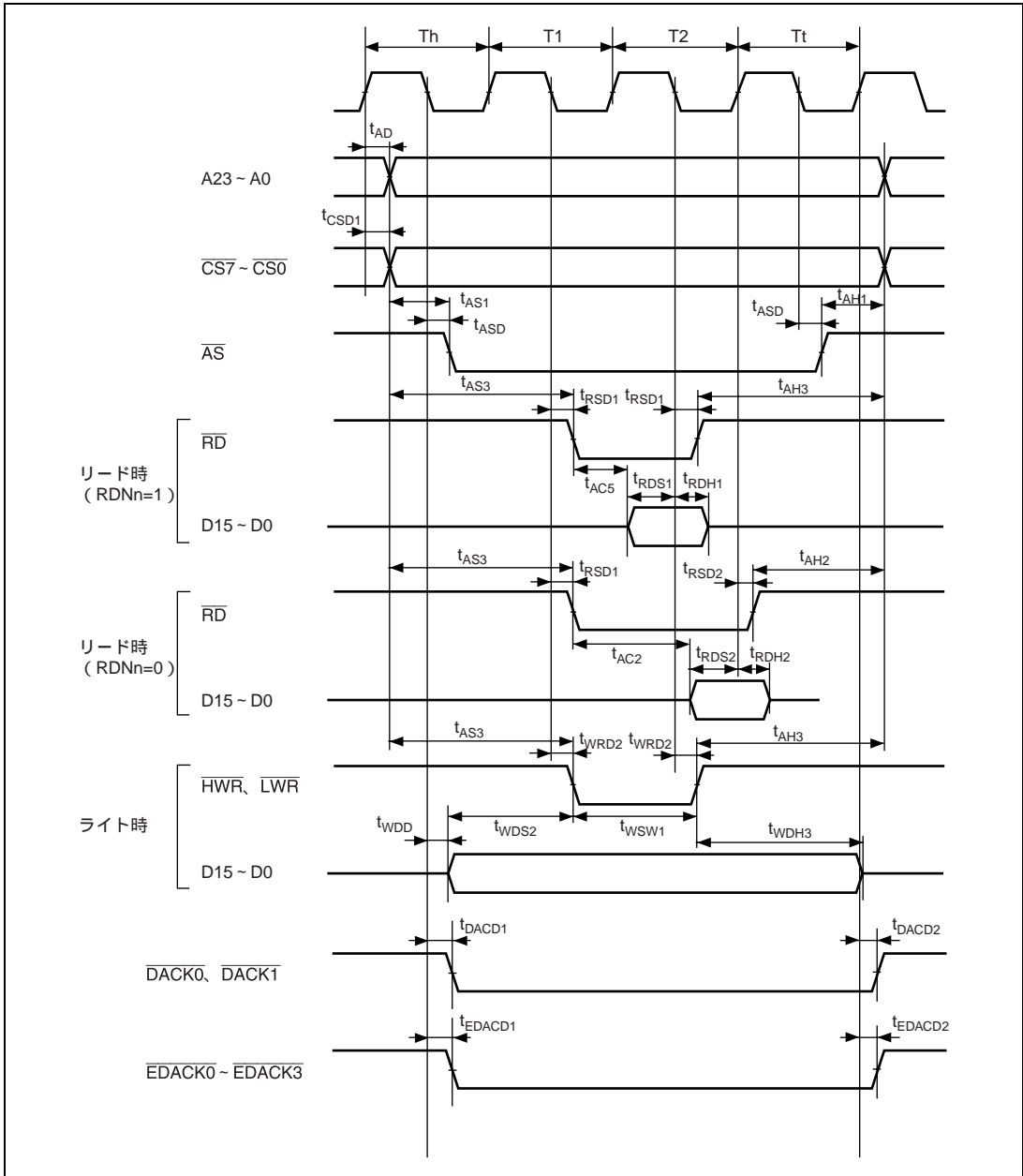


図 24.10 基本バスタイミング/2 ステートアクセス  
(CS アサート期間延長)

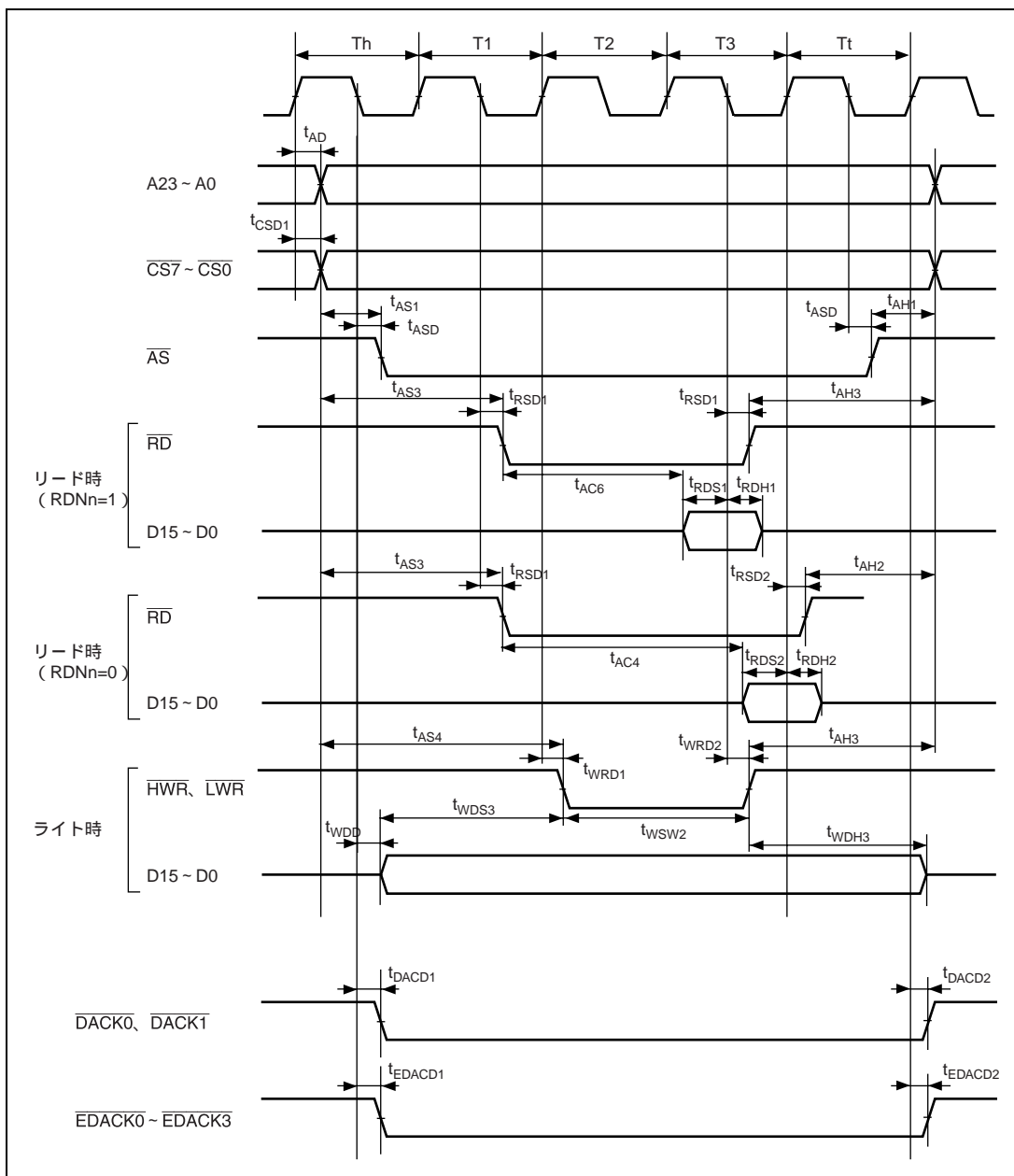


図 24.11 基本バスタイミング/3 ステートアクセス  
(CS アサート期間延長)

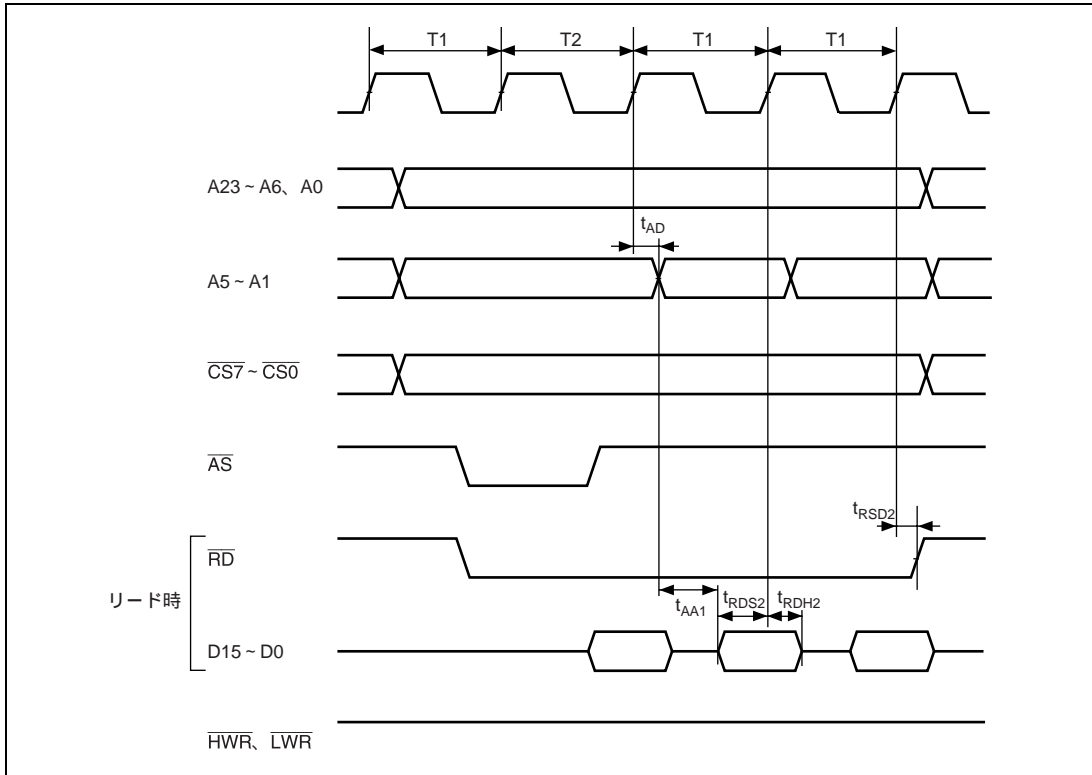


図 24.12 バースト ROM アクセスタイミング/1 ステートバーストアクセス

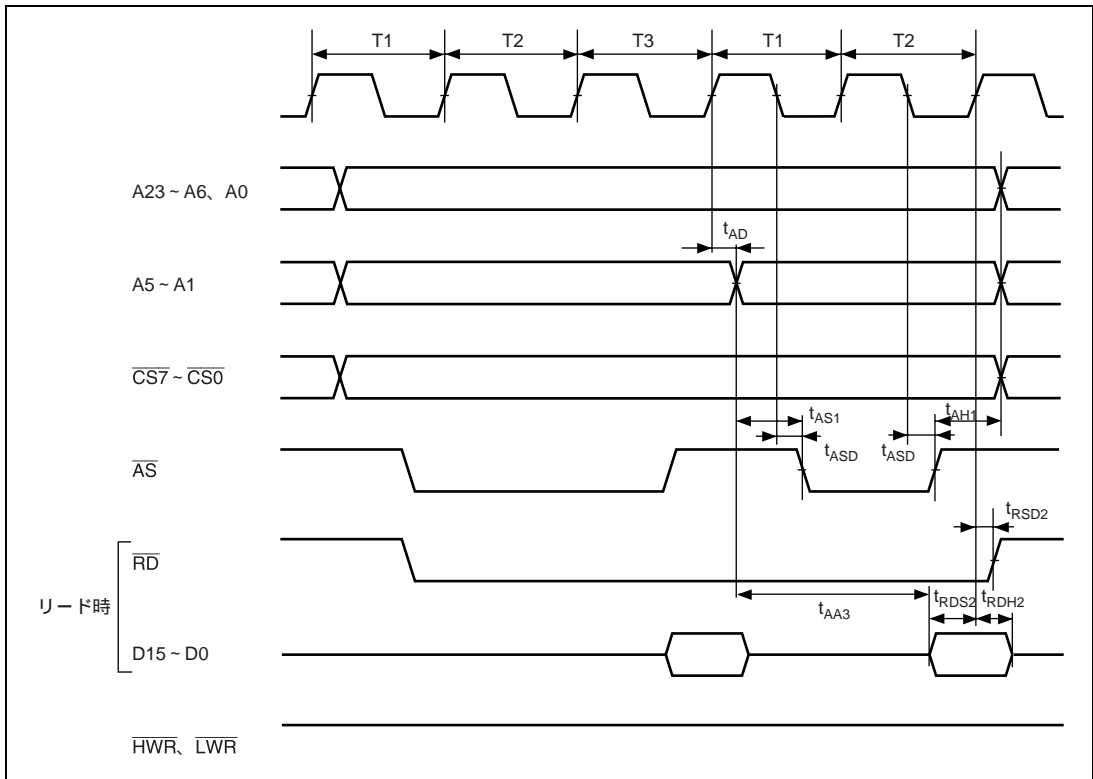


図 24.13 バースト ROM アクセスタイミング/2 ステートバーストアクセス

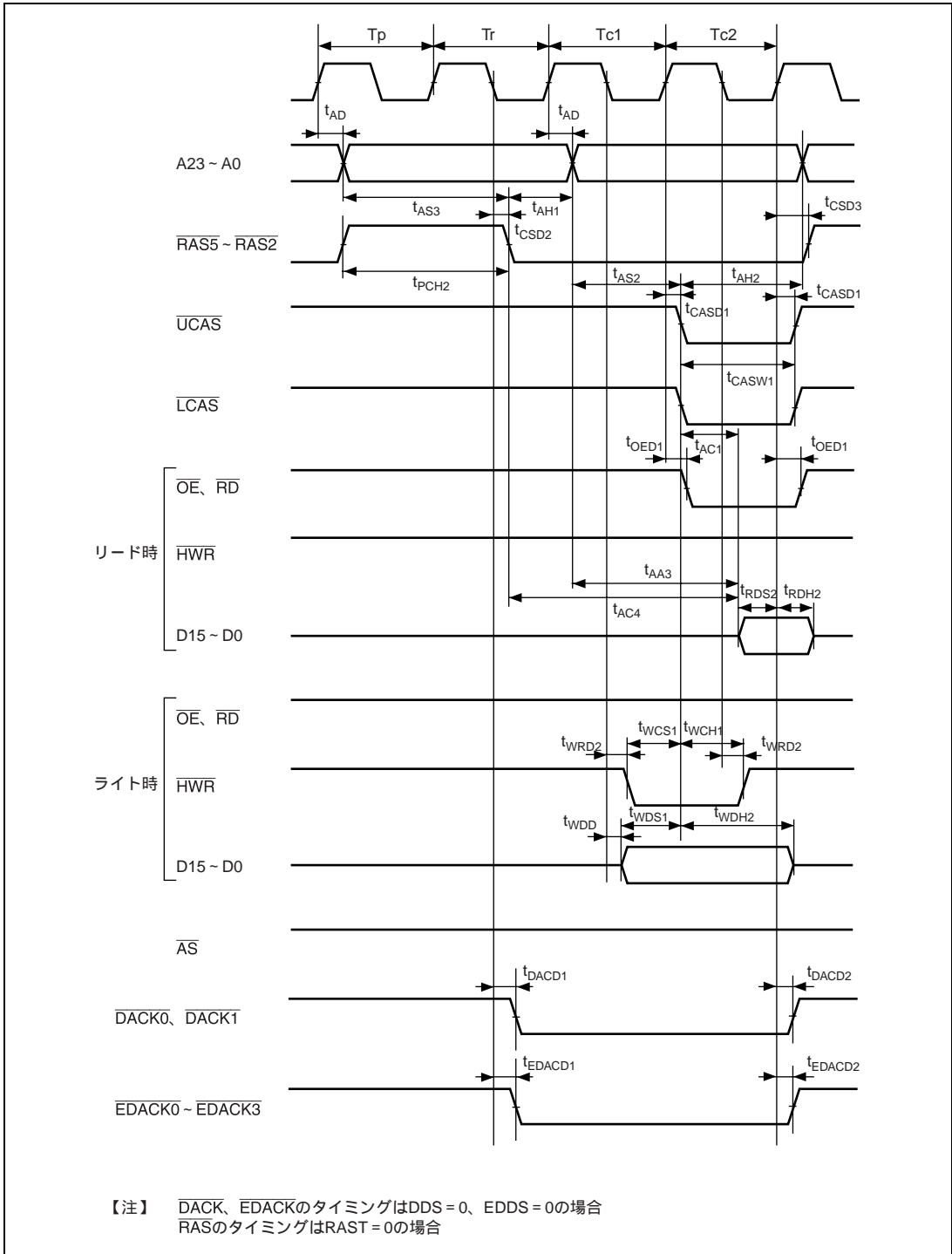


図 24.14 DRAM アクセスタイミング/2 ステートアクセス

## 24. 電気的特性

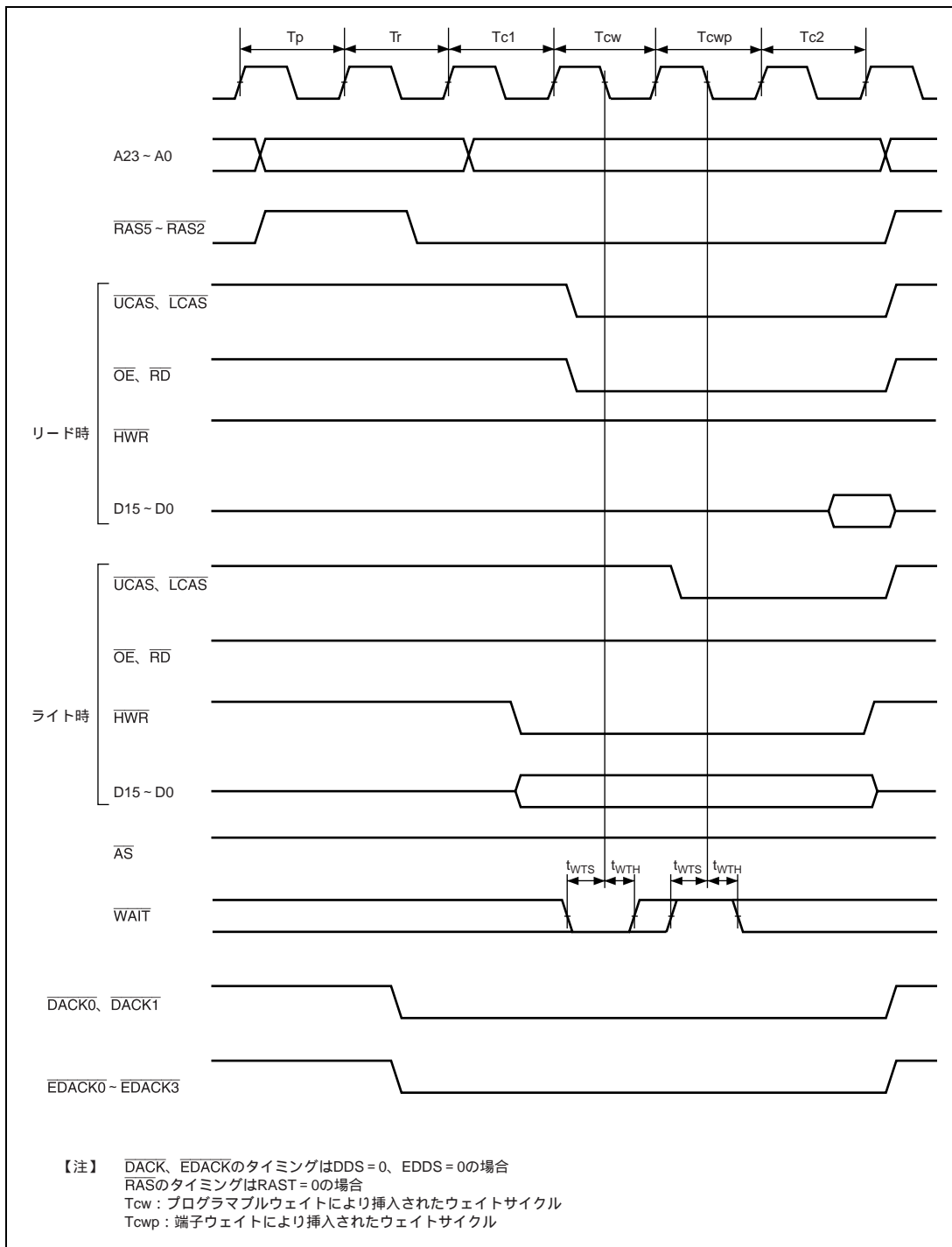


図 24.15 DRAM アクセスタイミング/2 ステートアクセス 1 ウェイト



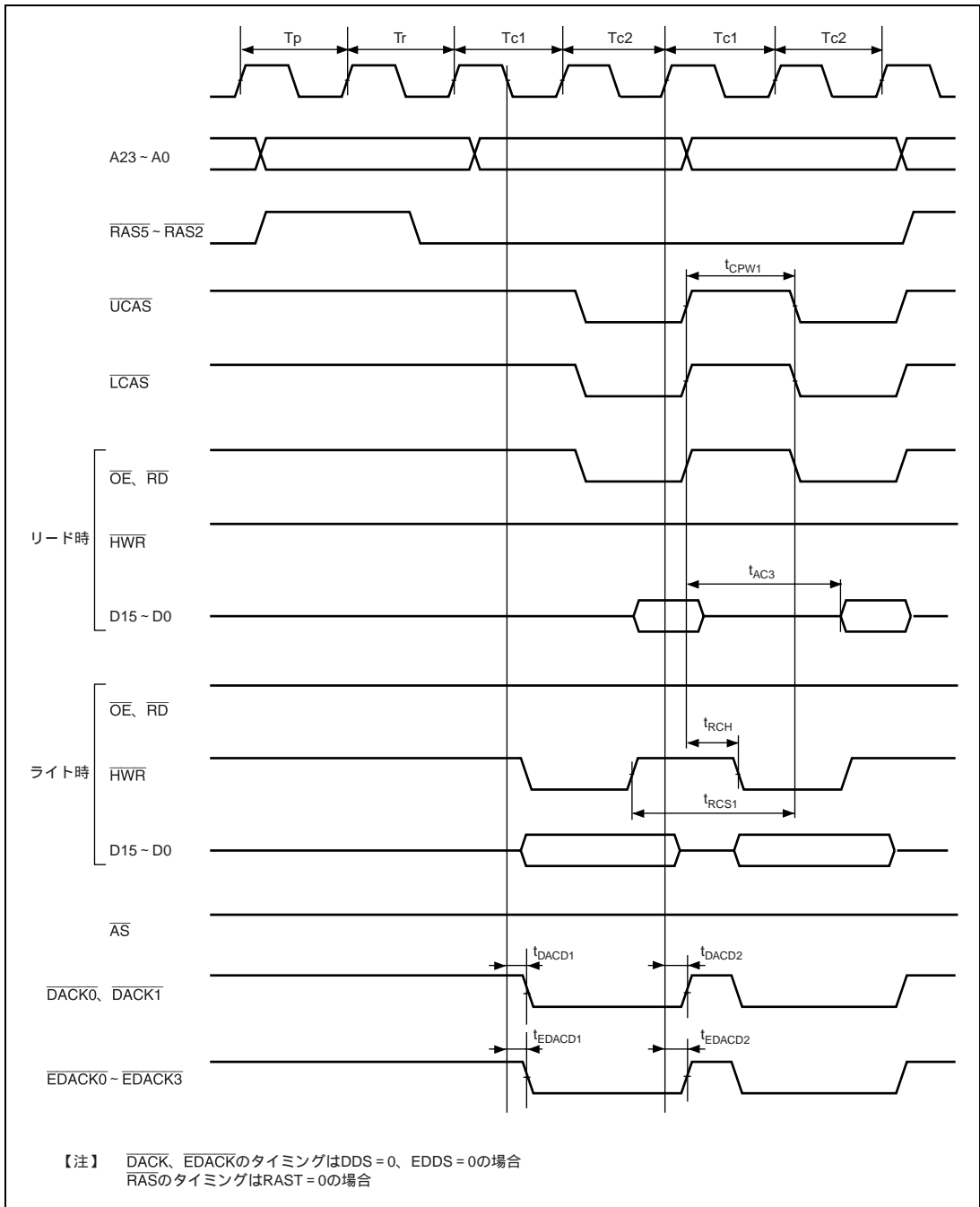


図 24.16 DRAM アクセスタイミング/2 ステートバーストアクセス

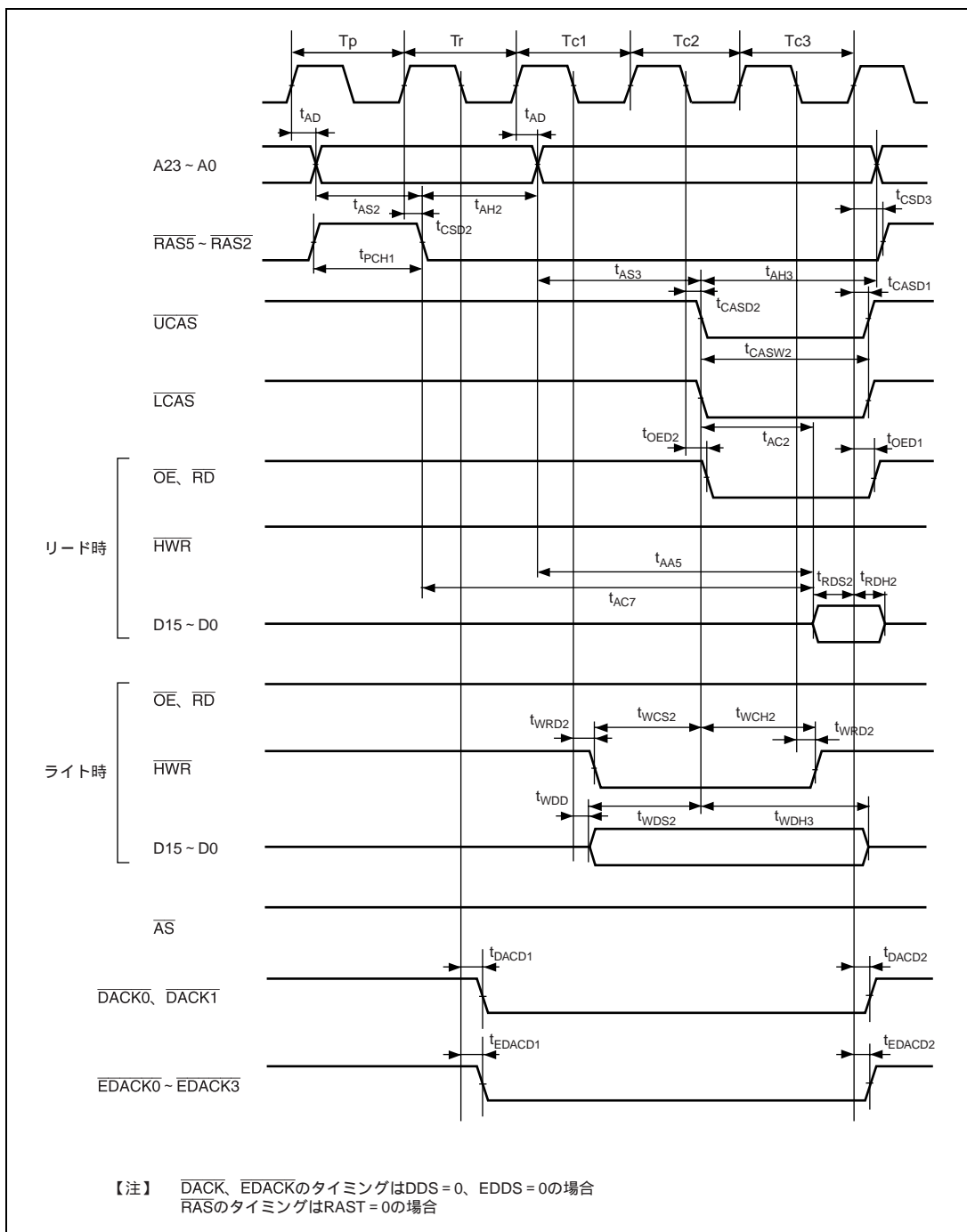


図 24.17 DRAM アクセスタイミング/3 ステートアクセス ( RAS = 1 のとき )

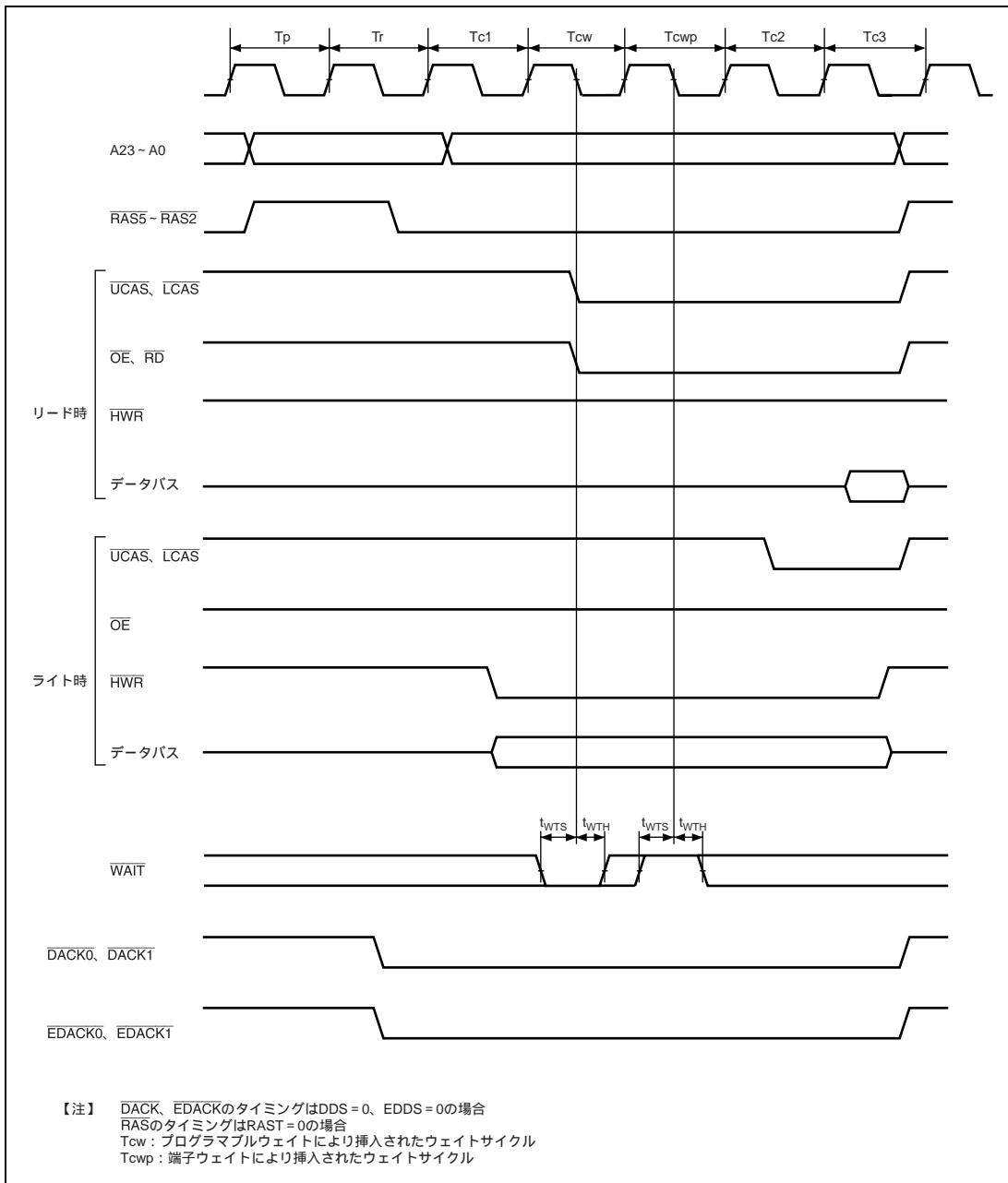


図 24.18 DRAM アクセスタイミング/3 ステートアクセス 1 ウェイト

## 24. 電気的特性

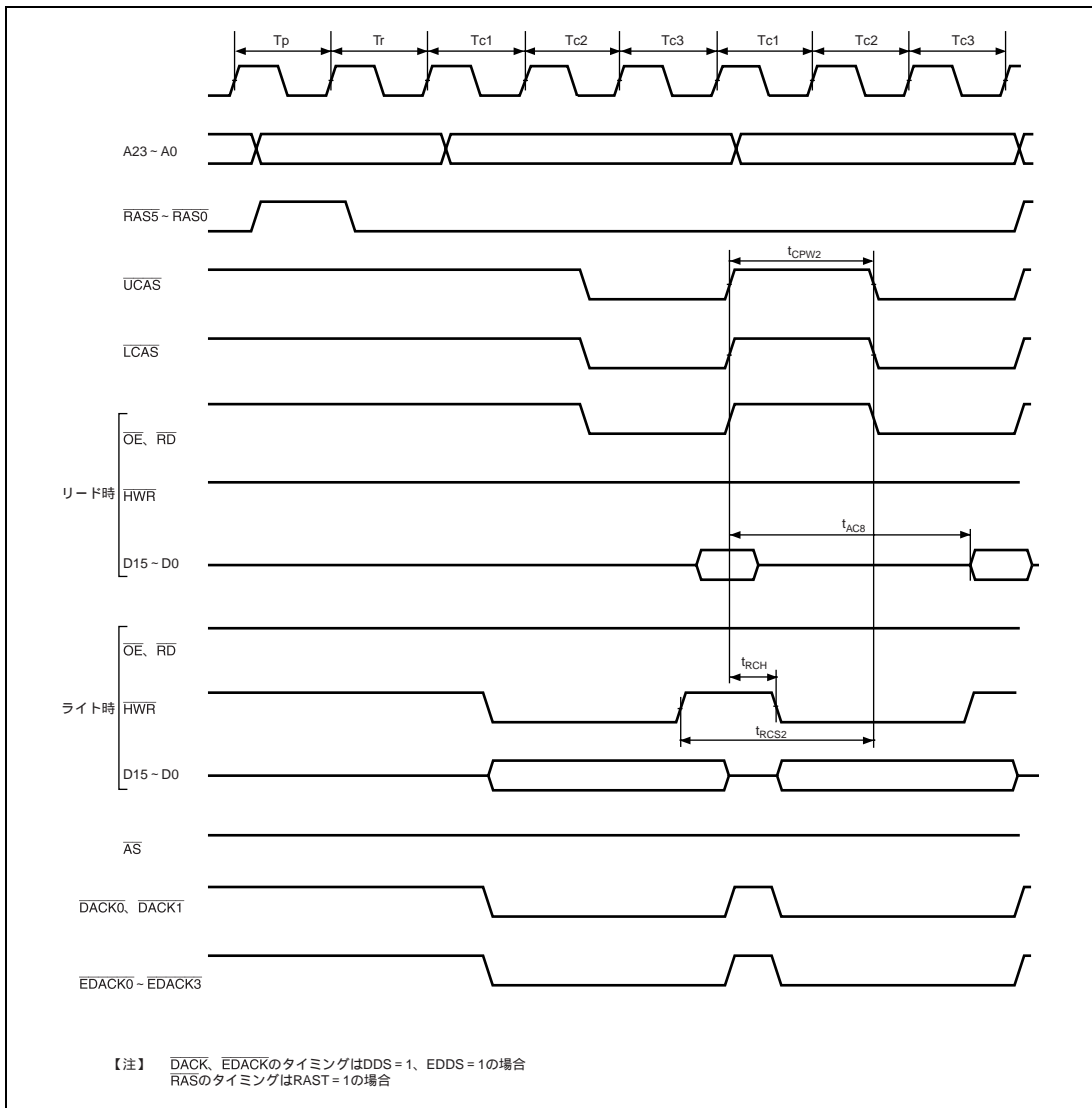


図 24.19 DRAM アクセスタイミング/3 ステートバーストアクセス

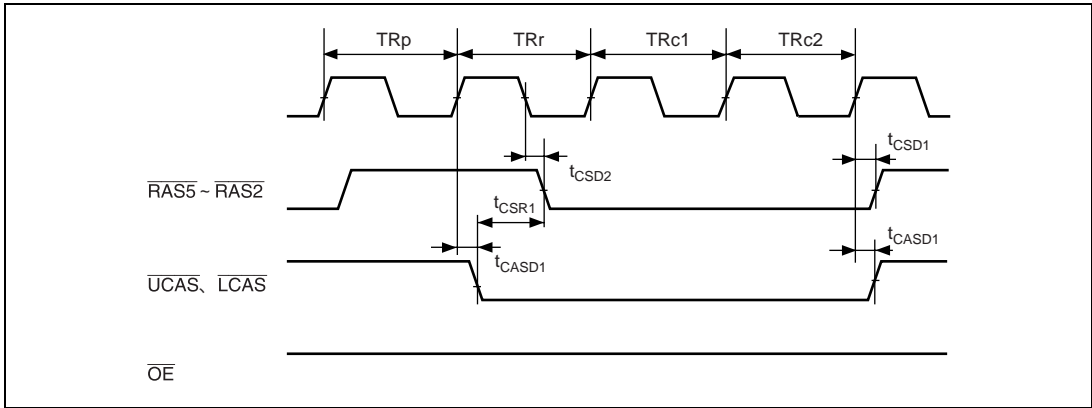


図 24.20 CAS ビフォア RAS リフレッシュタイミング

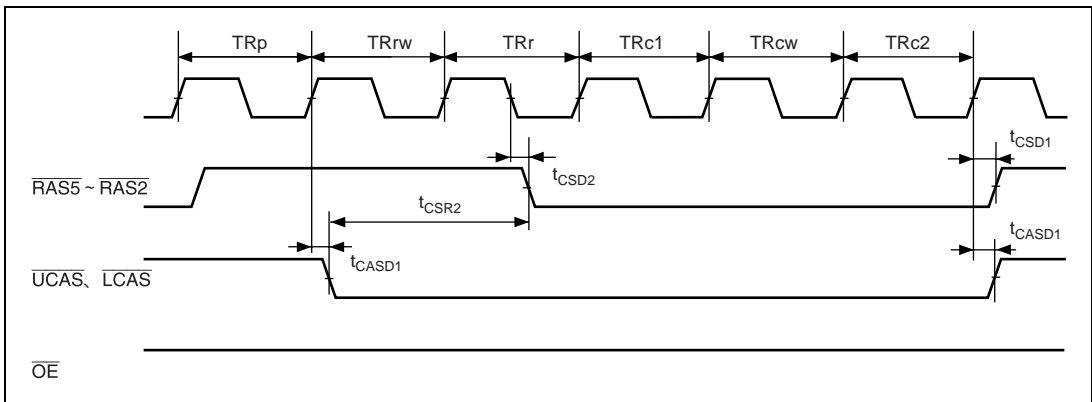


図 24.21 CAS ビフォア RAS リフレッシュタイミング (ウェイトサイクル挿入)

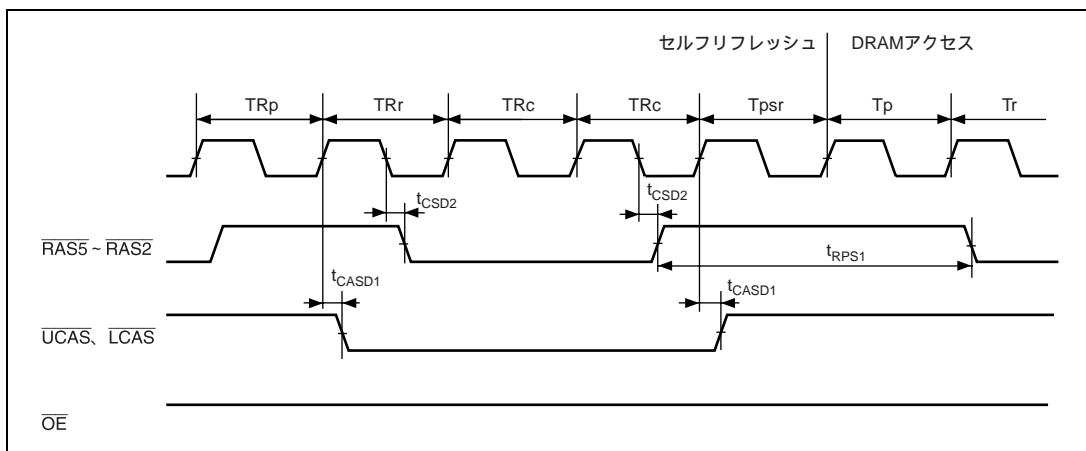


図 24.22 セルフリフレッシュタイミング  
(ソフトウェアスタンバイからの復帰時: RAST = 0 のとき)

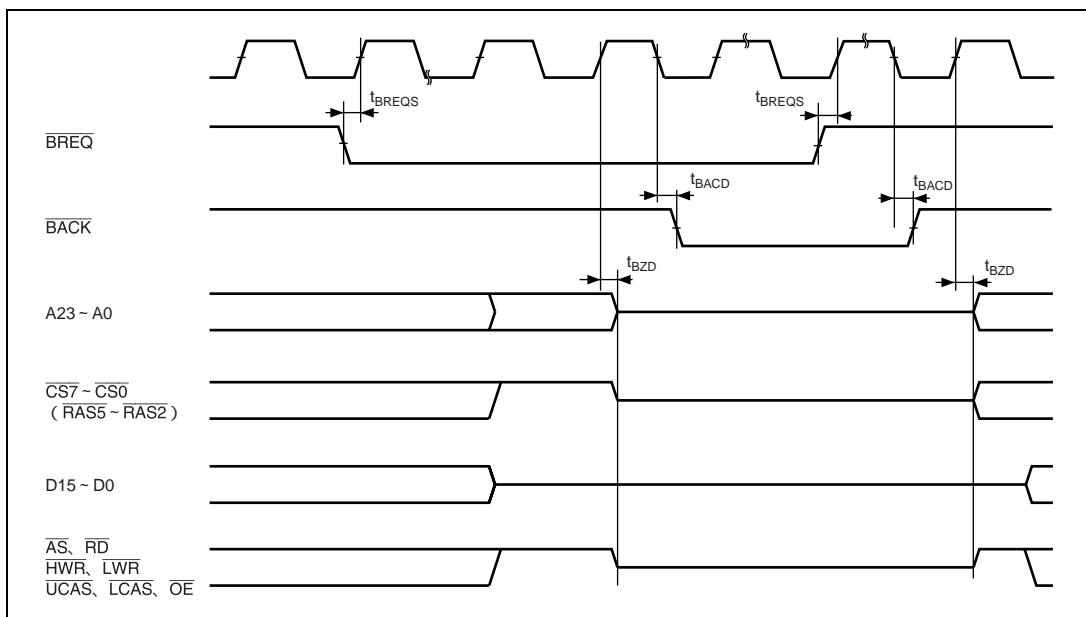


図 24.23 セルフリフレッシュタイミング  
(ソフトウェアスタンバイからの復帰時: RAST = 1 のとき)

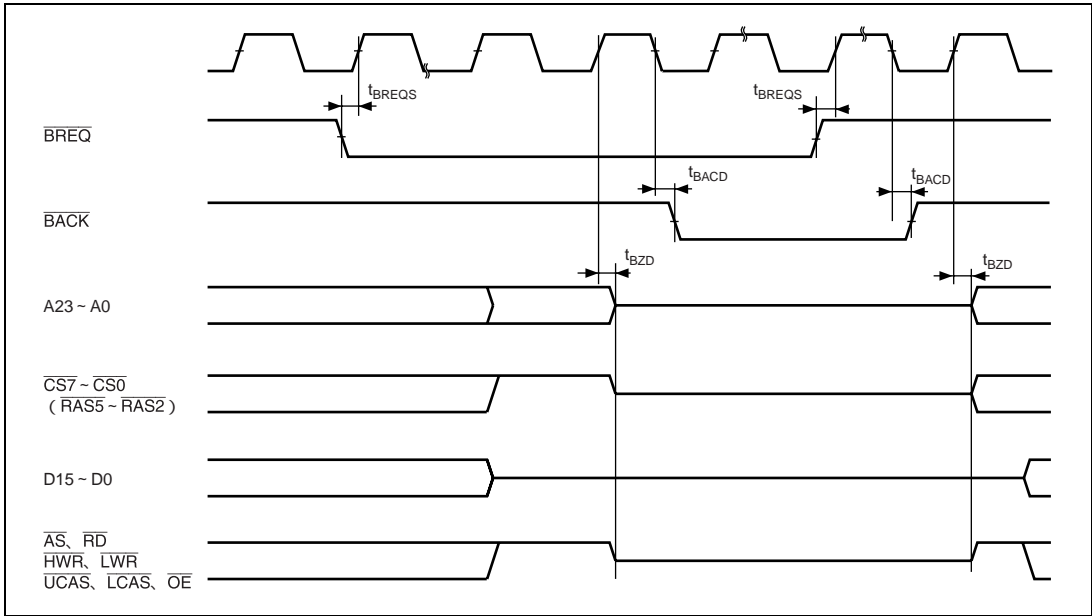


図 24.24 外部バス権開放タイミング

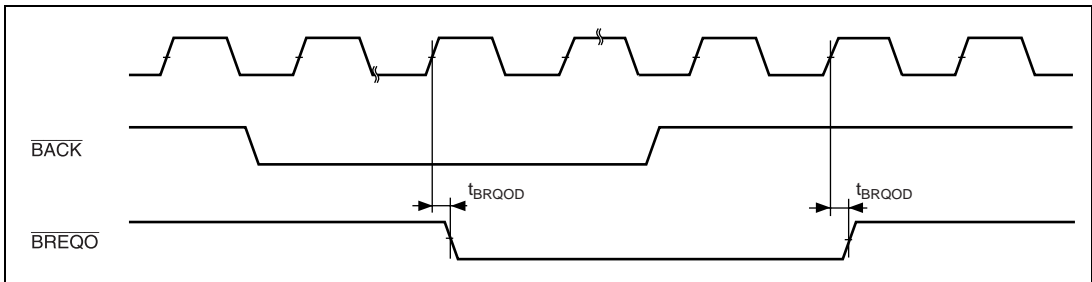


図 24.25 外部バス権要求出力タイミング

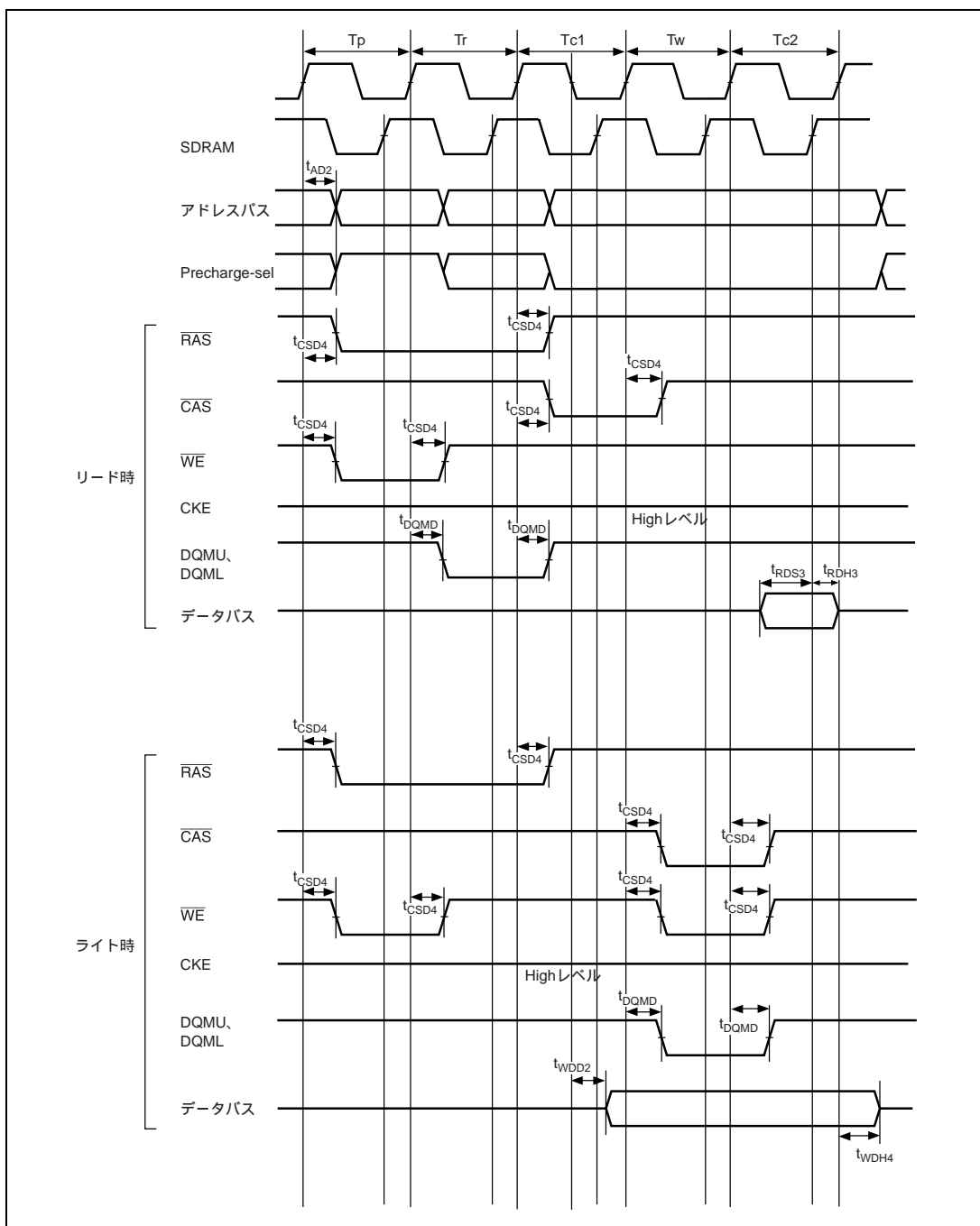


図 24.26 シンクロナス DRAM 基本アクセスタイミング (CAS レイテンシ 2 の場合)

【注】 H8S/2678 グループでは、サポートしていません。



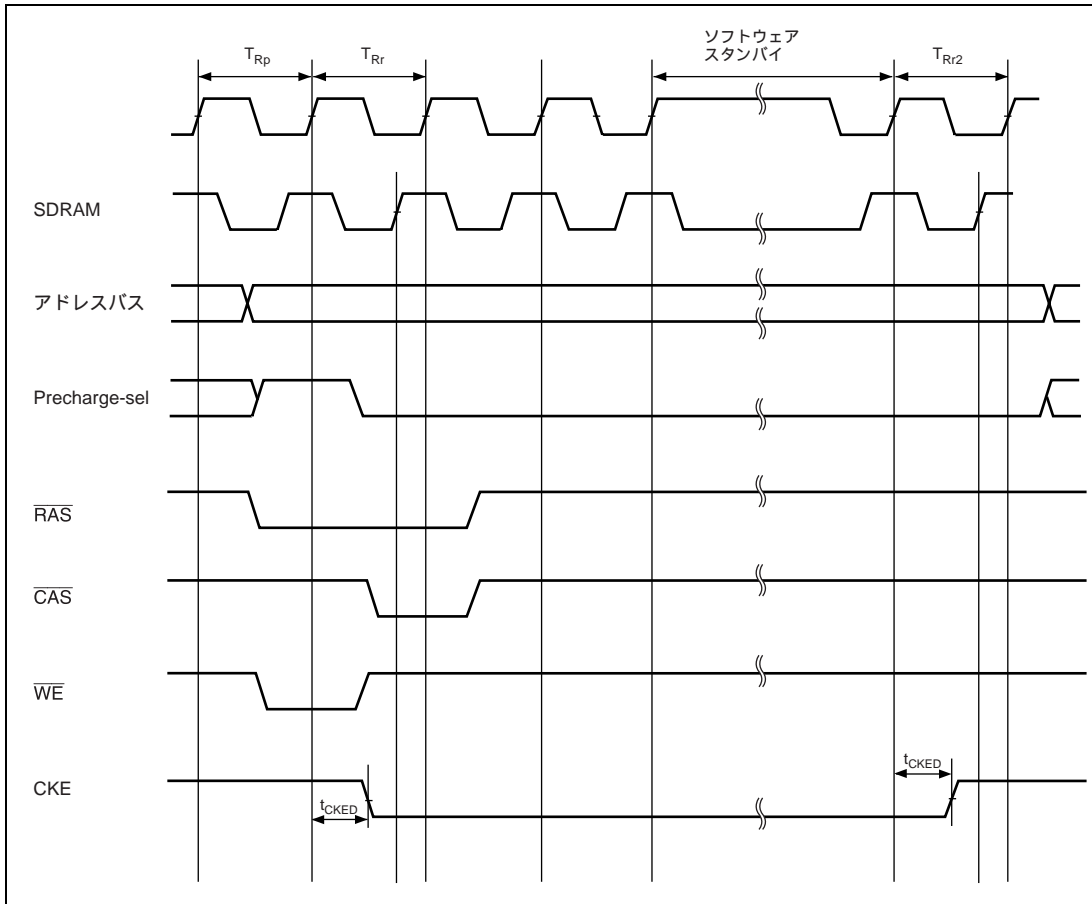


図 24.27 シンクロナス DRAM セルフリフレッシュタイミング

【注】 H8S/2678 グループでは、サポートしていません。

24. 電気的特性

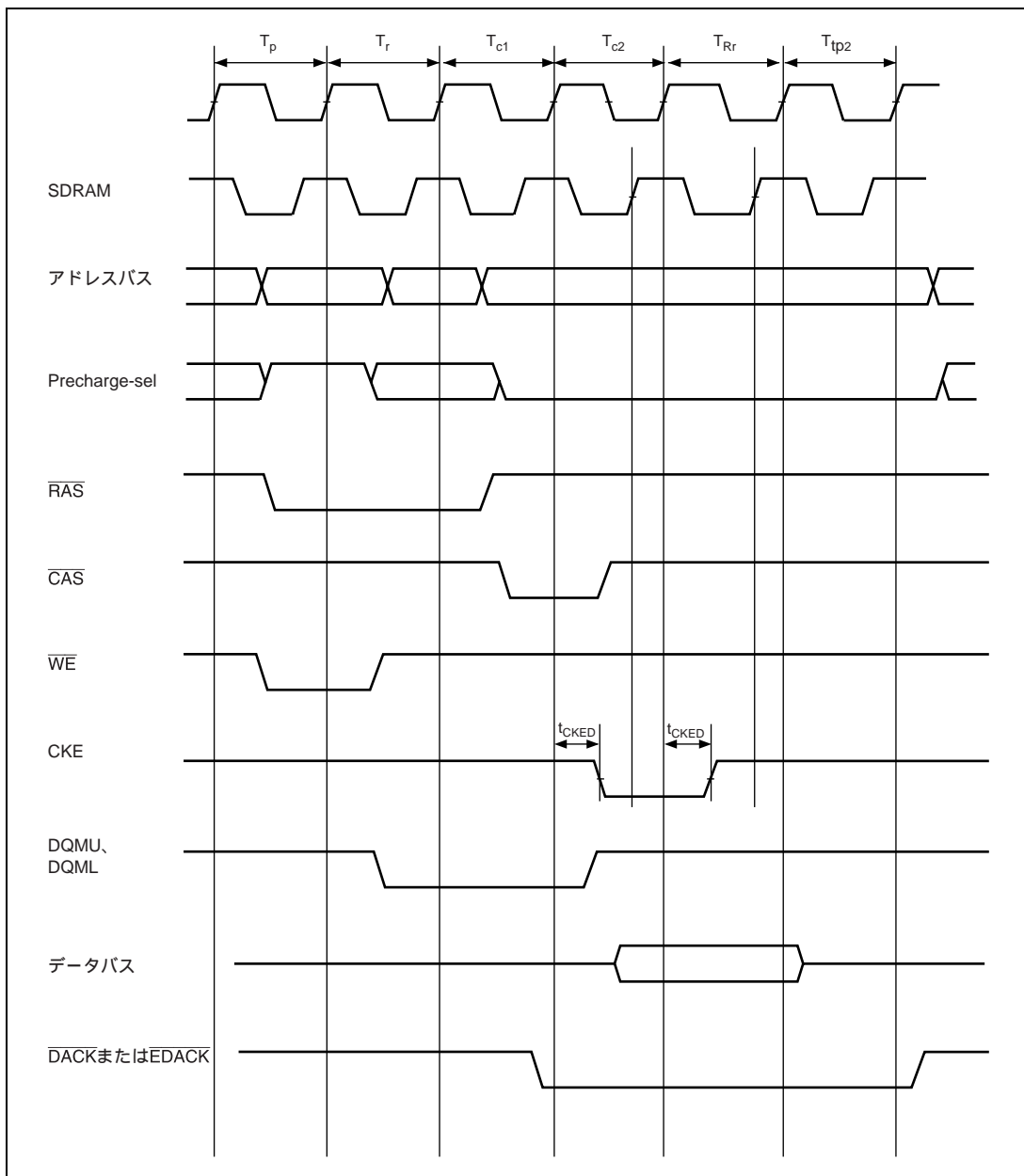


図 24.28 リードデータを 2 ステート拡張した場合 (CAS レイテンシ 2 の場合)

【注】 H8S/2678 グループでは、サポートしていません。

## (4) DMAC、EXDMAC タイミング

表 24.9 DMAC タイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$  $= 8 \sim 33MHz$ 、 $T_a = 20 \sim +75$  (通常仕様品) $T_a = 40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	$t_{DRQS}$	25	-	ns	図 24.32
DREQ ホールド時間	$t_{DRQH}$	10	-		
TEND 遅延時間	$t_{TED}$	-	18	ns	図 24.31
DACK 遅延時間 1	$t_{DACD1}$	-	18		
DACK 遅延時間 2	$t_{DACD2}$	-	18		
EDREQ セットアップ時間	$t_{EDRQS}$	25	-	ns	図 24.32
EDREQ ホールド時間	$t_{EDRQH}$	10	-		
ETEND 遅延時間	$t_{ETED}$	-	18	ns	図 24.31
EDACK 遅延時間 1	$t_{EDACD1}$	-	18		
EDACK 遅延時間 2	$t_{EDACD2}$	-	18		
EDRAK 遅延時間	$t_{EDRKD}$	-	18	ns	図 24.33

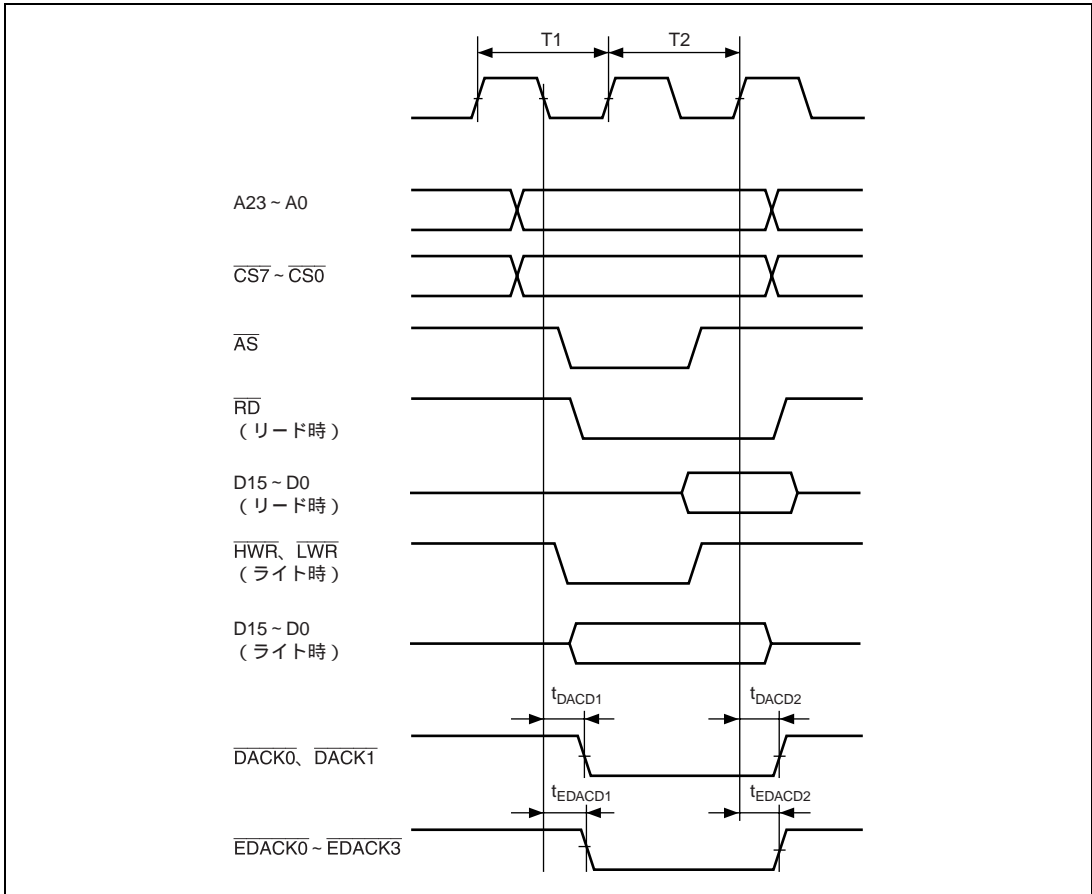


図 24.29 DMAC および EXDMAC、シングルアドレス転送タイミング/2 ステートアクセス

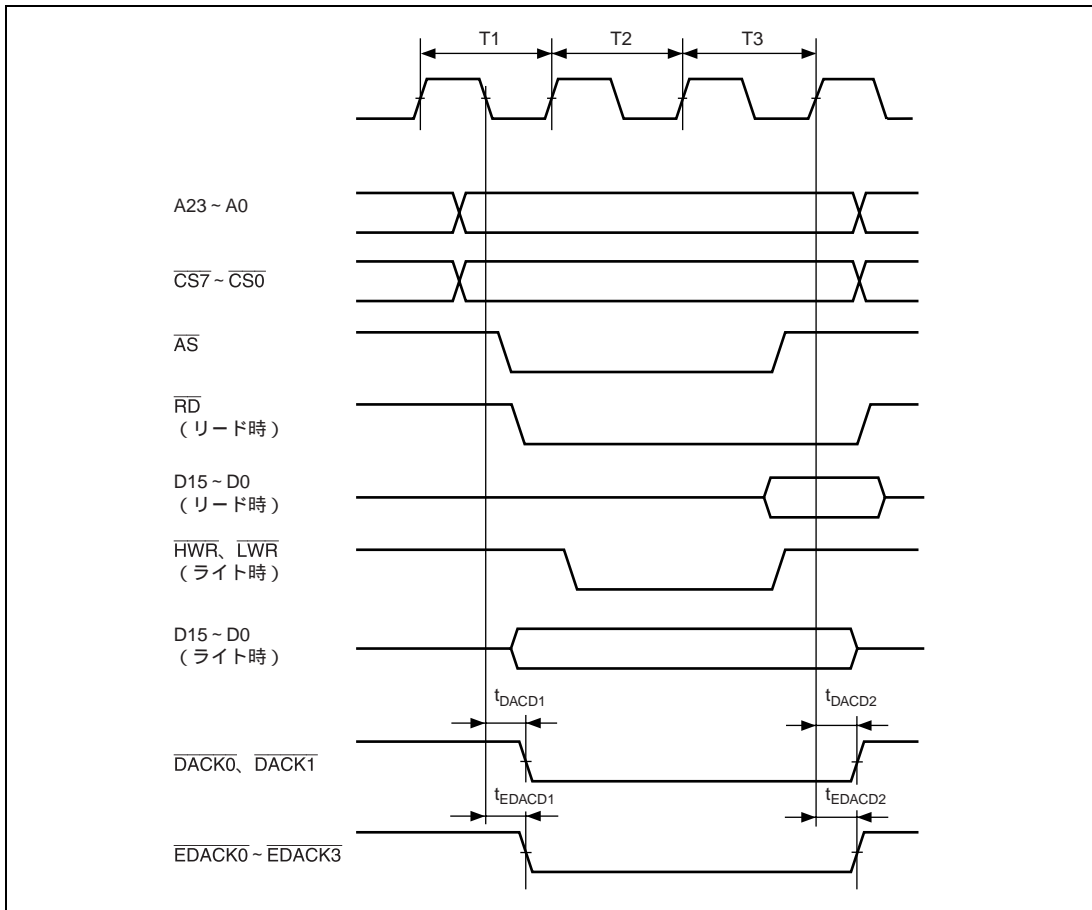


図 24.30 DMAC および EXDMAC、シングルアドレス転送タイミング/3 ステートアクセス

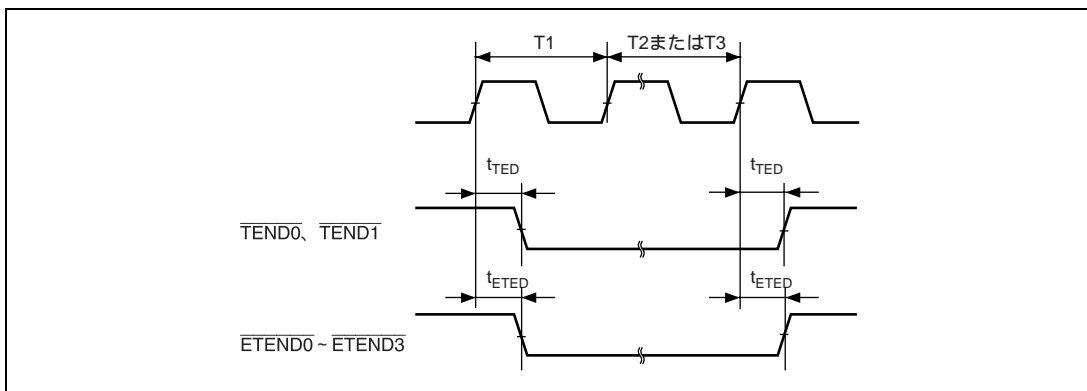


図 24.31 DMAC および EXDMAC、 $\overline{TEND}$ 、 $\overline{ETEND}$  出力タイミング

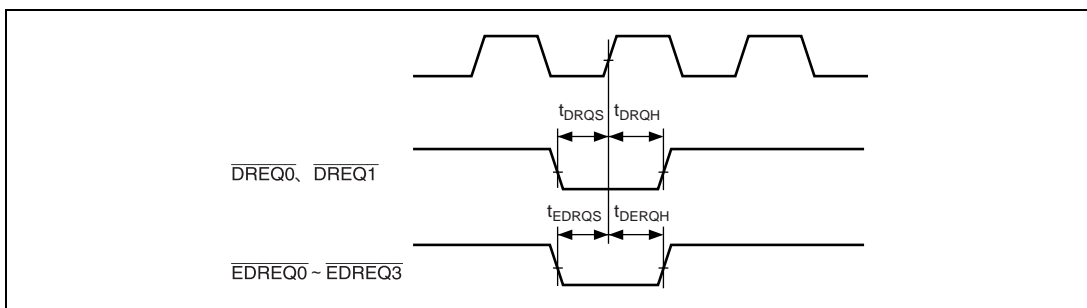


図 24.32 DMAC および EXDMAC、 $\overline{DREQ}$ 、 $\overline{EDREQ}$  入力タイミング

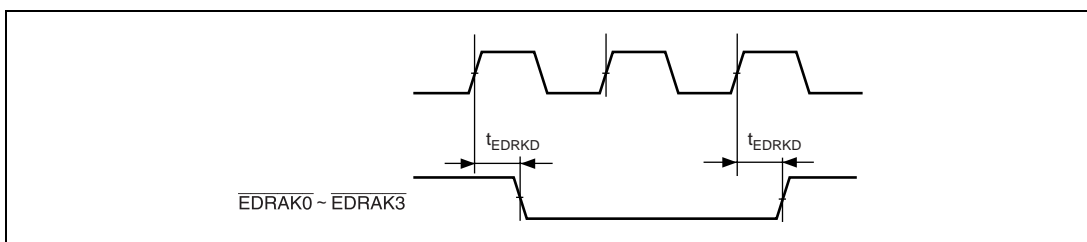


図 24.33 EXDMAC、 $\overline{EDRAK}$  出力タイミング

## (5) 内蔵周辺モジュール

表 24.10 内蔵周辺モジュールタイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = 20 \sim +75$  (通常仕様品) $T_a = 40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件
I/O ポート	出力データ遅延時間	$t_{FWD}$	-	40	ns	図 24.34
	入力データセットアップ時間	$t_{FRS}$	25	-	ns	
	入力データホールド時間	$t_{PRH}$	25	-	ns	
PPG	パルス出力遅延時間	$t_{FOD}$	-	40	ns	図 24.35
TPU	タイマ出力遅延時間	$t_{TOD}$	-	40	ns	図 24.36
	タイマ入力セットアップ時間	$t_{TICS}$	25	-	ns	
	タイマクロック入力セットアップ時間	$t_{TCKS}$	25	-	ns	図 24.37
	タイマクロックパルス幅	単エッジ指定 $t_{TCKWH}$	1.5	-	$t_{cyc}$	
	両エッジ指定 $t_{TCKWL}$	2.5	-	$t_{cyc}$		
8ビット タイマ	タイマ出力遅延時間	$t_{TOD}$	-	40	ns	図 24.38
	タイマリセット入力セットアップ時間	$t_{TMRS}$	25	-	ns	図 24.40
	タイマクロック入力セットアップ時間	$t_{TMCS}$	25	-	ns	図 24.39
	タイマクロックパルス幅	単エッジ指定 $t_{TMCWH}$	1.5	-	$t_{cyc}$	
	両エッジ指定 $t_{TMCWL}$	2.5	-	$t_{cyc}$		
WDT	オーバフロー出力遅延時間	$t_{WOVD}$	-	40	ns	図 24.41
SCI	入力クロックサイクル	調歩同期 $t_{Scyc}$	4	-	$t_{cyc}$	図 24.42
		クロック同期	6	-		
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	入力クロック立ち上がり時間	$t_{SCKr}$	-	1.5	$t_{cyc}$	
	入力クロック立ち下がり時間	$t_{SCKf}$	-	1.5		
	送信データ遅延時間	$t_{TXD}$	-	40	ns	図 24.43
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	40	-	ns	
受信データホールド時間 (クロック同期)	$t_{RXH}$	40	-	ns		
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	30	-	ns	図 24.44

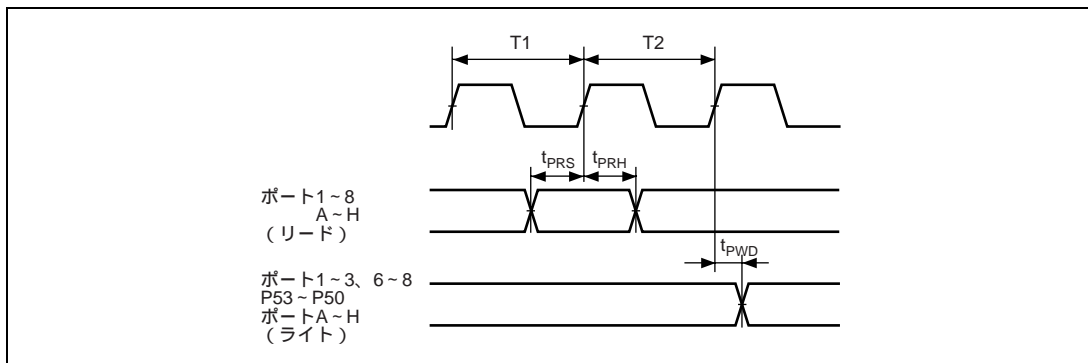


図 24.34 I/O ポート入出力タイミング

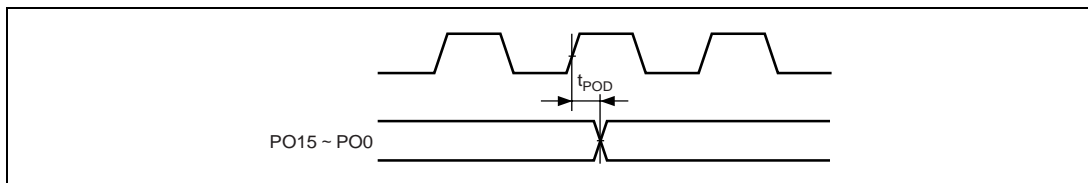


図 24.35 PPG 出力タイミング

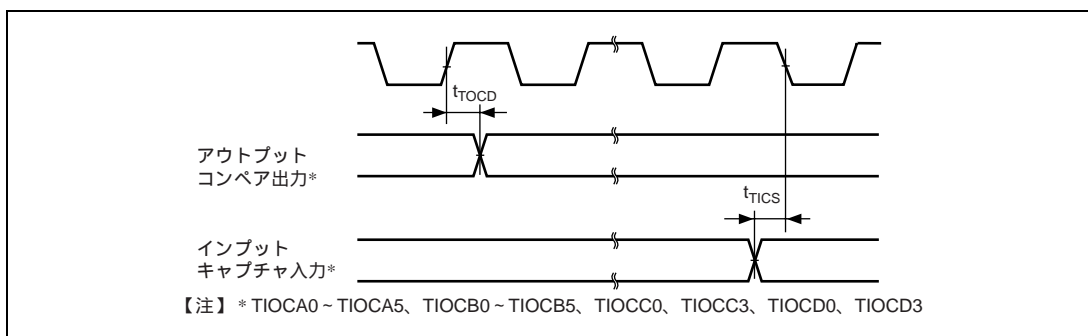


図 24.36 TPU 入出力タイミング

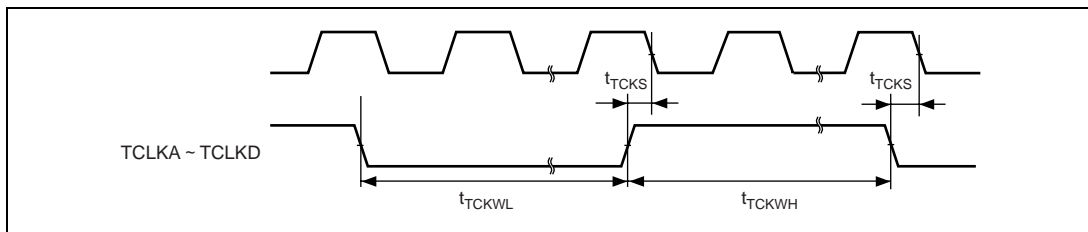


図 24.37 TPU クロック入力タイミング



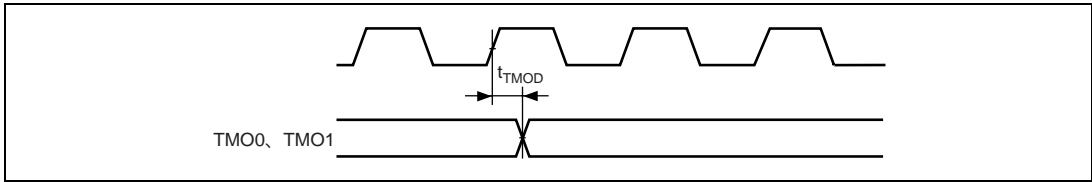


図 24.38 8ビットタイマ出力タイミング

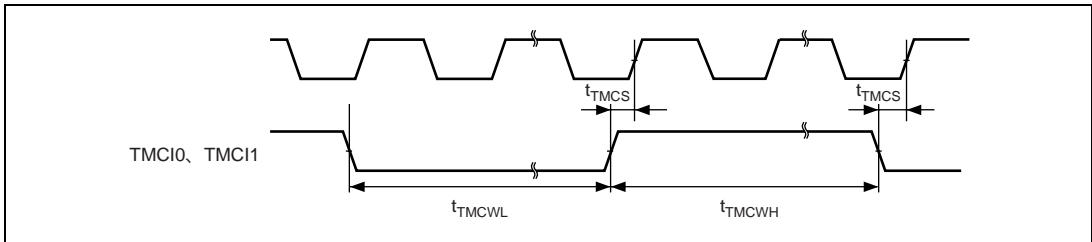


図 24.39 8ビットタイマクロック入力タイミング

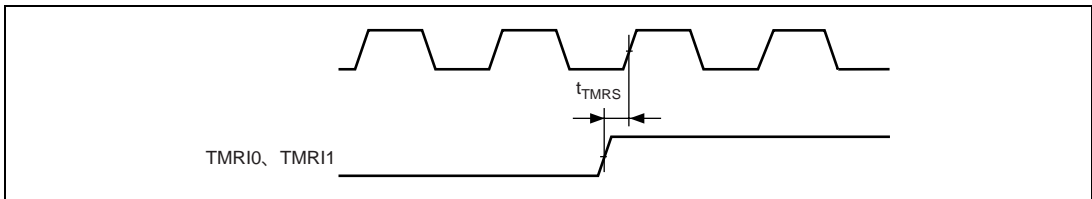


図 24.40 8ビットタイマリセット入力タイミング

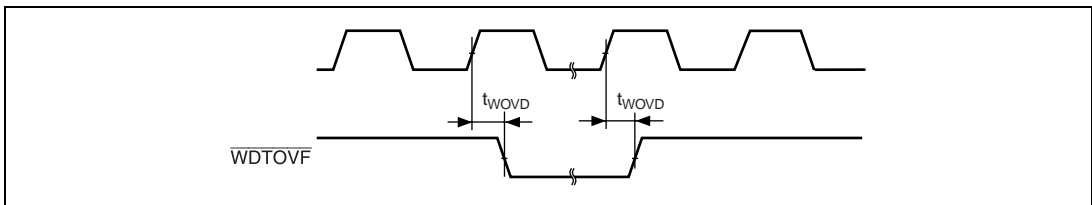


図 24.41 WDT 出力タイミング

24. 電気的特性

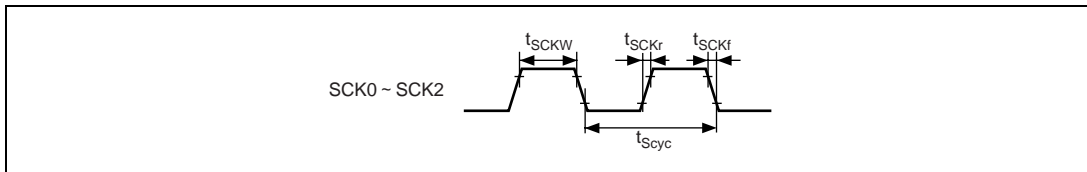


図 24.42 SCK クロック入力タイミング

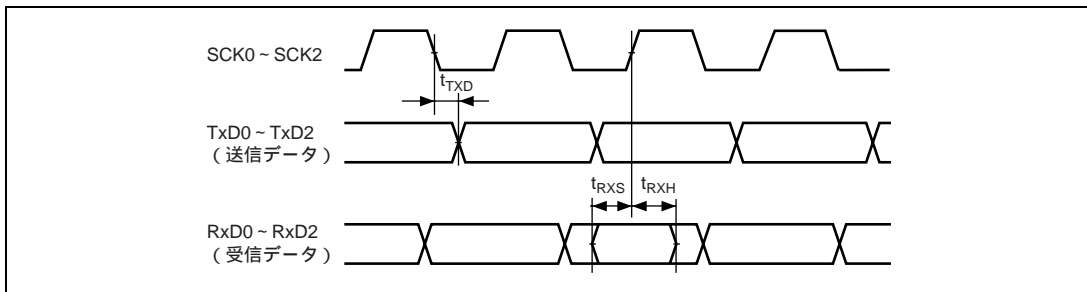


図 24.43 SCI 入出力タイミング/クロック同期式モード

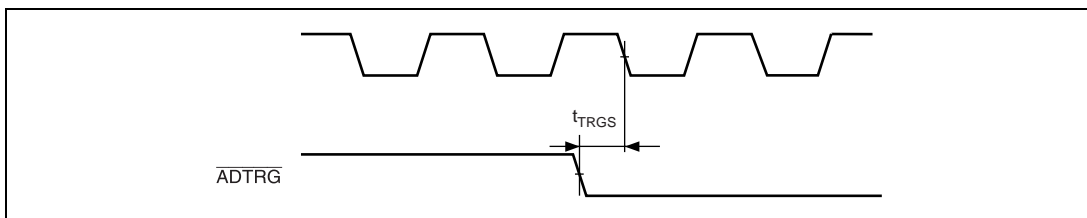


図 24.44 A/D 変換器外部トリガ入力タイミング

## 24.4 A/D 変換特性

表 24.11 A/D 変換特性

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 33MHz、 $T_a = 20 \sim +75$  (通常仕様品)

$T_a = 40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	-	-	8.1	$\mu s$
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	K
非直線性誤差	-	-	$\pm 7.5$	LSB
オフセット誤差	-	-	$\pm 7.5$	LSB
フルスケール誤差	-	-	$\pm 7.5$	LSB
量子化誤差	-	$\pm 0.5$	-	LSB
絶対精度	-	-	$\pm 8.0$	LSB

## 24.5 D/A 変換特性

表 24.12 D/A 変換特性

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 33MHz、 $T_a = 20 \sim +75$  (通常仕様品)

$T_a = 40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	-	-	10	$\mu s$	負荷容量 20pF
絶対精度	-	$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M
	-	-	$\pm 2.0$	LSB	負荷抵抗 4M

## 24.6 フラッシュメモリ特性

表 24.13 フラッシュメモリ特性

条件 : Vcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、Vref = 3.0V ~ AVcc、Vss = AVss = 0V

Ta = 0 ~ 75 (書き込み / 消去時の動作温度範囲 : 通常仕様品)

Ta = 0 ~ 85 (書き込み / 消去時の動作温度範囲 : 広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件		
書き込み時間 <sup>*1*</sup> <sup>*2*</sup> <sup>*4</sup>	t <sub>w</sub>	-	10	200	ms/128 バイト			
消去時間 <sup>*1*</sup> <sup>*3*</sup> <sup>*6</sup>	t <sub>e</sub>	-	50	1000	ms/128 バイト			
書き換え回数	N <sub>WEC</sub>	-	-	100	回			
書き込み時	SWE ビットセット後のウェイト時間 <sup>*1</sup>	x	1	-	-	μs		
	PSU ビットセット後のウェイト時間 <sup>*1</sup>	y	50	-	-	μs		
	P ビットセット後のウェイト時間 <sup>*1*</sup> <sup>*4</sup>	z	z1	-	-	30	μs	1 n 6
			z2	-	-	200	μs	7 n 1000
			z3			10	μs	追加書き込み ウェイト
	P ビットクリア後のウェイト時間 <sup>*1</sup>		5	-	-	μs		
	PSU ビットクリア後のウェイト時間 <sup>*1</sup>		5	-	-	μs		
	PV ビットセット後のウェイト時間 <sup>*1</sup>		4	-	-	μs		
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>		2	-	-	μs		
	PV ビットクリア後のウェイト時間 <sup>*1</sup>		2	-	-	μs		
SWE ビットクリア後のウェイト時間 <sup>*1</sup>		100	-	-	μs			
最大書き込み回数 <sup>*1*</sup> <sup>*4</sup>	N	-	-	1000 <sup>*5</sup>	回			
消去時	SWE ビットセット後のウェイト時間 <sup>*1</sup>	x	1	-	-	μs		
	ESU ビットセット後のウェイト時間 <sup>*1</sup>	y	100	-	-	μs		
	E ビットセット後のウェイト時間 <sup>*1*</sup> <sup>*6</sup>	z	-	-	10	μs	消去時間 ウェイト	
	E ビットクリア後のウェイト時間 <sup>*1</sup>		10	-	-	μs		
	ESU ビットクリア後のウェイト時間 <sup>*1</sup>		10	-	-	μs		
	EV ビットセット後のウェイト時間 <sup>*1</sup>		20	-	-	μs		
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>		2	-	-	μs		
	EV ビットクリア後のウェイト時間 <sup>*1</sup>		4	-	-	μs		
	SWE ビットクリア後のウェイト時間 <sup>*1</sup>		100	-	-	μs		
最大消去回数 <sup>*1*</sup> <sup>*6</sup>	N	-	-	100	回			

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

\*2 128 バイトあたりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)

\*3 1 ブロックを消去する時間 (FLMCR1 の E ビットをセットしている期間を示します。消去ベリファイ時間は含まれません。)

- \*4 書き込み時間の最大値

$$t_p(\max) = \sum_{i=1}^N \text{Pビットセット後のウェイト時間}(z)$$

- \*5 最大書き込み回数 (N) は、実際の (z) の設定に合わせ、書き込み時間の最大値 ( $t_p(\max)$ ) 以下となるように設定してください。

また、P ビットセット後のウェイト時間 (z) は、下記のように書き込み回数 (n) の値によって切り替えてください。

書き込み回数 n	1	n	6	z = 30 $\mu$ s
	7	n	1000	z = 200 $\mu$ s

[追加書き込み時] 書き込み回数 n 1 n 6 z = 10  $\mu$ s

- \*6 消去時間の最大値 ( $t_e(\max)$ ) に対して、E ビットセット後のウェイト時間 (z) と最大消去回数 (N) は以下の関係にあります。

$$t_e(\max) = E \text{ ビットセット後にウェイト時間}(z) \times \text{最大消去回数}(N)$$

## 24.7 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用するシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。



# 付録

## A. 各処理状態におけるポートの状態

ポート名 端子名	MCU 動作 モード*1	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	1~7	T	T	keep	keep	入出力ポート
ポート 2	1~7	T	T	keep	keep	入出力ポート
ポート 3	1~7	T	T	keep	keep	入出力ポート
P35/ $\overline{OE}$ / CKE	1~7	T	T	[ $\overline{OE}$ (CKE)*2出力時、 OPE = 0 ] T [ $\overline{OE}$ (CKE)*2出力時、 OPE = 1 ] H [ CKE*2出力時、 OPE = 1 ] L [ 上記以外 ] keep	[ $\overline{OE}$ (CKE)*2 出力時 ] T [ 上記以外 ] keep	[ $\overline{OE}$ (CKE)*2出力時 ] $\overline{OE}$ CKE*2 [ 上記以外 ] 入出力ポート
P47/DA1	1~7	T	T	[ DAOE1 = 1 ] keep [ DAOE1 = 0 ] T	keep	入力ポート
P46/DA0	1~7	T	T	[ DAOE0 = 1 ] keep [ DAOE0 = 0 ] T	keep	入力ポート
P45 ~ P40	1~7	T	T	T	T	入力ポート
P57/DA3	1~7	T	T	[ DAOE3 = 1 ] keep [ DAOE3 = 0 ] T	keep	入力ポート
P56/DA2	1~7	T	T	[ DAOE2 = 1 ] keep [ DAOE2 = 0 ] T	keep	入力ポート

付録

ポート名 端子名	MCU 動作 モード*1	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
P55、P54	1~7	T	T	T	T	入力ポート
P53~P50	1~7	T	T	keep	keep	入出力ポート
ポート 6	1~7	T	T	keep	keep	入出力ポート
ポート 7	1~7	T	T	keep	keep	入出力ポート
ポート 8	1~7	T	T	keep	keep	入出力ポート
PA7/A23 PA6/A22 PA5/A21	1~7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A23 ~ A21 [ 上記以外 ] 入出力ポート
PA4/A20 PA3/A19 PA2/A18 PA1/A17	1、2、5、6	L	T	[ OPE = 0 ] T [ OPE = 1 ] keep	T	アドレス出力 A20 ~ A16
PA0/A16	3、4、7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A20 ~ A16 [ 上記以外 ] 入出力ポート
ポート B	1、2、5、6	L	T	[ OPE = 0 ] T [ OPE = 1 ] keep	T	アドレス出力 A15 ~ A8
	3、4	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A15 ~ A8 [ 上記以外 ] 入出力ポート



ポート名 端子名	MCU 動作 モード*1	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート B	3、7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A15 ~ A8 [ 上記以外 ] 入出力ポート
ポート C	1、2、5、6	L	T	[ OPE = 0 ] T [ OPE = 1 ] Keep	T	アドレス出力 A7 ~ A0
	4	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A7 ~ A0 [ 上記以外 ] 入出力ポート
	3、7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A7 ~ A0 [ 上記以外 ] 入出力ポート
ポート D	1、2、4~6	T	T	T	T	D15 ~ D8
	3、7	T	T	[ データバス ] T [ 上記以外 ] keep	[ データバス ] T [ 上記以外 ] keep	[ データバス ] D15 ~ D8 [ 上記以外 ] 入出力ポート

付録

ポート名 端子名	MCU 動作 モード*1	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート E	1、 2、 4 ~ 6	8 ビット バス	T	T	Keep	Keep	入出力ポート
		16 ビット バス	T	T	T	T	D7 ~ D0
	3、 7	8 ビット バス	T	T	Keep	Keep	入出力ポート
		16 ビット バス	T	T	[ データバス ] T [ 上記以外 ] keep	[ データバス ] T [ 上記以外 ] keep	[ データバス ] D7 ~ D0 [ 上記以外 ] 入出力ポート
PF7 /	1、2、4~6	クロック 出力	T	[ クロック出力時 ] H [ 上記以外 ] keep	[ クロック出力時 ] クロック出力 [ 上記以外 ] keep	[ クロック出力時 ] クロック出力 [ 上記以外 ] 入力ポート	
	3、7	T					
PF6/ $\overline{AS}$	1、2、4~6	H	T	[ $\overline{AS}$ 出力時、 OPE = 0 ] T [ $\overline{AS}$ 出力時、OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{AS}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{AS}$ 出力時 ] $\overline{AS}$ [ 上記以外 ] 入出力ポート	
	3、7	T					
PF5/ $\overline{RD}$ PF4/ $\overline{HWR}$	1、2、4~6	H	T	[ OPE = 0 ] T [ OPE = 1 ] H	T	$\overline{RD}$ 、 $\overline{HWR}$	
	3、7	T		[ $\overline{RD}$ 、 $\overline{HWR}$ 出力時、 OPE = 0 ] T [ $\overline{RD}$ 、 $\overline{HWR}$ 出力時、 OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{RD}$ 、 $\overline{HWR}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{RD}$ 、 $\overline{HWR}$ 出力時 ] $\overline{RD}$ 、 $\overline{HWR}$ [ 上記以外 ] 入出力ポート	

ポート名 端子名	MCU 動作 モード*1	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF3/LWR	1、2、4~6	H	T	[ LWR 出力時、 OPE = 0 ] T [ $\overline{\text{LWR}}$ 出力時、 OPE = 1 ] H [ 上記以外 ] keep	[ LWR 出力時 ] T [ 上記以外 ] keep	[ LWR 出力時 ] $\overline{\text{LWR}}$ [ 上記以外 ] 入出力ポート
	3、7	T				
PF2/ $\overline{\text{LCAS}}$ / DQML*2	1~7	T	T	[ $\overline{\text{LCAS}}$ ( DQML ) 出力時、 OPE = 0 ] T [ $\overline{\text{LCAS}}$ ( $\overline{\text{DQML}}$ ) 出力時、 OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{\text{LCAS}}$ ( DQML ) 出力時 ] T [ 上記以外 ] keep	[ $\overline{\text{LCAS}}$ ( DQML ) 出力時 ] $\overline{\text{LCAS}}$ ( DQML ) [ 上記以外 ] 入出力ポート
PF1/ $\overline{\text{UCAS}}$ / (DQMU)*2	1~7	T	T	[ $\overline{\text{UCAS}}$ ( DQMU ) 出力時、 OPE = 0 ] T [ $\overline{\text{UCAS}}$ ( $\overline{\text{DQMU}}$ ) 出力時、 OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{\text{UCAS}}$ ( DQMU ) 出力時 ] T [ 上記以外 ] keep	[ $\overline{\text{UCAS}}$ ( DQMU ) 出力時 ] $\overline{\text{UCAS}}$ [ 上記以外 ] 入出力ポート
PF0/WAIT	1~7	T	T	[ WAIT 入力時 ] T [ 上記以外 ] keep	[ WAIT 入力時 ] T [ 上記以外 ] keep	[ WAIT 入力時 ] WAIT [ 上記以外 ] 入出力ポート
PG6/ BREQ	1~7	T	T	[ BREQ 入力時 ] T [ 上記以外 ] keep	[ BREQ 入力時 ] BREQ	[ BREQ 入力時 ] BREQ [ 上記以外 ] 入出力ポート
PG5/ BACK	1~7	T	T	[ BACK 出力時 ] T [ 上記以外 ] keep	BACK	[ BACK 出力時 ] BACK [ 上記以外 ] 入出力ポート

付録

ポート名 端子名	MCU 動作 モード*1	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG4/ $\overline{\text{BREQO}}$	1~7	T	T	[ $\overline{\text{BREQO}}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{\text{BREQO}}$ 出力時 ] $\overline{\text{BREQO}}$ [ 上記以外 ] keep	[ $\overline{\text{BREQO}}$ 出力時 ] $\overline{\text{BREQO}}$ [ 上記以外 ] 入出力ポート
PG3/ $\overline{\text{CS3}}$ PG2/ $\overline{\text{CS2}}$ PG1/ $\overline{\text{CS1}}$	1~7	T	T	[ $\overline{\text{CS}}$ 出力時、OPE = 0 ] T [ $\overline{\text{CS}}$ 出力時、OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{\text{CS}}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{\text{CS}}$ 出力時 ] $\overline{\text{CS}}$ [ 上記以外 ] 入出力ポート
PG0/ $\overline{\text{CS0}}$	1、2、5、6	H	T	[ $\overline{\text{CS}}$ 出力時、OPE = 0 ] T	[ $\overline{\text{CS}}$ 出力時 ] T	[ $\overline{\text{CS}}$ 出力時 ] $\overline{\text{CS}}$
	3、4、7	T		[ $\overline{\text{CS}}$ 出力時、OPE = 1 ] H [ 上記以外 ] keep	[ 上記以外 ] keep	[ 上記以外 ] 入出力ポート
PH3/ $\overline{\text{OE}}$ / CKE/ $\overline{\text{CS7}}$	1~7	T	T	[ $\overline{\text{OE}}$ 出力時、OPE = 0 ] T [ $\overline{\text{OE}}$ 出力時、OPE = 1 ] H [ $\overline{\text{CS}}$ 出力時、OPE = 0 ] T [ $\overline{\text{CS}}$ 出力時、OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{\text{OE}}$ 出力時 ] T [ $\overline{\text{CS}}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{\text{OE}}$ 出力時 ] $\overline{\text{OE}}$ [ $\overline{\text{CS}}$ 出力時 ] $\overline{\text{CS}}$ [ 上記以外 ] 入出力ポート
PH2/ $\overline{\text{CS6}}$	1~7	T	T	[ $\overline{\text{CS}}$ 出力時、OPE = 0 ] T [ $\overline{\text{CS}}$ 出力時、OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{\text{CS}}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{\text{CS}}$ 出力時 ] $\overline{\text{CS}}$ [ 上記以外 ] 入出力ポート

ポート名 端子名	MCU 動作 モード* <sup>1</sup>	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PH1/CS5/ SDRAM * <sup>2</sup>	1~7	[ DCTL = 1 ] クロック出力 [ DCTL = 0 ] T	[ DCTL = 1 ] L [ DCTL = 0 ] T	[ DCTL = 1 ] L [ DCTL = 0、 $\overline{CS}$ 出力時、OPE = 0 ] T [ DCTL = 0、 $\overline{CS}$ 出力時、OPE = 1 ] H [ 上記以外 ] keep	[ DCTL = 1 ] クロック出力 [ DCTL = 0、 $\overline{CS}$ 出力時 ] T [ 上記以外 ] keep	[ DCTL = 1 ] クロック出力 [ DCTL = 0、 $\overline{CS}$ 出力時 ] $\overline{CS}$ [ 上記以外 ] keep
PH0/CS4	1~7	T	T	[ $\overline{CS}$ 出力時、 OPE = 0 ] T [ $\overline{CS}$ 出力時、 OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{CS}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{CS}$ 出力時 ] $\overline{CS}$ [ 上記以外 ] 入出力ポート

## 【記号説明】

L	: Low レベル	H	: High レベル
keep	: 入力ポートはハイインピーダンス、 出力ポートは保持	T	: ハイインピーダンス
OPE	: 出力ポートイネーブル	DDR	: データディレクションレジスタ

【注】 \*1 モード 3 は H8S/2678 グループはサポートしていません。

\*2 H8S/2678 グループにはありません。

## B. 型名一覧

製品分類	製品型名	マーク型名	パッケージ (コード)	
H8S/2676	フラッシュメモリ版	HD64F2676	HD64F2676	144 ピン QFP(FP-144G)
	マスク ROM 版	HD6432676	HD6432676(***)	144 ピン QFP(FP-144G)
H8S/2675	マスク ROM 版	HD6432675	HD6432675(***)	144 ピン QFP(FP-144G)
H8S/2674R	ROM レス版	HD6412674R	HD6412674R	144 ピン LQFP(FP-144H)
H8S/2673	マスク ROM 版	HD6432673	HD6432673(***)	144 ピン QFP(FP-144G)
H8S/2670	ROM レス版	HD6412670	HD6412670	144 ピン QFP(FP-144G)

## 【記号説明】

(\*\*\*)は ROM コードです。

### C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている寸法図を優先します。

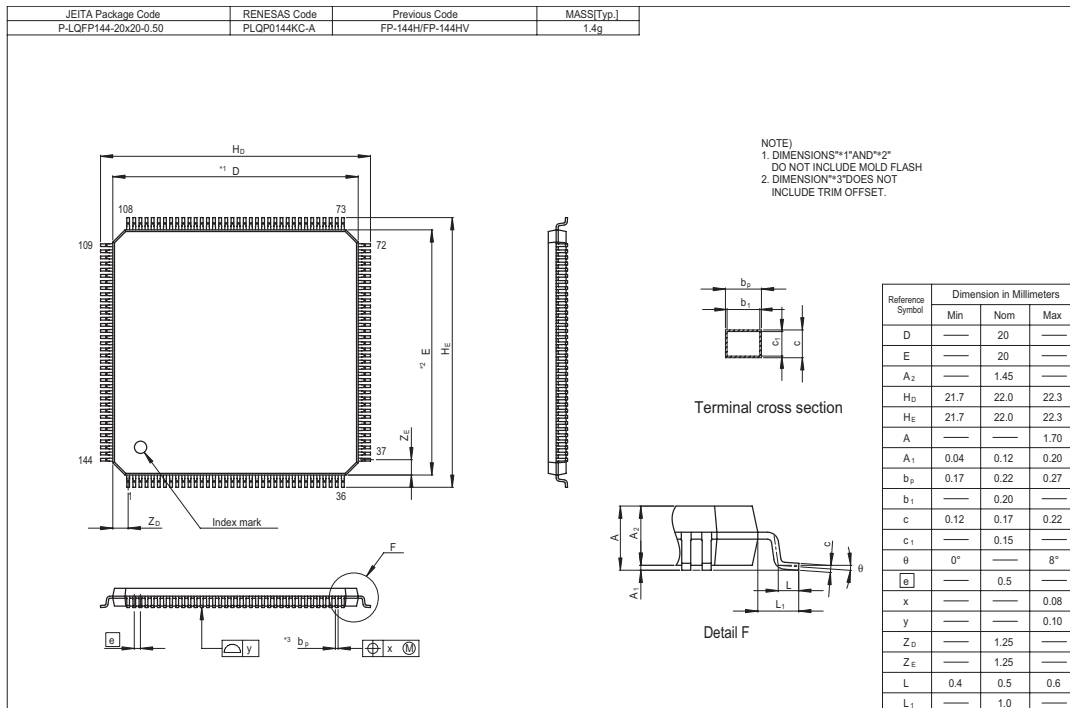


図 C.1 外形寸法図 (FP-144H)

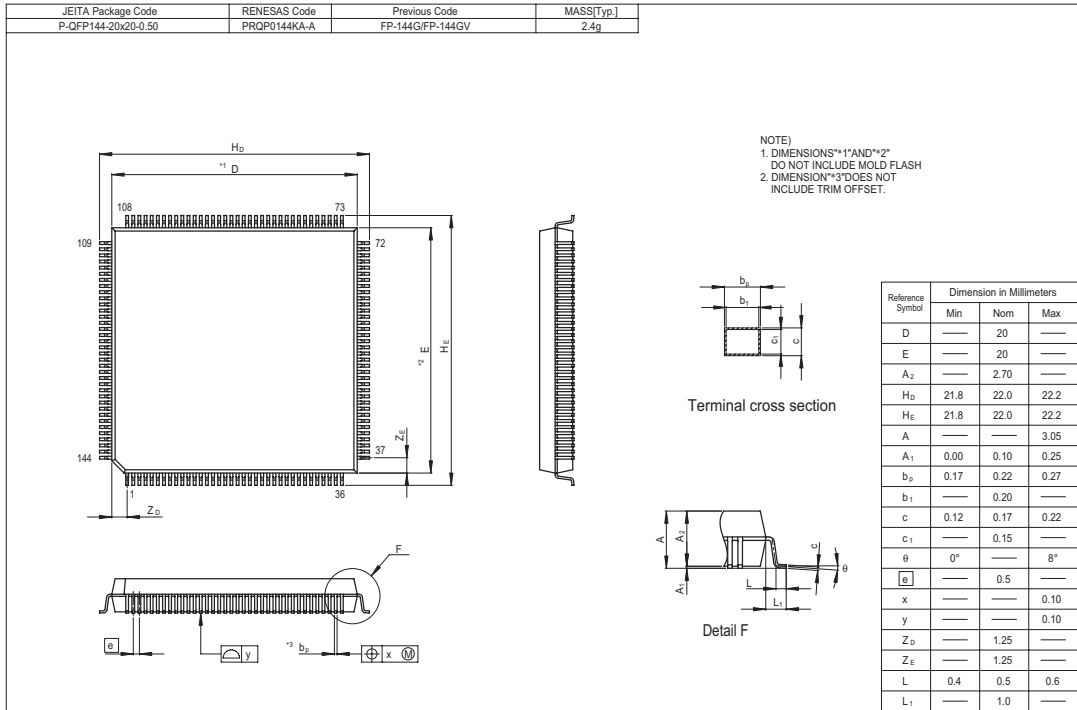


図 C.2 外形寸法図 (FP-144G)



---

# 索引

---

16 ビットタイマパルスユニット .....	11-1	DMA コントローラ (DMAC) .....	7-1
PWM モード .....	11-46	DMA コントローラ (DMAC) .....	7-1
インプットキャプチャ機能 .....	11-38	DMAC 複数チャネルの動作 .....	7-55
カスケード接続動作 .....	11-44	アイドルモード .....	7-27
コンペアマッチによる波形出力 .....	11-36	シーケンシャルモード .....	7-24
トグル出力 .....	11-36	シングルアドレスモード .....	7-32
バッファ動作 .....	11-41	ノーマルモード .....	7-35
フリーランニングカウント動作 .....	11-35	ブロック転送モード .....	7-38
位相計数モード .....	11-51	ライトデータバッファ機能 .....	7-53
周期カウント動作 .....	11-35	リピートモード .....	7-29
同期動作 .....	11-39	転送モード .....	7-23
8 ビットタイマ .....	13-1	EA 拡張部 .....	2-28
16 ビットカウントモード .....	13-13	EXDMA コントローラ	
TCNT のカウントタイミング .....	13-10	オートリクエストモード .....	8-15
カスケード接続 .....	13-13	サイクルスチールモード .....	8-16
コンペアマッチカウントモード .....	13-13	シングルアドレスモード .....	8-14
トグル出力 .....	13-16	デュアルアドレスモード .....	8-13
パルス出力 .....	13-9	ノーマル転送モード .....	8-18
A/D 変換器 .....	16-1	バーストモード .....	8-17
A/D 変換器の起動 .....	11-58	ブロック転送モード .....	8-19
シングルモード .....	16-9	外部リクエストモード .....	8-16
スキャンモード .....	16-10	EXDMA コントローラ (EXDMAC) .....	8-1
外部トリガ .....	16-12	MCU 動作モード .....	3-1
変換時間 .....	16-10	PLL 回路 .....	21-6
Bcc .....	2-17, 2-25	RAM .....	18-1
CPU 動作モード .....	2-4	TRAPA 命令 .....	2-31, 4-7
アドバンストモード .....	2-6	アドレス空間 .....	2-8
ノーマルモード .....	2-4, 2-5	アドレッシングモード .....	2-29
D/A 変換器 .....	17-1	イミディエイト .....	2-31
DMA コントローラ		ディスプレイメント付きレジスタ .....	2-29
オートリクエストによる起動 .....	7-22	プリデクリメントレジスタ間接 .....	2-30
シングルアドレスモード .....	7-50	プログラムカウンタ相対 .....	2-31
バーストモード .....	7-44	ポストインクリメントレジスタ間接 .....	2-30
ブロック転送モード .....	7-45	メモリ間接 .....	2-31
外部リクエストによる起動 .....	7-22	レジスタ間接 .....	2-29
割り込み要因 .....	7-59	レジスタ直接 .....	2-29
		絶対アドレス .....	2-30

---

インタラプトプライオリティレジスタ (IPR) .....	5-1	チップセレクト (CS) アサート期間拡張 .....	6-43
ウォッチドッグタイマ .....	14-1	データサイズとデータアライメント .....	6-31
インターバルタイマモード .....	14-6	バースト ROM インタフェース .....	6-90
ウォッチドッグタイマモード .....	14-5	バスアービトレーション .....	6-114
エクステンドレジスタ (EXR) .....	2-11	ライトデータバッファ機能 .....	6-109
オープンドレインコントロールレジスタ .....	10-1	リードストロープ (RD) タイミング .....	6-42
オペレーションフィールド .....	2-28	基本タイミング .....	6-91
クロック発振器 .....	21-1	基本バスインタフェース .....	6-31
PLL 回路 .....	21-6	基本動作タイミング .....	6-33, 6-68
コンディションコードレジスタ (CCR) .....	2-12	有効ストロープ .....	6-32
コンディションフィールド .....	2-28	バスコントローラ	
シリアルコミュニケーションインタフェース .....	15-1	バス権解放 .....	6-110
オーバランエラー .....	15-31	フラッシュメモリ .....	19-1
クロック同期式モードの動作 .....	15-39	イレース/イレースベリファイ .....	19-23
パリティエラー .....	15-31	エラープロテクト .....	19-25
ビットレート .....	15-14	ソフトウェアプロテクト .....	19-25
ブ레이크 .....	15-64	ハードウェアプロテクト .....	19-25
フレーミングエラー .....	15-31	ブートモード .....	19-16
マーク状態 .....	15-64	プログラム/プログラムベリファイ .....	19-21
調歩同期式モード .....	15-24	ライトモード .....	19-26
スタックポインタ (SP) .....	2-10	書き込みの単位 .....	19-6
データディレクションレジスタ .....	10-1	消去ブロック .....	19-11
データトランスファ コントローラ .....	9-1	プログラムブルパルスジェネレータ .....	12-1
データトランスファコントローラ		パルス出力ノンオーバーラップ動作 .....	12-14
DTC ベクタテーブル .....	9-8	出カトリガ .....	12-8
カウンタ = 0 時のチェイン転送 .....	9-22	プログラムカウンタ (PC) .....	2-11
ソフトウェアによる起動 .....	9-17, 9-20	ポートレジスタ .....	10-1
ソフトウェア起動 .....	9-23	リセット .....	4-3
ソフトウェア起動割り込み用ベクタ番号 .....	9-6	レジスタ	
チェイン転送 .....	9-16, 9-21	ABWCR .....	23-5, 23-16, 23-26
ノーマルモード .....	9-13, 9-21	ADCR .....	16-8, 23-8, 23-20, 23-30
ブロック転送モード .....	9-15	ADCSR .....	16-5, 23-8, 23-20, 23-30
リピートモード .....	9-14	ADDR .....	16-4, 23-8, 23-20, 23-30
レジスタ情報 .....	9-8	ASTCR .....	6-6, 23-5, 23-16, 23-26
データレジスタ .....	10-1	BCR .....	6-14, 23-5, 23-16, 23-27
トレースビット .....	2-11	BROMCR .....	6-13, 23-5, 23-16, 23-27
バスコントローラ .....	6-1	BRR .....	15-14, 23-7, 23-19, 23-29
DRAM インタフェース .....	6-44	CRA .....	9-5, 23-2, 23-11, 23-24
アイドルサイクル .....	6-93	CRB .....	9-5, 23-2, 23-11, 23-24
ウェイト制御 .....	6-41	CSACR .....	6-11, 23-5, 23-16, 23-27
オートリフレッシュ .....	6-80	DACR .....	17-3, 23-9, 23-21, 23-30
シンクロナス DRAM インタフェース .....	6-65	DADR .....	17-2, 23-9, 23-21, 23-30
セルフリフレッシュ .....	6-83	DAR .....	9-4, 23-2, 23-11, 23-24

DMABCR.....	7-12, 23-6, 23-17, 23-27	P6DR.....	10-37, 23-7, 23-19, 23-29
DMACR.....	7-6, 23-6, 23-17, 23-27	P7DDR.....	10-41, 23-3, 23-14, 23-25
DMATCR.....	7-20, 23-6, 23-17, 23-27	P7DR.....	10-41, 23-7, 23-19, 23-29
DMAWER.....	7-18, 23-6, 23-17, 23-27	P8DDR.....	10-45, 23-3, 23-14, 23-25
DRACCR.....	6-19, 23-5, 23-16, 23-27	P8DR.....	10-45, 23-7, 23-19, 23-29
DRAMCR.....	6-15, 23-5, 23-16, 23-27	PADDR.....	10-49, 23-3, 23-14, 23-25
DTCER.....	9-5, 23-6, 23-17, 23-28	PADR.....	10-50, 23-7, 23-19, 23-29
DTVECR.....	9-6, 23-6, 23-18, 23-28	PAODR.....	10-51, 23-4, 23-14, 23-26
EBR1.....	19-11, 23-10, 23-21, 23-31	PAPCR.....	10-51, 23-4, 23-14, 23-25
EBR2.....	19-12, 23-10, 23-21, 23-31	PBDDR.....	10-54, 23-3, 23-14, 23-25
EDACR.....	8-9, 23-2, 23-12, 23-24	PBDR.....	10-54, 23-7, 23-19, 23-29
EDDAR.....	8-4, 23-2, 23-11, 23-24	PBPCR.....	10-55, 23-4, 23-14, 23-25
EDMDR.....	8-6, 23-2, 23-11, 23-24	PCDDR.....	10-57, 23-3, 23-14, 23-25
EDSAR.....	8-4, 23-2, 23-11, 23-24	PCDR.....	10-57, 23-7, 23-19, 23-29
EDTCR.....	8-5, 23-2, 23-11, 23-24	PCPCR.....	10-58, 23-4, 23-14, 23-25
ETCR.....	7-6, 23-5, 23-16, 23-27	PCR.....	12-8, 23-6, 23-18, 23-28
FLMCR1.....	19-10, 23-9, 23-21, 23-31	PDDDR.....	10-60, 23-3, 23-14, 23-25
FLMCR2.....	19-11, 23-9, 23-21, 23-31	PDDR.....	10-60, 23-7, 23-19, 23-29
IER.....	5-7, 23-6, 23-18, 23-28	PDPCR.....	10-61, 23-4, 23-14, 23-25
INTCR.....	5-4, 23-6, 23-18, 23-28	PEDDR.....	10-63, 23-3, 23-14, 23-25
IOAR.....	7-5, 23-5, 23-16, 23-27	PEDR.....	10-64, 23-7, 23-19, 23-29
IPR.....	5-5, 5-16, 5-17, 5-18, 5-19, 23-2, 23-13, 23-24	PEPCR.....	10-65, 23-4, 23-14, 23-25
IrCR.....	15-22, 23-3, 23-14, 23-25	PFCR.....	10-74, 23-3
ISCR.....	5-8, 23-3, 23-14, 23-25	PFCR0.....	23-14, 23-25
ISR.....	5-11, 23-6, 23-18, 23-28	PFCR1.....	10-52, 23-3, 23-14, 23-25
ITSR.....	5-12, 5-29, 23-3, 23-13, 23-25	PFCR2.....	10-28, 23-3, 23-14, 23-25
MAR.....	7-5, 23-5, 23-16, 23-27	PFDDR.....	10-67, 23-3, 23-14, 23-25
MDCR.....	3-2, 23-6, 23-18, 23-28	PFDR.....	10-68, 23-7, 23-19, 23-29
MRA.....	9-3, 23-2, 23-11, 23-24	PGDDR.....	10-72, 23-3, 23-14, 23-25
MRB.....	9-4, 23-2, 23-11, 23-24	PGDR.....	10-73, 23-7, 23-19, 23-29
MSTPCR.....	22-6, 23-6, 23-18, 23-28	PHDDR.....	10-76, 23-7, 23-19, 23-29
NDER.....	12-4, 23-6, 23-18, 23-28	PHDR.....	10-77, 23-7, 23-19, 23-29
NDR.....	12-6, 23-6, 23-18, 23-28	PLLCR.....	21-3, 23-6, 23-18, 23-28
P1DDR.....	10-6, 23-3, 23-14, 23-25	PMR.....	12-9, 23-6, 23-18, 23-28
P1DR.....	10-6, 23-7, 23-19, 23-29	PODR.....	12-5, 23-6, 23-18, 23-28
P2DDR.....	10-16, 23-3, 23-14, 23-25	PORT1.....	10-7, 23-7, 23-18, 23-28
P2DR.....	10-16, 23-7, 23-19, 23-29	PORT2.....	10-17, 23-7, 23-18, 23-28
P3DDR.....	10-26, 23-3, 23-14, 23-25	PORT3.....	10-27, 23-7, 23-18, 23-28
P3DR.....	10-26, 23-7, 23-19, 23-29	PORT4.....	10-32, 23-7, 23-18, 23-28
P3ODR.....	10-27, 23-4, 23-14, 23-26	PORT5.....	10-34, 23-7, 23-18, 23-28
P5DDR.....	10-33, 23-3, 23-14, 23-25	PORT6.....	10-38, 23-7, 23-18, 23-28
P5DR.....	10-34, 23-7, 23-19, 23-29	PORT7.....	10-42, 23-7, 23-18, 23-28
P6DDR.....	10-37, 23-3, 23-14, 23-25	PORT8.....	10-46, 23-7, 23-18, 23-28

PORTA .....	10-50, 23-7, 23-19, 23-28	WTCR .....	6-7, 23-5, 23-16, 23-26
PORTB .....	10-55, 23-7, 23-19, 23-29	レジスタフィールド .....	2-28
PORTC .....	10-58, 23-7, 23-19, 23-29	レジスタ一覧	
PORTD .....	10-61, 23-7, 23-19, 23-29	レジスタアドレス一覧 .....	23-2
PORTE .....	10-64, 23-7, 23-19, 23-29	レジスタビット一覧 .....	23-11
PORTF .....	10-68, 23-7, 23-19, 23-29	各動作モードにおけるレジスタの状態 .....	23-24
PORTG .....	10-73, 23-7, 23-19, 23-29	割り込み	
PORTH .....	10-77, 23-7, 23-19, 23-29	ADI .....	16-13
RAMER .....	19-13, 23-5, 23-16, 23-27	CMIA .....	13-14
RDNCR .....	6-11, 23-5, 23-16, 23-26	CMIB .....	13-14
RDR .....	15-4, 23-8, 23-19, 23-29	EXDMTEND .....	8-50
REFCR .....	6-23, 23-5, 23-16, 23-27	NMI 割り込み .....	5-14, 5-29
RSTCSR .....	14-4, 23-9, 23-21, 23-30	OVI .....	13-14
RTCNT .....	6-25, 23-5, 23-16, 23-27	SWDTEND .....	9-17
RTCOR .....	6-25, 23-5, 23-16, 23-27	TCI0V .....	11-57
SAR .....	9-4, 23-2, 23-11, 23-24	TCI1U .....	11-57
SBYCR .....	22-4, 23-6, 23-18, 23-28	TCI1V .....	11-57
SCKCR .....	21-2, 23-6, 23-18, 23-28	TCI2U .....	11-57
SCMR .....	15-13, 23-8, 23-19, 23-29	TCI2V .....	11-57
SCR .....	15-7, 23-7, 23-19, 23-29	TCI3V .....	11-57
SEMR .....	15-23, 23-2, 23-11, 23-24	TCI4U .....	11-57
SMR .....	15-5, 23-7, 23-19, 23-29	TCI4V .....	11-57
SSIER .....	5-13, 23-3, 23-14, 23-25	TCI5U .....	11-57
SSR .....	15-9, 23-8, 23-19, 23-29	TCI5V .....	11-57
SYSCR .....	3-3, 23-6, 23-18, 23-28	TGI0A .....	11-57
TCNT .....	11-32, 13-4, 14-2, 23-4, 23-15, ..... 23-21, 23-26, 23-30, 23-31	TGI0B .....	11-57
TCORA .....	13-4, 23-9, 23-21, 23-30	TGI0C .....	11-57
TCORB .....	13-4, 23-9, 23-21, 23-30	TGI0D .....	11-57
TCR .....	11-8, 13-5, 23-4, 23-10, 23-14, ..... 23-21, 23-26, 23-30, 23-31	TGI1A .....	11-57
TCSR .....	13-7, 14-3, 23-9, 23-21, 23-30	TGI1B .....	11-57
TDR .....	15-4, 23-8, 23-19, 23-29	TGI2A .....	11-57
TGR .....	11-26, 11-32, 11-41, 23-4, ..... 23-15, 23-21, 23-26, 23-31	TGI2B .....	11-57
TIER .....	11-29, 23-4, 23-10, 23-15, 23-21, 23-26, 23-31	TGI3A .....	11-57
TIOR .....	11-12, 23-4, 23-10, 23-14, 23-21, 23-26, 23-31	TGI3B .....	11-57
TMDR .....	11-11, 23-4, 23-10, 23-14, ..... 23-21, 23-26, 23-31	TGI3C .....	11-57
TSR .....	11-30, 15-5, 23-4, 23-10, ..... 23-15, 23-21, 23-26, 23-31	TGI3D .....	11-57
TSTR .....	11-33, 23-9, 23-21, 23-31	TGI4A .....	11-57
TSYR .....	11-33, 23-9, 23-21, 23-31	TGI4B .....	11-57
		TGI5A .....	11-57
		TGI5B .....	11-57
		WOVI .....	14-6

割り込みコントローラ .....	5-1	ビット操作命令 .....	2-23
割り込みマスクビット .....	2-12	ブロック転送命令 .....	2-27
割り込み制御モード .....	5-20	算術演算命令 .....	2-17, 2-20
割り込み要求マスクレベル .....	2-11	分岐命令 .....	2-25
割り込み例外処理ベクタテーブル .....	5-16	論理演算命令 .....	2-22
実効アドレス .....	2-29, 2-32	例外処理 .....	4-1, 4-2, 4-3
積和レジスタ (MAC) .....	2-13	トラップ命令例外処理 .....	4-7
入力プルアップ MOS .....	10-1	トレース例外処理 .....	4-6
汎用レジスタ .....	2-10	リセット例外処理 .....	4-3
命令セット .....	2-17	割り込み例外処理 .....	4-6
システム制御命令 .....	2-26	例外処理後のスタックの状態 .....	4-8
シフト命令 .....	2-22	例外処理ベクタテーブル .....	4-2
データ転送命令 .....	2-19		



---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8S/2678グループ、H8S/2678Rグループ

発行年月日 2001年9月 第1版  
2005年9月9日 Rev.3.00

発行 株式会社ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

営業お問合せ窓口  
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



# H8S/2678 グループ、H8S/2678R グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0294-0300