

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/28グループ (M16C/28、M16C/28B)

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ / M16C/Tinyシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/28グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジーホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	M16C/28グループ ハードウェアマニュアル	本ハードウェア マニュアル
ソフトウェアマニュアル	CPU命令セットの説明	M16C/60 M16C/20 M16C/ Tinyシリーズソフトウェ アマニュアル	RJJ09B0136
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラ ムの作成方法	ルネサス テクノロジーホームページに掲載され ています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する 速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P35端子、VCC端子
- (2) 数の表記
2進数は数字の後に「2」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「16」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 112
16進数 : EFA0₁₆
10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

*1

シンボル
・・・

アドレス
・・・

リセット時
00₁₆

ビット シンボル	ビット名	機能	RW
・・・0	・・・ビット	b1b0 00:・・・ 01:・・・ 10:設定しないでください 11:・・・	RW *2
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		— *3
— (b4-b3)	予約ビット	“0”にしてください	WO *4
・・・5	・・・ビット	動作モードによって機能が異なる	RW
・・・6			RW
・・・7	・・・ビット	0:・・・ 1:・・・	RO

***1**

空白 : 用途に応じて“0”または“1”にしてください。

0 : “0”にしてください。

1 : “1”にしてください。

× : 何も配置されていないビットです。

***2**

RW : 読むとビットの状態が読めます。書くと有効データになります。

RO : 読むとビットの状態が読めます。書いた値は無効になります。

WO : 書くと有効データになります。ビットの状態は読めません。

— : 何も配置されていないビットです。

***3**

- ・予約ビット
予約ビットです。指定された値にしてください。

***4**

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のICカード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。
IEBusは、NECエレクトロニクス株式会社の登録商標です。

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 特長	1
1.1.1 応用	1
1.1.2 性能概要	2
1.2 ブロック図	4
1.3 製品一覧	6
1.4 ピン接続図	10
1.5 端子の機能説明	19
2. 中央演算処理装置 (CPU)	22
2.1 データレジスタ(R0、R1、R2、R3)	22
2.2 アドレスレジスタ(A0、A1)	22
2.3 フレームベースレジスタ(FB)	23
2.4 割り込みテーブルレジスタ(INTB)	23
2.5 プログラムカウンタ(PC)	23
2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)	23
2.7 スタティックベースレジスタ(SB)	23
2.8 フラグレジスタ(FLG)	23
2.8.1 キャリーフラグ(Cフラグ)	23
2.8.2 デバッグフラグ(Dフラグ)	23
2.8.3 ゼロフラグ(Zフラグ)	23
2.8.4 サインフラグ(Sフラグ)	23
2.8.5 レジスタバンク指定フラグ(Bフラグ)	23
2.8.6 オーバフローフラグ(Oフラグ)	23
2.8.7 割り込み許可フラグ(Iフラグ)	23
2.8.8 スタックポインタ指定フラグ(Uフラグ)	23
2.8.9 プロセッサ割り込み優先レベル(IPL)	23
2.8.10 予約領域	23
3. メモリ	24
4. SFRs	25

5. リセット	32
5.1 ハードウェアリセット	32
5.1.1 ハードウェアリセット1	32
5.1.2 ハードウェアリセット2	32
5.2 ソフトウェアリセット	33
5.3 ウォッチドッグタイマリセット	33
5.4 発振停止検出リセット	33
5.5 電圧検出回路	35
5.5.1 電圧低下検出割り込み	38
5.5.2 ストップモードの制約	40
5.5.3 ウェイトモードの制約	40
6. プロセッサモード	41
7. クロック発生回路	44
7.1 メインクロック	51
7.2 サブクロック	52
7.3 オンチップオシレータクロック	53
7.4 PLLクロック	53
7.5 CPU クロックと周辺機能クロック	55
7.5.1 CPUクロック	55
7.5.2 周辺機能クロック(f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fc32)	55
7.6 パワーコントロール	56
7.6.1 通常動作モード	56
7.6.2 ウェイトモード	57
7.6.3 ストップモード	59
7.7 システムクロック保護機能	63
7.8 発振停止、再発振検出機能	63
7.8.1 CM27ビットが“0”(リセット)の場合の動作	64
7.8.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作	64
7.8.3 発振停止、再発振検出機能使用方法	65
8. プロテクト	66
9. 割り込み	67
9.1 割り込みの分類	67
9.1.1 ソフトウェア割り込み	68
9.1.2 ハードウェア割り込み	69

9.2 割り込みと割り込みベクタ	70
9.2.1 固定ベクタテーブル	70
9.2.2 可変ベクタテーブル	71
9.3 割り込み制御	72
9.3.1 Iフラグ	75
9.3.2 IRビット	75
9.3.3 LVL2~ILVL0ビット、IPL	75
9.4 割り込みシーケンス	76
9.4.1 割り込み応答時間	77
9.4.2 割り込み要求受付時のIPLの変化	77
9.4.3 レジスタ退避	78
9.4.4 割り込みルーチンからの復帰	80
9.5 割り込み優先順位	80
9.5.1 割り込み優先レベル判定回路	80
9.6 $\overline{\text{INT}}$ 割り込み	82
9.7 $\overline{\text{NMI}}$ 割り込み	83
9.8 キー入力割り込み	83
9.9 アドレス一致割り込み	84
10. ウォッチドッグタイマ	86
10.1 カウントソース保護モード	87
11. DMAC	88
11.1 転送サイクル	93
11.1.1 転送元番地、転送先番地の影響	93
11.1.2 ソフトウェアウエイトの影響	93
11.2 DMA転送サイクル数	95
11.3 DMA許可	96
11.4 DMA要求	96
11.5 チャンネルの優先順位とDMA転送タイミング	97
12. タイマ	98
12.1 タイマA	100
12.1.1 タイマモード	103
12.1.2 イベントカウンタモード	104
12.1.3 ワンショットタイマモード	109
12.1.4 パルス幅変調モード(PWMモード)	111

12.2	タイマB	114
12.2.1	タイマモード	116
12.2.2	イベントカウンタモード	117
12.2.3	パルス周期測定モード、パルス幅測定モード	118
12.2.4	A/Dトリガモード	120
12.3	三相モータ制御用タイマ機能	122
12.3.1	位置データ保持機能	133
13.	タイマS	135
13.1	ベースタイマ	146
13.1.1	ベースタイマリセットレジスタ	150
13.2	割り込み動作	151
13.3	DMAサポート	151
13.4	時間計測機能	152
13.5	波形生成機能	156
13.5.1	単相波形出力モード	157
13.5.2	反転波形出力モード	159
13.5.3	セット/リセット波形出力(SR波形出力)モード	161
13.6	入出力ポート機能選択	163
13.6.1	INPC17代替入力端子の選択	164
13.6.2	P17/ $\overline{\text{INT5}}$ /INPC17デジタルデバウンス回路	164
14.	シリアルI/O	165
14.1	UART _i (i=0~2)	165
14.1.1	クロック同期形シリアルI/Oモード	175
14.1.2	クロック非同期形シリアルI/O(UART)モード	183
14.1.3	特殊モード1(I ² C busモード)(UART2)	191
14.1.4	特殊モード2(UART2)	201
14.1.5	特殊モード3(IEBusモード)(UART2)	205
14.1.6	特殊モード4(SIMモード)(UART2)	207
14.2	SI/O3、SI/O4	212
14.2.1	SI/O _i 動作タイミング	215
14.2.2	CLK極性選択	215
14.2.3	SOUT _i 初期出力設定機能	216
15.	A/Dコンバータ	217
15.1	動作モード	223
15.1.1	単発モード	223
15.1.2	繰り返しモード	225

15.1.3 単掃引モード	227
15.1.4 繰り返し掃引モード0.....	229
15.1.5 繰り返し掃引モード1.....	231
15.1.6 同時サンプル掃引モード	233
15.1.7 遅延トリガモード0	236
15.1.8 遅延トリガモード1	242
15.2 分解能選択機能	248
15.3 サンプル&ホールド	248
15.4 消費電流低減機能.....	248
15.5 A/D変換時のセンサーの出力インピーダンス.....	249
16. マルチマスタI²C busインタフェース	250
16.1 I ² C0 データシフトレジスタ(S00レジスタ)	259
16.2 I ² C0アドレスレジスタ(S0D0レジスタ).....	259
16.3 I ² C0クロックコントロールレジスタ(S20レジスタ)	260
16.3.1 ビット0~4 : SCL 周波数制御ビット(CCR0~CCR4).....	260
16.3.2 ビット5 : SCL モード指定ビット (FAST MODE)	260
16.3.3 ビット6: ACKビット (ACKBIT).....	260
16.3.4 ビット7: ACKクロックビット(ACK-CLK).....	260
16.4 I ² C0コントロールレジスタ0(S1D0レジスタ).....	262
16.4.1 ビット0~ビット2: ビットカウンタ(BC0~BC2).....	262
16.4.2 ビット3: I ² C bus インタフェース許可ビット(ES0).....	262
16.4.3 ビット4: データフォーマット選択ビット(ALS).....	262
16.4.4 ビット6: I ² C busインタフェースリセットビット(IHR)	262
16.4.5 ビット7: I ² C busインタフェース端子入力レベル選択ビット(TISS)	263
16.5 I ² C0ステータスレジスタ(S10レジスタ)	264
16.5.1 ビット0: 最終受信ビット(LRB).....	264
16.5.2 ビット1: ジェネラルコール検出フラグ(ADR0)	264
16.5.3 ビット2: スレーブアドレス比較フラグ(AAS).....	264
16.5.4 ビット3: ア - ビトレーションロスト検出フラグ(AL)	264
16.5.5 ビット4: I ² C busインタフェース割り込み要求ビット(PIN)	265
16.5.6 ビット5: バスビジーフラグ (BB)	265
16.5.7 ビット6: 通信モード指定ビット0 (転送方向指定ビット : TRX)	266
16.5.8 ビット7: 通信モード指定ビット1 (マスタ/スレーブ指定ビット : MST)	266
16.6 I ² C0 コントロールレジスタ1(S3D0レジスタ).....	267
16.6.1 ビット0 : ストップコンディション検出割り込み許可ビット(SIM)	267
16.6.2 ビット1:データ受信完了割り込み許可ビット(WIT).....	267
16.6.3 ビット 2,3 : ポート機能切り替えビット PED, PEC	268

16.6.4	ビット 4,5 : SDA/SCL出力論理値モニタビット SDAM /SCLM	269
16.6.5	ビット 6,7 : I ² C bus システムクロック選択ビット ICK0, ICK1	269
16.6.6	ウェイトモード/ストップモードでのアドレスデータ受信	269
16.7	I ² C0コントロールレジスタ2(S4D0レジスタ)	270
16.7.1	ビット0: タイムアウト検出機能許可ビット (TOE)	271
16.7.2	ビット1: タイムアウト検出フラグ (TOF)	271
16.7.3	ビット2: タイムアウト検出時間選択ビット (TOSEL)	271
16.7.4	ビット 3,4,5: I ² C busシステムクロック選択ビット (ICK2 ~ ICK4)	271
16.7.5	ビット7: ストップコンディション検出割り込み要求ビット (SCPIN).....	271
16.8	I ² C0スタート/ストップコンディション制御レジスタ(S2D0レジスタ)	272
16.8.1	ビット0~ビット4: スタート/ストップコンディション設定ビット(SSC0-SSC4)	272
16.8.2	ビット5: SCL/SDA割り込み端子極性選択ビット(SIP)	272
16.8.3	ビット6 : SCL/SDA 割り込み端子選択ビット(SIS)	272
16.8.4	ビット7: スタート/ストップコンディション発生選択ビット(STSPSEL)	272
16.9	スタートコンディション発生方法	273
16.10	スタートコンディション重複防止機能	274
16.11	ストップコンディション発生方法	274
16.12	スタート/ストップコンディション検出動作	276
16.13	データ転送例	277
16.13.1	マスタ送信例	277
16.13.2	スレーブ受信例	278
16.14	使用上の注意事項	279
17.	プログラマブル入出力ポート	282
17.1	ポートPi方向レジスタ (PDiレジスタ i = 0 ~ 3, 6 ~ 10).....	282
17.2	ポートPiレジスタ (Piレジスタ i = 0 ~ 3, 6 ~ 10)	282
17.3	プルアップ制御レジスタ 0 ~ 2 (PUR0 ~ PUR2レジスタ).....	282
17.4	ポート制御レジスタ(PCR レジスタ).....	282
17.5	端子割り当て制御レジスタ(PACRレジスタ)	283
17.6	デジタルデバウンス機能	283
18.	フラッシュメモリ版	296
18.1	フラッシュメモリの性能	296
18.1.1	ブートモード	297
18.2	メモリ配置	298
18.3	フラッシュメモリ書き換え禁止機能	302
18.3.1	ROMコードプロテクト機能.....	302
18.3.2	IDコードチェック機能	302

18.4 CPU書き換えモード	304
18.4.1 EW0モード	305
18.4.2 EW1モード	305
18.5 レジスタの説明	306
18.5.1 フラッシュメモリ制御レジスタ0 (FMR0)	306
18.5.2 フラッシュメモリ制御レジスタ 1 (FMR1)	307
18.5.3 フラッシュメモリ制御レジスタ 4 (FMR4)	307
18.6 CPU書き換えモードの注意事項	312
18.6.1 動作速度	312
18.6.2 使用禁止命令	312
18.6.3 割り込み	312
18.6.4 アクセス方法	312
18.6.5 ユーザROM領域の書き換え	312
18.6.6 DMA転送	313
18.6.7 コマンド、データの書き込み	313
18.6.8 ウェイトモード	313
18.6.9 ストップモード	313
18.6.10 低消費電力モード、オンチップオシレータ低消費電力モード	313
18.7 ソフトウェアコマンド	314
18.7.1 リードアレイ コマンド(FF16)	314
18.7.2 リードステータスレジスタ コマンド(7016)	314
18.7.3 クリアステータスレジスタ コマンド (5016)	314
18.7.4 プログラム コマンド (4016)	315
18.7.5 ブロックイレーズ	316
18.8 ステータスレジスタ	318
18.8.1 シーケンサステータス(SR7、FMR00ビット)	318
18.8.2 イレーズステータス(SR5、FMR07ビット)	318
18.8.3 プログラムステータス(SR4、FMR06ビット)	318
18.8.4 フルスステータスチェック	319
18.9 標準シリアル入出力モード	321
18.9.1 IDコードチェック機能	321
18.9.2 標準シリアル入出力モード時の端子処理例	325
18.10 平行入出力モード	327
18.10.1 ROMコードプロテクト機能	327
19. 電気的特性	328

20. 使用上の注意事項	350
20.1 SFR	350
20.1.1 80ピン版、85ピン版の注意事項	350
20.1.2 64ピン版の注意事項	350
22.1.3 レジスタ設定時の注意事項	350
20.1.4 フラッシュメモリ(128K+4K)バイト版とマスクROM版の注意事項	350
20.2 クロック発生回路	352
20.2.1 PLL周波数シンセサイザ使用時	352
20.2.2 パワーコントロール	352
20.3 プロテクト	355
20.4 割り込み	356
20.4.1 0000016 番地の読み出し	356
20.4.2 SP の設定	356
20.4.3 $\overline{\text{NMI}}$ 割り込み	356
20.4.4 割り込み要因の変更	356
20.4.5 $\overline{\text{INT}}$ 割り込み	357
20.4.6 割り込み制御レジスタの変更	358
20.4.7 ウォッチドッグタイマ割り込み	358
20.5 DMACの注意事項	359
20.5.1 DMAiCON レジスタのDMAE ビットへの書き込み(i=0 ~ 1)	359
20.6 タイマの注意事項	360
20.6.1 タイマA	360
20.6.2 タイマB	363
20.6.3 三相モータ制御用タイマ機能	364
20.7 タイマS	365
20.7.1 G1IRレジスタの変更	365
20.7.2 ICOCiICレジスタの変更	366
20.7.3 波形生成機能	366
20.7.4 IC/OCベースタイマ割り込み	366
20.8 シリアルI/O	367
20.8.1 クロック同期形シリアルI/Oモード	367
20.8.2 シリアルI/O(UARTモード)	368
20.8.3 SI/O3、SI/O4	368
20.9 A/Dコンバータ	369
20.10 マルチマスタI ² C bus	371
20.10.1 S00レジスタへの書き込み	371
20.10.2 ALフラグ	371

20.11	プログラマブル入出力ポート	372
20.12	フラッシュメモリ版とマスクROM 版の相違点	373
20.13	マスクROM版.....	374
20.13.1	内部ROM領域.....	374
20.13.2	予約ビット	374
20.14	フラッシュメモリ版	375
20.14.1	フラッシュメモリ書き換え禁止機能	375
20.14.2	ストップモード	375
20.14.3	ウエイトモード	375
20.14.4	低消費電力モード、オンチップオシレータ低消費電力モード	375
20.14.5	コマンド、データの書き込み	375
20.14.6	プログラムコマンド	375
20.14.7	動作速度	375
20.14.8	使用禁止命令	375
20.14.9	割り込み	376
20.14.10	アクセス方法	376
20.14.11	ユーザROM 領域の書き換え	376
20.14.12	DMA 転送	376
20.14.13	プログラム、イレーズ回数と実行時間について	376
20.14.14	プログラム、イレーズ回数の定義	377
20.14.15	多数回の書き換えを実施するシステムについて(製品コード:U7, U9)	377
20.14.16	ブートモードの注意事項	377
20.14.17	標準シリアル入出力モードの注意事項	377
20.15	ノイズ.....	378
20.15.1	プリント基板のトレース (85ピン版)	378
20.16	デバイスの取り扱いに関する注意	379
付録1. 外形寸法図		380
付録2. 機能相違点		382
付録2.1	M16C/28グループのNormal-ver. とT-ver./V-ver.の機能相違点 (注1)	382
付録2.2	M16C/28グループとM16C/29グループの機能相違点(Normal-ver.)(注1)	383
レジスタ索引		384

番地別ページ早見表

番地	レジスタ	シンボル	ページ
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0	PM0	41
0005 ₁₆	プロセッサモードレジスタ1	PM1	41
0006 ₁₆	システムクロック制御レジスタ0	CM0	46
0007 ₁₆	システムクロック制御レジスタ1	CM1	47
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	85
000A ₁₆	プロテクトレジスタ	PRCR	66
000B ₁₆			
000C ₁₆	発振停止検出レジスタ	CM2	48
000D ₁₆			
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	87
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	87
0010 ₁₆			
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	85
0012 ₁₆			
0013 ₁₆			
0014 ₁₆			
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	85
0016 ₁₆			
0017 ₁₆			
0018 ₁₆			
0019 ₁₆	電圧検出レジスタ1	VCR1	36
001A ₁₆	電圧検出レジスタ2	VCR2	36
001B ₁₆			
001C ₁₆	PLL制御レジスタ0	PLC0	50
001D ₁₆			
001E ₁₆	プロセッサモードレジスタ2	PM2	49
001F ₁₆	電圧低下検出割り込みレジスタ	D4INT	37
0020 ₁₆			
0021 ₁₆	DMA0ソ - スポインタ	SAR0	92
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆	DMA0ディスティネ - ションポイント	DAR0	92
0026 ₁₆			
0027 ₁₆			
0028 ₁₆	DMA0転送カウンタ	TCR0	92
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ	DM0CON	91
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆			
0031 ₁₆	DMA1ソ - スポインタ	SAR1	92
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆	DMA1ディスティネ - ションポイント	DAR1	92
0036 ₁₆			
0037 ₁₆			
0038 ₁₆	DMA1転送カウンタ	TCR1	92
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1制御レジスタ	DM1CON	91
003D ₁₆			
003E ₁₆			
003F ₁₆			

注：空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	ページ
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆	INT3割り込み制御レジスタ	INT3IC	73
0045 ₁₆	IC/OC0割り込み制御レジスタ	ICOC0IC	73
0046 ₁₆	IC/OC1割り込み制御レジスタ、 I ² C-BUSインタフェース割り込み制御レジスタ	ICOC1IC, IICIC	73
0047 ₁₆	IC/OCベースタイマ割り込み制御レジスタ、 SCL_SDA割り込み制御レジスタ	BTIC, SCLDAIC	73
0048 ₁₆	SI/O4割り込み制御レジスタ、 INT5割り込み制御レジスタ	S4IC, INT5IC	73
0049 ₁₆	SI/O3割り込み制御レジスタ、 INT4割り込み制御レジスタ	S3IC, INT4IC	73
004A ₁₆	UART2バス衝突検出割り込み制御レジスタ	BCNIC	73
004B ₁₆	DMA0割り込み制御レジスタ	DM0IC	73
004C ₁₆	DMA1割り込み制御レジスタ	DM1IC	73
004D ₁₆	キ - 入力割り込み制御レジスタ	KUPIC	73
004E ₁₆	A/D変換割り込み制御レジスタ	ADIC	73
004F ₁₆	UART2送信割り込み制御レジスタ	S2TIC	73
0050 ₁₆	UART2受信割り込み制御レジスタ	S2RIC	73
0051 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	73
0052 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	73
0053 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	73
0054 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	73
0055 ₁₆	タイマA0割り込み制御レジスタ	TA0IC	73
0056 ₁₆	タイマA1割り込み制御レジスタ	TA1IC	73
0057 ₁₆	タイマA2割り込み制御レジスタ	TA2IC	73
0058 ₁₆	タイマA3割り込み制御レジスタ	TA3IC	73
0059 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	73
005A ₁₆	タイマB0割り込み制御レジスタ	TB0IC	73
005B ₁₆	タイマB1割り込み制御レジスタ	TB1IC	73
005C ₁₆	タイマB2割り込み制御レジスタ	TB2IC	73
005D ₁₆	INT0割り込み制御レジスタ	INT0IC	73
005E ₁₆	INT1割り込み制御レジスタ	INT1IC	73
005F ₁₆	INT2割り込み制御レジスタ	INT2IC	73
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			

番地別ページ早見表

番地	レジスタ	シンボル	ページ
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆	フラッシュメモリ制御レジスタ4(注2)	FMR4	309
01B4 ₁₆			
01B5 ₁₆	フラッシュメモリ制御レジスタ1(注2)	FMR1	308
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0(注2)	FMR0	308
01B8 ₁₆			
01B9 ₁₆			
0210 ₁₆	低消費電力制御レジスタ0	LPCC0	351
0211 ₁₆			
0212 ₁₆			
0213 ₁₆			
0214 ₁₆			
0215 ₁₆			
0216 ₁₆			
0217 ₁₆			
0218 ₁₆			
0219 ₁₆			
0250 ₁₆			
0251 ₁₆			
0252 ₁₆			
0253 ₁₆			
0254 ₁₆			
0255 ₁₆			
0256 ₁₆			
0257 ₁₆			
0258 ₁₆			
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆	オンチップオシレータ制御レジスタ	ROCR	47
025D ₁₆	端子割り当て制御レジスタ	PACR	172,292
025E ₁₆	周辺クロック選択レジスタ	PCLKR	49
025F ₁₆	低消費電力制御レジスタ1	LPCC1	351
02E0 ₁₆	I ² C0データシフトレジスタ	S00	253
02E1 ₁₆			
02E2 ₁₆	I ² C0アドレスレジスタ	S0D0	252
02E3 ₁₆	I ² C0コントロールレジスタ0	S1D0	254
02E4 ₁₆	I ² C0クロックコントロールレジスタ	S20	253
02E5 ₁₆	I ² C0スタートストップコード制御レジスタ	S2D0	258
02E6 ₁₆	I ² C0コントロールレジスタ1	S3D0	256
02E7 ₁₆	I ² C0コントロールレジスタ2	S4D0	257
02E8 ₁₆	I ² C0ステータスレジスタ	S10	255
02E9 ₁₆			
02EA ₁₆			
02FE ₁₆			
02FF ₁₆			

番地	レジスタ	シンボル	ページ
0300 ₁₆	時間計測、波形生成レジスタ0	G1TM0,G1PO0	141,142
0301 ₁₆			
0302 ₁₆	時間計測、波形生成レジスタ1	G1TM1,G1PO1	141,142
0303 ₁₆			
0304 ₁₆	時間計測、波形生成レジスタ2	G1TM2,G1PO2	141,142
0305 ₁₆			
0306 ₁₆	時間計測、波形生成レジスタ3	G1TM3,G1PO3	141,142
0307 ₁₆			
0308 ₁₆	時間計測、波形生成レジスタ4	G1TM4,G1PO4	141,142
0309 ₁₆			
030A ₁₆	時間計測、波形生成レジスタ5	G1TM5,G1PO5	141,142
030B ₁₆			
030C ₁₆	時間計測、波形生成レジスタ6	G1TM6,G1PO6	141,142
030D ₁₆			
030E ₁₆	時間計測、波形生成レジスタ7	G1TM7,G1PO7	141,142
030F ₁₆			
0310 ₁₆	波形生成制御レジスタ0	G1POCR0	141
0311 ₁₆	波形生成制御レジスタ0	G1POCR1	141
0312 ₁₆	波形生成制御レジスタ0	G1POCR2	141
0313 ₁₆	波形生成制御レジスタ0	G1POCR3	141
0314 ₁₆	波形生成制御レジスタ0	G1POCR4	141
0315 ₁₆	波形生成制御レジスタ0	G1POCR5	141
0316 ₁₆	波形生成制御レジスタ0	G1POCR6	141
0317 ₁₆	波形生成制御レジスタ0	G1POCR7	141
0318 ₁₆	時間計測制御レジスタ0	G1TMCR0	140
0319 ₁₆	時間計測制御レジスタ0	G1TMCR1	140
031A ₁₆	時間計測制御レジスタ0	G1TMCR2	140
031B ₁₆	時間計測制御レジスタ0	G1TMCR3	140
031C ₁₆	時間計測制御レジスタ0	G1TMCR4	140
031D ₁₆	時間計測制御レジスタ0	G1TMCR5	140
031E ₁₆	時間計測制御レジスタ0	G1TMCR6	140
031F ₁₆	時間計測制御レジスタ0	G1TMCR7	140
0320 ₁₆	ベースタイムレジスタ	G1BT	137
0321 ₁₆			
0322 ₁₆	ベースタイム制御レジスタ0	G1BCR0	137
0323 ₁₆	ベースタイム制御レジスタ1	G1BCR1	138
0324 ₁₆	時間計測プリスケアラレジスタ6	G1TPR6	140
0325 ₁₆	時間計測プリスケアラレジスタ7	G1TPR7	140
0326 ₁₆	機能許可レジスタ	G1FE	143
0327 ₁₆	機能選択レジスタ	G1FS	143
0328 ₁₆	ベースタイムリセットレジスタ	G1BTRR	139
0329 ₁₆			
032A ₁₆	カウントソース分周レジスタ	G1DV	138
032B ₁₆			
032C ₁₆			
032D ₁₆			
032E ₁₆			
032F ₁₆			
0330 ₁₆	割り込み要求レジスタ	G11R	144
0331 ₁₆	割り込み許可レジスタ0	G11E0	145
0332 ₁₆	割り込み許可レジスタ1	G11E1	145
0333 ₁₆			
0334 ₁₆			
0335 ₁₆			
0336 ₁₆			
0337 ₁₆			
0338 ₁₆			
0339 ₁₆			
033A ₁₆			
033B ₁₆			
033C ₁₆			
033D ₁₆			
033E ₁₆	NMIデジタルデバウンスレジスタ	NDDR	293
033F ₁₆	ポートP17デジタルデバウンスレジスタ	P17DDR	293

注1: 空欄は予約領域です。アクセスしないでください。
 注2: このレジスタはフラッシュメモリ版にあります。

番地別ページ早見表

番地	レジスタ	シンボル	ページ
0340 ₁₆			
0341 ₁₆			
0342 ₁₆	タイマA1-1レジスタ	TA11	127
0343 ₁₆			
0344 ₁₆	タイマA2-1レジスタ	TA21	127
0345 ₁₆			
0346 ₁₆	タイマA4-1レジスタ	TA41	127
0347 ₁₆			
0348 ₁₆	三相PWM制御レジスタ0	INVC0	124
0349 ₁₆	三相PWM制御レジスタ1	INVC1	125
034A ₁₆	三相出力バッファレジスタ0	IDB0	126
034B ₁₆	三相出力バッファレジスタ1	IDB1	126
034C ₁₆	短絡防止タイマ	DTT	126
034D ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	126
034E ₁₆	位置データ保持レジスタ	PDRF	134
034F ₁₆			
0350 ₁₆			
0351 ₁₆			
0352 ₁₆			
0353 ₁₆			
0354 ₁₆			
0355 ₁₆			
0356 ₁₆			
0357 ₁₆			
0358 ₁₆			
0359 ₁₆			
035A ₁₆			
035B ₁₆			
035C ₁₆			
035D ₁₆			
035E ₁₆	割り込み要因選択レジスタ2	IFSR2A	74
035F ₁₆	割り込み要因選択レジスタ	IFSR	74,82
0360 ₁₆	SI/O3送受信レジスタ	S3TRR	213
0361 ₁₆			
0362 ₁₆	SI/O3制御レジスタ	S3C	213
0363 ₁₆	SI/O3転送速度レジスタ	S3BRG	213
0364 ₁₆	SI/O4送受信レジスタ	S4TRR	213
0365 ₁₆			
0366 ₁₆	SI/O4制御レジスタ	S4C	213
0367 ₁₆	SI/O4転送速度レジスタ	S4BRG	213
0368 ₁₆			
0369 ₁₆			
036A ₁₆			
036B ₁₆			
036C ₁₆			
036D ₁₆			
036E ₁₆			
036F ₁₆			
0370 ₁₆			
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆	UART2特殊モードレジスタ4	U2SMR4	174
0375 ₁₆	UART2特殊モードレジスタ3	U2SMR3	174
0376 ₁₆	UART2特殊モードレジスタ2	U2SMR2	173
0377 ₁₆	UART2特殊モードレジスタ	U2SMR	173
0378 ₁₆	UART2送受信モードレジスタ	U2MR	170
0379 ₁₆	UART2転送速度レジスタ	U2BRG	169
037A ₁₆	UART2送信バッファレジスタ	U2TB	169
037B ₁₆			
037C ₁₆	UART2送受信制御レジスタ0	U2C0	171
037D ₁₆	UART2送受信制御レジスタ1	U2C1	172
037E ₁₆	UART2受信バッファレジスタ	U2RB	169
037F ₁₆			

注：空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	ページ
0380 ₁₆	カウント開始フラグ	TABSR	101,115
0381 ₁₆	時計用プリスケアラセットフラグ	CPSRF	102,115
0382 ₁₆	ワンショット開始フラグ	ONSF	102
0383 ₁₆	トリガ選択レジスタ	TRGSR	102,129
0384 ₁₆	アップダウンフラグ	UDF	101
0385 ₁₆			
0386 ₁₆	タイマA0レジスタ	TA0	101
0387 ₁₆			
0388 ₁₆	タイマA1レジスタ	TA1	101,127
0389 ₁₆			
038A ₁₆	タイマA2レジスタ	TA2	101,127
038B ₁₆			
038C ₁₆	タイマA3レジスタ	TA3	101
038D ₁₆			
038E ₁₆	タイマA4レジスタ	TA4	101,127
038F ₁₆			
0390 ₁₆	タイマB0レジスタ	TB0	115
0391 ₁₆			
0392 ₁₆	タイマB1レジスタ	TB1	115
0393 ₁₆			
0394 ₁₆	タイマB2レジスタ	TB2	115,129
0395 ₁₆			
0396 ₁₆	タイマA0モ - ドレジスタ	TA0MR	100
0397 ₁₆	タイマA1モ - ドレジスタ	TA1MR	100, 130
0398 ₁₆	タイマA2モ - ドレジスタ	TA2MR	100, 130
0399 ₁₆	タイマA3モ - ドレジスタ	TA3MR	100
039A ₁₆	タイマA4モ - ドレジスタ	TA4MR	100, 130
039B ₁₆	タイマB0モ - ドレジスタ	TB0MR	114
039C ₁₆	タイマB1モ - ドレジスタ	TB1MR	114
039D ₁₆	タイマB2モ - ドレジスタ	TB2MR	114,130
039E ₁₆	タイマB2特殊モ - ドレジスタ	TB2SC	128,222
039F ₁₆			
03A0 ₁₆	UART0送受信モ - ドレジスタ	U0MR	170
03A1 ₁₆	UART0転送速度レジスタ	U0BRG	169
03A2 ₁₆	UART0送信バッファレジスタ	U0TB	169
03A3 ₁₆			
03A4 ₁₆	UART0送受信制御レジスタ0	U0C0	171
03A5 ₁₆	UART0送受信制御レジスタ1	U0C1	172
03A6 ₁₆	UART0受信バッファレジスタ	U0RB	169
03A7 ₁₆			
03A8 ₁₆	UART1送受信モ - ドレジスタ	U1MR	170
03A9 ₁₆	UART1転送速度レジスタ	U1BRG	169
03AA ₁₆	UART1送信バッファレジスタ	U1TB	169
03AB ₁₆			
03AC ₁₆	UART1送受信制御レジスタ0	U1C0	171
03AD ₁₆	UART1送受信制御レジスタ1	U1C1	172
03AE ₁₆	UART1受信バッファレジスタ	U1RB	169
03AF ₁₆			
03B0 ₁₆	UART送受信制御レジスタ2	UCON	171
03B1 ₁₆			
03B2 ₁₆			
03B3 ₁₆			
03B4 ₁₆			
03B5 ₁₆			
03B6 ₁₆			
03B7 ₁₆			
03B8 ₁₆	DMA0要因選択レジスタ	DM0SL	90
03B9 ₁₆			
03BA ₁₆	DMA1要因選択レジスタ	DM1SL	91
03BB ₁₆			
03BC ₁₆			
03BD ₁₆			
03BE ₁₆			
03BF ₁₆			

番地別ページ早見表

番地	レジスタ	シンボル	ページ
03C0 ₁₆ 03C1 ₁₆	A/D レジスタ 0	AD0	221
03C2 ₁₆ 03C3 ₁₆	A/D レジスタ 1	AD1	221
03C4 ₁₆ 03C5 ₁₆	A/D レジスタ 2	AD2	221
03C6 ₁₆ 03C7 ₁₆	A/D レジスタ 3	AD3	221
03C8 ₁₆ 03C9 ₁₆	A/D レジスタ 4	AD4	221
03CA ₁₆ 03CB ₁₆	A/D レジスタ 5	AD5	221
03CC ₁₆ 03CD ₁₆	A/D レジスタ 6	AD6	221
03CE ₁₆ 03CF ₁₆	A/D レジスタ 7	AD7	221
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆	A/Dトリガ制御レジスタ	ADTRGCON	220
03D3 ₁₆	A/Dステータスレジスタ0	ADSTAT0	221
03D4 ₁₆	A/D制御レジスタ2	ADCON2	219
03D5 ₁₆			
03D6 ₁₆	A/D制御レジスタ0	ADCON0	219
03D7 ₁₆	A/D制御レジスタ1	ADCON1	219
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆			
03DB ₁₆			
03DC ₁₆			
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ	P0	290
03E1 ₁₆	ポートP1レジスタ	P1	290
03E2 ₁₆	ポートP0方向レジスタ	PD0	289
03E3 ₁₆	ポートP1方向レジスタ	PD1	289
03E4 ₁₆	ポートP2レジスタ	P2	290
03E5 ₁₆	ポートP3レジスタ	P3	290
03E6 ₁₆	ポートP2方向レジスタ	PD2	289
03E7 ₁₆	ポートP3方向レジスタ	PD3	289
03E8 ₁₆			
03E9 ₁₆			
03EA ₁₆			
03EB ₁₆			
03EC ₁₆	ポートP6レジスタ	P6	290
03ED ₁₆	ポートP7レジスタ	P7	290
03EE ₁₆	ポートP6方向レジスタ	PD6	289
03EF ₁₆	ポートP7方向レジスタ	PD7	289
03F0 ₁₆	ポートP8レジスタ	P8	290
03F1 ₁₆	ポートP9レジスタ	P9	290
03F2 ₁₆	ポートP8方向レジスタ	PD8	289
03F3 ₁₆	ポートP9方向レジスタ	PD9	289
03F4 ₁₆	ポートP10レジスタ	P10	290
03F5 ₁₆			
03F6 ₁₆	ポートP10方向レジスタ	PD10	289
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆	ブルアップ制御レジスタ0	PUR0	291
03FD ₁₆	ブルアップ制御レジスタ1	PUR1	291
03FE ₁₆	ブルアップ制御レジスタ2	PUR2	291
03FF ₁₆	ポート制御レジスタ	PCR	292

注：空欄は予約領域です。アクセスしないでください。

M16C/28グループ(M16C/28、M16C/28B)

シングルチップ 16ビット CMOS マイクロコンピュータ

1. 概要

1.1 特長

M16C/28グループ(M16C/28、M16C/28B)は、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、64ピン版、80ピン版、85ピン版があります。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

M16C/28には、Normal-ver.、T-ver.、V-ver.があり、M16C/28BはNormal-ver.のみとなります。

本仕様書では、Normal-ver.について記載しています。T-ver.、V-ver.では一部仕様が異なります。

1.1.1 応用

オーディオ、カメラ、事務機器、通信機器、携帯機器、インバータ家電機器、モータコントロール、産業機器、他

1.1.2 性能概要

表1.1に性能概要(80ピン版、85ピン版)を、表1.2に性能概要(64ピン版)を示します。

表1.1 性能概要(80ピン版、85ピン版)

項目	性能	
CPU	基本命令数	91命令
	最小命令実行時間	41.7ns (f(BCLK) = 24 MHz、VCC = 4.2 ~ 5.5 V) (M16C/28B) 50 ns (f(BCLK) = 20 MHz、VCC = 3.0 ~ 5.5 V) (M16C/28, M16C/28B) 100 ns (f(BCLK) = 10 MHz、VCC = 2.7 ~ 5.5 V) (M16C/28, M16C/28B)
	動作モード	シングルチップモード
	アドレス空間	1Mバイト
	メモリ容量	表1.3と表1.4を参照してください
周辺機能	ポート	入出力：71本
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×3チャンネル 三相モータ制御回路 タイマS(インプットキャプチャ/アウトプットコンペア) ：16ビット×1チャンネル(ベースタイマ)/入出力8チャンネル
	シリアルI/O	2チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I ² C bus、IEBus(注1)) 2チャンネル(クロック同期形シリアルI/O) 1チャンネル(マルチマスタI ² C bus)
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、24チャンネル
	DMAC	2チャンネル
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)
	割り込み	内部：25要因、外部：8要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*)発振回路には帰還抵抗内蔵
	発振停止検出	メインクロック発振停止、再発振検出機能
	電圧検出回路	あり
	電気的特性	電源電圧
消費電流		23 mA (VCC = 5 V、f(BCLK) = 24 MHz) (M16C/28B) 18 mA (VCC = 5 V、f(BCLK) = 20 MHz) 25 μA (f(XCIN) = 32 kHz、RAM上) 3.0 μA (VCC = 3 V、f(XCIN) = 32 kHz、ウェイトモード時) 0.7 μA (VCC = 3 V、ストップモード時)
フラッシュメモリ版	プログラム、イレース電圧	2.7 V ~ 5.5 V
	プログラム、イレース回数	100回(全領域)または、1,000回(ブロック0~5)/10,000回(ブロックA、ブロックB)(注2)
動作周囲温度		-20 ~ 85 / -40 ~ 85 (注2)
パッケージ		80ピンプラスチックモールドLQFP 85ピンプラスチックモールドTFLGA

注1. IEBusは、NECエレクトロニクス株式会社の商標です。

注2. 書き換え回数及び動作周囲温度は表1.5 ~ 表1.7製品コードを参照してください。

注3. M16C/28Bをf(BCLK) = 24 MHzで使用する場合は、PLL周波数シンセサイザをご使用ください。

表1.2 性能概要(64ピン版)

項目	性能		
CPU	基本命令数	91命令	
	最小命令実行時間	41.7ns (f(BCLK) = 24 MHz、VCC = 4.2 ~ 5.5 V) (M16C/28B) 50 ns (f(BCLK) = 20 MHz、VCC = 3.0 ~ 5.5 V) (M16C/28, M16C/28B) 100 ns (f(BCLK) = 10 MHz、VCC = 2.7 ~ 5.5 V)(M16C/28, M16C/28B)	
	動作モード	シングルチップモード	
	アドレス空間	1Mバイト	
	メモリ容量	表1.3と表1.4を参照してください	
周辺機能	ポート	入出力：55本	
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×3チャンネル 三相モータ制御回路 タイマS (インプットキャプチャ/アウトプットコンペア) ：16ビット×1チャンネル(ベースタイマ)/入出力8チャンネル	
	シリアルI/O	2チャンネル(UART、クロック同期形シリアルI/O) 1チャンネル(UART、クロック同期形シリアルI/O、I ² C bus、IEBus(注1)) 1チャンネル(クロック同期形シリアルI/O) 1チャンネル(マルチマスタI ² C bus)	
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、13チャンネル	
	DMAC	2チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)	
	割り込み	内部：24要因、外部：8要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル	
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵)	
	発振停止検出	メインクロック発振停止、再発振検出機能	
	電圧検出回路	あり	
	電気的特性	電源電圧	VCC = 4.2 ~ 5.5 V (f(BCLK) = 24 MHz) (M16C/28B) VCC = 3.0 ~ 5.5 V (f(BCLK) = 20 MHz) (M16C/28, M16C/28B) VCC = 2.7 ~ 5.5 V (f(BCLK) = 10 MHz) (M16C/28, M16C/28B)
		消費電流	23 mA (VCC = 5 V、f(BCLK) = 24 MHz) (M16C/28B) 18 mA (VCC = 5 V、f(BCLK) = 20 MHz) 25 μ A (f(XCIN) = 32 kHz、RAM上) 3.0 μ A (VCC = 3 V、f(XCIN) = 32 kHz、ウェイトモード時) 0.7 μ A (VCC = 3 V、ストップモード時)
フラッシュメモリ版	プログラム、イレース電圧	2.7V ~ 5.5V	
	プログラム、イレース回数	100回(全領域)または、1,000回(ブロック0~5)/10,000回(ブロックA、ブロックB)(注2)	
動作周囲温度		-20 ~ 85 / -40 ~ 85 (注2)	
パッケージ		64ピンプラスチックモールドLQFP	

注1. IEBusは、NECエレクトロニクス株式会社の商標です。

注2. 書き換え回数及び動作周囲温度は表1.5 ~ 表1.7製品コードを参照してください。

注3. M16C/28Bをf(BCLK) = 24 MHzで使用する場合は、PLL周波数シンセサイザをご使用ください。

1.2 ブロック図

図1.1にブロック図（80ピン版、85ピン版）を、図1.2にブロック図（64ピン版）を示します。

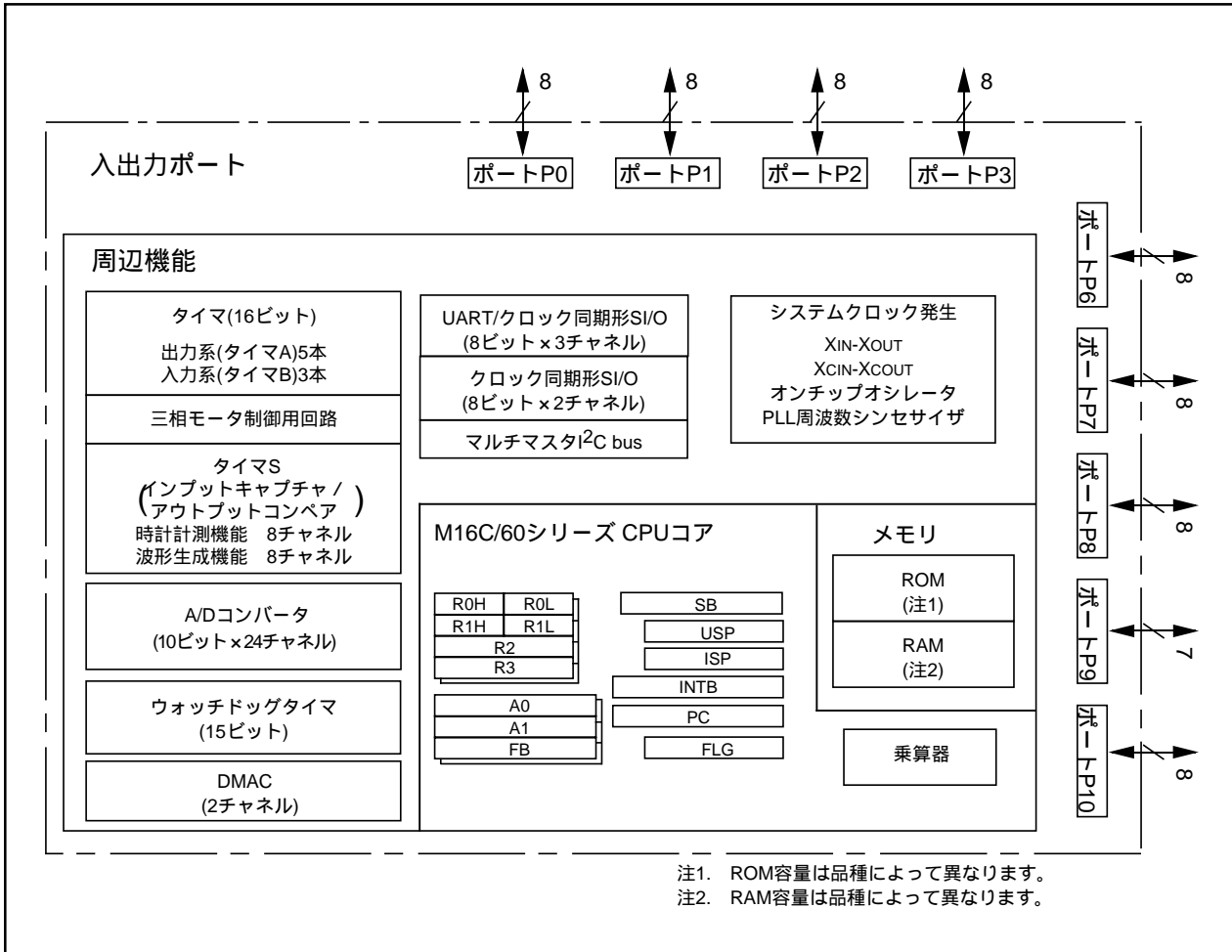


図1.1 ブロック図(80ピン版、85ピン版)

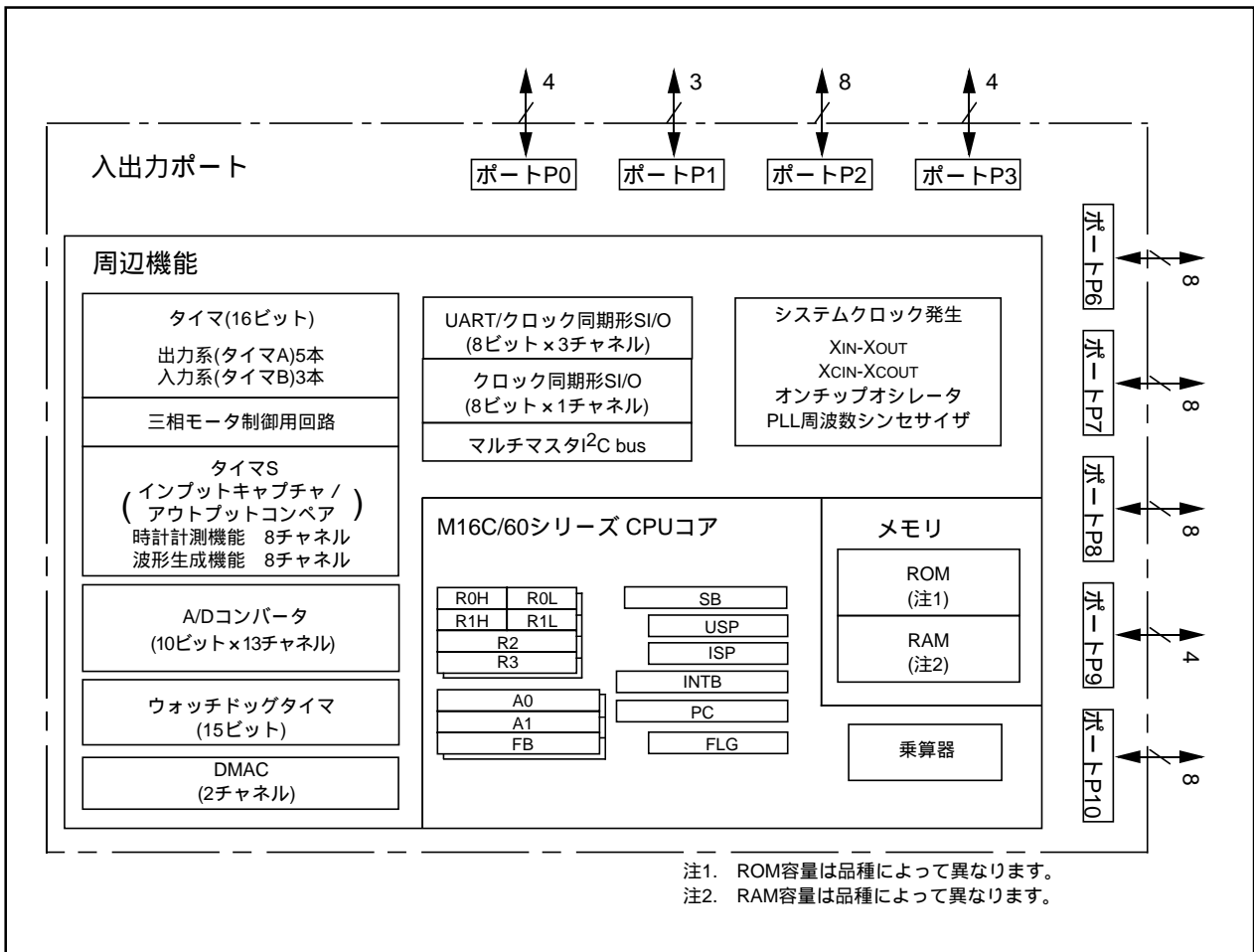


図1.2 ブロック図(64ピン版)

1.3 製品一覧

表1.3と表1.4に製品一覧表、図1.3に形名とメモリサイズ・パッケージ、表1.5～表1.7にフラッシュメモリ版の製品コード、図1.4にフラッシュメモリ版とマスクROM版のマーキング図を示します。

T-/V-ver.はNormal-ver.と一部仕様が異なります。

表1.3 製品一覧表 - M16C/28 Normal-ver.

2007年1月現在

型名	ROM 容量	RAM 容量	パッケージ	備考	製品コード		
M30280F6WG (新)	48K + 4K	4K	PTLG0085JB-A (85F0G)	フラッシュ メモリ版	U3, U5, U7, U9		
M30280F8WG (新)	64K + 4K	4K					
M30280FAWG (新)	96K + 4K	8K					
M30280F6HP (新)	48K + 4K	4K	PLQP0080KB-A (80P6Q-A)				
M30280F8HP (新)	64K + 4K	4K					
M30280FAHP (新)	96K + 4K	8K					
M30280FCHP (新)	128K + 4K	12K	PLQP0064KB-A (64P6Q-A)				
M30281F6HP (新)	48K + 4K	4K					
M30281F8HP (新)	64K + 4K	4K					
M30281FAHP (新)	96K + 4K	8K					
M30281FCHP (新)	128K + 4K	12K	PLQP0080KB-A (80P6Q-A)			マスク ROM版	U3, U5
M30280M8-XXXHP (新)	64K	4K					
M30280MA-XXXHP (新)	96K	8K					
M30280MC-XXXHP (新)	128K	12K					
M30281M8-XXXHP (新)	64K	4K					
M30281MA-XXXHP (新)	96K	8K					
M30281MC-XXXHP (新)	128K	12K	PLQP0064KB-A (64P6Q-A)				
M30281M8-XXXHP (新)	64K	4K					

表1.4 製品一覧表 - M16C/28B Normal-ver.

2007年1月現在

型名	ROM 容量	RAM 容量	パッケージ	備考	製品コード
M30280FCBHP (開)	128K + 4K	12K	PLQP0080KB-A (80P6Q-A)	フラッシュ メモリ版	U7
M30281FCBHP (開)	128K + 4K	12K	PLQP0064KB-A (64P6Q-A)		

(開): 開発中

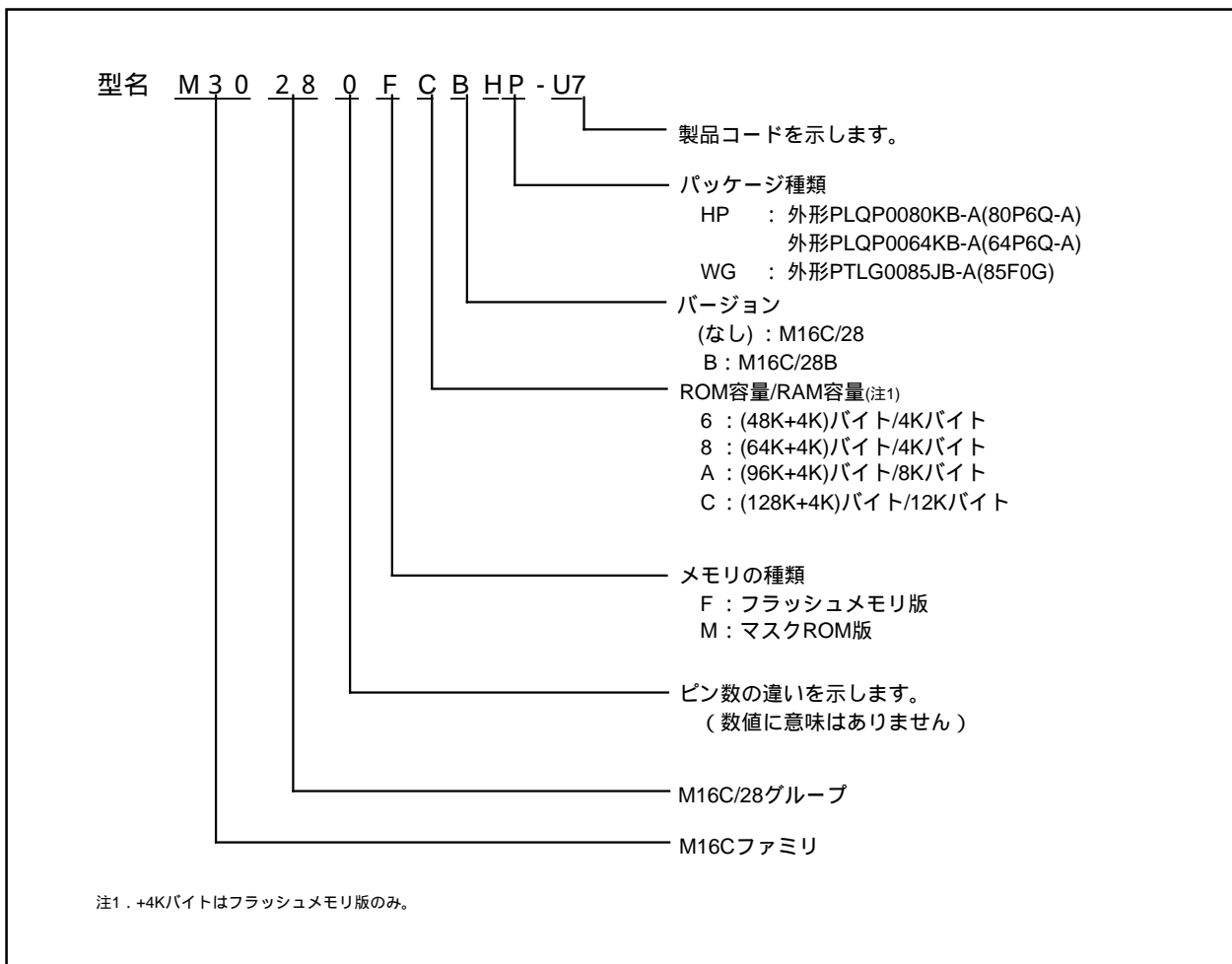


図1.3 型名とメモリサイズ・パッケージ

表1.5 製品コード (フラッシュメモリ版) - M16C/28 Normal-ver. 64ピン版^(注1)、80ピン版^(注1)、85ピン版

製品コード	パッケージ	内部ROM (プログラム領域: ブロック0~5)		内部ROM (データ領域: ブロックA、B)		MCU動作周囲温度
		書き換え回数	温度範囲	書き換え回数	温度範囲	
U3	鉛フリー	100	0 ~ 60	100	0 ~ 60	-40 ~ 85
U5					-20 ~ 85	
U7		1,000		10,000	-40 ~ 85	-40 ~ 85
U9				10,000	-20 ~ 85	-20 ~ 85

注1. 製品コードD3、D5、D7、D9 (非鉛フリーパッケージの製品) は、それぞれU3、U5、U7、U9 (鉛フリーパッケージ) に収約されます。鉛フリーパッケージは従来のSn-Pb半田ペースト及び鉛フリーペースト (Sn-Ag-Cu等) 双方に対応可能です。

表1.6 製品コード (フラッシュメモリ版) - M16C/28B Normal-ver. 64ピン版、80ピン版

製品コード	パッケージ	内部ROM (プログラム領域: ブロック0~5)		内部ROM (データ領域: ブロックA、B)		MCU動作周囲温度
		書き換え回数	温度範囲	書き換え回数	温度範囲	
U7	鉛フリー	1,000	0 ~ 60	10,000	-40 ~ 85	-40 ~ 85

表1.7 製品コード (マスクROM版) - M16C/28 Normal-ver.

製品コード	パッケージ	MCU動作周囲温度
U3	鉛フリー	-40 ~ 85
U5		-20 ~ 85

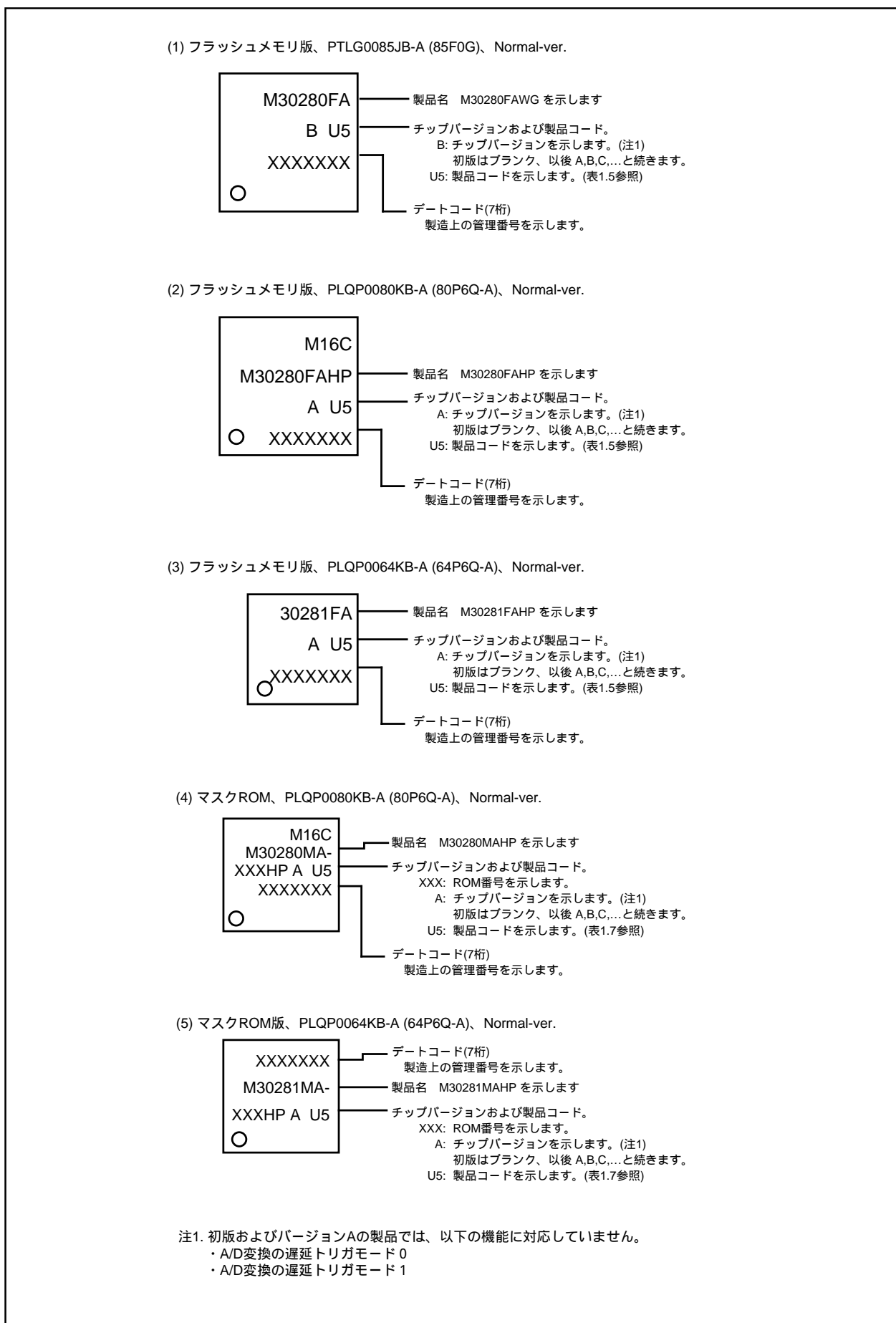


図1.4 マーキング図(上面図) - M16C/28グループ Normal-ver.

1.4 ピン接続図

図1.5 ~ 図1.7にピン接続図(上面図)を示します。

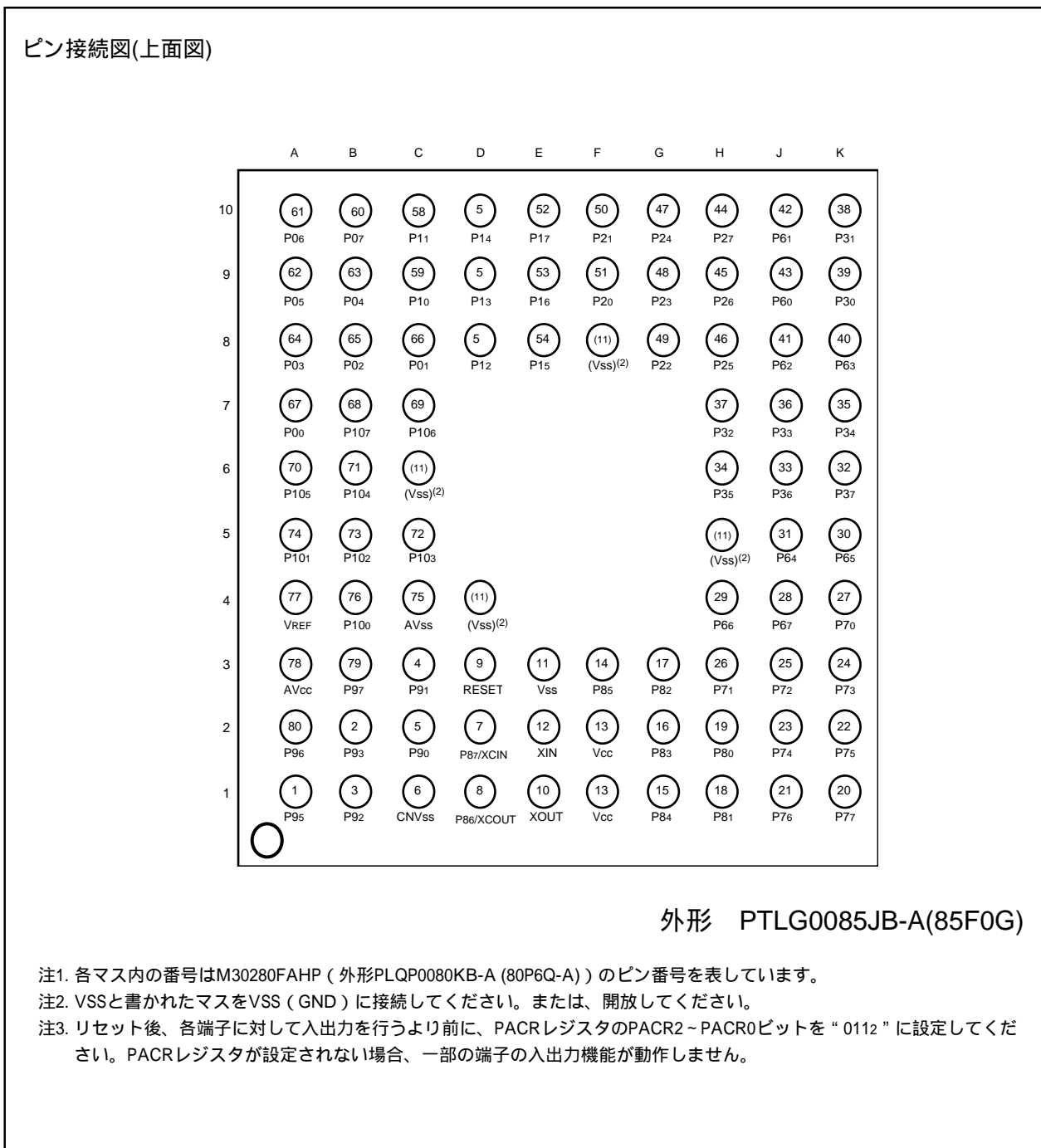


図1.5 ピン接続図(上面図)

表1.8 85ピン版ピン端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割込端子	タイマ端子	タイマS端子	UART端子	マルチマスタI ² Cバス端子	アナログ端子	PLQP0080KB-A 端子番号
A1		P95				CLK4		AN25	1
A2		P96				SOUT4		AN26	80
A3	AVcc								78
A4	VREF								77
A5		P101						AN1	74
A6		P105	$\overline{KI1}$					AN5	70
A7		P00						AN00	67
A8		P03						AN03	64
A9		P05						AN05	62
A10		P06						AN06	61
B1		P92		TB2IN					3
B2		P93						AN24	2
B3		P97				SIN4		AN27	79
B4		P100						AN0	76
B5		P102						AN2	73
B6		P104	$\overline{KI0}$					AN4	71
B7		P107	$\overline{KI3}$					AN7	68
B8		P02						AN02	65
B9		P04						AN04	63
B10		P07						AN07	60
C1	CNVss								6
C2		P90		TB0IN					5
C3		P91		TB1IN					4
C4	AVss								75
C5		P103						AN3	72
C6	Vss ⁽¹⁾								(11)
C7		P106	$\overline{KI2}$					AN6	69
C8		P01						AN01	66
C9		P10						AN20	59
C10		P11						AN21	58
D1	XCOUT	P86							8
D2	XCIN	P87							7
D3	\overline{RESET}								9
D4	Vss ⁽¹⁾								(11)
D8		P12						AN22	57
D9		P13						AN23	56
D10		P14							55
E1	XOUT								10
E2	XIN								12
E3	Vss								11

表1.8 85ピン版ピン端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割込端子	タイマ端子	タイマS端子	UART端子	マルチマスタ ¹ PCバス端子	アナログ端子	PLQP0080KB-A端子番号
E8		P15	$\overline{\text{INT}}_3$	IDV				$\overline{\text{ADTRG}}$	54
E9		P16	$\overline{\text{INT}}_4$	IDW					53
E10		P17	$\overline{\text{INT}}_5$	IDU	INPC17				52
F1	Vcc								13
F2	Vcc								13
F3		P85	$\overline{\text{NMI}}$	$\overline{\text{SD}}$					14
F8	Vss ⁽¹⁾								(11)
F9		P20			OUTC10 / INPC10		SDAMM		51
F10		P21			OUTC11 / INPC11		SCLMM		50
G1		P84	$\overline{\text{INT}}_2$	ZP					15
G2		P83	$\overline{\text{INT}}_1$						16
G3		P82	$\overline{\text{INT}}_0$						17
G8		P22			OUTC12 / INPC12				49
G9		P23			OUTC13 / INPC13				48
G10		P24			OUTC14 / INPC14				47
H1		P81		TA4IN / $\overline{\text{U}}$					18
H2		P80		TA4OUT / U					19
H3		P71		TA0IN		RxD2 / SCL2 / CLK1			26
H4		P66				RxD1			29
H5	Vss ⁽¹⁾								(11)
H6		P35							34
H7		P32				SOUT3			37
H8		P25			OUTC15 / INPC15				46
H9		P26			OUTC16 / INPC16				45
H10		P27			OUTC17 / INPC17				44
J1		P76		TA3OUT					21
J2		P74		TA2OUT / W					23
J3		P72		TA1OUT / V		CLK2 / RxD1			25
J4		P67				TxD1			28
J5		P64				RTS1 / $\overline{\text{CTS}}_1$ / $\overline{\text{CTS}}_0$ / CLKS1			31
J6		P36							33
J7		P33							36
J8		P62				RxD0			41
J9		P60				$\overline{\text{RTS}}_0$ / $\overline{\text{CTS}}_0$			43
J10		P61				CLK0			42
K1		P77		TA3IN					20
K2		P75		TA2IN / $\overline{\text{W}}$					22
K3		P73		TA1IN / $\overline{\text{V}}$		$\overline{\text{CTS}}_2$ / $\overline{\text{RTS}}_2$ / TXD1			24
K4		P70		TA0OUT		TxD2 / SDA2 / RTS1 / $\overline{\text{CTS}}_1$ / $\overline{\text{CTS}}_0$ / CLKs1			27
K5		P65				CLK1			30
K6		P37							32
K7		P34							35
K8		P63				TxD0			40
K9		P30				CLK3			39
K10		P31				SIN3			38

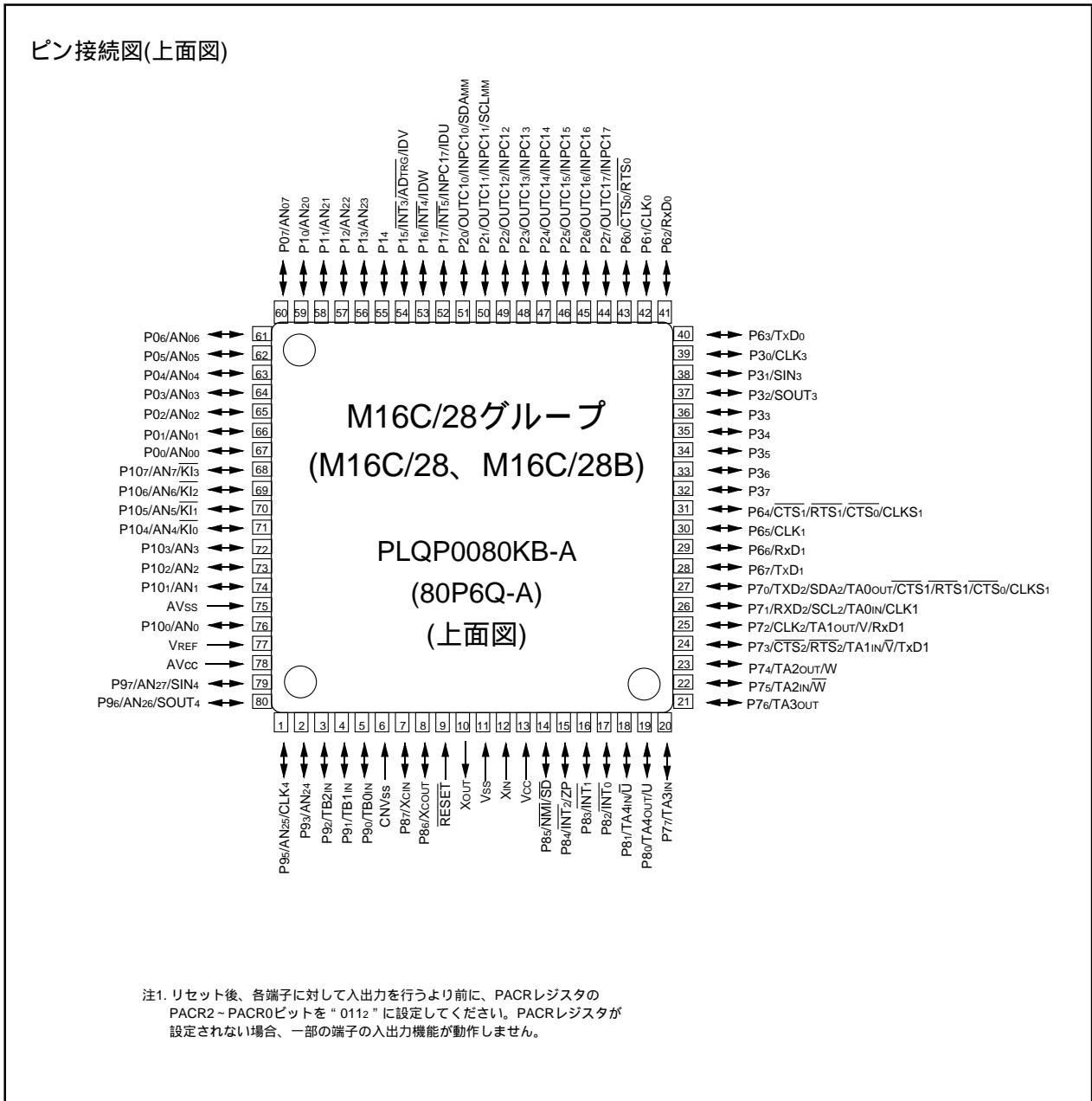


図1.6 ピン接続図(上面図)

表1.9 80ピン版ピン端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割込端子	タイマ端子	タイマS端子	UART端子	マルチマスタ I ² Cバス端子	アナログ端子
1		P95				CLK4		AN25
2		P93						AN24
3		P92		TB2IN				
4		P91		TB1IN				
5		P90		TB0IN				
6	CNVss							
7	XCIN	P87						
8	XCOUT	P86						
9	RESET							
10	XOUT							
11	Vss							
12	XIN							
13	Vcc							
14		P85	$\overline{\text{NMI}}$	$\overline{\text{SD}}$				
15		P84	$\overline{\text{INT2}}$	ZP				
16		P83	$\overline{\text{INT1}}$					
17		P82	$\overline{\text{INT0}}$					
18		P81		TA4IN / $\overline{\text{U}}$				
19		P80		TA4OUT / U				
20		P77		TA3IN				
21		P76		TA3OUT				
22		P75		TA2IN / $\overline{\text{W}}$				
23		P74		TA2OUT / W				
24		P73		TA1IN / $\overline{\text{V}}$		$\overline{\text{CTS2}} / \overline{\text{RTS2}} / \text{TxD1}$		
25		P72		TA1OUT / V		CLK2 / RxD1		
26		P71		TA0IN		RxD2 / SCL2 / CLK1		
27		P70		TA0OUT		TxD2 / SDA2 / $\overline{\text{RTS1}} / \overline{\text{CTS1}} / \overline{\text{CTS0}} / \text{CLKS1}$		
28		P67				TxD1		
29		P66				RxD1		
30		P65				CLK1		
31		P64				$\overline{\text{RTS1}} / \overline{\text{CTS1}} / \overline{\text{CTS0}} / \text{CLKS1}$		
32		P37						
33		P36						
34		P35						
35		P34						
36		P33						
37		P32				SOUT3		
38		P31				SIN3		
39		P30				CLK3		
40		P63				TxD0		

表1.9 80ピン版ピン端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割込端子	タイマ端子	タイマス端子	UART端子	マルチマスタ I ² Cバス端子	アナログ端子
41		P62				RxD0		
42		P61				CLK0		
43		P60				$\overline{\text{RTS}}_0 / \overline{\text{CTS}}_0$		
44		P27			OUTC17 / INPC17			
45		P26			OUTC16 / INPC16			
46		P25			OUTC15 / INPC15			
47		P24			OUTC14 / INPC14			
48		P23			OUTC13 / INPC13			
49		P22			OUTC12 / INPC12			
50		P21			OUTC11 / INPC11		SCLMM	
51		P20			OUTC10 / INPC10		SDAMM	
52		P17	$\overline{\text{INT}}_5$	IDU	INPC17			
53		P16	$\overline{\text{INT}}_4$	IDW				
54		P15	$\overline{\text{INT}}_3$	IDV				$\overline{\text{ADTRG}}$
55		P14						
56		P13						AN23
57		P12						AN22
58		P11						AN21
59		P10						AN20
60		P07						AN07
61		P06						AN06
62		P05						AN05
63		P04						AN04
64		P03						AN03
65		P02						AN02
66		P01						AN01
67		P00						AN00
68		P107	$\overline{\text{KI}}_3$					AN7
69		P106	$\overline{\text{KI}}_2$					AN6
70		P105	$\overline{\text{KI}}_1$					AN5
71		P104	$\overline{\text{KI}}_0$					AN4
72		P103						AN3
73		P102						AN2
74		P101						AN1
75	AVss							
76		P100						AN0
77	VREF							
78	AVcc							
79		P97				SIN4		AN27
80		P96				SOUT4		AN26

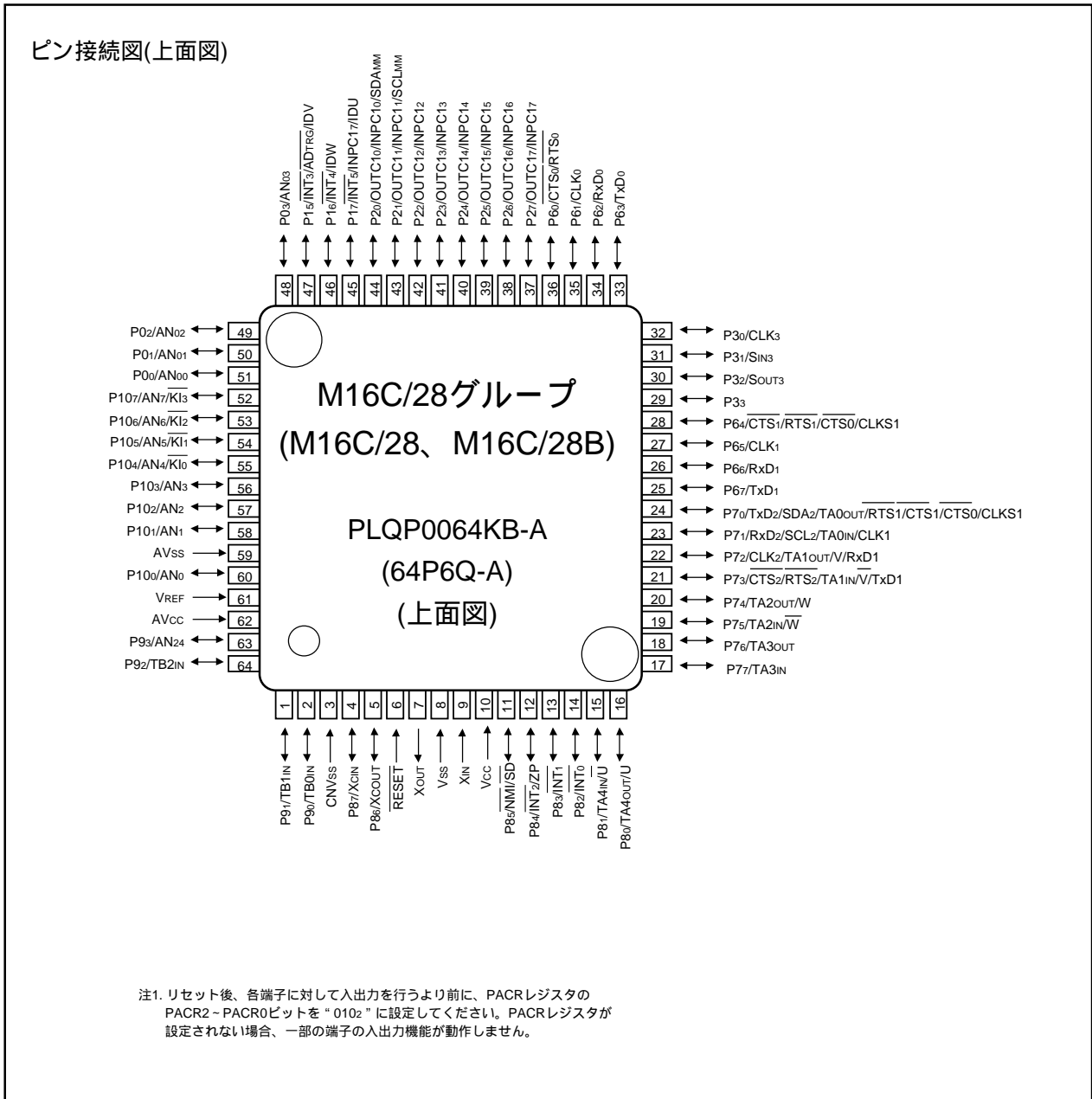


図1.7 ピン接続図(上面図)

表1.10 64ピン版ピン端子名一覧表 (1/2)

Pin No.	制御端子	ポート	割込端子	タイマ端子	タイマS端子	UART端子	マルチマスタ I ² Cバス端子	アナログ端子
1		P91		TA1IN				
2		P90		TB0IN				
3	CNVss							
4	XCIN	P87						
5	XCOUT	P86						
6	RESET							
7	XOUT							
8	Vss							
9	XIN							
10	Vcc							
11		P85	NMI	SD				
12		P84	INT ₂	ZP				
13		P83	INT ₁					
14		P82	INT ₀					
15		P81		TA4IN / U				
16		P80		TA4OUT / U				
17		P77		TA3IN				
18		P76		TA3OUT				
19		P75		TA2IN / W				
20		P74		TA2OUT / W				
21		P73		TA1IN / V		CTS ₂ / RTS ₂ / TxD ₁		
22		P72		TA1OUT / V		CLK ₂ / RxD ₁		
23		P71		TA0IN		RxD ₂ / SCL ₂ / CLK ₁		
24		P70		TA0OUT		TxD ₂ / SDA ₂ / RTS ₁ / CTS ₁ / CTS ₀ / CLKS ₁		
25		P67				TxD ₁		
26		P66				RxD ₁		
27		P65				CLK ₁		
28		P64				RTS ₁ / CTS ₁ / CTS ₀ / CLKS ₁		
29		P33						
30		P32				SOUT ₃		
31		P31				SIN ₃		
32		P30				CLK ₃		
33		P63				TxD ₀		
34		P62				RxD ₀		
35		P61				CLK ₀		
36		P60				RTS ₀ / CTS ₀		
37		P27			OUTC ₁₇ / INPC ₁₇			
38		P26			OUTC ₁₆ / INPC ₁₆			
39		P25			OUTC ₁₅ / INPC ₁₅			
40		P24			OUTC ₁₄ / INPC ₁₄			

表1.10 64ピン版ピン端子名一覧表 (2/2)

Pin No.	制御端子	ポート	割込端子	タイマ端子	タイマス端子	UART端子	マルチマスタ I ² Cバス端子	アナログ端子
41		P23			OUTC13 / INPC13			
42		P22			OUTC12 / INPC12			
43		P21			OUTC11 / INPC11		SCLMM	
44		P20			OUTC10 / INPC10		SDAMM	
45		P17	$\overline{\text{INT}}_5$	IDU	INPC17			
46		P16	$\overline{\text{INT}}_4$	IDW				
47		P15	$\overline{\text{INT}}_3$	IDV				$\overline{\text{ADTRG}}$
48		P03						AN03
49		P02						AN02
50		P01						AN01
51		P00						AN00
52		P107	$\overline{\text{KI}}_3$					AN7
53		P106	$\overline{\text{KI}}_2$					AN6
54		P105	$\overline{\text{KI}}_1$					AN5
55		P104	$\overline{\text{KI}}_0$					AN4
56		P103						AN3
57		P102						AN2
58		P101						AN1
59	AVss							
60		P100						AN0
61	VREF							
62	AVcc							
63		P93						AN24
64		P92		TB2IN				

1.5 端子の機能説明

表1.11 端子の機能説明 (64ピン版、80ピン版、85ピン版共通) (1/3)

分類	端子名	入出力	機能
電源入力	Vcc、Vss	入力	Vss端子には、0Vを入力してください。Vcc端子には、次の電圧を入力してください。2.7~5.5V
アナログ電源入力	AVcc AVss	入力	A/Dコンバータの電源入力です。AVccはVccに接続してください。AVssはVssに接続してください。
リセット入力	RESET	入力	この端子に "L" を入力するとマイクロコンピュータはリセット状態になります。
CNVss	CNVss	入力	CNVssはVssに接続ください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUT端子は開放にしてください。メインクロック発振回路を使用しない場合、XIN端子をVccに接続し、XOUT端子は開放してください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力端子です。XCIN端子とXCOUT端子の間には水晶共振子を接続してください。
サブクロック出力	XCOUT	出力	
INT割り込み入力	INT0 ~ INT5	入力	INT割り込みの入力です。INT2 はタイマAのZ相入力です。
NMI割り込み入力	NMI	入力	NMIの入力端子として機能します。三相出力使用時は、通常ポートとして使用できません。三相出力使用時は、方向レジスタを"0"にした上、通常は"H"入力固定としてください。
キー入力割り込み	KI0 ~ KI3	入力	キー入力割り込み機能の入力です。
タイマA	TA0OUT ~ TA4OUT	入出力	タイマA0 ~ A4の入出力です。
	TA0IN ~ TA4IN	入力	タイマA0 ~ A4の入力です。
	ZP	入力	Z相の入力です。
タイマB	TB0IN ~ TB2IN	入力	タイマB0 ~ B2の入力です。
三相モータ制御用タイマ出力	U、U、V、 V、W、W	出力	三相モータ制御用タイマの出力です。
	IDU、IDW、 IDV、SD	入出力	三相モータ制御用タイマの入出力です。
シリアルI/O	CTS0 ~ CTS2	入力	送信制御用入力です。
	RTS0 ~ RTS2	出力	受信制御用出力です。
	CLK0 ~ CLK3	入出力	転送クロック入出力です。
	RxD0 ~ RxD2	入力	シリアルデータ入力です。
	TxD0 ~ TxD2	出力	シリアルデータ出力です。
	CLKS1	出力	転送クロック出力です。
I ² Cモード	SDA2	入出力	シリアルデータ入出力です。
	SCL2		転送クロック入出力です。
マルチマスタ I ² C bus	SDAMM	入出力	シリアルデータ入出力です。
	SCLMM		転送クロック入出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN7 AN00 ~ AN03 AN24	入力	A/Dコンバータのアナログ入力です。
	ADTRG	入力	A/D外部トリガ入力です。

表1.11 端子の機能説明 (64ピン版、80ピン版、85ピン版共通) (2/3)

分類	端子名	入出力	機能
タイマS	INPC10~INPC17	入力	時間計測機能の入力です。
	OUTC10~OUTC17	出力	波形生成機能の出力です。
入出力ポート	P00~P03 P15~P17 P20~P27 P30~P33 P60~P67 P70~P77 P80~P87 P90~P93 P100~P107	入出力	CMOSの入出力です。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、4ポート単位でプルアップ抵抗の有無を選択できます。

表1.11 端子の機能説明 (80ピン版、85ピン版のみ) (3/3)

分類	端子名	入出力	機能
シリアルI/O	CLK4	入出力	転送クロックの入出力です。
	SIN4	入力	シリアルデータ入力です。
	SOUT4	出力	シリアルデータ出力です。
A/Dコンバータ	AN04 ~ AN07 AN20 ~ AN23 AN25 ~ AN27	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P04 ~ P07 P10 ~ P14 P34 ~ P37 P95 ~ P97	入出力	CMOSの入出力です。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、4ポート単位でプルアップ抵抗の有無を選択できます。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

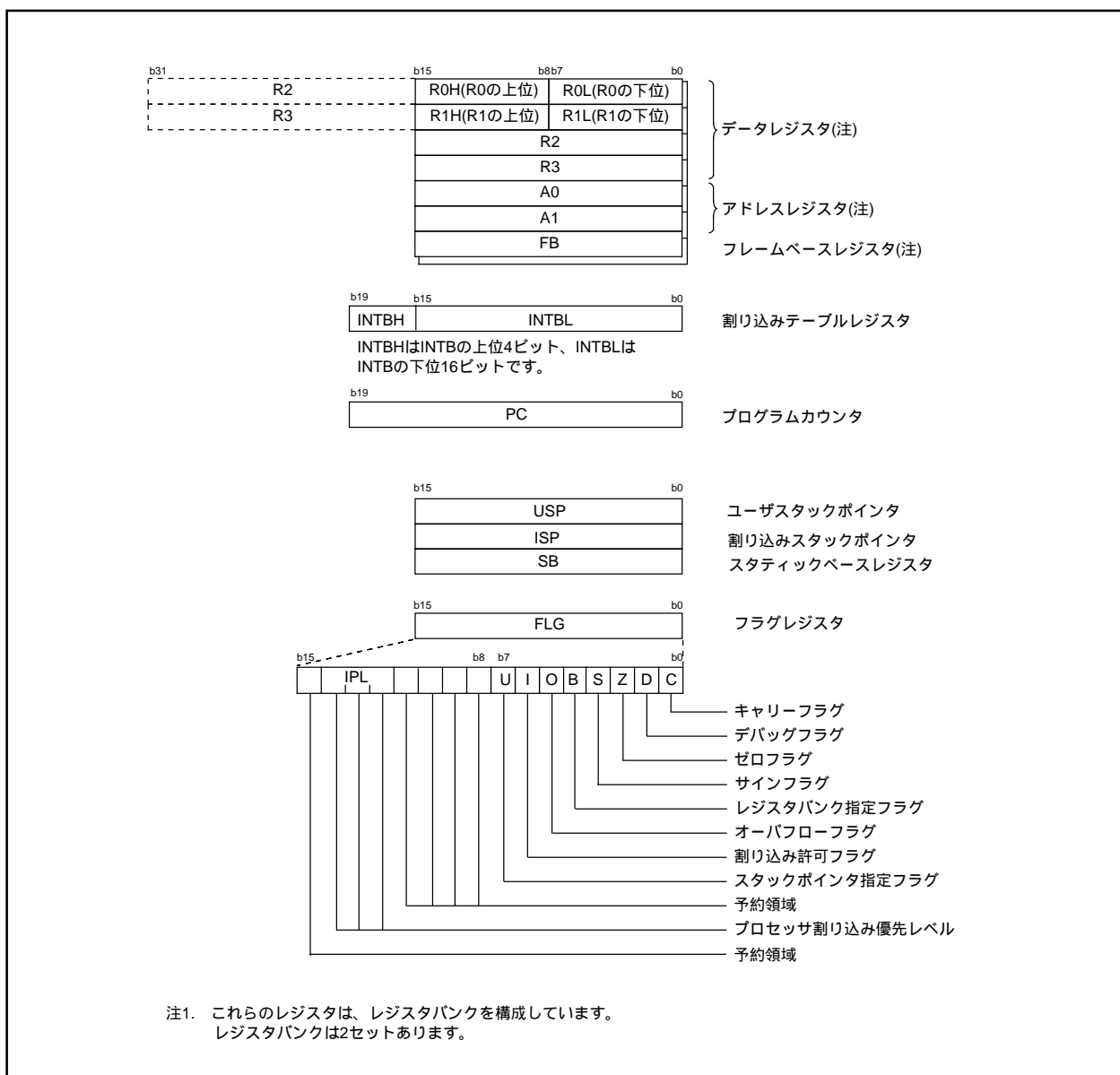


図2.1. CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP) は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ (Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ (Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

内部ROMはFFFFFF₁₆番地から下位方向に配置されます。例えば64Kバイトの内部ROMは、F0000₁₆番地からFFFFFF₁₆番地に配置されます。フラッシュメモリ版では、データ領域としてさらにブロックA(2Kバイト)、およびブロックB(2Kバイト)の2つの内部ROM領域を持ちます。このブロックはF000₁₆番地からFFFF₁₆番地に配置されます。

固定割り込みベクタテーブルはFFFDC₁₆番地からFFFFFF₁₆番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。詳細は「割り込み」を参照してください。

内部RAMは00400₁₆番地から上位方向に配置されます。例えば4Kバイトの内部RAMは、00400₁₆番地から013FF₁₆番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000₁₆番地から003FF₁₆番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00₁₆番地からFFFD₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。

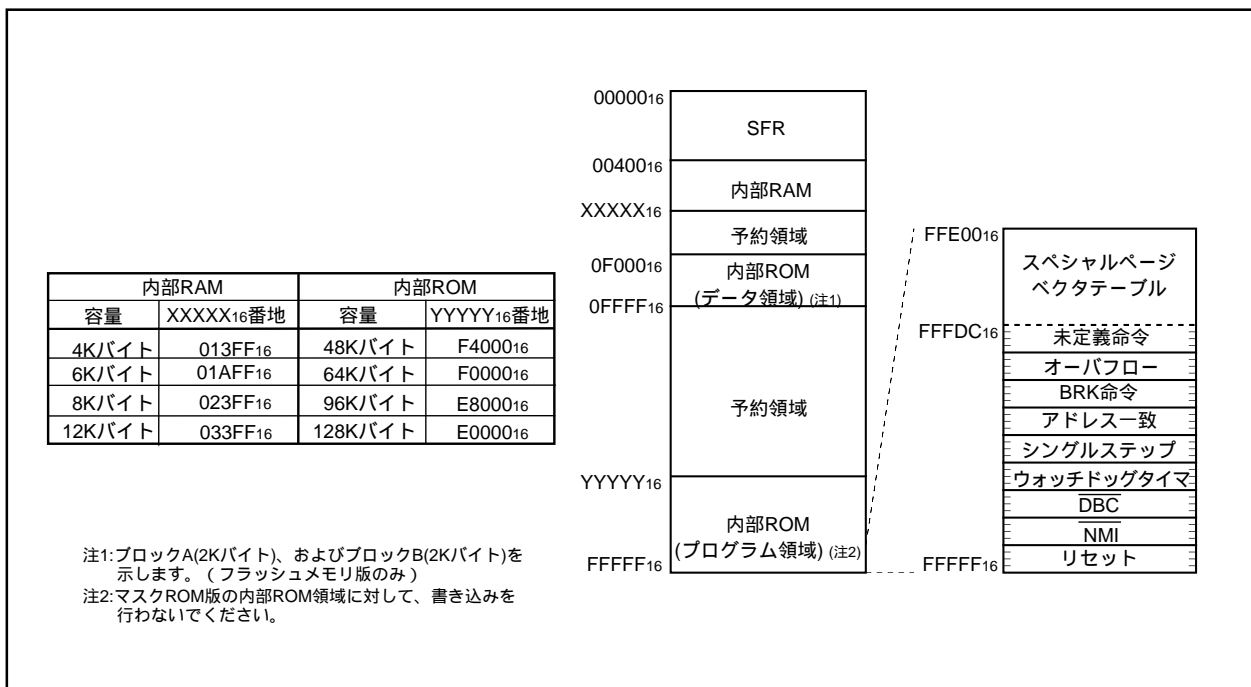


図3.1 メモリ配置

4. SFRs

SFRs(Special Function Registers)は、周辺機能の制御レジスタです。表4.1～表4.7にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0	PM0	00 ₁₆
0005 ₁₆	プロセッサモードレジスタ1	PM1	00001000 ₂
0006 ₁₆	システムクロック制御レジスタ0	CM0	01001000 ₂
0007 ₁₆	システムクロック制御レジスタ1	CM1	00100000 ₂
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00 ₂
000A ₁₆	プロテクトレジスタ	PRCR	XX000000 ₂
000B ₁₆			
000C ₁₆	発振停止検出レジスタ (注2)	CM2	0X000010 ₂
000D ₁₆			
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX ₁₆
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXX ₂
0010 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	00 ₁₆
0011 ₁₆			00 ₁₆
0012 ₁₆			X0 ₁₆
0013 ₁₆			
0014 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	00 ₁₆
0015 ₁₆			00 ₁₆
0016 ₁₆			X0 ₁₆
0017 ₁₆			
0018 ₁₆			
0019 ₁₆	電圧検出レジスタ1 (注3)	VCR1	00001000 ₂
001A ₁₆	電圧検出レジスタ2 (注3)	VCR2	00 ₁₆
001B ₁₆			
001C ₁₆	PLL制御レジスタ0	PLC0	0001X010 ₂
001D ₁₆			
001E ₁₆	プロセッサモードレジスタ2	PM2	XXX00000 ₂
001F ₁₆	電圧低下検出割り込みレジスタ	D4INT	00 ₁₆
0020 ₁₆	DMA0ソ - スポインタ	SAR0	XX ₁₆
0021 ₁₆			XX ₁₆
0022 ₁₆			XX ₁₆
0023 ₁₆			
0024 ₁₆	DMA0ディスティネ - ションポインタ	DAR0	XX ₁₆
0025 ₁₆			XX ₁₆
0026 ₁₆			XX ₁₆
0027 ₁₆			
0028 ₁₆	DMA0転送カウンタ	TCR0	XX ₁₆
0029 ₁₆			XX ₁₆
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0制御レジスタ	DM0CON	00000X00 ₂
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆	DMA1ソ - スポインタ	SAR1	XX ₁₆
0031 ₁₆			XX ₁₆
0032 ₁₆			XX ₁₆
0033 ₁₆			
0034 ₁₆	DMA1ディスティネ - ションポインタ	DAR1	XX ₁₆
0035 ₁₆			XX ₁₆
0036 ₁₆			XX ₁₆
0037 ₁₆			
0038 ₁₆	DMA1転送カウンタ	TCR1	XX ₁₆
0039 ₁₆			XX ₁₆
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1制御レジスタ	DM1CON	00000X00 ₂
003D ₁₆			
003E ₁₆			
003F ₁₆			

注1. 空欄はすべて予約領域です。使用できません。

注2. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

注3. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆	INT3割り込み制御レジスタ	INT3IC	XX00X0002
0045 ₁₆	IC/OC0割り込み制御レジスタ	ICOC0IC	XXXXX0002
0046 ₁₆	IC/OC1割り込み制御レジスタ、I ² C-BUSインタフェース割り込み制御レジスタ	ICOC1IC,IICIC	XXXXX0002
0047 ₁₆	IC/OCベースタイマ割り込み制御レジスタ、SCLSDA割り込み制御レジスタ	BTIC,SCLDAIC	XXXXX0002
0048 ₁₆	SI/O4割り込み制御レジスタ、INT5割り込み制御レジスタ	S4IC、INT5IC	XX00X0002
0049 ₁₆	SI/O3割り込み制御レジスタ、INT4割り込み制御レジスタ	S3IC、INT4IC	XX00X0002
004A ₁₆	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX0002
004B ₁₆	DMA0割り込み制御レジスタ	DM0IC	XXXXX0002
004C ₁₆	DMA1割り込み制御レジスタ	DM1IC	XXXXX0002
004D ₁₆	キ - 入力割り込み制御レジスタ	KUPIC	XXXXX0002
004E ₁₆	A/D変換割り込み制御レジスタ	ADIC	XXXXX0002
004F ₁₆	UART2送信割り込み制御レジスタ	S2TIC	XXXXX0002
0050 ₁₆	UART2受信割り込み制御レジスタ	S2RIC	XXXXX0002
0051 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	XXXXX0002
0052 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	XXXXX0002
0053 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	XXXXX0002
0054 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	XXXXX0002
0055 ₁₆	タイマA0割り込み制御レジスタ	TA0IC	XXXXX0002
0056 ₁₆	タイマA1割り込み制御レジスタ	TA1IC	XXXXX0002
0057 ₁₆	タイマA2割り込み制御レジスタ	TA2IC	XXXXX0002
0058 ₁₆	タイマA3割り込み制御レジスタ	TA3IC	XXXXX0002
0059 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	XXXXX0002
005A ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXXX0002
005B ₁₆	タイマB1割り込み制御レジスタ	TB1IC	XXXXX0002
005C ₁₆	タイマB2割り込み制御レジスタ	TB2IC	XXXXX0002
005D ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00X0002
005E ₁₆	INT1割り込み制御レジスタ	INT1IC	XX00X0002
005F ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00X0002
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			

注1. 空欄はすべて予約領域です。使用できません。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆	フラッシュメモリ制御レジスタ4(注2)	FMR4	01000002
01B4 ₁₆			
01B5 ₁₆	フラッシュメモリ制御レジスタ1(注2)	FMR1	000XX0X2
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0(注2)	FMR0	00000012
01B8 ₁₆			
01B9 ₁₆			
0210 ₁₆	低消費電力制御レジスタ0	LPCC0	X00000012
0211 ₁₆			
0212 ₁₆			
0213 ₁₆			
0214 ₁₆			
0215 ₁₆			
0216 ₁₆			
0217 ₁₆			
0218 ₁₆			
0219 ₁₆			
0250 ₁₆			
0251 ₁₆			
0252 ₁₆			
0253 ₁₆			
0254 ₁₆			
0255 ₁₆			
0256 ₁₆			
0257 ₁₆			
0258 ₁₆			
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆	オンチップオシレータ制御レジスタ	ROCR	X00001012
025D ₁₆	端子割り当て制御レジスタ	PACR	0016
025E ₁₆	周辺クロック選択レジスタ	PCLKR	000000112
025F ₁₆	低消費電力制御レジスタ1	LPCC1	0016
02E0 ₁₆	I ² C0データシフトレジスタ	S00	XX16
02E1 ₁₆			
02E2 ₁₆	I ² C0アドレスレジスタ	S0D0	0016
02E3 ₁₆	I ² C0コントロールレジスタ0	S1D0	0016
02E4 ₁₆	I ² C0クロックコントロールレジスタ	S20	0016
02E5 ₁₆	I ² C0スタート/ストップコンディション制御レジスタ	S2D0	000110102
02E6 ₁₆	I ² C0コントロールレジスタ1	S3D0	001100002
02E7 ₁₆	I ² C0コントロールレジスタ2	S4D0	0016
02E8 ₁₆	I ² C0ステータスレジスタ	S10	0001000X2
02E9 ₁₆			
02EA ₁₆			
02FE ₁₆			
02FF ₁₆			

注1. 空欄はすべて予約領域です。使用できません。

注2. このレジスタはフラッシュメモリ版にあります。

X: 不定です。

表4.4 SFR一覧(4)^(注1)

番地	レジスタ	シンボル	リセット後の値
0300 ₁₆ 0301 ₁₆	時間計測、波形生成レジスタ0	G1TM0,G1PO0	XX16 XX16
0302 ₁₆ 0303 ₁₆	時間計測、波形生成レジスタ1	G1TM1,G1PO1	XX16 XX16
0304 ₁₆ 0305 ₁₆	時間計測、波形生成レジスタ2	G1TM2,G1PO2	XX16 XX16
0306 ₁₆ 0307 ₁₆	時間計測、波形生成レジスタ3	G1TM3,G1PO3	XX16 XX16
0308 ₁₆ 0309 ₁₆	時間計測、波形生成レジスタ4	G1TM4,G1PO4	XX16 XX16
030A ₁₆ 030B ₁₆	時間計測、波形生成レジスタ5	G1TM5,G1PO5	XX16 XX16
030C ₁₆ 030D ₁₆	時間計測、波形生成レジスタ6	G1TM6,G1PO6	XX16 XX16
030E ₁₆ 030F ₁₆	時間計測、波形生成レジスタ7	G1TM7,G1PO7	XX16 XX16
0310 ₁₆	波形生成制御レジスタ0	G1POCR0	0X00XX002
0311 ₁₆	波形生成制御レジスタ1	G1POCR1	0X00XX002
0312 ₁₆	波形生成制御レジスタ2	G1POCR2	0X00XX002
0313 ₁₆	波形生成制御レジスタ3	G1POCR3	0X00XX002
0314 ₁₆	波形生成制御レジスタ4	G1POCR4	0X00XX002
0315 ₁₆	波形生成制御レジスタ5	G1POCR5	0X00XX002
0316 ₁₆	波形生成制御レジスタ6	G1POCR6	0X00XX002
0317 ₁₆	波形生成制御レジスタ7	G1POCR7	0X00XX002
0318 ₁₆	時間計測制御レジスタ0	G1TMCR0	0016
0319 ₁₆	時間計測制御レジスタ1	G1TMCR1	0016
031A ₁₆	時間計測制御レジスタ2	G1TMCR2	0016
031B ₁₆	時間計測制御レジスタ3	G1TMCR3	0016
031C ₁₆	時間計測制御レジスタ4	G1TMCR4	0016
031D ₁₆	時間計測制御レジスタ5	G1TMCR5	0016
031E ₁₆	時間計測制御レジスタ6	G1TMCR6	0016
031F ₁₆	時間計測制御レジスタ7	G1TMCR7	0016
0320 ₁₆ 0321 ₁₆	ベースタイマレジスタ	G1BT	XX16 XX16
0322 ₁₆	ベースタイマ制御レジスタ0	G1BCR0	0016
0323 ₁₆	ベースタイマ制御レジスタ1	G1BCR1	0016
0324 ₁₆	時間計測プリスケアラレジスタ6	G1TPR6	0016
0325 ₁₆	時間計測プリスケアラレジスタ7	G1TPR7	0016
0326 ₁₆	機能許可レジスタ	G1FE	0016
0327 ₁₆	機能選択レジスタ	G1FS	0016
0328 ₁₆ 0329 ₁₆	ベースタイマリセットレジスタ	G1BTRR	XX16 XX16
032A ₁₆ 032B ₁₆ 032C ₁₆ 032D ₁₆ 032E ₁₆ 032F ₁₆	カウントソース分周レジスタ	G1DV	0016
0330 ₁₆	割り込み要求レジスタ	G1IR	XX16
0331 ₁₆	割り込み許可レジスタ0	G1IE0	0016
0332 ₁₆	割り込み許可レジスタ1	G1IE1	0016
0333 ₁₆ 0334 ₁₆ 0335 ₁₆ 0336 ₁₆ 0337 ₁₆ 0338 ₁₆ 0339 ₁₆ 033A ₁₆ 033B ₁₆ 033C ₁₆ 033D ₁₆			
033E ₁₆	NMIデジタルデバウンスレジスタ	NDDR	FF16
033F ₁₆	ポートP17デジタルデバウンスレジスタ	P17DDR	FF16

注1. 空欄はすべて予約領域です。使用できません。

X：不定です。

表4.5 SFR一覧(5)^(注1)

番地	レジスタ	シンボル	リセット後の値
0340 ₁₆			
0341 ₁₆			
0342 ₁₆	タイマA1-1レジスタ	TA11	XX ₁₆
0343 ₁₆			XX ₁₆
0344 ₁₆	タイマA2-1レジスタ	TA21	XX ₁₆
0345 ₁₆			XX ₁₆
0346 ₁₆	タイマA4-1レジスタ	TA41	XX ₁₆
0347 ₁₆			XX ₁₆
0348 ₁₆	三相PWM制御レジスタ0	INVC0	00 ₁₆
0349 ₁₆	三相PWM制御レジスタ1	INVC1	00 ₁₆
034A ₁₆	三相出力バッファレジスタ0	IDB0	00111112
034B ₁₆	三相出力バッファレジスタ1	IDB1	00111112
034C ₁₆	短絡防止タイマ	DTT	XX ₁₆
034D ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XX ₁₆
034E ₁₆	位置データ保持機能制御レジスタ	PDRF	XXXX00002
034F ₁₆			
0350 ₁₆			
0351 ₁₆			
0352 ₁₆			
0353 ₁₆			
0354 ₁₆			
0355 ₁₆			
0356 ₁₆			
0357 ₁₆			
0358 ₁₆			
0359 ₁₆			
035A ₁₆			
035B ₁₆			
035C ₁₆			
035D ₁₆			
035E ₁₆	割り込み要因選択レジスタ2	IFSR2A	00XXXXX02 (注2)
035F ₁₆	割り込み要因選択レジスタ	IFSR	00 ₁₆
0360 ₁₆	SI/O3送受信レジスタ	S3TRR	XX ₁₆
0361 ₁₆			
0362 ₁₆	SI/O3制御レジスタ	S3C	010000002
0363 ₁₆	SI/O3転送速度レジスタ	S3BRG	XX ₁₆
0364 ₁₆	SI/O4送受信レジスタ	S4TRR	XX ₁₆
0365 ₁₆			
0366 ₁₆	SI/O4制御レジスタ	S4C	010000002
0367 ₁₆	SI/O4転送速度レジスタ	S4BRG	XX ₁₆
0368 ₁₆			
0369 ₁₆			
036A ₁₆			
036B ₁₆			
036C ₁₆			
036D ₁₆			
036E ₁₆			
036F ₁₆			
0370 ₁₆			
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆	UART2特殊モードレジスタ4	U2SMR4	00 ₁₆
0375 ₁₆	UART2特殊モードレジスタ3	U2SMR3	000X0X0X2
0376 ₁₆	UART2特殊モードレジスタ2	U2SMR2	X00000002
0377 ₁₆	UART2特殊モードレジスタ	U2SMR	X00000002
0378 ₁₆	UART2送受信モードレジスタ	U2MR	00 ₁₆
0379 ₁₆	UART2転送速度レジスタ	U2BRG	XX ₁₆
037A ₁₆	UART2送信バッファレジスタ	U2TB	XX ₁₆
037B ₁₆			XX ₁₆
037C ₁₆	UART2送受信制御レジスタ0	U2C0	000010002
037D ₁₆	UART2送受信制御レジスタ1	U2C1	000000102
037E ₁₆	UART2受信バッファレジスタ	U2RB	XX ₁₆
037F ₁₆			XX ₁₆

注1. 空欄はすべて予約領域です。使用できません。

注2. リセット後、ビット0に“1”を書き込んでください。

X: 不定です。

表4.6 SFR一覧(6)^(注1)

番地	レジスタ	シンボル	リセット後の値
0380 ₁₆	カウント開始フラグ	TABSR	0016
0381 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXXX2
0382 ₁₆	ワンショット開始フラグ	ONSF	0016
0383 ₁₆	トリガ選択レジスタ	TRGSR	0016
0384 ₁₆	アップダウンフラグ	UDF	0016
0385 ₁₆			
0386 ₁₆ 0387 ₁₆	タイマA0レジスタ	TA0	XX16 XX16
0388 ₁₆ 0389 ₁₆	タイマA1レジスタ	TA1	XX16 XX16
038A ₁₆ 038B ₁₆	タイマA2レジスタ	TA2	XX16 XX16
038C ₁₆ 038D ₁₆	タイマA3レジスタ	TA3	XX16 XX16
038E ₁₆ 038F ₁₆	タイマA4レジスタ	TA4	XX16 XX16
0390 ₁₆ 0391 ₁₆	タイマB0レジスタ	TB0	XX16 XX16
0392 ₁₆ 0393 ₁₆	タイマB1レジスタ	TB1	XX16 XX16
0394 ₁₆ 0395 ₁₆	タイマB2レジスタ	TB2	XX16 XX16
0396 ₁₆	タイマA0モ - ドレジスタ	TA0MR	0016
0397 ₁₆	タイマA1モ - ドレジスタ	TA1MR	0016
0398 ₁₆	タイマA2モ - ドレジスタ	TA2MR	0016
0399 ₁₆	タイマA3モ - ドレジスタ	TA3MR	0016
039A ₁₆	タイマA4モ - ドレジスタ	TA4MR	0016
039B ₁₆	タイマB0モ - ドレジスタ	TB0MR	00XX00002
039C ₁₆	タイマB1モ - ドレジスタ	TB1MR	00XX00002
039D ₁₆	タイマB2モ - ドレジスタ	TB2MR	00XX00002
039E ₁₆ 039F ₁₆	タイマB2特殊モ - ドレジスタ	TB2SC	X00000002
03A0 ₁₆	UART0送受信モ - ドレジスタ	U0MR	0016
03A1 ₁₆	UART0転送速度レジスタ	U0BRG	XX16
03A2 ₁₆ 03A3 ₁₆	UART0送信バッファレジスタ	U0TB	XX16 XX16
03A4 ₁₆	UART0送受信制御レジスタ0	U0C0	000010002
03A5 ₁₆	UART0送受信制御レジスタ1	U0C1	000000102
03A6 ₁₆ 03A7 ₁₆	UART0受信バッファレジスタ	U0RB	XX16 XX16
03A8 ₁₆	UART1送受信モ - ドレジスタ	U1MR	0016
03A9 ₁₆	UART1転送速度レジスタ	U1BRG	XX16
03AA ₁₆ 03AB ₁₆	UART1送信バッファレジスタ	U1TB	XX16 XX16
03AC ₁₆	UART1送受信制御レジスタ0	U1C0	000010002
03AD ₁₆	UART1送受信制御レジスタ1	U1C1	000000102
03AE ₁₆ 03AF ₁₆	UART1受信バッファレジスタ	U1RB	XX16 XX16
03B0 ₁₆	UART送受信制御レジスタ2	UCON	X00000002
03B1 ₁₆			
03B2 ₁₆			
03B3 ₁₆			
03B4 ₁₆			
03B5 ₁₆			
03B6 ₁₆			
03B7 ₁₆			
03B8 ₁₆ 03B9 ₁₆	DMA0要因選択レジスタ	DM0SL	0016
03BA ₁₆ 03BB ₁₆	DMA1要因選択レジスタ	DM1SL	0016
03BC ₁₆			
03BD ₁₆			
03BE ₁₆			
03BF ₁₆			

注1. 空欄はすべて予約領域です。使用できません。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
03C0 ₁₆ 03C1 ₁₆	A/Dレジスタ0	AD0	XX ₁₆ XX ₁₆
03C2 ₁₆ 03C3 ₁₆	A/Dレジスタ1	AD1	XX ₁₆ XX ₁₆
03C4 ₁₆ 03C5 ₁₆	A/Dレジスタ2	AD2	XX ₁₆ XX ₁₆
03C6 ₁₆ 03C7 ₁₆	A/Dレジスタ3	AD3	XX ₁₆ XX ₁₆
03C8 ₁₆ 03C9 ₁₆	A/Dレジスタ4	AD4	XX ₁₆ XX ₁₆
03CA ₁₆ 03CB ₁₆	A/Dレジスタ5	AD5	XX ₁₆ XX ₁₆
03CC ₁₆ 03CD ₁₆	A/Dレジスタ6	AD6	XX ₁₆ XX ₁₆
03CE ₁₆ 03CF ₁₆	A/Dレジスタ7	AD7	XX ₁₆ XX ₁₆
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆	A/Dトリガ制御レジスタ	ADTRGCON	00 ₁₆
03D3 ₁₆	A/Dステータスレジスタ0	ADSTAT0	0000X002
03D4 ₁₆ 03D5 ₁₆	A/D制御レジスタ2	ADCON2	00 ₁₆
03D6 ₁₆	A/D制御レジスタ0	ADCON0	0000XXX2
03D7 ₁₆ 03D8 ₁₆	A/D制御レジスタ1	ADCON1	00 ₁₆
03D9 ₁₆			
03DA ₁₆			
03DB ₁₆			
03DC ₁₆			
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ	P0	XX ₁₆
03E1 ₁₆	ポートP1レジスタ	P1	XX ₁₆
03E2 ₁₆	ポートP0方向レジスタ	PD0	00 ₁₆
03E3 ₁₆	ポートP1方向レジスタ	PD1	00 ₁₆
03E4 ₁₆	ポートP2レジスタ	P2	XX ₁₆
03E5 ₁₆	ポートP3レジスタ	P3	XX ₁₆
03E6 ₁₆	ポートP2方向レジスタ	PD2	00 ₁₆
03E7 ₁₆ 03E8 ₁₆	ポートP3方向レジスタ	PD3	00 ₁₆
03E9 ₁₆			
03EA ₁₆			
03EB ₁₆			
03EC ₁₆	ポートP6レジスタ	P6	XX ₁₆
03ED ₁₆	ポートP7レジスタ	P7	XX ₁₆
03EE ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆
03EF ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆
03F0 ₁₆	ポートP8レジスタ	P8	XX ₁₆
03F1 ₁₆	ポートP9レジスタ	P9	XX ₁₆
03F2 ₁₆	ポートP8方向レジスタ	PD8	00 ₁₆
03F3 ₁₆	ポートP9方向レジスタ	PD9	00X00002
03F4 ₁₆ 03F5 ₁₆	ポートP10レジスタ	P10	XX ₁₆
03F6 ₁₆	ポートP10方向レジスタ	PD10	00 ₁₆
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆	プルアップ制御レジスタ0	PUR0	00 ₁₆
03FD ₁₆	プルアップ制御レジスタ1	PUR1	00 ₁₆
03FE ₁₆	プルアップ制御レジスタ2	PUR2	00 ₁₆
03FF ₁₆	ポート制御レジスタ	PCR	00 ₁₆

注1. 空欄はすべて予約領域です。使用できません。

X: 不定です。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセットがあります。

5.1 ハードウェアリセット

5.1.1 ハードウェアリセット1

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子は初期化されます(「表5.1 RESET端子のレベルが“L”の期間の端子の状態」を参照)。また、発振回路が初期化され、オンチップオシレータがCPUクロックとなります。RESET端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1にRESET端子のレベルが“L”の期間の端子の状態を、図5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

1. 電源が安定している場合
 - (1) RESET端子に“L”を入力する
 - (2) td(ROC)待つ
 - (3) RESET端子に“H”を入力する
2. 電源投入時
 - (1) RESET端子に“L”を入力する
 - (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
 - (3) 内部電源が安定するまでtd(P-R)待つ
 - (4) td(ROC)待つ
 - (5) RESET端子に“H”を入力する

5.1.2 ハードウェアリセット2

マイクロコンピュータに内蔵している電圧検出回路によるリセットです。電圧検出回路は、Vcc端子に入力する電圧を監視します。

VCR2レジスタのVC26ビットが“1”(リセット領域検出回路有効)の場合、Vcc端子に入力する電圧がVdet3以下になると、リセットされます。

次にVcc端子に入力する電圧がVdet3r以上になると端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。Vdet3rを検出してから、td(S-R)後にプログラムを実行します。初期化される端子、レジスタと、これらの状態は、ハードウェアリセット1と同じです。

電圧低下検出リセット(ハードウェアリセット2)によるストップモードからの復帰はできません。

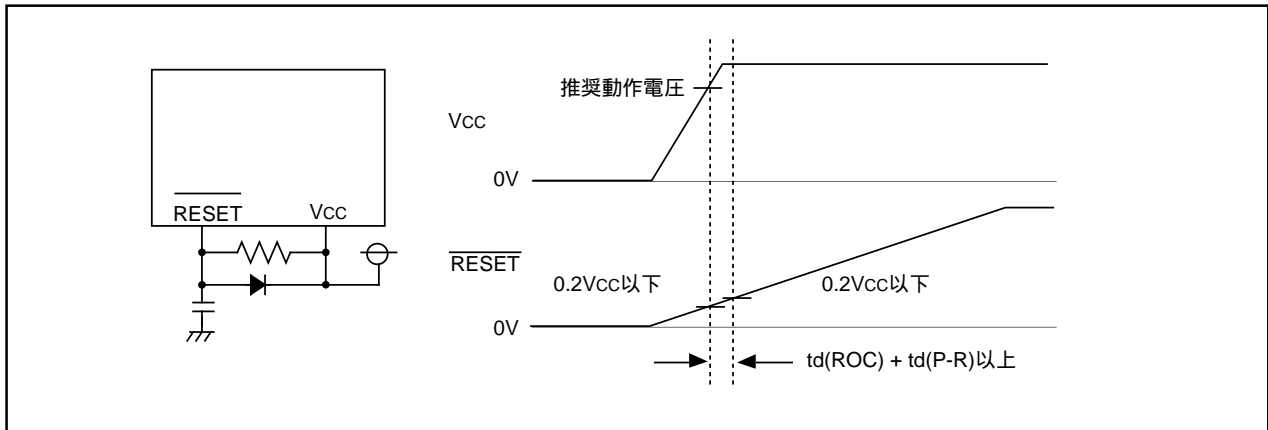


図5.1 リセット回路の一例

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

オンチップオシレータがCPUクロックになります。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

5.3 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

オンチップオシレータがCPUクロックになります。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

5.4 発振停止検出リセット

CM2レジスタのCM20ビットが“1”(発振停止、再発振検出機能有効)で、CM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。詳細は「発振停止、再発振検出機能」を参照してください。

発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

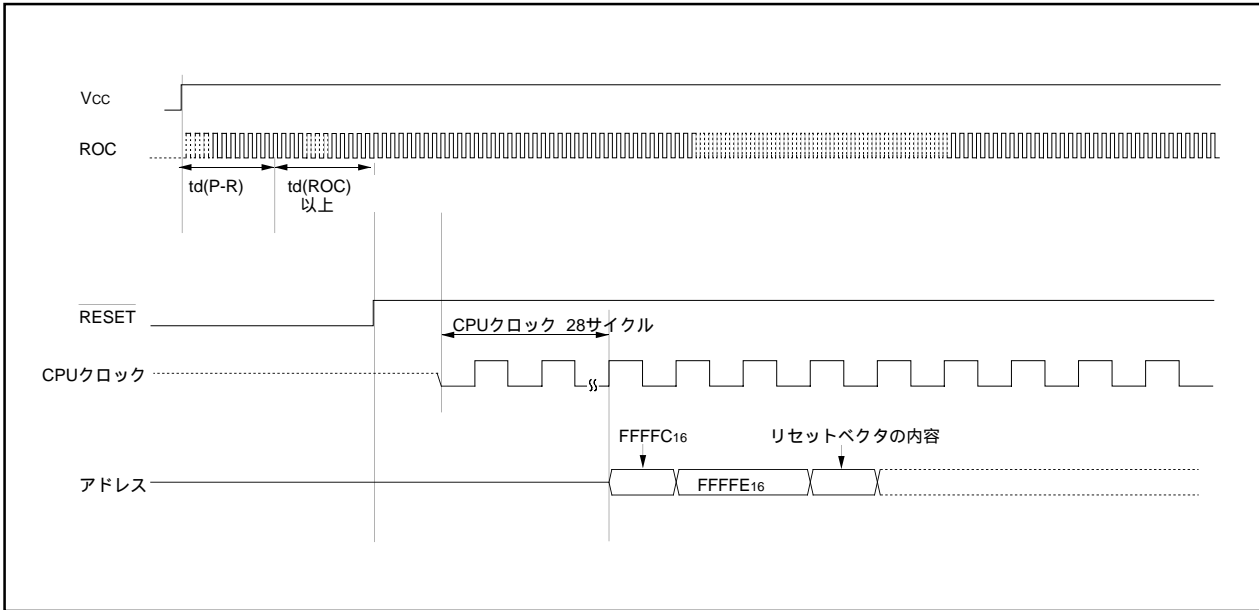


図5.2 リセットシーケンス

表5.1 RESET端子のレベルが"L"の期間の端子の状態

端子名	端子の状態
P0 ~ P3、 P6 ~ P10	入力ポート (ハイインピーダンス)

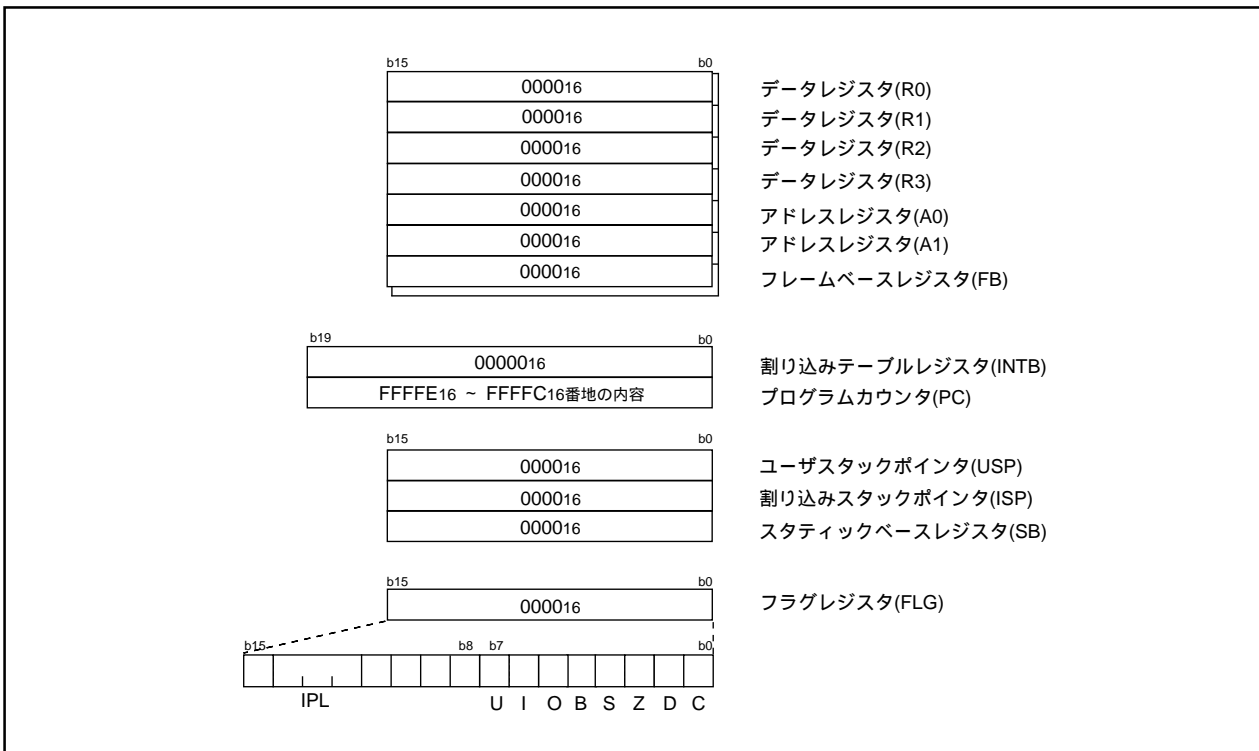


図5.3 リセット後のCPUレジスタの状態

5.5 電圧検出回路

注意

5.5 電圧検出回路は、VCC=5Vでの使用を前提としています。

電圧検出回路は、VCC端子に入力する電圧をVdet3、Vdet4で監視する回路を持ち、これらの回路を有効にするか、無効にするかをVCR2レジスタのVC26～VC27ビットで選択できます。

リセット領域検出回路は、電圧低下検出リセット(ハードウェアリセット2)で使用します。

電圧低下検出回路は、VCR1レジスタのVC13ビットで、Vdet4以上か、Vdet4未満かを検出できます。また、電圧低下検出割り込みが使用できます。

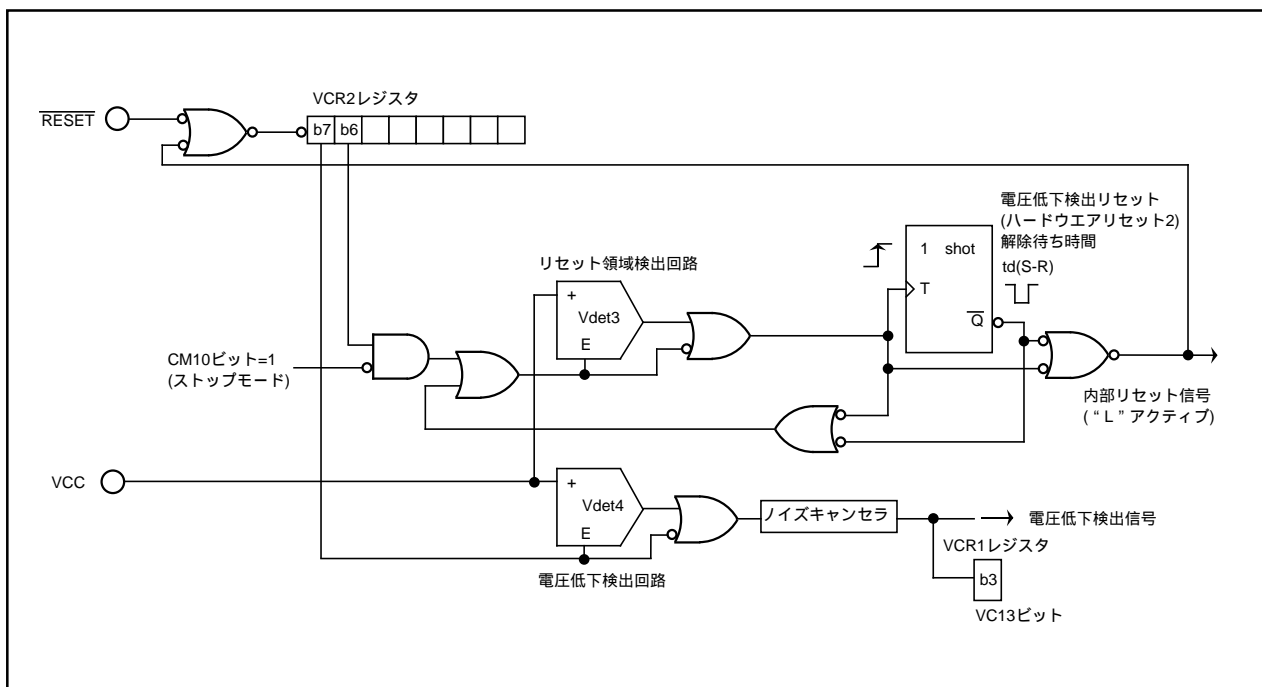


図5.4 電圧検出回路ブロック図

電圧検出レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0	0	0

シンボル
VCR1アドレス
0019₁₆番地リセット後の値(注2)
00001000₂

ビットシンボル	ビット名	機能	RW
(b2-b0)	予約ビット	"0" にしてください	RW
VC13	電圧低下モニタフラグ(注1)	0:VCC < Vdet4 1:VCC ≥ Vdet4	RO
(b7-b4)	予約ビット	"0" にしてください	RW

- 注1. VCR2レジスタのVC27ビットが"1" (電圧低下検出回路有効)のとき、VC13ビットは有効です。
VCR2レジスタのVC27ビットが"0" (電圧低下検出回路無効)のとき、VC13ビットは"1" (VCC ≥ Vdet4)になります。
- 注2. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。

電圧検出レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0	0	0	0

シンボル
VCR2アドレス
001A₁₆番地リセット後の値(注5)
00₁₆

ビットシンボル	ビット名	機能	RW
(b5-b0)	予約ビット	"0" にしてください	RW
VC26	リセット領域監視ビット (注2、3、6)	0: リセット領域検出回路無効 1: リセット領域検出回路有効	RW
VC27	電圧低下監視ビット(注4、6)	0: 電圧低下検出回路無効 1: 電圧低下検出回路有効	RW

- 注1. このレジスタはPRCRレジスタのPRC3ビットを"1" (書き込み許可)にした後で書き換えてください。
- 注2. 電圧低下検出リセット(ハードウェアリセット2)を使用する場合、VC26ビットを"1" (リセット領域検出回路有効)にしてください。
- 注3. ストップモード時、VC26ビットは無効です(VCC端子の入力電圧がVdet3より低くなってもリセットされません)。
- 注4. VCR1レジスタのVC13ビット、D4INTレジスタのD42ビットを使用する場合、またはD40ビットを"1" (電圧低下検出割り込み許可)にする場合、VC27ビットを"1" (電圧低下検出回路有効)にしてください。
- 注5. ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。
- 注6. VC26ビットまたはVC27ビットを"1"にした後、td(E-A)経過してから検出回路が動作します。

図5.5 VCR1、VCR2レジスタ

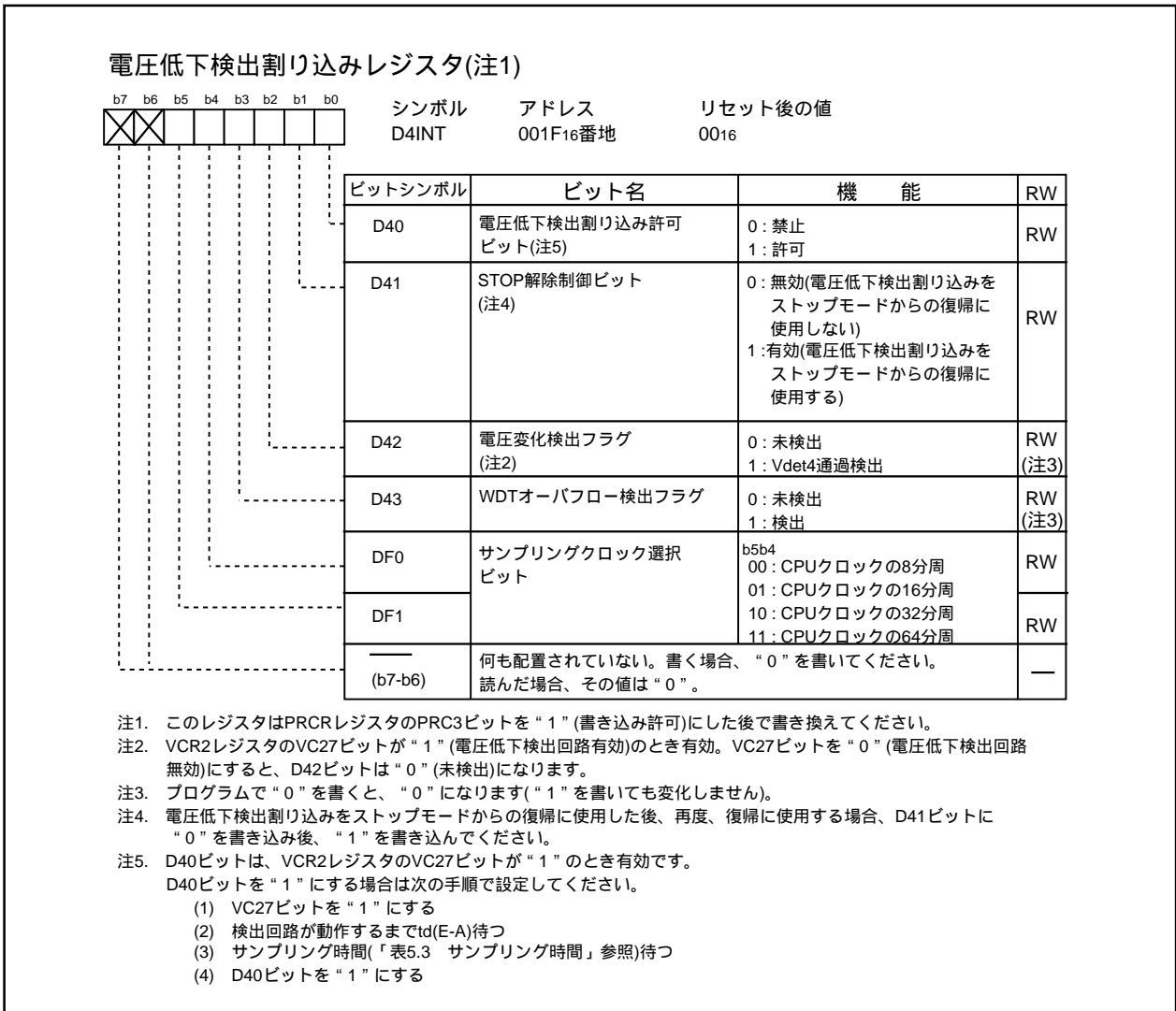


図5.6 D4INTレジスタ

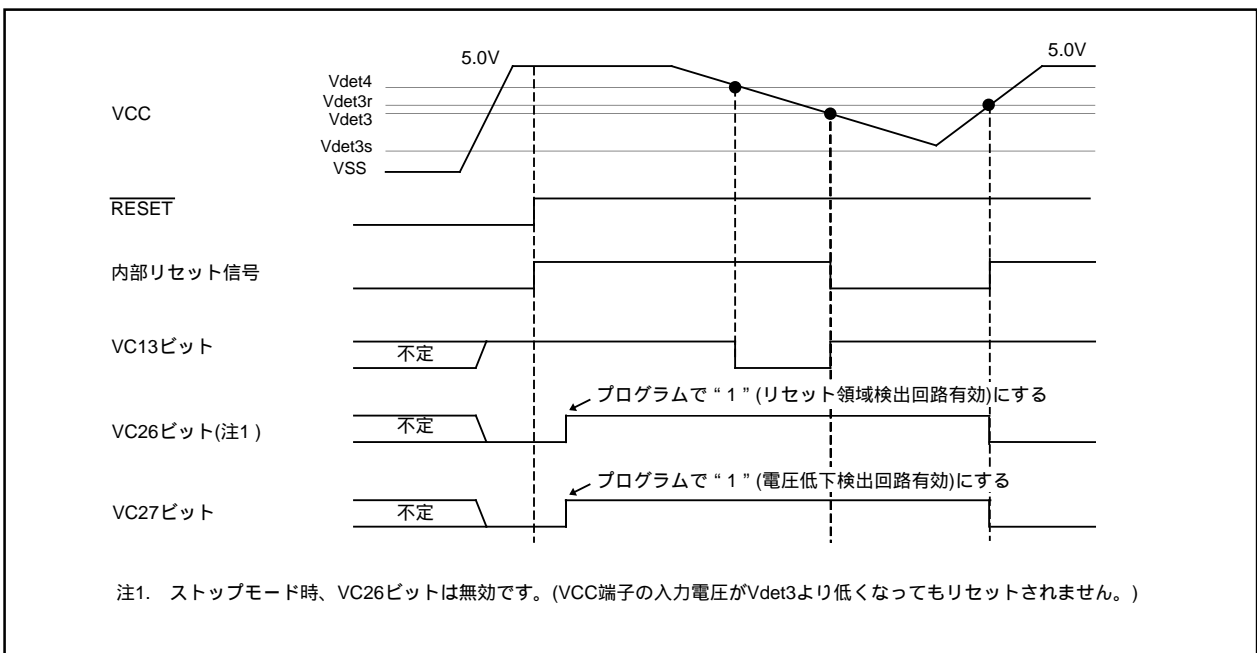


図5.7 電圧低下検出リセット(ハードウェアリセット2)動作例

5.5.1 電圧低下検出割り込み

D4INTレジスタのD40ビットが“1” (電圧低下検出割り込み許可)の場合、VCC端子に入力する電圧が上昇してVdet4以上になったとき、または降下してVdet4以下になったとき、電圧低下検出割り込み要求が発生します。電圧低下検出割り込みは、ウォッチドッグタイマ割り込み、発振停止、再発振検出割り込みと割り込みベクタを共用しています。

電圧低下検出割り込みをストップモードからの復帰に使用する場合、D4INTレジスタのD41ビットを“1” (有効)にしてください。

D4INTレジスタのD42ビットはVCC端子に入力する電圧が上昇または降下してVdet4を通過したことを検出したとき“1”になります。D42ビットが“0”から“1”に変化すると、電圧低下検出割り込み要求が発生します。D42ビットはプログラムで“0”にしてください。ただし、D41ビットが“1”でかつストップモードの場合、VCC端子に入力する電圧が上昇してVdet4を通過したことを検出すると、D42ビットの状態にかかわらず、電圧低下検出割り込み要求が発生し、ストップモードから復帰します。

表5.2に電圧低下検出割り込み要求発生条件を示します。

VCC端子に入力する電圧がVdet4を通過したことを検出するサンプリングクロックをD4INTレジスタのDF1～DF0ビットで設定できます。表5.3にサンプリング時間を示します。

表5.2 電圧低下検出割り込み要求発生条件

動作モード	VC27ビット	D40ビット	D41ビット	D42ビット	CM02ビット	VC13ビット	
通常動作モード (注1)	1	1	—	0 1	—	0 1 (注3)	
						1 0 (注3)	
ウェイトモード (注2)			—	0 1	0	0 1 (注3)	
						1 0 (注3)	
ストップモード (注2)			—	1	—	1	0 1
							0

-：“0”または“1”

注1. ウェイトモード、ストップモード以外の状態を通常動作モードとします。(「7.クロック発生回路」参照)

注2. 「5.5.2 ストップモード」「ウェイトモードの制約」参照。

注3. VC13ビットの値が変化してからサンプリング時間経過した後、割り込み要求が発生します。詳細は「図5.9 電圧低下検出割り込み発生回路の動作例」を参照してください。

表5.3 サンプリング時間

CPU クロック (MHz)	サンプリング時間(μs)			
	DF1～DF0=00 (CPUクロックの8分周)	DF1～DF0=01 (CPUクロックの16分周)	DF1～DF0=10 (CPUクロックの32分周)	DF1～DF0=11 (CPUクロックの64分周)
16	3.0	6.0	12.0	24.0

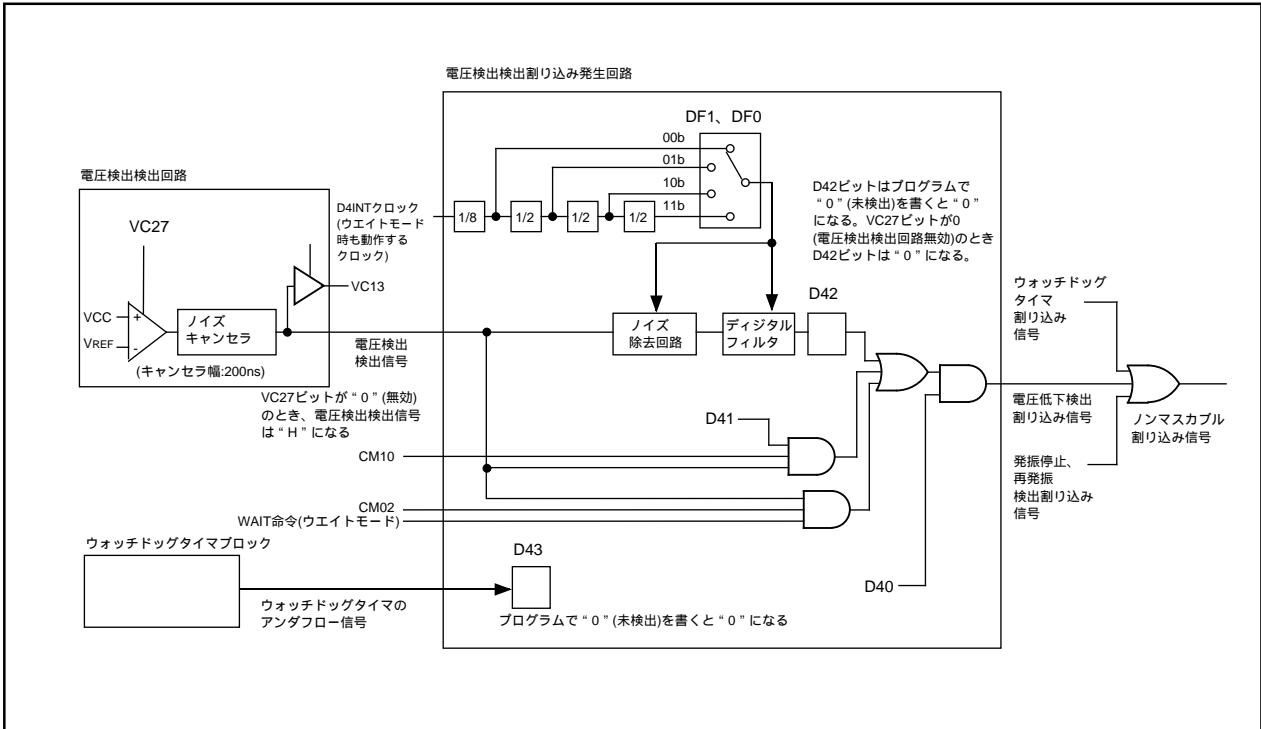


図5.8 電圧低下検出割り込み発生回路ブロック図

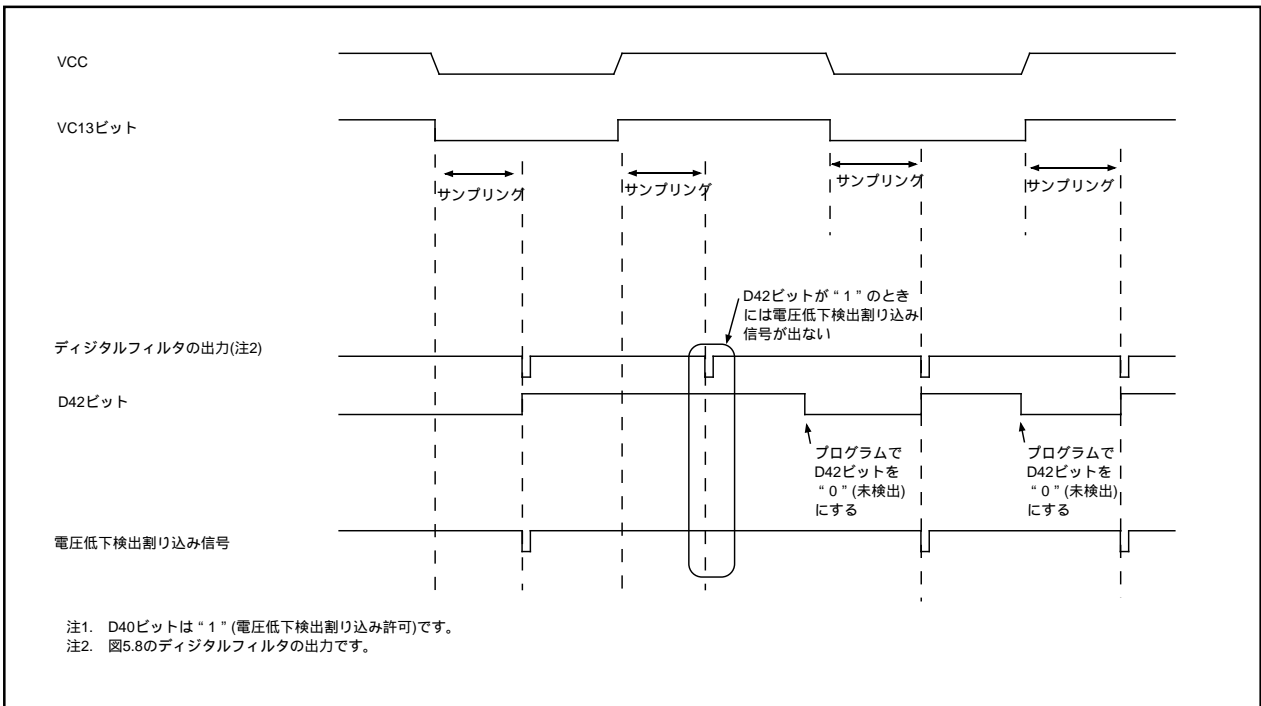


図5.9 電圧低下検出割り込み発生回路の動作例

5.5.2 ストップモードの制約

次の4つの条件をすべて満たしているとき、CM1レジスタのCM10ビットを“1”(ストップモード)にすると、すぐに電圧低下検出割り込みが発生し、ストップモードから復帰します。

- ・ VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)
- ・ D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)
- ・ D41ビットが“1”(ストップモードからの復帰に電圧低下検出割り込みを使用する)
- ・ VCC端子に入力する電圧がVdet4以上のとき(VCR1レジスタのVC13ビットが“1”)

VCC端子に入力する電圧がVdet4以下になったときストップモードに移行し、Vdet4以上になったときストップモードから復帰するシステムでは、VC13ビットが“0”(VCC < Vdet4)のとき、CM10ビットを“1”にしてください。

5.5.3 ウェイトモードの制約

次の5つの条件をすべて満たしているとき、WAIT命令を実行すると、すぐに電圧低下検出割り込みが発生し、ウェイトモードから復帰します。

- ・ CM0レジスタのCM02ビットが“1”(周辺機能クロックを停止する)
- ・ VCR2レジスタのVC27ビットが“1”(電圧低下検出回路有効)
- ・ D4INTレジスタのD40ビットが“1”(電圧低下検出割り込み許可)
- ・ D41ビットが“1”(ウェイトモードからの復帰に電圧低下検出割り込みを使用する)
- ・ VCC端子に入力する電圧がVdet4以上のとき(VCR1レジスタのVC13ビットが“1”)

VCC端子に入力する電圧がVdet4以下になったときウェイトモードに移行し、Vdet4以上になったときウェイトモードから復帰するシステムでは、VC13ビットが“0”(VCC < Vdet4)のとき、WAIT命令を実行してください。

6. プロセッサモード

プロセッサモードは、シングルチップモードのみ使用できます。

図6.1～図6.2に関連レジスタ図の詳細を示します。

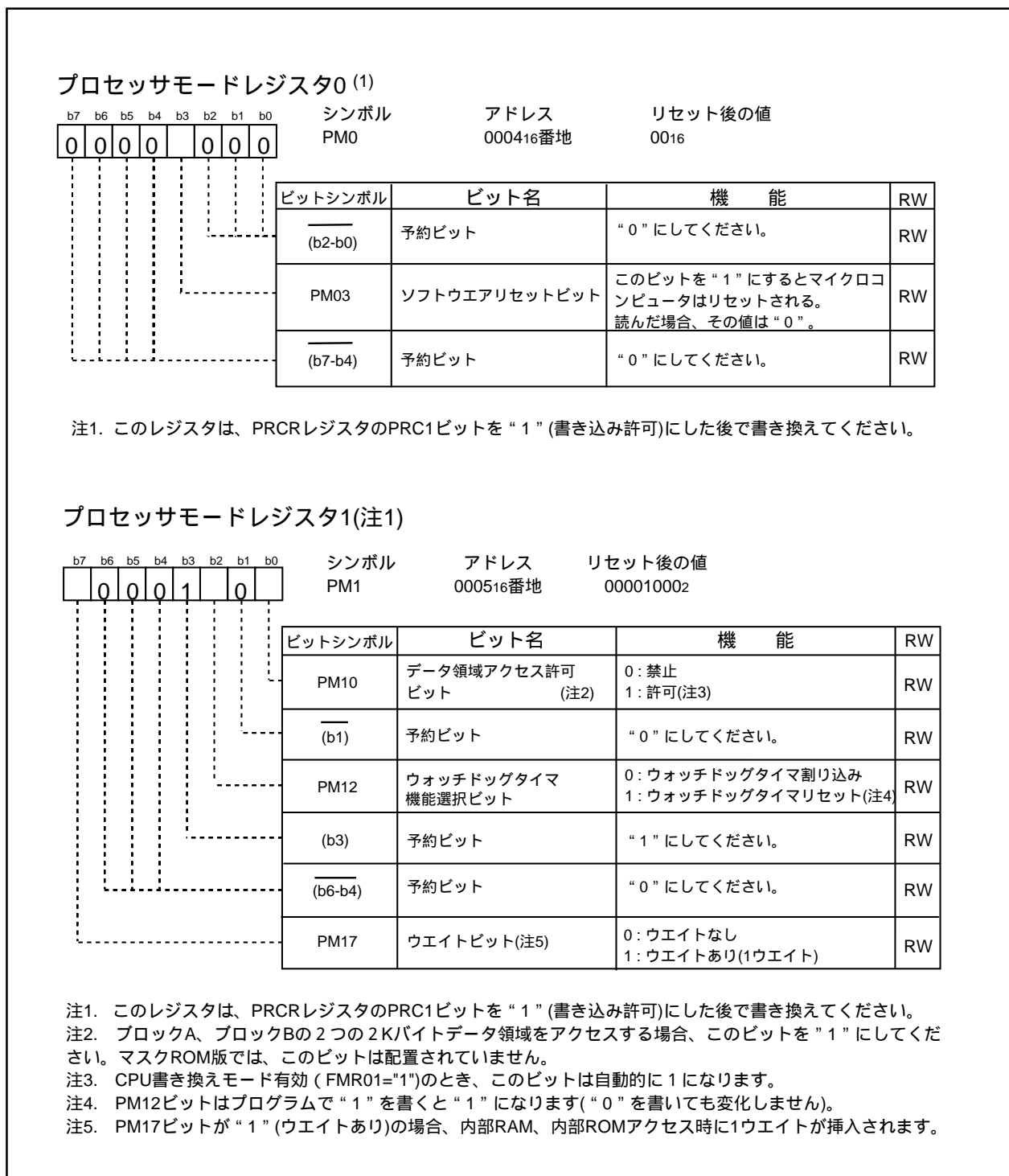


図 6.1 PM0レジスタ、PM1レジスタ

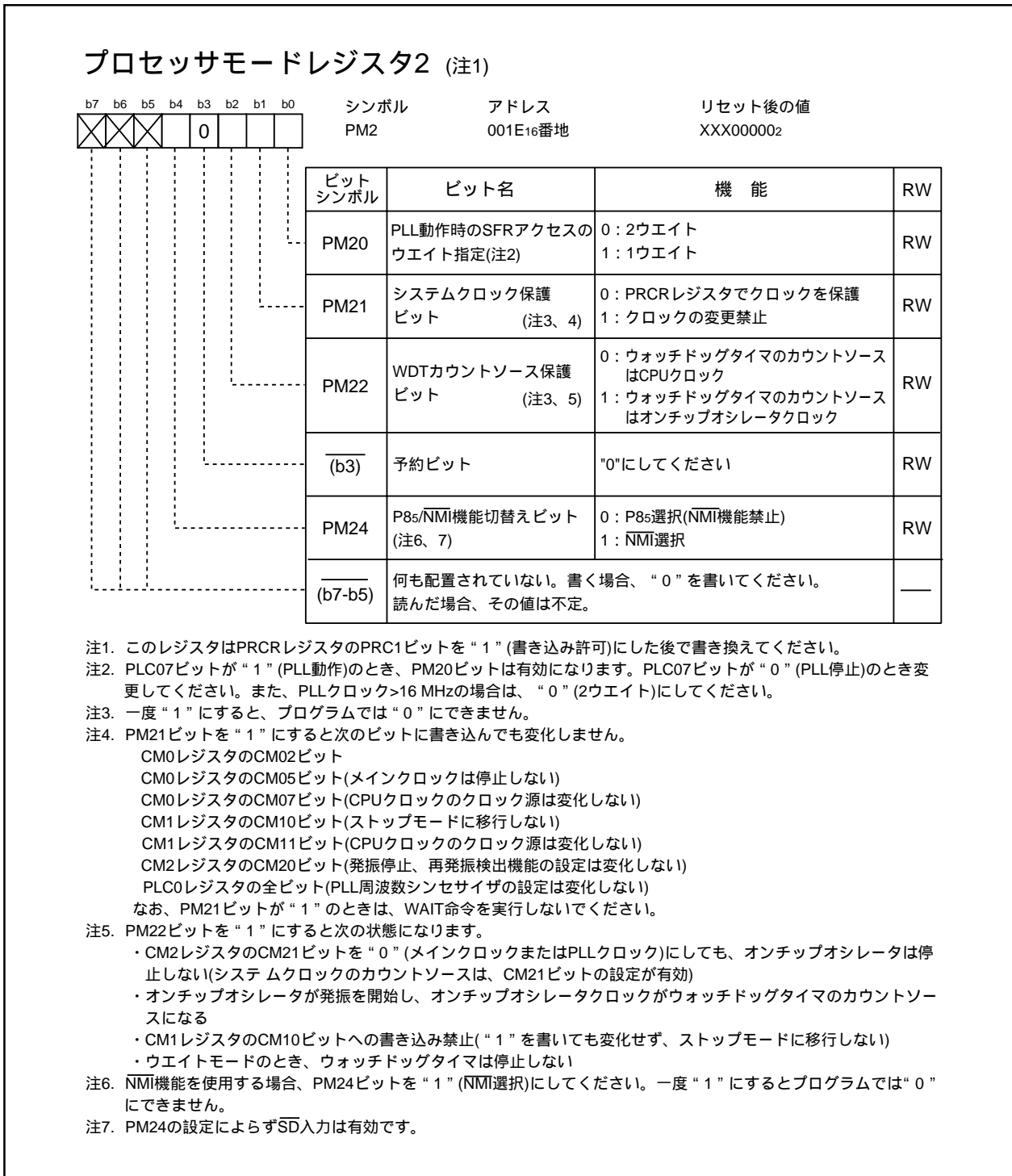


図 6.2 PM2レジスタ

内部バスには、CPUバスとメモリバス、周辺バスがあります。バスインターフェースユニット(BIU)が、CPUバスと、メモリバスまたは周辺バスとの切り替えを行います。図6.3に内部バスのブロック図を示します。

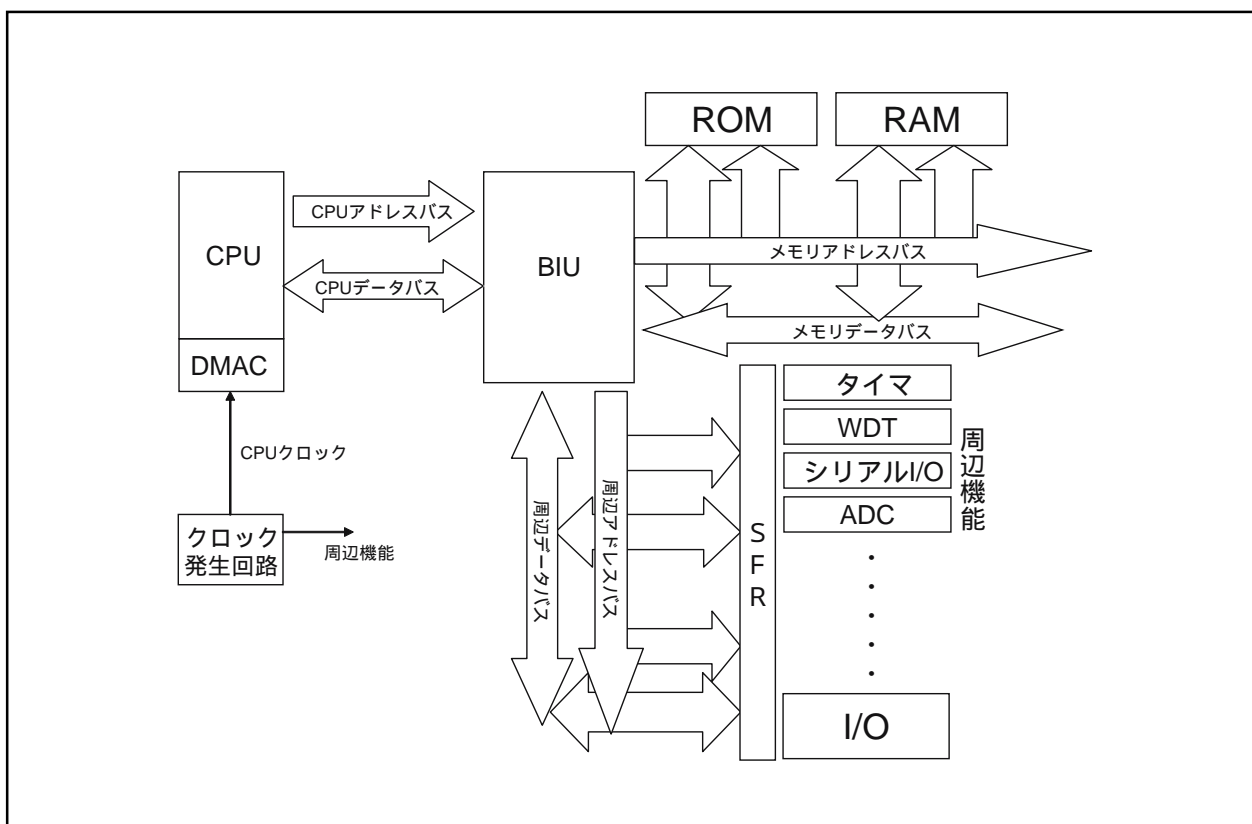


図 6.3 バスブロック図

ROM/RAMとSFRは、アクセス時のバスサイクルが異なります。表6.1にアクセス領域に対するバスサイクルを示します。

表6.1 バスサイクル

	アクセス領域	バスサイクル
SFR	PM20ビットが“0” (2ウェイト)	CPUクロックの3サイクル
	PM20ビットが“1” (1ウェイト)	CPUクロックの2サイクル
ROM/RAM	PM17ビットが“0” (ウェイトなし)	CPUクロックの1サイクル
	PM17ビットが“1” (1ウェイト)	CPUクロックの2サイクル

7. クロック発生回路

クロック発生回路として、4つの回路を内蔵します。

- (1) メインクロック発振回路
- (2) サブクロック発振回路
- (3) オンチップオシレータ
- (4) PLL周波数シンセサイザ

表7.1にクロック発生回路の概略仕様を示します。また、図7.1にシステムクロック発生回路のブロック図、図7.2～図7.7にクロック関連レジスタを示します。

表7.1 クロック発生回路の概略仕様

項目	メインクロック発振回路	サブクロック発振回路	オンチップオシレータ	PLL周波数シンセサイザ
用途	・CPUのクロック源 ・周辺機能のクロック源	・CPUのクロック源 ・タイマA、Bのクロック源	・CPUのクロック源 ・周辺機能のクロック源 ・メインクロック発振停止時のCPU、周辺機能のクロック源	・CPUのクロック源 ・周辺機能のクロック源
クロック周波数	0 ~ 20MHz	32.768kHz	・周波数 : f1(ROC), f2(ROC), f3(ROC) ・分周 : 1/2, 1/4, 1/8	10 ~ 20MHz
接続できる発振子	・セラミック共振子 ・水晶発振子	・水晶発振子	——	——
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	——	——
発振停止、再開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	発振 (CPUのクロック源)	停止
その他	外部で生成されたクロックを入力可能		——	——

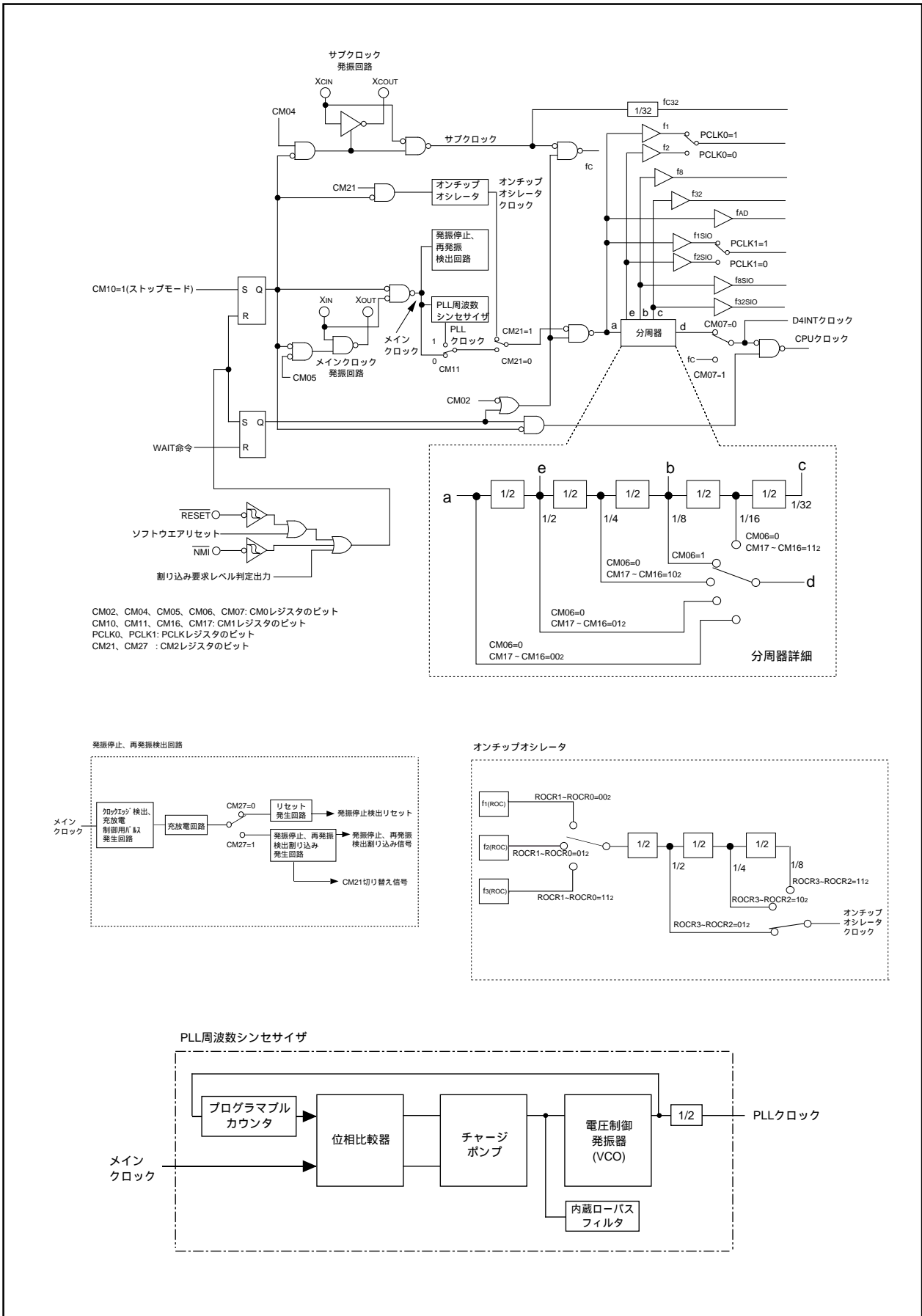


図 7.1 クロック発生回路



図7.2 CM0 レジスタ

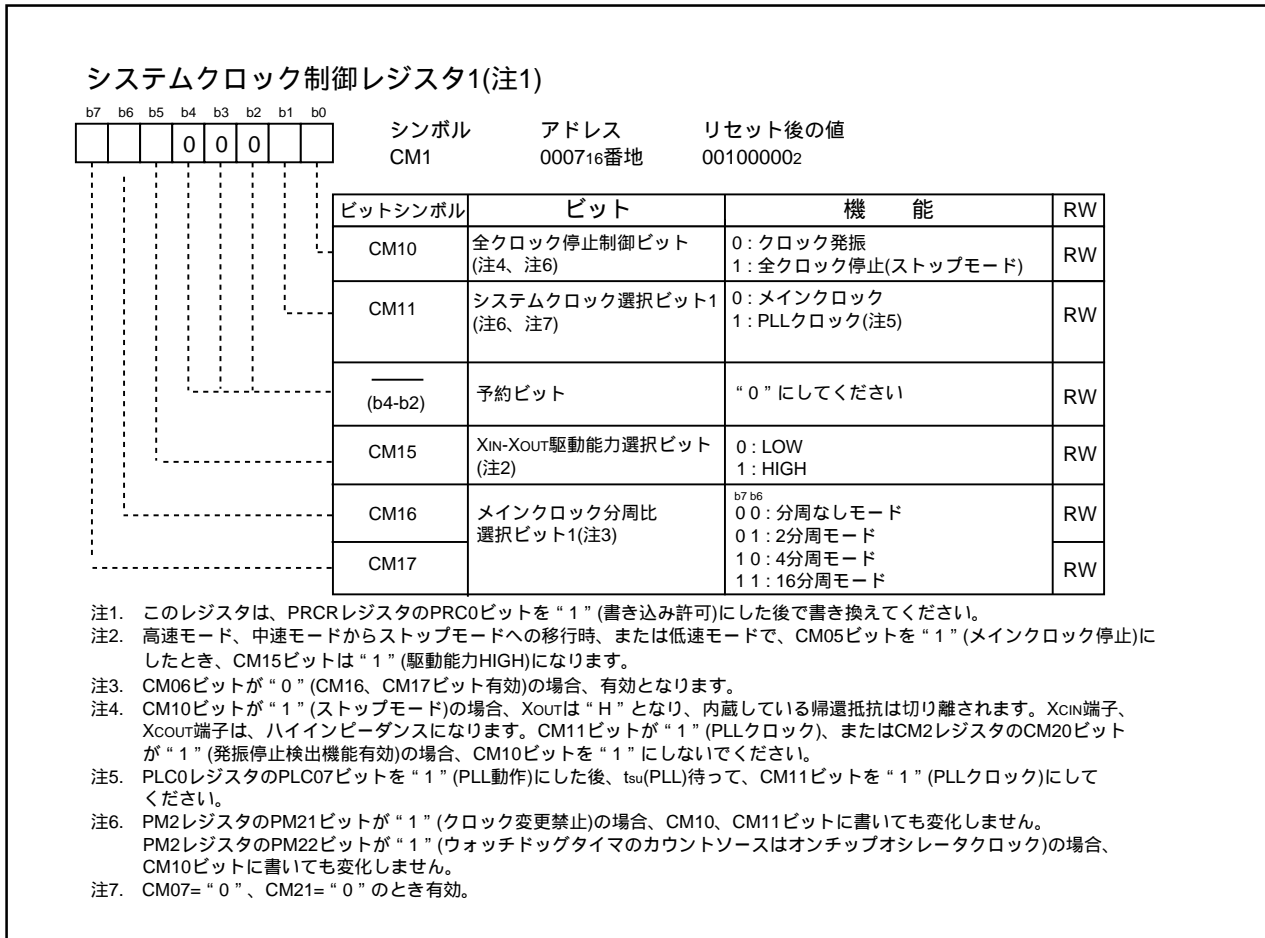


図7.3 CM1レジスタ

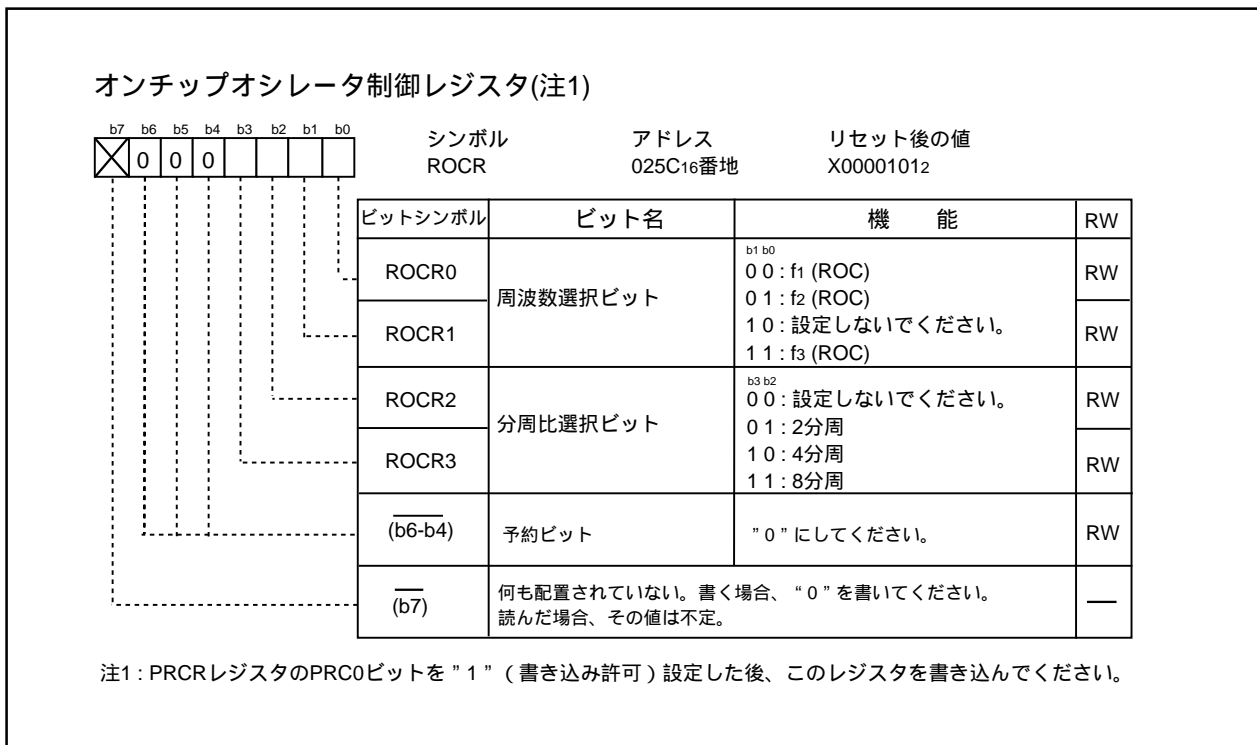
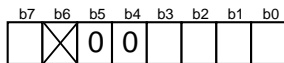


図7.4 ROCRレジスタ

発振停止検出レジスタ(注1)



シンボル アドレス リセット後の値
CM2 000C₁₆番地 0X000010₂(注11)

ビットシンボル	ビット名	機能	RW
CM20	発振停止、再発振検出許可ビット(注7、注9、注10、注11)	0: 発振停止、再発振検出機能無効 1: 発振停止、再発振検出機能有効	RW
CM21	システムクロック選択ビット2(注2、注3、注6、注8、注11、注12)	0: メインクロックまたはPLLクロック 1: オンチップオシレータクロック(オンチップオシレータ発振)	RW
CM22	発振停止、再発振検出フラグ(注4)	0: 発振停止、再発振を検出 1: 発振停止、再発振を検出	RW
CM23	XINモニタフラグ(注5)	0: メインクロック発振 1: メインクロック停止	RO
(b5-b4)	予約ビット	“0” にしてください	RW
(b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		
CM27	発振停止、再発振検出時の動作選択ビット(注11)	0: 発振停止検出リセット 1: 発振停止、再発振検出割り込み	RW

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”(オンチップオシレータクロック)になります。
- 注3. CM20ビットが“1”で、かつCM23ビットが“1”(メインクロック停止)のとき、CM21ビットを“0”にしないでください。
- 注4. メインクロック停止検出時とメインクロック再発振検出時“1”になります。このビットが“0”から“1”に変化すると発振停止、再発振検出割り込み要求が発生します。割り込みルーチンで発振停止、再発振検出割り込みと、ウォッチドッグタイマ割り込みの要因判別のために使用してください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません。また、発振停止、再発振検出割り込み要求が受け付けられても、“0”になりません)。CM22ビットが“1”のとき、発振停止または再発振を検出しても、発振停止、再発振検出割り込みは発生しません。
- 注5. 発振停止、再発振検出割り込みルーチンで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。
- 注6. CM0レジスタのCM07ビットが“0”のとき有効。
- 注7. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM20ビットに書いても変化しません。
- 注8. CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CM11ビットが“1”(CPUクロック源はPLLクロック)の場合、メインクロック停止を検出してもCM21ビットは変化しません。この条件でCM22ビットが“0”ならばメインクロック停止検出時に発振停止、再発振検出割り込み要求が発生しますので、割り込みルーチン内でCM21ビットを“1”(オンチップオシレータクロック)にしてください。
- 注9. ストップモードへ移行する場合、CM20ビットを“0”(無効)にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”(有効)にしてください。
- 注10. CM0レジスタのCM05ビットを“1”(メインクロック停止)にする前にCM2レジスタのCM20ビットを“0”(無効)にしてください。
- 注11. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
- 注12. CM21ビットが“0”(オンチップオシレータ停止)、CM05ビットが“1”(メインクロックを停止)のときCM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

図7.5 CM2レジスタ

周辺クロック選択レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0			PCLKR	025E16番地	00000011 ₂
ビットシンボル		ビット名		機能		RW				
PCLK0		タイマA、Bクロック選択ビット (タイマA、タイマB、タイマS、 短絡防止タイマ、SI/O3、SI/O4、および マルチマスタ ² C busのクロック源)		0 : f ₂ 1 : f ₁		RW				
PCLK1		SI/Oクロック選択ビット (UART0~UART2のクロック源)		0 : f ₂ SI/O 1 : f ₁ SI/O		RW				
(b7-b2)		予約ビット		"0"にしてください		RW				

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

プロセッサモードレジスタ2 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
X	X	X	X	0				PM2	001E16番地	XXX00000 ₂
ビットシンボル		ビット名		機能		RW				
PM20		PLL動作時のSFRアクセスの ウェイト指定(注2)		0 : 2ウェイト 1 : 1ウェイト		RW				
PM21		システムクロック保護 ビット (注3、4)		0 : PRCRレジスタでクロックを保護 1 : クロックの変更禁止		RW				
PM22		WDTカウントソース保護 ビット (注3、5)		0 : ウォッチドッグタイマのカウントソース はCPUクロック 1 : ウォッチドッグタイマのカウントソース はオンチップオシレータクロック		RW				
(b3)		予約ビット		"0"にしてください		RW				
PM24		P8s/NMI機能切替えビット (注6、7)		0 : P8s選択(NMI機能禁止) 1 : NMI選択		RW				
(b7-b5)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。				—				

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. PLC07ビットが“1”(PLL動作)のとき、PM20ビットは有効になります。PLC07ビットが“0”(PLL停止)のとき変更してください。また、PLLクロック>16 MHzの場合は、“0”(2ウェイト)にしてください。

注3. 一度“1”にすると、プログラムでは“0”にできません。

注4. PM21ビットを“1”にすると次のビットに書き込んででも変化しません。

- CM0レジスタのCM02ビット
- CM0レジスタのCM05ビット(メインクロックは停止しない)
- CM0レジスタのCM07ビット(CPUクロックのクロック源は変化しない)
- CM1レジスタのCM10ビット(ストップモードに移行しない)
- CM1レジスタのCM11ビット(CPUクロックのクロック源は変化しない)
- CM2レジスタのCM20ビット(発振停止、再発振検出機能の設定は変化しない)
- PLC0レジスタの全ビット(PLL周波数シンセサイザの設定は変化しない)

なお、PM21ビットが“1”のときは、WAIT命令を実行しないでください。

注5. PM22ビットを“1”にすると次の状態になります。

- ・CM2レジスタのCM21ビットを“0”(メインクロックまたはPLLクロック)にしても、オンチップオシレータは停止しない(システムクロックのカウントソースは、CM21ビットの設定が有効)
- ・オンチップオシレータが発振を開始し、オンチップオシレータクロックがウォッチドッグタイマのカウントソースになる
- ・CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ウェイトモードのとき、ウォッチドッグタイマは停止しない

注6. NMI機能を使用する場合、PM24ビットを“1”(NMI選択)にしてください。一度“1”にするとプログラムでは“0”にできません。

注7. PM24の設定によらずSD入力は有効です。

図7.6 PCLKRレジスタとPM2レジスタ

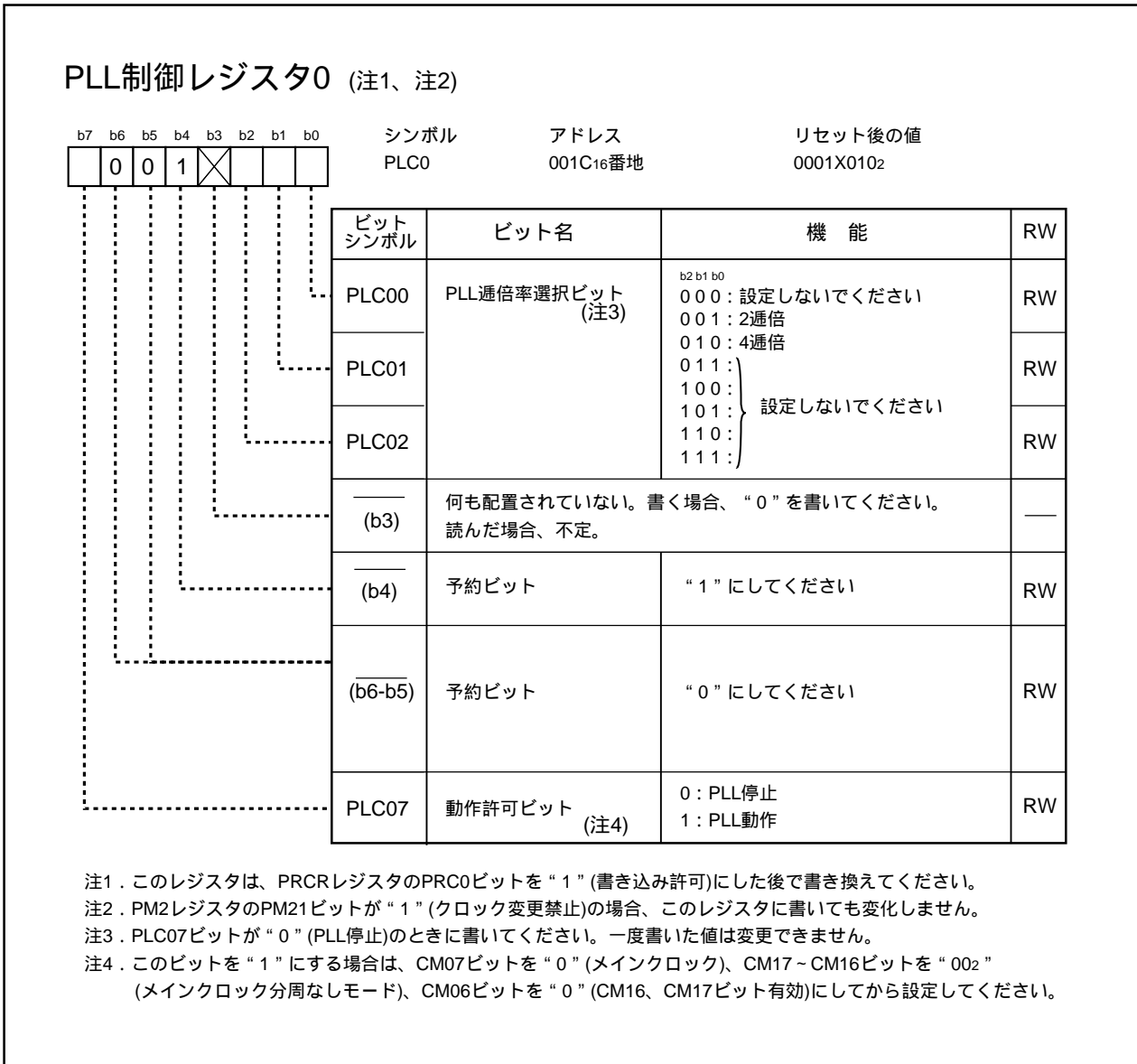


図7.7 PLC0レジスタ

クロック発生回路で生成するクロックを説明します。

7.1 メインクロック

メインクロック発振回路が供給するクロックです。メインクロックは、CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図7.8にメインクロックの接続回路例を示します。

リセット後、メインクロックは発振しています。

CPUクロックのクロック源をサブクロックまたはオンチップオシレータクロックとして、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「7.6 パワーコントロール」を参照してください。

メインクロックを使用しない場合は、リセット中の消費電力を低減するためにXin端子をVccに接続してください。

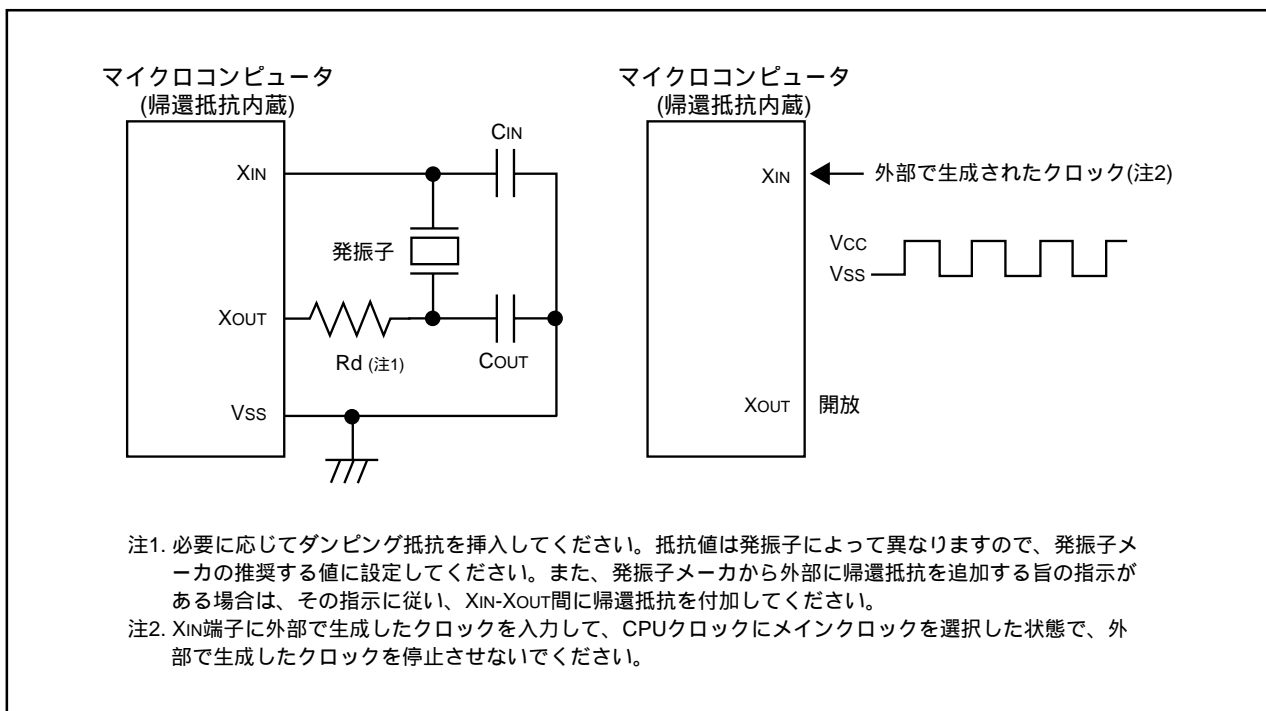


図7.8 メインクロックの接続回路例

7.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図7.9にサブクロックの接続回路例を示します。

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「パワーコントロール」を参照してください。

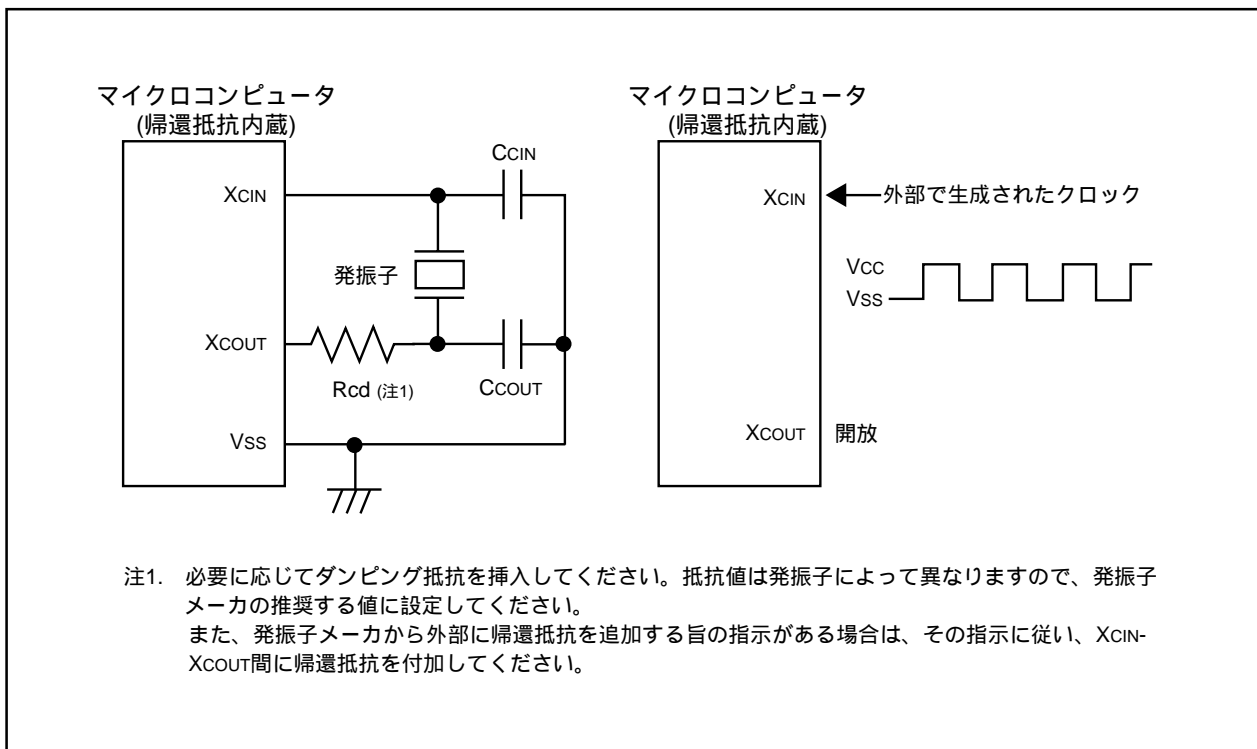


図7.9 サブクロックの接続回路例

7.3 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、PM2レジスタのPM22ビットが“1”（ウォッチドッグタイマのカウントソースはオンチップオシレータクロック）の場合、ウォッチドッグタイマのカウントソースになります（「10.1 カウントソース保護モード」参照）。

リセット後、オンチップオシレータは発振を開始し、オンチップオシレータクロックf₂(ROC)の16分周がCPUクロックになります。CM2レジスタのCM21ビットを“0”（メインクロックまたはPLLクロック）にすると、オンチップオシレータは停止します。CM2レジスタのCM20ビットが“1”（発振停止、再発振検出機能有効）、かつCM27ビットが“1”（発振停止、再発振検出割り込み）の場合、メインクロックが停止したときに、自動的にオンチップオシレータが動作を開始し、クロックを供給します。

7.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザが生成するクロックです。CPUクロックと周辺機能クロックのクロック源になります。リセット後、PLL周波数シンセサイザは停止しています。PLC07ビットを“1”（PLL動作）にするとPLL周波数シンセサイザが動作します。PLLクロックをCPUクロックのクロック源にする場合は、PLLクロックが安定するまで、tsu(PLL)待ってCM1レジスタのCM11ビットを“1”にしてください。

ウエイトモードまたはストップモードへ移行する場合は、CM11ビットを“0”（CPUクロック源はメインクロック）にしてください。さらにストップモードはPLC0レジスタのPLC07ビットを“0”（PLL停止）にしてから、ストップモードへ移行してください。図7.10にPLLクロックをCPUのクロック源にする手順を示します。

PLLクロックの周波数は次のとおりです。

PLLクロックの周波数=f(XIN) × (PLC0レジスタのPLC02 ~ PLC00ビットで設定した逡倍率)

（ただし、10MHz PLLクロック周波数 24MHz(M16C/28B)、10MHz PLLクロック周波数 20MHz(M16C/28)）

PLC02 ~ PLC00ビットはリセット後、1回だけ設定できます。表7.2にPLLクロックの周波数の設定例を示します。

表7.2 PLLクロック周波数の設定例

XIN (MHz)	PLC02	PLC01	PLC00	逡倍率	PLLクロック (MHz)(注1)
10	0	0	1	2	20
5	0	1	0	4	

注1. 10MHz PLLクロック周波数 24MHz(M16C/28B)、10MHz PLLクロック周波数 20MHz(M16C/28)

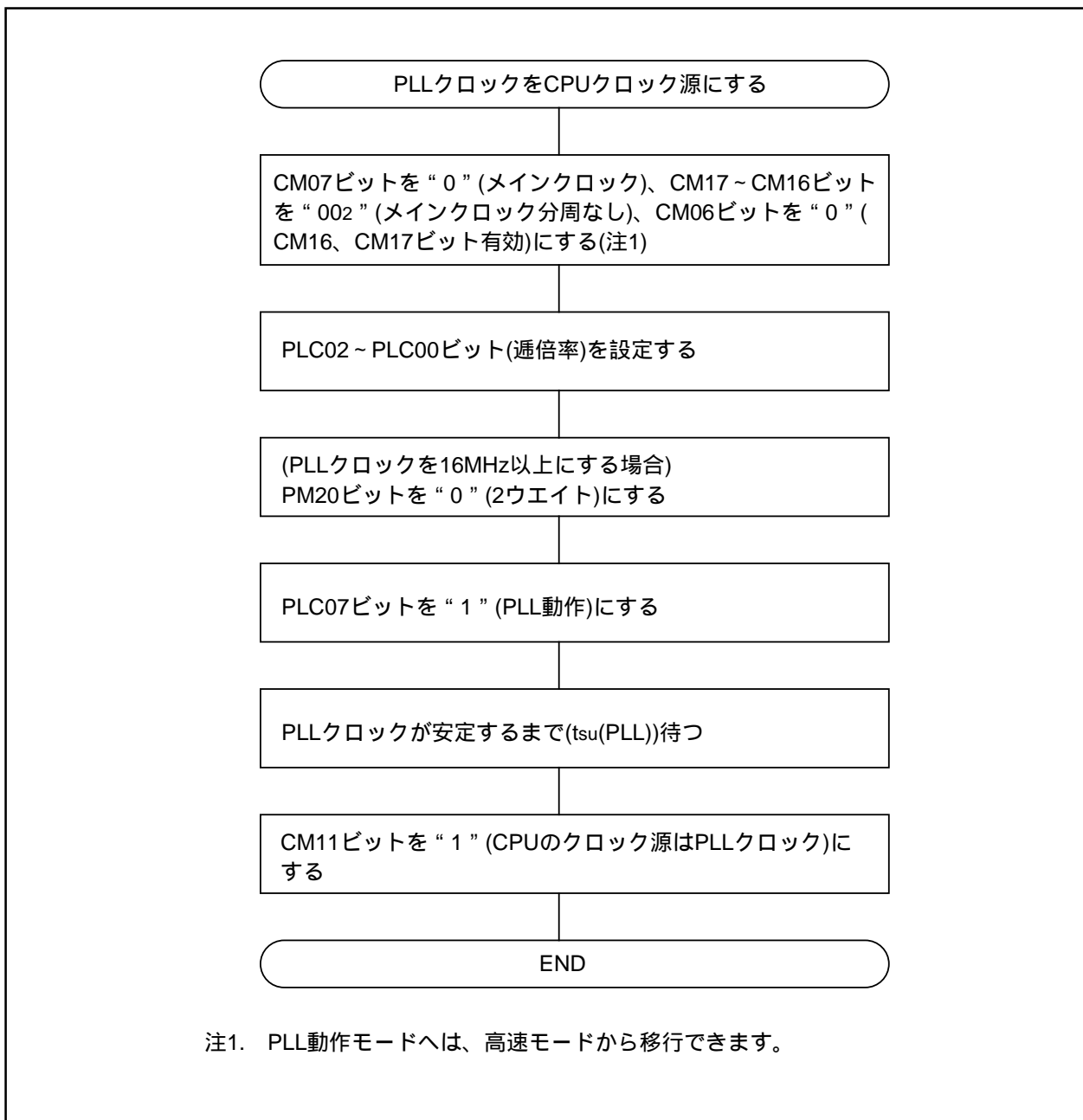


図7.10 PLLクロックをCPUのクロック源にする手順

7.5 CPU クロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

7.5.1 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、サブクロック、オンチップオシレータクロック、またはPLLクロックが選択できます。

CPUクロックのクロック源としてメインクロック、またはオンチップオシレータクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

CPUクロックのクロック源としてPLLクロックを選択する場合、CM06ビットを“0”、CM17～CM16ビットを“002”(分周なし)にしてください。

リセット後、オンチップオシレータクロックの16分周がCPUクロックになります。

なお、高速モード、中速モード、オンチップオシレータモード、またはオンチップオシレータ低消費電力モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

7.5.2 周辺機能クロック(f₁、f₂、f₈、f₃₂、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}、f_{AD}、f_{C32})

周辺機能の動作クロックです。

f_i(i=1、2、8、32)とf_{iSIO}はメインクロック、PLLクロック、またはオンチップオシレータクロックをi分周したクロックです。f₁はタイマA、タイマB、SI/O3、SI/O4で使用し、f_{iSIO}はUART0～UART2で使われます。また、f₁とf₂は短絡防止タイマ、タイマS、マルチマスタI²C busでも使われます。

f_{AD}は、メインクロック、PLLクロック、またはオンチップオシレータクロックをクロック源としA/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f_i、f_{iSIO}、f_{AD}は停止します。

f_{C32}はサブクロックをクロック源とし、タイマA、タイマBで使用します。f_{C32}はサブクロックが供給されているときに使用できます。

7.6 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウエイトモード、ストップモード以外の状態を通常動作モードと呼びます。

7.6.1 通常動作モード

通常動作モードには、さらに7つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロック、PLLクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

なお、低消費電力モードから、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードへ切り替えしないでください。同様にオンチップオシレータモードまたはオンチップオシレータ低消費電力モードから、低消費電力モードへ切り替えしないでください。

CPUクロックのクロック源をオンチップオシレータからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(CM0レジスタのCM06ビット=“1”)にした後、中速モード(8分周)に切り替えてください。

7.6.1.1 高速モード

メインクロックの1分周がCPUクロックとなります。サブクロックが供給されている場合は f_{C32} がタイマA、タイマBのカウントソースに使用できます。

7.6.1.2 PLL動作モード

メインクロックの2通倍または4通倍がPLLクロックとなり、PLLクロックがCPUクロックとなります。サブクロックが供給されている場合は f_{C32} がタイマA、タイマBのカウントソースに使用できます。PLL動作モードへは高速モードから移行できます。ウエイトまたはストップモードへ移行するときは、高速モードに移行してから移行してください。

7.6.1.3 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。サブクロックが供給されている場合は f_{C32} がタイマA、タイマBのカウントソースに使用できます。

7.6.1.4 低速モード

サブクロックがCPUクロックとなります。周辺機能クロックのクロック源は、CM21ビットが“0”(オンチップオシレータ停止)の場合はメインクロック、CM21ビットが“1”(オンチップオシレータ発振)の場合はオンチップオシレータクロックです。

f_{C32} がタイマA、タイマBのカウントソースに使用できます。

7.6.1.5 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックとなります。 f_{C32} がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックは f_{C32} のみです。

このモードにすると同時にCM0レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

7.6.1.6 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、4、8、16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。オンチップオシレータ周波数はROCRレジスタのROCR3~ROCR0ビットで選択することができます。高速、中速モードに戻すときにはCM06ビットを“1”(8分周モード)にしてください。

7.6.1.7 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータモードと同様にCPUクロックを選択できます。オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

表7.3 クロック関連ビットの設定とモード

モード		CM2レジスタ		CM1レジスタ		CM0レジスタ			
		CM21	CM11	CM17, CM16	CM07	CM06	CM05	CM04	
PLL動作モード		0	1	002	0	0	0	—	
高速モード		0	0	002	0	0	0	—	
中速モード	2分周	0	0	012	0	0	0	—	
	4分周	0	0	102	0	0	0	—	
	8分周	0	0	—	0	1	0	—	
	16分周	0	0	112	0	0	0	—	
低速モード		—	—	—	1	—	0	1	
低消費電力モード		—	—	—	1	1(注1)	1(注1)	1	
オンチップオシレータモード(注3)	分周なし	1	—	002	0	0	0	—	
	2分周	1	—	012	0	0	0	—	
	4分周	1	—	102	0	0	0	—	
	8分周	1	—	—	0	1	0	—	
	16分周	1	—	112	0	0	0	—	
オンチップオシレータ低消費電力モード		1	—	(注2)	0	(注2)	1	—	

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。

注2. オンチップオシレータモードと同様に分周値を選択できます。

注3. オンチップオシレータ周波数については、“オンチップオシレータモード”に記述しています。

7.6.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

7.6.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fADが停止しますので、消費電力が低減できます。fc32は停止しません。

7.6.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にしてからウェイトモードにしてください。PLC07ビットを“0”(PLL停止)にすると、消費電力が低減できます。

7.6.2.3 ウェイトモード時の端子の状態

各入出力ポートは、ウェイトモードに入る直前の状態を保持します。

7.6.2.4 ウェイトモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“0002”（割り込み禁止）にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”（ウェイトモード時、周辺機能クロックを停止しない）の場合は、周辺機能割り込みがウェイトモードからの復帰に使用できます。CM02ビットが“1”（ウェイトモード時、周辺機能クロックを停止する）の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

表7.4にウェイトモードからの復帰に使用できる割り込みの一覧を示します。

表7.4 ウェイトモードからの復帰に使用できる割り込み

割り込み	CM02=0の場合	CM02=1の場合
NMI割り込み	使用可	使用可
シリアルI/O割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
マルチマスタI ² C割り込み	使用可	—（使用しないでください）
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードまたは単掃引モードで使用可	—（使用しないでください）
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモードまたはカウントソースがfc32のとき使用可
タイマS割り込み	すべてのモードで使用可	—（使用しないでください）
INT割り込み	使用可	使用可

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

1. ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002”（割り込み禁止）にする。
2. Iフラグを“1”にする。
3. ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

7.6.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、Vcc端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。Vcc端子に印加する電圧を2.7V以下にする場合、Vcc VRAMにしてください。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・ $\overline{\text{NMI}}$ 割り込み
- ・ キー入力割り込み
- ・ $\overline{\text{INT}}$ 割り込み
- ・ タイマA、タイマBの割り込み(イベントカウンタモードで外部パルスをカウント時)
- ・ シリアルI/Oの割り込み(外部クロック選択時)
- ・ 電圧低下検出割り込み(使用条件は「電圧低下検出割り込み」参照)

7.6.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてからストップモードにしてください。

また、CM11ビットが“1”(CPUクロックのクロック源はPLLクロック)の場合は、CM11ビットを“0”(CPUクロックのクロック源はメインクロック)にした後、PLC07ビットを“0”(PLL停止)にしてからストップモードにしてください。

7.6.3.2 ストップモード時の端子の状態

各入出力ポートは、ストップモードに入る直前の状態を保持します。

7.6.3.3 ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

1. ストップモードからの復帰に使用する周辺機能割り込みのILVL2~ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットをすべて“0002”(割り込み禁止)にする。
2. Iフラグを“1”にする。
3. ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、または $\overline{\text{NMI}}$ 割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

ストップモード移行前のCPUクロックがサブクロックの場合	: サブクロック
ストップモード移行前のCPUクロックがメインクロックの場合	: メインクロックの8分周
ストップモード移行前のCPUクロックがオンチップオシレータクロックの場合:	
	オンチップオシレータクロックの8分周

図7.11に通常動作モードからのストップモード、ウェイトモードへの状態遷移を示します。図7.12に通常動作モードの状態遷移を示します。それぞれ図中に示された状態遷移だけをたどるようにしてください。

表7.5に現在の状態から次に遷移可能な状態と設定方法を示します。表の縦軸は現在の状態、横軸は次に遷移する状態です。

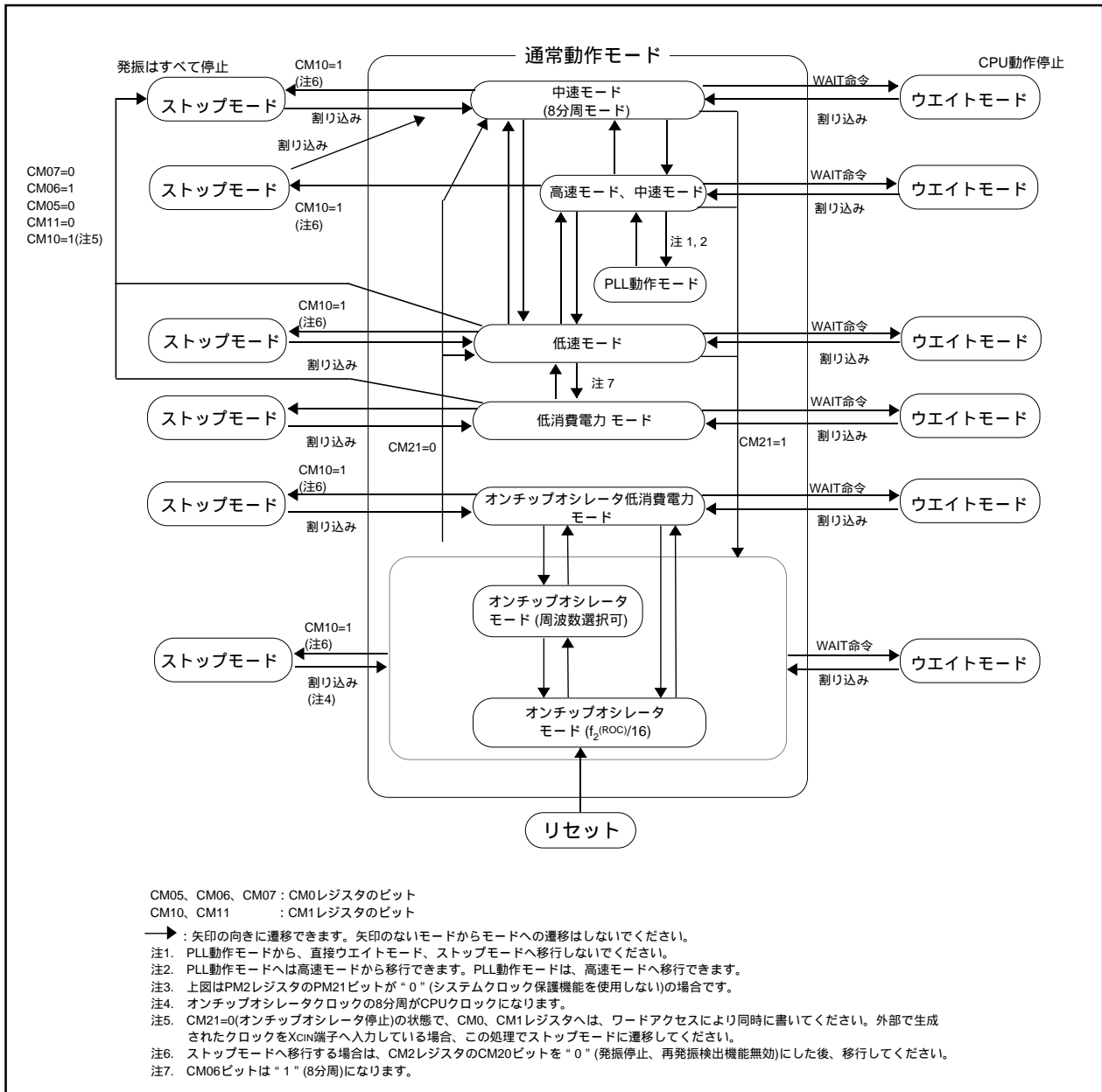


図7.11 ストップモード、ウェイトモード状態遷移

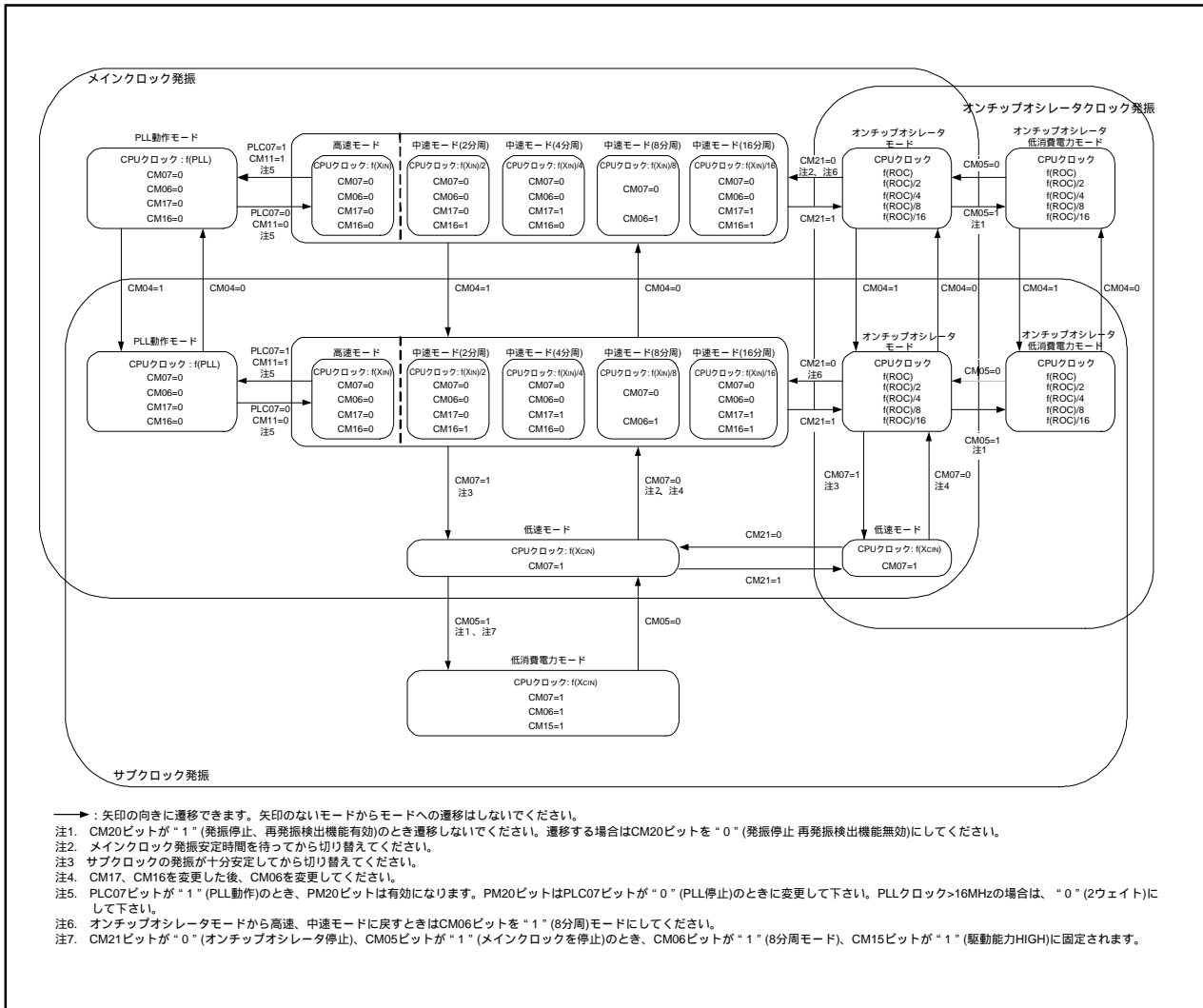


図7.12 通常動作モード状態

表7.5 現在の状態から次に遷移可能な状態と設定方法

現在の状態	高速・中速モード	次の状態						
		低速モード (注2)	低消費電力モード	PLL動作モード (注2)	オンチップオシレータ モード	オンチップオシレータ 低消費電力モード	ストップモード	ウェイトモード
高速・中速モード	(注8)	(9) (注7)	-	(13) (注3)	(15)	-	(16) (注1)	(17)
低速モード(注2)	(8)	/	(11) (注1、注6)	-	(8)	-	(16) (注1)	(17)
低消費電力モード	-	(10)	/	-	-	-	(16) (注1)	(17)
PLL動作モード(注2)	(12) (注3)	-	-	/	-	-	-	-
オンチップオシレータ モード	(14) (注4)	(9) (注7)	-	-	(注8)	(11) (注1)	(16) (注1)	(17)
オンチップオシレータ 低消費電力モード	-	-	-	-	(10)	(注8)	(16) (注1)	(17)
ストップモード	(18) (注5)	(18)	(18)	-	(18) (注5)	(18) (注5)	/	-
ウェイトモード	(18)	(18)	(18)	-	(18)	(18)	-	/

—: 遷移できません。

- 注1. CM20ビットが“1” (発振停止 再発振検出機能有効)のとき遷移しないでください。遷移する場合はCM20ビットを“0” (発振停止、再発振検出機能無効)にしてください。
- 注2. 低速モードはオンチップオシレータクロックの発振、停止が出来ます。この時のオンチップオシレータクロックは周辺機能クロックとして使用できます。PLL動作モードはサブクロックの発振、停止が出来ます。この時のサブクロックはタイマA、Bのクロックとして使用できます。
- 注3. PLL動作モードへの移行は高速モードから行ってください。また、PLL動作モードからは、高速モードへ移行してください。
- 注4. オンチップオシレータモードから高速、中速モードに移行するときはCM06ビットを“1” (8分周モード)にしてください。
- 注5. ストップモードから復帰した場合、CM06ビットが“1” (8分周モード)になります。
- 注6. CM05ビットを“1” (メインクロック停止)にすると、CM06ビットが“1” (8分周モード)になります。
- 注7. サブクロックが発振しているときに移行できます。
- 注8. 同モード内での遷移(分周の変更とサブクロック発振または停止)は次のとおりです。

		サブクロック発振				サブクロック停止					
		分周なし	2分周	4分周	8分周	16分周	分周なし	2分周	4分周	8分周	16分周
サブクロック発振	分周なし	/	(4)	(5)	(7)	(6)	(1)	-	-	-	-
	2分周	(3)	/	(5)	(7)	(6)	-	(1)	-	-	-
	4分周	(3)	(4)	/	(7)	(6)	-	-	(1)	-	-
	8分周	(3)	(4)	(5)	/	(6)	-	-	-	(1)	-
	16分周	(3)	(4)	(5)	(7)	/	(6)	-	-	-	(1)
サブクロック停止	分周なし	(2)	-	-	-	-	(4)	(5)	(7)	(6)	/
	2分周	-	(2)	-	-	-	(3)	(5)	(7)	(6)	/
	4分周	-	-	(2)	-	-	(3)	(4)	(7)	(6)	/
	8分周	-	-	-	(2)	-	(3)	(4)	(5)	(6)	/
	16分周	-	-	-	-	(2)	(3)	(4)	(5)	(7)	/

—: 遷移できません。

注9. ()内は設定方法。下表参照。

	設定内容	動作内容
(1)	CM04 = 0	サブクロック停止
(2)	CM04 = 1	サブクロック発振
(3)	CM06 = 0 CM17 = 0, CM16 = 0	CPUクロック分周なしモード
(4)	CM06 = 0 CM17 = 0, CM16 = 1	CPUクロック2分周モード
(5)	CM06 = 0 CM17 = 1, CM16 = 0	CPUクロック4分周モード
(6)	CM06 = 0 CM17 = 1, CM16 = 1	CPUクロック16分周モード
(7)	CM06 = 1	CPUクロック8分周モード
(8)	CM07 = 0	メインクロック、PLLクロック、またはオンチップオシレータクロック選択
(9)	CM07 = 1	サブクロック選択
(10)	CM05 = 0	メインクロック発振
(11)	CM05 = 1	メインクロック停止
(12)	PLC07 = 0 CM11 = 0	メインクロック選択
(13)	PLC07 = 1 CM11 = 1	PLLクロック選択
(14)	CM21 = 0	メインクロックまたはPLLクロック選択
(15)	CM21 = 1	オンチップオシレータクロック選択
(16)	CM10 = 1	ストップモードに移行
(17)	wait命令	ウェイトモードに移行
(18)	ハードウェア割り込み	ストップモード、ウェイトモードから復帰

CM04, CM05, CM06, CM07 : CM0レジスタのビット
 CM10, CM11, CM16, CM17 : CM1レジスタのビット
 CM20, CM21 : CM2レジスタのビット
 PLC07 : PLC0レジスタのビット

7.7 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1” (クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- ・CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- ・CM1レジスタのCM10ビット、CM11ビット
- ・CM2レジスタのCM20ビット
- ・PLC0レジスタの全ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0” (メインクロック発振)、CM07ビットが“0” (CPUクロックのクロック源はメインクロック)の状態での処理をしてください。

(1)PRCRレジスタのPRC1ビットを“1” (PM2レジスタ書き込み許可)にする

(2)PM2レジスタのPM21ビットを“1” (クロック変更禁止)にする

(3)PRCRレジスタのPRC1ビットを“0” (PM2レジスタ書き込み禁止)にする

PM21ビットが“1” のとき、WAIT命令を実行しないでください。

7.8 発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込みを発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

発振停止、再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

表7.6に発振停止、再発振検出機能の仕様を示します。

表7.6 発振停止、再発振検出機能の仕様

項 目	仕 様
発振停止検出可能クロックと周波数域	$f(X_{IN})$ 2 MHz
発振停止、再発振検出機能有効条件	CM20ビット“1” (有効)にする
発振停止、再発振検出時の動作	<ul style="list-style-type: none"> ・リセット発生 (CM27ビット=0) ・発振停止、再発振検出割り込み発生(CM27ビット=1)

7.8.1 CM27ビットが“0”(リセット)の場合の動作

CM20ビットが“1”(発振停止、再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します(発振停止検出リセット。「SFR」、「リセット」参照)。

この状態はハードウェアリセット1またはハードウェアリセット2によって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください)。

7.8.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作

メインクロックがCPUクロック源でCM20ビットが“1”(発振停止、再発振検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- ・発振停止、再発振検出割り込み要求が発生する
- ・オンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になる
- ・CM21ビット=1(オンチップオシレータクロックがCPUクロック)
- ・CM22ビット=1(メインクロック停止を検出)
- ・CM23ビット=1(メインクロック停止)

PLLクロックがCPUクロック源でCM20ビットが“1”の場合、メインクロックが停止すると次の状態になります。CM21ビットは変化しませんので、割り込みルーチン内で“1”(オンチップオシレータクロック)にしてください。

- ・発振停止、再発振検出割り込み要求が発生する
- ・CM22ビット=1(メインクロック停止を検出)
- ・CM23ビット=1(メインクロック停止)
- ・CM21ビットは変化しない

CM20ビットが“1”の場合、メインクロックが停止した状態から再発振すると、次の状態になります。

- ・発振停止、再発振検出割り込み要求が発生する
- ・CM22ビット=1(メインクロック再発振を検出)
- ・CM23ビット=0(メインクロック発振)
- ・CM21ビットは変化しない

7.8.3 発振停止、再発振検出機能使用方法

- ・ 発振停止、再発振検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止、再発振検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、割り込みルーチンでCM22ビットを読み、どちらの割り込み要因による割り込み要求かを判定してください。
- ・ 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図7.13にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- ・ 発振停止、再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止、再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止、再発振検出割り込みが許可されます。
- ・ 低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止、再発振検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックはオンチップオシレータクロックがクロック源になります。
- ・ 発振停止、再発振検出機能を使用中にウエイトモードへ移行する場合は、CM02ビットを“0” (ウエイトモード時周辺機能クロックを停止しない)にしてください。
- ・ 発振停止、再発振検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、CM20ビットを“0” (発振停止、再発振検出機能無効)にしてください。
- ・ メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

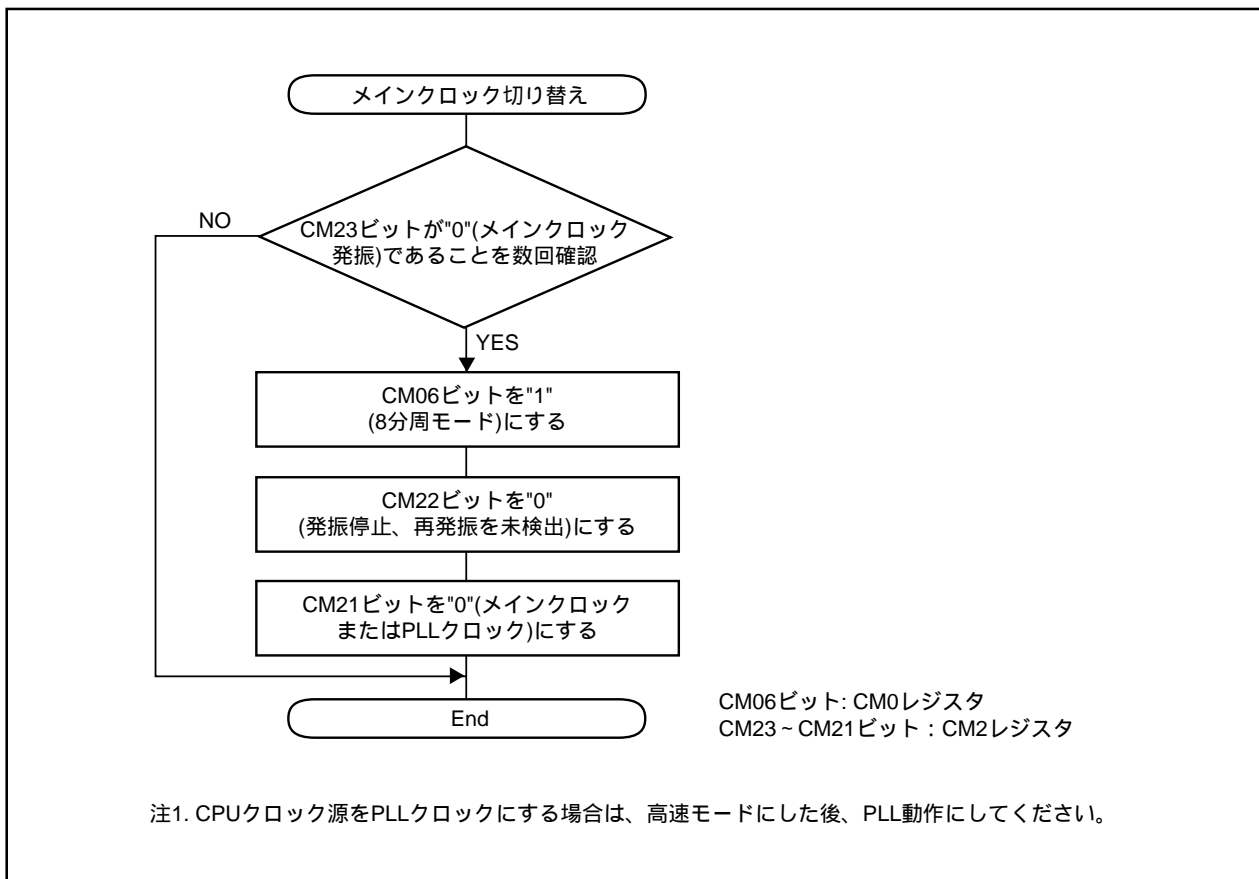


図7.13 オンチップオシレータクロックからメインクロックへの切り替え手順

8. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図8.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・PRC0ビットで保護されるレジスタ : CM0、CM1、CM2、LPCC1、PLC0、ROCR、PCLKRレジスタ
- ・PRC1ビットで保護されるレジスタ : PM0、PM1、PM2、TB2SC、INVC0、INVC1レジスタ
- ・PRC2ビットで保護されるレジスタ : PD9、PACR、S4C、NDDRレジスタ
- ・PRC3ビットで保護されるレジスタ : VCR2、D4INTレジスタ

PRC2ビットを“1” (書き込み許可状態)にした後、SFRの領域地に書き込みを実行すると“0” (書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1、PRC3ビットはSFRの領域に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

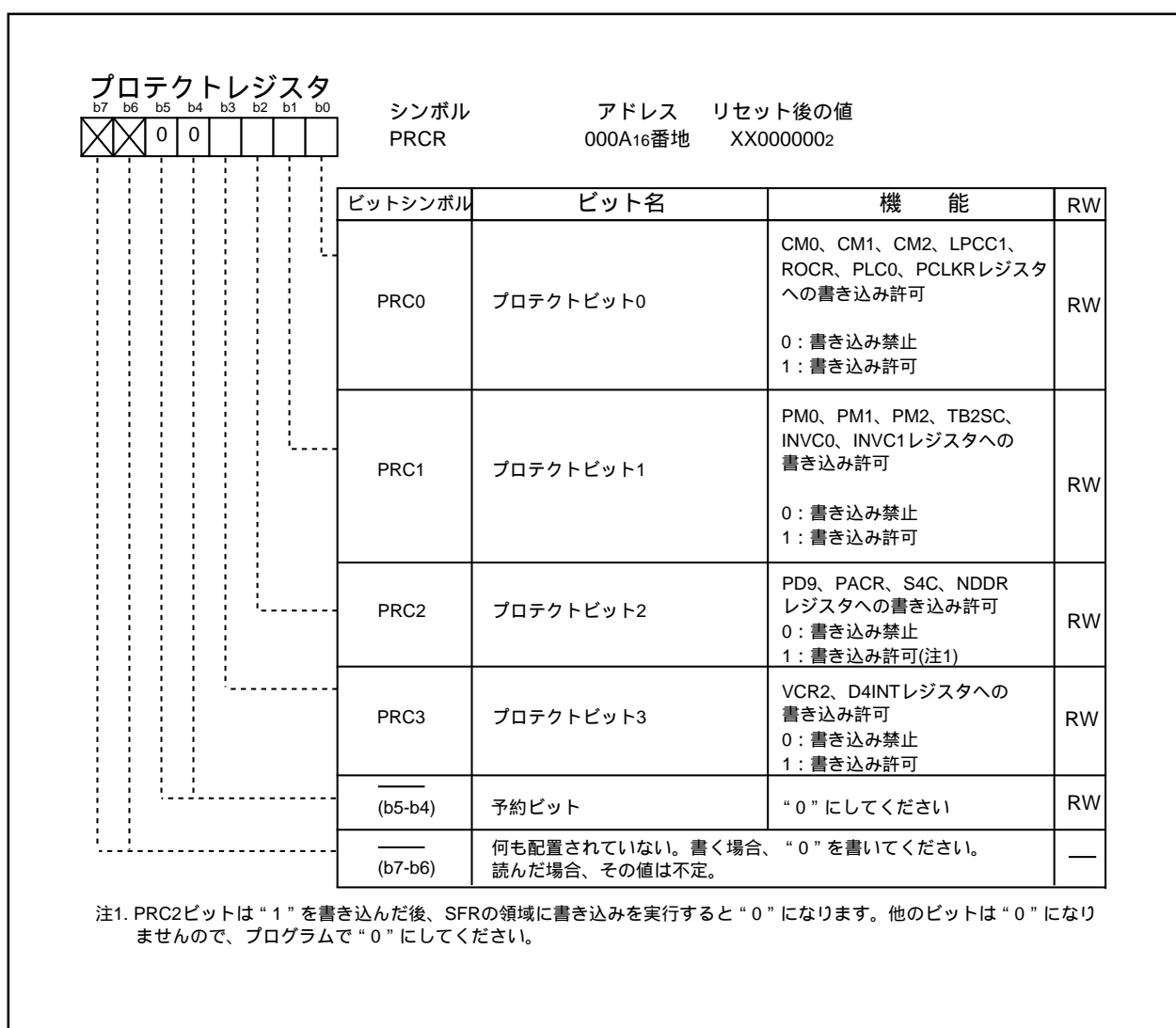


図8.1 PRCRレジスタ

9. 割り込み

注意

64ピン版は、周辺機能割り込みのSI/O4割り込みを使用しないでください。

9.1 割り込みの分類

図9.1 に割り込みの分類を示します。

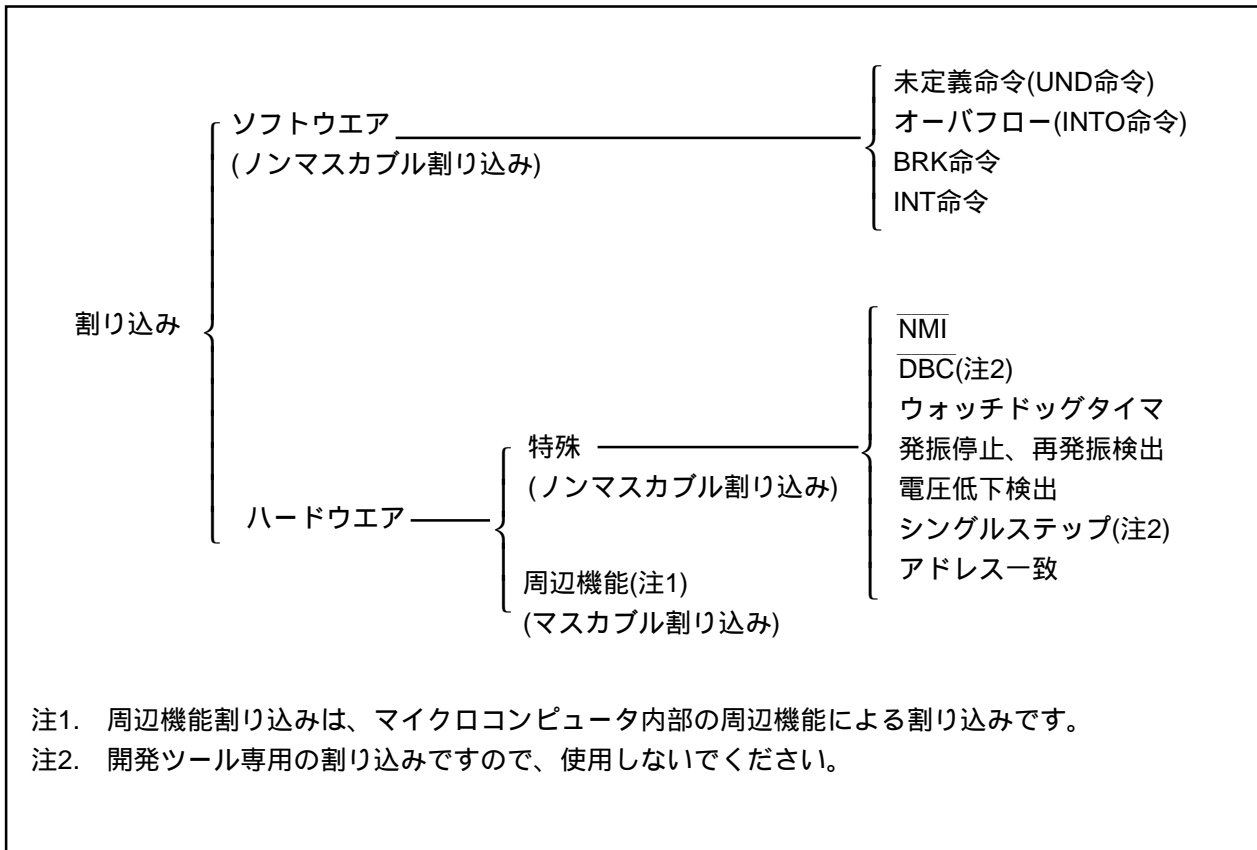


図9.1 割り込みの分類

- ・ マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ・ ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

9.1.1 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

9.1.1.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

9.1.1.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

9.1.1.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

9.1.1.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

9.1.2 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

9.1.2.1 特殊割り込み

特殊割り込みは、ノンマスクブル割り込みです。

9.1.2.1.1 NMI割り込み

NMI割り込みは、NMI端子の入力が“H”から“L”に変化すると発生します。NMI割り込みの詳細は「NMI割り込み」を参照してください。

9.1.2.1.2 DBC割り込み

開発ツール専用の割り込みですので、使用しないでください。

9.1.2.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は「ウォッチドッグタイマ」を参照してください。

9.1.2.1.4 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「クロック発生回路」を参照してください。

9.1.2.1.5 電圧低下検出割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「電圧検出回路」を参照してください。

9.1.2.1.6 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

9.1.2.1.7 アドレス一致割り込み

アドレス一致割り込みは、対応する許可ビット (AIERレジスタのAIER0ビットまたはAIER1ビット) が“1”の場合、RMAD0またはRMAD1レジスタで示される番地の命令を実行する直前に発生します。アドレス一致割り込みの詳細は「アドレス一致割り込み」を参照してください。

9.1.2.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクブル割り込みです。周辺機能割り込みの割り込み要因は「表9.2 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

9.2 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図 9.2.1に割り込みベクタを示します。

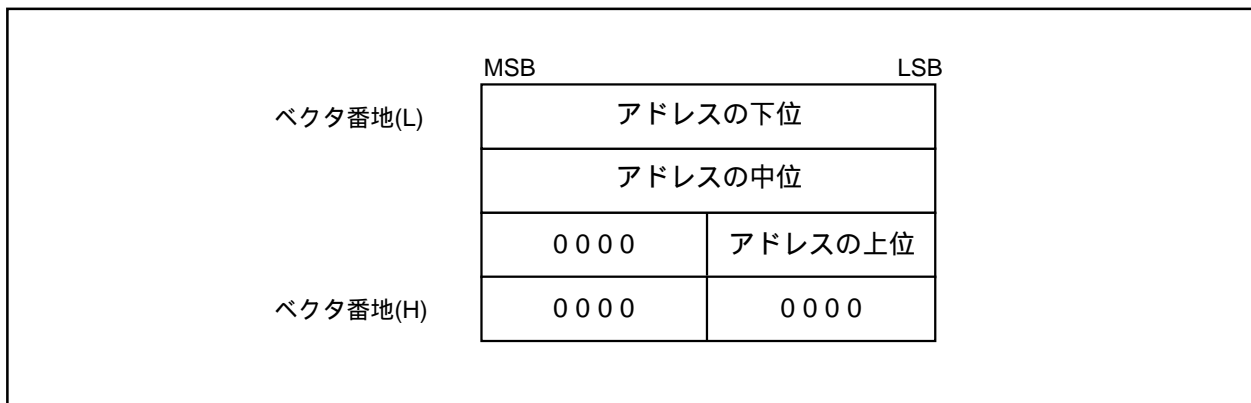


図9.2 割り込みベクタ

9.2.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDC₁₆番地からFFFFF₁₆番地に配置されています。表9.1に固定ベクタテーブルを示します。フラッシュメモリ版では、固定ベクタのベクタ番地(H)をIDコードチェック機能で使します。詳細は「フラッシュメモリ書き換え禁止機能」を参照してください。

表9.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	FFFDC ₁₆ ~ FFFDF ₁₆	UND命令で割り込み	M16C/60、M16C/20
オーバフロー	FFFE0 ₁₆ ~ FFFE3 ₁₆	INTO命令で割り込み	シリーズ
BRK命令	FFFE4 ₁₆ ~ FFFE7 ₁₆	FFFE7 ₁₆ 番地の内容がFF ₁₆ の場合には可変ベクタテーブル内のベクタが示す番地から実行	ソフトウェア マニュアル
アドレス一致	FFFE8 ₁₆ ~ FFFE _{B16}		アドレス一致割り込み
シングルステップ(注1)	FFFE _{C16} ~ FFFE _{F16}		
ウォッチドッグタイマ、 発振停止、再発振検出、 電圧低下検出	FFFF0 ₁₆ ~ FFFF3 ₁₆		ウォッチドッグタイマ、 クロック発生回路、 電圧検出回路
DBC(注1)	FFFF4 ₁₆ ~ FFFF7 ₁₆		
NMI	FFFF8 ₁₆ ~ FFFF _{B16}		NMI割り込み
リセット(注2)	FFFF _{C16} ~ FFFF _{F16}		リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFF₁₆番地のb3 ~ b0は予約ビットです。“11112”に設定してください。

9.2.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表9.2に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表9.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注5)	+0～+3(0000 ₁₆ ～0003 ₁₆)	0	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
—— (予約)		1～3	
INT3	+16～+19(0010 ₁₆ ～0013 ₁₆)	4	INT割り込み
IC/OC割り込み0	+20～+23(0014 ₁₆ ～0017 ₁₆)	5	タイマS
IC/OC割り込み1、I ² Cbusインタフェース (注4)	+24～+27(0018 ₁₆ ～001B ₁₆)	6	タイマS マルチマスタI ² Cbus インタフェース
IC/OCベースタイマ、SCL/SDA (注4)	+28～+31(001C ₁₆ ～001F ₁₆)	7	
SI/O4、INT5 (注2)	+32～+35(0020 ₁₆ ～0023 ₁₆)	8	INT割り込み
SI/O3、INT4 (注2)	+36～+39(0024 ₁₆ ～0027 ₁₆)	9	シリアルI/O
UART2バス衝突検出 (注6)	+40～+43(0028 ₁₆ ～002B ₁₆)	10	シリアルI/O
DMA0	+44～+47(002C ₁₆ ～002F ₁₆)	11	DMAC
DMA1	+48～+51(0030 ₁₆ ～0033 ₁₆)	12	
キー入力割り込み	+52～+55(0034 ₁₆ ～0037 ₁₆)	13	キー入力割り込み
A/D	+56～+59(0038 ₁₆ ～003B ₁₆)	14	A/Dコンバータ
UART2送信、NACK2 (注3)	+60～+63(003C ₁₆ ～003F ₁₆)	15	シリアルI/O
UART2受信、ACK2 (注3)	+64～+67(0040 ₁₆ ～0043 ₁₆)	16	
UART0送信	+68～+71(0044 ₁₆ ～0047 ₁₆)	17	
UART0受信	+72～+75(0048 ₁₆ ～004B ₁₆)	18	
UART1送信	+76～+79(004C ₁₆ ～004F ₁₆)	19	
UART1受信	+80～+83(0050 ₁₆ ～0053 ₁₆)	20	
タイマA0	+84～+87(0054 ₁₆ ～0057 ₁₆)	21	
タイマA1	+88～+91(0058 ₁₆ ～005B ₁₆)	22	
タイマA2	+92～+95(005C ₁₆ ～005F ₁₆)	23	
タイマA3	+96～+99(0060 ₁₆ ～0063 ₁₆)	24	
タイマA4	+100～+103(0064 ₁₆ ～0067 ₁₆)	25	
タイマB0	+104～+107(0068 ₁₆ ～006B ₁₆)	26	
タイマB1	+108～+111(006C ₁₆ ～006F ₁₆)	27	
タイマB2	+112～+115(0070 ₁₆ ～0073 ₁₆)	28	
INT0	+116～+119(0074 ₁₆ ～0077 ₁₆)	29	INT割り込み
INT1	+120～+123(0078 ₁₆ ～007B ₁₆)	30	
INT2	+124～+127(007C ₁₆ ～007F ₁₆)	31	
ソフトウェア割り込み(注5)	+128～+131(0080 ₁₆ ～0083 ₁₆)	32	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
	+252～+255(00FC ₁₆ ～00FF ₁₆)	63	

注1. INTBレジスタが示す番地からの相対番地です。

注2. IFSRレジスタのIFSR6、IFSR7ビットで選択してください。

注3. I²C busモード時にNACK、ACKが割り込み要因になります。

注4. IFSR2AレジスタのIFSR26、IFSR27ビットで選択してください。

注5. Iフラグによる禁止はできません。

注6. バス衝突検出：IEBusモード時はバス衝突検出が割り込み要因になります。

I²C busモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

9.3 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2~ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されません。

図9.3に割り込み制御レジスタを示します。

また、次の割り込みは、ベクタや割り込み制御レジスタを共用しています。

- ・INT4とSIO3
- ・INT5とSIO4
- ・IC/OCベースタイマとSCL/SDA
- ・IC/OC割り込み1とI2C busインタフェース

割り込み要求の設定は、IFSRレジスタのIFSR6ビット、IFSR7ビット、およびIFSR2AレジスタのIFSR26ビット、IFSR27ビットで行います。

図9.4にIFSRレジスタとIFSR2Aレジスタを示します。

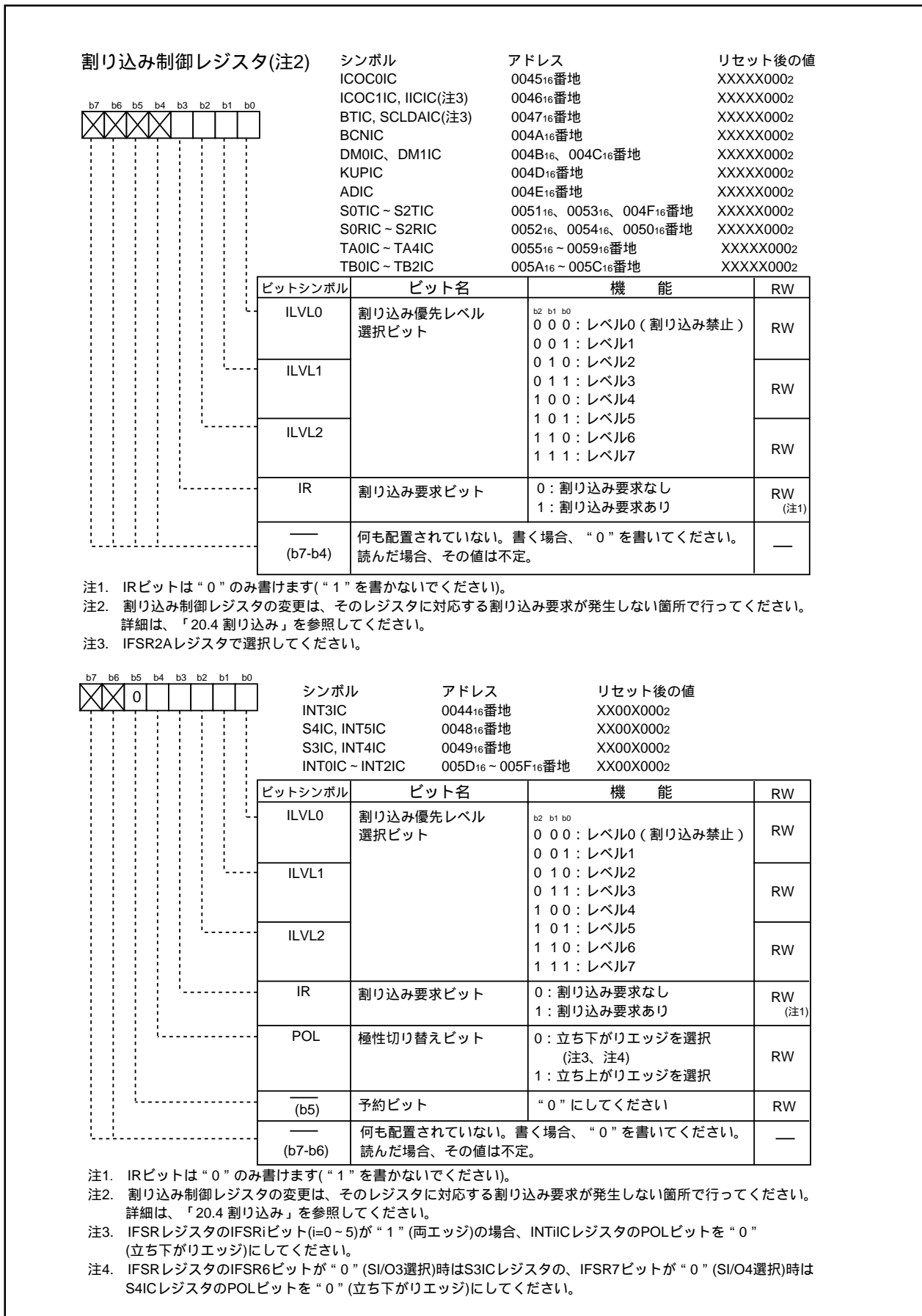
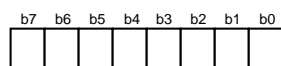


図9.3 割り込み制御レジスタ

割り込み要因選択レジスタ

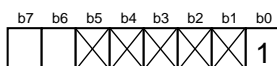
シンボル
IFSRアドレス
035F₁₆番地リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
IFSR0	INT0割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
IFSR1	INT1割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
IFSR2	INT2割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
IFSR3	INT3割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
IFSR4	INT4割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
IFSR5	INT5割り込み極性切り替えビット	0: 片エッジ 1: 両エッジ (注1)	RW
IFSR6	割り込み要因切り替えビット	0: SI/O3 (注2) 1: INT4	RW
IFSR7	割り込み要因切り替えビット	0: SI/O4 (注2) 1: INT5	RW

注1. “1” (両エッジ)を選択する場合は、対応するINT0IC ~ INT5ICレジスタのPOLビットを“0” (立ち下がりエッジ)にしてください。

注2. “0” (SI/O3、SI/O4)を選択する場合は、対応するS3IC、S4ICレジスタのPOLビットを“0” (立ち下がりエッジ)にしてください。

割り込み要因選択レジスタ2

シンボル
IFSR2Aアドレス
035E₁₆番地リセット後の値
00XXXXX0₂

ビットシンボル	ビット名	機能	RW
IFSR20	予約ビット (注1)	必ず“1”を設定してください	RW
— (b5-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
IFSR26	割り込み要因切り替えビット	0: IC/OCベースタイム 1: Scl/Sda	RW
IFSR27	割り込み要因切り替えビット	0: IC/OC割り込み 1 1: I ² C busインタフェース	RW

注1. リセット後、このビットを“1”にしてから、割り込みを許可してください。

図9.4 IFSRレジスタ、IFSR2Aレジスタ

9.3.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

9.3.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

9.3.3 LVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表9.3に割り込み優先レベルの設定、表9.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- ・Iフラグ = 1
- ・IRビット = 1
- ・割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表9.3 割り込み優先レベルの設定


ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000 ₂	レベル0 (割り込み禁止)	———
001 ₂	レベル1	低い  高い
010 ₂	レベル2	
011 ₂	レベル3	
100 ₂	レベル4	
101 ₂	レベル5	
110 ₂	レベル6	
111 ₂	レベル7	

表9.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000 ₂	レベル1以上を許可
001 ₂	レベル2以上を許可
010 ₂	レベル3以上を許可
011 ₂	レベル4以上を許可
100 ₂	レベル5以上を許可
101 ₂	レベル6以上を許可
110 ₂	レベル7以上を許可
111 ₂	すべてのマスカブル割り込みを禁止

9.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図9.5に割り込みシーケンスの実行時間を示します。

(1)00000₁₆番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。

その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。

(2)割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。

(3)FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。

Iフラグは“0”(割り込み禁止)

Dフラグは“0”(シングルステップ割り込みは割り込み禁止)

Uフラグは“0”(ISPを指定)

ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。

(4)CPU内部の一時レジスタ(注1)をスタックに退避します。

(5)PCをスタックに退避します。

(6)IPLに、受け付けた割り込みの割り込み優先レベルを設定します。

(7)割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

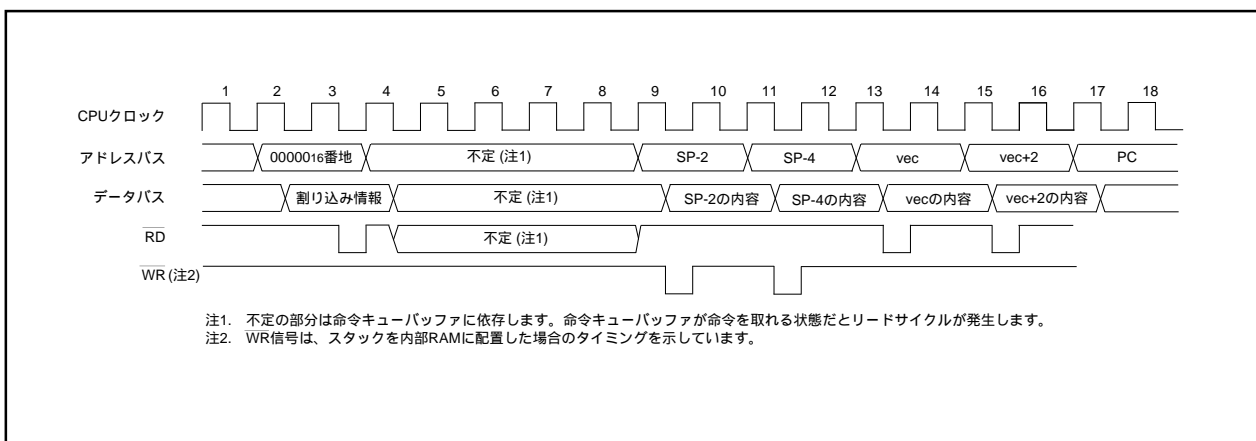


図9.5 割り込みシーケンスの実行時間

9.4.1 割り込み応答時間

図9.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図9.6の(a))と割り込みシーケンスを実行する時間(図9.6の(b))で構成されます。

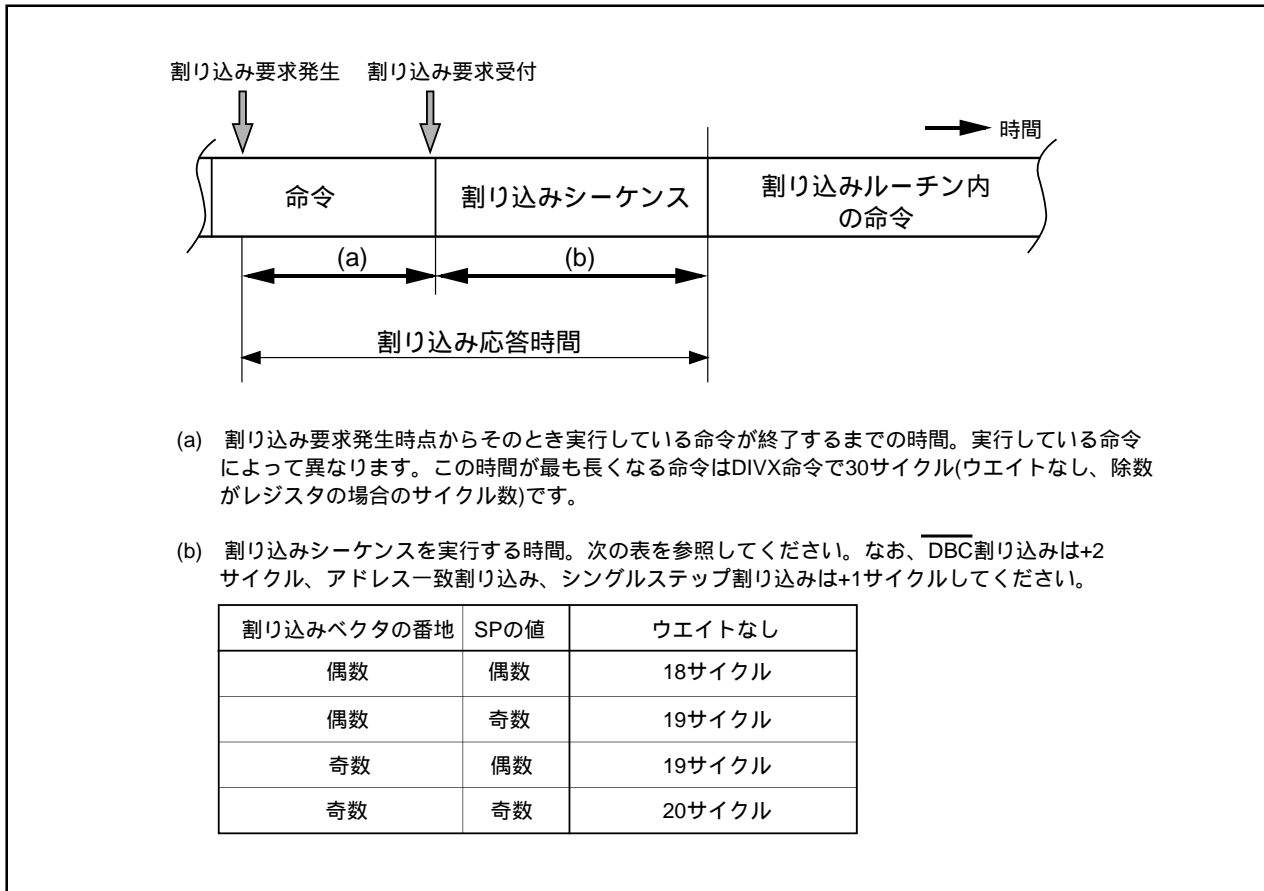


図9.6 割り込み応答時間

9.4.2 割り込み要求受付時のIPLの変化

マスクブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表9.5に示す値がIPLに設定されます。表9.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表9.5. ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、NMI、発振停止、再発振検出、電圧低下検出	7
ソフトウェア、アドレス一致、DBC、シングルステップ	変化しない

9.4.3 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図9.7に割り込み要求受付前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

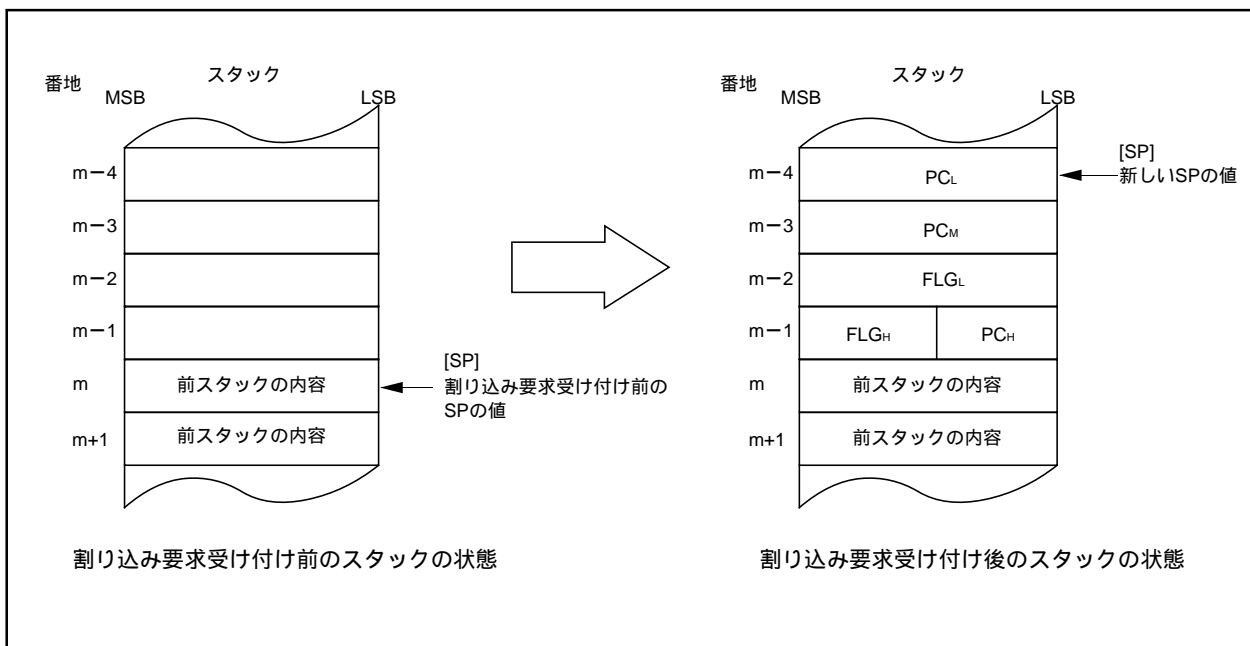


図9.7 割り込み要求受付前と後のスタックの状態

(F5.3.3:SM)

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図9.8にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

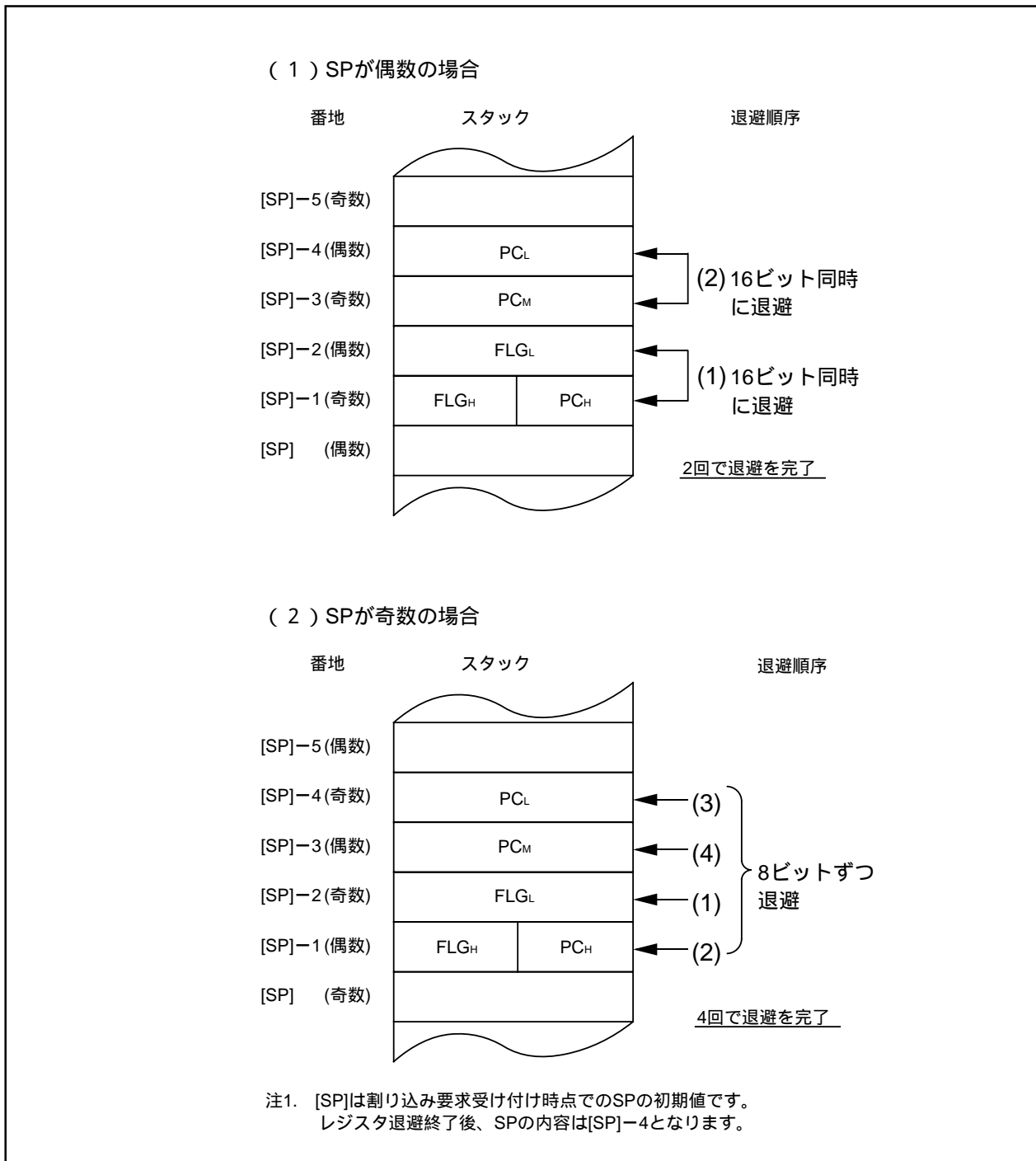


図9.8 レジスタ退避動作

9.4.4 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

9.5 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2~ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図9.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

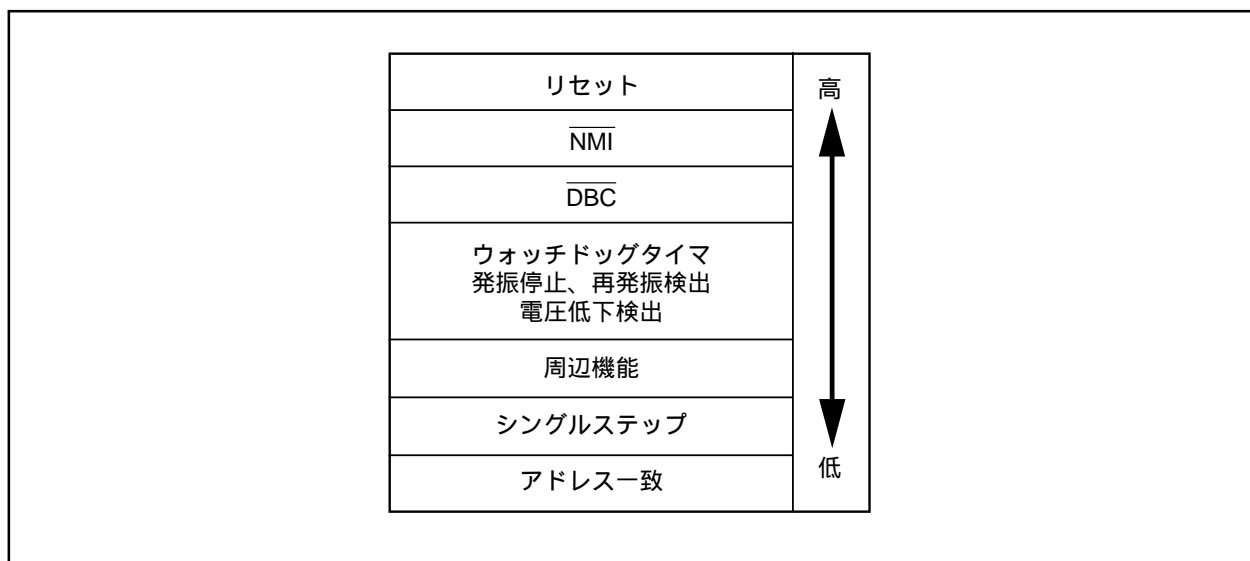


図9.9 ハードウェア割り込みの割り込み優先順位

9.5.1 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。

図9.10に割り込み優先レベルの判定回路を示します。

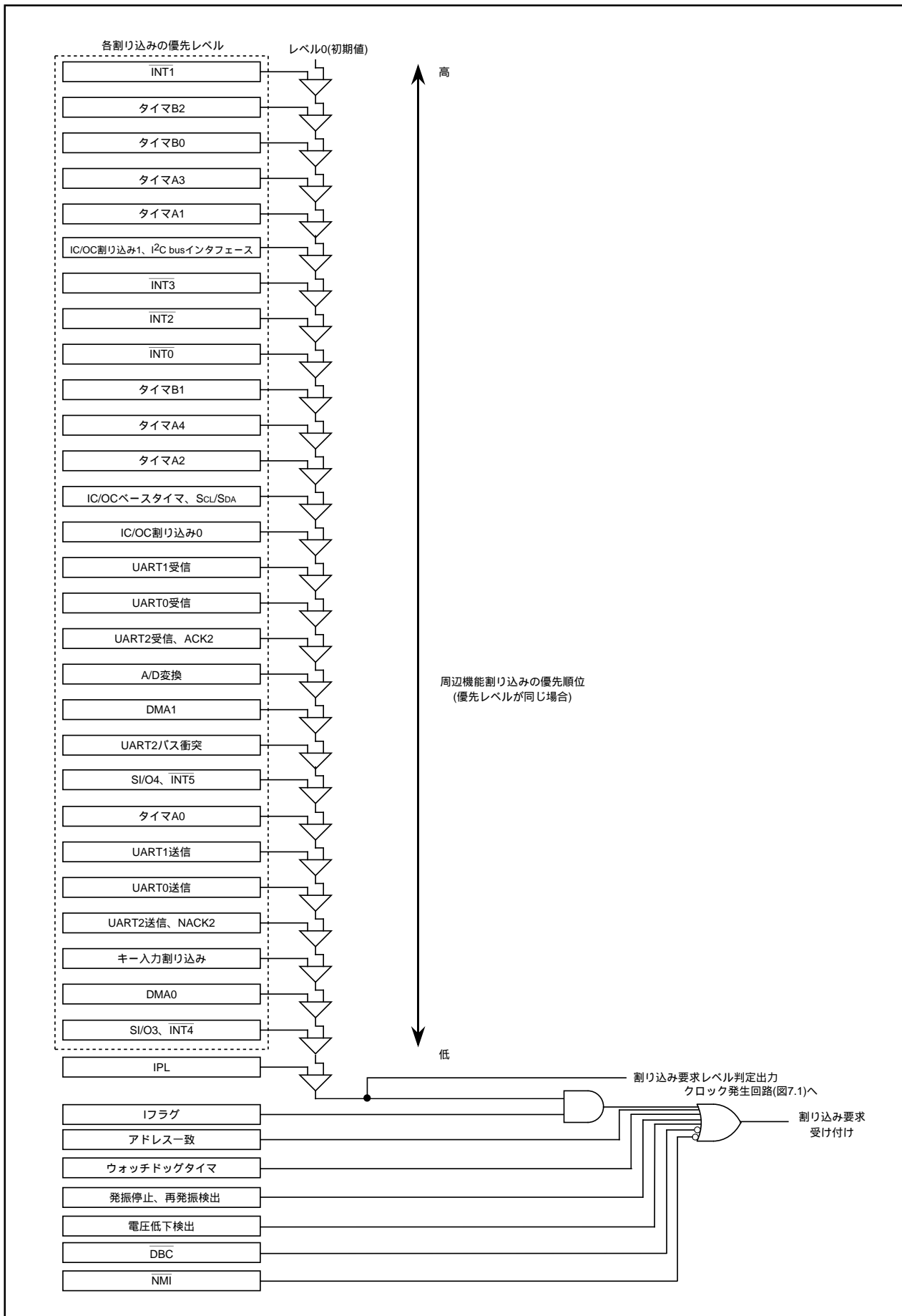


図9.10 割り込み優先レベルの判定回路

9.6 INT割り込み

INT_i割り込み(i=0~5)は外部入力による割り込みです。極性をIFSRレジスタのIFSR_iビットで選択できます。

INT5入力は、ノイズ除去に有効なデジタルデバウンス機能を持ちます。この詳細は、「17.6 デジタルデバウンス機能」を参照してください。なお、ストップモードからの復帰にINT5割り込みを使用する場合、ストップモードに入る前にP17DDRレジスタに“FF₁₆”を設定してください。

IFSR6、IFSR7ビットを変更した後、対応するIRビットを“0”(割り込み要求なし)にしてから、割り込みを許可してください。

図9.11にIFSRレジスタを示します。

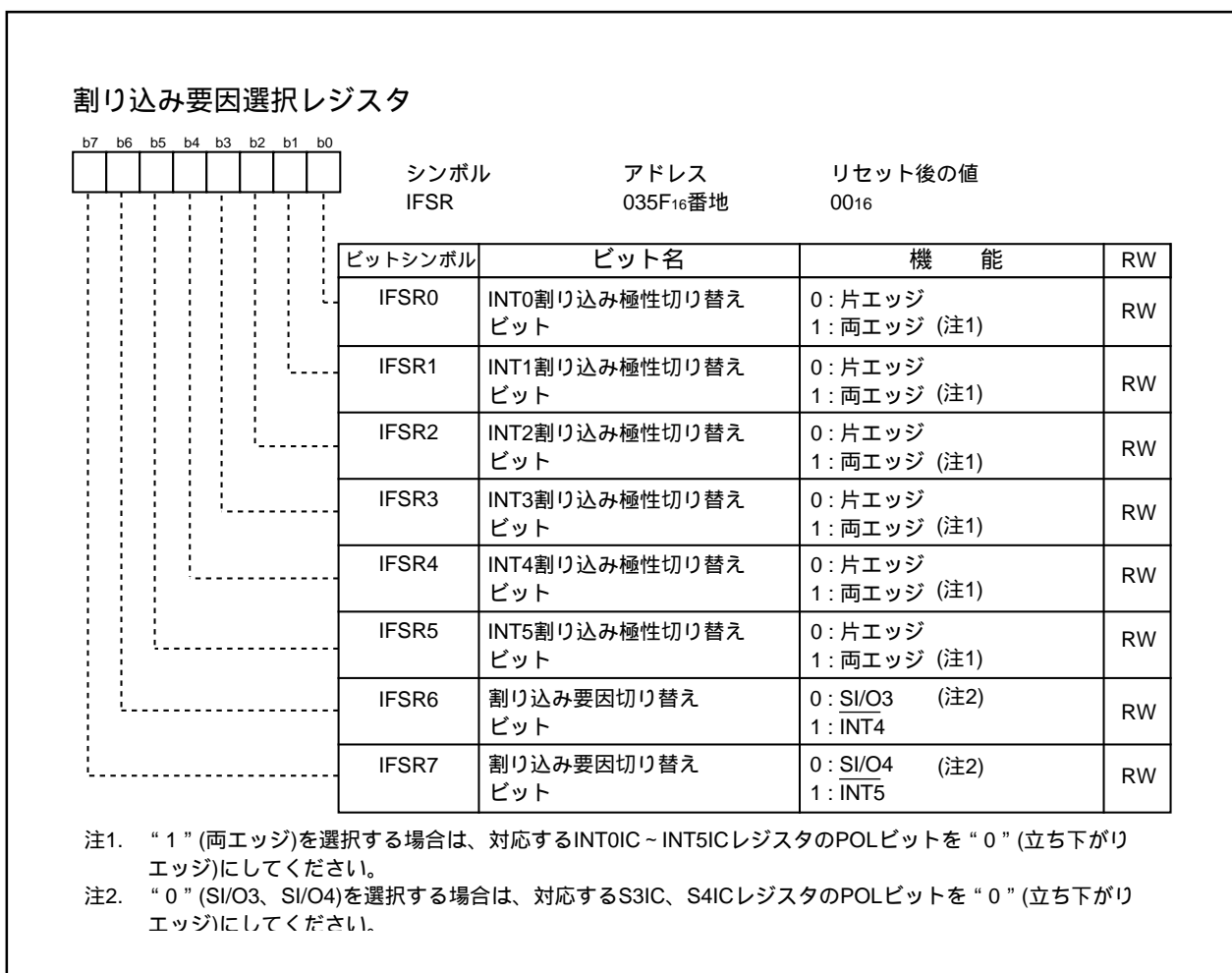


図9.11 IFSRレジスタ

9.7 NMI割り込み

PM2レジスタのPM24ビットを“1” (NMI割り込み)にしてNMI割り込みを許可にした後で、NMI端子の入力が“H”から“L”に変化したとき、NMI割り込み要求が発生します。NMI割り込みは、ノンマスクابل割り込みです。リセット後、NMI割り込みは無効です。PM24ビットを“1”にすることで有効になります。NMI割り込みを許可した後、プログラムで再度無効にすることはできません。また、この端子の入力レベルをP8レジスタのP8_5ビットで読めます。

NMI入力は、ノイズ除去に有効なデジタルデバウンス機能を持ちます。この詳細は、「17.6 デジタルデバウンス機能」を参照してください。なお、ストップモードからの復帰にNMI割り込みを使用する場合、ストップモードに入る前にNDDRレジスタに“FF16”を設定してください。

9.8 キー入力割り込み

P104～P107のうち、PD10レジスタのPD10_4～PD10_7ビットを“0” (入力)にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P104～P107をアナログ入力端子として使用しないでください。図9.12にキー入力割り込みのブロック図を示します。なお、PD10_4～PD10_7ビットを“0” (入力モード)にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

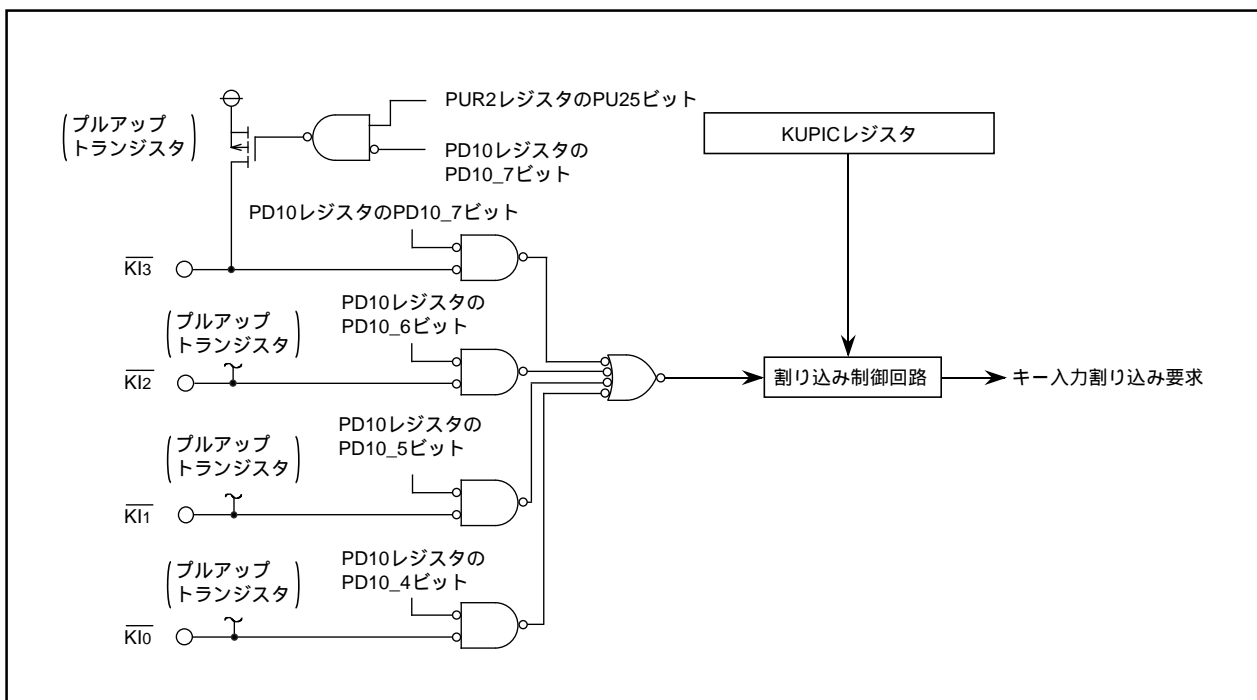


図9.12 キー入力割り込みのブロック図

9.9 アドレス一致割り込み

RMADiレジスタ(i=0~1)で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれています)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表9.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図9.13にAIER、RMAD0~RMAD1レジスタを示します。

表9.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタで示される番地の命令	退避されるPCの値
・オペコードが2バイトの命令 ・オペコードが1バイトの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B #IMM8,dest STNZ.B #IMM8,dest STZX.B #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMADiレジスタで示される番地+2
上記以外	RMADiレジスタで示される番地+1

退避されるPCの値：「レジスタ退避」参照

「M16C/60、M16C/20シリーズソフトウェアマニュアル」参照。「第4章 命令コード/サイクル数」の各構文の下に命令コードを示す図があります。その図の太枠部分がオペコードです。

表9.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

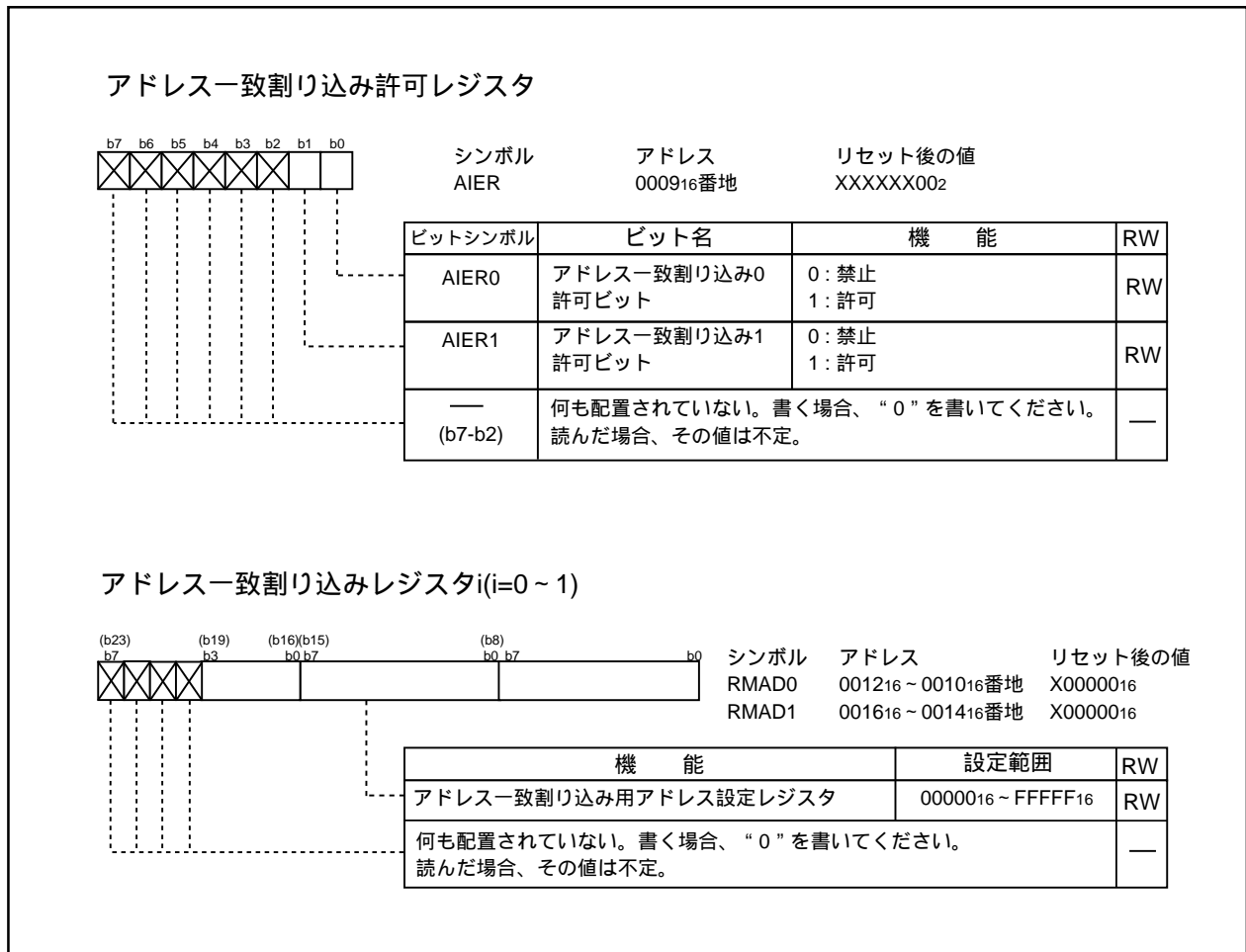


図9.13 AIER、RMAD0、RMAD1レジスタ

10. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケータで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、ウォッチドッグタイマリセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にはできません。ウォッチドッグタイマリセットの詳細は「5.3 ウォッチドッグタイマリセット」を参照してください。

CPUクロック源にメインクロック、オンチップオシレータクロック、PLLクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケータが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケータのは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケータによる誤差が生じます。

CPUクロックにメインクロック、オンチップオシレータクロック、PLLクロックを選択している場合
ウォッチドッグタイマの周期 =
$$\frac{\text{プリスケータの分周 (16または128)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合
ウォッチドッグタイマの周期 =
$$\frac{\text{プリスケータの分周 (2)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケータが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケータは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケータは停止しており、WDTSレジスタに書くことによりカウントを開始します。

WDTSレジスタには、ウォッチドッグタイマの周期より短い周期で書き込んでください。なお、ウォッチドッグタイマ割り込みルーチンの最初にもWDTSレジスタに書き込みを行ってください。

ストップモード時、ウェイトモード時、またはEW1モードでコマンド実行中(イレーズサスペンドモード中は除く)は、ウォッチドッグタイマとプリスケータは停止し、解除すると保持された値からカウントします。

図10.1にウォッチドッグタイマのブロック図、図10.2 ウォッチドッグタイマ関連レジスタを示します。

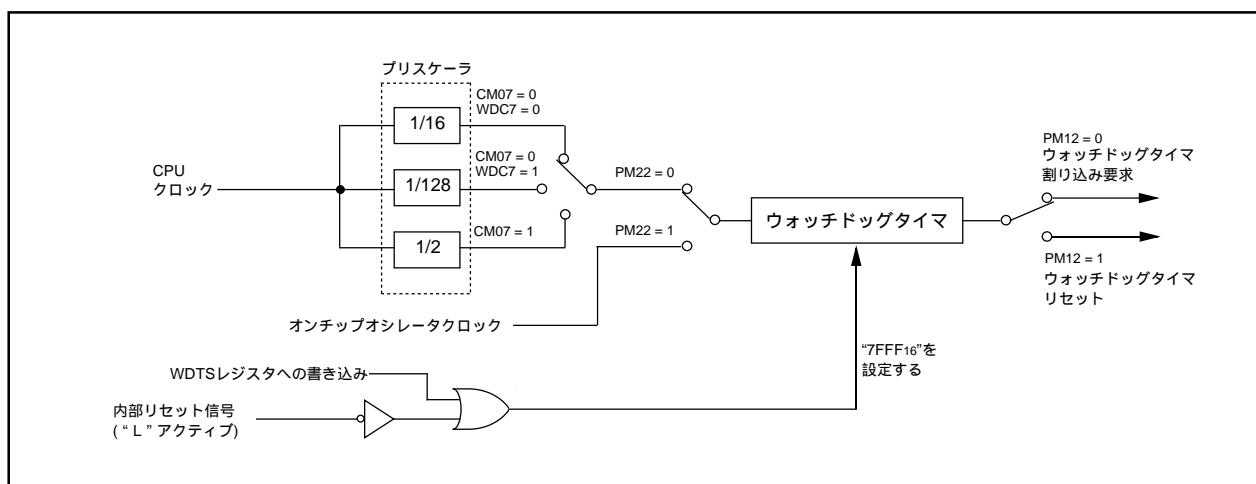


図10.1 ウォッチドッグタイマブロック図

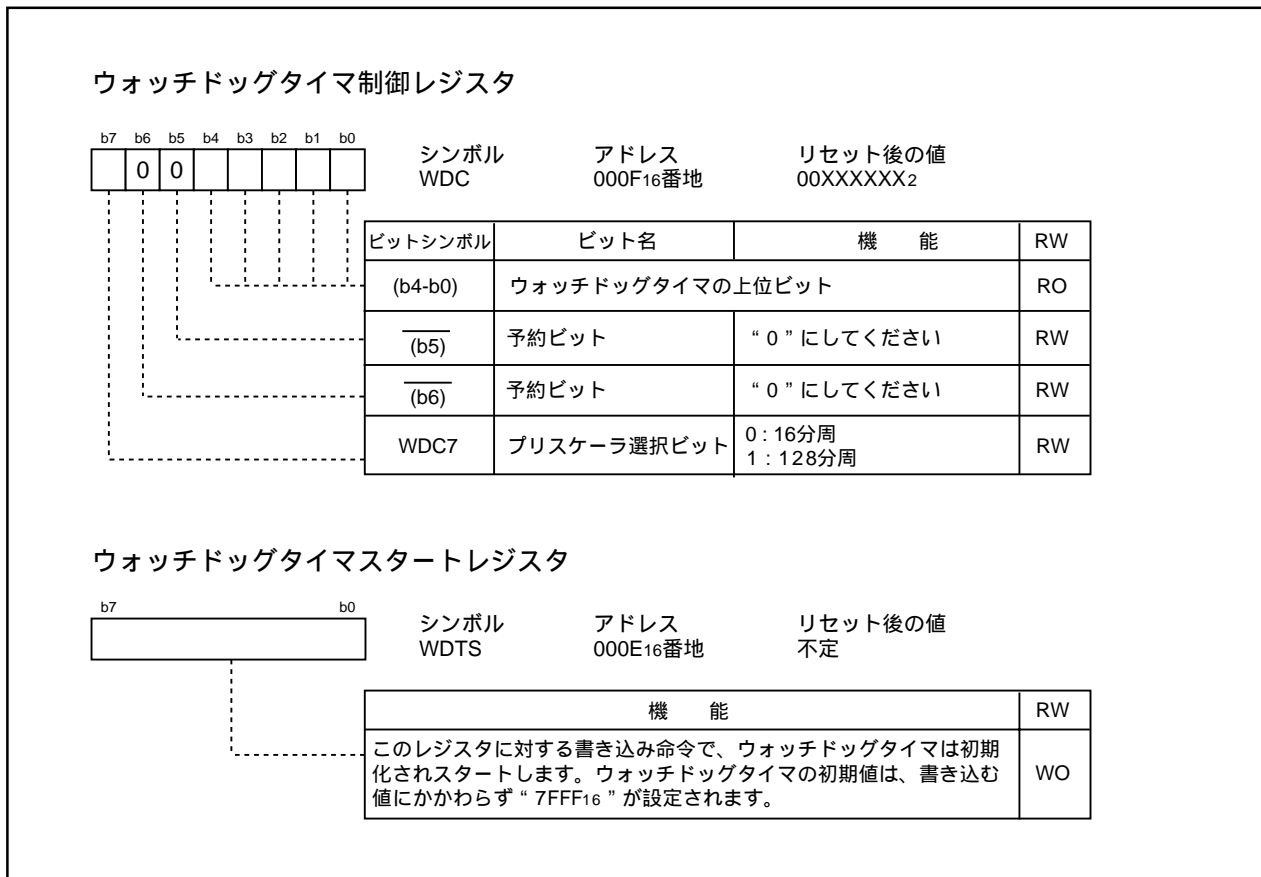


図10.2 WDCレジスタ、WDTSレジスタ

10.1 カウントソース保護モード

ウォッチドッグタイマのカウントソースとして、オンチップオシレータクロックを使用するモードです。暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

このモードを使用する場合、次の処理をしてください。

- (1)PRCRレジスタのPRC1ビットを“1” (PM1、PM2レジスタ書き込み許可)にする
- (2)PM1レジスタのPM12ビットを“1” (ウォッチドッグタイマアンダフロー時リセット)にする
- (3)PM2レジスタのPM22ビットを“1” (ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)にする
- (4)PRCRレジスタのPRC1ビットを“0” (PM1、PM2レジスタ書き込み禁止)にする
- (5)WDTSレジスタへの書き込み(ウォッチドッグタイマのカウント開始)

PM22ビットを“1”にすると次の状態になります。

- ・CM21ビットが“0” (メインクロックまたはPLLクロック)でも、オンチップオシレータは停止しない (システムクロックのカウントソースは、CM21ビットの設定が有効)
- ・オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる

$$\text{ウォッチドッグタイマの周期} = \frac{\text{ウォッチドッグタイマのカウント値 (32768)}}{\text{オンチップオシレータクロック}}$$

- ・CM1レジスタのCM10ビットへの書き込み禁止 (“1”を書いても変化せず、ストップモードに移行しない)
- ・ウェイトモードのとき、ウォッチドッグタイマは停止しない

11. DMAC

注意

64ピン版は、SI/04割り込み要求をDMA要求要因に使用しないでください。

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、2チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図11.1にDMACブロック図、表11.1にDMACの仕様、図11.2 ~ 図11.4にDMAC関連レジスタを示します。

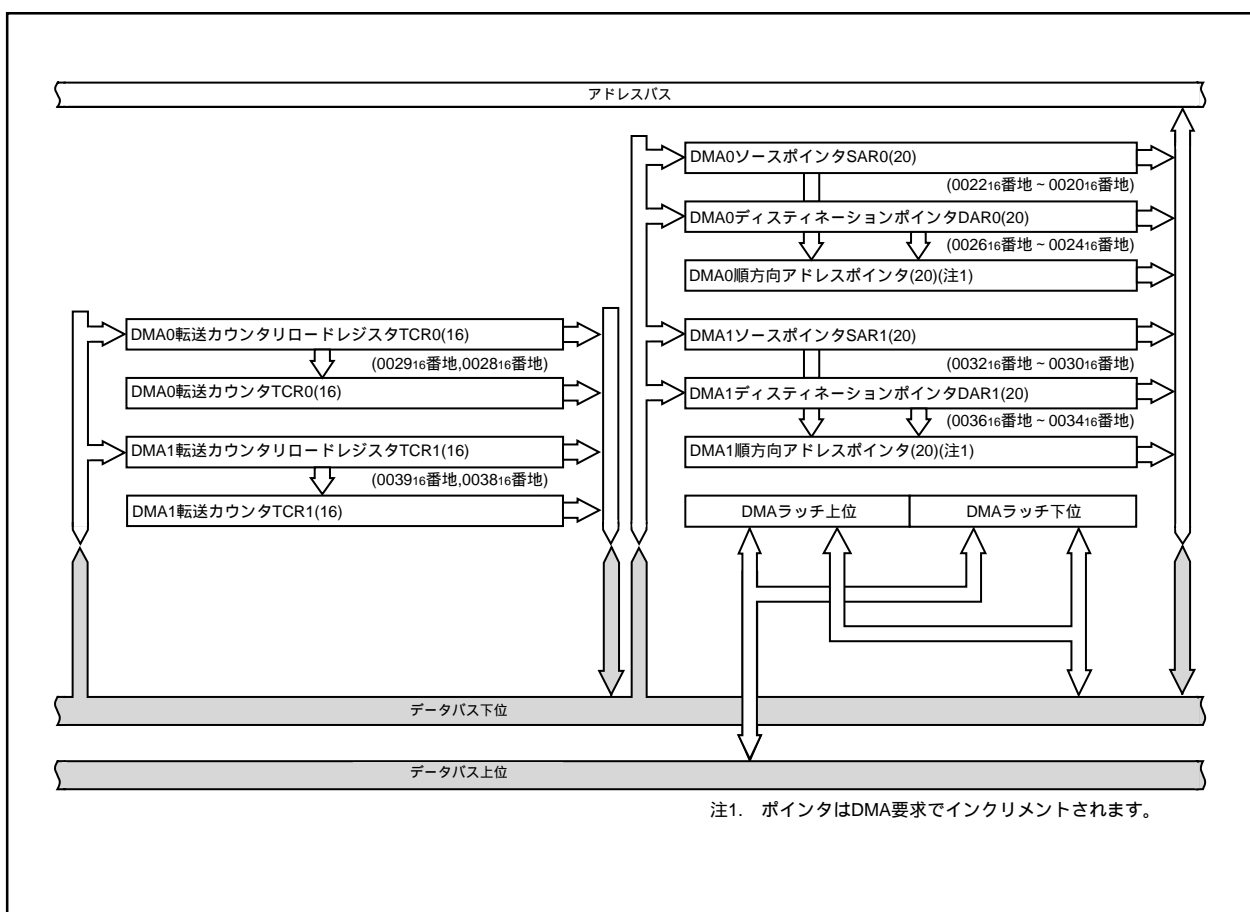


図11.1 DMAC ブロック図

DMA要求は、DMiSLレジスタ($i=0 \sim 1$)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3 ~ DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、IFラフ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

DMiCONレジスタのDMAEビットが“1”(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「DMA要求」を参照してください。

表11.1. DMACの仕様

項 目		仕 様
チャンネル数		2チャンネル(サイクルスチール方式)
転送空間		<ul style="list-style-type: none"> ・ 1Mバイトの任意の空間から固定番地 ・ 固定番地から1Mバイトの任意の空間 ・ 固定番地から固定番地
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1、注2)		INT0またはINT1端子の立ち下がりエッジ INT0またはINT1端子の両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB2割り込み要求 UART0送信、UART0受信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 SI/O3、SI/O4割り込み要求 A/D変換割り込み要求 タイマS(IC/OC) 割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0 > DMA1(DMA0が優先)
転送単位		8ビットまたは16ビット
転送番地方向		順方向または固定(転送元と転送先の両方を順方向にしないでください)
転送モード	単転送	DMAi転送カウンタ(i=0～1)がアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DMAi転送カウンタがアンダフローしたとき
DMA転送開始		DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される
DMA転送停止	単転送	<ul style="list-style-type: none"> ・ DMAEビットを“0”(禁止)にする ・ DMAi転送カウンタがアンダフローした後
	リピート転送	<ul style="list-style-type: none"> ・ DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング		DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送はフラグ、割り込み制御レジスタの影響を受けません。

注2. 選択できる要因はチャンネルによって異なります。

注3. DMAC関連レジスタ(0020₁₆～003F₁₆番地)をDMACでアクセスしないでください。

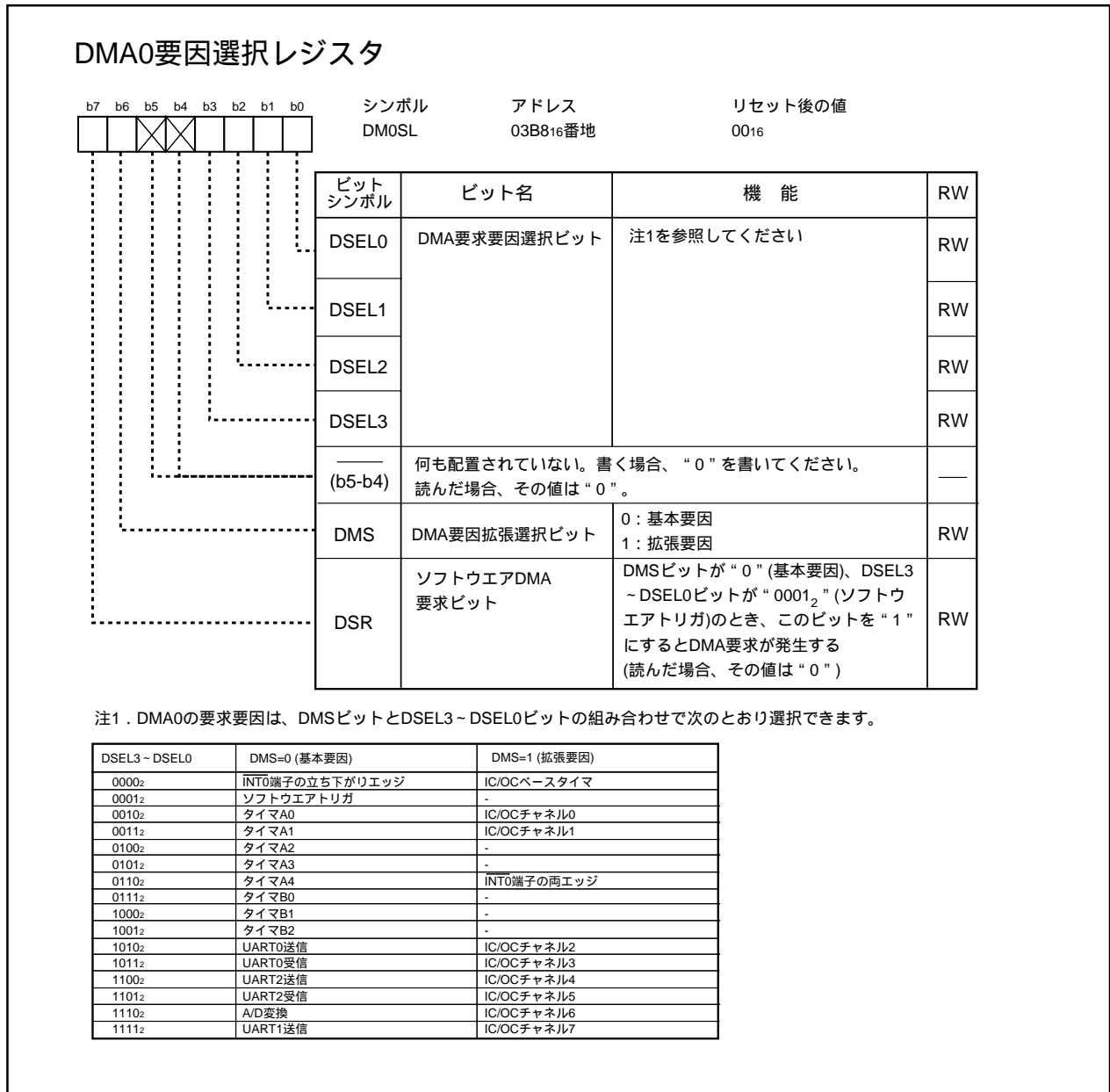


図11.2 DM0SLレジスタ

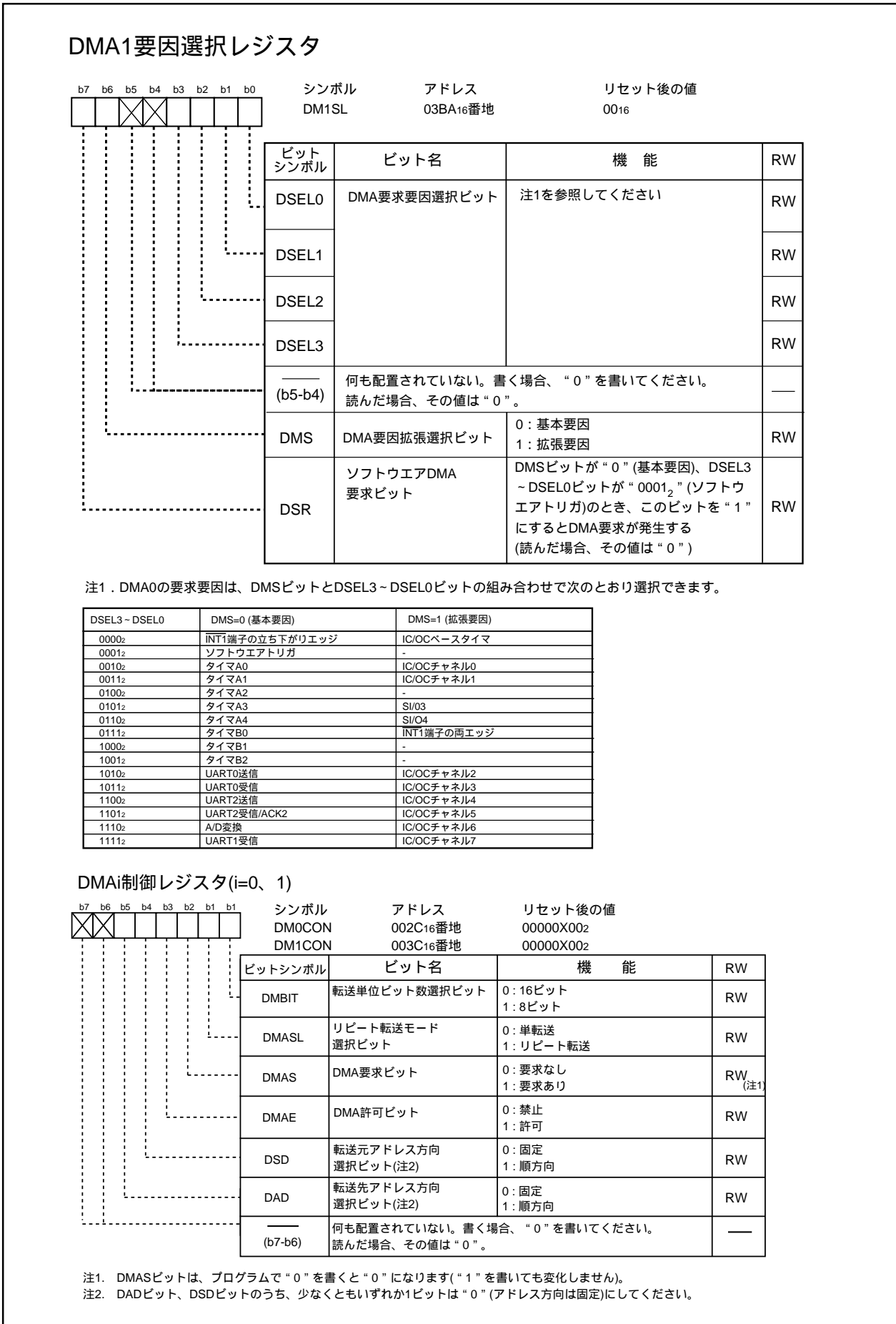


図11.3 DM1SLレジスタ、DM0CONレジスタ、DM1CONレジスタ

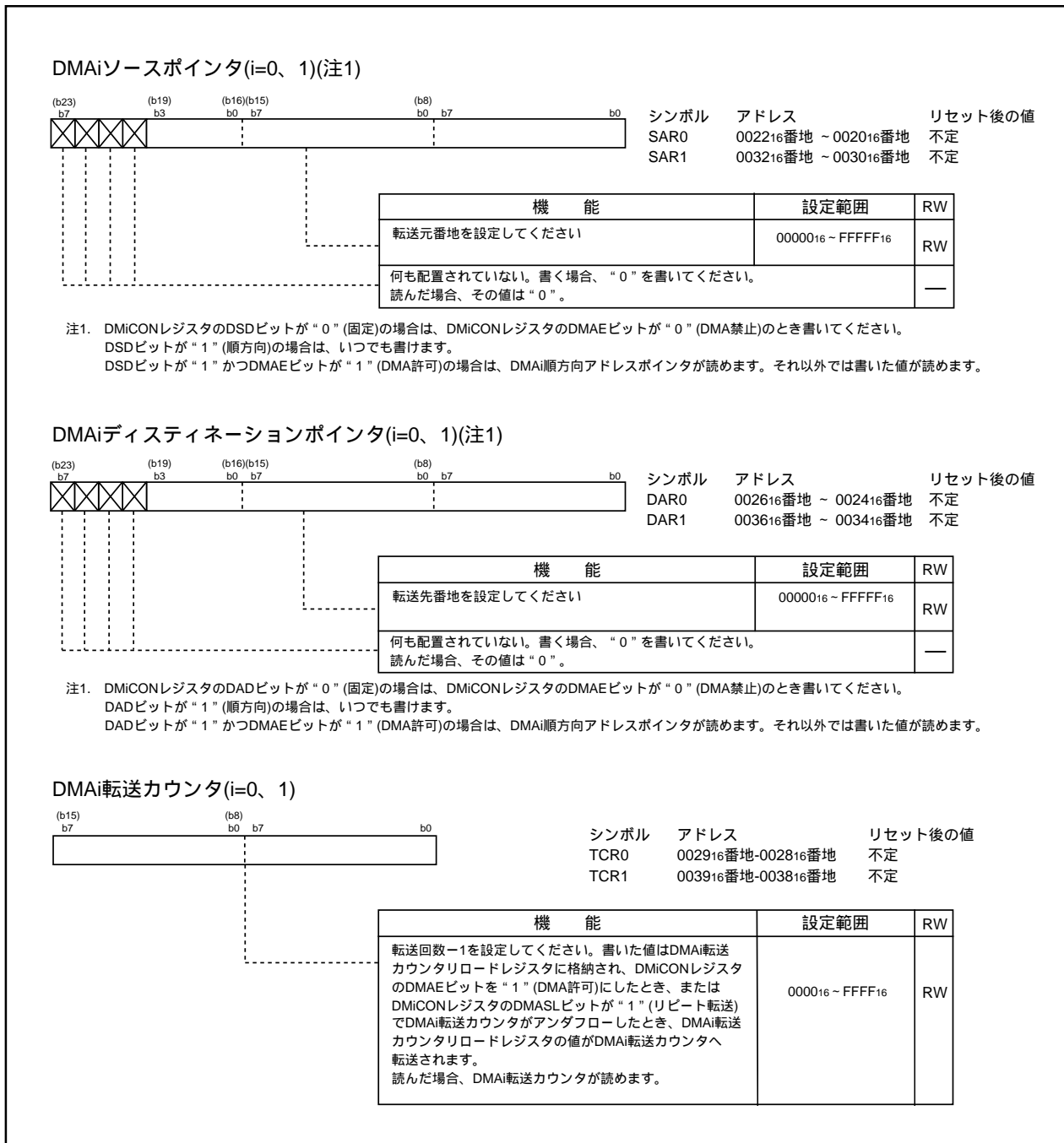


図11.4 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1レジスタ

11.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。また、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

11.1.1 転送元番地、転送先番地の影響

転送単位が16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位が16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

11.1.2 ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するサイクル数が増えます。

図11.5 にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、ソースアドレス、ディスティネーションアドレスがともに奇数番地の場合(図11.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

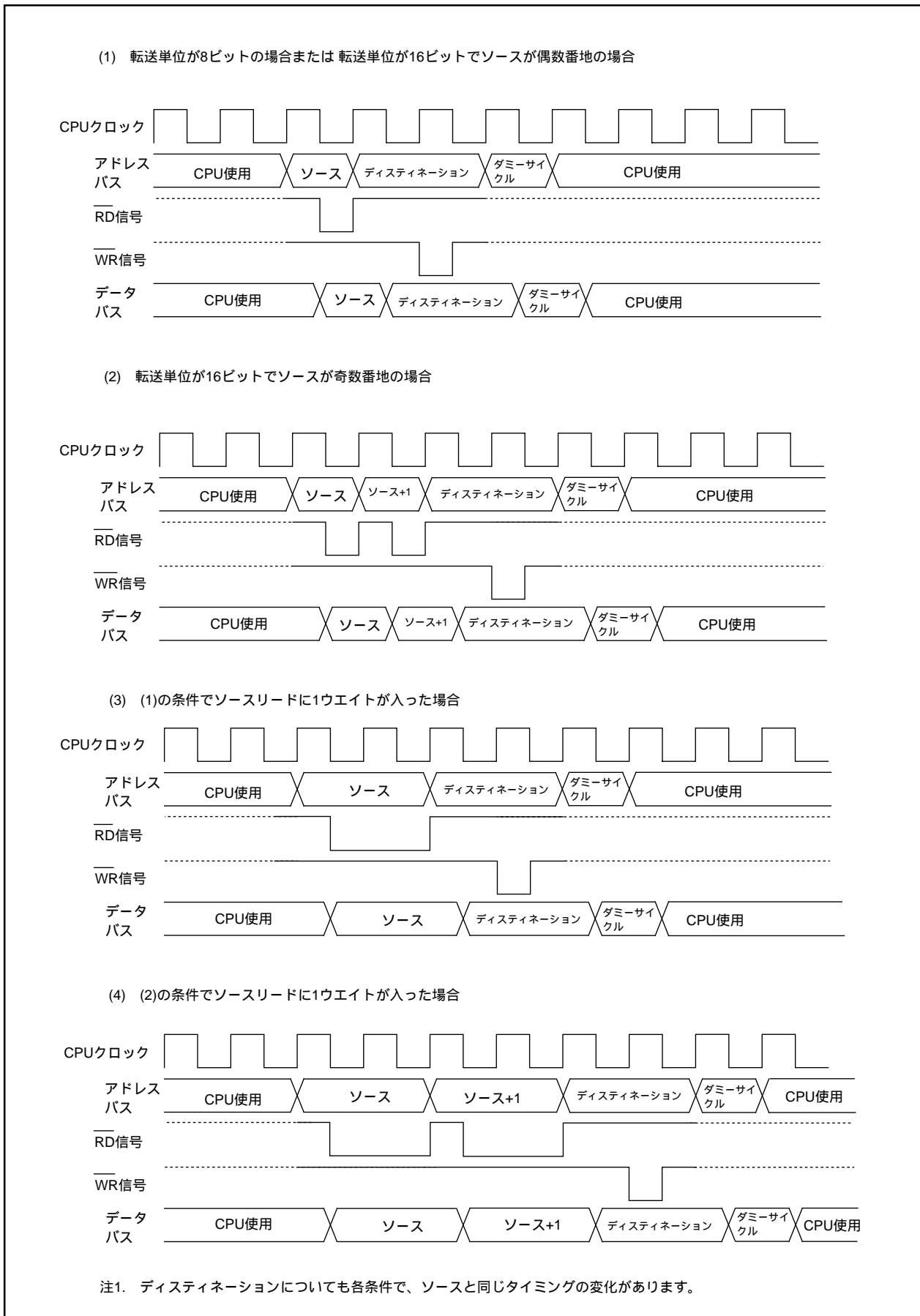


図11.5 ソースリードサイクル例

11.2 DMA転送サイクル数

DMA転送サイクル数は次のとおり計算できます。

表11.3にDMAC転送サイクル数、表11.4に計数j、kを示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表11.3 DMA転送サイクル数

転送単位	アクセス番地	読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT="1")	偶数	1	1
	奇数	1	1
16ビット転送 (DMBIT="0")	偶数	1	1
	奇数	2	2

表11.4 計数j, k

	内部領域			
	内部ROM, RAM		SFR	
	ウェイトなし	ウェイトあり	1ウェイト (注)	2ウェイト (注)
j	1	2	2	3
k	1	2	2	3

(注) PM2レジスタのPM20ビットの設定値に依存します。

11.3 DMA許可

DMiCONレジスタ(i=0、1)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

- (a)DMiCONレジスタのDSDビットが“1”(順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする
- (b)DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1)DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。
- (2)DMAiが初期状態(上記(a)(b)の状態)になっていることをプログラムで確認する。

DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

11.4 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0、1)のDMSビット、DESL3～DESL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表11.5にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DSEL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DSEL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表11.5 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	<ul style="list-style-type: none"> ・データ転送開始直前 ・プログラムで“0”を書いたとき
周辺機能	DMiSLレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

11.5 チャンネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図11.6に外部要因によるDMA転送例を示します。

図11.6ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図11.6のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

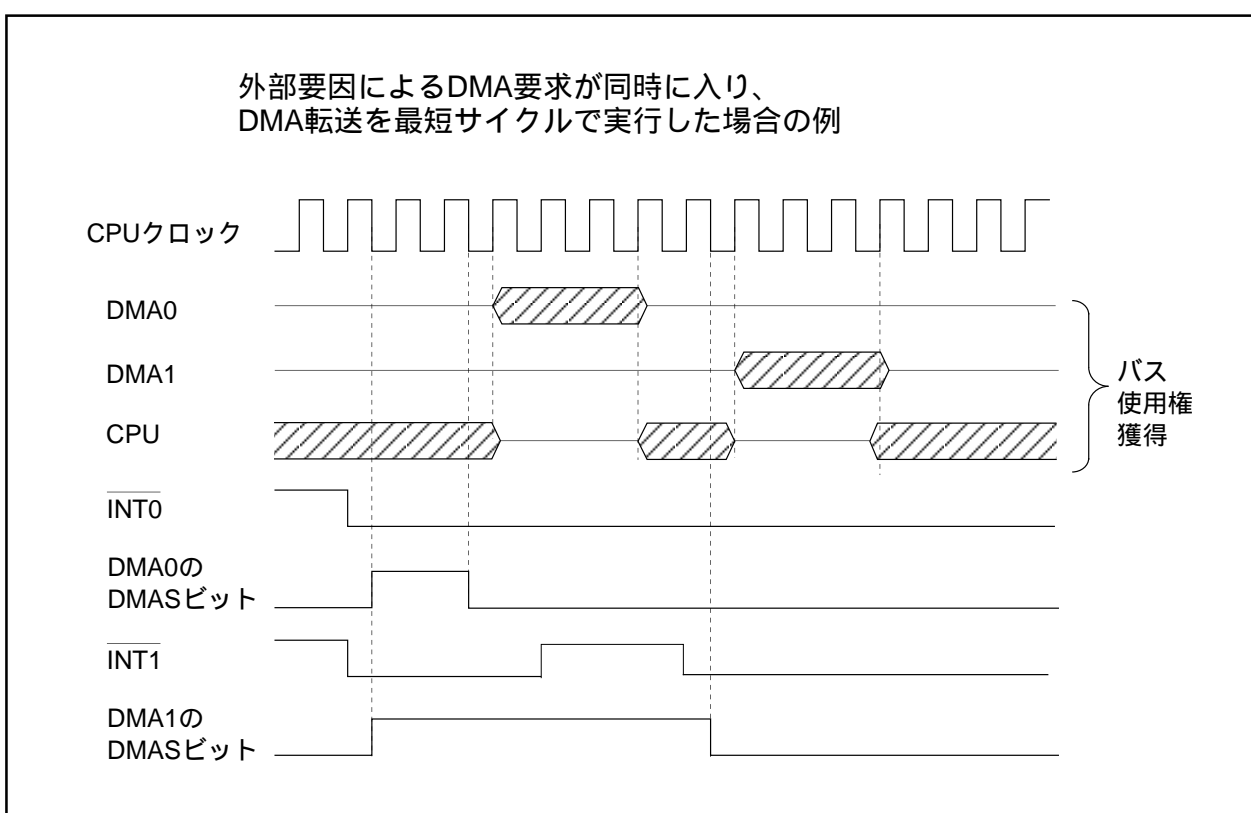


図11.6 外部要因によるDMA転送例

12. タイマ

16ビットタイマが8本あります。8本のタイマは、持っている機能によってタイマA(5本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図12.1にタイマA構成、図12.2にタイマB構成を示します。

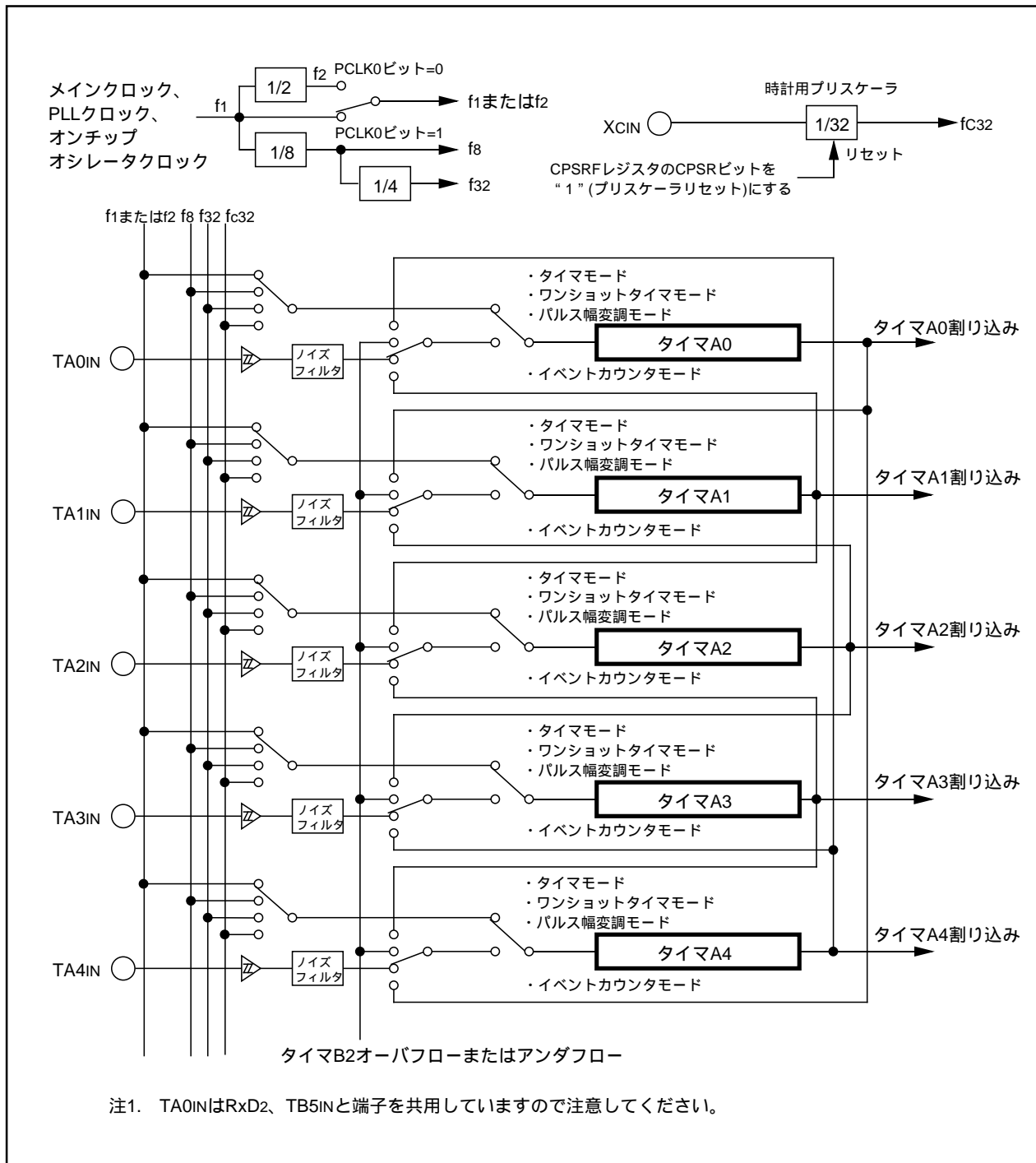


図12.1 タイマA構成

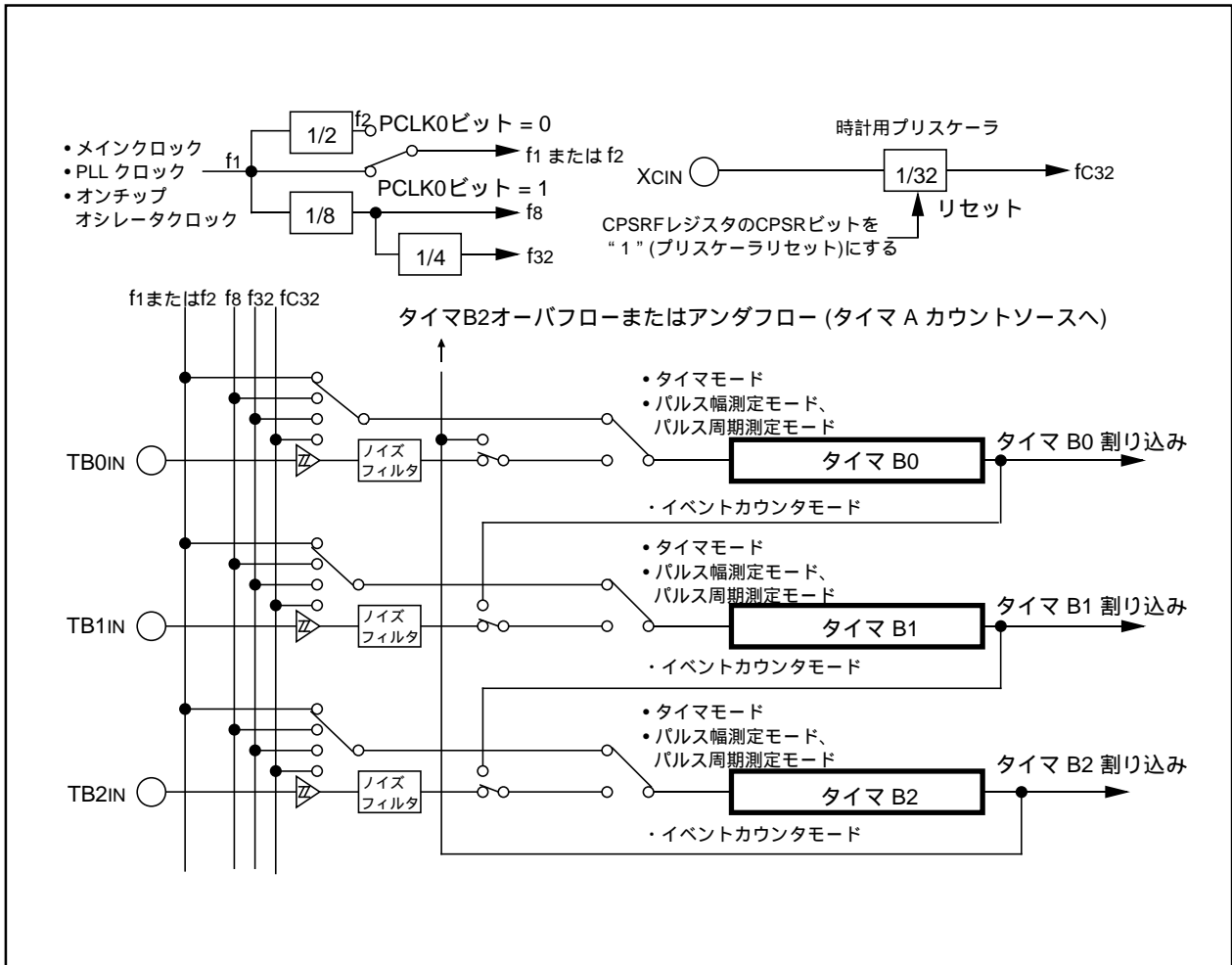


図12.2 タイマB構成

12.1 タイマA

図12.3にタイマAブロック図、図12.4～図12.6にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000₁₆”になるまでの間、1度だけパルスを出力するモード
- ・パルス幅変調モード 任意の幅のパルスを連続して出力するモード

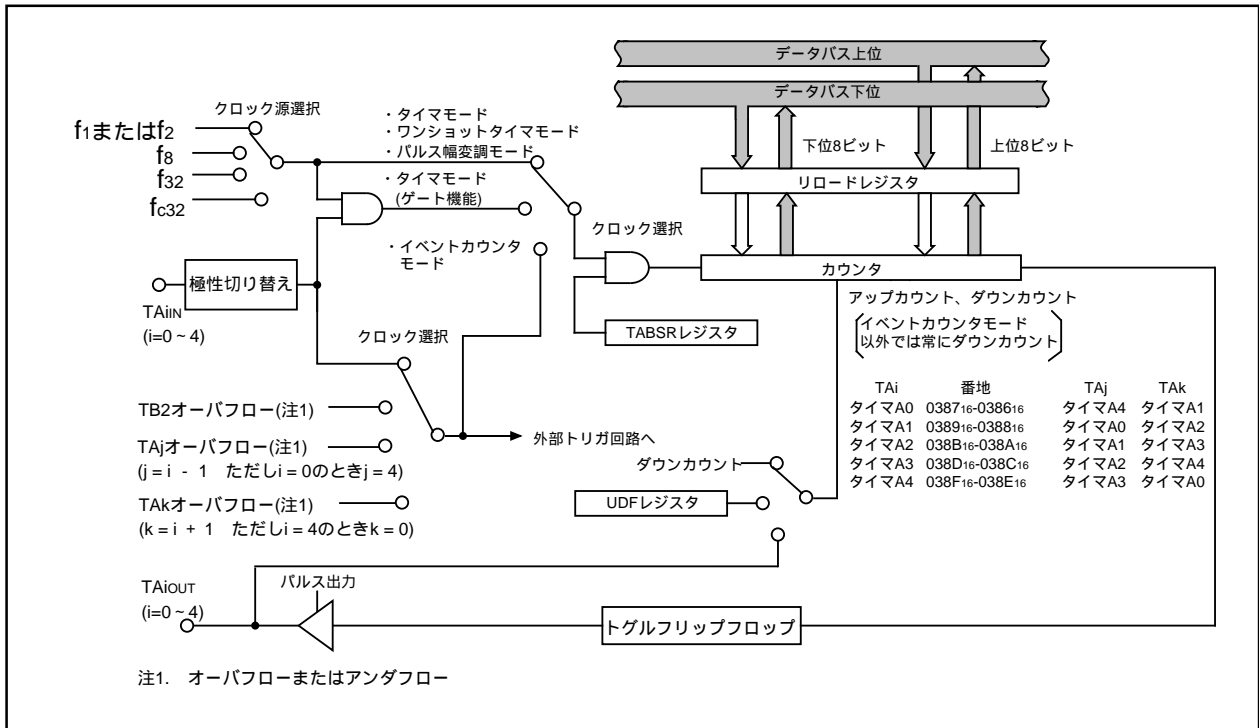


図12.3 タイマAブロック図

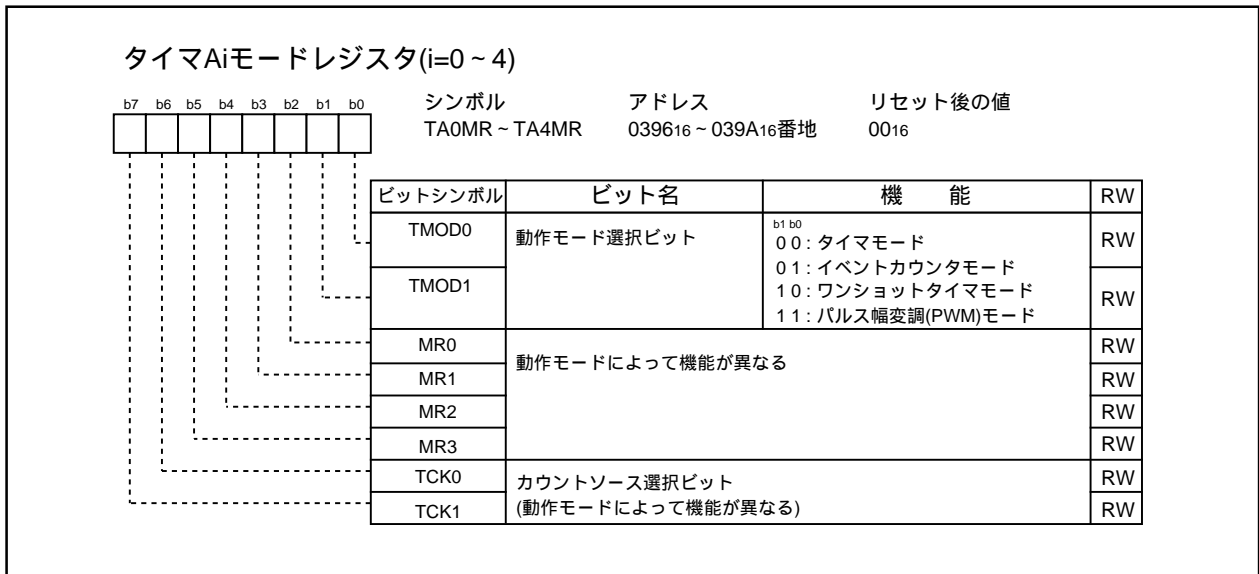
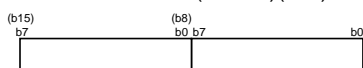


図12.4 TA0MR～TA4MRレジスタ

タイマAiレジスタ(i=0~4)(注1)



シンボル	アドレス	リセット後の値
TA0	0387 ₁₆ -0386 ₁₆ 番地	不定
TA1	0389 ₁₆ -0388 ₁₆ 番地	不定
TA2	038B ₁₆ -038A ₁₆ 番地	不定
TA3	038D ₁₆ -038C ₁₆ 番地	不定
TA4	038F ₁₆ -038E ₁₆ 番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000 ₁₆ ~ FFFF ₁₆	RW
イベントカウンタモード	設定値をnとすると、アップカウント時、カウントソースをFFFF ₁₆ -n+1分周し、ダウンカウント時、カウントソースをn+1分周する (注5)	0000 ₁₆ ~ FFFF ₁₆	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する	0000 ₁₆ ~ FFFF ₁₆ (注2、注4)	WO
パルス幅変調モード (16ビットPWM)	設定値をn、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^{16}-1)/fj$ PWMパルスの“H”幅: n/fj	0000 ₁₆ ~ FFFE ₁₆ (注3、注4)	WO
パルス幅変調モード (8ビットPWM)	上位番地の設定値をn、下位番地の設定値をm、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^8-1) \times (m+1)/fj$ PWMパルスの“H”幅: $(m+1)n/fj$	0016 ~ FE16 (上位番地) 0016 ~ FF16 (下位番地) (注3、注4)	WO

注1. 16ビット単位でアクセスしてください。

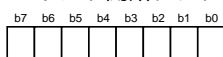
注2. TAIレジスタを“0000₁₆”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。

注3. TAIレジスタを“0000₁₆”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAIレジスタの上位8ビットに“0016”を設定した場合も同様です。

注4. TAIレジスタへはMOV命令を使用して書いてください。

注5. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

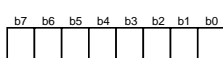
カウント開始フラグ



シンボル	アドレス	リセット後の値
TABSR	0380 ₁₆ 番地	0016

ビットシンボル	ビット名	機能	RW
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

アップダウンフラグ(注1)



シンボル	アドレス	リセット後の値
UDF	0384 ₁₆ 番地	0016

ビットシンボル	ビット名	機能	RW
TA0UD	タイマA0アップダウンフラグ	0: ダウンカウント 1: アップカウント	RW
TA1UD	タイマA1アップダウンフラグ		RW
TA2UD	タイマA2アップダウンフラグ	イベントカウンタモード時、TAiMRレジスタのMR2ビットを“0” (切り替え要因はUDFレジスタ)にすると有効になります	RW
TA3UD	タイマA3アップダウンフラグ		RW
TA4UD	タイマA4アップダウンフラグ		RW
TA2P	タイマA2二相パルス信号処理機能選択ビット		0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注2、注3)
TA3P	タイマA3二相パルス信号処理機能選択ビット	WO	
TA4P	タイマA4二相パルス信号処理機能選択ビット	WO	

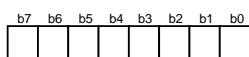
注1. UDFレジスタへはMOV命令を使用して書いてください。

注2. TA2IN ~ TA4IN、TA2OUT ~ TA4OUT端子に対応するポート方向ビットは“0” (入力モード)にしてください。

注3. 二相パルス信号処理機能を使用しない場合、タイマA2 ~ タイマA4に対応するビットを“0”にしてください。

図12.5 TA0~TA4、TABSR、UDFレジスタ

ワンショット開始フラグ



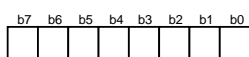
シンボル アドレス リセット後の値
 ONSF 038216番地 0016

ビットシンボル	ビット名	機能	RW
TA0OS	タイマA0ワンショット開始フラグ	TAiMRレジスタ(i=0~4)のTMOD1~TMOD0ビットが“102”(ワンショットタイマモード)、かつ	RW
TA1OS	タイマA1ワンショット開始フラグ	TAiMRレジスタのMR2ビットが	RW
TA2OS	タイマA2ワンショット開始フラグ	“0”(TAiOSビット有効)の場合、	RW
TA3OS	タイマA3ワンショット開始フラグ	このビットを“1”にすると、タイマのカウントを開始する。	RW
TA4OS	タイマA4ワンショット開始フラグ	読んだ場合、その値は“0”。	RW
TAZIE	Z相入力有効ビット	0: Z相入力無効 1: Z相入力有効	RW
TA0TGL	タイマA0イベント / トリガ選択ビット	b7 b6 00: TA0IN端子の入力を選択(注1)	RW
TA0TGH		01: TB2のオーバーフローを選択(注2) 10: TA4のオーバーフローを選択(注2) 11: TA1のオーバーフローを選択(注2)	RW

注1. PD7レジスタのPD7_1ビットを“0”(入力モード)にしてください。

注2. オーバフローまたはアンダフロー

トリガ選択レジスタ



シンボル アドレス リセット後の値
 TRGSR 038316番地 0016

ビットシンボル	ビット名	機能	RW
TA1TGL	タイマA1イベント / トリガ選択ビット	b1 b0 00: TA1IN端子の入力を選択(注1)	RW
TA1TGH		01: TB2のオーバーフローを選択(注2) 10: TA0のオーバーフローを選択(注2) 11: TA2のオーバーフローを選択(注2)	RW
TA2TGL	タイマA2イベント / トリガ選択ビット	b3 b2 00: TA2IN端子の入力を選択(注1)	RW
TA2TGH		01: TB2のオーバーフローを選択(注2) 10: TA1のオーバーフローを選択(注2) 11: TA3のオーバーフローを選択(注2)	RW
TA3TGL	タイマA3イベント / トリガ選択ビット	b5 b4 00: TA3IN端子の入力を選択(注1)	RW
TA3TGH		01: TB2のオーバーフローを選択(注2) 10: TA2のオーバーフローを選択(注2) 11: TA4のオーバーフローを選択(注2)	RW
TA4TGL	タイマA4イベント / トリガ選択ビット	b7 b6 00: TA4IN端子の入力を選択(注1)	RW
TA4TGH		01: TB2のオーバーフローを選択(注2) 10: TA3のオーバーフローを選択(注2) 11: TA0のオーバーフローを選択(注2)	RW

注1. TA1IN~TA4IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2. オーバフローまたはアンダフロー

時計用プリスケアラリセットフラグ



シンボル アドレス リセット後の値
 CPSRF 038116番地 0XXXXXX2

ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される(読んだ場合、その値は“0”)	RW

図12.6 ONSF、TRGSR、CPSRFレジスタ

12.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.1)。図12.7にタイマモード時のTAiMRレジスタを示します。

表12.1 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiレジスタ(i=0~4)の設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN 端子機能	入出力ポートまたはゲート入力
TAiOUT 端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。カウント停止中は“L”を出力

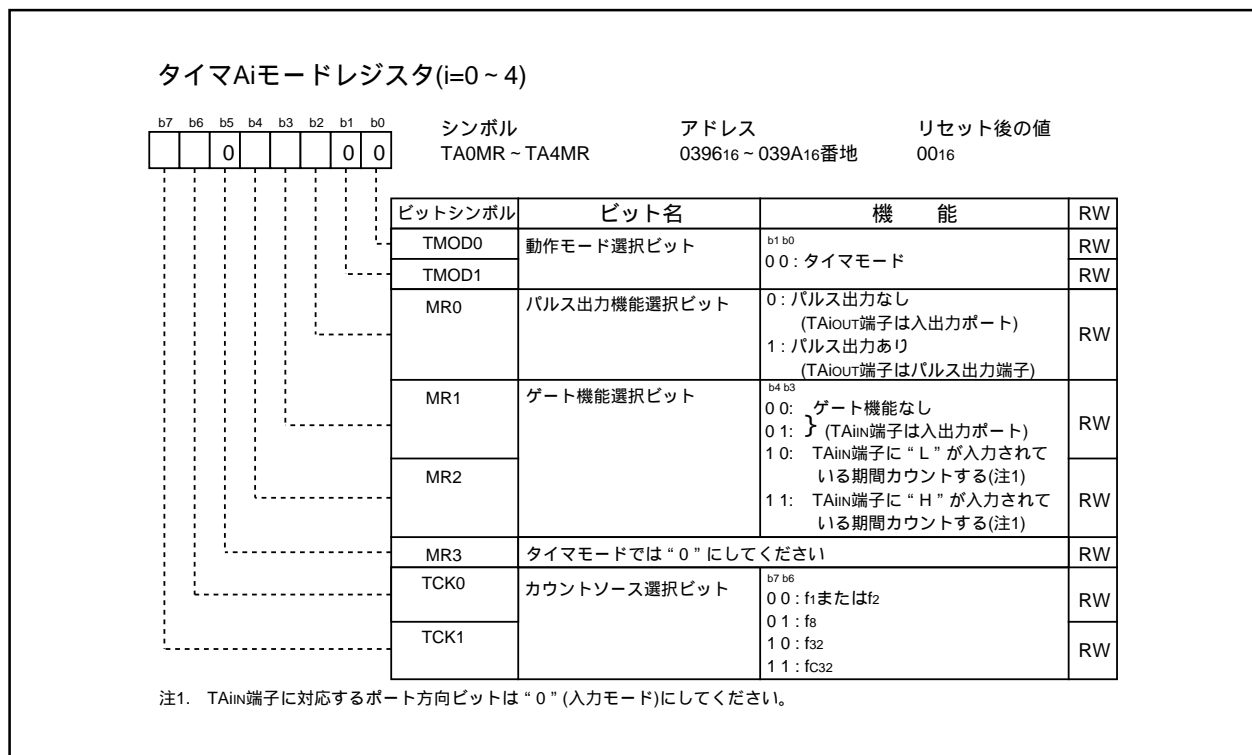


図12.7 タイマモード時のTAiMRレジスタ

12.1.2 イベントカウンタモード

外部信号、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます。表12.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、表12.3にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

図12.8にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)、図12.9にイベントカウンタモード時のTA2MR~TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表12.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> ・TAiIN端子(i=0~4)に入力された外部信号(プログラムで有効エッジを選択可能) ・タイマB2のオーバーフローまたはアンダフロー タイマAj(j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー、 タイマAk(k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー
カウント動作	<ul style="list-style-type: none"> ・アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 ・オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	アップカウント時 $1/(\text{FFFF}_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ・フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしない ・パルス出力機能 オーバーフローまたはアンダフローするごとにTAi_{OUT}端子の出力極性が反転。カウント停止中は“L”を出力

タイマAiモードレジスタ(i=0~4)(二相パルス信号処理を使用しない場合)

b7	b6	b5	b4	b3	b2	b1	b0		シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	1		TA0MR ~ TA4MR	0396 ₁₆ ~ 039A ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード(注1)	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiout端子は入出力ポート) 1 : パルス出力あり (TAiout端子はパルス出力端子)	RW
MR1	カウント極性選択ビット(注2)	0 : 外部信号の立ち下がりカウント 1 : 外部信号の立ち上がりカウント	RW
MR2	アップ/ダウン切り替え 要因選択ビット	0 : UDFレジスタ 1 : TAiout端子の入力信号(注3)	RW
MR3	イベントカウンタモードでは“0”にしてください		RW
TCK0	カウントタイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	RW
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可		RW

注1. イベントカウンタモードではカウントソースをONSFレジスタ、TRGSRレジスタで選択できます。

注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“002”(TAiin端子の入力)のとき有効。

注3. TAiout端子に“L”が入力されているときダウンカウント、“H”が入力されているときアップカウントします。
TAiout端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.8 イベントカウンタモード時のTAiMRレジスタ
(タイマ A2、A3、A4で二相パルス信号処理を使用しない場合)

表12.3 イベントカウンタモード時の仕様(タイマ A2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	・TAiIN、TAiOUT端子(i=2~4)に入力された二相パルス信号
カウント動作	・アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ・オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続す
分周比	・アップカウント時 $1/(FFFF16 - n + 1)$ ・ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 000016 ~ FFFF16
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAi _{IN} 端子機能	二相パルス入力
TAi _{OUT} 端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	<p>・通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2、3)の入力信号が“H”の期間、TAjIN端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。</p> <p>・4通倍処理動作(タイマA3、タイマA4) TAKOUT端子(k=3、4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりをアップカウントします。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がりをダウンカウントします。</p> <p>・Z相入力によるカウンタ初期化(タイマA3) Z相入力により、タイマのカウント値を“0”にする</p>

注1. タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4通倍処理動作です

タイマAiモードレジスタ(i=2~4)(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
		0	1	0	0	0	1	TA2MR ~ TA4MR	0398 ₁₆ ~ 039A ₁₆ 番地	00 ₁₆	
								ビットシンボル	ビット名	機能	RW
								TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
								TMOD1			RW
								MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
								MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
								MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
								MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
								TCK0	カウント動作タイプ選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
								TCK1	二相パルス処理動作選択ビット(注1)(注2)	0: 通常処理動作 1: 4 通倍処理動作	RW

注1. タイマA3は選択できます。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

注2. 二相パルス信号処理を行う場合、次のとおりしてください。

- ・ UDFレジスタのTAiPビットを“1”(二相パルス信号処理機能を許可)にする
- ・ TRGSRレジスタのTAiTGH、TAiTGLビットを“00₂”(TAiin端子入力)にする
- ・ TAiin、TAioutに対応するポート方向ビットを“0”(入力モード)にする

図12.9 イベントカウンタモード時のTA2MRレジスタ~TA4MRレジスタ
(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

12.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相はINT2端子から入力します。

TA3レジスタに“000016”を書き、“ONSF”レジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。

カウンタの初期化はZ相の入力エッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期以上になるように入力してください。

カウンタは、Z相入力を受けた次のカウントタイミングで初期化されます。図12.10に二相パルス(A相、B相)とZ相の関係を示します。

タイマA3のオーバフローまたはアンダフローと、Z相入力によるカウンタ初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、この機能使用時はタイマA3割り込みを使用しないでください。

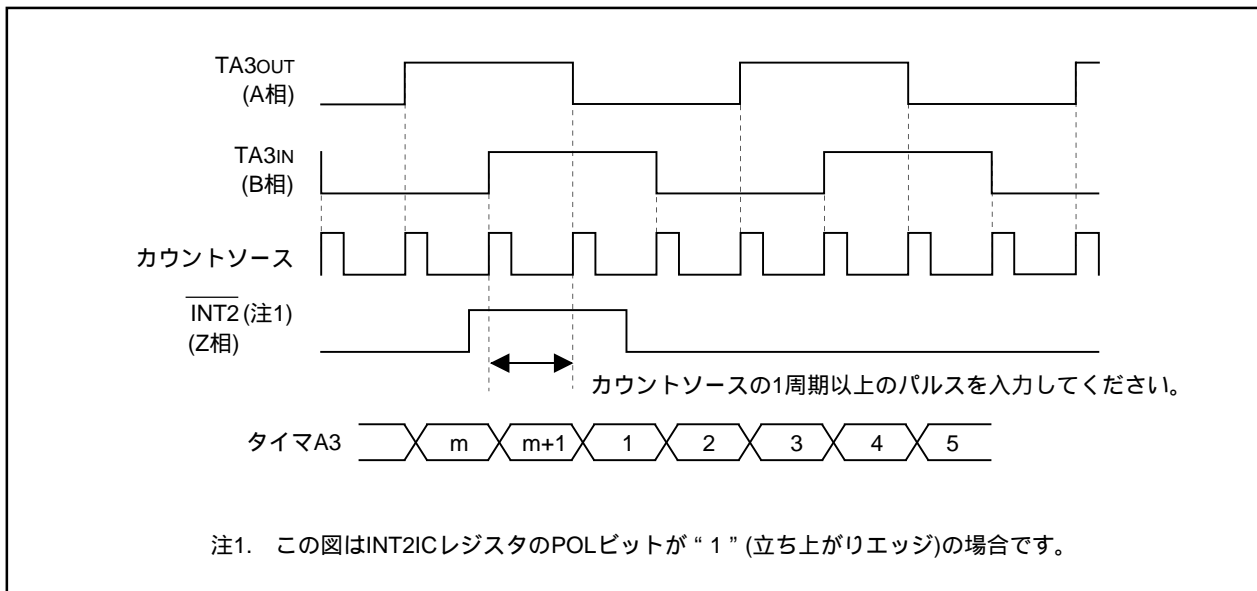


図12.10 二相パルス (A相、B相) とZ相の関係

12.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表12.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図12.11 にワンショットタイマモード時のTAiMRレジスタを示します。

表12.4 ワンショットタイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	ダウンカウント <ul style="list-style-type: none"> ・カウンタが0000₁₆になるタイミングでリロードしてカウントを停止 ・カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0~4)の設定値 0000 ₁₆ ~FFFF ₁₆ ただし、0000 ₁₆ を設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 <ul style="list-style-type: none"> ・TAiIN端子からの外部トリガ入力 ・タイマB2のオーバフローまたはアンダフロー、 タイマAj(j=i-1、ただしi=0 のときj=4)のオーバフローまたはアンダフロー、 タイマAk(k=i+1、ただしi=4 のときk=0)のオーバフローまたはアンダフロー ・ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	<ul style="list-style-type: none"> ・カウント値が0000₁₆になりリロードした後 ・TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が0000 ₁₆ になるタイミング
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ・パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

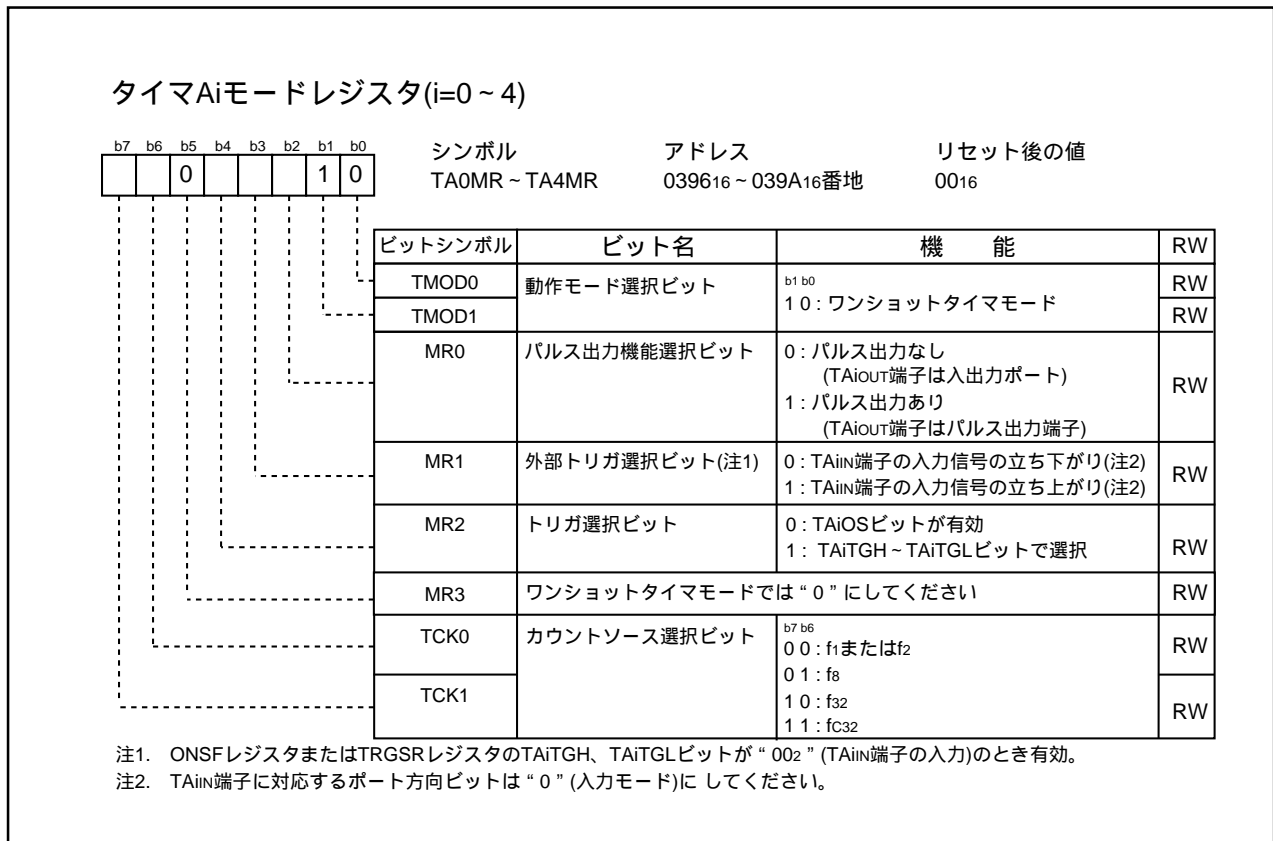


図12.11 ワンショットタイマモード時のTAiMRレジスタ

12.1.4 パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表12.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図12.12にパルス幅変調モード時のTAiMRレジスタ、図12.13に16ビットパルス幅変調器の動作例、図12.14に8ビットパルス幅変調器の動作例を示します。

表12.5 パルス幅変調モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ・PWMパルスの立ち上がりでリロードしてカウントを継続 ・カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> ・“H”幅 n / f_j:TAiレジスタの設定値($i=0 \sim 4$) ・周期 $(2^{16} - 1) / f_j$固定f_j:カウントソースの周波数(f_1、f_2、f_8、f_{32}、f_{c32})
8ビットPWM	<ul style="list-style-type: none"> ・“H”幅 $n \times (m+1) / f_j$:TAiレジスタの上位番地の設定値 ・周期 $(2^8 - 1) \times (m+1) / f_j$:TAiレジスタの低位番地の設定値
カウント開始条件	<ul style="list-style-type: none"> ・TABSRレジスタのTAiSビットを“1”(カウント開始)にする ・TAiSビットが“1”で、かつTAi_{IN}端子からの外部トリガ入力 ・TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、 タイマAj($j=i-1$ 、ただし $i=0$ のとき $j=4$)のオーバフローまたはアンダフロー、 タイマAk($k=i+1$ 、ただし $i=4$ のとき $k=0$)のオーバフローまたはアンダフロー
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

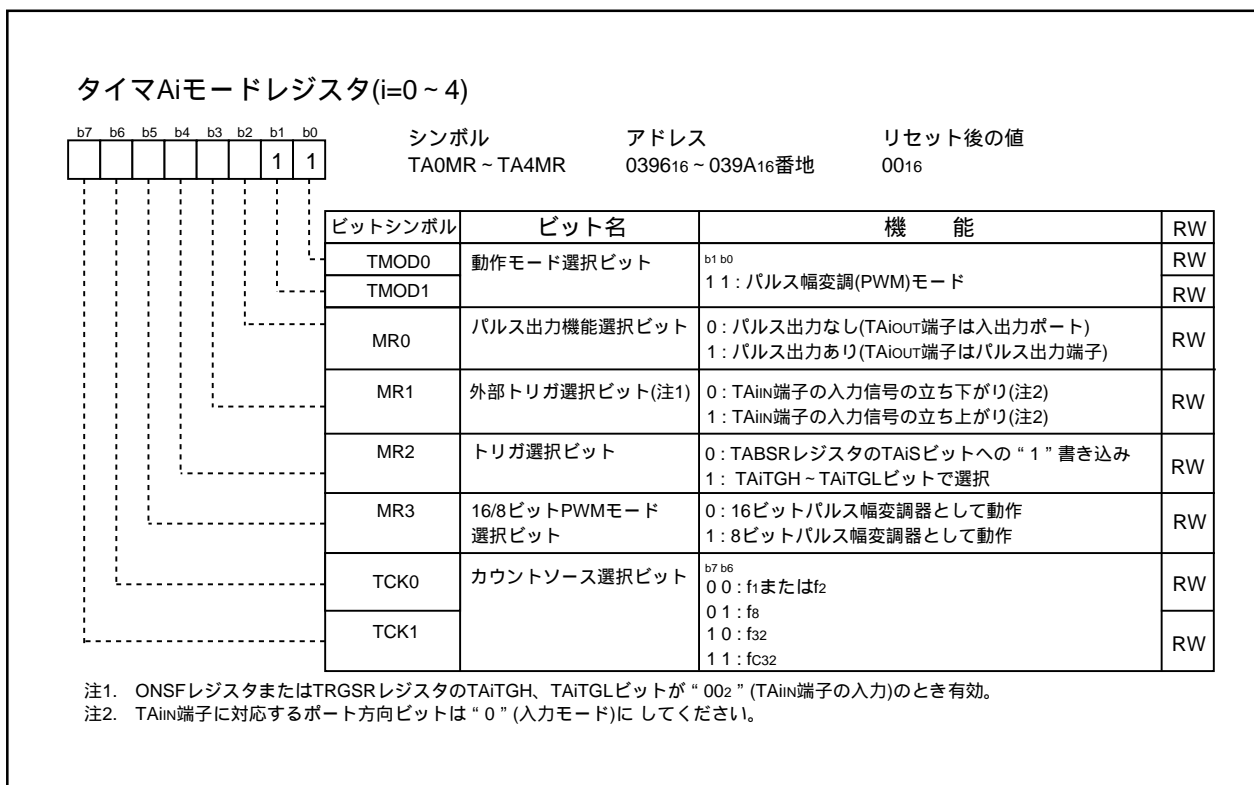


図12.12 パルス幅変調モード時のTAiMRレジスタ

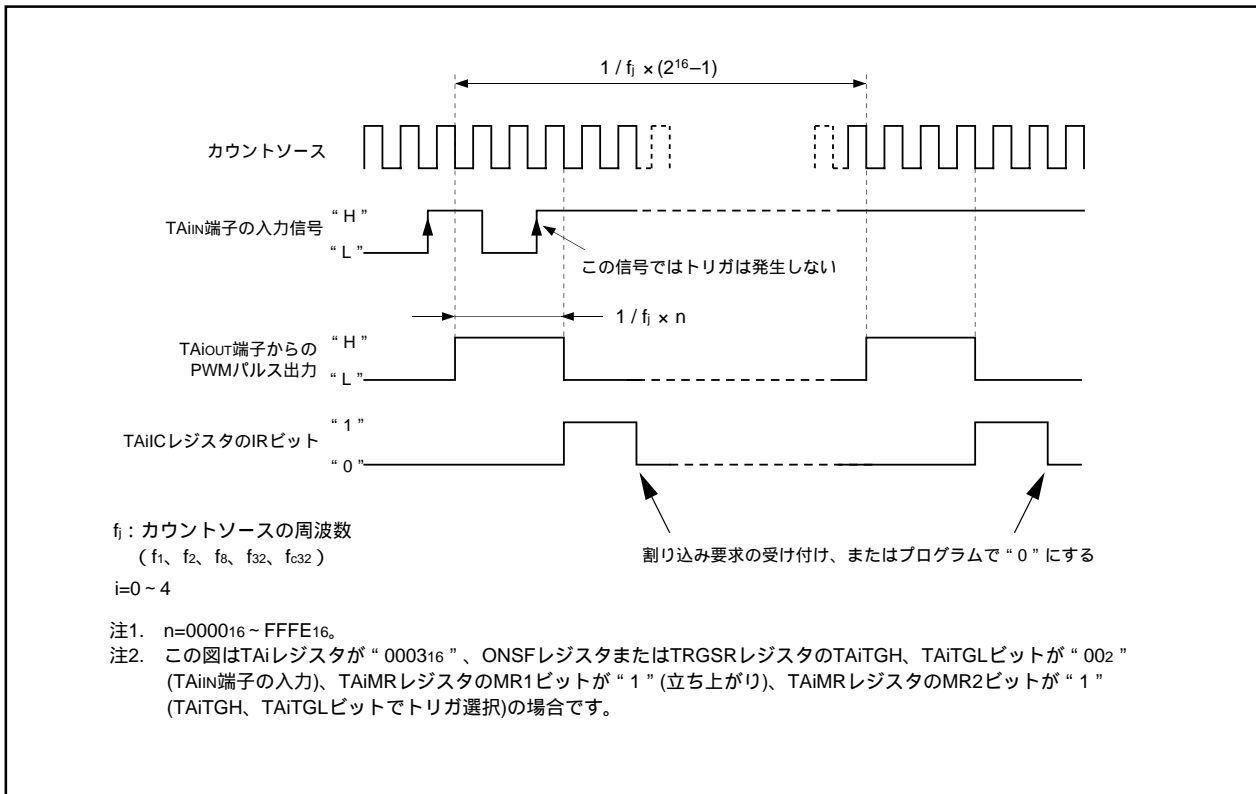


図12.13 16ビットパルス幅変調器の動作例

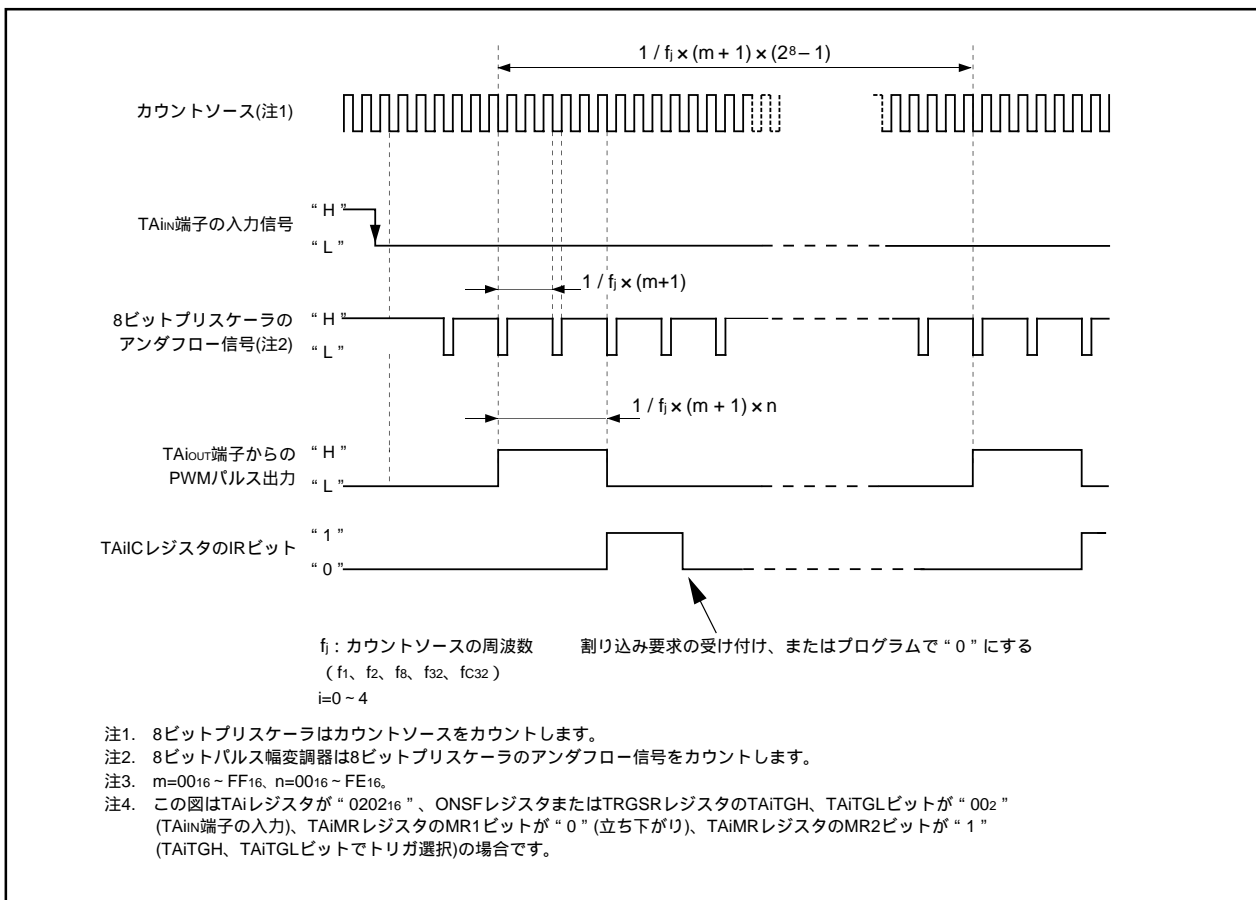


図12.14 8ビットパルス幅変調器の動作例

12.2 タイマB

図12.15にタイマBブロック図、図12.16～図12.17にタイマB関連レジスタを示します。

タイマBは次の4種類のモードがあり、モードは、TBiMRレジスタ(i=0～2)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモード
- ・パルス周期測定モード、パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード
- ・A/Dトリガモード 1度のトリガに対してカウント値が0000₁₆になるまでの間、カウントするモード。A/D変換の同時サンプル掃引モード、または遅延トリガモード0と組み合わせ、A/D変換開始トリガとして使用します。

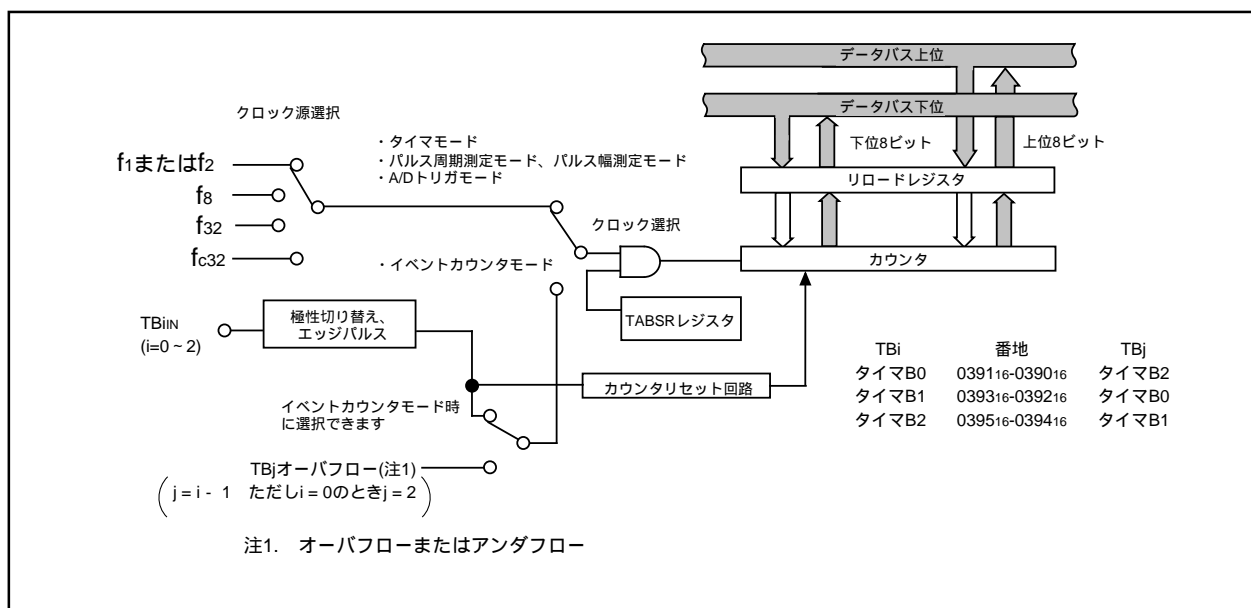


図12.15 タイマBブロック図

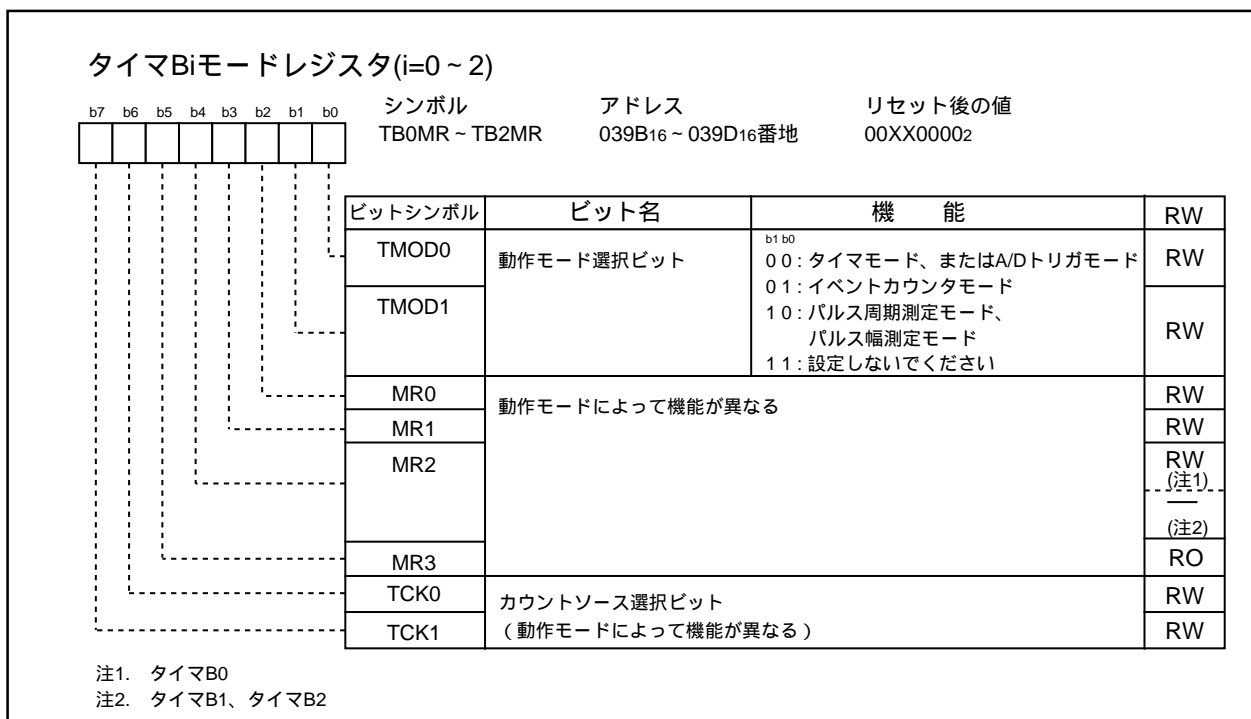
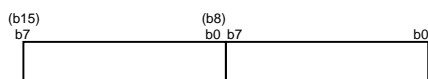


図12.16 TB0MR～TB2MRレジスタ

タイマBiレジスタ(i=0~2) (注1)



シンボル	アドレス	リセット後の値
TB0	0391 ₁₆ -0390 ₁₆ 番地	不定
TB1	0393 ₁₆ -0392 ₁₆ 番地	不定
TB2	0395 ₁₆ -0394 ₁₆ 番地	不定

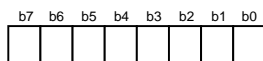
モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000 ₁₆ ~ FFFF ₁₆	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	0000 ₁₆ ~ FFFF ₁₆	RW
パルス周期測定モード パルス幅測定モード	パルス周期またはパルス幅を測定する	—	RO
A/Dトリガモード (注3)	設定値をnとすると、カウントソースをn+1分周し、停止する	0000 ₁₆ ~ FFFF ₁₆	RW

注1. 16ビット単位でアクセスしてください。

注2. 外部からのパルス、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントします。

注3. 遅延トリガモード0と組み合わせて使用する場合、タイマB1レジスタにはタイマB0レジスタの値より大きい値を設定してください。

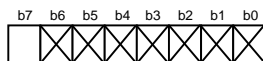
カウント開始フラグ



シンボル	アドレス	リセット後の値
TABSR	0380 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

時計用プリスケアラリセットフラグ



シンボル	アドレス	リセット後の値
CPSRF	0381 ₁₆ 番地	0XXXXXXX ₂

ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される (読んだ場合、その値は“0”)	RW

図12.17 TB0~TB2レジスタ、TABSRレジスタ、CPSRFレジスタ

12.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.6参照)。図12.18 にタイマモード時のTBiMRレジスタを示します。

表12.6 タイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタの設定値(i=0~2) 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S~TB2SビットはTABSRレジスタのビット5~7です。

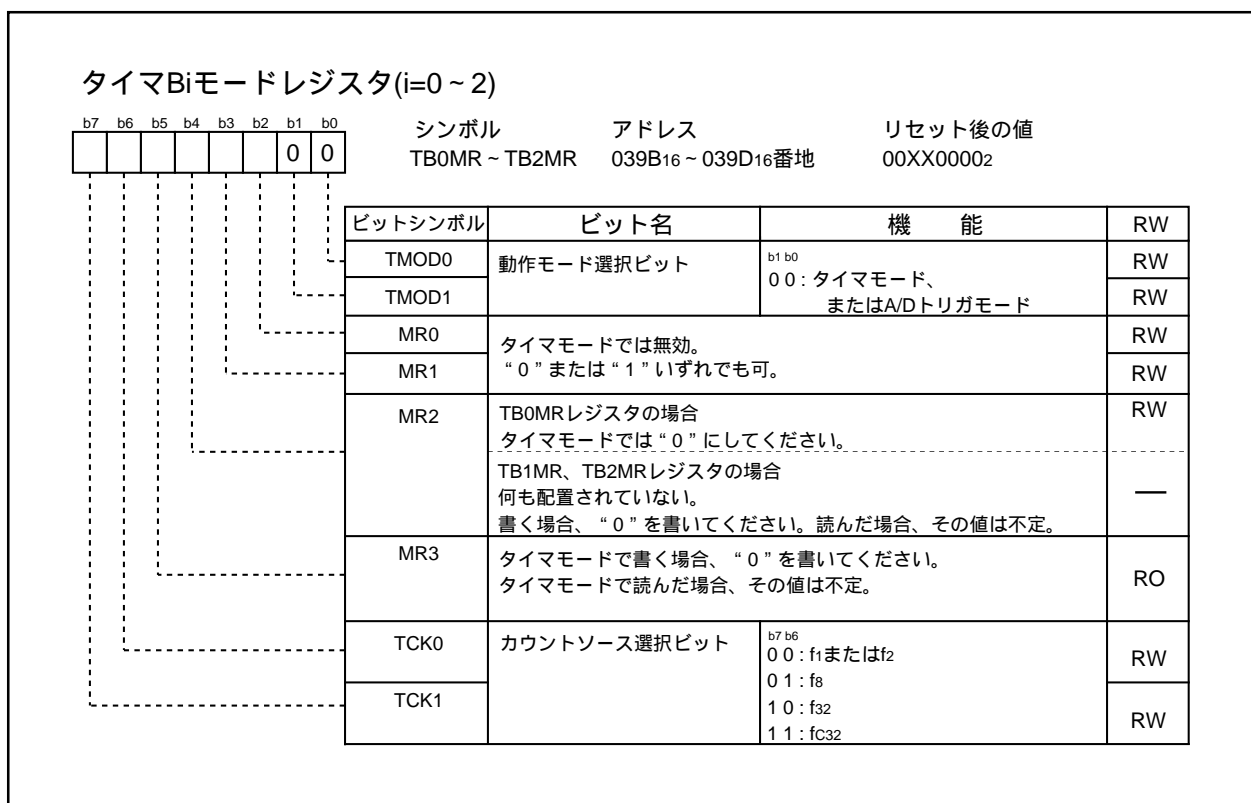


図12.18 タイマモード時のTBiMRレジスタ

12.2.2 イベントカウンタモード

外部信号、他のタイマのオーバーフロー、または他のタイマのアンダフローをカウントするモードです(表12.7参照)。図12.19 にイベントカウンタモード時のTBiMRレジスタを示します。

表12.7 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TB_{iIN}端子(i=0~2)に<input type="checkbox"/>入力された外部信号(プログラムで有効エッジを選択可能) • タイマB_jのオーバーフローまたはアンダフロー(j=i-1、ただしi=0のときj=2)
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	• 1/(n+1) n:TBiレジスタの設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる • カウント中(ただし、1回目のカウントソース入力後)TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S~TB2SビットはTABSRレジスタのビット5~7です。

タイマBiモードレジスタ(i=0~2)		シンボル	アドレス	リセット後の値
		TB0MR ~ TB2MR	039B ₁₆ ~ 039D ₁₆ 番地	00XX0000 ₂
ビットシンボル	ビット名	機能		RW
TMOD0	動作モード選択ビット	b1 b0	0 1: イベントカウンタモード	RW
TMOD1				RW
MR0	カウント極性選択ビット(注1)	b3 b2	0 0: 外部信号の立ち下がりを入力 0 1: 外部信号の立ち上がりを入力 1 0: 外部信号の立ち下がり 立ち上がりを入力 1 1: 設定しないでください	RW
MR1				RW
MR2	TB0MRレジスタの場合 イベントカウンタモードでは“0”にしてください。 TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			RW
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。			RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。			RW
TCK1	イベントクロック選択	0: TB _{iIN} 端子からの入力(注2) 1: TB _j のオーバーフローまたはアンダフロー (j=i-1 ただしi=0のときj=2)		RW

注1. TCK1ビットが“0”(TB_{iIN}端子からの入力)の場合に有効です。TCK1ビットが“1”(TB_jのオーバーフローまたはアンダフロー)の場合は、“0”でも“1”でも可。

注2. TB_{iIN}端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.19 イベントカウンタモード時のTBiMRレジスタ

12.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表12.8)。図12.20 にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタを示します。図12.21にパルス周期測定時の動作図、図12.22にパルス幅測定時の動作図を示します。

表12.8 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース カウント動作	f1、f2、f8、f32、fc32 ・アップカウント ・測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	・TBiSビット(i=0~2)(注3)を“1”(カウント開始)にする
カウント停止条件	・TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	・測定パルスの有効エッジ入力時(注1) ・オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になります。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。

注3. TB0S~TB2SビットはTABSRレジスタのビット5~7です。

タイマBiモードレジスタ(i=0~2)		シンボル	アドレス	リセット後の値
		TB0MR ~ TB2MR	039B ₁₆ ~ 039D ₁₆ 番地	00XX0000 ₂
ビットシンボル	ビット名	機能		RW
TMOD0	動作モード選択ビット	b1 b0		RW
		10: パルス周期測定モード、パルス幅測定モード		
MR0	測定モード選択ビット	b3 b2		RW
		00: パルス周期測定 (測定パルスの立ち下がりから次の立ち下がり間の測定) 01: パルス周期測定 (測定パルスの立ち上がりから次の立ち上がり間の測定)		
MR1	測定モード選択ビット	b3 b2		RW
		10: パルス幅測定 (測定パルスの立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定) 11: 設定しないでください		
MR2	TB0MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。 TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。			RW
MR3	タイマBiオーバフローフラグ(注1)	0: オーバフローなし 1: オーバフローあり		RO
TCK0	カウントソース選択ビット	b7 b6		RW
		00: f1またはf2 01: f8 10: f32 11: fc32		
TCK1	カウントソース選択ビット			RW

注1. リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。MR3ビットをプログラムで“1”にできません。TB0S~TB2SビットはTABSRレジスタのビット5~7です。

図12.20 パルス周期測定モード及びパルス幅測定モード時のTBiMRレジスタ

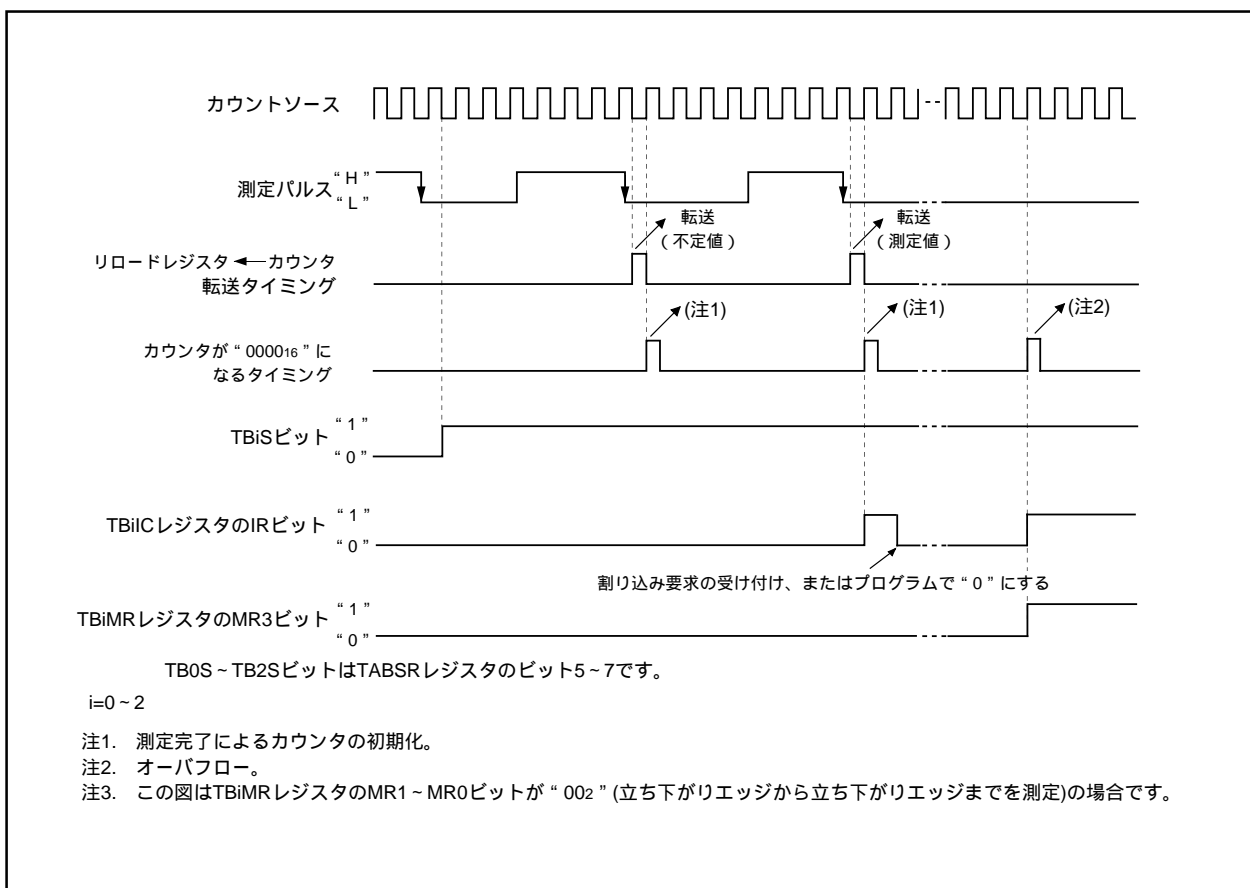


図12.21 パルス周期測定時の動作図

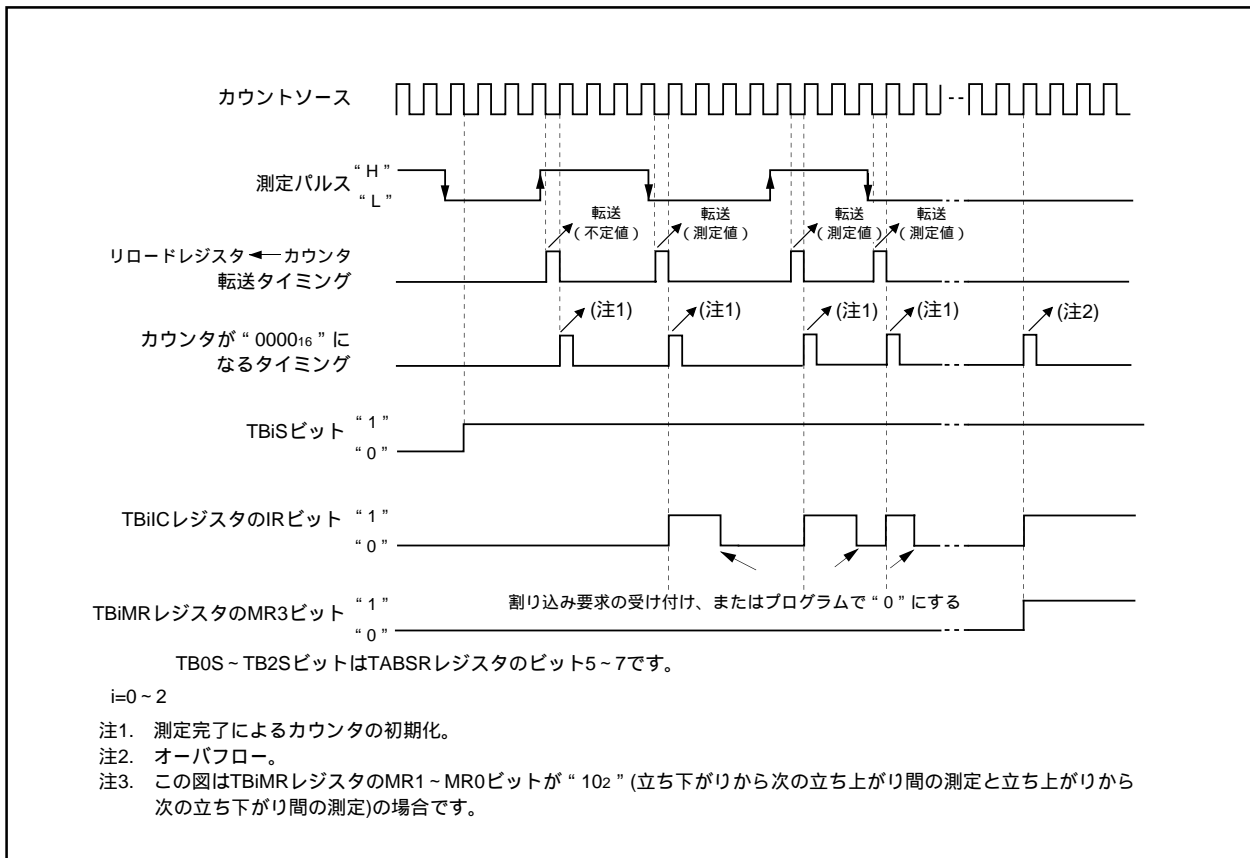


図12.22 パルス幅測定時の動作図

12.2.4 A/Dトリガモード

本モードはA/D変換の同時サンプル掃引モード、または遅延トリガモード0と組み合わせて、A/Dコンバータの変換開始トリガとして使用します。A/Dトリガモードでは、タイマは1度のトリガに対してカウント値が“0000₁₆”になるまでの間カウントします。本モードはタイマB0とタイマB1で有効です。図12.23にA/Dトリガモード時のTBiMRレジスタを、図12.24にTB2SCレジスタを示します。

表12.9 A/Dトリガモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、f32、fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを停止 カウント動作中にトリガが発生した場合、カウントに影響しない
分周比	1/(n+1) n:TBiレジスタ(i=0,1)の設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTBiSビット(i=0, 1)が“1”(カウント開始)、TB2SCレジスタのTBiEN(i=0,1)ビットが“1”(A/Dトリガモード)、かつ次のトリガが発生したとき(TB2SCレジスタのTB2SELビットで選択) タイマB2の割り込み タイマB2割り込み発生頻度設定カウンタのアンダフロー
カウント停止条件	カウント値が0000 ₁₆ になりリロードした後 TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時(注1)
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み(注2)	カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1：タイマのアンダフローでA/D変換を開始します。詳細は「15. A/Dコンバータ」の章を参照してください。

注2：遅延トリガモード0で使用する場合、タイマB1レジスタにはタイマB0レジスタの値より大きい値を設定してください。

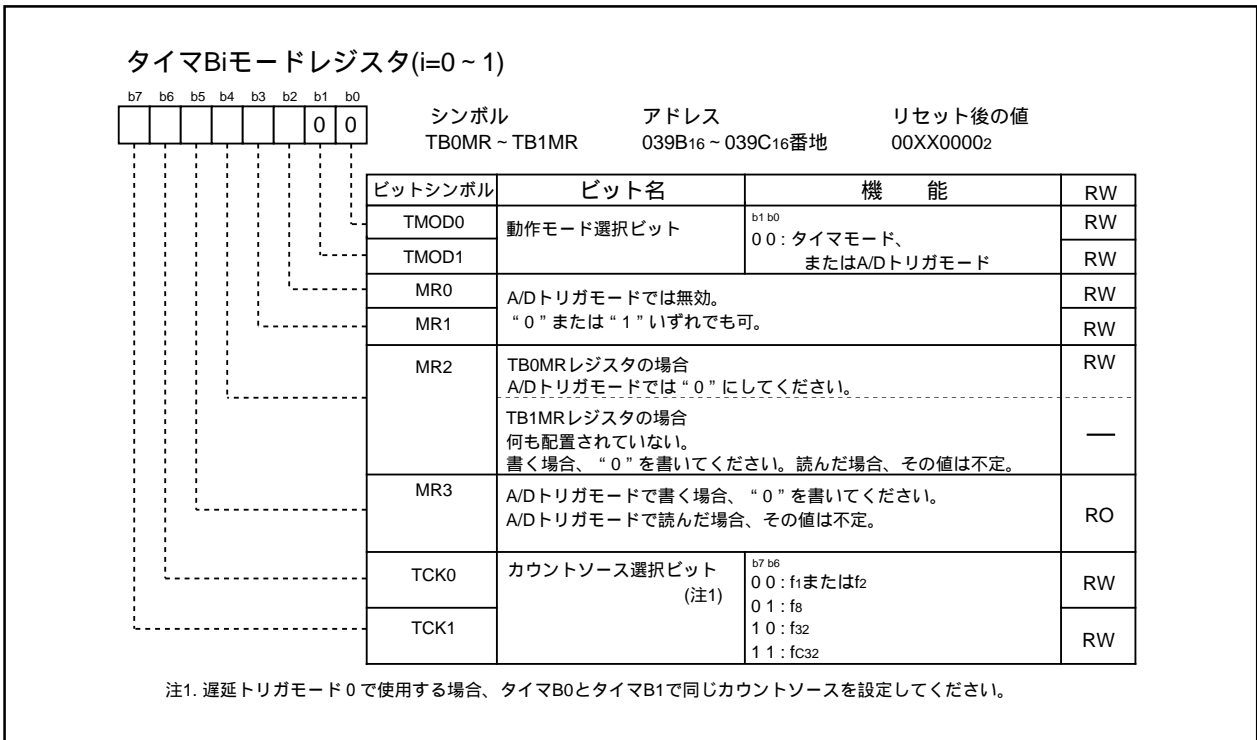


図12.23 A/Dトリガモード時のTBiMRレジスタ

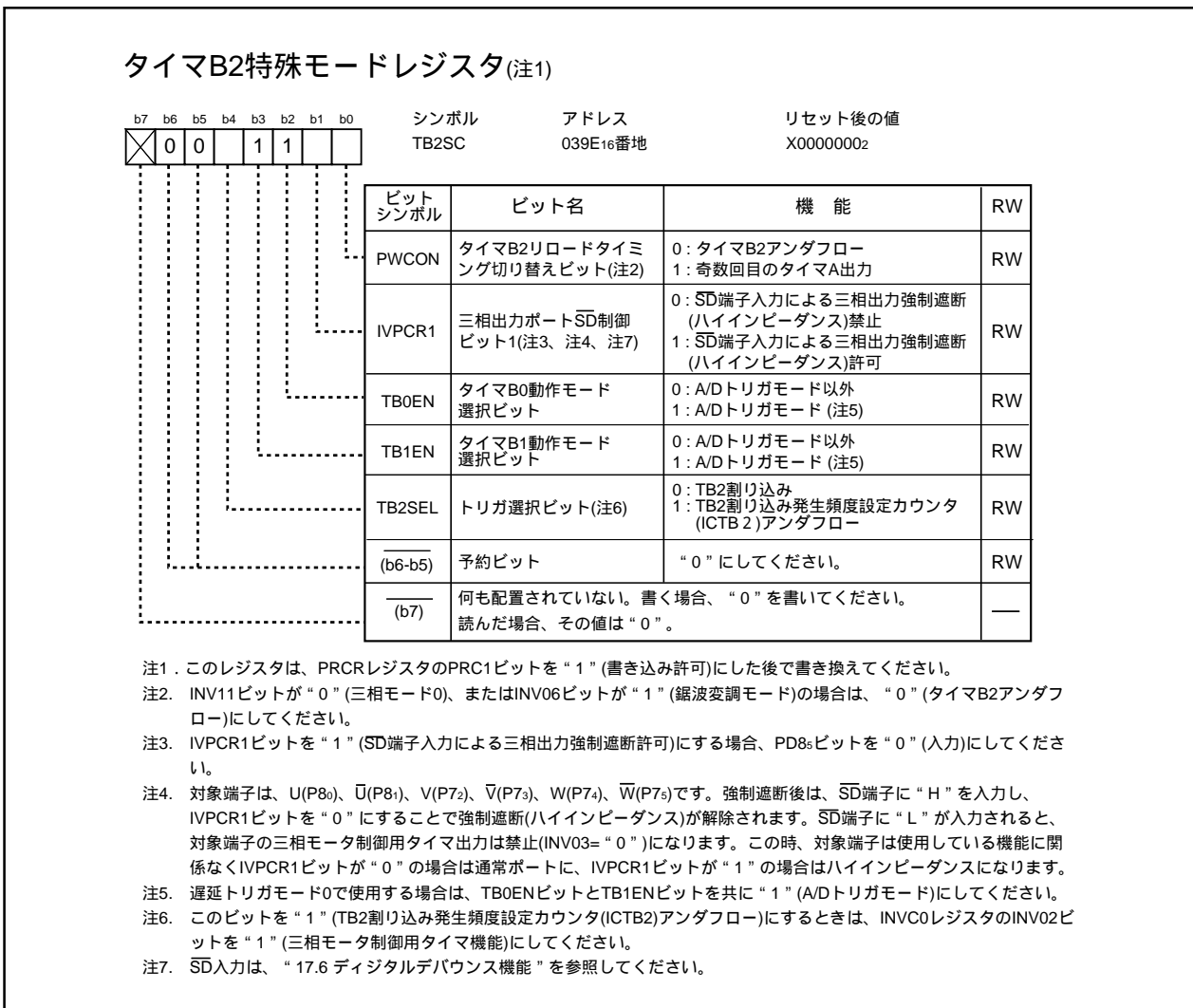


図12.24 A/Dトリガモード時のTB2SCレジスタ

12.3 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。表12.10に三相モータ制御用タイマ機能の仕様を、図12.25に三相モータ制御用タイマ機能のブロック図を示します。また、図12.26～図12.32に三相モータ制御用タイマ機能関連レジスタを示します。

表12.10 三相モータ制御用タイマ機能の仕様

項目	仕様
三相波形出力端子	6本(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力(注1)	\overline{SD} 端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4：U、 \bar{U} 相波形制御 タイマA1：V、 \bar{V} 相波形制御 タイマA2：W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・正相レベルと逆相レベルを独立設定可能 搬送波周期 三角波変調：カウントソース×(m+1)×2 鋸波変調：カウントソース×(m+1) m：TB2レジスタ設定値。0～65535 カウントソース：f ₁ 、f ₂ 、f ₈ 、f ₃₂ 、f _{C32}
三相PWM出力幅	三角波変調：カウントソース×n×2 鋸波変調：カウントソース×n n：TA4、TA1、TA2、(INV11が“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値。1～65535 カウントソース：f ₁ 、f ₂ 、f ₈ 、f ₃₂ 、f _{C32}
短絡防止時間(幅)	カウントソース×p、または短絡防止時間なし p：DTTレジスタ設定値。1～255 カウントソース：f ₁ 、f ₂ 、f ₁ の2分周、f ₂ の2分周
アクティブレベル	“H”または“L”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり。正逆同時アクティブ検出機能あり。
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

注1．INVC0レジスタのINV02ビットが“1” (三相モータ制御用タイマ機能)のとき、P85/ \overline{SD} 端子は \overline{SD} 機能が有効になります。この時、P85をプログラマブル入出力ポートとして使用できません。 \overline{SD} 機能を使用しない場合はP85/ \overline{SD} 端子に“H”を入力してください。

TB2SCレジスタのIVPCR1ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断を許可)のとき、 \overline{SD} 端子に“L”が入力されると対象端子は使用している機能に関係なくハイインピーダンス状態になります。IVPCR1ビットが“0” (\overline{SD} 端子入力による三相出力強制遮断を禁止)のとき、 \overline{SD} 端子に“L”が入力されると対象端子はプログラマブル入出力ポートとなり、ポートレジスタ及びポート方向レジスタの設定にしたがいます。

対象端子 P72/CLK2/TA1OUT/V/RxD1
P73/CTS2/RTS2/TA1IN/V/TxD1
P74/TA2OUT/W
P75/TA2IN/ \bar{W}
P80/TA4OUT/U
P81/TA4IN/ \bar{U}

三相PWM制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
INVC0

アドレス
0348₁₆番地

リセット後の値
00₁₆

ビット シンボル	ビット名	機 能	RW
INV00	割り込み有効出力 極性選択ビット (注3)	0 : タイマA1のリロード制御信号の立ち上がり でICTB2カウンタのカウンタを1進める 1 : タイマA1のリロード制御信号の立ち下がり でICTB2カウンタのカウンタを1進める	RW
INV01	割り込み有効出力 指定ビット (注2、注3)	0 : タイマB2アンダフローでICTB2カウンタ のカウンタを1進める 1 : INV00ビットで選択	RW
INV02	モード選択ビット (注4)	0 : 三相モータ制御用タイマ機能を使用しない 1 : 三相モータ制御用タイマ機能 (注5)	RW
INV03	出力制御ビット (注6)	0 : 三相モータ制御用タイマ出力禁止 (注5) 1 : 三相モータ制御用タイマ出力許可	RW
INV04	正逆相同時アクティブ 出力禁止ビット	0 : 同時アクティブ出力許可 1 : 同時アクティブ出力禁止	RW
INV05	正逆相同時アクティブ 出力検出フラグ (注7)	0 : 未検出 1 : 検出	RW
INV06	変調モード選択ビット (注8)	0 : 三角波変調モード 1 : 鋸波変調モード (注9)	RW
INV07	ソフトウェアトリガ 選択ビット	このビットを“1”にすると転送トリガが 発生する。INV06ビットが“1”の場合、 短絡防止タイマへのトリガも発生する。 読んだ場合、その値は“0”。	RW

注1 . このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。また、INV00～INV02、INV04、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2 . このビットを“1”にする場合は、ICTB2レジスタに値を設定してから書いてください。

注3 . INVC1レジスタのINV11ビットが“1”(三相モード1)のとき有効。“0”(三相モード0)のときは、INV00、INV01ビットに関係なくタイマB2アンダフローごとにICTB2カウンタのカウンタを1進める。
INV01ビットを“1”にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに“1”にしてください。
INV00ビットを“1”にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはタイマB2アンダフローのn-1回目が発生し、2回目以降の割り込みはタイマB2アンダフローのn回目ごとに発生します。

注4 . INV02ビットを“1”にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

注5 . U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子はINV02ビットを“1”(三相モータ制御用タイマ機能)にし、かつINV03ビットを“0”(三相モータ制御用タイマ出力禁止)にすると、すべてハイインピーダンスになります。INV03ビットが“1”のとき、U/V/W対応端子は三相PWM出力を行います。

注6 . INV03ビットは次のとき“0”になります。
・リセット
・INV04ビットが“1”のとき、同時アクティブ(INV05=“1”)になった場合
・プログラムで“0”にしたとき
・ \bar{SD} 端子入力が“H”から“L”に変化したとき
(IVPCR1ビットの設定には依存しません。また、 \bar{SD} 入力が“L”のとき、INV03ビットは“1”にできません。)
INV04ビットとINV05ビットが共に“1”のとき、INV03ビットは“0”になります。

注7 . プログラムで“0”は書けますが“1”は書けません。

注8 . INV06ビットの影響は下表のとおりです。

項 目	INV06 = 0の場合	INV06 = 1の場合
モード	三角波変調モード	鋸波変調モード
IDB0、1レジスタから三相出力 シフトレジスタへの転送タイミング	IDB0、1レジスタに書いた後、転送 トリガに同期して1回のみ転送	転送トリガごとに転送
INV16 = 0の場合の短絡防止タイマ トリガタイミング	タイマA1、A2、A4のワンショット パルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの 立ち下がりと、転送トリガに同期
INV13ビット	INV11 = 1かつINV06 = 0のとき有効	無効

転送トリガ：タイマB2アンダフロー、INV07ビットへの書き込み、またはINV10 = 1のときのTB2レジスタへの書き込み

注9 . INV06ビットが“1”の場合、INV11ビットを“0”(三相モード0)、PWCONビットを“0”(タイマB2のアンダフローでタイマB2リロード)にしてください。

図12.26 INVC0レジスタ

三相PWM制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0							

シンボル アドレス リセット後の値

INVC1 0349₁₆番地 00₁₆

ビットシンボル	ビット名	機 能	RW
INV10	タイマA1、A2、A4スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、TB2レジスタへの書き込み (注2)	RW
INV11	タイマA1-1、A2-1、A4-1制御ビット (注3)	0: 三相モード0 1: 三相モード1	RW
INV12	短絡防止タイマカウントソース選択ビット	0: f ₁ またはf ₂ 1: f ₁ の2分周またはf ₂ の2分周	RW
INV13	搬送波状態検出フラグ (注5)	0: タイマA1リロード制御信号が“0” 1: タイマA1リロード制御信号が“1”	RO
INV14	出力極性制御ビット	0: 出力波形“L”アクティブ 1: 出力波形“H”アクティブ	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ選択ビット	0: タイマ(A4、A1、A2)のワンショットパルスの立ち下がり (注6) 1: 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW
— (b7)	予約ビット	“0”にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。また、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2. TB2レジスタへの書き込みによって、スタートトリガが発生するのは、タイマB2が停止中のみです。

注3. INV11ビットの影響は下表のとおりです。

項 目	INV11 = 0の場合	INV11 = 1の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INV00ビット、INV01ビット	無効。INV00、INV01ビットの値に関係なく、タイマB2アンダフローごとにICTB2カウント	有効。
INV13ビット	無効。	INV11 = 1かつINV06 = 0のとき有効。

注4. INV0レジスタのINV06ビットが“1”(鋸波変調モード)の場合は、“0”(三相モード0)にしてください。また、INV11ビットが“0”の場合、TB2SCレジスタのPWCONビットを“0”(タイマB2のアンダフローでタイマB2リロード)にしてください。

注5. INV13ビットはINV06ビットが“0”(三角波変調モード)かつINV11ビットが“1”(三相モード1)のときのみ有効です。

注6. 次の条件がすべて当てはまる場合は、INV16ビットを“1”(短絡防止タイマのトリガは三相出力シフトレジスタの出力の立ち上がり)にしてください。

- ・INV15ビットが“0”(短絡防止タイマ使用)
- ・INV03ビットが“1”(三相モータ制御用タイマ出力許可)のときには、常にDij(i: U、VまたはW、j: 0~1)ビットとDiBjビットの値が違う(短絡防止時間以外の期間、正相と逆相は常に逆のレベルを出力する)。

また、上記の条件のいずれかが当てはまらない場合はINV16ビットを“0”(短絡防止タイマのトリガはタイマのワンショットパルスの立ち下がり)にしてください。

図12.27 INVC1レジスタ

三相出力バッファレジスタ_i (i=0, 1)(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値	
0	0							IDB0	034A ₁₆ 番地	0011111 ₂	
								IDB1	034B ₁₆ 番地	0011111 ₂	
								ビットシンボル	ビット名	機能	RW
								D _{Ui}	U相出力バッファ _i	出力レベルを書いてください。 0 : アクティブレベル 1 : アクティブでないレベル 読んだ場合は三相出力シフトレジスタの値を読む。	RW
								D _{UBi}	\bar{U} 相出力バッファ _i		RW
								D _{Vi}	V相出力バッファ _i		RW
								D _{VBi}	\bar{V} 相出力バッファ _i		RW
								D _{Wi}	W相出力バッファ _i		RW
								D _{WBi}	\bar{W} 相出力バッファ _i		RW
								(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		RO

注1. IDB0、IDB1レジスタの値は転送トリガで三相出力シフトレジスタに転送されます。転送トリガ発生後、IDB0レジスタに書いた値が最初に各相出力信号となり、次にタイマA1、A2、A4ワンショットパルスの立ち下がりIDB1レジスタに書いた値が各相出力信号となります。

短絡防止タイマ (注1、2)

b7	b0	シンボル	アドレス	リセット後の値
		DTT	034C ₁₆ 番地	不定
機能			設定範囲	RW
設定値をnとすると、スタートトリガ後、INV12ビットで選択したカウントソースをn回カウントして停止する。正逆相のうちアクティブでないレベルから、アクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化する。			1 ~ 255	WO

注1. このレジスタの書き込みはMOV 命令を使用してください。

注2. INV15ビットが“0”(短絡防止時間有効)のとき有効です。“1”のとき短絡防止時間はありません。

タイマB2割り込み発生頻度設定カウンタ

b7	b6	b5	b4	b3	b0	シンボル	アドレス	リセット後の値
0	0	X	X	X	X	ICTB2	034D ₁₆ 番地	不定
機能			設定範囲	RW				
INV01ビットが“0”(タイマB2アンダフローごとにICTB2カウンタカウント)の場合、設定値をnとすると、タイマB2アンダフローのn回目ごとにタイマB2割り込み要求が発生する。INV01ビットが“1”(ICTB2カウンタカウントタイミングはINV00ビットで選択)の場合、設定値をnとすると、INV00ビットで選択した条件に合うタイマB2アンダフローのn回目ごとにタイマB2割り込み要求が発生する。			1 ~ 15	WO				
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。				—				
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。				RO				

注1. ICTB2レジスタへは、MOV命令を使用して書いてください。

INV01ビットが“1”の場合は、更にTB2Sビットが“0”(タイマB2カウント停止)のときに書いてください。

INV01ビットが“0”の場合は、TB2Sビットが“1”(タイマB2カウント開始)でも書けませんが、タイマB2のアンダフローのタイミングで書かないでください。

図12.28 IDB0、IDB1レジスタ、DTT、ICTB2レジスタ

タイマAi、Ai-1レジスタ(i = 1、2、4) (注1、2、3、4、5)

シンボル	アドレス	リセット後の値
TA1	0389 ₁₆ -0388 ₁₆ 番地	不定
TA2	038B ₁₆ -038A ₁₆ 番地	不定
TA4	038F ₁₆ -038E ₁₆ 番地	不定
TA11 (注6,7)	0343 ₁₆ -0342 ₁₆ 番地	不定
TA21 (注6,7)	0345 ₁₆ -0344 ₁₆ 番地	不定
TA41 (注6,7)	0347 ₁₆ -0346 ₁₆ 番地	不定

機 能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	0000 ₁₆ ~ FFFF ₁₆	WO

注1. 16ビット単位でアクセスしてください。

注2. これらのレジスタに“0000₁₆”を書いた場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。

注3. これらのレジスタへの書き込みにはMOV命令を使用してください。

注4. INV15ビットが“0”(短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化します。

注5. INV11ビットが“0”(三相モード0)の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
INV11ビットが“1”(三相モード1)の場合、タイマAiスタートトリガによって、まずTAiレジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAiレジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。

注6. 三相モード1の時は、タイマB2アンダフローのタイミングで、TAi1レジスタへ書かないでください。

注7. TAi1レジスタは次の手順で書いてください。
 (1)TAi1レジスタへ値を書く
 (2)タイマAiカウントソースの1サイクル分待つ
 (3)もう一度、TAi1レジスタへ同じ値を書く

図12.29 TA1、TA2、TA4、TA11、TA21、TA41レジスタ

タイマB2特殊モードレジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
×	0	0						TB2SC	039E16番地	X00000002

ビットシンボル	ビット名	機能	RW
PWCON	タイマB2リロードタイミング切り替えビット(注2)	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW
IVPCR1	三相出力ポートSD制御ビット1(注3、注4、注7)	0: \overline{SD} 端子入力による三相出力強制遮断(ハイインピーダンス)禁止 1: \overline{SD} 端子入力による三相出力強制遮断(ハイインピーダンス)許可	RW
TB0EN	タイマB0動作モード選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード(注5)	RW
TB1EN	タイマB1動作モード選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード(注5)	RW
TB2SEL	トリガ選択ビット(注6)	0: TB2割り込み 1: TB2割り込み発生頻度設定カウンタ(ICTB2)アンダフロー	RW
(b6-b5)	予約ビット	"0" にしてください。	RW
(b7)	何も配置されていない。書く場合、"0" を書いてください。読んだ場合、その値は"0"。		—

- 注1. このレジスタは、PRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。
- 注2. INV11ビットが"0"(三相モード0)、またはINV06ビットが"1"(鋸波変調モード)の場合は、"0"(タイマB2アンダフロー)にしてください。
- 注3. IVPCR1ビットを"1"(\overline{SD} 端子入力による三相出力強制遮断許可)にする場合、PD8sビットを"0"(入力)にしてください。
- 注4. 対象端子は、U(P80)、 \overline{U} (P81)、V(P72)、 \overline{V} (P73)、W(P74)、 \overline{W} (P75)です。強制遮断後は、 \overline{SD} 端子に"H"を入力し、IVPCR1ビットを"0"にすることで強制遮断(ハイインピーダンス)が解除されます。 \overline{SD} 端子に"L"が入力されると、対象端子の三相モータ制御用タイマ出力は禁止(INV03="0")になります。この時、対象端子は使用している機能に関係なくIVPCR1ビットが"0"の場合は通常ポートに、IVPCR1ビットが"1"の場合はハイインピーダンスになります。
- 注5. 遅延トリガモード0で使用する場合は、TB0ENビットとTB1ENビットを共に"1"(A/Dトリガモード)にしてください。
- 注6. このビットを"1"(TB2割り込み発生頻度設定カウンタ(ICTB2)アンダフロー)にするときは、INVC0レジスタのINV02ビットを"1"(三相モータ制御用タイマ機能)にしてください。
- 注7. \overline{SD} 入力は、"17.6 デジタルデバウンス機能"を参照してください。

\overline{SD} 端子入力の影響は以下の通りです。

1. INV03ビットが"1"(三相モータ制御用タイマ出力許可)の場合

IVPCR1ビット	\overline{SD} 端子入力(注3)	U/V/W対応端子の状態	備考
"1" (三相出力強制遮断許可)	H	三相PWM出力	
	L(注1)	ハイインピーダンス(注4)	三相出力強制遮断
"0" (三相出力強制遮断禁止)	H	三相PWM出力	
	L(注1)	入出力ポート(注2)	

- 注1. \overline{SD} 端子に"L"が入力されると、同時にINV03ビットは"0"に変化します。
- 注2. ポートレジスタおよびポート方向レジスタの値が有効になります。
- 注3. SD機能を使わない場合は、PD8sビットを"0"(入力)にしたうえで、 \overline{SD} 端子を外部より"H"にプルアップしてください。
- 注4. 三相PWM出力強制遮断後は、 \overline{SD} 端子入力が"H"になった後、IVPCR1ビットを"0"にすることで強制遮断(ハイインピーダンス)が解除されます。

2. INV03ビットが"0"(三相モータ制御用タイマ出力禁止)の場合

IVPCR1ビット	\overline{SD} 端子入力	U/V/W対応端子の状態	備考
"1" (三相出力強制遮断許可)	H	周辺機能の入出力または入出力ポート	
	L	ハイインピーダンス	三相出力強制遮断(注1)
"0" (三相出力強制遮断禁止)	H	周辺機能の入出力または入出力ポート	
	L	周辺機能の入出力または入出力ポート	

- 注1. INV03ビットが"0"(三相モータ制御用タイマ出力禁止)の場合でもIVPCR1ビットが"1"(三相出力強制遮断許可)であれば三相出力強制遮断機能は有効になります。

図12.30 TB2SCレジスタ

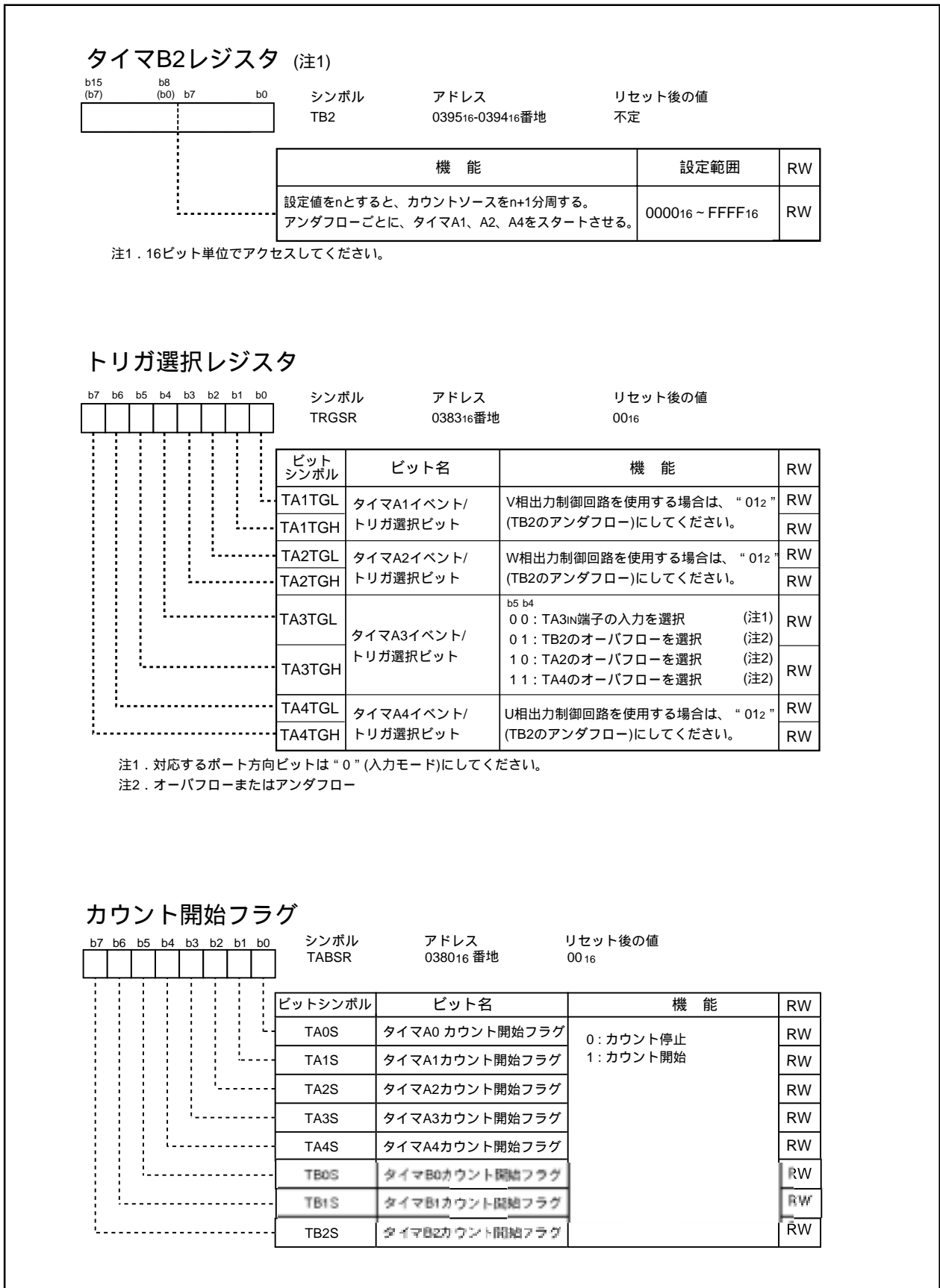


図12.31 TB2レジスタ、TRGSRレジスタ、TABSRレジスタ

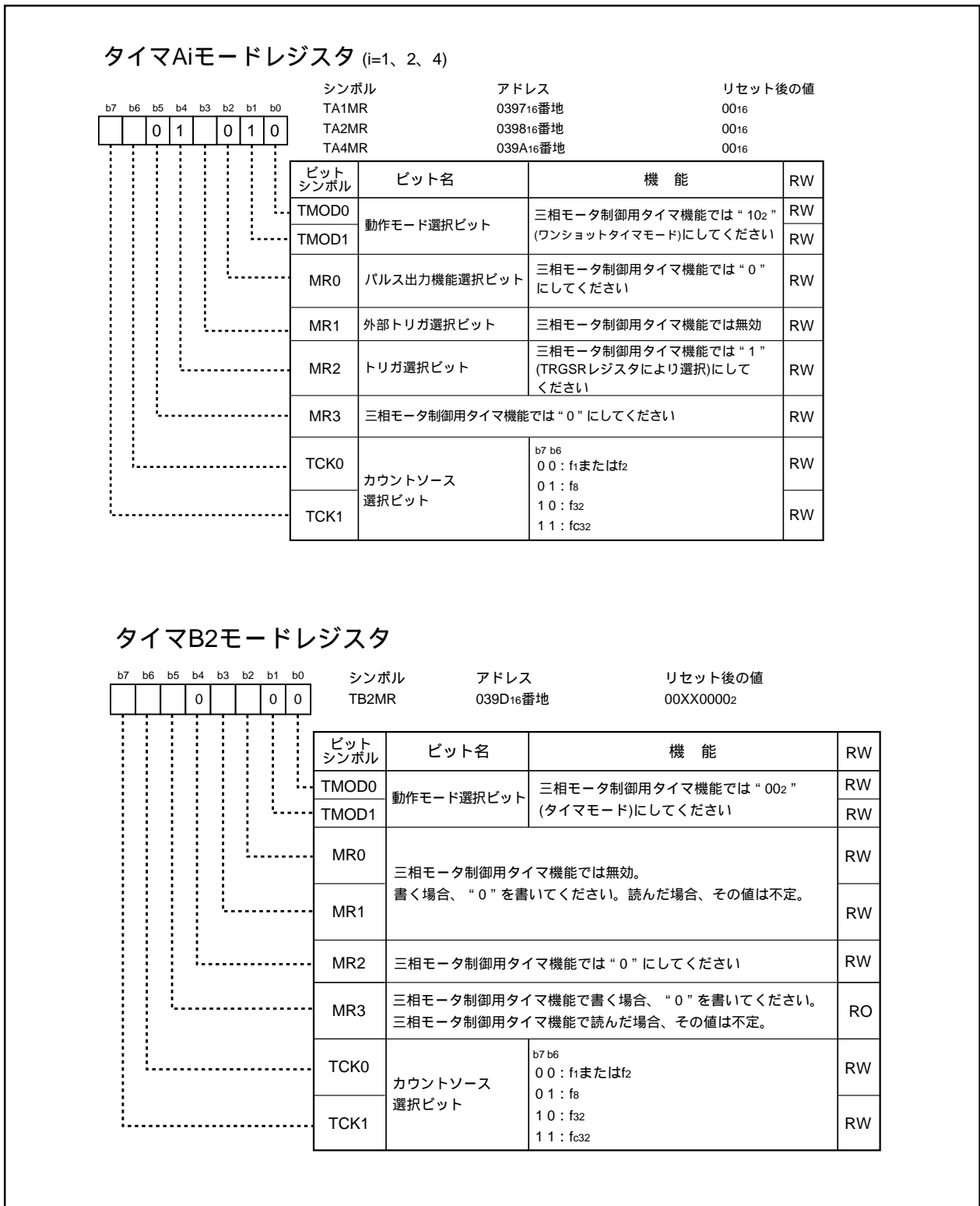


図12.32 TA1MRレジスタ、TA2MRレジスタ、TA4MRレジスタ、TB2MRレジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})の制御に使用します。短絡防止時間は専用の短絡防止タイマで制御します。図12.33に三角波変調波形例を、図12.34に鋸波変調波形例を示します。

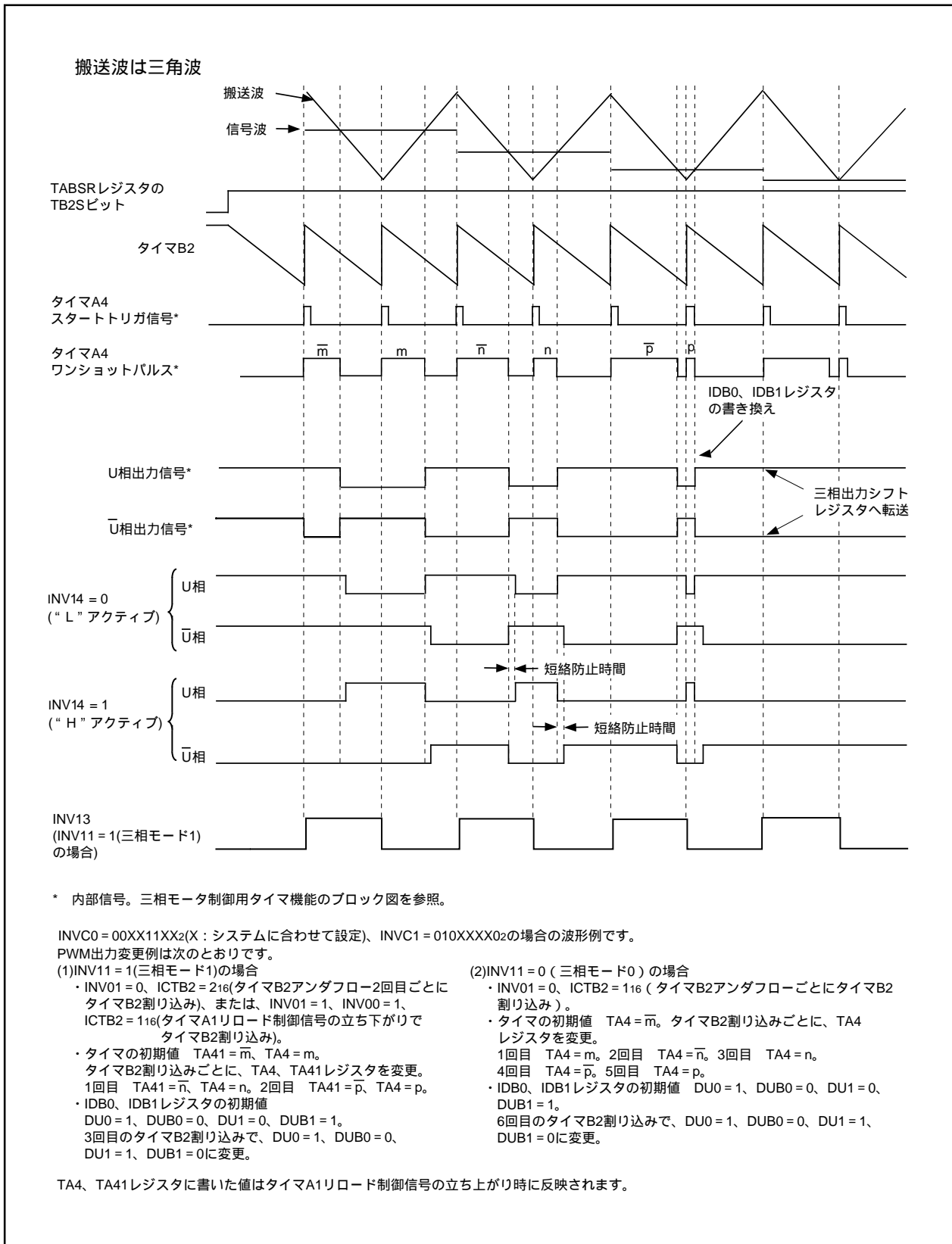


図12.33 三角波変調動作例

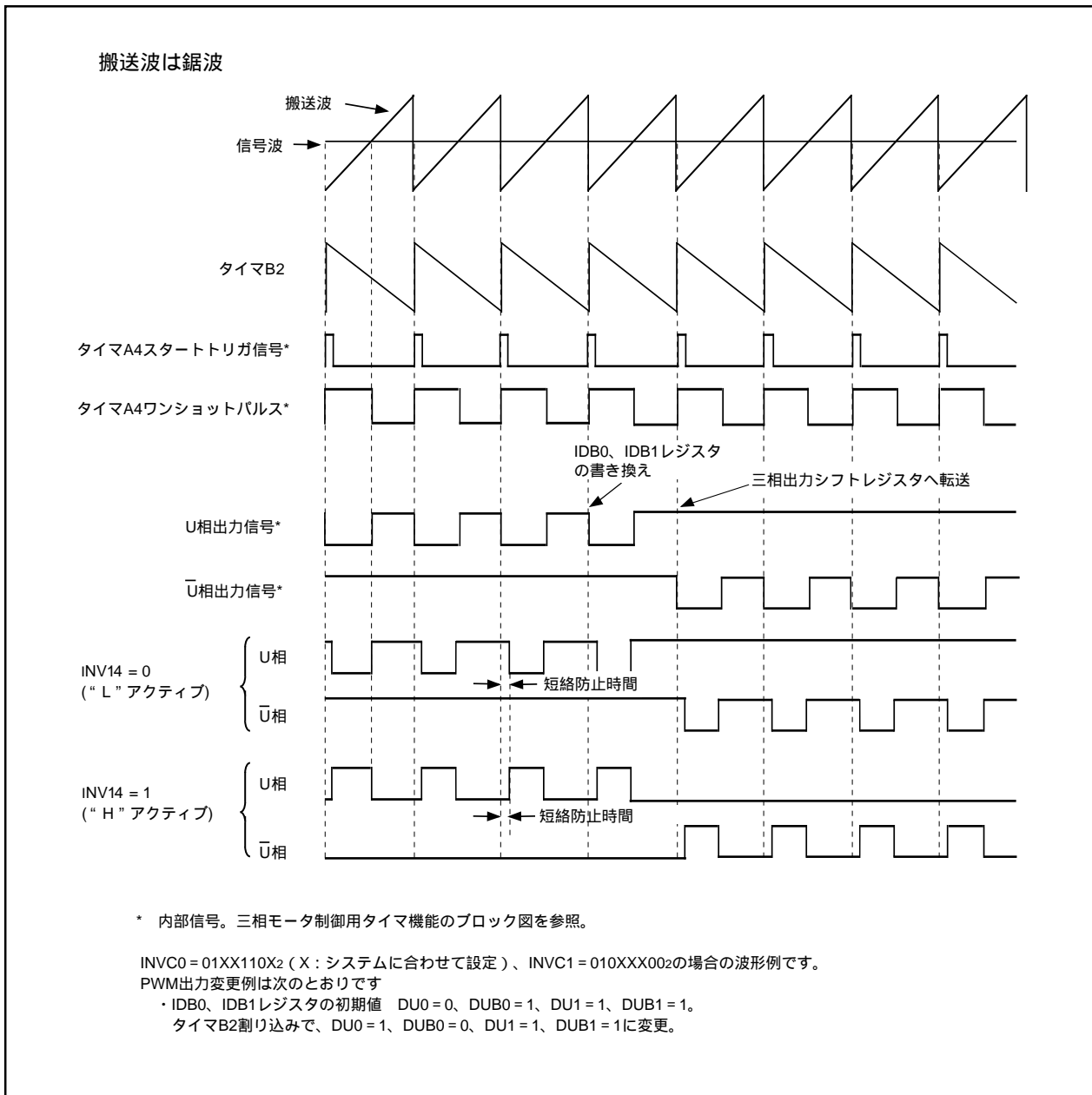


図12.34 鋸波変調波形例

12.3.1 位置データ保持機能

三相波形出力に同期して、位置データを保持する機能です。U相、V相、W相用に3本あります。

位置データを保持するためのトリガ（以後、このトリガは”保持トリガ”として称します。）は、保持トリガ極性選択ビット（PDRFレジスタのPDRTビット）で、各相の正相の立ち下がり又は立ち上がりを選択できます。

12.3.1.1 位置データ保持機能の動作説明

図12.35に保持トリガが正相の立ち下がり信号の場合の位置データ保持機能の入力例（U相）を示します。

- (1)U相波形出力の立ち下がり、IDU端子の状態をU相位置データ保持ビット（PDRFレジスタのPDRUビット）に転送します。
- (2)次のU相波形出力の立ち下がりまでその値は保持されます。

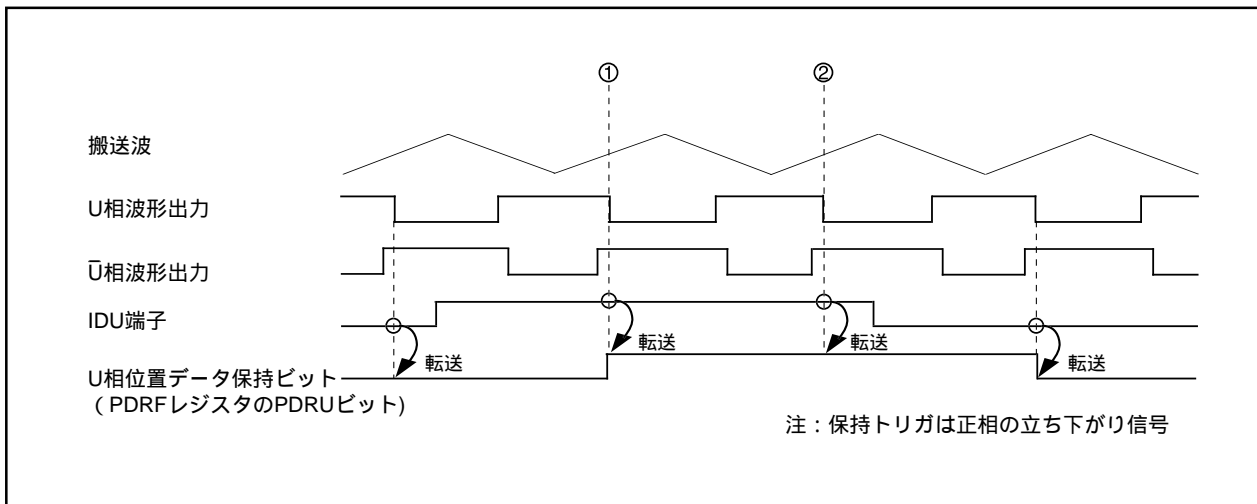


図12.35 位置データ保持機能の入力例（U相）

12.3.1.2 位置データ保持機能制御レジスタ

図12.36に位置データ保持機能制御レジスタのレジスタ構成を示します。

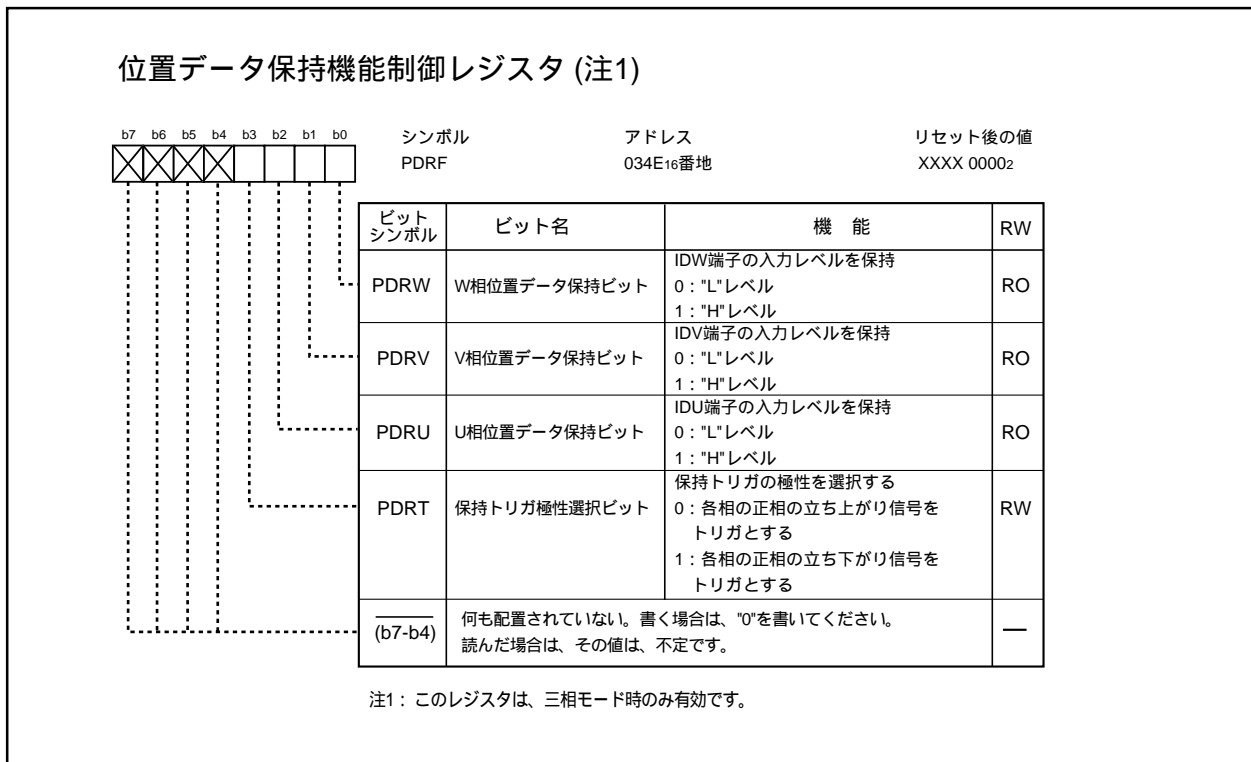


図12.36 PDRFレジスタ

12.3.1.2.1 W相位置データ保持ビット(PDRW)

IDW端子の入力レベルを保持するビットです。

12.3.1.2.2 V相位置データ保持ビット(PDRV)

IDV端子の入力レベルを保持するビットです。

12.3.1.2.3 U相位置データ保持ビット(PDRU)

IDU端子の入力レベルを保持するビットです。

12.3.1.2.4 保持トリガ極性選択ビット(PDRT)

保持トリガの極性を選択するビットです。

"0" のとき各相の正相の立ち上がり信号がトリガになります。

"1" のとき各相の正相の立ち下がり信号がトリガになります。

13. タイマS

タイマS(インプットキャプチャ/アウトプットコンペア:以後、“IC/OC”と称します。)は、時間計測及び波形生成のための高機能入出力ポートです。IC/OCは、フリーラン動作を行う16ビットベースタイマを1本、および時間計測または波形生成用16ビットレジスタを8本備えています。

表13.1にIC/OCの機能とチャンネルを示します。

表 13.1 IC/OC機能とチャンネル

機 能		
時間計測 (注1)		8 チャンネル
	デジタルフィルタ	8 チャンネル
	トリガ入力プリスケアラ	2 チャンネル
	トリガ入力ゲート	2 チャンネル
波形生成(注1)		8 チャンネル
	単相波形出力	有効
	反転波形出力	有効
	SR 波形出力	有効

注1：時間計測機能は、波形生成機能と端子を共有しています。

各々のチャンネルに対して時間計測機能または波形生成機能を選択することができます。

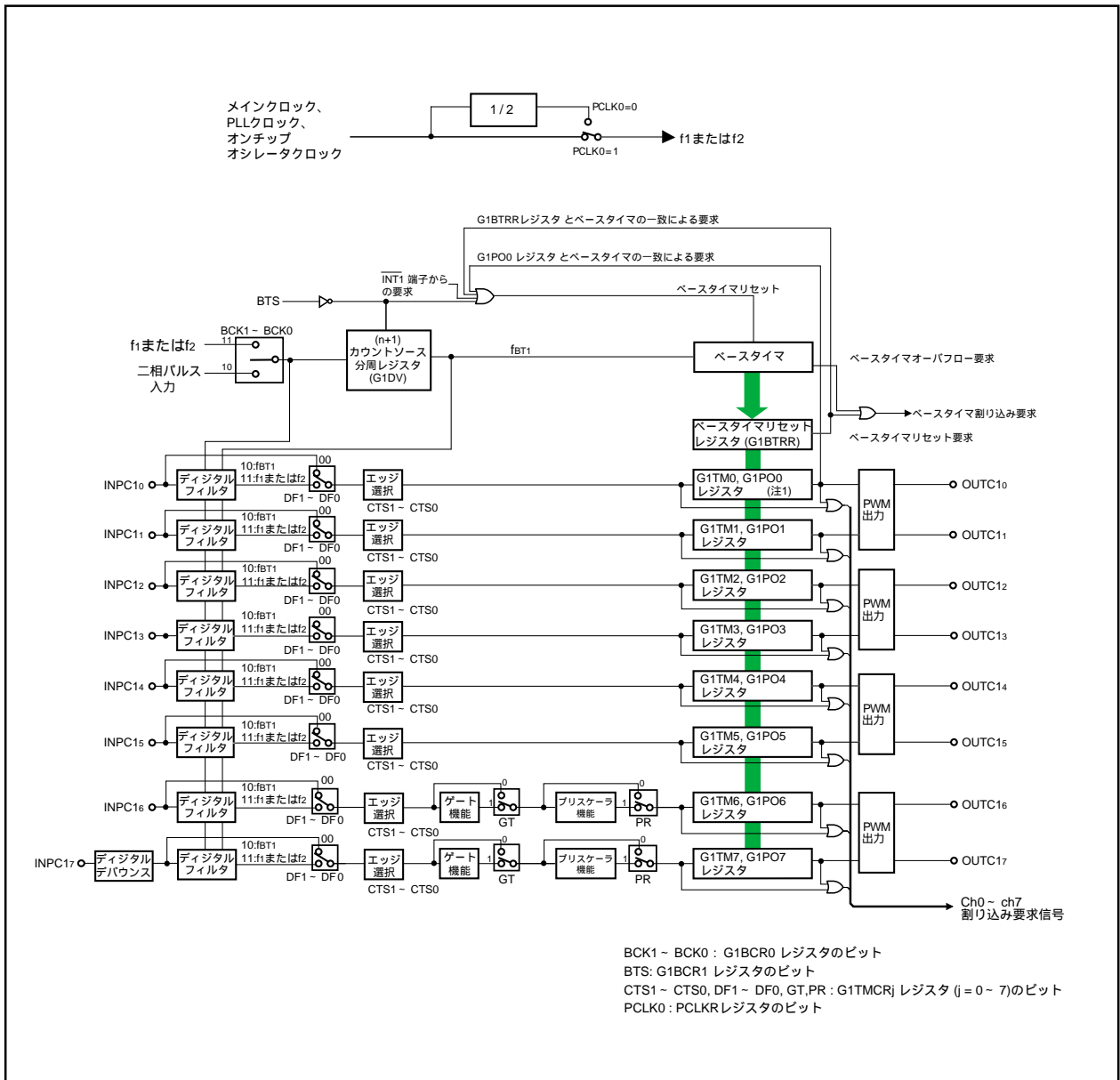


図13.1 IC/OCブロック図

図13.2 ~ 13.10に IC/OCのベースタイマ、時間計測機能及び波形生成機能に関するレジスタを示します。

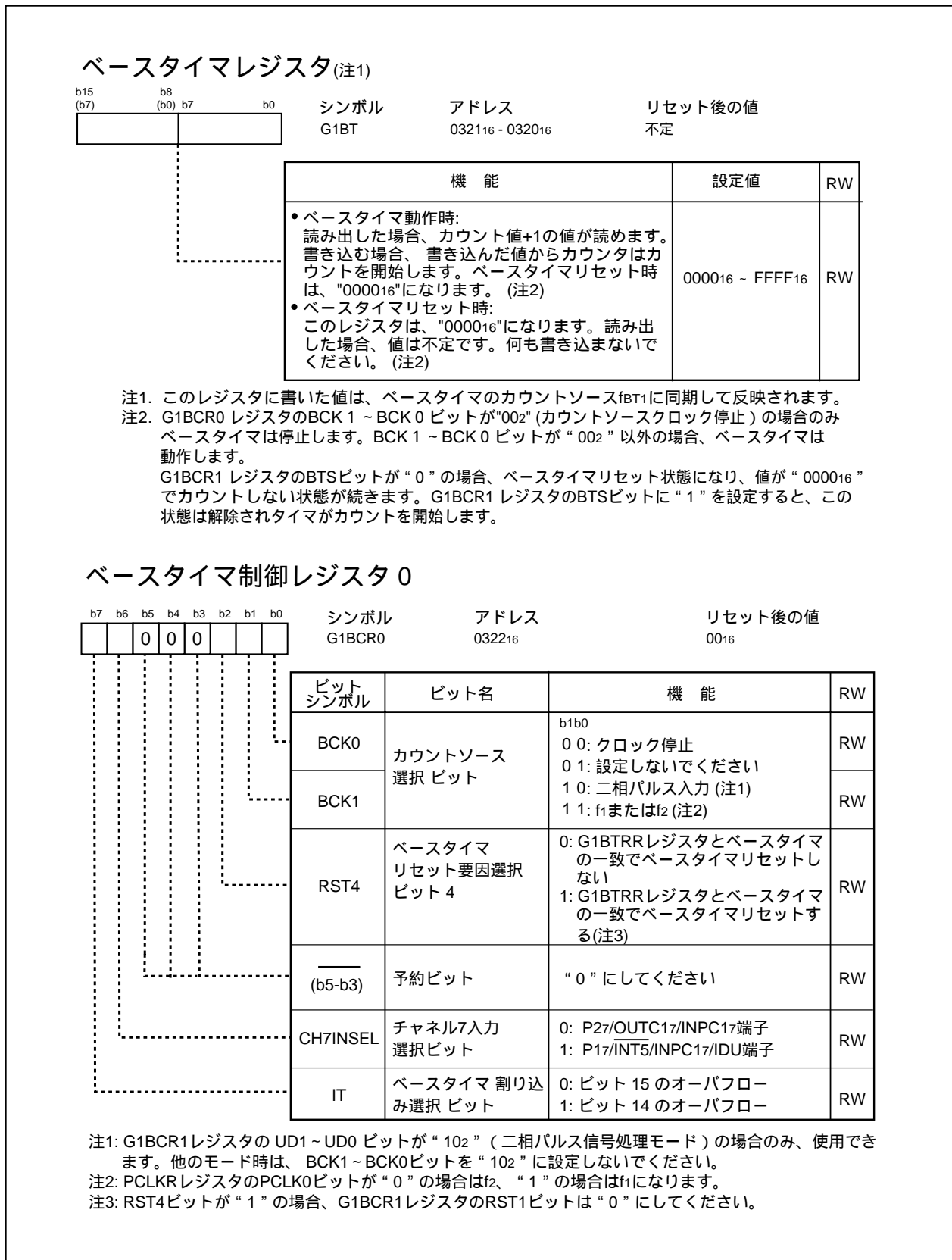


図13.2 G1BTレジスタ、G1BCR0レジスタ

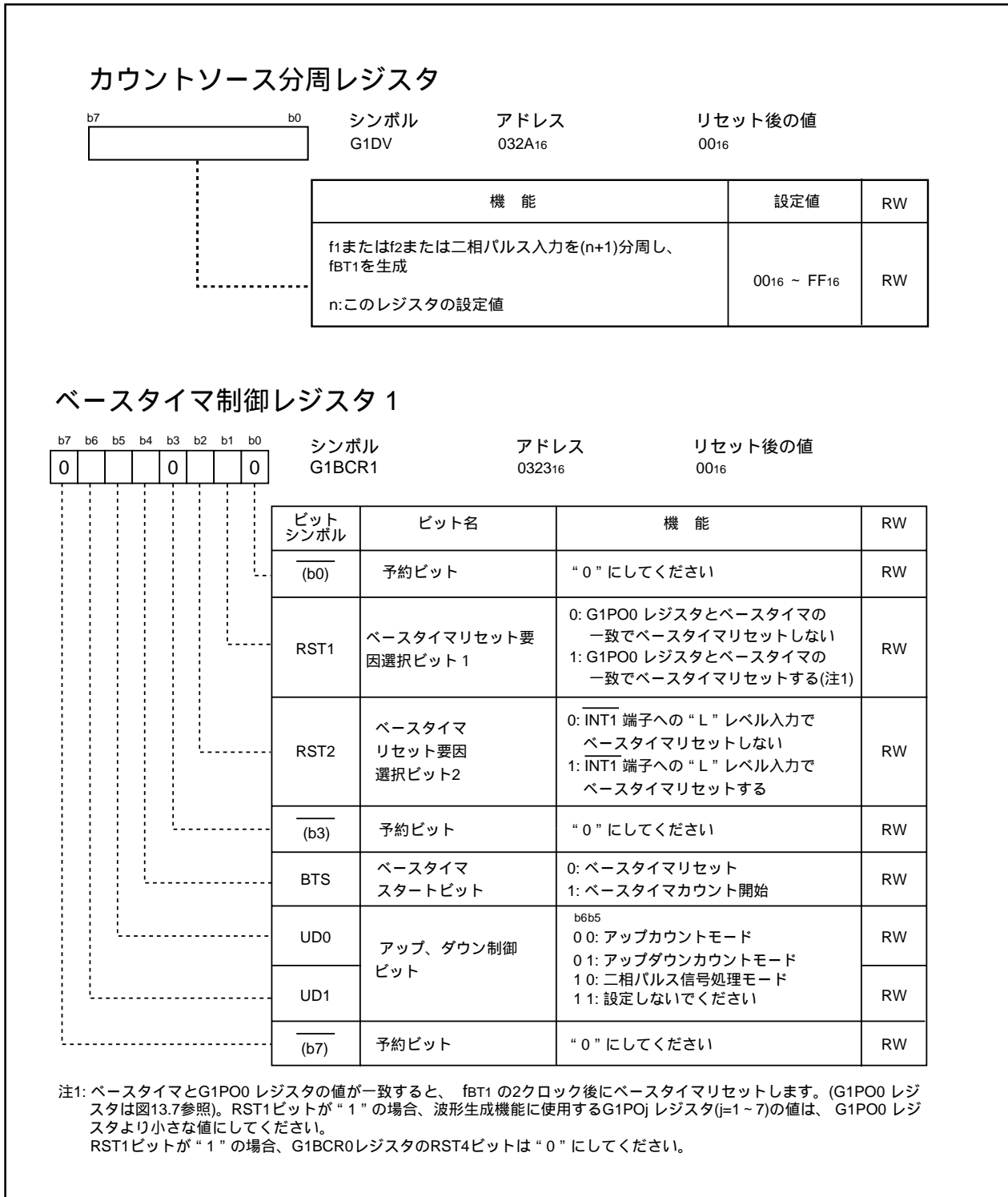


図13.3 G1DVレジスタ、G1BCR1レジスタ

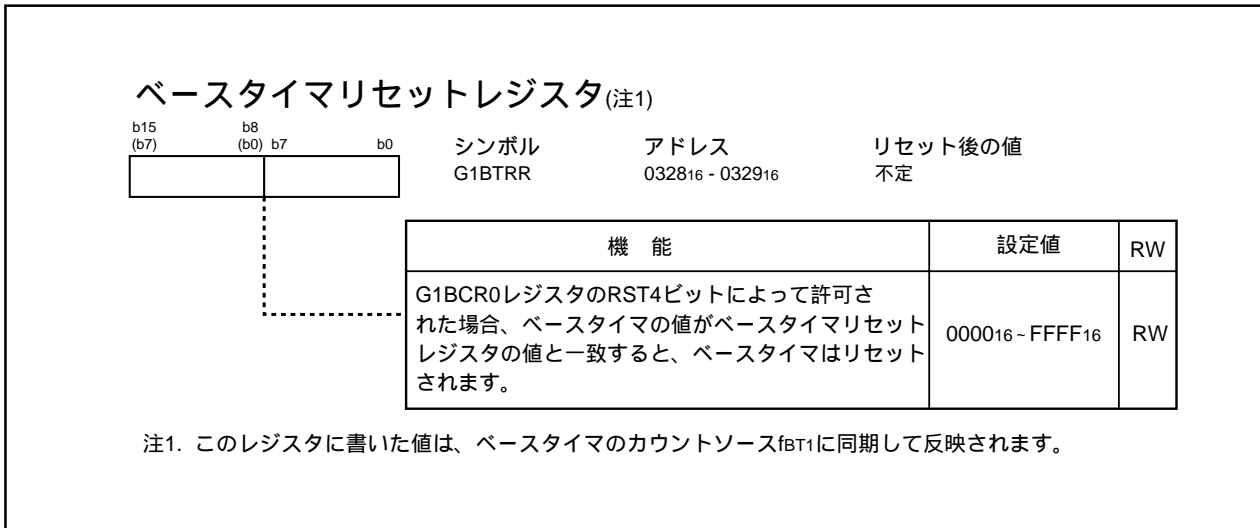
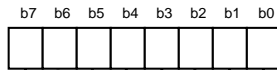


図13.4 G1BTRRレジスタ

時間計測制御レジスタ j (j=0 ~ 7)

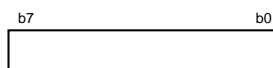


シンボル	アドレス	リセット後の値
G1TMCR0 ~ G1TMCR3	0318 ₁₆ , 0319 ₁₆ , 031A ₁₆ , 031B ₁₆	00 ₁₆
G1TMCR4 ~ G1TMCR7	031C ₁₆ , 031D ₁₆ , 031E ₁₆ , 031F ₁₆	00 ₁₆

ビットシンボル	ビット名	機能	RW
CTS0	時間計測トリガ選択ビット	b1 b0 0 0 : 時間計測しない	RW
		0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 両エッジ	RW
DF0	デジタルフィルタ機能選択ビット	b3 b2 0 0 : デジタルフィルタなし	RW
		0 1 : 設定しないでください 1 0 : f _{BT1} 1 1 : f ₁ または f ₂ (注1)	RW
GT	ゲート機能選択ビット (注2)	0: ゲート機能を使用しない 1: ゲート機能を使用する	RW
GOC	ゲート機能解除選択ビット (注2, 3, 4)	0: ゲート機能解除選択しない 1: ベースタイマとG1POkレジスタの一致により、ゲート機能を解除する	RW
GSC	ゲート機能解除ビット (注2, 3)	このビットに“1”を書くと、ゲート機能を解除する	RW
PR	プリスケアラ機能選択ビット(注2)	0: 使用しない 1: 使用する	RW

- 注1. PCLKRレジスタのPCLK0ビットが“0”の場合はf₂、“1”の場合はf₁になります。
- 注2. このビットはG1TMCR6レジスタとG1TMCR7レジスタにあります。
G1TMCR0 ~ G1TMCR5レジスタのビット4 ~ 7は全て“0”にしてください。
- 注3. これらのビットはGTビットが“1”のときのみ有効。
- 注4. ゲート機能解除後、GOCビットは“0”になります。
G1POkレジスタ(j=6のときk=4、j=7のときk=5)については図13.7を参照してください。

時間計測プリスケアラレジスタ j (j=6,7)(注1)



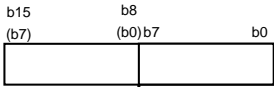
シンボル	アドレス	リセット後の値
G1TPR6 ~ G1TPR7	0324 ₁₆ , 0325 ₁₆	00 ₁₆

機能	設定範囲	RW
設定値をnとすると、トリガ入力をn+1カウントするごとに時間計測を行います。(注2)	00 ₁₆ ~ FF ₁₆	RW

- 注1: このレジスタに書いた値は、ベースタイマのカウントソースf_{BT1}に同期して反映されます。
- 注2: G1TMCRjレジスタのPRビットを“0”(プリスケアラ機能を使用しない)から“1”(プリスケアラ機能を使用する)にした後の最初のプリスケアラ周期は、設定値nに対してn+1にならずにnになることがあります。それ以降の周期では、設定値nに対してn+1になります。

図13.5 G1TMCR0 ~ G1TMCR7レジスタ、G1TPR6 ~ G1TPR7レジスタ

時間計測レジスタj (j=0 ~ 7)



シンボル名	アドレス	リセット後の値
G1TM0 ~ G1TM2	0301 ₁₆ - 0300 ₁₆ , 0303 ₁₆ - 0302 ₁₆ , 0305 ₁₆ - 0304 ₁₆	不定
G1TM3 ~ G1TM5	0307 ₁₆ - 0306 ₁₆ , 0309 ₁₆ - 0308 ₁₆ , 030B ₁₆ - 030A ₁₆	不定
G1TM6 ~ G1TM7	030D ₁₆ - 030C ₁₆ , 030F ₁₆ - 030E ₁₆	不定

機能	設定範囲	RW
時間計測タイミングごとにベースタイマの値が格納されます。	——	RO

波形生成制御レジスタj (j=0 ~ 7)



シンボル	アドレス	リセット後の値
G1POCR0 ~ G1POCR3	0310 ₁₆ , 0311 ₁₆ , 0312 ₁₆ , 0313 ₁₆	0X00 XX00 ₂
G1POCR4 ~ G1POCR7	0314 ₁₆ , 0315 ₁₆ , 0316 ₁₆ , 0317 ₁₆	0X00 XX00 ₂

ビットシンボル名	ビット名	機能	RW
MOD0	動作モード選択ビット	b1b0 00: 単相波形出力モード 01: SR 波形出力モード (注1) 10: 反転波形出力モード 11: 設定しないでください	RW
MOD1		RW	
—— (b3-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合は、その値は不定です。		—
IVL	出力初期値選択ビット (注4)	0: 初期値として“L”を出力する 1: 初期値として“H”を出力する	RW
RLD	G1POjレジスタ値のリロードタイミング選択ビット(注3)	0: 書き込み時にリロード 1: ベースタイマリセット時にリロード	RW
—— (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合は、その値は不定です。		—
INV	反転出力機能選択ビット(注2)	0: 出力反転しない 1: 出力反転する	RW

- 注1. この設定は偶数チャンネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャンネル（偶数チャンネルの次のチャンネル）の設定は無効です。波形は偶数チャンネルより出力されます。奇数チャンネルからは出力されません。
- 注2. 反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを“1”（出力反転する）にした場合、IVLビットを“0”にすると出力初期値は“H”に、IVLビットを“1”にすると出力初期値は“L”になります。
- 注3. SR波形出力モードが選択された場合、偶数チャンネルだけでなく、対応する奇数チャンネル（偶数チャンネルの次のチャンネル）についても設定する必要があります。
- 注4. G1FJSレジスタのFSCjビットが“0”（波形生成機能を選択）でG1FEレジスタのIFEjビットを“1”（チャンネルjの機能を許可）のとき、IVLビットに値を書くと、設定した値が出力されます。

図13.6 G1TM0~G1TM7レジスタ、G1POCR0~G1POCR7レジスタ

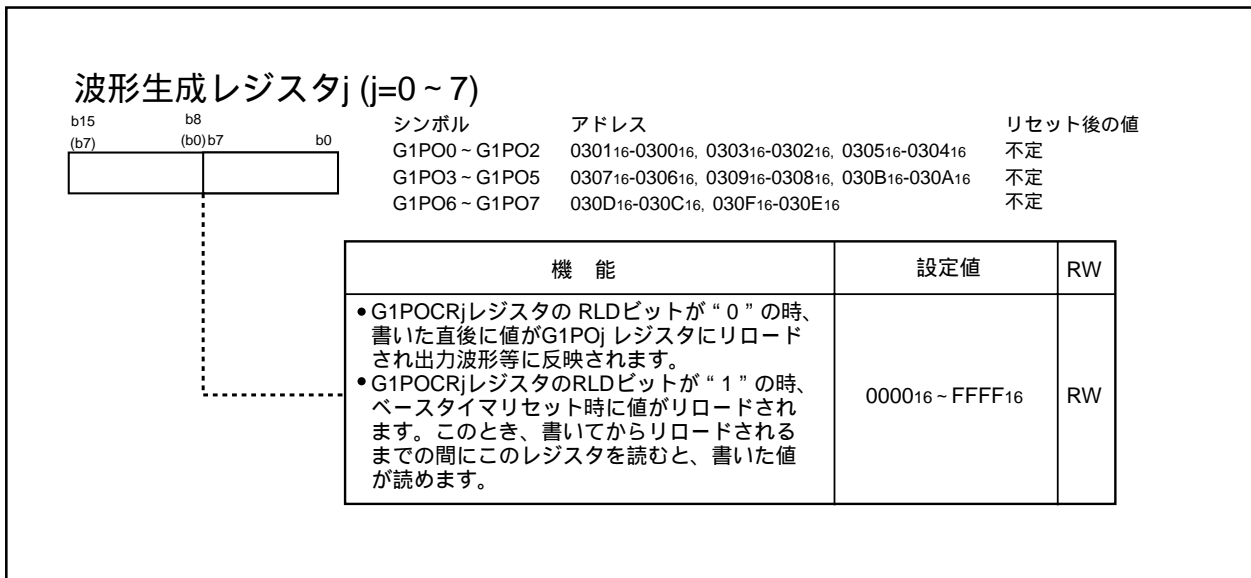


図13.7 G1PO0 ~ G1PO7レジスタ

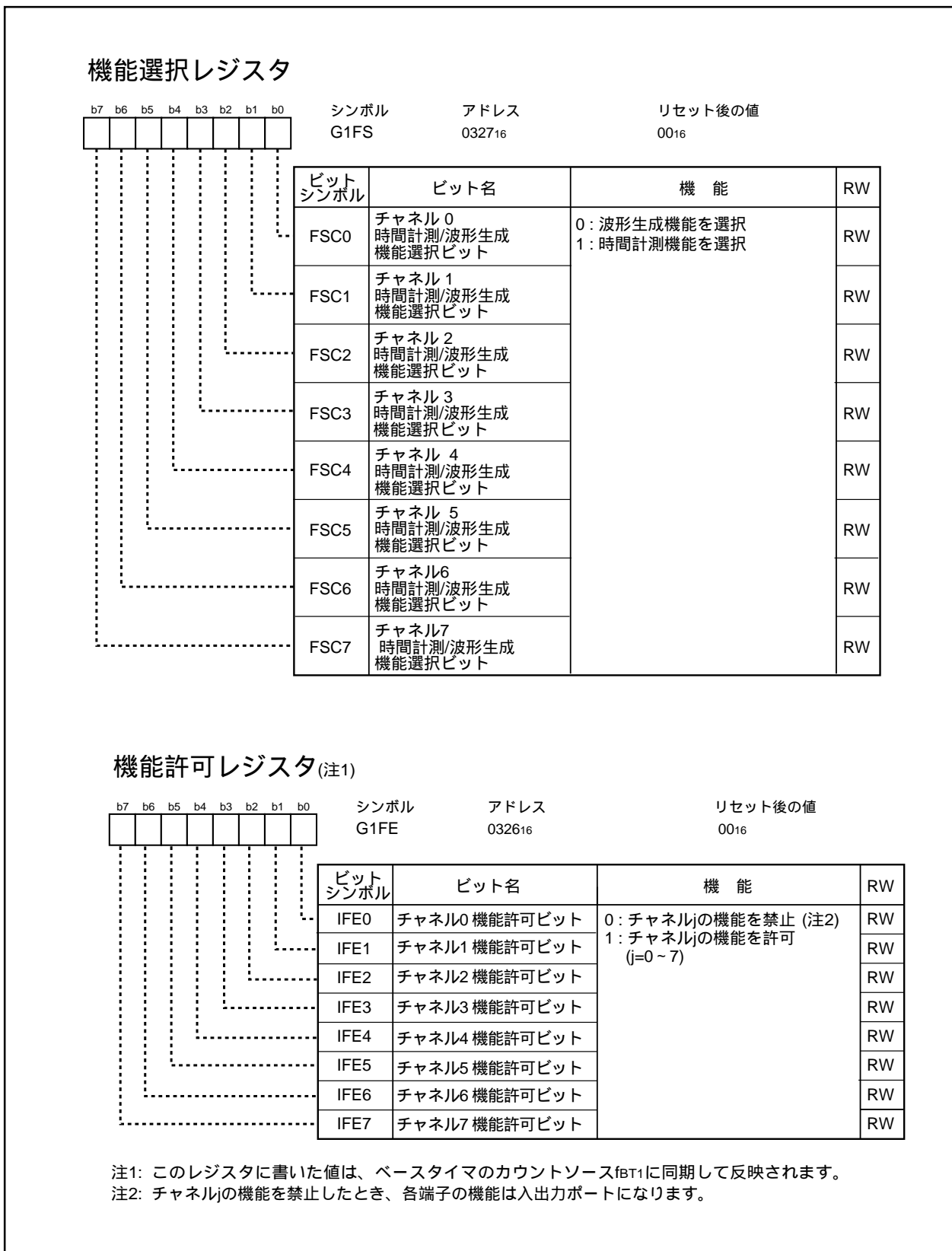


図13.8 G1FSレジスタ、G1FEレジスタ

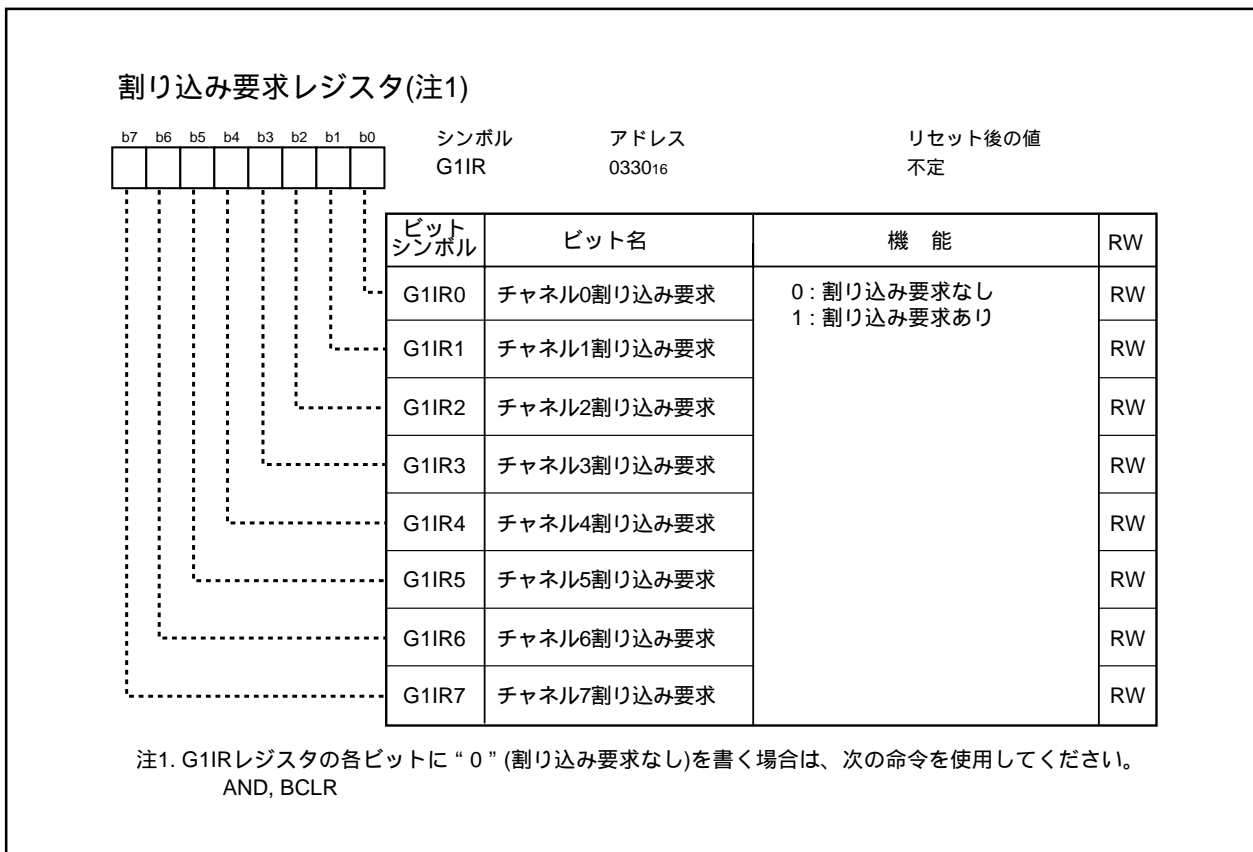


図13.9 G1IRレジスタ

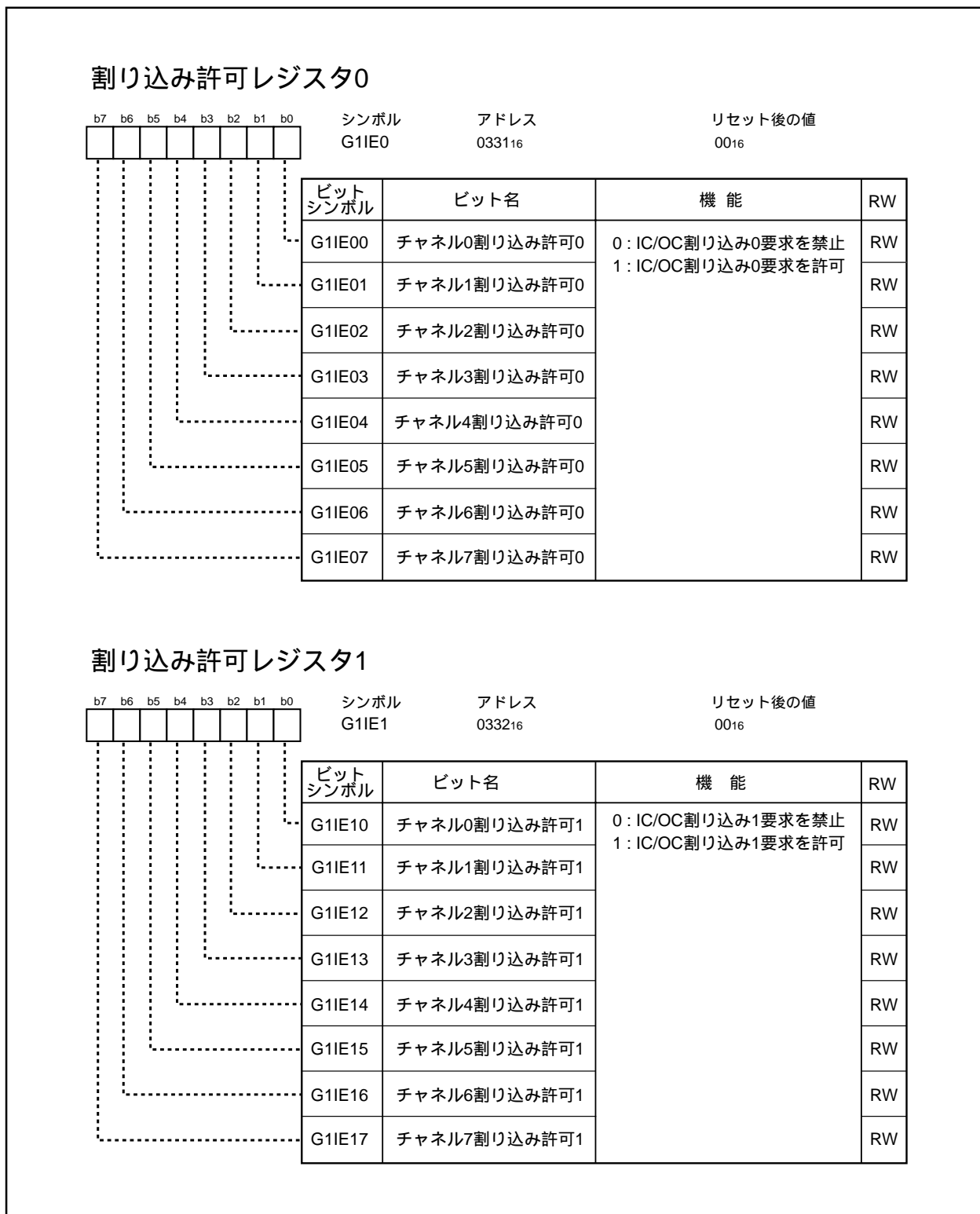


図13.10 G1IE0レジスタ、G1IE1レジスタ

13.1 ベースタイマ

内部で生成されたカウントソースをフリーランカウントします。

表13.2にベースタイマの仕様を、図13.11にベースタイマのブロック図を、表13.3にベースタイマ関連レジスタの設定を、図13.12にベースタイマアップカウントモードの動作例を、図13.13にベースタイマアップダウンカウントモードの動作例を、図13.14に二相パルス信号処理モードの動作例を示します。

表13.2 ベースタイマ仕様

項目	仕様
カウントソース(fBT1)	f1またはf2の(n+1)分周，二相パルス入力(n+1)分周 n: G1DVレジスタの設定値。n=0~255。 ただしn=0の場合、分周しない
カウント動作	<ul style="list-style-type: none"> ・アップカウント ・アップダウンカウント ・二相パルス信号処理
カウント開始条件	G1BCR1レジスタのBTSビットを"1"(ベースタイマカウント開始)にする
カウント停止条件	G1BCR1レジスタのBTSビットを"0"(ベースタイマリセット)にする
ベースタイマリセット条件	<ul style="list-style-type: none"> ・ベースタイマの値がG1BTRRレジスタの値と一致 ・ベースタイマの値がG1PO0レジスタの値と一致 ・外部割り込み端子INT1に"L"を入力
ベースタイマリセット値	"0000 ₁₆ "
割り込み要求	<ul style="list-style-type: none"> ・ベースタイマレジスタのビット14またはビット15がオーバフロー ・ベースタイマの値がベースタイマリセットレジスタの値と一致
タイマの読み出し	<ul style="list-style-type: none"> ・ベースタイマ動作中、G1BTレジスタを読むとカウント値+1の値が読める ・ベースタイマリセット中はG1BTレジスタを読むと不定値になる
タイマの書き込み	<ul style="list-style-type: none"> ・ベースタイマ動作中に値を書き込んだ場合、書いた直後に書いた値からカウントされる。 ・ベースタイマリセット中は書けない
選択機能	<ul style="list-style-type: none"> ・アップダウンモード カウント開始後、"0000₁₆"から"FFFF₁₆"までカウントアップし、"FFFF₁₆"からは"0000₁₆"までダウンカウントする。 次に"0000₁₆"になると再びアップカウントする。(図13.13参照) ・二相パルス信号処理モード P80とP81端子からの二相パルスをカウントする(図13.14参照)

全てのエッジをアップカウント 全てのエッジをダウンカウント

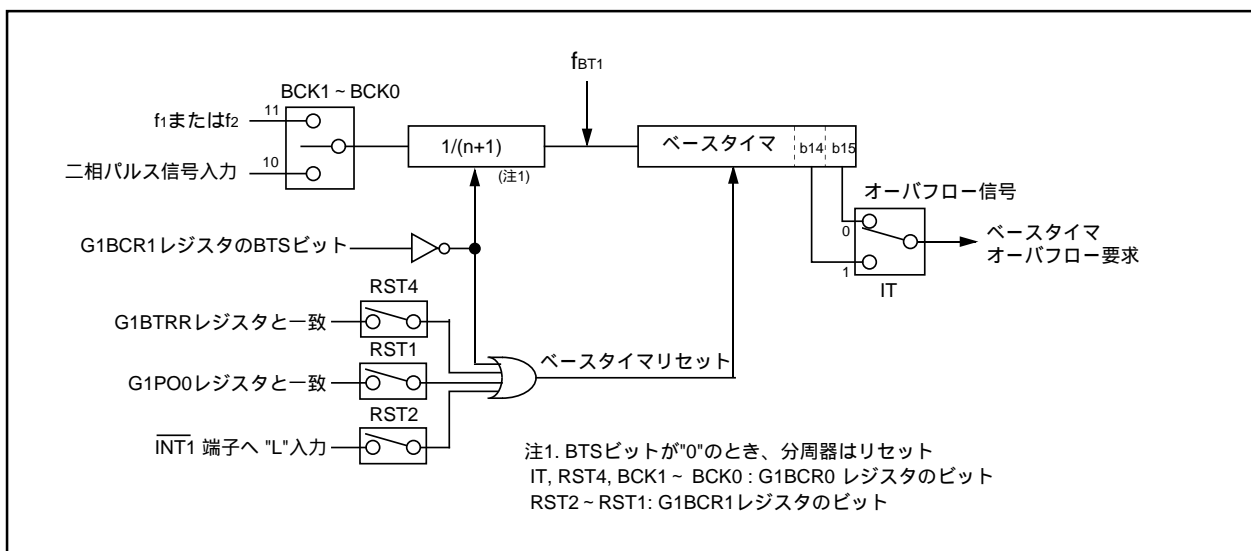


図13.11 ベースタイムブロック図

表13.3 ベースタイム関連レジスタの設定 (時間計測機能、波形生成機能)

レジスタ	ビット	機能
G1BCR0	BCK1 ~ BCK0	カウントソースの選択
	RST4	ベースタイムリセットタイミングの選択
	IT	ベースタイムオーバーフローの選択
G1BCR1	RST2 ~ RST1	ベースタイムリセットタイミングの選択
	BTS	ベースタイムのカウント開始時に使用
	UD1 ~ UD0	カウント方法の選択
G1BT	-	ベースタイム値の読み出しまたは書き込み
G1DV	-	カウントソースの分周比

RST1ビットが"1"の場合 (ベースタイムとG1PO0レジスタ一致でベースタイムリセット)の場合、次のレジスタの設定が必要です。

G1POCR0	MOD1 ~ MOD0	"002" (単相波形出力モード)にしてください
G1PO0	-	リセット周期を設定してください
G1FS	FSC0	"0" (波形生成機能)にしてください
G1FE	IFE0	"1" (チャンネル動作開始)にしてください

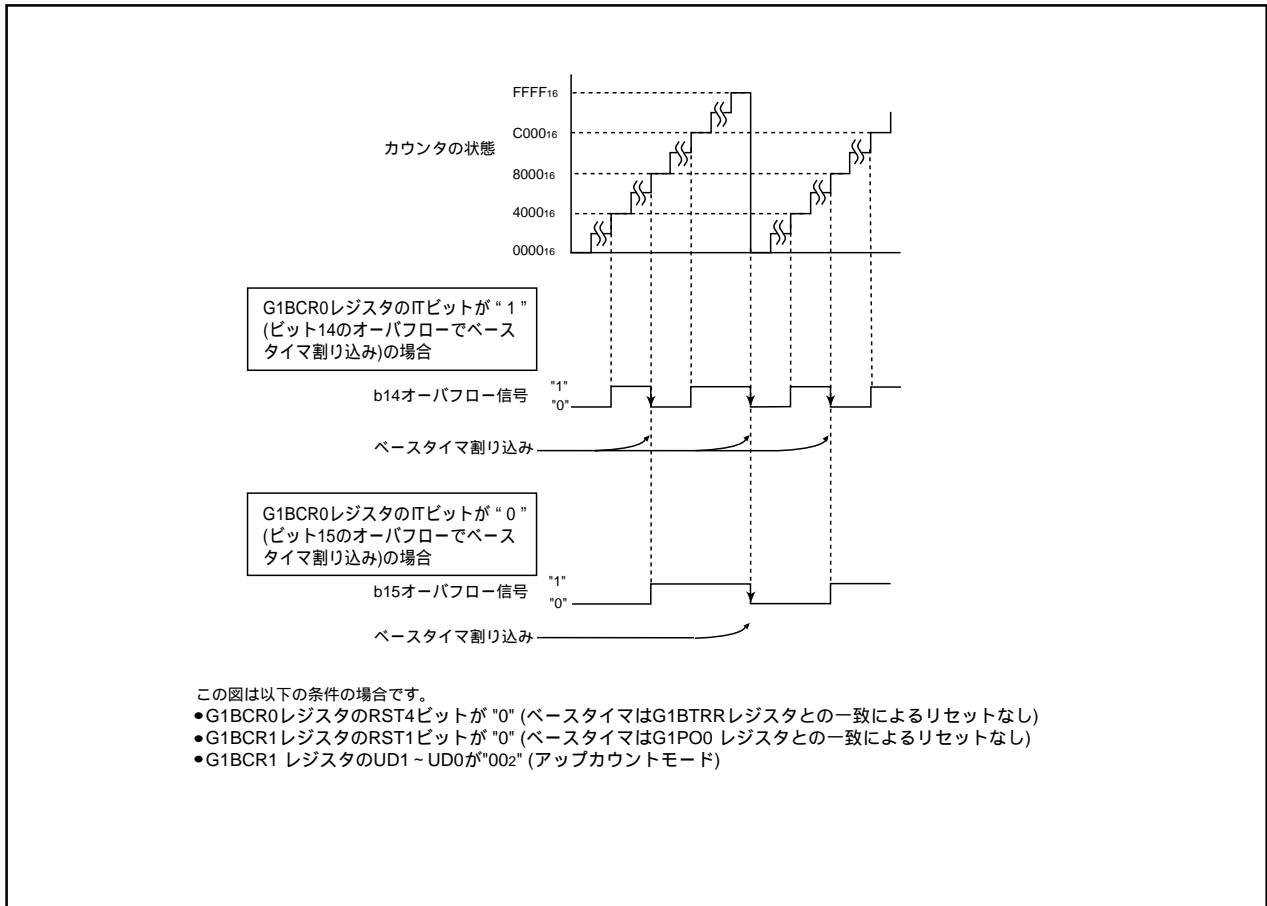


図13.12 アップカウントモード

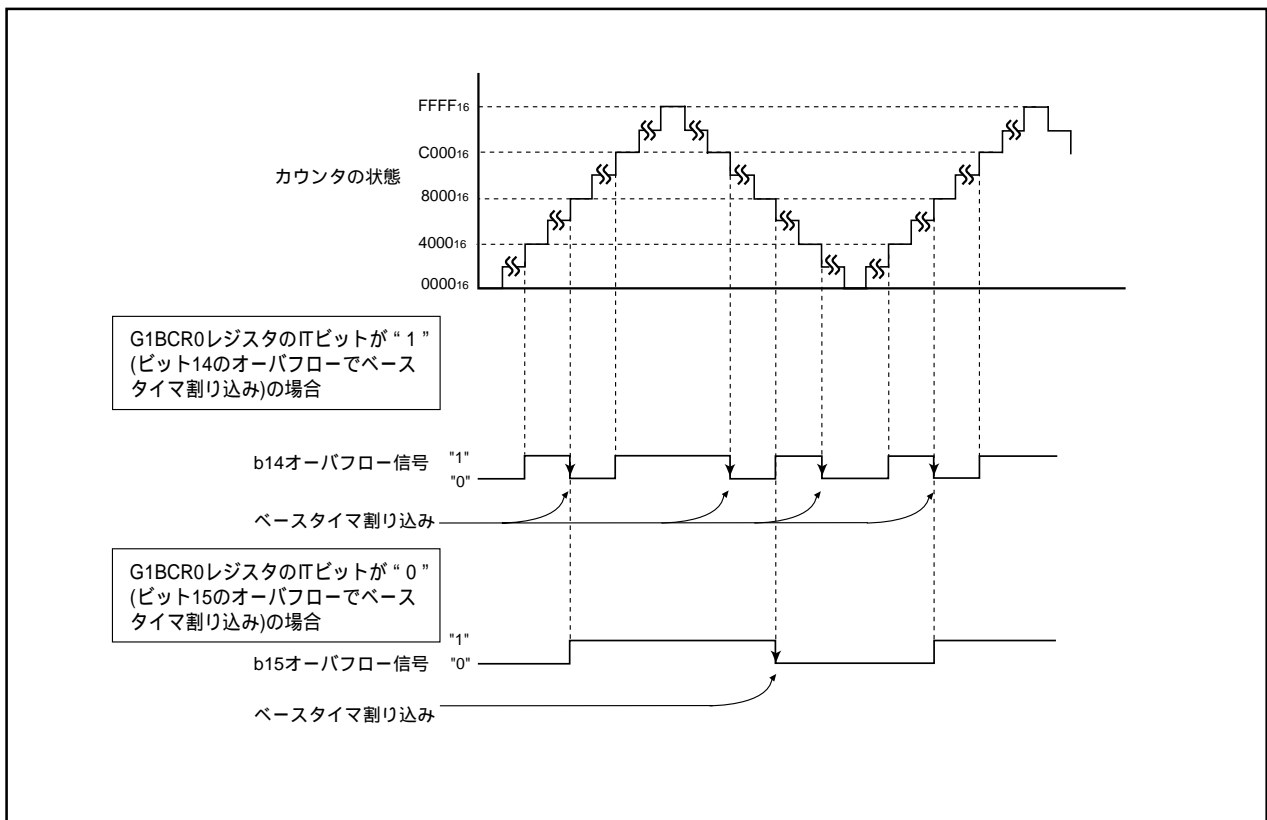


図13.13 アップダウンカウントモード

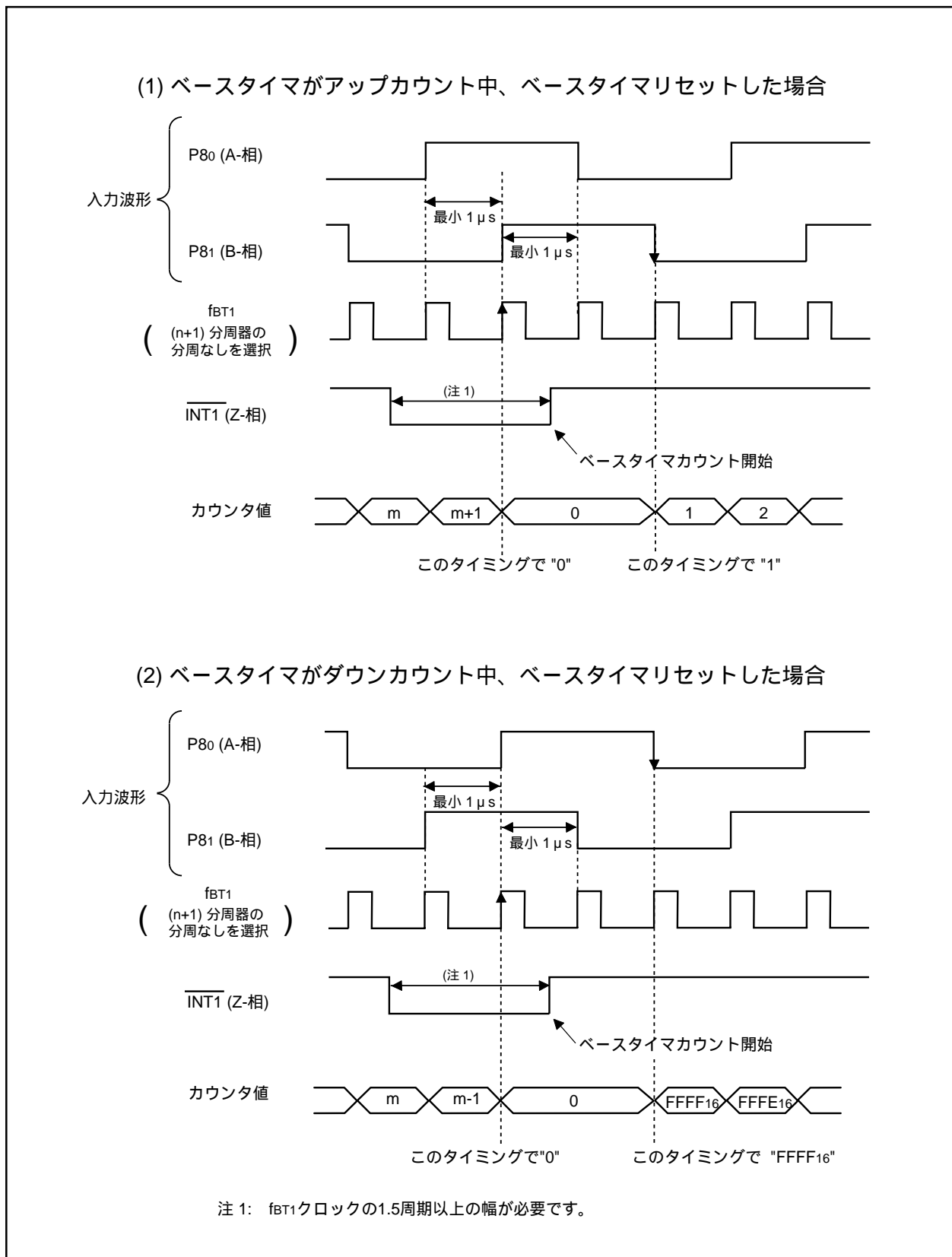


図13.14 二相パルス信号処理モード時のベースタイマ動作

13.1.1 ベースタイマリセットレジスタ

G1BTRRレジスタは、ベースタイマの値がG1BTRRに格納された値と一致した時に、ベースタイマリセットすることができます。G1BTRRレジスタによるベースタイマリセットは、G1BCR0レジスタのRST4ビットにより許可されます。この機能は、G1PO0レジスタによるベースタイマリセットが、G1BCR1レジスタのRST1ビットによって許可されるのと同じです。フリーラン動作でない場合、G1BTRRレジスタを用いてベースタイマリセットすることにより、チャンネル0を波形生成に使用することができます。RST1ビットとRST4ビットについては、両方を同時に許可しないでください。

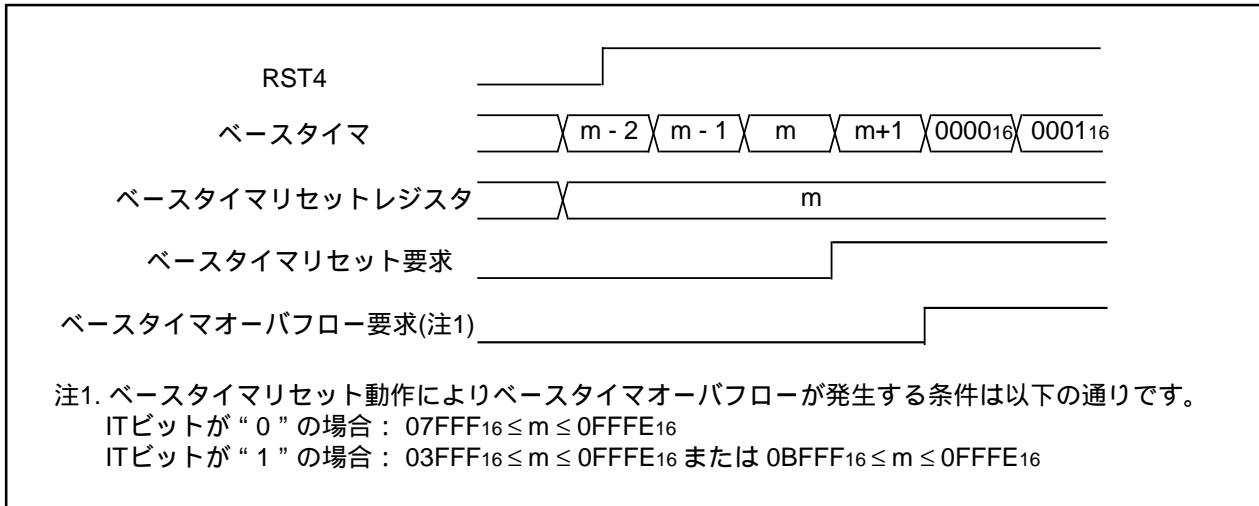


図13.15 ベースタイマリセットレジスタによるベースタイマリセット動作

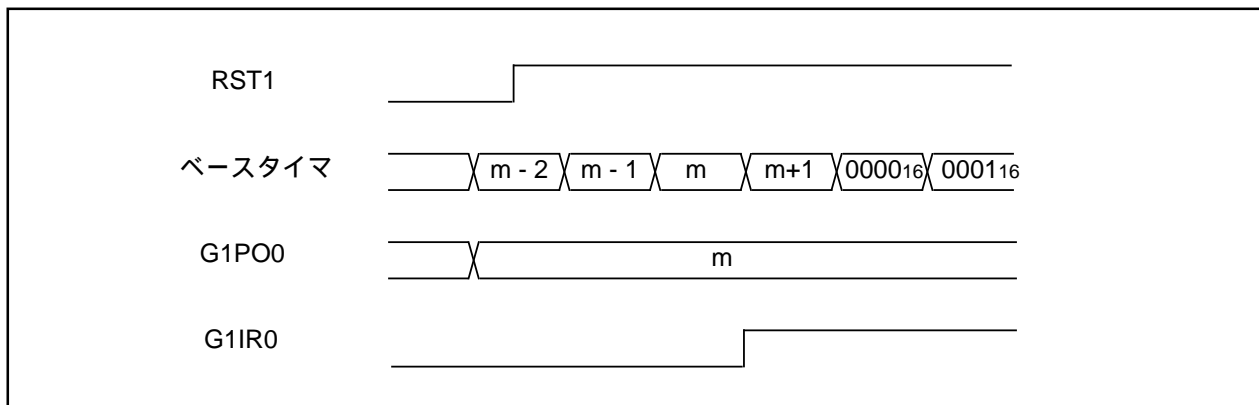


図13.16 G1PO0レジスタによるベースタイマリセット動作

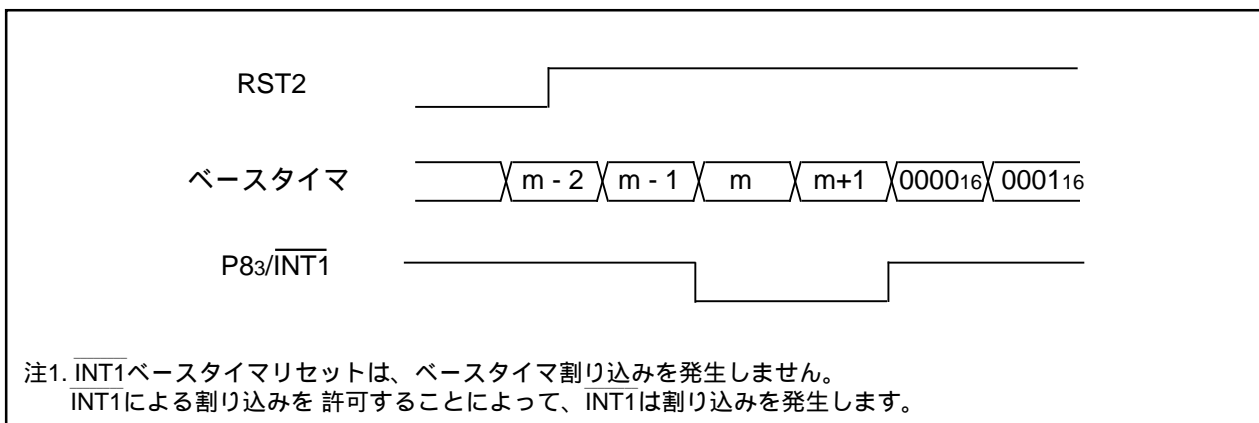


図13.17 INT1によるベースタイマリセット動作

13.2 割り込み動作

IC/OCの割り込みは複数の要求要因を持ちます。図13.18にIC/OCの割り込みのブロック図を、表13.4にIC/OC割り込みの割り当てを示します。

ベースタイマリセット要求、またはベースタイマオーバーフロー要求のいずれかが発生すると、IC/OCベースタイマ割り込みに対応するIRビット(BTICレジスタのビット3)が“1”(割り込み要求あり)になります。また、8つの各チャンネル(チャンネル*i*)の割り込み要求が発生すると、G1IRレジスタのビット*i*が“1”(割り込み要求あり)になります。このとき、G1IE0レジスタのビット*i*が“1”(IC/OC割り込み0要求を許可)であればIC/OC割り込み0に対応するIRビット(ICOC0ICレジスタのビット3)が“1”(割り込み要求あり)になり、またG1IE1レジスタのビット*i*が“1”(IC/OC割り込み1要求を許可)であればIC/OC割り込み1に対応するIRビット(ICOC1ICレジスタのビット3)が“1”(割り込み要求あり)になります。

なお、G1IRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムで“0”にしてください。これらのビットを“1”のままにしておくと、それ以降に成立したIC/OCのチャンネル割り込み要因が全て無効になります。

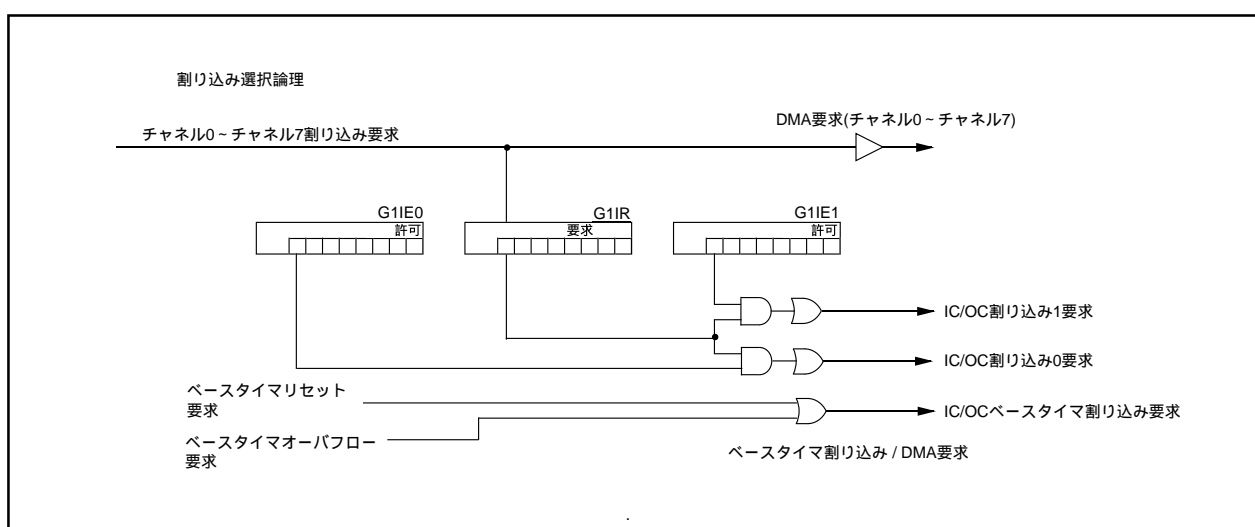


図13.18 IC/OC 割り込みとDMA要求発生

表13.4 割り込みの割り当て

割り込み	割り込み制御レジスタ
IC/OCベースタイマ割り込み	BTIC(0047 ₁₆)
IC/OC割り込み0	ICOC0IC(0045 ₁₆)
IC/OC割り込み1	ICOC1IC(0046 ₁₆)

13.3 DMAサポート

8つのIC/OCチャンネル割り込みと1つのベースタイマ割り込みのそれぞれの割り込み要因によってDMA要求を発生することができます。

13.4 時間計測機能

外部トリガ入力に同期して、ベースタイマの値をG1TMjレジスタ(j=0~7)に格納します。表13.5に時間計測機能の仕様を示します。表13.6に時間計測機能関連レジスタの設定を示します。図13.19、図13.20に時間計測機能の動作例を示します。図13.21にプリスケアラ機能、ゲート機能使用時の動作例を示します。

表13.5 時間計測機能の仕様

項目	仕様
計測チャンネル	チャンネル0~7
リガ入力極性選択	INPC1j端子(注1)の立ち上がりエッジ、立ち下がりエッジ、両エッジ
計測開始条件	G1FSレジスタのFSCjビット(j=0~7)が“1”(時間計測機能選択)のとき、G1FEレジスタのIFEjビットを“1”(チャンネルj機能許可)にする
計測停止条件	IFEjビットを“0”(チャンネルj機能禁止)にする
時間計測タイミング	<ul style="list-style-type: none"> プリスケアラ機能無 :トリガ入力ごと プリスケアラ機能有(チャンネル6、チャンネル7) : G1TPRkレジスタ(k=6,7)値 + 1回目のトリガ入力ごと
割り込み要求発生タイミング	時間計測タイミングに、割り込み要求レジスタのG1IRiビット(i=0~7)(図13.9参照)が“1”になる
INPC1j端子機能(注1)	トリガ入力
選択機能	<ul style="list-style-type: none"> デジタルフィルタ機能 トリガ入力レベルをf1またはf2またはfBT1ごとに判定し、3回一致したパルス成分を通過させる プリスケアラ機能(チャンネル6、チャンネル7) トリガ入力をカウントし、G1TPRkレジスタの値 + 1回目ごとに時間計測を実行 ゲート機能(チャンネル6、チャンネル7) 最初のトリガ入力による時間計測後、トリガ入力の受け付けを禁止、G1TMCRkレジスタ(k=6,7)のGOCビットを“1”(G1POpレジスタ(k=6の時p=4、k=7の時p=5)との一致によりゲートを解除)の状態、ベースタイマとG1POpレジスタの値が一致すると、再度トリガ入力の受け付けを許可 デジタルデバウンス(チャンネル7) 詳細は“13.6.2デジタルデバウンス回路”及び“17.6デジタルデバウンス機能”を参照

注1: INPC10 ~ INPC17端子

表13.6 時間計測機能関連レジスタの設定

レジスタ	ビット	機能
G1TMCRj	CTS1 ~ CTS0	時間計測トリガ選択
	DF1 ~ DF0	デジタルフィルタ機能選択
	GT, GOC, GSC	ゲート機能の選択
	PR	プリスケアラ機能選択
G1TPRk	-	プリスケアラ値設定
G1FS	FSCj	"1" (時間計測機能)にしてください
G1FE	IFEj	"1" (チャンネルj 機能許可)にしてください

j=0~7 k=6,7

チャンネルによってビット構成と機能が違います。

ベースタイマ関連レジスタの設定後に、時間計測機能関連レジスタを設定してください。

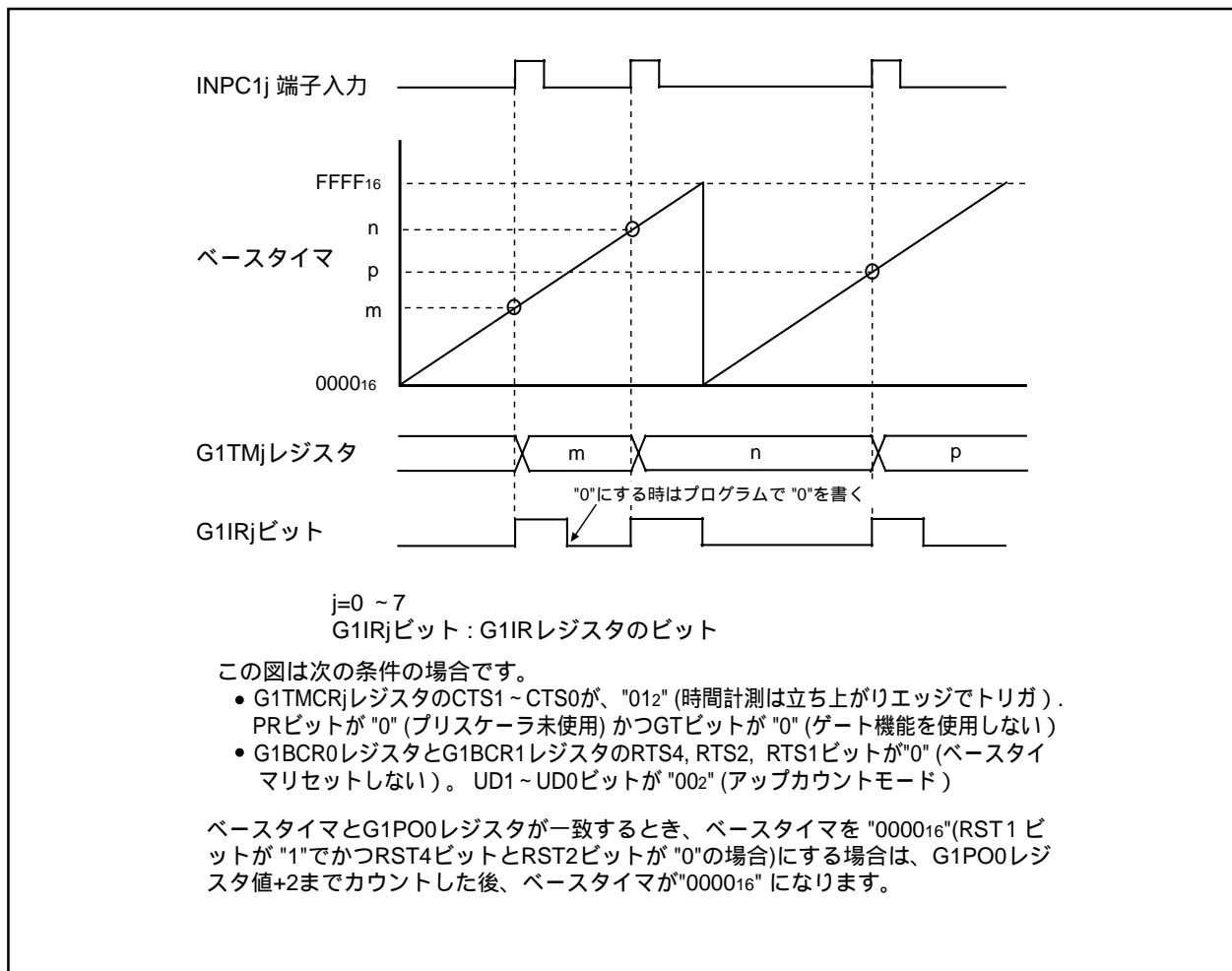


図13.19 時間計測機能 (1)

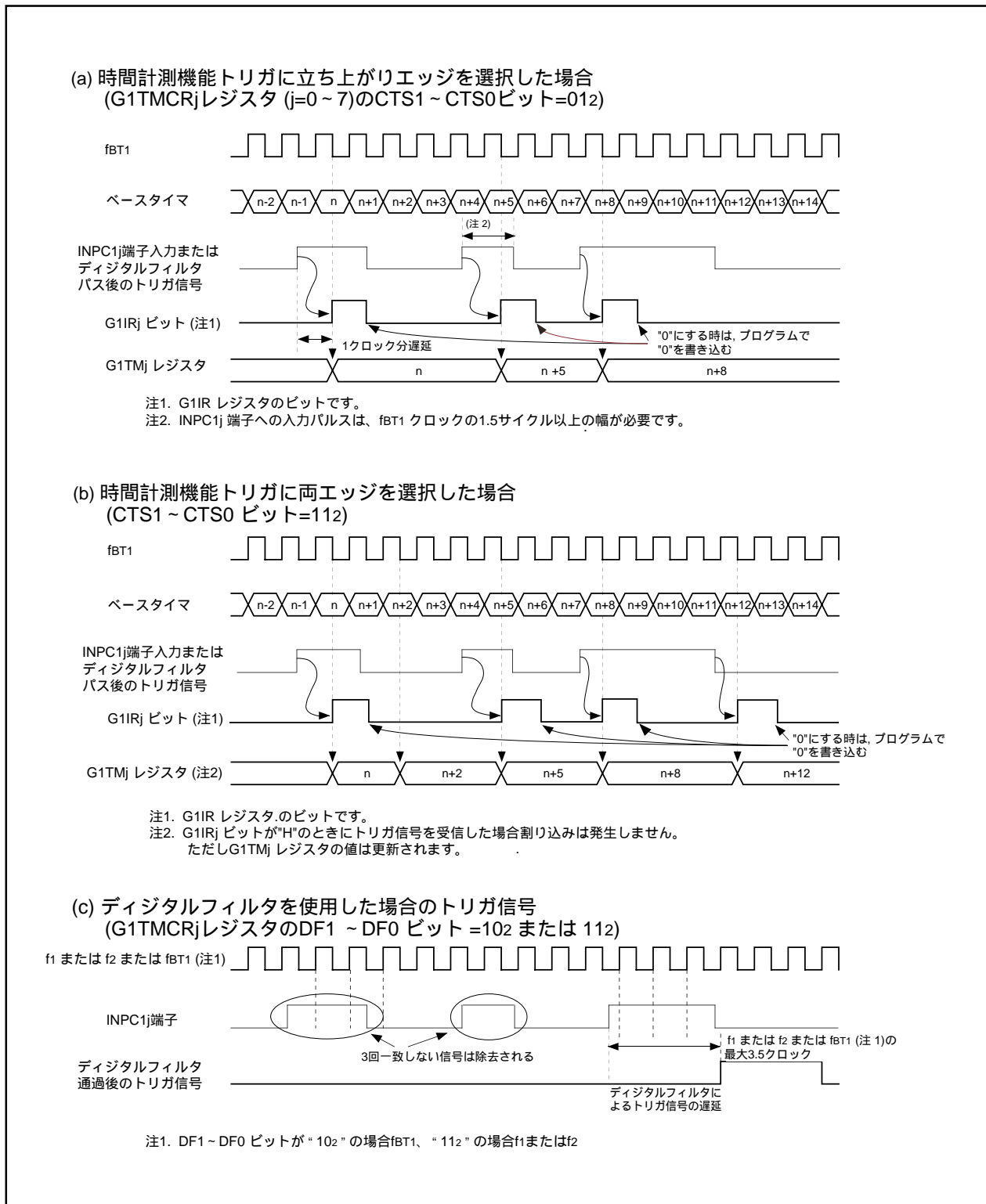


図13.20 時間計測機能(2)

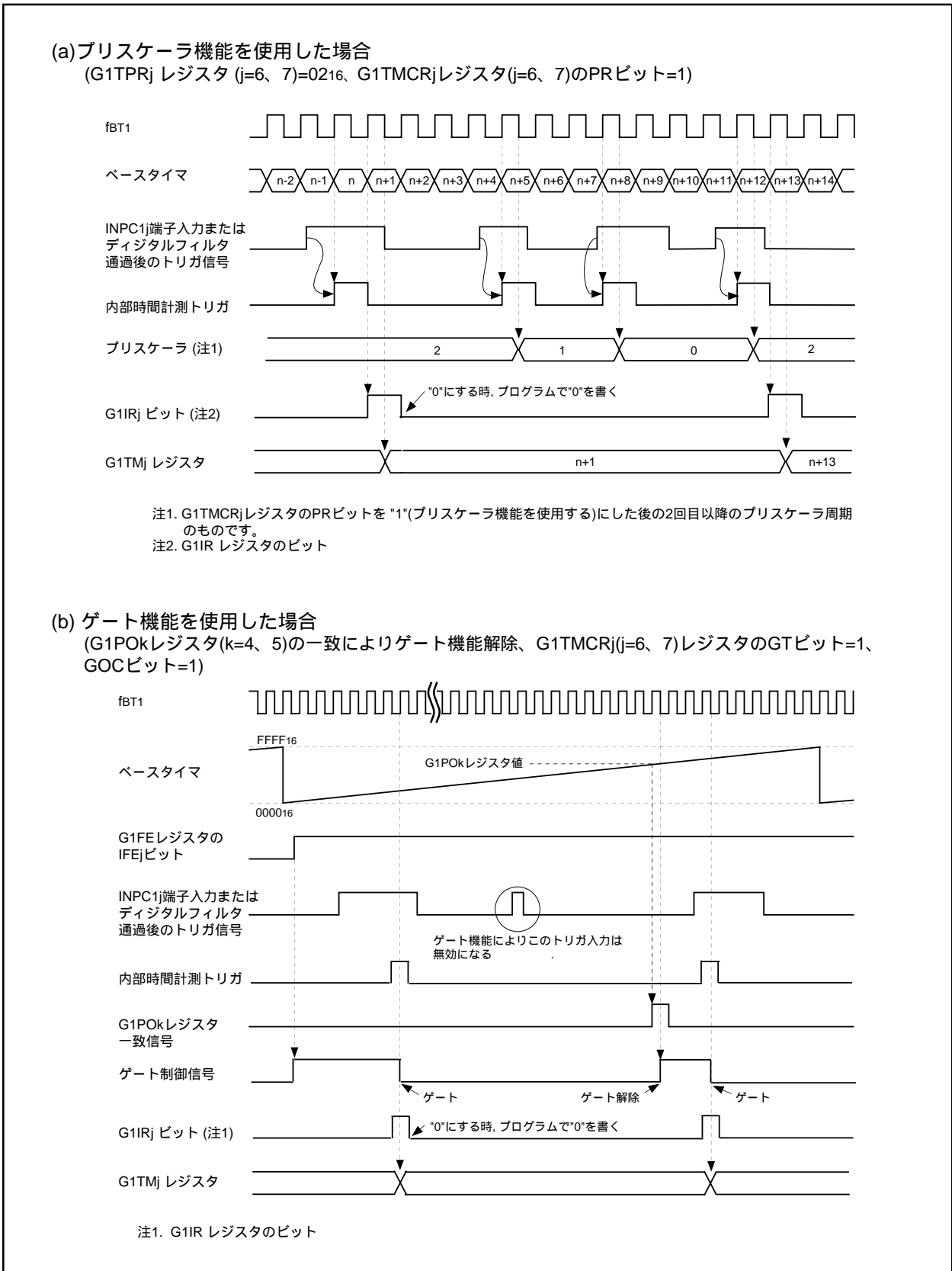


図13.21 プリスケアラ機能とゲート機能

13.5 波形生成機能

ベースタイマとG1POjレジスタ(j=0~7)の値により、波形生成を行います。
波形生成機能には次の3つのモードがあります。

- ・単相波形出力モード
- ・反転波形出力モード
- ・セット/リセット波形出力(SR波形出力)モード

表13.7に波形生成機能関連のレジスタの設定を示します。

表13.7 波形生成機能関連レジスタの設定

レジスタ	ビット	機能
G1POCRj	MOD1 ~ MOD0	波形出力モードを選択
	IVL	出力初期値を選択
	RLD	G1POjレジスタ値のリロードタイミングの選択
	INV	出力反転を選択
G1POj	-	出力波形を反転させるタイミングを設定
G1FS	FSCj	“0” (波形生成機能) にしてください
G1FE	IFEj	“1” (チャンネルj機能許可) にしてください

j = 0 ~ 7

チャンネルによってビット構成、機能が異なります。

ベースタイマ関連レジスタを設定した後に、波形生成機能関連レジスタを設定してください。

13.5.1 単相波形出力モード

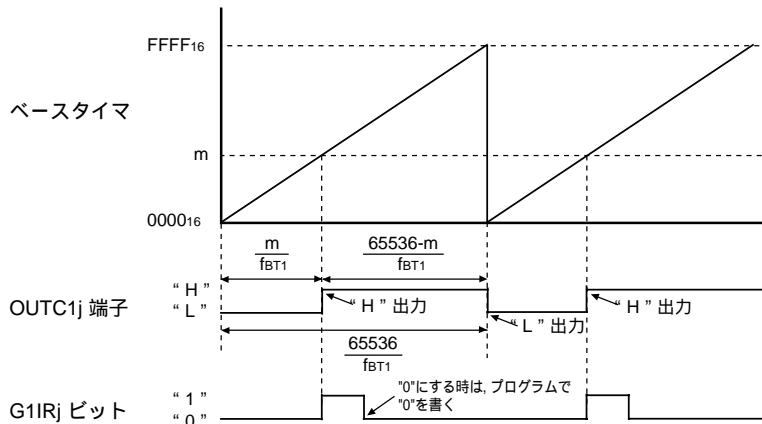
ベースタイマとG1POjレジスタ(j=0~7)の値が一致すると、G1POCRjレジスタ(j=0~7)のINVビットが“0”(出力反転しない)の場合、OUTC1j端子から“H”レベルを出力します。ベースタイマが“0000₁₆”になるとOUTC1j端子から“L”レベルを出力します。表13.8に単相波形出力モードの仕様、図13.22に単相波形出力モードの動作例を示します。

表13.8 単相波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> ・フリーラン動作 (G1BCR1レジスタ及びG1BCR0レジスタのRST1、RST2、RST4ビットが“0”(初期化しない)) <li style="margin-left: 20px;">周期 : $\frac{65536}{f_{BT1}}$ <li style="margin-left: 20px;">初期出力レベル幅 : $\frac{m}{f_{BT1}}$ <li style="margin-left: 20px;">反転レベル幅 : $\frac{65536-m}{f_{BT1}}$ ・ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000₁₆”にする <li style="margin-left: 20px;">(a) G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”により許可)または <li style="margin-left: 20px;">(b) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”により許可) <li style="margin-left: 20px;">周期 : $\frac{n+2}{f_{BT1}}$ <li style="margin-left: 20px;">初期出力レベル幅 : $\frac{m}{f_{BT1}}$ <li style="margin-left: 20px;">反転レベル幅 : $\frac{n+2-m}{f_{BT1}}$ <li style="margin-left: 20px;">m: G1POjレジスタ(j=0~7)の設定値、0001₁₆ ~ FFFD₁₆ <li style="margin-left: 20px;">n: G1PO0レジスタまたはG1BTRRレジスタの設定値、0001₁₆ ~ FFFD₁₆
波形出力開始条件	G1FEレジスタのIFEjビットを“1”(チャンネルj機能許可)にする
波形出力停止条件	IFEjビットを“0”(チャンネルj機能禁止)にする
割り込み要求	ベースタイマ値とG1POjレジスタの値が一致した時に、割り込み要求レジスタのG1IRjビット(図13.22参照)が“1”になる
OUTC1j端子(注1)	パルス出力
選択機能	<ul style="list-style-type: none"> ・初期値設定機能: 波形出力開始時の出力レベルを設定 ・反転出力機能: 出力波形をレベル反転して、OUTC1j端子から出力

注1: OUTC10 ~ OUTC17 端子

(1) フリーラン動作
(G1BCR0とG1BCR1レジスタのRST4, RST2, RST1ビットが "0")

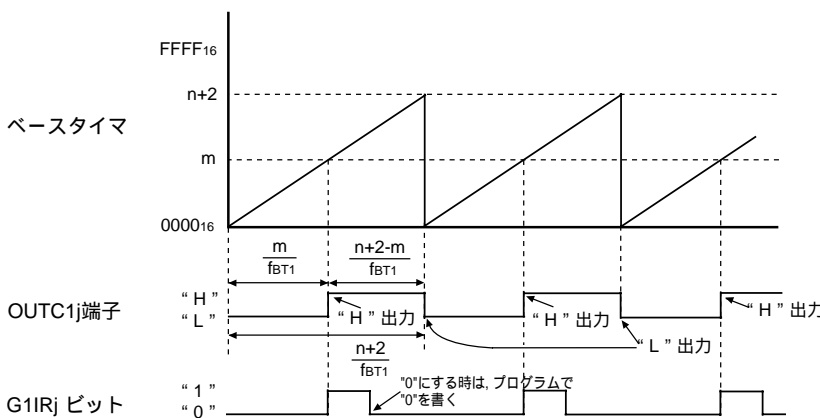


j=0 ~ 7
m : G1POj レジスタの設定値
G1IRj ビット : G1IR レジスタのビット

この図は次の条件の場合です。

- G1POCRj レジスタのIVL ビットが "0" (初期値として"L"出力)、かつ INV ビットが "0" (出力反転しない)。
- G1BCR1 レジスタのUD1 ~ UD0 ビットが "002" (アップカウントモード)。

(2) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット
(a) G1PO0 (RST1ビットが"1"、かつRST4、RST2ビットが"0"の設定により許可)、または
(b) G1BTRR (RST4ビットが"1"、かつRST2、RST1ビットが"0"の設定により許可)



j=1 ~ 7
m : G1POj レジスタの設定値 n : G1PO0レジスタまたはG1BTRRレジスタの設定値
G1IRj ビット : G1IR レジスタのビット

この図は次の条件の場合です。

- G1POCRj レジスタのIVL ビットが "0" (初期値として"L"出力)、かつ INV ビットが "0" (出力反転しない)。
- G1BCR1 レジスタのUD1 ~ UD0 ビットが "002" (アップカウントモード)。

図13.22 単相波形出力モードの動作例

13.5.2 反転波形出力モード

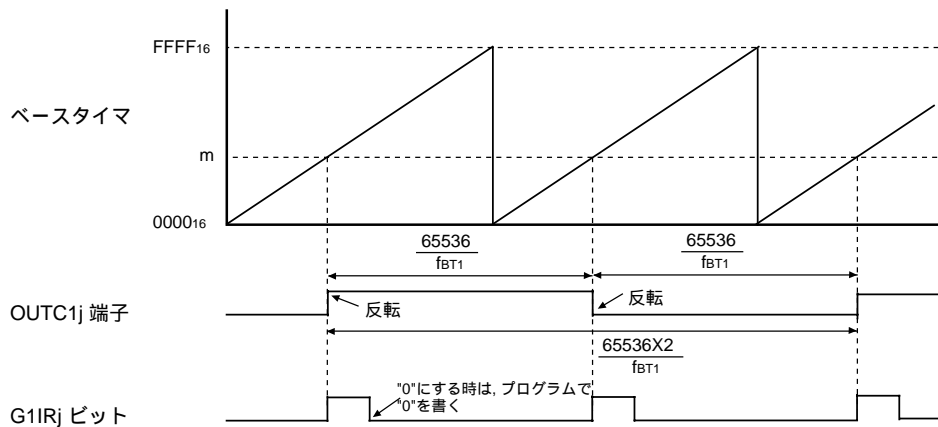
ベースタイマの値がG1POj (j=0~7)レジスタの値と一致するごとに、OUTC1j 端子の出力レベルを反転します。表13.9に反転波形出力モードの仕様、図13.23 に反転波形出力モードの動作例を示します。

表13.9 反転波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> ・フリーラン動作 (G1BCR1レジスタ及びG1BCR0レジスタのRST1、RST2、RST4ビットが“0” (初期化しない)) <ul style="list-style-type: none"> 周期 : $\frac{65536 \times 2}{f_{BT1}}$ "H"幅 と "L"幅 : $\frac{65536}{f_{BT1}}$ ・ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを “0000₁₆”にする <ul style="list-style-type: none"> (a) G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”により許可)または (b) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”により許可) <ul style="list-style-type: none"> 周期 : $\frac{2(n+2)}{f_{BT1}}$ "H"幅 と "L"幅 : $\frac{n+2}{f_{BT1}}$ <p>n: G1PO0レジスタまたはG1BTRRレジスタの設定値</p>
波形出力開始条件	G1FEレジスタのIFEjビットを“1”(チャンネルj機能許可)にする
波形出力停止条件	IFEjビットを“0”(チャンネルj機能禁止)にする
割り込み要求	ベースタイマとG1POjレジスタ値が一致した時、割り込み要求レジスタのG11Rjビット(図13.23参照)が“1”になる
OUTC1j端子(注1)	パルス出力
選択機能	<ul style="list-style-type: none"> ・初期値設定機能: 波形出力開始時に出力レベルを設定 ・反転出力機能: 出力波形をレベル反転して、OUTC1j端子から出力

注1: OUTC10 ~ OUTC17 端子

(1) フリーラン動作
(G1BCR0とG1BCR1レジスタのRST4, RST2, RST1ビットが"0")



$j=0 \sim 7$

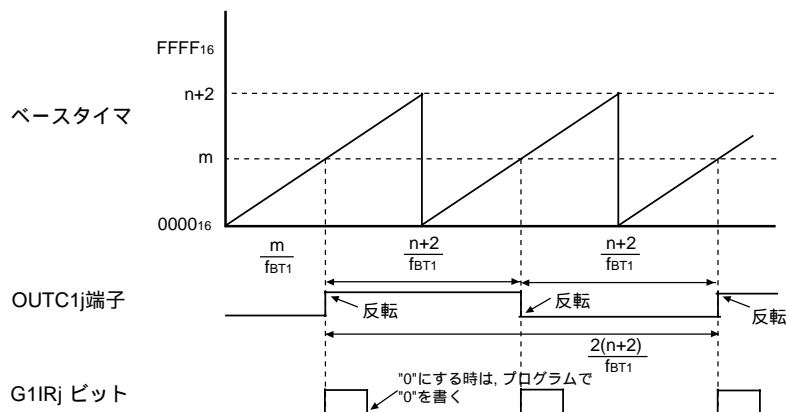
m : G1POj レジスタの設定値

G1IRj ビット: G1IR レジスタのビット

この図は次の条件の場合です。

- G1POCRj レジスタのIVL ビットが "0" (初期値として"L"出力)、かつ INV ビットが "0" (出力反転しない)。
- G1BCR1 レジスタのUD1 ~ UD0 ビットが "002" (アップカウントモード)。

(2) ベースタイマが以下のいずれかのレジスタの値と一致した場合、ベースタイマリセット
(a) G1PO0 (RST1ビットが"1"、かつRST4, RST2ビットが"0"の設定により許可), または
(b) G1BTRR (RST4ビットが"1"、かつRST2, RST1ビットが"0"の設定により許可)



$j=1 \sim 7$

m : G1POj レジスタの設定値 n : G1PO0 レジスタまたはG1BTRRレジスタの設定値

G1IRj ビット: G1IR レジスタのビット

この図は次の条件の場合です。

- G1POCRj レジスタのIVL ビットが "0" (初期値として"L"出力)、かつ INV ビットが "0" (出力反転しない)。
- G1BCR1 レジスタのUD1 ~ UD0 ビットが "002" (アップカウントモード)。

図13.23 反転波形出力モード

13.5.3 セット/リセット波形出力(SR波形出力)モード

反転出力機能選択ビットが“0”(出力反転しない)の場合、ベースタイマの値がG1POj (j=0、2、4、6)レジスタの値と一致するとき、OUTC1j端子から“H”レベルを出力します。ベースタイマの値がG1POk (k=j+1)レジスタの値と一致した場合、OUTC1j端子から“L”レベルを出力します。表13.10にSR波形出力モードの仕様を、図13.24にSR波形出力モードの動作例を示します。

表13.10 SR波形出力モードの仕様

項目	仕様
出力波形	<ul style="list-style-type: none"> ・フリーラン動作 (G1BCR1、G1BCR0レジスタのRST1、RST2、RST4ビットが“0”(初期化しない)) <ul style="list-style-type: none"> 周期 : $\frac{65536}{f_{BT1}}$ 反転レベル幅(注1) : $\frac{n-m}{f_{BT1}}$ ・ベースタイマがいずれかのレジスタの値と一致した場合、ベースタイマを“0000₁₆”にする <ul style="list-style-type: none"> (a) G1PO0 (RST1ビットが“1”かつRST4、RST2ビットが“0”により許可)または (b) G1BTRR (RST4ビットが“1”かつRST2、RST1ビットが“0”により許可) 周期 : $\frac{p+2}{f_{BT1}}$ 反転レベル幅(注1) : $\frac{n-m}{f_{BT1}}$ <p>m : G1POjレジスタの設定値 (j=0, 2, 4, 6) n : G1POkレジスタの設定値 (k=j+1) p : G1PO0レジスタまたはG1BTRRレジスタの設定値 m, n, pの値は 0001₁₆ ~ FFFD₁₆</p>
波形出力開始条件	G1FEレジスタのIFEjビットとIFEkビットを“1”(チャンネルj機能許可)にする
波形出力停止条件	G1FEレジスタのIFEjビットとIFEkビットを“0”(チャンネルj機能禁止)にする
割り込み要求	<p>ベースタイマとG1POjレジスタの値が一致すると、割り込み要求レジスタのG1IRjビットが“1”になる。(図13.24参照)</p> <p>ベースタイマとG1POkレジスタの値が一致すると、割り込み要求レジスタのG1IRkビットが“1”になる。(図13.24参照)</p>
OUTC1j端子(注3)	パルス出力
選択機能	<ul style="list-style-type: none"> ・初期値設定機能 : 波形出力開始時の出力レベルを設定 ・反転出力機能 : 出力波形をレベル反転してOUTC1j端から出力

注1. 奇数チャンネルの波形生成レジスタは偶数チャンネルより大きい値を設定してください。

注2. G1PO0レジスタでベースタイマリセットする場合、チャンネル0、チャンネル1によるSR波形生成機能は使用することはできません。

注3. OUTC10, OUTC12, OUTC14, OUTC16端子

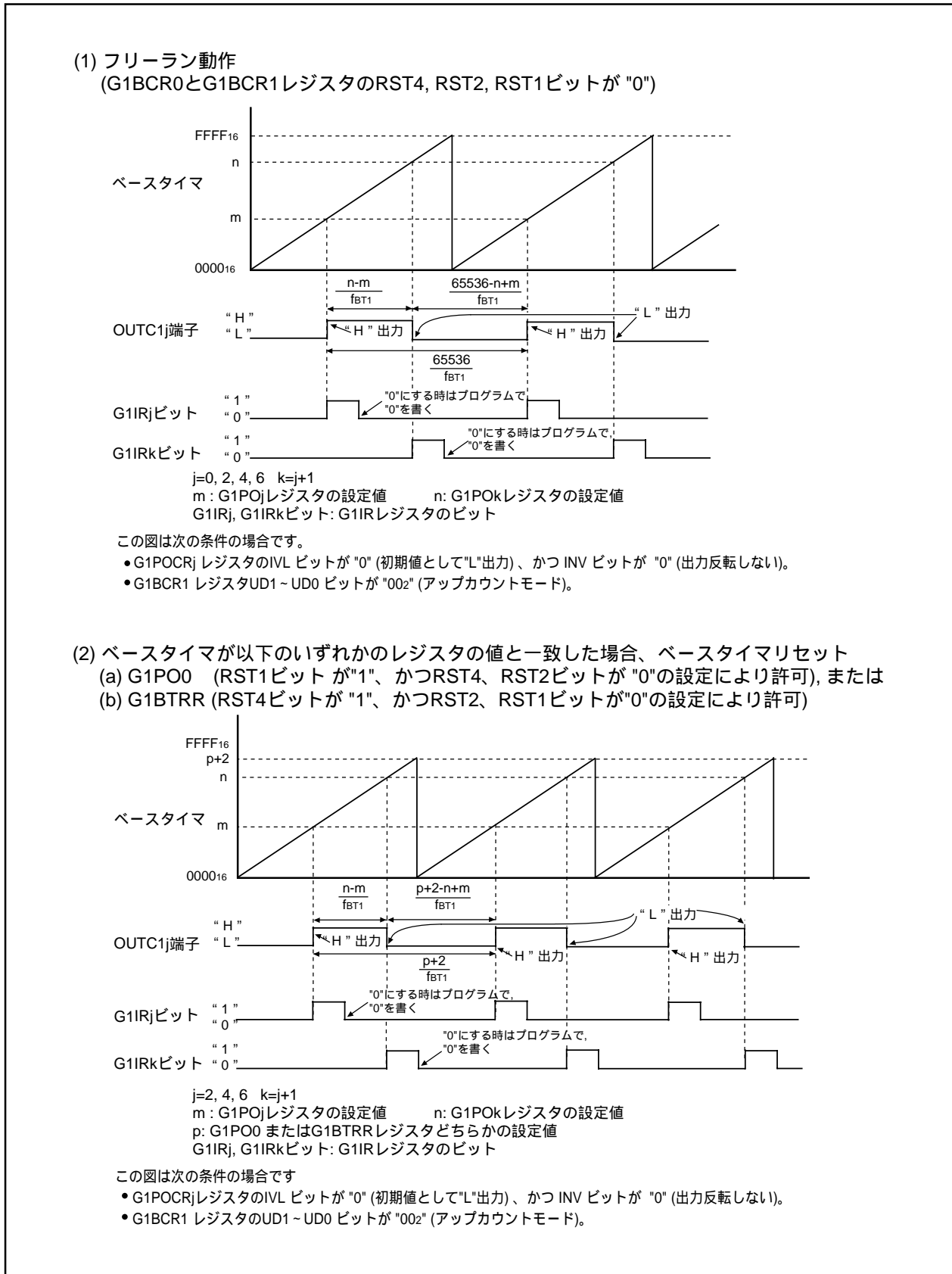


図 13.24 SR波形出力モードの動作例

13.6 入出力ポート機能選択

機能許可レジスタ(G1FE)と機能選択レジスタ(G1FS)の値によって、IC/OC端子の入出力が決まります。

SR波形出力モード時は、出力波形ごとに偶数チャンネルと奇数チャンネルの2チャンネル分を使用しますが、偶数チャンネルからのみ波形が出力されます。この場合、奇数チャンネルに対応する端子を入出力ポートとして使用することができます。

表13.11 時間計測と波形出力機能の端子設定

端子	IFE	FSC	MOD1	MOD0	端子の入力 / 出力	機能
P27/INPC17/ OUTC17	0	X	X	X	PD27により決定	P27
	1	1	X	X	PD27により決定、INPC17への入力は常に有効	P27またはINPC17
	1	0	0	0	単相波形出力	OUTC17
	1	0	0	1	PD27により決定、SR波形出力モード	P27
	1	0	1	0	反転波形出力	OUTC17
P26/INPC16/ OUTC16	0	X	X	X	PD26により決定	P26
	1	1	X	X	PD26により決定、INPC16への入力は常に有効	P26またはINPC16
	1	0	0	0	単相波形出力	OUTC16
	1	0	0	1	SR波形出力	OUTC16
	1	0	1	0	反転波形出力	OUTC16
P25/INPC15/ OUTC15	0	X	X	X	PD25により決定	P25
	1	1	X	X	PD25により決定、INPC15への入力は常に有効	P25またはINPC15
	1	0	0	0	単相波形出力	OUTC15
	1	0	0	1	PD25により決定、SR波形出力モード	P25
	1	0	1	0	反転波形出力	OUTC15
P24/INPC14/ OUTC14	0	X	X	X	PD24により決定	P24
	1	1	X	X	PD24により決定、INPC14への入力は常に有効	P24またはINPC14
	1	0	0	0	単相波形出力	OUTC14
	1	0	0	1	SR波形出力	OUTC14
	1	0	1	0	反転波形出力	OUTC14
P23/INPC13/ OUTC13	0	X	X	X	PD23により決定、	P23
	1	1	X	X	PD23により決定、INPC13への入力は常に有効	P23またはINPC13
	1	0	0	0	単相波形出力	OUTC13
	1	0	0	1	PD23により決定、SR波形出力モード	P23
	1	0	1	0	反転波形出力	OUTC13
P22/INPC12/ OUTC12	0	X	X	X	PD22により決定	P22
	1	1	X	X	PD22により決定、INPC12への入力は常に有効	P22またはINPC12
	1	0	0	0	単相波形出力	OUTC12
	1	0	0	1	SR波形出力	OUTC12
	1	0	1	0	反転波形出力	OUTC12
P21/INPC11/ OUTC11	0	X	X	X	PD21により決定	P21
	1	1	X	X	PD21により決定、INPC11への入力は常に有効	P21またはINPC11
	1	0	0	0	単相波形出力	OUTC11
	1	0	0	1	PD21により決定、SR波形出力モード	P21
	1	0	1	0	反転波形出力	OUTC11
P20/INPC10/ OUTC10	0	X	X	X	PD20により決定、	P20
	1	1	X	X	PD20により決定、INPC10への入力は常に有効	P20またはINPC10
	1	0	0	0	単相波形出力	OUTC10
	1	0	0	1	SR波形出力	OUTC10
	1	0	1	0	反転波形出力	OUTC10

IFE : G1FEレジスタのIFE_j (j=0 to 7)ビット

FSC : G1FSレジスタのFSC_j (j=0 to 7)ビット

MOD2 to MOD0 : G1POCR_j (j=0 to 7)レジスタのビット

13.6.1 INPC17代替入力端子の選択

IC/OCチャンネル7の時間計測端子は、2端子から選択することができます。G1BCR0レジスタのCH7INSELビット(チャンネル7入力選択ビット)によって、IC/OC INPC17を P27/OUTC17/INPC17端子またはP17/ $\overline{\text{INT5}}$ /INPC17/IDU端子から選択します。

13.6.2 P17/ $\overline{\text{INT5}}$ /INPC17デジタルデバウンス回路

P17/ $\overline{\text{INT5}}$ /INPC17/IDU端子からの $\overline{\text{INT5}}$ /INPC17入力は、ノイズ除去に有効なデジタルデバウンス機能を持ちます。

詳細は “ 17.6 デジタルデバウンス機能 ” を参照してください。

14. シリアルI/O

注意

64ピン版は、SIO4を使用しないでください。

シリアルI/Oは、UART0~UART2、SIO3、SIO4の5チャンネルで構成しています。
次にそれぞれについて説明します。

14.1 UARTi(i=0~2)

UARTiはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。
図14.1にUARTiブロック図、図14.2~図14.3にUARTi送受信部ブロック図を示します。
UARTiには、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード (UARTモード)
- ・特殊モード1(I²C busモード) : UART2
- ・特殊モード2 : UART2
- ・特殊モード3(バス衝突検出機能、IEBusモード) : UART2
- ・特殊モード4(SIMモード) : UART2

図14.4~図14.9に、UARTi関連のレジスタを示します。
レジスタの設定はモードごとの表を参照してください。

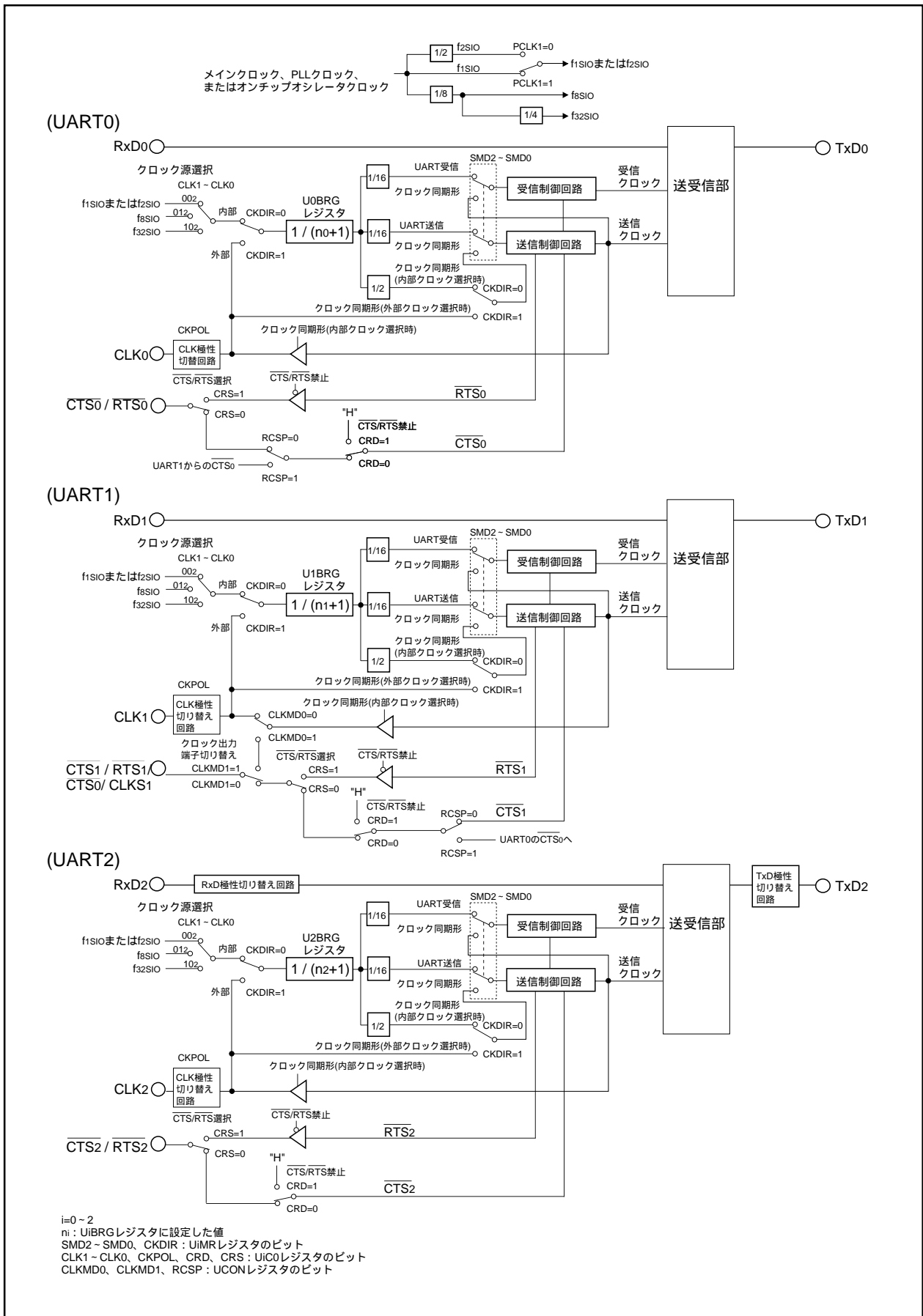


図14.1 UART*i*ブロック図

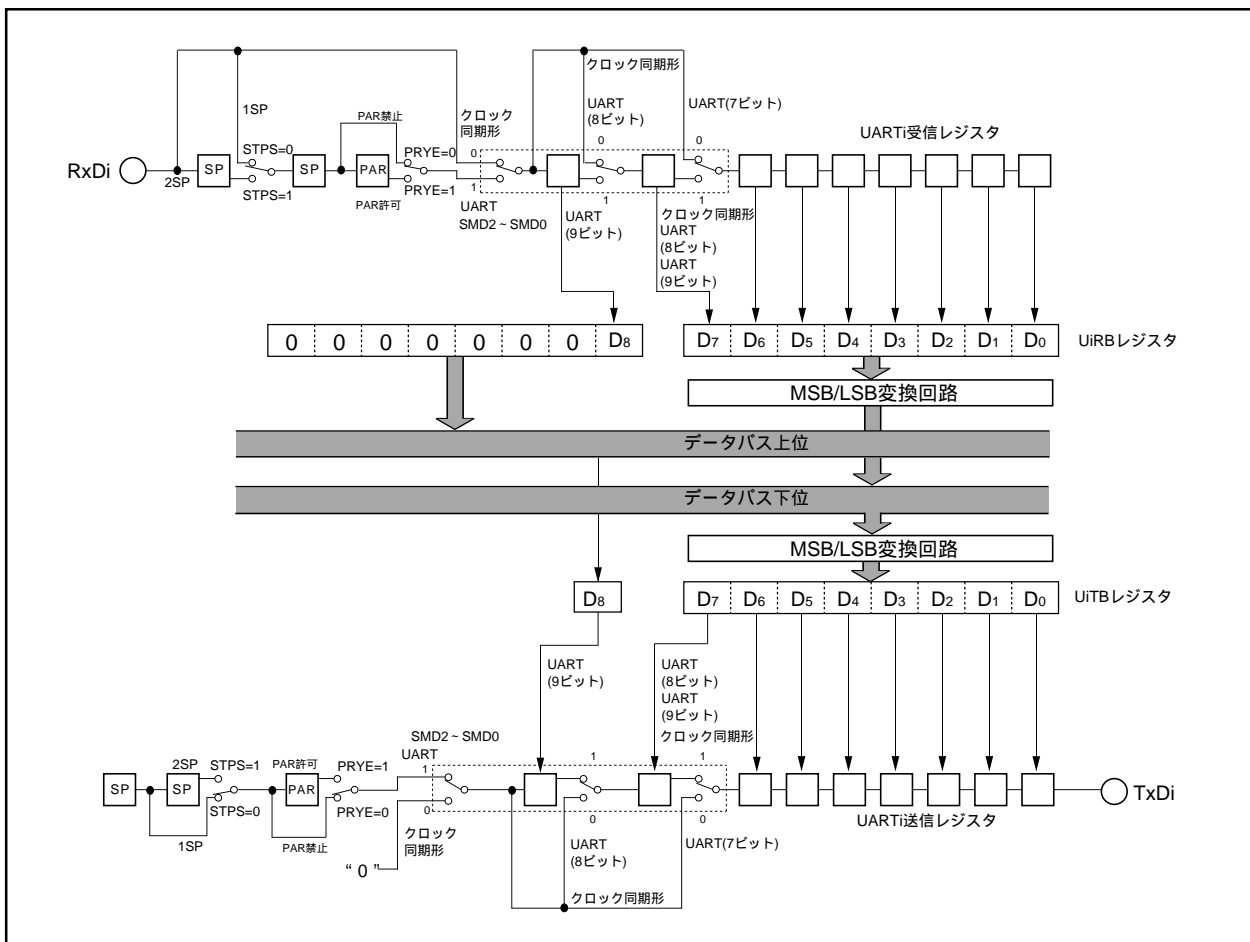


図14.2 UARTi送受信部ブロック図 (i=0、1)

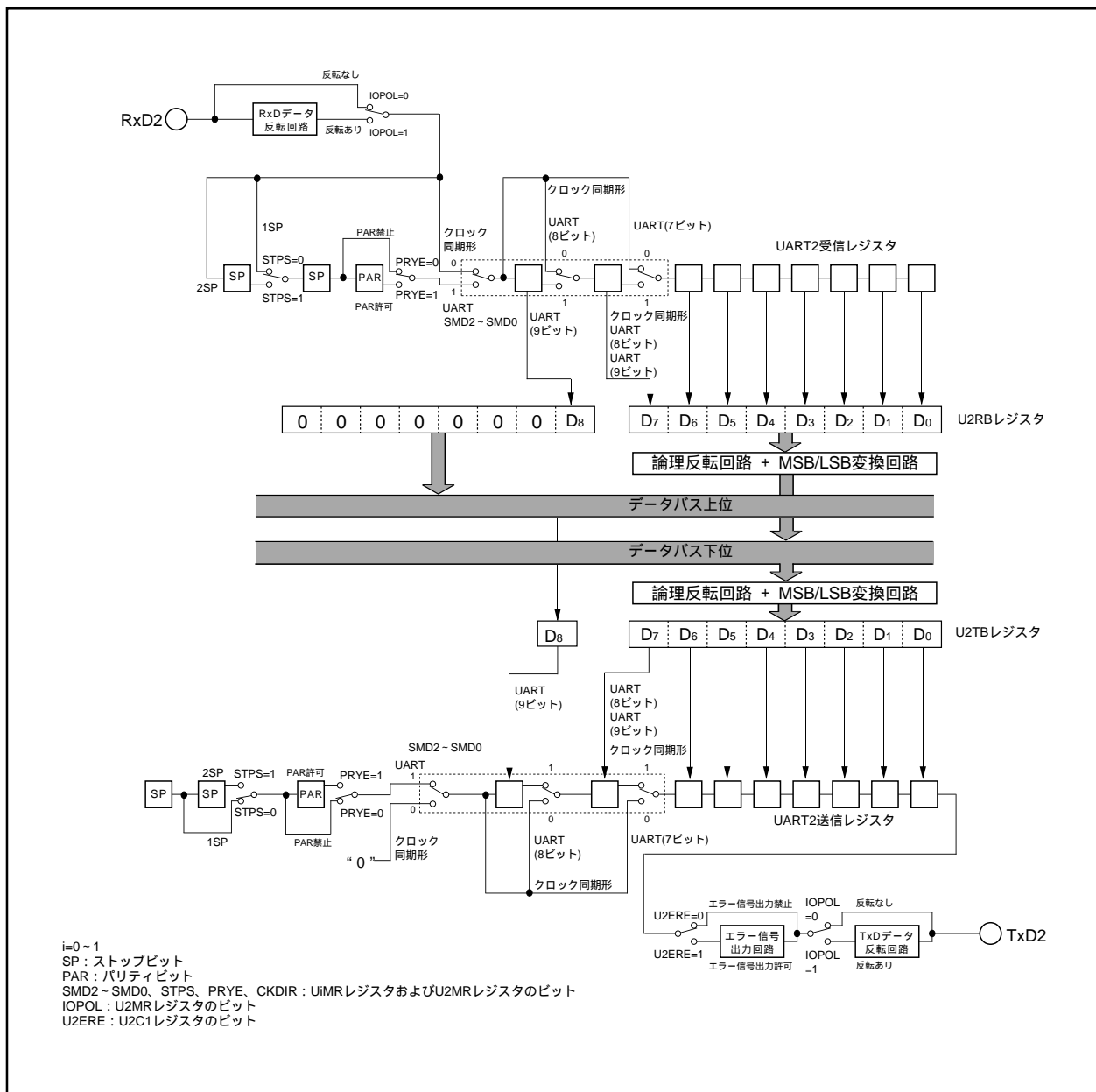


図14.3 UART2送受信部ブロック図 (i=0, 1)

UART_i送信バッファレジスタ(i=0~2)(注1)

シンボル	アドレス	リセット後の値
U0TB	03A3 ₁₆ -03A2 ₁₆ 番地	不定
U1TB	03AB ₁₆ -03AA ₁₆ 番地	不定
U2TB	037B ₁₆ -037A ₁₆ 番地	不定

機能	RW
送信データ	WO
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	—

注1. このレジスタはMOV命令を使用して書いてください。

UART_i受信バッファレジスタ(i=0~2)

シンボル	アドレス	リセット後の値
U0RB	03A7 ₁₆ -03A6 ₁₆ 番地	不定
U1RB	03AF ₁₆ -03AE ₁₆ 番地	不定
U2RB	037F ₁₆ -037E ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	—	受信データ(D7~D0)	RO
(b8)	—	受信データ(D8)	RO
— (b10-b9)	—	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—
ABT	アービトラージョンロスト検出フラグ(注2)	0: 未検出(勝) 1: 検出(負)	RW
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注1)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ(注1)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ(注1)	0: エラーなし 1: エラー発生	RO

注1. UIMRレジスタのSMD2~SMD0ビットを“0002”(シリアルI/Oは無効)にしたとき、またはUIC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、UIRBレジスタの下位バイトを読んだとき、“0”になります。

注2. ABTビットはプログラムで“0”を書くとき“0”になります(“1”を書いても変化しません)。U0RBレジスタおよびU1RBレジスタでは、ビット11には何も配置されていませんが、書く場合“0”を書いてください。読んだ場合、その値は“0”になります。

UART_i転送速度レジスタ(i=0~2)(注1、2、3)

シンボル	アドレス	リセット後の値
U0BRG	03A1 ₁₆ 番地	不定
U1BRG	03A9 ₁₆ 番地	不定
U2BRG	0379 ₁₆ 番地	不定

機能	設定範囲	RW
設定値を n とすると、UiBRG はカウントソースを n+1 分周する	00 ₁₆ ~ FF ₁₆	WO

注1. 送受信停止中に書いてください。

注2. このレジスタはMOV命令を使用して書いてください。

U_iBRGレジスタの設定値をnとしたときの転送クロックを以下に示します。

(1)U_iMRレジスタのCKDIRビットが“0”(内部クロック)の場合

- ・クロック同期シリアルI/Oモード : f_i/(2(n+1))
- ・クロック非同期シリアルI/O(UART)モード : f_i/(16(n+1))

(2)U_iMRレジスタのCKDIRビットが“1”(外部クロック)の場合

- ・クロック同期シリアルI/Oモード : f_{EXT}
- ・クロック非同期シリアルI/O(UART)モード : f_{EXT}/((16(n+1)))

f_i: f1SIO, f2SIO, f8SIO, f32SIO
f_{EXT}: CLKi端子からの入力

注3. このレジスタはUIC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

図14.4 U0TB~U2TB、U0RB~U2RB、U0BRG~U2BRGレジスタ

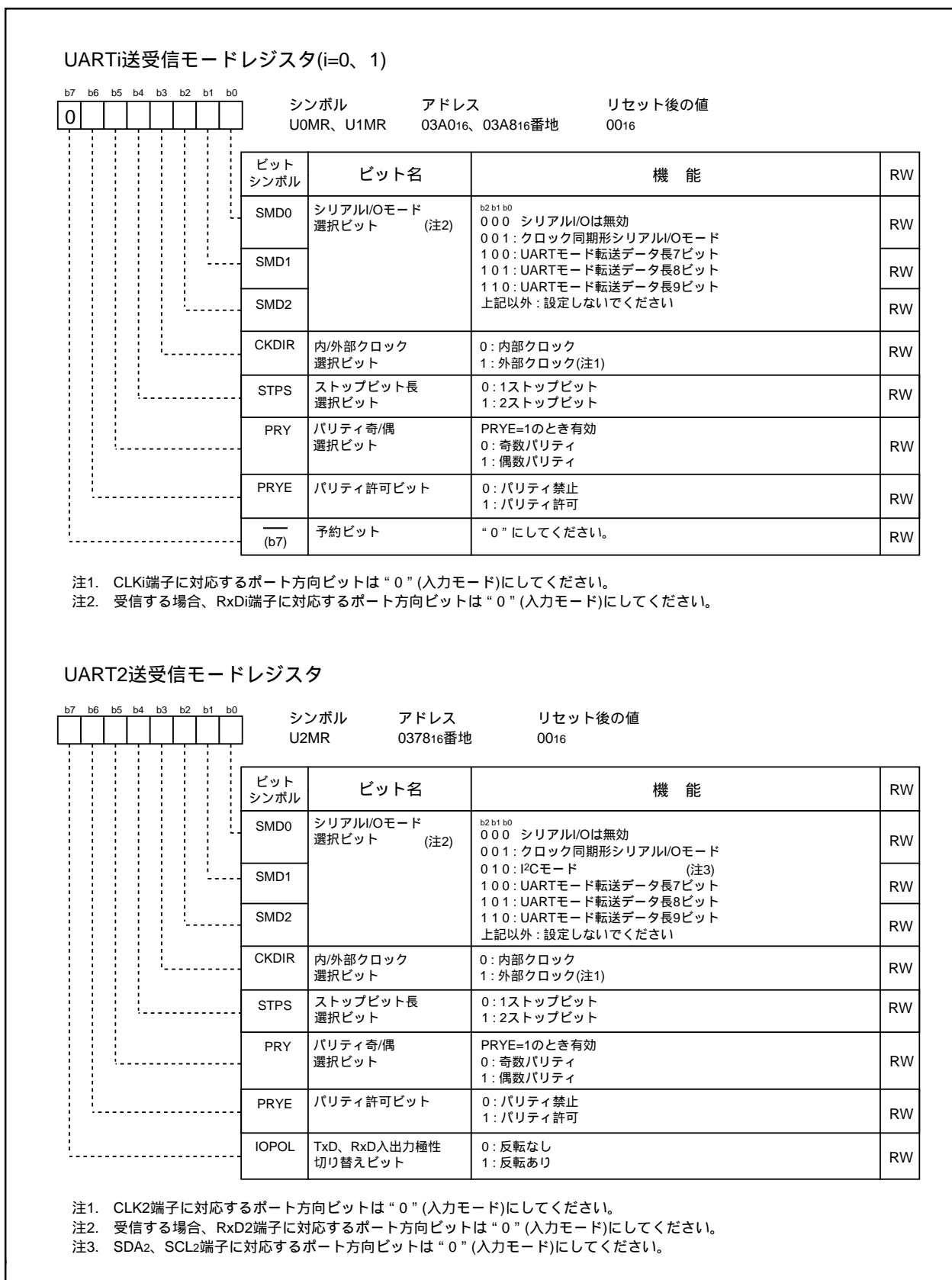


図14.5 U0MR~U2MRレジスタ



図14.6 U0C0~U2C0、UCONレジスタ

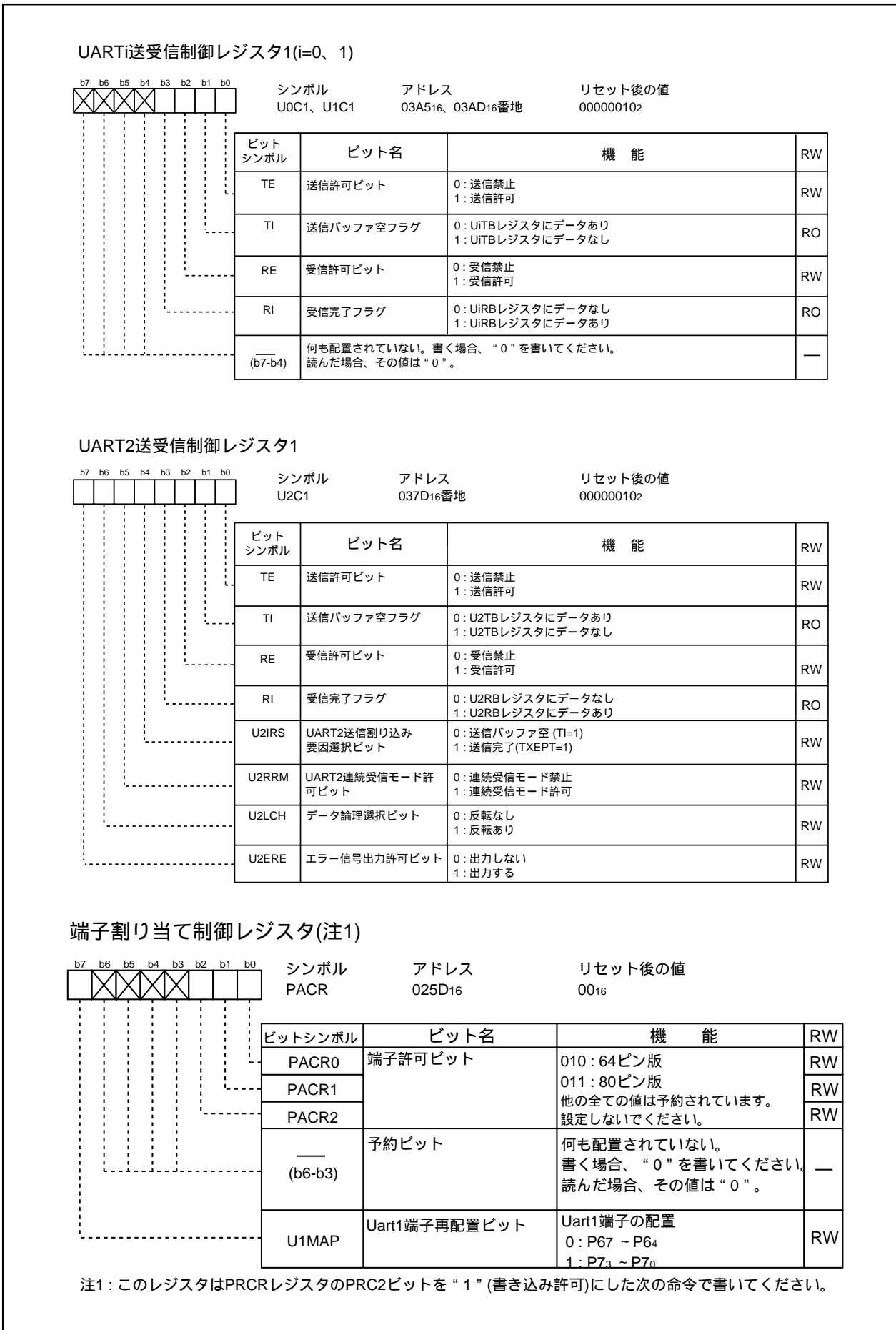


図14.7 U0C1 ~ U2C1、PACRレジスタ

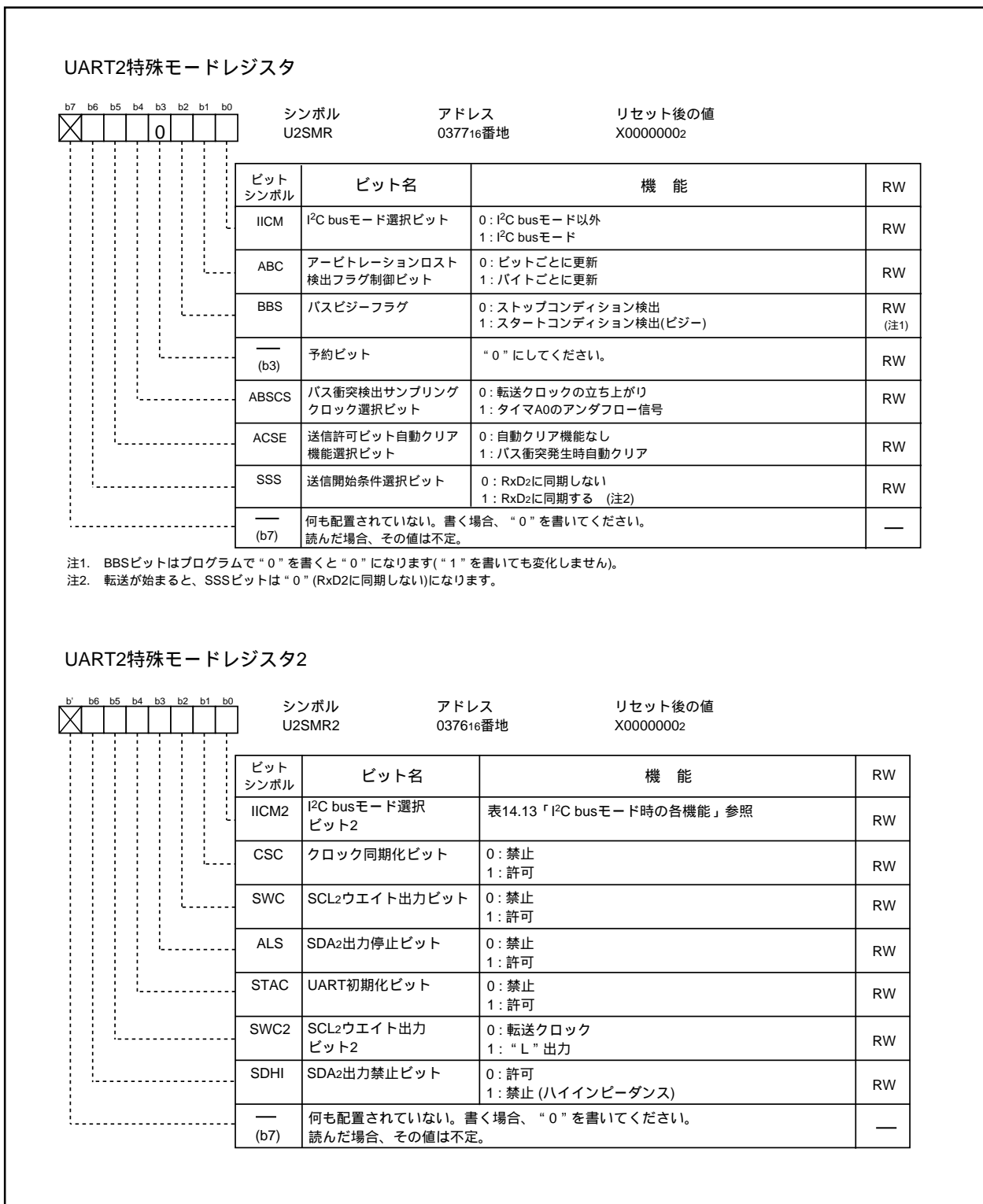


図14.8 U2SMR、U2SMR2レジスタ

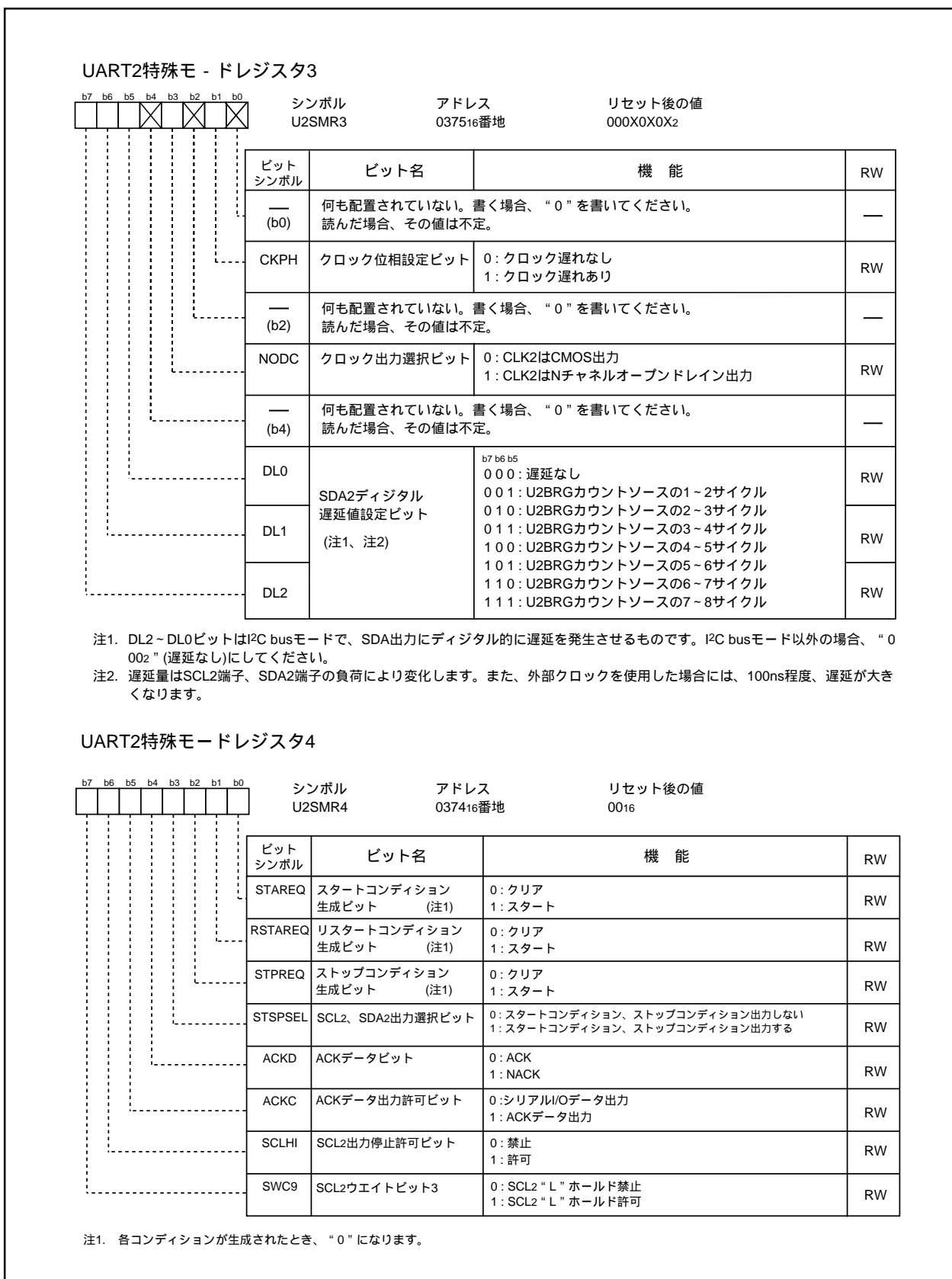


図14.9 U2SMR3、U2SMR4レジスタ

14.1.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表14.1にクロック同期形シリアルI/Oモードの仕様、表14.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表14.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	UiMRレジスタ(i=0~2)のCKDIRビットが“0”(内部クロック) : $f_j/(2(n+1))$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$ レジスタの設定値 0016~FF16 CKDIRビットが“1”(外部クロック) : CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要です(注1)。 <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能を選択している場合、CTS_i端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要です(注1)。 <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます。 <ul style="list-style-type: none"> • UiIRSビット(注3)が“0”(送信バッファ空) : UiTBレジスタからUART_i送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了) : UART_i送信レジスタからデータ送信完了時 受信する場合 • UART_i受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる シリアルデータ論理切り替え(UART2) 送受信データの論理値を反転する機能 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 CTS/RTS分離機能(UART0) CTS ₀ とRTS ₀ を別の端子から入出力する UART1端子配置選択 UART1端子をP67~P64またはP73~P70から選択可

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“-L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

注3. U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

表14.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0~7	送信データを設定してください
UiRB(注3)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR(注3)	SMD2~SMD0	“0012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL(i=2)(注4)	“0” にしてください
UiC0	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注1)	UART2送信割り込み要因を選択してください
	U2RRM(注1)	UART2の連続受信モードを使用する場合、“1” にしてください
	U2LCH(注3)	UART2のデータ論理反転を使用する場合、“1” にしてください
	U2ERE(注3)	“0” にしてください
U2SMR	0~7	“0” にしてください
U2SMR2	0~7	“0” にしてください
U2SMR3	0~2	“0” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“0” にしてください
U2SMR4	0~7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“1” にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1” にしてください
	RCSP	UART0のCTS0信号をP64端子から入力する場合、“1” にしてください
	7	“0” にしてください

注1. U0C1、U1C1レジスタのビット4、5は“0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

注3. U0C1、U1C1レジスタのビット6、7は“0” にしてください。

注4. U0MR、U1MRレジスタのビット7は“0” にしてください。

i=0~2

表14.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表14.3は、転送クロック複数端子出力選択機能を非選択の場合です。また、表14.4にクロック同期形シリアルI/Oモード時のP64端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表14.3 クロック同期形シリアルI/Oモード時の入出力端子の機能(注1)

(転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TxDi(i=0~2) (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	転送クロック出力	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS _i /RTS _i (P60、P64、P73)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

注1. PACRレジスタのU1MAPビットが“1”(P73~P70)のとき、UART1端子はP73~P70になります。

表14.4 クロック同期形シリアルI/Oモード時のP64端子の機能(注1)

端子の機能	ビットの設定値					
	U1C0レジスタ		UCONレジスタ			PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P64	1	—	0	0	—	入力：0、出力：1
CTS _i	0	0	0	0	—	0
RTS _i	0	1	0	0	—	—
CTS ₀ (注2)	0	0	1	0	—	0
CLKS ₁	—	—	—	1(注3)	1	—

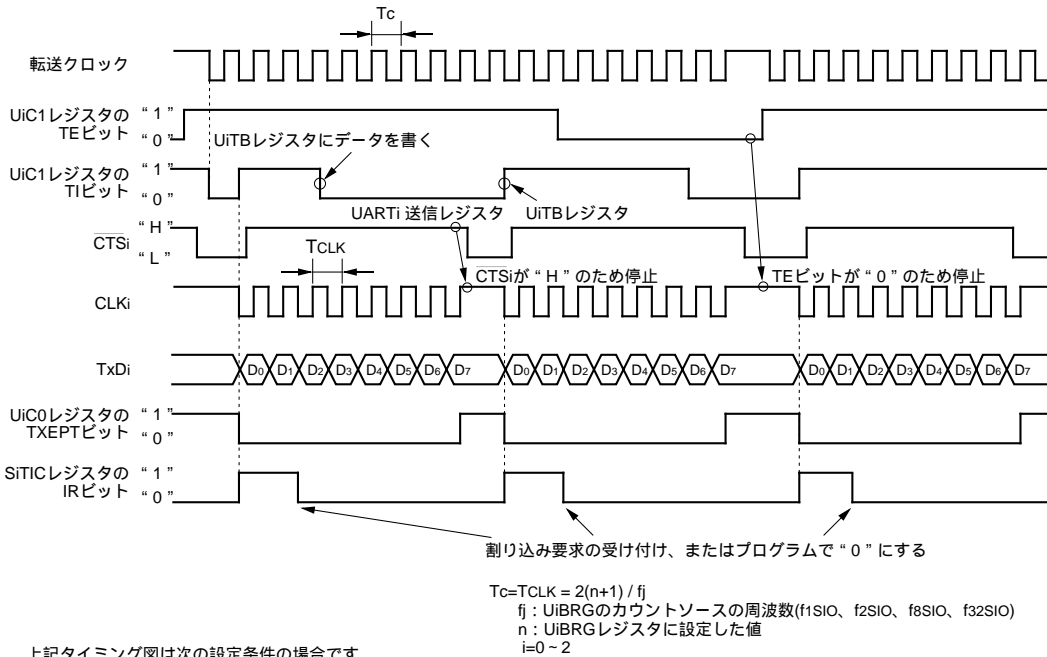
注1. PACRレジスタのU1MAPビットが“1”(P73~P70)のときは、P70端子の機能を示します。

注2. この他にU0C0レジスタのCRDビットを“0”(CTS₀/RTS₀許可)、U0C0レジスタのCRSビットを“1”(RTS₀選択)にしてください。

注3. CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。

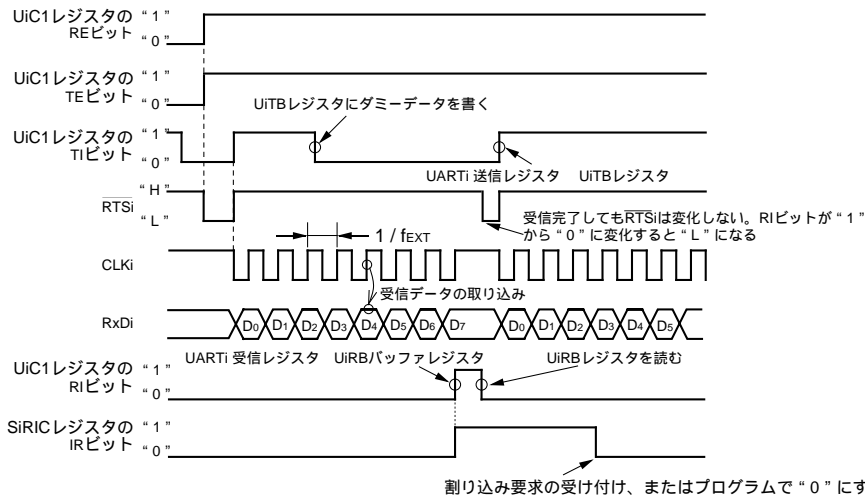
- ・U1C0レジスタのCKPOLビットが“0”：H
- ・U1C0レジスタのCKPOLビットが“1”：L

(1) 送信タイミング例(内部クロック選択時)



上記タイミング図は次の設定条件の場合です。
 UIMRレジスタのCKDIRビット=0(内部クロック)
 UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
 UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)
 UIIRSビット=0(送信バッファが空になると割り込み要求発生): UIORSビットはUCONレジスタのビット0、UIIRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

(2) 受信タイミング例(外部クロック選択時)



上記タイミング図は次の設定条件の場合です。
 UIMRレジスタのCKDIRビット=1(外部クロック)
 UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=1(RTS選択)
 UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)
 fEXT: 外部クロックの周波数

データ受信前のCLKi端子への入力が“H”のときに、次の条件が揃うようにしてください。
 UIC1レジスタのTEビット=1(送信許可)
 UIC1レジスタのREビット=1(受信許可)
 UITBレジスタにダミーデータを書く

図14.10 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

14.1.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

・ UiRBレジスタ(i=0~2)の初期化手順

- (1)UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2)UiMRレジスタのSMD2~SMD0ビットを“0002”(シリアルI/O無効)にする。
- (3)UiMRレジスタのSMD2~SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)にする。
- (4)UiC1レジスタのREビットを“1”(受信許可)にする。

・ UiTBレジスタの初期化手順

- (1)UiMRレジスタのSMD2~SMD0ビットを“0002”(シリアルI/O無効)にする。
- (2)UiMRレジスタのSMD2~SMD0ビットを“0012”(クロック同期形シリアルI/Oモード)にする。
- (3)UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

14.1.1.2 CLK極性選択

UiC0レジスタ(i=0~2)のCKPOLビットで転送クロックの極性を選択できます。図14.11に転送クロックの極性を示します。

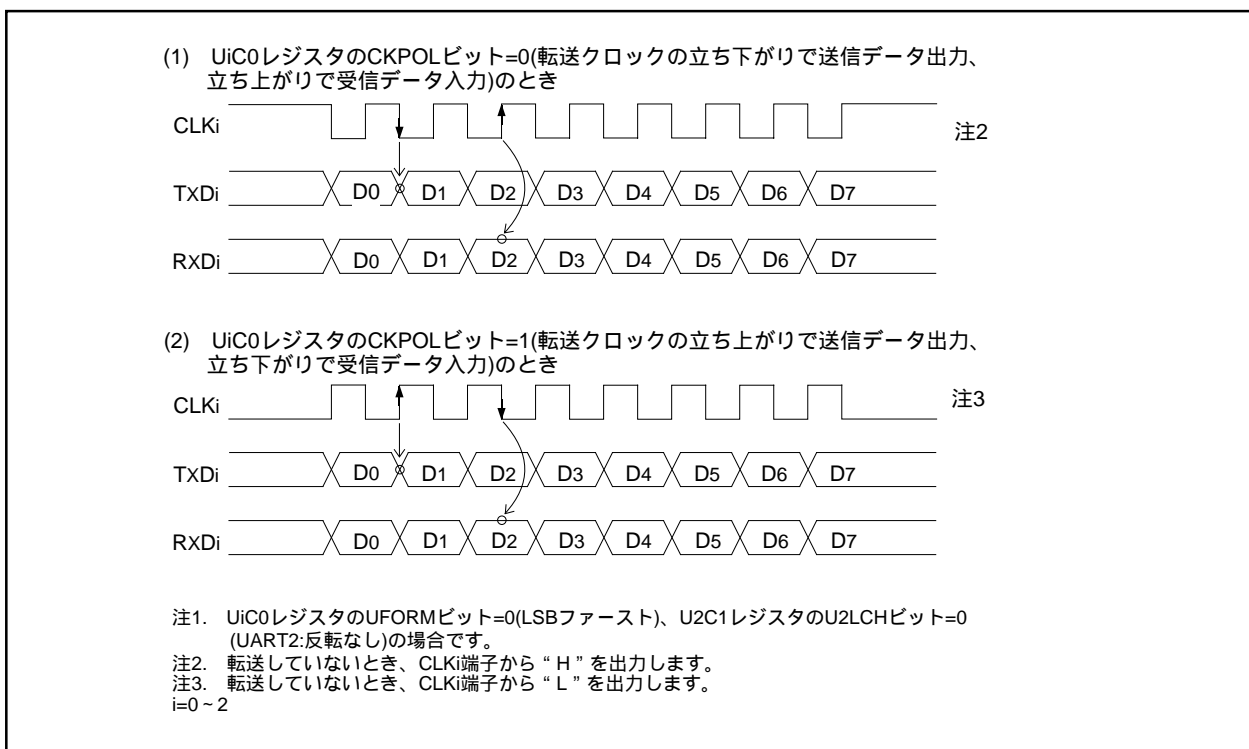


図14.11 転送クロックの極性

14.1.1.3 LSBファースト、MSBファースト選択

UiC0レジスタ(i=0~2)のUFORMビットで転送フォーマットを選択できます。図14.12に転送フォーマットを示します。

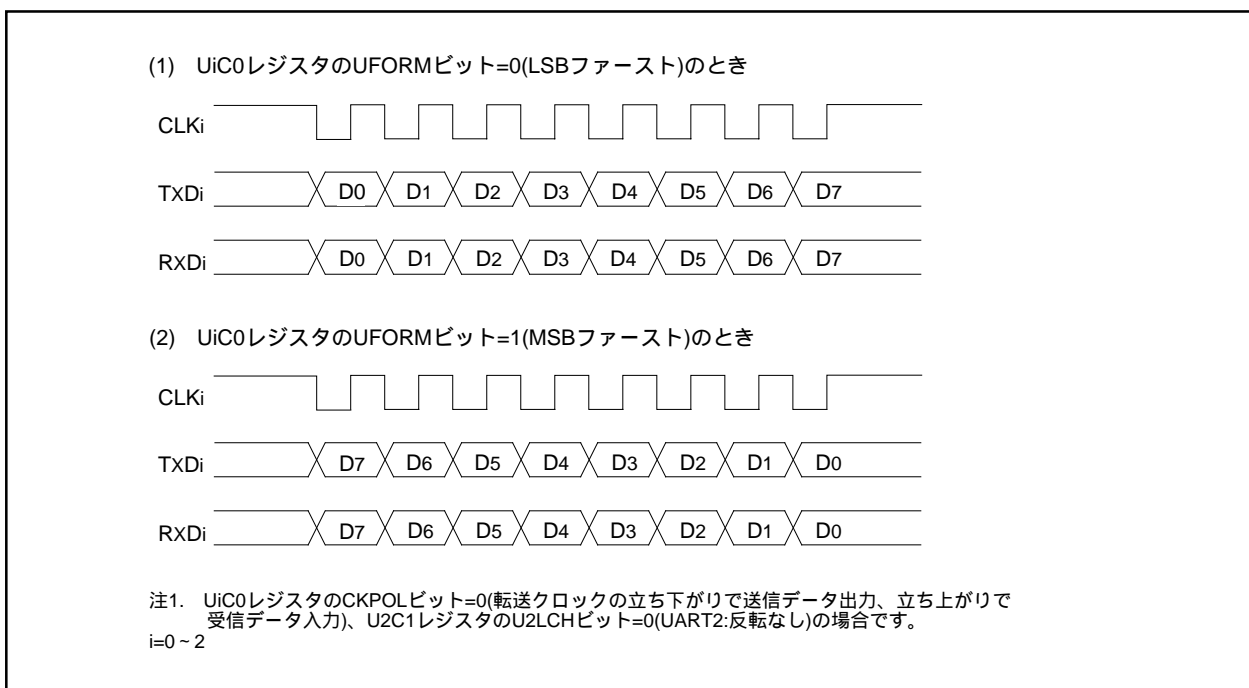


図14.12 転送フォーマット

14.1.1.4 連続受信モード

UiRRMビット($i=0\sim 2$)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUic1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U0RRM、U1RRMビットはUCONレジスタのビット2、3で、U2RRMビットはU2C1レジスタのビット5です。

14.1.1.5 シリアルデータ論理切り替え(UART2)

U2C1レジスタのU2LCHビットが“1”(反転あり)の場合、U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図14.13にシリアルデータ論理を示します。

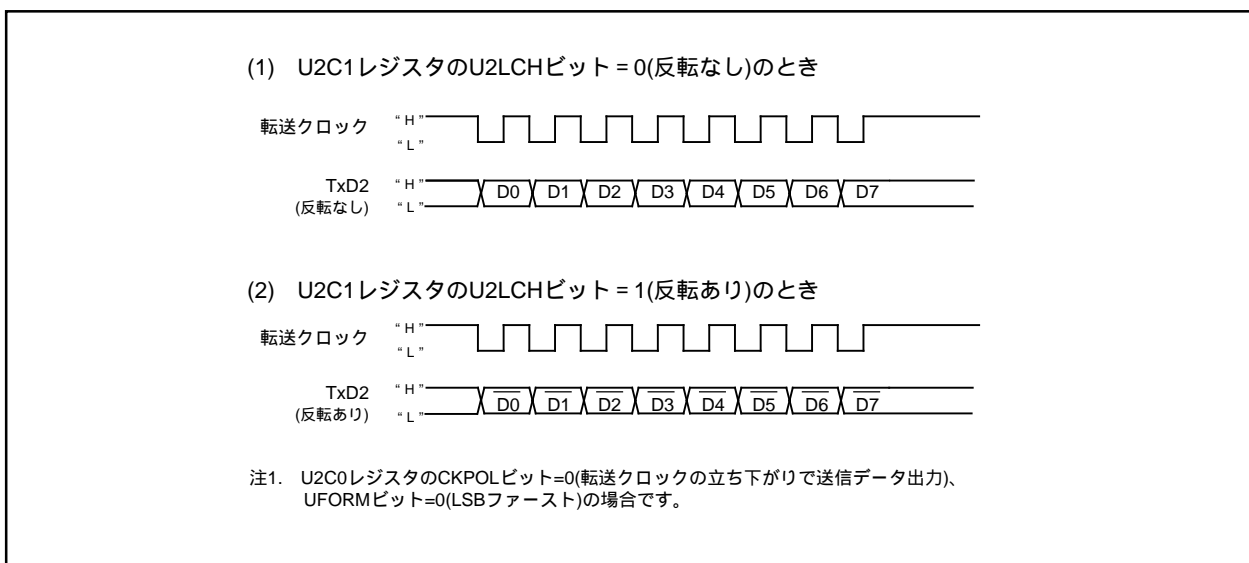


図14.13 シリアルデータ論理

14.1.1.6 転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1～CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図14.14)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

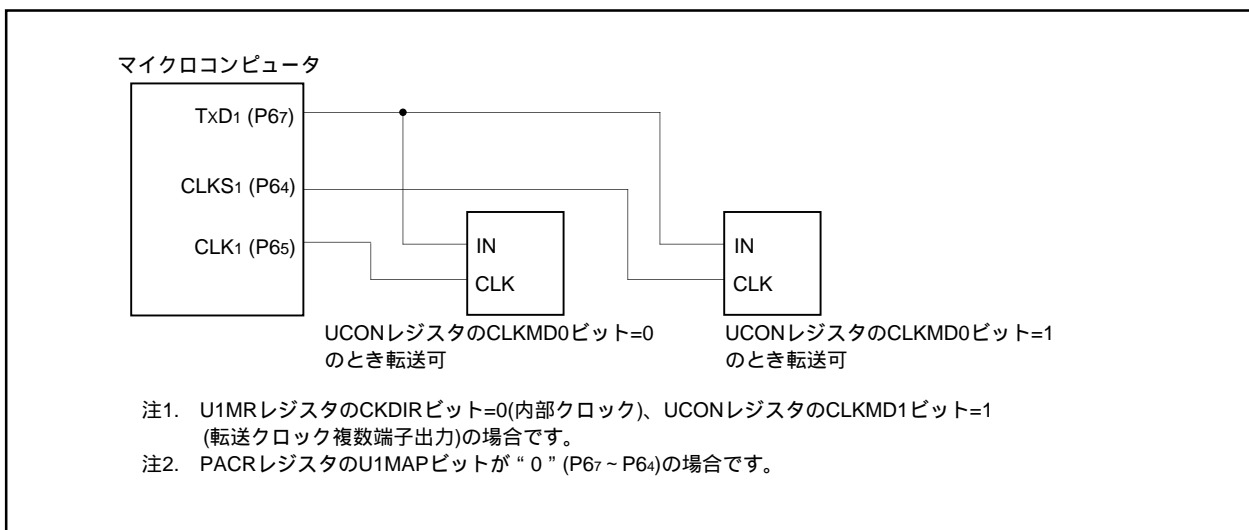


図14.14 転送クロック複数端子出力機能の使用例

14.1.1.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}/\overline{\text{RTS}}$ を分離し、 $\overline{\text{RTS}}$ をP60端子から出力、 $\overline{\text{CTS}}$ をP64端子またはP70端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- ・U0C0レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- ・U0C0レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- ・U1C0レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- ・U1C0レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- ・UCONレジスタのRCSPビット=1($\overline{\text{CTS}}$ をP64端子またはP70端子から入力)
- ・UCONレジスタのCLKMD1ビット=0(CLKS1を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

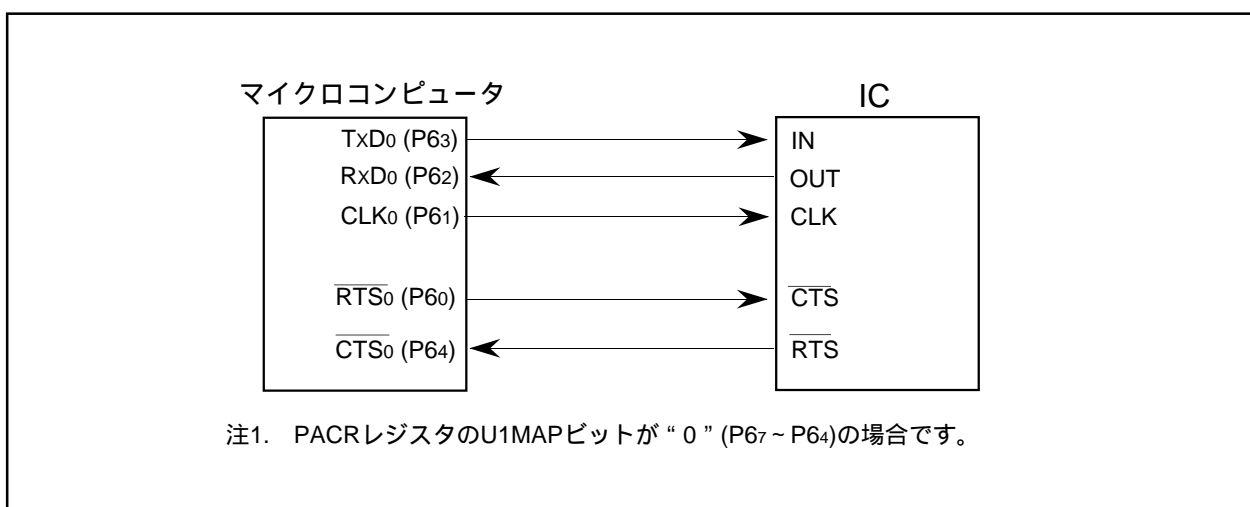


図14.15 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

14.1.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表14.5にUARTモードの仕様を示します。

表14.5 UARTモードの仕様

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ)7ビット、8ビット、9ビットを選択可 スタートビット 1ビット パリティビット 奇数、偶数、なしを選択可 ストップビット 1ビット、2ビットを選択可
転送クロック	U_iMR レジスタ($i=0\sim 2$)のCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ 。 $n=U_iBRG$ レジスタの設定値 00 ₁₆ ~ FF ₁₆ CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT} はCLKI端子からの入力。 $n=U_iBRG$ レジスタの設定値 00 ₁₆ ~ FF ₁₆
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要です。 <ul style="list-style-type: none"> • U_iC1レジスタのTEビットが“1”(送信許可) • U_iC1レジスタのTIビットが“0”(U_iTBレジスタにデータあり) • CTS機能を選択している場合、CTS端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要です。 <ul style="list-style-type: none"> • U_iC1レジスタのREビットが“1”(受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます <ul style="list-style-type: none"> • U_iIRSビット(注2)が“0”(送信バッファ空) : U_iTBレジスタから U_iRTS送信レジスタへデータ転送時(送信開始時) • U_iIRSビットが“1”(送信完了) : U_iRTS送信レジスタからデータ送信完了時受信する場合 • U_iRTS受信レジスタから U_iRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバーランエラー (注1) U_iRB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバーランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 シリアルデータ論理切り替え(UART2) 送受信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 TXD、RXD入出力極性切り替え(UART2) TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 CTS/RTS分離機能(UART0) CTS ₀ とRTS ₀ を別の端子から入出力する UART1端子配置選択 UART1端子をP67 ~ P64またはP73 ~ P70から選択可

注1. オーバーランエラーが発生した場合、 U_iRB レジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

注2. U_0IRS 、 U_1IRS ビットはUCONレジスタのビット0、1で、 U_2IRS ビットはU2C1レジスタのビット4です。

表14.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください(注1)
UiRB	0~8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	転送データが7ビットの場合、“1002”を設定してください。 転送データが8ビットの場合、“1012”を設定してください。 転送データが9ビットの場合、“1102”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL(i=2)(注4)	TxD/RxD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS(注2)	UART2送信割り込み要因を選択してください
	U2RRM(注2)	“0”にしてください
	U2LCH(注3)	UART2のデータ論理反転を使用する場合、“1”にしてください
	U2ERE(注3)	“0”にしてください
U2SMR	0~7	“0”にしてください
U2SMR2	0~7	“0”にしてください
U2SMR3	0~7	“0”にしてください
U2SMR4	0~7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS ₀ 信号をP64端子から入力する場合、“1”にしてください
	7	“0”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0~6、転送データ長8ビット：ビット0~7、転送データ長9ビット：ビット0~8

注2. U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注3. U0C1、U1C1レジスタのビット6、7は“0”にしてください。

注4. U0MR、U1MRレジスタのビット7は“0”にしてください。

i=0~2

表14.7にUARTモード時の入出力端子の機能を示します。表14.8にUARTモード時のP64端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表14.7 UARTモード時の入出力端子の機能(注1)

端子名	機能	選択方法
TxDi(i=0~2) (P63、P67、P70)	シリアルデータ出力	(受信だけを行うときは“H”が出力)
RxDi (P62、P66、P71)	シリアルデータ入力	PD6レジスタのPD6_2ビット=0、PD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_1ビット=0、PD6_5ビット=0、PD7レジスタのPD7_2ビット=0
CTS \bar /RTSi (P60、P64、P73)	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_0ビット=0、PD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

注1. PARCレジスタのU1MAPビットが“1”(P73~P70)のとき、UART1端子はP73~P70になります。

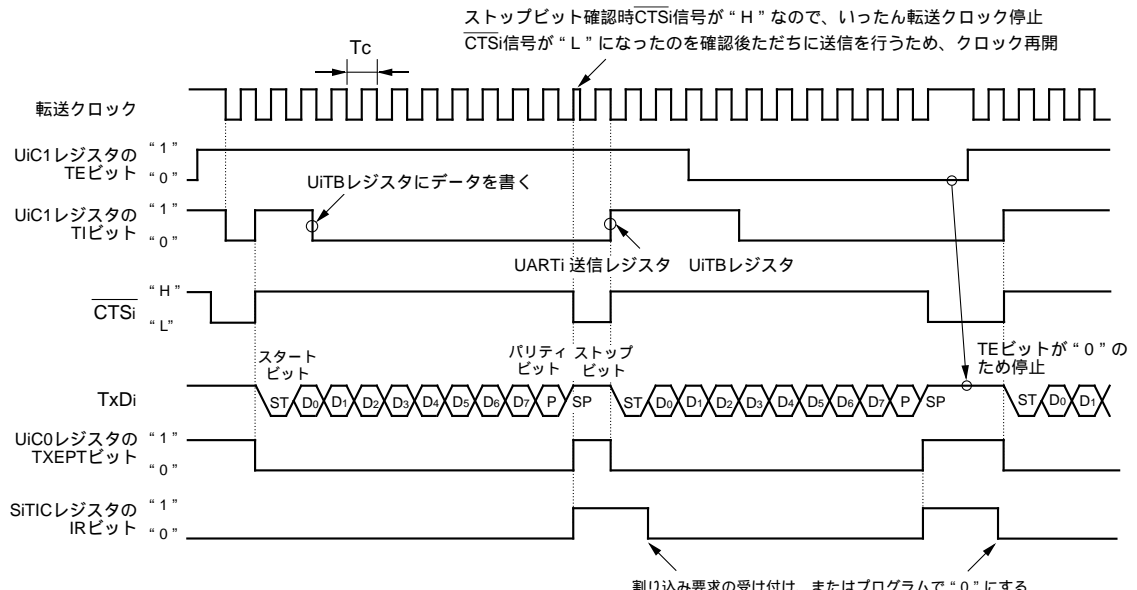
表14.8 UARTモード時のP64端子の機能(注1)

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P64	1	—	0	0	入力：0、出力：1
CTS \bar 1	0	0	0	0	0
RTS \bar 1	0	1	0	0	—
CTS \bar 0(注2)	0	0	1	0	0

注1. PACRレジスタのU1MAPビットが“1”(P73~P70)のときは、P70端子の機能を示します。

注2. この他にU0C0レジスタのCRDビットを“0”(CTS \bar 0/RTS \bar 0許可)、U0C0レジスタのCRSビットを“1”(RTS \bar 0選択)にしてください。

(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)

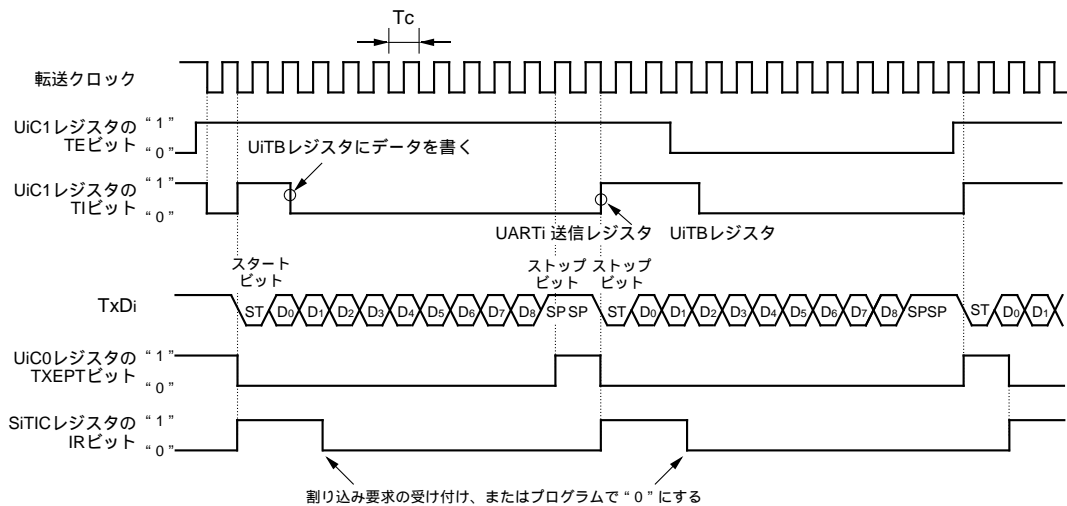


上記タイミング図は次の設定条件の場合です。
 UIMRレジスタのPRYEビット=1(パリティ許可)
 UIMRレジスタのSTPSビット=0(1ストップビット)
 UIC0レジスタのCRDビット=0(CTS/RTS許可)、CRSビット=0(CTS選択)
 UIIRSビット=1(送信完了すると割り込み要求発生)
 : U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

$$Tc = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

f_j : UIBRGのカウンタソースの周波数(f_{1SIO} , f_{2SIO} , f_{6SIO} , f_{32SIO})
 f_{EXT} : UIBRGのカウンタソースの周波数(外部クロック)
 n : UIBRGレジスタに設定した値
 $i=0 \sim 2$

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



上記タイミング図は次の設定条件の場合です。
 UIMRレジスタのPRYEビット=0(パリティ禁止)
 UIMRレジスタのSTPSビット=1(2ストップビット)
 UIC0レジスタのCRDビット=1(CTS/RTS禁止)
 UIIRSビット=0(送信バッファが空になると割り込み要求発生)
 : U0IRSビットはUCONレジスタのビット0、U1IRSビットはUCONレジスタのビット1、U2IRSビットはU2C1レジスタのビット4です。

$$Tc = 16(n+1) / f_j \text{ または } 16(n+1) / f_{EXT}$$

f_j : UIBRGのカウンタソースの周波数(f_{1SIO} , f_{2SIO} , f_{6SIO} , f_{32SIO})
 f_{EXT} : UIBRGのカウンタソースの周波数(外部クロック)
 n : UIBRGレジスタに設定した値
 $i=0 \sim 2$

図14.16 UARTモード時の送信タイミング例

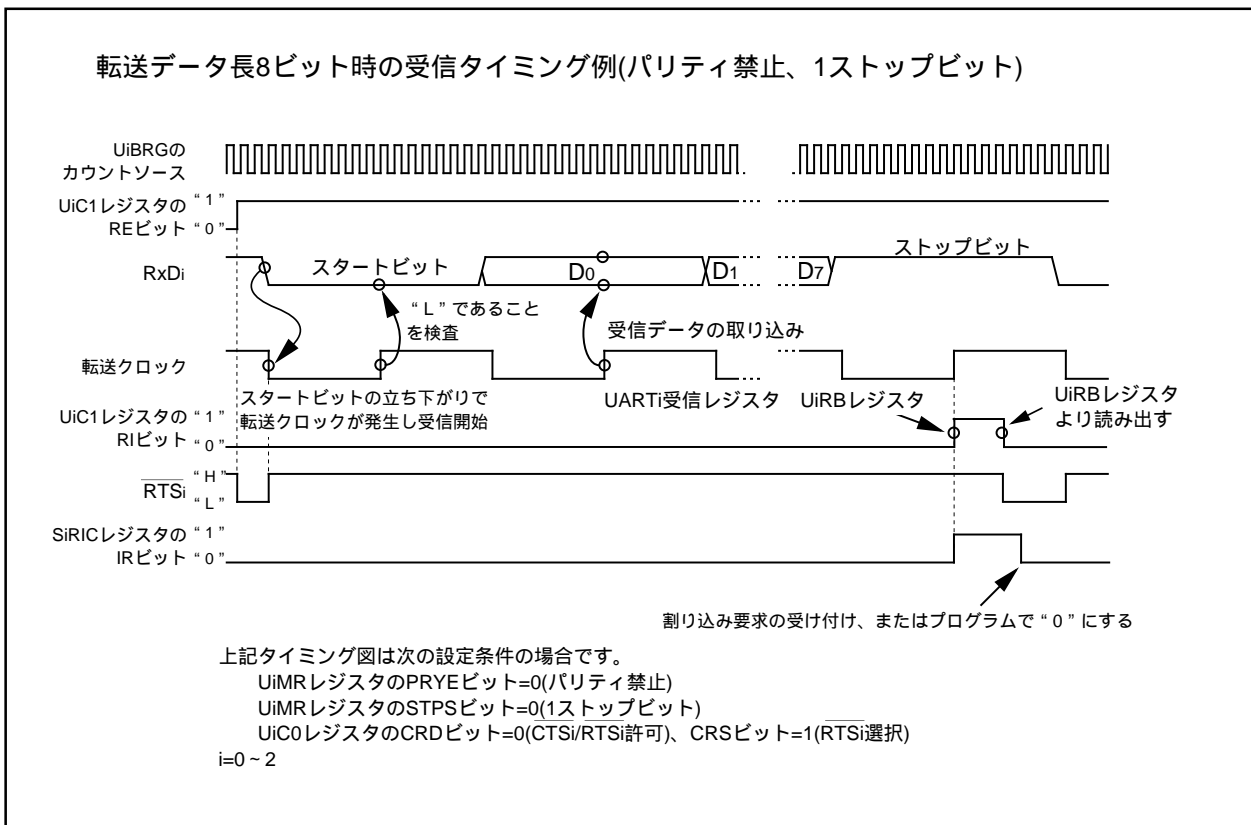


図14.17 UARTモード時の受信タイミング例

14.1.2.1 転送速度

UARTモードは、UIBRGレジスタ(i=0~2)で分周した周波数の16分周が転送速度になります。表14.9に転送速度の設定例を示します。

表14.9 転送速度

ビットレート (bps)	BRGの カウントソース	周辺機能クロック : 16MHz		周辺機能クロック : 20MHz	
		BRGの設定値 : n	実時間(bps)	BRGの設定値 : n	実時間(bps)
1200	f8	103 (67h)	1202	129 (81h)	1202
2400	f8	51 (33h)	2404	64 (40h)	2404
4800	f8	25 (19h)	4808	32 (20h)	4735
9600	f1	103 (67h)	9615	129 (81h)	9615
14400	f1	68 (44h)	14493	86 (56h)	14368
19200	f1	51 (33h)	19231	64 (40h)	19231
28800	f1	34 (22h)	28571	42 (2Ah)	29070
31250	f1	31 (1Fh)	31250	39 (27h)	31250
38400	f1	25 (19h)	38462	32 (20h)	37879
51200	f1	19(13h)	50000	24(18h)	50000

14.1.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

・ UiRBレジスタ(i=0~2)の初期化手順

- (1)UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2)UiC1レジスタのREビットを“1”(受信許可)にする。

・ UiTBレジスタの初期化手順

- (1)UiMRレジスタのSMD2~SMD0ビットを“0002”(シリアルI/O無効)にする。
- (2)UiMRレジスタのSMD2~SMD0ビットを再設定(“0012”、“1012”、“1102”)にする。
- (3)UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

14.1.2.3 LSBファースト、MSBファースト選択

図14.18に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

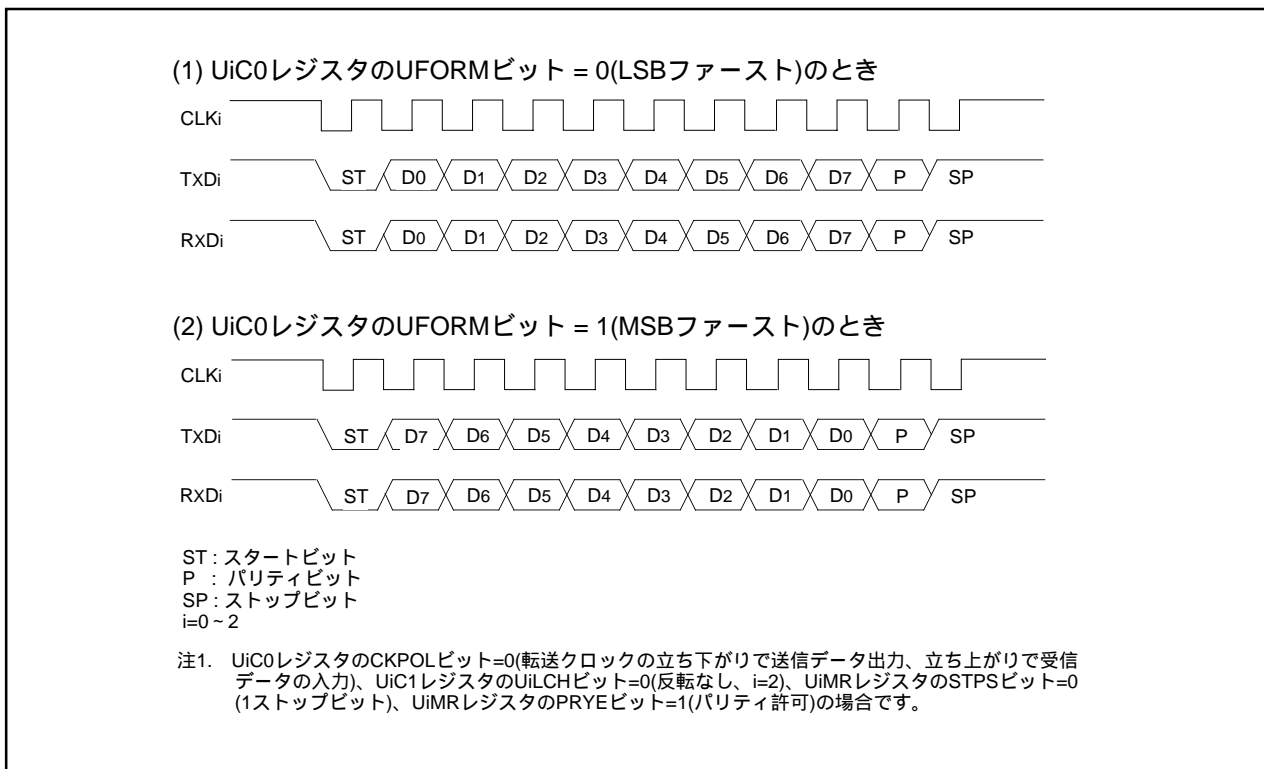


図14.18 転送フォーマット

14.1.2.4 シリアルデータ論理切り替え(UART2)

U2TBレジスタに書いた値の論理を反転して送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図14.19にシリアルデータ論理を示します。

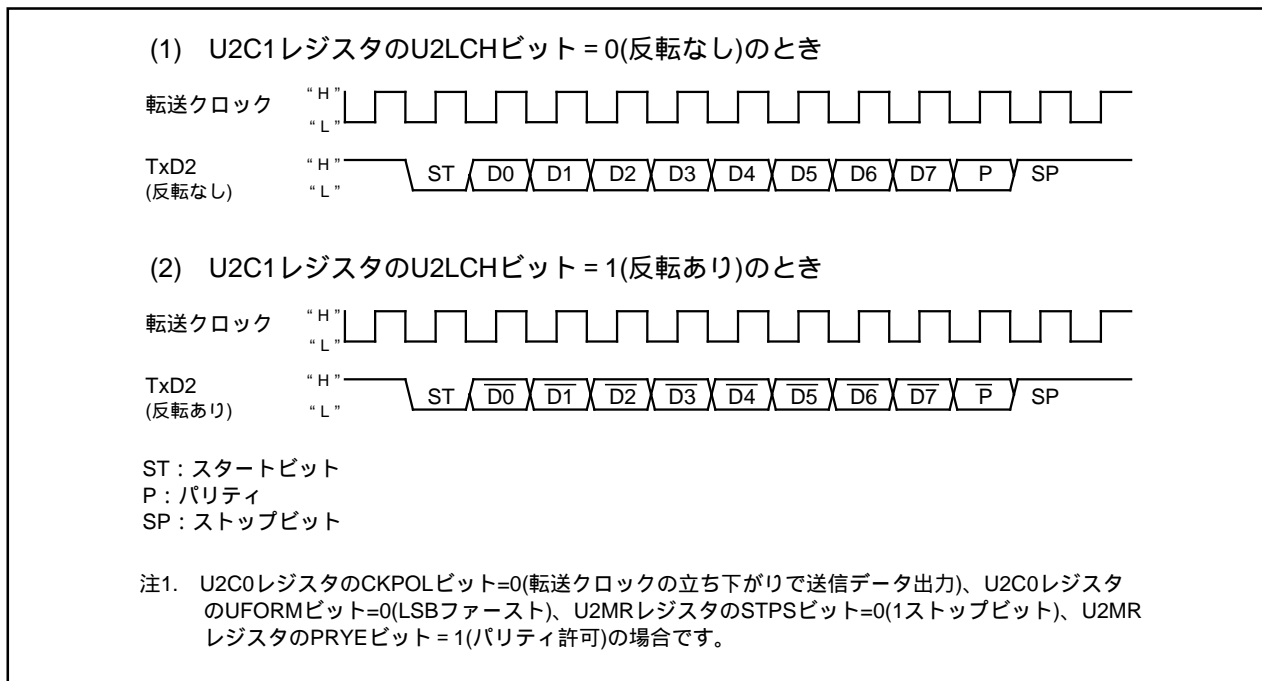


図14.19 シリアルデータ論理

14.1.2.5 TxD、RxD入出力極性切り替え機能(UART2)

TxD2端子出力とRxD2端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図14.20にTxD、RxD入出力極性切り替えを示します。

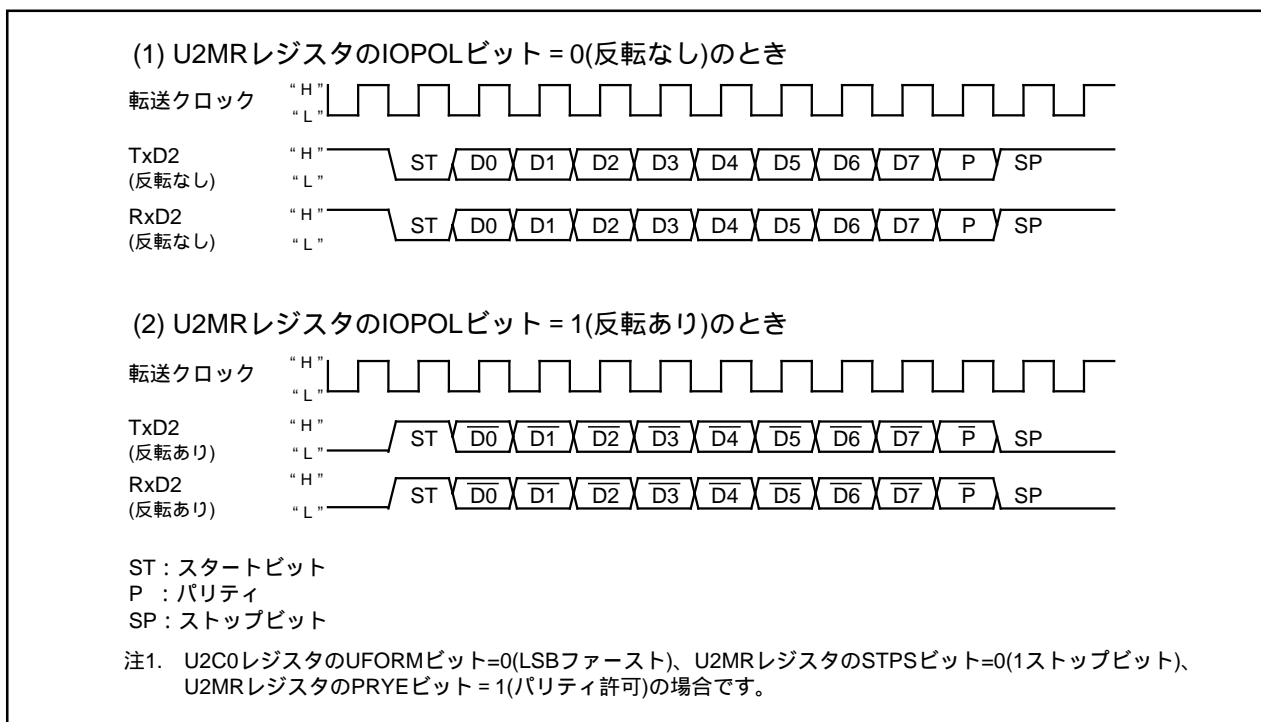


図14.20 TxD、RxD入出力極性切り替え

14.1.2.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能(UART0)

$\overline{\text{CTS}}/\overline{\text{RTS}}$ を分離し、 $\overline{\text{RTS}}$ をP60端子から出力、 $\overline{\text{CTS}}$ をP64端子またはP70端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- ・ U0C0レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- ・ U0C0レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- ・ U1C0レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- ・ U1C0レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- ・ UCONレジスタのRCSPビット=1($\overline{\text{CTS}}$ をP64端子またはP70端子から入力)
- ・ UCONレジスタのCLKMD1ビット=0(CLKS₁を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

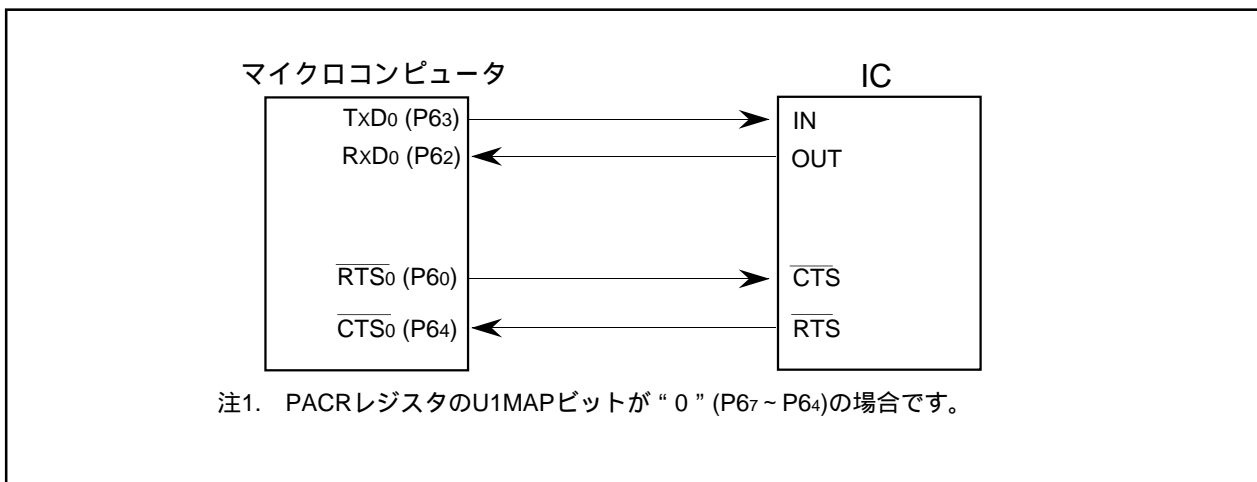


図14.21 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

14.1.3 特殊モード1(I²C busモード)(UART2)

I²C busモードは、簡易形I²C busインタフェースに対応したモードです。表14.10にI²C busモードの仕様を、表14.11と表14.12にI²C busモード時の使用レジスタと設定値を、表14.13にI²C busモード時の各機能を、図14.22にI²C busモード時のブロック図を、図14.23にSCL₂タイミングを示します。

表14.13に示すように、SMD₂~SMD₀ビットを“010₂”に、IICMビットを“1”にするとI²C busモードになります。SDA₂送信出力には遅延回路が付加されますので、SCL₂が“L”になり安定した後、SDA₂出力が変化します。

表14.10 I²C busモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	マスタ時 U2MRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(2(n+1))$ $f_j=f_{1SIO}, f_{2SIO}, f_{8SIO}, f_{32SIO}$ $n=U2BRG$ レジスタの設定値 00 ₁₆ ~ FF ₁₆ スレーブ時 CKDIRビットが“1”(外部クロック) : SCL ₂ 端子からの入力
送信開始条件	送信開始には、次の条件が必要です(注1)。 ・ U2C1レジスタのTEビットが“1”(送信許可) ・ U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です(注1)。 ・ U2C1レジスタのREビットが“1”(受信許可) ・ U2C1レジスタのTEビットが“1”(送信許可) ・ U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	アービトラクションロスト U2RBレジスタのABTビットの更新タイミングを選択可 SDA ₂ デジタル遅延 デジタル遅延なし、またはU2BRGカウントソースの2~8サイクルの遅延を選択可 クロック位相設定 クロック遅れあり、なしを選択可

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

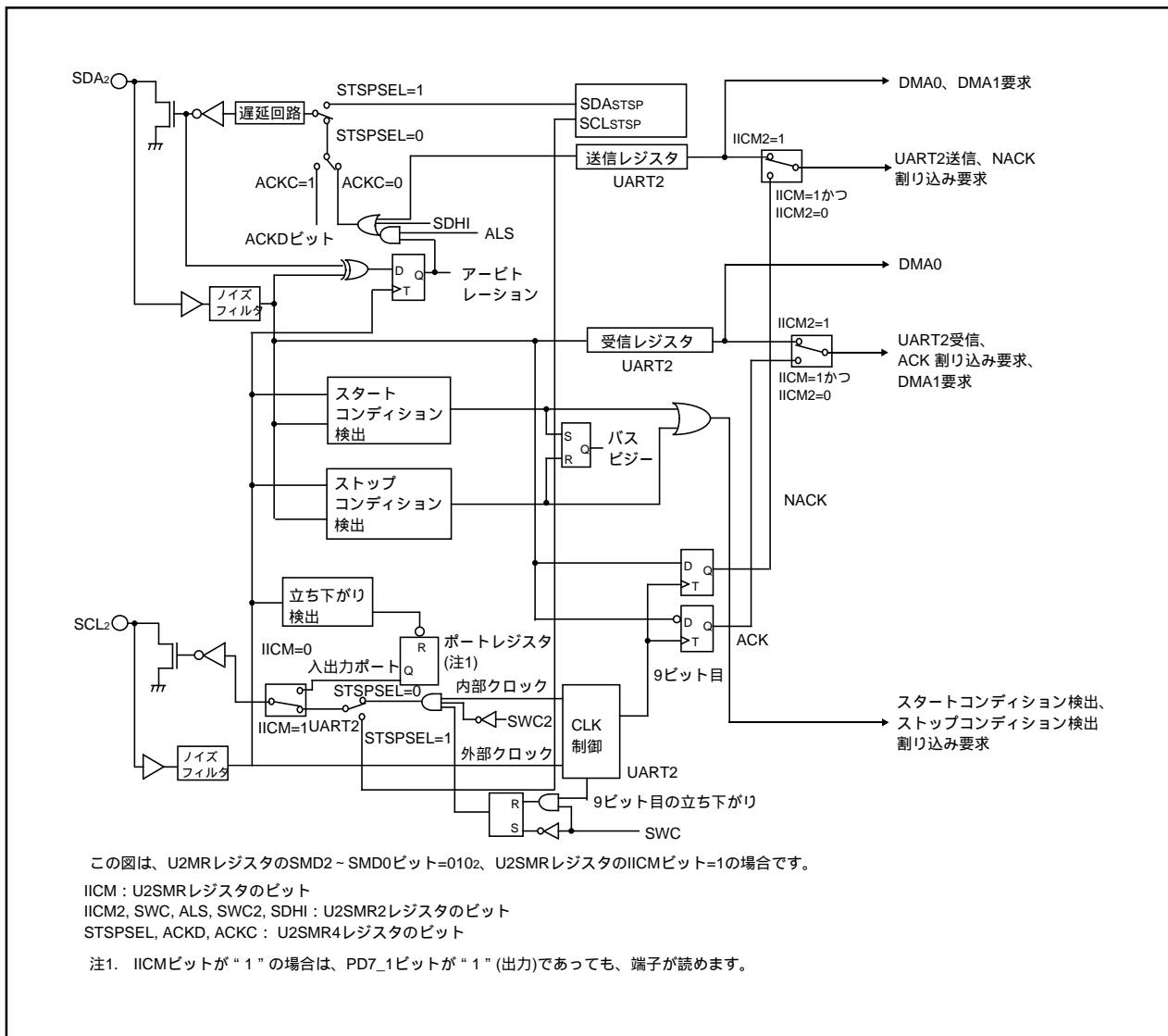
図14.22 I²C busモードのブロック図

表14.11 I²C busモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
U2TB	0~7	送信データを設定してください	送信データを設定してください
U2RB(注1)	0~7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
U2BRG	0~7	転送速度を設定してください	無効
U2MR(注1)	SMD2~SMD0	“010 ₂ ” にしてください	“010 ₂ ” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
U2C0	CLK1~CLK0	U2BRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1” にしてください	“1” にしてください
	NCH	“1” にしてください	“1” にしてください
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
	U2C1	TE	送信を許可する場合、“1” にしてください
TI		送信バッファ空フラグ	送信バッファ空フラグ
RE		受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
RI		受信完了フラグ	受信完了フラグ
U2IRS		無効	無効
U2RRM、 U2LCH、U2ERE		“0” にしてください	“0” にしてください
U2SMR		IICM	“1” にしてください
	ABC	アービトレーションロスト検出タイミング を選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3~7	“0” にしてください	“0” にしてください
U2SMR2	IICM2	「表14.13 I ² C busモード時の各機能」参照	「表14.13 I ² C busモード時の各機能」参照
	CSC	クロック同期化を許可する場合、 “1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がりで SCL ₂ 出力を“L”出力固定にする場合、 “1” にしてください	クロックの9ビット目の立ち下がりで SCL ₂ 出力を“L”出力固定にする場合、 “1” にしてください
	ALS	アービトレーションロスト検出時にSDA ₂ の 出力を停止する場合“1” にしてください	“0” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUART2を 初期化する場合、“1” にしてください
	SWC2	SCL ₂ の出力を強制的に“L”にする場合、 “1” にしてください	SCL ₂ の出力を強制的に“L”にする場合、 “1” にしてください
	SDHI	SDA ₂ 出力を禁止する場合、“1” にして ください	SDA ₂ 出力を禁止する場合、“1” にして ください
	7	“0” にしてください	“0” にしてください
U2SMR3	0、2、4、NODC	“0” にしてください	“0” にしてください
	CKPH	「表14.13 I ² C busモード時の各機能」参照	「表14.13 I ² C busモード時の各機能」参照
	DL2~DL0	SDA ₂ のデジタル遅延値を設定してください	SDA ₂ のデジタル遅延値を設定してください

注1. この表に記載していないビットはI²C busモード時に書く場合、“0”を書いてください。

表14.12 I²C busモード時の使用レジスタと設定値(2)

レジスタ	ビット	機 能	
		マスタ時	スレーブ時
U2SMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください	“0”にしてください
	STPREQ	ストップコンディションを生成する場合、“1”にしてください	“0”にしてください
	STSPSEL	各コンディション出力時に“1”にしてください	“0”にしてください
	ACKD	ACK、NACKを選択してください	ACK、NACKを選択してください
	ACKC	ACKデータを出力する場合、“1”にしてください	ACKデータを出力する場合、“1”にしてください
	SCLHI	ストップコンディション検出時にSCL ₂ 出力を停止する場合、“1”にしてください	“0”にしてください
	SWC9	“0”にしてください	クロックの9ビット目の次の立ち下がり でSCL ₂ を“L”ホールドにする場合、“1” にしてください

注1. この表に記載していないビットはI²C busモード時に書く場合、“0”を書いてください。

表14.13 I²C busモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=0012, IICM=0)	I ² C busモード(SMD2~SMD0=0102,IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号10の要因(注1) (図14.23参照)	-	スタートコンディション検出、ストップコンディション検出 (「表14.14 STSPSELビットの機能」参照)			
割り込み番号15の要因(注1) (図14.23参照)	UART2送信 送信開始、または送信完了(U2IRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCL ₂ の立ち上がり	UART2送信 9ビット目のSCL ₂ の立ち上がり	UART2送信 9ビット目の次のSCL ₂ の立ち下がり	
割り込み番号16の要因(注1) (図14.23参照)	UART2受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCL ₂ の立ち上がり	UART2受信 9ビット目のSCL ₂ の立ち下がり		
UART受信シフトレジスタからU2RBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCL ₂ の立ち上がり	9ビット目のSCL ₂ の立ち下がり	9ビット目のSCL ₂ の立ち下がり と、立ち上がり	
UART2送信出力遅延	遅延なし	遅延あり			
P7 ₀ 端子の機能	TxD2出力	SDA ₂ 入出力			
P7 ₁ 端子の機能	RxD2入力	SCL ₂ 入出力			
P7 ₂ 端子の機能	CLK2入力または出力選択	- (I ² C busモードには使用しない)			
ノイズフィルタ幅	15ns	200ns			
RxD2, SCL ₂ 端子レベルの読み込み	対応するポート方向ビットが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TxD2, SDA ₂ 出力の初期値	CKPOL=0(H) CKPOL=1(L)	I ² C busモード設定前に、ポートレジスタに設定した値(注2)			
SCL ₂ の初期値、終了値	-	H	L	H	L
DMA1要因 (図14.23参照)	UART2受信	アクノリッジ検出(ACK)	UART2受信 9ビット目のSCL ₂ の立ち下がり		
受信データ格納	1~8ビット目をU2RBレジスタのビット0~7に格納	1~8ビット目をU2RBレジスタのビット7~0に格納	1~7ビット目をU2RBレジスタのビット6~0に、8ビット目をU2RBレジスタのビット8に格納 1~8ビット目をU2RBレジスタのビット7~0に格納(注3)		
受信データ読み出し	U2RBレジスタの状態をそのまま読み出す				U2RBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す(注4)

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。(「注意事項集の「割り込み注意事項」参照」。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

U2MRレジスタのSMD2~SMD0ビット、U2SMRレジスタのIICMビット、
U2SMR2レジスタのIICM2ビット、U2SMR3レジスタのCKPHビット

注2. SDA₂出力の初期値は、U2MRレジスタのSMD2~SMD0ビットが“0002”(シリアルI/Oが無効)の状態
で設定してください。

注3. U2RBレジスタへのデータ転送2回目(9ビット目SCL₂立ち上がり時)

注4. U2RBレジスタへのデータ転送1回目(9ビット目SCL₂立ち下がり時)

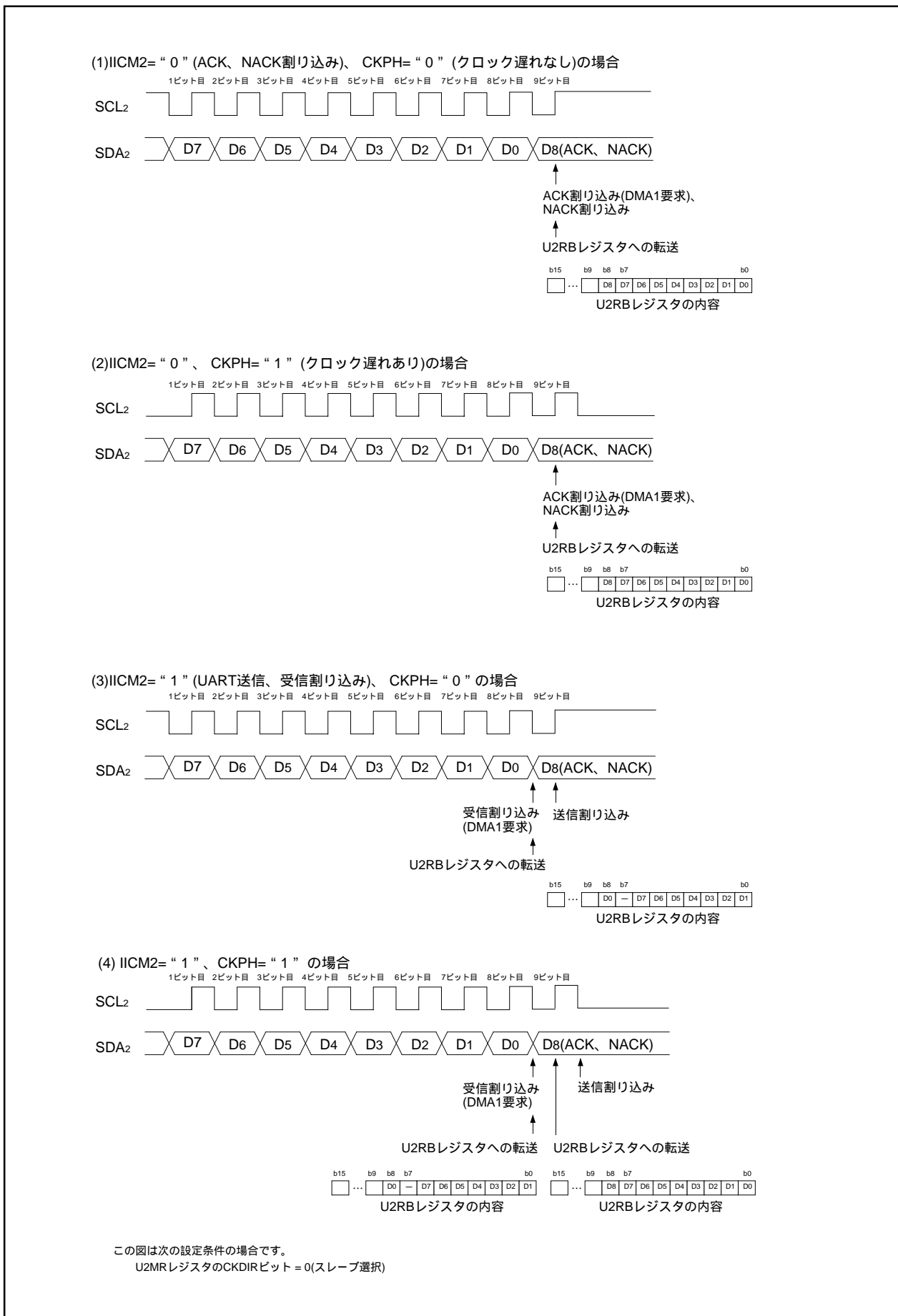


図14.23 U2RBレジスタへの転送、割り込みのタイミング

14.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL2端子が“H”の状態ですDA2端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL2端子が“H”の状態ですDA2端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、U2SMRレジスタのBBSビットで判定してください。

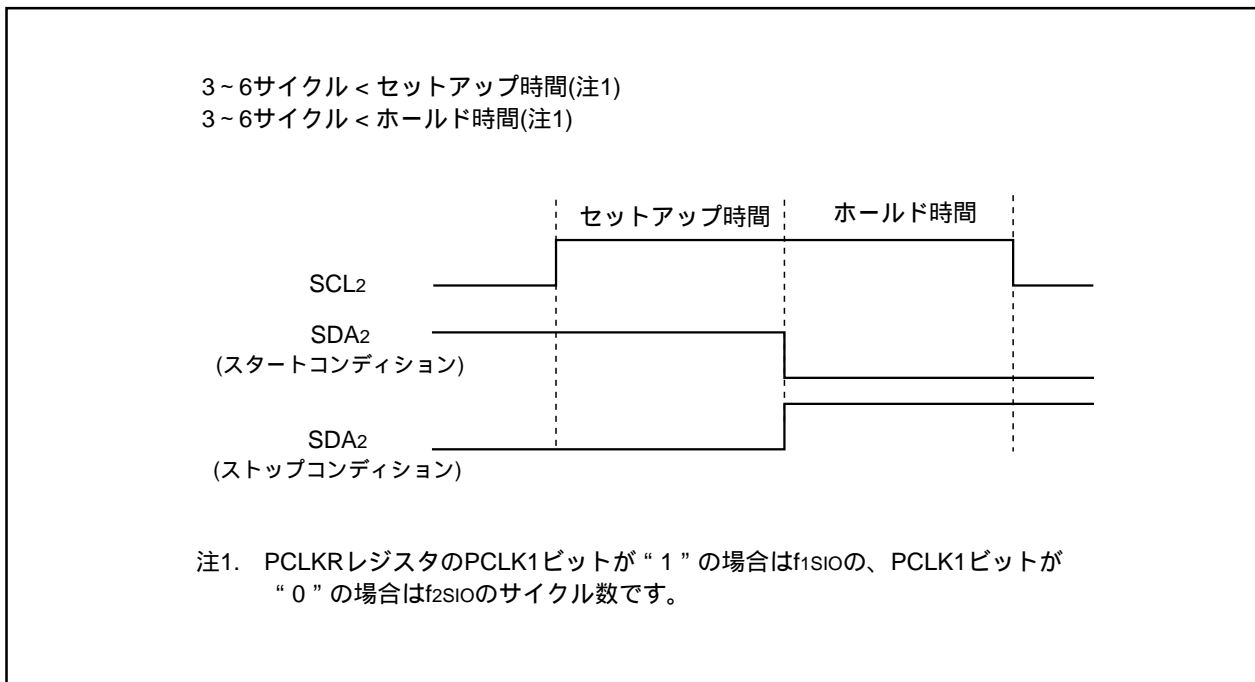


図14.24 スタートコンディション、ストップコンディションの検出

14.1.3.2 スタートコンディション、ストップコンディションの出力

U2SMR4レジスタのSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

U2SMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

U2SMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。出力の手順は次の通りです。

- (1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする
- (2) U2SMR4レジスタのSTSPSELビット“1”(出力)にする

表14.14と図14.25にSTSPSELビットの機能を示します。

表14.14 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCL2、SDA2端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション生成終了

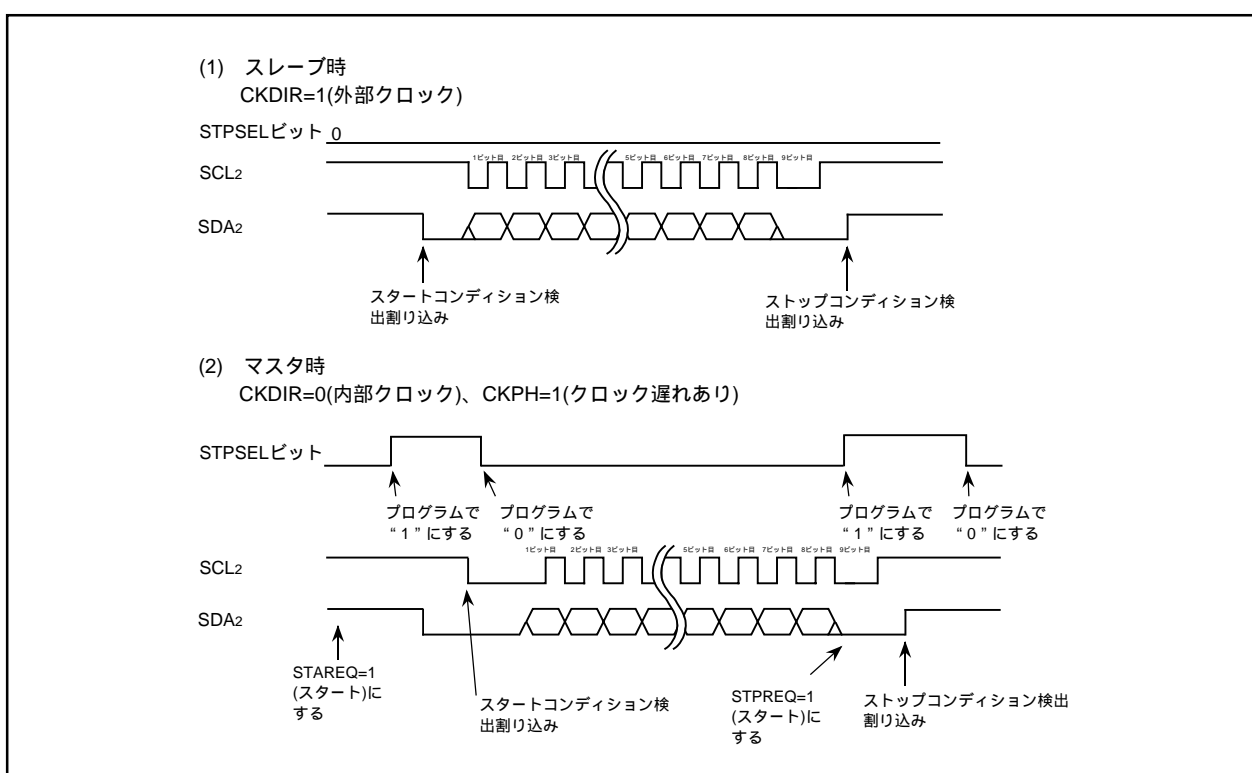


図14.25 STSPSELビットの機能

14.1.3.3 アービトレーション

SCL2の立ち上がりのタイミングで、送信データとSDA2端子入力データの不一致を判定します。U2SMRレジスタのABCビットで、U2RBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9発目のクロックの立ち下がりABTビットが“1”(不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトを転送してください。

U2SMR2レジスタのALSビットを“1”(SDA2出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”(不一致検出)になったとき、同時にSDA2端子がハイインピーダンス状態になります。

14.1.3.4 転送クロック

図14.25に示すような転送クロックで送受信を行います。

U2SMR2レジスタのCSCビットは内部で生成したクロック(内部SCL₂)と、SCL₂端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCL₂が“H”の場合、SCL₂端子に立ち下がりエッジがあれば内部SCL₂を“L”とし、U2BRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCL₂端子が“L”のとき、内部SCL₂が“L”から“H”に変化するとカウントを停止し、SCL₂端子が“H”になるとカウントを再開します。したがって、UART2の転送クロックは、内部SCL₂とSCL₂端子の信号の論理積になります。なお、転送クロックは内部SCL₂の1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

U2SMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCL₂端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

U2SMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCL₂出力を停止します(ハイインピーダンス状態)。

U2SMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCL₂端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCL₂端子からの“L”出力は解除され、転送クロックが入出力されます。

U2SMR3レジスタのCKPHビットが“1”のとき、U2SMR4レジスタのSWC9ビットを“1”(SCL₂“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCL₂端子は“L”出力固定になります。SWC9ビットを“0”(SCL₂“L”ホールド禁止)にすると“L”出力固定は解除されます。

14.1.3.5 SDA₂出力

U2TBレジスタのビット7~0(D₇~D₀)に書いた値を、D₇から順に出力します。9ビット目(D₈)はACKまたはNACKです。

SDA₂送信出力の初期値は、IICM=1(I²C busモード)で、U2MRレジスタのSMD₂~SMD₀ビットが“000₂”(シリアルI/Oは無効)の状態を設定してください。

U2SMR3レジスタのDL₂~DL₀ビットによりSDA₂の出力を遅延なし、またはU2BRGカウントソースの2~8サイクルの遅延を設定できます。

U2SMR2レジスタのSDHIビットを“1”(SDA₂出力禁止)にすると、SDA₂端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUART2の転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

14.1.3.6 SDA₂入力

IICM2ビットが“0”のとき、受信したデータの1~8ビット目(D₇~D₀)をU2RBレジスタのビット7~0に格納します。9ビット目(D₈)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1~7ビット目(D₇~D₁)をU2RBレジスタのビット6~0に、8ビット目(D₀)をU2RBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にU2RBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

14.1.3.7 ACK、NACK

U2SMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でU2SMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、U2SMR4レジスタのACKDビットの値がSDA2端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDA2端子が“L”ならば発生します。

DMA1要求要因にACKを選択すると、アクノリッジ検出によってDMA転送を起動できます。

14.1.3.8 送受信初期化

STACビットを“1”(UART2初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、U2TBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UART2出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。

- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。

- SWCビットが“1”(SCL2ウエイト出力許可)になります。これにより、クロックの9ビット目の立ち下がり時でSCL2端子が“L”になります。

なお、この機能を使用しUART2の送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

14.1.4 特殊モード2(UART2)

1つのマスタから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。表14.15に特殊モード2の仕様を、表14.16に特殊モード2時の使用レジスタと設定値を、図14.26に特殊モード2の通信制御例を示します。

表14.15 特殊モード2の仕様

項 目	仕 様
転送データフォーマット	転送データ長 8ビット
転送クロック	マスタモード U2MRレジスタのCKDIRビットが“0”(内部クロック選択) : $f_j/(2(n+1))$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ n : U2BRGレジスタ設定値。0016 ~ FF16。 スレーブモード CKDIRビットが“1”(外部クロック選択) : CLK2端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要です。(注1) ・ U2C1レジスタのTEビットが“1”(送信許可) ・ U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です。(注1) ・ U2C1レジスタのREビットが“1”(受信許可) ・ TEビットが“1”(送信許可) ・ TIビットが“0”(U2TBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます。 ・ U2C1レジスタのU2IRSビットが“0”(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) ・ U2IRSビットが“1”(送信完了) : UART2送信レジスタからデータ送信完了時 受信時 ・ UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

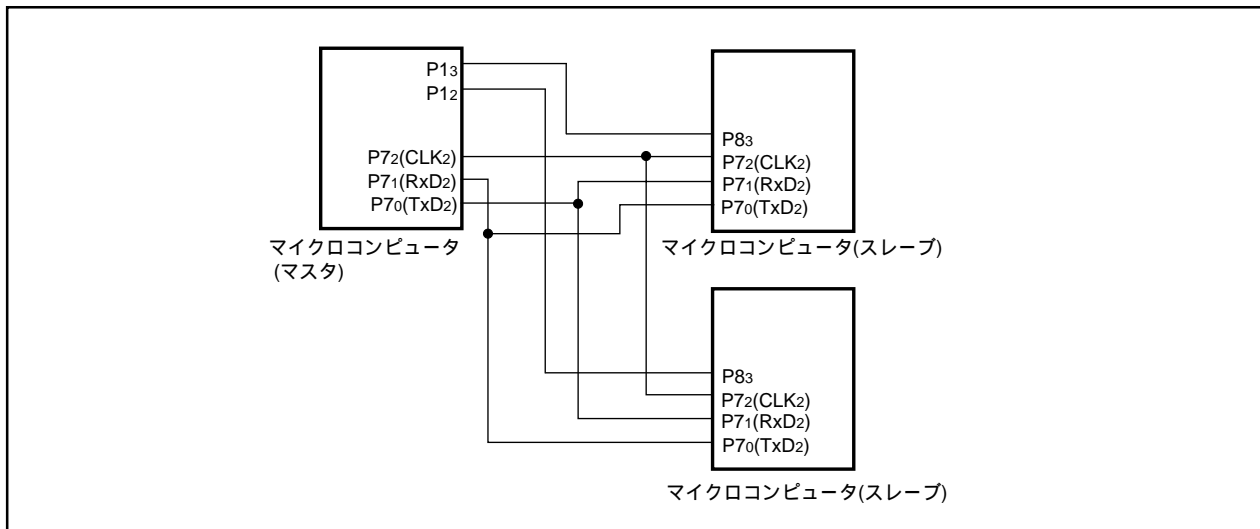


図14.26 特殊モード2の通信制御例(UART2)

表14.16 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	0~7	送信データを設定してください
U2RB(注1)	0~7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	0~7	転送速度を設定してください
U2MR(注1)	SMD2~SMD0	“0012” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“0” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=“1”なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxD2端子の出力形式を選択してください
	CKPOL	U2SMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	“0” にしてください
U2C1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM、U2LCH、U2ERE	“0” にしてください
U2SMR	0~7	“0” にしてください
U2SMR2	0~7	“0” にしてください
U2SMR3	CKPH	U2C0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0” にしてください
	0、2、4~7	“0” にしてください
U2SMR4	0~7	“0” にしてください

注1. この表に記載していないビットは特殊モード2時に書く場合、“0”を書いてください。

14.1.4.1 クロック位相設定機能

U2SMR3レジスタのCKPHビットとU2C0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

14.1.4.1.1 マスタ(内部クロック)の場合

図14.27にマスタ(内部クロック)の場合の送受信のタイミングを示します。

14.1.4.1.2 スレーブ(外部クロック)の場合

図14.28にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図14.29にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

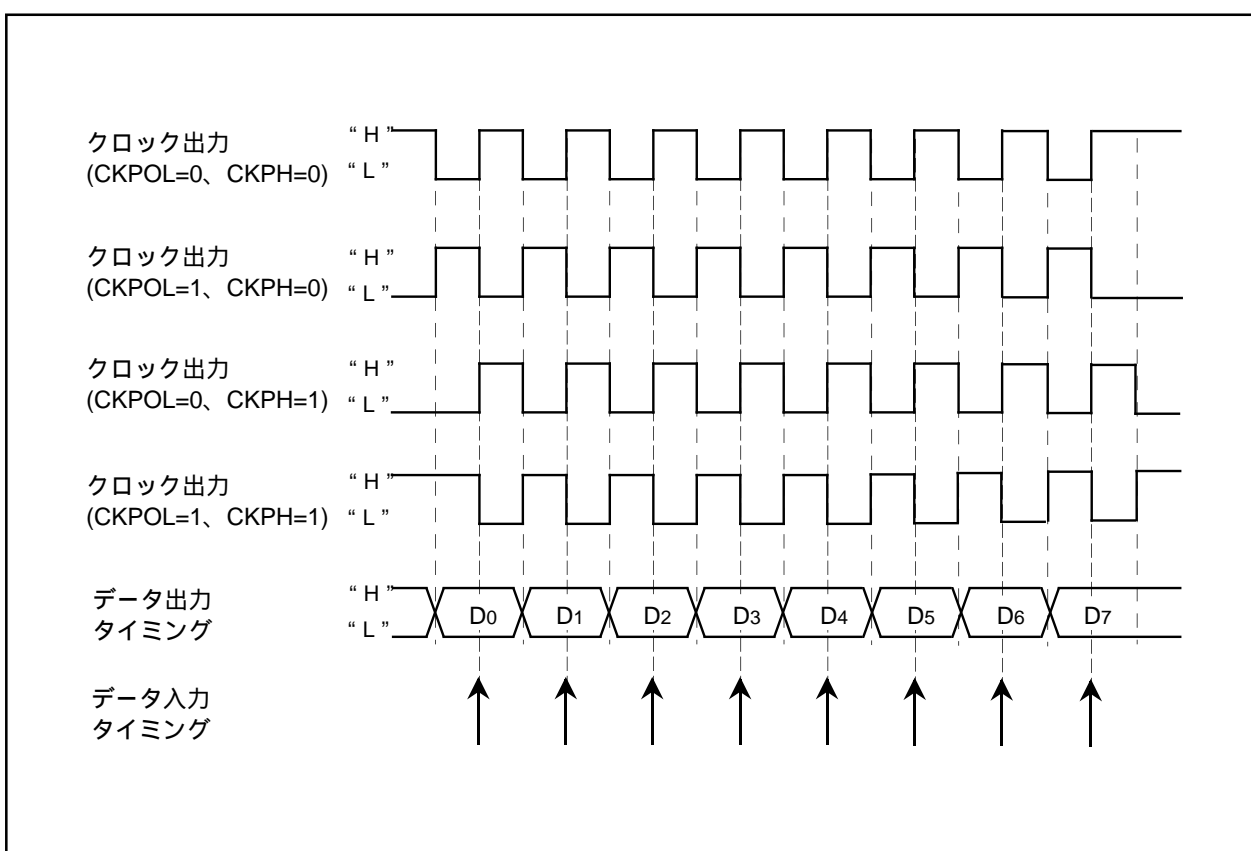


図14.27 マスタ(内部クロック)の場合の送受信のタイミング

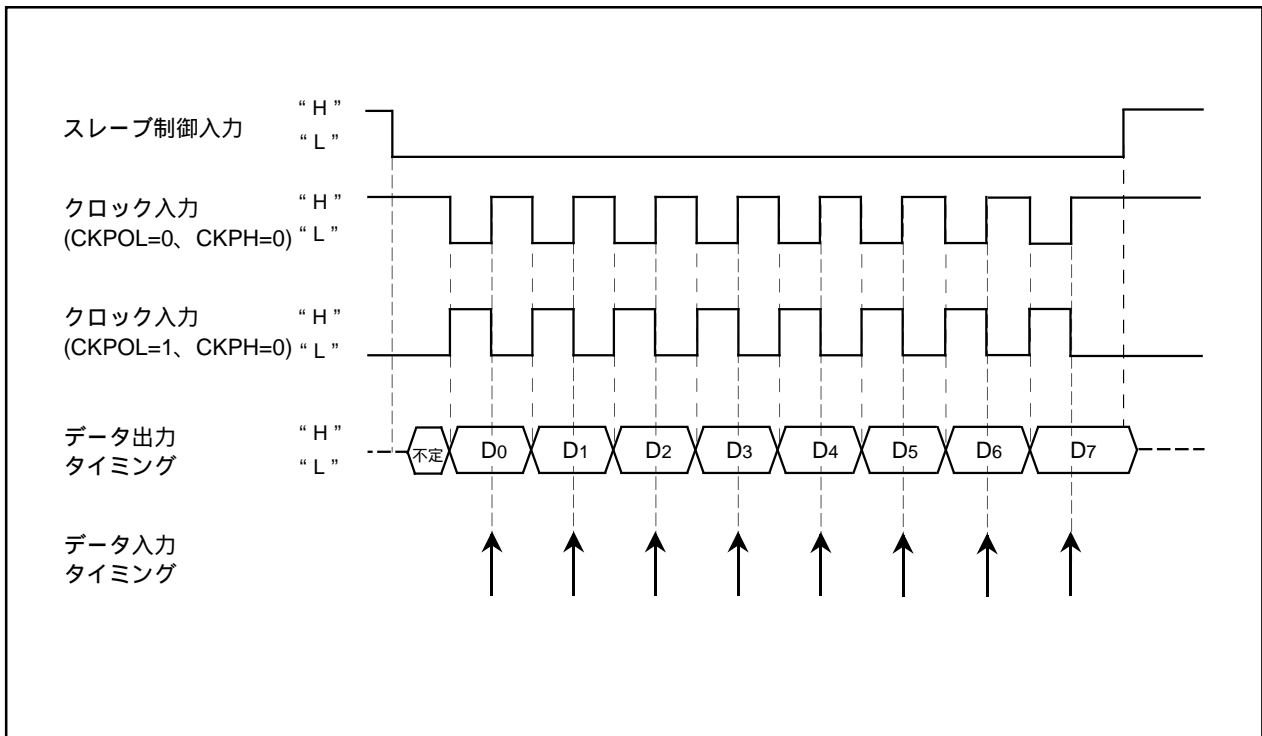


図14.28 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

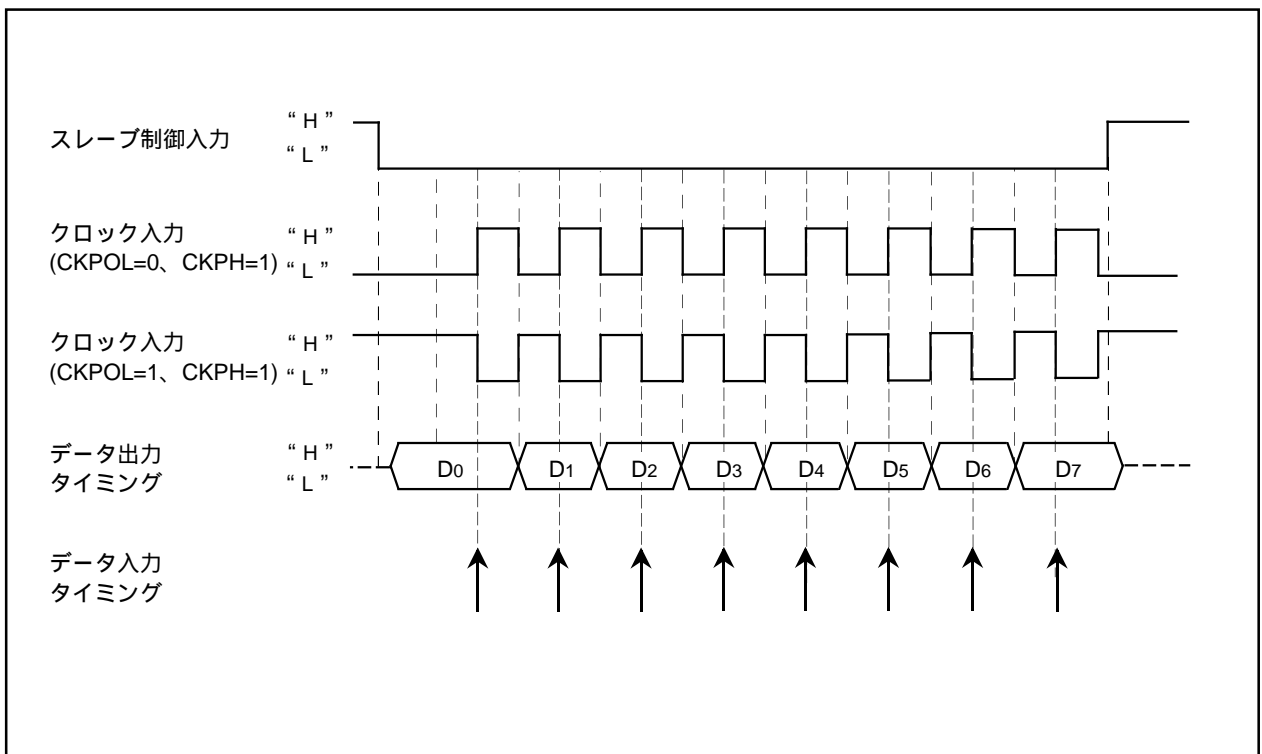


図14.29 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

14.1.5 特殊モード3(IEBusモード)(UART2)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表14.17にIEBusモード時の使用レジスタと設定値を、図14.30にバス衝突検出機能関連ビットの機能を示します。

TxD2端子の出力レベルとRxD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

表14.17 IEBusモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB	0~8	送信データを設定してください
U2RB(注1)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	転送速度を設定してください
U2MR	SMD2~SMD0	“110 ₂ ” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TxD、RxD入出力極性を選択してください
U2C0	CLK1~CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxD2端子の出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
U2C1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS	URAT2送信割り込み要因を選択してください
	U2RRM、 U2LCH、U2ERE	“0” にしてください
	U2SMR	0~3、7
ABSCS		バス衝突検出サンプリングタイミングを選択してください
ACSE		送信許可ビット自動クリアを使用する場合、“1” にしてください
SSS		送信開始条件を選択してください
U2SMR2	0~7	“0” にしてください
U2SMR3	0~7	“0” にしてください
U2SMR4	0~7	“0” にしてください

注1. この表に記載していないビットはIEBusモード時に書く場合、“0” を書いてください。

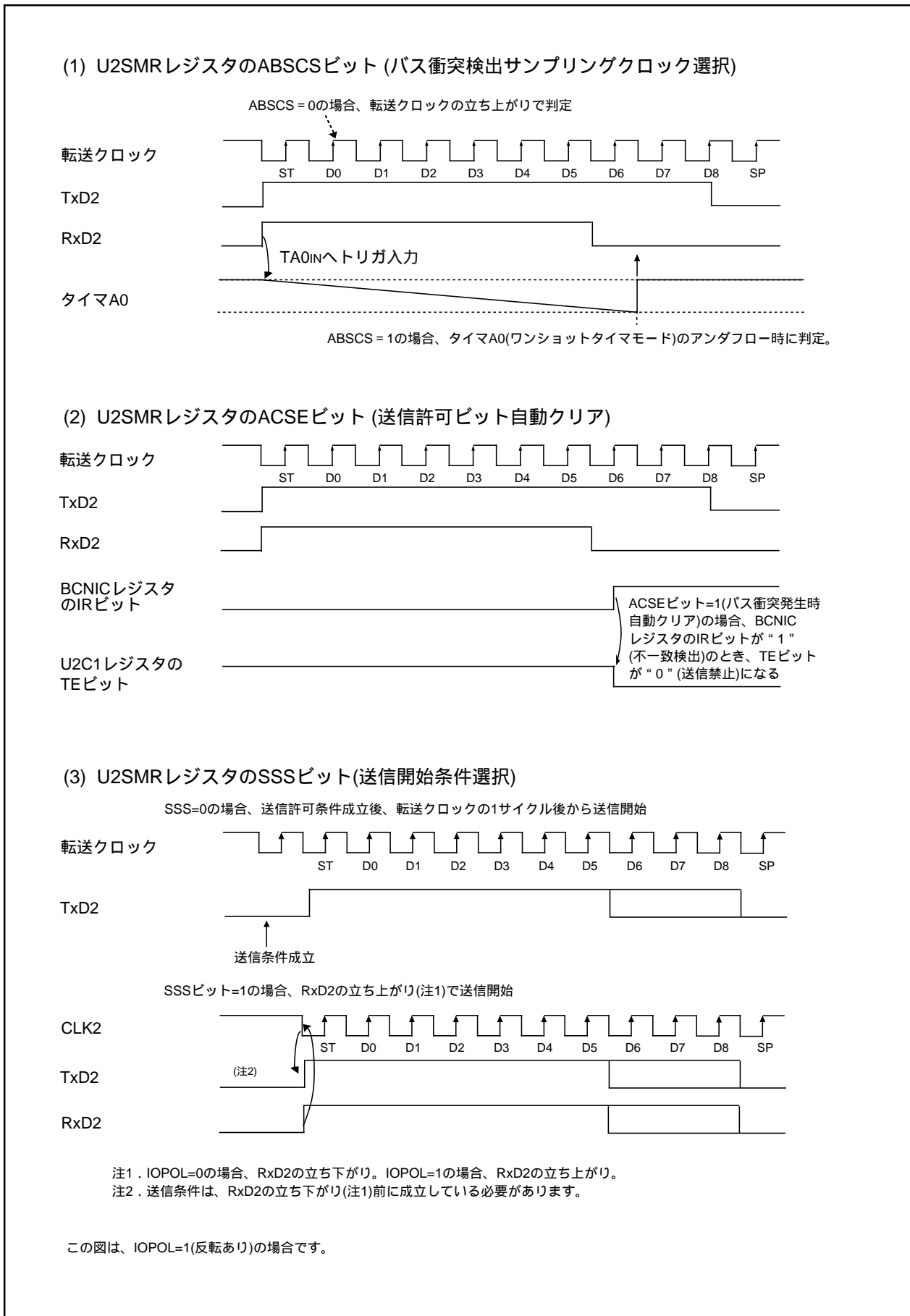


図14.30 バス衝突検出機能関連ビットの機能

14.1.6 特殊モード4(SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTxD2端子から“L”を出力できます。

表14.18にSIMモードの仕様を、表14.19にSIMモード時の使用レジスタと設定値を示します。

表14.18 SIMモードの仕様

項 目	仕 様
転送データフォーマット	ダイレクトフォーマット インバースフォーマット
転送クロック	U2MRレジスタのCKDIRビットが“0”(内部クロック) : $f_i/(16(n+1))$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ 。n=U2BRGレジスタの設定値 0016 ~ FF16 CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT} はCLK2端子からの入力。n=U2BRGレジスタの設定値 0016 ~ FF16
送信開始条件	送信開始には、次の条件が必要です。 ・ U2C1レジスタのTEビットが“1”(送信許可) ・ U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です。 ・ U2C1レジスタのREビットが“1”(受信許可) ・ スタートビットの検出
割り込み要求発生タイミング (注2)	送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=“1”) 受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー 受信時、パリティエラーを検出すると、パリティエラー信号をTxD2端子から出力 送信時、送信割り込み発生時、RxD2端子の入力レベルによりパリティエラーを検知 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

表14.19 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	0~7	送信データを設定してください
U2RB(注1)	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0~7	転送速度を設定してください
U2MR	SMD2~SMD0	“1012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合“0”にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
U2C0	CLK0,CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“1” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合、“1” にしてください
U2C1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1” にしてください
	RI	受信完了フラグ
	U2IRS	“1” にしてください
	U2RRM	“0” にしてください
	U2LCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1” にしてください
	U2ERE	“1” にしてください
U2SMR(注1)	0~3	“0” にしてください
U2SMR2	0~7	“0” にしてください
U2SMR3	0~7	“0” にしてください
U2SMR4	0~7	“0” にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、“0”を書いてください。

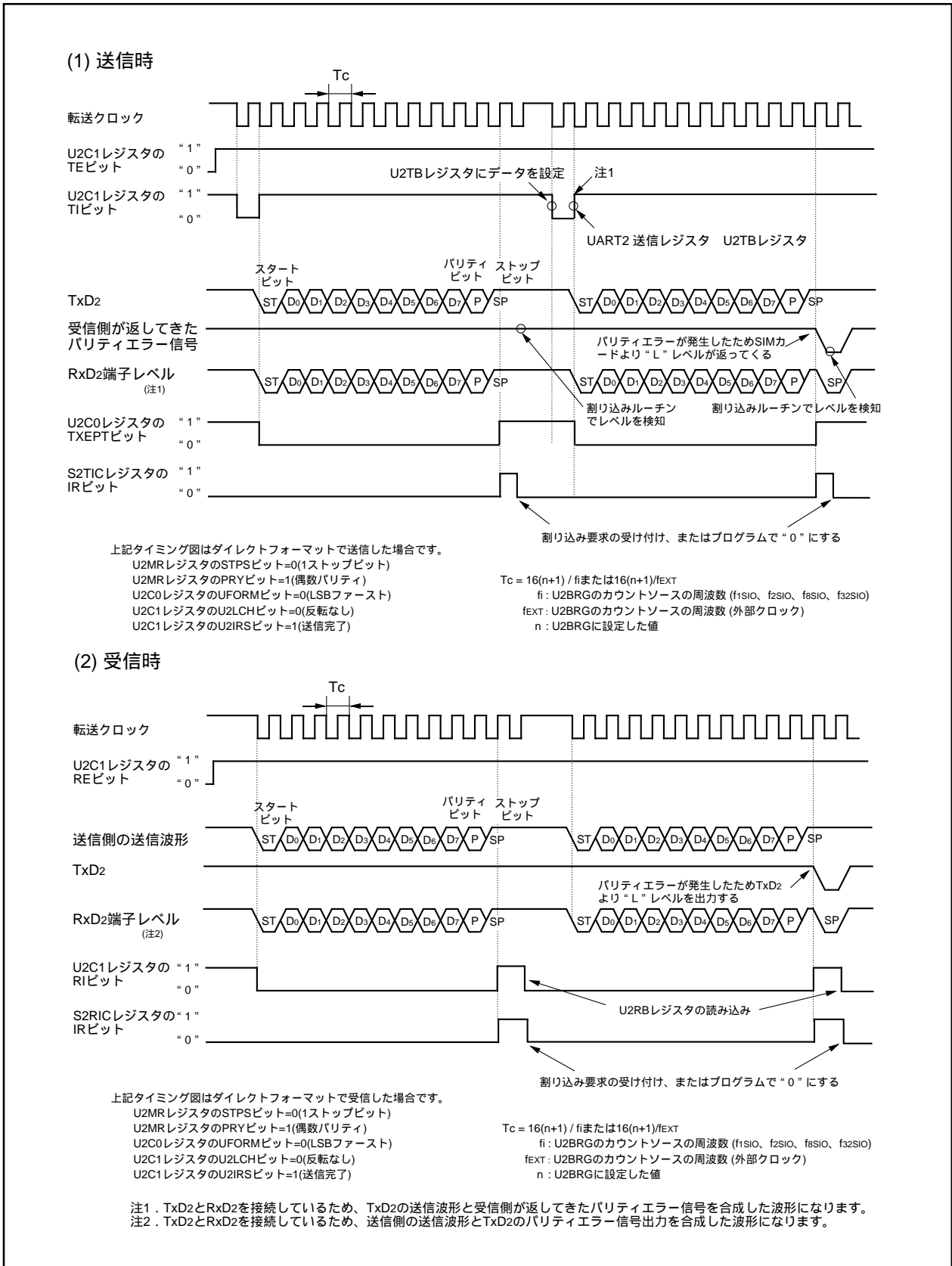


図14.31 SIMモードの送受信タイミング例

図14.32にSIMインタフェースの接続例を示します。TxD2とRxD2を接続してプルアップしてください。

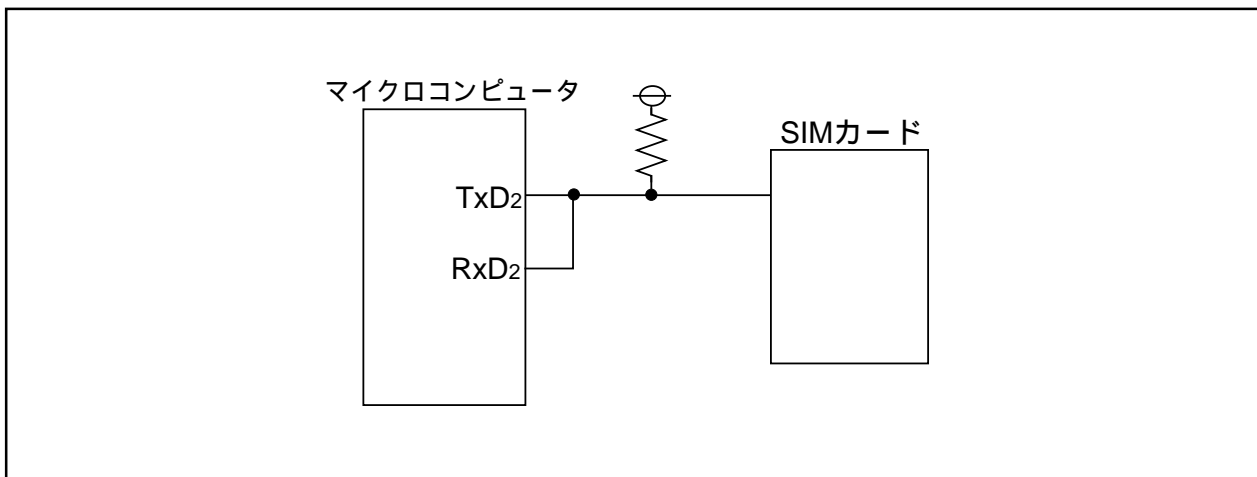


図14.32 SIMインタフェース接続例

14.1.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”にすると、パリティエラー信号を使用できます。

・受信時

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図14.33に示すタイミングでTxD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、PERビットが“0”になり、同時にTxD2出力も“H”に戻ります。

・送信時

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりが発生します。したがって、送信完了割り込みルーチンで、RxD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

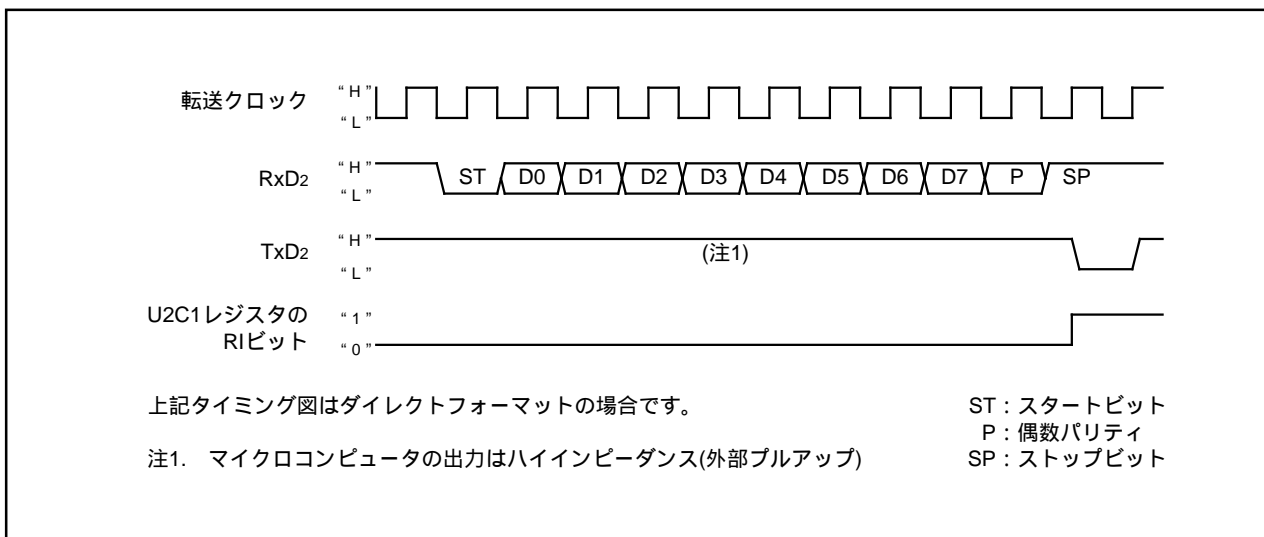


図14.33 パリティエラー信号出力タイミング

14.1.6.2 フォーマット

・ダイレクトフォーマット

U2MRレジスタのPRYビットを“1”、U2C0レジスタのUFORMビットを“0”、U2C1レジスタのU2LCHビットを“0”にしてください。

・インバースフォーマット

PRYビットを“0”、UFORMビットを“1”、U2LCHビットを“1”にしてください。

図14.34にSIMインタフェースフォーマットを示します。

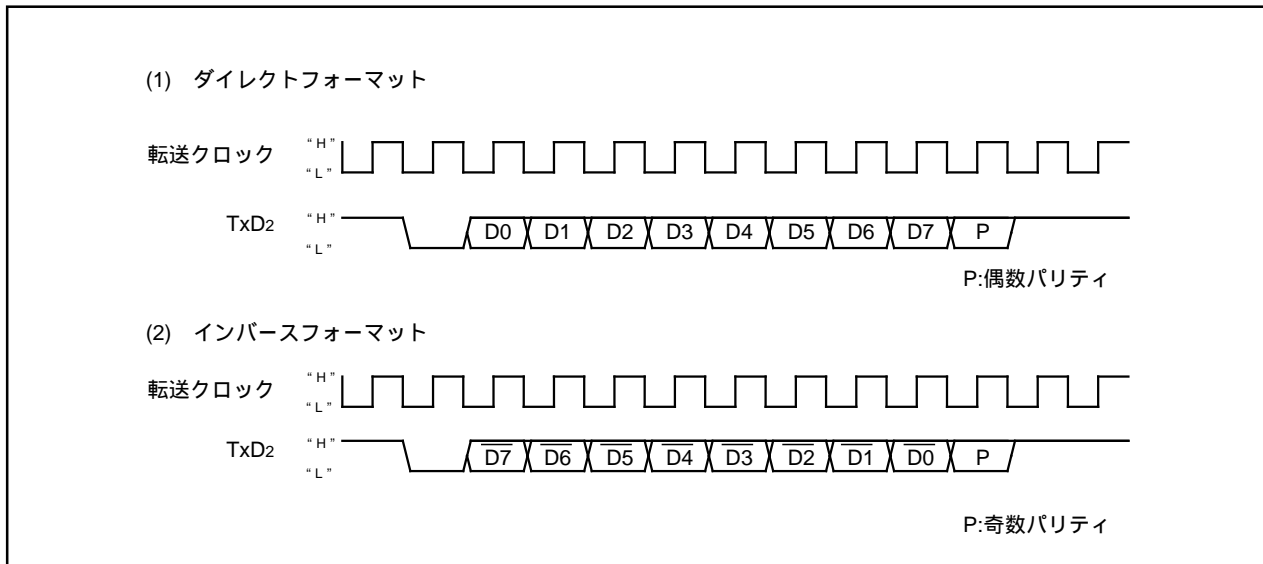


図14.34 SIMインタフェースフォーマット

14.2 SI/O3、SI/O4

注意

64ピン版にはSI/O4がありません。64ピン版はSI/O4を使用しないでください。

SI/O3、SI/O4は、クロック同期形専用シリアルI/Oです。

図14.35にSI/O3、SI/O4ブロック図、図14.36にSI/O3、SI/O4関連レジスタを示します。

表14.20にSI/O3、SI/O4の仕様を示します。

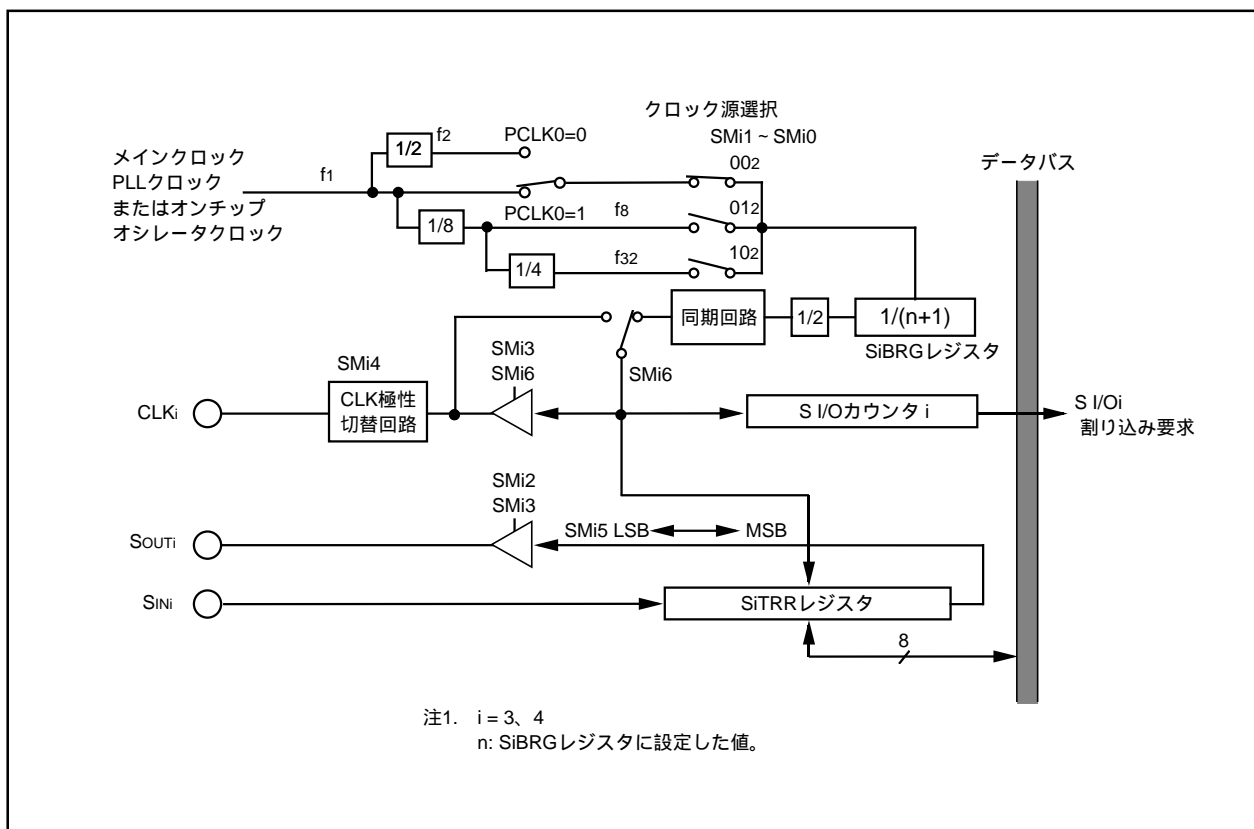


図14.35 SI/O3、SI/O4ブロック図

S I/O_i 制御レジスタ (i = 3、4) (注1)

b7	b6	b5	b4	b3	b2	b1	b0

	シンボル	アドレス	リセット後の値
	S3C	0362 ₁₆ 番地	01000000 ₂
	S4C	0366 ₁₆ 番地	01000000 ₂

ビットシンボル	ビット名	機能	RW
SMi0	内部同期クロック選択ビット (注5)	b1 b0 0 0 : f ₁ またはf ₂ を選択 0 1 : f ₈ を選択 1 0 : f ₃₂ を選択 1 1 : 設定しないでください	RW
SMi1			RW
SMi2	Sout _i 出力禁止ビット (注4)	0 : Sout _i 出力 1 : Sout _i 出力禁止(ハイインピーダンス)	RW
SMi3	S I/O _i ポート選択ビット	0 : 入出力ポート 1 : Sout _i 出力、CLK _i 機能	RW
SMi4	CLK極性選択ビット	0 : 転送クロック立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロック立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
SMi5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	RW
SMi6	同期クロック選択ビット	0 : 外部クロック (注2) 1 : 内部クロック (注3)	RW
SMi7	Sout _i 初期値設定ビット	SMi3=0の場合に有効 0 : “L” 出力 1 : “H” 出力	RW

注1. S4Cレジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。
 注2. SMi3ビットを“1”に、対応するポート方向ビットを“0”(入力モード)にしてください。
 注3. SMi3ビットを“1”(Sout_i出力、CLK_i機能)にしてください。
 注4. SMi2ビットを“1”にすると、対象端子は使用している機能に関係なくハイインピーダンスになります。
 注5. SMi1 ~ SMi0ビットを変更した場合は、SiBRGレジスタを設定してください。

S I/O_i転送速度レジスタ (i = 3、4) (注1、2、3)

b7	b0

	シンボル	アドレス	リセット後の値
	S3BRG	0363 ₁₆ 番地	不定
	S4BRG	0367 ₁₆ 番地	不定

機能	設定範囲	RW
設定値をnとすると、SiBRGはカウントソースをn+1分周する	00 ₁₆ ~ FF ₁₆	WO

注1. 送受信停止中に書いてください。
 注2. このレジスタはMOV命令を使用して書いてください。
 注3. このレジスタはSiCレジスタのSMi1 ~ SMi0ビットを設定した後に書いてください。

S I/O_i送受信レジスタ (i = 3、4) (注1、2)

b7	b0

	シンボル	アドレス	リセット後の値
	S3TRR	0360 ₁₆ 番地	不定
	S4TRR	0364 ₁₆ 番地	不定

機能	RW
送信データを書くと送受信が始まり、送受信完了後、読むと受信データが読める	RW

注1. 送受信停止中に書いてください。
 注2. 受信する場合は、SiNiに対応するポート方向ビットを“0”(入力モード)にしてください。

図14.36. S3C、S4C、S3BRG、S4BRG、S3TRR、S4TRRレジスタ

表14.20 SI/O3、SI/O4の仕様

項 目	仕 様
転送データフォーマット	転送データ長 8ビット
転送クロック	SiCレジスタ(i=3、4)のSMi6ビットが“1”(内部クロック) : $f_j/(2(n+1))$ $f_j=f_1、f_2、f_8、f_{32}$ 。n=SiBRGレジスタの設定値 0016 ~ FF16 SMi6ビットが“0”(外部クロック) : CLKi端子から入力(注1)
送受信開始条件 割り込み要求発生タイミング	送受信開始には、次の条件が必要です SiTRRレジスタに送信データを書く(注2、注3) SiCレジスタのSMi4ビットが“0”の場合 最後の転送クロックの立ち上がり(注4) SMi4ビットが“1”の場合 最後の転送クロックの立ち下がり(注4)
CLKi端子機能	入出力ポート、転送クロック入力、転送クロック出力
SOUTi端子機能	入出力ポート、送信データ出力、ハイインピーダンス
SINI端子機能	入出力ポート、受信データ入力
選択機能	LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 Souti初期出力設定機能 SiCレジスタのSMi6ビットが“0”(外部クロック)の場合、送信していないときのSouti端子出力レベルを選択可 CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可

- 注1. SiCレジスタのSMi6ビットを“0”(外部クロック)にする場合は、次のようにしてください。
- ・ SiCレジスタのSMi4ビットが“0”の場合、CLKi端子に“H”が入力されている状態でSiTRRレジスタに送信データを書いてください。SiCレジスタのSMi7ビットを書き換える場合も同様です。
 - ・ SMi4ビットが“1”の場合、CLKi端子に“L”が入力されている状態でSiTRRレジスタに送信データを書いてください。SMi7ビットを書き換える場合も同様です。
 - ・ 転送クロックがS I/Oi回路に入力されている間はシフト動作をし続けますので、転送クロックは8回で止めてください。SMi6ビットが“1”(内部クロック)の場合、転送クロックは自動的に停止します。
- 注2. SI/Oi(i=3~4)は、UART0~UART2と違い、転送のためのレジスタとバッファに分かれていません。したがって、送信中に次の送信データをSiTRRレジスタに書かないでください。
- 注3. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送終了後SOUTiは、1/2転送クロック間、最終データを保持し、ハイインピーダンス状態になります。しかし、この間に送信データをSiTRRレジスタに書いた場合、書いたときからハイインピーダンス状態になり、データのホールド時間が短くなります。
- 注4. SiCレジスタのSMi6ビットが“1”(内部クロック)のとき、転送クロックは、SMi4ビットが“0”の場合は“H”の状態での停止し、SMi4ビットが“1”の場合は“L”で停止します。

14.2.1 SI/Oi動作タイミング

図14.37にSI/Oi動作タイミング図を示します。

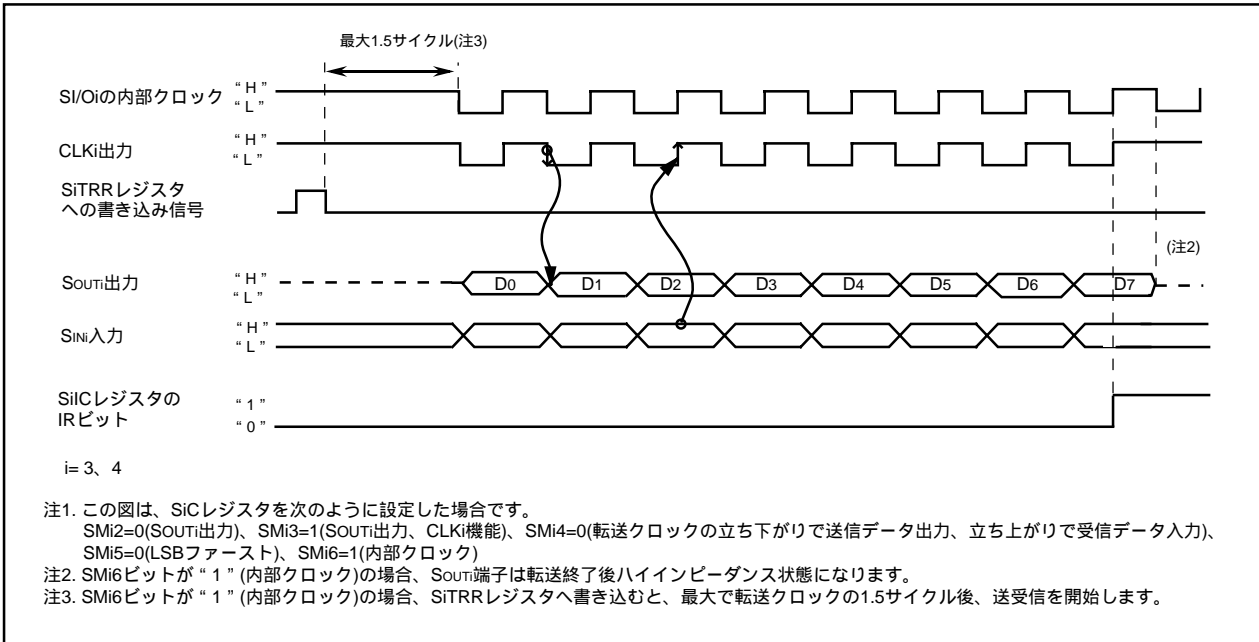


図14.37 SI/Oi動作タイミング図

14.2.2 CLK極性選択

SiCレジスタのSMi4ビットで転送クロックの極性を選択できます。図14.38に転送クロックの極性を示します。

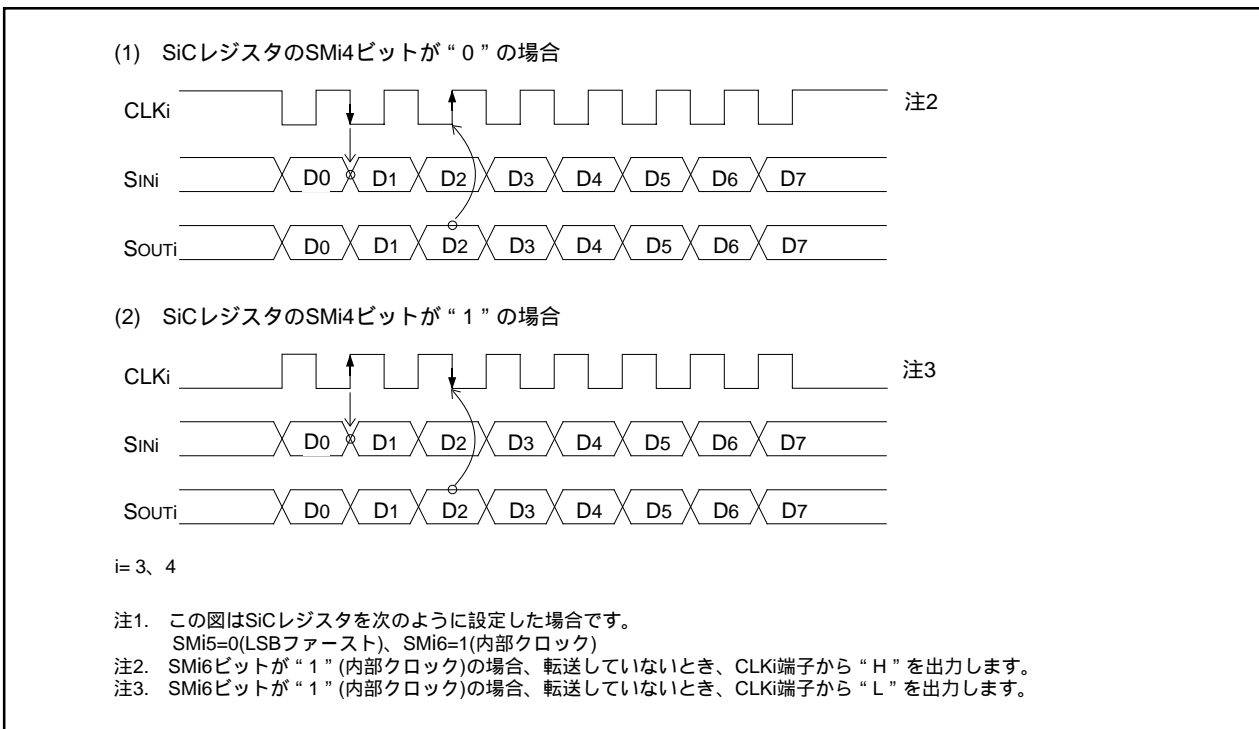


図14.38 転送クロックの極性

14.2.3 Souti初期出力設定機能

SiCレジスタのSMi6ビットが“0” (外部クロック)の場合、転送していないときのSouti端子の出力を“H” または“L”のどちらかに設定できます。ただし、連続してデータを送信する場合、データとデータの間は、前のデータの最終ビットの値を保持します。図14.39にSouti初期出力設定時のタイミング図、設定方法を示します。

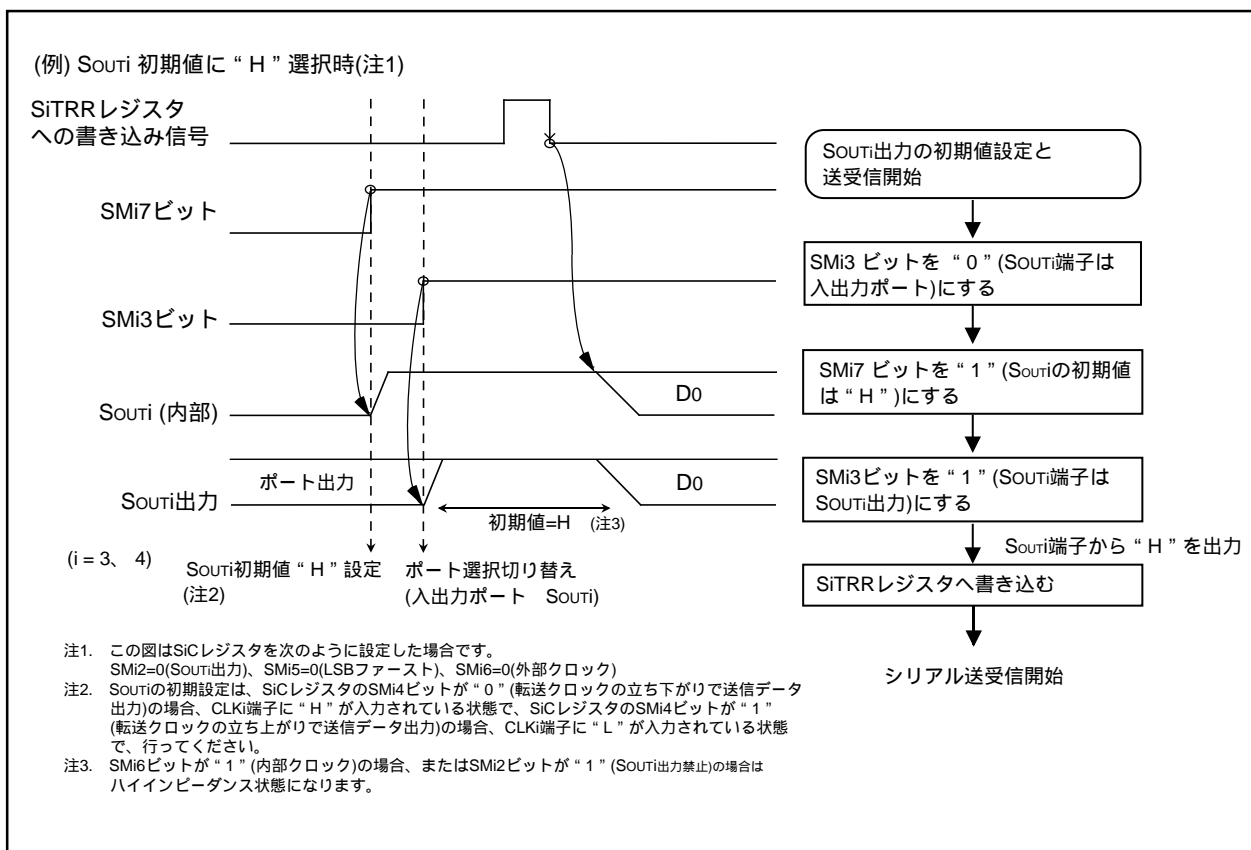


図14.39 Souti初期出力設定時のタイミング図、設定方法

15. A/Dコンバータ

注意

M16C/28(64ピン版)にはP04～P07(AN04～AN07)、P10～P13(AN20～AN23)、P95～P97(AN25～AN27)がありません。M16C/28(64ピン版)では、アナログ入力端子としてP04～P07(AN04～AN07)、P10～P13(AN20～AN23)、P95～P97(AN25～AN27)を使用しないでください。

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P100～P107(AN0～AN7)、P00～P07(AN00～AN07)、P10～P13、P93、P95～P97(AN20～AN27)と端子を共用しています。また、ADTRG入力はP15と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。

A/Dコンバータを使用しない場合、VCUTビットを“0”(Vref未接続)にすると、VREF端子からラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN_i、AN0_i、AN2_i端子(i=0～7)に対応したA/Dレジスタiに格納されます。

表15.1にA/Dコンバータの仕様、図15.1にA/Dコンバータのブロック図、図15.2～図15.4にA/Dコンバータ関連レジスタを示します。

表15.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC)
動作クロック AD(注2)	f _{AD} 、f _{AD} の2分周、f _{AD} の3分周、f _{AD} の4分周、f _{AD} の6分周、またはf _{AD} の12分周
分解能	8ビットまたは10ビット
積分非直線性誤差	AVCC=VREF=5Vのとき ・分解能8ビットの場合 ±2LSB ・分解能10ビットの場合 ±3LSB AVCC=VREF=3.3Vのとき ・分解能8ビットの場合 ±2LSB ・分解能10ビットの場合 ±5LSB
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、同時サンプル掃引モード、遅延トリガモード0、遅延トリガモード1
アナログ入力端子	8本(AN0～AN7) + 8本(AN00～AN07) + 8本(AN20～AN27) (80ピン版、85ピン版) 8本(AN0～AN7) + 4本(AN00～AN03) + 1本(AN24) (64ピン版)
1端子あたりの変換速度	・サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル 分解能10ビットの場合59 ADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル 分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. ADの周波数を10MHz以下(M16C/28Bは12MHz以下)にしてください。

サンプル&ホールド機能なしの場合、ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありの場合、ADの周波数は1MHz以上にしてください。

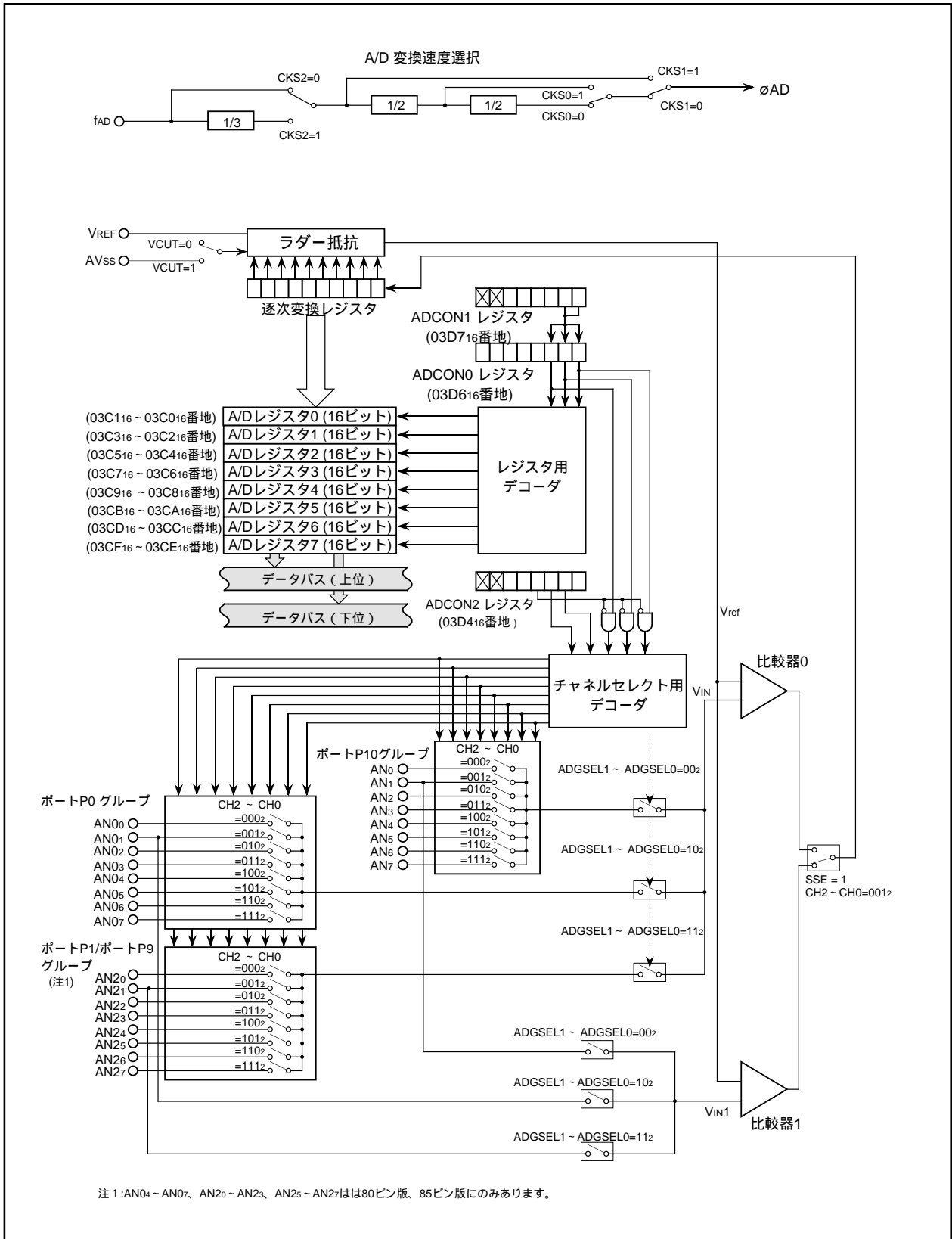


図15.1 A/Dコンバータのブロック図

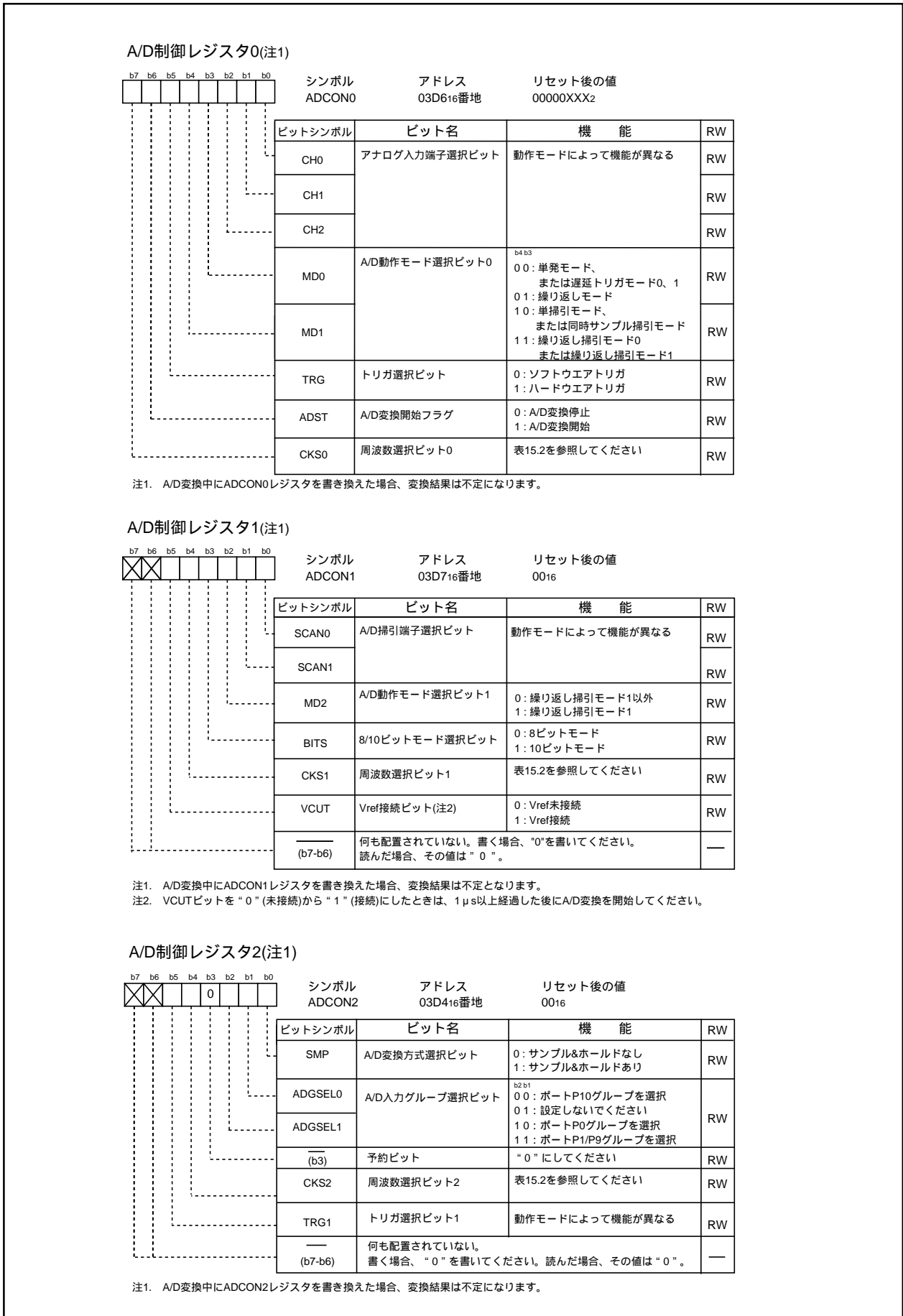


図15.2 ADCON0～ADCON2レジスタ

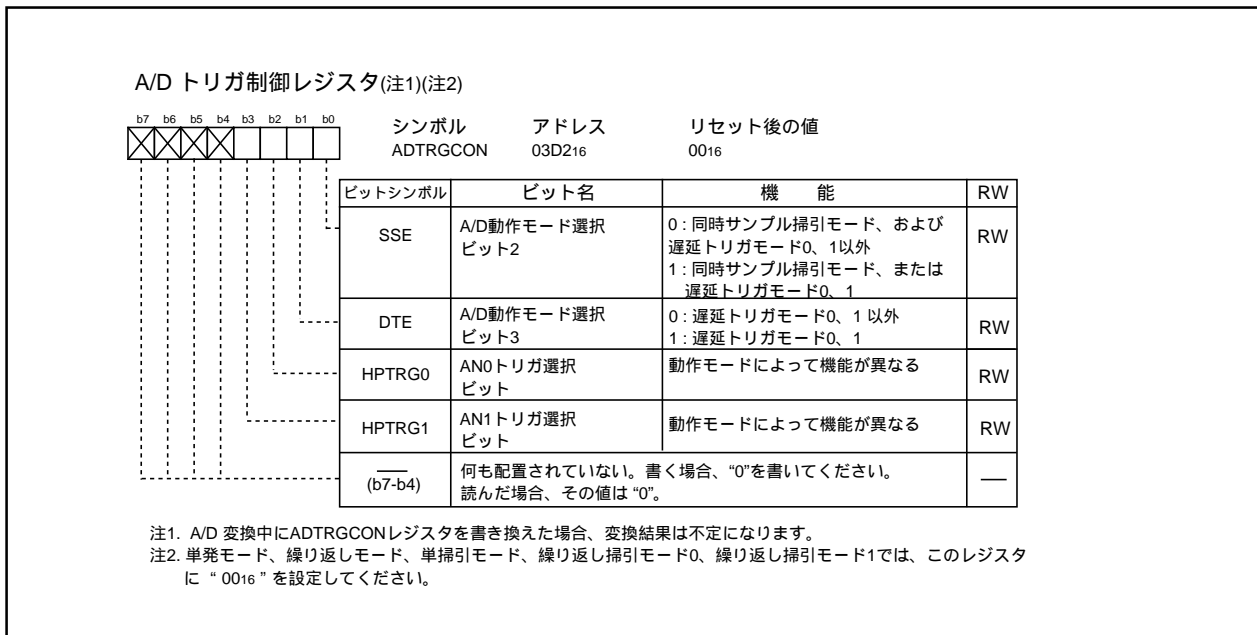


図15.3 ADTRGCONレジスタ

表15.2. A/D変換周波数の選択

CKS2	CKS1	CKS0	ϕ_{AD}
0	0	0	f_{AD} の4分周
0	0	1	f_{AD} の2分周
0	1	0	f_{AD}
0	1	1	
1	0	0	f_{AD} の12分周
1	0	1	f_{AD} の6分周
1	1	0	f_{AD} の3分周
1	1	1	

注1. ADの周波数は10MHz以下 (M16C/28Bは12MHz以下) にしてください。ADはADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS2ビットの組み合わせで選択できます。

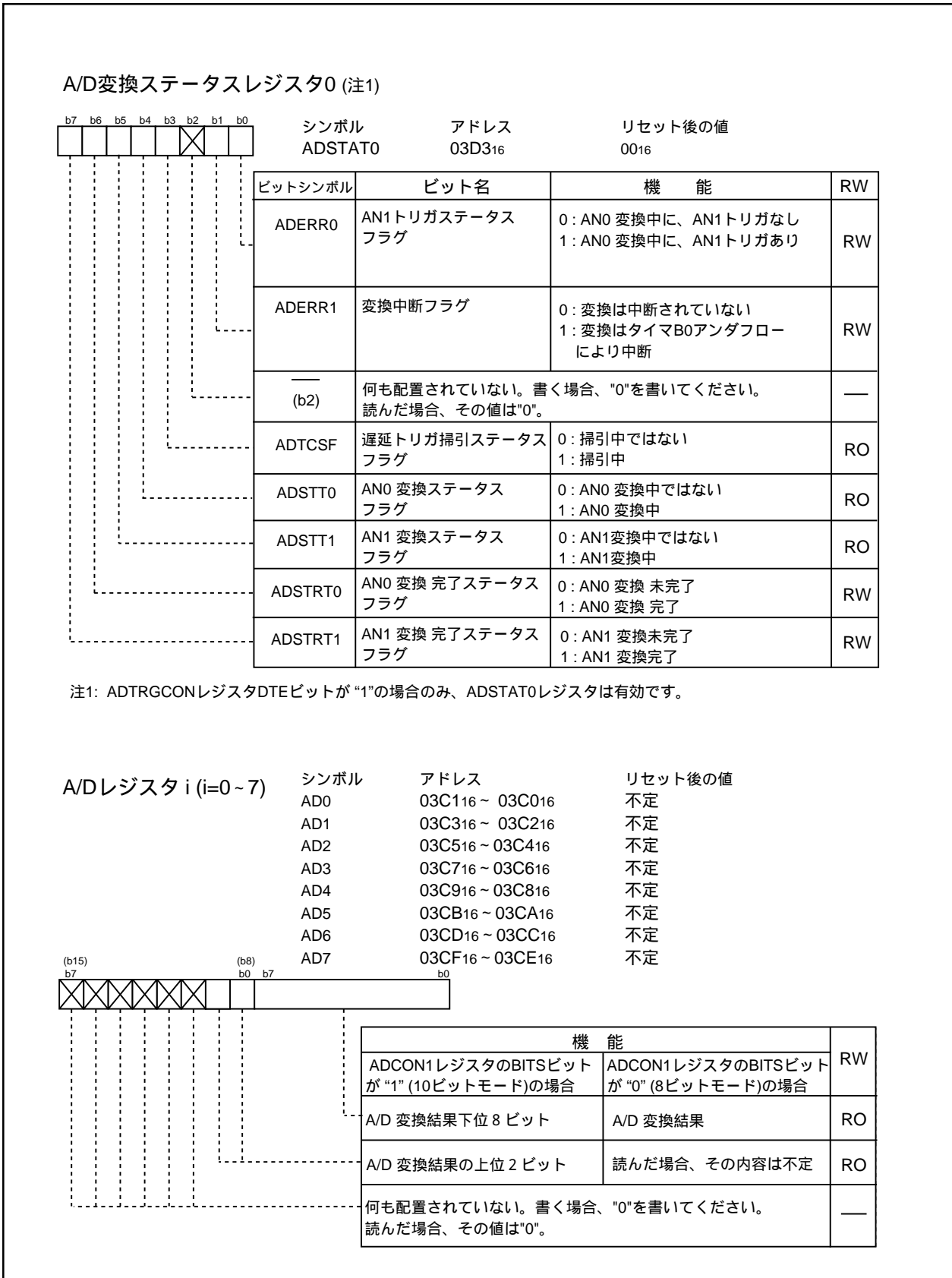


図15.4 ADSTAT0レジスタ、AD0~AD7レジスタ

タイマB2特殊モードレジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
⊗	0	0					

シンボル
TB2SC

アドレス
039E16番地

リセット後の値
X0000002

ビット シンボル	ビット名	機 能	RW
PWCON	タイマB2リロードタイミ ング切り替えビット(注2)	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW
IVPCR1	三相出力ポート \overline{SD} 制御 ビット1(注3、注4、注7)	0: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)禁止 1: \overline{SD} 端子入力による三相出力強制遮断 (ハイインピーダンス)許可	RW
TB0EN	タイマB0動作モード 選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード(注5)	RW
TB1EN	タイマB1動作モード 選択ビット	0: A/Dトリガモード以外 1: A/Dトリガモード(注5)	RW
TB2SEL	トリガ選択ビット(注6)	0: TB2割り込み 1: TB2割り込み発生頻度設定カウンタ (ICTB2)アンダフロー	RW
$\overline{(b6-b5)}$	予約ビット	“0” にしてください。	RW
$\overline{(b7)}$	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. INV11ビットが“0”(三相モード0)、またはINV06ビットが“1”(鋸波変調モード)の場合は、“0”(タイマB2アンダフロー)にしてください。

注3. IVPCR1ビットを“1”(SD端子入力による三相出力強制遮断許可)にする場合、PD8sビットを“0”(入力)にしてください。

注4. 対象端子は、U(P8₀)、 \overline{U} (P8₁)、V(P7₂)、 \overline{V} (P7₃)、W(P7₄)、 \overline{W} (P7₅)です。強制遮断後は、 \overline{SD} 端子に“H”を入力し、IVPCR1ビットを“0”にすることで強制遮断(ハイインピーダンス)が解除されます。 \overline{SD} 端子に“L”が入力されると、対象端子の三相モータ制御用タイマ出力は禁止(INV03=“0”)になります。この時、対象端子は使用している機能に関係なくIVPCR1ビットが“0”の場合は通常ポートに、IVPCR1ビットが“1”の場合はハイインピーダンスになります。

注5. 遅延トリガモード0で使用する場合は、TB0ENビットとTB1ENビットを共に“1”(A/Dトリガモード)にしてください。

注6. このビットを“1”(TB2割り込み発生頻度設定カウンタ(ICTB2)アンダフロー)にするときは、INVC0レジスタのINV02ビットを“1”(三相モータ制御用タイマ機能)にしてください。

注7. \overline{SD} 入力は、“17.6 デジタルデバウンス機能”を参照してください。

図15.5 TB2SCレジスタ

15.1 動作モード

15.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表15.3に単発モードの仕様、図15.6に単発モードの動作例、図15.7に単発モード時のADCON0～ADCON2レジスタを示します。

表15.3 単発モードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した1本端子の入力電圧を1回A/D変換する
A/D変換開始条件	ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ADCON0レジスタのTRGビットが“1”(ハードウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化(再トリガ可能)
A/D変換停止条件	A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN7、AN00～AN07、AN20～AN27から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

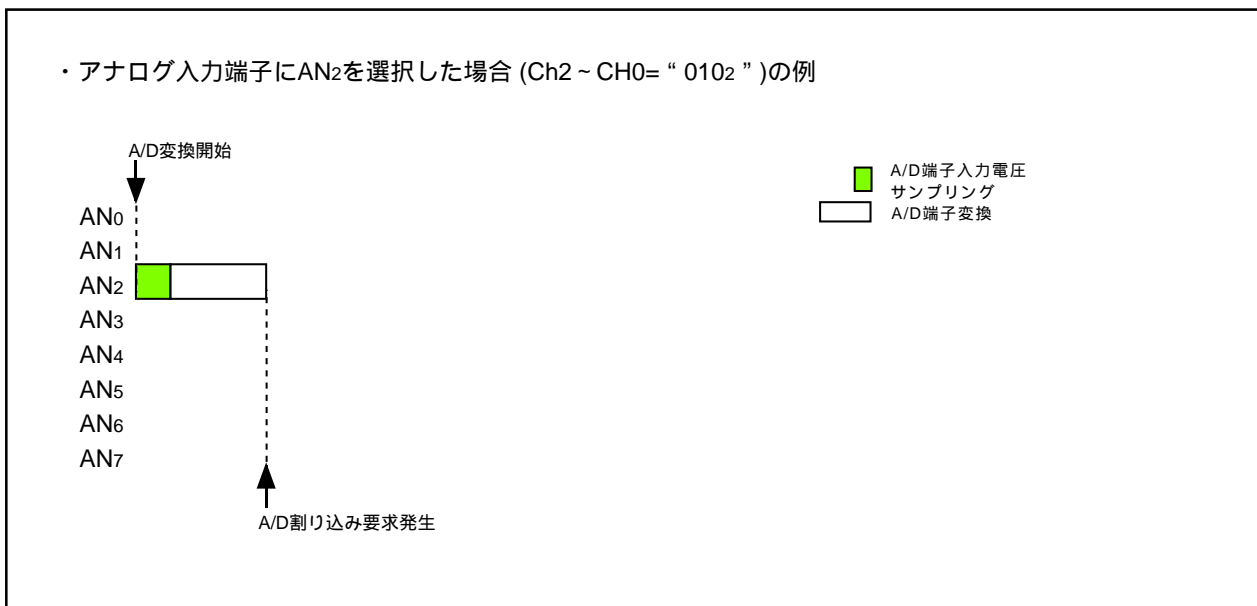
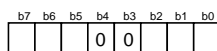


図15.6 単発モードの動作例

A/D制御レジスタ0(注1)



シンボル アドレス リセット後の
 値ADCON0 03D6₁₆番地 00000XX₂

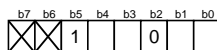
ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子 選択ビット (注2、3)	^{b2 b1 b0} 0 0 0 : AN ₀ を選択 0 0 1 : AN ₁ を選択 0 1 0 : AN ₂ を選択 0 1 1 : AN ₃ を選択 1 0 0 : AN ₄ を選択 1 0 1 : AN ₅ を選択 1 1 0 : AN ₆ を選択 1 1 1 : AN ₇ を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0 (注3)	^{b4 b3} 0 0 : 単発モード、 または遅延トリガモード0、1	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ハードウェアトリガ (ADTRGによるトリガ)	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	表15.2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇、AN₂₀ ~ AN₂₇を使用できます。
ADCON2レジスタのADGSEL1 ~ ADGSEL0ビットで選択してください。

注3. MD1 ~ MD0ビットを書き換えた後、別の命令でCH2 ~ CH0ビットを再設定してください。

A/D制御レジスタ1(注1)



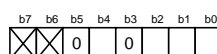
シンボル アドレス リセット後の値
 ADCON1 03D7₁₆番地 00₁₆

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	単発モードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	0 : 繰り返し掃引モード1以外	RW
BITS	8/10ビットモード選択 ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	表15.2を参照してください	RW
VCUT	Vref接続ビット(注2)	1 : Vref接続	RW
— (b7-b6)	何も配置されていない。書く場合、「0」を書いてください。 読んだ場合、その値は「0」。		—

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. VCUTビットを「0」(未接続)から「1」(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

A/D制御レジスタ2(注1)



シンボル アドレス リセット後の値
 ADCON2 03D4₁₆番地 00₁₆

ビットシンボル	ビット名	機能	RW
SMP	A/D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	RW
ADGSEL0	A/D入力グループ選択ビット	^{b2 b1} 0 0 : ポートP10グループを選択 0 1 : 設定しないでください 1 0 : ポートP0グループを選択 1 1 : ポートP1/P9グループを選択	RW
ADGSEL1			
— (b3)	予約ビット	「0」にしてください	RW
CKS2	周波数選択ビット2	表15.2を参照してください	RW
TRG1	トリガ選択ビット1	単発モードでは「0」にしてください	RW
— (b7-b6)	何も配置されていない。 書く場合、「0」を書いてください。読んだ場合、その値は「0」。		—

注1. A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。

図15.7 単発モード時のADCON0 ~ ADCON2レジスタ

15.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表15.4に繰り返しモードの仕様、図15.8に繰り返しモードの動作例、図15.9に繰り返しモード時のADCON0～ADCON2レジスタを示します。

表15.4 繰り返しモードの仕様

項目	仕様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ADCON0レジスタのTRGビットが“1”(ハードウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化(再トリガ可能)
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN7、AN00～AN07、AN20～AN27から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

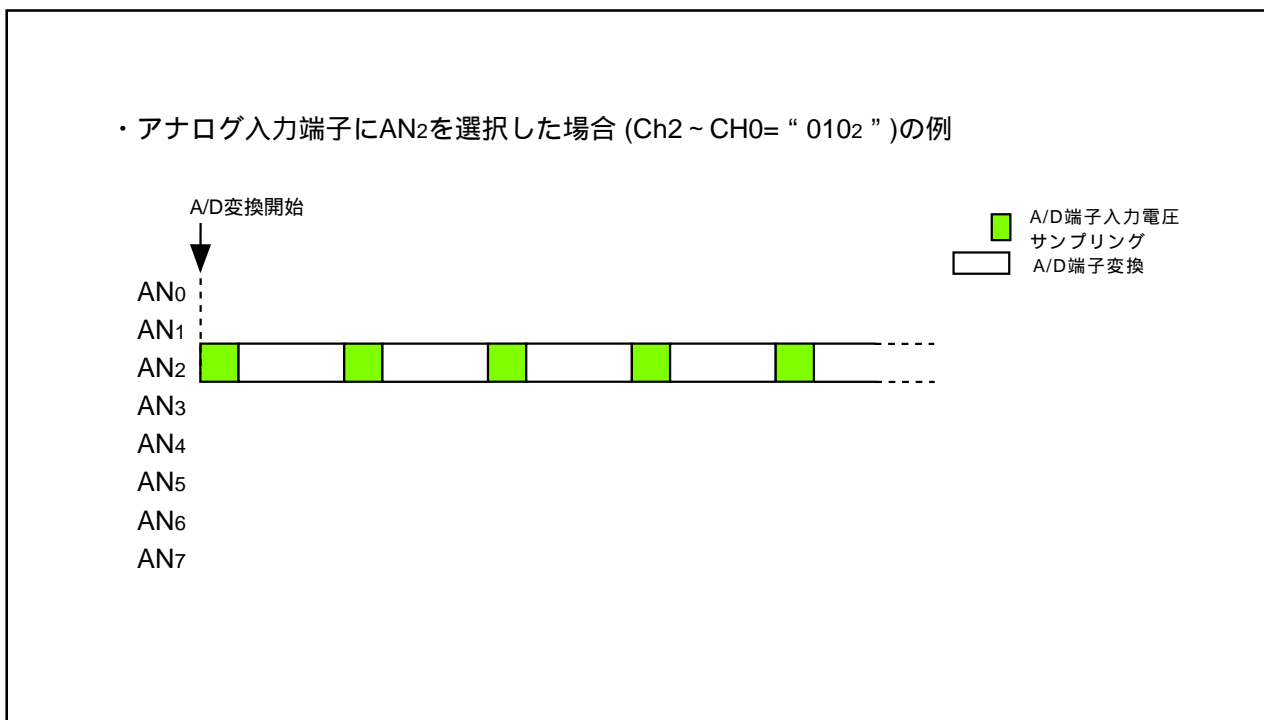
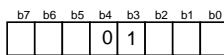


図15.8 繰り返しモードの動作例

A/D制御レジスタ0(注1)



シンボル アドレス リセット後の値
ADCON0 03D616番地 00000XX2

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット (注2,3)	^{b2 b1 b0} 0 0 0 : AN ₀ を選択 0 0 1 : AN ₁ を選択 0 1 0 : AN ₂ を選択 0 1 1 : AN ₃ を選択 1 0 0 : AN ₄ を選択 1 0 1 : AN ₅ を選択 1 1 0 : AN ₆ を選択 1 1 1 : AN ₇ を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0 (注3)	^{b4 b3} 0 1 : 繰り返しモード	RW
MD1			RW
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ハードウェアトリガ (ADTRGによるトリガ)	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	表15.2を参照してください	RW

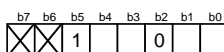
注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇、AN₂₀ ~ AN₂₇を使用できます。

ADCON2レジスタのADGSEL1 ~ 0ADGSELビットで選択してください。

注3. MD1 ~ MD0ビットを書き換えた後、別の命令でCH2 ~ CH0ビットを再設定してください。

A/D制御レジスタ1(注1)



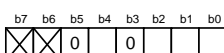
シンボル アドレス リセット後の値
ADCON1 03D716番地 0016

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット	繰り返しモードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	0 : 繰り返し掃引モード1以外	RW
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット1	表15.2を参照してください	RW
VCUT	Vref接続ビット(注2)	1 : Vref接続	RW
(b7-b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. VCUTビットを"0" (未接続)から"1" (接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

A/D制御レジスタ2(注1)



シンボル アドレス リセット後の値
ADCON2 03D416番地 0016

ビットシンボル	ビット名	機能	RW
SMP	A/D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	RW
ADGSEL0	A/D入力グループ選択ビット	^{b2 b1} 0 0 : ポートP10グループを選択 0 1 : 設定しないでください 1 0 : ポートP0グループを選択 1 1 : ポートP1/P9グループを選択	RW
ADGSEL1			
(b3)	予約ビット	"0" にしてください	RW
CKS2	周波数選択ビット2	表15.2を参照してください	RW
TRG1	トリガ選択ビット1	繰り返しモードでは"0"にしてください	RW
(b7-b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—

注1. A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。

図15.9 繰り返しモード時のADCON0 ~ ADCON2レジスタ

15.1.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表15.5に単掃引モードの仕様、図15.10に単掃引モードの動作例、図15.11に単掃引モード時のADCON0～ADCON2レジスタを示します。

表15.5 単掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ADCON0レジスタのTRGビットが“1”(ハードウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化(再トリガ可能)
A/D変換停止条件	A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ADSTビットを“0”にする
割り込み要求発生タイミング	AN0端子からの単掃引変換終了時
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN00～AN07、AN20～AN27を使用できます。

ただし、入力端子は全て同じグループに属する必要があります。

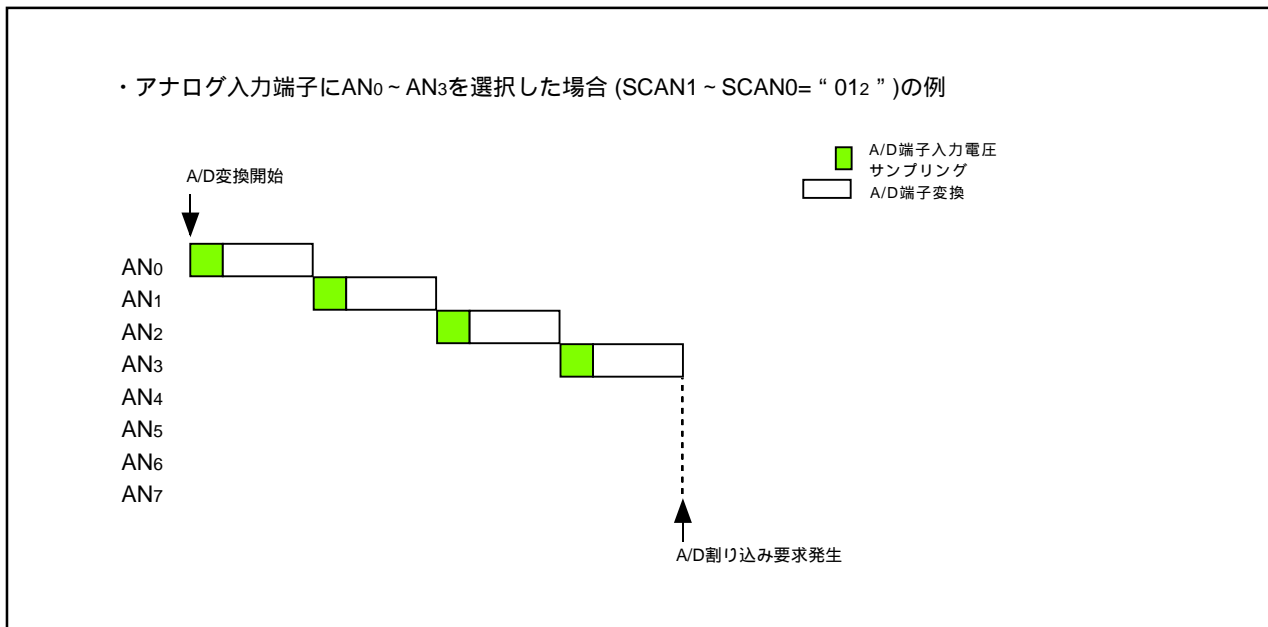


図15.10 単掃引モードの動作例

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON0	アドレス 03D616番地	リセット後の値 00000XXX ₂
			1	0						
ビットシンボル	ビット名	機能	RW							
CH0	アナログ入力端子選択ビット	単掃引モードでは無効	RW							
CH1			RW							
CH2			RW							
MD0	A/D動作モード選択ビット0	b4 b3 1 0: 単掃引モード、または同時 サンプル掃引モード	RW							
MD1			RW							
TRG	トリガ選択ビット	0: ソフトウェアトリガ 1: ハードウェアトリガ (ADTRGによるトリガ)	RW							
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW							
CKS0	周波数選択ビット0	表15.2を参照してください	RW							

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON1	アドレス 03D716番地	リセット後の値 0016
X	X	1			0					
ビットシンボル	ビット名	機能	RW							
SCAN0	A/D掃引端子選択ビット(注2)	単掃引モードを選択している場合 b1 b0 0 0: AN ₀ - AN ₁ (2端子) 0 1: AN ₀ - AN ₃ (4端子) 1 0: AN ₀ - AN ₅ (6端子) 1 1: AN ₀ - AN ₇ (8端子)	RW							
SCAN1			RW							
MD2	A/D動作モード選択ビット1	0: 繰り返し掃引モード1以外	RW							
BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	RW							
CKS1	周波数選択ビット1	表15.2を参照してください	RW							
VCUT	Vref接続ビット(注3)	1: Vref接続	RW							
(b7-b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—							

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. AN₀ - AN₇と同様にAN₀₀ - AN₀₇、AN₂₀ - AN₂₇を使用できます。ADCON2レジスタのADGSEL1 - ADGSEL0ビットで選択してください。

注3. VCUTビットを"0"(未接続)から"1"(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

A/D制御レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON2	アドレス 03D416番地	リセット後の値 0016
X	X	0	0							
ビットシンボル	ビット名	機能	RW							
SMP	A/D変換方式選択ビット	0: サンプル&ホールドなし 1: サンプル&ホールドあり	RW							
ADGSEL0	A/D入力グループ選択ビット	b2 b1 0 0: ポートP10グループを選択 0 1: 設定しないでください 1 0: ポートP0グループを選択 1 1: ポートP1/P9グループを選択	RW							
ADGSEL1			RW							
(b3)	予約ビット	"0"にしてください	RW							
CKS2	周波数選択ビット2	表15.2を参照してください	RW							
TRG1	トリガ選択ビット1	単掃引モードでは"0"にしてください	RW							
(b7-b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—							

注1. A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。

図15.11 単掃引モード時のADCON0~ADCON2レジスタ

15.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表15.6に繰り返し掃引モード0の仕様、図15.12に繰り返し掃引モード0の動作例、図15.13に繰り返し掃引モード0時のADCON0～ADCON2レジスタを示します。

表15.6 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ADCON0レジスタのTRGビットが“1”(ハードウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、 $\overline{\text{ADTRG}}$ 端子の入力が“H”から“L”へ変化(再トリガ可能)
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. AN0～AN7と同様にAN00～AN07、AN20～AN27を使用できます。ただし、入力端子は全て同じグループに属する必要があります。

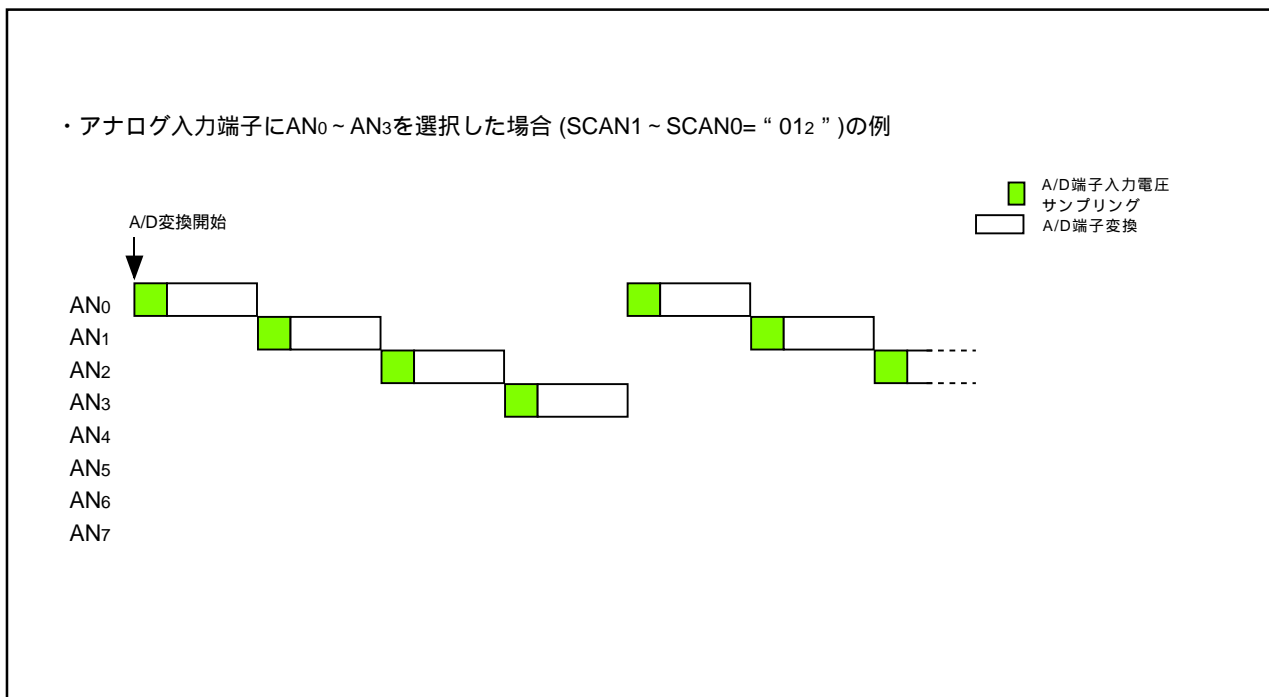


図15.12 繰り返し掃引モード0の動作例

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON0	アドレス 03D6 ₁₆ 番地	リセット後の値 00000XX ₂
			1							
ビットシンボル	ビット名		機能		RW					
CH0	アナログ入力端子選択ビット		繰り返し掃引モード0では無効		RW					
CH1					RW					
CH2					RW					
MD0	A/D動作モード選択ビット0		b4 b3 1 1 : 繰り返し掃引モード0または繰り返し掃引モード1		RW					
MD1					RW					
TRG	トリガ選択ビット		0 : ソフトウェアトリガ 1 : ハードウェアトリガ(ADTRGによるトリガ)		RW					
ADST	A/D変換開始フラグ		0 : A/D変換停止 1 : A/D変換開始		RW					
CKS0	周波数選択ビット0		表15.2を参照してください		RW					

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON1	アドレス 03D7 ₁₆ 番地	リセット後の値 00 ₁₆
×	×	1			0					
ビットシンボル	ビット名		機能		RW					
SCAN0	A/D掃引端子選択ビット (注2)		繰り返し掃引モード0を選択している場合 b1 b0 0 0 : AN ₀ ~ AN ₁ (2端子) 0 1 : AN ₀ ~ AN ₃ (4端子) 1 0 : AN ₀ ~ AN ₆ (6端子) 1 1 : AN ₀ ~ AN ₇ (8端子)		RW					
SCAN1					RW					
MD2	A/D動作モード選択ビット1		0 : 繰り返し掃引モード1以外		RW					
BITS	8/10ビットモード選択ビット		0 : 8ビットモード 1 : 10ビットモード		RW					
CKS1	周波数選択ビット1		表15.2を参照してください		RW					
VCUT	Vref接続ビット(注3)		1 : Vref接続		RW					
(b7-b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。				—					

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇、AN₂₀ ~ AN₂₇を使用できます。ADCON2レジスタのADGSEL1 ~ ADGSEL0ビットで選択してください。

注3. VCUTビットを"0"(未接続)から"1"(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

A/D制御レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON2	アドレス 03D4 ₁₆ 番地	リセット後の値 00 ₁₆
×	×	0	0							
ビットシンボル	ビット名		機能		RW					
SMP	A/D変換方式選択ビット		0 : サンプル&ホールドなし 1 : サンプル&ホールドあり		RW					
ADGSEL0	A/D入力グループ選択ビット		b2 b1 0 0 : ポートP10グループを選択 0 1 : 設定しないでください 1 0 : ポートP0グループを選択 1 1 : ポートP1/P9グループを選択		RW					
ADGSEL1					RW					
(b3)	予約ビット		"0"にしてください		RW					
CKS2	周波数選択ビット2		表15.2を参照してください		RW					
TRG1	トリガ選択ビット1		繰り返し掃引モード0では"0"にしてください		RW					
(b7-b6)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。				—					

注1. A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。

図15.13 繰り返し掃引モード0時のADCON0~ADCON2レジスタ

15.1.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表15.7に繰り返し掃引モード1の仕様、図15.14に繰り返し掃引モード1の動作例、図15.15に繰り返し掃引モード1時のADCON0 ~ ADCON2レジスタを示します。

表15.7 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1 ~ SCAN0ビットとADCON2レジスタのADGSEL1 ~ ADGSEL0ビットで選択した端子に重点をおいて、ADGSEL1 ~ ADGSEL0ビットで選択した全端子の入力電圧を繰り返しA/D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・の順にA/D変換する
A/D変換開始条件	ADCON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1” (A/D変換開始)にする ADCON0レジスタのTRGビットが“1” (ハードウェアトリガ)の場合 ADSTビットを“1” (A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化(再トリガ可能)
A/D変換停止条件	ADSTビットを“0” (A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN ₀ (1端子)、AN ₀ ~ AN ₁ (2端子)、AN ₀ ~ AN ₂ (3端子)、AN ₀ ~ AN ₃ (4端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAD ₀ ~ AD ₇ レジスタの読み出し

注1. AN₀ ~ AN₇と同様にAN₀₀ ~ AN₀₇、AN₂₀ ~ AN₂₇を使用できます。
ただし、入力端子は全て同じグループに属する必要があります。

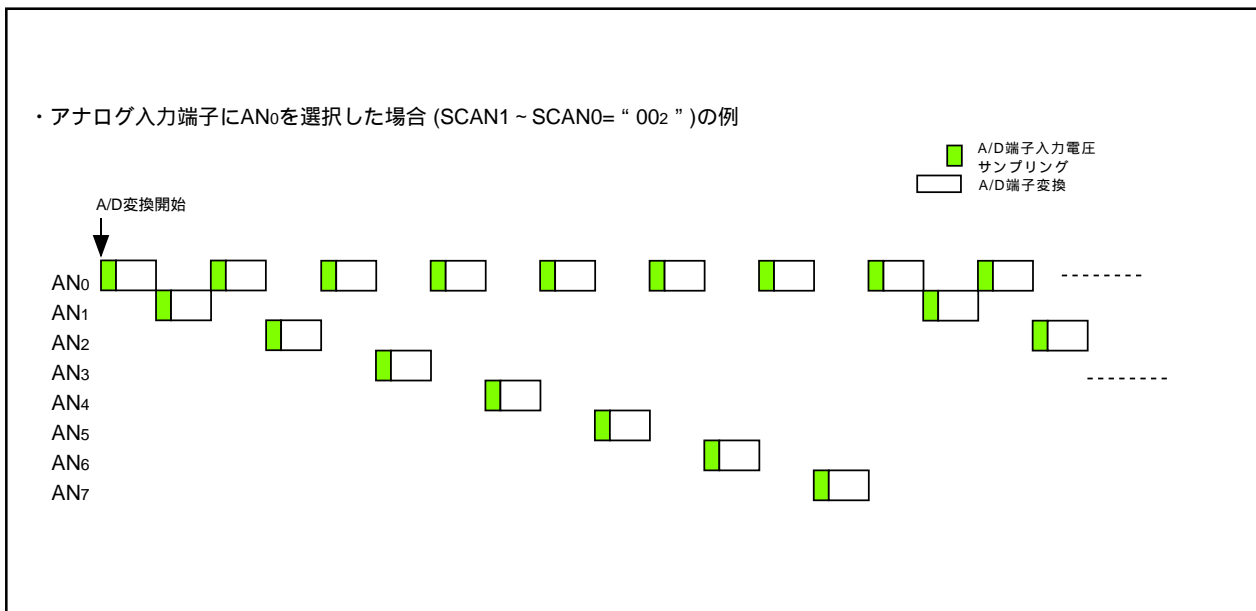


図15.14 繰り返し掃引モード1の動作例

15.1.6 同時サンプル掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。その際、サンプル&ホールド回路を2回路用いて、AN₀とAN₁の入力電圧のサンプリングを同時に行います。

表15.8に同時サンプル掃引モードの仕様を示します。図15.16に同時サンプル掃引モードの動作例、図15.17に同時サンプル掃引モード時のADCON0～ADCON2レジスタ、図15.18に同時サンプル掃引モード時のADTRGCONレジスタ、表15.9に同時サンプル掃引モードでのトリガ選択ビットの設定を示します。同時サンプル掃引モードでは、ソフトウェアトリガ、ADTRGによるトリガの他に、タイマB2のアンダフロー、タイマB2割り込み発生頻度設定カウンタのアンダフロー、またはタイマBのA/Dトリガモードと組み合わせることによってタイマB0のアンダフローをトリガとして選択できます。

表15.8 同時サンプル掃引モードの仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を1回ずつA/D変換する。その際、AN ₀ とAN ₁ の入力電圧のサンプリングを同時に行う。
A/D変換開始条件	ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ADCON0レジスタのTRGビットが“1”(ハードウェアトリガ)の場合 TRG1, HPTRG0ビットにより選択(表15.9参照) -ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化(再トリガ可能) -ADSTビットを“1”(A/D変換開始)にした後、タイマB0、タイマB2、またはタイマB2割り込み発生頻度設定カウンタのアンダフロー
A/D変換停止条件	・A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) ・ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN ₀ ～AN ₁ (2端子)、AN ₀ ～AN ₃ (4端子)、AN ₀ ～AN ₅ (6端子)、AN ₀ ～AN ₇ (8端子)から選択(注1)
A/D変換値の読み出し	選択した端子に対応したAN ₀ ～AN ₇ の読み出し

注1. AN₀～AN₇と同様にAN₀₀～AN₀₇、AN₂₀～AN₂₇を使用できます。
ただし、入力端子は全て同じグループに属する必要があります。

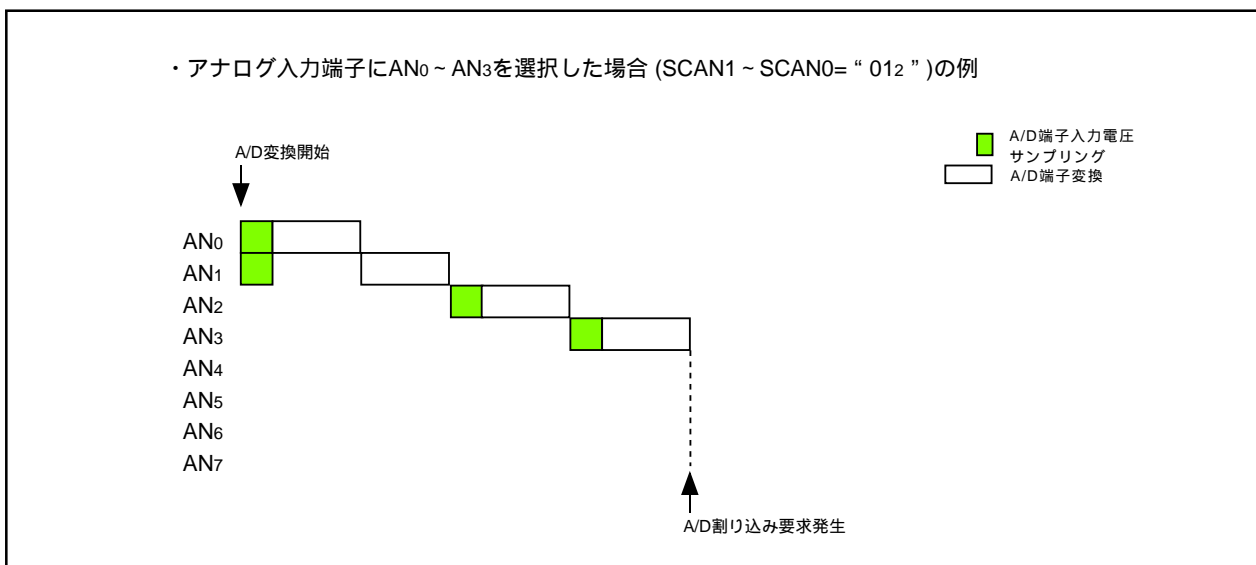


図15.16 同時サンプル掃引モードの動作例



図15.17 同時サンプル掃引モード時のADCON0~ADCON2レジスタ

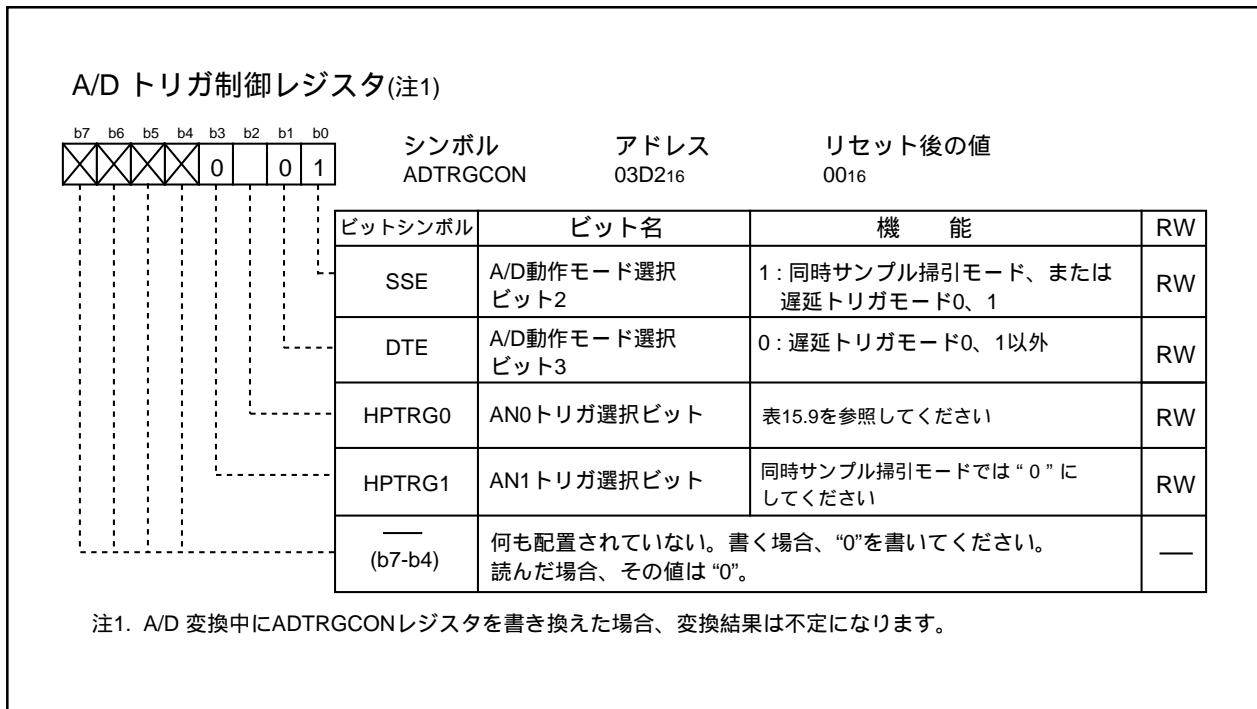


図15.18 同時サンプル掃引モード時のADTRGCONレジスタ

表15.9 同時サンプル掃引モード時のトリガ選択ビットの設定

TRG	TRG1	HPTRG0	トリガ
0	-	-	ソフトウェアトリガ
1	-	1	タイマB0アンダフロー(注1)
1	0	0	ADTRGによるトリガ
1	1	0	タイマB2割り込みまたはタイマB2割り込み発生頻度設定カウンタアンダフロー(注2)

注1. タイマBのA/Dトリガモードと組み合わせることで、タイマB2割り込みまたはタイマB2割り込み発生頻度設定カウンタのアンダフロー、またはINT5端子の端子の立ち下がりやをタイマB0のカウンタ開始条件としてカウントを開始することができます。

注2. TB2SCレジスタのTB2SELビットでタイマB2割り込みまたはタイマB2割り込み発生頻度設定カウンタを選択します。

15.1.7 遅延トリガモード0

選択した端子の単掃引変換を行います。本モードは、タイマBのA/Dトリガモードと組み合わせて使用します。本モードでは、タイマB0のアンダフローにより単掃引変換を開始します。AN₀端子の変換終了後は、タイマB1のアンダフローが発生するまでAN₁端子のサンプリングおよび変換を行いません。タイマB1アンダフローが発生すると、AN₁端子以降の単掃引変換を再開します。

表15.10に遅延トリガモード0の仕様、図15.19に遅延トリガモード0の動作例、図15.20～図15.21に動作例に対応したADSTAT0レジスタの各フラグの動作、図15.22に遅延トリガモード0時のADCON0～ADCON2レジスタ、図15.23に遅延トリガモード0時のADTRGCONレジスタ、表15.11に遅延トリガモード0時のトリガ選択ビットの設定を示します。

表15.10 遅延トリガモード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を単掃引変換する。その際、タイマB0のアンダフローの発生によりAN ₀ 端子の変換を開始し、タイマB1のアンダフローの発生によりAN ₁ 端子以降の変換を開始する。(注1)
A/D変換開始条件	AN ₀ 端子変換開始条件 <ul style="list-style-type: none"> - タイマB0アンダフロー発生後、タイマB1アンダフローが発生するまでの間に再度タイマB0アンダフローが発生した場合、変換に影響を与えない - AN₁端子以降の端子をA/D変換中に再度タイマB0アンダフローが発生した場合、変換を中止して再度AN₀端子からA/D変換を行う AN ₁ 端子変換開始条件 <ul style="list-style-type: none"> - AN₀端子をA/D変換中にタイマB1アンダフローが発生した場合、アンダフローの発生タイミングでAN₁端子の入力電圧のサンプリングを行い、AN₀端子のA/D変換終了後続けてAN₁端子以降の単掃引変換を行う
A/D変換停止条件	<ul style="list-style-type: none"> ・ AN₀端子からの単掃引変換が終了した時。 ・ ADSTビットを“0”(A/D変換停止)にする。(注2)
割り込み要求発生タイミング	AN ₀ 端子からの単掃引変換終了時
アナログ入力端子	AN ₀ ～AN ₁ (2端子)、AN ₀ ～AN ₃ (4端子)、AN ₀ ～AN ₅ (6端子)、AN ₀ ～AN ₇ (8端子)から選択(注3)
A/D変換値の読み出し	選択した端子に対応したAN ₀ ～AN ₇ の読み出し

注1. タイマB1レジスタにはタイマB0レジスタの値より大きい値を設定してください。また、タイマB0とタイマB1のカウントソースは同一としてください。

注2. 遅延トリガモード0では、ADSTビットに“1”(A/D変換開始)を書かないでください。“1”を書いた場合、意図しない割り込みが発生する可能性があります。

注3. AN₀～AN₇と同様にAN₀₀～AN₀₇、AN₂₀～AN₂₇を使用できます。ただし、入力端子は全て同じグループに属する必要があります。

・アナログ入力端子にAN0~AN3を選択した場合 (SCAN1~SCAN0= "012") の例

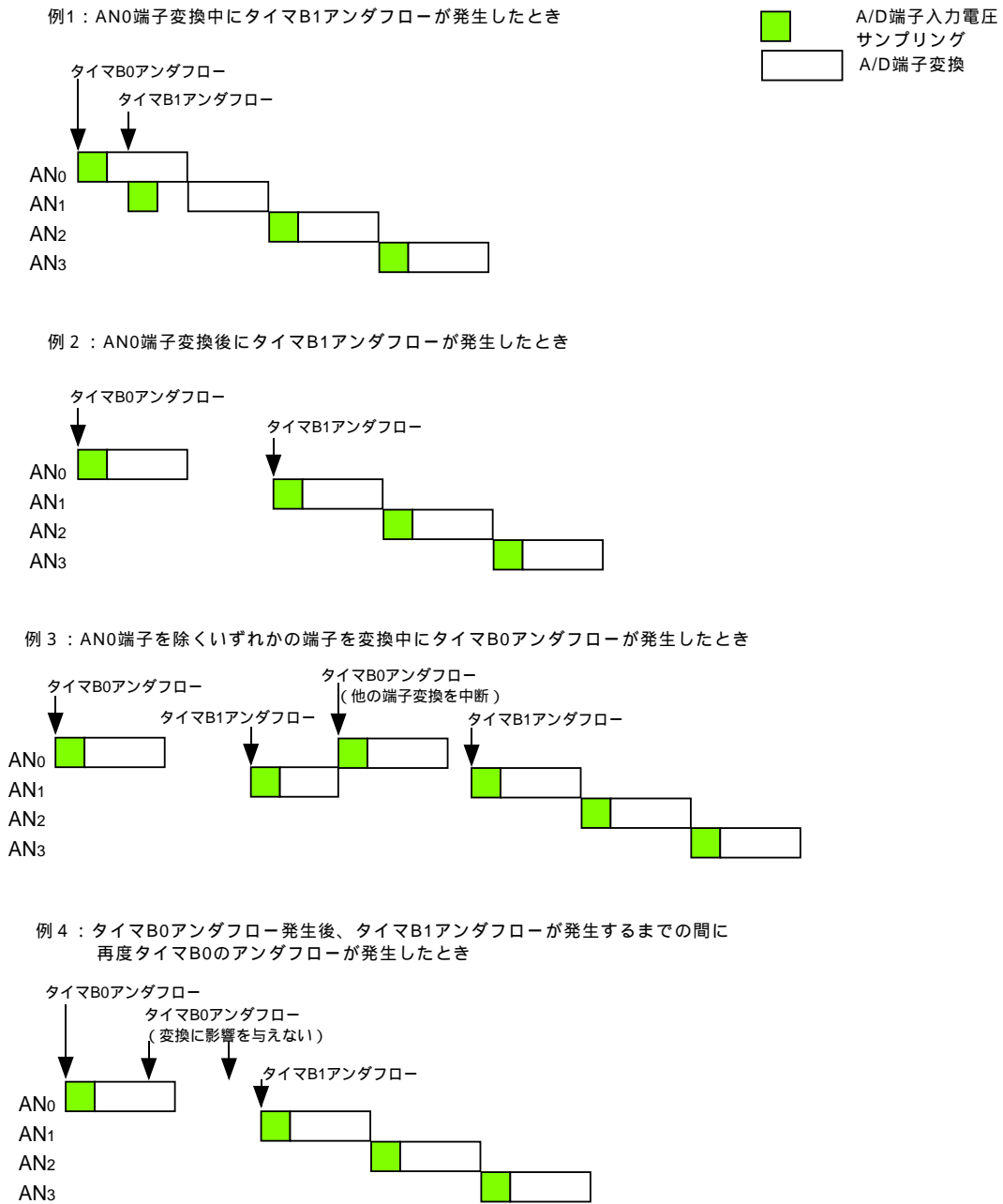


図15.19 遅延トリガモード0の動作例

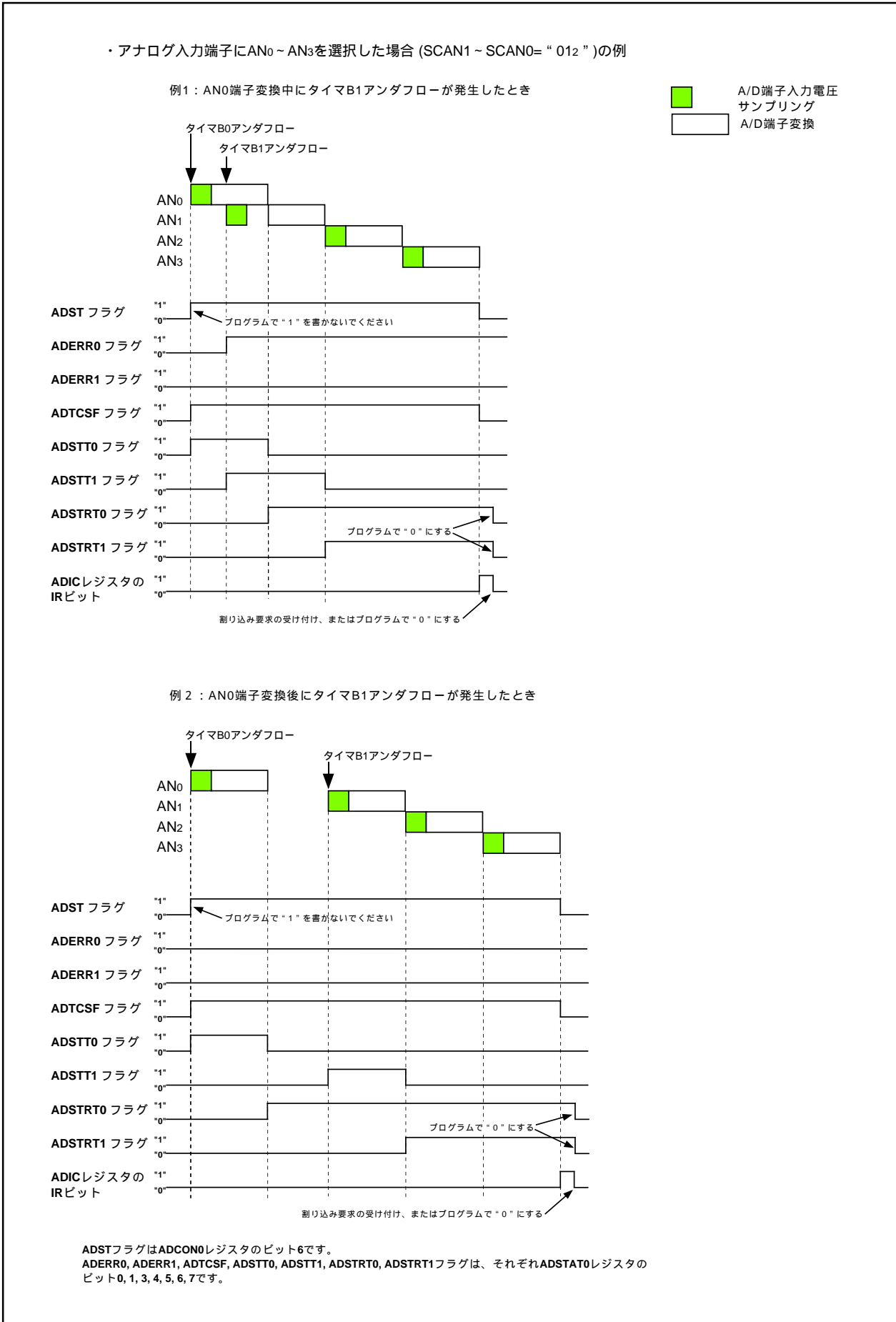


図15.20 遅延トリガモード0の動作例に対応したADSTAT0レジスタの各フラグの動作(1)

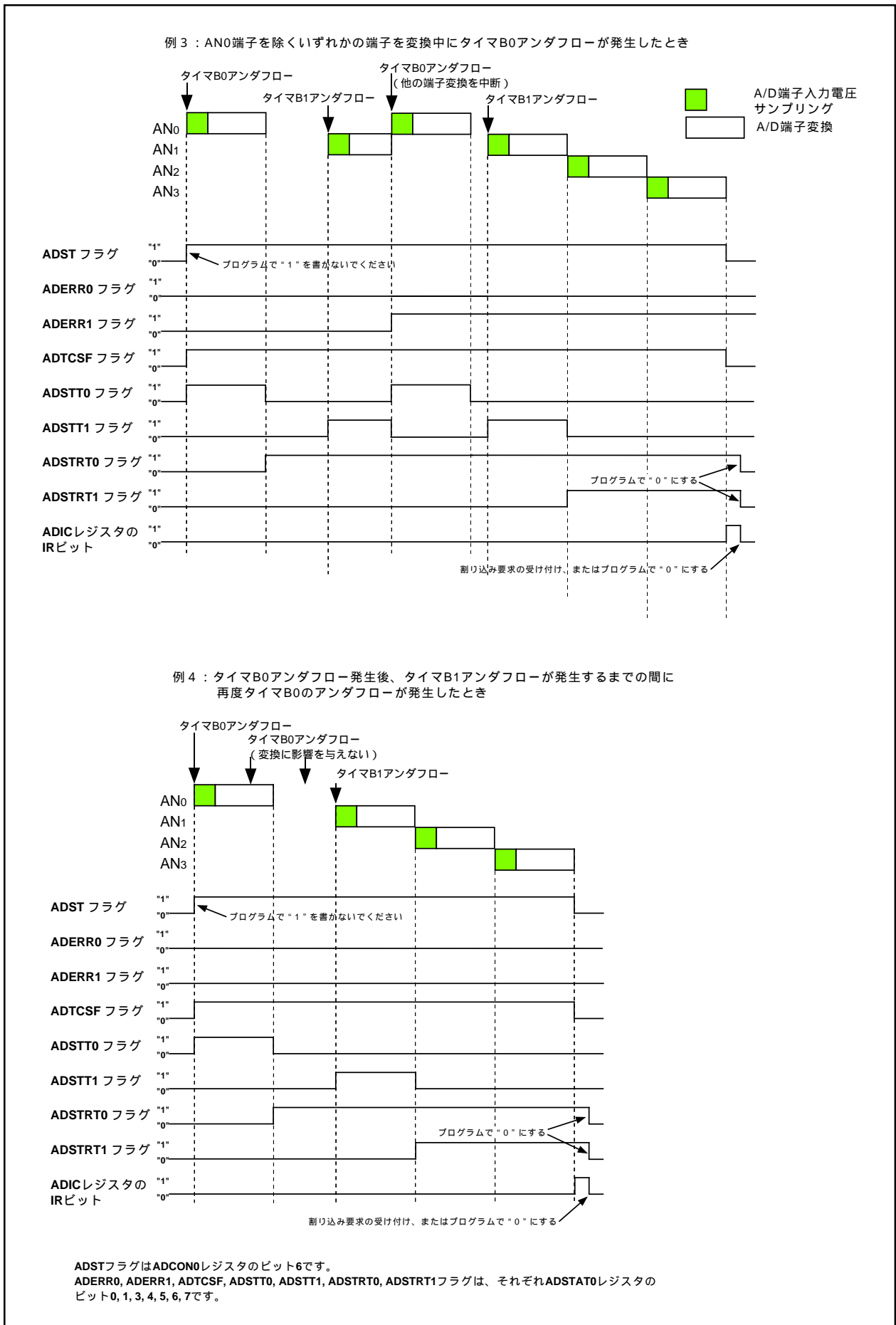


図15.21 遅延トリガモード0の動作例に対応したADSTAT0レジスタの各フラグの動作(2)

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0	1	1	1

シンボル アドレス リセット後の値
 ADCON0 03D616 00000XX2

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 111: 遅延トリガモード0では、“1112”を設定してください。	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	b4 b3 00: 単発モード、または遅延トリガモード0、1	RW
MD1			RW
TRG	トリガ選択ビット	表15.9を参照してください。	RW
ADST	A/D変換開始フラグ (注2)	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	表15.2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

注2. 遅延トリガモード0では、“1”を書かないでください。書く場合、“0”を書いてください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
×	×	×	1			0	

シンボル アドレス リセット後の値
 ADCON1 03D716 0016

ビットシンボル	ビット名	機能	RW
SCAN0	A/D掃引端子選択ビット (注2)	遅延トリガ掃引モード0を選択している場合 b7 b6 00: AN0 ~ AN1(2端子) 01: AN0 ~ AN3(4端子) 10: AN0 ~ AN5(6端子) 11: AN0 ~ AN7(8端子)	RW
SCAN1			RW
MD2	A/D動作モード選択ビット1	0: 繰り返し掃引モード1以外	RW
BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	RW
CKS1	周波数選択ビット1	表15.2を参照してください	RW
VCUT	Vref接続ビット(注3)	1: Vref接続	RW
(b7 - b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。

注2. AN0 ~ AN7と同様にAN00 ~ AN07、AN20 ~ AN27を使用できます。

ADCON2レジスタのADGSEL1 ~ ADGSEL0ビットで選択してください。

注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後A/D変換を開始してください。

A/D制御レジスタ2(注1)

b7	b6	b5	b4	b3	b2	b1	b0
×	×	×	0		0		1

シンボル アドレス リセット後の値
 ADCON2 03D416番地 0016

ビットシンボル	ビット名	機能	RW
SMP	A/D変換方式選択ビット (注2)	1: サンプル&ホールドあり	RW
ADGSEL0	A/D入力グループ選択ビット	b2 b1 00: ポートP10グループを選択 01: 設定しないでください 10: ポートP0グループを選択 11: ポートP1/P9グループを選択	RW
ADGSEL1			
(b3)	予約ビット	“0”にしてください	RW
CKS2	周波数選択ビット2	表15.2を参照してください	RW
TRG1	トリガ選択ビット1	表15.11を参照してください	RW
(b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。

注2. 遅延トリガモード0では“1”に設定してください。

図15.22 遅延トリガモード0時のADCON0 ~ ADCON2レジスタ

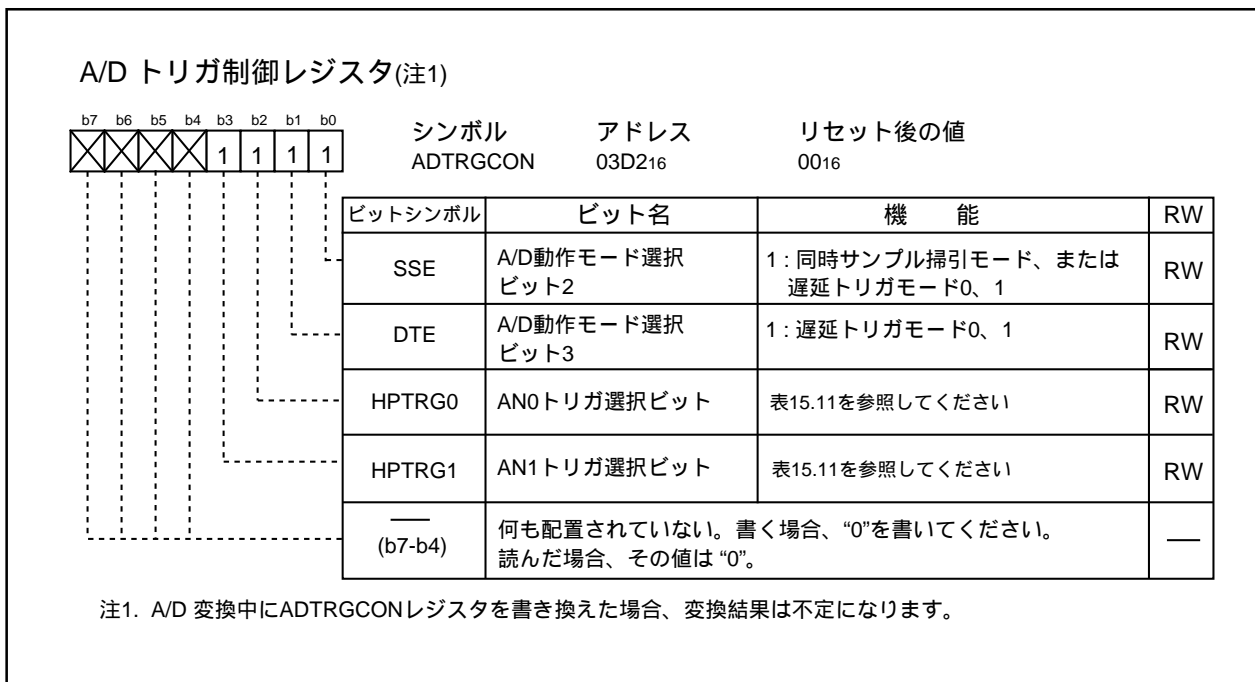


図15.23 遅延トリガモード0時のADTRGCONレジスタ

表15.11 遅延トリガモード0時のトリガ選択ビットの設定

TRG	TRG1	HPTRG0	HPTRG1	トリガ
0	0	1	1	タイマB0、タイマB1アンダフロー

15.1.8 遅延トリガモード1

選択した端子の単掃引変換を行います。遅延トリガモード1では、 $\overline{\text{ADTRG}}$ 端子の入力が“H”から“L”に変化(立ち下がり)したとき単掃引変換を開始します。AN₀端子の変換終了後は、2回目の $\overline{\text{ADTRG}}$ 端子の立ち下がりが発生するまでAN₁端子のサンプリングおよび変換を行いません。2回目の $\overline{\text{ADTRG}}$ 端子の立ち下がりが発生すると、AN₁端子以降の単掃引変換を再開します。

表15.12に遅延トリガモード1の仕様、図15.24に遅延トリガモード1の動作例、図15.25～図15.26に動作例に対応したADSTAT0レジスタの各フラグの動作、図15.27に遅延トリガモード1時のADCON0～ADCON2レジスタ、図15.28に遅延トリガモード1時のADTRGCONレジスタ、表15.13に遅延トリガモード1時のトリガ選択ビットの設定を示します。

表15.12 遅延トリガモード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビットで選択した端子の入力電圧を単掃引変換する。その際、 $\overline{\text{ADTRG}}$ 端子の立ち下がりによりAN ₀ 端子の変換を開始し、2回目の $\overline{\text{ADTRG}}$ 端子の立ち下がりによりAN ₁ 端子以降の変換を開始する。
A/D変換開始条件	AN ₀ 端子変換開始条件 $\overline{\text{ADTRG}}$ 端子の入力が“H”から“L”へ変化(立ち下がり) (注1) AN ₁ 端子変換開始条件 (注2) $\overline{\text{ADTRG}}$ 端子の入力が“H”から“L”へ変化(立ち下がり) - AN ₀ 端子をA/D変換中に2回目の $\overline{\text{ADTRG}}$ 端子の立ち下がりが発生した場合、 $\overline{\text{ADTRG}}$ 端子の立ち下がりのタイミングでAN ₁ 端子の入力電圧のサンプリングを行い、AN ₀ 端子のA/D変換終了後続けてAN ₁ 端子以降の単掃引変換を行う - AN ₁ 端子以降の端子の単掃引変換中に $\overline{\text{ADTRG}}$ 端子の立ち下がりが再度発生した場合、変換に影響を与えない
A/D変換停止条件	・A/D変換終了 ・ADSTビットを“0”(A/D変換停止)にする。(注3)
割り込み要求発生タイミング	AN ₀ 端子からの単掃引変換終了時
アナログ入力端子	AN ₀ ～AN ₁ (2端子)、AN ₀ ～AN ₃ (4端子)、AN ₀ ～AN ₅ (6端子)、AN ₀ ～AN ₇ (8端子)から選択(注4)
A/D変換値の読み出し	選択した端子に対応したAN ₀ ～AN ₇ の読み出し

注1. AN₁端子変換開始以降、選択された全ての端子のA/D変換が終了するまでは、次の $\overline{\text{ADTRG}}$ 端子の立ち下がりが発生しないようにしてください。A/D変換中に再度 $\overline{\text{ADTRG}}$ 端子の立ち下がりが発生した場合、そのトリガは無視され、選択された全ての端子のA/D変換終了後に入力された $\overline{\text{ADTRG}}$ 端子の立ち下がり、次のAN₀端子変換開始条件とします。

注2. $\overline{\text{ADTRG}}$ 端子の立ち下がり、動作クロック ADに同期して検出します。そのため、ADより短い周期で $\overline{\text{ADTRG}}$ 端子の立ち下がりが発生した場合、2回目の $\overline{\text{ADTRG}}$ 端子の立ち下がりを検出しない可能性があります。ADより短い周期で $\overline{\text{ADTRG}}$ 端子の立ち下がりが発生しないようにしてください。

注3. 遅延トリガモード1では、ADSTビットに“1”(A/D変換開始)を書かないでください。“1”を書いた場合、意図しない割り込みが発生する可能性があります。

注4. AN₀～AN₇と同様にAN₀₀～AN₀₇、AN₂₀～AN₂₇を使用できます。ただし、入力端子は全て同じグループに属する必要があります

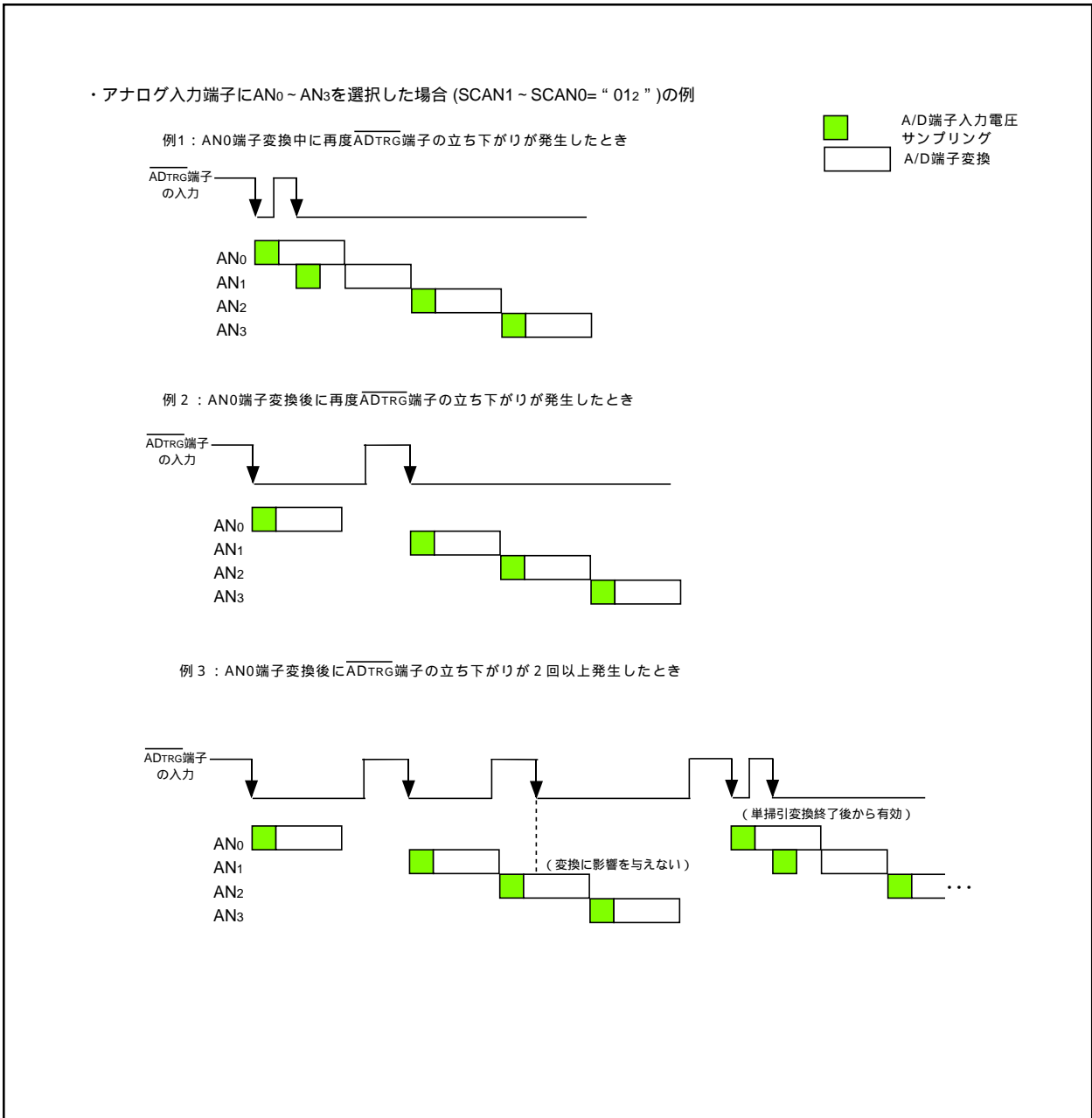


図15.24 遅延トリガモード1の動作例

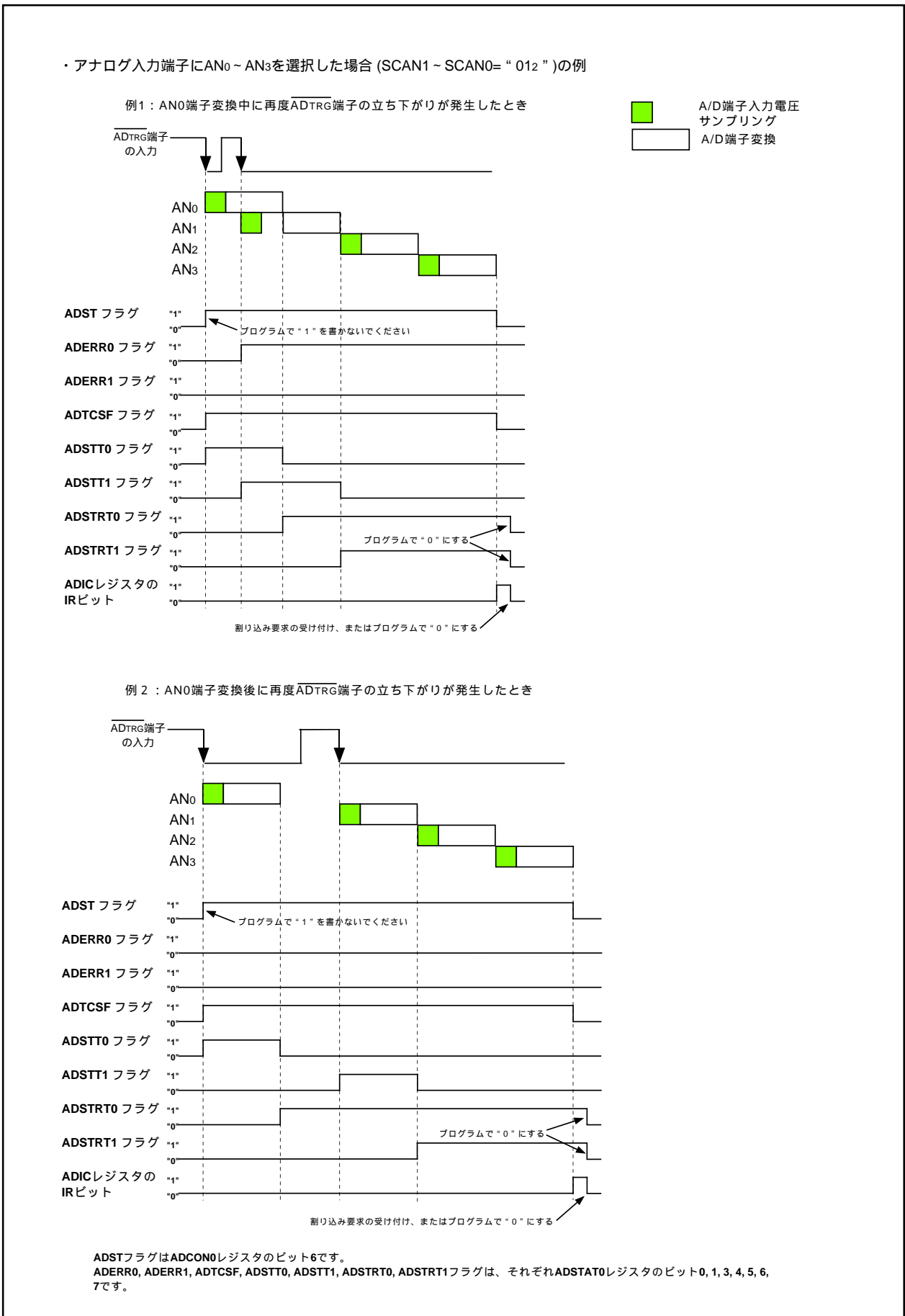


図15.25 遅延トリガモード1の動作例に対応したADSTAT0レジスタの各フラグの動作(1)

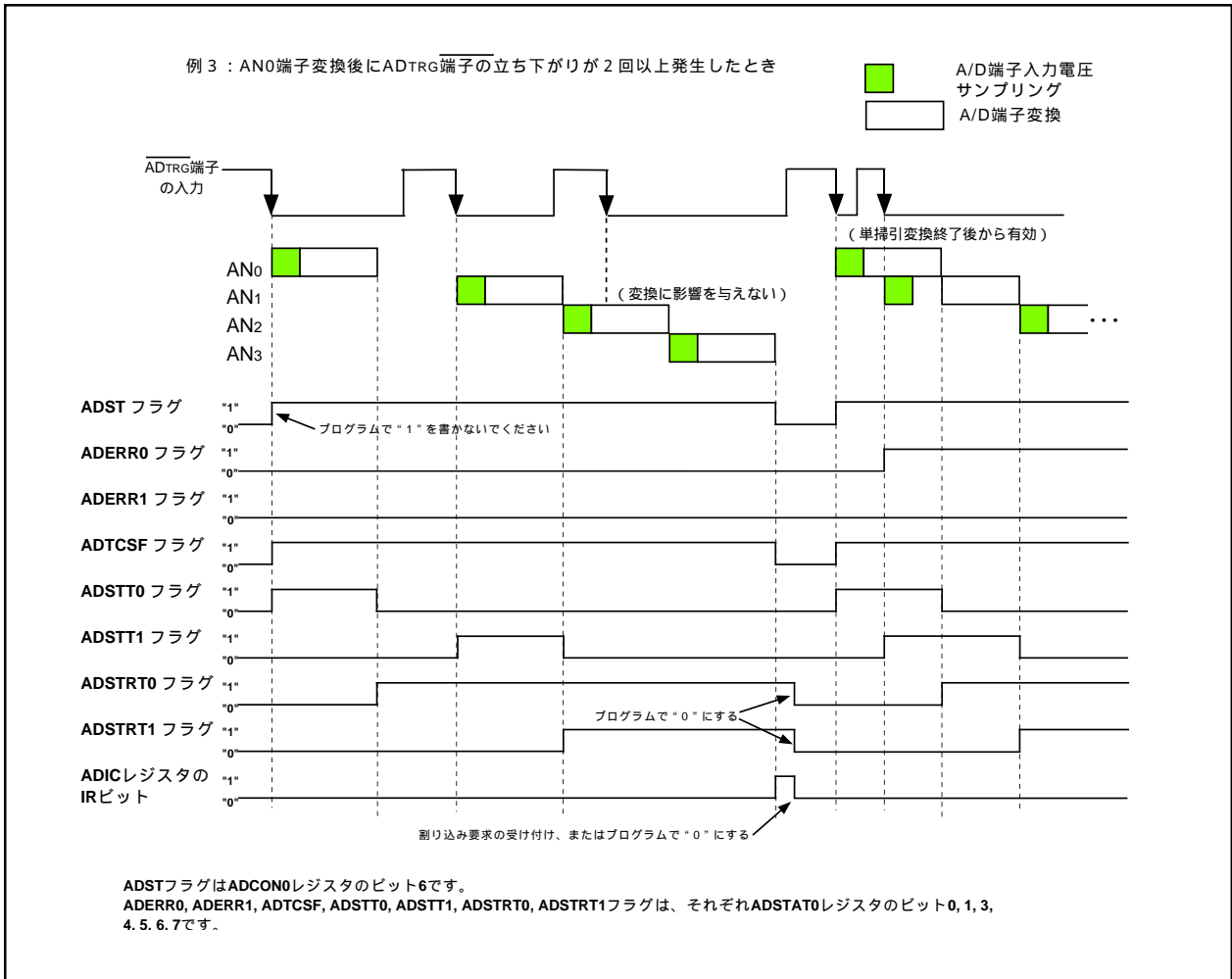


図15.26 遅延トリガモード1の動作例に対応したADSTAT0レジスタの各フラグの動作(2)

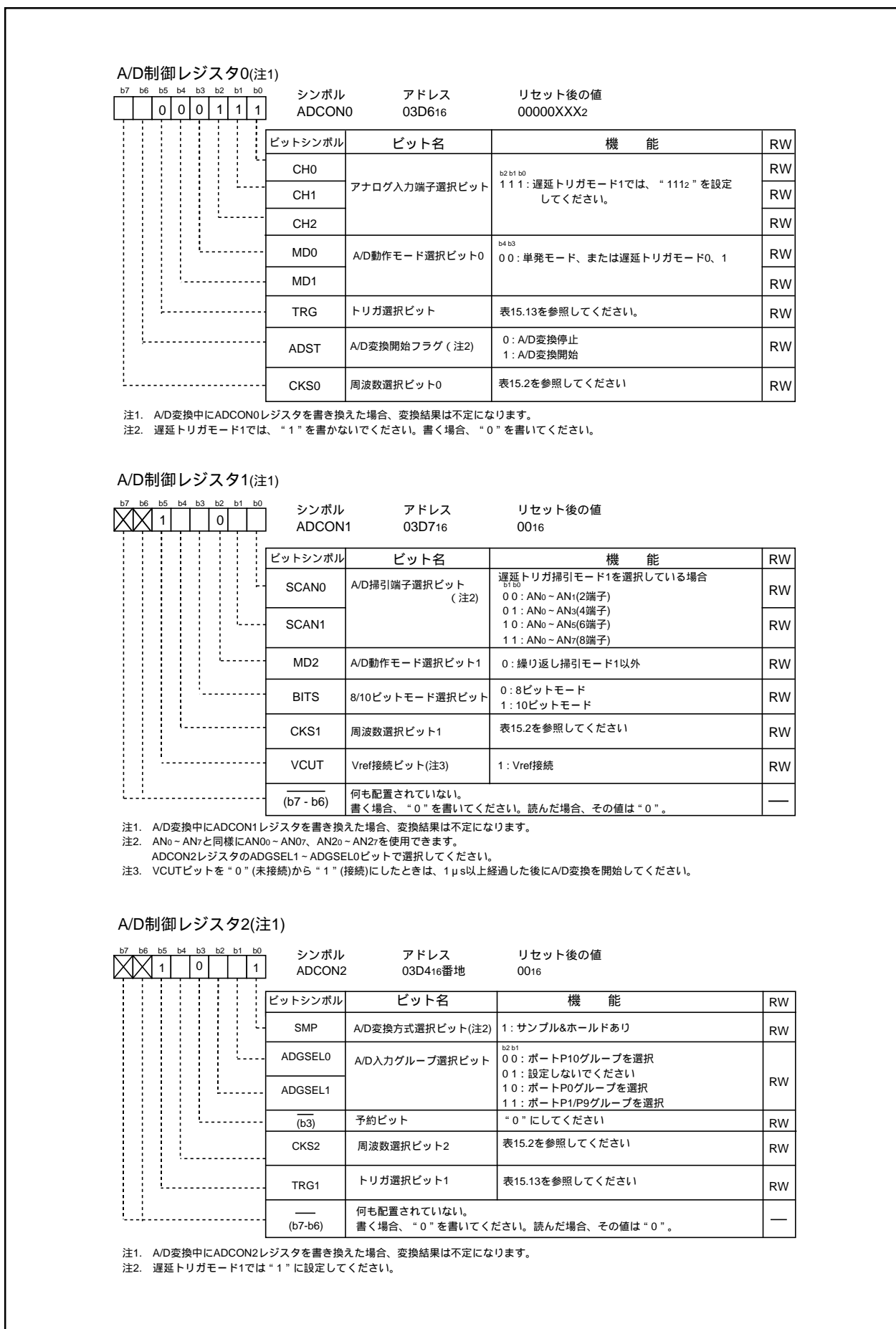


図15.27 遅延トリガモード1時のADCON0 ~ ADCON2レジスタ

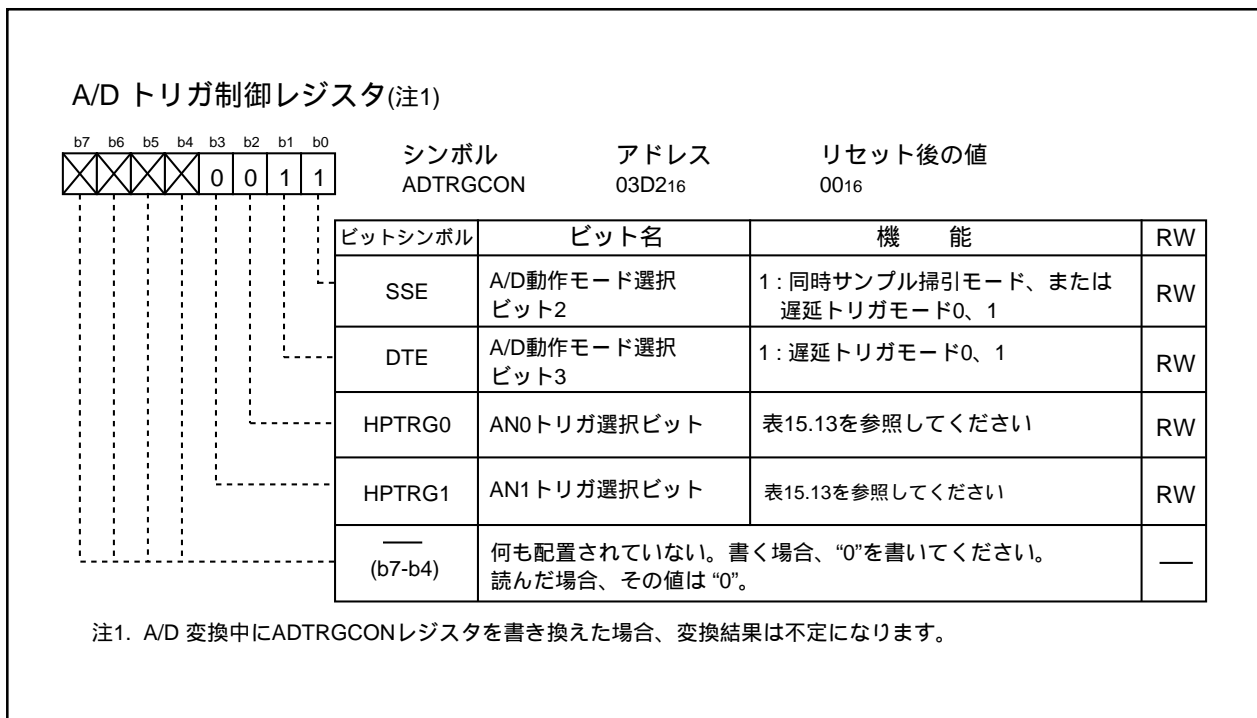


図15.28 遅延トリガモード1時のADTRGCONレジスタ

表15.13 遅延トリガモード1時のトリガ選択ビットの設定

TRG	TRG1	HPTRG0	HPTRG1	トリガ
0	1	0	0	ADTRG

15.2 分解能選択機能

ADCON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1” (変換精度を10ビット)にすると、A/D変換結果がA/Dレジスタ*i*(*i*=0~7)のビット0~9に格納されます。BITSビットを“0” (変換精度を8ビット)にすると、A/D変換結果がA/Dレジスタ*i*のビット0~7に格納されます。

15.3 サンプル&ホールド

ADCON2レジスタのSMPビットを“1” (サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルになります。サンプル&ホールドは、単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、または繰り返し掃引モード1で選択可能です。これらのモードでは1サンプル&ホールドの有無を選択してからA/D変換を開始してください。同時サンプル掃引モード、遅延トリガモード0、または遅延トリガモード1では、常時SMPビットを“1” (サンプル&ホールドあり)で使用してください。

15.4 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1” (Vref接続)にした後で、ADCON0レジスタのADSTビットを“1” (A/D変換開始)にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0” (Vref未接続)にしないでください。

15.5 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図15.29の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC=VIN\{1-e^{-\frac{1}{C(R0+R)}t}\}$$

$$t=Tのとき、VC=VIN-\frac{X}{Y} \quad VIN=VIN(1-\frac{X}{Y})より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図15.29にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなると、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(XIN)=10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.3μs、R=7.8k、C=1.5pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 13.9 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大13.9k になります。

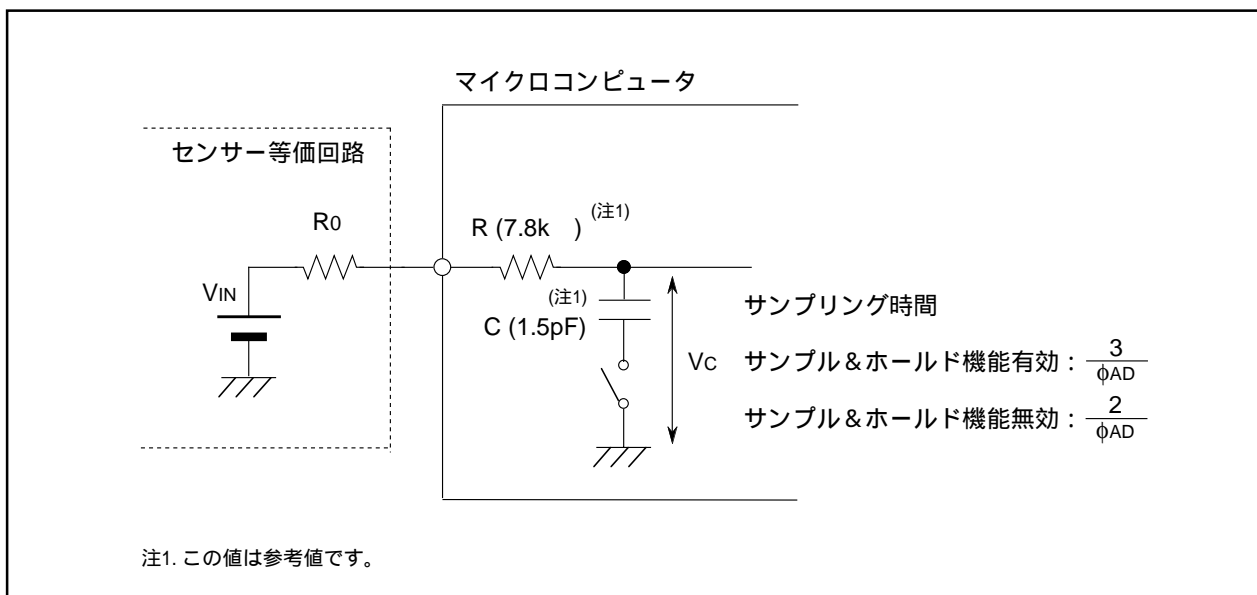


図15.29 アナログ入力端子と外部センサー等価回路

16. マルチマスタ²C busインタフェース

マルチマスタ²C busインタフェースは、フィリップス社²C busのデータ転送フォーマットに基づいてシリアル通信を行う回路です。ア - ビトレーション・ロスト検出機能とシンクロナス機能を持ちます。図16.1にマルチマスタ²C busインタフェースのブロック図、表16.1にマルチマスタ²C busインタフェース機能一覧を示します。

マルチマスタ²C busインタフェースは、²C0アドレスレジスタ、²C0データシフトレジスタ、²C0クロックコントロールレジスタ、²C0コントロールレジスタ0、²C0コントロールレジスタ1、²C0コントロールレジスタ2、²C0ステータスレジスタ、²C0スタート/ストップコンディション制御レジスタとその他の制御回路により構成されています。図16.2～図16.8にマルチマスタ²C bus関連レジスタを示します。

表16.1 マルチマスタ²C busインタフェース機能

項目	機能
フォーマット	フィリップス社 ² C bus規格準拠 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社 ² C bus規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz ~ 400kHz (V _{IIC} * = 4MHz)
入出力端子	シリアルデータライン SDAMM(SDA) シリアルクロックライン SCLMM(SCL)

*V_{IIC}=²C busシステムクロック

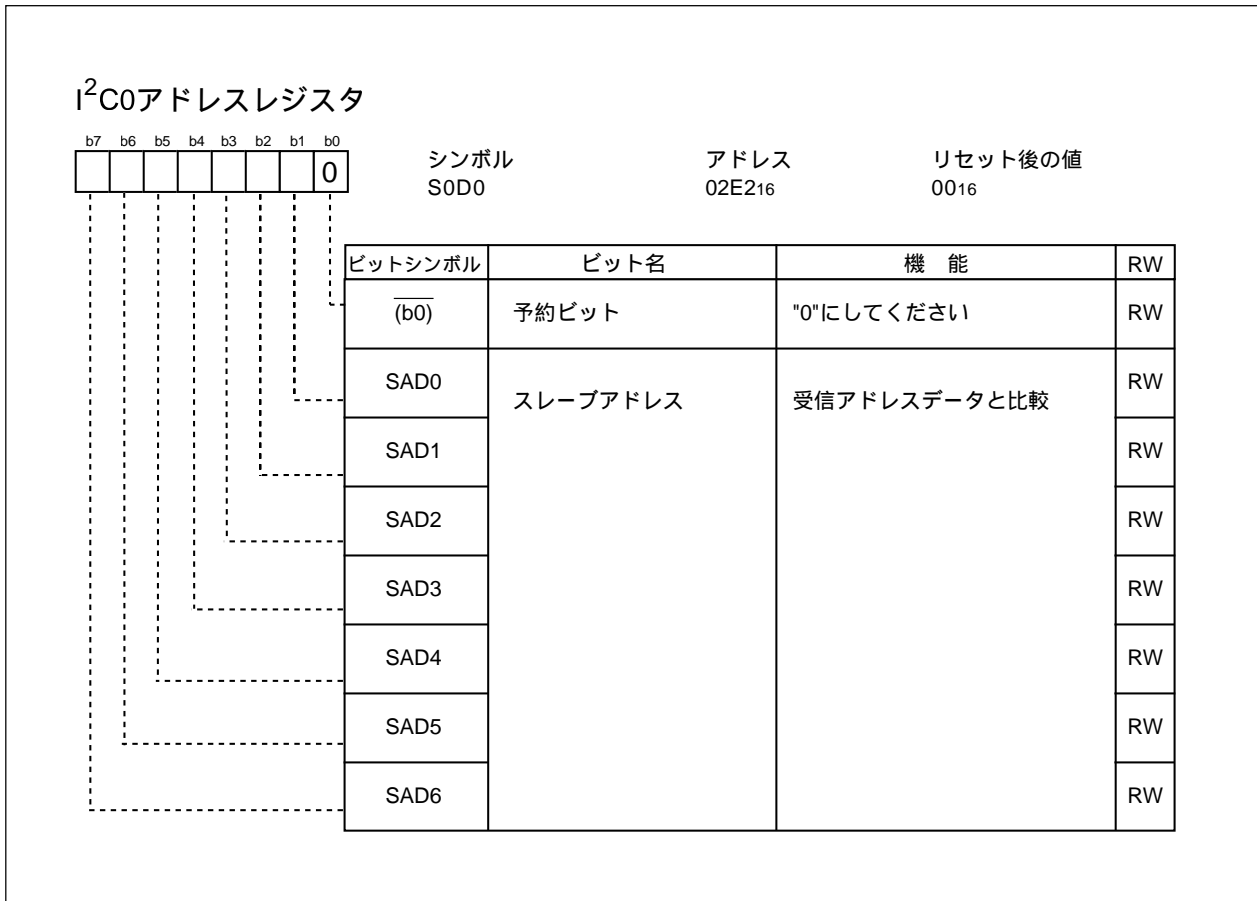


図16.2 S0D0レジスタ

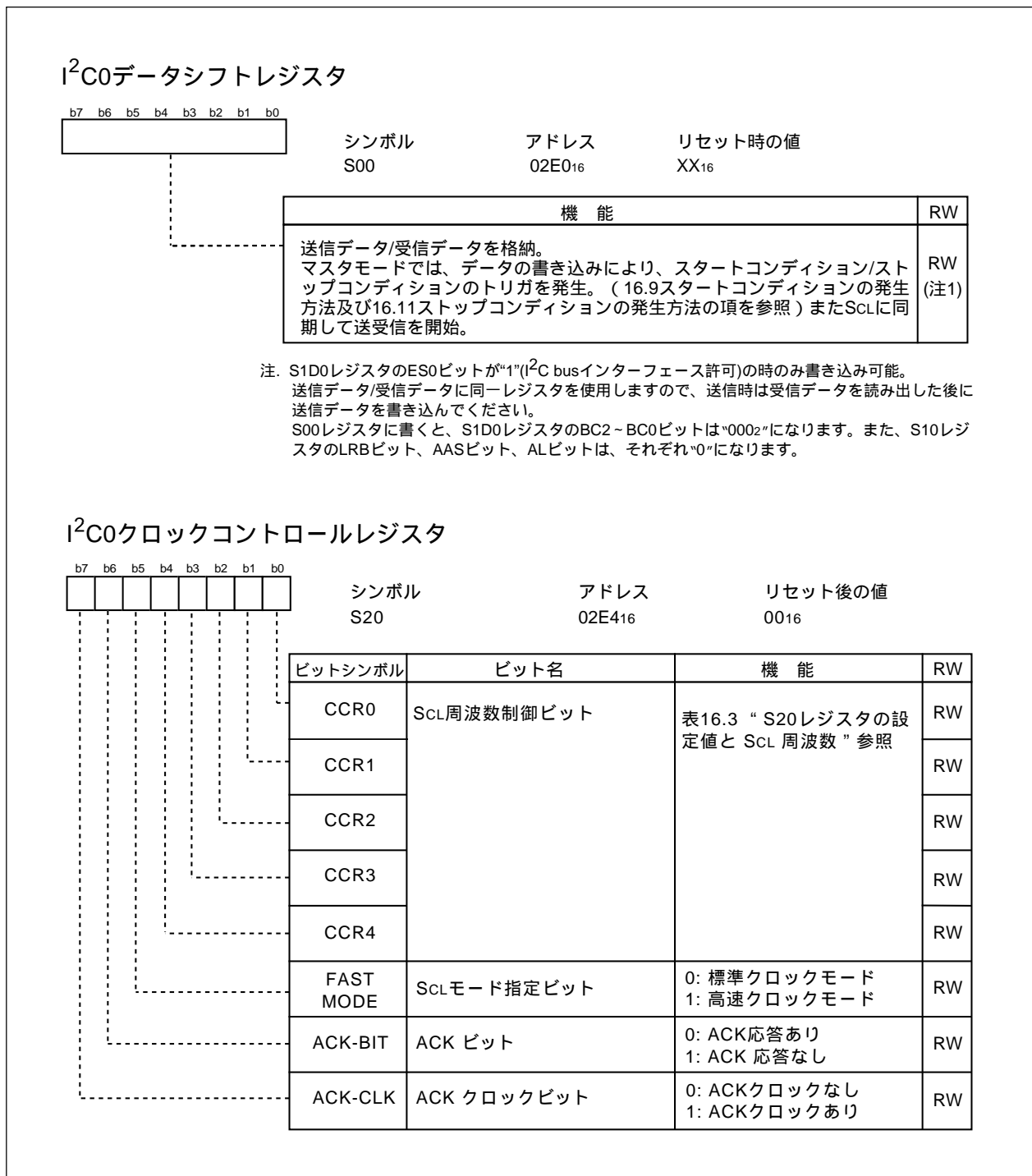


図16.3 S00レジスタ、S20レジスタ

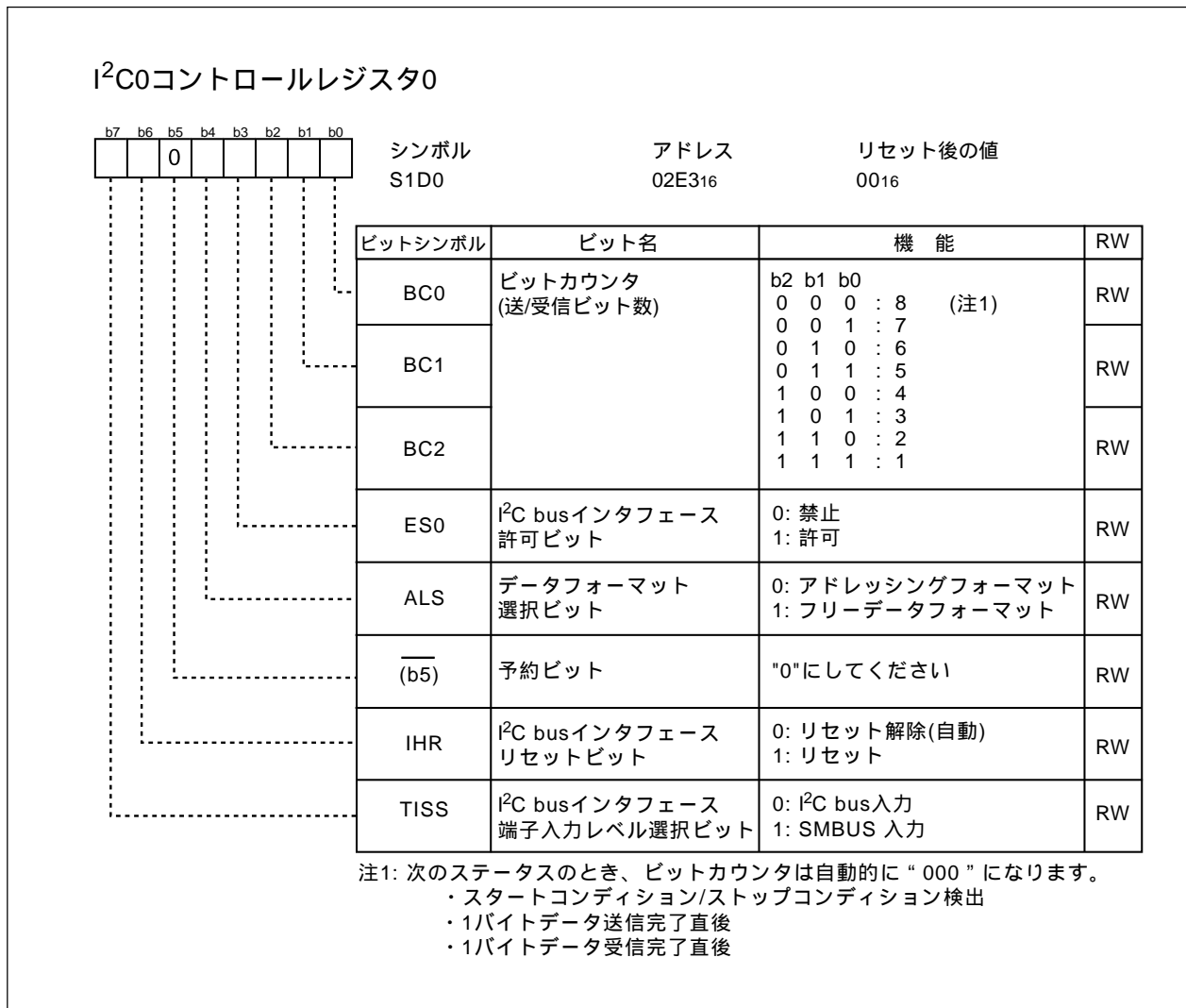
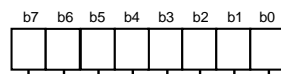


図16.4 S1D0レジスタ

I²C0ステータスレジスタシンボル
S10アドレス
02E816リセット後の値
0001000X2

ビット シンボル	ビット名	機能	RW
LRB	最終受信ビット	0: 最終ビット = "0" 1: 最終ビット = "1"	RO (注1)
ADR0	ジェネラルコール検出 フラグ	0: ジェネラルコール未検出 1: ジェネラルコール検出	RO (注1)
AAS	スレーブアドレス比較 フラグ	0: アドレス不一致 1: アドレス一致	RO (注1)
AL	アービトラージ ロスト検出フラグ	0: 未検出 1: 検出	RO (注2)
PIN	I ² C busインタフェース 割り込み要求ビット	0: 割り込み要求あり 1: 割り込み要求なし	RO (注2)
BB	バスビジーフラグ	0: バスフリー 1: バスビジー	RO (注1)
TRX	通信モード指定ビット0	0: 受信モード 1: 送信モード	RW (注3)
MST	通信モード指定ビット1	0: スレーブモード 1: マスタモード	RW (注3)

注1: ステータスのチェックとして使用する場合、このビットは読み出し専用です。

書き込みについては、「16.9. スタートコンディション発生方法」及び「16.11. ストップコンディション発生方法」を参照してください。

注2: 読み出し専用です。書く場合は、「0」を書いてください。

注3: 書き込みについては、「16.9. スタートコンディション発生方法」及び「16.11. ストップコンディション発生方法」を参照してください。

図16.5 S10レジスタ

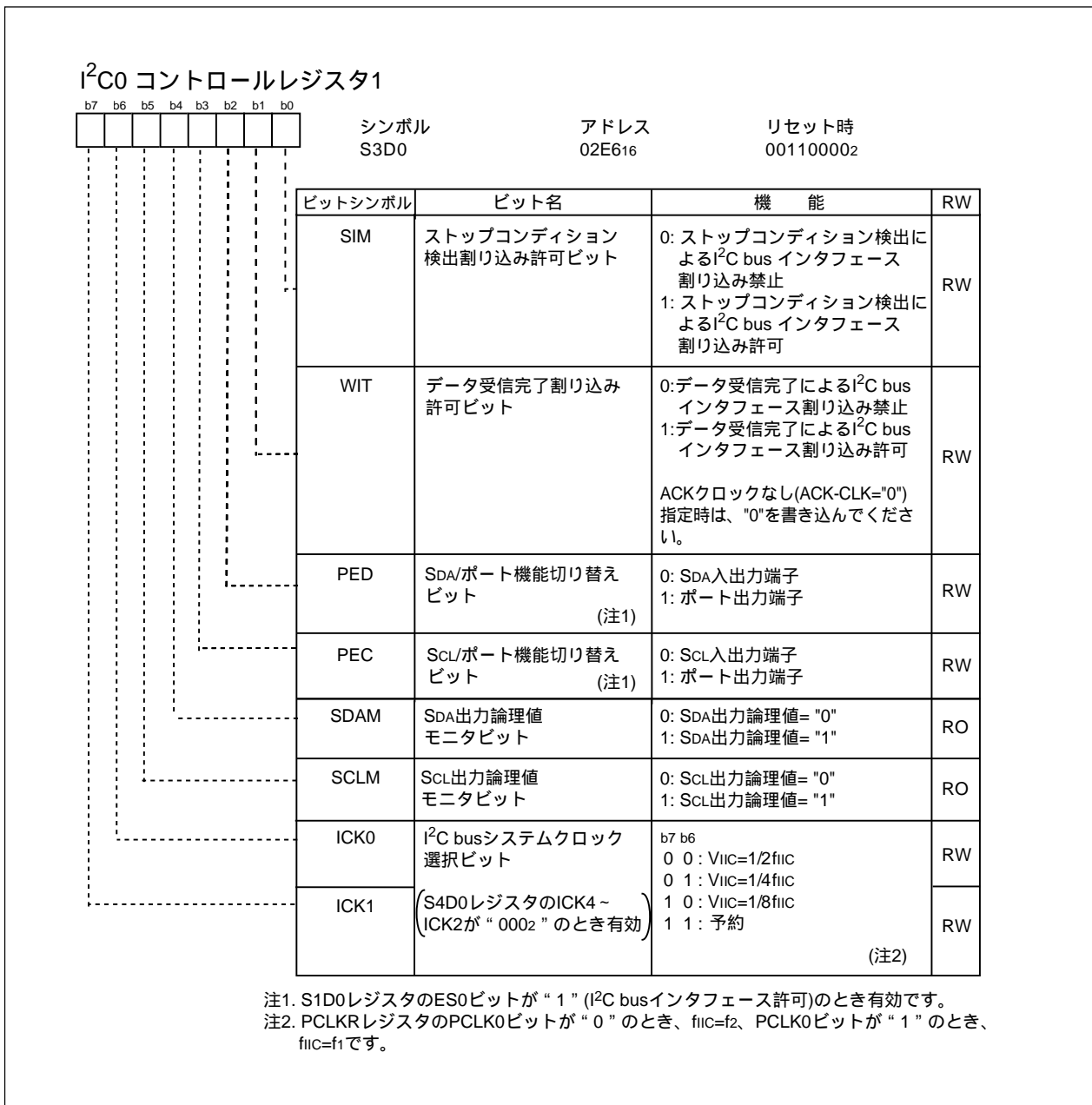


図 16.6 S3D0レジスタ

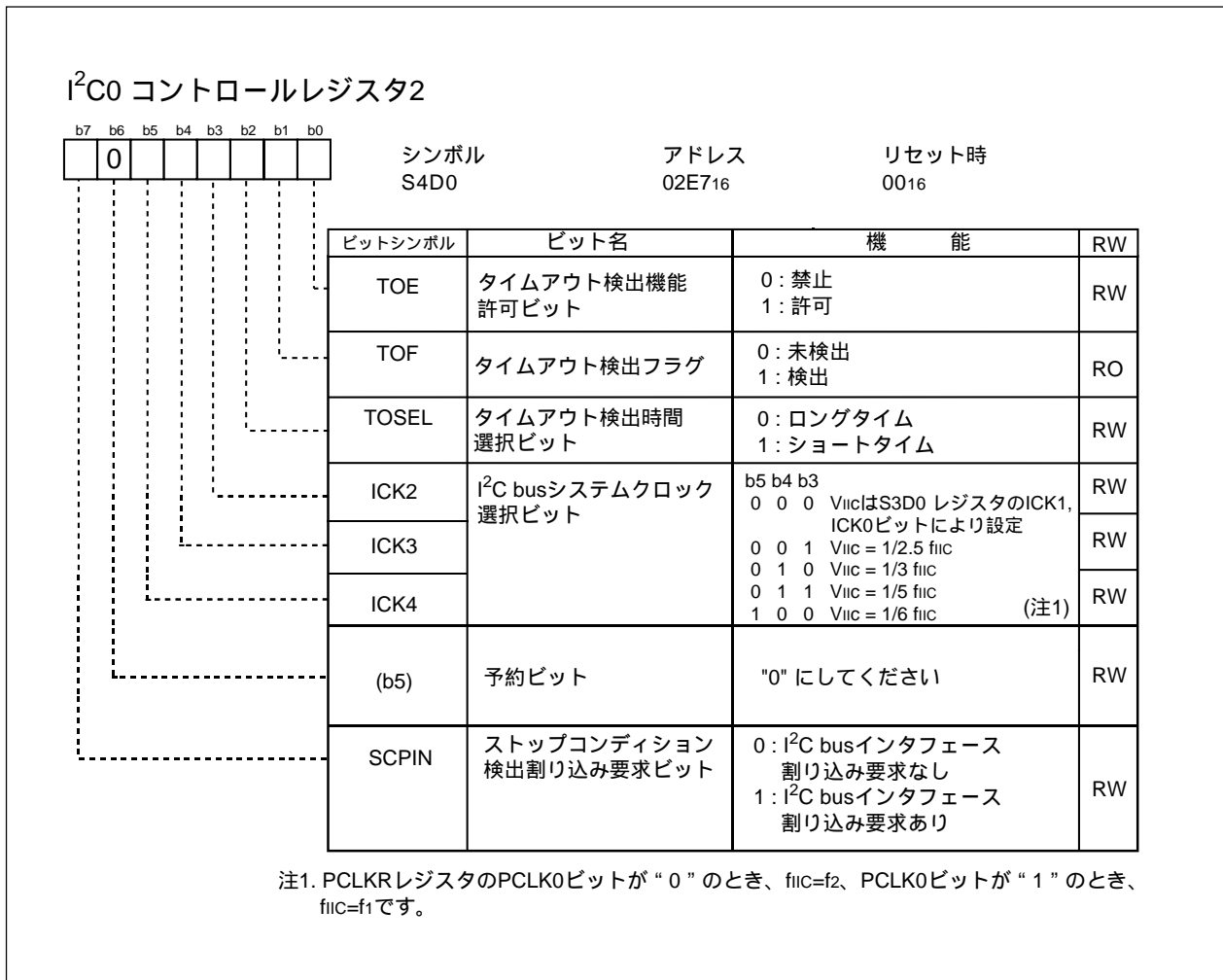


図 16.7 S4D0レジスタ

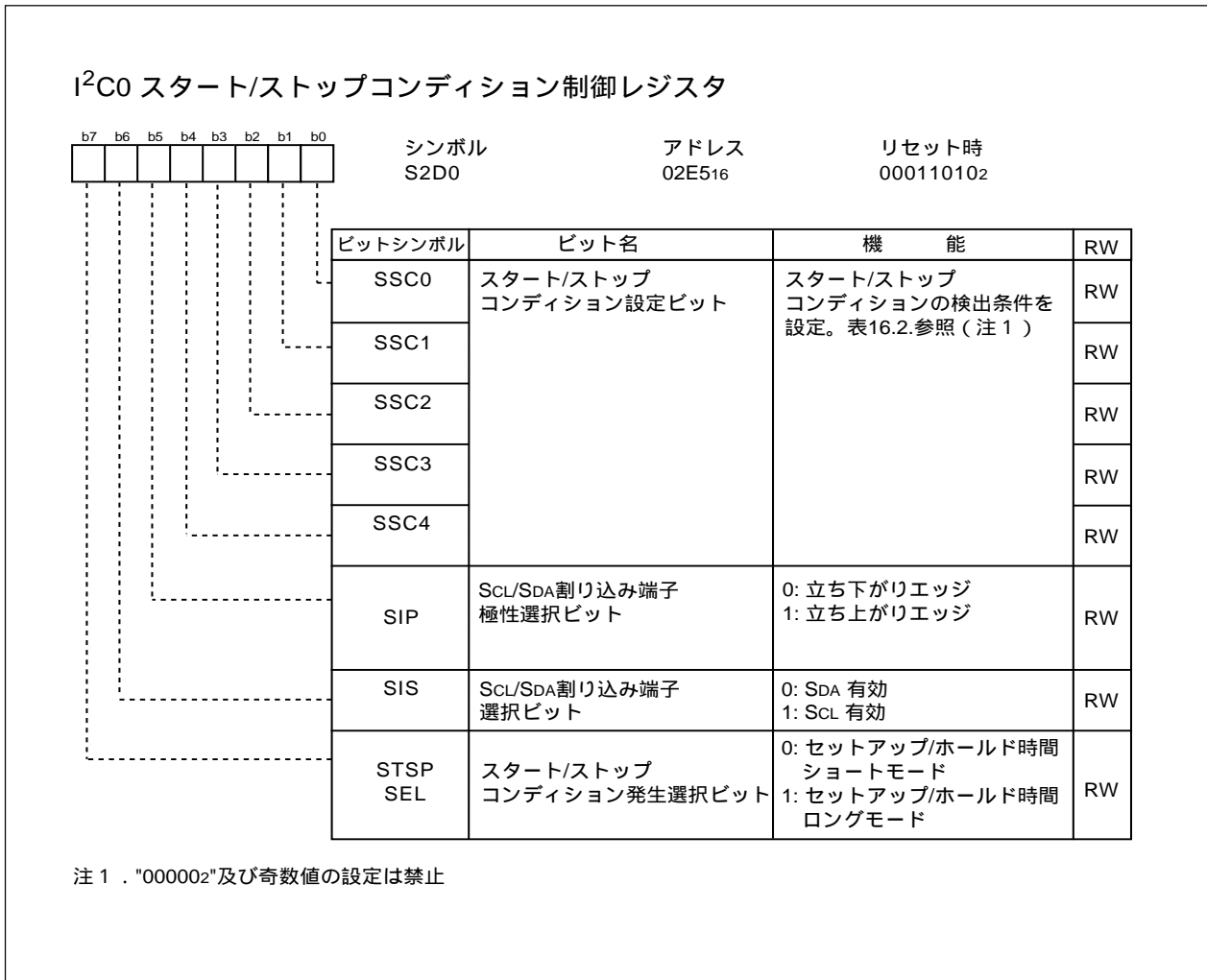


図 16.8 S2D0レジスタ

表.16.2 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4 - SSC0)への推奨設定値

発振周波数 f ₁ (MHz)	I ² C busシステム クロック選択	I ² C busシステム クロック(MHz)	SSC4-SSC0 (注1)	SCL 開放時間 (μs)	セットアップ時間 (μs)	ホールド時 (μs)
10	1 / 2f ₁ (注2)	5	XXX11110	6.2 μs(31サイクル)	3.2 μs(16サイクル)	3.0 μs(15サイクル)
8	1 / 2f ₁ (注2)	4	XXX11010	6.75 μs(27サイクル)	3.5 μs(14サイクル)	3.25 μs(13サイクル)
			XXX11000	6.25 μs(25サイクル)	3.25 μs(13サイクル)	3.0 μs(12サイクル)
8	1 / 8f ₁ (注2)	1	XXX00100	5.0 μs(5サイクル)	3.0 μs(3サイクル)	2.0 μs(2サイクル)
4	1 / 2f ₁ (注2)	2	XXX01100	6.5 μs(13サイクル)	3.5 μs(7サイクル)	3.0 μs(6サイクル)
			XXX01010	5.5 μs(11サイクル)	3.0 μs(6サイクル)	2.5 μs(5サイクル)
2	1 / 2f ₁ (注2)	1	XXX00100	5.0 μs(5サイクル)	3.0 μs(3サイクル)	2.0 μs(2サイクル)

注1. スタート/ストップコンディション設定ビット(SSC4 ~ SSC0)に奇数値及び " 00000₂ " は設定しないでください。

注2. PCLKRレジスタのPCLK0ビットが " 1 " のとき。

16.1 I²C0 データシフトレジスタ(S00レジスタ)

S00レジスタは、受信データの格納、および送信データ書き込みのための8ビットシフトレジスタです。送信データをこのレジスタに書き込むと、SCLクロックに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は、左へ1ビットシフトされます。データ受信時は、SCLクロックに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。受信データをこのレジスタに格納するタイミングを図16.9に示します。

S00レジスタは、S1D0レジスタのES0ビットが“1” (I²C busインタフェース許可)のとき書き込みが可能です。ES0ビットが“1”、S10レジスタのMSTビットが“1” (マスタモード)のとき、S00レジスタへ書くと、ビットカウンタがリセットされ、SCLが出力されます。

S00レジスタへの書き込みは、スタートコンディション作成時、またはSCL端子に対し“L”を出力しているときに行ってください。

S00レジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

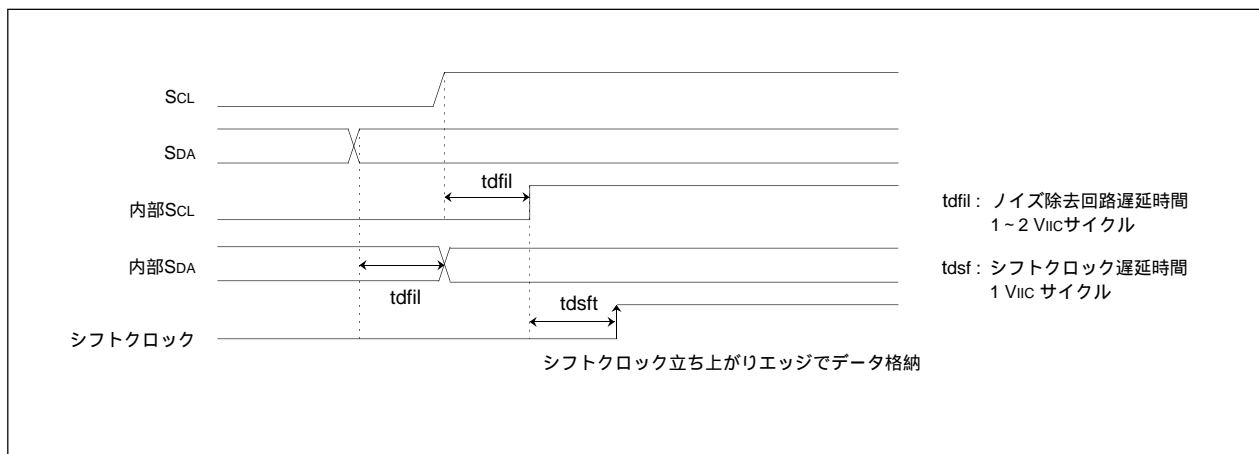


図16.9 S00レジスタへの受信データ格納タイミング

16.2 I²C0アドレスレジスタ(S0D0レジスタ)

SAD6~SAD0ビットの7ビットで構成されます。

スレーブアドレスの自動認識を行うアドレッシングフォーマット時は、受信したアドレスデータの7ビットとSAD6~SAD0の内容が比較されます。

16.3 I²C0クロックコントロールレジスタ(S20レジスタ)

S20レジスタはACKの制御、SCLモードの指定、およびSCLの周波数を設定するレジスタです。

16.3.1 ビット0～4：SCL周波数制御ビット(CCR0～CCR4)

SCL周波数を制御するビットです。表16.3を参照してください。

16.3.2 ビット5：SCLモード指定ビット (FAST MODE)

SCLモードを選択するビットです。“0”の場合、標準クロックモードになります。“1”の場合、高速クロックモードになります。

高速モードI²C bus規格(最高400kビット/秒)で使用する場合、SCLモードを高速クロックモード(“1”)とし、I²C busシステムクロック(VIIC)を4MHz以上でご使用ください。

16.3.3 ビット6: ACKビット (ACKBIT)

ACKクロック(注)発生時のSDAの状態を設定します。“0”の場合はACK応答を返すモードとなり、ACKクロック発生時にSDAを“L”にします。“1”の場合は、ACK応答を返さないモードとなり、ACKクロック発生時にSDAMMを“H”の状態に保持します。

ACKBITビットが“0”でアドレスデータ受信し、スレーブアドレスとアドレスデータが一致すると自動的にSDAMMを“L”にします(ACK応答を返します)。

スレーブアドレスとアドレスデータが一致しなかった場合は、自動的にSDAを“H”にします(ACK応答を返しません)。

(注)ACKクロック: 確認応答用のクロック

16.3.4 ビット7: ACKクロックビット(ACK-CLK)

データ転送の確認応答でアクノリジメントのモードを指定するビットです。“0”の場合、ACKクロック発生なしモードになり、データ転送後にACKクロックは発生しません。“1”の場合はACKクロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはACKクロックを発生します。アドレスデータ、制御データを送信するデバイスは、ACKクロック発生時にSDAを開放し(“H”の状態にする)、データを受信するデバイスが発生させるACKビットを受信します。

(注) 転送途中でACKBITビット以外のS20レジスタの書き換えを行わないでください。

転送途中に書き込みを行うと、I²C busのクロック回路がリセットされ、データが正常に転送できません。

表16.3 S20レジスタの設定値とSCL周波数

CCR4 ~ CCR0の設定値					SCL周波数(V _{IIC} =4MHz, 単位 : kHz) (注1)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード	高速クロックモード
0	0	0	0	0	選択禁止	選択禁止
0	0	0	0	1	選択禁止	選択禁止
0	0	0	1	0	選択禁止	選択禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	400 (注3)
0	0	1	1	0	83.3	166
					500 / CCR 値(注3)	1000 / CCR 値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1: SCL 出力のデューティは50%です。高速クロックモードCCR値=5のみ35~45%になります。

(400 kHz, V_{IIC} = 4 MHz)また、クロックの“H”の期間は標準クロックモードで+2~-4V_{IIC}、高速クロックモードで+2~-2 V_{IIC}変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらは、シンクロニズ機能によるSCL同期が行われていない場合の値です。CCR値はSCL周波数制御ビット CCR4 ~ CCR0を10進数表記した値です。

注2: V_{IIC} = 4 MHz 以上では、各々のSCL周波数の値が規格の範囲外になります。V_{IIC}の設定値を使用する場合はV_{IIC}をより低い周波数で使用ください。

注3: SCL周波数の計算式は次のとおりです。

V_{IIC}/(8 × CCR 値) 標準クロックモード

V_{IIC}/(4 × CCR 値) 高速クロックモード (CCR値 = 5)

V_{IIC}/(2 × CCR 値) 高速クロックモード (CCR値 = 5)

CCR値=0~2は、V_{IIC}の周波数に関わらず選択禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4~CCR0を設定してください。

16.4 I²C0コントロールレジスタ0(S1D0レジスタ)

S1D0レジスタはデータ通信フォーマットの制御を行うレジスタです。

16.4.1 ビット0～ビット2: ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいは、S20レジスタのACK-CLKビットが“1”(ACKクロックあり)であれば、ACKクロックも合わせたビットカウント数の転送完了後、I²C busインタフェース割り込み要求が発生し、BC0～BC2は“0002”に戻ります。また、スタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは8ビットで送受信されます。

16.4.2 ビット3: I²C bus インタフェース許可ビット(ES0)

I²C busインタフェースの使用を許可するビットです。“0”の場合使用禁止で、SDAおよびSCLはハイインピーダンスになります。“1”の場合使用許可となります。

ES0ビットを“0”にすると、次のように処理されます。

- (1) S10レジスタのMST=“0”、TRX=“0”、PIN=“1”、BB=“0”、AL=“0”、AAS=“0”、ADR0=“0”に設定される。
- (2) S00レジスタへの書き込みは禁止される。
- (3) S4D0レジスタのTOFビットが“0”(タイムアウト未検出)になる。
- (4) I²C busシステムクロック(VIIC)が停止し、内部カウンタ、フラグが初期化される。

16.4.3 ビット4: データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合は、アドレッシングフォーマットが選択され、アドレスデータが認識されます。S0D0レジスタに格納されたスレーブアドレスと受信したアドレスデータとを比較して一致した場合、またはジェネラルコールを受信したときのみ転送処理が行えます。“1”の場合は、フリーデータフォーマットとなり、スレーブアドレスを認識しません。

16.4.4 ビット6: I²C busインタフェースリセットビット(IHR)

異常通信発生時にI²C busインタフェース回路をリセットするビットです。S1D0レジスタのES0ビットが“1”(I²C busインタフェース許可)のとき、IHRビットに“1”を書き込むと、ハードウェアリセットします。フラグは次のように処理されます。

- (1) S10レジスタのMST=“0”、TRX=“0”、PIN=“1”、BB=“0”、AL=“0”、AAS=“0”、ADR0=“0”。
- (2) S4D0レジスタのTOFビットが“0”(タイムアウト未検出)になる。
- (3) 内部カウンタ、フラグ等は初期状態。

IHRビットに“1”を書き込むと、最大2.5 VIIC サイクル後にI²C busインタフェース回路のリセット処理が完了し、IHRビットは自動的に“0”になります。図16.10にリセットタイミングを示します。

16.4.5 ビット7: I²C busインタフェース端子入力レベル選択ビット(TISS)

I²C busインタフェースのSCL、SDA端子の入力レベルを選択するビットです。“1”の場合は、P20,P21がSMBus入力レベルになります。

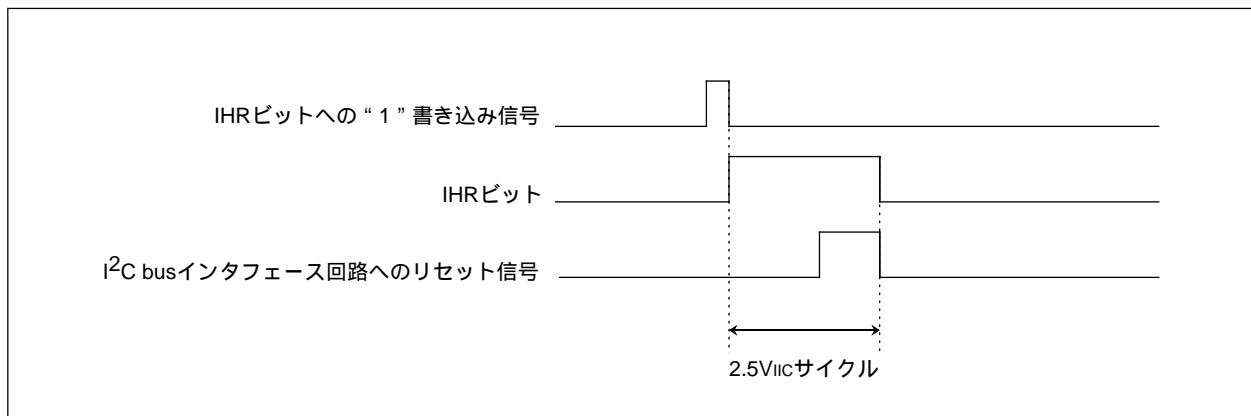


図16.10 I²C busインタフェース回路のリセットタイミング

16.5 I²C0ステータスレジスタ(S10レジスタ)

S10レジスタはI²C busインタフェースの状態をモニタするレジスタです。ステータスチェックとして使用する時は、下位6ビットは読み出し専用でご使用ください。

16.5.1 ビット0: 最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、ACK応答結果の受信確認に使用できます。S20レジスタのACK-CLKビットが“1”(ACKクロックあり)でACKクロック発生時にACK応答が返ってきた場合、LRBビットは“0”になります。ACK応答が返らなかった場合は“1”になります。ACK-CLKビットが“0”(ACKクロックなし)の場合は受信データの最終ビットの値が入力されます。

S00レジスタへ書き込むとLRBビットは“0”になります。

16.5.2 ビット1: ジェネラルコール検出フラグ(ADR0)

S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、アドレスデータがすべて“0”であるジェネラルコール(注1)をスレーブモード時に受信したときにADR0ビットは“1”になります。

ADR0ビットは、ストップコンディションの検出、スタートコンディションの検出、S1D0レジスタのES0ビットを“0”(I²C busインタフェース禁止)にしたとき、またはS1D0レジスタのIHRビットを“1”(リセット)にしたとき、“0”になります。

(注1)ジェネラルコール：マスタが全スレーブにジェネラルコールアドレス“0016”を送信すること。
マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。

16.5.3 ビット2: スレーブアドレス比較フラグ(AAS)

S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)の場合、スレーブアドレスの比較結果を示します。

スレーブ受信モード時、アドレスデータの7ビットがS0D0レジスタに格納されているスレーブアドレスと一致した場合、またはジェネラルコールを受信した場合にAASフラグは“1”になります。

S00レジスタに書き込むとAASフラグは“0”になります。

S1D0レジスタのES0ビットを“0”(I²C busインタフェース禁止)にしたとき、またはS1D0レジスタのIHRビットを“1”(リセット)にしたときも、AASフラグは“0”になります。

16.5.4 ビット3: ア - ビトレーションロスト検出フラグ(AL) (注1)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、ア - ビトレーションを失ったと判定し、ALフラグは“1”になり、同時にS10レジスタのTRXビットは“0”(受信モード)になります。S10レジスタのMSTビットは、ア - ビトレーションを失ったバイトの転送が完了した後に“0”(スレーブモード)になります。

ア - ビトレーションロストはマスタの送信モードのみ検出可能です。S00レジスタに書くとALフラグは“0”になります。S1D0レジスタのES0ビットを“0”(I²C busインタフェース禁止)にしたとき、またはS1D0レジスタのIHRビットを“1”(リセット)にしたときも、ALフラグは“0”になります。

(注1)ア - ビトレーションロスト：マスタとしての通信が不許可となった状態。

16.5.5 ビット4: I²C busインタフェース割り込み要求ビット(PIN)

I²C busインタフェース割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは“1”から“0”になります。同時にI²C busインタフェース割り込み要求が発生します。PINビットは、内部転送クロックの最終クロック（ACK-CLKビットが“1”の場合、ACKクロック、ACK-CLKビットが“0”の場合、8クロック目）の立ち下がりに同期して“0”になり、割り込み要求はPINビットの立ち下がりに同期して発生します。PINビットが“0”のとき、SCLは“L”に保たれクロックの発生は禁止されます。ACKクロックありで、かつS3D0レジスタのWITビットが“1”（データ受信完了によるI²C busインタフェース割り込み許可）に設定されている場合、最終クロックおよびACKクロックの立ち下がりに同期して、それぞれPINビットが“0”になり、それぞれにI²C busインタフェース割り込み要求が発生します。図16.11にI²C busインターフェース割り込み要求の発生タイミングを示します。

PINビットは以下のいずれかで“1”になります。

- ・ S00レジスタへの書き込み
- ・ S20レジスタへの書き込み(WITビットが“1”で、内部WAITフラグが“1”の場合)
- ・ S1D0レジスタのES0ビットを“0”（I²C busインタフェース禁止）にしたとき
- ・ S1D0レジスタのIHRビットを“1”（リセット）にしたとき

PINビットは以下のいずれかで“0”になります。

- ・ 1バイトのデータ送信完了（ア - ビトレーションロストを検出した場合を含む）
- ・ 1バイトのデータ受信完了
- ・ スレーブ受信モードのとき、S1D0レジスタのALSビットが“0”（アドレッシングフォーマット）で、S0D0レジスタに格納されたスレーブアドレスと受信したアドレスデータを比較して一致した場合、またはジェネラルコールアドレス受信完了
- ・ スレーブ受信の際、ALSビットが“1”（フリーフォーマット）で、アドレスデータ受信完了

16.5.6 ビット5: バスビジーフラグ（BB）

バスシステムの使用状態を示すビットです。“0”の場合、バスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタモード、スレーブモードにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディション検出により“1”になり、ストップコンディション検出により“0”になります。これらの検出はS2D0レジスタのSSC4～SSC0ビット（スタート/ストップコンディション設定ビット）の条件に従います。S1D0レジスタのES0ビットを“0”（I²C busインタフェース禁止）にしたとき、またはS1D0レジスタのIHRビットを“1”（リセット）にしたとき、BBフラグは“0”になります。BBフラグに対する書き込みについては、後述の「16.9 スタートコンディション発生方法」及び「16.11 ストップコンディション発生方法」をご参照ください。

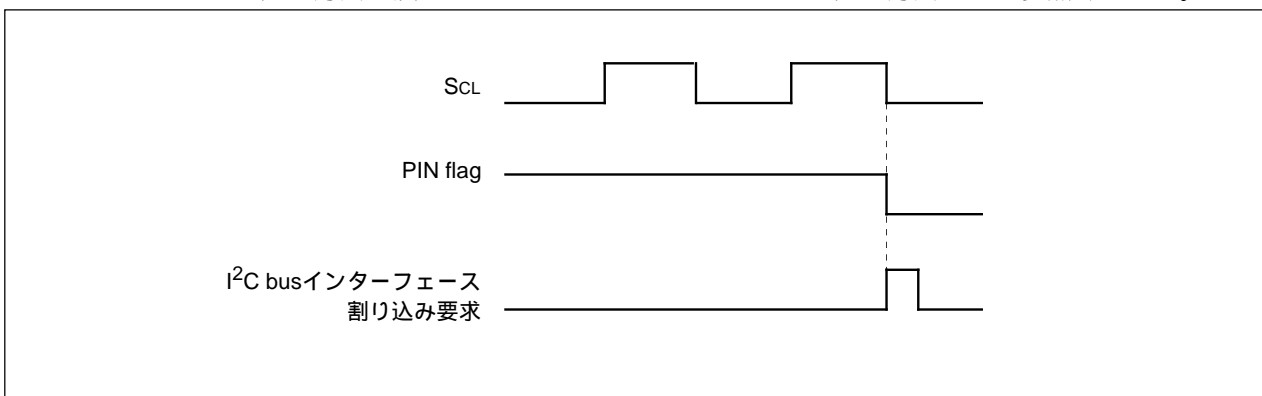


図16.11 割り込み要求発生タイミング

16.5.7 ビット6: 通信モード指定ビット0 (転送方向指定ビット : TRX)

データ通信の転送方向を決定するビットです。“0”にすると、受信モードとなり送信デバイスのデータを受信します。“1”にすると、送信モードとなりSCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。

以下の場合、自動的に“1”になります。

- ・スレーブモード時、S1D0レジスタのALSビットが“0”(アドレッシングフォーマット)でアドレスデータ受信後にAASフラグが“1”(アドレス一致)になり、かつ受信したR/Wビットが“1”の場合
- 以下のいずれかの場合に、“0”になります。
- ・ア - ビトレーションロストを検出した場合
 - ・ストップコンディションを検出した場合
 - ・スタートコンディションを検出した場合
 - ・スタートコンディション重複防止機能(注1)によりスタートコンディションが無効となった場合
 - ・S10レジスタのMSTビットが“0”(スレーブモード)でスタートコンディションを検出した場合
 - ・S10レジスタのMSTビットが“0”(スレーブモード)でACK応答なしを検出した場合
 - ・S1D0レジスタのES0ビットを“0”(I²C busインタフェース禁止)にした場合
 - ・S1D0レジスタのIHRビットを“1”(リセット)にした場合

16.5.8 ビット7: 通信モード指定ビット1 (マスタ/スレーブ指定ビット : MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”にすると、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1”すると、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下のいずれかの場合、自動的に“0”になります。

- ・ア - ビトレーションロストを検出した場合、ア - ビトレーションを失った1バイトデータの転送完了
- ・ストップコンディションを検出した場合
- ・スタートコンディションを検出した場合
- ・スタートコンディション重複防止機能(注1)によりスタートコンディションが無効となった場合
- ・S1D0レジスタのIHRビットを“1”(リセット)にした場合
- ・S1D0レジスタのES0ビットを“0”(I²C busインタフェース禁止)にした場合

(注1) スタートコンディション重複防止機能

スタートコンディション発生の手順では、S1D0レジスタのBBフラグの“0”(バスフリー)を確認後、MST、TRX、BBの各ビットに同時に“1”書き込みを行います。BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットへの書き込みは無効になります。重複防止機能はBBフラグの立ち上がりからスレーブアドレスの受信完了までの期間有効となります。

詳細は、「16.9 スタートコンディション発生方法」を参照してください。

16.6 I²C0 コントロールレジスタ1(S3D0レジスタ)

S3D0レジスタは I²C busインタフェース回路の各種制御を行うレジスタです。

16.6.1 ビット0: ストップコンディション検出割り込み許可ビット(SIM)

ストップコンディション検出による I²C busインタフェース割り込み要求を許可するビットです。“1”の時、ストップコンディション検出(PINビットの変更なし)による I²C busインタフェース割り込み要求が発生します。

16.6.2 ビット1: データ受信完了割り込み許可ビット(WIT)

S20レジスタのACK-CLKビットが“1”(ACKクロックあり)の時、WITビットを“1”にすると、最終データビットクロックの立ち下がりに同期して、I²C busインタフェース割り込み要求が発生しPINビットが“0”になります。同時にSCLは“L”になり、ACKクロック発生を抑制します。表16.4と図16.12に I²C busインターフェース割り込み要求タイミングと通信再開の方法を示します。通信再開後、ACKクロックの立ち下がりに同期して再度PINビットが“0”になり、再度 I²C busインタフェース割り込み要求が発生します。

表16.4 データ受信時の割り込み発生タイミング

I ² C busインターフェース割り込み発生タイミング	通信再開の方法
1. 最終データビットクロックの立ち下がりに同期	S20レジスタのACKBITビットへの書き込み 次にPINビットを“1”に設定 (S00レジスタへの書き込み禁止 ACKクロック動作が不正確になる恐れがあります)
2. ACKクロックの立ち下がりに同期	S00レジスタへの書き込み

WITビットを読み出すと内部WAITフラグの状態を読み出せます。内部WAITフラグはS00レジスタへの書き込みで“1”になり、S20レジスタ書き込みで“0”になります。

よって1, 2のどちらのタイミングで I²C busインタフェース割り込み要求が発生したのか判別ができません。(図.16.12参照)

なお、送信時およびスタートコンディション直後のアドレスデータ受信時は、WITビットの値にかかわらず、WAITフラグは“0”のまま、I²C busインタフェース割り込み要求はACKクロックの立ち下がり時にのみ発生します。また、S20レジスタのACK-CLKビットが“0”(ACKクロックなし)の時はWITビットは“0”にしてください。

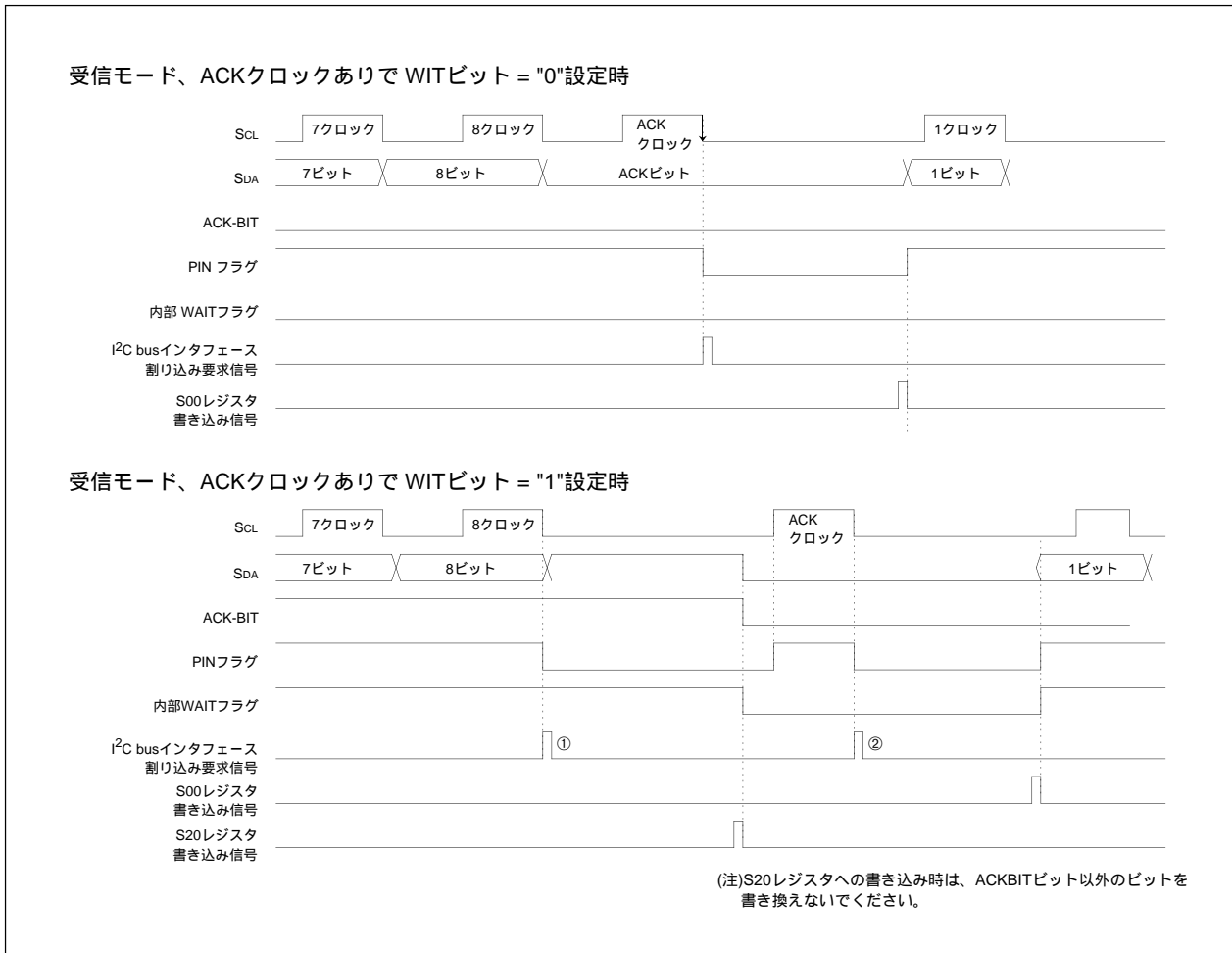


図 16.12 データ受信完了時の割り込み発生タイミング図

16.6.3 ビット 2,3 : ポート機能切り替えビット PED, PEC

S1D0レジスタのES0ビットが“1” (I²C busインタフェース許可)のとき、PEDビットに“1”を設定するとSDAMM端子が、PECビットに“1”を設定するとSCLMM端子がそれぞれ出力ポートとして機能します。このとき内部SCL/SDA出力信号に関係なくSDA端子、SCL端子にはP2_0ビット、P2_1ビットの設定値が出力されます。(SCL/SDAはI²C busインターフェース回路に接続しています)。

なお、PEDビット、PECビットの設定に関係なく、ポート方向レジスタを入力に設定してポートレジスタを読みだした場合は、バス上の信号値が読めます。表16.5にポート仕様を示します。

表.16.5 ポート仕様

端子名	ES0ビット	PEDビット	P20方向レジスタ	機能
P20	0	-	0/1	ポート入力 / ポート出力機能
	1	0	-	SDA入出力機能
	1	1	-	SDA入力機能、ポート出力機能
	ES0ビット	PECビット	P21方向レジスタ	機能
P21	0	-	0/1	ポート入力 / ポート出力機能
	1	0	-	SCL入出力機能
	1	1	-	SCL入力機能、ポート出力機能

16.6.4 ビット 4,5 : SDA/SCL出力論理値モニタビット SDAM /SCLM

I²C busインタフェース回路からのSDA出力信号、SCL出力信号の論理値をモニタすることが可能です。SDAM ビットはSDA出力論理値が、SCLMはSCL出力論理値がそれぞれモニタできます。本ビットは読み出し専用ビットです。書く時は“0”を書き込んでください。

16.6.5 ビット 6,7 : I²C bus システムクロック選択ビット ICK0, ICK1

ICK1、ICK0ビット、S4D0レジスタのICK4~ICK2ビット、およびPCLKRレジスタのPCLK0ビットの設定によって、I²C busインタフェース回路のシステムクロック(VIIC)を選択します。

I²C busシステムクロックVIICは、fIICの2分周、2.5分周、3分周、4分周、5分周、6分周、8分周から選択可能です。fIICは、PCLK0ビットの設定によって、f1またはf2から選択可能です。

表.16.6 I²C busシステムクロック選択ビット

ICK4[S4D0]	ICK3[S4D0]	ICK2[S4D0]	ICK1[S3D0]	ICK0[S3D0]	I ² Cシステムクロック
0	0	0	0	0	VIIC=1/2 fIIC
0	0	0	0	1	VIIC=1/4 fIIC
0	0	0	1	0	VIIC=1/8 fIIC
0	0	1	X	X	VIIC=1/2.5 fIIC
0	1	0	X	X	VIIC=1/3 fIIC
0	1	1	X	X	VIIC=1/5 fIIC
1	0	0	X	X	VIIC=1/6 fIIC

(ここに記載されていない組み合わせは設定禁止)

16.6.6 ウェイトモード/ストップモードでのアドレスデータ受信

CM0レジスタのCM02ビットを“0”(ウェイトモード時、周辺機能クロックを停止しない)を選択してウェイトモードに移行した場合、ウェイトモード中も、I²C busインタフェース回路はアドレスデータ受信が可能です。

ストップモード時、および低消費電力モード時はI²C busシステムクロックVIICが供給されないため、I²C busインタフェース回路は動作しません。

16.7 I²C0コントロールレジスタ2(S4D0レジスタ)

S4D0レジスタは通信異常検出を制御するレジスタです。

転送中にSCLクロックが停止すると、各デバイスは通信状態のまま停止してしまいます。それを回避するため、I²C busインタフェース回路は、通信中にSCLクロックが"H"状態で一定時間以上停止したときにタイムアウトを検出してI²C busインタフェース割り込み要求を発生させる機能を備えています。図16.13を参照下さい。

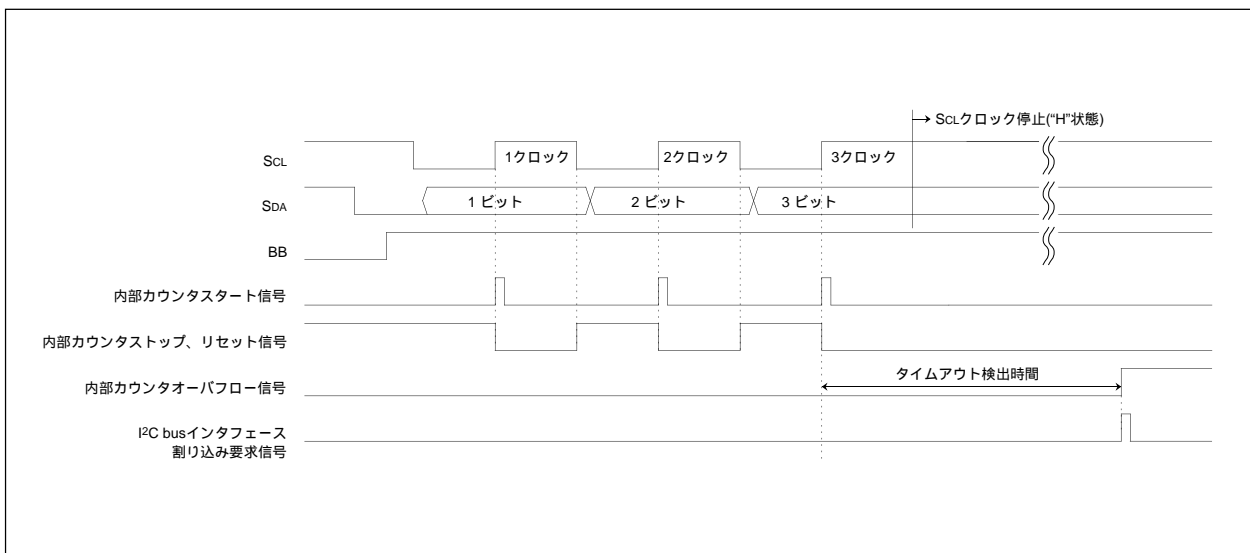


図 16.13 タイムアウト検出タイミング図

16.7.1 ビット0: タイムアウト検出機能許可ビット (TOE)

タイムアウト検出機能を許可するビットです。次の条件でTOEビットを“1”に設定すると、タイムアウトを検出し、I²C busインタフェース割り込み要求が発生します。

- 1) S10レジスタのBBフラグが“1” (バスビジー)
- 2) ScLクロックが一定時間以上“H”の状態に停止(表16.7参照)

タイムアウト検出時間は、内部カウンタにより計測し、タイムアウト検出時間選択ビット(TOSEL)によりロングタイムとショートタイムから選択できます。タイムアウトを検出した場合には、S1D0レジスタのES0ビットを“0” (I²C busインタフェース禁止)に設定して初期化してください。

16.7.2 ビット1: タイムアウト検出フラグ (TOF)

タイムアウト検出状態を示すフラグです。タイムアウト時間を計測する内部カウンタがオーバーフローするとTOFビットが“1”になり、同時にI²C busインタフェース割り込み要求が発生します。

16.7.3 ビット2: タイムアウト検出時間選択ビット (TOSEL)

タイムアウト検出時間をロングタイムとショートタイムから選択するビットで、TOSELを“0”に設定するとロングタイム、TOSELを“1”に設定するとショートタイムが選択されます。ロングタイムでは内部カウンタを16ビットカウンタとして、またショートタイムでは14ビットカウンタとして、I²C busシステムクロック(VIIC)をカウントソースとしてアップカウントします。タイムアウト検出時間の例を表16.7に示します。

表.16.7 タイムアウト検出時間例 (単位: ms)

VIIC(MHz)	ロングタイムモード	ショートタイムモード
4	16.4	4.1
2	32.8	8.2
1	65.6	16.4

16.7.4 ビット 3,4,5: I²C busシステムクロック選択ビット (ICK2 ~ ICK4)

ICK4 ~ ICK2ビット、S3D0レジスタのICK1、ICK0ビット、およびPCLKRレジスタのPCLK0ビットの設定によって、I²C busインタフェース回路のシステムクロック(VIIC)を選択します。設定値は表16.6を参照してください。

16.7.5 ビット7: ストップコンディション検出割り込み要求ビット (SCPIN)

ストップコンディション検出割り込みをモニタするビットです。ストップコンディション検出によるI²C busインタフェース割り込みが発生すると“1”になります。

このビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

16.8 I²C0スタート/ストップコンディション制御レジスタ(S2D0レジスタ)

S2D0レジスタは、スタートコンディション、ストップコンディションの検出を制御するレジスタです。

16.8.1 ビット0～ビット4: スタート/ストップコンディション設定ビット(SSC0-SSC4)

SCL開放時間、セットアップ時間、ホールド時間はI²C busシステムクロック(VIIC)により時間を計測しているため、発振周波数(XIN)や、I²C busシステムクロック選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表16.10を参照してください。SSC4～SSC0ビットに奇数値及び“000002”は設定しないでください。各発振周波数での標準クロックモード時のSSC4～SSC0ビットへの推奨設定値を表16.2に示します。なお、スタート/ストップコンディションの検出はS1D0レジスタのES0ビットに“1”(I²C busインタフェース許可)を設定した直後より開始します。

16.8.2 ビット5: SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出してSCL/SDA割り込みを発生させることができます。

SIPビットで、SCLあるいはSDA端子の割り込みの極性を選択します。

16.8.3 ビット6 : SCL/SDA 割り込み端子選択ビット(SIS)

SISビットで、SCL/SDA割り込みを有効にする端子を選択します。

注1 . SIPビット、SISビットやS1D0レジスタのES0ビットの設定を変更する際、SCL/SDA割り込みの要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、SCL/SDA割り込みを禁止にした状態で上記のビット設定し、その後SCL/SDA割り込み要求ビットに“0”を書き込んでから、SCL/SDA割り込みを許可してください。

16.8.4 ビット7: スタート/ストップコンディション発生選択ビット(STSPSEL)

スタート/ストップコンディション発生時のセットアップ/ホールド時間を選択できます。セットアップ/ホールド時間の長さは、I²C busシステムクロックのサイクル数が基準になりますので表16.8を参照してください。I²C busシステムクロックの周波数が4MHzを超える場合は、このビットを“1”に設定してください。

16.9 スタートコンディション発生方法

S1D0レジスタのES0ビットが“1”(I²C busインタフェース許可)、S10レジスタのBBフラグが“0”(バスフリー)の状態、S10レジスタのMST,TRX,BBフラグに“1”、PIN,下位4ビットに“0”を同時に書き込みを行い、スタートコンディションスタンバイ状態に設定します。次に、S00レジスタにスレーブアドレスを書き込むとスタートコンディションが発生します。その後、ビットカウンタが“0002”になり1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図16.16 スタートコンディション発生タイミング図と表16.8スタートコンディション発生タイミング表を参照してください。

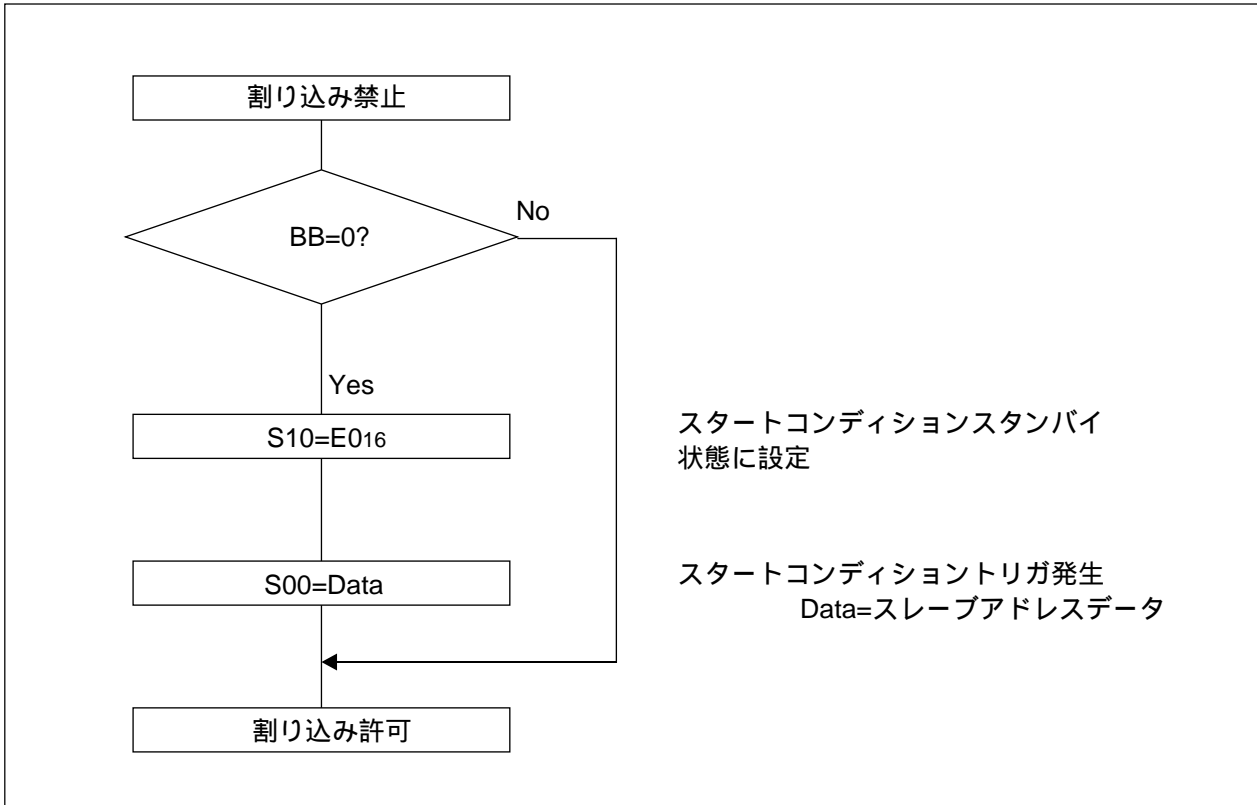


図 16.14 スタートコンディション発生フロー

16.10 スタートコンディション重複防止機能

スタートコンディション生成時は、S10レジスタのBBフラグでバスが使用されていないことを確認した後、スタートコンディションを発生しますが、BBフラグの確認直後に別のマスタデバイスが生成したスタートコンディションによりBBフラグが“1”(バスビジー)になった場合には、スタートコンディション重複防止機能によりスタートコンディション発生は中止されます。

スタートコンディション重複防止機能が働くと、次のように処理されます。

- ・スタートコンディションスタンバイ設定を禁止
すでに設定されていた場合はスタートコンディションスタンバイ状態を解除し、S10レジスタのMST,TRXビットが“0”になる
- ・S00レジスタへの書き込み禁止(スタートコンディショントリガ発生を禁止)
- ・スタートコンディション発生が中止された場合は、S10レジスタのALフラグが“1”(アービトラーションロスト検出)になる

スタートコンディション重複防止機能は、スタートコンディションのSdA立ち下がりからスレーブアドレスの受信完了までの期間有効となります。図.16.15にスタートコンディション重複防止機能の有効期間を示します。

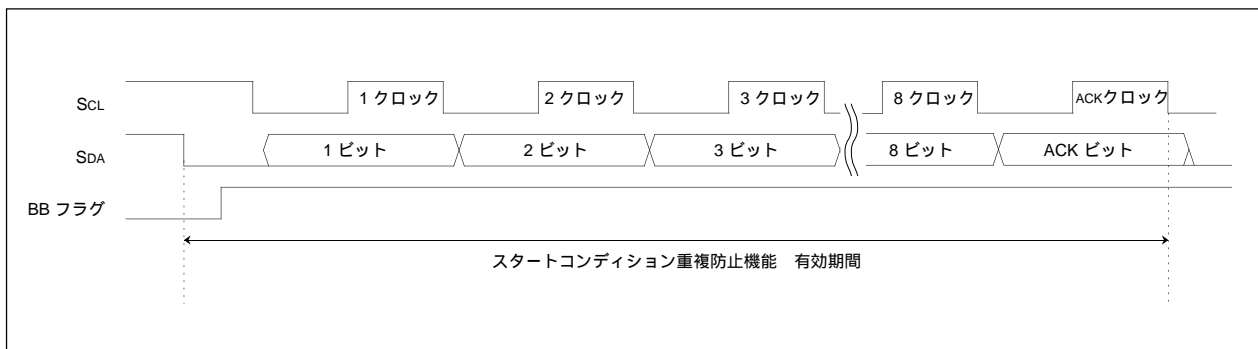


図16.15 スタートコンディション重複防止機能有効期間

16.11 ストップコンディション発生方法

S1D0レジスタのES0ビットが“1”(I²C busインタフェース許可)の状態、S10レジスタのMST,TRXビットに“1”、BB,PIN,下位4ビットに“0”を同時に書き込みを行い、ストップコンディションスタンバイ状態に設定します。次にS00レジスタにダミーデータを書き込むとストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図16.17のストップコンディション発生タイミング図と表16.8ストップコンディション発生タイミング表を参照してください。

なお、ストップコンディションを発生させる命令を実行した後、S10レジスタのBBフラグが“0”(バスフリー)になるまでの間、S10レジスタ、S00レジスタに書き込みを行わないでください。ストップコンディション波形が正常に発生されないことがあります。

また、ストップコンディションを発生させる命令を実行し、SCL端子の入力信号が“H”になった後、S10レジスタのBBビットが“0”(バスフリー)になるまでの間に、SCL端子の入力信号が“L”になると、SCL端子へ“L”を出力します。

その場合、ストップコンディションの発生、S1D0レジスタのES0ビットへの“0”書き込み、IHRビットへの“1”書き込みのいずれかを行うとSCL端子への“L”出力を停止します。

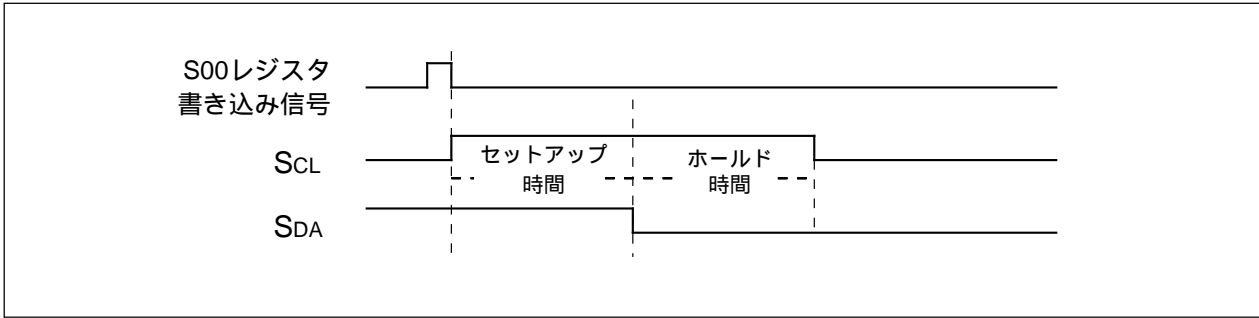


図16.16 スタートコンディション発生タイミング図

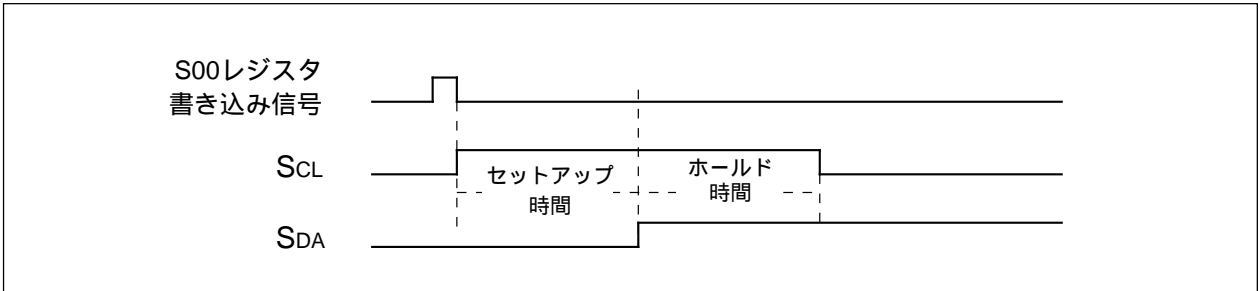


図16.17 ストップコンディション発生タイミング図

表16.8 スタート/ストップコンディション発生タイミング表

項目	スタート/ストップコンディション発生選択ビット	標準クロックモード	高速クロックモード
セットアップ時間	“0”	5.0μs (20 サイクル)	2.5μs (10 サイクル)
	“1”	13.0μs (52 サイクル)	6.5μs (26 サイクル)
ホールド時間	“0”	5.0μs (20 サイクル)	2.5μs (10 サイクル)
	“1”	13.0μs (52 サイクル)	6.5μs (26 サイクル)

注: V_{IIC} = 4MHz時の絶対時間、()内は V_{IIC} のサイクル数

以上のようにS10レジスタのMST,TRXビットに“1”、BBフラグに“1”または“0”、PINビットと下位4ビットに“0”を同時に書き込むとスタートコンディションまたはストップコンディションスタンバイ状態になり、スタートコンディションスタンバイ状態ではSDAを開放し、ストップコンディションスタンバイ状態ではSDAを“L”にします。その後、S00レジスタへ書くと、スタート/ストップコンディションを発生します。なお、スタート/ストップコンディションを発生させないで、MST,TRXビットを“1”に設定する場合には、下位4ビットには“1”を同時に書き込んでください。表16.9にS10レジスタ書き込みによる機能を示します。

表16.9 S10レジスタ書き込みによる機能一覧

S10レジスタ書き込み値								機 能
MST	TRX	BB	PIN	AL	AAS	AS0	LRB	
1	1	1	0	0	0	0	0	マスタ送信モードでスタートコンディションスタンバイ状態に設定
1	1	0	0	0	0	0	0	マスタ送信モードでストップコンディションスタンバイ状態に設定
0/1	0/1	-	0	1	1	1	1	各通信モードに設定(16.5 I ² C0ステータスレジスタを参照)

16.12 スタート/ストップコンディション検出動作

スタート/ストップコンディション検出動作を図 16.18、図16.19と表16.10に示します。スタート/ストップコンディションは S2D0レジスタのSSC4～SSC0ビットにより条件が設定され、SCL,SDA端子の入力信号が、表16.10のSCL開放時間、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、S10レジスタのBBフラグは、スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。BBフラグのセット/リセットのタイミングは標準クロックモードと高速クロックモードで異なります。「表16.10スタートコンディション/ストップコンディションの検出条件」のBBフラグセット/リセット時間を参照してください。

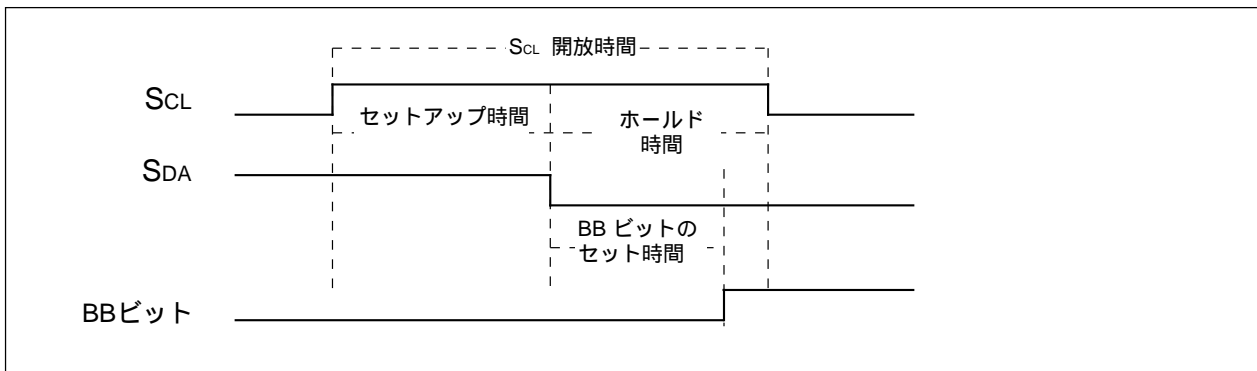


図16.18 スタートコンディション検出のタイミング図

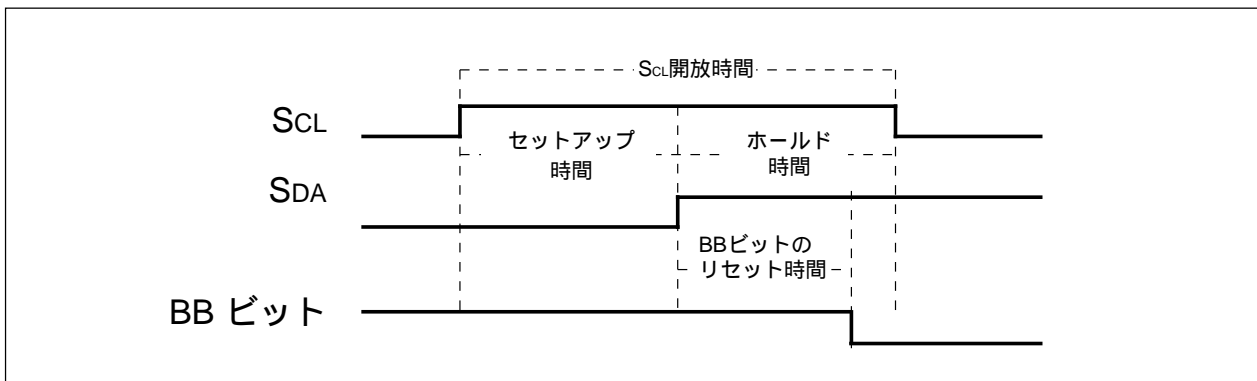


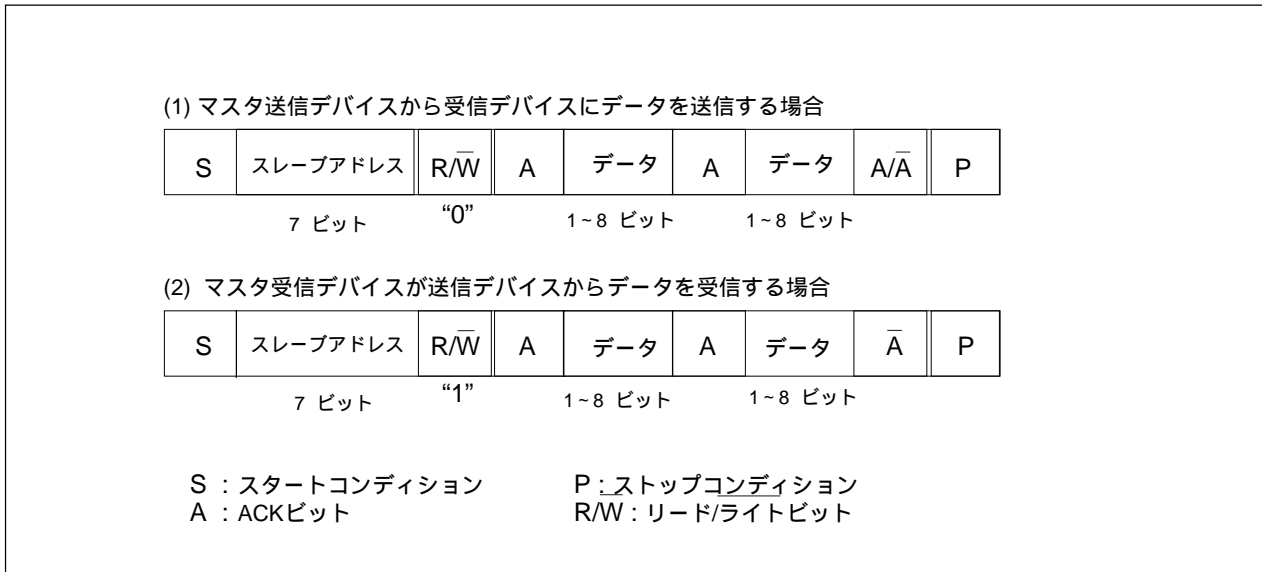
図16.19 ストップコンディション検出のタイミング図

表 16.10 スタートコンディション/ストップコンディションの検出条件

	標準クロックモード	高速クロックモード
SCL開放時間	SSC 値+1 サイクル (6.25μs)	4 サイクル (1.0μs)
セットアップ時間	$\frac{\text{SSC 値} + 1}{2}$ サイクル < 4.0μs (3.25μs)	2 サイクル (0.5μs)
ホールド時間	$\frac{\text{SSC 値}}{2}$ サイクル < 4.0μs(3.0μs)	2 サイクル (0.5μs)
BBフラグセット/ リセット時間	$\frac{\text{SSC 値} - 1}{2} + 2$ サイクル(3.375μs)	3.5 サイクル (0.875μs)

16.13 データ転送例

7ビットアドレスのフォーマットでマスタ送信またはスレーブ受信を行う場合の制御例を次に示します。図16.20にデータ伝送フォーマットを示します。



注1: 単位はI²C busシステムクロックV_{IIC}のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進数表記した値です。SSC値=0及び奇数となる設定は禁止です。()内はV_{IIC}=4MHz時、S2D0レジスタに“1816”を設定した場合の時間の一例です。

16.13.1 マスタ送信例

標準クロックモード、SCL周波数100 kHz、ACKクロックありの場合のマスタ送信例を以下に示します。

- (1) S0D0レジスタの上位7ビットにスレーブアドレスを設定します。
- (2) S20レジスタに“8516”、S4D0レジスタのICK4 ~ ICK2ビットを“0002”、S3D0レジスタに“0016”を設定することによって、ACKクロックあり、SCL = 100 kHzにします。(f₁=8MHz、f_{IIC}=f₁時)
- (3) S10レジスタに“0016”を設定し、送受信のモードを初期状態にします。
- (4) S1D0レジスタに“0816”を設定することによって、通信許可状態にします。
- (5) S10レジスタのBBフラグによりバスマスター状態を確認します。
- (6) S10レジスタに“E016”を設定して、スタートコンディションスタンバイ状態に設定します。
- (7) S00レジスタの上位7ビットに送信先のアドレスデータと最下位ビットに“0”を設定します。これによりスタートコンディションを発生します。このとき、1バイト分のSCLとACKクロックは自動的に発生します。
- (8) S00レジスタに送信データを設定します。このとき、SCLとACKクロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合(8)を繰り返します。
- (10) スレーブ受信側からのACK応答が返らない場合、あるいは送信が終了した場合は、S10レジスタに“C016”を設定して、ストップコンディションスタンバイ状態に設定します。
- (11) S00レジスタにダミーデータを書き込むことにより、ストップコンディションを発生させます。

16.13.2 スレーブ受信例

高速クロックモード、SCL周波数400 kHz、ACKクロックあり、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1)S0D0レジスタの上位7ビットにスレーブアドレスを設定します。
- (2)S20レジスタに“ A516 ”、S4D0レジスタのICK4~ICK2ビットを“ 0002 ”、S3D0レジスタに“ 0016 ”を設定することによって、ACKクロックあり、SCL = 400 kHzにします。(f1=8MHz、fIIC=f1時)
- (3)S10レジスタに“ 0016 ”を設定し送受信のモードを初期状態にします。
- (4)S1D0レジスタに“ 0816 ”を設定することによって、通信許可状態にします。
- (5)スタートコンディションを受信すると、アドレス比較されます。
- (6)・送信されたアドレスが全て“ 0 ”の場合(ジェネラルコール)、S10レジスタのADR0ビットが“ 1 ”になり、I²C busインタフェース割り込み要求が発生します。
・送信されたアドレスが(1)で設定したアドレスと一致した場合、S10レジスタのAASフラグが“ 1 ”になり、I²C busインタフェース割り込み要求が発生します。
・上記以外の場合、S10レジスタのADR0ビットが“ 0 ”、AASフラグが“ 0 ”になり、I²C busインタフェース割り込み要求は発生しません。
- (7)S00レジスタにダミーデータを設定します。
- (8)1バイトのデータを受信すると自動的にACK応答を返し、I²C busインタフェース割り込み要求信号が発生します。
- (9)受信したデータの内容によりACK応答を返すか返さないか判断する場合は、S3D0レジスタのWITビットを“ 1 ”(データ受信完了によるI²C busインタフェース割り込み許可)に設定した後、S00レジスタにダミーデータを設定してデータを受信します。1バイトのデータを受信するとI²C busインタフェース割り込みが発生しますのでACKBITビットに“ 1 ”または“ 0 ”を設定し、ACKビットを出力します。
- (10)複数バイト制御データを受信する場合、(7)(8)または(7)(9)を繰り返します。
- (11)ストップコンディションを検出すると通信を終了します。

16.14 使用上の注意事項

(1) I²C busインタフェース回路の各レジスタアクセス

I²C busインタフェース回路の各制御レジスタに対して、読み出し/書き込みする場合の注意事項を示します。

・S00レジスタ

データ転送中に書き込みを行わないでください。転送用ビットカウンタがリセットされ正常にデータ転送ができなくなります。

・S1D0レジスタ

スタートコンディション検出時と1バイト転送完了時にBC2～BC0ビットが“0002”になりますので、このタイミングで読み出し/書き込みを行った場合、意図しない値になることがあります。

ビットカウンタリセットタイミングを図16.22、図16.23に示します。

・S20レジスタ

転送途中で、ACKBITビット以外のビットを書き換えしないでください。転送中に書き換えを行うとI²C busクロック回路がリセットされ、正常に転送できません。

・S3D0レジスタ

ICK4～ICK0ビットはS1D0レジスタのES0ビットを“0”(I²C busインタフェース禁止)に設定している状態で書き換えを行ってください。WITビットは、読み出しを行うと、内部WAITフラグが読み出されます。よって本レジスタにはビット処理命令(リードモディファイライト命令)を使用しないでください。

・S10レジスタ

全てのビットが通信状態により変化しますので、ビット処理命令(リードモディファイライト命令)を使用しないでください。また、通信モードを設定するMST,TRXビットが変化するタイミングでは読み出し/書き込みを行わないでください。意図しない値になることがあります。MST,TRビットが変化するタイミングを図16.21～図16.23に示します。

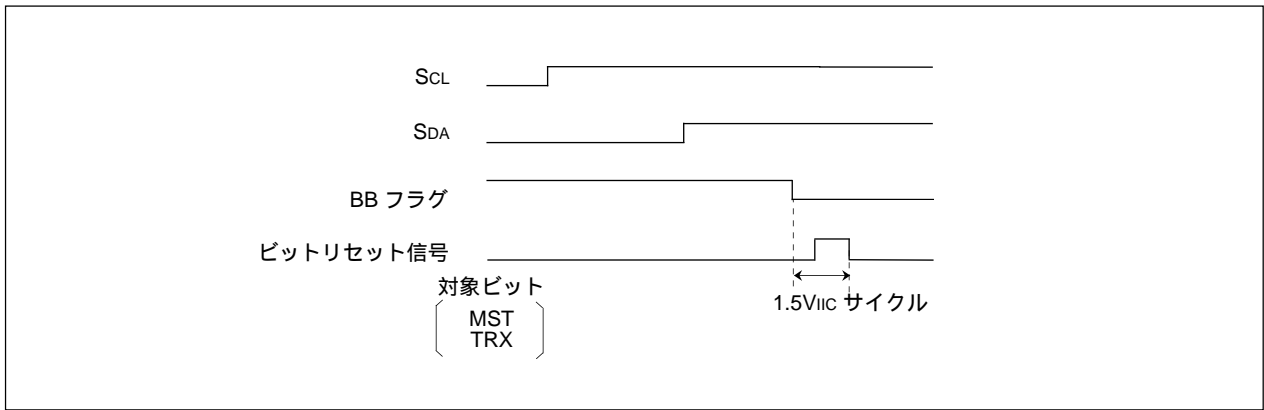


図16.21 ビットリセットタイミング(ストップコンディション検出)

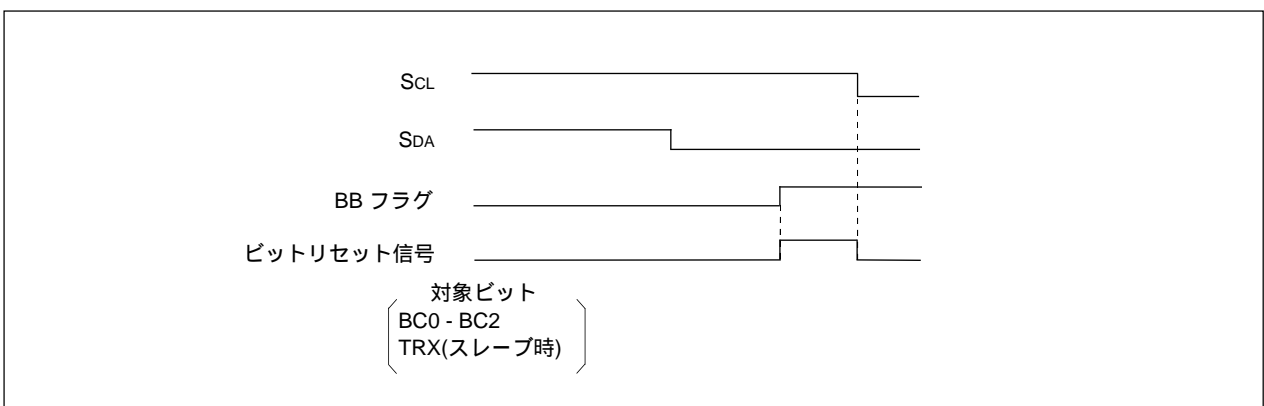


図16.22 ビットリセットタイミング(スタートコンディション検出)

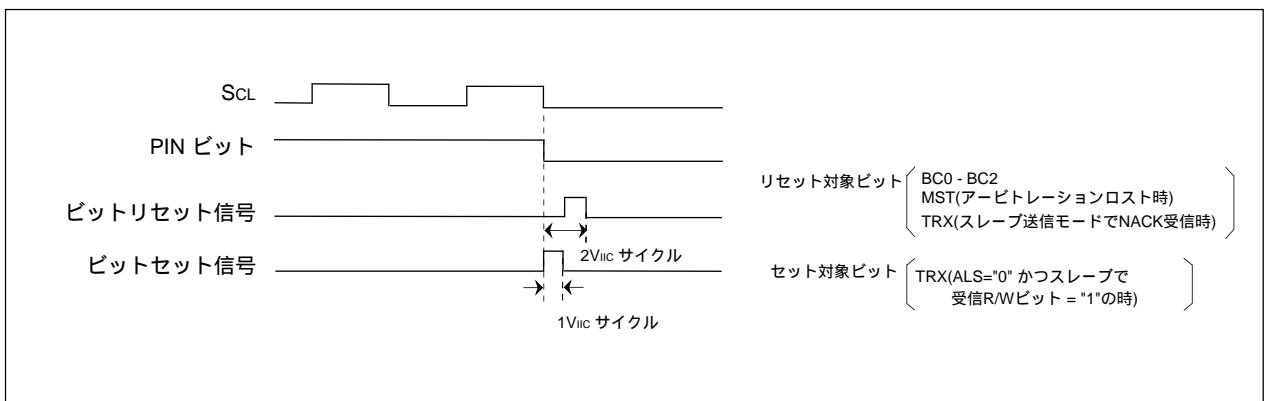


図16.23 ビットセット/リセットタイミング(データ転送完了時)

(2) リスタートコンディションの発生

1バイトのデータ転送完了後にリスタートコンディションを発生させる場合、S10レジスタに“E016”を書き込んでスタートコンディションスタンバイに設定して、一旦SDAMM端子を開放します。SDAが十分に“H”になるまでソフトウェアにてウエイトした後にS00レジスタに書き込むことで、スタートコンディショントリガを発生させてください。図16.24にリスタートコンディション発生タイミング図を示します。

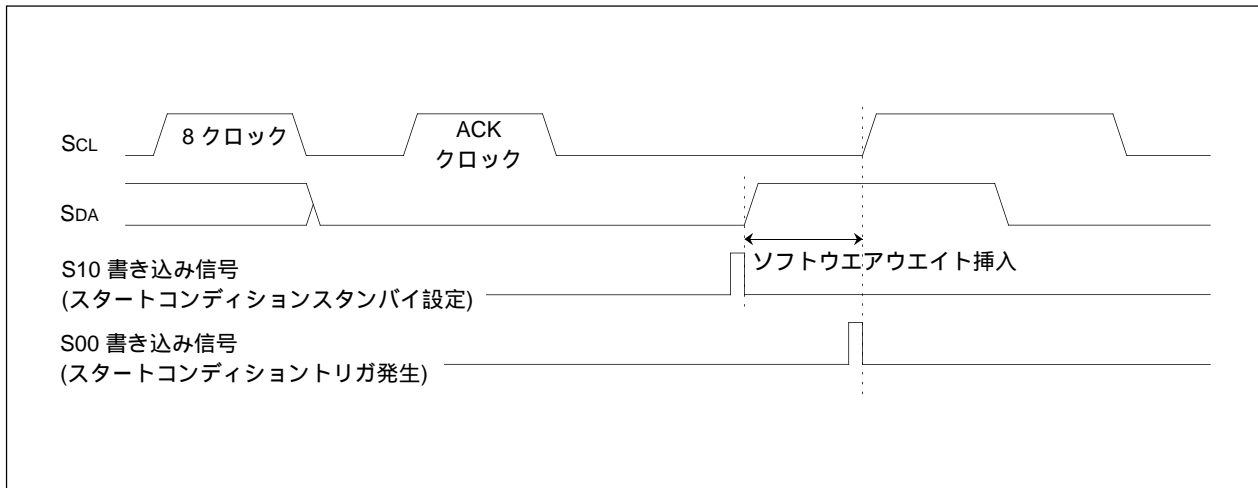


図16.24 リスタートコンディション発生タイミング図

(3) CPUクロックの制限

CM0レジスタのCM07ビットに“1”(サブクロック)を選択している状態で²C busインタフェース回路の各レジスタを読み書きすることはできません。“0”(メインクロック、PLLクロック、またはオンチップオシレータクロック)を選択している状態で読み書きしてください。

17. プログラマブル入出力ポート

注意

M16C/28(64ピン版)には、P04～P07、P10～P14、P34～P37、P95～P97はありません。

プログラマブル入出力ポート(以下、入出力ポートと称す)は、80ピン版ではP0、P1、P2、P3、P6、P7、P8、P9、P10(P94は除く)の71本、64ピン版ではP00～P03、P15～P17、P2、P30～P33、P6、P7、P8、P90～P93、P10の55本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。

図17.1～図17.4に入出力ポートの構成、図17.5に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

17.1 ポートPi方向レジスタ (PDiレジスタ $i = 0 \sim 3, 6 \sim 10$)

図17.6にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

17.2 ポートPiレジスタ (Piレジスタ $i = 0 \sim 3, 6 \sim 10$)

図17.7にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

17.3 プルアップ制御レジスタ 0～2 (PUR0～PUR2レジスタ)

図17.8にPUR0～PUR2レジスタを示します。

PUR0～PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。本設定は、使用している周辺機能にかかわらず有効です。

17.4 ポート制御レジスタ(PCR レジスタ)

図17.9にポート制御レジスタを示します。

PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

17.5 端子割り当て制御レジスタ(PACRレジスタ)

図17.10にPACRレジスタを示します。リセット後、各端子に対して入出力を行うよりも前にPACR2~PACR0ビットを設定してください。PACR2~PACR0ビットが設定されない場合、一部の端子の入出力機能が動作しません。

PACR2~PACR0ビット：有効となる端子の制御

リセット時、これらのビットは "0002" です。

- ・ M16C/28の80ピン版を使用する場合、"0112" にしてください。
- ・ M16C/28の64ピン版を使用する場合、"0102" にしてください。

U1MAPビット：UART1端子配置の制御

- ・ U1MAPビットが "0" (P67~P64)の場合、UART1機能は P64/ $\overline{\text{CTS1}}/\overline{\text{RTS1}}$ 、P65/CLK1、P66/RxD1、P67/TxD1の端子に配置されます。
- ・ U1MAPビットが "1" (P73~P70)の場合、UART1機能は P70/ $\overline{\text{CTS1}}/\overline{\text{RTS1}}$ 、P71/CLK1、P72/RxD1、P73/TxD1の端子に配置されます。

PACRレジスタは、PRCRレジスタのPRC2ビットにより書き込み保護されています。PRC2ビットをセットしてから、PACRレジスタに書き込みを行ってください。

17.6 デジタルデバウンス機能

デジタルデバウンス機能を2回路内蔵しています。デジタルデバウンス機能は、立ち上がり、または立ち下がりエッジ入力後、プログラムで設定したフィルタ幅の時間を超えてそのレベルが保持された時点でレベルの確定が行われるため、ノイズの除去に有効です。

この機能は、 $\overline{\text{NMI}}/\overline{\text{SD}}$ 、および $\overline{\text{INT5}}/\overline{\text{INPC17}}$ に割り当てられており、デジタルフィルタ幅はそれぞれNDDRレジスタ、またはP17DDRレジスタで設定します。なお、ポートP17の入力、およびポートP85の入力に対してデジタルデバウンス機能は無効になります。図17.11にNDDRレジスタおよびP17DDRレジスタを示します。

フィルタ幅： $(n+1) \times 1/f_8$ n ：NDDRレジスタまたはP17DDRレジスタの設定値

NDDRレジスタまたはP17DDRレジスタは、 f_8 をカウントソースとし設定値をダウンカウントします。NDDRレジスタ、またはP17DDRレジスタを読みだした場合、カウント値が読み出されます。端子に立ち上がり、または立ち下がりエッジが入力されると、設定値がリロードされます。

デジタルデバウンス機能を使用する場合、NDDRレジスタまたはP17DDRレジスタの設定可能値は "0016~FF16" です。"FF16"を設定すると、デジタルフィルタなしとなります。詳細を図17.12に示します。

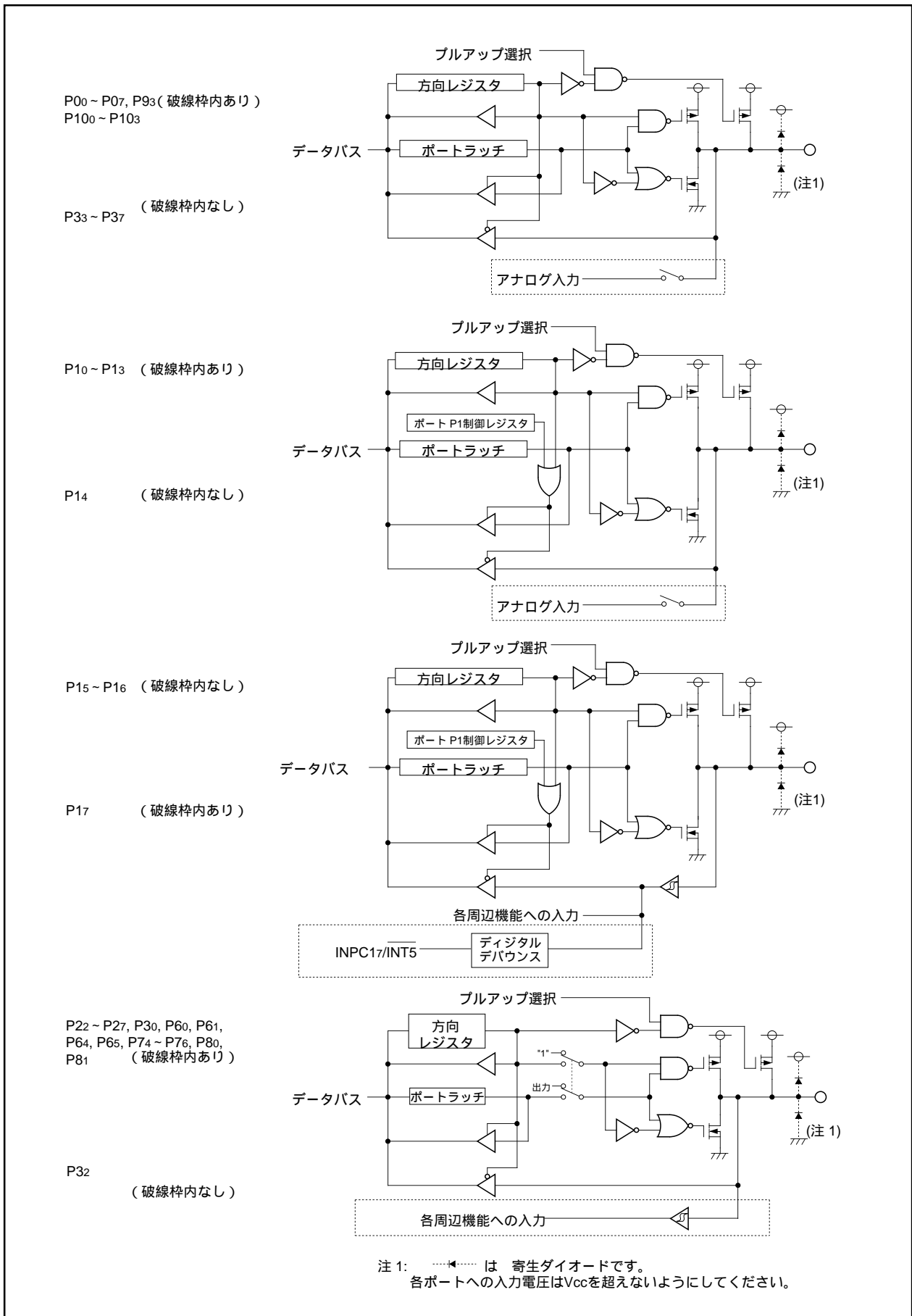


図17.1 入出力ポート (1)

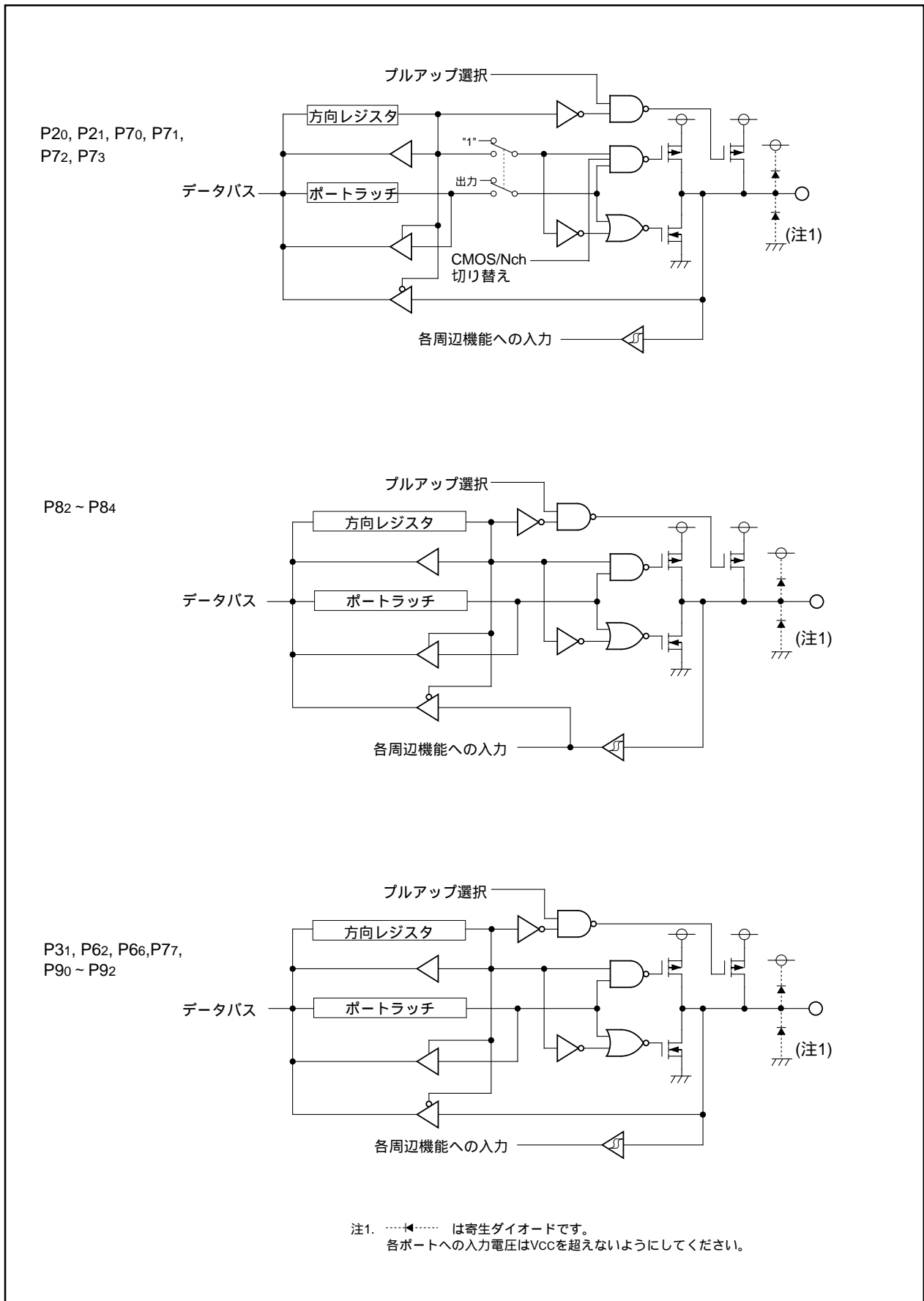


図17.2 入出力ポート(2)

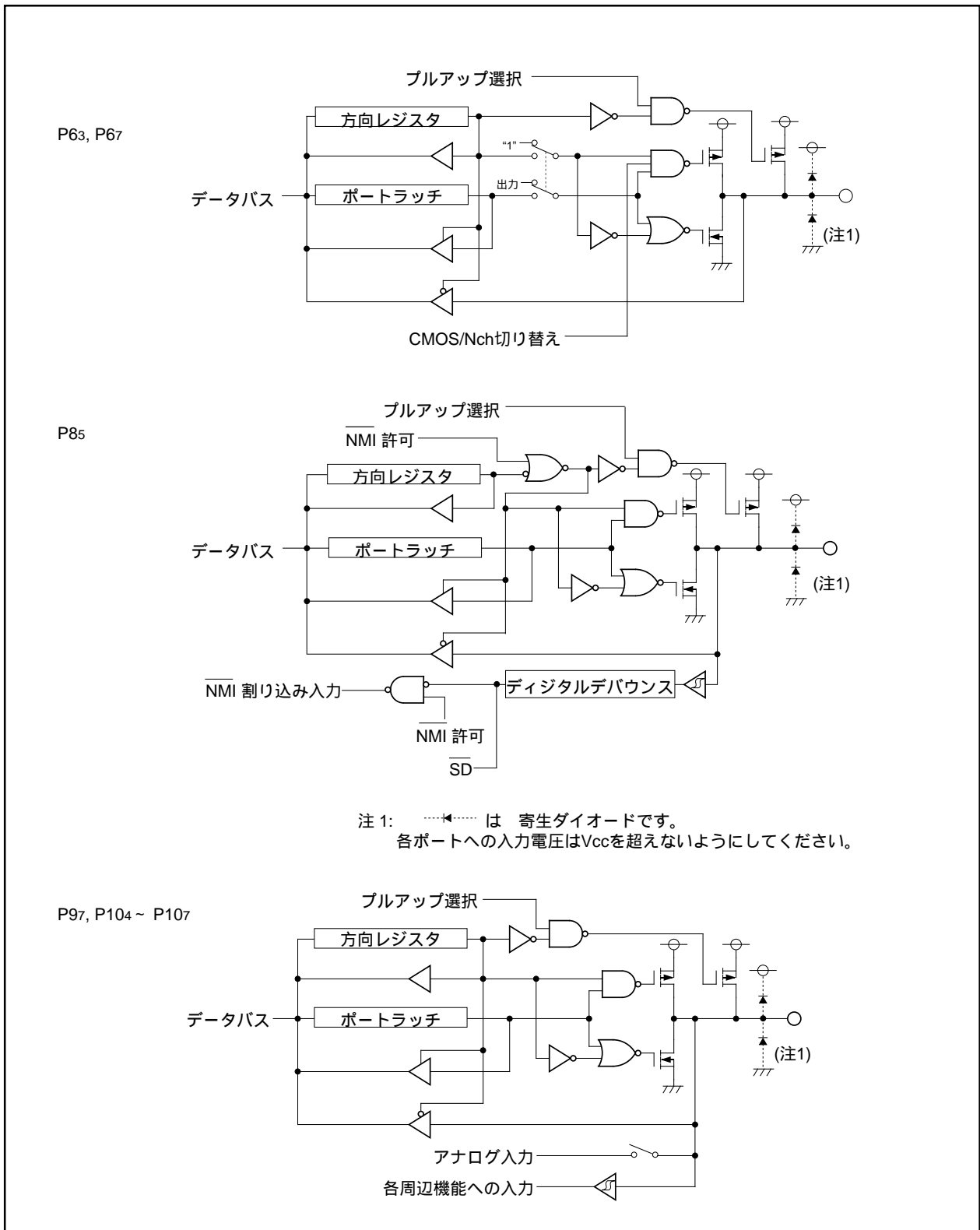


図17.3 入出力ポート(3)

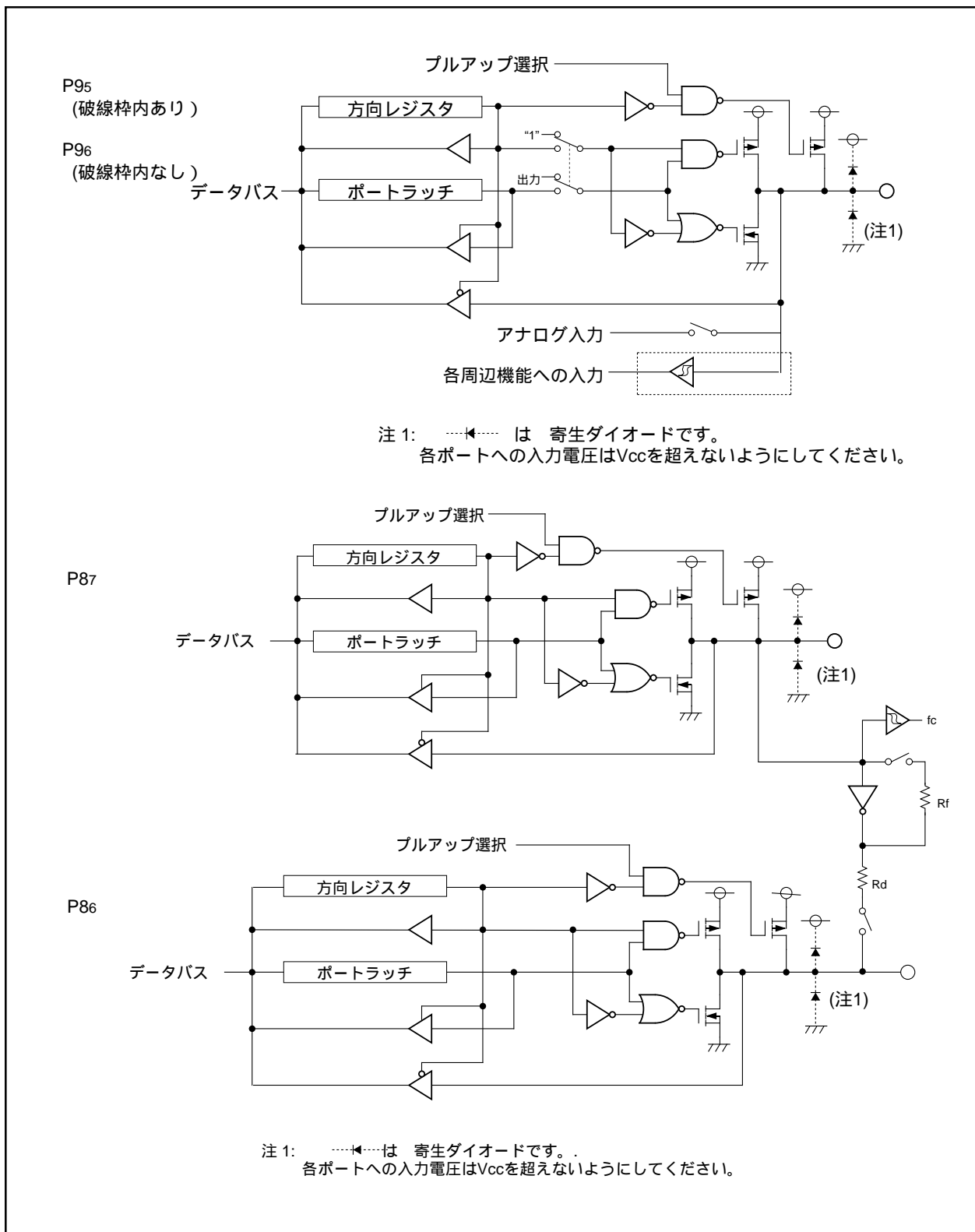


図17.4 入出力ポート(4)

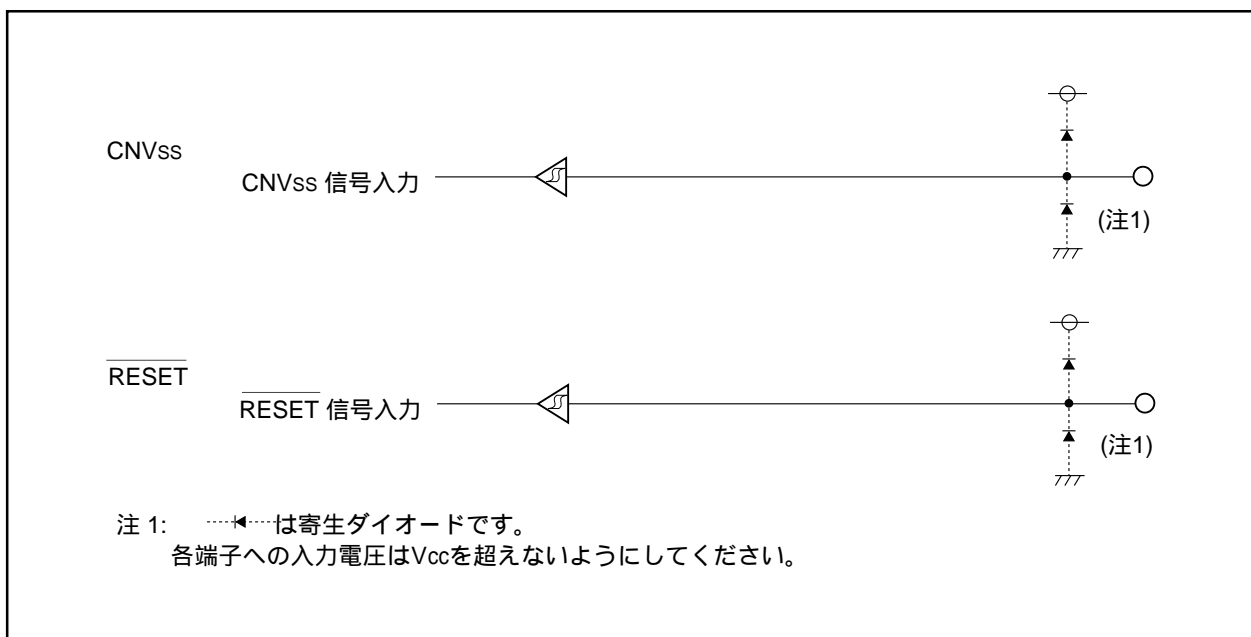


図17.5 入力端子

ポートPi方向レジスタ(i=0~3、6~8、10)(注1)

シンボル	アドレス	リセット後の値
PD0 ~ PD3	03E2 ₁₆ 、03E3 ₁₆ 、03E6 ₁₆ 、03E7 ₁₆ 番地	00 ₁₆
PD6 ~ PD8	03EE ₁₆ 、03EF ₁₆ 、03F2 ₁₆ 番地	00 ₁₆
PD10	03F6 ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
PDI_0	ポートPi ₀ 方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能) (i=0~3、6~8、10)	RW
PDI_1	ポートPi ₁ 方向ビット		RW
PDI_2	ポートPi ₂ 方向ビット		RW
PDI_3	ポートPi ₃ 方向ビット		RW
PDI_4	ポートPi ₄ 方向ビット		RW
PDI_5	ポートPi ₅ 方向ビット		RW
PDI_6	ポートPi ₆ 方向ビット		RW
PDI_7	ポートPi ₇ 方向ビット		RW

注1. PACRレジスタの設定をしてください。

80ピン版、85ピン版の場合、PACR2、PACR1、PACR0を“0112”にしてください。

64ピン版の場合、PACR2、PACR1、PACR0を“0102”にしてください。

ポートP9方向レジスタ(注1、注2)

シンボル	アドレス	リセット後の値
PD9	03F3 ₁₆ 番地	000X0000 ₂

ビットシンボル	ビット名	機能	RW
PD9_0	ポートP9 ₀ 方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD9_1	ポートP9 ₁ 方向ビット		RW
PD9_2	ポートP9 ₂ 方向ビット		RW
PD9_3	ポートP9 ₃ 方向ビット		RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PD9_5	ポートP9 ₅ 方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PD9_6	ポートP9 ₆ 方向ビット		RW
PD9_7	ポートP9 ₇ 方向ビット		RW

注1. PD9レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. PACRレジスタの設定をしてください。

80ピン版、85ピン版の場合、PACR2、PACR1、PACR0を“0112”にしてください。

64ピン版の場合、PACR2、PACR1、PACR0を“0102”にしてください。

図17.6 PD0~PD3、PD6~PD10レジスタ

ポートPiレジスタ(i=0~3、6~8、10)(注1)

シンボル	アドレス	リセット後の値
P0~P3	03E016、03E116、03E416、03E516番地	不定
P6~P8	03EC16、03ED16、03F016番地	不定
P10	03F416番地	不定

ビットシンボル	ビット名	機能	RW
Pi_0	ポートPi0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる。 0: "L" レベル 1: "H" レベル(注1) (i=0~3、6~8、10)	RW
Pi_1	ポートPi1ビット		RW
Pi_2	ポートPi2ビット		RW
Pi_3	ポートPi3ビット		RW
Pi_4	ポートPi4ビット		RW
Pi_5	ポートPi5ビット		RW
Pi_6	ポートPi6ビット		RW
Pi_7	ポートPi7ビット		RW

注1. PACRレジスタの設定をしてください。

80ピン版、85ピン版の場合、PACR2、PACR1、PACR0を "0112" にしてください。
64ピン版の場合、PACR2、PACR1、PACR0を "0102" にしてください。

ポートP9レジスタ(注1)

シンボル	アドレス	リセット後の値
P9	03F116番地	不定

ビットシンボル	ビット名	機能	RW
P9_0	ポートP90ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる。 0: "L" レベル 1: "H" レベル	RW
P9_1	ポートP91ビット		RW
P9_2	ポートP92ビット		RW
P9_3	ポートP93ビット		RW
(b4)	何も配置されていない(注2)		RW
P9_5	ポートP95ビット		RW
P9_6	ポートP96ビット		RW
P9_7	ポートP97ビット	RW	

注1. PACRレジスタの設定をしてください。

80ピン版、85ピン版の場合、PACR2、PACR1、PACR0を "0112" にしてください。
64ピン版の場合、PACR2、PACR1、PACR0を "0102" にしてください。

注2. 何も配置されていません。書く場合、"0"を書いてください。読んだ場合、その値は不定です。

図17.7 P0~P3、P6~P10レジスタ

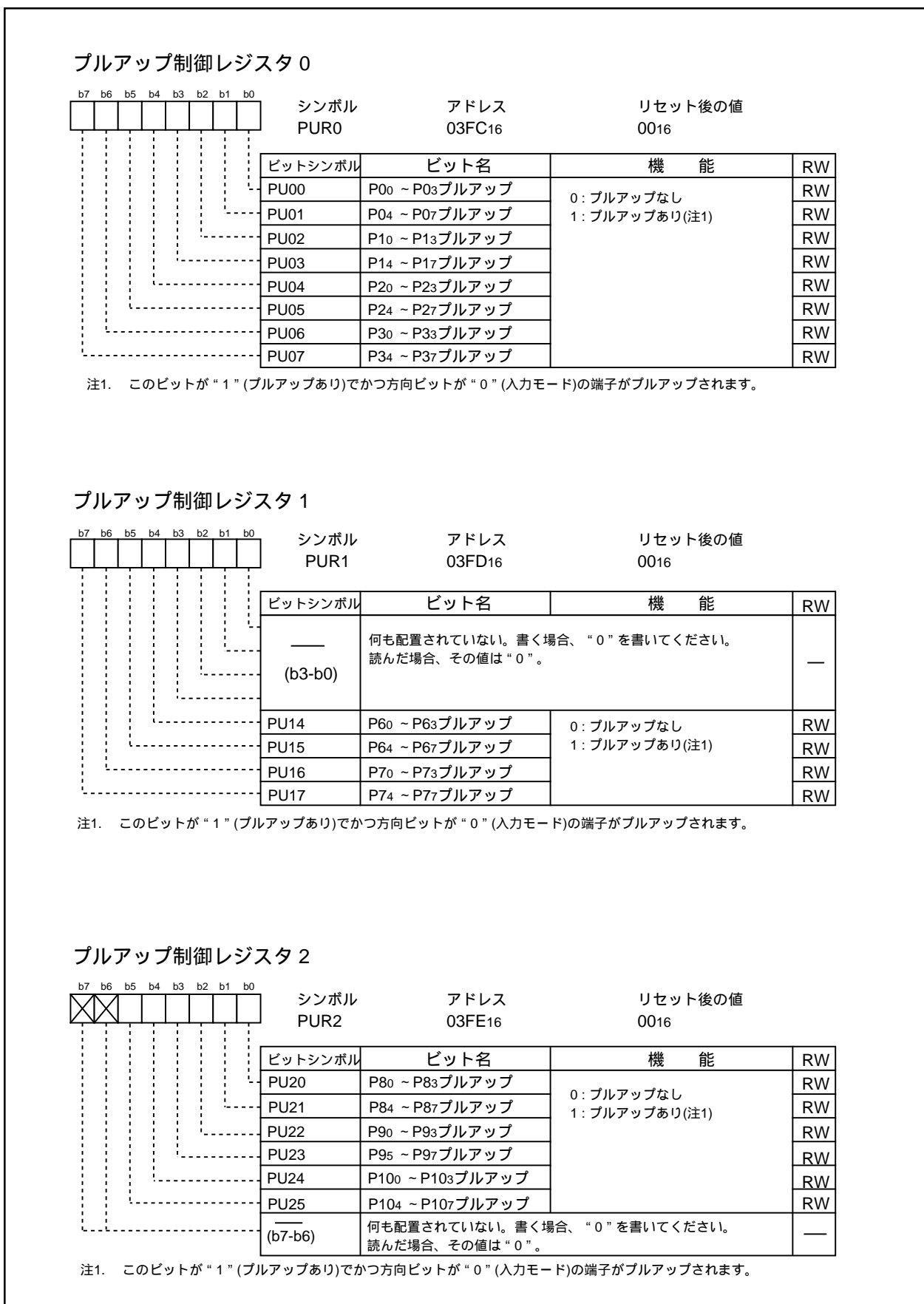


図17.8 PUR0 ~ PUR2レジスタ

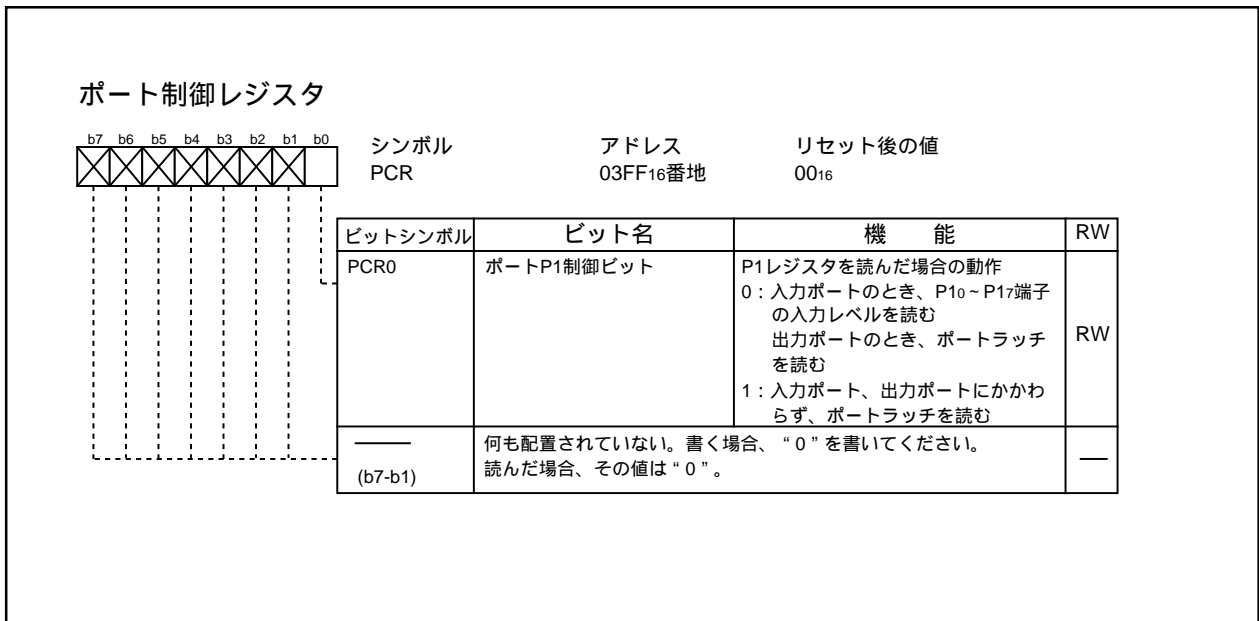


図17.9 PCRレジスタ

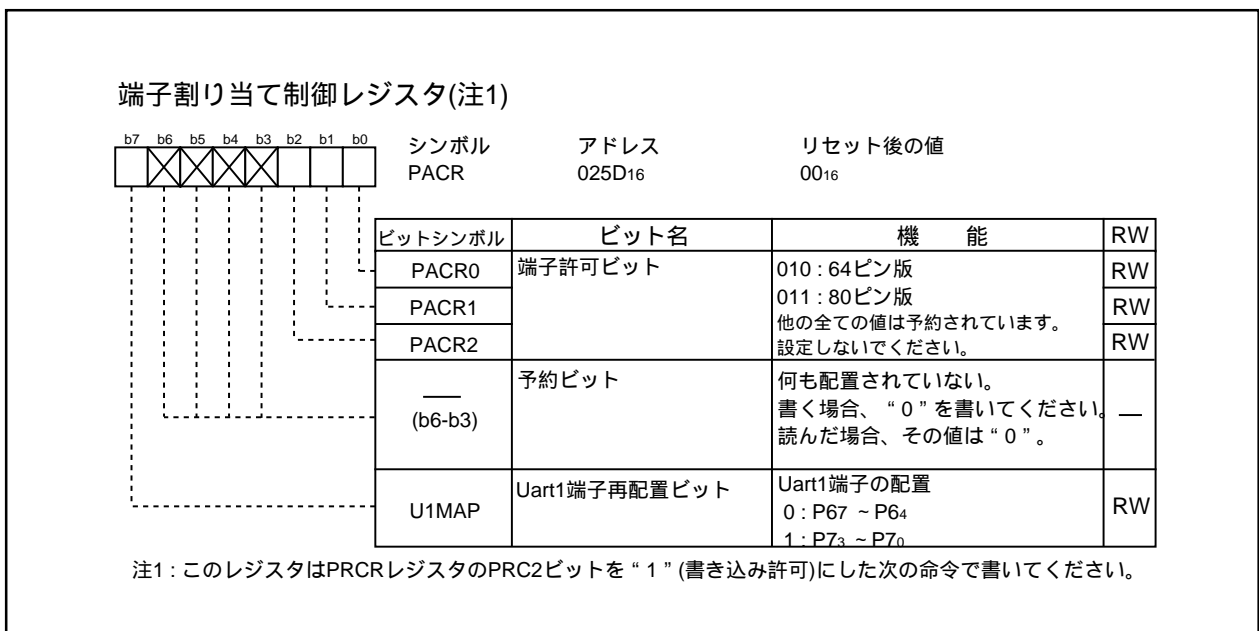


図17.10 PACRレジスタ

NMIデジタルデバウンスレジスタ(注1、2)

b7 ┌───────────┐ │ │ └───────────┘ b0	シンボル NDDR	アドレス 033E ₁₆ 番地	リセット後の値 FF ₁₆
--	--------------	-------------------------------	-----------------------------

機 能	設定範囲	RW
設定値をnとする場合、 ・ n=0 ~ FE ₁₆ ; (n+1)/f ₈ より大きなパルス幅の信号が NMI/SDに入力されます。 ・ n=FF ₁₆ ; デジタルデバウンスフィルタは禁止となり、 全ての信号が入力されます。	00 ₁₆ ~ FF ₁₆	RW

注1. このレジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

注2. ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、ストップモードに入る前に、NDDRレジスタに“FF₁₆”を設定してください。

P17デジタルデバウンスレジスタ(注1)

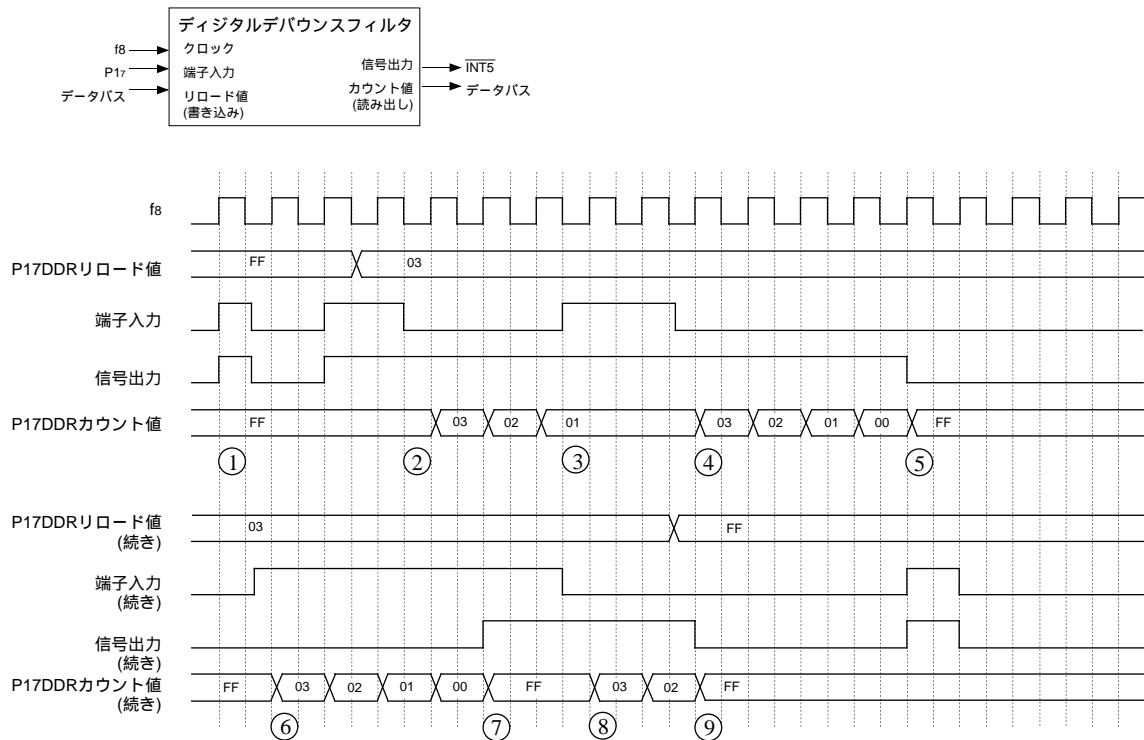
b7 ┌───────────┐ │ │ └───────────┘ b0	シンボル P17DDR	アドレス 033F ₁₆ 番地	リセット後の値 FF ₁₆
--	----------------	-------------------------------	-----------------------------

機 能	設定範囲	RW
設定値をnとする場合、 ・ n=0 ~ FE ₁₆ ; (n+1)/f ₈ より大きなパルス幅の信号が INPC17/INT5に入力されます。 ・ n=FF ₁₆ ; デジタルデバウンスフィルタは禁止となり、 全ての信号が入力されます。	00 ₁₆ ~ FF ₁₆	RW

注1. ストップモードからの復帰に $\overline{\text{INT5}}$ 割り込みを使用する場合、ストップモードに入る前に、P17DDRレジスタに“FF₁₆”を設定してください。

図17.11 NDDRレジスタ、P17DDRレジスタ

・ $\overline{\text{INT5}}$ のデジタルデバウンス機能、P17DDR=“03₁₆”の時の例



- (リセット後) P17DDR=FF₁₆、端子入力はそのまま信号出力されます。
- P17DDRレジスタに“03₁₆”を設定。端子入力のレベル(“L”)と信号出力のレベル(“H”)が異なると、P17DDRは f_8 をカウントソースとしてダウンカウントを開始します。
- カウント途中で端子入力と信号出力のレベルが一致(“H”)すると、P17DDRはカウントを停止します。
- 端子入力レベル(“L”)と信号出力のレベル(“H”)が再度異なると、P17DDRは設定値がリロードされた後、ダウンカウントを開始します。
- P17DDRがアンダフローするとカウントを停止し、信号出力は端子入力レベル(“L”)を出力します。
- 端子入力レベル(“H”)と信号出力のレベル(“L”)が再度異なると、P17DDRは設定値がリロードされた後、ダウンカウントを開始します。
- P17DDRがアンダフローするとカウントを停止し、信号出力は端子入力レベル(“H”)を出力します。
- 端子入力レベル(“H”)と信号出力のレベル(“L”)が再度異なると、P17DDRは設定値がリロードされた後、ダウンカウントを開始します。
- P17DDRレジスタに“FF₁₆”を設定すると、P17DDRは設定値がリロードされた後、カウントを停止します。端子入力はそのまま信号出力されます。

図17.12 デジタルデバウンスフィルタの機能

表17.1 シングルチップモード時の未使用端子の処理

端子名	処理内容
ポート P0 ~ P3、 P6 ~ P10	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか出力モードに設定し、端子を開放(注1、注2、注4)
XOUT	開放 (注3)
Xin	抵抗を介してVccに接続(プルアップ) (注5)
AVCC	Vccに接続
AVSS, VREF	Vssに接続

注1: 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2: 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3: XIN端子に外部クロックまたはVccを入力している場合。

注4: 64ピン版を使用している場合、PACR2, PACR1, PACRビットを"010₂"にしてください。

80ピン版、85ピン版を使用している場合、PACR2, PACR1, PACRビットを"011₂"にしてください。

注5: メインクロック発振回路を使用しない場合、消費電流を低減するために、CM0レジスタのCM05ビットを"1"(メインクロック停止)に設定してください。

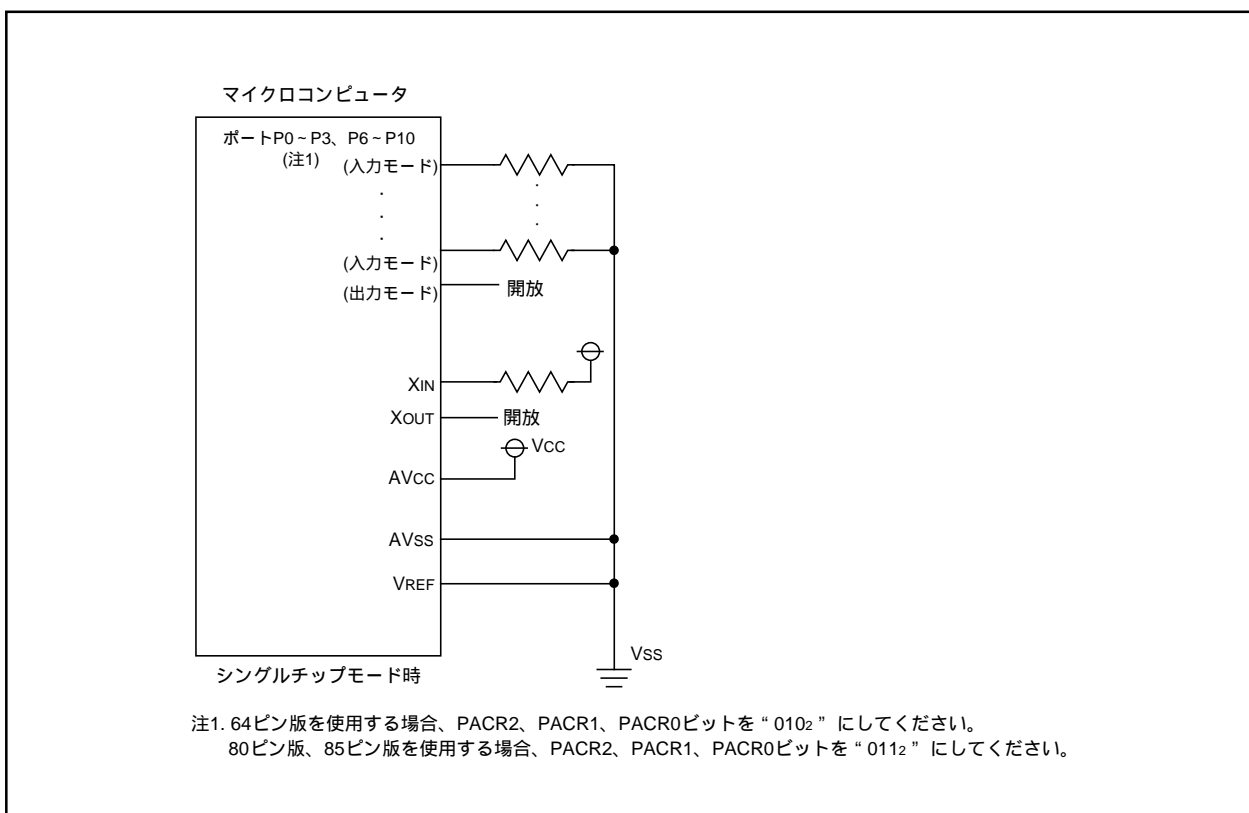


図17.13 未使用端子の処理

18. フラッシュメモリ版

18.1 フラッシュメモリの性能

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表18.1 にフラッシュメモリ版の性能概要を示します。表18.1に示す以外の項目は「表1.1性能概要(80ピン版、85ピン版)」もしくは「表1.2性能概要(64ピン版)」を参照してください。

表18.1 フラッシュメモリ版の性能概要

項 目	性 能	
フラッシュメモリの動作モード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)	
消去ブロック分割	図18.1～図18.4 フラッシュメモリのブロック図を参照してください。	
プログラム方法	ワード単位	
イレーズ方法	ブロック消去	
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御	
プロテクト方式	FMR16ビットにより、ブロック0～ブロック5をプロテクト加えて、FMR02ビットにより、ブロック0～ブロック1をプロテクト	
コマンド数	5 コマンド	
プログラム、イレーズ回数 (注1)	ブロック0～ブロック5(プログラム領域)	100回または1,000回(表1.5～表1.6 製品コード表を参照してください)
	ブロックA、ブロックB(データ領域)(注2)	100回または10,000回(表1.5～表1.6 製品コード表を参照してください)
データ保持	20年間 (Topr = 55)	
ROMコードプロテクト	パラレル入出力モード、標準シリアル入出力モード対応	

注1 . プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。例えば、2KブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合もプログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません。(上書き禁止)

注2 . 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。
例えば、一組8ワードをプログラムする場合、最大256組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロック毎に何回イレーズを実施したかを情報として残し、制限回数を設けることをお勧めいたします。

表18.2 フラッシュ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： フラッシュメモリ以外の領域で書き換え可能 EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O	専用パラレルライタを使用して、ユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ	-	シリアルライタ	パラレルライタ

18.1.1 ブートモード

CNVss端子とP86端子に“H”を入力、または、CNVss端子とP16端子に“H”入力かつP85端子に“L”を入力して、ハードウェアリセットするとブートモードになり、ブートROM領域のプログラムを実行します。ブートROM領域は予約領域です。出荷時には標準シリアル入出力モードの書き換え制御プログラムが格納されております。書き換えしないでください。

18.2 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図18.1～図18.4にフラッシュメモリのブロック図を示します。ユーザROM領域には、シングルチップモード時のマイコン動作プログラムを格納する領域とは別に、2KバイトのブロックAとブロックBがあります。

ユーザROM領域は、いくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。ブロック0、ブロック1をCPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(ブロック0,1書き換え許可)、かつFMR1レジスタのFMR16ビットを“1”(ブロック0～ブロック4書き換え許可)にしてください。またブロック2～4を、CPU書き換えモードで書き換える場合は、FMR1レジスタのFMR16ビットを“1”(ブロック0～ブロック4書き換え許可)にすることで書き換えが許可されます。

ブロックAとブロックBは、PM1レジスタのPM10ビットに“1”(データ領域アクセス許可)にすることで、使用可能となります。

ブートROM領域(4Kバイト)は、予約領域です。出荷時には標準シリアル入出力モードの書き換え制御プログラムが格納されています。書き換えしないでください。

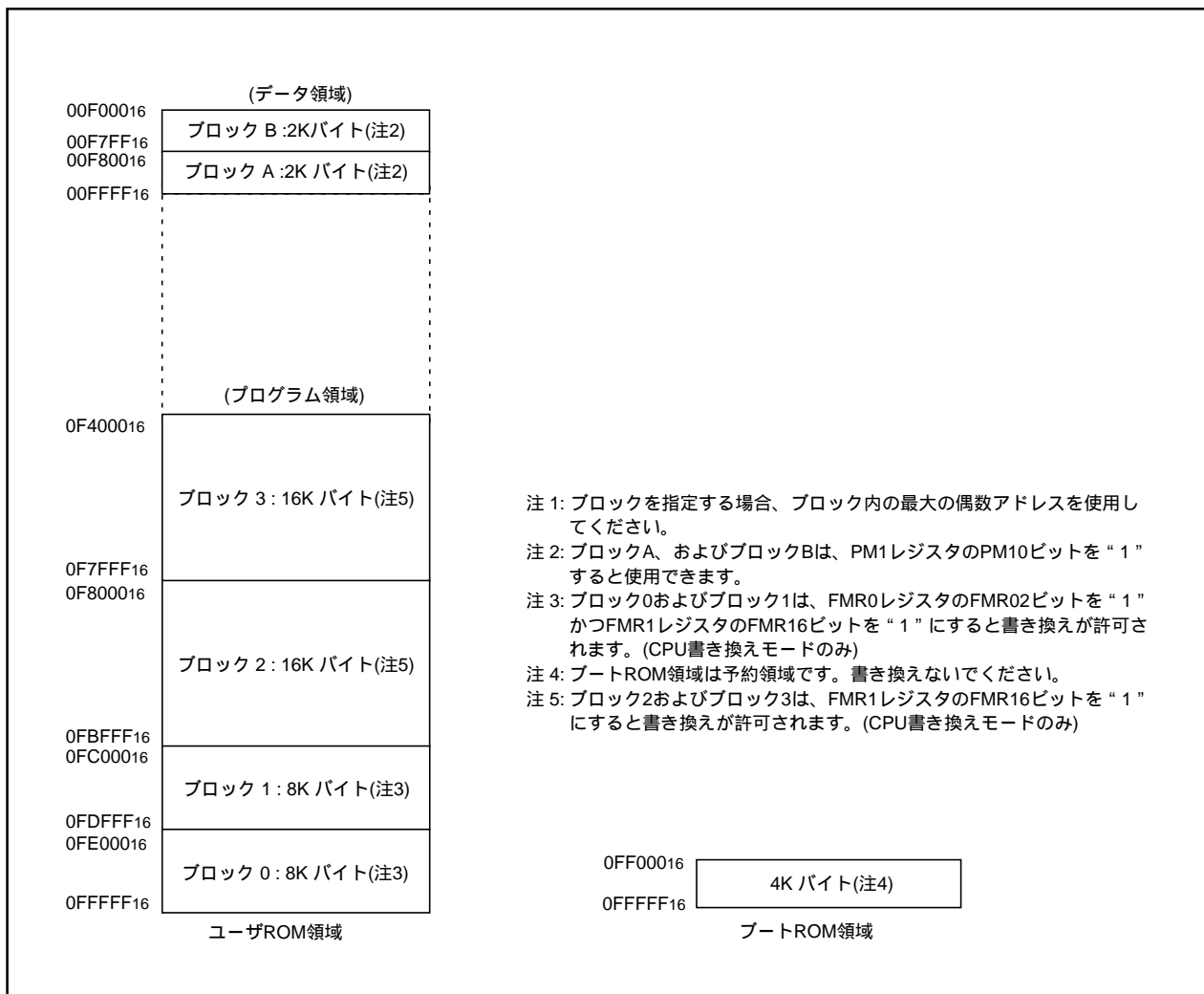


図18.1 フラッシュメモリのブロック図 (ROM容量 48K byte)

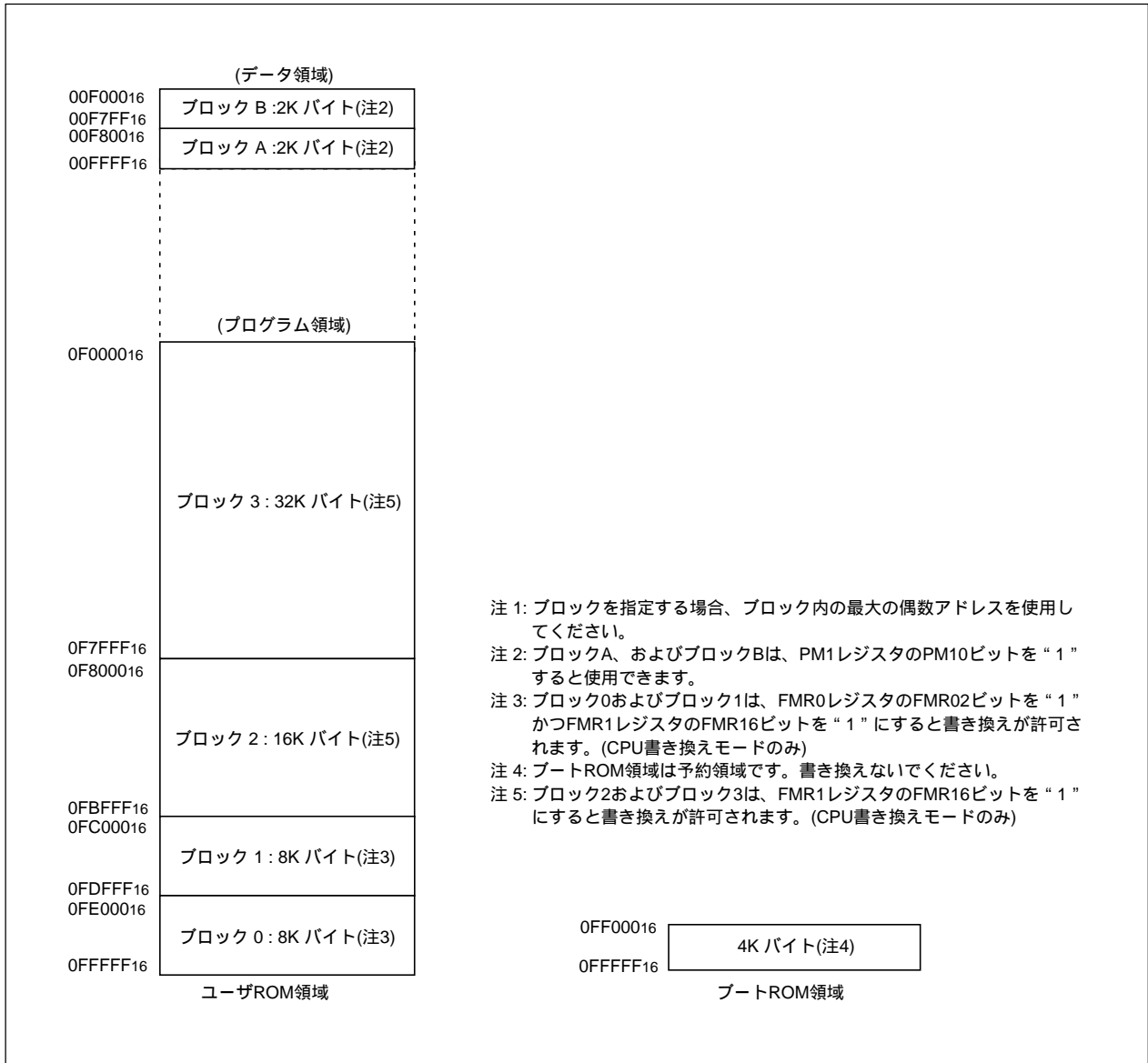


図18.2 フラッシュメモリのブロック図 (ROM容量 64K byte)

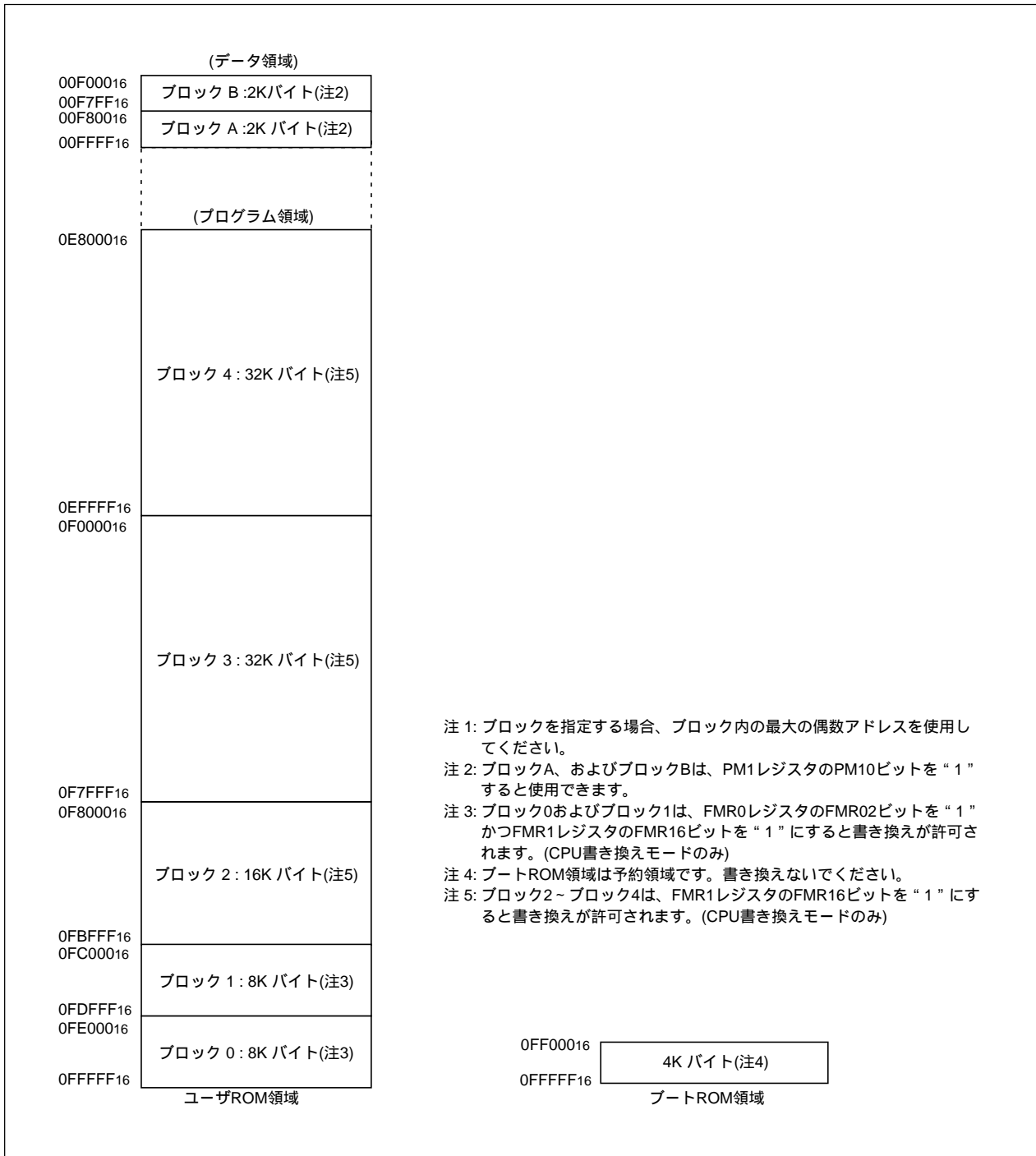


図18.3 フラッシュメモリのブロック図 (ROM容量 96K byte)

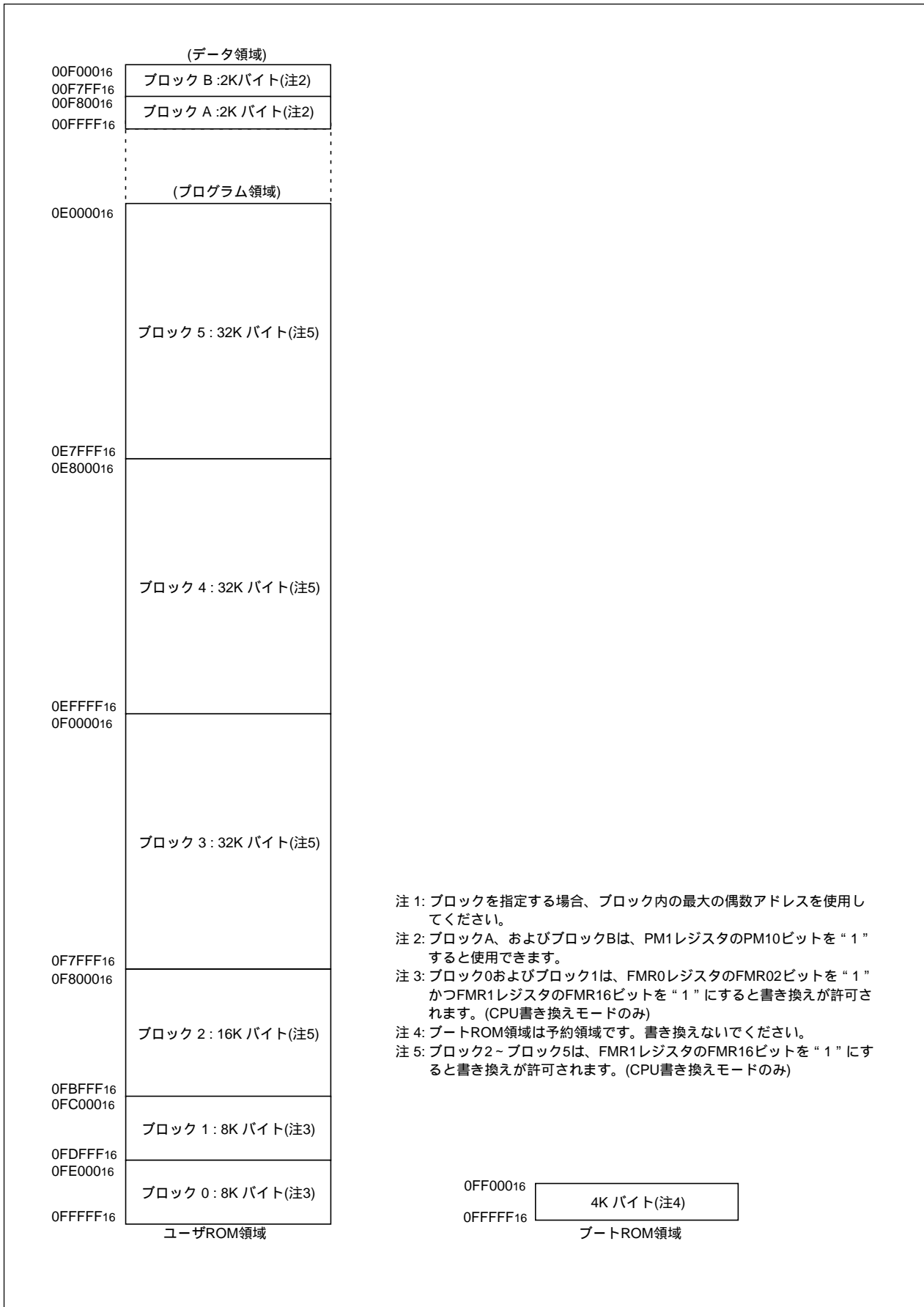


図18.4 フラッシュメモリのブロック図 (ROM容量 128K byte)

18.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり、書き換えたりできないように、パラレル入出力モードにはROMコードプロテクト、標準シリアル入出力モードにはIDコードチェック機能があります。

18.3.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。図18.5にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

ROMCRビットが“112”以外の場合、ROMコードプロテクトが有効になります。その場合、ビット5～ビット0は“1111112”にしてください。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでROMCP1レジスタを含むブロックを消去してください。

18.3.2 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライターから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFD₁₆、0FFFE₃₁₆、0FFFEB₁₆、0FFFEF₁₆、0FFFF₃₁₆、0FFFF₇₁₆、0FFFFB₁₆番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

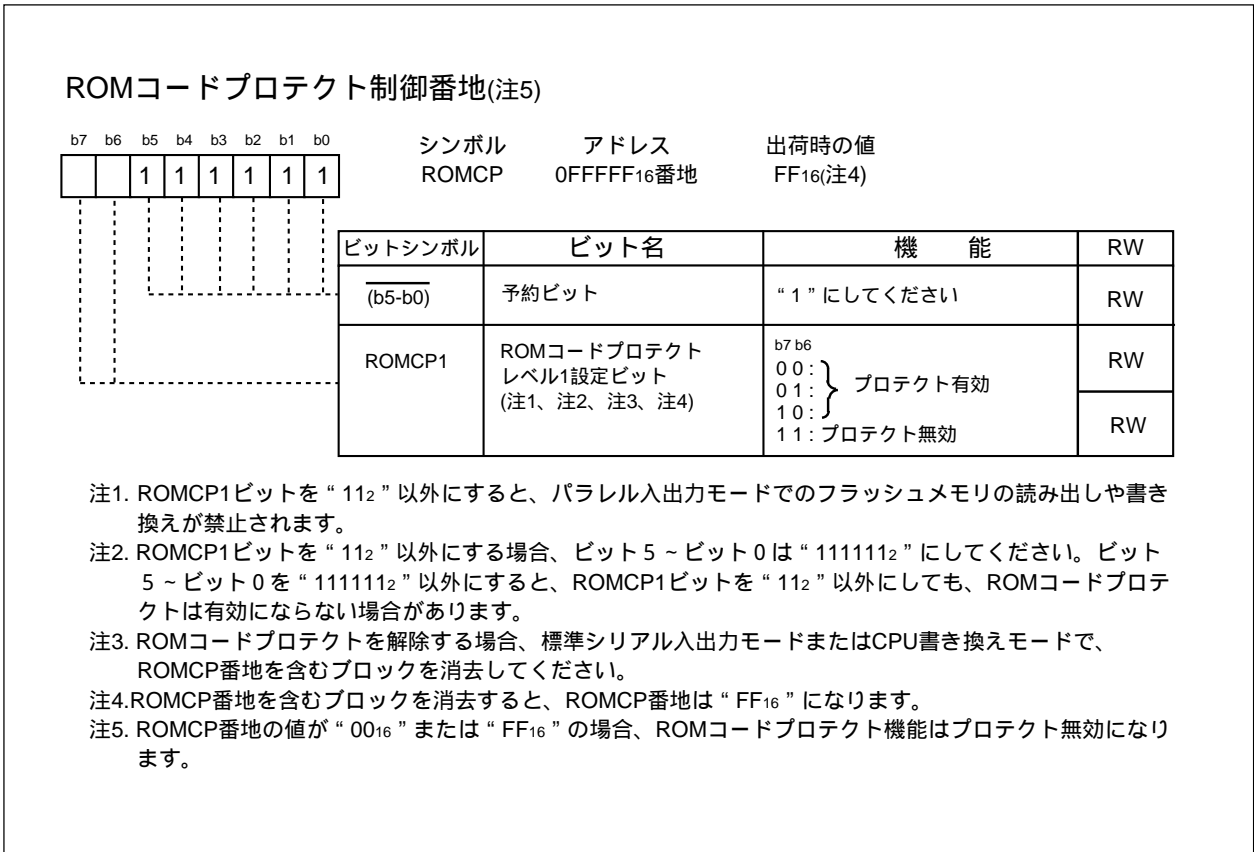


図18.5 ROMCP レジスタ

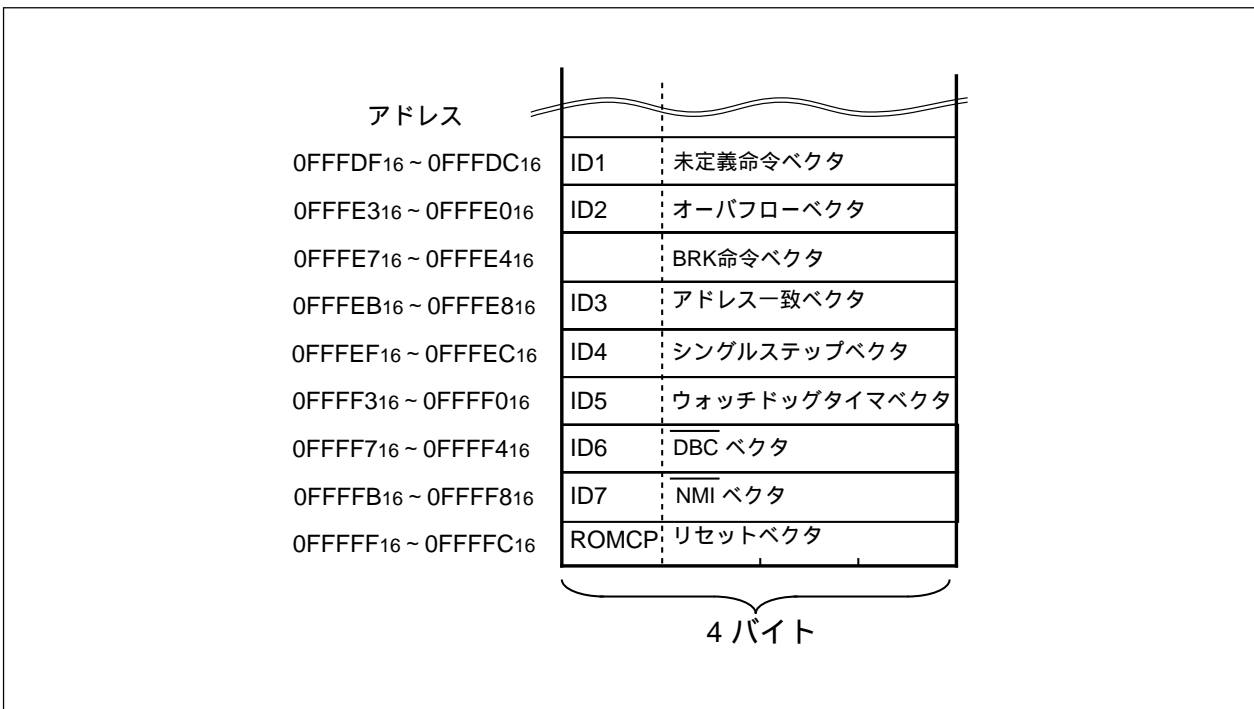


図18.6 IDコードの格納番地

18.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。

したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表18.3にEW0モードとEW1モードの違いを示します。CPUイレーズライト操作には1ウエイトが必要です。

表18.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域(注2)	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件(注3)	プログラムでFMR4レジスタのFMR40、およびFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可された割り込みの割り込み要求が発生

注1. DMA転送が起こらないようにしてください。

注2. ブロック0、ブロック1は、FMR0レジスタのFMR02ビットを“1”かつFMR1レジスタのFMR16ビットを“1”にすると書き換えが許可されます。ブロック2～ブロック5は、FMR1レジスタのFMR16ビットを“1”にすると書き換えが許可されます。

注3. 条件成立後、イレーズサスペンドに移行しフラッシュメモリの読み出しが可能となるまでの時間は、最大td(SR-ES)です。

18.4.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”になり、EW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(イレーズサスペンド許可)、およびFMR41ビットを“1”(サスペンドリクエスト)にしてください。そして、td(SR-ES)待ち、FMR46ビットが“1”(自動消去停止)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

18.4.2 EW1モード

FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”にする(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するか、またはイレーズサスペンドの要求が発生するまで、CPUは停止します。

イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(イレーズサスペンド許可)にしてからブロックイレーズのコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可にしてください。割り込み要求からtd(SR-ES)後、イレーズサスペンドに移行すると、割り込みが受け付けられません。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(サスペンドリクエスト)になり自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして再度ブロックイレーズのコマンドを実行してください。

18.5 レジスタの説明

図18.7にフラッシュメモリ制御レジスタ0、フラッシュメモリ制御レジスタ1を、図18.8にフラッシュメモリ制御レジスタ4を示します。

18.5.1 フラッシュメモリ制御レジスタ0 (FMR0)

FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ、イレーズサスペンド動作中には“0”、それ以外のときには“1”になります。

FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。このビットを“1”にする場合、いったん“0”を書き込んだ後に“1”を書く必要があります。“0”を書き込むことにより、“0”がセットされます。

FMR02ビット

FMR16と組み合わせ、ユーザROM領域に対するプログラムとイレーズを許可するビットです。設定方法は表18.4を参照してください。このビットを“1”にする場合、いったん“0”を書き込んだ後に“1”を書く必要があります。このビットはFMR01ビットが“1”(CPU書き換えモード有効)の時のみ、有効です。

FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・低消費電力モードまたはオンチップオシレータ低消費電力モードにする場合

図18.11に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定しないでください。

FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「フルステータスチェック」を参照してください。

図18.9にEW0モードの設定と解除方法、図18.10にEW1モードの設定と解除方法を示します。

18.5.2 フラッシュメモリ制御レジスタ 1 (FMR1)

FMR11ビット

FMR11ビットを“1” (EW1モード)にすると、EW1モードになります。このビットは、FMR01ビットが“1”の時のみ有効です。

FMR16ビット

ユーザROM領域に対するプログラムとイレーズを許可するビットです。このビットは、FMR02ビットと組み合わせて使用します。

このビットを“1”にする場合、いったん“0”を書き込んだ後に“1”を書く必要があります。このビットは、FMR01ビットが“1”の時のみ有効です。

FMR17ビット

FMR17ビットを“1” (ウエイトあり)にすると、PM17ビットに関わらず、ブロックAおよびブロックBアクセス時に1ウエイトが挿入されます。その他のブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17の設定になります。100回以上の書き換えを実施する場合(U7, U9)は、このビットを“1” (ウエイトあり)に設定してください。

表18.4 FMR16とFMR02によるプロテクト

FMR16	FMR02	ブロックA、ブロックB	ブロック0、ブロック1	その他のブロック
0	0	書き込み許可	書き込み禁止	書き込み禁止
0	1	書き込み許可	書き込み禁止	書き込み禁止
1	0	書き込み許可	書き込み禁止	書き込み許可
1	1	書き込み許可	書き込み許可	書き込み許可

18.5.3 フラッシュメモリ制御レジスタ 4 (FMR4)

FMR40ビット

FMR40ビットを“1” (許可)にすると、イレーズサスペンド機能が許可されます。

FMR41ビット

EW0モードでは、自動消去中にプログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1” (サスペンドリクエスト) になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0” (イレーズリスタート) にしてください。

FMR46ビット

自動消去実行中は、FMR46ビットが“0”になります。イレーズサスペンドモード中は“1”になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

フラッシュメモリ制御レジスタ 0

ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR0	アドレス 01B7 ₁₆	リセット後の値 00000001 ₂	
	FMR00	RY/BY ステータスフラグ	0: ビジー (書き込み、消去実行中) 1: レディ	RO
	FMR01	CPU書き換えモード選択ビット(注1)	0: CPU書き換えモード無効 (ソフトウェアコマンド無効) 1: CPU書き換えモード有効 (ソフトウェアコマンド有効)	RW
	FMR02	ブロック0、1書き換え許可ビット(注2)	ユーザROM領域に対するライトプロテクトを設定(表 18.4参照)	RW
	FMSTP	フラッシュメモリ停止ビット(注3、注5)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
	(b5-b4)	予約ビット	"0" にしてください。	RW
	FMR06	プログラムステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO
	FMR07	イレースステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO

- 注1. "1" にするときは、"0" を書いた後、続けて"1" を書いてください。"0" を書いた後、"1" を書くまでに割り込み、DMA転送が入らないようにしてください。このビットは、NMI機能選択時はP85/NMI/SD端子が"H"の状態を書いてください。また、EW0モード時はフラッシュメモリ以外の領域のプログラムで書いてください。このビットはリードアレイモードにしてから"0" にしてください。
- 注2. "1" にするときは、FMR01ビットが"1"の状態、このビットに"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込み、DMA転送が入らないようにしてください。
- 注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。"1"を書くとフラッシュメモリにアクセスできなくなります。また、"1"を書いた後に"0"を書く場合は、"1"を書いた後、10usec以上待った後に、"0"を書いてください。さらに"0"を書いた後、フラッシュメモリ回路安定のため、tpsの待ち時間を設け、この待ち時間内もフラッシュメモリにアクセスしないで下さい。
- 注4. クリアステータスコマンドを実行すると"0"になります。
- 注5. FMR01ビットが"1"(CPU書き換えモード)のとき有効です。FMR01ビットが"0"のとき、FMSTPビットに"1"を書くとFMSTPビットは"1"になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

フラッシュメモリ制御レジスタ 1

ビットシンボル	ビット名	機能	RW	
b7 b6 b5 b4 b3 b2 b1 b0	シンボル FMR1	アドレス 01B5 ₁₆	リセット後の値 000XXX0X ₂	
	(b0)	予約ビット	読んだ場合、不定	RO
	FMR11	EW1モード選択ビット(注1)	0: EW0モード 1: EW1モード	RW
	(b3-b2)	予約ビット	読んだ場合、不定	RO
	(b4)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。	—	—
	(b5)	予約ビット	"0" にしてください。	RW
	FMR16	ブロック0~5書き換え許可ビット(注2)	ユーザROM領域に対するライトプロテクトを設定(表 18.4参照) 0: 禁止 1: 許可	RW
	FMR17	ブロックA、Bアクセスウエイトビット(注3)	0: PM17の設定値が有効 1: ウエイトあり(1ウエイト)	RW

- 注1. "1" にするときは、FMR01ビットが"1"の状態、このビットに"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込み、DMA転送が入らないようにしてください。EW0モード時はフラッシュメモリ以外の領域で変更してください。このビットは、NMI機能選択時はP85/NMI/SD端子が"H"の状態を書いてください。FMR01ビットを"0"にすると、FMR01ビットとFMR11ビットは、いずれも"0"になります。
- 注2. "1" にするときは、FMR01ビットが"1"の状態、このビットに"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込み、DMA転送が入らないようにしてください。
- 注3. 100回以上の書き換えを実施する場合は、このビットを"1"(ウエイトあり)に設定してください。FMR17ビットが"1"(ウエイトあり)の場合、PM17ビットに関わらず、ブロックAおよびブロックBアクセス時に1ウエイトが挿入されます。その他のブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17ビットの設定になります。

図18.7 FMR0、FMR1レジスタ

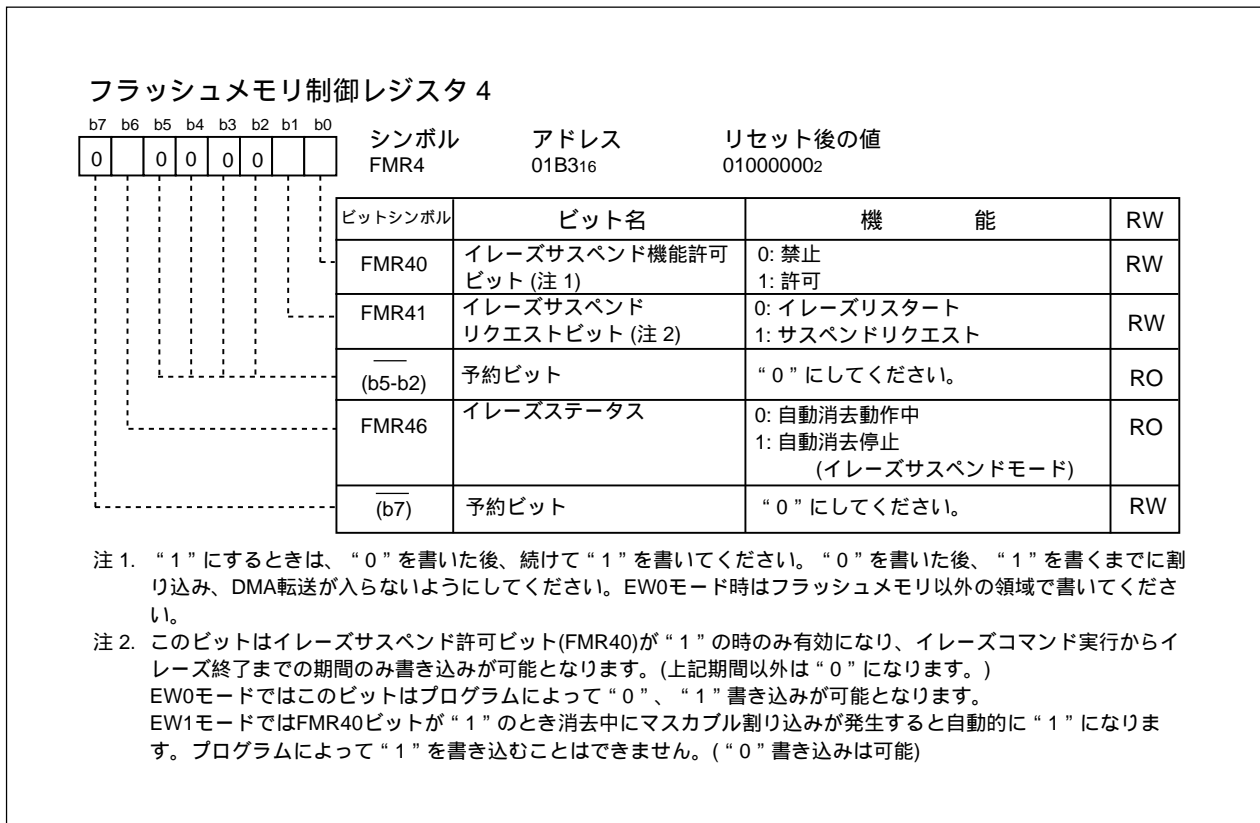


図18.8 FMR4レジスタ

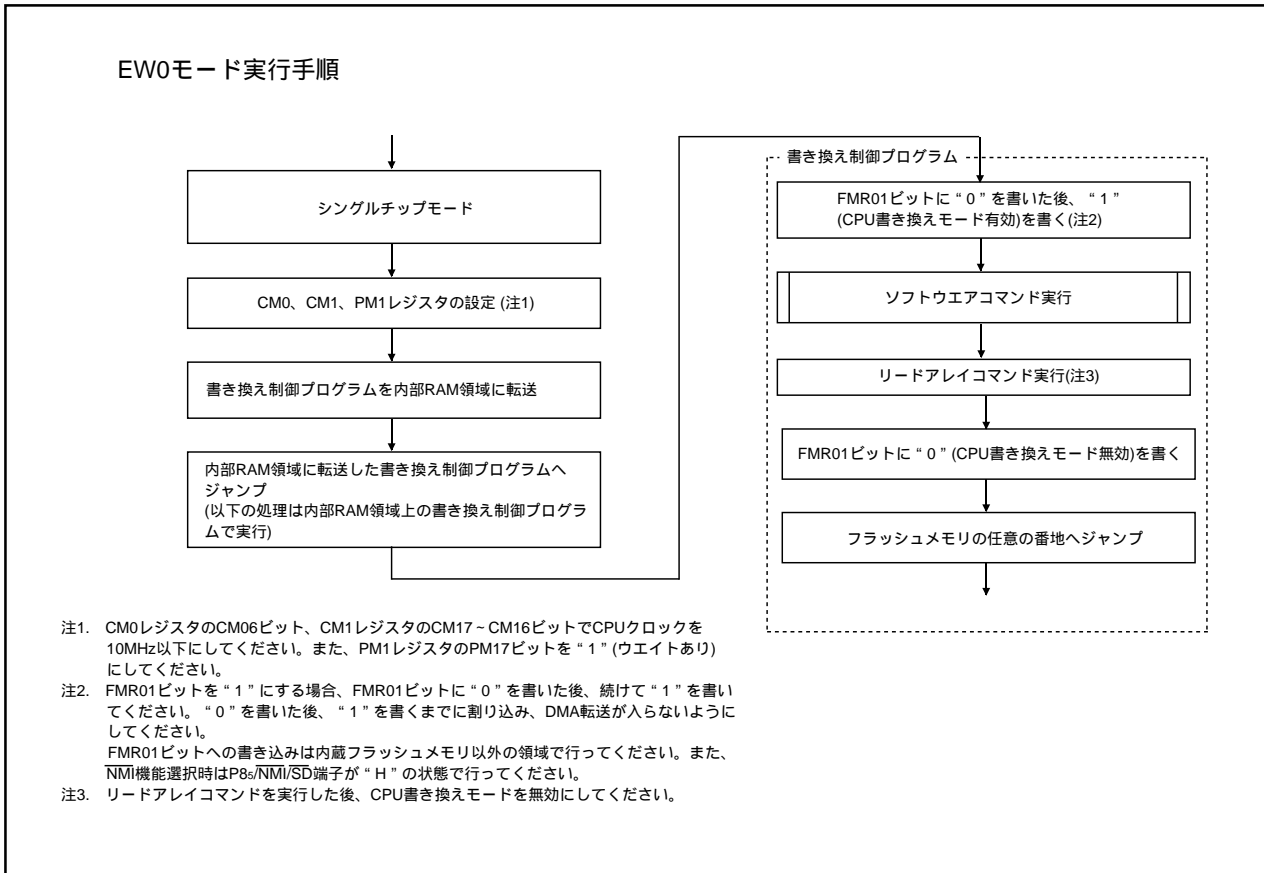


図18.9 EW0モードの設定と解除方法

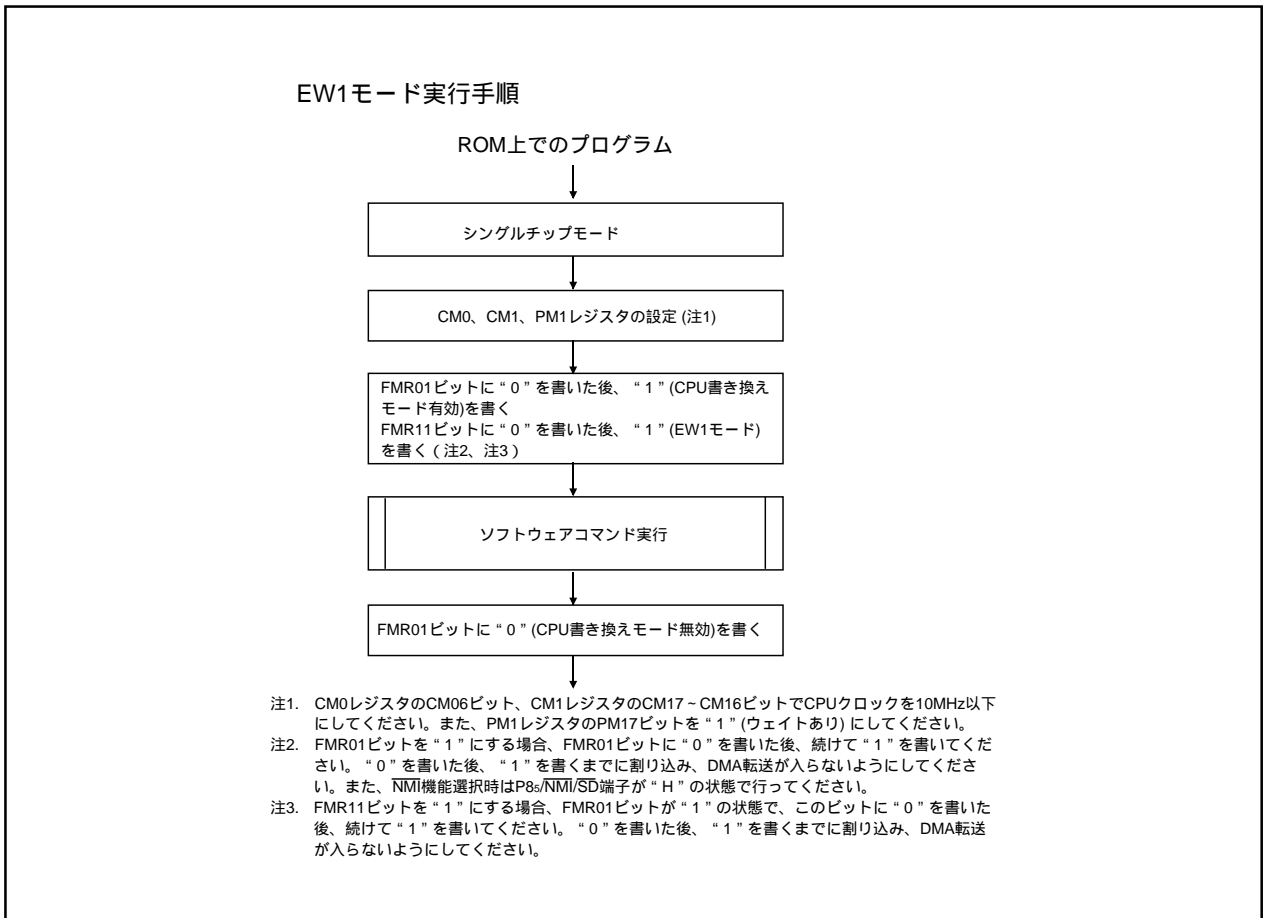


図18.10 EW1モードの設定と解除方法

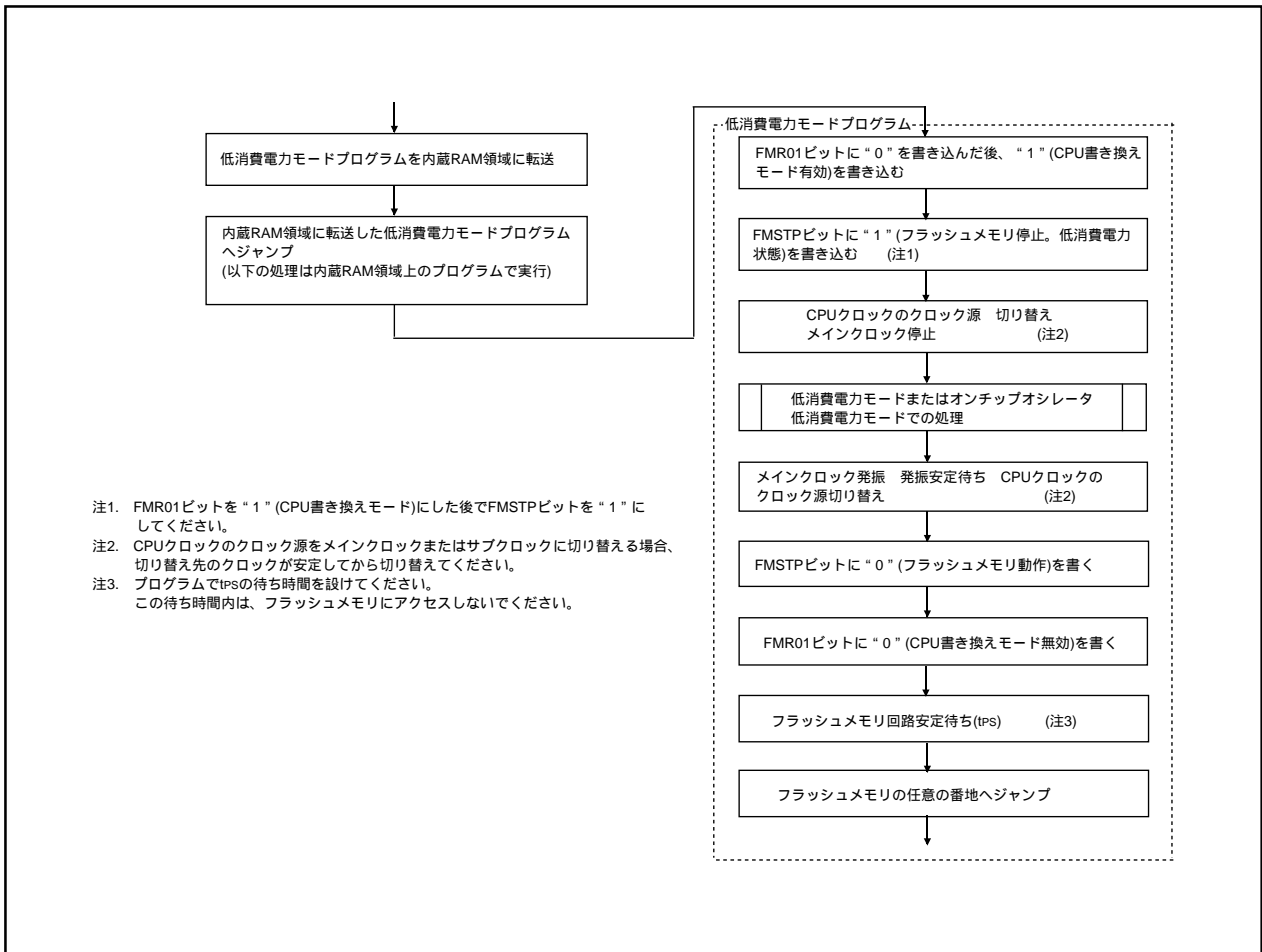


図18.11 低消費電力モード前後の処理

18.6 CPU書き換えモードの注意事項

CPU書き換えモードでフラッシュメモリを書き換えるときの注意事項を以下に示します。

18.6.1 動作速度

CPUクロック源がメインクロックのとき、CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、CPUクロック源がオンチップオシレータでf3(ROC)を選択しているときは、CPU書き換えモード(EW0、EW1モード)に入る前に、ROCRレジスタのROCR3～ROCR2ビットを、4分周または8分周に設定してください。

いずれの場合も、PM1レジスタのPM17ビットは“1”(ウエイトあり)にしてください。

18.6.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

18.6.3 割り込み

EW0モード

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。ただし、固定ベクタテーブルに各割り込みルーチンの飛び先番地が設定されており、割り込みプログラムが存在することが必要です。NMI割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、FMR01ビットを“1”にし、消去またはプログラムの動作が必要です。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- ・自動書き込み、またはイレースサスペンド機能を禁止した自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。

18.6.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビット、FMR16ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、NMI機能選択時はP85/NMI/SD端子に“H”を入力した状態で行ってください。

18.6.5 ユーザROM領域の書き換え

18.6.5.1 EW0モード

- ・書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

18.6.5.2 EW1モード

- ・書き換え制御プログラムが格納されているブロックを書き換えしないでください。

18.6.6 DMA転送

EW1モードで、FMR0レジスタのFMR00ビットが0の間(自動書き込み、自動消去の期間)、DMA転送を行わないでください。

18.6.7 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

18.6.8 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

18.6.9 ストップモード

ストップモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後、CM10ビットを“1”(ストップモード)の命令を実行してください。

18.6.10 低消費電力モード、オンチップオシレータ低消費電力モード

CM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- ・プログラム
- ・ブロックイレーズ

18.7 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表18.5 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	X	xxFF ₁₆			
リードステータスレジスタ	ライト	X	xx70 ₁₆	リード	X	SRD
クリアステータスレジスタ	ライト	X	xx50 ₁₆			
プログラム	ライト	WA	xx40 ₁₆	ライト	WA	WD
ブロックイレース	ライト	X	xx20 ₁₆	ライト	BA	xxD0 ₁₆

SRD：ステータスレジスタデータ(D7～D0)。

WA：書き込み番地(ただし、偶数番地)

WD：書き込みデータ(16ビット)

BA：ブロックの最上位番地(ただし、偶数番地)

x：ユーザROM領域内の任意の偶数番地

xx：コマンドコード上位8ビット(無視されます)

18.7.1 リードアレイ コマンド(FF₁₆)

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFF₁₆”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

18.7.2 リードステータスレジスタ コマンド(70₁₆)

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70₁₆”を書くと、第2バスサイクルでステータスレジスタが読めます(「ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

18.7.3 クリアステータスレジスタ コマンド (50₁₆)

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“xx50₁₆”を書くと、FMR0レジスタのFMR06～FMR07ビットとステータスレジスタのSR4～SR5が“0”になります。

18.7.4 プログラム コマンド (4016)

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx4016”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「フルステータスチェック」参照)。

なお、各ブロックは書き込みを禁止することができます。(表18.4参照)

既にプログラムされた番地には追加書き込みをしないでください。

プログラムコマンドの直後に、プログラムコマンド以外のコマンドを実行する場合、プログラムコマンドの第2バスサイクルで指定した書き込み番地と同じ番地を次のコマンドの第1バスサイクルで指定するアドレス値にしてください。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

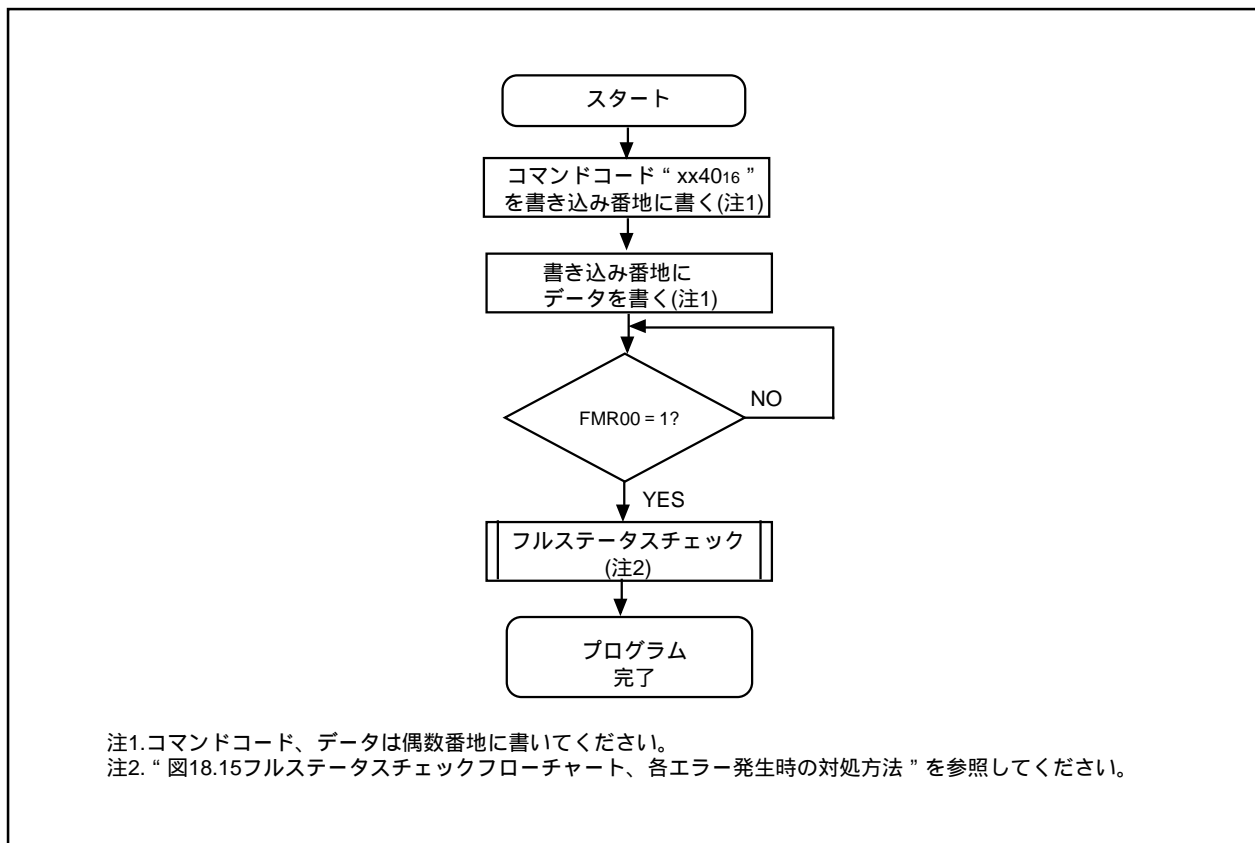


図18.12 プログラムフローチャート

18.7.5 ブロックイレーズ

第1バスサイクルで“xx2016”、第2バスサイクルで“xxD016”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

EW0モードでイレーズサスペンド機能を使用する時は、イレーズサスペンドへの移行をFMR4レジスタのFMR46ビットで確認してください。FMR46ビットは、自動消去動作中は“0”、自動消去停止(イレーズサスペンドに移行)後“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「フルステータスチェック」参照)。

なお、各ブロックは消去を禁止することができます。(表18.4参照)

図18.13にイレーズサスペンド機能を使用しない時のブロックイレーズのフローチャート例を、図18.14にイレーズサスペンド機能を使用する時のブロックイレーズのフローチャート例を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

なお、イレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまで、クリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

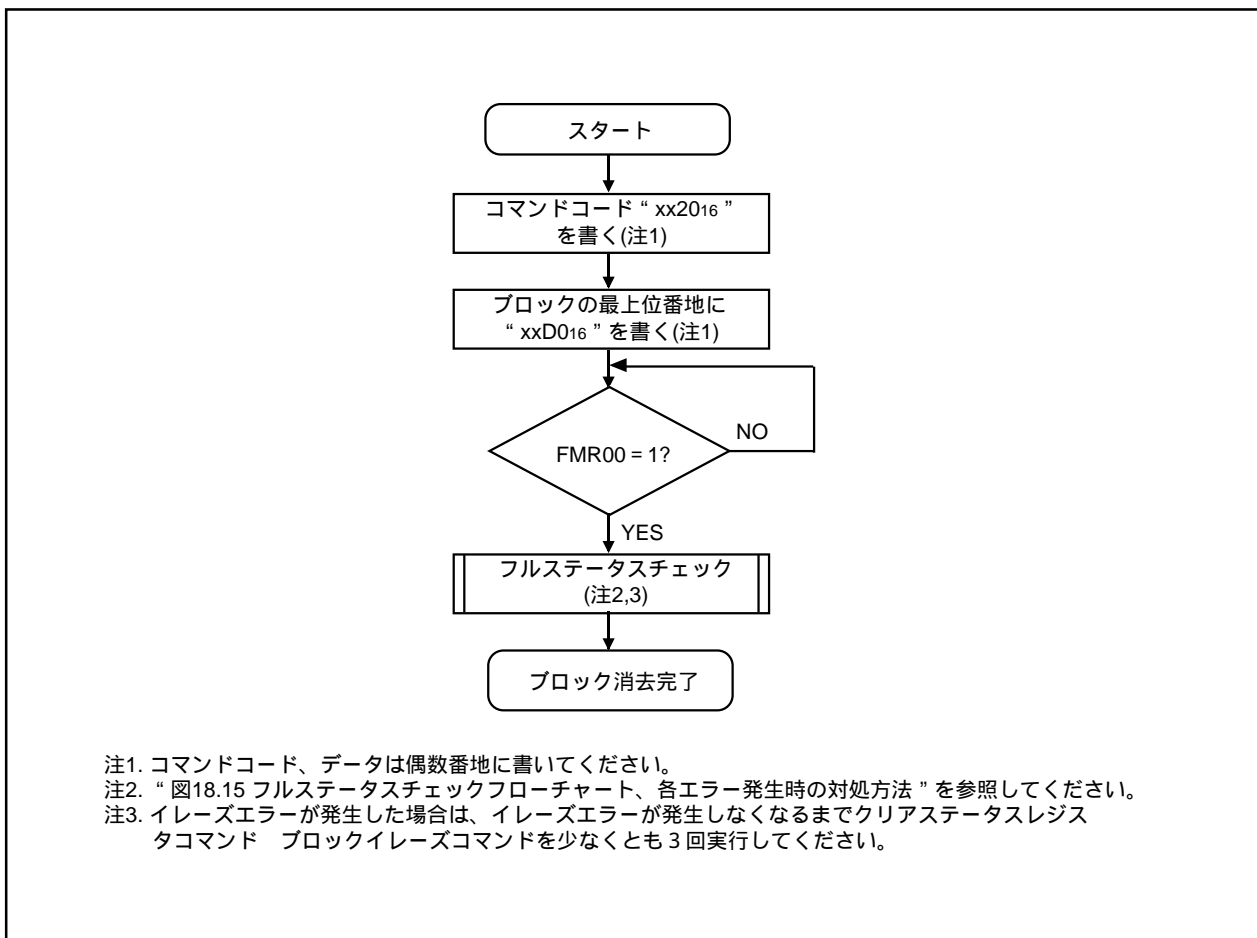


図18.13 ブロックイレーズフローチャート(イレーズサスペンド機能未使用時)

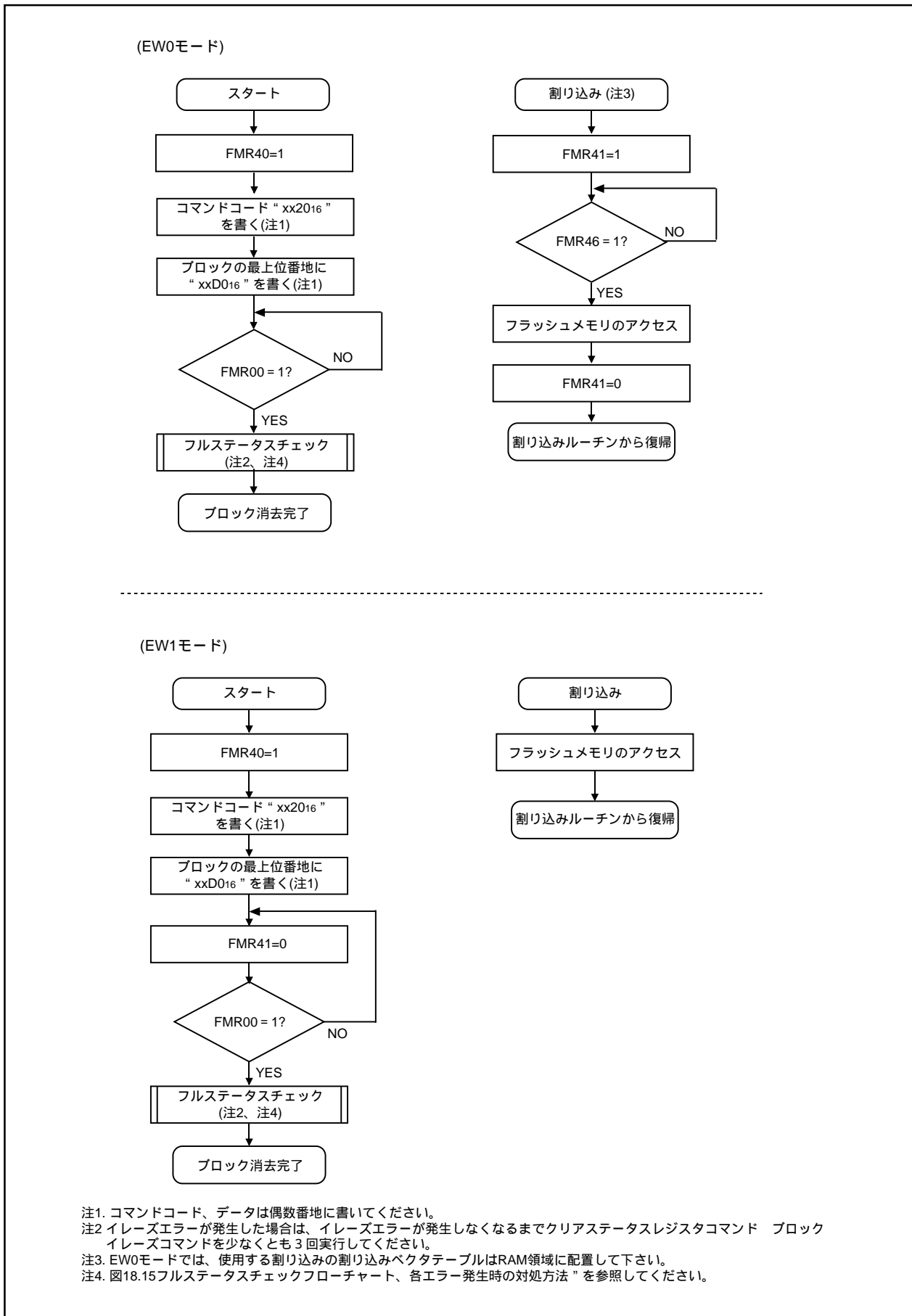


図18.14 ブロックイレーズフローチャート(イレーズサスペンド機能使用時)

18.8 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表18.6にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- (1) リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- (2) プログラムコマンド、ブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

18.8.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。イレーズサスペンドモード中は“0”(ビジー)を示します。

18.8.2 イレーズステータス(SR5、FMR07ビット)

「フルステータスチェック」を参照してください。

18.8.3 プログラムステータス(SR4、FMR06ビット)

「フルステータスチェック」を参照してください。

表18.6 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D6)	-	リザーブ	-	-	-
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D3)	-	リザーブ	-	-	-
SR2 (D2)	-	リザーブ	-	-	-
SR1 (D1)	-	リザーブ	-	-	-
SR0 (D0)	-	リザーブ	-	-	-

D7～D0：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)、FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズコマンドは受け付けられません。

18.8.4 フルスステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表18.7にエラーとFMR0レジスタの状態を、図18.15にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表18.7 エラーとFMR0レジスタの状態

FMR0レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“xxD016”または“xxFF16”)以外のデータを書いたとき(注1) ・プロテクトされたブロックにブロックイレーズコマンドを実行したとき ・プロテクトされたブロックにプログラムコマンドを実行したとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・プロテクトされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかつたとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プロテクトされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかつたとき

注1．これらのコマンドの第2バスサイクルで“xxFF16”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

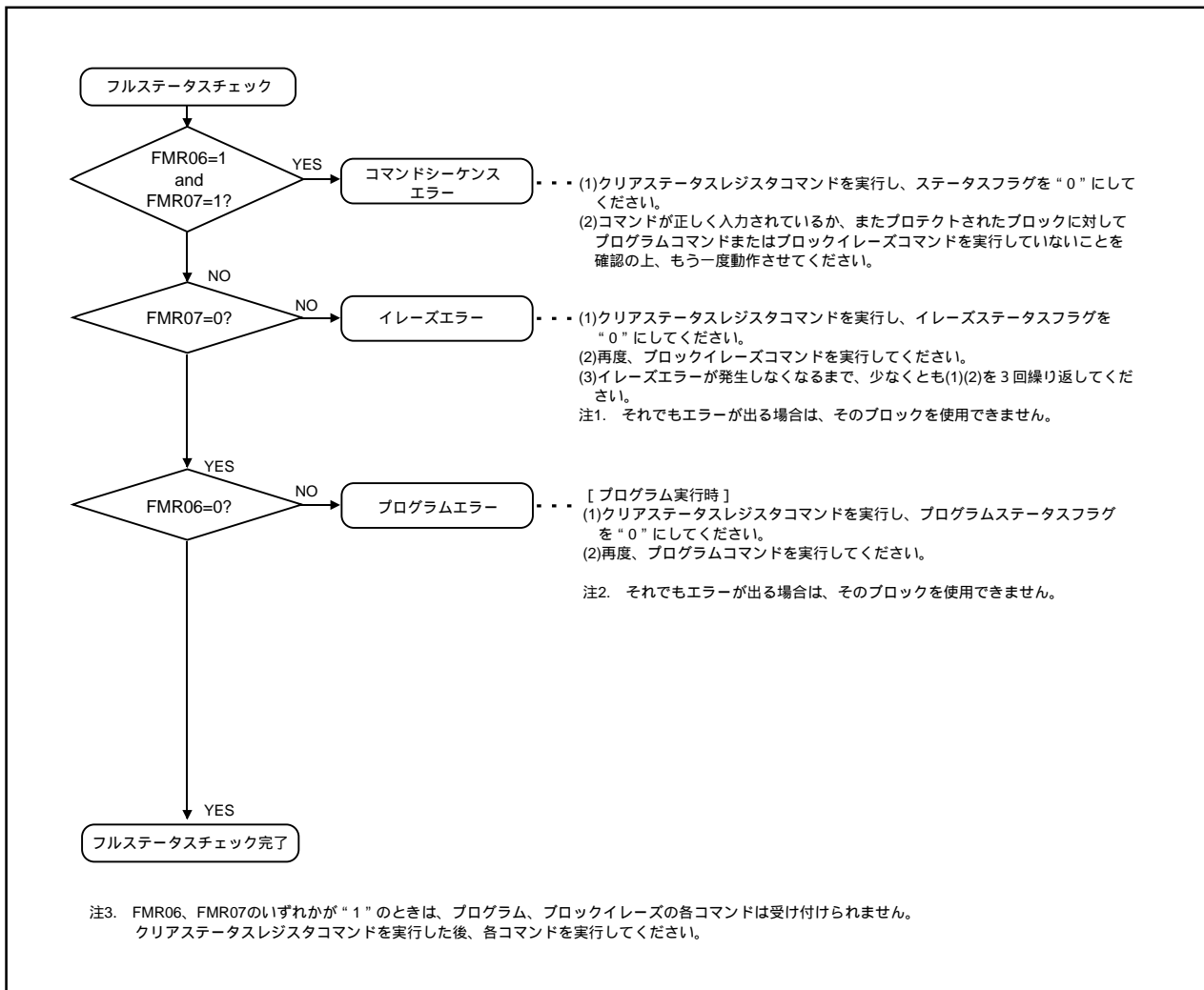


図18.15 フルステータスチェックフローチャート、各エラー発生時の対処方法

18.9 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/28グループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザズマニュアルを参照してください。

表18.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図18.16、図18.17に標準シリアル入出力モード時の端子結線図を示します。

18.9.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「18.3 フラッシュメモリ書き換え禁止機能」参照)。

表18.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名 称	入出力	機 能	
Vcc,Vss	電源入力		Vcc 端子には、プログラム、イレーズの保証電圧を入力してください。Vss 端子には、0Vを入力してください。	
CNVss	CNVss	入力	Vcc に接続してください。	
RESET	リセット入力	入力	リセット入力端子です。td(ROC)間、 $\overline{\text{RESET}}$ 端子を“L”にしてください。	
XIN	クロック入力	入力	XIN 端子とXOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力するときは、XIN から入力し XOUT は開放してください。	
XOUT	クロック出力	出力		
AVcc, AVss	アナログ電源入力		AVcc にはVcc、AVssにはVssを接続してください。	
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。	
P00 to P07	入力ポート P0	入力	“H”を入力、“L”を入力、または開放してください。	
P10 to P15, P17	入力ポート P1	入力	“H”を入力、“L”を入力、または開放してください。	
P16	P16 入力	入力	RESET端子が“L”の間、Vcc に接続してください。(注2)	
P20 to P27	入力ポート P2	入力	“H”を入力、“L”を入力、または開放してください。	
P30 to P37	入力ポート P3	入力	“H”を入力、“L”を入力、または開放してください。	
P60 to P63	入力ポート P6	入力	“H”を入力、“L”を入力、または開放してください。	
P64	BUSY 出力	出力	標準シリアル入出力モード 1: BUSY信号の出力端子です。 標準シリアル入出力モード 2: ブートプログラム動作チェック用モニタ信号出力端子です。	
P65	SCLK 入力	入力	標準シリアル入出力モード 1: シリアルクロックの入力端子です。 標準シリアル入出力モード 2: “L”を入力してください。	
P66	RxD 入力	入力	シリアルデータの入力端子です。	
P67	TxD 出力	出力	シリアルデータの出力端子です。(注 1)	
P70 to P77	入力ポート P7	入力	“H”を入力、“L”を入力、または開放してください。	
P80 to P84, P87	入力ポート P8	入力	“H”を入力、“L”を入力、または開放してください。	
P85	$\overline{\text{RP}}$ 入力	入力	RESET端子が“L”の間、Vss に接続してください。(注2)	
P86	$\overline{\text{CE}}$ 入力	入力	RESET端子が“L”の間、Vcc に接続してください。(注2)	
P90 to P91, P95 to P97	入力ポート P9	入力	“H”を入力、“L”を入力、または開放してください。	
P92	入力ポート P92	入力	“H”を入力、“L”を入力、または開放してください。	
P93	入力ポート P93	128K	入出力	一定期間“H”を出力します。“H”を入力、または開放してください。
		128K以外	入力	“H”を入力、“L”を入力、または開放してください。
P100 to P107	入力ポート P10	入力	“H”を入力、“L”を入力、または開放してください。	

注 1: 標準シリアル入出力モード1を使用する場合、RESET端子が“L”の間中TxD端子に“H”を入力する必要があります。そのため、この端子を抵抗を介してVccに接続してください。リセット後この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルアップ抵抗値をシステム上で調整してください。

注 2: RESET端子が“L”の間、下記のいずれか、または両方を設定してください。

- $\overline{\text{CE}}$ 端子をVccに接続
- $\overline{\text{RP}}$ 端子をVssに接続、およびP16端子をVccに接続

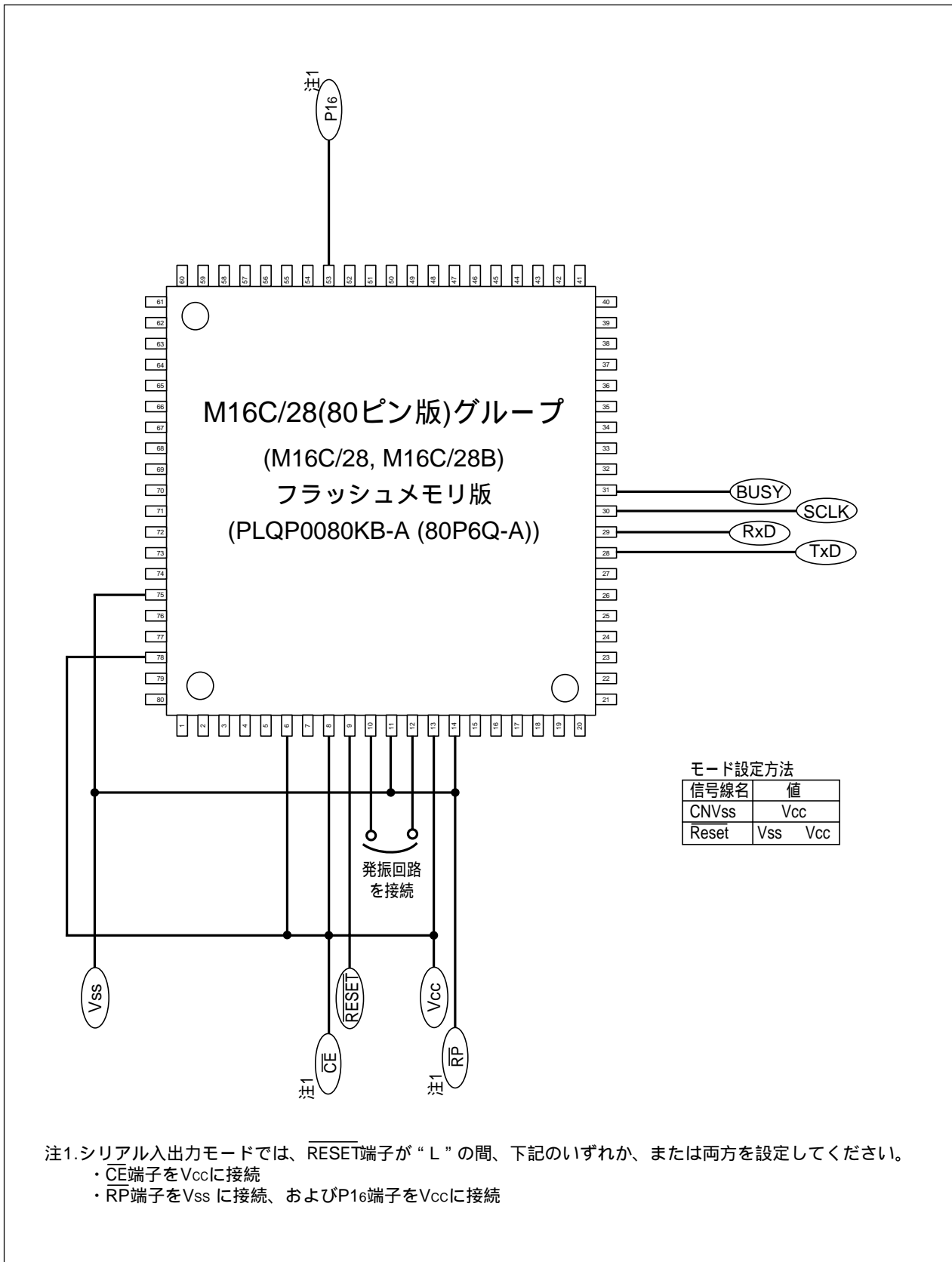


図 18.17 標準シリアル入出力モード時の端子結線図(2)

18.9.2 標準シリアル入出力モード時の端子処理例

図18.18に標準シリアル入出力モード1を使用する場合の端子処理例、図18.19に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが異なりますので、詳細はライターのマニュアルを参照してください。

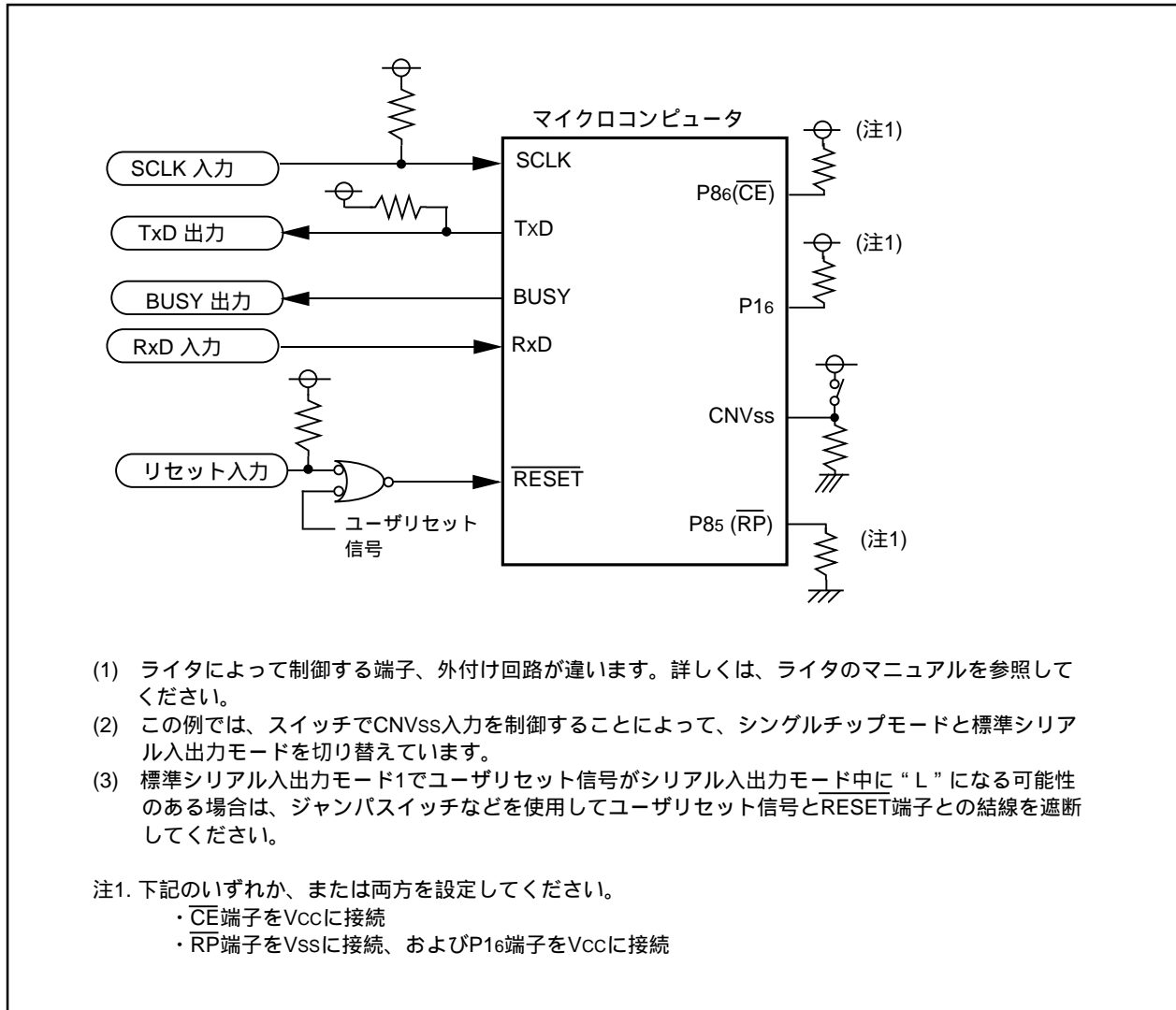


図 18.18 標準シリアル入出力モード1を使用する場合の端子処理例

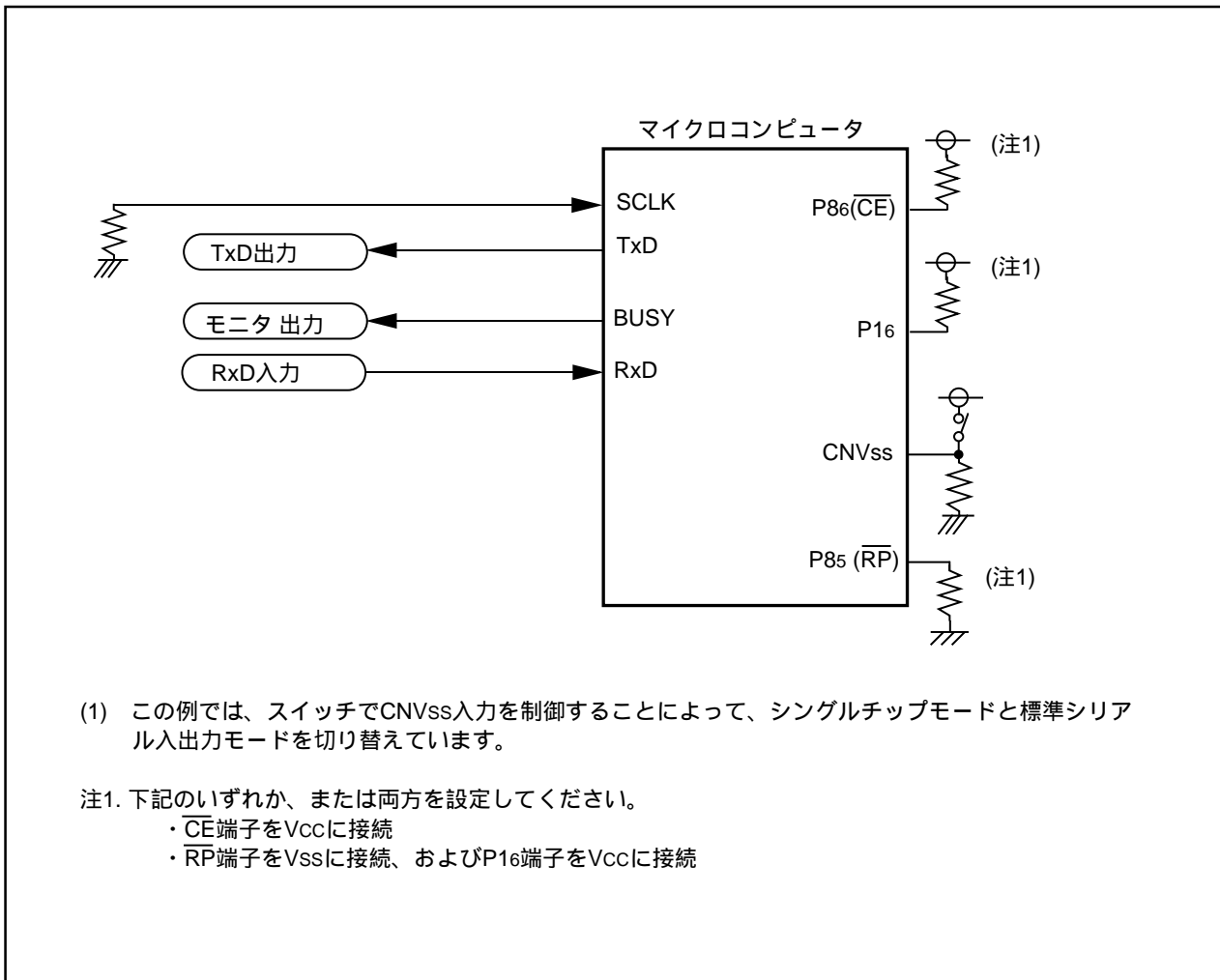


図18.19 標準シリアル入出力モード2時の端子処理例

18.10 パラレル入出力モード

パラレル入出力モードでは、M16C/28グループに対応したパラレルライターを使用して、ユーザROM領域を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

18.10.1 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「18.3 フラッシュメモリ書き換え禁止機能」参照)。

19. 電気的特性

M16C/28グループ Normal-ver.の電気的特性を示します。

表19.1 絶対最大定格

記号	項目		条件	定格値	単位
V _{cc}	電源電圧		V _{cc} =AV _{cc}	-0.3 ~ 6.5	V
AV _{cc}	アナログ電源電圧		V _{cc} =AV _{cc}	-0.3 ~ 6.5	V
V _i	入力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇ , X _{IN} , V _{ref} , RESET, CNV _{SS}		-0.3 ~ V _{cc} +0.3	V
V _o	出力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇ , X _{OUT}		-0.3 ~ V _{cc} +0.3	V
P _d	消費電力		-40 Topr 85° C	300	mW
Topr	動作周囲温度	マイコン動作時		-20 ~ 85 / -40 ~ 85 ⁽¹⁾	° C
		フラッシュ書き込み消去時	プログラム領域 (ブロック0~5)	0 ~ 60	° C
			データ領域 (ブロックA、B)	0 ~ 60 / -20 ~ 85 / -40 ~ 85 ⁽¹⁾	° C
T _{stg}	保存温度			-65 ~ 150	° C

注1. 表1.5、表1.6製品コードを参照してください。

表19.2 推奨動作条件 (注1)

記号	項目	規格値			単位	
		最小	標準	最大		
V _{CC}	電源電圧	2.7		5.5	V	
AV _{CC}	アナログ電源電圧		V _{CC}		V	
V _{SS}	電源電圧		0		V	
AV _{SS}	アナログ電源電圧		0		V	
V _{IH}	"H"入力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	0.7V _{CC}		V _{CC}	V
		XIN, $\overline{\text{RESET}}$, CNVSS	0.8V _{CC}		V _{CC}	V
		SDA _{MM} , SCL _{MM}	I ² C bus入力レベル選択時 SMBUS入力レベル選択時	0.7V _{CC} 1.4		V _{CC} V _{CC}
V _{IL}	"L"入力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	0		0.3V _{CC}	V
		XIN, $\overline{\text{RESET}}$, CNVSS	0		0.2V _{CC}	V
		SDA _{MM} , SCL _{MM}	I ² C bus入力レベル選択時 SMBUS入力レベル選択時	0 0		0.3V _{CC} 0.6
I _{OH(peak)}	"H"尖頭出力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇			-10.0	mA
I _{OH(avg)}	"H"平均出力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇			-5.0	mA
I _{OL(peak)}	"L"尖頭出力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇			10.0	mA
I _{OL(avg)}	"L"平均出力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇			5.0	mA
f(XIN)	メインクロック入力発振周波数 ^(注4)	V _{CC} =3.0 ~ 5.5V	0		20	MHz
		V _{CC} =2.7 ~ 3.0V	0		33 × V _{CC} -80	MHz
f(XCIN)	サブクロック発振周波数		32.768		50	kHz
f ₁ (ROC)	オンチップオシレータ発振周波数1		0.5	1	2	MHz
f ₂ (ROC)	オンチップオシレータ発振周波数2		1	2	4	MHz
f ₃ (ROC)	オンチップオシレータ発振周波数3		8	16	26	MHz
f(PLL)	PLLクロック発振周波数 ^(注4)	V _{CC} =4.2 ~ 5.5V(M16C/28B)	10		24	MHz
		V _{CC} =3.0 ~ 4.2V(M16C/28B)	10		3.33 × V _{CC} +10	MHz
		V _{CC} =3.0 ~ 5.5V(M16C/28)	10		20	MHz
		V _{CC} =2.7 ~ 3.0V	10		33 × V _{CC} -80	MHz
f(BCLK)	CPU動作周波数	M16C/28	0		20	MHz
		M16C/28B	0		24	MHz
t _{SU} (PLL)	PLL周波数シンセサイザ安定待ち時間	V _{CC} =5.0V			20	ms
		V _{CC} =3.0V			50	ms

注1. 指定のない場合は、V_{CC} = 2.7 ~ 5.5V、Topr = -20 ~ 85 °C / -40 ~ 85 °C です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. 全ポートの I_{OL(peak)} の合計は80mA以下、全ポートの I_{OH(peak)} の合計は-80mA以下にしてください。

注4. メインクロック入力周波数、PLLクロック周波数と電源電圧の関係は次のとおりです。

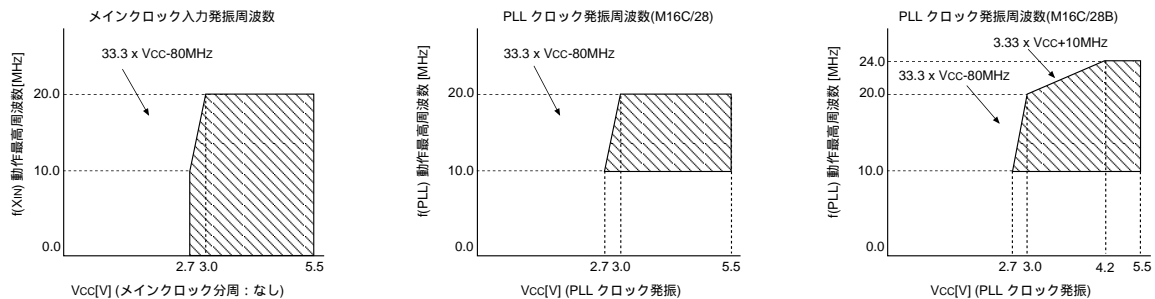


表19.3 A/D変換特性 (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能		$V_{REF}=V_{CC}$			10	Bits
INL	積分非直線性誤差	10 bit	$V_{REF}=V_{CC}=5V$			± 3	LSB
			$V_{REF}=V_{CC}=3.3V$			± 5	LSB
		8 bit	$V_{REF}=V_{CC}=3.3V, 5V$			± 2	LSB
-	絶対精度	10 bit	$V_{REF}=V_{CC}=5V$			± 3	LSB
			$V_{REF}=V_{CC}=3.3V$			± 5	LSB
		8 bit	$V_{REF}=V_{CC}=3.3V, 5V$			± 2	LSB
DNL	微分非直線性誤差					± 1	LSB
-	オフセット誤差					± 3	LSB
-	ゲイン誤差					± 3	LSB
RLADDER	ラダー抵抗		$V_{REF}=V_{CC}$	10		40	k
t_{CONV}	変換時間(10 bit) サンプル&ホールド機能あり		$V_{REF}=V_{CC}=5V, \phi_{AD}=10MHz$	3.3			μs
t_{CONV}	変換時間(8 bit) サンプル&ホールド機能あり		$V_{REF}=V_{CC}=5V, \phi_{AD}=10MHz$	2.8			μs
V_{REF}	基準電圧			2.0		V_{CC}	V
V_{IA}	アナログ入力電圧			0		V_{REF}	V

注1. 指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=3.3 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $Topr = -20 \sim 85 \text{ }^\circ\text{C} / -40 \sim 85 \text{ }^\circ\text{C}$ です。

注2. AD動作クロック周波数(ϕ_{AD} の周波数)は10MHz以下 (M16C/28Bは12MHz以下) にしてください。また、 V_{CC} が4.2V未満の場合は ϕ_{AD} を分周し、 ϕ_{AD} の周波数 $f_{AD}/2$ 以下にしてください。

注3. サンプル&ホールド機能なしのときは、注2の制限に加え ϕ_{AD} の周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときは、注2の制限に加え ϕ_{AD} の周波数は1MHz以上にしてください。

注4. サンプル&ホールド機能ありのときは、サンプリング時間は周波数 $3/\phi_{AD}$ です。
サンプル&ホールド機能なしのときは、サンプリング時間は周波数 $2/\phi_{AD}$ です。

表19.4 フラッシュメモリの電気的特性(注1)

(製品コード:U3とU5のプログラム領域およびデータ領域、U7とU9のプログラム領域)

記号	項目	規格値			単位
		最小	標準 ^(注2)	最大	
-	プログラム、イレーズ回数 ^(注3)	100/1000 ^(注4, 11)			回
-	ワードプログラム時間(V _{CC} =5.0V、T _{opr} =25℃)		75	600	μs
-	ブロックイレーズ時間 (V _{CC} =5.0V、T _{opr} =25℃)	2-Kバイトブロック	0.2	9	s
		8-Kバイトブロック	0.4	9	s
		16-Kバイトブロック	0.7	9	s
		32-Kバイトブロック	1.2	9	s
td(SR-ES)	消去動作 イレーズサスペンド遷移時間			8	ms
t _{PS}	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間 ^(注5)	20			年

表19.5 フラッシュメモリの電気的特性(注6) (製品コード:U7とU9のデータ領域(注7))

記号	項目	標準			単位
		最小	標準 ^(注2)	最大	
-	プログラム、イレーズ回数 ^(注3, 8, 9)	10000 ^(注4, 10)			回
-	ワードプログラム (V _{CC} =5.0V、T _{opr} =25℃)		100		μs
-	ブロックイレーズ時間 (V _{CC} =5.0V、T _{opr} =25℃) (2-Kバイトブロック)		0.3		s
td(SR-ES)	消去動作 イレーズサスペンド遷移時間			8	ms
t _{PS}	フラッシュメモリ回路安定待ち時間			15	μs
-	データ保持時間 ^(注5)	20			年

注1. 指定のない場合は、V_{CC}=2.7~5.5V、T_{opr}=0~60℃(プログラム領域)、-40~85℃(データ領域)です。注2. V_{CC}=5V; T_{opr}=25℃時

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注4. プログラム/イレーズ後の全ての電気的特性を保証する回数です。(保証は1~"最小"値の範囲です。)

注5. T_{opr}=55℃の条件です。注6. 指定のない場合は、V_{CC}=2.7~5.5V、T_{opr}=-40~85℃(U7)/-20~85℃(U9)です。

注7. プログラム、イレーズ回数が1,000回を超えたときの規格です。

1,000回までのワードプログラム時間、ブロックイレーズ時間はプログラム領域と同じです。(表19.4参照)

注8. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組8ワードをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズが均等になるようにすると更に実効的な書き換え回数を少なくすることができます。また、ブロック毎に何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めいたします。

注9. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注10. 100回以上の書き換えを実施する場合はブロックA、ブロックBの読み出しを1ウエイトにしてください。FMR1レジスタのFMR17ビットを"1"(ウエイトあり)に設定するとPM17ビットに関わらずブロックA、およびブロックBアクセス時に1ウエイトが挿入されます。その他のブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17ビットの設定になります。

注11. U3とU5のプログラム領域およびデータ領域は100回、U7とU9のプログラム領域は1,000回です。

注12. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

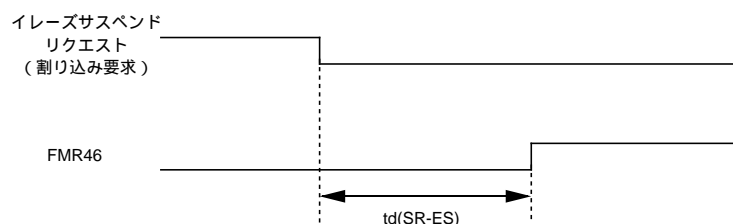


表 19.6 電圧検出回路の電気的特性 (注1)(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet4	電圧低下検出電圧 ^(注1)	V _{CC} =0.8 to 5.5V	3.2	3.8	4.45	V
Vdet3	リセット領域検出電圧 ^(注1)		2.3	2.8	3.4	V
Vdet3s	低電圧リセット保持電圧 ^(注2)				1.7	V
Vdet3r	低電圧リセット解除電圧		2.35	2.9	3.5	V

注1. Vdet4 > Vdet3

注2. Vdet3sは“ハードウェアリセット2”が保持される最低電圧です。

注3. 電圧検出回路は、V_{CC}=5Vでの使用を前提にしています。

注4. リセット領域検出電圧が2.7V未満の場合、電源電圧がリセット領域検出電圧以上であれば、f(BCLK) 10MHzで動作することを保証します。ただし、A/D変換精度、シリアルI/O、フラッシュメモリのプログラム、イレーズを除きます。

表19.7 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	V _{CC} =2.7 to 5.5V			2	ms
td(ROC)	電源投入時内部オンチップオシレータ発振安定時間				40	μs
td(R-S)	STOP解除時間				150	μs
td(W-S)	低消費電力モードウェイトモード解除時間				150	μs
td(S-R)	ハードウェアリセット2解除待ち時間	V _{CC} =Vdet3r to 5.5V		6 ^(注1)	20	ms
td(E-A)	電圧検出回路動作開始時間	V _{CC} =2.7 to 5.5V			20	μs

注1. V_{CC}=5V時の標準値

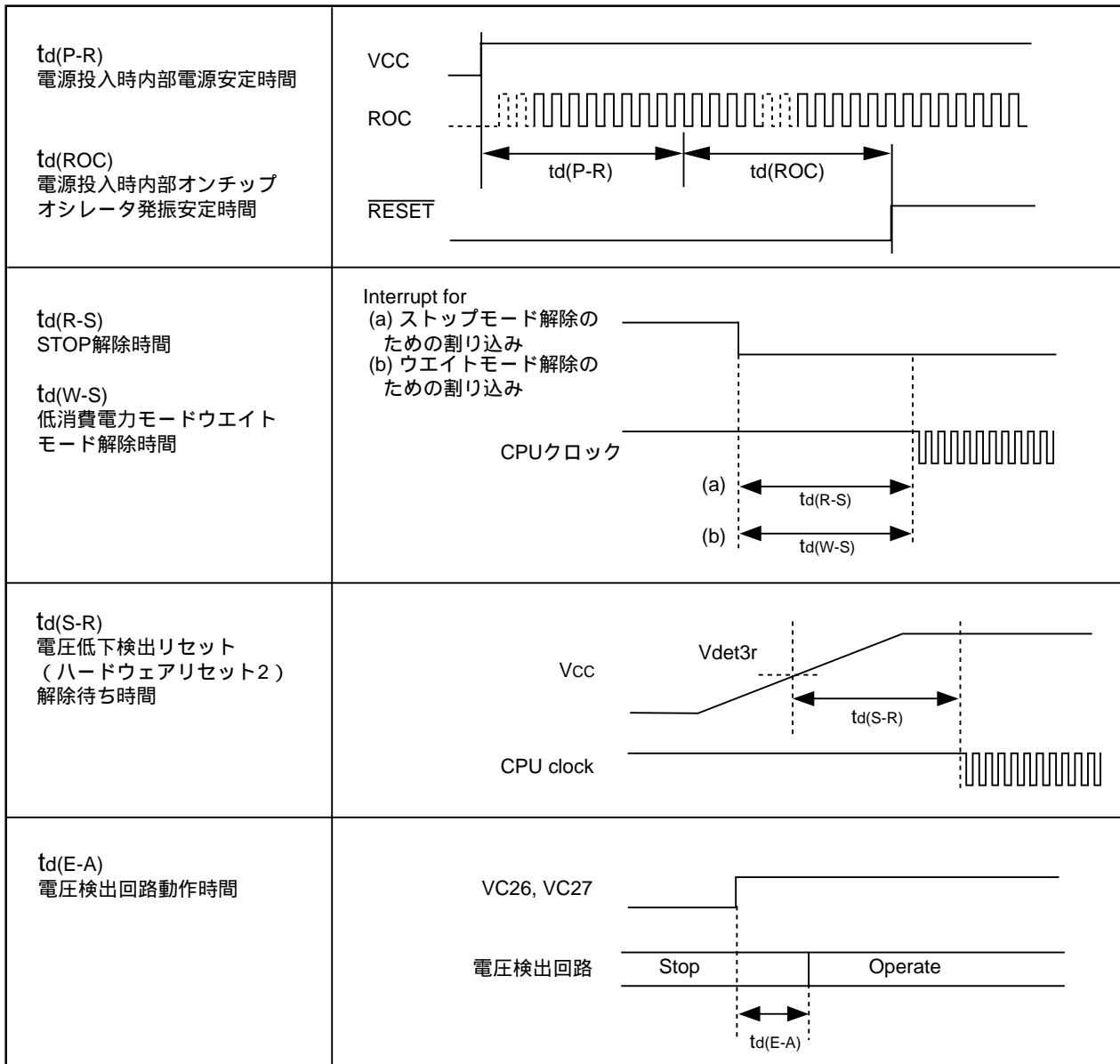


図19.1 電源回路のタイミング図

VCC = 5V

表 19.8 電気的特性(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{OH}	"H"出力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	I _{OH} =-5mA	V _{CC} -2.0		V _{CC}	V
V _{OH}	"H"出力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	I _{OH} =-200 μA	V _{CC} -0.3		V _{CC}	V
V _{OH}	"H"出力電圧	X _{OUT}	High Power	I _{OH} =-1mA	V _{CC} -2.0	V _{CC}	V
			Low Power	I _{OH} =-0.5mA	V _{CC} -2.0	V _{CC}	
	"H"出力電圧	X _{COU} T	High Power	無負荷時		2.5	V
			Low Power	無負荷時		1.6	
V _{OL}	"L"出力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	I _{OL} =5mA			2.0	V
V _{OL}	"L"出力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	I _{OL} =200μA			0.45	V
V _{OL}	"L"出力電圧	X _{OUT}	High Power	I _{OL} =1mA		2.0	V
			Low Power	I _{OL} =0.5mA		2.0	
	"L"出力電圧	X _{COU} T	High Power	無負荷時		0	V
			Low Power	無負荷時		0	
V _{T+} -V _{T-}	ヒステリシス	TA0 _{IN} -TA4 _{IN} , TB0 _{IN} -TB2 _{IN} , INT0-INT5, NMI, AD _{TRG} , CTS0-CTS2, SCL, SDA, CLK0-CLK2, TA2 _{OUT} -TA4 _{OUT} , KI0-KI3, RXD0-RXD2, SIN3, SIN4		0.2		1.0	V
V _{T+} -V _{T-}	ヒステリシス	RESET		0.2		2.5	V
V _{T+} -V _{T-}	ヒステリシス	X _{IN}		0.2		0.8	V
I _{IH}	"H"入力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇ X _{IN} , RESET, CNV _{SS}	V _I =5V			5.0	μA
I _{IL}	"L"入力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇ X _{IN} , RESET, CNV _{SS}	V _I =0V			-5.0	μA
R _{PULLUP}	プルアップ抵抗	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	V _I =0V	30	50	170	kΩ
R _{fXIN}	帰還抵抗	X _{IN}			1.5		MΩ
R _{fXCIN}	帰還抵抗	X _{CIN}			15		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC}=4.2~5.5V、V_{SS}=0V、T_{opr}=-20~85℃ / -40~85℃、f(BCLK)=20MHzです。

V_{CC} = 5V

表19.9 電気的特性 (2) (注1)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流 (V _{CC} =4.0~5.5V) 出力端子は開放、その他の端子はV _{SS}	マスクROM	f(BCLK)=20MHz、 メインクロック、分周なし		16	23	mA
			オンチップオシレータ発振動作、 f _{2(ROO)} 選択時、f(BCLK)=1MHz		2		mA
		フラッシュメモリ	f(BCLK)=24MHz、 PLL動作時、分周なし (M16C/28B)		23	28	mA
			f(BCLK)=20MHz、 メインクロック、分周なし		18	23	mA
		フラッシュメモリ プログラム	オンチップオシレータ発振動作、 f _{2(ROO)} 選択時、f(BCLK)=1MHz		2		mA
			f(BCLK)=10MHz、V _{CC} =5.0V		11		mA
		フラッシュメモリ イレーズ	f(BCLK)=10MHz、V _{CC} =5.0V		12		mA
		マスクROM	f(BCLK)=32kHz、 低消費電力モード時、ROM上 ^(注3)		25		μA
			オンチップオシレータ発振動作、 f _{2(ROO)} 選択時、f(BCLK)=1MHz、 ウェイトモード時		30		μA
		フラッシュメモリ	f(BCLK)=32kHz、 低消費電力モード時、RAM上 ^(注3)		25		μA
			f(BCLK)=32kHz、 低消費電力モード時、 フラッシュメモリ上 ^(注3)		450		μA
			オンチップオシレータ発振動作、 f _{2(ROO)} 選択時、f(BCLK)=1MHz、 ウェイトモード時		50		μA
		マスクROM、 フラッシュメモリ	f(BCLK)=32kHz、 ウェイトモード時 ^(注2) 、発振能力high		10		μA
f(BCLK)=32kHz、 ウェイトモード時 ^(注2) 、発振能力low			3		μA		
ストップモード時、Topr=25℃			0.8	3	μA		
I _{DET4}	電圧低下検出消費電流 ^(注4)			0.7	4	μA	
I _{DET3}	リセット領域検出消費電流 ⁽⁴⁾			1.2	8	μA	

注1. 指定のない場合は、V_{CC}=4.2~5.5V、V_{SS}=0V、Topr=-20~85℃ / -40~85℃、f(BCLK)=20MHzです。

注2. f_{CS2}にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. I_{DET}は次のビットを“1”(検出回路有効)にしている場合の消費電流です。

I_{DET4}: VCR2レジスタのVC27ビット

I_{DET3}: VCR2レジスタのVC26ビット

タイミング必要条件

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -20~85 / -40~85)

表 19.10 外部クロック入力 (XIN入力)

記号	項 目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	50		ns
tw(H)	外部クロック入力"H"パルス幅	20		ns
tw(L)	外部クロック入力"L"パルス幅	20		ns
tr	外部クロック立ち上がり時間		9	ns
tf	外部クロック立ち下がり時間		9	ns

タイミング必要条件

VCC = 5V

(指定のない場合は、VCC = 5V、VSS = 0V、Topr = -20 ~ 85 / -40 ~ 85)

表19.11 タイマA入力 (イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN 入力サイクル時間	100		ns
t _w (TAH)	TAiIN 入力“H”パルス幅	40		ns
t _w (TAL)	TAiIN 入力“L”パルス幅	40		ns

表19.12 タイマA入力 (タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN 入力サイクル時間	400		ns
t _w (TAH)	TAiIN 入力“H”パルス幅	200		ns
t _w (TAL)	TAiIN 入力“L”パルス幅	200		ns

表19.13 タイマA入力 (ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN 入力サイクル時間	200		ns
t _w (TAH)	TAiIN 入力“H”パルス幅	100		ns
t _w (TAL)	TAiIN 入力“L”パルス幅	100		ns

表19.14 タイマA入力 (パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _w (TAH)	TAiIN 入力“H”パルス幅	100		ns
t _w (TAL)	TAiIN 入力“L”パルス幅	100		ns

表19.15 タイマA入力 (イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _c (UP)	TAiOUT 入力サイクル時間	2000		ns
t _w (UPH)	TAiOUT 入力“H”パルス幅	1000		ns
t _w (UPL)	TAiOUT 入力“L”パルス幅	1000		ns
t _{su} (UP-TiN)	TAiOUT 入力セットアップ時間	400		ns
t _h (TiN-UP)	TAiOUT 入力ホールド時間	400		ns

表19.16 タイマA入力 (イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN 入力サイクル時間	800		ns
t _{su} (TAiN-TAOUT)	TAiOUT 入力セットアップ時間	200		ns
t _{su} (TAOUT-TAiN)	TAiIN 入力セットアップ時間	200		ns

$V_{CC} = 5V$

タイミング必要条件

(指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$ / $-40 \sim 85$)

表19.17 タイマ B 入力 (イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiiN 入力サイクル時間 (片エッジカウント)	100		ns
$t_w(TBH)$	TBiiN 入力 "H" パルス幅 (片エッジカウント)	40		ns
$t_w(TBL)$	TBiiN 入力 "L" パルス幅 (片エッジカウント)	40		ns
$t_c(TB)$	TBiiN 入力サイクル時間 (両エッジカウント)	200		ns
$t_w(TBH)$	TBiiN 入力 "H" パルス幅 (両エッジカウント)	80		ns
$t_w(TBL)$	TBiiN 入力 "L" パルス幅 (両エッジカウント)	80		ns

表19.18 タイマ B 入力 (パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiiN 入力サイクル時間	400		ns
$t_w(TBH)$	TBiiN 入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiiN 入力 "L" パルス幅	200		ns

表19.19 タイマ B 入力 (パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_c(TB)$	TBiiN 入力サイクル時間	400		ns
$t_w(TBH)$	TBiiN 入力 "H" パルス幅	200		ns
$t_w(TBL)$	TBiiN 入力 "L" パルス幅	200		ns

表19.20 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_c(AD)$	ADTRG 入力サイクル時間 (トリガ可能最小)	1000		ns
$t_w(ADL)$	ADTRG 入力 "L" パルス幅	125		ns

表19.21 シリアル I/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi 入力サイクル時間	200		ns
$t_w(CKH)$	CLKi 入力 "H" パルス幅	100		ns
$t_w(CKL)$	CLKi 入力 "L" パルス幅	100		ns
$t_d(C-Q)$	TxDi 出力遅延時間		80	ns
$t_h(C-Q)$	TxDi ホールド時間	0		ns
$t_{su}(D-C)$	RxDi 入力セットアップ時間	70		ns
$t_h(C-D)$	RxDi 入力ホールド時間	90		ns

表19.22 外部割り込み INTi 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	INTi 入力 "H" パルス幅	250		ns
$t_w(INL)$	INTi 入力 "L" パルス幅	250		ns

$V_{CC} = 5V$

タイミング必要条件

(指定のない場合は、 $V_{CC} = 5V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$ / $-40 \sim 85$)表19.23 マルチマスタ I²C bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスフリー時間	4.7		1.3		μs
tHD;STA	スタートコンディションホールド時間	4.0		0.6		μs
tLOW	SCL クロック "0"ステータスのホールド時間	4.7		1.3		μs
tR	SCL, SDA 信号立ち上がり時間		1000	20+0.1Cb	300	ns
tHD;DAT	データホールド時間	0		0	0.9	μs
tHIGH	SCL クロック "1"ステータスのホールド時間	4.0		0.6		μs
tF	SCL, SDA 信号立ち下がり時間		300	20+0.1Cb	300	ns
tsu;DAT	データセットアップ時間	250		100		ns
tsu;STA	リスタートコンディションセットアップ時間	4.7		0.6		μs
tsu;STO	ストップコンディションセットアップ時間	4.0		0.6		μs

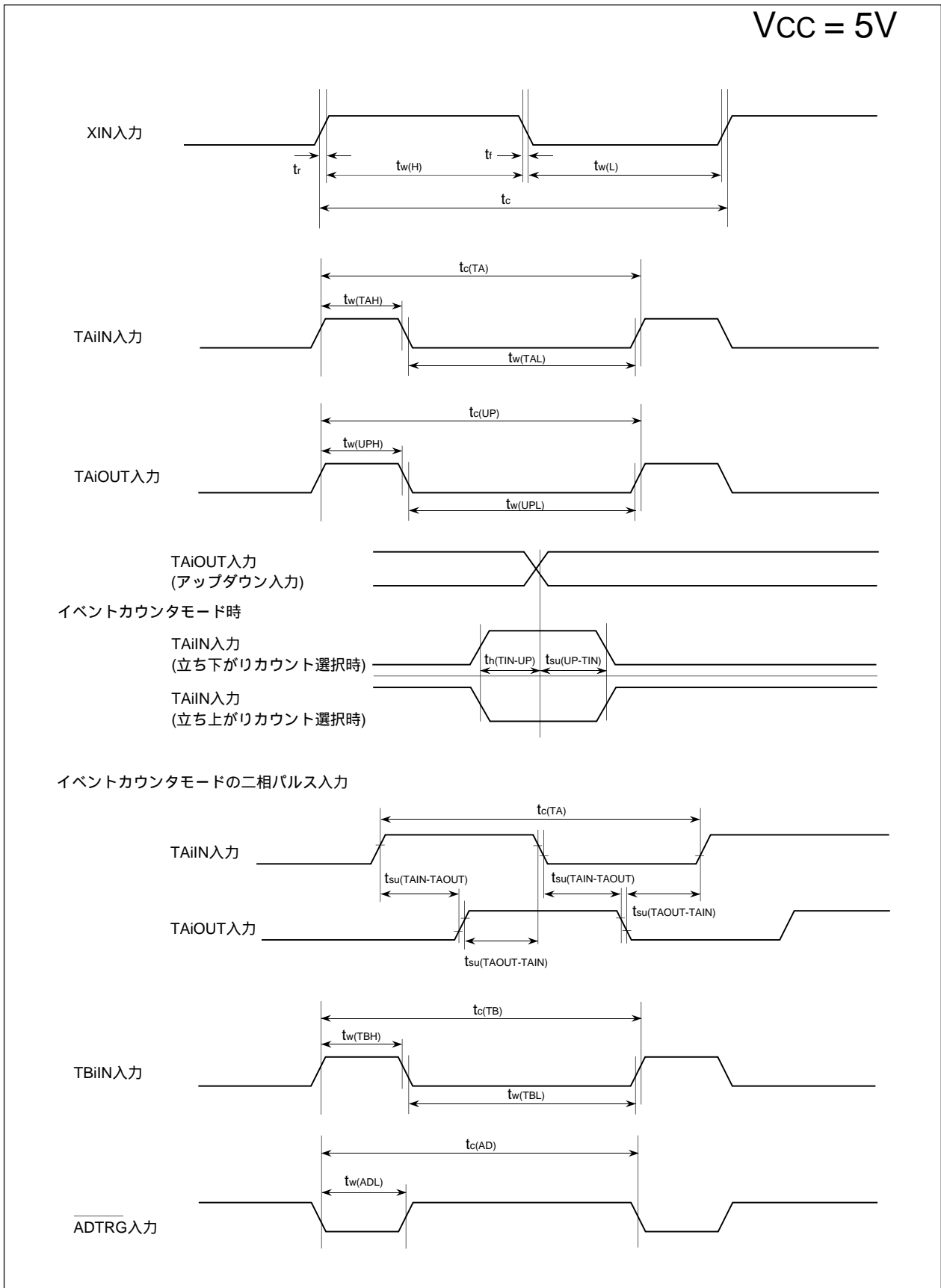


図19.2 タイミング図 (1)

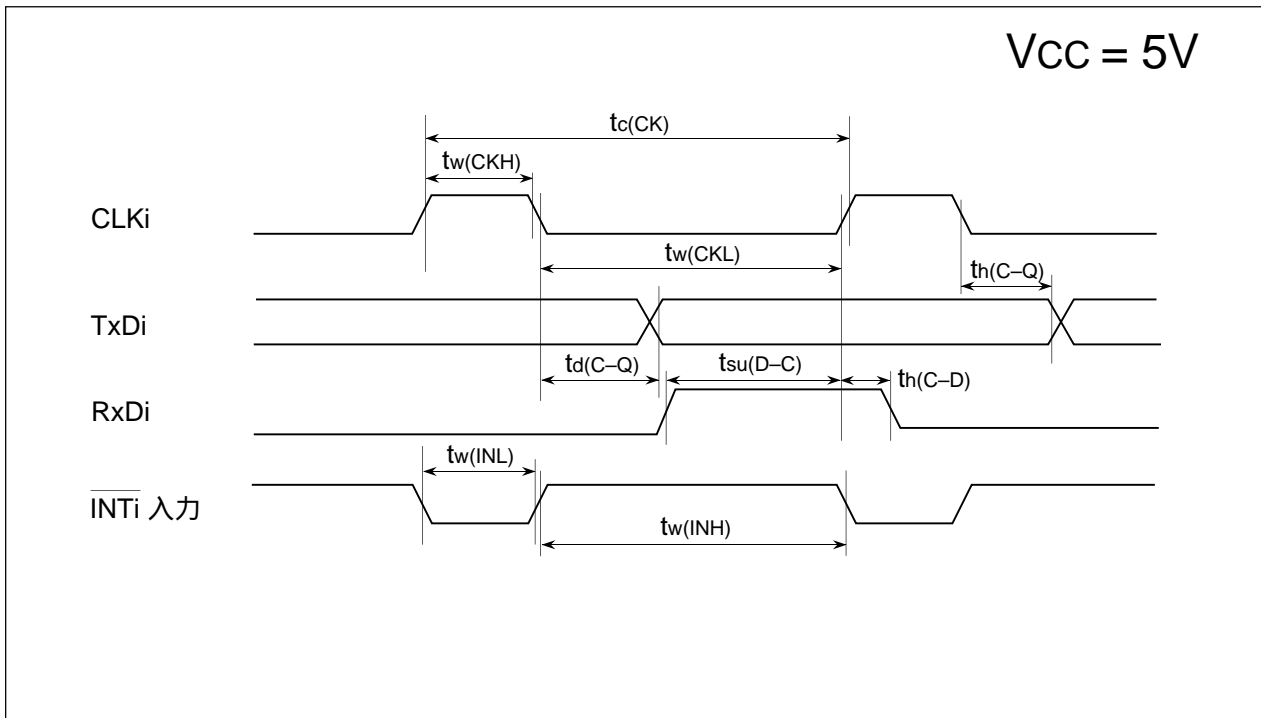


図19.3 タイミング図 (2)

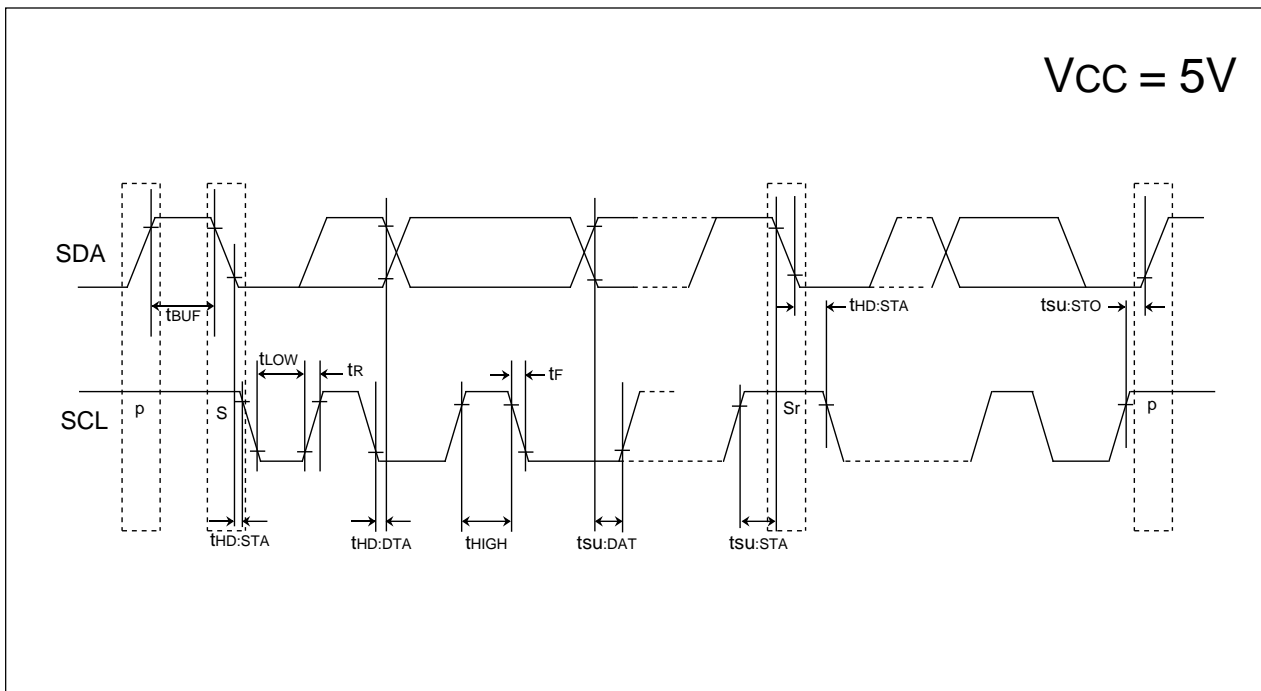


図19.4 タイミング図 (3)

VCC = 3V

表 19.24 電気的特性 (注)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
V _{OH}	"H"出力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	I _{OH} =-1mA	V _{CC} -0.5		V _{CC}	V
V _{OH}	"H"出力電圧	X _{OUT}	High Power	I _{OH} =-0.1mA	V _{CC} -0.5	V _{CC}	V
			Low Power	I _{OH} =-50μA	V _{CC} -0.5	V _{CC}	
	"H"出力電圧	X _{COUT}	High Power	無負荷時		2.5	V
			Low Power	無負荷時		1.6	
V _{OL}	"L"出力電圧	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	I _{OL} =1mA			0.5	V
V _{OL}	"L"出力電圧	X _{OUT}	High Power	I _{OL} =0.1mA		0.5	V
			Low Power	I _{OL} =50μA		0.5	
	"L"出力電圧	X _{COUT}	High Power	無負荷時		0	V
			Low Power	無負荷時		0	
V _{T+} -V _{T-}	ヒステリシス	TA0 _{IN} -TA4 _{IN} , TB0 _{IN} -TB2 _{IN} , INT0-INT5, NMI, AD _{TRG} , CTS0-C _{TS2} , SCL, SDA, CLK0-CLK2, TA2 _{OUT} -TA4 _{OUT} , KI0-KI3, R _{XD0} -R _{XD2} , S _{IN3} , S _{IN4}				0.8	V
V _{T+} -V _{T-}	ヒステリシス	RESET				1.8	V
V _{T+} -V _{T-}	ヒステリシス	X _{IN}				0.8	V
I _{IH}	"H"入力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇ X _{IN} , RESET, CNV _{SS}	V _I =3V			4.0	μA
I _{IL}	"L"入力電流	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇ X _{IN} , RESET, CNV _{SS}	V _I =0V			-4.0	μA
R _{PULLUP}	プルアップ抵抗	P0 ₀ to P0 ₇ , P1 ₀ to P1 ₇ , P2 ₀ to P2 ₇ , P3 ₀ to P3 ₇ , P6 ₀ to P6 ₇ , P7 ₀ to P7 ₇ , P8 ₀ to P8 ₇ , P9 ₀ to P9 ₃ , P9 ₅ to P9 ₇ , P10 ₀ to P10 ₇	V _I =0V	50	100	500	kΩ
R _{fXIN}	帰還抵抗	X _{IN}			3.0		MΩ
R _{fXCIN}	帰還抵抗	X _{CIN}			25		MΩ
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC}=2.7~3.6V、V_{SS}=0V、T_{opr}=-20~85℃/-40~85℃、f(BCLK)=10MHzです。

表19.25 電気的特性 (2) (注1)

VCC = 3V

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
I _{cc}	電源電流 (V _{CC} =2.7~3.6V)	出力端子は開放、その他の端子は V _{SS}	マスクROM	f(BCLK)=10MHz、メインクロック、分周なし		8	12	mA
				オンチップオシレータ発振動作、f _{2(ROC)} 選択時、f(BCLK)=1MHz		1		mA
			フラッシュメモリ	f(BCLK)=10MHz、メインクロック、分周なし		8	13	mA
				オンチップオシレータ発振動作、f _{2(ROC)} 選択時、f(BCLK)=1MHz		1		mA
			フラッシュメモリプログラム	f(BCLK)=10MHz、V _{CC} =3.0V		10		mA
			フラッシュメモリイレース	f(BCLK)=10MHz、V _{CC} =3.0V		11		mA
			マスクROM	f(BCLK)=32kHz、低消費電力モード時、ROM上 ^(注3)		20		μA
				オンチップオシレータ発振動作、f _{2(ROC)} 選択時、f(BCLK)=1MHz、ウェイトモード時		25		μA
			フラッシュメモリ	f(BCLK)=32kHz、低消費電力モード時、RAM上 ^(注3)		25		μA
				f(BCLK)=32kHz、低消費電力モード時、フラッシュメモリ上 ^(注3)		450		μA
				オンチップオシレータ発振動作、f _{2(ROC)} 選択時、f(BCLK)=1MHz、ウェイトモード時		45		μA
			マスクROM、フラッシュメモリ	f(BCLK)=32kHz、ウェイトモード時 ^(注2) 、発振能力high		10		μA
				f(BCLK)=32kHz、ウェイトモード時 ^(注2) 、発振能力Low		3		μA
	ストップモード時、Topr=25° C		0.7	3	μA			
I _{det4}	電圧低下検出消費電流 ^(注4)			0.6	4	μA		
I _{det3}	リセット領域検出消費電流 ⁽⁴⁾			1.0	5	μA		

注1. 指定のない場合は、V_{CC}=2.7~3.6V、V_{SS}=0V、Topr=-20~85°C / -40~85°C、f(BCLK)=10MHzです。

注2. fc₃₂にてタイマ1本を動作させている状態です。

注3. 実行するプログラムが存在するメモリを示す。

注4. I_{det}は次のビットを“1” (検出回路有効)にしている場合の消費電流です。

I_{det4}: VCR2レジスタのVC27ビット

I_{det3}: VCR2レジスタのVC26ビット

タイミング必要条件

 $V_{CC} = 3V$ (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$ / $-40 \sim 85$)

表19.26 外部クロック入力 (XIN 入力)

記号	項 目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	100		ns
tw(H)	外部クロック入力"H"パルス幅	40		ns
tw(L)	外部クロック入力"L"パルス幅	40		ns
tr	外部クロック立ち上がり時間		18	ns
tf	外部クロック立ち下がり時間		18	ns

タイミング必要条件

$V_{CC} = 3V$

(指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$ / $-40 \sim 85$)

表19.27 タイマA入力 (イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIn 入力サイクル時間	150		ns
$t_w(TAH)$	TAiIn 入力“H”パルス幅	60		ns
$t_w(TAL)$	TAiIn 入力“L”パルス幅	60		ns

表19.28 タイマA入力 (タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIn 入力サイクル時間	600		ns
$t_w(TAH)$	TAiIn 入力“H”パルス幅	300		ns
$t_w(TAL)$	TAiIn 入力“L”パルス幅	300		ns

表19.29 タイマA入力 (ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIn 入力サイクル時間	300		ns
$t_w(TAH)$	TAiIn 入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIn 入力“L”パルス幅	150		ns

表19.30 タイマA入力 (パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_w(TAH)$	TAiIn 入力“H”パルス幅	150		ns
$t_w(TAL)$	TAiIn 入力“L”パルス幅	150		ns

表19.31 タイマA入力 (イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT 入力サイクル時間	3000		ns
$t_w(UPH)$	TAiOUT 入力“H”パルス幅	1500		ns
$t_w(UPL)$	TAiOUT 入力“L”パルス幅	1500		ns
$t_{su}(UP-TiN)$	TAiOUT 入力セットアップ時間	600		ns
$t_h(TiN-UP)$	TAiOUT 入力ホールド時間	600		ns

表19.32 タイマA入力 (イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIn 入力サイクル時間	2		μs
$t_{su}(TAiN-TAOUT)$	TAiOUT 入力セットアップ時間	500		ns
$t_{su}(TAOUT-TAiN)$	TAiIn 入力セットアップ時間	500		ns

タイミング必要条件

 $V_{CC} = 3V$ (指定のない場合は、 $V_{CC} = 3V$ 、 $V_{SS} = 0V$ 、 $T_{opr} = -20 \sim 85$ / $-40 \sim 85$)

表19.33 タイマB入力 (イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiiN 入力サイクル時間 (片エッジカウント)	150		ns
$t_{w(TBH)}$	TBiiN 入力 “H” パルス幅 (片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiiN 入力 “L” パルス幅 (片エッジカウント)	60		ns
$t_{c(TB)}$	TBiiN 入力サイクル時間 (両エッジカウント)	300		ns
$t_{w(TBH)}$	TBiiN 入力 “H” パルス幅 (両エッジカウント)	120		ns
$t_{w(TBL)}$	TBiiN 入力 “L” パルス幅 (両エッジカウント)	120		ns

表19.34 タイマB入力 (パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiiN 入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiiN 入力 “H” パルス幅	300		ns
$t_{w(TBL)}$	TBiiN 入力 “L” パルス幅	300		ns

表19.35 タイマB入力 (パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiiN 入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiiN 入力 “H” パルス幅	300		ns
$t_{w(TBL)}$	TBiiN 入力 “L” パルス幅	300		ns

表19.36 A/D トリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG 入力サイクル時間(トリガ可能最小)	1500		ns
$t_{w(ADL)}$	ADTRG 入力 “L” パルス幅	200		ns

表19.37 シリアル I/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi 入力 “H” パルス幅	150		ns
$t_{w(CKL)}$	CLKi 入力 “L” パルス幅	150		ns
$t_{d(C-Q)}$	TxDi 出力遅延時間		160	ns
$t_{h(C-Q)}$	TxDi ホールド時間	0		ns
$t_{su(D-C)}$	RxDi 入力セットアップ時間	100		ns
$t_{h(C-D)}$	RxDi 入力ホールド時間	90		ns

表19.38 外部割り込み \overline{INTi} 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INTi} 入力 “H” パルス幅	380		ns
$t_{w(INL)}$	\overline{INTi} 入力 “L” パルス幅	380		ns

タイミング特性

VCC = 3V

(指定のない場合は、Vcc = 3V、Vss = 0V、Topr = -20~85 / -40~85)

表19.39 マルチマスタI²C bus

記号	項目	標準クロックモード		高速クロックモード		単位
		最小	最大	最小	最大	
tBUF	バスフリー時間	4.7		1.3		μs
tHD;STA	スタートコンディションホールド時間	4.0		0.6		μs
tLOW	SCL クロック "0"ステータスのホールド時間	4.7		1.3		μs
tR	SCL, SDA 信号立ち上がり時間		1000	20+0.1Cb	300	ns
tHD;DAT	データホールド時間	0		0	0.9	μs
tHIGH	SCL クロック "1"ステータスのホールド時間	4.0		0.6		μs
tF	SCL, SDA 信号立ち下がり時間		300	20+0.1Cb	300	ns
tsu;DAT	データセットアップ時間	250		100		ns
tsu;STA	リスタートコンディションセットアップ時間	4.7		0.6		μs
tsu;STO	ストップコンディションセットアップ時間	4.0		0.6		μs

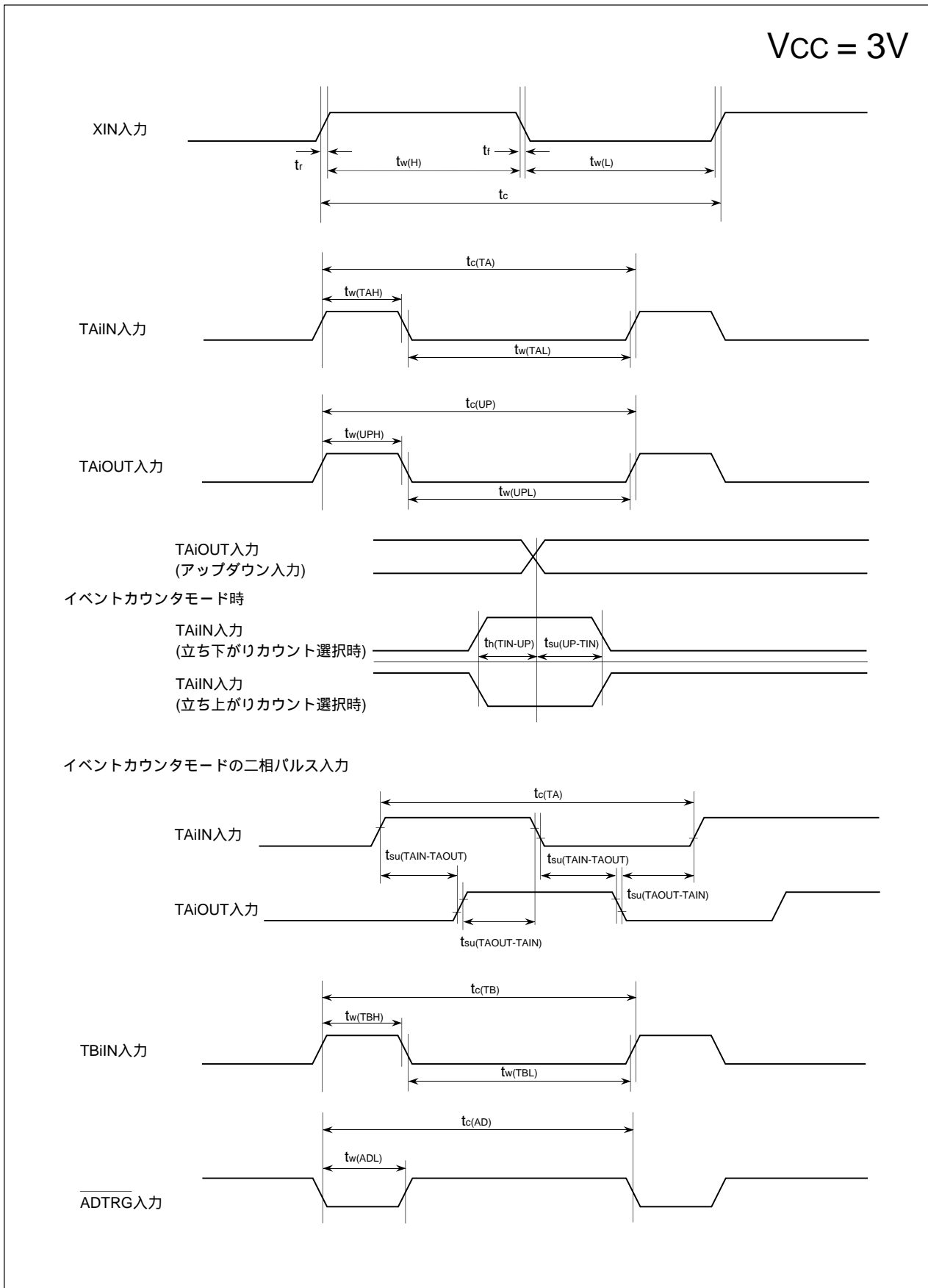


図19.5 タイミング図(1)

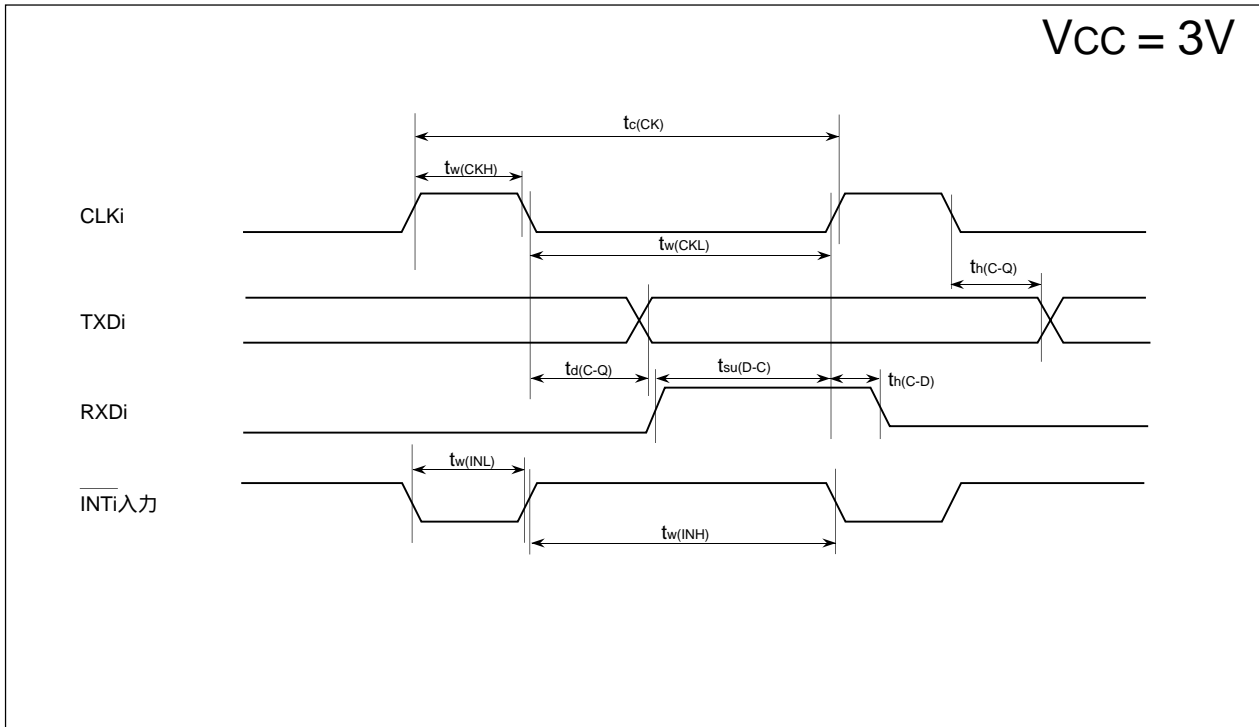


図19.6 タイミング図(2)

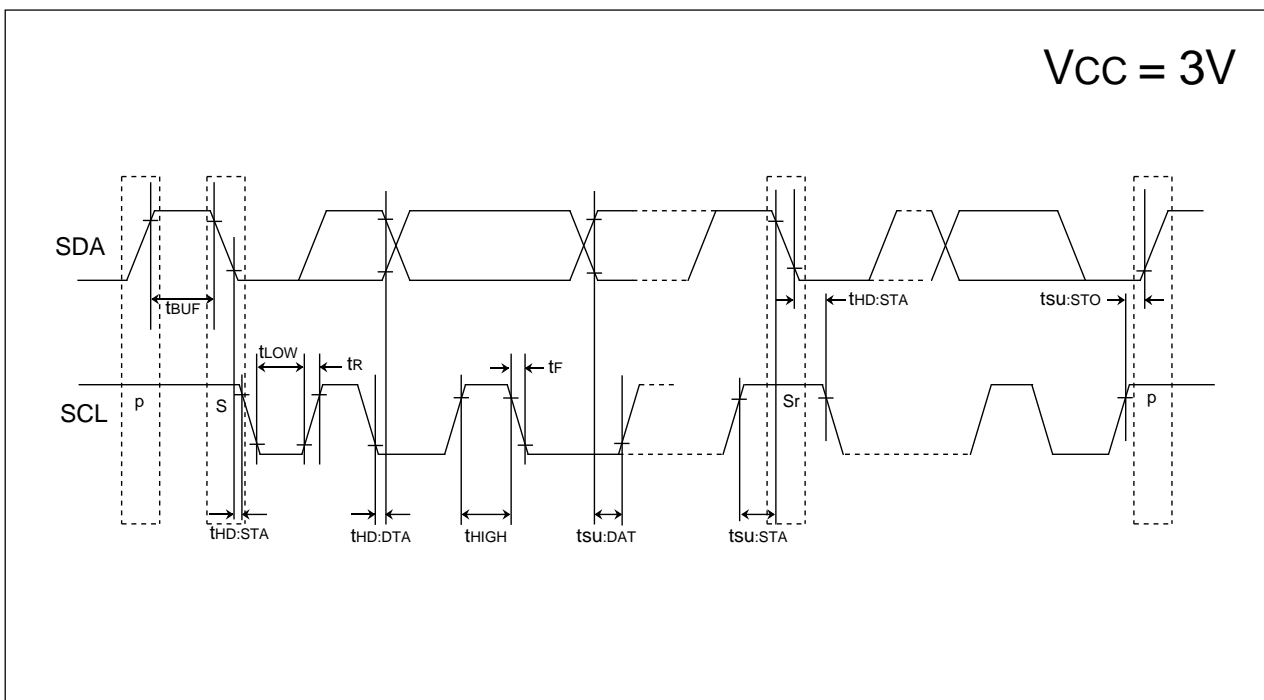


図19.7 タイミング図(3)

20. 使用上の注意事項

20.1 SFR

20.1.1 80ピン版、85ピン版の注意事項

リセット後、IFSR2AレジスタのIFSR20ビットを“1”に、またPACRレジスタのPACR2～PACR0ビットを“0112”に設定してください。

20.1.2 64ピン版の注意事項

リセット後、IFSR2AレジスタのIFSR20ビットを“1”に、またPACRレジスタのPACR2～PACR0ビットを“0102”に設定してください。

20.1.3 レジスタ設定時の注意事項

書き込みのみ可能なビットを含むレジスタには、即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

注1. 書き込みのみ可能なビットは、各レジスタ図のRW欄でWOと示しています。

20.1.4 フラッシュメモリ(128K+4K)バイト版とマスクROM版の注意事項

フラッシュメモリ(128K+4K)バイト版及びマスクROM版を使用する場合、リセット後、以下の手順でレジスタを設定して下さい。

- (1) LPCC0レジスタを“0021₁₆”に設定する
- (2) PRCRレジスタのPRC0ビットを“1”に設定する
- (3) LPCC1レジスタのLPCC13ビットを“1”に設定する
- (4) PRC0ビットを“0”に設定する

```
例： MOV.B    #00100001bLPCC0    ;  
      BSET    PRC0                ;書き込み許可  
      MOV.B    #00001000bLPCC1    ;  
      BCLR    PRC0                ;書き込み禁止
```

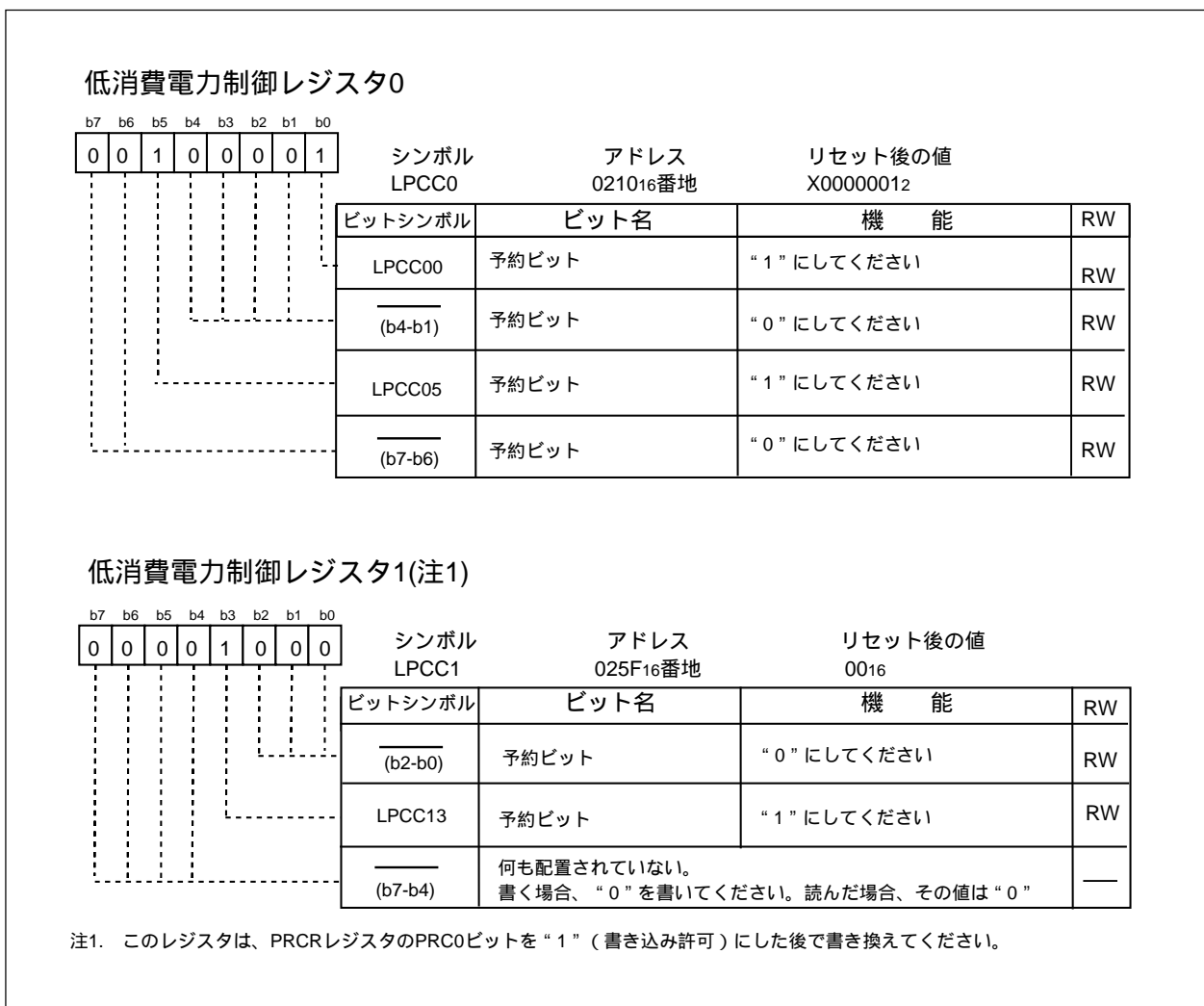


図20.1 LPCC0レジスタ、LPCC1レジスタ

20.2 クロック発生回路

20.2.1 PLL周波数シンセサイザ使用時

PLL 周波数シンセサイザをご使用になる場合は、電源リップルの規格を満たすように電源電圧を安定させてください。

記号	項目	規格値			単位
		最小	標準	最大	
f(ripple)	電源リップル許容周波数(Vcc)			10	kHz
V _{p-p(ripple)}	電源リップル許容振幅電圧	(Vcc=5V時)		0.5	V
		(Vcc=3V時)		0.3	V
VCC(t _V / T _T)	電源リップル立ち上がり/立ち下がり勾配	(Vcc=5V時)		0.3	V/ms
		(Vcc=3V時)		0.3	V/ms

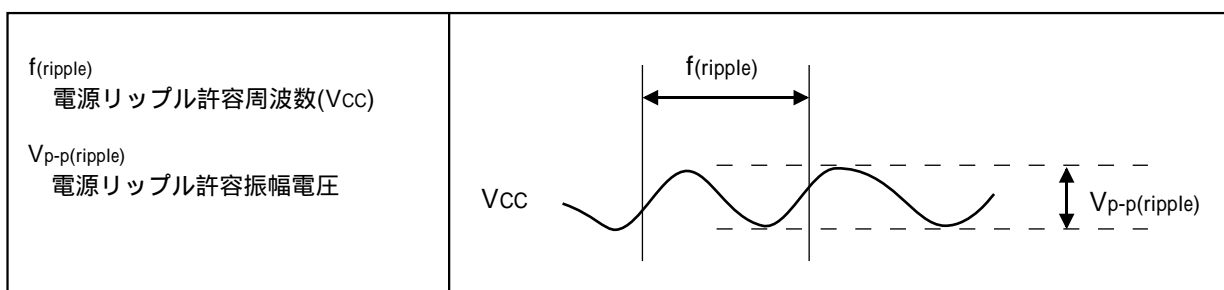


図20.2 電源変動のタイミング図

20.2.2 パワーコントロール

1. ストップモードからリセットによって復帰する場合、オンチップオシレータを使用して復帰します。
2. ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ(i=0~4)のMR0ビットを“0”(パルス出力なし)にしてください。
3. ウェイトモードに移行するとき、WAIT命令の前にJMP.B命令を挿入してください。JMP.B命令とWAIT命令実行の間に、RAMへの書き込みが発生する命令を実行しないでください。JMP.B命令とWAIT命令実行の間にDMA転送が発生する可能性がある場合は、DMA転送を禁止してください。
また、WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに移行する場合、命令キューはWAIT命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```
例：          JMP.B          L1    ;WAIT命令の前にJMP.B命令を挿入
              L1:
              FSET          I      ;
              WAIT          ;ウェイトモードに移行
              NOP          ;NOP命令を4つ以上
              NOP
              NOP
              NOP
```

4. ストップモードに移行するとき、CM1レジスタのCM10ビットを“1”にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに移行する場合、命令キューはCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

ストップモードに移行するときのプログラム例を示します。

```
例：          FSET          I
              BSET          CM10   ;ストップモードに移行
              JMP.B         L2     ;JMP.B命令を挿入
              L2:
              NOP          ;NOP命令を4つ以上
              NOP
              NOP
              NOP
```

5. CPU クロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待ってから切り替えてください。
CPU クロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。
6. 消費電力を小さくするためのポイント
消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。
 - (a)ポート
ウエイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウエイトモードまたはストップモードに移行してください。
 - (b)A/Dコンバータ
A/D 変換を行わない場合、ADCON1 レジスタのVCUT ビットを“0” (Vref 未接続)にしてください。
なお、A/D 変換を行う場合、VCUT ビットを“1” (Vref 接続)にしてから1 μ s 以上経過した後、A/D 変換を開始させてください。
 - (c)周辺機能の停止
ウエイトモード時にCM0 レジスタのCM02 ビットで、不要な周辺機能を停止させてください。
ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウエイトモードに移行する場合はCM02 ビットを“0” (ウエイトモード時、周辺機能クロック停止しない)にしてウエイトモードに移行してください。
 - (d)発振駆動能力の切り替え
発振が安定している場合、駆動能力を“LOW” にしてください。

20.3 プロテクト

PRC2 ビットを“1” (書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0” (書き込み禁止状態)になります。PRC2 ビットで保護されるレジスタはPRC2 ビットを“1”にした次の命令で変更してください。PRC2 ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

20.4 割り込み

20.4.1 00000₁₆ 番地の読み出し

プログラムで00000₁₆ 番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆ 番地から読みます。このとき、受け付けられた割り込みのIR ビットが“0”になります。

プログラムで00000₁₆ 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIR ビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

20.4.2 SP の設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“0000₁₆”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の要因となります。

20.4.3 $\overline{\text{NMI}}$ 割り込み

1. リセット後、 $\overline{\text{NMI}}$ 割り込みは無効です。PM2レジスタのPM24ビットを“1”にすることで有効になります。 $\overline{\text{NMI}}$ 端子に“H”が入力されている状態で、PM24ビットを“1”設定して下さい。 $\overline{\text{NMI}}$ 端子に“L”が入力されている状態で、PM24ビットを“1”設定すると、その時点で $\overline{\text{NMI}}$ 割り込みが発生します。なお、 $\overline{\text{NMI}}$ 割り込みを一度有効にすると、リセットされるまで無効にできません。
2. $\overline{\text{NMI}}$ 端子は、P8 レジスタのP8_5 ビットを読むことで端子の値を読めます。
3. $\overline{\text{NMI}}$ 割り込みが有効の時、 $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ストップモードに移行できません。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CM1 レジスタのCM10 ビットが“0”に固定されています。
4. $\overline{\text{NMI}}$ 端子に“L”を入力している場合、ウエイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子に“L”が入力されている場合、CPU は停止しますがCPU クロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
5. $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅は、いずれもCPU クロックの2 サイクル+300ns 以上にしてください。
6. ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、ストップモードに移行する前にNDDR レジスタに“FF₁₆”(デジタルデバウンスフィルタ禁止)を設定してください。

20.4.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIR ビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IR ビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウエア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに關与する場合は、これらを変更した後、IR ビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図20.3 に割り込み要因の変更手順例を示します。

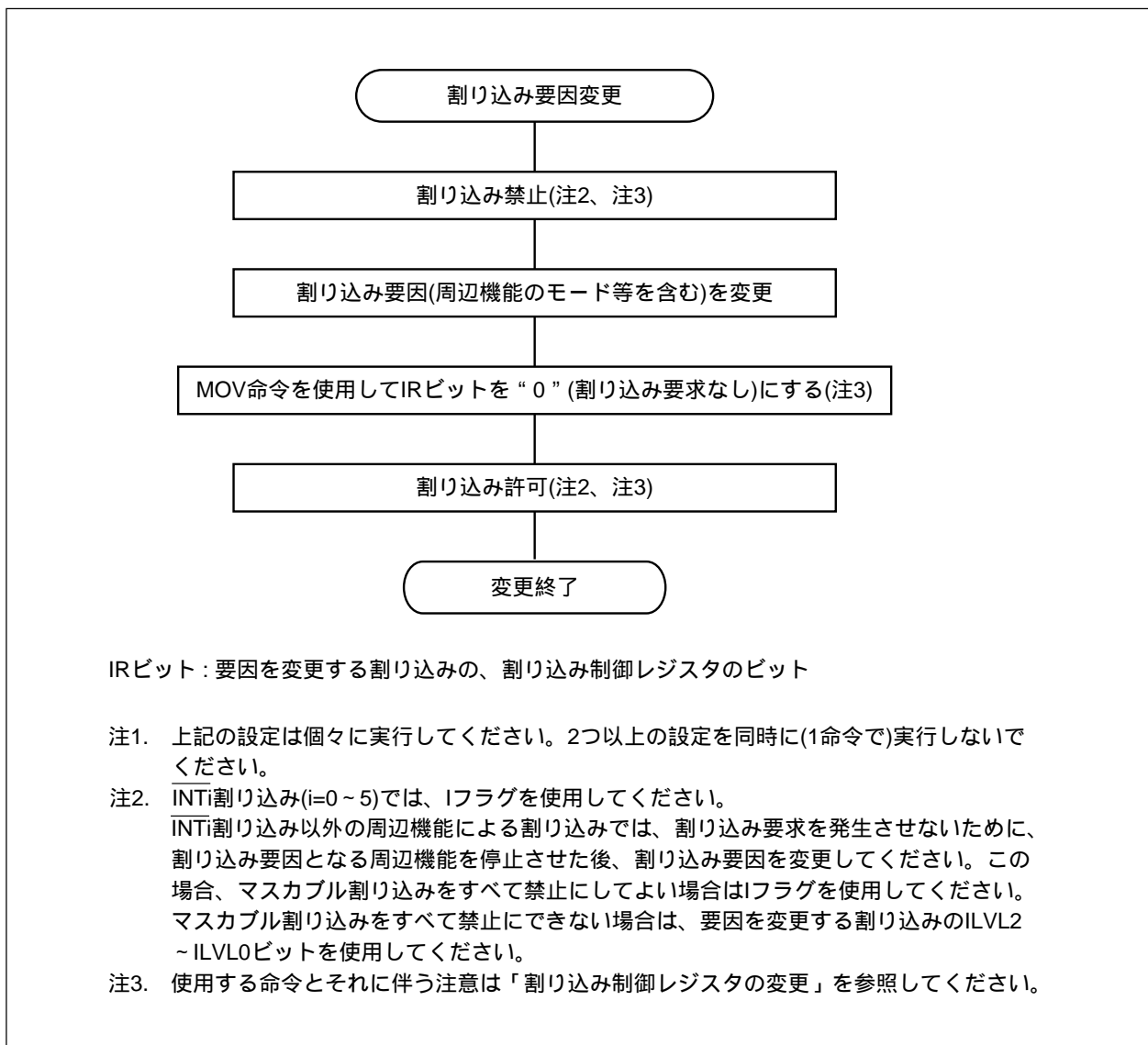


図20.3 割り込み要因の変更手順例

20.4.5 INT 割り込み

1. INT₀ ~ INT₅ 端子に入力する信号には、CPU クロックに関係なく $t_w(INL)$ 以上の“L”幅または $t_w(INH)$ 以上の“H”幅が必要です。
2. INT₀IC ~ INT₅IC レジスタのPOL ビット、IFSR レジスタのIFSR₇ ~ IFSR₀ ビットを変更すると、IR ビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IR ビットを“0”(割り込み要求なし)にしてください。
3. ストップモードからの復帰にINT₅ 割り込みを使用する場合、ストップモードに移行する前にP17DDR レジスタに“FF₁₆”(デジタルデバウンスフィルタ禁止)を設定してください。

20.4.6 割り込み制御レジスタの変更

(1)割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(2)割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IR ビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IR ビットが“1” (割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。対象となる命令...AND、OR、BCLR、BSET

IR ビットの変更

IR ビットを“0” (割り込み要求なし)にする場合、使用する命令によってはIR ビットが“0”にならないことがあります。IR ビットはMOV 命令を使用して“0”にしてください。

(3)I フラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってI フラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(2)を参照してください。)

例1 ~ 例3 は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にI フラグが“1” (割り込み許可)になることを防ぐ方法です

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“0016”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

NOP命令は次のとおり

PM20 = 1(1ウエイト)時、2個。PM20 = 0(2ウエイト)時、3個。

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“0016”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0055H     ; TA0ICレジスタを“0016”にする
  POPC    FLG            ; 割り込み許可
```

20.4.7 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

20.5 DMACの注意事項

20.5.1 DMAiCON レジスタのDMAE ビットへの書き込み(i=0 ~ 1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a)条件

- ・ DMAE ビットが“1” (DMAiがアクティブ状態)のとき、再度、DMAE ビットへ“1”を書く。
- ・ DMAE ビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b)手順

(1)DMAiCON レジスタのDMAE ビットとDMAS ビットに同時に“1”を書く(注1)。

(2)DMAiが初期状態(注2)になっていることを、プログラムで確認する。

DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMAS ビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAE ビットへ“1”を書くために、DMAiCON レジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。DMAE ビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRi レジスタの値で確認してください。TCRi レジスタを読んで、DMA転送開始前にTCRi レジスタへ書いた値(DMAE ビット書き込み後にDMA要求が発生した場合は「TCRi レジスタへ書いた値 1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

20.6 タイマの注意事項

20.6.1 タイマA

20.6.1.1 タイマA (タイマモード)

- リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1” (カウント開始)にしてください。
なお、TAiMR レジスタは、リセット後に限らずTAiS ビットが“0” (カウント停止)の状態、変更してください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF₁₆”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。
- TB2SC レジスタのIVPCR1 ビットが“1” ($\overline{\text{SD}}$ 端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{SD}}$ 端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT 端子はハイインピーダンスになります。

20.6.1.2 タイマA (イベントカウンタモード)

- リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAiレジスタ、UDF レジスタ、ONSF レジスタのTAZIE、TA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1” (カウント開始)にしてください。
なお、TAiMR レジスタ、UDF レジスタ、ONSF レジスタのTAZIE、TA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0” (カウント停止)の状態、変更してください。
- カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFF₁₆”が、オーバフロー時は“0000₁₆”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。
- TB2SC レジスタのIVPCR1 ビットが“1” ($\overline{\text{SD}}$ 端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{SD}}$ 端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT 端子はハイインピーダンスになります。

20.6.1.3 タイマA (ワンショットタイマモード)

1. リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAi レジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1”(カウント開始)にしてください。なお、TAiMR レジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0”(カウント停止)の状態、変更してください。
2. カウント中にTAiS ビットを“0”(カウント停止)にすると次のようになります。
 - ・ カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - ・ TAiOUT 端子は“L”を出力します。
 - ・ CPU クロックの1 サイクル後、TAiIC レジスタのIR ビットが“1”(割り込み要求あり)になります。
3. ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN 端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1 サイクル分の遅延が生じます。
4. 次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。
 - ・ リセット後、ワンショットタイマモードを選択したとき
 - ・ 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - ・ 動作モードをイベントカウンタモードからワンショットタイマモードに変更したときしたがって、タイマAi 割り込み(IR ビット)を使用する場合は、上記の設定を行った後、IR ビットを“0”にしてください。
5. カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1 回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1 サイクル以上経過した後に、再トリガを発生させてください。
6. タイマAワンショットタイマモードでカウント開始条件に外部トリガを選択している場合、タイマAのカウント値が“0000₁₆”になる前300ns の間に外部トリガを再入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。
7. TB2SC レジスタのIVPCR1 ビットが“1”(SD 端子入力による三相出力強制遮断許可)のとき、SD 端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT 端子はハイインピーダンスになります。

20.6.1.4 タイマA (パルス幅変調モード)

1. リセット後、タイマは停止しています。TAiMR(i=0 ~ 4)レジスタ、TAiレジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1” (カウント開始)にしてください。
なお、TAiMRレジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0” (カウント停止)の状態、変更してください。

2. 次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。
 - ・リセット後、PWM モードを選択したとき
 - ・動作モードをタイマモードからPWM モードに変更したとき
 - ・動作モードをイベントカウンタモードからPWM モードに変更したときしたがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、プログラムでIR ビットを“0”にしてください。

3. PWM パルスを出力中にTAiS ビットを“0” (カウント停止)にすると次のようになります。
 - ・カウンタはカウントを停止します。
 - ・TAiOUT 端子から“H”を出力している場合は、出力レベルは“L”になり、IR ビットが“1”になります。
 - ・TAiOUT 端子から“L”を出力している場合は、出力レベルは変化せず、IR ビットも変化しません。

4. TB2SC レジスタのIVPCR1 ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、SD 端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT 端子はハイインピーダンスになります。

20.6.2 タイマB

20.6.2.1 タイマB (タイマモード)

1. リセット後、タイマは停止しています。T*Bi*MR(*i*=0 ~ 2)レジスタ、T*Bi* レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのT*Bi*S ビットを“1” (カウント開始)にしてください。

なお、T*Bi*MR レジスタは、リセット後に限らずT*Bi*S ビットが“0” (カウント停止)の状態、変更してください。

2. カウント中のカウンタの値は、T*Bi* レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF 16” が読まれます。カウント停止中にT*Bi* レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれません。

20.6.2.2 タイマB (イベントカウンタモード)

1. リセット後、タイマは停止しています。T*Bi*MR(*i*=0 ~ 2)レジスタ、T*Bi* レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのT*Bi*S ビットを“1” (カウント開始)にしてください。

なお、T*Bi*MR レジスタは、リセット後に限らずT*Bi*S ビットが“0” (カウント停止)の状態、変更してください。

2. カウント中のカウンタの値は、T*Bi* レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF 16” が読まれます。カウント停止中にT*Bi* レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれません。

20.6.2.3 タイマB (パルス周期測定 / パルス幅測定モード)

1. リセット後、タイマは停止しています。T*Bi*MR(*i*=0 ~ 2)レジスタによって、モードやカウントソース等を設定した後、TABSR レジスタのT*Bi*S ビットを“1” (カウント開始)にしてください。なお、T*Bi*MR レジスタは、リセット後に限らずT*Bi*S ビットが“0” (カウント停止)の状態、変更してください。MR3 ビットを“0”にするために、T*Bi*S ビットが“1” (カウント開始)の状態、T*Bi*MR レジスタへ書く場合、TM0D0、TM0D1、MR0、MR1、TCK0、TCK1 ビットへは前回書いたものと同じ値を、MR2 へは“0”を書いてください。

2. T*Bi*IC レジスタ(*i*=0 ~ 2)のIR ビットは、測定パルスの有効エッジが入力されたときとタイマ*Bi* がオーバーフローしたとき“1” (割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でT*Bi*MR レジスタのMR3 ビットで判断できます。

3. 測定パルス入力があるタイマのオーバーフローのタイミングに重なるなど割り込み要因をMR3 ビットで判断できない場合は、オーバーフローの回数を別のタイマでカウントしてください。

4. MR3 ビットを“0” (オーバーフローなし)にするには、T*Bi*S ビットが“1” (カウント開始)の状態、MR3 ビットが“1” (オーバーフローあり)になった後の次のカウントソースのカウントタイミング以降に、T*Bi*MR レジスタに書いてください。

5. オーバーフローだけの検出にはT*Bi*IC レジスタのIR ビットを使用してください。MR3 ビットは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。

6. カウント開始後、1 回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi 割り込み要求は発生しません。
7. カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3 ビットが“1”になり、タイマBi 割り込み要求が発生する可能性があります。
8. パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

20.6.3 三相モータ制御用タイマ機能

TB2SC レジスタのIVPCR1 ビットを“1” (\overline{SD} 端子入力による三相強制遮断許可)、かつINVC0レジスタのINV03ビットを“1” (三相モータ制御用タイマ出力許可) に設定し、三相PWMを出力時、 \overline{SD} 端子に“L”が入力されると、強制遮断が発生し対象端子はハイインピーダンスになります。同時に、INV03ビットは“0” (三相モータ制御用タイマ出力禁止) になります。

対象端子から三相PWM出力を再開するには、 \overline{SD} 端子が“H”になってからINV03ビットを“1”に設定し、かつIVPCR1 ビットを“0” (三相強制遮断禁止) してください。その後IVPCR1 ビットに“1” (三相強制遮断許可) を設定することにより、 \overline{SD} 端子入力による三相強制遮断機能が再度有効になります。

なお、 \overline{SD} 端子が“L”の間は、INV03ビットを“1”に設定できません。強制遮断後の復帰処理で、INV03ビットに“1”を書いた後に読み出し、INV03ビットが“1”に変化していることをプログラムで確認してください。その後、IVPCR1 ビットに“0”を設定してから“1”を設定してください。

20.7 タイマS

20.7.1 G1IRレジスタの変更

G1IRレジスタの各ビットは、その要求に対する割り込みが受け付けられても自動的に“0”（割り込み要求なし）になりません。割り込み要求を確認後、プログラムで“0”にしてください。IC/OC割り込みは、G1IRレジスタの値が“0016”の状態から、G1IRレジスタのいずれかのビットが“1”（割り込み要求あり）にセットされるタイミングで発生します。IC/OC割り込み要求を再度受け付けるには、G1IRレジスタを“0016”にクリアして下さい。G1IRレジスタのいずれかのビットが“1”に保持されている状態（G1IRレジスタが“0016”以外の状態）では、その後のIC/OC割り込み要求は発生しません。G1IRレジスタの各ビットを“0”（割り込み要求なし）にする場合は、次の命令を使用してください。
対象となる命令 AND, BCLR

IC/OC割り込みの割り込み処理例を図20.4 に示します。

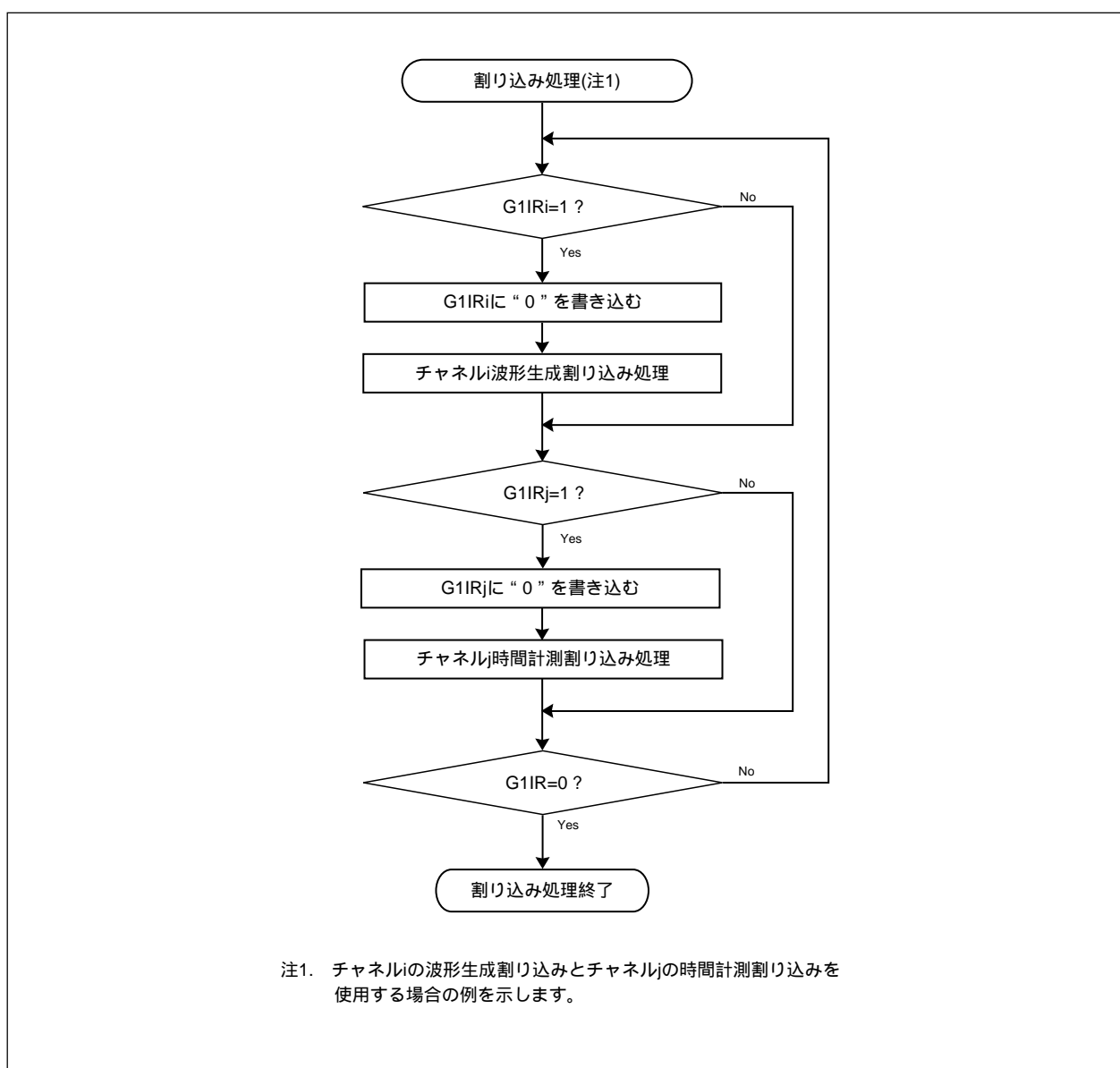


図20.4 IC/OC割り込みの割り込み処理例

20.7.2 ICOCiICレジスタの変更

ICOCiICレジスタの変更は、命令実行中にそのレジスタに対する割り込み要求が発生した場合、IRビットが“1” (割り込み要求あり) にならず、割り込みが無視されることがあります。そのとき、G1IRレジスタのビットが“1” (割り込み要求あり) のままで保持されると、その後のIC/OC割り込みの要求も発生しなくなります。ICOCiICレジスタの値を変更する場合は、次の命令を使用してください。

対象となる命令 AND, OR, BCLR, BSET

なお、タイマSの初期設定を行うときは、ICOCiICレジスタおよびG1IRレジスタにそれぞれ“0016”を設定後、再度対象となる命令を使用してICOCiICレジスタを変更してください。

20.7.3 波形生成機能

1. 波形出力中にG1BCR1 レジスタのBTSビットを“0” (ベースタイマリセット) としてベースタイマのカウンタを停止すると、波形出力端子の出力レベルはカウンタを停止した状態で保持されます。ベースタイマのカウンタを再開すると、次にベースタイマがG1POj レジスタと一致したとき出力が変化します。
2. 波形出力中にG1POCRj レジスタへの書き込みを行うと、同時に波形出力端子はIVLビットに設定された値を出力します。波形出力中にG1POCRj レジスタへの書き込みは行わないでください。
3. G1BCR1 レジスタのRST1 ビットを“1” (G1PO0 レジスタとベースタイマとの一致でベースタイマをリセットする) とした場合、ベースタイマとG1PO0 レジスタの値が一致するとfBT1の2クロック後にベースタイマがリセットされます。ベースタイマの一致からベースタイマがリセットされるまでのfBT1の2クロック間はOUTC10 端子から“H”レベルが出力されます。

20.7.4 IC/OCベースタイマ割り込み

G1BCR0 レジスタのRST4 ビットが“1” (G1BTRR レジスタとベースタイマが一致したとき、ベースタイマリセットする) の場合、表1の組み合わせで使用すると、ベースタイマリセットのタイミングでIC/OCベースタイマ割り込み要求が2回発生します。

表20.1 ベースタイマリセット時IC/OCベースタイマ割り込み要求が2回発生する組み合わせ

G1BCR0レジスタのITビットの設定	G1BTRRレジスタの設定値
“0” (ベースタイマのビット15のオーパフロー時、ベースタイマ割り込み要求発生)	07FFF16 ~ 0FFFE16
“1” (ベースタイマのビット14のオーパフロー時、ベースタイマ割り込み要求発生)	03FFF16 ~ 0FFFE16、または 0BFFF16 ~ 0FFFE16

2回目のIC/OCベースタイマ割り込み要求が発生する原因は、ベースタイマリセット直後に、ベースタイマオーパフロー要求が発生するためです。ベースタイマオーパフロー要求は、ベースタイマリセットからカウンタソース (fBT1) の1サイクル後に発生します。

ベースタイマリセットのタイミングで、IC/OCベースタイマ割り込み処理を1回のみ実行するには下記のいずれかの対応を行ってください。

(1) RST4 ビットを“1”にするならばG1BTRR レジスタの設定値を、表20.1の組み合わせの設定にならないようにしてください。

(2) ベースタイマリセットの要因を、RST4 ビットを“1” (G1BTRR レジスタとベースタイマが一致したとき、ベースタイマリセットする) でなく、RST1 ビットを“1” (G1PO0 レジスタとベースタイマが一致したとき、ベースタイマリセットする) にしてください。

20.8 シリアルI/O

20.8.1 クロック同期形シリアルI/Oモード

20.8.1.1 送受信

1. 外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると RTSi 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると RTSi 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTS}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。
2. TB2SC レジスタのIVPCR1 ビットが“1” ($\overline{\text{SD}}$ 端子入力による三相出力強制遮断許可)のとき、 $\overline{\text{SD}}$ 端子に“L”を入力すると、P73/ $\overline{\text{RTS2}}$ / TxD1 端子(TxD1 端子はPACR レジスタのU1MAPビットが“1”のとき有効)とCLK2 端子はハイインピーダンスになります。

20.8.1.2 送信

外部クロックを選択している場合、UiC0 レジスタのCKPOL ビットが“0” (転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOL ビットが“1” (転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・UiC1 レジスタのTE ビットが“1” (送信許可)
- ・UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)
- ・ $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS}}$ 端子の入力が“L”

20.8.1.3 受信

1. クロック同期形シリアルI/O では送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時 TxDi 端子からはダミーデータが外部に出力されます。
2. 内部クロック選択時はUiC1 レジスタ($i=0 \sim 2$)のTE ビットを“1” (送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTE ビットを“1”にし、ダミーデータをUiTB レジスタに設定し、外部クロックがCLKi 端子に入力されたときシフトクロックを発生します。
3. 連続してデータを受信する場合、UiC1 レジスタ($i=0 \sim 2$)のRE ビットが“1” (UiRB レジスタにデータあり)でUARTi 受信レジスタに次の受信データが揃ったときオーバーランエラーが発生し、UiRB レジスタのOER ビットが“1” (オーバーランエラー発生)になります。この場合、UiRB レジスタは不定ですので、オーバーランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバーランエラーが発生したときはSiRIC レジスタのIR ビットは変化しません。
4. 連続してデータを受信する場合は、1回の受信ごとにUiTB レジスタの下位バイトへダミーデータを設定してください。
5. 外部クロックを選択している場合、CKPOL ビットが“0”のときは外部クロックが“H”の状態、CKPOL ビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。
 - ・UiC1 レジスタのRE ビットが“1” (受信許可)
 - ・UiC1 レジスタのTE ビットが“1” (送信許可)
 - ・UiC1 レジスタのTI ビットが“0” (UiTB レジスタにデータあり)

20.8.2 シリアルI/O(UART モード)

20.8.2.1 特殊モード1(I²C busモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、U2SMR4レジスタのSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RTAREQ、STPREQ)を“0”から“1”にしてください。

20.8.2.2 特殊モード2

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、RTS2端子とCLK2端子はハイインピーダンスになります。

20.8.2.3 特殊モード4(SIMモード)

リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

20.8.3 SI/O3、SI/O4

SiC(i=3,4)レジスタのSMi2ビットが“0”(SOUTi出力)でかつ、SMi6ビットが“1”(内部クロック)の状態、SMi3ビットを“0”(入出力ポート)から“1”(SOUTi出力、CLK機能)に変更した場合、10ns程度、SOUTi端子にSMi7ビットで設定したSOUTi初期値が出力されることがあります。その後、SOUTi端子はハイインピーダンスとなります。

SMi3ビットを“0”から“1”に変更したときに、SOUTi端子から出力されるレベルが問題となる場合、SMi7ビットでSOUTiの初期値を設定してください。

20.9 A/Dコンバータ

1. ADCON0 レジスタ(ビット6を除く)、ADCON1 レジスタ、ADCON2 レジスタは、A/D 変換停止時(トリガ発生前)に書いてください。
2. ADCON1 レジスタのVCUT ビットを“0”(Vref 未接続)から“1”(Vref 接続)にしたときは、1 μ s 以上経過した後にA/D 変換を開始させてください。
3. ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC 端子、VREF 端子、アナログ入力端子(AN_i、AN0_i、AN2_i($i=0\sim 7$))とAVSS 端子の間には、それぞれコンデンサを挿入してください。同様にVCC 端子とVSS 端子の間にもコンデンサを挿入してください。図20.5 に各端子の処理例を示します。
4. アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、ADCON0 レジスタのTRG ビットが“1”(外部トリガ)の場合は、ADTRG 端子に対応するポート方向ビットは“0”(入力モード)にしてください。
5. キー入力割り込みを使用する場合、AN₄ ~ AN₇ は4本ともアナログ入力端子として使用しないでください(A/D 入力電圧が“L”になると、キー入力割り込み要求が発生します)。
6. AD の周波数を10MHz 以下(M16C/28Bは12MHz)にしてください。サンプル&ホールド機能なしの場合、AD の周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、AD の周波数は1MHz 以上にしてください。
7. A/D 動作モードを変更した場合は、ADCON0 レジスタのCH2 ~ CH0 ビットまたはADCON1 レジスタのSCAN1 ~ SCAN0 ビットでアナログ入力端子を再選択してください。

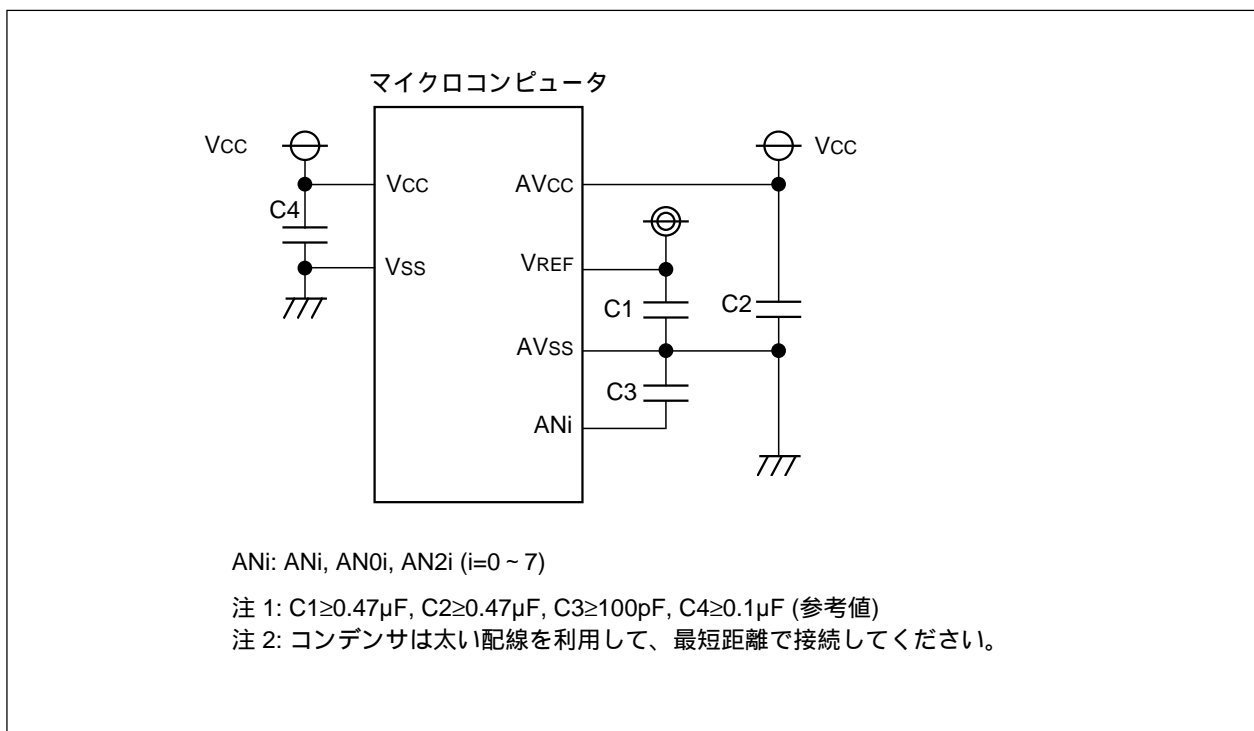


図20.5 各端子の処理例

8. A/D 変換が完了し、その結果をA/Dレジスタ*i*(*i*=0 ~ 7)に格納するタイミングでCPU がA/Dレジスタ*i*を読んだ場合、誤った値がA/Dレジスタ*i*に格納されます。この現象は、CPU クロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。

単発モード、単掃引モード、同時サンプル掃引モード、遅延トリガモード0、または遅延トリガモード1で使用する場合

A/D 変換が完了したことを確認してから、対象となるA/Dレジスタ*i*を読んでください(A/D 変換の完了はADIC レジスタのIR ビットで判定できます)。

繰り返しモード、繰り返し掃引モード0 または繰り返し掃引モード1 で使用する場合

CPU クロックは、メインクロックを分周せずに使用してください。

9. A/D 変換動作中に、プログラムでADCON0 レジスタのADST ビットを“0” (A/D 変換停止)にして強制終了した場合、A/D コンバータの変換結果は不定となります。また、A/D 変換を行っていないA/D レジスタも不定になる場合があります。A/D 変換動作中に、プログラムでADST ビットを“0”にした場合は、すべてのA/Dレジスタ*i*の値を使用しないでください。
10. 単掃引変換モード、遅延トリガモード0、または遅延トリガモード1で、A/D変換中にADCONレジスタのADSTビットを“0”にしてA/D変換を中止する場合、ADSTビットを“0”にする前に割り込みを禁止にしてください。

20.10 マルチマスタI²C bus

20.10.1 S00レジスタへの書き込み

スタートコンディション発生時以外で、S00レジスタに書き込みを行うとSCL端子から短い“L”パルスが出力される場合があります。そのため、スタートコンディション送付時以外は、SCL端子が“L”を出力しているタイミングで書き込みを行ってください。

20.10.2 ALフラグ

アービトレーションロストが発生し、S10レジスタのALフラグが“1”(検出)になった場合、S00レジスタへの書き込みによってALフラグは“0”(未検出)にできます。ALフラグは、次のマスタ通信開始時に生成するスタートコンディション送付の動作(S00レジスタへの書き込み)によってクリアしてください。

20.11 プログラマブル入出力ポート

1. TB2SC レジスタのIVPCR1 ビットが“1” (\overline{SD} 端子入力による三相出力強制遮断許可)のとき、 \overline{SD} 端子に“L”を入力すると、P72 ~ P75、P80 ~ P81 端子はハイインピーダンスになります。
2. プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。
3. S3C レジスタのSM32 ビットを“1”にすると、P32端子はハイインピーダンスになります。S4C レジスタのSM42 ビットを“1”にするとP96端子はハイインピーダンスになります。
4. INVC0レジスタのINV03ビットが“1” (三相モータ制御用タイマ出力許可)のとき、P85/ \overline{NMI} / \overline{SD} 端子に“L”を入力すると以下ようになります。
 - ・TB2SC レジスタのIVPCR1 ビットが“1” (\overline{SD} 入力による三相出力強制遮断許可)の時、U/ \overline{U} /V/ \overline{V} /W/ \overline{W} 相端子はハイインピーダンスになります。
 - ・TB2SC レジスタのIVPCR1 ビットが“0” (\overline{SD} 入力による三相出力強制遮断禁止)の時、U/ \overline{U} /V/ \overline{V} /W/ \overline{W} 相端子は通常ポートになります。

このため、INV03ビットが“1”の時は、P85をプログラマブル入出力ポートとして使用できません。

\overline{SD} 機能を使わない場合は、PD85ビットを“0” (入力)にしたうえで、P85/ \overline{NMI} / \overline{SD} 端子を外部より“H”にプルアップしてください。

20.12 フラッシュメモリ版とマスクROM 版の相違点

フラッシュメモリ版とマスクROM 版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM 版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

20.13 マスクROM版

20.13.1 内部ROM領域

マスクROM版の内部領域に対して、書き込みを行わないでください。書き込み時に消費電流が増える可能性があります。

20.13.2 予約ビット

0FFFFF₁₆番地のb3 ~ b0は予約ビットです。“1111 2”を設定してください。

20.14 フラッシュメモリ版

20.14.1 フラッシュメモリ書き換え禁止機能

0FFFD_F 16、0FFFE₃ 16、0FFFEB 16、0FFFE_F 16、0FFFF₃ 16、0FFFF₇ 16、0FFFF_B 16 番地は、ID コードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFF_F 16 番地はROMCP レジスタです。この番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。これらの番地は固定ベクタのベクタ番地(H)に当たります。0FFFF_F 16番地のb₃ ~ b₀は予約ビットです。“1111₂”を設定してください。

20.14.2 ストップモード

ストップモードに移行する場合は、FMR01 ビットを“0” (CPU 書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1” (ストップモード)の命令を実行してください。

20.14.3 ウェイトモード

ウェイトモードに移行する場合は、FMR01 ビットを“0” (CPU 書き換えモード無効)にした後、WAIT 命令を実行してください。

20.14.4 低消費電力モード、オンチップオシレータ低消費電力モード

CM05 ビットが“1” (メインクロック停止)のときは、次のコマンドを実行しないでください。
・プログラム、ブロックイレーズ

20.14.5 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

20.14.6 プログラムコマンド

第1 バスサイクルで“xx40₁₆”を書き、第2 バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1 バスサイクルにおけるアドレス値は、第2 バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

20.14.7 動作速度

CPUクロック源がメインクロックのとき、CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17 ~ CM16ビットで、CPUクロックを10MHz以下にしてください。また、CPUクロック源がオンチップオシレータでf₃(ROC)を選択しているときは、CPU書き換えモード(EW0、EW1モード)に入る前に、ROCRレジスタのROCR3 ~ ROCR2ビットを、4分周または8分周に設定してください。

いずれの場合も、PM1レジスタのPM17ビットは“1” (ウェイトあり)にしてください。

20.14.8 使用禁止命令

EW0 モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND 命令、INTO 命令、JMPS 命令、JSRS 命令、BRK 命令

20.14.9 割り込み

EW0 モード

- ・可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- ・ $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- ・アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1 モード

- ・自動書き込み、イレーズサスペンド機能を禁止した自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ・ $\overline{\text{NMI}}$ 割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。 $\overline{\text{NMI}}$ 割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

20.14.10 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビット、FMR16ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。PM24=“1”(NMI選択)のときは、 $\overline{\text{NMI}}$ 端子に“H”を入力した状態で行ってください。

20.14.11 ユーザROM領域の書き換え

EW0 モード

- ・書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

EW1 モード

- ・書き換え制御プログラムが格納されているブロックを書き換えしないでください。

20.14.12 DMA 転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

20.14.13 プログラム、イレーズ回数と実行時間について

ソフトウェアコマンド(プログラムコマンド、ブロックイレーズコマンド)の実行時間はプログラム、イレーズ回数とともに長くなります。

ソフトウェアコマンドはハードウェアリセット1、ハードウェアリセット2、 $\overline{\text{NMI}}$ 割り込み、ウォッチドッグタイマ割り込みで中断されます。ソフトウェアコマンドを中断した場合、そのブロックをイレーズした後に再度実行してください。

20.14.14 プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロック毎のイレーズ回数です。

プログラム、イレーズ回数が n 回品($n=100$ 、 $1,000$ 、 $10,000$)の場合、ブロック毎にそれぞれ n 回ずつイレーズすることができます。

例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1ワード書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)

20.14.15 多数回の書き換えを実施するシステムについて(製品コード:U7, U9)

ブロックAおよびブロックBに対して、100回以上の書き換えを実施する可能性がある場合(U7, U9)は、リセット後、FMR1レジスタのFMR17ビットを常時“1”(ウエイトあり)に設定して使用してください。FMR17ビットを“1”(ウエイトあり)に設定すると、PM17ビットに関わらずブロックA、およびブロックBアクセス時に1ウエイトが挿入されます。その他のブロックおよび内部RAMへのアクセスはFMR17ビットに関わらずPM17ビットの設定になります。

実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組8ワードをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで実効的な書き換え回数を少なくすることができます。

加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると更に実効的な書き換え回数を少なくすることができます。

また、ブロック毎に何回イレーズを実施したかを情報として残し、制限回数を設けることをお勧めいたします。

20.14.16 ブートモードの注意事項

電源投入時等、内部電源が安定していない状態でCNVss端子に“H”、RESET端子に“L”を入力すると内部電源が安定するまで入出力ポートに不定値が出力されることがあります。

CNVss端子に“H”を入力する場合は以下の手順で行ってください。

- (1) RESET端子に“L”、CNVss端子に“L”を入力
- (2) Vcc端子が2.7V以上になって2ms以上待つ(内部電源安定待ち時間)
- (3) CNVss端子に“H”を入力
- (4) RESET端子に“H”を入力(リセット解除)

CNVss端子が“H”、RESET端子が“L”の期間、P6₇にはプルアップ抵抗が接続されます。

20.14.17 標準シリアル入出力モードの注意事項

フラッシュメモリ(128K + 4K)版では標準シリアル入出力モード時、P9₃から“H”が出力される期間があります。標準シリアル入出力モードではP9₃には“H”を入力するか、または開放してください。

20.15 ノイズ

ノイズ対策として、Vcc端子とVss端子間にバイパスコンデンサ(0.1μF程度)を最短でかつ、比較的太い配線を使って接続してください。図20.6にバイパスコンデンサの接続例を示します。

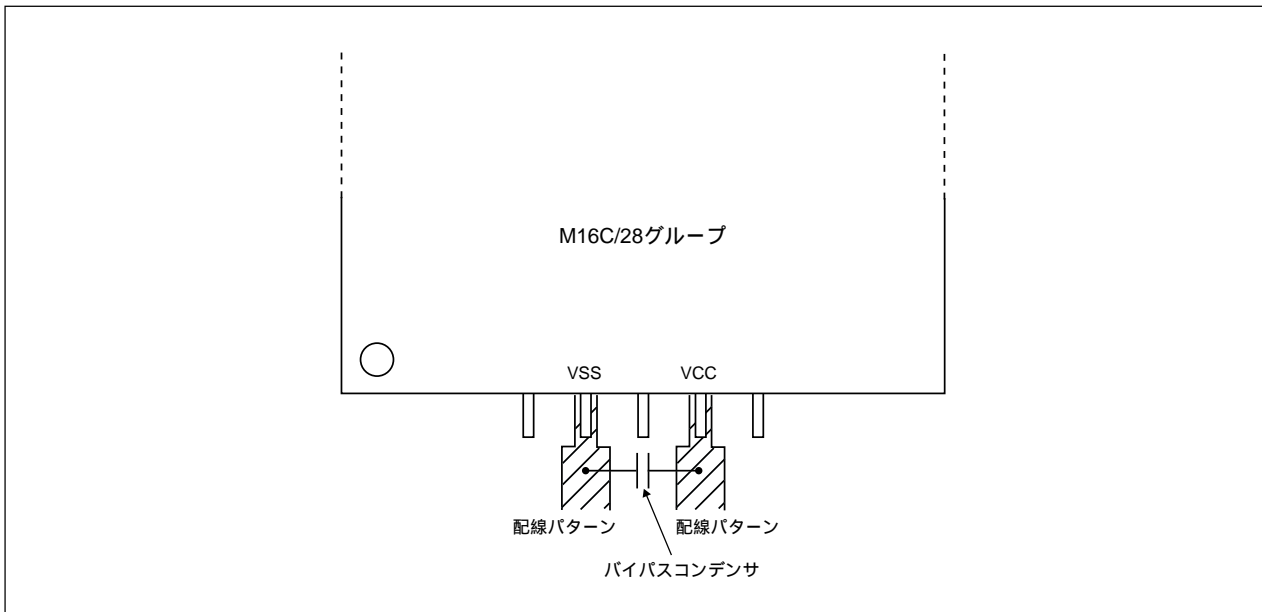


図20.6 バイパスコンデンサの接続例

20.15.1 プリント基板のトレース (85ピン版)

他の端子からクロック端子に影響するノイズ対策として、図20.7を参照し、太い配線を使って、プリント基板上のクロックピン端子周りにトレースのためのレイアウトを行ってください。

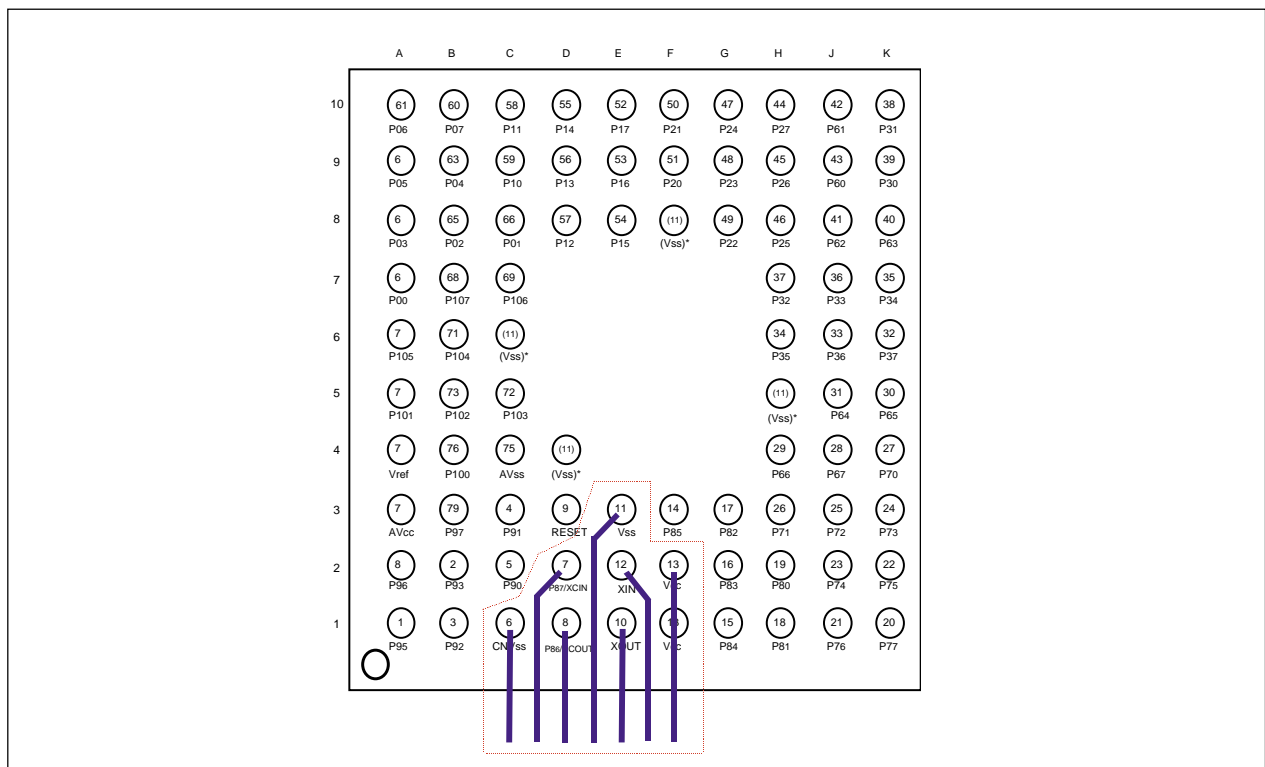


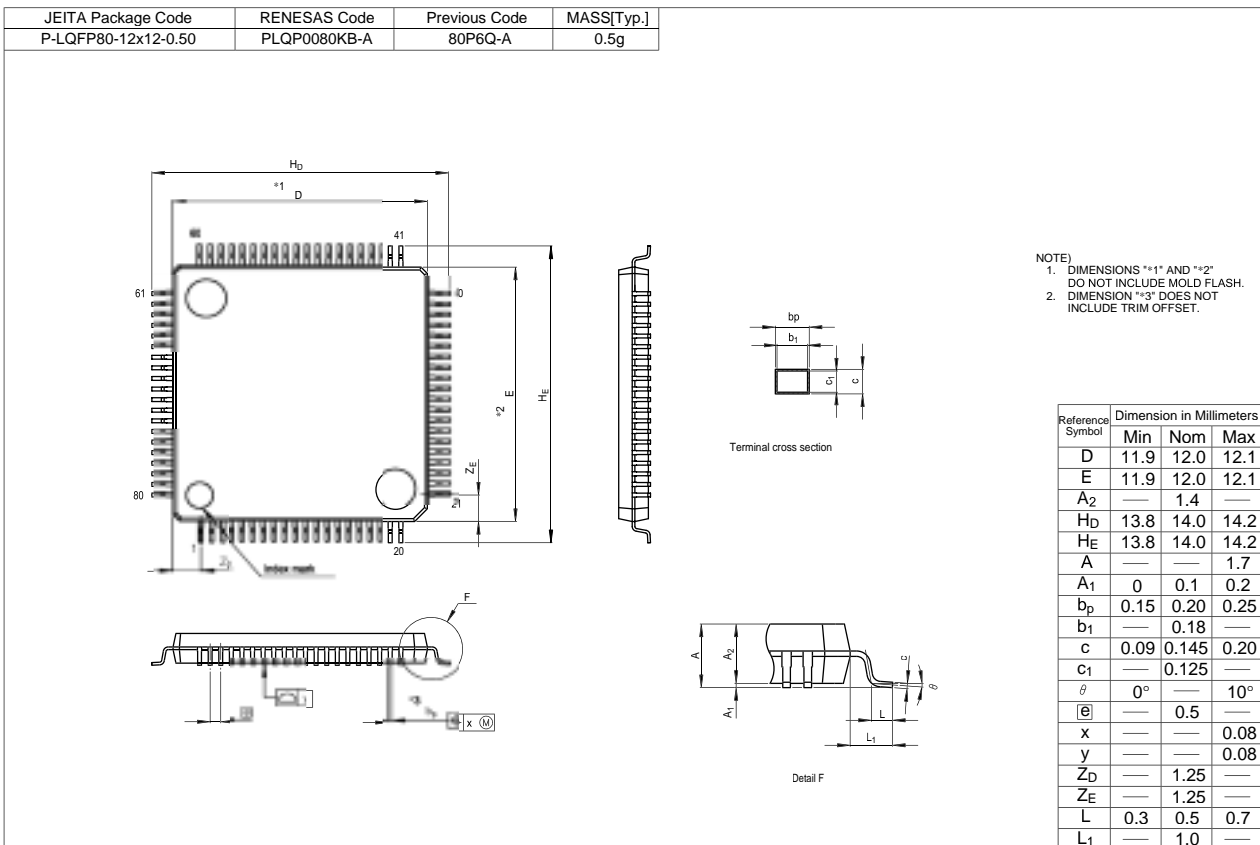
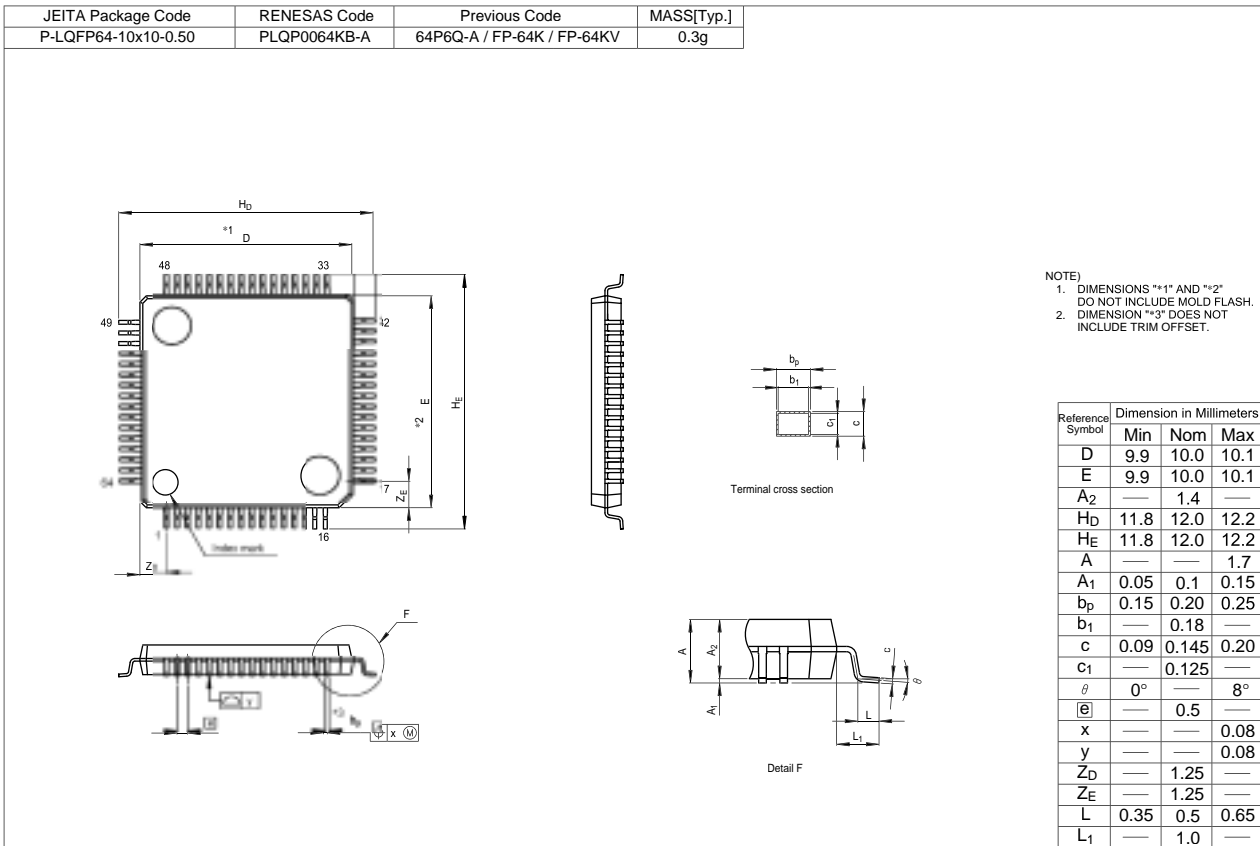
図20.7 推奨プリント基板トレース

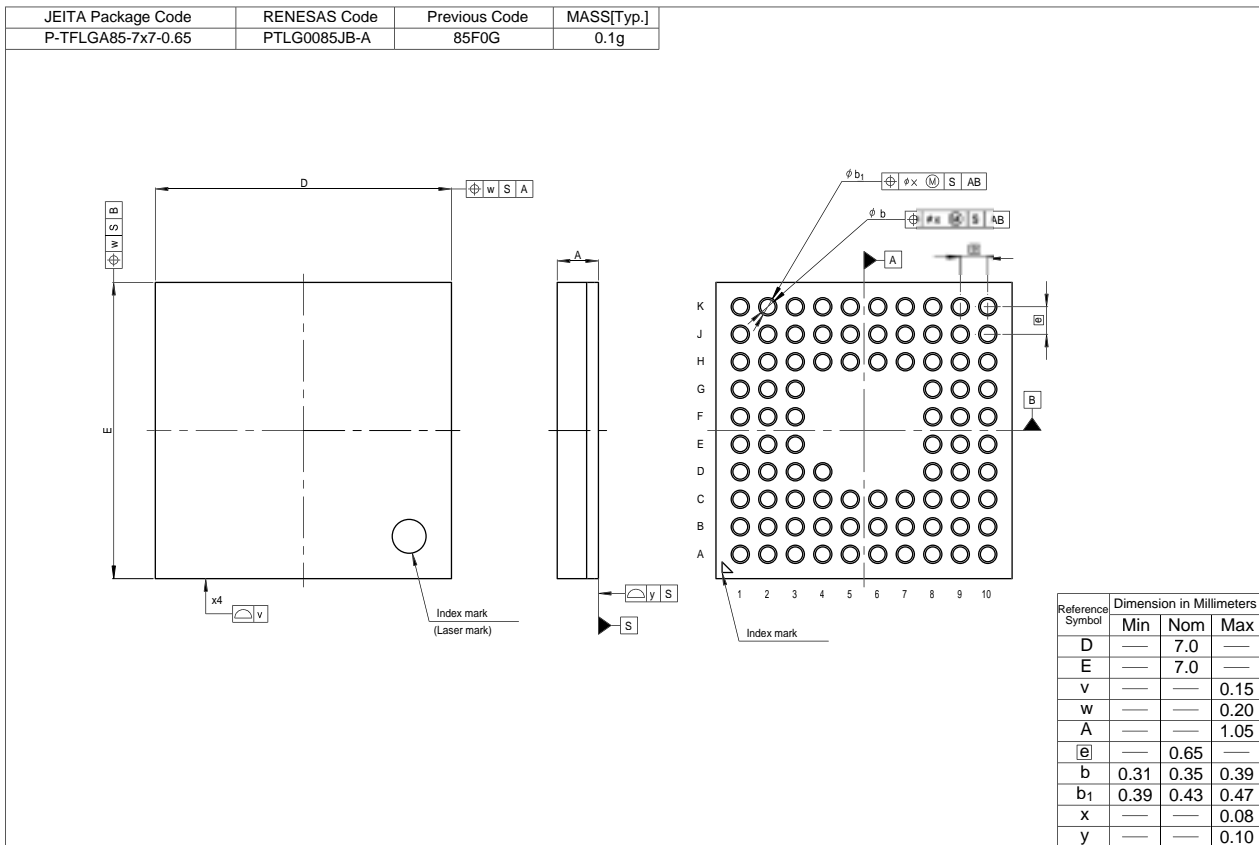
20.16 デバイスの取り扱いに関する注意

静電気放電時のデバイスの破壊を防ぐため、デバイスの取り扱いには注意が必要です。

信頼性ハンドブックでは、デバイスを静電気破壊などから守るために配慮していただきたい事項について、事例を交えて説明しています。

付録1. 外形寸法図





付録2. 機能相違点

付録2.1 M16C/28グループのNormal-ver. とT-ver./V-ver.の機能相違点 (注1)

項目	詳細項目	M16C/28(Normal-ver.)	M16C/28(T-ver./V-ver.)
クロック	クロック出力機能 (CM0レジスタのb1-b0の機能)	無(予約ビット)	有(クロック出力機能選択ビット)
リセット	低電圧検出回路 (001916,001A16,001F16 番地の機能)	あり(電圧検出レジスタ1、電圧 検出レジスタ2、電圧低下検出 割り込みレジスタ)	なし (予約レジスタ)
三相モータ 制御用タイマ	三相/ポート切り替え 機能(035816番地の機能)	無(予約レジスタ)	有(ポート機能選択レジスタ)
A/D	A/D入力端子数	24チャンネル(AN30～AN32なし)	27チャンネル(AN30～AN32あり)
	遅延トリガモード0	チップバージョン初版とチップ バージョンAでは未対応	対応
	遅延トリガモード1	チップバージョン初版とチップ バージョンAでは未対応	対応
CRC 演算回路	CRC-CCITT方式と CRC-16方式に対応	無(予約レジスタ)	有(1回路)
端子の機能	3pin(80 / 85ピン版)、 64pin(64ピン版)の機能	P92/TB2IN	P92/AN32/TB2IN
	4pin(80 / 85ピン版)、 1pin(64ピン版)の機能	P91/TB1IN	P91/AN31/TB1IN
	5pin(80 / 85ピン版)、 2pin(64ピン版)の機能	P90/TB0IN	P90/AN30/TB0IN/CLKOUT
フラッシュ メモリ	標準シリアル入出力 モードでのP93端子	入力(128K版以外) 入出力(128K版)	入力

注1：M16C/28グループとM16C/29グループのエミュレータは共通のため、エミュレータはM16C/29の機能を全て内蔵しています。M16C/28グループの評価時、M16C/28グループに内蔵していないSFRへのアクセスはしないでください。詳細と電気的特性については、各ハードウェアマニュアルを参照してください。

付録2.2 M16C/28グループとM16C/29グループの機能相違点(Normal-ver.)(注1)

項目	詳細項目	M16C/28(Normal-ver.)	M16C/29(Normal-ver.)
クロック	クロック出力機能	無(予約ビット)	有(クロック出力機能選択ビット)
プロテクト	PRC0ビットの機能	CM0, CM1, CM2, POOCR, PLC0, PCLKRレジスタへの書き込み許可	CM0, CM1, CM2, POOCR, PLC0, PCLKR, CCLKRレジスタへの書き込み許可
割り込み	IFSR2AレジスタのIFSR20ビットの設定	“1”に設定してください	“0”に設定してください
	IFSR2Aレジスタのb1ビット	無(予約ビット)	割り込み要因切り替えビット(0:A/D変換 1:キー入力)
	IFSR2Aレジスタのb2ビット	無(予約ビット)	割り込み要因切り替えビット(0:CAN0ウエイクアップ/エラー)
	割り込み番号13の割り込み要因	キー入力割り込み	CAN0エラー
	割り込み番号14の割り込み要因	A/D割り込み	A/D、キー入力割り込み
三相モータ制御用タイマ	三相/ポート切り替え機能(035816番地の機能)	無(予約レジスタ)	有(ポート機能選択レジスタ)
A/D	A/D入力端子数	24チャンネル(AN30～AN32なし)	27チャンネル(AN30～AN32あり)
	遅延トリガモード0	チップバージョン初版とチップバージョンAでは未対応	対応
	遅延トリガモード1	チップバージョン初版とチップバージョンAでは未対応	対応
CANモジュール	2.0B対応	無(関連レジスタは全て予約レジスタ)	有(1チャンネル)
CRC演算回路	CRC-CCITT方式とCRC-16方式に対応	無(関連レジスタは全て予約レジスタ)	有(1回路)
端子の機能	2pin(80 / 85ピン版)、62pin(64ピン版)の機能	P93/AN24	P93/AN24/CTX
	3pin(80 / 85ピン版)、64pin(64ピン版)の機能	P92/TB2IN	P92/AN32/TB2IN/CRX
	4pin(80 / 85ピン版)、1pin(64ピン版)の機能	P91/TB1IN	P91/AN31/TB1IN
	5pin(80 / 85ピン版)、2pin(64ピン版)の機能	P90/TB0IN	P90/AN30/TB0IN/CLKOUT
フラッシュメモリ	標準シリアル入出力モードでのP93端子	入力(128K版以外) 入出力(128K版)	CTX出力

注1：M16C/28グループとM16C/29グループのエミュレータは共通のため、エミュレータはM16C/29の機能を全て内蔵しています。M16C/28グループの評価時、M16C/28グループに内蔵していないISFRへのアクセスはしないでください。詳細と電気的特性については、各ハードウェアマニュアルを参照してください。

レジスタ索引

A

AD0 ~ AD7 221
ADCON0 ~ ADCON2 219
ADIC 73
ADSTAT0 221
ADTRGCON 220
AIER 85

B

BCNIC 73
BTIC 73

C

CM0 46
CM1 47
CM2 48
CPSRF 102, 115

D

D4INT 37
DAR0 92
DAR1 92
DM0CON 91
DM0IC 73
DM0SL 90
DM1CON 91
DM1IC 73
DM1SL 91
DTT 126

F

FMR0 308
FMR1 308
FMR4 309

G

G1BCR0 137
G1BCR1 138
G1BT 137
G1BTRR 139
G1DV 138
G1FE 143
G1FS 143

G1IE0 145
G1IE1 145
G1IR 144
G1PO0 ~ G1PO7 142
G1POCR0 ~ G1POCR7 141
G1TM0 ~ G1TM7 141
G1TMCR0 ~ G1TMCR7 140
G1TPR6 ~ G1TPR7 140

I

ICOC0IC 73
ICOC1IC 73
ICTB2 126
IDB0 126
IDB1 126
IFSR 74, 82
IFSR2A 74
IICIC 73
INT0IC ~ INT2IC 73
INT3IC 73
INT4IC 73
INT5IC 73
INVC0 124
INVC1 125

K

KUPIC 73

L

LPCC0 351
LPCC1 351

N

NDDR 293

O

ONSF 102

P

P0 ~ P3 290
P17DDR 293
P6 ~ P10 290
PACR 172, 292
PCLKR 49

PCR 292
PD0 ~ PD3 289
PD6 ~ PD10 289
PDRF 134
PLC0 50
PM0 41
PM1 41
PM2 42, 49
PRCR 66
PUR0 ~ PUR2 291

R

RMAD0 85
RMAD1 85
ROCR 47
ROMCP 303

S

S00 253
S0D0 252
S0RIC ~ S2RIC 73
S0TIC ~ S2TIC 73
S10 255
S1D0 254
S20 253
S2D0 258
S3BRG 213
S3C 213
S3D0 256
S3IC 73
S3TRR 213
S4BRG 213
S4C 213
S4D0 257
S4IC 73
S4TRR 213
SAR0 92
SAR1 92
SCLDAIC 73

T

TA0 ~ TA4 101
TA0IC ~ TA4IC 73
TA0MR ~ TA4MR 100
TA1 127
TA11 127

TA1MR 130
TA2 127
TA21 127
TA2MR 130
TA4 127
TA41 127
TA4MR 130
TABSR 101, 115, 129
TB0 ~ TB2 115
TB0IC ~ TB2IC 73
TB0MR ~ TB2MR 114
TB2 129
TB2MR 130
TB2SC 128, 222
TCR0 92
TCR1 92
TRGSR 102, 129

U

U0BRG ~ U2BRG 169
U0C0 ~ U2C0 171
U0C1 ~ U2C1 172
U0MR ~ U2MR 170
U0RB ~ U2RB 169
U0TB ~ U2TB 169
U2SMR 173
U2SMR2 173
U2SMR3 174
U2SMR4 174
UCON 171
UDF 101

V

VCR1 36
VCR2 36

W

WDC 87
WDT5 87

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
0.70	04/05/15	B-1,B-2	早見表を一部修正
		2, 3	表 1.2.1 と表 1.2.2 を一部修正
		2	注 2、注 3 の文章を修正
		3	注 2、注 3 の文章を修正
		6,7	表 1.4.1 ~ 1.4.3 と図 1.4.1 を修正。表 1.4.4 と図 1.4.2 を追加
		10	表 1.6.1 を一部修正
		16	レジスタ名称を一部修正
		18	レジスタ名称、シンボルを一部修正
			35E ₁₆ 番地の「割り込み要因選択レジスタ 2」のリセット後の値を修正。
		24	「5.5 電圧検出回路」の本文を一部修正。図 5.5.2 を一部修正。
		25	図 5.5.3 の電圧検出レジスタ 2 を一部修正
		28	図 5.5.1.1.2.1 を一部修正
		29	“ 6. プロセッサモード ” の本文を一部修正。図 6.2 を一部修正。
		32	図 7.2 の注 4 を修正。
		35	図 7.6 の PM2 レジスタを一部修正
		37	“ 7.1 メインクロック ” の本文を一部修正
		45	“ 7.6.3 ストップモード ” の 6 行目の不要な “ 1 ” を削除
		59	図 9.3.1 を一部修正
		60	図 9.3.2 の IFSR2A レジスタを修正
		61	9.3.2 IR フラグの文書を一部削除
		67	図 9.5.1.1 中の参照図番号を修正
		68	9.6 INT 割り込みの本文の 3 行目に 1 文追加
		88	表 12.1.1.1 の分周比を一部修正
		101	図 12.2.3 のタイマ Bi レジスタに注 3 を追加
		106	“ 12.2.4 A-D トリガモード ” と表 12.2.4.1 を一部修正
		107	図 12.2.4.2 を一部修正
		114	図 12.3.6 を一部修正
		120	“ 12.3.1.2.4 保持トリガ極性選択ビット(PDRT) ” と図 12.3.1.2.1 を修正。
		122	図 13.1 のインプットキャプチャのデジタルフィルタの選択肢に f ₂ を追加
		123	図 13.2 のベースタイマ制御レジスタ 0 の注 2 と注 3 を追加
		125	図 13.4 のベースタイマ制御レジスタ 1 の注 2 を一部修正
		127	図 13.6 の時間計測制御レジスタのデジタルフィルタの機能選択ビットの機能に f ₂ と注 1 を追加
		131	図 13.10 割り込み要求レジスタに注 1 を追加
		133	表 13.1.1 のカウントソースの仕様に f ₂ を追加
		139	表 13.4.1 のデジタルフィルタ機能の文章に f ₂ を追加
		141	図 13.4.2 (c) カウントソースに f ₂ を追加
		150	“ 13.6 入出力ポート機能選択 ” の本文を一部修正
		153	図 14.1 を一部修正
		159	図 14.7 の「UART2 特殊モードレジスタ 2」を一部修正
		206	図 15.5 を一部修正
		220	「15.1.7 遅延トリガモード 0」と表 15.1.7.1 を一部修正
		221	図 15.1.7.1 を一部修正
		222 ~ 224	図 15.1.7.2 と図 15.1.7.3 を一部修正、図 15.1.7.4 を削除
		225	図 15.1.7.5 を一部修正
		226	注 1 を修正
		228 ~ 230	図 15.1.8.1 ~ 図 15.1.8.3 を一部修正
		233	図 15.5.1 を修正
		269	17.6 デジタルデバウンス機能の本文を一部修正
		283	表 18.3 の注 2 を修正

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
		284 285 304 305 306 323 ~ 335 336 343 344 344 345 346 348 350 351 352 354 355	表 18.4 と表 18.5 を修正。注 6 と注 10 を修正 表 18.6 に注 3 を追加、表 18.7 を一部修正 表 18.42 の注 2 を一部修正 表 18.43 と表 18.44 を修正。注 10 を修正 表 18.45 に注 3 を追加、表 18.46 を一部修正 “ 18.3 V バージョン ” を削除 本文を一部修正。表 19.1 のプログラム、イレーズ回数の項目を修正 “ 19.4 CPU 書き換えモード ” の本文を一部修正 “ 19.4.2 EW1 モード ” で「割り込み許可状態」から不要な「状態」を削除。 “ 19.4.2 EW1 モード ” でプログラム、イレーズコマンドの実行中の注意事項を追加 “ FMSTP ビット ” の本文を一部修正 “ FMR17 ビット ” の本文を一部修正 図 19.5.2 の注 1 と注 2 を一部修正 図 19.5.1.3 を一部修正 “ 19.6.3 割り込み ” の本文を一部修正 “ 19.6.6 DMA 転送 ” の本文を一部修正 “ 19.7.4 プログラムコマンド ” の本文を一部修正 “ 19.7.5 ブロックイレーズ ” の本文を一部修正
1.00	04/11/15	B-1 B-2 B-4 1 2, 3 4, 5 6, 7 8 9, 10 11 14 15 ~ 21 15 17 18 19 21 22 23 25 ~ 30 31 32 ~ 34 35,36 37	WDTS レジスタ、WDC レジスタと ADIC レジスタの用語を統一 NDDR レジスタと P17DDR レジスタの名称を修正。用語を統一 03C0 ₁₆ 番地から 03D7 ₁₆ 番地のレジスタ名称の用語を統一 “ 1. 概要 ” の本文を一部修正 表 1.2.1 と表 1.2.2 の用語を統一。プログラム、イレーズ回数の記述を修正。 注 4 を追加。 図 1.3.1 と図 1.3.2 の用語を統一 “ 1.4 製品一覧 ” の本文を修正。表 1.4.1 と図 1.4.1、表 1.4.2 を一部修正。 T-ver. と V-ver. の製品一覧を削除。 図 1.4.2 マーキング図を一部修正。表 1.4.5 を削除 図 1.5.1 と図 1.5.2 の一部修正 表 1.6.1 用語を統一。P7 ₀ ~ P7 ₃ の説明を修正。 図 3.1 用語を統一。図 3.1 の内部 RAM と 内部 ROM の表と注 2 を修正。 SFR 用語を統一。リセット後の値の表記を修正。 注 3 と注 4 を修正 “ フラッシュメモリ制御レジスタ 0 ” のリセット後の値を修正。 波形生成制御レジスタのリセット後の値を修正 G11R, G11E0, G11E1 レジスタの名称を修正 割り込み要因選択レジスタ 2 と三相バッファレジスタ 0, 1 のリセット後の値を修正 “ A/D トリガ制御レジスタ ” のリセット後の値を修正 5. リセットと 5.1.1 ハードウェアリセット 1 の用語を統一 5.1.2 ハードウェアリセット 2 を修正 5.2 ソフトウェアリセットと 5.3 監視タイマリセットの用語を統一、一部修正。 5.4 発振停止検出しセットを一部修正。 “ 5.5 電圧検出回路 ” を全面見直しにより、修正 図 6.2 プロセッサモードレジスタ 1 の b5, b4 の “ 0 ” を記入、用語を統一 7. クロック発生回路と表 7.1、図 7.1、図 7.2 の用語を統一 図 7.2 の注 12 の(2)を修正 図 7.3 と図 7.4、図 7.5 の用語を統一、ROCR レジスタのビット 7 ~ 4 を修正 図 7.6 の PM2 レジスタの用語を統一、注 2 の “ PLL クロック > 16MHz ” を修正。 PCLKR レジスタを一部修正。

Rev.	発行日	改定内容	
		ページ	ポイント
		39	7.1 メインクロックの本文を一部修正、用語を統一
		41	“7.3” の用語を統一、本文を一部修正
			“7.4 PLL クロック” の本文を一部修正
		43	“7.5.1 CPU クロック” の用語を統一。
			“7.5.2 周辺機能クロック” の用語を統一、一部修正。
		44	“7.6.1” の表題を修正、用語を統一。7.6.1.4 低速モードの用語を統一
		45	“7.6.1.6” を一部修正。“7.6.1.6” と “7.6.1.7”、“7.6.2” の用語を統一。
		46	表 7.6.1.1 の用語を統一。“7.6.2” を一部修正。
		47	“7.6.2.4” を一部修正、表 7.6.2.4.1 を一部修正(タイム S 割り込みを追加)
		48, 49	7.6.3.3 ストップモードからの復帰の用語を統一 本文を一部追加。図 7.6.1 と図 7.6.1.1 の誤記を修正、用語を統一。 図 7.6.1 の注 5 に XCIN 使用時の注意事項を追加
		50	表 7.6.1 の用語を統一
		52	7.8.2 CM27 ビットが “1” の用語を統一
		53	“7.8.3 発振停止、再発振検出機能使用方法” と図 7.8.3.1 の用語を統一
		54	“8. プロテクト” で、PRC2 ビットで保護されるレジスタを修正
		55	“9. 割り込み” の本文に注意事項を追加。図 9.1.1 の用語を統一。
		57	9.1.2.1.3 の用語を統一
		58	表 9.2.1.1 の用語を統一、注 2 を追加
		59,60	表 9.2.2.1 と “9.3 割り込み制御” の本文を一部修正
		62	図 9.3.2 の IFSR2A レジスタのビット 7,6 の機能を修正
		63	表 9.3.3.1 の表題を修正
		65	表 9.4.2.1 の用語を統一
		68	“9.5 割り込み優先順位” と図 9.5.1 で用語を統一
		69	図 9.5.1.1 の一部修正
		70	“9.6 INT 割り込み” に INT5 割り込みを使用してストップモードから復帰する場合の注意事項を追加。図 9.6.1 の図題から不要なレジスタ名称を削除
		71	“9.7 NMI 割り込み” に NMI 割り込みを使用してストップモードから復帰する場合の注意事項を追加
		74, 75	“監視タイマ” で監視タイマとプリスケアラの停止条件を修正。用語を統一 “カウントソース保護モード” を節に変更。 図 10.1 と図 10.2 を一部修正。用語を統一
		76	“10.2 コールドスタート/ウォームスタート” を追加
		77	“11. DMAC” の本文に注意事項を追加
		78	表 11.1 を一部修正
		79, 80	図 11.2 と図 11.3 の DM0SL レジスタと DM1SL レジスタを一部修正
		84	表 11.2.2 を一部修正
		87, 88	図 12.1 と図 12.2 の用語を統一
		91	図 12.1.4 のトリガ選択レジスタを修正
		93	表 12.1.2.1 の表題をイベントカウントモードからイベントカウンタモードに修正
		98	表 12.1.3.1 を一部修正
		100	表 12.1.4.1 を一部修正
		101	図 12.1.4.1 を一部修正
		103	“12.2 タイマ B” の本文の用語を統一。図 12.2.2 の用語を統一
		104	図 12.2.3 の “タイマ Bi レジスタ” の用語を統一
		105	図 12.2.1.1 の TMOD1, TMOD0 の機能を修正
		109	用語を統一。表 12.1.4.1 のカウント開始条件を修正、注 2 を追加。 図 12.2.4.1 に注 1 を追加。
		110	図 12.2.4.2 タイマ B2 特殊モードレジスタの b1 の の中から “0” を削除、b3,b2 の の中に “1” を追加、用語を統一。
		112	図 12.3.1 を一部修正

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
		113	図 12.3.2 の INV00 ビットの機能の表現を変更、注の位置を修正、注3と注5を修正
		114	図 12.3.3 の INV10 ビットに注2を追加。INV13 ビットの機能の表現を変更。
		115	図 12.3.4 の図題を修正。“三相出力バッファレジスタi”のリセット後の値を修正
		117	図 12.3.6 を一部修正、用語を統一
		120	図 12.3.9 の説明文を一部修正
		123	図 12.3.1.2.1 を一部修正
		125	図 13.1 の用語を統一
		126	図 13.2 の G1BT レジスタのリセット後の値の表記を修正、ベースタイマ動作時の読み出した値の記述を修正
		129	図 13.5 の G1BTRR レジスタのリセット後の値の表記を修正
		131	図 13.7 の G1TMj レジスタのリセット後の値の表記を修正
		132	図 13.8 の G1POj レジスタのリセット後の値の表記を修正
		133	図 13.9 の G1FE レジスタに注2を追加
		134	図 13.10 の G1IR レジスタのリセット後の値の表記を修正
		136	表 13.1.1 の “タイマの書き込み” を一部修正、“タイマの読み出し” を一部修正
		141	“13.2 割り込み動作” の本文を一部修正
		142	表 13.4.1 の “選択機能” を一部修正
		147	表 13.5.1.1 を一部修正
		148	図 13.5.1.1 を一部修正
		149	表 13.5.2.1 を一部修正
		150	図 13.5.2.1 を一部修正
		151	表 13.5.3.1 を一部修正
		152	図 13.5.3.1 を一部修正
		153	“13.6 入出力ポート機能選択” の本文を一部修正
		154	“13.6.1 INPC17 代換入力端子の選択” の本文を一部修正
		155	“14. シリアル I/O” と “14.1 UARTi(i=0 ~ 2)” の本文を一部修正
		156	図 14.1 の不要な “(注1)” の記載を削除。用語を統一。ビットシンボルの記述を修正
		157	図 14.2 を修正
		158	図 14.3 の “UARTi 転送速度レジスタ” の注を修正
		159	図 14.4 を修正
		160	図 14.5 の “UARTi 送受信制御レジスタ0” に注5、注6を追加、一部修正 “UART 送受信制御レジスタ2” に注2を追加
		161	図 14.6 に PACR レジスタを追加
		162	図 14.7 の UART2 特殊モードレジスタ2 を一部修正
		163	図 14.8 の UART2 特殊モードレジスタ3 を一部修正
		164	表 14.1 の転送クロックを一部修正、選択機能に UART1 端子配置選択を追加
		166	表 14.3 を一部修正。表 14.3 と表 14.4 に注1を追加。
		167	図 14.9 を一部修正
		168	“14.1.1.1 通信エラー発生時の対処方法” を追加
		170	図 14.13 に注2を追加
		171	“14.1.1.7 CTS/RTS 分離機能” の本文を一部修正。図 14.14 に注1を追加
		172	表 14.5 の転送クロックを一部修正、選択機能に UART1 端子配置選択を追加
		174	表 14.7 を一部修正、注1を追加。表 14.8 の表題を修正、注1を追加。
		176	“14.1.2.1 転送速度” を追加
		177	“14.1.2.2 通信エラー発生時の対処方法” を追加
		179	“14.1.2.6 CTS/RTS 分離機能” の本文を一部修正。図 14.20 に注1を追加
		180	“14.1.3 特殊モード 1(I ² C Bus モード)” の本文を一部修正。 表 14.9 の転送クロックを一部修正。
		181	図 14.21 を一部修正
		182, 183	表 14.10 と図 14.11 を一部修正

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
		184, 185	表 14.12 と図 14.22 を一部修正
		186	“ 14.1.3.1 ” の本文と図 14.23 を一部修正
		187	“ 14.1.3.3 ” の本文と表 14.13、図 14.24 を一部修正
		188, 189	“ 14.1.3.4 ” と “ 14.1.3.5 ”、“ 14.1.3.7 ” の本文を一部修正
		190	表 14.14 の転送クロックを一部修正、図 14.26 を一部修正
		191	表 14.15 の UFORM の機能を修正
		194	表 14.16 の注 1 を一部修正
		196	表 14.17 の転送クロックを一部修正
		197	表 14.18 の NCH の機能を修正
		198	図 14.30 を一部修正
		199	“ 14.1.6.1 パリティエラー信号出力機能 ” を一部修正
		201	図 14.34 を一部修正、用語を統一
		202	図 14.35 の “ SI/Oi 制御レジスタ ” を一部修正、注 1 を修正
		203	表 14.19 の “ 転送クロック ” を一部修正
		206 ~ 238	“ 15 章 ” の用語を統一(A/D)
		206	“ 15. A/D コンバータ ” の本文と表 15.1 を一部修正
		206	図 15.1 を一部修正
		207	図 15.2 の A/D 制御レジスタ 1 の VCUT ビットのビット名と機能を修正
		210	図 15.4 の A/D レジスタ i のアドレスを修正
		212	表 15.1.1.1 の “ A/D 変換開始条件 ” に再トリガ可能な記載を追記
		214	表 15.1.2.1 の “ A/D 変換開始条件 ” に再トリガ可能な記載を追記
		216	表 15.1.3.1 の “ A/D 変換開始条件 ” に再トリガ可能な記載を追記。 割り込み要求発生タイミングの仕様を修正。図 15.1.3.1 に条件の記述を修正
		217	図 15.1.3.2 の “ A/D 制御レジスタ 2 ” に注 2 を削除。
		218	表 15.1.4.1 の “ A/D 変換開始条件 ” に再トリガ可能な記載を追記。図 15.1.4.1 に条件の記述を修正
		219	図 15.1.4.2 の “ A/D 制御レジスタ 2 ” に注 2 を削除
		220	表 15.1.5.1 の “ A/D 変換開始条件 ” に再トリガ可能な記載を追記。図 15.1.5.1 に条件の記述を修正
		221	図 15.1.5.2 の “ A/D 制御レジスタ 2 ” に注 2 を削除
		222	表 15.1.6.1 の “ A/D 変換開始条件 ” に再トリガ可能な記載を追記。図 15.1.6.1 に条件の記述を修正
		223	図 15.1.6.2 の “ A/D 制御レジスタ 2 ” に注 2 を削除。“ A/D 制御レジスタ 1 ” の “ RW ” の記述を修正
		224	表 15.1.6.2 を一部修正
		225	表 15.1.7.1 の割り込み要求発生タイミングの仕様と注 2 を修正
		226	図 15.1.7.1 に条件の記述を修正
		227,228	図 15.1.7.2 と図 15.1.7.3 で条件の記述を修正、フラグの説明の位置を修正
		229	図 15.1.7.4 の “ A/D 制御レジスタ 2 ” に注 3 を削除。“ A/D 制御レジスタ 1 ” の “ RW ” の記述を修正
		232	図 15.1.8.1 の条件の記述を修正
		233,234	図 15.1.8.2 と図 15.1.8.3 の条件の記述を修正
		235	図 15.1.8.4 の “ A/D 制御レジスタ 2 ” に注 3 を削除。“ A/D 制御レジスタ 1 ” の “ RW ” の記述を修正
		237	“ 15.2 分解能選択機能 ” を一部修正
		238	“ 15.5 A/D 変換時のセンサーの出力インピーダンス ” を追加 “ 15.6 A/D コンバータの注意事項 ” を削除
		239 ~ 270	I ² C bus の規格書に合わせて “ 解放 ” を “ 開放 ” に修正
		239	“ 16. マルチマスタ I ² C bus インタフェース ” の本文と表 16.1 を一部修正
		240	図 16.1 を一部修正
		241 ~ 247	図 16.2 ~ 図 16.8 のフォーマットを修正、一部修正、用語を統一
		242	図 16.3 を一部修正
		243	図 16.4 の b5 に “ 0 ” の表記を追加
		245	図 16.6 に注 2 を追加
		246	図 16.7 に注 1 を追加、一部修正
		247	表 16.2 に注 2 を追加
		248	“ 16.1 I ² C0 データシフトレジスタ ” の本文を修正

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
			(S00 レジスタへの書き込みタイミングについての注意事項を追加)
		249	“ 16.3 ”、“ 16.3.2 ” ~ “ 16.3.4 ” を一部修正
		250	表 16.3 の表題と注 1、注 2 を一部修正
		251,252	“ 16.4 I ² C0 コントロールレジスタ 0 ” を修正、用語を統一
		253 ~ 255	“ 16.5 I ² C0 ステータスレジスタ ” を修正、用語を統一
		254	“ 16.5.5 ビット 4: I ² C bus インタフェース割り込み要求ビット ” を一部修正
		255	“ 16.5.7 ビット 6: 通信モード指定ビット 0 ” と “ 16.5.8 ビット 7: 通信モード指定ビット 1 ” を一部修正
		256 ~ 258	“ 16.6 I ² C0 コントロールレジスタ 1 ” を修正、用語を統一
		256	“ 16.6.1 ” と “ 16.6.2 ” を一部修正
		258	“ 16.6.5 ビット 6,7: I ² C bus システムクロック選択ビット ” の本文と表 16.6 を修正
		259,260	“ 16.7 I ² C0 コントロールレジスタ 2 ” を修正、用語を統一
		261	“ 16.8 I ² C0 スタート/ストップコンディション制御レジスタ ” を修正、用語を統一
			“ 16.8.1 ビット 0 ~ ビット 4: スタート/ストップコンディション設定ビット ” と “ 16.8.3 ビット 6: SCL/SDA 割り込み端子選択ビット ” を一部修正
		262	“ 16.9 スタートコンディション発生方法 ” を一部修正
		263,264	“ 16.10 スタートコンディション重複防止機能 ”、“ 16.11 ストップコンディションの発生方法 ” を一部修正。表 16.9 を一部修正。
		265	“ 16.12 スタート/ストップコンディション検出動作 ”、図 16.18、図 16.19、表 16.10 を一部修正
		266,267	“ 16.13 アドレスデータ通信 ” と図 16.20 を一部修正。“ 16.13.2 スレーブ受信例 ” の(9)を修正
		268 ~ 270	“ 16.14 使用上の注意事項 ” を一部修正
		270	図 16.24 を一部修正。(3) CPU クロックの制限の用語を統一。
		271	“ 17. プログラマブル入出力ポート ” に注意事項を追加
		272	“ 17.5 端子割り当て制御レジスタ ” と “ デジタルデバウンス機能 ” を一部修正
		273, 275	用語統一のため修正
		278	図 17.1.1 の “ ポート P9 方向レジスタ ” のリセット後の値を修正
		279	図 17.2.1 を一部修正
		281	図 17.5.1 の注 1 を修正
		282	図 17.6.1 の NMI デジタルデバウンスレジスタの注を修正。P17 デジタルデバウンスレジスタに注を追加
		283	用語統一のため修正
		284	表 17.1 に注 5 を追加
		285 ~ 357	“ 電気的特性 ” と “ フラッシュメモリ版 ” の並びを入れ替え、合わせて図番と表番を変更した
		285	“ 18.1 フラッシュメモリの性能 ” に説明文を追加
		287	“ 18.2 メモリ配置 ” を一部修正
			(ブロック 0,1 の書き換え方法を修正、ブート ROM への書き込み禁止の文章を追加)
		291	図 18.3.2.1 の用語を統一
		292	“ 18.4 CPU 書き換えモード ” と表 18.4.1 を一部修正
		293	“ 18.4.2 EW1 モード ” を一部修正
		296	図 18.5.1 のフラッシュメモリ制御レジスタ 0 のリセット後の値を修正。 図 18.5.1 の “ フラッシュメモリ制御レジスタ 1 ” を一部修正。
		299, 300	図 18.5.1.3 を一部修正。図 18.5.1.3 と “ 18.6.1 動作速度 ” の用語を統一。
		300	“ 18.6.3 割り込み ” の EW0 モードの 2 項めの用語を統一、“ 18.6.4 アクセス方法 ” を一部修正
		301	“ 18.6.9 ストップモード ” を修正。“ 18.6.10 ” の用語を統一。
		304	“ 18.7.5 ブロックイレーズ ” にエラー発生時の処理を追記
		310	表 18.9.1 と注 2 を修正
		311, 312	図 18.9.1 と図 18.9.2 に P16 信号を追加、注を修正
		313, 314	図 18.9.2.1 と図 18.9.2.2 に P16 信号を追加、注 1 を修正
		316 ~ 357	電気的特性を 19 章に変更、表番号、図番号を修正。T-ver. のデータを削除

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
		316 317 318,319 320 321 322 327 329 330 333 335 337 338 339 340,341 346 352 ~ 354 355,356 357 361 362 364 365 368 369 370 ~ 372	表 19.1 の消費電力の条件を修正、動作周囲温度を修正 表 19.2 の用語を統一、データを追加。動作最高周波数のグラフを修正 表 19.3 と表 19.4、表 19.5 を修正 表 19.7 の用語を統一、タイミングの説明図を変更 表 19.8 に XIN のヒステリシスのデータを追加 表 19.9 の用語を統一、測定条件を修正、Idet2 の項目を削除、Idet4 と Idet3 の規格値を追加 図 19.1 のタイミング図に XIN のタイミングを追加 表 19.24 に XIN のヒステリシスのデータを追加、注 1 を修正 表 19.25 の用語を統一、測定条件を修正、Idet2 の項目を削除 表 19.36 の表題を修正 図 19.4 のタイミング図に XIN のタイミングを追加 “ 20. 使用上の注意事項 ” を “ 注意事項集 ” から移動 “ 20.2 リセット ” を追加 “ 20.3 PLL 周波数シンセサイザ使用時 ” を修正 “ 20.4 パワーコントロール ” を修正 例 1 の “ NOP 命令の数 ” のコメントを追加 “ TBIS ビット ” があるレジスタについての記述を修正(TBSR レジスタを削除) “ 20.8.3 タイマ S ” を修正 “ 19.9.1 送受信 ” の 2 項めを修正 8 項のレジスタ名称を(A/D レジスタ i に)修正、10 項のモード名称を修正 “ 20.12 マルチマスタ I ² C bus ” を追加 “ 20.15 マスク ROM 版 ” を削除 “ 20.15.1 フラッシュメモリ書き換え禁止機能 ” に 0FFFF16 番地についての記述を追加 “ 20.16 デバイスの取り扱いに関する注意 ” を追加 “ 64P6Q-A ” パッケージ図を変更 “ 付録 2. 機能相違点 ” を追加
1.01	04/12/25	322 330 339	表 19.9 のデータを修正 表 19.25 のデータを修正 “ 電源リップル立ち上がり / 立ち下がり勾配 ” の最大値を修正
1.10	06/01/31	全ページ	節番号などを追加、変更、表番号、図番号を変更、外形図番号、外形図の更新、85 ピン版、128K マスク版展開、進数表示統一、用語統一(キャンセラー キャンセラ) (低電圧検出回路 電圧検出回路)、端子 VREF、接続 Vref で用語統一、各章の章注意事項から「...80 ピン版を例に説明します」文言を削除、レジスタ名及びビット名表示方法を統一
		2 3 4 6 7 8 9 10 11 ~ 18	概要 ・表 1.1 性能概要(80 ピン版) ウェイトモード時の消費電流を変更、 をブロック数 0 ~ 4 0 ~ 5 に変更、85 ピンプラスチックモールド TFLGA 追加、 パッケージ名 QFP LQFP に変更 ・表 1.2 性能概要(64 ピン版) 割り込み内部要因数を 24 要因に修正、ウェイトモード時 の消費電流を変更、パッケージ名 QFP LQFP に変更 ・図 1.1 ブロック図 「85 ピン版」 文言追加 ・1.4 製品一覧 T-ver.、V-ver. についての文言削除、マスク ROM 版展開 ・表 1.3 製品一覧表 製品追加 ・図 1.3 型名とメモリサイズ・パッケージ 分類を追加、ROM 容量追加 ・表 1.4 製品コード(64/80 ピン版) 非鉛フリー版削除、注 1 追加 ・表 1.5 製品コード(85 ピン版) 追加 ・表 1.6 製品コード(マスク ROM 版) 追加 ・図 1.4 マーキング図 85 ピン版(M30280FAWG)、マスク ROM 版(M30280MAHP、 M30281MAHP)追加 ・図 1.5 ピン接続図 85 ピン版追加 ・表 1.7 ~ 1.9 ピン端子名一覧表 追加

Rev.	発行日	改定内容	
		ページ	ポイント
		19	・表 1.10 端子の機能説明 分類別に表記方法変更
		24	メモリ ・図 3.1 メモリ配置 内部 RAM に 6K、12K を追加。内部 ROM に 128K を追加
		25 ~ 31	SFR ・表 4.1 ~ 表 4.7 SFR 一覧 表題横に「注 1」を追記 25 ・表 4.1 SFR 一覧(1) 注 3.WDC ビットに関する注意文言削除 27 ・表 4.3 SFR 一覧(3) LPCC0、LPCC1 追加。FMR0、ROCR のリセット後の値を修正 29 ・表 4.5 SFR 一覧(5) IDB0、IDB1、U2TB、U2RB のリセット後の値を修正 30 ・表 4.6 SFR 一覧(6) U0TB、U0RB、U1TB、U1RB のリセット後の値を修正 31 ・表 4.7 SFR 一覧(7) AD0 ~ AD7、P9 のリセット後の値を修正
		35 37	リセット ・図 5.4 電圧検出回路ブロック図 WDC5 ビット削除 ・図 5.7 電圧低下検出リセット(ハードウェアリセット 2)動作例 VC26、VC27 ビットライン一部修正
		43 45 47 49 50 53 55 58 59 60 63	クロック発生回路 ・図 7.1 クロック発生回路 一部修正 ・図 7.4 ROCR レジスタ b7 内容修正、b6 ~ b4 内容修正、リセット後の値修正 ・図 7.6 PM2 レジスタ 注 2 内容修正 (全 Tiny 統一) ・図 7.8 メインクロックの接続回路例 図変更 ・図 7.9 サブクロックの接続回路例 図変更 ・7.5.2 周辺機能クロック 一部内容追加、変更 ・表 7.3 クロック関連ビットの設定とモード オンチップオシレータモード時の CM1 レジスタの値一部変更 ・図 7.11 ストップモード、ウェイトモード状態遷移 図一部削除、変更、修正、注 7 追加 ・図 7.12 通常動作モード状態 単語統一(f(Ring) f(ROC))、注 5 矢印に関する注意事項削除、注 6 及び注 7 を統一。 ・表 7.5 現在の状態から次に遷移可能な状態と設定方法 注 2 一部内容変更 ・図 7.13 オンチップオシレータクロックからのメインクロックへの切り替え手順 図一部変更
		84 85 -	ウォッチドッグタイマ ・章文内 WDTS レジスタに関する説明追加 ・図 10.2 WDC レジスタ、WDTS レジスタ WDC5 ビット削除、予約ビットに変更、WDC レジスタに関する注意事項削除 ・10.2 コールドスタート/ウォームスタートのページ削除
		90	DMAC ・図 11.4 TCR0、TCR1 レジスタ 注 1 印削除
		124	タイマ(三相モータ制御用タイマ機能) ・図 12.28 IDB0、IDB1 レジスタ、DTT、ICTB2 レジスタ IDB0、IDB1 レジスタ 予約ビットマップ表示変更、b7-b6 を RO に変更 ; ICTB2 レジスタ 予約ビットマップ表示変更
		139 151 153	タイマ S ・図 13.6 G1POCR0 ~ G1POCR7 レジスタ 注 2 一部文章変更、IVL ビット一部機能説明変更 ・表 13.6 時間計測機能関連レジスタの設定 C1TMCRj レジスタのビット名一部変更 ・図 13.21 プリスケアラ機能とゲート機能 G1POK レジスタに関する情報一部追加
		167 169 185	シリアル I/O 端子 SCL、SDA を SCL2、SDA2 に表示統一 ・図 14.4 U0BRG ~ U2BRG レジスタ 注 3 を追加 ・図 14.6 U0C0 ~ U2C0 レジスタ 注 2 を修正、注 7 を追加 ・図 14.17 UART モード時の受信タイミング例 RI ビットのライン変更 ・表 14.9 転送速度 ビットレート 51200bps を追加

Rev.	発行日	改定内容	
		ページ	ポイント
		207 211 213	<ul style="list-style-type: none"> ・図 14.31 SIM モードの送受信タイミング例 タイミング図変更 ・図 14.36 S3C、S4C レジスタ 注5追加、S2BRG、S4BRG レジスタ 注3追加 ・図 14.38 転送クロックの極性 矢印方向変更
		220 240 247	A/D コンバータ <ul style="list-style-type: none"> ・図 15.5 TB2SC レジスタ b3、b2の予約ビットマップ表示変更 ・表 15.12 遅延トリガモード1の仕様 注1変更 ・図 15.29 アナログ入力端子と外部センサー等価回路 注1を追加、単位修正
		249 250 256 264	マルチマスタI²C bus インタフェース <ul style="list-style-type: none"> ・図 16.1 マルチマスタI²C bus インタフェースのブロック図 S5D0、S6D0 削除、図一部修正 ・図 16.2 S0D0 レジスタ b0 ビットシンボル欄一部修正 ・図 16.8 S2D0 レジスタ 注1作成 ・16.5.7 ビット6:通信モード指定ビット0及び16.5.8 ビット7:通信モード指定ビット1 内容一部追加
		281 282 291	プログラブル入出力ポート <ul style="list-style-type: none"> ・17.6 デジタルデバウンス機能 フィルタ幅の計算式修正変湖 ・図 17.1 ~ 図 17.4 入出力ポート(1)~入出力ポート(4) 図変更 ・NDDR レジスタ、P17DDR レジスタ 公式修正変更
		294 296 299 301 302 305 306 307 308 318 320	フラッシュメモリ版 <ul style="list-style-type: none"> ・表 18.1 フラッシュメモリ版の性能概要 表一部変更、プログラム領域一部変更 ・図 18.1 ~ 図 18.3 フラッシュメモリのブロック図 一部図変更 ・図 18.4 フラッシュメモリのブロック図(ROM 容量 128K byte) 図追加 ・図 18.5 ROMCP レジスタ 図一部変更、注5追加 ・表 18.3 EW0 モードとEW1 モードの違い 項目「EW1 モード」横にある注2表示を削除、注2一部変更 ・18.5.2 フラッシュメモリ制御レジスタ1(FMR1) FMR17 ビット一部修正 ・図 18.7 FMR0 レジスタ 注3内容追加、FMR1 レジスタ 注1一部変更、注3一部変更、FMR16 ビット一部変更、予約ビットマップ一部変更 ・図 18.8 FMR4 レジスタ 注2一部変更 ・図 18.10 EW1 モードの設定と解除方法 注意事項一部削除、変更、注3追加 ・図 18.15 フルステータスチェックフローチャート、各エラー発生時の対処方法 一部変更 ・表 18.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード) P90 ~ P97 一部表変更
		326 327 328 329 330 331 333 336 341 344	電気的特性 <ul style="list-style-type: none"> ・節本文 一文削除 ・表 19.1 絶対最大定格 消費電力条件一部変更 ・表 19.2 推奨動作条件 VIH、VIL 表一部追加、変更 ・表 19.3 A/D 変換特性 許容信号源インピーダンスを削除、注4追加 ・表 19.4 フラッシュメモリの電気的特性 表一部変更、注1一部変更、注4一部文言削除、注8一部変更、注11追加 ・表 19.6 電圧検出回路の電気的特性 表題一部訂正 ・図 19.1 電源回路のタイミング図 td(P-R)電源投入時内部電源安定時間のタイミング図変更、td(ROC)電源投入時内部オンチップオシレータ発振安定時間のタイミング図追加 ・表 19.9 電気的特性(2) TBD 数値を変更、一部値変更、マスクメモリ情報追加 ・表 19.21 シリアル I/O RxDi 入力セットアップ時間の最小規格値変更 ・表 19.25 電気的特性(2) TBD 数値を変更、マスクメモリ情報追加 ・表 19.37 シリアル I/O RxDi 入力セットアップ時間の最小規格値変更
		348	使用上の注意事項 <ul style="list-style-type: none"> ・20.1.3 フラッシュメモリ(128K+4K)バイト版とマスク ROM 版の注意事項 追加

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
		348 350 351 357 366 367、368 369 370 372 374 376	<ul style="list-style-type: none"> ・図 20.1 LPCC0 レジスタ、LPCC1 レジスタ 追加 ・図 20.3 電源変動のタイミング図 電源リップル立ち上がり/立ち下がり勾配の最大値変更 ・20.3.2 パワーコントロール 4. の例一部訂正 ・20.6.1 DMAiCON レジスタの DMAE ビットへの書き込み(i=0 ~ 1) 注 2 一部訂正 ・20.9.3 SI/O3、SI/O4 項追加 ・20.11 A/D コンバータ 3. 文章一部変更、9. レジスタ名一部変更 ・20.11.1 S00 レジスタへの書き込み 項本文一部変更 ・20.11.2 AL フラグ 項本文一部変更 ・20.12 プログラマブル入出力ポート 2. 文章一部追加 ・20.14 マスク ROM 版 追加 ・20.15.9 割り込み EW1 モード文章一部追加 ・20.16.1 プロント基板のトレース(85ピン版) 追加、図 20.8 追加
		378	付録 1 外形寸法図 外形寸法図アップデート、85ピン版追加
		380	付録 2. 機能相違点 <ul style="list-style-type: none"> ・付録 2.1 M16C/28 グループの Normal-ver. と T-ver./V-ver. の機能相違点 M16C/28 グループ(Normal)の三相モータ制御用タイマ、CRC 演算回路の情報一部変更 ・付録 2.2 M16C/28 グループと M16C/29 グループの機能相違点(Normal-ver.) M16C/28(Normal-ver.) の割り込み、CAN モジュール、CRC 演算回路の情報一部変更 ・付録 2.3 M16C/28 グループと M16C/29 グループの機能相違点(T-ver./V-ver.) M16C/28 の CAN モジュールの情報一部変更
1.11	06/04/10	2、3 19 ~ 21	概要 <ul style="list-style-type: none"> ・表 1.1、表 1.2 性能概要 オプションに関する表記を削除 ・表 1.10 端子の機能説明 一部修正
		47 54 58 59 60	クロック <ul style="list-style-type: none"> ・図 7.6 PM2 レジスタ 注 4 PLC0 レジスタに関する注記を追加 ・7.6.1 通常動作モード モード切り替え説明箇所訂正 ・図 7.11 ストップモード、ウェイトモード状態遷移 低速モード関連図一部修正 ・図 7.12 通常動作モード状態 CM07 ビット関連の遷移図一部追加 ・表 7.5 現在の状態から次に遷移可能な状態と設定方法 低速モード、オンチップオシレータモード関連一部情報追加
2.00	07/01/31	-	M16C/28B 追加
		1 2、3 6 7 8 19	概要 <ul style="list-style-type: none"> ・1.1 特長 文言一部削除 ・表 1.1、表 1.2 性能概要 数値一部変更、追加注 3 表記変更、注 4 追加 ・表 1.3 製品一覧表 M16C/28 製品コード一部削除 ・表 1.4 製品一覧表 M16C/28B Normal ver. 新規追加 ・図 1.3 型名とメモリサイズ、パッケージ 図一部修正 ・表 1.5 ~ 表 1.8 製品コード 一部変更 ・表 1.10 端子の機能説明 シリアルクロック、シリアル I/O 部分修正
		29	SFRs <ul style="list-style-type: none"> ・表 4.5 SFR 一覧(5) 注 2 一部修正
		34 35	リセット <ul style="list-style-type: none"> ・図 5.2 リセットシーケンス 図一部修正 ・図 5.4 電圧検出回路ブロック 一部修正
		42 43	プロセッサモード <ul style="list-style-type: none"> ・図 6.2 PM2 レジスタ 追加 ・図 6.3 バスブロック図を追加
		49	クロック <ul style="list-style-type: none"> ・図 7.6 PM2 レジスタ 注 5 一部文言追加、注 6 一部修正

Rev.	発行日	改定内容	
		ページ	ポイント
		51 53 56 61	<ul style="list-style-type: none"> ・図 7.8 メインクロックの接続回路例 注2 追加 ・7.4 PLL クロック 一部文言追加 ・表 7.2 PLL クロック周波数の設定例 注1 修正 ・7.6.1 通常動作モード モード切り替え説明箇所訂正 ・図 7.12 通常動作モード状態 注釈マークを追加
		66	プロテクト <ul style="list-style-type: none"> ・LPCC1 レジスタ追加、詳細一部修正 ・図 8.1 PRCR レジスタ 注1 修正
		81 84	割り込み <ul style="list-style-type: none"> ・図 9.10 割り込み優先レベルの判定回路 割り込みレジスタ名一部修正 ・表 9.6 アドレス一致割り込み要求受け付け時に退避される PC の値 表内一部修正、注釈追加
		86 87	ウォッチドッグタイマ <ul style="list-style-type: none"> ・レジスタ名一部修正 ・図 10.1 ウォッチドッグタイマブロック図 リセット信号部修正 ・10.1 カウントソース保護モード 一部詳細追加
		114 120 121 123 128	タイマ <ul style="list-style-type: none"> ・12.2 タイマ B A/D トリガモードの詳細一部変更 ・図 12.15 タイマ B ブロック図 A/D トリガモード追加 ・12.2.4 A/D トリガモード 詳細一部変更 ・図 12.24 A/D トリガモード時の TB2SC レジスタ 注4 一部詳細修正 ・図 12.25 三相モータ制御用タイマ機能のブロック図 注1 一部修正 ・図 12.30 TB2SC レジスタ 注釈修正
		150 155 163	タイマS <ul style="list-style-type: none"> ・図 13.15 ベースタイマリセットレジスタによるベースタイマリセット動作 ベースタイマオーバフロー要求を追加、注1 追加 ・図 13.21 プリスケアラ機能とゲート機能 レジスタ名修正 ・表 13.11 時間計測と波形出力機能の端子設定 ビット名修正
		166 175 177 183 191 193 201 207 212 216	シリアルI/O <ul style="list-style-type: none"> ・図 14.1 UARTi のブロック図 図一部修正 ・表 14.1 クロック同調形シリアル I/O モードの仕様 注2 一部修正 ・表 14.3 クロック同期形シリアル I/O モード時の入出力端子の機能 注1 レジスタ名修正 ・表 14.5 UART モードの仕様 注1 一部修正 ・表 14.10 I²C bus モードの仕様 注2 一部修正 ・表 14.11 I²C bus モード時の使用レジスタと設定値 注釈箇所一部削除 ・表 14.15 特殊モード2の仕様 注2 一部修正 ・表 14.18 SIM モードの仕様 注1 一部修正 ・14.2 SI/O3、SI/O4 64ピン版に関する注記追加 ・14.2.3 SOUTi 初期出力設定機能 一文追加
		217 222	A/Dコンバータ <ul style="list-style-type: none"> ・表 15.1 A/D コンバータの仕様 1端子あたりの変換速度 仕様説明一文追加、注2 一部追加 ・図 15.5 TB2SC レジスタ 注4 一部修正
		253 274	マルチマスタI²C busインターフェース <ul style="list-style-type: none"> ・図 16.3 S00 レジスタ 注1 レジスタ名一部修正 ・16.11 ストップコンディション発生方法 一部文章追加
		282 284	プログラマブル入出力ポート <ul style="list-style-type: none"> ・17.3 ブルアップ制御レジスタ0～2(PUR0 PUR2 レジスタ) 文章一部追加 ・図 17.1 入出力ポート(1) 一部ポート追加
		297	フラッシュメモリ <ul style="list-style-type: none"> ・18.1.1 ブートモード 新規追加

改訂履歴

M16C/28 グループ(M16C/28, M16C/28B) ハードウェアマニュアル

Rev.	発行日	改定内容	
		ページ	ポイント
		302 303 307 308 309 319 322	<ul style="list-style-type: none"> ・18.3.1 ROM コードプロテクト機能 記述内容変更 ・図 18.5 ROMCP レジスタ 注2 レジスタ名一部修正 ・18.5.2 フラッシュメモリ制御レジスタ1 FMR16ビットの記載一部修正 ・図 18.9 FMR1 レジスタ 注3 書き換え回数修正 ・図 18.10 EW1 モードの設定と解除方法 注釈マーク追加 ・表 18.7 エラーとFMR0 レジスタの状態 レジスタ名修正 ・表 18.8 端子の機能説明 P9₃ の機能説明一部修正
		329 330 331 332 333 335 343	電気的特性 <ul style="list-style-type: none"> ・表 19.2 推奨動作条件 規格値追加、図修正及び、追加 ・表 19.3 A/D 変換特性 注2 一部修正 ・表 19.5 フラッシュメモリの電気的特性 注10 一部修正 ・表 19.6 電圧検出回路の電気的特性 測定条件修正 ・図 19.1 電源回路のタイミング図 回路図一部修正 ・表 19.9 電気的特性(2) 測定条件、規格値一部変更 ・表 19.25 電気的特性(2) 測定条件、規格値一部変更
		- 350 351 356 358 364 365 366 369 374 376 377 378	使用上の注意事項 <ul style="list-style-type: none"> ・リセットの項削除 ・20.1.3 レジスタ設定時の注意事項 新規追加 ・20.1.4 フラッシュメモリ(128K+4K)バイト版とマスクROM版の注意事項 一部文言削除 ・図 20.1 LPCC0 レジスタ 注1 削除、LPCC00 ビットの機能訂正、b0 ビットマップ修正 ・20.4.3 NMI 割り込み 2. 詳細一部削除 ・20.4.6 割り込み制御レジスタの変更 例1. 一部記述追加 ・20.6.3 三相モータ制御用タイマ機能 新規追加 ・20.7.1 G1IR レジスタの変更 内容一部変更 ・20.7.4 IC/OC ベースタイマ割り込み 追加 ・20.9 A/D コンバータ 6. 詳細一部修正 ・20.13.1 内部ROM 領域 内容一部追加 ・20.14.9 割り込み ウォッチドッグタイマ割り込みに関する一文を削除 ・20.14.10 アクセス方法 詳細一部修正 ・20.14.11 ユーザROM 領域の書き換え モードを追加 ・20.14.17 標準シリアル入出力モード 新規追加 ・20.15 ノイズ コンデンサの単位修正
		- 382,383	付録2. 機能相違点 <ul style="list-style-type: none"> ・付録 M16C/28 グループと M16C/29 グループの機能相違点(T-ver./V-ver.)削除 ・付録 2.1 ~ 付録 2.2 フラッシュメモリの項追加

M16C/28グループ (M16C/28、M16C/28B) ハードウェアマニュアル

発行年月日 2004年 2月 1日 Rev. 0.60
2007年1月31日 Rev. 2.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

M16C/28 グループ (M16C/28、 M16C/28B) ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJ09B0061-0200