

R9A06G062GNP

Sub-GHz トランシーバ

ユーザーズマニュアル ハードウェア編

RF トランシーバ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

目次

第1章 概 説.....	1
1.1 特長.....	1
1.2 用途.....	3
1.3 ブロック図.....	3
1.4 パッケージとピン配置図.....	5
1.5 端子機能.....	6
1.6 発注情報.....	7
第2章 端子機能.....	8
2.1 端子機能.....	8
2.1.1 デジタル端子.....	8
2.1.2 アナログ端子.....	9
2.1.3 電源端子.....	9
2.2 未使用端子の処理.....	10
第3章 ベースバンド機能.....	11
3.1 ベースバンド・ブロック図.....	12
3.2 フレーム構成.....	13
3.2.1 送信フレーム構成.....	13
3.2.2 PHRの構成.....	15
3.3 ベースバンド割り込み.....	18
3.4 ベースバンド機能を制御するレジスタ.....	21
3.4.1 RF開始レジスタ (BBRFCON).....	26
3.4.2 送受信リセット・レジスタ (BBTXRXRST).....	28
3.4.3 送受信モード・レジスタ0 (BBTXRXMODE0).....	29
3.4.4 送受信モード・レジスタ1 (BBTXRXMODE1).....	31
3.4.5 RXIDLEモードレジスタ (BBRXIDLE).....	33
3.4.6 高速受信切り替えモードレジスタ (BBRXMODE).....	34
3.4.7 エンハンストACKモード・レジスタ (BBEACKMODE).....	35
3.4.8 送受信ステータス・レジスタ0 (BBTXRXST0).....	36
3.4.9 送受信モード・レジスタ2 (BBTXRXMODE2).....	38
3.4.10 送受信モード・レジスタ3 (BBTXRXMODE3).....	40
3.4.11 送受信ステータス・レジスタ1 (BBTXRXST1).....	42
3.4.12 送受信制御レジスタ (BBTXRXCON).....	43
3.4.13 CSMA制御レジスタ0 (BBCSMACON0).....	44

3.4.14	送受信ステータス・レジスタ2 (BBTXRXST2)	46
3.4.15	送受信モード・レジスタ4 (BBTXRXMODE4)	47
3.4.16	CSMA制御レジスタ1 (BBCSMACON1)	48
3.4.17	CSMA制御レジスタ2 (BBCSMACON2)	49
3.4.18	PAN識別子レジスタ0 (BBPANID0)	50
3.4.19	ショート・アドレス・レジスタ0 (BBSHORTAD0)	50
3.4.20	拡張アドレス・レジスタ0 (BBEXTENDAD00 - BBEXTENDAD03)	51
3.4.21	タイマ読み出しレジスタ0, 1 (BBTIMEREAD0, BBTIMEREAD1)	53
3.4.22	タイマ・コンペア・レジスタ0, 1 (BBTCOMP0REG0-BBTCOMP2REG0, BBTCOMP0REG1-BBTCOMP2REG1)	54
3.4.23	タイムスタンプ・レジスタ0, 1 (BBTSTAMP0, BBTSTAMP1)	55
3.4.24	タイマ制御レジスタ (BBTIMECON)	56
3.4.25	バックオフ・ピリオド・レジスタ (BBBOFFPROD)	58
3.4.26	タイミングパラメータ用データレート設定レジスタ (BBPARAMRATE)	59
3.4.27	拡張データレート設定レジスタ (BBEXTRATE)	60
3.4.28	CSMA制御レジスタ3 (BBCSMACON3)	61
3.4.29	キャリブレーション・レジスタ (BBCAL)	61
3.4.30	ACK返信時間設定レジスタ (ACKRTNTIM)	62
3.4.31	自動受信切り替えコンペア・レジスタ (AUTORCVCNT)	63
3.4.32	バックオフ周期レジスタ (BOFFPERIOD)	64
3.4.33	CSMA-CA用エンド・カウント・レジスタ (CSMAENDCOUNT)	65
3.4.34	CSMA-CA用スタート・カウント・レジスタ (CSMASTACOUNT)	66
3.4.35	通信ステータス・レジスタ1 (COMSTATE1)	67
3.4.36	通信ステータス・レジスタ2 (COMSTATE2)	68
3.4.37	評価制御レジスタ (BBEVAREG)	69
3.4.38	バックオフ・ピリオド・レジスタ2 (BBBOFFPROD2)	70
3.4.39	通信ステータス・レジスタ3 (COMSTATE3)	70
3.4.40	ACK受信待ち時間設定レジスタ (ACKRCVWIT)	71
3.4.41	再送開始コンペア・レジスタ (RETRNWUP)	72
3.4.42	受信フレーム・レングス・レジスタ (BBRXFLEN)	73
3.4.43	受信データ・カウンタレジスタ (BBRXCOUNT)	73
3.4.44	送信フレーム・レングス・レジスタ (BBTXFLEN)	74
3.4.45	周波数設定レジスタ (BBFREQ)	75
3.4.46	IF周波数設定レジスタ (BBIFSET)	76
3.4.47	IF周波数オフセット設定レジスタ0 (BBIFOFST0)	77
3.4.48	IF周波数オフセット設定レジスタ1 (BBIFOFST1)	78
3.4.49	SXシフト周波数設定レジスタ (BBSXSFTFREQ)	79
3.4.50	CCA時間レジスタ (CCATIME)	80
3.4.51	送信データ・カウンタレジスタ (BBTXCOUNT)	81
3.4.52	外部素子制御レジスタ0 (BBEXTCON0)	82

3.4.53	外部素子制御レジスタ1 (BBEXTCON1)	84
3.4.54	CTXセットタイミングレジスタ (BBCTXSET)	85
3.4.55	CTXクリアタイミングレジスタ (BBCTXCLR)	85
3.4.56	CPSセットタイミングレジスタ (BBCPSSET)	86
3.4.57	CPSクリアタイミングレジスタ (BBCPSCLR)	86
3.4.58	CSDセットタイミングレジスタ (BBCSDSET)	87
3.4.59	CSDクリアタイミングレジスタ (BBCSDCLR)	87
3.4.60	受信バイト数割り込みコンペア・レジスタ (BBRCVINTCOMP)	88
3.4.61	バックオフ・ピリオド総数レジスタ (BBBOPTOTAL)	89
3.4.62	CCA総数レジスタ (BBCCATOTAL)	89
3.4.63	アドレス・フィルタ拡張アドレス制御レジスタ (BBADFCON)	90
3.4.64	PAN識別子レジスタ1 (BBPANID1)	92
3.4.65	ショート・アドレス・レジスタ1 (BBSHORTAD1)	92
3.4.66	拡張アドレス・レジスタ1 (BBEXTENDAD10-BBEXTENDAD13)	93
3.4.67	受信タイムアウト・レジスタ (BBTIMEOUT)	95
3.4.68	INTOUTモードレジスタ (BBINTOUTMODE)	96
3.4.69	INTOUT0割り込み要因レジスタ0 (BBINT0REQ0)	98
3.4.70	INTOUT0割り込み要因レジスタ1 (BBINT0REQ1)	100
3.4.71	INTOUT0割り込み要因レジスタ2 (BBINT0REQ2)	102
3.4.72	INTOUT0割り込み要因レジスタ3 (BBINT0REQ3)	104
3.4.73	INTOUT0割り込み要因レジスタ4 (BBINT0REQ4)	106
3.4.74	INTOUT0割り込み要因レジスタ5 (BBINT0REQ5)	108
3.4.75	INTOUT0割り込み要因レジスタ6 (BBINT0REQ6)	110
3.4.76	INTOUT0割り込み要因レジスタ7 (BBINT0REQ7)	112
3.4.77	INTOUT0割り込み許可レジスタ0 (BBINT0EN0)	114
3.4.78	INTOUT0割り込み許可レジスタ1 (BBINT0EN1)	116
3.4.79	INTOUT0割り込み許可レジスタ2 (BBINT0EN2)	118
3.4.80	INTOUT0割り込み許可レジスタ3 (BBINT0EN3)	120
3.4.81	INTOUT0割り込み許可レジスタ4 (BBINT0EN4)	121
3.4.82	INTOUT0割り込み許可レジスタ5 (BBINT0EN5)	123
3.4.83	INTOUT0割り込み許可レジスタ6 (BBINT0EN6)	125
3.4.84	INTOUT0割り込み許可レジスタ7 (BBINT0EN7)	127
3.4.85	INTOUT0割り込み要因許可レジスタ0 (BBINT0REQEN0)	129
3.4.86	INTOUT0割り込み要因許可レジスタ1 (BBINT0REQEN1)	131
3.4.87	INTOUT0割り込み要因許可レジスタ2 (BBINT0REQEN2)	133
3.4.88	INTOUT0割り込み要因許可レジスタ3 (BBINT0REQEN3)	135
3.4.89	INTOUT0割り込み要因許可レジスタ4 (BBINT0REQEN4)	137
3.4.90	INTOUT0割り込み要因許可レジスタ5 (BBINT0REQEN5)	139
3.4.91	INTOUT0割り込み要因許可レジスタ6 (BBINT0REQEN6)	141
3.4.92	INTOUT0割り込み要因許可レジスタ7 (BBINT0REQEN7)	143

3.4.93	送信バイト数割り込みコンペアレジスタ (BBTRNINTCOMP)	145
3.4.94	CCAモードレジスタ (BBCCAMODE)	146
3.4.95	受信モードレジスタ (BBRCVMODE)	148
3.4.96	フレーム・レングス・キャンセルMIN値レジスタ (BBFLCNCLMIN)	149
3.4.97	フレーム・レングス・キャンセルMAX値レジスタ (BBFLCNCLMAX)	150
3.4.98	バイト数割り込みモードレジスタ (BBBYTEINTMODE)	151
3.4.99	RSSI結果レジスタ (BBRSSIRSLT)	152
3.4.100	RCPI結果レジスタ (BBRCPIRSLT)	153
3.4.101	RSSI結果2レジスタ (BBRSSIRSLT2)	154
3.4.102	RCPI結果2レジスタ (BBRCPIRSLT2)	155
3.4.103	ED1結果レジスタ (BBED1RSLT)	156
3.4.104	ED2結果レジスタ (BBED2RSLT)	157
3.4.105	ED1結果2レジスタ (BBED1RSLT2)	158
3.4.106	ED2結果2レジスタ (BBED2RSLT2)	159
3.4.107	CCAクリアカウントレジスタ (BBCCACLRCOUNT)	160
3.4.108	CCAリミット設定レジスタ (BBCCALIMIT)	161
3.4.109	コンペア0設定経過時間レジスタ (BBPASSTIME0, BBPASSTIME1)	162
3.4.110	フレーム同期電力値読み出しレジスタ (BBFSYNCPOWRD)	163
3.4.111	フレーム同期電力値読み出し2レジスタ (BBFSYNCPOWRD2)	164
3.4.112	RSSI読み出しレジスタ (BBRSSIRD)	165
3.4.113	RCPI読み出しレジスタ (BBRCPIRD)	166
3.4.114	RSSI読み出し2レジスタ (BBRSSIRD2)	167
3.4.115	RCPI読み出し2レジスタ (BBRCPIRD2)	168
3.4.116	送受信方式選択レジスタ (BBTRXSEL)	169
3.4.117	受信方式確認レジスタ (BBRXMODEMONI)	170
3.4.118	受信禁止レジスタ (BBRXPROHIBIT)	171
3.4.119	受信フレームカウンタ制御レジスタ (BBRCVCOUNTCNT)	172
3.4.120	受信総数カウントレジスタ (BBRCVCOUNT)	174
3.4.121	PHRエラー数カウントレジスタ (BBPHRERRCOUNT)	175
3.4.122	正常受信数カウントレジスタ (BBRCVOKCOUNT)	176
3.4.123	異常受信数カウントレジスタ (BBRCVNGCOUNT)	177
3.4.124	フレーム同期電力値結果レジスタ (BBFSYNCPOWRSLT)	178
3.4.125	フレーム同期電力値結果2レジスタ (BBFSYNCPOWRSLT2)	179
3.4.126	CCAデータレート制御レジスタ (BBCCARATECON)	180
3.4.127	FSK制御レジスタ0 (BBFSKCON0)	182
3.4.128	FSK制御レジスタ1 (BBFSKCON1)	183
3.4.129	FSK制御レジスタ2 (BBFSKCON2)	185
3.4.130	FSKFEC制御レジスタ (BBFSKFECCON)	186
3.4.131	プリアンブル長設定レジスタ (BBPAMBL)	188
3.4.132	プリアンブル設定レジスタ (BBPABL)	188

3.4.133	TXSFD設定レジスタ (BBTXSFD)	189
3.4.134	TXSFD設定レジスタ2 (BBTXSFD2)	190
3.4.135	TXSFD設定レジスタ3 (BBTXSFD3)	191
3.4.136	TXSFD設定レジスタ4 (BBTXSFD4)	192
3.4.137	SHR制御レジスタ (BBSHRCON)	193
3.4.138	RXSFD設定レジスタ (BBRXSFD)	194
3.4.139	RXSFD設定レジスタ2 (BBRXSFD2)	195
3.4.140	RXSFD設定レジスタ3 (BBRXSFD3)	196
3.4.141	RXSFD設定レジスタ4 (BBRXSFD4)	197
3.4.142	モード・スイッチ・フレーム送信レジスタ (BBTXMODESW)	198
3.4.143	モード・スイッチ・フレーム受信レジスタ (BBRXMODESW)	199
3.4.144	モード・スイッチ・ステータス・レジスタ (BBMSSTATE)	200
3.4.145	モード・スイッチ・フレーム制御レジスタ (BBMSCON)	201
3.4.146	FSKCCAレベルスレッシュホールド設定レジスタ (BBFSKCCAVTH)	202
3.4.147	FSK受信レベルスレッシュホールド設定レジスタ (BBFSKLVLVTH)	203
3.4.148	FSKPHR受信レジスタ (BBFSKPHRRX)	204
3.4.149	OFDM制御レジスタ (BBOFDMCON)	205
3.4.150	OFDMPHR送信レジスタ0 (BBOFDMPHRTX0)	206
3.4.151	OFDMPHR送信レジスタ1 (BBOFDMPHRTX1)	207
3.4.152	OFDMPHRACK返信レジスタ0 (BBOFDMPHRACK0)	208
3.4.153	OFDMPHRACK返信レジスタ1 (BBOFDMPHRACK1)	209
3.4.154	OFDMPHR受信レジスタ0 (BBOFDMPHRRX0)	210
3.4.155	OFDMPHR受信レジスタ1 (BBOFDMPHRRX1)	211
3.4.156	OFDMPHR受信レジスタ2 (BBOFDMPHRRX2)	212
3.4.157	OFDMCCAレベルスレッシュホールド設定レジスタ (BBOFDMCCAVTH)	214
3.4.158	OFDM受信レベルスレッシュホールド設定レジスタ (BBOFDMMLVLVTH)	215
3.4.159	ポート方向レジスタ0 (GPIODIR0)	216
3.4.160	ポート方向レジスタ1 (GPIODIR1)	217
3.4.161	ポートデータレジスタ0 (GPIODATA0)	218
3.4.162	ポートデータレジスタ1 (GPIODATA1)	220
3.4.163	ポート出力駆動能力切り替えレジスタ0 (GPIODRV0)	221
3.4.164	ポート出力駆動能力切り替えレジスタ1 (GPIODRV1)	222
3.4.165	プルアップ・プルダウン選択レジスタ0 (PULLSEL0)	223
3.4.166	プルアップ・プルダウン選択レジスタ1 (PULLSEL1)	225
3.4.167	プルアップ・プルダウン選択レジスタ2 (PULLSEL2)	227
3.4.168	プルアップ・プルダウン選択レジスタ3 (PULLSEL3)	229
3.4.169	GPIO機能選択レジスタ0 (BBGPIOFUNCSEL0)	231
3.4.170	GPIO機能選択レジスタ1 (BBGPIOFUNCSEL1)	232
3.4.171	GPIO機能選択レジスタ2 (BBGPIOFUNCSEL2)	233
3.4.172	GPIO機能選択レジスタ3 (BBGPIOFUNCSEL3)	234

3.4.173	GPIO機能選択レジスタ4 (BBGPIOFUNCSEL4)	235
3.4.174	GPIO機能選択レジスタ5 (BBGPIOFUNCSEL5)	236
3.4.175	GPIO機能選択レジスタ6 (BBGPIOFUNCSEL6)	237
3.4.176	RX時OSC設定レジスタ (BBRXOSC)	238
3.4.177	NEWMODE送信制御レジスタ (BBNMTXCON)	239
3.4.178	NEWMODE送信SXシフト周波数設定レジスタ (BBNMTXSXSFTFREQ)	241
3.4.179	NEWMODE送信周波数設定レジスタ (BBNMTXFREQ)	242
3.4.180	NEWMODE送信FSK制御レジスタ0 (BBNMTXFSKCON0)	243
3.4.181	NEWMODE送信FSK制御レジスタ1 (BBNMTXFSKCON1)	244
3.4.182	NEWMODE送信FSKプリアンブル長設定レジスタ (BBMSPAMBL)	246
3.4.183	NEWMODE受信制御レジスタ0 (BBNMRXCON0)	247
3.4.184	NEWMODE受信制御レジスタ1 (BBNMRXCON1)	248
3.4.185	NEWMODE受信制御レジスタ2 (BBNMRXCON2)	249
3.4.186	NEWMODE受信周波数設定レジスタ (BBNMRXBBFREQ)	251
3.4.187	NEWMODE受信FSK制御レジスタ0 (BBNMRXFSKCON0)	252
3.4.188	NEWMODE受信FSK制御レジスタ1 (BBNMRXFSKCON1)	253
3.4.189	NEWMODE受信OFDM制御レジスタ (BBNMRXOFDMCON)	255
3.4.190	バージョンコード・リード制御レジスタ (VERCNT)	257
3.4.191	バージョン・レジスタ (VERR0-VERR7)	258
第4章	シリアル・ペリフェラル・インタフェース (SPI)	260
4.1	通信フォーマット	260
4.1.1	アドレス部、R/W部およびINCB部	261
4.1.2	データ部	261
第5章	状態遷移	263
5.1	WAKE UP動作 (SLEEP状態→IDLE状態)	265
5.1.1	WAKE UP1動作 (SLEEP状態→STANDBY状態への遷移)	265
5.1.2	WAKE UP2動作 (STANDBY状態→IDLE状態への遷移)	267
5.2	CKON動作 (IDLE状態→STANDBY状態)	269
5.3	IDLE状態への遷移後について	270
5.4	POWER DOWN動作 (IDLE状態→SLEEP状態)	270
5.5	その他の状態遷移	271
5.5.1	送信手順例	271
5.5.2	受信手順例	271
5.5.3	CCA手順例	272
5.5.4	CSMA-CA手順例	272
5.5.5	キャリアブレーション手順例	272

第6章	機能設定手順例	273
6.1	送信出力パワー設定手順例	273
6.1.1	TX-FSKモード	273
6.1.2	TX-OFDMモード	274
6.2	送信時のRF周波数設定	275
6.3	受信時のRF周波数設定	275
第7章	ベースバンド機能使用上の注意	276
7.1	特定レジスタの読み出しに関する注意事項	276
第8章	周辺回路接続図	277
第9章	電気的特性	278
9.1	絶対最大定格	278
9.2	推奨動作条件	279
9.3	水晶発振子仕様	279
9.4	DC特性	280
9.4.1	デジタル入出力端子	280
9.5	AC特性	281
9.5.1	シリアル・ペリフェラル・インタフェース (SPI)	281
9.6	電源電流特性	282
9.7	トランシーバ部受信特性	283
9.7.1	受信感度 (SUN FSK)	283
9.7.2	隣接チャンネル抑圧 (SUN FSK)	284
9.7.3	次隣接チャンネル抑圧 (SUN FSK)	285
9.7.4	受信特性 (SUN FSK)	286
9.7.5	受信感度 (SUN OFDM)	286
9.7.6	隣接チャンネル抑圧 (SUN OFDM)	286
9.7.7	次隣接チャンネル抑圧 (SUN OFDM)	287
9.7.8	同一チャンネル抑圧 (SUN OFDM)	287
9.7.9	受信特性 (SUN OFDM)	287
9.8	トランシーバ部送信特性	288
9.8.1	送信特性 (SUN FSK)	288
9.8.2	送信特性 (SUN OFDM)	289
9.9	データレート仕様	290
9.10	準拠規格	290
第10章	外形図	291

付録A 改版履歴.....	292
A.1 本版で改訂された主な箇所.....	292

第1章 概 説

1.1 特長

- 完全統合型ラジオトランシーバ
 - 以下の各国の周波数帯域を含む、863~928MHz に対応
 - 欧州バンド : 863~870, 870~876MHz
 - 北米バンド : 902~928MHz
 - ブラジルバンド : 902~907.5, 915~928MHz
 - 日本バンド : 920~928MHz

- 物理層
 - SUN FSK
 - シンボル・レート : 10, 20, 50, 100, 150, 200kbps
 - 前方誤り訂正 (FEC)
 - 変調方式 : 2FSK, GFSK

 - SUN OFDM
 - Option 1 : 100, 200, 400, 800, 1200, 1600, 2400kbps
 - Option 2 : 50, 100, 200, 400, 600, 800, 1200kbps
 - Option 3 : 25, 50, 100, 200, 300, 400, 600kbps
 - Option 4 : 12.5, 25, 50, 100, 150, 200, 300kbps

- MAC
 - 32 ビット・タイマ
 - 送信 RAM、受信 RAM : それぞれ 2K バイト
 - 割り込み機能
 - 16/32 ビット自動 CRC 機能
 - 自動 ACK 返信が可能なアドレス・フィルタ機能
 - アンテナ・ダイバーシティ
 - 自動 CSMA-CA 機能

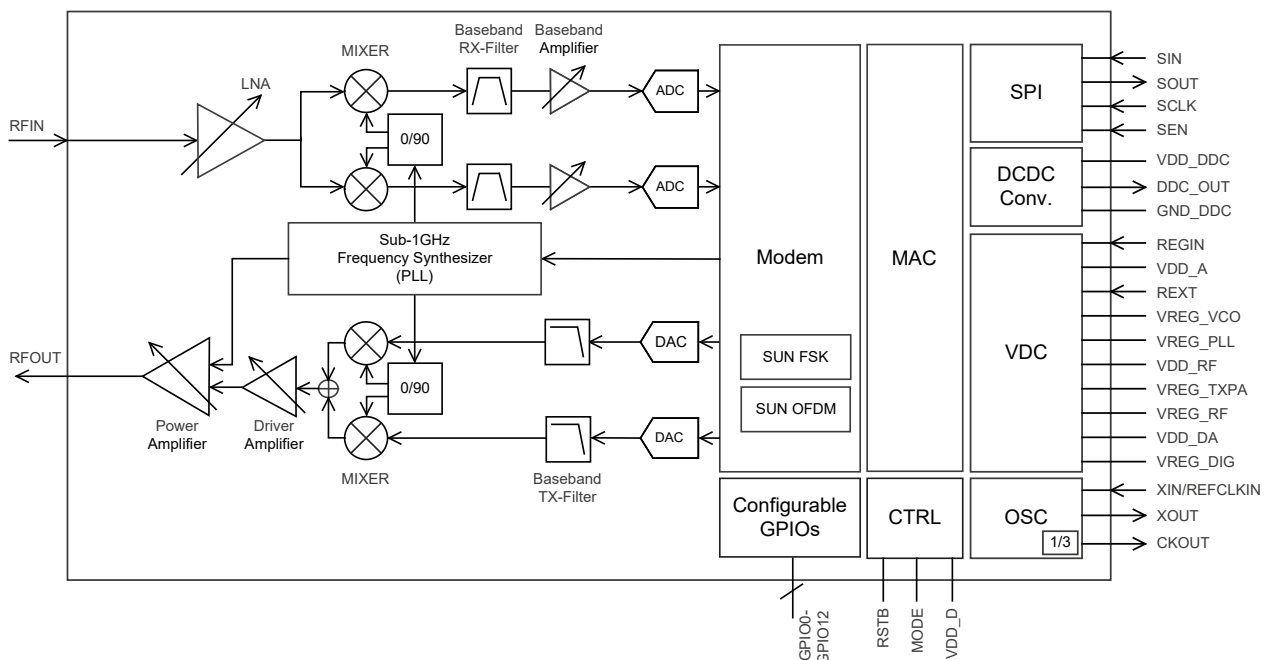
- トランシーバ制御インタフェース
 - シリアル・ペリフェラル・インタフェース (SPI)

- ラジオトランシーバ
 - +15dBm まで送信パワー出力を設定可能 (SUN FSK 時)
 - +11dBm まで送信パワー出力を設定可能 (SUN OFDM 時)
 - 受信感度を-109dBm まで下げることが可能 (50kbps, SUN FSK 受信時)
 - 受信感度を-119dBm まで下げることが可能 (Option 4, MCS0, SUN OFDM 時)
 - 受信信号強度のインジケータ、エネルギー検出機能搭載
 - 内部電圧レギュレータを内蔵
 - 動作電圧 : 2.7~3.6V
 - 低消費電力 (ベースバンド処理を含む)
 - スタンバイ状態 : 0.5 μ A
 - 受信動作時 : 16.7mA (SUN FSK (2GFSK), 100kbps 時)
 - 受信動作時 : 21.5mA (SUN OFDM, Option 1, MCS6 時)
 - 送信動作時 : 62.0mA (SUN FSK, +15dBm 出力パワー時)
 - 送信動作時 : 68.0mA (SUN OFDM, +10dBm 出力パワー時)
 - 動作周囲温度 : -40~+85°C
 - パッケージ : 40 ピン HVQFN (6mm × 6mm, 0.5mm ピッチ)

1.2 用途

- スマートメータ（電気、ガス、水道）対応製品
IEEE 802.15.4, Wi-SUN™
- HEMS コントローラ
- セキュリティ&ビル・オートメーション
- 産業用モニタ&制御
- ワイヤレスセンサネットワーク
- 蓄電アプリ等

1.3 ブロック図



• 受信経路

受信アーキテクチャは低IF変換を使用しており、受信RF信号は低ノイズ増幅器（LNA）によって増幅され、直交データ（IおよびQ）で中間周波数（IF）にダウンコンバートされます。

受信経路は、高い線形性、プログラム可能なゲインを備えた広いダイナミックレンジ、およびサブGHz帯域でのロバストな動作を保証する高次のオンチップチャネルフィルタリングを有しています。自動利得制御（AGC）アルゴリズムは、高速応答時間用に最適化されたデジタル回路からのフィードバック制御ループを使用しています。

LNAおよびベースバンドアンプ（BBA）の出力にあるパワーディテクタにより、LNAおよびBBAゲインを最適に調整して、IM3、チャネル選択性、および受信感度性能を最適化できます。

- 送信経路

FSK変調の送信機は、RFシンセサイザ周波数の直接変調合成に基づいています。パワーアンプ（PA）入力はRFシンセサイザによって生成されたローカル信号であり、出力レベルは1dBステップのアンテナレベルで-15dBm～+15dBmの範囲で設定できます。

OFDM変調の送信機は、完全統一体型のゼロIF送信機を使用しています。ベースバンド送信データは、モデムブロックでデジタル変調され、送信経路にてSub-GHz帯域にアップコンバートされます。送信機パスは、信号フィルタリング、I/Qアップ変換、高出力パワーアンプ（PA）、およびRFフィルタリングで構成されます。OFDM変調の出力レベルは、1dBステップのアンテナレベルで-19dBm～+11dBmの範囲で設定できます（MCSレベルによって送信最大出力パワーは異なります）。

- 周辺回路

- DC-DC コンバータ（DDC）は、87%の電力変換効率の DC-DC コンバータ（DDC）を搭載しています。

- XIN と XOUT の間に水晶を接続してください。

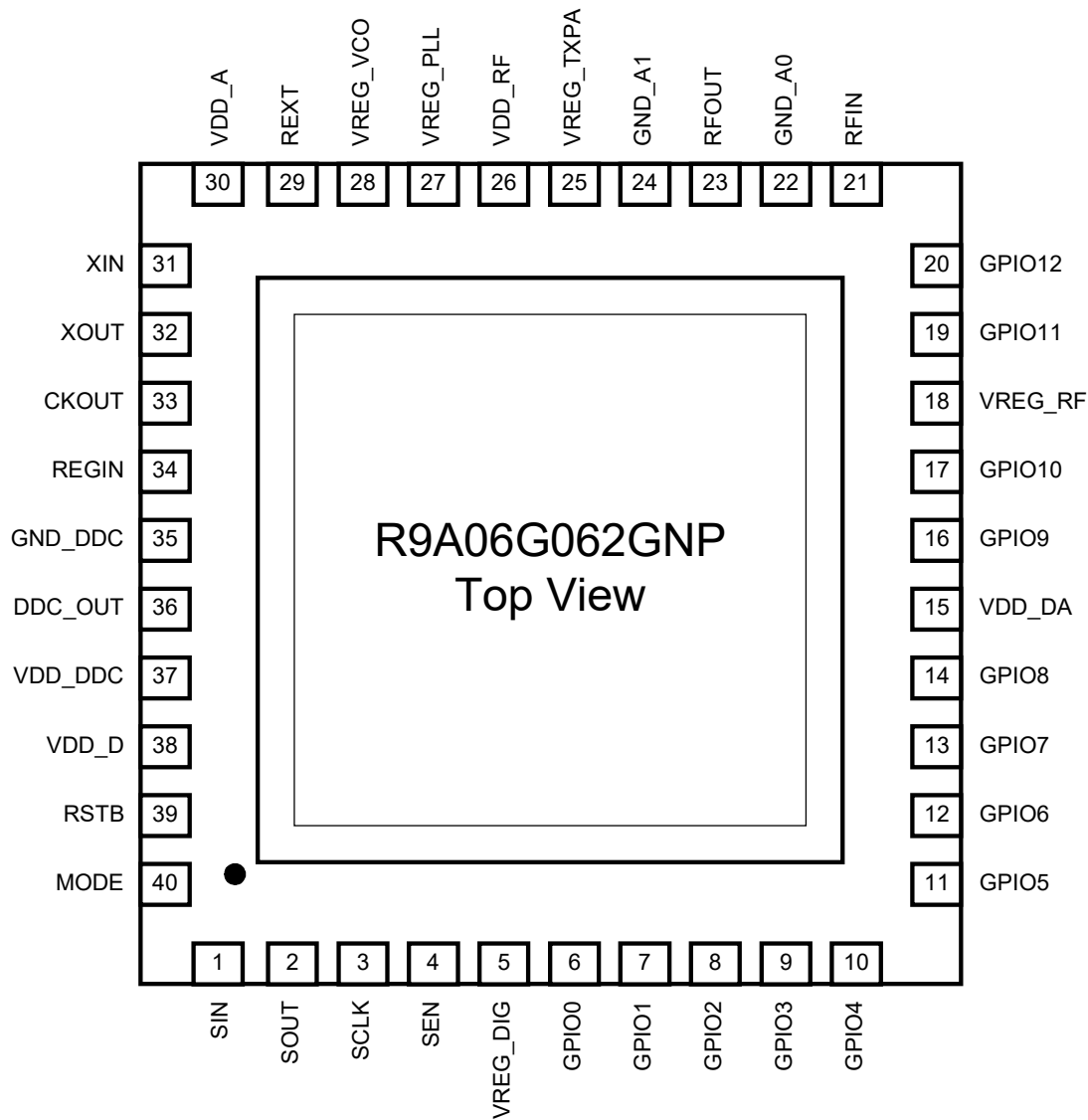
または、外部クロック信号を使用して、XIN（または XOUT）に適切な入力信号レベルを供給することで使用できます。

- 標準の 4 ピン SPI バスで外部 MCU と通信します。

- 13 本の汎用 I/O（GPIO）が利用できます。

1.4 パッケージとピン配置図

- 40ピン・プラスチックHVQFN（6×6mm、0.5mmピッチ、NiPdAu基板）



注意 Exposed Padはグラウンドに接続してください。

1.5 端子機能

No.	端子名	I/O	アナログ(A)/デジタル(D)	説明
1	SIN	I	D	シリアル入力
2	SOUT	O	D	シリアル出力
3	SCLK	I	D	シリアルクロック
4	SEN	I	D	シリアルイネーブル
5	VREG_DIG	O	A	デジタル回路用内部安定化アナログ電源出力 (1.1V)
6	GPIO0	I/O	D	汎用デジタルI/O 0
7	GPIO1	I/O	D	汎用デジタルI/O 1
8	GPIO2	I/O	D	汎用デジタルI/O 2
9	GPIO3	I/O	D	汎用デジタルI/O 3
10	GPIO4	I/O	D	汎用デジタルI/O 4
11	GPIO5	I/O	D	汎用デジタルI/O 5
12	GPIO6	I/O	D	汎用デジタルI/O 6
13	GPIO7	I/O	D	汎用デジタルI/O 7
14	GPIO8	I/O	D	汎用デジタルI/O 8
15	VDD_DA	I	A	デジタル/アナログ回路用電源 (3.3V)
16	GPIO9	I/O	D	汎用デジタルI/O 9
17	GPIO10	I/O	D	汎用デジタルI/O 10
18	VREG_RF	O	A	RF用内部安定化アナログ電源出力 (1.1V)
19	GPIO11	I/O	D	汎用デジタルI/O 11
20	GPIO12	I/O	D	汎用デジタルI/O 12
21	RFIN	I	A	RX入力
22	GND_A0	I	A	アナロググランド
23	RFOUT	O	A	TX出力
24	GND_A1	I	A	アナロググランド
25	VREG_TXPA	O	A	パワーアンプ用内部安定化アナログ電源出力 (1.1V)
26	VDD_RF	I	A	RF用電源 (3.3V)
27	VREG_PLL	O	A	PLL用内部安定化アナログ電源出力 (1.1V)
28	VREG_VCO	O	A	VCO用内部安定化アナログ電源出力 (1.1V)
29	REXT	I	A	外部リファレンス抵抗接続端子
30	VDD_A	I	A	アナログ回路用電源 (3.3V)
31	XIN	I	A	水晶発振子用入力
32	XOUT	I/O	A	水晶発振子用出力
33	CKOUT	O	A	クロック出力 (16 MHz)
34	REGIN	I	A	DDC_OUT電源入力 (1.4~1.8V)
35	GND_DDC	I	A	DC-DCコンバータ用グランド
36	DDC_OUT	O	A	DC-DCコンバータ電圧出力 (1.4~1.8V)
37	VDD_DDC	I	A	DC-DCコンバータ用電源 (3.3V)
38	VDD_D	I	A	デジタル回路用3.3V電源
39	RSTB	I	D	リセットバー入力 (アクティブ・ロウ)
40	MODE	I	D	モードスイッチ入力 (ロウ・レベル固定)
	EPAD			Exposed Pad (グランドに接続してください)

1.6 発注情報

R9A06G062の発注型名一覧を表1-1に示します。

表1-1 発注型名一覧

発注型名	梱包仕様	用途区分
R9A06G062GNP#AC1	トレイ	産業

第2章 端子機能

2.1 端子機能

2.1.1 デジタル端子

(1) RSTB

ロウ・レベル・アクティブのシステム・リセット入力端子です。

ロウ・レベル入力でリセットがかかり、ハイ・レベル入力でリセットが解除されます。

(2) SIN, SCLK, SEN

シリアル・ペリフェラル・インタフェース (SPI) のデータ入力 (SIN)、クロック入力 (SCLK)、スレーブ・イネーブル入力 (SEN) として機能します。SENはロウ・レベルでアクティブ (シリアル通信可) となります。プルアップ・プルダウン選択レジスタ3 (PULLSEL3) の設定により、端子ごとに内蔵プルアップまたはプルダウン抵抗を使用できます。

(3) SOUT

シリアル・ペリフェラル・インタフェース (SPI) のデータ出力として機能します。

(4) GPIO0-GPIO12

入出力ポート端子です。入出力ポートのほかに、INTOUT0割り込み出力、CTX信号出力、CPS信号出力、CSD信号出力機能があります。

プルアップ・プルダウン選択レジスタ0-3 (PULLSEL0-3) の設定により、端子ごとに内蔵プルアップまたはプルダウン抵抗を使用できます。

ポート出力駆動能力切り替えレジスタ0, 1 (GPIODRV0, 1) の設定により、端子ごとに駆動能力を切り替えることができます。

(a) 入出力ポートモード

ポート方向レジスタ 0, 1 (GPIODIR0, 1) の設定により、端子ごとに入力ポートまたは出力ポートを指定できます。出力ポートに指定した場合、ポートデータレジスタ 0, 1 (GPIODATA0, 1) に設定した値が出力できます。

(b) ポート機能

GPIO 機能選択レジスタ 0-6 (BBGPIOFUNCSEL0-6) の設定により、端子ごとに機能を選択できます。

(5) MODE

モード切り替え入力端子です。オープンにするか、基板上のGNDと接続して、ロウ・レベル固定としてください。

(6) XIN, XOUT

基準クロック用の端子です。

• 水晶発振子接続の場合

XIN, XOUT 端子に、48MHz 水晶発振子を接続してください。

ご使用される水晶発振子につきましては「9.3 水晶発振子仕様」の特性が満たされることを推奨します。

• 外部クロック接続の場合

XIN 端子に、DC カット・コンデンサを介して 48MHz の外部クロック、0.8Vpp 以上の Clipped Sine 波形を入力してください。

本接続の場合、XOUT 端子は、1nF のデカップリング・コンデンサを介して、基板上の GND に接続してください。

(7) CKOUT

16MHz クロック出力ポートとして機能します。

2.1.2 アナログ端子

(1) RFIN

RF トランシーバの入力端子 (RF 受信) です。

(2) RFOUT

RF トランシーバの出力端子 (RF 送信) です。

2.1.3 電源端子

端子の処理方法は、「8章 周辺回路接続図」を参照してください。

(1) VDD_DA, VDD_RF, VDD_A, VDD_D, VDD_DDC

正電源供給端子です

(2) GND_A0, GND_A1, GND_DDC

グラウンド電位端子です。

(3) VREG_DIG, VREG_RF, VREG_TXPA, VREG_PLL, VREG_VCO

内部安定化アナログ電源出力電圧端子です。

バイパス・コンデンサを介して、基板上の GND に接続してください。

(4) REGIN, DDC_OUT

REGIN 端子は RF 電源入力、DDC_OUT 端子は RF 電源出力です。

内蔵 DC-DC コンバータでスイッチングされた電源が DDC_OUT 端子に出力されます。インダクタとコンデンサで平滑化して電圧を降圧し、REGIN 端子に供給して使用します。

(5) REXT

外部基準抵抗の接続端子です。

備考 ノイズ対策およびラッチアップ対策として、VDD-GNDライン間へのバイパス・コンデンサを最短距離で、かつ比較的太い配線を使って接続してください。

2.2 未使用端子の処理

表2-1に各端子の未使用時の処理を示します。

表2-1 各端子の未使用時の処理

端子名称	入出力	未使用時の推奨処理方法
GPIO0-GPIO12	入出力	入力時：オープンにするか、個別に抵抗を介して、VDD_DDCに接続してください。 出力時：オープンにしてください。
CKOUT	出力	オープンにしてください。

第3章 ベースバンド機能

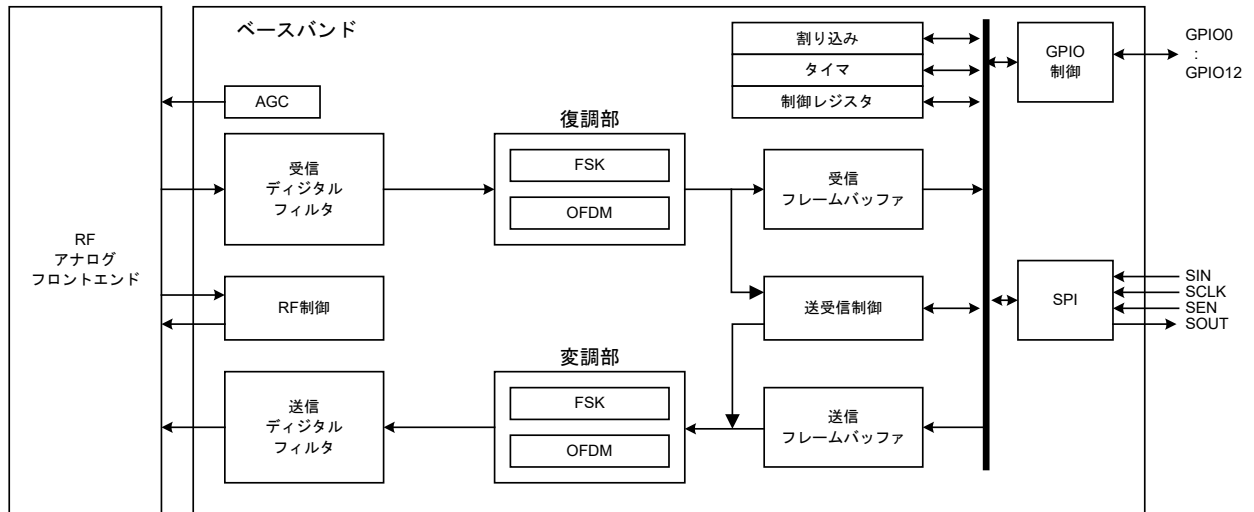
以下に示すベースバンド機能をハードウェアで内蔵しています。

- 32 ビット・タイマ
- 送信 RAM
- 受信 RAM
- フレーム構成
- フィルタ機能
- 割り込み
- CRC 演算回路
- 自動 ACK 返信機能
- 自動 ACK 受信機能
- 自動受信切り替え機能
- 自動 CSMA-CA 機能
- ポート制御

3.1 ベースバンド・ブロック図

図3-1にベースバンド・ブロック図を示します。

図3-1 ベースバンド・ブロック図

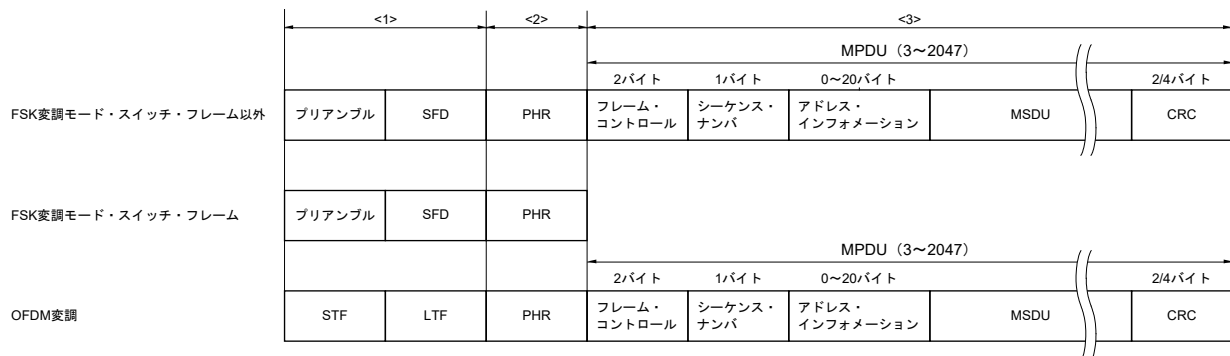


3.2 フレーム構成

3.2.1 送信フレーム構成

送信フレームを自動的に生成し、出力します。図3-2に送信フレーム構成を示します。FSK変調モード・スイッチ・フレームかFSK変調モード・スイッチ・フレーム以外かで、PHR以降のフレーム構成が変わります。

図3-2 送信フレーム構成



SFD : Start of Frame Delimiter

PHR : PHY Header

STF : Short Training field

LTF : Long Training field

MSDU : MAC Service Data Unit

CRC : Cyclic Redundancy Check

MPDU : MAC Protocol Data Unit

<1> FSK変調時 : Preamble+SFD

OFDM変調時 : STF+LTF

<2> PHR : FSK変調時、OFDM変調時で内容が違います。3.2.2項を参照してください。

<3> MPDU : 最小3バイト、最大2047バイトのデータ。送信RAMに書かれたデータを順次出力します。

なお、最後の2バイトまたは4バイトは送受信モード・レジスタ2のNOCRCビットが = 0の場合、CRC演算回路で生成されたCRCデータが自動的に付加されます。

- フレーム・コントロール : 2バイト

- Frame Type フィールド (ビット 2-0)

- 000B : ビーコン・フレーム

- 001B : データ・フレーム

- 010B : ACK フレーム

- 011B : MAC コマンド・フレーム

- 100B-111B : 予約

- Security Enabled フィールド (ビット 3)

- Frame Pending フィールド (ビット 4)

- AR フィールド (ビット 5)

- PAN ID Compression フィールド (ビット 6)

- Destination Addressing Mode フィールド (ビット 10, 11)

- Source Addressing Mode フィールド (ビット 14, 15)

- Frame Version フィールド (ビット 12, 13)

- シーケンス・ナンバ : 1 バイト
- アドレス・インフォメーション : 送信先、送信元の PAN ID とアドレス
- MSDU (MAC ペイロード) : フレーム・ペイロード
- CRC : 2 バイトまたは 4 バイトのフレーム CRC 検査列

3.2.2 PHRの構成

(1) FSK変調モード・スイッチ・フレーム以外の場合

FSK変調時のモード・スイッチ・フレーム以外の場合のPHRのビット構成を図3-3に示します。

PHRの各ビットは相当するレジスタに設定した値を自動的に取り込み送信します。

図3-3 FSK変調時のモード・スイッチ・フレーム以外の場合のPHRのビット構成

ビット並び	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
ビット構成	MS	R1	R0	FCS	DW	L10	L9	L8	L7	L6	L5	L4	L3	L2	L1	L0

MS : Mode Switch

モード・スイッチ有効ビットの値 : モード・スイッチ・フレーム送信レジスタのビット0
本ビットの値が0のとき、以下の値を自動送信します。

R1, R0 : Reserved

00B固定

FCS : FCS Type

FSKCRCビット数切り替えビットの値 : FSK制御レジスタ1のビット2

DW : Data Whitening

FSKDW有効ビットの値 : FSK制御レジスタ1のビット3

L10-L0 : Frame Length

送信フレーム・レングス・レジスタの値 : 送信フレーム・レングス・レジスタのビット10-0

(2) FSK変調モード・スイッチ・フレームの場合

モード・スイッチ・フレームの場合のPHRのビット構成を図3-4に示します。

PHRの各ビットは相当するレジスタに設定した値を自動的に取り込み送信します。

ハードウェア上はレジスタ値を送信するのみでChecksumやParity Check機能は搭載しておりません。

図3-4 FSK変調時のモード・スイッチ・フレームの場合のPHRのビット構成

ビット並び	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
ビット構成	MS	M1	M0	FEC	NEWMODE						B3	B2	B1	B0	PC	

MS : Mode Switch

モード・スイッチ有効ビットの値 : モード・スイッチ・フレーム送信レジスタのビット0
本ビットの値が1のとき、以下の値を自動送信します。

M1、M0 : Mode Switch Parameter Entry

モード・スイッチ・フレーム送信レジスタのビット1, 2

FEC : NEWMODE FEC

モード・スイッチ・フレーム送信レジスタのビット3

NEWMODE : NEWMODE

モード・スイッチ・フレーム送信レジスタのビット4-10

B3-B0 : Checksum

モード・スイッチ・フレーム送信レジスタのビット11-14

PC : Parity Check

モード・スイッチ・フレーム送信レジスタのビット15

(3) OFDM変調の場合

OFDM変調時のPHRのビット構成を図3-5に示します。

PHRの各ビットは相当するレジスタに設定した値を自動的に取り込み送信します。

図3-5 OFDM変調時のPHRのビット構成

ビット並び	0	1	2	3	4	5	6	7
ビット構成	RATE4	RATE3	RATE2	RATE1	RATE0	R0	L10	L9

ビット並び	8	9	10	11	12	13	14	15
ビット構成	L8	L7	L6	L5	L4	L3	L2	L1

ビット並び	16	17	18	19	20	21	22	23
ビット構成	L0	R1	R2	SCBR1	SCBR0	R3	HCS7	HCS6

ビット並び	24	25	26	27	28	29	30	31
ビット構成	HCS5	HCS4	HCS3	HCS2	HCS1	HCS0	TAIL5	TAIL4

ビット並び	32	33	34	35
ビット構成	TAIL3	TAIL2	TAIL1	TAIL0

RATE4-RATE0 : Rate

RATE4, RATE3 : 00B固定

RATE2-RATE0 : OFDMPHR送信レジスタ0のビット2-0

R0 : Reserved

0B固定

L10-L0 : Frame Length

送信フレーム・レングス・レジスタの値 : 送信フレーム・レングス・レジスタのビット10-0

R2, R1 : Reserved

00B固定

SCBR1-SCRB0 : Scrambler

OFDMPHR送信レジスタ0のビット4, 3

R3 : Reserved

0B固定

HCS7-HCS0 : HCS

自動で計算して送信される。

TAIL5-TAIL0 : Tail

000000B固定

3.3 ベースバンド割り込み

割り込み要因を表3-1に示します。

表3-1に示す割り込みの中で、INTOUT0割り込み許可レジスタ0~7で許可に設定した割り込み要因ビットのうち、1ビット以上の1があれば、INTOUT0を選択したGPIO端子よりハイ・レベルを出力します。要因ビットがすべて0であれば、ロウ・レベルを出力します。INTOUT0の出力端子はGPIO0~12を任意に設定できます。

割り込み要求の発生は割り込み要因許可ビットにて許可/禁止の設定ができます。

またINTOUT0の出力値の極性は、INTOUT0SELビットで切り替え可能です。

受信完了同期クリアビットを1に設定することで、受信完了時に下記の割り込み要因フラグを自動的にクリアできます。

- フレーム・レングス
- アドレス・フィルタ
- 受信開始
- AGC 完了
- プリアンブル検出
- キャリアセンス

(割り込みの動作)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

割り込み要因ビット = 1かつ割り込み許可ビット = 1の場合、INTOUT端子からハイ・レベルを出力します (INTOUT0出力極性切り替えビット = 0のとき)。

割り込み要因許可ビットにより、割り込み要求信号の許可/禁止を設定できます。割り込み要因許可ビット = 0の場合は、割り込み要求が発生しても割り込み要因ビットは1になりません。

(受信キャンセル割り込みについて)

受信キャンセル割り込み発生時は受信を中断し、中断後は自動的にIDLE状態を経由して、再度受信待ちに遷移します。フレーム受信途中で中断されるため、受信完了割り込みは発生しません。

受信キャンセル割り込みの発生要因は以下です。

- アドレス・フィルタによる受信破棄
- 不正フレーム・レングス値機能による受信破棄
- 受信レベルフィルタによる受信破棄
- 受信オーバーライトによる受信破棄
- 受信レベル異常検知機能 (フレーム受信中に無信号状態になるなどの通信異常の検知) による受信破棄
- OFDM 変調時の HCS エラー発生による受信破棄
- 受信禁止時の受信キャンセルによる受信破棄
- MS フレームキャンセル機能による受信破棄

なお、受信レベル異常検知機能 (フレーム受信中に無信号状態になるなどの通信異常の検知) による受信キャンセル割り込み時は受信レベル割り込みも同時に発生します。また、再受信の開始バンクはキャンセルが発生した受信RAMバンクから開始します。受信キャンセル割り込みが発生した受信フレームによって、受信データありに変化した受信RAMバンクnステータス・ビット (nは受信データありに変化したバンクの番号) の値は受信許可にクリアされます。

受信キャンセル同期クリアビットを1に設定することで、受信キャンセル時に下記の割り込み要因フラグを自動的にクリアできます。

- バンク 0 受信完了
- バンク 1 受信完了
- フレーム・レンゲス
- アドレス・フィルタ
- 受信開始
- 受信バイト数
- AGC 完了
- プリアンブル検出
- キャリアセンス

表3-1 割り込み要因一覧表

番号	割り込み名	割り込み発生条件
1	タイマ・コンペア0	32ビット・タイマの値とタイマ・コンペア・レジスタ0, 1 (BBTCOMP0REG0, BBTCOMP0REG1)の値が一致したとき
2	タイマ・コンペア1	32ビット・タイマの値とタイマ・コンペア・レジスタ0, 1 (BBTCOMP1REG0, BBTCOMP1REG1)の値が一致したとき
3	タイマ・コンペア2	32ビット・タイマの値とタイマ・コンペア・レジスタ0, 1 (BBTCOMP2REG0, BBTCOMP2REG1)の値が一致したとき
4	キャリアレーション完了	キャリアレーションが完了したとき
5	バンク0送信完了	バンク0の送信RAMデータを送信完了したとき
6	バンク1送信完了	バンク1の送信RAMデータを送信完了したとき
7	フレーム同期送信完了	SFDなどのフレーム同期部を送信完了したとき
8	CSMA-CA完了	CSMA-CAシーケンスが完了したとき
9	バンク0受信完了	受信RAMバンク0がフルになったとき
10	バンク1受信完了	受信RAMバンク1がフルになったとき
11	フレーム・レングス	フレーム・レングスを受信したとき
12	アドレス・フィルタ ^注	アドレス一致を検出したとき
13	受信オーバーラン	受信RAMバンク0ステータス・ビット = 1にセットされたままの状態、再度受信RAMバンク0にデータ受信を開始したとき、または受信RAMバンク1ステータス・ビット = 1にセットされたままの状態、再度受信RAMバンク1にデータ受信を開始したとき
14	モード・スイッチ受信完了	モード・スイッチ・フレームを受信したとき
15	受信レベル	フレーム受信中に無信号状態になるなどの通信異常が発生したとき
16	フレーム送信完了	フレーム送信が完了したとき。 ただし、自動ACK受信モード有効時は、送信フレームにACK要求があれば送信完了時に割り込み要求は発生せず、ACK受信完了時またはACK受信タイムアウトしたとき
17	送信バイト数	設定したバイト数を送信回路に転送したとき
18	送信開始	SPI経由にて送信トリガを設定したとき
19	受信開始	SFD等のフレーム同期を検出したとき
20	フレーム受信完了	フレーム受信が完了したとき。 ただし、自動ACK返信モード有効時は、受信フレームにACK要求があれば受信完了時に割り込み要求は発生せず、ACK返信が完了したとき
21	受信バイト数	設定した受信バイト数を受信したとき
22	AGC完了	AGCが確定されたとき
23	CCA完了	CCAシーケンスが完了したとき
24	プリアンブル検出	プリアンブルを検出したとき
25	キャリアセンス	キャリアセンスを検出したとき
26	CCAリミット	CCA継続モードビットを1にした場合、CCAの連続回数が設定回数になったとき
27	CCAクリア	CCAを実施した結果クリアであったとき
28	自動受信タイムアウト	自動受信タイムアウト機能を有効にした状態で、受信フレームがなくタイムアウトしたとき
29	送信アンダーラン	送信RAMへの書き込み前に送信回路への送信データ転送が発生したとき
30	受信キャンセル	受信キャンセルが発生したとき

注. フレーム・レングスが短く、アドレス情報がないフレームや、アドレス情報が途中までのフレームでは、アドレス・フィルタ割り込みを発生せず、フレーム受信完了割り込みだけが発生することがあります。

3.4 ベースバンド機能を制御するレジスタ

ベースバンド機能は、次のレジスタで制御します。

- RF 開始レジスタ (BBRFCON)
- 送受信リセット・レジスタ (BBTXRXRST)
- 送受信モード・レジスタ 0 (BBTXRXMODE0)
- 送受信モード・レジスタ 1 (BBTXRXMODE1)
- RXDLE モードレジスタ (BBRXIDLE)
- 高速受信切り替えモードレジスタ (BBRXMODE)
- エンハンスド ACK モード・レジスタ (BBEACKMODE)
- 送受信ステータス・レジスタ 0 (BBTXRXST0)
- 送受信モード・レジスタ 2 (BBTXRXMODE2)
- 送受信モード・レジスタ 3 (BBTXRXMODE3)
- 送受信ステータス・レジスタ 1 (BBTXRXST1)
- 送受信制御レジスタ (BBTXRXCON)
- CSMA 制御レジスタ 0 (BBCSMACON0)
- 送受信ステータス・レジスタ 2 (BBTXRXST2)
- 送受信モード・レジスタ 4 (BBTXRXMODE4)
- CSMA 制御レジスタ 1 (BBCSMACON1)
- CSMA 制御レジスタ 2 (BBCSMACON2)
- PAN 識別子レジスタ 0 (BBPANID0)
- ショート・アドレス・レジスタ 0 (BBSHORTAD0)
- 拡張アドレス・レジスタ 0 (BBEXTENDAD0-BBEXTENDAD03)
- タイマ読み出しレジスタ 0, 1 (BBTIMEREAD0-BBTIMEREAD1)
- タイマ・コンペア・レジスタ 0, 1 (BBTCOMP0REG0-BBTCOMP2REG0, BBTCOMP0REG1-BBTCOMP2REG1)
- タイムスタンプ・レジスタ 0, 1 (BBTSTAMP0, BBTSTAMP1)
- タイマ制御レジスタ (BBTIMECON)
- バックオフ・ピリオド・レジスタ (BBBOFFPROD)
- タイミングパラメータ用データレート設定レジスタ (BBPARAMRATE)
- 拡張データレート設定レジスタ (BBEXTRATE)
- CSMA 制御レジスタ 3 (BBCSMACON3)
- キャリブレーション・レジスタ (BBCAL)
- ACK 返信時間設定レジスタ (ACKRTNTIM)
- 自動受信切り替えコンペア・レジスタ (AUTORCVCNT)
- バックオフ周期レジスタ (BOFFPERIOD)
- CSMA-CA 用エンド・カウント・レジスタ (CSMAENDCOUNT)
- CSMA-CA 用スタート・カウント・レジスタ (CSMASTACOUNT)
- 通信ステータス・レジスタ 1 (COMSTATE1)
- 通信ステータス・レジスタ 2 (COMSTATE2)
- 評価制御レジスタ (BBEVAREG)
- バックオフ・ピリオド・レジスタ 2 (BBBOFFPROD2)

- 通信ステータス・レジスタ 3 (COMSTATE3)
- ACK 受信待ち時間設定レジスタ (ACKRCVWIT)
- 再送開始コンペア・レジスタ (RETRNWUP)
- 受信フレーム・レングス・レジスタ (BBRXFLEN)
- 受信データ・カウンタレジスタ (BBRXCOUNT)
- 送信フレーム・レングス・レジスタ (BBTXFLEN)
- 周波数設定レジスタ (BBFREQ)
- IF 周波数設定レジスタ (BBIFSET)
- IF 周波数オフセット設定レジスタ 0 (BBIFOFS0)
- IF 周波数オフセット設定レジスタ 1 (BBIFOFS1)
- SX シフト周波数設定レジスタ (BBSXSFTFREQ)
- CCA 時間レジスタ (CCATIME)
- 送信データ・カウンタレジスタ (BBTXCOUNT)
- 外部素子制御レジスタ 0 (BBEXTCON0)
- 外部素子制御レジスタ 1 (BBEXTCON1)
- CTX セットタイミングレジスタ (BBCTXSET)
- CTX クリアタイミングレジスタ (BBCTXCLR)
- CPS セットタイミングレジスタ (BBCPSSET)
- CPS クリアタイミングレジスタ (BBCPSCLR)
- CSD セットタイミングレジスタ (BBCSDSET)
- CSD クリアタイミングレジスタ (BBCSDCLR)
- 受信バイト数割り込みコンペア・レジスタ (BBRCVINTCOMP)
- バックオフ・ピリオド総数レジスタ (BBBOPTOTAL)
- CCA 総数レジスタ (BBCCATOTAL)
- アドレス・フィルタ拡張アドレス制御レジスタ (BBADFCON)
- PAN 識別子レジスタ 1 (BBPANID1)
- ショート・アドレス・レジスタ 1 (BBSHORTAD1)
- 拡張アドレス・レジスタ 1 (BBEXTENDAD10-BBEXTENDAD13)
- 受信タイムアウト・レジスタ (BBTIMEOUT)
- INTOUT モードレジスタ (BBINTOUTMODE)
- INTOUT0 割り込み要因レジスタ 0 (BBINT0REQ0)
- INTOUT0 割り込み要因レジスタ 1 (BBINT0REQ1)
- INTOUT0 割り込み要因レジスタ 2 (BBINT0REQ2)
- INTOUT0 割り込み要因レジスタ 3 (BBINT0REQ3)
- INTOUT0 割り込み要因レジスタ 4 (BBINT0REQ4)
- INTOUT0 割り込み要因レジスタ 5 (BBINT0REQ5)
- INTOUT0 割り込み要因レジスタ 6 (BBINT0REQ6)
- INTOUT0 割り込み要因レジスタ 7 (BBINT0REQ7)
- INTOUT0 割り込み許可レジスタ 0 (BBINT0EN0)
- INTOUT0 割り込み許可レジスタ 1 (BBINT0EN1)
- INTOUT0 割り込み許可レジスタ 2 (BBINT0EN2)
- INTOUT0 割り込み許可レジスタ 3 (BBINT0EN3)

- INTOUT0 割り込み許可レジスタ 4 (BBINT0EN4)
- INTOUT0 割り込み許可レジスタ 5 (BBINT0EN5)
- INTOUT0 割り込み許可レジスタ 6 (BBINT0EN6)
- INTOUT0 割り込み許可レジスタ 7 (BBINT0EN7)
- INTOUT0 割り込み要因許可レジスタ 0 (BBINT0REQEN0)
- INTOUT0 割り込み要因許可レジスタ 1 (BBINT0REQEN1)
- INTOUT0 割り込み要因許可レジスタ 2 (BBINT0REQEN2)
- INTOUT0 割り込み要因許可レジスタ 3 (BBINT0REQEN3)
- INTOUT0 割り込み要因許可レジスタ 4 (BBINT0REQEN4)
- INTOUT0 割り込み要因許可レジスタ 5 (BBINT0REQEN5)
- INTOUT0 割り込み要因許可レジスタ 6 (BBINT0REQEN6)
- INTOUT0 割り込み要因許可レジスタ 7 (BBINT0REQEN7)
- 送信バイト数割り込みコンペアレジスタ (BBTRNINTCOMP)
- CCA モードレジスタ (BBCCAMODE)
- 受信モードレジスタ (BBRCVMODE)
- フレーム・レングス・キャンセル MIN 値レジスタ (BBFLCNCLMIN)
- フレーム・レングス・キャンセル MAX 値レジスタ (BBFLCNCLMAX)
- バイト数割り込みモードレジスタ (BBBYTEINTMODE)
- RSSI 結果レジスタ (BBRSSIRSLT)
- RCPI 結果レジスタ (BBRCPIRSLT)
- RSSI 結果 2 レジスタ (BBRSSIRSLT2)
- RCPI 結果 2 レジスタ (BBRCPIRSLT2)
- ED1 結果レジスタ (BBED1RSLT)
- ED2 結果レジスタ (BBED2RSLT)
- ED1 結果 2 レジスタ (BBED1RSLT2)
- ED2 結果 2 レジスタ (BBED2RSLT2)
- CCA クリアカウントレジスタ (BBCCACLRCOUNT)
- CCA リミット設定レジスタ (BBCCALIMIT)
- コンペア 0 設定経過時間レジスタ (BBPASSTIME0, BBPASSTIME1)
- フレーム同期電力値読み出しレジスタ (BBFSYNCPOWRD)
- フレーム同期電力値読み出し 2 レジスタ (BBFSYNCPOWRD2)
- RSSI 読み出しレジスタ (BBRSSIRD)
- RCPI 読み出しレジスタ (BBRCPIRD)
- RSSI 読み出し 2 レジスタ (BBRSSIRD2)
- RCPI 読み出し 2 レジスタ (BBRCPIRD2)
- 送受信方式選択レジスタ (BBTRXSEL)
- 受信方式確認レジスタ (BBRXMODEMONI)
- 受信禁止レジスタ (BBRXPROHIBIT)
- 受信フレームカウンタ制御レジスタ (BBRCVCOUNTCNT)
- 受信総数カウントレジスタ (BBRCVCOUNT)
- PHR エラー数カウントレジスタ (BBPHRERRCOUNT)
- 正常受信数カウントレジスタ (BBRCVOKCOUNT)

- 異常受信数カウントレジスタ (BBRCVNGCOUNT)
- フレーム同期電力値結果レジスタ (BBFSYNCPOWRSLT)
- フレーム同期電力値結果2 レジスタ (BBFSYNCPOWRSLT2)
- CCA データレート制御レジスタ (BBCCARATECON)
- FSK 制御レジスタ 0 (BBFSKCON0)
- FSK 制御レジスタ 1 (BBFSKCON1)
- FSK 制御レジスタ 2 (BBFSKCON2)
- FSKFEC 制御レジスタ (BBFSKFECCON)
- プリアンブル長設定レジスタ (BBPAMBL)
- プリアンブル設定レジスタ (BBPABL)
- TXSFD 設定レジスタ (BBTXSFD)
- TXSFD 設定レジスタ 2 (BBTXSFD2)
- TXSFD 設定レジスタ 3 (BBTXSFD3)
- TXSFD 設定レジスタ 4 (BBTXSFD4)
- SHR 制御レジスタ (BBSHRCON)
- RXSFD 設定レジスタ (BBRXSFD)
- RXSFD 設定レジスタ 2 (BBRXSFD2)
- RXSFD 設定レジスタ 3 (BBRXSFD3)
- RXSFD 設定レジスタ 4 (BBRXSFD4)
- モード・スイッチ・フレーム送信レジスタ (BBTXMODESW)
- モード・スイッチ・フレーム受信レジスタ (BBRXMODESW)
- モード・スイッチ・ステータス・レジスタ (BBMSSTATE)
- モード・スイッチ・フレーム制御レジスタ (BBMSCON)
- FSKCCA レベルスレッシュホールド設定レジスタ (BBFSKCCAVTH)
- FSK 受信レベルスレッシュホールド設定レジスタ (BBFSKLVLVTH)
- FSKPHR 受信レジスタ (BBFSKPHRRX)
- OFDM 制御レジスタ (BBOFDMCON)
- OFDMPHR 送信レジスタ 0 (BBOFDMPHRTX0)
- OFDMPHR 送信レジスタ 1 (BBOFDMPHRTX1)
- OFDMPHRACK 返信レジスタ 0 (BBOFDMPHRACK0)
- OFDMPHRACK 返信レジスタ 1 (BBOFDMPHRACK1)
- OFDMPHR 受信レジスタ 0 (BBOFDMPHRRX0)
- OFDMPHR 受信レジスタ 1 (BBOFDMPHRRX1)
- OFDMPHR 受信レジスタ 2 (BBOFDMPHRRX2)
- OFDMCCA レベルスレッシュホールド設定レジスタ (BBOFDMCCAVTH)
- OFDM 受信レベルスレッシュホールド設定レジスタ (BBOFDMMLVLVTH)
- ポート方向レジスタ 0 (GPIODIR0)
- ポート方向レジスタ 1 (GPIODIR1)
- ポートデータレジスタ 0 (GPIODATA0)
- ポートデータレジスタ 1 (GPIODATA1)
- ポート出力駆動能力切り替えレジスタ 0 (GPIODRV0)
- ポート出力駆動能力切り替えレジスタ 1 (GPIODRV1)

- プルアップ・プルダウン選択レジスタ 0 (PULLSEL0)
- プルアップ・プルダウン選択レジスタ 1 (PULLSEL1)
- プルアップ・プルダウン選択レジスタ 2 (PULLSEL2)
- プルアップ・プルダウン選択レジスタ 3 (PULLSEL3)
- GPIO 機能選択レジスタ 0 (BBGPIOFUNCSEL0)
- GPIO 機能選択レジスタ 1 (BBGPIOFUNCSEL1)
- GPIO 機能選択レジスタ 2 (BBGPIOFUNCSEL2)
- GPIO 機能選択レジスタ 3 (BBGPIOFUNCSEL3)
- GPIO 機能選択レジスタ 4 (BBGPIOFUNCSEL4)
- GPIO 機能選択レジスタ 5 (BBGPIOFUNCSEL5)
- GPIO 機能選択レジスタ 6 (BBGPIOFUNCSEL6)
- RX 時 OSC 設定レジスタ (BBRXOSC)
- NEWMODE 送信制御レジスタ (BBNMTXCON)
- NEWMODE 送信 SX シフト周波数設定レジスタ (BBNMTXSXSFTFREQ)
- NEWMODE 送信周波数設定レジスタ (BBNMTXFREQ)
- NEWMODE 送信 FSK 制御レジスタ 0 (BBNMTXFSKCON0)
- NEWMODE 送信 FSK 制御レジスタ 1 (BBNMTXFSKCON1)
- NEWMODE 送信 FSK プリアンブル長設定レジスタ (BBMSPAMBL)
- NEWMODE 受信制御レジスタ 0 (BBNMRXCON0)
- NEWMODE 受信制御レジスタ 1 (BBNMRXCON1)
- NEWMODE 受信制御レジスタ 2 (BBNMRXCON2)
- NEWMODE 受信周波数設定レジスタ (BBNMRXBBFREQ)
- NEWMODE 受信 FSK 制御レジスタ 0 (BBNMRXFSKCON0)
- NEWMODE 受信 FSK 制御レジスタ 1 (BBNMRXFSKCON1)
- NEWMODE 受信 OFDM 制御レジスタ (BBNMRXOFDMCON)
- バージョンコード・リード制御レジスタ (VERCNT)
- バージョン・レジスタ (VERR0-VERR7)

3.4.1 RF開始レジスタ (BBRFCON)

RF機能有効ビットを1にすることでRF機能を有効にできます。

キャリブレーション制御ビットを1にすることで、キャリブレーションを有効にします。キャリブレーション完了後は0にしてください。

レジスタアクセス領域切り替えビットにより、0600H~0FFFH番地の内容が変わります (図3-7)。

STANDBY遷移許可ビットにより、STANDBY状態への遷移を許可します。IDLE状態からSTANDBY状態へ遷移する際に1にします。

リセット信号の発生により、01Hになります。

図3-6 RF開始レジスタ (BBRFCON) のフォーマット

アドレス : 0000H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
BBRFCON	0	0	STANDBY EN	0	REG ACCESS	CSONSET	0	RFSTART

STANDBY EN	STANDBY遷移許可ビット
0	STANDBY状態への遷移を許可します。
1	IDLE状態からSTANDBY状態へ遷移する際に1にします。

REG ACCESS	レジスタアクセス領域切り替えビット
0	0600H~0FFFH番地の内容が変わります。
1	

CSONSET	キャリブレーション制御ビット
0	キャリブレーション無効
1	キャリブレーション有効

RFSTART	RF機能有効ビット
0	RF機能無効
1	RF機能有効

注意 ビット7, 6, 4, 1には、0を設定してください。

図3-7 レジスタアクセス領域切り替えビットによる領域切り替わり

アドレス	レジスタアクセス領域切り替えビット = 0	レジスタアクセス領域切り替えビット = 1
0 0 0 0 ~ 0 0 F F	レジスタ領域 (バンクなし)	
0 1 0 0 ~ 0 1 F F		
0 2 0 0 ~ 0 2 F F		
0 3 0 0 ~ 0 3 F F		
0 4 0 0 ~ 0 4 F F		
0 5 0 0 ~ 0 5 F F		
0 6 0 0 ~ 0 6 F F	レジスタ領域 (バンク0)	レジスタ領域 (バンク1)
0 7 0 0 ~ 0 7 F F		
0 8 0 0 ~ 0 8 F F		送受信RAM (2Kバイト) ライト時 = 送信RAM値 リード時 = 受信RAM値
0 9 0 0 ~ 0 9 F F		
0 A 0 0 ~ 0 A F F		
0 B 0 0 ~ 0 B F F		
0 C 0 0 ~ 0 C F F		
0 D 0 0 ~ 0 D F F		
0 E 0 0 ~ 0 E F F		
0 F 0 0 ~ 0 F F F		

3.4.2 送受信リセット・レジスタ (BBTXRXRST)

RF通信を停止するレジスタです。

RF通信停止ビットを1にすることで送信、受信、CCA、およびキャリブレーション中の処理を中断させることができます（中断後はIDLE状態）。また、自動ACK返信、自動受信切り替えモード機能の処理もキャンセルされます。なお、本ビットは常に0が読み出されます。ただし、各レジスタの設定値は保持されます。

リセット信号の発生により、00Hになります。

図3-8 送受信リセット・レジスタ (BBTXRXRST) のフォーマット

アドレス : 0001H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBTXRX RST	0	0	0	0	0	0	0	RFSTOP

RFSTOP	RF通信停止ビット
0	何もしない (RF通信有効状態)
1	RF通信を中断する (中断後はIDLE状態)

注意 ビット7-1には、0を設定してください。

3.4.3 送受信モード・レジスタ0 (BBTXRXMODE0)

RF送受信の各種モードを設定するレジスタです。

自動ACKモード許可ビットにより、受信完了後に自動ACK返信動作を行うか否か選択できます。

自動受信切り替えモード0許可ビットにより、送信完了後、自動的に受信状態に移行するように設定できます。

自動受信切り替えモード1許可ビットにより、受信完了後、自動的に受信状態に移行するように設定できます。ただし、自動ACKモード許可ビットを1（許可）にしている場合で、ACK返信の条件がそろっているときACK返信が優先されます。

バッテリー・ライフ・エクステンション・モード・ビットにより、CSMA-CA処理の際の分岐条件のバッテリー・ライフ・エクステンション・モードを有効に設定できます。

ビーコン・モード・ビットにより、ノンビーコン・モード／ビーコン・モードの切り替えができます。

intraPAN有効ビットにより、アドレス・フィルタ有効時の受信フレームのintraPANビットの有効／無効を設定できます。

リセット信号の発生により、00HIになります。

図3-9 送受信モード・レジスタ0 (BBTXRXMODE0) のフォーマット

アドレス : 0002H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBTXRX MODE0	INTRAPAN EN	BEACON	BATLIFE EXT	AUTORCV1	AUTORCV0	AUTOACK EN	0	0
INTRAPAN EN	intraPAN有効ビット							
0	intraPAN無効							
1	intraPAN有効							
BEACON	ビーコン・モード・ビット							
0	ノンビーコン・モード							
1	ビーコン・モード							
BATLIFE EXT	バッテリー・ライフ・エクステンション・モード・ビット							
0	バッテリー・ライフ・エクステンション・モード無効							
1	バッテリー・ライフ・エクステンション・モード有効							
AUTORCV1	自動受信切り替えモード1許可ビット (受信→受信)							
0	自動受信切り替え無効							
1	自動受信切り替え許可							
AUTORCV0	自動受信切り替えモード0許可ビット (送信→受信)							
0	自動受信切り替え無効							
1	自動受信切り替え許可							
AUTOACK EN	自動ACKモード許可ビット							
0	自動ACK返信無効							
1	自動ACK返信許可							

注意 ビット1, 0には、0を設定してください。

3.4.4 送受信モード・レジスタ1 (BBTXRXMODE1)

RF送受信の各種モードを設定するレジスタです。

ACK返信フレーム・バージョン設定有効ビットにより、自動ACK返信時のフレーム・バージョンの値について、受信したフレームのフレーム・バージョン値かACK返信フレーム・バージョン設定ビット0, 1に設定した値かに切り替えることができます。

ACK返信フレーム・バージョン設定ビット0により、ACK返信フレーム・バージョン設定有効ビット= 1の場合に自動ACK返信時のフレーム・バージョン値のビット12の値を設定することができます。

ACK返信フレーム・バージョン設定ビット1により、ACK返信フレーム・バージョン設定有効ビット= 1の場合に自動ACK返信時のフレーム・バージョン値のビット13の値を設定することができます。

シーケンス・ナンバ・サブレス有効ビットにより、受信したフレームのシーケンス・ナンバ・サブレスの有効/無効を設定できます。このビットを有効にすると受信したフレームのシーケンス・ナンバがない場合、自動ACK返信時のACKフレームもシーケンス・ナンバがなしとなります。

ACK受信ポイント設定ビットにより、ACK受信待ち時間のACK受信検出ポイントを受信完了時、またはPHR受信時に設定することができます。

リセット信号の発生により、COHIになります。

図3-10 送受信モード・レジスタ1 (BBTXRXMODE1) のフォーマット

アドレス : 0003H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
BBTXRX MODE1	ACKRCV POINT	SQCNUM SUPEN	ACKFV1	ACKFV0	ACKFVEN	0	0	0

ACKRCV POINT	ACK受信ポイント設定ビット
0	受信完了時
1	PHR受信時

SQCNUM SUPEN	シーケンス・ナンバ・サブレス有効ビット
0	シーケンス・ナンバ・サブレス有効
1	シーケンス・ナンバ・サブレス無効

ACKFV1	ACK返信フレーム・バージョン設定ビット1
0	フレーム・バージョン ビット13 = 0
1	フレーム・バージョン ビット13 = 1

ACKFV0	ACK返信フレーム・バージョン設定ビット0
0	フレーム・バージョン ビット12 = 0
1	フレーム・バージョン ビット12 = 1

ACKFVEN	ACK返信フレーム・バージョン設定有効ビット
0	受信フレームのフレーム・バージョン値
1	ACK返信フレーム・バージョン設定ビット0, 1の値

注意 ビット2-0には、0を設定してください。

3.4.5 RXIDLEモードレジスタ (BBRXIDLE)

RXIDLEモードビットにより、RX_IDLE状態に移行します。

RX状態でこのビットを1に設定してください。

RX_IDLE状態からRX状態への移行はこのビットを0に設定してください。

RX_IDLE状態ではTX状態やCCA状態には移行しないでください。

RX_IDLE状態では、RF通信停止ビットを1にしないでください。

リセット信号の発生により、00Hになります。

図3-11 RXIDLEモードレジスタ (BBRXIDLE) のフォーマット

アドレス : 0004H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBRXIDLE	0	0	0	0	0	0	0	RXIDLE MODE

RXIDLE MODE	RXIDLEモードビット
0	通常状態
1	RX_IDLE状態

注意 ビット7-1には、0を設定してください。

3.4.6 高速受信切り替えモードレジスタ (BBRXMODE)

HISPRXモードビットにより、受信を中断して自動的に受信待ちに移行する際、IDLE状態を経由せずに受信待ちに移行することができます。

0 : RX状態→中断トリガ→IDLE状態→RX状態

1 : RX状態→中断トリガ→RX状態

高速受信切り替えが有効となる動作を以下に示します。

- アドレス・フィルタ破棄後の受信待ちへの遷移
- 不正フレーム・レングス値破棄後の受信待ちへの遷移
- 受信レベルフィルタ破棄後の受信待ちへの遷移
- 受信オーバーライトキャンセル後の受信待ちへの遷移
- 受信レベル異常検知機能（フレーム受信中に無信号状態になるなどの通信異常の検知）による破棄後の受信待ちへの遷移
- HCS エラー発生後（OFDM 変調時）の受信待ちへの遷移
- 受信禁止時の受信キャンセル後の受信待ちへの遷移
- MS フレームキャンセル後（FSK 変調時）の受信待ちへの遷移
- 自動受信切り替えモード1 有効時の受信待ちへの遷移

リセット信号の発生により、00Hになります。

図3-12 高速受信切り替えモードレジスタ (BBRXMODE) のフォーマット

アドレス : 0005H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBRX MODE	0	0	0	0	0	0	0	HISPRX MODE

HISPRX MODE	HISPRXモードビット
0	IDLE状態経由あり
1	IDLE状態経由なし

注意 ビット7-1には、0を設定してください。

3.4.7 エンハンストACKモード・レジスタ (BBEACKMODE)

エンハンストACKモードを設定するレジスタです。

リセット信号の発生により、01Hになります。

図3-13 エンハンストACKモード・レジスタ (BBEACKMODE) のフォーマット

アドレス : 0006H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
BBEACK MODE	0	0	0	0	0	0	0	ENHACK MODE

ENHACK MODE	エンハンストACKモード・ビット
0	エンハンストACKモード無効
1	エンハンストACKモード有効

注意 ビット7-1には、0を設定してください。

3.4.8 送受信ステータス・レジスタ0 (BBTXRXST0)

RF送受信のステータスを格納するレジスタです。

CCAの判定結果をビット0に格納します。

CRCの判定結果をビット1に格納します。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応したCRC結果が読み出されます。

CSMA-CA判定結果をビット2に格納します。なお、本ビットは0のみ書き込み可能です。

送受信動作完了判定結果ビットに、送受信動作シーケンス (CSMA-CA→送信→ACK受信→再送信→ACK受信・・・) 完了時に判定結果を格納します。設定回数再送信→ACK受信を繰り返してもACK受信できなかった場合は異常終了となります。なお、本ビットは0のみ書き込み可能です。

受信RAMバンク0ステータス・ビット、受信RAMバンク1ステータス・ビットにより、受信RAMバンク0、バンク1それぞれのデータの取り込み時のフラグとして利用できます。

データ受信を完了した時点で自動的に1にセットされます。受信RAMデータを読み出したあと、ソフトウェアで0にクリアします。0のみ書き込み可能ですので書き込まない場合は1を設定してください。これらのビットが1の状態再度受信があり、それぞれの受信RAMへのデータの書き込みが発生すると受信オーバーラン割り込みが発生します。

受信ペンディング・ビットに、ACKデータのみ受信完了した時点で受信したACKデータのペンディング・ビットのデータを格納します。

受信RAMバンク・ポインタ・ビットにより、受信完了した受信RAMのバンクを確認できます。リセット後は1を示します。本ビットの切り替わりは受信RAMバンクがフルになった場合またはフレーム受信が完了した場合です。

リセット信号の発生により、80HIになります。

図3-14 送受信ステータス・レジスタ0 (BBTXRXST0) のフォーマット

アドレス : 0007H リセット時 : 80H R/W^注

略号	7	6	5	4	3	2	1	0
BBTXRXST0	RCVDRAMST	RCVPEND	RCVBANK1	RCVBANK0	TRNRCSVQC	CSMACA	CRC	CCA

RCVDRAMST	受信RAMバンク・ポインタ・ビット
0	受信RAMバンク0
1	受信RAMバンク1

RCVPEND	受信ペンディング・ビット
0	ペンディングなし
1	ペンディングあり

RCVBANK1	受信RAMバンク1ステータス・ビット
0	受信許可
1	受信データあり

RCVBANK0	受信RAMバンク0ステータス・ビット
0	受信許可
1	受信データあり

TRNRCSVQC	送受信動作完了判定結果ビット
0	正常終了
1	異常終了

CSMACA	CSMA-CA判定結果ビット
0	正常終了
1	異常終了

CRC	CRC判定結果ビット
0	正常受信
1	異常受信

CCA	CCA判定結果ビット
0	チャンネル・クリア
1	チャンネル・ビジー

注 ビット7, 6, 1, 0は、Read Onlyです。

3.4.9 送受信モード・レジスタ2 (BBTXRXMODE2)

RF送受信の各種モードを設定するレジスタです。

自動CRC無効ビットにより、送信時自動的にCRC計算した結果をつけて送信するか、RAM上のデータを送信するかを選択できます。

フレーム・ペンディング設定ビットにより、第1アドレス側でアドレスが一致した場合のACK返信時のフレーム・ペンディングビットの値を設定します。このビットの情報は、自動ACK返信データに自動的に組み込まれます。

フレーム・ペンディング・ステータス・ビットは、自動ACK返信時にフレーム・ペンディングなしで返信したか、ありで返信したかを表します。送信完了時点で割り込み要求発生と同時に更新します。このビットは受信した格納バンクごとに自動ACK返信を行った結果を残しますので、読み出し時は、受信データ格納バンク選択ビットで指定された格納バンクで返信したときのフレーム・ペンディング情報が読み出されます。

エンハンストACK有効ビットにより、エンハンストACK返信機能に対応します。

再送カウンタにより、自動ACK受信モードを有効にしたときのACK返信がない場合の再送処理回数を設定できます。設定は0000B-1000Bまで設定できます。

リセット信号の発生により、30HIになります。

図3-15 送受信モード・レジスタ2 (BBTXRXMODE2) のフォーマット

アドレス : 0009H リセット時 : 30H R/W^注

略号	7	6	5	4	3	2	1	0
BBTXRX MODE2	RETRN3	RETRN2	RETRN1	RETRN0	ENHACKEN	FLMPEND ST	FLMPEND	NOCRC
	再送カウンタ (0000B-1000Bまで設定可能)							
	エンハンストACK有効ビット							
	0 エンハンストACK返信機能無効							
	1 エンハンストACK返信機能有効							
	フレーム・ペンディング・ステータス・ビット							
	0 フレーム・ペンディングなし							
	1 フレーム・ペンディングあり							
	フレーム・ペンディング設定ビット							
	0 フレーム・ペンディング・ビット = 0							
	1 フレーム・ペンディング・ビット = 1							
	自動CRC無効ビット							
	0 有効 : CRC計算結果を送信							
	1 無効 : RAM上のデータを送信							

注 ビット2は、Read Onlyです。

3.4.10 送受信モード・レジスタ3 (BBTXRXMODE3)

RF送受信の各種モードを設定するレジスタです。

アドレス・フィルタ有効ビットにより、受信時にアドレス・フィルタを有効にすることができます。このビットを1にすると、第1アドレス側のアドレス・フィルタが有効になります。

PANコーディネータビットにより、第1アドレス側のアドレス・フィルタの条件としてPANコーディネータであるかないかを設定できます。

受信レベル・フィルタ有効ビットにより、FSK受信レベルスレッシュホールド設定レジスタまたはOFDM受信レベルスレッシュホールド設定レジスタに設定したスレッシュホールドレベル以上の入力データのみ受信するように設定できます。

受信データ格納バンク選択ビットにより、受信関連データ（受信RAM以外）の読み出しアクセスの格納バンクを指定します。

受信RAMオーバーライト有効ビットにより、受信RAMへの上書きの制御ができます。このビットが0のとき、受信RAMバンクnステータス・ビット = 1であれば、それぞれの受信RAMへの書き込みアクセスが発生したとき受信データを上書きしません。受信RAMオーバーライト有効ビット = 1のとき、受信RAMバンクnステータス・ビット = 1であっても、それぞれの受信RAMへの書き込みアクセスが発生したとき受信データを上書きします。

アドレス・フィルタ・アドレス拡張ビットにより、第1アドレスに加え、第2アドレスの2通りに拡張できます。

アドレス・フィルタ汎用モード・ビットにより、アドレス・フィルタの動作を汎用的なモードにできます。

リセット信号の発生により、00Hになります。

図3-16 送受信モード・レジスタ3 (BBTXRXMODE3) のフォーマット

アドレス : 000AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBTXRX MODE3	ADFGEN MODE	ADFEXTEN	RCVOVERW REN	RCVBANK SEL	0	LVLFILEN	PANCORD	ADRSFILEN

ADFGEN MODE	アドレス・フィルタ汎用モード・ビット
0	WiSUNモード
1	汎用モード

ADFEXTEN	アドレス・フィルタ・アドレス拡張ビット
0	PAN ID & アドレス拡張無効
1	PAN ID & アドレス拡張有効

RCVOVERW REN	受信RAMオーバーライト有効ビット
0	オーバーライト無効
1	オーバーライト有効

RCVBANK SEL	受信データ格納バンク選択ビット
0	受信データ格納バンク0を選択
1	受信データ格納バンク1を選択

LVLFILEN	受信レベル・フィルタ有効ビット
0	フィルタ無効
1	フィルタ有効

PANCORD	PANコーディネータビット
0	PANコーディネータでない
1	PANコーディネータである

ADRSFILEN	アドレス・フィルタ有効ビット
0	アドレス・フィルタ無効
1	アドレス・フィルタ有効

注意 ビット3には、0を設定してください。

3.4.11 送受信ステータス・レジスタ1 (BBTXRXST1)

受信データ格納バンク・ポインタ・ビットにより、受信したフレームのフレーム・レングスなどのデータを格納するバンクを確認できます。

リセット信号の発生により、02Hになります。

図3-17 送受信ステータス・レジスタ1 (BBTXRXST1) のフォーマット

アドレス : 000BH リセット時 : 0000001XB R

略号	7	6	5	4	3	2	1	0
BBTXRXST 1	0	0	0	0	0	0	RCVSTORE ST	X

RCVSTORE ST	受信データ格納バンク・ポインタ・ビット
0	受信データ格納バンク0
1	受信データ格納バンク1

注意 ビット0は、読み出し時はX (不定) となります。

3.4.12 送受信制御レジスタ (BBTXRXCON)

RF送受信を制御するレジスタです。

受信トリガ・ビットを1に設定することで、RF回路のウォームアップを開始し、185 μ s後に受信可能状態になります。

送信トリガ・ビットを1に設定することで、RF回路のウォームアップを開始し、335 μ s後に送信開始します。

CCAトリガ・ビットを1に設定することで、RF回路のウォームアップを開始し、185 μ s後にCCA動作を開始します。

CCAを実施する場合は、BEMINビットに0H以外の値を設定してください。

なお、これらのビットはIDLE状態で設定してください。また、送受信完了またはCCA完了で自動的に0にクリアされます。受信を途中で停止したい場合は、RF通信停止ビットにより停止してください。送信は途中で停止させないでください。

自動ACK受信モード・ビットにより、自動ACK受信動作を行うか選択できます。

リセット信号の発生により、00Hになります。

図3-18 送受信制御レジスタ (BBTXRXCON) のフォーマット

アドレス : 000CH リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
BBTXRX CON	0	0	0	0	ACKRCVEN	CCATRG	TRNTRG	RCVTRG

ACKRCVEN	自動ACK受信モード・ビット
0	自動ACK受信禁止
1	自動ACK受信許可

CCATRG	CCAトリガ・ビット
0	何もしない
1	CCA開始

TRNTRG	送信トリガ・ビット
0	何もしない
1	送信開始

RCVTRG	受信トリガ・ビット
0	何もしない
1	受信開始

注 ビット2-0は、Write Onlyです。

注意 ビット7-4には、0を設定してください。

3.4.13 CSMA制御レジスタ0 (BBCSMACON0)

CSMA-CAの動作を制御するレジスタです。

自動CSMA-CAスタート・ビットを1に設定することで、CSMA-CA動作を開始します。なお、本ビットはIDLE状態で設定してください。また、このビットはCSMA-CA動作完了で自動的に0にクリアされます。また0を設定しても書けません。CSMA-CA動作を途中で停止したい場合は、RF通信停止ビットにより停止してください。

自動CSMA-CA後送信ビットを1に設定することで、CSMA-CA動作完了時、CCAの判定結果がクリアであれば自動的に送信処理を行います。

CSMA-CA中受信機能有効ビットを1に設定することで、CSMA-CA動作中のCCA動作の待ち時間に受信を有効にできます。

フレーム受信期間中はバックオフ・ピリオド・カウントは停止します。

ユニキャスト・フレーム・ビットにより、ユニキャスト・フレーム値を設定します。このビットはユニキャスト・フレーム有効ビットを1に設定することで有効になります。

自動CSMA-CA後送信モードビットを1に設定することで、CCA後の送信までの待ち時間を最小にできます。

リセット信号の発生により、00Hになります。

図3-19 CSMA制御レジスタ0 (BBCSMACON0) のフォーマット

アドレス : 000DH リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
BBCSMA CON0	0	0	CSMATRN MODE	UNICAST FRM	0	CSMARCV EN	CSMATRN ST	CSMAST

CSMATRN MODE	自動CSMA-CA後送信モードビット
0	ウェイト時間あり (通常動作)
1	ウェイト時間最小

UNICAST FRM	ユニキャスト・フレーム・ビット
0	ユニキャスト・フレーム値 = 0
1	ユニキャスト・フレーム値 = 1

CSMARCV EN	CSMA-CA中受信機能有効ビット
0	受信機能無効
1	受信機能有効

CSMATRN ST	自動CSMA-CA後送信ビット
0	何もしない
1	CSMA-CA後送信処理

CSMAST	自動CSMA-CAスタート・ビット
0	何もしない
1	自動CSMA-CAスタート

注 ビット0は、Write Onlyです。

注意 ビット7, 6, 3には、0を設定してください。

3.4.14 送受信ステータス・レジスタ2 (BBTXRXST2)

RF送受信の各種ステータス情報を格納するレジスタです。

受信RAMバンク・フラグ・ビットにより、受信開始時の受信RAMのバンクを示します。

受信データ格納バンク・フラグ・ビットにより、受信開始時の受信データ格納バンクを示します。

リセット信号の発生により、03Hになります。

図3-20 送受信ステータス・レジスタ2 (BBTXRXST2) のフォーマット

アドレス : 0010H リセット時 : 03H R

略号	7	6	5	4	3	2	1	0
BBTXRXST 2	0	0	0	0	0	0	RCVSTORE FLG	RCVBANK FLG

RCVSTORE FLG	受信データ格納バンク・フラグ・ビット
0	受信データ格納バンク0
1	受信データ格納バンク1

RCVBANK FLG	受信RAMバンク・フラグ・ビット
0	受信RAMバンク0
1	受信RAMバンク1

3.4.15 送受信モード・レジスタ4 (BBTXRXMODE4)

送信後タイムアウト付き自動受信有効ビットにより、自動受信切り替えモード0許可ビットで送信後の自動受信時にタイムアウト機能を付けた自動受信モードにできます。

リセット信号の発生により、00Hになります。

図3-21 送受信モード・レジスタ4 (BBTXRXMODE4) のフォーマット

アドレス : 0011H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBTXRX MODE4	0	0	0	0	0	0	0	TIMEOUT RCV

TIMEOUT RCV	送信後タイムアウト付き自動受信有効ビット
0	通常自動受信モード
1	タイムアウト付き自動受信モード

注意 ビット7-1には、0を設定してください。

3.4.16 CSMA制御レジスタ1 (BBCSMACON1)

CSMA-CAの制御をするレジスタです。

NBビットにより、macMaxCSMABackoffの値を設定します。0H~5Hの範囲で設定してください。

CWビットにより、CWの値を設定します。1H~3Hの範囲で設定してください。

リセット信号の発生により、20Hになります。

図3-22 CSMA制御レジスタ1 (BBCSMACON1) のフォーマット

アドレス : 0012H リセット時 : 20H R/W

略号	7	6	5	4	3	2	1	0
BBCSMA CON1	0	0	CW1	CW0	0	NB2	NB1	NB0
	CW1, CW0		CW値					
	NB2-NB0		macMaxCSMABackoff値					

注意 ビット7, 6, 3には、0を設定してください。

3.4.17 CSMA制御レジスタ2 (BBCSMA CON2)

CSMA-CAの制御をするレジスタです。

BEMAXビットにより、MacMaxBEの値を設定します。BEMAXビットにはBEMINビットの設定値以上の値（最大値はEH）を設定してください。

MacMinBE制御ビットにより、自動CSMA-CAのパラメータであるMacMinBEを000Bに設定した場合のCCA動作の有無を設定できます。

ユニキャスト・フレーム有効ビットにより、ユニキャスト・フレーム・ビットによる動作を有効にできます。

リセット信号の発生により、05Hになります。

図3-23 CSMA制御レジスタ2 (BBCSMA CON2) のフォーマット

アドレス : 0013H リセット時 : 05H R/W

略号	7	6	5	4	3	2	1	0
BBCSMA CON2	0	0	UNICAST FRMEN	MACMINBE CON	BEMAX3	BEMAX2	BEMAX1	BEMAX0

UNICAST FRMEN	ユニキャスト・フレーム有効ビット
0	ユニキャスト・フレーム無効
1	ユニキャスト・フレーム有効

MACMINBE CON	MacMinBE制御ビット
0	CCA動作なし
1	CCA動作あり

BEMAX3- BEMAX0	MacMaxBE値

注意 ビット7, 6には、0を設定してください。

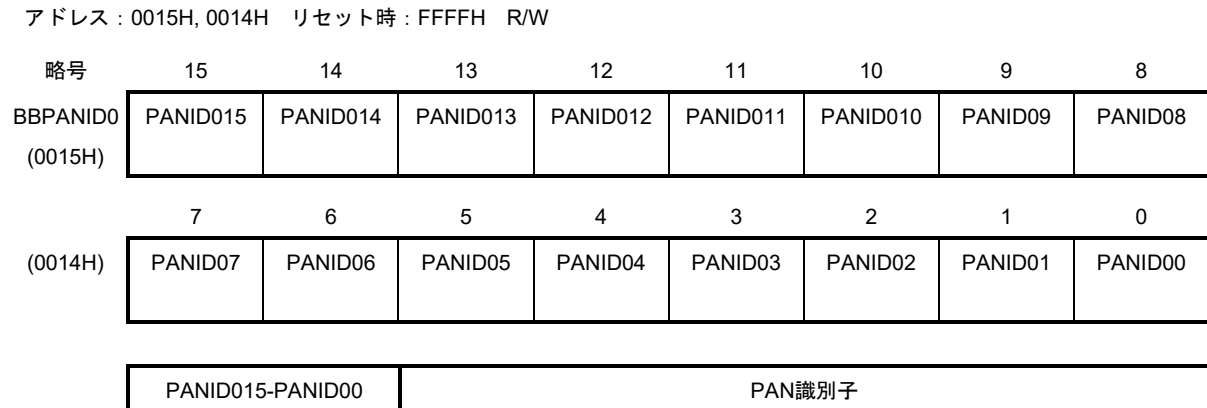
3.4.18 PAN識別子レジスタ0 (BBPANID0)

第1アドレス・フィルタのPAN識別子を設定するためのレジスタです。16ビットで構成されており、受信したPAN識別子との一致検出に使用します。

0000H~FFFFHの値を設定してください。

リセット信号の発生により、FFFFHになります。

図3-24 PAN識別子レジスタ0 (BBPANID0) のフォーマット



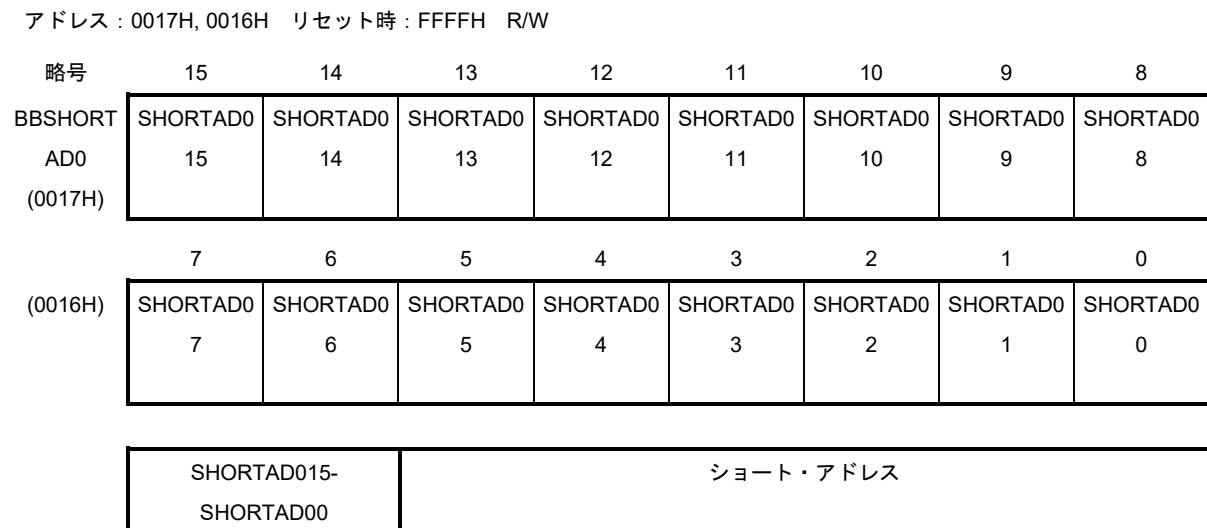
3.4.19 ショート・アドレス・レジスタ0 (BBSHORTAD0)

第1アドレス・フィルタのショート・アドレスを設定するためのレジスタです。16ビットで構成されており、受信したショート・アドレスとの一致検出に使用します。

0000H~FFFFHの値を設定してください。

リセット信号の発生により、FFFFHになります。

図3-25 ショート・アドレス・レジスタ0 (BBSHORTAD0) のフォーマット



3.4.20 拡張アドレス・レジスタ0 (BBEXTENDAD00 - BBEXTENDAD03)

第1アドレス・フィルタの拡張アドレスを設定するためのレジスタです。64ビット（16ビット×4）で構成されており、受信した拡張アドレスとの一致検出に使用します。

0000H~FFFFHの値を設定してください。

リセット信号の発生により、0000Hになります。

図3-26 拡張アドレス・レジスタ0 (BBEXTENDAD00-BBEXTENDAD03) のフォーマット (1/2)

アドレス : 001FH, 001EH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD03 (001FH)	EXTENDAD 0315	EXTENDAD 0314	EXTENDAD 0313	EXTENDAD 0312	EXTENDAD 0311	EXTENDAD 0310	EXTENDAD 039	EXTENDAD 038
	7	6	5	4	3	2	1	0
(001EH)	EXTENDAD 037	EXTENDAD 036	EXTENDAD 035	EXTENDAD 034	EXTENDAD 033	EXTENDAD 032	EXTENDAD 031	EXTENDAD 030
EXTENDAD0315- EXTENDAD030		拡張アドレスのビット63-48						

アドレス : 001DH, 001CH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD02 (001DH)	EXTENDAD 0215	EXTENDAD 0214	EXTENDAD 0213	EXTENDAD 0212	EXTENDAD 0211	EXTENDAD 0210	EXTENDAD 029	EXTENDAD 028
	7	6	5	4	3	2	1	0
(001CH)	EXTENDAD 027	EXTENDAD 026	EXTENDAD 025	EXTENDAD 024	EXTENDAD 023	EXTENDAD 022	EXTENDAD 021	EXTENDAD 020
EXTENDAD0215- EXTENDAD020		拡張アドレスのビット47-32						

図3-26 拡張アドレス・レジスタ0 (BBEXTENDAD00-BBEXTENDAD03) のフォーマット (2/2)

アドレス : 001BH, 001AH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD01 (001BH)	EXTENDAD 0115	EXTENDAD 0114	EXTENDAD 0113	EXTENDAD 0112	EXTENDAD 0111	EXTENDAD 0110	EXTENDAD 0109	EXTENDAD 0108
	7	6	5	4	3	2	1	0
(001AH)	EXTENDAD 0107	EXTENDAD 0106	EXTENDAD 0105	EXTENDAD 0104	EXTENDAD 0103	EXTENDAD 0102	EXTENDAD 0101	EXTENDAD 0100
EXTENDAD0115- EXTENDAD0100		拡張アドレスのビット31-16						

アドレス : 0019H, 0018H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD00 (0019H)	EXTENDAD 0015	EXTENDAD 0014	EXTENDAD 0013	EXTENDAD 0012	EXTENDAD 0011	EXTENDAD 0010	EXTENDAD 0009	EXTENDAD 0008
	7	6	5	4	3	2	1	0
(0018H)	EXTENDAD 0007	EXTENDAD 0006	EXTENDAD 0005	EXTENDAD 0004	EXTENDAD 0003	EXTENDAD 0002	EXTENDAD 0001	EXTENDAD 0000
EXTENDAD0015- EXTENDAD0000		拡張アドレスのビット15-0						

3.4.21 タイマ読み出しレジスタ0 (BBTIMEREAD0, BBTIMEREAD1)

32ビット・タイマの現在のタイマ・カウント値を読み出すためのレジスタです。タイマ・カウント値を読み出す際は、下位バイトから読み出してください。最下位バイトの0020H番地を読み出した時点でタイマ・カウント値がラッチされますので続けて上位バイトを読み出してください。

最下位バイトの0020H番地を読み出した値が00Hの場合は、再度最下位バイトの0020H番地から読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度最下位バイトが00Hに達するまでの間に行ってください。

リセット信号の発生により、0000Hになります。

図3-27 タイマ読み出しレジスタ0 (BBTIMEREAD0) のフォーマット

アドレス : 0021H, 0020H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8
BBTIME READ0 (0021H)	TIMEREAD0 15	TIMEREAD0 14	TIMEREAD0 13	TIMEREAD0 12	TIMEREAD0 11	TIMEREAD0 10	TIMEREAD0 9	TIMEREAD0 8
	7	6	5	4	3	2	1	0
(0020H)	TIMEREAD0 7	TIMEREAD0 6	TIMEREAD0 5	TIMEREAD0 4	TIMEREAD0 3	TIMEREAD0 2	TIMEREAD0 1	TIMEREAD0 0
TIMEREAD015- TIMEREAD00		32ビット・タイマの下位ビット (ビット15-0)						

図3-28 タイマ読み出しレジスタ1 (BBTIMEREAD1) のフォーマット

アドレス : 0023H, 0022H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8
BBTIME READ1 (0023H)	TIMEREAD1 15	TIMEREAD1 14	TIMEREAD1 13	TIMEREAD1 12	TIMEREAD1 11	TIMEREAD1 10	TIMEREAD1 9	TIMEREAD1 8
	7	6	5	4	3	2	1	0
(0022H)	TIMEREAD1 7	TIMEREAD1 6	TIMEREAD1 5	TIMEREAD1 4	TIMEREAD1 3	TIMEREAD1 2	TIMEREAD1 1	TIMEREAD1 0
TIMEREAD115- TIMEREAD10		32ビット・タイマの上位ビット (ビット31-16)						

3.4.22 タイマ・コンペア・レジスタ0, 1 (BBTCOMP0REG0-BBTCOMP2REG0, BBTCOMP0REG1-BBTCOMP2REG1)

32ビット・タイマとコンペアするためのレジスタです。3チャンネル内蔵しており、各チャンネルとも32ビットのコンペアを行います。

リセット信号の発生により、0000Hになります。

図3-29 タイマ・コンペア・レジスタ0 (BBTCOMPnREG0) のフォーマット

アドレス : 002DH, 002CH (BBTCOMP2REG0), 0029H, 0028H (BBTCOMP1REG0), 0025H, 0024H (BBTCOMP0REG0)

リセット時 : 0000H R/W

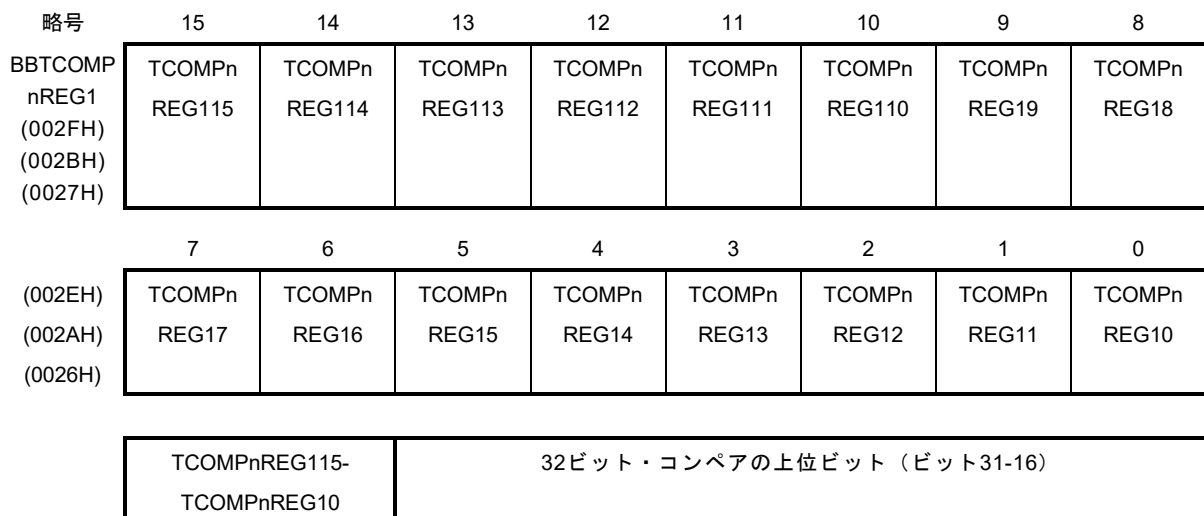


備考 : n = 0-2

図3-30 タイマ・コンペア・レジスタ1 (BBTCOMPnREG1) のフォーマット

アドレス : 002FH, 002EH (BBTCOMP2REG1), 002BH, 002AH (BBTCOMP1REG1), 0027H, 0026H (BBTCOMP0REG1)

リセット時 : 0000H R/W



備考 : n = 0-2

3.4.23 タイムスタンプ・レジスタ0, 1 (BBTSTAMP0, BBTSTAMP1)

パケット・データ受信開始時のタイマ・カウント値、パケット・データ受信完了時のタイマ・カウント値またはパケット・データ送信完了時のタイマ・カウント値を格納するためのレジスタです。タイムスタンプ値は受信／送信それぞれ格納し、スタンプ値読み出し切り替えビットにより、読み出し値を受信開始スタンプ値か受信完了スタンプ値か送信スタンプ値かを選択できます。

受信開始時点のタイマ・カウント値を自動的にタイムスタンプ・レジスタに格納され、スタンプ値は次のパケット受信開始時点まで保持されます。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応したタイムスタンプ値が読み出されます。

受信完了時点のタイマ・カウント値を自動的にタイムスタンプ・レジスタに格納され、スタンプ値は次のパケット受信完了時点まで保持されます。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応したタイムスタンプ値が読み出されます。

送信完了時点のタイマ・カウント値を自動的にタイムスタンプ・レジスタに格納されます。スタンプ値は次のパケット送信完了時点まで保持されます。ただし、自動ACK返信時は送信タイムスタンプ値を更新しません。

リセット信号の発生により、0000Hになります。

図3-31 タイムスタンプ・レジスタ0 (BBTSTAMP0) のフォーマット

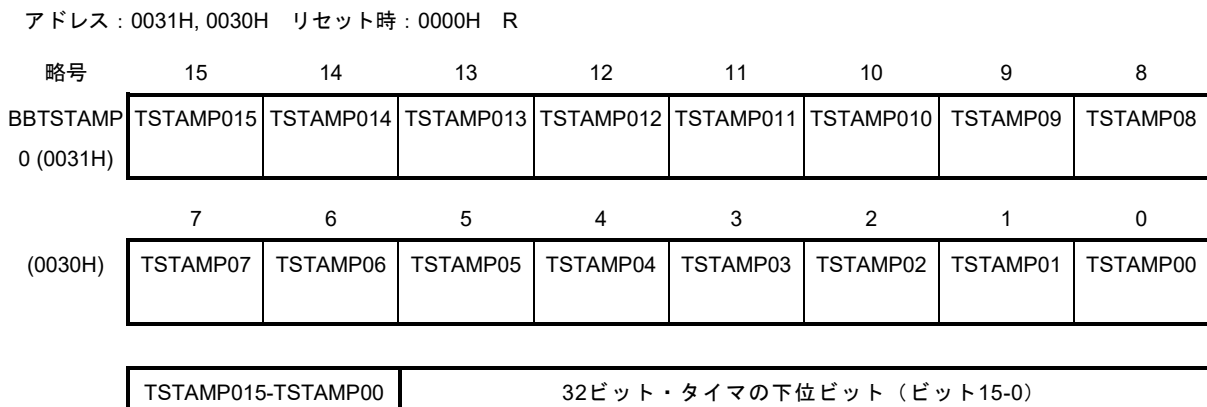
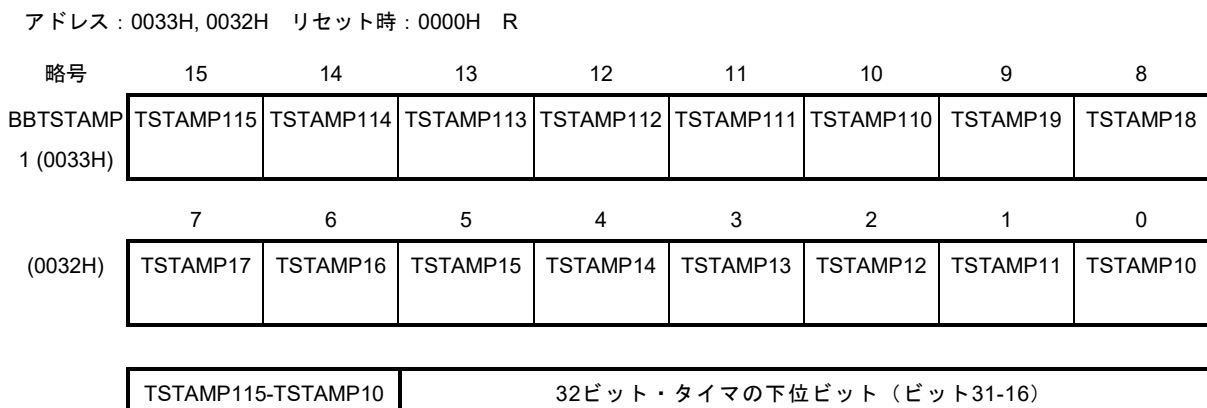


図3-32 タイムスタンプ・レジスタ1 (BBTSTAMP1) のフォーマット



3.4.24 タイマ制御レジスタ (BBTIMECON)

本トランシーバ内のタイマを制御するレジスタです。

タイマ・カウント許可ビットにより、32ビット・タイマのカウント動作を制御します。1に設定することでタイマ・カウントを許可します。また、0にすることでタイマ・カウントが停止するとともに、タイマ・カウント値は00000000Hに初期化されます。

COMP0送信トリガ有効ビットにより、タイマ・コンペア・レジスタ0, 1 (BBTCOMP0REG0, BBTCOMP0REG1) の値とタイマ・カウント値が一致するとRF送信を開始することができます。一致した時点から335 μ s後に送信を開始します。ただし、IDLE状態で実行してください。

スタンプ・タイミング切り替えビットにより、タイマ・カウント値のスタンプ・タイミングを選択できます。受信開始時を選択した場合、アドレス・フィルタ機能にかかわらず受信開始タイミングで更新します。

COMP0トリガ機能選択ビットにより、COMP0送信トリガ有効ビットを有効にした場合のスタート機能にCSMA-CAを選択することができます。

スタンプ値読み出し切り替えビットにより、タイムスタンプ・レジスタの読み出し値を受信開始スタンプ値か受信完了スタンプ値か送信完了スタンプ値かを選択できます。

カウント・ソース切り替えビットにより、タイマ・カウントのカウント・ソースをプリスケアラ出力かタイミングパラメータ用データレート設定レジスタで設定したデータレートかを選択できます。

COMP0経過時送信有効ビットにより、COMP0送信トリガ有効ビットを有効時に、タイマ・コンペア・レジスタ0, 1 (BBTCOMP0REG0, BBTCOMP0REG1) の値を設定したときにタイマ・カウント値が設定時間を過ぎていた場合、すぐに送信開始状態になります。

リセット信号の発生により、00Hになります。

図3-33 タイマ制御レジスタ (BBTIMECON) のフォーマット

アドレス : 0034H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBTIME	PASSSTART	CNTSRC	STAMPRD	STAMPRD	COMP0TRG	STAMPTIM	COMP0TRG	TIMEEN
CON	EN	SEL	SEL1	SEL0	SEL	SEL		

PASSSTART EN	COMP0経過時送信有効ビット	
0	無効	
1	有効	

CNTSRC SEL	カウント・ソース切り替えビット	
0	プリスケアラ出力 (1 μ s)	
1	タイミングパラメータ用データレート設定レジスタで設定したデータ・レート	

STAMPRD SEL1	STAMPRD SEL0	スタンプ値読み出し切り替えビット	
0	0	受信開始スタンプ値	
0	1	受信完了スタンプ値	
1	0	送信完了スタンプ値	
1	1		

COMP0TRG SEL	COMP0トリガ機能選択ビット	
0	送信トリガ	
1	CSMA-CAトリガ	

STAMPTIM SEL	スタンプ・タイミング切り替えビット	
0	受信開始時	
1	フレーム・レングス割り込み時	

COMP0TRG	COMP0送信トリガ有効ビット	
0	送信トリガ無効	
1	送信トリガ有効	

TIMEEN	タイマ・カウント許可ビット	
0	タイマ・カウント停止	
1	タイマ・カウント許可	

3.4.25 バックオフ・ピリオド・レジスタ (BBBOFFPROD)

バックオフ・ピリオドを制御するレジスタです。

バックオフ・ピリオド自動ランダム許可ビットにより、バックオフ・ピリオド・レジスタ2に設定した値を初期値として自動でランダム値を生成し、CSMA-CA回路内部のバックオフ・ピリオド値を設定します。

バックオフ・ピリオド・レジスタ2にランダム値を設定後、バックオフ・ピリオド・レジスタのバックオフ・ピリオド自動ランダム許可ビットを1に設定してください。

リセット信号の発生により、00Hになります。

図3-34 バックオフ・ピリオド・レジスタ (BBBOFFPROD) のフォーマット

アドレス : 0035H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBBOFF PROD	0	0	0	0	0	0	0	BOFFPROD EN

BOFFPROD EN	バックオフ・ピリオド自動ランダム許可ビット
0	自動ランダム値生成無効
1	自動ランダム値生成有効

注意 ビット7-1には、0を設定してください。

3.4.26 タイミングパラメータ用データレート設定レジスタ (BBPARAMRATE)

タイマカウントソースや、バックオフ・ピリオドのカウントソースなどのタイミングパラメータ用のデータレートを設定します。データレートに応じて表3-2の値を設定します。

拡張データレート有効ビットにより、拡張データレート設定レジスタでデータレートを設定可能です。

リセット信号の発生により、00Hになります。

図3-35 タイミングパラメータ用データレート設定レジスタ (BBPARAMRATE) のフォーマット

アドレス : 0036H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBPARAM RATE	0	0	0	0	EXTRATE EN	PARAM RATE2	PARAM RATE1	PARAM RATE0

EXTRATE EN	拡張データレート有効ビット
0	拡張データレート無効
1	拡張データレート有効

PARAM RATE2-0	タイミングパラメータ用データレート設定ビット
—	タイミングパラメータ用のデータレートを設定します。

注意 ビット7-4には、0を設定してください。

表3-2 データレート設定値

設定値			データレート	周期
PARAM RATE2	PARAM RATE1	PARAM RATE0		
0	0	0	1000kbps	1 μ s
0	0	1	100kchip/s	320 μ s
0	1	0	10kbps	100 μ s
0	1	1	20kbps	50 μ s
1	0	0	50kbps	20 μ s
1	0	1	100kbps	10 μ s
1	1	0	150kbps	6.667 μ s
1	1	1	200kbps	5 μ s

3.4.27 拡張データレート設定レジスタ (BBEXTRATE)

タイミングパラメータ用データレート設定レジスタのPARAMRATE2-0ビットによる設定値以外の値を設定します。
拡張データレート有効ビットによって、本レジスタの設定値を有効にできます。

データレート [bps] = (48MHz / 2) / 拡張データレート設定値

リセット信号の発生により、00F0Hになります。

図3-36 拡張データレート設定レジスタ (BBEXTRATE) のフォーマット

アドレス : 0039H, 0038H リセット時 : 00F0H R/W

略号	15	14	13	12	11	10	9	8
BBEXT RATE (0039H)	EXTRATE 15	EXTRATE 14	EXTRATE 13	EXTRATE 12	EXTRATE 11	EXTRATE 10	EXTRATE 9	EXTRATE 8
	7	6	5	4	3	2	1	0
(0038H)	EXTRATE 7	EXTRATE 6	EXTRATE 5	EXTRATE 4	EXTRATE 3	EXTRATE 2	EXTRATE 1	EXTRATE 0
EXTRATE15-EXTRATE0		拡張データレート設定のビット15~0						

3.4.28 CSMA制御レジスタ3 (BBCSMA CON3)

CSMA-CAの制御をするレジスタです。

BEMINビットにより、MacMinBEの値を設定します。

BEMINビットにはBEMAXビットの設定値以下の値（最小値は0H）を設定してください。

CCAを実施する場合は、本ビットには0H以外の値を設定してください。

リセット信号の発生により、03HIになります。

図3-37 CSMA制御レジスタ3 (BBCSMA CON3) のフォーマット

アドレス : 003EH リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
BBCSMA CON3	0	0	0	0	BEMIN3	BEMIN2	BEMIN1	BEMIN0
BEMIN3- BEMIN0	BEMINビット (MacMinBEの値を設定します)							

注意 ビット7-4には、0を設定してください。

3.4.29 キャリブレーション・レジスタ (BBCAL)

キャリブレーションを制御するレジスタです。

キャリブレーション開始ビットにより、キャリブレーションを開始します。

リセット信号の発生により、00HIになります。

図3-38 キャリブレーション・レジスタ (BBCAL) のフォーマット

アドレス : 003FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBCAL	0	0	0	0	0	0	0	CALSTART
CALSTART	キャリブレーション開始ビット							
0	何もしない							
1	キャリブレーション開始							

注意 ビット7-1には、0を設定してください。

3.4.30 ACK返信時間設定レジスタ (ACKRTNTIM)

ノンビーコン・モード時のACK返信時間を設定するレジスタです。

0001H~FFFFHの値を設定してください。

リセット信号の発生により、0002Hになります。

図3-39 ACK返信時間設定レジスタ (ACKRTNTIM) のフォーマット

アドレス : 0047H, 0046H リセット時 : 0002H R/W



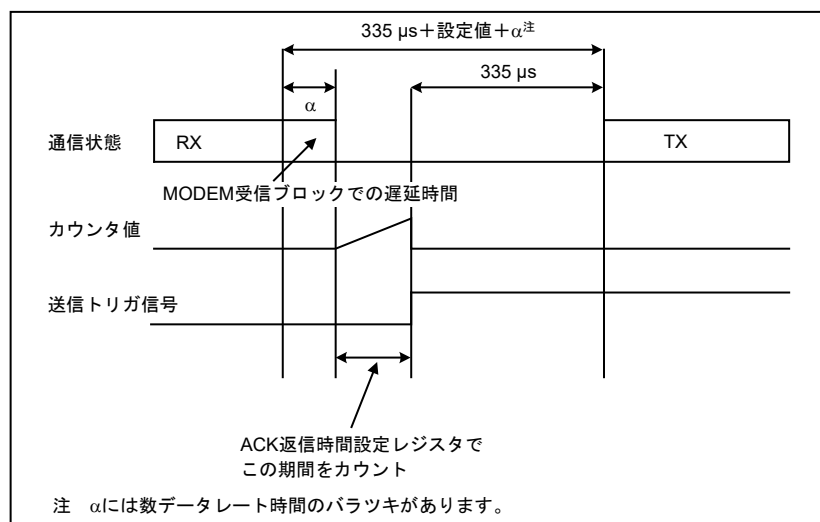
設定例 ノンビーコン・モード時

ACK返信時間設定レジスタのみ使用し、パケット受信終了から送信トリガ信号をハイ・レベルにするまでの時間を設定します。初期値は0002H = 2データレート時間^{注1} (設定値1H = 1データレート時間^{注1})。

注1. タイミングパラメータ用データレート設定レジスタの設定値に依存します。

ノンビーコン・モード時、受信完了時にACK返信モード用10ビット・タイマが000Hからスタートし、ACK返信時間設定レジスタの値と一致したとき、カウンタは停止し送信トリガ信号をハイ・レベルにします。

図3-40 ノンビーコン・モード時のカウント動作



3.4.31 自動受信切り替えコンペア・レジスタ (AUTORCVCNT)

自動受信切り替えモードに設定した場合の受信または送信の完了後、自動受信切り替えのための受信トリガ信号をハイ・レベルにするまでの時間を設定するレジスタです。初期値は000AH = 10データレート時間^{注1}（設定値1H = 1データレート時間^{注1}）。

注1. タイミングパラメータ用データレート設定レジスタの設定値に依存します。

0001H~FFFFHの値を設定してください。

リセット信号の発生により、000AHになります。

図3-41 自動受信切り替えコンペア・レジスタ (AUTORCVCNT) のフォーマット

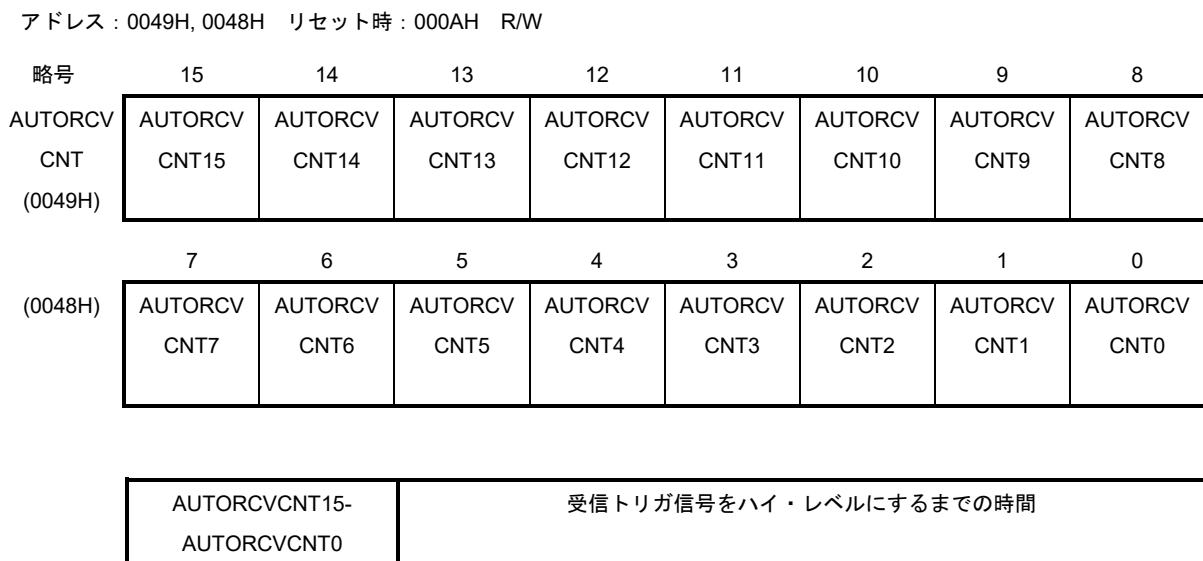
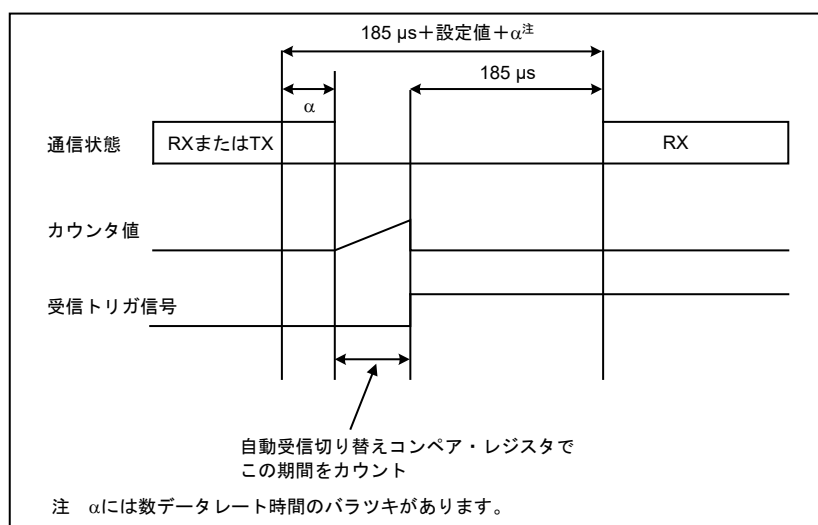


図3-42 自動受信切り替えコンペア・レジスタのカウント動作



3.4.32 バックオフ周期レジスタ (BOFFPERIOD)

バックオフ周期を設定するレジスタです。初期値は0071H = 113データレート時間^{注1} (設定値1H = 1データレート時間^{注1})。

注1. タイミングパラメータ用データレート設定レジスタの設定値に依存します。

000FH~FFFFHの値を設定してください。

リセット信号の発生により、0071Hになります。

図3-43 バックオフ周期レジスタ (BOFFPERIOD) のフォーマット

アドレス : 004BH, 004AH リセット時 : 0071H R/W

略号	15	14	13	12	11	10	9	8
BOFFPERIOD (004BH)	BOFF PERIOD15	BOFF PERIOD14	BOFF PERIOD13	BOFF PERIOD12	BOFF PERIOD11	BOFF PERIOD10	BOFF PERIOD9	BOFF PERIOD8
	7	6	5	4	3	2	1	0
(004AH)	BOFF PERIOD7	BOFF PERIOD6	BOFF PERIOD5	BOFF PERIOD4	BOFF PERIOD3	BOFF PERIOD2	BOFF PERIOD1	BOFF PERIOD0
BOFFPERIOD15- BOFFPERIOD0		バックオフ周期設定値						

3.4.33 CSMA-CA用エンド・カウント・レジスタ (CSMAENDCOUNT)

自動CSMA-CAシーケンスを使用した場合のCCA完了後のIDLE状態までの時間を設定するレジスタです。

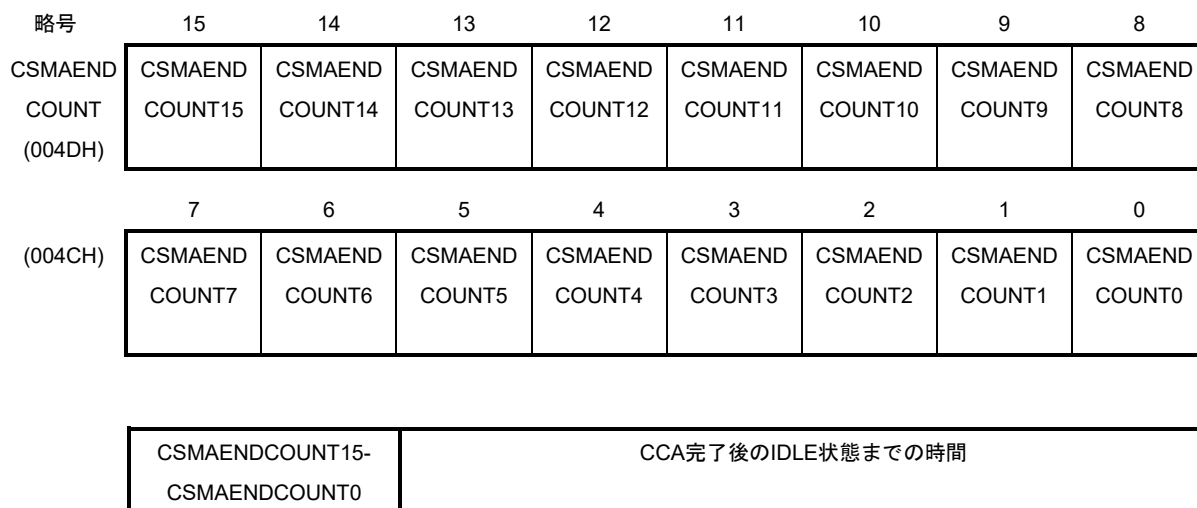
初期値は0080H = 128 μ s (設定値1H = 1 μ s)。

0002H~FFFFHの値を設定してください。

リセット信号の発生により、0080Hになります。

図3-44 CSMA-CA用エンド・カウント・レジスタ (CSMAENDCOUNT) のフォーマット

アドレス : 004DH, 004CH リセット時 : 0080H R/W



3.4.34 CSMA-CA用スタート・カウント・レジスタ (CSMASTACOUNT)

自動CSMA-CAシーケンスを使用した場合のCCA開始タイミングを調整するレジスタです。初期値は000EH = 14データレート時間^{注1} (設定値1H = 1データレート時間^{注1})。

注1. タイミングパラメータ用データレート設定レジスタの設定値に依存します。

0002H~FFFFHの値を設定してください。

リセット信号の発生により、000EHになります。

図3-45 CSMA-CA用スタート・カウント・レジスタ (CSMASTACOUNT) のフォーマット

アドレス : 004FH, 004EH リセット時 : 000EH R/W

略号	15	14	13	12	11	10	9	8
CSMASTA COUNT (004FH)	CSMASTA COUNT15	CSMASTA COUNT14	CSMASTA COUNT13	CSMASTA COUNT12	CSMASTA COUNT11	CSMASTA COUNT10	CSMASTA COUNT9	CSMASTA COUNT8
	7	6	5	4	3	2	1	0
(004EH)	CSMASTA COUNT7	CSMASTA COUNT6	CSMASTA COUNT5	CSMASTA COUNT4	CSMASTA COUNT3	CSMASTA COUNT2	CSMASTA COUNT1	CSMASTA COUNT0
	CSMASTACOUNT15- CSMASTACOUNT0		CCA開始ウォームアップ時間					

3.4.35 通信ステータス・レジスタ1 (COMSTATE1)

通信中の各ステータスを確認するレジスタです。

送信中ステータス・ビットにより、送信状態かどうかを確認できます。

CCAステータス・ビットにより、CCA状態かどうかを確認できます。

フレーム受信ステータス・ビットにより、フレーム受信かどうかを確認できます。

図3-46 通信ステータス・レジスタ1 (COMSTATE1) のフォーマット

アドレス : 0066H リセット時 : XXXX000XB R

略号	7	6	5	4	3	2	1	0
COMSTAT E1	X	X	X	X	FRCVSTATE	CCASTATE	TRNSTATE	X

FRCVSTATE	フレーム受信ステータス・ビット
0	未受信
1	受信

CCASTATE	CCAステータス・ビット
0	未CCA
1	CCA中

TRNSTATE	送信中ステータス・ビット
0	未送信
1	送信中

注意 ビット7-4, 0は、読み出し時はX (不定) となります。

3.4.36 通信ステータス・レジスタ2 (COMSTATE2)

通信中の各ステータスを確認するレジスタです。ACK返信ステータス・ビットにより、ACK返信中かどうかを確認できます。

図3-47 通信ステータス・レジスタ2 (COMSTATE2) のフォーマット

アドレス : 0067H リセット時 : XXXXXXX0B R

略号	7	6	5	4	3	2	1	0
COMSTAT E2	X	X	X	X	X	X	X	ACKSTATE

ACKSTATE	ACK返信ステータス・ビット
0	ACK返信中でない
1	ACK返信中

注意 ビット7-1は、読み出し時はX（不定）となります。

3.4.37 評価制御レジスタ (BBEVAREG)

技術基準適合証明の取得などの際に必要な評価モードを設定するレジスタです。

連続送信モード・ビットを1に設定し、送信トリガ・ビットを1にすることで連続送信モードになります。連続送信モードでは送信フレーム・レングスに設定した値-CRCバイト数のデータ送信を繰り返し行います。なお、送信データは送信RAMに書き込んだ値です。

無変調切り替えビットにより、変調信号か無変調信号かを切り替えることができます。本機能を使用する場合、送信方式選択ビットにより送信方式をFSKにしてください。

連続受信モード・ビットを1に設定し、受信トリガ・ビットを1にすることで連続受信モードになります。連続受信モードではデータを受信完了してもIDLE状態にならず、受信状態のままとなります。

リセット信号の発生により、00Hになります。

図3-48 評価制御レジスタ (BBEVAREG) のフォーマット

アドレス : 0068H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBEVA REG	0	0	0	0	0	CONTRX	NOMOD	CONTTX

CONTRX	連続受信モード・ビット
0	通常動作
1	連続受信動作

NOMOD	無変調切り替えビット
0	変調信号
1	無変調信号

CONTTX	連続送信モード・ビット
0	通常動作
1	連続送信動作

注意 ビット7-3には、0を設定してください。

3.4.38 バックオフ・ピリオド・レジスタ2 (BBBOFFPROD2)

バックオフ・ピリオド・ビット0-7により、CSMA-CA実行の際のバックオフ・ピリオドのランダム値を設定するレジスタです。本レジスタにランダム値を設定後、バックオフ・ピリオド・レジスタのバックオフ・ピリオド自動ランダム許可ビットを1に設定してください。

01H~FFHの値を設定してください。

リセット信号の発生により、00Hになります。

図3-49 バックオフ・ピリオド・レジスタ2 (BBBOFFPROD2) のフォーマット

アドレス : 0069H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBBOFF PROD2	BOFFPROD 7	BOFFPROD 6	BOFFPROD 5	BOFFPROD 4	BOFFPROD 3	BOFFPROD 2	BOFFPROD 1	BOFFPROD 0

BOFFPROD7- BOFFPROD0	バックオフ・ピリオド・ビット値
-------------------------	-----------------

3.4.39 通信ステータス・レジスタ3 (COMSTATE3)

通信状況を表示するレジスタです。

RETRNRD3-RETRNRD0ビットにより、自動ACK受信モードを有効にした場合の再送回数を読み出すことができます。

CCARD2-CCARD0ビットにより、最後に実行したCCAの回数を読み出すことができます。

リセット信号の発生により、00Hになります。

図3-50 通信ステータス・レジスタ3 (COMSTATE3) のフォーマット

アドレス : 006FH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
COMSTAT E3	0	CCARD2	CCARD1	CCARD0	RETRNRD3	RETRNRD2	RETRNRD1	RETRNRD0

CCARD2-CCARD0	最後に実行したCCA回数 (3ビット)
---------------	---------------------

RETRNRD3-RETRNRD0	自動ACK受信モードを有効にした場合の再送回数 (4ビット)
-------------------	--------------------------------

3.4.40 ACK受信待ち時間設定レジスタ (ACKRCVWIT)

データ送信後のACK受信待ち時間を設定するレジスタです。設定された時間を待ってもACK返信がない場合、データを再送します。初期値は0300H = 768データレート時間^{注1} (設定値1H = 1データレート時間^{注1})。

注1. タイミングパラメータ用データレート設定レジスタの設定値に依存します。

なお、ACK受信を検出するポイントはACK受信ポイント設定ビットによって切り替えます。

0001H~FFFFHの値を設定してください。

リセット信号の発生により、0300Hになります。

図3-51 ACK受信待ち時間設定レジスタ (ACKRCVWIT) のフォーマット

アドレス : 0071H, 0070H リセット時 : 0300H R/W

略号	15	14	13	12	11	10	9	8
ACKRCV WIT (0071H)	ACKRCV WIT15	ACKRCV WIT14	ACKRCV WIT13	ACKRCV WIT12	ACKRCV WIT11	ACKRCV WIT10	ACKRCV WIT9	ACKRCV WIT8
	7	6	5	4	3	2	1	0
(0070H)	ACKRCV WIT7	ACKRCV WIT6	ACKRCV WIT5	ACKRCV WIT4	ACKRCV WIT3	ACKRCV WIT2	ACKRCV WIT1	ACKRCV WIT0
	ACKRCVWIT15- ACKRCVWIT0		ACK受信待ち時間					

3.4.41 再送開始コンペア・レジスタ (RETRNWUP)

再送する場合のトリガを発生するまでの待ち時間設定するレジスタです。

初期値は0004H = 4データレート時間^{注1} (設定値1H = 1データレート時間^{注1})。

注1. タイミングパラメータ用データレート設定レジスタの設定値に依存します。

0001H~FFFFHの値を設定してください。

リセット信号の発生により、0004Hになります。

図3-52 再送開始コンペア・レジスタ (RETRNWUP) のフォーマット

アドレス : 0073H, 0072H リセット時 : 0004H R/W

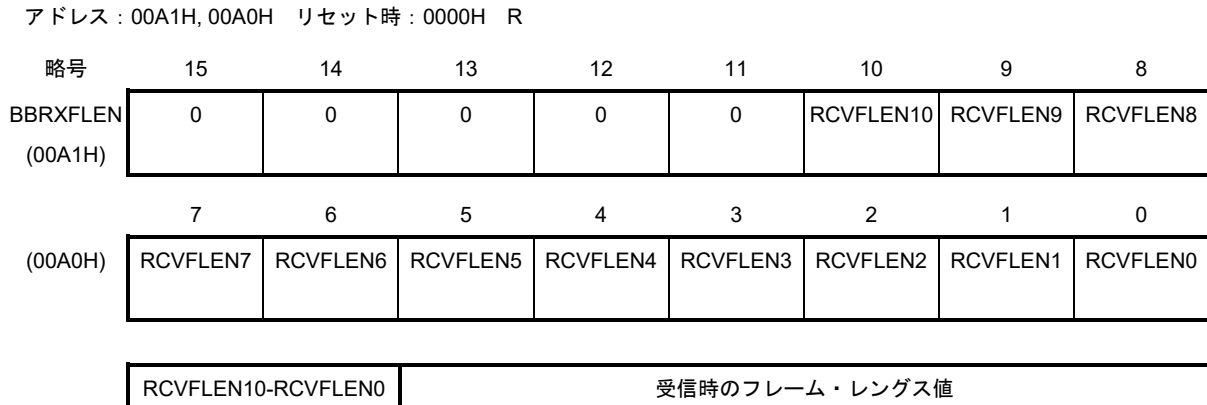
略号	15	14	13	12	11	10	9	8
RETRN	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP
WUP	15	14	13	12	11	10	9	8
(0073H)								
	7	6	5	4	3	2	1	0
(0072H)	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP	RETRNWUP
	7	6	5	4	3	2	1	0
	RETRNWUP15- RETRNWUP0		再トリガ発生までの待ち時間					

3.4.42 受信フレーム・レングス・レジスタ (BBRXFLEN)

受信時のフレーム・レングス値を格納するレジスタです。パケット・データ受信を開始した時点で格納されます。値は次のパケット・データ受信が開始されるまで保持されます。ただし、アドレス・フィルタ有効時はアドレス一致を検出した時点で更新されます。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した値が読み出されます。

リセット信号の発生により、0000Hになります。

図3-53 受信フレーム・レングス・レジスタ (BBRXFLEN) のフォーマット



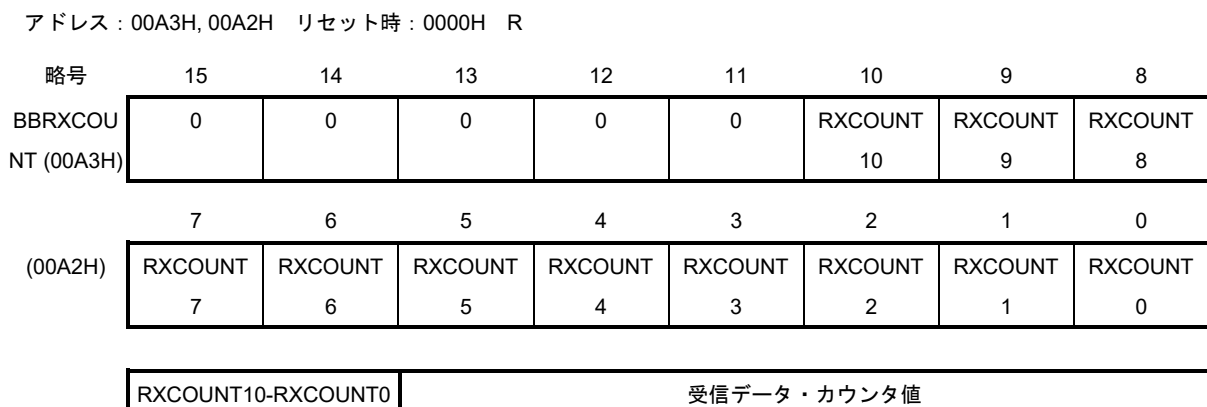
3.4.43 受信データ・カウンタレジスタ (BBRXCOUNT)

受信時の受信データ・カウンタ値を示すレジスタです。現在何バイトの受信データが受信RAMへ格納されたかを確認できます。値はパケット受信の終了で0にクリアされます。

下位バイトの00A2H番地を読み出した値が00Hの場合は、再度下位バイトの00A2H番地から読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度下位バイトが00Hに達するまでの間に行ってください。

リセット信号の発生により、0000Hになります。

図3-54 受信データ・カウンタレジスタ (BBRXCOUNT) のフォーマット



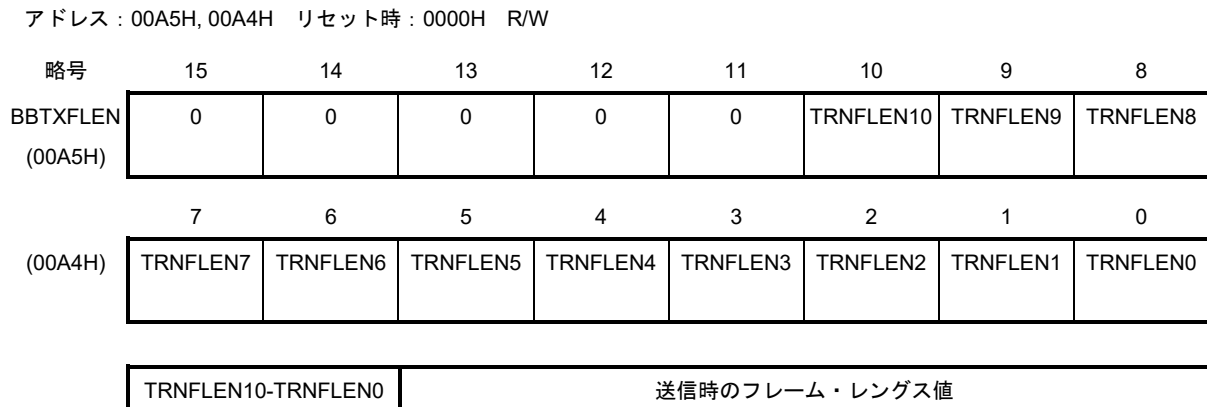
3.4.44 送信フレーム・レングス・レジスタ (BBTXFLEN)

送信時のフレーム・レングス値を設定するレジスタです。フレーム・レングス値はペイロードデータ長およびCRC長 (2 or 4バイト) の合計値を設定します。自動ACK返信機能を有効にし、自動でACK返信する際、送信フレーム・レングス値に関係なく送信します。

0003H~07FFHの値を設定してください。

リセット信号の発生により、0000Hになります。

図3-55 送信フレーム・レングス・レジスタ (BBTXFLEN) のフォーマット



注意 ビット15-11には、0を設定してください。

3.4.45 周波数設定レジスタ (BBFREQ)

周波数を設定するレジスタです。30ビットで構成されています。

設定は100MHzから1000MHzまで1Hzきざみで設定できます。初期値は36FC3BA0Hで、922.5MHzです。

設定は337055C0H (863MHz) ~37502800H (928MHz) の範囲の値を設定してください。

設定する際は、最下位アドレスから順に4バイトをすべて設定してください。

リセット信号の発生により、36FC3BA0Hになります。

図3-56 周波数設定レジスタ (BBFREQ) のフォーマット

アドレス : 00ABH-00A8H リセット時 : 36FC3BA0H R/W

略号	31	30	29	28	27	26	25	24
BBFREQ (00ABH)	0	0	FREQ29	FREQ28	FREQ27	FREQ26	FREQ25	FREQ24
	23	22	21	20	19	18	17	16
(00AAH)	FREQ23	FREQ22	FREQ21	FREQ20	FREQ19	FREQ18	FREQ17	FREQ16
	15	14	13	12	11	10	9	8
(00A9H)	FREQ15	FREQ14	FREQ13	FREQ12	FREQ11	FREQ10	FREQ9	FREQ8
	7	6	5	4	3	2	1	0
(00A8H)	FREQ7	FREQ6	FREQ5	FREQ4	FREQ3	FREQ2	FREQ1	FREQ0
	FREQ29-FREQ0		周波数設定値					

注意 ビット31, 30には、0を設定してください。

3.4.46 IF周波数設定レジスタ（BBIFSET）

IF周波数設定ビットでIF周波数を設定できます。

周波数オフセット有効ビットにより、SXシフト周波数設定レジスタの値を有効にします。

IF周波数オフセット有効ビットにより、IF周波数に対するオフセット値を有効にします。オフセット値はIF周波数オフセット設定レジスタ0, 1で設定します。

IF周波数オフセット選択ビットにより、IF周波数オフセット設定レジスタ0, 1を選択します。

リセット信号の発生により、00Hになります。

図3-57 IF周波数設定レジスタ（BBIFSET）のフォーマット

アドレス：00ACH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BBIFSET	0	0	0	0	IFOFSTSEL	IFOFSTEN	SFOFSET EN	IFSET

IFOFSTSEL	IF周波数オフセット選択ビット
0	オフセット0選択
1	オフセット1選択

IFOFSTEN	IF周波数オフセット有効ビット
0	無効
1	有効

SFOFSET EN	周波数オフセット有効ビット
0	無効
1	有効

IFSET	IF周波数設定ビット
0	550kHz
1	750kHz

注意 ビット7-4には、0を設定してください。

3.4.47 IF周波数オフセット設定レジスタ0 (BBIFOFST0)

IF周波数オフセット0設定ビットにより、IF周波数オフセット値を設定します。

設定値は2の補数で設定します(1H = 1Hz)。設定範囲はIF周波数設定ビット = 0(550kHz) 選択時は-550kHz~1MHz、IF周波数設定ビット = 1 (750kHz) 選択時は-750kHz~1MHzの範囲で設定してください。

リセット信号の発生により、000000Hになります。

図3-58 IF周波数オフセット設定レジスタ0 (BBIFOFST0) のフォーマット

アドレス : 00B6H-00B4H リセット時 : 000000H R/W

略号	23	22	21	20	19	18	17	16
BBIFOFST0 (00B6H)	0	0	0	IFOFST0 SET20	IFOFST0 SET19	IFOFST0 SET18	IFOFST0 SET17	IFOFST0 SET16
	15	14	13	12	11	10	9	8
(00B5H)	IFOFST0 SET15	IFOFST0 SET14	IFOFST0 SET13	IFOFST0 SET12	IFOFST0 SET11	IFOFST0 SET10	IFOFST0 SET9	IFOFST0 SET8
	7	6	5	4	3	2	1	0
(00B4H)	IFOFST0 SET7	IFOFST0 SET6	IFOFST0 SET5	IFOFST0 SET4	IFOFST0 SET3	IFOFST0 SET2	IFOFST0 SET1	IFOFST0 SET0
	IFOFST0SET20- IFOFST0SET0			IF周波数オフセット0設定ビット				
	-			IF周波数オフセット値を設定します。				

注意 ビット23-21には、0を設定してください。

3.4.48 IF周波数オフセット設定レジスタ1 (BBIFOFST1)

IF周波数オフセット1設定ビットにより、IF周波数オフセット値を設定します。

設定値は2の補数で設定します(1H = 1Hz)。設定範囲はIF周波数設定ビット = 0(550kHz) 選択時は-550kHz~1MHz、IF周波数設定ビット = 1 (750kHz) 選択時は-750kHz~1MHzの範囲で設定してください。

リセット信号の発生により、000000Hになります。

図3-59 IF周波数オフセット設定レジスタ1 (BBIFOFST1) のフォーマット

アドレス : 00BAH-00B8H リセット時 : 000000H R/W

略号	23	22	21	20	19	18	17	16
BBIFOFST1 (00BAH)	0	0	0	IFOFST1 SET20	IFOFST1 SET19	IFOFST1 SET18	IFOFST1 SET17	IFOFST1 SET16
	15	14	13	12	11	10	9	8
(00B9H)	IFOFST1 SET15	IFOFST1 SET14	IFOFST1 SET13	IFOFST1 SET12	IFOFST1 SET11	IFOFST1 SET10	IFOFST1 SET9	IFOFST1 SET8
	7	6	5	4	3	2	1	0
(00B8H)	IFOFST1 SET7	IFOFST1 SET6	IFOFST1 SET5	IFOFST1 SET4	IFOFST1 SET3	IFOFST1 SET2	IFOFST1 SET1	IFOFST1 SET0
	IFOFST1SET20- IFOFST1SET0			IF周波数オフセット1設定ビット				
	-			IF周波数オフセット値を設定します。				

注意 ビット23-21には、0を設定してください。

3.4.49 SXシフト周波数設定レジスタ（BBSXSFTFREQ）

SXシフト周波数設定ビットにより、SX周波数のシフト値を設定します（1H = 1kHz）。

周波数オフセット有効ビットによって、本レジスタの設定値を有効にできます。

000H : 0kHz

001H : 1kHz

002H : 2kHz

...

0C8H : 200kHz

...

7FFH : 2047kHz

800H : 0kHz

801H : -1kHz

802H : -2kHz

...

8C8H : -200kHz

...

FFFH : -2047kHz

リセット信号の発生により、0000Hになります。

図3-60 SXシフト周波数設定レジスタ（BBSXSFTFREQ）のフォーマット

アドレス : 00AEH, 00ADH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBSXSFT FREQ (00AEH)	0	0	0	0	SXSFTF REQ11	SXSFTF REQ10	SXSFTF REQ9	SXSFTF REQ8
(00ADH)								
	7	6	5	4	3	2	1	0
	SXSFTF REQ7	SXSFTF REQ6	SXSFTF REQ5	SXSFTF REQ4	SXSFTF REQ3	SXSFTF REQ2	SXSFTF REQ1	SXSFTF REQ0
	SXSFTFREQ11- SXSFTFREQ0		SXシフト周波数設定ビット					
	-		SX周波数のシフト値を設定します。					

注意 ビット15-12には、0を設定してください。

3.4.50 CCA時間レジスタ (CCATIME)

CCA処理にかかる時間を設定するレジスタです。初期値は000DH = 13データレート時間^{注1}（設定値1H = 1データレート時間^{注1}）。

注1. タイミングパラメータ用データレート設定レジスタの設定値に依存します。

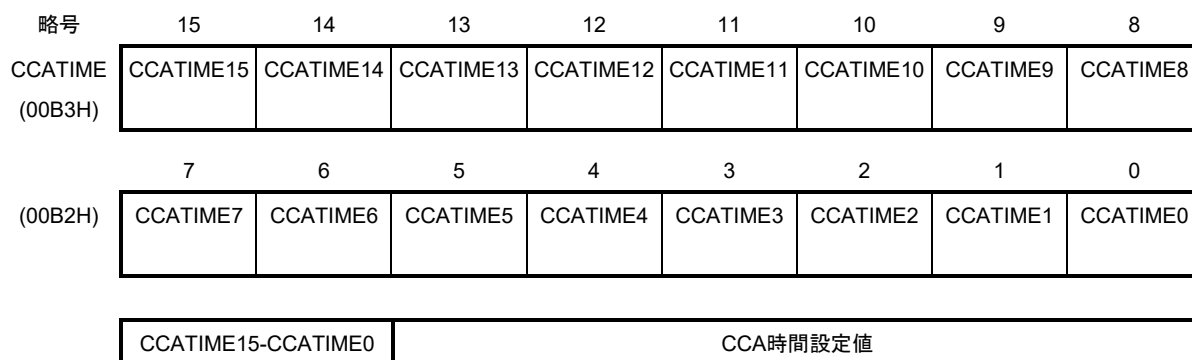
なお、本レジスタへの設定値にはAGC（オート・ゲイン・コントロール）処理時間を含みます。

最大2000データレート時間まで設定できます。

リセット信号の発生により、000DHになります。

図3-61 CCA時間レジスタ (CCATIME) のフォーマット

アドレス : 00B3H, 00B2H リセット時 : 000DH R/W



注意 設定値の下限は、データレートごとに異なります。設定値については、製品のご使用時に最新の推奨レジスタ設定アプリケーションノートを参照してください。

3.4.51 送信データ・カウンタレジスタ (BBTXCOUNT)

送信時の送信データ・カウンタ値を示すレジスタです。現在何バイトの送信データが送信RAMから送信回路へ転送されたかを確認できます。値はパケット送信の終了で0にクリアされます。下位8ビットデータを読み出した時点で上位3ビットデータを格納しますので、必ず下位、上位の順に読み出して下さい。

下位バイトの00BCH番地を読み出した値が00Hの場合は、再度下位バイトの00BCH番地から読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度下位バイトが00Hに達するまでの間に行ってください。

リセット信号の発生により、0000Hになります。

図3-62 送信データ・カウンタレジスタ (BBTXCOUNT) のフォーマット

アドレス : 00BDH, 00BCH リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8
BBTX COUNT (00BDH)	0	0	0	0	0	TRNCOUNT 10	TRNCOUNT 9	TRNCOUNT 8
	7	6	5	4	3	2	1	0
(00BCH)	TRNCOUNT 7	TRNCOUNT 6	TRNCOUNT 5	TRNCOUNT 4	TRNCOUNT 3	TRNCOUNT 2	TRNCOUNT 1	TRNCOUNT 0
	TRNCOUNT10- TRNCOUNT0		送信時の送信データ・カウンタ値					

3.4.52 外部素子制御レジスタ0 (BBEXTCON0)

外部パワーアンプなどの制御が可能のように、GPIO端子からCTX, CPS, CSD信号を出力することができます。

送信CTX許可ビットにより、送信時のCTX信号動作を選択したGPIO端子から出力できます。

受信CTX許可ビットにより、受信時のCTX信号動作を選択したGPIO端子から出力できます。

送信CPS許可ビットにより、送信時のCPS信号動作を選択したGPIO端子から出力できます。

受信CPS許可ビットにより、受信時のCPS信号動作を選択したGPIO端子から出力できます。

送信CSD許可ビットにより、送信時のCSD信号動作を選択したGPIO端子から出力できます。

受信CSD許可ビットにより、受信時のCSD信号動作を選択したGPIO端子から出力できます。

GPIO機能選択レジスタ0~7にてGPIO0からGPIO12に出力選択可能です。

リセット信号の発生により、00Hになります。

(1) CTX信号

送信CTX許可ビットを1に設定することで、送信トリガを起点として、CTXセットタイミングレジスタに設定した時間経過後にハイ・レベルにすることができます。また、送信終了時にCTXクリアタイミングレジスタに設定した時間経過後にロウ・レベルになります。

受信CTX許可ビットを1に設定することで、受信トリガと同時にハイ・レベルに、受信終了とともにロウ・レベルになります。

(2) CPS信号

送信CPS許可ビットを1に設定することで、送信トリガを起点として、CPSセットタイミングレジスタに設定した時間経過後にハイ・レベルにすることができます。また、送信終了時にCPSクリアタイミングレジスタに設定した時間経過後にロウ・レベルになります。

受信CPS許可ビットを1に設定することで、受信トリガと同時にハイ・レベルに、受信終了とともにロウ・レベルになります。

(3) CSD信号

送信CSD許可ビットを1に設定することで、送信トリガを起点として、CSDセットタイミングレジスタに設定した時間経過後にハイ・レベルにすることができます。また、送信終了時にCSDクリアタイミングレジスタに設定した時間経過後にロウ・レベルになります。

受信CSD許可ビットを1に設定することで、受信トリガと同時にハイ・レベルに、受信終了とともにロウ・レベルになります。

図3-63 外部素子制御レジスタ0 (BBEXTCON0) のフォーマット

アドレス : 00BEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBEXT CON0	0	0	RXCSDEN	TXCSDEN	RXCPSEN	TXCPSEN	RXCTXEN	TXCTXEN

RXCSDEN	受信CSD許可ビット
0	無効
1	許可

TXCSDEN	送信CSD許可ビット
0	無効
1	許可

RXCPSEN	受信CPS許可ビット
0	無効
1	許可

TXCPSEN	送信CPS許可ビット
0	無効
1	許可

RXCTXEN	受信CTX許可ビット
0	無効
1	許可

TXCTXEN	送信CTX許可ビット
0	無効
1	許可

注意 ビット7, 6には、0を設定してください。

3.4.53 外部素子制御レジスタ1 (BBEXTCON1)

CTX反転ビットにより、CTX信号動作を反転します。

CPS反転ビットにより、CPS信号動作を反転します。

CSD反転ビットにより、CSD信号動作を反転します。

リセット信号の発生により、00Hになります。

図3-64 外部素子制御レジスタ1 (BBEXTCON1) のフォーマット

アドレス : 00BFH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBEXT CON1	0	0	0	0	0	CSDRVS	CPSRVS	CTXRVS

CSDRVS	CSD反転ビット
0	通常
1	反転

CPSRVS	CPS反転ビット
0	通常
1	反転

CTXRVS	CTX反転ビット
0	通常
1	反転

注意 ビット7-3には、0を設定してください。

3.4.54 CTXセットタイミングレジスタ (BBCTXSET)

送信CTX許可ビットを有効にした場合の送信CTXセット時間を設定します（設定値1H = 1 μ s）。

リセット信号の発生により、0001Hになります。

図3-65 CTXセットタイミングレジスタ (BBCTXSET) のフォーマット

アドレス : 00C1H, 00C0H リセット時 : 0001H R/W

略号	15	14	13	12	11	10	9	8
BBCTXSET (00C1H)	CTXSET15	CTXSET14	CTXSET13	CTXSET12	CTXSET11	CTXSET10	CTXSET9	CTXSET8
	7	6	5	4	3	2	1	0
(00C0H)	CTXSET7	CTXSET6	CTXSET5	CTXSET4	CTXSET3	CTXSET2	CTXSET1	CTXSET0
CTXSET15-CTXSET0		CTXセットタイミングビット						
—		送信CTXセット時間を設定します。						

3.4.55 CTXクリアタイミングレジスタ (BBCTXCLR)

送信CTX許可ビットを有効にした場合の送信CTXクリア時間を設定します（設定値1H = 1 μ s）。

リセット信号の発生により、0001Hになります。

図3-66 CTXクリアタイミングレジスタ (BBCTXCLR) のフォーマット

アドレス : 00C3H, 00C2H リセット時 : 0001H R/W

略号	15	14	13	12	11	10	9	8
BBCTXCLR (00C3H)	CTXCLR15	CTXCLR14	CTXCLR13	CTXCLR12	CTXCLR11	CTXCLR10	CTXCLR9	CTXCLR8
	7	6	5	4	3	2	1	0
(00C2H)	CTXCLR7	CTXCLR6	CTXCLR5	CTXCLR4	CTXCLR3	CTXCLR2	CTXCLR1	CTXCLR0
CTXCLR15-CTXCLR0		CTXクリアタイミングビット						
—		送信CTXクリア時間を設定します。						

3.4.56 CPSセットタイミングレジスタ (BBCPSSET)

送信CPS許可ビットを有効にした場合の送信CPSセット時間を設定します（設定値1H = 1 μ s）。

リセット信号の発生により、0001Hになります。

図3-67 CPSセットタイミングレジスタ (BBCPSSET) のフォーマット

アドレス：00C5H, 00C4H リセット時：0001H R/W

略号	15	14	13	12	11	10	9	8
BBCPSSET (00C5H)	CPSSET15	CPSSET14	CPSSET13	CPSSET12	CPSSET11	CPSSET10	CPSSET9	CPSSET8
	7	6	5	4	3	2	1	0
(00C4H)	CPSSET7	CPSSET6	CPSSET5	CPSSET4	CPSSET3	CPSSET2	CPSSET1	CPSSET0
CPSSET15-CPSSET0		CPSセットタイミングビット						
—		送信CPSセット時間を設定します。						

3.4.57 CPSクリアタイミングレジスタ (BBCPSCLR)

送信CPS許可ビットを有効にした場合の送信CPSクリア時間を設定します（設定値1H = 1 μ s）。

リセット信号の発生により、0001Hになります。

図3-68 CPSクリアタイミングレジスタ (BBCPSCLR) のフォーマット

アドレス：00C7H, 00C6H リセット時：0001H R/W

略号	15	14	13	12	11	10	9	8
BBCPSCLR (00C7H)	CPSCLR15	CPSCLR14	CPSCLR13	CPSCLR12	CPSCLR11	CPSCLR10	CPSCLR9	CPSCLR8
	7	6	5	4	3	2	1	0
(00C6H)	CPSCLR7	CPSCLR6	CPSCLR5	CPSCLR4	CPSCLR3	CPSCLR2	CPSCLR1	CPSCLR0
CPSCLR15-CPSCLR0		CPSクリアタイミングビット						
—		送信CPSクリア時間を設定します。						

3.4.58 CSDセットタイミングレジスタ (BBCSDSET)

送信CSD許可ビットを有効にした場合の送信CSDセット時間を設定します（設定値1H = 1 μ s）。

リセット信号の発生により、0001Hになります。

図3-69 CSDセットタイミングレジスタ (BBCSDSET) のフォーマット

アドレス：00C9H, 00C8H リセット時：0001H R/W

略号	15	14	13	12	11	10	9	8
BBCSDSET (00C9H)	CSDSET15	CSDSET14	CSDSET13	CSDSET12	CSDSET11	CSDSET10	CSDSET9	CSDSET8
	7	6	5	4	3	2	1	0
(00C8H)	CSDSET7	CSDSET6	CSDSET5	CSDSET4	CSDSET3	CSDSET2	CSDSET1	CSDSET0
	CSDSET15-CSDSET0		CSDセットタイミングビット					
	—		送信CSDセット時間を設定します。					

3.4.59 CSDクリアタイミングレジスタ (BBCSDCLR)

送信CSD許可ビットを有効にした場合の送信CSDクリア時間を設定します（設定値1H = 1 μ s）。

リセット信号の発生により、0001Hになります。

図3-70 CSDクリアタイミングレジスタ (BBCSDCLR) のフォーマット

アドレス：00CBH, 00CAH リセット時：0001H R/W

略号	15	14	13	12	11	10	9	8
BBCSDCLR (00CBH)	CSDCLR15	CSDCLR14	CSDCLR13	CSDCLR12	CSDCLR11	CSDCLR10	CSDCLR9	CSDCLR8
	7	6	5	4	3	2	1	0
(00CAH)	CSDCLR7	CSDCLR6	CSDCLR5	CSDCLR4	CSDCLR3	CSDCLR2	CSDCLR1	CSDCLR0
	CSDCLR15-CSDCLR0		CSDクリアタイミングビット					
	—		送信CSDクリア時間を設定します。					

3.4.60 受信バイト数割り込みコンペア・レジスタ (BBRCVINTCOMP)

受信バイト数に応じた割り込みを発生させるためのレジスタです。設定したバイト数の受信データを受信RAMに格納した時点で割り込み要求を発生します。

なお、アドレス・フィルタ有効時は受信バイト数割り込みが発生しても、アドレス・フィルタ割り込みが発生するまでの期間は受信RAMへ受信データは格納されません。

0001H~07FFHの値を設定してください。

リセット信号の発生により、0010Hになります。

図3-71 受信バイト数割り込みコンペア・レジスタ (BBRCVINTCOMP) のフォーマット

アドレス : 00D3H, 00D2H リセット時 : 0010H R/W

略号	15	14	13	12	11	10	9	8
BBRCVINT COMP (00D3H)	0	0	0	0	0	RCVINT COMP10	RCVINT COMP9	RCVINT COMP8
	7	6	5	4	3	2	1	0
(00D2H)	RCVINT COMP7	RCVINT COMP6	RCVINT COMP5	RCVINT COMP4	RCVINT COMP3	RCVINT COMP2	RCVINT COMP1	RCVINT COMP0
RCVINTCOMP10- RCVINTCOMP0		受信バイト数割り込みを発生させるバイト数						

注意 ビット15-11には、0を設定してください。

3.4.61 バックオフ・ピリオド総数レジスタ (BBBOPTOTAL)

CSMA-CA時のバックオフ・ピリオドの総数を示すレジスタです。カウント値の最大値はFFFFHです。

リセット信号の発生により、0000Hになります。

図3-72 バックオフ・ピリオド総数レジスタ (BBBOPTOTAL) のフォーマット

アドレス : 00D5H, 00D4H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8
BBBOP	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL
TOTAL	15	14	13	12	11	10	9	8
(00D5H)								
	7	6	5	4	3	2	1	0
(00D4H)	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL	BOPTOTAL
	7	6	5	4	3	2	1	0
	BOPTOTAL15- BOPTOTAL0	バックオフ・ピリオドの総数						

3.4.62 CCA総数レジスタ (BBCCATOTAL)

CSMA-CA時のCCAの総数を示すレジスタです。カウント値の最大値はFFHです。

リセット信号の発生により、00Hになります。

図3-73 CCA総数レジスタ (BBCCATOTAL) のフォーマット

アドレス : 00D6H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
BBCCA	CCATOTAL	CCATOTAL	CCATOTAL	CCATOTAL	CCATOTAL	CCATOTAL	CCATOTAL	CCATOTAL
TOTAL	7	6	5	4	3	2	1	0
	CCATOTAL7- CCATOTAL0	CCAの総数						

3.4.63 アドレス・フィルタ拡張アドレス制御レジスタ (BBADFCON)

PANコーディネータ2ビットにより、第2アドレス・フィルタ側のPANコーディネータであるかないかを設定できます。

フレーム・ペンディング2設定ビットにより、第2アドレス・フィルタ側のACK返信時のフレーム・ペンディングビットの値を設定できます。

第1アドレス・フィルタ一致モニタ・ビットにより、第1アドレスでアドレス一致したかどうかをモニタできます。読み出し内容は、受信データ格納バンク選択ビットで指定された格納バンクに対応した値です。

第2アドレス・フィルタ一致モニタ・ビットにより、第2アドレスでアドレス一致したかどうかをモニタできます。読み出し内容は、受信データ格納バンク選択ビットで指定された格納バンクに対応した値です。

アドレス・フィルタ・アドレス拡張ビットを無効にした場合、第1および第2アドレス・フィルタ一致モニタ・ビットの値は無効です。

また、アドレス・フィルタ・アドレス拡張ビットを有効にした場合、以下の条件では無効です。

- フレーム・バージョン : 00, 01
- フレーム・タイプ : ビーコン・フレーム
- 宛先 PAN ID、宛先アドレスなし時
- 送信元 PAN ID の値と PAN 識別子レジスタ 0 または PAN 識別子レジスタ 1 のいずれかの値が一致、もしくは PAN 識別子レジスタ 0 または PAN 識別子レジスタ 1 のいずれかの値 = FFFFH 時
- PANCORD ビット = 0

リセット信号の発生により、00HIになります。

図3-74 アドレス・フィルタ拡張アドレス制御レジスタ (BBADFCON) のフォーマット

アドレス : 00DFH リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
BBADF CON	0	0	0	0	ADFMONI2	ADFMONI1	FLMPEND2	PANCORD2

ADFMONI2	第2アドレス・フィルタ一致モニタ・ビット
0	第2アドレスで不一致
1	第2アドレスで一致

ADFMONI1	第1アドレス・フィルタ一致モニタ・ビット
0	第1アドレスで不一致
1	第1アドレスで一致

FLMPEND2	フレーム・ペンディング2設定ビット
0	フレーム・ペンディング・ビット = 0
1	フレーム・ペンディング・ビット = 1

PANCORD2	PANコーディネータ2ビット
0	PANコーディネータでない
1	PANコーディネータである

注 ビット3, 2は、Read Onlyです。

注意 ビット7-4には、0を設定してください。

3.4.64 PAN識別子レジスタ1 (BBPANID1)

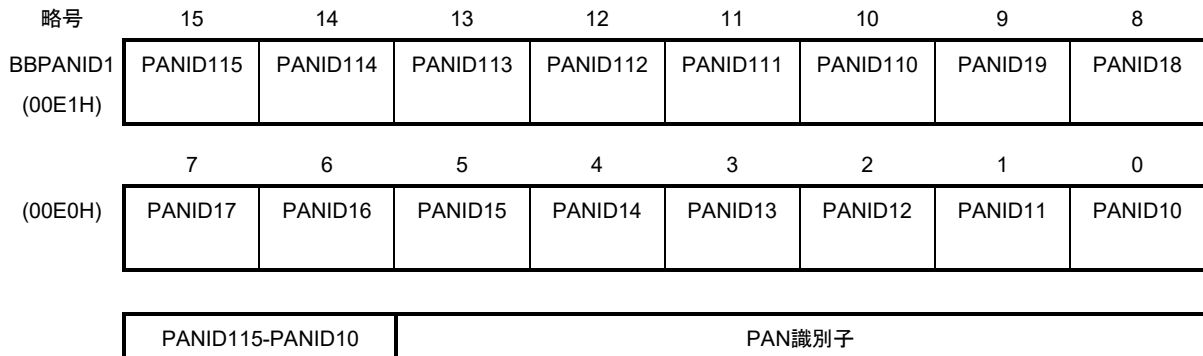
第2アドレス・フィルタのPAN識別子を設定するためのレジスタです。16ビットで構成されており、受信したPAN識別子との一致検出に使用します。

0000H~FFFFHの値を設定してください。

リセット信号の発生により、FFFFHになります。

図3-75 PAN識別子レジスタ1 (BBPANID1) のフォーマット

アドレス : 00E1H, 00E0H リセット時 : FFFFH R/W



3.4.65 ショート・アドレス・レジスタ1 (BBSHORTAD1)

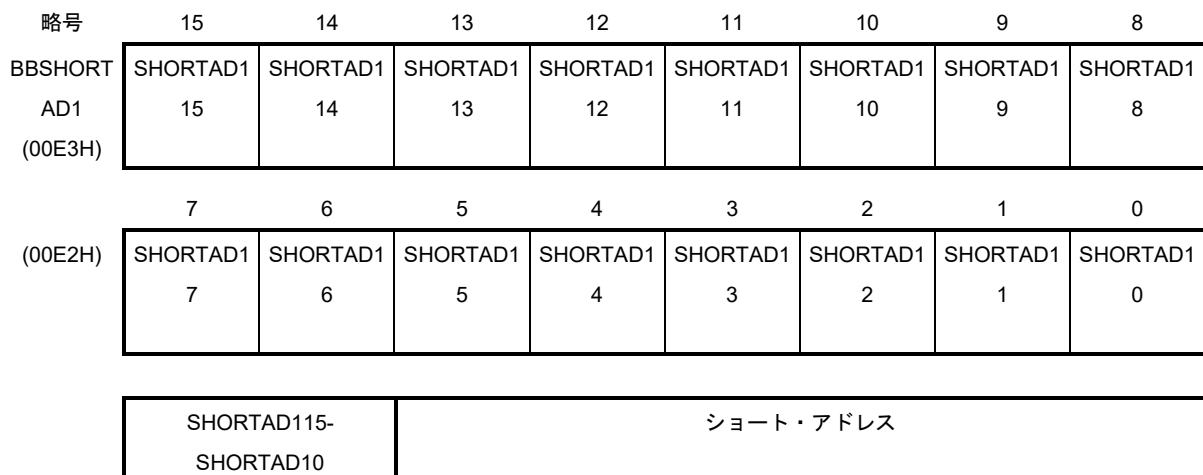
第2アドレス・フィルタのショート・アドレスを設定するためのレジスタです。16ビットで構成されており、受信したショート・アドレスとの一致検出に使用します。

0000H~FFFFHの値を設定してください。

リセット信号の発生により、FFFFHになります。

図3-76 ショート・アドレス・レジスタ1 (BBSHORTAD1) のフォーマット

アドレス : 00E3H, 00E2H リセット時 : FFFFH R/W



3.4.66 拡張アドレス・レジスタ1 (BBEXTENDAD10-BBEXTENDAD13)

第2アドレス・フィルタの拡張アドレスを設定するためのレジスタです。64ビット（16ビット×4）で構成されており、受信した拡張アドレスとの一致検出に使用します。

0000H~FFFFHの値を設定してください。

リセット信号の発生により、0000Hになります。

図3-77 拡張アドレス・レジスタ1 (BBEXTENDAD10-BBEXTENDAD13) のフォーマット (1/2)

アドレス : 00EBH, 00EAH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD13 (00EBH)	EXTENDAD 1315	EXTENDAD 1314	EXTENDAD 1313	EXTENDAD 1312	EXTENDAD 1311	EXTENDAD 1310	EXTENDAD 139	EXTENDAD 138
	7	6	5	4	3	2	1	0
(00EAH)	EXTENDAD 137	EXTENDAD 136	EXTENDAD 135	EXTENDAD 134	EXTENDAD 133	EXTENDAD 132	EXTENDAD 131	EXTENDAD 130
EXTENDAD1315- EXTENDAD130		拡張アドレスのビット63-48						

アドレス : 00E9H, 00E8H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD12 (00E9H)	EXTENDAD 1215	EXTENDAD 1214	EXTENDAD 1213	EXTENDAD 1212	EXTENDAD 1211	EXTENDAD 1210	EXTENDAD 129	EXTENDAD 128
	7	6	5	4	3	2	1	0
(00E8H)	EXTENDAD 127	EXTENDAD 126	EXTENDAD 125	EXTENDAD 124	EXTENDAD 123	EXTENDAD 122	EXTENDAD 121	EXTENDAD 120
EXTENDAD1215- EXTENDAD120		拡張アドレスのビット47-32						

図3-77 拡張アドレス・レジスタ1 (BBEXTENDAD10-BBEXTENDAD13) のフォーマット (2/2)

アドレス : 00E7H, 00E6H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD11 (00E7H)	EXTENDAD 1115	EXTENDAD 1114	EXTENDAD 1113	EXTENDAD 1112	EXTENDAD 1111	EXTENDAD 1110	EXTENDAD 119	EXTENDAD 118
	7	6	5	4	3	2	1	0
(00E6H)	EXTENDAD 117	EXTENDAD 116	EXTENDAD 115	EXTENDAD 114	EXTENDAD 113	EXTENDAD 112	EXTENDAD 111	EXTENDAD 110
EXTENDAD1115- EXTENDAD110		拡張アドレスのビット31-16						

アドレス : 00E5H, 00E4H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBEXTEND AD10 (00E5H)	EXTENDAD 1015	EXTENDAD 1014	EXTENDAD 1013	EXTENDAD 1012	EXTENDAD 1011	EXTENDAD 1010	EXTENDAD 109	EXTENDAD 108
	7	6	5	4	3	2	1	0
(00E4H)	EXTENDAD 107	EXTENDAD 106	EXTENDAD 105	EXTENDAD 104	EXTENDAD 103	EXTENDAD 102	EXTENDAD 101	EXTENDAD 100
EXTENDAD1015- EXTENDAD100		拡張アドレスのビット15-0						

3.4.67 受信タイムアウト・レジスタ (BBTIMEOUT)

タイムアウト付自動受信を有効にした際のACK返信 (PHR受信開始) がない場合のタイムアウト時間を設定するレジスタです。12ビットで構成されております。

0001H~0FFFHの値を設定してください。

リセット信号の発生により、07D0Hになります (07D0H = 2ms, 1H = 1 μ s)。

図3-78 受信タイムアウト・レジスタ (BBTIMEOUT) のフォーマット

アドレス : 00EDH, 00ECH リセット時 : 07D0H R/W

略号	15	14	13	12	11	10	9	8
BBTIMEOUT (00EDH)	0	0	0	0	TIMEOUT11	TIMEOUT10	TIMEOUT9	TIMEOUT8
	7	6	5	4	3	2	1	0
(00ECH)	TIMEOUT7	TIMEOUT6	TIMEOUT5	TIMEOUT4	TIMEOUT3	TIMEOUT2	TIMEOUT1	TIMEOUT0
	TIMEOUT11-TIMEOUT0		タイムアウト時間設定値					

注意 ビット15-12には、0を設定してください。

3.4.68 INTOUTモードレジスタ (BBINTOUTMODE)

INTOUT0出力極性切り替えビットにより、INTOUT0からの割り込み出力の割り込み極性を選択できます。

受信完了同期クリアビットにより、受信完了時に下記の割り込み要因フラグを自動的にクリアできます。

- フレーム・レングス
- アドレス・フィルタ
- 受信開始
- AGC 完了
- プリアンブル検出
- キャリアセンス

INTREQ0選択ビットにより、00F8H番地、0100H番地、0108H番地のb4の割り込み要因をCSMA-CA完了割り込みかCCA完了割り込みかを選択できます。

INTREQ1選択ビットにより、00F9H番地、0101H番地、0109H番地のb4の割り込み要因、00FAH番地、0102H番地、010AH番地のb5の割り込み要因、および00FBH番地、0103H番地、010BH番地のb5の割り込み要因をフレーム・レングス割り込みかアドレス・フィルタ割り込みかを選択できます。

INTREQ2選択ビットにより、00FAH番地、0102H番地、010AH番地のb2の割り込み要因をCCAクリア割り込みか受信キャンセル割り込みかを選択できます。

受信キャンセル同期クリアビットを1に設定することで、受信キャンセル時に下記の割り込み要因フラグを自動的にクリアできます。

- バンク 0 受信完了
- バンク 1 受信完了
- フレーム・レングス
- アドレス・フィルタ
- 受信開始
- 受信バイト数
- AGC 完了
- プリアンブル検出
- キャリアセンス

リセット信号の発生により、00Hになります。

図3-79 INTOOUTモードレジスタ (BBINTOUTMODE) のフォーマット

アドレス : 00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINTOUT MODE	RCVCANCE LCLR	INTREQ2 SEL	INTREQ1 SEL	INTREQ0 SEL	RCVFINCLR	0	0	INTOUT0 SEL

RCVCANCE LCLR	受信キャンセル同期クリアビット
0	受信キャンセル時、割り込み要因フラグがクリアされない
1	受信キャンセル時、割り込み要因フラグがクリアされる

INTREQ2 SEL	INTREQ2選択ビット
0	CCAクリア割り込み
1	受信キャンセル割り込み

INTREQ1 SEL	INTREQ1選択ビット
0	フレーム・レンクス割り込み
1	アドレス・フィルタ割り込み

INTREQ0 SEL	INTREQ0選択ビット
0	CSMA-CA完了割り込み
1	CCA完了割り込み

RCVFINCLR	受信完了同期クリアビット
0	受信完了時、割り込み要因フラグがクリアされない
1	受信完了時、割り込み要因フラグがクリアされる

INTOUT0 SEL	INTOUT0出力極性切り替えビット
0	割り込み要求あり時H
1	割り込み要求あり時L

注意 ビット2, 1には、0を設定してください。

3.4.69 INTOUT0割り込み要因レジスタ0 (BBINT0REQ0)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して (SEN端子がLのまま) 読み出してください。

リセット信号の発生により、不定になります。

図3-80 INTOUT0割り込み要因レジスタ0 (BBINT0REQ0) のフォーマット (1/2)

アドレス : 00F4H リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	CSMA	FSYNC	TRN1	TRN0	CAL	TIM2	TIM1	TIM0
REQ0	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ

CSMA INTREQ	CSMA-CA完了割り込み要因フラグ	
0	要求なし	
1	要求あり	

FSYNC INTREQ	フレーム同期送信完了割り込み要因フラグ	
0	要求なし	
1	要求あり	

TRN1 INTREQ	バンク1送信完了割り込み要因フラグ	
0	要求なし	
1	要求あり	

TRN0 INTREQ	バンク0送信完了割り込み要因フラグ	
0	要求なし	
1	要求あり	

CAL INTREQ	キャリアレーション完了割り込み要因フラグ	
0	要求なし	
1	要求あり	

図3-80 INTOUT0割り込み要因レジスタ0 (BBINT0REQ0) のフォーマット (2/2)

TIM2 INTREQ	タイマ・コンペア2割り込み要因フラグ
0	要求なし
1	要求あり

TIM1 INTREQ	タイマ・コンペア1割り込み要因フラグ
0	要求なし
1	要求あり

TIM0 INTREQ	タイマ・コンペア0割り込み要因フラグ
0	要求なし
1	要求あり

3.4.70 INTOUT0割り込み要因レジスタ1 (BBINT0REQ1)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して（SEN端子がLのまま）読み出してください。

リセット信号の発生により、不定になります。

図3-81 INTOUT0割り込み要因レジスタ1 (BBINT0REQ1) のフォーマット (1/2)

アドレス : 00F5H リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	TRNFIN	RCVLVL	MODESW	ROVR	ADRS	FL	RCV1	RCV0
REQ1	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ

TRNFIN INTREQ	フレーム送信完了割り込み要因フラグ
0	要求なし
1	要求あり

RCVLVL INTREQ	受信レベル割り込み要因フラグ
0	要求なし
1	要求あり

MODESW INTREQ	モード・スイッチ受信完了割り込み要因フラグ
0	要求なし
1	要求あり

ROVR INTREQ	受信オーバーラン割り込み要因フラグ
0	要求なし
1	要求あり

ADRS INTREQ	アドレス・フィルタ割り込み要因フラグ
0	要求なし
1	要求あり

図3-81 INTOUT0割り込み要因レジスタ1 (BBINT0REQ1) のフォーマット (2/2)

FL INTREQ	フレーム・レングス割り込み要因フラグ
0	要求なし
1	要求あり

RCV1 INTREQ	バンク1受信完了割り込み要因フラグ
0	要求なし
1	要求あり

RCV0 INTREQ	バンク0受信完了割り込み要因フラグ
0	要求なし
1	要求あり

3.4.71 INTOUT0割り込み要因レジスタ2 (BBINT0REQ2)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して（SEN端子がLのまま）読み出してください。

リセット信号の発生により、不定になります。

図3-82 INTOUT0割り込み要因レジスタ2 (BBINT0REQ2) のフォーマット (1/2)

アドレス : 00F6H リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	PREAMBL	CCA	AGC	RCVBYTE	RCVFIN	RCVSTA	TRNSTART	TRNBYTE
REQ2	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ

PREAMBL INTREQ	プリアンブル検出割り込み要因フラグ
0	要求なし
1	要求あり

CCA INTREQ	CCA完了割り込み要因フラグ
0	要求なし
1	要求あり

AGC INTREQ	AGC完了割り込み要因フラグ
0	要求なし
1	要求あり

RCVBYTE INTREQ	受信バイト数割り込み要因フラグ
0	要求なし
1	要求あり

RCVFIN INTREQ	フレーム受信完了割り込み要因フラグ
0	要求なし
1	要求あり

図3-82 INTOUT0割り込み要因レジスタ2 (BBINT0REQ2) のフォーマット (2/2)

RCVSTA INTREQ	受信開始割り込み要因フラグ
0	要求なし
1	要求あり

TRNSTAR TINTREQ	送信開始割り込み要因フラグ
0	要求なし
1	要求あり

TRNBYTE INTREQ	送信バイト数割り込み要因フラグ
0	要求なし
1	要求あり

3.4.72 INTOUT0割り込み要因レジスタ3 (BBINT0REQ3)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して（SEN端子がLのまま）読み出してください。

リセット信号の発生により、不定になります。

図3-83 INTOUT0割り込み要因レジスタ3 (BBINT0REQ3) のフォーマット (1/2)

アドレス : 00F7H リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	CANCEL	X	X	TRNUNDRR	RCVTOUT	CCACLR	CCALIMIT	CS
REQ3	INTREQ			UNINTREQ	INTREQ	INTREQ	INTREQ	INTREQ

CANCEL INTREQ	受信キャンセル割り込み要因フラグ
0	要求なし
1	要求あり

TRNUNDRR UNINTREQ	送信アンダーラン割り込み要因フラグ
0	要求なし
1	要求あり

RCVTOUT INTREQ	自動受信タイムアウト割り込み要因フラグ
0	要求なし
1	要求あり

CCACLR INTREQ	CCAクリア割り込み要因フラグ
0	要求なし
1	要求あり

CCALIMIT INTREQ	CCAリミット割り込み要因フラグ
0	要求なし
1	要求あり

図3-83 INTOUT0割り込み要因レジスタ3 (BBINT0REQ3) のフォーマット (2/2)

CS INTREQ	キャリアセンス割り込み要因フラグ
0	要求なし
1	要求あり

3.4.73 INTOUT0割り込み要因レジスタ4 (BBINT0REQ4)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して（SEN端子がLのまま）読み出してください。

リセット信号の発生により、不定になります。

図3-84 INTOUT0割り込み要因レジスタ4 (BBINT0REQ4) のフォーマット (1/2)

アドレス : 00F8H リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	TRNFIN	TRNFSYNC	TRNSTART	CSMA	TRNUNDRR	TRNBYTE	TRN1	TRN0
REQ4	INTREQ	INTREQ	INTREQ	INTREQ	UNINTREQ	INTREQ	INTREQ	INTREQ

TRNFIN INTREQ	フレーム送信完了割り込み要因フラグ
0	要求なし
1	要求あり

TRNFSYNC INTREQ	フレーム同期送信完了割り込み要因フラグ
0	要求なし
1	要求あり

TRNSTART INTREQ	送信開始割り込み要因フラグ
0	要求なし
1	要求あり

CSMA INTREQ	CSMA-CA完了/CCA完了 割り込み要因フラグ
0	要求なし
1	要求あり

TRNUNDRR UNINTREQ	送信アンダーラン割り込み要因フラグ
0	要求なし
1	要求あり

図3-84 INTOUT0割り込み要因レジスタ4 (BBINT0REQ4) のフォーマット (2/2)

TRNBYTE INTREQ	送信バイト数割り込み要因フラグ
0	要求なし
1	要求あり

TRN1 INTREQ	バンク1送信完了割り込み要因フラグ
0	要求なし
1	要求あり

TRN0 INTREQ	バンク0送信完了割り込み要因フラグ
0	要求なし
1	要求あり

3.4.74 INTOUT0割り込み要因レジスタ5 (BBINT0REQ5)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して（SEN端子がLのまま）読み出してください。

リセット信号の発生により、不定になります。

図3-85 INTOUT0割り込み要因レジスタ5 (BBINT0REQ5) のフォーマット (1/2)

アドレス : 00F9H リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	RCVTOUT	RCVLVL	RCVFIN	FL	RCVSTART	PREAMBL	CS	AGC
REQ5	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ

RCVTOUT INTREQ	自動受信タイムアウト割り込み要因フラグ
0	要求なし
1	要求あり

RCVLVL INTREQ	受信レベル割り込み要因フラグ
0	要求なし
1	要求あり

RCVFIN INTREQ	フレーム受信完了割り込み要因フラグ
0	要求なし
1	要求あり

FL INTREQ	フレーム・レングス/アドレス・フィルタ割り込み要因フラグ
0	要求なし
1	要求あり

RCVSTART INTREQ	受信開始割り込み要因フラグ
0	要求なし
1	要求あり

図3-85 INTOUT0割り込み要因レジスタ5 (BBINT0REQ5) のフォーマット (2/2)

PREAMBL INTREQ	プリアンブル検出割り込み要因フラグ
0	要求なし
1	要求あり

CS INTREQ	キャリアセンス割り込み要因フラグ
0	要求なし
1	要求あり

AGC INTREQ	AGC完了割り込み要因フラグ
0	要求なし
1	要求あり

3.4.75 INTOUT0割り込み要因レジスタ6 (BBINT0REQ6)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して（SEN端子がLのまま）読み出してください。

リセット信号の発生により、不定になります。

図3-86 INTOUT0割り込み要因レジスタ6 (BBINT0REQ6) のフォーマット (1/2)

アドレス : 00FAH リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	RCVLVL	RCVFIN	FL	RCVSTART	CCALIMIT	CCACLR	CCA	CSMA
REQ6	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ

RCVLVL INTREQ	受信レベル割り込み要因フラグ
0	要求なし
1	要求あり

RCVFIN INTREQ	フレーム受信完了割り込み要因フラグ
0	要求なし
1	要求あり

FL INTREQ	フレーム・レングス/アドレス・フィルタ割り込み要因フラグ
0	要求なし
1	要求あり

RCVSTART INTREQ	受信開始割り込み要因フラグ
0	要求なし
1	要求あり

CCALIMIT INTREQ	CCAリミット割り込み要因フラグ
0	要求なし
1	要求あり

図3-86 INTOUT0割り込み要因レジスタ6 (BBINT0REQ6) のフォーマット (2/2)

CCA CLR INTREQ	CCAクリア/受信キャンセル割り込み要因フラグ
0	要求なし
1	要求あり

CCA INTREQ	CCA完了割り込み要因フラグ
0	要求なし
1	要求あり

CSMA INTREQ	CSMA-CA完了割り込み要因フラグ
0	要求なし
1	要求あり

3.4.76 INTOUT0割り込み要因レジスタ7 (BBINT0REQ7)

各割り込み発生時に対応する割り込み要因が1にセットされ、割り込み要求があることを示します。リード時は1が読み出されたビットのみ0にクリアします。なお、書き込みはできませんのでクリアしたいときはダミーリードしてください。

なお、INTOUT0割り込み要因レジスタ0からINTOUT0割り込み要因レジスタ7の8バイトについて、要因を許可にしているレジスタは連続して（SEN端子がLのまま）読み出してください。

リセット信号の発生により、不定になります。

図3-87 INTOUT0割り込み要因レジスタ7 (BBINT0REQ7) のフォーマット (1/2)

アドレス : 00FBH リセット時 : XXH R

略号	7	6	5	4	3	2	1	0
BBINT0	RCVLVL	RCVFI	FL	RCVSTART	ROVR	RCVBYTE	RCV1	RCV0
REQ7	INTREQ	NINTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ	INTREQ

RCVLVL INTREQ	受信レベル割り込み要因フラグ
0	要求なし
1	要求あり

RCVFIN INTREQ	フレーム受信完了割り込み要因フラグ
0	要求なし
1	要求あり

FL INTREQ	フレーム・レングス/アドレス・フィルタ割り込み要因フラグ
0	要求なし
1	要求あり

RCVSTART INTREQ	受信開始割り込み要因フラグ
0	要求なし
1	要求あり

ROVR INTREQ	受信オーバーラン割り込み要因フラグ
0	要求なし
1	要求あり

図3-87 INTOUT0割り込み要因レジスタ7 (BBINT0REQ7) のフォーマット (2/2)

RCVBYTE INTREQ	受信バイト数割り込み要因フラグ
0	要求なし
1	要求あり

RCV1 INTREQ	バンク1受信完了割り込み要因フラグ
0	要求なし
1	要求あり

RCV0 INTREQ	バンク0受信完了割り込み要因フラグ
0	要求なし
1	要求あり

3.4.77 INTOOUT0割り込み許可レジスタ0 (BBINT0EN0)

各割り込み発生時にINTOOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-88 INTOOUT0割り込み許可レジスタ0 (BBINT0EN0) のフォーマット (1/2)

アドレス : 00FCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	CSMA	FSYNC	TRN1	TRN0	CAL	TIM2	TIM1	TIM0
EN0	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN

CSMA INTEN	CSMA-CA完了割り込み許可ビット
0	禁止
1	許可

FSYNC INTEN	フレーム同期送信完了割り込み許可ビット
0	禁止
1	許可

TRN1 INTEN	バンク1送信完了割り込み許可ビット
0	禁止
1	許可

TRN0 INTEN	バンク0送信完了割り込み許可ビット
0	禁止
1	許可

CAL INTEN	キャリブレーション完了割り込み許可ビット
0	禁止
1	許可

TIM2 INTEN	タイマ・コンペア2割り込み許可ビット
0	禁止
1	許可

図3-88 INTOUT0割り込み許可レジスタ0 (BBINT0EN0) のフォーマット (2/2)

TIM1 INTEN	タイマ・コンペア1割り込み許可ビット
0	禁止
1	許可

TIM0 INTEN	タイマ・コンペア0割り込み許可ビット
0	禁止
1	許可

3.4.78 INTOOUT0割り込み許可レジスタ1 (BBINT0EN1)

各割り込み発生時にINTOOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-89 INTOOUT0割り込み許可レジスタ1 (BBINT0EN1) のフォーマット (1/2)

アドレス : 00FDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	TRNFIN	RCVLVL	MODESW	ROVR	ADRS	FL	RCV1	RCV0
EN1	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN

TRNFIN INTEN	フレーム送信完了割り込み許可ビット
0	禁止
1	許可

RCVLVL INTEN	受信レベル割り込み許可ビット
0	禁止
1	許可

MODESW INTEN	モード・スイッチ受信完了割り込み許可ビット
0	禁止
1	許可

ROVR INTEN	受信オーバーラン割り込み許可ビット
0	禁止
1	許可

ADRS INTEN	アドレス・フィルタ割り込み許可ビット
0	禁止
1	許可

FL INTEN	フレーム・レンクス割り込み許可ビット
0	禁止
1	許可

図3-89 INTOUT0割り込み許可レジスタ1 (BBINT0EN1) のフォーマット (2/2)

RCV1 INTEN	バンク1受信完了割り込み許可ビット
0	禁止
1	許可

RCV0 INTEN	バンク0受信完了割り込み許可ビット
0	禁止
1	許可

3.4.79 INTOOUT0割り込み許可レジスタ2 (BBINT0EN2)

各割り込み発生時にINTOOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-90 INTOOUT0割り込み許可レジスタ2 (BBINT0EN2) のフォーマット (1/2)

アドレス : 00FEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0 EN2	PREAMBL INTEN	CCA INTEN	AGC INTEN	RCVBYTE INTEN	RCVFIN INTEN	RCVSTA INTEN	TRNSTART INTEN	TRNBYTE INTEN
PREAMBL INTEN	プリアンブル検出割り込み許可ビット							
0	禁止							
1	許可							
CCA INTEN	CCA完了割り込み許可ビット							
0	禁止							
1	許可							
AGC INTEN	AGC完了割り込み許可ビット							
0	禁止							
1	許可							
RCVBYTE INTEN	受信バイト数割り込み許可ビット							
0	禁止							
1	許可							
RCVFIN INTEN	フレーム受信完了割り込み許可ビット							
0	禁止							
1	許可							
RCVSTA INTEN	受信開始割り込み許可ビット							
0	禁止							
1	許可							

図3-90 INTOUT0割り込み許可レジスタ2 (BBINT0EN2) のフォーマット (2/2)

TRNSTART INTEN	送信開始割り込み許可ビット
0	禁止
1	許可

TRNBYTE INTEN	送信バイト数割り込み許可ビット
0	禁止
1	許可

3.4.80 INTOUT0割り込み許可レジスタ3 (BBINT0EN3)

各割り込み発生時にINTOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-91 INTOUT0割り込み許可レジスタ3 (BBINT0EN3) のフォーマット

アドレス : 00FFH リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
BBINT0	CANCEL	0	0	TRNUNDRR	RCVTOUT	CCACLR	CCALIMIT	CS
EN3	INTEN			UNINTEN	INTEN	INTEN	INTEN	INTEN

CANCEL INTEN	受信キャンセル割り込み許可ビット
0	禁止
1	許可

TRNUNDRR UNINTEN	送信アンダーラン割り込み許可ビット
0	禁止
1	許可

RCVTOUT INTEN	自動受信タイムアウト割り込み許可ビット
0	禁止
1	許可

CCACLR INTEN	CCAクリア割り込み許可ビット
0	禁止
1	許可

CCALIMIT INTEN	CCAリミット割り込み許可ビット
0	禁止
1	許可

CS INTEN	キャリアセンス割り込み許可ビット
0	禁止
1	許可

注意 ビット6, 5には、0を設定してください。

3.4.81 INTOUT0割り込み許可レジスタ4 (BBINT0EN4)

各割り込み発生時にINTOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-92 INTOUT0割り込み許可レジスタ4 (BBINT0EN4) のフォーマット (1/2)

アドレス : 0100H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	TRNFIN	TRNFSYNC	TRNSTART	CSMA	TRNUNDRR	TRNBYTE	TRN1	TRN0
EN4	INTEN	INTEN	INTEN	INTEN	UNINTEN	INTEN	INTEN	INTEN

TRNFIN INTEN	フレーム送信完了割り込み許可ビット
0	禁止
1	許可

TRNFSYNC INTEN	フレーム同期送信完了割り込み許可ビット
0	禁止
1	許可

TRNSTART INTEN	送信開始割り込み許可ビット
0	禁止
1	許可

CSMA INTEN	CSMA-CA完了/CCA完了 割り込み許可ビット
0	禁止
1	許可

TRNUNDRR UNINTEN	送信アンダーラン割り込み許可ビット
0	禁止
1	許可

TRNBYTE INTEN	送信バイト数割り込み許可ビット
0	禁止
1	許可

図3-92 INTOUT0割り込み許可レジスタ4 (BBINT0EN4) のフォーマット (2/2)

TRN1 INTEN	バンク1送信完了割り込み許可ビット
0	禁止
1	許可

TRN0 INTEN	バンク0送信完了割り込み許可ビット
0	禁止
1	許可

3.4.82 INTOOUT0割り込み許可レジスタ5 (BBINT0EN5)

各割り込み発生時にINTOOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-93 INTOOUT0割り込み許可レジスタ5 (BBINT0EN5) のフォーマット (1/2)

アドレス : 0101H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	RCVTOU	RCVLVL	RCVFIN	FL	RCVSTART	PREAMBL	CS	AGC
EN5	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN

RCVTOU INTEN	自動受信タイムアウト割り込み許可ビット
0	禁止
1	許可

RCVLVL INTEN	受信レベル割り込み許可ビット
0	禁止
1	許可

RCVFIN INTEN	フレーム受信完了割り込み許可ビット
0	禁止
1	許可

FL INTEN	フレーム・レングス/アドレス・フィルタ割り込み許可ビット
0	禁止
1	許可

RCVSTART INTEN	受信開始割り込み許可ビット
0	禁止
1	許可

PREAMBL INTEN	プリアンブル検出割り込み許可ビット
0	禁止
1	許可

図3-93 INTOUT0割り込み許可レジスタ5 (BBINT0EN5) のフォーマット (2/2)

CS INTEN	キャリアセンス割り込み許可ビット
0	禁止
1	許可

AGC INTEN	AGC完了割り込み許可ビット
0	禁止
1	許可

3.4.83 INTOOUT0割り込み許可レジスタ6 (BBINT0EN6)

各割り込み発生時にINTOOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-94 INTOOUT0割り込み許可レジスタ6 (BBINT0EN6) のフォーマット (1/2)

アドレス : 0102H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	RCVLVL	RCVFIN	FL	RCVSTART	CCALIMIT	CCACLR	CCA	CSMA
EN6	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN

RCVLVL INTEN	受信レベル割り込み許可ビット
0	禁止
1	許可

RCVFIN INTEN	フレーム受信完了割り込み許可ビット
0	禁止
1	許可

FL INTEN	フレーム・レングス/アドレス・フィルタ割り込み許可ビット
0	禁止
1	許可

RCVSTART INTEN	受信開始割り込み許可ビット
0	禁止
1	許可

CCALIMIT INTEN	CCAリミット割り込み許可ビット
0	禁止
1	許可

CCACLR INTEN	CCAクリア/受信キャンセル割り込み許可ビット
0	禁止
1	許可

図3-94 INTOUT0割り込み許可レジスタ6 (BBINT0EN6) のフォーマット (2/2)

CCA INTEN	CCA完了割り込み許可ビット
0	禁止
1	許可

CSMA INTEN	CSMA-CA完了割り込み許可ビット
0	禁止
1	許可

3.4.84 INTOOUT0割り込み許可レジスタ7 (BBINT0EN7)

各割り込み発生時にINTOOUT0を選択したGPIO端子からの出力を許可します。

割り込み出力を有効にしたい場合、対応する割り込み許可ビットを1にします。

リセット信号の発生により、00Hになります。

図3-95 INTOOUT0割り込み許可レジスタ7 (BBINT0EN7) のフォーマット (1/2)

アドレス : 0103H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	RCVLVL	RCVFIN	FL	RCVSTART	ROVR	RCVBYTE	RCV1	RCV0
EN7	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN	INTEN

RCVLVL	受信レベル割り込み許可ビット	
INTEN		
0	禁止	
1	許可	

RCVFIN	フレーム受信完了割り込み許可ビット	
INTEN		
0	禁止	
1	許可	

FL	フレーム・レングス/アドレス・フィルタ割り込み許可ビット	
INTEN		
0	禁止	
1	許可	

RCVSTART	受信開始割り込み許可ビット	
INTEN		
0	禁止	
1	許可	

ROVR	受信オーバーラン割り込み許可ビット	
INTEN		
0	禁止	
1	許可	

RCVBYTE	受信バイト数割り込み許可ビット	
INTEN		
0	禁止	
1	許可	

図3-95 INTOUT0割り込み許可レジスタ7 (BBINT0EN7) のフォーマット (2/2)

RCV1 INTEN	バンク1受信完了割り込み許可ビット
0	禁止
1	許可

RCV0 INTEN	バンク0受信完了割り込み許可ビット
0	禁止
1	許可

3.4.85 INTOUT0割り込み要因許可レジスタ0 (BBINT0REQEN0)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-96 INTOUT0割り込み要因許可レジスタ0 (BBINT0REQEN0) のフォーマット (1/2)

アドレス : 0104H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	CSMA	FSYNC	TRN1	TRN0	CAL	TIM2	TIM1	TIM0
REQEN0	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN

CSMA INTREQEN	CSMA-CA完了割り込み要因許可ビット
0	禁止
1	許可

FSYNC INTREQEN	フレーム同期送信完了割り込み要因許可ビット
0	禁止
1	許可

TRN1 INTREQEN	バンク1送信完了割り込み要因許可ビット
0	禁止
1	許可

TRN0 INTREQEN	バンク0送信完了割り込み要因許可ビット
0	禁止
1	許可

CAL INTREQEN	キャリブレーション完了割り込み要因許可ビット
0	禁止
1	許可

TIM2 INTREQEN	タイマ・コンペア2割り込み要因許可ビット
0	禁止
1	許可

図3-96 INTOUT0割り込み要因許可レジスタ0 (BBINT0REQEN0) のフォーマット (2/2)

TIM1 INTREQEN	タイマ・コンペア1割り込み要因許可ビット
0	禁止
1	許可

TIM0 INTREQEN	タイマ・コンペア0割り込み要因許可ビット
0	禁止
1	許可

3.4.86 INTOUT0割り込み要因許可レジスタ1 (BBINT0REQEN1)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-97 INTOUT0割り込み要因許可レジスタ1 (BBINT0REQEN1) のフォーマット (1/2)

アドレス : 0105H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	TRNFINT	RCVLVL	MODESW	ROVR	ADRS	FL	RCV1	RCV0
REQEN1	REQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN

TRNFINT REQEN	フレーム送信完了割り込み要因許可ビット
0	禁止
1	許可

RCVLVL INTREQEN	受信レベル割り込み要因許可ビット
0	禁止
1	許可

MODESW INTREQEN	モード・スイッチ受信完了割り込み要因許可ビット
0	禁止
1	許可

ROVR INTREQEN	受信オーバーラン割り込み要因許可ビット
0	禁止
1	許可

ADRS INTREQEN	アドレス・フィルタ割り込み要因許可ビット
0	禁止
1	許可

FL INTREQEN	フレーム・レングス割り込み要因許可ビット
0	禁止
1	許可

図3-97 INTOUT0割り込み要因許可レジスタ1 (BBINT0REQEN1) のフォーマット (2/2)

RCV1 INTREQEN	バンク1受信完了割り込み要因許可ビット
0	禁止
1	許可

RCV0 INTREQEN	バンク0受信完了割り込み要因許可ビット
0	禁止
1	許可

3.4.87 INTOUT0割り込み要因許可レジスタ2 (BBINT0REQEN2)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-98 INTOUT0割り込み要因許可レジスタ2 (BBINT0REQEN2) のフォーマット (1/2)

アドレス : 0106H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	PREAMBL	CCA	AGC	RCVBYTE	RCVFIN	RCVSTA	TRNSTART	TRNBYTE
REQEN2	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN

PREAMBL INTREQEN	プリアンプ検出割り込み要因許可ビット
0	禁止
1	許可

CCA INTREQEN	CCA完了割り込み要因許可ビット
0	禁止
1	許可

AGC INTREQEN	AGC完了割り込み要因許可ビット
0	禁止
1	許可

RCVBYTE INTREQEN	受信バイト数割り込み要因許可ビット
0	禁止
1	許可

RCVFIN INTREQEN	フレーム受信完了割り込み要因許可ビット
0	禁止
1	許可

RCVSTA INTREQEN	受信開始割り込み要因許可ビット
0	禁止
1	許可

図3-98 INTOUT0割り込み要因許可レジスタ2 (BBINT0REQEN2) のフォーマット (2/2)

TRNSTART INTREQEN	送信開始割り込み要因許可ビット
0	禁止
1	許可

TRNBYTE INTREQEN	送信バイト数割り込み要因許可ビット
0	禁止
1	許可

3.4.88 INTOUT0割り込み要因許可レジスタ3 (BBINT0REQEN3)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-99 INTOUT0割り込み要因許可レジスタ3 (BBINT0REQEN3) のフォーマット (1/2)

アドレス : 0107H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0 REQEN3	CANCEL INTREQEN	0	0	TRNUNDRR UN INTREQEN	RCVTOUIT INTREQEN	CCACLR INTREQEN	CCALIMIT INTREQEN	CS INTREQEN

CANCEL INTREQEN	受信キャンセル割り込み要因許可ビット
0	禁止
1	許可

TRNUNDRR UN INTREQEN	送信アンダーラン割り込み要因許可ビット
0	禁止
1	許可

RCVTOUIT INTREQEN	自動受信タイムアウト割り込み要因許可ビット
0	禁止
1	許可

CCACLR INTREQEN	CCAクリア割り込み要因許可ビット
0	禁止
1	許可

CCALIMIT INTREQEN	CCAリミット割り込み要因許可ビット
0	禁止
1	許可

図3-99 INTOUT0割り込み要因許可レジスタ3 (BBINT0REQEN3) のフォーマット (2/2)

CS INTREQEN	キャリアセンス割り込み要因許可ビット
0	禁止
1	許可

注意 ビット6, 5には、0を設定してください。

3.4.89 INTOUT0割り込み要因許可レジスタ4 (BBINT0REQEN4)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-100 INTOUT0割り込み要因許可レジスタ4 (BBINT0REQEN4) のフォーマット (1/2)

アドレス : 0108H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0 REQEN4	TRNFIN INTREQEN	TRNFSYNC INTREQEN	TRNSTART INTREQEN	CSMA INTREQEN	TRNUNDRR UN INTREQEN	TRNBYTE INTREQEN	TRN1 INTREQEN	TRN0 INTREQEN

TRNFIN INTREQEN	フレーム送信完了割り込み要因許可ビット
0	禁止
1	許可

TRNFSYNC INTREQEN	フレーム同期送信完了割り込み要因許可ビット
0	禁止
1	許可

TRNSTART INTREQEN	送信開始割り込み要因許可ビット
0	禁止
1	許可

CSMA INTREQEN	CSMA-CA完了/CCA完了 割り込み要因許可ビット
0	禁止
1	許可

TRNUNDRR UN INTREQEN	送信アンダーラン割り込み要因許可ビット
0	禁止
1	許可

図3-100 INTOUT0割り込み要因許可レジスタ4 (BBINT0REQEN4) のフォーマット (2/2)

TRNBYTE INTREQEN	送信バイト数割り込み要因許可ビット
0	禁止
1	許可

TRN1 INTREQEN	バンク1送信完了割り込み要因許可ビット
0	禁止
1	許可

TRN0 INTREQEN	バンク0送信完了割り込み要因許可ビット
0	禁止
1	許可

3.4.90 INTOUT0割り込み要因許可レジスタ5 (BBINT0REQEN5)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-101 INTOUT0割り込み要因許可レジスタ5 (BBINT0REQEN5) のフォーマット (1/2)

アドレス : 0109H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	RCVTOUT	RCVLVL	RCVFIN	FL	RCVSTART	PREAMBL	CS	AGC
REQEN5	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN

RCVTOUT INTREQEN	自動受信タイムアウト割り込み要因許可ビット
0	禁止
1	許可

RCVLVL INTREQEN	受信レベル割り込み要因許可ビット
0	禁止
1	許可

RCVFIN INTREQEN	フレーム受信完了割り込み要因許可ビット
0	禁止
1	許可

FL INTREQEN	フレーム・レンジス/アドレス・フィルタ割り込み要因許可ビット
0	禁止
1	許可

RCVSTART INTREQEN	受信開始割り込み要因許可ビット
0	禁止
1	許可

図3-101 INTOUT0割り込み要因許可レジスタ5 (BBINT0REQEN5) のフォーマット (2/2)

PREAMBL INTREQEN	プリアンブル検出割り込み要因許可ビット
0	禁止
1	許可

CS INTREQEN	キャリアセンス割り込み要因許可ビット
0	禁止
1	許可

AGC INTREQEN	AGC完了割り込み要因許可ビット
0	禁止
1	許可

3.4.91 INTOUT0割り込み要因許可レジスタ6 (BBINT0REQEN6)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-102 INTOUT0割り込み要因許可レジスタ6 (BBINT0REQEN6) のフォーマット (1/2)

アドレス : 010AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	RCVLVL	RCVFIN	FL	RCVSTART	CCALIMIT	CCACLR	CCA	CSMA
REQEN6	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN

RCVLVL	受信レベル割り込み要因許可ビット
INTREQEN	
0	
1	許可

RCVFIN	フレーム受信完了割り込み要因許可ビット
INTREQEN	
0	
1	許可

FL	フレーム・レンジス/アドレス・フィルタ割り込み要因許可ビット
INTREQEN	
0	
1	許可

RCVSTART	受信開始割り込み要因許可ビット
INTREQEN	
0	
1	許可

CCALIMIT	CCAリミット割り込み要因許可ビット
INTREQEN	
0	
1	許可

図3-102 INTOUT0割り込み要因許可レジスタ6 (BBINT0REQEN6) のフォーマット (2/2)

CCA CLR INTREQEN	CCAクリア/受信キャンセル割り込み要因許可ビット
0	禁止
1	許可

CCA INTREQEN	CCA完了割り込み要因許可ビット
0	禁止
1	許可

CSMA INTREQEN	CSMA-CA完了割り込み要因許可ビット
0	禁止
1	許可

3.4.92 INTOUT0割り込み要因許可レジスタ7 (BBINT0REQEN7)

各割り込み発生時に要因を許可にするレジスタです。各ビットを1にすることで対応する割り込みの発生とともに割り込み要因ビットが1になります。

リセット信号の発生により、00Hになります。

図3-103 INTOUT0割り込み要因許可レジスタ7 (BBINT0REQEN7) のフォーマット (1/2)

アドレス : 010BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBINT0	RCVLVL	RCVFIN	FL	RCVSTART	ROVR	RCVBYTE	RCV1	RCV0
REQEN7	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN	INTREQEN

RCVLVL	受信レベル割り込み要因許可ビット	
INTREQEN		
0	禁止	
1	許可	

RCVFIN	フレーム受信完了割り込み要因許可ビット	
INTREQEN		
0	禁止	
1	許可	

FL	フレーム・レンジス/アドレス・フィルタ割り込み要因許可ビット	
INTREQEN		
0	禁止	
1	許可	

RCVSTART	受信開始割り込み要因許可ビット	
INTREQEN		
0	禁止	
1	許可	

ROVR	受信オーバーラン割り込み要因許可ビット	
INTREQEN		
0	禁止	
1	許可	

図3-103 INTOUT0割り込み要因許可レジスタ7 (BBINT0REQEN7) のフォーマット (2/2)

RCVBYTE INTREQEN	受信バイト数割り込み要因許可ビット
0	禁止
1	許可

RCV1 INTREQEN	バンク1受信完了割り込み要因許可ビット
0	禁止
1	許可

RCV0 INTREQEN	バンク0受信完了割り込み要因許可ビット
0	禁止
1	許可

3.4.93 送信バイト数割り込みコンペアレジスタ (BBTRNINTCOMP)

送信バイト数に応じた割り込みを発生させるためのレジスタです。

設定したバイト数を送信RAMから送信回路に転送した時点で割り込み要求を発生します。

送信中に設定値を変更することも可能です。その際、新しい設定値が反映されるタイミングは元の設定値での割り込み発生後に切り替わります。

リセット信号の発生により、0010Hになります。

図3-104 送信バイト数割り込みコンペアレジスタ (BBTRNINTCOMP) のフォーマット

アドレス : 0117H, 0116H リセット時 : 0010H R/W

略号	15	14	13	12	11	10	9	8
BBTRNINT COMP (0117H)	0	0	0	0	TRNINT COMP11	TRNINT COMP10	TRNINT COMP9	TRNINT COMP8
	7	6	5	4	3	2	1	0
(0116H)	TRNINT COMP7	TRNINT COMP6	TRNINT COMP5	TRNINT COMP4	TRNINT COMP3	TRNINT COMP2	TRNINT COMP1	TRNINT COMP0
	TRNINTCOMP11- TRNINTCOMP0		送信バイト数割り込みコンペア					
	—		送信バイト数割り込みを発生させるバイト数を設定します。					

注意 ビット15-12には、0を設定してください。

3.4.94 CCAモードレジスタ (BBCCAMODE)

CCAモードビットにより、CCAモードを設定します。

- (1) CCAモードビット = 00B時：電力値とCCAVTHとの比較結果で判断
- (2) CCAモードビット = 01B時：キャリアセンス信号の有無で判断
- (3) CCAモードビット = 10B時：(1)または(2)で判断
- (4) CCAモードビット = 11B時：(1)かつ(2)で判断

CCA継続許可ビットにより、CCAを実施した場合の動作を停止せず、クリアを検出するまで継続して実行できます。このモードでCCAを実施した場合、CCA判定結果ビット、ED1結果レジスタおよびED2結果レジスタは電力検出のタイミングごとに更新し、CCA結果がクリアになることを待ちます。停止させる場合はRF通信停止ビットにて停止してください。また、クリア検出後（CCA開始時にクリア状態の場合も）自動的に停止します。このモードを使用する際はCCAモードビット = 00B時でのみ使用してください。また、このビットが1のときは、CCA中受信許可ビットまたは自動CSMA-CAスタート・ビットを1にしないでください。

CCA継続モードビットにより、CCA継続許可にした場合の動作モードを切り替えます。1に設定した場合、CCAリミット設定レジスタに設定した回数で停止します。0に設定した場合、クリア検出後停止します。

CCA中受信許可ビットにより、CCA中に受信信号を検出した場合にCCA動作を停止してフレーム受信動作に移行することができます。このモードでは自動CSMA-CAモードとの併用はできません。また自動受信切り替えモード、高速受信切り替え機能は使用できません。受信開始動作に切り替わった時点でCCA完了割り込みを発生します。受信開始信号によって受信動作に切り替わるため、その後の不正なフレーム・レングスなどハードウェアにて受信がキャンセルされることがあります。その際は受信キャンセル割り込みを発生します。また、このモードでキャンセルされた場合は受信待ちには戻りません。

リセット信号の発生により、00Hになります。

図3-105 CCAモードレジスタ (BBCCAMODE) のフォーマット (1/2)

アドレス : 0118H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBCCA MODE	0	0	0	CCA RCVEN	CCACONT INUESEL	CCACONT INUEEN	CCA MODE1	CCA MODE0

CCA RCVEN	CCA中受信許可ビット
0	通常動作
1	CCA中受信許可

CCACONT INUESEL	CCA継続許可ビット
0	クリア検出まで継続
1	設定回数まで継続

図3-105 CCAモードレジスタ (BBCCAMODE) のフォーマット (2/2)

CCACONT INUEEN	CCA継続モードビット
0	通常動作 (CCA実行後停止)
1	CCA継続動作

CCA MODE1	CCA MODE0	CCAモードビット
0	0	CCAVTHとの比較
0	1	キャリアセンス信号の有無
1	0	上記のどちらか
1	1	上記の両方

注意 ビット7-5には、0を設定してください。

3.4.95 受信モードレジスタ (BBRCVMODE)

MSフレーム破棄ビットにより、モード・スイッチ・フレームの受信を破棄することができます。

本ビットを1にして、モード・スイッチ・フレームを受信した場合、自動的にIDLE状態を経由して再度受信待ちになります。なお、モード・スイッチ・フレームを受信しても、モード・スイッチ受信完了割り込みは発生しません。また、モード・スイッチ・フレーム受信レジスタは更新しません。

リセット信号の発生により、00Hになります。

図3-106 受信モードレジスタ (BBRCVMODE) のフォーマット

アドレス : 0119H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBRCV MODE	0	0	0	0	0	0	0	MSCANCEL EN

MSCANCEL EN	MSフレーム破棄ビット
0	破棄しない
1	破棄する

注意 ビット7-1には、0を設定してください。

3.4.96 フレーム・レングス・キャンセルMIN値レジスタ（BBFLCNCLMIN）

受信したフレーム・レングス長に応じて破棄するフレーム・レングス値を設定します。

本レジスタに設定した値以下のフレームを破棄します。設定範囲は0002Hから07FFHです。

なお、32ビットCRCの場合のフレーム・レングス値 = 4バイト以下、および16ビットCRCの場合のフレーム・レングス値 = 2バイト以下のフレームは強制的に破棄します。

リセット信号の発生により、0002Hになります。

図3-107 フレーム・レングス・キャンセルMIN値レジスタ（BBFLCNCLMIN）のフォーマット

アドレス：011BH, 011AH リセット時：0002H R/W

略号	15	14	13	12	11	10	9	8
BBFLCNCL MIN (011BH)	0	0	0	0	0	FLCNCL MIN10	FLCNCL MIN9	FLCNCL MIN8
	7	6	5	4	3	2	1	0
(011AH)	FLCNCL MIN7	FLCNCL MIN6	FLCNC LMIN5	FLCNCL MIN4	FLCNCL MIN3	FLCNCL MIN2	FLCNCL MIN1	FLCNCL MIN0
FLCNCLMIN10- FLCNCLMIN0	フレーム・レングス・キャンセルMIN値コンペア							
—	破棄するフレーム・レングス値を設定します。							

注意 ビット15-11には、0を設定してください。

3.4.97 フレーム・レングス・キャンセルMAX値レジスタ（BBFLCNCLMAX）

受信したフレーム・レングス長に応じて破棄するフレーム・レングス値を設定します。

本レジスタに設定した値以上のフレームを破棄します。設定範囲は0008Hから0800Hです。

破棄しない場合は0800Hを設定してください。

リセット信号の発生により、0800Hになります。

図3-108 フレーム・レングス・キャンセルMAX値レジスタ（BBFLCNCLMAX）のフォーマット

アドレス：011DH, 011CH リセット時：0800H R/W

略号	15	14	13	12	11	10	9	8
BBFLCNCL MAX (011DH)	0	0	0	0	FLCNCL MAX11	FLCNCL MAX10	FLCNCL MAX9	FLCNCL MAX8
	7	6	5	4	3	2	1	0
(011CH)	FLCNCL MAX7	FLCNCL MAX6	FLCNCL MAX5	FLCNCL MAX4	FLCNCL MAX3	FLCNCL MAX2	FLCNCL MAX1	FLCNCL MAX0
	FLCNCLMAX11- FLCNCLMAX0		フレーム・レングス・キャンセルMAX値コンペア					
	—		破棄するフレーム・レングス値を設定します。					

注意 ビット15-11には、0を設定してください。

3.4.98 バイト数割り込みモードレジスタ (BBBYTEINTMODE)

送信バイト数割り込みモードビットにより、送信バイト数割り込みの発生条件を選択できます。

受信バイト数割り込みモードビットにより、受信バイト数割り込みの発生条件を選択できます。

受信バイト数割り込みADF連動ビットにより、受信バイト数割り込みモードビットを1にした場合の受信バイト数割り込みの発生条件にアドレス・フィルタ有効時のアドレス一致を追加できます。アドレス一致検出後の次のバイト以降受信するタイミングで受信バイト数割り込み発生が可能になります。

リセット信号の発生により、07Hになります。

図3-109 バイト数割り込みモードレジスタ (BBBYTEINTMODE) のフォーマット

アドレス : 011EH リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
BBBYTE	0	0	0	0	0	RXCOUNT	RXCOUNT	TXCOUNT
INTMODE						INTADF	INTSEL	INTSEL

RXCOUNT INTADF	受信バイト数割り込みADF連動ビット
0	アドレス・フィルタのアドレス一致に連動しない
1	アドレス・フィルタのアドレス一致に連動する

RXCOUNT INTSEL	受信バイト数割り込みモードビット
0	バイト数設定時のみ発生
1	バイト数設定ごとに発生

TXCOUNT INTSEL	送信バイト数割り込みモードビット
0	バイト数設定時のみ発生
1	バイト数設定ごとに発生

注意 ビット7-3には、0を設定してください。

3.4.99 RSSI結果レジスタ (BBRSSIRSLT)

RSSIの結果データを格納します。RSSIRSLTビットには10ビットの受信開始時電力値を格納します。

RSSI値を読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した結果を読み出されま
す。

読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBm
です（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-110 RSSI結果レジスタ (BBRSSIRSLT) のフォーマット

アドレス：0121H, 0120H リセット時：0200H R

略号	15	14	13	12	11	10	9	8
BBRSSI RSLT (0121H)	0	0	0	0	0	0	RSSIRSLT 9	RSSIRSLT 8
	7	6	5	4	3	2	1	0
(0120H)	RSSIRSLT 7	RSSIRSLT 6	RSSIRSLT 5	RSSIRSLT 4	RSSIRSLT 3	RSSIRSLT 2	RSSIRSLT 1	RSSIRSLT 0
	RSSIRSLT9-RSSIRSLT0		RSSI結果データ					
	—		RSSIの結果データを10ビットで示します。					

3.4.100 RCPI結果レジスタ（BBRCPIRSLT）

RCPIの結果データを格納します。RCPIRSLTビットには10ビットの受信平均電力値を格納します。

RCPI値を読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した結果が読み出されま
す。

読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBm
です（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-111 RCPI結果レジスタ（BBRCPIRSLT）のフォーマット

アドレス：0123H, 0122H リセット時：0200H R

略号	15	14	13	12	11	10	9	8	
BBRCPI RSLT (0123H)	0	0	0	0	0	0	RCPIRSLT 9	RCPIRSLT 8	
	7	6	5	4	3	2	1	0	
(0122H)	RCPIRSLT 7	RCPIRSLT 6	RCPIRSLT 5	RCPIRSLT 4	RCPIRSLT 3	RCPIRSLT 2	RCPIRSLT 1	RCPIRSLT 0	
	RCPIRSLT9-RCPIRSLT0							RCPI結果データ	
	—							RCPIの結果データを10ビットで示します。	

3.4.101 RSSI結果2レジスタ（BBRSSIRSLT2）

RSSIの結果データを格納します。RSSIRSLT2ビットには8ビットの受信開始時電力値を格納します。

RSSI値を読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した結果が読み出されま
す。

読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです
(例：9EHは-98dBm)。

リセット信号の発生により、80Hになります。

図3-112 RSSI結果2レジスタ（BBRSSIRSLT2）のフォーマット

アドレス：0124H リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBRSSI	RSSIRSLT2	RSSIRSLT2	RSSIRSLT2	RSSIRSLT2	RSSIRSLT2	RSSIRSLT2	RSSIRSLT2	RSSIRSLT2
RSLT2	7	6	5	4	3	2	1	0

RSSIRSLT27- RSSIRSLT20	RSSI結果2データ
—	RSSIの結果データを8ビットで示します。

3.4.102 RCPI結果2レジスタ (BBRCPIRSLT2)

RCPIの結果データを格納します。RCPIRSLT2ビットには8ビットの受信平均電力値を格納します。

RCPI値を読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した結果が読み出されず。

読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです（例：9EHは-98dBm）。

リセット信号の発生により、80Hになります。

図3-113 RCPI結果2レジスタ (BBRCPIRSLT2) のフォーマット

アドレス：0125H リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBRCPI RSLT2	RCPIRSLT2 7	RCPIRSLT2 6	RCPIRSLT2 5	RCPIRSLT2 4	RCPIRSLT2 3	RCPIRSLT2 2	RCPIRSLT2 1	RCPIRSLT2 0
RCPIRSLT27- RCPIRSLT20	RCPI結果2データ							
—	RCPIの結果データを8ビットで示します。							

3.4.103 ED1結果レジスタ (BBED1RSLT)

FSK変調時のED結果データを格納します。値は次のCCA開始時まで保持されます。ED1RSLTビットには10ビットの電力値を格納します。読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBmです（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-114 ED1結果レジスタ (BBED1RSLT) のフォーマット

アドレス：0127H, 0126H リセット時：0200H R

略号	15	14	13	12	11	10	9	8
BBED1 RSLT (0127H)	0	0	0	0	0	0	ED1RSLT 9	ED1RSLT 8
	7	6	5	4	3	2	1	0
(0126H)	ED1RSLT 7	ED1RSLT 6	ED1RSLT 5	ED1RSLT 4	ED1RSLT 3	ED1RSLT 2	ED1RSLT 1	ED1RSLT 0
ED1RSLT9-ED1RSLT0		ED結果データ						
—		EDの結果データを10ビットで示します。						

3.4.104 ED2結果レジスタ (BBED2RSLT)

OFDM変調時のED結果データを格納します。値は次のCCA開始時まで保持されます。ED2RSLTビットには10ビットの電力値を格納します。読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBmです（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-115 ED2結果レジスタ (BBED2RSLT) のフォーマット

アドレス：0129H, 0128H リセット時：0200H R

略号	15	14	13	12	11	10	9	8
BBED2 RSLT (0129H)	0	0	0	0	0	0	ED2RSLT 9	ED2RSLT 8
	7	6	5	4	3	2	1	0
(0128H)	ED2RSLT 7	ED2RSLT 6	ED2RSLT 5	ED2RSLT 4	ED2RSLT 3	ED2RSLT 2	ED2RSLT 1	ED2RSLT 0
ED2RSLT9-ED2RSLT0		ED結果データ						
—		EDの結果データを10ビットで示します。						

3.4.105 ED1結果2レジスタ (BBED1RSLT2)

FSK変調時のED結果データを格納します。値は次のCCA開始時まで保持されます。ED1RSLT2ビットには8ビットの電力値を格納します。読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです（例：9EHは-98dBm）。

リセット信号の発生により、80Hになります。

図3-116 ED1結果2レジスタ (BBED1RSLT2) のフォーマット

アドレス：012AH リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBED1	ED1RSLT2	ED1RSLT2	ED1RSLT2	ED1RSLT2	ED1RSLT2	ED1RSLT2	ED1RSLT2	ED1RSLT2
RSLT2	7	6	5	4	3	2	1	0

ED1RSLT27-ED1RSLT20	ED結果2データ
—	EDの結果データを8ビットで示します。

3.4.106 ED2結果2レジスタ (BBED2RSLT2)

OFDM変調時のED結果データを格納します。値は次のCCA開始時まで保持されます。ED2RSLT2ビットには8ビットの電力値を格納します。読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです（例：9EHは-98dBm）。

リセット信号の発生により、80Hになります。

図3-117 ED2結果2レジスタ (BBED2RSLT2) のフォーマット

アドレス：012BH リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBED1	ED2RSLT2	ED2RSLT2	ED2RSLT2	ED2RSLT2	ED2RSLT2	ED2RSLT2	ED2RSLT2	ED2RSLT2
RSLT2	7	6	5	4	3	2	1	0

ED2RSLT27-ED2RSLT20	ED結果2データ
—	EDの結果データを8ビットで示します。

3.4.107 CCAクリアカウントレジスタ (BBCCACLRCOUNT)

CCA継続許可ビットを1にした場合のクリアカウント数を設定します。

本レジスタに設定した回数分クリアするとCCAクリア割り込みが発生し、CCA動作が停止します。

設定値は01H~03Hです。

リセット信号の発生により、01Hになります。

図3-118 CCAクリアカウントレジスタ (BBCCACLRCOUNT) のフォーマット

アドレス : 012DH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
BBCCACLRCOUNT	0	0	0	0	0	0	CCACLR COUNT1	CCACLR COUNT0

CCACLR COUNT1, 0	CCAクリア回数
—	CCAクリア回数を設定します。

注意 ビット7-2には、0を設定してください。

3.4.108 CCAリミット設定レジスタ (BBCCALIMIT)

CCA継続モードビット = 1の時のCCAクリア待ちのリミット回数を設定します。

本レジスタに設定した回数になれば連続CCAを停止します。

またCCAリミット割り込みを発生します。

リセット信号の発生により、0100Hになります。

図3-119 CCAリミット設定レジスタ (BBCCALIMIT) のフォーマット

アドレス : 012FH, 012EH リセット時 : 0100H R/W

略号	15	14	13	12	11	10	9	8
BBCCA LIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT
	15	14	13	12	11	10	9	8
	7	6	5	4	3	2	1	0
	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT	CCALIMIT
	7	6	5	4	3	2	1	0
CCALIMIT15-CCALIMIT0	CCAリミット回数							
—	CCAクリア待ちのリミット回数を設定します。							

3.4.109 コンペア0設定経過時間レジスタ (BBPASSTIME0, BBPASSTIME1)

COMP0送信トリガ有効ビットおよびCOMP0経過時送信有効ビットをともに有効にした場合の、経過時間を設定するレジスタです。

タイマ・カウント値とタイマ・コンペア・レジスタ0, 1 (BBTCOMP0REG0, BBTCOMP0REG1) への設定値との差が本レジスタへの設定時間以内であれば送信します。

リセット信号の発生により、80000000HIになります。

図3-120 コンペア0設定経過時間レジスタ (BBPASSTIME0, BBPASSTIME1) のフォーマット

アドレス : 0131H, 0130H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBPASS TIME0 (0131H)	PASSTIME0 15	PASSTIME0 14	PASSTIME0 13	PASSTIME0 12	PASSTIME0 11	PASSTIME0 10	PASSTIME0 9	PASSTIME0 8
	7	6	5	4	3	2	1	0
(0130H)	PASSTIME0 7	PASSTIME0 6	PASSTIME0 5	PASSTIME0 4	PASSTIME0 3	PASSTIME0 2	PASSTIME0 1	PASSTIME0 0
	PASSTIME015- PASSTIME00							コンペア0設定経過時間レジスタ0

アドレス : 0133H, 0132H リセット時 : 8000H R/W

略号	15	14	13	12	11	10	9	8
BBPASS TIME1 (0133H)	PASSTIME1 15	PASSTIME1 14	PASSTIME1 13	PASSTIME1 12	PASSTIME1 11	PASSTIME1 10	PASSTIME1 9	PASSTIME1 8
	7	6	5	4	3	2	1	0
(0132H)	PASSTIME1 7	PASSTIME1 6	PASSTIME1 5	PASSTIME1 4	PASSTIME1 3	PASSTIME1 2	PASSTIME1 1	PASSTIME1 0
	PASSTIME115- PASSTIME10							コンペア0設定経過時間レジスタ1

3.4.110 フレーム同期電力値読み出しレジスタ (BBFSYNCPOWRD)

受信中フレームのフレーム同期部の電力値を格納します。FSYNCPOWRDビットには10ビットのフレーム同期部の電力値を格納します。

受信レベルフィルタ機能にはこの電力値が使用されます。

読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBmです（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-121 フレーム同期電力値読み出しレジスタ (BBFSYNCPOWRD) のフォーマット

アドレス：0135H, 0134H リセット時：0200H R

略号	15	14	13	12	11	10	9	8
BBFSYNC POWRD (0135H)	0	0	0	0	0	0	FSYNCPOW RD9	FSYNCPOW RD8
	7	6	5	4	3	2	1	0
(0134H)	FSYNCPOW RD7	FSYNCPOW RD6	FSYNCPOW RD5	FSYNCPOW RD4	FSYNCPOW RD3	FSYNCPOW RD2	FSYNCPOW RD1	FSYNCPOW RD0
	FSYNCPOWRD9- FSYNCPOWRD0		フレーム同期電力値読み出しデータ					
	—		受信中フレームのフレーム同期部の電力値を10ビットで示します。					

3.4.111 フレーム同期電力値読み出し2レジスタ（BBFSYNCPOWRD2）

受信中フレームのフレーム同期部の電力値を格納します。FSYNCPOWRD2ビットには8ビットのフレーム同期部の電力値を格納します。

読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです（例：9EHは-98dBm）。

リセット信号の発生により、80Hになります。

図3-122 フレーム同期電力値読み出し2レジスタ（BBFSYNCPOWRD2）のフォーマット

アドレス：0136H リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBFSYNC POWRD2	FSYNCPOW RD27	FSYNCPOW RD26	FSYNCPOW RD25	FSYNCPOW RD24	FSYNCPOW RD23	FSYNCPOW RD22	FSYNCPOW RD21	FSYNCPOW RD20
FSYNCPOWRD27- FSYNCPOWRD20	フレーム同期電力値読み出しデータ							
—	受信中フレームのフレーム同期部の電力値を8ビットで示します。							

3.4.112 RSSI読み出しレジスタ (BBRSSIRD)

受信中フレームのRSSIデータを格納します。RSSIRDビットには10ビットの受信開始時電力値を格納します。

読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBmです（例：33DHIは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-123 RSSI読み出しレジスタ (BBRSSIRD) のフォーマット

アドレス：0139H, 0138H リセット時：0200H R

略号	15	14	13	12	11	10	9	8
BBRSSIRD (0139H)	0	0	0	0	0	0	RSSIRD9	RSSIRD8
	7	6	5	4	3	2	1	0
(0138H)	RSSIRD7	RSSIRD6	RSSIRD5	RSSIRD4	RSSIRD3	RSSIRD2	RSSIRD1	RSSIRD0
	RSSIRD9-RSSIRD0		RSSI読み出しデータ					
	—		受信中フレームのRSSIデータを10ビットで示します。					

3.4.113 RCPI読み出しレジスタ (BBRCPIRD)

受信中フレームのRCPIデータを格納します。RCPIRDビットには10ビットの受信平均電力値を格納します。

読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBmです（例：33DHIは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-124 RCPI読み出しレジスタ (BBRCPIRD) のフォーマット

アドレス：013BH, 013AH リセット時：0200H R

略号	15	14	13	12	11	10	9	8
BBRCPIRD (013BH)	0	0	0	0	0	0	RCPIRD9	RCPIRD8
	7	6	5	4	3	2	1	0
(013AH)	RCPIRD7	RCPIRD6	RCPIRD5	RCPIRD4	RCPIRD3	RCPIRD2	RCPIRD1	RCPIRD0
	RCPIRD9-RCPIRD0		RCPI読み出しデータ					
	—		受信中フレームのRCPIデータを10ビットで示します。					

3.4.114 RSSI読み出し2レジスタ (BBRSSIRD2)

受信中フレームのRSSIデータを格納します。RSSIRD2ビットには8ビットの受信開始時電力値を格納します。

読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです（例：9EHは-98dBm）。

リセット信号の発生により、80Hになります。

図3-125 RSSI読み出し2レジスタ (BBRSSIRD2) のフォーマット

アドレス：013CH リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBRSSI	RSSIRD2	RSSIRD2	RSSIRD2	RSSIRD2	RSSIRD2	RSSIRD2	RSSIRD2	RSSIRD2
RD2	7	6	5	4	3	2	1	0

RSSIRD27-RSSIRD20	RSSI読み出しデータ
—	受信中フレームのRSSIデータを8ビットで示します。

3.4.115 RCPI読み出し2レジスタ (BBRCPIRD2)

受信中フレームのRCPIデータを格納します。RCPIRD2ビットには8ビットの受信平均電力値を格納します。

読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです（例：9EHは-98dBm）。

リセット信号の発生により、80Hになります。

図3-126 RCPI読み出し2レジスタ (BBRCPIRD2) のフォーマット

アドレス：013DH リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBRCPI	RCPIRD2	RCPIRD2	RCPIRD2	RCPIRD2	RCPIRD2	RCPIRD2	RCPIRD2	RCPIRD2
RD2	7	6	5	4	3	2	1	0

RCPIRD27-RCPIRD20	RCPI読み出しデータ
—	受信中フレームのRCPIデータを8ビットで示します。

3.4.116 送受信方式選択レジスタ (BBTRXSEL)

送信方式選択ビットにより、送信方式を選択できます。

受信方式選択ビットにより、受信方式を選択できます。

CCA方式選択ビットにより、CCA方式を選択できます。

リセット信号の発生により、00Hになります。

図3-127 送受信方式選択レジスタ (BBTRXSEL) のフォーマット

アドレス : 0140H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBTRXSEL	0	0	CCAMODE1	CCAMODE0	RXMODE1	RXMODE0	0	TXMODE

CCAMODE1	CCAMODE0	CCA方式選択ビット
0	0	FSK
0	1	OFDM
1	0	設定禁止
1	1	FSK & OFDM

RXMODE1	RXMODE0	受信方式選択ビット
0	0	FSK
0	1	OFDM
1	0	設定禁止
1	1	FSK & OFDM

TXMODE	送信方式選択ビット
0	FSK
1	OFDM

注意 ビット7, 6, 1には、0を設定してください。

3.4.117 受信方式確認レジスタ (BBRXMODEMONI)

受信方式確認ビットにより、受信方式を確認できます。本ビットに受信方式を格納するタイミングはフレーム・レングス値を格納するタイミングと同じです。受信方式確認ビットを読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した結果が読み出されます。

リセット信号の発生により、00Hになります。

図3-128 受信方式確認レジスタ (BBRXMODEMONI) のフォーマット

アドレス : 0141H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
BBRX MODE MONI	0	0	0	0	0	0	0	RXMODE MONI

RXMODE MONI	受信方式確認ビット
0	FSK
1	OFDM

3.4.118 受信禁止レジスタ (BBRXPROHIBIT)

受信禁止ビットにより、受信禁止にできます。受信禁止有効ビットを1に設定した場合、受信フレームを受信するごとに受信禁止ビット = 1にセットされます。1になった状態では次の受信フレームは受信せず破棄し、MODEM部をリセットします。次の受信フレームを受信するためには本ビットを0に設定してください。また、レジスタライトにより1を設定することもできます。

受信禁止ビット有効ビットにより、受信禁止ビットを有効にできます。本ビットを1に設定することで、受信禁止ビットを有効にできます。

リセット信号の発生により、00Hになります。

図3-129 受信禁止レジスタ (BBRXPROHIBIT) のフォーマット

アドレス : 0142H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBRX PROHIBIT	0	0	0	0	0	0	RXPROHIBI TEN	RXPROHIBI T

RXPROHIBI TEN	受信禁止ビット有効ビット
0	受信禁止ビット無効
1	受信禁止ビット有効

RXPROHIBI T	受信禁止ビット
0	受信許可
1	受信禁止

注意 ビット7-2には、0を設定してください。

3.4.119 受信フレームカウンタ制御レジスタ (BBRCVCOUNTCNT)

受信フレームカウンタリセットビットにより、受信総数カウンタレジスタ、PHRエラー数カウンタレジスタ、正常受信数カウンタレジスタ、異常受信数カウンタレジスタをすべて00000000Hにリセットします。本ビットを1に設定後、自動的に0にクリアされます。

MS破棄カウント有効ビットにより、MSフレームを破棄した場合のPHRエラーカウンタのカウンタを有効にします。

FLキャンセルMIN値カウント有効ビットにより、フレーム・レングス・キャンセルMIN値レジスタに設定された値以下の受信フレーム・レングス値の破棄された受信フレーム数のカウンタを有効にします。

FLキャンセルMAX値カウント有効ビットにより、フレーム・レングス・キャンセルMAX値レジスタに設定された値以上の受信フレーム・レングス値の破棄された受信フレーム数のカウンタを有効にします。

MSエラーカウント有効ビットにより、MSフレーム受信時のPCエラーの場合のPHRエラーカウンタのカウンタを有効にします。

HCSエラーカウント有効ビットにより、MODEM部でのPHR内のHCSチェックエラーの場合のPHRエラーカウンタのカウンタを有効にします。

リセット信号の発生により、00Hになります。

図3-130 受信フレームカウンタ制御レジスタ (BBRCVCOUNTCNT) のフォーマット (1/2)

アドレス : 0143H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBRCVCO	0	0	HCSERR	MSERR	FLMAX	FLMIN	MS	RCV
UNCNT			COUNTEN	COUNTEN	COUNTEN	COUNTEN	COUNTEN	COUNTSTR

HCSERR COUNTEN	HCSエラーカウント有効ビット
0	カウント無効
1	カウント有効

MSERR COUNTEN	MSエラーカウント有効ビット
0	カウント無効
1	カウント有効

FLMAX COUNTEN	FLキャンセルMAX値カウント有効ビット
0	カウント無効
1	カウント有効

図3-130 受信フレームカウンタ制御レジスタ (BBRCVCOUNTCNT) のフォーマット (2/2)

FLMIN COUNTEN	FLキャンセルMIN値カウント有効ビット
0	カウント無効
1	カウント有効

MS COUNTEN	MS破壊カウント有効ビット
0	カウント無効
1	カウント有効

RCV COUNTRST	受信フレームカウンタ リセットビット
0	何もしない
1	カウンタリセット

注意 ビット7, 6には、0を設定してください。

3.4.120 受信総数カウントレジスタ (BBRCVCOUNT)

フレーム同期を検出した受信フレームの総数をカウントします。

IDLE以外の状態で、最下位バイトの0144H番地を読み出した値が00Hの場合は、再度最下位バイトの0144H番地から読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度最下位バイトが00Hに達するまでの間に行ってください。

なお、本カウンタは受信フレームカウンタリセットビットによってリセットできます。

リセット信号の発生により、00000000Hになります。

図3-131 受信総数カウントレジスタ (BBRCVCOUNT) のフォーマット

アドレス : 0147H-0144H リセット時 : 00000000H R

略号	31	30	29	28	27	26	25	24
BBRCVCOUNT (0147H)	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT
	31	30	29	28	27	26	25	24
(0146H)	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT
	23	22	21	20	19	18	17	16
(0145H)	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT
	15	14	13	12	11	10	9	8
(0144H)	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT	RCVCOUNT
	7	6	5	4	3	2	1	0
	RCVCOUNT31- RCVCOUNT0	受信総数カウンタ値						
	—	受信フレーム総数を示します。						

3.4.121 PHRエラー数カウントレジスタ (BBPHRERRCOUNT)

PHRチェックでキャンセルされた受信フレーム数をカウントします。

以下のチェックに該当する場合、カウントします。それぞれのカウントは個別に有効/無効を設定できます。

- MS フレーム破棄ビット = 1 (破棄する) に設定した場合の MS ビット = 1 の受信フレーム
- フレーム・レングス・キャンセル MIN 値レジスタに設定された値以下の受信フレーム・レングス値の破棄された受信フレーム
- フレーム・レングス・キャンセル MAX 値レジスタに設定された値以上の受信フレーム・レングス値の破棄された受信フレーム
- MS フレーム受信時の PC エラーの場合の受信フレーム
- MODEM 部での PHR 内の HCS チェックエラーの場合の受信フレーム

IDLE以外の状態で、最下位バイトの0148H番地を読み出した値が00Hの場合は、再度最下位バイトの0148H番地から読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度最下位バイトが00Hに達するまでの間に行ってください。

リセット信号の発生により、00000000Hになります。

図3-132 PHRエラー数カウントレジスタ (BBPHRERRCOUNT) のフォーマット

アドレス : 014BH-0148H リセット時 : 00000000H R

略号	31	30	29	28	27	26	25	24
BBPHRERRCOUNT (014BH)	PHRERR COUNT31	PHRERR COUNT30	PHRERR COUNT29	PHRERR COUNT28	PHRERR COUNT27	PHRERR COUNT26	PHRERR COUNT25	PHRERR COUNT24
(014AH)	23	22	21	20	19	18	17	16
	PHRERR COUNT23	PHRERR COUNT22	PHRERR COUNT21	PHRERR COUNT20	PHRERR COUNT19	PHRERR COUNT18	PHRERR COUNT17	PHRERR COUNT16
(0149H)	15	14	13	12	11	10	9	8
	PHRERR COUNT15	PHRERR COUNT14	PHRERR COUNT13	PHRERR COUNT12	PHRERR COUNT11	PHRERR COUNT10	PHRERR COUNT9	PHRERR COUNT8
(0148H)	7	6	5	4	3	2	1	0
	PHRERR COUNT7	PHRERR COUNT6	PHRERR COUNT5	PHRERR COUNT4	PHRERR COUNT3	PHRERR COUNT2	PHRERR COUNT1	PHRERR COUNT0
	PHRERRCOUNT31- PHRERRCOUNT0	PHRエラー数カウンタ値						
	—	PHRチェックでキャンセルされた受信フレーム数を示します。						

3.4.122 正常受信数カウントレジスタ (BBRCVOKCOUNT)

受信フレームがPHRチェックを通過して、CRCチェックで正常受信と判定されたフレーム数をカウントします。

IDLE以外の状態で、最下位バイトの014CH番地を読み出した値が00Hの場合は、再度最下位バイトの014CH番地から読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度最下位バイトが00Hに達するまでの間に行ってください。

リセット信号の発生により、00000000Hになります。

図3-133 正常受信数カウントレジスタ (BBRCVOKCOUNT) のフォーマット

アドレス : 014FH-014CH リセット時 : 00000000H R

略号	31	30	29	28	27	26	25	24
BBRCVOK COUNT (014FH)	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK
	COUNT31	COUNT30	COUNT29	COUNT28	COUNT27	COUNT26	COUNT25	COUNT24
(014EH)	23	22	21	20	19	18	17	16
	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK
(014DH)	15	14	13	12	11	10	9	8
	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK
(014CH)	7	6	5	4	3	2	1	0
	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK	RCVOK
	COUNT7	COUNT6	COUNT5	COUNT4	COUNT3	COUNT2	COUNT1	COUNT0
	RCVOKCOUNT31-RCVOKCOUNT0							
正常受信数カウンタ値								
-								
正常受信したフレーム数を示します。								

3.4.123 異常受信数カウントレジスタ (BBRCVNGCOUNT)

受信フレームがPHRチェックを通過して、CRCチェックで異常受信と判定されたフレーム数をカウントします。

IDLE以外の状態で、最下位バイトの0150H番地を読み出した値が00Hの場合は、再度最下位バイトの0150H番地から読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度最下位バイトが00Hに達するまでの間に行ってください。

リセット信号の発生により、00000000Hになります。

図3-134 異常受信数カウントレジスタ (BBRCVNGCOUNT) のフォーマット

アドレス : 0153H-0150H リセット時 : 00000000H R

略号	31	30	29	28	27	26	25	24
BBRCVNG COUNT (0153H)	RCVNG COUNT31	RCVNG COUNT30	RCVNG COUNT29	RCVNG COUNT28	RCVNG COUNT27	RCVNG COUNT26	RCVNG COUNT25	RCVNG COUNT24
	23	22	21	20	19	18	17	16
(0152H)	RCVNG COUNT23	RCVNG COUNT22	RCVNG COUNT21	RCVNG COUNT20	RCVNG COUNT19	RCVNG COUNT18	RCVNG COUNT17	RCVNG COUNT16
	15	14	13	12	11	10	9	8
(0151H)	RCVNG COUNT15	RCVNG COUNT14	RCVNG COUNT13	RCVNG COUNT12	RCVNG COUNT11	RCVNG COUNT10	RCVNG COUNT9	RCVNG COUNT8
	7	6	5	4	3	2	1	0
(0150H)	RCVNG COUNT7	RCVNG COUNT6	RCVNG COUNT5	RCVNG COUNT4	RCVNG COUNT3	RCVNG COUNT2	RCVNG COUNT1	RCVNG COUNT0
	異常受信数カウンタ値							
	RCVNGCOUNT31- RCVNGCOUNT0							
	-							
	異常受信となったフレーム数を示します。							

3.4.124 フレーム同期電力値結果レジスタ (BBFSYNCPOWRSLT)

フレーム同期部の電力値の結果データを格納します。FSYNCPOWRSLTビットには10ビットのフレーム同期部の電力値を格納します。

受信レベルフィルタ機能にはこの電力値が使用されます。

フレーム同期値部の電力値を読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した結果を読み出されます。

読み出したデータは2の補数で表され、-256.0dBmから+255.5dBmの範囲を0.5dBm単位で表示します。単位はdBmです（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-135 フレーム同期電力値結果レジスタ (BBFSYNCPOWRSLT) のフォーマット

アドレス：0159H, 0158H リセット時：0200H R

略号	15	14	13	12	11	10	9	8
BBFSYNCP OWRSLT (0159H)	0	0	0	0	0	0	FSYNCPOW RSLT9	FSYNCPOW RSLT8
	7	6	5	4	3	2	1	0
(0158H)	FSYNCPOW RSLT7	FSYNCPOW RSLT6	FSYNCPOW RSLT5	FSYNCPOW RSLT4	FSYNCPOW RSLT3	FSYNCPOW RSLT2	FSYNCPOW RSLT1	FSYNCPOW RSLT0
FSYNCPOWRSLT9- FSYNCPOWRSLT0	フレーム同期電力値結果データ							
—	フレーム同期部の電力値の結果データを10ビットで示します。							

3.4.125 フレーム同期電力値結果2レジスタ (BBFSYNCPOWRSLT2)

フレーム同期部の電力値の結果データを格納します。FSYNCPOWRSLT2ビットには8ビットのフレーム同期部の電力値を格納します。

フレーム同期値の電力値を読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した結果が読み出されます。

読み出したデータは2の補数で表され、-128dBmから+127dBmの範囲を1dBm単位で表示します。単位はdBmです (例：9EHは-98dBm)。

リセット信号の発生により、80Hになります。

図3-136 フレーム同期電力値結果2レジスタ (BBFSYNCPOWRSLT2) のフォーマット

アドレス：015AH リセット時：80H R

略号	7	6	5	4	3	2	1	0
BBFSYNCP OWRSLT2	FSYNCPOW RSLT27	FSYNCPOW RSLT26	FSYNCPOW RSLT25	FSYNCPOW RSLT24	FSYNCPOW RSLT23	FSYNCPOW RSLT22	FSYNCPOW RSLT21	FSYNCPOW RSLT20
FSYNCPOWRSLT27- FSYNCPOWRSLT20	フレーム同期電力値結果データ							
—	フレーム同期部の電力値の結果データを8ビットで示します。							

3.4.126 CCAデータレート制御レジスタ (BBCCARATECON)

CCAデータレート切り替えビットにより、CCA時のデータレートを独立したデータレートにできます。

CCAデータレート切り替えビット = 1のとき、CCAFSK変調指数設定ビット、CCAFSKデータレート選択ビット、CCAOFDMOPTION設定ビットの設定値が有効になります。

CCAFSK変調指数設定ビットにより、CCAデータレート切り替えビット = 1のときのFSK変調CCA時の変調指数を設定できます。

CCAFSKデータレート選択ビットにより、CCAデータレート切り替えビット = 1のときのFSK変調CCA時のデータレートを選択できます。

CCAOFDMOPTION設定ビットにより、CCAデータレート切り替えビット = 1のときのOFDM変調CCA時のOPTION値を設定できます。

リセット信号の発生により、00Hになります。

図3-137 CCAデータレート制御レジスタ (BBCCARATECON) のフォーマット (1/2)

アドレス : 015EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBCCA RATECON	CCAOFDM OPTION1	CCAOFDM OPTION0	CCAFSK RATE3	CCAFSK RATE2	CCAFSK RATE1	CCAFSK RATE0	CCAFSK INDEX	CCADATA RATESEL

CCAOFDM OPTION1	CCAOFDM OPTION0	CCAOFDMOPTION設定ビット
0	0	Option 1
0	1	Option 2
1	0	Option 3
1	1	Option 4

CCAFSK RATE3	CCAFSK RATE2	CCAFSK RATE1	CCAFSK RATE0	CCAFSKデータレート選択ビット
0	0	0	0	50kbps
0	0	0	1	100kbps
0	0	1	0	150kbps
0	0	1	1	200kbps
0	1	0	0	10kbps
0	1	0	1	20kbps
0	1	1	0	設定禁止
0	1	1	1	設定禁止
1	0	0	0	9.6kbps
1	0	0	1	19.2kbps
1	0	1	0	38.4kbps
1	0	1	1	115.2kbps
1	1	0	0	設定禁止
1	1	0	1	設定禁止
1	1	1	0	設定禁止
1	1	1	1	設定禁止

図3-137 CCAデータレート制御レジスタ (BBCCARATECON) のフォーマット (2/2)

CCAFSK INDEX	CCAFSK変調指数設定ビット
0	0.5
1	1.0

CCADATA RATESEL	CCAデータレート切り替えビット
0	送受信時と同じ
1	CCA用データレート

3.4.127 FSK制御レジスタ0 (BBFSKCON0)

FSK変調指数設定ビットにより、FSK送受信時の変調指数を設定できます。

FSKデータレート選択ビットにより、FSK送受信時のデータレートを選択できます。

リセット信号の発生により、00Hになります。

図3-138 FSK制御レジスタ0 (BBFSKCON0) のフォーマット

アドレス : 0160H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBFSK CON0	0	0	0	FSK RATE3	FSK RATE2	FSK RATE1	FSK RATE0	FSK INDEX

FSK RATE3	FSK RATE2	FSK RATE1	FSK RATE0	FSKデータレート選択ビット
0	0	0	0	50kbps
0	0	0	1	100kbps
0	0	1	0	150kbps
0	0	1	1	200kbps
0	1	0	0	10kbps
0	1	0	1	20kbps
0	1	1	0	設定禁止
0	1	1	1	設定禁止
1	0	0	0	9.6kbps
1	0	0	1	19.2kbps
1	0	1	0	38.4kbps
1	0	1	1	115.2kbps
1	1	0	0	設定禁止
1	1	0	1	設定禁止
1	1	1	0	設定禁止
1	1	1	1	設定禁止

FSK INDEX	FSK変調指数設定ビット
0	0.5
1	1.0

注意 ビット7-5には、0を設定してください。

3.4.128 FSK制御レジスタ1 (BBFSKCON1)

FSK受信用FEC有効ビットにより、受信時FECを有効にします。

FSKFECモード切り替えビットにより、FECのエンコードモードを切り替えます。

FSKCRCビット数切り替えビットにより、FSK送信時のCRC演算処理ビット数を切り替えます。なお、自動ACK返信時のCRCビット数は受信フレームのCRCビット数を使用します。

FSKDW有効ビットにより、送信時のData Whiteningを有効にできます。

FSKPHR送信1ビットにより、FSK送信時のPHRのビット1を送信します。

FSKPHR送信2ビットにより、FSK送信時のPHRのビット2を送信します。

FSKインターリーピング有効ビットにより、インターリーピングを有効にできます。NRNSCエンコーダを使用する場合1にしてください。RSCエンコーダ使用時はインターリーブ有無を選択できます。

受信MSビット強制0設定ビットにより、受信MSビットを強制的に0に設定できます。

リセット信号の発生により、8CHになります。

図3-139 FSK制御レジスタ1 (BBFSKCON1) のフォーマット (1/2)

アドレス : 0161H リセット時 : 8CH R/W

略号	7	6	5	4	3	2	1	0
BBFSK CON1	RXFORCE MS	FSK INTLVEN	FSKPHR TX2	FSKPHR TX1	FSKDW EN	FSKCRC BIT	FSKFEC MODE	FSKFEC ENRX

RXFORCE MS	受信MSビット強制0設定ビット
0	強制0設定しない
1	強制0設定する

FSK INTLVEN	FSKインターリーピング有効ビット
0	無効
1	有効

FSKPHR TX2	FSKPHR送信2ビット
—	送信値

FSKPHR TX1	FSKPHR送信1ビット
—	送信値

図3-139 FSK制御レジスタ1 (BBFSKCON1) のフォーマット (2/2)

FSKDW EN	FSKDW有効ビット
0	無効
1	有効

FSKCRC BIT	FSKCRCビット数切り替えビット
0	32ビットCRC
1	16ビットCRC

FSKFEC MODE	FSKFECモード切り替えビット
0	NRNSCエンコーダ
1	RSCエンコーダ

FSKFEC ENRX	FSK受信用FEC有効ビット
0	無効
1	有効

3.4.129 FSK制御レジスタ2 (BBFSKCON2)

送信用GFSK/FSK切り替えビットにより、送信時のGFSK/FSK変調の切り替えができます。

受信用GFSK/FSK切り替えビットにより、受信時のGFSK/FSK変調の切り替えができます。

リセット信号の発生により、00Hになります。

図3-140 FSK制御レジスタ2 (BBFSKCON2) のフォーマット

アドレス : 0162H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBFSK CON2	0	0	0	0	0	0	RXFSKSEL	TXFSKSEL

RXFSKSEL	受信用GFSK/FSK切り替えビット
0	GFSK
1	FSK

TXFSKSEL	送信用GFSK/FSK切り替えビット
0	GFSK
1	FSK

注意 ビット7-2には、0を設定してください。

3.4.130 FSKFEC制御レジスタ (BBFSKFECCON)

FEC自動判別有効ビットにより、受信時のFEC有無を判別し受信することができます。

送信用FEC有効ビットにより、送信時のFEC有無を設定できます。

自動ACK返信時FEC制御ビットにより、自動ACK返信時のFECの有無の制御を受信時のFECの有無か自動ACK返信時FEC制御ビットかの切り替えができます。

自動ACK返信時FEC有効ビットにより、自動ACK返信時、自動ACK返信時FEC制御ビットを1にしたときのFEC有無を設定できます。

自動ACK受信時FEC制御ビットにより、自動ACK受信時のFECの有無の制御を自動ACK受信時FEC制御ビットに依存する／しないの切り替えができます。

自動ACK受信時FEC有効ビットにより、自動ACK受信時、自動ACK受信時FEC制御ビットを1にしたときのFEC有無を設定できます。

MRFSKSFD選択ビットにより、phyMRFSKSFDの値を設定できます。

受信FEC有無モニタビットにより、受信フレームのFEC有無をモニタできます。

リセット信号の発生により、00HIになります。

図3-141 FSKFEC制御レジスタ (BBFSKFECCON) のフォーマット (1/2)

アドレス : 0163H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
BBFSKFEC CON	FECMONI	MRFSKSFD	FECEN ACKRCV	FECCON ACKRCV	FECEN ACKRTN	FECCON ACKRTN	FEC ENTX	FEC AUTOEN

FECMONI	受信FEC有無モニタビット
0	FECなしで受信
1	FECありで受信

MRFSKSFD	MRFSKSFD選択 ビット
0	phyMRFSKSFD = 0
1	phyMRFSKSFD = 1

FECEN ACKRCV	自動ACK受信時FEC有効ビット
0	無効
1	有効

FECCON ACKRCV	自動ACK受信時FEC制御ビット
0	自動ACK受信時FEC有効ビットに依存しない
1	自動ACK受信時FEC有効ビットに依存する

図3-141 FSKFEC制御レジスタ (BBFSKFECCON) のフォーマット (2/2)

FECEN ACKRTN	自動ACK返信時FEC有効ビット
0	無効
1	有効

FECCON ACKRTN	自動ACK返信時FEC制御ビット
0	受信時のFEC有無に依存する
1	自動ACK返信時FEC有効ビットに依存する

FEC ENTX	送信用FEC有効ビット
0	無効
1	有効

FEC AUTOEN	FEC自動判別有効 ビット
0	無効
1	有効

注 ビット7は書き込みできません。

3.4.131 プリアンブル長設定レジスタ (BBPAMBL)

送信時のプリアンブル長を設定するレジスタです。

0004H~03E8H値をバイト数で設定してください。

リセット信号の発生により、0004Hになります。

図3-142 プリアンブル長設定レジスタ (BBPAMBL) のフォーマット

アドレス : 0446H, 0445H リセット時 : 0004H R/W

略号	15	14	13	12	11	10	9	8	
BBPAMBL (0446H)	0	0	0	0	0	0	PAMBLEN9	PAMBLEN8	
	7	6	5	4	3	2	1	0	
(0445H)	PAMBLEN7	PAMBLEN6	PAMBLEN5	PAMBLEN4	PAMBLEN3	PAMBLEN2	PAMBLEN1	PAMBLEN0	
	PAMBLEN9-PAMBLEN0							プリアンブル長設定値	

注意 ビット15-10には、0を設定してください。

3.4.132 プリアンブル設定レジスタ (BBPABL)

プリアンブル値 (LSBファースト) を設定するレジスタです。8ビットで構成されています。

リセット信号の発生により、AAHになります。

図3-143 プリアンブル設定レジスタ (BBPABL) のフォーマット

アドレス : 0447H リセット時 : AAH R/W

略号	7	6	5	4	3	2	1	0	
BBPABL	PABL7	PABL6	PABL5	PABL4	PABL3	PABL2	PABL1	PABL0	
	PABL7-PABL0							プリアンブル値	

3.4.133 TXSFD設定レジスタ (BBTXSFD)

MRFSKSFDビット = 0、FECなしフレームを送信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

904E0000H

リセット信号の発生により、904E0000Hになります。

図3-144 TXSFD設定レジスタ (BBTXSFD) のフォーマット

アドレス : 044BH-0448H リセット時 : 904E0000H R/W

略号	31	30	29	28	27	26	25	24
BBTXSFD (044BH)	TSFD31	TSFD30	TSFD29	TSFD28	TSFD27	TSFD26	TSFD25	TSFD24
	23	22	21	20	19	18	17	16
(044AH)	TSFD23	TSFD22	TSFD21	TSFD20	TSFD19	TSFD18	TSFD17	TSFD16
	15	14	13	12	11	10	9	8
(0449H)	TSFD15	TSFD14	TSFD13	TSFD12	TSFD11	TSFD10	TSFD9	TSFD8
	7	6	5	4	3	2	1	0
(0448H)	TSFD7	TSFD6	TSFD5	TSFD4	TSFD3	TSFD2	TSFD1	TSFD0
	TSFD31-TSFD0		送信SFD値					

3.4.134 TXSFD設定レジスタ2 (BBTXSFD2)

MRFSKSFDビット = 0、FECありフレームを送信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

6F4E0000H

リセット信号の発生により、6F4E0000HIになります。

図3-145 TXSFD設定レジスタ2 (BBTXSFD2) のフォーマット

アドレス : 044FH-044CH リセット時 : 6F4E0000H R/W

略号	31	30	29	28	27	26	25	24
BBTXSFD2 (044FH)	TSFD231	TSFD230	TSFD229	TSFD228	TSFD227	TSFD226	TSFD225	TSFD224
	23	22	21	20	19	18	17	16
(044EH)	TSFD223	TSFD222	TSFD221	TSFD220	TSFD219	TSFD218	TSFD217	TSFD216
	15	14	13	12	11	10	9	8
(044DH)	TSFD215	TSFD214	TSFD213	TSFD212	TSFD211	TSFD210	TSFD209	TSFD208
	7	6	5	4	3	2	1	0
(044CH)	TSFD207	TSFD206	TSFD205	TSFD204	TSFD203	TSFD202	TSFD201	TSFD200
	TSFD231-TSFD200		送信SFD2値					

3.4.135 TXSFD設定レジスタ3 (BBTXSFD3)

MRFSKSFDビット = 1、FECなしフレームを送信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

7A0E0000H

リセット信号の発生により、7A0E0000Hになります。

図3-146 TXSFD設定レジスタ3 (BBTXSFD3) のフォーマット

アドレス : 0453H-0450H リセット時 : 7A0E0000H R/W

略号	31	30	29	28	27	26	25	24
BBTXSFD3 (0453H)	TSFD331	TSFD330	TSFD329	TSFD328	TSFD327	TSFD326	TSFD325	TSFD324
	23	22	21	20	19	18	17	16
(0452H)	TSFD323	TSFD322	TSFD321	TSFD320	TSFD319	TSFD318	TSFD317	TSFD316
	15	14	13	12	11	10	9	8
(0451H)	TSFD315	TSFD314	TSFD313	TSFD312	TSFD311	TSFD310	TSFD309	TSFD308
	7	6	5	4	3	2	1	0
(0450H)	TSFD307	TSFD306	TSFD305	TSFD304	TSFD303	TSFD302	TSFD301	TSFD300
	TSFD331-TSFD300		送信SFD3値					

3.4.136 TXSFD設定レジスタ4 (BBTXSFD4)

MRFSKSFDビット = 1、FECありフレームを送信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

632D0000H

リセット信号の発生により、632D0000HIになります。

図3-147 TXSFD設定レジスタ4 (BBTXSFD4) のフォーマット

アドレス : 0460H-045EH, 0454H リセット時 : 632D0000H R/W

略号	31	30	29	28	27	26	25	24
BBTXSFD4 (0460H)	TSFD431	TSFD430	TSFD429	TSFD428	TSFD427	TSFD426	TSFD425	TSFD424
	23	22	21	20	19	18	17	16
(045FH)	TSFD423	TSFD422	TSFD421	TSFD420	TSFD419	TSFD418	TSFD417	TSFD416
	15	14	13	12	11	10	9	8
(045EH)	TSFD415	TSFD414	TSFD413	TSFD412	TSFD411	TSFD410	TSFD409	TSFD408
	7	6	5	4	3	2	1	0
(0454H)	TSFD407	TSFD406	TSFD405	TSFD404	TSFD403	TSFD402	TSFD401	TSFD400
	TSFD431-TSFD400		送信SFD4値					

3.4.137 SHR制御レジスタ (BBSHRCON)

SFDバイト数設定ビットにより、SFDの出力パターンをSFD設定レジスタ^{注1}の何バイト数を使用するかを設定するレジスタです。

00 : 1バイト (SFD設定レジスタ^{注1}のビット31-24)

01 : 2バイト (SFD設定レジスタ^{注1}のビット31-16)

10 : 3バイト (SFD設定レジスタ^{注1}のビット31-8)

11 : 4バイト (SFD設定レジスタ^{注1}のビット31-0)

リセット信号の発生により、01Hになります。

注1. TXSFD設定レジスタ~TXSFD設定レジスタ4

図3-148 SHR制御レジスタ (BBSHRCON) のフォーマット

アドレス : 0461H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
BBSHR CON	0	0	0	0	0	0	SFDBYTE1	SFDBYTE0

SFDBYTE1	SFDBYTE0	SFDバイト数設定ビット
0	0	1バイト
0	1	2バイト
1	0	3バイト
1	1	4バイト

注意 ビット7-2には、0を設定してください。

3.4.138 RXSFD設定レジスタ (BBRXSFD)

MRFSKSFDビット = 0、FECなしフレームを受信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

5555904EH

SFD値に16ビット長を使用する場合は、上位16ビット (RSFD31-RSFD16) はプリアンブル値 (5555H) を設定してください。

SFD値に17ビットから32ビット長を使用する場合は、残りの上位にはプリアンブル値を設定してください。

(例) SFD長17ビット : RSFD31-RSFD17 (5555H)

(例) SFD長25ビット : RSFD31-RSFD25 (55H)

SFD値のパターンは、MRFSKSFDビット = 0のFECありとなしで6ビット以上異なる値を設定してください。

本レジスタ群へアクセスする場合は、レジスタアクセス領域切り替えビット = 0でアクセスしてください。

リセット信号の発生により、5555904EHになります。

図3-149 RXSFD設定レジスタ (BBRXSFD) のフォーマット

バンク : 0 アドレス : 08F4H-08F7H リセット時 : 5555904EH R/W

略号	31	30	29	28	27	26	25	24
BBRXSFD (08F4H)	RSFD31	RSFD30	RSFD29	RSFD28	RSFD27	RSFD26	RSFD25	RSFD24
	23	22	21	20	19	18	17	16
(08F5H)	RSFD23	RSFD22	RSFD21	RSFD20	RSFD19	RSFD18	RSFD17	RSFD16
	15	14	13	12	11	10	9	8
(08F6H)	RSFD15	RSFD14	RSFD13	RSFD12	RSFD11	RSFD10	RSFD9	RSFD8
	7	6	5	4	3	2	1	0
(08F7H)	RSFD7	RSFD6	RSFD5	RSFD4	RSFD3	RSFD2	RSFD1	RSFD0
	RSFD31-RSFD0		受信SFD値					

3.4.139 RXSFD設定レジスタ2 (BBRXSFD2)

MRFSKSFDビット = 0、FECありフレームを受信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

55556F4EH

SFD値に16ビット長を使用する場合は、上位16ビット (RSFD231-RSFD216) はプリアンブル値 (5555H) を設定してください。

SFD値に17ビットから32ビット長を使用する場合は、残りの上位にはプリアンブル値を設定してください。

(例) SFD長17ビット : RSFD231-RSFD217 (5555H)

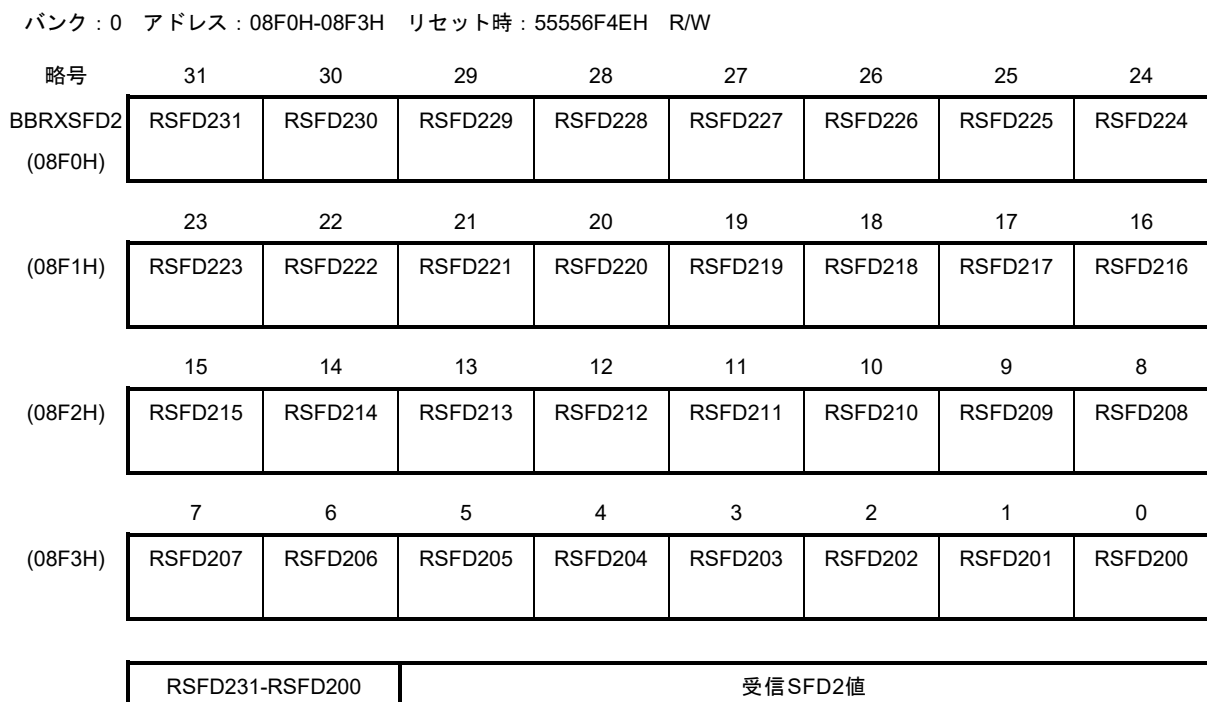
(例) SFD長25ビット : RSFD231-RSFD225 (55H)

SFD値のパターンは、MRFSKSFDビット = 0のFECありとなしで6ビット以上異なる値を設定してください。

本レジスタ群へアクセスする場合は、レジスタアクセス領域切り替えビット = 0でアクセスしてください。

リセット信号の発生により、55556F4EHになります。

図3-150 RXSFD設定レジスタ2 (BBRXSFD2) のフォーマット



3.4.140 RXSFD設定レジスタ3 (BBRXSFD3)

MRFSKSFDビット = 1、FECなしフレームを受信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

55557A0EH

SFD値に16ビット長を使用する場合は、上位16ビット (RSFD331-RSFD316) はプリアンブル値 (5555H) を設定してください。

SFD値に17ビットから32ビット長を使用する場合は、残りの上位にはプリアンブル値を設定してください。

(例) SFD長17ビット : RSFD331-RSFD317 (5555H)

(例) SFD長25ビット : RSFD331-RSFD325 (55H)

SFD値のパターンは、MRFSKSFDビット = 1のFECありとなしで6ビット以上異なる値を設定してください。

本レジスタ群へアクセスする場合は、レジスタアクセス領域切り替えビット = 0でアクセスしてください。

リセット信号の発生により、55557A0EHIになります。

図3-151 RXSFD設定レジスタ3 (BBRXSFD3) のフォーマット

バンク : 0 アドレス : 08FCH-08FFH リセット時 : 55557A0EH R/W

略号	31	30	29	28	27	26	25	24
BBRXSFD3 (08FCH)	RSFD331	RSFD330	RSFD329	RSFD328	RSFD327	RSFD326	RSFD325	RSFD324
	23	22	21	20	19	18	17	16
(08FDH)	RSFD323	RSFD322	RSFD321	RSFD320	RSFD319	RSFD318	RSFD317	RSFD316
	15	14	13	12	11	10	9	8
(08FEH)	RSFD315	RSFD314	RSFD313	RSFD312	RSFD311	RSFD310	RSFD309	RSFD308
	7	6	5	4	3	2	1	0
(08FFH)	RSFD307	RSFD306	RSFD305	RSFD304	RSFD303	RSFD302	RSFD301	RSFD300
	RSFD331-RSFD300		受信SFD3値					

3.4.141 RXSFD設定レジスタ4 (BBRXSFD4)

MRFSKSFDビット = 1、FECありフレームを受信する際のSFD値を設定するレジスタです。32ビットで構成されています。

以下の値を設定してください。

5555632DH

SFD値に16ビット長を使用する場合は、上位16ビット (RSFD431-RSFD416) はプリアンブル値 (5555H) を設定してください。

SFD値に17ビットから32ビット長を使用する場合は、残りの上位にはプリアンブル値を設定してください。

(例) SFD長17ビット : RSFD431-RSFD417 (5555H)

(例) SFD長25ビット : RSFD431-RSFD425 (55H)

SFD値のパターンは、MRFSKSFDビット = 1のFECありとなしで6ビット以上異なる値を設定してください。

本レジスタ群へアクセスする場合は、レジスタアクセス領域切り替えビット = 0でアクセスしてください。

リセット信号の発生により、5555632DHIになります。

図3-152 RXSFD設定レジスタ4 (BBRXSFD4) のフォーマット

バンク : 0 アドレス : 08F8H-08FBH リセット時 : 5555632DH R/W

略号	31	30	29	28	27	26	25	24
BBRXSFD4 (08F8H)	RSFD431	RSFD430	RSFD429	RSFD428	RSFD427	RSFD426	RSFD425	RSFD424
	23	22	21	20	19	18	17	16
(08F9H)	RSFD423	RSFD422	RSFD421	RSFD420	RSFD419	RSFD418	RSFD417	RSFD416
	15	14	13	12	11	10	9	8
(08FAH)	RSFD415	RSFD414	RSFD413	RSFD412	RSFD411	RSFD410	RSFD409	RSFD408
	7	6	5	4	3	2	1	0
(08FBH)	RSFD407	RSFD406	RSFD405	RSFD404	RSFD403	RSFD402	RSFD401	RSFD400
	RSFD431-RSFD400		受信SFD4値					

3.4.142 モード・スイッチ・フレーム送信レジスタ (BBTXMODESW)

モード・スイッチ有効ビットにより、モード・スイッチ・フレームを送信することができます。このビットを1にして送信トリガを1にセットするとモード・スイッチ・フレームを送信します。FSK変調時でのみ1にしてください。OFDM変調時は1を設定しないでください。また、FSK制御レジスタ1 (BBFSKCON1) のFSKCRCビット数切り替えビット (FSKCRCBIT) を1にしてください。

TXMODESWビットにより、モード・スイッチ・フレームを送信するときのPHRビット1~ビット15を設定します。リセット信号の発生により、0000Hになります。

図3-153 モード・スイッチ・フレーム送信レジスタ (BBTXMODESW) のフォーマット

アドレス : 0165H, 0164H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBTX MODESW (0165H)	TXMODE SW15	TXMODE SW14	TXMODE SW13	TXMODE SW12	TXMODE SW11	TXMODE SW10	TXMODE SW9	TXMODE SW8
	7	6	5	4	3	2	1	0
(0164H)	TXMODE SW7	TXMODE SW6	TXMODE SW5	TXMODES W4	TXMODE SW3	TXMODE SW2	TXMODE SW1	MODESW
TXMODE SW15-1	TXMODESWビット							
—	送信するモード・スイッチ・フレームのビット1からビット15							
MODESW	モード・スイッチ有効ビット							
0	無効 : モード・スイッチ・フレーム以外で送信							
1	有効 : モード・スイッチ・フレームで送信							

3.4.143 モード・スイッチ・フレーム受信レジスタ (BBRXMODESW)

モード・スイッチ・フレームを受信したときのPHYヘッダデータ (PHR) を格納します。格納されたデータは次のフレームが受信開始されるまで保持されます。

リセット信号の発生により、0000Hになります。

図3-154 モード・スイッチ・フレーム受信レジスタ (BBRXMODESW) のフォーマット

アドレス : 0167H, 0166H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8
BBRX MODESW (0167H)	RXMODE SW15	RXMODE SW14	RXMODE SW13	RXMODE SW12	RXMODE SW11	RXMODE SW10	RXMODE SW9	RXMODE SW8
	7	6	5	4	3	2	1	0
(0166H)	RXMODE SW7	RXMODE SW6	RXMODE SW5	RXMODE SW4	RXMODE SW3	RXMODE SW2	RXMODE SW1	RXMODE SW0
	RXMODESW15- RXMODESW0		RXMODESWビット					
	-		受信したモード・スイッチ・フレームのPHRビット0からビット15					

3.4.144 モード・スイッチ・ステータス・レジスタ (BBMSSTATE)

BCHシンδροーム計算結果ビットにより、受信したモード・スイッチ・フレームのBCHシンδροーム計算結果を確認できます。

PCエラーフラグビットにより、受信したモード・スイッチ・フレームのPCエラーの有無を確認できます。

受信モード・スイッチビットにより、受信したモード・スイッチ・フレームのBCH後のモード・スイッチの値を確認できます。

リセット信号の発生により、00000X00Bになります。

図3-155 モード・スイッチ・ステータス・レジスタ (BBMSSTATE) のフォーマット

アドレス : 0168H リセット時 : 00000X00B R

略号	7	6	5	4	3	2	1	0
BBMS STATE	0	0	0	0	0	MSFLD	PCERRFLG	BCHSYND

MSFLD	受信モード・スイッチビット
—	BCH後のモード・スイッチの値

PCERRFLG	PCエラーフラグビット
0	PCエラーなし
1	PCエラーあり

BCHSYND	BCHシンδροーム計算結果ビット
0	BCHシンδροーム計算結果 = 0
1	BCHシンδροーム計算結果 = 1

3.4.145 モード・スイッチ・フレーム制御レジスタ (BBMSCON)

パリティ・チェック範囲選択ビットにより、受信したモード・スイッチ・フレームのパリティ・チェックの範囲を選択できます。

リセット信号の発生により、00Hになります。

図3-156 モード・スイッチ・フレーム制御レジスタ (BBMSCON) のフォーマット

アドレス : 0169H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBMSCON	0	0	0	0	0	0	0	PCSEL

PCSEL	パリティ・チェック範囲選択ビット
0	b0~b10の範囲
1	b0~b14の範囲

注意 ビット7-1には、0を設定してください。

3.4.146 FSKCCAレベルスレッシュヨルド設定レジスタ (BBFSKCCAVTH)

FSK変調時のCCA判定をするためのスレッシュヨルドレベルを設定します。本レジスタへの設定値以上のCCA値をビジーと判定します。

10ビットでのスレッシュヨルド判定になります。使用するビットはb9-b0でb9は符号ビットです。

値は2の補数で単位はdBmにて設定してください（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-157 FSKCCAレベルスレッシュヨルド設定レジスタ (BBFSKCCAVTH) のフォーマット

アドレス：016BH, 016AH リセット時：0200H R/W

略号	15	14	13	12	11	10	9	8
BBFSK CCAVTH (016BH)	0	0	0	0	0	0	FSKCCA VTH9	FSKCCA VTH8
	7	6	5	4	3	2	1	0
(016AH)	FSKCCA VTH7	FSKCCA VTH6	FSKCCA VTH5	FSKCCA VTH4	FSKCCA VTH3	FSKCCA VTH2	FSKCCA VTH1	FSKCCA VTH0
	FSKCCAVTH9- FSKCCAVTH0		FSKCCAスレッシュヨルド					
	—		FSK変調時のCCA判定をするためのスレッシュヨルドレベルを設定します。					

注意 ビット15-10には、0を設定してください。

3.4.147 FSK受信レベルスレッシュヨルド設定レジスタ (BBFSKLVLVTH)

FSK変調時の受信レベルフィルタ機能のスレッシュヨルド値を設定します。本レジスタへの設定値より大きい値を受信します。

10ビットでのスレッシュヨルド判定になります。使用するビットはb9-b0でb9は符号ビットです。

値は2の補数で単位はdBmにて設定してください（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-158 FSK受信レベルスレッシュヨルド設定レジスタ (BBFSKLVLVTH) のフォーマット

アドレス：016DH, 016CH リセット時：0200H R/W

略号	15	14	13	12	11	10	9	8
BBFSK LVLVTH (016DH)	0	0	0	0	0	0	FSKLVL VTHT9	FSKLVL VTHT8
	7	6	5	4	3	2	1	0
(016CH)	FSKLVL VTHT7	FSKLVL VTHT6	FSKLVL VTHT5	FSKLVL VTHT4	FSKLVL VTHT3	FSKLVL VTHT2	FSKLVL VTHT1	FSKLVL VTHT0
	FSKLVLVTHT9- FSKLVLVTHT0		FSK受信レベルスレッシュヨルド					
	—		FSK方式の受信レベルフィルタ機能のスレッシュヨルド値を設定します。					

注意 ビット15-10には、0を設定してください。

3.4.148 FSKPHR受信レジスタ (BBFSKPHRRX)

非モード・スイッチ・フレームを受信したときのPHYヘッダデータのビット0、ビット1、ビット2、ビット3、ビット4の値を格納します。格納するタイミングはフレーム・レングス値を格納するタイミングと同じです。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した値が読み出されます。

リセット信号の発生により、0200Hになります。

図3-159 FSKPHR受信レジスタ (BBFSKPHRRX) のフォーマット

アドレス : 016EH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
BBFSKPHR	0	0	0	FSKPHRRX	FSKPHRRX	FSKPHRRX	FSKPHRRX	FSKPHRRX
RX				4	3	2	1	0

FSKPHRRX	FSKPHR受信4ビット
4	
—	受信値 (DW)

FSKPHRRX	FSKPHR受信3ビット
3	
—	受信値 (FCS)

FSKPHRRX	FSKPHR受信2ビット
2	
—	受信値 (Reserved)

FSKPHRRX	FSKPHR受信1ビット
1	
—	受信値 (Reserved)

FSKPHRRX	FSKPHR受信0ビット
0	
—	受信値 (MS)

3.4.149 OFDM制御レジスタ (BBOFDMCON)

OFDMCRCビット数切り替えビットにより、OFDM送受信時のCRC演算処理のビット数を切り替えます。

OFDMOPTION設定ビットにより、OFDM送受信時のOPTION値を設定できます。

OFDMインターリービング設定ビットにより、OFDM送受信時のインターリービング値を設定できます。

OFDM拡張モードビットにより、OFDM設定を切り替えます。Option 3のMCS0またはOption 4のMCS0, 1の場合は1に、その他の場合は0にしてください。

リセット信号の発生により、00Hになります。

図3-160 OFDM制御レジスタ (BBOFDMCON) のフォーマット

アドレス : 0170H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBOFDM CON	0	0	0	OFDMEXT	OFDMINTER LEAVING	OFDM OPTION1	OFDM OPTION0	OFDM CRCBIT

OFDMEXT	OFDM拡張モードビット
0	Option 3のMCS0またはOption 4のMCS0, 1以外の場合
1	Option 3のMCS0またはOption 4のMCS0, 1の場合

OFDMINTER LEAVING	OFDMインターリービング設定ビット
—	インターリービング値

OFDM OPTION1	OFDM OPTION0	OFDMOPTION設定ビット
0	0	Option 1
0	1	Option 2
1	0	Option 3
1	1	Option 4

OFDM CRCBIT	OFDMCRCビット数切り替えビット
0	32ビットCRC
1	16ビットCRC

注意 ビット7-5には、0を設定してください。

3.4.150 OFDMPHR送信レジスタ0 (BBOFDMPHRTX0)

OFDMMCSTX設定ビットにより、OFDM送信時のMCS値を設定できます。

OFDMMCSTX0はOFDM送信時のPHRのビット4を設定します。

OFDMMCSTX1はOFDM送信時のPHRのビット3を設定します。

OFDMMCSTX2はOFDM送信時のPHRのビット2を設定します。

OFDMSCBTX設定ビットによりOFDMのScrambler値を設定できます。

OFDMSCBTX0はOFDM送信時のPHRのビット20を設定します。

OFDMSCBTX1はOFDM送信時のPHRのビット19を設定します。

リセット信号の発生により、00Hになります。

図3-161 OFDMPHR送信レジスタ0 (BBOFDMPHRTX0) のフォーマット

アドレス : 0172H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBOFDMPHRTX0	0	0	0	OFDM SCBTX1	OFDM SCBTX0	OFDM MCSTX2	OFDM MCSTX1	OFDM MCSTX0

OFDMSCBTX1, OFDMSCBTX0	OFDMSCBTX設定ビット
—	Scrambler値

OFDMMCSTX2- OFDMMCSTX0	OFDMMCSTX設定ビット
—	MCS値

注意 ビット7-5には、0を設定してください。

3.4.151 OFDMPHR送信レジスタ1 (BBOFDMPHRTX1)

OFDMPHR送信5ビットにより、OFDM送信時のPHRのビット5を設定します。

OFDMPHR送信17ビットにより、OFDM送信時のPHRのビット17を設定します。

OFDMPHR送信18ビットにより、OFDM送信時のPHRのビット18を設定します。

OFDMPHR送信21ビットにより、OFDM送信時のPHRのビット21を設定します。

リセット信号の発生により、00HIになります。

図3-162 OFDMPHR送信レジスタ1 (BBOFDMPHRTX1) のフォーマット

アドレス : 0173H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBOFDMPHRTX1	0	0	OFDM PHRTX21	OFDM PHRTX18	OFDM PHRTX17	OFDM PHRTX5	0	0

OFDM PHRTX21	OFDMPHR送信21ビット
—	送信値

OFDM PHRTX18	OFDMPHR送信18ビット
—	送信値

OFDM PHRTX17	OFDMPHR送信17ビット
—	送信値

OFDM PHRTX5	OFDMPHR送信5ビット
—	送信値

注意 ビット7, 6, 1, 0には、0を設定してください。

3.4.152 OFDMPHRACK返信レジスタ0 (BBOFDMPHRACK0)

OFDMMCSACK設定ビットにより、OFDM自動ACK返信時のPHRのMCS値を設定できます。

OFDMMCSACK0 は OFDM 自動 ACK 返信時の PHR のビット 4 を設定します。

OFDMMCSACK1 は OFDM 自動 ACK 返信時の PHR のビット 3 を設定します。

OFDMMCSACK2 は OFDM 自動 ACK 返信時の PHR のビット 2 を設定します。

OFDMSCBACK設定ビットにより、OFDM自動ACK返信時のScrambler値を設定できます。

OFDMSCBACK0 は OFDM 自動 ACK 返信時の PHR のビット 20 を設定します。

OFDMSCBACK1 は OFDM 自動 ACK 返信時の PHR のビット 19 を設定します。

リセット信号の発生により、00Hになります。

図3-163 OFDMPHRACK返信レジスタ0 (BBOFDMPHRACK0) のフォーマット

アドレス : 0174H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBOFDMPHRACK0	0	0	0	OFDM SCBACK1	OFDM SCBACK0	OFDM MCSACK2	OFDM MCSACK1	OFDM MCSACK0

OFDMSCBACK1, OFDMSCBACK0	OFDMSCBACK設定ビット
—	Scrambler値

OFDMMCSACK2- OFDMMCSACK0	OFDMMCSACK設定ビット
—	MCS値

注意 ビット7-5には、0を設定してください。

3.4.153 OFDMPHRACK返信レジスタ1 (BBOFDMPHRACK1)

OFDMPHRACK返信5ビットにより、OFDM自動ACK返信時のPHRのビット5を設定します。

OFDMPHRACK返信17ビットにより、OFDM自動ACK返信時のPHRのビット17を設定します。

OFDMPHRACK返信18ビットにより、OFDM自動ACK返信時のPHRのビット18を設定します。

OFDMPHRACK返信21ビットにより、OFDM自動ACK返信時のPHRのビット21を設定します。

リセット信号の発生により、00HIになります。

図3-164 OFDMPHRACK返信レジスタ1 (BBOFDMPHRACK1) のフォーマット

アドレス : 0175H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBOFDMPHRACK1	0	0	OFDM PHRACK21	OFDM PHRACK18	OFDM PHRACK17	OFDM PHRACK5	0	0

OFDM PHRACK21	OFDMPHRACK返信21ビット
—	送信値

OFDM PHRACK18	OFDMPHRACK返信18ビット
—	送信値

OFDM PHRACK17	OFDMPHRACK返信17ビット
—	送信値

OFDM PHRACK5	OFDMPHRACK返信5ビット
—	送信値

注意 ビット7, 6, 1, 0には、0を設定してください。

3.4.154 OFDMPHR受信レジスタ0 (BBOFDMPHRRX0)

OFDMフレームを受信したときのPHYヘッダデータのビット2、ビット3、ビット4、ビット5の値を格納します。格納するタイミングはフレーム・レングス値を格納するタイミングと同じです。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した値が読み出されます。

リセット信号の発生により、00Hになります。

図3-165 OFDMPHR受信レジスタ0 (BBOFDMPHRRX0) のフォーマット

アドレス : 0176H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
BBOFDMPHRRX0	0	0	OFDM PHRRX5	OFDM PHRRX4	OFDM PHRRX3	OFDM PHRRX2	0	0

OFDM PHRRX5	OFDMPHR受信5ビット
—	受信値 (Reserved)

OFDM PHRRX4	OFDMPHR受信4ビット
—	受信値 (RATE0)

OFDM PHRRX3	OFDMPHR受信3ビット
—	受信値 (RATE1)

OFDM PHRRX2	OFDMPHR受信2ビット
—	受信値 (RATE2)

3.4.155 OFDMPHR受信レジスタ1 (BBOFDMPHRRX1)

OFDMフレームを受信したときのPHYヘッダデータのビット17、ビット18、ビット19、ビット20、ビット21の値を格納します。格納するタイミングはフレーム・レングス値を格納するタイミングと同じです。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した値が読み出されます。

リセット信号の発生により、00Hになります。

図3-166 OFDMPHR受信レジスタ1 (BBOFDMPHRRX1) のフォーマット

アドレス : 0177H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
BBOFDMPHRRX1	0	0	0	OFDM PHRRX21	OFDM PHRRX20	OFDM PHRRX19	OFDM PHRRX18	OFDM PHRRX17

OFDM PHRRX21	OFDMPHR受信21ビット
—	受信値 (Reserved)

OFDM PHRRX20	OFDMPHR受信20ビット
—	受信値 (SCBR0)

OFDM PHRRX19	OFDMPHR受信19ビット
—	受信値 (SCBR1)

OFDM PHRRX18	OFDMPHR受信18ビット
—	受信値 (Reserved)

OFDM PHRRX17	OFDMPHR受信17ビット
—	受信値 (Reserved)

3.4.156 OFDMPHR受信レジスタ2 (BBOFDMPHRRX2)

OFDMフレームを受信したときのPHYヘッダデータのビット22、ビット23、ビット24、ビット25、ビット26、ビット27、ビット28、ビット29の値を格納します。格納するタイミングはフレーム・レングス値を格納するタイミングと同じです。読み出す場合、受信データ格納バンク選択ビットで指定された格納バンクに対応した値が読み出されます。

リセット信号の発生により、00Hになります。

図3-167 OFDMPHR受信レジスタ2 (BBOFDMPHRRX2) のフォーマット (1/2)

アドレス : 0178H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
BBOFDMPHRRX2	OFDM PHRRX29	OFDM PHRRX28	OFDM PHRRX27	OFDM PHRRX26	OFDM PHRRX25	OFDM PHRRX24	OFDM PHRRX23	OFDM PHRRX22

OFDM PHRRX29	OFDMPHR受信29ビット
—	受信値 (HCS0)

OFDM PHRRX28	OFDMPHR受信28ビット
—	受信値 (HCS1)

OFDM PHRRX27	OFDMPHR受信27ビット
—	受信値 (HCS2)

OFDM PHRRX26	OFDMPHR受信26ビット
—	受信値 (HCS3)

OFDM PHRRX25	OFDMPHR受信25ビット
—	受信値 (HCS4)

OFDM PHRRX24	OFDMPHR受信24ビット
—	受信値 (HCS5)

図3-167 OFDMPHR受信レジスタ2 (BBOFDMPHRRX2) のフォーマット (2/2)

OFDM PHRRX23	OFDMPHR受信23ビット
—	受信値 (HCS6)

OFDM PHRRX22	OFDMPHR受信22ビット
—	受信値 (HCS7)

3.4.157 OFDMCCAレベルスレッシュヨルド設定レジスタ（BBOFDMCCA VTH）

OFDM変調時のCCA判定をするためのスレッシュヨルドレベルを設定します。本レジスタへの設定値以上のCCA値をビジーと判定します。

10ビットでのスレッシュヨルド判定になります。使用するビットはb9-b0でb9は符号ビットです。

値は2の補数で単位はdBmにて設定してください（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-168 OFDMCCAレベルスレッシュヨルド設定レジスタ（BBOFDMCCA VTH）のフォーマット

アドレス：017BH, 017AH リセット時：0200H R/W

略号	15	14	13	12	11	10	9	8
BBOFDM CCA VTH (017BH)	0	0	0	0	0	0	OFDMCCA VTH9	OFDMCCA VTH8
	7	6	5	4	3	2	1	0
(017AH)	OFDMCCA VTH7	OFDMCCA VTH6	OFDMCCA VTH5	OFDMCCA VTH4	OFDMCCA VTH3	OFDMCCA VTH2	OFDMCCA VTH1	OFDMCCA VTH0
	OFDMCCA VTH9- OFDMCCA VTH0		OFDMCCAスレッシュヨルド					
	—		OFDM変調時のCCAのスレッシュヨルドレベルを設定します。					

注意 ビット15-10には、0を設定してください。

3.4.158 OFDM受信レベルスレッシュヨルド設定レジスタ (BBOFDMLVLVTH)

OFDM変調時の受信レベルフィルタ機能のスレッシュヨルド値を設定します。本レジスタへの設定値より上の値を受信します。

10ビットでのスレッシュヨルド判定になります。使用するビットはb9-b0でb9は符号ビットです。

値は2の補数で単位はdBmにて設定してください（例：33DHは-97.5dBm）。

リセット信号の発生により、0200Hになります。

図3-169 OFDM受信レベルスレッシュヨルド設定レジスタ (BBOFDMLVLVTH) のフォーマット

アドレス：017DH, 017CH リセット時：0200H R/W

略号	15	14	13	12	11	10	9	8
BBOFDMLVLVTH (017DH)	0	0	0	0	0	0	OFDMLVL VTHT9	OFDMLVL VTHT8
(017CH)	7	6	5	4	3	2	1	0
	OFDMLVL VTHT7	OFDMLVL VTHT6	OFDMLVL VTHT5	OFDMLVL VTHT4	OFDMLVL VTHT3	OFDMLVL VTHT2	OFDMLVL VTHT1	OFDMLVL VTHT0
	OFDMLVLVTHT9- OFDMLVLVTHT0		OFDM受信レベルスレッシュヨルド					
	—		OFDM方式の受信レベルフィルタ機能のスレッシュヨルド値を設定します。					

注意 ビット15-10には、0を設定してください。

3.4.159 ポート方向レジスタ0 (GPIODIR0)

ポート方向レジスタ0により、GPIO0~7の各ポートの入出力を設定できます。

リセット信号の発生により、00Hになります。

図3-170 ポート方向レジスタ0 (GPIODIR0) のフォーマット

アドレス : 0190H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
GPIODIR0	GPIO7DIR	GPIO6DIR	GPIO5DIR	GPIO4DIR	GPIO3DIR	GPIO2DIR	GPIO1DIR	GPIO0DIR
GPIO7DIR		GPIO7方向ビット						
0		入力ポート						
1		出力ポート						
GPIO6DIR		GPIO6方向ビット						
0		入力ポート						
1		出力ポート						
GPIO5DIR		GPIO5方向ビット						
0		入力ポート						
1		出力ポート						
GPIO4DIR		GPIO4方向ビット						
0		入力ポート						
1		出力ポート						
GPIO3DIR		GPIO3方向ビット						
0		入力ポート						
1		出力ポート						
GPIO2DIR		GPIO2方向ビット						
0		入力ポート						
1		出力ポート						
GPIO1DIR		GPIO1方向ビット						
0		入力ポート						
1		出力ポート						
GPIO0DIR		GPIO0方向ビット						
0		入力ポート						
1		出力ポート						

3.4.160 ポート方向レジスタ1 (GPIODIR1)

ポート方向レジスタ1により、GPIO8～12の各ポートの入出力を設定できます。

リセット信号の発生により、00Hになります。

図3-171 ポート方向レジスタ1 (GPIODIR1) のフォーマット

アドレス : 0191H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
GPIODIR1	0	0	0	GPIO12DIR	GPIO11DIR	GPIO10DIR	GPIO9DIR	GPIO8DIR

GPIO12DIR	GPIO12方向ビット	
0	入力ポート	
1	出力ポート	

GPIO11DIR	GPIO11方向ビット	
0	入力ポート	
1	出力ポート	

GPIO10DIR	GPIO10方向ビット	
0	入力ポート	
1	出力ポート	

GPIO9DIR	GPIO9方向ビット	
0	入力ポート	
1	出力ポート	

GPIO8DIR	GPIO8方向ビット	
0	入力ポート	
1	出力ポート	

注意 ビット7-5には、0を設定してください。

3.4.161 ポートデータレジスタ0 (GPIODATA0)

GPIO0~7の各ポートを出力設定した場合の出力値を設定するレジスタです。

GPIO0~7の各ポートを入力設定にした場合、端子の状態（ハイ/ロウ）が読めます。

リセット信号の発生により、00Hになります。

図3-172 ポートデータレジスタ0 (GPIODATA0) のフォーマット (1/2)

アドレス : 0192H リセット時 : 00H (出力時) R/W

略号	7	6	5	4	3	2	1	0
GPIODATA	GPIO7DATA	GPIO6DATA	GPIO5DATA	GPIO4DATA	GPIO3DATA	GPIO2DATA	GPIO1DATA	GPIO0DATA
0								

GPIO7DATA	GPIO7データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

GPIO6DATA	GPIO6データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

GPIO5DATA	GPIO5データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

GPIO4DATA	GPIO4データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

GPIO3DATA	GPIO3データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

図3-172 ポートデータレジスタ0 (GPIO0DATA) のフォーマット (2/2)

GPIO2DATA	GPIO2データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

GPIO1DATA	GPIO1データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

GPIO0DATA	GPIO0データビット
入力時	ポートの値
出力時	0 : 出力 = 0
	1 : 出力 = 1

3.4.162 ポートデータレジスタ1 (GPIODATA1)

GPIO8~12の各ポートを出力設定した場合の出力値を設定するレジスタです。

GPIO8~12の各ポートを入力設定にした場合、端子の状態（ハイ/ロウ）が読めます。

リセット信号の発生により、00Hになります。

図3-173 ポートデータレジスタ1 (GPIODATA1) のフォーマット

アドレス : 0193H リセット時 : 00H (出力時) R/W

略号	7	6	5	4	3	2	1	0
GPIODATA 1	0	0	0	GPIO12 DATA	GPIO11 DATA	GPIO10 DATA	GPIO9 DATA	GPIO8 DATA

GPIO12 DATA	GPIO12データビット
入力時	ポートの値
出力時	0 : 出力 = 0 1 : 出力 = 1

GPIO11 DATA	GPIO11データビット
入力時	ポートの値
出力時	0 : 出力 = 0 1 : 出力 = 1

GPIO10 DATA	GPIO10データビット
入力時	ポートの値
出力時	0 : 出力 = 0 1 : 出力 = 1

GPIO9 DATA	GPIO9データビット
入力時	ポートの値
出力時	0 : 出力 = 0 1 : 出力 = 1

GPIO8 DATA	GPIO8データビット
入力時	ポートの値
出力時	0 : 出力 = 0 1 : 出力 = 1

注意 ビット7-5には、0を設定してください。

3.4.163 ポート出力駆動能力切り替えレジスタ0 (GPIODRV0)

ポート出力駆動能力切り替えレジスタ0により、GPIO0～7の各ポートを出力設定した場合の出力駆動能力を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-174 ポート出力駆動能力切り替えレジスタ0 (GPIODRV0) のフォーマット

アドレス : 0194H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
GPIODRV0	GPIO7DRV	GPIO6DRV	GPIO5DRV	GPIO4DRV	GPIO3DRV	GPIO2DRV	GPIO1DRV	GPIO0DRV

GPIO7DRV	GPIO7駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

GPIO6DRV	GPIO6駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

GPIO5DRV	GPIO5駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

GPIO4DRV	GPIO4駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

GPIO3DRV	GPIO3駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

GPIO2DRV	GPIO2駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

GPIO1DRV	GPIO1駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

GPIO0DRV	GPIO0駆動能力ビット	
0	低駆動能力	
1	高駆動能力	

3.4.164 ポート出力駆動能力切り替えレジスタ1 (GPIODRV1)

ポート出力駆動能力切り替えレジスタ1により、GPIO8~12の各ポートを出力設定した場合およびSOUTの出力駆動能力を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-175 ポート出力駆動能力切り替えレジスタ1 (GPIODRV1) のフォーマット

アドレス : 0195H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
GPIODRV1	0	0	SOUTDRV	GPIO12DRV	GPIO11DRV	GPIO10DRV	GPIO9DRV	GPIO8DRV

SOUTDRV	SOUT駆動能力ビット
0	低駆動能力
1	高駆動能力

GPIO12DRV	GPIO12駆動能力ビット
0	低駆動能力
1	高駆動能力

GPIO11DRV	GPIO11駆動能力ビット
0	低駆動能力
1	高駆動能力

GPIO10DRV	GPIO10駆動能力ビット
0	低駆動能力
1	高駆動能力

GPIO9DRV	GPIO9駆動能力ビット
0	低駆動能力
1	高駆動能力

GPIO8DRV	GPIO8駆動能力ビット
0	低駆動能力
1	高駆動能力

注意 ビット7, 6には、0を設定してください。

3.4.165 プルアップ・プルダウン選択レジスタ0 (PULLSEL0)

プルアッププルダウン選択レジスタ0により、GPIO0~3の各ポートのプルアップまたはプルダウンを有効にできます。

本レジスタでプルアップを有効にした場合、ポートのプルアップまたはプルダウンが有効になります。なお、ポートが出力状態ではプルアップまたはプルダウン機能は無効です。

リセット信号の発生により、FFHになります。

図3-176 プルアップ・プルダウン選択レジスタ0 (PULLSEL0) のフォーマット (1/2)

アドレス : 0198H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PULLSEL0	PULL3SEL	PULL3EN	PULL2SEL	PULL2EN	PULL1SEL	PULL1EN	PULL0SEL	PULL0EN

PULL3SEL	PULL3選択ビット
0	GPIO3 = プルダウン
1	GPIO3 = プルアップ

PULL3EN	PULL3イネーブルビット
0	GPIO3 = プルアップ/ダウン無効
1	GPIO3 = プルアップ/ダウン有効

PULL2SEL	PULL2選択ビット
0	GPIO2 = プルダウン
1	GPIO2 = プルアップ

PULL2EN	PULL2イネーブルビット
0	GPIO2 = プルアップ/ダウン無効
1	GPIO2 = プルアップ/ダウン有効

PULL1SEL	PULL1選択ビット
0	GPIO1 = プルダウン
1	GPIO1 = プルアップ

PULL1EN	PULL1イネーブルビット
0	GPIO1 = プルアップ/ダウン無効
1	GPIO1 = プルアップ/ダウン有効

図3-176 プルアップ・プルダウン選択レジスタ0 (PULLSEL0) のフォーマット (2/2)

PULL0SEL	PULL0選択ビット
0	GPIO0 = プルダウン
1	GPIO0 = プルアップ

PULL0EN	PULL0イネーブルビット
0	GPIO0 = プルアップ/ダウン無効
1	GPIO0 = プルアップ/ダウン有効

3.4.166 プルアップ・プルダウン選択レジスタ1 (PULLSEL1)

プルアッププルダウン選択レジスタ0により、GPIO4~7の各ポートのプルアップまたはプルダウンを有効にできません。

本レジスタでプルアップを有効にした場合、ポートのプルアップまたはプルダウンが有効になります。なお、ポートが出力状態ではプルアップまたはプルダウン機能は無効です。

リセット信号の発生により、FFHになります。

図3-177 プルアップ・プルダウン選択レジスタ1 (PULLSEL1) のフォーマット (1/2)

アドレス : 0199H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PULLSEL1	PULL7SEL	PULL7EN	PULL6SEL	PULL6EN	PULL5SEL	PULL5EN	PULL4SEL	PULL4EN

PULL7SEL	PULL7選択ビット
0	GPIO7 = プルダウン
1	GPIO7 = プルアップ

PULL7EN	PULL7イネーブルビット
0	GPIO7 = プルアップ/ダウン無効
1	GPIO7 = プルアップ/ダウン有効

PULL6SEL	PULL6選択ビット
0	GPIO6 = プルダウン
1	GPIO6 = プルアップ

PULL6EN	PULL6イネーブルビット
0	GPIO6 = プルアップ/ダウン無効
1	GPIO6 = プルアップ/ダウン有効

PULL5SEL	PULL5選択ビット
0	GPIO5 = プルダウン
1	GPIO5 = プルアップ

PULL5EN	PULL5イネーブルビット
0	GPIO5 = プルアップ/ダウン無効
1	GPIO5 = プルアップ/ダウン有効

図3-177 プルアップ・プルダウン選択レジスタ1 (PULLSEL1) のフォーマット (2/2)

PULL4SEL	PULL4選択ビット
0	GPIO4 = プルダウン
1	GPIO4 = プルアップ

PULL4EN	PULL4イネーブルビット
0	GPIO4 = プルアップ/ダウン無効
1	GPIO4 = プルアップ/ダウン有効

3.4.167 プルアップ・プルダウン選択レジスタ2 (PULLSEL2)

プルアッププルダウン選択レジスタ0により、GPIO8～11の各ポートのプルアップまたはプルダウンを有効にできません。

本レジスタでプルアップを有効にした場合、ポートのプルアップまたはプルダウンが有効になります。なお、ポートが出力状態ではプルアップまたはプルダウン機能は無効です。

リセット信号の発生により、FFHになります。

図3-178 プルアップ・プルダウン選択レジスタ2 (PULLSEL2) のフォーマット (1/2)

アドレス : 019AH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PULLSEL2	PULL11SEL	PULL11EN	PULL10SEL	PULL10EN	PULL9SEL	PULL9EN	PULL8SEL	PULL8EN

PULL11SEL	PULL11選択ビット
0	GPIO11 = プルダウン
1	GPIO11 = プルアップ

PULL11EN	PULL11イネーブルビット
0	GPIO11 = プルアップ/ダウン無効
1	GPIO11 = プルアップ/ダウン有効

PULL10SEL	PULL10選択ビット
0	GPIO10 = プルダウン
1	GPIO10 = プルアップ

PULL10EN	PULL10イネーブルビット
0	GPIO10 = プルアップ/ダウン無効
1	GPIO10 = プルアップ/ダウン有効

PULL9SEL	PULL9選択ビット
0	GPIO9 = プルダウン
1	GPIO9 = プルアップ

PULL9EN	PULL9イネーブルビット
0	GPIO9 = プルアップ/ダウン無効
1	GPIO9 = プルアップ/ダウン有効

図3-178 プルアップ・プルダウン選択レジスタ2 (PULLSEL2) のフォーマット (2/2)

PULL8SEL	PULL8選択ビット
0	GPIO8 = プルダウン
1	GPIO8 = プルアップ

PULL8EN	PULL8イネーブルビット
0	GPIO8 = プルアップ/ダウン無効
1	GPIO8 = プルアップ/ダウン有効

3.4.168 プルアップ・プルダウン選択レジスタ3 (PULLSEL3)

プルアッププルダウン選択レジスタ3により、GPIO12、SEN、SIN、SCLKの各ポートのプルアップまたはプルダウンを有効にできます。

本レジスタでプルアップを有効にした場合、ポートのプルアップまたはプルダウンが有効になります。なお、ポートが出力状態ではプルアップまたはプルダウン機能は無効です。

リセット信号の発生により、FFHになります。

図3-179 プルアップ・プルダウン選択レジスタ3 (PULLSEL3) のフォーマット (1/2)

アドレス : 019BH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PULLSEL3	PULLSCLK SEL	PULLSCLK EN	PULLSIN SEL	PULLSIN EN	PULLSEN SEL	PULLSEN EN	PULL12 SEL	PULL12 EN

PULLSCLK SEL	PULLSCLK選択ビット
0	SCLK = プルダウン
1	SCLK = プルアップ

PULLSCLK EN	PULLSCLKイネーブルビット
0	SCLK = プルアップ/ダウン無効
1	SCLK = プルアップ/ダウン有効

PULLSIN SEL	PULLSIN選択ビット
0	SIN = プルダウン
1	SIN = プルアップ

PULLSIN EN	PULLSINイネーブルビット
0	SIN = プルアップ/ダウン無効
1	SIN = プルアップ/ダウン有効

PULLSEN SEL	PULLSEN選択ビット
0	SEN = プルダウン
1	SEN = プルアップ

図3-179 プルアップ・プルダウン選択レジスタ3 (PULLSEL3) のフォーマット (2/2)

PULLSEN EN	PULLSENイネーブルビット
0	SEN = プルアップ/ダウン無効
1	SEN = プルアップ/ダウン有効

PULL12 SEL	PULL12選択ビット
0	GPIO12 = プルダウン
1	GPIO12 = プルアップ

PULL12 EN	PULL12イネーブルビット
0	GPIO12 = プルアップ/ダウン無効
1	GPIO12 = プルアップ/ダウン有効

3.4.169 GPIO機能選択レジスタ0 (BBGPIOFUNCSEL0)

GPIO0機能選択ビットにより、GPIO0の端子機能を切り替えることができます。

GPIO1機能選択ビットにより、GPIO1の端子機能を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-180 GPIO機能選択レジスタ0 (BBGPIOFUNCSEL0) のフォーマット

アドレス : 01A0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBGPIO FUNCSEL0	GPIO1SEL3	GPIO1SEL2	GPIO1SEL1	GPIO1SEL0	GPIO0SEL3	GPIO0SEL2	GPIO0SEL1	GPIO0SEL0

GPIO1SEL3	GPIO1SEL2	GPIO1SEL1	GPIO1SEL0	GPIO1機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

GPIO0SEL3	GPIO0SEL2	GPIO0SEL1	GPIO0SEL0	GPIO0機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

3.4.170 GPIO機能選択レジスタ1 (BBGPIOFUNCSEL1)

GPIO2機能選択ビットにより、GPIO2の端子機能を切り替えることができます。

GPIO3機能選択ビットにより、GPIO3の端子機能を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-181 GPIO機能選択レジスタ1 (BBGPIOFUNCSEL1) のフォーマット

アドレス : 01A1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBGPIO FUNCSEL1	GPIO3SEL3	GPIO3SEL2	GPIO3SEL1	GPIO3SEL0	GPIO2SEL3	GPIO2SEL2	GPIO2SEL1	GPIO2SEL0

GPIO3SEL3	GPIO3SEL2	GPIO3SEL1	GPIO3SEL0	GPIO3機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

GPIO2SEL3	GPIO2SEL2	GPIO2SEL1	GPIO2SEL0	GPIO2機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

3.4.171 GPIO機能選択レジスタ2 (BBGPIOFUNCSEL2)

GPIO4機能選択ビットにより、GPIO4の端子機能を切り替えることができます。

GPIO5機能選択ビットにより、GPIO5の端子機能を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-182 GPIO機能選択レジスタ2 (BBGPIOFUNCSEL2) のフォーマット

アドレス : 01A2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBGPIO FUNCSEL2	GPIO5SEL3	GPIO5SEL2	GPIO5SEL1	GPIO5SEL0	GPIO4SEL3	GPIO4SEL2	GPIO4SEL1	GPIO4SEL0

GPIO5SEL3	GPIO5SEL2	GPIO5SEL1	GPIO5SEL0	GPIO5機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

GPIO4SEL3	GPIO4SEL2	GPIO4SEL1	GPIO4SEL0	GPIO4機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

3.4.172 GPIO機能選択レジスタ3 (BBGPIOFUNCSEL3)

GPIO6機能選択ビットにより、GPIO6の端子機能を切り替えることができます。

GPIO7機能選択ビットにより、GPIO7の端子機能を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-183 GPIO機能選択レジスタ3 (BBGPIOFUNCSEL3) のフォーマット

アドレス : 01A3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBGPIO FUNCSEL3	GPIO7SEL3	GPIO7SEL2	GPIO7SEL1	GPIO7SEL0	GPIO6SEL3	GPIO6SEL2	GPIO6SEL1	GPIO6SEL0

GPIO7SEL3	GPIO7SEL2	GPIO7SEL1	GPIO7SEL0	GPIO7機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

GPIO6SEL3	GPIO6SEL2	GPIO6SEL1	GPIO6SEL0	GPIO6機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

3.4.173 GPIO機能選択レジスタ4 (BBGPIOFUNCSEL4)

GPIO8機能選択ビットにより、GPIO8の端子機能を切り替えることができます。

GPIO9機能選択ビットにより、GPIO9の端子機能を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-184 GPIO機能選択レジスタ4 (BBGPIOFUNCSEL4) のフォーマット

アドレス : 01A4H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBGPIO FUNCSEL4	GPIO9SEL3	GPIO9SEL2	GPIO9SEL1	GPIO9SEL0	GPIO8SEL3	GPIO8SEL2	GPIO8SEL1	GPIO8SEL0

GPIO9SEL3	GPIO9SEL2	GPIO9SEL1	GPIO9SEL0	GPIO9機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

GPIO8SEL3	GPIO8SEL2	GPIO8SEL1	GPIO8SEL0	GPIO8機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

3.4.174 GPIO機能選択レジスタ5 (BBGPIOFUNCSEL5)

GPIO10機能選択ビットにより、GPIO10の端子機能を切り替えることができます。

GPIO11機能選択ビットにより、GPIO11の端子機能を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-185 GPIO機能選択レジスタ5 (BBGPIOFUNCSEL5) のフォーマット

アドレス : 01A5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBGPIO FUNCSEL5	GPIO11SEL 3	GPIO11SEL 2	GPIO11SEL 1	GPIO11SEL 0	GPIO10SEL 3	GPIO10SEL 2	GPIO10SEL 1	GPIO10SEL 0

GPIO11SEL 3	GPIO11SEL 2	GPIO11SEL 1	GPIO11SEL 0	GPIO11機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

GPIO10SEL 3	GPIO10SEL 2	GPIO10SEL 1	GPIO10SEL 0	GPIO10機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

3.4.175 GPIO機能選択レジスタ6 (BBGPIOFUNCSEL6)

GPIO12機能選択ビットにより、GPIO12の端子機能を切り替えることができます。

リセット信号の発生により、00Hになります。

図3-186 GPIO機能選択レジスタ6 (BBGPIOFUNCSEL6) のフォーマット

アドレス : 01A6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBGPIO FUNCSEL6	0	0	0	0	GPIO12SEL 3	GPIO12SEL 2	GPIO12SEL 1	GPIO12SEL 0

GPIO12SEL 3	GPIO12SEL 2	GPIO12SEL 1	GPIO12SEL 0	GPIO12機能選択ビット
0	0	0	0	GPIO機能
0	0	0	1	INTOUT0
0	0	1	0	予約
0	0	1	1	予約
0	1	0	0	CTX
0	1	0	1	CPS
0	1	1	0	CSD
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	予約
上記以外				設定禁止

注意 ビット7-4には、0を設定してください。

3.4.176 RX時OSC設定レジスタ (BBRXOSC)

RXDDC用クロック分周比制御ビットによって、受信時のDDC用クロック分周比を選択します。

リセット信号の発生により、00Hになります。

設定値は製品のご使用時に最新の推奨レジスタ設定アプリケーションノートを参照してください。

図3-187 RX時OSC設定レジスタ (BBRXOSC) のフォーマット

アドレス : 01C8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBRXOSC	0	0	0	0	0	RXOSCBFD DCDIVSEL2	RXOSCBFD DCDIVSEL1	RXOSCBFD DCDIVSEL0

RXOSCBFD DCDIVSEL2	RXOSCBFD DCDIVSEL1	RXOSCBFD DCDIVSEL0	RXDDC用クロック分周比制御ビット
0	0	0	分周比12
0	0	1	分周比13
0	1	0	分周比14
0	1	1	分周比11
1	0	0	分周比10
1	0	1	分周比9
1	1	0	設定禁止
1	1	1	設定禁止

注意 ビット7-3には、0を設定してください。

3.4.177 NEWMODE送信制御レジスタ (BBNMTXCON)

NEWMODE自動送信許可0, 1, 2ビットにより、モード・スイッチ・フレーム送信後にNEWMODEフレームを自動的に送信することができます。各ビットに1を設定することで、モード・スイッチ・フレーム送信後にNEWMODEフレームを送信します。各ビットは必ず同じ値を設定してください。

NEWMODE送信方式選択ビットにより、自動NEWMODEフレーム送信時の送信方式を選択します。

0：FSK 送信

各設定値は NEWMODE 送信周波数設定レジスタ、NEWMODE 送信 FSK 制御レジスタ 0、NEWMODE 送信 FSK 制御レジスタ 1 の設定値が使用されます。

1：OFDM 送信

各設定値は NEWMODE 送信周波数設定レジスタ、OFDM 制御レジスタ、OFDMPHR 送信レジスタ 0、OFDMPHR 送信レジスタ 1 の設定値が使用されます。

NEWMODE送信動作シーケンス切り替え0, 1ビットにより、動作シーケンスを選択します。各ビットは必ず同じ値を設定してください。

NEWMODE送信許可ビットにより、NEWMODEフレーム送信の許可／禁止を選択します。本ビットが0の場合、MODEMの送信許可タイミグになっても送信許可になりません。

NEWMODE送信完了割り込み選択ビットにより、NEWMODE自動送信時のフレーム送信完了割り込みの発生回数を選択できます。0を設定時はモード・スイッチ・フレーム送信完了時およびNEWMODEフレーム送信完了時にフレーム送信完了割り込みを発生しません（フレーム送信完了割り込み = 2回発生）。1を設定時はモード・スイッチ・フレーム送信完了時はフレーム送信完了割り込みを発生せず、NEWMODEフレーム送信完了時にのみフレーム送信完了割り込みを発生します（フレーム送信完了割り込み = 1回発生）。

リセット信号の発生により、80Hになります。

表3-3 NEWMODE送信レジスタ設定一覧表

レジスタ	アドレス	ビット	通常シーケンス	最短シーケンス	備考
057H番地		b7-b0	65H	15H	FSK/OFDM共通
058H番地		b7-b0	8DH	3DH	FSK/OFDM共通
NEWMODE自動送信許可0ビット	01E8H	b0	1 (自動送信許可)		FSK/OFDM共通
NEWMODE送信方式選択ビット	01E8H	b1	0 (FSK) / 1 (OFDM)	0 (FSK) / 1 (OFDM)	FSK/OFDM共通
NEWMODE自動送信許可1ビット	01E8H	b2	1 (自動送信許可)		FSK/OFDM共通
NEWMODE自動送信許可2ビット	01E8H	b3	1 (自動送信許可)		FSK/OFDM共通
NEWMODE送信動作シーケンス切り替え0ビット	01E8H	b4	0	1	FSK/OFDM共通
NEWMODE送信許可ビット	01E8H	b5	1 (許可)	1 (許可)	FSK/OFDM共通
NEWMODE送信動作シーケンス切り替え1ビット	01E8H	b6	0	1	FSK/OFDM共通
NEWMODE送信SXシフト周波数設定ビット	01EBH, 01EAH	b11-b0	0 (±0)	SXシフト周波数設定値	FSK/OFDM共通
NEWMODE送信周波数設定ビット	01EFH-01ECH	b29-b0	NEWMODEフレーム送信周波数設定	設定値無効	FSK/OFDM共通
NEWMODE送信FSK制御レジスタ0, 1	01F1H, 01F0H	—	設定値		FSK用
OFDM制御レジスタ	0170H	—	設定値		OFDM用
OFDMPHR送信レジスタ0, 1	0173H, 0172H	—	設定値		OFDM用

図3-188 NEWMODE送信制御レジスタ (BBNMTXCON) のフォーマット

アドレス : 01E8H リセット時 : 80H R/W

略号	7	6	5	4	3	2	1	0
BBNMTX	NMTX	NMTX	NMTX	NMTX	NMTX	NMTX	NMTX	NMTX
CON	INTSEL	SQC1	EN	SQC0	ON2	ON1	MODE	ON0

NMTX INTSEL	NEWMODE送信完了割り込み選択ビット
0	モード・スイッチ・フレーム送信完了時割り込み発生あり
1	モード・スイッチ・フレーム送信完了時割り込み発生なし

NMTX SQC1	NEWMODE送信動作シーケンス切り替え1ビット
0	通常シーケンス
1	最短シーケンス

NMTXEN	NEWMODE送信許可ビット
0	NEWMODE送信禁止
1	NEWMODE送信許可

NMTXSQC0	NEWMODE送信動作シーケンス切り替え0ビット
0	通常シーケンス
1	最短シーケンス

NMTXON2	NEWMODE自動送信許可2ビット
0	自動送信無効
1	自動送信有効

NMTXON1	NEWMODE自動送信許可1ビット
0	自動送信無効
1	自動送信有効

NMTXMODE	NEWMODE送信方式選択ビット
0	FSK送信
1	OFDM送信

NMTXON0	NEWMODE自動送信許可0ビット
0	自動送信無効
1	自動送信有効

3.4.178 NEWMODE送信SXシフト周波数設定レジスタ (BBNMTXSXSFTFREQ)

NEWMODE送信SXシフト周波数設定ビットにより、NEWMODE送信時のSX周波数のシフト値を設定します (1H = 1kHz)。

000H : 0kHz

001H : 1kHz

002H : 2kHz

...

0C8H : 200kHz

...

7FFH : 2047kHz

800H : 0kHz

801H : -1kHz

802H : -2kHz

...

8C8H : -200kHz

...

FFFH : -2047kHz

NEWMODE送信動作シーケンス切り替え0, 1ビット = 1の場合、SXの周波数シフト動作に使用されます。

NEWMODE送信動作シーケンス切り替え0, 1ビット = 0の場合は、設定値は無効です。

リセット信号の発生により、0000Hになります。

図3-189 NEWMODE送信SXシフト周波数設定レジスタ (BBNMTXSXSFTFREQ) のフォーマット

アドレス : 01EBH, 01EAH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8
BBNMTXS XSFTFREQ (01EBH)	0	0	0	0	NMTXSX SFTFREQ11	NMTXSX SFTFREQ10	NMTXSX SFTFREQ9	NMTXSX SFTFREQ8
(01EAH)								
	7	6	5	4	3	2	1	0
	NMTXSX SFTFREQ7	NMTXSX SFTFREQ6	NMTXSX SFTFREQ5	NMTXSX SFTFREQ4	NMTXSX SFTFREQ3	NMTXSX SFTFREQ2	NMTXSX SFTFREQ1	NMTXSX SFTFREQ0
	NEWMODE送信SXシフト周波数設定ビット							
	NMTXSXSFTFREQ11- NMTXSXSFTFREQ0							
	-							
	SXシフト周波数を設定します。							

注意 ビット15-12には、0を設定してください。

3.4.179 NEWMODE送信周波数設定レジスタ (BBNMTXFREQ)

モード・スイッチ・フレーム送信後のNEWMODE送信時の周波数を設定するレジスタです。30ビットで構成されています。

1Hzきざみで設定できます。初期値は36FC3BA0Hで、922.5MHzです。

設定は337055C0H (863MHz) ~37502800H (928MHz) の範囲の値を設定してください。

設定する際は、最下位アドレスから順に4バイトをすべて設定してください。

NEWMODE送信動作シーケンス切り替え0, 1ビット = 0の場合にNEWMODE送信時、本レジスタへの設定周波数切り替わります。NEWMODE送信動作シーケンス切り替え0, 1ビット = 1の場合は、本レジスタへの設定値は無効で、周波数設定レジスタの値が有効です。

リセット信号の発生により、36FC3BA0HIになります。

図3-190 NEWMODE送信周波数設定レジスタ (BBNMTXFREQ) のフォーマット

アドレス : 01EFH-01ECH リセット時 : 36FC3BA0H R/W

略号	31	30	29	28	27	26	25	24
BBNMTX FREQ (01EFH)	0	0	NMTXFREQ 29	NMTXFREQ 28	NMTXFREQ 27	NMTXFREQ 26	NMTXFREQ 25	NMTXFREQ 24
(01EEH)								
	23	22	21	20	19	18	17	16
	NMTXFREQ 23	NMTXFREQ 22	NMTXFREQ 21	NMTXFREQ 20	NMTXFREQ 19	NMTXFREQ 18	NMTXFREQ 17	NMTXFREQ 16
(01EDH)								
	15	14	13	12	11	10	9	8
	NMTXFREQ 15	NMTXFREQ 14	NMTXFREQ 13	NMTXFREQ 12	NMTXFREQ 11	NMTXFREQ 10	NMTXFREQ 9	NMTXFREQ 8
(01ECH)								
	7	6	5	4	3	2	1	0
	NMTXFREQ 7	NMTXFREQ 6	NMTXFREQ 5	NMTXFREQ 4	NMTXFREQ 3	NMTXFREQ 2	NMTXFREQ 1	NMTXFREQ 0
	NMTXFREQ29- NMTXFREQ0		NEWMODE送信周波数設定ビット					
	-		NEWMODE送信時の周波数を設定します。					

注意 ビット31, 30には、0を設定してください。

3.4.180 NEWMODE送信FSK制御レジスタ0 (BBNMTXFSKCON0)

NEWMODE送信FSK変調指数設定ビットにより、FSK送信時の変調指数を設定できます。

NEWMODE送信FSKデータレート選択ビットにより、FSK送信時のデータレートを選択できます。

リセット信号の発生により、00Hになります。

図3-191 NEWMODE送信FSK制御レジスタ0 (BBNMTXFSKCON0) のフォーマット

アドレス : 01F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBNMTX FSKCON0	0	0	0	NMTXFSK RATE3	NMTXFSK RATE2	NMTXFSK RATE1	NMTXFSK RATE0	NMTXFSK INDEX

NMTXFSK RATE3	NMTXFSK RATE2	NMTXFSK RATE1	NMTXFSK RATE0	NEWMODE送信FSKデータレート選択ビット
0	0	0	0	50kbps
0	0	0	1	100kbps
0	0	1	0	150kbps
0	0	1	1	200kbps
0	1	0	0	10kbps
0	1	0	1	20kbps
0	1	1	0	設定禁止
0	1	1	1	設定禁止
1	0	0	0	9.6kbps
1	0	0	1	19.2kbps
1	0	1	0	38.4kbps
1	0	1	1	115.2kbps
1	1	0	0	設定禁止
1	1	0	1	設定禁止
1	1	1	0	設定禁止
1	1	1	1	設定禁止

NMTXFSK INDEX	NEWMODE送信FSK変調指数設定ビット
0	0.5
1	1.0

注意 ビット7-5には、0を設定してください。

3.4.181 NEWMODE送信FSK制御レジスタ1 (BBNMTXFSKCON1)

NEWMODE送信用FEC有効ビットにより、NEWMODE送信時のFEC有無を設定できます。

NEWMODE送信FSKFECモード切り替えビットにより、NEWMODE送信時のFECのエンコードモードを切り替えます。

NEWMODE送信FSKCRCビット数切り替えビットにより、NEWMODE送信時のCRC演算処理ビット数を切り替えます。

NEWMODE送信FSKDW有効ビットにより、NEWMODE送信時のData Whiteningを有効にできます。

NEWMODE送信FSKPHR送信1ビットにより、NEWMODE送信時のPHRのビット1を設定します。

NEWMODE送信SKPHR送信2ビットにより、NEWMODE送信時のPHRのビット2を設定します。

NEWMODE送信FSKインターリーブ有効ビットにより、NEWMODE送信時のインターリーブを有効にできます。NRNSCを使用する場合1にしてください。RSC時はインターリーブ有無を選択できます。

リセット信号の発生により、0CHになります。

図3-192 NEWMODE送信FSK制御レジスタ1 (BBNMTXFSKCON1) のフォーマット (1/2)

アドレス : 01F1H リセット時 : 0CH R/W

略号	7	6	5	4	3	2	1	0
BBNMTX FSKCON1	NMTX MRFSKSFD	NMTXFSK INTLVEN	NMTXFSK PHRTX2	NMTXFSK PHRTX1	NMTXFSK DWEN	NMTXFSK CRCBIT	NMTXFSK FECMODE	NMFEC ENTX

NMTX MRFSKSFD	NEWMODE送信MRFSKSFD選択ビット
0	phyMRFSKSFD = 0
1	phyMRFSKSFD = 1

NMTXFSK INTLVEN	NEWMODE送信FSKインターリーブ有効ビット
0	無効
1	有効

NMTXFSK PHRTX2	NEWMODE送信FSKPHR送信2ビット
—	送信値

NMTXFSK PHRTX1	NEWMODE送信FSKPHR送信1ビット
—	送信値

図3-192 NEWMODE送信FSK制御レジスタ1 (BBNMTXFSKCON1) のフォーマット (2/2)

NMTXFSK DWEN	NEWMODE送信FSKDW有効ビット
0	無効
1	有効

NMTXFSK CRCBIT	NEWMODE送信FSKCRCビット数切り替えビット
0	32ビットCRC
1	16ビットCRC

NMTXFSK FECMODE	NEWMODE送信FSKFECモード切り替えビット
0	NRNSCエンコーダ
1	RSCエンコーダ

NMFEC ENTX	NEWMODE送信用FEC有効ビット
0	無効
1	有効

3.4.182 NEWMODE送信FSKプリアンブル長設定レジスタ (BBMSPAMBL)

モード・スイッチ・フレーム送信後のNEWMODEフレーム送信時のFSKプリアンブル長を設定するレジスタです。

0004H~03E8H値をバイト数で設定してください。

リセット信号の発生により、0010Hになります。

図3-193 NEWMODE送信FSKプリアンブル長設定レジスタ (BBMSPAMBL) のフォーマット

アドレス : 0475H, 0474H リセット時 : 0010H R/W

略号	15	14	13	12	11	10	9	8
BBMSPAMBL (0475H)	0	0	0	0	0	0	MSPAMBL LEN9	MSPAMBL LEN8
	7	6	5	4	3	2	1	0
(0474H)	MSPAMBL LEN7	MSPAMBL LEN6	MSPAMBL LEN5	MSPAMBL LEN4	MSPAMBL LEN3	MSPAMBL LEN2	MSPAMB LLEN1	MSPAMBL LEN0
	MSPAMBLEN9- MSPAMBLEN0		NEWMODEフレームのプリアンブル長設定値					

注意 ビット15-10には、0を設定してください。

3.4.183 NEWMODE受信制御レジスタ0 (BBNMRXCON0)

NEWMODE受信設定0ビットにより、モード・スイッチ・フレーム受信後にNEWMODE受信用のレジスタ群の設定に切り替わります。本ビットを1にしてモード・スイッチ・フレームを受信した場合、次に受信トリガ設定時、NEWMODE受信関連のレジスタ値が有効になります。NEWMODE受信設定はNEWMODE受信制御レジスタ0、NEWMODE受信制御レジスタ1、NEWMODE受信周波数設定レジスタ、NEWMODE受信FSK制御レジスタ0、NEWMODE受信FSK制御レジスタ1、NEWMODE受信OFDM制御レジスタの設定値が有効になります。

NEWMODE受信設定1ビットは、必ずNEWMODE受信設定0ビットと同じ値を設定してください。

NEWMODE受信許可ビットにより、NEWMODEフレーム受信の許可/禁止を選択します。本ビットが0の場合、MODEMの受信許可タイミグになっても受信許可になりません。

リセット信号の発生により、00Hになります。

図3-194 NEWMODE受信制御レジスタ0 (BBNMRXCON0) のフォーマット

アドレス : 01F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBNMRX CON0	0	0	0	0	0	NMRX EN	NMRX MODEON1	NMRX MODEON0

NMRX EN	NEWMODE受信許可ビット
0	NEWMODE受信禁止
1	NEWMODE受信許可

NMRX MODEON1	NEWMODE受信設定1ビット
0	NEWMODE受信設定無効
1	NEWMODE受信設定有効

NMRX MODEON0	NEWMODE受信設定0ビット
0	NEWMODE受信設定無効
1	NEWMODE受信設定有効

注意 ビット7-3には、0を設定してください。

3.4.184 NEWMODE受信制御レジスタ1 (BBNMRXCON1)

NEWMODE受信設定切り替えビットにより、NEWMODE受信制御レジスタ2、NEWMODE受信周波数設定レジスタ、NEWMODE受信FSK制御レジスタ0、NEWMODE受信FSK制御レジスタ1、NEWMODE受信OFDM制御レジスタの設定バンクを切り替えます。設定バンクは12バンクあります。

本レジスタへの設定値に示されるバンクがレジスタリード/ライトの対象バンクかつ、NEWMODE受信時の設定バンクになります。

リセット信号の発生により、00Hになります。

図3-195 NEWMODE受信制御レジスタ1 (BBNMRXCON1) のフォーマット

アドレス : 01F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBNMRX CON1	0	0	0	0	NMRXBANK 3	NMRXBANK 2	NMRXBANK 1	NMRXBANK 0

NMRXBANK 3	NMRXBANK 2	NMRXBANK 1	NMRXBANK 0	NEWMODE受信設定切り替えビット
0	0	0	0	設定バンク0
0	0	0	1	設定バンク1
0	0	1	0	設定バンク2
0	0	1	1	設定バンク3
0	1	0	0	設定バンク4
0	1	0	1	設定バンク5
0	1	1	0	設定バンク6
0	1	1	1	設定バンク7
1	0	0	0	設定バンク8
1	0	0	1	設定バンク9
1	0	1	0	設定バンク10
1	0	1	1	設定バンク11
上記以外				設定禁止

注意 ビット7-4には、0を設定してください。

3.4.185 NEWMODE受信制御レジスタ2 (BBNMRXCON2)

NEWMODE受信方式選択ビットにより、NEWMODEフレーム受信時の受信方式を選択します。

0 : FSK 受信

各設定値は NEWMODE 受信制御レジスタ 1、NEWMODE 受信周波数設定レジスタ、NEWMODE 受信 FSK 制御レジスタ 0、NEWMODE 受信 FSK 制御レジスタ 1 の設定値が使用されます。

1 : OFDM 受信

各設定値は NEWMODE 受信制御レジスタ 1、NEWMODE 受信周波数設定レジスタ、NEWMODE 受信 OFDM 制御レジスタの設定値が使用されます。

NEWMODE受信IF周波数設定ビットにより、NEWMODE受信時のIF周波数を設定できます。

NEWMODE受信IF周波数オフセット有効ビットにより、NEWMODE受信時のIF周波数に対するオフセット値を有効にします。オフセット値はIF周波数オフセット設定レジスタ0, 1で設定します。

NEWMODE受信IF周波数オフセット選択ビットにより、NEWMODE受信時のIF周波数オフセット設定レジスタ0, 1を選択します。

NEWMODE受信DDC用クロック分周比選択ビットにより、NEWMODE受信時のDDC用クロック分周比を選択します。

設定値は製品のご使用時に最新の推奨レジスタ設定アプリケーションノートを参照してください。

リセット信号の発生により、00Hになります。

図3-196 NEWMODE受信制御レジスタ2 (BBNMRXCON2) のフォーマット (1/2)

アドレス : 01F4H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBNMRX CON2	0	NMRXOSC BFDDC DIVSEL2	NMRXOSC BFDDC DIVSEL1	NMRXOSC BFDDC DIVSEL0	NMIF OFSTSEL	NMIF OFSTEN	NMRX IFSET	NMRX MODE

NMRXOSC BFDDC DIVSEL2	NMRXOSC BFDDC DIVSEL1	NMRXOSC BFDDC DIVSEL0	NEWMODE受信DDC用クロック分周比選択ビット
0	0	0	分周比12
0	0	1	分周比13
0	1	0	分周比14
0	1	1	分周比11
1	0	0	分周比10
1	0	1	分周比9
1	1	0	設定禁止
1	1	1	設定禁止

図3-196 NEWMODE受信制御レジスタ2 (BBNMRXCON2) のフォーマット (2/2)

NMIF OFSTSEL	NEWMODE受信IF周波数オフセット選択ビット
0	オフセット0選択
1	オフセット1選択

NMIF OFSTEN	NEWMODE受信IF周波数オフセット有効ビット
0	無効
1	有効

NMRX IFSET	NEWMODE受信IF周波数設定ビット
0	550kHz
1	750kHz

NMRX MODE	NEWMODE受信方式選択ビット
0	FSK受信
1	OFDM受信

注意 ビット7には、0を設定してください。

3.4.186 NEWMODE受信周波数設定レジスタ (BBNMRXBBFREQ)

モード・スイッチ・フレーム受信後のNEWMODE受信時の周波数を設定するレジスタです。30ビットで構成されています。

1Hzきざみで設定できます。初期値は36FC3BA0Hで、922.5MHzです。

設定は337055C0H (863MHz) ~37502800H (928MHz) の範囲の値を設定してください。

設定する際は、最下位アドレスから順に4バイトをすべて設定してください。

リセット信号の発生により、36FC3BA0Hになります。

図3-197 NEWMODE受信周波数設定レジスタ (BBNMRXBBFREQ) のフォーマット

アドレス : 01F8H-01F5H リセット時 : 36FC3BA0H R/W

略号	31	30	29	28	27	26	25	24
BBNMRX BBFREQ (01F8H)	0	0	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ
			29	28	27	26	25	24
(01F7H)								
	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ
	23	22	21	20	19	18	17	16
(01F6H)								
	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ
	15	14	13	12	11	10	9	8
(01F5H)								
	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ	NMRXFREQ
	7	6	5	4	3	2	1	0
NMRXFREQ29- NMRXFREQ0			NEWMODE受信周波数設定ビット					
-			NEWMODE受信時の周波数を設定します。					

注意 ビット31, 30には、0を設定してください。

3.4.187 NEWMODE受信FSK制御レジスタ0 (BBNMRXFSKCON0)

NEWMODE受信FSK変調指数設定ビットにより、NEWMODEのFSK受信時の変調指数を設定できます。

NEWMODE受信FSKデータレート選択ビットにより、NEWMODEのFSK受信時のデータレートを選択できます。

リセット信号の発生により、00Hになります。

図3-198 NEWMODE受信FSK制御レジスタ0 (BBNMRXFSKCON0) のフォーマット

アドレス : 01F9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBNMRX FSKCON0	0	0	0	NMRXFSK RATE3	NMRXFSK RATE2	NMRXFSK RATE1	NMRXFSK RATE0	NMRXFSK INDEX

NMRXFSK RATE3	NMRXFSK RATE2	NMRXFSK RATE1	NMRXFSK RATE0	NEWMODE受信FSKデータレート選択ビット
0	0	0	0	50kbps
0	0	0	1	100kbps
0	0	1	0	150kbps
0	0	1	1	200kbps
0	1	0	0	10kbps
0	1	0	1	20kbps
0	1	1	0	設定禁止
0	1	1	1	設定禁止
1	0	0	0	9.6kbps
1	0	0	1	19.2kbps
1	0	1	0	38.4kbps
1	0	1	1	115.2kbps
1	1	0	0	設定禁止
1	1	0	1	設定禁止
1	1	1	0	設定禁止
1	1	1	1	設定禁止

NMRXFSK INDEX	NEWMODE受信FSK変調指数設定ビット
0	0.5
0	1.0

注意 ビット7-5には、0を設定してください。

3.4.188 NEWMODE受信FSK制御レジスタ1 (BBNMRXFSKCON1)

NEWMODE受信FSK受信用FEC有効ビットにより、NEWMODEのFSK受信時のFEC (CODE) を有効にします。

NEWMODE受信FSKFECモード切り替えビットにより、NEWMODEのFSK受信時のFECエンコードモードを切り替えます。

NEWMODE受信FSKインターリービング有効ビットにより、NEWMODEのFSK受信時のインターリービングを有効にできます。

NEWMODE受信FEC自動判別有効ビットにより、NEWMODEのFSK受信時のFEC有無を判別し受信することができます。

NEWMODE受信MRFSKSFD選択ビットにより、NEWMODEのFSK受信時のphyMRFSKSFDの値を設定できます。

NEWMODE受信MSビット強制0設定ビットにより、受信MSビットを強制的に0に設定できます。

リセット信号の発生により、20Hになります。

図3-199 NEWMODE受信FSK制御レジスタ1 (BBNMRXFSKCON1) のフォーマット (1/2)

アドレス : 01FAH リセット時 : 20H R/W

略号	7	6	5	4	3	2	1	0
BBNMRX FSKCON1	0	0	NMRX FORCEMS	NMRX MRFSKSFD	NMRXFEC AUTOEN	NMRXFSK INTLVEN	NMRXFSK FECMODE	NMFSK FECENRX

NMRX FORCEMS	NEWMODE受信MSビット強制0設定ビット
0	強制0設定しない
1	強制0設定する

NMRX MRFSKSFD	NEWMODE受信MRFSKSFD選択ビット
0	phyMRFSKSFD = 0
1	phyMRFSKSFD = 1

NMRXFEC AUTOEN	NEWMODE受信FEC自動判別有効ビット
0	無効
1	有効

図3-199 NEWMODE受信FSK制御レジスタ1 (BBNMRXFSKCON1) のフォーマット (2/2)

NMRXFSK INTLVEN	NEWMODE受信FSKインターリーブ有効ビット
0	無効
1	有効

NMRXFSK FECMODE	NEWMODE受信FSKFECモード切り替えビット
0	NRNSCエンコーダ
1	RSCエンコーダ

NMFSK FECENRX	NEWMODE受信FSK受信用FEC有効ビット
0	無効
1	有効

注意 ビット7, 6には、0を設定してください。

3.4.189 NEWMODE受信OFDM制御レジスタ (BBNMRXOFDMCON)

NEWMODE受信OFDMCRCビット数切り替えビットにより、OFDM受信時のCRC演算処理のビット数を切り替えます。

NEWMODE受信OFDMOPTION設定ビットにより、OFDM受信時のOPTION値を設定できます。設定値とOPTION値の関係は以下です。

b1 b0

0 0 : Option 1

0 1 : Option 2

1 0 : Option 3

1 1 : Option 4

NEWMODE受信OFDMインターリーブング設定ビットにより、OFDM受信時のインターリーブング値を設定できません。

NEWMODE受信OFDM拡張モードビットにより、NEWMODE受信時のOFDM設定を切り替えます。Option 3のMCS0またはOption 4のMCS0, 1の場合は1に、その他の場合は0にしてください。

リセット信号の発生により、00Hになります。

図3-200 NEWMODE受信OFDM制御レジスタ (BBNMRXOFDMCON) のフォーマット (1/2)

アドレス : 01FBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BBNMRX OFDMCON	0	0	0	NMRXOFDM EXT	NMRXOFDM INTERLEAVI NG	NMRXOFDM OPTION1	NMRXOFDM OPTION0	NMRXOFDM CRCBIT

NMRXOFDM EXT	NEWMODE受信OFDM拡張モードビット
0	Option 3のMCS0またはOption 4のMCS0, 1以外の場合
1	Option 3のMCS0またはOption 4のMCS0, 1の場合

NMRXOFDM INTERLEAVING	NEWMODE受信OFDMインターリーブング設定ビット
—	インターリーブング値

NMRXOFDM OPTION1	NMRXOFDM OPTION0	NEWMODE受信OFDMOPTION設定ビット
0	0	Option 1
0	1	Option 2
1	0	Option 3
1	1	Option 4

図3-200 NEWMODE受信OFDM制御レジスタ (BBNMRXOFDMCON) のフォーマット (2/2)

NMRXOFDM CRCBIT	NEWMODE受信OFDMCRCビット数切り替えビット
0	32ビットCRC
1	16ビットCRC

注意 ビット7-5には、0を設定してください。

3.4.190 バージョンコード・リード制御レジスタ (VERCNT)

製品個体を識別するために用意された8バイト長のバージョンコードをSPI経由で読み出すための制御レジスタです。リセット信号の発生により、00Hになります。

図3-201 バージョンコード・リード制御レジスタ (VERCNT) のフォーマット

アドレス : 04DEH リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
VERCNT	0	0	0	CGCEN	0	0	ENDSEQ	STARTSEQ

CGCEN	バージョンコード読み出しイネーブルビット
0	読み出し不許可
1	読み出し許可

ENDSEQ	バージョンコード読み出し完了フラグ
0	読み出し動作開始前／読み出し動作中
1	読み出し動作完了

STARTSEQ	バージョンコード読み出し動作開始ビット
0	読み出し動作 オフ
1	読み出し動作 オン

注 ビット1は、Read Onlyです。

注意 ビット7-5, 3, 2には、0を設定してください。

3.4.191 バージョン・レジスタ (VERR0-VERR7)

8バイト長のバージョンコードを格納しているレジスタです。

ユーザが書き換えることはできません。バージョン・レジスタのリードコマンド発行フローを示します。

リードコマンド発行後は、リセットするまでバージョン・レジスタの値は保持されます。

図3-202 バージョン・レジスタ (VERR0-VERR7) のリードコマンド発行フロー

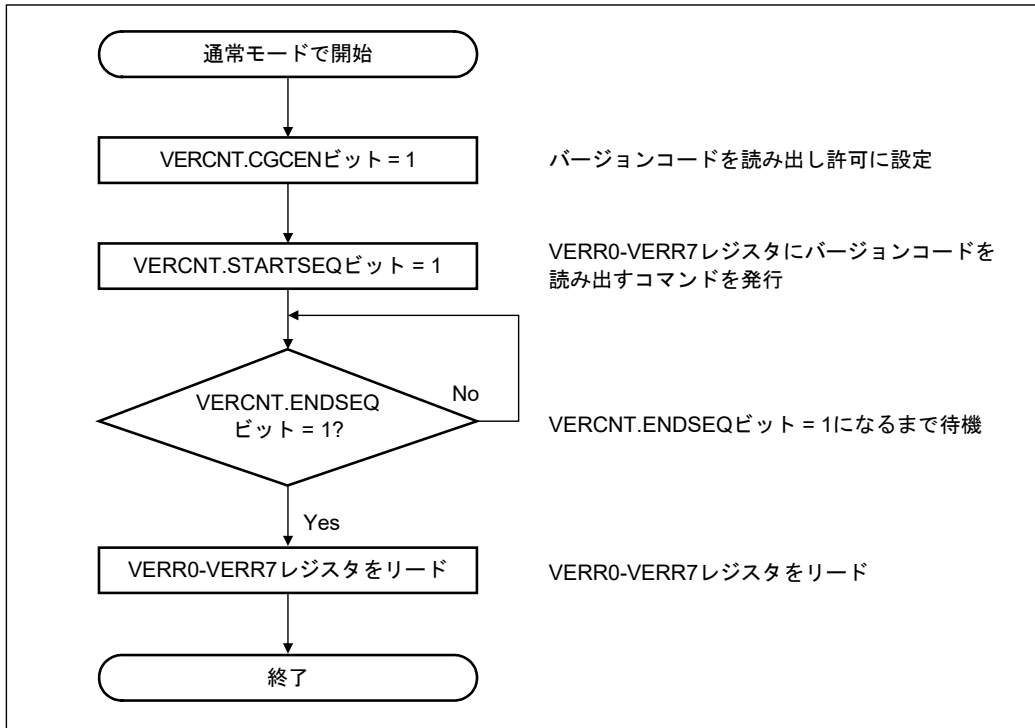
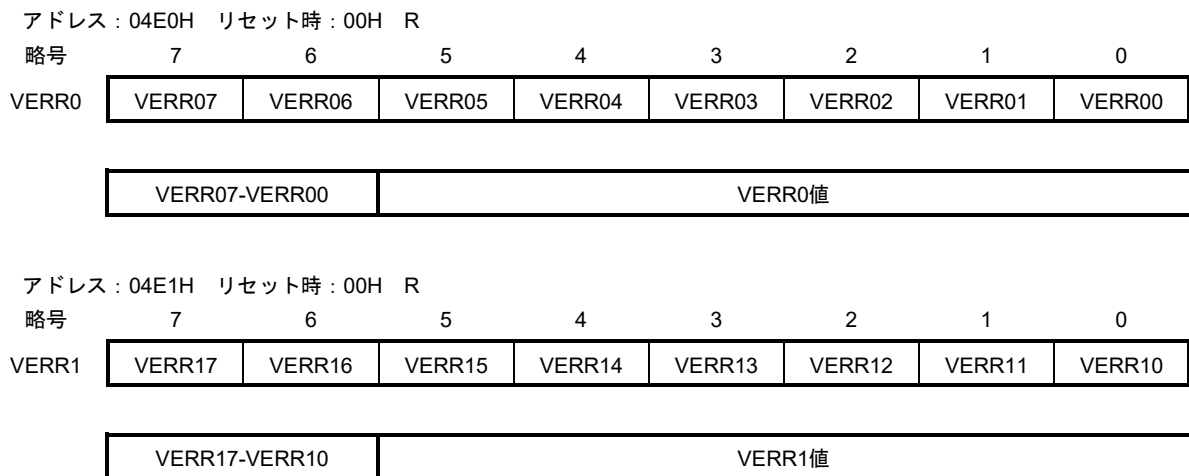


図3-203 バージョン・レジスタ (VERR0-VERR7) のフォーマット



アドレス : 04E2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

VERR2	VERR27	VERR26	VERR25	VERR24	VERR23	VERR22	VERR21	VERR20
-------	--------	--------	--------	--------	--------	--------	--------	--------

VERR27-VERR20

VERR2値

アドレス : 04E3H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

VERR3	VERR37	VERR36	VERR35	VERR34	VERR33	VERR32	VERR31	VERR30
-------	--------	--------	--------	--------	--------	--------	--------	--------

VERR37-VERR30

VERR3値

アドレス : 04E4H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

VERR4	VERR47	VERR46	VERR45	VERR44	VERR43	VERR42	VERR41	VERR40
-------	--------	--------	--------	--------	--------	--------	--------	--------

VERR47-VERR40

VERR4値

アドレス : 04E5H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

VERR5	VERR57	VERR56	VERR55	VERR54	VERR53	VERR52	VERR51	VERR50
-------	--------	--------	--------	--------	--------	--------	--------	--------

VERR57-VERR50

VERR5値

アドレス : 04E6H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

VERR6	VERR67	VERR66	VERR65	VERR64	VERR63	VERR62	VERR61	VERR60
-------	--------	--------	--------	--------	--------	--------	--------	--------

VERR67-VERR60

VERR6値

アドレス : 04E7H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

VERR7	VERR77	VERR76	VERR75	VERR74	VERR73	VERR72	VERR71	VERR70
-------	--------	--------	--------	--------	--------	--------	--------	--------

VERR77-VERR70

VERR7値

第4章 シリアル・ペリフェラル・インタフェース (SPI)

4.1 通信フォーマット

通信フォーマットは8ビット単位のシリアル通信です。SCLKを24MHzとした時の通信タイミング・チャートを図4-1（リード時）および図4-2（ライト時）に示します。

- アドレス：12ビット（AD11-AD0）
- R/W：1ビット（リード時：1、ライト時：0）
- INCB：1ビット（バースト時アドレスインクリメントモード インクリメント時：0、非インクリメント時：1）
- 0固定：2ビット
- データ：8ビット（DB7-DB0）

図4-1 シリアル・ペリフェラル・インタフェースの通信タイミング（全体：リード時）

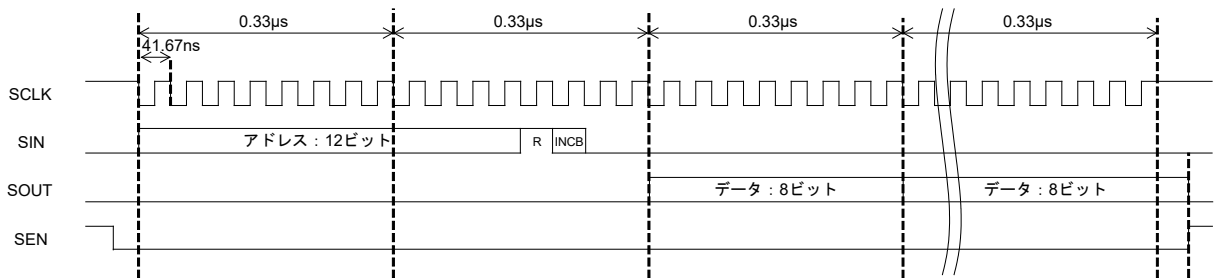
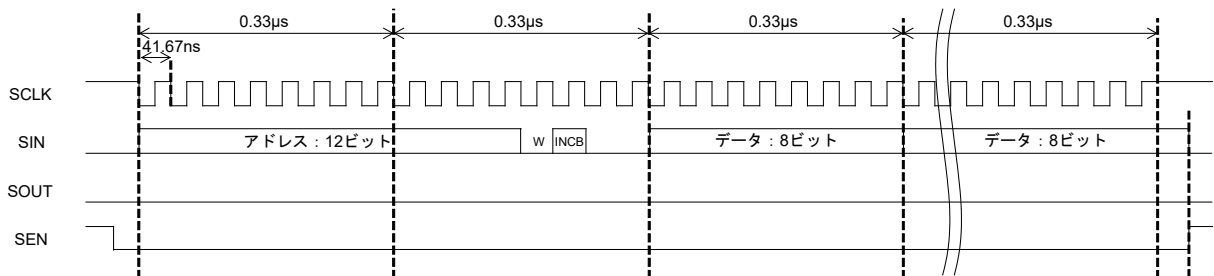


図4-2 シリアル・ペリフェラル・インタフェースの通信タイミング（全体：ライト時）

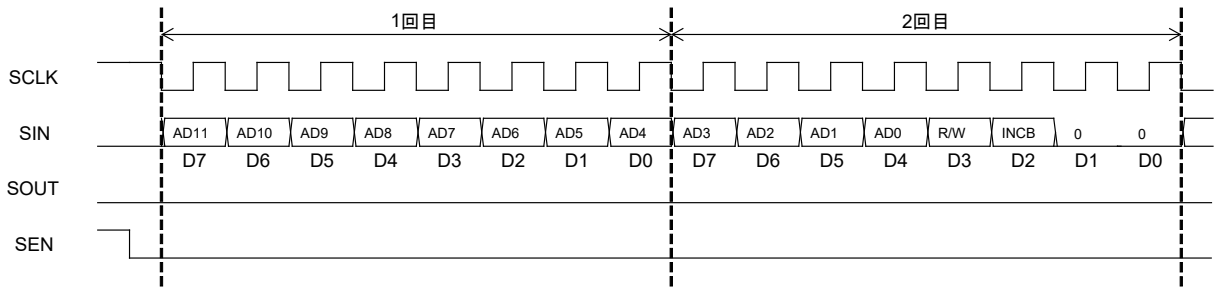


4.1.1 アドレス部、R/W部およびINCB部

SEN端子がロウ・レベルとなった後の1回目と2回目の通信タイミングを図4-3に示します。

最初の8ビット・シリアル通信でアドレスの上位 (AD11-AD4) を、次の8ビット・シリアル通信でアドレスの下位 (AD3-AD0) と、R/W、INCBを通信します。INCBの後の2ビットは必ず0を設定してください。

図4-3 シリアル・ペリフェラル・インタフェースの通信タイミング (アドレス部、R/W部およびINCB部)



4.1.2 データ部

SEN端子がロウ・レベルとなった後の3回目以降の通信タイミングを図4-4 (リード時) および図4-5 (ライト時) に示します。

R/Wが0の場合、SIN端子から入力された8ビットのデータを設定したアドレスに書き込みます。R/Wが1の場合、設定したアドレスから読み出したデータをSOUTに出力します。

INCBが0の場合、SEN端子がロウ・レベルのまま4回目以降のシリアル通信を行うことで、自動的にアドレスをインクリメントし、データの読み出しまたは書き込みが可能になります。INCBが1の場合、SEN端子がロウ・レベルのまま4回目以降のシリアル通信を行うことで、アドレスをインクリメントしない状態で連続したデータの読み出しまたは書き込みが可能になります。

図4-4 シリアル・ペリフェラル・インタフェースの通信タイミング (データ部：リード時)

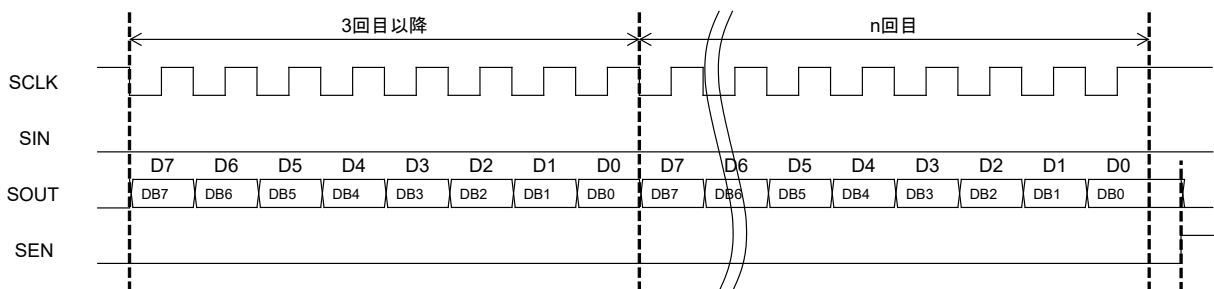
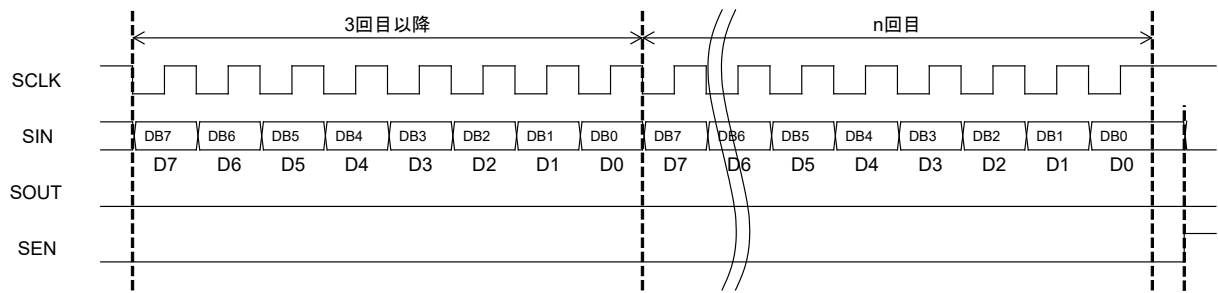


図4-5 シリアル・ペリフェラル・インタフェースの通信タイミング (データ部: ライト時)



第5章 状態遷移

状態遷移図を図5-1に示します。設定によりSLEEP, STANDBY, IDLE, TX, RX, CAL, CCA, RX_IDLEの各状態へ移行します。

データ送信完了後、データ受信完了後、CCA完了後は自動的にIDLE状態に戻ります。

TX-RX間は次の機能があります。

- データ送信後、自動的に IDLE 状態を経由し受信状態となる AUTO RX (ACK 受信) 機能
- データ受信後、自動的に IDLE 状態を経由し送信状態となる AUTO TX (ACK 送信) 機能

図5-1 状態遷移図

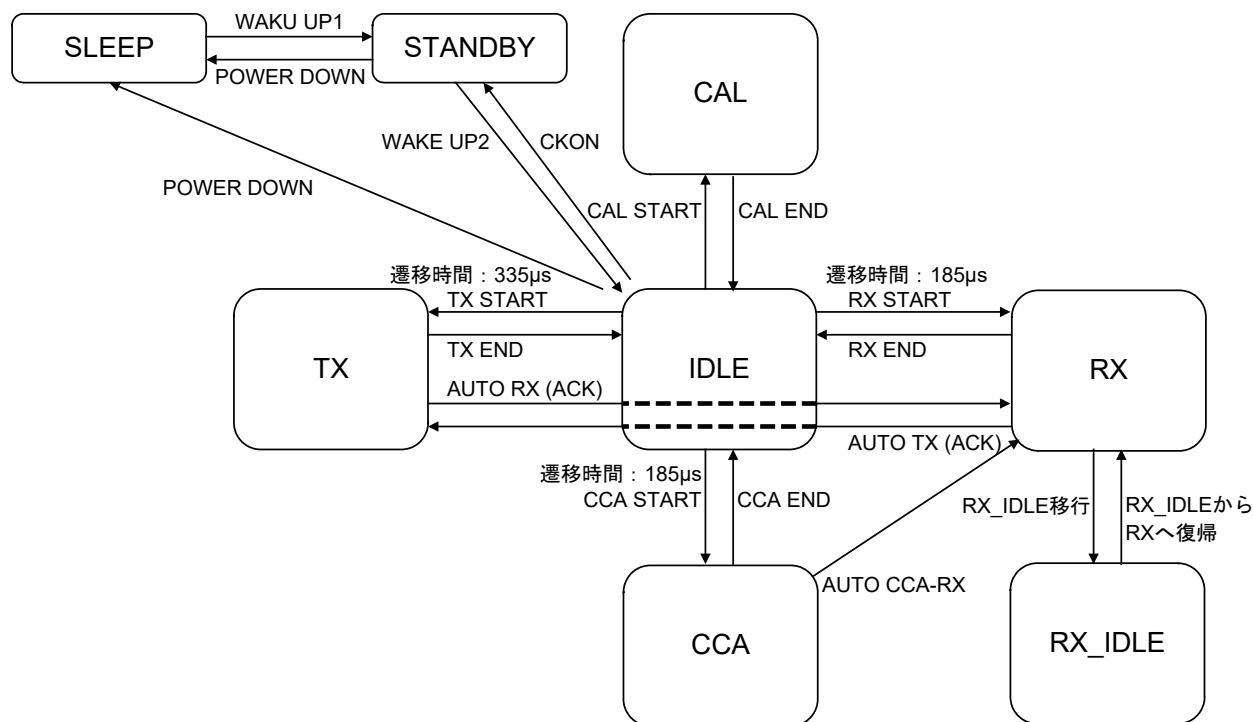


表5-1 各状態の説明

状態	説明
SLEEP	本デバイスの内部回路はすべてOFF状態となります。CKOUT出力も停止します。各レジスタは初期値にリセットされ、設定することもできません。STANDBY状態にするためには、5.1.1に示すWAKE UP1動作を実行する必要があります。
STANDBY	RF基準クロック発生回路とRF起動制御回路のみが動作している状態です。WAKE UP1動作またはCKON動作でCKOUT出力設定をONにした場合は、CKOUT端子から16MHzクロックが出力されます。その他の内部回路はすべてOFF状態であり、各レジスタは初期値にリセットされ、設定することもできません。IDLE状態にするためには、5.1.2に示すWAKE UP2動作を実行する必要があります。
IDLE	電源回路（DDC/LDO）が動作している状態です。各レジスタの設定およびデータが保持されます。 <ul style="list-style-type: none"> ・送信の場合、送信完了後またはRFSTOPビットを1にすることでIDLE状態に戻ります。 ・受信の場合、受信完了後またはRFSTOPビットを1にすることでIDLE状態に戻ります。 ・CCAの場合、CCA完了後またはRFSTOPビットを1にすることでIDLE状態に戻ります。
TX	データ送信状態です。データRAMに書き込まれたデータを規定のフォーマットでRFOUT端子より出力します。
RX	データ受信可能状態です。RFIN端子より入力される信号を受信します。
CCA	CCA実行状態です。RFIN端子より入力される信号をCCAします。
CAL	キャリブレーション実行状態です。
RX_IDLE	アナログ系の電源設定のみがデータ受信可能な状態です。デジタル系の電源設定はデータ受信可能な状態ではありません。

5.1 WAKE UP動作（SLEEP状態→IDLE状態）

WAKE UP動作は、本デバイスの起動シーケンスの動作（遷移）です。WAKE UP動作では、SEN, SIN, SCLK端子から専用のコマンドを実行して、次の設定を行います。

- RF 基準クロック発生回路設定
水晶発振による起動か外部クロック（TCXO等）による起動かを選択します。
- CKOUT 出力設定
CKOUT 端子からの 16MHz クロック出力の ON/OFF を選択します。
- 電源設定
内蔵 DDC を使用するか外部電源を使用するかを選択します。

なお、WAKE UP動作には、WAKE UP1とWAKE UP2の2種類の動作があります。

5.1.1 WAKE UP1動作（SLEEP状態→STANDBY状態への遷移）

WAKE UP1動作は、RF基準クロック発生回路設定とCKOUT出力設定を行い、SLEEP状態→STANDBY状態に遷移する動作です。RF基準クロック発生回路設定とCKOUT出力設定の組み合わせで、表5-2に示す4種類の起動シーケンスがあります。

表5-2 WAKE UP1動作の種類

ケース	RF基準クロック発生回路設定	CKOUT出力設定
(1-1)	水晶発振	OFF
(1-2)	外部クロック（TCXO等）	OFF
(1-3)	水晶発振	ON
(1-4)	外部クロック（TCXO等）	ON

ケース(1-1)～ケース(1-4)の動作を図5-2～図5-5に示します。各図に示すタイミングでSEN, SIN, SCLK端子からC1～C3のコマンドを入力してください。コマンドの入カタイミングと各コマンドにおけるSIN端子の設定値を図5-8および表5-3に示します。①～④の各状態は、記載されている時間以上を確保するように設定してください。各状態での動作を表5-4に、各状態での端子状態を表5-5に示します。

CKOUT出力設定をOFFでSTANDBY状態に遷移した場合（ケース(1-1)またはケース(1-2)）、あとからCKON動作でCKOUT出力設定をONにすることができます。手順は「5.2 CKON動作（IDLE状態→STANDBY状態）」を参照してください。

CKOUT出力設定をONでSTANDBY状態に遷移した場合（ケース(1-3)またはケース(1-4)）、あとからCKOUT出力設定をOFFにする場合は、POWER DOWN動作を行う必要があります。手順は「5.4 POWER DOWN動作（IDLE状態→SLEEP状態）」を参照してください。

図5-2 WAKE UP1動作ケース(1-1) (水晶発振を選択した場合、かつCKOUT出力OFFの場合)

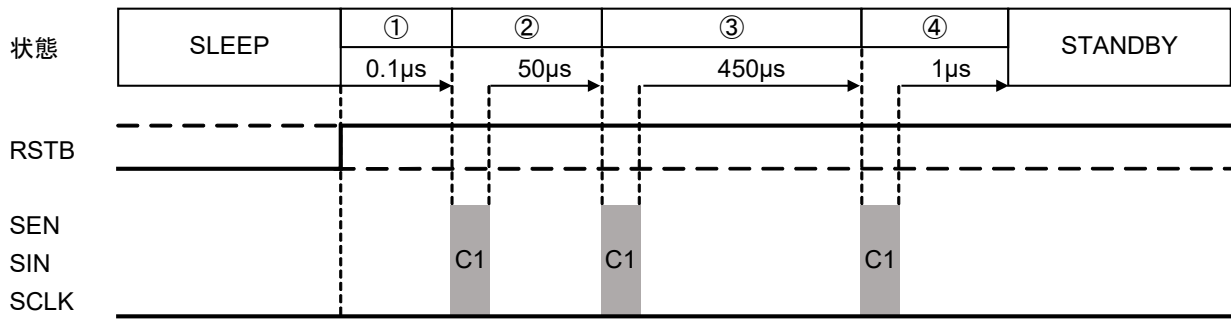


図5-3 WAKE UP1動作ケース(1-2) (外部クロックを選択した場合、かつCKOUT出力OFFの場合)

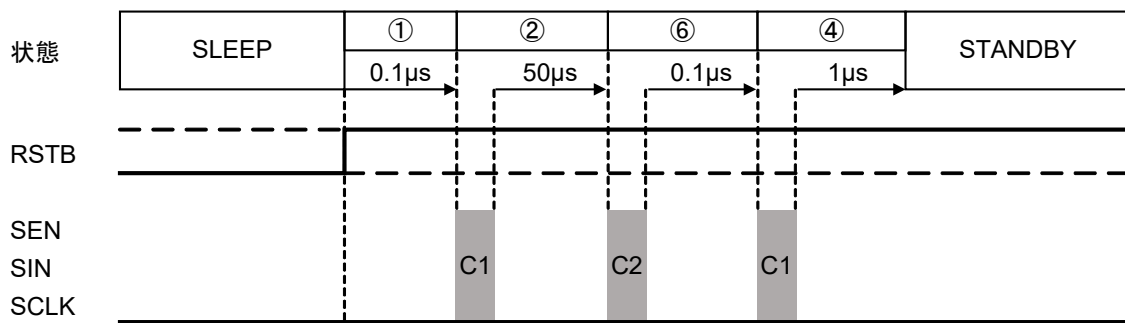


図5-4 WAKE UP1動作ケース(1-3) (水晶発振を選択した場合、かつCKOUT出力ONの場合)

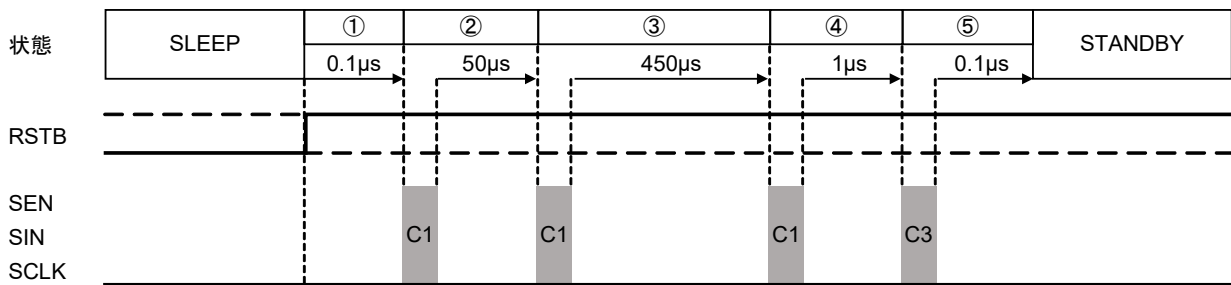
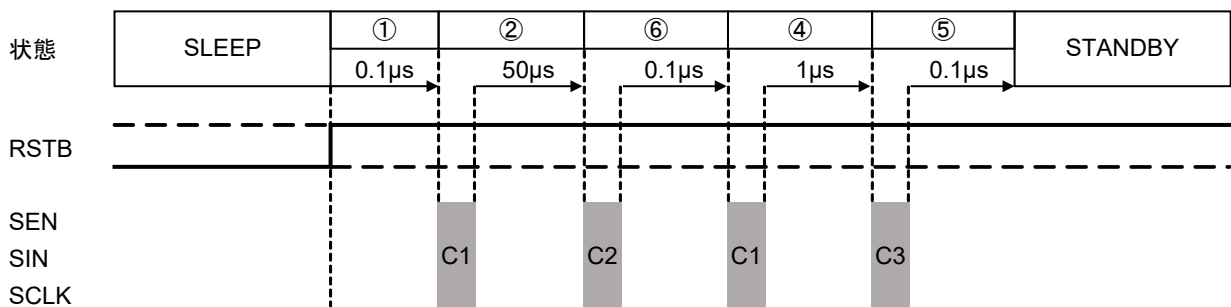


図5-5 WAKE UP1動作ケース(1-4) (外部クロックを選択した場合、かつCKOUT出力ONの場合)



5.1.2 WAKE UP2動作（STANDBY状態→IDLE状態への遷移）

WAKE UP2動作は、電源設定を行い、STANDBY状態→IDLE状態に遷移する動作です。WAKE UP2動作は、DDCを使用する場合（ケース(2-1)）と外部電源を使用する場合（ケース(2-2)）の2種類の起動シーケンスがあります。

ケース(2-1)の動作を図5-6、ケース(2-2)の動作を図5-7に示します。各図に示すタイミングでSEN, SIN, SCLK端子からC1～C5のコマンドを入力してください。コマンドの入力タイミングと各コマンドにおけるSIN端子の設定値を図5-8および表5-3に示します。⑦, ⑧の各状態では、記載されている時間以上を確保するように設定してください。各状態での動作を表5-4に、各状態での端子状態を表5-5に示します。

図5-6 WAKE UP2動作ケース(2-1)（DDCを使用する場合）

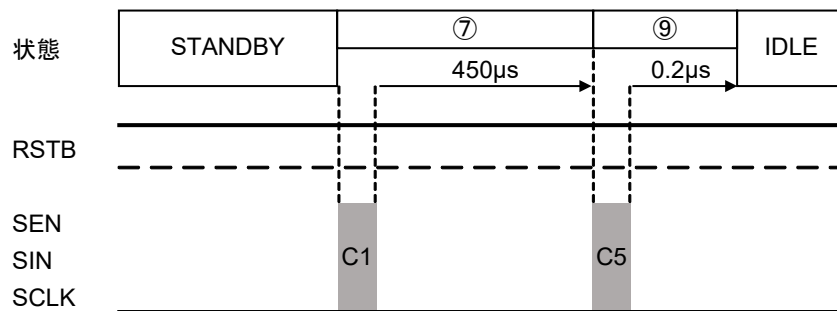


図5-7 WAKE UP2動作ケース(2-2)（外部電源を使用する場合）

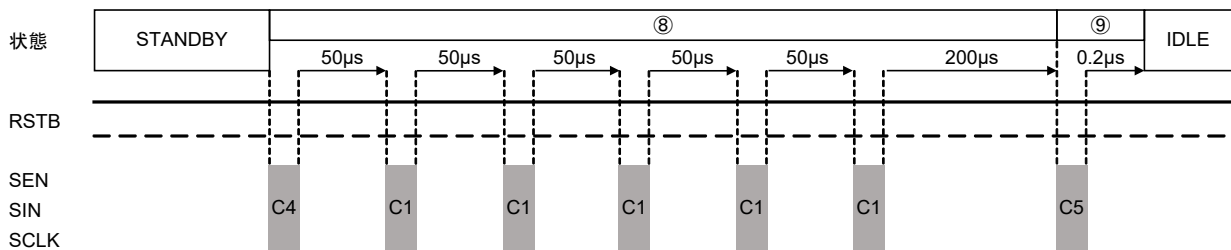


図5-8 起動シーケンスにおけるSEN, SIN, SCLK入力タイミング（SCLK = 24MHzの場合）

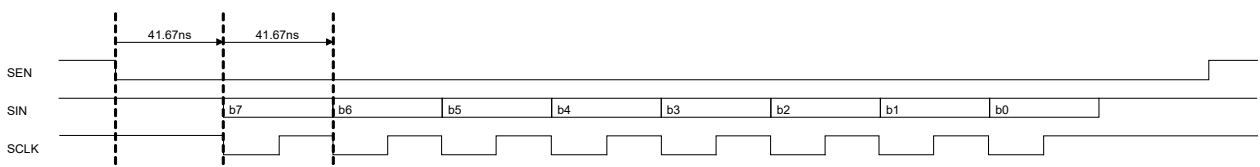


表5-3 各コマンドにおけるSIN端子設定値

記号	b7	b6	b5	b4	b3	b2	b1	b0
C1	1	1	1	1	1	1	1	1
C2	0	1	1	1	1	1	1	1
C3	0	0	0	0	0	0	0	0
C4	1	1	0	0	0	0	0	0
C5	1	0	0	0	0	0	0	0
C6	1	0	1	0	0	0	0	0

表5-4 起動シーケンスにおける各状態での動作

状態	動作
①	RF起動制御回路のリセット解除を行います。
②	水晶発振回路用の電源を起動し、水晶発振回路用の電源が安定するまでの時間です。
③	水晶発振回路の発振が安定するまでの時間です。
④	水晶発振回路の駆動能力を切り替えます。
⑤	CKOUTからの16MHzクロック出力をONにします。
⑥	外部クロックによる起動を選択します。
⑦	DDCを選択してDDCの回路を起動し、DDCの出力電圧が安定するまでの時間です。 この期間は、水晶発振回路の出力が安定するまでの時間を含みます（水晶発振選択時）。
⑧	外部電源を選択して内部レギュレータ回路を起動し、内部レギュレータ回路の出力電圧が安定するまでの時間です。 この期間は、水晶発振回路の出力が安定するまでの時間を含みます（水晶発振選択時）。
⑨	内部回路のリセット解除を行います。

表5-5 各状態での端子状態

端子	SLEEP	STANDBY	①~⑨	IDLE
RSTB	ロウ・レベル入力	ハイ・レベル入力	ハイ・レベル入力	ハイ・レベル入力
SEN	プルアップ状態	入力	入力	入力
SCLK	プルアップ状態	入力	入力	入力
SIN	プルアップ状態	入力	入力	入力
SOUT	プルアップ状態	プルアップ状態	プルアップ状態	出力
GPIO0-12	プルアップ状態	プルアップ状態	プルアップ状態	レジスタ設定値に依存

5.2 CKON動作 (IDLE状態→STANDBY状態)

CKON動作は、IDLE状態→STANDBY状態へ遷移してCKOUT出力設定をONにする動作です。シリアル通信によるレジスタの設定とWAKE UP動作で使用するコマンドの実行を行うことで遷移します。

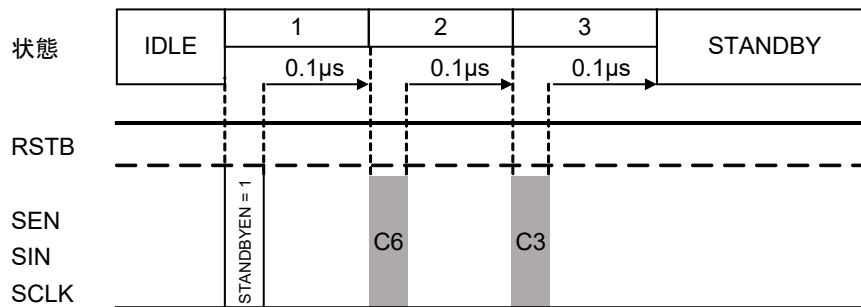
実行手順は以下のとおりです。

1. RF開始レジスタ (BBRFCON) のSTANDBYENビットを1に設定してください。
2. 表5-3のコマンドC6を図5-8のタイミングで実行してください。
3. 表5-3のコマンドC3を図5-8のタイミングで実行してください。

各実行手順間のタイミングを図5-9に示します。図5-9の1~3の番号は、実行手順の番号に対応します。

1~3の各タイミングは、記載されている時間以上を確保するように設定してください。

図5-9 CKON動作



CKON実行後、再びIDLE状態へ遷移する場合は、WAKE UP2動作を実行してください。

注意 再遷移時に、前回のWAKE UP2動作で実行したシーケンスと異なるシーケンスを実行することは禁止です。

前回のWAKE UP2動作でケース(2-1)を実行していた場合は、再遷移時もケース(2-1)を実行してください。

前回のWAKE UP2動作でケース(2-2)を実行していた場合は、再遷移時もケース(2-2)を実行してください。

5.3 IDLE状態への遷移後について

IDLE状態への遷移後（「5.1.2 WAKE UP2動作（STANDBY状態→IDLE状態への遷移）後）は、最初に以下の手順を実施してください。

1. シリアル通信によるレジスタの設定

レジスタ設定はCKOUT出力のON/OFFで設定手順が異なります。

- CKOUT出力 = ON時
01B1H番地に40Hを設定
- CKOUT出力 = OFF時
01B1H番地に40Hを設定
01B4H番地に10Hを設定

2. 初期設定レジスタの設定

初期設定が必要なレジスタに初期値を設定してください。なお、設定値については、製品のご使用時に最新の推奨レジスタ設定を記載したアプリケーションノートを参照してください。

3. キャリブレーションの実行

「5.5.5 キャリブレーション手順例」に示す手順でキャリブレーションを実行してください。

5.4 POWER DOWN動作（IDLE状態→SLEEP状態）

RSTB端子をロウ・レベルにすることにより、SLEEP状態となります。

5.5 その他の状態遷移

IDLE⇔TX、IDLE⇔RX、TX⇔RXの各状態遷移は、シリアル通信によりレジスタの設定を行うことで実行されます。送信および受信手順例について説明します。

5.5.1 送信手順例

- <1> 「5.1 WAKE UP動作（SLEEP状態→IDLE状態への遷移）」に記載の操作を実施してください。
- <2> 「5.3 IDLE状態への遷移後について」に記載の操作を実施してください。
- <3> 周波数設定レジスタ（BBFREQ）で、送信周波数を設定します。
- <4> 送信出力パワーを設定します。詳細は、「6.1 送信出力パワー設定手順例」を参照してください。
- <5> 自動受信切り替えモードを使用する場合、送受信モード・レジスタ0（BBTXRXMODE0）のAUTORCV0ビットを1に設定してください。
- <6> 送信RAMに書き込み：RF開始レジスタ（BBRFCON）のREGACCESSビットを1にしてください。
バンク0（0800H-0BFFH番地）、バンク1（0C00H-0FFFH番地）
- <7> 送信フレーム・レングス・レジスタ（BBTXFLEN）に送信フレーム・レングスを設定します。
- <8> 送受信制御レジスタ（BBTXRXCON）のTRNTRGビットに1（送信開始）を設定します。

送信開始後、以下の事象発生時に送信完了割り込みが発生します。

- 送信完了
- ACK 受信機能有効にして ACK 要求付きの送信を行い、ACK 受信を完了
- ACK 受信機能有効にして ACK 要求付きの送信を行い、一定時間 ACK を受信できなかった場合
- 自動 CSMA-CA 有効にして送信を行い、CCA 結果がチャネル・ビジーだった場合

5.5.2 受信手順例

- <1> 「5.1 WAKE UP動作（SLEEP状態→IDLE状態への遷移）」に記載の操作を実施してください。
- <2> 「5.3 IDLE状態へ遷移後について」に記載の操作を実施してください。
- <3> 周波数設定レジスタ（BBFREQ）で、受信周波数を設定します。
- <4> 自動ACKモードを使用する場合、送受信モード・レジスタ0（BBTXRXMODE0）のAUTOACKEN, AUTORCV0, BEACONビットを設定してください。
- <5> PAN識別子レジスタ0（BBPANID0）とPAN識別子レジスタ1（BBPANID1）にPAN識別子を設定します。
- <6> ショート・アドレス・レジスタ0（BBSHORTAD0）およびショート・アドレス・レジスタ1（BBSHORTAD1）、または拡張アドレス・レジスタ0（BBEXTENDAD00-BBEXTENDAD03）および拡張アドレス・レジスタ1（BBEXTENDAD10-BBEXTENDAD13）を設定します。
- <7> 送受信制御レジスタ（BBTXRXCON）のRCVTRGビットに1（受信開始）を設定します。
- <8> 受信完了割り込み待ち。
- <9> 送受信モード・レジスタ3（BBTXRXMODE3）のRCVBANKSELビットにバンクの選択を設定します。
- <10> 受信フレーム・レングス・レジスタ（BBRXFLEN）を読み出します。
- <11> 送受信ステータス・レジスタ0（BBTXRXST0）のCRCビットでCRC結果を確認します。
- <12> 受信RAMデータ読み出し：RF開始レジスタ（BBRFCON）のREGACCESSビットを1にしてください。
バンク0（0800H-0BFFH番地）、バンク1（0C00H-0FFFH番地）

5.5.3 CCA手順例

- <1> 「5.1 WAKE UP動作（SLEEP状態→IDLE状態への遷移）」の設定をしてください。
- <2> 「5.3 IDLE状態への遷移後について」に記載の操作を実施してください。
- <3> 周波数設定レジスタ（BBFREQ）で、受信周波数を設定します。
- <4> 送受信制御レジスタ（BBTXRXCON）のCCATRGビットに1（CCA開始）を設定します。
- <5> CCA完了割り込み待ち。
- <6> 送受信ステータス・レジスタ0（BBTXRXST0）のCCAビットによりCCA結果を確認します。

5.5.4 CSMA-CA手順例

- <1> 「5.1 WAKE UP動作（SLEEP状態→IDLE状態への遷移）」の設定をしてください。
- <2> 「5.3 IDLEへの遷移後について」に記載の操作を実施してください。
- <3> 周波数設定レジスタ（BBFREQ）で、受信周波数を設定します。
- <4> ビーコン・モードの場合、送受信モード・レジスタ0（BBTXRXMODE0）レジスタのBEACONビットを1に設定します。
- <5> バックオフ・ピリオド・レジスタ2（BBBOFFPROD2）のBOFFFPD07-BOFFFPD0ビットに初期値を設定します。その後、バックオフ・ピリオド・レジスタ（BBBOFFPROD）のBOFFFPDENビットに1（自動ランダム値生成有効）を設定します。
- <6> CSMA制御レジスタ0（BBCSMACON0）のCSMASTビットに1（自動CSMA-CAスタート）を設定します。同時に、CSMA-CA完了後、送信処理まで実行したい場合、CSMA制御レジスタ0（BBCSMACON0）のCSMATRNSTビットに1（CSMA-CA後送信処理）を設定します。
- <7> CSMA-CA完了割り込み待ち。
- <8> 送受信ステータス・レジスタ0（BBTXRXST0）のCSMACAビットによりCSMA-CA結果を確認します。

5.5.5 キャリブレーション手順例

- <1> RF開始レジスタ（BBRFCON）に05Hを設定します。
- <2> キャリブレーション・レジスタ（BBCAL）に01Hを設定します。
キャリブレーションが開始されます。
- <3> キャリブレーション完了割り込み待ち。
- <4> RF開始レジスタ（BBRFCON）に01Hを設定します。
- <5> 送受信リセット・レジスタ（BBTXRXRST）に01Hを設定します。

第6章 機能設定手順例

6.1 送信出力パワー設定手順例

「5.5.1 送信手順例」の「<4>送信出力パワー設定」について説明します。

6.1.1 TX-FSKモード

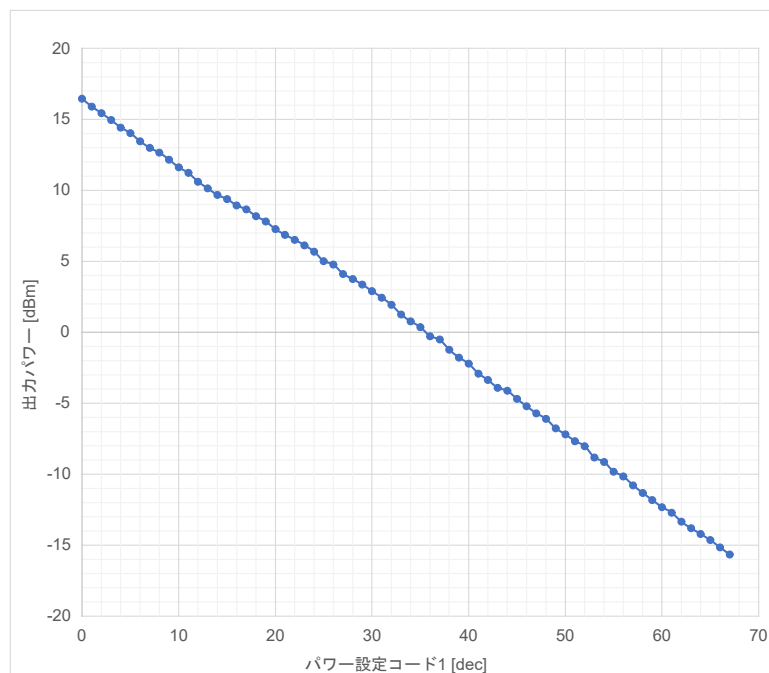
送信開始前にパワー設定を行います。送信動作中にパワー設定は変更しないでください。

- 1.0C38H 番地のレジスタに値を設定します。なお、ビット 7-2 には 000000B を設定してください。
- 2.0C37H 番地のレジスタに値を設定します。なお、ビット 7, 6 には 00B を設定してください。

送信出力パワーとパワー設定コード1の代表特性を図6-1に示します。送信出力パワーはRFOUT端子の整合回路、基板パターンを含む負荷条件やサンプルによって特性が変わります。送信出力パワーは増幅器の粗調と微調の組み合わせで、-15dBm~+15dBmの幅広いレンジの設定が可能です。

注意 詳細な設定値については、製品のご使用時に最新の推奨レジスタ設定に関するアプリケーションノートを参照してください。

図6-1 送信出力パワー vs. パワー設定コード1特性 (FSK)



注意 弊社推奨回路による920.6MHz出力時のパワー特性の一例です。

6.1.2 TX-OFDMモード

送信開始前にパワー設定を行います。送信動作中にパワー設定は変更しないでください。

送信出力パワーは、-19dBm~+14dBm程度の範囲で設定が可能です。

1. 0468H 番地のレジスタに値を設定します。なお、ビット 7, 6 には 00B を設定してください。これにより、OFDM での送信出力パワー設定を行います。

最大出力パワー設定は、0468H 番地の値 = 00H

最小出力パワー設定は、0468H 番地の値 = 3EH (3FH は設定禁止)

となります。

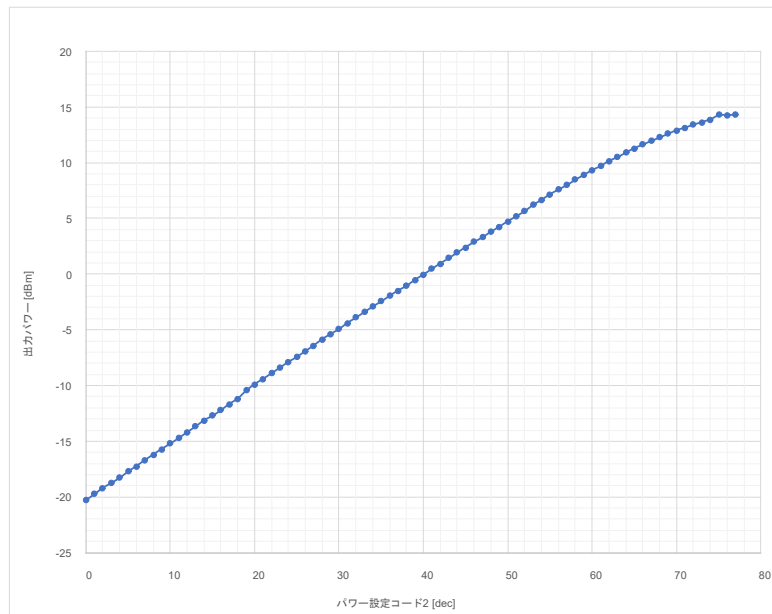
2. 1LSB 当たり 0.5dB ステップの分解能を実現するためには、0C1CH, 0C1DH, 0C1EH, 0C1FH 番地のレジスタ設定が必要になります。

3. パワー制御の線形性を確保するには、0ECBH 番地と 0EC1H 番地において出力パワー設定に応じたレジスタ設定が必要となります。

上記1.~3.の設定を組み合わせることで、図6-2のような送信出力パワーとパワー設定コード2の代表特性が得られます。送信出力パワーはRFOUT端子の整合回路、基板パターンを含む負荷条件やサンプルによって変わります。ただし、パワーアンプの最大出力領域では飽和領域の影響で、ゲインステップは0.5dBより小さくなります。実際には+14~+15dBm付近の出力パワーは飽和していきます。

注意 詳細な設定値については、製品のご使用時に最新の推奨レジスタ設定に関するアプリケーションノートを参照してください。

図6-2 送信出力パワー vs. パワー設定コード2特性 (OFDM)



注意 弊社推奨回路による920.6MHz出力時のパワー特性の一例です。

6.2 送信時のRF周波数設定

「5.5.1 送信手順例」の「<3>送信周波数設定」について説明します。

送信時のRF周波数は、チャンネルの中心周波数にあわせて周波数設定レジスタ（BBFREQ）に設定してください。

6.3 受信時のRF周波数設定

「5.5.2 受信手順例」の「<3>受信周波数設定」について説明します。

BBFREQレジスタに受信チャンネルの中心周波数を設定します。受信部は中間周波数（IF）を持っているため、BBIFSETレジスタでIF設定が必要になります。BBIFSETレジスタのビット0で中間周波数（550kHzまたは750kHz）を設定してください。また、BBIFSETレジスタのビット3, 2、BBIFOFST0レジスタ、およびBBIFOFST1レジスタで、BBIFSETレジスタのビット0に設定した中心周波数にオフセットを加えることができます。

[基本設定例]

- (1) 受信チャンネルの中心RF周波数に応じて周波数設定レジスタ（BBFREQ）を設定してください。
- (2) 受信変調方式／データレートに従ってIF周波数設定レジスタ（BBIFSET）にデータを設定してください。

表6-1にFSK/OFDM受信におけるIF周波数代表設定例を示します。

表6-1 FSK/OFDM受信におけるIF周波数代表設定例

変調方式	データレート／モード	IF周波数	IFSETビット (BBIFSETレジスタのビット0)
2-FSK	10-200kbps	550kHz	0
OFDM	Option 1	750kHz	1
OFDM	Option 2-4	550kHz	0

注意 各変調方式、データレート／モード設定の組み合わせの中で、IF周波数設定を変更することで、より良好な受信特性が得られる場合があります。詳細な設定値については、製品のご使用時に最新の推奨レジスタ設定に関するアプリケーションノートを参照してください。

第7章 ベースバンド機能使用上の注意

7.1 特定レジスタの読み出しに関する注意事項

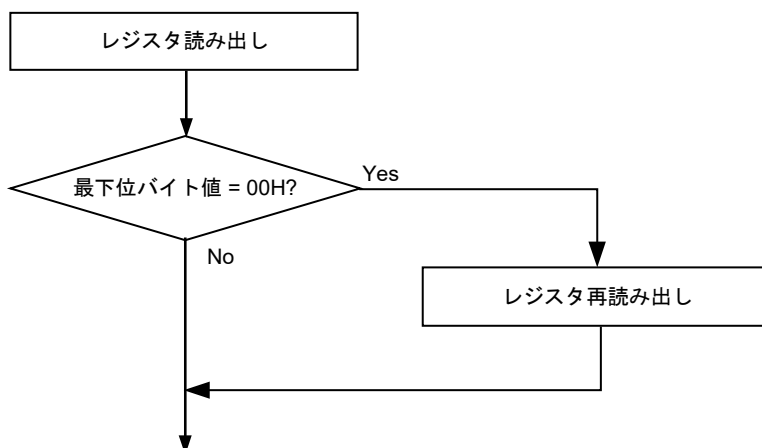
表7-1に示すレジスタの値を読み出す場合^注、最下位バイトの値が00Hの場合には、再度最下位バイトから読み出しを行ってください。ただし、2回目の読み出しはカウンタが256カウントし再度最下位バイトの値が00Hに達するまでの間に行ってください。

注 表7-1のNo.4~No.7のレジスタは、IDLE状態以外の状態で読み出す場合に適用します。

表7-1 特定レジスタ一覧

No.	レジスタ	アドレス
1	タイマ読み出しレジスタ0, 1	0023H-0020H番地
2	受信データ・カウンタレジスタ	00A3H, 00A2H番地
3	送信データ・カウンタレジスタ	00BDH, 00BCH番地
4	受信総数カウントレジスタ	0147H-0144H番地
5	PHRエラー数カウントレジスタ	014BH-0148H番地
6	正常受信数カウントレジスタ	014FH-014CH番地
7	異常受信数カウントレジスタ	0153H-0150H番地

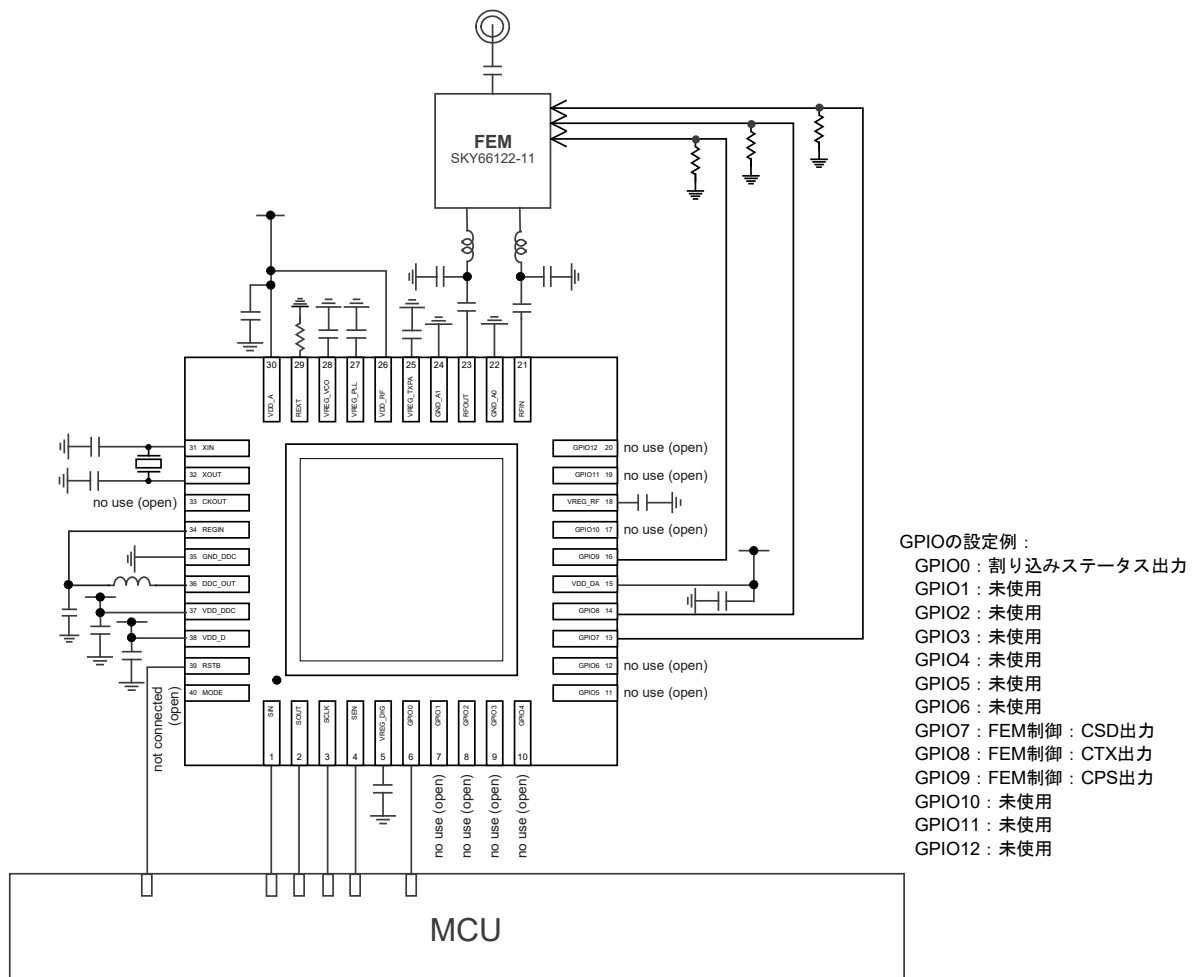
図7-1 特定レジスタ読み出し時のフロー



第8章 周辺回路接続図

図8-1にFEMを含めた周辺回路接続図を示します。

図8-1 周辺回路接続図（FEMあり）



第9章 電気的特性

9.1 絶対最大定格

項目	略号	MIN	TYP	MAX	単位	条件
電源電圧	VDD	-0.5		3.8	V	VDD_A, VDD_D, VDD_AD, VDD_RF, VDD_DDC
アナログ入力電圧	V _{REGIN}	-0.3		2.8	V	REGIN
アナログ出力電圧	V _{DDCOUT}	-0.3		3.8	V	DDCOUT
	V _{REGOUT}	-0.3		1.25	V	VREG_DIG, VREG_RF, VREG_PLL, VREG_VCO
	V _{REGRFO}	-0.3		3.8	V	VREG_TXPA
RF入力レベル	R _{fin}			16	dBm	RFIN
デジタル端子電圧	V _d	-0.3		3.8	V	
アナログ端子電圧	V _a	-0.3		1.25	V	
動作周囲温度	T _a	-40	25	85	°C	
保存温度	T _{stg}	-65	25	+150	°C	
ESD（静電気放電・サー ジ）特性	HBM （人体モデル）	-2000		2000	V	
	CDM （デバイス帯電モ デル）	-500		500	V	

注 AC定格です。RFIN, RFOUT端子へのDC電圧の印加は禁止です

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の信頼性を損なうおそれがあります。つまり、絶対最大定格とは製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で製品をご使用ください。

9.2 推奨動作条件

項目	略号	条件	MIN	TYP	MAX	単位
電源電圧	Vdd		2.7	3.3	3.6	V
水晶発振子／発振器周波数	Frefclk			48		MHz
動作周波数	Frf		863		928	MHz
RFIN端子（入カインピーダンス）	Zin			50		Ω
RFOUT端子（出カインピーダンス）	Zout			50		Ω

9.3 水晶発振子仕様

項目	略号	条件	MIN	TYP	MAX	単位
周波数	F_xtal			48		MHz
等価直列抵抗（ESR）	ESR_xtal			20	80	Ω
負荷容量（CL）	CL_xtal		5		9	pF

9.4 DC特性

9.4.1 デジタル入出力端子

(VDD = 3.3V, 25°C)

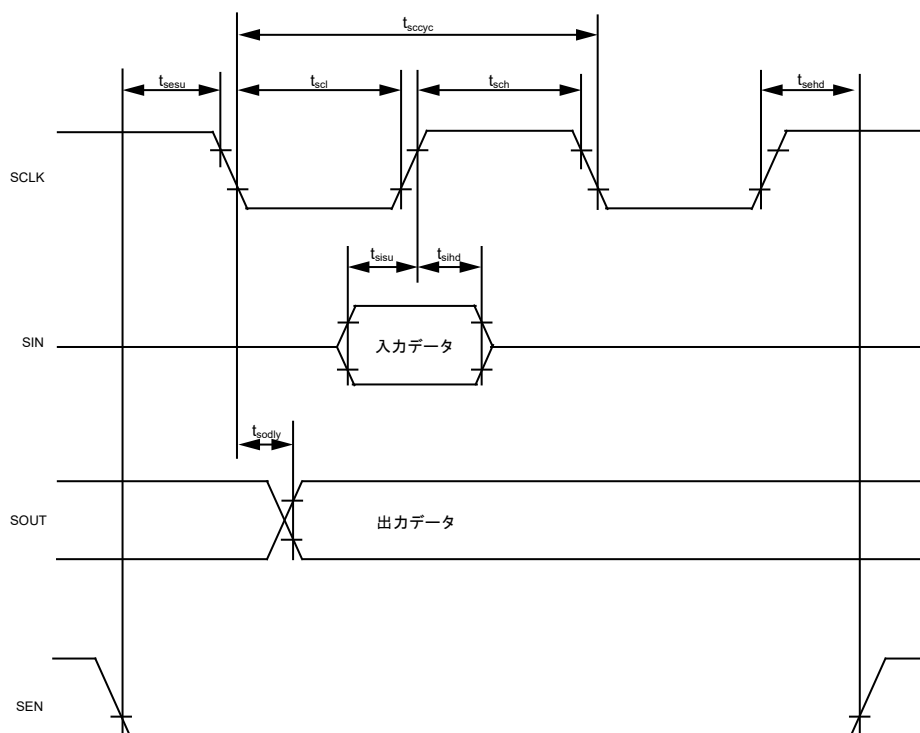
項目	略号	条件	MIN	TYP	MAX	単位
ハイ・レベル入力電圧	V_{IHRF}	RSTB, SIN, SCLK, SEN, GPIO0-GPIO12	2.4		VDD	V
ロウ・レベル入力電圧	V_{ILRF}	RSTB, MODE, SIN, SCLK, SEN, GPIO0-GPIO12	0		$0.1 \times VDD$	V
ハイ・レベル出力電圧	V_{OHRF}	Ioh = 0mA, SOUT, GPIO0 to GPIO12	$VDD - 0.1$		VDD	V
ロウ・レベル出力電圧	V_{OLRF}	Iol = 0mA, SOUT, GPIO0-GPIO12	0		0.1	V
ハイ・レベル出力電流	I_{OHRF}	$V_{OHRF} = VDD - 0.4V$, SOUT, GPIO0-GPIO12			-4	mA
ロウ・レベル出力電流	I_{OLRF}	$V_{OLRF} = 0.4V$, SOUT, GPIO0-GPIO12			+4	mA
ハイ・レベル入力 リーク電流	I_{LIHRF1}	Vin = VDD, SIN, SCLK, SEN, GPIO0-GPIO12, RSTB			200	μA
ロウ・レベル入力 リーク電流1	I_{LILRF1}	Vin = GND, SIN, SCLK, SEN, GPIO0-GPIO12			-200	μA
ハイ・レベル入力 リーク電流2 (プルアップなし)	I_{LIHRF2}	Vin = VDD, SIN, SCLK, SEN, GPIO0-GPIO12			10	μA
ロウ・レベル入力 リーク電流2 (プルアップなし)	I_{LILRF2}	Vin = GND, SIN, SCLK, SEN, GPIO0-GPIO12			-10	μA

9.5 AC特性

9.5.1 シリアル・ペリフェラル・インタフェース (SPI)

(VDD = 3.3V, 25°C)

項目	略号	条件	MIN	TYP	MAX	単位
SCLKサイクルタイム	t_{scyc}		41.67			ns
SCLKハイ・レベル幅	t_{sch}		18.5			ns
SCLKロウ・レベル幅	t_{scl}		18.5			ns
SINセットアップ時間	t_{sisu}		15			ns
SINホールド時間	t_{sihd}		15			ns
SOUT出力遅延	t_{sodly}				14.8	ns
SENセットアップ時間	t_{sesu}		33.3			ns
SENホールド時間	t_{sehd}		200			ns



9.6 電源電流特性

(データレート = 100kbps, 2-FSK、変調指数 = 1.0、周波数 = 920.6MHz、VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位
SUN FSK 送信消費電流	+15.0dBm		62		mA
	+10.0dBm		41		
	+8.0dBm		36		
	+0.0dBm		23		

(データレート = 100kbps (MCS2)、帯域幅 = 400kHz (Option 3)、周波数 = 920.6MHz、VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位
SUN OFDM 送信消費電流	+10.0dBm		68.0		mA

(データレート = 100kbps, 2-FSK、変調指数 = 1.0、周波数 = 920.6MHz、VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位
SUN FSK 受信消費電流	受信動作時、RF入力 : -95dBm		16.7		mA
	受信待ち受け時、RF入力 : none		16.8		

(データレート = 100kbps (MCS2)、帯域幅 = 400kHz (Option 3)、周波数 = 920.6MHz、VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位
SUN OFDM 受信消費電流	受信動作時、RF入力 : -95dBm		21.5		mA
	受信待ち受け時、RF入力 : none		21.7		

(VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位
SLEEP状態			0.5		μA
IDLE状態			5.5		mA

9.7 トランシーバ部受信特性

9.7.1 受信感度 (SUN FSK)

(パケット長 = 250バイト、パケット誤り率 (PER) = 10%、前方誤り訂正 (FEC) なし、VDD = 3.3V, 25°C)

- 北米 (周波数 = 920.6MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN	TYP	MAX	単位
Operating mode #1a	50	10	1	2-GFSK		-116		dBm
Operating mode #1b	100	20	1	2-GFSK		-113		dBm
Operating mode #1	200	50	1	2-GFSK		-109		dBm
Operating mode #2	400	150	0.5	2-GFSK		-105		dBm
Operating mode #3	400	200	0.5	2-GFSK		-104		dBm

- 欧州 (周波数 = 870.6MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN	TYP	MAX	単位
Operating mode #1a	50	10	1	2-GFSK		-115		dBm
Operating mode #1b	100	20	1	2-GFSK		-112		dBm
Operating mode #1	100	50	0.5	2-GFSK		-109		dBm
Operating mode #2	200	100	0.5	2-GFSK		-106		dBm
Operating mode #3	200	150	0.5	2-GFSK		-104		dBm

- 日本 (周波数 = 920.6MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN	TYP	MAX	単位
Operating mode #1a	50	10	1	2-GFSK		-116		dBm
Operating mode #1b	100	20	1	2-GFSK		-113		dBm
Operating mode #1	200	50	1	2-GFSK		-109		dBm
Operating mode #2	400	100	1	2-GFSK		-105		dBm
Operating mode #3	600	200	1	2-GFSK		-102		dBm

9.7.2 隣接チャネル抑圧 (SUN FSK)

(パケット長 = 250バイト、パケット誤り率 (PER) = 10%、前方誤り訂正 (FEC) なし、VDD = 3.3V, 25°C、
希望波入力レベル : 規格定義感度点^[1] +3dB)

- 北米 (周波数 = 920.6MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN (-1ch/+1ch)	TYP (-1ch/+1ch)	MAX (-1ch/+1ch)	単位
Operating mode #1a	50	10	1	2-GFSK		47/47		dB
Operating mode #1b	100	20	1	2-GFSK		44/44		dB
Operating mode #1	200	50	1	2-GFSK		44/44		dB
Operating mode #2	400	150	0.5	2-GFSK		48/48		dB
Operating mode #3	400	200	0.5	2-GFSK		41/42		dB

- 欧州 (周波数 = 863.1MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN (-1ch/+1ch)	TYP (-1ch/+1ch)	MAX (-1ch/+1ch)	単位
Operating mode #1a	50	10	1	2-GFSK		45/45		dB
Operating mode #1b	100	20	1	2-GFSK		42/42		dB
Operating mode #1	100	50	0.5	2-GFSK		38/38		dB
Operating mode #2	200	100	0.5	2-GFSK		41/40		dB
Operating mode #3	200	150	0.5	2-GFSK		34/34		dB

- 日本 (周波数 = 920.6MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN (-1ch/+1ch)	TYP (-1ch/+1ch)	MAX (-1ch/+1ch)	単位
Operating mode #1a	50	10	1	2-GFSK		47/47		dB
Operating mode #1b	100	20	1	2-GFSK		44/44		dB
Operating mode #1	200	50	1	2-GFSK		44/45		dB
Operating mode #2	400	100	1	2-GFSK		49/49		dB
Operating mode #3	600	200	1	2-GFSK		48/49		dB

9.7.3 次隣接チャネル抑圧 (SUN FSK)

(パケット長 = 250バイト、パケット誤り率 (PER) = 10%、前方誤り訂正 (FEC) なし、VDD = 3.3V, 25°C、
希望波入力レベル : 規格定義感度点^[1] +3dB)

- 北米 (周波数 = 920.6MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN (-2ch/+2ch)	TYP (-2ch/+2ch)	MAX (-2ch/+2ch)	単位
Operating mode #1a	50	10	1	2-GFSK		48/48		dB
Operating mode #1b	100	20	1	2-GFSK		49/49		dB
Operating mode #1	200	50	1	2-GFSK		53/53		dB
Operating mode #2	400	150	0.5	2-GFSK		57/58		dB
Operating mode #3	400	200	0.5	2-GFSK		55/55		dB

- 欧州 (周波数 = 863.1MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN (-2ch/+2ch)	TYP (-2ch/+2ch)	MAX (-2ch/+2ch)	単位
Operating mode #1a	50	10	1	2-GFSK		45/45		dB
Operating mode #1b	100	20	1	2-GFSK		45/46		dB
Operating mode #1	100	50	0.5	2-GFSK		44/44		dB
Operating mode #2	200	100	0.5	2-GFSK		51/51		dB
Operating mode #3	200	150	0.5	2-GFSK		46/38		dB

- 日本 (周波数 = 920.6MHz)

変調パラメータ	チャンネル 間隔 [kHz]	データ レート [kbps]	変調 指数	変調方式	MIN (-2ch/+2ch)	TYP (-2ch/+2ch)	MAX (-2ch/+2ch)	単位
Operating mode #1a	50	10	1	2-GFSK		48/48		dB
Operating mode #1b	100	20	1	2-GFSK		49/49		dB
Operating mode #1	200	50	1	2-GFSK		53/53		dB
Operating mode #2	400	100	1	2-GFSK		59/60		dB
Operating mode #3	600	200	1	2-GFSK		47/58		dB

9.7.4 受信特性 (SUN FSK)

(周波数 = 920.6MHz, 2-GFSK, 50kbps、変調指数 = 1.0、VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位
最大RF入力電力	パケット長 = 250バイト、パケット誤り率 (PER) = 10%			+10	dBm
RSSI範囲		-108		-5	dBm
RSSI分解能			1		dB
RSSI精度		-5		5	dB
周波数偏差耐性	感度劣化 : 1dB	-10		10	ppm
変調品質耐性 (fdev_error)	感度劣化 : 3dB	-20		20	%

9.7.5 受信感度 (SUN OFDM)

- 北米、日本

(周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率 (PER) = 10%、VDD = 3.3V, 25°C、標準特性値)

変調パラメータ	Option 1	Option 2	Option 3	Option 4	単位
MCS0 (BPSK 1/2 w/ 4xfreq.rep)	-113	-116	-118	-119	dBm
MCS1 (BPSK 1/2 w/ 2xfreq.rep)	-110	-114	-117	-118	
MCS2 (QPSK 1/2 w/ 2xfreq.rep)	-107	-110	-114	-112	
MCS3 (QPSK 1/2)	-104	-107	-111	-111	
MCS4 (QPSK 3/4)	-102	-104	-108	-109	
MCS5 (16QAM 1/2)	-99	-101	-105	-106	
MCS6 (16QAM 3/4)	-95	-98	-101	-103	

9.7.6 隣接チャネル抑圧 (SUN OFDM)

- 北米、日本

(周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率 (PER) = 10%、VDD = 3.3V, 25°C、標準特性値、希望波入力レベル : 規格定義感度点^[1] +3dB)

パラメータ	Option 1	Option 2	Option 3	Option 4	単位
	-1.2/+1.2MHz	-0.8/+0.8MHz	-0.4/+0.4MHz	-0.2/+0.2MHz	
MCS0 (BPSK 1/2 w/ 4xfreq.rep)	33/31	44/48	49/45	34/31	dB
MCS1 (BPSK 1/2 w/ 2xfreq.rep)	33/31	43/53	46/44	34/31	
MCS2 (QPSK 1/2 w/ 2xfreq.rep)	34/31	40/52	47/45	33/31	
MCS3 (QPSK 1/2)	33/31	37/49	42/45	33/31	
MCS4 (QPSK 3/4)	31/30	33/46	46/45	33/31	
MCS5 (16QAM 1/2)	28/28	31/44	44/42	32/31	
MCS6 (16QAM 3/4)	23/23	28/41	41/39	31/30	

9.7.7 次隣接チャネル抑圧 (SUN OFDM)

- 北米、日本

(周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率 (PER) = 10%、VDD = 3.3V, 25°C、標準特性値、希望波入力レベル：規格定義感度点^[1] +3dB)

パラメータ	Option 1	Option 2	Option 3	Option 4	単位
	-2.4/+2.4MHz	-1.6/+1.6MHz	-0.8/+0.8MHz	-0.4/+0.4MHz	
MCS0 (BPSK 1/2 w/ 4xfreq.rep)	50/48	54/58	60/63	49/49	dB
MCS1 (BPSK 1/2 w/ 2xfreq.rep)	47/46	52/62	60/63	50/50	
MCS2 (QPSK 1/2 w/ 2xfreq.rep)	54/55	54/58	59/59	48/48	
MCS3 (QPSK 1/2)	52/53	52/52	56/56	47/48	
MCS4 (QPSK 3/4)	47/51	51/51	53/53	47/48	
MCS5 (16QAM 1/2)	46/48	48/50	50/50	47/48	
MCS6 (16QAM 3/4)	42/44	45/47	47/47	46/46	

9.7.8 同一チャネル抑圧 (SUN OFDM)

- 北米、日本

(周波数 = 920.6MHz、パケット長 = 250バイト、パケット誤り率 (PER) = 10%、VDD = 3.3V, 25°C、標準特性値、希望波入力レベル：規格定義感度点^[1] +3dB)

パラメータ	Option 1	Option 2	Option 3	Option 4	単位
	±0kHz	±0kHz	±0kHz	±0kHz	
MCS0 (BPSK 1/2 w/ 4xfreq.rep)	4	3	2	-1	dB
MCS1 (BPSK 1/2 w/ 2xfreq.rep)	2	2	1	-1	
MCS2 (QPSK 1/2 w/ 2xfreq.rep)	-2	-2	-3	-9	
MCS3 (QPSK 1/2)	-5	-5	-4	-7	
MCS4 (QPSK 3/4)	-7	-7	-7	-8	
MCS5 (16QAM 1/2)	-10	-12	-10	-11	
MCS6 (16QAM 3/4)	-13	-13	-13	-13	

9.7.9 受信特性 (SUN OFDM)

(周波数 = 920.6MHz, Option 1, MCS6, VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位
最大RF入力電力	パケット長 = 250バイト、パケット誤り率 (PER) = 10%		+5		dBm
RSSI範囲		-97		-5	dBm
RSSI分解能			1		dB
RSSI精度		-5		5	dB
周波数偏差耐性	感度劣化：1dB	-20		20	ppm
変調品質耐性 (感度劣化)	変調精度 (EVM)：IEEE802.15.4-2020 ^[1]		2		dB

9.8 トランシーバ部送信特性

9.8.1 送信特性 (SUN FSK)

(周波数 = 920.6MHz、VDD = 3.3V、25°C)

項目		条件	MIN	TYP	MAX	単位	
最大送信出力電力		C.W.		+15.0		dBm	
最小送信出力電力		C.W.		-15.0		dBm	
送信出力可変ステップサイズ		C.W.		1.0		dB	
送信出力温度ばらつき		Ta: -40°C~+85°C			2	dB	
高調波	2次高調波	+15dBm出力時		-41.3		dBm	
	3次高調波			-41.3		dBm	
	4次~7次高調波			-41.3		dBm	
周波数偏移誤差		+15dBm出力時			30	%	
最大ゼロクロスオフセット		+15dBm出力時	-12.5		12.5	%	
送信周波数偏差		+15dBm出力時	-20		20	ppm	
隣接チャネル漏洩電力比		+15dBm出力時	50kbps, MI = 0.5		-49		dB
			50kbps, MI = 1.0		-50		
			100kbps, MI = 0.5		-50		
			100kbps, MI = 1.0		-47		

9.8.2 送信特性 (SUN OFDM)

(周波数 = 920.6MHz, Option 1, VDD = 3.3V, 25°C)

項目	条件	MIN	TYP	MAX	単位	
最大送信出力電力	BPSK, R = 1/2, (MCS0,1), EVM = -10dB		11		dBm	
	QPSK, R = 1/2, (MCS2,3), EVM = -13dB		10			
	QPSK, R = 3/4, (MCS4), EVM = -13dB		10			
	16QAM, R = 1/2, (MCS5), EVM = -19dB		9			
	16QAM, R = 3/4, (MCS6), EVM = -19dB		9			
最小送信出力電力	BPSK, R = 1/2, (MCS0,1), EVM = -10dB		-19		dBm	
	QPSK, R = 1/2, (MCS2,3), EVM = -13dB		-19			
	QPSK, R = 3/4, (MCS4), EVM = -13dB		-19			
	16QAM, R = 1/2, (MCS5), EVM = -19dB		-19			
	16QAM, R = 3/4, (MCS6), EVM = -19dB		-19			
送信出力可変ステップサイズ			1.0		dB	
送信出力温度ばらつき	Ta: -40°C~+85°C		2		dB	
高調波	2次高調波	最大送信出力電力時		-41.3		dBm
	3次高調波			-41.3		dBm
	4次~7次高調波			-41.3		dBm
隣接チャネル漏洩電力比	BPSK, R = 1/2 (MCS0,1), +11dBm出力時		-29		dB	
	QPSK, R = 1/2 (MCS2,3), +10dBm出力時		-31			
	QPSK, R = 3/4 (MCS4), +10dBm出力時		-31			
	16QAM, R = 1/2 (MCS5), +9dBm出力時		-33			
	16QAM, R = 3/4 (MCS6), +9dBm出力時		-33			

9.9 データレート仕様

- SUN FSK

データレート[kbps]	変調方式	変調指数	説明
10	2-GFSK	1.0	
20	2-GFSK	1.0	
50	2-GFSK	0.5	
50	2-GFSK	1.0	
100	2-GFSK	0.5	
100	2-GFSK	1.0	
150	2-GFSK	0.5	
200	2-GFSK	0.5	
200	2-GFSK	1.0	

- SUN OFDM

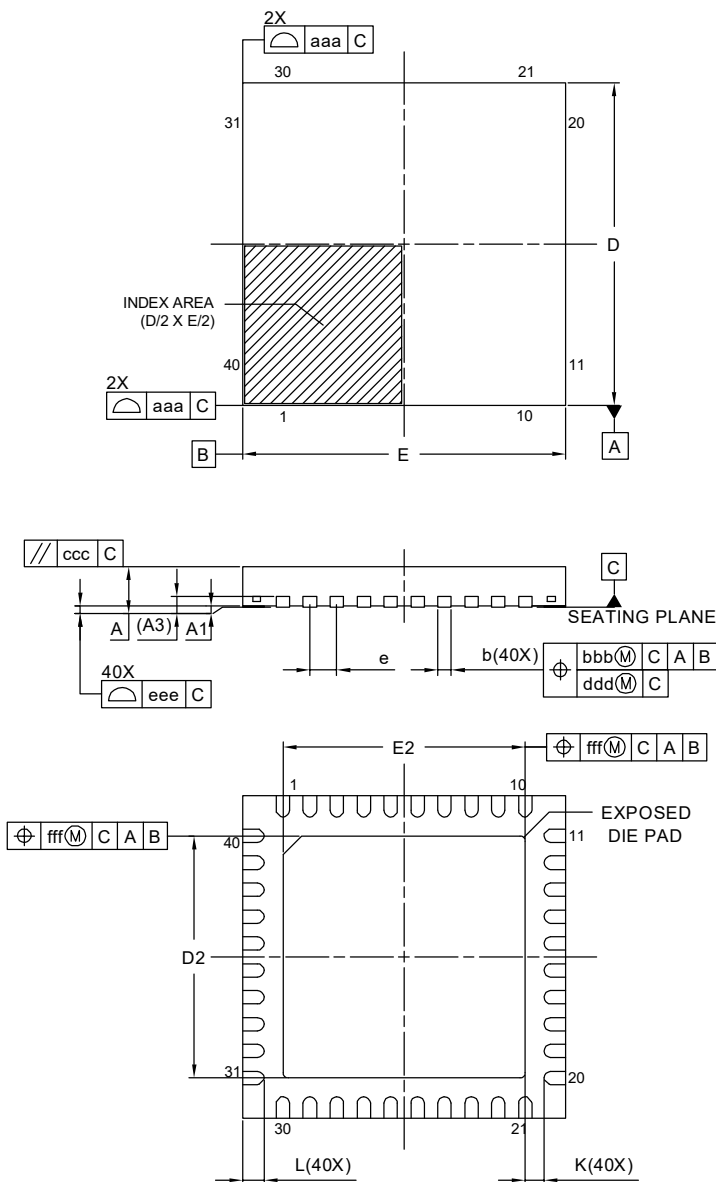
パラメータ	Option 1 帯域幅：1200kHz	Option 2 帯域幅：800kHz	Option 3 帯域幅：400kHz	Option 4 帯域幅：200kHz	単位	説明
MCS0	100	50	25	12.5	kbps	BPSK CR = 1/2 with 4xFreq. repetition
MCS1	200	100	50	25		BPSK CR = 1/2 with 2xFreq. repetition
MCS2	400	200	100	50		QPSK CR = 1/2 with 2xFreq. repetition
MCS3	800	400	200	100		QPSK CR = 1/2
MCS4	1200	600	300	150		QPSK CR = 3/4
MCS5	1600	800	400	200		16-QAM CR = 1/2
MCS6	2400	1200	600	300		16-QAM CR = 3/4

9.10 準拠規格

[1] IEEE Std 802.15.4™ -2020: IEEE Standard for Low-Rate Wireless Networks

第10章 外形图

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

付録A 改版履歴

A.1 本版で改訂された主な箇所

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2022.01.31	—	初版発行
1.10	2022.06.30	1. 概説	
		7	表1-1 発注型名一覧 変更
		3. ベースバンド機能	
		53	3.4.21 タイマ読み出しレジスタ0, 1 (BBTIMEREAD0, BBTIMEREAD1) 説明追加
		73	3.4.43 受信データ・カウンタレジスタ (BBRXCOUNT) 説明追加
		81	3.4.51 送信データ・カウンタレジスタ (BBTXCOUNT) 説明追加
		174	3.4.120 受信総数カウンタレジスタ (BBRCVCOUNT) 説明追加
		175	3.4.121 PHRエラー数カウンタレジスタ (BBPHRERRCOUNT) 説明追加
		176	3.4.122 正常受信数カウンタレジスタ (BBRCVOKCOUNT) 説明追加
		177	3.4.123 異常受信数カウンタレジスタ (BBRCVNGCOUNT) 説明追加
		7. ベースバンド機能使用上の注意	
276	新規追加		
1.20	2023.04.28	1. 概説	
		3	1.3 ブロック図 変更
		2. 端子機能	
		9	2.1.1 デジタル端子 (6) XIN, XOUT 文中に記載の節番号 変更
2.1.3 電源端子 文中に記載の章番号 変更			

R9A06G062GNP Sub-GHzトランシーバ
ユーザーズマニュアル ハードウェア編

発行年月日 2022年1月31日 Rev.1.00
2023年4月28日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

R9A06G062GNP
Sub-GHz トランシーバ