

# Renesas RA2E2 グループ

ユーザーズマニュアル ハードウェア編

## 32 ビット MCU

Renesas Advanced (RA) ファミリ

Renesas RA2 シリーズ

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

# はじめに

## 1. このドキュメントについて

このマニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。このマニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

## 2. 対象読者

このマニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

## 3. 関連ドキュメント

弊社では MCU 用に下記のドキュメントを提供しています。これらのドキュメントを使用する前に、[www.renesas.com](http://www.renesas.com) で最新版のドキュメントを参照してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特長、概要、および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドライン、およびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンスおよびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール&キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK)、スタートキット (SK)、プロモーションキット (PK)、製品例 (PE)、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーズマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例

## 4. 数値の表記法

このマニュアルでは、次の進数表記を使用しています。

例	内容
011b	2進数。例えば、3という2進数に相当する値は011bです。
0x1F	16進数。例えば、31の16進数に相当する数値は0x1Fと記述されています。場合によっては、16進数の末尾にhがつくことがあります。
1234	10進数。10進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、10進数はサフィックスなしで表示されます。

## 5. シンボルの表記法

このマニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールシンボル (AAA)、レジスタシンボル (BBB)、およびビットフィールドシンボル (CCC) はピリオドで区切られています。
AAA.BBB	機能モジュールシンボル (AAA) とレジスタシンボル (BBB) はピリオドで区切られています。
BBB.DDD	レジスタシンボル (BBB) とビットフィールドシンボル (DDD) はピリオドで区切られています。
EEE[3:0]	角括弧内の数字はビット幅を示します。例えば、EEE[3:0]はビット3から0を占有します。

## 6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、このマニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2進数	シングル0または1
B	バイト	この単位記号は、一般にMCUとアドレス空間のメモリの仕様に使用されます。
k	キロ	$1000 = 10^3$ 。kは $1024 (2^{10})$ を示すためにも使用されますが、このユニットプレフィックスはこのマニュアル全体で $1000 (10^3)$ を示すために使用されます。
K	キロ	$1024 = 2^{10}$ 。このユニットプレフィックスは、このマニュアル全体で $1000 (10^3)$ ではなく、 $1024 (2^{10})$ を示すために使用されます。

## 7. 特殊用語

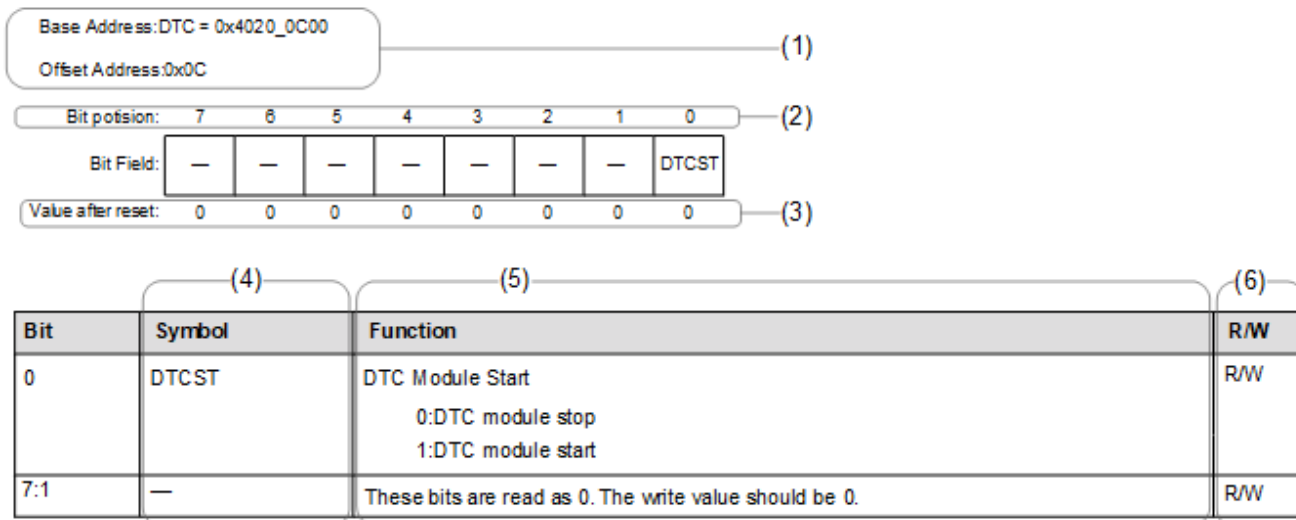
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。他に指定がなければ、NCは接続されていないことを意味します。
Hi-Z	ハイインピーダンス
x	Don't care または不定

## 8. レジスタの説明

各章のレジスタの説明には、ビット配置を示すレジスタ配置図と各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用される記号の例については、以降の項で説明します。以下は、レジスタの説明例および関連するビットフィールドの定義例です。

### XX.XX DTCST : DTC Module Start Register



#### (1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

このレジスタの機能モジュールのシンボル  $\{peripheral/name\}$ 、レジスタのシンボル  $\{register/name\}$ 、およびアドレス割り当てが記載されています。ベースアドレスとオフセットアドレスについては、 $\{peripheral/name\}$  の  $\{register/name\} : \{register/description\}$  がアドレス  $\{peripheral/baseAddress\} + \{register/addressOffset\}$  に割り当てられていることを意味しています。

#### (2) ビット番号

この数値はビット番号を示します。32 ビットレジスタの場合はビット 31~0 の順に、16 ビットレジスタの場合はビット 15~0 の順に、8 ビットレジスタの場合はビット 7~0 の順に示されます。

#### (3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。他に指定がない限り、値はバイナリで表示されます。

- 0: リセット後の値が 0 であることを示します。
- 1: リセット後の値が 1 であることを示します。
- x: リセット後の値が不定であることを示します。

#### (4) シンボル

$\{field/name\}$  はビットフィールドの略名を示します。予約ビットは、—と表記されます。

#### (5) 機能

機能は、ビットフィールドの正式名  $\{field/description\}$  と列挙値を示します。

#### (6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかのアクセスタイプを示します。

- R/W: そのビットフィールドは読み出しも書き込みも可能。
- R: そのビットフィールドは読み出しのみ可能。書き込みは無効。
- W: そのビットフィールドは書き込みのみ可能。他に指定のない限り、読み出し値はリセット後の値。

## 9. 略語

このマニュアルで使用されている略語を次の表に示します。

略語	内容
AES	Advanced Encryption Standard (高度暗号化標準)
AHB	Advanced High-performance Bus (アドバンストハイパフォーマンスバス)
AHB-AP	AHB Access Port (AHB アクセスポート)
APB	Advanced Peripheral Bus (アドバンスト周辺バス)
ARC	Alleged RC (Alleged RC 暗号)
ATB	Advanced Trace Bus (アドバンストトレースバス)
BCD	Binary Coded Decimal (2 進化 10 進数)
BSDL	Boundary Scan Description Language (バウンダリスキャン記述言語)
DES	Data Encryption Standard (データ暗号化標準)
DSA	Digital Signature Algorithm (デジタル署名アルゴリズム)
ETB	Embedded Trace Buffer (エンベデッドトレースバッファ)
ETM	Embedded Trace Macrocell (エンベデッドトレースマクロセル)
FLL	Frequency Locked Loop (周波数安定化ループ回路)
FPU	Floating Point Unit (浮動小数点ユニット)
HMI	Human Machine Interface (ヒューマンマシーンインタフェース)
IrDA	Infrared Data Association (赤外線通信協会/規格)
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
NVIC	Nested Vector Interrupt Controller (ネスト型ベクタ割り込みコントローラ)
PC	Program Counter (プログラムカウンタ)
PFS	Port Function Select (ポート機能選択)
PLL	Phase Locked Loop (位相同期回路)
POR	Power-on reset (パワーオンリセット)
PWM	Pulse Width Modulation (パルス幅変調)
RSA	Rivest Shamir Adleman (Rivest/Shamir/Adleman による公開鍵暗号方式)
SHA	Secure Hash Algorithm (セキュアハッシュアルゴリズム)
S/H	Sample and Hold (サンプルアンドホールド)
SP	Stack Pointer (スタックポインタ)
SWD	Serial Wire Debug (シリアルワイヤデバッグ)
SW-DP	Serial Wire-Debug Port (シリアルワイヤデバッグポート)
TRNG	True Random Number Generator (真性乱数生成器)
UART	Universal Asynchronous Receiver/Transmitter (調歩同期式シリアルインタフェース)
VCO	Voltage Controlled Oscillator (電圧制御発振器)

## 10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm®とCortex®は、Arm Limitedの登録商標です。CoreSight™は、Arm Limitedの商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortiumの登録商標です。

SuperFlash®は、米国と日本を含む数か国におけるSilicon Storage Technology, Inc.の登録商標です。

本書に記載されているその他のブランドと名称は、それぞれの所有者の商標または登録商標です。

## 11. 製品に関するフィードバック

この製品についてご意見やご提案がある場合は、[Contact Us](#)にアクセスしてください。



# 目次

特長 .....	34
<b>1. 概要 .....</b>	<b>35</b>
1.1 機能の概要 .....	35
1.2 ブロック図 .....	39
1.3 型名 .....	39
1.4 機能の比較 .....	42
1.5 端子機能 .....	43
1.6 ピン配置図 .....	45
1.7 端子一覧 .....	47
<b>2. CPU .....</b>	<b>48</b>
2.1 概要 .....	48
2.1.1 CPU .....	48
2.1.2 デバッグ .....	48
2.1.3 動作周波数 .....	48
2.1.4 ブロック図 .....	48
2.2 実装オプション .....	49
2.3 SWD インタフェース .....	50
2.4 デバッグ機能 .....	50
2.4.1 デバッグモードの定義 .....	50
2.4.2 デバッグモードの影響 .....	50
2.5 プログラムモデル .....	51
2.5.1 アドレス空間 .....	51
2.5.2 Cortex-M23 ペリフェラルアドレスマップ .....	52
2.5.3 外部デバッグアドレスマップ .....	52
2.5.4 CoreSight ROM テーブル .....	52
2.5.5 DBGREG .....	53
2.5.6 OCDREG .....	55
2.6 SysTick タイマ .....	57
2.7 OCD エミュレータ接続 .....	57
2.7.1 アンロック ID コード .....	58
2.7.2 DBGEN .....	58
2.7.3 OCD エミュレータ接続における制限 .....	58
2.8 参考資料 .....	60
2.9 使用上の注意事項 .....	60
<b>3. 起動モード .....</b>	<b>61</b>
3.1 起動モードの種類と選択 .....	61
3.2 起動モードの説明 .....	61

3.2.1	シングルチップモード .....	61
3.2.2	SCI ブートモード .....	61
3.3	起動モード遷移 .....	61
3.3.1	モード設定端子による起動モード遷移 .....	61
<b>4.</b>	<b>アドレス空間 .....</b>	<b>62</b>
4.1	アドレス空間 .....	62
<b>5.</b>	<b>リセット .....</b>	<b>63</b>
5.1	概要 .....	63
5.2	レジスタの説明 .....	67
5.2.1	RSTSR0 : リセットステータスレジスタ 0 .....	67
5.2.2	RSTSR1 : リセットステータスレジスタ 1 .....	68
5.2.3	RSTSR2 : リセットステータスレジスタ 2 .....	70
5.3	動作説明 .....	70
5.3.1	RES 端子リセット .....	70
5.3.2	パワーオンリセット .....	71
5.3.3	電圧監視リセット .....	71
5.3.4	独立ウォッチドッグタイマリセット .....	73
5.3.5	ウォッチドッグタイマリセット .....	73
5.3.6	ソフトウェアリセット .....	73
5.3.7	コールドスタート/ウォームスタート判定機能 .....	73
5.3.8	リセット発生要因の判定 .....	74
5.4	使用上の注意 .....	75
5.4.1	RES 端子リセットの注意事項 .....	75
<b>6.</b>	<b>オプション設定メモリ .....</b>	<b>76</b>
6.1	概要 .....	76
6.2	レジスタの説明 .....	76
6.2.1	OFS0 : オプション機能選択レジスタ 0 .....	76
6.2.2	OFS1 : オプション機能選択レジスタ 1 .....	80
6.2.3	セキュリティ MPU 機能関連のレジスタ .....	81
6.2.4	AWS : アクセスウィンドウ設定レジスタ .....	82
6.2.5	OSIS : OCD/シリアルプログラマ ID 設定レジスタ .....	83
6.3	オプション設定メモリの設定方法 .....	84
6.3.1	オプション設定メモリへのデータの配置方法 .....	84
6.3.2	オプション設定メモリにプログラムするデータの設定方法 .....	85
6.4	使用上の注意事項 .....	85
6.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ .....	85
6.4.2	FSPR ビットに関する注意事項 .....	85
<b>7.</b>	<b>低電圧検出回路 (LVD) .....</b>	<b>86</b>
7.1	概要 .....	86

7.2	レジスタの説明 .....	88
7.2.1	LVCMPCR : 電圧監視回路コントロールレジスタ .....	88
7.2.2	LVDLVLRLR : 電圧検出レベル選択レジスタ .....	88
7.2.3	LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0 .....	89
7.2.4	LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0 .....	90
7.2.5	LVD1CR1 : 電圧監視 1 回路コントロールレジスタ 1 .....	91
7.2.6	LVD1SR : 電圧監視 1 回路ステータスレジスタ .....	91
7.2.7	LVD2CR1 : 電圧監視 2 回路コントロールレジスタ 1 .....	92
7.2.8	LVD2SR : 電圧監視 2 回路ステータスレジスタ .....	92
7.3	VCC 入力電圧のモニタ .....	93
7.3.1	$V_{det0}$ のモニタ .....	93
7.3.2	$V_{det1}$ のモニタ .....	93
7.3.3	$V_{det2}$ のモニタ .....	93
7.4	電圧監視 0 リセット .....	93
7.5	電圧監視 1 割り込み、電圧監視 1 リセット .....	94
7.6	電圧監視 2 割り込み、リセット .....	96
7.7	ELC によるリンク動作 .....	98
7.7.1	割り込み処理とイベントリンクの関係 .....	98
<b>8.</b>	<b>クロック発生回路 .....</b>	<b>100</b>
8.1	概要 .....	100
8.2	レジスタの説明 .....	102
8.2.1	SCKDIVCR : システムクロック分周コントロールレジスタ .....	102
8.2.2	SCKSCR : システムクロックソースコントロールレジスタ .....	103
8.2.3	MEMWAIT : メモリウェイトサイクルコントロールレジスタ (コードフラッシュ) .....	104
8.2.4	FLDWAITR : メモリウェイトサイクルコントロールレジスタ (データフラッシュ) .....	105
8.2.5	LOCOCR : 低速オンチップオシレータコントロールレジスタ .....	107
8.2.6	HOCOCR : 高速オンチップオシレータコントロールレジスタ .....	108
8.2.7	MOCOCR : 中速オンチップオシレータコントロールレジスタ .....	109
8.2.8	OSCSF : 発振安定フラグレジスタ .....	110
8.2.9	HOCOWTCR : 高速オンチップオシレータウェイトコントロールレジスタ .....	110
8.2.10	CKOCR : クロックアウトコントロールレジスタ .....	111
8.2.11	LOCOUTCR : LOCO ユーザトリミングコントロールレジスタ .....	112
8.2.12	MOCOUTCR : MOCO ユーザトリミングコントロールレジスタ .....	113
8.2.13	HOCOUTCR : HOCO ユーザトリミングコントロールレジスタ .....	113
8.3	内部クロック .....	114
8.3.1	システムクロック (ICLK) .....	114
8.3.2	周辺モジュールクロック (PCLKB, PCLKD) .....	115
8.3.3	CAC クロック (CACCLK) .....	115
8.3.4	IWDT 専用クロック (IWDTCLK) .....	116

8.3.5	AGT 専用 LOCO クロック (AGTLCLK) .....	116
8.3.6	SysTick タイマ専用クロック (SYSTICCLK).....	116
8.3.7	外部端子出力クロック (CLKOUT) .....	116
8.4	使用上の注意 .....	116
8.4.1	クロック発生回路に関する注意事項.....	116
<b>9.</b>	<b>クロック周波数精度測定回路 (CAC).....</b>	<b>117</b>
9.1	概要 .....	117
9.2	レジスタの説明 .....	118
9.2.1	CACR0 : CAC コントロールレジスタ 0.....	118
9.2.2	CACR1 : CAC コントロールレジスタ 1.....	118
9.2.3	CACR2 : CAC コントロールレジスタ 2.....	119
9.2.4	CAICR : CAC 割り込み要求許可レジスタ .....	120
9.2.5	CASTR : CAC ステータスレジスタ .....	121
9.2.6	CAULVR : CAC 上限値設定レジスタ .....	122
9.2.7	CALLVR : CAC 下限値設定レジスタ .....	122
9.2.8	CACNTBR : CAC カウンタバッファレジスタ .....	122
9.3	動作説明 .....	123
9.3.1	クロック周波数測定.....	123
9.3.2	CACREF 端子のデジタルフィルタ機能.....	124
9.4	割り込み要求 .....	124
9.5	使用上の注意事項.....	124
9.5.1	モジュールストップ機能の設定 .....	124
<b>10.</b>	<b>低消費電力モード.....</b>	<b>125</b>
10.1	概要 .....	125
10.2	レジスタの説明 .....	127
10.2.1	SBYCR : スタンバイコントロールレジスタ .....	127
10.2.2	MSTPCRA : モジュールストップコントロールレジスタ A.....	128
10.2.3	MSTPCRB : モジュールストップコントロールレジスタ B.....	128
10.2.4	MSTPCRC : モジュールストップコントロールレジスタ C.....	129
10.2.5	MSTPCRD : モジュールストップコントロールレジスタ D.....	130
10.2.6	OPCCR : 動作電力コントロールレジスタ .....	131
10.2.7	SOPCCR : サブ動作電力コントロールレジスタ .....	131
10.2.8	SNZCR : スヌーズコントロールレジスタ .....	133
10.2.9	SNZEDCR0 : スヌーズ終了コントロールレジスタ 0 .....	133
10.2.10	SNZREQCR0 : スヌーズ要求コントロールレジスタ 0.....	134
10.2.11	PSMCR : パワーセーブメモリコントロールレジスタ .....	136
10.2.12	SYOCDRCR : システムコントロール OCD コントロールレジスタ .....	136
10.2.13	LSMRWDIS : ロースピードモジュール R/W 禁止制御レジスタ .....	137
10.2.14	LPOPT : 消費電力低減動作コントロールレジスタ .....	138

10.3	クロックの切り替えによる消費電力の低減 .....	139
10.4	モジュールストップ機能 .....	139
10.5	動作電力低減機能 .....	139
10.5.1	動作電力制御モードの設定方法 .....	139
10.5.2	動作範囲 .....	140
10.6	スリープモード .....	142
10.6.1	スリープモードへの遷移 .....	142
10.6.2	スリープモードの解除 .....	143
10.7	ソフトウェアスタンバイモード .....	144
10.7.1	ソフトウェアスタンバイモードへの遷移 .....	144
10.7.2	ソフトウェアスタンバイモードの解除 .....	144
10.7.3	ソフトウェアスタンバイモードの応用例 .....	145
10.8	スヌーズモード .....	145
10.8.1	スヌーズモードへの遷移 .....	145
10.8.2	スヌーズモードの解除 .....	146
10.8.3	スヌーズモードからソフトウェアスタンバイモードへの復帰 .....	147
10.8.4	スヌーズモードの動作例 .....	148
10.9	使用上の注意 .....	150
10.9.1	レジスタアクセス .....	150
10.9.2	I/O ポートの端子状態 .....	151
10.9.3	DTC のモジュールストップ状態 .....	151
10.9.4	内部割り込み要因 .....	151
10.9.5	低消費電力モードへの遷移 .....	151
10.9.6	WFI 命令のタイミング .....	151
10.9.7	スリープモード／スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みにつ いて .....	151
10.9.8	スヌーズモードにおける発振器について .....	151
10.9.9	スヌーズモードにおける A/D 変換開始条件 .....	152
10.9.10	スヌーズモードにおける ELC イベント .....	152
10.9.11	ADC120 に対するモジュールストップ機能 .....	152
10.9.12	未使用回路に対するモジュールストップ機能 .....	152
<b>11.</b>	<b>レジスタライトプロテクション .....</b>	<b>154</b>
11.1	概要 .....	154
11.2	レジスタの説明 .....	154
11.2.1	PRCR : プロテクトレジスタ .....	154
<b>12.</b>	<b>割り込みコントローラユニット (ICU) .....</b>	<b>155</b>
12.1	概要 .....	155
12.2	レジスタの説明 .....	156
12.2.1	IRQCRi : IRQ コントロールレジスタ i (i = 0~7) .....	156
12.2.2	NMISR : ノンマスカブル割り込みステータスレジスタ .....	157

12.2.3	NMIER : ノンマスクابل割り込みイネーブルレジスタ .....	160
12.2.4	NMICLR : ノンマスクابل割り込みステータスクリアレジスタ .....	161
12.2.5	NMICR : NMI 端子割り込みコントロールレジスタ .....	162
12.2.6	IELSRn : ICU イベントリンク設定レジスタ n (n = 0~31).....	163
12.2.7	SELSR0 : SYS イベントリンク設定レジスタ.....	164
12.2.8	WUPEN : ウェイクアップ割り込みイネーブルレジスタ .....	165
12.2.9	IELEN : ICU イベントイネーブルレジスタ .....	166
12.3	ベクタテーブル .....	167
12.3.1	割り込みベクタテーブル.....	167
12.3.2	イベント番号.....	168
12.3.3	ICU および DTC イベント番号.....	171
12.4	割り込み動作 .....	176
12.4.1	割り込みの検出 .....	176
12.5	割り込みの設定手順 .....	176
12.5.1	割り込み要求の許可 .....	176
12.5.2	割り込み要求の禁止 .....	176
12.5.3	割り込みのポーリング .....	177
12.5.4	割り込み要求先の選択 .....	177
12.5.5	デジタルフィルタ .....	178
12.5.6	外部端子割り込みの設定手順 .....	178
12.6	ノンマスクابل割り込みの設定手順 .....	179
12.7	低消費電力モードからの復帰.....	179
12.7.1	スリープモードからの復帰.....	179
12.7.2	ソフトウェアスタンバイモードからの復帰.....	179
12.7.3	スヌーズモードからの復帰.....	180
12.8	ノンマスクابل割り込みとともに WFI 命令を使用する場合 .....	180
12.9	参考資料 .....	180
<b>13.</b>	<b>バス .....</b>	<b>181</b>
13.1	概要 .....	181
13.2	バスの説明.....	182
13.2.1	メインバス .....	182
13.2.2	スレーブインタフェース.....	182
13.2.3	並列動作 .....	182
13.2.4	エンディアンに関する制限事項.....	182
13.2.5	排他的アクセスに関する制限事項 .....	183
13.3	レジスタの説明 .....	183
13.3.1	BUSMCNTn : マスタバスコントロールレジスタ n (n = SYS, DMA).....	183
13.3.2	BUSnERRADD : バスエラーアドレスレジスタ n (n = 3, 4) .....	183
13.3.3	BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4).....	184
13.4	バスエラー監視部.....	184

13.4.1	バスによって生じるエラーの種類 .....	184
13.4.2	バスエラー発生時の動作 .....	185
13.4.3	不正アドレスアクセスエラーを引き起こす条件 .....	185
13.5	参考資料 .....	185
<b>14.</b>	<b>メモリプロテクションユニット (MPU).....</b>	<b>186</b>
14.1	概要 .....	186
14.2	CPU スタックポインタモニタ .....	186
14.2.1	レジスタの保護 .....	189
14.2.2	オーバーフローエラーとアンダーフローエラー .....	189
14.2.3	レジスタの説明 .....	189
14.3	Arm MPU .....	193
14.4	バスマスタ MPU .....	193
14.4.1	レジスタの説明 .....	195
14.4.2	機能説明 .....	199
14.5	バススレーブ MPU .....	201
14.5.1	レジスタの説明 .....	202
14.5.2	機能説明 .....	207
14.6	セキュリティ MPU .....	208
14.6.1	レジスタの説明 (オプション設定メモリ) .....	209
14.6.2	メモリプロテクション .....	214
14.7	使用上の注意事項 .....	215
14.7.1	デバッグ使用時の注意事項 .....	215
14.8	参考資料 .....	215
<b>15.</b>	<b>データトランスファコントローラ (DTC).....</b>	<b>216</b>
15.1	概要 .....	216
15.2	レジスタの説明 .....	217
15.2.1	MRA : DTC モードレジスタ A .....	218
15.2.2	MRB : DTC モードレジスタ B .....	218
15.2.3	SAR : DTC 転送元レジスタ .....	220
15.2.4	DAR : DTC 転送先レジスタ .....	220
15.2.5	CRA : DTC 転送カウントレジスタ A .....	220
15.2.6	CRB : DTC 転送カウントレジスタ B .....	221
15.2.7	DTCCR : DTC コントロールレジスタ .....	221
15.2.8	DTCVBR : DTC ベクタベースアドレス .....	222
15.2.9	DTCST : DTC モジュール起動レジスタ .....	222
15.2.10	DTCSTS : DTC ステータスレジスタ .....	223
15.3	起動要因 .....	223
15.3.1	転送情報の配置と DTC ベクタテーブル .....	224
15.4	動作説明 .....	225

15.4.1	転送情報のリードスキップ機能	227
15.4.2	転送情報のライトバックスキップ機能	227
15.4.3	ノーマル転送モード	228
15.4.4	リピート転送モード	229
15.4.5	ブロック転送モード	230
15.4.6	チェーン転送	231
15.4.7	動作タイミング	232
15.4.8	DTC の実行サイクル	234
15.4.9	DTC のバス権解放タイミング	235
15.5	DTC の設定手順	235
15.6	DTC の使用例	235
15.6.1	ノーマル転送	235
15.6.2	チェーン転送	236
15.6.3	転送カウンタ = 0 のときのチェーン転送	237
15.7	割り込み	239
15.7.1	割り込み要因	239
15.8	イベントリンク	239
15.9	低消費電力機能	239
15.10	使用上の注意	240
15.10.1	転送情報の開始アドレス	240
<b>16.</b>	<b>イベントリンクコントローラ (ELC)</b>	<b>241</b>
16.1	概要	241
16.2	レジスタの説明	242
16.2.1	ELCR : イベントリンクコントローラレジスタ	242
16.2.2	ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)	242
16.2.3	ELSRn : イベントリンク設定レジスタ n (n = 0~3, 8, 9, 14, 15)	243
16.3	動作説明	246
16.3.1	割り込み処理とイベントリンクの関係	246
16.3.2	イベントのリンク	246
16.3.3	イベントリンクの動作設定手順例	246
16.4	使用上の注意事項	246
16.4.1	DTC 転送終了のイベントリンクを使用する場合	246
16.4.2	クロックの設定	246
16.4.3	モジュールストップ機能の設定	247
16.4.4	ELC 遅延時間	247
<b>17.</b>	<b>I/O ポート</b>	<b>248</b>
17.1	概要	248
17.2	レジスタの説明	250
17.2.1	PCNTR1/PODR/PDR : ポートコントロールレジスタ 1	250



17.2.2	PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2 .....	251
17.2.3	PCNTR3/PORR/POSR : ポートコントロールレジスタ 3 .....	252
17.2.4	PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4 .....	253
17.2.5	PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0~9, n = 00~15) .....	254
17.2.6	PWPR : 書き込みプロテクトレジスタ .....	256
17.2.7	PRWCNTR : ポート読み出しウェイトコントロールレジスタ .....	256
17.3	動作説明 .....	256
17.3.1	汎用入出力ポート .....	256
17.3.2	ポート機能選択 .....	257
17.3.3	ELC のポートグループ機能 .....	257
17.3.4	ポート読み出し時のウェイト機能 .....	259
17.4	未使用端子の処理 .....	259
17.5	使用上の注意事項 .....	260
17.5.1	端子機能の設定手順 .....	260
17.5.2	ポートグループ入力の使用手順 .....	260
17.5.3	ポート出カデータレジスタ (PODR) の概要 .....	260
17.5.4	アナログ機能使用時の注意事項 .....	260
17.6	製品ごとの周辺選択設定 .....	261
<b>18.</b>	<b>キー割り込み機能 (KINT) .....</b>	<b>264</b>
18.1	概要 .....	264
18.2	レジスタの説明 .....	264
18.2.1	KRCTL : キーリターン制御レジスタ .....	264
18.2.2	KRF : キーリターンフラグレジスタ .....	265
18.2.3	KRM : キーリターンモードレジスタ .....	265
18.3	動作説明 .....	265
18.3.1	キー割り込みフラグを使用しない場合の動作 (KRCTL.KRMD = 0) .....	265
18.3.2	キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1) .....	266
18.4	使用上の注意事項 .....	268
<b>19.</b>	<b>GPT 用のポートアウトプットイネーブル (POEG) .....</b>	<b>269</b>
19.1	概要 .....	269
19.2	レジスタの説明 .....	270
19.2.1	POEGGn : POEG グループ n 設定レジスタ (n = A, B) .....	270
19.3	出力禁止制御の動作 .....	271
19.3.1	端子入力レベル検出時の動作 .....	272
19.3.2	GPT からの出力禁止要求 .....	272
19.3.3	レジスタによる出力禁止制御 .....	272
19.3.4	出力禁止状態の解除 .....	272
19.4	割り込み要因 .....	273
19.5	GPT に対する外部トリガ出力 .....	273

19.6	使用上の注意	274
19.6.1	ソフトウェアスタンバイモードへの遷移	274
19.6.2	GPT 対応端子の指定	274
<b>20.</b>	<b>汎用 PWM タイマ (GPT)</b>	<b>275</b>
20.1	概要	275
20.2	レジスタの説明	278
20.2.1	GTWP : 汎用 PWM タイマ書き込み保護レジスタ	278
20.2.2	GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ	279
20.2.3	GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ	279
20.2.4	GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ	280
20.2.5	GTSSR : 汎用 PWM タイマスタート要因選択レジスタ	280
20.2.6	GTPSR : 汎用 PWM タイマストップ要因選択レジスタ	283
20.2.7	GTCSR : 汎用 PWM タイマクリア要因選択レジスタ	285
20.2.8	GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ	288
20.2.9	GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ	291
20.2.10	GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A	293
20.2.11	GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B	296
20.2.12	GTCR : 汎用 PWM タイマコントロールレジスタ	299
20.2.13	GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ	300
20.2.14	GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ	302
20.2.15	GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ	306
20.2.16	GTST : 汎用 PWM タイマステータスレジスタ	307
20.2.17	GTBER : 汎用 PWM タイマバッファイネーブルレジスタ	311
20.2.18	GTCNT : 汎用 PWM タイマカウンタ	312
20.2.19	GTCCR <sub>k</sub> : 汎用 PWM タイマコンペアキャプチャレジスタ k (k = A~F)	312
20.2.20	GTPR : 汎用 PWM タイマ周期設定レジスタ	313
20.2.21	GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ	313
20.2.22	GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ	314
20.2.23	GTDVU : 汎用 PWM タイマデッドタイム値レジスタ U	314
20.2.24	OPSCR : 出力相切り替えコントロールレジスタ	315
20.3	動作説明	317
20.3.1	基本動作	317
20.3.2	バッファ動作	325
20.3.3	PWM 出力動作モード	332
20.3.4	デッドタイム自動設定機能	342
20.3.5	カウント方向切り替え機能	346
20.3.6	出力デューティー 0%および出力デューティー 100%機能	346
20.3.7	ハードウェアカウントスタート/カウントストップ、カウントクリア動作	348
20.3.8	同期動作	353
20.3.9	PWM 出力動作例	356

20.3.10	位相計数機能.....	361
20.3.11	出力相切り替え (GPT_OPS).....	371
20.4	割り込み要因.....	378
20.4.1	割り込み要因と優先順位.....	378
20.4.2	DTC の起動.....	379
20.5	ELC によるリンク動作.....	379
20.5.1	ELC へのイベント信号出力.....	379
20.5.2	ELC からのイベント信号入力.....	380
20.6	ノイズフィルタ機能.....	380
20.7	保護機能.....	380
20.7.1	レジスタの書き込み保護.....	380
20.7.2	バッファ動作の禁止.....	381
20.7.3	GTIOcnm 端子出力の出力禁止制御 (n = 4~9, m = A, B).....	381
20.8	出力端子の初期化方法.....	382
20.8.1	リセット後の端子設定.....	382
20.8.2	動作中の異常による端子の初期化.....	383
20.9	使用上の注意事項.....	383
20.9.1	モジュールストップ機能の設定.....	383
20.9.2	コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A~F).....	383
20.9.3	GTCNT カウンタの範囲設定.....	384
20.9.4	GTCNT カウンタのスタート/ストップ.....	384
20.9.5	イベントごとの優先順位.....	384
<b>21.</b>	<b>低消費電力非同期汎用タイマ (AGTW).....</b>	<b>386</b>
21.1	概要.....	386
21.2	レジスタの説明.....	387
21.2.1	AGT : AGT カウンタレジスタ.....	387
21.2.2	AGTCMA : AGT コンペアマッチ A レジスタ.....	388
21.2.3	AGTCMB : AGT コンペアマッチ B レジスタ.....	388
21.2.4	AGTCR : AGT コントロールレジスタ.....	389
21.2.5	AGTMR1 : AGT モードレジスタ 1.....	390
21.2.6	AGTMR2 : AGT モードレジスタ 2.....	391
21.2.7	AGTIOC : AGT I/O コントロールレジスタ.....	392
21.2.8	AGTISR : AGT イベント端子選択レジスタ.....	394
21.2.9	AGTCMSR : AGT コンペアマッチ機能選択レジスタ.....	394
21.2.10	AGTIOSEL : AGT 端子選択レジスタ.....	395
21.3	動作説明.....	395
21.3.1	リロードレジスタおよびカウンタの書き換え動作.....	395
21.3.2	リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作.....	397
21.3.3	タイマモード.....	398
21.3.4	パルス出力モード.....	399

21.3.5	イベントカウントモード	400
21.3.6	パルス幅測定モード	401
21.3.7	パルス周期測定モード	402
21.3.8	コンペアマッチ機能	403
21.3.9	各モードの出力設定	404
21.3.10	スタンバイモード	405
21.3.11	割り込み要因	406
21.3.12	イベントリンクコントローラ (ELC) へのイベント信号出力	406
21.4	使用上の注意事項	407
21.4.1	カウント動作の開始および停止制御	407
21.4.2	カウンタレジスタへのアクセス	407
21.4.3	モード変更時	407
21.4.4	出力端子の設定	407
21.4.5	デジタルフィルタ	408
21.4.6	イベント番号、パルス幅およびパルス周期の計算方法	408
21.4.7	TSTOP ビットで強制的にカウントを停止した場合	408
21.4.8	カウントソースとして AGTW0 のアンダーフローイベント信号を選択した場合	408
21.4.9	モジュールストップ機能	408
<b>22.</b>	<b>ウォッチドッグタイマ (WDT)</b>	<b>409</b>
22.1	概要	409
22.2	レジスタの説明	410
22.2.1	WDTRR : WDT リフレッシュレジスタ	410
22.2.2	WDTCR : WDT コントロールレジスタ	411
22.2.3	WDTSR : WDT ステータスレジスタ	413
22.2.4	WDTRCR : WDT リセットコントロールレジスタ	414
22.2.5	WDCSTPR : WDT カウント停止コントロールレジスタ	415
22.2.6	オプション機能選択レジスタ 0 (OFS0)	415
22.3	動作説明	415
22.3.1	スタートモード別のカウント動作	415
22.3.2	WDTCR、WDTRCR、および WDCSTPR レジスタへの書き込み制御	419
22.3.3	リフレッシュ動作	419
22.3.4	ステータスフラグ	420
22.3.5	リセット出力	420
22.3.6	割り込み要因	420
22.3.7	ダウンカウンタ値の読み出し	421
22.3.8	オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係	421
22.4	イベントリンクコントローラ (ELC) への出力	422
22.5	使用上の注意事項	422
22.5.1	ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限	422

<b>23. 独立ウォッチドッグタイマ (IWDT)</b> .....	<b>423</b>
23.1 概要 .....	423
23.2 レジスタの説明 .....	424
23.2.1 IWDTRR : IWDT リフレッシュレジスタ .....	424
23.2.2 IWDTSR : IWDT ステータスレジスタ .....	425
23.2.3 OFS0 : オプション機能選択レジスタ 0 .....	426
23.3 動作説明 .....	428
23.3.1 オートスタートモード .....	428
23.3.2 リフレッシュ動作 .....	429
23.3.3 ステータスフラグ .....	431
23.3.4 リセット出力 .....	431
23.3.5 割り込み要因 .....	431
23.3.6 ダウンカウンタ値の読み出し .....	431
23.4 イベントリンクコントローラ (ELC) への出力 .....	432
23.5 使用上の注意事項 .....	432
23.5.1 リフレッシュ動作 .....	432
23.5.2 クロック分周比の設定に関する制限 .....	432
23.5.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限 .....	432
<b>24. シリアルコミュニケーションインタフェース (SCI)</b> .....	<b>433</b>
24.1 概要 .....	433
24.2 レジスタの説明 .....	435
24.2.1 RSR : 受信シフトレジスタ .....	435
24.2.2 RDR : 受信データレジスタ .....	436
24.2.3 RDRHL : 受信データレジスタ .....	436
24.2.4 TDR : 送信データレジスタ .....	436
24.2.5 TDRHL : 送信データレジスタ .....	437
24.2.6 TSR : 送信シフトレジスタ .....	437
24.2.7 SMR : 非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0) .....	438
24.2.8 SMR_SMCI : スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1) .....	439
24.2.9 SCR : 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0) .....	441
24.2.10 SCR_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1) .....	442
24.2.11 SSR : 非スマートカードインタフェース用シリアルステータスレジスタ (SCMR.SMIF = 0) .....	444
24.2.12 SSR_SMCI : スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1) .....	446
24.2.13 SCMR : スマートカードモードレジスタ .....	448
24.2.14 BRR : ビットレートレジスタ .....	450

24.2.15	MDDR : 変調デューティレジスタ .....	456
24.2.16	SEMR : シリアル拡張モードレジスタ .....	458
24.2.17	SNFR : ノイズフィルタ設定レジスタ .....	459
24.2.18	SIMR1 : IIC モードレジスタ 1 .....	460
24.2.19	SIMR2 : IIC モードレジスタ 2 .....	461
24.2.20	SIMR3 : IIC モードレジスタ 3 .....	462
24.2.21	SISR : IIC ステータスレジスタ .....	463
24.2.22	SPMR : SPI モードレジスタ .....	464
24.2.23	CDR : コンペアマッチデータレジスタ .....	465
24.2.24	DCCR : データコンペアマッチコントロールレジスタ .....	466
24.2.25	SPTR : シリアルポートレジスタ .....	467
24.3	調歩同期式モードの動作 .....	468
24.3.1	シリアル転送フォーマット .....	468
24.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	469
24.3.3	クロック .....	470
24.3.4	倍速動作とビットレートの 6 倍の周波数 .....	471
24.3.5	CTS、RTS 機能 .....	471
24.3.6	アドレス一致（受信データ一致）検出機能 .....	471
24.3.7	SCI の初期化（調歩同期式モード） .....	473
24.3.8	シリアルデータの送信（調歩同期式モード） .....	474
24.3.9	シリアルデータの受信（調歩同期式モード） .....	477
24.4	マルチプロセッサ通信機能 .....	484
24.4.1	マルチプロセッサシリアルデータ送信 .....	485
24.4.2	マルチプロセッサシリアルデータ受信 .....	486
24.5	クロック同期式モードの動作 .....	489
24.5.1	クロック .....	490
24.5.2	CTS、RTS 機能 .....	490
24.5.3	SCI の初期化（クロック同期式モード） .....	491
24.5.4	シリアルデータの送信（クロック同期式モード） .....	491
24.5.5	シリアルデータの受信（クロック同期式モード） .....	494
24.5.6	シリアルデータの同時送受信（クロック同期式モード） .....	496
24.6	スマートカードインタフェースモードの動作 .....	497
24.6.1	接続例 .....	498
24.6.2	データフォーマット（ブロック転送モード時を除く） .....	498
24.6.3	ブロック転送モード .....	500
24.6.4	受信データサンプリングタイミングと受信マージン .....	500
24.6.5	SCI の初期化（スマートカードインタフェースモード） .....	501
24.6.6	シリアルデータの送信（ブロック転送モードを除く） .....	502
24.6.7	シリアルデータの受信（ブロック転送モード時を除く） .....	504
24.6.8	クロック出力制御 .....	506

24.7	簡易 IIC モードの動作 .....	507
24.7.1	開始条件、再開条件、停止条件の生成 .....	508
24.7.2	クロック同期化 .....	509
24.7.3	SDAn 出力遅延 .....	510
24.7.4	SCI の初期化（簡易 IIC モード） .....	510
24.7.5	マスタ送信動作（簡易 IIC モード） .....	511
24.7.6	マスタ受信動作（簡易 IIC モード） .....	514
24.8	簡易 SPI モードの動作 .....	516
24.8.1	マスタモード、スレーブモードと各端子の状態 .....	516
24.8.2	マスタモード時の SS 機能 .....	517
24.8.3	スレーブモード時の SS 機能 .....	517
24.8.4	クロックと送受信データの関係 .....	517
24.8.5	SCI の初期化（簡易 SPI モード） .....	518
24.8.6	シリアルデータの送受信（簡易 SPI モード） .....	518
24.9	ビットレート変調機能 .....	518
24.10	割り込み要因 .....	519
24.10.1	SCIn_TXI および SCIn_RXI 割り込みのバッファ動作 .....	519
24.10.2	調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み ..	519
24.10.3	スマートカードインタフェースモードにおける割り込み .....	520
24.10.4	簡易 IIC モードにおける割り込み .....	521
24.11	イベントリンク機能 .....	521
24.12	ノイズ除去機能 .....	522
24.13	使用上の注意 .....	523
24.13.1	モジュールストップ機能の設定 .....	523
24.13.2	低消費電力状態での SCI の動作について .....	523
24.13.3	ブレークの検出と処理について .....	528
24.13.4	マーク状態とブレークの送出 .....	529
24.13.5	受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）	529
24.13.6	クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード） ..	529
24.13.7	DTC 使用時の制約事項 .....	530
24.13.8	通信の開始に関する注意事項 .....	531
24.13.9	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力 .....	531
24.13.10	簡易 SPI モードに関する制限事項 .....	531
24.13.11	送信許可ビット (SCR.TE) に関する注意事項 .....	532
24.13.12	調歩同期式モードで RTS 機能を使用した時の受信の停止について .....	532
<b>25.</b>	<b>I3C バスインタフェース (I3C) .....</b>	<b>533</b>
25.1	概要 .....	533
25.1.1	機能概要 .....	533
25.1.2	ブロック図 [I <sup>2</sup> C/I3C 共通] .....	534
25.2	レジスタの説明 .....	535

25.2.1	レジスタ一覧.....	535
25.2.2	PRTS : プロトコル選択レジスタ .....	537
25.2.3	BCTL : バスコントロールレジスタ .....	538
25.2.4	MSDVAD : マスタデバイスアドレスレジスタ .....	539
25.2.5	RSTCTL : リセットコントロールレジスタ .....	540
25.2.6	PRSST : 現在ステータレジスタ .....	542
25.2.7	INST : 内部ステータスレジスタ .....	544
25.2.8	INSTE : 内部ステータス有効レジスタ .....	545
25.2.9	INIE : 内部割り込み許可レジスタ .....	545
25.2.10	INSTFC : 内部ステータス強制レジスタ .....	546
25.2.11	DVCT : デバイス特性テーブルレジスタ .....	546
25.2.12	IBINCTL : IBI 通知コントロールレジスタ .....	547
25.2.13	BFCTL : バス機能コントロールレジスタ .....	548
25.2.14	SVCTL : スレーブコントロールレジスタ .....	550
25.2.15	REFCKCTL : リファレンスクロックコントロールレジスタ .....	551
25.2.16	STDBR : スタンダードビットレートレジスタ .....	552
25.2.17	EXTBR : 拡張ビットレートレジスタ .....	554
25.2.18	BFRECDT : バスフリー状態検出時間レジスタ .....	555
25.2.19	BAVLCDT : バス利用可能状態検出時間レジスタ .....	556
25.2.20	BIDLCDT : バスアイドル状態検出時間レジスタ .....	556
25.2.21	OUTCTL : 出力コントロールレジスタ .....	557
25.2.22	INCTL : 入力コントロールレジスタ .....	558
25.2.23	TMOCTL : タイムアウトコントロールレジスタ .....	559
25.2.24	ACKCTL : アクノリッジコントロールレジスタ .....	560
25.2.25	SCSTRCTL : SCL ストレッチコントロールレジスタ .....	561
25.2.26	SCSTLCTL : SCL ストールコントロールレジスタ .....	562
25.2.27	SVTDLG0 : スレーブ転送データ長レジスタ 0.....	563
25.2.28	CNDCTL : 条件コントロールレジスタ .....	564
25.2.29	NCMDQP : 通常コマンドキューポートレジスタ .....	565
25.2.30	NRSPQP : 通常レスポンスキューポートレジスタ .....	566
25.2.31	NTDTBP0/NTDTBP0_BY : 通常転送データバッファポートレジスタ 0.....	566
25.2.32	NIBIQP : 通常 IBI キューポートレジスタ .....	567
25.2.33	NRSQP : 通常受信ステータスキューポートレジスタ .....	567
25.2.34	NQTHCTL : 通常キュースレッショルドコントロールレジスタ .....	568
25.2.35	NTBTHCTL0 : 通常転送データバッファスレッショルドコントロールレジスタ 0.....	569
25.2.36	NRQTHCTL : 通常受信ステータスキュースレッショルドコントロールレジスタ .....	570
25.2.37	BST : バスステータスレジスタ .....	571
25.2.38	BSTE : バスステータス許可レジスタ .....	574
25.2.39	BIE : バス割り込み許可レジスタ .....	575
25.2.40	BSTFC : バスステータス強制レジスタ .....	576



25.2.41	NTST : 通常転送ステータスレジスタ .....	577
25.2.42	NTSTE : 通常転送ステータス許可レジスタ .....	582
25.2.43	NTIE : 通常転送割り込み許可レジスタ .....	584
25.2.44	NTSTFC : 通常転送ステータス強制レジスタ .....	585
25.2.45	BCST : バス状態ステータスレジスタ .....	587
25.2.46	SVST : スレーブステータスレジスタ .....	588
25.2.47	DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0~3) .....	591
25.2.48	EXDATBAS : 拡張デバイスアドレステーブル基本レジスタ .....	592
25.2.49	SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0) .....	592
25.2.50	MSDCTm : マスタデバイス特性テーブルレジスタ m (m = 0~3) .....	594
25.2.51	SVDCT : スレーブデバイス特性テーブルレジスタ .....	595
25.2.52	SDCTPIDL : スレーブデバイス特性テーブル暫定 ID Low レジスタ .....	596
25.2.53	SDCTPIDH : スレーブデバイス特性テーブル暫定 ID High レジスタ .....	596
25.2.54	SVDVAD0 : スレーブデバイスアドレスレジスタ 0 .....	597
25.2.55	CSECMD : CCC スレーブイベントコマンドレジスタ .....	599
25.2.56	CEACTST : CCC 遷移アクティビティステートレジスタ .....	600
25.2.57	CMWLG : CCC 最大書き込み長レジスタ .....	601
25.2.58	CMRLG : CCC 最大読み出し長レジスタ .....	601
25.2.59	CETSTMD : CCC 遷移テストモードレジスタ .....	602
25.2.60	CGDVST : CCC デバイスステータス取得レジスタ .....	603
25.2.61	CMDSPW : CCC 最大データ速度 W (書き込み) レジスタ .....	604
25.2.62	CMDSPR : CCC 最大データ速度 R (読み出し) レジスタ .....	604
25.2.63	CMDSPV : CCC 最大データ速度 V (読み出し) レジスタ .....	605
25.2.64	CETSM : CCC 交換タイミングサポート情報 M (モード) レジスタ .....	606
25.2.65	BITCNT : ビットカウントレジスタ .....	606
25.2.66	NQSTLV : 通常キューステータスレベルレジスタ .....	607
25.2.67	NDBSTLV0 : 通常データバッファステータスレベルレジスタ 0 .....	608
25.2.68	NRSQSTLV : 通常受信ステータスキューステータスレベルレジスタ .....	608
25.2.69	PRSTDBG : 現在ステートデバッグレジスタ .....	609
25.2.70	MSERRCNT : マスタエラーカウンタレジスタ .....	609
25.3	動作説明 .....	609
25.3.1	データ構造 .....	609
25.3.2	機能詳細 .....	626
25.3.3	動作 .....	697
25.4	割り込み要因 .....	714
25.4.1	概要 .....	714
25.4.2	バッファフル割り込み/エンプティ割り込みのバッファ動作 .....	715
25.5	イベントリンク出力 .....	715
25.5.1	割り込み処理とイベントリンクの関係 .....	716
25.6	リセットの説明 .....	716

25.7	使用上の注意事項.....	723
25.7.1	動作クロックの設定.....	723
<b>26.</b>	<b>シリアルペリフェラルインタフェース (SPI) .....</b>	<b>724</b>
26.1	概要.....	724
26.2	レジスタの説明.....	726
26.2.1	SPCR : SPI コントロールレジスタ.....	726
26.2.2	SSLP : SPI スレーブ選択極性レジスタ.....	727
26.2.3	SPPCR : SPI 端子コントロールレジスタ.....	728
26.2.4	SPSR : SPI ステータスレジスタ.....	729
26.2.5	SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ.....	731
26.2.6	SPBR : SPI ビットレートレジスタ.....	733
26.2.7	SPDCR : SPI データコントロールレジスタ.....	734
26.2.8	SPCKD : SPI クロック遅延レジスタ.....	735
26.2.9	SSLND : SPI スレーブ選択ネゲート遅延レジスタ.....	736
26.2.10	SPND : SPI 次アクセス遅延レジスタ.....	736
26.2.11	SPCR2 : SPI コントロールレジスタ 2.....	737
26.2.12	SPCMD0 : SPI コマンドレジスタ 0.....	738
26.3	動作説明.....	739
26.3.1	SPI 動作の概要.....	740
26.3.2	SPI 端子の制御.....	741
26.3.3	SPI システム構成例.....	741
26.3.4	データフォーマット.....	744
26.3.5	転送フォーマット.....	753
26.3.6	データ転送モード.....	755
26.3.7	送信バッファEMPTY/受信バッファフル割り込み.....	756
26.3.8	エラー検出.....	758
26.3.9	SPI の初期化.....	762
26.3.10	SPI 動作.....	762
26.3.11	クロック同期式動作.....	773
26.3.12	ループバックモード.....	777
26.3.13	パリティビット機能の自己診断.....	777
26.3.14	割り込み要因.....	778
26.4	イベントリンクコントローラ (ELC) への出力.....	779
26.4.1	受信バッファフルイベント出力.....	780
26.4.2	送信バッファEMPTYイベント出力.....	780
26.4.3	モードフォルトエラー/アンダーランエラー/オーバーランエラー/パリティエラーイ ベント出力.....	780
26.4.4	SPI アイドルイベント出力.....	780
26.4.5	送信完了イベント出力.....	780
26.5	使用上の注意事項.....	781

26.5.1	モジュールストップ機能の設定	781
26.5.2	低消費電力機能に関する制約	781
26.5.3	転送の開始に関する制約	781
26.5.4	SPSR.SPRF および SPSR.SPTEF フラグに関する制約	781
<b>27.</b>	<b>巡回冗長検査 (CRC)</b>	<b>782</b>
27.1	概要	782
27.2	レジスタの説明	783
27.2.1	CRCCR0 : CRC コントロールレジスタ 0	783
27.2.2	CRCCR1 : CRC コントロールレジスタ 1	784
27.2.3	CRCDIR/CRCDIR_BY : CRC データ入力レジスタ	784
27.2.4	CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ	785
27.2.5	CRCSAR : スヌープアドレスレジスタ	785
27.3	動作説明	785
27.3.1	基本動作	785
27.3.2	CRC スヌープ機能	789
27.4	使用上の注意事項	790
27.4.1	モジュールストップ状態の設定	790
27.4.2	送信時の注意事項	790
<b>28.</b>	<b>12 ビット A/D コンバータ (ADC12)</b>	<b>792</b>
28.1	概要	792
28.2	レジスタの説明	795
28.2.1	ADDRn : A/D データレジスタ n (n = 5, 6, 9, 10, 19~22)	795
28.2.2	ADDBLDR : A/D データ 2 重化レジスタ	797
28.2.3	ADDBLDRn : A/DA データ 2 重化レジスタ n (n = A, B)	798
28.2.4	ADTSDR : A/D 温度センサデータレジスタ	799
28.2.5	ADOCDR : A/D 内部基準電圧データレジスタ	800
28.2.6	ADRD : A/D 自己診断データレジスタ	801
28.2.7	ADCSR : A/D コントロールレジスタ	802
28.2.8	ADANSA0 : A/D チャネル選択レジスタ A0	806
28.2.9	ADANSA1 : A/D チャネル選択レジスタ A1	806
28.2.10	ADANSB0 : A/D チャネル選択レジスタ B0	807
28.2.11	ADANSB1 : A/D チャネル選択レジスタ B1	807
28.2.12	ADADS0 : A/D 変換値加算/平均チャネル選択レジスタ 0	808
28.2.13	ADADS1 : A/D 変換値加算/平均チャネル選択レジスタ 1	809
28.2.14	ADADC : A/D 変換値加算/平均回数選択レジスタ	810
28.2.15	ADCER : A/D コントロール拡張レジスタ	811
28.2.16	ADSTRGR : A/D 変換開始トリガ選択レジスタ	812
28.2.17	ADEXICR : A/D 変換拡張入力コントロールレジスタ	813
28.2.18	ADSSTRn/ADSSTRL/ADSSTRT/ADSSTRO : A/D サンプリングステートレジスタ (n = 5, 6, 9, 10)	815

28.2.19	ADDISCR : A/D 断線検出コントロールレジスタ .....	815
28.2.20	ADACSR : A/D 変換動作モード選択レジスタ .....	816
28.2.21	ADGSPCR : A/D グループスキャン優先コントロールレジスタ .....	817
28.2.22	ADCMPPCR : A/D コンペア機能コントロールレジスタ .....	818
28.2.23	ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 .....	819
28.2.24	ADCMPANSR1 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 .....	820
28.2.25	ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ .....	820
28.2.26	ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 .....	821
28.2.27	ADCMPLR1 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 .....	822
28.2.28	ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ .....	823
28.2.29	ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ (n = 0, 1) .....	824
28.2.30	ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ (n = L, U) .....	825
28.2.31	ADCMPSR0 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 .....	826
28.2.32	ADCMPSR1 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 .....	827
28.2.33	ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ .....	828
28.2.34	ADCMPBNSR : A/D コンペア機能ウィンドウ B チャネル選択レジスタ .....	829
28.2.35	ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ .....	830
28.2.36	ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ .....	831
28.2.37	ADHVREFCNT : A/D 高電位／低電位基準電圧コントロールレジスタ .....	832
28.3	動作 .....	833
28.3.1	スキャンの動作説明 .....	833
28.3.2	シングルスキャンモード .....	833
28.3.3	連続スキャンモード .....	838
28.3.4	グループスキャンモード .....	840
28.3.5	コンペア機能 (ウィンドウ A、ウィンドウ B) .....	848
28.3.6	アナログ入力のサンプリング時間とスキャン変換時間 .....	851
28.3.7	A/D データレジスタの自動クリア機能の使用例 .....	854
28.3.8	A/D 変換値加算／平均モード .....	855
28.3.9	断線検出アシスト機能 .....	855
28.3.10	非同期トリガによる A/D 変換の開始 .....	857
28.3.11	周辺モジュールからの同期トリガによる A/D 変換の開始 .....	857
28.4	割り込み要因および DTC 転送要求 .....	857
28.4.1	割り込み要求 .....	857
28.5	イベントリンク機能 .....	859
28.5.1	ELC へのイベント出力動作 .....	859
28.5.2	ELC からのイベントによる ADC12 の動作 .....	859
28.6	基準電圧の選択 .....	859
28.7	高電位基準電圧に内部基準電圧を選択する A/D 変換手順 .....	859
28.8	使用上の注意 .....	860
28.8.1	レジスタ設定時の制限 .....	860

28.8.2	データレジスタの読み出しに関する制約 .....	860
28.8.3	A/D 変換停止に関する制約 .....	860
28.8.4	A/D 変換強制停止と再開時の動作タイミング .....	862
28.8.5	スキャン終了割り込み処理の制約 .....	862
28.8.6	モジュールストップ機能の設定 .....	862
28.8.7	低消費電力状態への遷移に関する注意事項 .....	862
28.8.8	断線検出アシスト機能使用時の絶対精度誤差 .....	862
28.8.9	ADHSC ビット書き換え手順 .....	862
28.8.10	動作モードおよびステータスビットの制約 .....	863
28.8.11	ボード設計に関する注意事項 .....	863
28.8.12	ノイズ防止の制限事項 .....	863
28.8.13	ADC12 入力使用時のポート設定 .....	864
28.8.14	ソフトウェアスタンバイモード解除時の注意 .....	864
<b>29.</b>	<b>温度センサ回路 (TSN).....</b>	<b>865</b>
29.1	概要 .....	865
29.2	レジスタの説明 .....	865
29.2.1	TSCDR : 温度センサ校正データレジスタ .....	865
29.3	温度センサ回路の使用法 .....	866
29.3.1	使用前の準備 .....	866
29.3.2	温度センサ回路の使用手順 .....	867
<b>30.</b>	<b>データ演算回路 (DOC).....</b>	<b>868</b>
30.1	概要 .....	868
30.2	レジスタの説明 .....	868
30.2.1	DOCR : DOC コントロールレジスタ .....	868
30.2.2	DODIR : DOC データ入力レジスタ .....	869
30.2.3	DODSR : DOC データ設定レジスタ .....	870
30.3	動作説明 .....	870
30.3.1	データ比較モード .....	870
30.3.2	データ加算モード .....	870
30.3.3	データ減算モード .....	871
30.4	割り込み要因 .....	872
30.5	イベントリンクコントローラ (ELC) へのイベント信号出力 .....	872
30.6	使用上の注意事項 .....	872
30.6.1	モジュールストップ機能の設定 .....	872
<b>31.</b>	<b>SRAM.....</b>	<b>873</b>
31.1	概要 .....	873
31.2	レジスタの説明 .....	873
31.2.1	PARIOAD : SRAM パリティエラー検出後動作レジスタ .....	873
31.2.2	SRAMPCR : SRAM プロテクトレジスタ .....	874

31.2.3	トレースコントロール (MTB 用)	874
31.2.4	CoreSight (MTB 用)	874
31.3	動作説明	875
31.3.1	パリティ計算機能	875
31.3.2	SRAM エラー要因	877
31.3.3	アクセスサイクル	877
31.3.4	低消費電力機能	878
31.4	使用上の注意事項	878
31.4.1	SRAM 領域からの命令フェッチ	878
31.4.2	SRAM ストアバッファ	878
<b>32.</b>	<b>フラッシュメモリ</b>	<b>879</b>
32.1	概要	879
32.2	メモリ構造	880
32.3	レジスタの説明	881
32.3.1	DFLCTL: データフラッシュコントロールレジスタ	881
32.3.2	PFBER: プリフェッチバッファイネーブルレジスタ	882
32.3.3	FENTRYR: フラッシュ P/E モードエントリレジスタ	882
32.3.4	FPR: プロテクションアンロックレジスタ	883
32.3.5	FPSR: プロテクションアンロックステータスレジスタ	883
32.3.6	FPMCR: フラッシュ P/E モードコントロールレジスタ	884
32.3.7	FISR: フラッシュ初期設定レジスタ	885
32.3.8	FRESETR: フラッシュリセットレジスタ	886
32.3.9	FASR: フラッシュ領域選択レジスタ	886
32.3.10	FCR: フラッシュコントロールレジスタ	887
32.3.11	FEXCR: フラッシュエクストラ領域コントロールレジスタ	888
32.3.12	FSARH: フラッシュ処理開始アドレスレジスタ H	891
32.3.13	FSARL: フラッシュ処理開始アドレスレジスタ L	891
32.3.14	FEARH: フラッシュ処理終了アドレスレジスタ H	891
32.3.15	FEARL: フラッシュ処理終了アドレスレジスタ L	892
32.3.16	FWBL0: フラッシュライトバッファレジスタ L0	892
32.3.17	FWBH0: フラッシュライトバッファレジスタ H0	892
32.3.18	FRBL0: フラッシュリードバッファレジスタ L0	893
32.3.19	FRBH0: フラッシュリードバッファレジスタ H0	893
32.3.20	FSTATR1: フラッシュステータスレジスタ 1	893
32.3.21	FSTATR2: フラッシュステータスレジスタ 2	894
32.3.22	FEAMH: フラッシュエラーアドレスモニタレジスタ H	895
32.3.23	FEAML: フラッシュエラーアドレスモニタレジスタ L	896
32.3.24	FSCMR: フラッシュスタートアップ設定モニタレジスタ	896
32.3.25	FAWSMR: フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	896
32.3.26	FAWEMR: フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	897

32.3.27	UIDRn : ユニーク ID レジスタ n (n = 0~3)	897
32.3.28	PNRn : 型名レジスタ n (n = 0~3)	897
32.3.29	MCUVER : MCU バージョンレジスタ	898
32.4	フラッシュメモリからの命令プリフェッチ	898
32.5	フラッシュメモリ関連の動作モード	898
32.5.1	ID コードプロテクト	899
32.6	機能概要	900
32.6.1	コンフィグレーション設定領域ビットマップ	902
32.6.2	スタートアップ領域選択	902
32.6.3	アクセスウィンドウによるプロテクション	903
32.7	プログラムコマンド	904
32.8	サスペンド動作	904
32.9	プロテクション機能	904
32.9.1	スタートアッププログラムプロテクション	904
32.9.2	領域プロテクション	905
32.10	シリアルプログラミングモード	906
32.10.1	SCI ブートモード	906
32.11	シリアルプログラマを使用する場合	907
32.11.1	シリアルプログラミング	907
32.12	セルフプログラミング	907
32.12.1	概要	907
32.12.2	バックグラウンドオペレーション	908
32.13	プログラムとイレース	908
32.13.1	シーケンサモード	908
32.13.2	ソフトウェアコマンド	909
32.13.3	ソフトウェアコマンドの使用方法	910
32.14	フラッシュメモリの読み出し	926
32.14.1	コードフラッシュメモリの読み出し	926
32.14.2	データフラッシュメモリの読み出し	926
32.15	使用上の注意事項	926
32.15.1	イレースを中断した領域	926
32.15.2	追加の書き込みに関する制限	926
32.15.3	プログラム/イレース中のリセット	927
32.15.4	プログラム/イレース中に禁止されるノンマスカブル割り込み	927
32.15.5	プログラム/イレース中における割り込みベクタの配置	927
32.15.6	Subosc-Speed 動作モードでのプログラム/イレース	927
32.15.7	プログラム/イレース中の異常終了	927
32.15.8	プログラム/イレース中に禁止されているアクション	927
32.15.9	プログラム/イレース中の Flash-IF クロック (ICLK)	927

<b>33. AES エンジン</b>	<b>928</b>
---------------------	------------

33.1	概要 .....	928
33.2	モジュール構成 .....	928
<b>34.</b>	<b>真性乱数生成器 (TRNG).....</b>	<b>929</b>
34.1	概要 .....	929
<b>35.</b>	<b>内部電圧レギュレータ .....</b>	<b>930</b>
35.1	概要 .....	930
35.2	動作説明 .....	930
<b>36.</b>	<b>電气的特性.....</b>	<b>931</b>
36.1	絶対最大定格 .....	931
36.2	DC 特性 .....	932
36.2.1	T <sub>J</sub> /T <sub>a</sub> の定義 .....	932
36.2.2	I/O V <sub>IH</sub> , V <sub>IL</sub> .....	933
36.2.3	I/O I <sub>OH</sub> , I <sub>OL</sub> .....	933
36.2.4	I/O V <sub>OH</sub> , V <sub>OL</sub> , その他の特性 .....	934
36.2.5	動作電流とスタンバイ電流 .....	936
36.2.6	VCC 立ち上がり/立ち下がり勾配とリップル周波数 .....	938
36.2.7	熱特性 .....	939
36.3	AC 特性 .....	940
36.3.1	周波数 .....	940
36.3.2	クロックタイミング .....	941
36.3.3	リセットタイミング .....	942
36.3.4	ウェイクアップ時間 .....	943
36.3.5	NMI/IRQ ノイズフィルタ .....	946
36.3.6	I/O ポート、POEG、GPT、AGTW、KINT、ADC12 トリガタイミング .....	947
36.3.7	CAC タイミング .....	949
36.3.8	SCI タイミング .....	950
36.3.9	SPI タイミング .....	957
36.3.10	I3C タイミング .....	963
36.3.11	CLKOUT タイミング .....	974
36.4	ADC12 特性 .....	975
36.5	TSN 特性 .....	983
36.6	POR/LVD 特性 .....	983
36.7	フラッシュメモリ特性 .....	988
36.7.1	コードフラッシュメモリ特性 .....	988
36.7.2	データフラッシュメモリ特性 .....	990
36.8	シリアルワイヤデバッグ (SWD) .....	992
<b>付録 1.</b>	<b>各プロセスモードのポート状態 .....</b>	<b>994</b>
<b>付録 2.</b>	<b>外形寸法図 .....</b>	<b>996</b>



<b>付録 3. I/O レジスタ .....</b>	<b>1000</b>
3.1 周辺機能のベースアドレス .....	1000
3.2 アクセスサイクル.....	1001
3.3 レジスタの説明 .....	1002
<b>改訂履歴 .....</b>	<b>1013</b>

## Renesas RA2E2 グループ ユーザーズマニュアル

超低消費電力 48 MHz Arm® Cortex®-M23 コア、最大 64 KB のコードフラッシュメモリ、8 KB SRAM、12 ビット A/D コンバータ、セキュリティ & セーフティ機能。

### 特長

#### ■ Arm Cortex-M23 コア

- Armv8-M アーキテクチャ
- 最高動作周波数：48 MHz
- Arm メモリプロテクションユニット (Arm MPU) (8 領域)
- デバッグ & トレース：DWT、FPB、CoreSight™ MTB-M23
- CoreSight デバッグポート：SW-DP

#### ■ メモリ

- 最大 64 KB のコードフラッシュメモリ
- 2 KB データフラッシュメモリ (100,000 回のプログラム/イレース (P/E) サイクル)
- 8 KB の SRAM
- メモリプロテクションユニット
- 128 ビットのユニーク ID

#### ■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 1
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - 簡易 IIC
  - 簡易 SPI
  - スマートカードインタフェース
- シリアルペリフェラルインタフェース (SPI) × 1
- I3C バスインタフェース (I3C) × 1

#### ■ アナログ

- 12 ビット A/D コンバータ (ADC12)
- 温度センサ (TSN)

#### ■ タイマ

- 16 ビット汎用 PWM タイマ (GPT16) × 6
- 低消費電力非同期汎用タイマ (AGTW) × 2
- ウォッチドッグタイマ (WDT)

#### ■ セーフティ

- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- GPT 用のポートアウトプットイネーブル (POEG)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- 不正メモリアクセス検出

#### ■ セキュリティおよび暗号化

- AES128/256
- 真性乱数生成器 (TRNG)

#### ■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出 (LVD) (電圧設定)

#### ■ マルチクロックソース

- 高速オンチップオシレータ (HOCO) (24/32/48/64 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

#### ■ 最大 20 本の汎用入出力ポート内蔵

- 5 V トレランス、オープンドレイン、入力プルアップ

#### ■ 動作電圧

- VCC : 1.6~5.5 V

#### ■ 動作温度およびパッケージ

- Ta = -40°C~+85°C
  - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
  - 20 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
  - 16 ピン WLCSP (1.84 mm × 1.87 mm, 0.4 mm ピッチ)
- Ta = -40°C~+105°C
  - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
  - 20 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
  - 16 ピン WLCSP (1.84 mm × 1.87 mm, 0.4 mm ピッチ)
- Ta = -40°C~+125°C
  - 24 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
  - 20 ピン HWQFN (4 mm × 4 mm, 0.5 mm ピッチ)
  - 16 ピン WLCSP (1.84 mm × 1.87 mm, 0.4 mm ピッチ)

## 1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアを統合しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性が高まります。

本 MCU は高効率な Arm Cortex®-M23 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 最大 64 KB のコードフラッシュメモリ
- 8 KB SRAM
- 12 ビット A/D コンバータ (ADC12)
- セキュリティ機能

### 1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M23 コア	<ul style="list-style-type: none"> <li>● 最高動作周波数: 48 MHz</li> <li>● Arm Cortex-M23 コア : <ul style="list-style-type: none"> <li>– リビジョン : r1p0-00rel0</li> <li>– Armv8-M アーキテクチャプロファイル</li> <li>– シングルサイクル整数乗算器</li> <li>– 19 サイクル整数除算器</li> </ul> </li> <li>● Arm メモリプロテクションユニット (Arm MPU) : <ul style="list-style-type: none"> <li>– Armv8 保護メモリシステムアーキテクチャ</li> <li>– 8 つのメモリ保護領域</li> </ul> </li> <li>● SysTick タイマ : <ul style="list-style-type: none"> <li>– SYSTICCLK (LOCO) または ICLK による駆動</li> </ul> </li> </ul>

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 64 KB のコードフラッシュメモリ 「 <a href="#">32. フラッシュメモリ</a> 」を参照してください。
データフラッシュメモリ	2 KB のデータフラッシュメモリ 「 <a href="#">32. フラッシュメモリ</a> 」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「 <a href="#">6. オプション設定メモリ</a> 」を参照してください。
SRAM	パリティビットを備えた高速 SRAM を内蔵しています。 「 <a href="#">31. SRAM</a> 」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード : <ul style="list-style-type: none"> <li>● シングルチップモード</li> <li>● SCI ブートモード</li> </ul> 「 <a href="#">3. 起動モード</a> 」を参照してください。
リセット	本 MCU は、12 種類のリセット (RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、バスマスタ/スレーブ MPU エラーリセット、CPU スタックポインタエラーリセット、ソフトウェアリセット) をサポートしています。 「 <a href="#">5. リセット</a> 」を参照してください。
低電圧検出 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路 (LVD0、LVD1、LVD2) で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。 「 <a href="#">7. 低電圧検出回路 (LVD)</a> 」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
クロック	<ul style="list-style-type: none"> <li>● 高速オンチップオシレータ (HOCO)</li> <li>● 中速オンチップオシレータ (MOCO)</li> <li>● 低速オンチップオシレータ (LOCO)</li> <li>● IWDT 専用オンチップオシレータ</li> <li>● クロックアウトのサポート</li> </ul> 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内でない時、割り込み要求を発生します。 「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。 「12. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。 「18. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「10. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。 「11. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	本 MCU は、4 つのメモリプロテクションユニットと、CPU スタックポインタモニタ機能を備えています。 「14. メモリプロテクションユニット (MPU)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスクابل割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。 「22. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み/ノンマスクابل割り込みを発生させることが可能です。 「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介せずにモジュール間の直接リンクを実現します。 「16. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「15. データトランスファコントローラ (DTC)」を参照してください。

表 1.6 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT16 × 6 チャネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーター制御用の PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。 「20. 汎用 PWM タイマ (GPT)」を参照してください。

表 1.6 タイマ (2/2)

機能	機能の説明
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。 「19. GPT 用のポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGTW)	低消費電力非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。 「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。

表 1.7 通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 1 チャンネルには調歩同期式および同期式のシリアルインタフェースがあります。 <ul style="list-style-type: none"> <li>調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))</li> <li>8 ビットクロック同期式インタフェース</li> <li>簡易 IIC (マスタのみ)</li> <li>簡易 SPI</li> <li>スマートカードインタフェース</li> </ul> スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。内蔵のポーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 「24. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には、1 チャンネルあります。I3C モジュールは、NXP 社の I <sup>2</sup> C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。 「25. I3C バスインタフェース (I3C)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には 1 つのチャンネルがあります。SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 「26. シリアルペリフェラルインタフェース (SPI)」を参照してください。

表 1.8 アナログ

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 8 チャンネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。 「28. 12 ビット A/D コンバータ (ADC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。 「29. 温度センサ回路 (TSN)」を参照してください。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。 「27. 巡回冗長検査 (CRC)」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。 「30. データ演算回路 (DOC)」を参照してください。

表 1.10 セキュリティ (1/2)

機能	機能の説明
AES	「33. AES エンジン」を参照してください。

表 1.10 セキュリティ (2/2)

機能	機能の説明
真性乱数生成器 (TRNG)	「34. 真性乱数生成器 (TRNG)」を参照してください。

表 1.11 I/O ポート

機能	機能説明
I/O ポート	<ul style="list-style-type: none"><li>● 24 ピン HWQFN 用 I/O ポート<ul style="list-style-type: none"><li>- 入出力端子 : 19</li><li>- 入力端子 : 1</li><li>- プルアップ抵抗 : 19</li><li>- N チャネルオープンドレイン出力 : 15</li><li>- 5 V トレランス : 2</li></ul></li><li>● 20 ピン HWQFN 用 I/O ポート<ul style="list-style-type: none"><li>- 入出力端子 : 15</li><li>- 入力端子 : 1</li><li>- プルアップ抵抗 : 15</li><li>- N チャネルオープンドレイン出力 : 12</li><li>- 5 V トレランス : 2</li></ul></li></ul>

## 1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

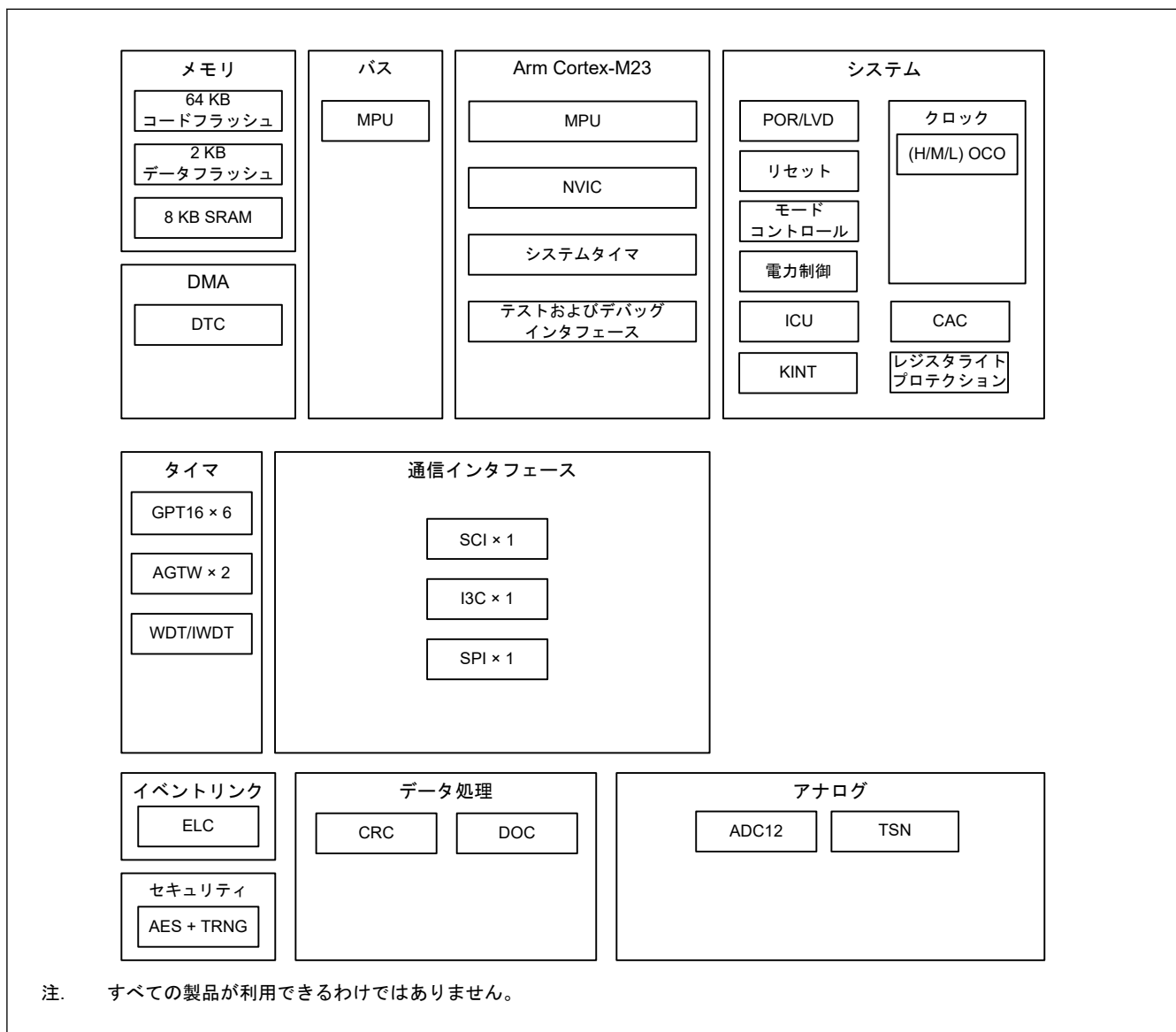


図 1.1 ブロック図

## 1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に、製品一覧表を示します。

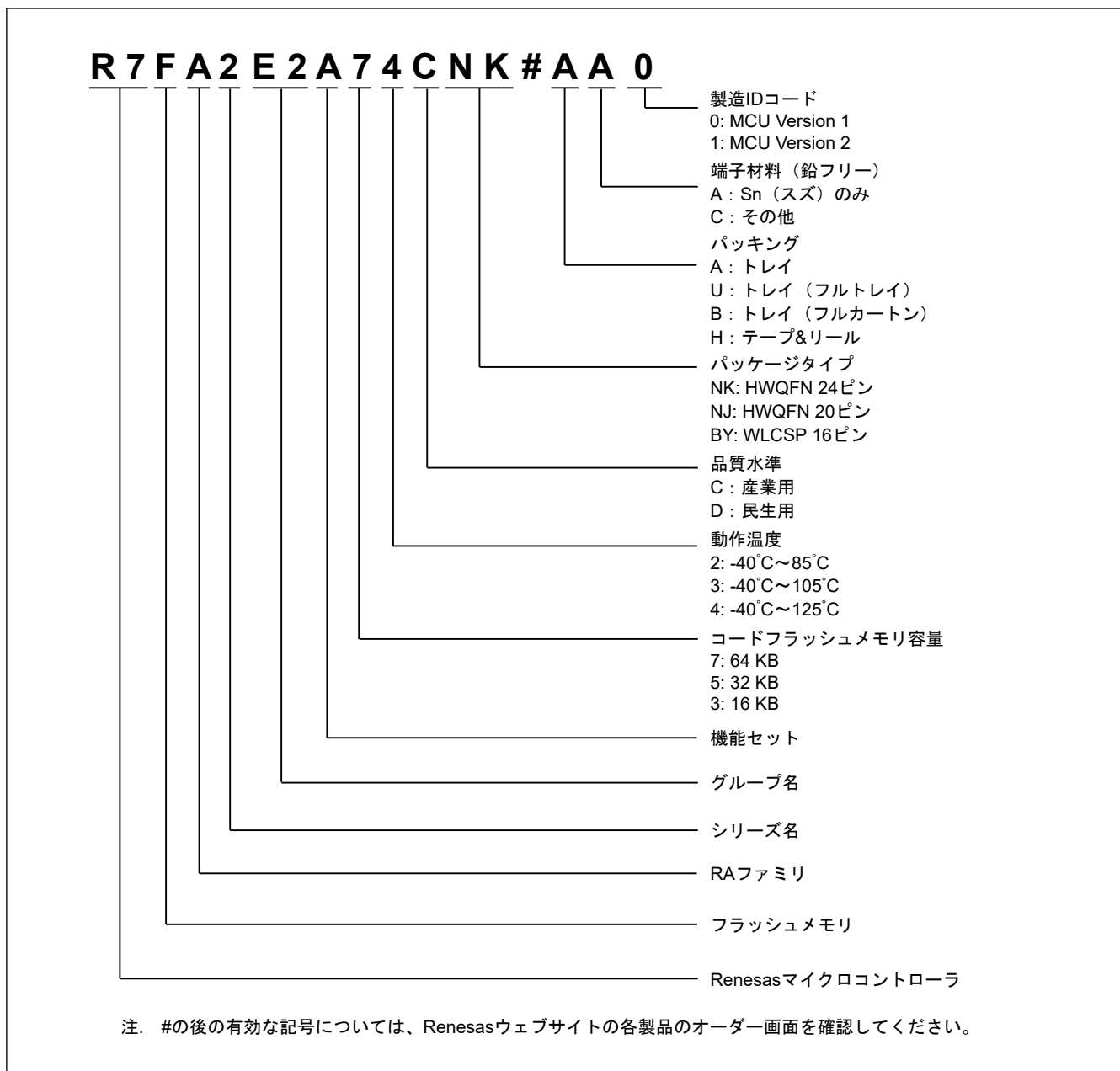


図 1.2 型名の読み方

表 1.12 製品一覧 (1/2)

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2E2A74CNK	PWQN0024KG-A	64	2	8	-40~+125°C
R7FA2E2A74CNJ	PWQN0020KC-A				
R7FA2E2A73CNK	PWQN0024KG-A	64	2	8	-40~+105°C
R7FA2E2A73CNJ	PWQN0020KC-A				
R7FA2E2A72DNK	PWQN0024KG-A	64	2	8	-40~+85°C
R7FA2E2A72DNJ	PWQN0020KC-A				



表 1.12 製品一覧 (2/2)

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA2E2A54CNK	PWQN0024KG-A	32	2	8	-40~+125°C
R7FA2E2A54CNJ	PWQN0020KC-A				-40~+105°C
R7FA2E2A53CNK	PWQN0024KG-A				-40~+85°C
R7FA2E2A53CNJ	PWQN0020KC-A				
R7FA2E2A52DNK	PWQN0024KG-A				
R7FA2E2A52DNJ	PWQN0020KC-A				
R7FA2E2A34CNK	PWQN0024KG-A	16	2	8	-40~+125°C
R7FA2E2A34CNJ	PWQN0020KC-A				-40~+105°C
R7FA2E2A33CNK	PWQN0024KG-A				-40~+85°C
R7FA2E2A33CNJ	PWQN0020KC-A				
R7FA2E2A32DNK	PWQN0024KG-A				
R7FA2E2A32DNJ	PWQN0020KC-A				
R7FA2E2A74CBY	SUBG0016LB-A	64	2	8	-40~+125°C
R7FA2E2A73CBY	SUBG0016LB-A				-40~+105°C
R7FA2E2A72DBY	SUBG0016LB-A				-40~+85°C
R7FA2E2A54CBY	SUBG0016LB-A	32	2	8	-40~+125°C
R7FA2E2A53CBY	SUBG0016LB-A				-40~+105°C
R7FA2E2A52DBY	SUBG0016LB-A				-40~+85°C
R7FA2E2A34CBY	SUBG0016LB-A	16	2	8	-40~+125°C
R7FA2E2A33CBY	SUBG0016LB-A				-40~+105°C
R7FA2E2A32DBY	SUBG0016LB-A				-40~+85°C

## 1.4 機能の比較

表 1.13 機能の比較

型名		R7FA2E2A7xxNK	R7FA2E2A5xxNK	R7FA2E2A3xxNK	R7FA2E2A7xxNJ	R7FA2E2A5xxNJ	R7FA2E2A3xxNJ	R7FA2E2A7xxBY	R7FA2E2A5xxBY	R7FA2E2A3xxBY
端子総数		24			20			16		
パッケージ		HWQFN			HWQFN			WLCSP		
コードフラッシュメモリ		64 KB	32 KB	16 KB	64 KB	32 KB	16 KB	64 KB	32 KB	16 KB
データフラッシュメモリ		2 KB			2 KB			2 KB		
SRAM (パリティ)		8 KB			8 KB			8 KB		
システム	CPU クロック	48 MHz			48 MHz			48 MHz		
	ICU	あり			あり			あり		
	KINT	4			4			4		
イベントコントロール	ELC	あり			あり			あり		
DMA	DTC	あり			あり			あり		
タイマ	GPT16	6 (PWM 出力 : 12)			6 (PWM 出力 : 11)			6 (PWM 出力 : 10)		
	AGTW	2			2			2		
	WDT/IWDT	あり			あり			あり		
通信	SCI	1			1			1		
	I3C	1			1			1		
	SPI	1			1			1		
アナログ	ADC12	8			7			4		
	TSN	あり			あり			あり		
データ処理	CRC	あり			あり			あり		
	DOC	あり			あり			あり		
セキュリティ		AES & TRNG			AES & TRNG			AES & TRNG		
I/O ポート	入出力端子	19			15			11		
	入力端子	1			1			1		
	プルアップ抵抗	19			15			11		
	N チャネルオープンドレイン出力	15			12			11		
	5V トレランス	2			2			2		

## 1.5 端子機能

表 1.14 端子機能 (1/2)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 $\mu$ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0~IRQ7	入力	マスカブル割り込み要求端子
GPT	GTETRGA, GTETRGB	入力	外部トリガ入力端子
	GTIOcNA (n = 4~9), GTIOcNB (n = 4~9)	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)
AGTW	AGTEE0, AGTEE1	入力	外部イベント入力カインェーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0, AGTO1	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	出力コンペアマッチ A 出力端子
	AGTOB0, AGTOB1	出力	出力コンペアマッチ B 出力端子
SCI	SCKn (n = 9)	入出力	クロック用の入出力端子 (クロック同期式モード)
	RXDn (n = 9)	入力	受信データ用の入力端子 (調歩同期式モード/クロック同期式モード)
	TXDn (n = 9)	出力	送信データ用の出力端子 (調歩同期式モード/クロック同期式モード)
	CTS <sub>n</sub> _RTS <sub>n</sub> (n = 9)	入出力	送受信の開始制御用の入出力端子 (調歩同期式モード/クロック同期式モード)、アクティブ Low
	SCLn (n = 9)	入出力	IIC クロック用の入出力端子 (簡易 IIC モード)
	SDAn (n = 9)	入出力	IIC データ用の入出力端子 (簡易 IIC モード)
	SCKn (n = 9)	入出力	クロック用の入出力端子 (簡易 SPI モード)
	MISO <sub>n</sub> (n = 9)	入出力	データのスレーブ送信用の入出力端子 (簡易 SPI モード)
	MOS <sub>n</sub> (n = 9)	入出力	データのマスタ送信用の入出力端子 (簡易 SPI モード)
	SS <sub>n</sub> (n = 9)	入力	チップセレクト入力端子 (簡易 SPI モード)、アクティブ Low

表 1.14 端子機能 (2/2)

機能	端子名	入出力	説明
I3C	SCLn (n = 0 )	I/O	クロック入出力端子
	SDAn (n = 0)	I/O	データ用の入出力端子
SPI	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択用の入出力端子
	MOSIA	入出力	マスタからの出力データ用の入出力端子
	MISOA	入出力	スレーブからの出力データ用の入出力端子
アナログ電源	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は VCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は VSS0 に接続してください。
ADC12	AN005, AN006, AN009, AN010, AN019~AN022	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
KINT	KR00~KR03	入力	キー割り込み入力端子
I/O ポート	P010, P011, P014, P015	入出力	汎用入出力端子
	P100~P103, P108~P112	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201, P205	入出力	汎用入出力端子
	P300	入出力	汎用入出力端子
	P400, P401	入出力	汎用入出力端子
	P914	入出力	汎用入出力端子

### 1.6 ピン配置図

図 1.3～図 1.5 にピン配置図（上面図）を示します。

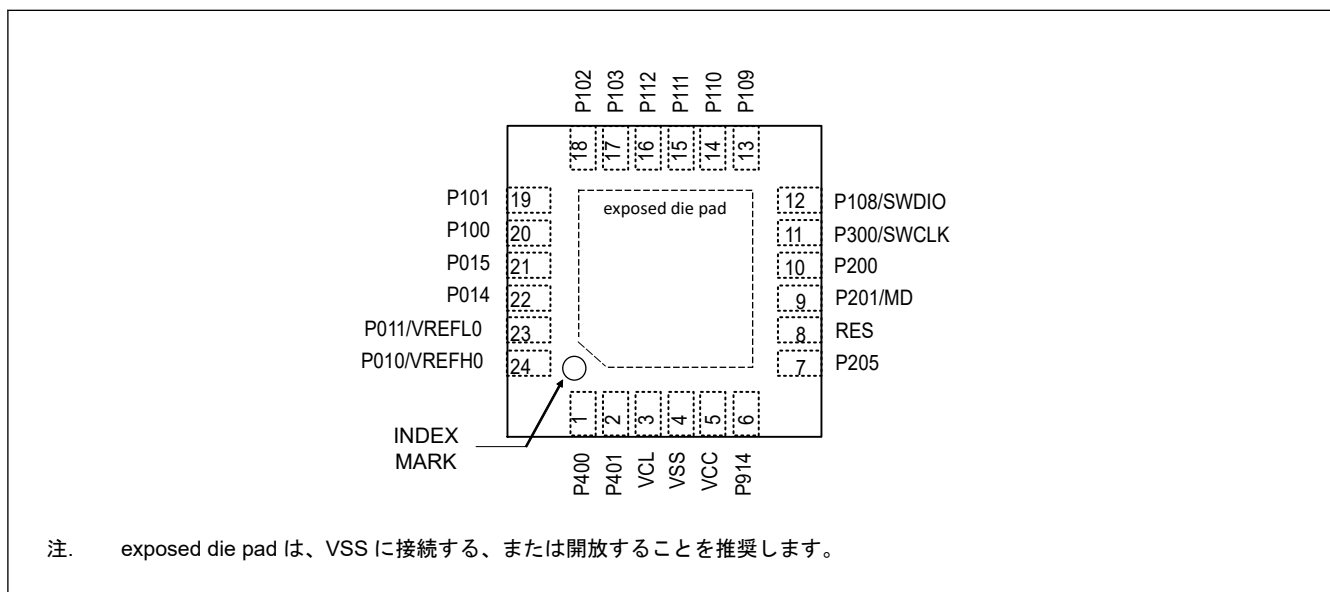


図 1.3 24 ピン HWQFN のピン配置図（上面図）

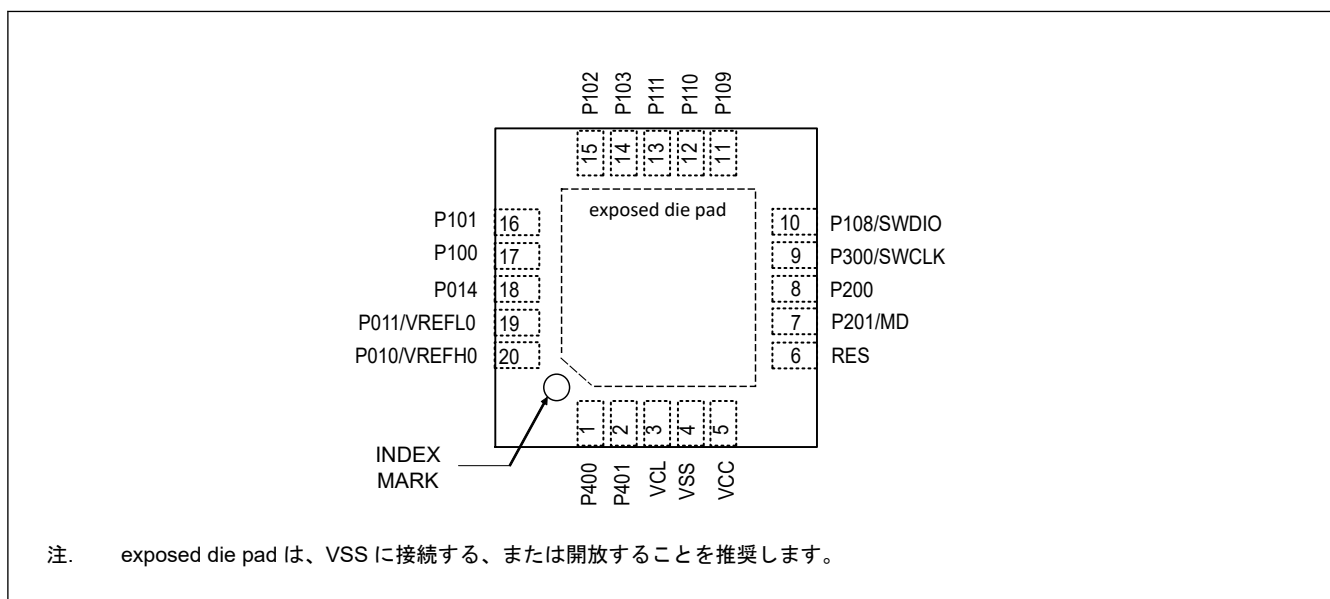


図 1.4 20 ピン HWQFN のピン配置図（上面図）

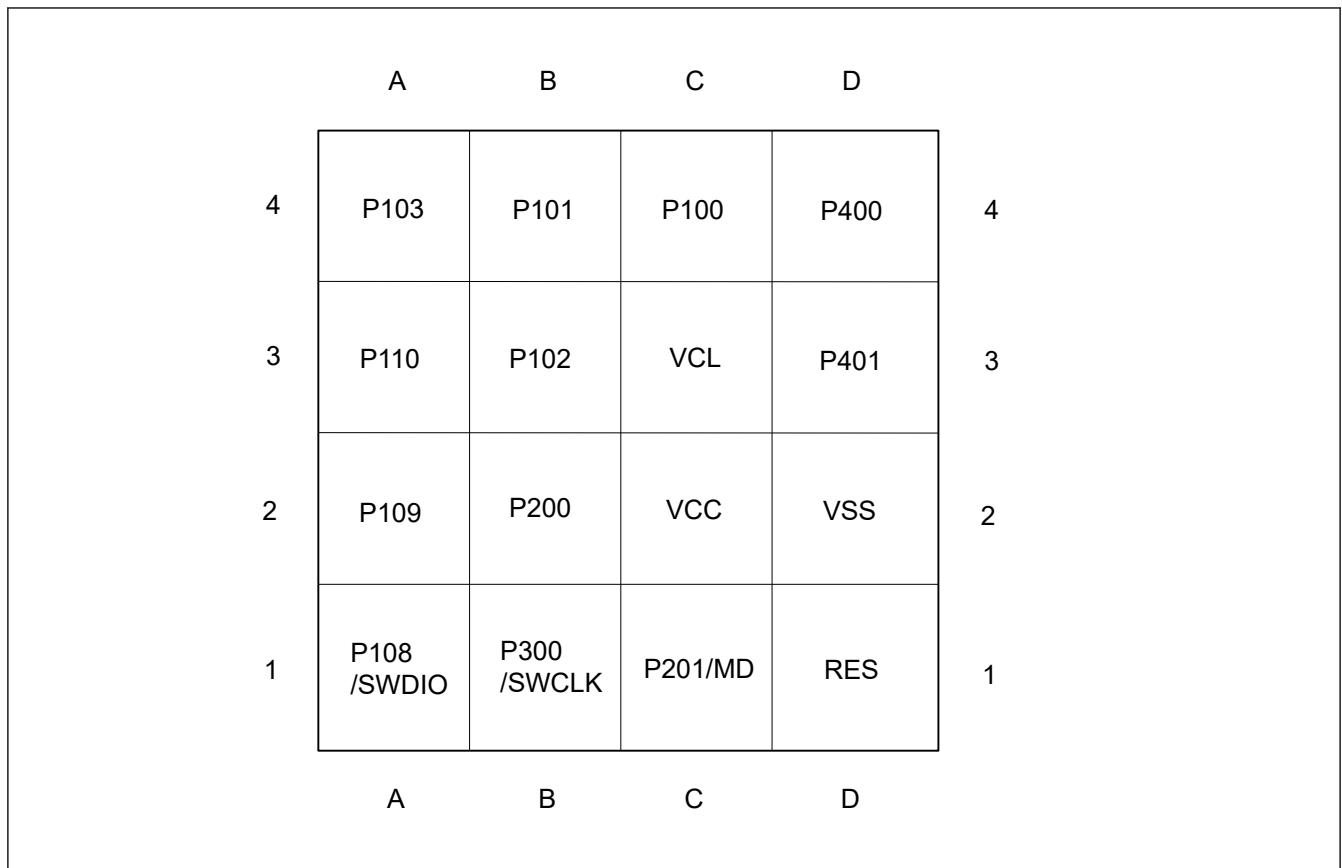


図 1.5 16 ピン WLCSP のピン配置図 (上面図、パッド側が下面)

1.7 端子一覧

表 1.15 端子一覧

ピン番号			電源、システム、クロック、デバッグ、CAC	I/Oポート	タイマ			通信インターフェース				アナログ	HMI
HWQFN 24ピン	HWQFN 20ピン	WLCSFP 16ピン			AGTW	GPT_OPS, POEG	GPT	SCI9	SCI9	I3C	SPI	ADC	割り込み
1	1	D4	CACREF_C	P400	AGTIO1_C	—	GTIOC9A_A	SCK9_D	TXD9_F/ MOSI9_F/ SDA9_F	SCL0_A	—	—	IRQ0_A/ KRM02_A
2	2	D3	—	P401	AGTEE1_A	GTETRGA_B	GTIOC9B_A	CTS9_RTS9_F/ SS9_F	RXD9_F/ MISO9_F/ SCL9_F	SDA0_A	—	—	IRQ5/KRM03_A
3	3	C3	—	VCL	—	—	—	—	—	—	—	—	—
4	4	D2	VSS	—	—	—	—	—	—	—	—	—	—
5	5	C2	VCC	—	—	—	—	—	—	—	—	—	—
6	—	—	—	P914	AGTOA1_A	GTETRGA_B	—	RXD9_J/ MISO9_J/ SCL9_J	SCK9_H	—	—	—	IRQ2_C/ KRM00_A
7	—	—	CLKOUT_A	P205	AGTO1	—	—	TXD9_I/ MOSI9_I/ SDA9_I	CTS9_RTS9_A/ SS9_A	—	—	—	IRQ1/KRM01_A
8	6	D1	RES#	—	—	—	—	—	—	—	—	—	—
9	7	C1	MD	P201	—	—	—	—	—	—	—	—	—
10	8	B2	—	P200	—	—	—	—	—	—	—	—	NMI
11	9	B1	SWCLK	P300	AGTOB1_A	GTOUUP_C	GTIOC7A_C	RXD9_H/ MISO9_H/ SCL9_H	SCK9_G	—	RSPCKA_C	—	IRQ0_C
12	10	A1	SWDIO	P108	AGTOA1_B	GTOULO_C	GTIOC7B_C	TXD9_H/ MOSI9_H/ SDA9_H	CTS9_RTS9_B/ SS9_B	—	MOSIA_C	—	IRQ5_C
13	11	A2	CLKOUT_B	P109	AGTO1_A	GTOVUP_A	GTIOC4A_A	SCK9_F	TXD9_B/ MOSI9_B/ SDA9_B	—	MISOA_C	—	IRQ7_C/ KRM01_B
14	12	A3	—	P110	AGTOA0_A	GTOVLO_A	GTIOC4B_A	CTS9_RTS9_H/ SS9_H	RXD9_B/ MOSI9_B/ SCL9_B	—	SSLA0_C	—	IRQ3_A/ KRM00_B
15	13	—	—	P111	AGTOA0	—	GTIOC6A_A	RXD9_G/ MISO9_G/ SCL9_G	SCK9_B	—	—	—	IRQ4_A/ KRM03_B
16	—	—	—	P112	AGTOB0	—	GTIOC6B_A	TXD9_J/ MOSI9_J/ SDA9_J	CTS9_RTS9_I/ SS9_I	—	—	—	IRQ1_C/ KRM02_B
17	14	A4	—	P103	AGTOB0_B	GTOUUP_A	GTIOC5A_A	CTS9_RTS9_E/ SS9_E	RXD9_I/ MOSI9_I/ SCL9_I	—	SSLA0_A	AN019	IRQ6_C/KRM03
18	15	B3	—	P102	AGTO0	GTOVLO_A	GTIOC5B_A	SCK9_C	TXD9_G/ MOSI9_G/ SDA9_G	—	RSPCKA_A	AN020/ ADTRG0_A	IRQ4_C/KRM02
19	16	B4	—	P101	AGTEE0	GTETRGA_A	GTIOC8A_A	TXD9_E/ MOSI9_E/ SDA9_E	CTS9_RTS9_G/ SS9_G	—	MOSIA_A	AN021	IRQ1_A/KRM01
20	17	C4	—	P100	AGTIO0_A	GTETRGA_A	GTIOC8B_A	RXD9_E/ MISO9_E/ SCL9_E	SCK9_E	—	MISOA_A	AN022	IRQ2_A/KRM00
21	—	—	—	P015	—	—	—	—	—	—	—	AN010	IRQ7_A
22	18	—	—	P014	—	—	—	—	—	—	—	AN009	—
23	19	—	VREFL0	P011	—	—	—	—	—	—	—	AN006	—
24	20	—	VREFH0	P010	—	—	—	—	—	—	—	AN005	—

注. いくつかの端子名には、\_A、\_B、\_C、\_D、\_E、\_F、\_G、\_H、\_I、および\_Jという接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

## 2. CPU

本 MCU は、Arm<sup>®</sup> Cortex<sup>®</sup>-M23 CPU コアをベースにしています。

### 2.1 概要

#### 2.1.1 CPU

- Arm Cortex-M23
  - リビジョン : r1p0-00rel0
  - Armv8-M アーキテクチャプロファイル
  - メイン拡張機能は非実装
  - シングルサイクル整数乗算器
  - 19 サイクル整数除算器
- メモリプロテクションユニット (MPU)
  - Armv8 保護メモリシステムアーキテクチャ
  - 8 つのメモリ保護領域
- SysTick タイマ
  - SYSTICCLK (LOCO) または ICLK による駆動

詳細は、「[2.8. 参考資料](#)」の参考資料 1.および参考資料 2.を参照してください。

#### 2.1.2 デバッグ

- Arm<sup>®</sup>CoreSight<sup>™</sup>MTB-M23
  - リビジョン : r0p0-00rel0
  - バッファサイズ : 8-KB MTB SRAM のうち 1 KB
- データウォッチポイントユニット (DWT)
  - ウォッチポイント用の 2 つのコンパレータ
- フラッシュパッチおよびブレイクポイントユニット (FPB)
  - 4 つの命令コンパレータ
- CoreSight デバッグアクセスポート (DAP)
  - シリアルワイヤデバッグポート (SW-DP)
- デバッグレジスタモジュール (DBGREG)
  - リセットコントロール
  - ストップコントロール

詳細は、「[2.8. 参考資料](#)」の参考資料 1.および参考資料 2.を参照してください。

#### 2.1.3 動作周波数

MCU の動作周波数は以下のとおりです。

- CPU コア : 最高 48 MHz
- シリアルワイヤデバッグ (SWD) インタフェース : 最高 12.5 MHz

#### 2.1.4 ブロック図

[図 2.1](#) に Cortex-M23 CPU のブロック図を示します。



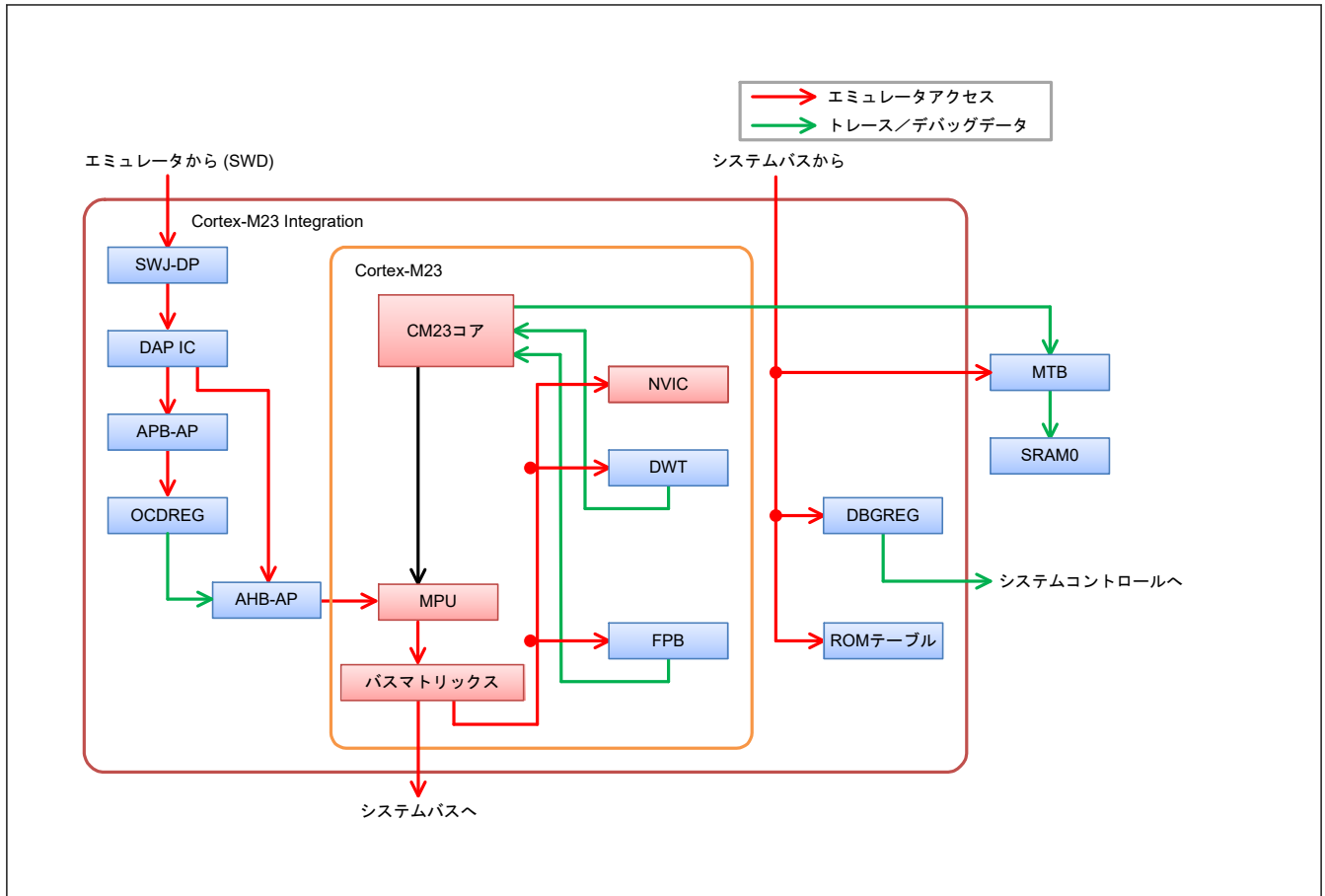


図 2.1 Cortex-M23 CPU のブロック図

## 2.2 実装オプション

表 2.1 に MCU の実装オプションを示します。

表 2.1 実装オプション (1/2)

オプション	実装
非セキュア MPU	あり (8つのメモリ保護領域)
セキュア MPU	なし
セキュリティ拡張機能	なし
シングルサイクル乗算器	あり
除算器	あり (19 サイクル)
割り込み本数	32
ウェイクアップ割り込みコントローラ (WIC) の数	なし
クロストリガインターフェース (CTI)	なし
マイクロトレースバッファ (MTB)	あり
エンベデッドトレースマクロセル (ETM)	なし
シリアルワイヤマルチドロップサポート	なし
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。詳細は、「10. 低消費電力モード」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。
エンディアン形式	リトルエンディアン

表 2.1 実装オプション (2/2)

オプション	実装
SysTick タイマ	あり
SYST_CALIB レジスタ (0x4000_0147)	ビット[31] = 0 基準クロックが提供されています ビット[30] = 1 TENMS 値が不正です ビット[29:24] = 0x00 予約 ビット[23:0] = 0x000147 TENMS: (32768 × 10 ms) - 1/32.768 kHz = 326.66 (10 進) = 327 (スケューを含む) = 0x000147
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットによって、CPU がリセットされます。
補助フォルト入力 (AUXFAULT)	実装なし

## 2.3 SWD インタフェース

表 2.2 に SWD 端子を示します。

表 2.2 SWD 端子

名称	入出力	機能	未使用時の端子処理
SWCLK	入力	シリアルワイヤクロック端子	プルアップ
SWDIO	入出力	シリアルワイヤデータ入出力端子	プルアップ

## 2.4 デバッグ機能

### 2.4.1 デバッグモードの定義

表 2.3 に、デバッグモードとその条件を示します。

表 2.3 デバッグモードとその条件

条件		モード	
エミュレータとの接続(注1)	SWD 認証	デバッグモード	デバッグ認証(注2)
未接続	—	ユーザーモード	禁止
接続	不合格	ユーザーモード	禁止
接続	合格	オンチップデバッグ (OCD) モード	許可

注 1. エミュレータとの接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビットの値で判別されます。このビットはエミュレータによってのみ書き込むことができます。なお、このビットの値は、DBGSTR.CDBGPWRUPREQ ビットの読み出しによって確認できます。

注 2. デバッグ認証は、Armv8-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、これらが両方とも許可されないことを意味します。

### 2.4.2 デバッグモードの影響

デバッグモードの影響を以下に示します。デバッグモードは CPU の内部および外部に影響を与えます。

#### 2.4.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモード、スヌーズモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、エミュレータは低消費電力モードが解除されるのを待つ必要があります。この場合、エミュレータは MCUCTRL レジスタの DBIRQ ビットを用いて、低消費電力モードの解除を要求できます。詳細は、「[2.5.6.3. MCUCTRL : MCU コントロールレジスタ](#)」を参照してください。

## 2.4.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPPCR レジスタの設定内容に従います。

表 2.4 リセット/割り込みおよびモード設定

リセット/割り込み名称	OCD モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット/割り込み	発生しない(注1)	DBGSTOPPCR レジスタの設定内容に従う
ウォッチドッグタイマリセット/割り込み	発生しない(注1)	DBGSTOPPCR レジスタの設定内容に従う
電圧監視 0 リセット	DBGSTOPPCR レジスタの設定内容に従う	
電圧監視 1 リセット/割り込み	DBGSTOPPCR レジスタの設定内容に従う	
電圧監視 2 リセット/割り込み	DBGSTOPPCR レジスタの設定内容に従う	
SRAM パリティエラーリセット/割り込み	DBGSTOPPCR レジスタの設定内容に従う	
バスマスタ MPU エラーリセット/割り込み	ユーザーモードと同じ	
バススレーブ MPU リセット/割り込み	ユーザーモードと同じ	
スタックポインタエラーリセット/割り込み	ユーザーモードと同じ	
ソフトウェアリセット	ユーザーモードと同じ	

注. 「OCD ブレークモード」は CPU が停止していることを意味し、「OCD RUN モード」は停止していないことを意味します。

注 1. OCD ブレークモードでは IWDG/WDT は常に停止しています。

## 2.5 プログラマモデル

### 2.5.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP : CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP : 専用のアドレス空間 (OCD アドレス空間) を持ち、OCDREG レジスタに接続します。

図 2.2 に AP 接続とアドレス空間のブロック図を示します。

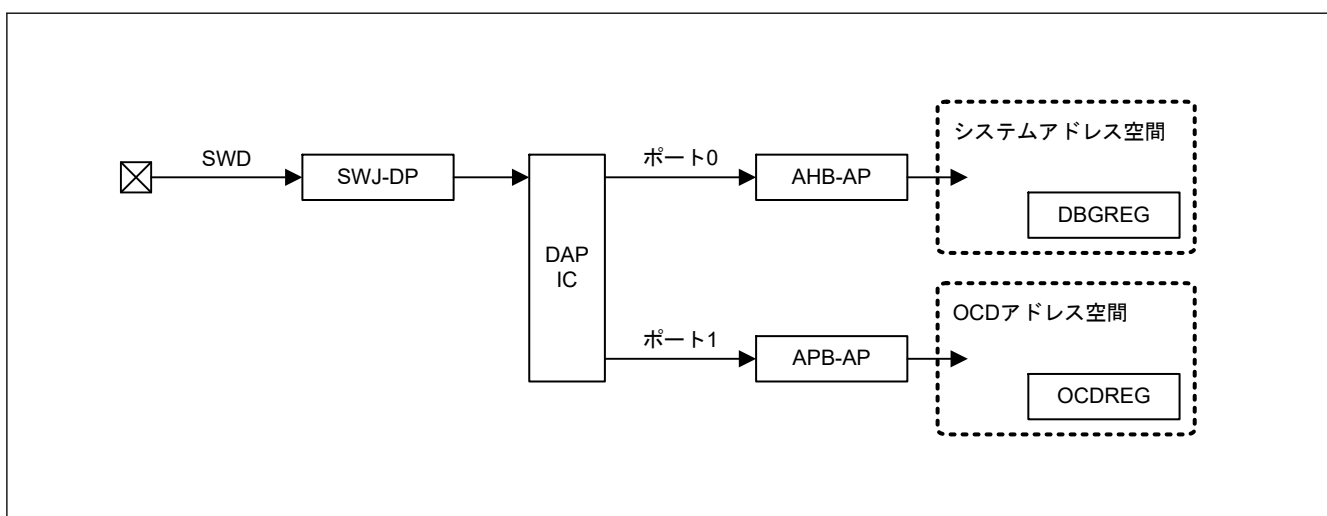


図 2.2 SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。

OCDREG は OCD アドレス空間に配置され、エミュレータからのみアクセスが可能です。CPU と他のバスマスタは OCDREG レジスタにアクセスできません。

## 2.5.2 Cortex-M23 ペリフェラルアドレスマップ

システムアドレス空間において、Cortex-M23 には専用周辺バスがあります。このバスは CPU およびエミュレータからのみアクセスが可能です。表 2.5 にペリフェラルアドレスマップを示します。

表 2.5 Cortex-M23 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
DWT	0xE000_1000	0xE000_1FFF	参考資料 2. を参照してください。
FPB	0xE000_2000	0xE000_2FFF	参考資料 2. を参照してください。
SCS	0xE000_E000	0xE000_EFFF	参考資料 2. を参照してください。

## 2.5.3 外部デバッグアドレスマップ

システムアドレス空間において、Cortex-M23 コアには外部デバッグコンポーネントがあります。これらのコンポーネントは、システムバスを介して CPU および他のバスマスタからアクセスできます。表 2.6 に、Cortex-M23 外部デバッグコンポーネントのアドレスマップを示します。

表 2.6 外部デバッグコンポーネントのアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
MTB (SRAM 領域)	0x2000_4000	0x2000_5FFF	MTB はトレースバッファとして最大 1 KB を使用しません。 「2.8. 参考資料」にある参考資料 6. を参照してください。
MTB (SFR 領域)	0x4001_9000	0x4001_9FFF	「2.8. 参考資料」にある参考資料 6. を参照してください。
ROM テーブル	0x4001_A000	0x4001_AFFF	「2.8. 参考資料」にある参考資料 6. を参照してください。

## 2.5.4 CoreSight ROM テーブル

本 MCU には、1 つの CoreSight ROM テーブルがあり、それはユーザー領域に実装されている全コンポーネントのリストです。

### 2.5.4.1 ROM エントリ

表 2.7 に ROM エントリを示します。OCD エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4. を参照してください。

表 2.7 ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	(ROM テーブルの終了マーカ)

### 2.5.4.2 CoreSight コンポーネントレジスタ

CoreSight ROM テーブルは、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。

表 2.8 にこれらのレジスタを示します。各レジスタの詳細は、「2.8. 参考資料」の参考資料 5. を参照してください。

表 2.8 CoreSight ROM テーブルの CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
MEMTYPE	0x4001_AFCC	32 ビット	R	0x00000001
PIDR4	0x4001_AFD0	32 ビット	R	0x00000004
PIDR5	0x4001_AFD4	32 ビット	R	0x00000000
PIDR6	0x4001_AFD8	32 ビット	R	0x00000000
PIDR7	0x4001_AFDC	32 ビット	R	0x00000000
PIDR0	0x4001_AFE0	32 ビット	R	0x0000003D
PIDR1	0x4001_AFE4	32 ビット	R	0x00000030
PIDR2	0x4001_AFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_AFEC	32 ビット	R	0x00000000
CIDR0	0x4001_AFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_AFF4	32 ビット	R	0x00000010
CIDR2	0x4001_AFF8	32 ビット	R	0x00000005
CIDR3	0x4001_AFFC	32 ビット	R	0x000000B1

## 2.5.5 DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.9 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスタ一覧です。

表 2.9 CoreSight 以外の DBGREG のレジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	0x4001_B000	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	0x4001_B010	32 ビット	R/W

### 2.5.5.1 DBGSTR : デバッグステータスレジスタ

Base address: DBG = 0x4001\_B000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBG PWRU PACK	CDBG PWRU PREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0: エミュレータはデバッグパワーアップを要求していない 1: エミュレータはデバッグパワーアップを要求した	R
29	CDBGPWRUPACK	デバッグパワーアップアクトリッジ 0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R

ビット	シンボル	機能	R/W
31:30	—	読むと 0 が読めます。	R

DBGSTR レジスタは、エミュレータから本 MCU に対してのデバッグパワーアップの要求状況を示すステータスレジスタです。

### 2.5.5.2 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: DBG = 0x4001\_B000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DBGSTOP_RPER	—	—	—	—	—	DBGSTOP_LVD2	DBGSTOP_LVD1	DBGSTOP_LVD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_IWDT	DBGSTOP_WDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット/割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット/割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット/割り込みを許可 1: IWDT リセット/割り込みをマスクし、IWDT カウンタを停止	R/W
1	DBGSTOP_WDT	OCD RUN モードでの WDT リセット/割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット/割り込みはマスクされ、WDT カウンタは停止します。 0: WDT リセット/割り込みを許可 1: WDT リセット/割り込みをマスクし、WDT カウンタを停止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DBGSTOP_LVD0	LVD0 リセット用のマスク 0: LVD0 リセットを許可 1: LVD0 リセットをマスク	R/W
17	DBGSTOP_LVD1	LVD1 リセット/割り込み用のマスク 0: LVD1 リセット/割り込みを許可 1: LVD1 リセット/割り込みをマスク	R/W
18	DBGSTOP_LVD2	LVD2 リセット/割り込み用のマスク 0: LVD2 リセット/割り込みを許可 1: LVD2 リセット/割り込みをマスク	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DBGSTOP_RPER	SRAM パリティエラーリセット/割り込み用のマスク 0: SRAM パリティエラーリセット/割り込みを許可 1: SRAM パリティエラーリセット/割り込みをマスク	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を制御します。MCU が OCD モードではない場合、本レジスタのすべてのビットは 0 と見なされます。

### 2.5.5.3 DBGREG の CoreSight コンポーネントレジスタ

DBGREG は、Arm®CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを含んでいます。

表 2.10 にこれらのレジスタを示します。各レジスタの詳細は、「2.8. 参考資料」の参考資料 4. を参照してください。



## 2.5.6.2 MCUSTAT : MCU ステータスレジスタ

Base address: CPU\_OCD = 0x8000\_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUS TOPC LK	CPUS LEEP	AUTH
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	機能	R/W
0	AUTH	デバッグ認証フラグ 0: 認証失敗 1: 認証成功	R
1	CPUSLEEP	スリープモード状態フラグ 0: CPU はスリープモードではない 1: CPU はスリープモードである	R
2	CPUSTOPCLK	CPU クロック状態 0: CPU へのクロックを供給中 1: CPU へのクロックは停止中	R
31:3	—	読むと 0 が読めます。	R

注 1. MCU の状態に依存します。

## 2.5.6.3 MCUCTRL : MCU コントロールレジスタ

Base address: CPU\_OCD = 0x8000\_0000

Offset address: 0x410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBG RQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EDBGRQ	外部デバッグ要求 EDBGRQ ビットに 1 を書き込むと、CPU が停止します。EDBGRQ ビットは、EDBGRQ ビットに 0 を書く、または CPU が停止するのどちらかの条件でクリアされます。 0: デバッグイベントを要求しない 1: デバッグイベントを要求する	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBIRQ	デバッグ割り込み要求 DBIRQ ビットに 1 を書き込むと、MCU は低消費電力モードから復帰します。DBIRQ ビットに 0 を書き込むと、DBIRQ ビットはクリアされます。 0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する	R/W



ビット	シンボル	機能	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: DBIRQ ビットと EDBGQ ビットは同じ値にしてください。

#### 2.5.6.4 OCDREG の CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを提供します。

表 2.12 は、これらのレジスタの一覧です。各レジスタの詳細は、「2.8. 参考資料」の参考資料 4. を参照してください。

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_0FD0	32 ビット	R	0x00000004
PIDR5	0x8000_0FD4	32 ビット	R	0x00000000
PIDR6	0x8000_0FD8	32 ビット	R	0x00000000
PIDR7	0x8000_0FDC	32 ビット	R	0x00000000
PIDR0	0x8000_0FE0	32 ビット	R	0x00000004
PIDR1	0x8000_0FE4	32 ビット	R	0x00000030
PIDR2	0x8000_0FE8	32 ビット	R	0x0000000A
PIDR3	0x8000_0FEC	32 ビット	R	0x00000000
CIDR0	0x8000_0FF0	32 ビット	R	0x0000000D
CIDR1	0x8000_0FF4	32 ビット	R	0x000000F0
CIDR2	0x8000_0FF8	32 ビット	R	0x00000005
CIDR3	0x8000_0FFC	32 ビット	R	0x000000B1

## 2.6 SysTick タイマ

本 MCU は、簡易的な 24 ビットダウンカウンタとなる SysTick タイマを内蔵しています。このタイマは、ICLK または SYSTICCLK 基準クロックを選択できます。詳細は、「8. クロック発生回路」および「2.8. 参考資料」の参考資料 1. を参照してください。

## 2.7 OCD エミュレータ接続

本 MCU は、デバッグ時のチップリソースへのアクセス許可をチェックするための SWD 認証機構を搭載しています。全デバッグ機能を許可するには、この認証を合格することが必要です。

図 2.3 に SWD 認証機構のブロック図を示します。

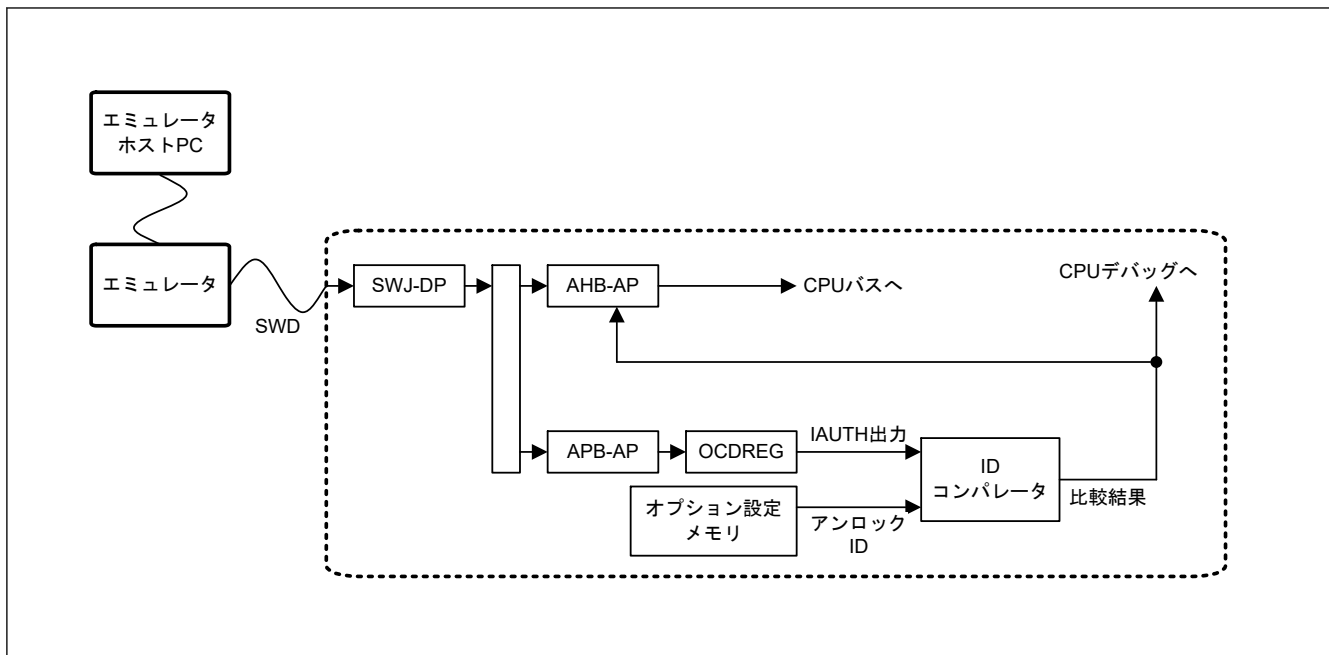


図 2.3 SWD 認証機構のブロック図

本 MCU には SWD 認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力値と、オプション設定メモリの OCD/シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれている 128 ビットのアンロック ID コードを比較します。これら 2 つの出力値が同一であると SWD 認証が合格となり、CPU デバッグ機能と、エミュレータからのシステムバスアクセスが許可されます。

エミュレータは SWD 認証合格後、システムコントロール OCD コントロールレジスタ (SYOCDRCR) の DBGEN ビットを設定する必要があります。また、エミュレータは DBGEN ビットをクリアしないと切断されません。「10.2.12. SYOCDRCR: システムコントロール OCD コントロールレジスタ」の説明を参照してください。

### 2.7.1 アンロック ID コード

アンロック ID コードは、CPU デバッグ機能とシステムバスアクセスの許可を判定するために用いられます。アンロック ID コードが IAUTH0 ~ IAUTH3 レジスタに書き込まれた 128 ビットデータと一致した場合、SWD デバッグはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD/シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (0xFFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFF) です。OSIS レジスタの詳細は「6. オプション設定メモリ」を参照してください。

### 2.7.2 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDRCR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは切断する前に DBGEN ビットをクリアする必要があります。詳細は、「10. 低消費電力モード」を参照してください。

### 2.7.3 OCD エミュレータ接続における制限

本節では、エミュレータアクセスにおける制限を説明します。

#### 2.7.3.1 低消費電力モードにおける接続開始

OCD エミュレータから SWD 接続を開始するとき、MCU は通常モードかスリープモードでなければいけません。MCU がソフトウェアスタンバイモードかスヌーズモードであると、OCD エミュレータは MCU をハングさせる場合があります。

#### 2.7.3.2 OCD モード中の低消費電力モードの変更

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモード、スヌーズモードでは禁止されます。これらのモードでは、

SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.13 に制約事項を示します。

表 2.13 各モードの制限

現在のモード	OCD エミュレータの接続開始	低消費電力モードの変更	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能

ソフトウェアスタンバイモードまたはスヌーズモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.DBIRQ ビットを用いることで、エミュレータは CPU の実行を開始することなく、本 MCU を復帰させることが可能です。

### 2.7.3.3 OSIS レジスタにおけるアンロック ID コードの変更

OSIS レジスタにおいてアンロック ID コードを変更した場合、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、本 MCU をリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。システムコントロールブロックについては、「2.8. 参考資料」の 2. を参照してください。

エミュレータは、リセットする直前に変更後のアンロック ID コードを IAUTH0～IAUTH3 レジスタに設定しておく必要があります。IAUTH0～IAUTH3 レジスタを書き換えると、SYSRESETREQ ビットは書き換え不可となりますので、RES 端子をアサートして本 MCU をリセットしてください。

### 2.7.3.4 接続順序と SWD 認証

エミュレータとの接続は SWD 認証機構で保護されているため、SWD 認証レジスタに対しアンロック ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS レジスタの値によって、アンロック ID コードの入力が必要かどうか決まります。RES 端子の解除後、コールドスタート時の OSIS レジスタ値を比較する前に待機時間が必要です。「36.3.3. リセットタイミング」を参照してください。下記に SWD 認証の詳細を示します。

#### (1) OSIS レジスタの MSB が 0 (ビット 127 = 0) の場合

ID コードは常に不一致であり、エミュレータへの接続は禁止されます。

#### (2) OSIS レジスタのビットがすべて 1 の場合 (初期値)

ID 認証は不要であり、エミュレータは認証なしで AHB-AP を使用できます。AHB-AP を使用するための詳細設定については、「2.8. 参考資料」の参考資料 4. を参照してください。

- SWD インタフェースを介してエミュレータを本 MCU に接続します。
- DAP バスにアクセスするように SWJ-DP を設定してください。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGPWUPACK がアサートされるまで待機してください。
- システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
- AHB-AP を使用して、システムバスへのアクセスを開始します。

#### (3) OSIS[127:126] = 10b の場合

ID 認証が必要であり、OCD は、OCDREG の IAUTH0～IAUTH3 レジスタにアンロックコードを書き込んでから、AHB-AP を使用する必要があります。

- SWD インタフェースを介してエミュレータを本 MCU に接続します。

- DAP バスにアクセスするように SWJ-DP を設定してください。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGPWRUPACK がアサートされるまで待機してください。
- OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
- APB-AP を使用して、OCDREG の IAUTH0~IAUTH3 レジスタに 128 ビットのアンロック ID コードを書き込みます。
- この 128 ビットのアンロック ID コードが OSIS レジスタの値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
  - DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される。
  - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない。
- システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
- AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

#### (4) OSIS[127:126] = 11b の場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH0~IAUTH3 レジスタにアンロックコードを書き込んでから、AHB-AP を使用する必要があります。「ALeRASE」能力を除き、接続シーケンスは OSIS[127:126] = 10b の場合と同じです。

IAUTH0~IAUTH3 レジスタが ASCII コード「ALeRASE」の場合、コードフラッシュ、データフラッシュおよび設定領域のコンテンツが同時に消去されます。詳細は「[32. フラッシュメモリ](#)」を参照してください。

ALeRASE シーケンスは以下のとおりです。

- SWD インタフェースを介してエミュレータを本 MCU に接続します。
- DAP バスにアクセスするように SWJ-DP を設定してください。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートしなければなりません。そして、同じレジスタの CDBGPWRUPACK がアサートされるまで待機してください。
- OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
- APB-AP を使用して、OCDREG の IAUTH0~IAUTH3 レジスタに 128 ビットのアンロック ID コードを書き込みます。
- 128 ビット ID コードが ASCII コード「ALeRASE」(0x414C 6552 4153 45FF FFFF FFFF FFFF FFFF) の場合、コードフラッシュ、データフラッシュおよび設定領域のコンテンツが消去されます。その後、MCU はスリープモードに遷移します。

## 2.8 参考資料

- ARM<sup>®</sup>v8-M Architecture Reference Manual (ARM DDI 0553B.a)
- ARM<sup>®</sup> Cortex<sup>®</sup>-M23 Processor Technical Reference Manual (ARM DDI 0550C)
- ARM<sup>®</sup> Cortex<sup>®</sup>-M23 Device Generic User Guide (ARM DUI 1095A)
- ARM<sup>®</sup> CoreSight<sup>™</sup> SoC-400 Technical Reference Manual (ARM DDI 0480G)
- ARM<sup>®</sup> CoreSight<sup>™</sup> Architecture Specification (ARM IHI 0029E)
- ARM<sup>®</sup> CoreSight<sup>™</sup> MTB-M23 Technical Reference Manual (ARM DDI 0564C)

## 2.9 使用上の注意事項

セキュリティ MPU が有効な場合、メモリはデバッグできません。プログラムをデバッグする場合、セキュリティ MPU を無効にしてください。SECMPUAC レジスタが 0xFFFF\_FFFF の場合、OCD エミュレータ接続のみ有効です。

## 3. 起動モード

### 3.1 起動モードの種類と選択

表 3.1 は起動モード設定端子による起動モードの選択を示しています。各起動モードの詳細は、「3.2. 起動モードの説明」を参照してください。内蔵フラッシュメモリが有効な場合、起動モードにかかわらず起動します。

表 3.1 起動モード設定端子による起動モードの選択

起動モード設定端子 (MD)	起動モード
1	シングルチップモード
0	SCI ブートモード

### 3.2 起動モードの説明

#### 3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

#### 3.2.2 SCI ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン (SCI ブートプログラム) が用いられます。調歩同期式シリアル通信インタフェース (UART) SCI を使用して、MCU 外部から内蔵フラッシュメモリ (コードフラッシュメモリ、データフラッシュメモリ) を書き換えることができます。詳細は、「32. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

### 3.3 起動モード遷移

#### 3.3.1 モード設定端子による起動モード遷移

MD 端子の設定による起動モード遷移について、図 3.1 に状態遷移図を示します。

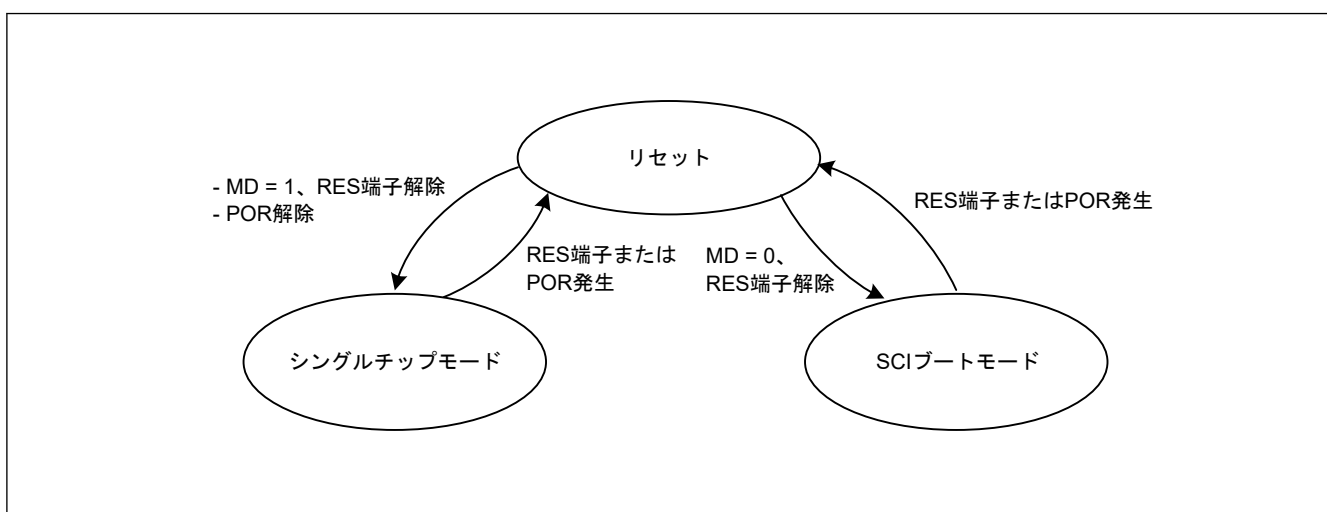


図 3.1 起動モード設定端子のレベルと起動モード

## 4. アドレス空間

### 4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000\_0000~0xFFFF\_FFFF) をサポートしています。図 4.1 に 64 KB/32 KB/16 KB のフラッシュ製品のメモリマップを示します。

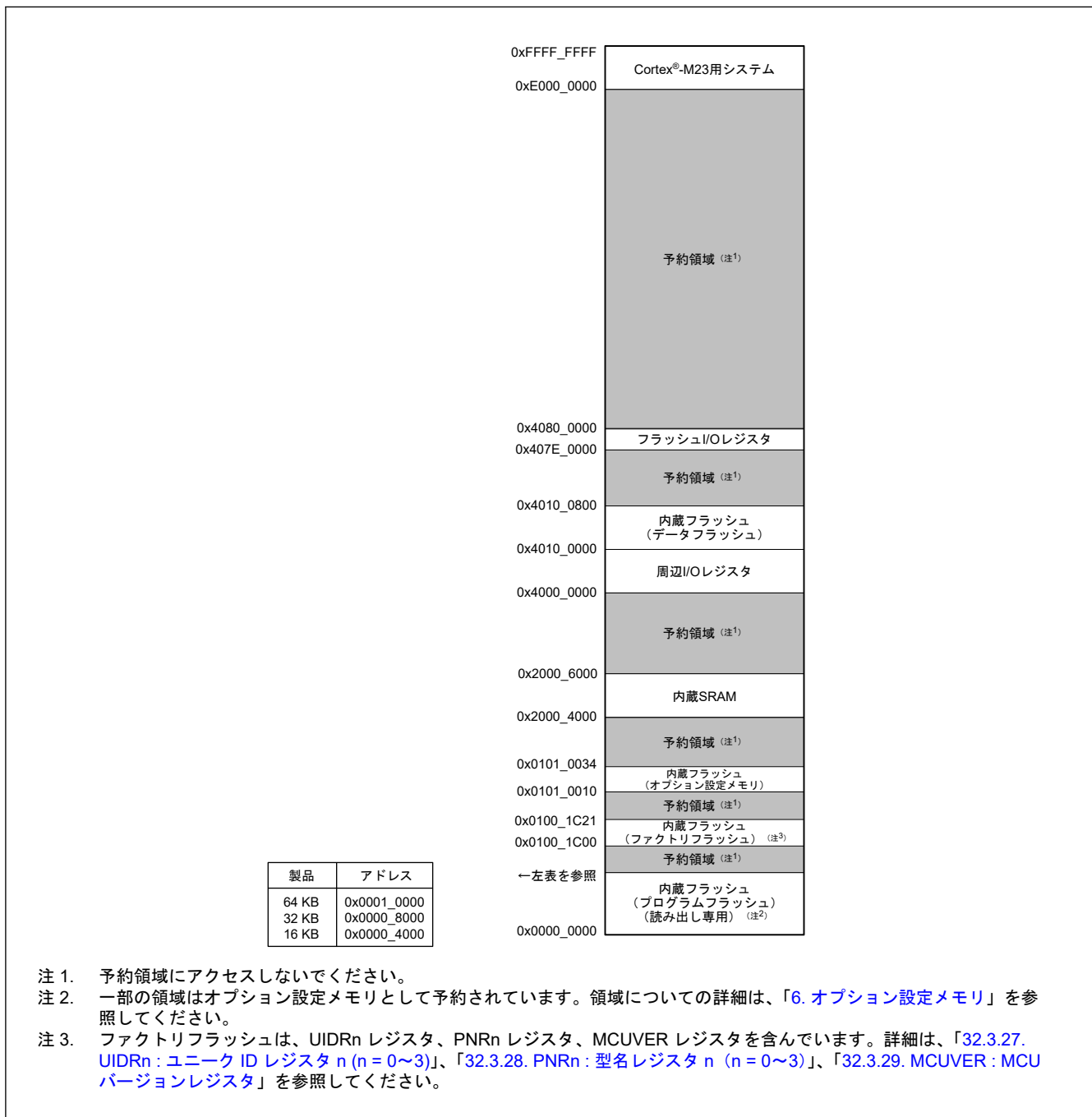


図 4.1 メモリマップ

## 5. リセット

### 5.1 概要

本 MCU は、12 種類のリセットをサポートしています。表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇 (電圧検出: $V_{POR}$ ) (注1)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラーの発生
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降 (電圧検出: $V_{det0}$ ) (注1)
電圧監視 1 リセット	VCC の下降 (電圧検出: $V_{det1}$ ) (注1)
電圧監視 2 リセット	VCC の下降 (電圧検出: $V_{det2}$ ) (注1)
SRAM パリティエラーリセット	SRAM パリティエラーの検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラーの検出
バススレーブ MPU エラーリセット	バススレーブ MPU エラーの検出
CPU スタックポインタエラーリセット	CPU スタックポインタエラーの検出
ソフトウェアリセット	レジスタ設定 (Arm®ソフトウェアリセットビット: AIRCR.SYSRESETREQ を使用)

注 1. 監視電圧 ( $V_{POR}$ ,  $V_{det0}$ ,  $V_{det1}$ ,  $V_{det2}$ ) の詳細については、「7. 低電圧検出回路 (LVD)」と「36. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 に、リセット種別ごとの初期化対象を示します。

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (1/5)

初期化対象フラグ	リセット要因				
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	✓	✓	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	✓	✓	✓	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	✓	✓	✓	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	✓	✓	✓	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	✓	✓	✓	—	—
バススレーブ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF)	✓	✓	✓	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	✓	✓	✓	—	—

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (2/5)

初期化対象フラグ	リセット要因				
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
CPU スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	✓	✓	✓	—	—
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (3/5)

初期化対象フラグ	リセット要因			
	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—	—	—
バスマス MPU エラーリセット検出フラグ (RSTSR1.BUSSRF)	—	—	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	—	—	—	—
CPU スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	—	—	—	—
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—	—

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (4/5)

初期化対象フラグ	リセット要因		
	バスマスタ MPU エラーリセット	バスマス MPU エラーリセット	CPU スタックポインタエラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—	—



表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (5/5)

初期化対象フラグ	リセット要因		
	バスマスタ MPU エラーリセット	バスマスタ MPU エラーリセット	CPU スタックポインタエラーリセット
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSSRF)	—	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	—	—	—
CPU スタックポインタエラーリセット検出フラグ (RSTSR1.SPERF)	—	—	—
コールドスタート/ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—

注: ✓: 初期化される  
 —: 初期化されない

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ (1/4)

初期化対象レジスタ		リセット要因				
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓
WDT 関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSR	✓	✓	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	✓	✓	✓	✓	✓
	LVD1CR1/LVD1SR	✓	✓	✓	✓	✓
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	✓	✓	✓	✓	✓
	LVD2CR1/LVD2SR	✓	✓	✓	✓	✓
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓	✓	✓
	LOCOUTCR	—	✓	✓	—	—
AGT 関連のレジスタ		—	✓	✓	—	—
MPU 関連のレジスタ		✓	✓	✓	✓	✓
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ (2/4)

初期化対象レジスタ		リセット要因			
		電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓
WDT 関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSR	✓	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	—	—	—	—
	LVD1CR1/LVD1SR	—	—	—	—
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	—	—	—	—
	LVD2CR1/LVD2SR	—	—	—	—

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ (3/4)

初期化対象レジスタ		リセット要因			
		電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓	✓
	LOCOUTCR	✓	✓	—	—
AGT 関連のレジスタ		✓	✓	—	—
MPU 関連のレジスタ		✓	✓	✓	✓
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓

表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタ (4/4)

初期化対象レジスタ		リセット要因		
		バスマスタ MPU エラーリセット	バスマスタ MPU エラーリセット	CPU スタックポインタエラーリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓
WDT 関連のレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSPTPR	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	—	—	—
	LVD1CR1/LVD1SR	—	—	—
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	—	—	—
	LVD2CR1/LVD2SR	—	—	—
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓
	LOCOUTCR	—	—	—
AGT 関連のレジスタ		—	—	—
MPU 関連のレジスタ		—	—	—
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓

注. ✓: 初期化される  
—: 初期化されない

表 5.4 に、リセット発生時の LOCO の状態を示します。

表 5.4 リセット発生時の LOCO の状態

		リセット要因	
		POR/LVD0/LVD1/LVD2	その他
LOCO	有効/無効	初期化 (有効)	

リセットが解除されると、リセット例外処理を開始します。

表 5.5 にリセット機能に関連する端子を示します。

表 5.5 リセット関連端子

端子名	入出力	機能
RES	入力	リセット端子

## 5.2 レジスタの説明

### 5.2.1 RSTSR0 : リセットステータスレジスタ 0

Base address: SYSC = 0x4001\_E000

Offset address: 0x410

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
Value after reset:	0	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W(注2)
1	LVD0RF	電圧監視 0 リセット検出フラグ 0: 電圧監視 0 リセット未検出 1: 電圧監視 0 リセット検出	R/W(注2)
2	LVD1RF	電圧監視 1 リセット検出フラグ 0: 電圧監視 1 リセット未検出 1: 電圧監視 1 リセット検出	R/W(注2)
3	LVD2RF	電圧監視 2 リセット検出フラグ 0: 電圧監視 2 リセット未検出 1: 電圧監視 2 リセット検出	R/W(注2)
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. 本レジスタは「5.1. 概要」に示すリセットが発生した時、およびフラグをクリアするための 0 書き込みによりクリアされます。クリアしたいフラグ以外は 1 を書き込む必要があります

#### PORF フラグ (パワーオンリセット検出フラグ)

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- PORF から 1 を読み出した後に、0 を書き込んだとき

#### LVD0RF フラグ (電圧監視 0 リセット検出フラグ)

LVD0RF フラグは VCC 電圧が  $V_{det0}$  レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- LVD0RF から 1 を読み出した後に、0 を書き込んだとき

#### LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

LVD1RF フラグは VCC 電圧が  $V_{det1}$  レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- LVD1RF から 1 を読み出した後に、0 を書き込んだとき

**LVD2RF フラグ (電圧監視 2 リセット検出フラグ)**

LVD2RF フラグは VCC 電圧が  $V_{det2}$  レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- LVD2RF から 1 を読み出した後に、0 を書き込んだとき

**5.2.2 RSTSR1 : リセットステータスレジスタ 1**

Base address: SYSC = 0x4001\_E000

Offset address: 0x0C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPER F	BUSM RF	BUSS RF	—	RPER F	—	—	—	—	—	SWRF	WDTR F	IWDT RF
Value after reset:	0	0	0	x <sup>(注1)</sup>	x <sup>(注1)</sup>	x <sup>(注1)</sup>	0	x <sup>(注1)</sup>	0	0	0	0	0	x <sup>(注1)</sup>	x <sup>(注1)</sup>	x <sup>(注1)</sup>

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W <sup>(注2)</sup>
1	WDTRF	ウォッチドッグタイマリセット検出フラグ 0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/W <sup>(注2)</sup>
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W <sup>(注2)</sup>
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RPERF	SRAM パリティエラーリセット検出フラグ 0: SRAM パリティエラーリセット未検出 1: SRAM パリティエラーリセット検出	R/W <sup>(注2)</sup>
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSSRF	バススレーブ MPU エラーリセット検出フラグ 0: バススレーブ MPU エラーリセット未検出 1: バススレーブ MPU エラーリセット検出	R/W <sup>(注2)</sup>
11	BUSMRF	バスマスタ MPU エラーリセット検出フラグ 0: バスマスタ MPU エラーリセット未検出 1: バスマスタ MPU エラーリセット検出	R/W <sup>(注2)</sup>
12	SPERF	CPU スタックポインタエラーリセット検出フラグ 0: CPU スタックポインタエラーリセット未検出 1: CPU スタックポインタエラーリセット検出	R/W <sup>(注2)</sup>
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

**IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)**

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1を読み出して IWDTRF に 0 を書いたとき

#### **WDTRF フラグ (ウォッチドッグタイマリセット検出フラグ)**

WDTRF フラグはウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1を読み出して WDTRF に 0 を書いたとき

#### **SWRF フラグ (ソフトウェアリセット検出フラグ)**

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1を読み出して SWRF に 0 を書いたとき

#### **RPERF フラグ (SRAM パリティエラーリセット検出フラグ)**

RPERF フラグは SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1を読み出して RPERF に 0 を書いたとき

#### **BUSSRF フラグ (バススレーブ MPU エラーリセット検出フラグ)**

BUSSRF フラグはバススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1を読み出して BUSSRF に 0 を書いたとき

#### **BUSMRF フラグ (バスマスタ MPU エラーリセット検出フラグ)**

BUSMRF フラグはバスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1を読み出して BUSMRF に 0 を書いたとき

### SPERF フラグ (CPU スタックポインタエラーリセット検出フラグ)

SPERF フラグはスタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき
- 1を読み出して SPERF に 0 を書いたとき

### 5.2.3 RSTSR2 : リセットステータスレジスタ 2

Base address: SYSC = 0x4001\_E000

Offset address: 0x411

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF

Value after reset: 0 0 0 0 0 0 0 0 x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート/ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

### CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。CWSF フラグはパワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- プログラムで 1 を書いたとき

[0 になる条件]

- 「5.1. 概要」に示すリセットが発生したとき

## 5.3 動作説明

### 5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、本 MCU はリセット状態になります。適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 ( $t_{RESWT}$ ) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

詳細は、「36. 電气的特性」を参照してください。

### 5.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。以下の条件で発生します。

1. RES 端子を High にした状態で、電源を投入した場合
2. RES 端子を High にした状態で、VCC 電圧が  $V_{POR}$  電圧より低下した場合

パワーオンリセット中に VCC 電圧が  $V_{POR}$  電圧を超えると、パワーオンリセット時間 ( $t_{POR}$ ) 経過後、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源が安定し、かつ本 MCU が安定して動作するための時間です。

パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。VCC 電圧が  $V_{POR}$  を下回った場合、パワーオンリセット状態となります。

図 5.1 に、パワーオンリセット時の動作例を示します。

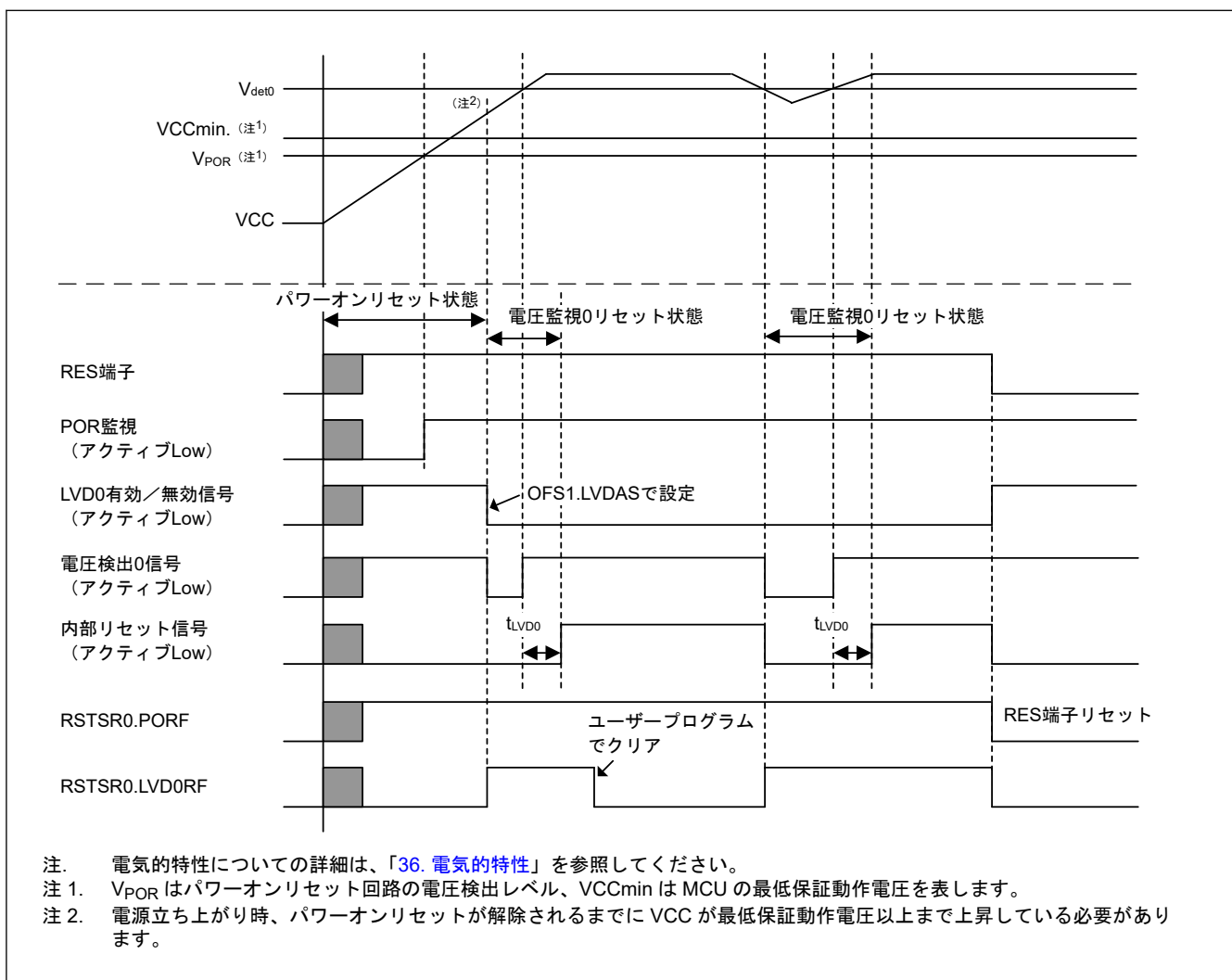


図 5.1 パワーオンリセット時の動作例

### 5.3.3 電圧監視リセット

電圧監視  $i$  リセット ( $i = 0, 1, 2$ ) は、電圧監視  $i$  回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が  $V_{det0}$  以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が  $V_{det0}$  を超えると、電圧監視 0 リセット時間 ( $t_{LVD0}$ ) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧監視 1 回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC の電圧が  $V_{det1}$  以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧監視 1 回路は電圧監視 1 リセットを発生させます。

電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧監視 2 回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC の電圧が  $V_{det2}$  以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧監視 2 回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC の電圧が  $V_{det1}$  以下になっている場合、 $V_{det1}$  を超えてから LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC の電圧が  $V_{det1}$  以下になっている場合、LVD1 リセット時間 ( $t_{LVD1}$ ) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングは、LDV2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

電圧検出レベル選択レジスタ (LVDLVLR) により、 $V_{det1}$  および  $V_{det2}$  の検出レベルは変更可能です。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出回路 (LVD)」を参照してください。

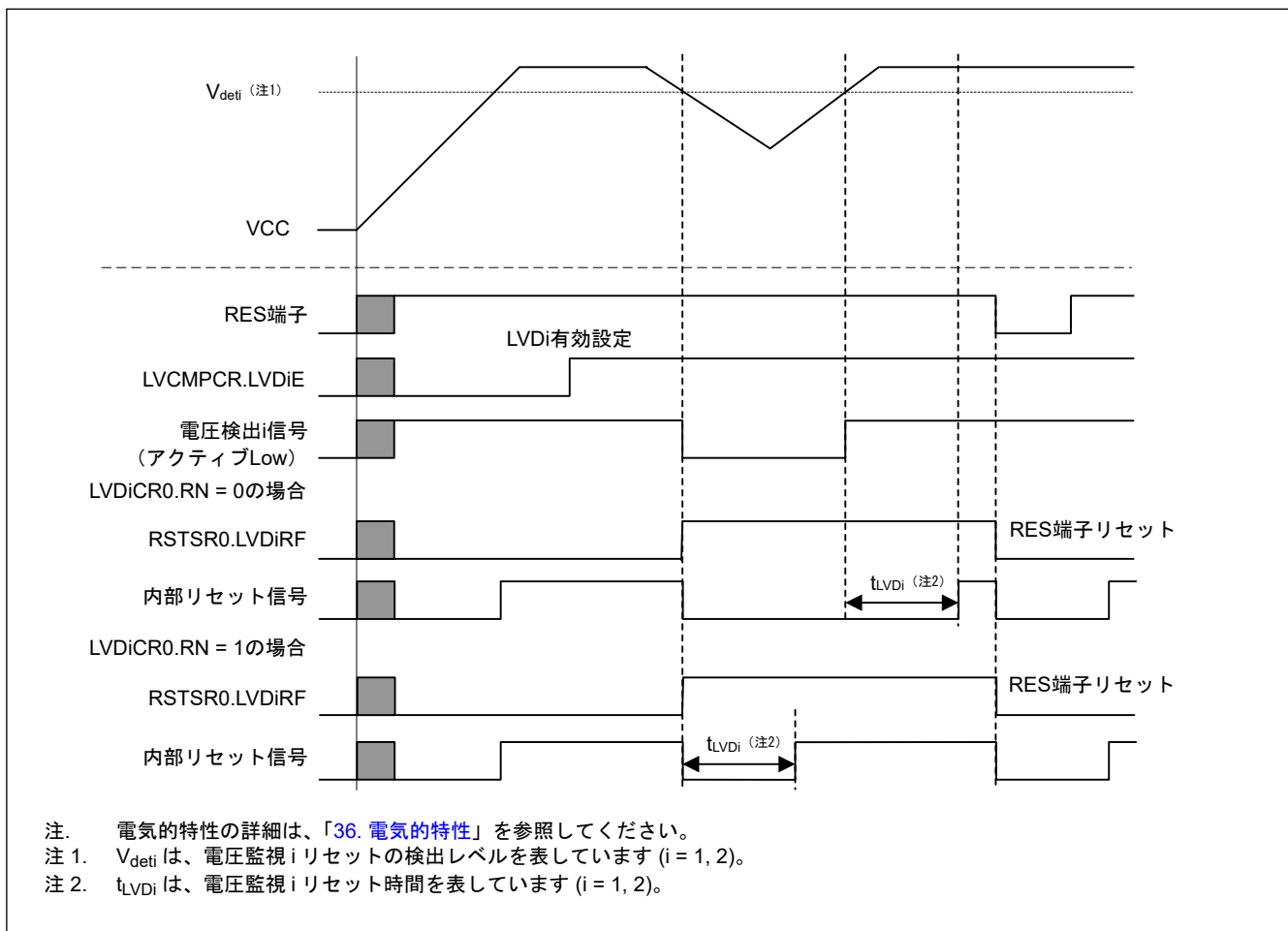


図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例



### 5.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 ( $t_{RESW2}$ ) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「[23. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

### 5.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 ( $t_{RESW2}$ ) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「[22. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

### 5.3.6 ソフトウェアリセット

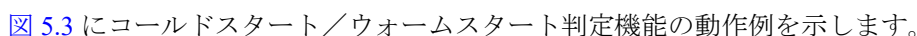
ソフトウェアリセットは、ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 ( $t_{RESW2}$ ) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、*ARM<sup>®</sup> Cortex<sup>®</sup>-M23 Technical Reference Manual* を参照してください。

### 5.3.7 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

 [図 5.3](#) にコールドスタート／ウォームスタート判定機能の動作例を示します。

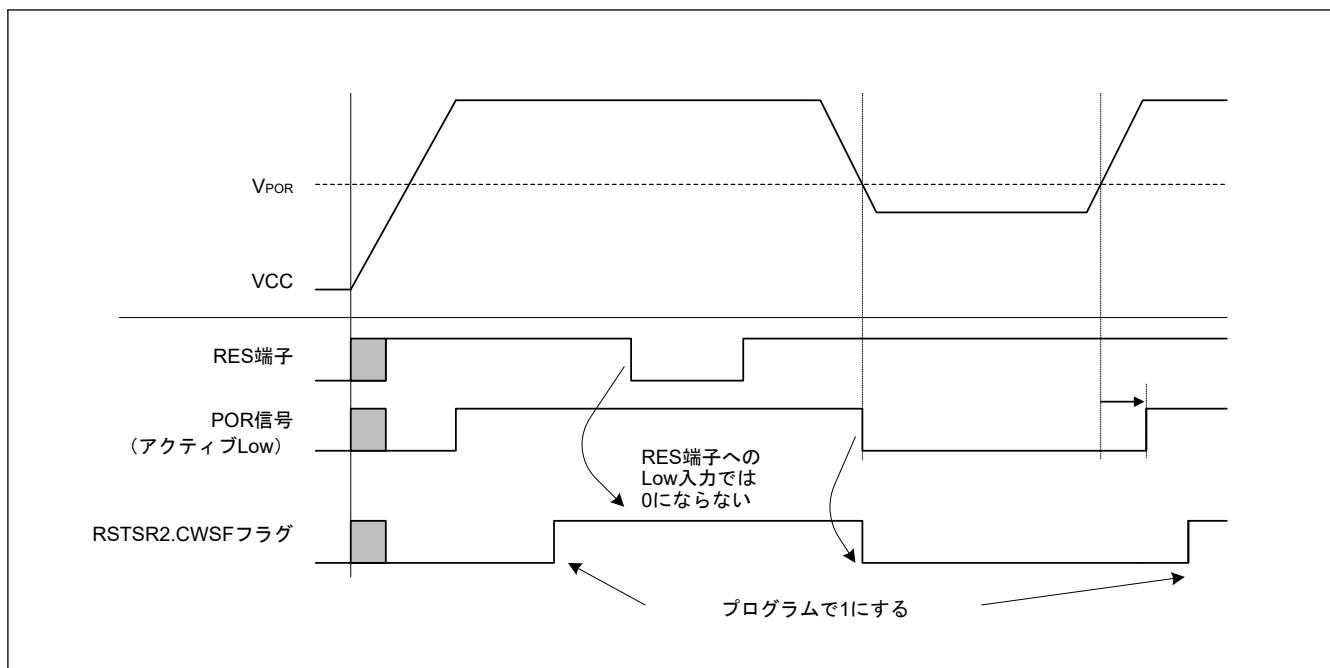


図 5.3 コールドスタート/ウォームスタート判定機能の動作例

### 5.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、クリアするフラグ以外は 1 を書いてください。

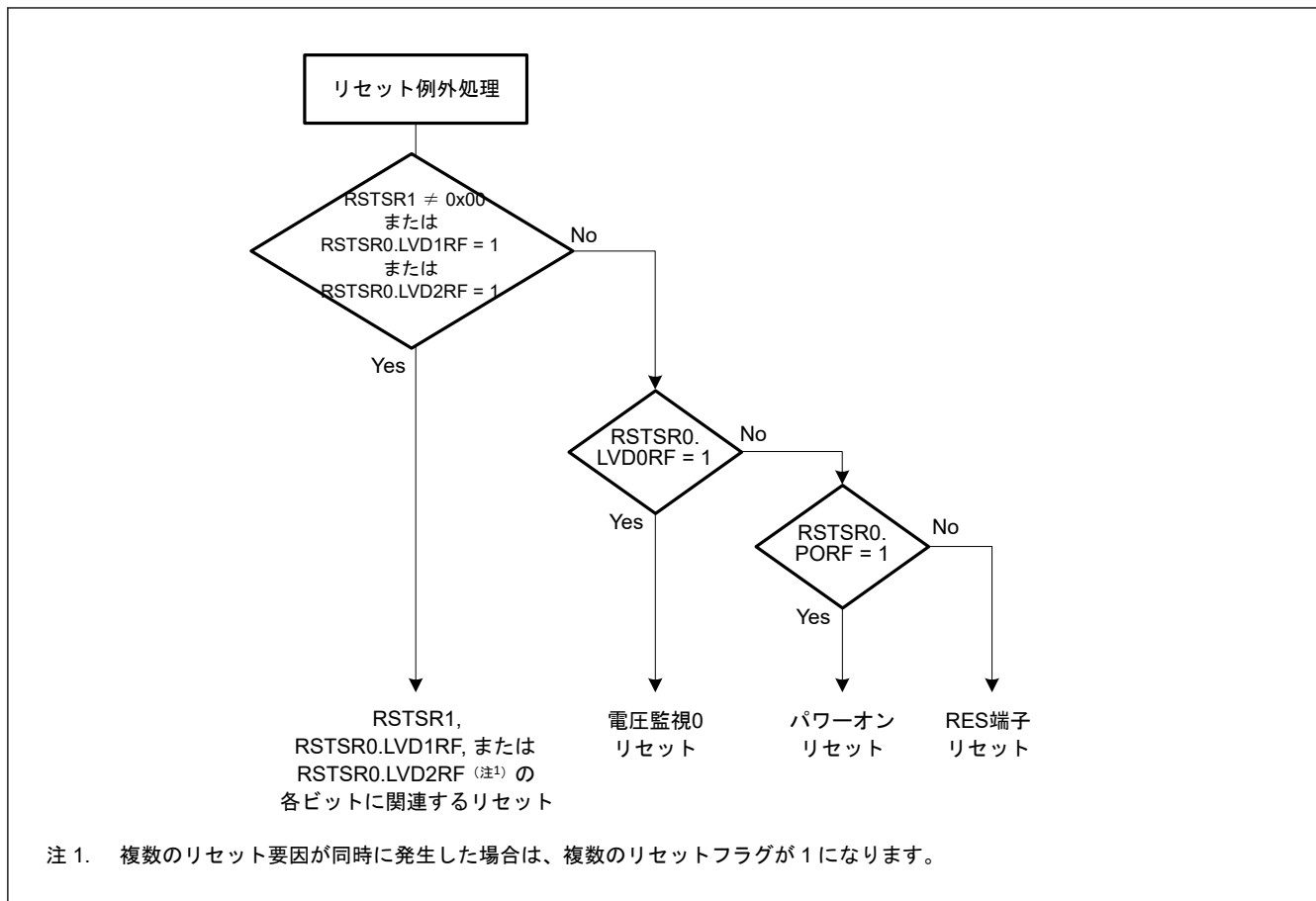


図 5.4 リセット発生要因の判定フロー例

## 5.4 使用上の注意

### 5.4.1 RES 端子リセットの注意事項

以下の条件で RES 端子リセットを使用すると、パワーオンリセットが発生する場合があります。

- VCC ≤ 1.7 V のとき
- 電圧検出 0 回路が使用可能なとき

## 6. オプション設定メモリ

### 6.1 概要

オプション設定メモリは、MCUのリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域に配置されます。これら2つの領域では設定方法が異なります。

図 6.1 にオプション設定メモリ領域を示します。

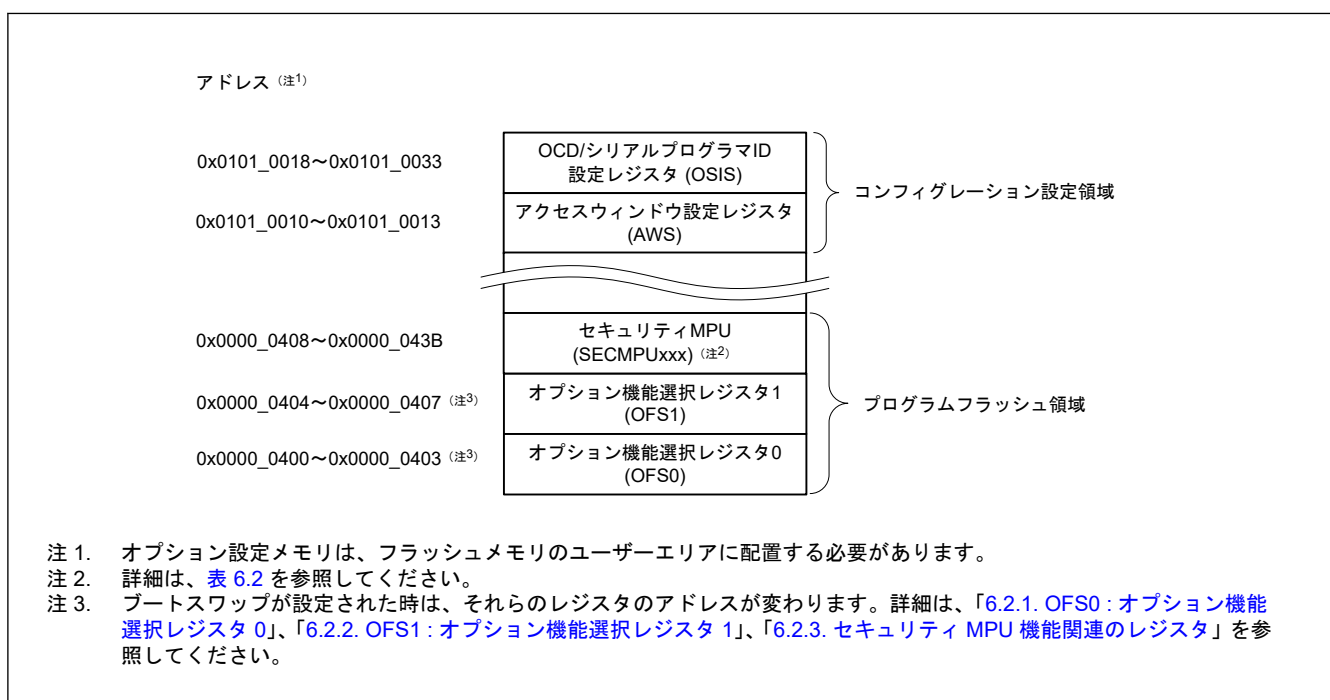


図 6.1 オプション設定メモリの領域

### 6.2 レジスタの説明

#### 6.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x0000\_0400, 0x0000\_2400(注1)

Bit position: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field:	—	WDTS TPCTL	—	WDTR STIRQS	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCCKS[3:0]	WDTTOPS[1:0]	WDTS TRT	—
------------	---	------------	---	-------------	--------------	--------------	--------------	--------------	----------	---

Value after reset: ユーザー設定値(注2)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	—	IWDT STCTL	—	IWDT RSTIRQS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]	IWDTTOPS[1:0]	IWDT STRT	—
------------	---	------------	---	--------------	--------------	--------------	--------------	---------------	-----------	---

Value after reset: ユーザー設定値(注2)

ビット	シンボル	機能	R/W
0	—	読むと設定値が読めます。	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動 (オートスタートモード) 1: リセット後、IWDT は停止状態	R

ビット	シンボル	機能	R/W
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 設定禁止	R
9:8	IWDRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウの終了位置設定なし)	R
11:10	IWDRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウの開始位置設定なし)	R
12	IWDRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
13	—	読むと設定値が読めます。	R
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
16:15	—	読むと設定値が読めます。	R
17	WDTSTRT	WDT スタートモード選択 0: リセット後、WDT は自動的に起動 (オートスタートモード) 1: リセット後、WDT は停止状態 (レジスタスタートモード)	R
19:18	WDTTOPS[1:0]	WDT タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDTCKS[3:0]	WDT クロック分周比選択 0x1: WDTCLK/4 0x4: WDTCLK/64 0xF: WDTCLK/128 0x6: WDTCLK/512 0x7: WDTCLK/2048 0x8: WDTCLK/8192 その他: 設定禁止	R
25:24	WDRPES[1:0]	WDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウの終了位置設定なし)	R
27:26	WDRPSS[1:0]	WDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウの開始位置設定なし)	R

ビット	シンボル	機能	R/W
28	WDTRSTIRQS	WDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	読むと設定値が読めます。	R
30	WDTSTPCTL	WDT 停止制御 0: カウント継続 1: スリープモード遷移時にカウント停止	R
31	—	読むと設定値が読めます。	R

注 1. ブーストスワップを設定すると、本レジスタのアドレスが変更されます。そのため、ブーストスワップが使用されている場合は 0x0000\_2400 および 0x0000\_0400 を同じ値に設定します。

注 2. 未書き込み状態では、0xFFFFFFFF です。

### IWDTSTRT ビット (IWDT スタートモード選択)

IWDTSTRT ビットは、リセット後の IWDT の起動モード (停止状態、またはオートスタートモード) が選択できます。

### IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

IWDTTOPS[1:0] ビットは、ダウンカウンタがアンダーフローするまでの時間 (すなわち、タイムアウト期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定されます。

詳細は「[23. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

### IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDTCKS[3:0] ビットは、IWDT 専用クロックを分周するプリスケアラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を 128~524288 サイクルの間で設定できます。

詳細は「[23. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

### IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

IWDRPES[1:0] ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「[23. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

### IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

IWDRPSS[1:0] ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダーフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「[23. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

### IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

IWDRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「[23. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

### IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットはスリープモード、スヌーズモード、ソフトウェアスタンバイモード遷移時のカウント停止を選択します。

表 6.1 に IWDTSTPCTL ビットによるカウント停止制御を示します。

表 6.1 IWDTSTPCTL ビットによるカウント停止制御

IWDTSTPCTL	モード	IWDT カウント
0	スリープ/スヌーズ/ソフトウェアスタンバイモード	カウント継続
1	スリープ/スヌーズ/ソフトウェアスタンバイモード	カウント停止

詳細は「23. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

#### WDTSTRT ビット (WDT スタートモード選択)

WDTSTRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

#### WDTTOPS[1:0]ビット (WDT タイムアウト期間選択)

WDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、WDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で選択します。リフレッシュ後、アンダーフローするまでの WDTCLK サイクル数は、WDTCKS[3:0]ビットと WDTTOPS[1:0]ビットの組み合わせで決定されます。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

#### WDTCKS[3:0]ビット (WDT クロック分周比選択)

WDTCKS[3:0]ビットは WDTCLK を分周するプリスケアラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。これらのビット設定を WDTTOPS[1:0]ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの WDTCLK サイクル数に設定可能です。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

#### WDRPES[1:0]ビット (WDT ウィンドウ終了位置選択)

WDRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDRPSS[1:0]、WDRPES[1:0]ビットで設定したウィンドウ開始/終了位置のカウンタ値は、WDTTOPS[1:0]ビットの設定により変わります。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

#### WDRPSS[1:0]ビット (WDT ウィンドウ開始位置選択)

WDRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、

それ以外はリフレッシュ禁止期間となります。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

#### WDRSTIRQS ビット (WDT リセット割り込み要求選択)

WDRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「22. ウォッチドッグタイマ (WDT)」を参照してください。

#### IWDTSTPCTL ビット (WDT 停止制御)

IWDTSTPCTL ビットはスリープモード遷移時のカウント停止を選択します。

詳細は「22. ウォッチドッグタイマ (WDT)」を参照してください。

## 6.2.2 OFS1 : オプション機能選択レジスタ 1

Address: 0x0000\_0404, 0x0000\_2404(注1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ICSATS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値(注2)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	HOCOFrq1[2:0]	—	—	—	HOCOEN	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値(注2)

ビット	シンボル	機能	R/W
1:0	—	読むと設定値が読めます。	R
2	LVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
5:3	VDSEL0[2:0]	電圧検出 0 レベル選択(注3) 0 0 0: V <sub>det0_0</sub> 0 0 1: V <sub>det0_1</sub> 0 1 0: V <sub>det0_2</sub> 0 1 1: V <sub>det0_3</sub> 1 0 0: V <sub>det0_4</sub> その他: 設定禁止	R
7:6	—	読むと設定値が読めます。	R
8	HOCOEN	HOCO 発振有効 0: リセット中に HOCO が自動的に発振開始 1: リセット中に HOCO は発振しない	R
11:9	—	読むと設定値が読めます。	R
14:12	HOCOFrq1[2:0]	HOCO 周波数設定 1 0 0 0: 24 MHz 0 1 0: 32 MHz 1 0 0: 48 MHz 1 0 1: 64 MHz その他: 設定禁止	R
30:15	—	読むと設定値が読めます。	R
31	ICSATS	内部クロック供給アーキテクチャタイプ選択 0: 内部クロック供給アーキテクチャタイプ B 1: 内部クロック供給アーキテクチャタイプ A	R

注 1. ブーストスワップを設定すると、本レジスタのアドレスが変更されます。そのため、ブーストスワップが使用されている場合は 0x0000\_2404 および 0x0000\_0404 を同じ値に設定します。

注 2. 未書き込み状態では、0xFFFFFFFF です。

注 3. 各電圧検出レベル値は「36. 電気的特性」を参照してください。LVDO を使用しない場合は 100b に設定してください。

**LVDAS ビット (電圧検出 0 回路起動)**

LVDAS ビットは、リセット後に電圧監視 0 リセットを有効にするか無効にするかを選択します。

**VDSEL0[2:0] ビット (電圧検出 0 レベル選択)**

VDSEL0[2:0] ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

**HOCOEN ビット (HOCO 発振有効)**

HOCOEN ビットは、リセット中に HOCO を発振させるかどうかを選択します。HOCO 発振有効ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。



注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1.HOCOFRQ1 ビットを最適な値に設定してください。

### HOCOFRQ1[2:0]ビット (HOCO 周波数設定 1)

HOCOFRQ1[2:0]ビットは、リセット後の HOCO 周波数を 24、32、48、または 64 MHz から選択します。

### ICSATS ビット (内部クロック供給アーキテクチャタイプ選択)

ICSATS ビットは、リセット後の内部クロック供給アーキテクチャをタイプ A、タイプ B から選択します。

内部クロック供給アーキテクチャタイプ A は、ICLK、PCLKB、PCLKD の周波数をシステムクロック分周コントロールレジスタ (SCKDIVCR) で個別に設定できるクロックを備えています。

内部クロック供給アーキテクチャタイプ A の場合、各種アプリケーションにおけるシステムと周辺機能の動作周波数関係は極めて柔軟です。

内部クロック供給アーキテクチャタイプ B の場合、システムクロック分周コントロールレジスタ (SCKDIVCR) の PCKB[2:0]設定および PCKD[2:0] 設定にかかわらず、ICLK、PCLKB、PCLKD の周波数は ICLK = PCLKB = PCLKD で固定されます。

内部クロック供給アーキテクチャタイプ B では、各種アプリケーションにおけるシステムと周辺機能の動作周波数関係は単純です。そのため消費電源低減で有利なタイプと言えます。

システムクロック分周コントロールレジスタの詳細については、「[8.2.1. SCKDIVCR : システムクロック分周コントロールレジスタ](#)」を参照してください。

クロック発生回路ブロック図の詳細については、「[8.1. 概要](#)」を参照してください。

注. 内部クロック供給アーキテクチャタイプ B 選択時 :

- OFS1.HOCOFRQ1[2:0] の HOCO 周波数は、48 MHz または 64 MHz に設定できません。HOCO 周波数は、32 MHz または 24 MHz に設定してください。
- MEMWAIT.MEMWAIT および FLDWAITR.FLDWAIT1 でメモリウエイトは設定できません。デフォルトを使用してください。

## 6.2.3 セキュリティ MPU 機能関連のレジスタ

表 6.2 に、MPU 機能に関連したレジスタを示します。詳細は「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

コードフラッシュメモリを消去すると、セキュリティ MPU は無効になります。MPU 関連レジスタの設定を間違えた場合、本製品が動作しないことがあります。適切なデータを設定するには、「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 6.2 MPU レジスタ (1/2)

レジスタ名	記号	機能	アドレス(注1)	サイズ (バイト)
セキュリティ MPU プログラム開始アドレスレジスタ 0	SECMPUPCS0	コードフラッシュメモリ、または SRAM のメモリプロテクション領域 0 (開始アドレス) を設定	0x0000_0408	4
セキュリティ MPU プログラム終了アドレスレジスタ 0	SECMPUPCE0	コードフラッシュメモリ、または SRAM のメモリプロテクション領域 0 (終了アドレス) を設定	0x0000_040C	4
セキュリティ MPU プログラム開始アドレスレジスタ 1	SECMPUPCS1	コードフラッシュメモリ、または SRAM のメモリプロテクション領域 1 (開始アドレス) を設定	0x0000_0410	4
セキュリティ MPU プログラム終了アドレスレジスタ 1	SECMPUPCE1	コードフラッシュメモリ、または SRAM のメモリプロテクション領域 1 (終了アドレス) を設定	0x0000_0414	4
セキュリティ MPU 領域 0 開始アドレスレジスタ	SECMPUS0	コードフラッシュメモリのセキュリティプログラムやデータの開始アドレスを設定	0x0000_0418	4
セキュリティ MPU 領域 0 終了アドレスレジスタ	SECMPUE0	コードフラッシュメモリのセキュリティプログラムやデータの終了アドレスを設定	0x0000_041C	4

表 6.2 MPU レジスタ (2/2)

レジスタ名	記号	機能	アドレス(注1)	サイズ (バイト)
セキュリティ MPU 領域 1 開始アドレスレジスタ	SECMPUS1	SRAM のセキュリティプログラムやデータの開始アドレスを設定	0x0000_0420	4
セキュリティ MPU 領域 1 終了アドレスレジスタ	SECMPUE1	SRAM のセキュリティプログラムやデータの終了アドレスを設定	0x0000_0424	4
セキュリティ MPU 領域 2 開始アドレスレジスタ	SECMPUS2	セキュリティ IP のセキュリティプログラムやデータの開始アドレスを設定	0x0000_0428	4
セキュリティ MPU 領域 2 終了アドレスレジスタ	SECMPUE2	セキュリティ IP のセキュリティプログラムやデータの終了アドレスを設定	0x0000_042C	4
セキュリティ MPU 領域 3 開始アドレスレジスタ	SECMPUS3	セキュリティ機能のセキュアデータを設定。	0x0000_0430	4
セキュリティ MPU 領域 3 終了アドレスレジスタ	SECMPUE3	セキュリティ機能のセキュアデータを設定。	0x0000_0434	4
セキュリティ MPU アクセスコントロールレジスタ	SECMPUAC	セキュリティ保護領域を設定	0x0000_0438	4

注 1. ブートスワップ設定時、それらのレジスタのアドレスは変わります。そのため、ブートスワップを使う場合、(0x0000\_2408~0x0000\_243B)、(0x0000\_0408~0x0000\_043B) は同じ値に設定してください。

### 6.2.4 AWS : アクセスウィンドウ設定レジスタ

Address: 0x0101\_0010

Bit position: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field:	BTFLG	—	—	—	—	FAWE[10:0]									
------------	-------	---	---	---	---	------------	--	--	--	--	--	--	--	--	--

Value after reset: ユーザー設定値

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	FSPR	—	—	—	—	FAWS[10:0]									
------------	------	---	---	---	---	------------	--	--	--	--	--	--	--	--	--

Value after reset: ユーザー設定値

ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始ブロックアドレス これらのビットは、アクセスウィンドウの開始ブロックアドレスを指定します。アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウは、プログラムフラッシュ領域でのみ有効です。ブロックアドレスは、ブロックの最初のアドレスを指定し、アドレスビット [21:11] で構成されます。	R
14:11	—	読むと設定値が読めます。	R
15	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護 アクセスウィンドウ、スタートアップ領域選択フラグ (BTFLG)、およびテンポラリブートスワップに対するプログラム/イレース保護のプログラミングを制御します。このビットは一度 0 にすると、1 に変更できません。 0: アクセスウィンドウ (FAWE[10:0], FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は無効 1: アクセスウィンドウ (FAWE[10:0], FAWS[10:0]) とスタートアップ領域選択フラグ (BTFLG) のプログラミングに対するコンフィグレーション設定コマンドの実行は有効	R
26:16	FAWE[10:0]	アクセスウィンドウ終了ブロックアドレス これらのビットは、アクセスウィンドウの終了ブロックアドレスを指定します。アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義される受け付け可能プログラムおよびイレース領域の次のブロックです。このブロックアドレスは、ブロックの先頭アドレスを指定し、アドレスビット [21:11] で構成されます。	R

ビット	シンボル	機能	R/W
30:27	—	読むと設定値が読めます。	R
31	BTFLG	スタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 1 番目の 8 KB 領域 (0x0000_0000~0x0000_1FFF) および 2 番目の 8 KB 領域 (0x0000_2000~0x0000_3FFF)が入れ替わる 1: 1 番目の 8 KB 領域 (0x0000_0000~0x0000_1FFF) および 2 番目の 8 KB 領域 (0x0000_2000~0x0000_3FFF)は入れ替わらない	R

アクセスウィンドウ外の領域にプログラム/イレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュメモリ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS[10:0] ビットと FAWE[10:0] ビットで指定されています。FAWS[10:0] ビットおよび FAWE[10:0] ビットの設定値は以下のとおりです。

FAWE[10:0] = FAWS[10:0]: プログラム/イレースコマンドは、全プログラムフラッシュメモリ領域に対して実行が許可される

FAWE[10:0] > FAWS[10:0]: プログラム/イレースコマンドは、FAWS[10:0] ビットで指示されたブロックから、FAWE[10:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される

FAWE[10:0] < FAWS[10:0]: プログラム/イレースコマンドは、プログラムフラッシュメモリ領域に対して実行が禁止される

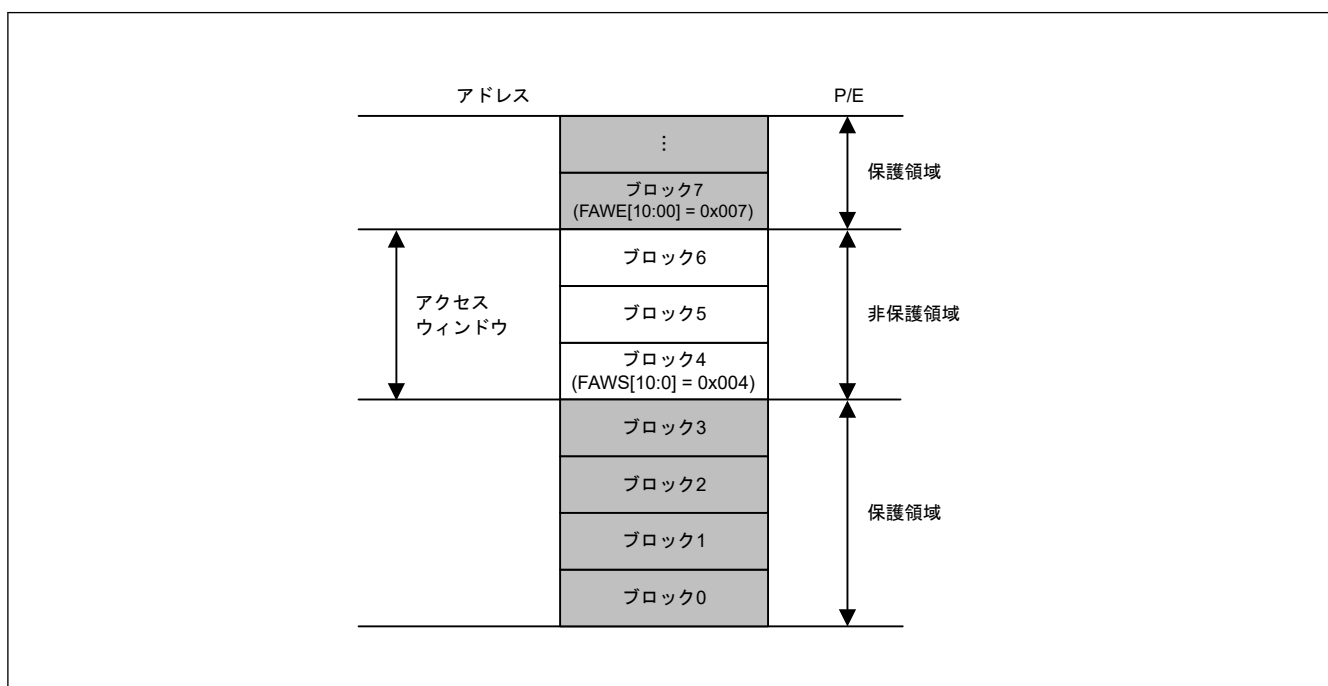


図 6.2 アクセスウィンドウの概要

### 6.2.5 OSIS : OCD/シリアルプログラマ ID 設定レジスタ

OSIS レジスタは、OCD/シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD/シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。本レジスタを用いて、OCD/シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定してください。ID コードが一致した場合は OCD/シリアルプログラマとの接続を許可しますが、一致しない場合は OCD/シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビットワード単位で設定する必要があります。

Address: 0x0101\_0018, 0x0101\_0020, 0x0101\_0028, 0x0101\_0030

Bit position: 31

0

Bit field:

Value after reset:

ユーザー設定値

OCD/シリアルプログラムの ID 認証に使用する ID を格納します。

ID コードのビット[127]と[126]は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。表 6.3 は、ID コードがどのように認証方法を決定するかについて示しています。

表 6.3 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード)	0xFF, ..., 0xFF (全バイトが 0xFF)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、シリアルプログラマまたはオンチップデバッグ(注1)への接続が許可されます。
オンチップデバッグモード (SWD ブートモード)	ビット[127] = 1、ビット[126] = 1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。 シリアルプログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。
	ビット[127] = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、シリアルプログラマまたはオンチップデバッグへの接続は禁止されます。 オンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。

注 1. オンチップデバッグから ID コードを送信しないでください。または、オンチップデバッグから 0xFF, ..., 0xFF (すべてのバイトが 0xFF) の ID コードを送信してください。

## 6.3 オプション設定メモリの設定方法

### 6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 6.1 に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッグなどのツールで使用されます。

注. プログラミング形式はコンパイラによって異なります。詳細については、コンパイラのマニュアルを参照してください。

### 6.3.2 オプション設定メモリにプログラムするデータの設定方法

「6.3.1. オプション設定メモリへのデータの配置方法」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

#### (1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムコマンドを用いて、プログラムフラッシュメモリ領域へデータを書き込んでください。また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。さらに、スタートアップ領域選択機能を用いて、オプション設定メモリを含むブートプログラムを安全に更新してください。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「32. フラッシュメモリ」を参照してください。

#### (2) OCD によるデバッグ時またはフラッシュライターによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします
- ツールの GUI インタフェースを使用して、「6.3.1. オプション設定メモリへのデータの配置方法」に示すものと同じデータをプログラムします

## 6.4 使用上の注意事項

### 6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

### 6.4.2 FSPR ビットに関する注意事項

AWS.FSPR ビットは、一度 0 に設定すると、1 に変更できません。このため、アクセスウィンドウとスタートアップ領域選択の再設定が二度とできなくなります。FSPR ビットへの書き込みは、十分にご注意ください。

## 7. 低電圧検出回路 (LVD)

### 7.1 概要

低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3つの独立した電圧監視回路 (LVD0、LVD1、LVD2) で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。

また、電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させることもできます。

表 7.1 に LVD の仕様を示します。図 7.1 に電圧監視 0 回路のブロック図を、図 7.2 に電圧監視 1 回路のブロック図を、図 7.3 に電圧監視 2 回路のブロック図を示します。

表 7.1 LVD の仕様

項目		電圧監視 0 の仕様	電圧監視 1 の仕様	電圧監視 2 の仕様
動作設定方法		OFS1 レジスタで設定	LVD のレジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		$V_{det0}$	$V_{det1}$	$V_{det2}$
検出イベント		下降して $V_{det0}$ を通過	上昇または下降して $V_{det1}$ を通過	上昇または下降して $V_{det2}$ を通過
検出電圧		OFS1.VDSEL0[2:0]ビットで 5 レベルから選択可能	LVDLVLRLVD1LVL[4:0]ビットで 16 レベルから選択可能	LVDLVLRLVD2LVL[2:0]ビットで 4 レベルから選択可能
モニタフラグ		なし	LVD1SR.MON フラグ：電圧が $V_{det1}$ より高いか低いかを監視	LVD2SR.MON フラグ：電圧が $V_{det2}$ より高いか低いかを監視
			LVD1SR.DET フラグ： $V_{det1}$ 通過検出	LVD2SR.DET フラグ： $V_{det2}$ 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット $V_{det0} > VCC$ でリセット。 $VCC > V_{det0}$ の一定時間後に CPU 動作再開	電圧監視 1 リセット $V_{det1} > VCC$ でリセット。 CPU 動作再開タイミングとして、 $VCC > V_{det1}$ の一定時間後、または $V_{det1} > VCC$ の一定時間後を選択可能	電圧監視 2 リセット $V_{det2} > VCC$ でリセット。 CPU 動作再開タイミングとして、 $VCC > V_{det2}$ の一定時間後、または $V_{det2} > VCC$ の一定時間後を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能
		$V_{det1} > VCC$ および $VCC > V_{det1}$ の両方、またはどちらかのとき割り込み要求	$V_{det2} > VCC$ および $VCC > V_{det2}$ の両方、またはどちらかのとき割り込み要求	
イベントリンク機能		なし	あり $V_{det1}$ 通過検出時にイベント信号出力	あり $V_{det2}$ 通過検出時にイベント信号出力

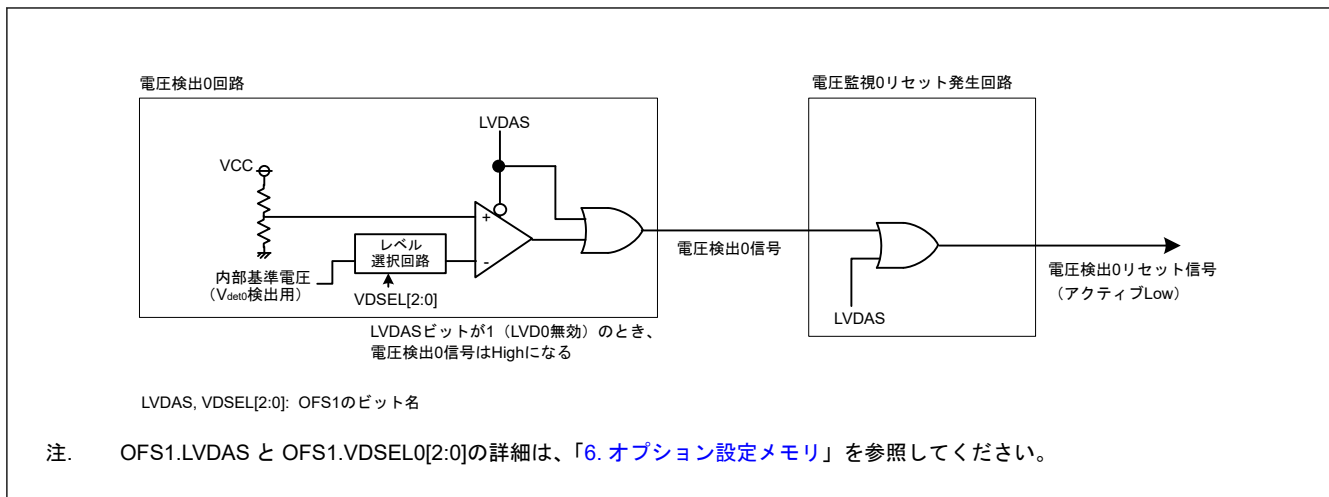


図 7.1 電圧監視 0 リセット発生回路のブロック図

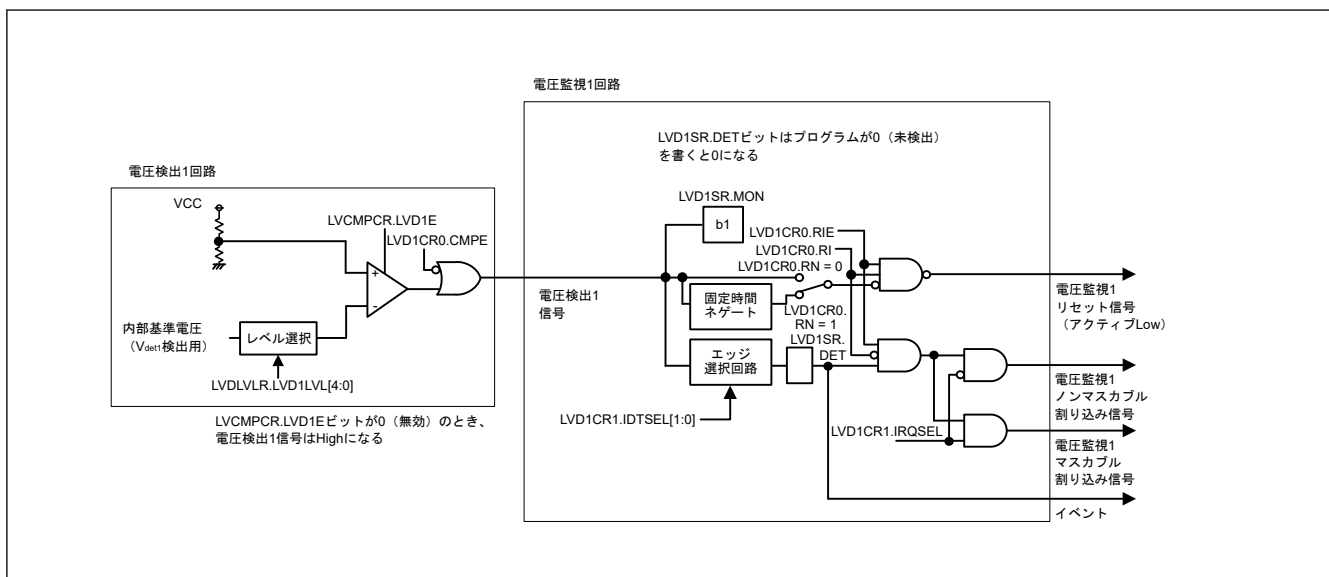


図 7.2 電圧監視 1 割り込み/リセット発生回路のブロック図

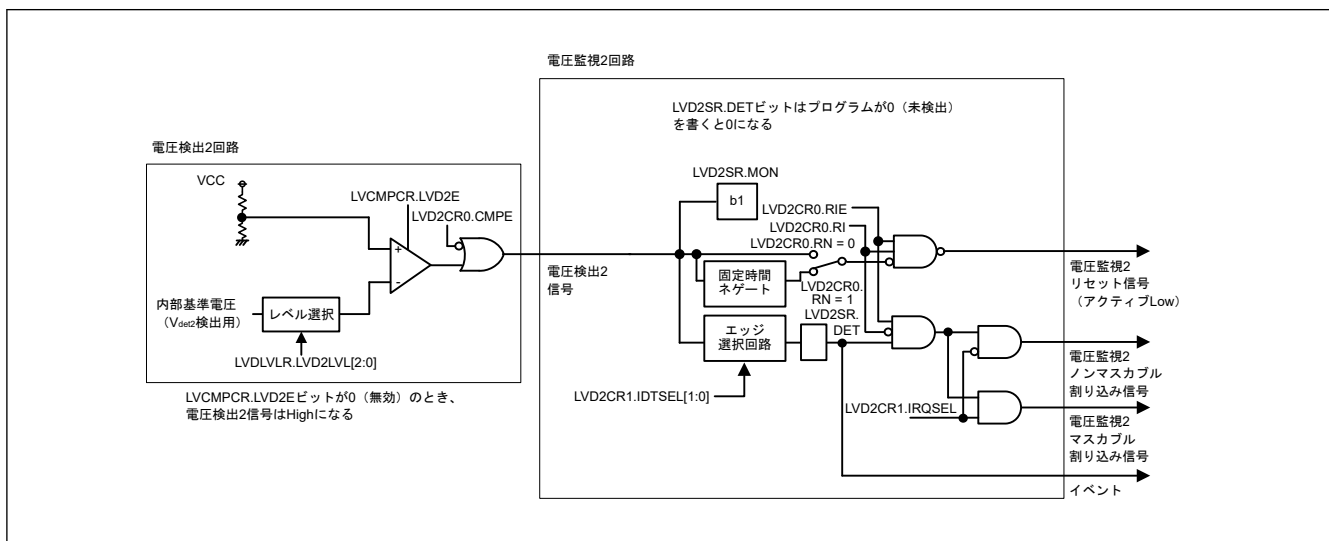


図 7.3 電圧監視 2 割り込み/リセット発生回路のブロック図

## 7.2 レジスタの説明

### 7.2.1 LVCMPCR : 電圧監視回路コントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x417

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	LVD2E	LVD1E	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	LVD1E	電圧検出 1 回路イネーブル 0: 電圧検出 1 回路無効 1: 電圧検出 1 回路有効	R/W
6	LVD2E	電圧検出 2 回路イネーブル 0: 電圧検出 2 回路無効 1: 電圧検出 2 回路有効	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

#### LVD1E ビット (電圧検出 1 回路イネーブル)

電圧検出 1 回路の割り込み/リセットを使用する場合、または LVD1SR.MON フラグを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットを 0 から 1 に変更した後、LVD1 動作安定時間 ( $t_{d(E-A)}$ ) を経過すると、電圧監視 1 回路が動作します。LVD1 動作安定時間 ( $t_{d(E-A)}$ ) については、「[36. 電気的特性](#)」を参照してください。

#### LVD2E ビット (電圧検出 2 回路イネーブル)

電圧検出 2 回路の割り込み/リセットを使用する場合、または LVD2SR.MON フラグを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットを 0 から 1 に変更した後、LVD2 動作安定時間 ( $t_{d(E-A)}$ ) を経過すると、電圧監視 2 回路が動作します。LVD2 動作安定時間 ( $t_{d(E-A)}$ ) については、「[36. 電気的特性](#)」を参照してください。

### 7.2.2 LVDLVLR : 電圧検出レベル選択レジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x418

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD2LVL[2:0]			LVD1LVL[4:0]				
Value after reset:	0	0	0	0	0	1	1	1



ビット	シンボル	機能	R/W
4:0	LVD1LVL[4:0]	電圧検出 1 レベル選択 (電圧降下時の標準電圧) (注1) 0x00: $V_{det1\_0}$ 0x01: $V_{det1\_1}$ 0x02: $V_{det1\_2}$ 0x03: $V_{det1\_3}$ 0x04: $V_{det1\_4}$ 0x05: $V_{det1\_5}$ 0x06: $V_{det1\_6}$ 0x07: $V_{det1\_7}$ 0x08: $V_{det1\_8}$ 0x09: $V_{det1\_9}$ 0x0A: $V_{det1\_A}$ 0x0B: $V_{det1\_B}$ 0x0C: $V_{det1\_C}$ 0x0D: $V_{det1\_D}$ 0x0E: $V_{det1\_E}$ 0x0F: $V_{det1\_F}$ その他: 設定禁止	R/W
7:5	LVD2LVL[2:0]	電圧検出 2 レベル選択 (電圧降下時の標準電圧) (注1) 0 0 0: $V_{det2\_0}$ 0 0 1: $V_{det2\_1}$ 0 1 0: $V_{det2\_2}$ 0 1 1: $V_{det2\_3}$ その他: 設定禁止	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 各電圧検出レベル値は「36. 電気的特性」を参照してください。LVD1 を使用しない場合は、初期値を維持してください。LVD0 を使用するときは、LVD1 の検出電圧を LVD0 の検出電圧より高く設定してください。LVD1LVL[4:0] ビットはリセットの後 1 回だけ書き換えできます。

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットがともに 0 (電圧検出 n 回路無効、n = 1, 2) の場合のみ変更可能です。また、LVD の電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

### 7.2.3 LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0

Base address: SYSC = 0x4001\_E000

Offset address: 0x41A

Bit position: 7 6 5 4 3 2 1 0

Bit field:	RN	RI	—	—	CMPE	—	RIE
Value after reset:	1	0	0	0	x	0	0

Value after reset: 1 0 0 0 x 0 0 0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 1 割り込み/リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 1 回路比較結果出力許可 0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 1 回路モード選択 0: $V_{det1}$ 通過時に電圧監視 1 割り込み発生 1: 下降して $V_{det1}$ 通過時に電圧監視 1 リセット許可	R/W

ビット	シンボル	機能	R/W
7	RN	電圧監視 1 リセットネゲート選択 0: VCC > V <sub>det1</sub> 検出時、一定時間 (t <sub>LVD1</sub> ) 経過後にネゲート 1: LVD1 リセットアサート時、一定時間 (t <sub>LVD1</sub> ) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

#### RIE ビット (電圧監視 1 割り込み/リセット許可)

RIE ビットは電圧監視 1 割り込み/リセットを許可または禁止にします。フラッシュメモリのプログラム/イレース中は、電圧監視 1 割り込みも電圧監視 1 リセットも発生しないように、0 に設定してください。

#### CMPE ビット (電圧監視 1 回路比較結果出力許可)

CMPE ビットは電圧監視 1 回路比較結果出力を許可または禁止にします。電圧検出 1 回路を有効にして安定時間 (t<sub>d(E-A)</sub>) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 1 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 1 回路を無効にしてください。

#### RN ビット (電圧監視 1 リセットネゲート選択)

RN ビットを 1 (電圧監視 1 リセットアサート後、一定時間経過後に電圧監視 1 リセットをネゲート) にする場合は、MOCO.CR0 ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードでは、RN ビットは 0 (VCC > V<sub>det1</sub> 検出時、一定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 にしないでください。

### 7.2.4 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0

Base address: SYSC = 0x4001\_E000

Offset address: 0x41B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	—	—	CMPE	—	RIE	

Value after reset: 1 0 0 0 x 0 0 0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 2 割り込み/リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 2 回路比較結果出力許可 0: 電圧監視 2 回路比較結果出力禁止 1: 電圧監視 2 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 2 回路モード選択 0: V <sub>det2</sub> 通過時に電圧監視 2 割り込み発生 1: 下降して V <sub>det2</sub> 通過時に電圧監視 2 リセット許可	R/W
7	RN	電圧監視 2 リセットネゲート選択 0: VCC > V <sub>det2</sub> 検出時、一定時間 (t <sub>LVD2</sub> ) 経過後にネゲート 1: LVD2 リセットアサート時、一定時間 (t <sub>LVD2</sub> ) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

#### RIE ビット (電圧監視 2 割り込み/リセット許可)

RIE ビットは電圧監視 2 割り込み/リセットを許可または禁止にします。フラッシュメモリのプログラム/イレース中は、電圧監視 2 割り込みも電圧監視 2 リセットも発生しないように、0 に設定してください。

**CMPE ビット (電圧監視 2 回路比較結果出力許可)**

CMPE ビットは電圧監視 2 回路比較結果出力を許可または禁止します。電圧検出 2 回路を有効にして安定時間 ( $t_{d(E-A)}$ ) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 2 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 2 回路を無効にしてください。

**RN ビット (電圧監視 2 リセットネゲート選択)**

RN ビットを 1 (電圧監視 2 リセットアサート後、一定時間経過後に電圧監視 2 リセットをネゲート) にする場合は、MOCOCR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードでは、RN ビットは 0 ( $V_{CC} > V_{det2}$  検出時、一定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 にしないでください。

**7.2.5 LVD1CR1: 電圧監視 1 回路コントロールレジスタ 1**

Base address: SYSC = 0x4001\_E000

Offset address: 0x0E0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	

Value after reset: 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択 0 0: $V_{CC} \geq V_{det1}$ (上昇) 検出時に発生 0 1: $V_{CC} < V_{det1}$ (下降) 検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 1 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

**7.2.6 LVD1SR: 電圧監視 1 回路ステータスレジスタ**

Base address: SYSC = 0x4001\_E000

Offset address: 0x0E1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET

Value after reset: 0 0 0 0 0 0 0 1 0

ビット	シンボル	機能	R/W
0	DET	電圧監視 1 電圧変化検出フラグ 0: 未検出 1: $V_{det1}$ 通過検出	R/W(注1)
1	MON	電圧監視 1 信号モニタフラグ 0: $V_{CC} < V_{det1}$ 1: $V_{CC} \geq V_{det1}$ または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

**DET フラグ（電圧監視 1 電圧変化検出フラグ）**

DET フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

$V_{det1}$  を検出するとき、DET フラグを 0 にするときは、LVD1CR0.RIE を 0（禁止）にしてから行ってください。LVD1CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

**MON フラグ（電圧監視 1 信号モニタフラグ）**

MON フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

**7.2.7 LVD2CR1：電圧監視 2 回路コントロールレジスタ 1**

Base address: SYSC = 0x4001\_E000

Offset address: 0x0E2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 2 割り込み発生条件選択 0 0: $VCC \geq V_{det2}$ （上昇）検出時に発生 0 1: $VCC < V_{det2}$ （下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 2 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMICR.LVD2EN ビットをリセット状態から変更しないでください。

**7.2.8 LVD2SR：電圧監視 2 回路ステータスレジスタ**

Base address: SYSC = 0x4001\_E000

Offset address: 0x0E3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 2 電圧変化検出フラグ 0: 未検出 1: $V_{det2}$ 通過検出	R/W(注1)
1	MON	電圧監視 2 信号モニタフラグ 0: $VCC < V_{det2}$ 1: $VCC \geq V_{det2}$ または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

**DET フラグ（電圧監視 2 電圧変化検出フラグ）**

DET フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

$V_{det2}$  を検出するとき、LVD2CR0.RIE ビットを 0（禁止）にしてから、DET フラグを 0 にしてください。

LVD2CR0.RIE ビットを 0 に設定した後、そのビットを 1（許可）に設定する場合は、PCLKB の 2 サイクル以上待ってから設定してください。

**MON フラグ（電圧監視 2 信号モニタフラグ）**

MON フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

**7.3 VCC 入力電圧のモニタ****7.3.1  $V_{det0}$  のモニタ**

電圧監視 0 の比較結果は、読み出すことができません。

**7.3.2  $V_{det1}$  のモニタ**

表 7.2 に  $V_{det1}$  のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

**表 7.2  $V_{det1}$  のモニタの設定手順**

手順	電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）、電圧監視 1 リセット	
電圧検出 1 回路の設定	1	LVCMPCR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする
	2	LVDLVL.R.LVD1LVL[4:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする
	4	$t_{d(E-A)}$ （LVD 有効切り替え後の LVD 動作安定時間）以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する

**7.3.3  $V_{det2}$  のモニタ**

表 7.3 に  $V_{det2}$  のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

**表 7.3  $V_{det2}$  のモニタの設定手順**

手順	電圧監視 2 割り込み、リセット	
電圧検出 2 回路の設定	1	LVCMPCR.LVD2LVL[2:0] ビットへ書き込む前に、LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にする
	2	LVDLVL.R.LVD2LVL[2:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD2E = 1 にして、電圧検出 2 を有効にする
	4	$t_{d(E-A)}$ （LVD2 有効切り替え後の LVD2 動作安定時間）以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する

**7.4 電圧監視 0 リセット**

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0（リセット後、電圧監視 0 リセット有効）にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。

図 7.4 に電圧監視 0 リセットの動作例を示します。

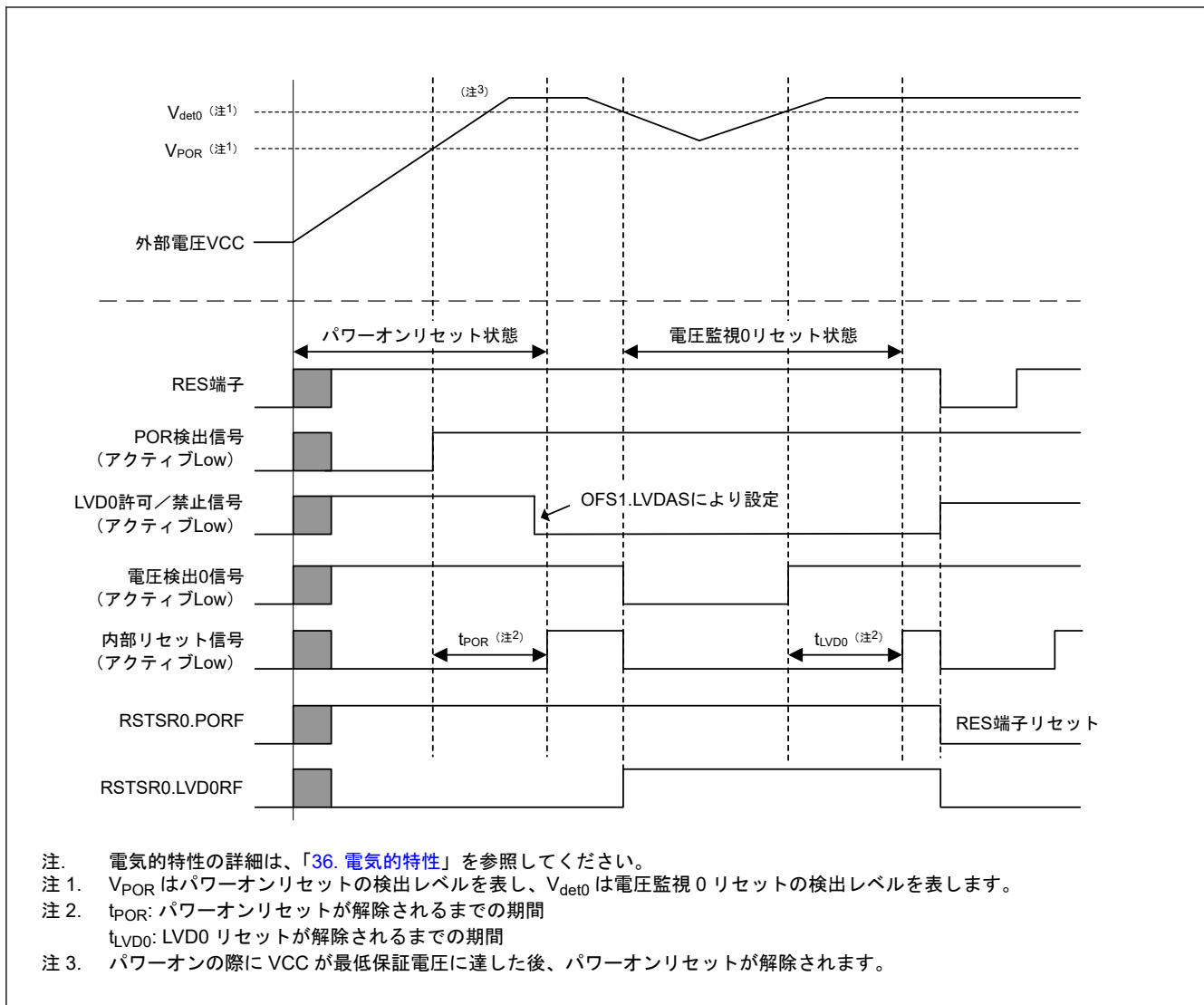


図 7.4 電圧監視 0 リセットの動作例

### 7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、回路を本項に記述している手順で設定してください。

#### (1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det1}$  検出時、LVD1 動作安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) にしてください。

表 7.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVDLVLRLR レジスタへ書き込む前に、LVCMPCLR.LVD1E = 0 にして、電圧検出 1 回路を無効にしてください
	2	LVDLVLRLR.LVD1LVL[4:0]ビットで検出電圧を選択してください
	3	LVCMPCLR.LVD1E = 1 にして、電圧検出 1 回路を有効にしてください
	4	$t_{d(E-A)}$ (LVD1 有効切り替え後の LVD1 動作安定時間) 以上待ってください(注1)
電圧監視 1 割り込み/リセットの設定	5	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択してください <ul style="list-style-type: none"> <li>● LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択してください</li> <li>● LVD1CR0.RN ビットでリセットネゲートの種類を選択してください</li> </ul>
	6	<ul style="list-style-type: none"> <li>● LVD1CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択してください</li> <li>● LVD1CR1.IRQSEL ビットで割り込みの種類を選択してください</li> </ul>
出力許可の設定	7	LVD1SR.DET = 0 にしてください
	8	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み/リセットを許可してください(注2)
	9	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可してください

注 1. 手順 4 の待ち時間中に手順 5~8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「36. 電気的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)、電圧監視 1 リセット	
出力許可停止の設定	1	LVD1CR0.CMPE = 0 にして、電圧監視 1 の比較結果出力を禁止してください
	2	LVD1CR0.RIE = 0 にして、電圧監視 1 割り込み/リセットを禁止してください(注1)
電圧検出 1 回路停止の設定	3	LVCMPCLR.LVD1E = 0 にして、電圧検出 1 回路を無効にしてください

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込み/リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路に対する再設定は不要
- 電圧監視 1 割り込み/リセットの設定を変更しない場合、電圧監視 1 割り込み/リセットに対する再設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。

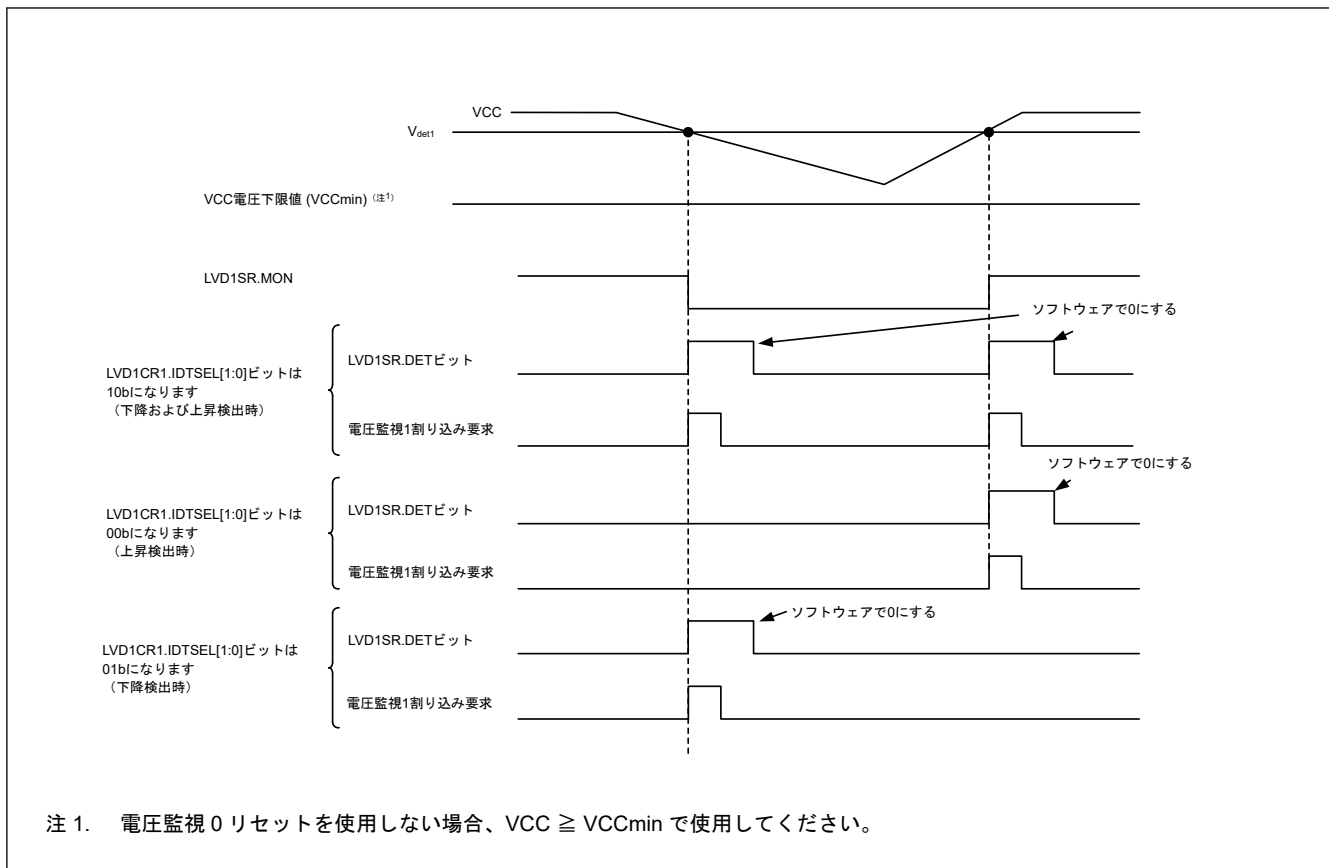


図 7.5 電圧監視 1 割り込みの動作例

### 7.6 電圧監視 2 割り込み、リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み、リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み、リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモード電圧監視 2 回路を使用する場合は、回路を以下のように設定してください。

#### (1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det2}$  検出時、LVD2 動作安定時間経過後に電圧監視 2 リセット信号をネゲート(LVD2CR0.RN = 0) にしてください。

表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (1/2)

手順	電圧監視 2 割り込み(電圧監視 2ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にしてください
	2	LVDLVLR.LVD2LVL[2:0]ビットで検出電圧を選択してください
	3	LVCMPCR.LVD2E = 1 にして、電圧検出 2 回路を有効にしてください
	4	$t_{d(E-A)}$ (LVD2 有効切り替え後の LVD2 動作安定時間) 以上待ってください(注1)



表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (2/2)

手順	電圧監視 2 割り込み(電圧監視 2ELC イベント出力)	電圧監視 2 リセット	
電圧監視 2 割り込み/リセットの設定	5	LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択してください	<ul style="list-style-type: none"> <li>LVD2CR0.RI = 1 にして、電圧監視 2 リセットを選択してください</li> <li>LVD2CR0.RN ビットでリセットネゲートの種類を選択してください</li> </ul>
	6	<ul style="list-style-type: none"> <li>LVD2CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択してください</li> <li>LVD2CR1.IRQSEL ビットで割り込みの種類を選択してください</li> </ul>	—
出力許可の設定	7	LVD2SR.DET = 0 にしてください	
	8	LVD2CR0.RIE = 1 にして、電圧監視 2 割り込み/リセットを許可してください(注2)	
	9	LVD2CR0.CMPE = 1 にして、電圧監視 2 回路の比較結果出力を許可してください	

注 1. 手順 4 の待ち時間中に手順 5~8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「36. 電気的特性」を参照してください。

注 2. ELC イベント信号のみが出力される場合は、手順 8 は不要です。

表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み (電圧監視 2ELC イベント出力)、電圧監視 2 リセット	
出力許可停止の設定	1	LVD2CR0.CMPE = 0 にして、電圧監視 2 回路の比較結果出力を禁止してください
	2	LVD2CR0.RIE = 0 にして、電圧監視 2 割り込み/リセットを禁止してください(注1)
電圧検出 2 回路停止の設定	3	LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にしてください

注 1. ELC イベント信号のみが出力される場合は、手順 2 は不要です。

電圧監視 2 割り込み/リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合、その回路に対する再設定は不要
- 電圧監視 2 割り込みまたは電圧監視 2 リセットの設定を変更しない場合、電圧監視 2 割り込みまたはリセットに対する再設定は不要

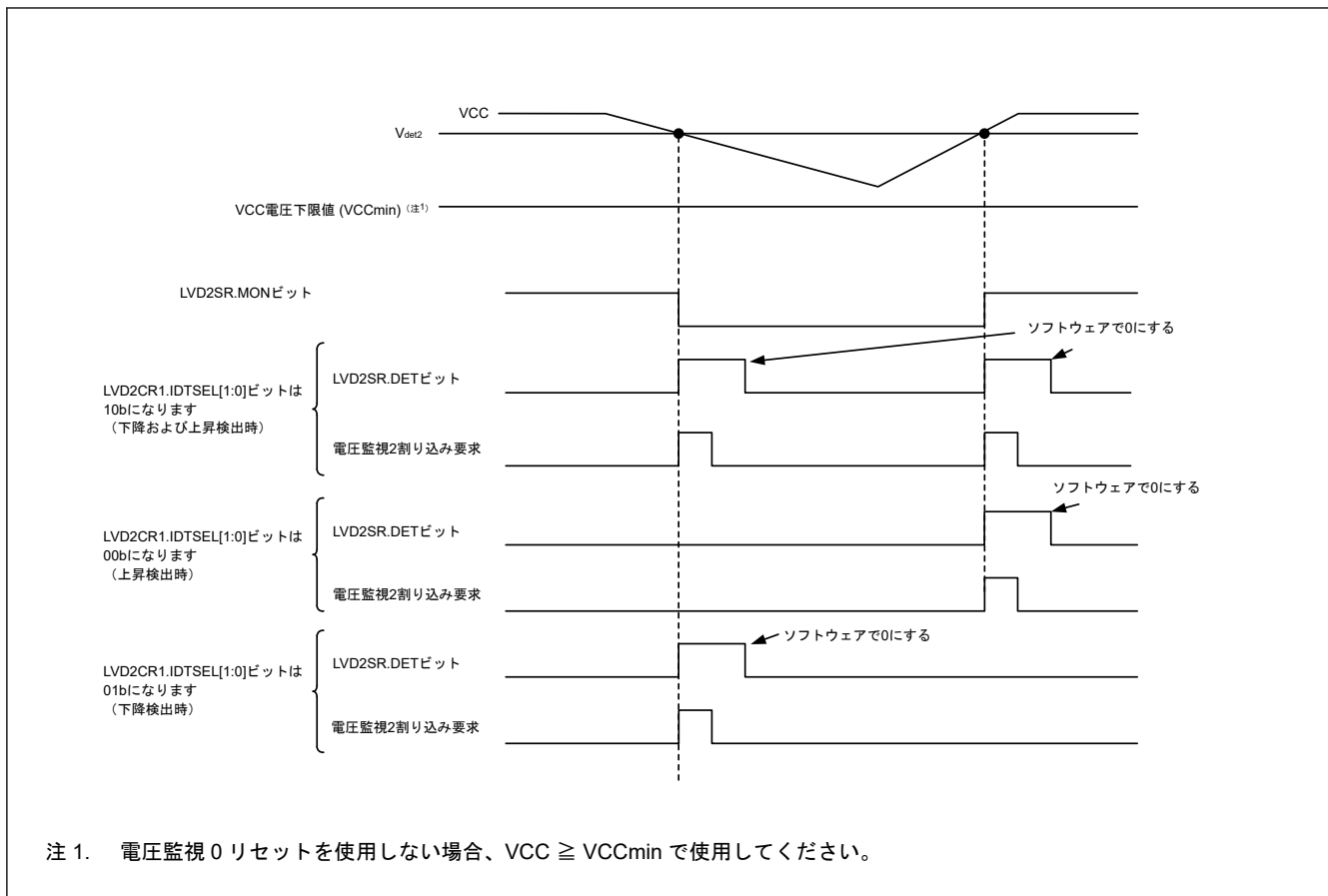


図 7.6 電圧監視 2 割り込みの動作例

## 7.7 ELC によるリンク動作

LVD は、ELC に対してイベント信号出力が可能です。

### (1) $V_{det1}$ 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、 $V_{det1}$  通過を検出した場合にイベント信号を出力します。

### (2) $V_{det2}$ 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、 $V_{det2}$  通過を検出した場合にイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

### 7.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 と電圧監視 2 割り込みに割り込み許可/禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードにおいても、電圧監視 1 および電圧監視 2 割り込み信号を出力することができます。

- ソフトウェアスタンバイモード期間中に  $V_{det1}$  または  $V_{det2}$  通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。 $V_{det1}$  および

$V_{det2}$  通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、 $V_{det1}$  および  $V_{det2}$  検出フラグ状態にしたがって ELC 用のイベント信号が出力されます。

## 8. クロック発生回路

### 8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 および表 8.2 に、クロック発生回路の仕様を示します。図 8.1 と図 8.2 にブロック図を、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
高速オンチップオシレータ (HOCO)	発振周波数	24/32/48/64 MHz
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
IWDT 専用オンチップオシレータ (IWDTLOCO)	発振周波数	15 kHz
	ユーザートリミング	なし
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 12.5 MHz

表 8.2 クロック発生回路の仕様（内部クロック）

項目	クロックソース	クロック供給先	内容
システムクロック (ICLK)	HOCO/MOCO/LOCO	CPU、DTC、フラッシュ、Flash-IF、SRAM	最高 48 MHz 分周比：1/2/4/8/16/32/64 1 MHz~48 MHz (P/E)
周辺モジュールクロック B (PCLKB)	HOCO/MOCO/LOCO	周辺モジュール (CAC、ELC、I/O ポート、KINT、POEG、GPT、AGT、WDT、IWDT、SCI、SPI、I3C、CRC、ADC12、DOC、AES、TRNG)	最高 32 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	HOCO/MOCO/LOCO	周辺モジュール (GPT カウントクロック、ADC12 変換クロック、IIC/I3C 内部動作クロック)	最高 64 MHz 分周比：1/2/4/8/16/32/64
AGT クロック (AGTLCLK)	LOCO	AGT	32.768 kHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz
CAC HOCO クロック (CACHCLK)	HOCO	CAC	24/32/48/64 MHz
CAC IWDTLOCO クロック (CACILCLK)	IWDTLOCO	CAC	15 kHz
IWDT クロック (IWDTCLK)	IWDTLOCO	IWDT	15 kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz
クロック／ブザー出力 (CLKOUT)	LOCO/MOCO/HOCO	CLKOUT 端子	最高 16 MHz 分周比：1/2/4/8/16/32/64/128
シリアルワイヤクロック (SWCLK)	SWCLK 端子	OCD	最高 12.5 MHz

注. クロック周波数の設定に関する制限：ICLK  $\geq$  PCLKB、PCLKD  $\geq$  PCLKB  
PCLKB クロック周波数比に関する制限：(N は最大 64 の整数)  
ICLK:PCLKB = N:1、ICLK:PCLKD = N:1 または 1:N  
プログラミング／イレース (P/E) モードでの最低 ICLK 周波数は 1 MHz です。

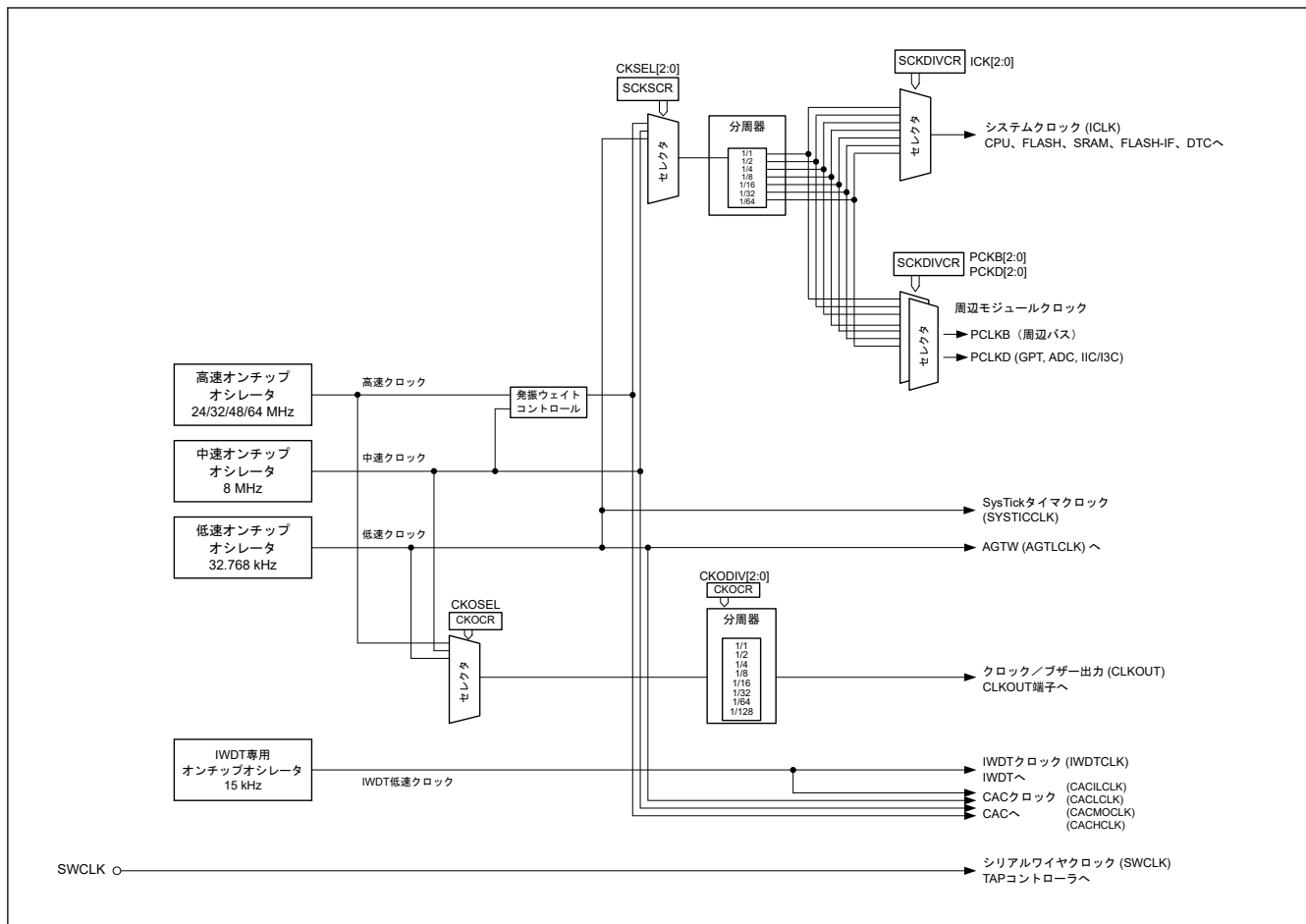


図 8.1 クロック発生回路のブロック図 (内部クロック供給先アーキテクチャ A)

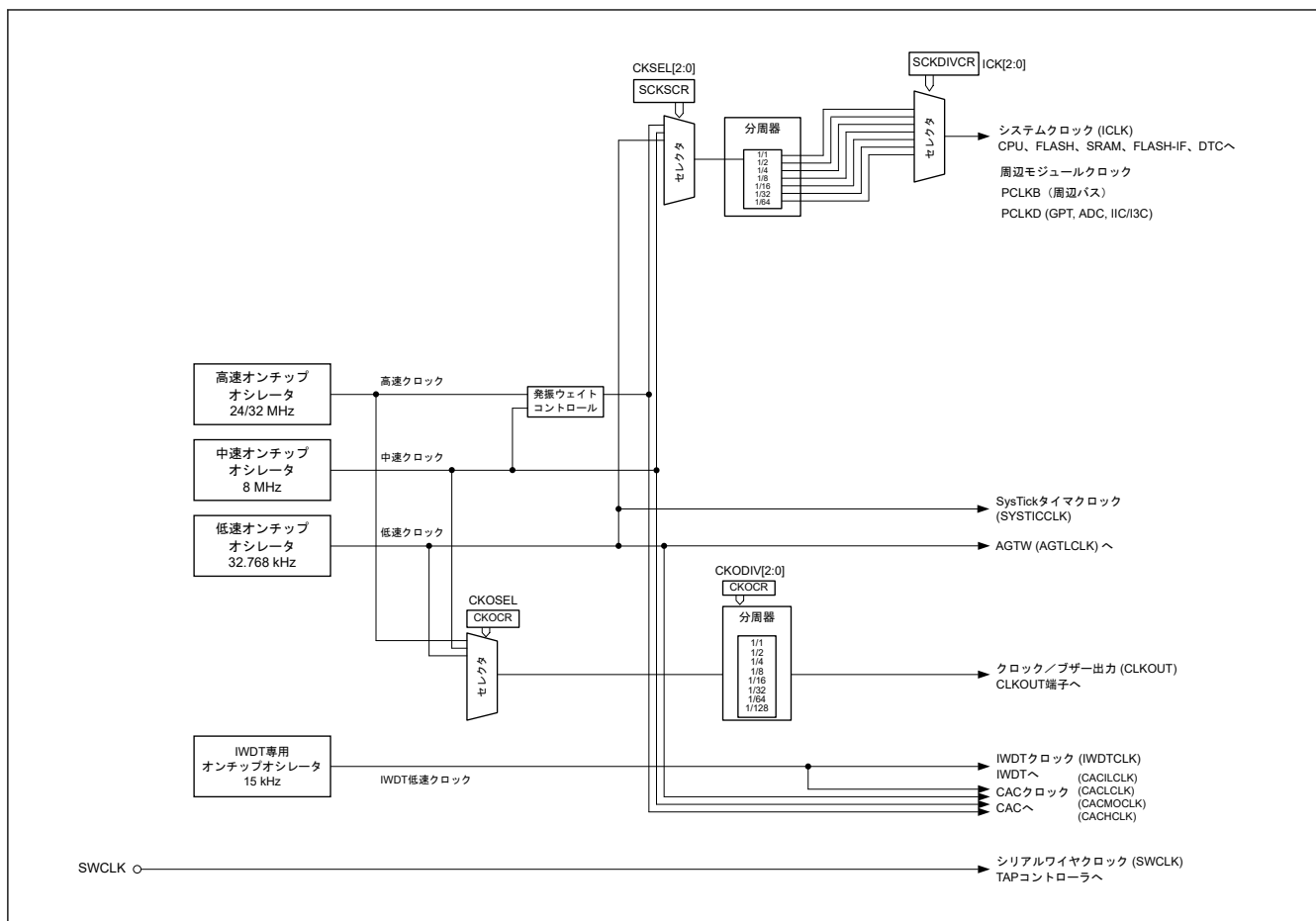


図 8.2 クロック発生回路のブロック図 (内部クロック供給先アーキテクチャ B)

表 8.3 クロック発生回路入出力端子

端子名	入出力	機能
CLKOUT	出力	CLKOUT/BUZZER クロックを出力します。
SWCLK	入力	SWD からの入力です。

## 8.2 レジスタの説明

### 8.2.1 SCKDIVCR : システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Bit field:	—	—	—	—	—	ICK[2:0]			—	—	—	—	—	—	—	—	
Value after reset:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Bit field:	—	—	—	—	—	PCKB[2:0]			—	—	—	—	—	PCKD[2:0]			
Value after reset:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	PCKD[2:0]	周辺モジュールクロック D (PCLKD) 選択 <sup>(注2)</sup> <sup>(注3)</sup> 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択 <sup>(注1)</sup> <sup>(注3)</sup> 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
23:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	ICK[2:0]	システムクロック (ICLK) 選択 <sup>(注1)</sup> <sup>(注2)</sup> <sup>(注3)</sup> 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 内部クロック供給アーキテクチャタイプ B の場合、システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、および周辺モジュールクロック (PCLKD) の周波数の関係は ICLK にする必要があります。PCLKB : PCLKD = 1 : 1 : 1  
内部クロック供給アーキテクチャタイプ B で SCKDIVCR を設定するときは、ICK[2:0] と PCKB[2:0] と PCKD[2:0] に同じ値を書き込みます。

注 1. システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の周波数の関係を、 $ICLK : PCLKB = N : 1$  (N : 整数) にしてください。

注 2. システムクロック (ICLK) と周辺モジュールクロック (PCLKD) の周波数の関係を、 $ICLK : PCLKD = N : 1$  または  $1 : N$  (N : 整数) にしてください。

注 3. SCKSCR.CKSEL[2:0] ビット[2:0] ビットで 32 MHz よりも速いシステムクロック周波数を選択し、MEMORWAIT.MEMWAIT = 0 の場合、ICLK に 1 分周を設定しないでください。

SCKDIVCR レジスタは、システムクロック (ICLK) と周辺モジュールクロック (PCLKB, PCLKD) の周波数を選択するレジスタです。

## 8.2.2 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x026

Bit position: 7 6 5 4 3 2 1 0

Bit field:	—	—	—	—	—	CKSEL[2:0]	
------------	---	---	---	---	---	------------	--

Value after reset: 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット(注1) 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: 設定禁止 1 0 0: 設定禁止 1 0 1: 設定禁止 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. SCKDIVCR.ICK[2:0]ビットで 1 分周を選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、32 MHz よりも速いシステムクロックソース (システムクロックソース > 32 MHz) の選択は禁止です。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

### CKSEL[2:0]ビット (クロックソース選択ビット)

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKB, PCLKD)

本ビットは下記のソースから 1 つを選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

### 8.2.3 MEMWAIT : メモリウェイトサイクルコントロールレジスタ (コードフラッシュ)

Base address: SYSC = 0x4001\_E000

Offset address: 0x031

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MEM WAIT

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	MEMWAIT	メモリウェイトサイクル選択 (コードフラッシュ) 0: ウェイトなし 1: ウェイトあり	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/(W)

注. SCKDIVCR.ICK ビットが 1 分周を選択し、かつ SCKSCR.CKSEL[2:0]ビットが 32 MHz より速い (ICLK > 32 MHz) システムクロックソースを選択する場合、MEMWAIT ビットに 0 を書き込まないでください。

注. OFS1.ICSATS ビットにより内部クロック供給先アーキテクチャ B が選択されている場合、MEMWAIT の設定はしないでください。

MEMWAIT レジスタはコードフラッシュ読み出しのウェイトサイクルを制御します。

### MEMWAIT ビット (メモリウェイトサイクル選択 (コードフラッシュ))

本ビットはコードフラッシュ読み出しのウェイトサイクルを選択します。コードフラッシュアクセスのウェイトサイクルはリセット解除後にウェイトなし (MEMWAIT = 0) に設定されます。



MEMWAIT ビットに書き込む前に、ICLK 周波数や動作パワーコントロールモードを確認してください。ICLK、動作パワーコントロールモード、および MEMWAIT ビットを設定するときに、次の制限が適用されます。

- ICLK が 32 MHz 以下 ( $ICLK \leq 32 \text{ MHz}$ ) かつ動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) の間に ICLK を 32 MHz より高く ( $ICLK > 32 \text{ MHz}$ ) 設定する場合は、MEMWAIT を 1 に設定してください。高速モード以外の動作モードでは、MEMWAIT を 1 に設定しないでください。MEMWAIT = 0 の間は ICLK を 32 MHz より高く設定しないでください。
- ICLK を 32 MHz より高い周波数 ( $ICLK > 32 \text{ MHz}$ ) から 32 MHz 以下の周波数 ( $ICLK \leq 32 \text{ MHz}$ ) に設定する場合は、MEMWAIT = 1 の間に ICLK 周波数を 32 MHz 以下にしてください。ICLK が 32 MHz より高いときに MEMWAIT を 0 に設定しないでください。高速モード以外の動作モードでは、MEMWAIT を 1 に設定しないでください。ICLK 周波数が 32 MHz 以下および動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) のとき、MEMWAIT は 0 に設定可能です。

表 8.4 MEMWAIT ビットの設定

MEMWAIT ビット	MCU 動作パワー制御		
	モード：高速モード以外	高速モード	
		ICLK $\leq$ 32 MHz	ICLK $>$ 32 MHz
0	✓	✓	—
1	—	✓	✓

注. ✓：設定可能  
—：設定不可

## 8.2.4 FLDWAITR：メモリウェイトサイクルコントロールレジスタ（データフラッシュ）

Base address: FLCN = 0x407E\_C000

Offset address: 0x3FC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLDWAIT1
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLDWAIT1	メモリウェイトサイクル選択（データフラッシュ） 0: 1 ウェイトアクセス（初期設定） 1: 2 ウェイトアクセス	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. SCKDIVCR.ICK ビットが 1 分周を選択し、かつ SCKSCR.CKSEL[2:0] ビットが 32 MHz より速い ( $ICLK > 32 \text{ MHz}$ ) システムクロックソースを選択する場合、FLDWAIT1 ビットに 0 を書き込まないでください。

注. OFS1.ICATS ビットにより内部クロック供給先アーキテクチャ B が選択されている場合、FLDWAIT1 の設定はしないでください。

注. データフラッシュが使用されていない場合、FLDWAIT1 の設定は不要です。

FLDWAITR レジスタはデータフラッシュ読み出しのウェイトサイクルを制御します。

### FLDWAIT1 ビット（メモリウェイトサイクル選択（データフラッシュ））

本ビットはデータフラッシュ読み出しのウェイトサイクルを選択します。データフラッシュアクセスのウェイトサイクルはリセット解除後に 1 ウェイト (FLDWAIT1 = 0) に設定されます。

データフラッシュ読み出しのウェイトサイクルの FLDWAIT1 設定は次の通りです。

- FLDWAIT1 = 0: 1 ウェイトサイクル
- FLDWAIT1 = 1: 2 ウェイトサイクル

FLDWAIT1 ビットに書き込む前に、ICLK 周波数や動作パワーコントロールモードを確認してください。ICLK、動作パワーコントロールモード、および FLDWAIT1 ビットを設定するときに、次の制限が適用されます。

- ICLK が 32 MHz 以下 ( $ICLK \leq 32 \text{ MHz}$ ) かつ動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) の間に ICLK を 32 MHz より高く ( $ICLK > 32 \text{ MHz}$ ) 設定する場合は、FLDWAIT1 を

1 に設定してください。高速モード以外の動作モードでは、FLDWAIT1 を 1 に設定しないでください。FLDWAIT1 = 0 の間は ICLK を 32 MHz より高く設定しないでください。

- ICLK を 32 MHz より高い周波数 ( $ICLK > 32 \text{ MHz}$ ) から 32 MHz 以下の周波数 ( $ICLK \leq 32 \text{ MHz}$ ) に設定する場合は、FLDWAIT1 = 1 の間に ICLK 周波数を 32 MHz 以下にしてください。ICLK が 32 MHz より高いときに FLDWAIT1 を 0 に設定しないでください。高速モード以外の動作モードでは、FLDWAIT1 を 1 に設定しないでください。ICLK 周波数が 32 MHz 以下および動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) のとき、FLDWAIT1 は 0 に設定可能です。

表 8.5 FLDWAIT1 ビットの設定

FLDWAIT1 ビット	MCU 動作パワー制御		
	モード：高速モード以外	高速モード	
		$ICLK \leq 32 \text{ MHz}$	$ICLK > 32 \text{ MHz}$
0	✓	✓	—
1	—	✓	✓

注. ✓：設定可能  
—：設定不可

図 8.3 に ICLK を 32 MHz より高く設定する場合のフロー例を示します。

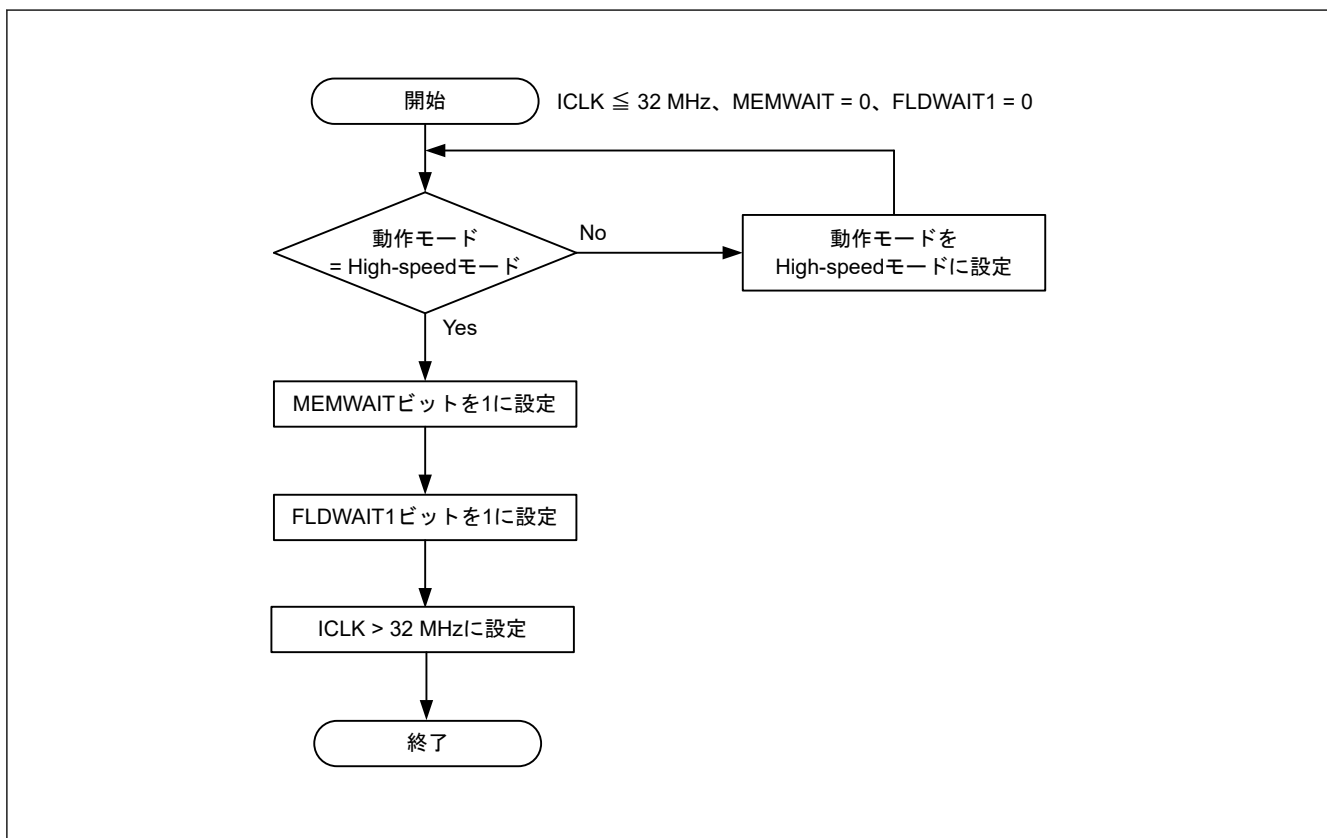


図 8.3 ICLK > 32 MHz に設定する場合

図 8.4 に ICLK が 32 MHz より高いときに ICLK を 32 MHz 以下に設定する場合のフロー例を示します。

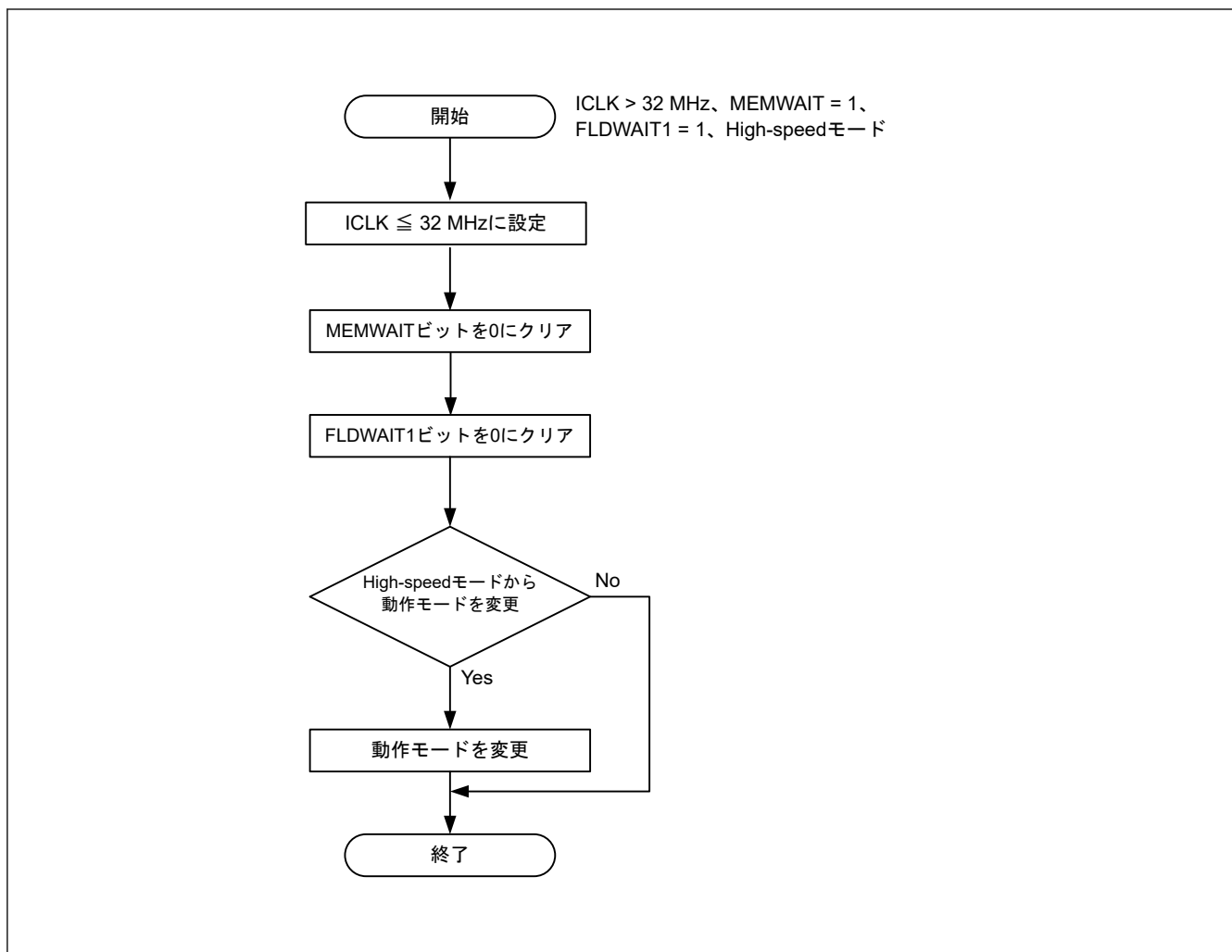


図 8.4 ICLK &gt; 32 MHz から ICLK ≤ 32 MHz に設定する場合

## 8.2.5 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x490

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに1を設定してから書き込んでください。

LOCOCR レジスタは、LOCO を制御するレジスタです。

**LCSTP ビット (LOCO 停止)**

LCSTP ビットは、LOCO を動作または停止させます。

LCSTP ビットを 0 にして LOCO を動作させた後、LOCO クロック発振安定待機時間 ( $t_{LOCOWT}$ ) が経過してから、LOCO クロックを使用してください。LOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでもに一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要です。
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認してください。
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- LOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

LOCO クロックは他の発振器の発振安定待ち時間を計測しているため、LOCOCR.LCSTP ビットの設定値にかかわらず、発振安定待ち時間の計測中は LOCO クロックが発振しています。そのため、LCSTP ビットが停止に設定されていても、意図せず LOCO クロックが供給される場合があります。

## 8.2.6 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP P
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作 (注3) 1: HOCO 停止	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. HOCOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウンタ中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みは禁止されています。

注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 になります。

注 2. OPCCR.OPCMTSF = 1、または OPCCR.OPCMTSF = 1 (動作電力制御モードの遷移中) の状態にあるとき、HCSTP への書き込みは禁止されています。

注 3. HOCO (HCSTP = 0) を動作させる前に、OFS1.HOCOFREQ[2:0] ビットを最適な値に設定してください。

HOCOCR レジスタは、HOCO を制御するレジスタです。

### HCSTP ビット (HOCO 停止)

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。また、HOCO を停止するように設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO クロック停止後に、OSCSF.HOCOSF ビットが 0 になっていることを確認してから、HOCO クロックを再開してください。

- HOCO を停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してください。
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にしてソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認した上で WFI 命令を実行してください。
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認した上で WFI 命令を実行してください。

以下の条件で HCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)

### 8.2.7 MOCO CR : 中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MOCO CR レジスタは、MOCO を制御するレジスタです。

#### MCSTP ビット (MOCO 停止)

MCSTP は、MOCO を動作または停止させます。

MCSTP ビットを 0 にした後、MOCO クロック発振安定待機時間 ( $t_{MOCO\text{WT}}$ ) が経過してから、MOCO クロックを使用してください。MOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでも一定の待機時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要です。
- MOCO を停止させる前に、MOCO クロックの発振が安定していることを確認してください。
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- MOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で MCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

### 8.2.8 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HOCOSF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止、または発振安定待ち中 1: HOCO クロックは安定、システムクロックとして使用可能	R
7:1	—	読むと 0 が読めます。	R

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。  
OFS1.HOCOEN = 1 (HOCO 停止) の場合、HOCOSF のリセット後の値は 0 です。  
OFS1.HOCOEN = 0 (HOCO 動作) の場合、リセット解除直後は HOCOSF は 0 ですが、HOCO 発振安定待機時間経過後に HOCOSF は 1 になります。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

#### HOCOSF フラグ (HOCO クロック発振安定フラグ)

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。OFS1.HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF フラグが 1 であることを確認してください。

[1 になる条件]

- HOCO 停止時、HOCO.CR.HCSTP ビットが 0 になった後、MOCO クロックで HOCO 発振安定時間をカウントし、MCU 内部へ HOCO クロック供給を開始したとき。HOCO 発振安定待機時間は「36. 電气的特性」を参照してください。

[0 になる条件]

- HOCO の動作時に、HOCO.CR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

### 8.2.9 HOCOWTCR : 高速オンチップオシレータウェイトコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x0A5

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HSTS[2:0]		
Value after reset:	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
2:0	HSTS[2:0]	HOCO 待機時間設定 1 0 1: リセット後の値 0 1 1: HOCO.CR.HCSTP ビットを設定して高速オンチップオシレータを開始する前に、前もって HSTS[2:0] ビットを 011b に設定する必要があります。 待機時間 = 46 サイクル (5.75 μs) 待機時間は MOCO = 8 MHz (標準は 0.125 μs) として計算されます。 その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
7:3	—	読むと0が読めます。書く場合、0としてください。	R/W

HOCOWTCR レジスタは、高速オンチップオシレータの出力を内部回路に供給するまでの待機時間を制御するレジスタです。HOCOCR.HCSTP ビットが1の場合、または OSCSF.HOCOSF フラグが1の場合にのみ、HOCOWTCR に書き込むことができます。それ以外では、このレジスタに書き込まないでください。

### HSTS[2:0]ビット (HOCO 待機時間設定)

発振安定待ち回路は、待機時間を計測し、MCU 内部へのクロック供給を制御します。高速オンチップオシレータが動作を開始すると、発振安定待ち回路は、HOCOWTCR レジスタの設定値に応じた中速クロックサイクル数のカウントを開始します。設定したサイクル数のカウントが完了するまでの間、MCU のクロック供給は行われません。カウント完了後、MCU 内部へのクロック供給が開始され、OSCSF.HOCOSF フラグが1になります。

発振安定待ち回路は、MOCOCR.MCSTP ビットの設定にかかわらず、中速クロックのサイクル数のカウントを継続します。待機時間の計測時には、ハードウェアで自動的に中速オンチップオシレータの動作/停止が制御されます。

## 8.2.10 CKOCR : クロックアウトコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x03E

Bit position: 7 6 5 4 3 2 1 0

Bit field:	7	6	5	4	3	2	1	0
CKOEN	CKODIV[2:0]			—	CKOSEL[2:0]			

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 0 0 0: HOCO (リセット後の値) 0 0 1: MOCO 0 1 0: LOCO 0 1 1: 設定禁止 1 0 0: 設定禁止 1 0 1: 設定禁止 その他: 設定禁止	R/W
3	—	読むと0が読めます。書く場合、0としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 1 1 1: × 1/128	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. PRCR.PRC0 ビットを1 (書き込み許可) にしてから、本レジスタを書き換えてください。

### CKOSEL[2:0]ビット (クロック出力ソース選択)

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを0にしてください。

**CKODIV[2:0]ビット（クロック出力周波数分周比）**

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「36. 電気的特性」を参照してください。

**CKOEN ビット（クロック出力許可）**

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

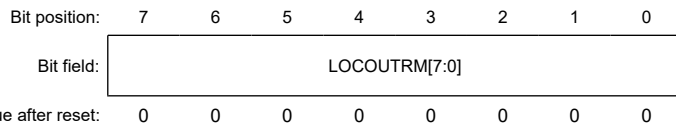
1 を書き込むと、CKOSEL[2:0]と CKODIV[2:0]で設定したクロックが出力されます。0 を書き込むと、Low が出力されます。本ビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のクロックソースが安定していることを確認してください。クロックソースが安定していないと、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロック出力ソースを停止させる場合、事前に CKOEN ビットを 0 にしてください。

**8.2.11 LOCOUTCR : LOCO ユーザトリミングコントロールレジスタ**

Base address: SYSC = 0x4001\_E000

Offset address: 0x492



ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザトリミング 0xF8: -8 0xF9: -7 ⋮ 0xFF: -1 0x00: 0 0x01: +1 ⋮ 0x06: +6 0x07: +7	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

LOCOUTCR レジスタでトリミング値を設定することにより、1 ビット当たり約 3.9%の分解能で LOCO 周波数をトリミングできます。

トリミング値を増加させると、LOCO 周波数は高くなります。

トリミング値を減少させると、LOCO 周波数は低くなります。

LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。

LOCOUTCR が修正されるとき、周波数安定時間は MCU の動作開始時の周波数安定時間に対応しています。

LOCO 周波数と他の発振周波数の比が整数値の場合、LOCOUTCR の値を変更することは禁止されています。

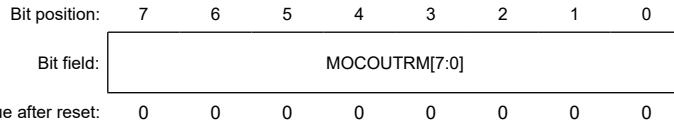
注. 周波数のトリミング後に、温度や電源電圧が変化すれば、周波数は変わります。そのような場合、定期的に、あるいは高周波数精度が要求される前に、トリミングを実行することが必要不可欠です。



## 8.2.12 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x061



ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0xF0: -16 0xF1: -15 ⋮ 0xFF: -1 0x00: 0 0x01: +1 ⋮ 0x0E: +14 0x0F: +15	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

MOCOUTCR レジスタでトリミング値を設定することにより、1 ビット当たり約 1.2%の分解能で MOCO 周波数をトリミングできます。

トリミング値を増加させると、MOCO 周波数は高くなります。

トリミング値を減少させると、MOCO 周波数は低くなります。

MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。

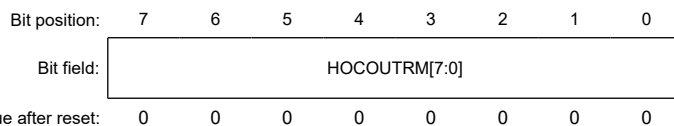
MOCOUTCR が修正される時、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。MOCO 周波数と他の発振周波数の比が整数値の場合、MOCOUTCR の値を変更することは禁止されています。

注. 周波数のトリミング後に、温度や電源電圧が変化すれば、周波数は変わります。そのような場合、定期的に、あるいは高周波数精度が要求される前に、トリミングを実行することが必要不可欠です。

## 8.2.13 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x062



ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザートリミング 0xE0: -32 0xE1: -31 ⋮ 0xFF: -1 0x00: 0 0x01: +1 ⋮ 0x1E: +30 0x1F: +31	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、本レジスタを書き換えてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

HOCOUTCR レジスタでトリミング値を設定することにより、1 ビット当たり約 0.028%の分解能で HOCO 周波数をトリミングできます。

トリミング値を増加させると、HOCO 周波数は高くなります。

トリミング値を減少させると、HOCO 周波数は低くなります。

HOCOUTCR に HOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。

HOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。

注. 周波数のトリミング後に、温度や電源電圧が変化すれば、周波数は変わります。そのような場合、定期的に、あるいは高周波数精度が要求される前に、トリミングを実行することが必要不可欠です。

### 8.3 内部クロック

内部クロック用のクロックソースには、以下のものがあります。

- HOCO クロック
- MOCO クロック
- LOCO クロック
- IWDT 専用クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DTC、フラッシュ、Flash-IF、および SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKB および PCLKD
- CAC の動作クロック — CACCLK
- IWDT の動作クロック — IWDTCCLK
- AGT の動作クロック (LOCO) — AGTLCLK
- SysTick タイマの動作クロック — SYSTICCLK
- 外部端子出力のクロック — CLKOUT

内部クロックの周波数設定に使用するレジスタの詳細については、「[8.3.1. システムクロック \(ICLK\)](#)」～「[8.3.7. 外部端子出力クロック \(CLKOUT\)](#)」を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

#### 8.3.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、フラッシュメモリ、Flash-IF、および SRAM の動作クロックです。

ICLK の周波数は、OFS1.HOCOFQR1[2:0]ビット、SCKDIVCR.ICK[2:0]ビット、および SCKSCR.CKSEL[2:0]ビットで設定します。

ICLK クロックソースの切り替え時、クロックソース移行期間中は、ICLK クロックの周期が長くなります。[図 8.5](#) と [図 8.6](#) を参照してください。

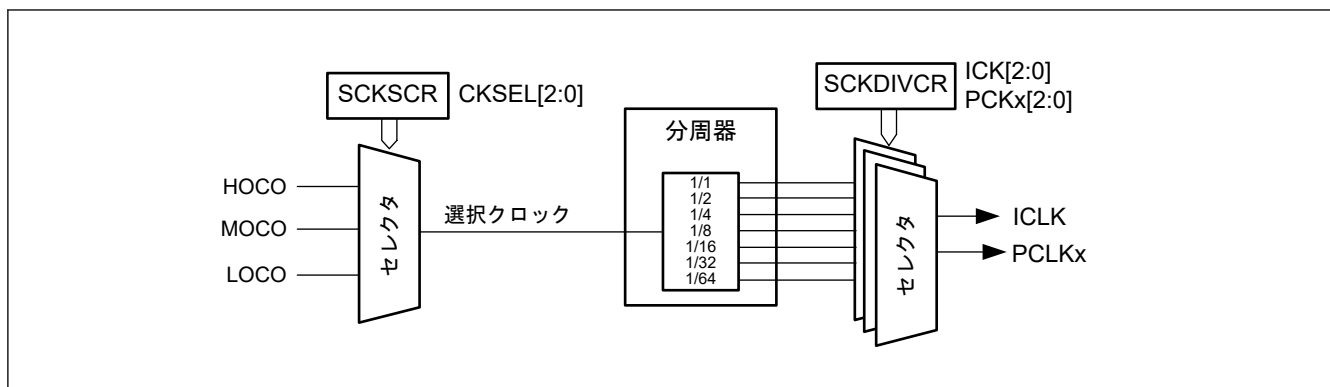


図 8.5 クロックソースセレクタのブロック図

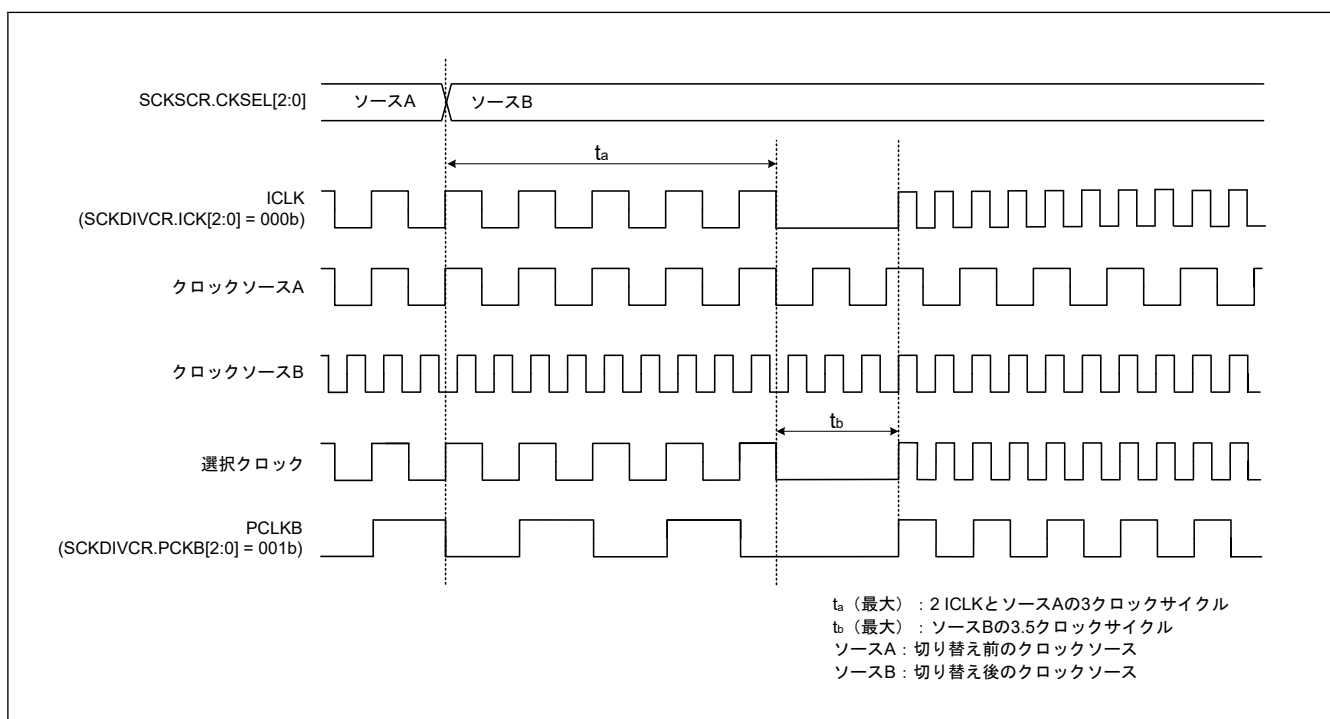


図 8.6 クロックソース切り替えのタイミング

### 8.3.2 周辺モジュールクロック (PCLKB, PCLKD)

周辺モジュールクロック (PCLKB および PCLKD) は、周辺モジュールで使用される動作クロックです。各クロックの周波数は、以下のビットで指定されます。

- OFS1.HOCOFRQ1[2:0]
- SCKDIVCR.PCKB[2:0]および SCKDIVCR.PCKD[2:0]
- SCKSCR.CKSEL[2:0]

周辺モジュールクロックのクロックソース切り替え時、クロックソース移行期間中は、周辺モジュールクロックの周期が長くなります。図 8.5 と図 8.6 を参照してください。

### 8.3.3 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK は以下の発振器で生成されます。

- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)

- IWDT 専用オンチップオシレータ (IWDTLOCO)

### 8.3.4 IWDT 専用クロック (IWDTCLK)

IWDT 専用クロック (IWDTCLK) は、IWDT の動作クロックです。IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

### 8.3.5 AGT 専用 LOCO クロック (AGTLCLK)

AGT 専用 LOCO クロック (AGTLCLK) は、AGT の動作クロックです。AGTLCLK は LOCO クロックで生成されます。

### 8.3.6 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

### 8.3.7 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビット
- OFS1.HOCOFREQ1[2:0] ビット

## 8.4 使用上の注意

### 8.4.1 クロック発生回路に関する注意事項

各モジュールへ供給される以下のクロックの周波数は、SCKDIVCR レジスタの設定に従って変わります。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKB, PCLKD)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「[36. 電気的特性](#)」を参照してください。
- システムクロックと周辺モジュールクロックは、必ず[表 8.2](#)に従い設定してください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

## 9. クロック周波数精度測定回路 (CAC)

### 9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるかどうかで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない時、割り込み要求を発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、表 9.2 に CAC の入出力端子を示します。

表 9.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> <li>● HOCO クロック</li> <li>● MOCO クロック</li> <li>● LOCO クロック</li> <li>● 周辺モジュールクロック B (PCLKB)</li> <li>● IWDT 専用クロック</li> </ul>
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 <ul style="list-style-type: none"> <li>● CACREF 端子への外部クロック入力</li> <li>● HOCO クロック</li> <li>● MOCO クロック</li> <li>● LOCO クロック</li> <li>● 周辺モジュールクロック B (PCLKB)</li> <li>● IWDT 専用クロック</li> </ul>
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> <li>● 測定終了割り込み</li> <li>● 周波数エラー割り込み</li> <li>● オーバーフロー割り込み</li> </ul>
消費電力低減機能	モジュールストップ状態への設定が可能

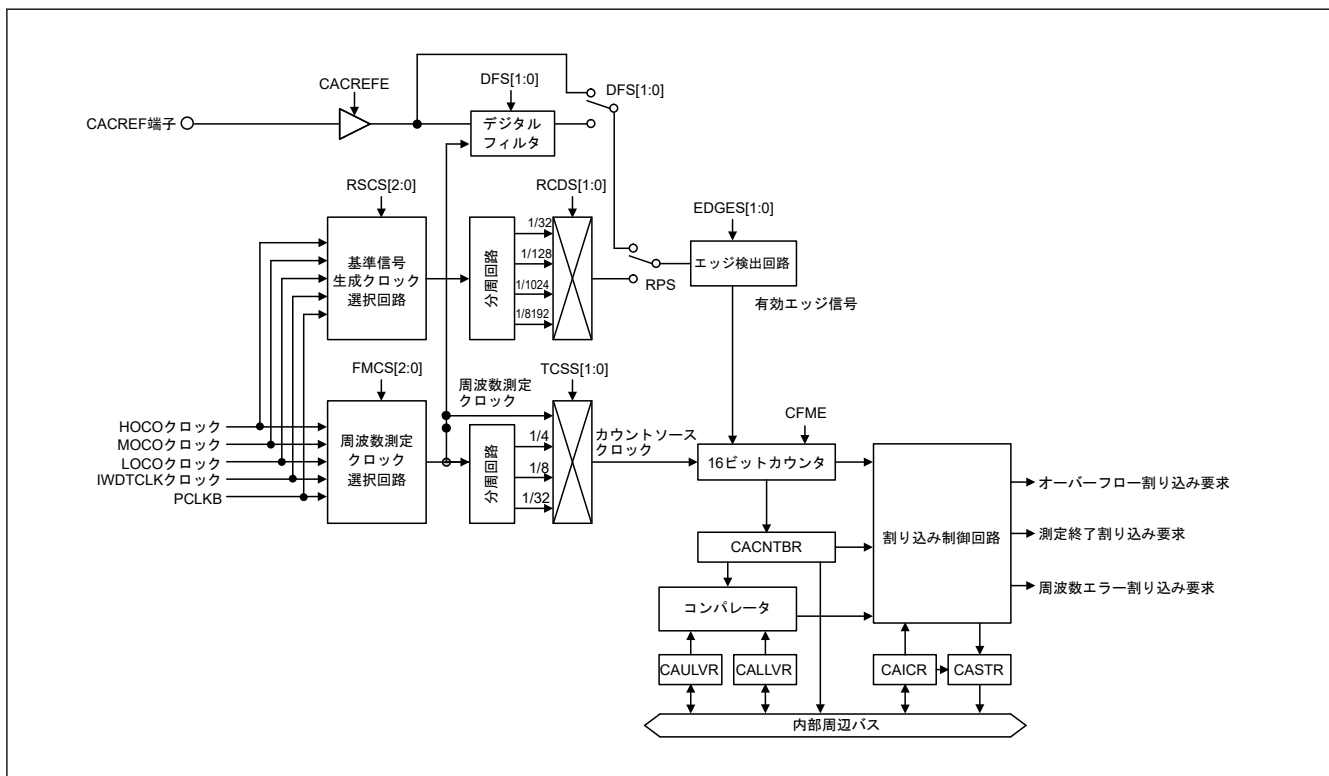


図 9.1 CAC のブロック図

表 9.2 CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

## 9.2 レジスタの説明

### 9.2.1 CACR0 : CAC コントロールレジスタ 0

Base address: CAC = 0x4004\_4600

Offset address: 0x00

Bit position: 7 6 5 4 3 2 1 0

Bit field:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CFME

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0: クロック周波数測定無効 1: クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### CFME ビット (クロック周波数測定有効)

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換えても内部回路に反映されるまでは時間がかかります。書き換えが反映されたかはビットの読み出しで確認できます。

### 9.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4004\_4600

Offset address: 0x01

Bit position: 7 6 5 4 3 2 1 0

Bit field:	7	6	5	4	3	2	1	0
	EDGES[1:0]	TCSS[1:0]	FMCS[2:0]	CACR		EFE		

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: 設定禁止 0 0 1: 設定禁止 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDWT 専用クロック 1 1 1: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウントクロックソース選択 0 0: 分周なしクロック 0 1: ×4 分周クロック 1 0: ×8 分周クロック 1 1: ×32 分周クロック	R/W

ビット	シンボル	機能	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり/立ち下がり両エッジ 1 1: 設定禁止	R/W

注: CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

### CACREFE ビット (CACREF 端子入力有効)

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

### FMCS[2:0] ビット (測定対象クロック選択)

FMCS[2:0] ビットは、周波数を測定する測定対象クロックを選択します。

### TCSS[1:0] ビット (タイマカウントクロックソース選択)

TCSS[1:0] ビットは、測定対象クロックの分周比を選択します。

### EDGES[1:0] ビット (有効エッジ選択)

EDGES[1:0] ビットは、測定基準クロックの有効エッジを選択します。

## 9.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4004\_4600

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]		RPS	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック (内部生成信号)	R/W
3:1	RSCS[2:0]	測定基準クロック選択 0 0 0: 設定禁止 0 0 1: 設定禁止 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDТ 専用クロック 1 1 1: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 0 0: × 32 分周クロック 0 1: × 128 分周クロック 1 0: × 1024 分周クロック 1 1: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 0 0: デジタルフィルタ機能無効 0 1: 測定対象クロックでサンプリング 1 0: 測定対象クロックの 4 分周でサンプリング 1 1: 測定対象クロックの 16 分周でサンプリング	R/W

注: CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

### RPS ビット (基準信号選択)

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

**RSCS[2:0]ビット (測定基準クロック選択)**

RSCS[2:0]ビットは、測定基準クロックを選択します。

**RCDS[1:0]ビット (測定基準クロック分周比選択)**

RCDS[1:0]ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 (CACREF 端子入力) が測定基準クロックとして使用) の場合、測定基準クロックは分周されません。

**DFS[1:0]ビット (デジタルフィルタ機能選択)**

DFS[1:0]ビットは、デジタルフィルタのサンプリングクロックを選択します。

**9.2.4 CAICR : CAC 割り込み要求許可レジスタ**

Base address: CAC = 0x4004\_4600

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFF CL	MEND FCL	FERR FCL	—	OVFIE	MEND IE	FERRI E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

**FERRIE ビット (周波数エラー割り込み要求許可)**

FERRIE ビットは、周波数エラー割り込み要求の許可または禁止を設定します。

**MENDIE ビット (測定終了割り込み要求許可)**

MENDIE ビットは、測定終了割り込み要求の許可または禁止を設定します。

**OVFIE ビット (オーバーフロー割り込み要求許可)**

OVFIE ビットは、オーバーフロー割り込み要求の許可または禁止を設定します。

**FERRFCL ビット (FERRF フラグクリア)**

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。



**MENDFCL ビット (MENDF フラグクリア)**

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

**OVFFCL ビット (OVFF フラグクリア)**

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

**9.2.5 CASTR : CAC ステータスレジスタ**

Base address: CAC = 0x4004\_4600

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MEND F	FERR F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

**FERRF フラグ (周波数エラーフラグ)**

FERRF フラグは測定クロックのカウント値が設定値を外れた (周波数エラー) ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

**MENDF フラグ (測定終了フラグ)**

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

**OVFF フラグ (オーバーフローフラグ)**

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

### 9.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4004\_4600

Offset address: 0x06

Bit position: 15 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

### 9.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4004\_4600

Offset address: 0x08

Bit position: 15 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限値 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

### 9.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4004\_4600

Offset address: 0x0A

Bit position: 15 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

## 9.3 動作説明

### 9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 9.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。

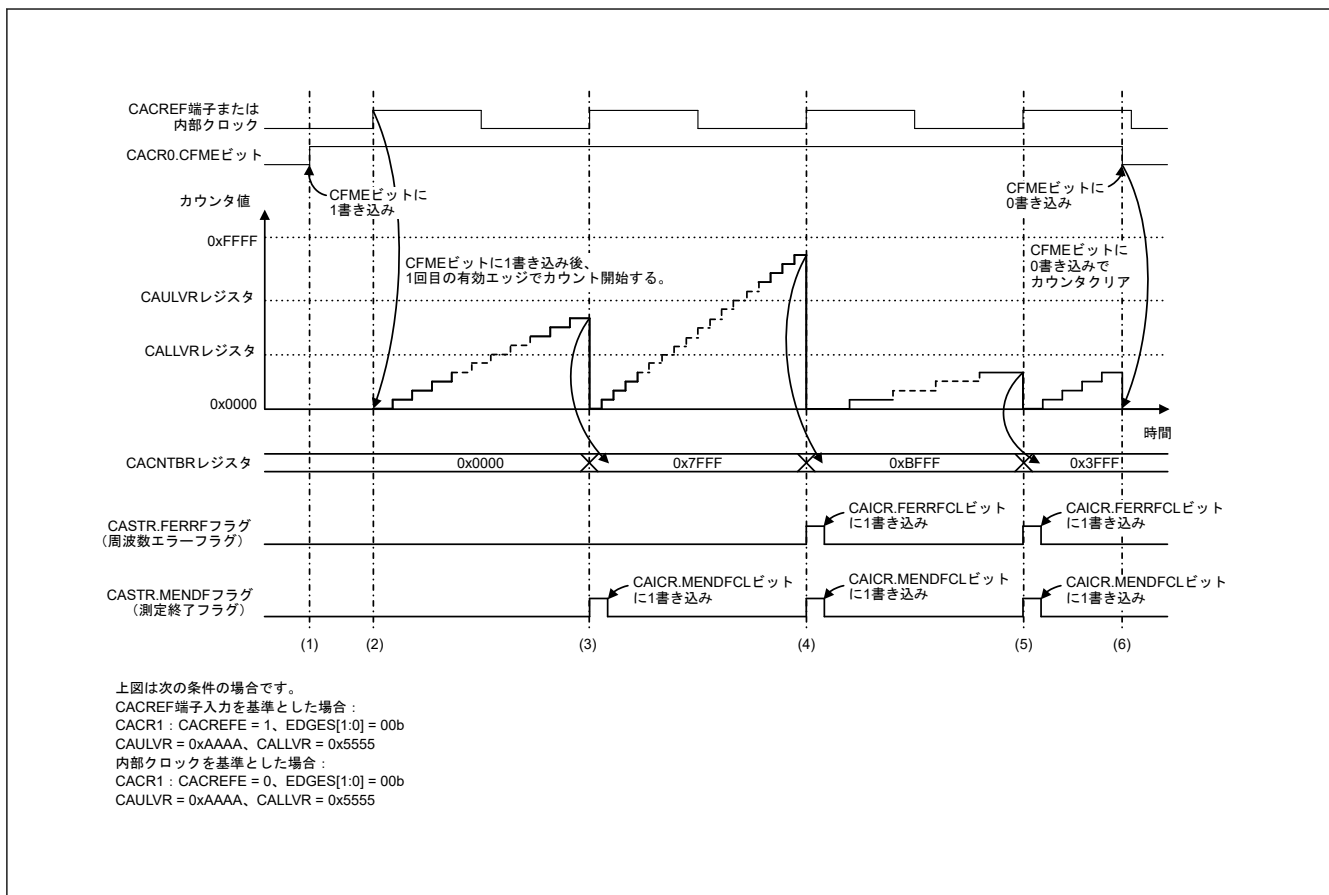


図 9.2 CAC の動作例

図 9.2 におけるイベントは以下の通りです。

- CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
- CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウントアップが開始します。
- 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値  $\leq$  CAULVR レジスタの値かつ CACNTBR レジスタの値  $\geq$  CALLVR レジスタの値のときはクロック周波数が正常なので CASTR.MENDF フラグだけが 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
- 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値  $>$  CAULVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設

定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

- 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 < CALLVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
- CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

### 9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値誤差を表すことができます。

カウンタ値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

## 9.4 割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。表 9.3 に CAC 割り込み要求を示します。

表 9.3 CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値 > CAULVR レジスタ値または CACNTBR レジスタ値 < CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	<ul style="list-style-type: none"> <li>● 測定基準クロックの有効エッジが入力されたとき</li> <li>● ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。</li> </ul>
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

## 9.5 使用上の注意事項

### 9.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止/許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

## 10. 低消費電力モード

### 10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常モード時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に低消費電力モード機能の仕様を示します。表 10.2 に低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC と SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK) と周辺モジュールクロック (PCLKB および PCLKD) に対して、個別に分周比の選択が可能 <sup>(注1)</sup>
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	<ul style="list-style-type: none"> <li>スリープモード</li> <li>ソフトウェアスタンバイモード</li> <li>スヌーズモード</li> </ul>
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能 以下の 4 つの動作電力制御モードが利用可能 <ul style="list-style-type: none"> <li>High-speed モード</li> <li>Middle-speed モード</li> <li>Low-speed モード</li> <li>Subosc-speed モード</li> </ul>

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード <sup>(注1)</sup>
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 の状態で WFI 命令	ソフトウェアスタンバイモード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込み。このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	停止	選択可能
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 <sup>(注3)</sup>	選択可能 <sup>(注3)</sup>	選択可能 <sup>(注3)</sup>
クロックノブザー出力機能	選択可能	選択可能 <sup>(注2)</sup>	選択可能
CPU	停止 (保持)	停止 (保持)	停止 (保持)
SRAM	選択可能	停止 (保持)	選択可能
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
データトランスファコントローラ (DTC)	選択可能	停止 (保持)	選択可能
ウォッチドッグタイマ (WDT)	選択可能 <sup>(注3)</sup>	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	選択可能 <sup>(注3)</sup>	選択可能 <sup>(注3)</sup>	選択可能 <sup>(注3)</sup>
低消費電力非同期汎用タイマ (AGTn, n = 0, 1)	選択可能	選択可能 <sup>(注4)</sup>	選択可能 <sup>(注4)</sup>

表 10.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
12ビット A/D コンバータ (ADC12)	選択可能	停止 (保持)	選択可能(注6)
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能
シリアルコミュニケーションインタフェース (SCIn, n = 9)	選択可能	停止 (保持)	動作禁止
I <sup>2</sup> C/I <sup>3</sup> C パスインタフェース (IIC/I3C)	選択可能	停止 (保持)	動作禁止
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能(注5)
NMI、IRQn (n = 0~7) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出回路 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
AES エンジン	選択可能	選択可能	選択可能
真性乱数生成器 (TRNG)	選択可能	選択可能	選択可能
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/O ポート	動作	保持	動作

注. 「選択可能」とは、動作/停止がコントロールレジスタによって選択できることを意味します。  
「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。  
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。  
そうしないと、スヌーズモードでは適切な動作が保証されません。

注 1. モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。

スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。

注 2. クロック出力ソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) 以外の値に設定されている場合は停止します。

注 3. IWDT 専用オンチップオシレータおよび IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT 停止制御ビット (IWDTSTPCTL) の設定により、動作または停止が選択されます。WDT の場合、WDT オートスタートモード時はオプション機能選択レジスタ 0 (OFS0) の WDT 停止制御ビット (WDTSTPCTL) の設定により、動作または停止が選択されます。また、WDT レジスタスタートモード時は WDTCSTPR.SLCSTP ビットの設定により、動作または停止が選択されます。

注 4. AGT0.AGTMR1.TCK[2:0] ビットで 100b (LOCO) が選択されている場合、AGT0 は動作可能です。AGT1.AGTMR1.TCK[2:0] ビットで 100b (LOCO)、または 101 (AGT0 からのアンダーフローイベント信号) が選択されている場合、AGT1 は動作可能です。

注 5. イベントは、「10.9.10. スヌーズモードにおける ELC イベント」に記載のものに限定されます。

注 6. スヌーズモードで 12 ビット A/D コンバータ (ADC12) を使用する場合は、ADCMPER.CMPAE ビットと ADCMPER.CMPBE ビットが 1 でなければなりません。

表 10.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合に利用可能な割り込み要因 (1/2)

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQn (n = 0~7)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能
KINT	KEY_INTKR	可能	可能
AGT1	AGT1_AGTI	可能	可能(注2)
	AGT1_AGTCAI	可能	可能
	AGT1_AGTCMBI	可能	可能
ADC120	ADC120_WCMPPM	不可能	SELSR0 で可能(注1)(注2)
	ADC120_WCMPUM	不可能	SELSR0 で可能(注1)(注2)
DTC	DTC_COMPLETE	不可能	SELSR0 で可能(注1)

表 10.3 スヌーズモードとソフトウェアスタンバイモードから通常モードへ遷移する場合に利用可能な割り込み要因 (2/2)

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
DOC	DOC_DOPCI	不可能	SELSR0 で可能 <sup>(注1)</sup>

- 注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。
- 注 2. SNZEDCR0 レジスタにより許可されるイベントは使用しないでください。

図 10.1 に通常モードと低消費電力モード間の遷移を示します。

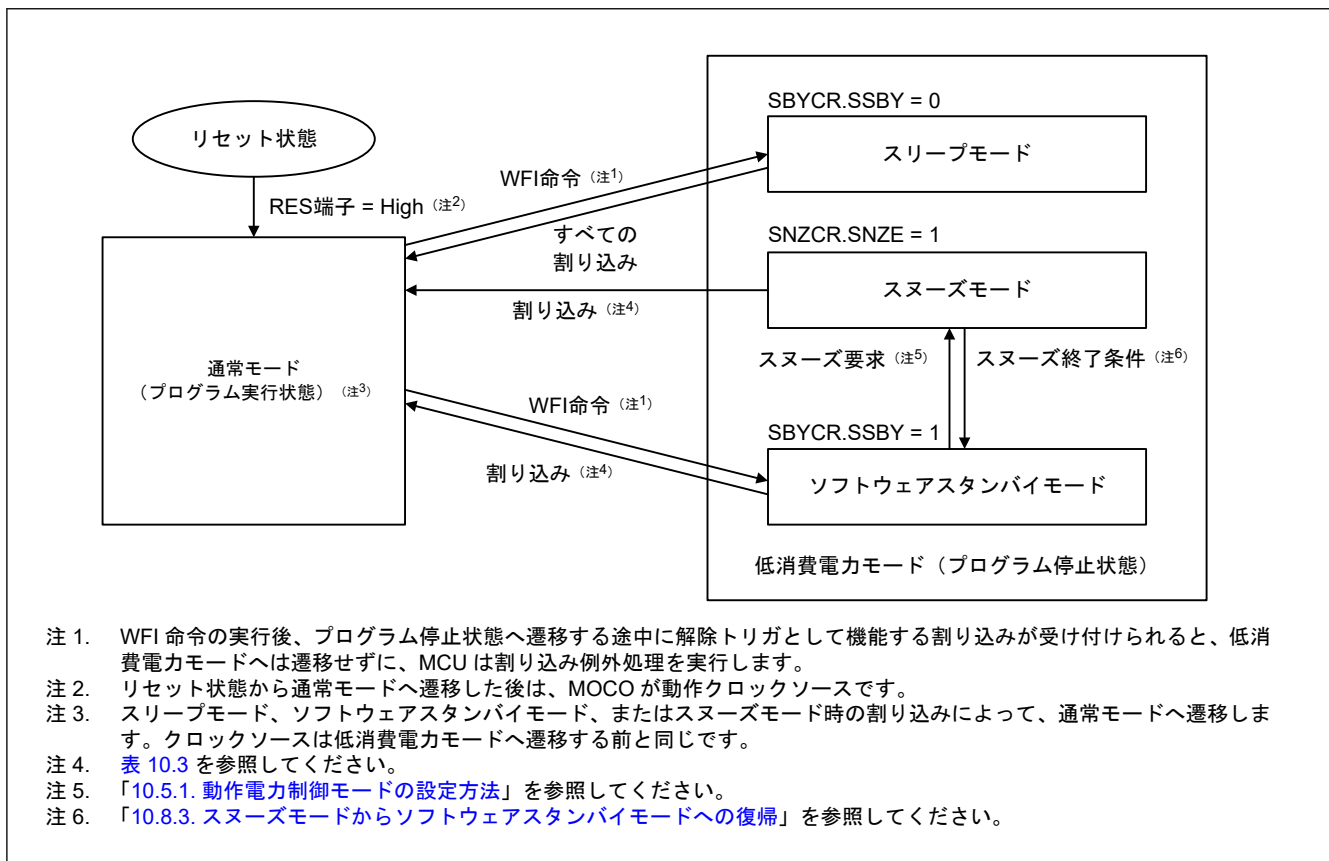


図 10.1 低消費電力モードの遷移

## 10.2 レジスタの説明

### 10.2.1 SBYCR : スタンバイコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x00C

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—
------------	------	---	---	---	---	---	---	---	---	---	---	---	---	---	---

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
14:0	—	読むとリセット値が読めます。書く場合、リセット値を書いてください。	R/W

ビット	シンボル	機能	R/W
15	SSBY	ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード	R/W

注. PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

### SSBY ビット (ソフトウェアスタンバイモード選択)

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

FENTRYR.FENTRY0 ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

## 10.2.2 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: SYSC = 0x4001\_E000

Offset address: 0x01C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTP A22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
21:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPA22	DTC モジュールストップ設定(注1) 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注 1. MSTPA22 ビットを 0 から 1 に書き換える場合、DTC を無効にしてから MSTPA22 ビットを設定してください。

## 10.2.3 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4004\_7000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTP B22	—	—	MSTP B19	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MSTP B9	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W



ビット	シンボル	機能	R/W
9	MSTPB9	IIC/I3C バスインタフェース 0 モジュールストップ設定 対象モジュール: IIC/I3C 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
18:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
19	MSTPB19	シリアルペリフェラルインタフェース 0 モジュールストップ設定 対象モジュール: SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPB22	シリアルコミュニケーションインタフェース 9 モジュールストップ設定 対象モジュール: SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

### 10.2.4 MSTPCRC : モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4004\_7000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTP C31	—	—	MSTP C28	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTP C14	MSTP C13	—	—	—	—	—	—	—	—	—	—	—	MSTP C1	MSTP C0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定(注1) 対象モジュール: CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール: CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール: DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール: ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27:15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
28	MSTPC28	真性乱数生成器モジュールストップ設定(注2) 対象モジュール: TRNG 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
31	MSTPC31	AES モジュールストップ設定 対象モジュール：AES 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

- 注 1. MSTPC0 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが 2 サイクル経過してから WFI 命令を実行してください。
- 注 2. 本 MCU で TRNG を使用しない場合でも、未使用回路を初期化するために、プログラムの最初で一回だけ MSTPC28 ビットを 0 にしてください。「10.9.12. 未使用回路に対するモジュールストップ機能」を参照してください。

### 10.2.5 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4004\_7000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTP D16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTP D14	—	—	—	—	—	—	—	MSTP D6	—	—	MSTP D3	MSTP D2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	MSTPD2	低消費電力非同期汎用タイマ 1 モジュールストップ設定(注1) 対象モジュール：AGT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3	MSTPD3	低消費電力非同期汎用タイマ 0 モジュールストップ設定(注2) 対象モジュール：AGT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
5:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
6	MSTPD6	汎用 PWM タイマ 164~169 および PWM 遅延生成回路モジュールストップ設定 対象モジュール：GPT164~GPT169 および PWM 遅延生成回路 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
13:7	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
14	MSTPD14	GPT 用ポートアウトプットイネーブルモジュールストップ設定 対象モジュール：POEG 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPD16	12 ビット A/D コンバータモジュールストップ設定 対象モジュール：ADC120 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

- 注 1. カウントソースが LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースが LOCO の場合、AGT1 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。
- 注 2. カウントソースが LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースが LOCO の場合、AGT0 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

## 10.2.6 OPCCR : 動作電力コントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCM TSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: Middle-speed モード 1 0: 設定禁止 1 1: Low-Speed モード	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ リード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。OPCCR レジスタを設定することにより、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。動作電力制御モードの変更手順については、「[10.5. 動作電力低減機能](#)」を参照してください。

### OPCM[1:0]ビット（動作電力制御モード選択）

OPCM[1:0]ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

MCU が以下の条件下にあるとき、OPCCR.OPCM[1:0]に書き込むことは禁止されています。

1. HOCOCR.HCSTP と OSCSF.HOCOSF が 0（HOCO クロックの発振がまだ安定になっていない）のとき
2. MCU がスリープモードかスヌーズモードのとき、MCU がスリープモードまたはスヌーズモードから通常モードへ遷移中のとき、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移中のとき、MCU が動作電源モード遷移中のとき
3. フラッシュがプログラミングモードのとき
4. MCU が Subosc-speed モード（SOPCCR.SOPCM ビットが 1）のとき

### OPCMTSF フラグ（動作電力制御モード遷移状態フラグ リード時）

OPCMTSF フラグは、動作電力制御モード切り替え時の切り替え制御状態を表します。本フラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

## 10.2.7 SOPCCR : サブ動作電力コントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x0AA

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SOPC MTSF	—	—	—	SOPC M
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOPCM	サブ動作電力制御モード選択 0: Subosc-speed モード以外 1: Subosc-Speed モード	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SOPCMTSF	動作電力制御モード遷移状態フラグ リード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰を行います。Subosc-speed モードは、分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、「[10.5. 動作電力低減機能](#)」を参照してください。

### SOPCM ビット (サブ動作電力制御モード選択)

SOPCM ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを 1 にすることで、Subosc-Speed モードへ遷移できます。また、本ビットを 0 にすることで、Subosc-speed モード遷移前の動作モード (OPCCR.OPCM[1:0] で設定された動作モード) へ復帰できます。

MCU が以下の状態の場合は、SOPCCR.SOPCM への書き込みが禁止されます。

1. MCU がスリープモードまたはスヌーズモードである、MCU がスリープモード、スヌーズモード、またはソフトウェアスタンバイモードから通常モードに遷移している、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移している、または MCU が動作電力モードの転送状態にある。
2. フラッシュがプログラミングモードである。
3. HOCO が動作中である (HOCOCR.HCSTP ビットが 0)、または MOCO が動作中である (MOCOCR.MCSTP ビットが 0)。
4. SCKDIVCR レジスタの値が 0x00000000 でない。
5. データフラッシュが無効である (DFLCTL.DFLEN ビットが 0)。

表 10.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

### SOPCMTSF フラグ (動作電力制御モード遷移状態フラグ リード時)

SOPCMTSF フラグは、動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4 動作電力制御モード

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-Speed モード	00b	0	High
Middle-speed モード	01b	0	↓
Low-Speed モード	11b	0	↓
Subosc-Speed モード	xxb	1	Low

## 10.2.8 SNZCR : スヌーズコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SNZE	—	—	—	—	—	SNZDTCEN	—

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	SNZDTCEN	スヌーズモード時の DTC 許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SNZE	スヌーズモード許可 0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

注. PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

### SNZDTCEN ビット (スヌーズモード時の DTC 許可)

SNZDTCEN ビットは、スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn レジスタを設定することで、DTC を起動することが可能です。

### SNZE ビット (スヌーズモード許可)

SNZE ビットは、ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったん 0 にしてから再設定してください。詳細は「10.8. スヌーズモード」を参照してください。

## 10.2.9 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0

Base address: SYSC = 0x4001\_E000

Offset address: 0x094

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	AD0U MTED	AD0M ATED	DTCN ZRED	DTCZ RED	AGTU NFED

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	AGTUNFED	AGT1 アンダーフロー時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
1	DTCZRED	最後の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
2	DTCNZRED	最後以外の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

ビット	シンボル	機能	R/W
3	ADOMATED	ADC12 コンペアマッチスヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
4	AD0UMTED	ADC12 コンペア不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

SNZEDCR0 レジスタは、スヌーズモードからソフトウェアスタンバイモードへの切り替え条件を制御します。表 10.7 に示すトリガをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用する場合は、SNZEDCR0 レジスタの対応するビットを 1 にする必要があります。

表 10.3 に示すように、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR0 レジスタで許可しないでください。

#### AGTUNFED ビット (AGT1 アンダーフロー時スヌーズ終了許可)

AGTUNFED ビットは、AGT1 アンダーフローを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。

#### DTCZRED ビット (最後の DTC 送信完了時スヌーズ終了許可)

DTCZRED ビットは、最後の DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0) を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「15. データトランスファコントローラ (DTC)」を参照してください。

#### DTCNZRED ビット (最後以外の DTC 送信完了時スヌーズ終了許可)

DTCNZRED ビットは、各 DTC 送信完了 (すなわち、DTC の CRA または CRB レジスタが 0 以外) を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「15. データトランスファコントローラ (DTC)」を参照してください。

#### ADOMATED ビット (ADC12 コンペアマッチスヌーズ終了許可)

ADOMATED ビットは変換結果が期待値と一致した場合に、ADC120 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「28. 12 ビット A/D コンバータ (ADC12)」を参照してください。

#### AD0UMTED ビット (ADC12 コンペア不一致スヌーズ終了許可)

AD0UMTED ビットは変換結果が期待値と一致しない場合に、ADC120 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「28. 12 ビット A/D コンバータ (ADC12)」を参照してください。

### 10.2.10 SNZREQCR0 : スヌーズ要求コントロールレジスタ 0

Base address: SYSC = 0x4001\_E000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SNZR EQEN 30	SNZR EQEN 29	SNZR EQEN 28	—	—	—	—	—	—	—	—	—	—	SNZR EQEN 17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SNZR EQEN 7	SNZR EQEN 6	SNZR EQEN 5	SNZR EQEN 4	SNZR EQEN 3	SNZR EQEN 2	SNZR EQEN 1	SNZR EQEN 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNZREQEN0	IRQ0 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
1	SNZREQEN1	IRQ1 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
2	SNZREQEN2	IRQ2 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
3	SNZREQEN3	IRQ3 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
4	SNZREQEN4	IRQ4 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
5	SNZREQEN5	IRQ5 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
6	SNZREQEN6	IRQ6 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
7	SNZREQEN7	IRQ7 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
16:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	SNZREQEN17	KEY_INTKR スヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
27:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	SNZREQEN28	AGT1 アンダーフローのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
29	SNZREQEN29	AGT1 コンペアマッチ A のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
30	SNZREQEN30	AGT1 コンペアマッチ B のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SNZREQCR0 レジスタは、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR0 レジスタの対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR0 レジスタの設定値よりも常に優先順位は高くなります。詳細は、「[10.8. スヌーズモード](#)」および「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

## 10.2.11 PSMCR : パワーセーブメモリコントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x09F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PSMC[1:0]	

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	PSMC[1:0]	パワーセーブメモリ制御 0 0: ソフトウェアスタンバイモード時に全 SRAM が ON 0 1: ソフトウェアスタンバイモード時に 4 KB SRAM (0x2000_4000~0x2000_4FFF) が ON 1 0: 設定禁止 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

## PSMC[1:0]ビット (パワーセーブメモリ制御)

PSMC[1:0]ビットは、ソフトウェアスタンバイモード時の SRAM 保持域を選択します。これらのビットを 01b (ソフトウェアスタンバイモード時に 4 KB SRAM) に設定すると、消費電流が低減されます。PSMC レジスタを設定してから、WFI 命令を実行します。

本レジスタは、PRCR.PRC1 ビットで保護されています。

## 10.2.12 SYOCD CR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x040E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	—

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッグ有効 オンチップデバッグモードで最初に 1 にしてください。 0: オンチップデバッグは無効 1: オンチップデバッグは有効	R/W

注. PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

## DBGEN ビット (デバッグ有効)

DBGEN ビットはオンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードで最初に 1 にする必要があります。

[1 になる条件]

- デバッグの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき



注. DBGEN ビットが 1 に設定可能な MCU 状態に関して、特定の制約が適用されます。詳細は、「2.7.3. OCD エミュレータ接続における制限」を参照してください。

### 10.2.13 LSMRWDIS : ロースピードモジュール R/W 禁止制御レジスタ

Base address: MSTP = 0x4004\_7000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]							WREN	—	—	—	—	IWDTIDS	WDTDIS	—	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	WDTDIS	WDT 動作クロック制御 WDT カウンタクロックとレジスタ R/W クロック (LPOPT.LPOPTEN = 1 のときのみ有効) 0: WDT は通常動作 1: WDT クロックとレジスタ R/W クロックを停止する	R/W
2	IWDTIDS	IWDT レジスタクロック制御 IWDT レジスタ R/W クロックを停止 (LPOPT.LPOPTEN = 1 のときのみ有効) 0: IWDT は通常動作 1: IWDT レジスタ R/W クロックは停止する	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	WREN	ビット[2:0]の書き込み許可 0: ビット[2:0]の書き込み禁止 1: ビット[2:0]の書き込み許可	R/W
15:8	PRKEY[7:0]	LSMRWDIS キーコード LSMRWDIS レジスタへの書き込みを制御します。LSMRWDIS レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに目的の値を、16 ビット単位で書いてください。	W

#### WDTDIS ビット (WDT 動作クロック制御)

[1 になる条件]

- 本ビットは、WREN が 1 の場合のみ書き換えられます。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは WDT 動作クロックを停止します。
- WDT がオートスタートモード (OFS0.WDTSTRT = 0) のとき、本ビットを 1 にしないでください。
- WDT が動作中のとき、本ビットを 1 にしないでください。
- 本ビットを 1 にすると、WDT のレジスタスタートモードが無効になります。

#### IWDTIDS ビット (IWDT レジスタクロック制御)

[1 になる条件]

- 本ビットは、WREN が 1 の場合のみ書き換えられます。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは IWDT レジスタ R/W クロックを停止します。
- IWDT がオートスタートモード (OFS0.IWDTSTRT = 0) のとき、本ビットを 1 にしないでください。
- IWDT が動作中のとき、本ビットを 1 にしないでください。

## 10.2.14 LPOPT : 消費電力低減動作コントロールレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x04C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPOPTEN	—	—	—	BPFCLKDIS	DCLKDIS[1:0]	MPUDIS	IS
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MPUDIS	MPU クロック禁止制御 MPU 動作クロックを停止 (LPOPTEN = 1 のときのみ有効) 0: MPU は通常動作する 1: MPU 動作クロックは停止する (MPU 機能は無効)	R/W
2:1	DCLKDIS[1:0]	デバッグクロック禁止制御 0 0: デバッグクロックは停止しない その他: デバッグクロックは停止する (LPOPT.LPOPTEN = 1 のときのみ有効)	R/W
3	BPFCLKDIS	BPF クロック禁止制御 フラッシュレジスタ R/W クロックを停止 (LPOPT.LPOPTEN = 1 のときのみ有効) 0: フラッシュレジスタ R/W クロックは通常動作する 1: フラッシュレジスタ R/W クロックは停止する	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	LPOPTEN	消費電力低減動作許可 0: 消費電力低減機能をすべて禁止 1: 消費電力低減機能をすべて許可	R/W

LPOPT レジスタは、PRCR.PRC0 ビットで保護されています。

**MPUDIS ビット (MPU クロック禁止制御)**

[1 になる条件]

- MPU 機能が使用されているときは、本ビットを 1 にしないでください。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは MPU 動作クロックを停止します。

**DCLKDIS[1:0] ビット (デバッグクロック禁止制御)**

[1 になる条件]

- OCD モードまたは SCI ブートモード中は、本ビットを 1 にしないでください。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットはチップの機能をデバッグするためにデバッグシステムクロックを停止します。

**BPFCLKDIS ビット (BPF クロック禁止制御)**

[1 になる条件]

- OCD モードまたは SCI ブートモード中は、本ビットを 1 にしないでください。
- フラッシュレジスタによるコードフラッシュまたはデータフラッシュ動作中は、本ビットを 1 にしないでください。
- データフラッシュ動作中は、本ビットを 1 にしないでください。
- 電力制御モード遷移中 (High-speed モードから Middle-speed モード、High-speed モードから Low-speed モードなど) は、本ビットを 1 にしないでください。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットはフラッシュレジスタ R/W クロックを停止します。

**LPOPTEN ビット (消費電力低減動作許可)**

[1 になる条件]

- 本ビットを 1 にすると MCU の電力消費量が低減されますが、システムに制約が生じます。

### 10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「[8.2.1. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」を参照してください。

### 10.4 モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCRn (n = A~D) レジスタの MSTPmi ビット (m = A~D, i = 31~0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DTC 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

### 10.5 動作電力低減機能

動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を低減できます。

#### 10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.5 各モードで利用可能な発振器

モード	発振器			
	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	IWDT 専用オンチップオシレータ
High-speed	可能	可能	可能	可能
Middle-speed	可能	可能	可能	可能
Low-speed	可能	可能	可能	可能
Subosc-speed	不可能	不可能	可能	可能

#### (1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Low-speed モードへの切り替え

(最初は High-Speed モードで動作しています)

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最高動作周波数以下にする。
2. Low-speed モードで不要な発振器を OFF にする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. OPCCR.OPCM[1:0] ビットを 11b (Low-speed モード) にする。
5. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

(動作は Low-speed モードになります)

例 2 : High-speed モードから Subosc-speed モードへの切り替え

(最初は High-Speed モードで動作しています)

1. クロックソースを LOCO に切り替える。HOCO、MOCO を OFF にする。
2. すべてのクロックソース (LOCO を除く) が停止していることを確認する。
3. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。
5. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

(動作は Subosc-speed モードになります)

## (2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え

(最初は Subosc-speed モードで動作しています)

1. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。
3. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードに必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下とする。

(動作は High-speed モードになります)

例 2 : Low-speed モードから High-speed モードへの切り替え

(最初は Low-speed モードで動作しています)

1. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. OPCCR.OPCM[1:0] ビットを 00b (High-speed モード) にする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードに必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下とする。

(動作は High-speed モードになります)

### 10.5.2 動作範囲

図 10.2 ~ 図 10.5 に、ICLK の動作電圧と動作周波数を示します。ただし、PCLKB と PCLKD からクロック供給される周辺モジュールは ICLK と同じではありません。

#### High-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 48 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.8 ~ 5.5 V です。

フラッシュプログラム/イレース時では、動作周波数範囲は 1~48 MHz で、動作電圧範囲は 1.8~5.5 V です。

図 10.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

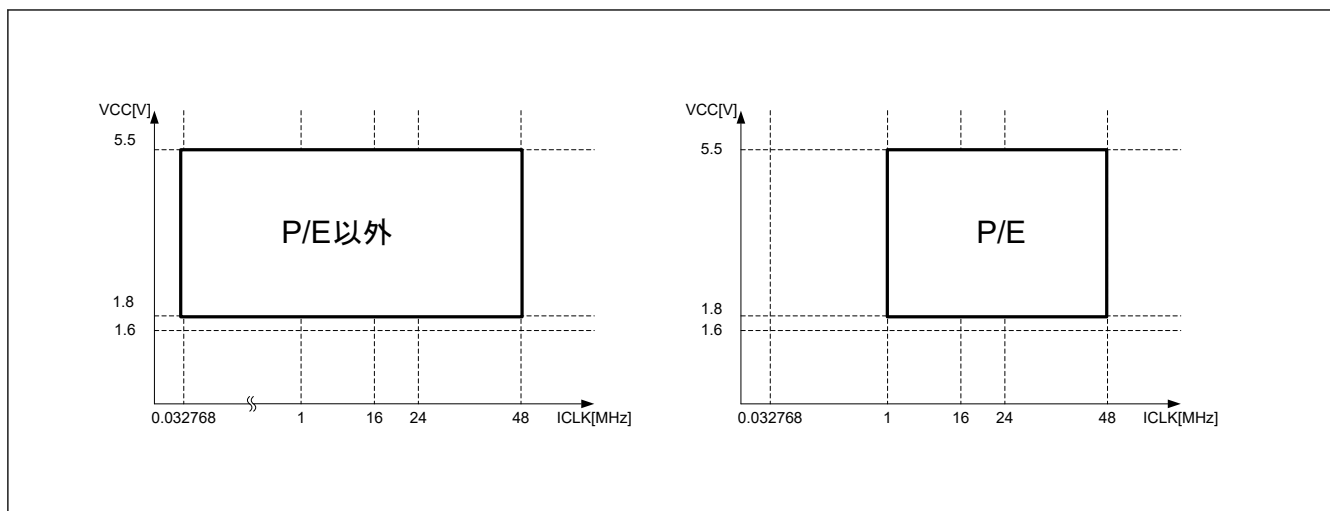


図 10.2 High-speed モードにおける動作電圧と動作周波数

### Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュ読み出し時の ICLK の最高動作周波数は 24 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6 ~ 5.5 V です。しかし、動作電圧が 1.6 ~ 1.8 V の場合、フラッシュ読み出し時の ICLK の最高動作周波数は 4 MHz になります。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 24 MHz で、動作電圧範囲は 1.6 ~ 5.5 V です。しかし、動作電圧が 1.6 ~ 1.8 V の場合、フラッシュプログラム/イレース時の最高動作周波数は 4 MHz になります。

図 10.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

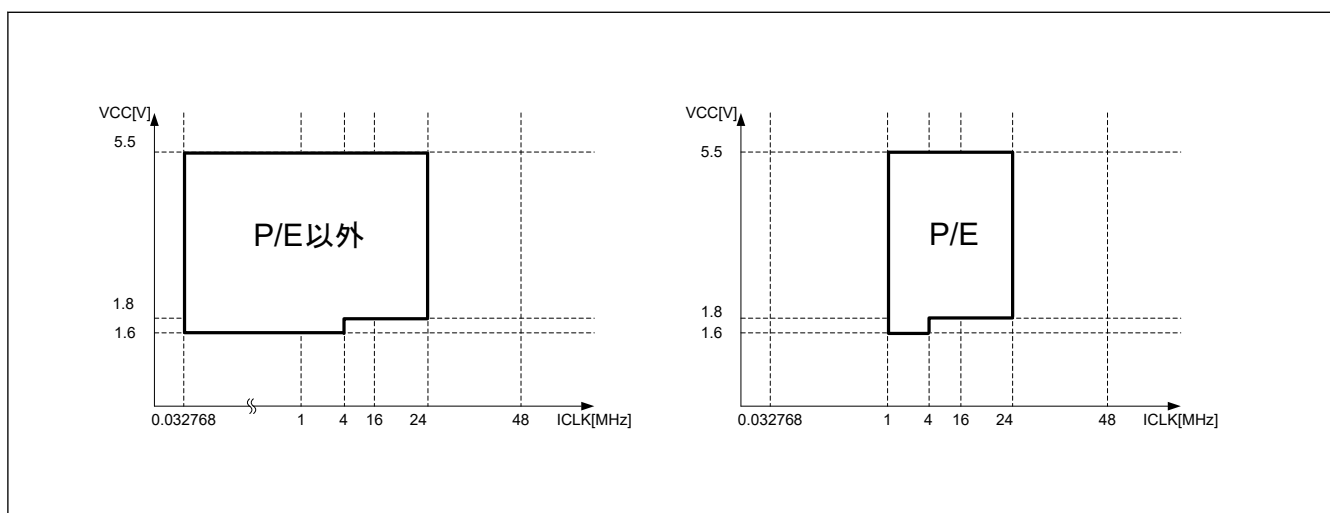


図 10.3 Middle-speed モードにおける動作電圧と動作周波数

### Low-Speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 2 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6 ~ 5.5 V です。

フラッシュプログラム/イレース時では、動作周波数範囲は 1 ~ 2 MHz で、動作電圧範囲は 1.6 ~ 5.5 V です。

図 10.4 に、Low-speed モードにおける動作電圧と動作周波数を示します。

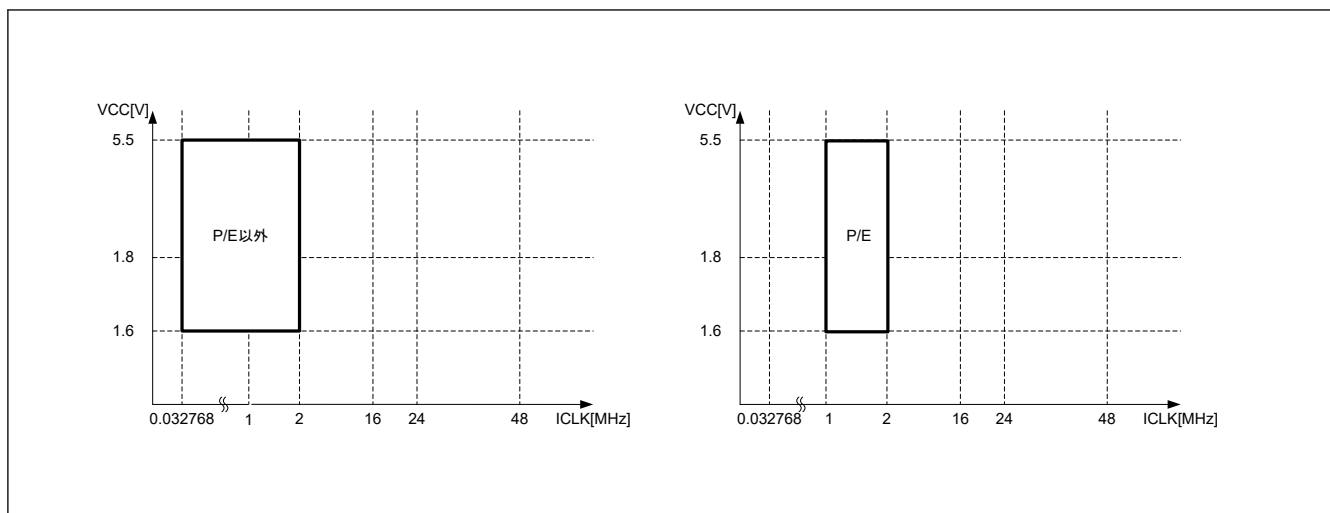


図 10.4 Low-speed モードにおける動作電圧と動作周波数

### Subosc-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 37.6832 kHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。フラッシュメモリの P/E 動作は禁止です。

低速オンチップオシレータ以外の発振器は使用禁止です。SCKDIVCR レジスタを 0x00000000 以外の値に設定するのも禁止です。

図 10.5 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

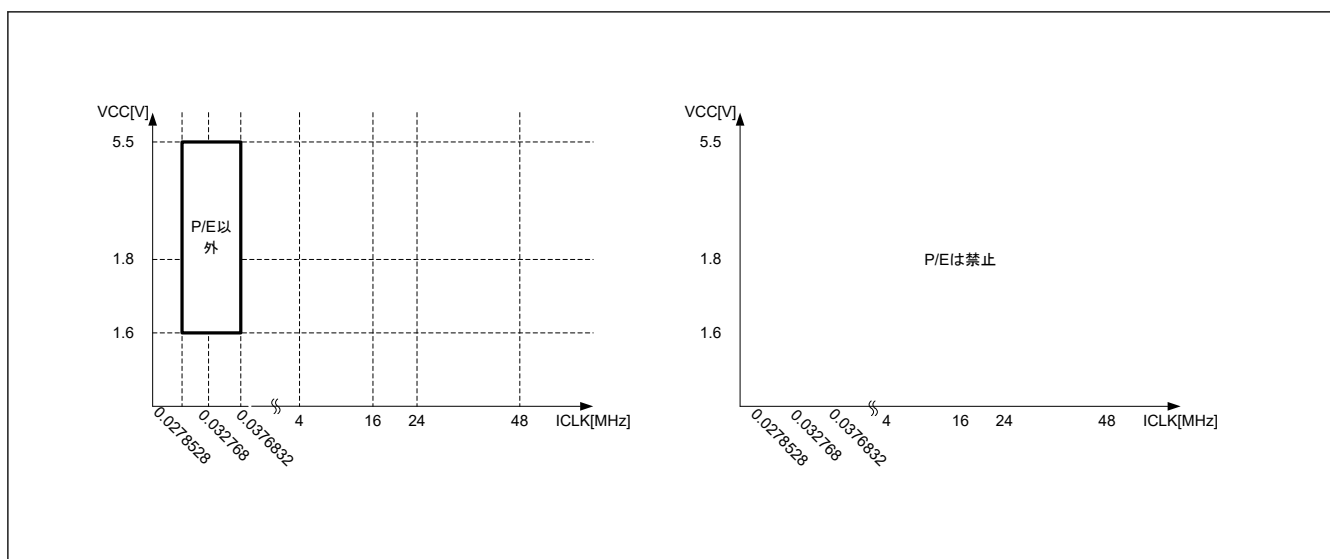


図 10.5 Subosc-speed モードにおける動作電圧と動作周波数

## 10.6 スリープモード

### 10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

## 10.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下のとおりです。

1. 割り込みによる解除  
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態になります。「36. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
  - IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
  - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除  
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
  - OFS0.WDTSTRT = 0 (オートスタートモード) かつ OFS0.WDTSTPCTL = 1
  - OFS0.WDTSTRT = 1 (レジスタスタートモード) かつ WDTCSSTPR.SLCSTP = 1
5. スリープモードで利用可能な他のリセットによる解除  
その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

## 10.7 ソフトウェアスタンバイモード

### 10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 10.2 に、各内蔵周辺機能と発振器の状態を示します。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードから復帰させる方法については、「12.2.8. WUPEN: ウェイクアップ割り込みイネーブルレジスタ」を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

また、フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

### 10.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 10.3 に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローに起因したリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、「12.2.8. WUPEN: ウェイクアップ割り込みイネーブルレジスタ」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除  
利用可能な割り込み要求 (表 10.3 を参照) が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していたすべての発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除  
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「36. 電气的特性」に示す規定の期間に従って、RES 端子を Low に保つよう to してください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除  
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除  
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。



## 5. IWDT リセットによる解除

IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。

- OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

## 10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.6 に示します。

この例では、通常モードにおいて、ICU の IRQCRI.IRQMD[1:0] ビットが 00b (立ち下がりエッジ) の状態で IRQn 端子の割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを 01b (立ち上がりエッジ) にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.6 の発振器安定化時間については、「36. 電気的特性」に示されています。

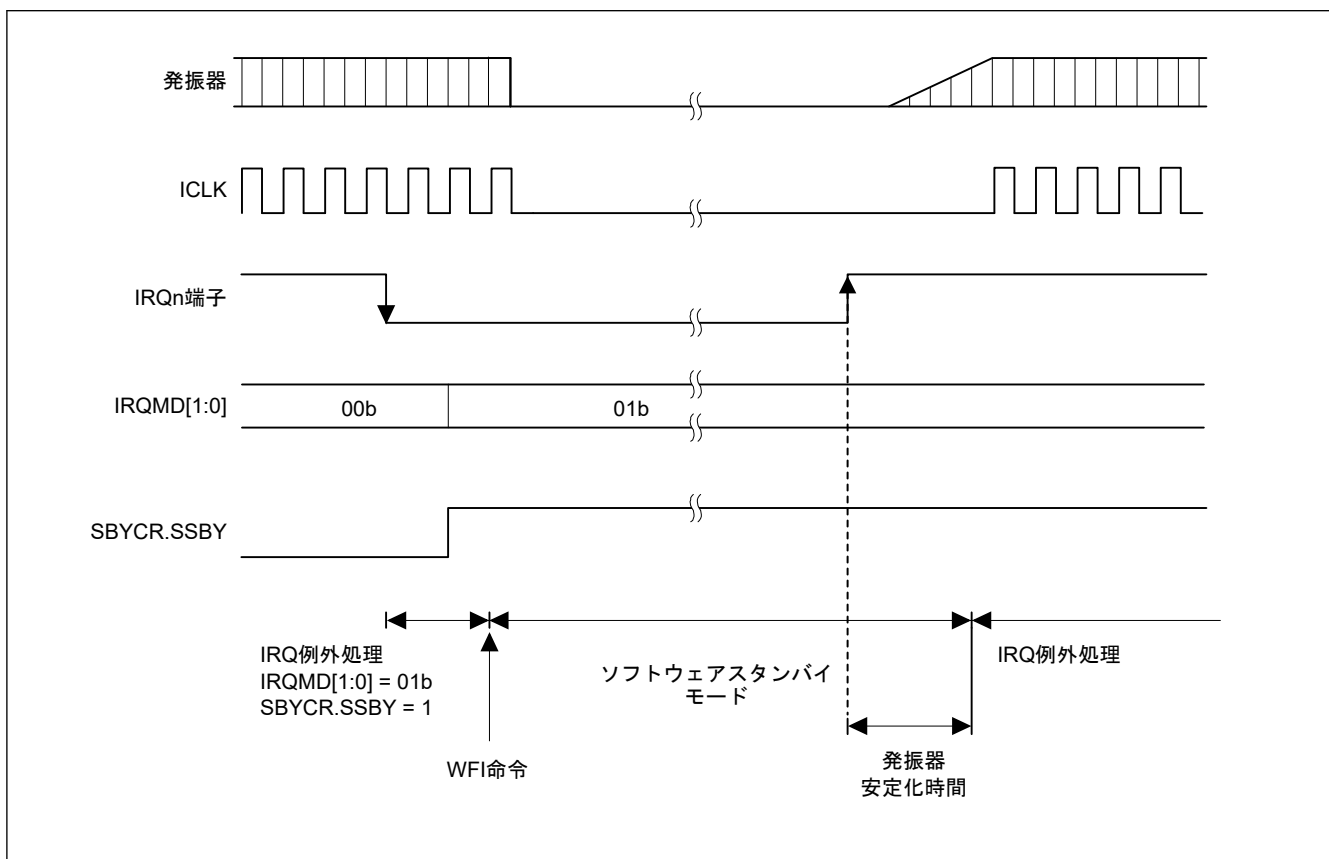


図 10.6 ソフトウェアスタンバイモードの応用例

## 10.8 スヌーズモード

## 10.8.1 スヌーズモードへの遷移

図 10.7 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していても一部の周辺モジュールは動作します。表 10.2 に、スヌーズモードで動作可能な周辺モジュールを示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

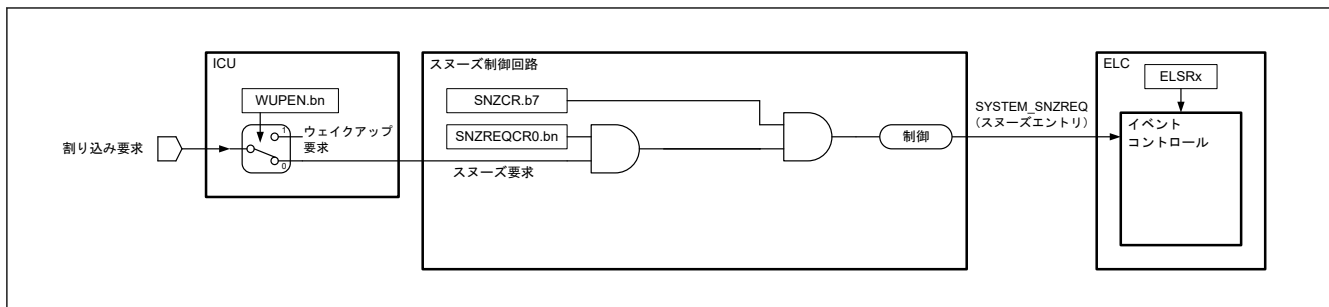


図 10.7 スヌーズモードエントリの構成

表 10.6 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR0 レジスタの対応する SNZREQENn ビットを設定する必要があります。

注. 同時に複数のスヌーズ要求を有効にしないでください。

表 10.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ名	ビット
PORT_IRQn (n = 0~7)	SNZREQCR0	SNZREQENn (n = 0~7)
KEY_INTKR	SNZREQCR0	SNZREQEN17
AGT1_AGTI	SNZREQCR0	SNZREQEN28
AGT1_AGTCAI	SNZREQCR0	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR0	SNZREQEN30

スヌーズモード時に DTC を使用する場合を除き、DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

### 10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 で選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn で選択してください。SELSR0 レジスタと IELSRn レジスタについては、「12. 割り込みコントローラユニット (ICU)」を参照してください。

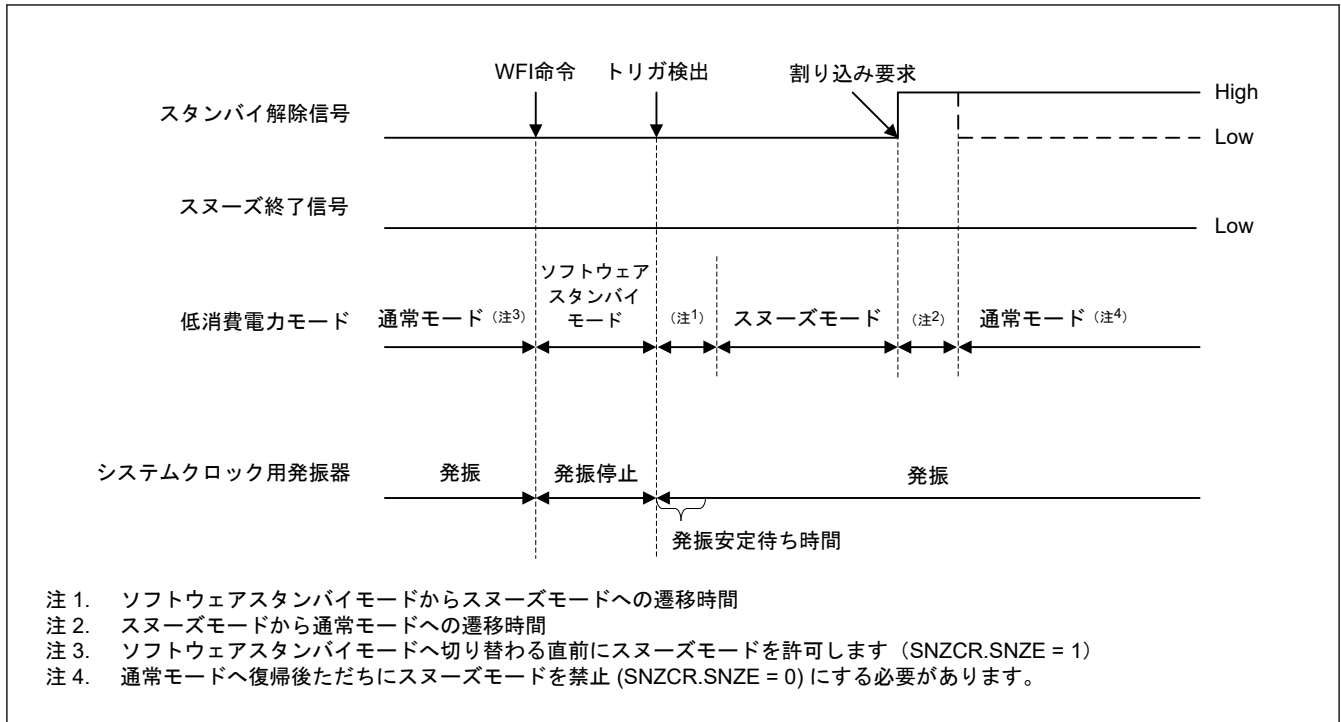


図 10.8 割り込み要求信号が発生する場合のスリープモードの解除

### 10.8.3 スリープモードからソフトウェアスタンバイモードへの復帰

表 10.7 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスリープ終了要求を示します。スリープ終了要求は、スリープモードでのみ利用可能です。MCU がスリープモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスリープモードからソフトウェアスタンバイモードへの遷移を行います。

表 10.8 にスリープ終了要求と周辺モジュールの条件から成るスリープ終了条件を示します。ADC12 および DTC は、動作終了まで MCU をスリープモードで保持できます。

図 10.9 にスリープモードからソフトウェアスタンバイモードへの遷移に対するタイミング図を示します。このモード遷移は、SNZEDCR0 レジスタにスリープ終了要求が設定されると発生します。ソフトウェアスタンバイモードへ復帰後にスリープ要求は自動的にクリアされます。

表 10.7 利用可能なスリープ終了要求 (ソフトウェアスタンバイモードへの復帰トリガ)

周辺モジュール	スリープ終了要求	許可/禁止制御	
		レジスタ名	記号
AGT1	AGT1 アンダーフロー (AGT1_AGTI)	SNZEDCR0	AGTUNFED
DTC	最終 DTC 転送終了 (DTC_COMPLETE)	SNZEDCR0	DTCZRED
DTC	最終 DTC 転送未了 (DTC_TRANSFER)	SNZEDCR0	DTCNZRED
ADC120	ウィンドウ A/B コンペアマッチ (ADC120_WCMPPM)	SNZEDCR0	AD0MATED
ADC120	ウィンドウ A/B コンペア不一致 (ADC120_WCMPUM)	SNZEDCR0	AD0UMTED

表 10.8 スリープ終了条件

スリープ終了要求発生時の動作モジュール	スリープ終了要求
DTC	これらの全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC120	
その他の全モジュール	スリープ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。

注. DTC を用いて ADC120 を起動した場合は、スリープ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

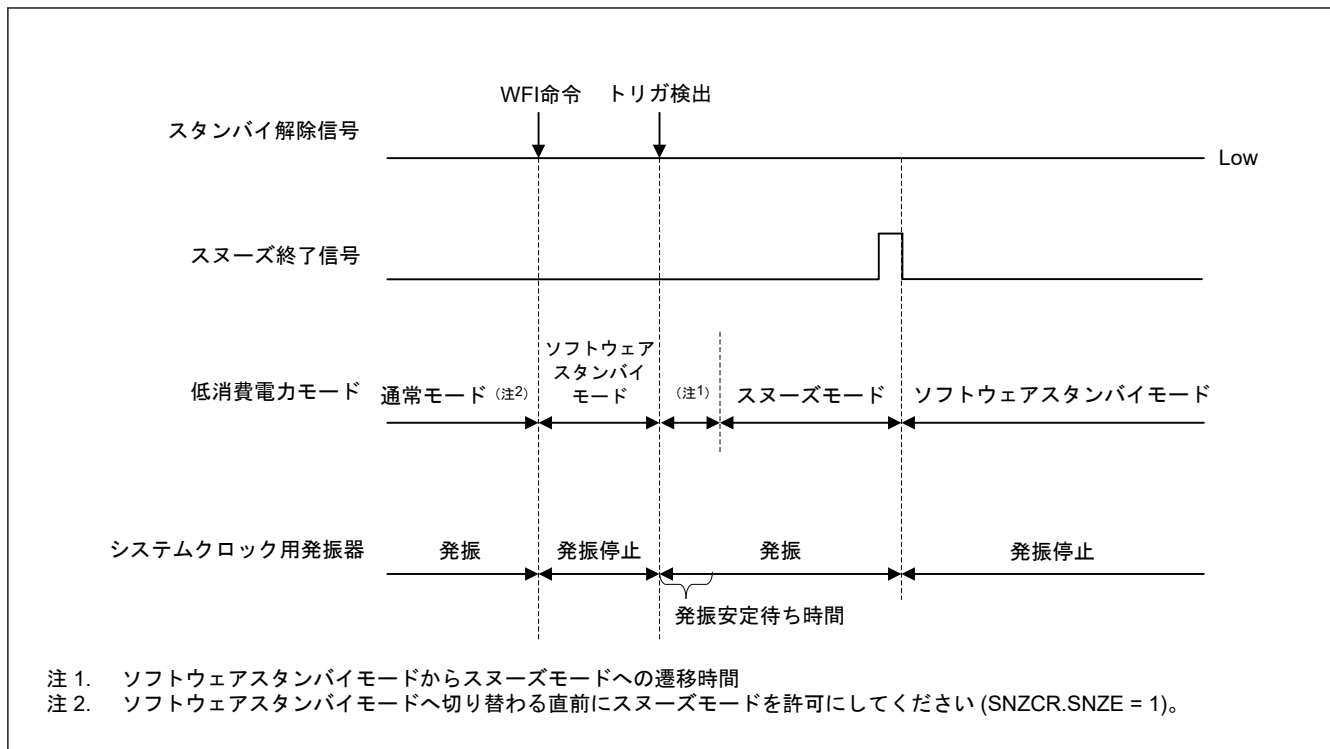


図 10.9 割り込み要求信号が発生しない場合のスヌーズモードの解除

### 10.8.4 スヌーズモードの動作例

図 10.10 に、スヌーズモードで ELC を使用する場合の設定例を示します。

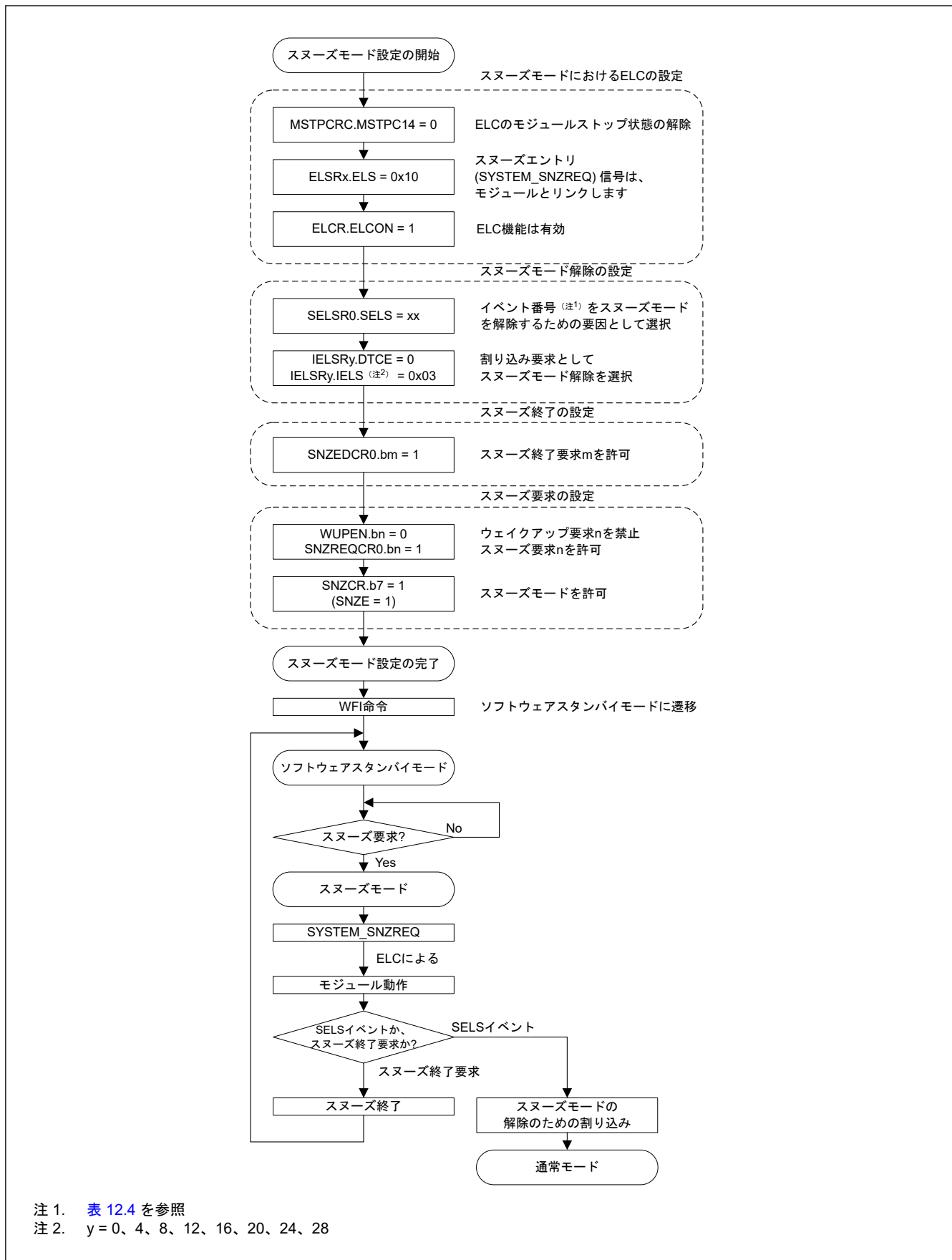


図 10.10 スヌーズモードで ELC を使用するための設定例

## 10.9 使用上の注意

### 10.9.1 レジスタアクセス

(1) 下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- “SYSTEM”という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モード遷移中)
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- フラッシュ P/E モード、データフラッシュ P/E モード

(2) クロック関連レジスタに対する有効な設定値

表 10.9 と表 10.10 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モードに関連する条件以外の特定の条件下で禁止される設定値もあります。これらの各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.9 クロック関連レジスタに対する有効な設定値 (1)

モード	設定有効値				
	SCKSCR. CKSEL[2:0] CKOCR. CKOSEL[2:0]	SCKDIVCR. ICK[2:0]	HOCOVR. HCSTP	MOCOVR. MCSTP	LOCOVR. LCSTP
High-speed Middle-speed Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Subosc-speed	010b (LOCO)	000b (1/1)	1 (停止)	1 (停止)	0 (動作) 1 (停止)

表 10.10 クロック関連レジスタに対する有効な設定値 (2)

動作発振器	設定有効値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
高速オンチップオシレータ	0	00b, 01b, 11b
中速オンチップオシレータ		
低速オンチップオシレータ	0, 1	00b, 01b, 11b
IWDT 専用オンチップオシレータ		

(3) 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR, OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD

(5) スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR, SNZEDCR0, SNZREQCR0

(6) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

[レジスタ]

- SBYCR, SNZCR, SNZEDCR0, SNZREQCR0, PSMCR, OPCCR, SOPCCR

### 10.9.2 I/O ポートの端子状態

ソフトウェアスタンバイモード、およびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポートの端子状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

### 10.9.3 DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[15. データトランスファコントローラ \(DTC\)](#)」を参照してください。

### 10.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

### 10.9.5 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモードなど）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex-M23 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

### 10.9.6 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

### 10.9.7 スリープモード／スヌーズモード時の DTC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードに遷移すると WDT や IWDT が停止します。停止中は DTC によって、WDT または IWDT 関連のレジスタを書き換えしないでください。

### 10.9.8 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効にする必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

### 10.9.9 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが ADC120 の開始トリガとなれます。ソフトウェアトリガや ADTRGn (n = 0) 端子を使用しないでください。

#### 10.9.10 スヌーズモードにおける ELC イベント

本節ではスヌーズモードで使用できる ELC イベントを示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM\_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM\_SNZREQ)
- DTC 転送終了 (DTC\_DTCEND)
- ADC120 ウィンドウ A/B コンペアマッチ (ADC120\_WCMPM)
- ADC120 ウィンドウ A/B コンペア不一致 (ADC120\_WCMPUM)
- データ演算回路割り込み (DOC\_DOPCI)

#### 10.9.11 ADC120 に対するモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC120 をモジュールストップ状態に設定して消費電力を削減することが推奨されます。この場合、DTC を用いて ADC120 のモジュールストップを解除すると、スヌーズモードで ADC120 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

#### 10.9.12 未使用回路に対するモジュールストップ機能

ユーザーモードで使用されない回路はリセットされない可能性があります。また、MCU のリセット中はクロックが供給されないため不安定な状態のまま動作する恐れもあります。このような場合は、MCU が Low-speed モードまたはソフトウェアスタンバイモードに遷移すると、供給電流が、本ユーザーズマニュアルで既定された値よりも最大で 600 $\mu$ A 高い値に上昇する可能性があります。そのため、未使用回路は図 10.11 に示す方法で初期化してください。



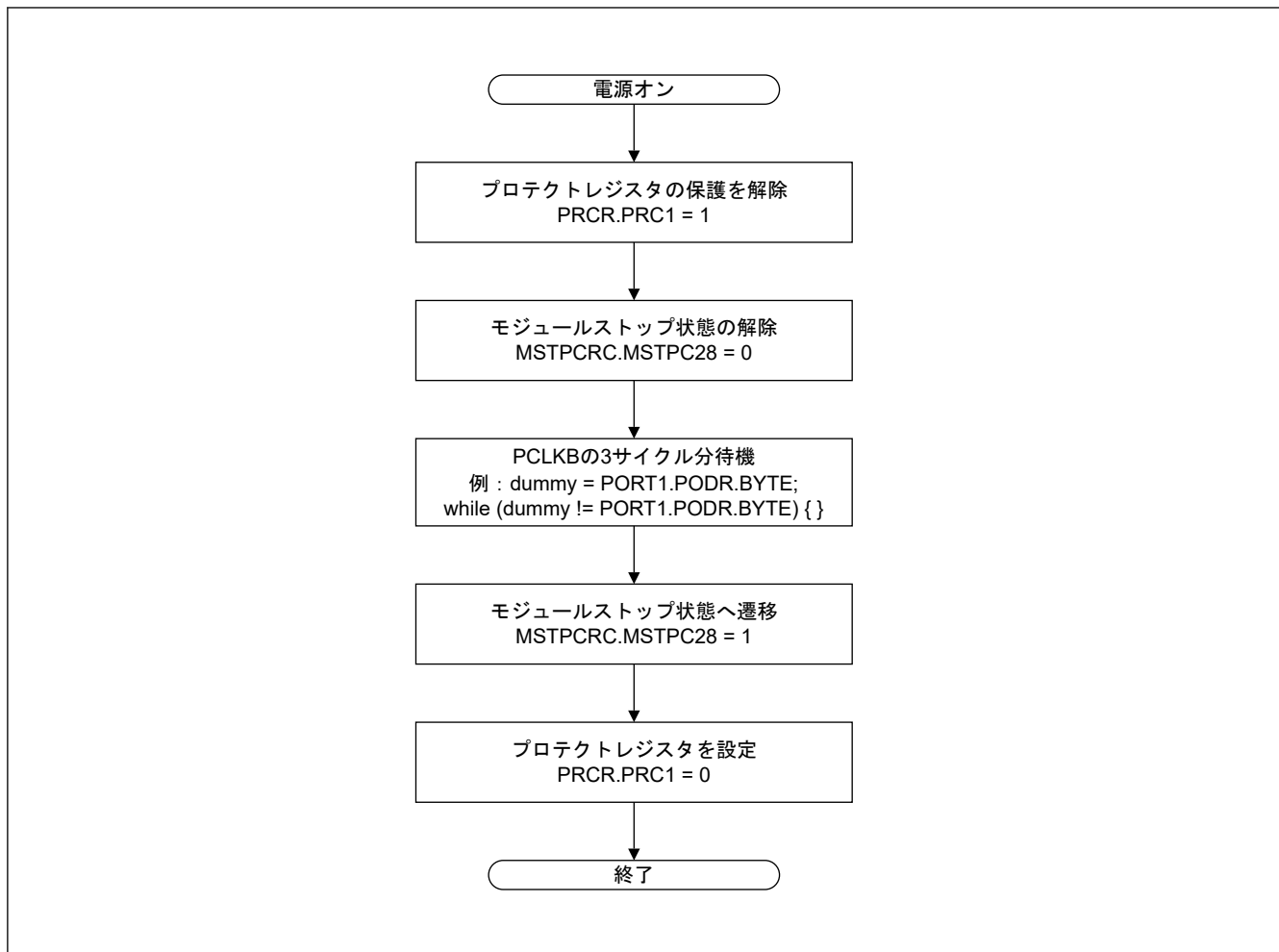


図 10.11 未使用回路の初期設定フロー例

## 11. レジスタライトプロテクション

### 11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, MEMWAIT, HOCOCCR, MOCOCCR, CKOCR, MOCOUTCR, HOCOUTCR, LOCOCCR, LOCOUTCR, HOCOWTCR, LPOPT</li> </ul>
PRC1	<ul style="list-style-type: none"> <li>低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR0, SNZREQCR0, OPCCR, SOPCCR, SYOCDCCR, PSMCR</li> </ul>
PRC3	<ul style="list-style-type: none"> <li>LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCCR, LVDLVL, LVD1CR0, LVD2CR0</li> </ul>

### 11.2 レジスタの説明

#### 11.2.1 PRCR : プロテクトレジスタ

Base address: SYSC = 0x4001\_E000

Offset address: 0x3FE

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:													PRC3		PRC1	PRC0
------------	--	--	--	--	--	--	--	--	--	--	--	--	------	--	------	------

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モード関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

#### PRCn ビット (プロテクトビット n) (n = 0, 1, 3)

PRCn ビットによって、表 11.1 に記載されているレジスタの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可になり、0 にすると書き込み禁止になります。

## 12. 割り込みコントローラユニット (ICU)

### 12.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスクابل割り込みも制御します。

表 12.1 に ICU の仕様、図 12.1 に ICU のブロック図、表 12.2 に ICU の入出力端子を示します。

表 12.1 ICU の仕様

項目	内容	
マスクابل割り込み	周辺機能割り込み	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み</li> <li>要因数：89</li> </ul>
	外部端子割り込み	<ul style="list-style-type: none"> <li>割り込み検出：Low レベル<sup>(注4)</sup>、立ち下がりエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能</li> <li>デジタルフィルタ機能</li> <li>8 要因 (IRQi (i = 0~7) 端子からの割り込み)</li> </ul>
	CPU (NVIC) への割り込み要求	<ul style="list-style-type: none"> <li>32 本の割り込み要求を NVIC に対して出力</li> <li>マスクابل割り込みの要因を 8 つのグループに分けて配置しており、グループに配置された 31 要因から 1 要因を個別に選択可能</li> </ul>
	DTC 制御	<ul style="list-style-type: none"> <li>割り込み要因によって DTC の起動が可能<sup>(注1)</sup></li> <li>割り込み要因の選択方式は、NVIC への割り込み要求と同一</li> </ul>
ノンマスクابل割り込み <sup>(注2)</sup>	NMI 端子割り込み	<ul style="list-style-type: none"> <li>NMI 端子からの割り込み</li> <li>割り込み検出：立ち下がりエッジまたは立ち上がりエッジ</li> <li>デジタルフィルタ機能</li> </ul>
	WDT アンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	低電圧検出 1 <sup>(注3)</sup>	電圧監視 1 回路の電圧監視 1 割り込み (LVD_LVD1)
	低電圧検出 2 <sup>(注3)</sup>	電圧監視 2 回路の電圧監視 2 割り込み (LVD_LVD2)
	RPEST	SRAM パリティエラー発生時の割り込み
	CPU スタックポインタモニターエラー	CPU スタックポインタモニターエラー発生時の割り込み
	バススレーブ MPU エラー	バススレーブ MPU エラー発生時の割り込み
バスマスタ MPU エラー	バスマスタ MPU エラー発生時の割り込み	
低消費電力モード	<ul style="list-style-type: none"> <li>スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰</li> <li>ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰。WUPEN レジスタで割り込みの選択が可能</li> <li>スヌーズモード：ノンマスクابل割り込みによって復帰。SELSR0 および WUPEN レジスタで割り込みの選択が可能</li> </ul> <p>「12.2.7. SELSR0 : SYS イベントリンク設定レジスタ」と「12.2.8. WUPEN : ウェイクアップ割り込みイネーブルレジスタ」を参照してください。</p>	

注 1. DTC の起動要因については、表 12.4 を参照してください。

注 2. リセット解除後に 1 回だけノンマスクابل割り込みを許可することができます。

注 3. これらのノンマスクابل割り込みは、マスクابل割り込みとしても使用可能です。マスクابل割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。

注 4. Low レベルが一度検出されると、IELSRn の IR フラグがリセットされ続けるので、IR フラグをクリアしなければ、割り込み要求はクリアされません。

図 12.1 に ICU のブロック図を示します。

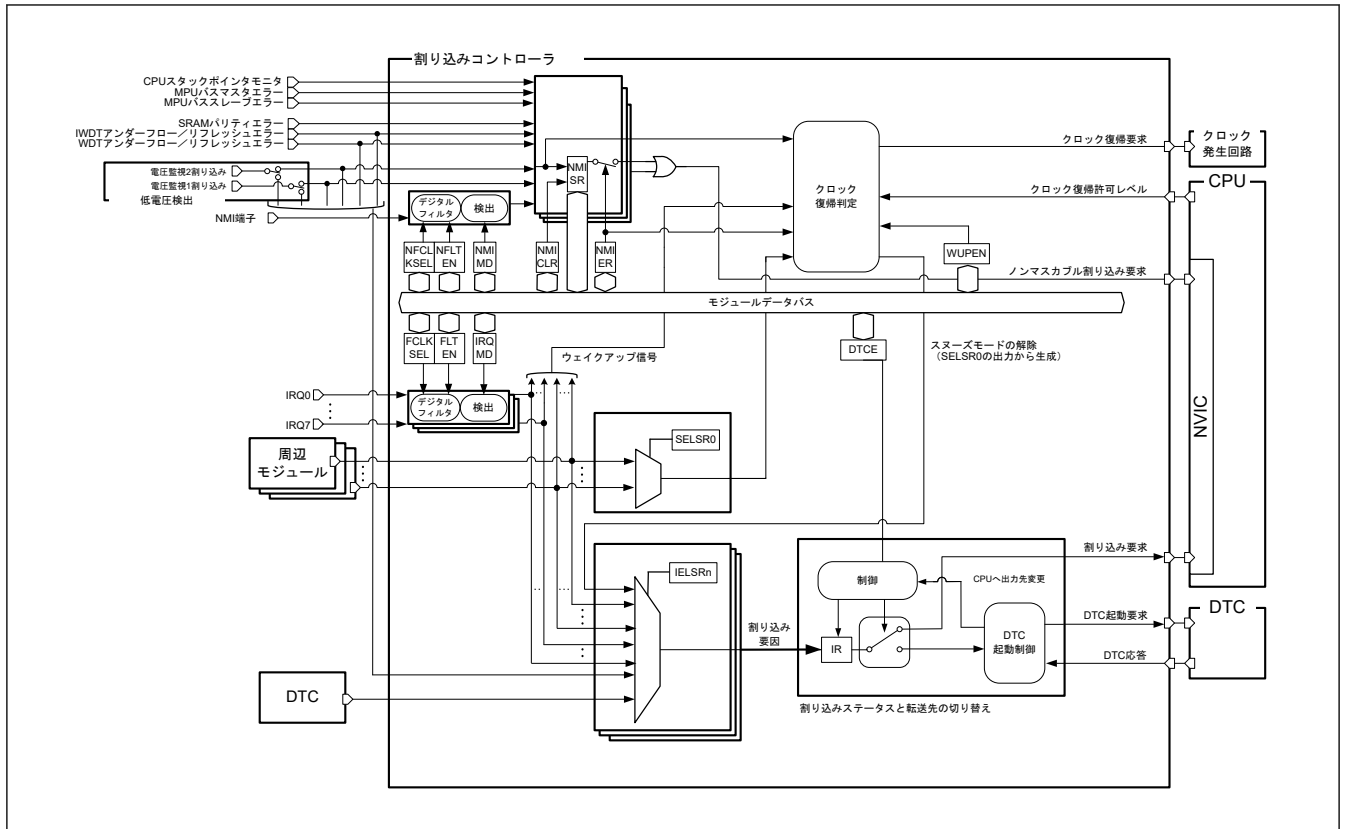


図 12.1 ICU のブロック図

表 12.2 に ICU の入出力端子を示します。

表 12.2 ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスクابل割り込み要求端子
IRQ <sub>i</sub> (i = 0~7)	入力	外部割り込み要求端子

## 12.2 レジスタの説明

本章では、ARM® NVIC の内部レジスタについては説明していません。これらのレジスタについては、ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C)を参照してください。

### 12.2.1 IRQCR<sub>i</sub> : IRQ コントロールレジスタ i (i = 0~7)

Base address: ICU = 0x4000\_6000

Offset address: 0x000 + 0x1 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]	—	—	—	IRQMD[1:0]	

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQ <sub>i</sub> 検出センス選択 00: 立ち下がリエッジ 01: 立ち上がりエッジ 10: 両エッジ 11: Low レベル	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: 無効 1: 有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：  
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n=0~31) を設定する必要があります。  
対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：  
IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPEN[n] (n=0~7) ビットを設定する必要があります。  
対象の WUPEN.IRQWUPEN[n] ビットが 0 の場合に、レジスタ値の変更が可能です。

### IRQMD[1:0]ビット (IRQi 検出センス選択)

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「[12.5.6. 外部端子割り込みの設定手順](#)」を参照してください。

### FCLKSEL[1:0]ビット (IRQi デジタルフィルタサンプリングクロック選択)

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB (1 サイクルごと)
- PCLKB/8 (8 サイクルごと)
- PCLKB/32 (32 サイクルごと)
- PCLKB/64 (64 サイクルごと)

デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

### FLTEN ビット (IRQi デジタルフィルタ有効)

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

## 12.2.2 NMISR : ノンマスクابل割り込みステータスレジスタ

Base address: ICU = 0x4000\_6000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPES T	BUSM ST	BUSS ST	—	RPES T	NMIST	—	—	—	LVD2S T	LVD1S T	WDTS T	IWDT ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー/リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R

ビット	シンボル	機能	R/W
1	WDTST	WDT アンダーフロー/リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	LVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	LVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
6:4	—	読むと 0 が読めます。	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
8	RPEST	SRAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
9	—	読むと 0 が読めます。	R
10	BUSST	バスマスタ MPU エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
11	BUSMST	バスマスタ MPU エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
12	SPEST	CPU スタックポインタモニタエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
13	—	読むと 0 が読めます。	R
15:14	—	読むと 0 が読めます。	R

NMISR レジスタは、ノンマスクابل割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスクابل割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタには影響しません。ノンマスクابل割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

#### IWDTST フラグ (IWDT アンダーフロー/リフレッシュエラー割り込みステータスフラグ)

IWDTST フラグは IWDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー/リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

#### WDTST フラグ (WDT アンダーフロー/リフレッシュエラー割り込みステータスフラグ)

WDTST フラグは WDT アンダーフロー/リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー/リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

**LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)**

LVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

**LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)**

LVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

**NMIST フラグ (NMI 端子割り込みステータスフラグ)**

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMIMD ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMIMD ビットに 1 を書いたとき

**RPEST フラグ (SRAM パリティエラー割り込みステータスフラグ)**

RPEST フラグは SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

**BUSSST フラグ (バススレーブ MPU エラー割り込みステータスフラグ)**

BUSSST フラグはバススレーブ MPU エラー割り込み要求を示します。

[1 になる条件]

バススレーブ MPU エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSSCLR ビットに 1 を書いたとき

**BUSMST フラグ (バスマスタ MPU エラー割り込みステータスフラグ)**

BUSMST フラグはバスマスタ MPU エラー割り込み要求を示します。

[1 になる条件]

バスマスタ MPU エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

**SPEST フラグ (CPU スタックポインタモニタエラー割り込みステータスフラグ)**

SPEST フラグは CPU スタックポインタモニタエラー割り込み要求を示します。

[1 になる条件]

CPU スタックポインタモニタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.SPECLR ビットに 1 を書いたとき

### 12.2.3 NMIER : ノンマスクابل割り込みイネーブルレジスタ

Base address: ICU = 0x4000\_6000

Offset address: 0x120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPEE N	BUSM EN	BUSS EN	—	RPEE N	NMIE N	—	—	—	LVD2E N	LVD1E N	WDTE N	IWDT EN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー/リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
1	WDTEN	WDT アンダーフロー/リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
2	LVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
3	LVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
8	RPEEN	SRAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSSEN	バススレーブ MPU エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
11	BUSMEN	バスマスタ MPU エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
12	SPEEN	CPU スタックポインタモニタ割り込み許可 0: 禁止 1: 許可	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。

注 2. イベント信号として使用する場合、1 にしないでください。

#### IWDTEN ビット (IWDT アンダーフロー/リフレッシュエラー割り込み許可)

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー/リフレッシュエラー割り込みを許可します。

#### WDTEN ビット (WDT アンダーフロー/リフレッシュエラー割り込み許可)

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー/リフレッシュエラー割り込みを許可します。



**LVD1EN ビット (電圧監視 1 割り込み許可)**

LVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

**LVD2EN ビット (電圧監視 2 割り込み許可)**

LVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。

**NMIEN ビット (NMI 端子割り込み許可)**

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

**RPEEN ビット (SRAM パリティエラー割り込み許可)**

RPEEN ビットは、NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

**BUSSEN ビット (バススレーブ MPU エラー割り込み許可)**

BUSSEN ビットは、NMI の起動要因となるバススレーブエラー割り込みを許可します。

**BUSMEN ビット (バスマスタ MPU エラー割り込み許可)**

BUSMEN ビットは、NMI の起動要因となるバスマスタエラー割り込みを許可します。

**SPEEN ビット (CPU スタックポインタモニタ割り込み許可)**

SPEEN ビットは、NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可します。

**12.2.4 NMICLR : ノンマスクابل割り込みステータスクリアレジスタ**

Base address: ICU = 0x4000\_6000

Offset address: 0x130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SPEC LR	BUSM CLR	BUSS CLR	—	RPEC LR	NMICLR	—	—	—	LVD2C LR	LVD1C LR	WDTC LR	IWDT CLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー/リフレッシュエラー割り込みステータスクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)
1	WDTCCLR	WDT アンダーフロー/リフレッシュエラー割り込みステータスクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	LVD1CLR	電圧監視 1 割り込みステータスクリア 0: 影響なし 1: NMISR.LVD1ST フラグをクリア	R/W(注1)
3	LVD2CLR	電圧監視 2 割り込みステータスクリア 0: 影響なし 1: NMISR.LVD2ST フラグをクリア	R/W(注1)
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NMICLR	NMI 端子割り込みステータスクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
8	RPECLR	SRAM パリティエラー割り込みステータスクリア 0: 影響なし 1: NMISR.RPEST フラグをクリア	R/W(注1)
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	BUSSCLR	バススレーブ MPU エラー割り込みステータスクリア 0: 影響なし 1: NMISR.BUSSST フラグをクリア	R/W(注1)

ビット	シンボル	機能	R/W
11	BUSMCLR	バスマスタ MPU エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSMST フラグをクリア	R/W(注1)
12	SPECLR	CPU スタックポインタモニタ割り込みステータスフラグクリア 0: 影響なし 1: NMISR.SPEST フラグをクリア	R/W(注1)
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットには 1 のみ書けます。

#### IWDTCLR ビット (IWDT アンダーフロー/リフレッシュエラー割り込みステータスフラグクリア)

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

#### WDTCLR ビット (WDT アンダーフロー/リフレッシュエラー割り込みステータスフラグクリア)

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

#### LVD1CLR ビット (電圧監視 1 割り込みステータスフラグクリア)

LVD1CLR ビットに 1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

#### LVD2CLR ビット (電圧監視 2 割り込みステータスフラグクリア)

LVD2CLR ビットに 1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

#### NMICLR ビット (NMI 端子割り込みステータスフラグクリア)

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

#### RPECLR ビット (SRAM パリティエラー割り込みステータスフラグクリア)

RPECLR ビットに 1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

#### BUSSCLR ビット (バススレーブ MPU エラー割り込みステータスフラグクリア)

BUSSCLR ビットに 1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

#### BUSMCLR ビット (バスマスタ MPU エラー割り込みステータスフラグクリア)

BUSMCLR ビットに 1 を書き込むことにより、NMISR.BUSMSST フラグをクリアします。読むと 0 が読めます。

#### SPECLR ビット (CPU スタックポインタモニタ割り込みステータスフラグクリア)

SPECLR ビットに 1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

### 12.2.5 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU = 0x4000\_6000

Offset address: 0x100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTE N	—	NFCLKSEL[1:0]	—	—	—	—	NMIM D

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 無効 1: 有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMIER.NMIEN ビットを 1) にしてください。

### NMIMD ビット (NMI 検出設定)

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

### NFCLKSEL[1:0]ビット (NMI デジタルフィルタサンプリングクロック選択)

NFCLKSEL[1:0]ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB (1 サイクルごと)
- PCLKB/8 (8 サイクルごと)
- PCLKB/32 (32 サイクルごと)
- PCLKB/64 (64 サイクルごと)

デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

### NFLTEN ビット (NMI デジタルフィルタ有効)

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、「[12.5.5. デジタルフィルタ](#)」を参照してください。

## 12.2.6 IELSRn : ICU イベントリンク設定レジスタ n (n = 0~31)

Base address: ICU = 0x4000\_6000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	IELS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	IELS[4:0]	ICU イベントリンク選択 0x00: 対応する NVIC または DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号詳細は、「 <a href="#">12.3.3. ICU および DTC イベント番号</a> 」を参照してください。	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求の発生あり	R/W(注1)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: 禁止 1: 許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタはハーフワードアクセスまたはワードアクセスを要求します。

注 1. 1 を書かないでください。

IELSRn レジスタは NVIC により使用される IRQi 要因を選択します。詳細は、表 12.3 を参照してください。

IELSRn は NVIC IRQ 入力要因番号 (n = 0~31) に対応します。

### IELS[4:0]ビット (ICU イベントリンク選択)

IELS[4:0]ビットは対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。また、イベント選択肢の組み合わせとして 8 つ (グループ 0~7) にグルーピングしています。詳細は、表 12.3 と表 12.4 を参照してください。

### IR フラグ (割り込みステータスフラグ)

IR フラグは IELS[4:0]ビットで指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

IR フラグに 0 を書いたとき。DTCE ビットが 0 になったことを確認してから、IR フラグを 0 にしてください。

IR フラグをクリアする場合

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
3. 0 を書くことにより IR フラグをクリアする。

### DTCE ビット (DTC 起動許可)

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- DTCE ビットに 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

## 12.2.7 SELSR0 : SYS イベントリンク設定レジスタ

Base address: ICU = 0x4000\_6000

Offset address: 0x200

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SELS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	SELS[7:0]	SYS イベントリンク選択 0x00: 対応する低消費電力モードのモジュールへのイベント出力無効 その他: リンクするイベント信号の番号詳細は表 12.4 を参照してください。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SELSR0 レジスタはスヌーズモードから復帰するためのイベントを選択します。表 12.4 のスヌーズモードの解除欄に✓が付いているイベントのみを使用できます。IELSRn.IELS[4:0]ビットで ICU\_SNZCANCEL が選択されている場合、スヌーズモードを解除する割り込みが発生します。

### 12.2.8 WUPEN : ウェイクアップ割り込みイネーブルレジスタ

Base address: ICU = 0x4000\_6000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	AGT1 CBWU PEN	AGT1 CAWU PEN	AGT1 UDWU PEN	—	—	—	—	—	—	—	—	LVD2 WUPE N	LVD1 WUPE N	KEYW UPEN	IWDT WUPE N
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IRQWUPEN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IRQWUPEN[7:0]	IRQ 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: IRQn 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
17	KEYWUPEN	Key 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: KEY 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: KEY 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
18	LVD1WUPEN	LVD1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: LVD1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: LVD1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
19	LVD2WUPEN	LVD2 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: LVD2 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: LVD2 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
27:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	AGT1UDWUPEN	AGT1 アンダーフロー割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: AGT1 アンダーフロー割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
29	AGT1CAWUPEN	AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: AGT1 コンペアマッチ A 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W

ビット	シンボル	機能	R/W
30	AGT1CBWUPEN	AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: AGT1 コンペアマッチ B 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモード/スヌーズモードから CPU を復帰させることができるかどうかを制御します。

#### IRQWUPEN[7:0]ビット (IRQ 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

IRQWUPEN[7:0]ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため IRQn 割り込みの使用を許可します。

#### IWDTWUPEN ビット (IWDT 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

IWDTWUPEN ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため IWDT 割り込みの使用を許可します。

#### KEYWUPEN ビット (Key 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

KEYWUPEN ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため Key 割り込みの使用を許可します。

#### LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

LVD1WUPEN ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため LVD1 割り込みの使用を許可します。

#### LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

LVD2WUPEN ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため LVD2 割り込みの使用を許可します。

#### AGT1UDWUPEN ビット (AGT1 アンダーフロー割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

AGT1UDWUPEN ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

#### AGT1CAWUPEN ビット (AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

AGT1CAWUPEN ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

#### AGT1CBWUPEN ビット (AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

AGT1CBWUPEN ビットは、ソフトウェアスタンバイモード/スヌーズモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

### 12.2.9 IELEN : ICU イベントイネーブルレジスタ

Base address: ICU = 0x4000\_6000

Offset address: 0x1C0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	IELEN	—

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	IELEN	パーツ非同期割り込み許可 (LPOPTEN = 1 のとき) 0: 禁止 1: 許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタのビットは対応する割り込みの使用可否を制御します。

### IELEN ビット (パーツ非同期割り込み許可 (LPOPTEN = 1 のとき))

IELEN ビットは以下に示すパーツ非同期割り込みの使用を許可します。

- AGT1\_AGTCMBI、AGT1\_AGTCMAI、AGT1\_AGTI、LVD\_LVD1、LVD\_LVD2、KEY\_INTKR、IWDT\_NMIUNDF、PORT\_IRQ0~PORT\_IRQ7

## 12.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「[12.9. 参考資料](#)」を参照してください。

### 12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 12.3 割り込みベクタテーブル (1/2)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ (リセットベクタ)
2	—	0x008	Arm	ノンマスカブル割り込み (NMI)
3	—	0x00C	Arm	ハード障害
4	—	0x010	Arm	予約
5	—	0x014	Arm	予約
6	—	0x018	Arm	予約
7	—	0x01C	Arm	予約
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパーバイザコール (SVCall)
12	—	0x030	Arm	予約
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (2/2)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

### 12.3.2 イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	内容
割り込み要求発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。



表 12.4 イベントテーブル (1/3)

イベント番号 (注5)	割り込み要求発生元	名称	IELSRn		スヌーズモード の解除	ソフトウェア スタンバイモ ードの解除
			NVIC への接続	DTC の起動		
0x01	ポート	PORT_IRQ0	✓	✓	✓	✓
0x02		PORT_IRQ1	✓	✓	✓	✓
0x03		PORT_IRQ2	✓	✓	✓	✓
0x04		PORT_IRQ3	✓	✓	✓	✓
0x05		PORT_IRQ4	✓	✓	✓	✓
0x06		PORT_IRQ5	✓	✓	✓	✓
0x07		PORT_IRQ6	✓	✓	✓	✓
0x08		PORT_IRQ7	✓	✓	✓	✓
0x09	DTC	DTC_COMPLETE	✓	—	✓(注4)	—
0x0B	ICU	ICU_SNZCANCEL	✓	—	✓	—
0x0C	FLASH	FCU_FRDYI	✓	—	—	—
0x0D	LVD	LVD_LVD1	✓	—	✓	✓
0x0E		LVD_LVD2	✓	—	✓	✓
0x10	低消費電力モード	SYSTEM_SNZREQ	—	✓	—	—
0x11	AGT0	AGT0_AGTI	✓	✓	—	—
0x12		AGT0_AGTCMAI	✓	✓	—	—
0x13		AGT0_AGTCMBI	✓	✓	—	—
0x14	AGT1	AGT1_AGTI	✓	✓	✓	✓
0x15		AGT1_AGTCMAI	✓	✓	✓	✓
0x16		AGT1_AGTCMBI	✓	✓	✓	✓
0x17	IWDT	IWDT_NMIUNDF	✓	—	✓	✓
0x18	WDT	WDT_NMIUNDF	✓	—	—	—
0x1C	ADC12	ADC120_ADI	✓	✓	—	—
0x1D		ADC120_GBADI	✓	✓	—	—
0x1E		ADC120_CMPAI	✓	—	—	—
0x1F		ADC120_CMPBI	✓	—	—	—
0x20		ADC120_WCMPPM	—	✓	✓(注4)	—
0x21		ADC120_WCMPUM	—	✓	✓(注4)	—
0x33	KINT	KEY_INTKR	✓	—	✓(注1)	✓(注1)
0x34	DOC	DOC_DOPCI	✓	—	✓(注4)	—
0x35	CAC	CAC_FERRI	✓	—	—	—
0x36		CAC_MENDI	✓	—	—	—
0x37		CAC_OVFI	✓	—	—	—
0x3D	I/O ポート	IOPORT_GROUP1	✓	✓(注2)	—	—
0x3E		IOPORT_GROUP2	✓	✓(注2)	—	—
0x3F	ELC	ELC_SWEVT0	✓(注3)	✓	—	—
0x40		ELC_SWEVT1	✓(注3)	✓	—	—
0x41	POEG	POEG_GROUP0	✓	—	—	—
0x42		POEG_GROUP1	✓	—	—	—

表 12.4 イベントテーブル (2/3)

イベント番号 (注5)	割り込み要求発生元	名称	IELSRn		スヌーズモード の解除	ソフトウェア スタンバイモ ードの解除
			NVIC への接続	DTC の起動		
0x5E	GPT164	GPT4_CCMPA	✓	✓	—	—
0x5F		GPT4_CCMPB	✓	✓	—	—
0x60		GPT4_CMPC	✓	✓	—	—
0x61		GPT4_CMPD	✓	✓	—	—
0x62		GPT4_OVF	✓	✓	—	—
0x63		GPT4_UDF	✓	✓	—	—
0x64	GPT165	GPT5_CCMPA	✓	✓	—	—
0x65		GPT5_CCMPB	✓	✓	—	—
0x66		GPT5_CMPC	✓	✓	—	—
0x67		GPT5_CMPD	✓	✓	—	—
0x68		GPT5_OVF	✓	✓	—	—
0x69		GPT5_UDF	✓	✓	—	—
0x6A	GPT166	GPT6_CCMPA	✓	✓	—	—
0x6B		GPT6_CCMPB	✓	✓	—	—
0x6C		GPT6_CMPC	✓	✓	—	—
0x6D		GPT6_CMPD	✓	✓	—	—
0x6E		GPT6_OVF	✓	✓	—	—
0x6F		GPT6_UDF	✓	✓	—	—
0x70	GPT	GPT_UVWEDGE	✓	—	—	—
0x7C	SCI9	SCI9_RXI	✓	✓	—	—
0x7D		SCI9_TXI	✓	✓	—	—
0x7E		SCI9_TEI	✓	—	—	—
0x7F		SCI9_ERI	✓	—	—	—
0x80		SCI9_AM	✓	—	—	—
0x81	SPI0	SPI0_SPRI	✓	✓	—	—
0x82		SPI0_SPTI	✓	✓	—	—
0x83		SPI0_SPII	✓	—	—	—
0x84		SPI0_SPEI	✓	—	—	—
0x85		SPI0_SPTEND	✓	—	—	—
0x8B	AES	AES_WRREQ	✓	✓	—	—
0x8C		AES_RDREQ	✓	✓	—	—
0x8D	TRNG	TRNG_RDREQ	✓	—	—	—
0x98	GPT167	GPT7_CCMPA	✓	✓	—	—
0x99		GPT7_CCMPB	✓	✓	—	—
0x9A		GPT7_CMPC	✓	✓	—	—
0x9B		GPT7_CMPD	✓	✓	—	—
0x9C		GPT7_OVF	✓	✓	—	—
0x9D		GPT7_UDF	✓	✓	—	—

表 12.4 イベントテーブル (3/3)

イベント番号 (注5)	割り込み要求発生元	名称	IELSRn		スヌーズモード の解除	ソフトウェア スタンバイモ ードの解除
			NVIC への接続	DTC の起動		
0x9E	GPT168	GPT8_CCMPA	✓	✓	—	—
0x9F		GPT8_CCMPB	✓	✓	—	—
0xA0		GPT8_CMPC	✓	✓	—	—
0xA1		GPT8_CMPD	✓	✓	—	—
0xA2		GPT8_OVF	✓	✓	—	—
0xA3		GPT8_UDF	✓	✓	—	—
0xA4	GPT169	GPT9_CCMPA	✓	✓	—	—
0xA5		GPT9_CCMPB	✓	✓	—	—
0xA6		GPT9_CMPC	✓	✓	—	—
0xA7		GPT9_CMPD	✓	✓	—	—
0xA8		GPT9_OVF	✓	✓	—	—
0xA9		GPT9_UDF	✓	✓	—	—
0xAA	IIC/I3C	I3C_RESP	✓	✓	—	—
0xAB		I3C_CMD	✓	✓	—	—
0xAC		I3C_IBI	✓	✓	—	—
0xAD		I3C_RX	✓	✓	—	—
0xAE		I3C_TX	✓	✓	—	—
0xAF		I3C_RCV	✓	✓	—	—
0xB4		I3C_TEND	✓	—	—	—
0xB5		I3C_EEI	✓	—	—	—

注 1. KRCTL.KRMD が 1 の場合にのみサポートされます。

注 2. 最初のエッジ検出のみが有効です。

注 3. DTC 転送後の割り込みのみがサポートされます。

注 4. SELSR0 を使用。

注 5. イベント番号は、スヌーズモードの解除とソフトウェアスタンバイモードの解除においてのみアクティブです。CPU 割り込みと DTC 割り込みの設定については、表 12.7 を参照してください。

### 12.3.3 ICU および DTC イベント番号

表 12.5 および表 12.6 に、CPU 割り込みまたは DTC 起動要求時の IELSRn.IELS[4:0]設定値を示します。表 12.7 各イベント選択のレジスタ設定値を示します。

表 12.5 ICU 入力リンク選択 (1) (1/2)

IELS[4:0]	グループ 0 (割り込みチャネル IELSR0/8/16/24)	グループ 1 (割り込みチャネル IELSR1/9/17/25)	グループ 2 (割り込みチャネル IELSR2/10/18/26)	グループ 3 (割り込みチャネル IELSR3/11/19/27)
0x00	割り込み禁止	割り込み禁止	割り込み禁止	割り込み禁止
0x01	PORT_IRQ0	PORT_IRQ1	PORT_IRQ2	PORT_IRQ3
0x02	DTC_COMPLETE	LVD_LVD2	FCU_FRDYI	SYSTEM_SNZREQ
0x03	ICU_SNZCANCEL	AGT1_AGTCAI	AGT1_AGTCMBI	IWDT_NMIUNDF
0x04	LVD_LVD1	設定禁止	設定禁止	設定禁止
0x05	AGT1_AGTI	ADC120_GBADI	ADC120_CMPAI	ADC120_CMPBI
0x06	WDT_NMIUNDF	ADC120_WCMPUM	I3C_TEND	I3C_EEI
0x07	ADC120_ADI	設定禁止	設定禁止	設定禁止
0x08	ADC120_WCMPM	I3C_TX	CAC_MENDI	CAC_OVFI

表 12.5 ICU 入力リンク選択 (1) (2/2)

IELS[4:0]	グループ 0 (割り込みチャネル IELSR0/8/16/24)	グループ 1 (割り込みチャネル IELSR1/9/17/25)	グループ 2 (割り込みチャネル IELSR2/10/18/26)	グループ 3 (割り込みチャネル IELSR3/11/19/27)
0x09	設定禁止	設定禁止	設定禁止	設定禁止
0x0A	I3C_RX	DOC_DOPCI	ELC_SWEVT0	ELC_SWEVT1
0x0B	設定禁止	CAC_FERRI	POEG_GROUP0	POEG_GROUP1
0x0C	設定禁止	設定禁止	設定禁止	設定禁止
0x0D	設定禁止	設定禁止	設定禁止	設定禁止
0x0E	設定禁止	設定禁止	設定禁止	設定禁止
0x0F	設定禁止	設定禁止	設定禁止	設定禁止
0x10	設定禁止	設定禁止	SPI0_SPII	SPI0_SPEI
0x11	GPT_UVWEDGE	SPI0_SPTI	SPI0_SPTEND	AGT0_AGTI
0x12	設定禁止	AES_RDREQ	TRNG_RDREQ	設定禁止
0x13	設定禁止	AGT0_AGTCMBI	IOPORT_GROUP2	GPT4_CMPD
0x14	SPI0_SPRI	設定禁止	設定禁止	GPT5_UDF
0x15	AES_WRREQ	IOPORT_GROUP1	GPT4_CMPC	GPT6_CMPD
0x16	AGT0_AGTCMAI	設定禁止	GPT5_OVF	GPT7_UDF
0x17	設定禁止	設定禁止	GPT6_CMPC	GPT8_CMPD
0x18	KEY_INTKR	GPT4_CCMPB	GPT7_OVF	GPT9_UDF
0x19	設定禁止	GPT6_CCMPB	GPT8_CMPC	設定禁止
0x1A	設定禁止	GPT8_CCMPB	GPT9_OVF	設定禁止
0x1B	GPT4_CCMPA	設定禁止	設定禁止	SCI9_AM
0x1C	GPT6_CCMPA	設定禁止	設定禁止	I3C_CMD
0x1D	GPT8_CCMPA	設定禁止	設定禁止	設定禁止
0x1E	設定禁止	I3C_RESP	I3C_IBI	I3C_IBI
0x1F	設定禁止	設定禁止	設定禁止	I3C_RCV

表 12.6 ICU 入力リンク選択 (2) (1/2)

IELS[4:0]	グループ 4 (割り込みチャネル IELSR4/12/20/28)	グループ 5 (割り込みチャネル IELSR5/13/21/29)	グループ 6 (割り込みチャネル IELSR6/14/22/30)	グループ 7 (割り込みチャネル IELSR7/15/23/31)
0x00	割り込み禁止	割り込み禁止	割り込み禁止	割り込み禁止
0x01	PORT_IRQ0	PORT_IRQ1	PORT_IRQ2	PORT_IRQ3
0x02	DTC_COMPLETE	LVD_LVD2	FCU_FRDYI	SYSTEM_SNZREQ
0x03	ICU_SNZCANCEL	AGT1_AGTCMAI	AGT1_AGTCMBI	IWDT_NMIUNDF
0x04	LVD_LVD1	設定禁止	設定禁止	設定禁止
0x05	AGT1_AGTI	ADC120_GBADI	ADC120_CMPAI	ADC120_CMPBI
0x06	WDT_NMIUNDF	ADC120_WCMPUM	I3C_TEND	I3C_EEI
0x07	ADC120_ADI	設定禁止	設定禁止	設定禁止
0x08	ADC120_WCMPM	I3C_TX	CAC_MENDI	CAC_OVFI
0x09	設定禁止	設定禁止	設定禁止	設定禁止
0x0A	I3C_RX	DOC_DOPCI	ELC_SWEVT0	ELC_SWEVT1
0x0B	設定禁止	CAC_FERRI	POEG_GROUP0	POEG_GROUP1
0x0C	設定禁止	設定禁止	設定禁止	設定禁止
0x0D	設定禁止	設定禁止	設定禁止	設定禁止
0x0E	設定禁止	設定禁止	設定禁止	設定禁止

表 12.6 ICU 入力リンク選択 (2) (2/2)

IELS[4:0]	グループ 4 (割り込みチャネル IELSR4/12/20/28)	グループ 5 (割り込みチャネル IELSR5/13/21/29)	グループ 6 (割り込みチャネル IELSR6/14/22/30)	グループ 7 (割り込みチャネル IELSR7/15/23/31)
0x0F	設定禁止	設定禁止	設定禁止	設定禁止
0x10	設定禁止	設定禁止	SPI0_SPII	SPI0_SPEI
0x11	GPT_UVWEDGE	SPI0_SPTI	SPI0_SPTEND	PORT_IRQ7
0x12	設定禁止	AES_RDREQ	TRNG_RDREQ	設定禁止
0x13	設定禁止	PORT_IRQ5	PORT_IRQ6	GPT4_UDF
0x14	SPI0_SPRI	I3C_RCV	設定禁止	GPT5_CMPD
0x15	AES_WRREQ	設定禁止	設定禁止	GPT6_UDF
0x16	PORT_IRQ4	設定禁止	GPT4_OVF	GPT7_CMPD
0x17	設定禁止	GPT5_CCMPB	GPT5_CMPC	GPT8_UDF
0x18	設定禁止	GPT7_CCMPB	GPT6_OVF	GPT9_CMPD
0x19	設定禁止	GPT9_CCMPB	GPT7_CMPC	設定禁止
0x1A	GPT5_CCMPA	設定禁止	GPT8_OVF	SCI9_ERI
0x1B	GPT7_CCMPA	設定禁止	GPT9_CMPC	設定禁止
0x1C	GPT9_CCMPA	SCI9_TXI	設定禁止	I3C_CMD
0x1D	設定禁止	設定禁止	設定禁止	設定禁止
0x1E	SCI9_RXI	I3C_RESP	SCI9_TEI	設定禁止
0x1F	設定禁止	設定禁止	設定禁止	設定禁止

表 12.7 イベントのレジスタ設定 (1/3)

名称	IELSRn.IELS[4:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
PORT_IRQ0	0x01	—	—	—	0x01	—	—	—
PORT_IRQ1	—	0x01	—	—	—	0x01	—	—
PORT_IRQ2	—	—	0x01	—	—	—	0x01	—
PORT_IRQ3	—	—	—	0x01	—	—	—	0x01
PORT_IRQ4	—	—	—	—	0x16	—	—	—
PORT_IRQ5	—	—	—	—	—	0x13	—	—
PORT_IRQ6	—	—	—	—	—	—	0x13	—
PORT_IRQ7	—	—	—	—	—	—	—	0x11
DTC_COMPLETE	0x02 <sup>(注1)</sup>	—	—	—	0x02 <sup>(注1)</sup>	—	—	—
ICU_SNZCANCEL	0x03 <sup>(注1)</sup>	—	—	—	0x03 <sup>(注1)</sup>	—	—	—
FCU_FRDYI	—	—	0x02 <sup>(注1)</sup>	—	—	—	0x02 <sup>(注1)</sup>	—
LVD_LVD1	0x04 <sup>(注1)</sup>	—	—	—	0x04 <sup>(注1)</sup>	—	—	—
LVD_LVD2	—	0x02 <sup>(注1)</sup>	—	—	—	0x02 <sup>(注1)</sup>	—	—
SYSTEM_SNZREQ	—	—	—	0x02 <sup>(注2)</sup>	—	—	—	0x02 <sup>(注2)</sup>
AGT0_AGTI	—	—	—	0x11	—	—	—	—
AGT0_AGTCMAI	0x16	—	—	—	—	—	—	—
AGT0_AGTCMBI	—	0x13	—	—	—	—	—	—
AGT1_AGTI	0x05	—	—	—	0x05	—	—	—
AGT1_AGTCMAI	—	0x03	—	—	—	0x03	—	—
AGT1_AGTCMBI	—	—	0x03	—	—	—	0x03	—

表 12.7 イベントのレジスタ設定 (2/3)

名称	IELSRn.IELS[4:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
IWDT_NMIUNDF	—	—	—	0x03(注1)	—	—	—	0x03(注1)
WDT_NMIUNDF	0x06(注1)	—	—	—	0x06(注1)	—	—	—
ADC120_ADI	0x07	—	—	—	0x07	—	—	—
ADC120_GBADI	—	0x05	—	—	—	05	—	—
ADC120_CMPAI	—	—	0x05(注1)	—	—	—	0x05(注1)	—
ADC120_CMPBI	—	—	—	0x05(注1)	—	—	—	0x05(注1)
ADC120_WCMPPM	0x08(注2)	—	—	—	0x08(注2)	—	—	—
ADC120_WCMPUM	—	0x06(注2)	—	—	—	0x06(注2)	—	—
I3C_RESP	—	0x1E	—	—	—	0x1E	—	—
I3C_CMD	—	—	—	0x1C	—	—	—	0x1C
I3C_IBI	—	—	0x1E	0x1E	—	—	—	—
I3C_RCV	—	—	—	0x1F	—	0x14	—	—
I3C_RX	0x0A	—	—	—	0x0A	—	—	—
I3C_TX	—	0x08	—	—	—	0x08	—	—
I3C_TEND	—	—	0x06(注1)	—	—	—	0x06(注1)	—
I3C_EEI	—	—	—	0x06(注1)	—	—	—	0x06(注1)
KEY_INTKR	0x18(注1)	—	—	—	—	—	—	—
DOC_DOPCI	—	0x0A(注1)	—	—	—	0x0A(注1)	—	—
CAC_FERRI	—	0x0B(注1)	—	—	—	0x0B(注1)	—	—
CAC_MENDI	—	—	0x08(注1)	—	—	—	0x08(注1)	—
CAC_OVFI	—	—	—	0x08(注1)	—	—	—	0x08(注1)
IOPORT_GROUP1	—	0x15	—	—	—	—	—	—
IOPORT_GROUP2	—	—	0x13	—	—	—	—	—
ELC_SWEVT0	—	—	0x0A	—	—	—	0x0A	—
ELC_SWEVT1	—	—	—	0x0A	—	—	—	0x0A
POEG_GROUP0	—	—	0x0B(注1)	—	—	—	0x0B(注1)	—
POEG_GROUP1	—	—	—	0x0B(注1)	—	—	—	0x0B(注1)
GPT4_CCMPA	0x1B	—	—	—	—	—	—	—
GPT4_CCMPB	—	0x18	—	—	—	—	—	—
GPT4_CMPC	—	—	0x15	—	—	—	—	—
GPT4_CMPD	—	—	—	0x13	—	—	—	—
GPT4_OVF	—	—	—	—	—	—	0x16	—
GPT4_UDF	—	—	—	—	—	—	—	0x13
GPT5_CCMPA	—	—	—	—	0x1A	—	—	—
GPT5_CCMPB	—	—	—	—	—	0x17	—	—
GPT5_CMPC	—	—	—	—	—	—	0x17	—
GPT5_CMPD	—	—	—	—	—	—	—	0x14
GPT5_OVF	—	—	0x16	—	—	—	—	—
GPT5_UDF	—	—	—	0x14	—	—	—	—

表 12.7 イベントのレジスタ設定 (3/3)

名称	IELSRn.IELS[4:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
GPT6_CCMPA	0x1C	—	—	—	—	—	—	—
GPT6_CCMPB	—	0x19	—	—	—	—	—	—
GPT6_CMPC	—	—	0x17	—	—	—	—	—
GPT6_CMPD	—	—	—	0x15	—	—	—	—
GPT6_OVF	—	—	—	—	—	—	0x18	—
GPT6_UDF	—	—	—	—	—	—	—	0x15
GPT7_CCMPA	—	—	—	—	0x1B	—	—	—
GPT7_CCMPB	—	—	—	—	—	0x18	—	—
GPT7_CMPC	—	—	—	—	—	—	0x19	—
GPT7_CMPD	—	—	—	—	—	—	—	0x16
GPT7_OVF	—	—	0x18	—	—	—	—	—
GPT7_UDF	—	—	—	0x16	—	—	—	—
GPT8_CCMPA	0x1D	—	—	—	—	—	—	—
GPT8_CCMPB	—	0x1A	—	—	—	—	—	—
GPT8_CMPC	—	—	0x19	—	—	—	—	—
GPT8_CMPD	—	—	—	0x17	—	—	—	—
GPT8_OVF	—	—	—	—	—	—	0x1A	—
GPT8_UDF	—	—	—	—	—	—	—	0x17
GPT9_CCMPA	—	—	—	—	0x1C	—	—	—
GPT9_CCMPB	—	—	—	—	—	0x19	—	—
GPT9_CMPC	—	—	—	—	—	—	0x1B	—
GPT9_CMPD	—	—	—	—	—	—	—	0x18
GPT9_OVF	—	—	0x1A	—	—	—	—	—
GPT9_UDF	—	—	—	0x18	—	—	—	—
GPT_UVWEDGE	0x11(注1)	—	—	—	0x11(注1)	—	—	—
SCI9_RXI	—	—	—	—	0x1E	—	—	—
SCI9_TXI	—	—	—	—	—	0x1C	—	—
SCI9_TEI	—	—	—	—	—	—	0x1E(注1)	—
SCI9_ERI	—	—	—	—	—	—	—	0x1A(注1)
SCI9_AM	—	—	—	0x1B(注1)	—	—	—	—
SPI0_SPRI	0x14	—	—	—	0x14	—	—	—
SPI0_SPTI	—	0x11	—	—	—	0x11	—	—
SPI0_SPII	—	—	0x10(注1)	—	—	—	0x10(注1)	—
SPI0_SPEI	—	—	—	0x10(注1)	—	—	—	0x10(注1)
SPI0_SPTEND	—	—	0x11(注1)	—	—	—	0x11(注1)	—
AES_WRREQ	0x15	—	—	—	0x15	—	—	—
AES_RDREQ	—	0x12	—	—	—	0x12	—	—
TRNG_RDREQ	—	—	0x12(注1)	—	—	—	0x12(注1)	—

注 1. CPU 割り込みのみで使用します。

注 2. DTC 割り込みのみで使用します。

## 12.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動など）

### 12.4.1 割り込みの検出

ICU は、周辺機能割り込みや外部端子割り込みから入力されるイベント要因を、IELSRn.IELS[4:0]で選択します。受け付けた割り込み要因は、IELSRn.IR フラグを 1 にして、NVIC へ割り込み要求を伝えます。

外部端子割り込み要求は下記のいずれかにより検出されます。

- エッジ（立ち下がりエッジ、立ち上がりエッジ、または立ち上がり／立ち下がりエッジ）
- 割り込み信号のレベル（Low レベル）

IRQi 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0]ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 12.3 および表 12.4 を参照してください。イベントは割り込みが発生し、CPU で受け入れられる前に、NVIC で受け入れられなければなりません。

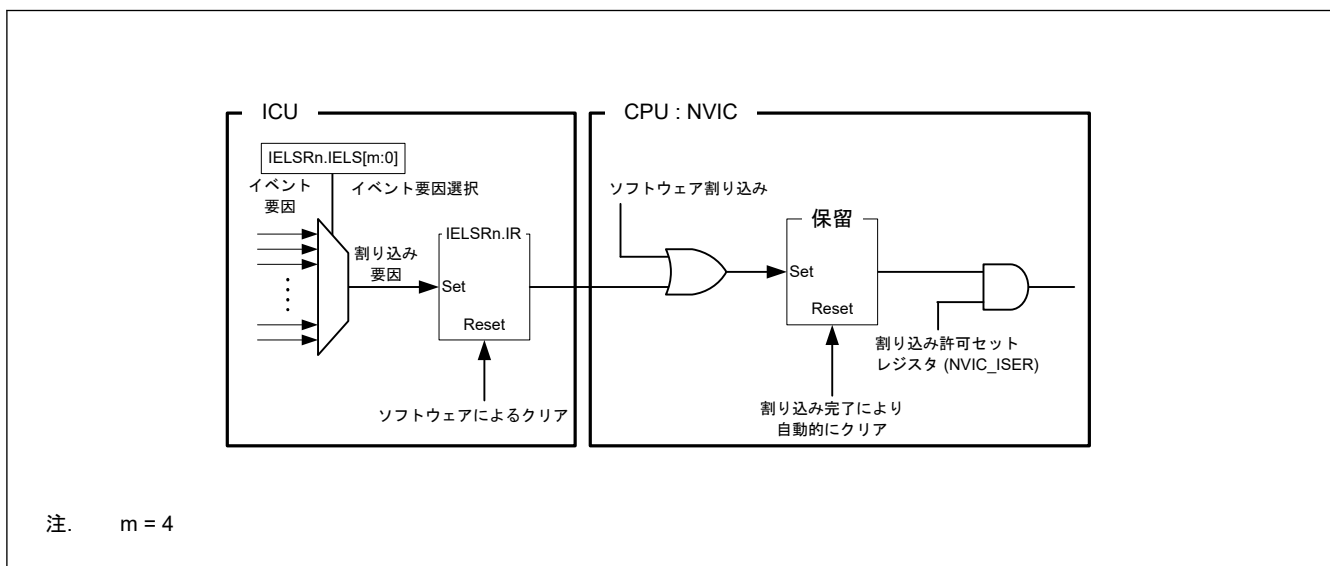


図 12.2 ICU および CPU の割り込み経路 (NVIC)

## 12.5 割り込みの設定手順

### 12.5.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込み許可セットレジスタ (NVIC\_ISER) を設定してください。
2. 対象となる割り込み要因を IELSRn.IELS[4:0]ビットに設定してください。
3. スヌーズモードの解除 (SELSR0.SELS[7:0]ビットの設定)、ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する各種設定をしてください。

### 12.5.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. スヌーズモードの解除 (SELSR0.SELS[7:0]ビットの設定)、ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する各種設定を解除してください。



2. 設定した割り込み要因をクリアしてください (IELSRn.IELS[4:0] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
4. 割り込み許可クリアレジスタ (NVIC\_ICER) と割り込み保留クリアレジスタ (NVIC\_ICPR) をクリアしてください。

### 12.5.3 割り込みのポーリング

割り込み要求のポーリングをする手順を以下に示します。

1. 割り込み許可クリアレジスタ (NVIC\_ICER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[4:0] ビットを設定してください。
3. スヌーズモードの解除 (SELSR0.SELS[7:0] ビットの設定)、ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する動作設定をしてください。
4. 割り込み保留セットレジスタ (NVIC\_ISPR) をポーリングしてください。

### 12.5.4 割り込み要求先の選択

選択可能な要求先は、表 12.3、表 12.4 および表 12.6 に示されているように、割り込みごとに固定されています。割り込み要求先 (CPU、DTC) は、割り込み要因ごとに個別に選択できます。

に✓印の記載がある割り込み要求を設定してください。

DTC が IRQi 端子からの割り込み要求先として選択された場合、その割り込み要求に対して IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

#### 12.5.4.1 CPU への割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。IELSRn.IELS[4:0] ビットで対象のイベントを選択し、かつ IELSRn.DTCE ビットを 0 に設定してください。

#### 12.5.4.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. IELSRn.IELS[4:0] ビットで対象のイベントを選択し、かつ IELSRn.DTCE ビットを 1 に設定してください。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 12.8 に DTC が割り込み要求先となる場合の動作を示します。

表 12.8 DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の割り込み要求先
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU (IELSRn.DTCE ビットが自動的にクリアされる)
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU (IELSRn.DTCE ビットが自動的にクリアされる)

注 1. DTC.MRB.DISEL ビットで DTC から CPU への割り込み要求の発生の仕方を設定します。

注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「15. データトランスファコントローラ (DTC)」の表 15.2 を参照してください。

### 12.5.5 デジタルフィルタ

デジタルフィルタ機能は外部割り込み要求端子 (IRQ<sub>i</sub>,  $i=0\sim7$ ) と NMI 端子割り込みに用いられます。デジタルフィルタ機能はフィルタ PCLKB サンプリングクロックの入力信号をサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

IRQ<sub>i</sub> 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. IRQCR<sub>i</sub>.FCLKSEL[1:0]ビット ( $i=0\sim7$ ) でサンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32 または PCLKB/64 に設定してください。
2. IRQCR<sub>i</sub>.FLTEN ビット ( $i=0\sim7$ ) を 1 (デジタルフィルタ有効) に設定してください。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. NMICR.NFCLKSEL[1:0]ビットでサンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32 または PCLKB/64 に設定してください。
2. NMICR.NFLTEN ビットを 1 (デジタルフィルタ有効) に設定してください。

図 12.3 にデジタルフィルタの動作例を示します。

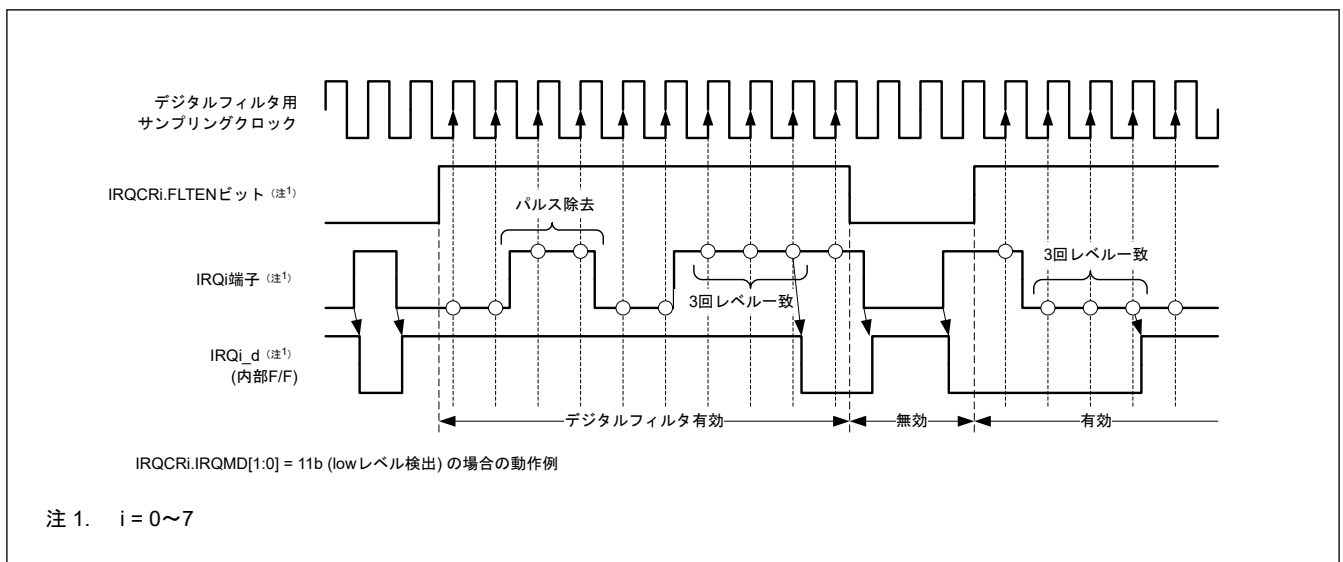


図 12.3 デジタルフィルタの動作例

ソフトウェアスタンバイモードに移行する前に、IRQCR<sub>i</sub>.FLTEN ビットと NMICR.NFLTEN ビットによりデジタルフィルタを無効にしてください。ソフトウェアスタンバイモードでは、ICU クロックは停止します。

ソフトウェアスタンバイモード終了時、回路はスタンバイモード前後の状態を比較することにより、エッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、不適切なエッジが検出される可能性があります。ソフトウェアスタンバイモード終了後は、再度、デジタルフィルタを有効にすることができます。

### 12.5.6 外部端子割り込みの設定手順

外部端子割り込みを使用する時の手順を以下に示します。

1. I/O ポートの設定をしてください。
2. IRQCR<sub>i</sub>.FLTEN ビット ( $i=0\sim7$ ) を 0 (デジタルフィルタ無効) にしてください。
3. IRQCR<sub>i</sub> レジスタ ( $i=0\sim7$ ) の IRQMD[1:0]ビットを設定して検出センスを選択してください。
4. IRQCR<sub>i</sub> レジスタの FCLKSEL[1:0]ビット、および FLTEN ビットを設定してください。
5. IRQ 端子を以下のように設定してください。
  - IRQ 端子を CPU への割り込み要求に使用する場合は、IELSR<sub>n</sub>.IELS[4:0]ビットを設定し、IELSR<sub>n</sub>.DTCE ビットを 0 にしてください。
  - IRQ 端子を DTC の起動に使用する場合は、IELSR<sub>n</sub>.IELS[4:0]ビットを設定し、IELSR<sub>n</sub>.DTCE ビットを 1 にしてください。

## 12.6 ノンマスカブル割り込みの設定手順

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- WDT アンダーフロー/リフレッシュエラー割り込み
- IWDT アンダーフロー/リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- バスマスタ MPU エラー割り込み
- バススレーブ MPU エラー割り込み
- CPU スタックポインタモニタエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順で設定してください。

1. NMICR.NFLTEN ビットを 0 にしてください (デジタルフィルタ無効)。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEN ビットを 1 にしてノンマスカブル割り込みを許可してください。

NMIER レジスタに 1 が書き込まれた後、NMIER.NMIEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

## 12.7 低消費電力モードからの復帰

表 12.4 に、スリープモード、またはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を示します。詳細は、「10. 低消費電力モード」を参照してください。

### 12.7.1 スリープモードからの復帰

スリープモードからの復帰は、すべての割り込み要因で可能です。

#### ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求を許可してください。

#### マスカブル割り込み

- 割り込み要求先を CPU にしてください。
- NVIC のレジスタを設定して割り込みを許可してください。

### 12.7.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みまたはマスカブル割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスカブル割り込みについては、表 12.4 を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰可能な要因を選択してください。
  - ノンマスカブル割り込みの場合は、NMIER レジスタによって該当する割り込みの生成を許可してください。

- マスカブル割り込みの場合は、WUPEN レジスタで必要な割り込み要求を復帰許可にしてください。
2. 割り込み要求先を CPU にしてください。
  3. NVIC のレジスタを設定して割り込みを許可してください。

これらの条件を満たさない IRQn 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

### 12.7.3 スヌーズモードからの復帰

ICU は、スヌーズモード用に提供された割り込みを使用して、スヌーズモードから通常モードに復帰することができます。

スヌーズモードから通常モードに復帰するには：

1. SELSR0 レジスタの SELS[7:0]ビットに、必要な割り込み要求を設定してください。
2. IELSRn (n = 以下の数値の 1 つ : 0, 4, 8, 12, 16, 20, 24, 28) レジスタの IELS[4:0]ビットに、0x03 (ICU\_SNZCANCEL) を設定してください。
3. 割り込み要求先を CPU にしてください。
4. NVIC で割り込みを許可してください。

注. スヌーズモードでは、クロックが ICU に供給されません。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。

## 12.8 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

## 12.9 参考資料

- ARM<sup>®</sup> Cortex<sup>®</sup>-M23 Processor Technical Reference Manual (ARM DDI 0550C)

## 13. バス

### 13.1 概要

表 13.1 にバスの仕様を、図 13.1 にバスの構成図を、表 13.2 にバス種類別アドレス対応表を示します。

表 13.1 バスの仕様

バスの種類		内容
メインバス	システムバス (CPU)	<ul style="list-style-type: none"> <li>• CPU を接続</li> <li>• 内蔵メモリ、内部周辺バスを接続</li> </ul>
	DMA バス	<ul style="list-style-type: none"> <li>• DTC を接続</li> <li>• 内蔵メモリ、内部周辺バスを接続</li> </ul>
スレーブインタフェース	メモリバス 1	コードフラッシュメモリを接続
	メモリバス 4	SRAM0 を接続
	内部周辺バス 1	周辺モジュール関連のシステムコントロールを接続
	内部周辺バス 3	<ul style="list-style-type: none"> <li>• 周辺モジュール (CAC, ELC, I/O ポート, POEG, WDT, IWDT, IIC/I3C, ADC12, DOC, GPT, SCI, SPI, CRC) を接続</li> <li>• 周辺モジュール (KINT, AGT) を接続</li> </ul>
	内部周辺バス 7	<ul style="list-style-type: none"> <li>• 周辺モジュール (AES, TRNG) を接続</li> </ul>
	内部周辺バス 9	フラッシュメモリ (P/E (プログラム/イレース) 時)、データフラッシュメモリ、TSN を接続

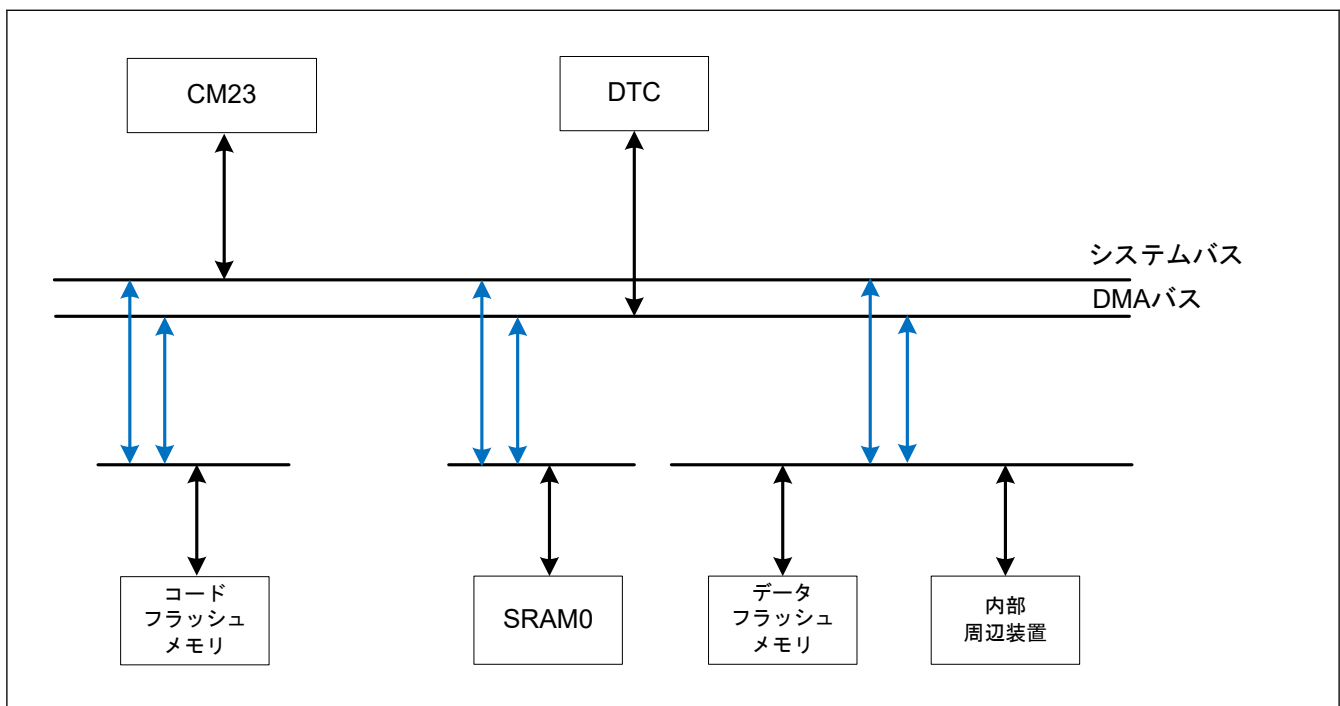


図 13.1 バスの構成図

表 13.2 バス種類別アドレス対応表 (1/2)

アドレス	バス	領域
0x0000_0000~0x01FF_FFFF	メモリバス 1	コードフラッシュメモリ
0x2000_4000~0x2000_5FFF	メモリバス 4	SRAM0
0x4000_0000~0x4001_8FFF	内部周辺バス 1	周辺 I/O レジスタ
0x4001_9000~0x4001_9FFF	メモリバス 4	MTB I/O レジスタ

表 13.2 バス種類別アドレス対応表 (2/2)

アドレス	バス	領域
0x4001_A000~0x4001_FFFF	内部周辺バス 1	周辺 I/O レジスタ
0x4004_0000~0x400B_FFFF	内部周辺バス 3	
0x400C_0000~0x400D_FFFF	内部周辺バス 7	周辺 I/O レジスタ (AES,TRNG)
0x4010_0000~0x407F_FFFF	内部周辺バス 9	フラッシュメモリ (P/E 時)、データフラッシュメモリ、TSN

## 13.2 バスの説明

### 13.2.1 メインバス

メインバスは、システムバスと DMA バスで構成されます。システムバスと DMA バスには以下が接続されます。

- コードフラッシュメモリ
- SRAM0
- データフラッシュメモリ
- 内部周辺バス

システムバスは、CPU への命令、およびデータアクセスに使用されます。

異なるマスタとスレーブ間の転送の組み合わせは、同時進行することができます。なお、DTC の転送制御情報を読み出している期間は、DTC 以外のマスタからバスアクセス要求は受け付けません。

### 13.2.2 スレーブインタフェース

メインバスからスレーブインタフェースへの接続については、「13.1 概要」のスレーブインタフェースを参照してください。

システムバスと DMA バスからのバスアクセスは調停され、以下の固定優先順位になります。

DMA バス > システムバス

異なるマスタとスレーブ間の転送の組み合わせは、同時進行することができます。

### 13.2.3 並列動作

それぞれのバスマスタが異なるバススレーブにアクセスする場合、並列に動作することが可能です。並列動作の例を図 13.2 に示します。この例では、フラッシュメモリと SRAM それぞれに同時アクセスを行う際、CPU は命令とオペランドバスを使用します。また、CPU がフラッシュメモリと SRAM にアクセスする間、DTC は同時に DMA バスを使用して、周辺バスにアクセスしています。

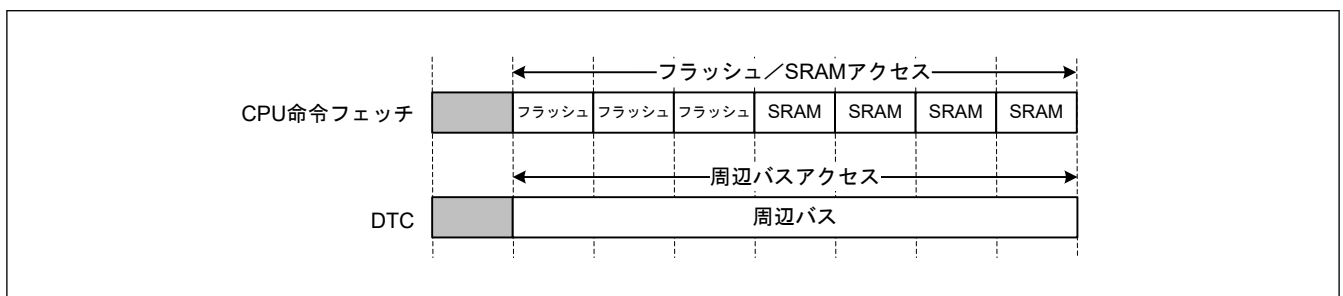


図 13.2 並列動作の例

### 13.2.4 エンディアンに関する制限事項

Cortex®-M23 コアで命令コードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

### 13.2.5 排他的アクセスに関する制限事項

メインバスは、排他的アクセスをサポートしておらず、本 MCU にグローバルモニタは存在しません。

メインバスは、常に CPU への HEXOKAY 信号 (AHB-Lite protocol の信号) をデアサートします。これは、STREX 命令のような排他的書き込み命令は常に失敗のステータスを得ることを意味します。CPU から排他的書き込み操作が行われた場合、メインバスは常にデータの書き込みを行います。

## 13.3 レジスタの説明

### 13.3.1 BUSMCNTn : マスタバスコントロールレジスタ n (n = SYS, DMA)

Base address: BUS = 0x4000\_3000

Offset address: 0x1008 (BUSMCNTSYS)  
0x100C (BUSMCNTDMA)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	IERES	エラー応答無視 0: バスエラーを通知する 1: バスエラーを通知しない	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

#### IERES ビット (エラー応答無視)

IERES ビットは、AHB-Lite プロトコルにおけるエラー応答の許可または禁止を指定します。

表 13.3 に、バスの種類とレジスタの対応を示します。

表 13.3 バスマスタ種類とレジスタの対応

バスの種類	マスタバスコントロールレジスタ	バスエラーアドレスレジスタ	バスエラーステータスレジスタ
システムバス (CPU)	BUSMCNTSYS	BUS3ERRADD	BUS3ERRSTAT
DMA バス	BUSMCNTDMA	BUS4ERRADD	BUS4ERRSTAT

### 13.3.2 BUSnERRADD : バスエラーアドレスレジスタ n (n = 3, 4)

Base address: BUS = 0x4000\_3000

Offset address: 0x1820 (n = 3)  
0x1830 (n = 4)

Bit position:	31	0
Bit field:	BERAD[31:0]	
Value after reset:	x x	

ビット	シンボル	機能	R/W
31:0	BERAD[31:0]	バスエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注. BUSnERRADD レジスタは、MPU に関連するリセット以外のリセットによってのみ、クリアされます。詳細は、「5. リセット」と「14. メモリプロテクションユニット (MPU)」を参照してください。

表 13.3 に、バスマスタの種類に対応したレジスタを示します。

### BERAD[31:0]ビット (バスエラーアドレス)

BERAD[31:0]ビットは、バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細については、「[13.3.3. BUSnERRSTAT : バスエラーステータスレジスタ n \(n = 3, 4\)](#)」の ERRSTAT フラグの説明と「[13.4. バスエラー監視部](#)」を参照してください。

BUSnERRADD.BERAD[31:0]ビット (n = 3, 4) の値は、BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) が 1 の場合にのみ有効です。

### 13.3.3 BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4)

Base address: BUS = 0x4000\_3000

Offset address: 0x1824 (n = 3)  
0x1834 (n = 4)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ERRS TAT	—	—	—	—	—	—	ACCS TAT
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	ACCSTAT	エラーアクセス状態 エラー発生時のアクセス状態 0: リードアクセス 1: ライトアクセス	R
6:1	—	読むと 0 が読めます。	R
7	ERRSTAT	バスエラー状態 0: バスエラー発生なし 1: バスエラー発生あり	R

注. BUSnERRSTAT レジスタは、MPU 関連以外のリセットによってのみクリアされます。詳細については、「[5. リセット](#)」と「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

表 13.3 に、バスの種類に対応したレジスタを示します。

#### ACCSTAT フラグ (エラーアクセス状態)

ACCSTAT フラグはバスにエラーが発生した場合、そのアクセス状態 (ライトアクセスまたはリードアクセス) を示します。詳細については、BUSnERRSTAT.ERRSTAT フラグの説明と「[13.4. バスエラー監視部](#)」を参照してください。

本ビットの値は、BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) が 1 の場合にのみ有効です。

#### ERRSTAT フラグ (バスエラー状態)

ERRSTAT フラグはバスエラーの発生の有無を示します。バスエラーが発生した場合、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。BUSnERRSTAT.ERRSTAT フラグ (n = 3, 4) は 1 になります。

バスエラーの詳細は、「[13.4. バスエラー監視部](#)」と「[14. メモリプロテクションユニット \(MPU\)](#)」を参照してください。

## 13.4 バスエラー監視部

監視システムが各個別領域を監視し、エラーを検出したときは常に、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP へエラーを返します。

### 13.4.1 バスによって生じるエラーの種類

それぞれのバスでは、次の 3 種類のエラーが生じることがあります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー



「13.4.3. 不正アドレスアクセスエラーを引き起こす条件」に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスの範囲を示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。

バスマスタ MPU とバススレーブ MPU の詳細については、「14. メモリプロテクションユニット (MPU)」を参照してください。

### 13.4.2 バスエラー発生時の動作

バスエラーが発生すると、そのときのバスアクセス動作は保証されません。マスタごとに発生するバスエラー情報が、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは、リセットのみでクリアする必要があります。詳細は、「13.3.2. BUSnERRADD : バスエラーアドレスレジスタ n (n = 3, 4)」と「13.3.3. BUSnERRSTAT : バスエラーステータスレジスタ n (n = 3, 4)」を参照してください。

注. DTC は、バスエラーを受信しません。DTC がバスにアクセスした場合、転送は継続されます。

### 13.4.3 不正アドレスアクセスエラーを引き起こす条件

表 13.4 に、不正アドレスアクセスエラーを発行するバスごとのアドレス空間を示します。

表 13.4 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	メインバス	
		システムバス (CPU)	DMA バス
0x0000_0000~0x01FF_FFFF	メモリバス 1	—	—
0x0200_0000~0x1FFF_FFFF	予約領域	E	E
0x2000_0000~0x2000_7FFF	メモリバス 4	—	—
0x2000_8000~0x3FFF_FFFF	予約領域	E	E
0x4000_0000~0x4001_8FFF	内部周辺バス 1	—	—
0x4001_9000~0x4001_9FFF	メモリバス 4	—	—
0x4001_A000~0x4001_FFFF	内部周辺バス 1	—	—
0x4002_0000~0x4003_FFFF	予約領域	E	E
0x4004_0000~0x400B_FFFF	内部周辺バス 3	—	—
0x400C_0000~0x400D_FFFF	内部周辺バス 7	—	—
0x400E_0000~0x400F_FFFF	予約領域	E	E
0x4010_0000~0x407F_FFFF	内部周辺バス 9	—	—
0x4080_0000~0xDFFF_FFFF	予約領域	E	E
0xE000_0000~0xFFFF_FFFF	Cortex®-M23 用システム	—	E

注. E : 不正アドレスアクセスエラーが生じる経路を示します。

— : 不正アドレスアクセスエラーが生じない経路を示します。

注. バスマジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。

0x0200\_0000~0x1FFF\_FFFF : アクセスエラーを検出

0x0000\_0000~0x01FF\_FFFF : メモリバス 1 のアクセスエラー検出なし

## 13.5 参考資料

1. ARM®v8-M Architecture Reference Manual (ARM DDI0553B.a)
2. ARM® Cortex®-M23 Processor User Guide (ARM DUI0963B)
3. ARM® AMBA® 5 AHB-Lite Protocol Specification (ARM IHI0033B.b)

## 14. メモリプロテクションユニット (MPU)

### 14.1 概要

本 MCU は、4 つのメモリプロテクションユニットと、CPU スタックポインタモニタ機能を備えています。

表 14.1 に、MPU の仕様を示します。また、表 14.2 に、各 MPU エラー検出の動作を示します。

表 14.1 MPU の仕様

項目	モジュール/機能	内容
不正メモリアクセス	不正アドレスアクセス	<ul style="list-style-type: none"> <li>Arm CPU はデフォルトのメモリマップを内蔵。CPU が不正アドレスアクセスを行うと、ハードフォールトが発生</li> <li>Arm MPU はデフォルトのメモリマップを変更可能</li> </ul>
	CPU スタックポインタモニタ	2 領域 <ul style="list-style-type: none"> <li>メインスタックポインタ (MSP)</li> <li>プロセススタックポインタ (PSP)</li> </ul>
メモリプロテクション	Arm® MPU	CPU 用のメモリプロテクション機能 <ul style="list-style-type: none"> <li>8 領域 (サブ領域とバックグラウンド領域を含む)</li> </ul>
	バスマスタ MPU	CPU を除くマスタ用のメモリプロテクション機能 <ul style="list-style-type: none"> <li>バスマスタ MPU グループ A : 4 領域</li> </ul>
	バススレーブ MPU	各スレーブ用のメモリプロテクション機能
セキュリティ	セキュリティ MPU	非セキュアプログラムによるセキュリティ領域へのアクセスを保護 <ul style="list-style-type: none"> <li>2 領域 (PC)</li> <li>4 領域 (コードフラッシュ、SRAM、2 つのセキュア機能)</li> </ul>

表 14.2 MPU エラー検出動作

MPU の種類	通知方法	エラー検出時のバスアクセス	エラーアクセス情報の格納
CPU スタックポインタモニタ	リセットまたはノンマスカブル割り込み	Don't care	格納しない
Arm® MPU	ハードフォールト	<ul style="list-style-type: none"> <li>正しくライトアクセスしない</li> <li>正しくリードアクセスしない</li> </ul>	格納しない
バスマスタ MPU	リセットまたはノンマスカブル割り込み	<ul style="list-style-type: none"> <li>保護領域にライトアクセスする</li> <li>保護領域にリードアクセスする</li> </ul>	格納する
バススレーブ MPU	リセットまたはノンマスカブル割り込み	<ul style="list-style-type: none"> <li>書き込みアクセス無視</li> <li>読み出しアクセスでは 0 読み出し</li> </ul>	格納する
セキュリティ MPU	通知なし	<ul style="list-style-type: none"> <li>正しくライトアクセスしない</li> <li>正しくリードアクセスしない</li> </ul>	格納しない

Arm® MPU に対するエラーアクセスについては、「14.8. 参考資料」を参照してください。他の MPU に対するエラーアクセスについては、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

### 14.2 CPU スタックポインタモニタ

CPU スタックポインタモニタは、スタックポインタのアンダーフローとオーバーフローを検出します。Arm CPU には、メインスタックポインタ (MSP) とプロセススタックポインタ (PSP) の 2 つのスタックポインタがあるため、2 つの CPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。CPU スタックポインタモニタを有効にするには、スタックポインタモニタアクセスコントロールレジスタ (MSPMPUCTL、PSPMPUCTL) のスタックポインタモニタ有効ビットを 1 にします。

表 14.3 に、CPU スタックポインタモニタの仕様を示します。図 14.1 に CPU スタックポインタモニタのブロック図を、図 14.2 に CPU スタックポインタモニタレジスタ設定フローを示します。

表 14.3 CPU スタックポインタモニタの仕様

項目	機能
モニタする領域	SRAM 領域
領域数	2 領域： <ul style="list-style-type: none"><li>● メインスタックポインタ (MSP)</li><li>● プロセススタックポインタ (PSP)</li></ul>
各領域のアドレス指定	各領域の開始アドレスと終了アドレスを指定
各領域のスタックポインタモニタ有効/無効設定	各領域のスタックポインタモニタの有効/無効を設定
エラー検出時の動作	リセットまたはノンマスクابل割り込み
レジスタの保護	CPU スタックポインタモニタレジスタに対する不正書き込みの防止が可能

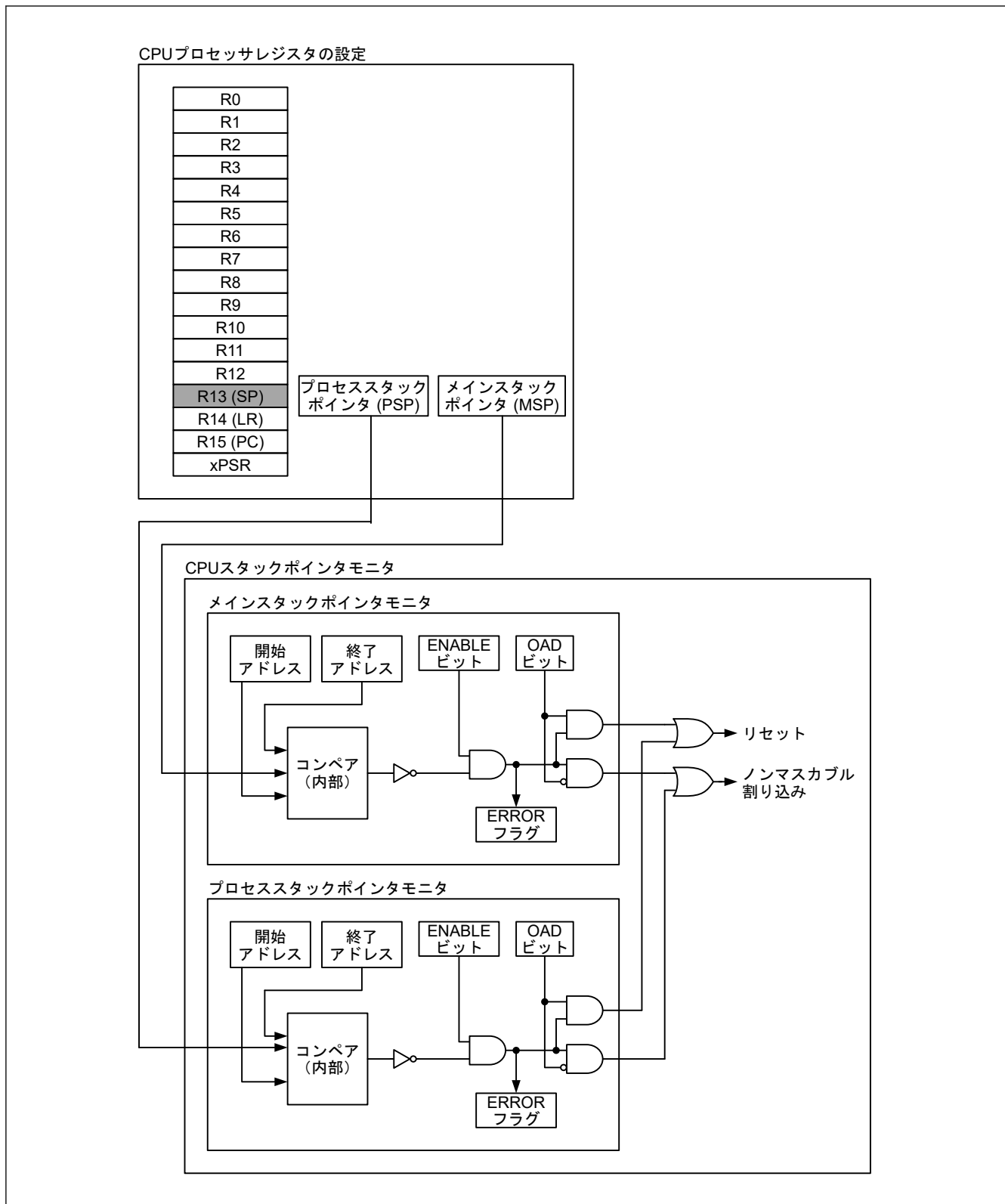


図 14.1 CPU スタックポインタモニタのブロック図

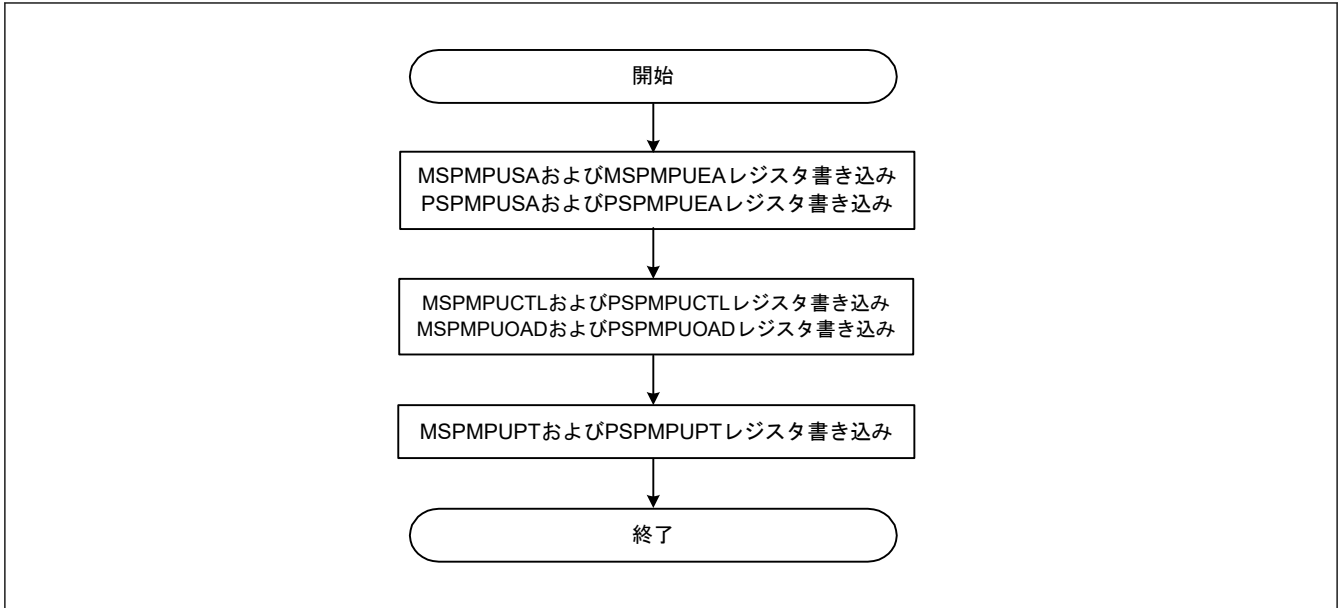


図 14.2 CPU スタックポインタモニタレジスタ設定フロー

14.2.1 レジスタの保護

CPU スタックポインタモニタ関連のレジスタは、MSPMPUPT レジスタおよび PSPMPUPT レジスタの PROTECT ビットで保護することができます。詳細は、「14.2.3.7. MSPMPUPT, PSPMPUPT : スタックポインタモニタ保護レジスタ」を参照してください。

14.2.2 オーバーフローエラーとアンダーフローエラー

オーバーフローやアンダーフローが検出されると、CPU スタックポインタモニタはオーバーフローエラーまたはアンダーフローエラーを発生させます。CPU スタックポインタモニタエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.SPEST フラグに示されます。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.SPERF フラグに示されます。詳細は、「5. リセット」を参照してください。

ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR フラグを確認して、それがメインスタックポインタモニタエラーなのか、プロセススタックポインタモニタエラーなのかを判定してください。

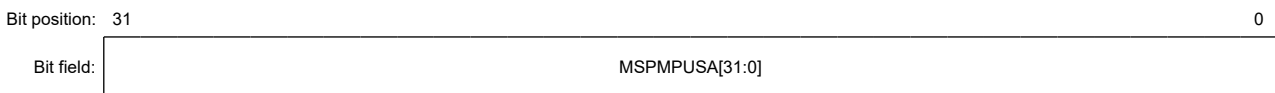
スタックポインタがアンダーフローまたはオーバーフローすると、ノンマスカブル割り込みが出力され続けます。ノンマスカブル割り込みフラグをクリアする場合、ICU.NMICLR.SPECLR ビットを 1 にすると、スタックポインタがリセットされます。次に、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR フラグに 0 を書いてクリアしてください。

14.2.3 レジスタの説明

注. MPU レジスタに書き込む前にバスアクセスを停止してください。

14.2.3.1 MSPMPUSA : メインスタックポインタ (MSP) モニタ開始アドレスレジスタ

Base address: RMPU = 0x4000\_0000  
Offset address: 0xD08



Value after reset: x

ビット	シンボル	機能	R/W
31:0	MSPMPUSA[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス 下位 2 ビットは 00b にしてください。値の範囲は、予約領域を除く 0x1FF0_0000~0x200F_FFFC です。	R/W

MSPMPUSA レジスタは、32 ビットの読み書き可能なレジスタです。SRAM の CPU スタック領域の開始アドレスを指定してください。(0x1FF0\_0000~0x200F\_FFFF、予約領域を除く) 下位 2 ビットは 00b にしてください。設定できる値の範囲は、「4.1. アドレス空間」の SRAM の領域を参照してください。

### 14.2.3.2 MSPMPUEA : メインスタックポインタ (MSP) モニタ終了アドレスレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xD0C

Bit position: 31 0

Bit field: MSPMPUEA[31:0]

Value after reset: x

ビット	シンボル	機能	R/W
31:0	MSPMPUEA[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス 下位 2 ビットは 11b にしてください。値の範囲は、予約領域を除く 0x1FF0_0003~0x200F_FFFF です。 保護される SRAM 領域については、「4.1. アドレス空間」を参照してください。	R/W

### 14.2.3.3 PSPMPUSA : プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xD18

Bit position: 31 0

Bit field: PSPMPUSA[31:0]

Value after reset: x

ビット	シンボル	機能	R/W
31:0	PSPMPUSA[31:0]	領域開始アドレスレジスタ 領域判定に使用する領域開始アドレス 下位 2 ビットは 00b にしてください。値の範囲は、予約領域を除く 0x1FF0_0000~0x200F_FFFC です。	R/W

PSPMPUSA レジスタは、32 ビットの読み書き可能なレジスタです。SRAM の CPU スタック領域の開始アドレスを指定してください。(0x1FF0\_0000~0x200F\_FFFF、予約領域を除く) 下位 2 ビットは 00b にしてください。設定できる値の範囲は、「4.1. アドレス空間」の SRAM の領域を参照してください。

### 14.2.3.4 PSPMPUEA : プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xD1C

Bit position: 31 0

Bit field: PSPMPUEA[31:0]

Value after reset: x

ビット	シンボル	機能	R/W
31:0	PSPMPUEA[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス 下位 2 ビットは 11b にしてください。値の範囲は、予約領域を除く 0x1FF0_0003~ 0x200F_FFFF です。 保護される SRAM 領域については、「4.1. アドレス空間」を参照してください。	R/W

### 14.2.3.5 MSPMPUOAD, PSPMPUOAD : スタックポインタモニタ検出後動作レジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xD00 (MSPMPUOAD)  
0xD10 (PSPMPUOAD)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	KEY[7:0]							—	—	—	—	—	—	—	—	OAD	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

#### OAD ビット (検出後の動作)

OAD ビットは、CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。

メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタは、この OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー検出時に発生させる信号を決定します。OAD ビットを設定する際は、ハーフワードアクセスで同時に KEY[7:0] ビットに 0xA5 を書き込んでください。

#### KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。KEY[7:0] ビットに 0xA5 以外の値を書き込む際は、OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 0x00 が読み出されます。

### 14.2.3.6 MSPMPUCTL, PSPMPUCTL : スタックポインタモニタアクセスコントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xD04 (MSPMPUCTL)  
0xD14 (PSPMPUCTL)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	—	—	—	—	—	—	—	ERROR	—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	スタックポインタモニタ有効 0: スタックポインタモニタ無効 1: スタックポインタモニタ有効	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ERROR	スタックポインタモニタエラーフラグ 0: スタックポインタにオーバーフロー/アンダーフローなし 1: スタックポインタにオーバーフロー/アンダーフローあり	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 初期値はリセット発生要因によって異なります。

### ENABLE ビット (スタックポインタモニタ有効)

ENABLE ビットは、スタックポインタモニタ機能を有効または無効にします。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに ENABLE ビットがあります。

MSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- MSPMPUSA
- MSPMPUEA
- MSPMPUOAD

PSPMPUCTL.ENABLE ビットを 1 にした場合、以下のレジスタが利用可能になります。

- PSPMPUSA
- PSPMPUEA
- PSPMPUOAD

### ERROR フラグ (スタックポインタモニタエラーフラグ)

ERROR フラグは、スタックポインタモニタの状態を示します。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに ERROR フラグがあります。

[1 になる条件]

- スタックポインタがアンダーフローまたはオーバーフローしたとき

[0 になる条件]

- 本フラグに 0 を書いたとき
- バスマスタ MPU エラーリセット、バスマスタ MPU エラーリセット、スタックポインタエラーリセット以外のリセット (リセット要因の詳細については、「[5. リセット](#)」を参照してください。)

注. ERROR フラグには 0 のみ書けます。

#### 14.2.3.7 MSPMPUPT, PSPMPUPT : スタックポインタモニタ保護レジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xD06 (MSPMPUPT)  
0xD16 (PSPMPUPT)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Bit field:	KEY[7:0]										—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: スタックポインタモニタ関連レジスタへの書き込みを許可 1: スタックポインタモニタ関連レジスタへの書き込みを禁止 (読み出しは可能)	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W



ビット	シンボル	機能	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

### PROTECT ビット (レジスタの保護)

PROTECT ビットは、下記のレジスタへの書き込みを許可または禁止します。メインスタックポインタ (MSP) モニタとプロセススタックポインタ (PSP) モニタには、それぞれに PROTECT ビットがあります。

MSPMPUPT.PROTECT ビットは、メインスタックポインタ関連レジスタへの書き込みアクセスを制御します。

- MSPMPUCTL
- MSPMPUSA
- MSPMPUEA

PSPMPUPT.PROTECT ビットは、プロセススタックポインタ関連レジスタへの書き込みアクセスを制御します。

- PSPMPUCTL
- PSPMPUSA
- PSPMPUEA

PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。

### KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。KEY[7:0] ビットに 0xA5 以外の値を書き込む際は、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 0 が読み出されます。

## 14.3 Arm MPU

Arm MPU は全アドレス空間 (0x0000\_0000~0xFFFF\_FFFF) を対象に CPU がアクセスするアドレスを監視しており、次の機能を備えています。

- 8 つの保護領域を設定可能
- 保護領域へのアクセス権設定が可能 (読み出し、書き込み、実行)
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、プログラマブルプライオリティ MemManage フォルト (ハードフォルト) ハンドラが呼び出されます。詳細は、「[14.8. 参考資料](#)」を参照してください。

## 14.4 バスマスタ MPU

本 MCU はバスマスタ MPU を内蔵しており、全アドレス空間 (0x0000\_0000~0xFFFF\_FFFF) を対象にマスタがアクセスするアドレスを監視しています。アクセス制御情報は、読み出し保護/保護対象外と書き込み保護/保護対象外の情報で構成され、4 領域まで独立に設定可能です。バスマスタ MPU は、これらの設定に基づいて各領域へのアクセスを監視します。

保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスクابل割り込みを発生させます。エラーアクセスについての詳細は、「[13. バス](#)」の「[13.3. レジスタの説明](#)」および「[13.4. バスエラー監視部](#)」を参照してください。

各領域のアクセス制御情報は、読み出し保護または保護対象外と書き込み保護または保護対象外の情報で構成されます。

表 14.4 にバスマスタ MPU の仕様を、[図 14.3](#) にブロック図を示します。

表 14.4 バスマスタ MPU の仕様

項目	内容
マスタグループ	<ul style="list-style-type: none"> <li>バスマスタ MPU グループ A: DMA バス</li> </ul>
メモリプロテクション対象領域	0x0000_0000~0xFFFF_FFFF
領域数	<ul style="list-style-type: none"> <li>バスマスタ MPU グループ A : 4 領域</li> </ul>
各領域のアドレス指定	<ul style="list-style-type: none"> <li>領域の開始アドレスと終了アドレスを設定</li> </ul>
各領域のメモリプロテクション有効または無効設定	<ul style="list-style-type: none"> <li>対応する領域に対し有効または無効を設定</li> </ul>
各領域のアクセス制御情報設定	<ul style="list-style-type: none"> <li>読み出しおよび書き込み許可</li> </ul>
検出後の動作	<ul style="list-style-type: none"> <li>リセットまたはノンマスクابل割り込み</li> </ul>
レジスタの保護	<ul style="list-style-type: none"> <li>バスマスタ MPU レジスタに対する不正書き込みの検出が可能</li> </ul>

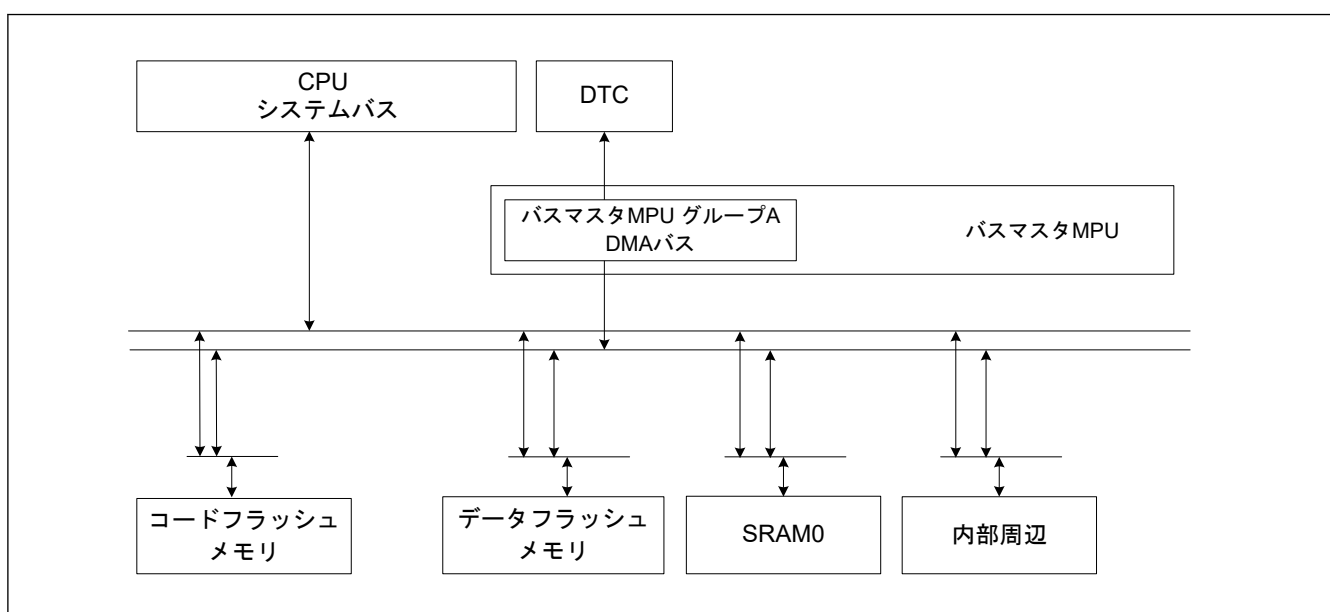


図 14.3 バスマスタ MPU のブロック図

図 14.4 にバスマスタ MPU のグループ A を示します。

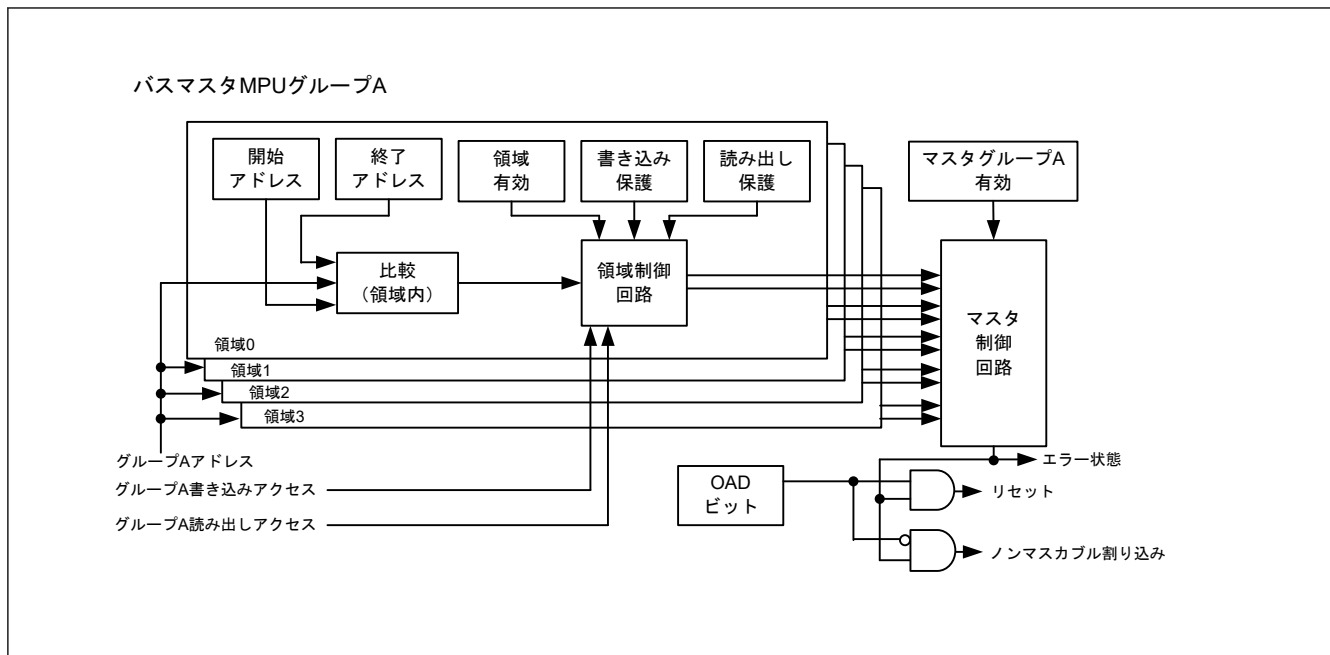


図 14.4 バスマスタ MPU のグループ A

### 14.4.1 レジスタの説明

注. MPU レジスタに書き込む前にバスアクセスを停止してください。

#### 14.4.1.1 MMPUSAn : グループ A 領域 n 開始アドレスレジスタ (n = 0~3)

Base address: RMPU = 0x4000\_0000

Offset address: 0x204 + (0x010 × n)

Bit position: 31

1 0

Bit field:

MMPUSA[31:0]

Value after reset: x 0 0

ビット	シンボル	機能	R/W
31:0	MMPUSA[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス	R/W

#### 14.4.1.2 MMPUEAn : グループ A 領域 n 終了アドレスレジスタ (n = 0~3)

Base address: RMPU = 0x4000\_0000

Offset address: 0x208 + 0x010 × n

Bit position: 31

1 0

Bit field:

MMPUEA[31:0]

Value after reset: x 1 1

ビット	シンボル	機能	R/W
31:0	MMPUEA[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス	R/W

## 14.4.1.3 MMPUACAn : グループ A 領域 n アクセスコントロールレジスタ (n = 0~3)

Base address: RMPU = 0x4000\_0000

Offset address: 0x200 + 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENAB LE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
0	ENABLE	領域有効 0: グループ A 領域 n は無効 1: グループ A 領域 n は有効	R/W
1	RP	読み出し保護 0: 読み出し保護対象外 1: 読み出し保護対象	R/W
2	WP	書き込み保護 0: 書き込み保護対象外 1: 書き込み保護対象	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グループ A 領域 n ごとに、ENABLE ビット、RP ビット、WP ビットを個別に設定します。

**ENABLE ビット (領域有効)**

ENABLE ビットは、グループ A 領域 n を有効または無効にします。

ENABLE ビットを 1 にした場合、RP ビットと WP ビットによって、MMPUSAn レジスタと MMPUEAn レジスタに設定した領域へのアクセスを保護対象外または保護対象と設定することが可能です。ENABLE ビットを 0 にした場合、グループ A 領域 n へのアクセス制限はありません。

**RP ビット (読み出し保護)**

RP ビットは、グループ A 領域 n の読み出し保護を有効または無効 (保護対象外) にします。ENABLE ビットを 1 にした場合に RP ビットを使用できます。

**WP ビット (書き込み保護)**

WP ビットは、グループ A 領域 n の書き込み保護を有効または無効 (保護対象外) にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

表 14.5 領域制御回路の機能 (1/2)

MMPUACAn.ENABLE	MMPUACAn.RP	MMPUACAn.WP	アクセス	領域	グループ A 領域 n の出力
0	—	—	読み出し	—	領域外
			書き込み		領域外

表 14.5 領域制御回路の機能 (2/2)

MMPUACAn.ENABLE	MMPUACAn.RP	MMPUACAn.WP	アクセス	領域	グループ A 領域 n の出力
1	0	0	読み出し	内部	保護対象外領域
				外部	領域外
			書き込み	内部	保護対象外領域
				外部	領域外
	0	1	読み出し	内部	保護対象外領域
				外部	領域外
			書き込み	内部	保護領域
				外部	領域外
	1	0	読み出し	内部	保護領域
				外部	領域外
			書き込み	内部	保護対象外領域
				外部	領域外
1	1	読み出し	内部	保護領域	
			外部	領域外	
		書き込み	内部	保護領域	
			外部	領域外	

注. n = 0~3

表 14.6 マスタ制御回路の機能

MMPUCTLA.ENABLE	グループ A 領域 0 の出力	グループ A 領域 1 の出力	グループ A 領域 2、3 の出力	グループ A の機能
1	保護領域	Don't care	Don't care	エラー発生
1	Don't care	保護領域	Don't care	エラー発生
1	Don't care	Don't care	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
他の場合				エラーなし

以下の条件でマスタ MPU エラーが発生します。

- MMPUCTLA.ENABLE= 1、および 1 つ以上の領域 n の出力が保護領域への出力
- MMPUCTLA.ENABLE= 1、および全領域 n の出力が領域外

他の場合は保護対象外領域として処理されます。

#### 14.4.1.4 MMPUCTLA : バスマスタ MPU コントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0x000

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	KEY[7:0]							—	—	—	—	—	—	—	OAD	ENABLE
------------	----------	--	--	--	--	--	--	---	---	---	---	---	---	---	-----	--------

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ENABLE	バスマスタ MPU グループ有効 0: バスマスタ MPU グループ A は無効 1: バスマスタ MPU グループ A は有効	R/W

ビット	シンボル	機能	R/W
1	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットと ENABLE ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

### ENABLE ビット (バスマスタ MPU グループ有効)

ENABLE ビットは、マスタグループ A のバスマスタ MPU 機能を有効または無効にします。

このビットを 1 にすると、MMPUACAn は使用可能になります。このビットを 0 にすると、MMPUACAn は使用不可になり、すべての領域が許可になります。ENABLE ビットに同時に書き込む際は、ハーフワードアクセスを使用して、KEY[7:0] ビットに 0xA5 を書き込んでください。

### OAD ビット (検出後の動作)

OAD ビットは、バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらかを発生させます。OAD ビットに同時に書き込む際は、ハーフワードアクセスを使用して、KEY[7:0] ビットに 0xA5 を書き込んでください。

### KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。ENABLE ビットと OAD ビットへ同時に書き込む際は、KEY[7:0] ビットに 0xA5 を書き込んでください。KEY[7:0] ビットに他の値を書き込む際は、ENABLE ビットと OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 0x00 が読み出されます。

#### 14.4.1.5 MMPUPTA : グループ A レジスタの保護

Base address: RMPU = 0x4000\_0000

Offset address: 0x102

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
Bit field:	KEY[7:0]														—	—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0						

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: 全バスマスタ MPU グループ A レジスタの書き込みを許可 1: 全バスマスタ MPU グループ A レジスタの書き込みを禁止 (読み出しは可能)	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

### PROTECT ビット (レジスタの保護)

PROTECT ビットは、下記のレジスタへの書き込みを許可または禁止します。

MMPUPTA.PROTECT はバスマスタ MPU グループ A レジスタの保護領域を制御します。下記のレジスタは MMPUPTA.PROTECT により保護されます。

- MMPUSAn
- MMPUEAn
- MMPUACAn
- MMPUCTLA

PROTECT ビットを同時に設定する際は、ハーフワードアクセスを使用して KEY[7:0] ビットに 0xA5 を書き込んでください。

### KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ同時に書き込む際は、KEY[7:0] ビットに 0xA5 を書き込んでください。KEY[7:0] ビットに他の値を書き込む際は、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 0x00 が読み出されます。

## 14.4.2 機能説明

### 14.4.2.1 メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアccessを監視します。保護領域に対するからのアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は最大 4 つの保護領域まで設定可能です。保護領域にはオーバーラップした許可領域と保護領域および 2 つのオーバーラップした許可領域があります。

バスマスタ MPU にはグループ A があります。メモリプロテクション機能は、マスタグループに対してバスのアドレスをチェックし、マスタグループによる全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLA.ENABLE ビットを 1 にすることで、すべての領域が保護されます。領域ごとに、許可領域が保護領域の内部に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 14.5 に、バスマスタ MPU の使用例を示します。

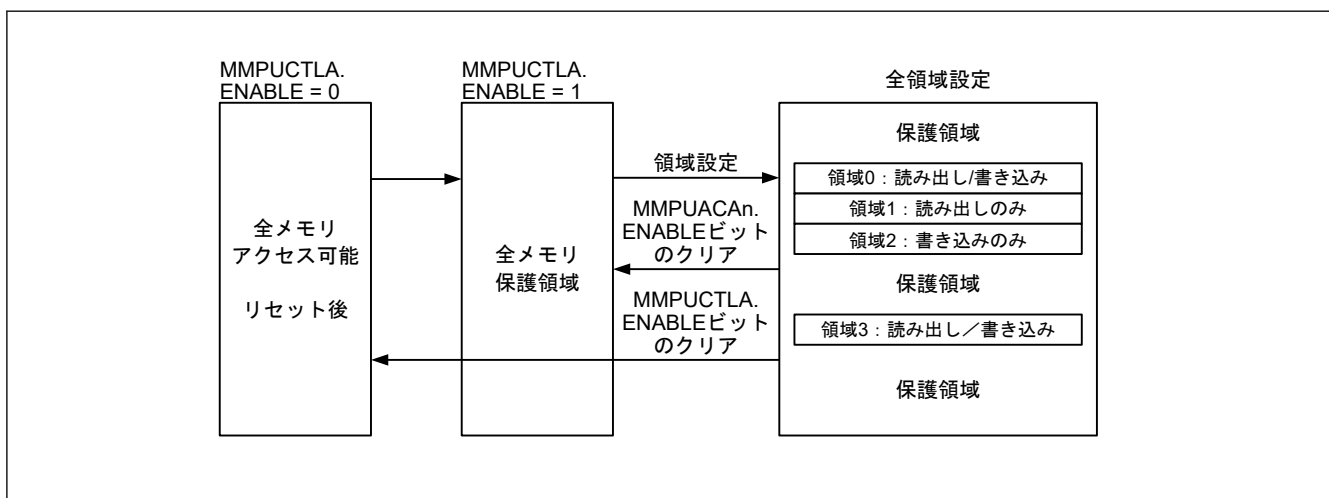


図 14.5 バスマスタ MPU の使用例

図 14.6 に、領域のオーバーラップによるアクセス制御について示します。

オーバーラップ領域へのアクセス制御は以下のとおりです。

- 1 つ以上の領域の出力が保護領域の場合、領域は保護領域として処理されます。
- 全領域の出力が領域外の場合、領域は保護領域として処理されます。
- 他の場合には許可領域として処理されます。

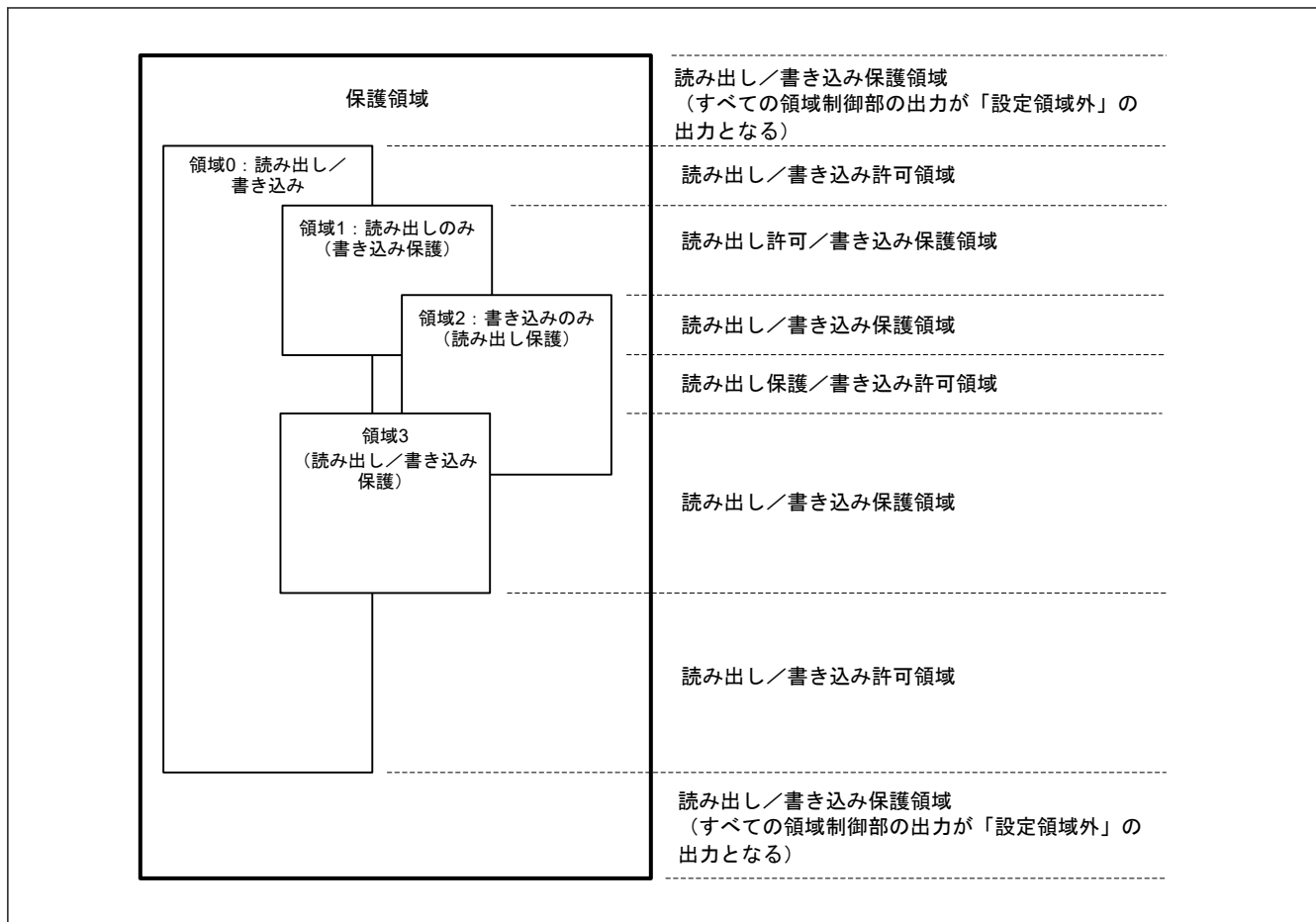


図 14.6 領域のオーバーラップによるアクセス制御

図 14.7 にリセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのバスマスタを停止してください。

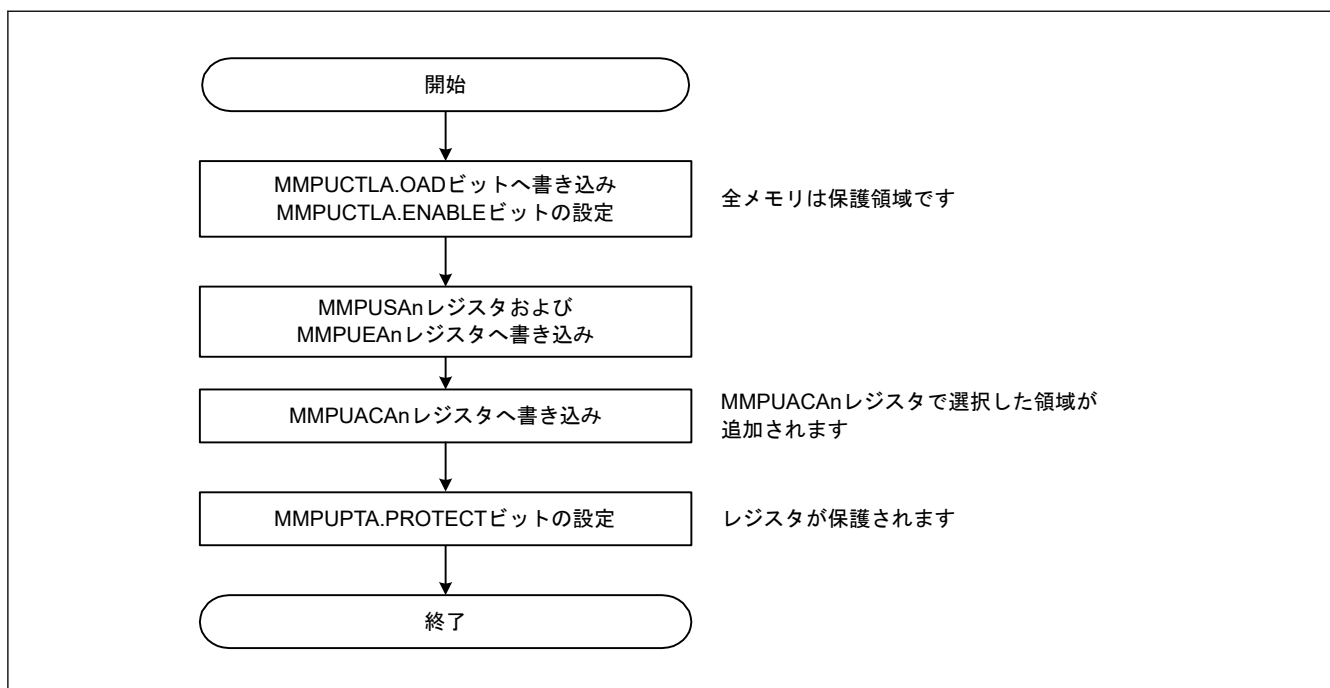


図 14.7 リセット後のバスマスタ MPU のレジスタ設定フロー



図 14.8 に領域追加のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのマスタを停止してください。



図 14.8 領域追加のレジスタ設定フロー

#### 14.4.2.2 レジスタの保護

バスマスタ MPU 関連レジスタを保護するために、MMPUPTA レジスタの PROTECT ビットを設定してください。

#### 14.4.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「12. 割り込みコントロールユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「5. リセット」を参照してください。

### 14.5 バススレーブ MPU

本 MCU はバススレーブ MPU を内蔵しており、コードフラッシュメモリや SRAM などのバススレーブ機能に対するアクセスを監視します。バススレーブ機能には、2 つのバスマスタ (CPU、バスマスタ MPU グループ A) からアクセスできます。バススレーブ MPU は、マスタごとに独立したプロテクトレジスタを備えており、それぞれ個別にアクセス保護が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はバスエラー状態、エラーアクセス状態、およびバスエラーアドレスを I/O レジスタに保持して、リセットまたはノンマスカブル割り込みを発生させます。バスエラーアドレス、バスエラー状態、およびエラーアクセス状態については、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。各領域のアクセス制御情報は、読み出し保護または保護対象外と、書き込み保護または保護対象外の情報で構成されます。

表 14.7 にバススレーブ MPU の仕様を、図 14.9 にバススレーブ MPU のブロック図を示します。

表 14.7 バススレーブ MPU の仕様 (1/2)

項目	内容
バスマスタの保護	バスマスタ MPU グループ A : DMA バスおよびシステムバス (CPU)
バススレーブ機能の保護	メモリバス 1 : コードフラッシュメモリ
	メモリバス 4 : SRAM0
	内部周辺バス 1 : 周辺モジュール関連システム制御へ接続

表 14.7 バススレーブ MPU の仕様 (2/2)

項目	内容
	内部周辺バス 3 : 周辺モジュール (CAC、ELC、I/O ポート、POEG、WDT、IWDT、IIC/I3C、ADC12、DOC、GPT、SCI、SPI、CRC、KINT、AGT、MSTP) を接続 内部周辺バス 7 : 周辺モジュール (AES、TRNG) に接続 内部周辺バス 9 : フラッシュメモリ (P/E 内)、データフラッシュ、TSN に接続
各領域のアクセス制御情報設定	読み出しおよび書き込み保護対象外
検出後の動作	リセット、ノンマスクابل割り込み
レジスタの保護	バススレーブ MPU レジスタに対する不正書き込みの防止が可能

バススレーブ MPU はそれぞれのスレーブ側に配置され、各マスタから各スレーブへのアクセスを保護対象外または保護します。

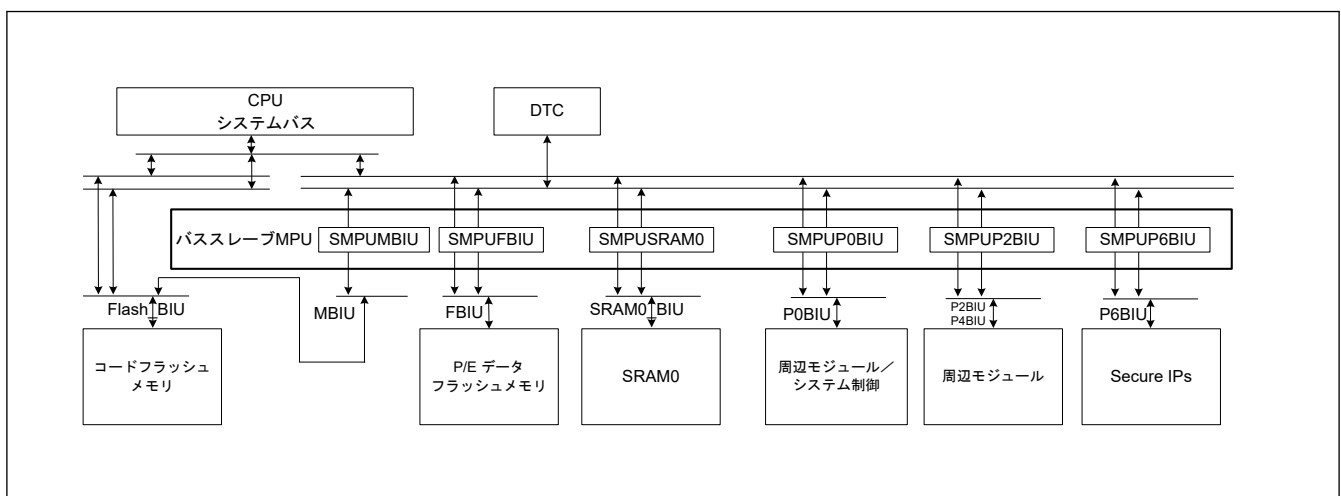


図 14.9 バススレーブ MPU のブロック図

### 14.5.1 レジスタの説明

注. MPU レジスタに書き込む前にバスアクセスを停止してください。

#### 14.5.1.1 SMPUMBIU : メモリバス 1 アクセスコントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xC10

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGR PA	—	—

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W

ビット	シンボル	機能	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### RPGRPA ビット (バスマスタ MPU グループ A 読み出し保護)

RPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 1 (コードフラッシュメモリ) の読み出しに対してメモリプロテクションを有効または無効にします。

#### WPGRPA ビット (バスマスタ MPU グループ A 書き込み保護)

WPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 1 (コードフラッシュメモリ) の書き込みに対してメモリプロテクションを有効または無効にします。

### 14.5.1.2 SMPUSRAM0 : メモリバス 4 アクセスコントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xC18

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGR PA	WPCP U	RPCP U
------------	---	---	---	---	---	---	---	---	---	---	---	---	------------	------------	-----------	-----------

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### RPCPU ビット (CPU 読み出し保護)

RPCPU ビットは、CPU (システムバス) によるメモリバス 4 (SRAM0) の読み出しに対してメモリプロテクションを有効または無効にします。

#### WPCPU ビット (CPU 書き込み保護)

WPCPU ビットは、CPU (システムバス) によるメモリバス 4 (SRAM0) の書き込みに対してメモリプロテクションを有効または無効にします。

#### RPGRPA ビット (バスマスタ MPU グループ A 読み出し保護)

RPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 4 (SRAM0) の読み出しに対してメモリプロテクションを有効または無効にします。

#### WPGRPA ビット (バスマスタ MPU グループ A 書き込み保護)

WPGRPA ビットは、バスマスタ MPU グループ A によるメモリバス 4 (SRAM0) の書き込みに対してメモリプロテクションを有効または無効にします。

## 14.5.1.3 SMPUP0BIU : 内部周辺バス 1 アクセスコントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xC20

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGR PA	WPCP U	RPCP U
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

RPCPU ビットは、CPU (システムバス) による内部周辺バス 1 (CPU 周辺、システム制御) の読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

WPCPU ビットは、CPU (システムバス) による内部周辺バス 1 (CPU 周辺、システム制御) の書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (バスマスタ MPU グループ A 読み出し保護)**

RPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 1 (CPU 周辺、システム制御) の読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (バスマスタ MPU グループ A 書き込み保護)**

WPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 1 (CPU 周辺、システム制御) の書き込みに対してメモリプロテクションを有効または無効にします。

## 14.5.1.4 SMPUP2BIU : 内部周辺バス 3 アクセスコントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xC24

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGR PA	WPCP U	RPCP U
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W

ビット	シンボル	機能	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### RPCPU ビット (CPU 読み出し保護)

RPCPU ビットは、CPU (システムバス) による内部周辺バス 3 (周辺モジュール、TSIP-Lite) の読み出しに対してメモリプロテクションを有効または無効にします。

#### WPCPU ビット (CPU 書き込み保護)

WPCPU ビットは、CPU (システムバス) による内部周辺バス 3 (周辺モジュール、TSIP-Lite) の書き込みに対してメモリプロテクションを有効または無効にします。

#### RPGRPA ビット (バスマスタ MPU グループ A 読み出し保護)

RPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 3 (周辺モジュール、TSIP-Lite) の読み出しに対してメモリプロテクションを有効または無効にします。

#### WPGRPA ビット (バスマスタ MPU グループ A 書き込み保護)

WPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 3 (周辺モジュール、TSIP-Lite) の書き込みに対してメモリプロテクションを有効または無効にします。

### 14.5.1.5 SMPUP6BIU : 内部周辺バス 7 アクセスコントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xC28

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGR PA	WPCP U	RPCP U

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	マスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	マスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### RPCPU ビット (CPU 読み出し保護)

RPCPU ビットは、CPU による内部周辺バス 7 の読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

WPCPU ビットは、CPU による内部周辺バス 7 の書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (マスタ MPU グループ A 読み出し保護)**

RPGRPA ビットは、マスタ MPU グループ A による内部周辺バス 7 の読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (マスタ MPU グループ A 書き込み保護)**

WPGRPA ビットは、マスタ MPU グループ A による内部周辺バス 7 の書き込みに対してメモリプロテクションを有効または無効にします。

**14.5.1.6 SMPUFBIU : 内部周辺バス 9 アクセスコントロールレジスタ**

Base address: RMPU = 0x4000\_0000

Offset address: 0xC14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	WPGR PA	RPGR PA	WPCP U	RPCP U
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPCPU	CPU 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
1	WPCPU	CPU 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
2	RPGRPA	バスマスタ MPU グループ A 読み出し保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
3	WPGRPA	バスマスタ MPU グループ A 書き込み保護 0: メモリプロテクションは無効 1: メモリプロテクションは有効	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

**RPCPU ビット (CPU 読み出し保護)**

RPCPU ビットは、CPU (システムバス) による内部周辺バス 9 (フラッシュメモリ制御) の読み出しに対してメモリプロテクションを有効または無効にします。

**WPCPU ビット (CPU 書き込み保護)**

WPCPU ビットは、CPU (システムバス) による内部周辺バス 9 (フラッシュメモリ制御) の書き込みに対してメモリプロテクションを有効または無効にします。

**RPGRPA ビット (バスマスタ MPU グループ A 読み出し保護)**

RPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 9 (フラッシュメモリ制御) の読み出しに対してメモリプロテクションを有効または無効にします。

**WPGRPA ビット (バスマスタ MPU グループ A 書き込み保護)**

WPGRPA ビットは、バスマスタ MPU グループ A による内部周辺バス 9 (フラッシュメモリ制御) の書き込みに対してメモリプロテクションを有効または無効にします。

### 14.5.1.7 SMPUCTL : バススレーブ MPU コントロールレジスタ

Base address: RMPU = 0x4000\_0000

Offset address: 0xC00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Bit field:	KEY[7:0]											—	—	—	—	—	—	PROTECT	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
1	PROTECT	レジスタの保護 0: バススレーブ MPU レジスタの書き込みを許可 1: バススレーブ MPU レジスタの書き込みを禁止 (読み出しは可能)	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

#### OAD ビット (検出後の動作)

OAD ビットは、バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらかを発生させます。OAD ビットを同時に設定する際は、ハーフワードアクセスを使用して KEY[7:0] ビットに 0xA5 を書き込んでください。

#### PROTECT ビット (レジスタの保護)

PROTECT ビットは、下記のレジスタへの書き込みを許可または禁止します。SMPUCTL.PROTECT ビットは下記のレジスタを制御します。

- SMPUMBIU
- SMPUFBIU
- SMPUSRAM0
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU

PROTECT ビットを設定する際は、ハーフワードアクセスを使用して同時に KEY[7:0] ビットに 0xA5 を書き込んでください。

#### KEY[7:0] ビット (キーコード)

KEY[7:0] ビットは、OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。OAD ビットと PROTECT ビットへ同時に書き込む際は、KEY[7:0] ビットに 0xA5 を書き込んでください。他の値を書き込む際は、OAD ビットと PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 0x00 が読み出されます。

## 14.5.2 機能説明

### 14.5.2.1 メモリプロテクション

バススレーブ MPU は、各アクセスコントロールレジスタに設定されたアクセス制御情報を用いて、スレーブに対するアクセスを監視する機能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、アクセスコントロールレジスタ (SMPUMBIU, SMPUFBIU, SMPUSRAM0, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU) の書き込み保護 (WP) ビットまたは読み出し保護 (RP) ビットを 1 にすることで有効になります。

### 14.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタは、SMPUCTL レジスタの PROTECT ビットで保護することが可能です。

### 14.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSSST フラグに示されます。詳細は、「[12. 割り込みコントロールユニット \(ICU\)](#)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます。詳細は、「[5. リセット](#)」を参照してください。

## 14.6 セキュリティ MPU

本 MCU はセキュリティ MPU を内蔵しており、コードフラッシュメモリ、SRAM および 2 つのセキュリティ機能を含む 4 つのセキュリティ領域があります。セキュリティ領域は、非セキュアプログラムによるアクセスから保護されます。

表 14.8 にセキュリティ MPU の仕様を、[図 14.10](#) にセキュリティ MPU のブロック図を示します。

表 14.8 セキュリティ MPU の仕様

項目	内容
セキュリティ領域	コードフラッシュメモリ、SRAM、2 つのセキュリティ機能
保護領域	0x0000_0000~0xFFFF_FFFF
領域数	プログラムカウンタ：2 領域 データアクセス：4 領域
各領域のアドレス指定	領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効または無効設定	対応する領域に対し有効または無効を設定



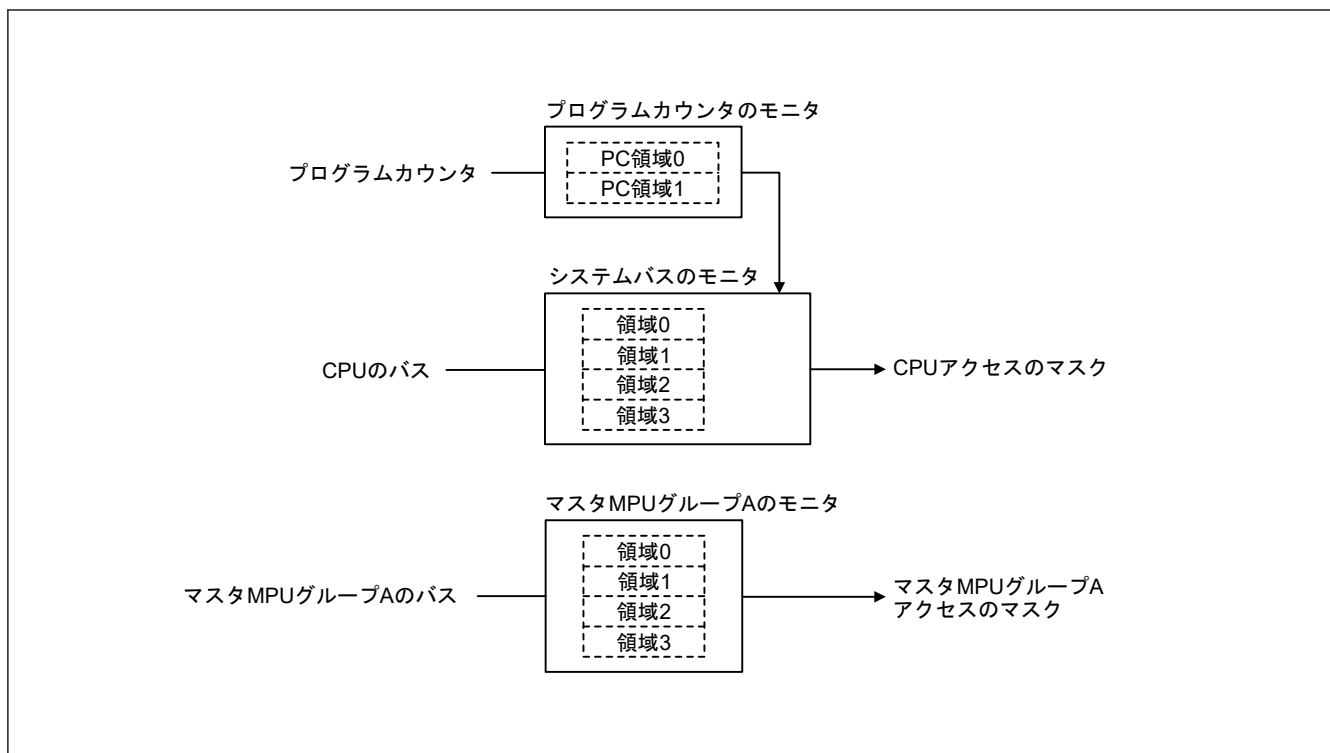


図 14.10 セキュリティ MPU のブロック図

### 14.6.1 レジスタの説明 (オプション設定メモリ)

セキュリティ MPU のすべてのレジスタは、オプション設定メモリです。オプション設定メモリとは、リセット後のマイコンの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはフラッシュメモリに配置されます。

#### 14.6.1.1 SECMPUPCSn : セキュリティ MPU プログラム開始アドレスレジスタ n (n = 0, 1)

Address: 0x0000\_0408/0x0000\_2408<sup>(注1)</sup> (n = 0), 0x0000\_0410/0x0000\_2410<sup>(注1)</sup> (n = 1)

Bit position: 31 0

Bit field: SECMPUPCS[31:0]

Value after reset: ユーザー設定値

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

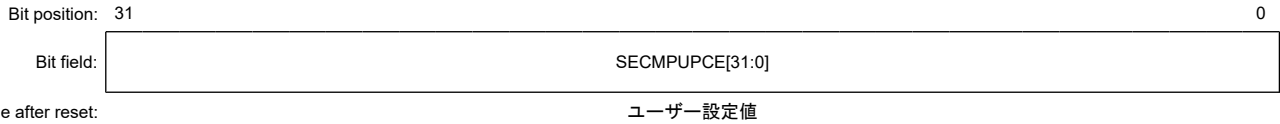
ビット	シンボル	機能	R/W
31:0	SECMPUPCS[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス値の範囲は予約領域を除く 0x0000_0000~0x000F_FFFC または 0x1FF0_0000~0x200F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUPCSn レジスタと SECMPUPCEn レジスタには、コードフラッシュメモリのセキュリティフェッチ領域のアドレス (予約領域を除く 0x0000\_0000~0x000F\_FFFF) または、SRAM のセキュリティフェッチ領域のアドレス (予約領域を除く 0x1FF0\_0000~0x200F\_FFFF) を設定してください。

セキュアプログラムは、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタで定義されたメモリ空間で実行され、SECMPUSm レジスタおよび SECMPUEm レジスタ (m = 0~3) で指定されたセキュアデータにアクセスできます。

### 14.6.1.2 SECMPUPCEn : セキュリティ MPU プログラム終了アドレスレジスタ n (n = 0, 1)

Address: 0x0000\_040C/0x0000\_240C<sup>(注1)</sup> (n = 0), 0x0000\_0414/0x0000\_2414<sup>(注1)</sup> (n = 1)

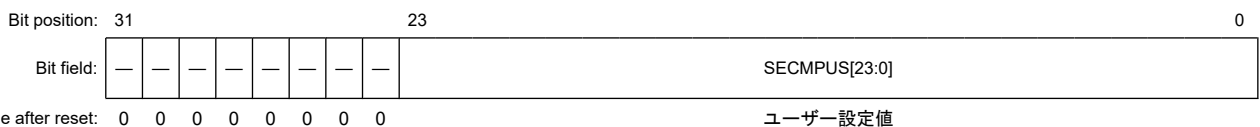


注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUPCE[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス値の範囲は予約領域を除く 0x0000_0003~0x000F_FFFF または 0x1FF0_0003~0x200F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

### 14.6.1.3 SECMPUS0 : セキュリティ MPU 領域 0 開始アドレスレジスタ

Address: 0x0000\_0418/0x0000\_2418<sup>(注1)</sup>



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

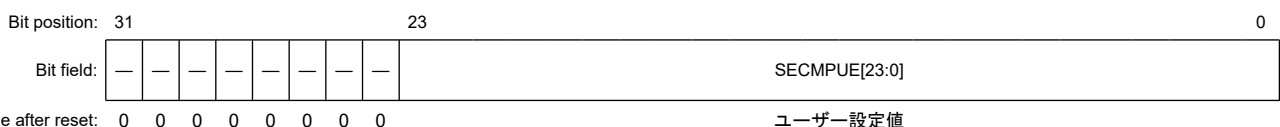
ビット	シンボル	機能	R/W
23:0	SECMPUS[23:0]	領域開始アドレス 領域判定に使用する領域開始アドレス値の範囲は予約領域を除く 0x0000_0000~0x000F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W
31:24	—	読むと 0 が読めます。コードフラッシュに書き込む場合、0 としてください。	R/W

SECMPUS0 レジスタと SECMPUE0 レジスタには、コードフラッシュメモリのセキュアプログラムとセキュアデータのアドレス（予約領域を除く 0x0000\_0000~0x000F\_FFFF）を設定してください。SECMPUS0 レジスタおよび SECMPUE0 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタ (n = 0, 1) で設定されたセキュアプログラムからのみアクセス可能です。

なお、ベクタテーブルは設定禁止です。

### 14.6.1.4 SECMPUE0 : セキュリティ MPU 領域 0 終了アドレスレジスタ

Address: 0x0000\_041C/0x0000\_241C<sup>(注1)</sup>



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
23:0	SECMPUE[23:0]	領域終了アドレス 領域判定に使用する領域終了アドレス値の範囲は予約領域を除く 0x0000_0003~ 0x000F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W
31:24	—	読むと 0 が読めます。コードフラッシュに書き込む場合、0 としてください。	R/W

#### 14.6.1.5 SECMPUS1 : セキュリティ MPU 領域 1 開始アドレスレジスタ

Address: 0x0000\_0420/0x0000\_2420(注1)

Bit position:	31	0
Bit field:	SECMPUS[31:0]	
Value after reset:	ユーザー設定値	

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUS[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス値の範囲は予約領域を除く 0x1FF0_0000~ 0x200F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUS1 レジスタと SECMPUE1 レジスタには、SRAM のセキュアプログラムとセキュアデータのアドレス (予約領域を除く 0x1FF0\_0000~0x200F\_FFFF) を設定してください。

SECMPUS1 レジスタおよび SECMPUE1 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタ (n = 0, 1) で設定されたセキュアプログラムからのみアクセス可能です。

なお、スタック領域やベクタテーブルは設定禁止です。

#### 14.6.1.6 SECMPUE1 : セキュリティ MPU 領域 1 終了アドレスレジスタ

Address: 0x0000\_0424/0x0000\_2424(注1)

Bit position:	31	0
Bit field:	SECMPUE[31:0]	
Value after reset:	ユーザー設定値	

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUE[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス値の範囲は予約領域を除く 0x1FF0_0003~ 0x200F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

#### 14.6.1.7 SECMPUS2 : セキュリティ MPU 領域 2 開始アドレスレジスタ

Address: 0x0000\_0428/0x0000\_2428(注1)

Bit position:	31	0
Bit field:	SECMPUS[31:0]	
Value after reset:	ユーザー設定値	

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUS[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス値の範囲は 0x400C_0000~0x400D_FFFC および 0x4010_0000~0x407F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUS2 レジスタと SECMPUE2 レジスタは、セキュリティ機能のセキュア領域 (0x400C\_0000~0x400D\_FFFF および 0x4010\_0000~0x407F\_FFFF) を指定します。SECMPUS2 レジスタおよび SECMPUE2 レジスタで定義されたメモリ空間は、SECMPUPCSn レジスタおよび SECMPUPCEn レジスタ (n=0, 1) で設定されたセキュアプログラムからのみアクセス可能です。

#### 14.6.1.8 SECMPUE2 : セキュリティ MPU 領域 2 終了アドレスレジスタ

Address: 0x0000\_042C/0x0000\_242C(注1)

Bit position:	31	0
Bit field:	SECMPUE[31:0]	
Value after reset:	ユーザー設定値	

注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUE[31:0]	領域終了アドレス 領域終了を判定するアドレス。値の範囲は 0x400C_0003~0x400D_FFFF および 0x4010_0003~0x407F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

#### 14.6.1.9 SECMPUS3 : セキュリティ MPU 領域 3 開始アドレスレジスタ

Address: 0x0000\_0430/0x0000\_2430(注1)

Bit position:	31	0
Bit field:	SECMPUS3[31:0]	
Value after reset:	ユーザー設定値	

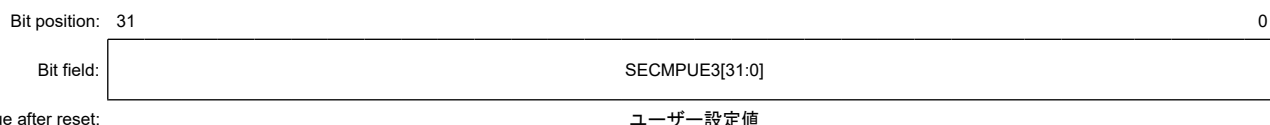
注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUS3[31:0]	領域開始アドレス 領域判定に使用する領域開始アドレス。値の範囲は 0x400C_0000~0x400D_FFFC および 0x4010_0000~0x407F_FFFC です。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W

SECMPUS3 レジスタと SECMPUE3 レジスタは、セキュリティ機能のセキュア領域 (0x400C\_0000~0x400D\_FFFF および 0x4010\_0000~0x407F\_FFFF) を設定します。SECMPUS3 レジスタと SECMPUE3 レジスタで定義されたメモリ領域は、SECMPUPCSn レジスタと SECMPUPCEn レジスタ (n=0, 1) で設定されたセキュリティプログラムからのみアクセス可能です。

### 14.6.1.10 SECMPUE3 : セキュリティ MPU 領域 3 終了アドレスレジスタ

Address: 0x0000\_0434/0x0000\_2434<sup>(注1)</sup>

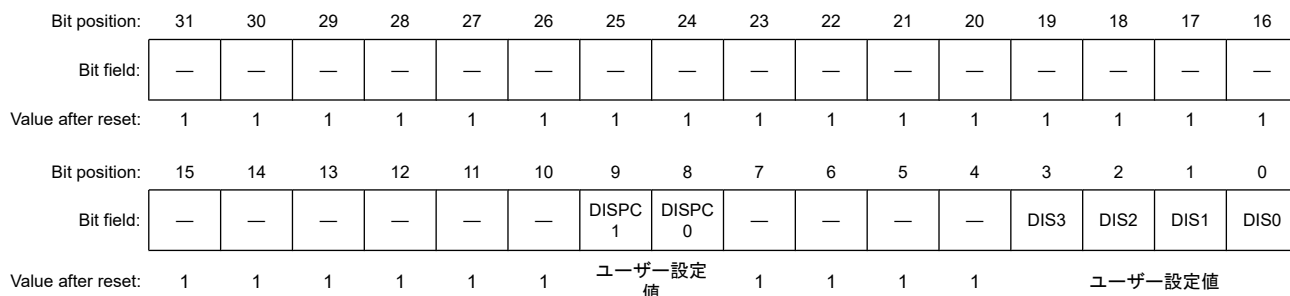


注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
31:0	SECMPUE3[31:0]	領域終了アドレス 領域判定に使用する領域終了アドレス。値の範囲は 0x400C_0003~0x400D_FFFF および 0x4010_0003~0x407F_FFFF です。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W

### 14.6.1.11 SECMPUAC : セキュリティ MPU アクセスコントロールレジスタ

Address: 0x0000\_0438/0x0000\_2438<sup>(注1)</sup>



注 1. ブートスワップ設定時に、本レジスタのアドレスは変わります。

ビット	シンボル	機能	R/W
0	DIS0	データ領域 0 保護 0: データ領域 0 は保護対象 1: データ領域 0 は保護対象外	R/W
1	DIS1	データ領域 1 保護 0: データ領域 1 は保護対象 1: データ領域 1 は保護対象外	R/W
2	DIS2	データ領域 2 保護 0: データ領域 2 は保護対象 1: データ領域 2 は保護対象外	R/W
3	DIS3	データ領域 3 保護 0: データ領域 3 は保護対象 1: データ領域 3 は保護対象外	R/W
7:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	DISPC0	プログラム領域 0 保護 0: プログラム領域 0 は保護対象 1: プログラム領域 0 は保護対象外	R/W
9	DISPC1	プログラム領域 1 保護 0: プログラム領域 1 は保護対象 1: プログラム領域 1 は保護対象外	R/W
15:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:16	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. フラッシュメモリが消去されると、セキュリティ MPU の設定も無効になります。  
注. セキュリティ MPU の有効/無効については、「14.6.2. メモリプロテクション」を参照してください。

**DIS0 ビット (データ領域 0 保護)**

DIS0 ビットは、セキュリティ MPU のデータ領域 0 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 0 を保護対象にすると、SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内のコードフラッシュメモリ領域がセキュアデータとなります。

**DIS1 ビット (データ領域 1 保護)**

DIS1 ビットは、セキュリティ MPU のデータ領域 1 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 1 を保護対象にすると、SECMPUS1 レジスタと SECMPUE1 レジスタで設定した範囲内の SRAM 領域がセキュアデータとなります。

**DIS2 ビット (データ領域 2 保護)**

DIS2 ビットは、セキュリティ MPU のデータ領域 2 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 2 を保護対象にすると、SECMPUS2 レジスタと SECMPUE2 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

**DIS3 ビット (データ領域 3 保護)**

DIS3 ビットは、セキュリティ MPU のプログラム領域 3 を保護対象または保護対象外にします。セキュリティ MPU のデータ領域 3 を保護対象にすると、SECMPUS3 レジスタと SECMPUE3 レジスタで設定した範囲内のセキュリティ機能領域がセキュアデータとなります。

**DISPC0 ビット (プログラム領域 0 保護)**

DISPC0 ビットは、セキュリティ MPU のプログラム領域 0 を保護対象または保護対象外にします。セキュリティ MPU のプログラム領域 0 を保護対象にすると、SECMPUPCS0 レジスタと SECMPUPCE0 レジスタで設定した範囲内のコードフラッシュメモリ領域、または SRAM 領域がセキュアプログラムとなります。

**DISPC1 ビット (プログラム領域 1 保護)**

DISPC1 ビットは、セキュリティ MPU のプログラム領域 1 を保護対象または保護対象外にします。セキュリティ MPU のプログラム領域 1 を保護対象にすると、SECMPUPCS1 レジスタと SECMPUPCE1 レジスタで設定した範囲内のコードフラッシュメモリ領域、または SRAM 領域がセキュアプログラムとなります。

## 14.6.2 メモリプロテクション

セキュリティ MPU は、非セキュアプログラムからアクセスできないようにセキュリティ領域 (コードフラッシュメモリ、SRAM、セキュリティ機能) を保護します。保護領域に対するアクセスが検出されると、そのアクセスは無効になります。

セキュリティ MPU が有効の場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0 ビットまたは DISPC1 ビットを 0 にする必要があります。さらに、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DIS0、DIS1、DIS2、または DIS3 ビットを 0 にする必要があります。

セキュリティ MPU が無効の場合、セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の DISPC0、DISPC1、DIS0、DIS1、DIS2、および DIS3 ビットをすべて 1 にする必要があります。

セキュリティ MPU アクセスコントロールレジスタ (SECMPUAC) の上記以外の設定を行わないでください。

セキュリティ MPU は、以下の条件下でアクセス保護を行います。

- セキュアデータが非セキュアプログラムからアクセスされる時
- セキュアデータが CPU 以外 (DTC) からアクセスされる時
- セキュアデータがデバッグからアクセスされる時

セキュアデータがセキュアプログラムのみからアクセスされる時

注. セキュアプログラム :

SECMPUPCS0 と SECMPUPCE0 で設定された範囲内にあるコードフラッシュまたは SRAM の領域  
SECMPUPCS1 と SECMPUPCE1 で設定された範囲内にあるコードフラッシュまたは SRAM の領域

非セキュアプログラム :

セキュアプログラム領域外の全領域

セキュアデータ :

SECMPUS0 レジスタと SECMPUE0 レジスタで設定した範囲内にあるコードフラッシュ領域

SECMPUS1 と SECMPUE1 で設定された範囲内にある SRAM 領域  
 SECMPUS2 と SECMPUE2 で設定された範囲内にあるセキュリティ機能領域  
 SECMPUS3 と SECMPUE3 で設定された範囲内にあるセキュリティ機能領域

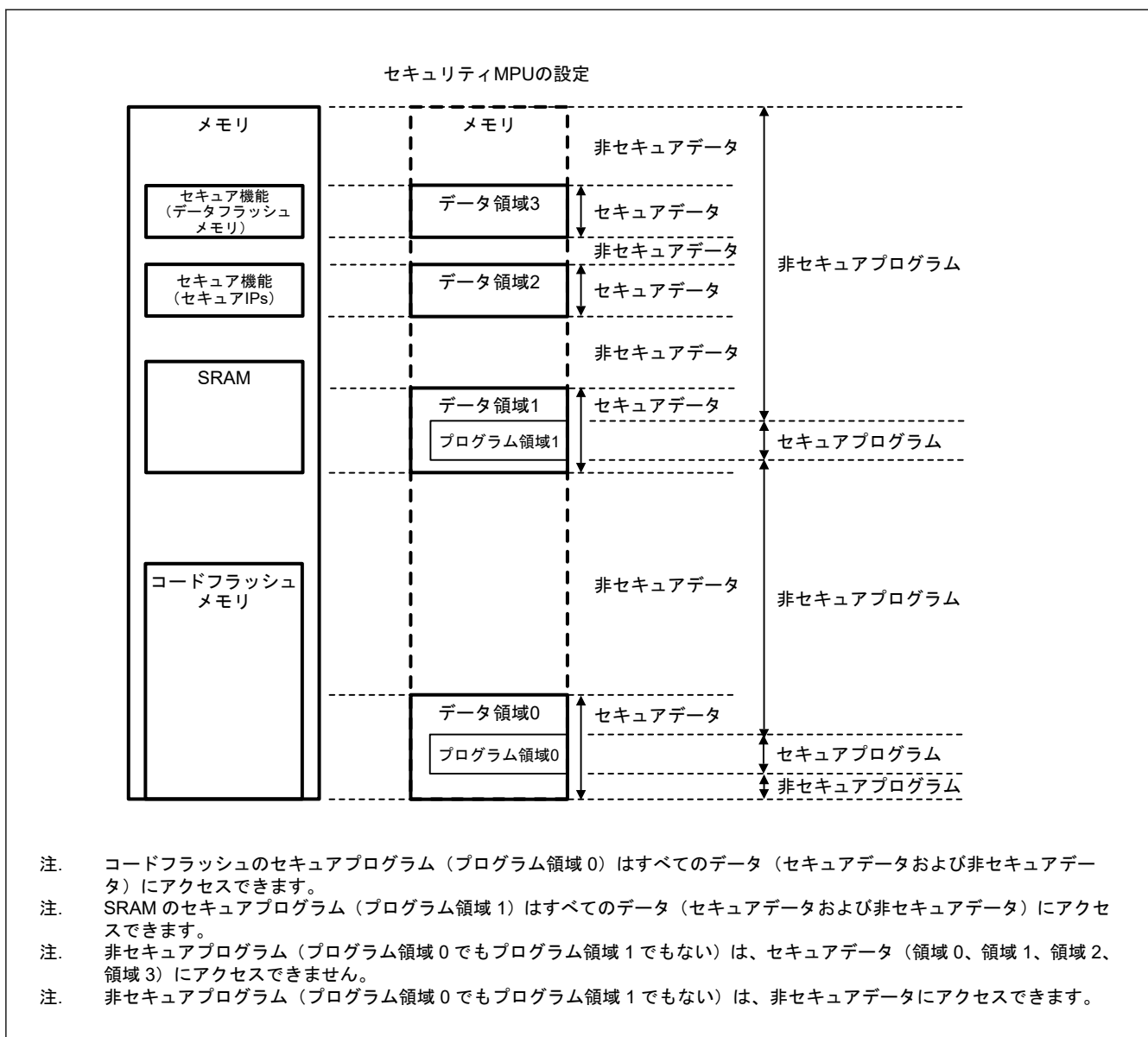


図 14.11 セキュリティ MPU の使用例

## 14.7 使用上の注意事項

### 14.7.1 デバッガ使用時の注意事項

セキュリティ MPU が有効であると、メモリのデバッグはできません。プログラムをデバッグする時は、セキュリティ MPU を無効にして、SECMPUAC レジスタが 0xFFFF\_FFFF であるときにのみ、OCD デバッグが有効です。

## 14.8 参考資料

1. ARM<sup>®</sup>v8-M Architecture Reference Manual (ARM DDI 0553B.a)
2. ARM<sup>®</sup> Cortex<sup>®</sup>-M23 Processor Technical Reference Manual (ARM DDI 0550C)
3. ARM<sup>®</sup> Cortex<sup>®</sup>-M23 Processor User Guide (ARM DUI 0963B)

## 15. データトランスファコントローラ (DTC)

### 15.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 15.1 に DTC の仕様を、図 15.1 に DTC のブロック図を示します。

表 15.1 DTC の仕様

項目	内容
転送モード	<ul style="list-style-type: none"> <li>ノーマル転送モード 1回の起動で1データを転送</li> <li>リピート転送モード 1回の起動で1データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256×32ビット(1024バイト)転送可能</li> <li>ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256×32ビット=1024バイト設定可能</li> </ul>
転送チャンネル	<ul style="list-style-type: none"> <li>割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC起動要求で転送)</li> <li>1つの起動要因に対して複数データの転送が可能 (チェーン転送)</li> <li>チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能</li> </ul>
転送空間	<ul style="list-style-type: none"> <li>0x0000_0000~0xFFFF_FFFFのうち予約領域を除く4GBの領域</li> </ul>
データ転送単位	<ul style="list-style-type: none"> <li>1データ: 1バイト(8ビット)、1ハーフワード(16ビット)、1ワード(32ビット)</li> <li>1ブロックサイズ: 1~256データ</li> </ul>
CPU割り込み要因	<ul style="list-style-type: none"> <li>DTCを起動した割り込み、またはDTC_COMPLETEでCPUへの割り込み要求を発生可能</li> <li>1回のデータ転送後にCPUへの割り込み要求を発生可能</li> <li>指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能</li> </ul>
イベントリンク機能	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能



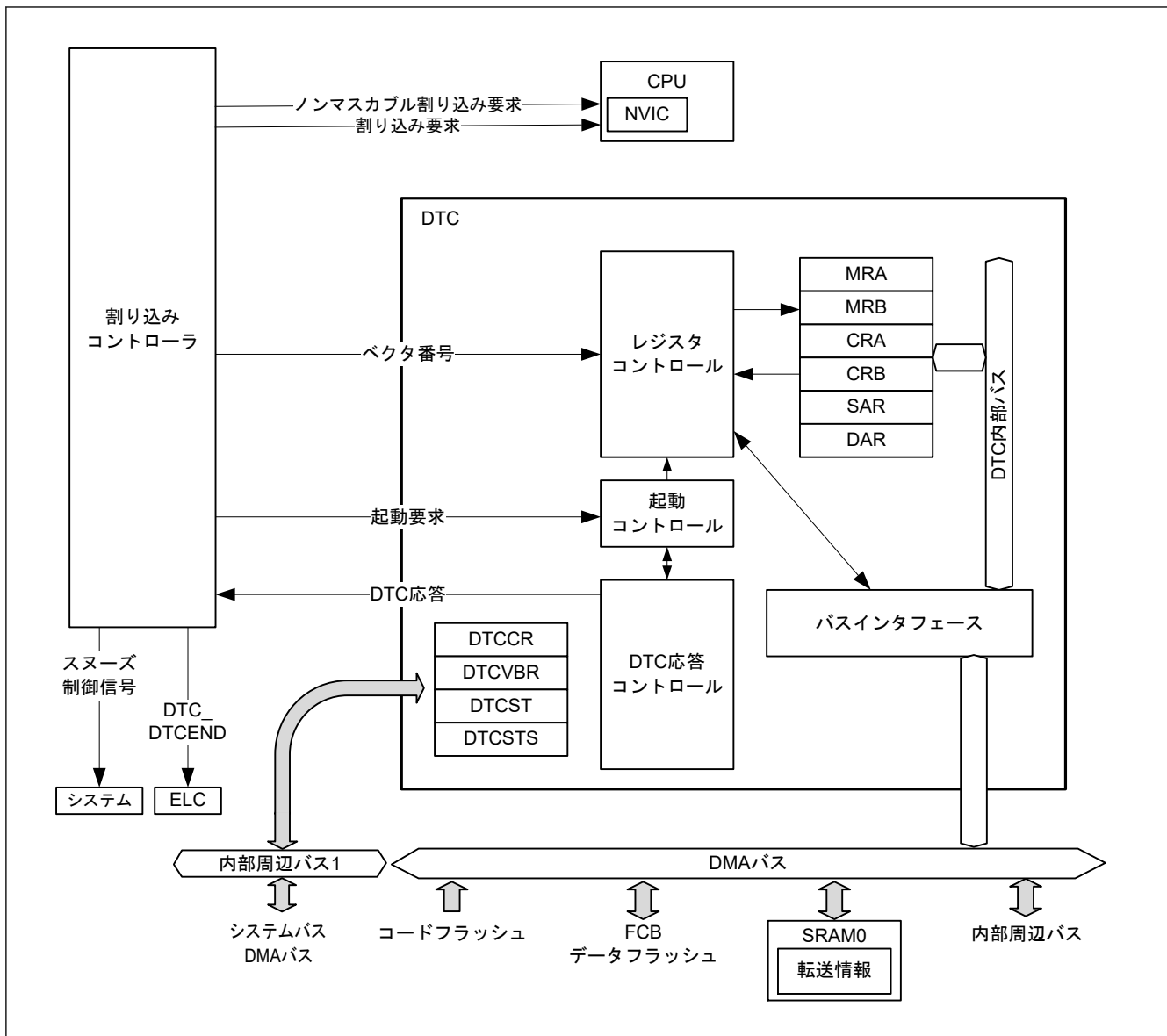


図 15.1 DTC のブロック図

DTC と NVIC (CPU 内) の接続関係については、「12. 割り込みコントローラユニット (ICU)」の「12.1. 概要」を参照してください。

## 15.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

## 15.2.1 MRA : DTC モードレジスタ A

Base address: DTCVBR

Offset address: 0x03 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 7 6 5 4 3 2 1 0

Bit field:	MD[1:0]	SZ[1:0]	SM[1:0]	—	—
------------	---------	---------	---------	---	---

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 0 1: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 1 0: 転送後 SAR レジスタをインクリメント: SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント: SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト (8 ビット) 転送 0 1: ハーフワード (16 ビット) 転送 1 0: ワード (32 ビット) 転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス+0x03) に MRA レジスタ設定値を設定します。DTC は、SRAM 領域 (転送情報 (n) の開始アドレス+0x03) から、MRA レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

## 15.2.2 MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 7 6 5 4 3 2 1 0

Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—
------------	------	------	-------	-----	---------	---	---

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0としてください。リセット後の値は不定値です。	—

ビット	シンボル	機能	R/W
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 0 1: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 1 0: 転送後 DAR レジスタをインクリメント: MRA.SZ[1:0]ビットが 00b のとき+1  MRA.SZ[1:0]ビットが 10b のとき+4MRA.SZ[1:0]ビットが 01b のとき+2 1 1: 転送後 DAR レジスタをデクリメント: MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0]ビットが 01b のとき-2 MRA.SZ[1:0]ビットが 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス+0x02) に MRB レジスタ設定値を設定します。DTC は、SRAM 領域 (転送情報 (n) の開始アドレス+0x02) から、MRB レジスタへ設定値を転送します。「[15.3.1. 転送情報の配置と DTC ベクタテーブル](#)」を参照してください。

#### DM[1:0]ビット (転送先アドレスアドレッシングモード)

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

#### DTS ビット (DTC 転送モード選択)

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

#### DISEL ビット (DTC 割り込み選択)

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

#### CHNS ビット (DTC チェーン転送選択)

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、[表 15.3](#) を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

#### CHNE ビット (DTC チェーン転送許可)

CHNE ビットはチェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。チェーン転送の詳細については、「[15.4.6. チェーン転送](#)」を参照してください。



CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

### (1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

### (2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

### (3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

## 15.2.6 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR

Offset address: 0x0C + 0x4 × ベクタ番号  
(CPU から直接アクセス不可。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	[Empty Box]															
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

## 15.2.7 DTCCR : DTC コントロールレジスタ

Base address: DTC = 0x4000\_5400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W



- モジュールストップ状態
- スリープモードへの遷移を伴わないソフトウェアスタンバイモード

これらの遷移については、「15.9. 低消費電力機能」と「10. 低消費電力モード」を参照してください。

### 15.2.10 DTCSTS : DTC ステータスレジスタ

Base address: DTC = 0x4000\_5400

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中 (ACT フラグが 1 の場合) にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

#### VECN[7:0]ビット (DTC アクティブベクタ番号モニタ)

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0]ビットの値は無効です。

#### ACT フラグ (DTC アクティブフラグ)

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

## 15.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn レジスタで設定されたセクタ出力番号  $n$  ( $n=0\sim 31$ ) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号  $n$  に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[4:0] ( $n=0\sim 31$ ) ビットによって選択されます。このビットの設定方法については、「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。ソフトウェアによる起動については、「16.2.2. ELSEGRn: イベントリンクソフトウェアイベント発生レジスタ  $n$  ( $n=0, 1$ )」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が発生する

- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

### 15.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号  $n$  を持つ転送情報  $n$  の開始アドレスは、ベクタテーブルのベースアドレス +  $4n$  番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を [図 15.2](#) に示します。SRAM 領域上の転送情報の配置を [図 15.3](#) に示します。

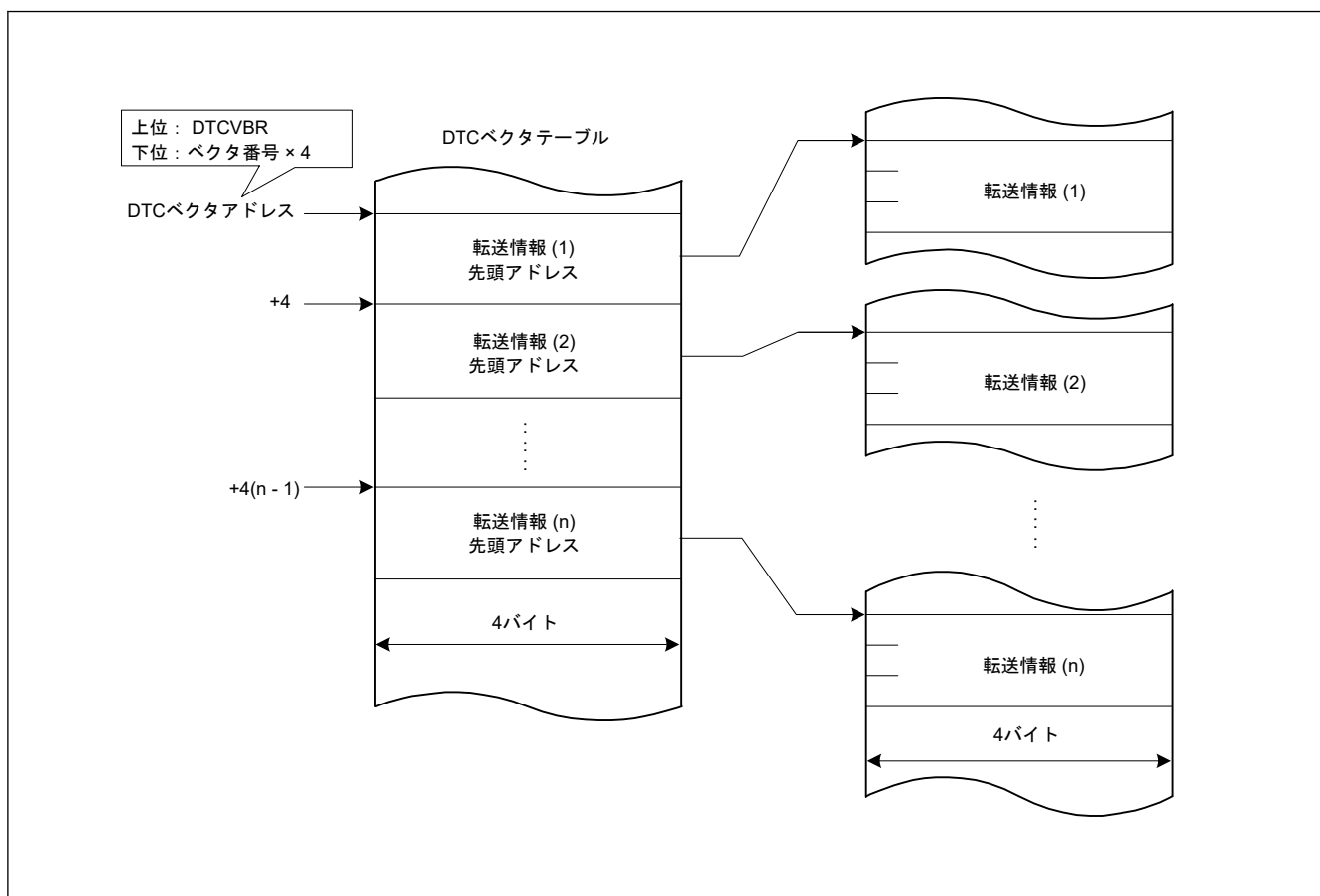


図 15.2 DTC ベクタテーブルと転送情報の対応関係



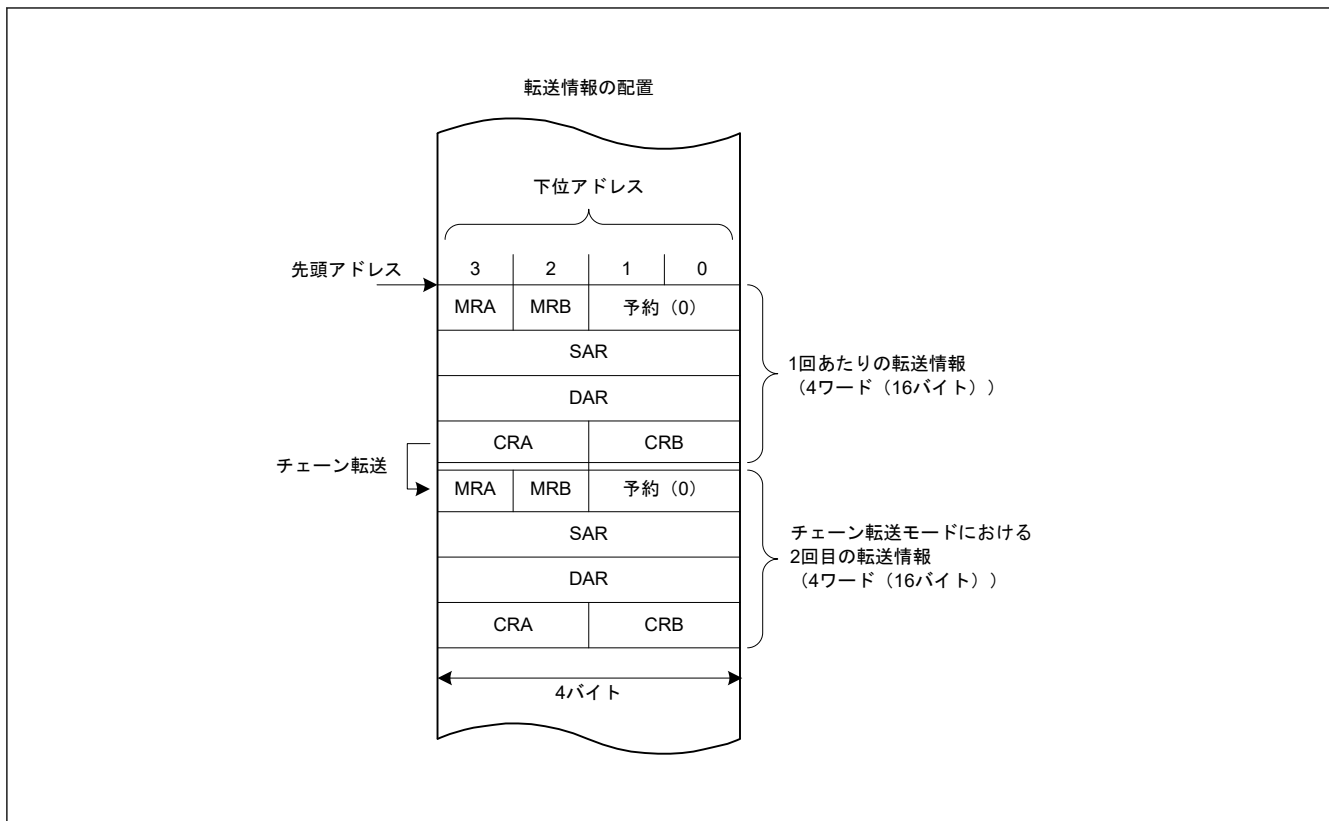


図 15.3 SRAM 領域上の転送情報の配置

## 15.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャンネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 15.2 に DTC の転送モードを示します。

表 15.2 DTC の転送モード

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回
リピート転送モード (注1)	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1~256 バイト / 1~256 ハーフワード (2~512 バイト) / 1~256 ワード (4~1024 バイト))	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回

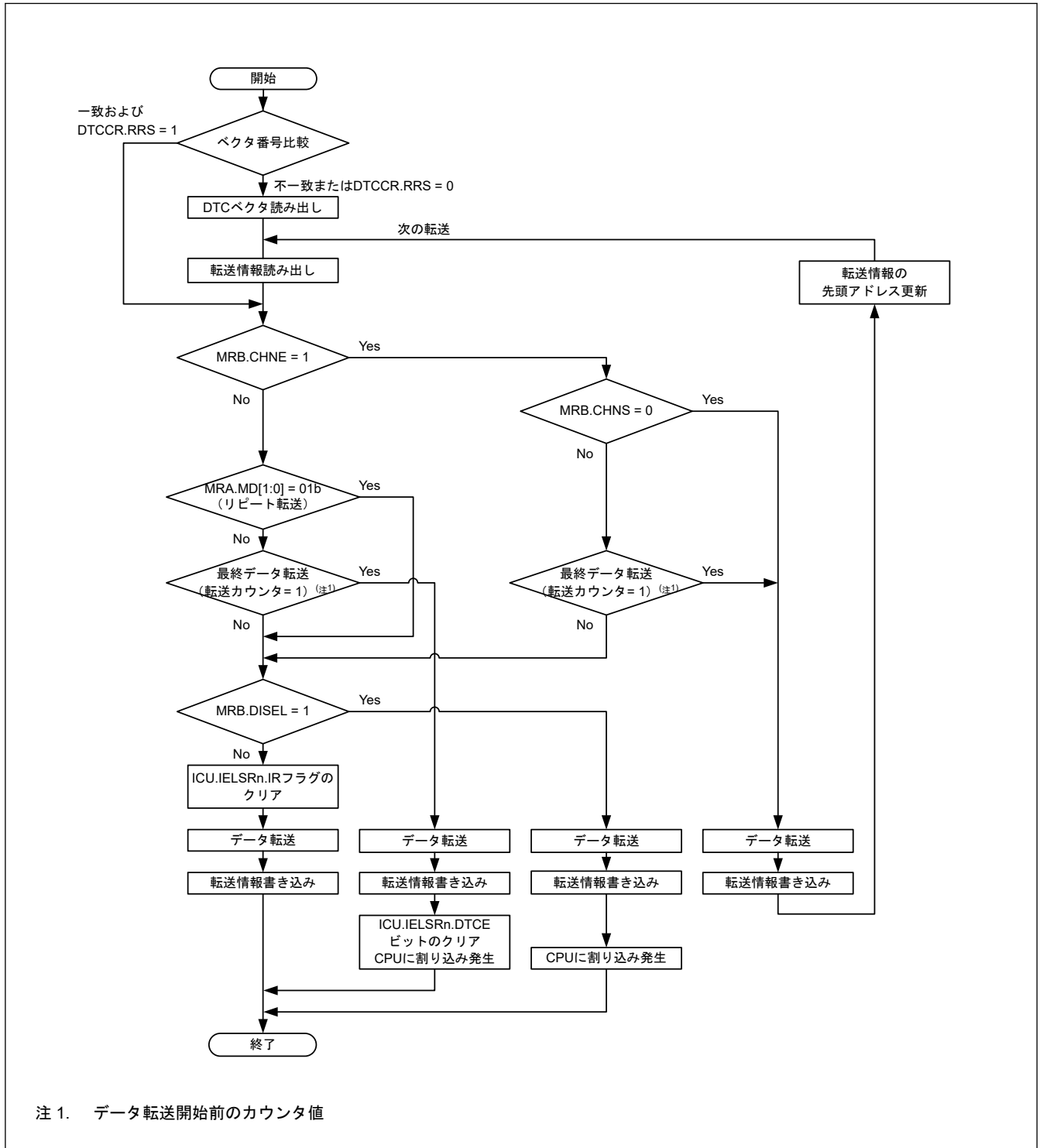
注 1. 転送元または転送先のいずれかをリピート領域に設定します。

注 2. 転送元または転送先のいずれかをブロック領域に設定します。

注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 15.4 に DTC の動作フローチャートを示します。表 15.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。



注 1. データ転送開始前のカウンタ値

図 15.4 DTC 動作フローチャート

表 15.3 チェーン転送の条件

第 1 転送				第 2 転送 <sup>(注3)</sup>				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ <sup>(注1) (注2)</sup>	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ <sup>(注1) (注2)</sup>	
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ

リピート転送モード：CRAL レジスタ

ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。

ノーマル転送モードとブロック転送モードでは (1→0)

リピート転送モードでは (1→CRAH)

表中の (1→\*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

#### 15.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ (CRA レジスタ) が 0 になっている場合と、前回のブロック転送中に転送カウンタ (CRB レジスタ) が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 15.12 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

#### 15.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。表 15.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされません。

表 15.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

### 15.4.3 ノーマル転送モード

ノーマル転送モードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1~65536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

表 15.5 にノーマル転送モードのレジスタ機能を、図 15.5 にノーマル転送モードのメモリマップを示します。

表 15.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

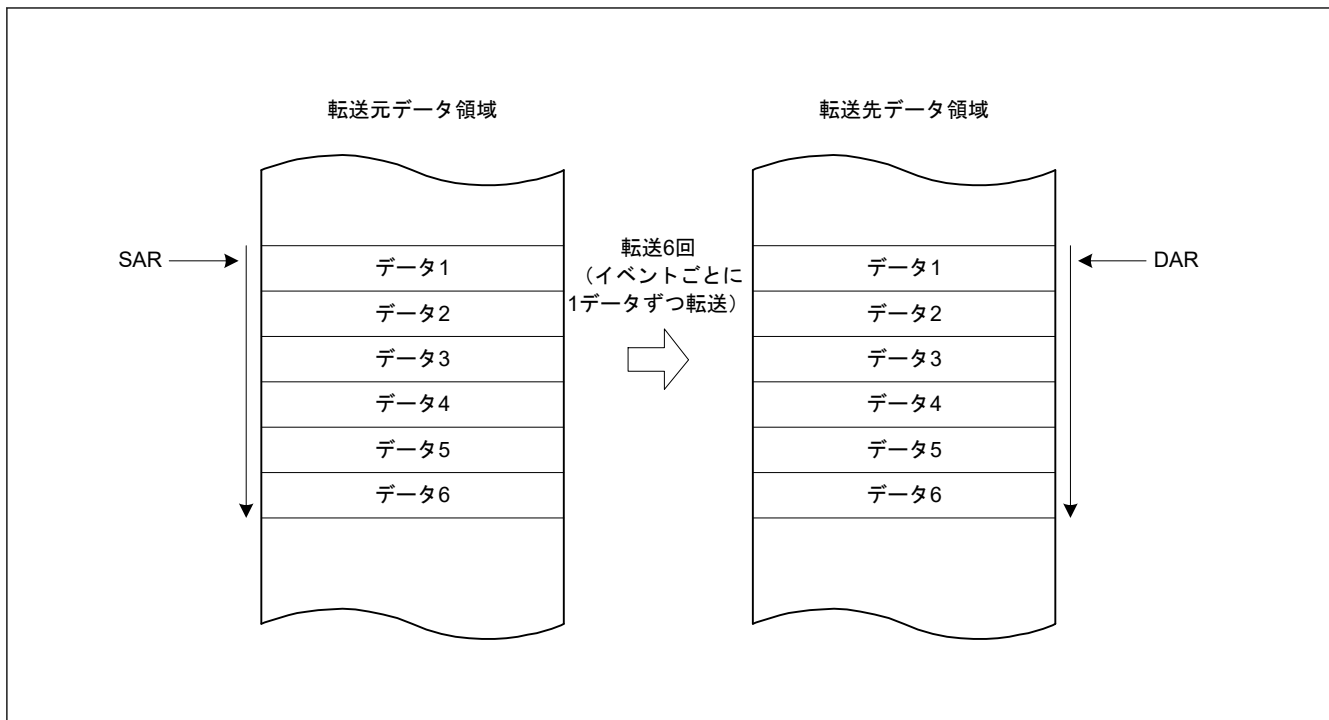


図 15.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

### 15.4.4 リピート転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、または1ワード（32ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 0x00 になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 0x00 にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

表 15.6 にリピート転送モードのレジスタ機能を、図 15.6 にリピート転送モードのメモリマップを示します。

表 15.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注1)	<ul style="list-style-type: none"> <li>• (MRB.DTS = 0 のとき) インクリメント/デクリメント/固定(注1)</li> <li>• (MRB.DTS = 1 のとき) SAR レジスタの初期値</li> </ul>
DAR	転送先アドレス	インクリメント/デクリメント/固定(注1)	<ul style="list-style-type: none"> <li>• (MRB.DTS = 0 のとき) DAR レジスタの初期値</li> <li>• (MRB.DTS = 1 のとき) インクリメント/デクリメント/固定(注1)</li> </ul>
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

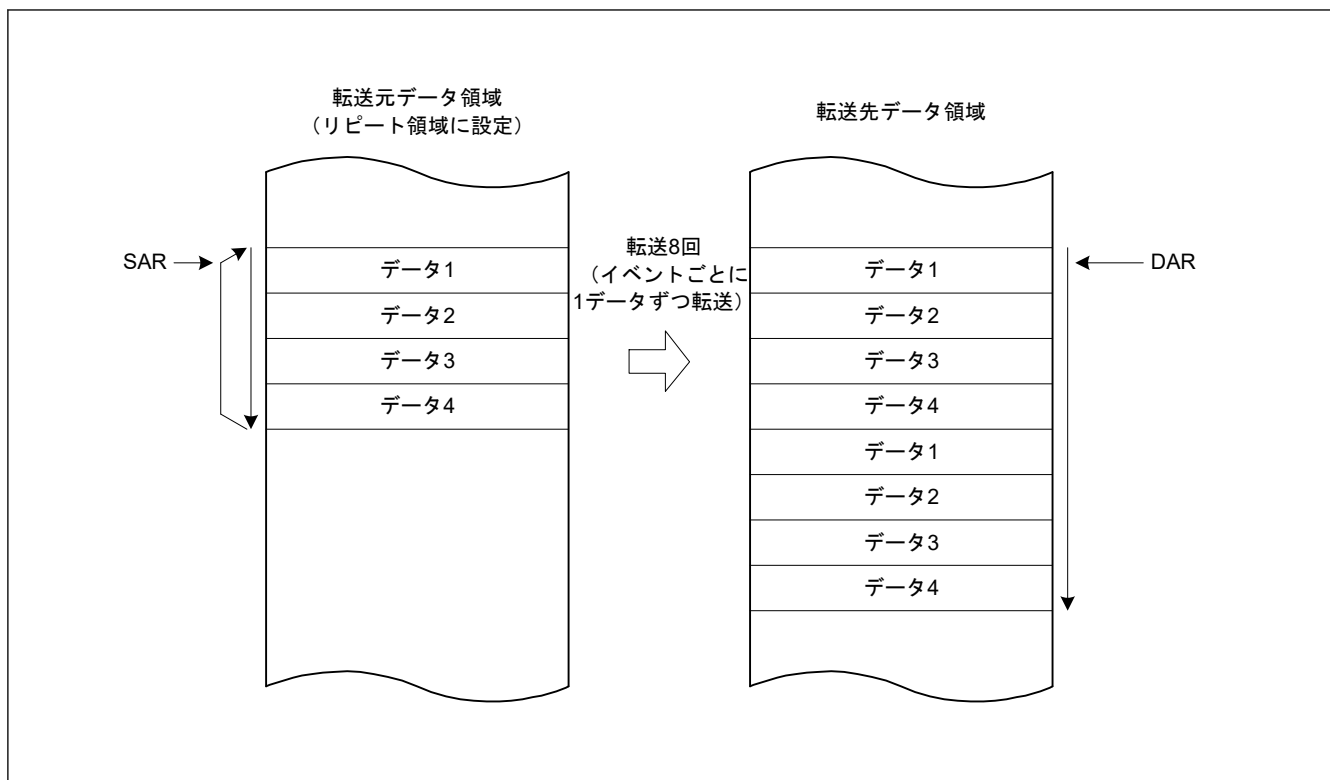


図 15.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

### 15.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1~256 バイト、1~256 ハーフワード (2~512 バイト)、または 1~256 ワード (4~1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のときは SAR レジスタ、MRB.DTS ビットが0のときは DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1~65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 15.7 にブロック転送モードのレジスタ機能を、図 15.7 にブロック転送モードのメモリマップを示します。

表 15.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	<ul style="list-style-type: none"> <li>• (MRB.DTS = 0 のとき) インクリメント/デクリメント/固定(注1)</li> <li>• (MRB.DTS = 1 のとき) SAR レジスタの初期値</li> </ul>
DAR	転送先アドレス	<ul style="list-style-type: none"> <li>• (MRB.DTS = 0 のとき) DAR レジスタの初期値</li> <li>• (MRB.DTS = 1 のとき) インクリメント/デクリメント/固定(注1)</li> </ul>
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

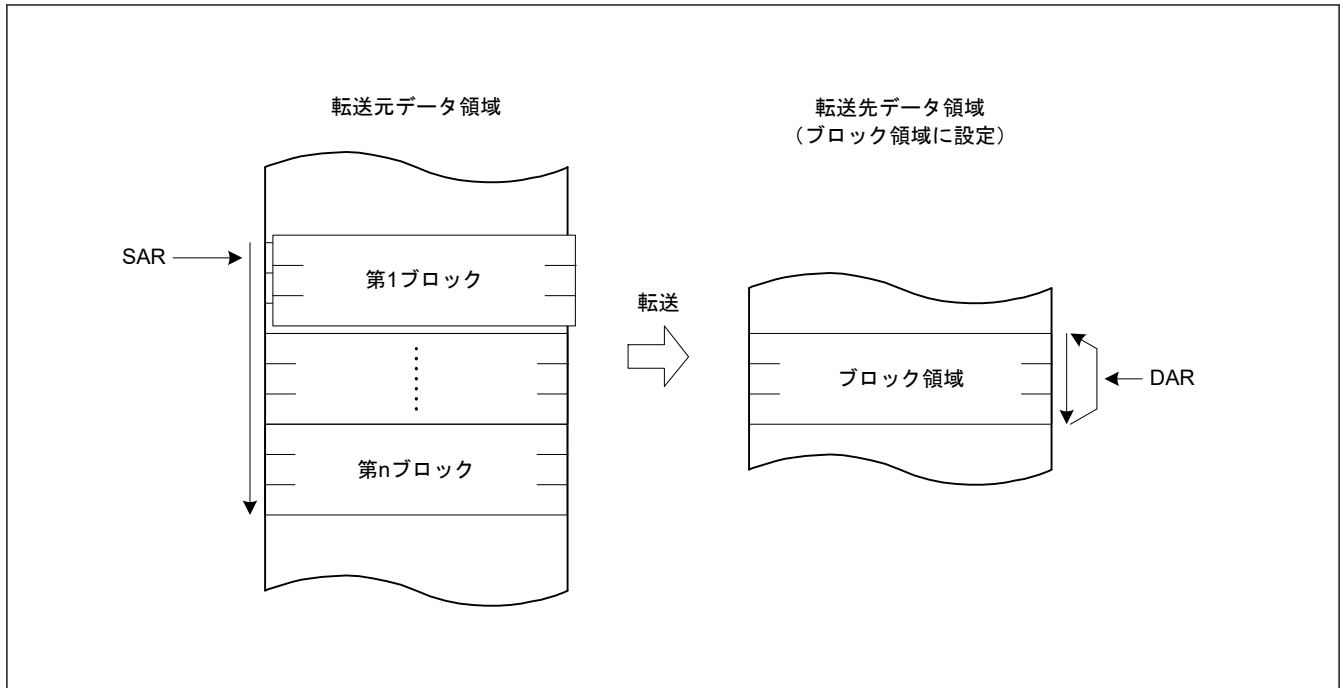


図 15.7 ブロック転送モードのメモリマップ

#### 15.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 15.8 にチェーン転送の動作を示します。

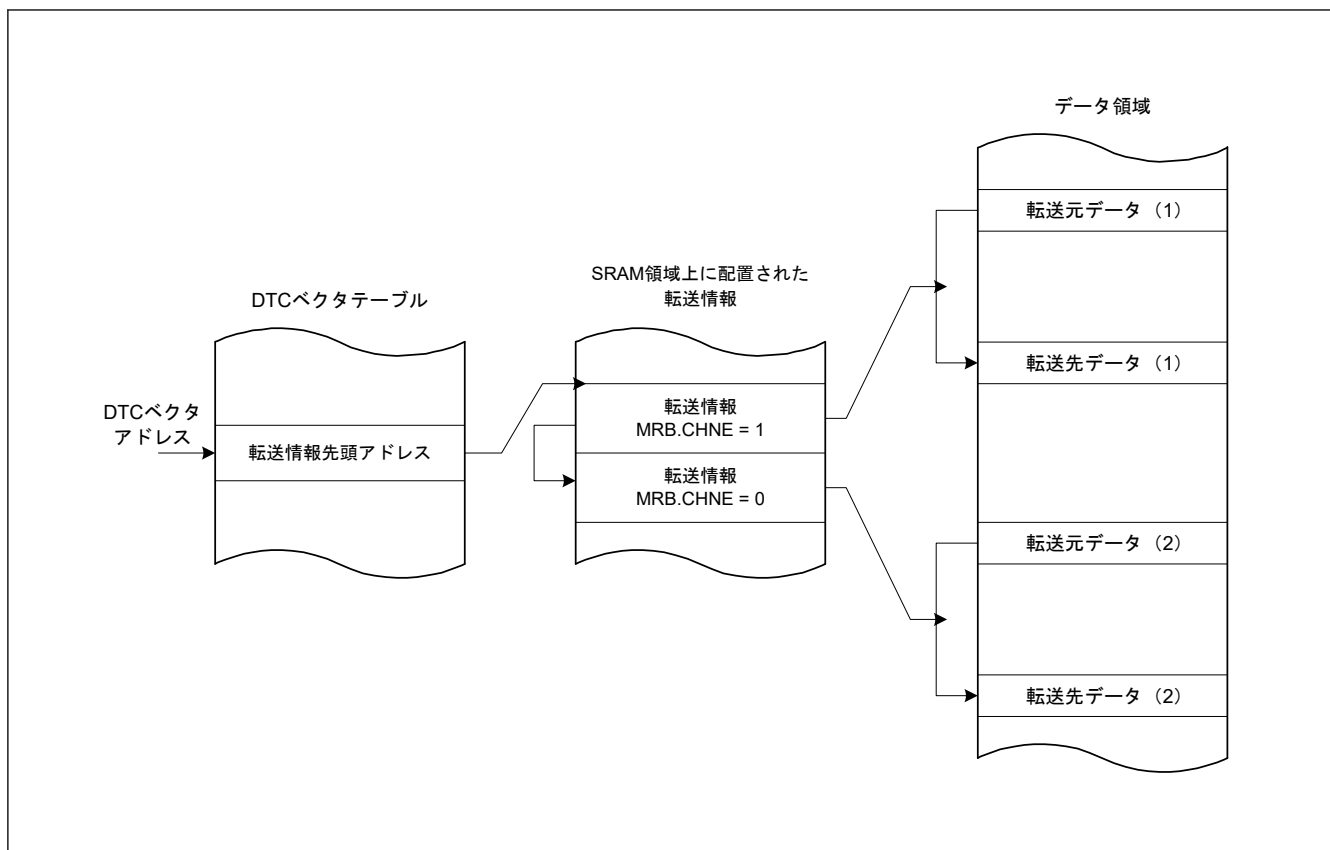


図 15.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 15.3 を参照してください。

### 15.4.7 動作タイミング

図 15.9～図 15.12 に示すタイミング図は、最小実行サイクル数を示しています。

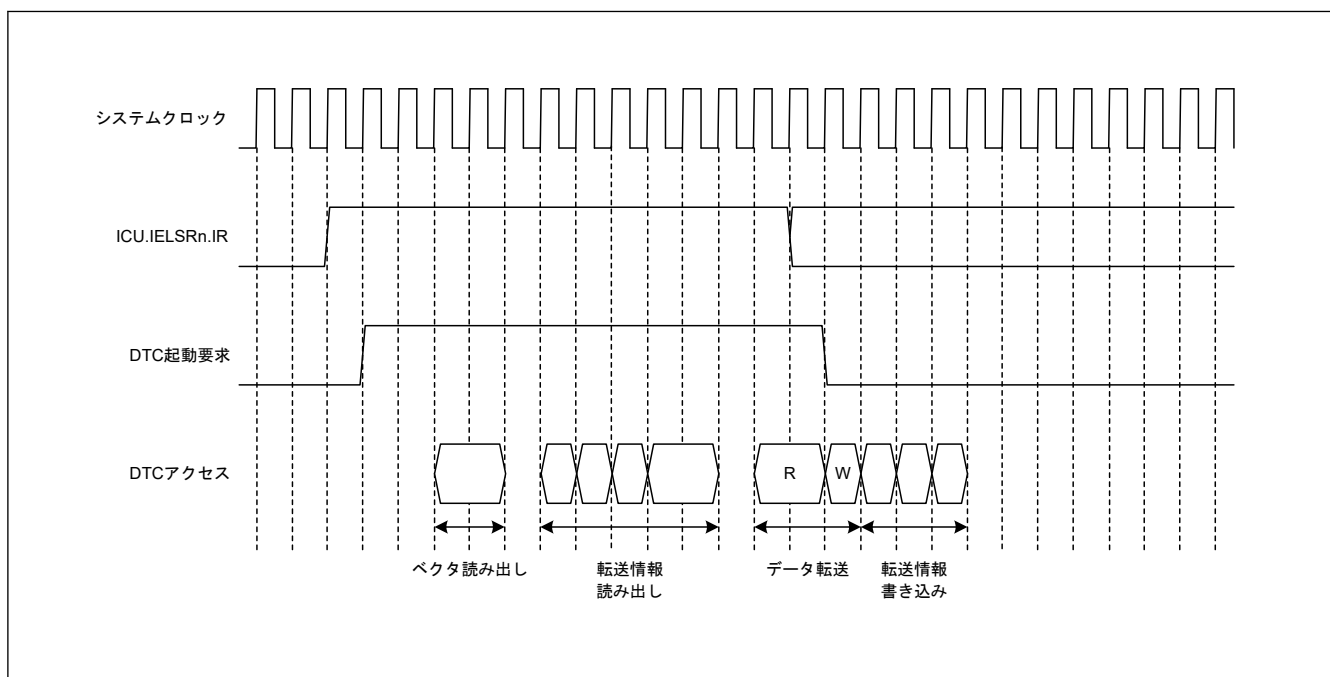


図 15.9 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)



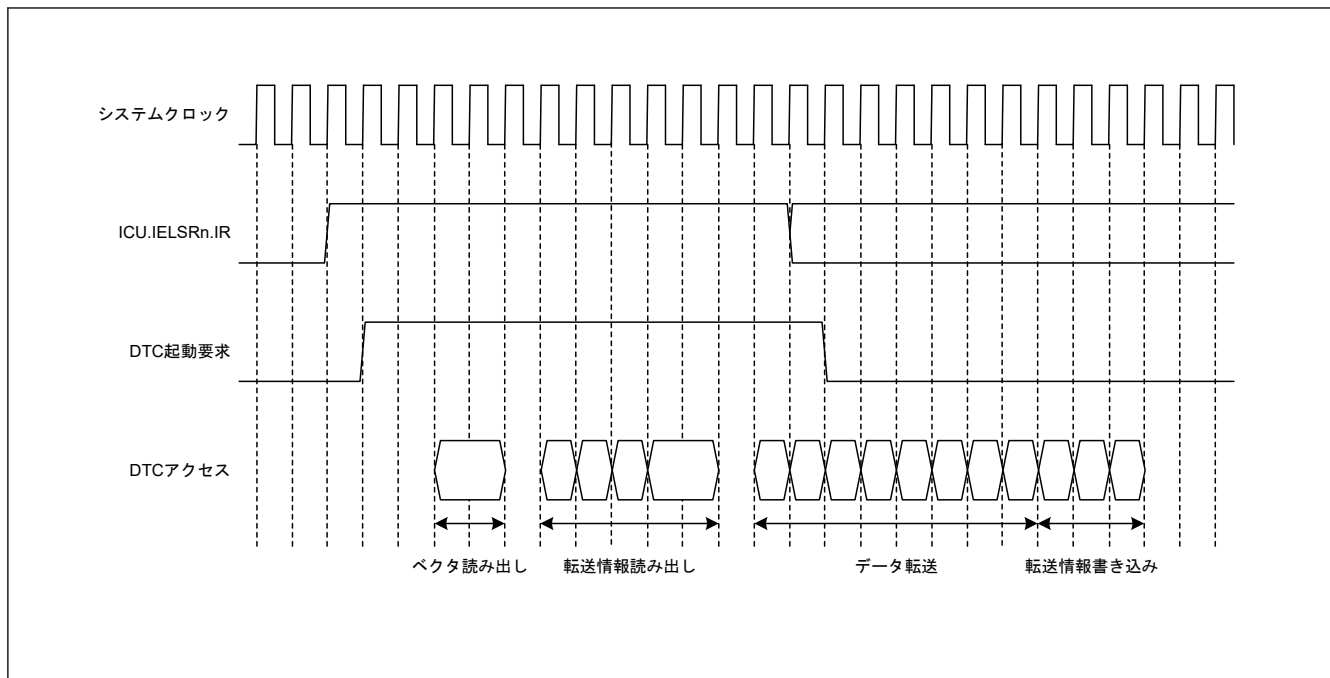


図 15.10 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ=4の場合)

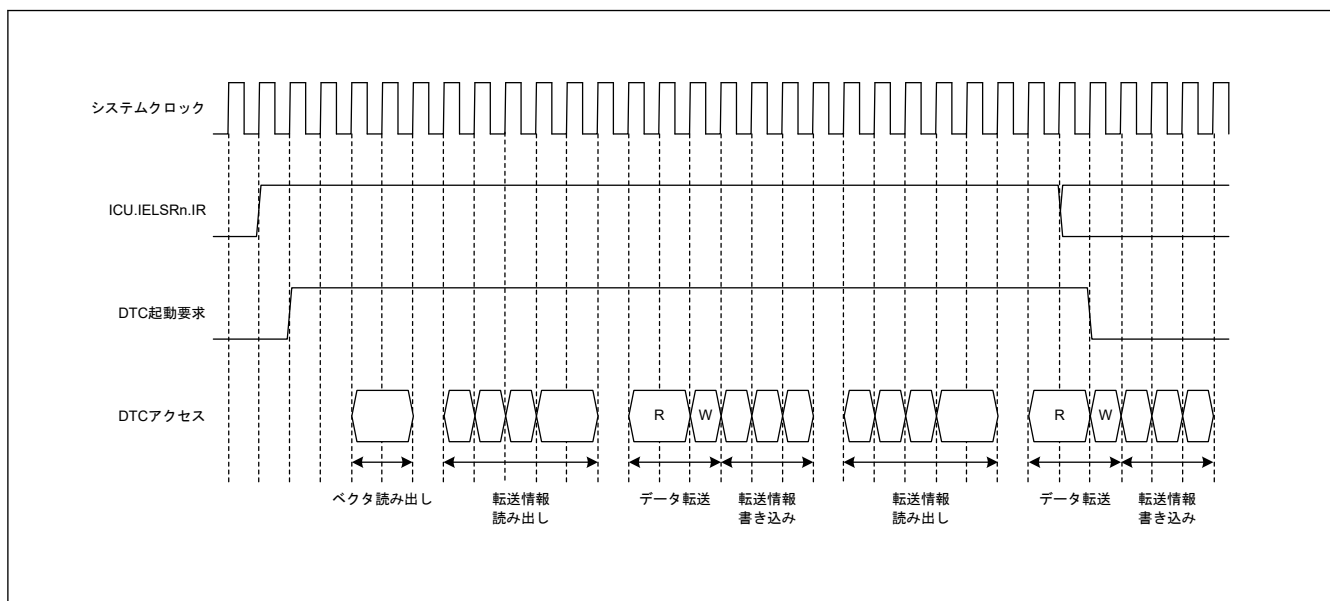


図 15.11 動作タイミング例 (3) (チェーン転送の場合)

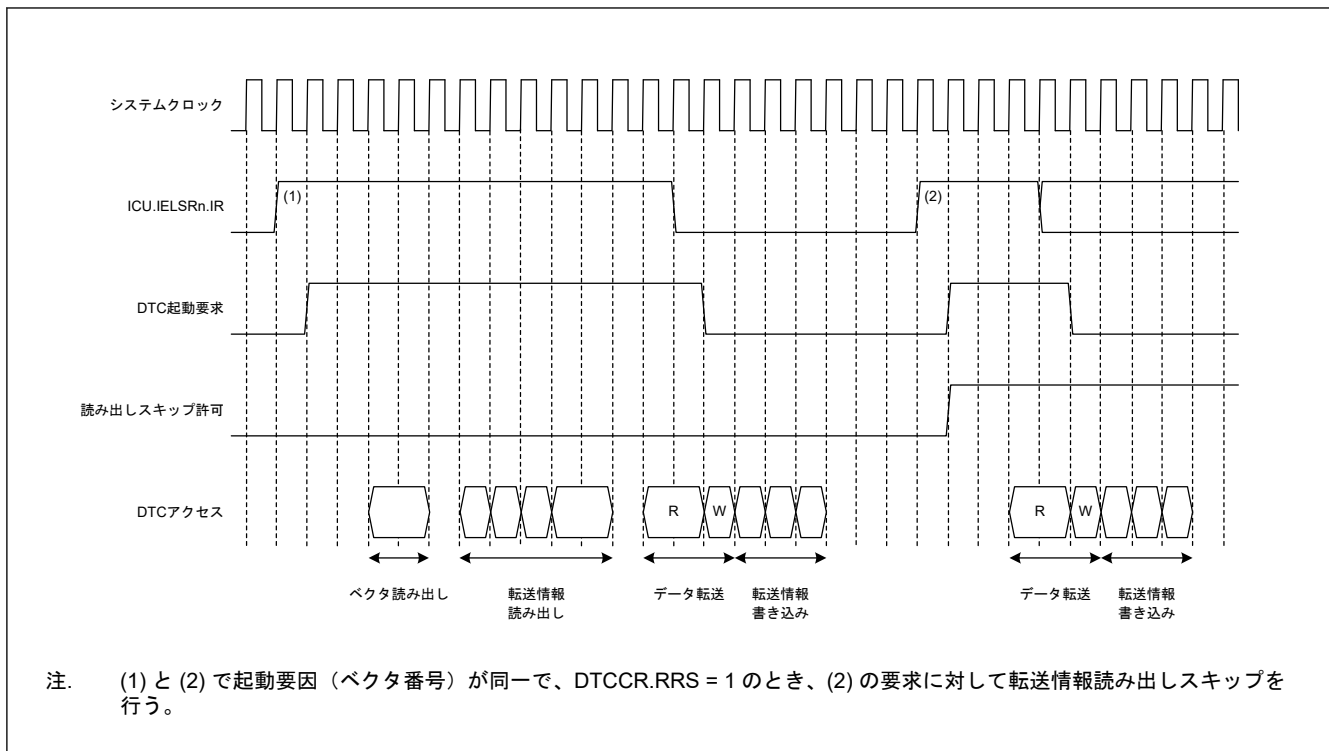


図 15.12 転送情報リードスキップ実行時の動作例(ベクタ、転送情報、転送先データがSRAMにあり、転送元データが周辺モジュールにある場合)

### 15.4.8 DTCの実行サイクル

表 15.8 に DTC の 1 回のデータ転送の実行サイクルを示します。各実行状態の順序については、「15.4.7. 動作タイミング」を参照してください。

表 15.8 DTCの実行サイクル

P: ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

Cv: ベクタ転送情報格納先へのアクセスサイクル

Ci: 転送情報格納先アドレスへのアクセスサイクル

Cr: データリード先へのアクセスサイクル

Cw: データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「31. SRAM」、「32. フラッシュメモリ」および「13. バス」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

表 15.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	読み出し	書き込み		
ノーマル	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	Cr + 1	Cw + 1	2	0(注1)
リピート	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	Cr + 1	Cw + 1		
ブロック(注5)	P × Cv	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	P × Cr	P × Cw		

注 1. 転送情報がリードスキップされる場合

注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合

注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合

注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合

注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

### 15.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バススタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「13. バス」を参照してください。

## 15.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。ICU.IELSRn.IELS[4:0]ビットを 0 にして NVIC の割り込みを禁止してから、表 15.9 の手順に従い DTC の設定を行ってください。

表 15.9 DTC の設定手順

No.	手順	内容
1	DTCCR.RRS ビットを 0 にします。	DTCCR.RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したときは、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「15.2. レジスタの説明」を参照してください。転送情報の配置方法は、「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「15.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR.RRS ビットを 1 にします。	DTCCR.RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットへの 1 の書き込みは可能ですが、DTC 転送中の設定は次回の転送から有効になります。
5	ICU.IELSRn.DTCE ビットを 1 にします。ICU.IELSRn.IELS[4:0]ビットを割り込み要因として設定します。この割り込みは NVIC で許可に設定する必要があります。	ICU.IELSRn.DTCE ビットを 1 にしてください。また、DTC をトリガする割り込み要因として ICU.IELSRn.IELS[4:0]を設定してください。この割り込みは NVIC で許可に設定する必要があります。「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 にします。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。

## 15.6 DTC の使用例

### 15.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

#### (1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0、MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

#### (2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

#### (3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS[4:0]ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

#### (4) SCI の設定

SCI の SCR.RIE ビットを 1 にして SCIn\_RXI (n=9) 割り込みを許可します。SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

#### (5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに SCIn\_RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

#### (6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する SCIn\_RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

### 15.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPTm.GTCCRC (m = 164~169) レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE (m = 164~169) レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR (m = 164~169) レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT164.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

#### (1) 第 1 転送情報の設定

GPT164.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT164.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

#### (2) 第 2 転送情報の設定

GPT164.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT164.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

### (3) 第3転送情報の設定

GPT164.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、1回の割り込みで1回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT164.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

### (4) 転送情報の配置

GPT164.GTPBR レジスタへの転送で使用する転送情報は、GPT164.GTCCRC レジスタと GPT164.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

### (5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT164.GTCCRC レジスタと GPT164.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

### (6) ICU の設定と DTC モジュールの起動

1. GPT164 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[4:0] ビットを設定して、GPT164 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

### (7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT164.GTIOR レジスタを設定します。
2. GPT164.GTCCRA レジスタと GPT164.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT164.GTCCRC レジスタと GPT164.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT164.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT164.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR ビットを 1 にして、PmnPFS.PSEL[4:0] ビットを 00011b にします。

### (8) GPT の起動

GPT164.GTSTR.CSTRT ビットを 1 にして、GPT164.GTCNT カウンタのカウント動作を開始します。

### (9) DTC 転送

GPT164.GTPR レジスタで GPT164 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT164.GTCCRC レジスタと GPT164.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT164.GTPBR レジスタへ転送されます。

### (10) 割り込み処理

指定した回数の転送終了後 (たとえば、GPT 転送用 CRA レジスタの値が 0 になると)、CPU に対して GPT164 カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

## 15.6.3 転送カウンタ = 0 のときのチェーン転送

第2転送は第1転送の転送カウンタが 0 になったときにだけ実行されます。第1転送情報は第2転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 15.13 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
  - (a) 転送元アドレス = 固定
  - (b) CRA = 0x0200 (512 回)
  - (c) MRB.CHNE = 1 (チェーン転送許可)
  - (d) MRB.CHNS = 1 (転送カウンタが 0 の場合のみチェーン転送を行う)
  - (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域 (コードフラッシュメモリなど) に用意してください。たとえば、入力バッファを 0x8000~0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
  - (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード (転送元および転送先アドレスは固定) に設定
  - (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
  - (c) MRB.CHNE = 1 (チェーン転送許可)
  - (d) MRB.CHNS = 0 (連続チェーン転送を選択)
  - (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
  - (f) CRA = 0x0101 (転送回数は 1 回)
4. 第 3 転送は以下のように設定してください。
  - (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード (転送元をリピート領域) に設定
  - (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
  - (c) MRB.CHNE = 0 (チェーン転送禁止)
  - (d) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
  - (e) 入力バッファを 0x8000~0x83FF にした場合は、転送カウンタ = 2
5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット (転送カウンタ) は 0x0200 になっています。
6. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x82 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
7. 引き続き 1 回の割り込みで、第 1 転送用に指定された 512 回だけ、第 1 転送が実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット (転送カウンタ) は 0x0200 になっています。
8. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x80 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
9. 手順 5 と 8 が無限に繰り返されます。第 2 転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

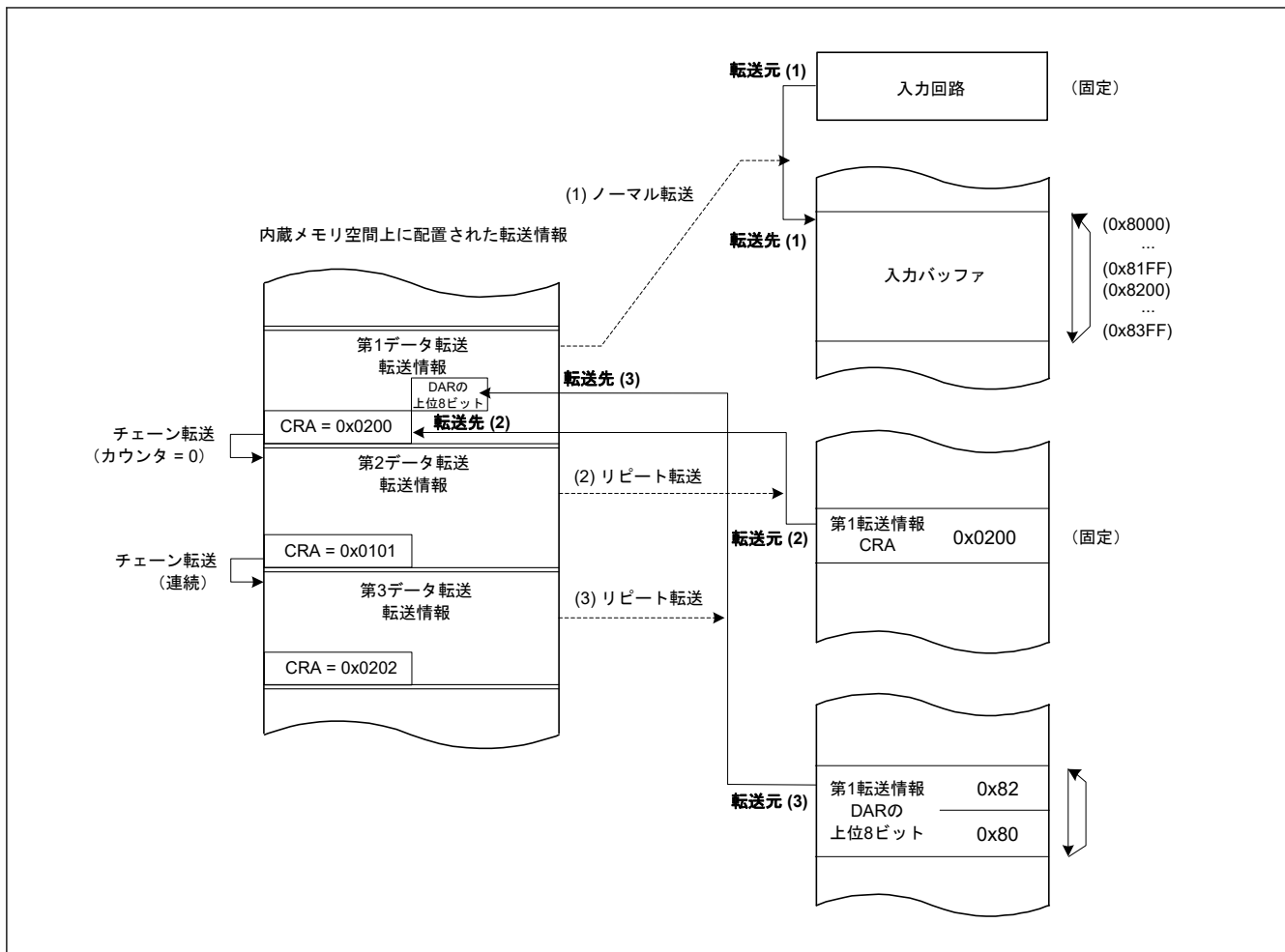


図 15.13 転送カウンタ = 0 のときのチェーン転送

## 15.7 割り込み

### 15.7.1 割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み (チャンネルごと) とイベント信号 DTC\_COMPLETE に起因する割り込み (全チャンネル共通) の 2 種類の割り込みが使用可能です。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELSRL[4:0] ビットの設定に従って制御されます。「12. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決定される起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

## 15.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

## 15.9 低消費電力機能

モジュールストップ状態、またはスヌーズモードへの遷移を伴わないソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「10. 低消費電力モード」を参照してください。

### (1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は DTC 転送終了後にモジュールストップ

ブ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

## (2) ソフトウェアスタンバイモード

「10.7.1. ソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

## (3) スヌーズモード

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。「10.8.1. スヌーズモードへの遷移」を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR0.DTCZRED ビットまたは SYSTEM.SNZEDCR0.DTCNZRED ビットを 1 にしてください。「10.8.3. スヌーズモードからソフトウェアスタンバイモードへの復帰」を参照してください。SYSTEM.SNZEDCR0.DTCZRED ビットは、最後の DTC 送信完了 (CRA レジスタと CRB レジスタが 0 であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。SYSTEM.SNZEDCR0.DTCNZRED ビットは、最後以外の DTC 送信完了 (CRA レジスタと CRB レジスタが 0 以外であることによって検出) 時に、スヌーズ終了要求を許可または禁止にします。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

## (4) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「12.4.1. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

## 15.10 使用上の注意

### 15.10.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。



## 16. イベントリンクコントローラ (ELC)

### 16.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 16.1 に ELC の仕様を、図 16.1 にブロック図を示します。

表 16.1 ELC の仕様

項目	内容
イベントリンク機能	83 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能

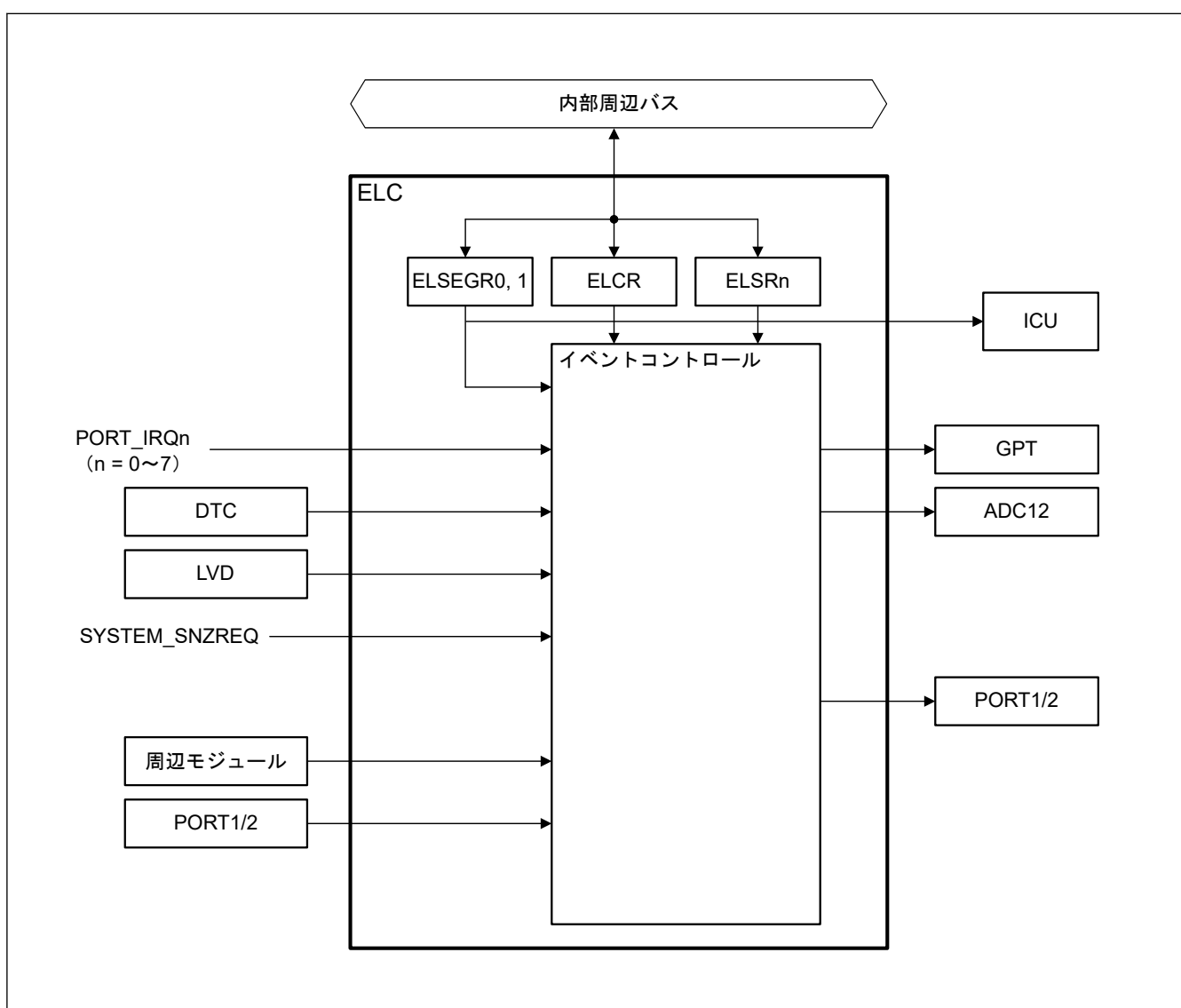


図 16.1 ELC のブロック図

## 16.2 レジスタの説明

### 16.2.1 ELCR : イベントリンクコントローラレジスタ

Base address: ELC = 0x4004\_1000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCON	—	—	—	—	—	—	—

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク有効 0: ELC 機能は無効 1: ELC 機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

### 16.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)

Base address: ELC = 0x4004\_1000

Offset address: 0x02 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG

Value after reset: 1 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

#### SEG ビット (ソフトウェアイベント発生)

WE ビットが 1 の状態で、SEG ビットに 1 を書くとソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

#### WE ビット (SEG ビット書き込み許可)

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、本ビットを書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、0 を書いたとき

### WI ビット (ELSEGR レジスタ書き込み禁止)

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE または SEG ビットを設定する必要があります。

### 16.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0~3, 8, 9, 14, 15)

Base address: ELC = 0x4004\_1000

Offset address: 0x10 + 0x04 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ELS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	ELS[7:0]	イベントリンク選択 0x00: 対応する周辺モジュールへのイベント出力は禁止 0x01: リンクするイベント信号の番号を指定 ⋮ 0xA9: リンクするイベント信号の番号を指定 その他: 設定禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応関係を表 16.2 に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を表 16.3 に示します。

表 16.2 ELSRn レジスタと周辺機能の対応

レジスタ名称	周辺機能 (モジュール)	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR8	ADC12A	ELC_AD00
ELSR9	ADC12B	ELC_AD01
ELSR14	PORT1	ELC_PORT1
ELSR15	PORT2	ELC_PORT2

表 16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1/3)

イベント番号	割り込み要求発生元	名称	内容
0x01	ポート	PORT_IRQ0 <sup>(注1)</sup>	外部端子割り込み 0
0x02		PORT_IRQ1 <sup>(注1)</sup>	外部端子割り込み 1
0x03		PORT_IRQ2 <sup>(注1)</sup>	外部端子割り込み 2
0x04		PORT_IRQ3 <sup>(注1)</sup>	外部端子割り込み 3
0x05		PORT_IRQ4 <sup>(注1)</sup>	外部端子割り込み 4
0x06		PORT_IRQ5 <sup>(注1)</sup>	外部端子割り込み 5
0x07		PORT_IRQ6 <sup>(注1)</sup>	外部端子割り込み 6
0x08		PORT_IRQ7 <sup>(注1)</sup>	外部端子割り込み 7

表 16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (2/3)

イベント番号	割り込み要求発生元	名称	内容
0x0A	DTC	DTC_DTCEND <sup>(注3)</sup>	DTC 転送終了
0x0D	LVD	LVD_LVD1	電圧監視 1 割り込み
0x0E		LVD_LVD2	電圧監視 2 割り込み
0x10	低消費電力モード	SYSTEM_SNZREQ <sup>(注2)(注3)</sup>	スヌーズエントリ
0x11	AGT0	AGT0_AGTI	AGT 割り込み
0x12		AGT0_AGTCMAI	コンペアマッチ A
0x13		AGT0_AGTCMBI	コンペアマッチ B
0x14	AGT1	AGT1_AGTI	AGT 割り込み
0x15		AGT1_AGTCMAI	コンペアマッチ A
0x16		AGT1_AGTCMBI	コンペアマッチ B
0x17	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x18	WDT	WDT_NMIUNDF	WDT アンダーフロー
0x1C	ADC12	ADC120_ADI	A/D スキャン変換終了割り込み
0x20		ADC120_WCMPPM <sup>(注3)</sup>	コンペアマッチ
0x21		ADC120_WCMPUM <sup>(注3)</sup>	コンペア不一致
0x34	DOC	DOC_DOPCI <sup>(注3)</sup>	データ演算回路割り込み
0x3D	I/O ポート	IOPORT_GROUP1	ポート 1 イベント
0x3E		IOPORT_GROUP2	ポート 2 イベント
0x3F	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x40		ELC_SWEVT1	ソフトウェアイベント 1
0x5E	GPT164	GPT4_CCMPA	コンペアマッチ A
0x5F		GPT4_CCMPB	コンペアマッチ B
0x60		GPT4_CMPC	コンペアマッチ C
0x61		GPT4_CMPD	コンペアマッチ D
0x62		GPT4_OVF	オーバーフロー
0x63		GPT4_UDF	アンダーフロー
0x64	GPT165	GPT5_CCMPA	コンペアマッチ A
0x65		GPT5_CCMPB	コンペアマッチ B
0x66		GPT5_CMPC	コンペアマッチ C
0x67		GPT5_CMPD	コンペアマッチ D
0x68		GPT5_OVF	オーバーフロー
0x69		GPT5_UDF	アンダーフロー
0x6A	GPT166	GPT6_CCMPA	コンペアマッチ A
0x6B		GPT6_CCMPB	コンペアマッチ B
0x6C		GPT6_CMPC	コンペアマッチ C
0x6D		GPT6_CMPD	コンペアマッチ D
0x6E		GPT6_OVF	オーバーフロー
0x6F		GPT6_UDF	アンダーフロー
0x70	GPT	GPT_UVWEDGE	UVW のエッジイベント

表 16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (3/3)

イベント番号	割り込み要求発生元	名称	内容
0x7C	SCI9	SCI9_RXI	受信データフル
0x7D		SCI9_TXI	送信データエンプティ
0x7E		SCI9_TEI	送信終了
0x7F		SCI9_ERI	受信エラー
0x80		SCI9_AM	アドレス一致イベント
0x81		SPI0	SPI0_SPRI
0x82	SPI0_SPTI		送信バッファエンプティ
0x83	SPI0_SPII		アイドル
0x84	SPI0_SPEI		エラー
0x85	SPI0_SPTEND		送信完了イベント
0x98	GPT167	GPT7_CCMPA	コンペアマッチ A
0x99		GPT7_CCMPB	コンペアマッチ B
0x9A		GPT7_CMPC	コンペアマッチ C
0x9B		GPT7_CMPD	コンペアマッチ D
0x9C		GPT7_OVF	オーバーフロー
0x9D		GPT7_UDF	アンダーフロー
0x9E	GPT168	GPT8_CCMPA	コンペアマッチ A
0x9F		GPT8_CCMPB	コンペアマッチ B
0xA0		GPT8_CMPC	コンペアマッチ C
0xA1		GPT8_CMPD	コンペアマッチ D
0xA2		GPT8_OVF	オーバーフロー
0xA3		GPT8_UDF	アンダーフロー
0xA4	GPT169	GPT9_CCMPA	コンペアマッチ A
0xA5		GPT9_CCMPB	コンペアマッチ B
0xA6		GPT9_CMPC	コンペアマッチ C
0xA7		GPT9_CMPD	コンペアマッチ D
0xA8		GPT9_OVF	オーバーフロー
0xA9		GPT9_UDF	アンダーフロー
0xAA	IIC/I3C	I3C_RESP	応答バッファフル
0xAB		I3C_CMD	コマンドバッファエンプティ
0xAC		I3C_IBI	IBI ステータスバッファフル
0xAD		I3C_RX	Rx データバッファフル
0xAE		I3C_TX	Tx データバッファエンプティ
0xAF		I3C_RCV	受信ステータスバッファフル
0xB4		I3C_TEND	送信終了
0xB5		I3C_COMMU	通信イベント

注 1. パルス（エッジ検出）のみがサポートされています。

注 2. ELSR8、ELSR9、ELSR14、ELSR15、および ELSR18 が、本イベントを選択できます。

注 3. このイベントはスヌーズモードでも発生可能です。

## 16.3 動作説明

### 16.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

### 16.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 16.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 16.4 イベント発生時のモジュール動作

モジュール	イベント入力時の動作
GPT	<ul style="list-style-type: none"> <li>● カウント開始</li> <li>● カウント停止</li> <li>● カウントクリア</li> <li>● アップカウント</li> <li>● ダウンカウント</li> <li>● 入力キャプチャ</li> </ul>
ADC12	A/D 変換開始
I/O ポート	<ul style="list-style-type: none"> <li>● EORR (リセット) または EOSR (セット) に基づく端子出力の変更</li> <li>● EIDR に端子状態をラッチ</li> <li>● 以下のポートを ELC に使用可能 : ポート 1 ポート 2</li> </ul>

### 16.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下の通りです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn.ELS[7:0]ビットを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[7:0]ビットを 0 にします。また、ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

LVD のイベントリンク出力機能を使用する場合は、LVD の設定を行った後、ELC を設定してください。LVD を無効にするには、対応する ELSRn レジスタを 0x00 にしてから実施してください。

## 16.4 使用上の注意事項

### 16.4.1 DTC 転送終了のイベントリンクを使用する場合

DTC 転送終了のイベントリンクを使用する場合、DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると周辺モジュールへの DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

### 16.4.2 クロックの設定

イベントリンクを使用するには、ELC と関連モジュールが動作可能な状態でなければなりません。関連モジュールがモジュールストップ状態の場合、または関連モジュールが停止するような低消費電力モード (ソフトウェアスタンバイモード) の場合、そのモジュールは動作できません。

モジュールによっては、スヌーズモードで動作できるものもあります。詳細は、表 16.3 と「10. 低消費電力モード」を参照してください。

### 16.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を許可または禁止できます。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細は、表 16.3 と「10. 低消費電力モード」を参照してください。

### 16.4.4 ELC 遅延時間

図 16.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 16.5 に ELC 遅延時間を示します。

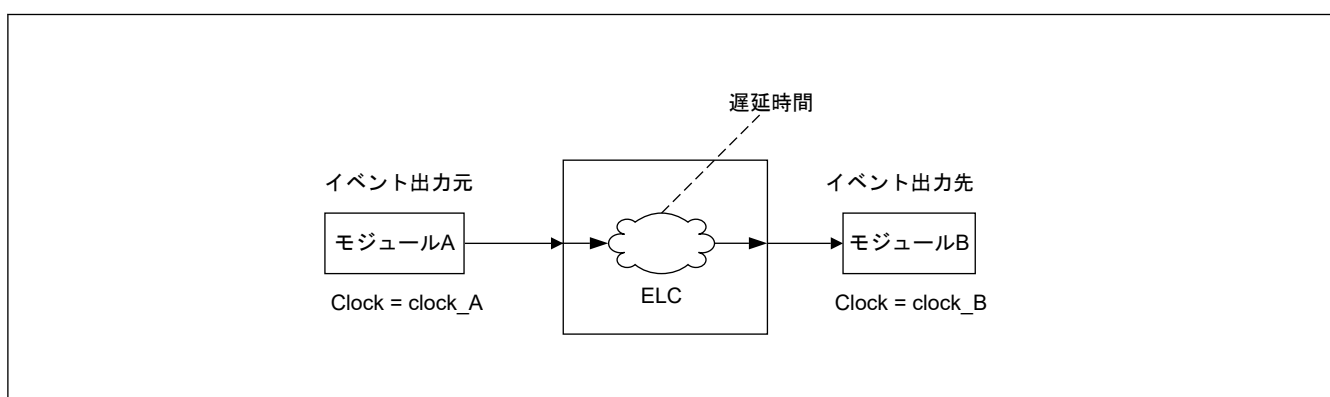


図 16.2 ELC 遅延時間

表 16.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1~2 サイクル
	clock_A > clock_B	clock_B 1~2 サイクル
	clock_A < clock_B	clock_A 1~2 サイクル

## 17. I/O ポート

### 17.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、関連するレジスタで指定されます。

図 17.1 に、I/O ポートレジスタの接続図を示します。パッケージによって I/O ポートの構成は異なります。表 17.1 にパッケージ別の I/O ポートの仕様を、表 17.2 に I/O ポートの機能を示します。

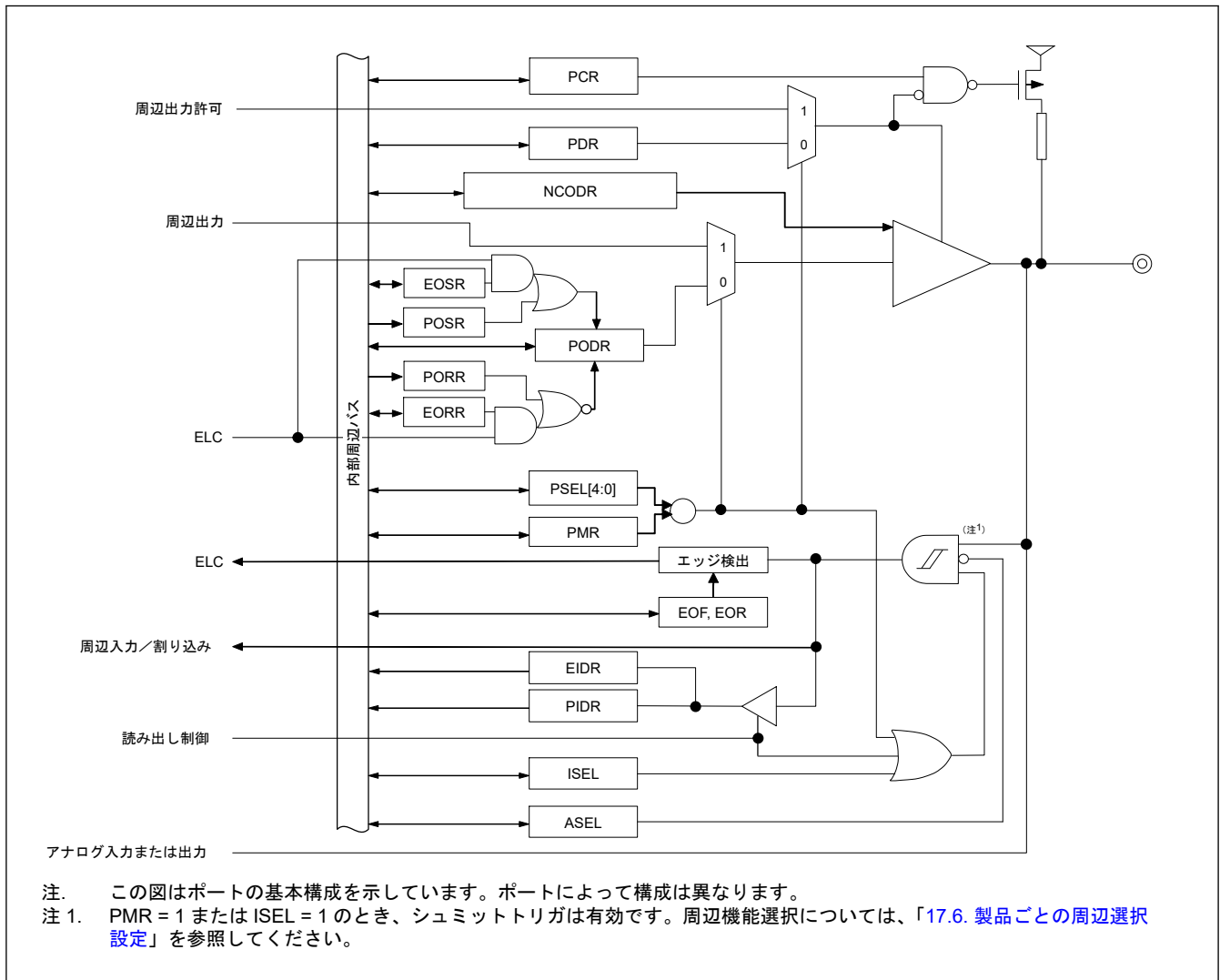


図 17.1 I/O ポートレジスタの接続図

表 17.1 に I/O ポートの仕様を、表 17.2 に I/O ポートの機能を示します。

表 17.1 I/O ポートの仕様 (1/2)

ポート	パッケージ		パッケージ		パッケージ	
	24 ピン	本数	20 ピン	本数	16 ピン	本数
ポート 0	P010, P011, P014, P015	4	P010, P011, P014	3	—	—
ポート 1	P100~P103, P108~P112	9	P100~P103, P108~P111	8	P100~P103, P108~P110	7



表 17.1 I/O ポートの仕様 (2/2)

ポート	パッケージ		パッケージ		パッケージ	
	24 ピン	本数	20 ピン	本数	16 ピン	本数
ポート 2	P200, P201, P205	3	P200, P201	2	P200, P201	2
ポート 3	P300	1	P300	1	P300	1
ポート 4	P400, P401	2	P400, P401	2	P400, P401	2
ポート 9	P914	1	—	—	—	—

表 17.2 I/O ポートの機能

ポート	ポート名	入力プルアップ	入力モード切り替え					オープンドレイン出力	5V トレラント	入出力
			GPIO	ペリフェラル						
				ANALOG	IRQ	IIC	その他			
ポート 0	P010, P011	✓	CMOS	無効	—	—	—	—	—	入出力
	P014	✓	CMOS	無効	—	—	—	—	—	入出力
	P015	✓	CMOS	無効	シュミット	—	—	—	—	入出力
ポート 1	P100~P103	✓	CMOS	無効	シュミット	—	シュミット	✓	—	入出力
	P108~P112	✓	CMOS	—	シュミット	—	シュミット	✓	—	入出力
ポート 2	P200	—	CMOS	—	—	—	—	—	—	入力
	P201	✓	CMOS	—	—	—	—	✓	—	入出力
	P205	✓	CMOS	—	シュミット	—	シュミット	✓	—	入出力
ポート 3	P300	✓	CMOS	—	シュミット	—	シュミット	✓	—	入出力
ポート 4	P400, P401	✓	CMOS	—	シュミット	シュミット/TTL	シュミット	✓	✓	入出力
ポート 9	P914	✓	CMOS	—	—	—	シュミット	✓	—	入出力

注: ✓ : 利用可能  
 — : 設定禁止  
 CMOS : シュミットトリガなし  
 シュミット : シュミットトリガあり  
 無効 : 入力バッファは無効  
 注 1. 「17.6. 製品ごとの周辺選択設定」を参照してください。

## 17.2 レジスタの説明

### 17.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1

Base address:  $PORTm = 0x4004\_0000 + 0x0020 \times m$  ( $m = 0 \sim 9$ )

Offset address: 0x000 (PCNTR1/PODR)  
0x002 (PDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR1 5	PDR1 4	PDR1 3	PDR1 2	PDR11	PDR1 0	PDR0 9	PDR0 8	PDR0 7	PDR0 6	PDR0 5	PDR0 4	PDR0 3	PDR0 2	PDR0 1	PDR0 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15~PDR00	Pmn 方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
31:16	PODR15~PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W

注.  $m = 0 \sim 9$ ,  $n = 00 \sim 15$

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットまたは 16 ビットの読み出し/書き込みレジスタで、ポート方向およびポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn (PCNTR1 のビット[15:0]) および PODRn (PCNTR1 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

#### PDRn ビット (Pmn 方向)

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力/出力方向を選択します。ポート m の各端子はそれぞれ  $PORTm.PCNTR1.PDRn$  ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200 は入力専用なので、 $PORT2.PCNTR1.PDR00$  は予約ビットです。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能です。

#### PODRn ビット (Pmn 出力データ)

PODRn ビットは、汎用入出力端子から出力されるデータを保持します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200 は入力専用なので、 $PORT2.PCNTR1.PODR00$  は予約ビットです。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能です。

## 17.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2

Base address:  $PORTm = 0x4004\_0000 + 0x0020 \times m$  ( $m = 0 \sim 9$ )Offset address: 0x004 (PCNTR2/EIDR)  
0x006 (PIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR1 5	EIDR1 4	EIDR1 3	EIDR1 2	EIDR1 1	EIDR1 0	EIDR0 9	EIDR0 8	EIDR0 7	EIDR0 6	EIDR0 5	EIDR0 4	EIDR0 3	EIDR0 2	EIDR0 1	EIDR0 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR1 5	PIDR1 4	PIDR1 3	PIDR1 2	PIDR1 1	PIDR1 0	PIDR0 9	PIDR0 8	PIDR0 7	PIDR0 6	PIDR0 5	PIDR0 4	PIDR0 3	PIDR0 2	PIDR0 1	PIDR0 0
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15~PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R
31:16	EIDR15~ EIDR00(注2)	ポートイベント入力データ(注1) ELC_PORTx 信号の発生時 0: Low 入力 1: High 入力	R

注.  $m = 0 \sim 9$ ,  $n = 00 \sim 15$ 注 1.  $x = 1, 2$  (EIDR のみ)

注 2. ポート 1, 2 に対応しています。

ポートコントロールレジスタ 2 (PCNTR2//EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを示し、32 ビット単位でアクセスされます。

PIDRn (PCNTR2 のビット[15:0]) および EIDRn (PCNTR2 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

**PIDRn ビット (Pmn 状態)**

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- アナログ機能 (ASEL = 1)

**EIDRn ビット (ポートイベント入力データ)**

EIDRn ビットは、ELC\_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

## 17.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3

Base address: PORTm = 0x4004\_0000 + 0x0020 × m (m = 0~9)

Offset address: 0x008 (PCNTR3/PORR)  
0x00A (POSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15~POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15~PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

注. m = 0~9, n = 00~15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットまたは 16 ビットの書き込みレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

POSRn (PCNTR3 のビット[15:0]) および PORRn (PCNTR3 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

**POSRn ビット (Pmn 出力設定)**

POSR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR3.POSR00 は予約ビットです。

**PORRn ビット (Pmn 出力リセット)**

PORR ビットがソフトウェア書き込みによってリセットされると、PODR ビットが変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.PORR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR3.PORR00 は予約ビットです。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

## 17.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4

Base address: PORTm = 0x4004\_0000 + 0x0020 × m (m = 1, 2)

Offset address: 0x00C (PCNTR4/EORR)  
0x00E (EOSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15~EOSR00	Pmn イベント出力設定 ELC_PORTx 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15~EORR0	Pmn イベント出力リセット ELC_PORTx 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. m = 1, 2, n = 00~15, x = 1, 2

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットまたは 16 ビットの読み出し／書き込み可能なレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn (PCNTR4 のビット[15:0]) および EORRn (PCNTR4 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

**EOSRn ビット (Pmn イベント出力設定)**

EOSR ビットが ELC\_PORTx 信号の発生によって設定されると、PODR ビットが変更されます。たとえば P100 端子の場合、ELC\_PORTx の発生時に PORT1.PCNTR4.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR4.EOSR00 は予約ビットです。

**EORRn ビット (Pmn イベント出力リセット)**

EORR ビットが ELC\_PORTx 信号の発生によってリセットされると、PODR ビットが変更されます。たとえば P100 端子の場合、ELC\_PORTx の発生時に PORT1.PCNTR4.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR4.EORR00 は予約ビットです。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

### 17.2.5 PmnPFS/PmnPFS\_HA/PmnPFS\_BY : ポート mn 端子機能選択レジスタ (m = 0~9, n = 00~15)

Base address: PFS = 0x4004\_0800

Offset address: 0x000 + 0x040 × m + 0x004 × n (PmnPFS)  
 0x002 + 0x040 × m + 0x004 × n (PmnPFS\_HA)  
 0x003 + 0x040 × m + 0x004 × n (PmnPFS\_BY)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Bit field:	—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0(注1)
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Bit field:	ASEL	ISEL	EOFR[1:0]	—	—	—	—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0(注1)	0	0	x	0	

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R
2	PDR	ポート方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W
11:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	EOFR[1:0]	立ち下がり時イベント/立ち上がり時イベント(注2) 00: Don't care 01: 立ち上がりエッジを検出 10: 立ち下がりエッジを検出 11: 両エッジを検出	R/W
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. P108、P201、P300 の初期値は 0x00000000 ではありません。P108 の初期値は 0x00010010、P201 は 0x00000010、P300 は 0x00010010 です。

注 2. ポート 1、2 に対応しています。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS\_HA/PmnPFS\_BY) は、32 ビット、16 ビット、および 8 ビットの読み出し/書き込みコントロールレジスタで、ポート mn 端子機能を選択し、32 ビット単位でアクセスされます。PmnPFS\_HA (PmnPFS のビット[15:0]) は 16 ビット単位でアクセスされます。PmnPFS\_BY (PmnPFS のビット[7:0]) は 8 ビット単位でアクセスされます。

### PODR ビット (ポート出力データ)、PIDR ビット (ポート状態)、PDR ビット (ポート方向)

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

### PCR ビット (プルアップ制御)

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR に関連するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

### NCODR ビット (N チャネルオープンドレイン制御)

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

### EOFR[1:0]ビット (立ち下がり時イベント/立ち上がり時イベント)

EOFR[1:0]ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0]ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

### ISEL ビット (IRQ 入力許可)

ISEL ビットは、IRQ 入力端子を設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

### ASEL ビット (アナログ入力許可)

ASEL ビットは、アナログ端子を設定します。本ビットでアナログ端子に設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。(注1)
2. プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力に設定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

注 1. D/A コンバータ出力レベルがポートに出力される場合、ポートモード制御ビットを使い周辺機能用の入出力ポートを選択して、PmnPFS.PSEL ビットで D/A 出力を設定します。

未指定の IRQn に対する ISEL ビットは予約ビットです。未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

### PMR ビット (ポートモード制御)

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

### PSEL[4:0]ビット (周辺機能選択)

PSEL[4:0]ビットは、周辺機能を割り当てます。製品ごとの周辺選択設定に関する詳細は「[17.6. 製品ごとの周辺選択設定](#)」を参照してください。

## 17.2.6 PWPR : 書き込みプロテクトレジスタ

Base address: PFS = 0x4004\_0800

Offset address: 0x503

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BOWI	PFSW E	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと0が読めます。書く場合、0としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	BOWI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

### PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを1にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に BOWI ビットに0を書きしてから、PFSWE ビットを1にする必要があります。

### BOWI ビット (PFSWE ビット書き込み禁止)

BOWI ビットを0にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

## 17.2.7 PRWCNTR : ポート読み出しウェイトコントロールレジスタ

Base address: PFS = 0x4004\_0800

Offset address: 0x50F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	WAIT[1:0]	—
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	WAIT[1:0]	ウェイトサイクルコントロール 00: 設定禁止 01: 1サイクルウェイトを挿入 10: 2サイクルウェイトを挿入 11: 3サイクルウェイトを挿入	R/W
7:2	—	読むと0が読めます。書く場合、0としてください。	R/W

### WAIT[1:0]ビット (ウェイトサイクルコントロール)

WAIT[1:0]ビットは、PCNTR2 レジスタおよび PFS レジスタにアクセスするとき、ELC イベントによってポートの端子状態を読み出すときのウェイトサイクルの数を指定します。

## 17.3 動作説明

### 17.3.1 汎用入出力ポート

P108、P300 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn; n = 1~4) によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「[17.2. レジスタの説明](#)」を参照してください。



各ポートのビットを以下に示します。

- ポート方向ビット (PDRn) : 入力／出力の方向を選択する
- ポート出力データビット (PODRn) : 出力用データを格納する
- ポート入力データビット (PIDRn) : 端子状態を示す
- イベント入力データビット (EIDRn) : ELC\_PORT1, 2 信号発生時の端子状態を示す
- ポート出力設定ビット (POSRn) : ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn) : ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn) : ELC\_PORT1, 2 信号発生時の出力値を示す
- イベント出力リセットビット (EORRn) : ELC\_PORT1, 2 信号発生時の出力値を示す

### 17.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- 入出力設定 : CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート : ポート方向、出力データ設定、および読み出し入力データ
- 代替機能 : 端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に関連付けられます。このレジスタには対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタには以下のビットがあります。

- PCR : 入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR : 各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- EOFR[1:0] : ポートグループから入力されるイベントのエッジを選択
- ISEL : IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL : アナログ端子を設定するためのアナログ入力許可ビット
- PMR : 各ポートの端子機能を設定するためのポートモードビット
- PSEL[4:0] : 対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は、「[17.2.5. PmnPFS/PmnPFS\\_HA/PmnPFS\\_BY : ポート mn 端子機能選択レジスタ \(m = 0~9, n = 00~15\)](#)」を参照してください。

### 17.3.3 ELC のポートグループ機能

本 MCU では、ポート 1、2 が ELC ポートグループ機能に割り当てられています。

#### 17.3.3.1 ELC から ELC\_PORT1 または 2 が入力された場合の動作

ELC から ELC\_PORT1 または 2 信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

##### (1) EIDR への入力

GPI 機能 (PmnPFS レジスタで PDR = 0 および PMR = 0) では、ELC から ELC\_PORT1 または 2 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み出されます。[図 17.2](#) を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。

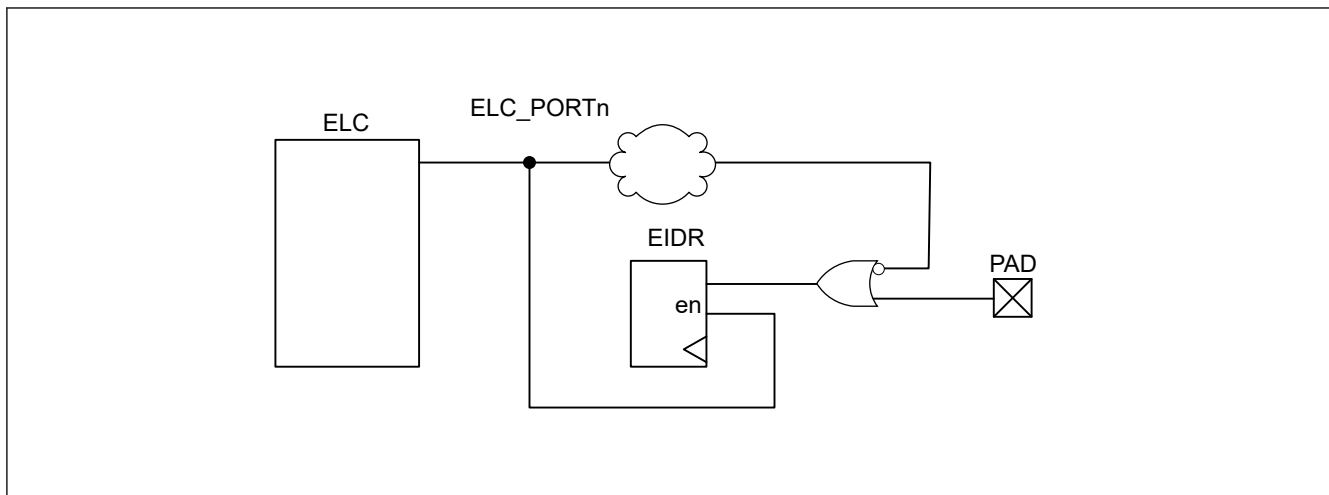


図 17.2 イベントポート入力データ

## (2) EOSR および EORR による PODR からの出力

ELC\_PORT1 または 2 信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC\_PORT1 または 2 信号発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC\_PORT1 または 2 信号発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。

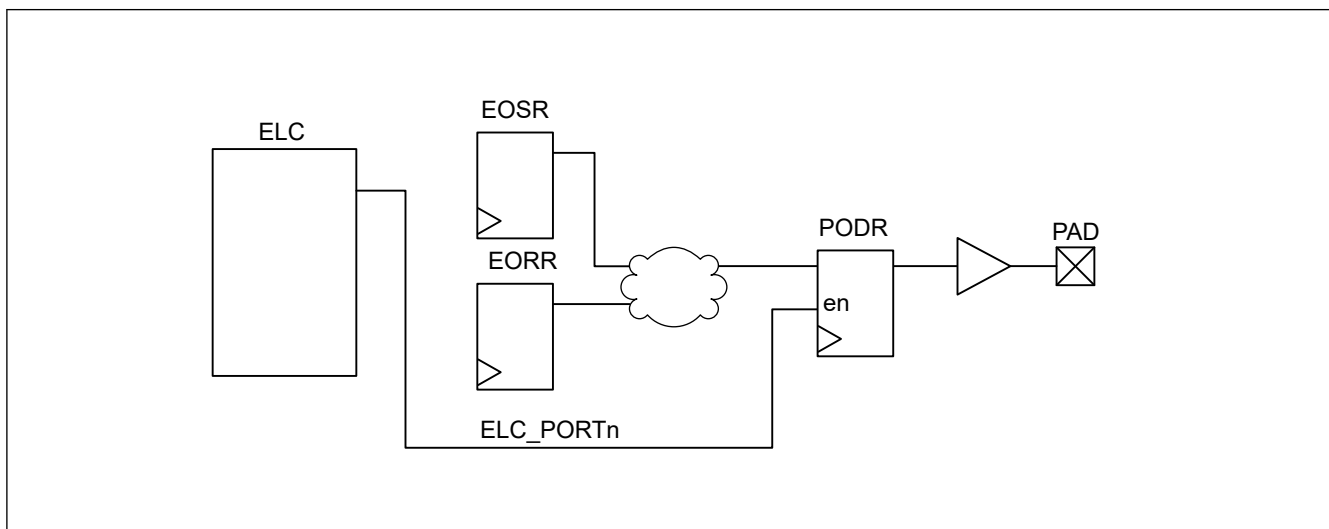


図 17.3 イベントポート出力データ

### 17.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを入力するには、PmnPFS レジスタの EOFR[1:0] ビットを設定します。詳細は、「[17.2.5. PmnPFS/PmnPFS\\_HA/PmnPFS\\_BY: ポート mn 端子機能選択レジスタ \(m = 0~9, n = 00~15\)](#)」を参照してください。EOFR[1:0] ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P103 および P108 から P112 へデータが入力されると、これら 9 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 の動作もポート 1 と同様です。[図 17.4](#) を参照してください。

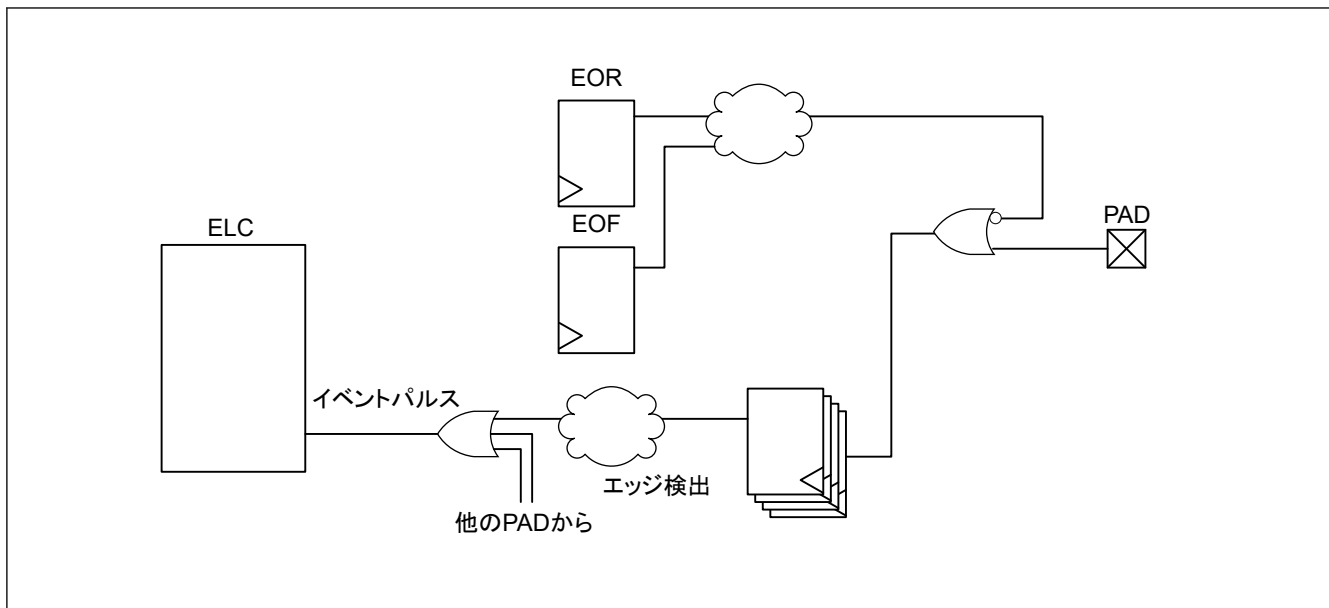


図 17.4 イベントパルスの発生

### 17.3.4 ポート読み出し時のウェイト機能

ポート入力データを読み出し時のウェイトサイクル数は、PRWCNTR.WAIT[1:0]ビットで以下のように設定できます。

- PCNTR2 レジスタまたは PFS レジスタを読み出すことで、ポート入力データ (PIDR) を読み出します。
- ELC\_PORT1 または 2 信号の発生時に、ポート端子状態をイベント入力データレジスタ (EIDR) にラッチします。

アクセスサイクル数は、PRWCNTR.WAIT[1:0]の値に 1 を足した値です。たとえば、PRWCNTR.WAIT[1:0]が 2'b10 のとき、ウェイトサイクルは 2 サイクル、アクセスサイクルは 3 クロックサイクルになります。

表 17.3 に電圧、周波数、ウェイトサイクルの関係を示します。

表 17.3 電圧、周波数、ウェイトサイクルの関係

VCC	アクセスサイクル(注1)	ウェイトサイクル(注2)
2.7 V 超	2~4	1~3
2.4~2.7 V	3~4	2~3
1.8~2.4 V	4	3
1.6~1.8 V	2~4	1~3

注 1. バスレイテンシは含まれません。

注 2. ポート読み出しウェイトコントロールレジスタ (PRWCNTR) に設定されるウェイトサイクル

## 17.4 未使用端子の処理

表 17.4 に、未使用端子の処理方法を示します。

表 17.4 未使用端子の処理 (1/2)

端子名	未使用時の処理
P201/MD	モード端子として使用
RES	抵抗を介して VCC に接続 (プルアップ)
P200/NMI	抵抗を介して VCC に接続 (プルアップ)
P1x~P4x, P9x	<ul style="list-style-type: none"> <li>● 入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン) (注1)(注2)</li> <li>● 出力 (PCNTR1.PDRn = 1) に設定した場合、端子を解放(注1)</li> </ul>

表 17.4 未使用端子の処理 (2/2)

端子名	未使用時の処理
P010、P011、P014、P015	入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン) (注1)
VREFH0	VCC に接続
VREFL0	VSS に接続

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。

注 2. P108、P201、および P300 は初期値 (PmnPFS.PCR = 1) から入力プルアップが有効です。

## 17.5 使用上の注意事項

### 17.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.BOWI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

### 17.5.2 ポートグループ入力の使用手順

ポートグループ入力 (ポート 1、2) を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[7:0] ビットをすべて 0 にして、意図しないパルスを無視します。詳細は、「[16. イベントリンクコントロール \(ELC\)](#)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0] ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間 (たとえば 100 ns) 待ちます。意図しないパルスが無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[7:0] ビットを設定して、イベント信号を許可します。

### 17.5.3 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC\_PORT1、2 信号の発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力する。
2. ELC\_PORT1、2 信号の発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力する。
3. PCNTR3.PORR が 1 になると、0 を出力する。
4. PCNTR3.POSR が 1 になると、1 を出力する。
5. PCNTR1.PODRn が設定されると、0 または 1 を出力する。
6. PmnPFS.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1. と 3. が同時に発生した場合、優先順位の高い 1. が実行されます。

### 17.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

### 17.6 製品ごとの周辺選択設定

本項では、PmnPFS レジスタでの端子機能選択設定について説明します。いくつかの端子名には、接尾語として A、B、C、D、E、または F が付加されています。これらの接尾語は、機能の割り当て時には無視できます。ただし、同じ機能を2つ以上の端子に同時に割り当てることは禁止されます。PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。

表 17.5 入出力端子機能のレジスタ設定 (PORT0)

PSEL[4:0]設定値	機能	端子			
		P010	P011	P014	P015
00000b	(初期値)	Hi-Z			
ASEL ビット		AN005/VREFH0	AN006/VREFL0	AN009	AN010
ISEL ビット		—	—	—	IRQ7_A
NCODR ビット		—	—	—	—
PCR ビット		✓	✓	✓	✓
24 ピン製品		✓	✓	✓	✓
20 ピン製品		✓	✓	✓	—
16 ピン製品		—	—	—	—

✓：利用可能  
—：設定禁止

表 17.6 入出力端子機能のレジスタ設定 (PORT1)

PSEL[4:0]設定値	機能	端子										
		P100	P101	P102	P103	P108	P109	P110	P111	P112		
00000b	(初期値)	Hi-Z					SWDIO	Hi-Z				
00001b	AGT	AGTIO0_A	AGTEE0	AGTO0	AGTOB0_B	AGTOA1_B	AGTO1_A	AGTOA0_A	AGTOA0	AGTOB0		
00010b	GPT	GTETRGA_A	GTETRGB_A	GTOWLO_A	GTOWUP_A	GTOULO_C	GTOVUP_A	GTOVLO_A	—	—		
00011b	GPT	GTIOC8B_A	GTIOC8A_A	GTIOC5B_A	GTIOC5A_A	GTIOC7B_C	GTIOC4A_A	GTIOC4B_A	GTIOC6A_A	GTIOC6B_A		
00100b	SCI	RXD9_E/ MISO9_E/ SCL9_A	TXD9_E/ MOSI9_E/ SDA9_E	SCK9_C	CTS9_RTS9_E/ /SS9_E	TXD9_H/ MOSI9_H/ SDA9_H	SCK9_F	CTS9_RTS9_H/ /SS9_H	RXD9_G/ MISO9_G/ SCL9_G	TXD9_J/ MOSI9_J/ SDA9_J		
00101b	SCI	SCK9_E	CTS9_RTS9_G/ /SS9_G	TXD9_G/ MOSI9_G/ SDA9_G	RXD9_I/ MISO9_I/ SCL9_I	CTS9_RTS9_B/ /SS9_B	TXD9_B/ MOSI9_B/ SDA9_B	RXD9_B/ MISO9_B/ SCL9_B	SCK9_B	CTS9_RTS9_I/ /SS9_I		
00110b	SPI	MISOA_A	MOSIA_A	RSPCKA_A	SSLA0_A	MOSIA_C	MISOA_C	SSLA0_C	—	—		
00111b	IIC/I3C	—	—	—	—	—	—	—	—	—		
01000b	KINT	KR00	KR01	KR02	KR03	—	KR01_B	KR00_B	KR03_B	KR02_B		
01001b	CLKOUT	—	—	—	—	—	CLKOUT_B	—	—	—		
01010b	CAC/ADC12	—	—	ADTRG0_A	—	—	—	—	—	—		
ASEL ビット		—	—	—	—	—	—	—	—	—		
		AN022	AN021	AN020	AN019	—	—	—	—	—		
ISEL ビット		IRQ2_A	IRQ1_A	IRQ4_C	IRQ6_C	IRQ5_C	IRQ7_C	IRQ3_A	IRQ4_A	IRQ1_C		
NCODR ビット		✓	✓	✓	✓	✓	✓	✓	✓	✓		
PCR ビット		✓	✓	✓	✓	✓	✓	✓	✓	✓		
24 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓		
20 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	—		
16 ピン製品		✓	✓	✓	✓	✓	✓	✓	—	—		

✓：利用可能  
—：設定禁止

表 17.7 入出力端子機能のレジスタ設定 (PORT2) (1/2)

PSEL[4:0]設定値	機能	端子		
		P200	P201	P205
00000b	(初期値)	Hi-Z		
00001b	AGT	—	—	AGTO1
00010b	GPT	—	—	—
00011b	GPT	—	—	—

表 17.7 入出力端子機能のレジスタ設定 (PORT2) (2/2)

PSEL[4:0]設定値	機能	端子		
		P200	P201	P205
00100b	SCI	—	—	TXD9_I/MOSI9_I/SDA9_I
00101b	SCI	—	—	CTS9_RTS9_A/SS9_A
00110b	SPI	—	—	—
00111b	IIC/I3C	—	—	—
01000b	KINT	—	—	KR01_A
01001b	CLKOUT	—	—	CLKOUT_A
01010b	CAC/ADC12	—	—	—
ASEL ビット		—	—	—
ISEL ビット		—	—	IRQ1
NCODR ビット		—	✓	✓
PCR ビット		—	✓	✓
24 ピン製品		✓	✓	✓
20 ピン製品		✓	✓	—
16 ピン製品		✓	✓	—

✓：利用可能  
—：設定禁止

表 17.8 入出力端子機能のレジスタ設定 (PORT3)

PSEL[4:0]設定値	機能	端子
		P300
00000b	(初期値)	SWCLK
00001b	AGT	AGTOB1_A
00010b	GPT	GTOUUP_C
00011b	GPT	GTIOC7A_C
00100b	SCI	RXD9_H/MISO9_H/SCL9_H
00101b	SCI	SCK9_G
00110b	SPI	RSPCKA_C
ASEL ビット		—
ISEL ビット		IRQ0_C
NCODR ビット		✓
PCR ビット		✓
24 ピン製品		✓
20 ピン製品		✓
16 ピン製品		✓

✓：利用可能  
—：設定禁止

表 17.9 入出力端子機能のレジスタ設定 (PORT4) (1/2)

PSEL[4:0]設定値	機能	端子	
		P400	P401
00000b	(初期値)	Hi-Z	
00001b	AGT	AGTIO1_C	AGTEE1_A
00010b	GPT	—	GTETRG_A_B
00011b	GPT	GTIOC9A_A	GTIOC9B_A
00100b	SCI	SCK9_D	CTS9_RTS9_F/SS9_F
00101b	SCI	TXD9_F/MOSI9_F/SDA9_F	RXD9_F/MISO9_F/SCL9_F
00110b	SPI	—	—
00111b	IIC/I3C	SCL0_A	SDA0_A
01001b	CLKOUT	—	—
01010b	CAC/ADC12	CACREF_C	—
ASEL ビット		—	—

表 17.9 入出力端子機能のレジスタ設定 (PORT4) (2/2)

PSEL[4:0]設定値	機能	端子	
		P400	P401
ISEL ビット		IRQ0_A	IRQ5
NCODR ビット		✓	✓
PCR ビット		✓	✓
24 ピン製品		—	—
20 ピン製品		—	—
16 ピン製品		✓	✓

✓：利用可能  
—：設定禁止

表 17.10 入出力端子機能のレジスタ設定 (PORT9)

PSEL[4:0]設定値	機能	端子
		P914
00000b	(初期値)	Hi-Z
00001b	AGT	AGTOA1_A
00010b	GPT	GTETRGB_F
00100b	SCI	RXD9_J/MISO9_J/SCL9_J
00101b	SCI	SCK9_H
01000b	KINT	KR00_A
NCODR ビット		✓
PCR ビット		✓
24 ピン製品		✓
20 ピン製品		—
16 ピン製品		—

✓：利用可能  
—：設定禁止

## 18. キー割り込み機能 (KINT)

### 18.1 概要

キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。図 18.1 にブロック図を、表 18.1 に入出力端子を示します。

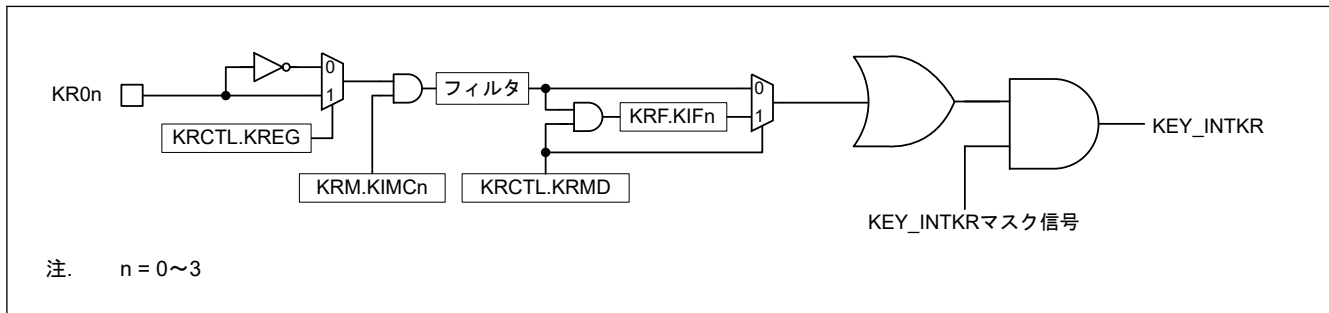


図 18.1 KINT のブロック図

すべてのキー割り込み信号は 1 つの OR ゲートに入力され、その OR ゲートの出力が KEY\_INTKR マスク信号によってマスクされた信号がキー割り込み信号 (KEY\_INTKR 信号) になります。キー割り込みフラグ n (KRF.KIFn) を使用する (KRCTL.KRMD = 1) 場合、KEY\_INTKR マスク信号は、KRF.KIFn フラグをクリアすることでアサートされる出力マスクとして使用されます。

表 18.1 KINT の入出力端子

端子名	入出力	機能
KR00~KR03	入力	キー割り込み入力端子

### 18.2 レジスタの説明

#### 18.2.1 KRCTL : キーリターン制御レジスタ

Base address: KINT = 0x4008\_0000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KRMD	—	—	—	—	—	—	KREG

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	KREG	検出エッジ選択 (KR00~KR03 端子) 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	KRMD	キー割り込みフラグ使用状態 (KRF.KIF0~KRF.KIF3) 0: キー割り込みフラグを使用しない 1: キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ KRF.KIFn (n = 0~3) の状態を制御し、検出エッジを設定するためのレジスタです。



## 18.2.2 KRF : キーリターンフラグレジスタ

Base address: KINT = 0x4008\_0000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	KIF3	KIF2	KIF1	KIF0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	KIF3~KIF0	キー割り込みフラグ n 0: 割り込みの検出なし 1: 割り込みの検出あり	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

KRF レジスタは、キー割り込みフラグ (KIFn) を制御するレジスタです。

KRCTL.KRMD = 0 の場合、KIFn フラグを 1 にすることは禁止です。KIFn フラグを 1 に設定しても、KIFn フラグの値は変化しません。

KIFn フラグをクリアする場合には、クリアするフラグが 1 であることを確認した後、クリアするフラグに 0、その他のフラグに 1 を同時に書いてください。

## 18.2.3 KRM : キーリターンモードレジスタ

Base address: KINT = 0x4008\_0000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	KIMC3	KIMC2	KIMC1	KIMC0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	KIMC3~KIMC0	キー割り込みモード制御 n 0: キー割り込み信号を検出しない 1: キー割り込み信号を検出する	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

KRM レジスタは、キー割り込みモードを設定するレジスタです。

KR0n 端子へ入力中の信号が Low レベル (KRCTL.KREG = 0 の場合) または High レベル (KRCTL.KREG = 1 の場合) のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KINT は PmnPFS.PSEL[4:0] ビットで割り当てることができます。対応するキー割り込み入力端子をプルアップ機能に設定することで、内蔵プルアップ抵抗の適用も可能です。詳細は「17. I/O ポート」を参照してください。

## 18.3 動作説明

### 18.3.1 キー割り込みフラグを使用しない場合の動作 (KRCTL.KRMD = 0)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、KEY\_INTKR が発生します。有効エッジが入力されたチャンネルを判別するには、KEY\_INTKR 発生後にポートレジスタを読み出して、I/O ポートのレベルをチェックしてください。

KEY\_INTKR 信号は、KR0n 端子の入力レベルに応じて変化します。

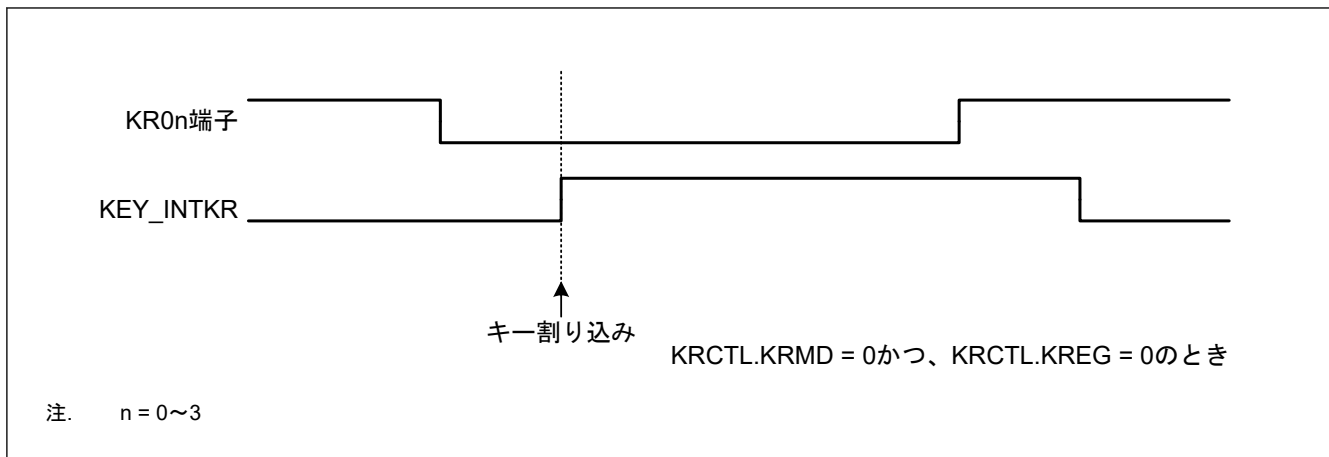


図 18.2 キー割り込みが1つのチャンネルに入力された場合の KEY\_INTKR 信号の動作

図 18.3 に有効エッジが複数の KR0n 端子に入力された場合の動作を示します。一方の端子に Low レベルが入力中であると、KEY\_INTKR 信号がセットされます (KRCTL.KREG = 0 の場合)。そのため、この期間中に他の端子に立ち下がりエッジが入力されても、再度 KEY\_INTKR は発生しません。図 18.3 の [1] を参照してください。

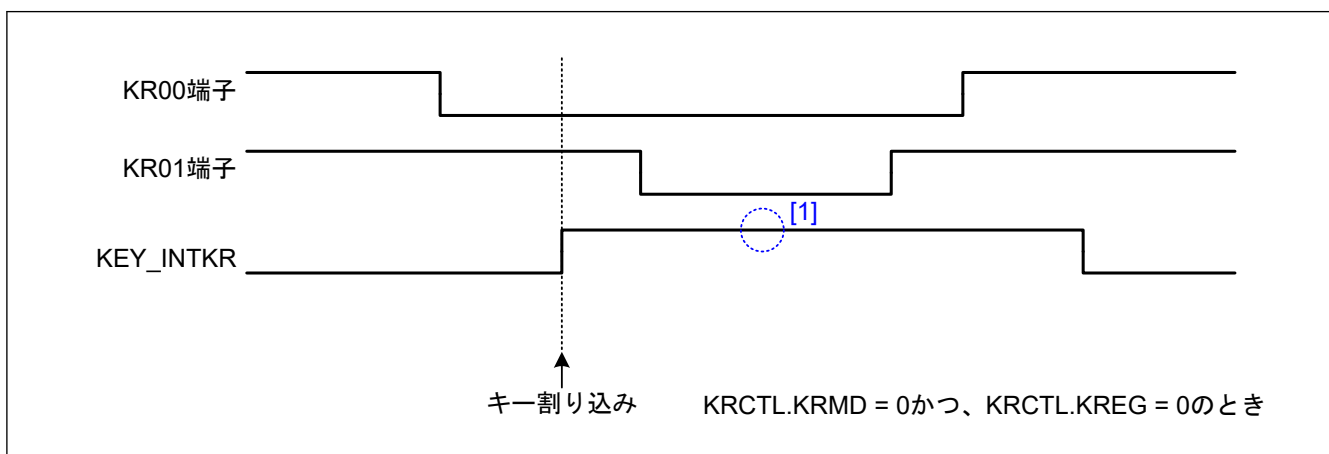


図 18.3 キー割り込みが複数のチャンネルに入力された場合の KEY\_INTKR 信号の動作

### 18.3.2 キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、KEY\_INTKR が発生します。有効エッジが入力されたチャンネルを判別するには、KEY\_INTKR の発生後にキーリターンフラグレジスタ (KRF) を読み出します。KRCTL.KRMD ビットが 1 になっている場合は、KRF レジスタの対応するビットをクリアして、KEY\_INTKR 信号をクリアしてください。

図 18.4 に示すように、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します (KRCTL.KREG = 0 の場合)。立ち上がりエッジが入力される前や後に KRF.KIFn フラグがクリアされても、それ以上割り込みは発生しません。

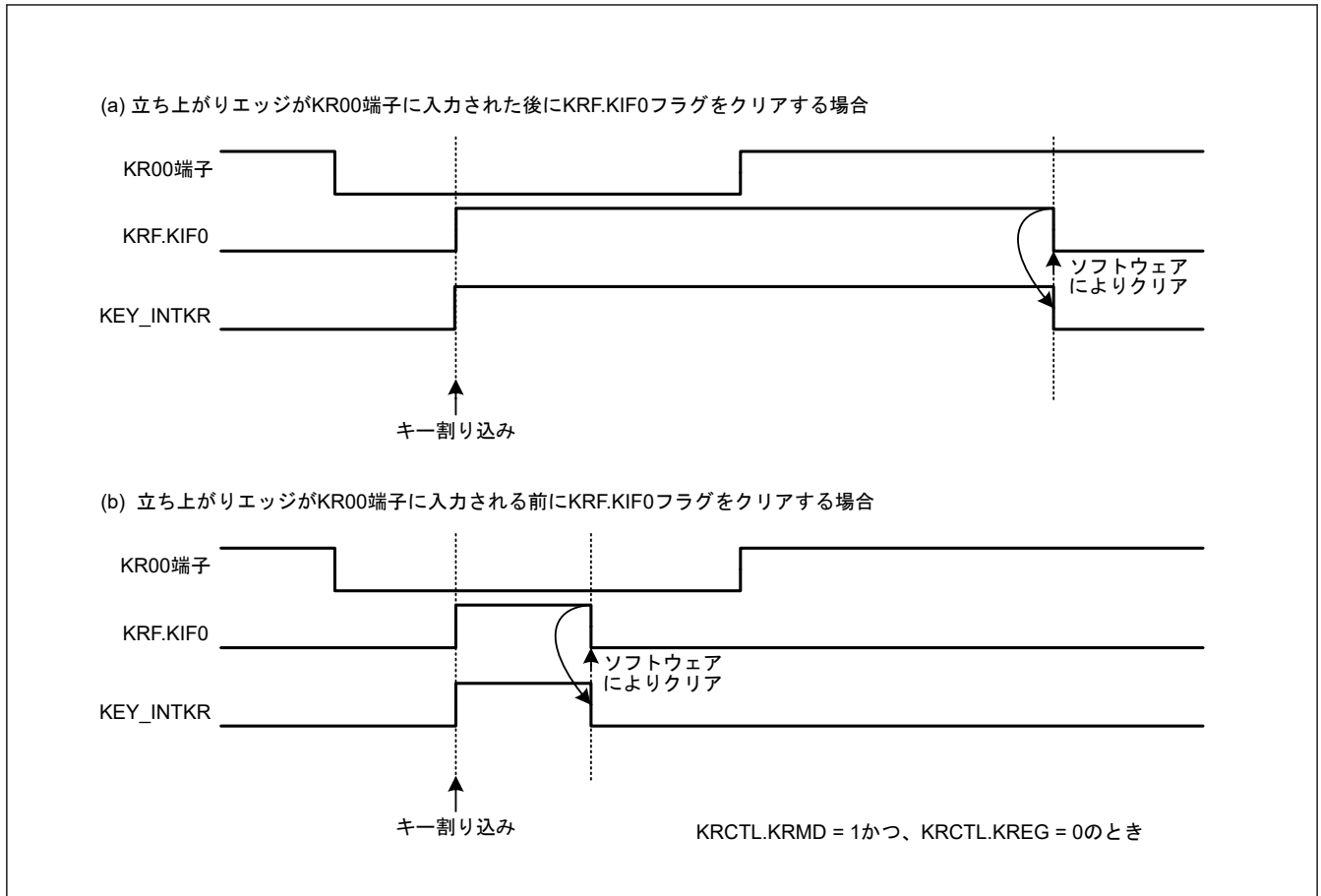


図 18.4 キー割り込みフラグを使用する場合の KEY\_INTKR 信号の基本動作

図 18.5 に有効エッジが複数の KR0n 端子に入力された場合の動作を示します。KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR02 端子にも立ち下がりエッジが入力されます (KRCTL.KREG = 0 の場合)。KRF.KIF0 フラグがクリアされたとき、KRF.KIF1 フラグはセット状態になっています。KRF.KIF0 フラグがクリアされた後に、KEY\_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図 18.5 の[1]を参照してください。

また、KR02 端子に立ち下がりエッジが入力された後に、KRF.KIF2 フラグがセットされます。図中の[2]で KRF.KIF1 フラグがクリアされます。KRF.KIF1 フラグがクリアされた後に、KEY\_INTKR 信号は 1 クロック (PCLKB) サイクルネゲートされます。図中の[3]を参照してください。したがって、複数チャンネルに有効エッジが入力されたとき、各キー割り込みを発生させることが可能です。

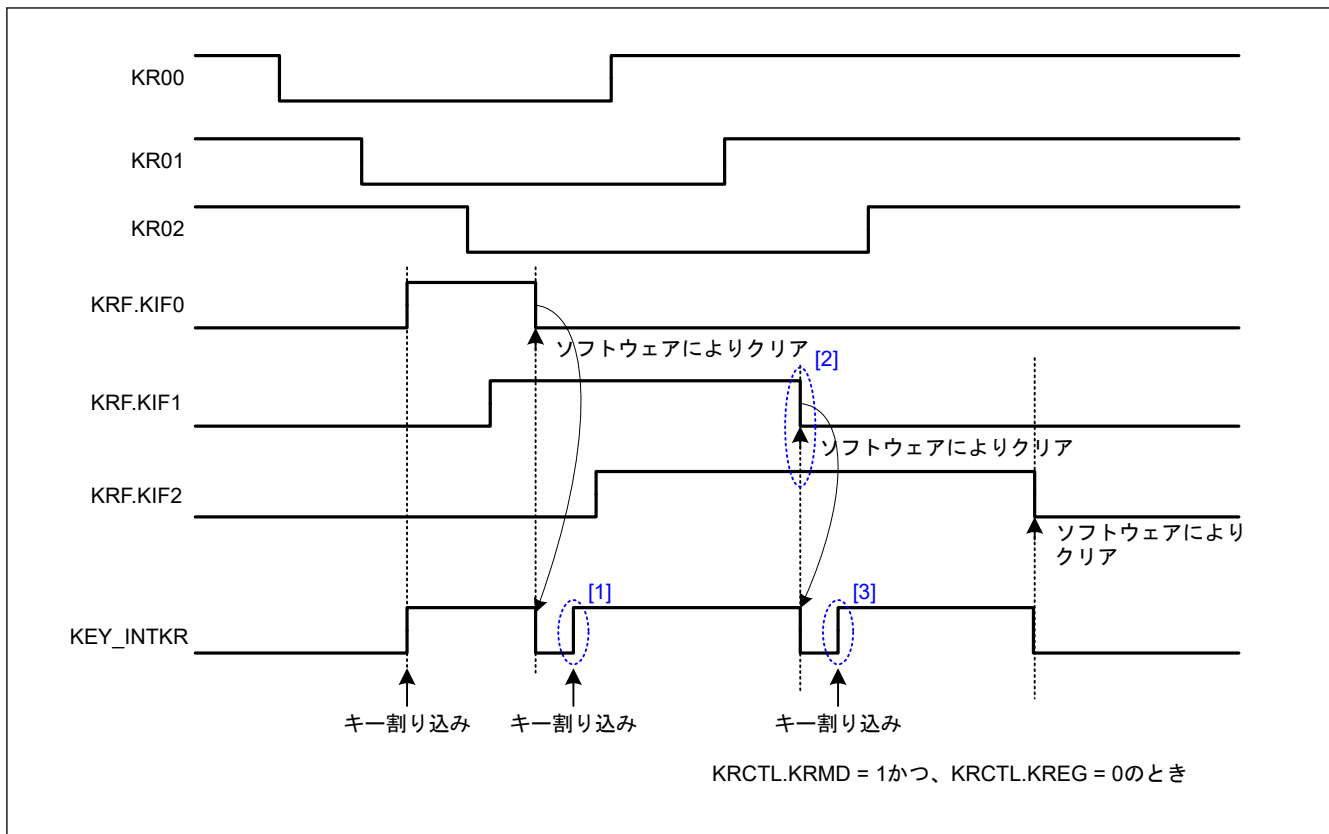


図 18.5 キー割り込みが複数入力された場合の KEY\_INTKR 信号の動作

#### 18.4 使用上の注意事項

- KEY\_INTKR をスヌーズ要求として用いる場合は、KRCTL.KRMD ビットを 0 にしてください。
- KEY\_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRCTL.KRMD ビットを 1 にしてください。
- KINT が端子に割り当てられる場合、この端子入力はソフトウェアスタンバイモード時に常に許可されています。また、端子レベルが変化すると、対応する KRF.KIFn フラグがセットされる可能性があります。そのため、ソフトウェアスタンバイモードの解除時に、KEY\_INTKR が発生する場合があります。ソフトウェアスタンバイモード時の KR0n 端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM.KIMCn ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM.KIMCn ビットをセットする前に、KRF.KIFn フラグをクリアする必要があります。

## 19. GPT 用のポートアウトプットイネーブル (POEG)

### 19.1 概要

ポートアウトプットイネーブル (POEG) は、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

- GTETR<sub>Gn</sub> 端子 (n = A, B) の入力レベル検出
- GPT からの出力禁止要求
- クロック発生回路の発振停止検出
- レジスタ設定値

GTETR<sub>Gn</sub> 端子 (n = A, B) は、GPT への外部トリガ入力端子として利用可能です。

表 19.1 に POEG の仕様を、図 19.1 にブロック図を、表 19.2 に入力端子を示します。

表 19.1 POEG の仕様

項目	内容
入力レベル検出による出力禁止制御	<ul style="list-style-type: none"> <li>● 極性とフィルタの選択後、GTETR<sub>Gn</sub> 端子の立ち上がりエッジまたは立ち下がりエッジをサンプリングした場合に、GPT 出力端子を出力禁止に設定可能</li> </ul>
GPT からの出力禁止要求	<ul style="list-style-type: none"> <li>● GTIOCxA 端子と GTIOCxB 端子が同時にアクティブレベルとなる場合、GPT は POEG に対して出力禁止要求を発生させる。POEG は、これらの出力禁止要求を受信して、GTIOCxA および GTIOCxB 端子を出力禁止にするか否かの制御が可能</li> </ul>
発振停止検出による出力禁止制御	<ul style="list-style-type: none"> <li>● クロック発生回路による発振が停止した場合に、GPT 出力端子を出力禁止に設定可能</li> </ul>
ソフトウェア (レジスタ) による出力禁止制御	<ul style="list-style-type: none"> <li>● レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能</li> </ul>
割り込み	<ul style="list-style-type: none"> <li>● ポート GTETR<sub>Gn</sub> 入力を検出した場合に割り込みを発生</li> <li>● GPTx 出力禁止要求を検出した場合に割り込みを発生</li> </ul>
GPT に対する外部トリガ出力機能	<ul style="list-style-type: none"> <li>● 極性とフィルタの選択後、GTETR<sub>Gn</sub> 信号を GPT へ出力可能 (カウント開始/カウント停止/カウントクリア/アップカウント/ダウンカウント/インプットキャプチャ機能)</li> </ul>
ノイズフィルタリング	<ul style="list-style-type: none"> <li>● GTETR<sub>Gn</sub> 端子からの入力に対して、ノイズフィルタクロックを、PCLKB/1、PCLKB/8、PCLKB/32、PCLKB/128 クロックからそれぞれ選択可能 (選択クロックを用いて、入力信号を 3 回サンプリングすることでフィルタリング)</li> <li>● どの GTETR<sub>Gn</sub> 端子からの入力に対しても、正極性、負極性をそれぞれ選択可能</li> <li>● 極性およびフィルタ選択後の信号状態のモニタが可能</li> </ul>

注. n = A, B, x = 4~9

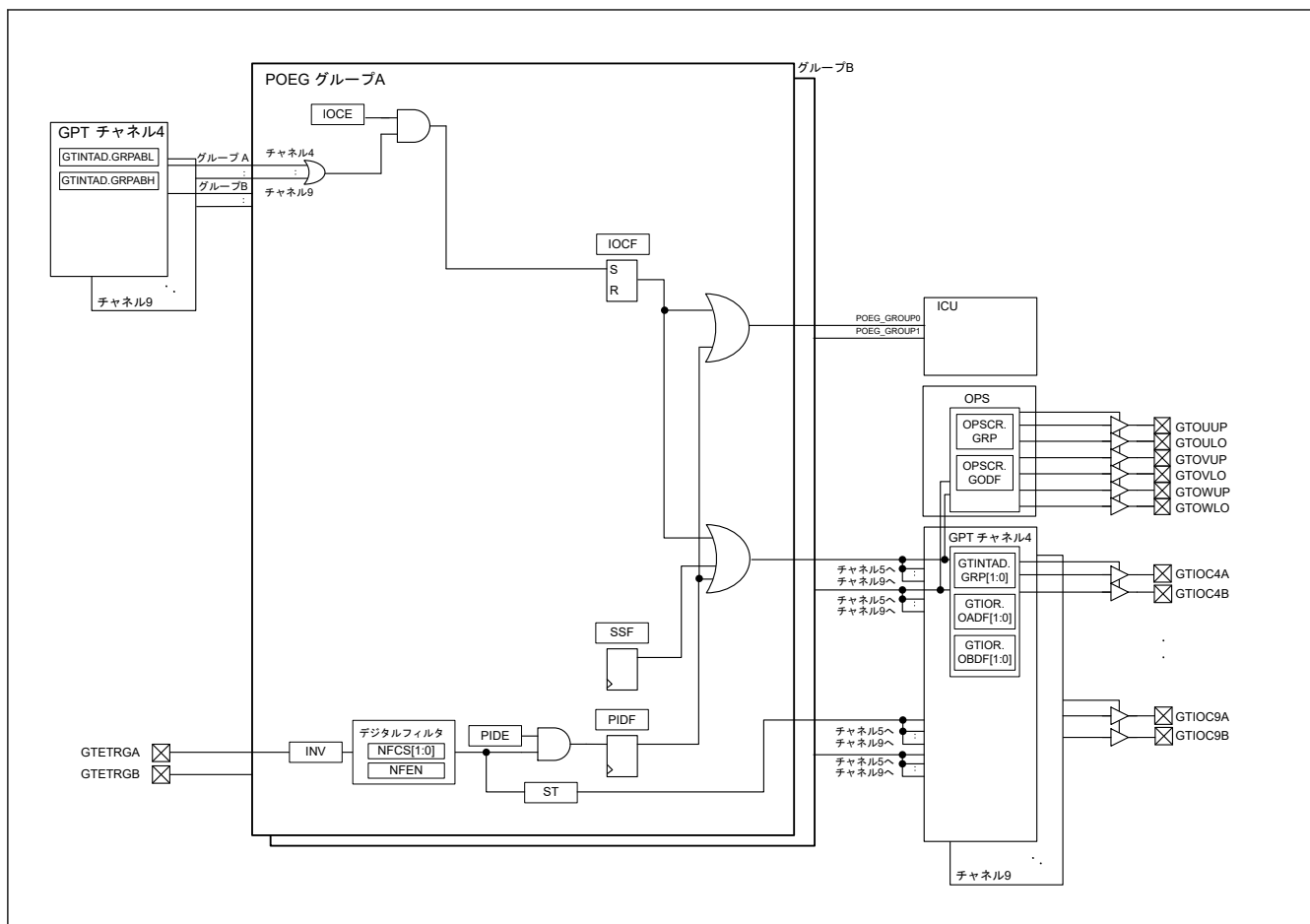


図 19.1 POEG のブロック図

表 19.2 POEG の入力端子

端子名称	入出力	機能
GTETRGA	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 A
GTETRGB	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 B

## 19.2 レジスタの説明

### 19.2.1 POEGn : POEG グループ n 設定レジスタ (n = A, B)

Base address: POEG = 0x4004\_2000

Offset address: 0x000 (POEGGA)  
0x100 (POEGGB)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	IOCE	PIDE	SSF	—	IOCF	PIDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIDF	ポート入力検出フラグ 0: GTETRn 端子からの出力禁止要求なし 1: GTETRn 端子からの出力禁止要求あり	R/W(注1)
1	IOCF	GPT 出力禁止要求検出フラグ 0: GPT による出力禁止要求なし 1: GPT による出力禁止要求あり	R/W(注1)
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	SSF	ソフトウェア停止フラグ 0: ソフトウェアからの出力禁止要求なし 1: ソフトウェアからの出力禁止要求あり	R/W
4	PIDE	ポート入力検出許可 0: GTETRn 端子からの出力禁止要求を禁止 1: GTETRn 端子からの出力禁止要求を許可	R/W(注2)
5	IOCE	GPT 出力禁止要求許可 0: GPT による出力禁止要求を禁止 1: GPT による出力禁止要求を許可	R/W(注2)
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ST	GTETRn 入力ステータスフラグ 0: フィルタリング後の GTETRn 入力は 0 1: フィルタリング後の GTETRn 入力は 1	R
27:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	INV	GTETRn 入力反転 0: GTETRn をそのまま入力 1: GTETRn を反転して入力	R/W
29	NFEN	ノイズフィルタ有効 0: ノイズフィルタリングを禁止 1: ノイズフィルタリングを許可	R/W
31:30	NFCS[1:0]	ノイズフィルタクロック選択 00: GTETRn 端子の入力レベルを PCLKB/1 クロックごとに 3 回サンプリング 01: GTETRn 端子の入力レベルを PCLKB/8 クロックごとに 3 回サンプリング 10: GTETRn 端子の入力レベルを PCLKB/32 クロックごとに 3 回サンプリング 11: GTETRn 端子の入力レベルを PCLKB/128 クロックごとに 3 回サンプリング	R/W

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

注 2. リセット後、1 回のみ書き込み可能です。

POEGn (n = A, B) レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。

POEGGA レジスタは、GTETRA 端子に GPT のグループ A 出力禁止要求を応答します。POEGGB レジスタは、GTETRB 端子に GPT のグループ B 出力禁止要求を応答します。

### 19.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モーター制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETRn 端子の入力レベルまたはエッジ検出  
POEGn.PIDE ビットが 1 の状態で、POEGn.PIDF フラグが 1 になったとき。
- GPT からの出力禁止要求  
GTINTAD レジスタで禁止要求が許可されている場合に POEGn.IOCE ビットが 1 の状態で、POEGn.IOCF フラグが 1 になったとき。GTINTAD.GRPABH ビットおよび GTINTAD.GRPABL ビットの設定値が、GPT レジスタの GTINTAD.GRP[1:0] ビットまたは OPSCR.GRP ビットで選択されたグループに適用されます。
- SSF ビットの設定  
POEGn.SSF を 1 に設定すると、GPT と PWM の出力が無効になります。

出力禁止の状態は、GPT モジュールで制御します。GTIOCxA 端子と GTIOCxB 端子の出力禁止は、GPTx の GTINTAD.GRP[1:0]ビット、GTIOR.OADF[1:0]ビットおよび GTIOR.OBDF[1:0]ビットで設定されます。BLDC モーター制御用 3 相 PWM 出力の出力禁止は、GPT\_ OPS の OPSCR.GRP ビットおよび OPSCR.GODF ビットで設定されます。

### 19.3.1 端子入力レベル検出時の動作

POEGn.PIDE ビット、POEGn.NFCS[1:0]ビット、POEGn.NFEN ビット、および POEGn.INV ビットに設定された入力条件が、GTETRn 端子で発生すると、GPT 出力端子は出力禁止状態になります。

#### 19.3.1.1 デジタルフィルタ

図 19.2 にデジタルフィルタによる High 検出時の動作を示します。POEGn.INV ビットの極性の設定に対応した High 状態が、POEGn.NFCS[1:0]ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は、High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRn 端子のレベル変化が無視されます。

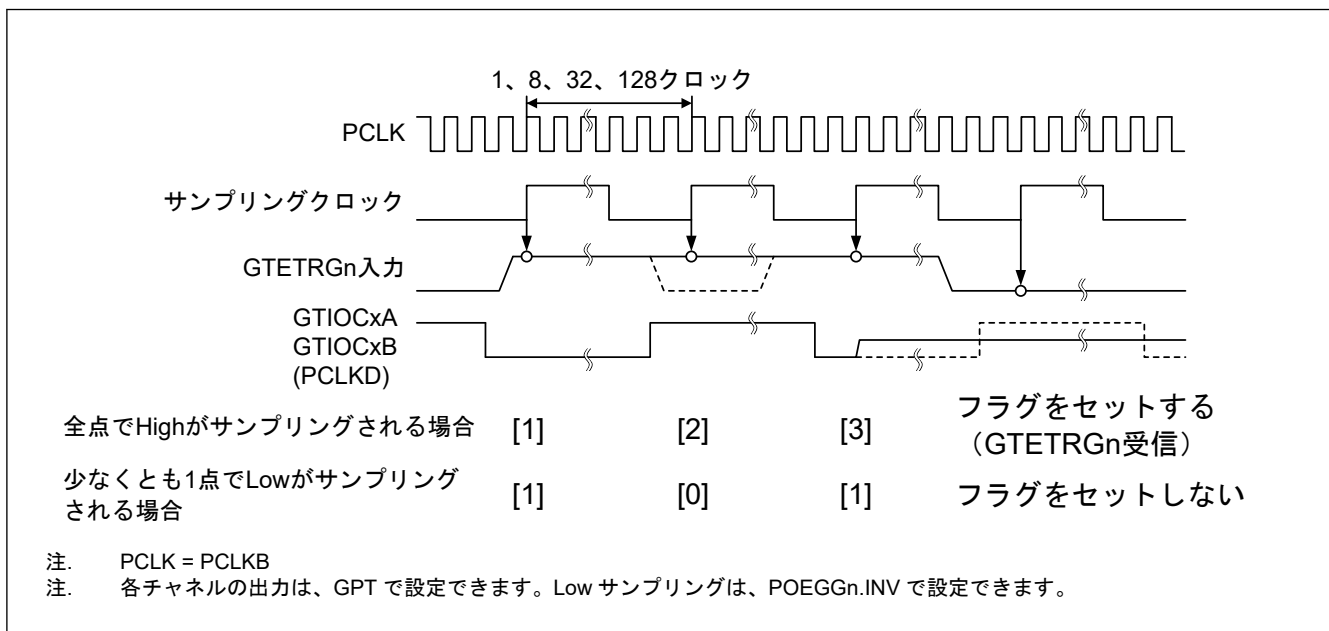


図 19.2 デジタルフィルタの動作例

### 19.3.2 GPT からの出力禁止要求

動作の詳細については、「20. 汎用 PWM タイマ (GPT)」の GTIOC 端子出力の出力禁止制御の説明を参照してください。

### 19.3.3 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGn.SSF) に 1 を書き込むことで直接制御が可能です。

### 19.3.4 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

- POEGn.PIDF
- POEGn.IOCF
- POEGn.SSF



外部入力端子 GTETR $G_n$  が無効ではなく、かつ POEG $G_n$ .ST ビットが 0 になっていなければ、POEG $G_n$ .PIDF フラグに 0 を書いても無視されます (フラグはクリアされません)。

GPT の GTST.OABHF フラグおよび GTST.OABLF フラグがすべて 0 になっている場合のみ、POEG $G_n$ .IOCF フラグに 0 を書くこと (フラグをクリアすること) ができます。

図 19.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

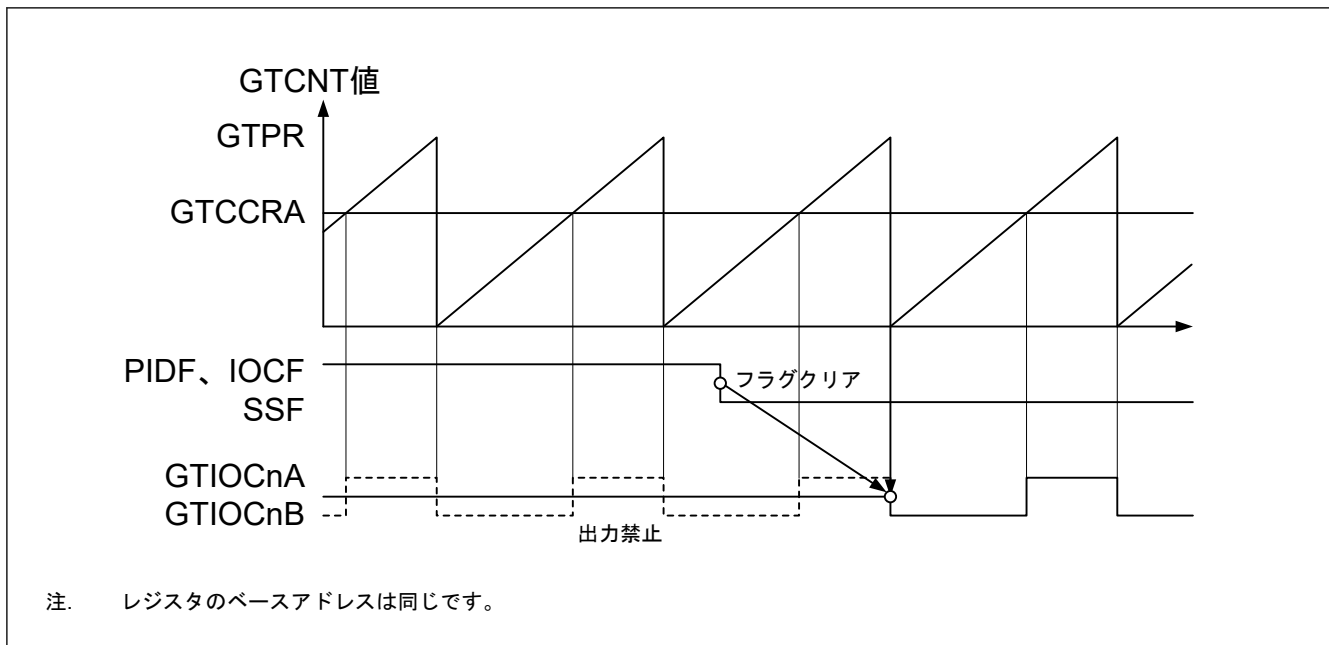


図 19.3 GPT 端子出力の出力禁止状態の解除タイミング

#### 19.4 割り込み要因

POEG は、以下の要因に対して割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPT からの出力禁止要求

表 19.3 に、割り込み要求の条件を示します。

表 19.3 POE の入力端子

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	POEG_GROUPA	POEGGA.IOCF	GPT からの出力禁止要求の発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求の発生
POEG グループ B 割り込み	POEG_GROUPB	POEGGB.IOCF	GPT からの出力禁止要求の発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求の発生

#### 19.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETR $G_n$  端子入力をフィルタリング、レベル検出して、出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント

- インプットキャプチャ

POEGn.INV ビットで設定した極性信号に対し、POEGn.NFCS[1:0]ビットで選択したサンプリングクロックで同じレベルが3回連続して入力されたとき、その値が出力されます。「19.3.1. 端子入力レベル検出時の動作」の入力レベル検出動作と同様にコントロールレジスタを設定してください。フィルタリング後の状態は POEGn.ST フラグでモニタできます。

図 19.4 に、GPT に対する外部トリガ出力のタイミングを示します。

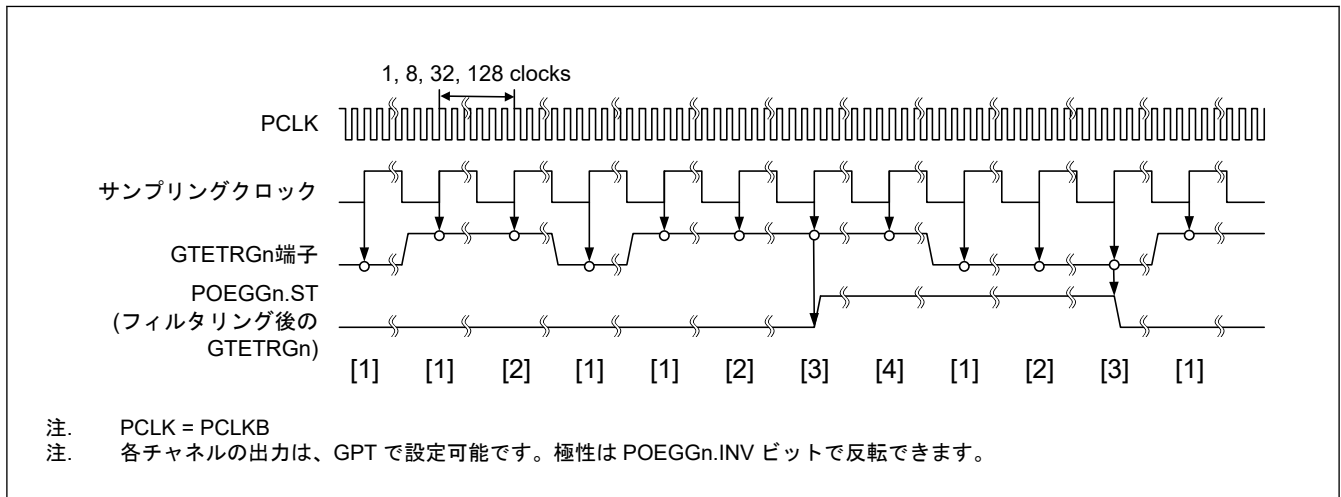


図 19.4 GPT に対する外部トリガ出力のタイミング

## 19.6 使用上の注意

### 19.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

### 19.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR および PmnPFS.PSEL ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

## 20. 汎用 PWM タイマ (GPT)

### 20.1 概要

汎用 PWM タイマ (GPT) は、GPT16 × 6 チャンネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーター制御用の PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

表 20.1 に GPT の仕様を、表 20.2 に GPT の機能一覧を示します。また、図 20.1 に GPT のブロック図を示します。

表 20.1 GPT の仕様

項目	内容
機能	<ul style="list-style-type: none"> <li>16 ビット × 6 チャンネル (GPT16m (m = 4~9))</li> <li>各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) を選択可能</li> <li>チャンネルごとに独立したクロックソースを選択可能</li> <li>チャンネルごとに 2 本の入出力端子</li> <li>チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが 2 本</li> <li>各チャンネル 2 本のアウトプットコンペア/インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能</li> <li>アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成</li> <li>チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能)</li> <li>PWM 動作の際にデッドタイム生成が可能</li> <li>任意チャンネルのカウンタの同期スタート/ストップ/クリア可能</li> <li>最大 4 つの ELC イベントによるカウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能</li> <li>2 本の入力端子の状態を検出し、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能</li> <li>最大 2 本の外部トリガにより、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能</li> <li>出力端子間の短絡検出による出力端子無効機能</li> <li>ブラシレス DC モーター制御用の PWM 波形生成が可能</li> <li>コンペアマッチ A~D イベント、オーバーフローイベント/アンダーフローイベントおよび入力 UVW エッジイベントを ELC に出力可能</li> <li>インプットキャプチャおよび入力 UVW 用のノイズフィルタが有効</li> <li>バスクロック : PCLKB、コアクロック : PCLKD</li> </ul>

表 20.2 GPT の機能一覧 (1/2)

項目	内容
カウントクロック	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)	GTCCRA GTCCRB
コンペア/バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ	GTPR
周期設定バッファレジスタ	GTPBR
入出力端子	GTIOCnA GTIOCnB (n = 4~9)
外部トリガ入力端子(注1)	GTETRGA GTETRGB

表 20.2 GPT の機能一覧 (2/2)

項目	内容	
カウンタクリア要因	GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 GTETR Gn (n = A, B) 端子入力	
コンペアマッチ出力	Low 出力	使用可能
	High 出力	使用可能
	トグル出力	使用可能
インプットキャプチャ機能	使用可能	
デッドタイム自動付加機能	使用可能 (デッドタイムバッファなし)	
PWM モード	使用可能	
位相計数機能	使用可能	
バッファ動作	ダブルバッファ	
ワンショット動作	使用可能	
DTC の起動	すべての割り込み要因	
ブラシレス DC モーター制御機能	使用可能	
割り込み要因	6 要因 (n = 4~9) <ul style="list-style-type: none"> <li>● GTCCRA コンペアマッチ/インプットキャプチャ (GPTn_CCMPA)</li> <li>● GTCCRB コンペアマッチ/インプットキャプチャ (GPTn_CCMPB)</li> <li>● GTCCRC コンペアマッチ (GPTn_CMPC)</li> <li>● GTCCRD コンペアマッチ (GPTn_CMPD)</li> <li>● GTCNT オーバーフロー (GTPR コンペアマッチ) (GPTn_OVF)</li> <li>● GTCNT アンダーフロー (GPTn_UDF)</li> </ul>	
イベントリンク (ELC) 機能	使用可能 <sup>(注2)</sup>	
ノイズフィルタ機能	使用可能	

注 1. GTETR Gn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPD14 ビットをクリアして POEG にクロックを供給する必要があります。

注 2. 「[20.5. ELC によるリンク動作](#)」を参照してください。

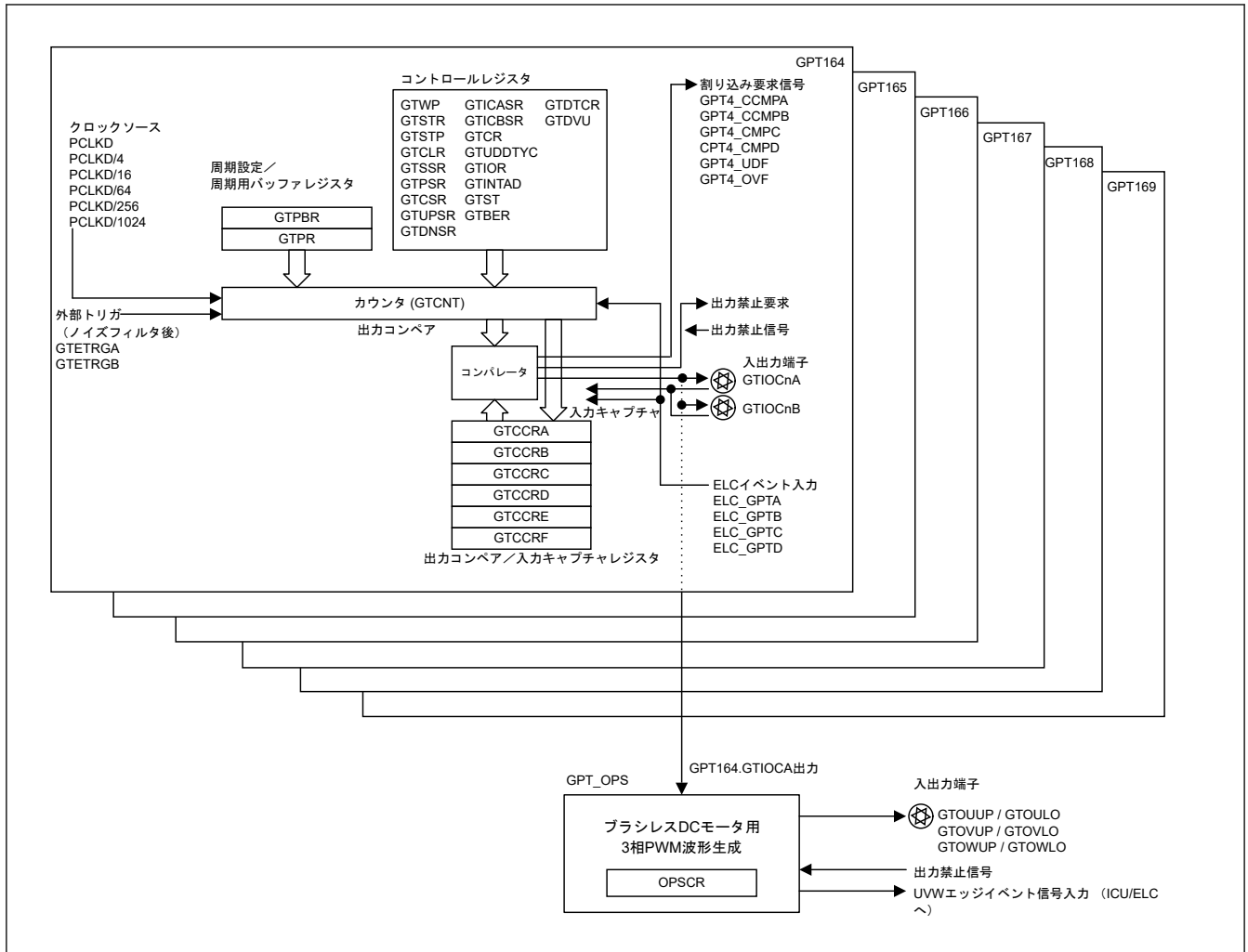


図 20.1 GPT のブロック図

図 20.2 にチャンネルとモジュール名の関係を示します。

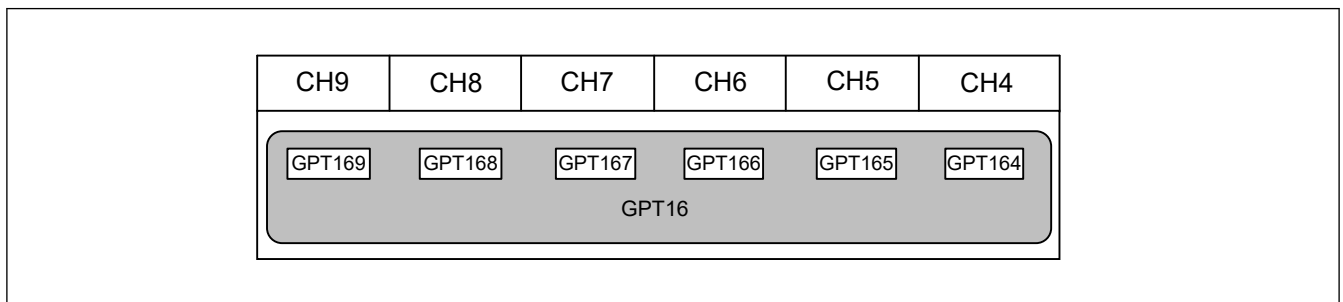


図 20.2 GPT チャンネルとモジュール名の関係

表 20.3 に入出力端子の一覧を示します。

表 20.3 GPT の入出力端子 (1/2)

チャンネル	端子名	入出力	機能
共通	GTETRGx	入力	外部トリガ入力端子 x (POEG 経由の入力)
GPT16m	GTIOcmA	入出力	GTCCRA レジスタのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	GTIOc_mB	入出力	GTCCRB レジスタのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
GPT_OPS	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 U 相)

表 20.3 GPT の入出力端子 (2/2)

チャネル	端子名	入出力	機能
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 U 相)
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 V 相)
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 V 相)
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力 (正相 W 相)
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力 (逆相 W 相)

注. x: A, B  
m: 4~9

## 20.2 レジスタの説明

### 20.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]							—	—	—	—	—	—	—	—	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	GTWP キーコード これらのビットに 0xA5 を書き込むと、WP ビットへの書き込みが許可されます。読むと 0 が読めます。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可または禁止するレジスタです。GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

#### WP ビット (レジスタ書き込み禁止)

書き込みが許可または禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU.

#### PRKEY[7:0]ビット (GTWP キーコード)

PRKEY[7:0]ビットは WP ビットへの書き込みを制御します。

### 20.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x04

Bit position: 31

0

Bit field:

CSTRT31~CSTRT0

Value after reset:

0 0

ビット	シンボル	機能	R/W
31:0	CSTRT0~CSTRT31(注1)	チャンネル n GTCNT カウントスタート (n : ビット位置の値と同一) 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W

注 1. 使用可能なビットは製品により変わります。CSTRTn の n は GPT のチャンネル番号と同一です。本製品では、n は 4~9 です。

GTSTR レジスタは、各チャンネル n (n = 4~9) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャンネル番号に相当します。GTSTR レジスタは各チャンネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャンネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。

モジュール名とチャンネル番号の関係については、図 20.2 を参照してください。

#### CSTRTn ビット (チャンネル n GTCNT カウントスタート (n = 4~9))

CSTRTn ビットはチャンネル n の GTCNT カウンタ動作を開始します。GTSSR.CSTRT ビットを 1 にしないかぎり、GTSTR.CSTRTn ビットへの書き込みは無効です (n = 4~9)。

リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビット値) を示します。0 はカウンタ停止中を、1 はカウンタ動作中を意味します。

### 20.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x08

Bit position: 31

0

Bit field:

CSTOP31~CSTOP0

Value after reset:

1 1

ビット	シンボル	機能	R/W
31:0	CSTOP0~CSTOP31(注1)	チャンネル n GTCNT カウントストップ (n : ビット位置の値と同一) 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W

注 1. 使用可能なビットは製品により変わります。CSTOPn の n は GPT のチャンネル番号と同一です。本製品では、n は 4~9 です。

GTSTP レジスタは、各チャンネル n (n = 4~9) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャンネル番号に相当します。GTSTP レジスタは各チャンネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャンネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

モジュール名とチャンネル番号の関係については、図 20.2 を参照してください。

#### CSTOPn ビット (チャンネル n GTCNT カウントストップ (n = 4~9))

CSTOPn ビットはチャンネル n の GTCNT カウンタ動作を停止します。GTPSR.CSTOP ビットを 1 にしないかぎり、GTSTP.CSTOPn ビット (n = 4~9) への書き込みは無効です。リードデータは各チャンネルのカウンタ状態 (GTCR.CST ビットの反転値) を示します。0 はカウンタ動作中を、1 はカウンタ停止中を意味します。

### 20.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x0C

Bit position: 31

0

Bit field:

CCLR31~CCLR0

Value after reset:

0 0

ビット	シンボル	機能	R/W
31:0	CCLR0~ CCLR31(注1)	チャンネル n GTCNT カウントクリア (n: ビット値と同一) 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W

注 1. 使用可能なビットは製品により変わります。CCLRn の n は GPT のチャンネル番号と同一です。本製品では、n は 4~9 です。

GTCLR レジスタは書き込み専用レジスタで、各チャンネル n (n=4~9) の GTCNT カウンタをクリアします。

GTCLR レジスタのビット番号はチャンネル番号に相当します。GTCLR レジスタは各チャンネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャンネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタ値の状態には影響しません。

モジュール名とチャンネル番号の関係については、図 20.2 を参照してください。

#### CCLRn ビット (チャンネル n GTCNT カウントクリア (n = 4~9))

GTCCR.MD[2:0]ビットで選択されたのこぎり波モードでカウント方向フラグがデクリメント (GTST.TUCF = 0) に設定される場合、GTCNT カウンタ値は CCLRn ビットへの 1 書き込みに対応する GTPR レジスタの値になります。カウンタ値は他の設定で 0x00000000 になります。読むと 0 が読めます。

### 20.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x10

Bit position:

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

Bit field:

CSTR T	—	—	—	—	—	—	—	—	—	—	—	—	SSEL CD	SSEL CC	SSEL CB	SSEL CA
-----------	---	---	---	---	---	---	---	---	---	---	---	---	------------	------------	------------	------------

Value after reset:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

Bit position:

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

SSCB FAH	SSCB FAL	SSCB RAH	SSCB RAL	SSCA FBH	SSCA FBL	SSCA RBH	SSCA RBL	—	—	—	—	SSGT RGBF	SSGT RGBR	SSGT RGAF	SSGT RGAR
-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	---	---	---	---	--------------	--------------	--------------	--------------

Value after reset:

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SSGTRGAR	GTETRGA 立ち上がり要因カウントスタート許可 0: GTETRGA 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウントスタートを許可	R/W
1	SSGTRGAF	GTETRGA 立ち下がり要因カウントスタート許可 0: GTETRGA 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウントスタートを許可	R/W
2	SSGTRGBR	GTETRGB 立ち上がり要因カウントスタート許可 0: GTETRGB 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち上がりによるカウントスタートを許可	R/W
3	SSGTRGBF	GTETRGB 立ち下がり要因カウントスタート許可 0: GTETRGB 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち下がりによるカウントスタートを許可	R/W



ビット	シンボル	機能	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
9	SSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
10	SSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
11	SSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
12	SSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
13	SSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
14	SSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
15	SSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
16	SSELCA	ELC_GPTA イベント要因カウントスタート許可 0: ELC_GPTA イベント入力によるカウントスタートを禁止 1: ELC_GPTA イベント入力によるカウントスタートを許可	R/W
17	SSELCB	ELC_GPTB イベント要因カウントスタート許可 0: ELC_GPTB イベント入力によるカウントスタートを禁止 1: ELC_GPTB イベント入力によるカウントスタートを許可	R/W
18	SSELCC	ELC_GPTC イベント要因カウントスタート許可 0: ELC_GPTC イベント入力によるカウントスタートを禁止 1: ELC_GPTC イベント入力によるカウントスタートを許可	R/W
19	SSELCD	ELC_GPTD イベント要因カウントスタート許可 0: ELC_GPTD イベント入力によるカウントスタートを禁止 1: ELC_GPTD イベント入力によるカウントスタートを許可	R/W
30:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTRT	ソフトウェア要因カウントスタート許可 0: GTSTR レジスタによるカウントスタートを禁止 1: GTSTR レジスタによるカウントスタートを許可	R/W

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETR $G_n$  ( $n = A, B$ ) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

#### **SSGTRGAR ビット (GTETRGA 立ち上がり要因カウントスタート許可)**

SSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSGTRGAF ビット (GTETRGA 立ち下がり要因カウントスタート許可)**

SSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSGTRGBR ビット (GTETRGB 立ち上がり要因カウントスタート許可)**

SSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSGTRGBF ビット (GTETRGB 立ち下がり要因カウントスタート許可)**

SSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可)**

SSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可)**

SSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可)**

SSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可)**

SSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可)**

SSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可)**

SSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可)**

SSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可)**

SSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

#### **SSELC $m$ ビット (ELC\_GPT $m$ イベント要因カウントスタート許可) ( $m = A \sim D$ )**

SSELC $m$  ビットは ELC\_GPT $m$  からのイベント入力による GTCNT カウンタのカウントスタートの許可/禁止を選択します。

**CSTRT ビット (ソフトウェア要因カウントスタート許可)**

CSTRT ビットは GTSTR レジスタによる GTCNT カウンタのカウントスタートの許可/禁止を選択します。

**20.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTO P	—	—	—	—	—	—	—	—	—	—	—	PSEL CD	PSEL CC	PSEL CB	PSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSCB FAH	PSCB FAL	PSCB RAH	PSCB RAL	PSCA FBH	PSCA FBL	PSCA RBH	PSCA RBL	—	—	—	—	PSGT RGBF	PSGT RGBR	PSGT RGAF	PSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSGTRGAR	GTETRGA 立ち上がり要因カウントストップ許可 0: GTETRGA 入力の立ち上がりによるカウントストップを禁止 1: GTETRGA 入力の立ち上がりによるカウントストップを許可	R/W
1	PSGTRGAF	GTETRGA 立ち下がり要因カウントストップ許可 0: GTETRGA 入力の立ち下がりによるカウントストップを禁止 1: GTETRGA 入力の立ち下がりによるカウントストップを許可	R/W
2	PSGTRGBR	GTETRGB 立ち上がり要因カウントストップ許可 0: GTETRGB 入力の立ち上がりによるカウントストップを禁止 1: GTETRGB 入力の立ち上がりによるカウントストップを許可	R/W
3	PSGTRGBF	GTETRGB 立ち下がり要因カウントストップ許可 0: GTETRGB 入力の立ち下がりによるカウントストップを禁止 1: GTETRGB 入力の立ち下がりによるカウントストップを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
9	PSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
10	PSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
11	PSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
12	PSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
13	PSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
14	PSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
15	PSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
16	PSELCA	ELC_GPTA イベント要因カウントストップ許可 0: ELC_GPTA イベント入力によるカウントストップを禁止 1: ELC_GPTA イベント入力によるカウントストップを許可	R/W
17	PSELCB	ELC_GPTB イベント要因カウントストップ許可 0: ELC_GPTB イベント入力によるカウントストップを禁止 1: ELC_GPTB イベント入力によるカウントストップを許可	R/W
18	PSELCC	ELC_GPTC イベント要因カウントストップ許可 0: ELC_GPTC イベント入力によるカウントストップを禁止 1: ELC_GPTC イベント入力によるカウントストップを許可	R/W
19	PSELCD	ELC_GPTD イベント要因カウントストップ許可 0: ELC_GPTD イベント入力によるカウントストップを禁止 1: ELC_GPTD イベント入力によるカウントストップを許可	R/W
30:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTOP	ソフトウェア要因カウントストップ許可 0: GTSTP レジスタによるカウントストップを禁止 1: GTSTP レジスタによるカウントストップを許可	R/W

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETR<sub>Gn</sub> (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

#### PSGTRGAR ビット (GTETRGA 立ち上がり要因カウントストップ許可)

PSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可/禁止を選択します。

#### PSGTRGAF ビット (GTETRGA 立ち下がり要因カウントストップ許可)

PSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可/禁止を選択します。

#### PSGTRGBR ビット (GTETRGB 立ち上がり要因カウントストップ許可)

PSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可/禁止を選択します。

#### PSGTRGBF ビット (GTETRGB 立ち下がり要因カウントストップ許可)

PSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可/禁止を選択します。

#### PSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可)

PSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可/禁止を選択します。

**PSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタストップ許可)**

PSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**PSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタストップ許可)**

PSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**PSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタストップ許可)**

PSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**PSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタストップ許可)**

PSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**PSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタストップ許可)**

PSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**PSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタストップ許可)**

PSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**PSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタストップ許可)**

PSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**PSELCm ビット (ELC\_GPTm イベント要因カウンタストップ許可) (m = A~D)**

PSELCm ビットは ELC\_GPTm からのイベント入力による GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**CSTOP ビット (ソフトウェア要因カウンタストップ許可)**

CSTOP ビットは GTSTP レジスタによる GTCNT カウンタのカウンタストップの許可/禁止を選択します。

**20.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CCLR	—	—	—	—	—	—	—	—	—	—	—	CSEL CD	CSEL CC	CSEL CB	CSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CSCB FAH	CSCB FAL	CSCB RAH	CSCB RAL	CSCA FBH	CSCA FBL	CSCA RBH	CSCA RBL	—	—	—	—	CSGT RGBF	CSGT RGBR	CSGT RGAF	CSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CSGTRGAR	GTETRGA 立ち上がり要因カウンタクリア許可 0: GTETRGA 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち上がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
1	CSGTRGAF	GTETRGA 立ち下がり要因カウンタクリア許可 0: GTETRGA 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち下がりによるカウンタクリアを許可	R/W
2	CSGTRGBR	GTETRGB 立ち上がり要因カウンタクリア許可 0: GTETRGB 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち上がりによるカウンタクリアを許可	R/W
3	CSGTRGBF	GTETRGB 立ち下がり要因カウンタクリア許可 0: GTETRGB 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち下がりによるカウンタクリアを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
9	CSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
10	CSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
11	CSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
12	CSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
13	CSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
14	CSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
15	CSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可 0: ELC_GPTA イベント入力によるカウンタクリアを禁止 1: ELC_GPTA イベント入力によるカウンタクリアを許可	R/W
17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可 0: ELC_GPTB イベント入力によるカウンタクリアを禁止 1: ELC_GPTB イベント入力によるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可 0: ELC_GPTC イベント入力によるカウンタクリアを禁止 1: ELC_GPTC イベント入力によるカウンタクリアを許可	R/W
19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可 0: ELC_GPTD イベント入力によるカウンタクリアを禁止 1: ELC_GPTD イベント入力によるカウンタクリアを許可	R/W
30:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CCLR	ソフトウェア要因カウンタクリア許可 0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST = 1) の場合でも、停止 (GTCR.CST = 0) の場合でも実行可能です。

GTETRGN (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

#### CSGTRGAR ビット (GTETRGA 立ち上がり要因カウンタクリア許可)

CSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSGTRGAF ビット (GTETRGA 立ち下がり要因カウンタクリア許可)

CSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSGTRGBR ビット (GTETRGB 立ち上がり要因カウンタクリア許可)

CSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSGTRGBF ビット (GTETRGB 立ち下がり要因カウンタクリア許可)

CSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可)

CSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可)

CSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可)

CSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可)

CSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

#### CSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可)

CSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

**CSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可)**

CSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

**CSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可)**

CSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

**CSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可)**

CSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

**CSELCm ビット (ELC\_GPTm イベント要因カウンタクリア許可) (m = A~D)**

CSELCm ビットは ELC\_GPTm からのイベント入力による GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

**CCLR ビット (ソフトウェア要因カウンタクリア許可)**

CCLR ビットは GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可/禁止を選択します。

**20.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	USEL CD	USEL CC	USEL CB	USEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USCB FAH	USCB FAL	USCB RAH	USCB RAL	USCA FBH	USCA FBL	USCA RBH	USCA RBL	—	—	—	—	USGT RGBF	USGT RGBR	USGT RGAF	USGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USGTRGAR	GTETRGA 立ち上がり要因アップカウント許可 0: GTETRGA 入力の立ち上がりによるアップカウントを禁止 1: GTETRGA 入力の立ち上がりによるアップカウントを許可	R/W
1	USGTRGAF	GTETRGA 立ち下がり要因アップカウント許可 0: GTETRGA 入力の立ち下がりによるアップカウントを禁止 1: GTETRGA 入力の立ち下がりによるアップカウントを許可	R/W
2	USGTRGBR	GTETRGB 立ち上がり要因アップカウント許可 0: GTETRGB 入力の立ち上がりによるアップカウントを禁止 1: GTETRGB 入力の立ち上がりによるアップカウントを許可	R/W
3	USGTRGBF	GTETRGB 立ち下がり要因アップカウント許可 0: GTETRGB 入力の立ち下がりによるアップカウントを禁止 1: GTETRGB 入力の立ち下がりによるアップカウントを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	USCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W



ビット	シンボル	機能	R/W
9	USCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
10	USCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
11	USCAFHB	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
12	USCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
13	USCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
14	USCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
15	USCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
16	USELCA	ELC_GPTA イベント要因アップカウント許可 0: ELC_GPTA イベント入力によるアップカウントを禁止 1: ELC_GPTA イベント入力によるアップカウントを許可	R/W
17	USELCB	ELC_GPTB イベント要因アップカウント許可 0: ELC_GPTB イベント入力によるアップカウントを禁止 1: ELC_GPTB イベント入力によるアップカウントを許可	R/W
18	USELCC	ELC_GPTC イベント要因アップカウント許可 0: ELC_GPTC イベント入力によるアップカウントを禁止 1: ELC_GPTC イベント入力によるアップカウントを許可	R/W
19	USELCD	ELC_GPTD イベント要因アップカウント許可 0: ELC_GPTD イベント入力によるアップカウントを禁止 1: ELC_GPTD イベント入力によるアップカウントを許可	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTUPSR レジスタは、GTCNT カウンタのアップカウントの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるアップカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のインクリメント数は 1 です。

GTETR<sub>Gn</sub> (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

**USGTRGAR ビット (GTETRGA 立ち上がり要因アップカウント許可)**

USGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USGTRGAF ビット (GTETRGA 立ち下がり要因アップカウント許可)**

USGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USGTRGBR ビット (GTETRGB 立ち上がり要因アップカウント許可)**

USGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USGTRGBF ビット (GTETRGB 立ち下がり要因アップカウント許可)**

USGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可)**

USCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可)**

USCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可)**

USCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可)**

USAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可)**

USCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可)**

USCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可)**

USCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可)**

USCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可/禁止を選択します。

**USELCm ビット (ELC\_GPTm イベント要因アップカウント許可) (m = A~D)**

USELCm ビットは ELC\_GPTm からのイベント入力による GTCNT カウンタのアップカウントの許可/禁止を選択します。

### 20.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	DSEL CD	DSEL CC	DSEL CB	DSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSCB FAH	DSCB FAL	DSCB RAH	DSCB RAL	DSCA FBH	DSCA FBL	DSCA RBH	DSCA RBL	—	—	—	—	DSGT RGBF	DSGT RGBR	DSGT RGAF	DSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSGTRGAR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
1	DSGTRGAF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W
2	DSGTRGBR	GTETRGB 立ち上がり要因ダウンカウント許可 0: GTETRGB 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち上がりによるダウンカウントを許可	R/W
3	DSGTRGBF	GTETRGB 立ち下がり要因ダウンカウント許可 0: GTETRGB 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち下がりによるダウンカウントを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
9	DSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
10	DSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
11	DSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
12	DSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
13	DSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
14	DSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
15	DSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
16	DSELCA	ELC_GPTA イベント要因ダウンカウント許可 0: ELC_GPTA イベント入力によるダウンカウントを禁止 1: ELC_GPTA イベント入力によるダウンカウントを許可	R/W
17	DSELCB	ELC_GPTB イベント要因ダウンカウント許可 0: ELC_GPTB イベント入力によるダウンカウントを禁止 1: ELC_GPTB イベント入力によるダウンカウントを許可	R/W
18	DSELCC	ELC_GPTC イベント要因ダウンカウント許可 0: ELC_GPTC イベント入力によるダウンカウントを禁止 1: ELC_GPTC イベント入力によるダウンカウントを許可	R/W
19	DSELCD	ELC_GPTD イベント要因ダウンカウント許可 0: ELC_GPTD イベント入力によるダウンカウントを禁止 1: ELC_GPTD イベント入力によるダウンカウントを許可	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDNSR レジスタは、GTCNT カウンタのダウンカウントの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるダウンカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のデクリメント数は 1 です。

GTETR<sub>Gn</sub> (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

#### DSGTRGAR ビット (GTETRGA 立ち上がり要因ダウンカウント許可)

DSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

#### DSGTRGAF ビット (GTETRGA 立ち下がり要因ダウンカウント許可)

DSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

#### DSGTRGBR ビット (GTETRGB 立ち上がり要因ダウンカウント許可)

DSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

#### DSGTRGBF ビット (GTETRGB 立ち下がり要因ダウンカウント許可)

DSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

#### DSCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可)

DSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

#### DSCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可)

DSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**DSCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可)**

DSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**DSCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可)**

DSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**DSCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可)**

DSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**DSCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可)**

DSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**DSCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可)**

DSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**DSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可)**

DSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**DSELCm ビット (ELC\_GPTm イベント要因ダウンカウント許可) (m = A~D)**

DSELCm ビットは ELC\_GPTm からのイベント入力による GTCNT カウンタのダウンカウントの許可/禁止を選択します。

**20.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	ASEL CD	ASEL CC	ASEL CB	ASEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASCB FAH	ASCB FAL	ASCB RAH	ASCB RAL	ASCA FBH	ASCA FBL	ASCA RBH	ASCA RBL	—	—	—	—	ASGT RGBF	ASGT RGBR	ASGT RGAF	ASGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ASGTRGAR	GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
1	ASGTRGAF	GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
2	ASGTRGBR	GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
3	ASGTRGBF	GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ASCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
9	ASCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
10	ASCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
11	ASCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
12	ASCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
13	ASCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インพุットキャプチャを許可	R/W
14	ASCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
15	ASCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インพุットキャプチャを許可	R/W
16	ASELCA	ELC_GPTA イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRA インพุットキャプチャを許可	R/W
17	ASELCB	ELC_GPTB イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRA インพุットキャプチャを許可	R/W
18	ASELCC	ELC_GPTC イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRA インพุットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
19	ASELCD	ELC_GPTD イベント要因 GTCCRA インพุットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRA インพุットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRA インพุットキャプチャを許可	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICASR レジスタは、GTCCRA レジスタへのインพุットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRA レジスタをインพุットキャプチャレジスタとするインพุットキャプチャ動作を行います。

GTETR<sub>Gn</sub> (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

#### ASGTRGAR ビット (GTETRGA 立ち上がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASGTRGAF ビット (GTETRGA 立ち下がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASGTRGBR ビット (GTETRGB 立ち上がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASGTRGBF ビット (GTETRGB 立ち下がり要因 GTCCRA インพุットキャプチャ許可)

ASGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASCARBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASCARBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASCAFBL ビット (GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASCAFBH ビット (GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

#### ASCBRAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インพุットキャプチャ許可)

ASCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可/禁止を選択します。

**ASCBRAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可)**

ASCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可/禁止を選択します。

**ASCBFAL ビット (GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)**

ASCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可/禁止を選択します。

**ASCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可)**

ASCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可/禁止を選択します。

**ASELCm ビット (ELC\_GPTm イベント要因 GTCCRA インプットキャプチャ許可) (m = A~D)**

ASELCm ビットは ELC\_GPTm からのイベント入力による GTCCRA レジスタへのインプットキャプチャの許可/禁止を選択します。

**20.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	BSEL CD	BSEL CC	BSEL CB	BSEL CA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSCB FAH	BSCB FAL	BSCB RAH	BSCB RAL	BSCA FBH	BSCA FBL	BSCA RBH	BSCA RBL	—	—	—	—	BSGT RGBF	BSGT RGBR	BSGT RGAF	BSGT RGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSGTRGAR	GTETRG A 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRG A 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRG A 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
1	BSGTRGAF	GTETRG A 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRG A 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRG A 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
2	BSGTRGBR	GTETRG B 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRG B 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRG B 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
3	BSGTRGBF	GTETRG B 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRG B 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRG B 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W



ビット	シンボル	機能	R/W
9	BSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
10	BSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
11	BSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
12	BSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
13	BSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
14	BSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
15	BSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
16	BSELCA	ELC_GPTA イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを許可	R/W
17	BSELCB	ELC_GPTB イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを許可	R/W
18	BSELCC	ELC_GPTC イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを許可	R/W
19	BSELCD	ELC_GPTD イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを許可	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETR<sub>Gn</sub> (n = A, B) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

**BSGTRGAR ビット (GTETRGA 立ち上がり要因 GTCCRB インพุットキャプチャ許可)**

BSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSGTRGAF ビット (GTETRGA 立ち下がり要因 GTCCRB インพุットキャプチャ許可)**

BSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSGTRGBR ビット (GTETRGB 立ち上がり要因 GTCCRB インพุットキャプチャ許可)**

BSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSGTRGBF ビット (GTETRGB 立ち下がり要因 GTCCRB インพุットキャプチャ許可)**

BSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCARBL ビット (GTIOC<sub>n</sub>B 端子 Low レベルでの GTIOC<sub>n</sub>A 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCARBL ビットは GTIOC<sub>n</sub>B 端子入力が 0 状態での GTIOC<sub>n</sub>A 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCARBH ビット (GTIOC<sub>n</sub>B 端子 High レベルでの GTIOC<sub>n</sub>A 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCARBH ビットは GTIOC<sub>n</sub>B 端子入力が 1 状態での GTIOC<sub>n</sub>A 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCAFBL ビット (GTIOC<sub>n</sub>B 端子 Low レベルでの GTIOC<sub>n</sub>A 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCAFBL ビットは GTIOC<sub>n</sub>B 端子入力が 0 状態での GTIOC<sub>n</sub>A 端子入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCAFBH ビット (GTIOC<sub>n</sub>B 端子 High レベルでの GTIOC<sub>n</sub>A 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCAFBH ビットは GTIOC<sub>n</sub>B 端子入力が 1 状態での GTIOC<sub>n</sub>A 端子入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCBRAL ビット (GTIOC<sub>n</sub>A 端子 Low レベルでの GTIOC<sub>n</sub>B 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCBRAL ビットは GTIOC<sub>n</sub>A 端子入力が 0 状態での GTIOC<sub>n</sub>B 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCBRAH ビット (GTIOC<sub>n</sub>A 端子 High レベルでの GTIOC<sub>n</sub>B 端子立ち上がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCBRAH ビットは GTIOC<sub>n</sub>A 端子入力が 1 状態での GTIOC<sub>n</sub>B 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCBFAL ビット (GTIOC<sub>n</sub>A 端子 Low レベルでの GTIOC<sub>n</sub>B 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCBFAL ビットは GTIOC<sub>n</sub>A 端子入力が 0 状態での GTIOC<sub>n</sub>B 端子入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

**BSCBFAH ビット (GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インพุットキャプチャ許可)**

BSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可/禁止を選択します。

**BSELCm ビット (ELC\_GPTm イベント要因 GTCCRB インพุットキャプチャ許可) (m = A~D)**

BSELCm ビットは ELC\_GPTm からのイベント入力による GTCCRB レジスタへのインพุットキャプチャの許可/禁止を選択します。

**20.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CST	カウントスタート 0: カウント動作を停止 1: カウント動作を実行	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	MD[2:0]	モード選択 0 0 0: のこぎり波 PWM モード (シングル/ダブルバッファ可) 0 0 1: のこぎり波ワンショットパルスモード (バッファ動作固定) 0 1 0: 設定禁止 0 1 1: 設定禁止 1 0 0: 三角波 PWM モード 1 (谷 32 ビット転送) (シングル/ダブルバッファ可) 1 0 1: 三角波 PWM モード 2 (山/谷 32 ビット転送) (シングル/ダブルバッファ可) 1 1 0: 三角波 PWM モード 3 (谷 64 ビット転送) (バッファ動作固定) 1 1 1: 設定禁止	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	TPCS[2:0]	タイマプリスケーラ選択 0 0 0: PCLKD/1 0 0 1: PCLKD/4 0 1 0: PCLKD/16 0 1 1: PCLKD/64 1 0 0: PCLKD/256 1 0 1: PCLKD/1024 その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

**CST ビット (カウントスタート)**

CST ビットは GTCNT カウンタのスタート/ストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき

- GTSSR レジスタでカウントスタート要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 4~9)
- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値 (チャンネル番号はビット番号に対応) を 1 にしたとき
- GTPSR レジスタでカウントストップ要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 4~9)
- ソフトウェアで直接 0 を書き込んだとき

**MD[2:0]ビット (モード選択)**

MD[2:0]ビットは GPT の動作モードを選択します。MD[2:0]ビットの設定は、GTCNT の動作が停止した状態で行ってください。

**TPCS[2:0]ビット (タイマプリスケアラ選択)**

TPCS[2:0]ビットは GTCNT カウンタのクロックを選択します。チャンネルごとに個別にクロックプリスケアラの選択が可能です。TPCS[2:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

**20.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティ設定レジスタ**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	OBDT YR	OBDT YF	OBDTY[1:0]	—	—	—	—	OADT YR	OADT YF	OADTY[1:0]	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	UD	カウント方向設定 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R/W
1	UDF	カウント方向強制設定 0: 強制設定しない 1: 強制設定する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	OADTY[1:0]	GTIOCnA 出力デューティ設定 0 0: GTIOCnA 端子のデューティはコンペアマッチに依存 0 1: GTIOCnA 端子のデューティはコンペアマッチに依存 1 0: GTIOCnA 端子のデューティは 0% 1 1: GTIOCnA 端子のデューティは 100%	R/W
18	OADTYF	GTIOCnA 出力デューティ強制設定 0: 強制設定しない 1: 強制設定する	R/W
19	OADTYR	0%/100%デューティ設定解除後の GTIOCnA 出力値選択 0: 0%/100%デューティ比設定解除後にデューティ比が設定された場合、GTIOA[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティ比設定解除後に GTIOA[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
25:24	OBDTY[1:0]	GTIOCnB 出力デューティ設定 0 0: GTIOCnB 端子のデューティはコンペアマッチに依存 0 1: GTIOCnB 端子のデューティはコンペアマッチに依存 1 0: GTIOCnB 端子のデューティは 0% 1 1: GTIOCnB 端子のデューティは 100%	R/W
26	OBDTYF	GTIOCnB 出力デューティ強制設定 0: 強制設定しない 1: 強制設定する	R/W
27	OBDTYR	0%/100%デューティ設定解除後の GTIOCnB 出力値選択 0: 0%/100%デューティ比設定解除後にデューティ比が設定された場合、GTIOB[3:2]ビットで選択された機能が出力値に適用 1: 0%/100%デューティ比設定解除後に GTIOB[3:2]ビットで選択された機能がマスクされたコンペアマッチ出力値に適用	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 4~9

GTUDDTYC レジスタは、GTCNT カウンタのカウンタ方向（アップ/ダウン）および GTIOCnA/GTIOCnB 端子出力のデューティを設定するレジスタです。

イベントカウンタ動作中では、本設定は無効です。

#### 【カウンタ方向】

- のこぎり波モードの場合

アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウンタクロックに同期したタイミングで）カウンタ方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウンタクロックに同期したタイミングで）カウンタ方向が切り替わります。

カウンタ停止中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウンタ動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウンタクロックに同期したタイミングで）カウンタ方向が切り替わります。カウンタ停止中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウンタ動作はダウンカウントとなり、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウンタクロックに同期したタイミングで）カウンタ方向が切り替わります。

カウンタ停止中に UDF ビットを 1 にすると、UD ビット値がカウンタスタート時のカウンタ方向に反映されます。

- 三角波モードの場合

カウンタ中に UD 値を変更しても、カウンタ方向は切り替わりません。カウンタストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウンタスタート時のカウンタ方向には反映されません。

カウンタ停止中に UDF ビットを 1 にすると、そのときの UD 値がカウンタスタート時のカウンタ方向に反映されます。

#### UD ビット（カウンタ方向設定）

UD ビットは GTCNT カウンタのカウンタ方向（アップ/ダウン）を設定します。

#### UDF ビット（カウンタ方向強制設定）

UDF ビットは GTCNT カウンタスタート時のカウンタ方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウンタストップ中に 1 を書いた場合、カウンタがスタートする前に 0 に戻してください。

#### 【出力デューティ】

- のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時（GTCNT = GTPR）にデューティが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時（GTCNT = 0）にデューティが反映されます。

カウンタ停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティは反映されません。カウンタ方向がアップカウントの場合、オーバーフロー時（GTCNT = GTPR）に出力デューティが反映されます。カウンタ方向がダウンカウントの場合、アンダーフロー時（GTCNT = 0）に出力デューティが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティが反映されます。

● 三角波モードの場合

カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティは反映されません。ただし、アンダーフロー時に出力デューティが反映されます。

カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティが反映されます。

**OmDTY[1:0]ビット (GTIOCnm 出力デューティ設定) (m = A、B)**

OmDTY[1:0]ビットは GTIOCnm 端子の出力デューティ (0%、100%、またはコンペアマッチ制御) を設定します。

**OmDTYF ビット (GTIOCnm 出力デューティ強制設定) (m = A、B)**

OmDTYF ビットは出力デューティ比を OmDTY の設定値に強制的に設定します。カウンタの動作中は、本ビットを 0 にしてください。カウントストップ中に OmDTYF ビットを 1 にした場合は、カウンタの動作開始後、最初の周期が終わるまでにこのビットを 0 に戻してください。

**OmDTYR ビット (0%/100%デューティ設定解除後の GTIOCnm 出力値選択) (m = A、B)**

制御が 0%/100%デューティ設定から GTIOCnm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2]ビットが 00b (周期の終わりで出力保持) または 11b (周期の終わりでトグル出力) に設定された場合、OmDTYR ビットは周期の終わりで出力保持/トグル出力の対象となる値を選択します。

デューティ比 0%/100%動作中に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでコンペアマッチの値が GTIOm[3:2]ビットに適用されます。

**20.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ**

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCSB[1:0]		NFBE N	—	—	OBDF[1:0]		OBE	OBHL D	OBDF LT	—	GTIOB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	NFCSA[1:0]		NFAE N	—	—	OADF[1:0]		OAE	OAHL D	OADF LT	—	GTIOA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOA[4:0]	GTIOCnA 端子機能選択 表 20.4 を参照してください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OADFLT	カウントストップ時の GTIOCnA 端子出力値設定 0: カウントストップ時に GTIOCnA 端子は Low を出力 1: カウントストップ時に GTIOCnA 端子は High を出力	R/W
7	OAHL D	カウントスタート/ストップ時の GTIOCnA 端子出力設定 0: カウントスタート/ストップ時の GTIOCnA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時の GTIOCnA 端子出力レベルは保持される	R/W
8	OAE	GTIOCnA 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W

ビット	シンボル	機能	R/W
10:9	OADF[1:0]	GTIOcNA 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOcNA 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOcNA 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOcNA 端子は 1 に設定される	R/W
12:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	NFAEN	GTIOcNA 端子入力ノイズフィルタ有効 0: GTIOcNA 端子のノイズフィルタは無効 1: GTIOcNA 端子のノイズフィルタは有効	R/W
15:14	NFCSA[1:0]	GTIOcNA 端子入力ノイズフィルタサンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
20:16	GTIOB[4:0]	GTIOcNB 端子機能選択 表 20.4 を参照してください。	R/W
21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	OBDFLT	カウントストップ時の GTIOcNB 端子出力値設定 0: カウントストップ時に GTIOcNB 端子は Low を出力 1: カウントストップ時に GTIOcNB 端子は High を出力	R/W
23	OBHLD	カウントスタート/ストップ時の GTIOcNB 端子出力設定 0: カウントスタート/ストップ時の GTIOcNB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート/ストップ時の GTIOcNB 端子出力レベルは保持される	R/W
24	OBE	GTIOcNB 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
26:25	OBDF[1:0]	GTIOcNB 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOcNB 端子は Hi-Z に設定される 1 0: 出力ネゲート制御に対応して GTIOcNB 端子は 0 に設定される 1 1: 出力ネゲート制御に対応して GTIOcNB 端子は 1 に設定される	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFBEN	ノイズフィルタ B 有効 0: GTIOcNB 端子のノイズフィルタは無効 1: GTIOcNB 端子のノイズフィルタは有効	R/W
31:30	NFC SB[1:0]	ノイズフィルタ B サンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注. n = 4~9

GTIOR レジスタは GTIOcNA 端子と GTIOcNB 端子の機能を設定するレジスタです。(n = 4~9)

#### GTIOA[4:0]ビット (GTIOcNA 端子機能選択)

GTIOA[4:0]ビットは GTIOcNA 端子の機能を選択します。詳細は、表 20.4 を参照してください。

#### OADFLT ビット (カウントストップ時の GTIOcNA 端子出力値設定)

OADFLT ビットはカウントストップ時に、GTIOcNA 端子が High または Low のいずれを出力するかを設定します。

#### OAHL D ビット (カウントスタート/ストップ時の GTIOcNA 端子出力設定)

OAHL D ビットはカウントスタート/ストップ時に、GTIOcNA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OAHL D ビットを 0 にした場合]

- カウントスタート時に、GTIOA[4]ビットで指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に、OADFLT ビットを書き換えた場合、ただちに出力に反映される

[OAHL D ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

#### **OAE ビット (GTIOCnA 端子出力許可)**

OAE ビットは GTIOCnA 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくともひとつのビットが 1 の状態の場合) は、OAE ビットの設定にかかわらず GTIOCnA 端子出力を行いません。

#### **OADF[1:0]ビット (GTIOCnA 端子禁止値設定)**

OADF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnA 端子の出力値を選択します。

#### **NFAEN ビット (GTIOCnA 端子入力ノイズフィルタ有効)**

NFAEN ビットは GTIOCnA 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

#### **NFCSA[1:0]ビット (GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択)**

NFCSA[1:0]ビットは GTIOCnA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

#### **GTIOB[4:0]ビット (GTIOCnB 端子機能選択)**

GTIOB[4:0]ビットは GTIOCnB 端子の機能を選択します。詳細は、表 20.4 を参照してください。

#### **OBDFLT ビット (カウントストップ時の GTIOCnB 端子出力値設定)**

OBDFLT ビットはカウントストップ時に、GTIOCnB 端子が High または Low のいずれを出力するかを設定します。

#### **OBHLD ビット (カウントスタート/ストップ時の GTIOCnB 端子出力設定)**

OBHLD ビットはカウントスタート/ストップ時に、GTIOCnB 端子の出力レベルが保持されるか、レジスタ設定値に従うか指定します。

[OBHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOB[4]ビットで指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に、OBDFLT ビットを書き換えた場合、ただちに出力に反映される

[OBHLD ビットを 1 にした場合]

- カウントスタート/ストップ時に出力が保持される

#### **OBE ビット (GTIOCnB 端子出力許可)**

OBE ビットは GTIOCnB 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくともひとつのビットが 1 の状態の場合) は、OBE ビットの設定にかかわらず GTIOCnB 端子出力を行いません。

#### **OBDF[1:0]ビット (GTIOCnB 端子禁止値設定)**

OBDF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnB 端子の出力値を選択します。



**NFBEN ビット (ノイズフィルタ B 有効)**

NFBEN ビットは GTIOCnB 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

**NFCSB[1:0]ビット (ノイズフィルタ B サンプリングクロック選択)**

NFCSB[1:0]ビットは GTIOCnB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の2周期分待った後、インプットキャプチャ機能を設定してください。

**表 20.4 GTIOA[4:0]ビットと GTIOB[4:0]ビットの設定値**

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3, b2(注1) (注2) (注3)	b1, b0(注2)
0	0	0	0	0	初期出力は Low	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

- 注 1. 周期の終わりとは、のこぎり波モードのときはオーバーフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダーフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、カウンタクリア、三角波モードのときは谷（GTCNT が 0 から 1 になる）を示します。
- 注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致した場合、のこぎり波 PWM モードでは b3-b2 の設定値が優先され、それ以外のモードでは b1-b0 の設定値が優先されます。
- 注 3. イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合）、b3-b2 の設定は無効です。

### 20.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	GRPA BL	GRPA BH	—	—	—	GRP[1:0]	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因選択 0 1: グループ B 出力禁止要因選択 その他: 設定禁止	R/W
28:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	GRPABH	同時出力レベル High 禁止要求許可 0: 同時出力レベル High 禁止要求を禁止 1: 同時出力レベル High 禁止要求を許可	R/W
30	GRPABL	同時出力レベル Low 禁止要求許可 0: 同時出力レベル Low 禁止要求を禁止 1: 同時出力レベル Low 禁止要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTINTAD レジスタは、割り込み要求、および出力禁止要求の許可／禁止を設定するレジスタです。

#### GRP[1:0]ビット（出力禁止要因選択）

GPT から POEG への出力禁止要求のグループと、POEG から GPT への GTIOCnA 端子と GTIOCnB 端子の出力禁止のグループを選択します。

POEG への出力禁止要求は、それぞれの禁止要求許可ビットに続くデッドタイムエラー、同時 High 出力、同時 Low 出力要因とともに、GRP[1:0]ビットで選択されたグループへ出力されます。

GTST.ODF は GRP[1:0]ビットで選択した出力禁止要因グループの要求を示します。GTIOR.OAE ビットと GTIOR.OBE ビットがともに 0 の場合に GRP[1:0]ビットを設定してください。

#### GRPABH ビット（同時出力レベル High 禁止要求許可）

GRPABH ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

#### GRPABL ビット（同時出力レベル Low 禁止要求許可）

GRPABL ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

### 20.2.16 GTST : 汎用 PWM タイマステータスレジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	OABL F	OABH F	—	—	—	—	ODF	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TUCF	—	—	—	—	—	—	—	TCFP U	TCFP O	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCFA	インพุットキャプチャ/コンペアマッチフラグ A 0: GTCCRA インพุットキャプチャ/コンペアマッチの発生なし 1: GTCCRA インพุットキャプチャ/コンペアマッチの発生あり	R/W(注1)
1	TCFB	インพุットキャプチャ/コンペアマッチフラグ B 0: GTCCRB インพุットキャプチャ/コンペアマッチの発生なし 1: GTCCRB インพุットキャプチャ/コンペアマッチの発生あり	R/W(注1)
2	TCFC	インพุットコンペアマッチフラグ C 0: GTCCRC コンペアマッチの発生なし 1: GTCCRC コンペアマッチの発生あり	R/W(注1)
3	TCFD	インพุットコンペアマッチフラグ D 0: GTCCRD コンペアマッチの発生なし 1: GTCCRD コンペアマッチの発生あり	R/W(注1)
4	TCFE	インพุットコンペアマッチフラグ E 0: GTCCRE コンペアマッチの発生なし 1: GTCCRE コンペアマッチの発生あり	R/W(注1)
5	TCFF	インพุットコンペアマッチフラグ F 0: GTCCRF コンペアマッチの発生なし 1: GTCCRF コンペアマッチの発生あり	R/W(注1)
6	TCFPO	オーバーフローフラグ 0: オーバーフロー (山) の発生なし 1: オーバーフロー (山) の発生あり	R/W(注1)
7	TCFPU	アンダーフローフラグ 0: アンダーフロー (谷) の発生なし 1: アンダーフロー (谷) の発生あり	R/W(注1)
14:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TUCF	カウント方向フラグ 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ODF	出力禁止フラグ 0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
28:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	OABHF	同時出力レベル High フラグ 0: GTIOCnA 端子と GTIOCnB 端子は同時に 1 を出力していない 1: GTIOCnA 端子と GTIOCnB 端子は同時に 1 を出力した	R
30	OABLF	同時出力レベル Low フラグ 0: GTIOCnA 端子と GTIOCnB 端子は同時に 0 を出力していない 1: GTIOCnA 端子と GTIOCnB 端子は同時に 0 を出力した	R
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは 0 のみ書けます。1 を書かないでください。

GTST レジスタは、GPT の状態を示します。

#### TCFA フラグ (インプットキャプチャ/コンペアマッチフラグ A)

TCFA フラグは GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA レジスタ値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

#### TCFB フラグ (インプットキャプチャ/コンペアマッチフラグ B)

TCFB フラグは GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB レジスタ値になったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

#### TCFC フラグ (インプットコンペアマッチフラグ C)

TCFC フラグは GTCCRC のコンペアマッチのステータスを示します。

GTCCRC がバッファ動作を行う場合、GTCCRC はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b、10b、11b (GTCCRC レジスタがバッファ動作)

#### TCFD フラグ (インプットコンペアマッチフラグ D)

TCFD フラグは GTCCRD のコンペアマッチのステータスを示します。

GTCCRD がバッファ動作を行う場合、GTCCRD はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)

- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b、11b (GTCCRD レジスタがバッファ動作)

#### TCFE フラグ (インプットコンペアマッチフラグ E)

TCFE フラグは GTCCRE のコンペアマッチのステータスを示します。

GTCCRE がバッファ動作を行う場合、GTCCRE はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b、10b、11b (GTCCRE レジスタがバッファ動作)

#### TCFF フラグ (インプットコンペアマッチフラグ F)

TCFF フラグは GTCCRF のコンペアマッチのステータスを示します。

GTCCRF がバッファ動作を行う場合、GTCCRF はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b、11b (GTCCRF レジスタがバッファ動作)

#### TCFPO フラグ (オーバーフローフラグ)

TCFPO フラグはオーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー (アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化) が発生したとき
- 三角波モードにおいて、山 (GTCNT カウンタが GTPR 値から GTPR 値-1 に変化) が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー (アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化) が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

#### TCFPU フラグ (アンダーフローフラグ)

TCFPU フラグはアンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー (ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化) が発生したとき

- 三角波モードにおいて、谷（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

#### TUCF フラグ（カウント方向フラグ）

TUCF フラグは GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

#### ODF フラグ（出力禁止フラグ）

ODF フラグは GRP[1:0] ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

#### OABHF フラグ（同時出力レベル High フラグ）

OABHF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABHF フラグによる割り込みが許可 (GTINTAD.GRPABH = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

#### OABLF フラグ（同時出力レベル Low フラグ）

OABLF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABLF フラグによる割り込みが許可 (GTINTAD.GRPABL = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力 (PWM 出力) 信号です。出力禁止条件下においても、内部ではコンペアマッチ動作が継続します。OABHF フラグまたは OABLF フラグが動作結果に基づいて更新されます。

### 20.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD1	BD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BD0	GTCCR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
1	BD1	GTPR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CCRA[1:0]	GTCCRA バッファ動作 00: バッファ動作しない 01: シングルバッファ動作 (GTCCRA レジスタ ↔ GTCCRC レジスタ) その他: ダブルバッファ動作 (GTCCRA レジスタ ↔ GTCCRC レジスタ ↔ GTCCRD レジスタ)	R/W
19:18	CCRB[1:0]	GTCCRB バッファ動作 00: バッファ動作しない 01: シングルバッファ動作 (GTCCRB レジスタ ↔ GTCCRE レジスタ) その他: ダブルバッファ動作 (GTCCRB レジスタ ↔ GTCCRE レジスタ ↔ GTCCRF レジスタ)	R/W
21:20	PR[1:0]	GTPR バッファ動作 00: バッファ動作しない 01: シングルバッファ動作 (GTPBR レジスタ → GTPR レジスタ) その他: 設定禁止	R/W
22	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。	W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTBER レジスタは、バッファ動作を設定するレジスタです。GTBER レジスタは、GTCNT カウンタが停止しているときに設定する必要があります。

#### BD0 ビット (GTCCR バッファ動作禁止)

BD0 ビットは GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD0 ビットを 0 にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

#### BD1 ビット (GTPR バッファ動作禁止)

BD1 ビットは GTPR、および GTPBR レジスタを組み合わせたバッファ動作を禁止します。

**CCRA[1:0]ビット (GTCCRA バッファ動作)**

CCRA[1:0]ビットは GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 (谷での 64 ビット転送) では、バッファ動作モードは固定されます。

**CCRB[1:0]ビット (GTCCRB バッファ動作)**

CCRB[1:0]ビットは GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 (谷での 64 ビット転送) では、バッファ動作モードは固定されます。

**PR[1:0]ビット (GTPR バッファ動作)**

PR[1:0]ビットは GTPR、および GTPBR レジスタを組み合わせたバッファ動作を設定します。

**CCRSWT ビット (GTCCRA・GTCCRB 強制バッファ動作)**

CCRSWT ビットに 1 を書くと GTCCRA、および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。本ビットは 0 が読み出され、カウントストップ時にコンペアマッチ動作が設定されている場合にのみ有効です。

**20.2.18 GTCNT : 汎用 PWM タイマカウンタ**

Base address:  $GPT16m = 0x4007\_8000 + 0x0100 \times m$  ( $m = 4 \sim 9$ )

Offset address: 0x48

Bit position: 31 0

Bit field:

Value after reset: 0

ビット	シンボル	機能	R/W
31:0	n/a	GPT16m ( $m = 4 \sim 9$ ) の場合、GTCNT は 16 ビットレジスタになります。GTCNT はカウント停止後に書き込みのみ可能です。 GPT16m ( $m = 4 \sim 9$ ) の場合、32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 GTCNT カウンタは、 $0 \leq GTCNT \leq GTPR$ の範囲に収まるように設定してください。	R/W

**20.2.19 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k ( $k = A \sim F$ )**

Base address:  $GPT16m = 0x4007\_8000 + 0x0100 \times m$  ( $m = 4 \sim 9$ )

Offset address: 0x4C (GTCCRA)  
0x50 (GTCCRB)  
0x54 (GTCCRC)  
0x58 (GTCCRE)  
0x5C (GTCCRD)  
0x60 (GTCCRF)

Bit position: 31 0

Bit field:

Value after reset: (注1) 1



ビット	シンボル	機能	R/W
31:0	n/a	GTCCRk レジスタは読み出し/書き込みレジスタです。GTCCRk レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ (16 ビットまたは 32 ビット) です。GTCCRk レジスタの有効ビット幅が 16 ビットの場合、32 ビットアクセスした場合の上位 16 ビットは、常に、書き込みは無効、読み出し値は 0x0000 です。 GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア/インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタはコンペアマッチレジスタであり、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。 GTCCRD レジスタと GTCCRF レジスタはコンペアマッチレジスタであり、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ (GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ) としても機能します。	R/W

注 1. GPT16m (m = 4~9) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

## 20.2.20 GTPR : 汎用 PWM タイマ周期設定レジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x64

Bit position: 31

0

Bit field:

Value after reset:

(注1)

1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTPR レジスタは、読み出し/書き込み可能なレジスタで、GTCNT カウンタのカウンタ最大値を設定するレジスタです。GTPR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ (16 ビットまたは 32 ビット) です。GTPR レジスタの有効ビット幅が 16 ビットの場合、32 ビットアクセスした場合の上位 16 ビットは、常に、書き込みは無効、読み出し値は 0x0000 です。 のこぎり波の場合は、(GTPR + 1) の値が周期になります。三角波の場合は、(GTPR × 2) の値が周期になります。	R/W

注 1. GPT16m (m = 4~9) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

## 20.2.21 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x68

Bit position: 31

0

Bit field:

Value after reset:

(注1)

1 1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能する、読み出し/書き込みレジスタです。GTPBR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ (16 ビットまたは 32 ビット) です。GTPBR レジスタの有効ビット幅が 16 ビットの場合、32 ビットアクセスした場合の上位 16 ビットは、常に、書き込みは無効、読み出し値は 0x0000 です。	R/W

注 1. GPT16m (m = 4~9) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

## 20.2.22 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x88

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDE	逆相波形設定 0: GTDVU レジスタを使用しないで、GTCCRB レジスタを設定する 1: GTDVU レジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。GPT にはデッドタイム制御機能があります。デッドタイム値の設定には GTDVU レジスタを使用します。

## TDE ビット (逆相波形設定)

TDE ビットは GTDVU レジスタを使用するか否かを指定します。GTDVU レジスタを使用する場合、正相波形のコンペアマッチ値 (GTCCRA 値) とデッドタイム値 (GTDVU 値) から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、GTCCRB レジスタで自動設定は行われません。

GTCCRB レジスタ値が自動設定される時、下記のような上限/下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタには下記の制限値が設定されます。

- 三角波の場合  
上限値: GTPR 値 - 1  
下限値: アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合  
上限値: GTPR 値  
下限値: 0

## 20.2.23 GTDVU : 汎用 PWM タイマデッドタイム値レジスタ U

Base address: GPT16m = 0x4007\_8000 + 0x0100 × m (m = 4~9)

Offset address: 0x8C

Bit position:	31	0
Bit field:	[Empty Box]	
Value after reset: (注1)	1 1	

ビット	シンボル	機能	R/W
31:0	n/a	<p>GTDVU レジスタは、PWM 波形を生成するためのデッドタイム値を設定する、読み出し／書き込みレジスタです。GTDVU レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ (16 ビットまたは 32 ビット) です。GTDVU レジスタの有効ビット幅が 16 ビットの場合、32 ビットアクセスした場合の上位 16 ビットは、常に、書き込みは無効、読み出し値は 0x0000 です。</p> <p>GTPR 以上の GTDVU 値は設定しないでください。また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRB レジスタを読み出すことによって、デッドタイム自動設定機能で設定されたデッドタイム付加後の逆相波形用変化ポイントの確認が可能です。GTDVU レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。</p> <p>GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。</p>	R/W

注 1. GPT16m (m = 4~9) の場合、上位 16 ビット部分のリセット後の値は 0x0000 です。

### 20.2.24 OPSCR : 出力相切り替えコントロールレジスタ

Base address: GPT\_OPS = 0x4007\_8FF0

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	RV	INV	N	P	FB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EN	—	—	—	—	—	WF	VF	UF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	UF	入力相ソフト設定 ソフトウェア設定により入力相を設定します。 OPSCR.FB ビットが 1 のとき、これらのビットの設定が有効になります。	R/W
1	VF		R/W
2	WF		R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	EN	出力相許可 0: 出力しない (外部端子は Hi-Z) 1: 出力する(注1)	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FB	外部フィードバック信号許可 入力相をソフトウェア設定値から選択します。 0: 使用禁止 1: ソフトウェア設定 (OPSCR.UF、VF、WF ビット) を選択	R/W
17	P	正相出力 (P) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
18	N	逆相出力 (N) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
19	INV	出力相反転制御 0: 正論理 (アクティブ High) を出力 1: 負論理 (アクティブ Low) を出力	R/W
20	RV	出力相回転方向反転 0: 正回転 1: 逆回転	R/W

ビット	シンボル	機能	R/W
21	ALIGN	入力相アライメント 0: 入力相を PCLKD に調整 1: 入力相を PWM の立ち下がりエッジに調整	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 その他: 設定禁止	R/W
26	GODF	グループ出力禁止機能 0: このビット機能を見捨てる 1: グループ禁止で OPSCR.EN ビットをクリア(注1)	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFEN	外部入力ノイズフィルタ有効 0: 外部入力にノイズフィルタを使用しない 1: 外部入力にノイズフィルタを使用する	R/W
31:30	NFCS[1:0]	外部入力ノイズフィルタクロック選択 外部入力のノイズフィルタサンプリングクロック設定 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注 1. OPSCR.GODF ビット = 1 の場合、OPSCR.GRP[1:0] ビットで選択した信号値が High であると、OPSCR.EN ビットは 0 になります。OPSCR レジスタは、ブラシレス DC モーター制御に必要な信号波形の出力を設定するレジスタです。

### UF, VF, WF ビット (入力相ソフト設定)

UF、VF、WF ビットはソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 の場合に、これらのビットが有効になります。

### EN ビット (出力相許可)

EN ビットは出力相 (正相/逆相) の出力許可信号を制御します。

OPSCR.EN ビットが 1 の時に出力します。

OPSCR.EN ビットが 0 のとき、まず OPSCR.FB、OPSCR.UF /VF /WF (ソフトウェア設定選択時)、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP[1:0]、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS を設定してください。それから、EN ビットを 1 に設定してください。EN ビットは POEG から出力禁止要求が発生していない場合に設定してください。また、OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0] ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。ソフトウェアで 1 が書かれても、EN ビットは 0 のままです。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットの優先順位は以下のとおりです (競合発生時)。

EN ビットでソフトウェアによる 1 書き込みと出力禁止要求による 0 クリアが競合している場合は、出力禁止要求による 0 クリアが有効です。

### FB ビット (外部フィードバック信号許可)

FB ビットは入力相にソフトウェアで設定した値 (OPSCR.UF, VF, WF) を用いるか、ホールエレメントのような外部入力を用いるかを選択します。

### P ビット (正相出力 (P) 制御)

P ビットは正相出力 (GTOUUP 端子、GTOVUP 端子、GTOWUP 端子) に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

### N ビット (逆相出力 (N) 制御)

N ビットは逆相出力 (GTOULO 端子、GTOVLO 端子、GTOWLO 端子) に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

### INV ビット (出力相反転制御)

INV ビットは出力相として、正論理 (アクティブ High) 出力、または負論理 (アクティブ Low) 出力のどちらかを選択します。

### RV ビット (出力相回転方向反転)

RV ビットは V 相 / W 相を入れ替えることにより、モーターの回転方向を反転させます。

### ALIGN ビット (入力相アライメント)

ALIGN ビットは入力相のサンプリングとして、PCLKD または PWM を選択します (入力相は OPSCR.FB ビットで指定)。

OPSCR.ALIGN ビットが 0 のとき、入力相は PCLKD に調整されます。

注. チョッピングが実行される場合、出力 PWM パルス幅は出力相切り替えの前後において、チョッピングに使用された PWM パルス幅よりも短パルスになる場合があります。これは、パルス出力切り替えタイミングと PWM 相の差分により発生します。

OPSCR.ALIGN ビットが 1 のとき、入力相は PWM の立ち下がりエッジに調整されます。

### GRP[1:0] ビット (出力禁止要因選択)

GRP[1:0] ビットは出力禁止要因を選択します。

GODF ビットが 0 のときに GRP ビットを設定してください。GRP ビットが接続グループ以外の POEG を選択するとき、出力端子のステータスは禁止に変わりません。

### GODF ビット (グループ出力禁止機能)

OPSCR.GODF = 1 かつ OPSCR.GRP[1:0] ビットで選択した要因の信号値が High になると、OPSCR.EN ビットを 0 クリアします。

OPSCR.GODF = 0 の時は、本ビットは無視されます。

GODF ビットは POEG から出力禁止要求が発生していない場合に設定してください。

### NFEN ビット (外部入力ノイズフィルタ有効)

NFEN ビットはホールセンサ入力用のノイズフィルタを選択します。OPSCR.NFEN = 0 の場合、ホールセンサ入力にノイズフィルタは使用されません。

注. 本ビットの切り替えにより生じる、意図しない内部エッジの発生を避けるために、EN ビットが 0 の間に本ビットを設定してください。

### NFCS[1:0] ビット (外部入力ノイズフィルタクロック選択)

NFCS[1:0] ビットはホールセンサ入力用のノイズフィルタのクロックを選択します。OPSCR.NFEN = 1 の場合、ホールセンサ入力用のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0] を設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

## 20.3 動作説明

### 20.3.1 基本動作

各チャンネルには 16 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA または GTCCRB レジスタの値に一致すると、対応する GTIOCnA 端子または GTIOCnB 端子からの出力を変更できます (n = 4~9)。GTCCRA または GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、GTCCRB レジスタ用のバッファレジスタとしても機能します。

### 20.3.1.1 カウンタの動作

#### (1) カウンタスタート/ストップ

各チャンネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始し、GTCR.CST ビットを 0 にするとカウント動作を停止します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャンネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャンネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

#### (2) カウントクロックによるアップカウント時の周期カウント動作

各チャンネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）すると、GTST.TCFPO フラグが 1 になり、オーバーフロー割り込み (GPTn\_OVF) も発生します。GTCNT カウンタはオーバーフロー後、0x00000000 からアップカウントを再開します。

図 20.3 にカウントクロックによるアップカウント時の周期カウント動作例を示します。

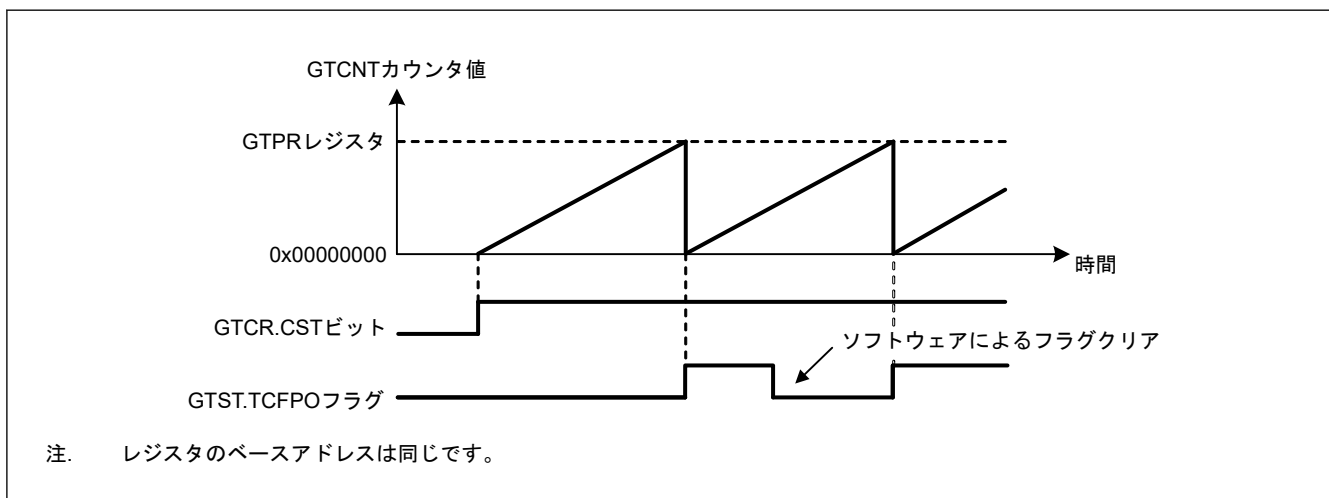


図 20.3 カウントクロックによるアップカウント時の周期カウント動作例

表 20.5 にカウントクロックによるアップカウント時の周期カウント動作の設定例を示します。

表 20.5 カウントクロックによるアップカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.3 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.3 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。(図 20.3 では 0x00000000 を設定)
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

### (3) カウントクロックによるダウンカウント時の周期カウント動作

各チャンネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化(アンダーフロー)すると、GTST.TCFPU フラグが 1 になり、アンダーフロー割り込み (GPTn\_UDF) も発生します。GTCNT カウンタはアンダーフロー後、GTPR 値からダウンカウントを再開します。

図 20.4 にカウントクロックによるダウンカウント時の周期カウント動作例を示します。

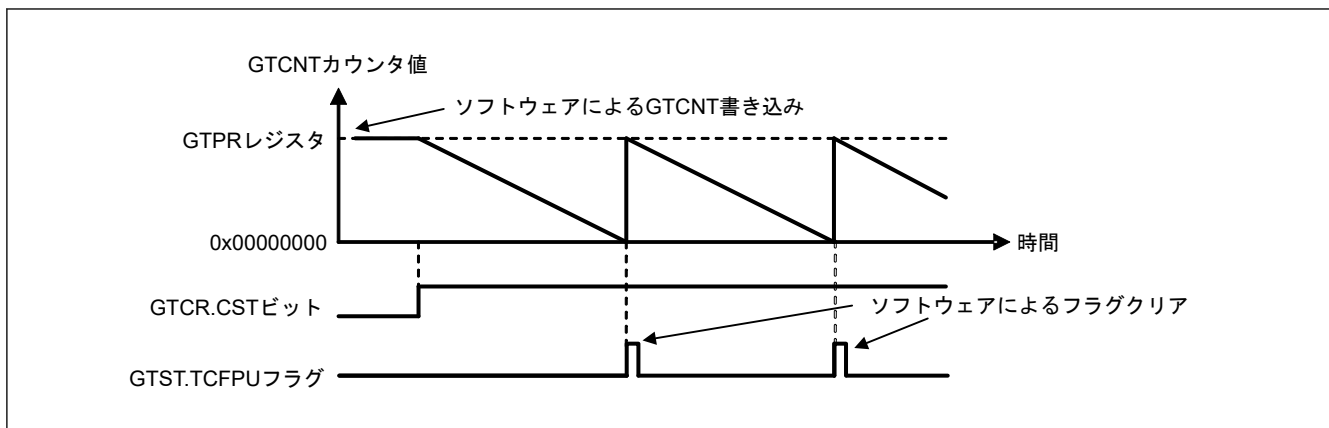


図 20.4 カウントクロックによるダウンカウント時の周期カウント動作例

表 20.6 にカウントクロックによるダウンカウント時の周期カウント動作の設定例を示します。

表 20.6 カウントクロックによるダウンカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTTCR.MD[2:0]ビットで動作モードを設定します。 図 20.4 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向を設定します。 図 20.4 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します (ダウンカウント)。
3	カウントクロックの選択	GTTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.4 では GTPR 値を設定します。
6	カウント動作開始	GTTCR.CST ビットを 1 にしてカウント動作を開始します。 図 20.4 では、CST ビットに 1 を設定します。

### (4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャンネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因を使用して、アップカウントを行うことができます。

GTUPSR レジスタが設定されている場合、GTTCR.TPCS[2:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント動作と同様です。

ハードウェア要因を使用してアップカウントを行う場合、カウント動作を有効にするために、GTTCR.CST ビットを 1 にしてください。カウント動作の開始は GTTCR.TPCS[2:0]ビットで選択されたカウントクロックに同期しているため、GTTCR.CST ビットを 1 にした後、GTTCR.TPCS[2:0]ビットにより、1 カウントクロック期間は、アップカウント動作を行うことはできません。GTTCR.CST ビットを 1 にした 1PCLKD 後からアップカウントを行うためには、GTTCR.TPCS[2:0]ビットを 000b にしてください。

図 20.5 にハードウェア要因 (GTETRGA 端子入力の立ち上がりエッジ) によるアップカウント時のイベントカウント動作例を示します。

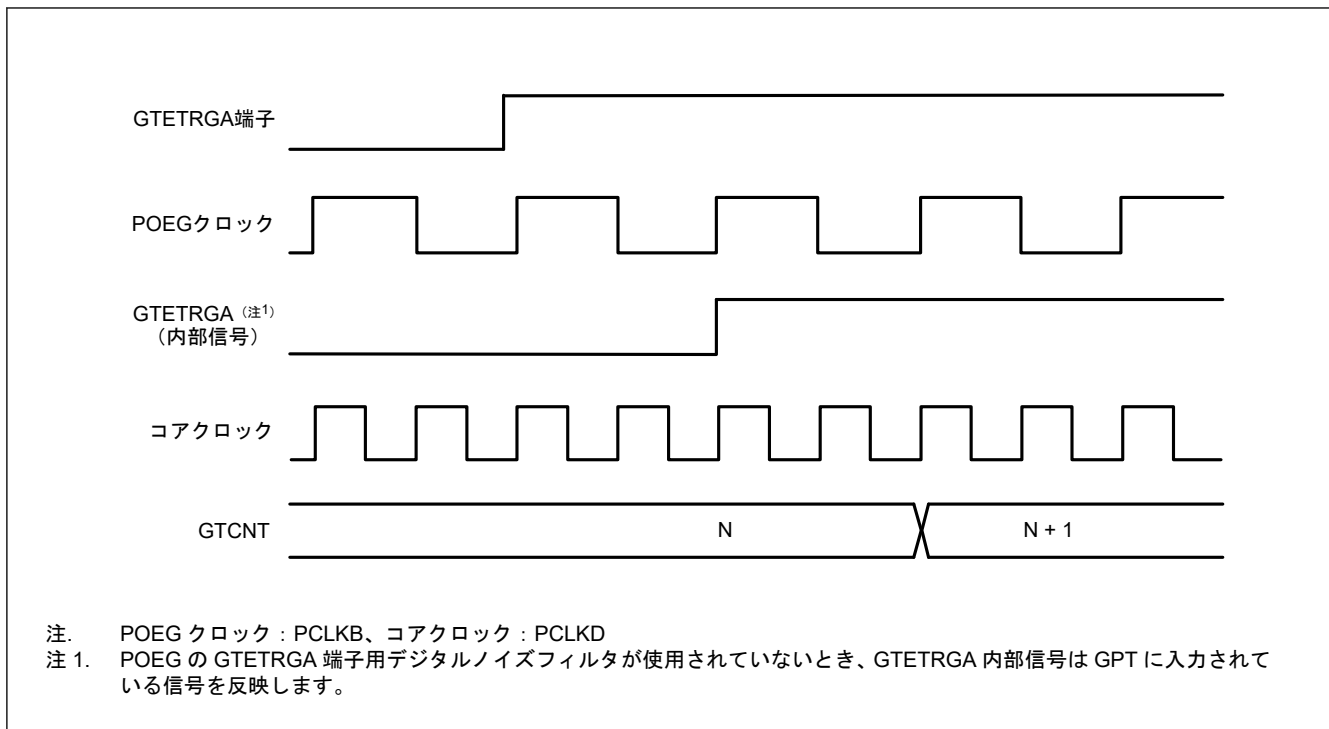


図 20.5 ハードウェア要因によるアップカウント時のイベントカウント動作例

表 20.7 にハードウェア要因によるアップカウント時のイベントカウント動作の設定例を示します。

表 20.7 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTUPSR レジスタでアップカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

### (5) ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャンネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因を使用して、ダウンカウントを行うことができます。

GTDNSR レジスタが設定されている場合、GTCR.TPCS[2:0] ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。アップカウントのハードウェア要因とダウンカウントのハードウェア要因が同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

ハードウェア要因を使用してダウンカウントを行うために、GTCR.CST ビットを 1 にすると、カウント動作が有効になります。カウント動作は、GTCR.TPCS[2:0] ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[2:0] ビットで指定された 1 クロックサイクルの間、ダウンカウント動作を行うことはできません。GTCR.CST ビットを 1 にした 1PCLKD 後からダウンカウントを行うためには、GTCR.TPCS[2:0] ビットを 000b にしてください。

図 20.6 にハードウェア要因 (GTETRGA の立ち上がりエッジ) によるダウンカウント時のイベントカウント動作例を示します。



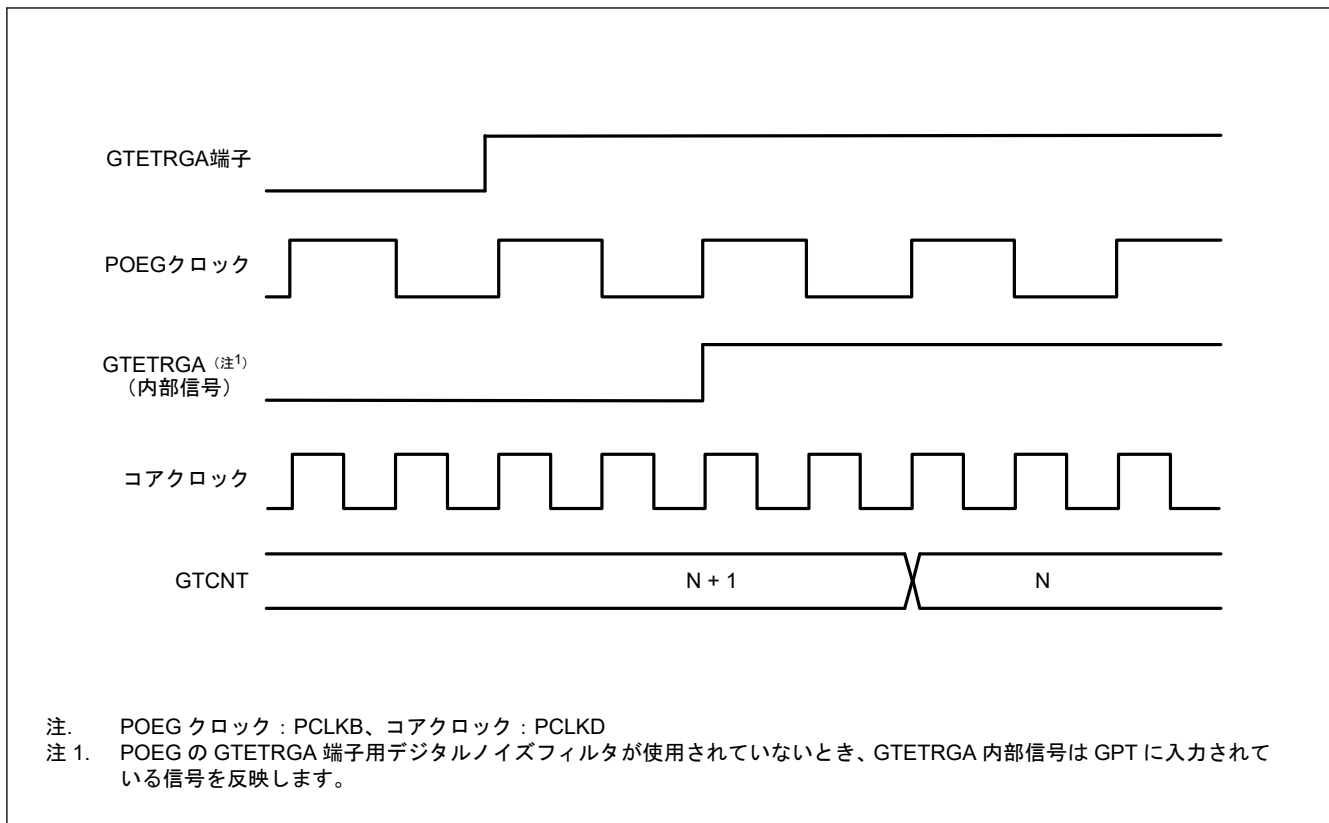


図 20.6 ハードウェア要因によるダウンカウント時のイベントカウント動作例

表 20.8 にハードウェア要因によるダウンカウント時のイベントカウント動作の設定例を示します。

表 20.8 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTDNSR レジスタでダウンカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

## (6) カウンタクリア動作

各チャンネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT レジスタへの 0 の書き込み
- GTCR.CCLR ビットが 1 の状態での GTCLR レジスタのチャンネル番号に対応するビットへの 1 書き込み
- GTCR レジスタで選択したハードウェア要因

カウント動作中は、GTCNT レジスタに書き込むことはできません。GTCLR レジスタへの 1 の書き込みおよびハードウェア要因によるクリア要求により、GTCNT カウンタが動作中 (GTCR.CST = 1) の場合でも、停止中 (GTCR.CST = 0) の場合でも GTCNT カウンタをクリアすることができます。

GTCR.MD[2:0]ビットでのこぎり波モードを選択し、カウント方向フラグがデクリメント (GTST.TUCF フラグ = 0) の場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは GTPR レジスタの値になります。

のこぎり波モードやダウンカウントではない場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 つのビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方が直ちに実行

され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[2:0]ビットで選択したカウンタクロックと同期してクリアが実行されます。

### 20.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウンタクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCN<sub>A</sub> または GTIOCN<sub>B</sub> 出力端子から Low 出力/High 出力/トグル出力を行うことができます (n = 4~9)。また、GTPR レジスタで決定される周期の終わりにおいても、GTIOCN<sub>A</sub> または GTIOCN<sub>B</sub> 端子出力を Low 出力/High 出力/トグル出力とすることができます。

“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

#### (1) Low 出力/High 出力

図 20.7 に GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力/High 出力の動作例を示します。

この例では、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCN<sub>A</sub> 端子から High が出力され、GTCCRB レジスタのコンペアマッチによって GTIOCN<sub>B</sub> 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。

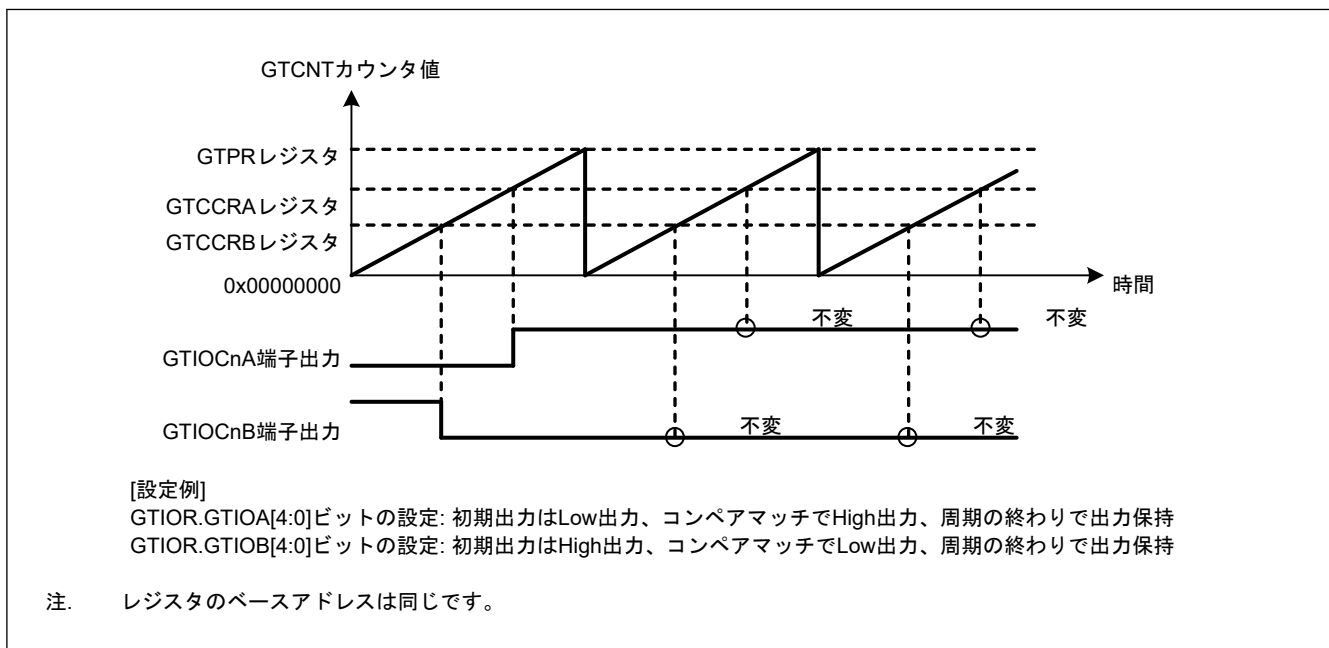


図 20.7 Low 出力/High 出力動作例

表 20.9 に Low 出力/High 出力動作の設定例を示します。

表 20.9 Low 出力/High 出力動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.7 では 000b (のこぎり波 PWM モード) を設定します。

表 20.9 Low 出力/High 出力動作の設定例 (2/2)

No.	手順名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.7 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.7 では、GTIOA[4:0] = 00010b、GTIOB[4:0] = 10001b
7	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
8	コンペアマッチ値設定	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

注. n: 4~9  
m: A, B

## (2) トグル出力

図 20.8 および図 20.9 に GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を示します。

図 20.8 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチと、GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOCN<sub>A</sub> 端子と GTIOCN<sub>B</sub> 端子がトグル出力となるように設定した例です。

図 20.9 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCN<sub>A</sub> 端子がトグル出力となり、周期の終わりで GTIOCN<sub>B</sub> 端子がトグル出力となるように設定した例です。

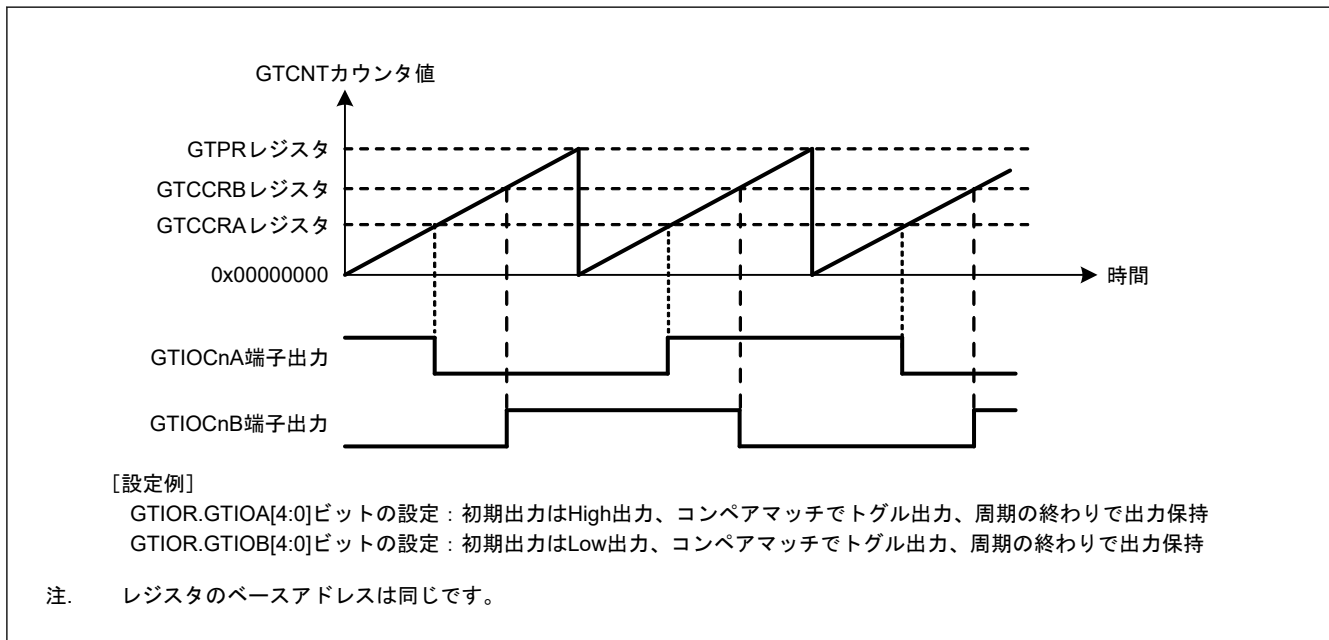


図 20.8 トグル出力動作例 (1)

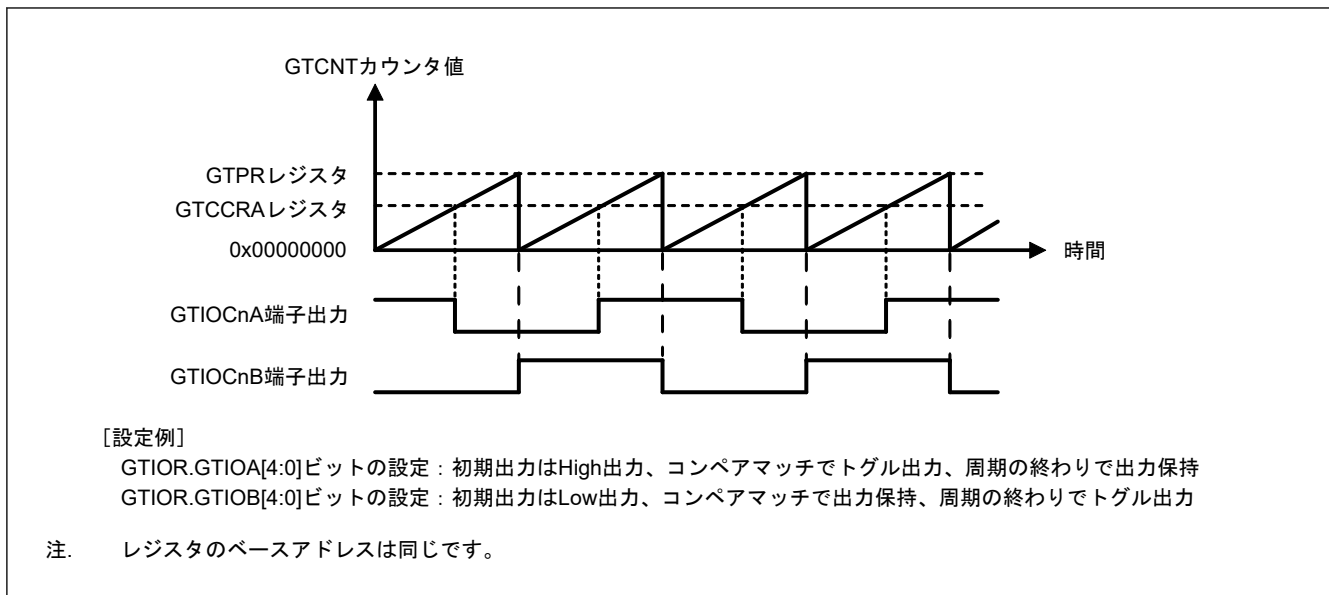


図 20.9 トグル出力動作例 (2)

表 20.10 にトグル出力動作の設定例を示します。

表 20.10 トグル出力動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.8 と 図 20.9 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。図 20.8 と 図 20.9 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOcNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOcNm 端子の機能を設定します。 図 20.8 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 00011b、図 20.9 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 01100b
7	GTIOcNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOcNm 端子出力の許可を設定します。
8	コンペアマッチ値設定	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

注. n: 4~9  
m: A, B

### 20.3.1.3 インพุットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インพุットキャプチャ機能の動作例を図 20.10 に示します。

この例では、カウントクロックで GTCNT カウンタがアップカウント動作を行い、GTIOcNA 入力端子の両エッジで GTCCRA レジスタにインพุットキャプチャを実行し、GTIOcNB 入力端子の立ち上がりエッジで GTCCRB レジスタにインพุットキャプチャを実行するように設定しています。

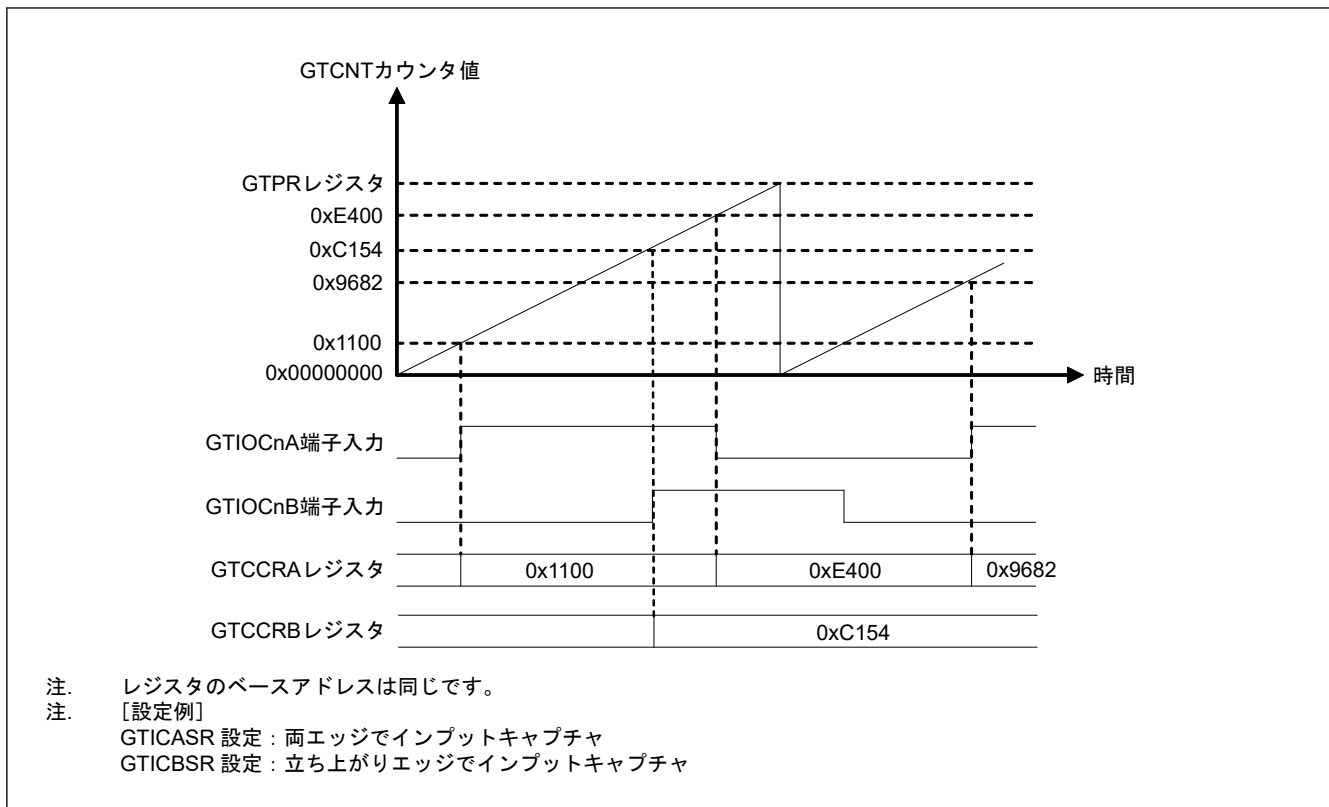


図 20.10 インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を表 20.11 と表 20.14 に示します。

表 20.11 インプットキャプチャ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.10 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.10 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.10 では、GTICASR = 0x00000F00、GTICBSR = 0x00003000
7	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

### 20.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR レジスタ、GTPBR レジスタ
- GTCCRA レジスタ、GTCCRC レジスタ、GTCCRD レジスタ
- GTCCRB レジスタ、GTCCRE レジスタ、GTCCRF レジスタ

#### 20.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。

バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR レジスタで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR.CCLRn ビットが 1、n = 4~9）

GTPR レジスタをバッファとして機能するように設定する場合は、GTBER.PR ビットを 1 にしてください。GTPR レジスタをバッファとして機能しないように設定する場合は、GTBER.PR ビットを 0 にしてください。

GTPR レジスタのバッファ動作例を図 20.11~図 20.13 に、GTPR レジスタのバッファ動作の設定例を表 20.12 に示します。

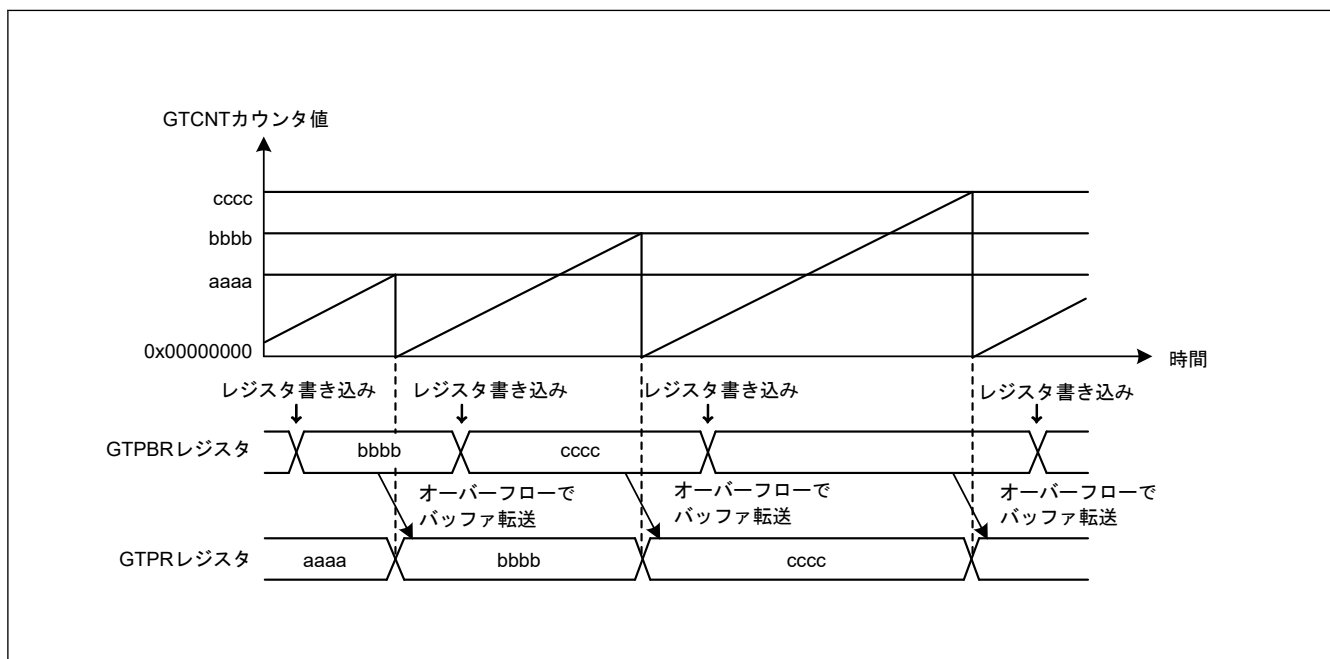


図 20.11 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

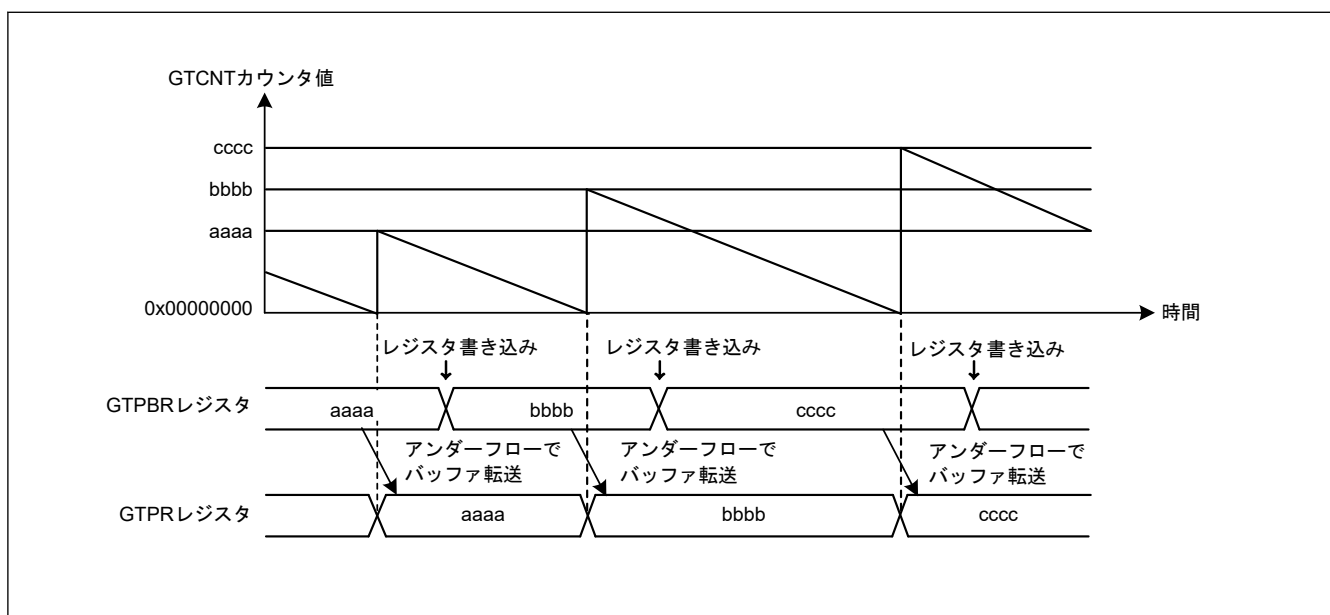


図 20.12 GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

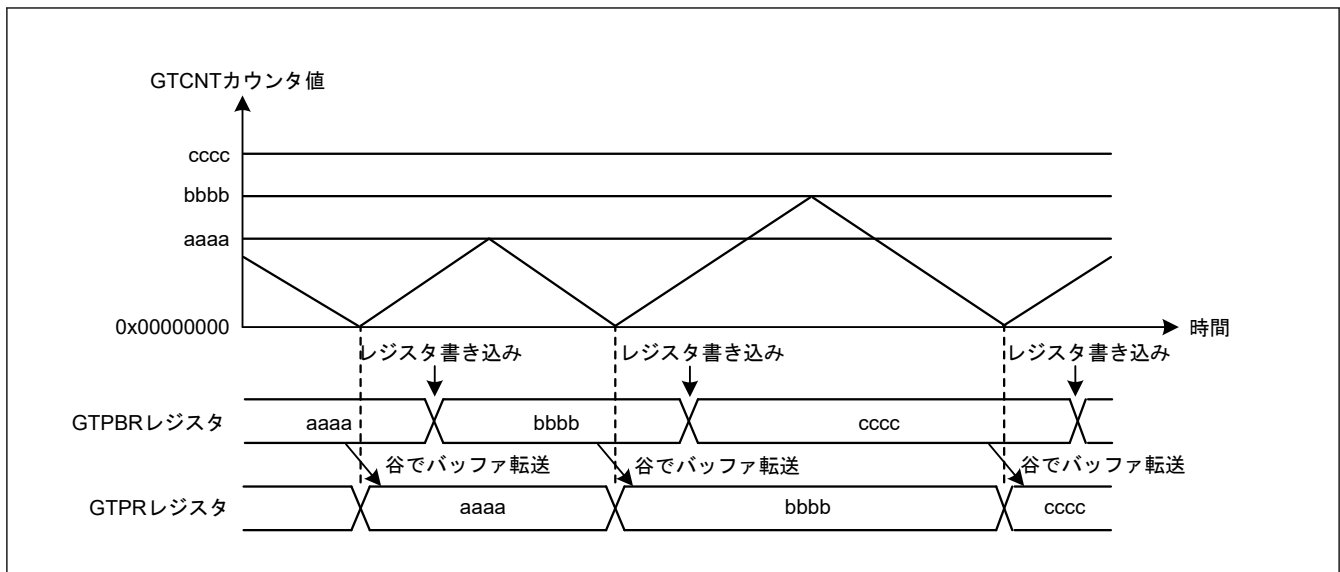


図 20.13 GTPR レジスタのバッファ動作例 (三角波の場合)

表 20.12 GTPR レジスタのバッファ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.11、図 20.12 では 000b (のこぎり波 PWM モード)、図 20.13 では 100b (三角波 PWM モード 1) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.11 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。図 20.12 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します (ダウンカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER.PR[1:0]ビットでバッファ動作を設定します。図 20.11、図 20.12、および図 20.13 では PR[1:0] = 01b
7	バッファ値設定	バッファ動作時は、1 周期後の周期を GTPBR レジスタに設定します。
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
9	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の周期を GTPBR レジスタに設定します。

### 20.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ (すなわち、GTCCRA レジスタ用のダブルバッファレジスタ) として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ (すなわち、GTCCRB レジスタ用のダブルバッファレジスタ) として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0]または GTBER.CCRB[1:0]ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

#### (1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

バッファ転送は次の場合に実行されます。

- オーバーフロー/アンダーフローによるバッファ転送  
のこぎり波モードまたはイベントカウント動作では、オーバーフロー時 (アップカウント中) またはアンダーフロー時 (ダウンカウント中) に、バッファ転送が実行されます。三角波モードでは、谷 (三角波 PWM モード 1) または山および谷 (三角波 PWM モード 2) で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送

のこぎり波モードまたはイベントカウント動作では、カウント中に「20.3.2.1. GTPR レジスタのバッファ動作」に示される場合と類似したカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。

三角波モードでは、カウンタクリアによるバッファ転送は実行されません。

- バッファ強制転送

のこぎり波でも三角波でもイベントカウント動作でも、カウント停止中に GTBER.CCRSWT ビットに 1 を書くと、GTCCRA レジスタ、GTCCRB レジスタのバッファ転送を強制的に行います。

さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

図 20.14～図 20.16 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.13 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。

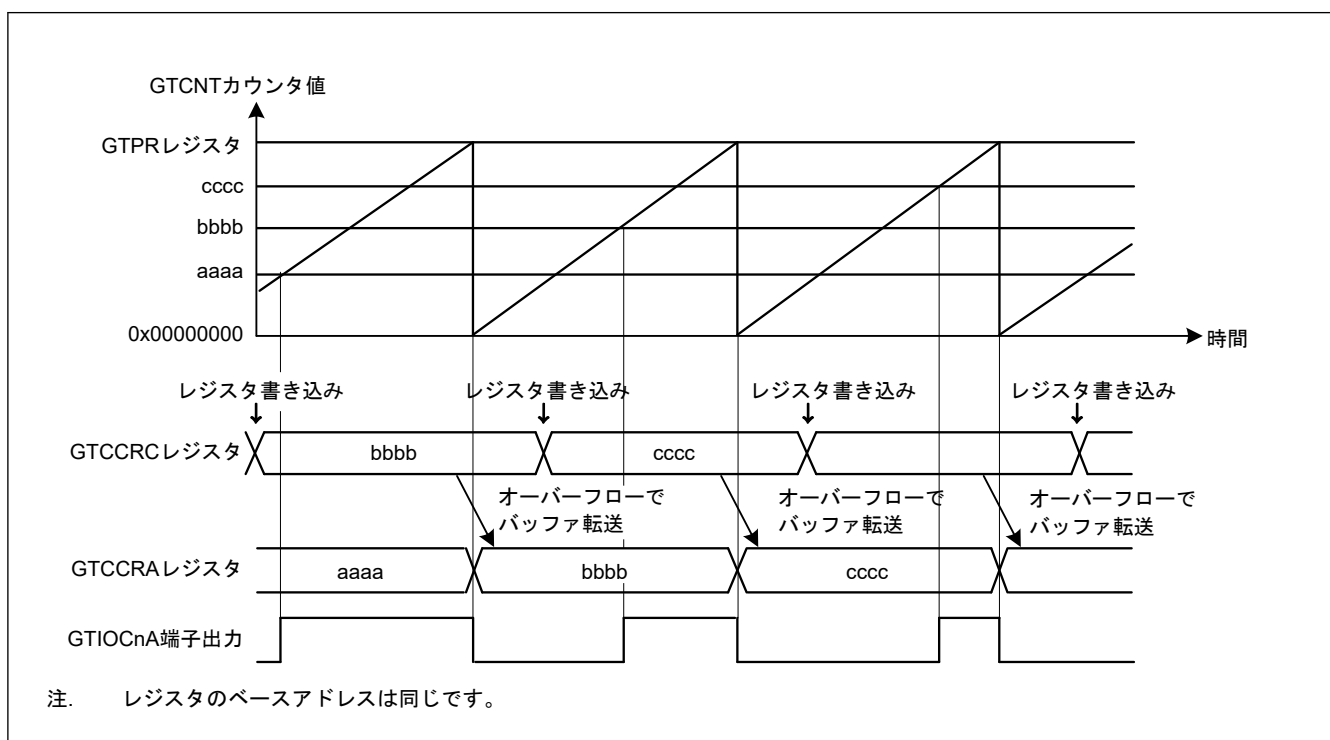


図 20.14 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）



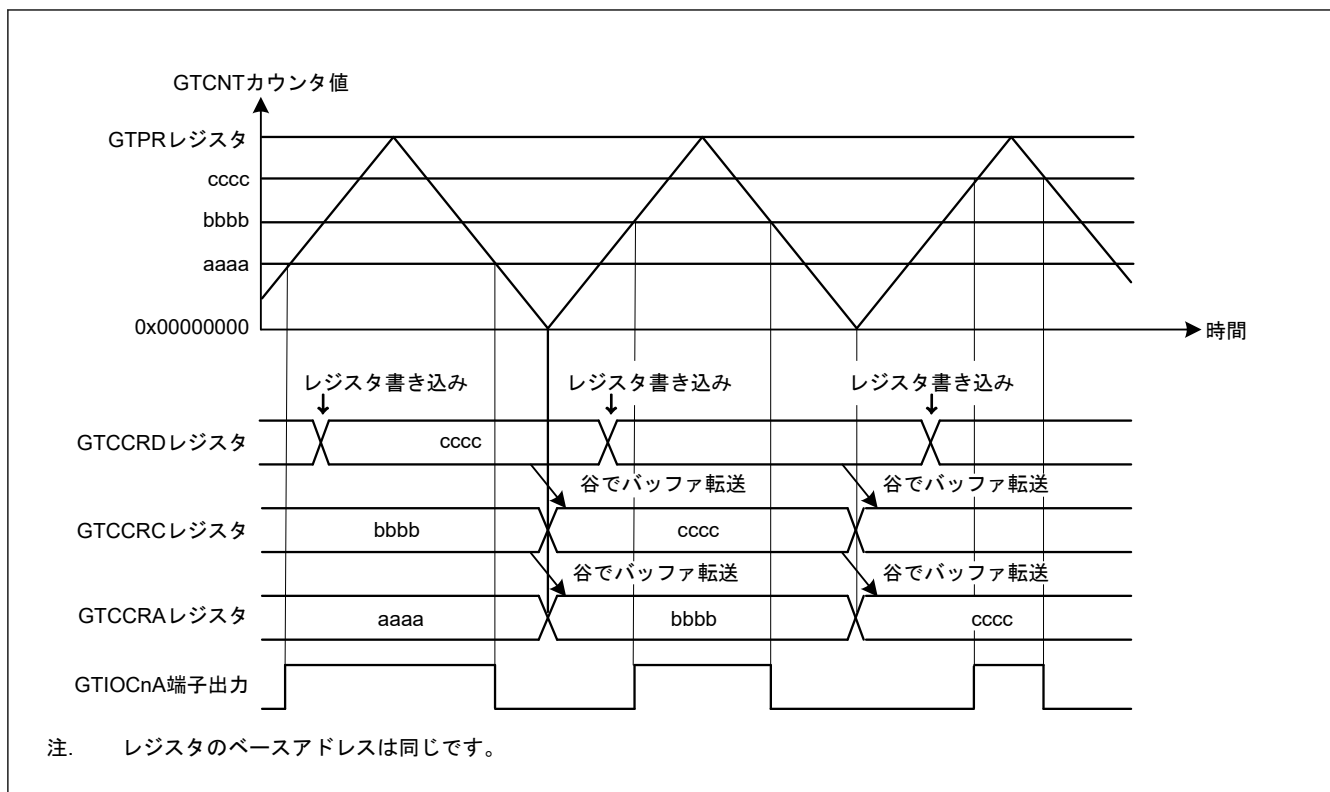


図 20.15 GTCCRA および GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

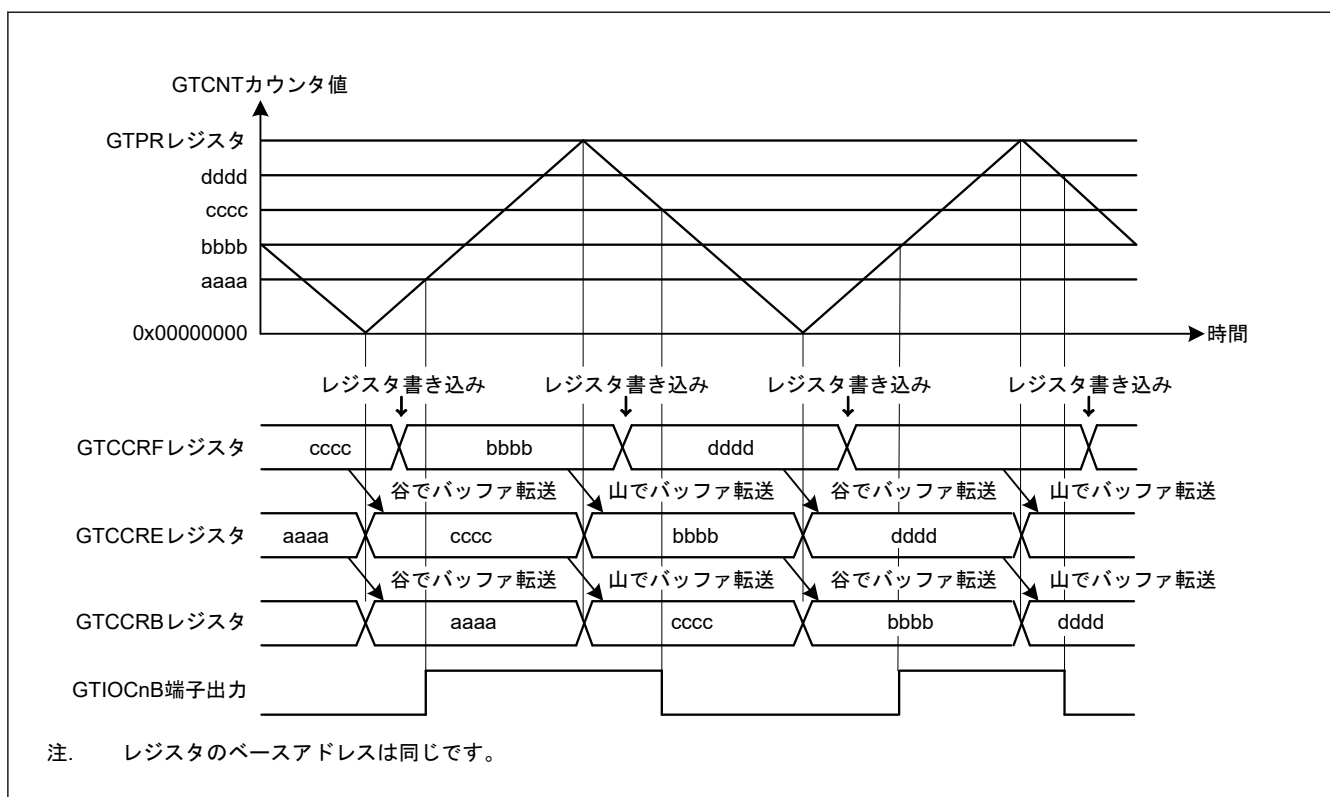


図 20.16 GTCCRA および GTCCRB レジスタのダブルバッファ動作例 (アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合)

表 20.13 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.14 では 000b (のこぎり波 PWM モード)、図 20.15 では 100b (三角波 PWM モード 1)、図 20.16 では 101b (三角波 PWM モード 2) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.14 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOcnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOcnm 端子の機能を設定します。 図 20.14 では GTIOA[4:0] = 00110b、図 20.15 では GTIOA[4:0] = 00011b、図 20.16 では GTIOB[4:0] = 00011b
7	GTIOcnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOcnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.14 では CCRA[1:0] = 01b、図 20.15 では CCRA[1:0] = 1xb、図 20.16 では CCRB[1:0] = 1xb
9	コンペアマッチ値設定	GTIOcnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOcnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、1 周期後 (のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合) もしくは半周期後 (三角波モードで谷と山の両方でバッファ転送の場合) の GTIOcnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後 (のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合) もしくは 1 周期後 (三角波モードで谷と山の両方でバッファ転送の場合) の GTIOcnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後 (のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合) もしくは半周期後 (三角波モードで谷と山の両方でバッファ転送の場合) の GTIOcnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後 (のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合) もしくは 1 周期後 (三角波モードで谷と山の両方でバッファ転送の場合) の GTIOcnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n : 4~9  
m : A, B

## (2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

図 20.17 と図 20.18 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.14 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。

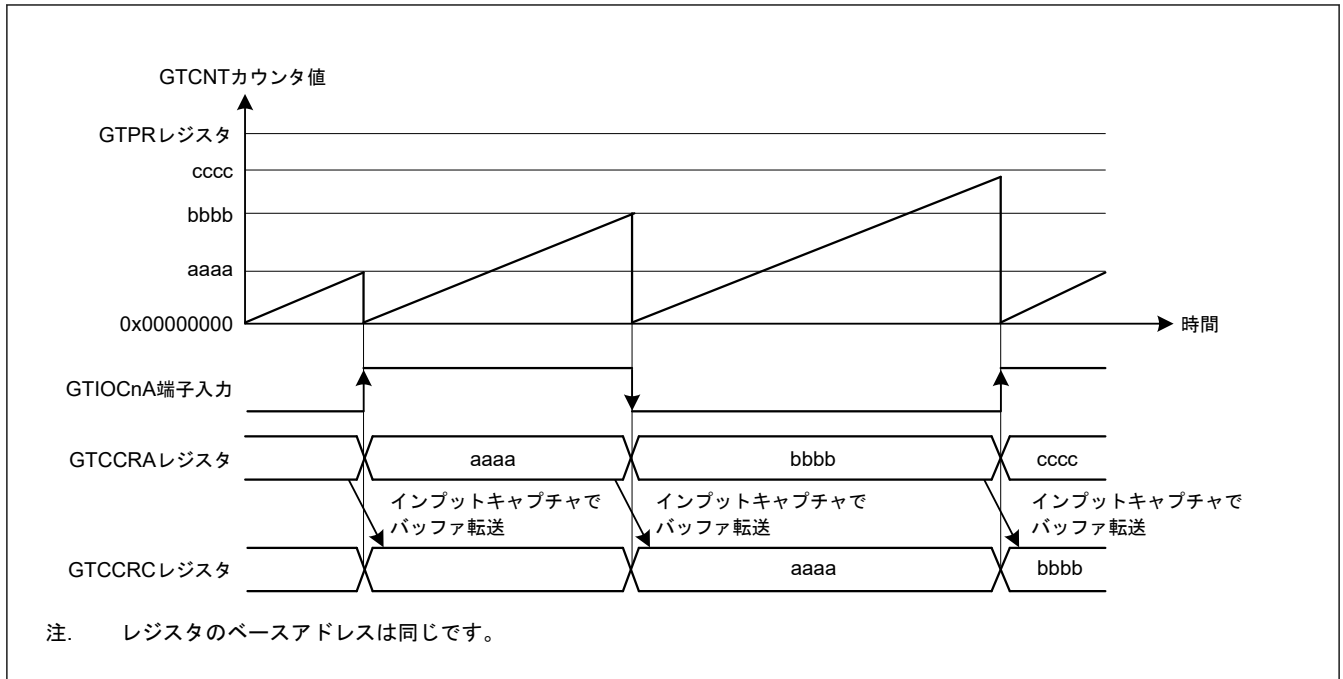


図 20.17 GTCCRA および GTCCRB レジスタのバッファ動作例 (GTIOCnA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアの場合)

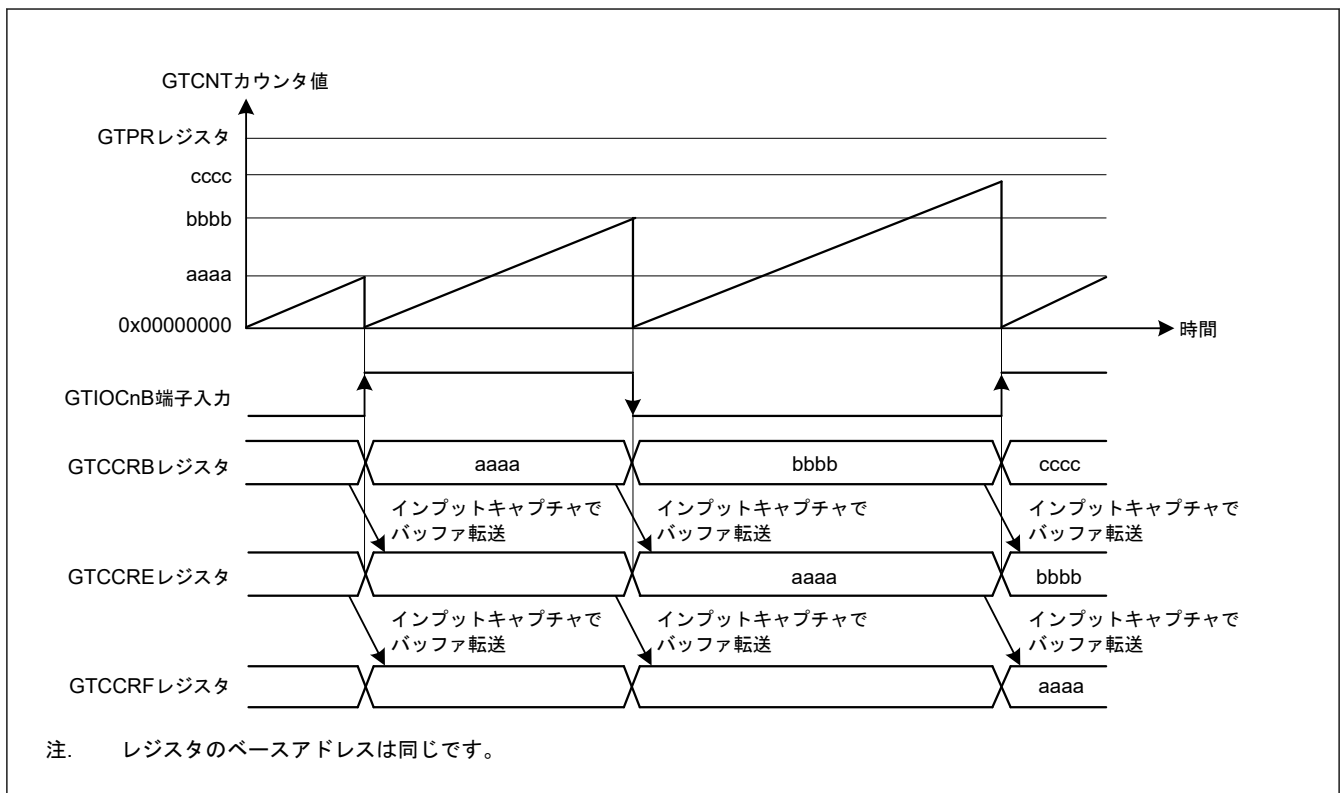


図 20.18 GTCCRA および GTCCRB レジスタのダブルバッファ動作例 (GTIOCnB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアの場合)

表 20.14 GTCRA、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

No.	手順名	説明
1	動作モードとカウンタクリア要因の設定	GTCR.MD[2:0]ビットで動作モードを設定し、GTCSR レジスタでカウンタクリア要因を設定します。 図 20.17 では MD[2:0] = 000b (のこぎり波 PWM モード) および GTCSR = 0x00000F00、図 20.18 では MD[2:0] = 000b (のこぎり波 PWM モード) および GTCSR = 0x0000F000
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.17 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.17 では GTICASR = 0x00000F00、図 20.18 では GTICBSR = 0x0000F000
7	バッファ動作の設定	GTBER レジスタの CCRA ビット、CCRB ビットで、バッファ動作を設定します。 図 20.17 では CCRA[1:0] = 01b、図 20.18 では CCRB[1:0] = 1xb
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

### 20.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCnA 端子または GTIOCnB 端子へ PWM 波形を出力することができます (n = 4~9)。

また、GTDTCR レジスタおよび GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

#### 20.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波 (半波) 動作を実行させ、GTCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に、GTIOCnA 端子または GTIOCnB 端子 (n = 4~9) に PWM 波形を出力させます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力/High 出力/トグル出力、周期の終わりで Low 出力/High 出力/トグル出力を選択することができます。

図 20.19 にのこぎり波 PWM モードの動作例を、表 20.15 にのこぎり波 PWM モードの設定例を示します。

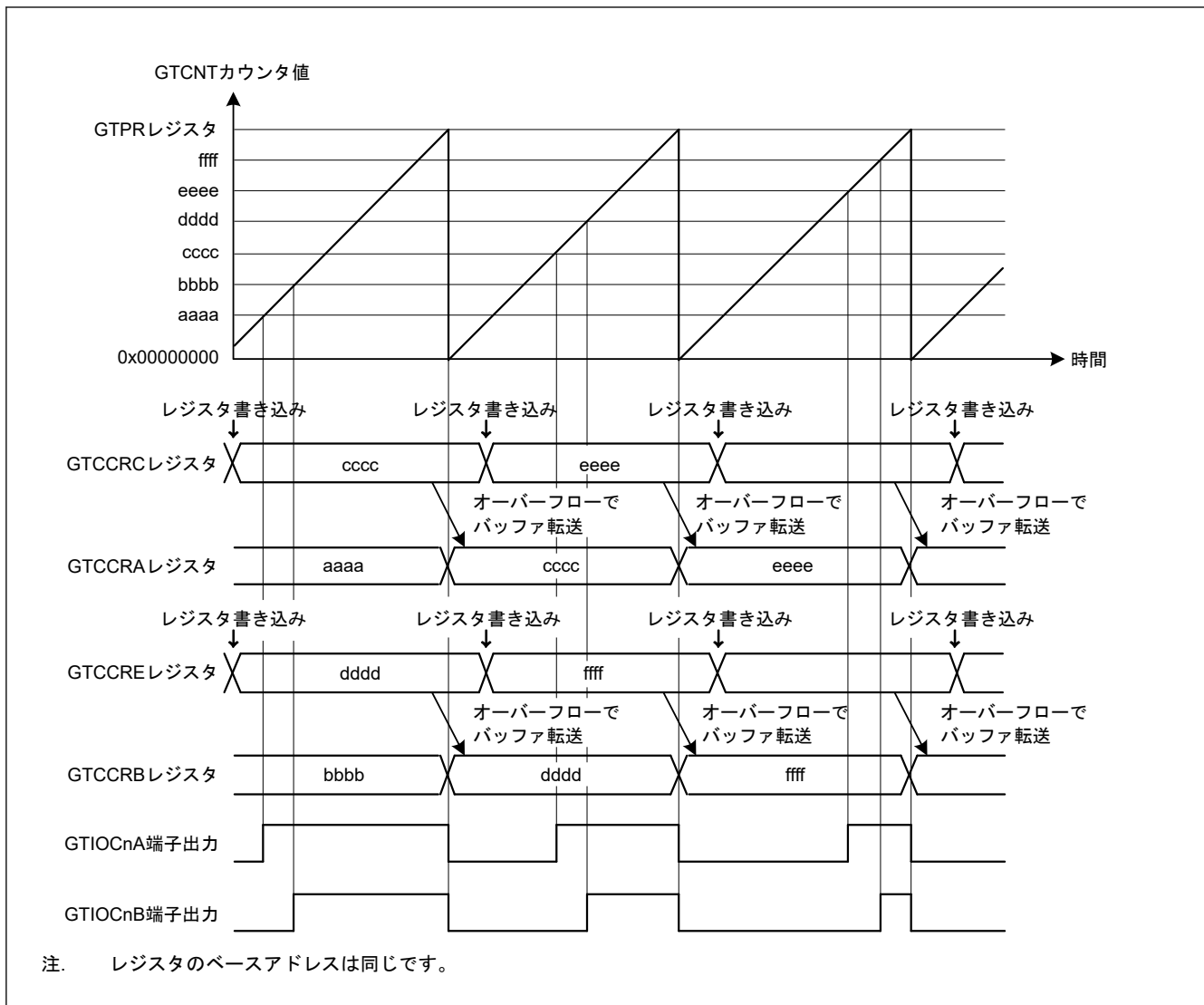


図 20.19 のこぎり波 PWM モードの動作例 (アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合)

表 20.15 のこぎり波 PWM モードの設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 20.19 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。図 20.19 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOcNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOcNm 端子の機能を設定します。図 20.19 では GTIOA[4:0] = 00110b、GTIOB[4:0] = 00110b
7	GTIOcNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOcNm 端子出力の許可を設定します。
8	バッファ動作設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。図 20.19 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
9	コンペアマッチ値設定	GTIOcNA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOcNB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.15 のこぎり波 PWM モードの設定例 (2/2)

No.	手順名	説明
10	バッファ値設定	バッファ動作時は、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 4~9  
m: A, B

### 20.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOcNA 端子または GTIOcNB 端子に PWM 波形を出力するモードです (n = 4~9)。

のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ
- 周期の終わりで、GTCCRE レジスタから GTCCRB レジスタ
- 周期の終わりで、GTCCRD レジスタからテンポラリレジスタ A
- 周期の終わりで、GTCCRF レジスタからテンポラリレジスタ B
- GTCCRA レジスタのコンペアマッチで、テンポラリレジスタ A から GTCCRA レジスタ
- GTCCRB レジスタのコンペアマッチで、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力/High 出力/トグル出力、周期の終わりで Low 出力/High 出力/トグル出力を選択することができます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

図 20.20 に、のこぎり波ワンショットパルスモードの動作例を、表 20.16 に、のこぎり波ワンショットパルスモードの設定例を示します。

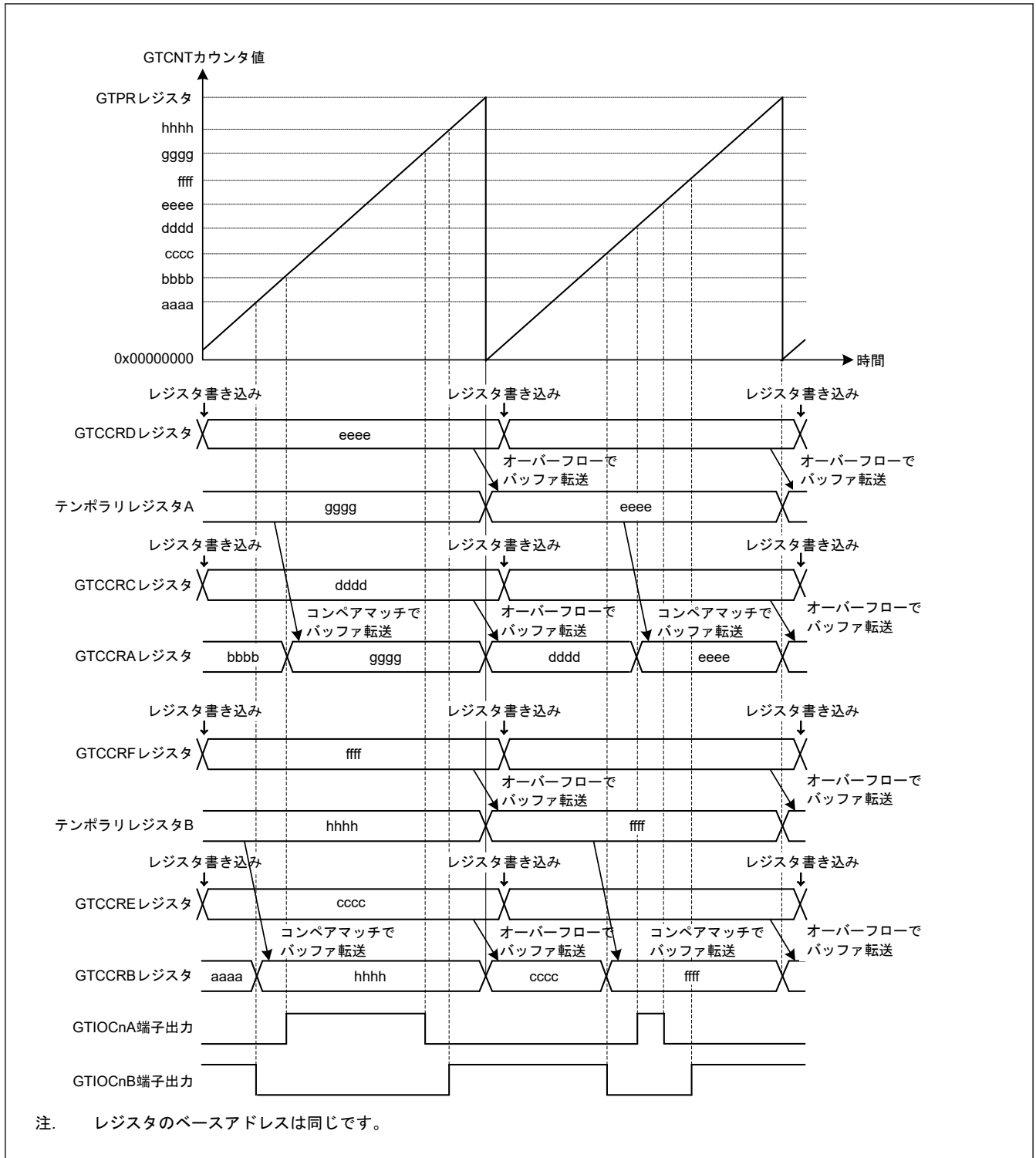


図 20.20 のこぎり波ワンショットパルスモードの動作例 (アップカウント、カウントスタート時に GTIOCnA 端子 = Low 出力/GTIOCnB 端子 = High 出力、GTCRA/GTCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

表 20.16 のこぎり波ワンショットパルスモード設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.20 では 001b (のこぎり波ワンショットパルスモード) を設定します。

表 20.16 のこぎり波ワンショットパルスモード設定例 (2/2)

No.	手順名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.20 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.20 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
8	コンペアマッチ値設定	カウント開始直後の周期の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
9	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
10	バッファ値設定	1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注. n: 4~9  
m: A, B

### 20.3.3.3 三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCNa 端子または GTIOCNb 端子（n = 4~9）に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力を選択することができます。

また、GTDTCR レジスタ、GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.21 に三角波 PWM モード 1 の動作例を、表 20.17 に三角波 PWM モード 1 の設定例を示します。



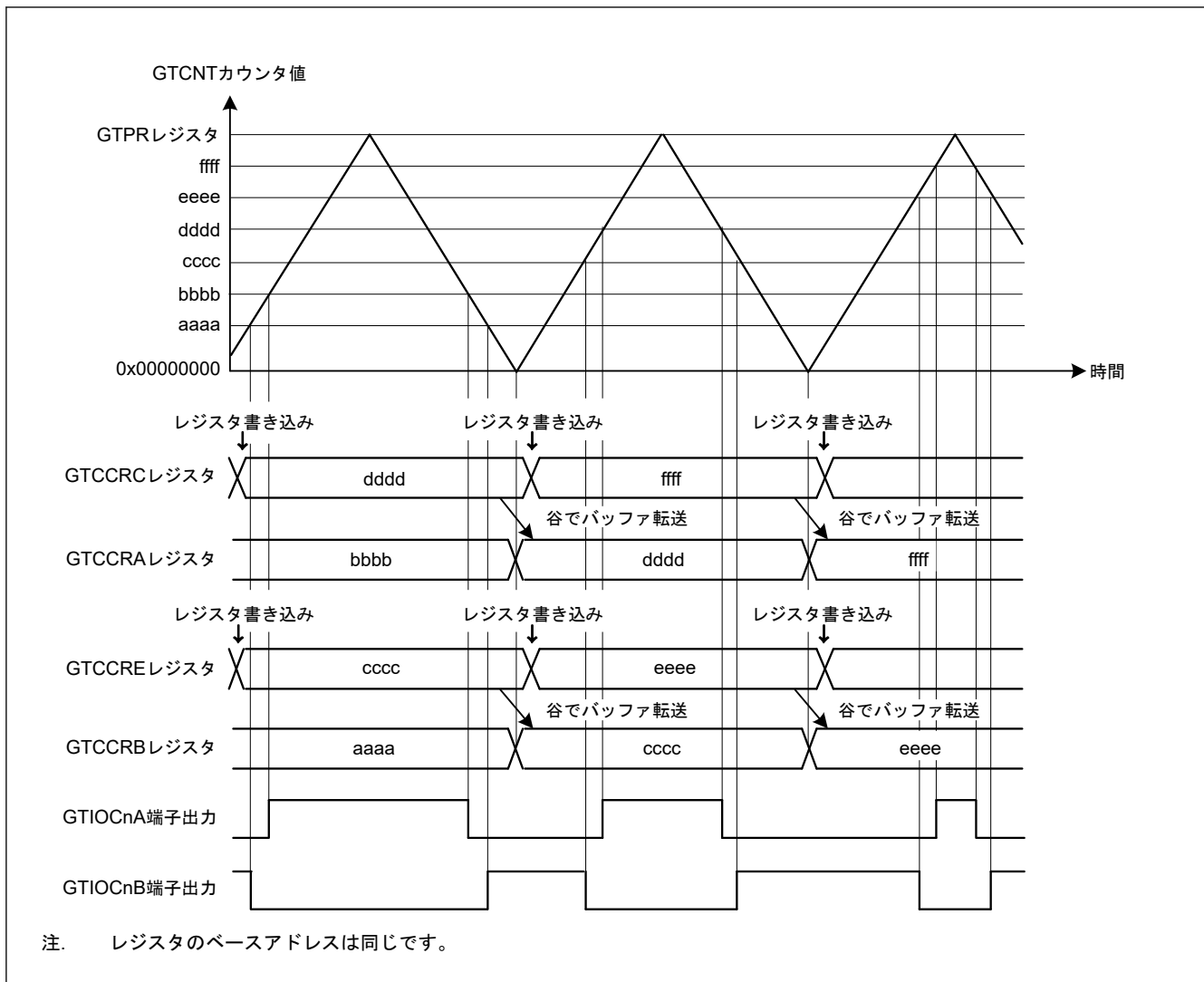


図 20.21 三角波 PWM モード 1 の動作例 (バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力 / GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

表 20.17 三角波 PWM モード 1 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.21 では、100b (三角波 PWM モード 1) を設定します。
2	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.21 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.21 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.17 三角波 PWM モード 1 設定例 (2/2)

No.	手順名	説明
9	バッファ値設定	バッファ動作時は、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 4~9  
m: A, B

### 20.3.3.4 三角波 PWM モード 2 (山/谷 32 ビット転送)

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波 (全波) 動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOcNA 端子または GTIOcNB 端子 (n = 4~9) に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力/High 出力/トグル出力、周期の終わりで Low 出力/High 出力/トグル出力を選択することができます。

また、GTDTCR レジスタ、GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.22 に三角波 PWM モード 2 の動作例を、表 20.18 に三角波 PWM モード 2 の設定例を示します。

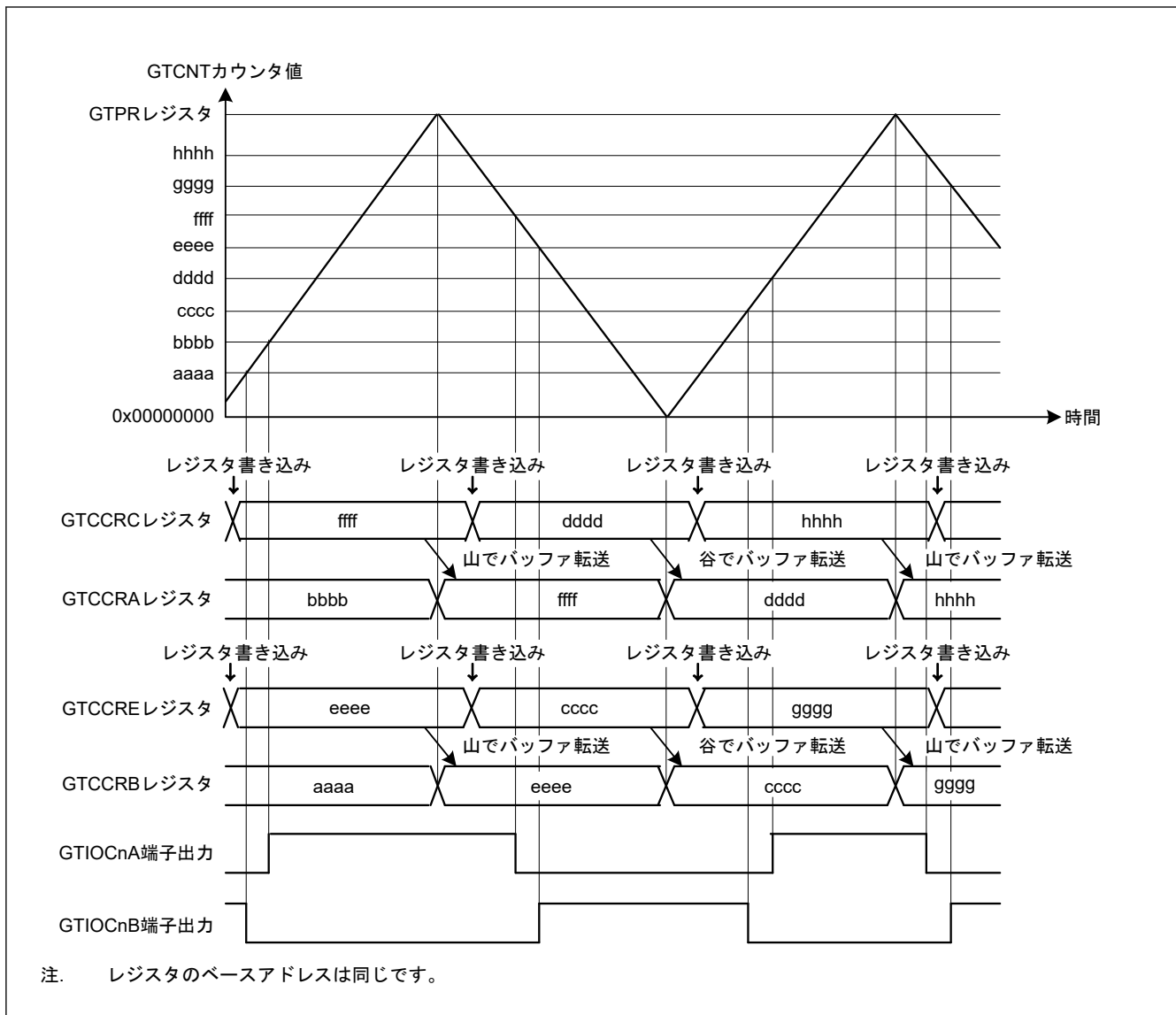


図 20.22 三角波 PWM モード 2 の動作例 (バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力 / GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

表 20.18 三角波 PWM モード 2 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.22 では、101b (三角波 PWM モード 2) を設定します。
2	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.22 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.22 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.18 三角波 PWM モード 2 設定例 (2/2)

No.	手順名	説明
9	バッファ値設定	バッファ動作時は、半周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	半周期ごとのバッファ値設定	バッファ動作時は、半周期後の GTIOcNA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOcNA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOcNB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 4~9  
m: A, B

### 20.3.3.5 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GTCCRA レジスタ、GTCCRB レジスタのコンペアマッチにより、GTIOcNA 端子、GTIOcNB 端子に PWM 波形を出力するモードです (n = 4~9)。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 谷で、GTCCRC レジスタから GTCCRA レジスタ
- 谷で、GTCCRE レジスタから GTCCRB レジスタ
- 谷で、GTCCRD レジスタからテンポラリレジスタ A
- 谷で、GTCCRF レジスタからテンポラリレジスタ B
- 山で、テンポラリレジスタ A から GTCCRA レジスタ
- 山で、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力/High 出力/トグル出力、周期の終わりで Low 出力/High 出力/トグル出力、を設定することができます。

また、GTDTCR レジスタ、GTDVU レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.23 に三角波 PWM モード 3 の動作例を、表 20.19 に三角波 PWM モード 3 の設定例を示します。

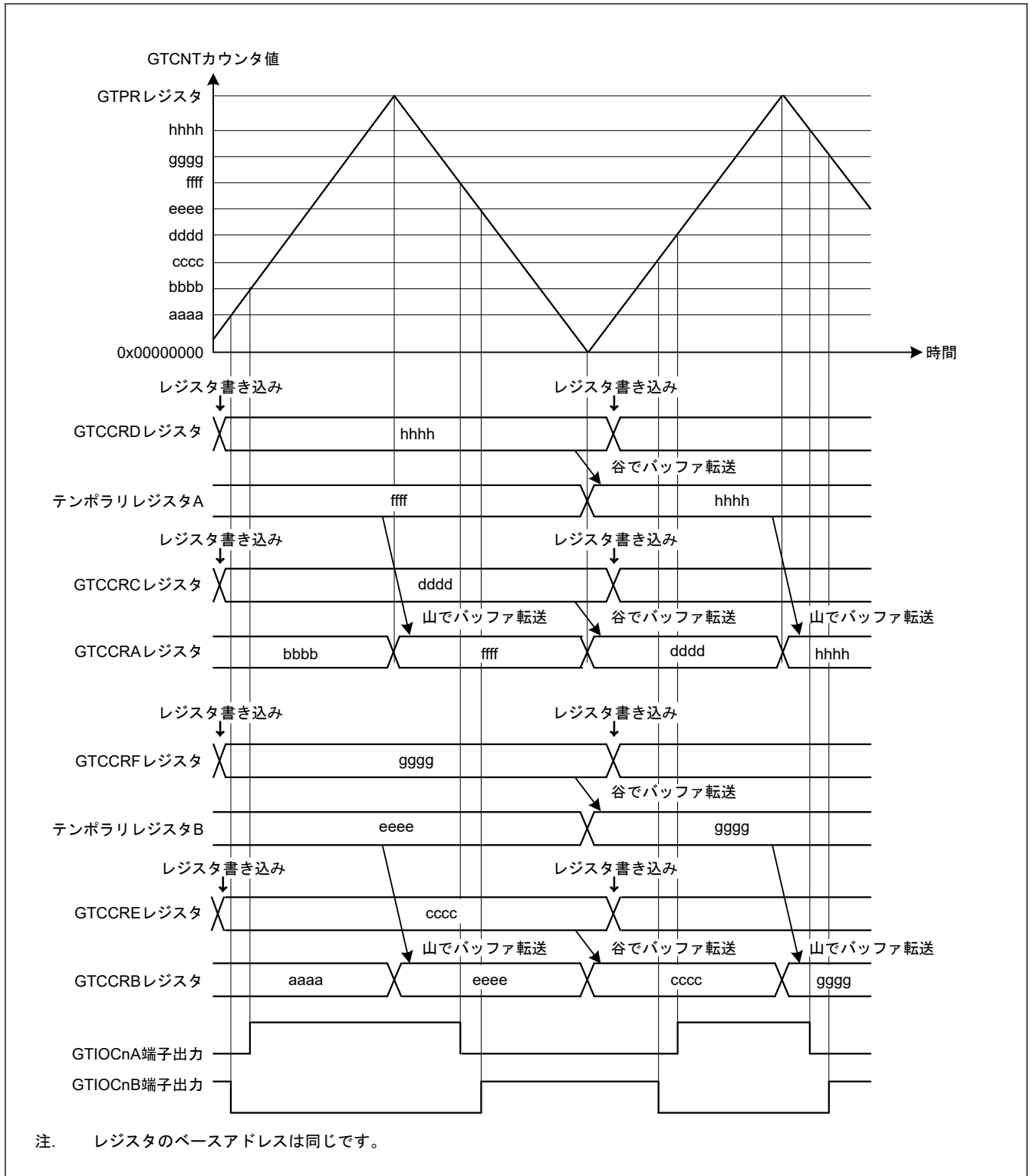


図 20.23 三角波 PWM モード 3 の動作例 (カウントスタート時に GTIOcNA 端子 = Low 出力/GTIOcNB 端子 = High 出力、GTCRA/GTCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合)

表 20.19 三角波 PWM モード 3 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 <span style="border: 1px solid blue; padding: 1px;">図 20.23</span> では 110b (三角波 PWM モード 3) を設定します。

表 20.19 三角波 PWM モード 3 設定例 (2/2)

No.	手順名	説明
2	カウントクロックの選択	GTCCR.TPCS[2:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。 図 20.23 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
7	コンペアマッチ値設定	カウント開始直後の周期の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
8	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
9	バッファ値設定	1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
10	カウント動作開始	GTCCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCNb 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注. n: 4~9  
m: A, B

### 20.3.4 デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA レジスタ値) とデッドタイム値 (GTDVU レジスタ値) からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイム自動設定機能を使用する時は、GTCCRB レジスタへの書き込みは禁止です。カウント周期を超えるようなデッドタイム設定は禁止です。デッドタイム自動設定値は、GTCCRB レジスタ値を読むことで確認できます。GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値の算出に用いるレジスタ値が更新された次のカウントクロックで行われます。

デッドタイムエラー発生時、正相波形用および逆相波形用のコンペアマッチ値は表 20.20 で示されるデッドタイムの波形を生成するように調整されます。

逆相波形用の調整値は GTCCRB レジスタに自動設定されます。

正相波形用の調整値は内部信号として使用され、GTCCRA レジスタに設定されません。

表 20.20 デッドタイムエラー発生時の波形変化点の調整

モード	カウント方向	周期	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半	$GTCCRA - GTDVU < 0$	GTDVU	0
		後半	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
	ダウンカウント	前半	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
		後半	$GTCCRA - GTDVU < 0$	GTDVU	0
三角波 PWM モード 1/2/3	アップカウント	(前半)	$GTCCRA - GTDVU \leq 0$	$GTDVU + 1$	1
	ダウンカウント	(後半)	$GTCCRA - GTDVU < 0$	GTDVU	0

図 20.24~図 20.27 にデッドタイム自動設定機能の動作例を示します。表 20.21 および表 20.22 に設定例を示します。

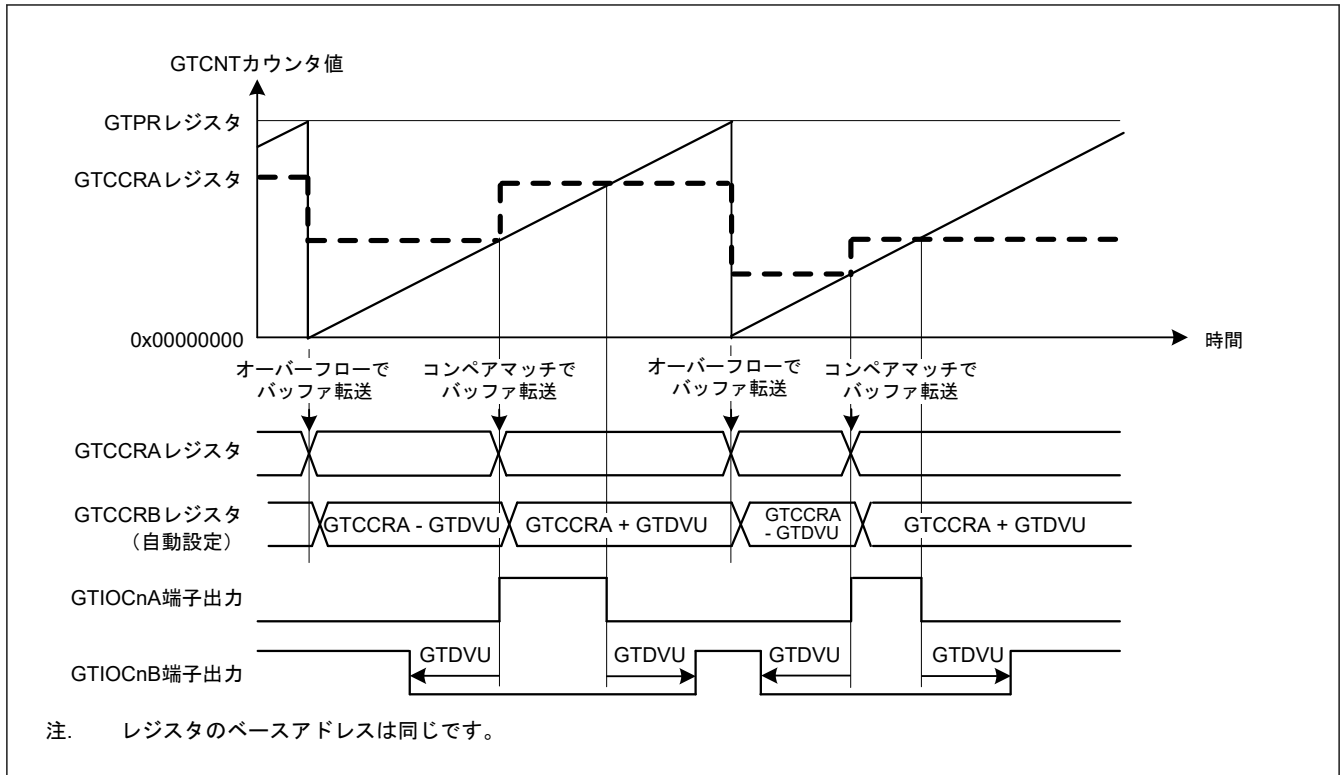


図 20.24 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、アクティブ High の場合)

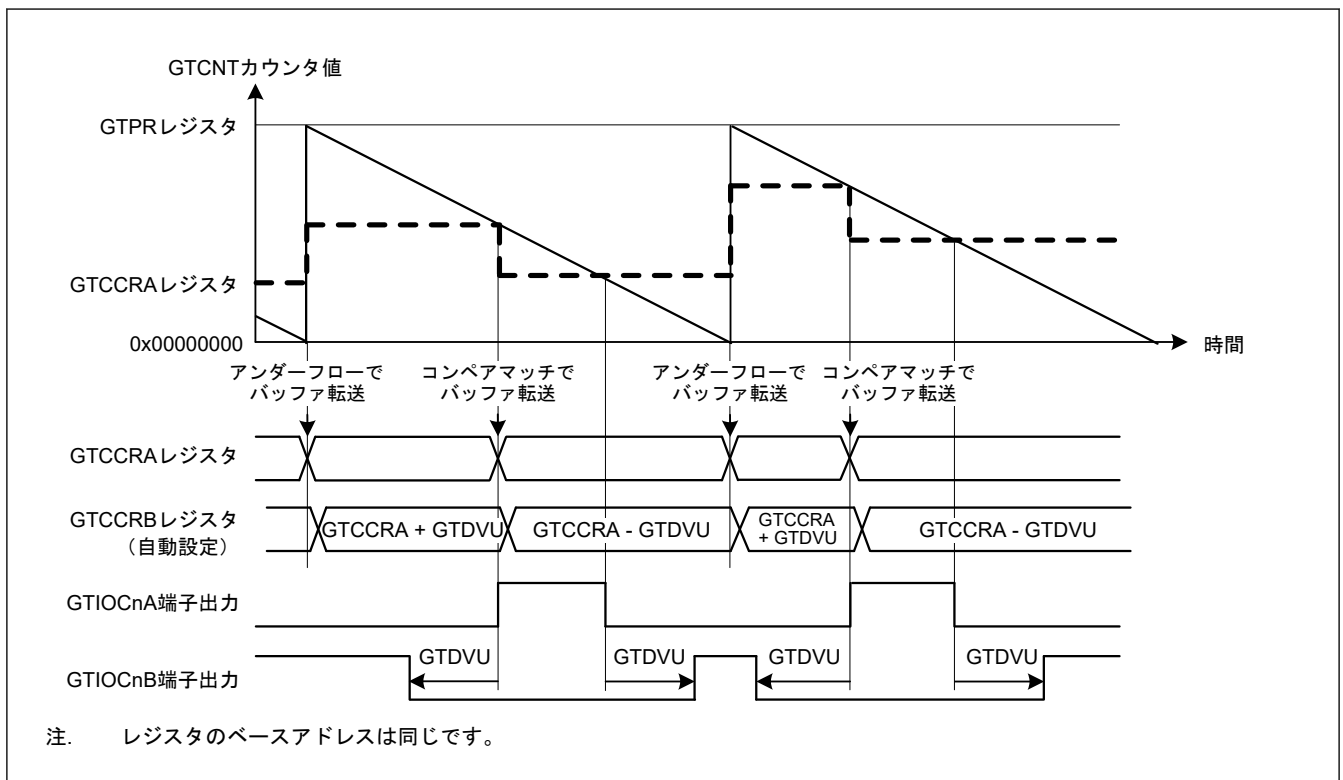


図 20.25 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、アクティブ High の場合)

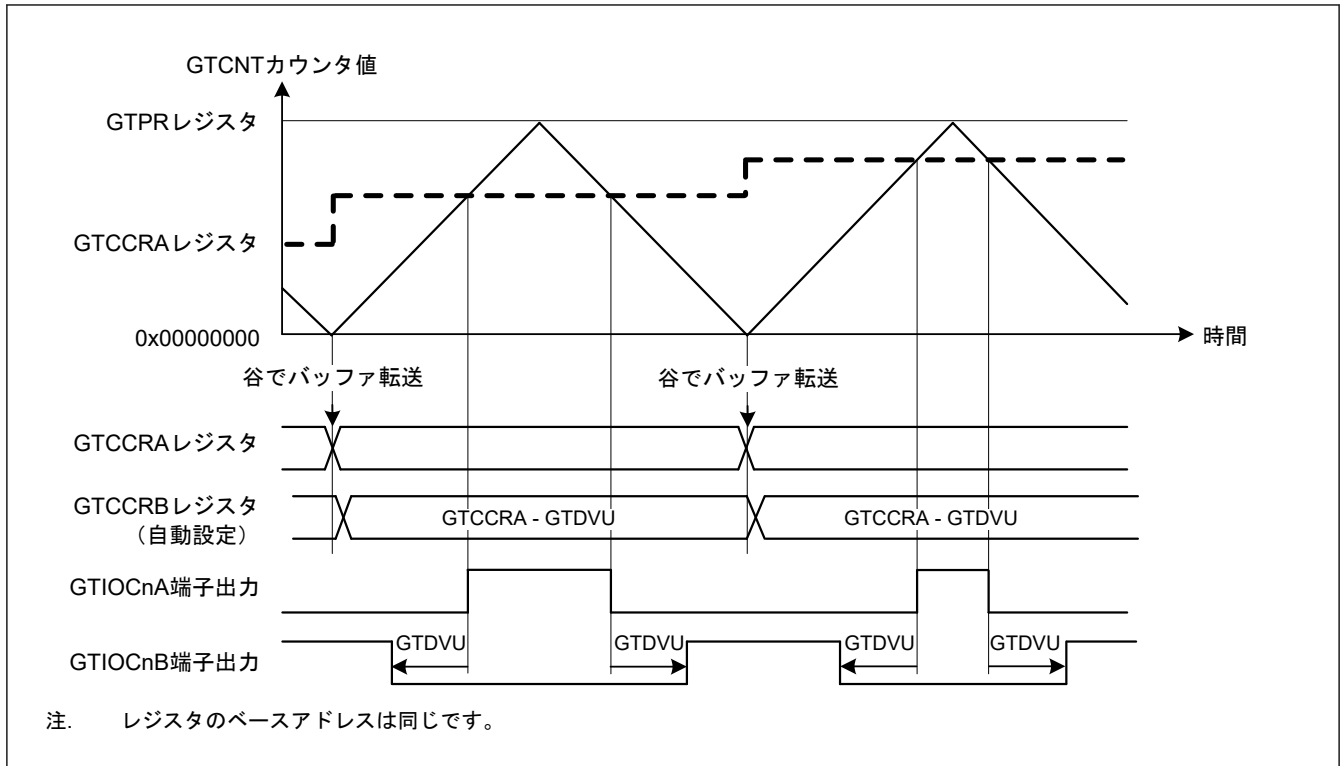


図 20.26 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、アクティブ High の場合)

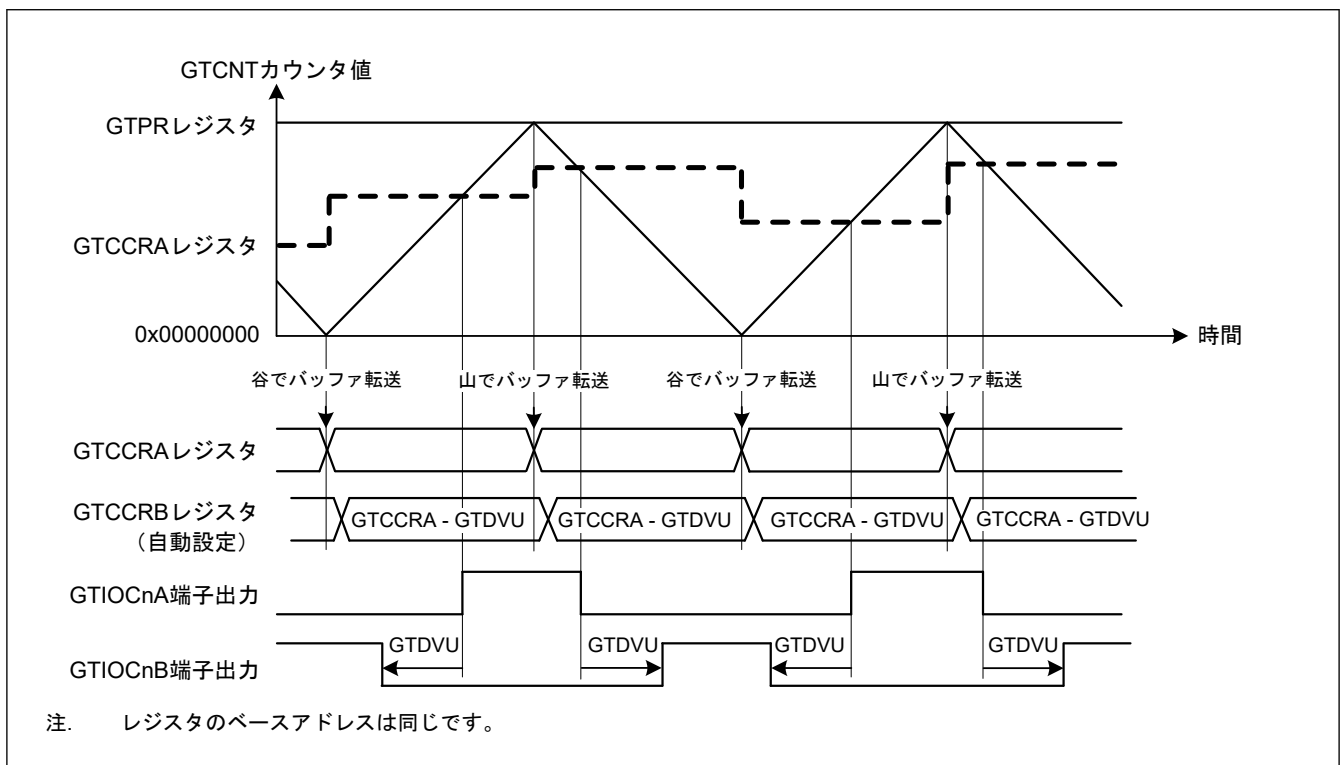


図 20.27 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2 または 3、アクティブ High の場合)



表 20.21 デッドタイム自動設定機能の設定例 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 20.24 および図 20.25 では、001b (のこぎり波ワンショットパルスモード) を設定します。図 20.27 では、110b (三角波 PWM モード 3) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。図 20.24 では、GTUDDTYC[1:0]ビットに 11b を設定してから 01b を設定します (アップカウント)。図 20.25 では、GTUDDTYC[1:0]ビットに 10b を設定してから 00b を設定します (ダウンカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。図 20.24、図 20.25、図 20.27 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
8	コンペアマッチ用バッファ値設定	カウント開始直後の周期の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
9	コンペアマッチ用バッファ強制転送	GTBER.CCRSWT ビットを 1 にし、バッファレジスタデータを GTCCRA レジスタへ強制転送します。
10	コンペアマッチ用バッファ値設定	1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
11	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
12	デッドタイム値設定	デッドタイム値を GTDVU レジスタに設定します。
13	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
14	周期ごとのバッファ値設定	バッファ動作時は 1 周期後の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。

注: n: 4~9  
m: A, B

表 20.22 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1 または 2 の場合) (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 20.26 では、100b (三角波 PWM モード 1) を設定します。図 20.27 では、101b (三角波 PWM モード 2) を設定します。
2	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCNm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCNm 端子の機能を設定します。図 20.26、図 20.27 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCNm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCNm 端子出力の許可を設定します。
7	コンペアマッチ用バッファ動作設定	GTBER レジスタの CCRA[1:0]ビットで、バッファ動作を設定します。
8	コンペアマッチ値設定	GTIOCNa 端子の切り替わりポイントを GTCCRA レジスタに設定します。
9	コンペアマッチ用バッファ値設定	バッファ動作時は、現在の周期から 1 周期後 (三角波 PWM モード 1 の場合)、あるいは現在の周期から半周期後 (三角波 PWM モード 2 の場合) の GTIOCNa 端子の切り替わりポイントを GTCCRC レジスタに設定します。ダブルバッファ動作時は、さらに、2 周期後 (三角波 PWM モード 1 時) あるいは 1 周期 (三角波 PWM モード 2 時) の GTIOCNa 端子の切り替わりポイントを GTCCRD レジスタに設定します。
10	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
11	デッドタイム値設定	デッドタイム値を GTDVU レジスタに設定します。

表 20.22 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）(2/2)

No.	手順名	説明
12	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
13	周期ごとのバッファ値設定	コンペアマッチレジスタのバッファ動作時は、1 周期後（三角波 PWM モード 1 時）あるいは半周期後（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。

注: n: 4~9  
m: A, B

### 20.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート後の GTPR 値がカウント周期に反映されます。

図 20.28 にカウント方向切り替え機能の動作例を示します。

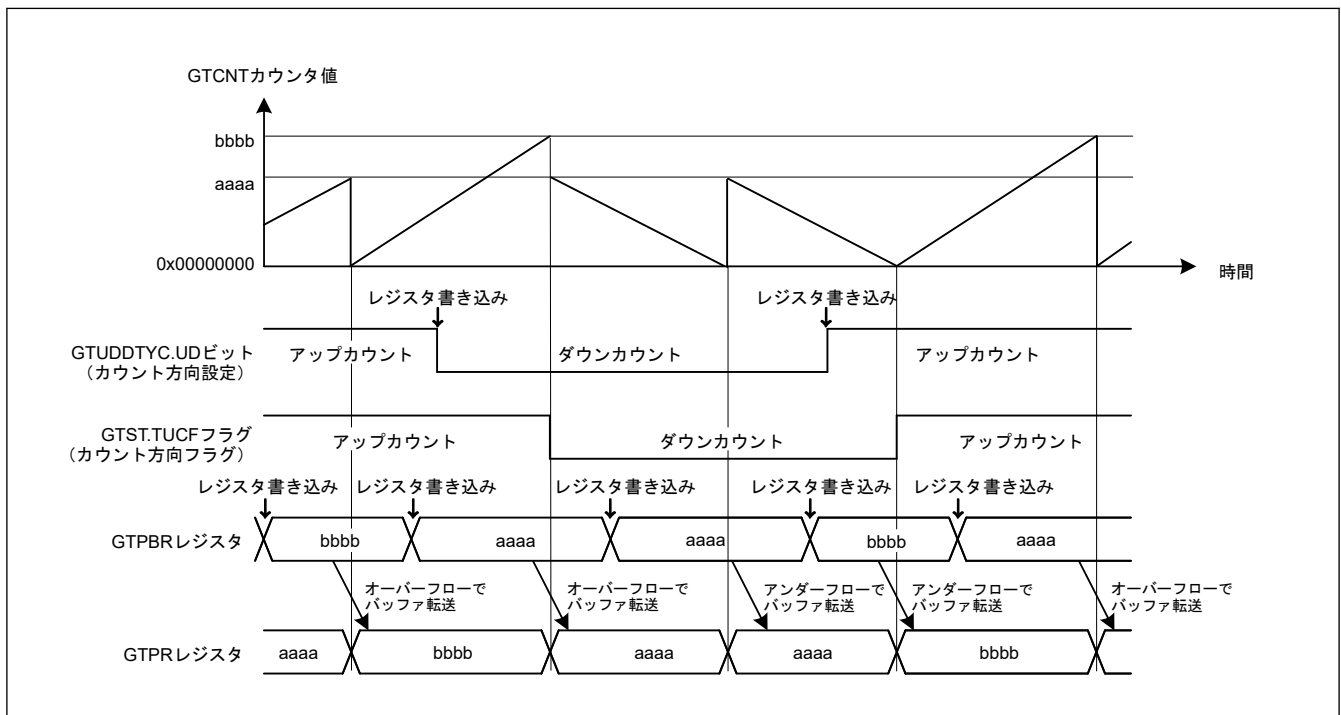


図 20.28 カウント方向切り替え機能の動作例（バッファ動作時）

### 20.3.6 出力デューティー 0%および出力デューティー 100%機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCnA 端子と GTIOCnB 端子の出力デューティーが 0%または 100%に設定されます（n = 4~9）。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、その時の GTUDDTYC.OADTY ビット値または GTUDDTYC.OBDTY ビット値はカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0%または 100%デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0%または 100%デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCnA 端子の出力値は、GTIOR.GTIOA[3:2]ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCnB 端子の出力値は、GTIOR.GTIOB[3:2]ビットと GTUDDTYC.OBDTYR ビットで決定されます。

GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。表 20.23 に周期の終わりでの GTIOCnA/GTIOCnB 端子の出力値を示します。

表 20.23 0%または 100%デューティ設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティ設定でマスクされた周期の終わりでのコンペアマッチ値	GTUDDTYC.OADTYR (デューティ 0%設定時)		GTUDDTYC.OADTYR (デューティ 100%設定時)	
		0	1	0	1
00 (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01 (周期の終わりで Low 出力)	—	0	0	0	0
10 (周期の終わりで High 出力)	—	1	1	1	1
11 (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

図 20.29 に出力デューティ 0%、100%機能の動作例を示します。

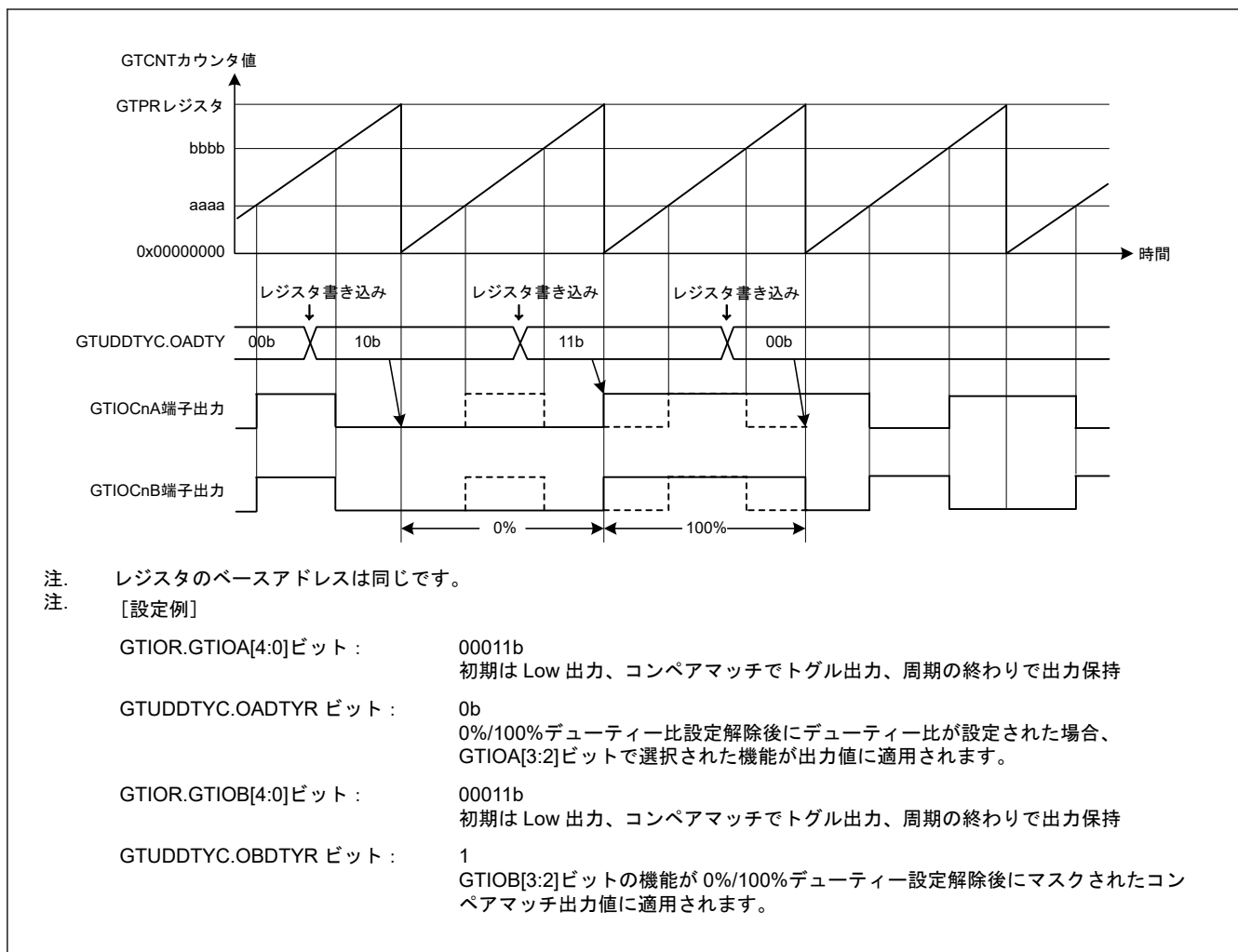


図 20.29 出力デューティ 0%、100%機能動作例

### 20.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOcNA/GTIOcNB 端子入力 (n = 4~9)

#### 20.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 20.30 にハードウェア要因によるカウントスタートの動作例を示します。表 20.24 に設定例を示します。

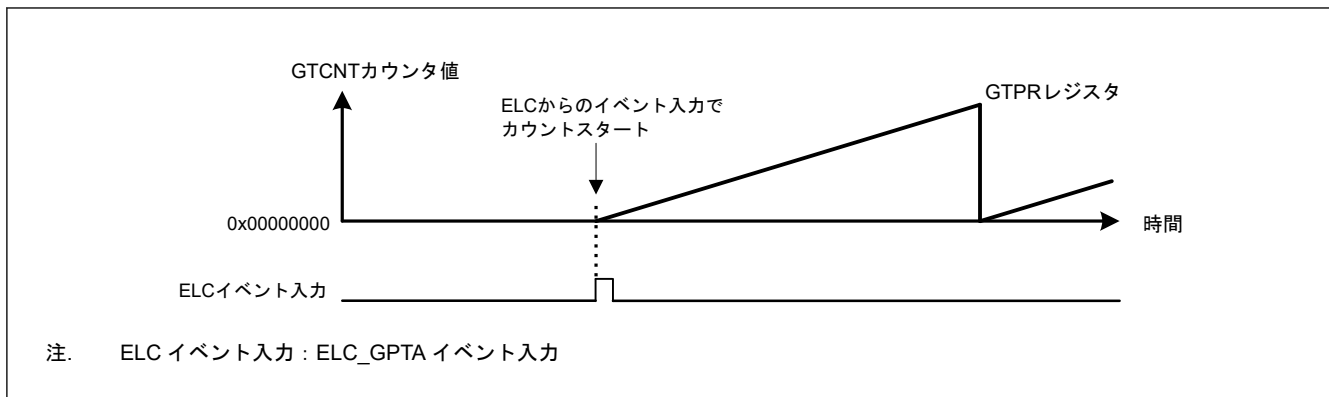


図 20.30 ハードウェア要因によるカウントスタート動作例 (ELC\_GPTA イベントからの信号入力時のスタート)

表 20.24 ハードウェア要因によるカウントスタート動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.30 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.30 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.30 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択します。 図 20.30 では GTSSR.SSELCA = 1
7	ハードウェア要因の動作設定	GTSSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートさせます。 図 20.30 では ELC_GPTA イベント入力の動作を設定します。

### 20.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。図 20.31 にハードウェア要因によるカウントストップの動作例を示します。表 20.25 に設定例を示します。この例では、カウント動作が ELC\_GPTA イベント入力でストップし、ELC\_GPTB イベント入力で再スタートしています。

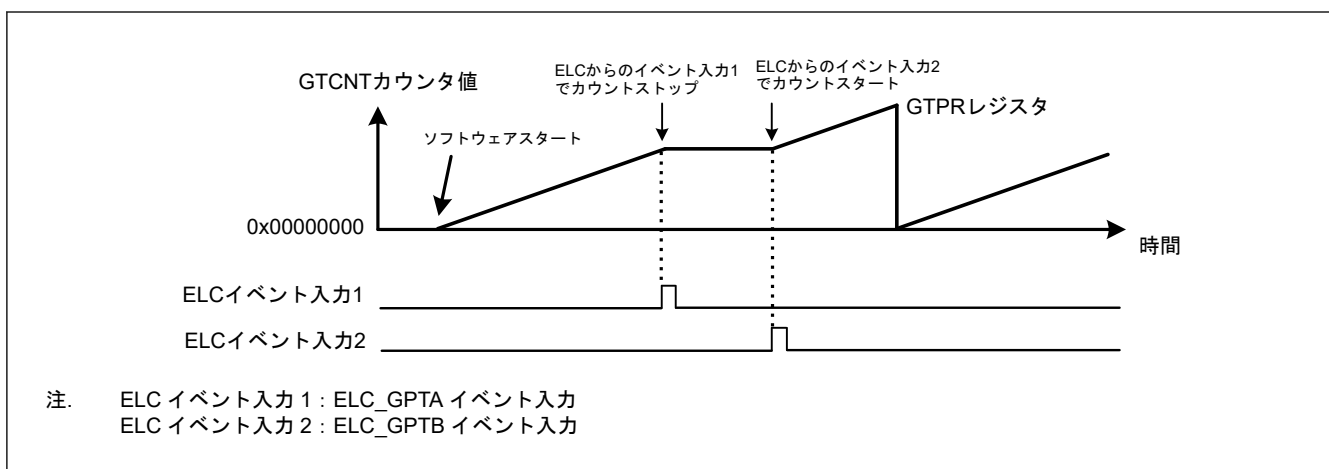


図 20.31 ハードウェア要因によるカウントストップ動作例 (ソフトウェアによるスタート、ELC\_GPTA 入力でのストップ、ELC\_GPTB 入力での再スタートの場合)

表 20.25 ハードウェア要因によるカウントストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.31 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.31 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.31 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 20.31 では GTSSR.SSELCB = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 20.31 では GTPSR.PSELCA = 1
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート/ストップさせます。図 20.31 では ELC_GPTA 入力、ELC_GPTB 入力の動作を設定します。

図 20.32 にハードウェア要因によるカウントスタート/ストップ動作例を示します。表 20.26 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

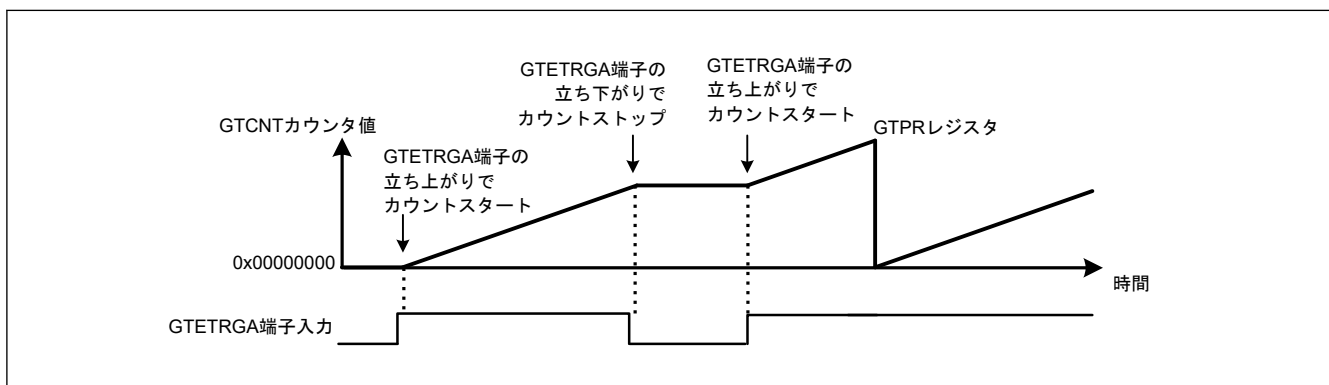


図 20.32 ハードウェア要因によるカウントスタート/ストップ動作例 (GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合)

表 20.26 ハードウェア要因によるカウントスタート/ストップ動作設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.32 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.32 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.32 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.32 では GTSSR.SSGTRGAR = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 20.32 では GTPSR.PSGTRGAF = 1

表 20.26 ハードウェア要因によるカウントスタート/ストップ動作設定例 (2/2)

No.	手順名	説明
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート/ストップさせます。 図 20.32 では GTETRGA 端子の動作を設定します。

### 20.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアが可能です。なお、ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn\_OVF/GPTn\_UDF (n = 4~9) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 20.33 および図 20.34 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。表 20.27 に設定例を示します。この例では、GTCNT カウンタは ELC\_GPTA 入力でスタートし、ELC\_GPTB 入力でストップおよびクリアされています。

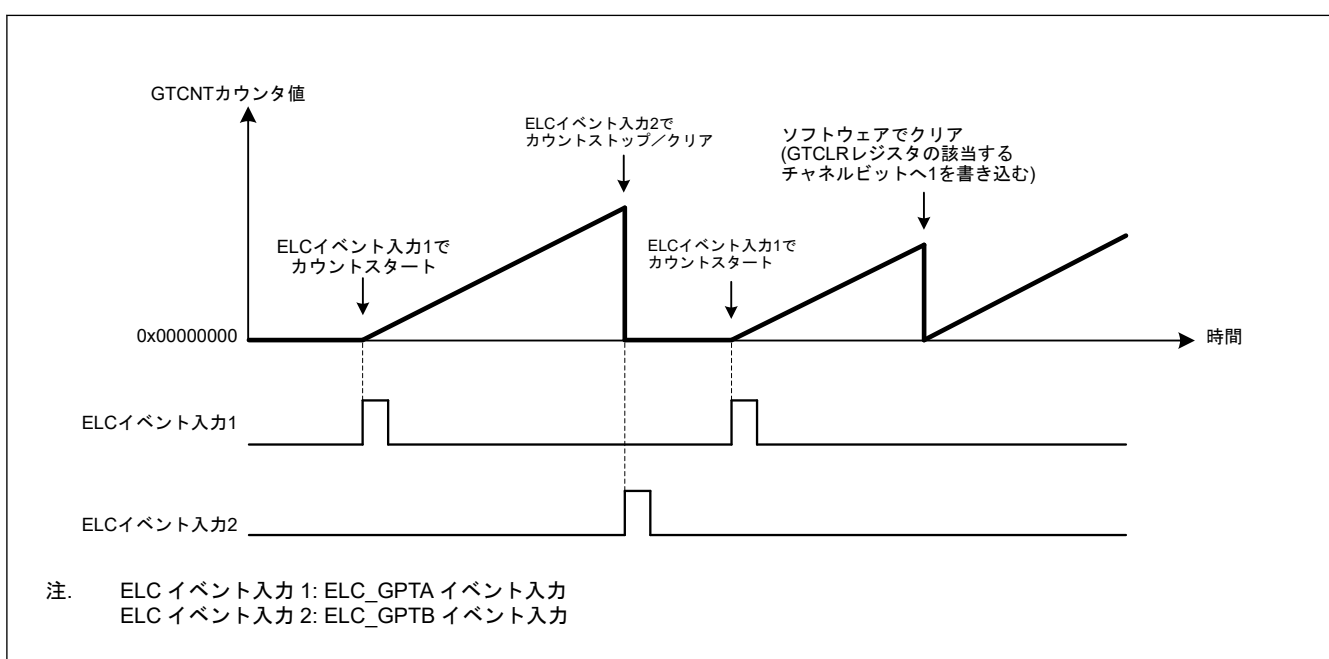


図 20.33 ハードウェア要因によるカウントクリア動作例 (のこぎり波アップカウント、ELC\_GPTA 入力でスタート、ELC\_GPTB 入力でストップ/クリアの場合)

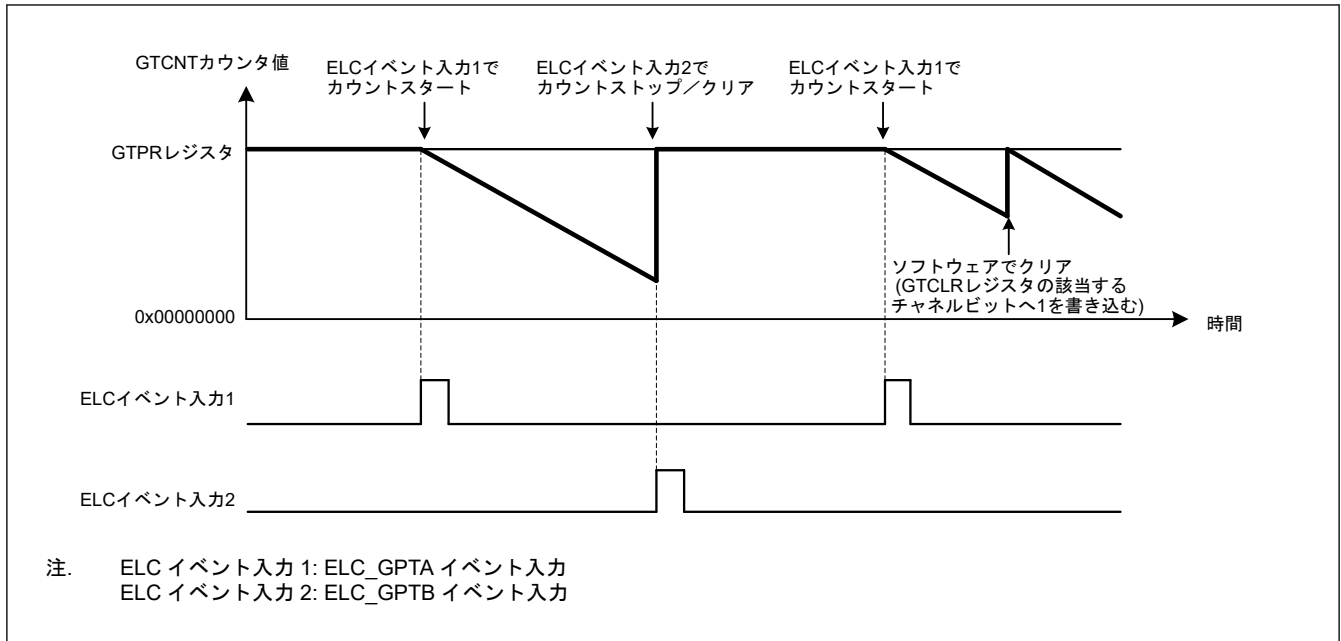


図 20.34 ハードウェア要因によるカウントクリア動作例 (のこぎり波ダウンカウント、ELC\_GPTA 入力でスタート、ELC\_GPTB 入力でストップ/クリアの場合)

表 20.27 ハードウェア要因によるカウントクリア動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.33 と図 20.34 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.33 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。 図 20.34 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します (ダウンカウント)。
3	カウントクロックの選択	GTCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.33 では 0x00000000 を設定します。図 20.34 では GTPR 値を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 20.33、図 20.34 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 20.33、図 20.34 では GTPSR.PSELCA = 1
8	ハードウェアカウントクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウントクリア待ち状態にします。図 20.33、図 20.34 では GTCSR.CSELCA = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート/ストップ/クリアさせます。 図 20.33、図 20.34 では ELC_GPTA 入力、ELC_GPTB 入力を設定します。

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn\_OVF/GPTn\_UDF (n=4~9) 割り込み (オーバーフロー/アンダーフロー割り込み) は発生しません。

図 20.35 にハードウェア要因によるカウンタクリアと GPTn\_OVF (n=4~9) 割り込みの関係を示します。



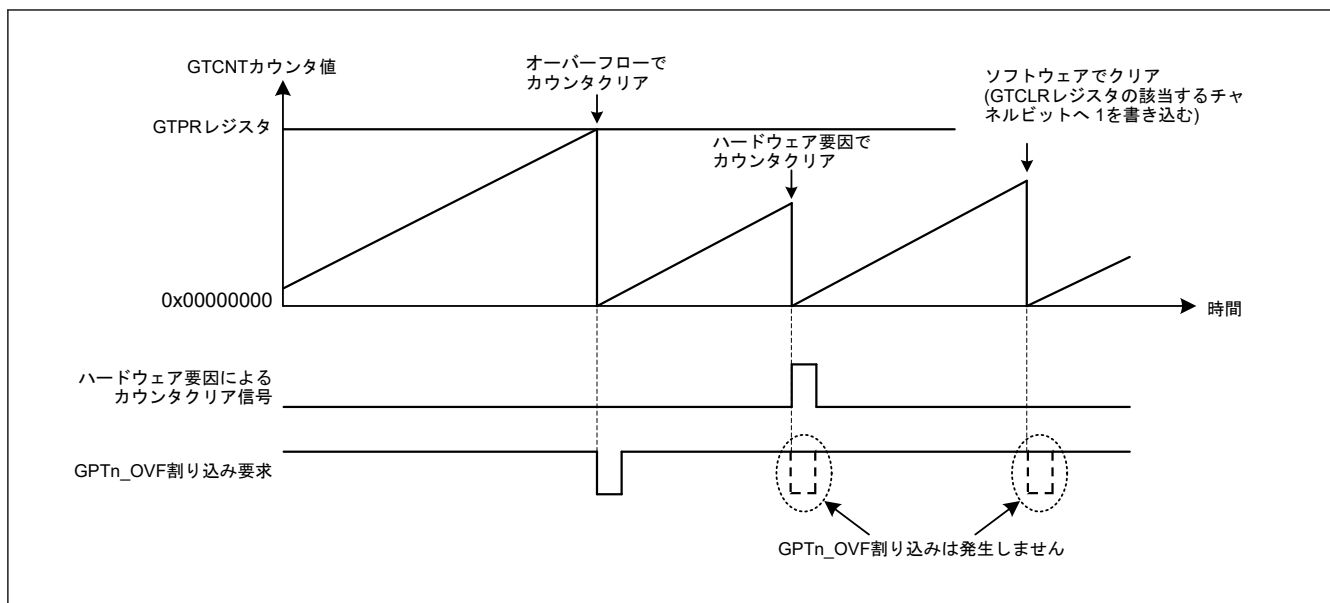


図 20.35 ハードウェア要因によるカウンタクリアと GPTn\_OVF (n = 4~9) 割り込みの関係

## 20.3.8 同期動作

同期スタート/ストップ/クリア動作など、チャンネル間の同期動作を実行できます。

### 20.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャンネル上でスタート/ストップ/クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 20.36 にソフトウェアによる同時スタート/ストップ/クリアの動作例を示します。図 20.37 にソフトウェアによる位相スタートの動作例を示します。

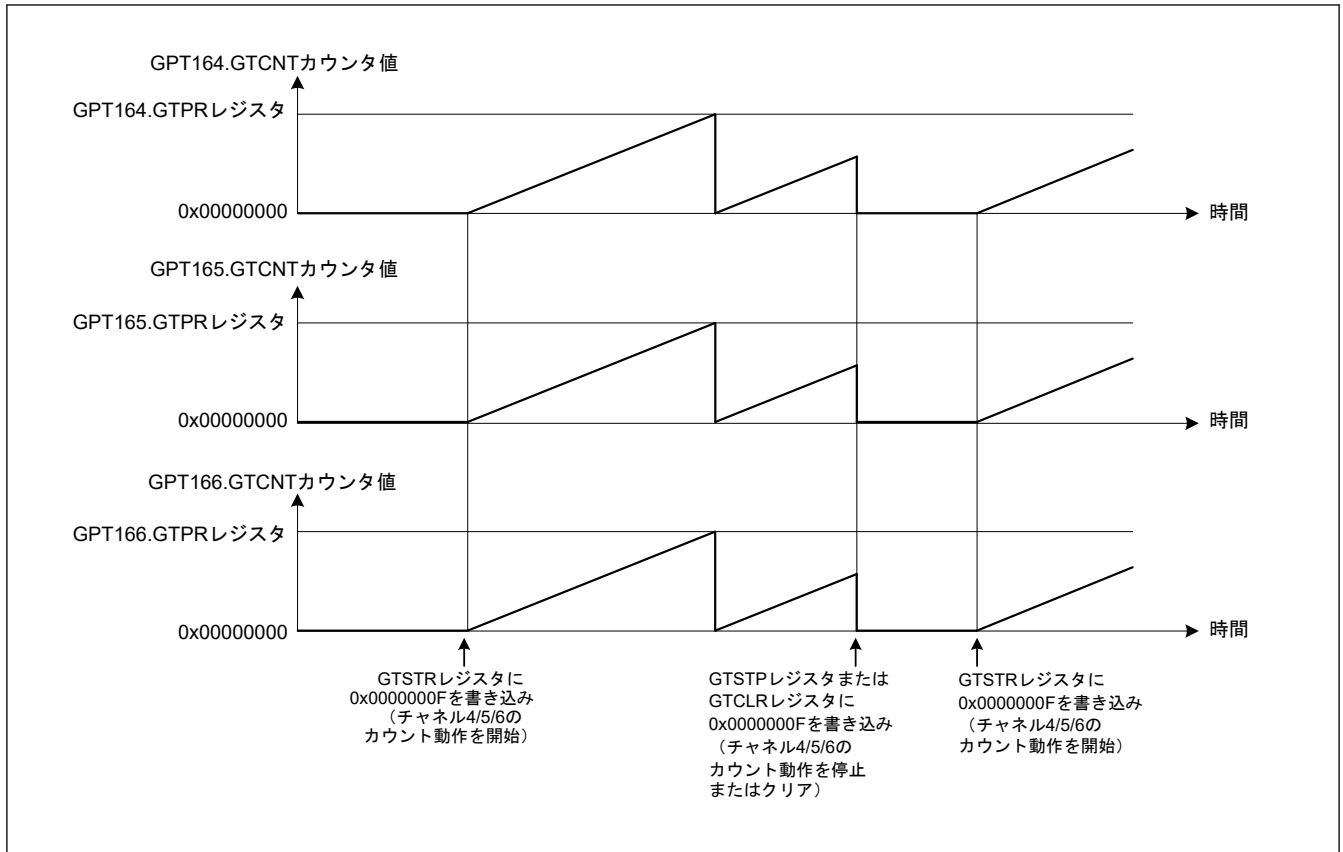


図 20.36 ソフトウェアによる同時スタート/ストップ/クリアの動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

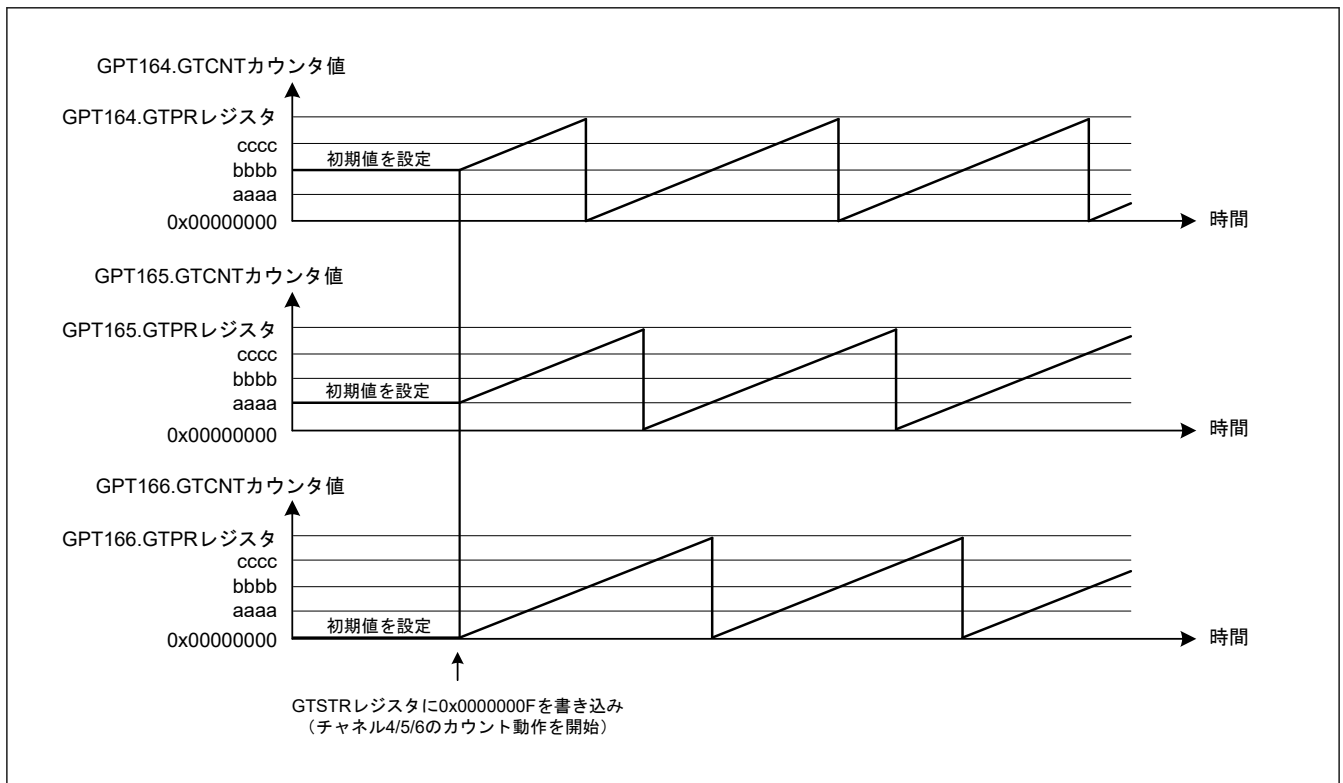


図 20.37 ソフトウェアによる位相スタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

### 20.3.8.2 ハードウェアによる同期動作

ハードウェア要因により、各チャンネルのカウンタを同時にスタート、ストップ、クリアすることができます。同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOCnA および GTIOCnB 端子入力による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで実現できます (n = 4~9)。

図 20.38 にハードウェア要因による同時スタート/ストップ/クリアの動作例を示します。表 20.28 に設定例を示します。

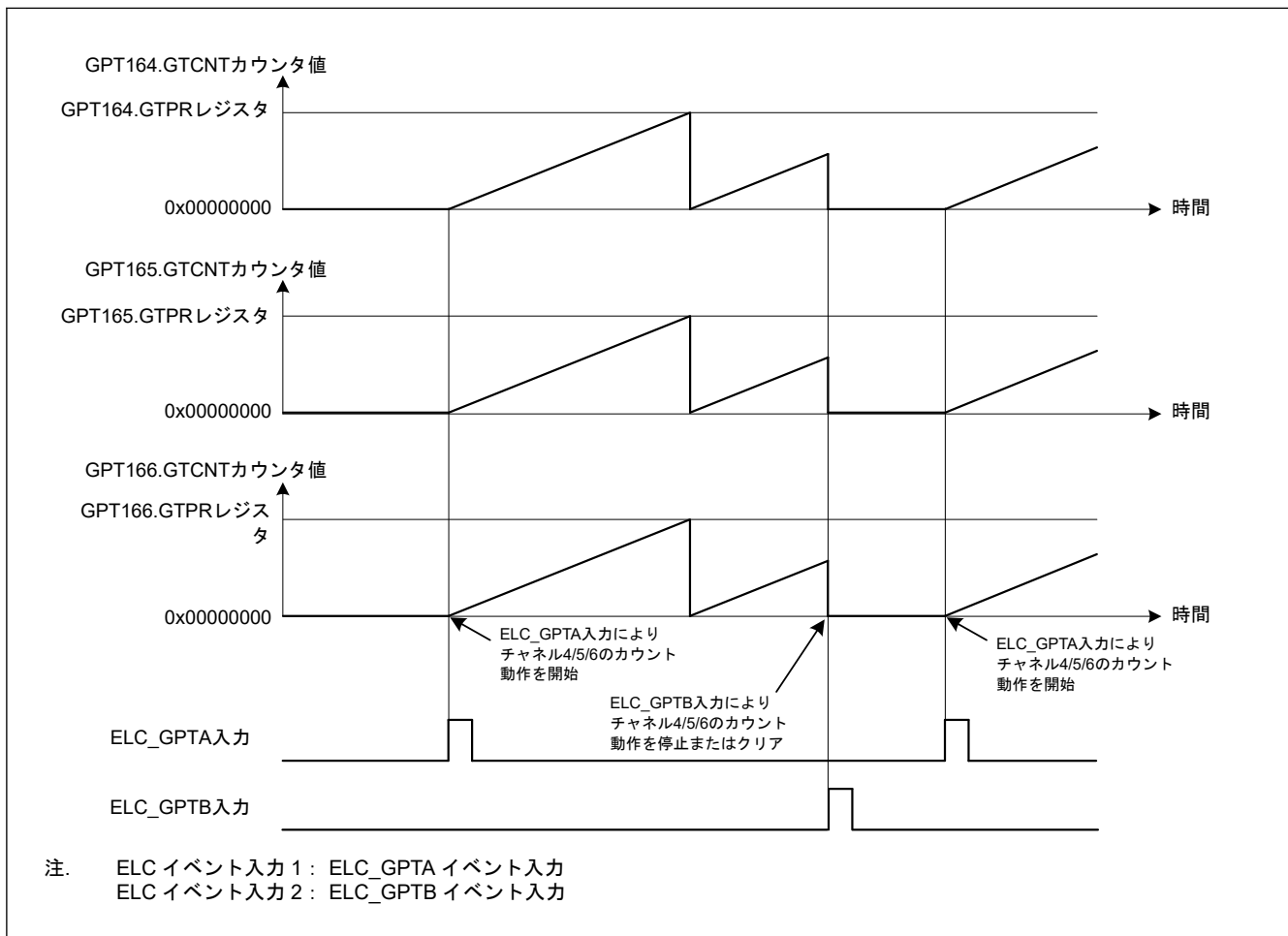


図 20.38 ハードウェア要因による同時スタート/ストップ/クリア動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

表 20.28 ハードウェア要因による同時スタート設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCCR.MD[2:0]ビットで動作モードを設定します。 図 20.38 では 000b (のこぎり波 PWM モード) を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 図 20.38 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します (アップカウント)。
3	カウントクロックの選択	GTCCR.TPCS[2:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.38 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.38 では GTSSR.SSELCA = 1

表 20.28 ハードウェア要因による同時スタート設定例 (2/2)

No.	手順名	説明
7	ハードウェアカウンタストップ設定	GTCSR レジスタでカウンタをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウンタストップ待ち状態にします。 図 20.38 では GTCSR.PSELCB = 1
8	ハードウェアカウンタクリア設定	GTCSR レジスタでカウンタをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。 図 20.38 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTCSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウンタをスタート/ストップ/クリアさせます。 図 20.38 では ELC_GPTA イベント入力、ELC_GPTB イベント入力の設定をします。

### 20.3.9 PWM 出力動作例

#### (1) 同期 PWM 出力

最大 6 チャンネル 6 × 2 相の連動した PWM 波形を出力します。

図 20.39 に、4 チャンネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

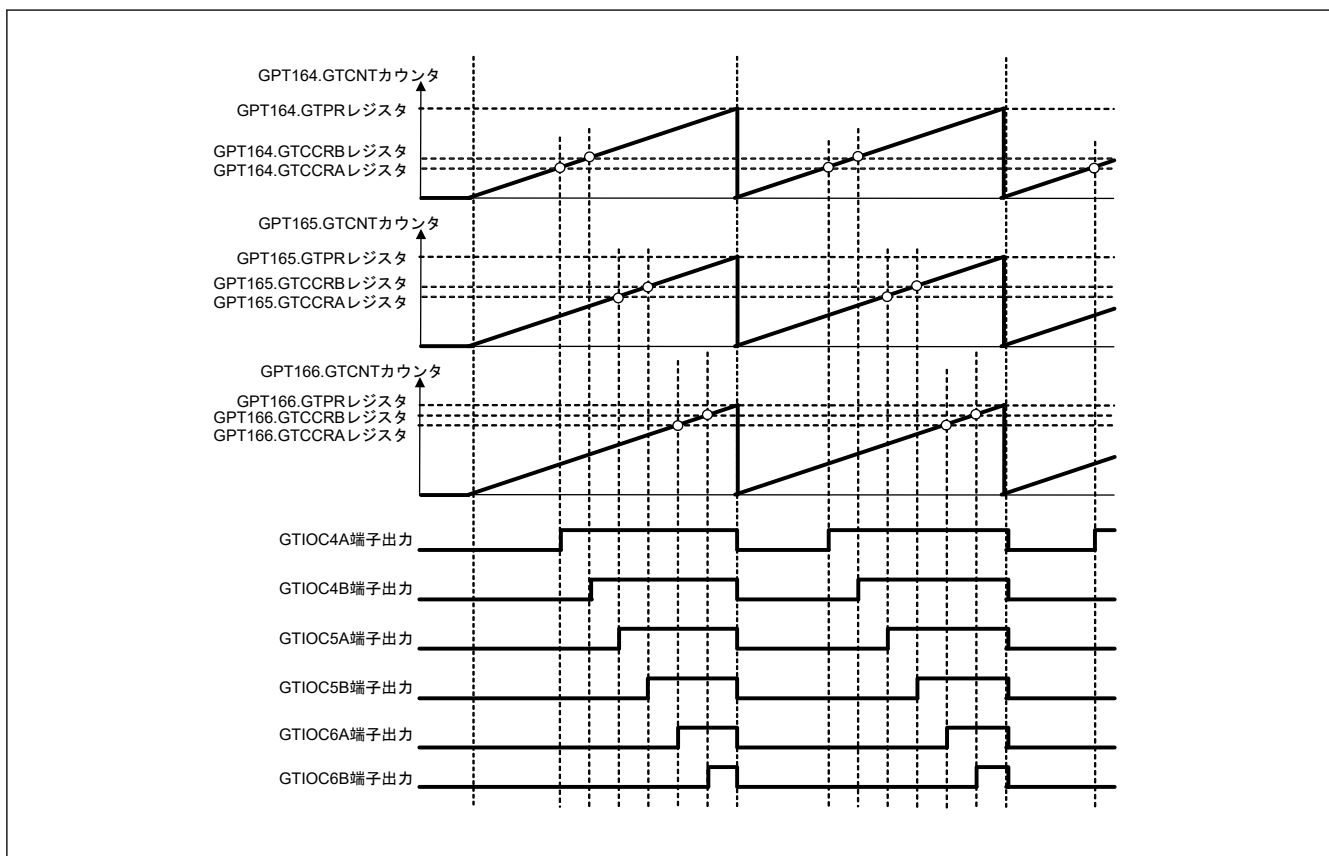


図 20.39 同期 PWM 出力例

#### (2) のこぎり波 3 相相補 PWM 出力

図 20.40 に、3 チャンネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

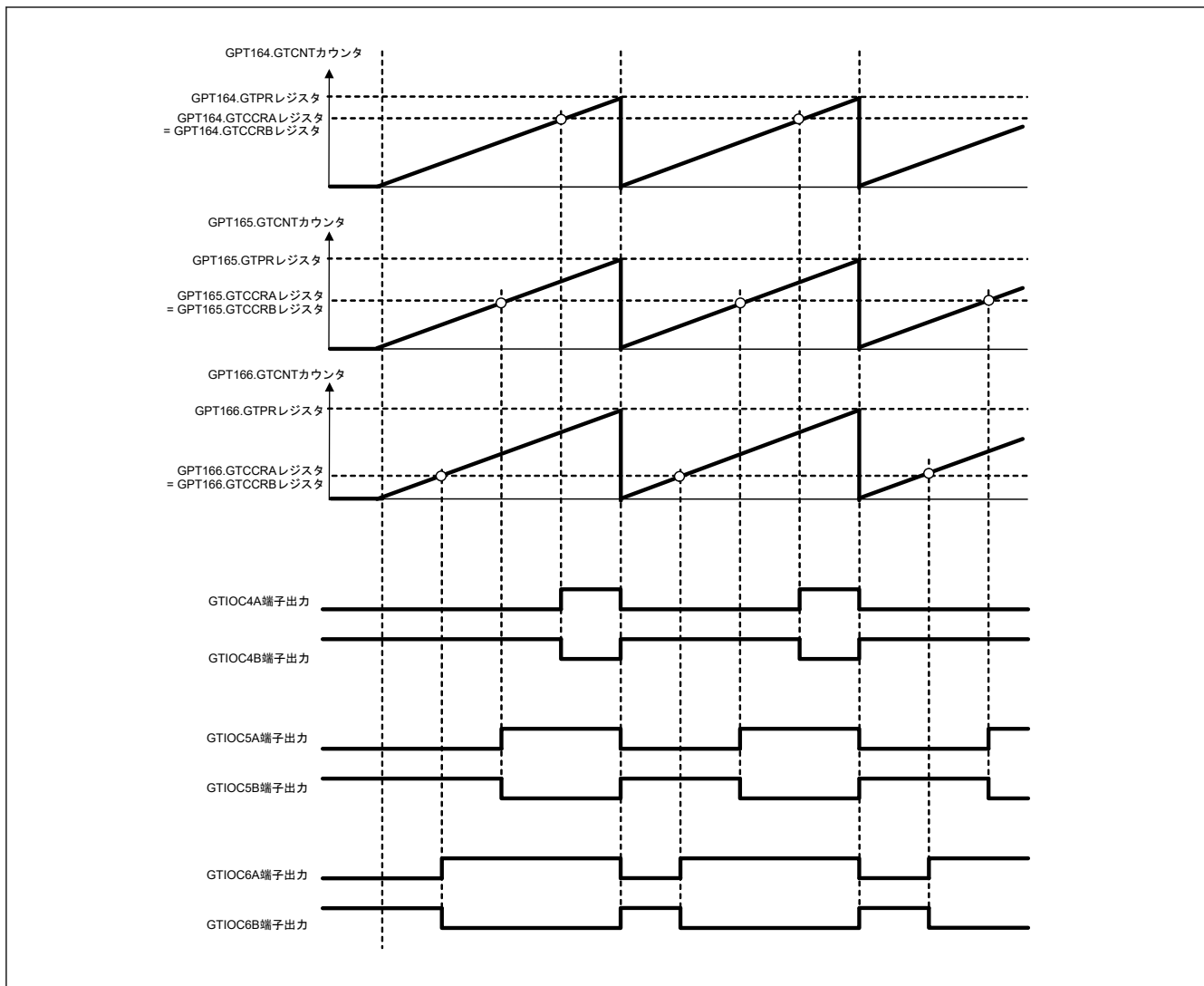


図 20.40 のこぎり波 3 相相補 PWM 出力例

(3) のこぎり波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.41 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

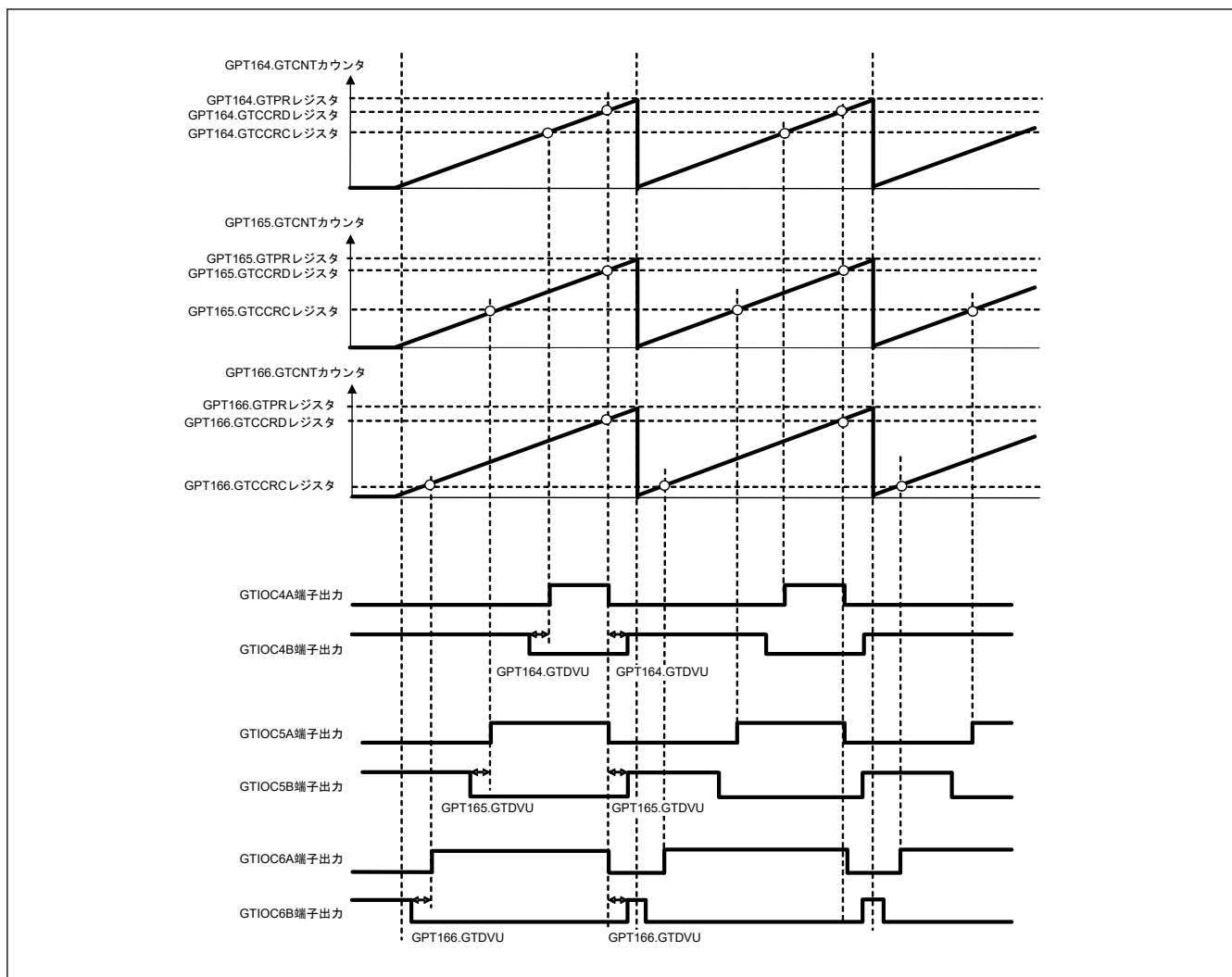


図 20.41 のこぎり波 3 相相補 PWM 出力例 (デッドタイム自動設定)

#### (4) 三角波 3 相相補 PWM 出力

図 20.42 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

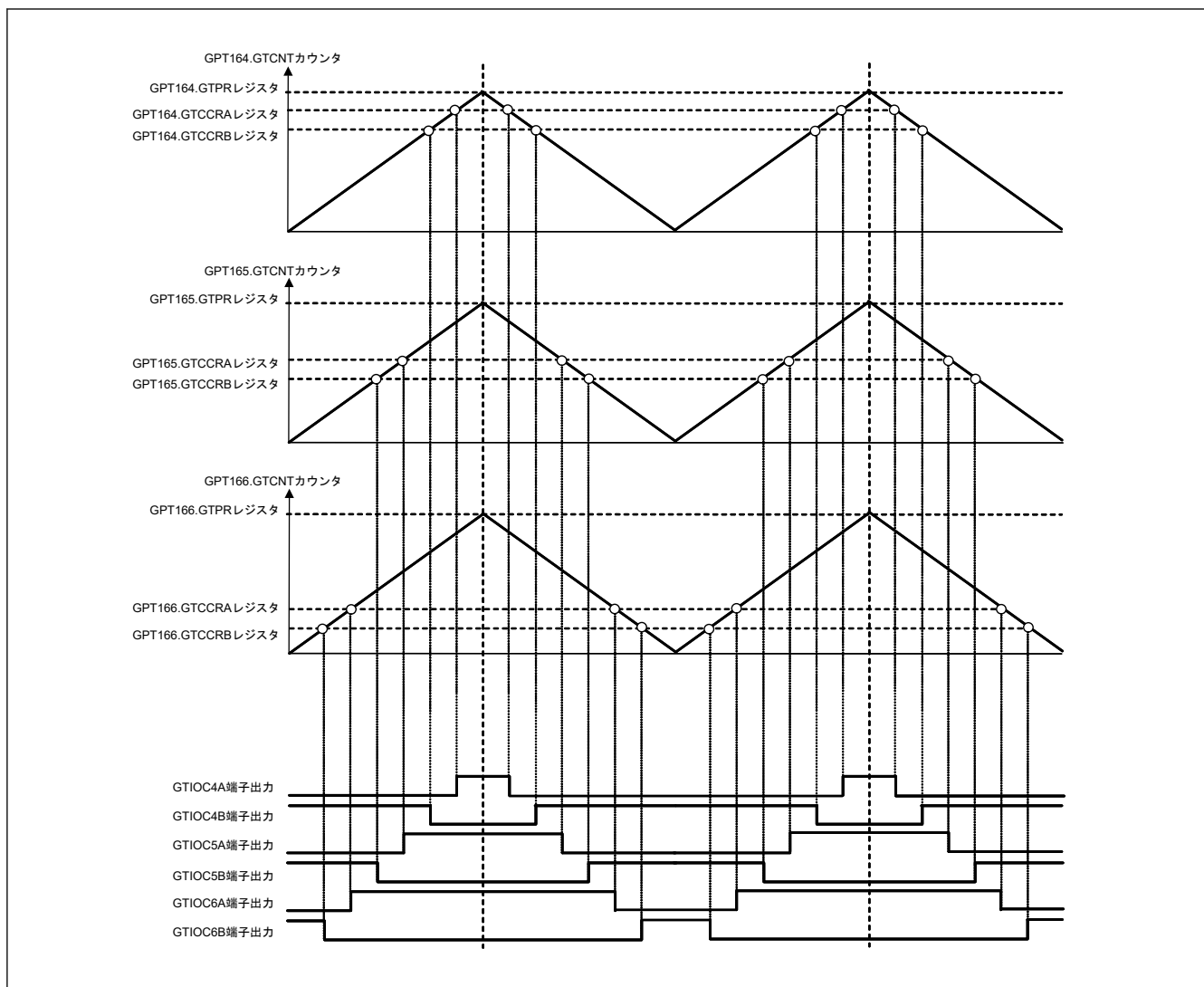


図 20.42 三角波 3 相相補 PWM 出力例

#### (5) 三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.43 に、デッドタイム自動設定機能を使用して、3 チャンネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

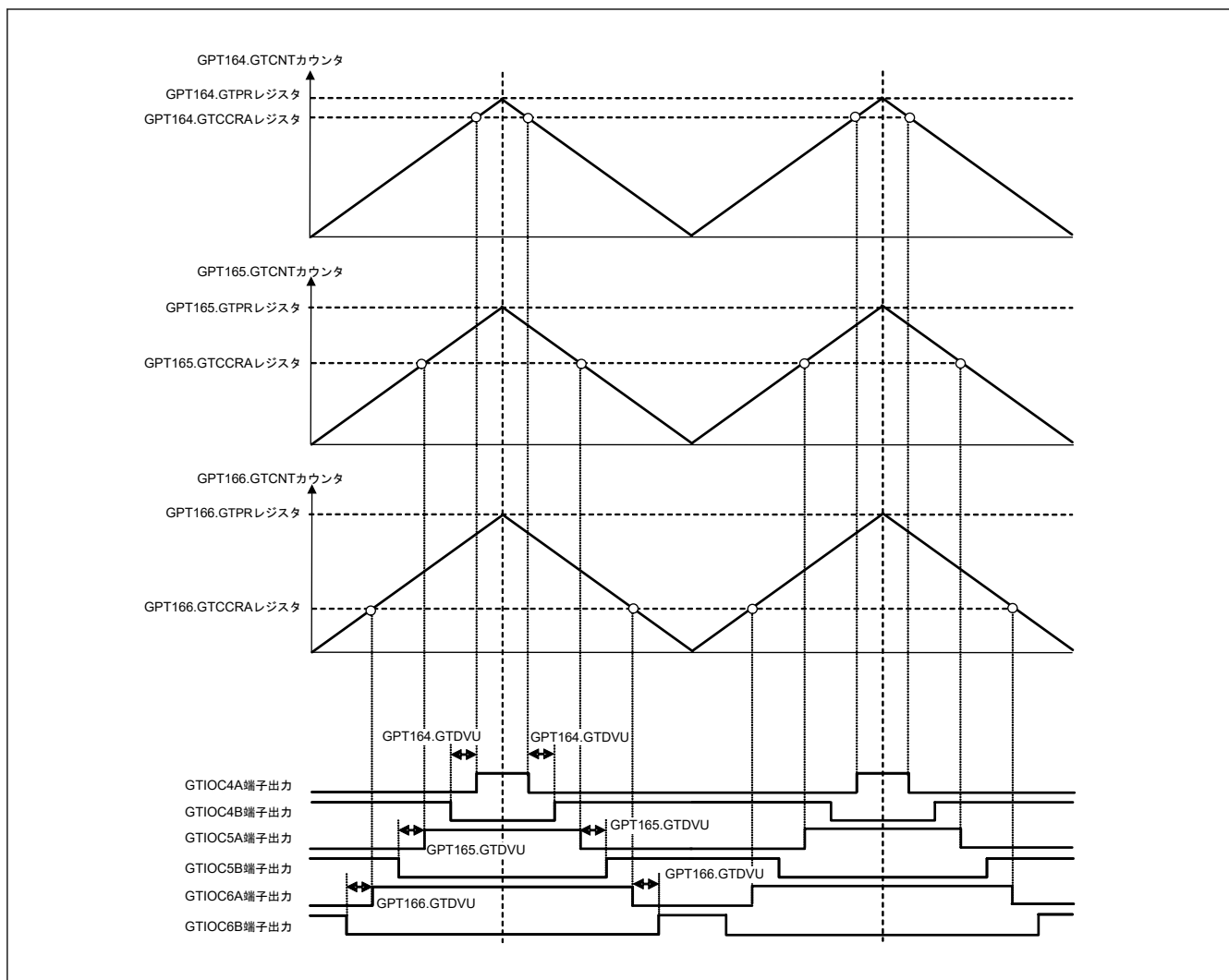


図 20.43 三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 20.44 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。



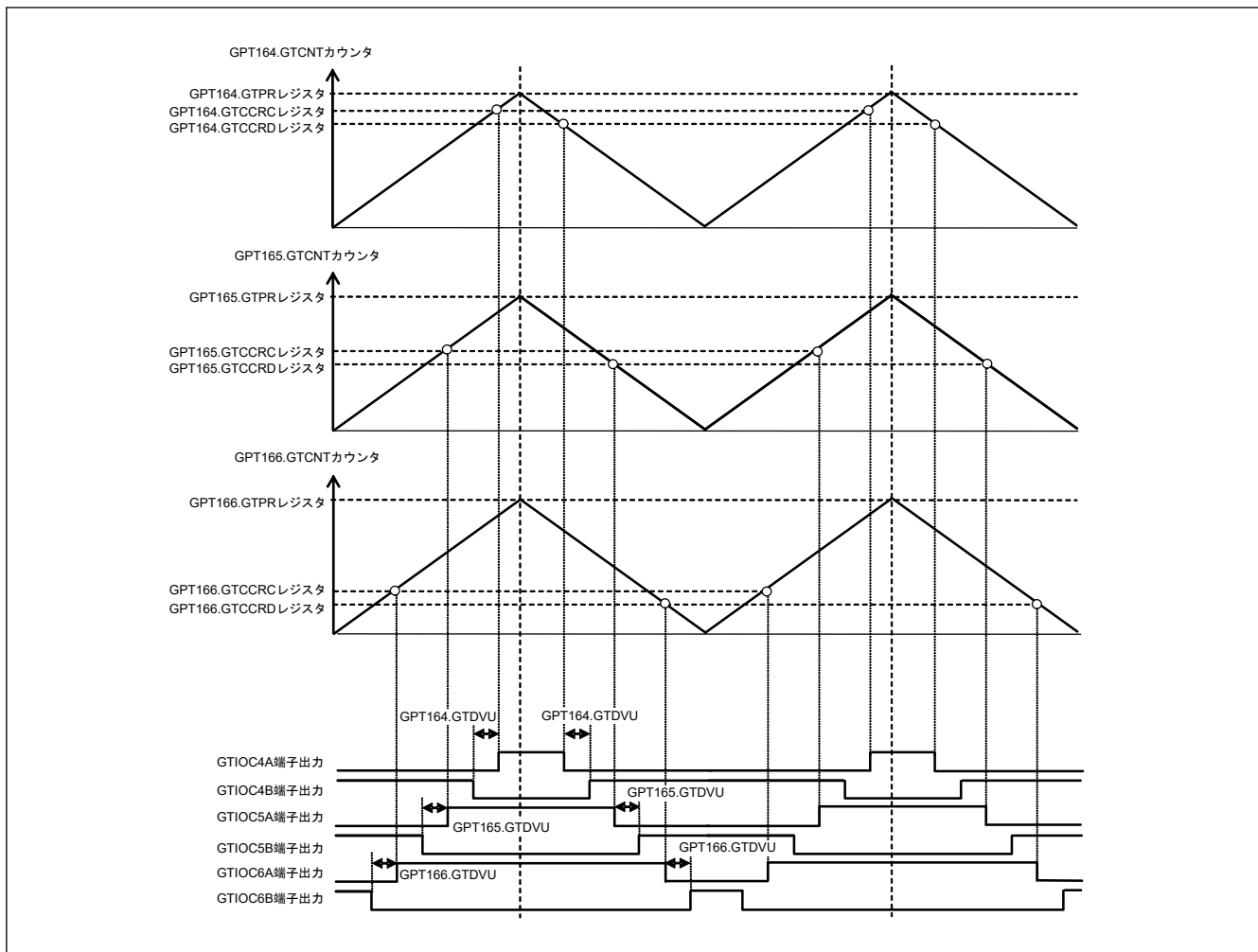


図 20.44 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

### 20.3.10 位相計数機能

GTIOCnA 端子入力と GTIOCnB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがアップカウントまたはダウンカウントを実行します (n = 4~9)。GTUPSR および GTDNSR レジスタに設定されている GTIOCnA 端子入力と GTIOCnB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、「20.3.1.1. カウンタの動作」を参照してください。

図 20.45~図 20.54 に GTIOCnA 端子、GTIOCnB 端子を使用する場合の位相計数モード 1~5 の動作例を示します。表 20.29~表 20.38 にアップカウント/ダウンカウントの条件を、図 20.45~図 20.54 に対応する GTUPSR レジスタおよび GTDNSR レジスタの設定値を示します。

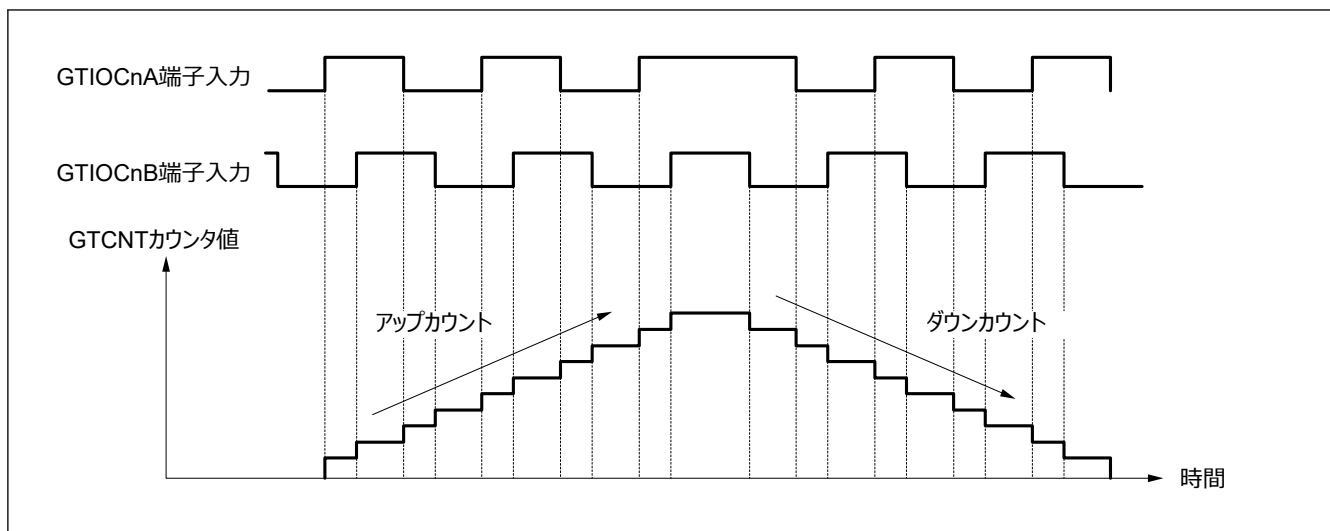












図 20.45 位相計数モード 1 の動作例

表 20.29 位相計数モード 1 でのアップカウント/ダウンカウントの条件

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOcNA 端子入力	GTIOcNB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006900 GTDNSR = 0x00009600
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

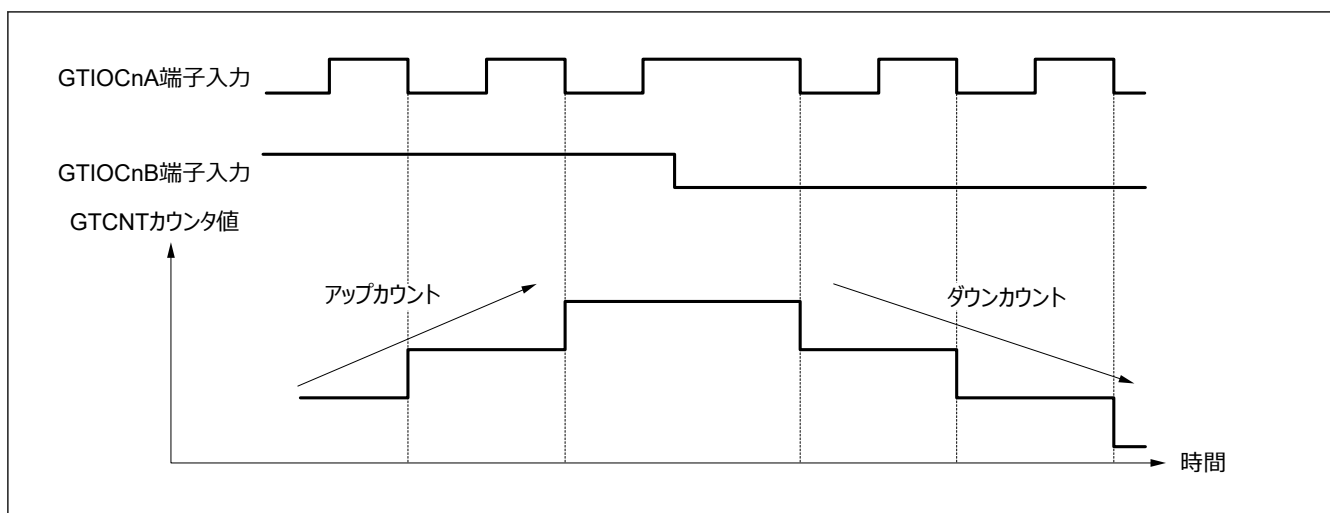












図 20.46 位相計数モード 2 の動作例 (A)

表 20.30 位相計数モード 2 でのアップカウント/ダウンカウントの条件 (A)

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000400
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	ダウンカウント	

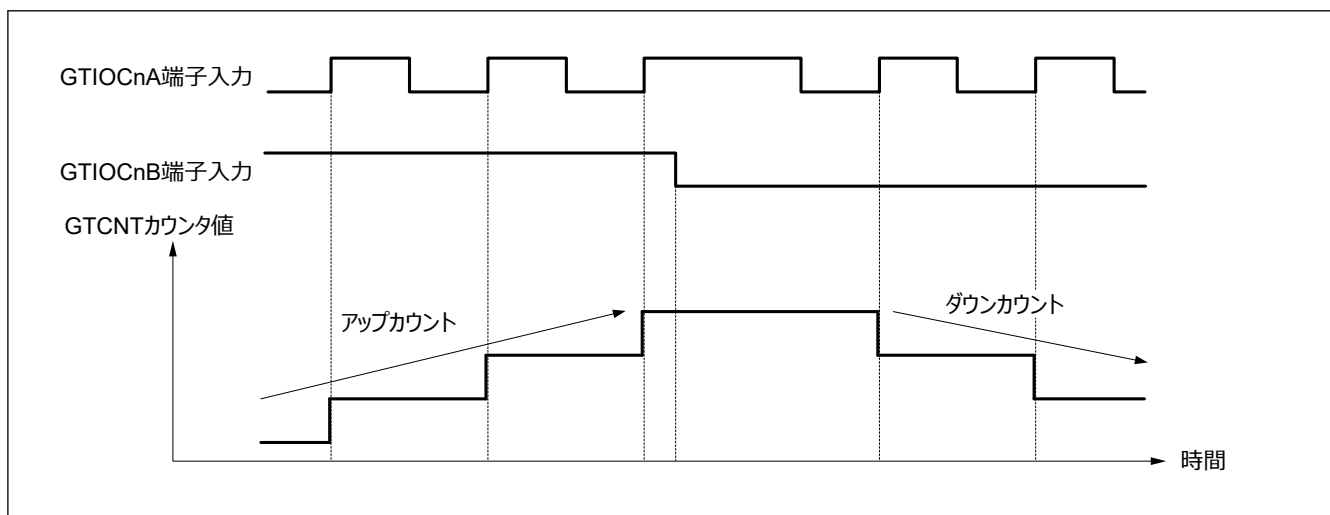












図 20.47 位相計数モード 2 の動作例 (B)

表 20.31 位相計数モード 2 でのアップカウント/ダウンカウントの条件 (B)

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000200 GTDNSR = 0x00000100
Low			
	Low	ダウンカウント	
	High	カウントしない	
High			
Low			
	High	アップカウント	
	Low	カウントしない	

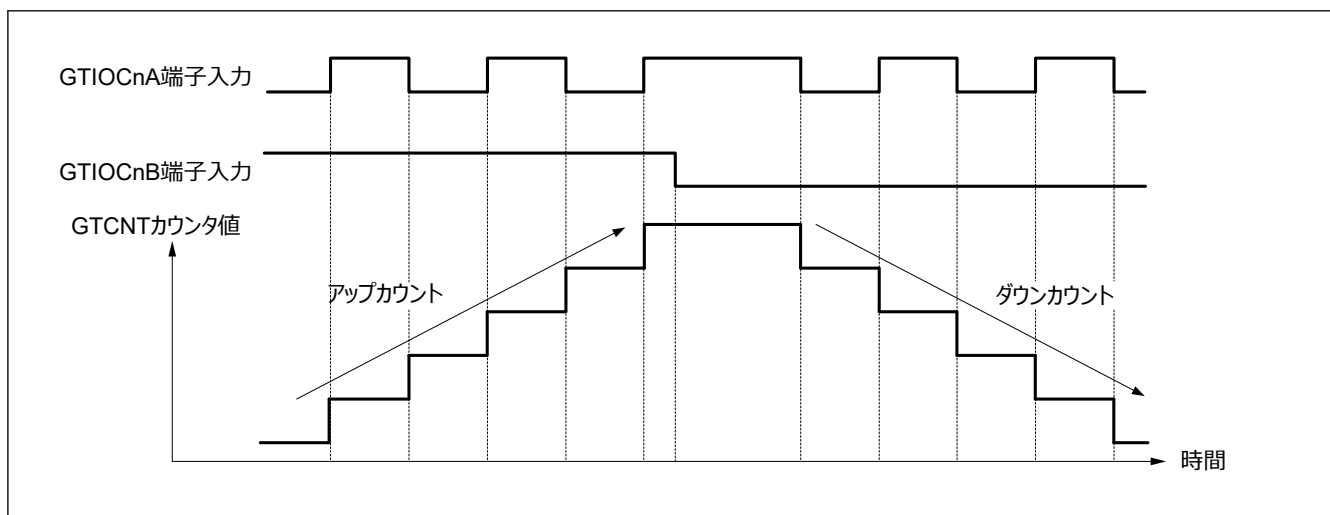












図 20.48 位相計数モード 2 の動作例 (C)

表 20.32 位相計数モード 2 でのアップカウント/ダウンカウントの条件 (C)

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000A00 GTDNSR = 0x00000500
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		カウントしない	
Low			
	High	アップカウント	
	Low	ダウンカウント	

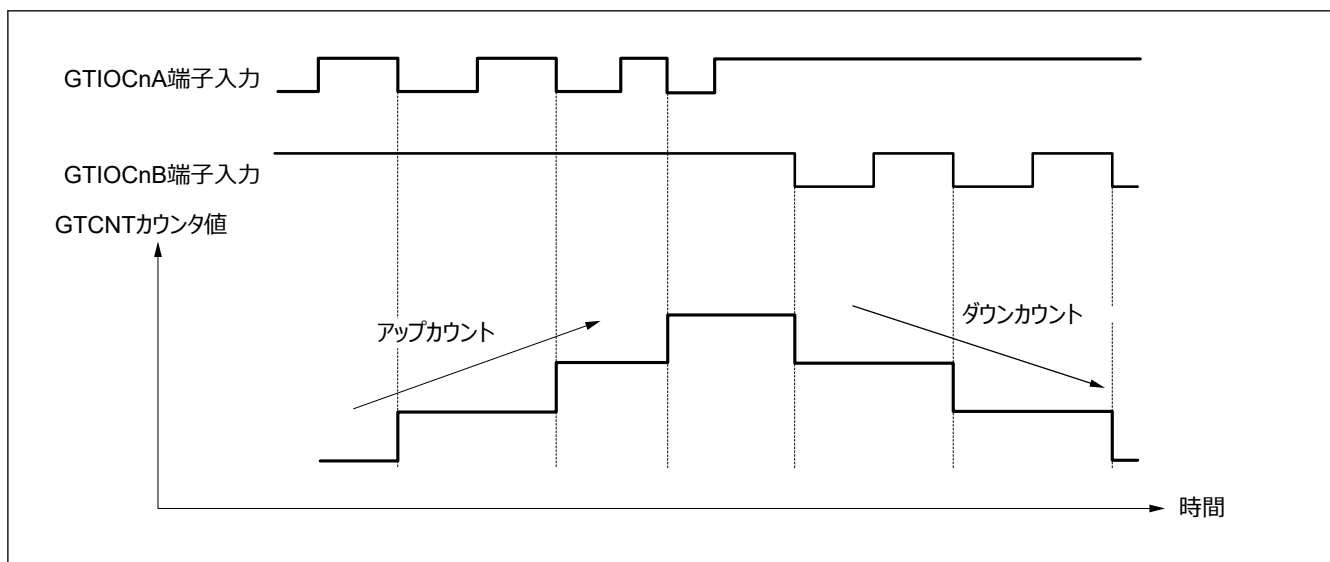












図 20.49 位相計数モード 3 の動作例 (A)

表 20.33 位相計数モード 3 でのアップカウント/ダウンカウントの条件 (A)

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000800
Low			
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High		
	Low		

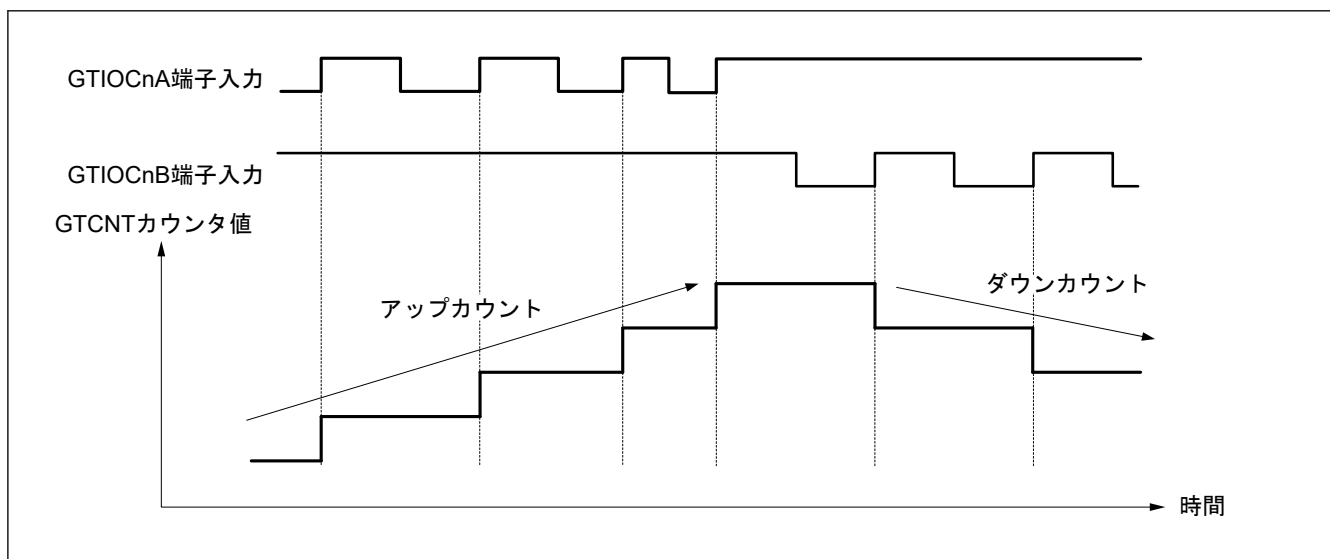












図 20.50 位相計数モード 3 の動作例 (B)

表 20.34 位相計数モード 3 でのアップカウント/ダウンカウントの条件 (B)

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000200 GTDNSR = 0x00002000
Low		カウントしない	
	Low	カウントしない	
	High	カウントしない	
High		カウントしない	
Low		カウントしない	
	High	アップカウント	
	Low	カウントしない	

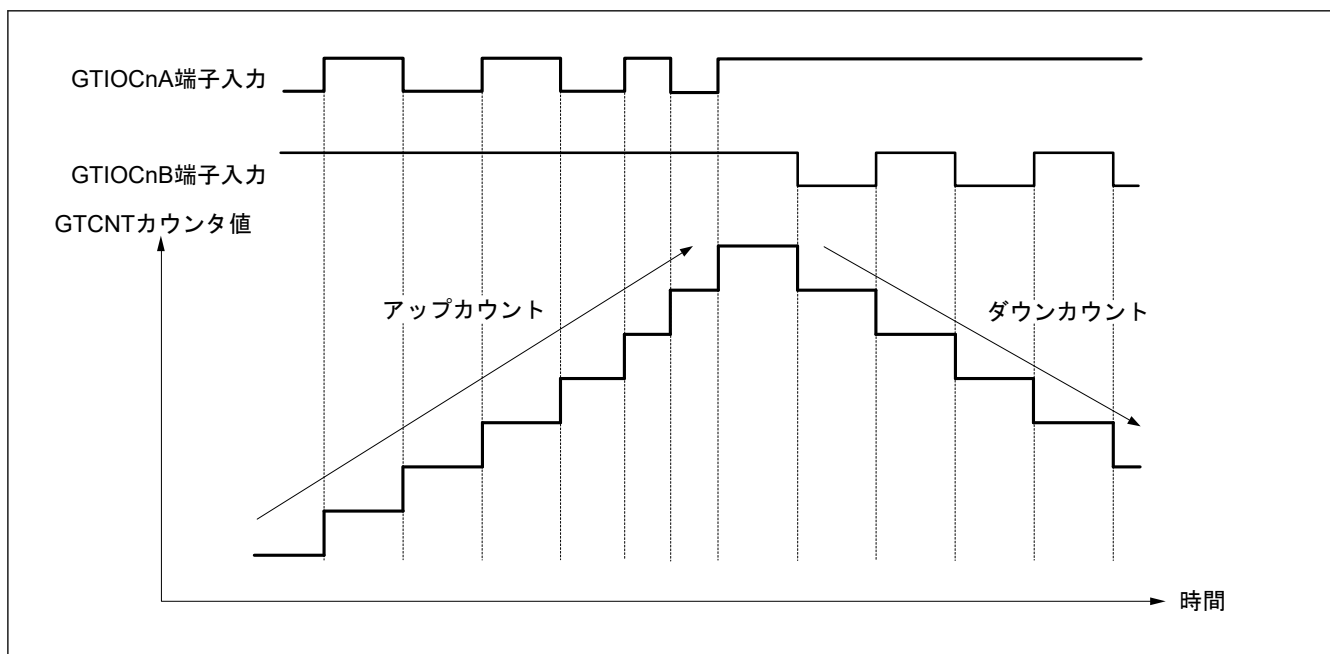












図 20.51 位相計数モード 3 の動作例 (C)

表 20.35 位相計数モード 3 でのアップカウント/ダウンカウントの条件 (C)

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000A00 GTDNSR = 0x0000A000
Low		カウントしない	
	Low	カウントしない	
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High	アップカウント	
	Low	カウントしない	

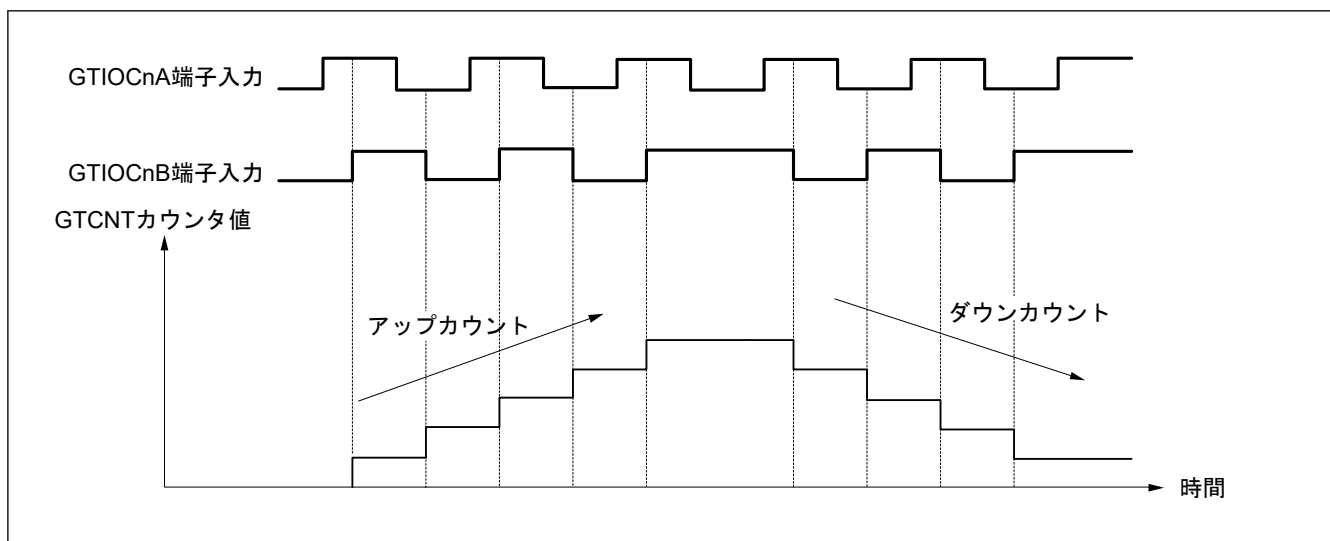











図 20.52 位相計数モード 4 の動作例



表 20.36 位相計数モード 4 でのアップカウント/ダウンカウントの条件

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006000 GTDNSR = 0x00009000
Low			
	Low	カウントしない	
	High		
High		ダウンカウント	
Low			
	High	カウントしない	
	Low		

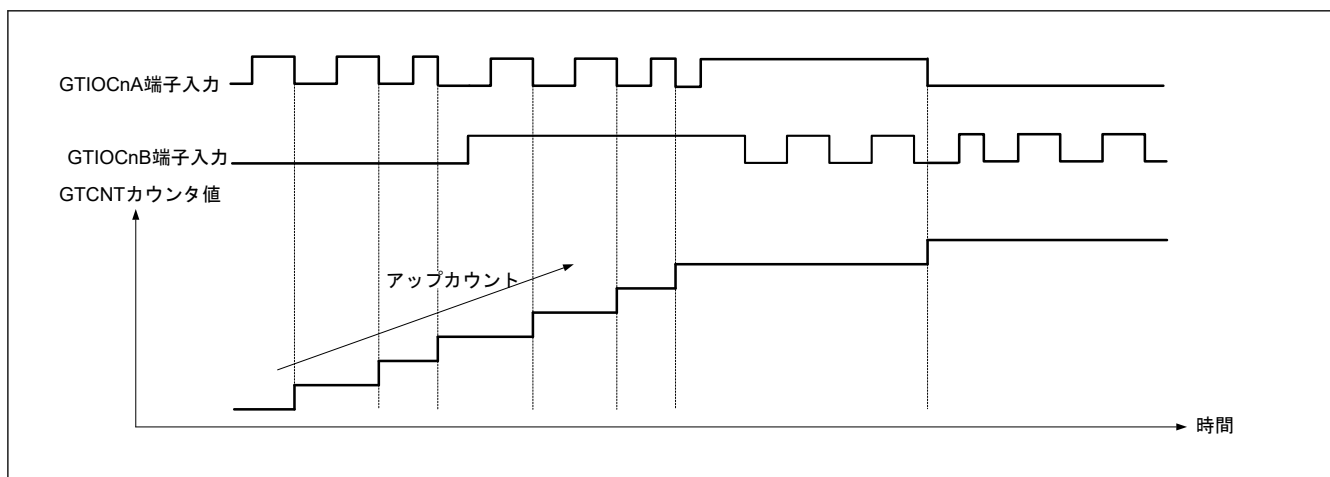












図 20.53 位相計数モード 5 の動作例 (A)

表 20.37 位相計数モード 5 でのアップカウント/ダウンカウントの条件 (A)

 : 立ち上がりエッジ  
 : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000C00 GTDNSR = 0x00000000
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	アップカウント	

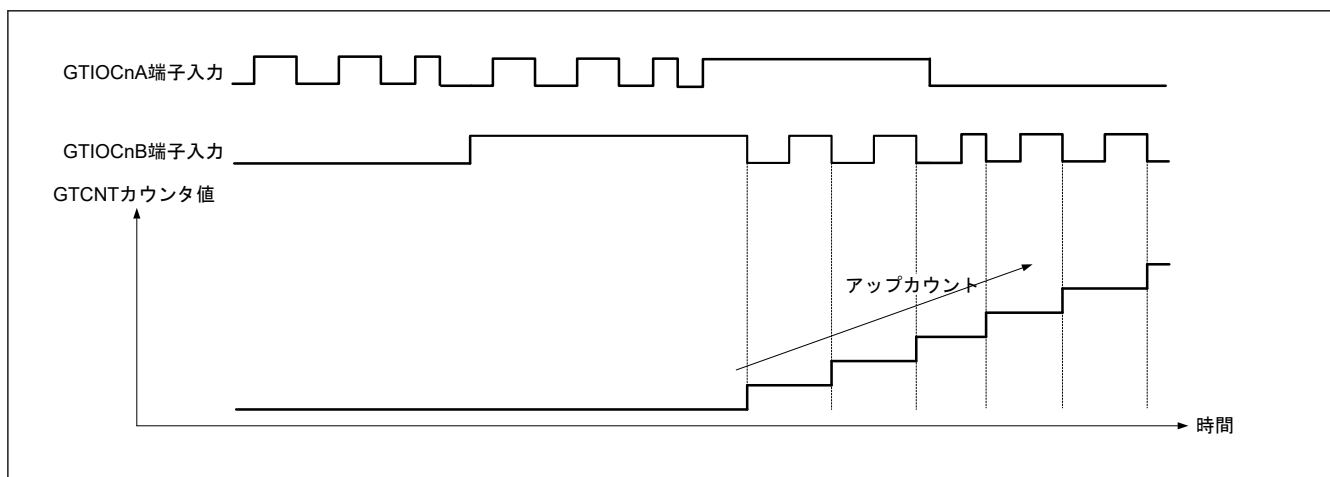


図 20.54 位相計数モード 5 の動作例 (B)

表 20.38 位相計数モード 5 でのアップカウント/ダウンカウントの条件 (B)

↑ : 立ち上がりエッジ  
 ↓ : 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	カウントしない	GTUPSR = 0x0000C000 GTDNSR = 0x00000000
Low	↓	アップカウント	
↑	Low	カウントしない	
↓	High		
High	↓	アップカウント	
Low	↑	カウントしない	
↑	High		
↓	Low		

### 20.3.11 出力相切り替え (GPT\_OPS)

GPT\_OPS は、出力位相スイッチコントロールレジスタ (OPSCR) を使ってブラシレス DC モーターを簡単に制御することができます。

GPT\_OPS は、6 相モーター制御 (U 正相/逆相、V 正相/逆相、W 正相/逆相) のチョップ制御またはレベル信号に使う PWM 信号を出力します。本機能には、ソフトウェアで設定したソフトウェア設定値 (OPSCR.UF, VF, WF) と GPT164.GTIOC4A の PWM 波形を使用します。

図 20.55 に GPT\_OPS 制御フローの概念図を示します。

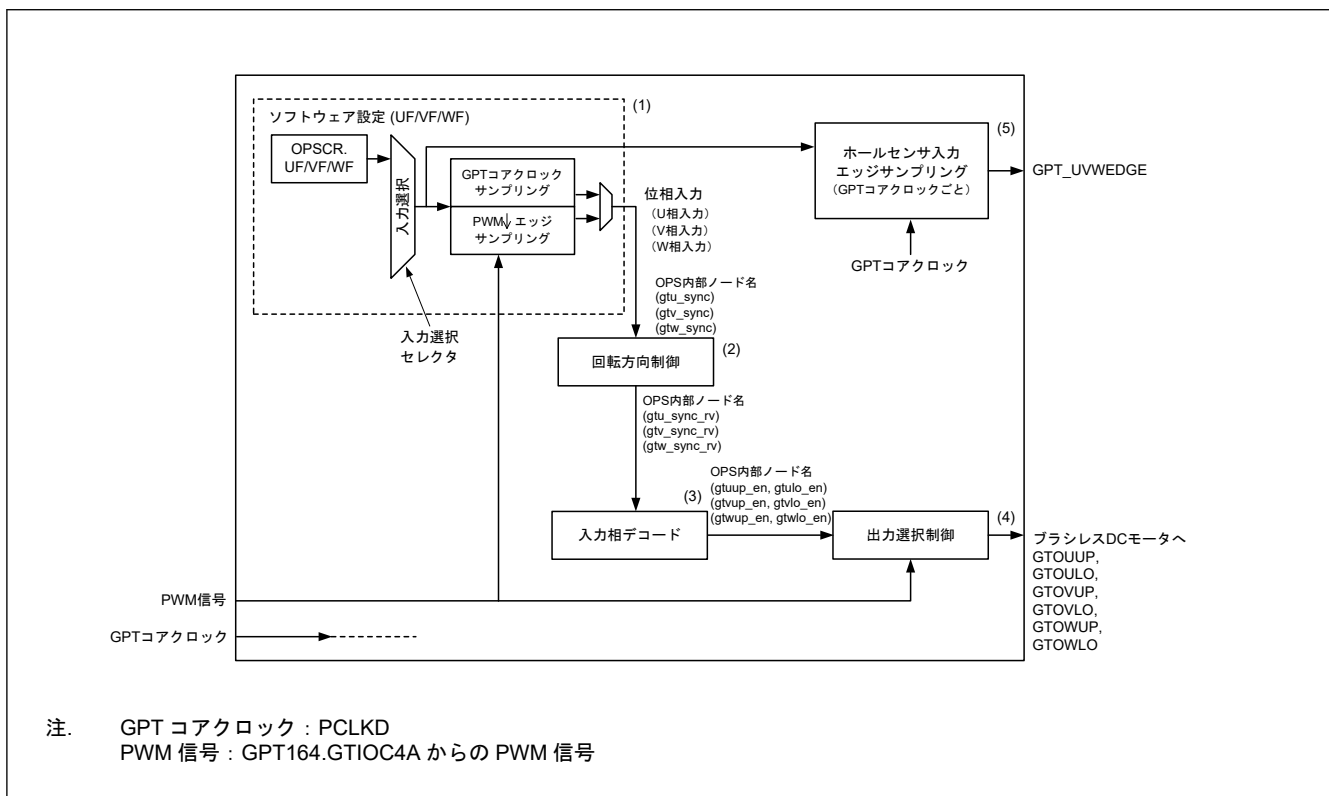


図 20.55 GPT\_OPS 制御フロー概念図

図 20.56 に GPT\_OPS 動作の 6 相レベル信号出力例を示します。

図 20.56 中の GPT\_UVWEDGE 信号は、ELC へ出力するホールセンサ入力エッジになります。

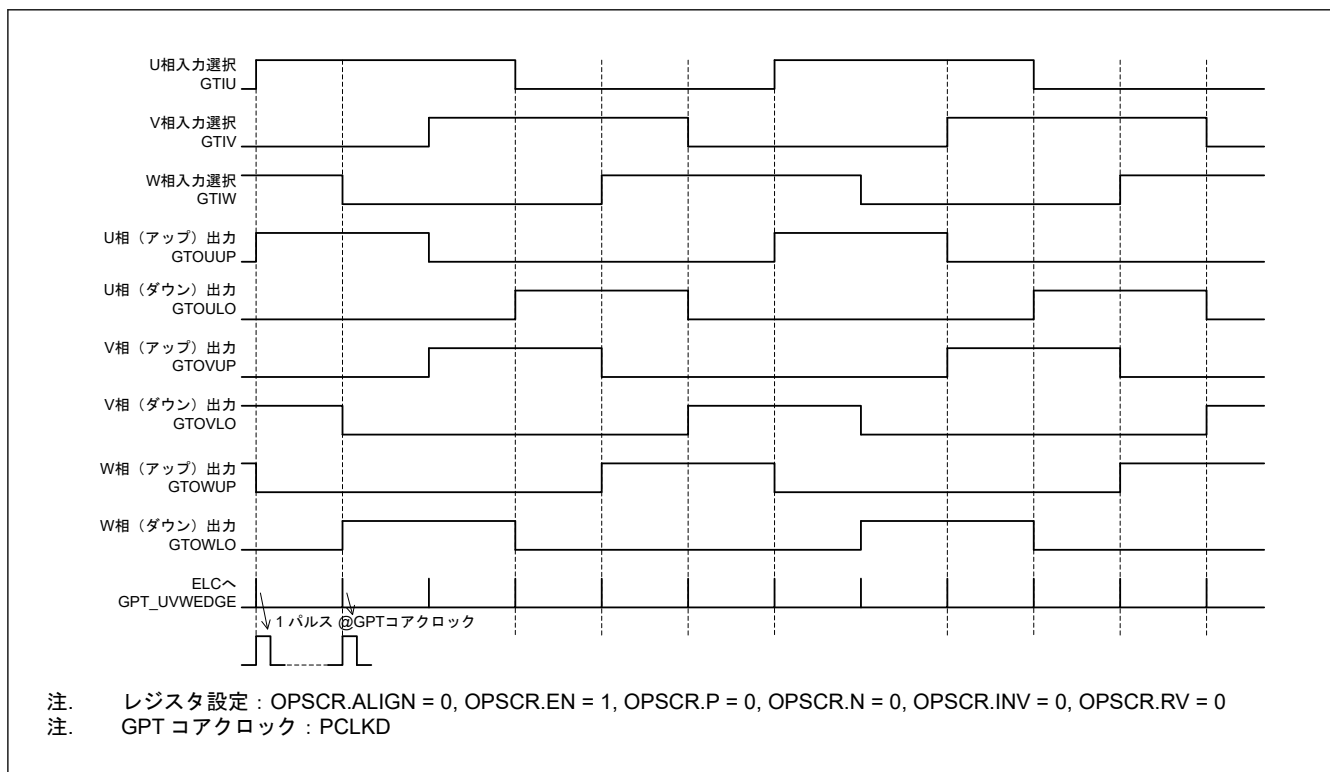


図 20.56 6 相レベル出力動作例

図 20.57 に GPT\_OPS 動作の 6 相 PWM 出力例 (チョップパ制御) を示します。

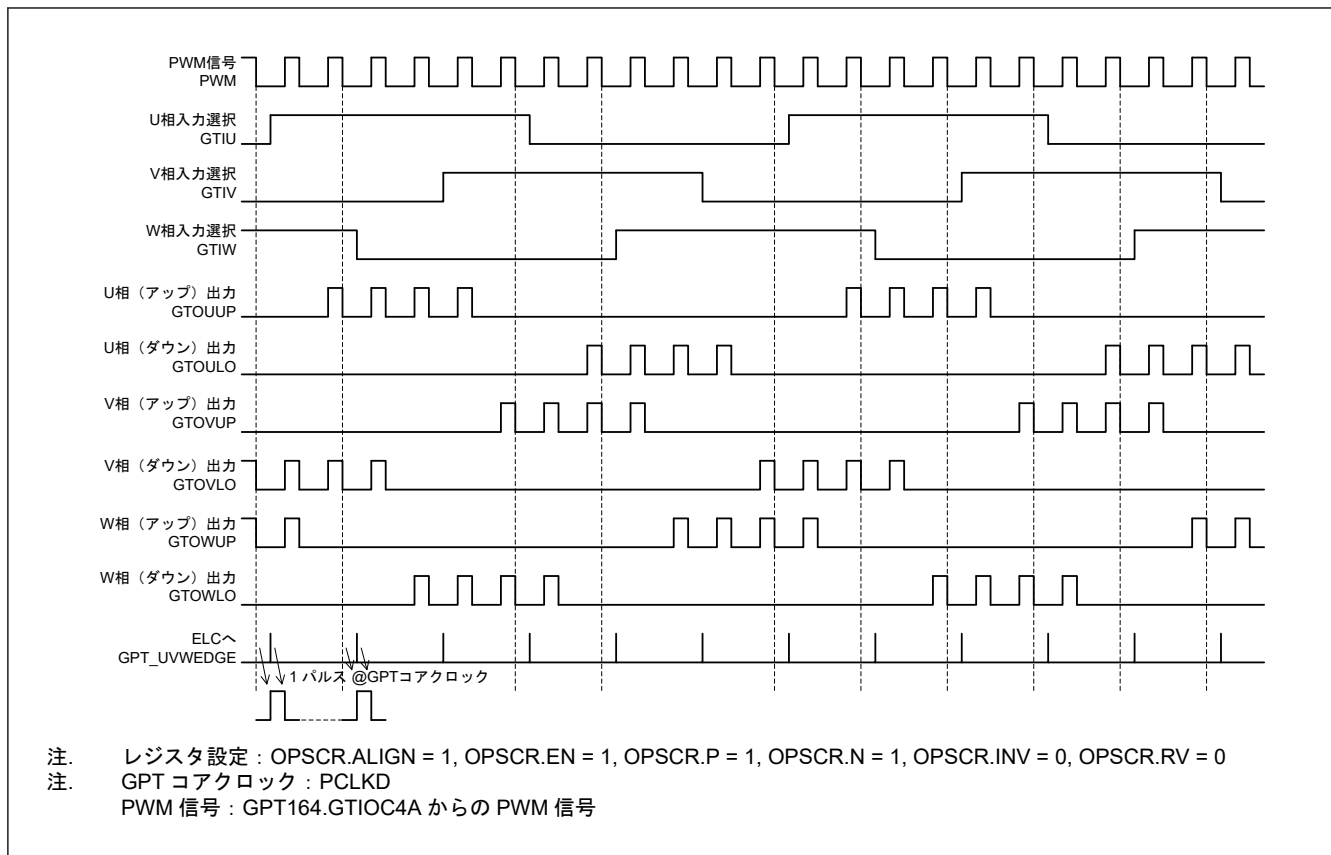


図 20.57 6 相 PWM 出力動作例 (チョップ制御)

図 20.58 に出力禁止制御の例 (6 相 PWM 出力動作) を示します。

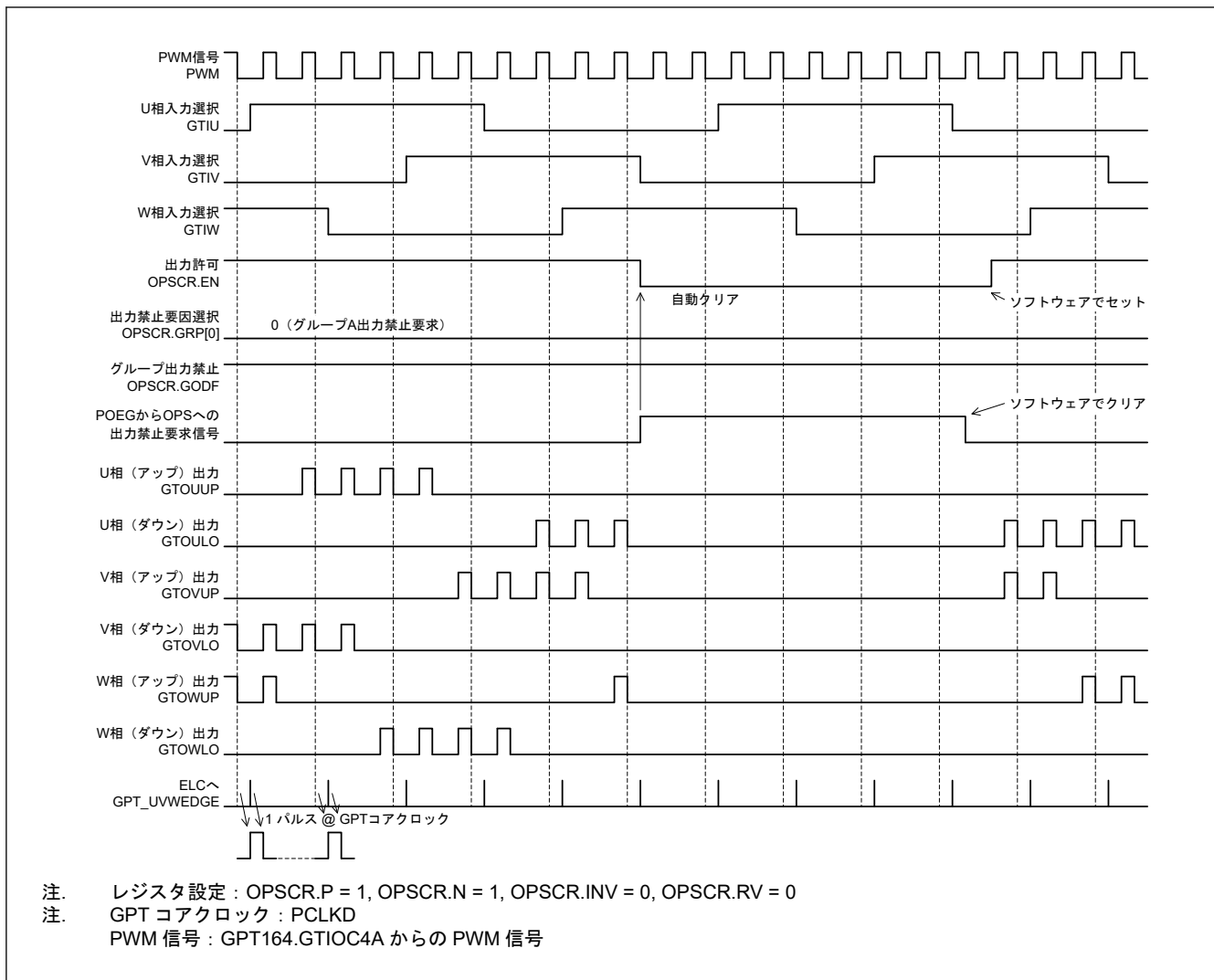


図 20.58 グループ出力禁止制御動作例

### 20.3.11.1 入力選択

図 20.55 に示す GPT\_OPS 制御フロー概念図の (1) は、OPSCR.FB ビットによって”ホールセンサ入力”と”ソフトウェア設定値”から”入力相”の選択をします。

OPSCR.FB ビット = 1 の時、ソフトウェア設定値 (OPSCR.UF、VF、WF) を選択し、OPSCR.ALIGN = 1 によって PWM (GPT164.GTIOC4A 端子の PWM) の立ち下がり (J) エッジサンプリング実施後、入力相となります。

OPSCR.ALIGN ビット = 0 の時は、OPSCR.FB = 0/1 のいずれの場合も PCLKD 同期の入力相となりますが、PWM 出力を選択 (OPSCR.P/N = 1) すると出力相 U/V/W 切り替え (U => V => W => U) タイミング直前/直後の PWM パルス幅が短くなる場合があります。

表 20.39 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 20.39 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択 (U/V/W 相)	同期入出力選択処理 (GPT_OPS 内部ノード名)
FB ビット	ALIGN ビット		
1	1	PWM 立ち下がりエッジサンプリングでのソフトウェア設定 (立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット)	入力相 入力 U 相 (gtu_sync) 入力 V 相 (gtv_sync) 入力 W 相 (gtw_sync)
	0	ソフトウェア設定値選択 (= OPSCR.UF/VF/WF ビット値) (= PCLKD 同期)	

### 20.3.11.2 入力相デコード

図 20.55 に示す GPT\_OPS 制御フロー概念図の (3) は、OPSCR.FB ビットによって選択した入力相をデコードして、GPT\_OPS の内部信号処理を行う 6 相許可信号を生成します。

表 20.40 に入力相のデコード表を示します。

表 20.40 入力相デコード表 (OPSCR.RV = 0)

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

表 20.41 入力相デコード表 (OPSCR.RV = 1)

入力相 (U/V/W) (GPT_OPS 内部ノード名)			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)] (GPT_OPS 内部ノード名)					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	0	1	1	0	0	0
1	0	0	0	1	0	0	1	0
1	1	0	0	0	0	1	1	0
0	1	0	1	0	0	1	0	0
0	1	1	1	0	0	0	0	1
0	0	1	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

### 20.3.11.3 回転方向制御

図 20.55 に示す GPT\_OPS 制御フロー概念図の (3) では、OPSCR.RV ビットを使用して 3 相モーターの回転方向を制御します。

OPSCR.RV ビットが 1 の場合、V 相と W 相を入れ替えることにより、OPSCR.RV ビット設定 0 の回転方向を反転させます。

表 20.42 に、OPSCR.RV ビットへの出力相の割り当て（回転方向制御の実施前後）を示します。

表 20.42 回転方向制御方法 (1/2)

OPSCR レジスタ出力 相回転方向反転	回転方向制御の出力 [U/V/W (正/逆)] (制御後の GPT_OPS 内部ノード名)					
	(gtuup_ren)	(gtulo_ren)	(gtvup_ren)	(gtvlo_ren)	(gtwup_ren)	(gtwlo_ren)
OPSCR.RV ビット	(gtuup_ren)	(gtulo_ren)	(gtvup_ren)	(gtvlo_ren)	(gtwup_ren)	(gtwlo_ren)

表 20.42 回転方向制御方法 (2/2)

OPSCR レジスタ出力 相回転方向反転	回転方向制御の出力 [U/V/W (正/逆)] (制御後の GPT_OPS 内部ノード名)					
	0	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)	W 相 (Up) (gtwup_en)
1	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)

### 20.3.11.4 出力選択制御

図 20.55 に示す GPT\_OPS 制御フロー概念図の (4) は、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット：6 相出力の出力/停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット：出力相に対してレベル信号/PWM 信号（チョップ出力）を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理/負論理に設定可能

表 20.43 および表 20.44 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 20.43 出力選択制御方法 (正相)

出力許可相制御	正相出力 (P) 制御	反転相出力制御	出力ポート名 (正相 = Up) (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.P	OPSCR.INV	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力
1	0	0	レベル信号 (gtuup_ren) (gtvup_ren) (gtwup_ren)	レベル出力モード (正相) (正論理)
1	0	1	レベル信号 (~gtuup_ren) (~gtvup_ren) (~gtwup_ren)	レベル出力モード (正相) (負論理)
1	1	0	PWM 信号 (PWM & gtuup_ren) (PWM & gtvup_ren) (PWM & gtwup_ren)	PWM 出力モード (正相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtuup_ren)) (~(PWM & gtvup_ren)) (~(PWM & gtwup_ren))	PWM 出力モード (正相) (負論理)

表 20.44 出力選択制御方法 (逆相) (1/2)

出力許可相制御	逆相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.N	OPSCR.INV	GTOULO GTOVLO GTOWLO	モード
0	x	x	0	出力停止 (外部端子 Hi-Z) GPT_OPS → 0 出力



表 20.44 出力選択制御方法 (逆相) (2/2)

出力許可相制御	逆相出力 (N) 制御	反転相出力制御	出力ポート名 (逆相 = Lo) (出力選択内部ノード割り当て)	
OPSCR.EN	OPSCR.N	OPSCR.INV	GTOULO GTOVLO GTOWLO	モード
1	0	0	レベル信号 (gtulo_ren) (gtvlo_ren) (gtwlo_ren)	レベル出力モード (逆相) (正論理)
1	0	1	レベル信号 (~gtulo_ren) (~gtvlo_ren) (~gtwlo_ren)	レベル出力モード (逆相) (負論理)
1	1	0	PWM 信号 (PWM & gtulo_ren) (PWM & gtvlo_ren) (PWM & gtwlo_ren)	PWM 出力モード (逆相) (正論理)
1	1	1	PWM 信号 (~(PWM & gtulo_ren)) (~(PWM & gtvlo_ren)) (~(PWM & gtwlo_ren))	PWM 出力モード (逆相) (負論理)

### 20.3.11.5 出力選択制御 (グループ出力禁止機能)

グループ出力禁止機能は、OPSCR.GODF = 1 かつ OPSCR.GRP[0] ビットで選択した要因の信号値が High になると (出力禁止要求)、非同期で出力を Hi-Z にします。出力禁止要求の発生により OPSCR.EN ビットは 0 にクリアされます。復帰は、ソフトウェアで出力禁止要求をクリア後、OPSCR.EN = 1 を設定してください。

出力禁止制御を確実に行うためには、POE のフラグクリアは POEG\_GROUPn (n = A, B) 割り込みを使用するか、OPSCR.EN = 0 であることを確認してからフラグをクリアしてください。グループ出力禁止制御の動作例については、[図 20.58](#) を参照してください。

### 20.3.11.6 イベントリンクコントローラ (ELC) 出力

[図 20.55](#) に示す GPT\_OPS 制御フロー概念図の (5) は、ホールセンサ入力エッジ信号をイベントリンクコントローラ (ELC) へ出力します。

ホールセンサ入力エッジ信号は、入力相の U 相、V 相、W 相それぞれの立ち上がりエッジと立ち下がりエッジを PCLKD で検出したパルスの論理和です。よって入力相の U 相、V 相、W 相それぞれの High 期間が短い場合、ホールセンサ入力エッジ信号が出力されない場合があります。

OPSCR.FB = 0 の時、外部入力相のエッジを PCLKD で検出したパルスの論理和となります。

OPSCR.FB = 1 の時、ソフトウェア設定値 (OPSCR.UF/VF/WF) のエッジを PCLKD で検出したパルスの論理和となります。

ELC への出力信号の例については、[図 20.56](#)~[図 20.58](#) を参照してください。

### 20.3.11.7 GPT\_OPS スタート動作設定フロー

表 20.45 GPT\_OPS スタート動作設定例 (1/2)

No.	手順名	説明
1	GPT164 動作モード設定	GPT164.GTIOC4A 出力に、のこぎり波または三角波の PWM 出力動作モードを設定します。詳細は、「 <a href="#">20.3.3. PWM 出力動作モード</a> 」を参照してください。
2	GPT164 のカウント動作	GPT164 のカウント動作を開始して、PWM 波形を出力します。
3	OPS 入力データ設定 (ソフトウェア設定選択時のみ)	OPSCR.UF、VF、WF ビットにソフトウェア設定値の設定をします。
4	OPS 外部入力ノイズフィルタ設定 (外部入力選択時のみ)	ノイズフィルタを使用する場合、OPSCR.NFCS[1:0] ビットにて外部ノイズフィルタのサンプリングクロックを設定してください。次に OPSCR.NFEN ビットを 1 に設定すればノイズフィルタが有効になります。

表 20.45 GPT\_OPS スタート動作設定例 (2/2)

No.	手順名	説明
5	OPS 入力相選択設定/アライメント選択設定	OPSCR.FB でソフトウェア設定または外部入力から入力相の選択をしてください。 OPSCR.ALIGN で入力相のアライメントを選択してください。
6	OPS 出力相の設定	OPSCR.P、N ビットで出力する正相、逆相のレベル出力/PWM 出力を設定してください。 OPSCR.INV ビットで出力相の正論理/負論理を設定してください。OPSCR.RV ビットで回転方向を設定してください。
7	OPS エラーグループ出力ライン設定	OPSCR.GRP[0]でエラーグループの選択を設定してください。 OPSCR.GODF で出力停止機能の ON/OFF の設定してください。
8	OPS 動作	OPSCR.EN ビットを 1 に設定して OPS からブラシレス DC モーターを駆動する出力相を出力します。

## 20.4 割り込み要因

### 20.4.1 割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ/コンペアマッチ
- GTCNT カウンタのオーバーフロー (GTPR のコンペアマッチ) /アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。割り込みコントローラユニットでは、チャンネル間の優先順位を変更できます。ただし、1 つのチャンネル内での優先順位は固定されています。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

表 20.46 は、GPT の割り込み要因の一覧です。

表 20.46 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DMAC/DTC の起動
n = 4~9	GPTn_CCMPA	GPT16n.GTCCRA 入力キャプチャ/コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT16n.GTCCRB 入力キャプチャ/コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT16n.GTCCRC コンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT16n.GTCCRD コンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_OVF	GPT16n.GTCNT オーバーフロー (GPT164.GTPR コンペアマッチ)	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT16n.GTCNT アンダーフロー	GTST[7] (TCFPU)	可能

#### (1) GPTn\_CCMPA 割り込み (n = 4~9)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

#### (2) GPTn\_CCMPB 割り込み (n = 4~9)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

### (3) GPTn\_CMPC 割り込み (n = 4~9)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

### (4) GPTn\_CMPD 割り込み (n = 4~9)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われなため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

### (5) GPTn\_OVF 割り込み (n = 4~9)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、オーバーフロー (アップカウント動作中に GTCNT カウンタ値が GTPR から 0 に変化する) で割り込み要求が許可されたとき
- 三角波の場合、山 (GTCNT が GTPR から GTPR-1 になる) が発生したとき
- ハードウェア要因によるカウント動作の場合に、オーバーフロー (アップカウント動作時に GTCNT カウンタ値が GTPR から 0 に変化する) が発生したとき

### (6) GPTn\_UDF 割り込み (n = 4~9)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、アンダーフロー (ダウンカウント動作中に GTCNT カウンタ値が 0 から GTPR に変化する) で割り込み要求が許可されたとき
- 三角波の場合、谷 (GTCNT が 0 から 1 になる) が発生したとき
- ハードウェア要因によるカウント動作の場合に、アンダーフロー (ダウンカウント動作時に GTCNT カウンタ値が 0 から GTPR に変化する) が発生したとき

割り込み信号と割り込みステータスフラグについては、「[20.2.16. GTST : 汎用 PWM タイマステータスレジスタ](#)」を参照してください。

## 20.4.2 DTC の起動

各チャンネルの割り込みによって、DTC を起動することができます。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」、および「[15. データトランスファコントローラ \(DTC\)](#)」を参照してください。

## 20.5 ELC によるリンク動作

### 20.5.1 ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn\_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn\_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn\_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn\_CMPD)
- オーバーフロー割り込み発生 (GPTn\_OVF)
- アンダーフロー割り込み発生 (GPTn\_UDF)

注. n = 4~9

## 20.5.2 ELC からのイベント信号入力

GPT は、イベントリンクコントローラ (ELC) からの最大 4 個のイベントに対して、以下の動作の実行が可能です。

- カウントスタート/ストップ/クリア
- アップカウント/ダウンカウント
- インพุットキャプチャ

ELC とイベント信号入力の接続関係は、「[16. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 20.6 ノイズフィルタ機能

GPT のインพุットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効/無効にすることや、チャンネルごとにサンプリングクロックを設定することが可能です。

図 20.59 にノイズフィルタのタイミングを示します。

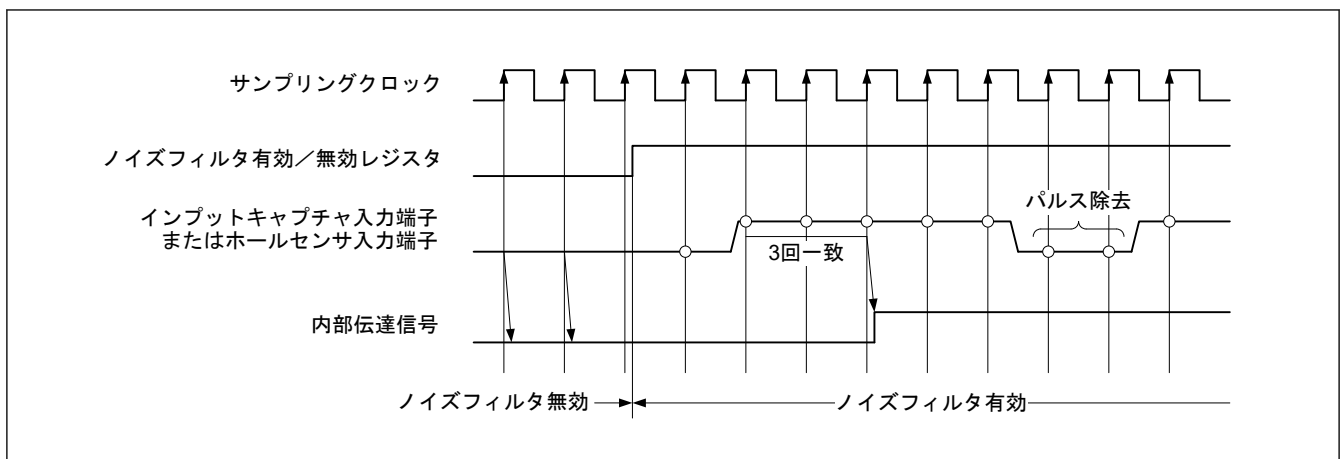


図 20.59 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、(サンプリング周期 × 2 + PCLKD) の最短の遅延の後、ノイズフィルタ対象信号のエッジでインพุットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インพุットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

## 20.7 保護機能

### 20.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャンネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTDTCR, GTDVU.

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

### 20.7.2 バッファ動作の禁止

バッファレジスタへの書き込みのタイミングがバッファ転送より遅延している場合、GTBER.BD[1]、および BD[0] ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み前に BD[1]、および BD[0] ビットを 1 (バッファ動作禁止) にしておき、すべてのバッファレジスタへの書き込み終了後に 0 (バッファ動作許可) にすることで、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することができます。

図 20.60 にバッファ動作を禁止するための動作例を示します。

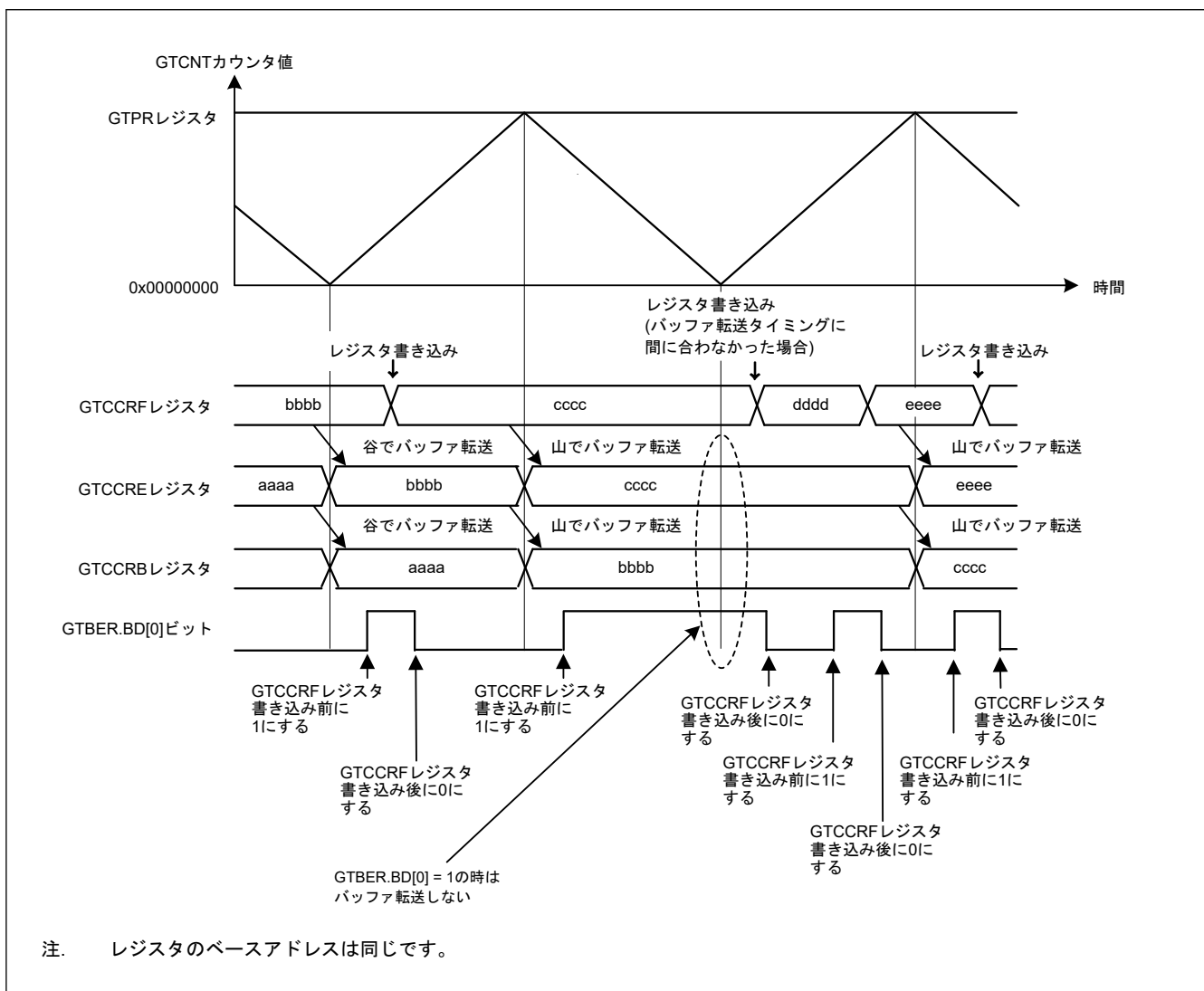


図 20.60 バッファ動作禁止の動作例 (三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合)

### 20.7.3 GTIOCnm 端子出力の出力禁止制御 (n = 4~9, m = A, B)

システム異常時の保護のため、POEG からの出力禁止要求によって、GTIOCnm 端子出力値を強制的に変更する出力禁止制御を、GTIOCnm 端子出力に対して行うことができます。同じ出力レベルが GTIOCnA 端子と GTIOCnB 端子に検出されると、出力保護が要求されます。GTINTAD.GRPABH、GTINTAD.GRPABL などの出力禁止要求許可ビットの設定に従って、GPT はこの条件を検出し、POEG に出力禁止要求を発生させます。POEG

が各チャンネルからの出力禁止要求と外部入力からの出力禁止要求の論理和をとった後で、POEG は GPTT に対して出力禁止要求を発生させます。

GTINTAD.GRP[1:0] ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力禁止要求信号として、POEG から入力される 2 本の出力禁止要求から 1 本を選択することができます。選択された出力禁止要求は、GTST.ODF フラグを読むことにより確認することができます。出力禁止時の端子状態は、GTIOCnA 端子は GTIOR.OADF[1:0] ビット、GTIOCnB 端子は GTIOR.OBDF[1:0] ビットで設定することができます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止要求の条件が満たされなくなり出力禁止要求が解除されるのは、最短で 3PCLKD 目以降です。出力禁止を確実に制御するには、4 サイクルの PCLKD を経過して出力禁止要求の条件が満たされなくなってから、出力を禁止するための POEG のフラグをクリアしてください。

イベントカウント動作時または周期の終わりを待たずにすぐに出力禁止状態を解除したい場合は、GTIOCnA 端子は GTIOR.OADF[1:0] ビットを 00b に、GTIOCnB 端子は GTIOR.OBDF[1:0] ビットを 00b にしてください。

図 20.61 に GTIOCnm 端子出力禁止制御の動作例を示します。(n = 4~9, m = A, B)

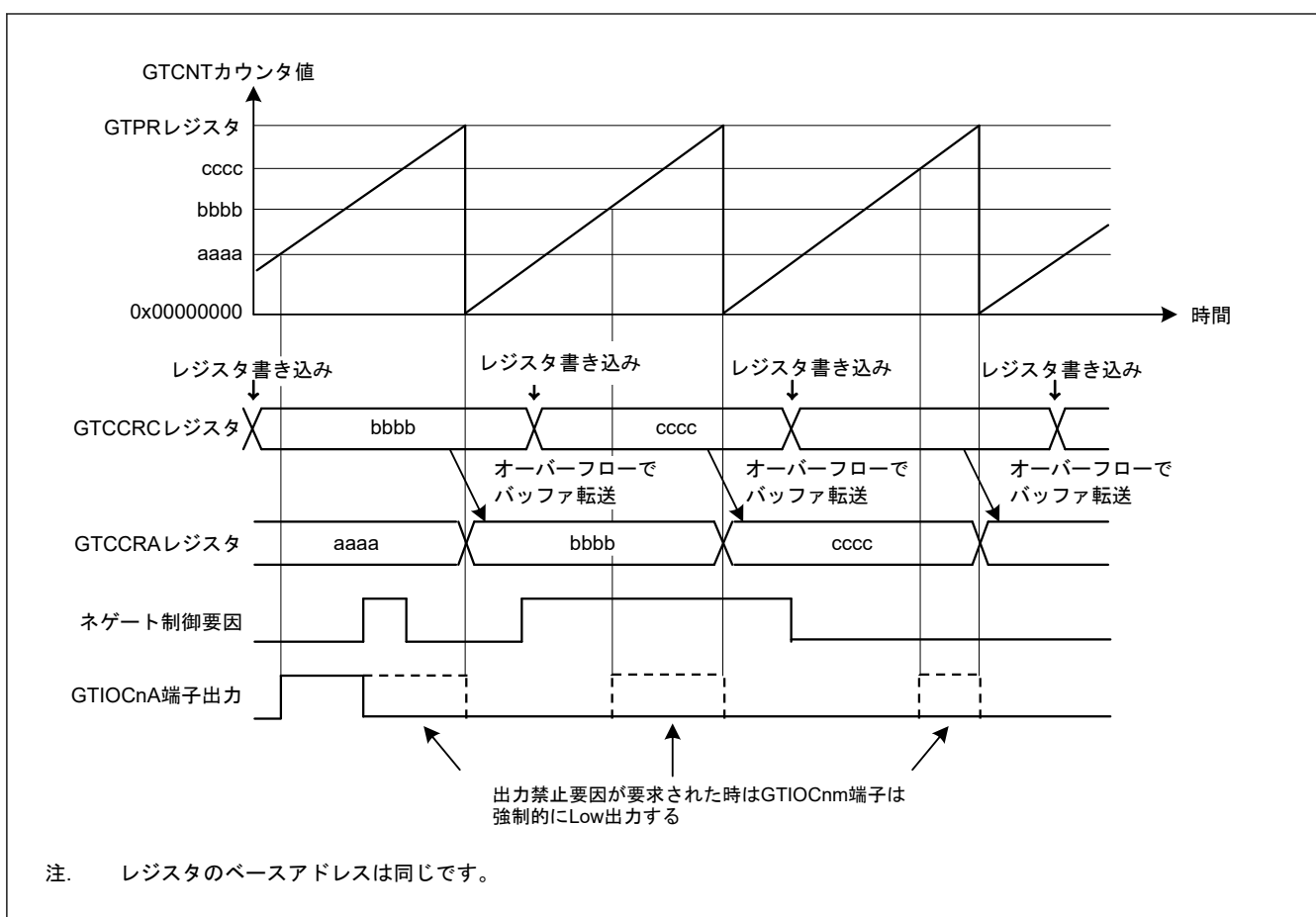


図 20.61 GTIOCnm 端子出力禁止制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合) (n = 4~9, m = A, B)

## 20.8 出力端子の初期化方法

### 20.8.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE ビット、GTIOR.OBE ビットの設定を行い、GPT 機能を外部端子出力にした後、カウント動作を開始してください。

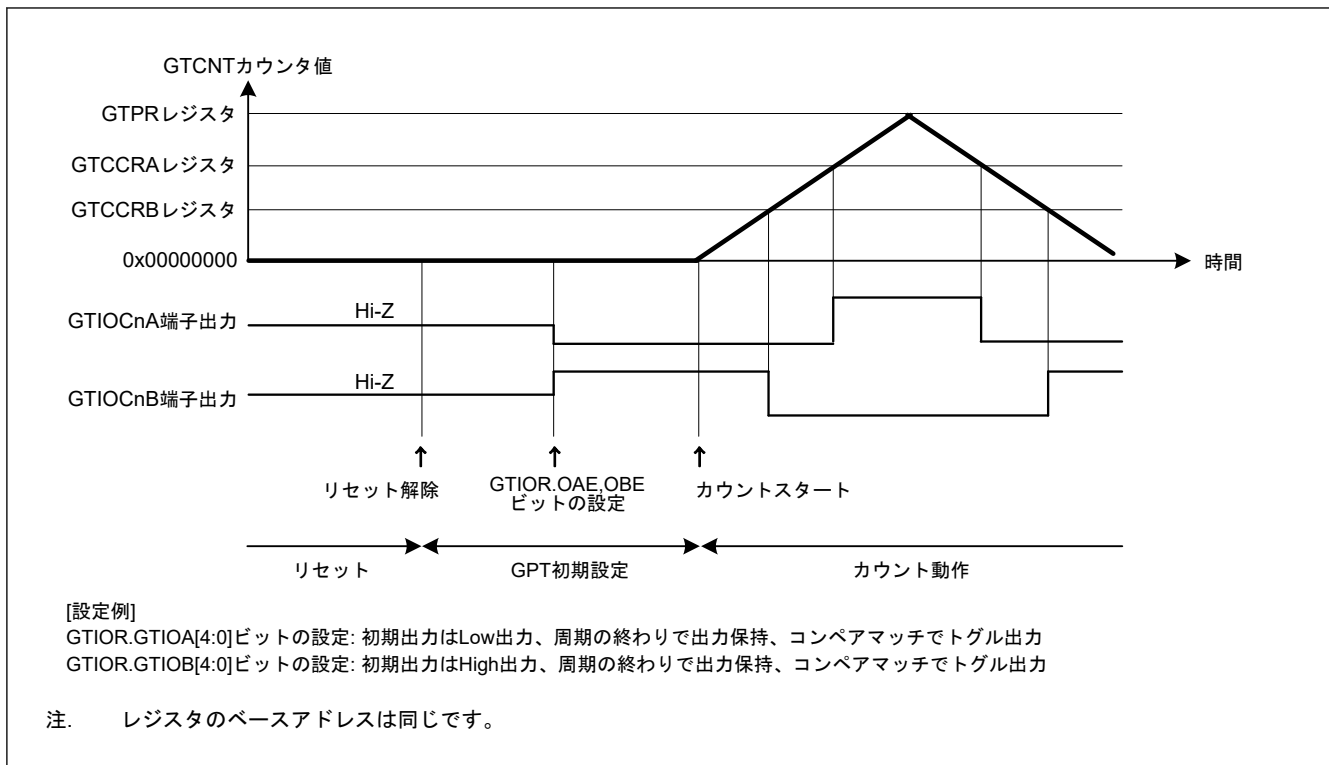


図 20.62 リセット後の端子設定例

## 20.8.2 動作中の異常による端子の初期化

GPTの動作中に異常が発生した場合、端子を初期化する前に、下記の4種類の端子コントロールを実行できます。

- GTIORレジスタのOAHLDおよびOBHLDビットを1にして、カウントストップ時の出力を保持する
- GTIORレジスタのOAHLDおよびOBHLDビットを0にするとともに、GTIORレジスタのOADFLTおよびOBDFLTビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめI/OポートのPDR、PODR、PMRビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIORレジスタのOAEおよびOBEビットを0にするとともに、端子に対応したPMRビットの制御ビットを0にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行ったときは、カウントストップ後にGTDTCCR.TDEビットを0にしてください。カウントストップ時は、GPTの外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを開始してください。

## 20.9 使用上の注意事項

### 20.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタD(MSTPCRD)により、GPTの動作禁止/許可を設定することができます。リセット後の値では、GPTの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 20.9.2 コンパリアマッチ動作時のGTCCRnレジスタの設定 (n = A~F)

#### (1) 三角波PWMモードでデッドタイムの自動設定を行う場合

GTCCRAレジスタは次のすべての条件を満たす必要があります。

- $GTDVU < GTCCRA$
- $0 < GTCCRA < GTPR$

### (2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$  の範囲内に設定してください。GTCCRA = 0 もしくは GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 もしくは GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA > GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$  の範囲内に設定してください。GTCCRB = 0 もしくは GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 もしくは GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB > GTPR が設定されると、コンペアマッチは発生しません。

### (3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：GTCCRC < GTCCRD、GTCCRC > GTDVU、GTCCRD < GTPR - GTDVU
- ダウンカウント時：GTCCRC > GTCCRD、GTCCRC < GTPR - GTDVU、GTCCRD > GTDVU

### (4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRC < GTCCRD < GTPR$
- ダウンカウント時：GTPR > GTCCRC > GTCCRD > 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時： $0 < GTCCRE < GTCCRF < GTPR$
- ダウンカウント時：GTPR > GTCCRE > GTCCRF > 0

### (5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、 $0 < GTCCRA < GTPR$  の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、 $0 < GTCCRB < GTPR$  の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

## 20.9.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、 $0 \leq GTCNT \leq GTPR$  の範囲に収まるように設定してください。

## 20.9.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート/ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

## 20.9.5 イベントごとの優先順位

### (1) GTCNT レジスタ

表 20.47 に、GTCNT レジスタを更新するイベントの優先順位を示します。



表 20.47 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み (GTCNT/GTCLR レジスタへの書き込み)	高
GTCSR レジスタで設定したハードウェア要因によるクリア	↑
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるアップ/ダウンカウント	↑
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されず。

## (2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート/ストップと CPU による書き込み (GTCR/GTSTR/GTSTP レジスタへの書き込み) の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出し (GTCR/GTSTR/GTSTP レジスタからの読み出し) の間で競合があると、更新前のデータが読み出されます。

## (3) GTCCRm レジスタ (m = A~F)

インプットキャプチャ/バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みおよびハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

## (4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

## 21. 低消費電力非同期汎用タイマ (AGTW)

### 21.1 概要

低消費電力非同期汎用タイマ (AGTW) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウンタに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 21.1 に AGTW の仕様、図 21.1 にブロック図、表 21.2 に入出力端子を示します。

表 21.1 AGTW の仕様

項目	内容	
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウントモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
構成	32 ビット × 2 チャンネル (AGTWn (n = 0, 1))	
カウントソース (動作クロック) (注2)	タイマモード	PCLKB, PCLKB/2, PCLKB/8, AGTLCLK/d (d = 1, 2, 4, 8, 16, 32, 64, または 128)、または AGTW0 のアンダーフロー信号を選択可能(注1)
	パルス出力モード	
	パルス幅測定モード	
	パルス周期測定モード	
	イベントカウントモード	外部イベント入力
割り込みとイベントリンク機能	<ul style="list-style-type: none"> <li>アンダーフローイベント信号または測定完了イベント信号 <ul style="list-style-type: none"> <li>カウンタがアンダーフローしたとき</li> <li>パルス幅測定モードで外部入力端子 (AGTIO<sub>n</sub> 端子) のアクティブ幅の測定が完了したとき</li> <li>パルス周期測定モードで外部入力端子 (AGTIO<sub>n</sub> 端子) の設定エッジが入力されたとき</li> </ul> </li> <li>コンペアマッチ A イベント信号 <ul style="list-style-type: none"> <li>AGT レジスタと AGTCMA レジスタの値が一致したとき (コンペアマッチ A 機能が有効)</li> </ul> </li> <li>コンペアマッチ B イベント信号 <ul style="list-style-type: none"> <li>AGT レジスタと AGTCMB レジスタの値が一致したとき (コンペアマッチ B 機能が有効)</li> </ul> </li> <li>ソフトウェアスタンバイモードからの復帰は AGT1_AGTCMAI, AGT0_AGTCMAI で実行可能(注3)</li> </ul>	
選択可能な機能	<ul style="list-style-type: none"> <li>コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能</li> </ul>	

注 1. AGTW0 ではアンダーフロー信号を使用できません。AGTW1 は AGTW0 タイマからのアンダーフローイベント信号に直接接続しません。

注 2. 周辺モジュールクロック B (PCLKB) 周波数  $\geq$  カウントソースクロック周波数となるように設定してください。

注 3. 詳細は「10. 低消費電力モード」を参照してください。





AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し/書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「[21.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作](#)」を参照してください。

## 21.2.4 AGTCR : AGT コントロールレジスタ

Base address:  $AGTWn = 0x4008\_4000 + 0x0100 \times n$  ( $n = 0, 1$ )

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMB F	TCMA F	TUNDF F	TEDGF F	—	TSTOP P	TCSTF F	TSTART RT

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TSTART	AGT カウント開始(注2) 0: カウント停止 1: カウント開始	R/W
1	TCSTF	AGT カウント状態フラグ(注2) 0: カウント停止 1: カウント中	R
2	TSTOP	AGT カウント強制停止(注1) 0: 書き込みは無効 1: 強制的にカウント停止	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TEDGF	アクティブエッジ判定フラグ 0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W) (注3)
5	TUNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフローあり	R/(W) (注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致 1: 一致	R/(W) (注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致 1: 一致	R/(W) (注3)

注 1. TSTOP ビットに 1 (強制的にカウント停止) を書き込むと、TSTART ビットおよび TCSTF フラグが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。

注 2. TSTART ビットおよび TCSTF フラグの使用方法については、「[21.4.1. カウント動作の開始および停止制御](#)」を参照してください。

注 3. フラグをクリアするための 0 の書き込みのみ可能です。

### TSTART ビット (AGT カウント開始)

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 にすると、カウントソースと同期して、TCSTF フラグが 1 (カウント実行中) になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF フラグが 0 (カウント停止) になります。詳細は「[21.4.1. カウント動作の開始および停止制御](#)」を参照してください。

### TCSTF フラグ (AGT カウント状態フラグ)

TCSTF フラグは AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき (カウントソースと同期して、TCSTF フラグが 1 になる)

[0 になる条件]

- TSTART ビットに 0 を書いたとき (カウントソースと同期して、TCSTF フラグが 0 になる)

- TSTOP ビットに 1 を書いたとき

#### TSTOP ビット (AGT カウント強制停止)

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

#### TEDGF フラグ (アクティブエッジ判定フラグ)

TEDGF フラグはアクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで外部入力端子 (AGTIO<sub>n</sub> 端子) のアクティブ幅の測定が完了したとき
- パルス周期測定モードで外部入力端子 (AGTIO<sub>n</sub> 端子) の設定エッジが入力されたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

#### TUNDF フラグ (アンダーフローフラグ)

TUNDF フラグはカウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

#### TCMAF フラグ (コンペアマッチ A フラグ)

TCMAF フラグはコンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

#### TCMBF フラグ (コンペアマッチ B フラグ)

TCMBF フラグはコンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

### 21.2.5 AGTMR1 : AGT モードレジスタ 1

Base address: AGTW<sub>n</sub> = 0x4008\_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—		TCK[2:0]		TEDG PL	TMOD[2:0]		
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TMOD[2:0]	動作モード(注3) 000: タイマモード 001: パルス出力モード 010: イベントカウントモード 011: パルス幅測定モード 100: パルス周期測定モード その他: 設定禁止	R/W
3	TEDGPL	エッジ極性(注4) 0: 片エッジ 1: 両エッジ	R/W
6:4	TCK[2:0]	カウントソース(注1)(注2)(注5)(注7) 000: PCLKB 001: PCLKB/8 011: PCLKB/2 100: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTLCLK) 101: AGTW0(注6)からのアンダーフローイベント信号 110: 設定禁止 その他: 設定禁止	R/W
7	—	読むと0が読めます。書く場合、0としてください。	R/W

- 注. AGTMR1 レジスタに書き込みを行うと、AGTOn, AGTIOOn, AGTOAn, AGTOBn 端子からの出力が初期化されます。初期化時の出力レベルの詳細については、「21.2.7. AGTIOC : AGT I/O コントロールレジスタ」を参照してください。
- 注 1. イベントカウントモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力端子 (AGTIOOn 端子) が選択されます。
- 注 2. カウント動作中は、カウントソースを切り替えしないでください。カウントソースは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも0 (カウント停止) の場合にのみ切り替えてください。
- 注 3. AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも0 (カウント停止) の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
- 注 4. TEDGPL ビットは、イベントカウントモード時に限り有効です。
- 注 5. ソフトウェアスタンバイモード、スヌーズモードで AGT を動作させるには、AGTLCLK(TCK[2:0] = 100b) を選択してください。
- 注 6. AGTW0 では AGTW0 のアンダーフローは使用できません (設定禁止)。AGTW1 が AGTW0 のアンダーフローを使用します。
- 注 7. AGTMR2 レジスタの CKS[2:0]ビットが 000b 以外の場合は、TCK[2:0]ビットを切り替えしないでください。AGTMR2 レジスタの CKS[2:0]ビットを 000b にした後、TCK[2:0]ビットを切り替えて、カウントソースの1サイクル分待機してください。

### 21.2.6 AGTMR2 : AGT モードレジスタ 2

Base address: AGTWn = 0x4008\_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	AGTLCLK カウントソースクロック分周比(注1) (注2) (注3) 000: 1/1 001: 1/2 010: 1/4 011: 1/8 100: 1/16 101: 1/32 110: 1/64 111: 1/128	R/W
6:3	—	読むと0が読めます。書く場合、0としてください。	R/W
7	LPM	低消費電力モード 0: 通常モード 1: 低消費電力モード	R/W

- 注 1. カウント動作中は、CKS[2:0]ビットを書き換えしないでください。AGTCR レジスタの TSTART ビットと TCSTF フラグがどちらも0 (カウント停止) の場合にのみ、CKS[2:0]ビットを書き換えてください。
- 注 2. カウントソースが AGTLCLK の場合、CKS[2:0]ビットの切り替えが有効となります。

注 3. CKS[2:0]ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0]ビットを切り替えないでください。CKS[2:0]ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

### CKS[2:0]ビット (AGTLCLK カウントソースクロック分周比)

CKS[2:0]ビットで AGTLCLK カウントソースクロック分周比を選択します。

### LPM ビット (低消費電力モード)

LPM ビットは低消費電力動作を設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには本ビットを 1 にしてください。

本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT レジスタから読み出す場合、AGT レジスタを 2 回読み出します。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込まれた値を確認する場合
  - カウント動作の停止時：データ書き込み後、次のサイクルで読み出し可能です。
  - カウント動作の実行中：データ書き込み後、カウントソースクロックの 4 サイクル後に読み出し可能です。

図 21.2 に LPM ビットに書き込む方法のフローチャートを示します。

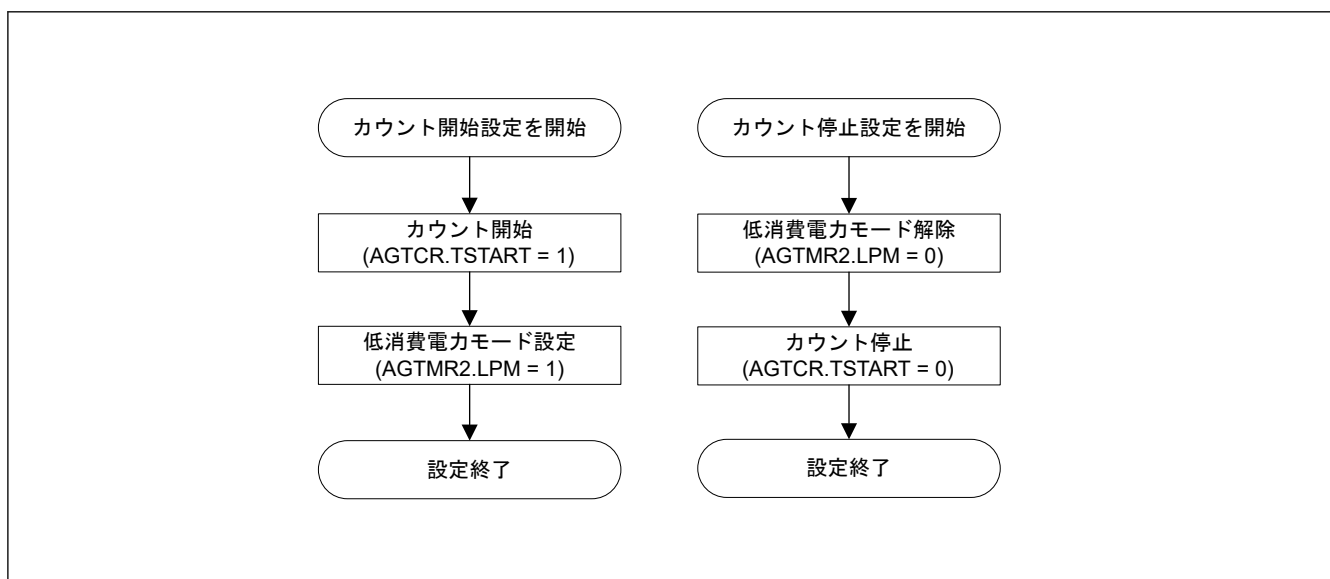


図 21.2 LPM ビットに書き込む方法のフローチャート

## 21.2.7 AGTIOC : AGT I/O コントロールレジスタ

Base address: AGTWn = 0x4008\_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDG SEL

Value after reset: 0 0 0 0 0 0 0 0 0



ビット	シンボル	機能	R/W
0	TEDGSEL	I/O 極性切り替え 動作モードによって機能が異なります。表 21.3 と表 21.4 を参照してください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	TOE	AGTOn 端子出力許可 0: AGTOn 端子出力を禁止 1: AGTOn 端子出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	入力フィルタ <sup>(注3)</sup> これらのビットは、AGTIOOn 端子入力用フィルタのサンプリング周波数を指定します。 AGTIOOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング	R/W
7:6	TIOGT[1:0]	カウント制御 <sup>(注1)</sup> (注2) 0 0: 常にイベントをカウントする 0 1: AGTEEn 端子に指定された極性の期間に、イベントをカウントする その他: 設定禁止	R/W

注 1. AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。

注 2. TIOGT[1:0]ビットは、イベントカウントモード時に限り有効です。

注 3. ソフトウェアスタンバイモード中にイベントカウントモード動作が実行される場合、デジタルフィルタ機能は使用できません。

### TEDGSEL ビット (I/O 極性切り替え)

TEDGSEL ビットは AGTOn 端子の出力極性および AGTIOOn 端子の入出力エッジと極性を切り替えます。

パルス出力モードでは、AGTOn 端子の出力極性と AGTIOOn 端子の出力極性のみが制御されます。AGTOn 端子出力と AGTIOOn 端子出力は、AGTMR1 レジスタに書き込みを行ったとき、または AGTCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

### TOE ビット (AGTOn 端子出力許可)

TOE ビットは AGTOn 端子出力の禁止または許可を選択します。

### TIPF[1:0]ビット (入力フィルタ)

TIPF[1:0]ビットは AGTIOOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。

### TIOGT[1:0]ビット (カウント制御)

TIOGT[1:0]ビットはイベントカウントを制御します。

表 21.3 AGTIOOn 端子の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0: High で出力開始 (初期レベル: High) : 反転出力 1: Low で出力開始 (初期レベル: Low) : 通常出力
イベントカウントモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Low レベル幅を測定 1: High レベル幅を測定
パルス周期測定モード	0: ある立ち上がりエッジから次の立ち上がりエッジまで測定 1: ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 21.4 AGTOn 端子の出力極性切り替え

動作モード	機能
全モード	0: 出力が Low (初期レベル: Low) で開始する通常出力 1: 出力が High (初期レベル: High) で開始する反転出力

## 21.2.8 AGTISR : AGT イベント端子選択レジスタ

Base address: AGTWn = 0x4008\_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EEPS	—	—

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	EEPS	AGTEEn 極性選択 0: Low の期間、イベントをカウントする 1: High の期間、イベントをカウントする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

## EEPS ビット (AGTEEn 極性選択)

EEPS ビットはカウントされるイベントの極性を選択します。

## 21.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ

Base address: AGTWn = 0x4008\_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPO LB	TOEB	TCME B	—	TOPO LA	TOEA	TCME A

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TCMEA	AGT コンペアマッチ A レジスタ有効 <sup>(注1)(注2)</sup> 0: AGT コンペアマッチ A レジスタを無効 1: AGT コンペアマッチ A レジスタを有効	R/W
1	TOEA	AGTOAn 端子出力許可 <sup>(注1)(注2)</sup> 0: AGTOAn 端子出力を禁止 1: AGTOAn 端子出力を許可	R/W
2	TOPOLA	AGTOAn 端子極性選択 <sup>(注1)(注2)</sup> 0: AGTOAn 端子出力を Low で開始: 通常出力 1: AGTOAn 端子出力を High で開始: 反転出力	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	AGT コンペアマッチ B レジスタ有効 <sup>(注1)(注2)</sup> 0: AGT コンペアマッチ B レジスタを無効 1: AGT コンペアマッチ B レジスタを有効	R/W
5	TOEB	AGTOBn 端子出力許可 <sup>(注1)(注2)</sup> 0: AGTOBn 端子出力を禁止 1: AGTOBn 端子出力を許可	R/W

ビット	シンボル	機能	R/W
6	TOPOLB	AGTOBn 端子極性選択(注1)(注2) 0: AGTOBn 端子出力を Low で開始：通常出力 1: AGTOBn 端子出力を High で開始：反転出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えしないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0 (カウント停止) の場合にのみ書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

### 21.2.10 AGTIOSEL : AGT 端子選択レジスタ

Base address: AGTWn = 0x4008\_4000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIES	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TIES	AGTIOOn 端子入力許可 0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ソフトウェアスタンバイモード時に AGTIOOn 端子を使用する場合、AGTIOSEL レジスタで AGTIOOn 端子の設定を行います。

#### TIES ビット (AGTIOOn 端子入力許可)

TIES ビットは外部イベント入力を許可または禁止します。

## 21.3 動作説明

### 21.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウンタ値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA および TCMEB ビットが 0 (AGT コンペアマッチ A/B レジスタが無効) の場合、値がカウンタソースと同期してリロードレジスタに書き込まれた後、次のカウンタソースと同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) で、かつ TCMEA または TCMEB ビットが 1 (AGT コンペアマッチ A/B レジスタが有効) の場合、値がカウンタソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 21.3 および図 21.4 に示します。

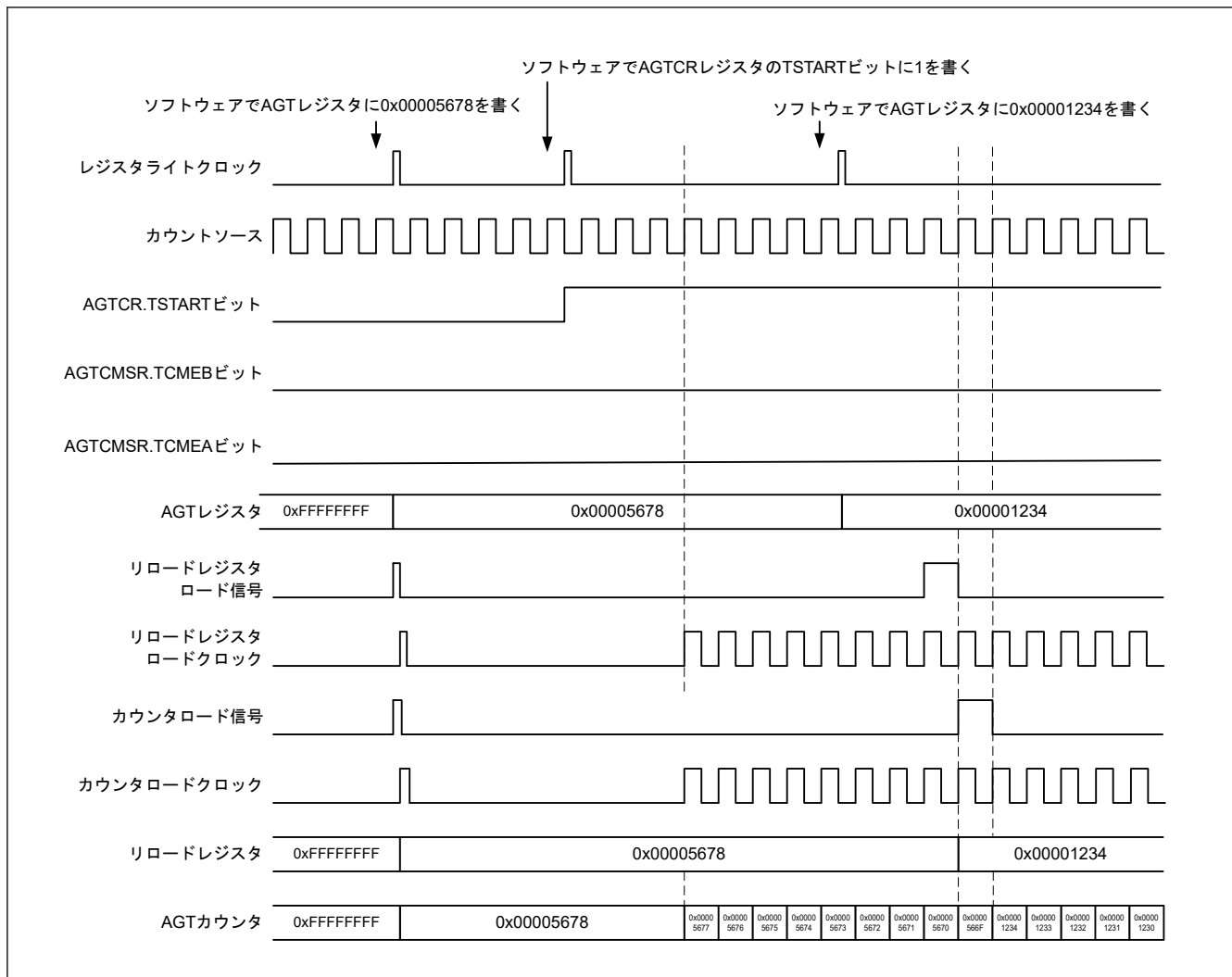


図 21.3 TSTART、TCMEA、TCMEB ビット値による書き換え動作のタイミング (AGT コンペアマッチ A レジスタと AGT コンペアマッチ B レジスタが無効の場合)

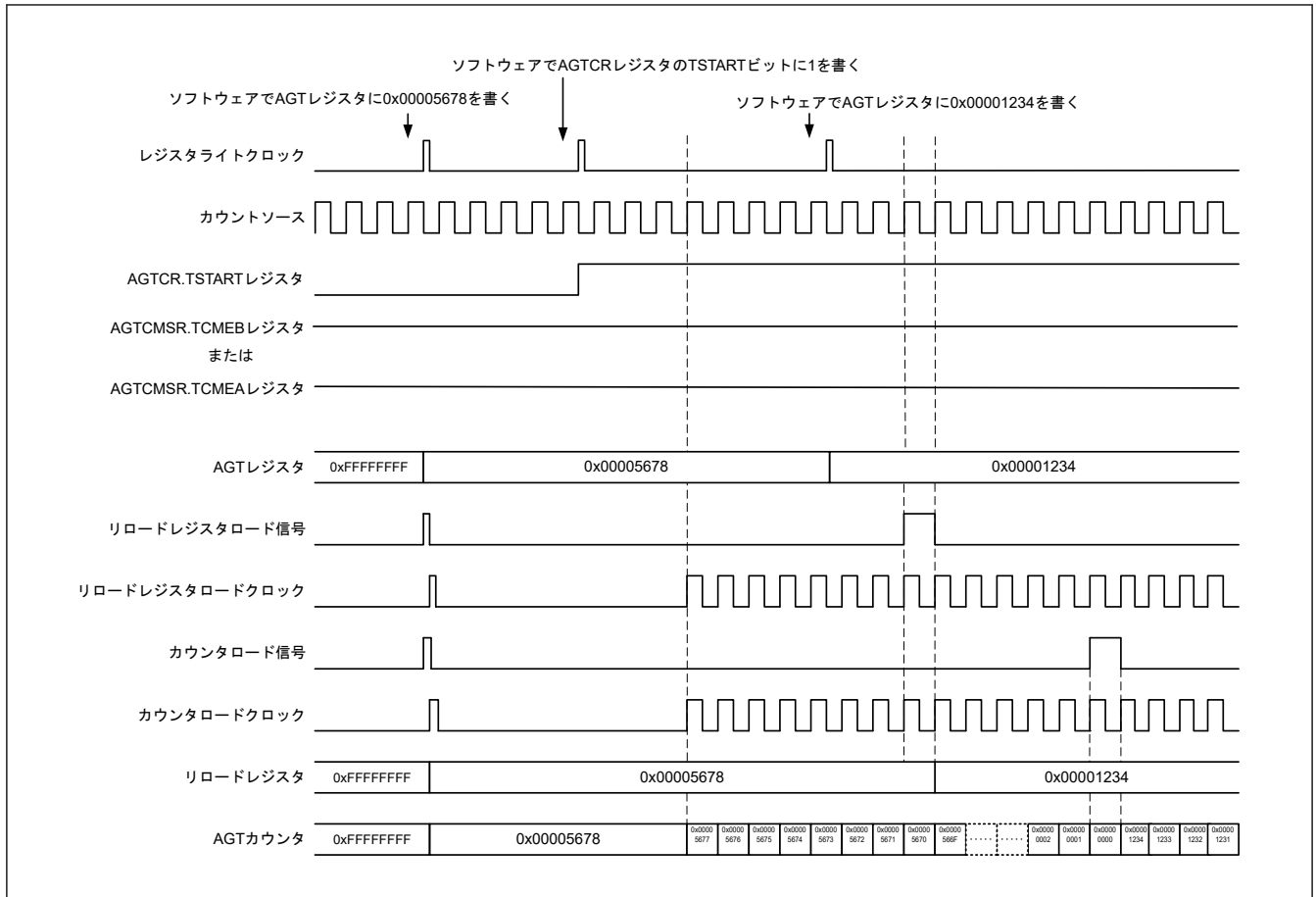


図 21.4 TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング (AGT コンペアマッチ A レジスタまたは AGT コンペアマッチ B レジスタが有効の場合)

### 21.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作

動作モードにかかわらず、リロードレジスタと AGT コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビットの値によって異なります。TSTART ビットが 0 (カウント停止) の場合、カウント値がリロードレジスタと AGT コンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1 (カウント開始) の場合、値がカウンタソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 21.5 に示します。AGT コンペアレジスタ B の場合も AGT コンペアレジスタ A と同じです。

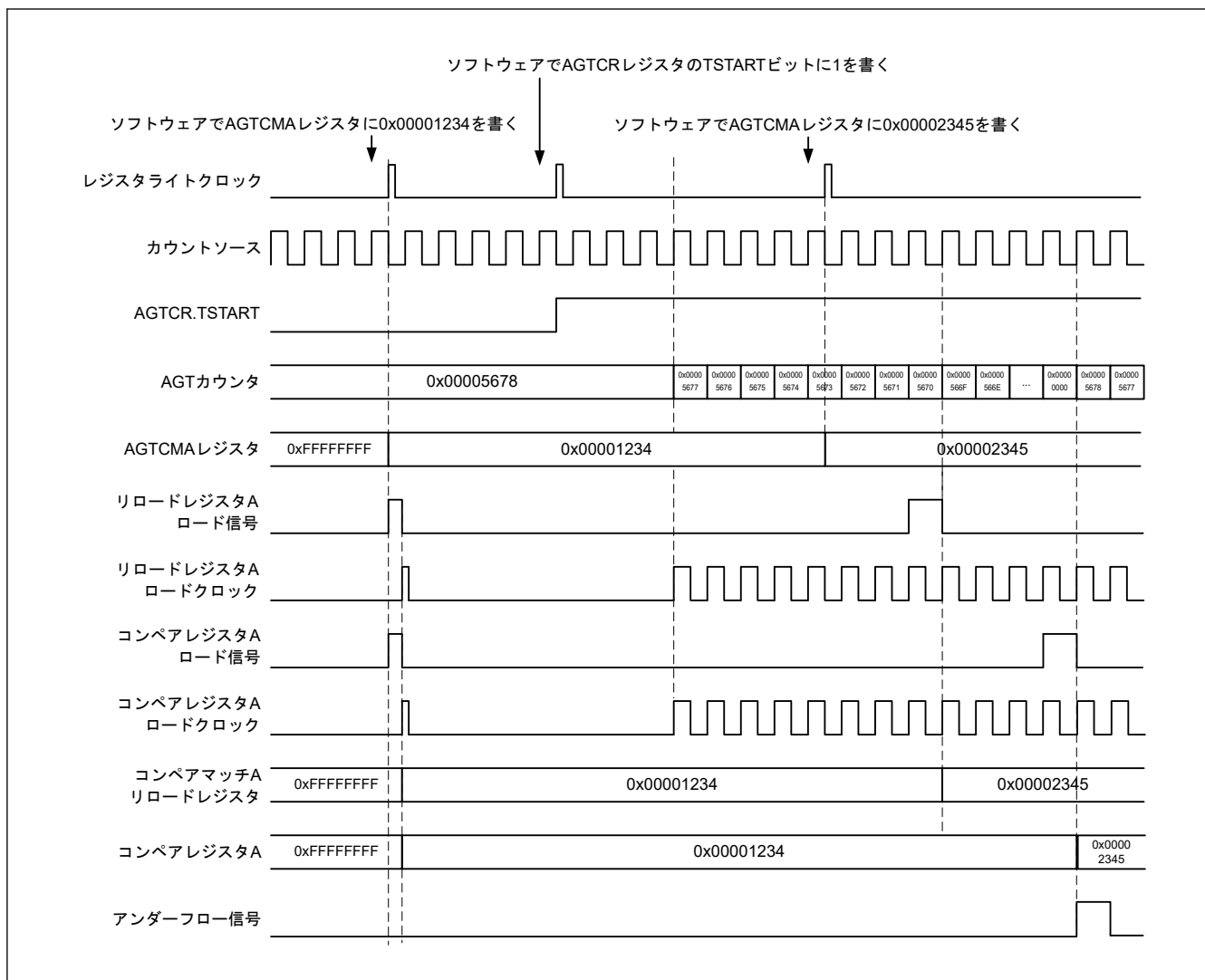


図 21.5 AGT コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

### 21.3.3 タイマモード

タイマモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに1ずつデクリメントします。AGT レジスタのカウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

図 21.6 にタイマモードでの動作例を示します。

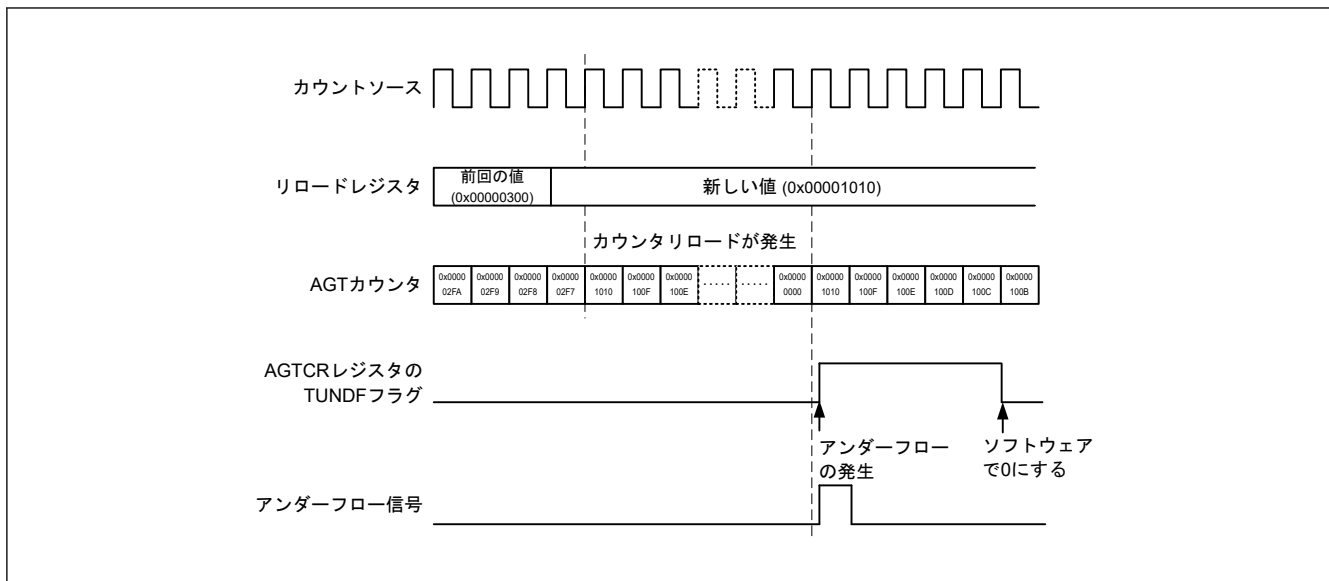


図 21.6 タイマモードでの動作例

### 21.3.4 パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIO<sub>n</sub> および AGTO<sub>n</sub> 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTO<sub>n</sub> 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 21.7 に示します。

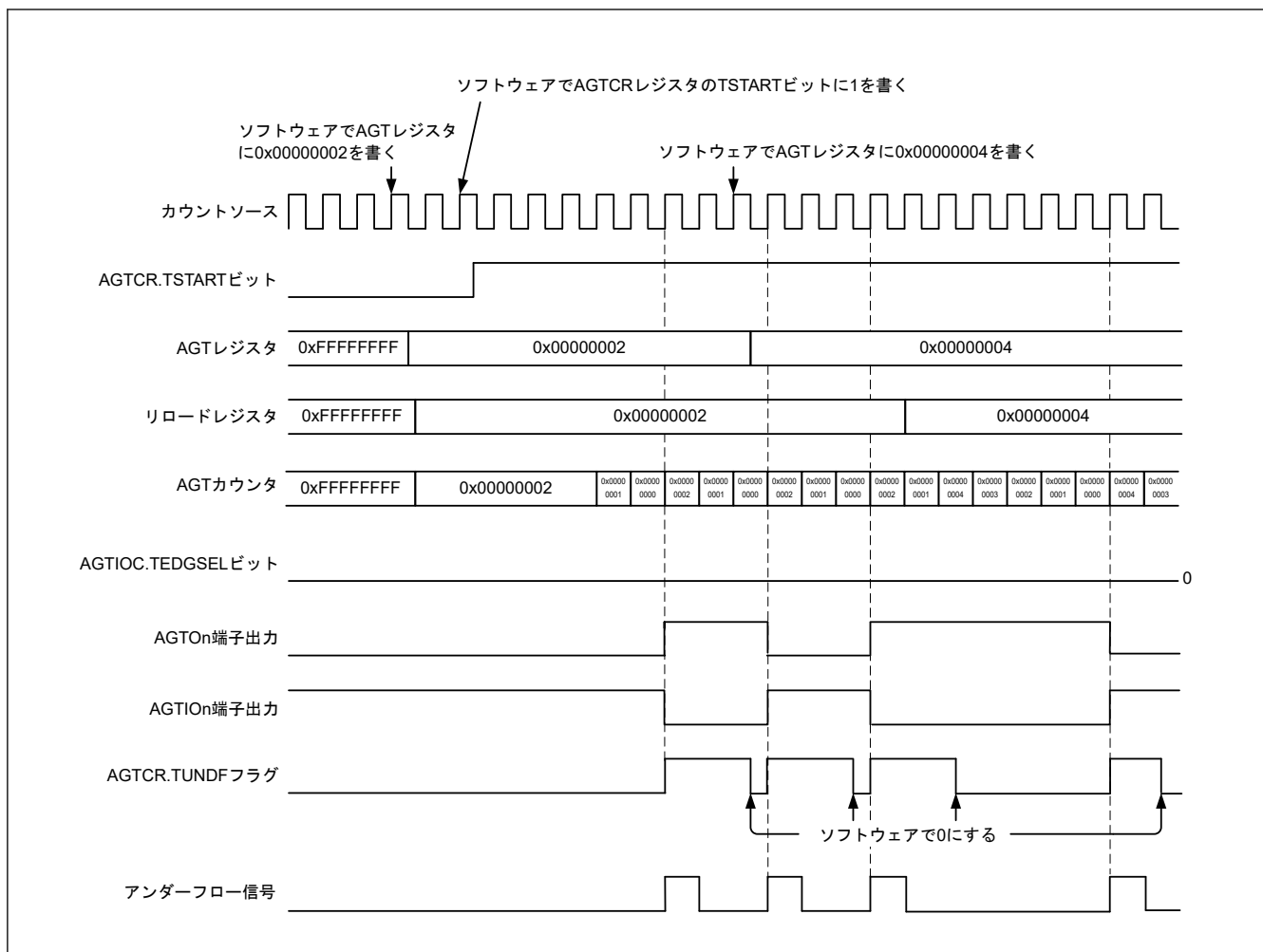


図 21.7 パルス出力モードでの動作例

### 21.3.5 イベントカウントモード

イベントカウントモードでは、カウンタは AGTIO<sub>n</sub> 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0]ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0]ビットによって、AGTIO<sub>n</sub> 端子入力用のフィルタ機能を指定できます。イベントカウントモードでも、AGTOn 端子からトグル出力が可能です。イベントカウントモードでの動作例を [図 21.8](#) に示します。



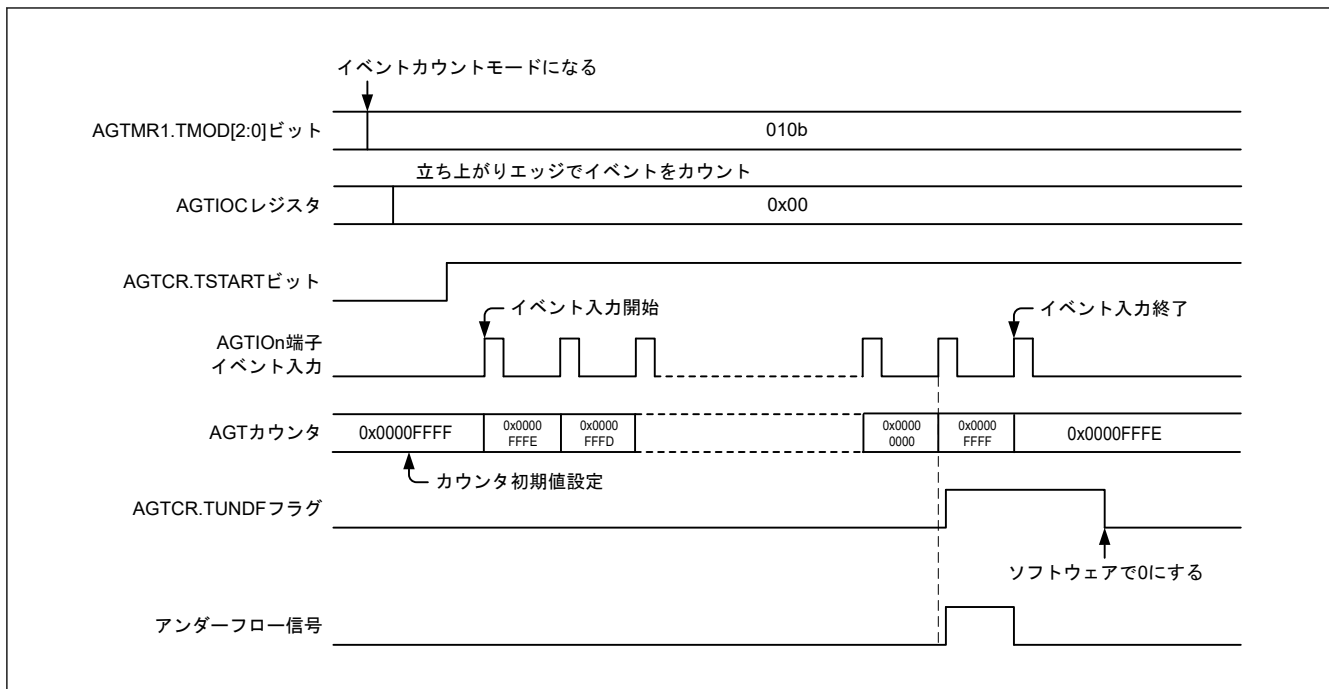


図 21.8 イベントカウントモードでの動作例 1

イベントカウントモード時に、指定された期間にイベントがカウントされるように (AGTIOC レジスタの TIOGT[1:0]ビットを 01b に設定) した場合の動作例を図 21.9 に示します。

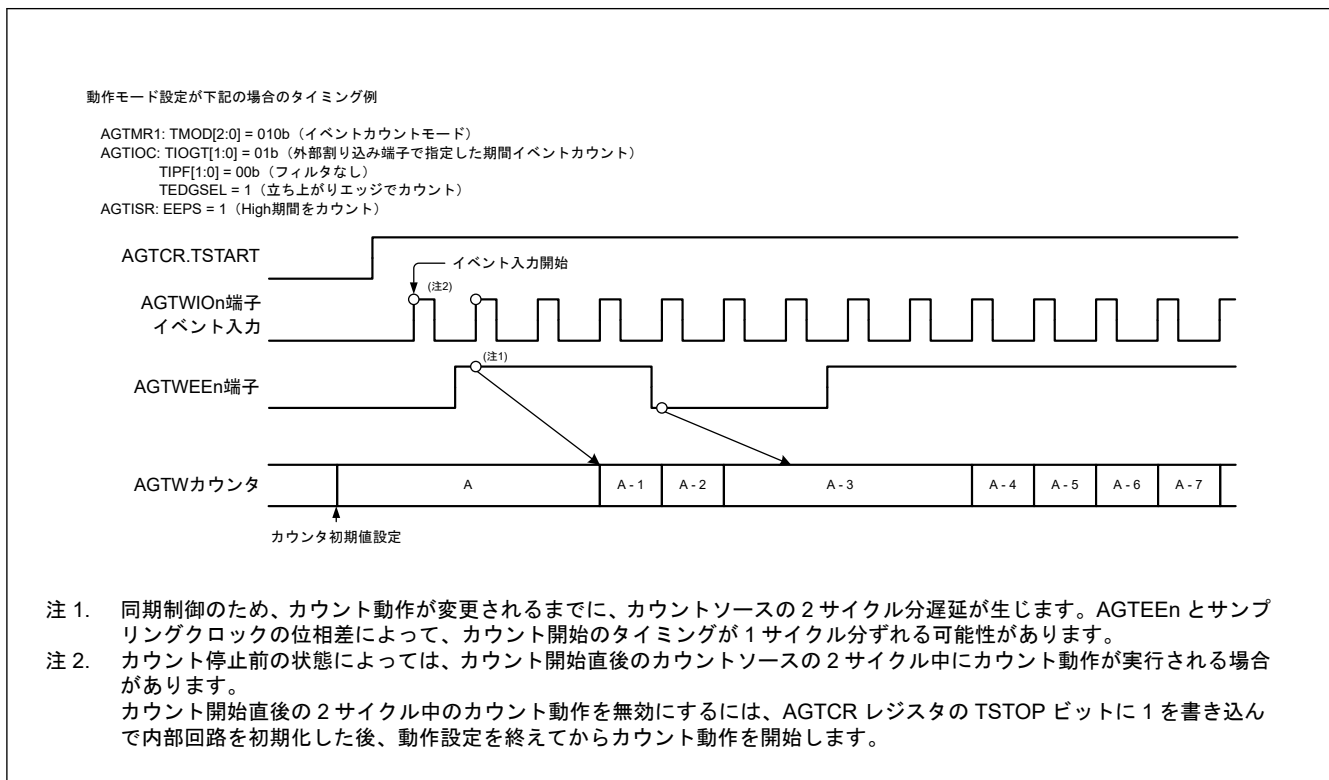


図 21.9 イベントカウントモードでの動作例 2

### 21.3.6 パルス幅測定モード

パルス幅測定モードでは、AGTIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIOn 端子レベルが終了すると、カ

カウンタは停止して、AGTCR レジスタの TEDGF フラグが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 になり、割り込み要求が発生します。

図 21.10 にパルス幅測定モードでの動作例を示します。

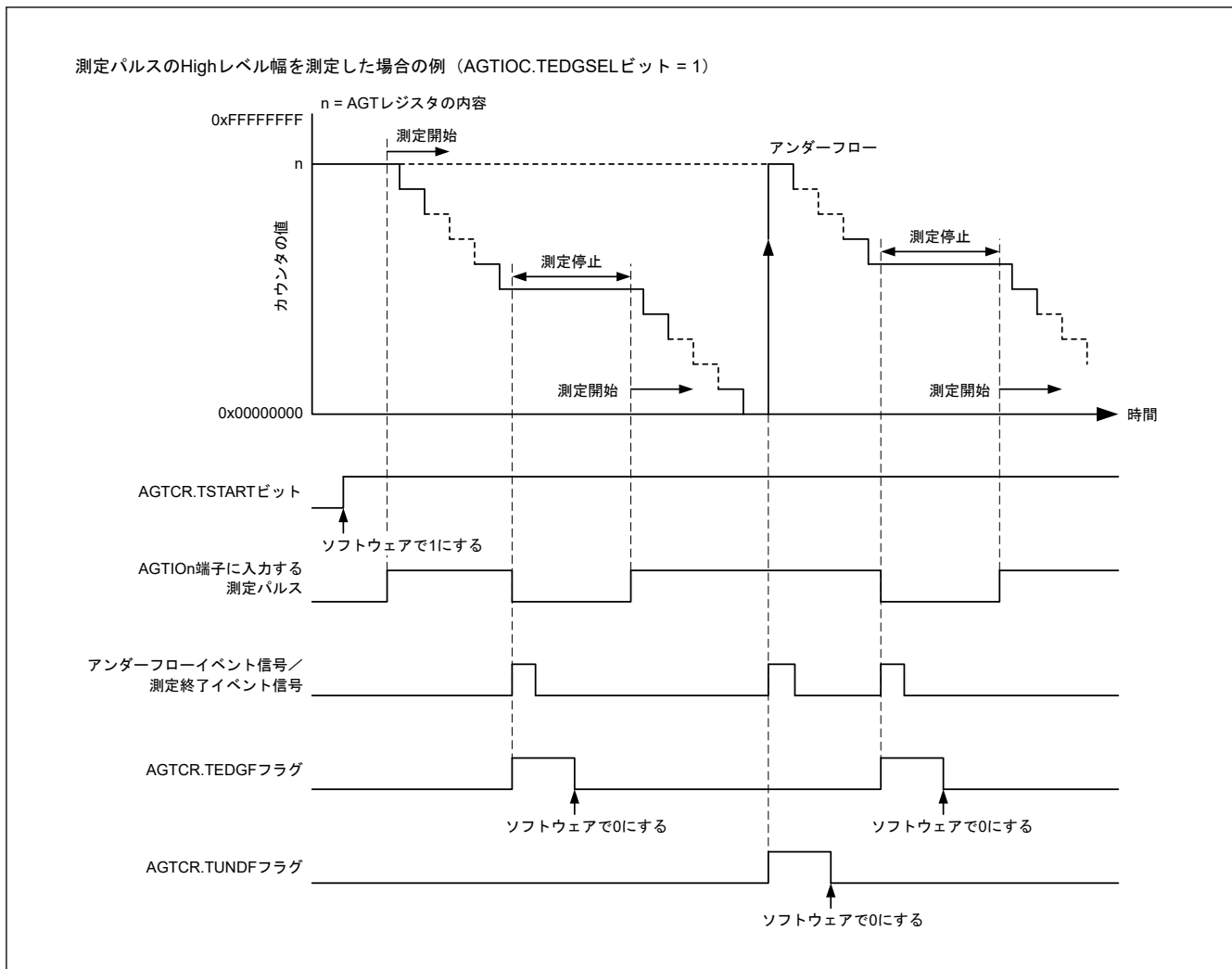


図 21.10 パルス幅測定モードでの動作例

### 21.3.7 パルス周期測定モード

パルス周期測定モードでは、AGTIOCn 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIOCn 端子に入力されると、カウント値が、カウントソースの立ち上がりエッジで読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF フラグが 1 (アクティブエッジ受信) になり、割り込み要求が発生します。この時点で読み出しバッファ (AGT レジスタ) が読み出され、リロード値 (「21.4.6. イベント番号、パルス幅およびパルス周期の計算方法」を参照) との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 (アンダーフロー) になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 21.11 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。

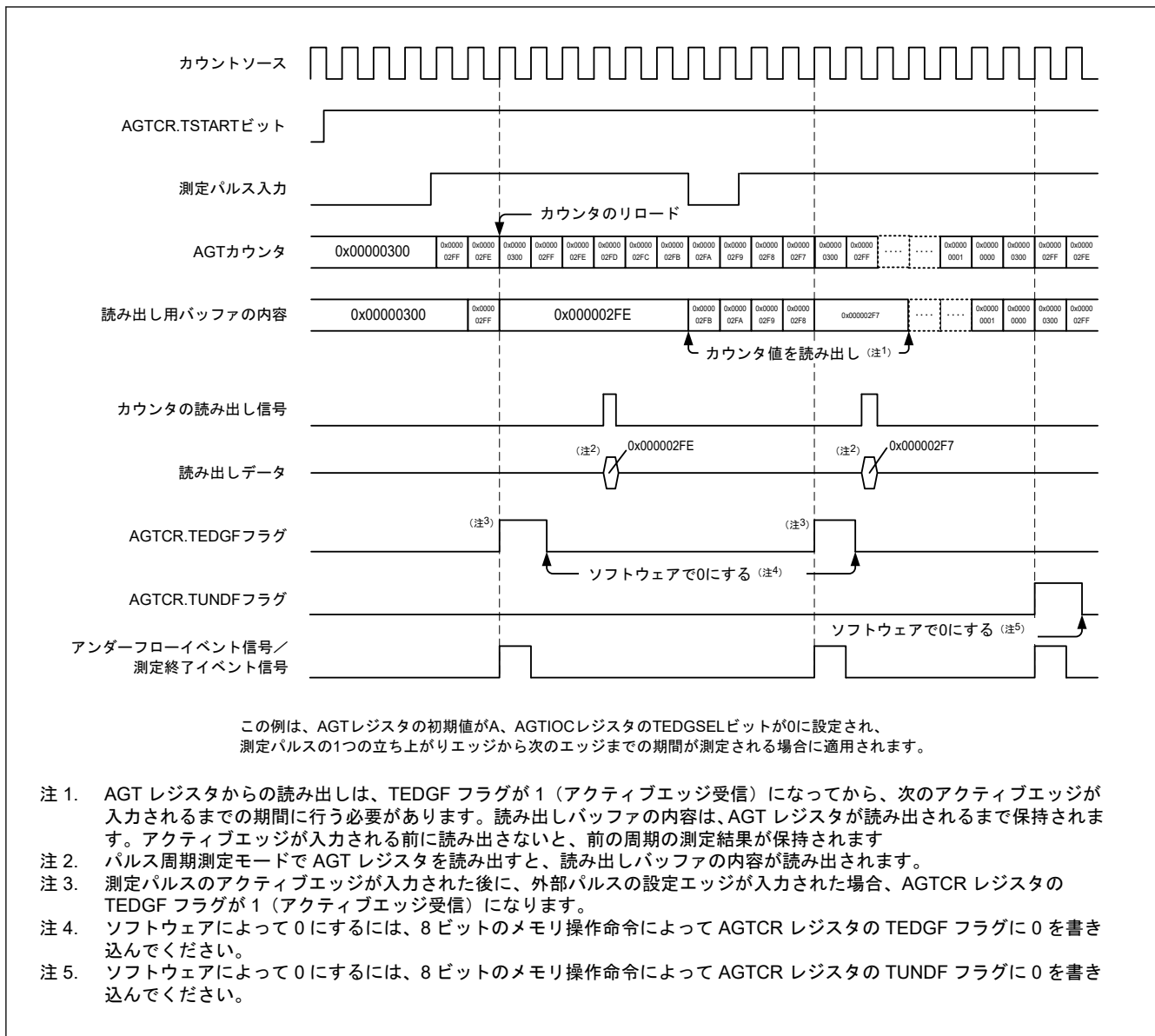


図 21.11 パルス周期測定モードでの動作例

### 21.3.8 コンペアマッチ機能

コンペアマッチ機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致 (コンペアマッチ) を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1 (コンペアマッチ A/B レジスタが有効) の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF フラグが 1 (一致) になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き換え動作のタイミングが異なります。詳細は、「21.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。また、AGTOAn, AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA ビットまたは TOPOLB ビットで選択できます。

図 21.12 にコンペアマッチ機能の動作例を示します。

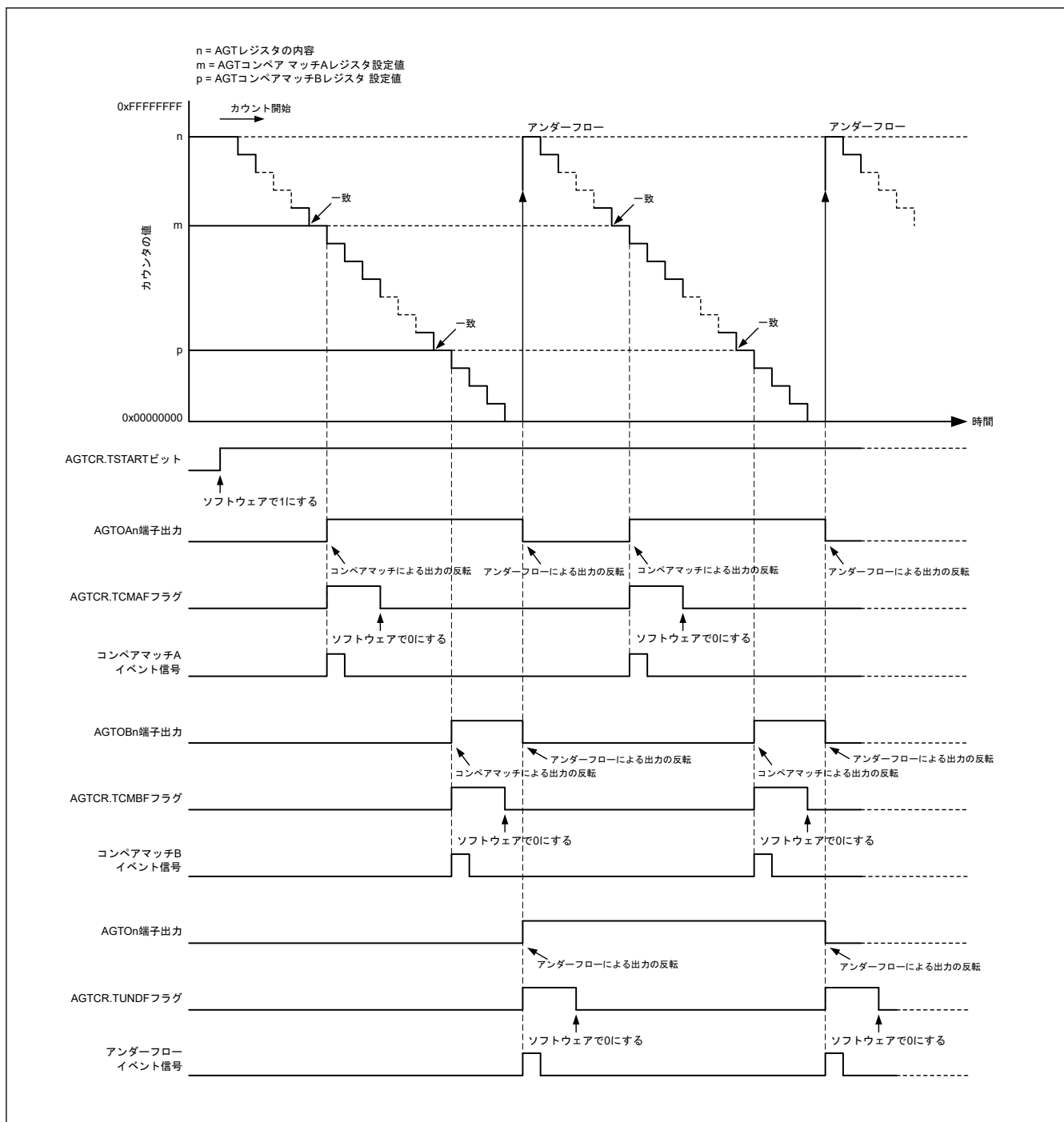


図 21.12 コンペアマッチ機能の動作例 (TOPOLA = 0, TOPOLB = 0)

### 21.3.9 各モードの出力設定

表 21.5～表 21.8 に各モードでの AGTON、AGTIOB、AGTOAn および AGTOBn 端子の状態を示します。

表 21.5 AGTON 端子の設定

動作モード	AGTIOC レジスタ		AGTON 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 21.6 AGTIO<sub>n</sub> 端子の設定

動作モード	AGTIOC レジスタ		AGTIO <sub>n</sub> 端子入出力
	TEDGSEL ビット		
タイマモード	0 または 1		入力 (使用しない)
パルス出力モード	1		通常出力
	0		反転出力
イベントカウントモード	0 または 1		入力
パルス幅測定モード			
パルス周期測定モード			

表 21.7 AGTOA<sub>n</sub> 端子の設定

動作モード	AGTCMSR レジスタ		AGTOA <sub>n</sub> 端子出力
	TOEA ビット	TOPOLA ビット	
タイマモード	1	1	反転出力
		0	通常出力
パルス出力モード	1	1	反転出力
		0	通常出力
イベントカウントモード	1	0 または 1	出力禁止 (使用しない)
		0	通常出力
パルス幅測定モード	0	0	禁止
		0	禁止

表 21.8 AGTOB<sub>n</sub> 端子の設定

動作モード	AGTCMSR レジスタ		AGTOB <sub>n</sub> 端子出力
	TOEB ビット	TOPOLB ビット	
タイマモード	1	1	反転出力
		0	通常出力
パルス出力モード	1	0 または 1	出力禁止 (使用しない)
		0	通常出力
イベントカウントモード	1	1	反転出力
		0	通常出力
パルス幅測定モード	0	0 または 1	出力禁止 (使用しない)
		0	禁止

### 21.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードで動作可能です。カウント動作開始 (TSTART = 1 および TCSTF = 1) の状態で、ソフトウェアスタンバイモードに設定してください。

表 21.9 と表 21.10 にソフトウェアスタンバイモードで使用可能な設定を示します。

表 21.9 ソフトウェアスタンバイモードで使用可能な AGTW0 の設定

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b	AGTLCLK	–
パルス出力モード	100b	AGTLCLK	–
イベントカウントモード	–	AGTIO <sub>n</sub> (n = 0) <sup>(注1)</sup>	–
パルス幅測定モード	100b	AGTLCLK	–
パルス周期測定モード	100b	AGTLCLK	–

注. – (無効)

注 1. ソフトウェアスタンバイモードで AGTIO<sub>n</sub> 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定する必要があります。

表 21.10 ソフトウェアスタンバイモードで使用可能な AGTW1 の設定

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b または 101b <sup>(注1)</sup>	AGTLCLK または AGTW0 アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチ A/B</li> </ul>
パルス出力モード	100b または 101b <sup>(注1)</sup>	AGTLCLK または AGTW0 アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチ A/B</li> </ul>
イベントカウントモード	–	AGTIO <sub>n</sub> (n = 1) <sup>(注2)</sup>	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>コンペアマッチ A/B</li> </ul>
パルス幅測定モード	100b または 101b <sup>(注1)</sup>	AGTLCLK または AGTW0 アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>
パルス周期測定モード	100b または 101b <sup>(注1)</sup>	AGTLCLK または AGTW0 アンダーフロー	<ul style="list-style-type: none"> <li>アンダーフロー</li> <li>アクティブエッジ</li> </ul>

注. – (無効)

注. ソフトウェアスタンバイモードの解除ができるのは AGT1 のみです。

注 1. AGTW0 が表 21.9 の状態で動作している場合のみ。

注 2. ソフトウェアスタンバイモードで AGTIO<sub>n</sub> 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定する必要があります。

### 21.3.11 割り込み要因

AGTW<sub>n</sub> には、表 21.11 に示されるように、3 つの割り込み要因があります。

表 21.11 AGTW の割り込み要因

名称	割り込み要因	DTC の起動
AGT <sub>n</sub> _AGTI	<ul style="list-style-type: none"> <li>カウンタがアンダーフローしたとき</li> <li>パルス幅測定モードで外部入力端子 (AGTIO<sub>n</sub>) のアクティブ幅の測定が完了したとき</li> <li>パルス周期測定モードで外部入力端子 (AGTIO<sub>n</sub>) の設定エッジが入力されたとき</li> </ul>	可能
AGT <sub>n</sub> _AGTCMAI	<ul style="list-style-type: none"> <li>AGT レジスタと AGTCMA レジスタの値が一致したとき</li> </ul>	可能
AGT <sub>n</sub> _AGTCMBI	<ul style="list-style-type: none"> <li>AGT レジスタと AGTCMB レジスタの値が一致したとき</li> </ul>	可能

注. チャネル番号 (n = 0, 1)

### 21.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力

AGTW<sub>n</sub> (n = 0, 1) はイベントリンクコントローラ (ELC) により、割り込み要求信号をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。AGTW<sub>n</sub> (n = 0, 1) は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー/測定完了信号をイベント信号として出力します。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。

## 21.4 使用上の注意事項

### 21.4.1 カウント動作の開始および停止制御

- 動作モード (表 21.1 を参照) がイベントカウントモードまたはカウントソースが AGTWn アンダーフローイベント信号 (TCK[2:0]=101b) 以外に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、AGTCR レジスタの TCSTF フラグは、カウントソースの 3 サイクル間、0 (カウント停止) のままです。TCSTF フラグが 1 (カウント動作中) になるまで、TCSTF フラグ以外の AGTW<sup>(注1)</sup>関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、カウントソースの 3 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGTW<sup>(注1)</sup>関連レジスタにはアクセスしないでください。
  - TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。
- 動作モード (表 21.1 を参照) がイベントカウントモードまたはカウントソースが AGTW1 アンダーフローイベント信号 (TCK[2:0]=101b) に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1 (カウント開始) を書き込んでも、AGTCR レジスタの TCSTF フラグは、PCLKB の 2 サイクル間、0 (カウント停止) のままです。TCSTF フラグが 1 (カウント動作中) になるまで、TCSTF フラグ以外の AGTW<sup>(注1)</sup>関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0 (カウント停止) を書き込んでも、PCLKB の 2 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGTW<sup>(注1)</sup>関連レジスタにはアクセスしないでください。
  - TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

注 1. AGT に関連付けられているレジスタ : AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、AGTCMSR。

### 21.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART ビットおよび TCSTF フラグがともに 1 (カウント動作中) のときに、AGT レジスタへ連続してライトアクセスする場合には、カウントソースクロックの 3 サイクル以上待ってください。

### 21.4.3 モード変更時

AGT の動作モードに関連するレジスタ (AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR) は、TSTART ビットおよび TCSTF フラグがともに 0 (カウント停止) になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF フラグの値は不定となります。カウントを開始する前に、以下のフラグに 0 を書き込んでください。

- TEDGF (アクティブエッジ未受信)
- TUNDF (アンダーフローなし)
- TCMAF (不一致)
- TCMBF (不一致)

### 21.4.4 出力端子の設定

AGTOn、AGTIOOn、AGTOAn または AGTOBn 端子を出力端子として使用する場合には、動作を設定し、初期出力値を決定してください。その後、ポートレジスタに出力モードを設定してください。

パルス幅測定モードまたはパルス周期幅測定モードで AGTIO<sub>n</sub> 端子を入力端子として使用する場合には、動作を設定し、カウント動作を開始してください。その後、AGTIO<sub>n</sub> 端子から外部イベントの入力を開始してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

### 21.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0]ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

### 21.4.6 イベント番号、パルス幅およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下の式で求められます。  
イベント番号 = カウンタ[AGT レジスタ]の初期値 - アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下の式で求められます。  
パルス幅 = 測定停止のカウンタ値 - 次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下の式で求められます。  
入力パルス周期 = (カウンタ[AGT レジスタ]の初期値 - 読み出しバッファの読み出し値) + 1

### 21.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記のレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

### 21.4.8 カウントソースとして AGTW0 のアンダーフローイベント信号を選択した場合

カウントソースにアンダーフローイベント信号を選択する場合、以下の手順に従って動作させてください。

#### (1) 動作開始手順

1. AGTW を設定します。
2. AGTW1 のカウント動作を開始します (TSTART = 1 を書き込む)。
3. AGTW0 のカウント動作を開始します (TSTART = 1 を書き込む)。

#### (2) 動作停止手順

1. AGTW0 のカウント動作を停止します (TSTART = 0 を書き込む)。
2. AGTW1 のカウント動作を停止します (TSTART = 0 を書き込む)。
3. AGTW1 のクロック供給を停止します (TCK[2:0] = 000b を書き込む)。

### 21.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ D (MSTPCR) によって、AGTW の動作を許可または禁止することが可能です。AGTW モジュールは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「10. 低消費電力モード」を参照してください。



## 22. ウォッチドッグタイマ (WDT)

### 22.1 概要

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込み、アンダーフロー割り込み、またはウォッチドッグタイマリセットを発生させるためにも使用できます。

表 22.1 に WDT の仕様を、図 22.1 に WDT のブロック図を示します。

表 22.1 WDT の仕様

項目	内容
カウントソース(注1)	周辺クロック (PCLKB)
クロック分周比	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> <li>オートスタートモード：リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始</li> <li>レジスタスタートモード：WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>リセット（ダウンカウンタおよび他のレジスタが初期値に戻る）</li> <li>カウンタのアンダーフローまたはリフレッシュエラー発生時</li> </ul>
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能（リフレッシュ許可/禁止期間）
ウォッチドッグタイマリセット要因	<ul style="list-style-type: none"> <li>ダウンカウンタのアンダーフロー</li> <li>リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）</li> </ul>
ノンマスカブル割り込み/割り込み要因	<ul style="list-style-type: none"> <li>ダウンカウンタのアンダーフロー</li> <li>リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）</li> </ul>
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	<ul style="list-style-type: none"> <li>ダウンカウンタアンダーフローイベント出力</li> <li>リフレッシュエラーイベント出力</li> </ul>
出力信号（内部信号）	<ul style="list-style-type: none"> <li>リセット出力</li> <li>割り込み要求出力</li> <li>スリープモードカウント停止制御出力</li> </ul>

注 1. 周辺モジュールクロック (PCLKB) 周波数  $\geq 4 \times$  (カウントクロックソースの分周後周波数) となるように設定してください。

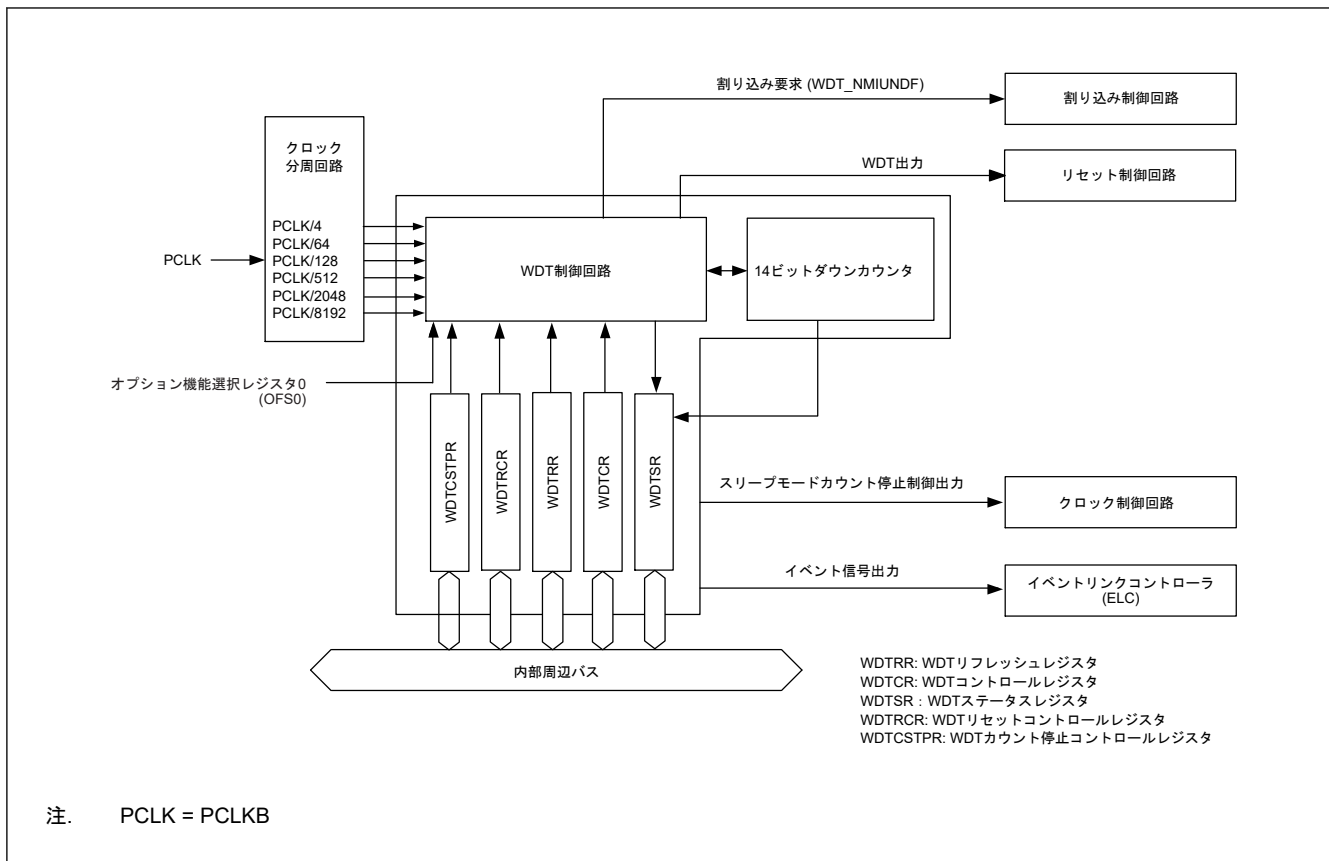


図 22.1 WDT のブロック図

## 22.2 レジスタの説明

### 22.2.1 WDTRR : WDT リフレッシュレジスタ

Base address: WDT = 0x4004\_4200

Offset address: 0x00



Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定した値からダウンカウンタがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCSR.TOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「22.3.3. リフレッシュ動作」を参照してください。

## 22.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDT = 0x4004\_4200

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]				
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0x1: PCLKB/4 0x4: PCLKB/64 0xF: PCLKB/128 0x6: PCLKB/512 0x7: PCLKB/2048 0x8: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウ終了位置の設定なし)	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウ開始位置の設定なし)	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始/終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は「[22.3.2. WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「[22.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

## TOPS[1:0]ビット (タイムアウト期間選択)

TOPS[1:0]ビットはタイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル/4096 サイクル/8192 サイクル/16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 22.2 に、CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 22.2 タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル数
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

### CKS[3:0]ビット (クロック分周比選択)

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、PCLKB クロックの 4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周から選択できます。TOPS[1:0]ビットの設定と組み合わせ、WDT のカウント期間を PCLKB クロックの 4096~134217728 サイクルから選択できます。

### RPES[1:0]ビット (ウィンドウ終了位置選択)

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

### RPSS[1:0]ビット (ウィンドウ開始位置選択)

RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

表 22.3 にウィンドウ開始、終了位置のカウント値を、図 22.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 22.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

TOPS[1:0] ビット	タイムアウト期間		ウィンドウ開始/終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF

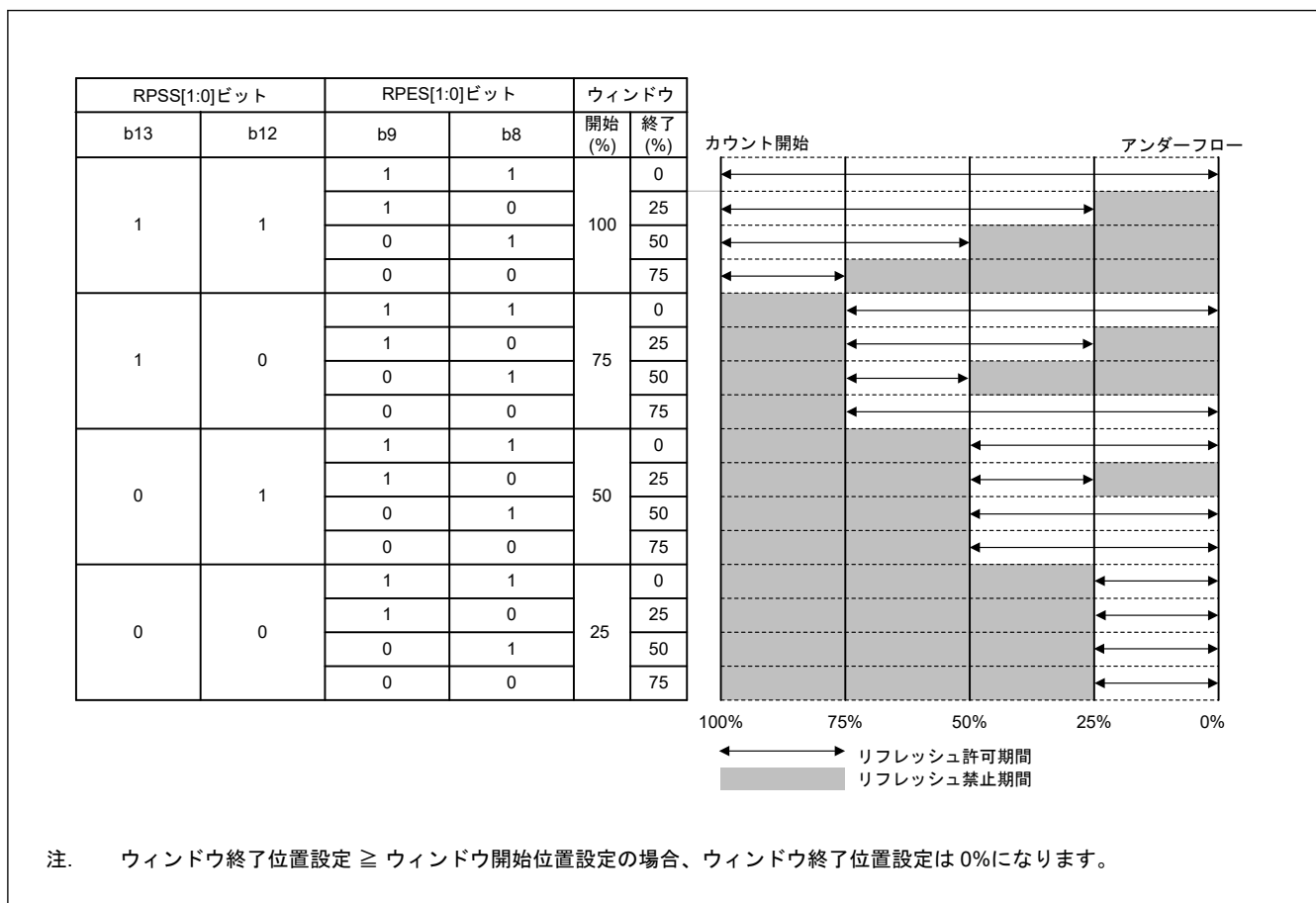


図 22.2 RPSS[1:0]および RPES[1:0]ビットとリフレッシュ許可期間

### 22.2.3 WDTSR : WDT ステータスレジスタ

Base address: WDT = 0x4004\_4200

Offset address: 0x04

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	REFE F	UNDF F	CNTVAL[13:0]												
------------	-----------	-----------	--------------	--	--	--	--	--	--	--	--	--	--	--	--

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)

ビット	シンボル	機能	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウント値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

### CNTVAL[13:0]ビット (ダウンカウンタ値)

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

### UNDFE フラグ (アンダーフローフラグ)

UNDFE フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFE フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、アンダーフローの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

### REFEF フラグ (リフレッシュエラーフラグ)

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。本フラグは禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、リフレッシュエラーの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

## 22.2.4 WDTRCR : WDT リセットコントロールレジスタ

Base address: WDT = 0x4004\_4200

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIR QS	—	—	—	—	—	—	—

Value after reset: 1 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
6:0	—	読むと0が読めます。書く場合、0としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「[22.3.2. WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「[22.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

## 22.2.5 WDTCSSTPR : WDT カウント停止コントロールレジスタ

Base address: WDT = 0x4004\_4200

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCS TP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと0が読めます。書く場合、0としてください。	R/W
7	SLCSTP	スリープモードカウント停止コントロールレジスタ 0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSSTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。

WDTCSSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「[22.3.2. WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTCSSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSSTPR レジスタと同様の設定が可能です。詳細は、「[22.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

### SLCSTP ビット (スリープモードカウント停止コントロールレジスタ)

SLCSTP ビットは、スリープモード遷移時に、カウントを停止させるかどうかを選択します。

## 22.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細は、「[22.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

## 22.3 動作説明

### 22.3.1 スタートモード別のカウント動作

WDT には、次の2つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) の設定値が有効となります。

### 22.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタが無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始/終了位置
- WDTCR レジスタのタイムアウト期間
- WDTRCR レジスタのリセット出力または割り込み要求出力
- WDTCSSTPR レジスタのスリープモード遷移時のカウンタ停止制御

WDT リフレッシュレジスタ (WDTRR) がダウンカウンタをリフレッシュします。結果として、タイムアウト期間選択ビット (WDTCR.TOPPS[1:0]) で設定した値からダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスクابل割り込み要求/割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスクابل割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で選択できます。ノンマスクابل割り込み要求を許可する割り込みは、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 22.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



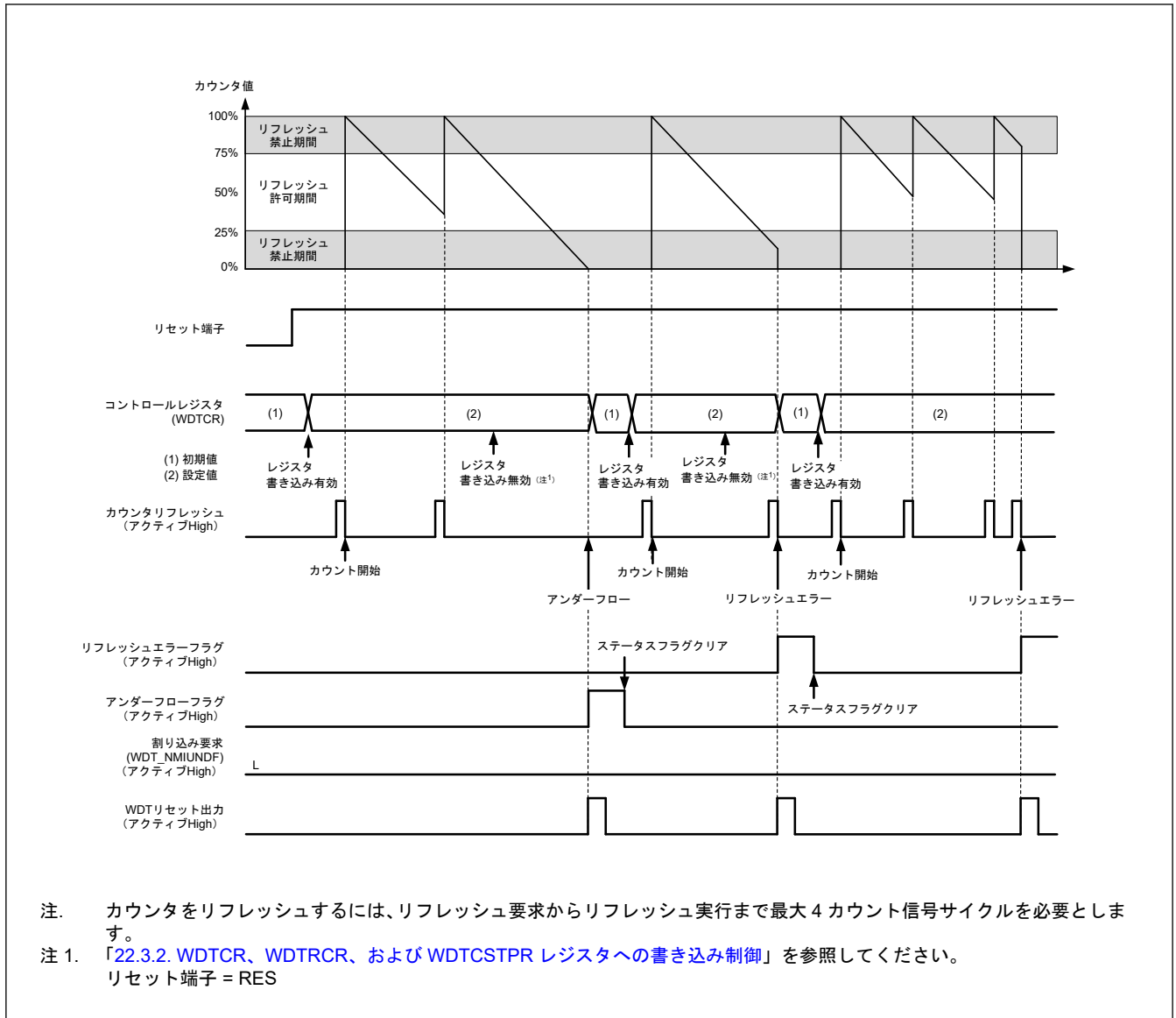


図 22.3 レジスタスタートモードでの動作例

### 22.3.1.2 オートスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始/終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウンタ停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号また

はノンマスカブル割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求/割り込み要求 (WDT\_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求/割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を設定することにより選択できます。ノンマスカブル割り込み要求または割り込み要求は、WDT アンダーフロー/リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 22.4 に、下記の条件下での動作 (ノンマスカブル割り込み) 例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー/リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

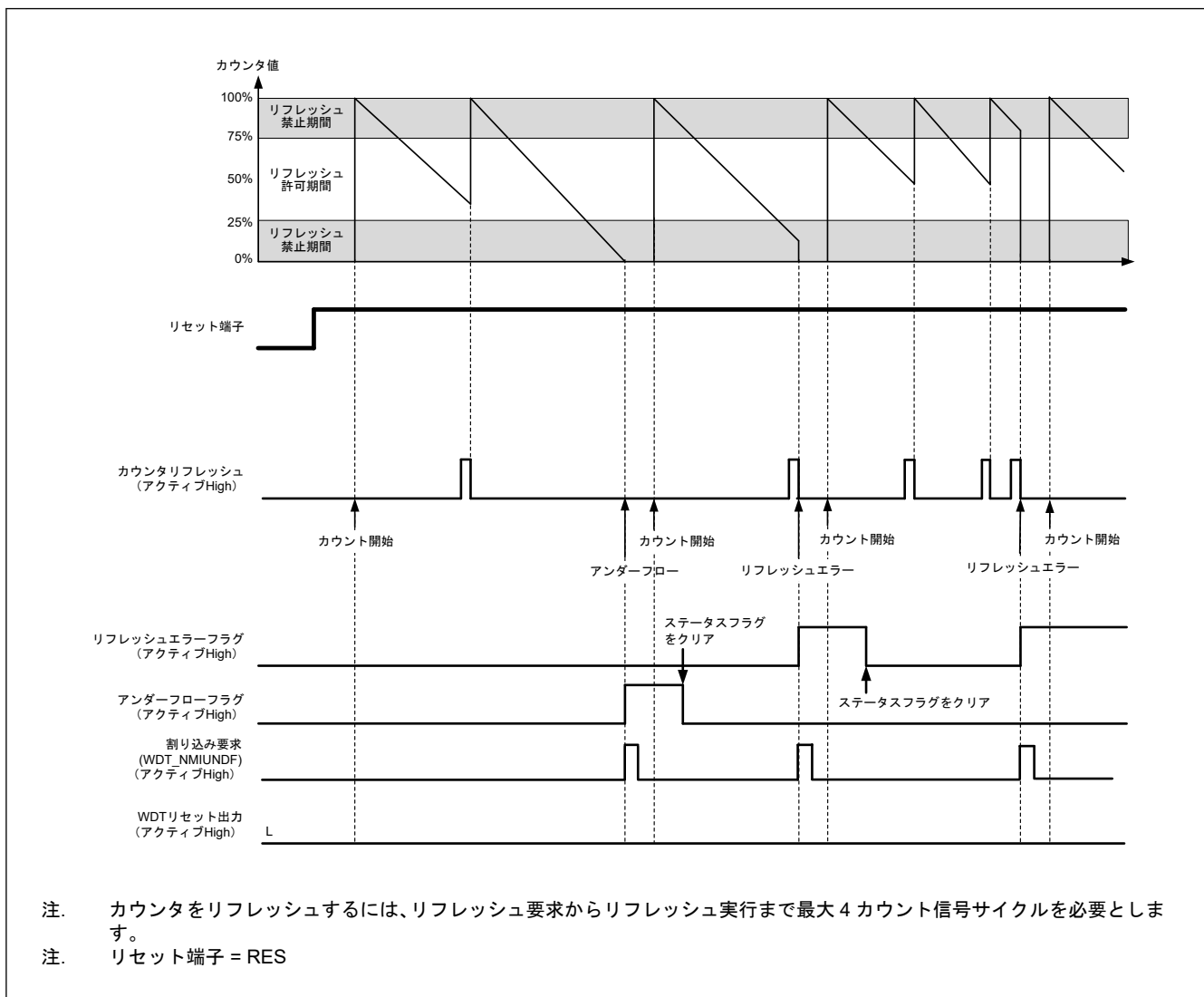


図 22.4 オートスタートモードでの動作例

### 22.3.2 WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 22.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

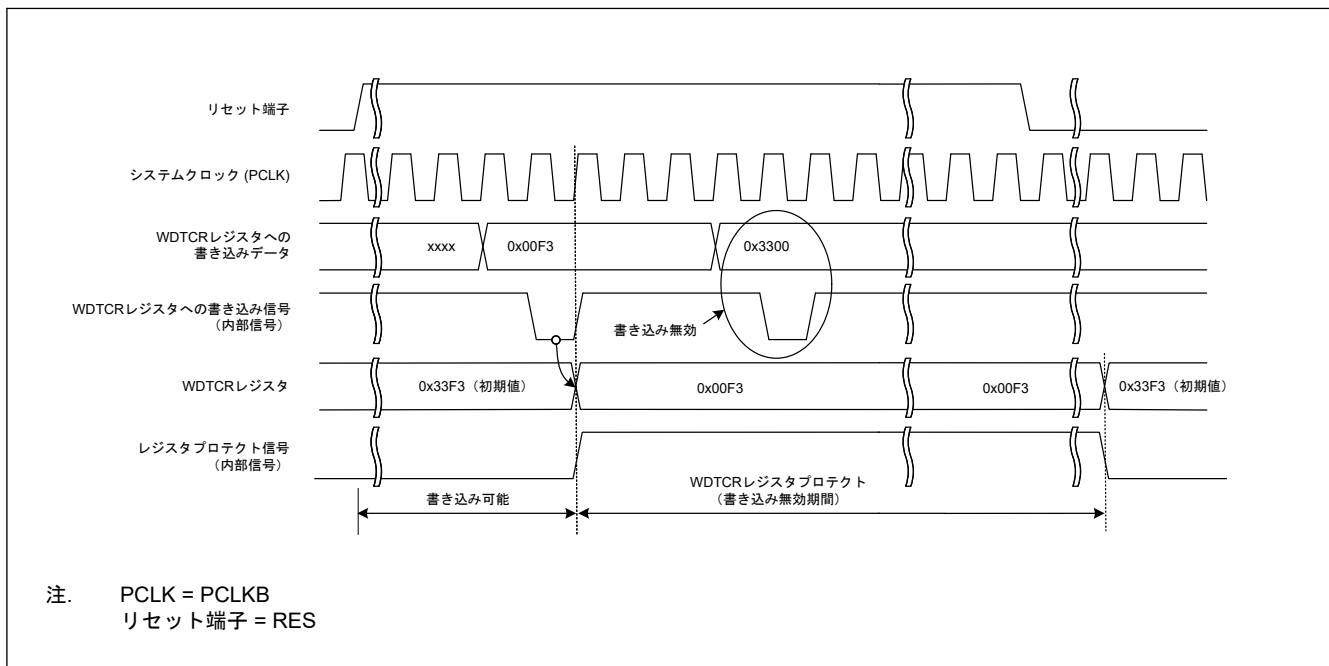


図 22.5 WDTCR レジスタへの書き込みに対して生成される制御波形

### 22.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ (WDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF
- 0x00 → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23 (0x00 以外の値) → 0xFF
- 0x00 → 0x54 (0xFF 以外の値)
- 0x00 → 0xAA (0x00 および 0xFF 以外の値) → 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウンタ信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 22.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

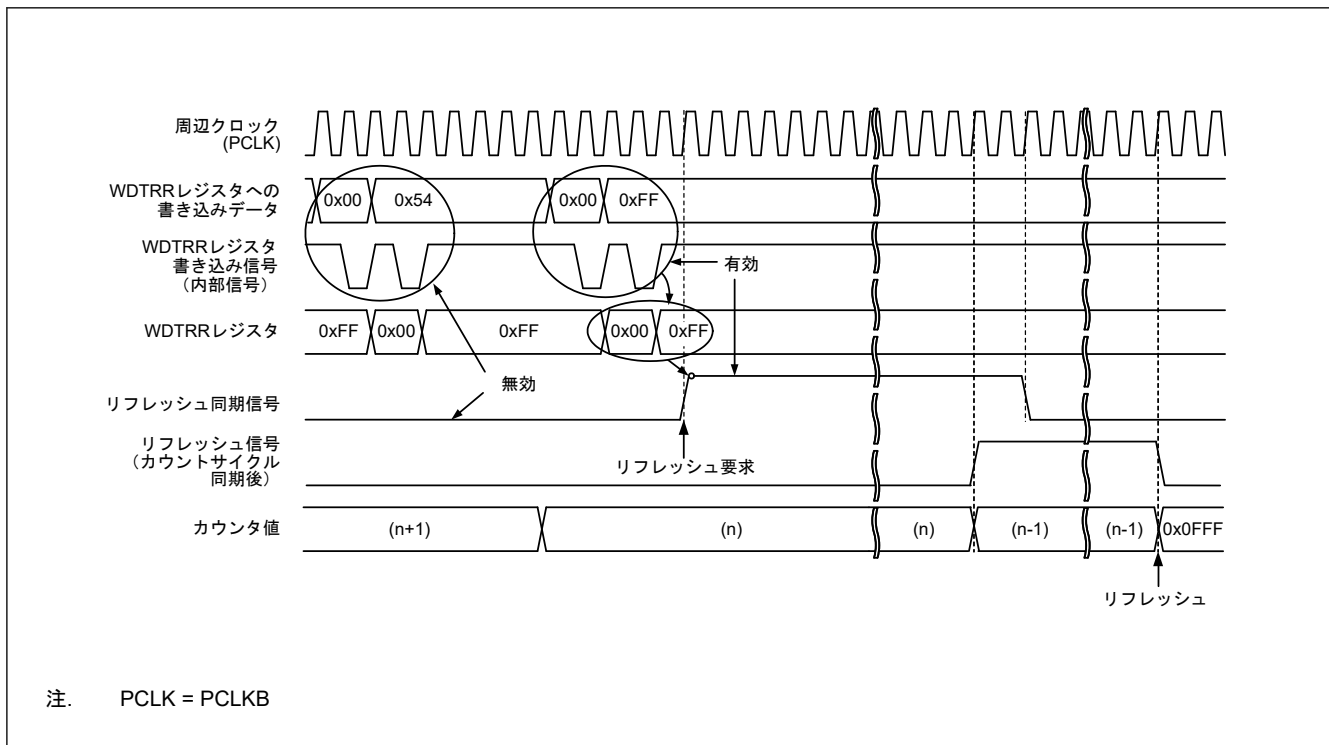


図 22.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合)

注. リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

### 22.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていない場合は、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「22.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

### 22.3.5 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

### 22.3.6 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット

(OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT\_NMIUNDF) 信号が発生します。この割り込みは、ノンマスカブル割り込みまたは割り込みとして使用可能です。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 22.4 WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DTC の起動
WDT_NMIUNDF	<ul style="list-style-type: none"> <li>ダウンカウンタのアンダーフロー</li> <li>リフレッシュエラー</li> </ul>	可能	不可能

### 22.3.7 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウンタから 1 カウントずれる場合があります。

図 22.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

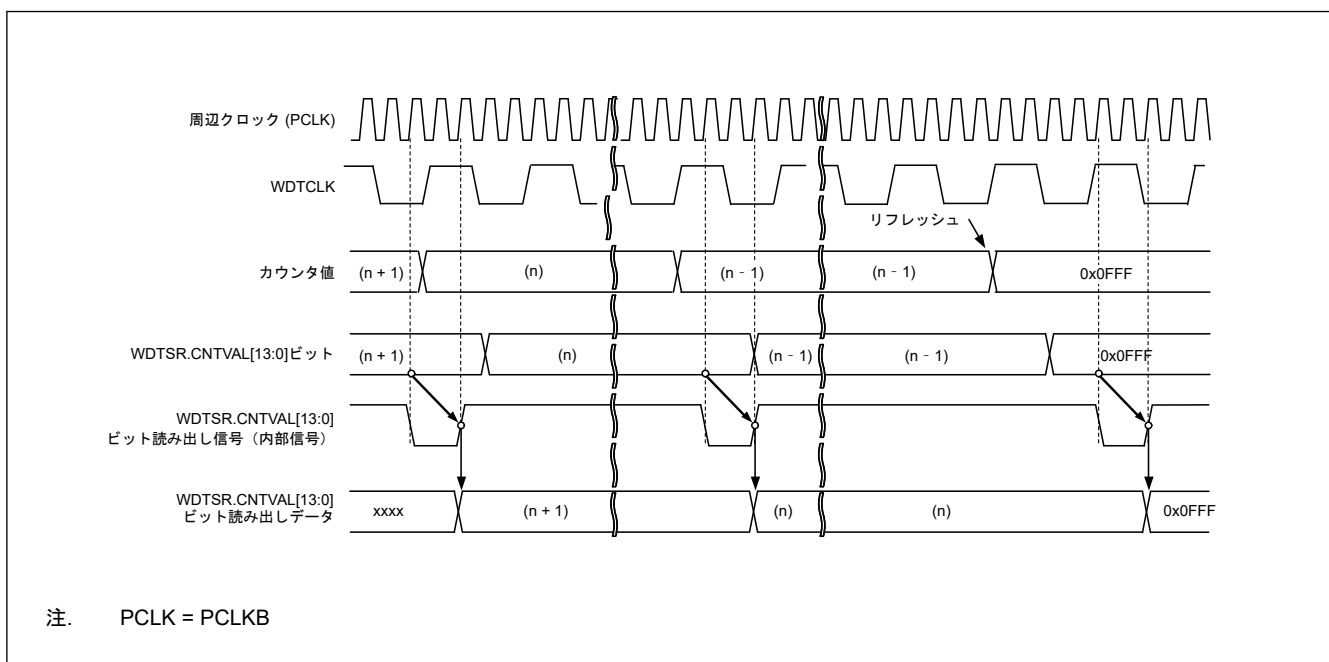


図 22.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合)

### 22.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

表 22.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。WDT 動作中に OFS0 レジスタの設定を変更しないでください。オプション機能選択レジスタ 0 (OFS0) の詳細については、「6.2.1. OFS0: オプション機能選択レジスタ 0」を参照してください。

表 22.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (1/2)

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT のレジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]

表 22.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (2/2)

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT のレジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSTPR.SLCSTP

## 22.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT はあらかじめ設定したモジュールに対して、リンク動作が可能です。イベント信号はカウンタのアンダーフローとリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDFE) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[16. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

## 22.5 使用上の注意事項

### 22.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセット割り込み要求選択をリセット (OFS0.WDTRSTIRQS = 1 または WDTRCR.RSTIRQS = 1) した場合、またはイベントリンク動作を許可 (IELSRn.ELS[7:0] = 0x18) にした場合、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x06 を設定することは禁止されています。

## 23. 独立ウォッチドッグタイマ (IWDT)

### 23.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み/ノンマスカブル割り込みを発生させることが可能です。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート

表 23.1 に IWDT の仕様を、図 23.1 に IWDT のブロック図を示します。

表 23.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> <li>● リセット後、自動的にカウント開始</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>● リセット (ダウンカウンタおよび他のレジスタが初期値に戻る)</li> <li>● カウンタのアンダーフローまたはリフレッシュエラー発生時自動的にカウント再開</li> </ul>
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
独立ウォッチドッグタイマリセット要因	<ul style="list-style-type: none"> <li>● ダウンカウンタのアンダーフロー</li> <li>● リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)</li> </ul>
ノンマスカブル割り込み/割り込み要因	<ul style="list-style-type: none"> <li>● ダウンカウンタのアンダーフロー</li> <li>● リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)</li> </ul>
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能	<ul style="list-style-type: none"> <li>● ダウンカウンタアンダーフローイベント出力</li> <li>● リフレッシュエラーイベント出力</li> </ul>
出力信号 (内部信号)	<ul style="list-style-type: none"> <li>● リセット出力</li> <li>● 割り込み要求出力</li> <li>● スリープモードカウント停止制御出力</li> </ul>
オートスタートモード	以下のトリガに対して設定可能： <ul style="list-style-type: none"> <li>● リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット)</li> <li>● 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット)</li> <li>● 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット)</li> <li>● 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット)</li> <li>● リセット出力または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット)</li> <li>● スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択 (OFS0.IWDTSTPCTL ビット)</li> </ul>

注 1. 周辺モジュールクロック (PCLKB) 周波数  $\geq 4 \times$  (カウントクロックソースの分周後周波数) となるように設定してください。

バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

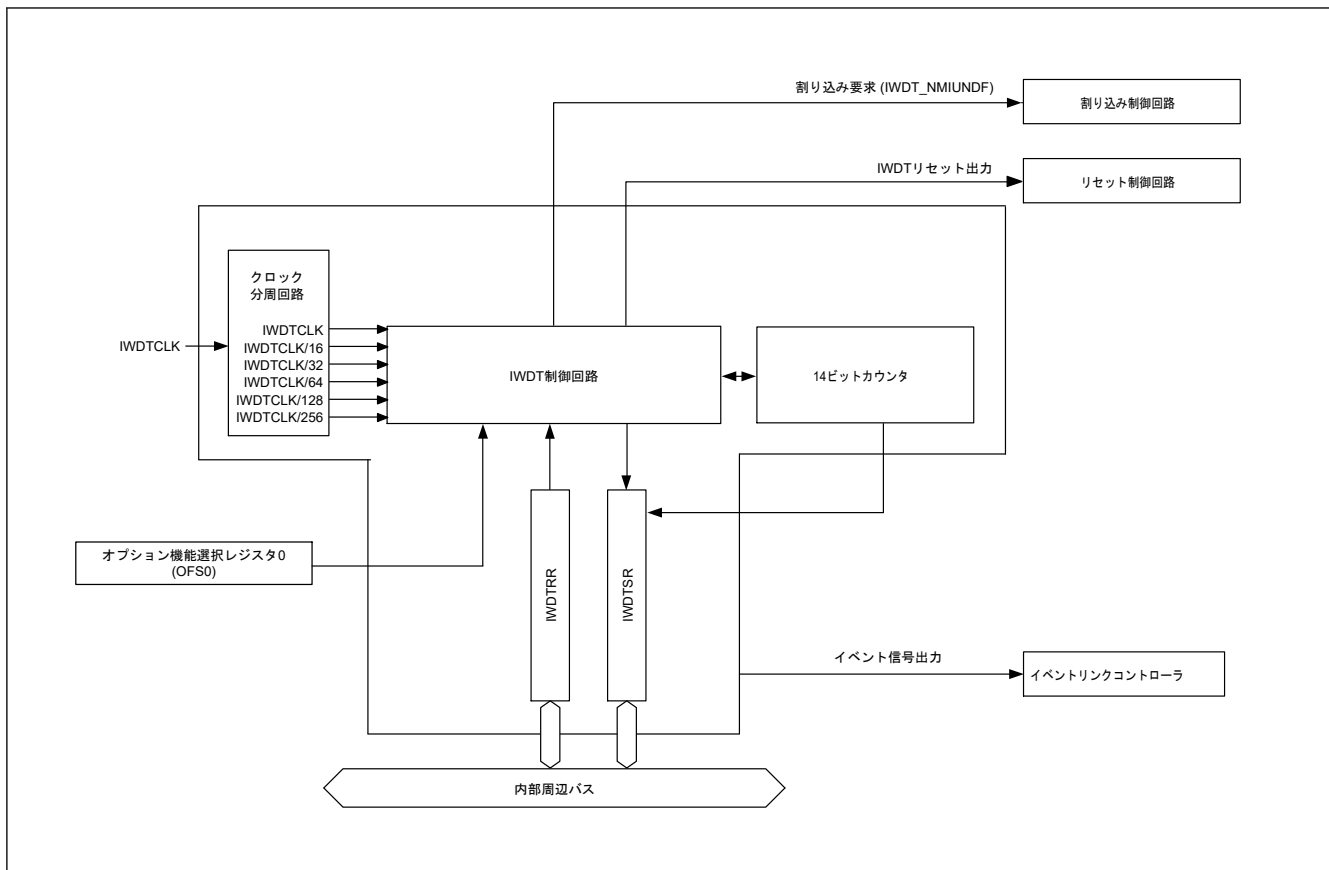


図 23.1 IWDT のブロック図

## 23.2 レジスタの説明

### 23.2.1 IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4004\_4400

Offset address: 0x00

Bit position: 7 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「23.3.2. リフレッシュ動作」を参照してください。



## 23.2.2 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4004\_4400

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFE F	UNDF F	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

IWDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

## CNTVAL[13:0]ビット (ダウンカウンタ値)

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウンタ値から 1 カウントずれる場合があります。

## UNDF フラグ (アンダーフローフラグ)

UNDF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCK[3:0]ビットで指定されます。

- OFS0.IWDTCK[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCK[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCK[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCK[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCK[3:0] = 0xF の時、N = 128
- OFS0.IWDTCK[3:0] = 0x5 の時、N = 256

## REFEF フラグ (リフレッシュエラーフラグ)

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCK[3:0]ビットで指定されます。

- OFS0.IWDTCK[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCK[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCK[3:0] = 0x3 の時、N = 32

- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

### 23.2.3 OFS0 : オプション機能選択レジスタ 0

オプション機能選択レジスタ 0 (OFS0) の詳細は、「6.2.1. OFS0 : オプション機能選択レジスタ 0」を参照してください。

#### IWDTTOPS[1:0]ビット (IWDT タイムアウト期間選択)

IWDTTOPS[1:0]ビットはタイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル/512 サイクル/1024 サイクル/2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (IWDTCLK サイクル数) は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせで決定されます。

表 23.2 に、IWDTCKS[3:0]および IWDTTOPS[1:0]ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 23.2 タイムアウト期間の設定

IWDTCKS[3:0]ビット				IWDTTOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK サイクル数
b7	b6	b5	b4	b3	b2			
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

**IWDTCKS[3:0]ビット (IWDT 専用クロック分周比選択)**

IWDTCKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周/16 分周/32 分周/64 分周/128 分周/256 分周から選択できます。IWDTTOPS[1:0] ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK の 128~524288 サイクルから選択できます。

**IWDRPES[1:0]ビット (IWDT ウィンドウ終了位置選択)**

IWDRPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

**IWDRPSS[1:0]ビット (IWDT ウィンドウ開始位置選択)**

IWDRPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

ウィンドウ開始、終了位置のカウント値を表 23.3 に、IWDRPSS[1:0]、IWDRPES[1:0]、IWDTTOPS[1:0]ビットで設定されるリフレッシュ許可期間を図 23.2 に示します。

**表 23.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表**

IWDTTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b3	b2	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

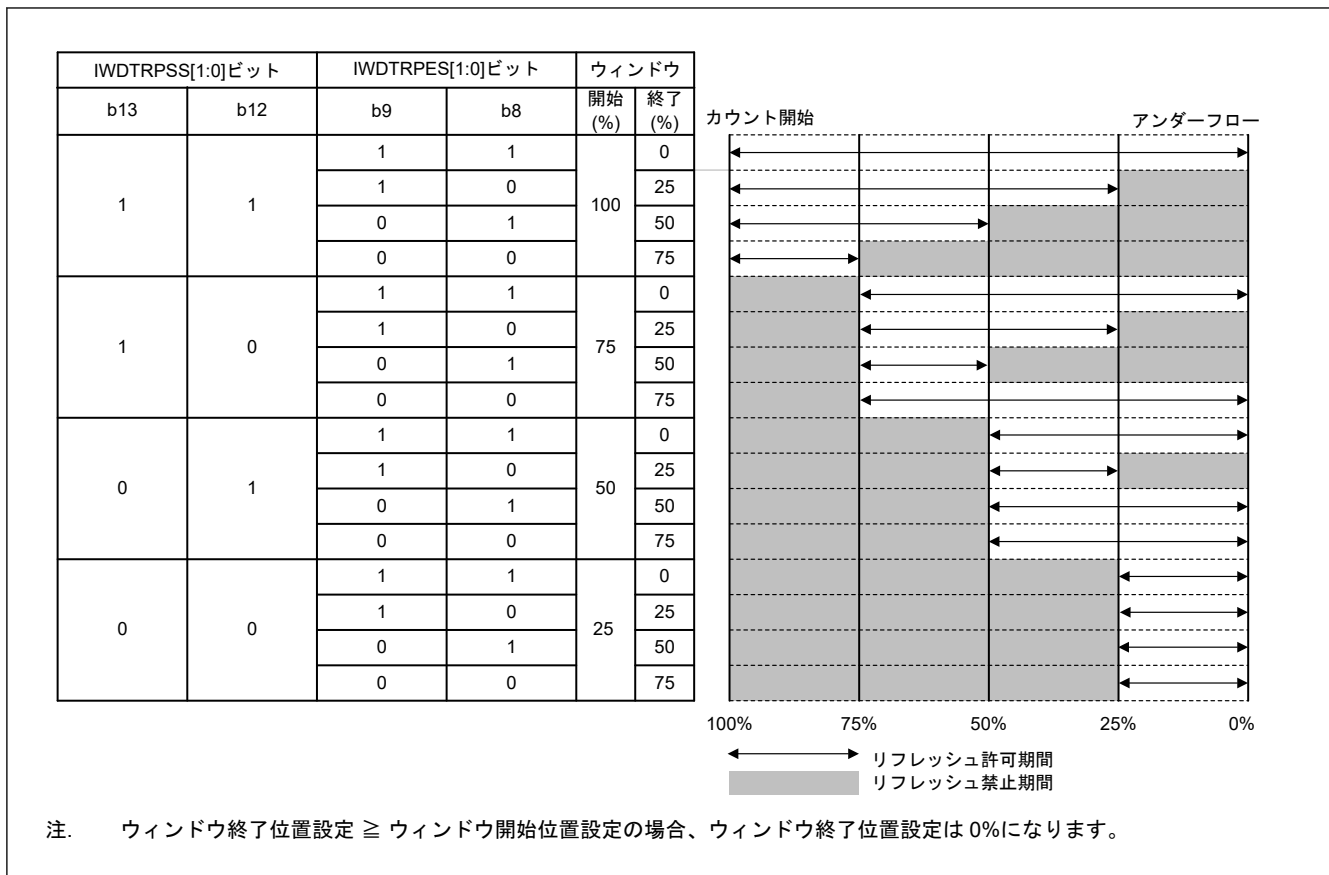


図 23.2 IWDRPSS[1:0]および IWDTPES[1:0]ビットとリフレッシュ許可期間

### IWDRSTRQRS ビット (IWDT リセット割り込み要求選択)

IWDRSTRQRS ビットは、アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、割り込みが選択されます。

### IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

## 23.3 動作説明

### 23.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。OFS0.IWDTSTRT ビットが 1 の場合、リセット後の IWDT は停止状態です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比 (OFS0.IWDTCKS[3:0])
- ウィンドウ開始および終了位置 (OFS0.IWDRPSS[1:0]、OFS0.IWDTPES[1:0])
- タイムアウト期間 (OFS0.IWDTTOPS[1:0])
- リセット出力または割り込み要求 (OFS0.IWDRSTRQRS)

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。プログラムの暴走によりダウンカウンタのリフレッシュが行われず、ダウンカ

カウンタのアンダーフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求または割り込み要求 (IWDT\_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントを開始します。リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で選択できます。

図 23.3 に、下記の条件下での動作例（ノンマスカブル割り込み）を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作選択：割り込み (OFS0.IWDRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDRPES[1:0] = 10b)

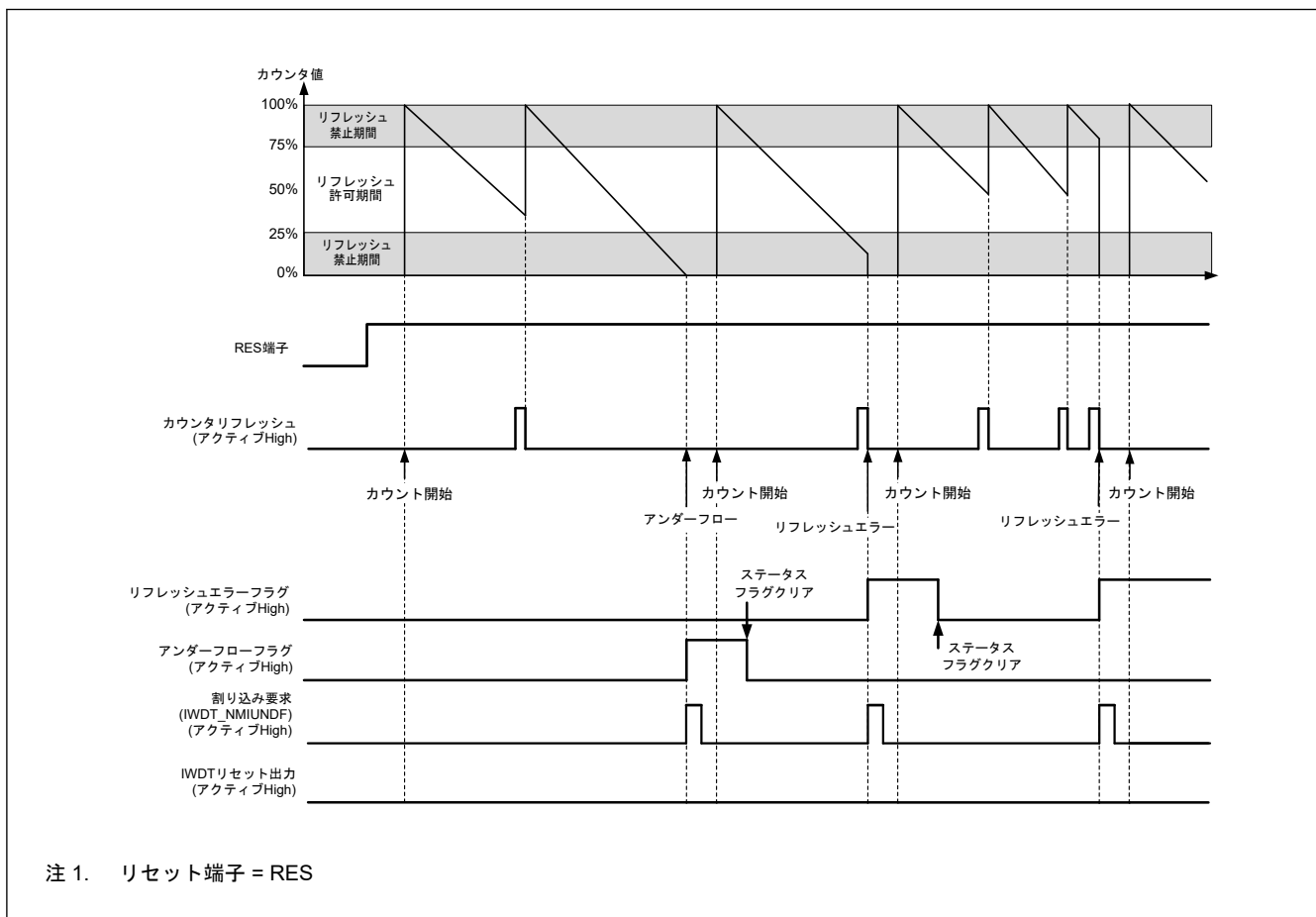


図 23.3 オートスタートモードでの動作例

### 23.3.2 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、IWDT リフレッシュレジスタ (IWDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

0X00 (1 回目) → 0x00 (2 回目) の順で書き込みを行った場合でも、その後に 0xFF を書き込めば、0x00 → 0xFF の書き込み順序が成立します。0X00 (n-1 回目) → 0x00 (n 回目) → 0xFF という書き込み順序は有効であり、

正常にリフレッシュを行います。0x00 より前の書き込み値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF
- 0x00 → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23 (0x00 以外の値) → 0xFF
- 0x00 → 0x54 (0xFF 以外の値)
- 0x00 → 0xAA (0x00 および 0xFF 以外の値) → 0xFF

ダウンカウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します (1 サイクル間の IWDTRR 専用クロック (IWDTRRCLK) 数は、IWDTRR 専用クロック分周比選択ビット (OFS0.IWDTRRCLK[3:0]) の設定値により異なります)。この要件を満たすには、リフレッシュ許可期間の終了またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの 0xFF 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTRR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 0x01FF とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x01FF より前 (たとえば 0x0202) であっても、IWDTRR.CNTVAL[13:0] ビット値が 0x01FF になってから IWDTRR レジスタへ 0xFF を書き込めば、リフレッシュを行います。
- ウィンドウ終了位置を 0x01FF とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTRR.CNTVAL[13:0] ビットから読み出した値が 0x0203 (0x01FF の 4 カウントサイクル前) 以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTRR.CNTVAL[13:0] ビットから読み出した値が 0x0003 (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 23.4 に、PCLKB > IWDTRRCLK のとき、クロック分周比が IWDTRRCLK × 1 分周である場合の IWDTRR リフレッシュ動作波形を示します。

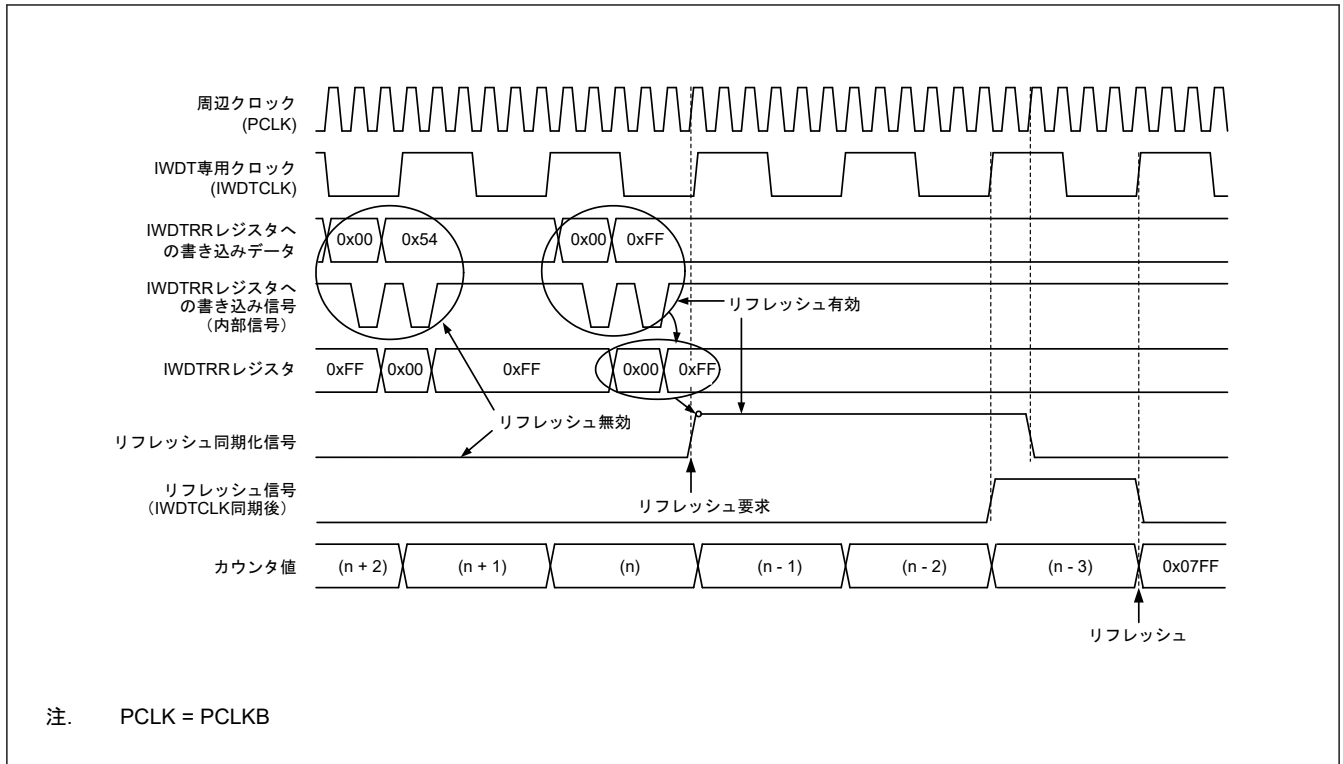


図 23.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCK[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

### 23.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEEF) とアンダーフローフラグ (IWDTSR.UNDFE) は、IWDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、IWDTSR.REFEEF フラグと IWDTSR.UNDFE フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。次に IWDT が割り込み要求を出力したときに、現在のフラグの値にかかわらず、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「23.2.2. IWDTSR : IWDT ステータスレジスタ」を参照してください。

### 23.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセットが解除された後、自動でダウンカウントを開始します。

### 23.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT\_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 23.4 IWDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DTC の起動
IWDT_NMIUNDF	<ul style="list-style-type: none"> <li>ダウンカウンタのアンダーフロー</li> <li>リフレッシュエラー</li> </ul>	可能	不可能

### 23.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカ

カウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

カウンタ値の読み出しには PCLKB で数クロックサイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 23.5 に、 $PCLKB > IWDTCLK$  のとき、クロック分周比が  $IWDTCLK \times 1$  分周である場合の IWDT ダウンカウンタ値の読み出し処理を示します。

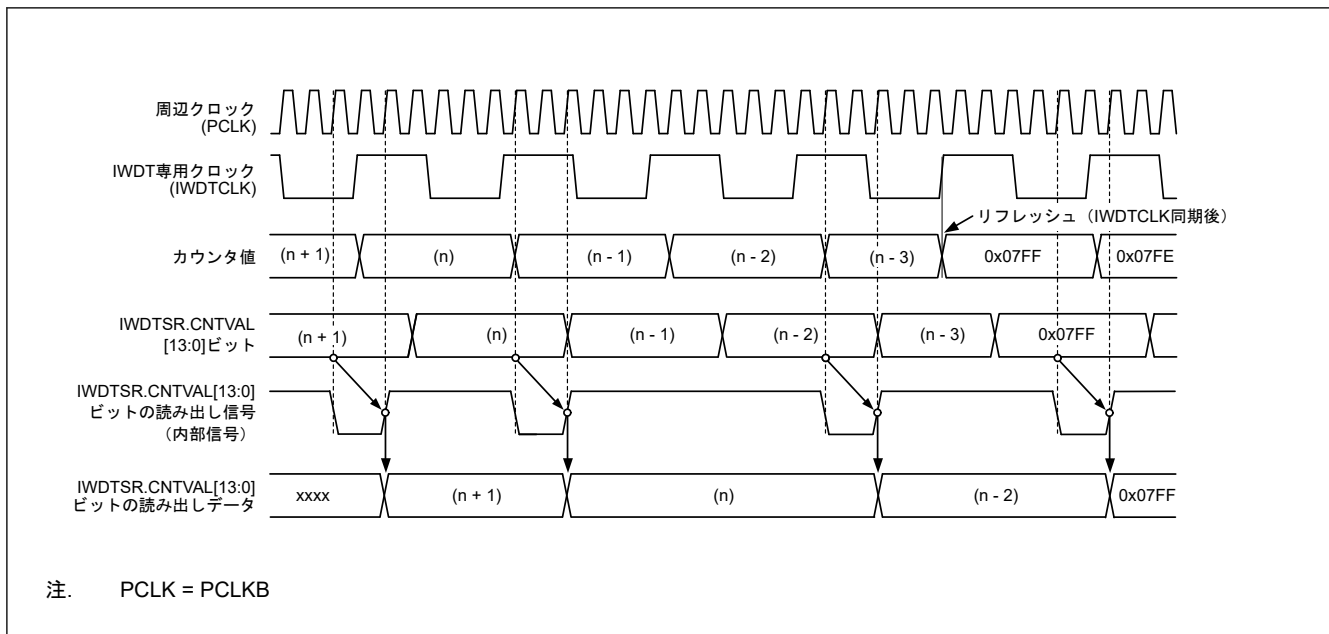


図 23.5 IWDT ダウンカウンタ値の読み出し処理 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

## 23.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、IWDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「16. イベントリンクコントローラ (ELC)」を参照してください。

## 23.5 使用上の注意事項

### 23.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

### 23.5.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) の周波数が下記の要件を満たすように設定してください。

$PCLKB \geq 4 \times$  (カウントクロックソースの分周後周波数)

### 23.5.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

IWDT リセットアサートを許可 (OFS0.IWDRSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (IELSRn.ELS[7:0] = 0x17) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[4:0]) に 0x03 を設定することは禁止されています。



## 24. シリアルコミュニケーションインタフェース (SCI)

### 24.1 概要

シリアルコミュニケーションインタフェース (SCI) × 1 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。

- 調歩同期式インタフェース (UART および調歩同期式通信インタフェースアダプタ (ACIA))
- 8ビットクロック同期式インタフェース
- 簡易 IIC (マスタのみ)
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。

本節では、PCLK = PCLKB を指します。

表 24.1 に SCI の仕様を、図 24.1 に SCI のブロック図を、表 24.3 に SCI の入出力端子を示します。

表 24.1 SCI の仕様 (1/2)

項目	内容	
モジュール数	1 (SCIn (n = 9))	
シリアル通信方式	<ul style="list-style-type: none"> <li>● 調歩同期式</li> <li>● クロック同期式</li> <li>● 簡易 IIC</li> <li>● 簡易 SPI</li> <li>● スマートカードインタフェース</li> </ul>	
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能	
全二重通信	<ul style="list-style-type: none"> <li>● 送信部：ダブルバッファによる連続送信が可能</li> <li>● 受信部：ダブルバッファによる連続受信が可能</li> </ul>	
データ転送	LSB ファースト転送または MSB ファースト転送を選択可能	
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、アドレス一致 開始条件、再開条件、停止条件の生成完了（簡易 IIC モード用）	
モジュールストップ機能	モジュールストップ状態の設定が可能	
クロック同期式モード	データ長	8 ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	ハードウェアフロー制御	CTS <sub>n</sub> _RTS <sub>n</sub> 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタを選択可能
調歩同期式モード	データ長	7 ビット、8 ビット、または 9 ビット
	送信ストップビット	1 ビットまたは 2 ビット
	パリティ	偶数パリティ、奇数パリティ、パリティなし
	受信エラー検出機能	<ul style="list-style-type: none"> <li>● パリティエラー</li> <li>● オーバーランエラー</li> <li>● フレーミングエラー</li> </ul>
	ハードウェアフロー制御	CTS <sub>n</sub> _RTS <sub>n</sub> 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタを選択可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能

表 24.1 SCI の仕様 (2/2)

項目	内容	
	スタートビットの検出	Low 検出または立ち下がリエッジ検出を選択可能
	ブレークの検出	SPTR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出
		送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンションとインバースコンベンションをサポート
簡易 IIC モード	通信フォーマット	I <sup>2</sup> C バスフォーマット (MSB ファーストのみ)
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	最大 400 kbps
	ノイズ除去	SCLn 端子と SDA <sub>n</sub> 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8 ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック (マスタモード) または外部クロック (スレーブモード) の選択が可能
	SSn 入力端子機能	SSn 端子を High にすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレート変調機能	内蔵ボーレートジェネレータの出力補正により誤差の低減が可能	
イベントリンク機能	受信エラーまたはエラーシグナル検出におけるエラーイベント出力 (SCI <sub>n</sub> _ERI) (n = 9)	
	受信データフルイベント出力 (SCI <sub>n</sub> _RXI) (n = 9)	
	送信データエンプティイベント出力 (SCI <sub>n</sub> _TXI) (n = 9)	
	アドレス一致イベント出力 (SCI <sub>n</sub> _AM) (n = 9)	
	送信終了イベント出力 (SCI <sub>n</sub> _TEI) (n = 9)	

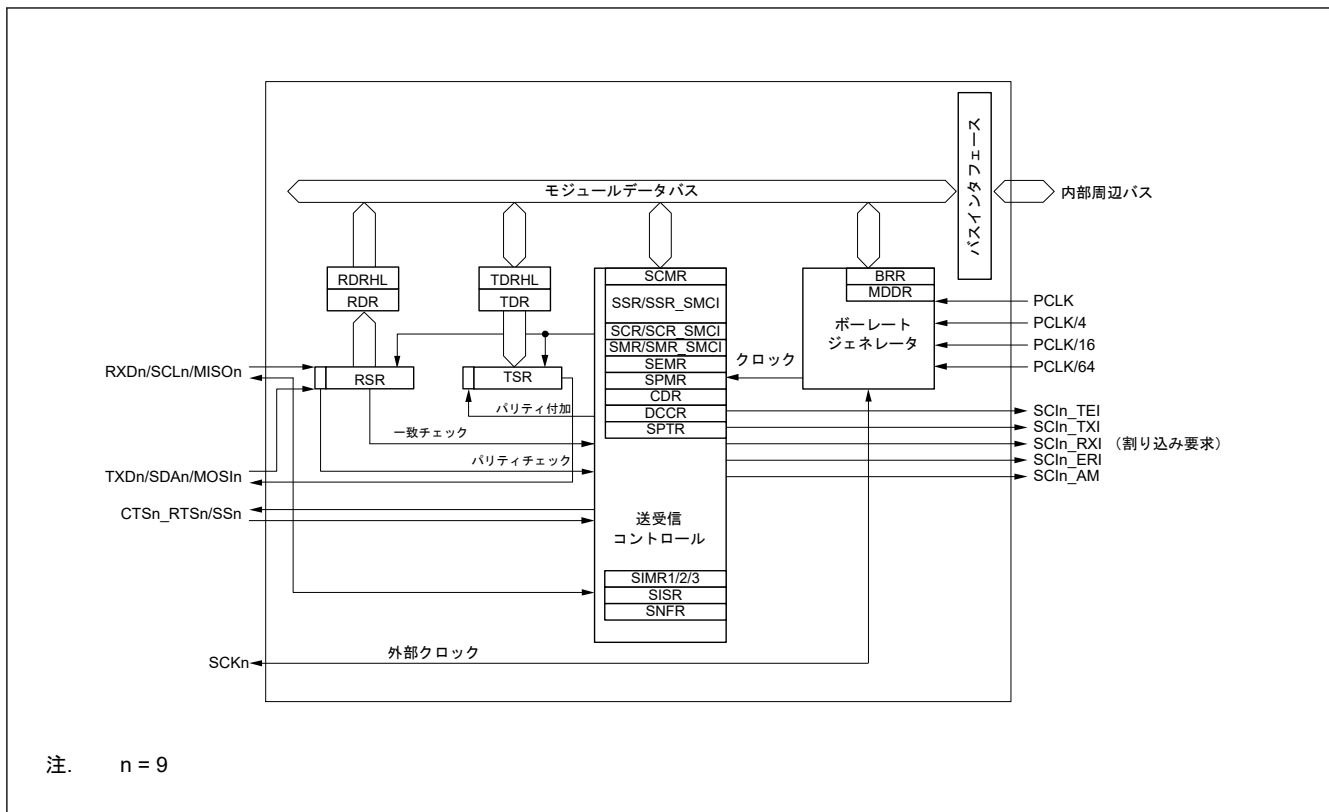


図 24.1 SCI のブロック図

表 24.2 製品ごとの対応チャンネル

SCI チャンネル	製品		
	24 ピン	20 ピン	16 ピン
SCI9	✓	✓	✓

注. ✓ : 対応  
— : 非対応

表 24.3 SCI の入出力端子

機能	端子名	入出力	説明
SCLn (n = 9)	RXDn/SCLn/MISO	入出力	SCLn の受信データ入力 SCLn の I <sup>2</sup> C クロック入出力 SCLn のスレーブ送信データ入出力
	TXDn/SDAn/MOS	入出力	SCLn の送信データ出力 SCLn の I <sup>2</sup> C データ入出力 SCLn のマスタ送信データ入出力
	SSn/CTSn_RTSn	入出力	SCLn のチップセレクト入力、アクティブ Low SCLn の送受信開始制御用入出力、アクティブ Low
	SCKn	入出力	SCLn のクロック入出力

## 24.2 レジスタの説明

### 24.2.1 RSR : 受信シフトレジスタ

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタへ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

### 24.2.2 RDR : 受信データレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x05



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

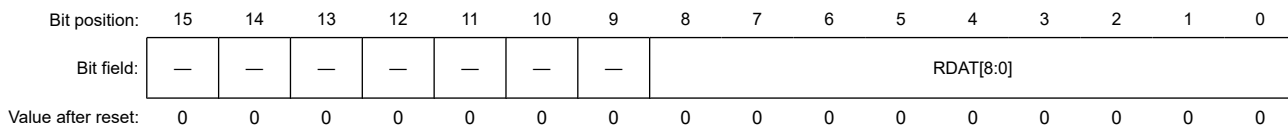
RDR レジスタの読み出しは、受信データフル割り込み (SCIn\_RXI) 要求が発生したときに 1 回だけ行ってください。

注. 受信データを RDR レジスタから読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

### 24.2.3 RDRHL : 受信データレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x10



ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ	R
15:9	—	読むと 0 が読めます。	R

RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドールレジスタであるため、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

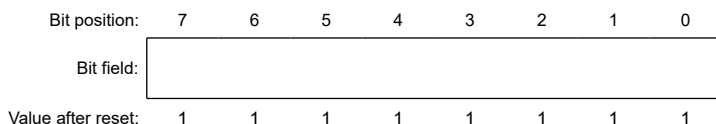
1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCIn\_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。

### 24.2.4 TDR : 送信データレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x03



ビット	シンボル	機能	R/W
7:0	n/a	シリアル送信データ	R/W

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn\_TXI) 要求が発生するごとに 1 回だけ行ってください。

### 24.2.5 TDRHL : 送信データレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ	R/W
15:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドウレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し／書き込みが可能です。TDRHL レジスタのビット[15:9]は 1 に固定されています。これらビットから読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn\_TXI) 要求が発生したときに 1 回だけ行ってください。

### 24.2.6 TSR : 送信シフトレジスタ

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、または TDRHL から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

## 24.2.7 SMR : 非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0) <sup>(注1)</sup> 0 1: PCLK/4 クロック (n = 1) <sup>(注1)</sup> 1 0: PCLK/16 クロック (n = 2) <sup>(注1)</sup> 1 1: PCLK/64 クロック (n = 3) <sup>(注1)</sup>	R/W <sup>(注4)</sup>
2	MP	マルチプロセッサモード 調歩同期式モードでのみ有効です。 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W <sup>(注4)</sup>
3	STOP	ストップビット長 調歩同期式モードでのみ有効です。 0: 1 ストップビット 1: 2 ストップビット	R/W <sup>(注4)</sup>
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W <sup>(注4)</sup>
5	PE	パリティ許可 調歩同期式モードでのみ有効です。 0: 送信時パリティビットを付加しない 受信時パリティビットをチェックしない 1: 送信時パリティビットを付加する 受信時パリティビットをチェックする	R/W <sup>(注4)</sup>
6	CHR	キャラクタ長 調歩同期式モードでのみ有効です。 <sup>(注2)</sup> SCMR.CHR1 ビットと組み合わせて送受信キャラクタ長を選択します。 0: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 8 ビットで送受信 (初期値) 1: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 7 ビットで送受信 <sup>(注3)</sup>	R/W <sup>(注4)</sup>
7	CM	通信モード 0: 調歩同期式モード、または簡易 IIC モード 1: クロック同期式モード、または簡易 SPI モード	R/W <sup>(注4)</sup>

注 1. n は BRR レジスタの設定値を 10 進表記で示します。「24.2.14. BRR : ビットレートレジスタ」を参照してください。

注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定です。

注 3. LSB ファースト固定となり、送信モードでは TDR レジスタの MSB (ビット[7]) は送信されません。

注 4. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

### CKS[1:0]ビット (クロック選択)

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「24.2.14. BRR : ビットレートレジスタ」を参照してください。

### MP ビット (マルチプロセッサモード)

MP ビットは、マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

**STOP ビット (ストップビット長)**

STOP ビットは、送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの1ビット目のみがチェックされます。2ビット目が0の場合は、次の送信フレームのスタートビットと見なされます。

**PM ビット (パリティモード)**

PM ビットは、送受信時のパリティ (偶数パリティ/奇数パリティ) を選択します。マルチプロセッサモードでは、PM ビットの設定は無効です。

**PE ビット (パリティ許可)**

PE ビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

**CHR ビット (キャラクタ長)**

CHR ビットは、SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は8ビット固定です。

**CM ビット (通信モード)**

CM ビットは、通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

## 24.2.8 SMR\_SMCI : スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	GM	BLK	PE	PM	BCP[1:0]	CKS[1:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0) <sup>(注1)</sup> 0 1: PCLK/4 クロック (n = 1) <sup>(注1)</sup> 1 0: PCLK/16 クロック (n = 2) <sup>(注1)</sup> 1 1: PCLK/64 クロック (n = 3) <sup>(注1)</sup>	R/W <sup>(注2)</sup>
3:2	BCP[1:0]	基本クロックパルス SCMR.BCP2 ビットと組み合わせて基本クロックのサイクル数を選択します。表 24.4 に、SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせを示します。	R/W <sup>(注2)</sup>
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W <sup>(注2)</sup>
5	PE	パリティ許可 PE ビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、本ビットを1にしてください。	R/W <sup>(注2)</sup>
6	BLK	ブロック転送モード 0: 通常モードで動作します 1: ブロック転送モードで動作	R/W <sup>(注2)</sup>
7	GM	GSM モード 0: 通常モードで動作します 1: GSM モードで動作	R/W <sup>(注2)</sup>

- 注 1. n は BRR レジスタの設定値を 10 進表記で示します。「24.2.14. BRR : ビットレートレジスタ」を参照してください。  
 注 2. SCR\_SMCI.TE ビットと SCR\_SMCI.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SMR\_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

### CKS[1:0]ビット (クロック選択)

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「24.2.14. BRR : ビットレートレジスタ」を参照してください。

### BCP[1:0]ビット (基本クロックパルス)

BCP[1:0]ビットは、スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SCMR.BCP2 ビットと組み合わせて設定します。

詳細は「24.6.4. 受信データサンプリングタイミングと受信マージン」を参照してください。

表 24.4 SCMR.BCP2 ビットと SMR\_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0]ビット	1 ビット転送時間中の基本クロック数 <sup>(注1)</sup>
0	00b ビット	93 クロック (S = 93)
0	01b ビット	128 クロック (S = 128)
0	10b ビット	186 クロック (S = 186)
0	11b ビット	512 クロック (S = 512)
1	00b ビット	32 クロック (S = 32) (初期値)
1	01b ビット	64 クロック (S = 64)
1	10b ビット	372 クロック (S = 372)
1	11b ビット	256 クロック (S = 256)

注 1. S は BRR レジスタの S の値を表します (「24.2.14. BRR : ビットレートレジスタ」を参照してください)。

### PM ビット (パリティモード)

PM ビットは、送受信時のパリティモード (偶数パリティ/奇数パリティ) を選択します。スマートカードインタフェースモードにおけるこのビットの使用方法については、「24.6.2. データフォーマット (ブロック転送モード時を除く)」を参照してください。

### PE ビット (パリティ許可)

PE ビットを 1 にする。送信時はパリティビットを付加し、受信時はパリティチェックを行います。

### BLK ビット (ブロック転送モード)

BLK ビットを 1 にすると、ブロック転送モードで動作します。詳細は「24.6.3. ブロック転送モード」を参照してください。

### GM ビット (GSM モード)

GM ビットを 1 にすると、GSM モードで動作します。GSM モードでは、SSR\_SMCI.TEND フラグのセットタイミングが、先頭ビットから 11.0 etu (elementary time unit = 1 ビット転送時間) に繰り上げられ、クロック出力制御が追加されます。詳細は、「24.6.6. シリアルデータの送信 (ブロック転送モードを除く)」および「24.6.8. クロック出力制御」を参照してください。



## 24.2.9 SCR : 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0: 調歩同期式モードでは、入出力ポートの設定に基づき、SCKn 端子は入出力ポートとして使用できます。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 0 1: 調歩同期式モードでは、SCKn 端子からビットレートと同じ周波数のクロックを出力します。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 その他: 調歩同期式モードでは、SEMR.ABCS ビットが 0 の場合、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが 1 の場合、8 倍の周波数のクロック信号を入力してください。 クロック同期モードでは、SCKn 端子はクロック入力端子となります。	R/W(注1)
2	TEIE	送信終了割り込み許可 0: SCIn_TEI 割り込み要求を禁止 1: SCIn_TEI 割り込み要求を許可	R/W
3	MPIE	マルチプロセッサ割り込み許可 調歩同期式モードで、SMR.MP ビット = 1 のとき有効です。 0: 通常の受信動作 1: マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばし、SSR レジスタの RDRF、ORER および FER の各ステータスフラグを 1 にすることはできません。 マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。	R/W(注3)
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W(注2)
6	RIE	受信割り込み許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

注 2. SMR.CM ビットが 1 のとき、TE ビット = 0 かつ RE ビット = 0 の場合にのみ 1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 の場合、任意のタイミングで書き込みが可能です。

注 3. マルチプロセッサモード (SMR.MP ビット = 1) では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

### CKE[1:0]ビット (クロック許可)

CKE[1:0]ビットは、クロックソースと SCKn 端子機能を選択します。

**TEIE ビット (送信終了割り込み許可)**

TEIE ビットは、SCIn\_TEI 割り込み要求を許可または禁止します。SCIn\_TEI 割り込み要求を禁止にするには、TEIE ビットを 0 にしてください。

簡易 IIC モードでは、開始/再開/停止条件の発行完了時の割り込み (STIn 割り込み) に SCIn\_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止することが可能です。

**MPIE ビット (マルチプロセッサ割り込み許可)**

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR レジスタの RDRF、ORER、FER、RDF、および DR の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 になり、通常の受信動作に戻ります。詳細は、「24.4. マルチプロセッサ通信機能」を参照してください。

SSR レジスタの MPB ビットが 0 のときは、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることはできません。

MPB ビットが 1 であると、MPIE ビットは自動的に 0 に設定され、SCIn\_RXI および SCIn\_ERI 割り込み要求が許可されます (SCR.RIE ビットが 1 の場合)。また、ORER および FER フラグを 1 に設定できます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

**RE ビット (受信許可)**

RE ビットは、シリアル受信動作を許可または禁止します。RE ビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信を開始します。RE ビットを 1 にする前に、SMR レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、および PER の各フラグは影響を受けず、以前の値が保持されます。

**TE ビット (送信許可)**

TE ビットはシリアル送信動作を許可または禁止します。

TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR レジスタに送信フォーマットを設定してください。

**RIE ビット (受信割り込み許可)**

RIE ビットは、SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn\_RXI および SCIn\_ERI 割り込み要求が禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

**TIE ビット (送信割り込み許可)**

TIE ビットは SCIn\_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn\_TXI 割り込み要求が禁止されます。

**24.2.10 SCR\_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)**

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x02

Bit position: 7 6 5 4 3 2 1 0

Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]
------------	-----	-----	----	----	------	------	----------

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0: SMR_SMCI.GM = 0 の場合：出力禁止 SCKn 端子は、入出力ポートの設定でセットアップされている場合は入出力ポートとして使用できます。 SMR_SMCI.GM = 1 の場合：出力を Low に固定 0 1: SMR_SMCI.GM = 0 の場合：出力クロック SMR_SMCI.GM = 1 の場合：出力クロック 1 0: SMR_SMCI.GM = 0 の場合：設定禁止 SMR_SMCI.GM = 1 の場合：出力を High に固定 1 1: SMR_SMCI.GM = 0 の場合：設定禁止 SMR_SMCI.GM = 1 の場合：出力クロック	R/W(注1)
2	TEIE	送信終了割り込み許可 スマートカードインタフェースモードでは、このビットを 0 にしてください。	R/W
3	MPIE	マルチプロセッサ割り込み許可 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W(注2)
6	RIE	レシーブインタラプト許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

注 2. TE ビット = 0 かつ RE ビット = 0 の場合にのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。

SCR\_SMCI レジスタは、送受信制御、割り込み制御、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、「[24.10. 割り込み要因](#)」を参照してください。

### CKE[1:0]ビット (クロック許可)

CKE[1:0]ビットは SCKn 端子からのクロック出力を制御します。GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、「[24.6.8. クロック出力制御](#)」を参照してください。

### TEIE ビット (送信終了割り込み許可)

スマートカードインタフェースモードでは、TEIE ビットを 0 にしてください。

### MPIE ビット (マルチプロセッサ割り込み許可)

スマートカードインタフェースモードでは、MPIE ビットを 0 にしてください。

### RE ビット (受信許可)

RE ビットはシリアル受信動作を許可または禁止します。RE ビットを 1 にすると、スタートビットを検出することでシリアル受信を開始します。RE ビットを 1 にする前に、SMR\_SMCI レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止しても、SSR\_SMCI レジスタの ORER、FER、および PER の各フラグは影響を受けず、以前の値を保持します。

### TE ビット (送信許可)

TE ビットはシリアル送信動作を許可または禁止します。TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR\_SMCI レジスタに送信フォーマットを設定してください。

**RIE ビット (レシーブインタラプト許可)**

RIE ビットは SCIn\_RXI および SCIn\_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn\_RXI および SCIn\_ERI 割り込み要求が禁止されます。

SCIn\_ERI 割り込み要求の解除は、SSR\_SMC1 レジスタの ORER、FER、または PER フラグから 1 を読み出した後にフラグを 0 にするか、あるいは RIE ビットを 0 にすることで行うことができます。

**TIE ビット (送信割り込み許可)**

TIE ビットは SCIn\_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn\_TXI 割り込み要求が禁止されます。

**24.2.11 SSR : 非スマートカードインタフェース用シリアルステータスレジスタ (SCMR.SMIF = 0)**

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 送信フレーム中のマルチプロセッサビットの値を設定します。 0: データ送信サイクル 1: ID 送信サイクル	R/W
1	MPB	マルチプロセッサ 受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(/W) (注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R(/W) (注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R(/W) (注1)

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

**MPBT ビット (マルチプロセッサビット転送)**

MPBT ビットは、送信フレームのマルチプロセッサビットの値を設定します。

### MPB ビット (マルチプロセッサ)

MPB ビットは受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

### TEND フラグ (送信終了フラグ)

TEND フラグは、送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0 (シリアル送信動作を禁止) のとき SCR.TE ビットが 1 のときは、TEND フラグは影響を受けず、1 の値を保持します
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

### PER フラグ (パリティエラーフラグ)

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき  
パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn\_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき。PER フラグに 0 を書いた後は、PER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

### FER フラグ (フレーミングエラーフラグ)

FER フラグは、調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき  
2 ストップビットモードでは、ストップビットの 1 ビット目のみがチェックされます。2 ビット目はチェックされません。フレーミングエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn\_RXI 割り込み要求は発生しません。FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- FER = 1 を読んだ後、FER = 0 を書いたとき。FER フラグに 0 を書いた後は、FER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、FER フラグは影響を受けず、以前の値を保持します。

### ORER フラグ (オーバーランエラーフラグ)

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーもフレーミングエラーもない受信データを読み出す前に、次のデータを受信したとき

オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- ORER = 1 を読んだ後、ORER = 0 を書いたとき。ORER フラグに 0 を書いた後は、ORER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、ORER フラグは影響を受けず、以前の値を保持します。

### RDRF フラグ (受信データフルフラグ)

RDRF レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- RDRF = 1 を読んだ後、RDRF = 0 を書いたとき
- RDR レジスタからデータを転送したとき

### TDRE フラグ (送信データエンptyフラグ)

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- TDRE = 1 を読んだ後、TDRE = 0 を書いたとき
- SCR.TE ビットが 1 の状態で、データを TDR レジスタに書き込んだとき

## 24.2.12 SSR\_SMCI : スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1)

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W
1	MPB	マルチプロセッサ スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーなし 1: パリティエラーの発生あり	R/W(注1)

ビット	シンボル	機能	R/W
4	ERS	エラーシグナルステータスフラグ 0: エラーシグナル Low 応答なし 1: エラーシグナル Low 応答あり	R/W(注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/W(注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/W(注1)

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR\_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグのためのレジスタです。

### TEND フラグ (送信終了フラグ)

受信側からエラー信号がなく、次の転送データが TDR レジスタに転送可能となったとき、TEND フラグは 1 になります。

[1 になる条件]

- SCR\_SMCI.TE = 0 (シリアル送信動作を禁止) のとき  
SCR\_SMCI.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 1 バイトの最終データを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき

1 になるタイミングは、以下のように、レジスタの設定値によって決定されます。

- SMR\_SMCI.GM = 0、SMR\_SMCI.BLK = 0 のとき、送信開始から 12.5 etu 経過後
- SMR\_SMCI.GM = 0、SMR\_SMCI.BLK = 1 のとき、送信開始から 11.5 etu 経過後
- SMR\_SMCI.GM = 1、SMR\_SMCI.BLK = 0 のとき、送信開始から 11.0 etu 経過後
- SMR\_SMCI.GM = 1、SMR\_SMCI.BLK = 1 のとき、送信開始から 11.0 etu 経過後

[0 になる条件]

- SCR\_SMCI.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR\_SMCI.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

### PER フラグ (パリティエラーフラグ)

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCI<sub>n</sub> RXI 割り込み要求は発生しません。PER フラグが 1 になった後は、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき。PER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR\_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず、以前の値を保持します。

### ERS フラグ (エラーシグナルステータスフラグ)

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- ERS = 1 を読んだ後、ERS = 0 を書いたとき

### ORER フラグ (オーバーランエラーフラグ)

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき。オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

[0 になる条件]

- ORER = 1 を読んだ後、ORER = 0 を書いたとき。ORER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR\_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

### RDRF フラグ (受信データフルフラグ)

RDRF レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- RDRF = 1 を読んだ後、RDRF = 0 を書いたとき
- RDR レジスタからデータを転送したとき

### TDRE フラグ (送信データエンプティフラグ)

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR\_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- TDRE = 1 を読んだ後、TDRE = 0 を書いたとき
- SCR\_SMCI.TE ビットが 1 の状態でデータを TDR レジスタに書き込んだとき

## 24.2.13 SCMR : スマートカードモードレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF

Value after reset: 1 1 1 1 0 0 1 0

ビット	シンボル	機能	R/W
0	SMIF	スマートカードインタフェースモード選択 0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易 SPI モード、または簡易 IIC モード) 1: スマートカードインタフェースモード	R/W(注1)
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W



ビット	シンボル	機能	R/W
2	SINV	送受信データ反転 簡易 IIC モードで動作させる場合は、SINV ビットを 0 にしてください。 SINV ビットは以下のモードで使用可能です。 <ul style="list-style-type: none"> <li>スマートカードインタフェースモード</li> <li>調歩同期式モード (マルチプロセッサモードを含む)</li> <li>クロック同期式モード</li> <li>簡易 SPI モード</li> </ul> 0: TDR レジスタの内容をそのまま送信。受信データをそのまま RDR レジスタに格納。 1: TDR レジスタの内容を反転して送信。受信データを反転して RDR レジスタに格納。	R/W <sup>(注1)</sup>
3	SDIR	送受信データ転送方向 簡易 IIC モードで動作させる場合は、SDIR ビットを 1 にしてください。 SDIR ビットは以下のモードで使用可能です。 <ul style="list-style-type: none"> <li>スマートカードインタフェースモード</li> <li>調歩同期式モード (マルチプロセッサモードを含む)</li> <li>クロック同期式モード</li> <li>簡易 SPI モード</li> </ul> 0: LSB ファースト転送 1: MSB ファースト転送	R/W <sup>(注1)</sup>
4	CHR1	キャラクタ長 1 調歩同期式モードでのみ有効です。 <sup>(注2)</sup> SMR.CHR ビットと組み合わせて送受信キャラクタ長を選択します。 0: SMR.CHR = 0: データ長 9 ビットで送受信 SMR.CHR = 1: データ長 9 ビットで送受信 1: SMR.CHR = 0: データ長 8 ビットで送受信 (初期値) SMR.CHR = 1: データ長 7 ビットで送受信 <sup>(注3)</sup>	R/W <sup>(注1)</sup>
6:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	BCP2	基本クロックパルス 2 SMR_SMCI.BCP[1:0] ビットと組み合わせて基本クロックのサイクル数を選択します。 表 24.5 に、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせを示します。	R/W <sup>(注1)</sup>

注 1. SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定となります。

注 3. LSB ファーストを選択する必要があります。TDR レジスタの MSB (ビット [7]) の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

### SMIF ビット (スマートカードインタフェースモード選択)

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。本ビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード (マルチプロセッサモードを含む)
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

### SINV ビット (送受信データ反転)

SINV ビットは、送受信データのロジックレベルを反転します。本ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR\_SMCI レジスタの PM ビットを反転してください。

### CHR1 ビット (キャラクタ長 1)

CHR1 ビットは、SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

### BCP2 ビット (基本クロックパルス 2)

BCP2 ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR\_SMCI.BCP[1:0] ビットと組み合わせて設定します。

表 24.5 SCMR.BCP2 ビットと SMR\_SMCI.BCP[1:0] ビットの組み合わせ

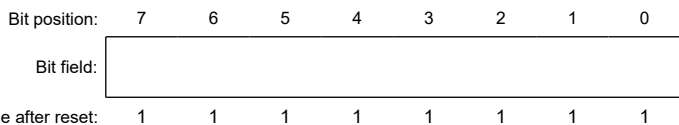
SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット	1 ビット転送時間中の基本クロック数
0	00b	93 クロック (S = 93) <sup>(注1)</sup>
0	01b	128 クロック (S = 128) <sup>(注1)</sup>
0	10b	186 クロック (S = 186) <sup>(注1)</sup>
0	11b	512 クロック (S = 512) <sup>(注1)</sup>
1	00b	32 クロック (S = 32) (初期値) <sup>(注1)</sup>
1	01b	64 クロック (S = 64) <sup>(注1)</sup>
1	10b	372 クロック (S = 372) <sup>(注1)</sup>
1	11b	256 クロック (S = 256) <sup>(注1)</sup>

注 1. S は「24.2.14. BRR: ビットレートレジスタ」レジスタの S の値を表します。

### 24.2.14 BRR: ビットレートレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x01



BRR レジスタは、ビットレートを調節するための 8 ビットのレジスタです。

表 24.6 に通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を示します。

BRR レジスタの初期値は 0xFF です。BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 24.6 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCS E ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	—
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 IIC <sup>(注1)</sup>				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	—

- 注. B : ビットレート (bps)  
 N : 内蔵ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)  
 PCLK : 動作周波数 (MHz)  
 n および S : 表 24.8 および表 24.9 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。
- 注 1. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が I<sup>2</sup>C バス規格を満たすように、ビットレートを調節してください。

表 24.7 SCLn の High レベル幅と Low レベル幅の計算

モード	SCLn	算出式 (結果は秒単位)
IIC	High 幅 (min 値)	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 24.8 クロックソースの設定

SMR または SMR_SMCI.CKS[1:0] ビットの設定値	クロックソース	n
CKS[1:0] ビット		
00b ビット	PCLK クロック	0
01b ビット	PCLK/4 クロック	1
10b ビット	PCLK/16 クロック	2
11b ビット	PCLK/64 クロック	3

表 24.9 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定値	SMR_SMCI.BCP[1:0] ビットの設定値	1 ビット期間中の基本クロック数	S
BCP2 ビット	BCP[1:0] ビット		
0	00b	93 クロックサイクル	93
0	01b	128 クロックサイクル	128
0	10b	186 クロックサイクル	186
0	11b	512 クロックサイクル	512
1	00b	32 クロックサイクル	32
1	01b	64 クロックサイクル	64
1	10b	372 クロックサイクル	372
1	11b	256 クロックサイクル	256

表 24.10 に通常の調歩同期式モードにおける、BRR レジスタ値 (N) の設定例を示します。表 24.11 に各動作周波数において設定可能な最大ビットレートを示します。表 24.15 にスマートカードインタフェースモードにおける、BRR レジスタ値 (N) の設定例を示します。

スマートカードインタフェースモードでは、1 ビット転送時間における基本クロックのサイクル数 S を選択できます。詳細は、「24.6.4. 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 24.12 と表 24.14 に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは表 24.16 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 24.10 各ビットレートに対する BRR の設定例 (調歩同期式モード) (1) (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)															
	8			9.8304			10			12			12.288			
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08	
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00	

表 24.10 各ビットレートに対する BRR の設定例 (調歩同期式モード) (1) (2/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

表 24.10 各ビットレートに対する BRR の設定例 (調歩同期式モード) (1) (3/3)

ビットレート (bps)	動作周波数 PCLK (MHz)																	
	14			16			17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

注. この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。  
 ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。  
 ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 24.11 各動作周波数における最大ビットレート (調歩同期式モード) (1/2)

PCLK (MHz)	SEMR の設定					最大ビットレート (bps)	PCLK (MHz)	SEMR の設定					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250000	17.2032	0	0	0	0	0	537600
		1	0	0	0	500000			1	0	0	0	1075200
	1	0	0	0	0	1000000		1	0	0	0	0	2150400
		1	0	0	0				1	0	0	0	
	Don't care	Don't care	1	0	0	1333333		Don't care	Don't care	1	0	0	2867200

表 24.11 各動作周波数における最大ビットレート (調歩同期式モード) (2/2)

PCLK (MHz)	SEMR の設定					最大ビットレート (bps)	PCLK (MHz)	SEMR の設定					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
9.8304	0	0	0	0	0	307200	18	0	0	0	0	0	562500
		1	0	0	0	614400			1	0	0	0	1125000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1228800			1	0	0	0	2250000
	Don't care	Don't care	1	0	0	1638400		Don't care	Don't care	1	0	0	3000000
10	0	0	0	0	0	312500	19.6608	0	0	0	0	0	614400
		1	0	0	0	625000			1	0	0	0	1228800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1250000			1	0	0	0	2457600
	Don't care	Don't care	1	0	0	1666666		Don't care	Don't care	1	0	0	3276800
12	0	0	0	0	0	375000	20	0	0	0	0	0	625000
		1	0	0	0	750000			1	0	0	0	1250000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1500000			1	0	0	0	2500000
	Don't care	Don't care	1	0	0	2000000		Don't care	Don't care	1	0	0	3333333
12.288	0	0	0	0	0	384000							
		1	0	0	0	768000							
	1	0	0	0	0								
		1	0	0	0	1536000							
	Don't care	Don't care	1	0	0	2048000							
14	0	0	0	0	0	437500							
		1	0	0	0	875000							
	1	0	0	0	0								
		1	0	0	0	1750000							
	Don't care	Don't care	1	0	0	2333333							
16	0	0	0	0	0	500000							
		1	0	0	0	1000000							
	1	0	0	0	0								
		1	0	0	0	2000000							
	Don't care	Don't care	1	0	0	2666666							

表 24.12 外部クロック入力時の最大ビットレート (調歩同期式モード) (1/2)

最大ビットレート (bps)			
PCLK (MHz)	外部入力クロック (MHz)	SEMR.ABCS = 0	SEMR.ABCS = 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500

表 24.12 外部クロック入力時の最大ビットレート (調歩同期式モード) (2/2)

最大ビットレート (bps)			
PCLK (MHz)	外部入力クロック (MHz)	SEMR.ABCS = 0	SEMR.ABCS = 1
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000

表 24.13 各ビットレートに対する BBR の設定例 (クロック同期式モード、簡易 SPI モード)

ビットレート (bps)	動作周波数 PCLK (MHz)							
	8		10		16		20	
	n	N	n	N	n	N	n	N
2.5k	1	199	1	249	2	99	2	124
5k	1	99	1	124	1	199	1	249
10k	0	199	0	249	1	99	1	124
25k	0	79	0	99	0	159	0	199
50k	0	39	0	49	0	79	0	99
100k	0	19	0	24	0	39	0	49
250k	0	7	0	9	0	15	0	19
500k	0	3	0	4	0	7	0	9
1M	0	1			0	3	0	4
2.5M			0	0(注1)			0	1
5M							0	0(注1)
7.5M								

注. 空欄：設定禁止

注 1. 連続送受信はできません。1 フレームの送受信後、次のフレームの送受信を開始するまでに 1 ビット期間の間隔が空きます。すなわち、同期クロックの出力が 1 ビット期間停止します。そのため、1 フレーム (8 ビット) のデータ転送に 9 ビット分の時間がかかり、平均転送レートはビットレートの 8/9 倍になります。

表 24.14 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易 SPI モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333

表 24.15 各ビットレートに対する BBR の設定 (スマートカードインタフェースモード、n = 0、S = 372 の場合) (1/2)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

表 24.15 各ビットレートに対する BBR の設定 (スマートカードインタフェースモード、n = 0、S = 372 の場合) (2/2)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

表 24.16 各動作周波数における最大ビットレート (スマートカードインタフェースモード、S = 32 の場合)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0

表 24.17 各ビットレートに対する BBR の設定例 (簡易 IIC モード)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	1	12	-3.8	1	15	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	5	4.2
50k	0	4	0.0	0	5	4.2	1	2	-16.7	1	2	4.2
100k <sup>(注1)</sup>	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7
350k	—	—	—	—	—	—	—	—	—	0	1	-10.7
400k <sup>(注1)</sup>	—	—	—	—	—	—	—	—	—	0	1	-21.9

注 1. 100 kbps と 400 kbps のビットレートは、設定値の誤差がマイナス側にあることを意味しています。

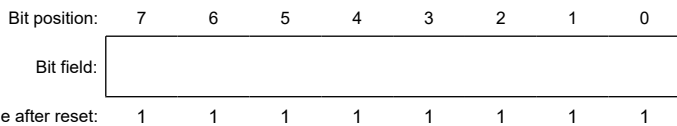
表 24.18 各ビットレート設定での SCLn の High/Low 幅最小値 (簡易 IIC モード)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	SCLn High/Low 幅最小値 (μs)	n	N	SCLn High/Low 幅最小値 (μs)	n	N	SCLn High/Low 幅最小値 (μs)	n	N	SCLn High/Low 幅最小値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	5	16.80/19.20
50k	0	4	8.75/10.00	0	5	8.40/9.60	1	2	10.50/12.00	1	2	8.40/9.60
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k	—	—	—	—	—	—	—	—	—	0	1	1.40/1.60
400k	—	—	—	—	—	—	—	—	—	0	1	1.40/1.60

### 24.2.15 MDDR : 変調デューティレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x12



MDDR レジスタは、BRR レジスタで調節されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます (M/256)。MDDR レジスタの設定値 M とビットレート B の関係を表 24.19 に示します。

MDDR レジスタの初期値は 0xFF です。本レジスタのビット[7]は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

**表 24.19 ビットレート変調機能使用時の MDDR レジスタ設定値 M とビットレート B の関係**

B : ビットレート (bps)

M : MDDR 設定 (128 ≤ MDDR ≤ 256)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

PCLK : 動作周波数 (MHz)

n および S : 「24.2.14. BRR : ビットレートレジスタ」の表 24.8 と表 24.9 に示すように、SMR/SMR\_SMCI レジスタと SCMR レジスタの設定値によって決まります。

x: Don't care

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式マルチプロセッサ転送	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	誤差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	誤差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	0	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	誤差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	1	1	0	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	誤差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
	x	x	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	誤差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI(注1)				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	—
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \left(\frac{256}{M}\right) \times B} - 1$	誤差(%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \left(\frac{256}{M}\right) \times (N+1)} - 1 \right\} \times 100$
簡易 IIC(注2)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \left(\frac{256}{M}\right) \times B} - 1$	—

注 1. クロック同期式モードと、簡易 SPI モードの最高速設定 (SMR.CKS[1:0]ビット = 00b、SCR.CKE[1]ビット = 0、および BRR = 0) では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCLn 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調節してください。



通常の調歩同期式モードにおける、BRR レジスタ値 N と MDDR レジスタ値 M の設定例を表 24.20 と表 24.21 に示します。

表 24.20 各ビットレートに対する BRRMDDR との設定例 (調歩同期式モード) (1) (1/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

表 24.20 各ビットレートに対する BRRMDDR との設定例 (調歩同期式モード) (1) (2/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

表 24.20 各ビットレートに対する BRRMDDR との設定例 (調歩同期式モード) (1) (3/3)

ビット レート (bps)	動作周波数 PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。  
SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

表 24.21 各ビットレートに対する BRR と MDDR の設定例 (調歩同期式モード) (2)

ビットレート (bps)	動作周波数 PCLK (MHz)									
	19.6608					20				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01
57600	0	9	240	0	0.00	0	9	236	0	0.03
115200	0	4	240	0	0.00	0	4	236	0	0.03
230400	0	1	192	0	0.00	0	4	236	1	0.03
460800	0	0	192	0	0.00	0	0	189	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。  
SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

## 24.2.16 SEMR : シリアル拡張モードレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RXDE SEL	BGDM	NFEN	ABCS	ABCS E	BRME	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	BRME	ビットレート変調有効 0: ビットレート変調機能は無効 1: ビットレート変調機能は有効	R/W(注1)
3	ABCSE	調歩同期拡張基本クロック選択 1 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です。 0: 1 ビット期間のクロックサイクル数は、SEMR レジスタの BGDM ビットと ABCS ビットの組み合わせにより決定 1: ボーレートは 1 ビット期間に対して基本クロックの 6 サイクル	R/W(注1)
4	ABCS	調歩同期基本クロック選択 調歩同期式モードでのみ有効 0: 1 ビット期間に対して基本クロックの 16 サイクルを選択 1: 1 ビット期間に対して基本クロックの 8 サイクルを選択	R/W(注1)
5	NFEN	デジタルノイズフィルタ機能有効 他のすべてのモードでは、NFEN ビットは 0 でなければなりません。 0: 調歩同期式モードの場合 RXDn 入力信号のノイズ除去機能は無効 簡易 I <sup>2</sup> C モードの場合 SCLn と SDAn の入力信号のノイズ除去機能は無効 1: 調歩同期式モードの場合 RXDn 入力信号のノイズ除去機能は有効 簡易 I <sup>2</sup> C モードの場合 SCLn と SDAn の入力信号のノイズ除去機能は有効	R/W(注1)
6	BGDM	ボーレートジェネレータ倍速モード選択 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です 0: ボーレートジェネレータから通常の周波数のクロックを出力 1: ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W(注1)
7	RXDESEL	調歩同期スタートビットエッジ検出選択 調歩同期式モードでのみ有効です。 0: RXDn 端子入力の Low レベルでスタートビットを検出 1: RXDn 端子入力の立ち下がりエッジでスタートビットを検出	R/W(注1)

注 1. SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モードにおいて、1 ビット期間のクロックソースを選択するためのレジスタです。

### BRME ビット (ビットレート変調有効)

BRME ビットは、ビットレート変調機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを均一に補正します。

### ABCSE ビット (調歩同期拡張基本クロック選択 1)

ABCSE ビットは、1 ビット期間における基本クロックのパルス数を 6 に設定します。ボーレートジェネレータからは 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを 6 にする場合、本ビットを使用し、かつ SMR.CKS[1:0]=00b、BRR=0 に設定してください。

調歩同期式モード以外では、本ビットを 0 にしてください。調歩同期式モードにおいても、外部クロックを使用している場合は本ビットを 0 にしてください。

### ABCS ビット (調歩同期基本クロック選択)

ABCS ビットは、1 ビット期間のクロックサイクル数を選択します。

### NFEN ビット (デジタルノイズフィルタ機能有効)

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去する。
- 簡易 I<sup>2</sup>C モードでは、SDAn 入力信号と SCLn 入力信号のノイズを除去する。

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま内部信号として転送されます。

### BGDM ビット (ボーレートジェネレータ倍速モード選択)

BGDM ビットは、ボーレートジェネレータから出力する基本クロックの周波数を 2 倍にするかどうかを選択します。

BGDM ビットは、調歩同期式モード (SMR.CM ビット=0) において、クロックソースに内蔵ボーレートジェネレータ (SCR.CKE[1]ビット=0) を選択したとき有効です。外部クロック選択時 (SCR.CKE[1]ビット=1)、0 にしてください。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。

BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

本ビットは、調歩同期式モード以外では 0 にしてください。

### RXDESEL ビット (調歩同期スタートビットエッジ検出選択)

RXDESEL ビットは、調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。本ビットの設定により、ブレイク時のデータ受信動作が異なります。ブレイク中に受信動作を停止させたい場合、またはブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、本ビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

## 24.2.17 SNFR : ノイズフィルタ設定レジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	NFCS[2:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	NFCS[2:0]	ノイズフィルタクロック選択 調歩同期式モードの場合、基本クロックの標準設定を選択します。 簡易 I <sup>2</sup> C モードの場合、SMR.CKS[1:0]ビットで選択した内蔵ポーレートジェネレータのクロックソースの標準設定を選択します。  000: 調歩同期式モードの場合：1分周のクロックをノイズフィルタに使用 簡易 I <sup>2</sup> C モードの場合：設定禁止 001: 調歩同期式モードの場合：設定禁止 簡易 I <sup>2</sup> C モードの場合：1分周のクロックをノイズフィルタに使用 010: 調歩同期式モードの場合：設定禁止 簡易 I <sup>2</sup> C モードの場合：2分周のクロックをノイズフィルタに使用 011: 調歩同期式モードの場合：設定禁止 簡易 I <sup>2</sup> C モードの場合：4分周のクロックをノイズフィルタに使用 100: 調歩同期式モードの場合：設定禁止 簡易 I <sup>2</sup> C モードの場合：8分周のクロックをノイズフィルタに使用 その他: 設定禁止	R/W(注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SCR/SCR\_SMCI レジスタの TE ビットと RE ビットが 0 (シリアル送信動作を禁止、かつ受信動作を禁止) の場合にのみ書き込み可能です。

SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

### NFCS[2:0]ビット (ノイズフィルタクロック選択)

NFCS[2:0]ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 I<sup>2</sup>C モードで、SEMR レジスタの基本クロック選択ビットにおいて 32 個のクロックが 1 ビット期間として選択された場合、NFCS[2:0]ビットを 001b ~ 100b の範囲に設定してください。基本クロック選択ビットにおいて他の値が選択されている場合は、NFCS ビットを 001b に設定してください。

### 24.2.18 SIMR1 : IIC モードレジスタ 1

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICDL[4:0]				—	—	IICM	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICM	簡易 IIC モード選択  0: SCMR.SMIF = 0 : 調歩同期式モード、マルチプロセッサモード、クロック同期式モード、または簡易 SPI モード SCMR.SMIF = 1 : スマートカードインタフェースモード 1: SCMR.SMIF = 0 : 簡易 IIC モード SCMR.SMIF = 1 : 設定禁止	R/W(注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:3	IICDL[4:0]	SDAn 遅延出力選択 SDAn 内蔵ポーレートジェネレータからのクロック信号のサイクル数で示す信号出力遅延です。  0x00: 出力遅延なし その他: (IICDL - 1) サイクル ~ (IICDL) サイクル	R/W(注1)

注 1. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

### IICM ビット (簡易 IIC モード選択)

IICM ビットは、SCMR.SMIF ビットとの組み合わせで動作モードを選択します。

**IICDL[4:0]ビット (SDAn 遅延出力選択)**

IICDL[4:0]ビットは、SCLn 端子出力の立ち上がりに対する SDAn 端子出力の遅延を指定します。

内蔵ポーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0]ビットの設定によって分周された PCLK クロックが、内蔵ポーレートジェネレータからのクロック信号として供給されます。簡易 IIC モード以外では、IICDL[4:0]ビットを 00000b に設定してください。簡易 IIC モードでは、これらのビットを 00001b~11111b の範囲で設定してください。

**表 24.22 各通信モードで IICDL[4: 0]ビットに設定可能な値**

通信モード	ABCS	IICDL[4:0]ビットに設定可能な値
簡易 IIC モード以外	Don't care	00000b
簡易 IIC モード	0	00001b~11111b
	1	00001b~00100b

**24.2.19 SIMR2 : IIC モードレジスタ 2**

Base address: SCLn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	IICAC KT	—	—	—	IICCS C	IICINT M
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICINTM	IIC 割り込みモード選択 0: ACK/NACK 割り込みを使用 1: 受信割り込み、送信割り込みを使用	R/W <sup>(注1)</sup>
1	IICCSC	クロック同期化 0: クロック信号と同期しない 1: クロック信号と同期する	R/W <sup>(注1)</sup>
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	IICACKT	ACK 送信データ 0: ACK 送信 1: NACK 送信または ACK/NACK 受信	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SCR.RE ビットと SCR.TE ビットが 0 (シリアル受信動作およびシリアル送信動作を禁止) の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードにおいて、送受信の制御方法を選択するためのレジスタです。

**IICINTM ビット (IIC 割り込みモード選択)**

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

**IICCSC ビット (クロック同期化)**

他のデバイスがウェイトを挿入したため SCLn 端子が Low になったとき、内部で生成する SCLn クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCLn クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

**IICACKT ビット (ACK 送信データ)**

送信データは ACK ビットを含みます。ACK/NACK ビット受信時は、IICACKT ビットを 1 にしてください。

## 24.2.20 SIMR3 : IIC モードレジスタ 3

Base address: SCLn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTPREQ	IICRSTAREQ	IICSTAREQ

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	IICSTAREQ	開始条件生成 0: 開始条件を生成しない 1: 開始条件を生成する(注1)(注3)(注5)(注6)	R/W
1	IICRSTAREQ	再開条件生成 0: 再開条件を生成しない 1: 再開条件を生成する(注2)(注3)(注5)(注6)	R/W
2	IICSTPREQ	停止条件生成 0: 停止条件を生成しない 1: 停止条件を生成する(注2)(注3)(注5)(注6)	R/W
3	IICSTIF	開始/再開/停止条件生成完了フラグ 0: 各条件の生成要求がない状態、または生成中の状態 1: 開始条件、再開条件、停止条件の生成が完了した状態 IICSTIF ビットに 0 を書くと、0 になります。(注4)	R/W(注4)
5:4	IICSDAS[1:0]	SDAn 出力選択 00: シリアルデータ出力 01: 開始条件、再開条件、または停止条件の生成 10: SDAn 端子には Low を出力 11: SDAn 端子はハイインピーダンス状態	R/W
7:6	IICSCLS[1:0]	SCLn 出力選択 00: シリアルクロック出力 01: 開始条件、再開条件、または停止条件の生成 10: SCLn 端子には Low を出力 11: SCLn 端子はハイインピーダンス状態	R/W

注 1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。

注 2. バスの状態を確認し、バスビジー状態のときに再開条件または停止条件を生成してください。

注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。

注 4. 0 のみを書いてください。1 を書くと、その値は無視されます。

注 5. IICSTIF フラグを 0 にしてから、各条件生成を行ってください。

注 6. 1 の状態にあるとき、0 を書かないでください。このビットが 1 の状態にあるとき 0 を書くと、条件生成が中断します。

SIMR3 レジスタは、簡易 I<sup>2</sup>C モードの開始条件、再開条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。**IICSTAREQ ビット (開始条件生成)**

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

**IICRSTAREQ ビット (再開条件生成)**

再開条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開始条件の生成が完了したとき

#### IICSTPREQ ビット (停止条件生成)

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

#### IICSTIF フラグ (開始/再開始/停止条件生成完了フラグ)

IICSTIF フラグは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始条件、再開始条件、停止条件の生成が完了したとき  
1 になる条件が 0 になる条件と競合した場合は、0 になる条件が優先されます。

[0 になる条件]

- 0 を書いたとき。IICSTIF ビットに 0 を書いた後は、ビットを読み出して、実際に 0 になっていることを確認してください。
- SIMR1.IICM ビットに 0 を書いたとき (簡易 IIC モード以外の場合)
- SCR.TE ビットに 0 を書いたとき

#### IICSDAS[1:0]ビット (SDAn 出力選択)

IICSDAS[1:0]ビットは、SDAn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

#### IICSCLS[1:0]ビット (SCLn 出力選択)

IICSCLS[1:0]ビットは、SCLn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

### 24.2.21 SISR : IIC ステータスレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IICACKR
Value after reset:	0	0	x	x	0	x	0	0

ビット	シンボル	機能	R/W
0	IICACKR	ACK 受信データフラグ 0: ACK 受信 1: NACK 受信	R

ビット	シンボル	機能	R/W
1	—	読むと 0 が読めます。	R
2	—	読み出し値は不定です。	R
3	—	読むと 0 が読めます。	R
5:4	—	読み出し値は不定です。	R
7:6	—	読むと 0 が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

### IICACKR フラグ (ACK 受信データフラグ)

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。IICACKR フラグは、ACK/NACK ビット受信時の SCLn クロックの立ち上がりのタイミングで更新されます。

## 24.2.22 SPMR : SPI モードレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SSE	SSn 端子機能有効 0: SSn 端子機能は無効 1: SSn 端子機能は有効	R/W(注1)
1	CTSE	CTS 有効 0: CTS 機能は無効 (RTS 出力機能は有効) 1: CTS 機能は有効	R/W(注1)
2	MSS	マスタスレーブ選択 0: TXDn 端子は送信、RXDn 端子は受信 (マスタモード) 1: TXDn 端子は受信、RXDn 端子は送信 (スレーブモード)	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	MFF	モードフォルトフラグ 0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W(注2)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CKPOL	クロック極性選択 0: クロック極性反転なし 1: クロック極性反転あり	R/W(注1)
7	CKPH	クロック位相選択 0: クロック遅延なし 1: クロック遅延あり	R/W(注1)

注 1. SCR.TE ビットと SCR.RE ビットが 0 (シリアル送信動作およびシリアル受信動作を禁止) の場合にのみ書き込み可能です。

注 2. フラグをクリアするための 0 書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

### SSE ビット (SSn 端子機能有効)

簡易 SPI モードで SSn 端子を用いて送受信制御を行うには、SSE ビットを 1 にしてください。他のすべてのモードでは 0 にしてください。簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b および SPMR.MSS = 0) 選択時にシングルマスタが存在する場合は、送受信制御にマスタ側 SSn 端子は必要ありません。そのような場合は、SSE ビットを 0 にします。SSE ビットと CTSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。



**CTSE ビット (CTS 有効)**

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、CTSE ビットを 1 にしてください。本ビットを 0 にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、本ビットを 0 にしてください。CTSE ビットと SSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

**MSS ビット (マスタスレーブ選択)**

MSS ビットは、簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。本ビットを 1 にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。

簡易 SPI モード以外では 0 にしてください。

**MFF フラグ (モードフォルトフラグ)**

MFF フラグは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、本フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード (SSE ビット = 1 かつ MSS ビット = 0) の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

**CKPOL ビット (クロック極性選択)**

CKPOL ビットは、SCKn 端子からのクロック信号出力の極性を選択します。詳細は、[図 24.54](#) を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPOL ビットを 0 としてください。

**CKPH ビット (クロック位相選択)**

CKPH ビットは、SCKn 端子からのクロック信号出力の位相を選択します。詳細は、[図 24.54](#) を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPH ビットを 0 としてください。

**24.2.23 CDR : コンペアマッチデータレジスタ**

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x1A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPD[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	CMPD[8:0]	コンペアマッチデータ アドレス一致ウェイクアップ機能用の比較データパターンを格納します。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CDR レジスタは、アドレス一致検出機能用の比較データを設定するためのレジスタです。

**CMPD[8:0] ビット (コンペアマッチデータ)**

CMPD[8:0] ビットは、アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

以下の 3 種類のビット長から選択できます。

- 7 ビット長の CMPD[6:0]
- 8 ビット長の CMPD[7:0]

- 9ビット長の CMPD[8:0]

### 24.2.24 DCCR : データコンペアマッチコントロールレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DCME	IDSEL	—	DFER	DPER	—	—	DCMF

Value after reset: 0 1 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DCMF	データコンペアマッチフラグ 0: 不一致 1: 一致	R(/W) (注1)
2:1	—	読むと0が読めます。書く場合、0としてください。	R/W
3	DPER	データコンペアマッチパリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	DFER	データコンペアマッチフレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	—	読むと0が読めます。書く場合、0としてください。	R/W
6	IDSEL	ID フレーム選択 調歩同期式モード (マルチプロセッサモードを含む) でのみ有効です。 0: MPB ビット値とは無関係に、常にデータを比較する 1: MPB ビットが1 (ID フレーム) の場合にのみデータを比較する	R/W
7	DCME	データコンペアマッチ有効 調歩同期式モード (マルチプロセッサモードを含む) でのみ有効です。 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注1. フラグをクリアするため、1を読んだ後に0を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

#### DCMF フラグ (データコンペアマッチフラグ)

DCMF フラグは、SCI が受信データと比較データ (CDR.CMPD) の一致を検出したことを示します。

[1になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0になる条件]

- DCMF から1を読んだ後、0を書いたとき

SCR.RE ビットを0にしても、DCMF フラグは影響を受けず、以前の値を保持します。

#### DPER フラグ (データコンペアマッチパリティエラーフラグ)

DPER フラグは、アドレス一致検出 (受信データの一致検出) 時に、パリティエラーが発生したことを示します。

[1になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0になる条件]

- DPER から1を読んだ後、0を書いたとき

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DPER フラグは影響を受けず、以前の値を保持します。

#### DFER フラグ (データコンペアマッチフレーミングエラーフラグ)

DFER フラグは、アドレス一致検出 (受信データの一致検出) 時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき  
2 ストップビットモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます (2 ビット目はチェックされません)。

[0 になる条件]

- DFER から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 (シリアル受信動作を禁止) にしても、DFER フラグは影響を受けず、以前の値を保持します。

#### IDSEL ビット (ID フレーム選択)

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または SSR.MPB ビット = 1 (ID フレーム) の場合にのみ比較を行うかを選択します。

#### DCME ビット (データコンペアマッチ有効)

DCME ビットは、アドレス一致検出機能 (データコンペアマッチ機能) の有効/無効を選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作モードは通常の実受信モードになります。「24.3.6. アドレス一致 (受信データ一致) 検出機能」を参照してください。

調歩同期モード以外では、書き込み値は 0 にする必要があります。

### 24.2.25 SPTR : シリアルポートレジスタ

Base address: SCIn = 0x4007\_0000 + 0x0020 × n (n = 9)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPB2IO	SPB2DT	RXDMON
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	RXDMON	シリアル入力データモニタ RXDn 端子の状態を示します。 0: RXDn 端子は Low になる 1: RXDn 端子は High になる	R
1	SPB2DT	シリアルポートブレイクデータ選択 SCR.TE = 0 の場合、TXDn 端子の出力レベルを選択します。 0: TXDn 端子は Low を出力する 1: TXDn 端子は High を出力する	R/W
2	SPB2IO	シリアルポートブレイク入出力 TXDn 端子へ SPB2DT の値を出力するか否かを選択します。 0: SPB2DT ビットの値を TXDn 端子に出力しない 1: SPB2DT ビットの値を TXDn 端子に出力する	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPTR レジスタは、シリアル受信端子 (RXDn 端子) の状態を確認し、送信端子の状態を設定するためのレジスタです。

このレジスタは調歩同期式モードでのみ使用可能です。

表 24.23 に示すように、TXDn 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの各設定値の組み合わせで決定されます。

表 24.23 TXDn 端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXDn 端子の状態
0	0	—	Hi-Z (初期値)
0	1	0	Low を出力
0	1	1	High を出力
1	—	—	シリアル送信データを出力

注. —: Do not care.

注. SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

### 24.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 24.2 に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットと見なしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送受信中でもデータの読み出し/書き込みが可能であり、連続送受信動作が実現されます。

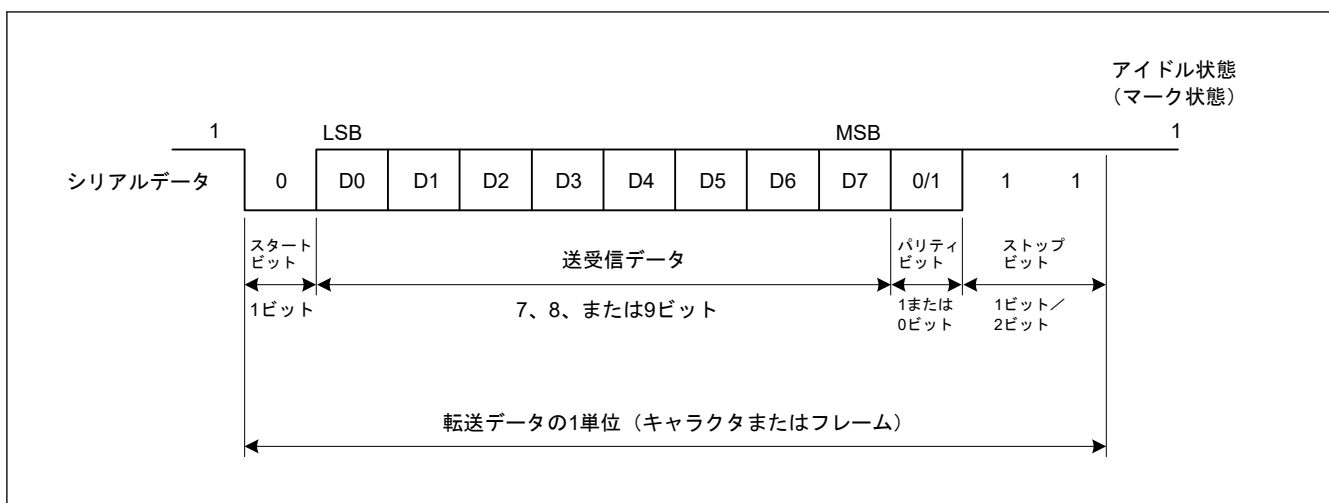


図 24.2 調歩同期式シリアル通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの場合)

#### 24.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル送信/受信フォーマットを表 24.24 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については「24.4. マルチプロセッサ通信機能」を参照してください。

表 24.24 シリアル転送フォーマット (調歩同期式モード) (1/2)

SCMR 設定値	SMR 設定値				シリアル送信/受信フォーマットとフレーム長												
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	0	0	ST	9 ビットデータ										SP

表 24.24 シリアル転送フォーマット (調歩同期式モード) (2/2)

SCMR 設定値	SMR 設定値				シリアル送信/受信フォーマットとフレーム長																
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13			
0	0	0	0	0	1	ST	9 ビットデータ									SP	SP				
0	0	1	0	0	0	ST	9 ビットデータ									P	SP				
0	0	1	0	1	1	ST	9 ビットデータ									P	SP	SP			
1	0	0	0	0	0	ST	8 ビットデータ									SP					
1	0	0	0	1	1	ST	8 ビットデータ									SP	SP				
1	0	1	0	0	0	ST	8 ビットデータ									P	SP				
1	0	1	0	1	1	ST	8 ビットデータ									P	SP	SP			
1	1	0	0	0	0	ST	7 ビットデータ									SP					
1	1	0	0	1	1	ST	7 ビットデータ									SP	SP				
1	1	1	0	0	0	ST	7 ビットデータ									P	SP				
1	1	1	0	1	1	ST	7 ビットデータ									P	SP	SP			
0	0	—	1	0	0	ST	9 ビットデータ									MPB	SP				
0	0	—	1	1	1	ST	9 ビットデータ									MPB	SP	SP			
1	0	—	1	0	0	ST	8 ビットデータ									MPB	SP				
1	0	—	1	1	1	ST	8 ビットデータ									MPB	SP	SP			
1	1	—	1	0	0	ST	7 ビットデータ									MPB	SP				
1	1	—	1	1	1	ST	7 ビットデータ									MPB	SP	SP			

ST: スタートビット  
 SP: ストップビット  
 P: パリティビット  
 MPB: マルチプロセスビット

### 24.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍<sup>(注1)</sup>の周波数の基本クロックで動作します。  
 受信時はスタートビットの立ち下がりエッジを基本クロックでサンプリングして内部を同期化します。

また、[図 24.3](#) に示すように、受信データは基本クロックの 8 パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 [\%] \quad \dots \quad \text{式 (1)}$$

注. M: 受信マージン

N: クロックに対するビットレートの比

(SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 の場合は、N = 16)

SEMR.ABCS = 1 の場合、N = 8

(SEMR.ABCSE = 1 の場合は、N = 6)

D: クロックのデューティサイクル (D = 0.5~1.0)

L: フレーム長 (L = 9~13)

F: クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは下記の式で算出されます。

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 \%$$

これは計算上の値を表しています。システム設計の際には 20~30%の余裕を持たせることが推奨されます。

注 1. この例では、SEMR.ABCS ビットと SEMR.ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。

ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

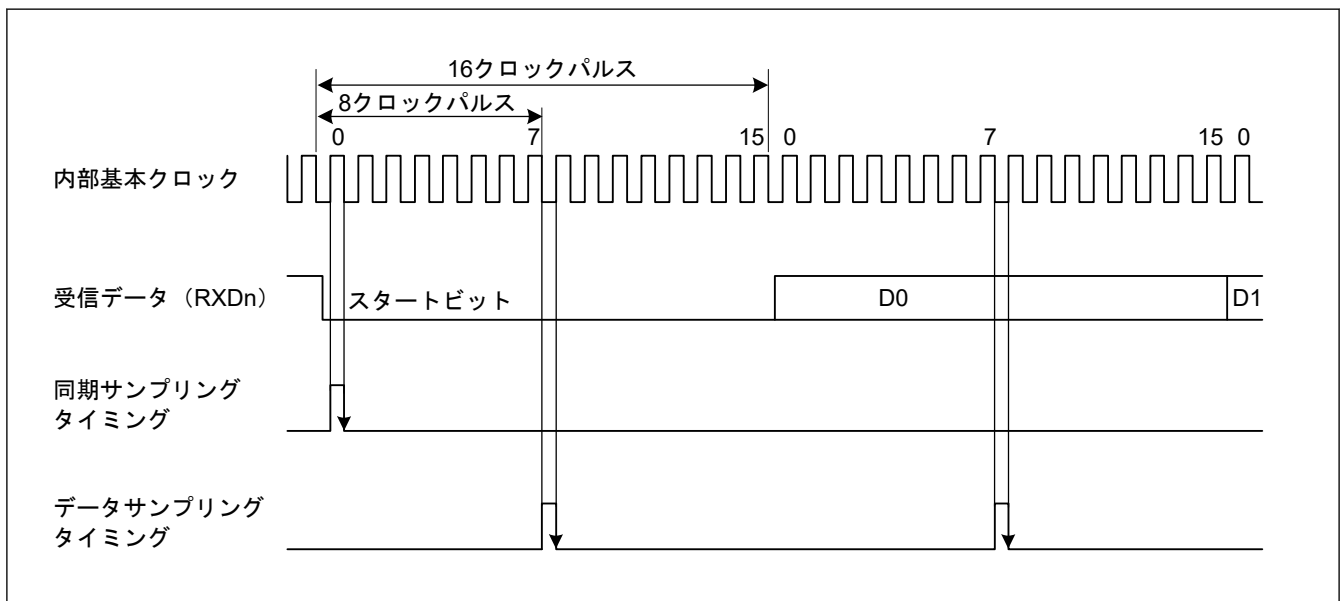


図 24.3 調歩同期式モードでの受信データサンプリングタイミング

### 24.3.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍 (SEMR.ABCS ビット = 0 のとき)、または 8 倍 (SEMR.ABCS ビット = 1 のとき) の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は [図 24.4](#) に示すように、送信データの間際にクロックの立ち上がりエッジが来るように設定されます。

クロック出力を選択した場合は、SCR.TE = 1 もしくは SCR.RE = 1 に設定した後でクロック出力が行われます。

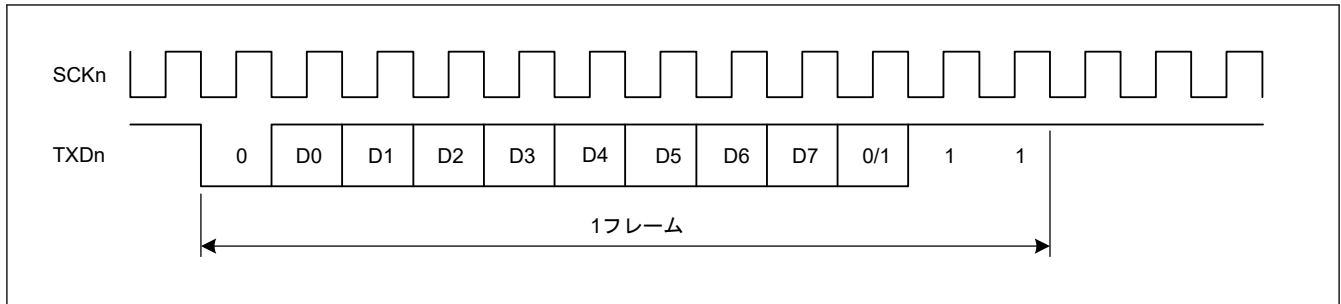


図 24.4 調歩同期式モードにおける出力クロックと送信データの位相関係 (SMR.CHR = 0、PE = 1、MP = 0、および STOP = 1 の場合)

#### 24.3.4 倍速動作とビットレートの6倍の周波数

SEMR.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。SEMR.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。SCR.CKE[1] ビットを 0 にして、内蔵ポーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。

SEMR.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6 になり、SEMR.ABCS、SEMR.BGDM、および SEMR.ABCSE が 0 の場合に比べて、SCI は 16/3 倍のビットレートで動作します。

「24.3.2. 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) に示すとおり、SEMR.ABCS ビットまたは SEMR.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、ABCS ビットまたは ABCSE ビットが 0 の状態で目的とするビットレートが達成できるのであれば、ABCS ビットと ABCSE ビットを 0 にして SCI を使用することが推奨されます。

#### 24.3.5 CTS、RTS 機能

CTS 機能は、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。

CTS 機能が有効な場合、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low になると送信が開始されます。

送信中に CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力を使用して受信要求を行う機能で、受信可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

- SCR.RE ビットが 1
- 受信動作中でない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

[High になる条件]

- Low になる条件を満たさない場合

#### 24.3.6 アドレス一致 (受信データ一致) 検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットを 1 にした場合<sup>(注2)</sup>、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ (CDR.CMPD<sup>(注1)</sup>) の一致が検出された場合、SCI<sub>n</sub>\_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード (SMR.MP ビット=1) では、DCCR.IDSEL ビットが 1 の場合、MPB ビット=1 の受信データがアドレス一致の比較対象となり、MPB ビット=0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ (CDR.CMPD<sup>(注1)</sup>) の一致が検出されるまで、受信データが読み飛ばされる (廃棄される) ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。DCCR.IDSEL ビットが 1 の場合は、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。SCR.RIE ビットが 1 になっていると、SCI は SCI<sub>in</sub>\_RXI 割り込み要求を発行します。

一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタに格納されません。また、SSR.RDRF フラグは 0 を保持します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を図 24.5 および図 24.6 に示します。

注 1. 比較対象は、以下の 3 種類のビット長から選択できます。7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]

注 2. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、DCCR.DCME ビットを 1 にしてください。

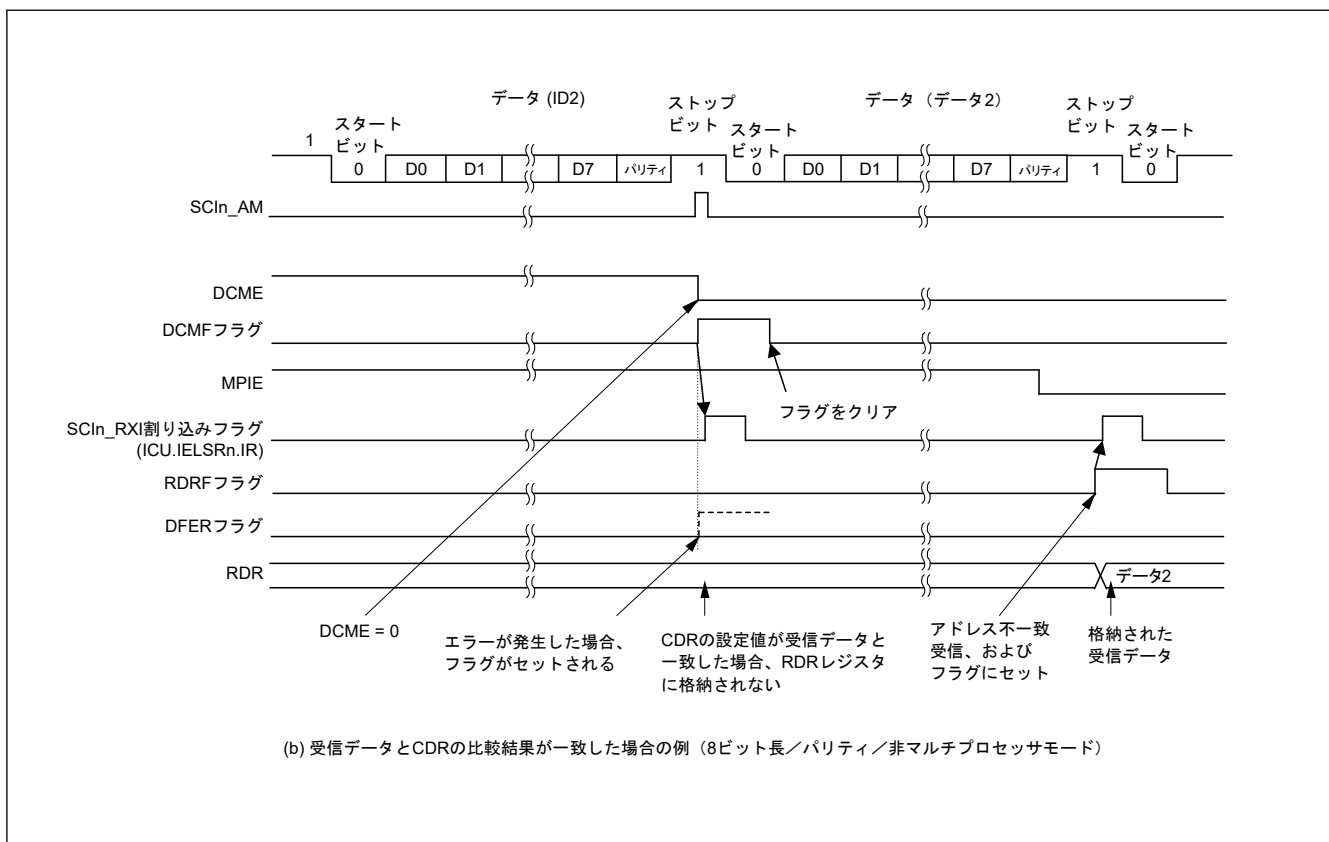


図 24.5 アドレス一致検出の例 (1) (通常モード)



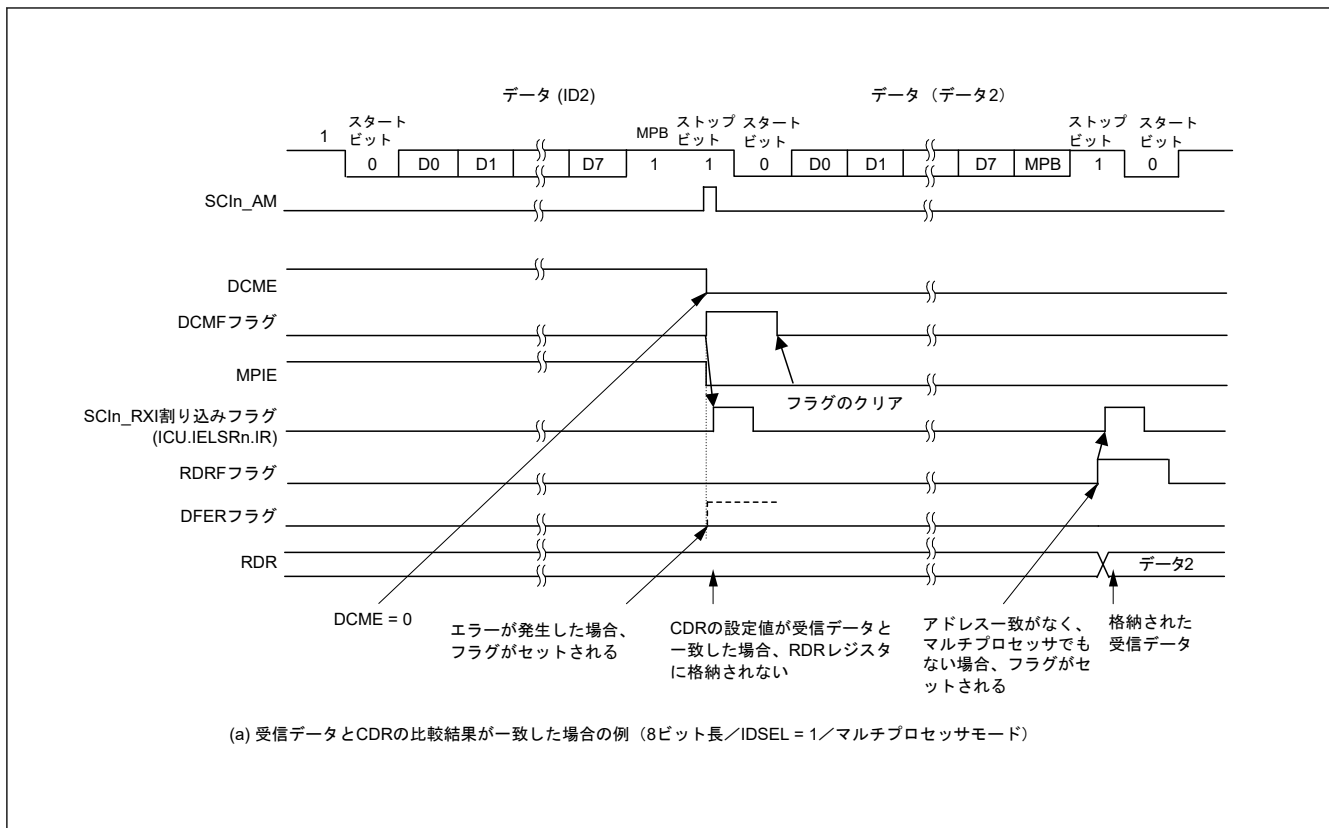


図 24.6 アドレス一致検出の例 (2) (マルチプロセッサモード)

### 24.3.7 SCI の初期化 (調歩同期式モード)

データを送受信する前に、最初に初期値 0x00 を SCR レジスタに書き込み、次に SCI の初期設定を表 24.25 のフローチャートに従って続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロックを供給してください。

注. SCR.RE ビットを 0 にしても、SSR レジスタの ORER、FER、RDRF、RDF、PER、DR の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。

注. SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn\_TXI 割り込み要求が発生します。

表 24.25 調歩同期式モードにおける SCI の初期化フローチャート例 (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	SCR.CKE[1:0] ビットを設定	SCR レジスタにクロック選択を設定します。 調歩同期モードでクロック出力を選択した場合は、SCR 設定の完了後、ただちにクロックが出力されます。
4	SIMR1.IICM ビットを 0 に設定します。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。	SIMR1.IICM ビットを 0 にします。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 にします。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
5	SMR、SCMR、および SEMR レジスタに送信/受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信/受信フォーマットを設定します。

表 24.25 調歩同期式モードにおける SCI の初期化フローチャート例 (2/2)

番号	ステップ名	説明
6	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
7	MDDR に値を設定	MDDR レジスタにビットレート誤差補正值を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
8	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
9	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
10	初期化の完了	

### 24.3.8 シリアルデータの送信（調歩同期式モード）

図 24.7、図 24.8、および図 24.9 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本項では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム分の High レベルが TXDn 端子に出力されます。

- SCI<sub>In</sub>\_TXI 割り込み処理ルーチンで TDR レジスタ(注1)にデータが書き込まれると、SCI は TDR レジスタ(注1)から TSR レジスタへデータを転送します。  
なお、送信開始時の SCI<sub>In</sub>\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
- SPMR.CTSE ビットが 0 (CTS 機能は無効) であるか、または CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low であると、TDR レジスタ(注1)から TSR レジスタへデータが転送され、送信が開始されます。SCR.TIE ビットが 1 であれば、SCI<sub>In</sub>\_TXI 割り込み要求が発生します。この SCI<sub>In</sub>\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ(注1)に次の送信データを書き込むことで連続送信が可能になります。SCI<sub>In</sub>\_TEI 割り込み要求を使用する場合、SCI<sub>In</sub>\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ(注1)に書き込んだ後、SCR.TIE ビットを 0 (SCI<sub>In</sub>\_TXI 割り込み要求を禁止) にして、SCR.TEIE ビットを 1 (SCI<sub>In</sub>\_TEI 割り込み要求を許可) にします。
- データは、以下の順に TXDn 端子から送り出されます。
  - スタートビット
  - 送信データ
  - パリティビットまたはマルチプロセッサビット (フォーマットによっては、ない場合もある)
  - ストップビット
- ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
- TDR レジスタが更新されていると、SPMR.CTSE ビットが 0 (CTS 機能は無効)、または CTS<sub>n</sub>\_RTS<sub>n</sub> 端子入力が Low に設定されていれば、次の送信データが TDR レジスタ(注1)から TSR レジスタへ転送され、ストップビット送過後、次のフレームのシリアル送信が開始されます。
- TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCI<sub>In</sub>\_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDR レジスタは TDRHL レジスタになります。

図 24.7、図 24.8、および図 24.9 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

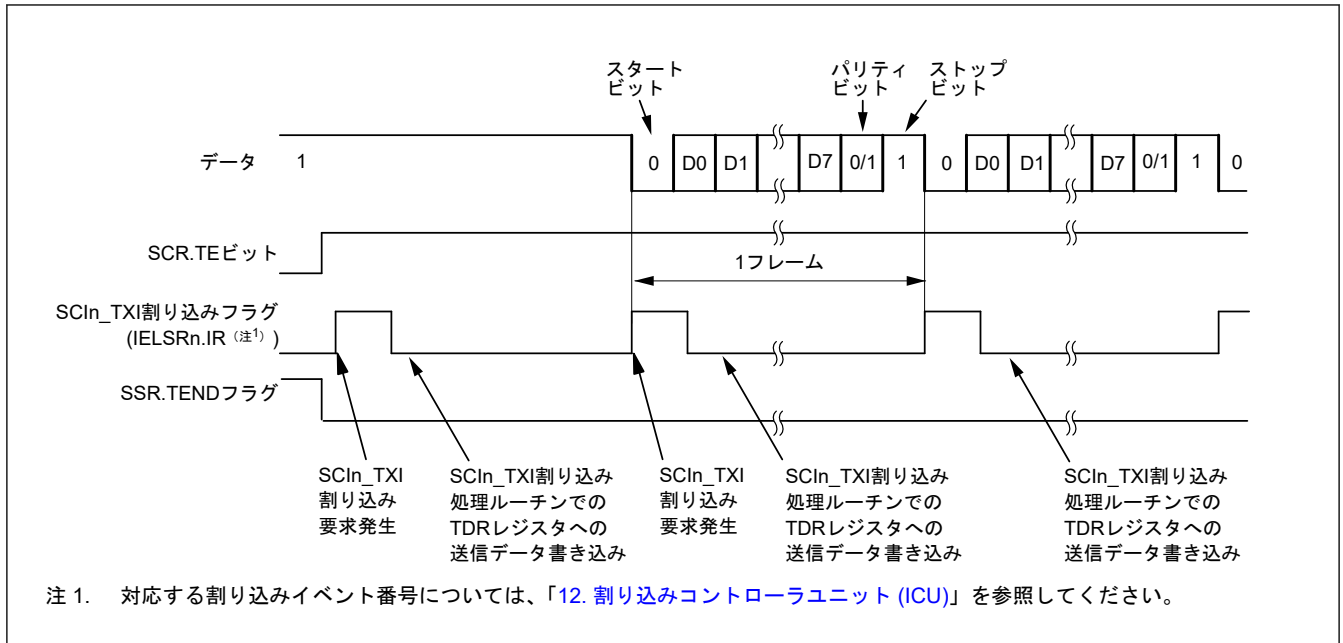


図 24.7 調歩同期式モードにおけるシリアル送信の動作例 (1) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能不使用/送信開始時)

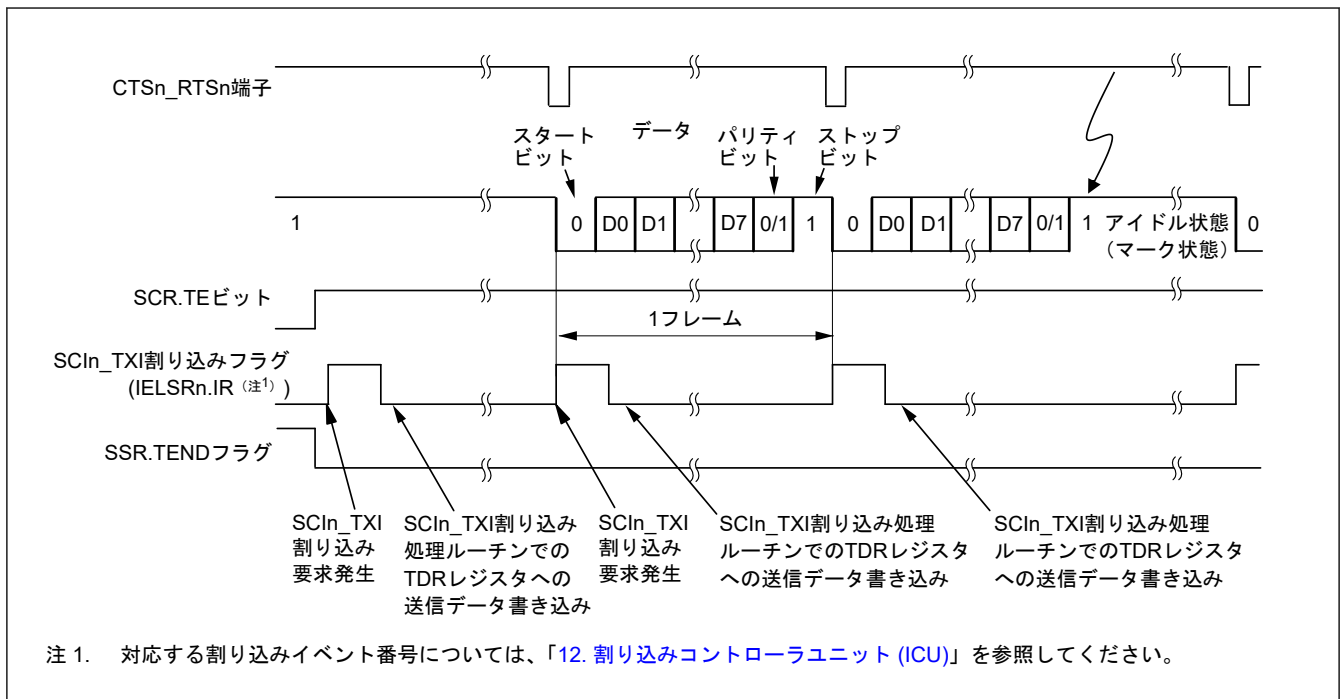


図 24.8 調歩同期式モードにおけるシリアル送信の動作例 (2) (8 ビットデータ/パリティあり/1ストップビット/CTS 機能使用/送信開始時)

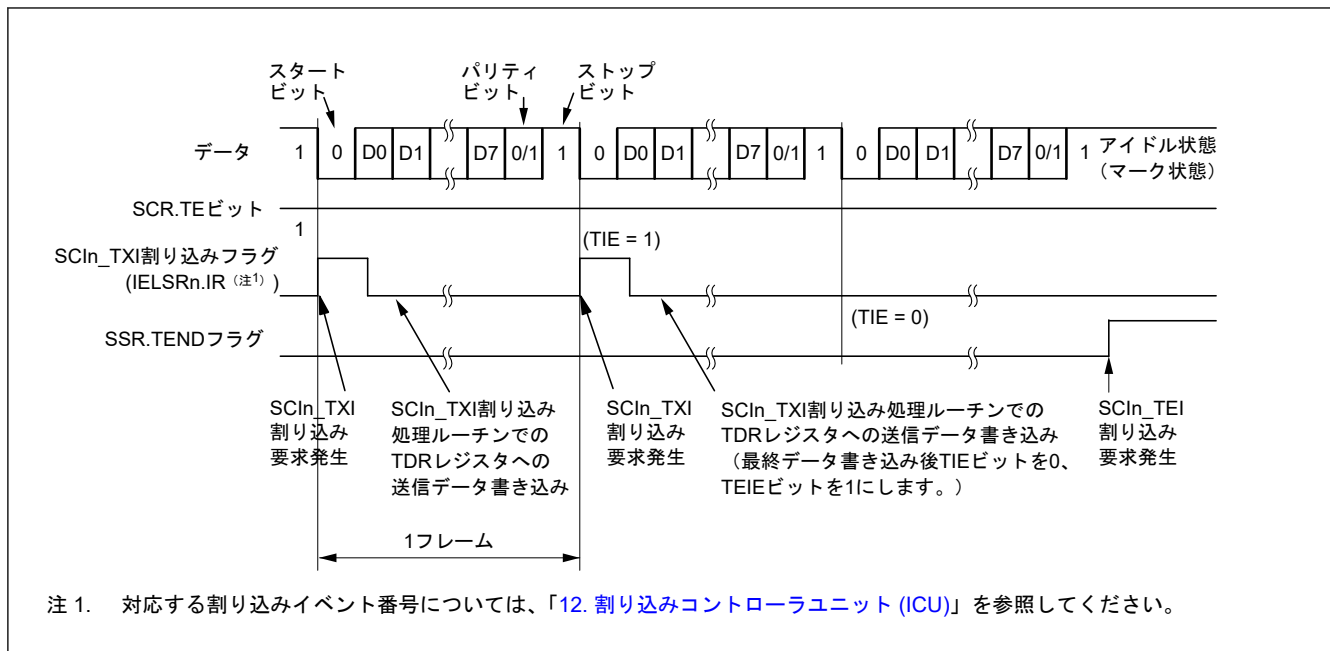


図 24.9 調歩同期式モードにおけるシリアル送信の動作例 (3) (8ビットデータ/パリティあり/1ストップビット/CTS機能不使用/送信中~送信終了時)

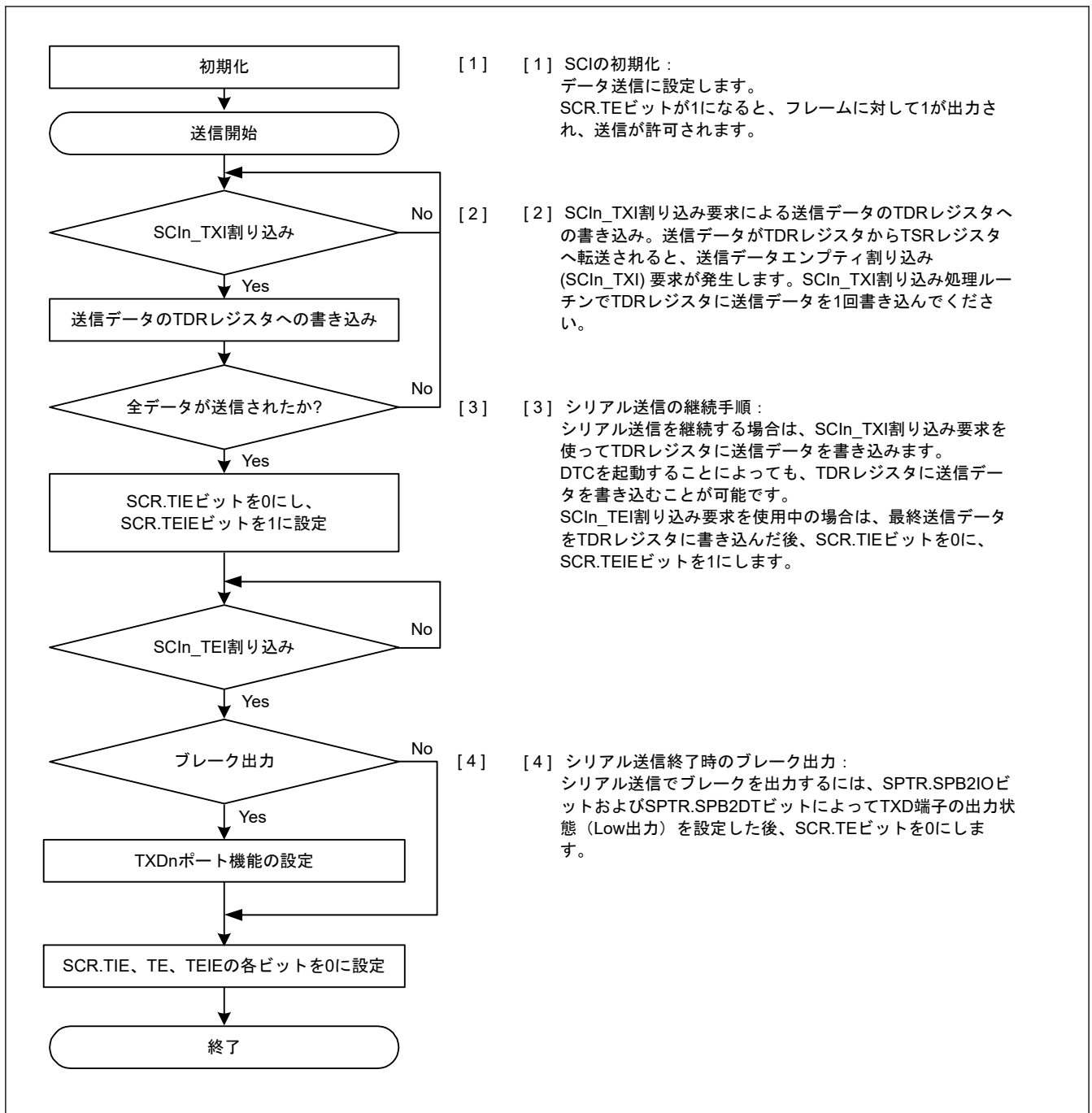


図 24.10 調歩同期式モードにおけるシリアル送信のフローチャート例

### 24.3.9 シリアルデータの受信（調歩同期式モード）

図 24.11 と 図 24.12 に、調歩同期式モードにおけるシリアルデータ受信の動作例を示します。

シリアルデータの受信時、SCIは以下のように動作します。

1. SCR.RE ビットが 1 になると、CTS<sub>n</sub>、RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、SCI は内部を同期化して受信データを RSR レジスタに取り込みます。
3. マルチプロセッサ通信機能が有効 (SMR.MP = 1) の場合、「24.4.2. マルチプロセッサシリアルデータ受信」を参照してください。アドレス一致検出機能（データコンペアマッチ機能）が有効 (DCCR.DCME = 1) の場合、SCI が受信データとコンペアデータ (CDR.CMPD<sup>(注1)</sup>) が一致するのを検出するまでの間、受信データは読み飛ばされる（廃棄される）ため、SCI はパリティエラーとフレーミングエラーを検出できません。

4. SCI がアドレスの一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグが 1 になり、SCIn\_AM 割り込み(注2)要求が発生します。SCIn\_RXI 割り込み要求の発生を許可する場合は、SCR.RIE ビットを 1 にしてください。比較された受信データは RDR レジスタ(注3)に格納されません。SSR.RDRF フラグは 0 を保持します。
5. アドレスの一致が検出された受信データで、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。SCIn\_ERI 割り込み要求の発生を許可する場合は、SCR.RIE ビットを 1 にしてください。
6. SCIn\_AM 割り込み処理ルーチン内でフレーミングエラーまたはパリティエラーを検出した場合 (DCCR.DFER フラグか DCCR.DPER フラグが 1 の場合)、アドレス一致検出機能を再度有効にするため、DCCR.DFER フラグと DCCR.DPER フラグを 0 にして、DCCR.DCME ビットを 1 にします。フレーミングエラーもパリティエラーも検出されなかった場合 (DCCR.DFER フラグも DCCR.DPER フラグもどちらも 0 の場合)、DCCR.DCMF フラグを 0 にしてください。図 24.5 を参照してください。
7. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタ(注3)へ転送されません。
8. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。
9. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。
10. 正常に受信したときは、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データを読み出されると、CTS<sub>n</sub>-RTS<sub>n</sub> 端子出力が Low になります。

注 1. 比較範囲は次の 3 種類のビット長から 1 つ選択できます。CMPD[6:0]は 7 ビット長、CMPD[7:0]は 8 ビット長、CMPD[8:0]は 9 ビット長です。

注 2. SCIn\_AM 割り込みには割り込み許可ビットが割り当てられないため、割り込み要求は DCCR.DCMF ビットを 1 にすることにより発生します。

注 3. データ長 9 ビット選択時は、RDRHL レジスタのデータのみを読み出してください。

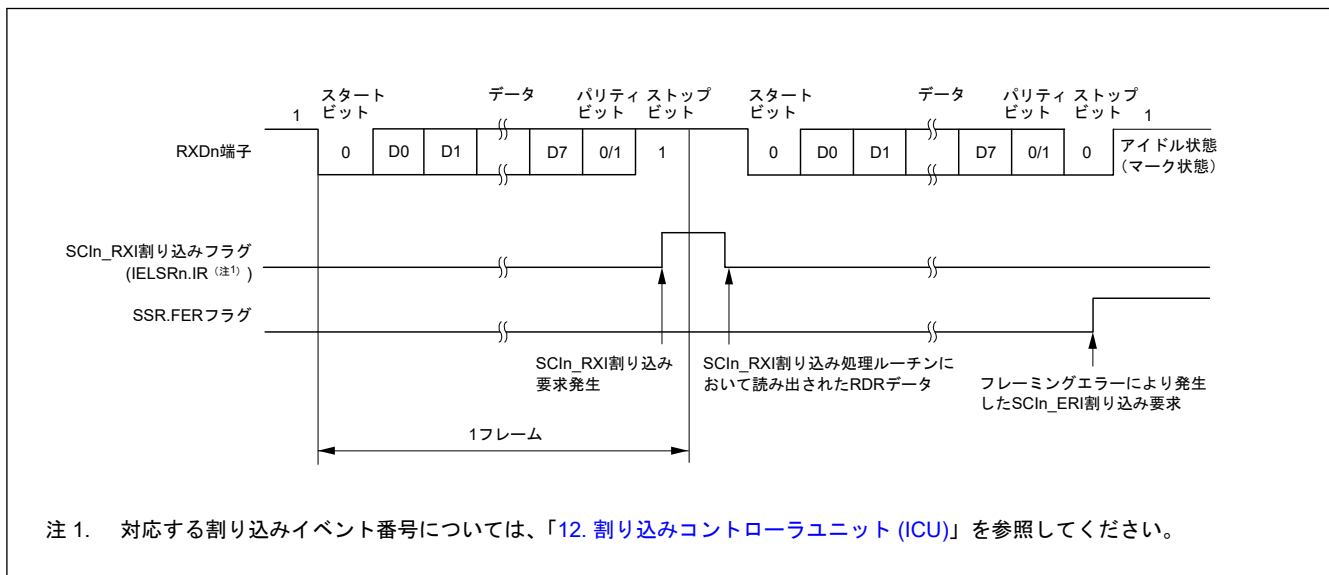


図 24.11 調歩同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合) (8 ビットデータ / パリティあり / 1 ストップビットの場合)

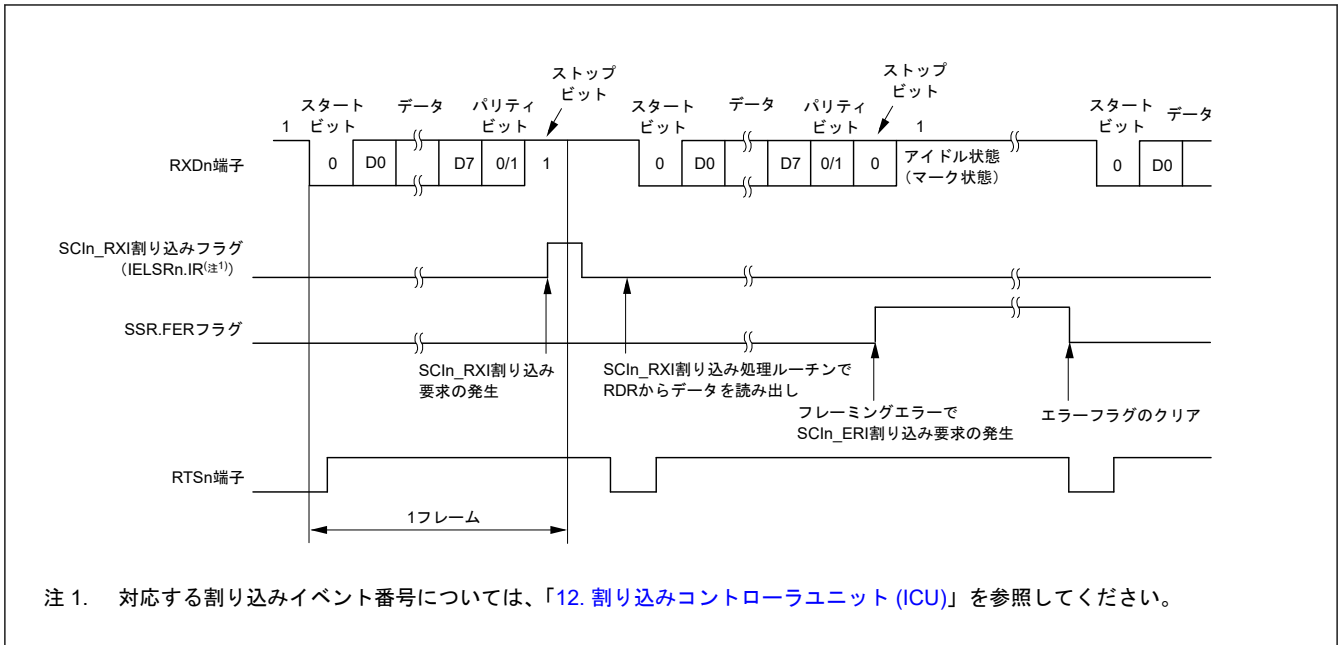


図 24.12 調歩同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合) (8 ビットデータ/パリティあり/1 ストップビットの場合)

受信エラーを検出した場合の SSR レジスタの各フラグの状態と受信データの処理を表 24.27 に示します。

受信エラーが検出されると、SCIIn\_ERI 割り込み要求は発生しますが、SCIIn\_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR (または RDRHL) レジスタに読み出し前の受信データが残っている可能性があるため、RDR (または RDRHL) レジスタを読み出す必要があります。

図 24.13 と図 24.14 に、シリアル受信のフローチャート例を示します。

表 24.27 SSR ステータスレジスタのフラグの状態と受信データの処理

SSR ステータスレジスタのフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR レジスタ(注1)へ転送	フレーミングエラー
0	0	1	RDR レジスタ(注1)へ転送	パリティエラー
1	1	0	消失	オーバーランエラー+フレーミングエラー
1	0	1	消失	オーバーランエラー+パリティエラー
0	1	1	RDR レジスタ(注1)へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバーランエラー+フレーミングエラー+パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタのデータのみを読み出してください。

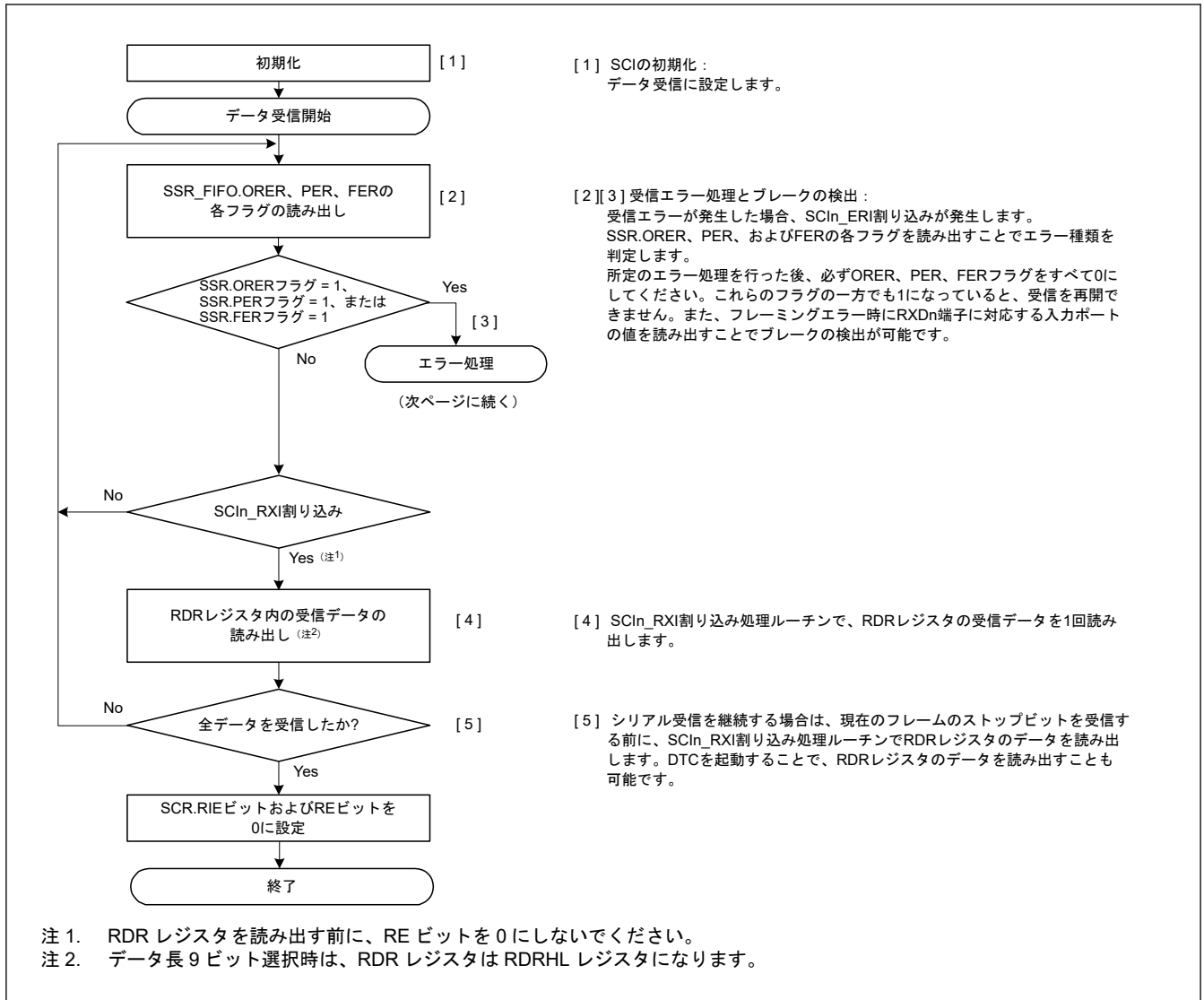


図 24.13 調歩同期式モードにおけるシリアル受信のフローチャート例（アドレス一致検出無効時）(1)



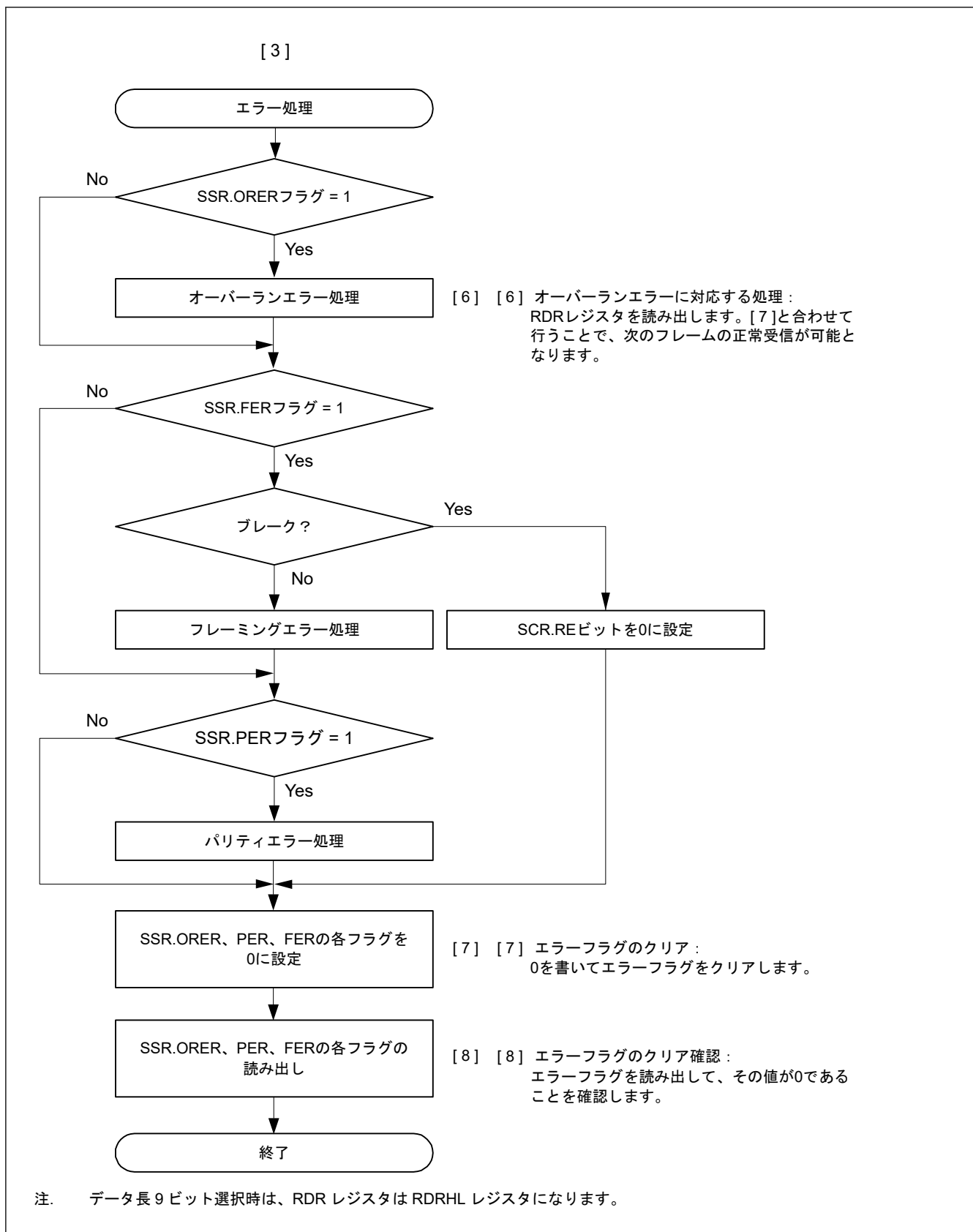


図 24.14 調歩同期式モードにおけるシリアル受信のフローチャート例（アドレス一致検出無効時）(2)

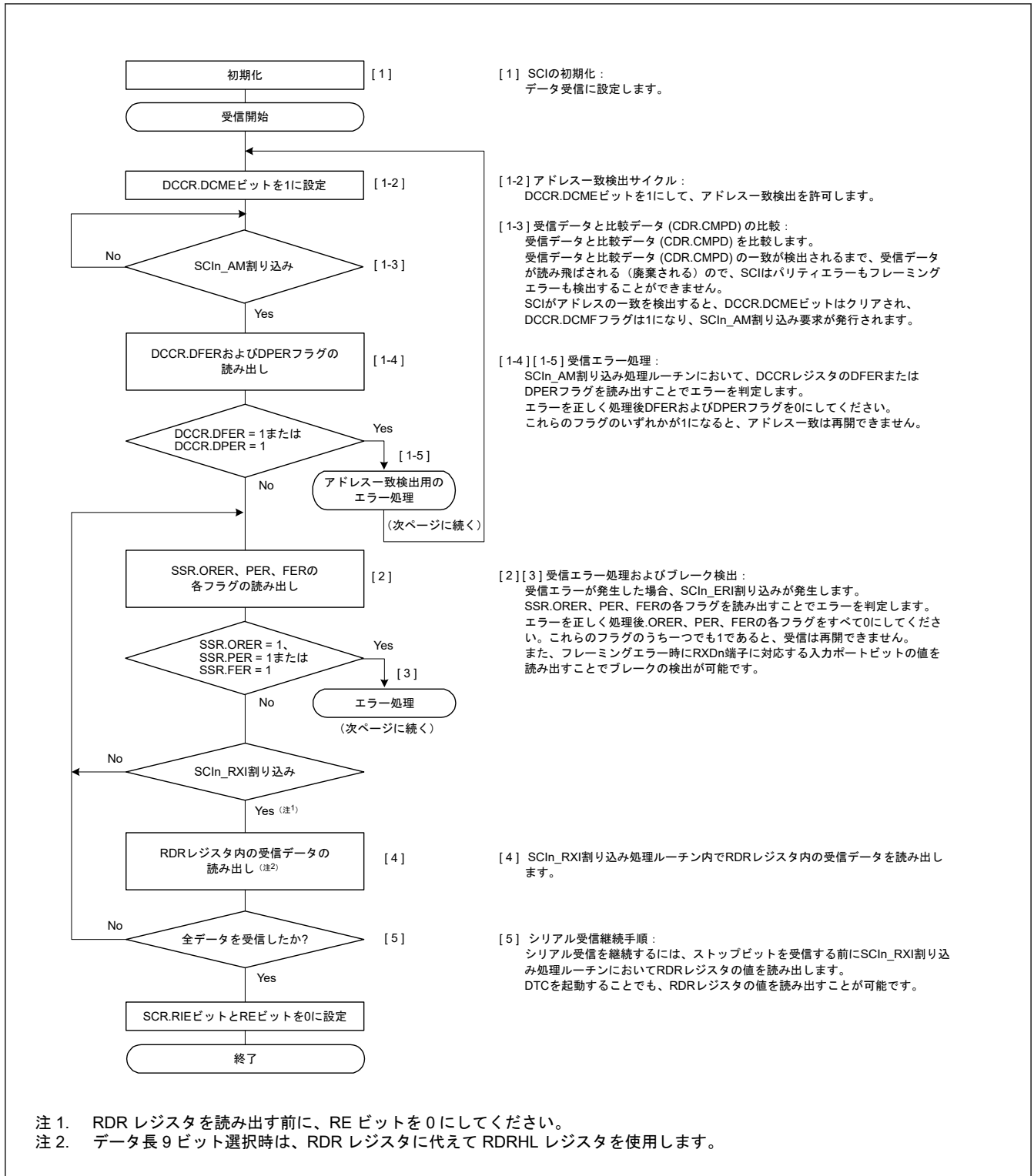


図 24.15 調歩同期式モードにおけるシリアル受信のフローチャート例 (アドレス一致検出有効時) (1)

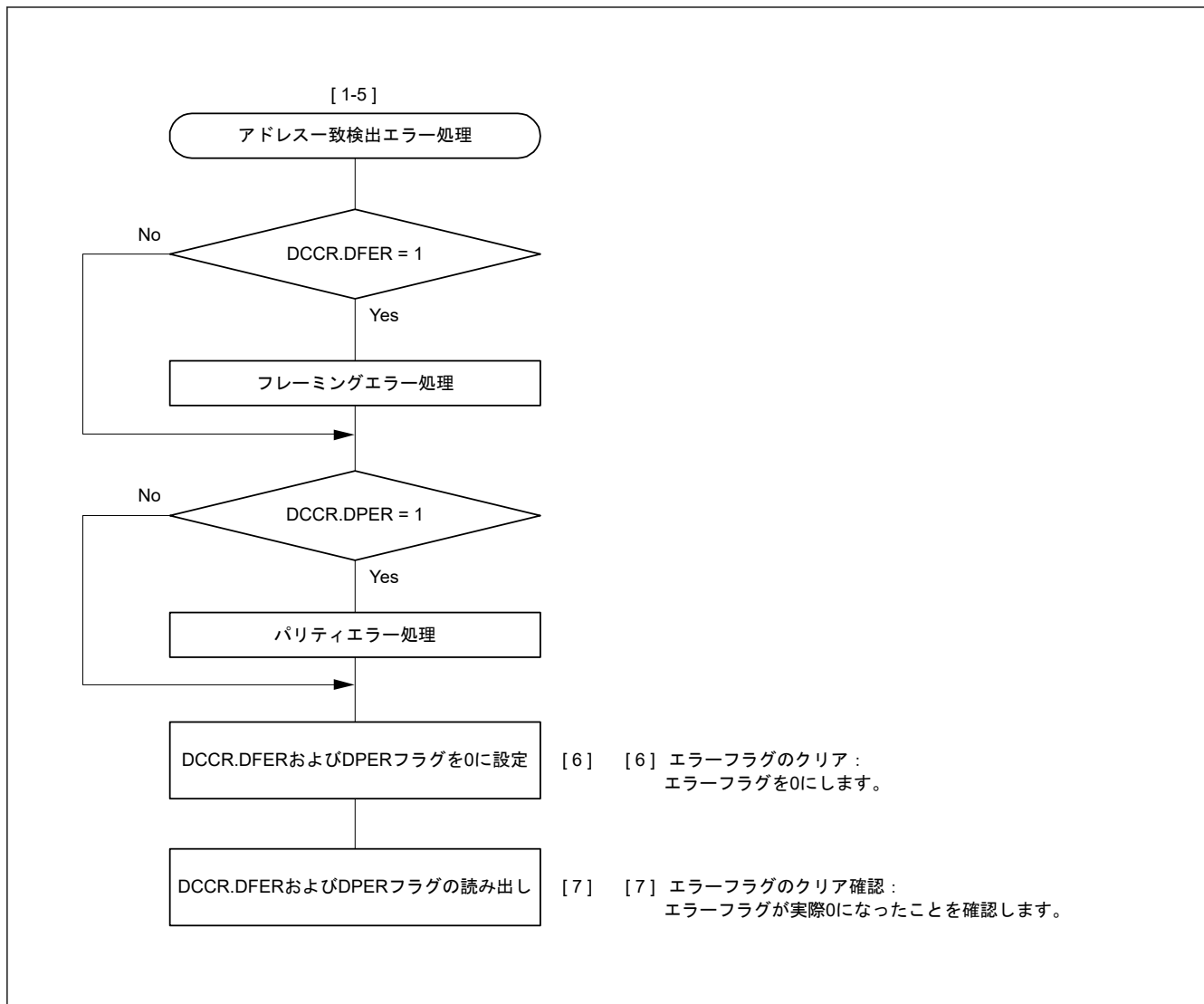


図 24.16 調歩同期式モードにおけるシリアル受信のフローチャート例（アドレス一致検出有効時）（2）

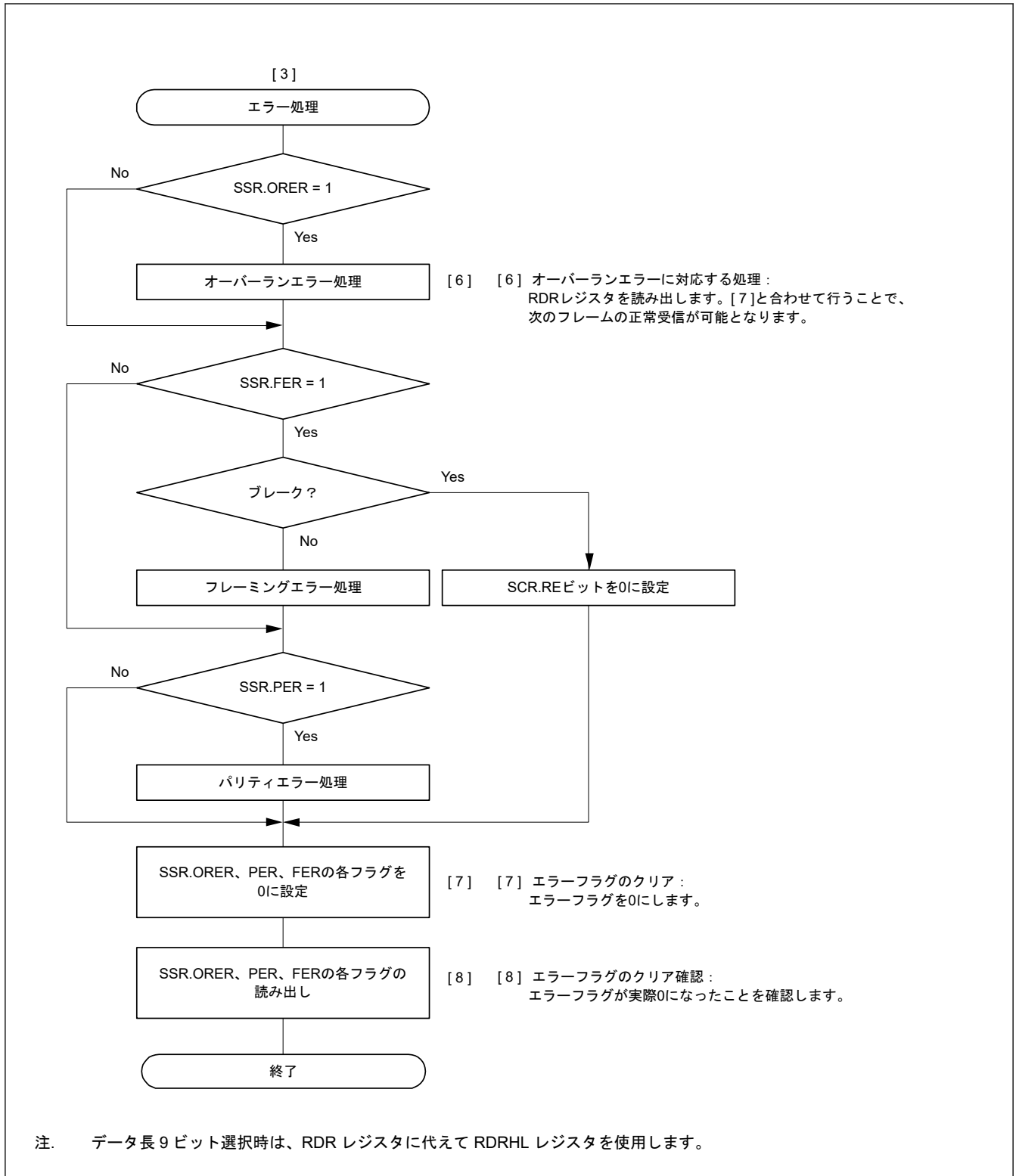


図 24.17 調歩同期式モードにおけるシリアル受信のフローチャート例 (アドレス一致検出有効時) (3)

## 24.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 24.18 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードに 1 を設定したマルチプロセッサビットを付加した通信データを送信します。続いて、送信データに 0 を設定したマルチプロセッサビットを付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

この機能をサポートするため、SCI は SCR.MPIE ビットを用意しています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）への受信データの転送
- 受信エラーの検出
- SSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、SCI は通常の実受動作に戻ります。SCR.RIE ビットが 1 であれば、SCI<sub>In</sub>\_RXI 割り込み要求が発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードで使用するクロックと同一です。

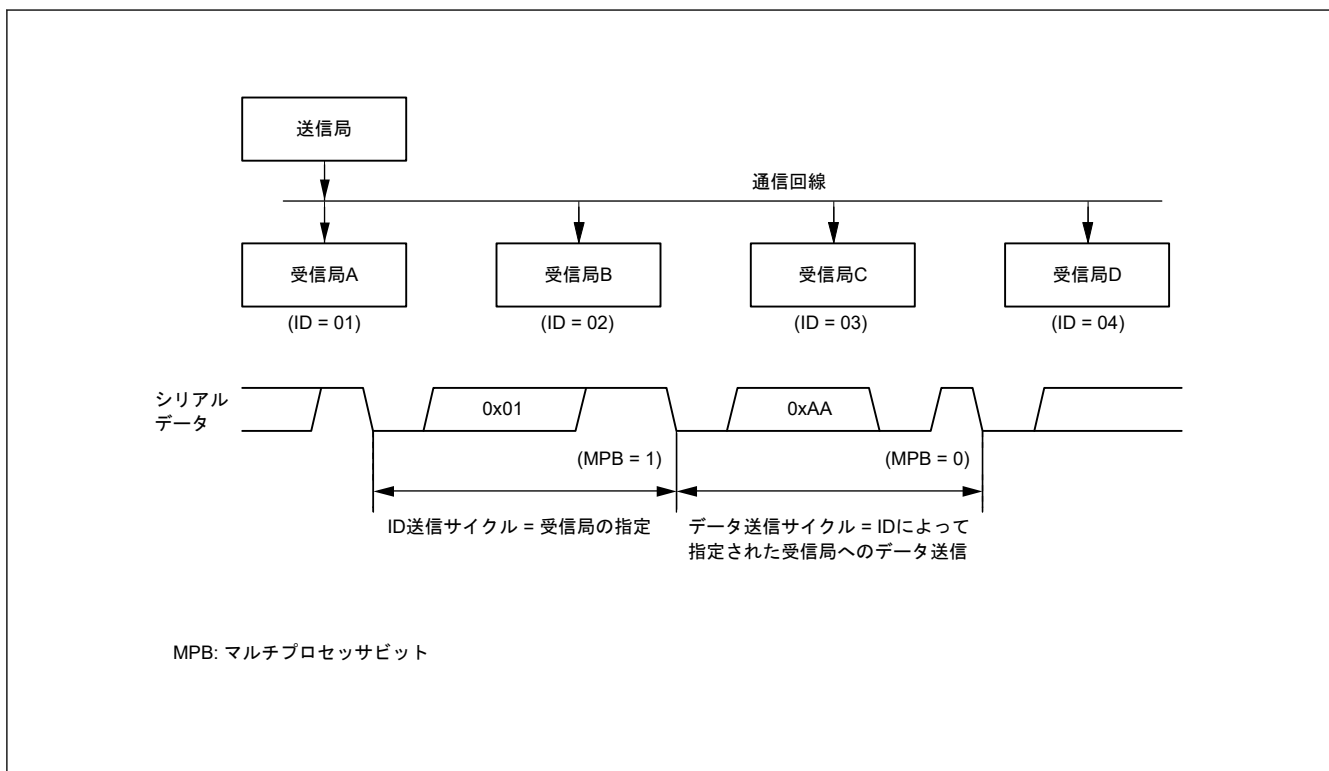


図 24.18 マルチプロセッサフォーマットを使用した通信例（データ 0xAA を受信局 A に送信する場合）

#### 24.4.1 マルチプロセッサシリアルデータ送信

図 24.19 に、マルチプロセッサデータ送信のフロー例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。

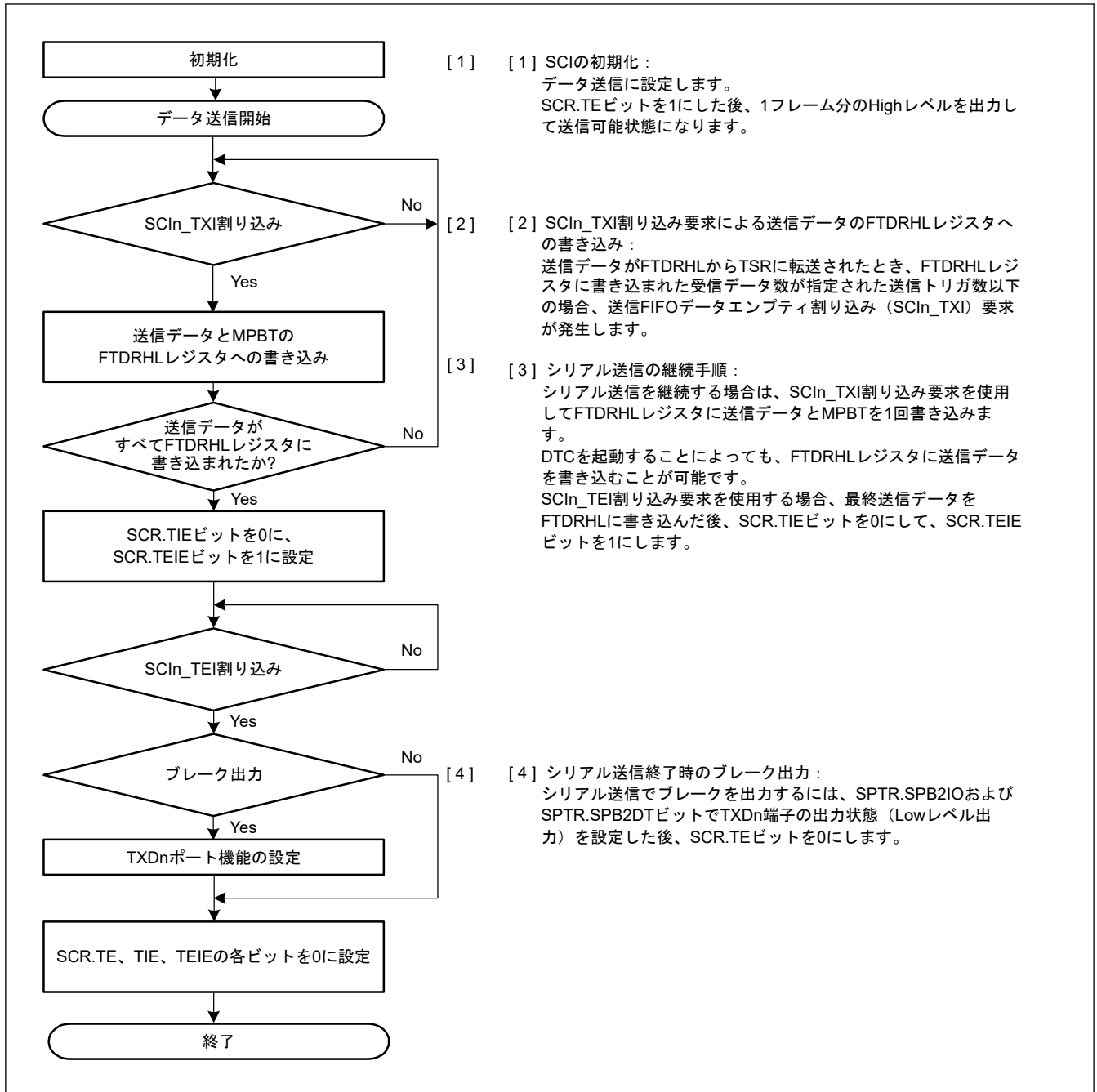


図 24.19 マルチプロセッサシリアル送信のフローチャート例

### 24.4.2 マルチプロセッサシリアルデータ受信

図 24.21 と図 24.22 に、マルチプロセッサシリアル受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ (データ長 9 ビット選択時は RDRHL レジスタ) へ転送され、SCIn\_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 24.20 に、データ受信時の動作例を示します。

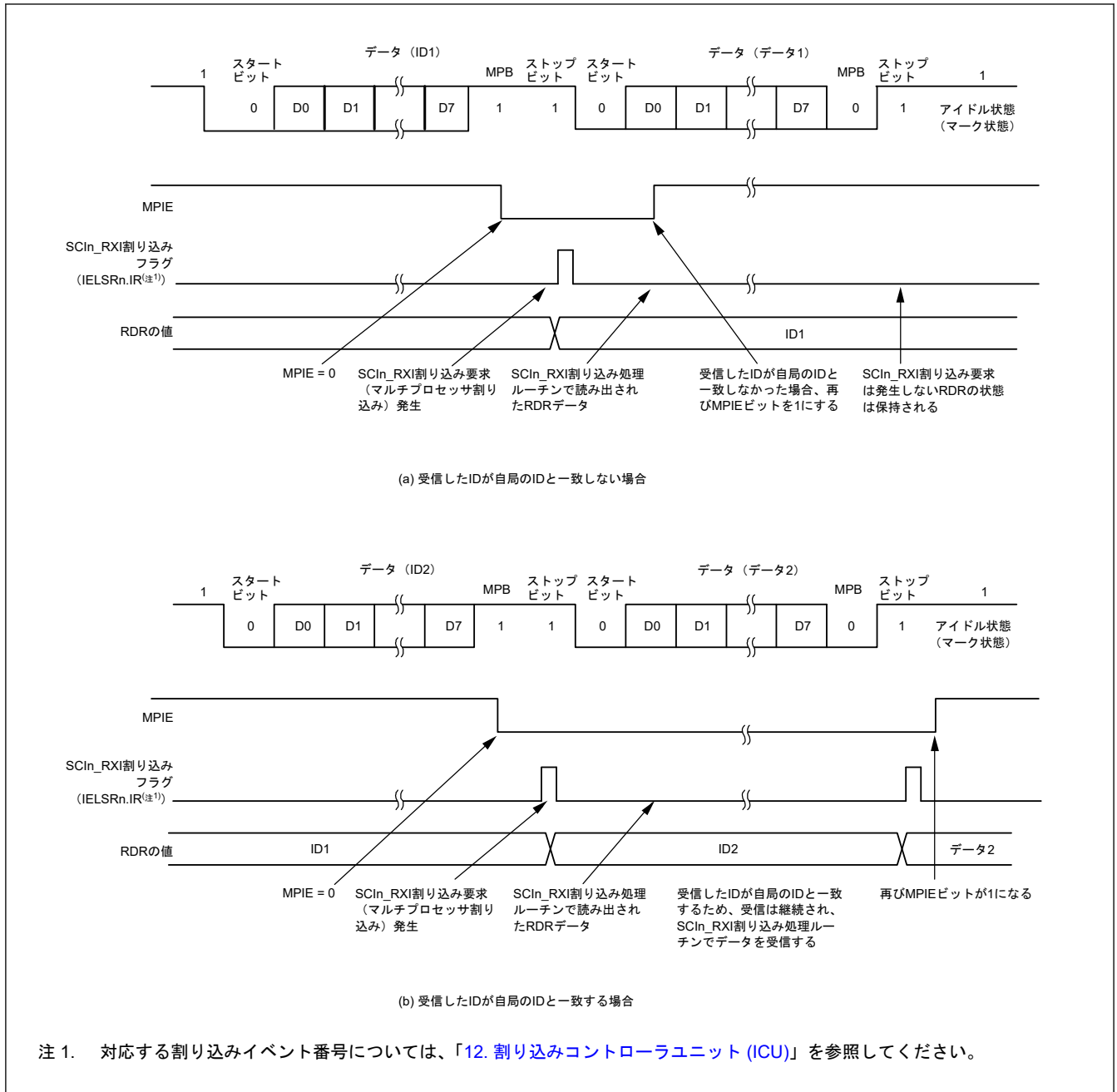


図 24.20 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの場合)

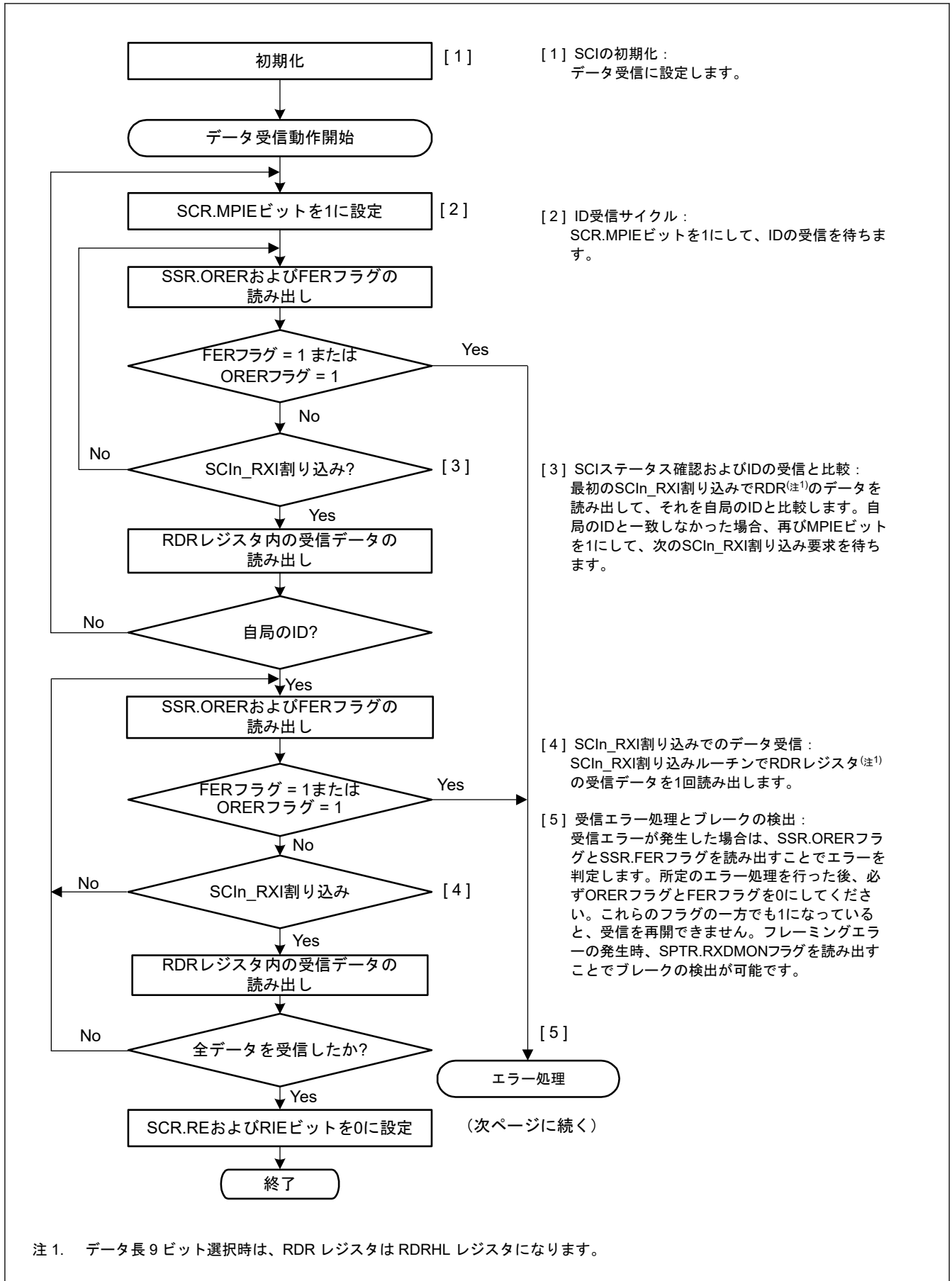


図 24.21 マルチプロセッサシリアル受信のフローチャート例(1)



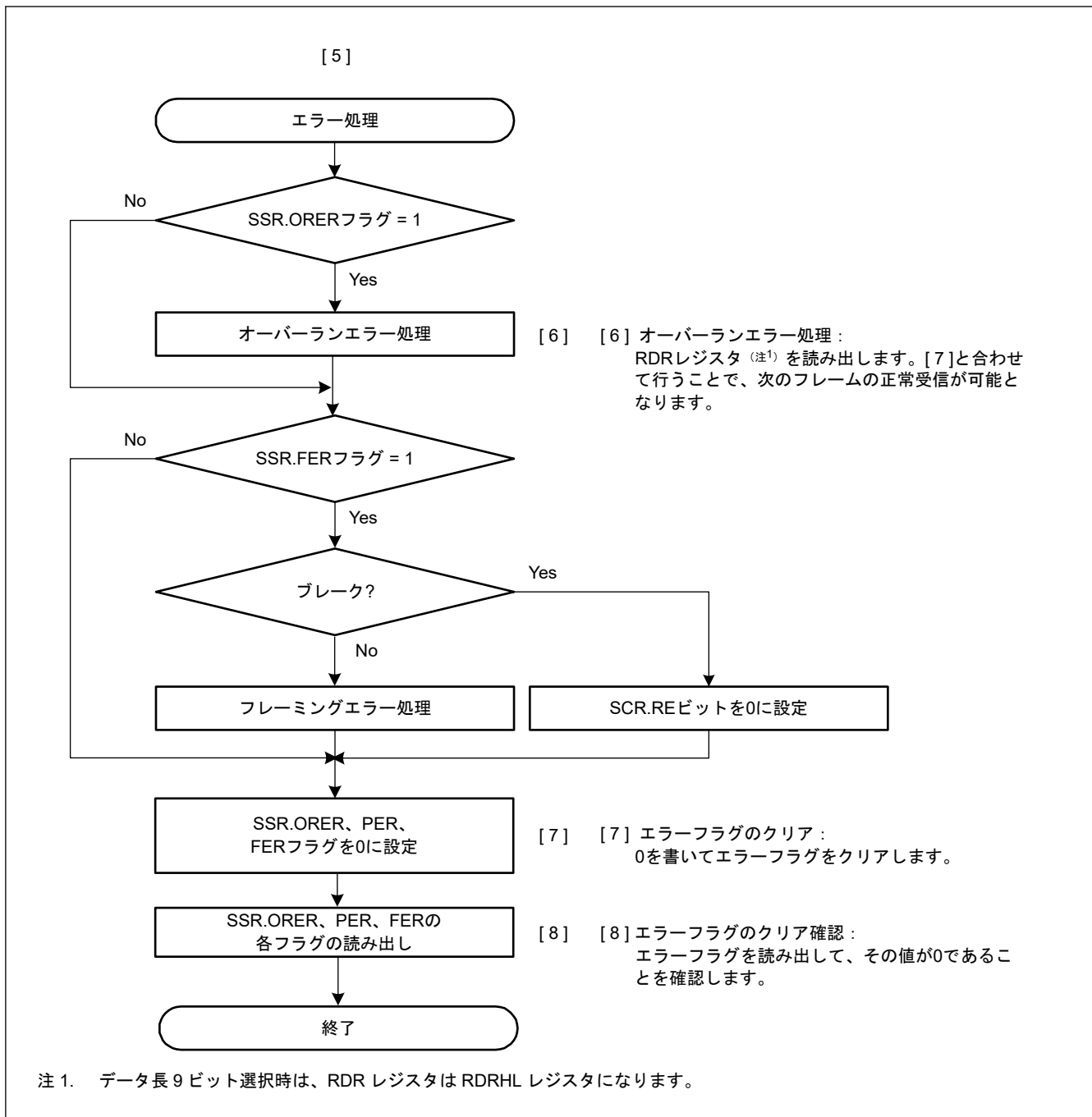


図 24.22 マルチプロセッサシリアル受信のフローチャート例(2)

## 24.5 クロック同期式モードの動作

図 24.23 にクロック同期式シリアル通信のデータフォーマットを示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりエッジから次の立ち下がりエッジまで出力します。データ受信時は同期クロックの立ち上がりエッジに同期してデータを取り込みます。8ビット出力後の送信ラインは最終ビット出力状態を保ちます。スリープモードにおいてSPMR.CKPHビットが1の場合、送信ラインは第1ビットの出力状態を保ちます。

SCI内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定 ( $BRR[7:0] = 0x00$  かつ  $SMR.CKS[1:0] = 00b$ ) では、連続送受信動作が不可能です。

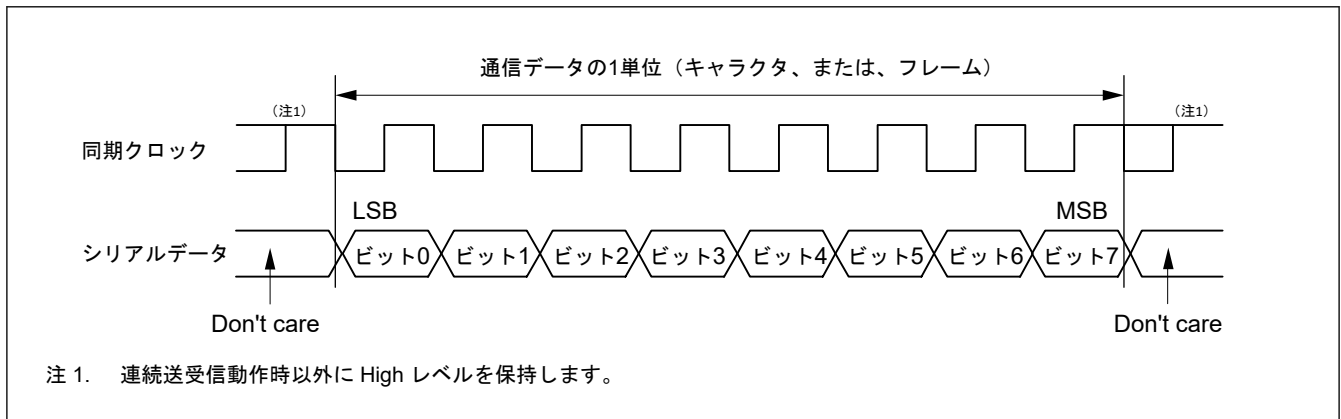


図 24.23 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの並び順の場合)

### 24.5.1 クロック

SCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に

SCI が内部クロックで動作する場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル(注1)になったところで停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn\_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn\_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn\_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn\_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル(注1)になったところで停止します。

注 1. (SPMR.CKPH = 0 かつ SPMR.CKPOL = 1) または (SPMR.CKPH = 1 かつ SPMR.CKPOL = 1) の状態にあるとき、信号は High に固定されます。(SPMR.CKPH = 0 かつ SPMR.CKPOL = 1) または (SPMR.CKPH = 1 かつ SPMR.CKPOL = 0) の状態にあるとき Low に固定されます。

### 24.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTSn\_RTSn 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTSn\_RTSn 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTSn\_RTSn 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTSn\_RTSn 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTSn\_RTSn 出力が Low になります。CTSn\_RTSn が Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

#### 下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが 1 のとき)
- 送信データを書き込み済み (SCR.TE ビットが 1、かつ SCR.CKE[1]ビットが 0 の場合)

- TSR レジスタに送信用データがある (SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 の場合)
- SSR.ORER フラグが 0

[High になる条件]

- Low になる条件を満たさない場合

### 24.5.3 SCI の初期化 (クロック同期式モード)

データを送受信する前に、最初に SCR レジスタに初期値 0x00 を書き込み、次に「24.5.2. CTS、RTS 機能」に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合も必ず、SCR レジスタを初期値にしてから変更してください。

- 注. SCR.RE ビットを 0 にしても、SSR レジスタの ORER、FER、PER の各フラグ、ならびに RDR レジスタは初期化されません。
- 注. SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn\_TXI 割り込み要求が発生します。

表 24.28 クロック同期式モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	SCR.CKE[1:0] ビットを設定	SCR レジスタにクロック選択を設定します。
4	SIMR1.IICM ビットを 0 にします。また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。	SIMR1.IICM ビットを 0 にします。また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。これらの値が初期値から変更されていない場合、手順 5 は省略できます。
5	SMR、SCMR、および SEMR レジスタに送信/受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信/受信フォーマットを設定します。
6	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。外部クロックを使用する場合、この手順は不要です。
7	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
8	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
9	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
10	初期化の完了	

注. 同時送受信動作では、SCR.TE ビットと SCR.RE ビットの両方を同時に 0 または 1 にする必要があります。

### 24.5.4 シリアルデータの送信 (クロック同期式モード)

図 24.24、図 24.25、および図 24.26 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn\_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn\_TXI 割り込み要求は、SCR レジスタの TIE ビットを 1 にした後に TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。SCR.TIE ビットが 1 であれば、SCIn\_TXI 割り込み要求が発生します。この SCIn\_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。

SCI<sub>n</sub>\_TEI 割り込み要求を使用する場合、SCI<sub>n</sub>\_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。

3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXD<sub>n</sub> 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグを 1 にします。TXD<sub>n</sub> 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCI<sub>n</sub>\_TEI 割り込み要求が発生し、SCK<sub>n</sub> 端子は High に固定されます。

図 24.24、図 24.25、および図 24.26 に、シリアルデータ送信の例を示します。

受信エラーフラグ (SSR.ORER、FER、または PER) が 1 の状態では、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注. 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。

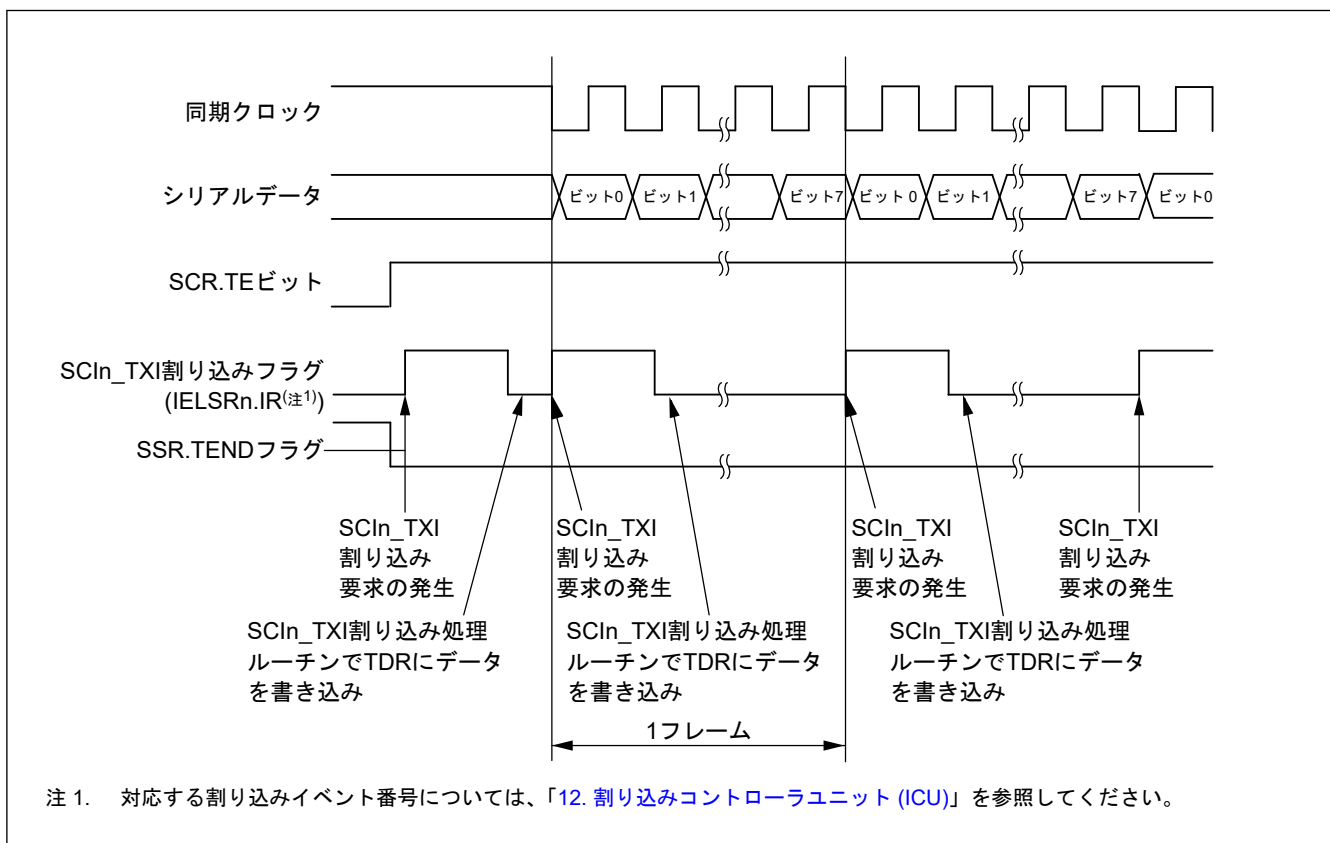


図 24.24 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用しない場合)

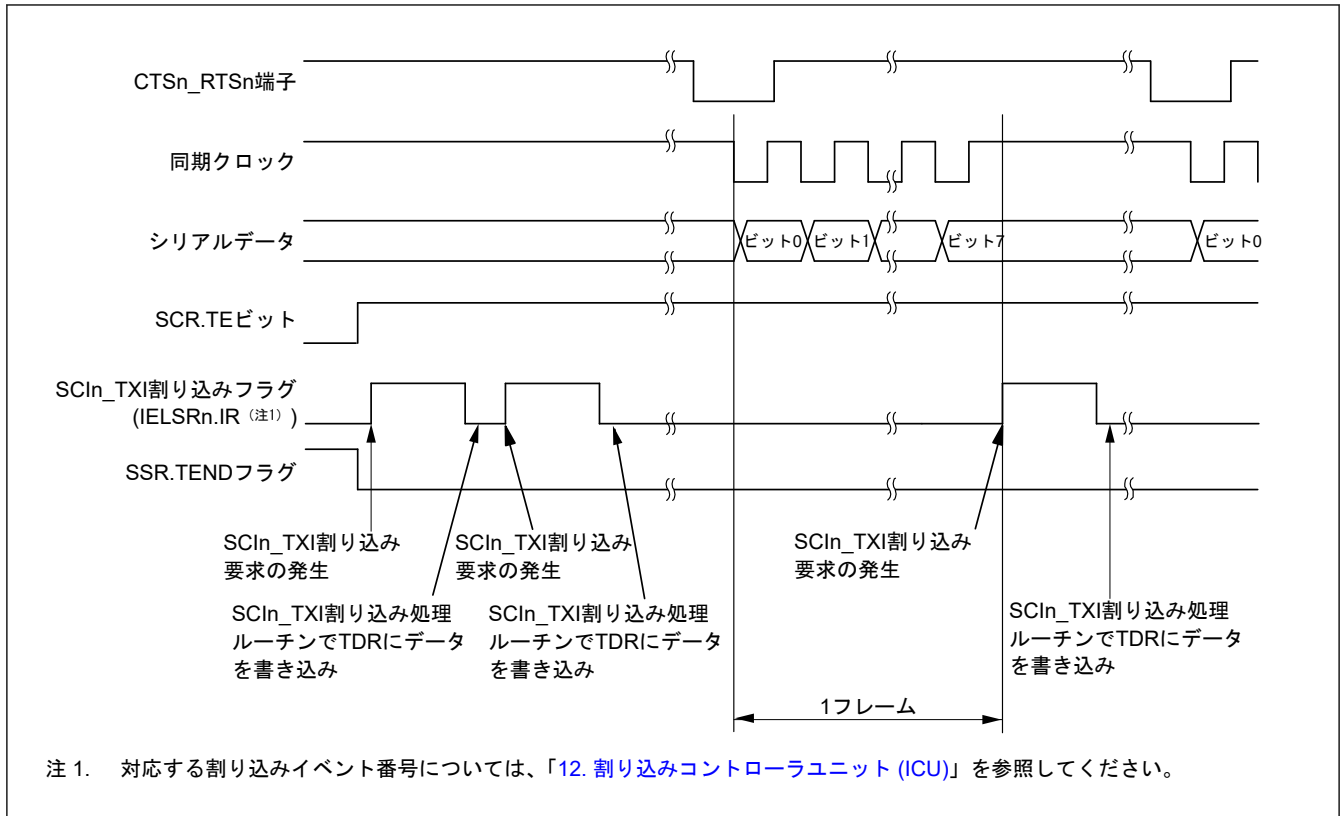


図 24.25 クロック同期式モードにおけるシリアル送信の動作例 (送信開始時に CTS 機能を使用する場合)

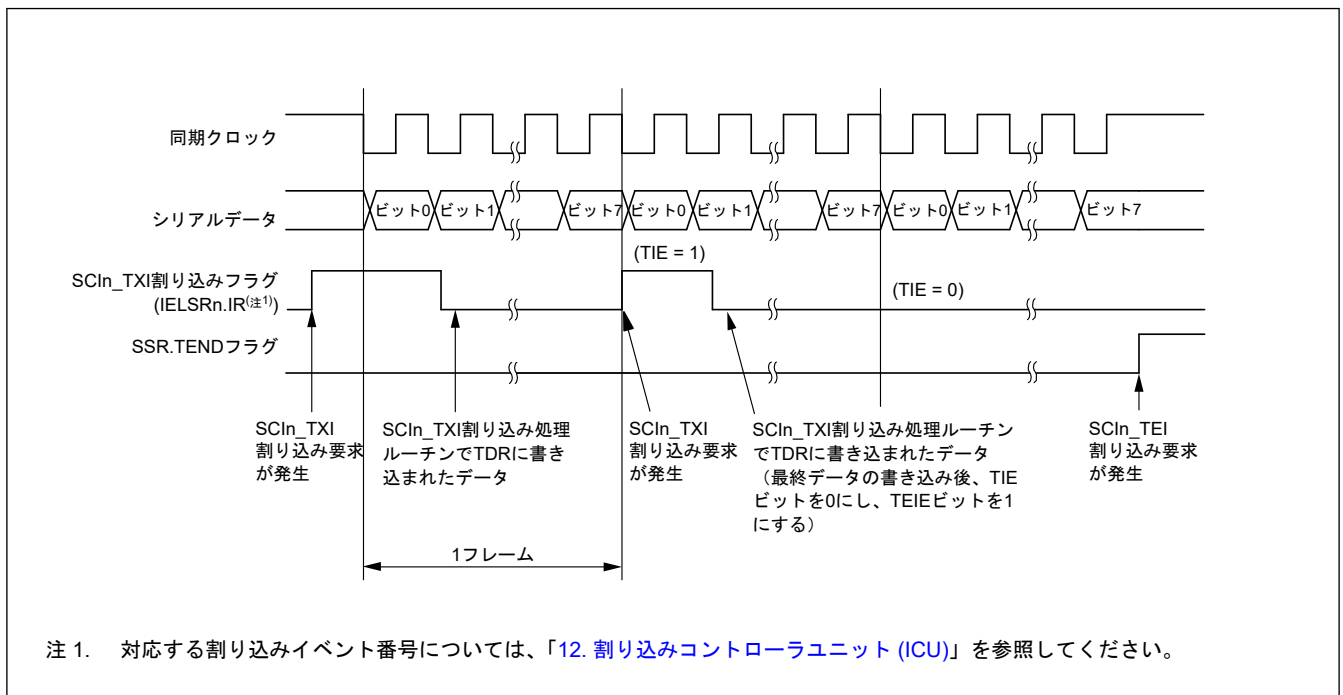


図 24.26 クロック同期式モードにおけるシリアル送信の動作例 (送信中～送信終了時)

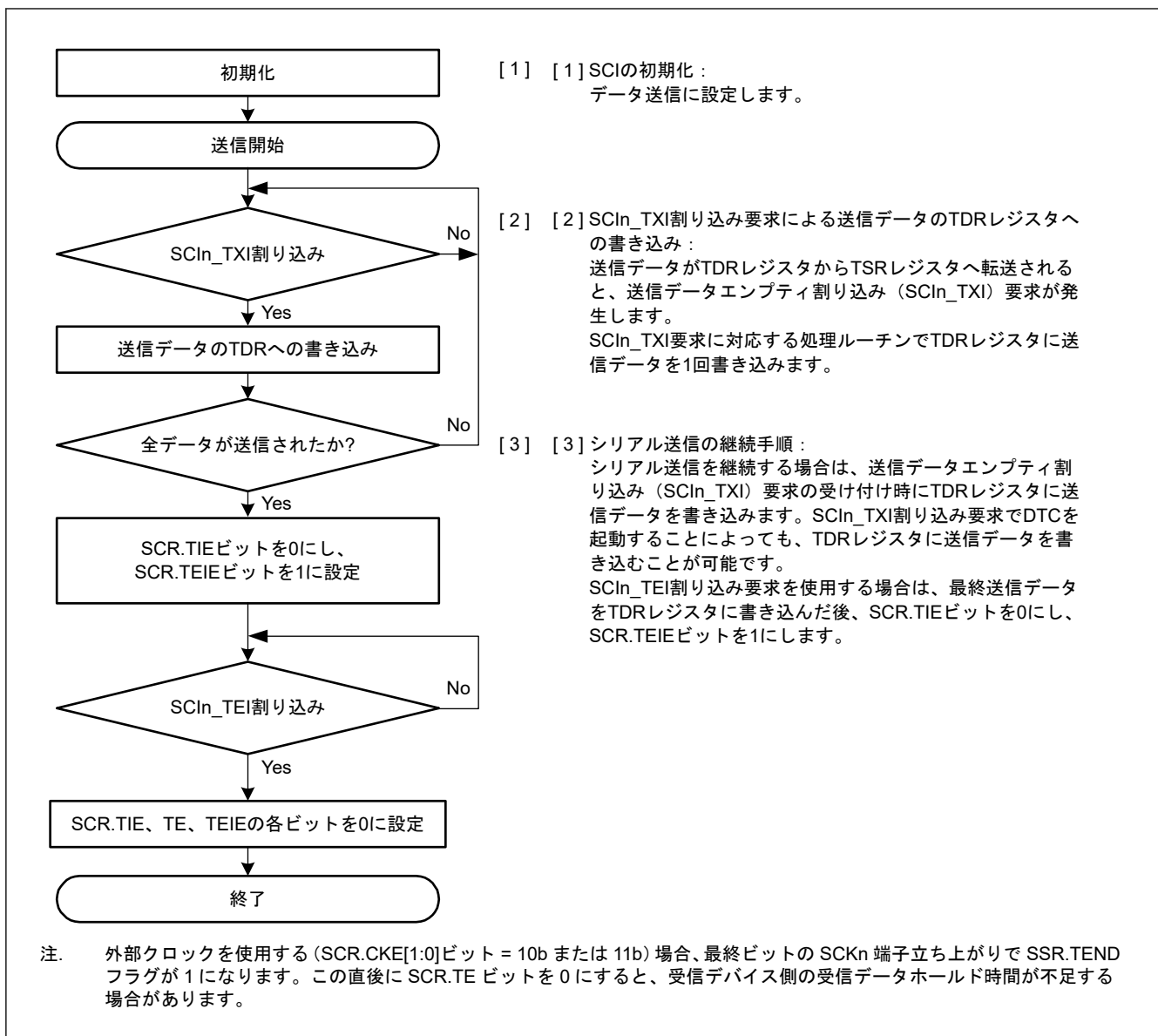


図 24.27 クロック同期式モードにおけるシリアル送信のフローチャート例

### 24.5.5 シリアルデータの受信 (クロック同期式モード)

図 24.28 と図 24.29 に、クロック同期式モードにおけるシリアル受信の SCI 動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

- SCR.RE ビットが 1 になると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。
- SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
- オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
- 正常に受信したときは、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn\_RXI 割り込み要求が発生します。この SCIn\_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTS<sub>n</sub>\_RTS<sub>n</sub> 端子出力が Low になります。

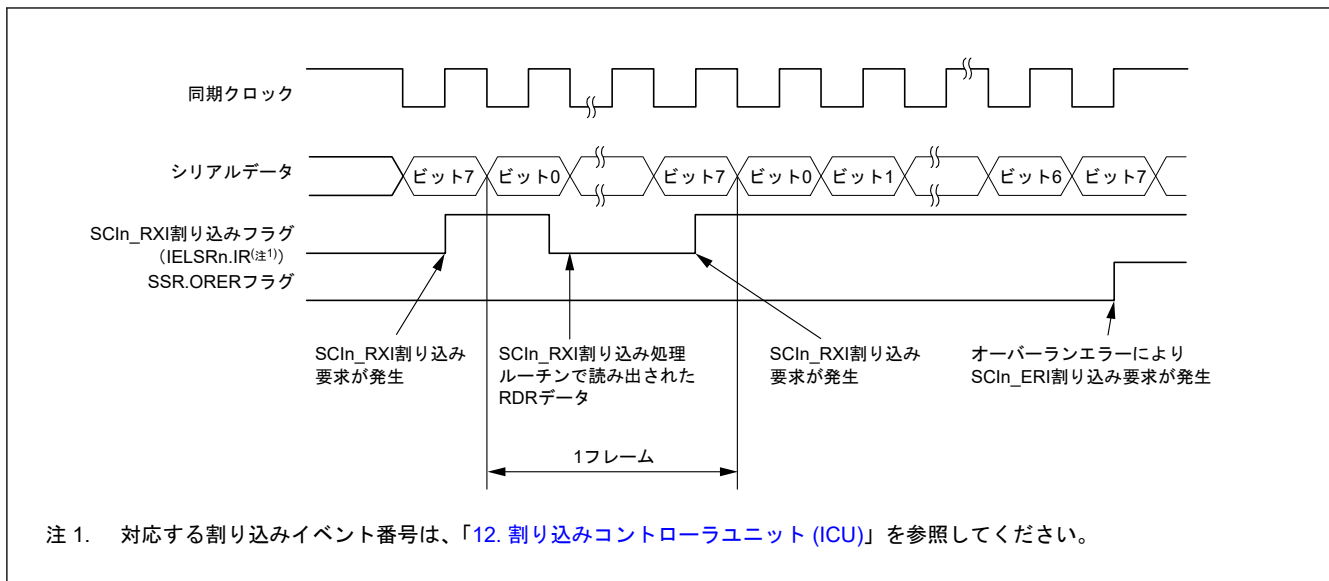


図 24.28 クロック同期式モードにおけるシリアル受信の動作例 (1) (RTS 機能を使用しない場合)

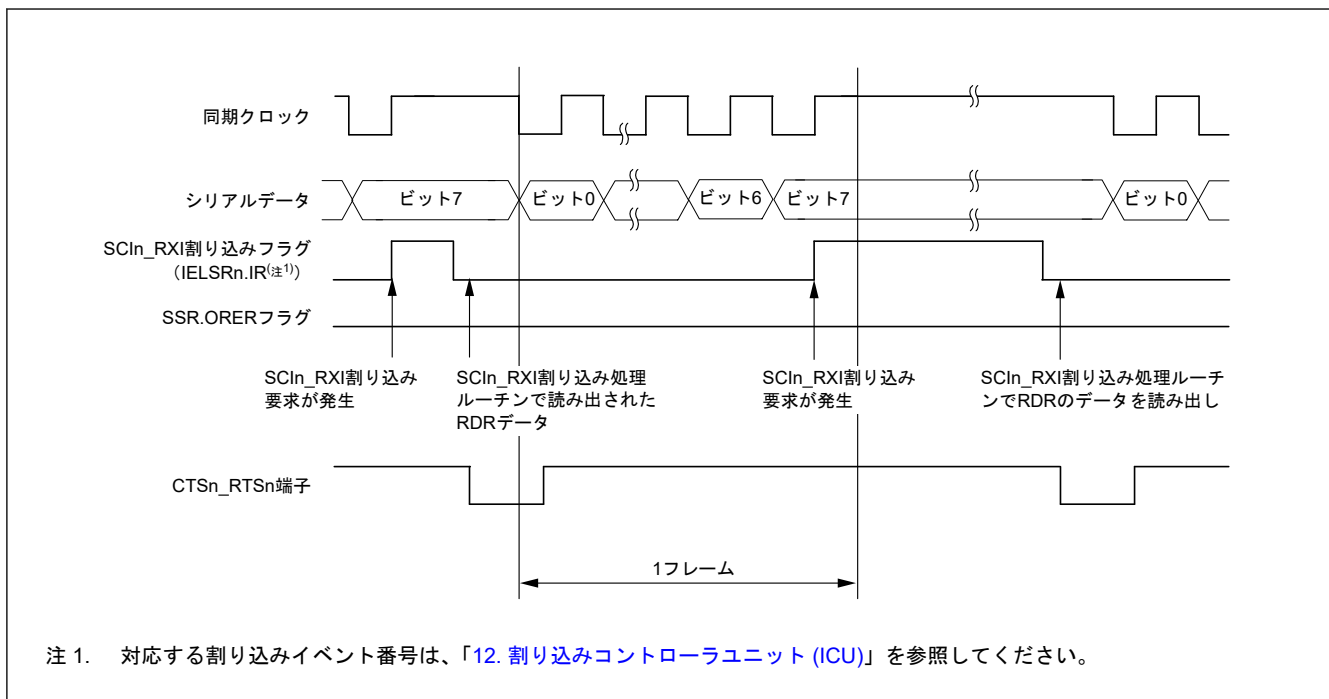


図 24.29 クロック同期式モードにおけるシリアル受信の動作例 (2) (RTS 機能を使用する場合)

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR レジスタの ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットに 0 を書いてデータ受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 24.30 に、シリアル受信のフローチャート例を示します。

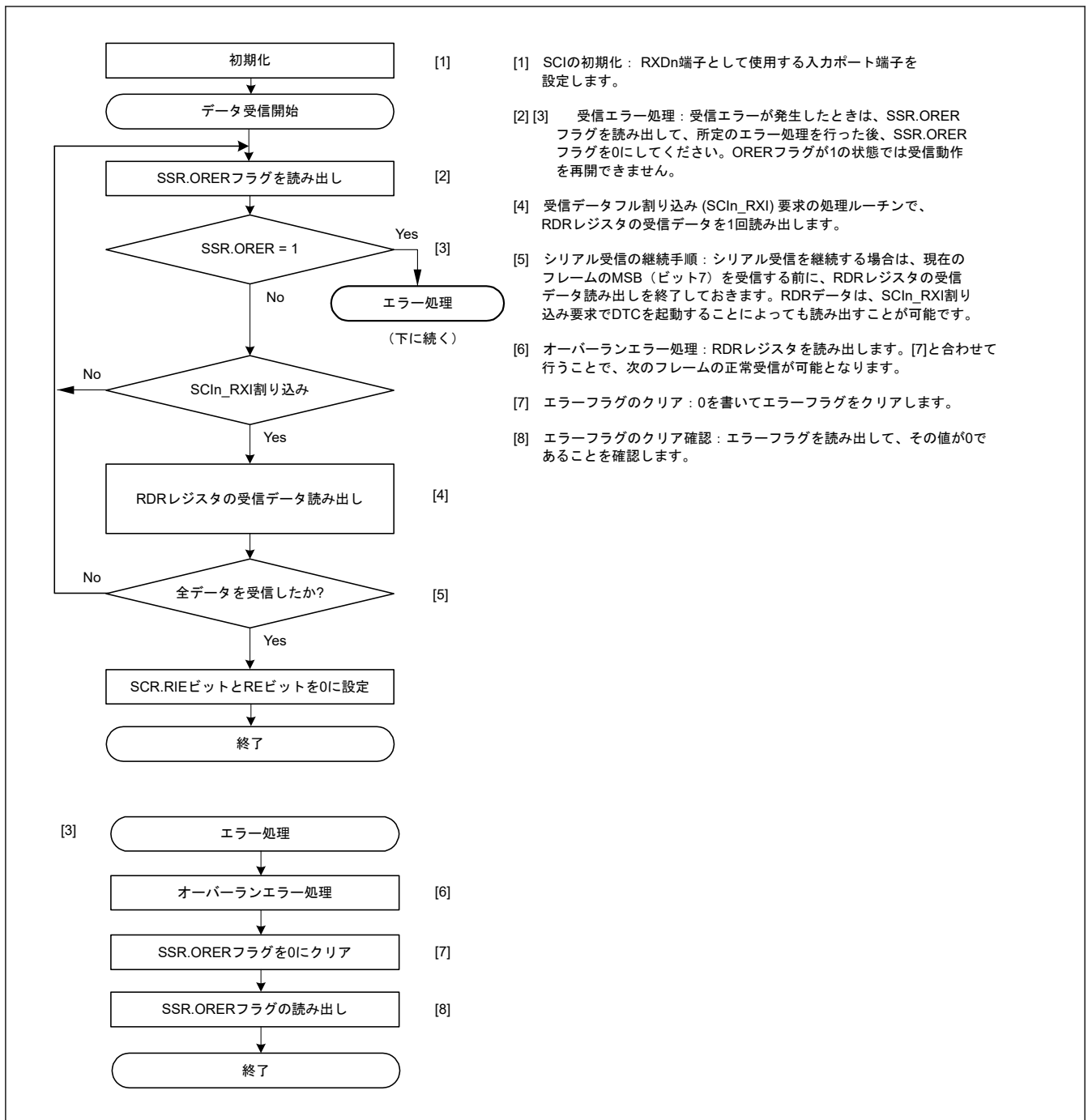


図 24.30 クロック同期式モードにおけるシリアル受信のフローチャート例

### 24.5.6 シリアルデータの同時送受信 (クロック同期式モード)

図 24.31 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従ってください。

送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。
2. SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ受信完了状態であることを確認してください。



- SCR.RIE ビットと SCR.RE ビットを 0 にした後、受信エラーフラグ (SSR.ORER) が 0 になっていることを確認してください。
- SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

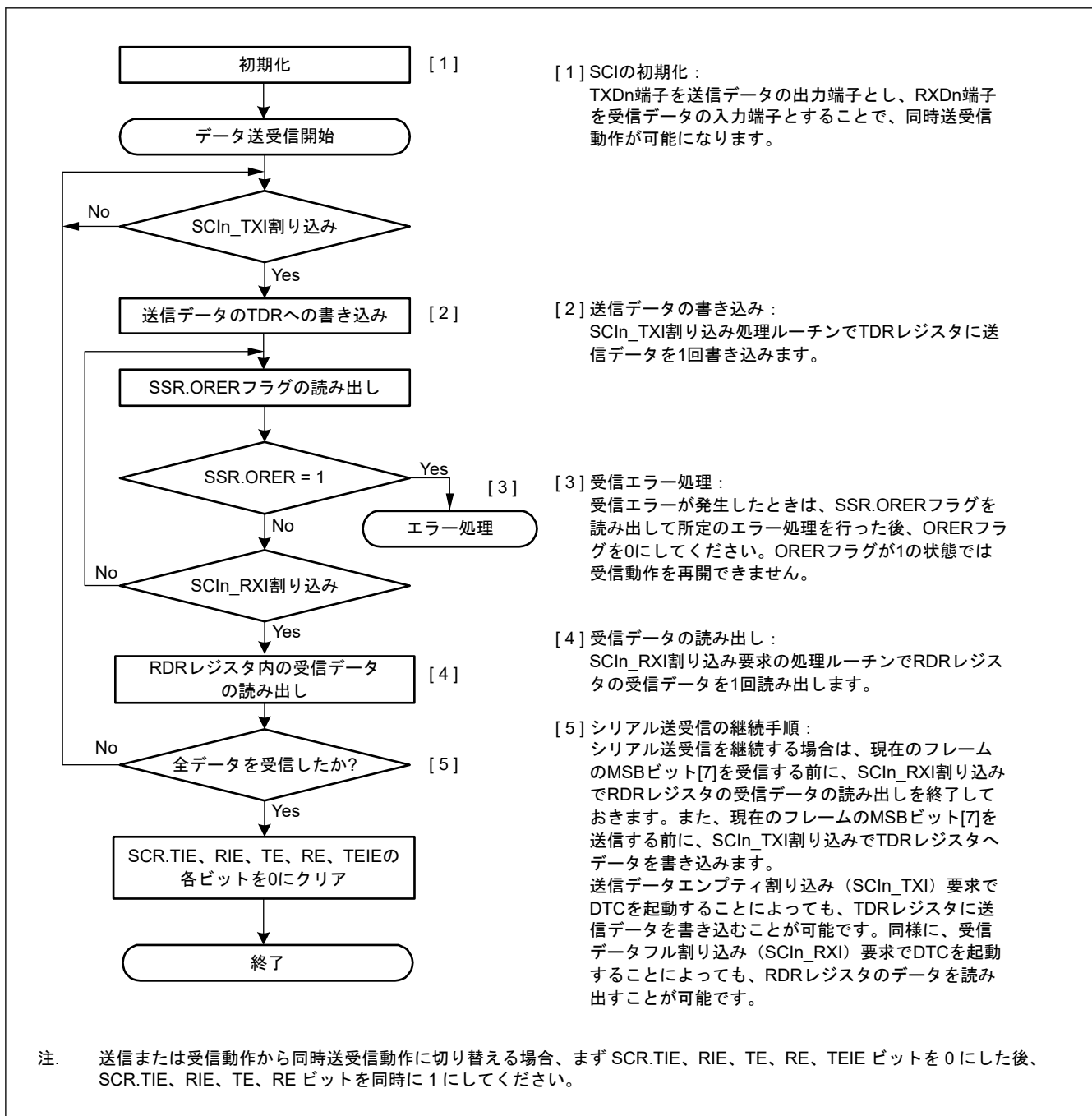


図 24.31 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例

## 24.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3 (Identification Card 規格) に対応したスマートカード (IC カード) インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 24.6.1 接続例

図 24.32 に、スマートカード (IC カード) と本 MCU の接続例を示します。図 24.32 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR\_SMCI.TE ビットと SCR\_SMCI.RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、MCU の出力ポートを使用できます。

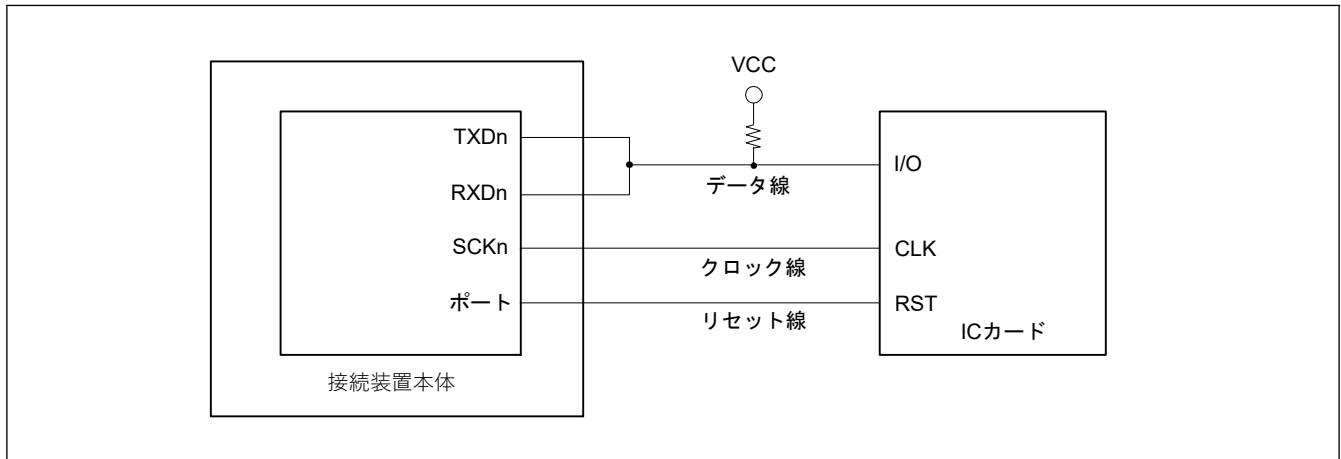


図 24.32 スマートカード (IC カード) との接続例

### 24.6.2 データフォーマット (ブロック転送モード時を除く)

図 24.33 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2 etu (elementary time unit = 1 ビット転送時間) 以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力
- 送信中にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信

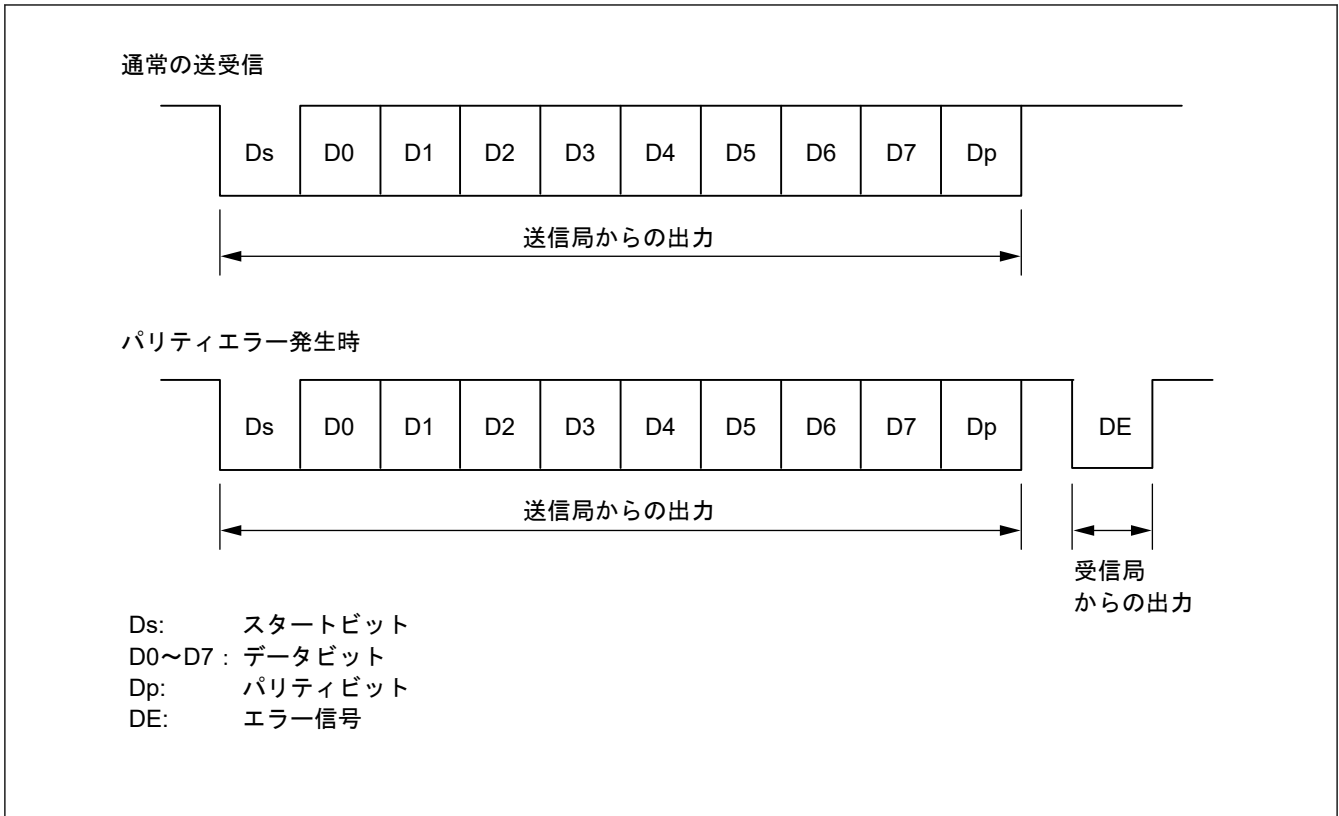


図 24.33 スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 24.34 に示すように、ロジックレベル1は状態Zを、ロジックレベル0は状態Aをそれぞれ表し、開始キャラクタに対してLSBファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは0x3Bとなります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIRビットとSCMR.SINVビットの両方を0にしてください。また、スマートカードの規格に従って偶数パリティとするため、SMR\_SMCI.PMビットは0にしてください。

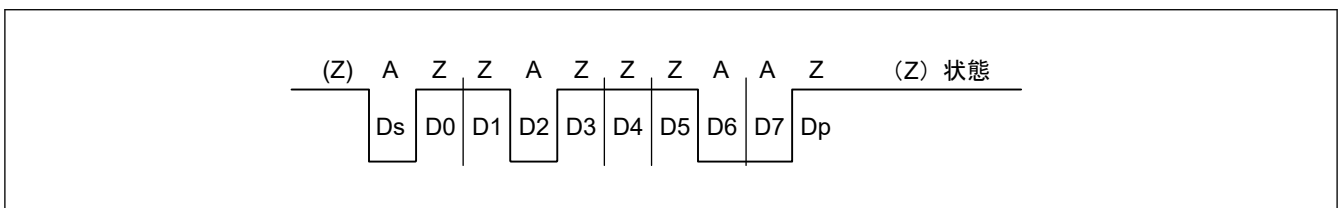


図 24.34 ダイレクトコンベンション (SCMR.SDIRビット=0、SCMR.SINVビット=0、SMR\_SMCI.PMビット=0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 24.35 に示すように、ロジックレベル1は状態Aを、ロジックレベル0は状態Zをそれぞれ表し、開始キャラクタに対してMSBファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは0x3Fとなります。

インバースコンベンションタイプを使用する場合、SCMR.SDIRビットとSCMR.SINVビットの両方を1にしてください。また、スマートカード規格に従って偶数パリティとするため、パリティビットは状態Zに対応するロジックレベル0になります。本MCUでは、SINVビットはデータビットD7~D0のみを反転させます。そのため、送信時と受信時の両方において、SMR\_SMCI.PMビットに1を書いてパリティビットを反転させてください。

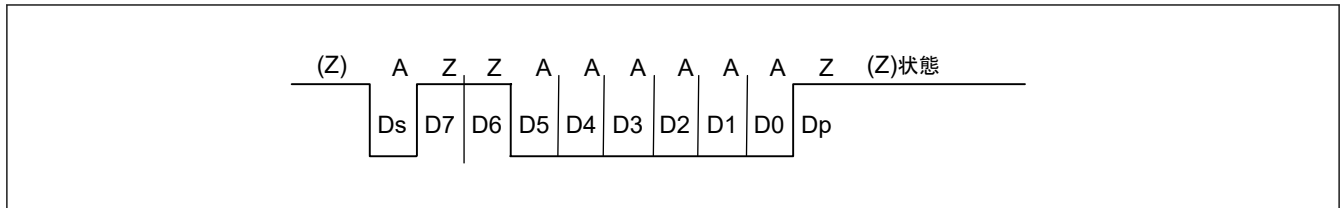


図 24.35 インバースコンペンション (SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR\_SMCI.PM ビット = 1)

### 24.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に SSR\_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1 etu 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5 etu 経過後に、SSR\_SMCI レジスタの TEND フラグがセットされます。
- ブロック転送モードでは、SSR\_SMCI レジスタの ERS フラグは通常のスマートカードインタフェースモードと同じエラーシグナル状態を示します。ただし、エラーシグナルの送受信を行わないため、読むと 0 が読めます。

### 24.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビットと SMR\_SMCI.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。通常の調歩同期式モードでは、周波数はビットレートの 16 倍に固定されています。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。

また、図 24.36 に示すように、受信データは基本クロックのそれぞれ 16 番目、32 番目、186 番目、128 番目、46 番目、64 番目、93 番目、256 番目の立ち上がりエッジでサンプリングされるため、各ビットの途中でデータが取り込まれます。受信マージンは次式で表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 [\%]$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N = 32, 64, 372, 256)

D: クロックのデューティ (D = 0~1.0)

L: フレーム長 (L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようにになります。

$$M = \{ 0.5 - 1/(2 \times 372) \} \times 100 [\%] = 49.866 \%$$

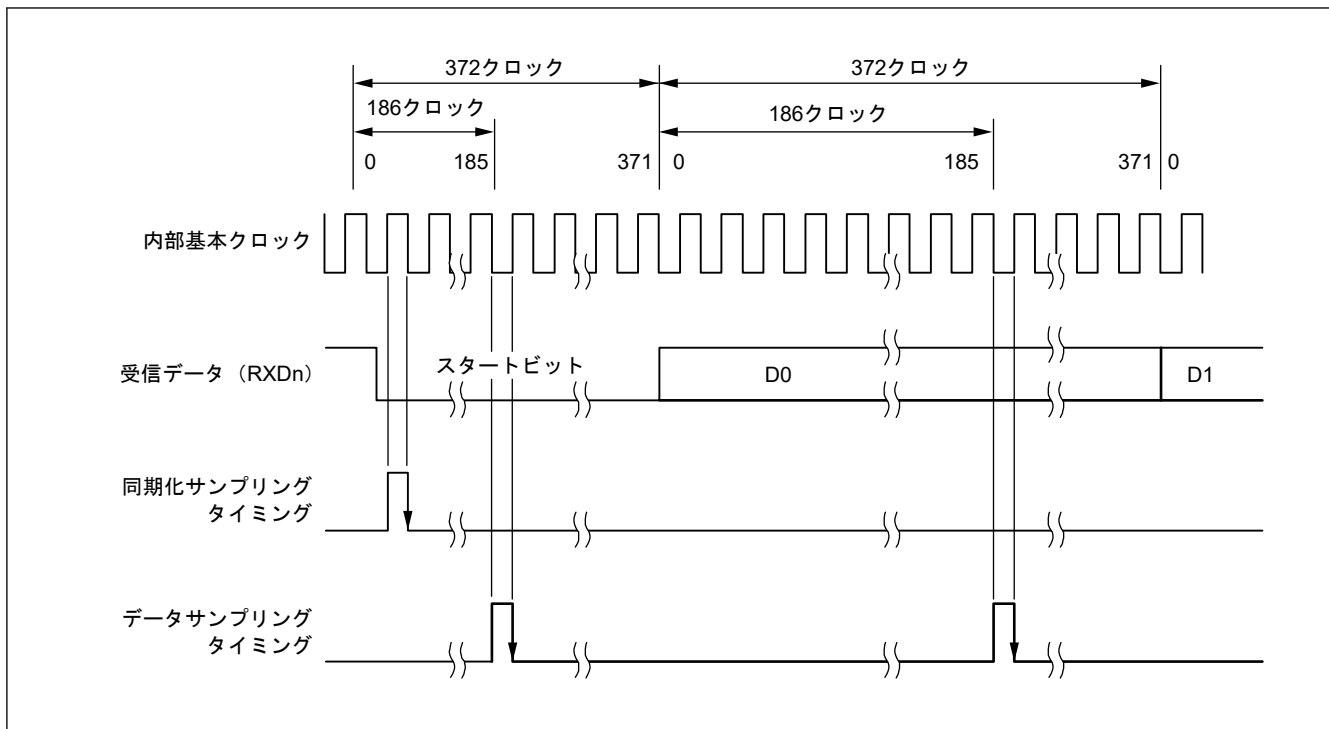


図 24.36 スマートカードインタフェースモードにおける受信データのサンプリングタイミング (ビットレートの 372 倍のクロック周波数の場合)

### 24.6.5 SCI の初期化 (スマートカードインタフェースモード)

データの送受信前に、SCR\_SMCI レジスタに初期値 0x00 を書き込み、表 24.29 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ (またはその逆へ) 切り替える場合、必ず事前に SCR\_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR\_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR\_SMCI.TE = 1、SCR\_SMCI.RE = 0 にしてください。受信動作の完了は、SCI<sub>In</sub>\_RXI 割り込み要求、SSR\_SMCI レジスタの ORER フラグ、あるいは PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR\_SMCI.TE = 0、SCR\_SMCI.RE = 1 にしてください。送信動作の完了は SSR\_SMCI.TEND フラグで確認できます。

表 24.29 スマートカードインタフェースモードにおける SCI 初期化の手順例 (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR_SMCI の TIE、RIE、TE、RE、TEIE ビットを 0 に設定	
3	I/O ポート機能を設定	TXDn、RXDn、SCKn 端子の中で必要な端子機能が使用できるように端子設定をします。
4	SSR_SMCI の ORER、ERS、PER フラグを 0 に設定	SSR_SMCI.ORER、ERS、PER フラグを 0 にします。SSR_SMCI レジスタを読み出した後、該当フラグに 0 を書き込みます。
5	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH、CKPOL ビットを 0 に設定	SIMR1.IICM ビットおよび SPMR.CKPH、CKPOL ビットを 0 にします。初期値から変更してしないときには、本手順は省略できます。
6	SMR_SMCI の GM、BLK、BCP[1:0]、CKS[1:0]を設定し、SMR_SMCI.PM を 1 に設定	SMR_SMCI レジスタに動作モードおよび送信または受信フォーマットを設定します。

表 24.29 スマートカードインタフェースモードにおける SCI 初期化の手順例 (2/2)

番号	ステップ名	説明
7	SCMR.BCP2、SDIR、SINV ビットを設定 SCMR.SMIF ビットを 1 に設定	SCMR レジスタに送信/受信フォーマットを設定します。TXDn 端子と RXDn 端子はハイインピーダンス状態になります。
8	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 に設定	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 にします。
9	BRR に値を設定	ビットレートに対応する値を BRR レジスタに書き込みます。
10	MDDR に値を設定	MDDR レジスタへビットレートエラー訂正によって補正された値を書き込みます。ビットレート補正機能を使用しないときには、本手順は不要です。
11	SCR_SMCI.CKE[1:0]に値を設定	SCR_SMCI.CKE[1:0]ビットを設定します。CKE[0]ビットを 0 に設定するときには、クロックは SCKn 端子から出力します。
12	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR_SMCI レジスタの TE ビットまたは RE ビットを 1 にし、次に TIE ビットおよび RIE ビットを設定します。自己診断以外は TE ビットと RE ビットを同時に 1 にしないでください。
13	初期化の完了	

### 24.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 24.37 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR\_SMCI.ERS フラグが 1 になります。SCR\_SMCI.RIE ビットが 1 であれば、SCI<sub>In</sub>\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
- エラーシグナルを受信したフレームでは、SSR\_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
- 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
- この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。SCR\_SMCI.TIE ビットが 1 であれば、SCI<sub>In</sub>\_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 24.39 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCI<sub>In</sub>\_TXI 割り込み要求で DTC を起動することによって、自動的に行うことができます。

送信動作では、SSR\_SMCI.TEND フラグが 1 になっていると、SCR\_SMCI.TIE ビットが 1 の場合、SCI<sub>In</sub>\_TXI 割り込み要求が発生します。

あらかじめ DTC の起動要因として SCI<sub>In</sub>\_TXI 割り込み要求を設定しておけば、SCI<sub>In</sub>\_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DT が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCI<sub>In</sub>\_ERI 割り込み要求が発生させて、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。

DTC の設定方法については、「15. データトランスファコントローラ (DTC)」を参照してください。

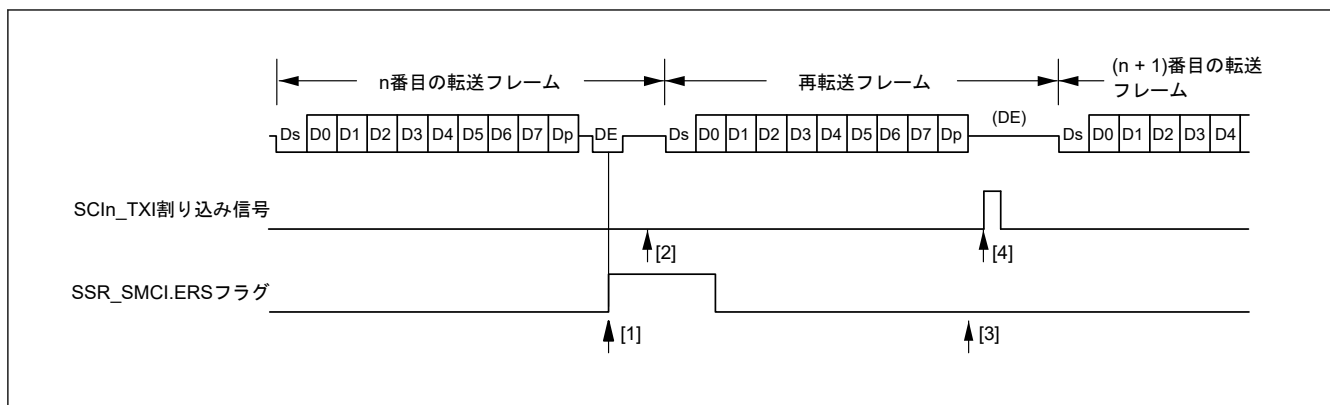


図 24.37 スマートカードインタフェース送信モードでのデータ再送信動作

SMR\_SMCI.GM ビットの設定によっては、SSR\_SMCI.TEND フラグのセットタイミングが異なります。図 24.38 に、TEND フラグの発生タイミングを示します。

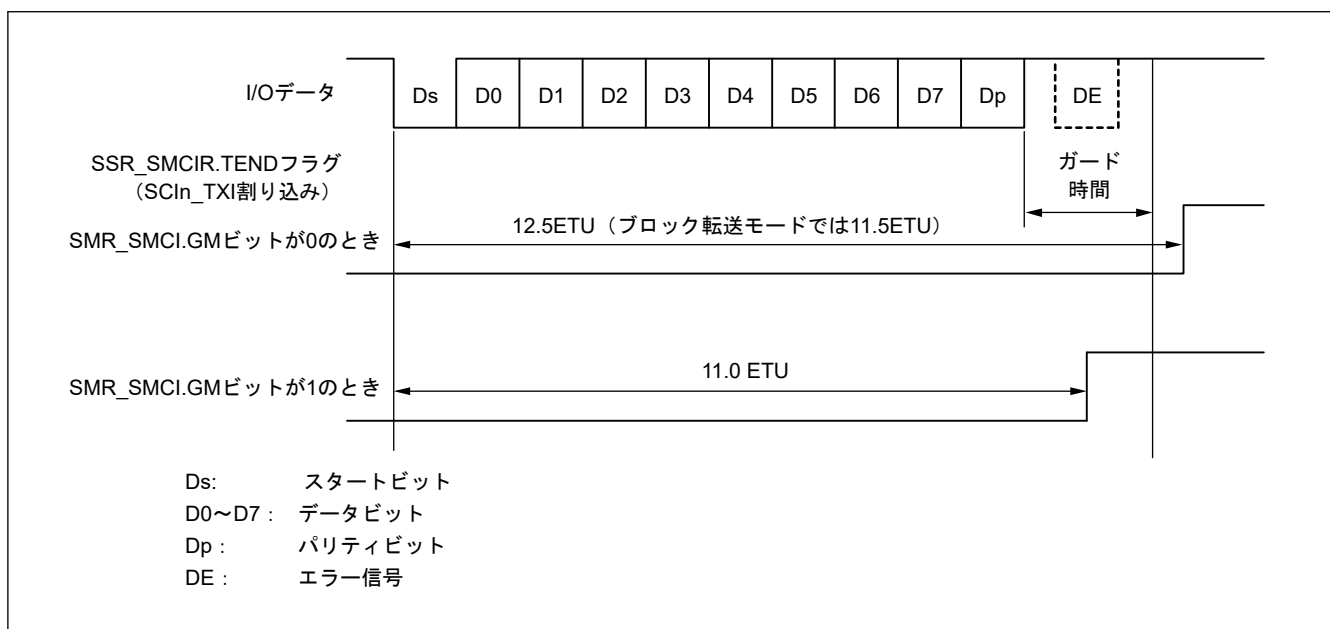


図 24.38 送信中の SSR.TEND フラグの発生タイミング

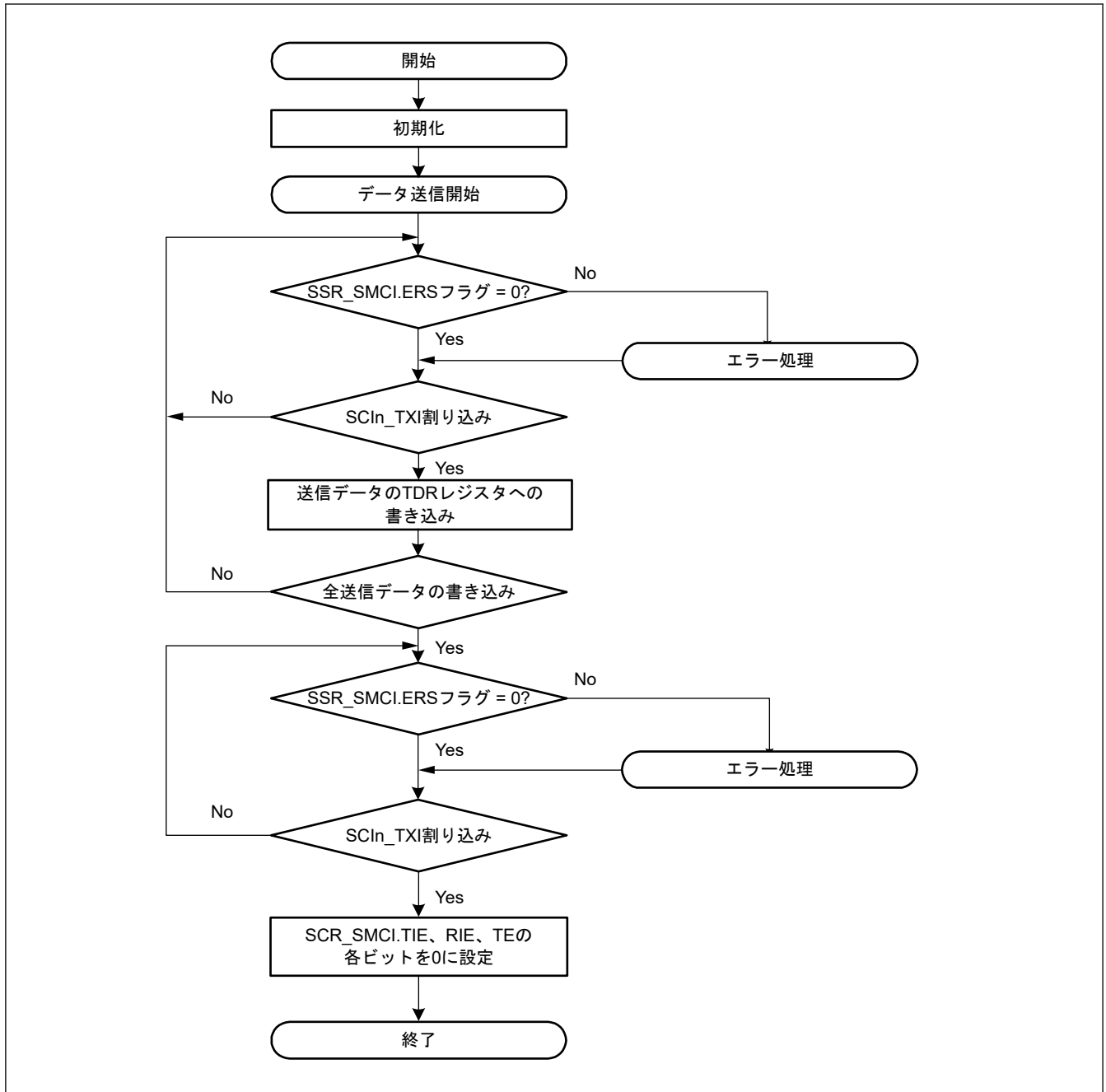


図 24.39 スマートカードインタフェース送信のフローチャート例

### 24.6.7 シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を [図 24.40](#) に示します。

1. 受信データにパリティエラーが検出されると、SSR\_SMCI.PER フラグが 1 になります。SCR\_SMCI.RIE ビットが 1 であれば、SCIn\_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグを 0 にクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCIn\_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、SCR\_SMCI.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。SCR\_SMCI.RIE ビットが 1 であれば、SCIn\_RXI 割り込み要求が発生します。



図 24.41 に、シリアルデータ受信のフローチャート例を示します。これら一連の処理は、SCIn\_RXI 割り込み要求で DTC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn\_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR\_SMCI レジスタの ORER フラグまたは PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn\_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC は起動されず、受信データはスキップされます。そのため、DTC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR\_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注. ブロック転送モードの場合は、「24.3.9. シリアルデータの受信 (調歩同期式モード)」を参照してください。

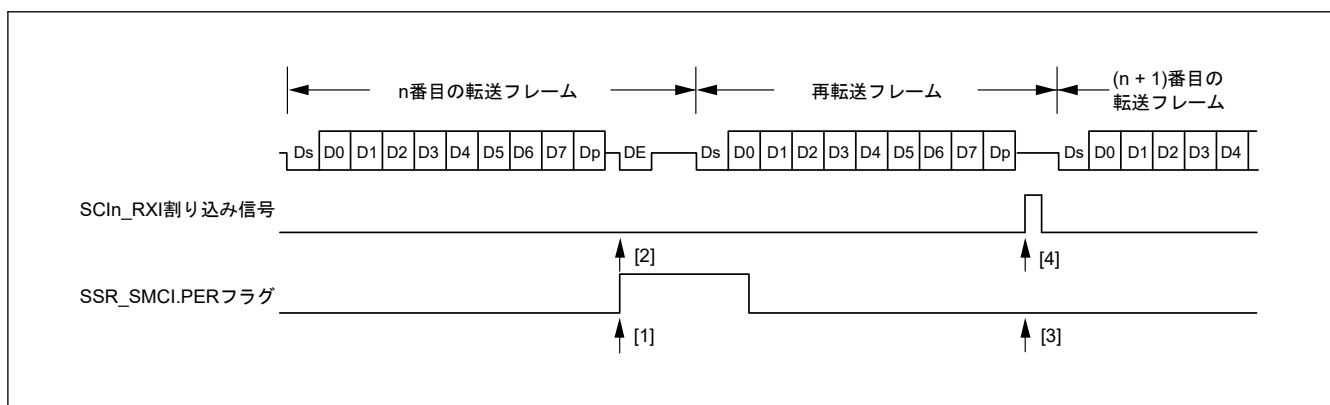


図 24.40 スマートカードインタフェース受信モードでの再転送動作

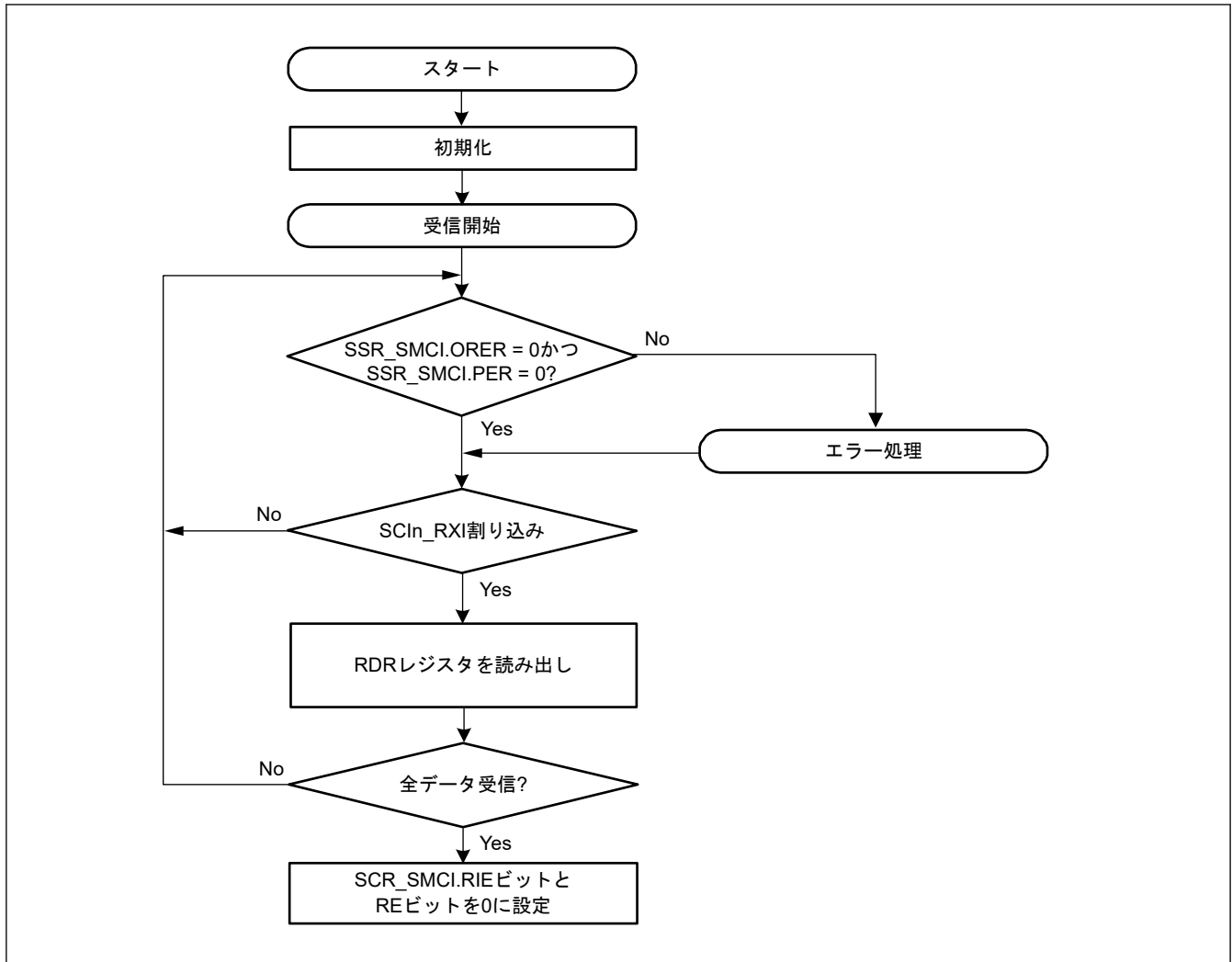


図 24.41 スマートカードインタフェース受信のフローチャート例

### 24.6.8 クロック出力制御

SMR\_SMCI.GM ビットを 1 にすると、SCR\_SMCI.CKE[1:0]ビットでクロック出力の制御が行えます。CKE[1:0]ビットの詳細については、「[24.2.10. SCR\\_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ \(SCMR.SMIF = 1\)](#)」を参照してください。クロック出力を設定すると、「[24.6.4. 受信データサンプリングタイミングと受信マージン](#)」で説明されている基本クロックになります。

図 24.42 に、SCR\_SMCI レジスタの CKE[1]ビットを 0 にして SCR\_SMCI レジスタの CKE[0]ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR\_SMCI レジスタの GM ビットが 0 の場合、SCR\_SMCI レジスタの CKE[0]ビットで制御される出力は、SCK<sub>n</sub>端子にただちに反映されます。したがって、意図しない幅のパルスが SCK<sub>n</sub> 端子から出力される可能性があります。

SMR\_SMCI.GM ビットを 1 にすると、SCR\_SMCI レジスタの CKE[0]ビットが変更されても基本クロックと同じパルス幅のクロックが出力されます。

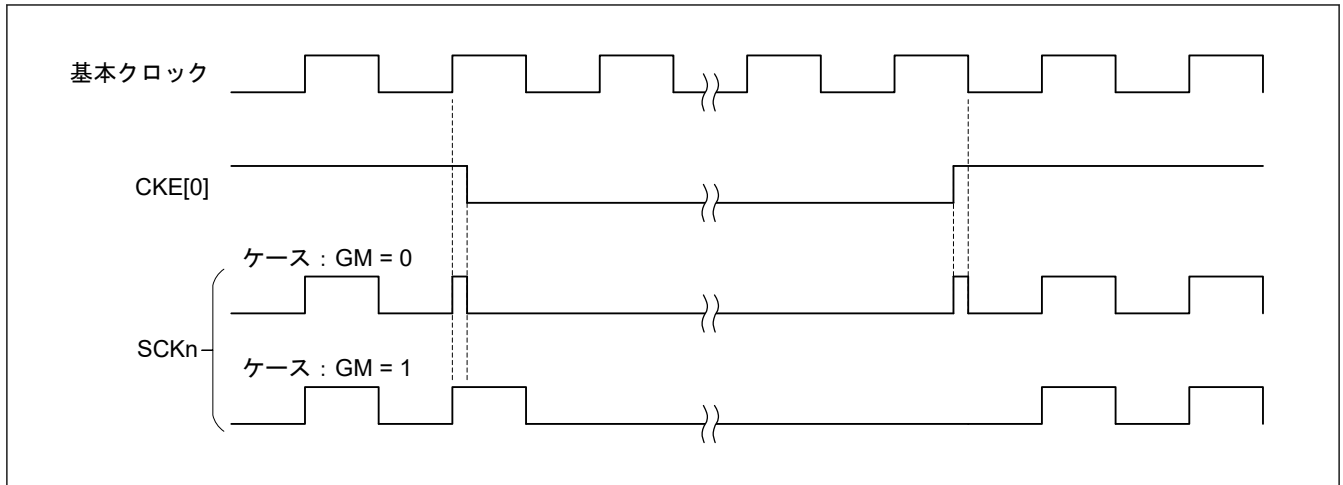


図 24.42 クロック出力固定タイミング

### 24.7 簡易 IIC モードの動作

簡易 IIC モードフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 24.43 に、I<sup>2</sup>C バスフォーマットを、図 24.44 に、I<sup>2</sup>C バスタイミングを示します。

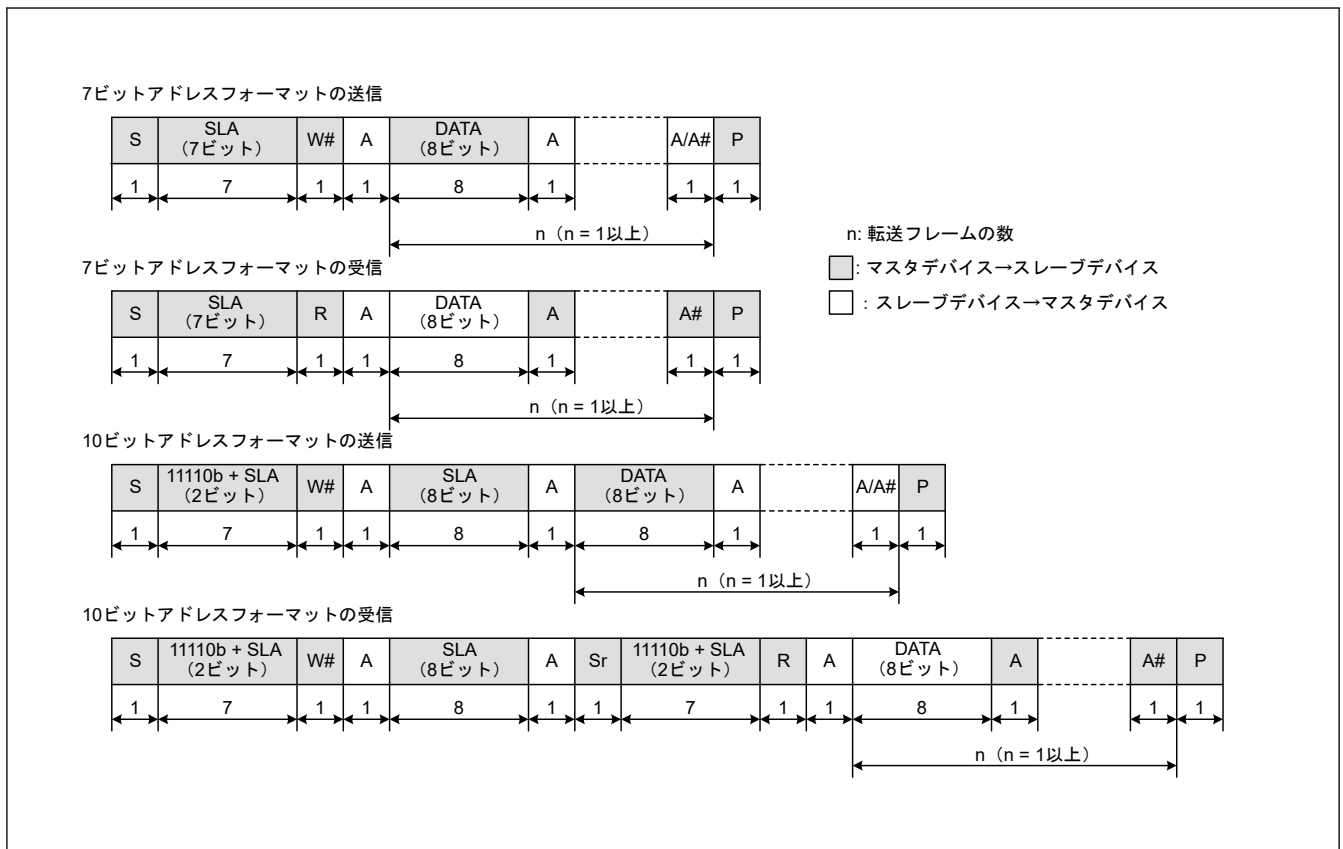


図 24.43 I<sup>2</sup>C バスフォーマット

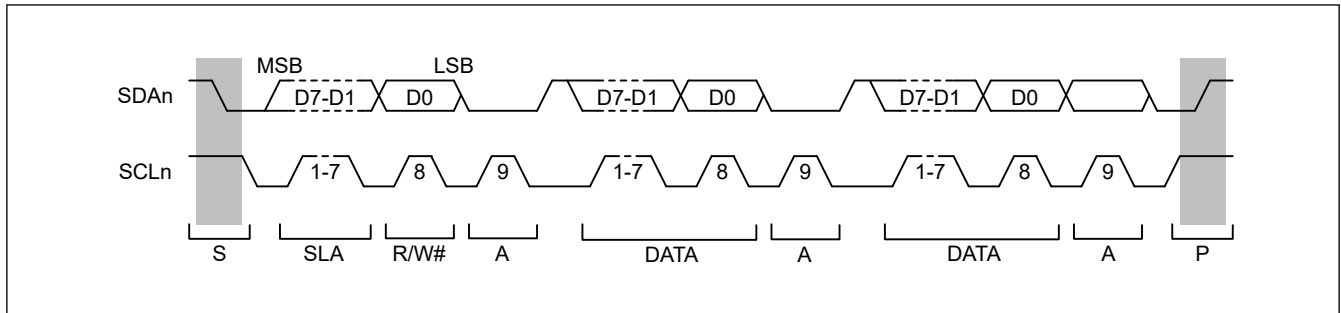


図 24.44 I<sup>2</sup>C バスタイミング (SLA = 7 ビットの場合)

- S : 開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA : スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W# : 転送方向 (送信/受信) を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A# : アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr : 再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます
- DATA : 送受信データを示します。
- P : 停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

### 24.7.1 開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ (High から Low へ変化)、SCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCLn ラインを立ち下げ (High から Low へ変化)、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開始条件の生成を行います。再開始条件の生成では、以下の動作が行われます。

- SDAn ラインを開放、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放 (Low から High へ変化)
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のセットアップ時間に設定
- SDAn ラインを立ち下げ (High から Low へ変化)
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のホールド時間に設定
- SCLn ラインを立ち下げ (High から Low へ変化)、SIMR3.IICRSTAREQ ビットを 0 にして、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ (High から Low へ変化)、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定

- SCLn ラインを開放 (Low から High へ変化)
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDAn ラインを開放 (Low から High へ変化)、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 24.45 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

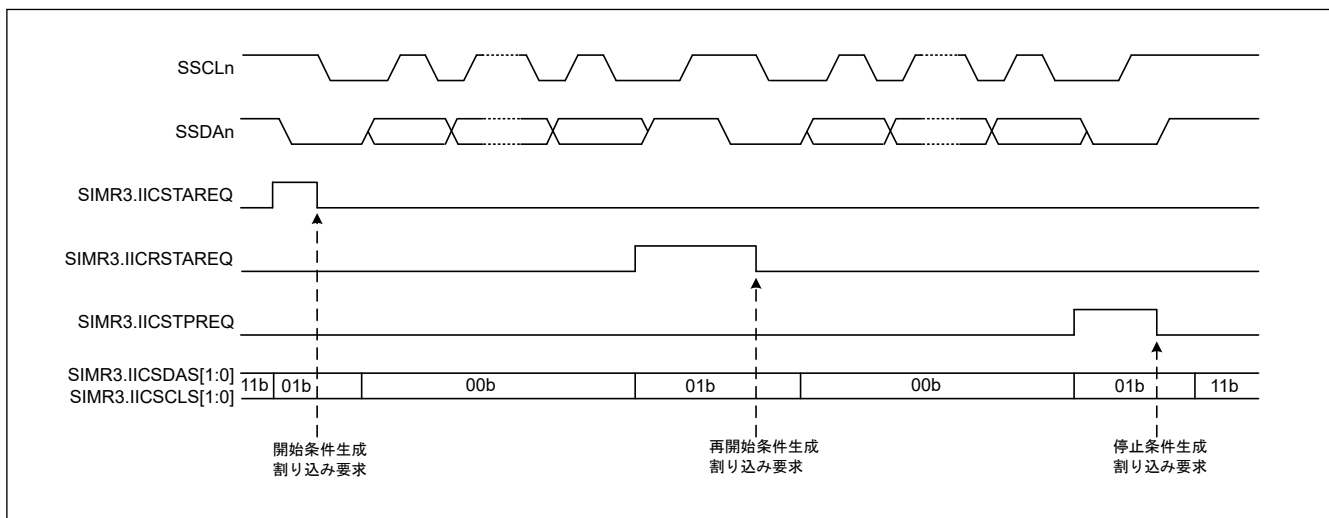


図 24.45 開始条件、再開条件、停止条件生成の動作タイミング

## 24.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子出力遅延、SCLn 端子入力のノイズフィルタ遅延 (ノイズフィルタのサンプリングクロックで 2~3 サイクル)、内部処理遅延 (PCLK で 1~2 サイクル) の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開条件、または停止条件の生成要求発行後、内部 SCLn クロックが Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロックが Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 24.46 に、クロック同期化の動作例を示します。

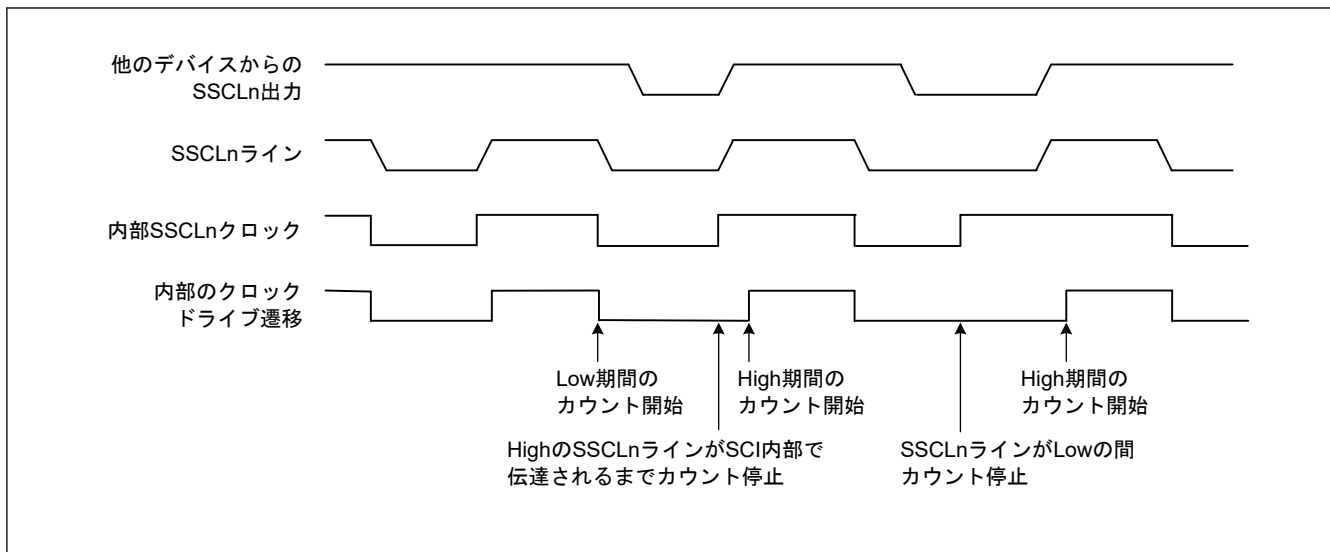


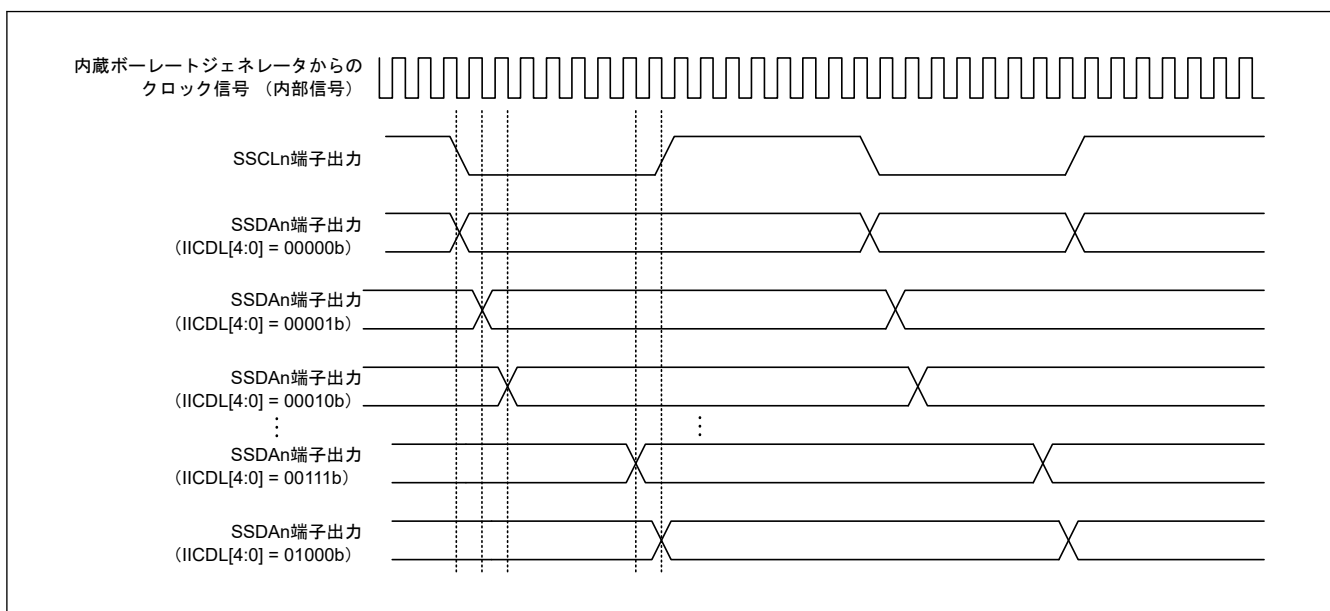
図 24.46 クロック同期化の動作例

### 24.7.3 SDA<sub>n</sub> 出力遅延

SIMR1.IICDL[4:0]ビットを用いて、SCL<sub>n</sub> 端子出力の立ち下がりに対し、SDA<sub>n</sub> 端子出力を遅延させることが可能です。遅延時間は0~31 サイクルから選択できます。これは、対応する内蔵ポーレートジェネレータからのクロック信号のサイクル数を表します (SMR.CKS[1:0]ビットで選択した分周ベースクロック (PCLK) を基準とします)。SDA<sub>n</sub> 端子出力の遅延は、開始条件/再開条件/停止条件の各信号、8ビットの送信データ、およびアクノリッジビットに適用されます。

SDA<sub>n</sub> 出力遅延が SCL<sub>n</sub> 端子出力の立ち下がり時間より短い場合、SCL<sub>n</sub> 端子出力の立ち下がり中に SDA<sub>n</sub> 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDA<sub>n</sub> 端子出力遅延は、SCL<sub>n</sub> 端子出力の立ち下がり時間の最大値 (IIC の標準モードとファストモードでは 300 ns) より大きくなるように設定してください。

図 24.47 に、SDA<sub>n</sub> 出力遅延のタイミングを示します。

図 24.47 SDA<sub>n</sub> 出力遅延のタイミング

### 24.7.4 SCI の初期化 (簡易 IIC モード)

データの送受信前に、SCR レジスタに初期値 0x00 を書き込み、表 24.30 のフローチャート例に従って、インタフェースを初期化してください。

動作モードまたは通信フォーマットを変更する前に、必ず SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

表 24.30 簡易 IIC モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	
2	SCR の TIE、RIE、TE、RE、TEIE、および CKS[1:0] ビットを 0 に設定	
3	I/O ポート機能を設定	SSCLn および SSDAn 端子の機能が (N チャネルオープンドレイン出力端子で) 使用可能となるように I/O ポートを設定します。
4	SIMR3 の IICSDAS[1:0] ビットと IICSCLS[1:0] ビットを 11b に設定	SSCLn および SSDAn 端子を、開始条件生成を行うときまでハイインピーダンス状態にします。
5	SMR レジスタと SCMR レジスタに送信/受信フォーマットを設定	SMR および SCMR に送信/受信フォーマットを設定します。SMR では、CKS[1:0] ビットを目的の値にし、その他のビットを 0 にします。SCMR では、SDIR ビットを 1 にし、SINV ビットと SMIF ビットを 0 にします。
6	BRR に値を設定	BRR レジスタに目的のビットレート値を書き込みます。
7	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットが 0 に設定されている場合、この手順は不要です。
8	SEMR、SNFR、SIMR1、SIMR2、および SPMR に値を設定	SEMR、SNFR、SIMR1、SIMR2、および SPMR に値を設定します。NFEN ビットと BRME ビットを SEMR に設定します。SNFR に、NFCS[2:0] ビットを設定します。SIMR1 では、IICM ビットを 1 にし、IICDL[4:0] ビットには必要に応じた値を設定します。SIMR2 では、IICACKT ビットと IICCSC ビットを 1 にし、IICINTM ビットには必要に応じた値を設定します。SPMR レジスタでは、すべてのビットを 0 にします。
9	SCR.RE ビットおよび SCR.TE ビットを 1 にし、SCR.TIE ビット、SCR.RIE ビット、および SCR.TEIE ビットを設定	SCR レジスタの RE ビットと TE ビットを 1 にしてください。その後で、SCR.TIE、RIE、TEIE ビットを設定します(送信用で SIMR2.IICINTM ビットが 1 の状態の場合は、RIE ビットを 0 にします)。TE ビットと RE ビットを 1 にすることで、SSCLn および SSDAn 端子の機能が有効となります。
10	送信または受信の開始	

### 24.7.5 マスタ送信動作 (簡易 IIC モード)

図 24.48 と図 24.49 にマスタ送信の動作例を、図 24.50 にデータ送信のフローチャート例を示します。

図 24.48 に、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) で、かつ SCR.RIE ビットが 0 (SCIn\_RXI および SCIn\_ERI 割り込み要求を禁止) の場合の動作例を示します。

STI 割り込みについては、表 24.34 を参照してください。

図 24.50 に、SIMR2.IICINTM が 1 の状態で、CPU によるアドレス送信と DTC によるデータ送信の場合のフローチャートを示します。10 ビットスレーブアドレス使用時は、[3] と [4] の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンブレ割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

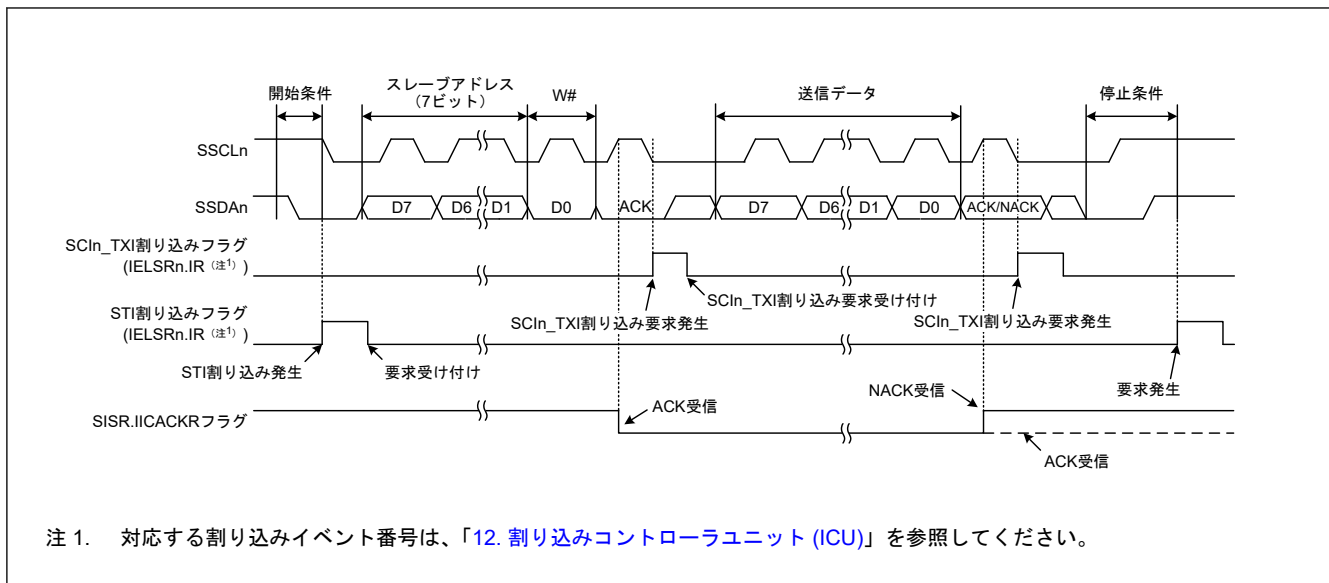


図 24.48 簡易 IIC モードにおけるマスタ送信の動作例 1 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを 0 (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガにして DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

TDR レジスタにデータを書き込んだ後に、何らかの理由で通信をリスタートさせたい場合は以下の手順に従ってください。

1. SCR レジスタの TE、RE ビットを 0 にして通信停止させてください。
2. SIMR3 レジスタに 0xF0 を設定し、I<sup>2</sup>C バスを解放し、各条件生成をクリアしてください。
3. SSR レジスタの RDRF フラグが 1 にセットされている場合、RDRF フラグをクリアしてください。
4. SCR レジスタの TE、RE ビットに 1 を設定し、次の通信を開始してください。

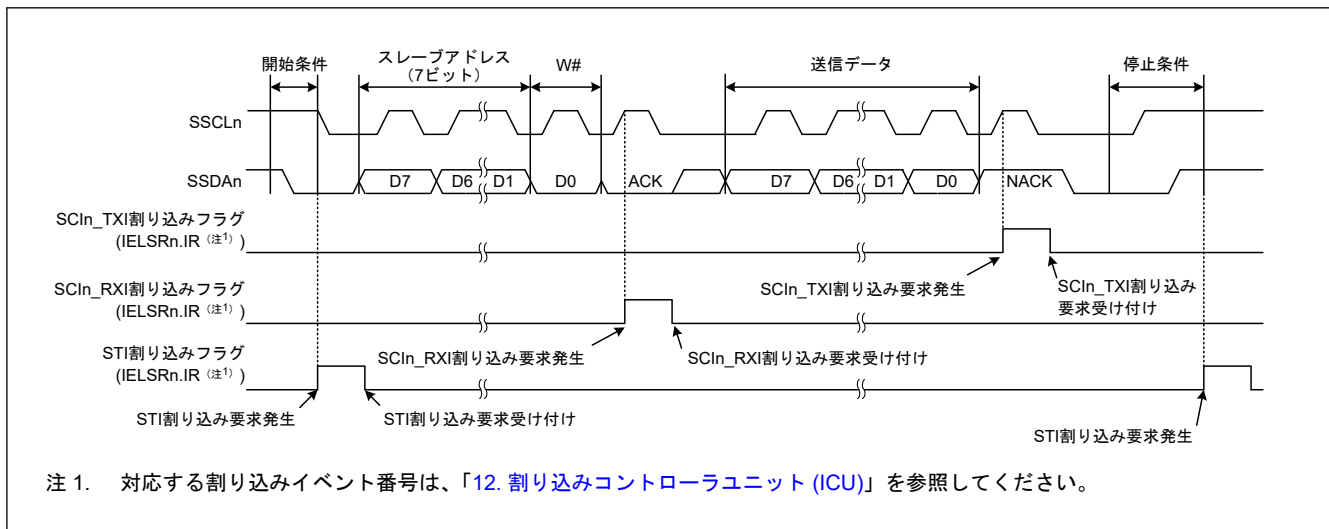


図 24.49 簡易 IIC モードにおけるマスタ送信の動作例 2 (7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)



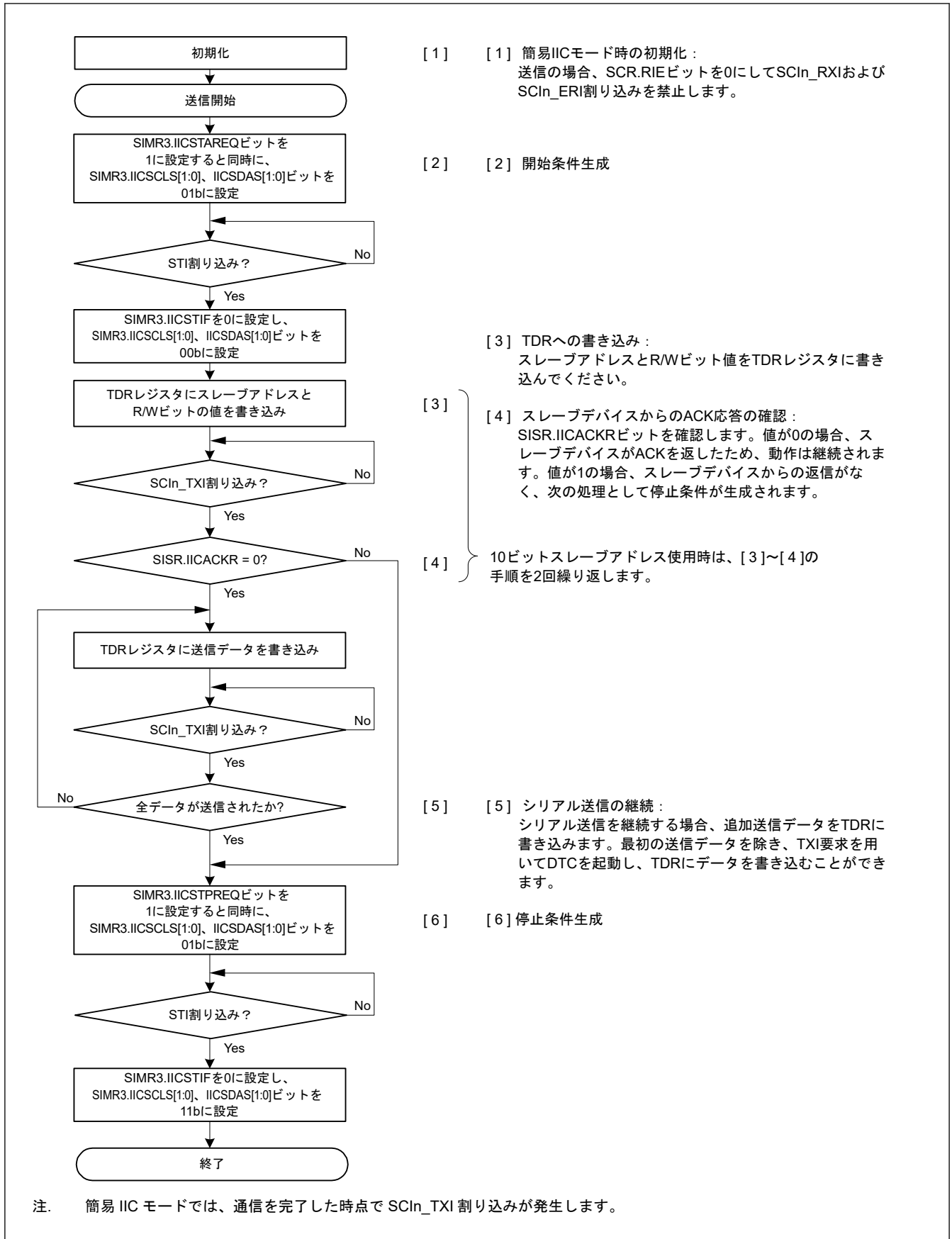


図 24.50 簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

### 24.7.6 マスタ受信動作 (簡易 IIC モード)

図 24.51 に簡易 IIC モードにおけるマスタ受信の動作例を、図 24.52 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合を想定しています。

簡易 IIC モードでの送信データエンpty割り込み (SCIn\_TXI) は、クロック同期式送信時の SCIn\_TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

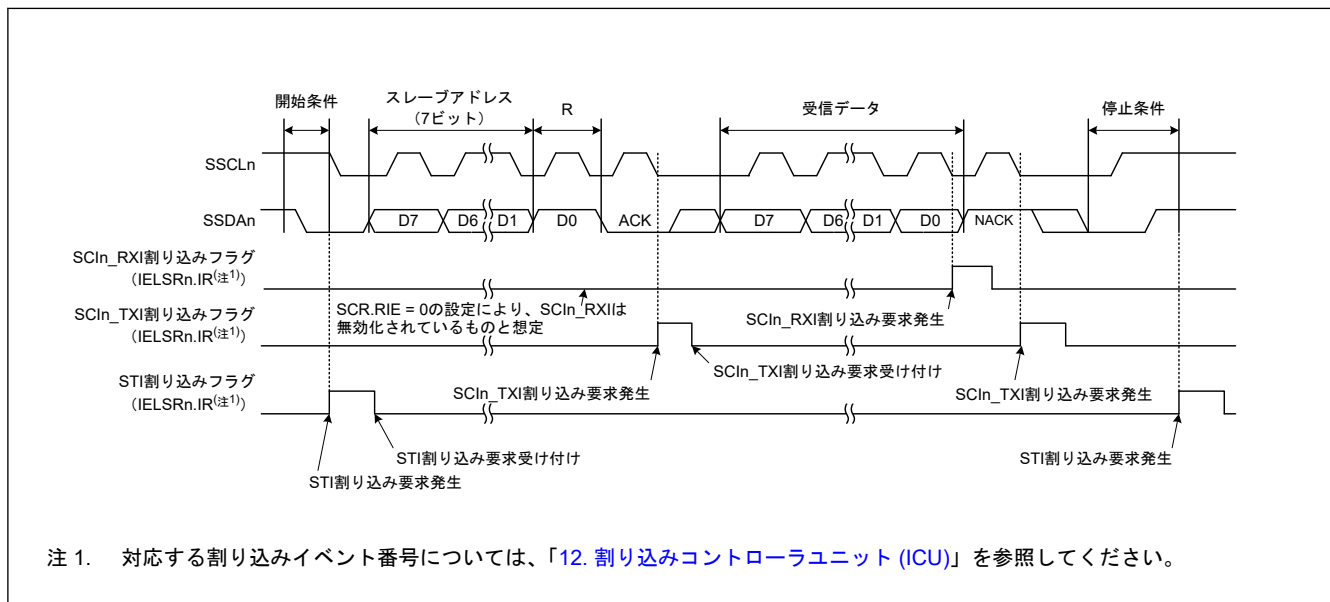
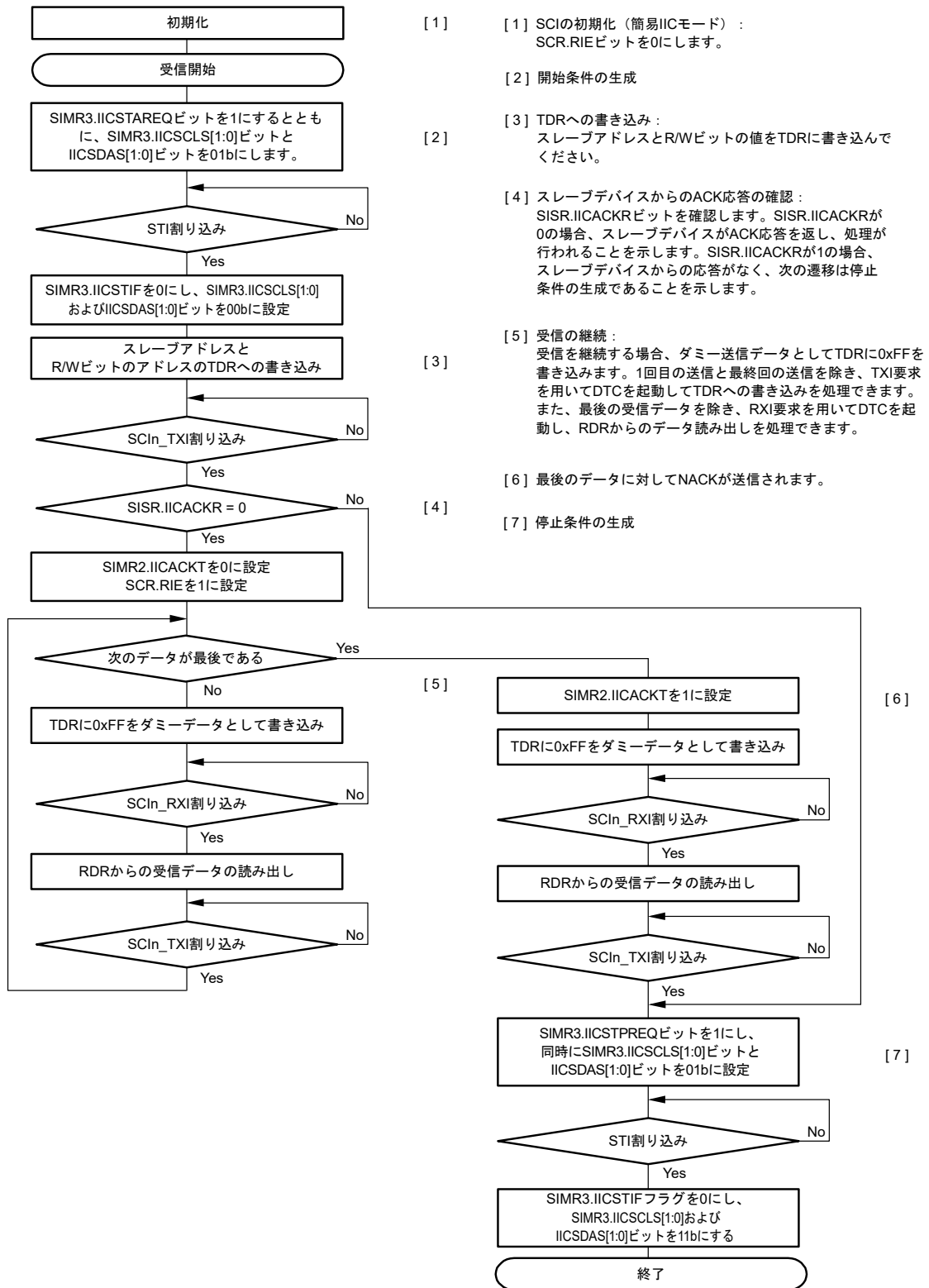


図 24.51 簡易 IIC モードにおけるマスタ受信の動作例 (7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)



注. 簡易 IIC モードでは、通信を完了した時点で SCIn\_TXI 割り込み要求が発生します。

図 24.52 簡易 IIC モードにおけるマスタ受信のフローチャート例（送信割り込み、受信割り込み使用時）

## 24.8 簡易 SPI モードの動作

SCIは拡張機能として、1つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF = 0、SIMR1.IICM = 0、SMR.CM = 1) を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、構成がシングルマスタのみの場合は、簡易 SPI モードでマスタとして使用されるデバイスの接続に、マスタ側の SS<sub>n</sub> 端子機能は不要です。よって、そのような場合は、SPMR.SSE ビットを 0 にしてください。

図 24.53 に、簡易 SPI モードの接続例を示します。マスタからの SS<sub>n</sub> 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。

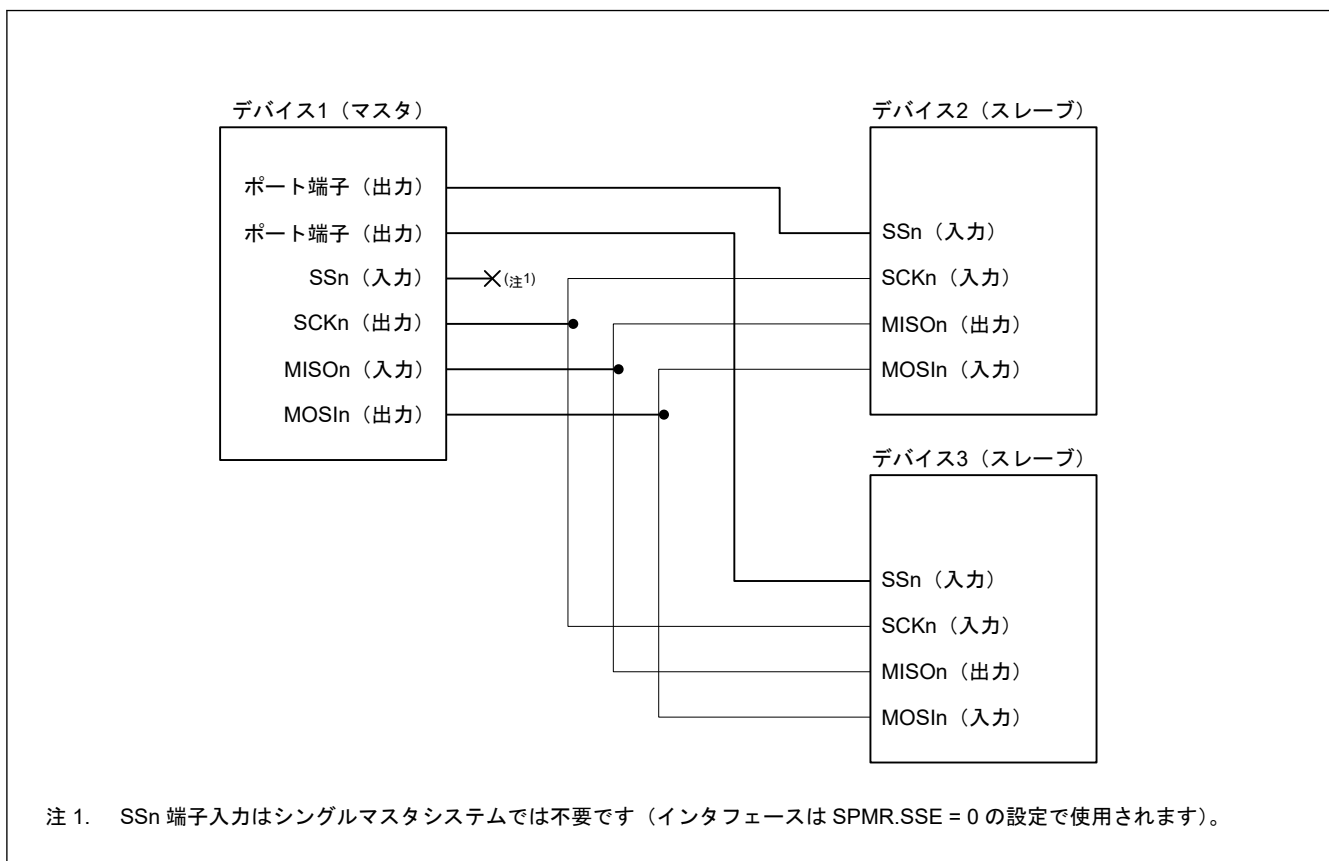


図 24.53 簡易 SPI モードでの接続例 (シングルマスタ時、SPMR.SSE ビット = 0)

### 24.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0) と、スレーブモード (SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1) で、各端子の入出力方向が異なります。

表 24.31 に、端子状態、モード、および SS<sub>n</sub> 端子入力レベルの関係を示します。

表 24.31 モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	MOSIn 端子状態	MISOn 端子状態	SCKn 端子状態
マスタモード(注1)	High (通信可能)	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High レベル (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low レベル (通信可能)	受信データ入力	送信データ出力	クロック入力

注 1. シングルマスタ構成 (SPMR.SSE = 0) のみの場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。

注 2. シリアル送信禁止 (SCR.TE ビット = 0) の場合、MOSIn 端子出力はハイインピーダンスです。

注 3. マルチマスタ構成 (SPMR.SSE = 1) では、シリアル送受信禁止 (SCR.TE = 0 および SCR.RE = 0) の場合、SCKn 端子出力はハイインピーダンスです。

## 24.8.2 マスタモード時の SS 機能

SCR.CKE[1:0]ビットを 00b または 01b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成 (SPMR.SSE ビット = 0) では SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成 (SPMR.SSE ビット = 1) において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信動作中です。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 出力と SCKn 出力はハイインピーダンス状態です。

汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

## 24.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0]ビットを 10b または 11b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態をハイインピーダンスにします。なお、内部的な送信または受信処理は、SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送受信が完了すると、動作が停止して、割り込み (SCIn\_TXI、SCIn\_RXI、SCIn\_TEI のいずれか) が発生します。

## 24.8.4 クロックと送受信データの関係

SPMR レジスタの CKPOL ビットと CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの間を [図 24.54](#) に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの間は同一です。これは、SSn 端子入力が High のときと等価です。

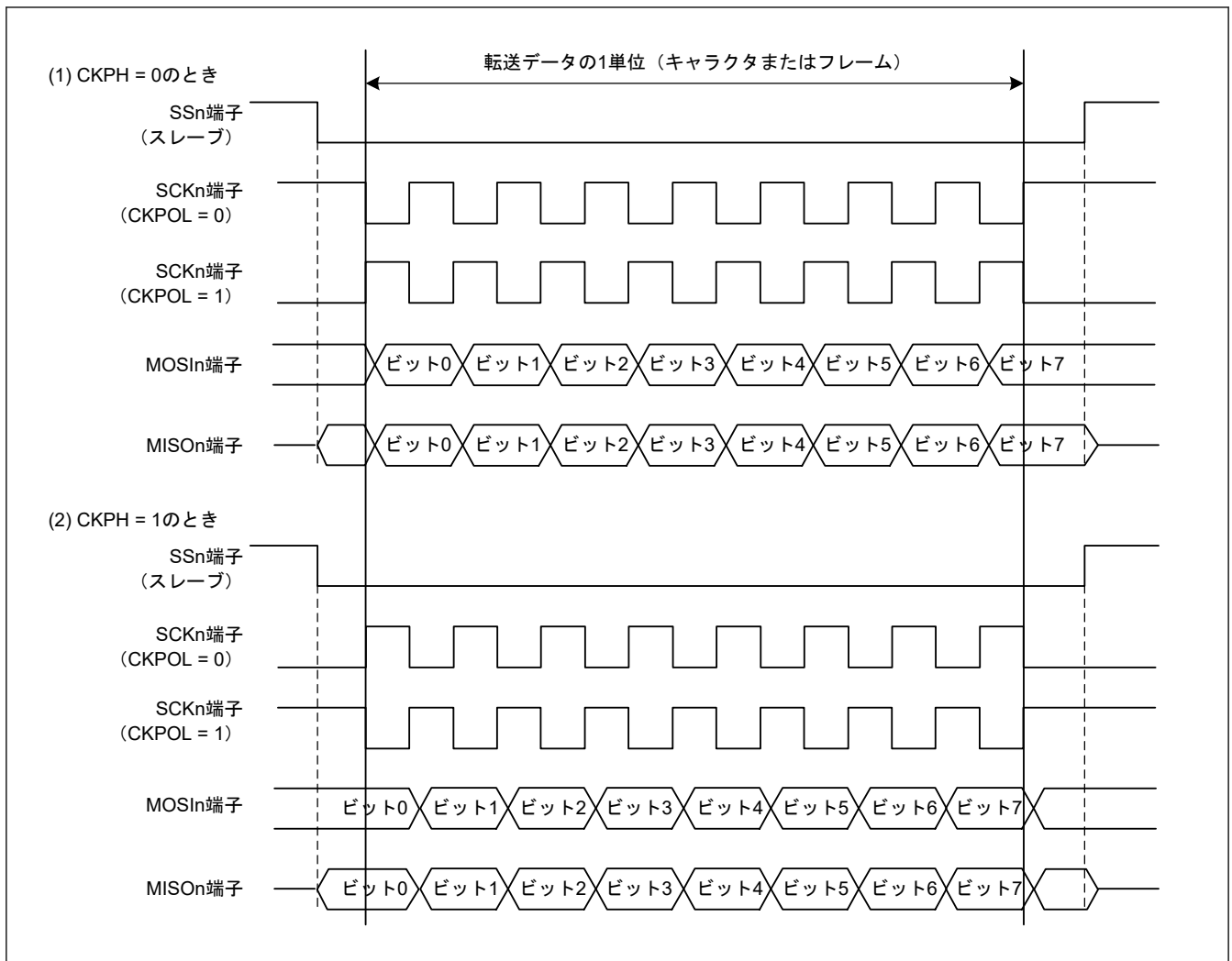


図 24.54 簡易 SPI モードにおけるクロックと送受信データの関係

### 24.8.5 SCI の初期化 (簡易 SPI モード)

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、「[24.5.3. SCI の初期化 \(クロック同期式モード\)](#)」を参照してください。SPMR レジスタの CKPOL ビットと CKPH ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注. 0 になるのは RE ビットのみです。SSR.ORER、FER、PER、RDR の各フラグは初期化されません。

SCR レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCI<sub>In</sub>\_TXI) が発生します。

### 24.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

## 24.9 ビットレート変調機能

ビットレート変調機能では、SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択された内部クロックの 256 クロックサイクルの間で、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLK が SMR/SMR\_SMCI レジスタの CKS[1:0] ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 24.55 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注. 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定 (SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、および BRR = 0) では、この機能を使用しないでください。

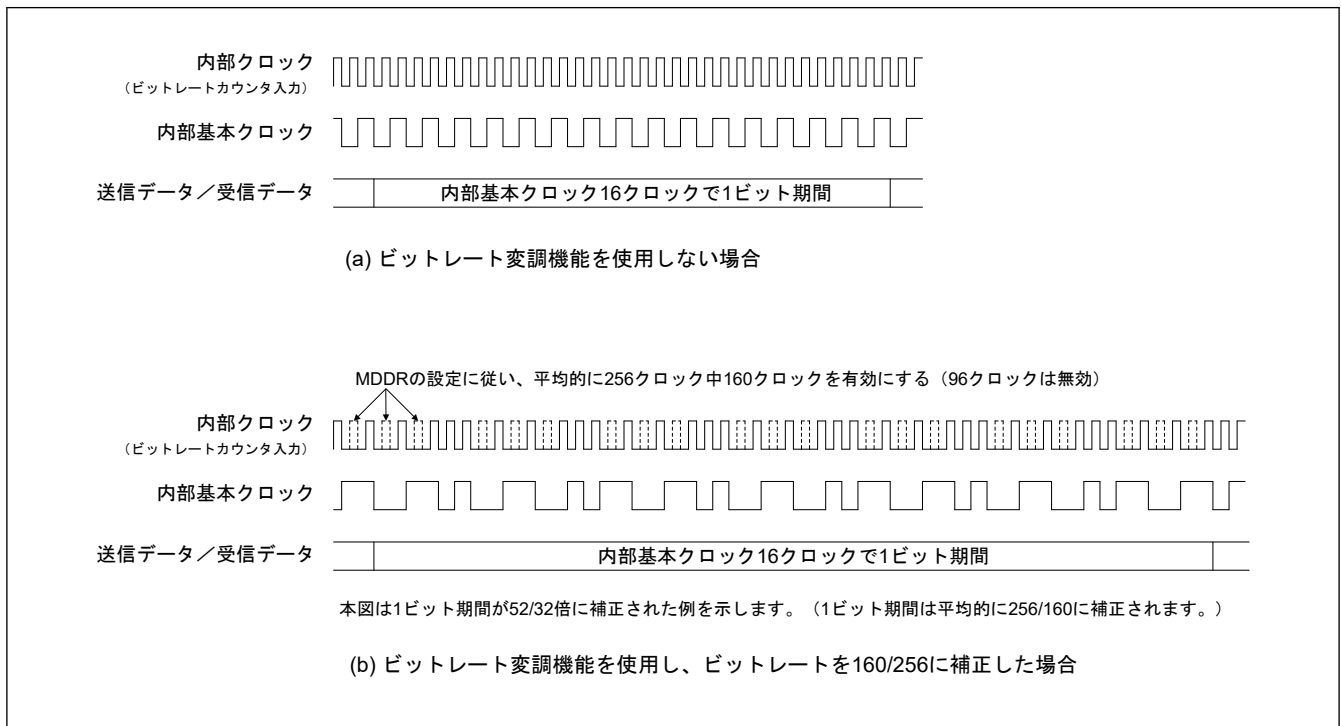


図 24.55 ビットレート変調機能使用時の内部基本クロックの例

## 24.10 割り込み要因

### 24.10.1 SCIn\_TXI および SCIn\_RXI 割り込みのバッファ動作

ICU の割り込みステータスフラグが 1 のときは、SCIn\_TXI 割り込みと SCIn\_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します (内部で保存できる容量は、1 要因ごとに 1 要求までです)。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持されていた割り込み要求が出力されます。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット (SCR/SCR\_SMCI レジスタの TIE ビットまたは RIE ビット) をクリアすることでも破棄できます。

### 24.10.2 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

表 24.32 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可/禁止することができます。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ(注1)から TSR レジスタへ転送されると、SCIn\_TXI 割り込み要求が発生します。また、SCIn\_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn\_TXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCIn\_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。(注2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn\_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にし

てから TDR レジスタまたは TDRHL レジスタ(注1)に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn\_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ(注1)にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn\_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。SCIn\_RXI 割り込み要求を用いて DTC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR レジスタの ORER、FER、PER のいずれかのフラグを 1 にすると、SCIn\_ERI 割り込み要求が発生します。

このとき、SCIn\_RXI 割り込み要求は発生しません。これら全てのフラグ (ORER、FER、PER) のすべてをクリアすることによって、SCIn\_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn\_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn\_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 24.32 SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI (n = 9)	受信エラー(注1)	SSR.ORER、SSR.FER、SSR.PER、 DCCR.DFER、DCCR.DPER	SCR.RIE	不可
SCIn_RXI (n = 9)	受信データフル	SSR.RDRF	SCR.RIE	可能
	アドレス一致	DCCR.DCMF	SCR.RIE	可能
SCIn_AM (n = 9)	アドレス一致	DCCR.DCMF	—	不可
SCIn_TXI (n = 9)	受信データエンプティ	SSR.TDRE	SCR.TIE	可能
SCIn_TEI (n = 9)	送信完了	SSR.TEND	SCR.TEIE	不可

注 1. 割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードのみです。

### 24.10.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 24.33 の割り込み要因があります。このモードでは、送信終了割り込み (SCIn\_TEI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

表 24.33 SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_ERI (n = 9)	受信エラー、エラーシグナル検出	SSR_SMCI.ORER、 SSR_SMCI.PER、 SSR_SMCI.ERS	SCR_SMCI.RIE	不可
SCIn_RXI (n = 9)	受信データフル	SSR_SMCI.RDRF	SCR_SMCI.RIE	可能
SCIn_TXI (n = 9)	送信データエンプティ	SSR_SMCI.TEND	SCR_SMCI.TIE	可能

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC を使用した送受信が可能です。送信時に SSR\_SMCI.TEND フラグが 1 であれば、SCIn\_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。TEND フラグは、DTC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR\_SMCI.ERS フラグは自動的に 0 になりません。そのため、あらかじめ SCR\_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn\_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。DTC の設定方法については、「15. データトランスファコントローラ (DTC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn\_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DTC が起動



され、送信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC は起動せず、代わりに CPU に対して SCIn\_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

#### 24.10.4 簡易 IIC モードにおける割り込み

表 24.34 に、簡易 IIC モードにおける割り込み要因を示します。STI 割り込みは、送信終了割り込み (SCIn\_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn\_ERI) 要求とアドレス一致 (SCIn\_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき：

- SCLn 信号の 8<sup>th</sup> ビット目の立ち下がり、SCIn\_RXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9<sup>th</sup> ビット目 (アクノリッジビット) の立ち下がりエッジで、SCIn\_TXI 割り込み要求が発生します。あらかじめ DTC の起動要因として SCIn\_TXI 割り込み要求を設定しておけば、SCIn\_TXI 割り込み要求によって DTC が起動され、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき：

- SCLn 信号の 9<sup>th</sup> ビット目 (アクノリッジビット) の立ち上がりで、SDAn 端子入力が Low であると、SCIn\_RXI 割り込み要求 (ACK 検出) が発生します。
- SCLn 信号の 9<sup>th</sup> ビット目 (アクノリッジビット) の立ち上がりで、SDAn 端子入力が High であると、SCIn\_TXI 割り込み要求 (NACK 検出) が発生します。
- あらかじめ DTC の起動要因として SCIn\_RXI 割り込み要求を設定しておけば、SCIn\_RXI 割り込み要求によって DTC が起動され、受信データの転送が可能になります。

なお、DTC を使用して送受信を行う場合は、必ず DTC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 24.34 SCI の割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC の起動
SCIn_RXI (n = 9)	受信、ACK 検出	—	SCMR.RIE	可能(注1)
SCIn_TXI (n = 9)	送信、NACK 検出	—	SCMR.TIE	可能
SCIn_TEI (STIn) (n = 9)	開始条件、再開条件、停止条件生成終了	SIMR3.IICSTIF	SCMR.TEIE	不可

注 1. SIMR2.IICINTM ビットが 1 (受信割り込み、送信割り込みを使用) の場合にのみ、DTC の起動が可能です。

#### 24.11 イベントリンク機能

SCIn は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

##### (1) エラーイベント出力 (受信エラーまたはエラーシグナル検出時) (SCIn\_ERI, n = 9)

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。

##### (2) 受信データフルイベント出力 (SCIn\_RXI, n = 9)

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。
- 受信データが受信データレジスタ (RDR または RDRHL) に格納されたことを示します。

### (3) 送信データエンプティイベント出力 (SCIn\_TXI、n = 9)

- SCR/SCR\_SMCI.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。
- 送信データが送信データレジスタ (TDR または TDRHL) から送信シフトレジスタ (TSR) へ転送されたことを示します。

### (4) 送信終了イベント出力 (SCIn\_TEI、n = 9)

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開条件、停止条件の生成が完了したことを示します。

### (5) アドレス一致イベント出力 (SCIn\_AM、n = 9)

- 調歩同期式モード (マルチプロセッサモードを含む) において、DCCR.DCME ビットが 1 の場合、比較データ (CDR.CMPD) と受信データの 1 フレームが一致したことを示します。

## 24.12 ノイズ除去機能

図 24.56 にノイズ除去機能に用いるノイズフィルタの構成を示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路に取り込まれます。

- SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/16 となります。
- SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/8 となります。
- SEMR.ABCSE = 1 の場合、周期は 1 ビット期間の 1/6 となります。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、ポーレートジェネレータの分周クロックの設定 SNFR.NFCS[2:0] ビットから選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

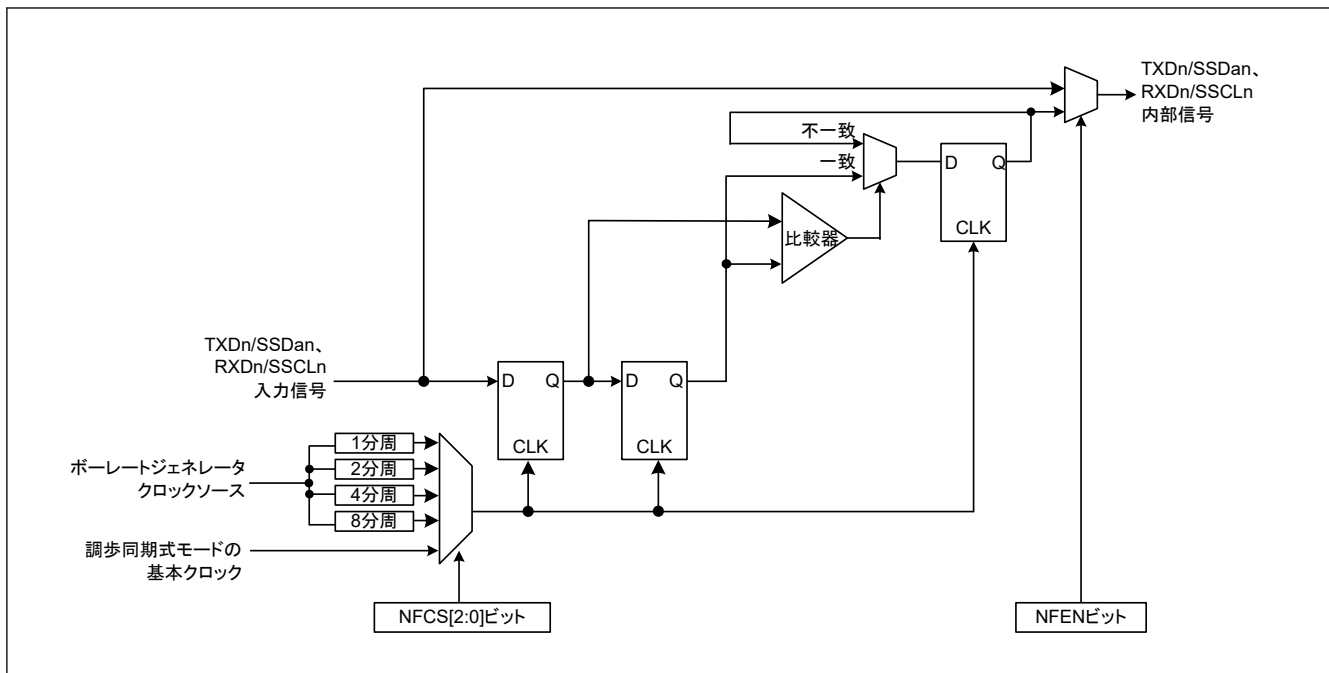


図 24.56 デジタルノイズフィルタ回路のブロック図

## 24.13 使用上の注意

### 24.13.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止/許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 24.13.2 低消費電力状態での SCI の動作について

#### (1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止 (SCR/SCR\_SMCI レジスタの TIE、TE、TEIE ビットを 0) にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR\_SMCI レジスタの TEND ビットは、1 にリセットされます。モジュールストップ状態またはソフトウェアスタンバイモードから復帰した後の出力端子の状態は、ポートの設定と SPTR レジスタの設定に依存し、低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。
2. SSR/SSR\_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 24.57 に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 24.58 と図 24.59 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に送信動作を停止 (TE = 0) にしてください。低消費電力状態の解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCIn\_TXI 割り込みフラグが 1 になり、DTC による送信が開始します。

## (2) 受信

### ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に受信動作を停止 (SCR/SCR\_SMCI.RE = 0) にしてください。データ受信中に遷移すると、受信中のデータは無効になります。

図 24.60 に、受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

### ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR\_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXDn) が Low であれば、SEMR.RXDESEL を 0 にしてください。

SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット (RXDn 端子の立ち下がり) が検出されない可能性があります。

図 24.61 に、アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフロー例を示します。

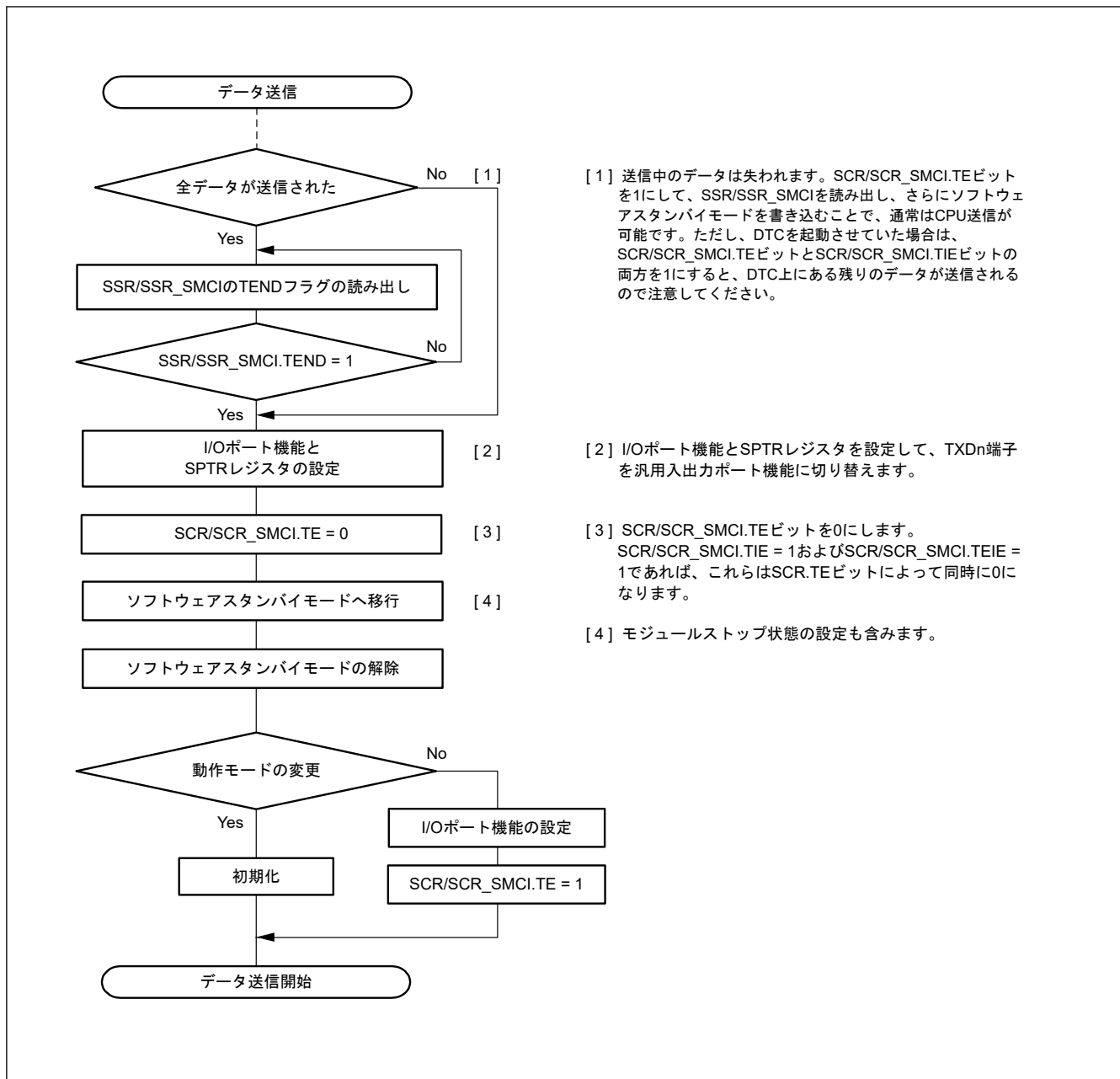


図 24.57 送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

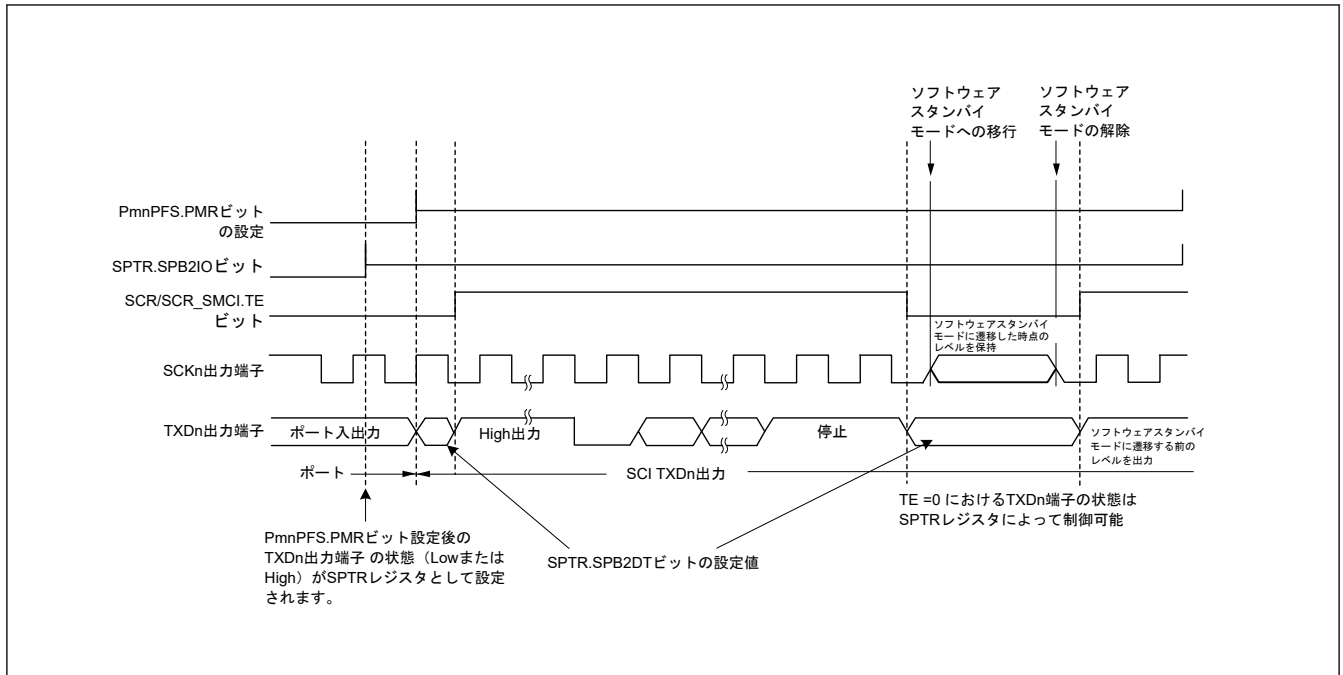


図 24.58 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、調歩同期式送信)

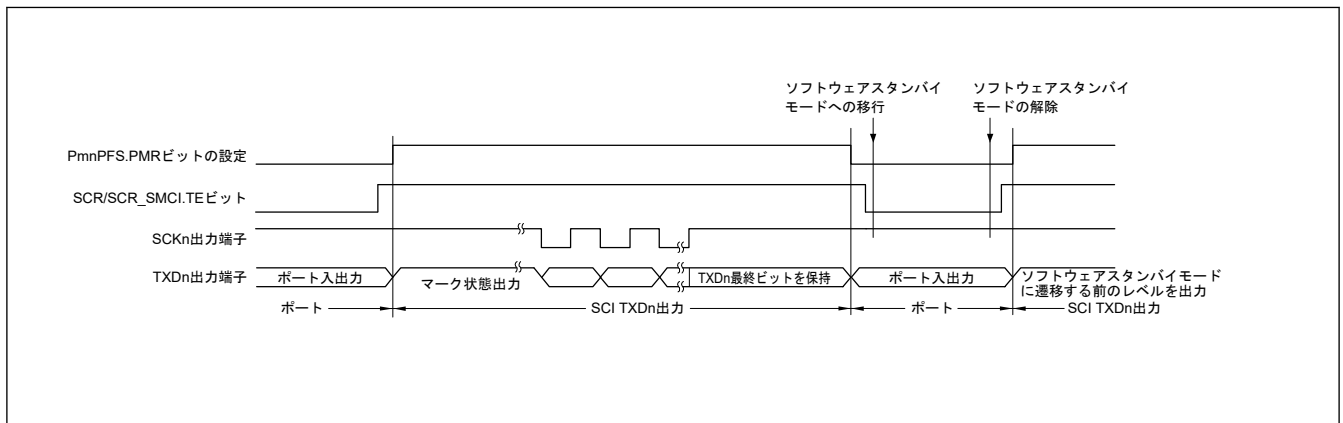


図 24.59 ソフトウェアスタンバイモード遷移中のポートの端子状態 (内部クロック、クロック同期式送信)

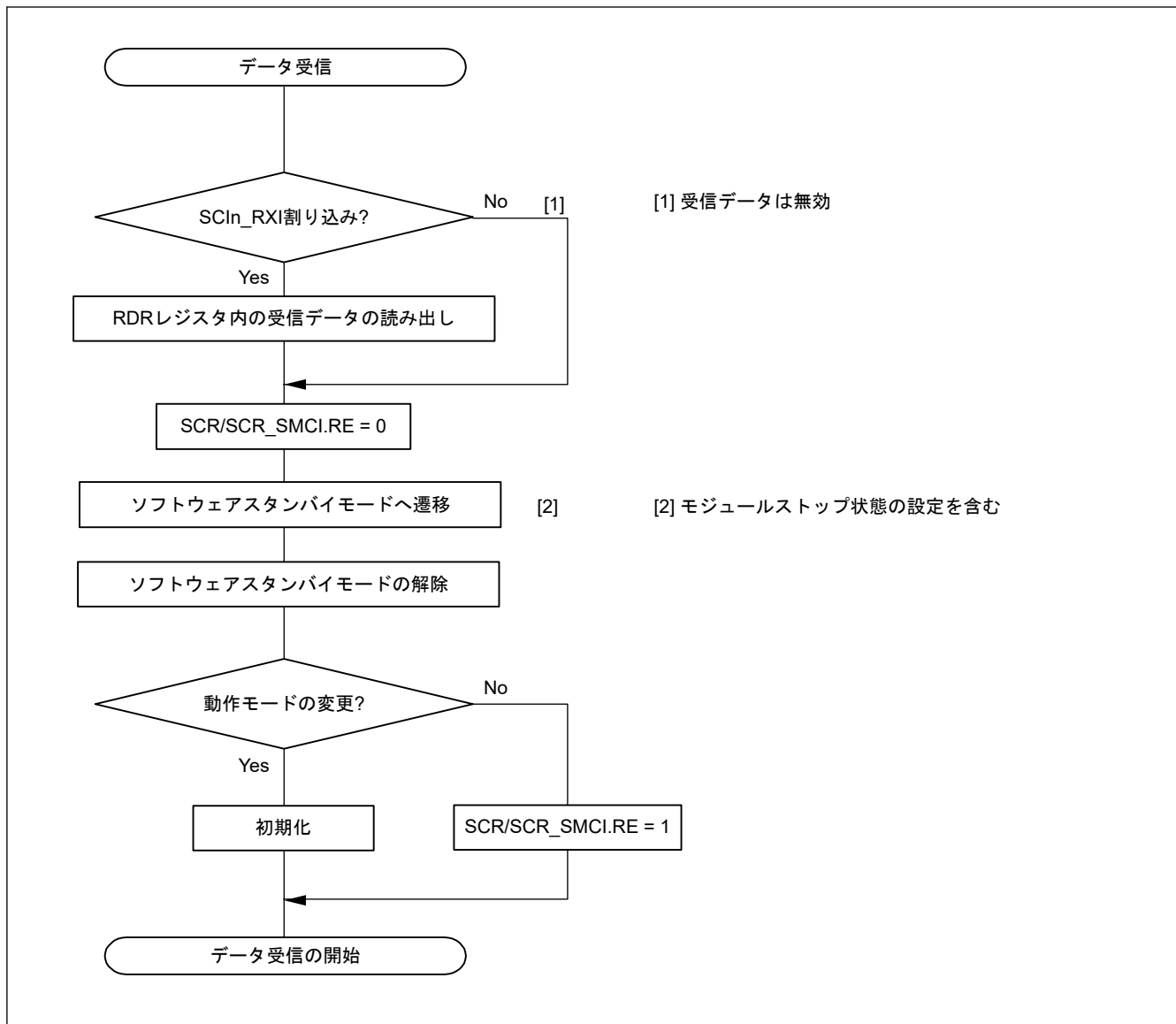


図 24.60 受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

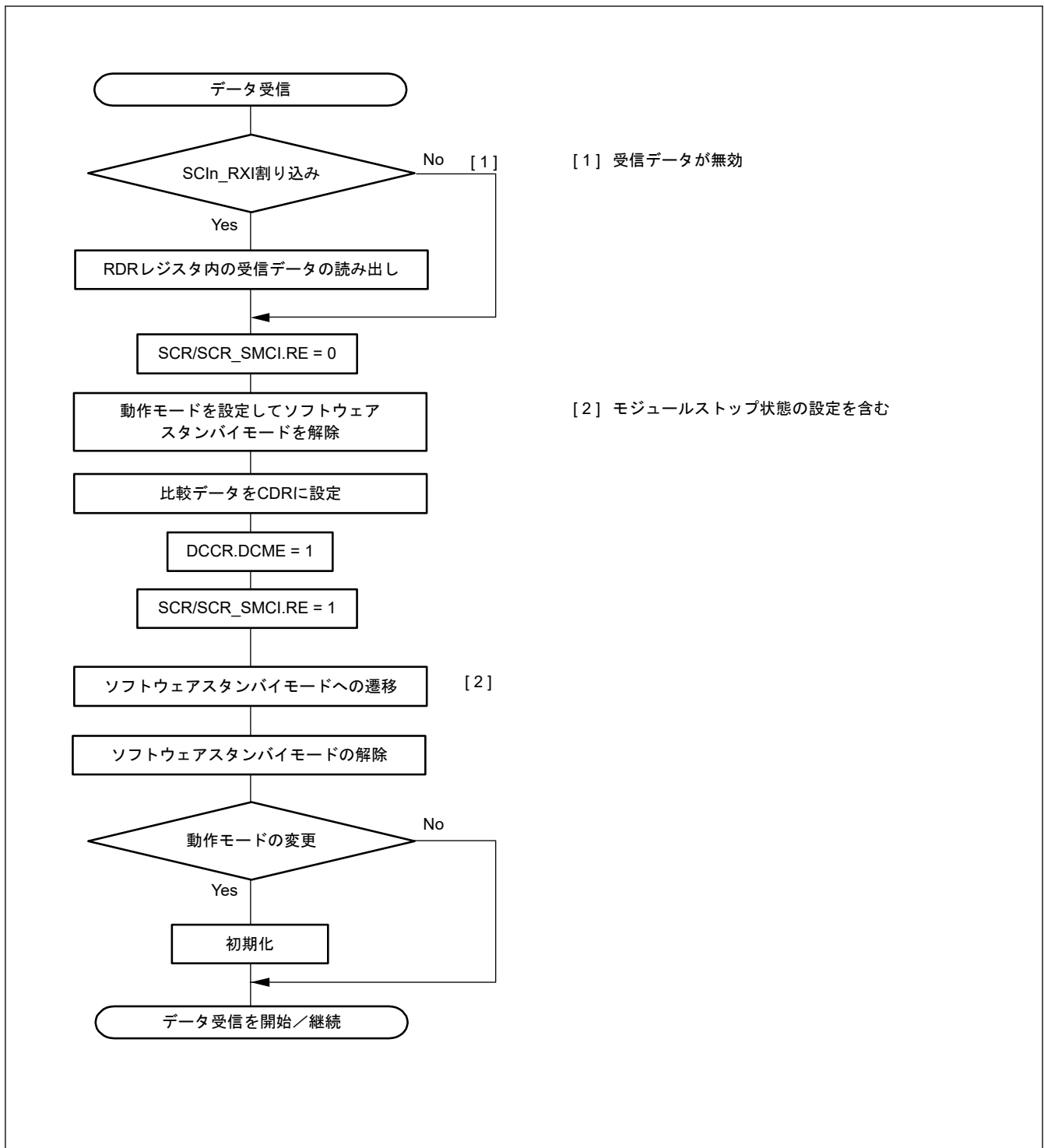


図 24.61 アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

### 24.13.3 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1 (フレーミングエラーの発生あり) になり、さらに SSR.PER フラグも 1 (パリティエラーの発生あり) になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0 (フレーミングエラーの発生なし) にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグが 0 であれば、ブレーク中は SSR.FER フラグは 0 を保持します。



RXDn 端子が 1 になってブレイクが終了した後、最初の RXDn 端子の立ち下がりエッジでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

#### 24.13.4 マーク状態とブレイクの送出

SCR/SCR\_SMCI.TE ビットが 0 (シリアル送信動作を禁止) のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にして、ブレイクを送出できます。

SCR/SCR\_SMCI.TE ビットを 1 (シリアル送信動作を許可) にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態 (1 の状態) に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレイクを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR\_SMCI.TE ビットを 0 にしてください。SCR/SCR\_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されます。

#### 24.13.5 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が 1 の状態では、TDR レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注 SCR/SCR\_SMCI.RE ビットを 0 (シリアル受信動作を禁止) にしても、受信エラーフラグは 0 になりません。

#### 24.13.6 クロック同期送信に関する制限事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

##### (1) 送信開始時

TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

1PCLK + スレーブのデータ出力遅延時間 ( $t_{DO}$ ) + マスタのセットアップ時間 ( $t_{SU}$ ) [図 24.62](#) を参照してください。

##### (2) 連続送信時

送信クロックのビット[7]の立ち下がりエッジ以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください。 [図 24.62](#) を参照してください。

ビット[7]送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLK サイクル以上にしてください。 [図 24.62](#) を参照してください。

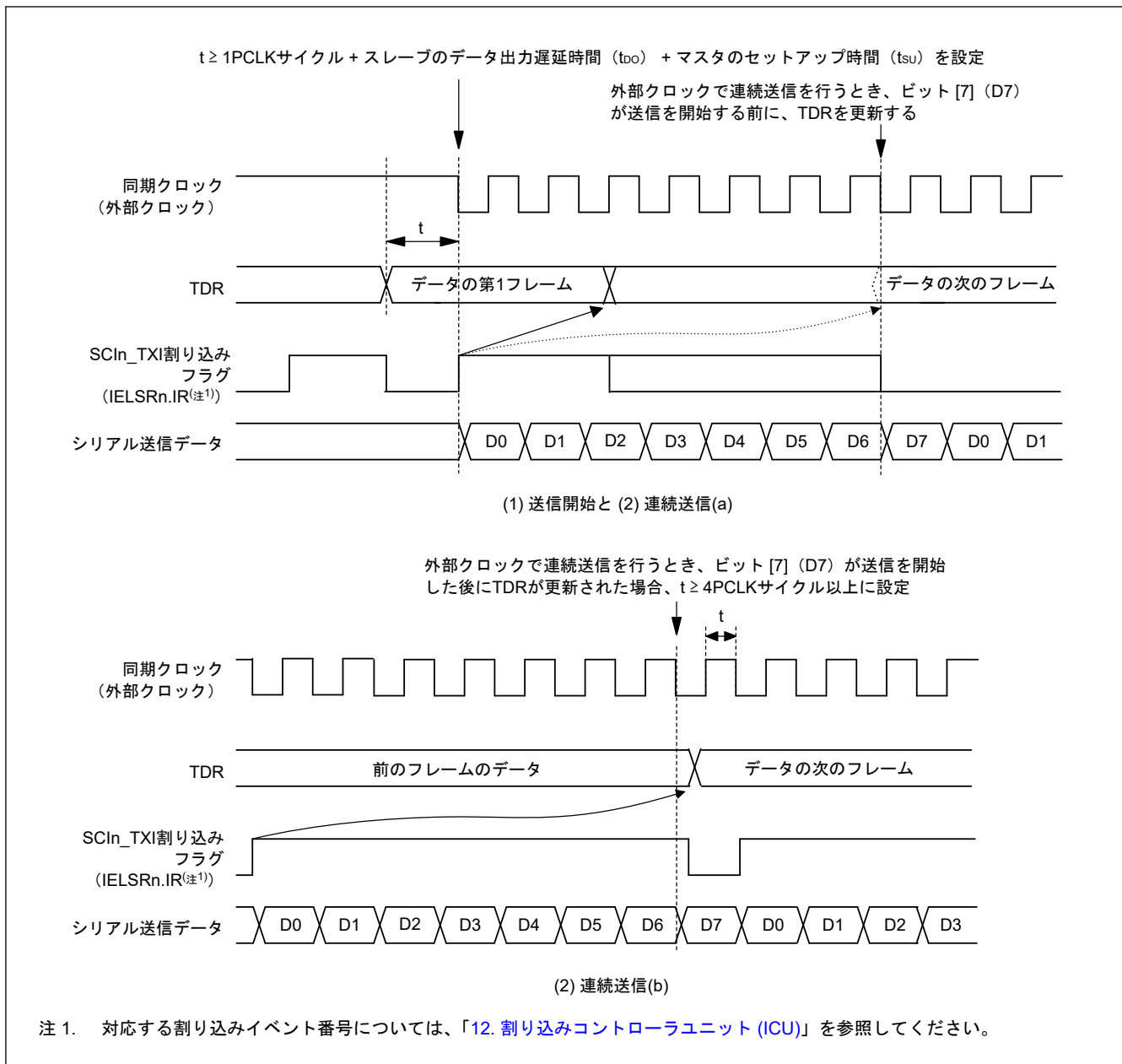


図 24.62 クロック同期式送信時の外部クロック使用に関する制約事項

### 24.13.7 DTC 使用時の制約事項

DTC による送受信動作中は、DTC に転送データを設定しないでください。

#### (1) TDR レジスタへの書き込み

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DTC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn\_TXI 割り込み要求の処理ルーチンで行ってください。

#### (2) RDR レジスタからの読み出し

DTC を用いて RDR および RDRHL レジスタを読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCIn\_RXI) を設定してください。

### 24.13.8 通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ (IELSRn.IR フラグ) が 1 のときは、動作許可 (SCR/SCR\_SMCI.TE ビットまたは SCR/SCR\_SMCI.RE ビットを 1) にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

1. 通信が停止していること (SCR/SCR\_SMCI.TE ビットまたは SCR/SCR\_SMCI.RE ビットが 0 になっていること) を確認します。
2. 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を 0 にします。
3. 対応する割り込み許可ビット (SCR/SCR\_SMCI.TIE ビットまたは SCR/SCR\_SMCI.RIE ビット) を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ (IELSRn.IR フラグ) を 0 にします。

### 24.13.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCKn 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLK 以上、周期は 6PCLK 以上

### 24.13.10 簡易 SPI モードに関する制限事項

#### (1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。

これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。

- クロック遅れあり (SPMR.CKPH ビット = 1) では、図 24.63 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn\_RXI) が発生します。SCR レジスタの TE ビットと RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn\_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

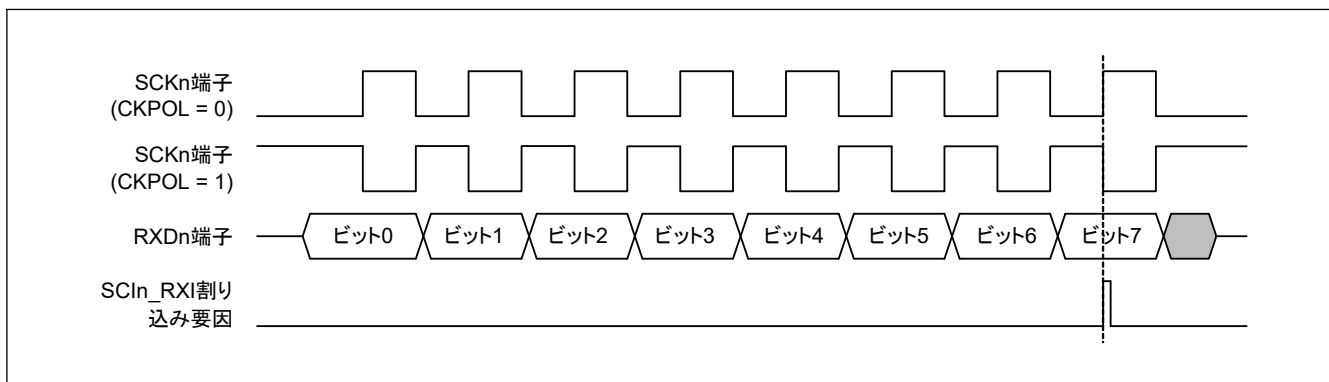


図 24.63 簡易 SPI モードにおける SCIn\_RXI 割り込みの発生タイミング (クロック遅れあり)

#### (2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

1PCLK + スレーブのデータ出力遅延時間 ( $t_{DO}$ ) + マスタのセットアップ時間 ( $t_{SU}$ )

また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、5PCLK 以上の待機時間を確保してください。

- マスタからの外部クロックの供給は、転送データ長に合わせてください。
- SSn 端子入力は、データ転送開始前と完了後に制御してください。
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR レジスタの TE ビットと RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください。

### 24.13.11 送信許可ビット (SCR.TE) に関する注意事項

SCR.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続する。
2. SCR.TE ビットを 0 にする前に、端子機能を汎用の出力ポートに変更する。その後、SCR.TE ビットを 1 にした後、端子機能を TXDn に変更する。
3. 調歩同期式モードにおいて SCR.TE ビットが 0 の場合に、SPTR を設定し、TXDn 端子に対して決定されたレベルを設定します。

簡易 SPI モードのスレーブ動作では、MISO<sub>n</sub> 端子は上記 TXDn 端子と同様の動作をします。MISO<sub>n</sub> 端子は TXDn 端子と同様に、上記の 1. と 2. により、ハイインピーダンスにしないでください。

### 24.13.12 調歩同期式モードで RTS 機能を使用した時の受信の停止について

調歩同期式モードにおいて、SCR.RE ビットを 0 に設定してから RTS 信号ジェネレータを停止するまでに PCLK の 1 クロックサイクルが必要です。

SCR.RE ビットを 0 に設定した後で RDR (または RDRL) レジスタから読み出すときは、これら 2 つの処理が続けて実行されることを防ぐために、RDR (または RDRL) レジスタから読み出す前に RE が 0 に設定されていることを確認してください。

## 25. I3C バスインタフェース (I3C)

### 25.1 概要

#### 25.1.1 機能概要

I3C バスインタフェース (I3C) には、1 チャンネルあります。I3C モジュールは、NXP 社の I<sup>2</sup>C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。

表 25.1 に I<sup>2</sup>C の仕様を、表 25.2 に I3C の仕様を示します。

表 25.1 I<sup>2</sup>C の仕様

項目	内容
動作モード	マスタ/スレーブモードを選択可能
データハンドラ	シングルバッファ転送
通信プロトコル	<ul style="list-style-type: none"> <li>I<sup>2</sup>C バスフォーマット           <ul style="list-style-type: none"> <li>スタンダードモード (Sm): 0~100 kbps</li> <li>ファストモード (Fm): 0~400 kbps</li> <li>ファストモードプラス (Fm+): 0~1 Mbps</li> <li>High-speed モード (Hs モード): 0~3 Mbps</li> </ul> </li> <li>SMBus フォーマット: 10~100 kbps</li> </ul>
アドレスフォーマット	<ul style="list-style-type: none"> <li>7 ビットアドレス</li> <li>10 ビットアドレス</li> </ul>
アドレス検出	<ul style="list-style-type: none"> <li>スレーブアドレス (スタティックアドレス) (最大 1 アドレス)</li> <li>ジェネラルコールアドレス</li> <li>Hs モードマスタコード</li> <li>デバイス ID</li> <li>ホストアドレス</li> <li>10 ビットスレーブアドレッシング</li> </ul>
クロックストレッチ	クロックストレッチ能力
ノイズフィルタ	<ul style="list-style-type: none"> <li>デジタルノイズフィルタ</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>Rx データバッファフル</li> <li>Tx データバッファエンプティ</li> <li>スタートコンディション検出</li> <li>ストップコンディション検出</li> <li>送信終了</li> <li>NACK 検出</li> <li>アービトレーションロスト</li> <li>タイムアウト検出</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>NACK 受信</li> <li>アービトレーションロストエラー</li> <li>タイムアウトエラー</li> </ul>
イベントリンク出力	<ul style="list-style-type: none"> <li>通信イベント</li> <li>Rx データバッファフルイベント</li> <li>Tx データバッファエンプティイベント</li> <li>送信終了イベント</li> </ul>

表 25.2 I3C の仕様 (1/2)

項目	内容
動作モード	マスタ (メインマスタ/セカンダリマスタ) モード/スレーブモードを選択可能
データハンドラ	<ul style="list-style-type: none"> <li>マスタ:           <ul style="list-style-type: none"> <li>通常 FIFO バッファ転送</li> </ul> </li> <li>スレーブ:           <ul style="list-style-type: none"> <li>通常 FIFO バッファ転送</li> </ul> </li> </ul>

表 25.2 I3C の仕様 (2/2)

項目	内容
通信プロトコル	<ul style="list-style-type: none"> <li>SDR (I3C シングルデータレート) モード <ul style="list-style-type: none"> <li>プライベートメッセージ</li> <li>ブロードキャストメッセージ (共通コマンドコード)</li> <li>ダイレクトメッセージ (共通コマンドコード)</li> </ul> </li> <li>レガシー I<sup>2</sup>C メッセージ <ul style="list-style-type: none"> <li>ファストモード (Fm) : 0~400 kbps</li> <li>ファストモードプラス (Fm+) : 0~1 Mbps</li> </ul> </li> </ul>
In-band 割り込み	<ul style="list-style-type: none"> <li>スレーブ割り込み要求</li> <li>バス権要求 (セカンダリマスタのみ)</li> <li>ホットジョインイベント</li> </ul>
アドレスフォーマット	7 ビットアドレス
アドレス検出	<ul style="list-style-type: none"> <li>スレーブアドレス (スタティックアドレスまたはダイナミックアドレス)</li> <li>ブロードキャストアドレス (0x7E)</li> </ul>
クロックストール	クロックストール能力
割り込み要因	<ul style="list-style-type: none"> <li>回復不能内部エラー</li> <li>転送エラー</li> <li>転送アボート</li> <li>レスポンスキューフル</li> <li>コマンドキューエンプティ</li> <li>IBI ステータスキューフル</li> <li>受信データバッファフル</li> <li>送信データバッファエンプティ</li> <li>受信ステータスキューフル</li> <li>スタートコンディション検出</li> <li>ストップコンディション検出</li> <li>HDR 終了パターン検出</li> <li>タイムアウト検出</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>回復不能内部エラー</li> <li>CRC エラー</li> <li>パリティエラー</li> <li>フレームエラー</li> <li>アドレスヘッダエラー</li> <li>アドレス NACK/ダイナミックアドレス割り当て NACK</li> <li>受信オーバーフローエラー/転送アンダーフローエラー</li> <li>中断</li> <li>I<sup>2</sup>C 書き込みデータ転送に対し、NACK 受信</li> <li>タイムアウトエラー</li> </ul>
イベントリンク出力	<ul style="list-style-type: none"> <li>通信イベント</li> <li>レスポンスバッファフルイベント</li> <li>コマンドバッファエンプティイベント</li> <li>IBI ステータスバッファフルイベント</li> <li>受信データバッファフルイベント</li> <li>送信データバッファエンプティイベント</li> <li>受信ステータスバッファフルイベント</li> </ul>

表 25.3 I3C の入出力端子 (n = 0)

機能	端子名	I/O	内容
I3Cn	SCLn	I/O	クロック用の入出力端子
	SDAn	I/O	データ用の入出力端子

## 25.1.2 ブロック図 [I<sup>2</sup>C/I3C 共通]

図 25.1 に、この I3C の主なコンポーネントを示します。

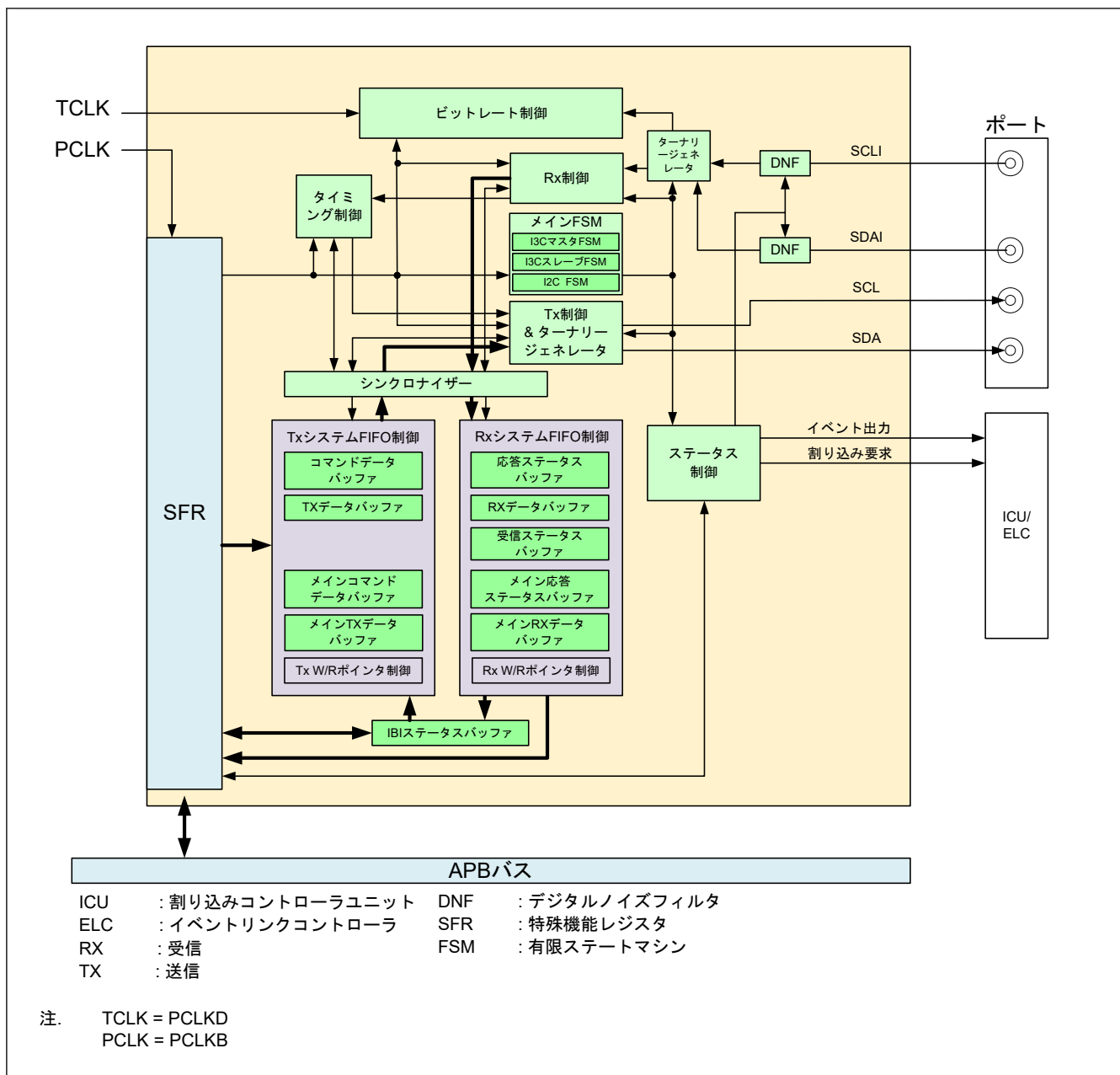


図 25.1 I3C のブロック図

## 25.2 レジスタの説明

### 25.2.1 レジスタ一覧

I3C レジスタ一覧を以下の表に示します。

表 25.4 I3C レジスタ一覧 (1/3)

レジスタ	シンボル	オフセットアドレス
プロトコル選択レジスタ	PRTS	0x000
バスコントロールレジスタ	BCTL	0x014
マスタデバイスアドレスレジスタ	MSDVAD	0x018
リセットコントロールレジスタ	RSTCTL	0x020
現在ステータレジスタ	PRSST	0x024
内部ステータスレジスタ	INST	0x030

表 25.4 I3C レジスタ一覧 (2/3)

レジスタ	シンボル	オフセットアドレス
内部ステータスイネーブルレジスタ	INSTE	0x034
内部割り込みイネーブルレジスタ	INIE	0x038
内部ステータス強制レジスタ	INSTFC	0x03C
デバイス特性テーブルレジスタ	DVCT	0x044
IBI 通知コントロールレジスタ	IBINCTL	0x058
バス機能コントロールレジスタ	BFCTL	0x060
スレーブコントロールレジスタ	SVCTL	0x064
リファレンスクロックコントロールレジスタ	REFCKCTL	0x070
スタンダードビットレートレジスタ	STDBR	0x074
拡張ビットレートレジスタ	EXTBR	0x078
バスフリー状態検出時間レジスタ	BFRECDT	0x07C
バス利用可能状態検出時間レジスタ	BAVLCDT	0x080
バスアイドル状態検出時間レジスタ	BIDLCDT	0x084
出力コントロールレジスタ	OUTCTL	0x088
入力コントロールレジスタ	INCTL	0x08C
タイムアウトコントロールレジスタ	TMOCTL	0x090
アクノリッジコントロールレジスタ	ACKCTL	0x0A0
SCL ストレッチコントロールレジスタ	SCSTRCTL	0x0A4
SCL ストールコントロールレジスタ	SCSTLCTL	0x0B0
スレーブ転送データ長レジスタ 0	SVTDLG0	0x0C0
条件コントロールレジスタ	CNDCTL	0x140
通常コマンドキューポートレジスタ	NCMDQP	0x150
通常レスポンスキューポートレジスタ	NRSPQP	0x154
通常転送データバッファポートレジスタ 0(注1)	NTDTBP0/ NTDTBP0_BY	0x158
通常 IBI キューポートレジスタ	NIBIQP	0x17C
通常受信ステータスクューポートレジスタ	NRSQP	0x180
通常キュースレッシュホールドコントロールレジスタ	NQTHCTL	0x190
通常転送データバッファスレッシュホールドコントロールレジスタ 0	NTBTHCTL0	0x194
通常受信ステータスクュースレッシュホールドコントロールレジスタ	NRQTHCTL	0x1C0
バスステータスレジスタ	BST	0x1D0
バスステータスイネーブルレジスタ	BSTE	0x1D4
バス割り込み許可レジスタ	BIE	0x1D8
バスステータス強制レジスタ	BSTFC	0x1DC
通常転送ステータスレジスタ	NTST	0x1E0
通常転送ステータスイネーブルレジスタ	NTSTE	0x1E4
通常転送割り込みイネーブルレジスタ	NTIE	0x1E8
通常転送ステータス強制レジスタ	NTSTFC	0x1EC
バス条件ステータスレジスタ	BCST	0x210
スレーブステータスレジスタ	SVST	0x214
デバイスアドレステーブル基本レジスタ 0	DATBAS0	0x224
デバイスアドレステーブル基本レジスタ 1	DATBAS1	0x22C



表 25.4 I3C レジスタ一覧 (3/3)

レジスタ	シンボル	オフセットアドレス
デバイスアドレステーブル基本レジスタ 2	DATBAS2	0x234
デバイスアドレステーブル基本レジスタ 3	DATBAS3	0x23C
拡張デバイスアドレステーブル基本レジスタ	EXDATBAS	0x2A0
スレーブデバイスアドレステーブル基本レジスタ 0	SDATBAS0	0x2B0
マスタデバイス特性テーブルレジスタ 0	MSDCT0	0x2D0
マスタデバイス特性テーブルレジスタ 1	MSDCT1	0x2D4
マスタデバイス特性テーブルレジスタ 2	MSDCT2	0x2D8
マスタデバイス特性テーブルレジスタ 3	MSDCT3	0x2DC
スレーブデバイス特性テーブルレジスタ	SVDCT	0x320
スレーブデバイス特性テーブル暫定 ID Low レジスタ	SDCTPIDL	0x324
スレーブデバイス特性テーブル暫定 ID High レジスタ	SDCTPIDH	0x328
スレーブデバイスアドレスレジスタ 0	SVDVAD0	0x330
CCC スレーブイベントコマンドレジスタ	CSECMD	0x350
CCC 遷移アクティビティステートレジスタ	CEACTST	0x354
CCC 最大書き込み長レジスタ	CMWLG	0x358
CCC 最大読み出し長レジスタ	CMRLG	0x35C
CCC 遷移テストモードレジスタ	CETSTMD	0x360
CCC デバイスステータス取得レジスタ	CGDVST	0x364
CCC 最大データ速度 W (書き込み) レジスタ	CMDSPW	0x368
CCC 最大データ速度 R (読み出し) レジスタ	CMDSPR	0x36C
CCC 最大データ速度 T (切り替え) レジスタ	CMDSPT	0x370
CCC 交換タイミングサポート情報 M (モード) レジスタ	CETSM	0x374
ビットカウントレジスタ	BITCNT	0x380
通常キューステータスレベルレジスタ	NQSTLV	0x394
通常データバッファステータスレベルレジスタ 0	NDBSTLV0	0x398
通常受信ステータスキューステータスレベルレジスタ	NRSQSTLV	0x3C0
現在ステートデバッグレジスタ	PRSTDBG	0x3CC
マスタエラーカウンタレジスタ	MSERRCNT	0x3D0

注 1. 8 ビットアクセスは、I2C モードでのみ利用可能です。

### 25.2.2 PRTS : プロトコル選択レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PRTM D
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PRTMD	プロトコルモード 0: I3C プロトコルモード 1: I <sup>2</sup> C プロトコルモード	R/W
31:1	—	読むと0が読めます。書く場合、0としてください。	R/W

### PRTMD ビット (プロトコルモード)

PRTMD = 0 : I3C FIFO バッファ転送 (HCI と同等)

PRTMD = 1 : I<sup>2</sup>C シングルバッファ転送

### 25.2.3 BCTL : バスコントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BUSE	RSM	ABT	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HJACKCTL	—	—	—	—	—	—	—	INCBA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	INCBA	I3C ブロードキャストアドレスの包含(注1) 0: プライベート転送で、I3C ブロードキャストアドレスを含めない 1: プライベート転送で、I3C ブロードキャストアドレスを含める	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W
8	HJACKCTL	ホットジョインアクノリッジコントロール(注1) 0: ホットジョインリクエストを ACK する 1: ホットジョインを禁止するため、NACK して CCC をブロードキャストする	R/W
28:9	—	読むと0が読めます。書く場合、0としてください。	R/W
29	ABT	中断(注1) 0: I3C が実行中 1: I3C が転送を中断した	R/W
30	RSM	レジャーム(注2) 読み出し時の値： 0: I3C が実行中 1: I3C がサスペンド状態 (RW1C)	R/W
31	BUSE	バスイネーブル(注2) 0: I3C バス動作を禁止 1: I3C バス動作を許可	R/W

注1. 本ビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

注2. 本ビットはすべての I3C モードをサポートします。

### INCBA ビット (I3C ブロードキャストアドレスの包含)

本ビットは、I3C ブロードキャストアドレス (0x7E) をプライベート転送に包含するかどうかを制御します。

I3C ブロードキャストアドレスをプライベート転送に包含しない場合、IBI のスレーブからの駆動ではアービトレーションできず、IBI の受信が遅延する可能性があります。

**HJACKCTL ビット (ホットジョインアクノリッジコントロール)**

本ビットは、I3C バス上のデバイスからのすべてのホットジョインリクエストを ACK (0) または NACK (1) するためのグローバルコントロールとして機能します。NACK (1) に設定した場合、NACK に続けてホットジョインを無効にするためのブロードキャスト CCC が送られます。

**ABT ビット (中断)**

本ビットに 1 を設定すると、I3C は今発行している転送を完了する前に、I3C バスの制御を放棄します。

中断要求に対しては、I3C はデータバイトの転送または受信が完了した後で、I3C バスにストップコンディションを発行します。

ドライバは、バス動作ができるように ABT ビットをクリアします。

BCTL.ABT を設定して ABORT 処理をしたときは、応答デスクリプターの ERR\_STATUS を無視してください。

**RSM ビット (レジューム)**

本ビットは、停止ステートに続けて I3C 動作を再開するために使用します。

I3C は、転送時に発生するいずれかの種類のエラーの結果として、PRSTDBG レジスタに示すように停止ステートに遷移します。

エラーの種類は、NRSPQP、NRSQP、NIBIQP レジスタの ERR\_STATUS フィールドに示します。

I3C が停止ステートに遷移したら、RSM ビットに値 1 を書き込む必要があります。それにより、I3C 動作を再開します。(次のコマンドによって) 一旦転送を再開すると、I3C は RSM ビットを自動的にクリアします。

**BUSE ビット (バスイネーブル)**

I3C によって、I3C バスの動作を許可または禁止します。

I3C を使用するときには、BUSE ビットを 1 にしてください。BUSE ビットが 1 のとき、SCL、SDA 端子は駆動状態になります。I3C を使用しないときは、BUSE ビットを 0 にしてください。BUSE ビットが 0 のとき、SCL および SDA 端子は非駆動状態になります。

ソフトウェアが本ビットを設定すると、初期化が完了したことで、I3C がプログラムされたレジスタ値 (例えば、IBI 検出による SCL 生成など) を使用可能であることを併せて確認します。本ビットが設定されないと、I3C は IBI 受信による SCL 生成を行いません。

I3C バスの動作は、それが動作中でもソフトウェアで禁止にできます。しかし、

- IBI 受信中に禁止要求が発生した場合、IBI 受信が完了するまで実際の禁止処理は発生しません。
- ソフトウェアがこのフィールドから値 0 を読み出したら、I3C バス動作の禁止処理が完了したことを示します。コマンドがコマンドキューに残っていたら、BUSE を 0 に設定しないでください。

**25.2.4 MSDVAD : マスタデバイスアドレスレジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22						16
Bit field:	MDYA DV	—	—	—	—	—	—	—	—	MDYAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:16	MDYAD[6:0]	マスタダイナミックアドレス	R/W

ビット	シンボル	機能	R/W
30:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MDYADV	マスタダイナミックアドレス有効 0: マスタダイナミックアドレスフィールドが無効である 1: マスタダイナミックアドレスフィールドが有効である	R/W

注. 本レジスタは I3C マスタモードをサポートします。

### MDYAD[6:0]ビット (マスタダイナミックアドレス)

本フィールドは、I3C マスタダイナミックアドレスをプログラムするために使用します。I3C は、本アドレスを I3C インタフェースモード (スレーブまたはセカンダリマスタの役割) でのマスタトランザクションへの応答に使用します。

I3C メインマスタモードでは、ソフトウェアはそのダイナミックアドレスをセルフアサインするようにダイナミックアドレスをプログラムします。

### MDYADV ビット (マスタダイナミックアドレス有効)

本ビットは、MDYAD フィールドが有効であるかどうかを示します。

I3C メインマスタモードでは、ユーザーはダイナミックアドレスをセルフアサインするように本ビットを 1 に設定します。

注. MSDVAD と BCTL の設定後 BUSE = 1 で、デバイスはメインマスタとして動作します。

MSDVAD 設定をしないで、SVDCT.TBCR[7:6] = 00b (デバイスロールがスレーブ) 設定、および BCTL.BUSE = 1 設定をすると、デバイスはスレーブとして動作します。

MSDVAD 設定をしないで、MSDCTm.RBCR[7:6] = 01b 設定 (デバイスロールをマスタに設定)、および BCTL.BUSE = 1 設定をしても、デバイスはスレーブとして動作します。

## 25.2.5 RSTCTL : リセットコントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTLR ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	RSQR ST	IBIQR ST	RDBR ST	TDBR ST	RSPQ RST	CMDQ RST	RI3CR ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RI3CRST	I3C ソフトウェアリセット 0: I3C リセットを解除する 1: I3C リセットを行う	R/W
1	CMDQRST	コマンドキューソフトウェアリセット(注1) 0: I3C のコマンドキューをフラッシュしない 1: I3C のコマンドキューをフラッシュする	R/W
2	RSPQRST	レスポンスキューソフトウェアリセット(注1) 0: I3C のレスポンスキューをフラッシュしない 1: I3C のレスポンスキューをフラッシュする	R/W
3	TDBRST	送信データバッファソフトウェアリセット(注1) 0: I3C の送信キューをフラッシュしない 1: I3C の送信キューをフラッシュする	R/W

ビット	シンボル	機能	R/W
4	RDBRST	受信データバッファソフトウェアリセット(注1) 0: I3C の受信キューをフラッシュしない 1: I3C の受信キューをフラッシュする	R/W
5	IBIQRST	IBI キューソフトウェアリセット(注1) 0: I3C の IBI キューをフラッシュしない 1: I3C の IBI キューをフラッシュする	R/W
6	RSQRST	受信ステータスキューソフトウェアリセット(注2) 0: I3C の受信ステータスキューをフラッシュしない 1: I3C の受信ステータスキューをフラッシュする	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	INTLRST	内部ソフトウェアリセット 0: 一部のレジスタおよび内部状態の解放 1: 一部のレジスタおよび内部状態のリセット	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注1. 本ビットはすべての I3C モードをサポートします。

注2. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

各レジスタのリセットについては、「[25.6. リセットの説明](#)」を参照してください。

#### **RI3CRST ビット (I3C ソフトウェアリセット)**

ドライバでこのビットを 1 にすると、I3C はリセットし無効になります。

全レジスタはリセット値に復帰し、ソフトウェアは I3C を再度初期化します。

I3C のリセット完了時に、このフィールドは自動的にクリアされます。また、このフィールドは I3C のすべてのキューもリセットします。

#### **CMDQRST ビット (コマンドキューソフトウェアリセット)**

ソフトウェアでこのビットを 1 にすると、I3C のコマンドキューをフラッシュします。

コマンドキューのリセット完了時に、このフィールドは自動的にクリアされます。

#### **RSPQRST ビット (レスポンスキューソフトウェアリセット)**

ソフトウェアでこのビットを 1 にすると、I3C の応答キューをフラッシュします。

レスポンスキューのリセット完了時に、このフィールドは自動的にクリアされます。

#### **TDBRST ビット (送信データバッファソフトウェアリセット)**

ソフトウェアでこのビットを 1 にすると、I3C の送信データバッファをフラッシュします。

送信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

#### **RDBRST ビット (受信データバッファソフトウェアリセット)**

ソフトウェアでこのビットを 1 にすると、I3C の受信データバッファをフラッシュします。

受信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

#### **IBIQRST ビット (IBI キューソフトウェアリセット)**

ソフトウェアでこのビットを 1 にすると、I3C の IBI キューをフラッシュします。

IBI キューのリセット完了時に、このフィールドは自動的にクリアされます。

#### **RSQRST ビット (受信ステータスキューソフトウェアリセット)**

ソフトウェアでこのビットを 1 にすると、I3C の受信ステータスキューをフラッシュします。

受信ステータスキューのリセット完了時に、このフィールドは自動的にクリアされます。

#### **INTLRST ビット (内部ソフトウェアリセット)**

このビットを 1 にすると、一部のレジスタをリセットします。リセットされるレジスタの詳細は、「[25.6. リセットの説明](#)」を参照してください。

注. このフィールドに 1 の値を含む書き込みを行うと、不定の動作となることがあります。

## 25.2.6 PRSST : 現在ステータレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PRSS TWP	—	—	TRMD	—	CRMS	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CRMS	現在のマスタ(注2) 0: マスタが現在のマスタではなく、転送を行う前にバスオーナーシップを要求し取得する必要がある 1: マスタが現在のマスタであり、その結果、転送を行うことができる	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TRMD	送信/受信モード(注3) 0: 受信モード 1: 送信モード	R
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PRSSTWP	現在ステータライトプロテクト(注2) 0: CRMS ビットは保護されます 1: CRMS ビットは書き込み可能である(対象ビットの値と同時に書き込みするとき)	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PRSSTWP ビットが 1 のとき、CRMS ビットへの書き込みが可能です。

注 2. 本ビットは I<sup>2</sup>C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。

注 3. 本ビットは I<sup>2</sup>C モードをサポートします。

### CRMS ビット (現在のマスタ)

各動作モードでの設定条件とリセット条件を示します。

動作モード [I<sup>2</sup>C/I3C 共通]

[0 になる条件]

- ソフトウェアで RSTCTL.RI3CRST に 1 を書いたとき
- ソフトウェアで RSTCTL.INTLRST に 1 を書いたとき
- ソフトウェアで PRSST.CRMS に 0 を書いたとき
- STOP 発行時
- マスタアービトラクションロスト時

[1 になる条件]

- ソフトウェアで PRSST.CRMS に 1 を書いたとき
- START 発行時

動作モード [I3C メインマスタ]

[0 になる条件]

- ソフトウェアで MSDVAD.MDYADV に 0 を書いたとき
- セカンダリマスタから受信したバス権要求に ACK を応答した後、STOP を発行することで GETACCMST 送信が正常に終了したとき

[1 になる条件]

- ソフトウェアで MSDVAD.MDYADV に 1 を書いたとき
- セカンダリマスタに送信したバス権要求に ACK が応答された後、STOP を発行することで GETACCMST 受信が正常に終了したとき

動作モード [I3C セカンダリマスタ]

[0 になる条件]

- カレントマスタでないマスタから受信したバス権要求に ACK を応答した後、STOP を発行することで GETACCMST 送信が正常に終了したとき

[1 になる条件]

- カレントマスタに送信したバス権要求に ACK が応答された後、STOP を発行することで GETACCMST 受信が正常に終了したとき

PRSSST レジスタが、I3C の現在の状態を返します。

ステートには 2 つの部分があります。必須のレジスタと、デバッグ目的で追加オプションの PRSSST\_DEBUG レジスタ (拡張機能リストのデバッグ機能レジスタを参照) です。

### TRMD ビット (送信/受信モード<sup>(注3)</sup>)

送信モードであるか、受信モードであるかを示します。

I3C は、TRMD ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと CRMS ビットの組み合わせで I3C の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、TRMD ビットの値は自動的に 1 (送信モード) または 0 (受信モード) に変化します。

[1 になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (CNDCTL.STCND ビットが 1 の状態で、スタートコンディションを検出したとき)
- 繰り返しのスタートコンディション発行要求による繰り返しのスタートコンディションが正常に発行されたとき (CNDCTL.SRCND ビットが 1 の状態で、繰り返しのスタートコンディションを検出したとき)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 になったとき

[0 になる条件]

- ストップコンディションが検出されたとき
- BST.ALF フラグが 1 になったとき (アービトレーションロスト)
- マスタモード時、値が 1 の R/W# ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したスレーブアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ受信した R/W# ビットの値が 0 のとき (ジェネラルコールアドレスを受信した場合を含む)
- スレーブモード時、繰り返しのスタートコンディションが検出されたとき (BCST.BFREF = 0、CRMS = 0 の状態で繰り返しのスタートコンディションが検出されたとき)

### PRSSSTWP ビット (現在ステートライトプロテクト)

PRSSSTWP は読むと 0 が読めます。

PRSSST に書き込む場合、このビットに 1 を書き込むと同時に、CRMS ビットに書き込みが可能です。

## 25.2.7 INST : 内部ステータスレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEF	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	INEF	内部エラーフラグ 0: I3C 内部エラー未検出 1: I3C 内部エラー検出	R/W(注1)
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタはすべての I3C モードをサポートします。

注 1. 0 になる条件: 1 の状態を読んだ後、0 を書き込んだとき

割り込みステータスレジスタは、発生した割り込みの状態を反映します。

ステータスフィールドは、RW0C (0 を書いてクリアする) か、もしくはキュー動作に基づいてクリアされます。

**INEF ビット (内部エラーフラグ)**

本ビットが 1 のとき、I3C 内部エラーが検出されたことを示します。

本ビットが 0 のとき、I3C 内部エラーが検出されていないことを示します。

[1 になる条件]

- 下記 1.が満たされ、かつ下記 2.~9.のいずれかが満たされたとき
  1. INSTE.INEE ビットが 1 であるとき
  2. 完全にフルになっている送信データバッファに送信データを書いたとき
  3. 完全にエンプティになっている受信データバッファから受信データを読んだとき
  4. 完全にフルになっているコマンドキューにコマンドディスクリプタを書いたとき
  5. 完全にエンプティになっているレスポンスステータスキューからレスポンスディスクリプタを読んだとき
  6. 完全にエンプティになっている受信ステータスキューから受信ステータスディスクリプタを読んだとき
  7. IBI キューが完全にエンプティであり、かつ PRSST.CRMS = 1 の状態で、IBI キューから IBI ステータスディスクリプタを読んだとき
  8. IBI キューが完全にフルであり、かつ PRSST.CRMS = 0 の状態で、IBI キューに IBI データを書いたとき
  9. レスポンスステータスキュー、IBI ステータスキュー、または受信ステータスキューがオーバーフローしたとき

[0 になる条件]

- INEF = 1 を読んだ後、INEF ビットに 0 を書いたとき



## 25.2.8 INSTE : 内部ステータス有効レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEE	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと0が読めます。書く場合、0としてください。	R/W
10	INEE	内部エラー有効 0: INST.INEF 無効 1: INST.INEF 有効	R/W
31:11	—	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタはすべてのI3Cモードをサポートします。

## INEE ビット (内部エラー有効)

本ビットが1のとき、I3C 内部エラー検出は有効です。

本ビットが0のとき、I3C 内部エラー検出は無効です。

## 25.2.9 INIE : 内部割り込み許可レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x038

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEIE	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと0が読めます。書く場合、0としてください。	R/W
10	INEIE	内部エラー割り込み許可 0: 回復不能内部エラー割り込み信号を禁止する 1: 回復不能内部エラー割り込み信号を許可する	R/W
31:11	—	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタはすべてのI3Cモードをサポートします。

## INEIE ビット (内部エラー割り込み許可)

本ビットを1に設定し、INEFを設定したとき、ハードウェアコントローラはホストに割り込みをアサートします。

### 25.2.10 INSTFC : 内部ステータス強制レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x03C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEFC	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	書く場合、0としてください。	W
10	INEFC	内部エラー強制 0: 特定の割り込みを強制しない 1: 特定の割り込みを強制する	W
31:11	—	書く場合、0としてください。	W

注. 本レジスタはすべての I3C モードをサポートします。

#### INEFC ビット (内部エラー強制)

デバッグ用に、この割り込みを強制できるようにします。

### 25.2.11 DVCT : デバイス特性テーブルレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x044

Bit position:	31	30	29	28	27	26	25	24	23				19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	IDX[4:0]				—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
18:0	—	読むと 0 が読めます。	R
23:19	IDX[4:0]	DCT テーブルインデックス I3C ENTDAACCC のスタートインデックスとして使う、DCT の現在のインデックス	R
31:24	—	読むと 0 が読めます。	R

注. 本レジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

#### IDX[4:0] ビット (DCT テーブルインデックス)

アドレス配置コマンドを用いた ENTDAAC の際に、アービトレーションを取得したデバイスのすべての特性が一旦 DCT に書き込まれたら、このインデックスは 1 インクリメントします。

注. 本ビットによる ENTDAAC の進捗の確認方法

1. ENTDAAC コマンド発行のためのコマンドディスクリプタを設定する前に本ビットの値を読み出します。

2. ENTDAА コマンドを開始してから、本ビットの値が改訂されるまで（すなわち、前もって読み出した値から変化するまで）、それは最初のインデックス値（コマンドディスクリプタの DEV\_INDEX[4:0] に設定された値）で指定されたデバイスに割り当てられたダイナミックアドレスを示します。
3. 本ビットの値が更新された後、それはダイナミックアドレスがコマンドディスクリプタの DEV\_INDEX[4:0] と DEV\_COUNT[3:0] に設定された値に従って、最初のインデックス値以降のデバイスに割り当てられることを示します。

## 25.2.12 IBINCTL : IBI 通知コントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	NRSIR CTL	—	NRMR CTL	NRHJ CTL
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NRHJCTL	拒否されたホットジョインコントロール通知 0: 受信したホットジョイン要求が NACK されて、BCTL の HJACKCTL フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キューにパスしない 1: 受信したホットジョイン要求が NACK されて、BCTL の HJACKCTL フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キューにパスする	R/W
1	NRMRCTL	拒否されたマスタ要求コントロールの通知 0: 受信したマスタ要求が NACK されて、関連する DAT エントリの DVMRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キュー/リングにパスしない 1: 受信したマスタ要求が NACK されて、関連する DAT エントリの DVMRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キューにパスする	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	NRSIRCTL	拒否されたスレーブ割り込み要求コントロールの通知 0: 受信した SIR が NACK されて、関連する DAT エントリの DVSIRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キュー/リングにパスしない 1: 受信した SIR が NACK されて、関連する DAT エントリの DVSIRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キュー/リングにパスする	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

### NRHJCTL ビット (拒否されたホットジョインコントロール通知)

それぞれのホットジョイン要求拒否のレポートを有効または無効にします。

### NRMRCTL ビット (拒否されたマスタ要求コントロールの通知)

それぞれのマスタ要求拒否のレポートを有効または無効にします。

### NRSIRCTL ビット (拒否されたスレーブ割り込み要求コントロールの通知)

それぞれのスレーブ割り込み要求 (SIR) 拒否のレポートを有効または無効にします。

### 25.2.13 BFCTL : バス機能コントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HSME	FMPE	—	SMBS	—	—	—	SCSYNE	—	—	—	—	—	SALE	NALE	MALE
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MALE	マスタアービトレーションロスト検出有効(注1) 0: マスタアービトレーションロスト検出は無効 アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行わない 1: マスタアービトレーションロスト検出は有効 アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行う	R/W
1	NALE	NACK 送信アービトレーションロスト検出有効(注1) 0: NACK 送信アービトレーションロスト検出は無効 1: NACK 送信アービトレーションロスト検出は有効	R/W
2	SALE	スレーブアービトレーションロスト検出有効(注1) 0: スレーブアービトレーションロスト検出は無効 1: スレーブアービトレーションロスト検出は有効	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SCSYNE	SCL 同期回路有効(注1) 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	SMBS	SMBus/I <sup>2</sup> C バス選択(注1) 0: I <sup>2</sup> C バスを選択 1: SMBus を選択	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	FMPE	ファストモードプラス有効(注1) 0: SCLn、SDAn 端子に対して Fm+ のスローブ制御回路を使用しない (n = 0) 1: SCLn、SDAn 端子に対して Fm+ のスローブ制御回路を使用する (n = 0)	R/W
15	HSME	High-speed モード(注1) 0: High-speed モードは無効 1: High-speed モードは有効	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットは I<sup>2</sup>C モードをサポートします。

#### MALE ビット (マスタアービトレーションロスト検出有効)

マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常は、本ビットを 1 にしてください。

#### NALE ビット (NACK 送信アービトレーションロスト検出有効)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

**SALE ビット (スレーブアービトレーションロスト検出有効)**

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

**SCSYNE ビット (SCL 同期回路有効)**

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は、本ビットを 1 にしてください。

SCSYNE ビットを 0 (SCL 同期回路を使用しない) にすると、I3C は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、I3C は、STDBR および EXTBR レジスタで設定した転送速度の SCL クロックを出力します。そのため、I<sup>2</sup>C バスラインのバス負荷が規格値よりも大幅に大きい場合や、複数のマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また SCL 同期回路無効の場合、スタートコンディション・繰り返しのスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

本ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き 0 にしないでください。

**FMPE ビット (ファストモードプラス有効<sup>(注1)</sup>)**

スロープ制御回路をファストモードプラス[Fm+]用のスロープ制御回路を使用するかどうかを選択します。

本ビットを 1 にすると、I3C バスのファストモードプラス[Fm+]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。本ビットを 0 にすると、I3C バスのスタンダードモード[Sm]およびファストモード[Fm]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を I3C バス仕様の～1 Mbps (ファストモードプラス[Fm+]) の範囲内で使用する場合は、本ビットを 1 にしてください。それ以外の通信速度 (～100 kbps[Sm]、～400 kbps[Fm]) または SMBus (10 kbps～100 kbps) で使用する場合は、本ビットを 0 にしてください。

注. Hs モードで通信するとき、以下のように設定してください。

- Hs モードマスタコード (0000 1XXXb) をファストモードで送るとき、FMPE を 0 に設定します。
- Hs モードマスタコード (0000 1XXXb) をファストモードプラスで送るとき、FMPE を 1 に設定します。

**HSME ビット (High-speed モード)**

本ビットは Hs モードで通信するために使用します。

本ビットが 1 の場合、Hs モードマスタコードを認識し、Hs モード通信が可能です。

スタートコンディションを検出後、Hs モードマスタコード (0000 1XXXb) の送信を認識すると、NACK 応答を受信した後、繰り返しのスタートコンディションから Hs モード通信を開始します。

NACK 応答まで、STDBR に設定されたビットレートで通信します。そして、NACK 応答の受信後繰り返しのスタートコンディション発行から、EXTBR に設定されたビットレートに自動的に切り替わります。

ストップコンディションが検出されるまで Hs モードが続きます。

ストップコンディションを検出したとき、ビットレートは STDBR に設定されたビットレートに自動的に切り替わります。

注. 本ビットを 1 にした場合、Hs モードマスタコードを送信した後 NACK 応答を受信しても、BST.NACKDF ビットは設定されません。

## 25.2.14 SVCTL : スレーブコントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	—	—	—	—	—	—	—	DVIDE	HSMCE	—	—	—	—	GCAE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAE	ジェネラルコールアドレス有効(注1) 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	HSMCE	Hs モードマスタコード有効(注1) 0: Hs モードマスタコード検出は無効 1: Hs モードマスタコード検出は有効	R/W
6	DVIDE	デバイス ID アドレス有効(注1) 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	HOAE	ホストアドレス有効(注1) 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W
16	SVAE0	スレーブアドレス有効(注2) 0: スレーブ 0 は無効 1: スレーブ 0 は有効	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットは I<sup>2</sup>C モードをサポートします。注 2. 本ビットは I<sup>2</sup>C モード、I3C セカンダリマスタモード、および I3C スレーブモードをサポートします。**GCAE ビット (ジェネラルコールアドレス有効)**

本ビットは、ジェネラルコールアドレス (0000 000 + 0 (write): All 0) を受信した場合、それを無視するかどうかを指定するために使用されます。本ビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、I3C は、SVDVADn.SVAD[9:0]ビット (n=0) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。

本ビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されません。

**HSMCE ビット (Hs モードマスタコード有効)**

スタートコンディション検出後の第 1 バイトに Hs モードマスタコード (00001xxx) を受信したことを認識して動作させるかどうかを選択します。

本ビットが 1 の場合、受信した第 1 バイトが Hs モードマスタコードと一致した場合、I3C は Hs モードマスタコードを受信したと認識します。

Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識し、SVDVADy.SVAD[9:0]ビットで設定されるスレーブアドレスと比較します。

アドレスが一致すると、R/W#ビット値に従って送信/受信動作を継続します。

ストップコンディションが検出されるまで Hs モードが継続します。

本ビットを 0 にした場合、それが Hs モードマスタコードと一致しても、ストップコンディションを検出するまで I3C はパターンを無視します。

注. 本ビットを 1 にした場合、必ず SCSTRCTL.ACKTWE ビットを 0、SCSTRCTL.RWE ビットを 1 に設定してください。

### DVIDE ビット (デバイス ID アドレス有効)

スタートコンディションまたは繰り返しのスタートコンディション検出後の第 1 バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

本ビットが 1 の場合、受信した第 1 バイトがデバイス ID アドレスと一致した場合、I3C はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0 (write) の場合、I3C は第 2 バイト以降をスレーブアドレスとみなして、受信動作を継続します。

本ビットが 0 の場合、I3C は受信した第 1 バイトがデバイス ID アドレスと一致してもそれを無視し、第 1 バイトを通常のスレーブアドレスと認識します。

デバイス ID アドレス検出機能の詳細については、(3) デバイス ID アドレス検出機能 [I<sup>2</sup>C モード] を参照してください。

### HOAE ビット (ホストアドレス有効)

BFCTL.SMBS ビットが 1 の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

SMBS = 1 のときに本ビットを 1 にした場合、受信したスレーブアドレスがホストアドレスと一致すると、I3C は、SVDVADn.SVAD[9:0]ビット (n = 0) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスと認識し、受信動作を行います。

SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

### SVAE0 ビット (スレーブアドレス有効 0)

SVDVADn.SVAD[9:0]ビットで設定したスレーブアドレスを有効にするかどうかを選択します。

本ビットを 1 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。

本ビットを 0 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

## 25.2.15 REFCKCTL : リファレンスクロックコントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	0	
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	IREFCKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IREFCKS[2:0] <sup>(注1)</sup>	内部基準クロック選択 I3C の内部基準クロックソース (I3Cφ) を選択します。 0 0 0: PCLKD/1 クロック 0 0 1: PCLKD/2 クロック 0 1 0: PCLKD/4 クロック 0 1 1: PCLKD/8 クロック 1 0 0: PCLKD/16 クロック 1 0 1: PCLKD/32 クロック 1 1 0: PCLKD/64 クロック 1 1 1: PCLKD/128 クロック	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. I3C モードでは IREFCKS[2:0] ビットを 000b にしてください。

## 25.2.16 STDBR : スタンダードビットレートレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x074

Bit position:	31	30	29					24	23	22	21					16
Bit field:	DSBR PO	—	SBRHP[5:0]					—	—	SBRLP[5:0]						
Value after reset:	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1
Bit position:	15							8	7							0
Bit field:	SBRHO[7:0]							SBRLO[7:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	SBRLO[7:0]	SCL クロックの Low 幅のカウント値 <sup>(注1)</sup>	R/W
15:8	SBRHO[7:0]	SCL クロックの High 幅のカウント値 <sup>(注1)</sup>	R/W
21:16	SBRLP[5:0]	プッシュプルでのスタンダードビットレート Low 幅 <sup>(注2)</sup> SCL クロックの Low 幅のカウント値	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:24	SBRHP[5:0]	プッシュプルでのスタンダードビットレート High 幅 <sup>(注3)</sup> SCL クロックの High 幅のカウント値	R/W
30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	DSBRPO	オープンドレインでのスタンダードビットレート幅の 2 倍化 <sup>(注4)</sup> 0: SBRHO[7:0] と SBRLO[7:0] に設定された時間幅の値を 2 倍の値にしない 1: SBRHO[7:0] と SBRLO[7:0] に設定された時間幅の値を 2 倍の値にする	R/W

注 1. 本ビットは I<sup>2</sup>C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。

注 2. 本ビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

注 3. 本ビットはすべての I3C モードをサポートします。

注 4. 本ビットは I<sup>2</sup>C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。

STDBR レジスタは、動作スピードに応じてビットレートを設定します。

- I<sup>2</sup>C モード : スタンダードモード / ファストモード / ファストモード+ で通信するときのビットレート設定
- I3C マスタモード : コマンドディスクリプタのモードビットで選択されたビットレート設定
- I3C スレーブモード : I3C ビットレート設定

I<sup>2</sup>C 転送速度および SCL クロックのデューティ比は以下の式で算定します。

$$\text{転送レート} = 1 / \{ (\text{High 幅} + \alpha)^{(\text{注1})} + (\text{Low 幅} + \alpha) / \text{I3C}\phi^{(\text{注2})} + \text{SCLn ライン立ち上がり時間}[\text{tr}]^{(\text{注3})} + \text{SCLn ライン立ち下がり時間}[\text{tf}]^{(\text{注3})} \}$$

$$\text{デューティサイクル} = \{ \text{SCLn ライン立ち上がり時間}[\text{tr}] + (\text{High 幅} + \alpha) / \text{I3C}\phi \} / \{ \text{SCLn ライン立ち下がり時間}[\text{tf}] + (\text{Low 幅} + \alpha) / \text{I3C}\phi \}$$



- 注 1.  $\alpha$  は、ノイズフィルタの段数に依存します。  
 注 2.  $I3C\phi = PCLKD \times \text{分周比}$   
 注 3. SCLn ライン立ち上がり時間[tr]および SCLn ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については、NXP 社の I<sup>2</sup>C バス仕様書を参照してください。

I3C 転送速度と SCL クロックのデューティ比は、次式で計算されます。

転送レート =  $1 / [(\text{High 幅} + \text{Low 幅}) / I3C\phi + \text{SCLn ライン立ち上がり時間}[tr] + \text{SCLn ライン立ち下がり時間}[tf]]$   
 デューティサイクル =  $[\text{SCLn ライン立ち上がり時間}[tr] + \text{High 幅} / I3C\phi] / [\text{SCLn ライン立ち下がり時間}[tf] + \text{Low 幅} / I3C\phi]$

### SBRLO[7:0]ビット (SCL クロックの Low 幅のカウント値)

SBRLO[7:0]ビットは、オープンドレインモードで SCL クロックの Low 幅の設定に使用するビットです。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3C $\phi$ ) で Low 幅をカウントします。本ビットは、SCL 自動 Low ホールド発生時（「25.3.2.3.6. クロックストレッチ機能 [I<sup>2</sup>C モード]」参照）のデータセットアップ時間確保に使用します。そのため I3C を I<sup>2</sup>C スレーブモードで使用する場合には、本ビットにデータセットアップ時間(注1)より大きな値を設定する必要があります。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRLO[7:0]ビットにはノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

- 注 1. データセットアップ時間 (tSU: DAT)
- 250 ns (～ 100 kbps : スタンダードモード [Sm])
  - 100 ns (～ 400 kbps : ファストモード [Fm])
  - 50 ns (～ 1 Mbps : ファストモードプラス [Fm+])
  - 10 ns (～ 3.4 Mbps : Hs モード [HS])

### SBRHO[7:0]ビット (SCL クロックの High 幅のカウント値)

SBRHO[7:0]ビットは、オープンドレインモードで SCL クロックの High 幅の設定に使用されます。SBRHO[7:0]ビットはマスタモードで有効になります。I3C を常に I<sup>2</sup>C スレーブモードで使用する場合には、High 幅を設定する必要はありません。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3C $\phi$ ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRHO[7:0]ビットにはノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

### SBRLP[5:0]ビット (プッシュプルでのスタンダードビットレート Low 幅)

SBRLP[5:0]ビットは、プッシュプルモードで SCL クロックの Low 幅の設定に使用するビットです。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3C $\phi$ ) で Low 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRLP[5:0]ビットにはノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

### SBRHP[5:0]ビット (プッシュプルでのスタンダードビットレート High 幅)

SBRHP[5:0]ビットは、プッシュプルモードで SCL クロックの High 幅の設定に使用するビットです。

SBRHP[5:0]ビットはマスタモードで有効になります。I3C を常に I<sup>2</sup>C スレーブモードで使用する場合には、High 幅を設定する必要はありません。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定された内部基準クロックソース (I3C $\phi$ ) で High 幅をカウントします。



**EBRLO[7:0]ビット (オープンドレインでの拡張ビットレート Low 幅)**

詳細は、「[25.2.16. STDBR : スタンダードビットレートレジスタ](#)」の SBRLO[7:0]ビットを参照してください。SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

**EBRHO[7:0]ビット (オープンドレインでの拡張ビットレート High 幅)**

詳細は、「[25.2.16. STDBR : スタンダードビットレートレジスタ](#)」の SBRHO[7:0]ビットを参照してください。SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

**EBRLP[5:0]ビット (プッシュプルでの拡張ビットレート Low 幅)**

詳細は、「[25.2.16. STDBR : スタンダードビットレートレジスタ](#)」の SBRLP[5:0]ビットを参照してください。SBRHP と SBRLP は EBRHP[5:0]と EBRLP[5:0]とみなしてください。

**EBRHP[5:0]ビット (プッシュプルでの拡張ビットレート Low 幅)**

詳細は、「[25.2.16. STDBR : スタンダードビットレートレジスタ](#)」の SBRHP[5:0]ビットを参照してください。SBRHP と SBRLP は EBRHP[5:0]と EBRLP[5:0]とみなしてください。

**表 25.6 各モードでの設定の要件と使用法**

ビット名	デバイスモード				
	I <sup>2</sup> C マスタ	I <sup>2</sup> C スレーブ	I3C マスタ	I3C セカンダリマスタ	I3C スレーブ
EBRHP[5:0]	使用禁止	使用禁止	設定要(注2)	設定要(注3)	使用禁止
EBRLP[5:0]	使用禁止	使用禁止	設定要(注2)	設定要(注3)	使用禁止
EBRHO[7:0]	設定要(注1)	使用禁止	設定要(注2)	設定要(注3)	使用禁止
EBRLO[7:0]	設定要(注1)	設定要(注2)	設定要(注2)	設定要(注3)	使用禁止

注 1. 設定値は、High-speed モードのデータレートに使用されます。

注 2. 設定値は、各通信のデータレートに使用されます。

注 3. I3C マスタで動作するとき、設定値は各通信モードのデータレートに使用されます。I3C スレーブで動作するときは、使用しないでください。

**25.2.18 BFRECDT : バスフリー状態検出時間レジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x07C

Bit position: 31

9 8

0

Bit field:	FRECYC[8:0]																			
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRECYC[8:0]			

Value after reset: 0

ビット	シンボル	機能	R/W
8:0	FRECYC[8:0]	バスフリー状態検出サイクル カウント値は、バスフリー状態を検出する期間	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

**FRECYC[8:0]ビット (バスフリー状態検出サイクル)**

I3C は、I3C<sub>φ</sub> でバスフリー状態を検出する期間をカウントします。

バスフリー期間を設定します。このバスフリー期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (I3C<sub>φ</sub>) でカウントします。バスフリー検出の動作については、BCST.BFREF フラグを参照してください。



## 25.2.21 OUTCTL : 出力コントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x088

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	8	7	6	5	4	3	2	1	0	
Bit field:	SDODCS	—	—	—	—	SDOD[2:0]	—	—	—	EXCYC	—	SOCWP	SCOC	SDOC		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	

ビット	シンボル	機能	R/W
0	SDOC	SDA 出力制御(注1) 0: I3C は SDA <sub>n</sub> 端子を Low にする 1: I3C は SDA <sub>n</sub> 端子を解放している	R/W
1	SCOC	SCL 出力制御(注1) 外部プルアップ抵抗により High 出力 0: I3C は SCL <sub>n</sub> 端子を Low にする 1: I3C は SCL <sub>n</sub> 端子を解放している	R/W
2	SOCWP	SCL/SDA 出力制御ライトプロテクト(注1) 0: SCOC、SDOC ビットを保護 1: ビット SCOC および SDOC は書き込み可能である (対象ビットの値と同時に書き込みするとき) 読むと 0 が読めます。	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	EXCYC	SCL クロック追加出力(注3) 1 クロック出力後、自動的に 0 になる 0: SCL クロックを追加で出力しない (通常状態) 1: SCL クロックを追加で出力する	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	SDOD[2:0]	SDA 出力遅延(注2) 0 0 0: 出力遅延なし 0 0 1: I3Cφ の 1 サイクル (OUTCTL.SDODCS = 0 (I3Cφ) のとき) I3Cφ の 1 または 2 サイクル (OUTCTL.SDODCS = 1 (I3Cφ/2) のとき) 0 1 0: I3Cφ の 2 サイクル (OUTCTL.SDODCS = 0 (I3Cφ) のとき) I3Cφ の 3 または 4 サイクル (OUTCTL.SDODCS = 1 (I3Cφ/2) のとき) 0 1 1: I3Cφ の 3 サイクル (OUTCTL.SDODCS = 0 (I3Cφ) のとき) I3Cφ の 5 または 6 サイクル (OUTCTL.SDODCS = 1 (I3Cφ/2) のとき) 1 0 0: I3Cφ の 4 サイクル (OUTCTL.SDODCS = 0 (I3Cφ) のとき) I3Cφ の 7 または 8 サイクル (OUTCTL.SDODCS = 1 (I3Cφ/2) のとき) 1 0 1: I3Cφ の 5 サイクル (OUTCTL.SDODCS = 0 (I3Cφ) のとき) I3Cφ の 9 または 10 サイクル (OUTCTL.SDODCS = 1 (I3Cφ/2) のとき) 1 1 0: I3Cφ の 6 サイクル (OUTCTL.SDODCS = 0 (I3Cφ) のとき) I3Cφ の 11 または 12 サイクル (OUTCTL.SDODCS = 1 (I3Cφ/2) のとき) 1 1 1: I3Cφ の 7 サイクル (OUTCTL.SDODCS = 0 (I3Cφ) のとき) I3Cφ の 13 または 14 サイクル (OUTCTL.SDODCS = 1 (I3Cφ/2) のとき)	R/W
14:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	SDODCS	SDA 出力遅延クロックソース選択(注3) 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (I3Cφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (I3Cφ/2) を選択(注4)	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットは I<sup>2</sup>C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。注 2. 本ビットは I<sup>2</sup>C モードをサポートします。注 3. 本ビットは I<sup>2</sup>C モードをサポートします。

注 4. SDODCS = 1 (I3Cφ/2) の設定は、SCL が Low のときにのみ有効になります。SCL が High のとき、SDODCS = 1 の設定は無効となり、クロックソースは内部基準クロック (I3Cφ) となります。

### SDOC ビット (SDA 出力制御)、SCOC ビット (SCL 出力制御)

本モジュールが出力する SDA<sub>n</sub> 信号、SCL<sub>n</sub> 信号を直接操作するためのビットです。

本ビットに値を書く場合は、同時に SOCWP ビットにも 1 を書いてください。

本ビットを設定した結果は、入力バッファを介して I3C に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、繰り返しのスタートコンディションの期間中、または送受信中に、これらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証されません。

### EXCYC ビット (SCL クロック追加出力)

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時またはエラー処理時に使用します。

通常動作では、本ビットを 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。

この機能の詳細については、「[25.3.2.3.9. ポート制御](#)」、[\(1\) SCL クロック追加出力機能](#)を参照してください。

## 25.2.22 INCTL : 入力コントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x08C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	0		
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DNFE	DNFS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	DNFS[3:0]	デジタルノイズフィルタ段数選択 0x0: 1 I3Cφ サイクル以下のノイズを除去 (フィルタは 1 段) 0x1: 2 I3Cφ サイクル以下のノイズを除去 (フィルタは 2 段) 0x2: 3 I3Cφ サイクル以下のノイズを除去 (フィルタは 3 段) 0x3: 4 I3Cφ サイクル以下のノイズを除去 (フィルタは 4 段) 0x4: 5 I3Cφ サイクル以下のノイズを除去 (フィルタは 5 段) : 0xF: 16 I3Cφ サイクル以下のノイズを除去 (フィルタは 16 段)	R/W
4	DNFE	デジタルノイズフィルタ回路イネーブル 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I<sup>2</sup>C モードをサポートします。

### DNFS[3:0] ビット (デジタルノイズフィルタ段数選択)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「[25.3.2.5.3. デジタルノイズフィルタ回路 \[I<sup>2</sup>C モード\]](#)」を参照してください。

I<sup>2</sup>C High-speed モードでは、本モジュールはノイズフィルタの段数をその 1/4 に自動的に変更します。

- 注.
- ノイズフィルタで除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が (SCL クロックの幅 : High 幅または Low 幅のいずれか短い方) - (1.5 内部基準クロック (I3Cφ) サイクル) の値以上の場合、I3C のノイズフィルタ機能により SCL クロックはノイズとみなされ、I3C が正常に動作しない可能性があります。
  - I<sup>2</sup>C High-speed モードでは、DNFS [3:0] ビットは無視され、フィルタの段数の 1~4 はその上位 2 ビットで選択されます。

### 25.2.23 TMOCTL : タイムアウトコントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOMDS[1:0]	TOHC TL	TOLC TL	—	—	TODTS[1:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TODTS[1:0]	タイムアウト検出時間選択 0 0: 16 ビットタイムアウト 0 1: 14 ビットタイムアウト 1 0: 8 ビットタイムアウト 1 1: 6 ビットタイムアウト	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TOLCTL	タイムアウト L カウント制御 0: SCLn ラインが Low の間カウント無効 1: SCLn ラインが Low の間カウント有効	R/W
5	TOHCTL	タイムアウト H カウント制御 0: SCLn ラインが High の間カウント無効 1: SCLn ラインが High の間カウント有効	R/W
7:6	TOMDS[1:0]	タイムアウト動作モード選択 0 0: タイムアウトを以下の条件で検出します。 <ul style="list-style-type: none"> <li>マスタモードで、バスビジー (BCST.BFREF = 0)</li> <li>スレーブモードで、I3C 自身のスレーブアドレスが検出され、バスビジー</li> <li>スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1)</li> </ul> 0 1: タイムアウトをバスビジーのときに検出する 1 0: タイムアウトをバスフリーのときに検出する 1 1: 設定禁止	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### TODTS[1:0] ビット (タイムアウト検出時間選択)

タイムアウト検出機能有効時 (BSTE.TODE = 1) に、タイムアウト検出時間を選択するビットです。

本ビットが 00b に設定されているとき、タイムアウト検出用の内部カウンタは 16 ビットカウンタとして機能します。

本ビットが 01b に設定されているとき、このカウンタは 14 ビットカウンタとして機能します。

本ビットが 10b に設定されているとき、このカウンタは 8 ビットカウンタとして機能します。

本ビットが 11b に設定されているとき、このカウンタは 6 ビットカウンタとして機能します。

SCLn ラインが、このカウンタを TOHCTL ビットと TOLCTL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (I3Cφ) をカウントソースとして同期してアップカウントを行います。

タイムアウト検出機能の詳細については、「[25.3.2.4.3. タイムアウトエラー検出機能](#)」を参照してください。

**TOLCTL ビット (タイムアウト L カウント制御)**

本ビットはタイムアウト機能有効時 (BSTE.TODE = 1) に、SCLn ラインが Low 期間中にタイムアウト機能の内部カウンタのカウントアップを有効にするか無効にするかを選択するために使用されます。

**TOHCTL ビット (タイムアウト H カウント制御)**

本ビットはタイムアウト機能有効時 (BSTE.TODE = 1) に、SCLn ラインが High 期間中にタイムアウト機能の内部カウンタのカウントアップを有効にするか無効にするかを選択するために使用されます。

**TOMDS[1:0] ビット (タイムアウト動作モード選択)**

本ビットはタイムアウト機能有効時に、タイムアウト検出条件を選択するために使用されます。

注. MCU Ver.1 には以下の制約があります。MCU Ver.2 には制約は不要です。  
I<sup>2</sup>C スレーブと動作するとき、10 ビットアドレスフォーマットでの通信時に上位アドレス一致を検出すると、タイムアウトカウントを開始します。

**25.2.24 ACKCTL : アクノリッジコントロールレジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x0A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ACKT WP	ACKT	ACKR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKR	Acknowledge 受信 0: アクノリッジビットに 0 を受信 (ACK 受信) 1: アクノリッジビットに 1 を受信 (NACK 受信)	R
1	ACKT	Acknowledge 送信 0: アクノリッジビットに 0 を送出 (ACK 送信) 1: アクノリッジビットに 1 を送出 (NACK 送信)	R/W
2	ACKTWP	ACKT ライトプロテクト 0: ACKT ビットは保護される 1: ACKT ビットは書き込み可能である (対象ビットの値と同時に書き込みするとき) 読むと 0 が読めます。	W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I<sup>2</sup>C モードをサポートします。

**ACKR ビット (Acknowledge 受信)**

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき

**ACKT ビット (Acknowledge 送信)**

[1 になる条件]

- ACKT ビットに 1 を書いて、同時に ACKTWP ビットにも 1 を書いたとき



[0 になる条件]

- ACKT ビットに 0 を書いて、同時に ACKTWP ビットにも 1 を書いたとき
- ストップコンディションが検出されたとき (CNDCTL.SPCND ビットが 1 の状態で、ストップコンディションが検出されたとき)

注. ACKT ビットは I<sup>2</sup>C スレーブモード時に 0 にしてください。

### ACKTWP ビット (ACKT ライトプロテクト)

ACKT ビットへの書き込みを制御します。

ACKT ビットに書き込む場合、このビットに 1 を書き込むと同時に、ACKT ビットに書き込みが可能です。読むと 0 が読めます。

## 25.2.25 SCSTRCTL : SCL ストレッチコントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x0A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RWE	ACKTWE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKTWE	アクノリッジ送信ウェイト許可 0: SCL クロックの 9 クロック目の立ち上がり時に NTST.RDBFF0 を設定 (8 クロック目の立ち下がり で SCLn ラインの Low ホールドを行わない) 1: SCL クロックの 8 クロック目の立ち上がり時に NTST.RDBFF0 を設定 (8 クロック目の立ち下がり で SCLn ラインの Low ホールドを行う) Low ホールドは ACKCTL.ACKT ビットへの書き込みで解除	R/W
1	RWE	受信ウェイト許可 0: ウェイトなし (9 クロック目と 1 クロック目の間に Low ホールドを行わない) 1: ウェイトあり (9 クロック目と 1 クロック目の間に Low ホールドを行う) Low ホールドは NTDTBP0 レジスタの読み出しで解除	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I<sup>2</sup>C モードをサポートします。

### ACKTWE ビット (アクノリッジ送信ウェイト許可)

受信モードにおいて NTST.RDBFF0 フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がり で SCLn ラインの Low ホールドを行うかどうかを選択します。

ACKTWE ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がり で SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がり で NTST.RDBFF0 フラグを 1 にします。

ACKTWE ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がり で NTST.RDBFF0 フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がり で SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは ACKCTL.ACKT ビットへの書き込みにより解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これにより、受信データの内容に応じて ACK (ACKCTL.ACKT ビットが 0) または NACK (ACKCTL.ACKT ビットが 1) を送出する処理が可能となります。

**RWE ビット (受信ウェイト許可)**

受信モードにおいて1バイト受信ごとに、受信データバッファ (NTDTBP0 レジスタ) の読み出しが完了するまで、SCL クロックの9クロック目と1クロック目の間を Low にホールドするかどうかを制御します。

RWE ビットが0のとき、SCL クロックの9クロック目と1クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。ACKTWE ビットと RWE ビットがともに0のとき、ダブルバッファによる連続受信動作が可能です。

RWE ビットが1のとき、1バイト受信ごとに、9クロック目の立ち下がり以降、NTDTBP0 レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。

これによって、1バイトごとの受信動作が可能になります。

注. RWE ビットを読み出す場合は、NTDTBP0 レジスタを先に読んでください。

**25.2.26 SCSTLCTL : SCL ストールコントロールレジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x0B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ACKPE	PARPE	TRAPE	AAPE	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15															0
Bit field:	STLCYC[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	STLCYC[15:0]	ストールサイクル ストール期間のカウンタ設定 (I3Cφ サイクル)。各フェーズ共通。	R/W
27:16	—	読むと0が読めます。書く場合、0としてください。	R/W
28	AAPE	アドレス配置フェーズイネーブル アドレス配置の最初のビットでストール可能なビットを有効にします。 0: アドレス配置フェーズで、SCL クロックをストールしない 1: アドレス配置フェーズで、SCL クロックをストールする	R/W
29	TRAPE	遷移フェーズイネーブル 読み出し転送時の遷移ビットによってストール可能なビットを有効にします。 0: 読み出し転送時の遷移ビットで、SCL クロックをストールしない 1: 読み出し転送時の遷移ビットで、SCL クロックをストールする	R/W
30	PARPE	パリティフェーズイネーブル パリティビット期間のストール許可ビット 0: パリティビット期間で、SCL クロックをストールしない 1: パリティビット期間で、SCL クロックをストールする	R/W
31	ACKPE	ACK フェーズイネーブル ACK/NACK フェーズのストール許可ビット 0: ACK/NACK フェーズで、SCL クロックをストールしない 1: ACK/NACK フェーズで、SCL クロックをストールする	R/W

注. 本レジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

レジスタの設定は、5.1.2.5 MIPI I3C 仕様 v1.0 のマスタクロックストールに従います。バス性能が低下するため、その使用は必要時のみにしてください。

**STLCYC[15:0]ビット (ストールサイクル)**

これらのビットは、SCL ストール期間を設定します。この SCL ストール期間は、内部基準クロック (I3Cφ) でカウントします。これは、各フェーズの許可ビットに共通のカウンタです。

**AAPE ビット (アドレス配置フェーズイネーブル)**

入力ダイナミックアドレス配置 CCC コマンドのアドレス配置フェーズの最初のビットの Low 期間の間、マスタが SCL をストールできます。スレーブの BCR と DCR に基づいてダイナミックアドレスをデバイスに配置することで、時間を稼ぐことができます。しかし、ダイナミックアドレス配置手順は DATBASm レジスタに設定されたダイナミックアドレスを順に送付するため、このビットを設定することは不要であり禁止されています。

**TRAPE ビット (遷移フェーズイネーブル)**

受信データ FIFO のオーバーフローを回避するため、SCL ストールに I3C 読み出し転送の受信データの T ビットを使用できます。しかし、I3C マスタの受信データ FIFO がフルになるとき、このビットの設定にかかわらず SCL ストールを行うため、このビットを設定することは不要であり禁止されています。

**PARPE ビット (パリティフェーズイネーブル)**

送信データ FIFO のアンダーランを回避するため、SCL ストールに I3C 書き込み転送の送信データのパリティビットを使用できます。しかし、I3C マスタの送信データ FIFO がエンプティになるとき、このビットの設定にかかわらず SCL ストールを行うため、このビットを設定することは不要であり禁止されています。I3C スレーブが受信データに対する準備時間を必要とするときは、このビットを設定する必要があります。

**ACKPE ビット (ACK フェーズイネーブル)**

以下の判断基準を基に、ACK/NACK フェーズにおいて SCL ストールの要否を決定してください。

- バスに接続している I3C スレーブと I2C スレーブがデータを送受信するための準備時間を必要とするときは、このビットを設定する必要があります。
- レガシー I<sup>2</sup>C 通信で、I3C マスタのデータ FIFO がアンダーランもしくはオーバーランする可能性がある場合、このビットの設定にかかわらず FIFO エンプティまたはフルによって SCL ストールが実施されるので、このビットを設定する必要はありません。
- レガシー I<sup>2</sup>C 通信以外で、I3C マスタのデータ FIFO がアンダーランもしくはオーバーランする可能性があり、ACK フェーズで SCL ストールが必要になる場合、このビットを設定できます。FIFO スレッシュホールド設定 (NQTHCTL, NTBTHCTL, NRQTHCTL) に従って発生した割り込みによって、FIFO がアンダーランやオーバーフローをしないように、ソフトウェアを構成する必要があります。
- I3C マスタが ACK/NACK を IBI に対して応答するとき、ACK/NACK 応答を BCTL.HJACK、DATBASm.DVMRRJ、および DATBASm.DVS IRRJ により前もって設定できるので、このビットを設定する必要はありません。
- バスに接続している I3C スレーブがダイレクト GET CCC にデータを送信するための準備時間を必要とするときは、このビットを設定する必要があります。

**25.2.27 SVTDLG0 : スレーブ転送データ長レジスタ 0**

Base address: I3C = 0x4008\_3000

Offset address: 0x0C0

Bit position: 31

16 15

0

Bit field:

STDLG[15:0]

Value after reset: 0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	STDLG[15:0]	スレーブ転送データ長 転送するバイト数を表示します。	R/W

注: 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

## 25.2.28 CNDCTL : 条件コントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SPCND	SRCND	STCND
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCND	スタート (S) コンディション発行 0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
1	SRCND	繰り返しのスタート (Sr) コンディション発行 0: 繰り返しのスタートコンディションの発行を要求しない 1: 繰り返しのスタートコンディションの発行を要求する	R/W
2	SPCND	ストップ (P) コンディション発行 0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I<sup>2</sup>C モードをサポートします。**STCND ビット (スタート (S) コンディション発行)**

マスタモードへの遷移およびスタートコンディションの発行を要求します。

スタートコンディション発行の詳細については、「[25.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能](#)」を参照してください。

[1 になる条件]

- STCND ビットに 1 を書いたとき

[0 になる条件]

- STCND ビットに 0 を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- BST.ALF (アービトレーションロスト) フラグが 1 になったとき

注. STCND ビットは、BCST.BFREF フラグが 1 (バスフリー) のとき、1 (スタートコンディション発行要求) にしてください。

BFREF フラグが 1 (バスビジー) のとき、STCND ビットを 1 (スタートコンディション発行要求) にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

**SRCND ビット (繰り返しのスタート (Sr) コンディション発行)**

マスタモードで繰り返しのスタートコンディションの発行を要求します。

本ビットが 1 になると繰り返しのスタートコンディションの発行を要求し、BFREF フラグが 0 (バスビジー) がかつ PRSST.CRMS ビットが 1 (マスタモード) のとき、繰り返しのスタートコンディションの発行を行います。

繰り返しのスタートコンディション発行の詳細については、「[25.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能](#)」を参照してください。

[1 になる条件]

- BCST.BFREF フラグが 0 の状態で、SRCND ビットに 1 を書いたとき







ビット	シンボル	機能	R/W
31:0	n/a	通常受信ステータスキューポート	R

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

32 ビットメールボックスレジスタ NRSQP には、受信ステータス構造（「25.3.1.4. 受信ステータスディスクリプタ」参照）を含んでいます。

### 25.2.34 NQTHCTL : 通常キュースレッシュールドコントロールレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x190

Bit position:	31	24	23	16	15	8	7	0				
Bit field:	IBIQTH[7:0]			IBIDSSZ[7:0]			RSPQTH[7:0]			CMDQTH[7:0]		

Value after reset: 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
7:0	CMDQTH[7:0]	通常コマンドレディキュースレッシュールド(注1) 0x00: コマンドキューが完全にエンプティのとき割り込みを発行する その他: コマンドキューに N 個のエンプティがあるとき割り込みを発行する(N = CMDQTH[7:0])	R/W
15:8	RSPQTH[7:0]	通常レスポンスキュースレッシュールド(注1) 0x00: レスポンスキューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: レスポンスキューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする(N = CMDQTH[7:0])	R/W
23:16	IBIDSSZ[7:0]	通常 IBI データセグメントサイズ(注2) 使用可能な値 Min: 1 (4 バイト) Max: 63 (252 バイト) ただし、構成した IBI キュー深度が 64 以上である場合	R/W
31:24	IBIQTH[7:0]	通常 IBI キュースレッシュールド(注1) 0x00: I3C プロトコルモード (マスタ) : 発生した IBI ステータス数が 1 以上のとき、割り込みを発行する I3C プロトコルモード (スレーブ) : IBI データバッファが完全にエンプティのとき、割り込みを発行する その他: I3C プロトコルモード (マスタ) : 発生した IBI ステータス数が N + 1 以上のとき、割り込みを発行する(N = CMDQTH[7:0]) I3C プロトコルモード (スレーブ) : データバッファに N 個のエンプティがあるとき割り込みを発行する	R/W

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

キュースレッシュールドコントロールレジスタは、コマンドキュー、レスポンスキュー、IBI キューの割り込みトリガスレッシュールドをコントロールします。

特定のリセット値で指示し、ハードウェア実装固有のものにできます。

#### CMDQTH[7:0]ビット (通常コマンドレディキュースレッシュールド)

INTCMD 割り込みをトリガするために必要な最小のコマンドキューエンプティの数をコントロールします。

フィールドが (コマンドキューサイズ-1) より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

注. I3C が確実に 1 つのコマンドキュー、1 つの応答キュー、1 つの IBI キューを有することを前提としています。

#### RSPQTH[7:0]ビット (通常レスポンスキュースレッシュールド)

INTRESP 割り込みをトリガするために必要な最小のレスポンスキューエントリの数をコントロールします。

フィールドが (レスポンスステータスキューサイズ-1) より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。



**IBIDSSZ[7:0]ビット (通常 IBI データセグメントサイズ)**

DWORD (4 バイト) の IBI データセグメントサイズです。

PIO モードでは、このフィールドは受信した IBI データをそれぞれステータスを生成する複数のセグメントにスライスして、長い IBI ペイロードデータのカットスルー読み出しを使用可能にします。

**IBIQTH[7:0]ビット (通常 IBI キュースレッシュヨルド)**

I3C プロトコルモード (マスタ) : PRTS.PRTMD = 0、PRSSST.CRMS = 1

IBI キューの発生した IBI ステータス数の値に基づいて、INTIBI 割り込みの生成をコントロールします。

それぞれの IBI ステータスエントリは、IBI ペイロード全体 (IBI ペイロードバイトサイズが  $4 \times \text{IBIDSSZ}$  以下の場合) または、IBI ペイロードの 1 つのセグメント (IBI ペイロードのバイトサイズが  $4 \times \text{IBIDSSZ}$  より大きい場合) のいずれかを表します。

I3C プロトコルモード (スレーブ) : PRTS.PRTMD = 0、PRSSST.CRMS = 0

INTIBI 割り込みをトリガするために必要な最小のデータバッファエンプティの数をコントロールします。

フィールドが (IBI データバッファサイズ?1) より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

**25.2.35 NTBTHCTL0 : 通常転送データバッファスレッシュヨルドコントロールレジスタ 0**

Base address: I3C = 0x4008\_3000

Offset address: 0x194

Bit position:	31	30	29	28	27	26	24	23	22	21	20	19	18	16
Bit field:	—	—	—	—	—	RXSTTH[2:0]	—	—	—	—	—	—	TXSTTH[2:0]	
Value after reset:	0	0	0	0	0	0	1	0	0	0	0	0	0	1
Bit position:	15	14	13	12	11	10	8	7	6	5	4	3	2	0
Bit field:	—	—	—	—	—	RXDBTH[2:0]	—	—	—	—	—	—	TXDBTH[2:0]	
Value after reset:	0	0	0	0	0	0	1	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	TXDBTH[2:0]	通常送信データバッファスレッシュヨルド(注1) 000: 2個のTxバッファのエンプティ DWORD で割り込みをトリガする 001: 予約 その他: 設定禁止	R/W
7:3	—	読むと0が読めます。書く場合、0としてください。	R/W
10:8	RXDBTH[2:0]	通常受信データバッファスレッシュヨルド(注1) 000: 2個のRxバッファのエントリ DWORD で割り込みをトリガする 001: 予約 その他: 設定禁止	R/W
15:11	—	読むと0が読めます。書く場合、0としてください。	R/W
18:16	TXSTTH[2:0](注3)	通常Txスタートスレッシュヨルド(注2) 000: 2個のDWORDを待つ 001: 予約 その他: 設定禁止	R/W
23:19	—	読むと0が読めます。書く場合、0としてください。	R/W
26:24	RXSTTH[2:0](注3)	通常Rxスタートスレッシュヨルド(注2) 000: 2個のエンプティ DWORDを待つ 001: 予約 その他: 設定禁止	R/W
31:27	—	読むと0が読めます。書く場合、0としてください。	R/W

注1. 本ビットはすべてのI3Cモードをサポートします。

注2. 本ビットはI3CマスタモードとI3Cセカンダリマスタモードをサポートします。



ビット	シンボル	機能	R/W
7:0	RSQTH[7:0]	通常受信ステータスキュースレッシュホールド 0x00: 受信ステータスキューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: 受信ステータスキューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする(N = RSQTH[7:0])	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

### RSQTH[7:0]ビット (通常受信ステータスキュースレッシュホールド)

INTRCV 割り込みをトリガするために必要な最小の受信ステータスキューエントリの数をコントロールします。フィールドが (受信ステータスキューサイズ - 1) より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

### 25.2.37 BST : バスステータスレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x1D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	TODF	—	—	—	—	ALF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TENDF	—	—	—	NACKDF	—	HDREXDF	SPCNDDF	STCNDDF	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDF	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/W <sup>(注3)</sup>
1	SPCNDDF	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/W <sup>(注3)</sup>
2	HDREXDF	HDR 終了パターン検出フラグ <sup>(注1)</sup> 0: HDR 終了パターン検出割り込みを発生しない 1: HDR 終了パターン検出割り込みを発生する	R/W <sup>(注3)</sup>
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDF	NACK 検出フラグ <sup>(注2)</sup> 0: NACK 未検出 1: NACK 検出	R/W <sup>(注3)</sup>
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TENDF	送信終了フラグ <sup>(注2)</sup> 0: データ送信中 1: データ送信終了	R/W <sup>(注3)</sup>
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALF	アービトレーションロストフラグ <sup>(注2)</sup> 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/W <sup>(注3)</sup>
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/W <sup>(注3)</sup>

ビット	シンボル	機能	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I<sup>2</sup>C モードをサポートします。

注 3. 0 になる条件：1 を読んだ後、0 を書き込んだとき

### STCNDDF ビット (スタートコンディション検出フラグ)

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.STCNDDDE ビットが 1 である
  2. スタートコンディション (または繰り返しのスタートコンディション) が検出された

[0 になる条件]

- STCNDDF = 1 を読んだ後、STCNDDF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

### SPCNDDF ビット (ストップコンディション検出フラグ)

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.SPCNDDE ビットが 1 である
  2. ストップコンディションが検出された

[0 になる条件]

- SPCNDDF = 1 を読んだ後、SPCNDDF フラグに 0 を書いたとき

### HDREXDF ビット (HDR 終了パターン検出フラグ)

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.HDREXDE ビットが 1 である
  2. HDR 終了パターンを検出した

[0 になる条件]

- HDREXDF = 1 を読んだ後、HDREXDF フラグに 0 を書いたとき

### NACKDF ビット (NACK 検出フラグ)

[1 になる条件]

- 以下がすべて満たされたとき：
  1. PRYS.PRTMD ビットが 1 である (I<sup>2</sup>C プロトコルモード)
  2. BSTE.NACKDE ビットが 1 である (NACK 検出割り込みステータスログが有効)
  3. 送信モード時に受信デバイスからアクノリッジを受信しない (NACK を受信した)

[0 になる条件]

- NACKDF = 1 を読んだ後、NACKDF フラグに 0 を書いたとき

### TENDF ビット (送信終了フラグ)

[1 になる条件]

- 以下がすべて満たされたとき：
  1. PRYS.PRTMD ビットが 1 である (I<sup>2</sup>C プロトコルモード)
  2. BSTE.TENDE ビットが 1 である (送信終了割り込みステータスログが有効)

3. NTST.TDBEF0 フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時点である (ただし、アドレス送信時を除く)

[0 になる条件]

- TENDF = 1 を読んだ後、TENDF フラグに 0 を書いたとき
- NTDTBP0 レジスタヘデータを書いたとき
- ストップコンディションが検出されたとき

#### ALF ビット (アービトレーションロストフラグ)

[1 になる条件]

マスタアービトレーションロスト検出有効時 : BSTE.ALE = 1、BFCTL.MALE = 1

- マスタ送信モード時のデータ送信 (スレーブアドレス送信含む) において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA ライン上の信号の状態が不一致のとき (内部 SDA 出力が High 出力 (SDA 端子はハイインピーダンス) で、SDA ラインに Low を検出したとき)
- 以下のすべてが満たされたとき
  1. CNDCTL.STCND ビットが 1 の状態で、スタートコンディションが検出された
  2. 内部の SDA 出力状態が SDA ラインレベルと不一致である
- BCST.BFREF フラグが 0 の状態で CNDCTL.STCND ビットが 1 (スタートコンディション発行要求) のとき

NACK アービトレーションロスト検出有効時 : BSTE.ALE = 1、BFCTL.NALE = 1

- 受信モードでの NACK 送信中の ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA ラインレベルと不一致のとき

スレーブアービトレーションロスト検出有効時 : BSTE.ALE = 1、BFCTL.SALE = 1

- スレーブ送信モード時のデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA ラインレベルと不一致のとき

[0 になる条件]

- ALF = 1 を読んだ後、ALF フラグに 0 を書いたとき

#### TODF ビット (タイムアウト検出フラグ)

[1 になる条件]

- 以下がすべて満たされたとき
  1. BSTE.TODE ビットが 1 である (タイムアウト検出割り込みステータスログを許可)
  2. マスタモードであるとき、または、スレーブモードにおいて、受信したスレーブアドレスがスレーブアドレス  $n$  と一致するとき
  3. SCL ライン状態が TMOCTL レジスタに指定された期間変わらないとき

[0 になる条件]

- TODF = 1 を読んだ後、TODF フラグに 0 を書いたとき

## 25.2.38 BSTE : バスステータス許可レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x1D4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	TODE	—	—	—	ALE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDE	—	—	—	NACKDE	—	HDREXDE	SPCNDDE	STCNDDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDE	スタートコンディション検出許可 0: スタートコンディション検出割り込みステータスログを禁止 1: スタートコンディション検出割り込みステータスログを許可	R/W
1	SPCNDDE	ストップコンディション検出許可 0: ストップコンディション検出割り込みステータスログを禁止 1: ストップコンディション検出割り込みステータスログを許可	R/W
2	HDREXDE	HDR 終了パターン検出許可(注1) 0: HDR 終了パターン検出割り込みステータスログを禁止 1: HDR 終了パターン検出割り込みステータスログを許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDE	NACK 検出許可(注2) 0: NACK 検出割り込みステータスログを禁止 1: NACK 検出割り込みステータスログを許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TENDE	送信終了許可(注2) 0: 送信終了割り込みステータスログを禁止 1: 送信終了割り込みステータスログを許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALE	アービトレーションロスト許可(注2) 0: アービトレーションロスト割り込みステータスログを禁止 1: アービトレーションロスト割り込みステータスログを許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODE	タイムアウト検出許可 0: タイムアウト検出割り込みステータスログを禁止 1: タイムアウト検出割り込みステータスログを許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I<sup>2</sup>C モードをサポートします。**STCNDDE ビット (スタートコンディション検出許可)**

本ビットが 1 のとき、BST.STCNDDE の動作が有効になります。BST.STCNDDE フラグの 1 になる条件、0 になる条件については、BST.STCNDDE フラグの詳細を参照してください。

**SPCNDDE ビット (ストップコンディション検出許可)**

本ビットが 1 のとき、BST.SPCNDDE の動作が有効になります。BST.SPCNDDE フラグの 1 になる条件、0 になる条件については、BST.SPCNDDE フラグの詳細を参照してください。

**HDREXDE ビット (HDR 終了パターン検出許可)**

本ビットが1のとき、BST.HDREXDFの動作が有効になります。BST.HDREXDF フラグの1になる条件、0になる条件については、BST.HDREXDF フラグの詳細を参照してください。

**NACKDE ビット (NACK 検出許可)**

本ビットが1のとき、BST.NACKDFの動作が有効になります。送信モードのスレーブデバイスからNACKを受信した場合、転送動作を継続するか中断するかを指定するために使用されます。通常は、本ビットを1にしてください。BST.NACKDF フラグの1になる条件、0になる条件については、BST.NACKDF フラグの詳細を参照してください。

**TENDE ビット (送信終了許可)**

本ビットが1のとき、BST.TENDFの動作が有効になります。BST.TENDF フラグの1になる条件、0になる条件については、BST.TENDF フラグの詳細を参照してください。

**ALE ビット (アービトレーションロスト許可)**

本ビットが1のとき、BST.ALFの動作が有効になります。BST.ALF フラグの1になる条件、0になる条件については、BST.ALF フラグの詳細を参照してください。

**TODE ビット (タイムアウト検出許可)**

本ビットが1のとき、BST.TODFの動作が有効になります。BST.TODF フラグの1になる条件、0になる条件については、BST.TODF フラグの詳細を参照してください。

**25.2.39 BIE : バス割り込み許可レジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x1D8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	TODIE	—	—	—	ALIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDIE	—	—	—	NACKDIE	—	HDREXDIE	SPCNDIE	STCNDIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDIE	スタートコンディション検出割り込み許可 0: スタートコンディション検出割り込み信号を禁止 1: スタートコンディション検出割り込み信号を許可	R/W
1	SPCNDIE	ストップコンディション検出割り込み許可 0: ストップコンディション検出割り込み信号を禁止 1: ストップコンディション検出割り込み信号を許可	R/W
2	HDREXDIE	HDR 終了パターン検出割り込み許可 <sup>(注1)</sup> 0: HDR 終了パターン検出割り込み信号を禁止 1: HDR 終了パターン検出割り込み信号を許可	R/W
3	—	読むと0が読めます。書く場合、0としてください。	R/W
4	NACKDIE	NACK 検出割り込み許可 <sup>(注2)</sup> 0: NACK 検出割り込み信号を禁止 1: NACK 検出割り込み信号を許可	R/W
7:5	—	読むと0が読めます。書く場合、0としてください。	R/W
8	TENDIE	送信終了割り込み許可 <sup>(注2)</sup> 0: 送信終了割り込み信号を禁止 1: 送信終了割り込み信号を許可	R/W

ビット	シンボル	機能	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALIE	アービトレーションロスト割り込み許可 <sup>(注2)</sup> 0: アービトレーションロスト割り込み信号を禁止 1: アービトレーションロスト割り込み信号を許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODIE	タイムアウト検出割り込み許可 <sup>(注2)</sup> 0: タイムアウト検出割り込み信号を禁止 1: タイムアウト検出割り込み信号を許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I<sup>2</sup>C モードをサポートします。

BIE は、I3C で受信したバス割り込みの信号を許可します。

#### STCNDDIE ビット (スタートコンディション検出割り込み許可)

BST.STCNDDF フラグが 1 のとき、スタートコンディション検出割り込み要求を許可または禁止します。

#### SPCNDDIE ビット (ストップコンディション検出割り込み許可)

BST.SPCNDDF フラグが 1 のとき、ストップコンディション検出割り込み要求を許可または禁止します。

#### HDREXDIE ビット (HDR 終了パターン検出割り込み許可)

BST.HDREXDF フラグが 1 になったとき、HDR 終了パターン検出割り込み要求を許可または禁止します。

#### NACKDIE ビット (NACK 検出割り込み許可)

BST.NACKDF フラグが 1 のとき、NACK 検出割り込み要求を許可または禁止します。

#### TENDIE ビット (送信終了割り込み許可)

BST.TENDF フラグが 1 のとき、送信終了割り込み (I3C\_TEND) 要求を許可または禁止します。

#### ALIE ビット (アービトレーションロスト割り込み許可)

BST.ALIF フラグが 1 のとき、アービトレーションロスト割り込み要求を許可または禁止します。

#### TODIE ビット (タイムアウト検出割り込み許可)

BST.TODF フラグが 1 のとき、タイムアウト検出割り込み要求を許可または禁止します。

### 25.2.40 BSTFC : バスステータス強制レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x1DC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	TODFC	—	—	—	ALFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDFC	—	—	—	NACKDFC	—	HDREXDFC	SPCNDDFC	STCNDDFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDFC	スタートコンディション検出強制 0: ソフトウェアテスト用にスタートコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にスタートコンディション検出割り込みを強制する	W



ビット	シンボル	機能	R/W
1	SPCNDDFC	ストップコンディション検出強制 0: ソフトウェアテスト用にストップコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にストップコンディション検出割り込みを強制する	W
2	HDREXDFC	HDR 終了パターン検出強制(注1) 0: ソフトウェアテスト用に HDR 終了パターン検出割り込みを強制しない 1: ソフトウェアテスト用に HDR 終了パターン検出割り込みを強制する	W
3	—	読むと 0 が読めます。	R
4	NACKDFC	NACK 検出強制(注2) 0: ソフトウェアテスト用に NACK 検出割り込みを強制しない 1: ソフトウェアテスト用に NACK 検出割り込みを強制する	W
7:5	—	読むと 0 が読めます。	R
8	TENDFC(注3)	送信終了強制(注2) 0: ソフトウェアテスト用に送信終了割り込みを強制しない 1: ソフトウェアテスト用に送信終了割り込みを強制する	W
15:9	—	読むと 0 が読めます。	R
16	ALFC	アービトレーションロスト強制(注2) 0: ソフトウェアテスト用にアービトレーションロスト割り込みを強制しない 1: ソフトウェアテスト用にアービトレーションロスト割り込みを強制する	W
19:17	—	読むと 0 が読めます。	R
20	TODFC	タイムアウト検出強制(注2) 0: ソフトウェアテスト用にタイムアウト検出割り込みを強制しない 1: ソフトウェアテスト用にタイムアウト検出割り込みを強制する	W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットはすべての I3C モードをサポートします。  
 注 2. 本ビットは I<sup>2</sup>C モードをサポートします。  
 注 3. TDBEF0 ビットが 1 でない限り、TENDFC は無効です。

### 25.2.41 NTST : 通常転送ステータスレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x1E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQF F	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEF	—	—	—	TABTF	RSPQ FF	CMDQ EF	IBIQE FF	RDBF F0	TDBE F0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEF0	通常送信データバッファエンプティフラグ 0(注1) 0: I2C プロトコルモード : PRYS.PRMD ビット = 1 通常送信データバッファ 0 に送信データが格納されている I3C プロトコルモード : PRYS.PRMD ビット = 0 通常送信データバッファ 0 のエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッシュホールドより小さい 1: I2C プロトコルモード : PRYS.PRMD ビット = 1 通常送信データバッファ 0 に送信データが格納されていない I3C プロトコルモード : PRYS.PRMD ビット = 0 通常送信データバッファ 0 のエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッシュホールドと同じか、より大きい	R/W(注3)

ビット	シンボル	機能	R/W
1	RDBFF0	通常受信データバッファフルフラグ(注1) 0: I2C プロトコルモード : PRS.PRTMD ビット = 1 通常受信データバッファ 0 に受信データが格納されていない I3C プロトコルモード : PRS.PRTMD ビット = 0 通常受信データバッファ 0 のエントリの数が NTBTHCTL0.RXDBTH[2:0] スレッシュ ヨルドより小さい 1: I2C プロトコルモード : PRS.PRTMD ビット = 1 通常受信データバッファ 0 に受信データが格納されている I3C プロトコルモード : PRS.PRTMD ビット = 0 通常受信データバッファ 0 のエントリの数が NTBTHCTL0.RXDBTH[2:0] スレッシュ ヨルドと同じか、より大きい	R/W(注3)
2	IBIQEFF	通常 IBI キューエンpty/フルフラグ(注1) 0: I3C プロトコルモード (マスタ) : PRS.PRTMD ビット = 0、PRSST.CRMS ビッ ト = 1 IBI ステータスキューエントリの数は、NQTHCTL.IBIQTH スレッシュヨルドと同じ か、より小さい I3C プロトコルモード (スレーブ) : PRS.PRTMD ビット = 0、PRSST.CRMS ビ ット = 0 NQTHCTL.IBIQTH ビット = 0 の場合 : IBI データバッファエンptyの数は、IBI データバッファサイズより小さい NQTHCTL.IBIQTH ビットが 0 以外の場合 : IBI データバッファエンptyの数は、NQTHCTL.IBIQTH スレッシュヨルドより小 さい 1: I3C プロトコルモード (マスタ) : PRS.PRTMD ビット = 0、PRSST.CRMS ビッ ト = 1 IBI ステータスキューエントリの数は、NQTHCTL.IBIQTH スレッシュヨルドより大 きい I3C プロトコルモード (スレーブ) : PRS.PRTMD ビット = 0、PRSST.CRMS ビ ット = 0 NQTHCTL.IBIQTH ビット = 0 の場合 : IBI データバッファエンptyの数は、IBI データバッファサイズと同じである NQTHCTL.IBIQTH ビットが 0 以外の場合 : IBI データバッファエンptyの数は、NQTHCTL.IBIQTH スレッシュヨルドと同じ か、より大きい	R/W(注3)
3	CMDQEF	通常コマンドキューエンptyフラグ(注1) 0: NQTHCTL.CMDQTH ビット = 0 の場合 : コマンドキューエンptyの数は、コマンドキューサイズより小さい NQTHCTL.CMDQTH ビットが 0 以外の場合 : コマンドキューエンptyの数は、NQTHCTL.CMDQTH スレッシュヨルドより小 さい 1: NQTHCTL.CMDQTH ビット = 0 の場合 : コマンドキューエンptyの数は、コマンドキューサイズと同じである NQTHCTL.CMDQTH ビットが 0 以外の場合 : 1: コマンドキューエンptyの数は、NQTHCTL.CMDQTH スレッシュヨルドと同じ か、より大きい	R/W(注3)
4	RSPQFF	通常レスポンスキューフルフラグ(注1) 0: レスポンスキューエントリの数は、NQTHCTL.RSPQTH スレッシュヨルドと同じか、 より小さい 1: レスポンスキューエントリの数は、NQTHCTL.RSPQTH スレッシュヨルドより大 きい	R/W(注3)
5	TABTF	通常転送中断フラグ(注1) 0: 転送中断が発生しない 1: 転送中断が発生する 本ビットを 0 にするには、1 のステートを読んだ後、0 を書いてください。	R/W(注3)
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEF	通常転送エラーフラグ(注1) 0: 転送エラーが発生しない 1: 転送エラーが発生する 本ビットを 0 にするには、1 のステートを読んだ後、0 を書いてください。	R/W(注3)
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20	RSQFF	通常受信ステータスキューフルフラグ(注2) 0: 受信ステータスキューエントリの数は、NRQTHCTL.RSQTH スレッシュホールドと同じか、より小さい 1: 受信ステータスキューエントリの数は、NRQTHCTL.RSQTH スレッシュホールドより大きい	R/W(注3)
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

注 3. 0 になる条件：1 の状態を読んだ後、0 を書き込んだとき

### TDBEF0 ビット (通常送信データバッファエンptyフラグ 0)

[1 になる条件]

I<sup>2</sup>C プロトコルモード：PRTS.PRTMD ビット = 1

下記の 1. の条件が満たされ、かつ下記 2.~4. のいずれかの条件が満たされたとき

1. NTSTE.TDBEE0 ビットが 1 である (Tx0 データバッファエンpty割り込みステータスログを許可)
2. 通常送信データバッファ 0 からシフトレジスタにデータが転送され、通常送信データバッファ 0 がエンptyになったとき(注1)
3. PRSST.TRMD ビットを 1 にしたとき
4. TRMD ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

以下の 1. と 2. の条件を満たしたとき

1. NTSTE.TDBEE0 ビットが 1 である (Tx0 データバッファエンpty割り込みステータスログを許可)
2. 通常送信データバッファ 0 のエンptyの数が NTBTHCTL0.TXDBTH[2:0] スレッシュホールド (NTBTHCTL0 レジスタを参照) と同じか、より大きい

[0 になる条件]

I<sup>2</sup>C プロトコルモード：PRTS.PRTMD ビット = 1

- NTDTBP0 レジスタへデータが書き込まれたとき
- PRSST.TRMD ビットが 0 になったとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

- 1 を読んだ後、0 を書いたとき
- DTC による通常送信データへの直近の書き込みアクセスが完了したとき
- 通常送信データバッファ 0 のエンptyの数が NTBTHCTL0.TXDBTH[2:0] スレッシュホールド (NTBTHCTL0 レジスタを参照) より小さいとき

注 1. BSTE.NACKDE ビットが 1 のとき、BST.NACKDF フラグが 1 になると、I3C はデータ送受信動作を中断します。TDBEF0 フラグが 0 (次の送信データがすでに書き込まれている状態) の場合、9 クロック目の立ち上がりエッジでシフトレジスタへデータが転送されて、通常送信データバッファレジスタ 0 はエンptyになりますが、TDBEF0 フラグは 1 になりません。

### RDBFF0 ビット (通常受信データバッファフルフラグ 0)

[1 になる条件]

I<sup>2</sup>C プロトコルモード：PRTS.PRTMD ビット = 1

下記の 1. の条件が満たされ、かつ下記 2. または 3. のいずれかの条件が満たされたとき

1. NTSTE.RDBFE0 ビットが 1 である (Rx0 データバッファフル割り込みステータスログを許可)
2. シフトレジスタから通常受信データバッファ 0 に受信データが転送されたとき  
RDBFF0 フラグは、SCL クロックの 8 クロック目または 9 クロック目 (SCSTRCTL レジスタの ACKTWE ビットで選択) の立ち上がりエッジで 1 になる

3. PRSST.TRMD ビットが 0 の状態で、スタートコンディションまたは繰り返しのスタートコンディション検出後、受信したスレーブアドレスが一致したとき

I3C プロトコルモード : PRSST.PRTMD ビット = 0

以下の 1. と 2. の条件を満たしたとき

1. NTSTE.RDBFE0 ビットが 1 である (Rx0 データバッファフル割り込みステータスログを許可)
2. 通常受信データバッファ 0 のエントリ数が NTBTHCTL0.RXDBTH[2:0] スレッシュホールド (NTBTHCTL0 レジスタを参照) と同じか、より大きいとき

[0 になる条件]

I<sup>2</sup>C プロトコルモード : PRSST.PRTMD ビット = 1

- NTDTBP0 レジスタからデータを読んだとき

I3C プロトコルモード : PRSST.PRTMD ビット = 0

- 1 を読んだ後、0 を書いたとき
- DTC による通常受信データへの直近の読み出しアクセスが完了したとき
- 通常受信データバッファ 0 のエントリ数が NTBTHCTL0.RXDBTH[2:0] スレッシュホールド (NTBTHCTL0 レジスタを参照) より小さいとき

### IBIQEFF ビット (通常 IBI キューエンpty/フルフラグ)

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.IBIQEF0 ビットが 1 である (IBI ステータスバッファエンpty/フル割り込みステータスログを許可)
2. I3C プロトコルモード (マスタ) : PRSST.PRTMD ビット = 0、PRSST.CRMS ビット = 1
  - IBI ステータスキューエントリ数が、NQTHCTL.IBIQTH スレッシュホールド (NQTHCTL レジスタを参照) より大きいとき

I3C プロトコルモード (スレーブ) : PRSST.PRTMD ビット = 0、PRSST.CRMS ビット = 0  
NQTHCTL.IBIQTH ビット = 0 の場合 :

- IBI データバッファが完全にエンptyのとき

NQTHCTL.IBIQTH ビットが 0 以外の場合 :

- IBI データバッファエンptyの数が、NQTHCTL.IBIQTH スレッシュホールド (NQTHCTL レジスタを参照) と同じか、より大きいとき

[0 になる条件]

I3C プロトコルモード (マスタ) : PRSST.PRTMD ビット = 0、PRSST.CRMS ビット = 1

- 1 を読んだ後、0 を書いたとき
- DTC による IBI ステータスへの直近の読み出しアクセスが完了したとき
- IBI ステータスキューエントリ数が、NQTHCTL.IBIQTH スレッシュホールド (NQTHCTL レジスタを参照) と同じか、より小さいとき

I3C プロトコルモード (スレーブ) : PRSST.PRTMD ビット = 0、PRSST.CRMS ビット = 0

- 1 を読んだ後、0 を書いたとき
- DTC による IBI ステータスへの直近の書き込みアクセスが完了したとき

NQTHCTL.IBIQTH ビット = 0 の場合 :

- IBI データバッファが完全にエンptyではないとき

NQTHCTL.IBIQTH ビットが 0 以外の場合：

- IBI データバッファエンプティの数が、NQTHCTL.IBIQTH スレッシュホールド (NQTHCTL レジスタを参照) より小さいとき

#### **CMDQEF ビット (通常コマンドキューエンプティフラグ)**

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. NTSTE.CMDQEE ビットが 1 である (コマンドバッファエンプティ割り込みステータスログを許可)
2. NQTHCTL.CMDQTH ビット = 0 の場合：
  - コマンドキューが完全にエンプティのとき

NQTHCTL.CMDQTH ビットが 0 以外の場合：

- コマンドキューエンプティの数が、NQTHCTL.CMDQTH スレッシュホールド (NQTHCTL レジスタを参照) と同じか、より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DTC による通常コマンドへの直近の書き込みアクセスが完了したとき

NQTHCTL.CMDQTH ビット = 0 の場合：

- コマンドキューが完全にエンプティではないとき

NQTHCTL.CMDQTH ビットが 0 以外の場合：

- コマンドキューエンプティの数が、NQTHCTL.CMDQTH スレッシュホールド (NQTHCTL レジスタを参照) より小さいとき

#### **RSPQFF ビット (通常レスポンスキューフルフラグ)**

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. NTSTE.RSPQFE ビットが 1 である (レスポンスバッファフル割り込みステータスログを許可)
2. レスポンスキューエントリの数が、NQTHCTL.RSPQTH スレッシュホールド (NQTHCTL レジスタを参照) より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DTC による通常受信ステータスへの直近の読み出しアクセスが完了したとき
- レスポンスキューエントリの数が、NQTHCTL.RSPQTH スレッシュホールド (NQTHCTL レジスタを参照) と同じか、より小さいとき

#### **TABTF ビット (通常転送中断フラグ)**

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.TABTE ビットが 1 である (転送中断割り込みステータスログを許可)
2. いずれかの転送が中断されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

#### **TEF ビット (通常転送エラーフラグ)**

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.TEE ビットが 1 である (転送エラー割り込みステータスログを許可)
2. I3C バスで転送エラーが発生したとき、このエラーのエラータイプは、この送信コマンドに対応する応答または受信ステータス構造から得られます。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

### RSQFF ビット (通常受信ステータスキューフルフラグ)

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.RSQFE ビットが 1 である (通常受信ステータスキューフルを許可)
2. 受信ステータスキューエントリの数が、NRQTHCTL.RSQTH スレッシュホールド (NRQTHCTL レジスタを参照) より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DTC による通常受信ステータスへの直近の読み出しアクセスが完了したとき
- 受信ステータスキューエントリの数が、NRQTHCTL.RSQTH スレッシュホールド (NRQTHCTL レジスタを参照) と同じか、より小さいとき

## 25.2.42 NTSTE : 通常転送ステータス許可レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x1E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEE	—	—	—	TABTE	RSPQFE	CMDQEE	IBIQEFE	RDBFE0	TDBEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEE0	通常送信データバッファエンプティ許可 0 0: Tx0 データバッファエンプティ割り込みステータスログを禁止 1: Tx0 データバッファエンプティ割り込みステータスログを許可	R/W
1	RDBFE0	通常受信データバッファフル許可 0 0: Rx0 データバッファフル割り込みステータスログを禁止 1: Rx0 データバッファフル割り込みステータスログを許可	R/W
2	IBIQEFE	通常 IBI キューエンプティ/フル許可(注1) 0: IBI ステータスバッファエンプティ/フル割り込みステータスログを禁止 1: IBI ステータスバッファエンプティ/フル割り込みステータスログを許可	R/W
3	CMDQEE	通常コマンドキューエンプティ許可(注1) 0: コマンドバッファエンプティ割り込みステータスログを禁止 1: コマンドバッファエンプティ割り込みステータスログを許可	R/W
4	RSPQFE	通常レスポンスキューフル許可(注1) 0: レスポンスバッファフル割り込みステータスログを禁止 1: レスポンスバッファフル割り込みステータスログを許可	R/W

ビット	シンボル	機能	R/W
5	TABTE	通常転送中断許可 <sup>(注1)</sup> 0: 転送中断割り込みステータスログを禁止 1: 転送中断割り込みステータスログを許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEE	通常転送エラー許可 <sup>(注1)</sup> 0: 転送エラー割り込みステータスログを禁止 1: 転送エラー割り込みステータスログを許可	R/W
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	RSQFE	通常受信ステータスキューフル許可 <sup>(注2)</sup> 0: 受信ステータスバッファフル割り込みステータスログを禁止 1: 受信ステータスバッファフル割り込みステータスログを許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

#### TDBEE0 ビット (通常送信データバッファエンブティ許可 0)

本ビットが 1 のとき、NTST.TDBEF0 の動作が有効になります。

NTST.TDBEF0 フラグの 1 になる条件、0 になる条件については、NTST.TDBEF0 フラグの詳細を参照してください。

#### RDBFE0 ビット (通常受信データバッファフル許可 0)

本ビットが 1 のとき、NTST.RDBFF0 の動作が有効になります。

NTST.RDBFF0 フラグの 1 になる条件、0 になる条件については、NTST.RDBFF0 フラグの詳細を参照してください。

#### IBIQFE ビット (通常 IBI キューエンブティ/フル許可)

本ビットが 1 のとき、NTST.IBIQEFF の動作が有効になります。

NTST.IBIQEFF フラグの 1 になる条件、0 になる条件については、NTST.IBIQEFF フラグの詳細を参照してください。

#### CMDQEE ビット (通常コマンドキューエンブティ許可)

本ビットが 1 のとき、NTST.CMDQEF の動作が有効になります。

NTST.CMDQEF フラグの 1 になる条件、0 になる条件については、NTST.CMDQEF フラグの詳細を参照してください。

#### RSPQFE ビット (通常レスポンスキューフル許可)

本ビットが 1 のとき、NTST.RSPQFF の動作が有効になります。

NTST.RSPQFF フラグの 1 になる条件、0 になる条件については、NTST.RSPQFF フラグの詳細を参照してください。

#### TABTE ビット (通常転送中断許可)

本ビットが 1 のとき、NTST.TABTF の動作が有効になります。

NTST.TABTF フラグの 1 になる条件、0 になる条件については、NTST.TABTF フラグの詳細を参照してください。

#### TEE ビット (通常転送エラー許可)

本ビットが 1 のとき、NTST.TEF の動作が有効になります。

NTST.TEF フラグの 1 になる条件、0 になる条件については、NTST.TEF フラグの詳細を参照してください。

#### RSQFE ビット (通常受信ステータスキューフル許可)

本ビットが 1 のとき、NTST.RSQFF の動作が有効になります。

NTST.RSQFF フラグの 1 になる条件、0 になる条件については、NTST.RSQFF フラグの詳細を参照してください。

## 25.2.43 NTIE : 通常転送割り込み許可レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x1E8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFIE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEIE	—	—	—	TABTIE	RSPQFIE	CMDQEIE	IBIQEFIE	RDBFIE0	TDBEIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEIE0	通常送信データバッファエンプティ割り込み許可 0 0: Tx0 データバッファエンプティ割り込み信号を禁止 1: Tx0 データバッファエンプティ割り込み信号を許可	R/W
1	RDBFIE0	通常受信データバッファフル割り込み許可 0 0: Rx0 データバッファフル割り込み信号を禁止 1: Rx0 データバッファフル割り込み信号を許可	R/W
2	IBIQEFIE	通常 IBI キューエンプティ/フル割り込み許可(注1) 0: IBI ステータスバッファエンプティ/フル割り込み信号を禁止 1: IBI ステータスバッファエンプティ/フル割り込み信号を許可	R/W
3	CMDQEIE	通常コマンドキューエンプティ割り込み許可(注1) 0: コマンドバッファエンプティ割り込み信号を禁止 1: コマンドバッファエンプティ割り込み信号を許可	R/W
4	RSPQFIE	通常レスポンスキューフル割り込み許可(注1) 0: レスポンスバッファフル割り込み信号を禁止 1: レスポンスバッファフル割り込み信号を許可	R/W
5	TABTIE	通常転送中断割り込み許可(注1) 0: 転送中断割り込み信号を禁止 1: 転送中断割り込み信号を許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEIE	通常転送エラー割り込み許可(注1) 0: 転送エラー割り込み信号を禁止 1: 転送エラー割り込み信号を許可	R/W
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	RSQFIE	通常受信ステータスキューフル割り込み許可(注2) 0: 受信ステータスバッファフル割り込み信号を禁止 1: 受信ステータスバッファフル割り込み信号を許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PIO 割り込み信号許可レジスタは、I3C で受信した割り込み発生信号を許可します。

**TDBEIE0 ビット (通常送信データバッファエンプティ割り込み許可 0)**

NTST.TDBEF0 フラグが 1 になったとき、通常 Tx データバッファ 0 エンプティ割り込み (I3Cn\_TX) 要求を許可または禁止するのに使用されます。

**RDBFIE0 ビット (通常受信データバッファフル割り込み許可 0)**

NTST.RDBFF0 フラグが 1 になったとき、通常 Rx データバッファ 0 フル割り込み (I3Cn\_RX) 要求を許可または禁止するのに使用されます。



**IBIQEFIE ビット (通常 IBI キューエンpty/フル割り込み許可)**

NTST.IBIQEIE フラグが 1 になったとき、通常 IBI ステータスバッファフル割り込み (INTIBI) 要求を許可または禁止するのに使用されます。

**CMDQEIE ビット (通常コマンドキューエンpty割り込み許可)**

NTST.CMDQEIE フラグが 1 になったとき、通常コマンドバッファエンpty割り込み (INTCMD) 要求を許可または禁止するのに使用されます。

**RSPQFIE ビット (通常レスポンスキューフル割り込み許可)**

NTST.RSPQFIE フラグが 1 になったとき、通常レスポンスステータスバッファフル割り込み (INTRESP) 要求を許可または禁止するのに使用されます。

**TABTIE ビット (通常転送中断割り込み許可)**

NTST.TABTIE フラグが 1 になったとき、通常転送中断割り込み (INTABORT) 要求を許可または禁止するのに使用されます。

**TEIE ビット (通常転送エラー割り込み許可)**

NTST.TEIE フラグが 1 になったとき、通常転送エラー割り込み (INTTERR) 要求を許可または禁止するのに使用されます。

**RSQFIE ビット (通常受信ステータスキューフル割り込み許可)**

NTST.RSQFIE フラグが 1 になったとき、通常受信ステータスバッファフル割り込み (INTRCV) 要求を許可または禁止するのに使用されます。

**25.2.44 NTSTFC : 通常転送ステータス強制レジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x1EC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	RSQF FC	—	—	—	—	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEFC	—	—	—	TABTF C	RSPQ FFC	CMDQ EFC	IBIQE FFC	RDBF FC0	TDBE FC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEFC0	通常送信データバッファエンpty強制 0 0: ソフトウェアテスト用に Tx0 データバッファエンpty割り込みを強制しない 1: ソフトウェアテスト用に Tx0 データバッファエンpty割り込みを強制する	W
1	RDBFFC0	通常受信データバッファフル強制 0 0: ソフトウェアテスト用に Rx0 データバッファフル割り込みを強制しない 1: ソフトウェアテスト用に Rx0 データバッファフル割り込みを強制する	W
2	IBIQEFFC	通常 IBI キューエンpty/フル強制 <sup>(注1)</sup> 0: ソフトウェアテスト用に IBI ステータスバッファフル割り込みを強制しない 1: ソフトウェアテスト用に IBI ステータスバッファフル割り込みを強制する	W
3	CMDQEFC	通常コマンドキューエンpty強制 <sup>(注1)</sup> 0: ソフトウェアテスト用にコマンドバッファエンpty割り込みを強制しない 1: ソフトウェアテスト用にコマンドバッファエンpty割り込みを強制する	W
4	RSPQFFC	通常レスポンスキューフル強制 <sup>(注1)</sup> 0: ソフトウェアテスト用にレスポンスバッファフル割り込みを強制しない 1: ソフトウェアテスト用にレスポンスバッファフル割り込みを強制する	W

ビット	シンボル	機能	R/W
5	TABTFC	通常転送中断強制(注1) 0: ソフトウェアテスト用に転送中断割り込みを強制しない 1: ソフトウェアテスト用に転送中断割り込みを強制する	W
8:6	—	書く場合、0としてください。	W
9	TEFC	通常転送エラー強制(注1) 0: ソフトウェアテスト用に転送エラー割り込みを強制しない 1: ソフトウェアテスト用に転送エラー割り込みを強制する	W
19:10	—	書く場合、0としてください。	W
20	RSQFFC	通常受信ステータスキューフル強制(注2) 0: ソフトウェアテスト用に受信ステータスパッファフル割り込みを強制しない 1: ソフトウェアテスト用に受信ステータスパッファフル割り込みを強制する	W
31:21	—	書く場合、0としてください。	W

注 1. 本ビットはすべての I3C モードをサポートします。

注 2. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PIO 割り込み強制レジスタは、特定の割り込みを強制するのに使用します。デバッグ目的で使用できます。

#### TDBEFC0 ビット (通常送信データバッファエンプティ強制 0)

本ビットが 1 に設定されたとき、TDBEE0 ビットと TDBEIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

#### RDBFFC0 ビット (通常受信データバッファフル強制 0)

本ビットが 1 に設定されたとき、RDBFE0 ビットと RDBFIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

#### IBIQEFC ビット (通常 IBI キューエンプティ/フル強制)

本ビットが 1 に設定されたとき、IBIQEFE ビットと IBIQEFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

#### CMDQEFC ビット (通常コマンドキューエンプティ強制)

本ビットが 1 に設定されたとき、CMDQEE ビットと CMDQEIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

#### RSPQFFC ビット (通常レスポンスキューフル強制)

本ビットが 1 に設定されたとき、RSPQFE ビットと RSPQFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

#### TABTFC ビット (通常転送中断強制)

TABTE ビットと TABTIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

#### TEFC ビット (通常転送エラー強制)

本ビットが 1 に設定されたとき、TEE ビットと TEIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

#### RSQFFC ビット (通常受信ステータスキューフル強制)

本ビットが 1 に設定されたとき、RSQFE ビットと RSQFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

## 25.2.45 BCST : バス状態ステータスレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x210

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BIDLF	BAVLF	BFREF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BFREF	バスフリー検出フラグ 0: バスフリーを検出していない 1: バスフリーを検出した	R
1	BAVLF	バス使用可能検出フラグ(注1) 0: バス使用可能を検出していない 1: バス使用可能を検出した	R
2	BIDLF	バスアイドル検出フラグ(注1) 0: バスアイドルを検出していない 1: バスアイドルを検出した	R
31:3	—	読むと 0 が読めます。	R

注 1. 本ビットはすべての I3C モードをサポートします。

**BFREF ビット (バスフリー検出フラグ)**

バスフリー状態は、STOP の後、START の前に以下の長さで生じる期間です。

- I3C のみのバスの場合：少なくとも tCAS の長さ以上の期間
- 混合バスの場合（少なくとも 1 つのレガシ I<sup>2</sup>C が I3C バス上に混じって存在する場合）：少なくとも tBUF の長さ以上の期間

[1 になる条件]

- ストップコンディション検出後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

**BAVLF ビット (バス使用可能検出フラグ)**

バス利用可能状態は、バスフリー状態が少なくとも tAVAL 以上の時間、連続して継続している期間です。スレープは、バス利用可能状態の後、(In-band 割り込みまたはマスタ移管要求のため) スタート要求のみを発行できません。

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BAVLCDT.AVLCYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BAVLCDT.AVLCYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

**BIDLF ビット (バスアイドル検出フラグ)**

I3C バスアイドル状態は、ホットジョインイベント時のバス安定性を確保するためのものです。バスアイドル状態は、バス利用可能状態が少なくとも tIDLE 以上の時間、連続して継続している期間です。

ホットジョインデバイスが I3C バスでメインマスタと同時に電源を入れたとき、(1) メインマスタが SCL と SDA をプルアップして、(2) マスタが同じアイドル期間 I3C バス上で動作しない場合、ホットジョインデバイスは 1 ms 後に SDA を Low にプルすることができます。

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BIDLCDT.IDLCYC[17:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BIDLCDT.IDLCYC[17:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

**25.2.46 SVST : スレーブステータスレジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x214

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAF	—	—	—	—	—	—	—	—	DVIDF	HSMCF	—	—	—	—	GCAF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAF	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/W(注1)
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	HSMCF	Hs モードマスタコード検出フラグ 0: Hs モードマスタコード未検出 1: Hs モードマスタコード検出	R/W(注1)
6	DVIDF	デバイス ID アドレス検出フラグ 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出 • スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0[W]]の値と一致した場合、1 になります。	R/W(注1)
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	HOAF	ホストアドレス検出フラグ 0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。	R/W(注1)

ビット	シンボル	機能	R/W
16	SVAFO	スレーブアドレス検出フラグ 0 0: スレーブ 0 未検出 1: スレーブ 0 検出	R/W(注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I<sup>2</sup>C モードをサポートします。

注 1. 0 になる条件: 1 の状態を読んだ後、0 を書き込んだとき

### GCAF フラグ (ジェネラルコールアドレス検出フラグ)

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.GCAE = 1 (ジェネラルコールアドレス検出は有効) である
  2. 受信したスレーブアドレスが、ジェネラルコールアドレス (0000 000b + 0[W]) と一致している

[0 になる条件]

- GCAF = 1 を読んだ後、GCAF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 繰り返しのスタートコンディションが検出されたとき

### HSMCF フラグ (Hs モードマスタコード検出フラグ)

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.HSMCE = 1 (Hs モードマスタコード検出は有効) である
  2. スタートコンディション検出直後に受信した第 1 バイトが、Hs モードマスタコード (0000 1XXXb) + 1 (NACK) の値と一致している

[0 になる条件]

- HSMCF = 1 を読んだ後、HSMCF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

### DVIDF フラグ (デバイス ID アドレス検出フラグ)

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.DVIDE = 1 (デバイス ID アドレス検出は有効) である
  2. スタートコンディション検出直後または繰り返しスタートコンディション検出直後に受信した第 1 バイトが、[デバイス ID (1111 100b) + 0[W]] の値と一致している

[0 になる条件]

- DVIDF = 1 を読んだ後、DVIDF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 本フラグは、以下の 1. と 2. または 1. と 3. を満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
  1. SVCTL.DVIDE = 1 (デバイス ID アドレス検出は有効) である
  2. スタートコンディション検出直後または繰り返しスタートコンディション検出直後に受信した 1 番目のバイトがデバイス ID (1111 100b) の値と一致しない
  3. (注) 受信した第 1 バイトが、[デバイス ID (1111 100b) + 0[W]] の値と一致している

3. スタートコンディション検出直後または繰り返しスタートコンディション検出直後に受信した第1バイトが、[デバイス ID (1111 100b) + 0 [W]]の値と一致し、第2バイトがスレーブアドレス 0~2 のいずれとも一致しない

### HOAF フラグ (ホストアドレス検出フラグ)

[1 になる条件]

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりで 1 になります。
  1. SVCTL.HOAE = 1 (ホストアドレス検出は有効) である
  2. 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致している

[0 になる条件]

- HOAF = 1 を読んだ後、HOAF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 繰り返しのスタートコンディションが検出されたとき

### SVAF0 フラグ (スレーブアドレス検出フラグ 0)

[1 になる条件]

7 ビットアドレスフォーマット選択時 : SVDVADn.SADLG = 0

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.SVAEn = 1 (スレーブ n は有効) である
  2. 受信したスレーブアドレスが、SVDVADn.SVAD[6:0] ビットの値と一致している

10 ビットアドレスフォーマット選択時 : SVDVADn.SADLG = 1

- 本フラグは、以下のすべてを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.SVAEn = 1 (スレーブ n は有効) である
  2. 受信したスレーブアドレスが、11110 + SVDVADn.SVAD[9:8] ビットの値と一致し、以下のアドレスが SVDVADn.SVAD[7:0] ビットの値と一致している

[0 になる条件]

- SVAF0 = 1 を読んだ後、SVAF0 フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

7 ビットアドレスフォーマット選択時 : SVDVADn.SADLG = 0

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn = 1 (スレーブ n は有効) である
  2. 受信したスレーブアドレスが、SVDVADn.SVAD[6:0] ビットの値と一致しない

10 ビットアドレスフォーマット選択時 : SVDVADn.SADLG = 1

- 本フラグは、以下のすべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn = 1 (スレーブ n は有効) である
  2. 受信したスレーブアドレスが、11110 + SVDVADn.SVAD[9:8] ビットの値と一致しない
- 本フラグは、以下のすべてを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn = 1 (スレーブ n は有効) である

2. 受信したスレーブアドレスが、11110+SVDVADn.SVAD[9:8]ビットの値と一致し、以下のアドレスがSVDVADn.SVAD[7:0]ビットの値と一致しない

### 25.2.47 DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0~3)

Base address: I3C = 0x4008\_3000

Offset address: 0x224 + 0x08 × m

Bit position:	31	30	29	28	27	26	25	24	23						16	
Bit field:	DVTYP	DVNACK[1:0]	—	—	—	—	—	—	DVDYAD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Bit position:	15	14	13	12	11	10	9	8	7	6						0
Bit field:	—	DVMRRJ	DVSIRRJ	DVIBIPL	—	—	—	—	—	DVSTAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	機能	R/W
6:0	DVSTAD[6:0]	デバイススタティックアドレス I3C スタティックアドレス	R/W
11:7	—	読むと0が読めます。書く場合、0としてください。	R/W
12	DVIBIPL	デバイス IBI ペイロード 0: このデバイスからの IBI はデータペイロードをもたない 1: このデバイスからの IBI はデータペイロードをもつ	R/W
13	DVSIRRJ	デバイスバンド内スレーブ割り込み要求拒否 0: このデバイスは、SIR を ACK する 1: このデバイスは SIR を NACK し、自動拒否 CCC を送信する。	R/W
14	DVMRRJ	デバイスバンド内マスタ要求拒否 0: このデバイスは、マスタ要求を ACK する 1: このデバイスはマスタ要求を NACK し、自動拒否コマンドを送信する。	R/W
15	—	読むと0が読めます。書く場合、0としてください。	R/W
23:16	DVDYAD[7:0]	デバイス I3C ダイナミックアドレス I3C 仕様に従い、ビット 23 はパリティビットで、ソフトウェアドライバにより計算され更新されます。	R/W
28:24	—	読むと0が読めます。書く場合、0としてください。	R/W
30:29	DVNACK[1:0]	デバイス NACK リトライカウント デバイス固有のリトライカウント	R/W
31	DVTYP	デバイスタイプ 0: I3C デバイス 1: I <sup>2</sup> C デバイス	R/W

注. 本レジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

#### DVIBIPL ビット (デバイス IBI ペイロード)

このデバイスからの IBI がデータペイロードをもつかどうかを示します。このフィールドは、デバイスのバス特性レジスタ (BCR) の IBI ペイロードビットを示します。

このデバイスの IBI 処理の際に、マスタはこのフィールドを使って IBI データペイロードの受信を行うかどうかを決定します。データ通信は、T-ビットで示します。

#### DVSIRRJ ビット (デバイスバンド内スレーブ割り込み要求拒否)

マスタとして動作しているときに、このデバイスが他のデバイスからのスレーブ割り込み要求を受け付けるか拒否するかを制御します。

#### DVMRRJ ビット (デバイスバンド内マスタ要求拒否)

マスタとして動作しているときに、このデバイスが他のデバイスからのマスタ要求を受け付けるか拒否するかを制御します。

I3C が、カレントマスタでないマスタケイパビリティであることを宣言している場合にのみ有効です。

### DVNACK[1:0]ビット (デバイス NACK リトライカウント)

本ビットは、コマンドディスクリプタに設定されたトランザクションに対して NACK 応答をスレーブから受信したときのリトライの数を設定します。

注. アドレス配置コマンドによって ENTDAА を実行するとき、NACK を一回受信すると本ビットの設定は無視され、トランザクションが終了します。

### 25.2.48 EXDATBAS : 拡張デバイスアドレステーブル基本レジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x2A0

Bit position:	31	30	29	28	27	26	25	24	23							16
Bit field:	EDTY P	EDNACK[1:0]		—	—	—	—	—	EDDYAD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6						0
Bit field:	—	—	—	—	—	—	—	—	—	EDSTAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	EDSTAD[6:0]	拡張デバイススタティックアドレス I3C / I <sup>2</sup> C スタティックアドレス	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	EDDYAD[7:0]	拡張デバイス I3C ダイナミックアドレス I3C 仕様に従い、ビット 23 はパリティビットで、ソフトウェアドライバにより計算され更新されます。	R/W
28:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:29	EDNACK[1:0]	拡張デバイス NACK リトライカウント デバイス固有のリトライカウント	R/W
31	EDTYP	拡張デバイスタイプ 0: I3C デバイス 1: I <sup>2</sup> C デバイス	R/W

注. 本レジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

### 25.2.49 SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0)

Base address: I3C = 0x4008\_3000

Offset address: 0x2B0

Bit position:	31	30	29	28	27	26	25	24	23	22						16
Bit field:	—	—	—	—	—	—	—	—	—	SDDYAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9									0
Bit field:	—	—	—	SDIBI PL	—	SDAD LS	SDSTAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



ビット	シンボル	機能	R/W
9:0	SDSTAD[9:0]	スレーブデバイススタティックアドレス <sup>(注2)</sup> I3C/I <sup>2</sup> C スタティックアドレス	R/W
10	SDADLS	スレーブデバイスアドレス長選択 <sup>(注3)</sup> 0: スレーブデバイスアドレス長 7 ビットを選択 1: スレーブデバイスアドレス長 10 ビットを選択 (I <sup>2</sup> C デバイスのみ)	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	SDIBIPL <sup>(注1)</sup>	スレーブデバイス IBI ペイロード <sup>(注4)</sup> 本ビットは SVDCT.TBCR[2] のミラービットです。 0: このデバイスからの IBI はデータペイロードをもたない 1: このデバイスからの IBI はデータペイロードをもつ	R
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:16	SDDYAD[6:0] <sup>(注1)</sup>	スレーブデバイス I3C ダイナミックアドレス <sup>(注5)</sup>	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. メインマスタの SDATBAS レジスタへの SW 書き込みは禁止です。

注 1. 本ビットは、SDATBAS0 レジスタでのみ有効です。

注 2. 本ビットは I<sup>2</sup>C モード、I3C セカンダリマスタモード、および I3C スレーブモードをサポートします。

注 3. 本ビットは I<sup>2</sup>C モードをサポートします。

注 4. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

注 5. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

### SDSTAD[9:0]ビット (スレーブデバイススタティックアドレス)

7 ビットアドレスフォーマット選択時 (SDADLS = 0)、SDSTAD[9:0]ビットの下位 7 ビットは 7 ビットアドレスとして機能します。

10 ビットアドレスフォーマット選択時 (SDADLS = 1)、SDSTAD[9:0]ビットは 10 ビットアドレスとして機能します。SVCTL.SVAEn ビットが 0 の場合、このビットの設定は無視されます。

### SDIBIPL ビット (スレーブデバイス IBI ペイロード)

このデバイスからの IBI がデータペイロードをもつかどうかを示します。このフィールドは、デバイスのバス特性レジスタ (BCR) の IBI ペイロードビットを示します。

このデバイスの IBI 処理の際に、マスタはこのフィールドを使って IBI データペイロードの受信を行うかどうかを決定します。データ通信は、T-ビットで示します。

### SDDYAD[6:0]ビット (スレーブデバイス I3C ダイナミックアドレス)

[更新する条件]

- ダイナミックアドレス値を書き込んだとき
- スレーブアドレス値が SETDASA CCC (Direct) を受信時のそれ自身のスタティックアドレスであるとき、ダイナミックアドレス値に更新されます。(注1)
- ENTDAACCC (ブロードキャスト) の受信により始まるダイナミックアドレス割り当て手順が確立したとき (注1)
- RSTDAA CCC (ブロードキャスト) の受信時、全てのビットは 0 にクリアされます。(注1)
- スレーブアドレス値が RSTDAA CCC (Direct) を受信時のそれ自身のダイナミックアドレスであるとき、全てのビットは 0 にクリアされます。(注1)
- スレーブアドレス値が SETNEWDA CCC (Direct) を受信時のそれ自身のダイナミックアドレスであるとき、そのダイナミックアドレス値に更新されます。(注1)
- SETAASACCC (ブロードキャスト) の受信時、それらのビットは SDSTAD[6:0]ビットの値に更新されます。(注2)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

注 2. MIPI I3C 基本仕様 v1.0 を参照してください。

## 25.2.50 MSDCTm : マスタデバイス特性テーブルレジスタ m (m = 0~3)

Base address: I3C = 0x4008\_3000

Offset address: 0x2D0 + 0x04 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RBCR76[1:0]	—	—	RBCR 3	RBCR 2	RBCR 1	RBCR 0	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RBCR0	最大データ速度制限 <sup>(注1)</sup> 0: 制限なし 1: 制限あり	R/W
9	RBCR1	IBI 要求可否 0: 不可 1: 可	R/W
10	RBCR2	IBI ペイロード 0: 受信した IBI にデータバイトが続いていない 1: 受信した IBI に 1 バイト以上のデータバイトが必ず続いているデータバイトが続いていることは、T-ビットで示している	R/W
11	RBCR3	オフライン可否 <sup>(注2)</sup> 0: デバイスは I3C コマンドに常に応答する 1: デバイスは I3C コマンドに常に応答するとは限らない	R/W
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	RBCR76[1:0]	デバイスロール 0 0: I3C スレーブ 0 1: I3C マスタ <sup>(注3)</sup> その他: 設定禁止	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

注 1. マスタは、GETMXDS CCC を使い、スレーブの特性上の制限を問い合わせます。

注 2. オフラインの使用可能デバイスは、ダイナミックアドレスを保持します。

注 3. I3C メインマスタとして動作する I3C デバイスについては、BCR デバイスロールビットの値が 01b になります。

DCT テーブルは、デバイス特性 (PID、BCR、DCR) およびダイナミックアドレス割り当て (ENTDAA) 手順に準拠する I3C バス上で割り当てられたダイナミックアドレスを取り込みます。

## RBCRn ビット (受信バス特性レジスタ)

I3C バスに接続した各 I3C デバイスには、対応するリードオンリーのバス特性レジスタ (BCR) があります。このリードオンリーのレジスタは、I3C 準拠のデバイスロールと、ダイナミックアドレス割り当てと共通コマンドコードを使用できる機能を示します。

注. RBCR[2]が 0 である場合に、DATBASm.DVSIRR J = 0 による I3C スレーブからのスレーブ割り込み要求に対して ACK 応答をするとき、ACK 応答の後ストップコンディションが発行されます。RBCR[2]が 1 である場合に、DATBASm.DVSIRR J = 0 による I3C スレーブからのスレーブ割り込み要求に対して ACK 応答をするとき、ACK 応答の後 IBI ペイロードを受信します。IBI ペイロードの終了後、ストップコンディションが発行されます。

[更新する条件]

- ENTDAACCC (ブロードキャスト) 受信で開始するダイナミックアドレス割り当て手順において、デバイスからバス特性レジスタ (BCR) を受信するとき<sup>(注1)</sup>

注 1. MIPI I3C 仕様 v1.0 を参照してください。

### 25.2.51 SVDCT : スレーブデバイス特性テーブルレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x320

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	0						
Bit field:	TBCR76[1:0]		—	—	TBCR 3	TBCR 2	TBCR 1	TBCR 0	TDCR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0]	転送デバイス特性レジスタ センサやデバイスのタイプを示すコードを 255 使用可能 例：加速度計、ジャイロスコープ、複合デバイス 初期値は 0 です。ジェネリックデバイス	R/W
8	TBCR0	最大データ速度制限 <sup>(注1)</sup> 0: 制限なし 1: 制限あり	R/W
9	TBCR1	IBI 要求可否 0: 不可 1: 可	R/W
10	TBCR2	IBI ペイロード 0: 受信した IBI にデータバイトが続いていない 1: 受信した IBI に 1 バイト以上のデータバイトが必ず続いているデータバイトが続いていることは、T-ビットで示している	R/W
11	TBCR3	オフライン可否 <sup>(注2)</sup> 0: デバイスは I3C コマンドに常に応答する 1: デバイスは I3C コマンドに常に応答するとは限らない	R/W
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	TBCR76[1:0]	デバイスロール 0 0: I3C スレーブ 0 1: I3C マスタ <sup>(注3)</sup> 1 0: MIPI センサ WG による将来の機能定義用予約 1 1: MIPI センサ WG による将来の機能定義用予約	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

注 1. マスタは、GETMXDS CCC を使い、スレーブの特性上の制限を問い合わせます。

注 2. オフラインの使用可能デバイスは、ダイナミックアドレスを保持します。

注 3. I3C メインマスタとして動作する I3C デバイスについては、BCR デバイスロールビットの値が 01 になります。

DCT テーブルは、デバイス特性 (PID, BCR, DCR) およびダイナミックアドレス割り当て (ENTDAA) 手順に準拠する I3C バス上で割り当てられたダイナミックアドレスを取り込みます。

#### TDCR[7:0]ビット (転送デバイス特性レジスタ)

I3C バスに接続した各 I3C デバイスには、対応するデバイス特性レジスタ (DCR) があります。このレジスタは、ダイナミックアドレス割り当てと共通コマンドコードで使用する I3C 準拠のデバイスタイプ (加速度計、ジャイロスコープ、など) を示します。

#### TBCRn ビット (送信バス特性レジスタ)

I3C バスに接続した各 I3C デバイスには、対応するバス特性レジスタ (BCR) があります。このレジスタは、ダイナミックアドレス割り当てと共通コマンドコードで使用する I3C 準拠のデバイスのロールと機能を示します。



ビット	シンボル	機能	R/W
31:0	n/a	転送デバイス暫定 ID High デバイスの I3C PID のビット[47:16]です。	R/W

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

### 25.2.54 SVDVAD0 : スレーブデバイスアドレスレジスタ 0

Base address: I3C = 0x4008\_3000

Offset address: 0x330

Bit position:	31	30	29	28	27	26	25									16
Bit field:	SDYA DV <sup>(注4)</sup>	SSTA DV	—	—	SADL G	—	SVAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。	R
25:16	SVAD[9:0]	スレーブアドレス <sup>(注1)</sup> スレーブアドレスを設定します。 SVAD 書き換えの際は、SVAE に 0 を書いてから書き換えてください。	R
26	—	読むと 0 が読めます。	R
27	SADLG	スレーブアドレス長 <sup>(注2)</sup> 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R
29:28	—	読むと 0 が読めます。	R
30	SSTADV	スレーブスタティックアドレス有効 <sup>(注1)</sup> 0: スレーブアドレスは無効 1: スレーブアドレスは有効	R
31	SDYADV <sup>(注4)</sup>	スレーブダイナミックアドレス有効 <sup>(注3)</sup> 0: ダイナミックアドレスは無効 1: ダイナミックアドレスは有効	R

注 1. 本ビットは I<sup>2</sup>C モード、I3C セカンダリマスタモード、および I3C スレーブモードをサポートします。

注 2. 本ビットは I<sup>2</sup>C モードをサポートします。

注 3. 本ビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

注 4. 本ビットは、SVDVAD0 レジスタでのみ有効です。

#### SVAD[9:0]ビット (スレーブアドレス)

SVAD[9:0]ビットは、有効なスレーブアドレスを示します。

[SVDVAD0.SDYADV = 1]

注. この条件は、SVDVAD0.SVAD[9:0]だけに対するものです。

- SVAD[9:7] = 0
- SVAD[6:0] = SDATBAS0.SDDYAD[6:0]

[SVDVADy.SSTADV = 1 かつ SVDVADy.SADLG = 0]

- SVAD[9:7] = 0
- SVAD[6:0] = SDATBASy.SDSTAD[6:0]

[SVDVADy.SSTADV = 1 かつ SVDVADy.SADLG = 1]

- SVAD[9:0] = SDATBASy.SDSTAD[9:0]

**SADLG ビット (スレーブアドレス長)**

[1 になる条件]

- 以下がすべて満たされたとき：
  1. PRYS.PRTMD = 1 (I<sup>2</sup>C プロトコルモード)
  2. SVCTL.SVAEy = 1 (スレーブ y は有効) である
  3. SDATBASy.SDADLS = 1 (アドレス長が 10 ビット) である

[0 になる条件]

- [1 になる条件] を満たさないとき

**SSTADV ビット (スレーブスタティックアドレス有効)**

[1 になる条件]

- 以下がすべて満たされたとき：
  1. SVCTL.SVAEy = 1 (スレーブ y は有効) である
  2. SVDVAD0.SDYADV = 0 (ダイナミックアドレスが無効) である

注. この条件は、SVDVAD0.SSTADV だけに対するものです。

3. SVDVADy.SADLG = 0 の場合、SDATBASy.SDSTAD[6:0] ビットのすべてが 0 ではない  
SVDVADy.SADLG = 1 の場合、SDATBASy.SDSTAD[9:0] ビットのすべてが 0 ではない

[0 になる条件]

- [1 になる条件] を満たさないとき

**SDYADV<sup>(注4)</sup> ビット (スレーブダイナミックアドレス有効)**

[1 になる条件]

- 以下がすべて満たされたとき：
  1. PRYS.PRTMD = 0 (I3C プロトコルモード)
  2. SVCTL.SVAEy = 1 (スレーブ y は有効) である
  3. SDATBAS0.SDDYAD[6:0] ビットがすべて 0 というわけではない

注. この条件は、SVDVAD0.SDYADV だけに対するものです。

[0 になる条件]

- [1 になる条件] を満たさないとき

## 25.2.55 CSECMD : CCC スレーブイベントコマンドレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x350

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	HJEV E	—	MSRQ E	SVIRQ E
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SVIRQE	スレーブ割り込み要求許可 0: 禁止: スレーブからの割り込みはマスタの制御により禁止 1: 許可: スレーブからの割り込みはマスタの制御により許可	R/W
1	MSRQE	バス権要求許可 0: 禁止: セカンダリマスタからのバス権要求はカレントマスタの制御により禁止 1: 許可: セカンダリマスタからのバス権要求はカレントマスタの制御により許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	HJEVE	ホットジョインイベント許可 0: 禁止: スレーブからのホットジョインはマスタの制御により禁止 1: 許可: スレーブからのホットジョインはマスタの制御により許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

## SVIRQE ビット (スレーブ割り込み要求許可)

本ビットにより、I3C バス上でスレーブからの割り込みを許可されたとき、マスタによる制御が許可されます。

これら 4 つのダイレクト (ENEC/DISEC フォーマット 1) CCC またはブロードキャスト (ENEC/DISEC フォーマット 2) CCC は、I3C バス上でマスタがスレーブからのトラフィックを許可するか禁止するかの制御をできるようにします。この制御は、スレーブによる割り込み要求 (ENI)、バス権の要求 (ENMR)、または、ホットジョインイベント (ENHJ) の発行も包含します。

[1 になる条件]

- 1 を書いたとき
- ENINT = 1 の状態で、ENEC CCC (ブロードキャスト) を受信したとき(注1)
- 受信した ENEC CCC/ENEC CCC (Direct) 自体のスレーブアドレスで、ENINT = 1 のとき(注1)

[0 になる条件]

- 0 を書いたとき
- DISINT = 1 の状態で、DISEC CCC (ブロードキャスト) を受信したとき(注1)
- 受信した DISEC CCC (Direct) 自体のスレーブアドレスで、DISINT = 1 のとき(注1)

## MSRQE ビット (バス権要求許可)

本ビットにより、カレントマスタが I3C バス上でセカンダリマスタからのバス権要求を許可します。

[1 になる条件]

- 1 を書いたとき
- ENMR = 1 の状態で、ENEC CCC (ブロードキャスト) を受信したとき(注1)
- 受信した ENEC CCC (Direct) 自体のスレーブアドレスで、ENMR = 1 のとき(注1)

[0 になる条件]

- 0 を書いたとき
- DISMR = 1 の状態で、DISEC CCC (ブロードキャスト) を受信したとき(注1)
- 受信した DISEC CCC (Direct) 自体のスレーブアドレスで、DISMR = 1 のとき(注1)

**HJEVE ビット (ホットジョインイベント許可)**

本ビットにより、I3C バス上でスレーブからのホットジョインを許可されたとき、マスタによる制御を許可します。

[1 になる条件]

- 1 を書いたとき
- ENHJ = 1 の状態で、ENEC CCC (ブロードキャスト) を受信したとき(注1)
- 受信した ENEC CCC (Direct) 自体のスレーブアドレスで、ENHJ = 1 のとき(注1)

[0 になる条件]

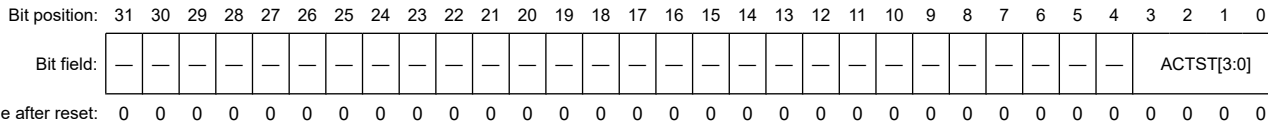
- 0 を書いたとき
- DISHJ = 1 の状態で、DISEC CCC (ブロードキャスト) を受信したとき(注1)
- 受信した DISEC CCC (Direct) 自体のスレーブアドレスで、DISHJ = 1 のとき(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

**25.2.56 CEACTIONST : CCC 遷移アクティビティステートレジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x354



ビット	シンボル	機能	R/W
3:0	ACTST[3:0]	アクティビティステート 0x1: ENTAS0 (1µs : レイテンシフリー動作) 0x2: ENTAS1 (100 µs) 0x4: ENTAS2 (2 ms) 0x8: ENTAS3 (50 ms : 最少アクティビティ動作) その他: 設定禁止	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

**ACTST[3:0]ビット (アクティビティステート)**

[更新する条件]

- アクティビティステート値を書き込んだとき
- ENTAS0 CCC (ブロードキャスト) の受信時、本ビットが 0x1 に更新されます。(注1)
- ENTAS1 CCC (ブロードキャスト) の受信時、本ビットが 0x2 に更新されます。(注1)
- ENTAS2 CCC (ブロードキャスト) の受信時、本ビットが 0x4 に更新されます。(注1)
- ENTAS3 CCC (ブロードキャスト) の受信時、本ビットが 0x8 に更新されます。(注1)
- スレーブアドレス値が ENTAS0 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが 0x1 に更新されます。(注1)







**TSTMD[7:0]ビット (テストモード)**

本ビットが 0x00 のとき、全ての I3C デバイスはテストモードから脱します。

本ビットが 0x01 のとき、ダイナミックアドレス割り当て手順の状態、I3C デバイスがランダムな 32 ビット値を暫定 ID で返すことを示します。

ブロードキャスト CCC は全ての I3C デバイスに対し、マスタが製造段階またはデバイステスト時の特定のテストモードにあることを通知します。テストモード遷移コマンドフレームフォーマットは、どのテストモードに遷移するかを示すバイトを含みます。テストモード遷移 CCC 受信時に、I3C デバイスが示されたテストモードに遷移するのをサポートします。

[更新する条件]

- ENTTCM CCC (ブロードキャスト) を受信しているとき、本ビットはテストモードバイト値に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

**25.2.60 CGDVST : CCC デバイスステータス取得レジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x364

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15							8	7	6	5	4	3	0		
Bit field:	VDRSV[7:0]							ACTMD[1:0]		PRTE	—	PNDINT[3:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PNDINT[3:0]	保留割り込み 保留割り込みの割り込み番号を保持し、保留中の割り込みがない場合は 0 になります。最大 15 の割り込み番号をナンバリングできます。2 つ以上の割り込みを設定すると、最も優先度が高い割り込みを返します。	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PRTE	プロトコルエラー 0: スレーブが前回のステータス読み出し以降のプロトコルエラーを検出しなかった 1: スレーブが前回のステータス読み出し以降のプロトコルエラーを検出した	R
7:6	ACTMD[1:0]	スレーブデバイスカレントアクティビティモード 00: アクティビティモード 0: 01: アクティビティモード 1: 10: アクティビティモード 2: 11: アクティビティモード 3:	R/W
15:8	VDRSV[7:0]	ベンダ予約 ベンダの特定用途目的の予約	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

**PRTE ビット (プロトコルエラー)**

1 に設定すると、スレーブが前回のステータス読み出し以降のプロトコルエラーを検出します。

スレーブは、そのようなエラーを確認します。この値は、スレーブステータスのマスタ読み出しの正常な終了ごとにハードウェアにより自動的にクリアされる点に注意してください。

ダイレクト CCC は、1 つの I3C スレーブデバイスに対してそのカレントステータスを返させるための Get リクエストで、2 バイトのフォーマットからなります。バイト 0 は LSB、バイト 1 は MSB である点に注意してください。

[1 になる条件]

- スレーブがプロトコルエラーを検出したとき(注1)

[0 になる条件]

- GETSTATUS CCC (Direct) を受信した後、自身のスレーブアドレスによる送信がエラーなく完了したとき(注1)

**ACTMD[1:0]ビット (スレーブデバイスカレントアクティビティモード)**

スレーブデバイスのカレントアクティビティモードの2ビットのIDを保持します。(センサや関連する情報のデータ読み出しをサポートする準備)

注1. MIPI I3C仕様 v1.0を参照してください。

**25.2.61 CMDSPW : CCC 最大データ速度 W (書き込み) レジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x368

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	0	
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MSWDR[2:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MSWDR[2:0]	最大連続書き込みデータレート 0 0 0: fscI 値最大 (初期値) 0 0 1: 8 MHz 0 1 0: 6 MHz 0 1 1: 4 MHz 1 0 0: 2 MHz その他: 設定禁止	R/W
31:3	—	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタはI3CセカンダリマスタモードとI3Cスレーブモードをサポートします。

**25.2.62 CMDSPR : CCC 最大データ速度 R (読み出し) レジスタ**

Base address: I3C = 0x4008\_3000

Offset address: 0x36C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	3		2	0	
Bit field:	—	—	—	—	—	—	—	—	—	—	CDTTIM[2:0]		MSRDR[2:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0





ビット	シンボル	機能	R/W
4:0	BCNT[4:0]	ビットカウンタ 残りの転送ビット数を表示します。 値についての詳細は、表 25.7 および表 25.8 を参照してください。	R
31:5	—	読むと 0 が読めます。	R

### BCNT[4:0]ビット (ビットカウンタ)

SCLn ラインのサンプリングエッジの検出時に、残りの転送ビット数を示すカウンタです。

表 25.7 I<sup>2</sup>C 転送

BCNT[4:0]	マスタ		スレーブ	
	アドレスフェーズ	データフェーズ	アドレスフェーズ	データフェーズ
0x00	2~1 ビット	2~1 ビット	3~1 ビット	2~1 ビット
0x01	3 ビット	3 ビット	4 ビット	3 ビット
0x02	4 ビット	4 ビット	5 ビット	4 ビット
0x03	5 ビット	5 ビット	6 ビット	5 ビット
0x04	6 ビット	6 ビット	7 ビット	6 ビット
0x05	7 ビット	7 ビット	8 ビット	7 ビット
0x06	8 ビット	8 ビット	9 ビット	8 ビット
0x07	9 ビット	9 ビット	—	9 ビット

表 25.8 I<sup>3</sup>C 転送

BCNT[4:0]	SDR(注1)	
	送信	受信
0x00	1 ビット	2~1 ビット
0x01	2 ビット	3 ビット
0x02	3 ビット	4 ビット
0x03	4 ビット	5 ビット
0x04	5 ビット	6 ビット
0x05	6 ビット	7 ビット
0x06	7 ビット	8 ビット
0x07	8 ビット	9 ビット
0x08	9 ビット	—

注 1. アドレスフェーズは表 25.7 の場合と同じです。

### 25.2.66 NQSTLV : 通常キューステータスレベルレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x394

Bit position: 31 30 29 28 24 23 16 15 8 7 0

Bit field:	IBISCNT[4:0]	IBIQLV[7:0]	RSPQLV[7:0]	CMDQFLV[7:0]
— — —				

Value after reset: 0 1 0

ビット	シンボル	機能	R/W
7:0	CMDQFLV[7:0]	通常コマンドキューフリーレベル(注1) コマンドキュー内の現在のフリーバッファエントリの数です。 リセット値は、コマンドキューの深度です。	R





## 25.2.69 PRSTDBG : 現在ステートデバッグレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SDOLV	SCOLV	SDILV	SCILV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
0	SCILV	SCL ライン信号レベル エラーからの復帰やデバッグの際に、SCL ラインレベルの確認に使用します。	R
1	SDILV	SDA ライン信号レベル エラーからの復帰やデバッグの際に、SDA ラインレベルの確認に使用します。	R
2	SCOLV	SCL 出力レベル 0: I3C は SCL 端子を Low にした 1: I3C は SCL 端子を解放している	R
3	SDOLV	SDA 出力レベル 0: I3C は SDA 端子を Low にした 1: I3C は SDA 端子を解放している	R
31:4	—	読むと 0 が読めます。	R

## SDOLV ビット (SDA 出力レベル)、SCOLV ビット (SCL 出力レベル)

これらのビットを読んだ場合は、そのとき I3C が出力している信号の状態が読めます。

## 25.2.70 MSERRCNT : マスタエラーカウンタレジスタ

Base address: I3C = 0x4008\_3000

Offset address: 0x3D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	0	
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	M2ECNT[7:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	M2ECNT[7:0]	M2 エラーカウンタ I3C バス上の I3C タイプ M2 エラーをカウントします。 読み出し時にクリアされます。	R
31:8	—	読むと 0 が読めます。	R

注: 本レジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

## 25.3 動作説明

## 25.3.1 データ構造

## 25.3.1.1 コマンドディスクリプタ

ライトオンリーのコマンドディスクリプタ構造は、64 ビットのビット長です。コマンドディスクリプタは、コマンドキューポート（優先、または通常）への書き込みにより、コマンドキューに置かれます。

コマンドキューポート（優先、または通常）への書き込みは、以下の順で行います。

1. 最初の書き込み：最下位の DWORD（コマンドディスクリプタ構造 Low）
2. 2 番目の書き込み：最上位の DWORD（コマンドディスクリプタ構造 High）

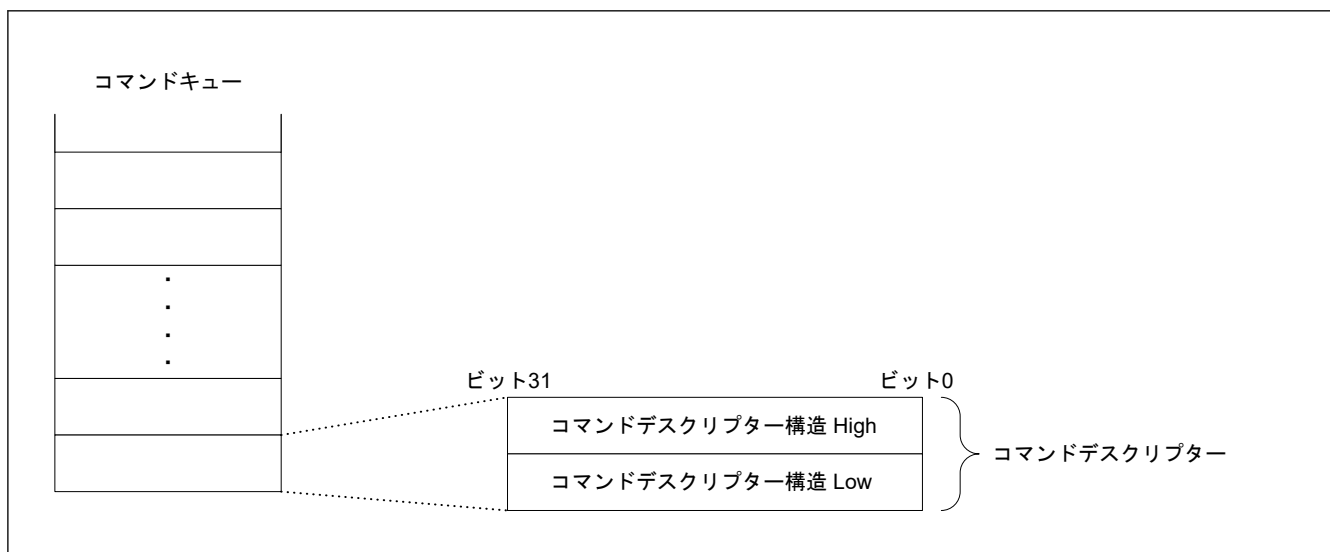


図 25.2 コマンドディスクリプタデータ構造

I3C は、以下の各コマンドタイプに対するコマンドディスクリプタ構造を提供します。

- アドレス配置コマンド
- 即時データ転送コマンド
- 通常データ転送コマンド
- コンボデータ転送コマンド
- 内部コントロールコマンド

詳細は、次章以降に説明します。

### 25.3.1.1.1 アドレス配置コマンド

本コマンドはアドレス配置（ENTDAA、SETDASA）に使用します。

注. SETAASA CCC の発行時に、即時転送コマンドを使用します。

I3C は、以下のモードに対してアドレス配置コマンドを提供します。

- I3C マスタモード

アドレス配置コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	DEV_COUNT[3:0]				—	—	—	—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CMD[7:0]							TID[3:0]			CMD_ATTR[2:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コマンド属性 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み/読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	トランザクション ID	W
14:7	CMD[7:0]	転送コマンド CCC 値	W
15	—	書く場合、0としてください。	W
20:16	DEV_INDEX[4:0]	デバイスインデックス	W
21	EXT_DEVICE	拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
25:22	—	書く場合、0としてください。	W
29:26	DEV_COUNT[3:0]	デバイスカウント	W
30	ROC	完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	完了時終了 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
63:32	—	書く場合、0としてください。	W

### CMD\_ATTR[2:0]ビット (コマンド属性)

他のフィールドのフォーマットを定義するコマンドタイプです。

### TID[3:0]ビット (トランザクション ID)

本ビットは、レスポンスディスクリプタに反映されます。

### CMD[7:0]ビット (転送コマンド CCC 値)

アドレス配置が ENTDAА コマンドか SETDASA コマンドを使用するかどうかを示す CCC コードを指定します。フィールドは、コマンドコード (ENTDAА または SETDASA) 全体を含みます。

### DEV\_INDEX[4:0]ビット (デバイスインデックス)

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

### DEV\_COUNT[3:0]ビット (デバイスカウント)

ダイナミックアドレスが配置されるデバイスの数を示します。

**ROC ビット (完了時レスポンス)**

転送コマンドが正常に完了した後で、レスポンスステータスを送るかどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスが送られます。

**TOC ビット (完了時終了)**

転送コマンドの完了後に、どのバスコンディションを発行するかをコントロールします。

ENTDAA の場合、TOC の設定値にかかわらずストップコンディションを発行します。これは、SETDASA 転送に関し、重要なことです。

TOC = 0 (RESTART) により SETDASA CCC を送る場合、次のコマンドはアドレス配置コマンドによって SETDASA CCC に設定されなければなりません。

次のコマンドが、同じ SETDASA CCC フレームでないとき、TOC = 1 (STOP) に設定されなければなりません。

**25.3.1.1.2 即時データ転送コマンド**

この構造は、転送されるデータ (最大 4 バイト) を直接格納し、その結果、データを書き込む転送/CCC のみに対して有効です。この構造は、読み出し動作 (例、データ受信) には使えません。

4 バイト以下のデータを送信する場合、通信に即時データ転送コマンドを使用してください。

5 バイト以上のデータを送信する場合、通信に通常データ転送コマンドを使用してください。

通常データ転送コマンドについては、「[25.3.1.1.3. 通常データ転送コマンド](#)」を参照してください。

I3C は、以下の各モードに対して即時データ転送コマンドを提供します。

- I3C マスタモード

各モードの即時データ転送コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_BYTE_4[7:0]								DATA_BYTE_3[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	DATA_BYTE_2[7:0]								DATA_BYTE_1[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			BYTE_CNT[2:0]		—	EXT_DEVIC E	DEV_INDEX[4:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]							TID[3:0]			CMD_ATTR[2:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	即時データ転送コマンド属性 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み/読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W

ビット	シンボル	機能	R/W
6:3	TID[3:0]	即時データ転送トランザクション ID	W
14:7	CMD[7:0]	即時データ転送の CCC 値 CCC 用: 8 ビット	W
15	CP	即時データ転送コマンドの有無 0: TRANSFER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC: この構造は CCC 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	即時データ転送デバイスインデックス	W
21	EXT_DEVICE	即時データ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
22	—	書く場合、0 としてください。	W
25:23	BYTE_CNT[2:0]	即時データ転送バイトカウント 0x0: ペイロードなし 0x1~ N バイト有効 0x4: その他: 設定禁止	W
28:26	MODE[2:0]	即時データ転送モードおよびスピード値 0x0: I3C SDR0/データレート: STDBR (I3C モード) I <sup>2</sup> C メッセージ 0/データレート: STDBR (I <sup>2</sup> C モード) 0x1: I3C SDR1/データレート: EXTBR (I3C モード) I <sup>2</sup> C メッセージ 0/データレート: EXTBR (I <sup>2</sup> C モード) 0x3: I3C SDR2/データレート: STDBR × 2 (I3C モード) 予約 (I <sup>2</sup> C モード) 0x4: I3C SDR3/データレート: EXTBR × 2 (I3C モード) 予約 (I <sup>2</sup> C モード) 0x5: I3C SDR4/データレート: EXTBR × 4 (I3C モード) 予約 (I <sup>2</sup> C モード) その他: 設定禁止	W
29	RNW	即時データ転送 R/W 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	即時データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	即時データ転送完了時終了 0: RESTART: データ転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: データ転送完了時に、停止 (P) を発行する	W
39:32	DATA_BYTE_1[7:0]	即時データ転送バイト 1 直接指数	W
47:40	DATA_BYTE_2[7:0]	即時データ転送バイト 2 直接指数	W
55:48	DATA_BYTE_3[7:0]	即時データ転送バイト 3 直接指数	W
63:56	DATA_BYTE_4[7:0]	即時データ転送バイト 4 直接指数	W

#### CMD\_ATTR[2:0]ビット (即時データ転送コマンド属性)

他のフィールドのフォーマットを定義するコマンドタイプです。

#### TID[3:0]ビット (即時データ転送トランザクション ID)

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

#### CP ビット (即時データ転送コマンドの有無)

CMD フィールドが、CCC 転送に対して有効であるかどうかを示します。

#### DEV\_INDEX[4:0]ビット (即時データ転送デバイスインデックス)

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

**BYTE\_CNT[2:0]ビット (即時データ転送バイトカウント)**

即時データ転送ディスクリプタで使用する有効なデータバイトの数です。

定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。

**MODE[2:0]ビット (即時データ転送モードおよびスピード値)**

I3C 転送または I<sup>2</sup>C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I<sup>2</sup>C モードであるかに依存します。(フィールド DEV\_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照)

**RNW ビット (即時データ転送 R/W)**

転送方向を指定します。

即時データ転送は書き込みトランザクションのみに有効であるため、常に 0 に設定する必要があります。

**ROC ビット (即時データ転送完了時レスポンス)**

データ転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

**TOC ビット (即時データ転送完了時終了)**

データ転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

TOC = 0 (RESTART) によりダイレクト CCC を送る場合、次のコマンドは同じダイレクト CCC に設定されなければなりません。

次のコマンドが、同じダイレクト CCC でないとき、TOC = 1 (STOP) に設定されなければなりません。

**25.3.1.1.3 通常データ転送コマンド**

この構造は、転送するデータ自体は含みません。

マスタモードの場合、転送データキューポート (受信データキューポートと送信データキューポート) を経由してデータバッファを使用可能です。

5 バイト以上のデータを送信する場合、通信にこの通常データ転送コマンドを使用してください。

4 バイト以下のデータを送信する場合、通信に即時データ転送コマンドを使用してください。

通常データ転送コマンドについては、「[25.3.1.1.2. 即時データ転送コマンド](#)」を参照してください。

I3C スレーブモードの場合、IBI ステータスキューポートを経由して IBI ペイロードバッファを使用可能です。

I3C は、以下の各モードに対して通常データ転送コマンドを提供します。

- I3C マスタモード
- I3C スレーブモード

各モードの通常データ転送コマンド構造の詳細を以下に示します。

**(1) I3C マスタモード**

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			—	—	—	—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]							TID[3:0]			CMD_ATTR[2:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	データ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 値 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み/読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	本コマンド用データ転送トランザクション ID 確認タグ	W
14:7	CMD[7:0]	データ転送 CCC コード値は、I3C コマンドコードを指定します CCC の場合: 8 ビット	W
15	CP	データ転送コマンドの有無 0: TRANSFER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC: この構造は CCC 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	データ転送デバイスインデックス	W
21	EXT_DEVICE	データ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
25:22	—	書く場合、0としてください。	W
28:26	MODE[2:0]	データ転送スピードおよびモード 0x0: I3C SDR0/データレート: STDBR (I3C モード) I2C メッセージ 0/データレート: STDBR (I2C モード) 0x1: I3C SDR1/データレート: EXTBR (I3C モード) I2C メッセージ 0/データレート: EXTBR (I2C モード) 0x3: I3C SDR2/データレート: STDBR × 2 (I3C モード) 予約 (I2C モード) 0x4: I3C SDR3/データレート: EXTBR × 2 (I3C モード) 予約 (I2C モード) その他: 設定禁止	W
29	RNW	データ転送 R/W 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	データ転送完了時終了 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
47:32	—	書く場合、0としてください。	W
63:48	DATA_LENGTH[15:0]	データ転送データ長 転送するバイト数を表示します。 定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。	W

**CMD\_ATTR[2:0]ビット (データ転送コマンド属性)**

他のフィールドのフォーマットを定義するコマンドタイプです。

**TID[3:0]ビット (本コマンド用データ転送トランザクションID 確認タグ)**

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

**CP ビット (データ転送コマンドの有無)**

CMD フィールドの内容が、CCC 転送に対して有効であるかどうかを示します。

**DEV\_INDEX[4:0]ビット (データ転送デバイスインデックス)**

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

**MODE[2:0]ビット (データ転送スピードおよびモード)**

I3C 転送または I<sup>2</sup>C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I<sup>2</sup>C モードであるかに依存します。(フィールド DEV\_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照)

**RNW ビット (データ転送 R/W)**

転送方向を指定します。

**ROC ビット (データ転送完了時レスポンス)**

転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

**TOC ビット (データ転送完了時終了)**

転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

TOC = 0 (RESTART) によりダイレクト CCC を送る場合、次のコマンドは同じダイレクト CCC に設定されなければなりません。

次のコマンドが、同じダイレクト CCC でないとき、TOC = 1 (STOP) に設定されなければなりません。

**DATA\_LENGTH[15:0]ビット (データ転送データ長)**

通常データ転送ディスクリプタで使用する有効なデータバイトの数です。

定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。

GETMXDS コマンドの長さ設定は固定値 5 になります。

**(2) I3C スレーブモード**

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ROC	RNW	—	—	—	—	—	—	ITS	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HJ	—	—	—	—	—	—	—	—	TID[3:0]			CMD_ATTR[2:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	データ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 値 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み/読み出しコンビ転送 0x4~ 予約、使用できません。 0x6: 0x7: INTERNAL_CONTROL: 内部コントロールコマンド	W
6:3	TID[3:0]	本コマンド用データ転送トランザクション ID 確認タグ	W
14:7	—	書く場合、0としてください。	W
15	HJ	データ転送ホットジョインイベント 0: スレーブ割り込み要求またはバス権要求であるため、RNW フィールドは有効 1: ホットジョインイベントであるため、RNW フィールドは無効	W
21:16	—	書く場合、0としてください。	W
22	ITS	非同期モード用のタイムスタンプの有無 0: タイムスタンプなし 1: タイムスタンプあり	W
28:23	—	書く場合、0としてください。	W
29	RNW	データ転送 R/W 0: WRITE: 書き込み転送 (バス権要求) 1: READ: 読み出し転送 (スレーブ割り込み要求)	W
30	ROC	データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
47:31	—	書く場合、0としてください。	W
63:48	DATA_LENGTH[15:0]	データ転送データ長 転送するバイト数を表示します。 定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。	W

**CMD\_ATTR[2:0]ビット (データ転送コマンド属性)**

他のフィールドのフォーマットを定義するコマンドタイプです。

**TID[3:0]ビット (本コマンド用データ転送トランザクション ID 確認タグ)**

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

**HJ ビット (データ転送ホットジョインイベント)**

ホットジョインイベントが、この IBI データ転送で有効であるかどうかを示します。

**RNW ビット (データ転送 R/W)**

転送方向を指定します。

**ROC ビット (データ転送完了時レスポンス)**

転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

**25.3.1.1.4 コンボデータ転送コマンド**

この構造は、書き込み+書き込み/読み出し動作を組み合わせています。

転送データキューポート (受信データキューポートと送信データキューポート) を経由してデータバッファを使用可能です。

I3C は、以下の各モードに対してコンボデータ転送コマンドを提供します。

- I3C マスタモード

各モードのコンボデータ転送コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	OFFSET[15:0]/SUBOFFSET[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			16_BIT_SU BOFF SET	FIRST _PHA SE_M ODE	DATA_LENGTH _POSITION[1:0]			EXT DEVIC E	DEV_INDEX[4:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TID[3:0]			CMD_ATTR[2:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コンボデータ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み/読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	コマンド用コンボデータ転送トランザクション ID 確認タグ	W
15:7	—	書く場合、0としてください。	W

ビット	シンボル	機能	R/W
20:16	DEV_INDEX[4:0]	コンボデータ転送デバイスインデックス 転送時に指定されたスレーブデバイスの DAT テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DAT のこのインデックスに格納されます。	W
21	EXT_DEVICE	コンボデータ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DAT テーブルを使用する 1: EXDATBAS テーブルを使用する	W
23:22	DATA_LENGTH_POSITION[1:0]	データ長フィールド位置 0 0: NO: 長さフィールドなし 0 1: FIRST: 1 番目のフィールドを長さフィールドとする 1 0: SECOND: 2 番目のフィールドを長さフィールドとする その他: 設定禁止	W
24	FIRST_PHASE_MODE	コンボデータ転送ファーストフェーズモード 0: SDR: ファーストフェーズは SDR モードで実行する 1: MODE: ファーストフェーズは MODE フィールドに示すモードで実行する	W
25	16_BIT_SUBOFFSET	コンボデータ転送サブオフセットサイズ 0: 8_BIT_SUBOFFSET: サブオフセットサイズは 8 ビット長である値は、OFFSET / SUBOFFSET フィールドの下位バイトでエンコードする 1: 16_BIT_SUBOFFSET: サブオフセットサイズは 16 ビット長である	W
28:26	MODE[2:0]	I3C モード用コンボデータ転送速度とモード値 0x0: I3C SDR0 / データレート: STDBR 0x1: I3C SDR1 : データレート: EXTBR 0x3: I3C SDR2 / データレート: STDBR × 2 0x4: I3C SDR3 / データレート: EXTBR × 2 0x5: I3C SDR4 / データレート: EXTBR × 4 その他: 設定禁止	W
29	RNW	コンボデータ転送 R/W は、転送方向を指定します。 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	コンボデータ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	コンボデータ転送完了時レスポンス 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
47:32	OFFSET[15:0] / SUBOFFSET[15:0]	対象動作のコンボデータ転送オフセット / サブオフセット、オフセット	W
63:48	DATA_LENGTH[15:0]	転送するコンボデータ転送データ長のバイト数このフィールドは 0 以外の値に設定される必要があります。	W

#### CMD\_ATTR[2:0]ビット (コンボデータ転送コマンド属性)

他のフィールドのフォーマットを定義するコマンドタイプです。

#### TID[3:0]ビット (コマンド用コンボデータ転送トランザクション ID 確認タグ)

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

#### DEV\_INDEX[4:0]ビット (コンボデータ転送デバイスインデックス)

転送時に指定されたスレーブデバイスの DAT テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DAT のこのインデックスに格納されます。

#### DATA\_LENGTH\_POSITION[1:0]ビット (データ長フィールド位置)

転送のファーストフェーズにおいて、データ長 (DATA\_LENGTH) を置くかどうか、どこに置くかを示します。8 ビットと 16 ビットのどちらのデータ長フィールドを使用するかを 16\_BIT\_SUBOFFSET フィールドで示します。8 ビットのデータ長の場合は、DATA\_LENGTH フィールドの下位バイトでエンコードします。

**FIRST\_PHASE\_MODE ビット (コンボデータ転送ファーストフェーズモード)**

コンボデータ転送のファーストフェーズを SDR モードで実行するか、MODE フィールドに示すモードで実行するかを示します。

**MODE[2:0] ビット (I3C モード用コンボデータ転送速度とモード値)**

I3C 転送または I<sup>2</sup>C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I<sup>2</sup>C モードであるかに依存します。(フィールド DEV\_INDEX でインデックス付けされた DAT テーブルエントリの DEVICE フィールドを参照)

**RNW ビット (コンボデータ転送 R/W は、転送方向を指定します。)**

転送方向を指定します。

**ROC ビット (コンボデータ転送完了時レスポンス)**

データ転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

**TOC ビット (コンボデータ転送完了時レスポンス)**

データ転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

次のコマンドが SDR モードのとき、TOC = 1 (STOP) に設定されなければなりません。

**DATA\_LENGTH[15:0] ビット (転送するコンボデータ転送データ長のバイト数このフィールドは 0 以外の値に設定される必要があります。)**

コンボデータ転送ディスクリプタで使用する有効なデータバイトの数です。

このフィールドは 0 以外の値に設定される必要があります。

**25.3.1.1.5 内部コントロールコマンド**

この構造は、転送コマンドのためではなく I3C 自身をコントロールするために使用します。

I3C は、以下の各モードに対して内部コントロールコマンドを提供します。

- I3C マスタモード

内部コントロールコマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ON_OFF	MIPI_CMD[3:0]				—	TID[3:0]			CMD_ATTR[2:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コマンド属性 <sup>(注2)</sup> 他のフィールドのフォーマットを定義するコマンドタイプです。 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み/読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	コマンド用トランザクションID 確認タグ	W
7	—	書く場合、0としてください。	W
11:8	MIPI_CMD[3:0]	MIPI アライアンスコマンド 0x00: NoOp であり、ON_OFF フィールドは無効 0x02: 7E (IBA) を含むため、ON_OFF フィールドは有効 その他: 設定禁止	W
12	ON_OFF	バスインスタンス 7E On / Off <sup>(注1)</sup> この I3C インスタンスにおける全てのスタートコンディションの後の、I3C ブロードキャストヘッダの自動送信を有効/無効にします。 0: IBA_INCLUDE オフ 1: IBA_INCLUDE オン	W
63:13	—	書く場合、0としてください。	W

注 1. MIPI\_CMD[3:0] = 0x2 かつ ON\_OFF = 1 により設定される状態の IBA\_INCLUDE は、RSTCTL.INTLRST を 1 にすることによりクリアされます。

注 2. 内部コントロールコマンドを実行しているとき、レスポンスディスクリプタは格納されません。

### 25.3.1.2 レスポンスディスクリプタ

レスポンスディスクリプタは、正しくコマンドが実行されたかどうか、および転送されたデータ量を記述するリードオンリーの構造です。

レスポンスディスクリプタは、レスポンスキューポートからの読み出しによりレスポンスキューから読み出します。

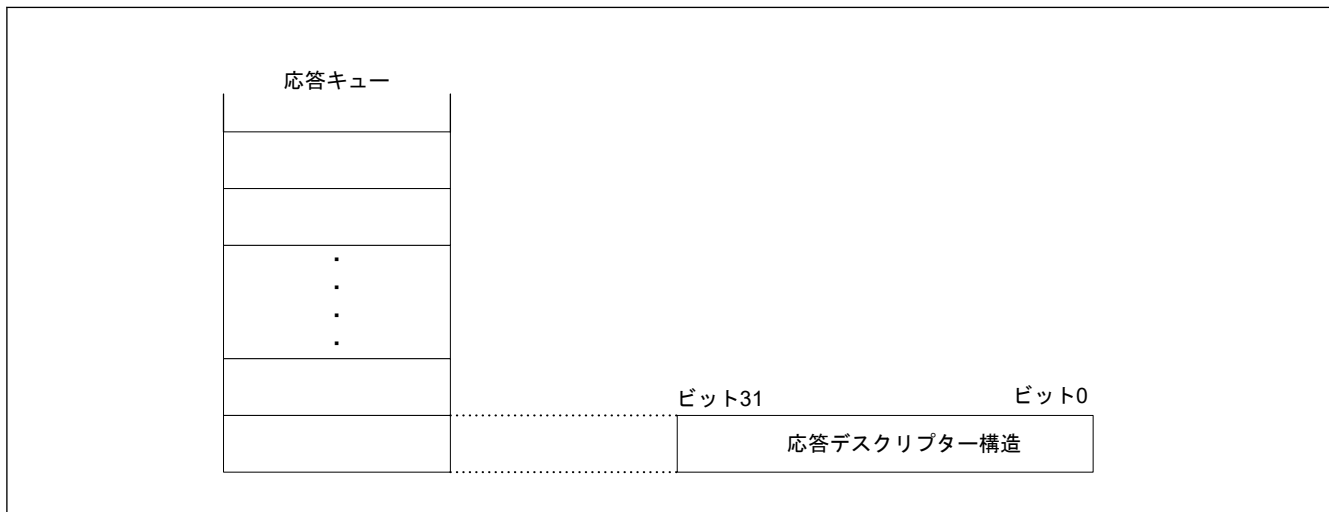


図 25.3 レスポンスディスクリプタデータ構造

I3C は、以下の各モードに対して応答ディスクリプタを提供します。

- I3C マスタモード
- I3C スレーブモード

各モードのレスポンスディスクリプタ構造の詳細を以下に示します。

(1) I3C マスタモード

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR_STATUS[3:0]				TID[3:0]				—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH[15:0]	データ長/デバイスカウント このフィールドの意味は、コンテキストに依存します。 書き込み転送時：残りのデータ長 (バイト数) 読み出し転送時：受信データ長 (バイト数) アドレス配置時：残りのデバイスカウント	R
23:16	—	読むと 0 が読めます。	R
27:24	TID[3:0]	コマンド用コマンド/レスポンストランザクション ID 確認タグ この値は、バス上で送られたコマンドの 1 つと一致します。 0x0~ 有効なトランザクション ID 0x7: その他: 設定禁止	R
31:28	ERR_STATUS[3:0]	MIPI アライアンスコマンド 0x0: SUCCESS: 正常転送、エラーなし 0x1: CRC: CRC エラー 0x2: PARITY: パリティエラー 0x3: FRAME: フレームエラー 0x4: ADDR_HEADER: アドレスヘッダエラー 0x5: NACK: アドレス NACK/ダイナミックアドレス割り当て NACK 0x6: OVL: 受信オーバーフローエラー/転送アンダーフローエラー 0x8: ABORTED: 中断 0x9: I2C_WR_DATA_NACK: I2C 書き込みデータ転送に対し、NACK 受信 0xA: NOT_SUPPORTED: I3C 実装においてサポートされていない特定のパラメータを有するコマンド (例えば、特定の内部コントロールコードはサポートされていないことがある) その他: 設定禁止	R

注. I3C マスタモードにおいて、コマンドディスクリプタにサポートされていない特定のパラメータをもつ異常なコマンドが格納されていた場合、それらは ERR\_STATUS[3:0] に NOT\_SUPPORTED (0xA) と示されます。

(2) I3C スレーブモード

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR_STATUS[3:0]				TID[3:0]				—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH[15:0]	データ長 スレーブ割り込み要求に対し、残りのデータ長 (バイト数)	R
23:16	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
27:24	TID[3:0]	コマンド用コマンド／レスポンストランザクション ID 確認タグ この値は、バス上で送られたコマンドの 1 つと一致します。  0x0～ 有効なトランザクション ID 0x7: その他: 設定禁止	R
31:28	ERR_STATUS[3:0]	レスポンスエラーステータス  0x0: SUCCESS: 正常転送、エラーなし 0x3: FRAME: フレームエラー 0x4: ADDR_HEADER: アドレスヘッダエラー 0x5: NACK: アドレス NACK/ダイナミックアドレス割り当て NACK 0x6: OVL: 受信オーバーフローエラー/転送アンダーフローエラー 0x8: ABORTED: 中断 0xA: NOT_SUPPORTED: I3C 実装においてサポートされていない特定のパラメータを有するコマンド (例えば、特定の内部コントロールコードはサポートされていないことがある)  その他: 設定禁止	R

注. I3C スレーブモードにおいて、以下の場合は ERR\_STATUS[3:0] で NOT\_SUPPORTED (0xA) と示されます。

- コマンドディスクリプタにサポートされていない、特定のパラメータをもつ異常なコマンドが格納されていた場合
- 送信される IBI が CSECMD レジスタで無効になっていた場合
- コマンドキューで IBI 送信のための通常コマンド準備ができた後で、その IBI が I3C マスタからの DISEC CCC フレームにより CSECMD レジスタで無効になった場合

### 25.3.1.3 IBI ステータスディスクリプタ

IBI ステータスディスクリプタは、I3C バスのスレーブデバイスから受信した IBI イベントを表すリードオンリーの構造をしています。

IBI ステータスディスクリプタは、IBI ステータスキューポートからの読み出しにより IBI ステータスキューから読み出します。

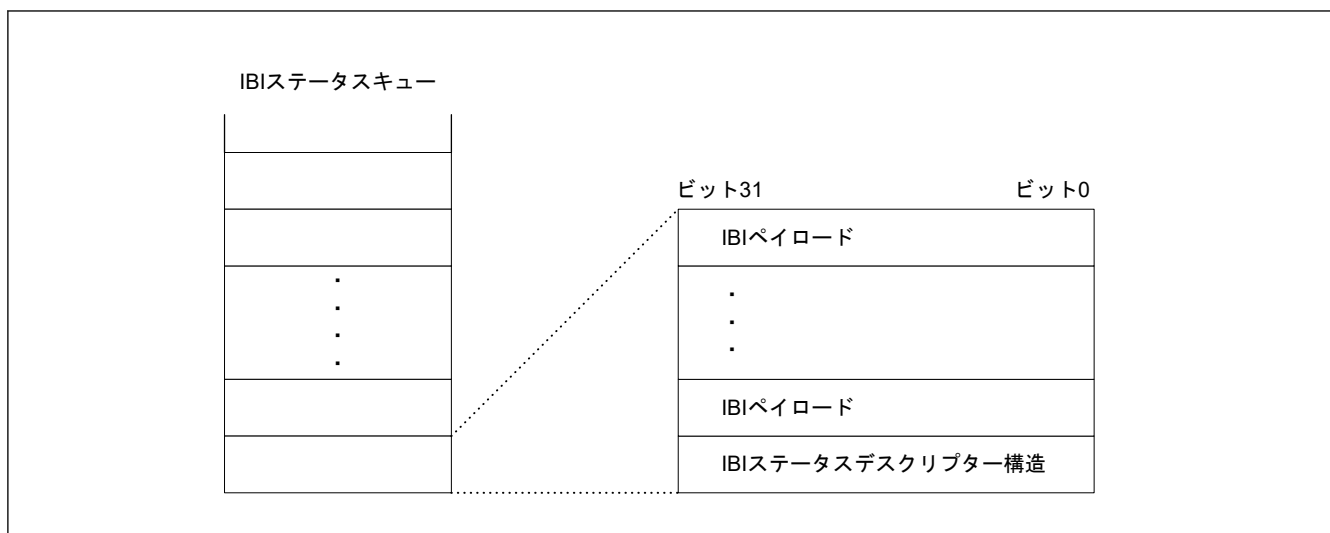


図 25.4 IBI ステータスディスクリプタデータ構造

I3C は、以下の各モードに対して IBI ステータスディスクリプタを提供します。

- I3C マスタモード

IBI ステータスディスクリプタ構造の詳細を以下に示します。

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IBI_ST	—	—	ERR_STATUS[2:0]			—	LAST_STATUS	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IBI_ID[7:0]								DATA_LENGTH[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DATA_LENGTH[7:0]	IBI データ長 IBI データのバイト数	R
15:8	IBI_ID[7:0]	IBI 受信 ID このフィールドの意味は、コンテキストに依存します。スレーブ割り込み時、またはマスタ要求時：ビット 15:9 はスレーブのデバイスアドレスを格納し、ビット 8 は R/W ビットを格納 ホットジョイン IBI の場合：ビット 15:8 は IBI のホットジョイン ID を格納	R
23:16	—	読むと 0 が読めます。	R
24	LAST_STATUS	最新 IBI ステータス IBI トランザクションの最新 IBI ステータス	R
25	—	読むと 0 が読めます。	R
28:26	ERR_STATUS[2:0]	IBI エラーステータス 0x0: SUCCESS 0x3: ERROR: FRAME (フレームエラー) 0x4: ERROR: ADDR_HEADER (アドレスヘッダエラー) 0x5: NACK: アドレス NACK 0x7: ERROR: ABORT (マスタに対し中断) その他: 設定禁止	R
30:29	—	読むと 0 が読めます。	R
31	IBI_ST	IBI 受信ステータス 受信した IBI をどのように処理したかを示します。 0: IBI は ACK で処理した 1: NACK: IBI は NACK で処理し、自動的に無効とした	R

### LAST\_STATUS ビット (最新 IBI ステータス)

LAST\_STATUS を 0 としても、ソフトウェアドライバは CHUNKS フィールドを確認してデータのペイロード長を評価します。

#### 25.3.1.4 受信ステータスディスクリプタ

受信ステータスディスクリプタは、正しくマスタからの読み出し／書き込みの操作が実行されたかどうか、および転送されたデータ量を記述するリードオンリーの構造です。

受信ステータスディスクリプタは、受信ステータスキューポートからの読み出しにより受信ステータスキューから読み出します。



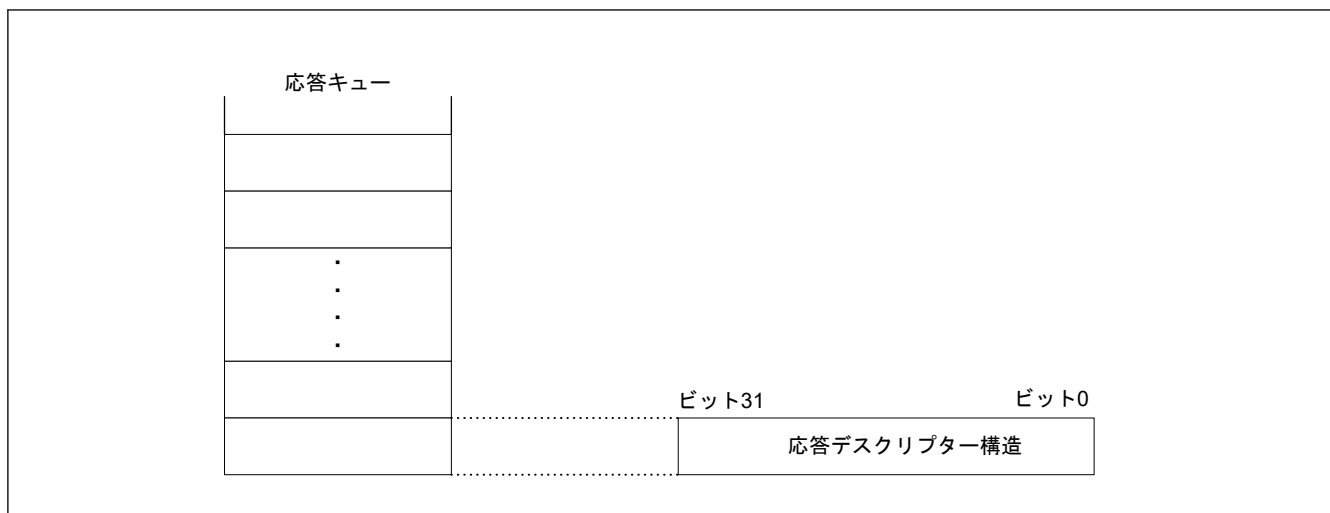


図 25.5 受信ステータスデスクリプターデータ構造

I3C は、以下の各モードに対して受信ステータスデスクリプターを提供します。

- I3C スレーブモード

各モードの受信ステータスデスクリプター構造の詳細を以下に示します。

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DEV_INDEX[2:0]			TRANSFER_TY PE[1:0]		ERR_STATUS[2:0]		CMD[7:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH[15:0]	データ長 このフィールドの意味は、コンテキストに依存します。 書き込み転送時：受信データ長 (バイト数) 読み出し転送時：送信データ長 (バイト数)	R
23:16	CMD[7:0]	動作モードによって内容が異なります。以下に詳細を示します。 [SDR プライベートメッセージモード] ビット 23: R/W タイプ ビット 22~20: 設定禁止 ビット 19: I3C_I <sup>2</sup> C タイプ ビット 18~16: 設定禁止 [SDR CCC モード] CCC コード[7:0]	R
26:24	ERR_STATUS[2:0]	エラーステータス 0x0: SUCCESS 0x1: ERROR: CRC (CRC エラー) 0x2: ERROR: PARITY (パリティエラー) 0x3: ERROR: FRAME (フレームエラー) 0x4: ERROR: ADDR_HEADER (アドレスヘッダエラー) 0x5: ERROR: NACK (スレーブ NACK) 0x6: ERROR: OVL (FIFO オーバーフロー/アンダーフロー) 0x7: ERROR: ABORT (マスタに対し中断)	R

ビット	シンボル	機能	R/W
28:27	TRANSFER_TYPE[1:0]	転送タイプ 0 0: I3C SDR/I <sup>2</sup> C メッセージ 0 1: I3C CCC 1 0: 設定禁止 1 1: 設定禁止	R
31:29	DEV_INDEX[2:0]	デバイスインデックス 転送時に応答された SVDVADn インデックスを示します。	R

## 25.3.2 機能詳細

### 25.3.2.1 動作モード

モード選択 (I3C モード/I<sup>2</sup>C モード) と、I3C バスまたは I<sup>2</sup>C バス上の動作モード (マスタ/スレーブ) のサポートの対応関係を表 25.9 に示します。

表 25.9 動作モードのサポート

I3C バス/I <sup>2</sup> C バス	I3C モード		I <sup>2</sup> C モード	
	マスタ	スレーブ	マスタ	スレーブ
I3C バス	✓	✓	—	✓
I <sup>2</sup> C バス	—	—	✓	✓

注.    ✓: あり  
      —: なし

#### 25.3.2.1.1 マスタモード動作

##### (1) I<sup>2</sup>C マスタ動作

###### (a) データ書き込み転送 (シングルバッファ転送)

マスタ送信動作では、I3C がマスタデバイスとして SCL クロックと送信されたデータ信号を出力し、スレーブデバイスがアクノリッジを返します。図 25.106 にマスタ送信の使用例を、図 25.6～図 25.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- 初期設定。詳細は、「25.3.3.1. 初期設定フロー」を参照してください。
- BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを 1 (スタートコンディション要求) にします。I3C はこの要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCND DF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDA<sub>n</sub> ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正しく行われたと認識し、PRSS.CRMS、TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
- NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、通常送信データバッファ 0 からシフトレジスタへデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であった場合、I3C はマスタ送信モードの状態を継続します。このとき BST.NACKDF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0、スレーブアドレスの上位 2 ビット、および W を書きます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書き込んでください。

4. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間、I3C は自動的に SCLn ラインを Low にホールドします。
5. 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 になるまで待ってから CNDCTL.SPCND ビットに 1 を書いてください (ストップコンディション発行要求)。I3C はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
6. I3C はストップコンディションを検出すると、PRSS.CRMS ビットと PRSS.TRMD ビットを自動的に 0 にして、スレープ受信モードに移ります。さらに、TDBEF0 フラグと TENDF フラグを自動的に 0 にして、BST.SPCNDDF フラグを 1 にします。
7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

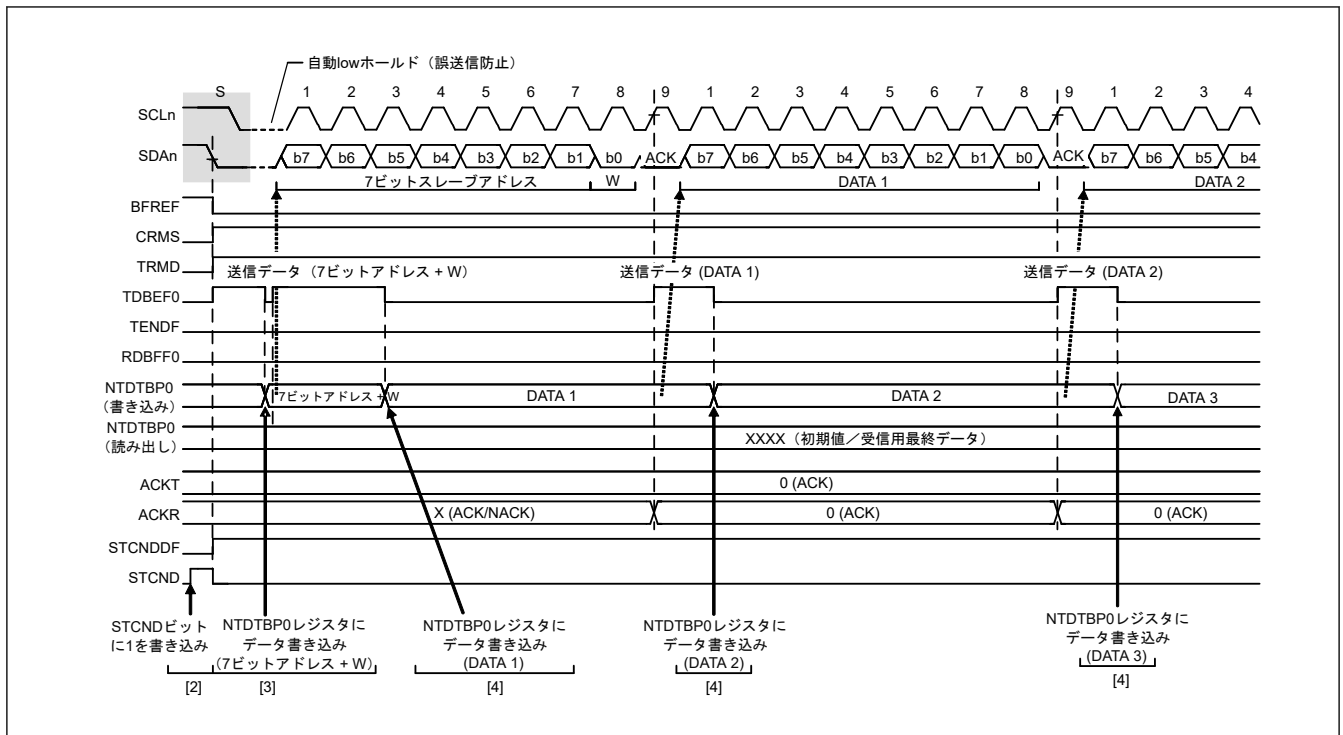


図 25.6 マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

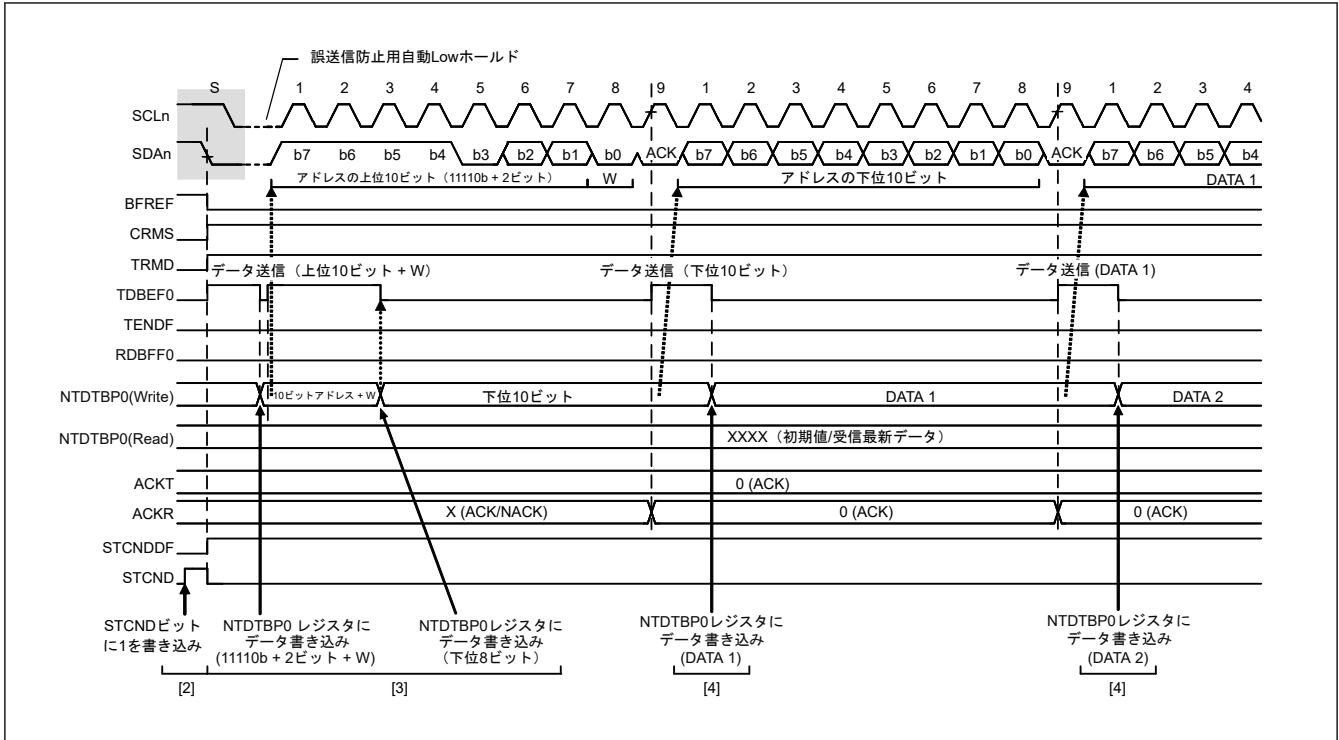


図 25.7 マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマット)

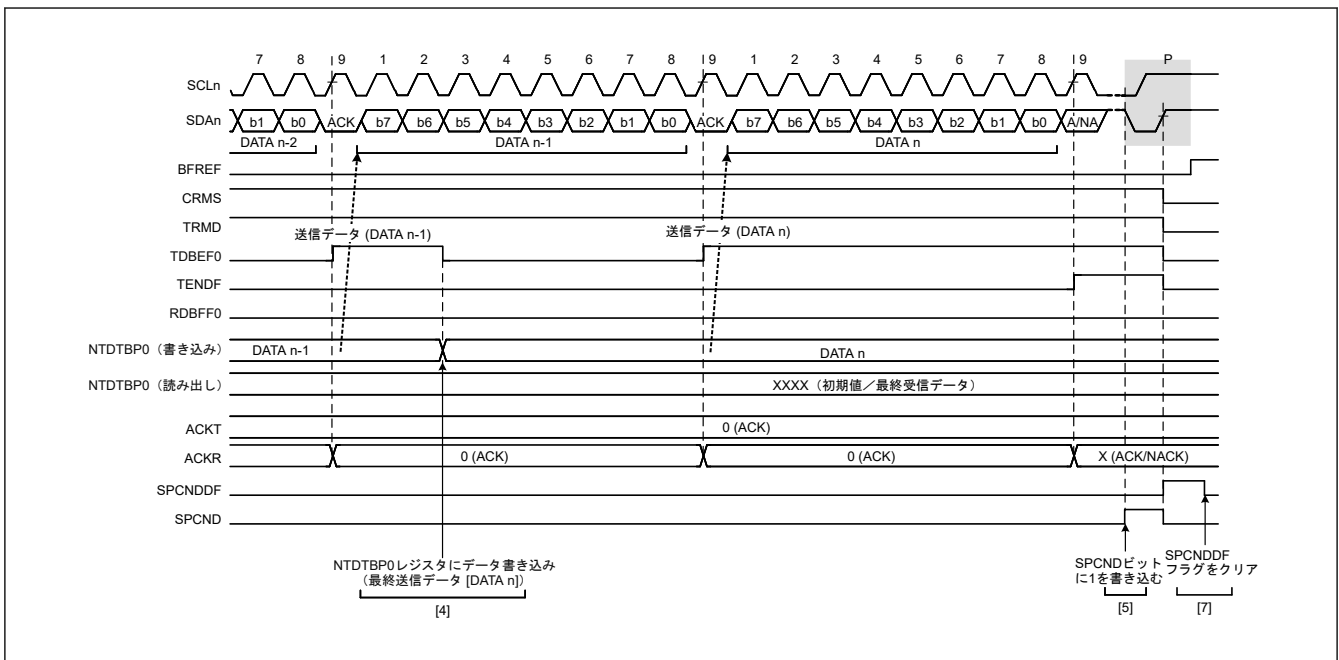


図 25.8 マスタ送信の動作タイミング (3)

(b) データ読み出し転送 (シングルバッファ転送)

マスタ受信動作では、I3C がマスタデバイスとして SCL クロックを出力し、スレーブデバイスからデータを受信して、アクトリッジを返します。I3C は最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要がありますため、手順のこの部分はマスタ送信モードで実行し、以降の手順はマスタ受信モードで実行します。

図 25.107、図 25.108 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 25.9 ~ 図 25.11 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「25.3.3.1. 初期設定フロー」を参照してください。

2. BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを1 (スタートコンディション要求) にします。I3C はこの要求を受け付けると、スタートコンディションを発行します。I3C がスタートコンディションを検出すると、BFREF フラグが自動的に0 になり、BST.STCND DDF フラグが自動的に1 になり、STCND ビットが自動的に0 になります。このとき、STCND ビットが1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDA<sub>n</sub> ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正常に完了したことを認識し、PRSS.TRMD および PRSS.TRMD ビットが自動的に1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが1 になることにより自動的に1 になります。
3. NTST.TDBEF0 フラグが1 であることを確認した後、NTDTBP0 レジスタに送信データ (1 バイト目はスレーブアドレスと R/W#ビットの値を示す) を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に0 になり、通常送信データバッファ 0 からシフトレジスタへデータが転送されて、再び TDBEF0 フラグが1 になります。一旦スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に PRSS.TRMD ビットの値が更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が1 であった場合、SCL クロックの9 クロック目の立ち上がりエッジで TRMD ビットが0 になり、I3C はマスタ受信モードになります。このとき TDBEF0 フラグが0 になります。ACK 応答をスレーブデバイスから受信したとき、NTST.RDBFF0 フラグは自動的に1 になります。スレーブデバイスが認識されないか、通信障害が発生した場合、BST.NACKDF フラグが1 になります。このとき CNDCTL.SPCND ビットを1 にして、ストップコンディションを発行してください。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で10 ビットアドレスを送信した後、繰り返しのスタートコンディションを発行します。その後、1111 0、スレーブアドレスの上位2 ビット、および R ビットを送信することで、I3C はマスタ受信モードになります。
4. NTST.RDBFF0 フラグが1 であることを確認した後、NTDTBP0 レジスタをダミーリードします。これにより、I3C は SCL クロックを出力して受信動作を開始します。
5. 1 バイトのデータ受信が終了し、SCSTRCTL.ACKTWE ビットで設定した SCL クロックの8 クロック目、あるいは9 クロック目の立ち上がりで、NTST.RDBFF0 フラグが1 になります。このとき NTDTBP0 レジスタを読むと、受信したデータを読むことができ、同時に RDBFF0 フラグは自動的に0 になります。さらに、SCL クロックの9 クロック目のアクノリッジビットには、ACKCTL.ACKT ビットに設定した値が返信されます。さらに、次の受信バイトが最終バイト-1 の場合、NTDTBP0 レジスタ (最後から2 番目のバイトを含む) を読む前に SCSTRCTL.RWE ビットを1 (ウェイトあり) にしてください。これにより、続く6.の ACKCTL.ACKT ビットを1 (NACK) にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に9 クロック目の立ち下がりで SCL<sub>n</sub> ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
6. SCSTRCTL.ACKTWE ビットが0 で、かつスレーブデバイスに対して、次の最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ACKCTL.ACKT ビットを1 (NACK) にしてください。
7. 最後から2 番目のバイトを NTDTBP0 レジスタから読み出した後、NTST.RDBFF0 フラグが1 であることを確認してから、CNDCTL.SPCND ビットを1 (ストップコンディション発行要求) にした後、NTDTBP0 レジスタから最終バイトを読み出してください。CNDCTL.SPCND ビットに1 を書くとき、I3C は WAIT 状態から解除され、9 クロック目の Low 出力完了後または SCL<sub>n</sub> ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. I3C はストップコンディションを検出すると、PRSS.CRMS ビットと PRSS.TRMD ビットを自動的に0 にして、スレーブ受信モードに遷移します。また、ストップコンディションの検出によって、BST.SPCND DDF フラグが1 になります。
9. BST.SPCND DDF フラグが1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCND DDF フラグを0 にしてください。

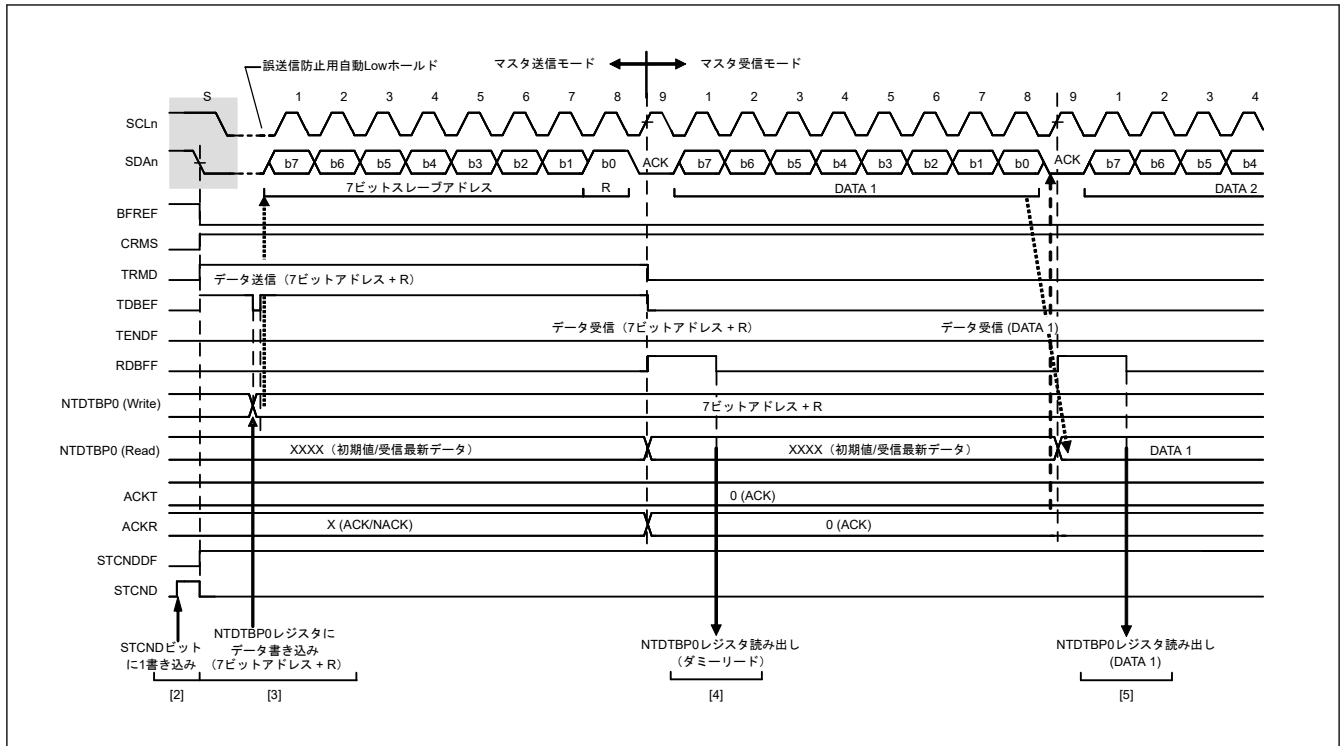


図 25.9 マスタ受信の動作タイミング (1) (7 ビットアドレスフォーマットで ACKTWE = 0 の場合)

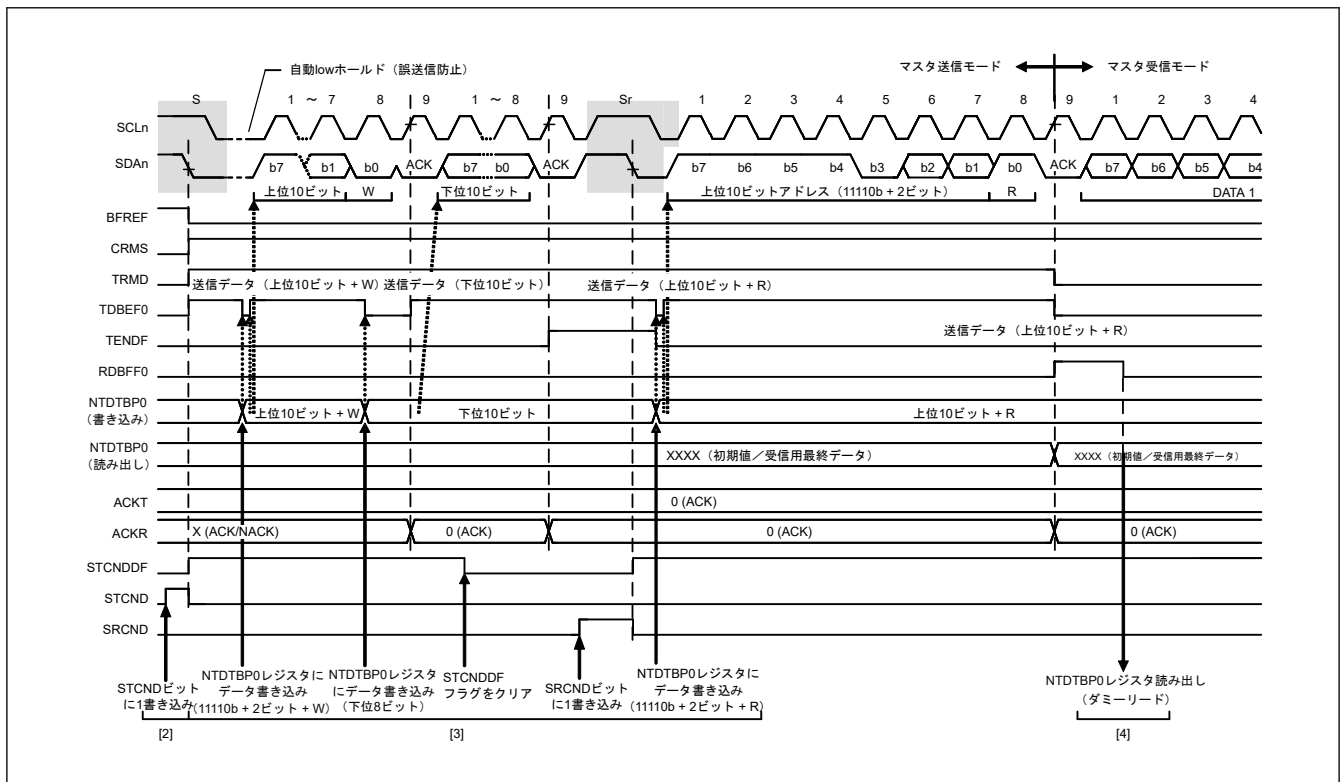


図 25.10 マスタ受信の動作タイミング (2) (10 ビットアドレスフォーマットで ACKTWE = 0 の場合)

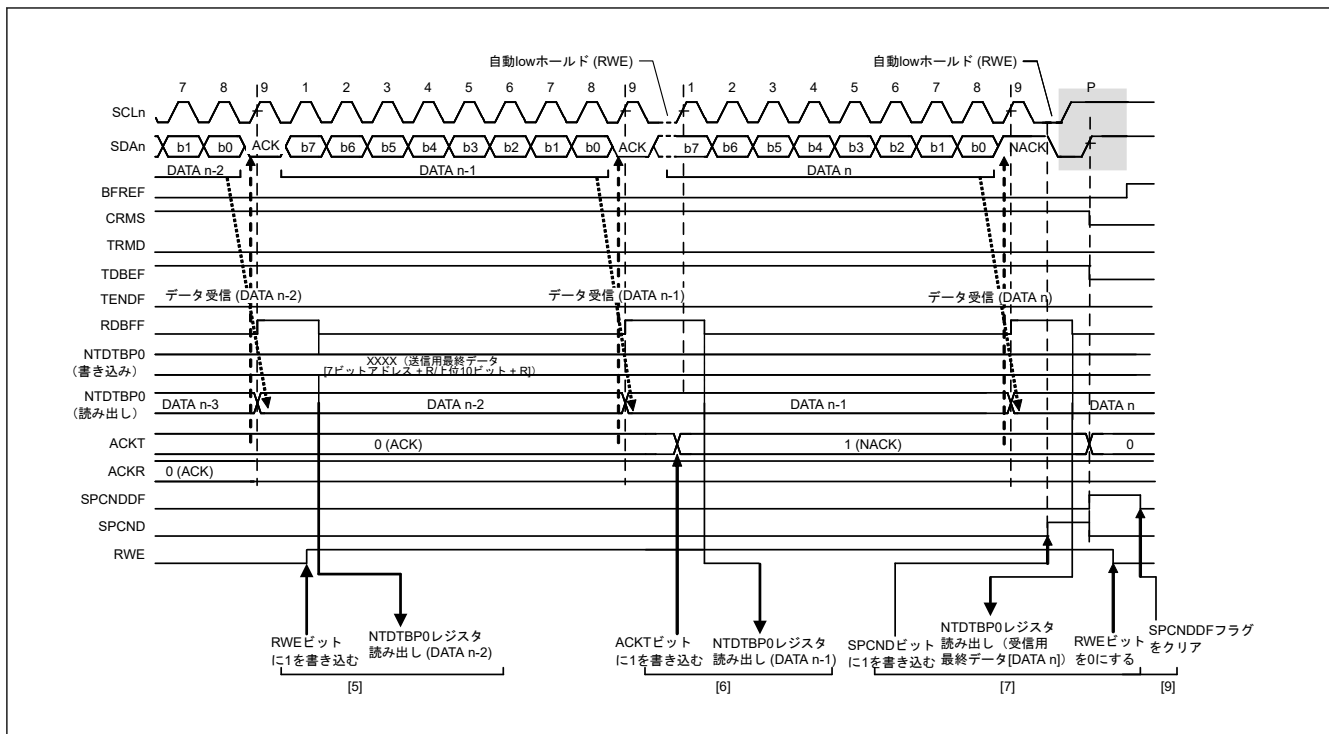


図 25.11 マスタ受信の動作タイミング (3) (ACKTWE = 0 の場合)

## (2) I3C マスタ動作

### (a) ダイナミックアドレス配置手順

I3C を初期化した後、まず I3C バス上に接続した I3C スレーブに対してダイナミックアドレス配置手順を実行します。以下に手順を示します。

1. 初期設定 (詳細は、「[25.3.3.1.2. I3C 初期設定フロー](#)」を参照してください。)
2. DAT (DATBASm レジスタ) に設定された I3C スレーブに対して、ENTDAA または SETDASA 共通コマンドコード (CCC) によりダイナミックアドレス配置を実行します。  
NCMDQP レジスタを介して、コマンドディスクリプタ (アドレス配置コマンド) をコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。
4. アドレス配置コマンドの CMD[7:0] に ENTDAA が指定されたとき：  
アドレス配置コマンドの DEV\_INDEX[4:0] で指定された DAT で始まる DEV\_COUNT[3:0] で指定される DAT の個数分、I3C スレーブに対しダイナミックアドレス配置を実行します。  
アドレス配置コマンドの CMD[7:0] に SETDASA が指定されたとき：  
アドレス配置コマンドの DEV\_INDEX[4:0] で指定される DAT に示される I3C スレーブに対しダイナミックアドレス配置を実行します。
5. ENTDAA の場合、I3C スレーブから転送された暫定 ID、BCR、DCR が受信データバッファに格納されます。(BCR は MSDCTm レジスタにも自動的に格納されます。)  
RDBFF0 = 1 による割り込みで、NTDTBPn を介して受信データバッファから暫定 ID、BCR、DCR を読み出します。
6. ダイナミックアドレス配置の実行が完了したら、ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
7. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
8. レスポンスディスクリプタの DATA\_LENGTH[15:0] ビットの値が、アドレス配置コマンドの DEV\_COUNT[3:0] の値と一致しているかどうかを確認します。

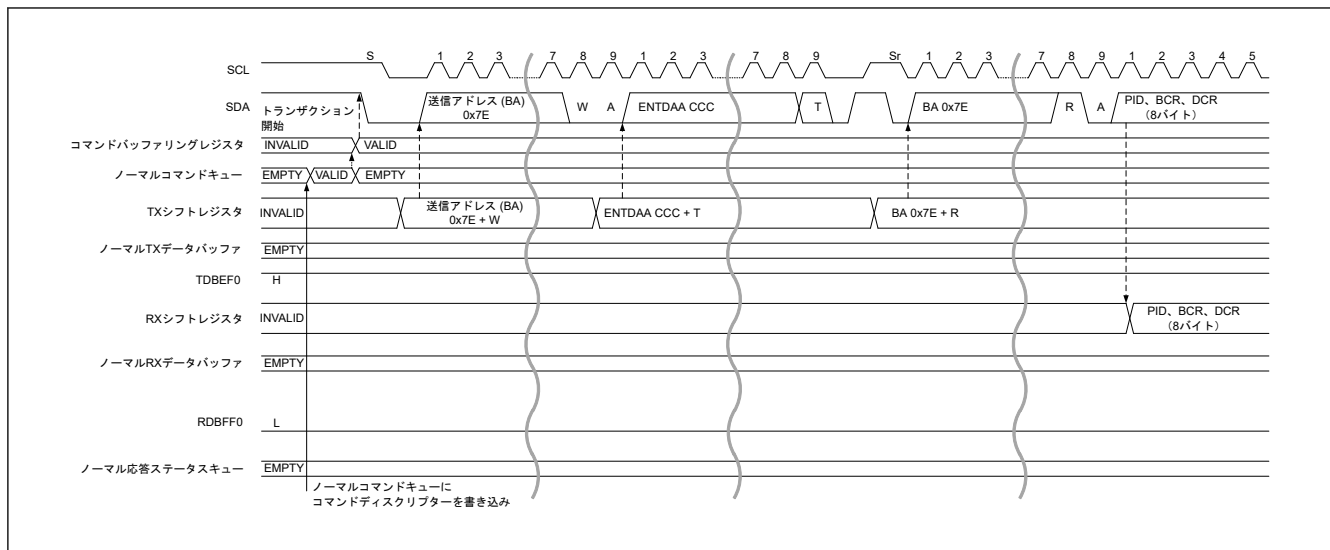


図 25.12 ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (1/3)

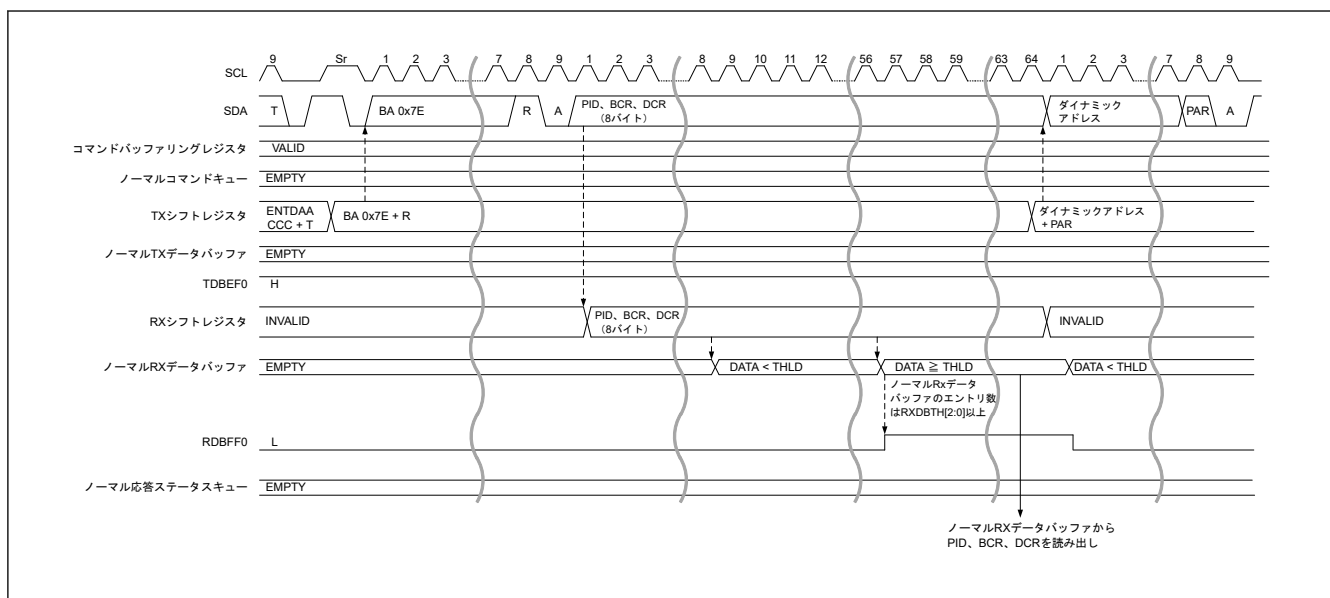


図 25.13 ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (2/3)



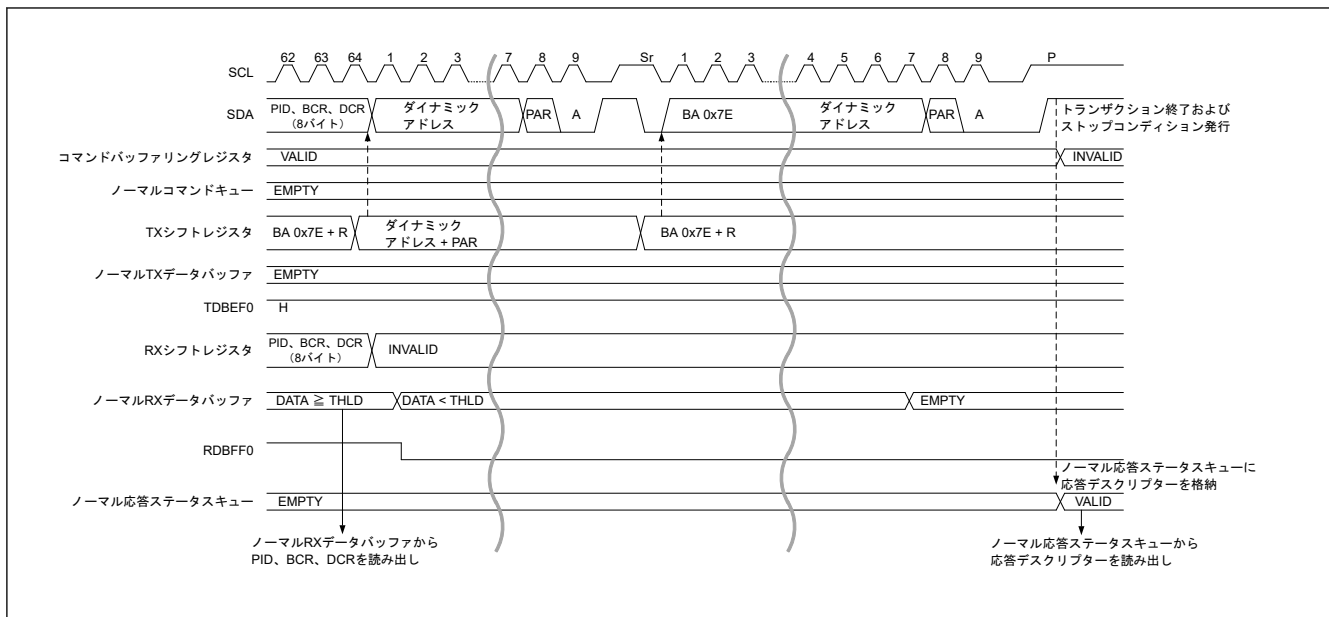


図 25.14 ダイナミックアドレス配置手順 (ENTDAACCC) タイミング (3/3)

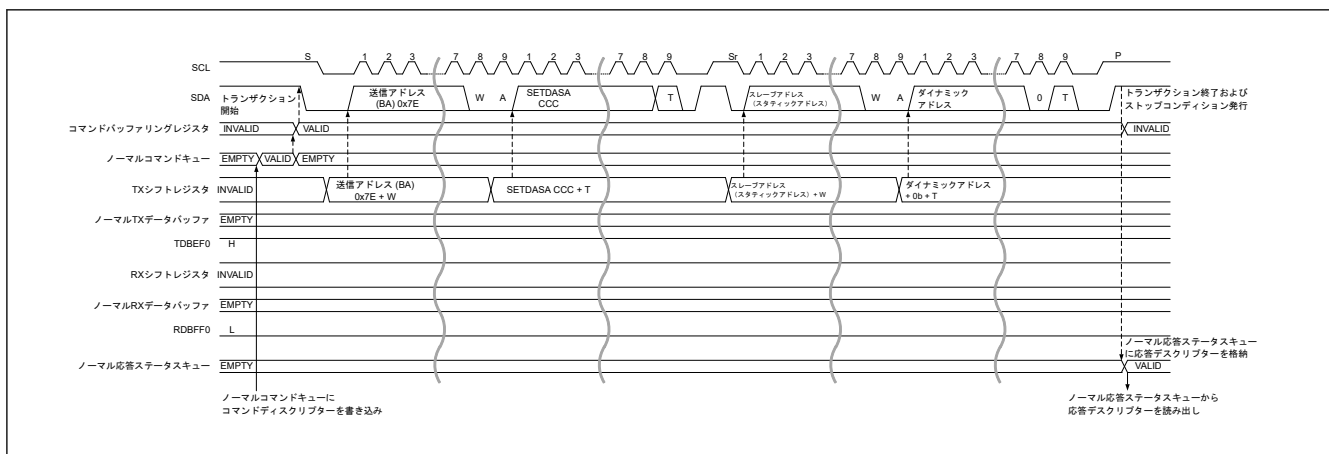


図 25.15 ダイナミックアドレス配置手順 (SETDASACCC) タイミング

(b) SDR データ書き込み転送

1. 送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
2. データ転送用のコマンドディスクリプタ (即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド) を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
4. 送信用データがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
5. コマンドディスクリプタの DATA\_LENGTH[15:0] ビットに指定したデータ長の数のデータ送信が完了したら、繰り返しのスタート条件またはストップ条件を発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
6. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
7. レスポンスディスクリプタの DATA\_LENGTH[15:0] ビットの値が 0 であることを確認します。

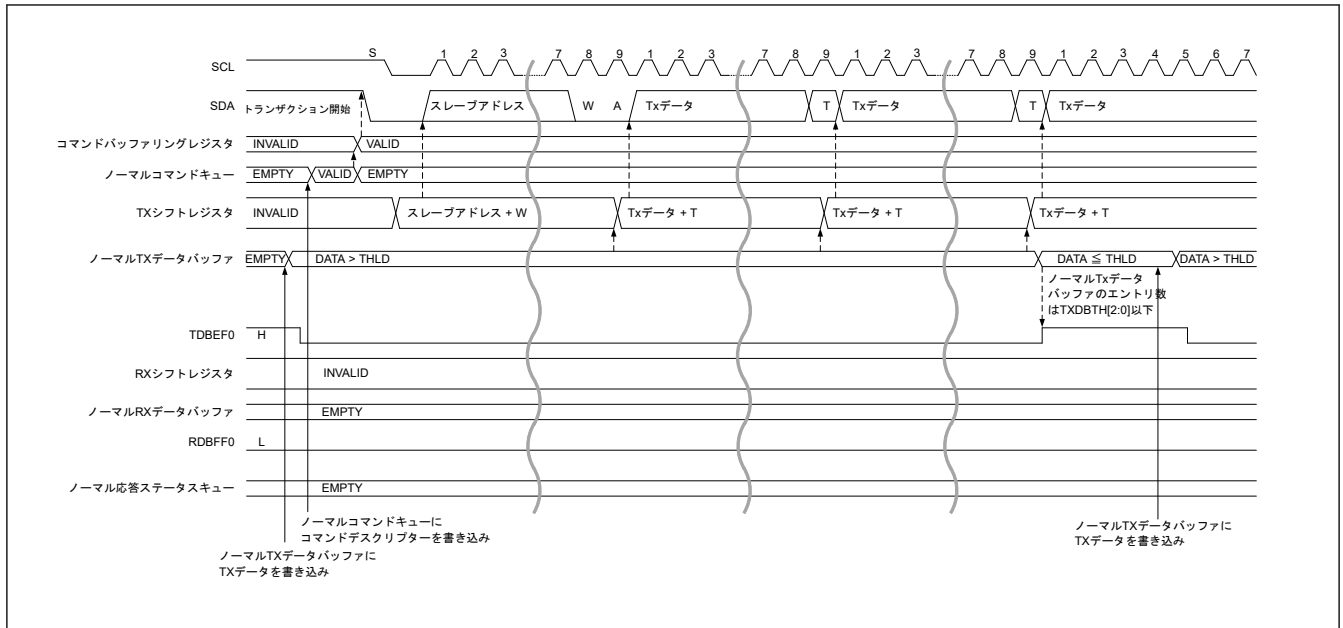


図 25.16 SDR データ書き込み転送タイミング (1/2)

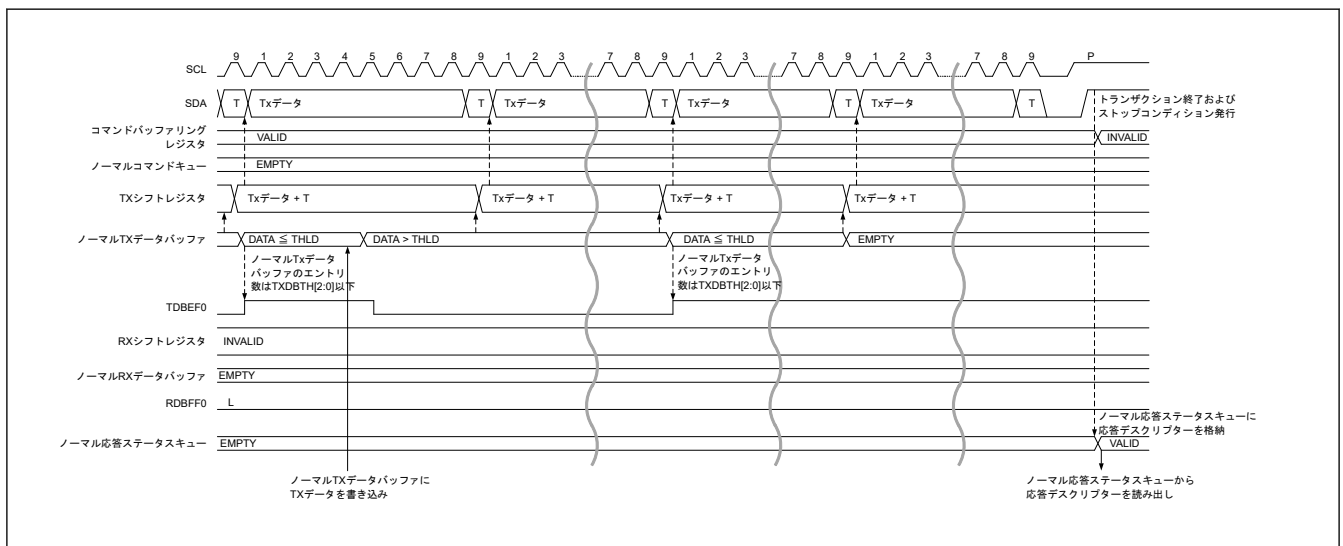


図 25.17 SDR データ書き込み転送タイミング (2/2)

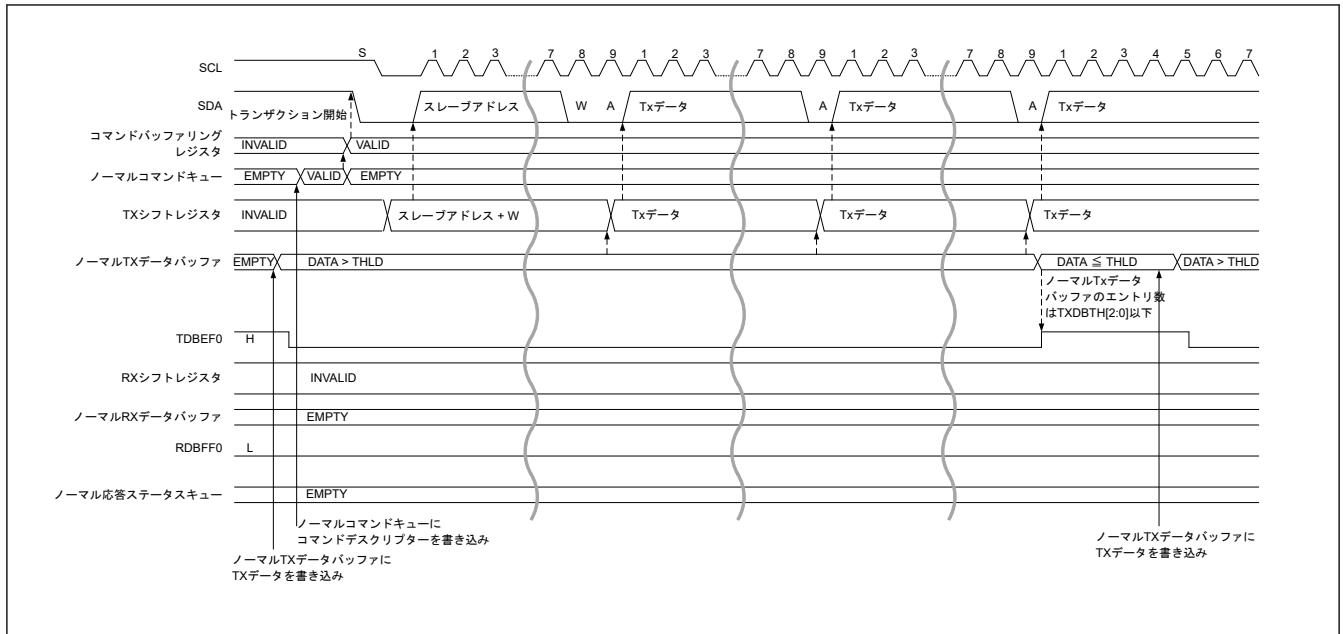


図 25.18 レガシー I<sup>2</sup>C メッセージデータ書き込みタイミング (1/2)

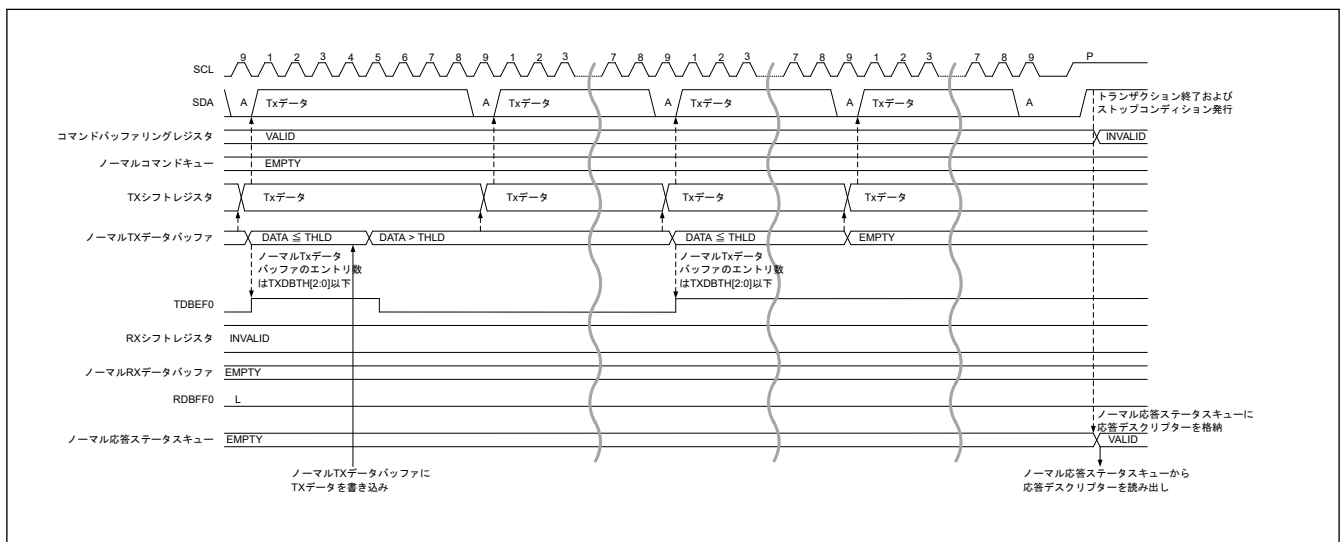


図 25.19 レガシー I<sup>2</sup>C メッセージデータ書き込みタイミング (2/2)

(c) SDR データ読み出し転送

1. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド）を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
2. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
3. I3C スレーブから受信したデータを、受信データバッファに格納します。
4. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTPn レジスタを介して読み出します。
5. SDR :  
T ビットが Low であることを検出するか、コマンドディスクリプタの DATA\_LENGTH[15:0] ビットに指定したデータ長の数のデータ受信が完了したら、繰り返しのスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。  
レガシー I<sup>2</sup>C メッセージ :



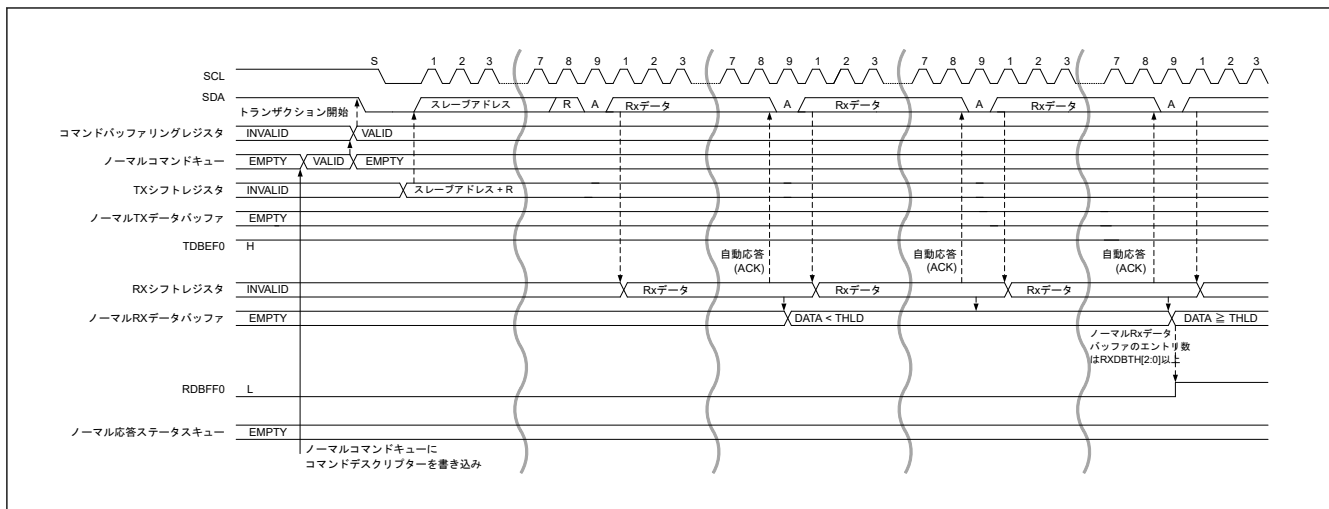


図 25.22 レガシー I<sup>2</sup>C メッセージデータ読み出し転送タイミング (1/2)

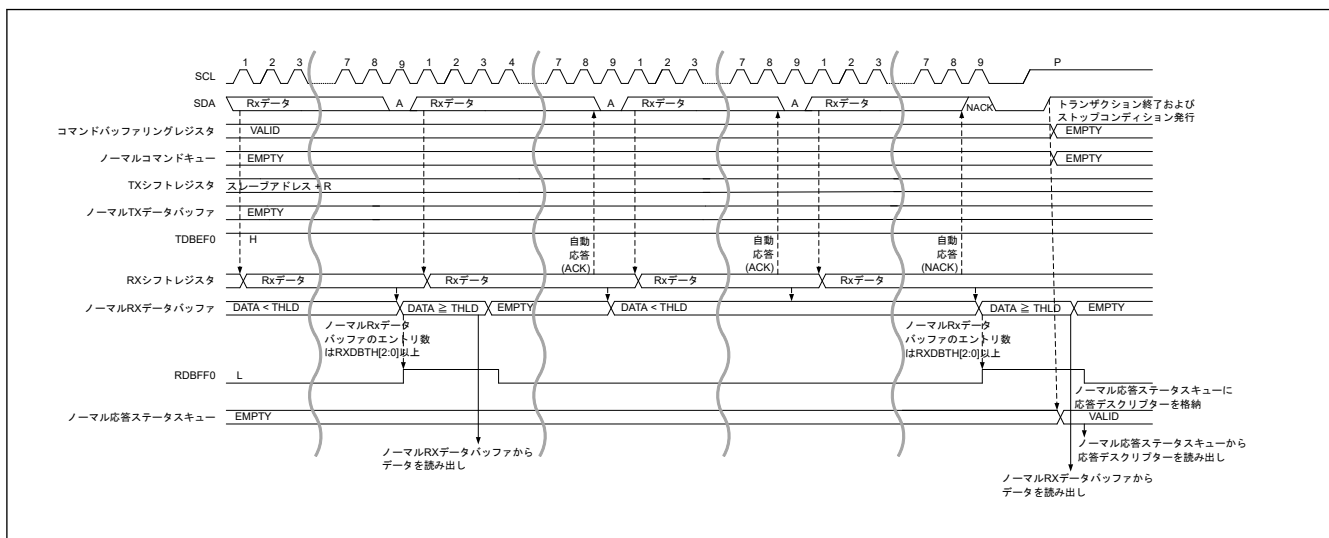


図 25.23 レガシー I<sup>2</sup>C メッセージデータ読み出し転送タイミング (2/2)

(d) IBI 転送

1. コマンドディスクリプタをコマンドバッファに書き込み、トランザクションを I3C バスに発行します。スレーブデバイスからスタート要求 (SDA が Low) が発行された場合、I3C は SCL を Low にして、スタートコンディションを完了します。そのため、SCL を供給し、In-band 割り込み要求を受信します。
2. アドレスヘッダの RnW を伴うスレーブアドレスで、I3C スレーブから In-band 割り込みを発行することでアービトレーションロストとなる場合、トランザクションの発行を停止します。
3. 「25.3.2.3.8. In-band 割り込み [I3C モード]」に従い、In-band 割り込みとプロセスを検出します。
4. IBIQEFF = 1 による割り込みにおいて、NIBIQP レジスタを介して IBI ステータスバッファから IBI ステータスディスクリプタを読み出し、ステータスを確認します。スレーブ割り込み要求を検出し ACK を応答したとき、IBI ステータスディスクリプタの DATA\_LENGTH[15:0] ビットに示されるデータ長の IBI データを NIBIQP レジスタを介して IBI データバッファから読み出します。
5. 1. のコマンドのトランザクション発行をリスタートします。

In-band 割り込み検出後の処理手順の例を以下に示します。

バス権要求検出とマスタ権のセカンダリマスタへの転送の処理手順

1. I3C セカンダリマスタがアービトレーションを獲得した場合、DEFSLVS CCC を発行し、スレーブ情報をセカンダリマスタに通知します。

2. GETACCMST CCC を発行し、ストップコンディションにより CCC を完了します。

- 注.
- セカンダリマスタにマスタ権を転送した後、再びマスタ権を得るには、(2) I3C スレーブ動作の (f) IBI 転送に従ってバス権要求を発行します。
  - バス権要求をカレントマスタが受け入れた場合、GETACCMST CCC 受信時にマスタ権を再度得るために、ストップコンディションにより CCC を完了します。

ホットジョインイベントを検出したときの処理手順

1. ダイナミックアドレス配置手順を開始するため、ブロードキャストコマンドコード入力ダイナミックアドレス配置 (ENTDAA) を発行します。
2. DEFSLVS CCC を発行し、スレーブ情報をセカンダリマスタに通知します。

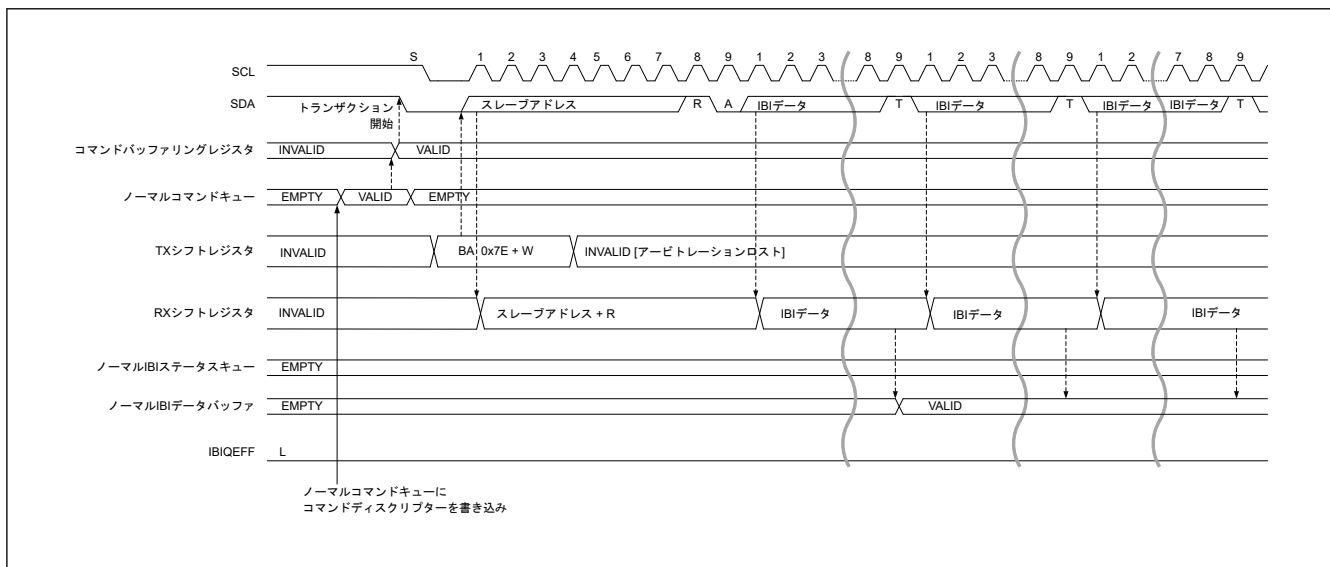


図 25.24 I3C マスタ IBI 転送タイミング (1/2)

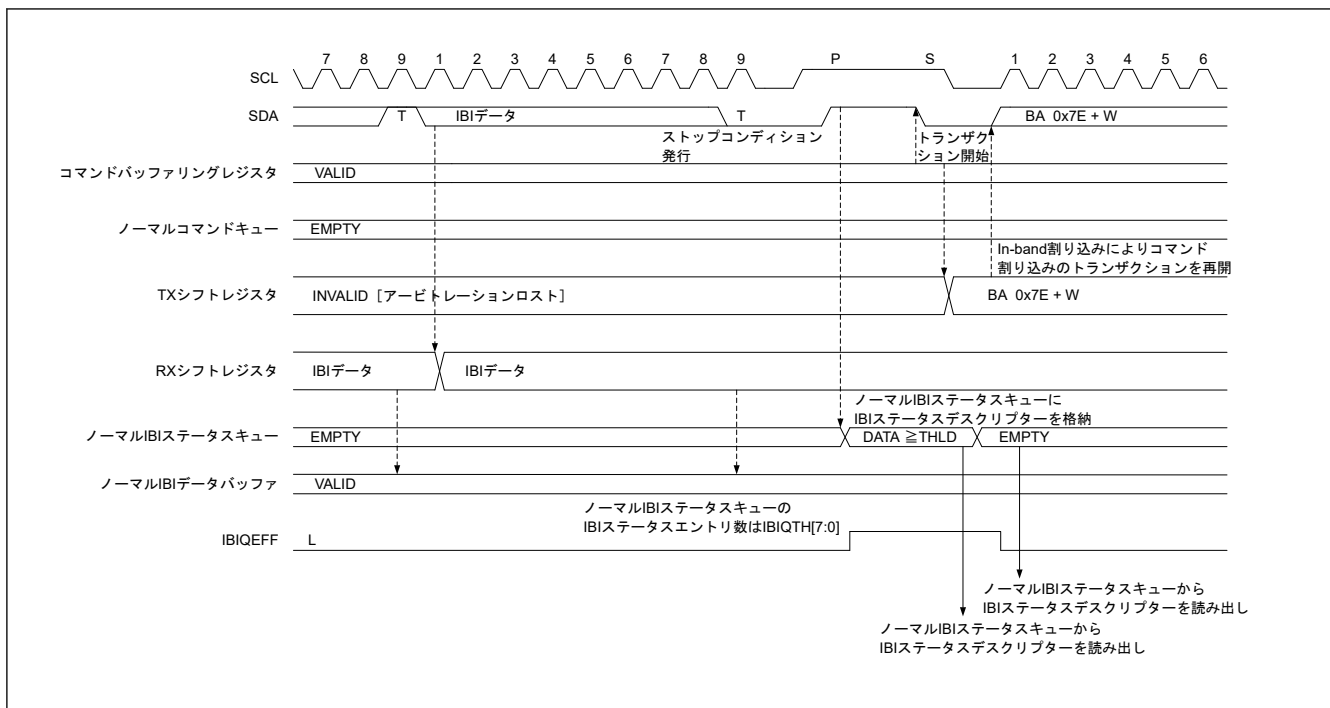


図 25.25 I3C マスタ IBI 転送タイミング (2/2)

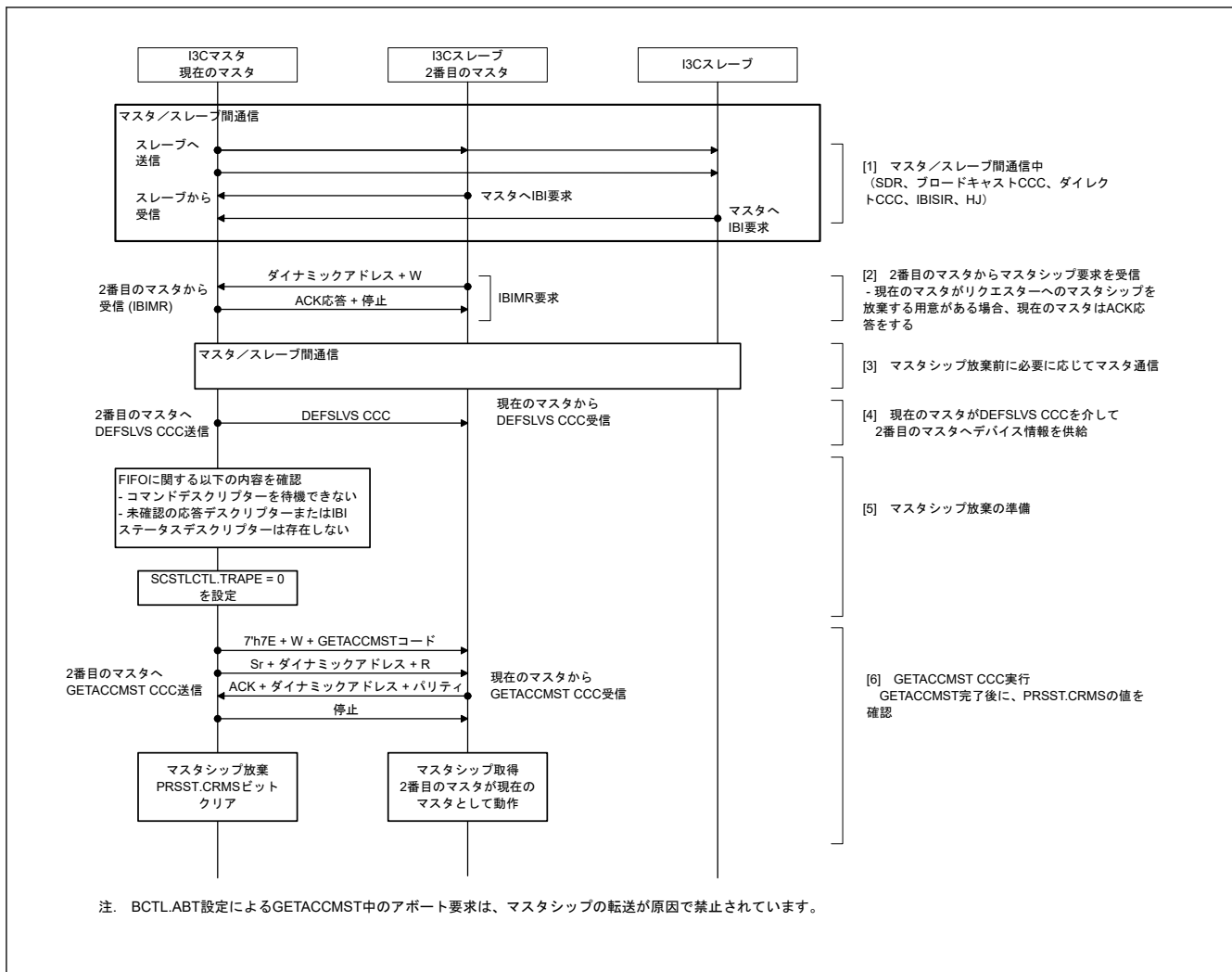


図 25.26 I3C マスタバス権処理フロー

25.3.2.1.2 スレーブモード動作

(1) I<sup>2</sup>C スレーブ動作

(a) データ書き込み転送 (シングルバッファ転送)

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、I3C がスレーブデバイスとしてアクトリッジを返します。

図 25.113 にスレーブ受信の使用例を示します。図 25.27 と 図 25.28 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「25.3.3.1. 初期設定フロー」を参照してください。初期設定後、I3C は、一致するスレーブアドレスを受信するまで待機状態となります。
2. I3C はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.HOAF、GCAF、および SVAFy (y = 0) ビットのいずれかを 1 にし、SCL クロックの 9 クロック目でアクトリッジビット (ACK) を出力します。このとき、同時に受信した R/W# ビットの値が 0 であれば、I3C はスレーブ受信モードを継続し、NTST.RDBFF0 フラグを 1 にします。
3. BST.SPCNDDF フラグが 0 であることと、NTST.RDBFF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタをダミーリードしてください (ダミーリードする値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです)。
4. NTDTBP0 レジスタが読み出されると、I3C は NTST.RDBFF0 フラグを自動的に 0 にします。なお、NTDTBP0 レジスタの読み出しが遅れて、RDBFF0 フラグが 1 になった状態で次のバイトを受信すると、I3C は RDBFF0

フラグが設定されるポイントの1つ手前の SCL クロックまで SCLn ラインを Low にホールドします。この場合、NTDTBP0 レジスタを読み出すと、SCLn ラインが Low ホールド状態から解放されます。BST.SPCNDDF フラグが 1 で、かつ NTST.RDBFF0 フラグが 1 の場合、全データの受信が完了するまで NTDTBP0 レジスタを読み出してください。

5. I3C はストップコンディションを検出すると、SVST.HOAF、GCAF、および SVAf<sub>y</sub> (y = 0) ビットを自動的に 0 にします。
6. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.SPCNDDF フラグを 0 にしてください。

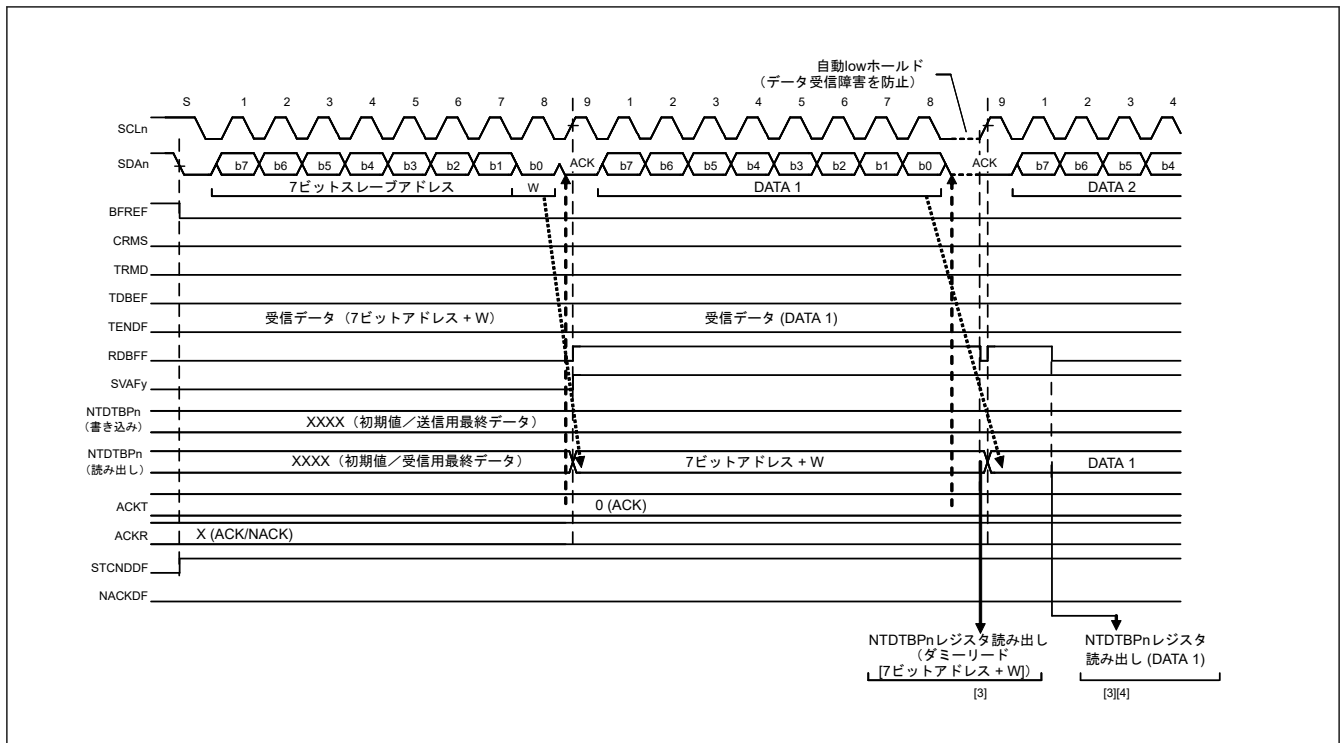


図 25.27 スレープ受信の動作タイミング (1) (7 ビットアドレスフォーマットで ACKTWE = 0 の場合)



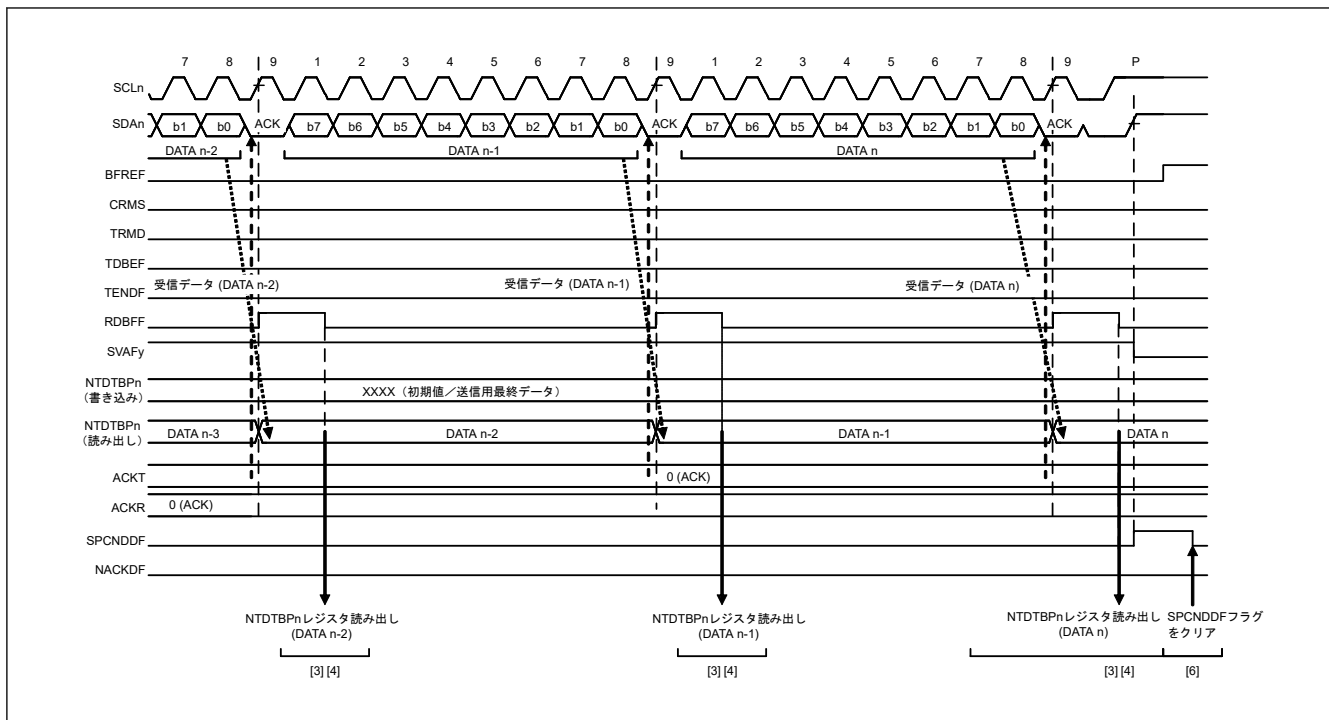


図 25.28 スレーブ受信の動作タイミング (2) (ACKTWE = 0 の場合)

(b) データ読み出し転送 (シングルバッファ転送)

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、I3C がスレーブデバイスとしてデータを送信し、マスタデバイスがアックノリッジを返します。

図 25.112 にスレーブ送信の使用例を示します。図 25.29 と図 25.30 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

1. 初期設定。詳細は、「25.3.3.1. 初期設定フロー」を参照してください。  
初期設定後、I3C は、一致するスレーブアドレスを受信するまで待機状態となります。
2. I3C はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.HOAF、GCAF、および SVAfy (y = 0) ビットのいずれかを 1 にし、SCL クロックの 9 クロック目でアックノリッジビット (ACK) を出力します。このとき、同時に受信した R/W# ビットの値が 1 であれば、I3C は PRSST.TRMD ビットと NTST.TDBEF0 フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書いてください。このとき、I3C が BSTE.NACKDE ビットが 1 の状態でマスタデバイスからアックノリッジを受信しなかった (NACK を受信した) 場合、I3C は次の転送動作を中断します。
4. 以下の (a) または (b) のいずれかの条件が満たされるまで待ちます。
  - (a) BST.NACKDF フラグが 1 になる
  - (b) NTST.TDBEF0 フラグが 1 の状態で、最終送信バイトを NTDTBP0 レジスタに書いた後で、BST.TENDF フラグが 1 になる

BST.NACKDF フラグが 1 または TENDF フラグが 1 の場合、I3C は SCL クロックの 9 クロック目の立ち下がりによって SCLn ラインを Low にします。

5. BST.NACKDF フラグが 1 または BST.TENDF フラグが 1 の場合、終了処理のため NTDTBP0 レジスタをダミーリードしてください。これによって SCLn ラインが解放されます。
6. I3C はストップコンディションを検出すると、SVST.HOAF ビット、GCAF ビット、および SVAfy (y = 0) ビット、NTST.TDBEF0 フラグ、BST.TENDF フラグ、および PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。

7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

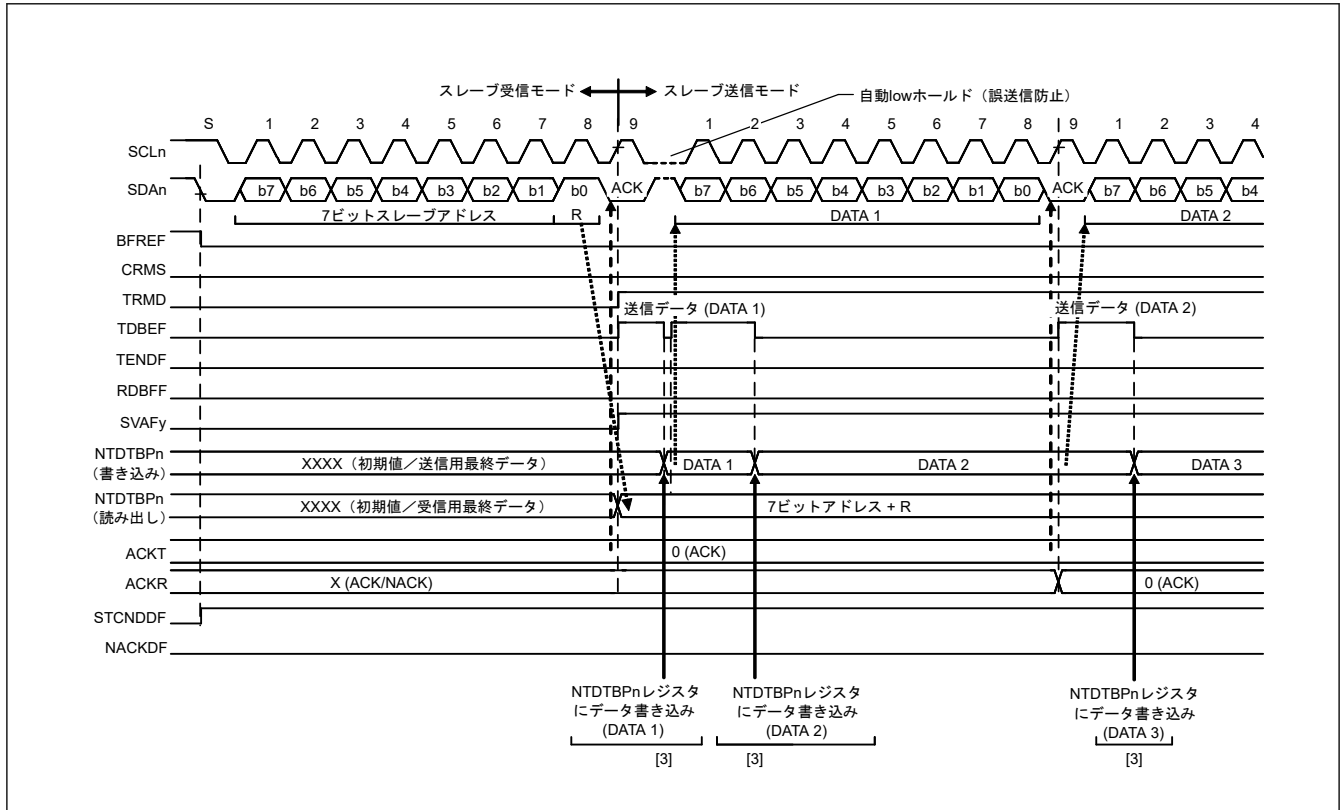


図 25.29 スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマット)

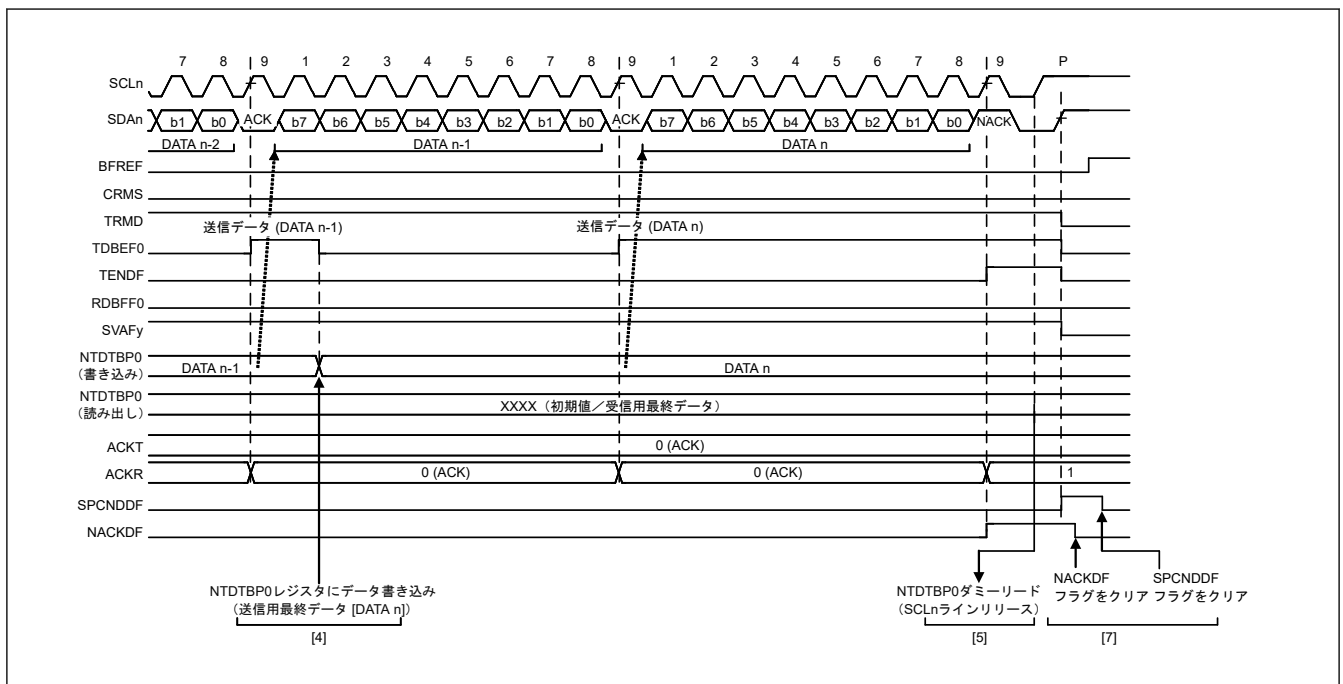


図 25.30 スレーブ送信の動作タイミング (2)

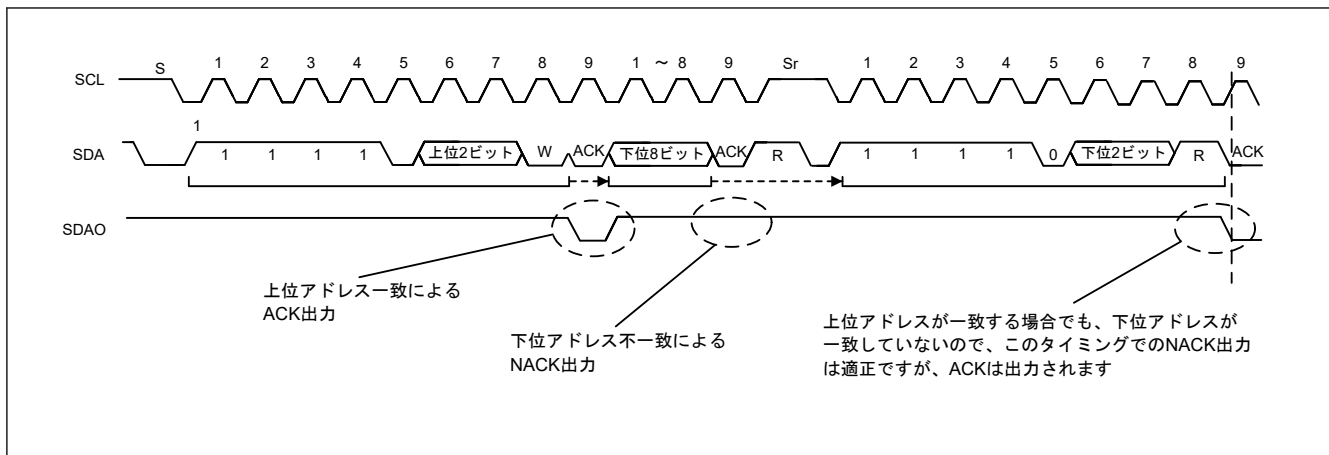


図 25.31 スレーブ送信 (10 ビットアドレスフォーマット)

複数の I<sup>2</sup>C スレーブが I<sup>2</sup>C バスに接続し、本モジュール以外の I<sup>2</sup>C スレーブがリピートスタート後に上位アドレス/R に NACK 応答する可能性がある場合、以下の制限と回避策が適用されます。

- 回避策：本モジュールに割り当てられた 10 ビットアドレスの上位 2 ビットを、他のスレーブと異なる値に設定してください。アドレスが使い果たされて異なる値に設定できない場合、制限 (1) を適用してください。
- 制限 (1)：10 ビットアドレスを使用しません。
- 制限 (2)：図 25.31 における最終 ACK 応答後に、スレーブはデータに応答しません。よって、SDA は High レベルを維持し、I<sup>2</sup>C マスタは 0xFF データを受信します。0xFF を異常データとして処理可能なシステムでは、I<sup>2</sup>C マスタ側で 0xFF が読み出され、破棄されます。0xFF が有効データの場合、制限 (1) が適用されます。

注。 これらの制限と回避策は MCU Ver.1 に適用されますが、MCU Ver.2 には不要です。

## (2) I3C スレーブ動作

### (a) ダイナミックアドレス配置手順

I3C を初期化した後、I3C マスタはまず、ダイナミックアドレス配置手順を実行します。

ENTDAA CCC によるダイナミックアドレス配置手順実行中の R-I3 の動作を以下に説明します。

1. 初期設定 (詳細は、「[25.3.3.1.2. I3C 初期設定フロー](#)」を参照してください。)
2. ENTDAA CCC を受信すると、I3C はダイナミックアドレスが配置されるまで暫定 ID (SDCTPIDH[31:0], SDCTPIDL[15:0]), BCR (SVDCT.TBCR[7:0]), DCR (SVDCT.TDCR[7:0]) を送信します。(詳細は、[\(6\) CCC 検出機能 \[I3C モード\]](#) の「ブロードキャスト CCC (ENTDAA) の場合」を参照してください。)
3. ENTDAA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスバッファに格納されます。
4. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。
5. 受信ステータスディスクリプタの DATA\_LENGTH[15:0] ビットに示されるデータ長のデータを NTDTBP0 レジスタを介して受信データバッファから読み出します。

MCU Ver.1 には以下の制約と回避策があります。MCU Ver.2 にはこの制約と回避策は不要です。

注。 複数の I3C (I3C スレーブ) が I3C バスに接続している場合、ダイナミックアドレスを以下の順で割り当ててください。

1. I3C (I3C スレーブ) の SDCTPIDH レジスタと SDCTPIDL レジスタ (6 バイト) に、ダイナミックアドレスアビットレーションにより他のスレーブデバイスよりも低い優先度となる値 (全ビット 1 など) を設定します。
2. I3C (I3C スレーブ) のスタティックアドレスを設定した後、SETDASA / SETAASA コマンドを使ってダイナミックアドレスを割り当てます。
3. ENTDAA コマンドを使って、I3C (I3C スレーブ) 以外の I3C スレーブデバイスにダイナミックアドレスを割り当てます。

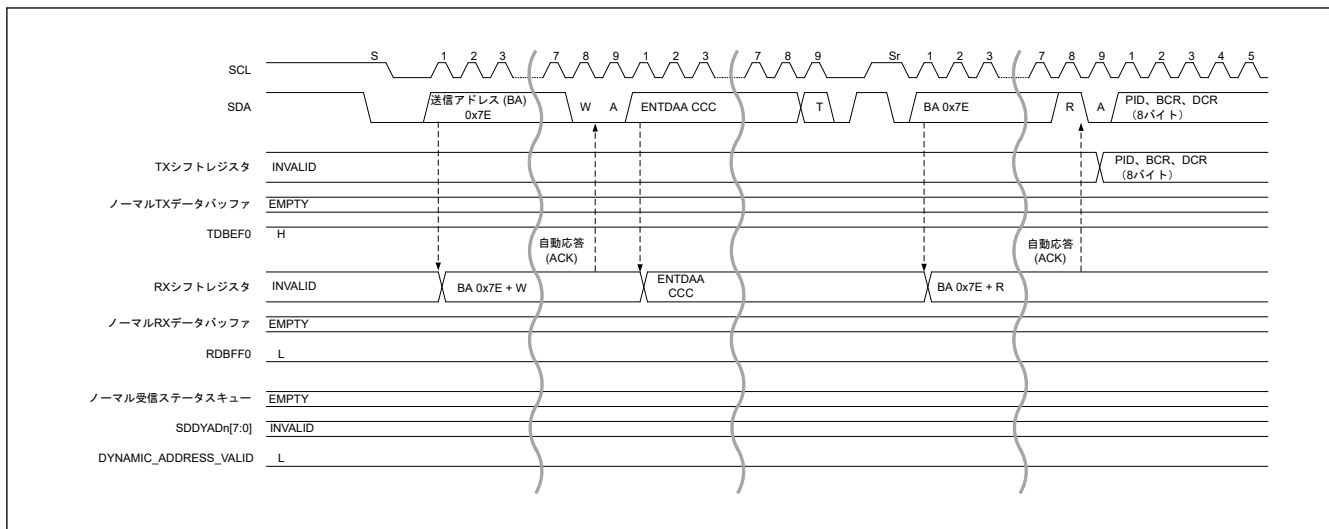


図 25.32 ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (1/3)

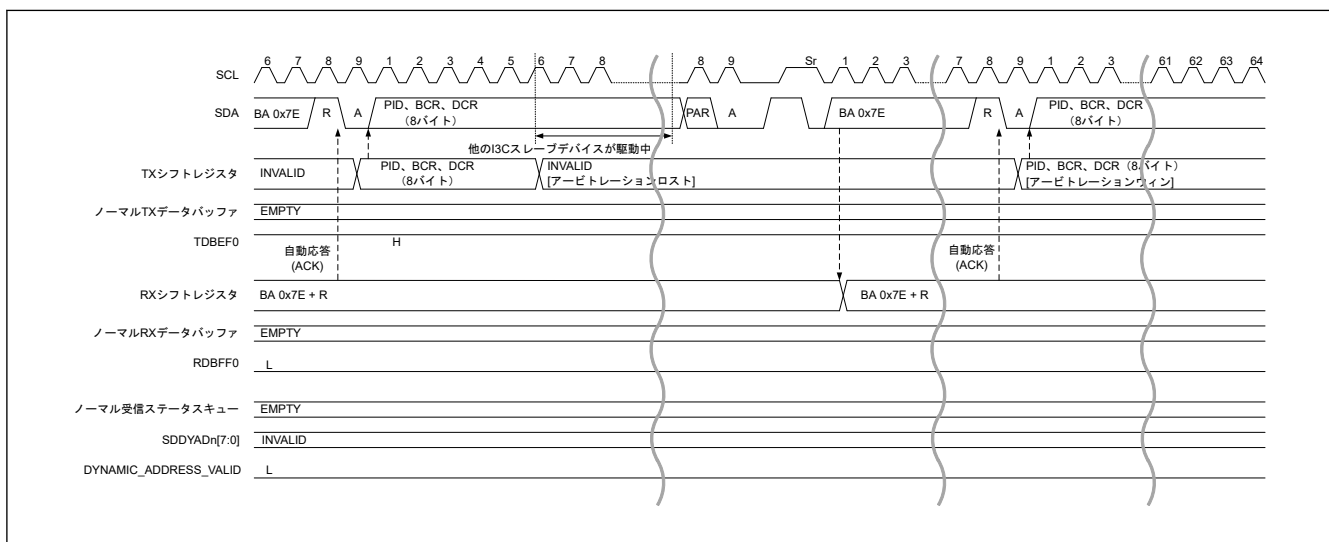


図 25.33 ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (2/3)

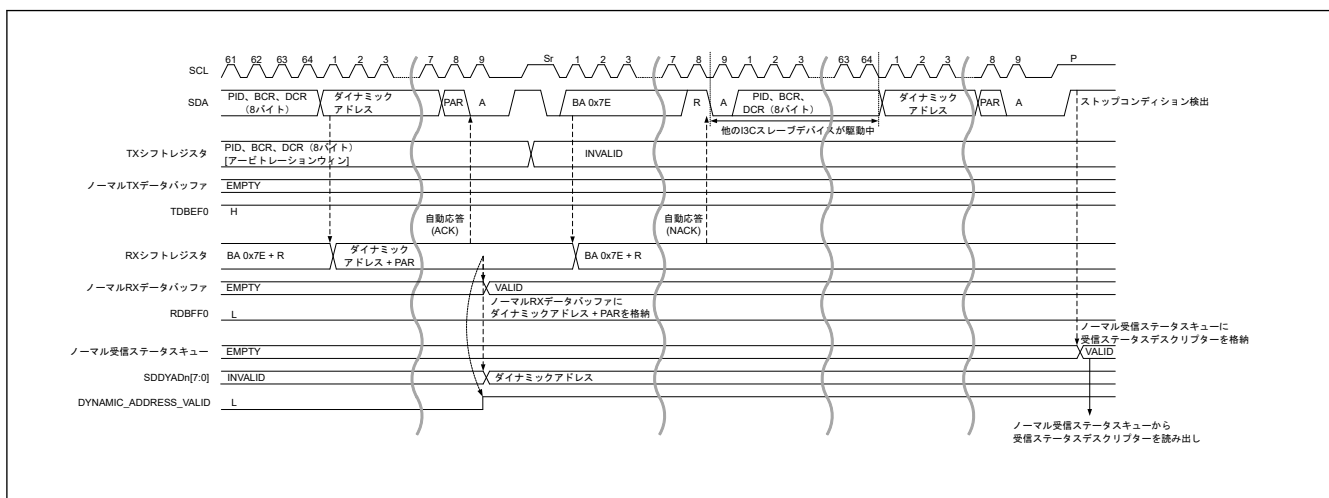


図 25.34 ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (3/3)

I3C マスタからダイナミックアドレスを配置されるまで、スタティックアドレスで通信する場合、DAT (SDATBASn レジスタ) の DVSTAD[6:0] ビットを設定することで、SVDVADn レジスタの SSTADV ビットが 1 に設定され、スタティックアドレスが有効になります。

I3C スレーブがスタティックアドレスを有し、I3C マスタがダイナミックアドレス配置手順を実行する場合、ダイナミックアドレスを SETDASA CCC で配置することができます。

SETDASA CCC ダイナミックアドレス配置手順実行中の I3C の動作を以下に説明します。

1. 初期設定（詳細は、「25.3.3.1.2. I3C 初期設定フロー」を参照してください。）
2. 受信した SETDASA CCC がそれ自身のスタティックアドレスと一致するとき、DAT (SDATBAS0 レジスタ) の SDDYAD[7:0] ビットを更新し、SVDVAD0 レジスタの SDYADV ビットを 1 に設定します。（詳細は、(6) CCC 検出機能 [I3C モード] の「ダイレクトライト CCC の場合」を参照してください。）
3. SETDASA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスバッファに格納されます。
4. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

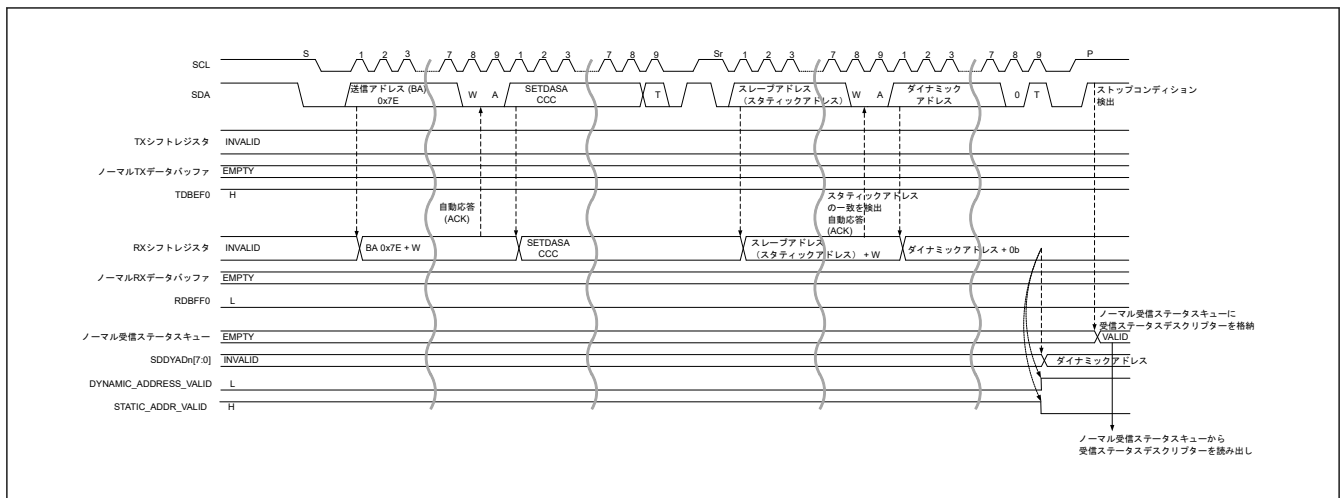


図 25.35 ダイナミックアドレス配置手順 (SETDASA CCC) タイミング

(b) SDR データ書き込み転送

1. I3C マスタからトランザクションが発行されたとき、アドレスヘッダのスレーブアドレスをそれ自身のスレーブアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。  
トランザクションを受信したとき、受信データバッファがフルであれば、I3C スレーブはアドレスヘッダで NACK を応答します。  
I3C マスタのリトライ準備において、NTDTBPn を介して受信データバッファからデータを読み出し、受信データバッファを空にします。
2. I3C マスタから受信したデータは、受信データバッファに格納します。
3. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTBPn レジスタを介して読み出します。
4. 繰り返しのスタートコンディションまたはストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスバッファに格納されます。
5. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

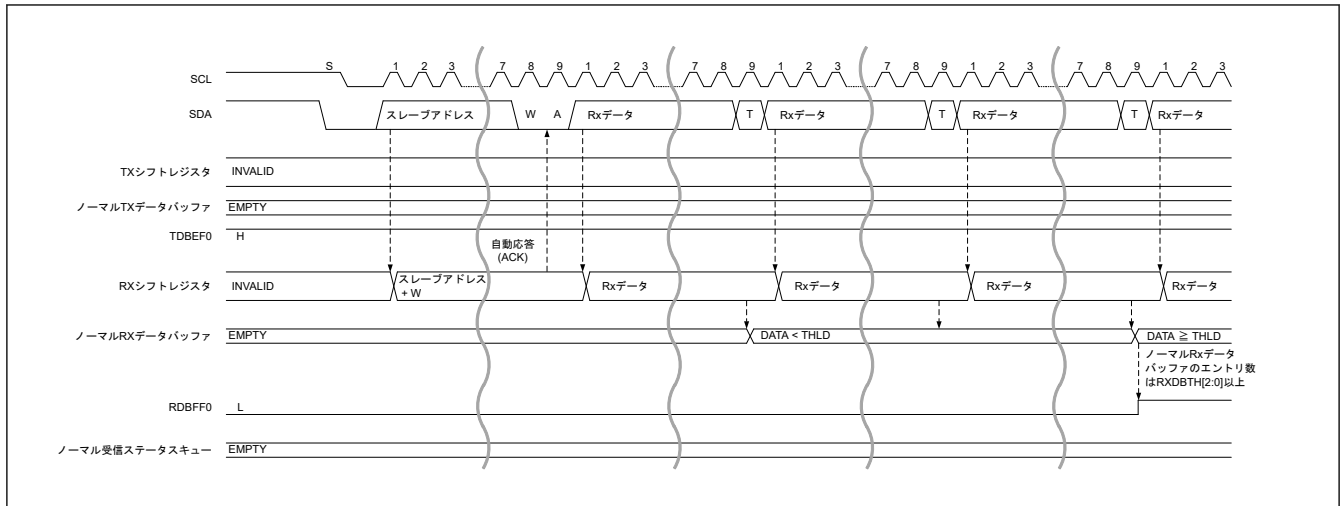


図 25.36 SDR データ書き込み転送タイミング (1/2)

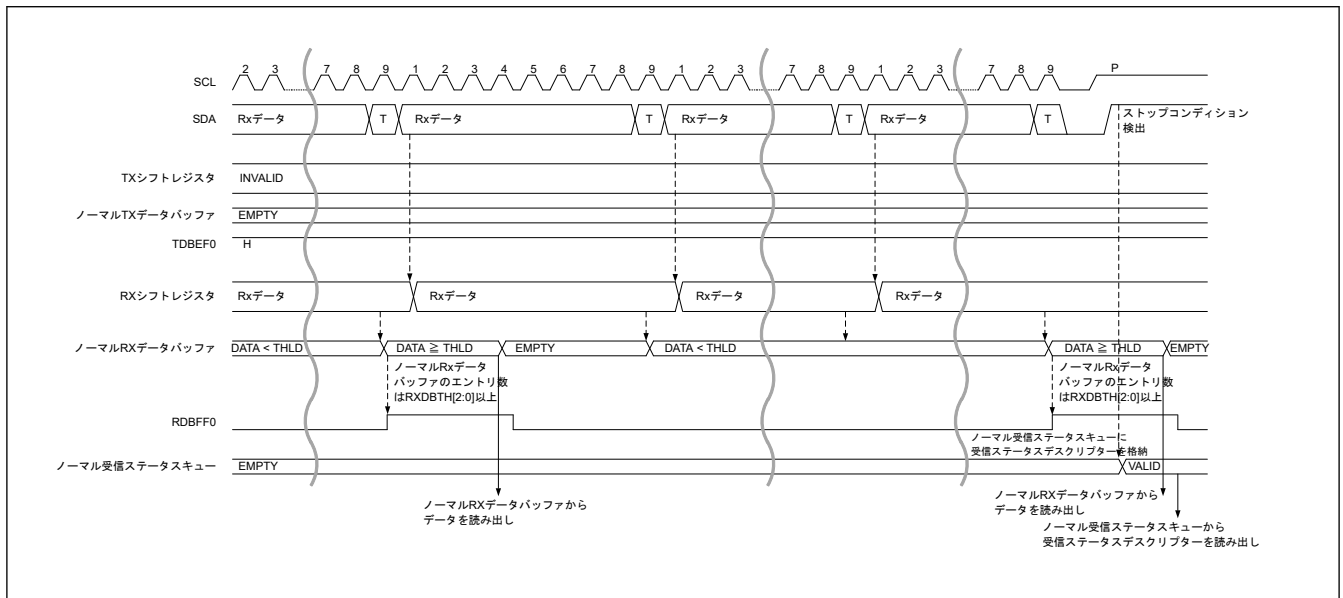


図 25.37 SDR データ書き込み転送タイミング (2/2)

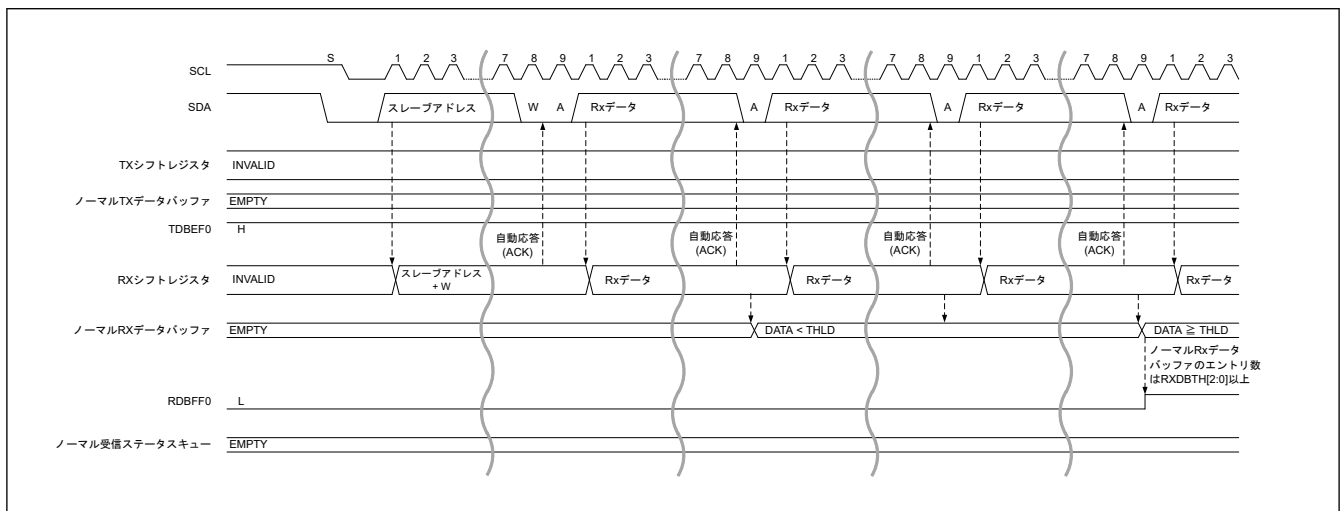


図 25.38 レガシー I<sup>2</sup>C メッセージデータ書き込み転送タイミング (1/2)

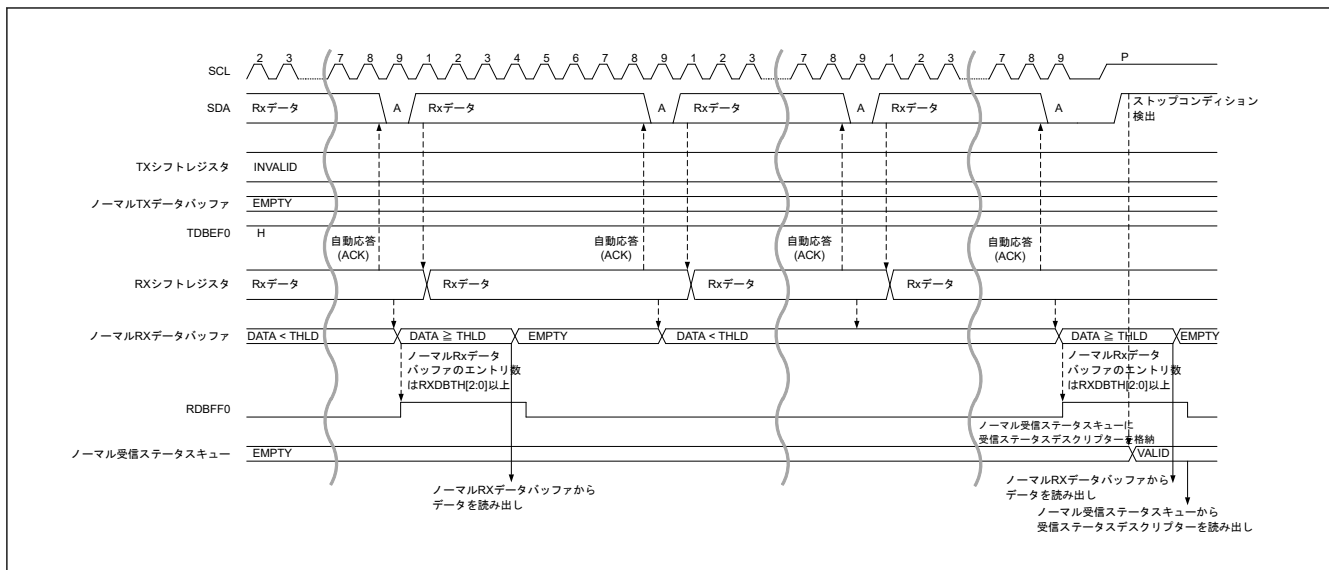


図 25.39 レガシー I<sup>2</sup>C メッセージデータ書き込み転送タイミング (2/2)

(c) SDR データ読み出し転送

- I3C マスタから要求されたデータを NTDTBPn レジスタを介して送信データバッファに書き込みます。
- I3C マスタからトランザクションが発行されたとき、アドレスヘッダのスレーブアドレスをそれ自身のスレーブアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。  
トランザクションを受信したとき、送信データバッファがエンプティであれば、I3C スレーブはアドレスヘッダで NACK を応答します。  
I3C マスタのリトライ準備において、NTDTBPn を介して送信データバッファにデータを書き込みます。
- 送信データバッファに格納されたデータを送信します。
- 送信用データがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
- SDR :  
送信データバッファに格納されたデータの送信が完了したとき、データに続けて T ビットに Low が出力され、それが最終のデータであることを I3C マスタに通知します。  
レガシー I<sup>2</sup>C メッセージ :  
NACK が検出されたとき、データ送信は終了します。
- 繰り返しのスタートコンディションまたはストップコンディションを検出すると、受信ステータスデスクリプターが受信ステータスバッファに格納されます。
- NRSQP レジスタを介して受信ステータスデスクリプターを読み出し、ステータスを確認します。  
MCU Ver.1 には以下の制約と回避策があります。MCU Ver.2 にはこの制約と回避策は不要です。  
データ長が合わない場合、RSTCTL.INTLRST ビットを 1 に設定して、それからモジュールの内部状態をリセットしてください。詳細は、「25.3.2.4.6. エラー復帰動作 [I3C モード] [MCU Ver1]」を参照してください。

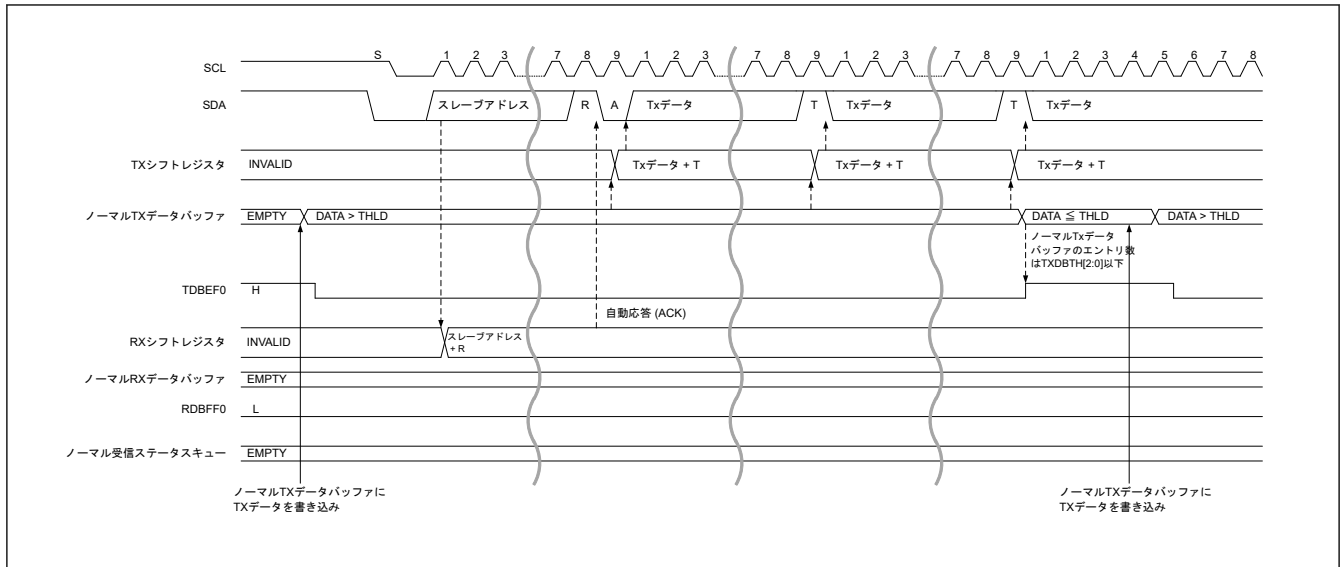


図 25.40 SDR データ読み出し転送タイミング (1/2)

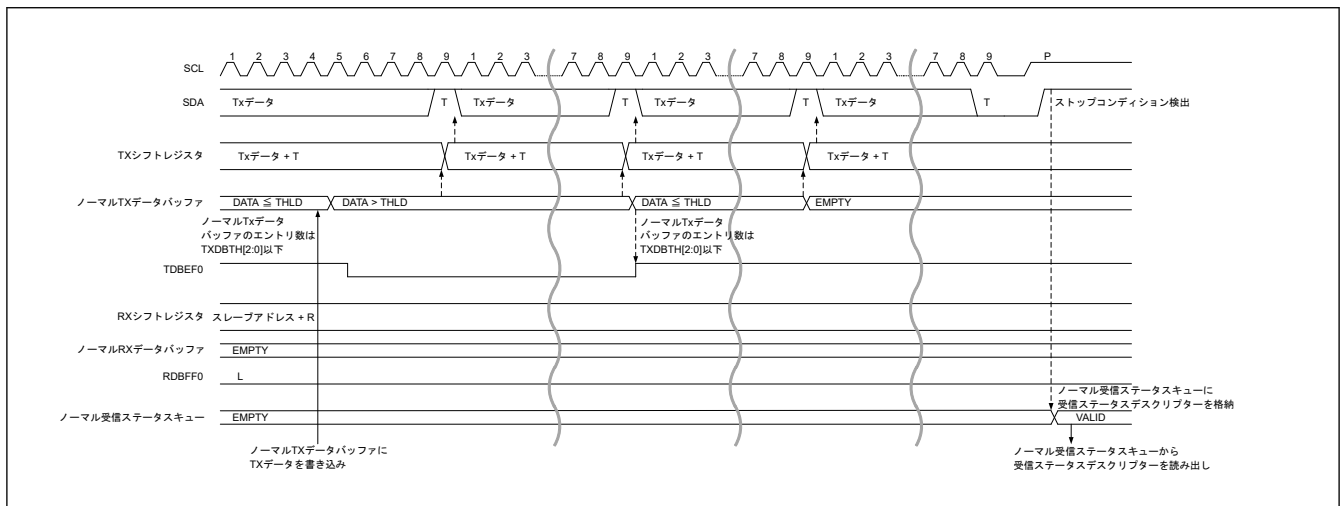


図 25.41 SDR データ読み出し転送タイミング (2/2)

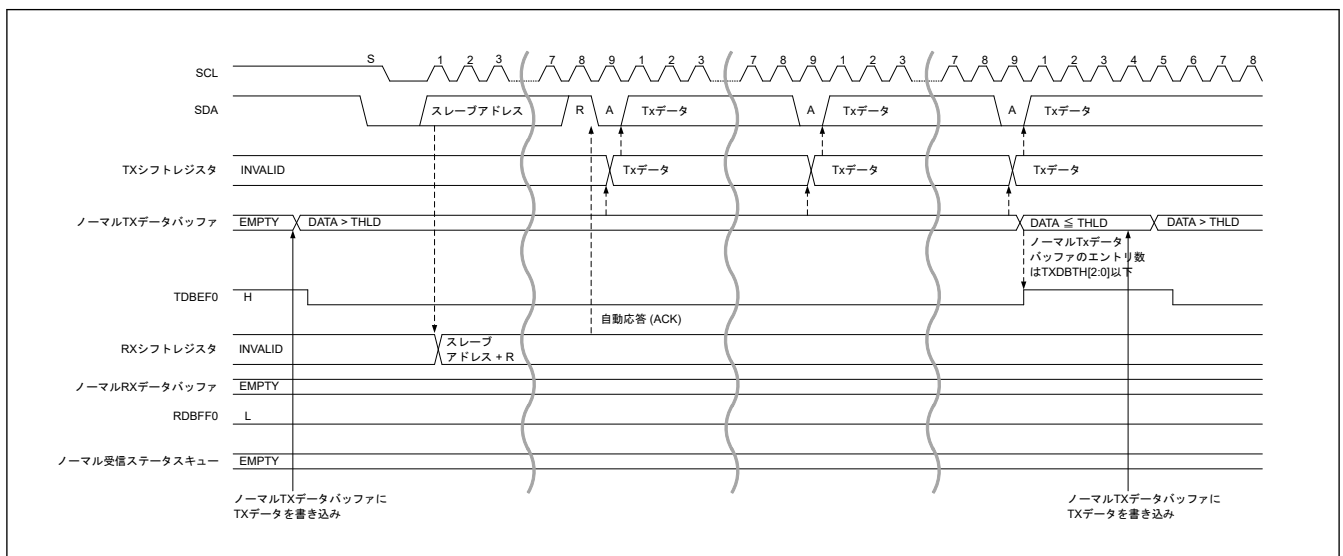


図 25.42 レガシー I2C メッセージデータ読み出し転送タイミング (1/2)



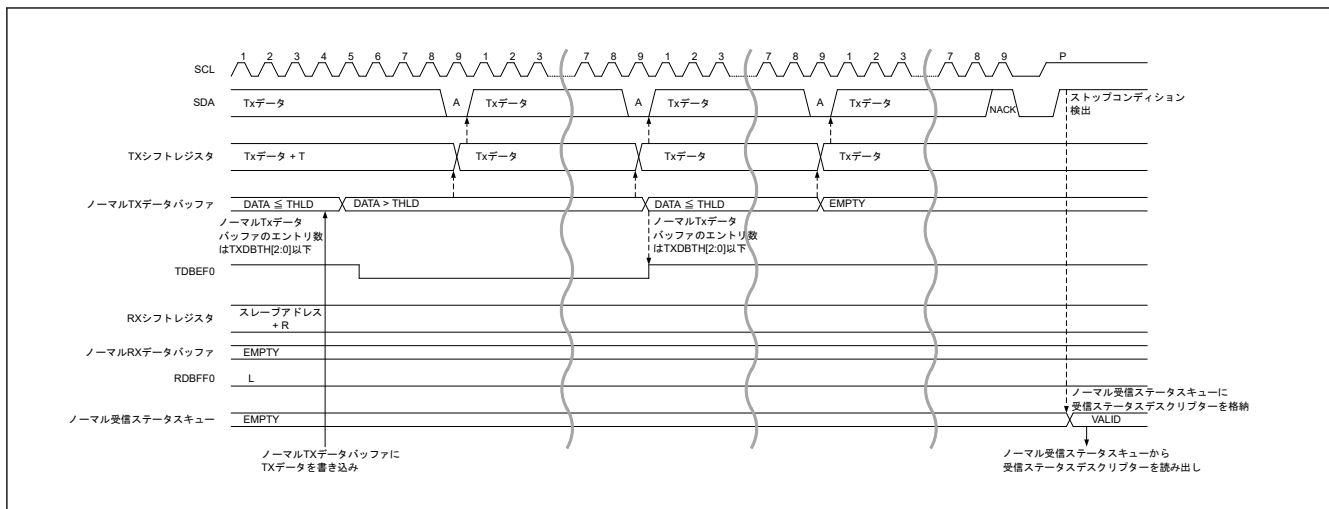


図 25.43 レガシー I<sup>2</sup>C メッセージデータ読み出し転送タイミング (2/2)

(d) IBI 転送

- スレーブ割り込み要求を送る場合  
IBI データを送信する場合、IBI データを NIBIQP レジスタを介して IBI データバッファに書き込みます。
- データ転送用のコマンドディスクリプタ（即時データ転送コマンド、または通常データ転送コマンド）を、NCMDQP レジスタを介して IBI 転送用のコマンドバッファに書き込みます。
- コマンドバッファにコマンドディスクリプタを書くと、以下の条件で IBI トランザクションが発行されます。
  - スタートコンディションの検出（繰り返しのスタートコンディションは対象外）
  - 以下のバスコンディションのなかでスタートが現れない場合、本モジュールは SDA ラインを Low にしてスタート要求を発行します。
  - (a) スレーブ割り込み要求、バス権要求：バス利用可能
  - (b) ホットジョインイベント：バスアイドル
- アドレスヘッダが RnW であるスレーブアドレスにおいて、I3C マスタからのトランザクション発行によりアービトレーションロストとなったとき、トランザクション発行を停止します。  
繰り返しのスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。
- スレーブ割り込み要求を送ったとき：
  - 送信用の IBI データがまだ残っているとき、IBI データを IBIQEFF = 1 による割り込みで NIBIQP レジスタを介して IBI データバッファに書き込みます。
  - コマンドディスクリプタの DATA\_LENGTH[15:0] ビットに指定したデータ長の数の IBI データの送信が完了したら、IBI データに続けて T ビットに Low が出力され、それが最終の IBI データであることを I3C マスタに通知します。
- 繰り返しのスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。
- NRSPQP レジスタでレスポンスバッファからレスポンスディスクリプタを読み出し、ステータスを確認します。NACK 応答の場合、手順 1~7 を再度行ってください。
- スレーブ割り込み要求を送ったとき：  
レスポンスディスクリプタの DATA\_LENGTH[15:0] ビットの値が 0 であることを確認します。

図 25.46 に、バス権処理のフローを示します。I3C バスの設定完了後にホットジョインで I3C バスにジョインするとき、図 25.118 に示すフローに従ってホットジョインを発行します。

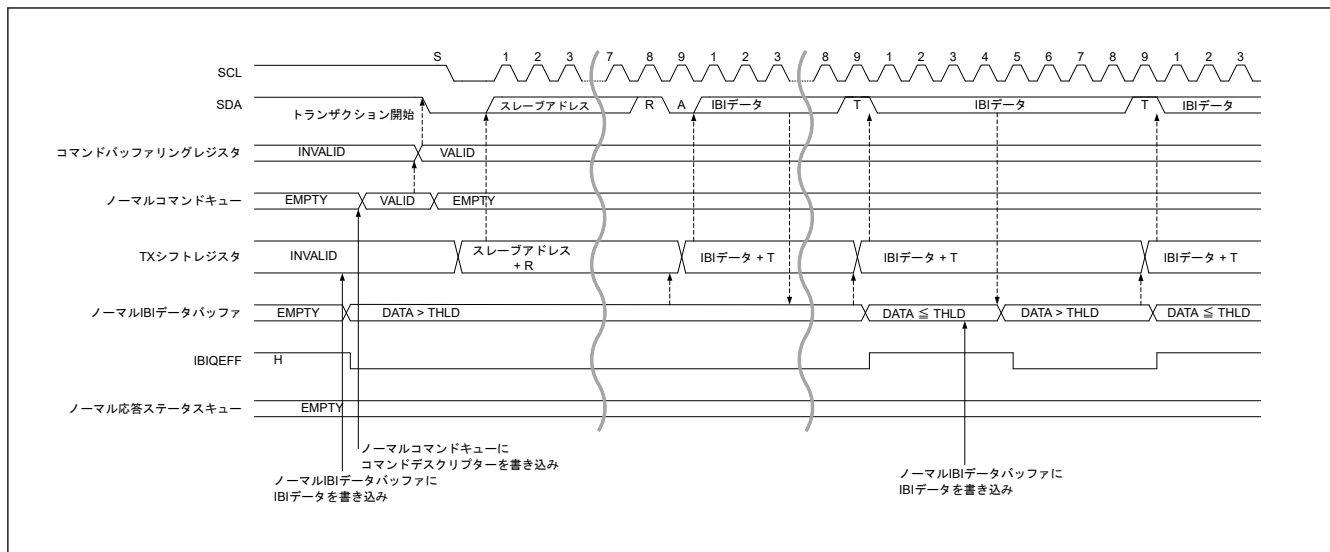


図 25.44 I3C スレーブ IBI 転送タイミング (1/2)

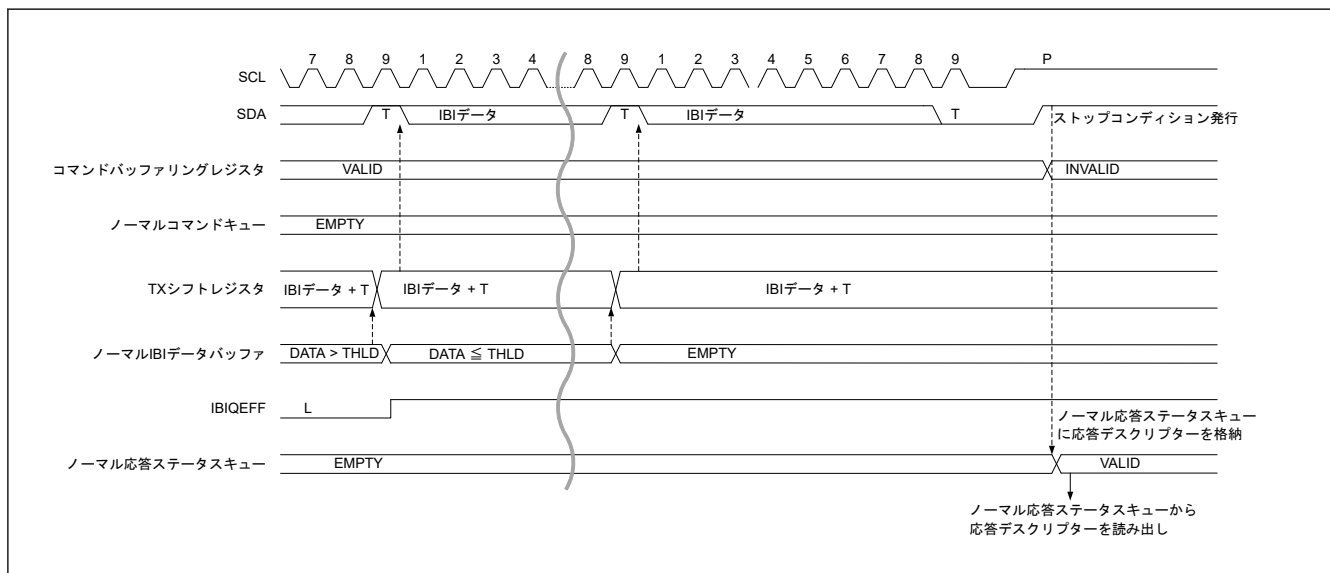


図 25.45 I3C スレーブ IBI 転送タイミング (2/2)

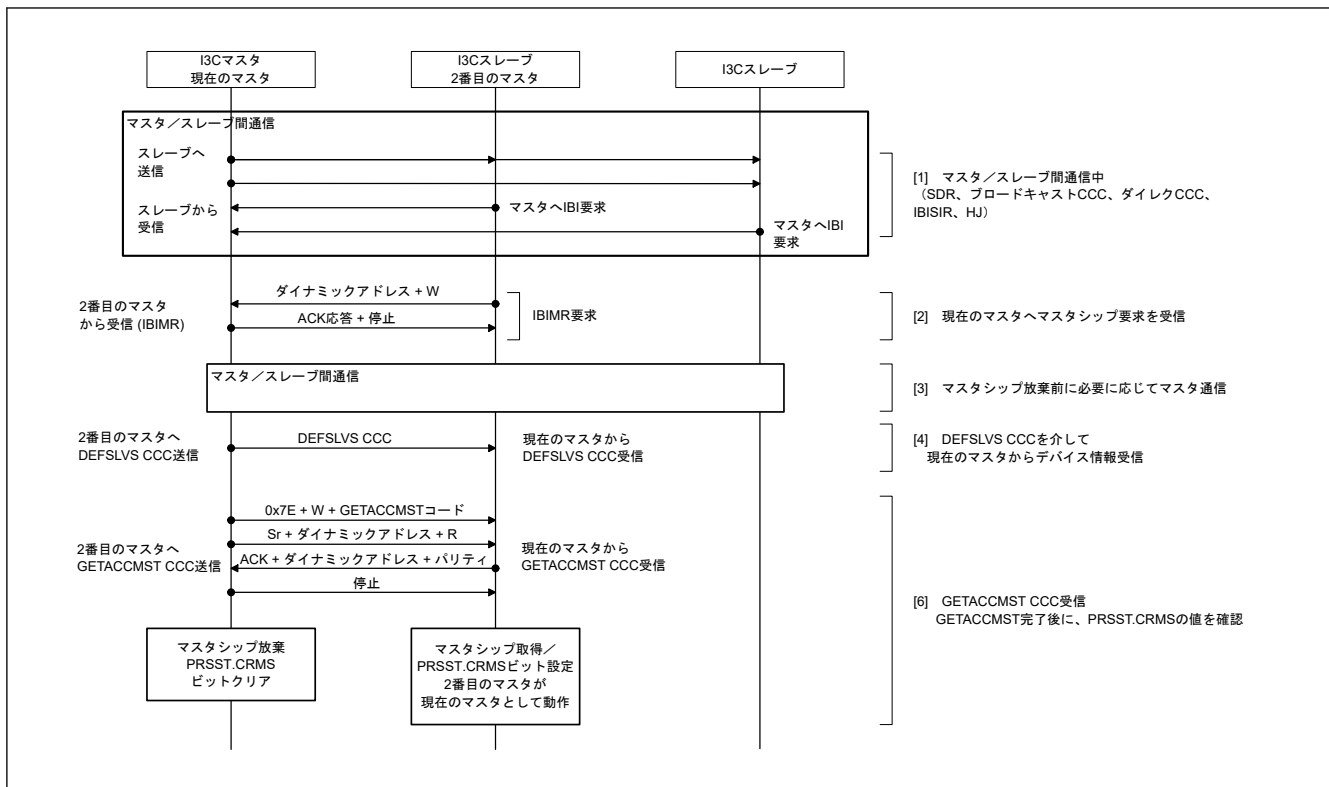


図 25.46 I3C スレーブバス権処理フロー

### 25.3.2.2 データハンドラ

表 25.10 に転送方法とキューの関係を示します。

表 25.10 転送方法とキュー

プロトコル	転送方法	キュー/バッファ	サイズ	マスタ	スレーブ	セカンダリマスタ
I2C モード	シングルバッファ転送	通常送信データ	1 バイト	✓	✓	—
		通常受信データ	1 バイト	✓	✓	—
I3C モード	通常 FIFO バッファ転送	通常コマンド	2 キュー	✓	✓	✓
		通常応答ステータス	2 キュー	✓	✓	✓
		通常送信データ	2 DWORD	✓	✓	✓
		通常受信データ	2 DWORD	✓	✓	✓
		通常受信ステータス	2 キュー	—	✓	✓
		通常 IBI ステータス	2 キュー	✓	—	✓
		通常 IBI データ	6 DWORD	✓	✓	✓

#### 25.3.2.2.1 I2C モードの転送方法

##### (1) シングルバッファ転送

各プロセス（コンディション発行、データ転送、ACK/NACK 応答）はソフトウェアでコントロールします。

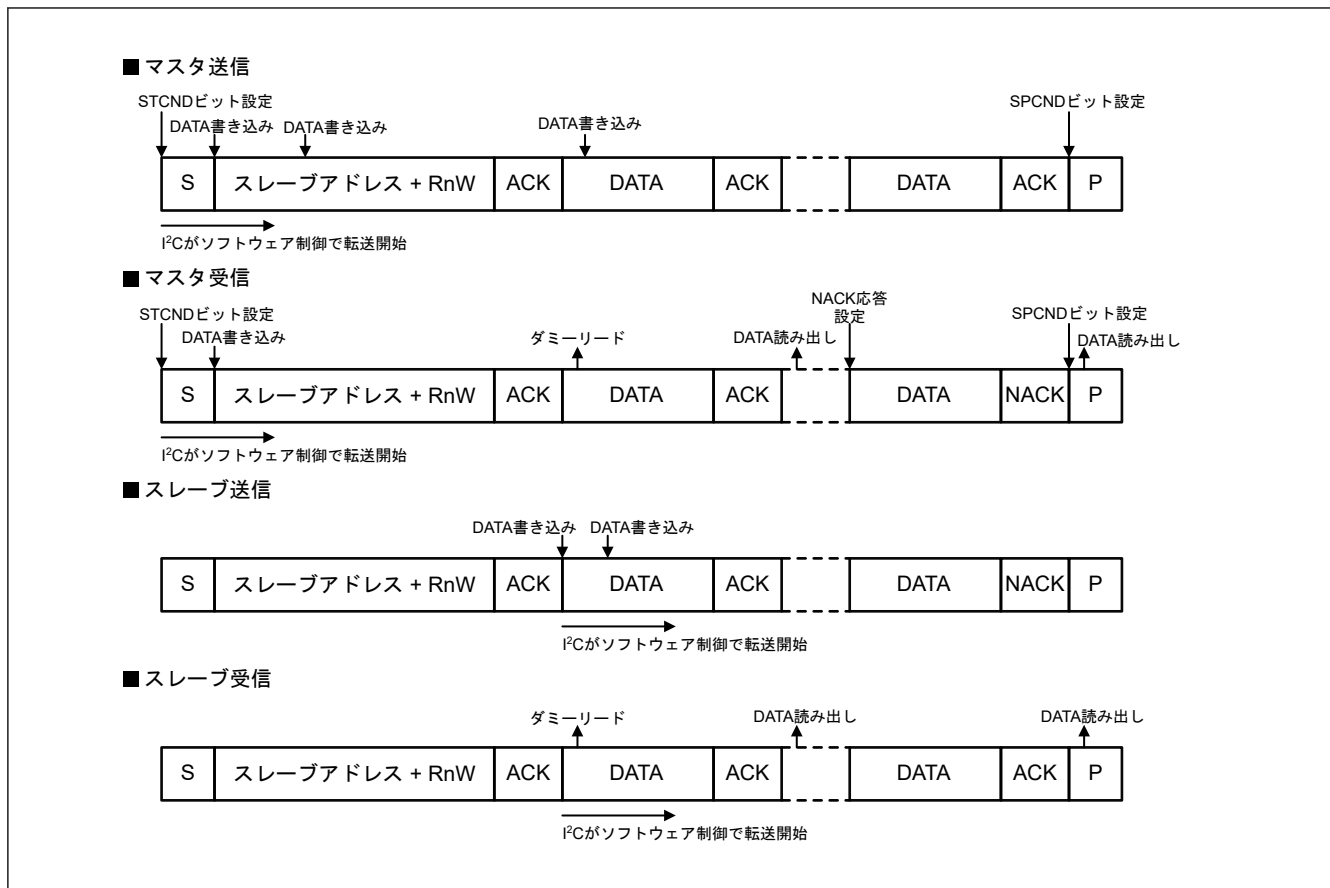


図 25.47 シングルバッファ転送のデータハンドラ

### 25.3.2.2.2 I3C モードの転送方法

#### (1) 通常 FIFO バッファ転送

データとコマンドが書き込まれると、I3C は自律的に転送を開始します。

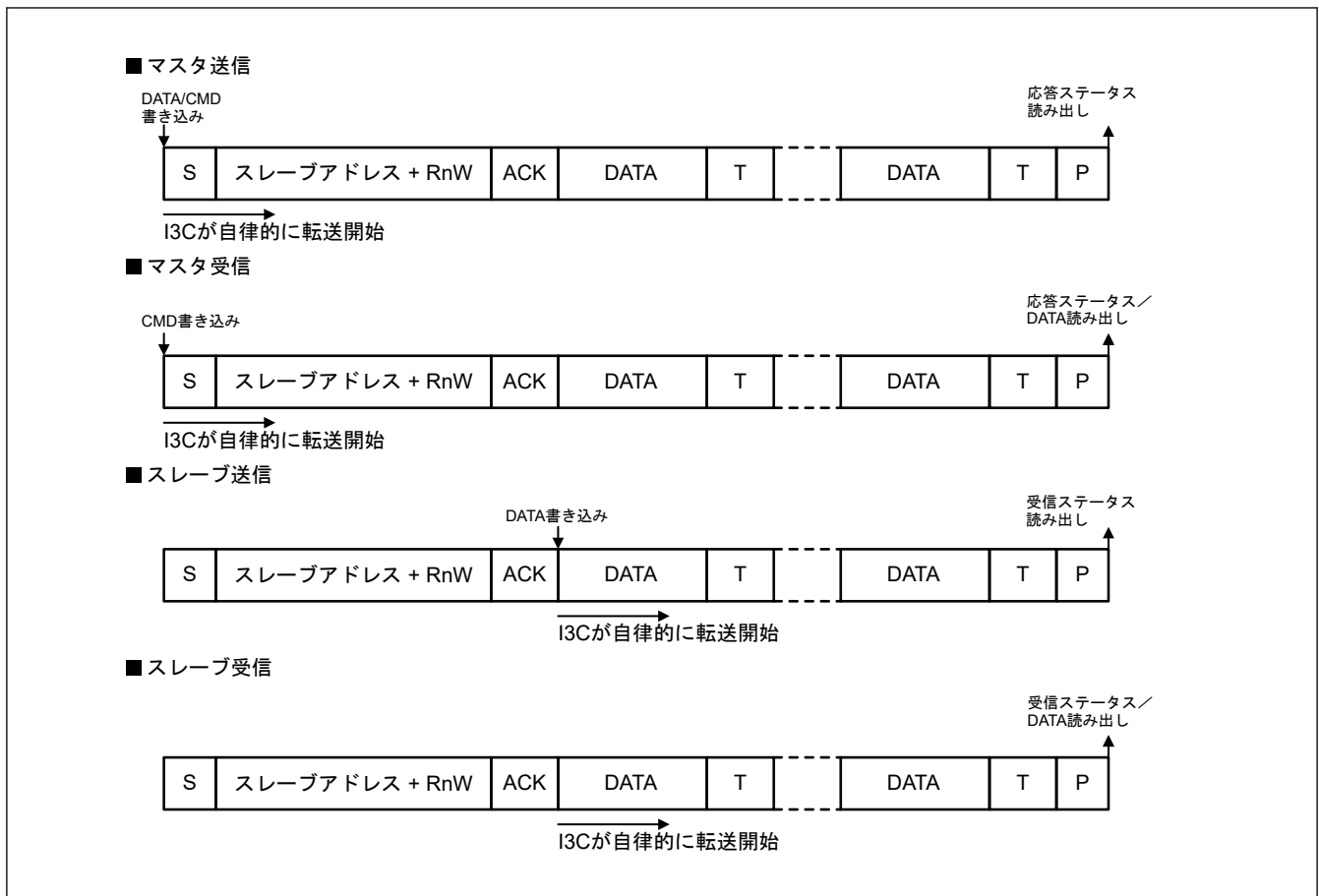


図 25.48 通常 FIFO バッファ転送のデータハンドラ

### 25.3.2.3 I<sup>2</sup>C/I3C プロトコル

#### 25.3.2.3.1 通信プロトコル

##### (1) I<sup>2</sup>C 通信データフォーマット

I<sup>2</sup>C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたは繰り返しのスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 25.49 に I<sup>2</sup>C バスフォーマットを、図 25.50 に I<sup>2</sup>C バスタイミングを示します。

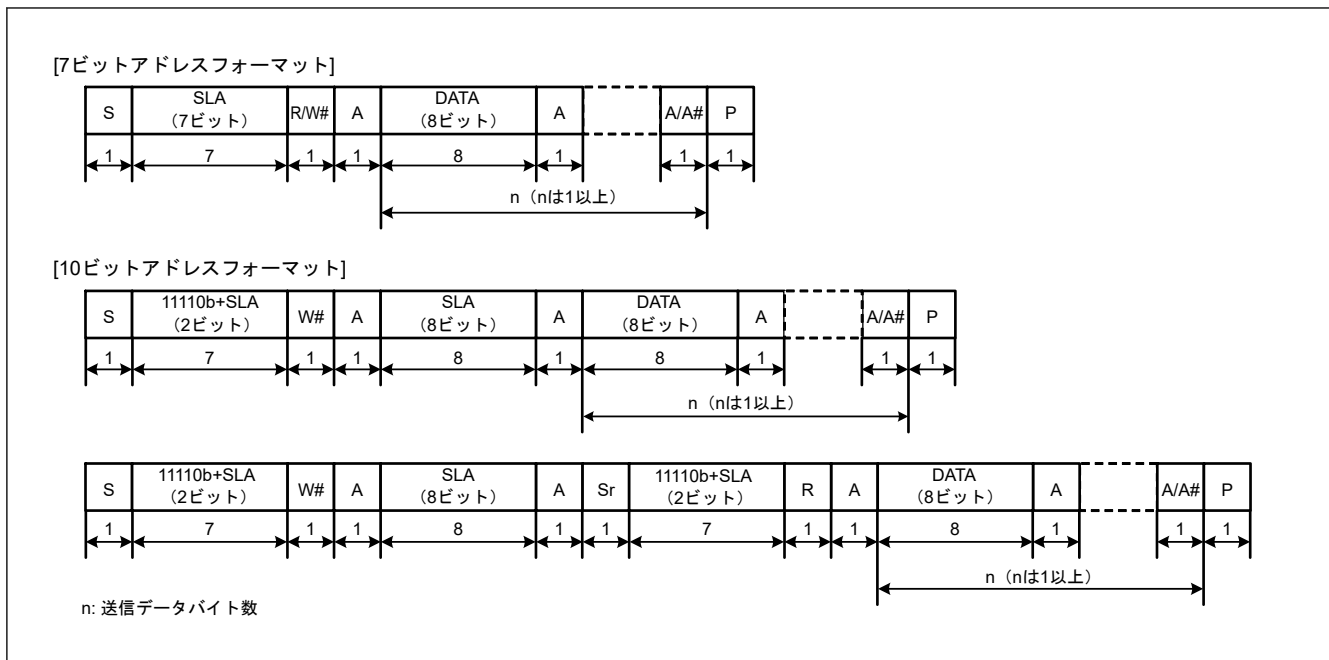


図 25.49 I2C バスフォーマット

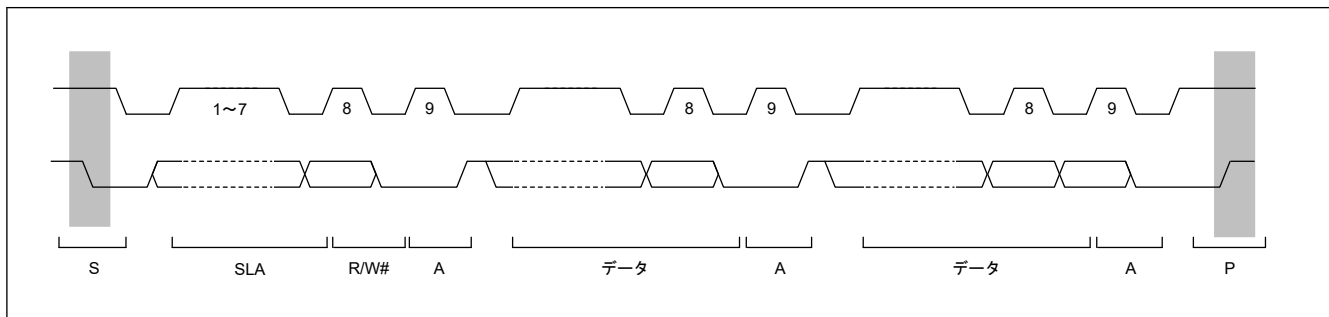


図 25.50 I2C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを表します。SCLn ラインが High の状態で、マスタデバイスが SDA<sub>n</sub> ラインを High から Low に変化させます。
- SLA: スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。
- R/W#: データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。
- A: アクノリッジを表します。受信デバイスが SDA<sub>n</sub> ラインを Low にします。(マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。)
- A#: ノットアクノリッジを表します。受信デバイスが SDA<sub>n</sub> ラインを High にします。
- Sr: 繰り返しのスタートコンディションを表します。SCLn ラインが High の状態でセットアップ時間経過後に、マスタデバイスが SDA<sub>n</sub> ラインを High から Low に変化させます。
- DATA: 送信データまたは受信データを表します。
- P: ストップコンディションを表します。SCLn ラインが High の状態で、マスタデバイスが SDA<sub>n</sub> ラインを Low から High に変化させます。

(2) I3C 通信データフォーマット

図 25.51 から 図 25.54 の各図は 6 種類の I3C プロトコルそれぞれの標準的な通信を説明するものです。これらの図だけでは I3C で実行できるすべての通信を説明できませんが、各 I3C プロトコルで使う信号と送信フォーマットに関する便利な入門編としてご利用いただけます。

図 25.51 に、ブロードキャスト (0x7E) を含む I3C シングルデータレート (SDR) コーディングを使用した通信の例を示します。これは、SDR モードでアドレス 0x2B のスレーブから 1 バイトのデータをマスタが読み出す事例です。バスフリー条件から SCL ラインを High に保った状態で SDA ラインを Low にして、マスタはスタートコン

ディションを発行します。そして、ブロードキャストアドレス (0x7E)、続けて RnW (0 : 書き込み方向) を発行します。それから、マスタはプルアップ抵抗を On にして、オープンドレインになります。

これによりすべてのスレーブが SDA ラインを Low にすることによりアクノリッジを発行できるようになります。(この図で、ピンク色の網掛けは、このとき SDA ラインがスレーブ側のコントロール下にあることを意味しています。) マスタは繰り返しのスタートコンディションを発行した後、読み出すスレーブのアドレス (0x2B) とそれに続く RnW (1 : 読み出し方向) を発行します。マスタはそれからプルアップ抵抗を On にし、オープンドレインになります。それにより、スレーブは SDA ラインを Low にしてアクノリッジを発行できます。この時点で、マスタは SCL ラインをトグルし続け、SDA ラインを開放します。これにより、スレーブが SDA ラインを駆動して 1 バイト分のデータ (0x4A)、続けて T を送ります。マスタに対して T=1 は続きのデータがあることを、T=0 はデータが終わりであることを通知します。ここで、追加のデータがある場合、スレーブは SCL が High になって SDA が解放されるまで SDA を High にします。マスタには、弱いプルアップで SDA を High に保つオプションがあり、これによりマスタはさらに送信されるデータのバイトを受信できることをスレーブに対して知らせます。もう一つのオプションは、(SCL が High、繰り返しのスタートコンディションの状態) SDA を Low にプルして、スレーブに対してマスタが読み出しを終了しコントロールを取り返したことを知らせます。

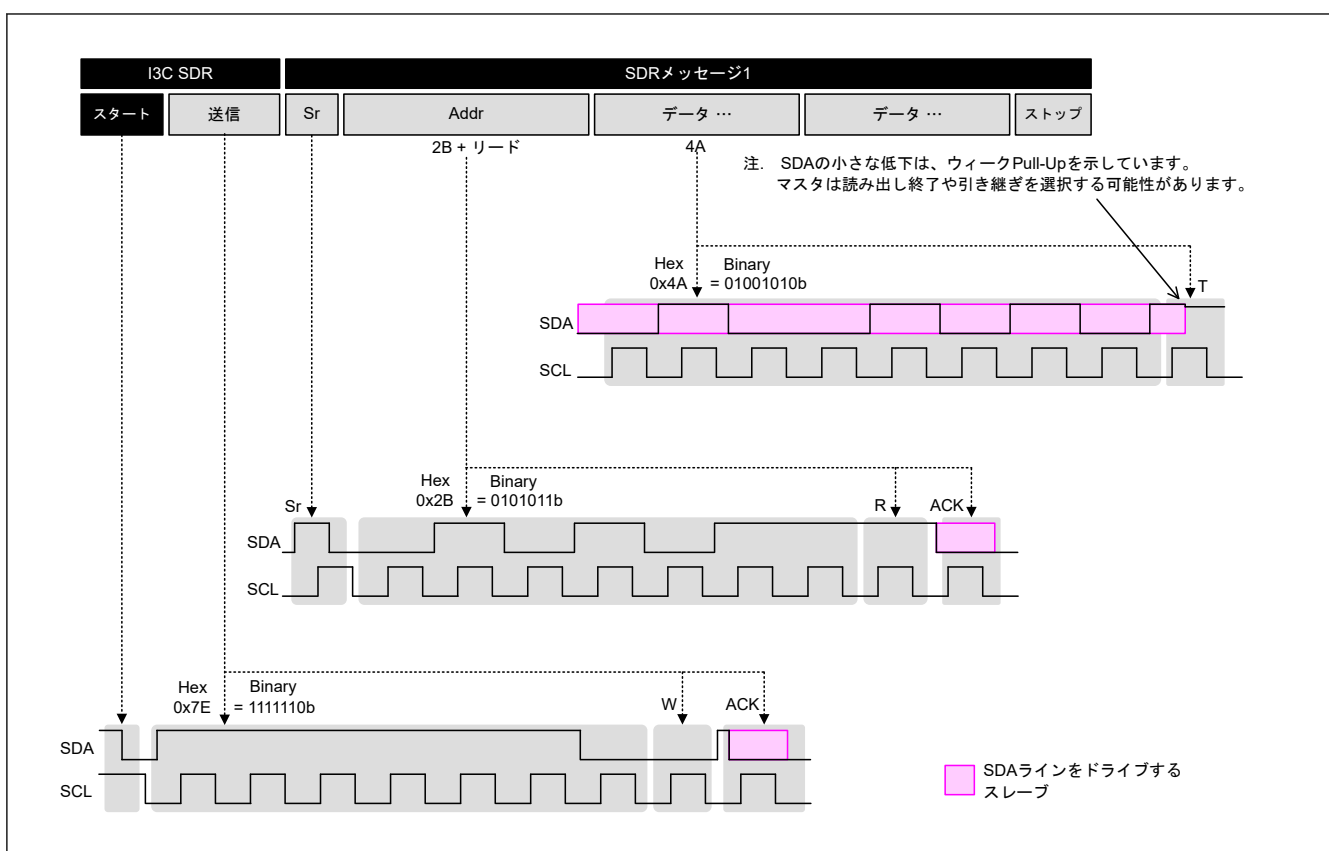


図 25.51 ブロードキャスト (0x7E) を含む I3C SDR コーディングを使用した通信の例

図 25.52 に、ブロードキャスト (0x7E) を含まない I3C シングルデータレート (SDR) コーディングを使用した通信の例を示します。これは、SDR モードでアドレス 0x2B のスレーブから 1 バイトのデータをマスタが読み出す事例です。バスフリー条件から、マスタはスタートコンディションを発行し、そして読み出しをしたいスレーブのアドレス (0x2B)、続けて RnW (1 : 読み出し方向) を発行します。

マスタはそれからプルアップ抵抗を On にし、オープンドレインになります。それにより、スレーブは SDA ラインを Low にしてアクノリッジを発行できます。この時点で、マスタは SCL ラインをトグルし続け、SDA ラインを開放します。これにより、スレーブが SDA ラインを駆動して 1 バイト分のデータ (0x4A)、続けて T を送ります。マスタに対して T=1 は続きのデータがあることを、T=0 はデータが終わりであることを通知します。ここで、追加のデータがある場合、スレーブは SCL が High になって SDA が解放されるまで SDA を High にします。マスタには、弱いプルアップで SDA を High に保つオプションがあり、これによりマスタはさらに送信されるデータのバイトを受信できることをスレーブに対して知らせます。もう一つのオプションは、(SCL が High、繰り返しのスタートコンディションの状態) SDA を Low にプルして、スレーブに対してマスタが読み出しを終了しコントロールを取り返したことを知らせます。

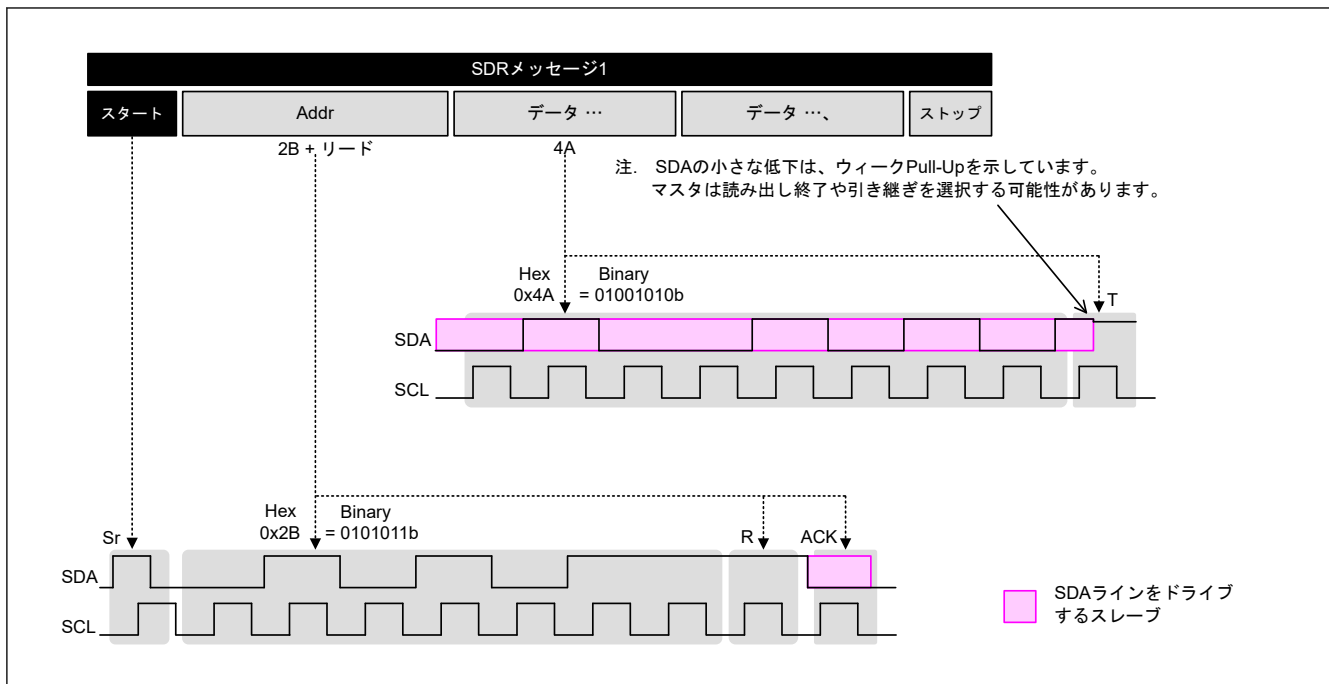


図 25.52 ブロードキャスト (0x7E) を含まない I3C SDR コーディングを使用した通信の例

図 25.53 に、マスタが CCC ダイレクトコマンドを一つのスレーブに対して発行する例を示します。この特別なコマンド (GETPID) は、スレーブの暫定 ID を読み出します。

バスフリー条件から SCL ラインを High に保った状態で SDA ラインを Low にして、マスタはスタートコンディションを発行します。そして、ブロードキャストアドレス (0x7E)、続けて RnW (0 : 書き込み方向) を発行します。それから、マスタはプルアップ抵抗を On にして、オープンドレインになります。これによりすべてのスレーブが SDA ラインを Low にすることによりアクノリッジを発行できるようになります。(この図で、ピンク色の網掛けは、このとき SDA ラインがスレーブ側のコントロール下にあることを意味しています。) 次に、マスタはダイレクト共通コマンドコード GETPID (0x8C) とそれに続くパリティビット T (0x8C の奇数パリティ=0) を発行した後、スレーブの 7 ビットダイナミックアドレス (任意に選択、ここでは 0x2B) と RnW ビット (1 : 読み出し方向) を発行します。その結果、マスタはプルアップ抵抗を On にし、オープンドレインになります。これにより、アドレス 0x2B のスレーブは SDA ラインを Low にすることで ACK を発行できるようになり、スレーブがコマンドをアクノリッジして、これに従うことをマスタに通知します。(その代わりに、スレーブは SDA を Low にしないことで NACK を発行できます。これによりスレーブがコマンドに従わないことをマスタに通知します。この場合ではエラーが発生します。) ACK に続いて、スレーブはその 48 ビット PID を一度に 1 バイト出力した後、マスタは繰り返しのスタートコンディションを発行します (この部分の波形シーケンスは図に示されていません)。



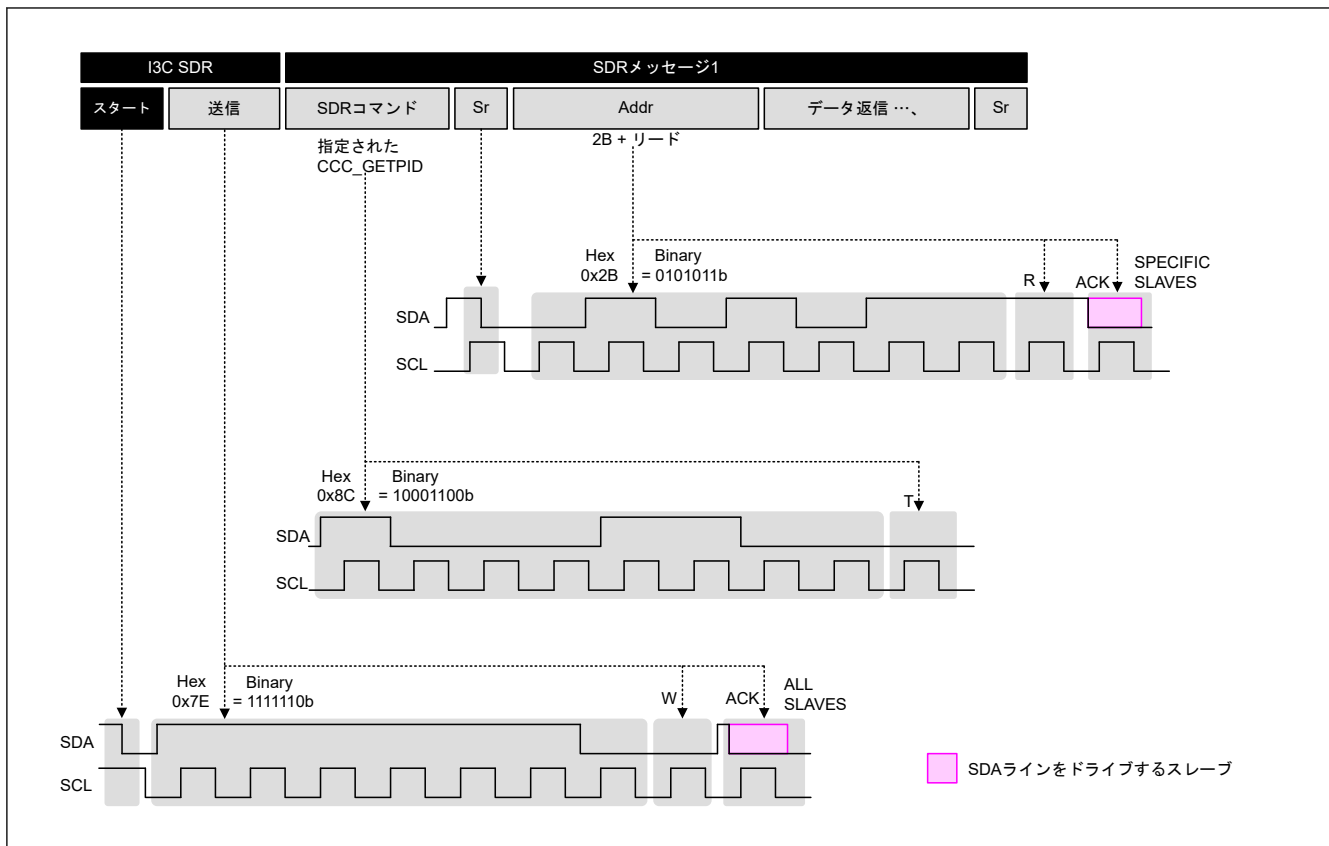


図 25.53 CCC ダイレクトアドレッシングを含む I3C SDR コーディングを使用した通信の例

図 25.54 に、CCC ブロードキャストコマンドを含む SDR 通信の例を示します。この例で使用するコマンドは、スレーブの最大読み出し長を 43 バイト (0x002B) に設定します。

バスフリー条件から SCL ラインを High に保った状態で SDA ラインを Low にして、マスタはスタートコンディションを発行します。そして、ブロードキャストアドレス (0x7E)、続けて RnW (0 : 書き込み方向) を発行します。それから、マスタはプルアップ抵抗を On にして、オープンドレインになります。これによりすべてのスレーブが SDA ラインを Low にすることによりアクノリッジを発行できるようになります。(この図で、ピンク色の網掛けは、このとき SDA ラインがスレーブ側のコントロール下にあることを意味しています。) 次に、マスタはブロードキャスト共通コマンドコード SETMRL (0x09) とそれに続くパリティビット T (0x09 の奇数パリティ = 1) を発行した後、スレーブから 1 回の読み出しで読み出し可能な最大バイト数を定義するスレーブの 2 つのデータバイト (MSB ファースト) を発行します。各データバイトには、T ビット (パリティビット、奇数パリティ) が続きます。この後、マスタは繰り返しのスタートコンディションを発行します。

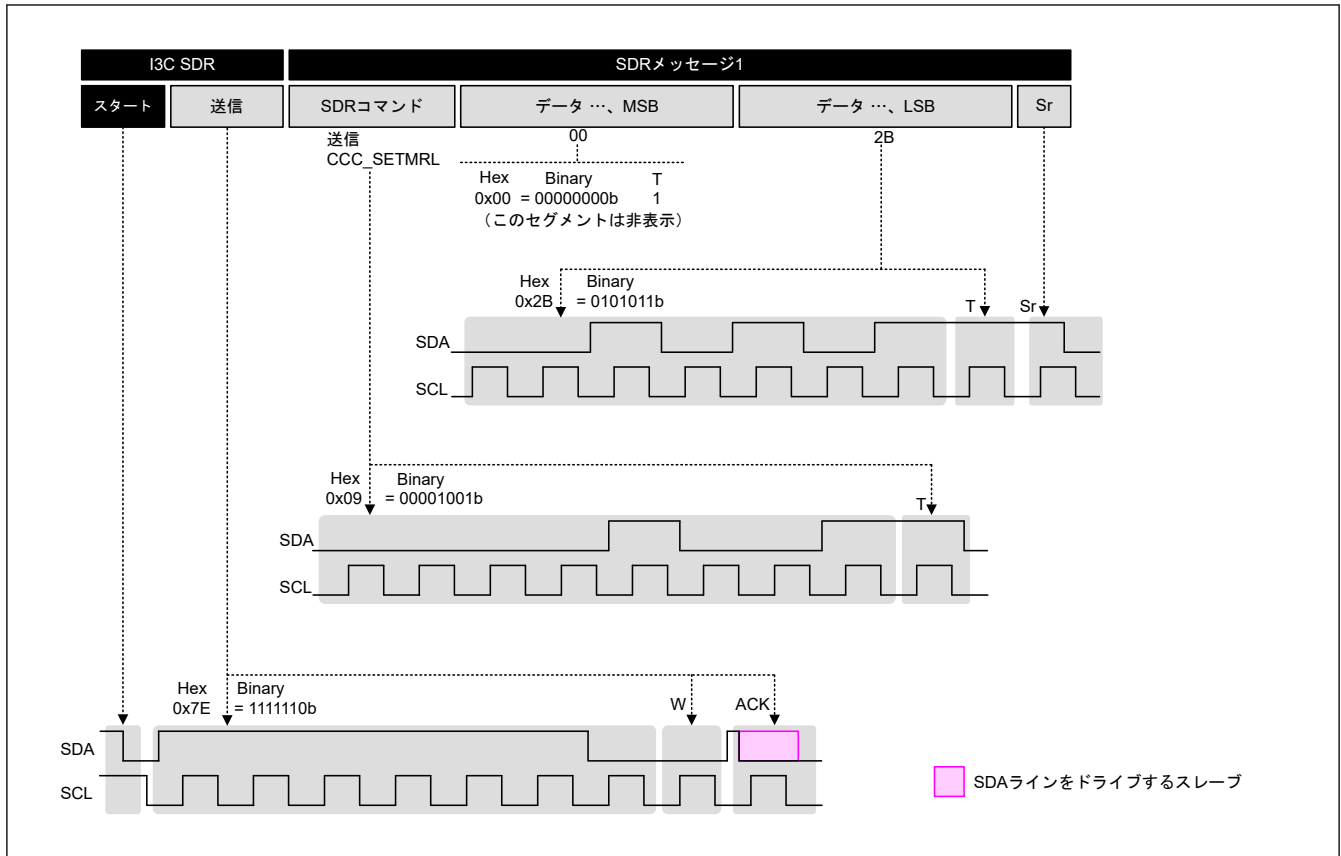


図 25.54 CCC ブロードキャストを含む I3C SDR コーディングを使用した通信の例

### 25.3.2.3.2 バス状態

I3C では、I3C バスを非アクティブであるとみなす 3 つの識別状態を定義します。バスフリー状態、バス利用可能状態、バスアイドル状態 (図 25.55 参照) です。

#### (1) バスフリー状態

少なくとも `BFRECDT.FRECYC[8:0]` ビットに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

#### (2) バス利用可能状態 [I3C モード]

少なくとも `BAVLCDT.AVLCYC[8:0]` ビットに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

スレーブは、バス利用可能状態の後、(例えば、In-band 割り込みまたはマスタ移管要求のため) スタート要求のみを発行できます。

#### (3) バスアイドル状態 [I3C モード]

少なくとも `BIDLCDT.IDLCYC[17:0]` ビットに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

スレーブは、バスアイドル状態の後、(例えば、ホットジョインのため) スタート要求のみを発行できます。

仕様は以下のとおりです。IDLE が最大である必要があります。

$$\text{BFRECDT.FRECYC}[8:0] < \text{BAVLCDT.AVLCYC}[8:0] < \text{BIDLCDT.IDLCYC}[17:0]$$

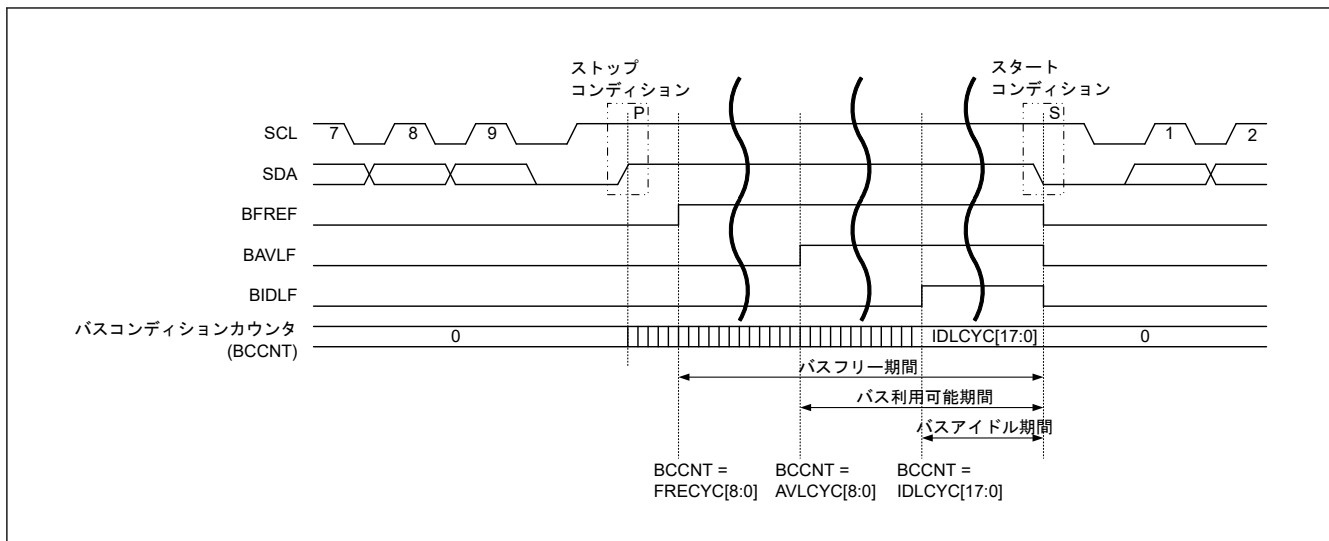


図 25.55 バス状態

### 25.3.2.3.3 スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能

#### (1) スタートコンディション発行動作

I3C は、CNDCTL.STCND ビットが 1 のときにスタートコンディションを発行します。

STCND ビットは、BCST.BFREF フラグが 1 (バスフリー状態) のとき、1 (スタートコンディション発行要求) にしてください。

I3C はスタートコンディションを発行します。

スタートコンディションが正常に発行された場合、I3C は自動的にマスタ送信モードへ遷移します。スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- SDA<sub>n</sub> ラインを立ち下げる (High から Low に遷移)。
- STDBR.SBRHO[7:0] で設定した時間とスタートコンディションのホールド時間を確保する。
- SCL<sub>n</sub> ラインを立ち下げる (High から Low に遷移)。
- SCL<sub>n</sub> ラインの Low を検出し、STDBR.SBRLO[7:0] で設定した SCL<sub>n</sub> ラインの Low 幅を確保する。

#### (2) 繰り返しのスタートコンディション発行動作

I3C は、CNDCTL.SRCND ビットが 1 のときに繰り返しのスタートコンディションを発行します。

SRCND ビットを 1 にすると、繰り返しのスタートコンディション発行要求が行われ、BCST.BFREF フラグが 0 (バスビジー状態) で、かつ PRSST.CRMS ビットが 1 (マスタモード) の場合、I3C は繰り返しのスタートコンディションを発行します。

繰り返しのスタートコンディションの発行は、以下のシーケンスに従って行われます。

[繰り返しのスタートコンディション発行動作]

- SDA<sub>n</sub> ラインを解放する。
- STDBR.SBRLO[7:0] で設定した SCL<sub>n</sub> ラインの Low 幅が経過したことを確認する。
- SCL<sub>n</sub> ラインを解放する (Low から High に遷移)。
- SCL<sub>n</sub> ラインの High を検出し、STDBR.SBRLO[7:0] で設定した時間と繰り返しのスタートコンディションのセットアップ時間を確保する。
- SDA<sub>n</sub> ラインを立ち下げる (High から Low に遷移)。
- STDBR.SBRHO[7:0] で設定した時間と繰り返しのスタートコンディションのホールド時間を確保する。

- SCLn ラインを立ち下げる (High から Low に遷移)。
- SCLn ラインの Low を検出し、STDBR.SBRLO[7:0]で設定した SCLn ラインの Low 幅を確保する。

注. 繰り返しのスタートコンディション要求の発行時、CNDCTL.SRCND が 0 であることを確認してから、NTDTBP0 レジスタにスレーブアドレスを書いてください。CNDCTL.SRCND が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

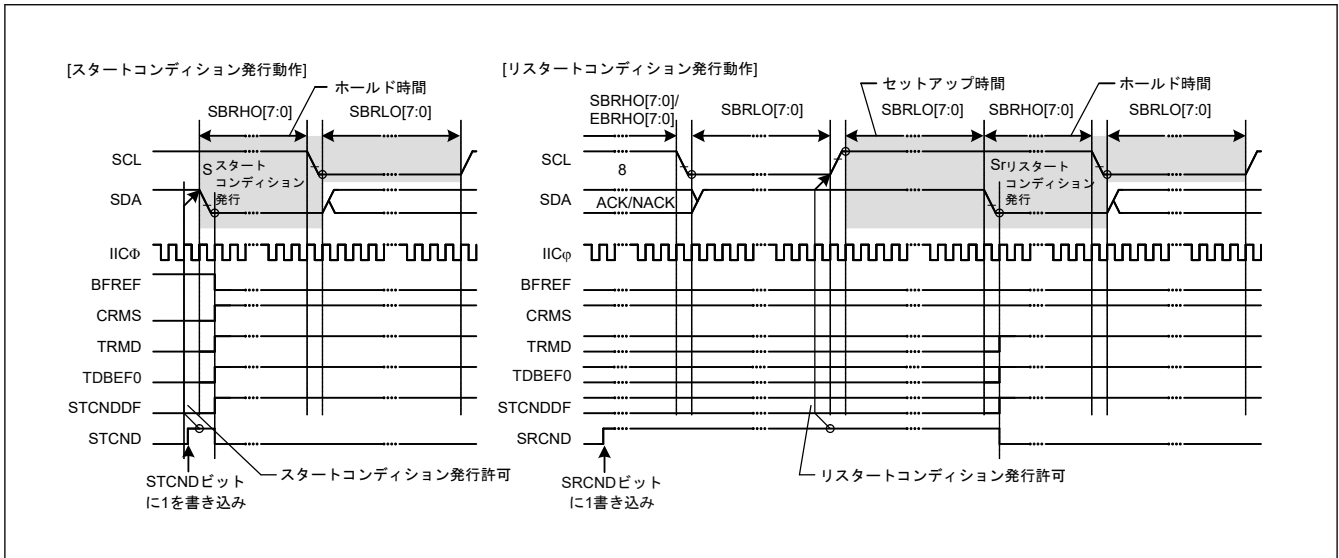


図 25.56 スタートコンディション/繰り返しのスタートコンディション発行動作タイミング (STCND、SRCND ビット)

図 25.57 に、マスタ送信後に繰り返しのスタートコンディションが発行されたときの動作タイミングを示します。  
[マスタ送信後の繰り返しのスタートコンディション発行動作]

- 初期設定。詳細は、「25.3.3.1. 初期設定フロー」を参照してください。
- BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットに 1 を書き込みます (スタートコンディション発行要求)。I3C はこの要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力状態の内部レベルと SDA<sub>n</sub> ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正常に完了したことを認識し、PRSSST.CRMS、PRSSST.TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
- NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ (スレーブアドレスと R/W#ビット) を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、NTDTBP0 レジスタからデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であった場合、I3C はマスタ送信モードを継続します。このとき BST.NACKDF フラグが 1 であるため、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0、スレーブアドレスの上位 2 ビット、および W を書き込みます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、繰り返しのスタートコンディションを発行するまで、またはストップコンディションを発行するまでの間、I3C は自動的に SCLn ラインを Low にホールドします。
- 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 に戻るのを待ってから、BST.STCNDDF フラグが 1 であることを確認した後、BST.STCNDDF フラグを 0 にしてください。

- CNDCTL.SRCND ビットを 1 (繰り返しのスタートコンディション発行要求) にします。I3C は繰り返しのスタートコンディション発行要求を受け付けると、繰り返しのスタートコンディションを発行します。
- BST.STCNDDF フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ (スレーブアドレスと R/W#ビット) を書いてください。

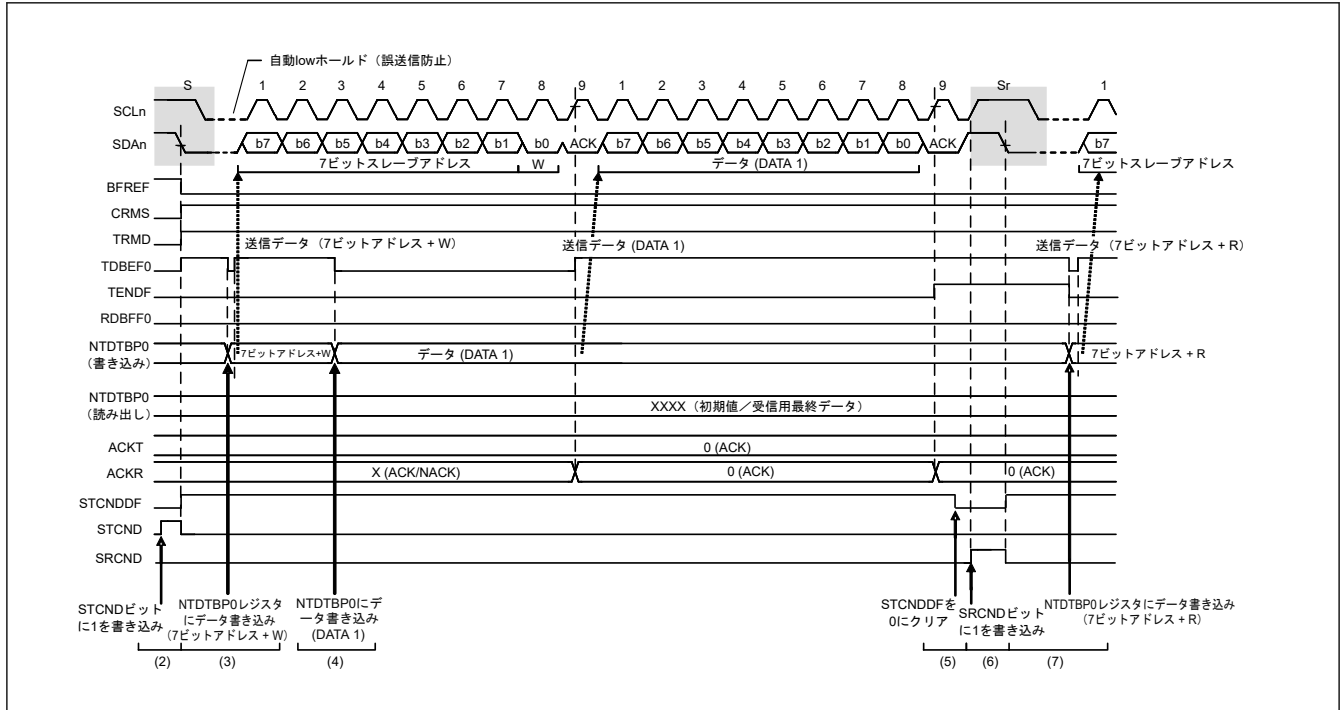


図 25.57 マスタ送信後の繰り返しのスタートコンディション発行タイミング

### (3) ストップコンディション発行動作

I3C は、CNDCTL.SPCND ビットが 1 のときにストップコンディションを発行します。

SPCND ビットを 1 にすると、ストップコンディション発行要求が行われ、BCST.BFREF フラグが 0 (バスビジー状態) で、かつ PRSST.MST ビットが 1 (マスタモード) の場合、I3C はストップコンディションを発行します。ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDA\_n ラインを立ち下げる (High から Low に遷移)。
- STDBR.SBRLO[7:0]で設定した SCLn ラインの Low 幅が経過したことを確認する。
- SCLn ラインを解放する (Low から High に遷移)。
- SCLn ラインの High を検出し、STDBR.SBRHO[7:0]で設定した時間とストップコンディションのセットアップ時間を確保する。
- SDA\_n ラインを解放する (Low から High に遷移)。
- STDBR.SBRLO[7:0]で設定した時間とバスフリー時間を確保する。
- BFREF フラグを 1 にしてバス権を解放する。

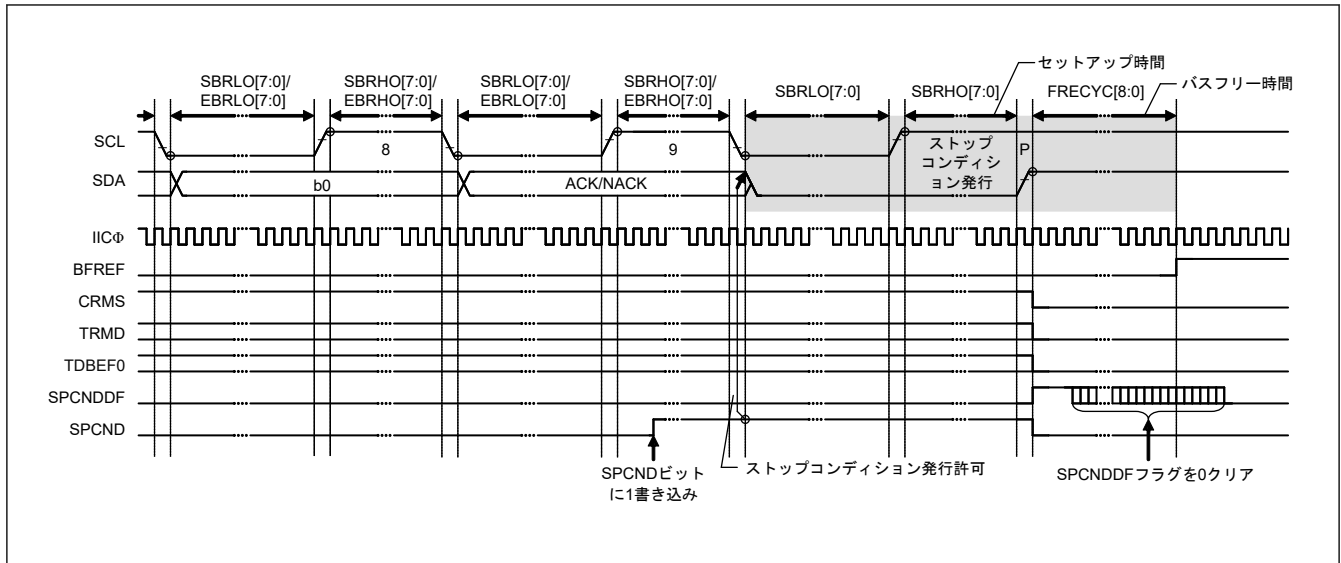


図 25.58 ストップコンディション発行タイミング (SPCND ビット)

### 25.3.2.3.4 アドレス一致検出機能

I3C は、ジェネラルコールアドレスとホストアドレスに加えて 3 つの固有のスレーブアドレスを設定でき、また 7 ビットまたは 10 ビットスレーブアドレスを設定することもできます。

#### (1) スレーブアドレス一致検出機能 [I<sup>2</sup>C モード]

I3C は、3 つの固有のスレーブアドレスを設定でき、それぞれに対してスレーブアドレス検出機能を備えています。

SVCTL.SVAEy ビット ( $y=0$ ) が 1 のとき、SVDVADy レジスタ ( $y=0$ ) に設定されたスレーブアドレスを検出できます。

I3C は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.SVAFy フラグ ( $y=0$ ) を 1 にし、続く R/W# ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これによって、受信データフル割り込み (I3Cn\_RX) または送信データエンpty 割り込み (I3Cn\_TX) が発生します。SVAFy フラグを確認することで、どのスレーブアドレスが指定されたかを識別できます。

図 25.59 と 図 25.60 に SVAFy フラグが 1 になるタイミングを 2 つのケースで示します。

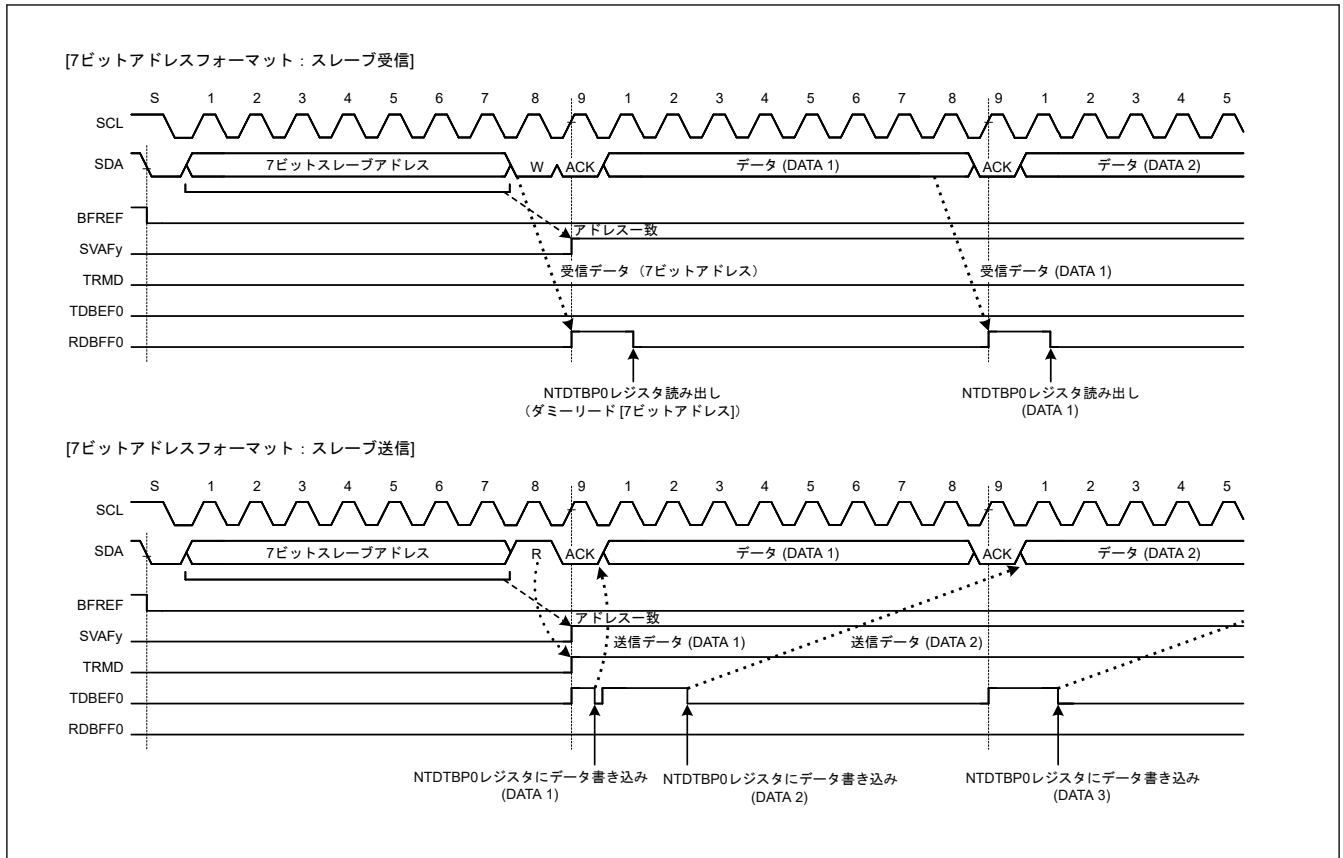


図 25.59 SVAfy フラグが 1 になるタイミング (7 ビットアドレスフォーマット選択時)

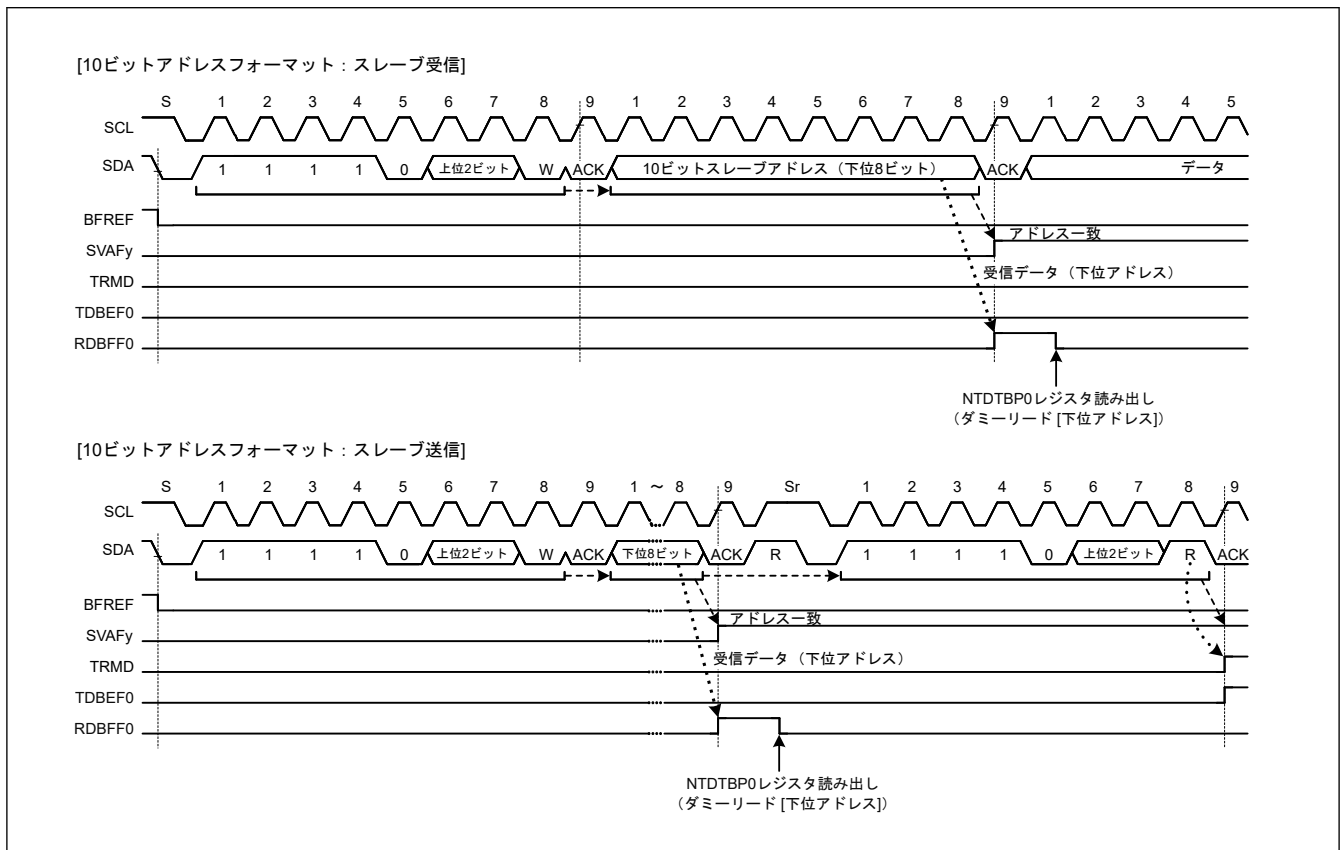


図 25.60 SVAfy フラグが 1 になるタイミング (10 ビットアドレスフォーマット選択時)

## (2) ジェネラルコールアドレス検出機能 [I<sup>2</sup>C モード]

I3C は、ジェネラルコールアドレス (0000 000 + 0[W]) の検出機能を備えています。この機能は、SVCTL.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたは繰り返しのスタートコンディション発行後に受信したアドレスが 0000 000 + 1[R] (開始バイト) の場合は、I3C はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスとして認識しません。

I3C がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりエッジで SVST.GCAF フラグと NTST.RDBFF0 フラグの両方が 1 になります。これによって、受信データフル割り込み (I3Cn\_RX) が発生します。GCAF フラグを確認することで、ジェネラルコールアドレスが送信されたことを認識できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

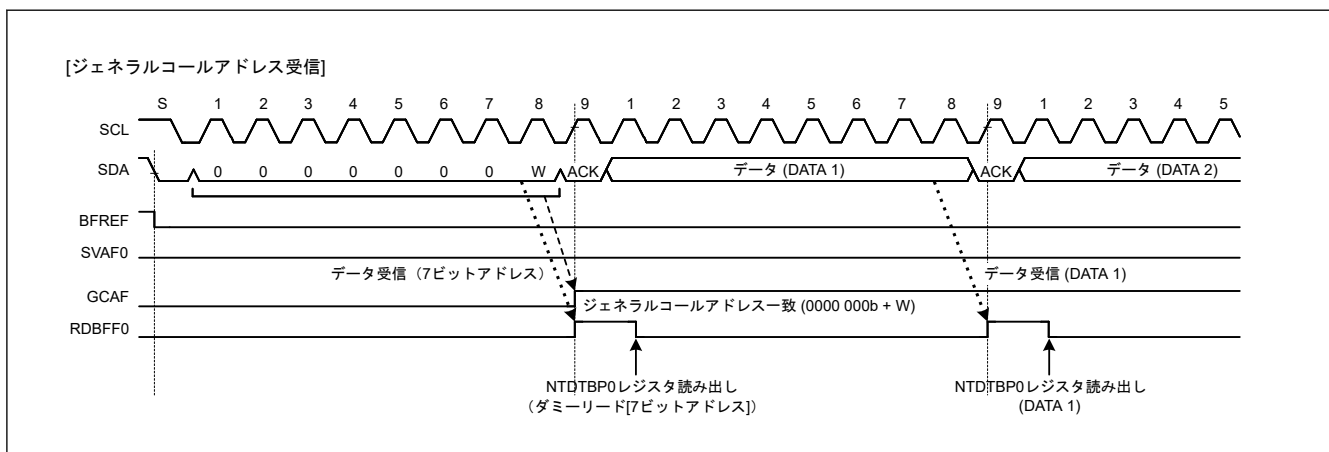


図 25.61 ジェネラルコールアドレス受信時に GCAF フラグが 1 になるタイミング

## (3) デバイス ID アドレス検出機能 [I<sup>2</sup>C モード]

I3C は I<sup>2</sup>C バス (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。I3C が SVCTL.DVIDE ビットを 1 にした状態で、スタートコンディションまたは繰り返しのスタートコンディション後の 1 バイト目に 1111 100 を受信すると、I3C はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき SCL クロックの 9 クロック目の立ち上がりで SVST.DVIDF フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、I3C は該当する SVST.SVAfy フラグ (y = 0) を 1 にします。

その後スタートコンディションまたは繰り返しのスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス (1111 100) と一致し、続く R/W#ビットが 1 のときは、I3C は 2 バイト目以降のアドレス比較動作を行わず、NTST.TDBEF0 フラグを 1 にします。

デバイス ID アドレス検出機能では、I3C のスレーブアドレスと一致しなかった場合、あるいは I3C のスレーブアドレスと一致し、繰り返しのスタートコンディションを検出した時にデバイス ID アドレスと一致しなかった場合、I3C は DVIDF フラグを 0 にします。スタートコンディションまたは繰り返しのスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100) と一致し、かつ R/W#ビットが 0 の場合は、I3C は DVIDF フラグを 1 にして、続く 2 バイト目以降を I3C のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DVIDF フラグは前値の状態を継続し、I3C は 2 バイト目以降を比較しません。このようにして、TDBEF0 = 1 の確認後、DVIDF フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして、必要な情報 (3 バイトデータ : メーカー情報 [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) を、通常を送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。



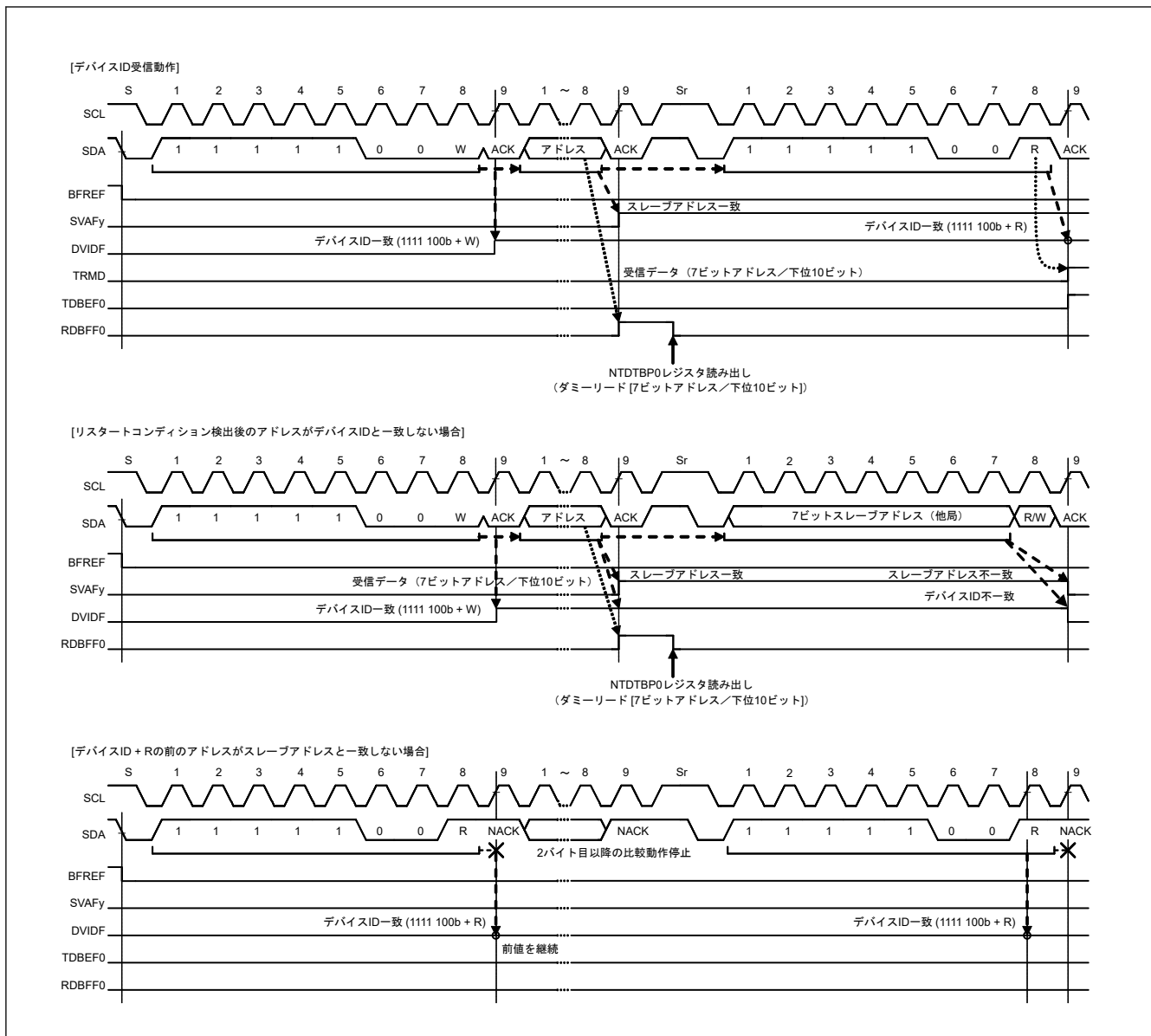


図 25.62 デバイス ID 受信時に SVAfY/DVIDF フラグが 1 または 0 になるタイミング

(4) ホストアドレス検出機能 [I<sup>2</sup>C モード]

I3C は、SMBus 動作時にホストアドレスを検出する機能を備えています。BFCTL.SMBS ビットが 1 のとき SVCTL.HOAE ビットを 1 にすると、I3C はスレーブ受信モード (PRST レジスタの CRMS と TRMD = 00) 時に、ホストアドレス (0001 000) の検出が可能です。

I3C がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで SVST.HOAF フラグが 1 になり、同時に R/W# ビットが 0 (Wr ビット) のとき、NTST.RDBFF0 フラグが 1 になります。これによって、受信データフル割り込み (I3C\_RXI2C\_RX) が発生します。HOAF フラグを用いて、スマートバッテリーなど他のデバイスからホストアドレスが送信されたことを識別できます。

ホストアドレス (0001 000) に続くビットが Rd ビット (R/W# ビットが 1) である場合も、I3C はホストアドレスを検出できます。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

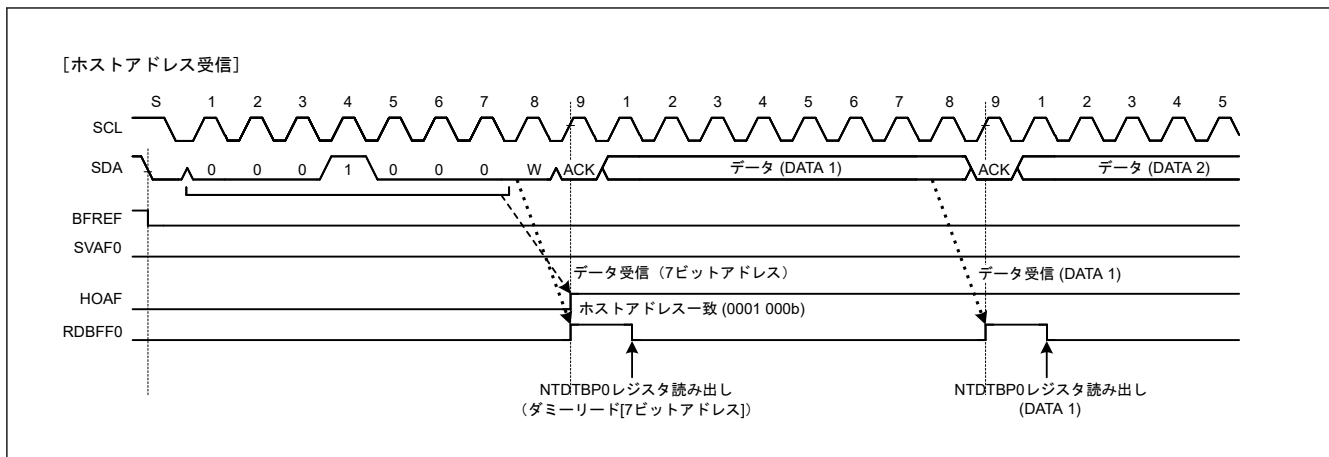


図 25.63 ホストアドレス受信時に HOAF フラグが 1 になるタイミング

### (5) Hs モードマスタコード検出機能 [I<sup>2</sup>C モード]

IIC は、Hs モードマスタコード (0000 1XXXb) の検出機能を備えています。SVCTL.HSMCE ビットを 1 にした状態で、IIC がスタートコンディション発行後の 1 バイト目に Hs モードマスタコード (0000 1XXXb) を受信すると、このモジュールはこのアドレスを Hs モードマスタコードと認識し、SCL クロックの 9 クロック目の立ち上がりで SVST.HSMCF フラグを 1 にします。Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識され、SVDVADy.SVAD[9:0] (y = 0) で設定されたスレーブアドレスと比較されます。IIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.SVAfy フラグ (y = 0) を 1 にし、続く R/W# ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これによって、受信データフル割り込み (IICn\_RX) または送信データエンpty割り込み (IICn\_TX) が発生します。SVAfy フラグを確認することで、どのスレーブアドレスが指定されたかを識別できます。SVST.HSMCF フラグは、ストップコンディションを検出すると 0 になります。

注. SVCTL.HSMCE ビットが 0 のときに Hs モードマスタコード (0000 1XXXb) を受信する場合、ストップコンディションを検出するまで他のパターンは無視されます。

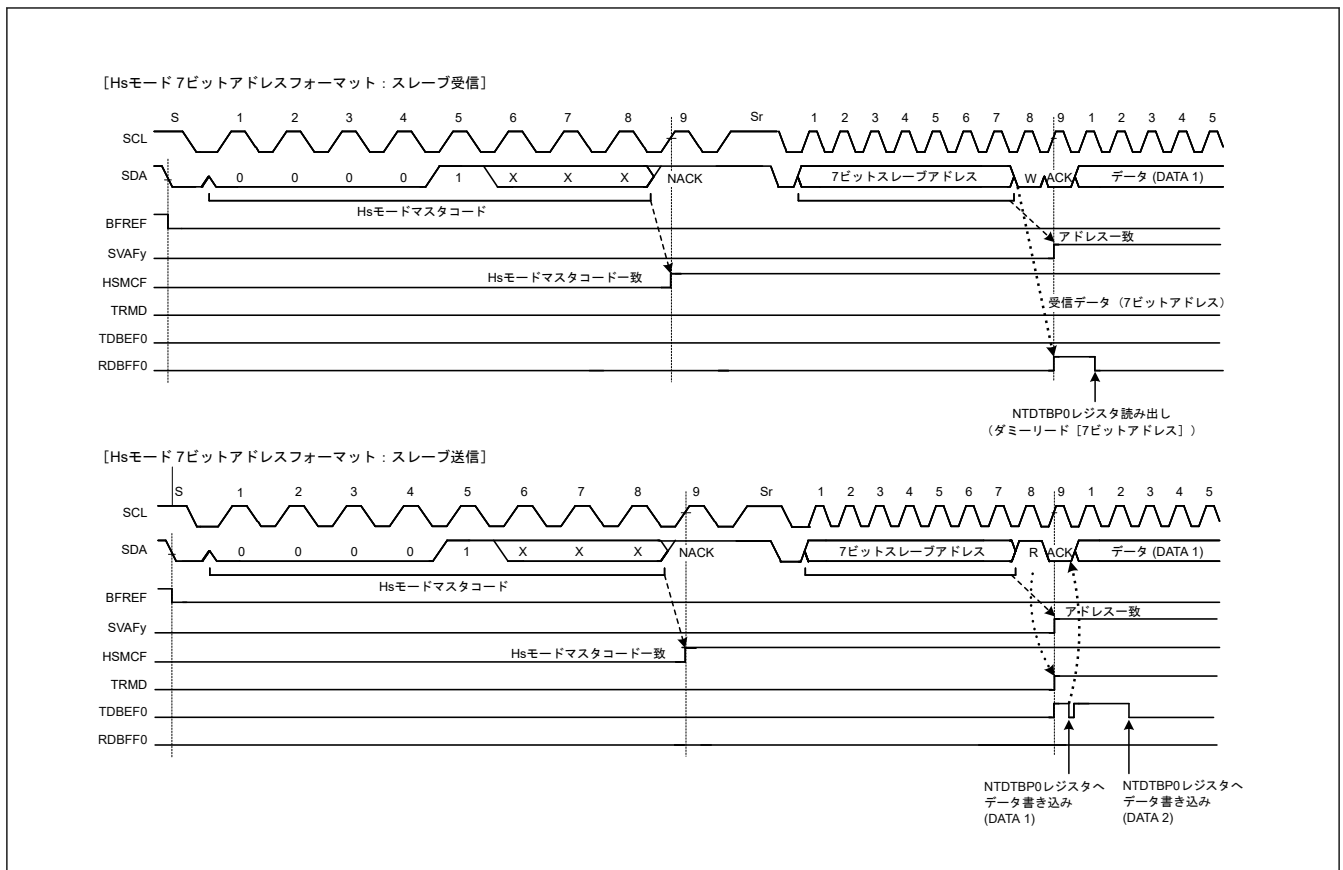


図 25.64 Hs モードマスターコード受信時に SVAfY/HSMCF フラグが 1 になるタイミング

## (6) CCC 検出機能 [I3C モード]

### ● ブロードキャスト CCC の場合

1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W#=0 を受信します。
2. ACK に応答します。
3. 共通コマンドコード (CCC) を受信します。
4. CCC に従い、以下のデータを格納します。(格納先は、表 25.11 を参照。)
5. 受信ステータスディスクリプタを受信ステータスキューに格納します。

### ● ブロードキャスト CCC (ENTDAA) の場合

1. スタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W#=0 を受信します。
2. ACK に応答します。
3. ENTDAA を受信します。
4. 繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W#=1 を受信した場合。
5. ダイナミックアドレスが配置されない場合、ACK 応答をします。
6. この暫定 ID (SDCTPIDH[31:0], SDCTPIDL[15:0]), BCR (SVDCT.TBCR[7:0]), DCR (SVDCT.TDCR[7:0]) を送信します。
7. 上記 6. の送信でアービトラージョンを獲得したら、それに続くダイナミックアドレスを受信します。上記 6. の送信でアービトラージョンをロストしたら、4. から 6. の処理を繰り返します。
8. ダイナミックアドレスのパリティが正しい場合、ACK 応答をします。
9. ダイナミックアドレスのパリティが正しくない場合、NACK 応答をして、4. から 7. の処理を繰り返します。
10. SDATBAS0.SDDYAD[7:0]を更新し、SVDVAD0.SDYADV ビットを 1 にします。

11. ストップコンディションを検出したら、受信ステータスディスクリプタを受信ステータスキューに格納します。
- **ダイレクトライト CCC の場合**
    1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W#=0 を受信します。
    2. ACK に応答します。
    3. 共通コマンドコード (CCC) を受信します。
    4. 繰り返しのスタートコンディションの後、ダイナミックアドレスと R/W#=0 を受信します。
    5. 受信されたダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、I3C は ACK を応答します。  
一致しない場合、NACK を応答し、繰り返しスタートコンディションまたはストップコンディションを待ちます。
    6. CCC に従い、以下のデータを格納します。(格納先は、表 25.11 を参照。)
    7. 受信ステータスディスクリプタを受信ステータスキューに格納します。
  - **ダイレクトリード CCC の場合**
    1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W#=1 を受信します。
    2. ACK に応答します。
    3. 共通コマンドコード (CCC) を受信します。
    4. 繰り返しのスタートコンディションの後、ダイナミックアドレスと R/W#=1 を受信します。
    5. 受信されたダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、I3C は ACK を応答します。  
一致しない場合、NACK を応答し、繰り返しスタートコンディションまたはストップコンディションを待ちます。
    6. CCC に従い、SFR から応答します。(応答 CCC については、表 25.11 を参照。)
    7. 受信ステータスディスクリプタを受信ステータスキューに格納します。

表 25.11 共通コマンドコード動作 (1/2)

コマンドコード	CCC の種類	コマンド名	データの有無	自動応答	格納先
0x00	Broadcast	ENEC	あり	—	SFR
0x01	Broadcast	DISEC	あり	—	SFR
0x02	Broadcast	ENTAS0	なし	—	SFR
0x03	Broadcast	ENTAS1	なし	—	SFR
0x04	Broadcast	ENTAS2	なし	—	SFR
0x05	Broadcast	ENTAS3	なし	—	SFR
0x06	Broadcast	RSTDAA	なし	—	SFR
0x07	Broadcast	ENTDAA	あり	あり	SFR
0x08	Broadcast	DEFSLVS	あり	—	FIFO
0x09	Broadcast	SETMWL	あり	—	SFR
0x0A	Broadcast	SETMRL	あり	—	SFR
0x0B	Broadcast	ENTTM	あり	—	SFR
0x29	Broadcast	SETAASA	なし	—	SFR
0x80	Direct Write	ENEC	あり	—	SFR
0x81	Direct Write	DISEC	あり	—	SFR
0x82	Direct Write	ENTAS0	なし	—	SFR

表 25.11 共通コマンドコード動作 (2/2)

コマンドコード	CCC の種類	コマンド名	データの有無	自動応答	格納先
0x83	Direct Write	ENTAS1	なし	—	SFR
0x84	Direct Write	ENTAS2	なし	—	SFR
0x85	Direct Write	ENTAS3	なし	—	SFR
0x86	Direct Write	RSTDAA	なし	—	SFR
0x87	Direct Write	SETDASA	あり	—	SFR
0x88	Direct Write	SETNEWDA	あり	—	SFR
0x89	Direct Write	SETMWL	あり	—	SFR
0x8A	Direct Write	SETMRL	あり	—	SFR
0x8B	Direct Read	GETMWL	—	あり	SFR
0x8C	Direct Read	GETMRL	—	あり	SFR
0x8D	Direct Read	GETPID	—	あり	SFR
0x8E	Direct Read	GETBCR	—	あり	SFR
0x8F	Direct Read	GETDCR	—	あり	SFR
0x90	Direct Read	GETSTATUS	—	あり	SFR
0x91	Direct Read	GETACCMST	—	あり	SFR
0x94	Direct Read	GETMXDS	—	あり	SFR

### 25.3.2.3.5 アービトレーションロスト検出機能 [I<sup>2</sup>C モード]

I3C は、I<sup>2</sup>C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出、スレーブ送信時のアービトレーションロスト検出機能を備えています。

#### (1) マスタアービトレーションロスト検出機能 (MALE ビット)

I3C はスタートコンディション発行の際、SDAn ラインを Low にします。しかし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に BCST.BFREF フラグが 0 (バスビジー中) のときに CNDCTL.STCND ビットを 1 にすると、アービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ (内部 SDA 出力レベル) と SDAn ラインに不一致が生じた場合 (内部 SDA 出力が High 出力 (SDA 端子はハイインピーダンス) で、SDAn ラインに Low を検出したとき)、I3C はアービトレーションロストを発生させます。

BSTE.ALE = 1 かつ BFCTL.MALE = 1 (マスタアービトレーションロスト検出有効) の状態で、次の条件が成立したとき、I3C はマスタアービトレーションロストを検出します。

バス権のアービトレーションがロストしたとき、I3C はただちにスレーブ受信モードに遷移します。

このとき、スレーブアドレス (ジェネラルコールアドレスを含む) が自身のアドレスと一致していれば、I3C はスレーブ動作を継続します。

[マスタアービトレーションロスト条件]

- BCST.BFREF フラグが 1 の状態で CNDCTL.STCND ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき (スタートコンディション発行エラー)
- BFREF フラグが 0 の状態で CNDCTL.STCND ビットを 1 にしたとき (スタートコンディション二重発行エラー)

注: I3C はスタートコンディションを発行しません。

- マスタ送信モード時 (PRSSR レジスタの CRMS と TRMD = 11b)、アクノリッジを除く送信データ (内部の SDA 出力レベル) と SDAn ラインのレベルが不一致のとき

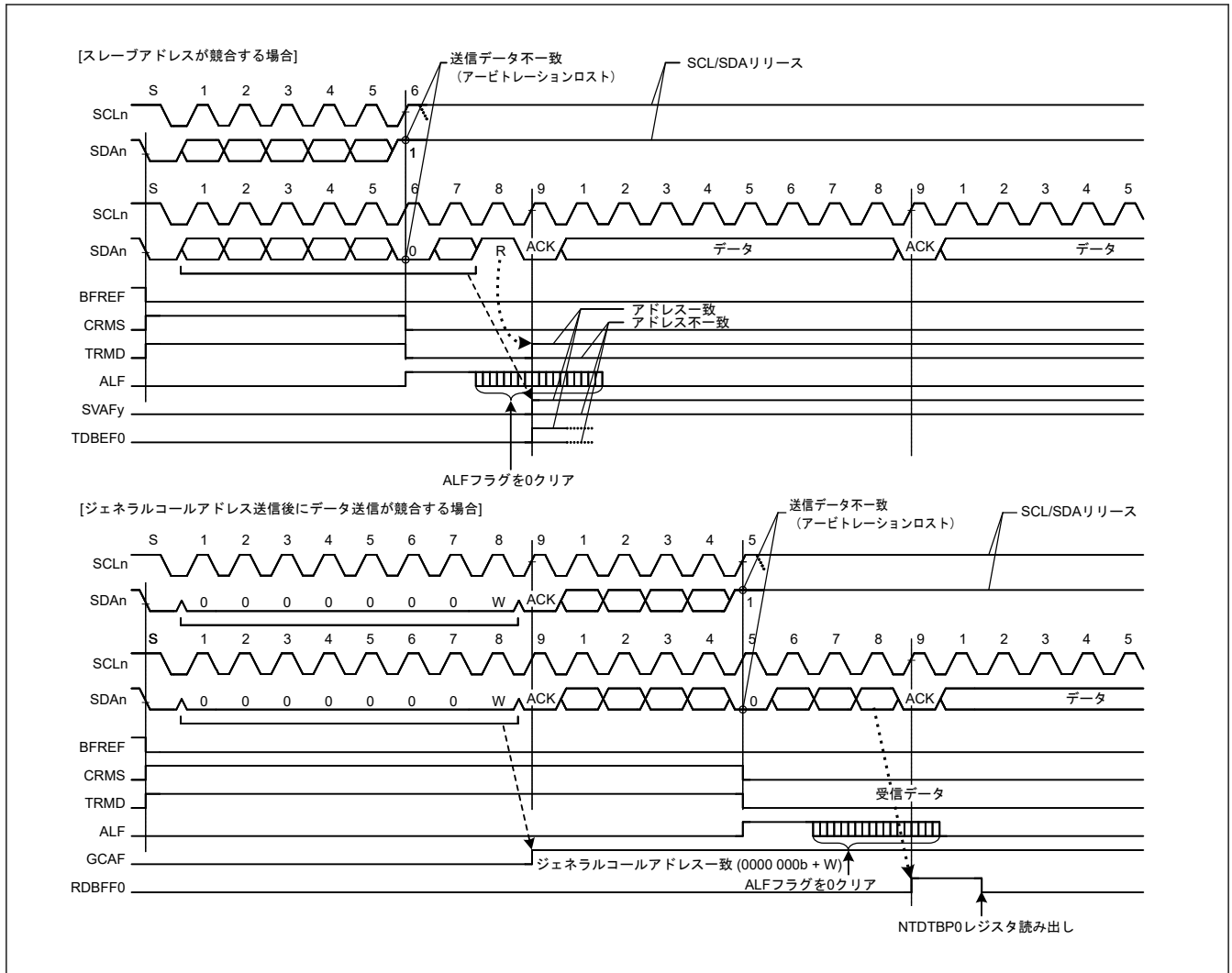


図 25.65 マスタアービトレーションロスト検出動作例 (MALE = 1 の場合)

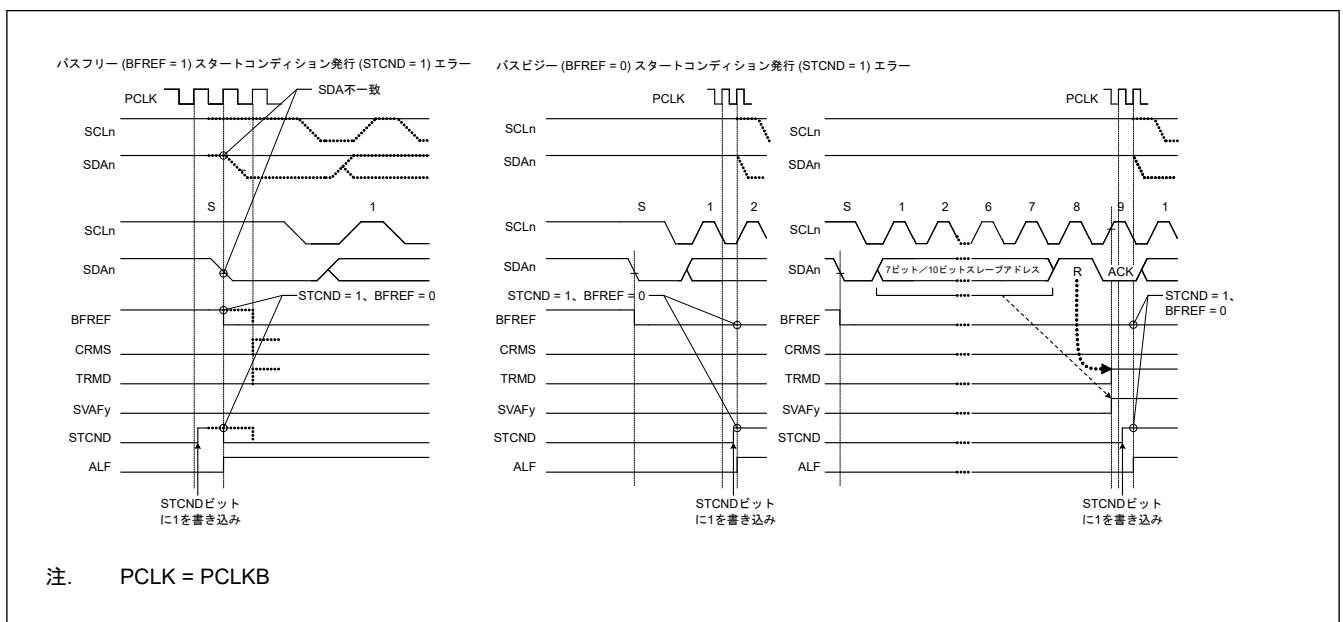


図 25.66 スタートコンディション発行時のアービトレーションロスト検出動作例 (MALE = 1 の場合)

## (2) NACK 送信中のアービトレーションロスト検出 (NALE ビット)

受信モード時で NACK 送信時に出力した SDA 信号と SDA<sub>n</sub> ライン上の信号の状態が不一致の場合 (内部 SDA 出力が High 出力 (SDA<sub>n</sub> 端子はハイインピーダンス) で、SDA<sub>n</sub> ラインに Low を検出したとき)、I3C はアービトレーションロストを発生させる機能を備えています。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。

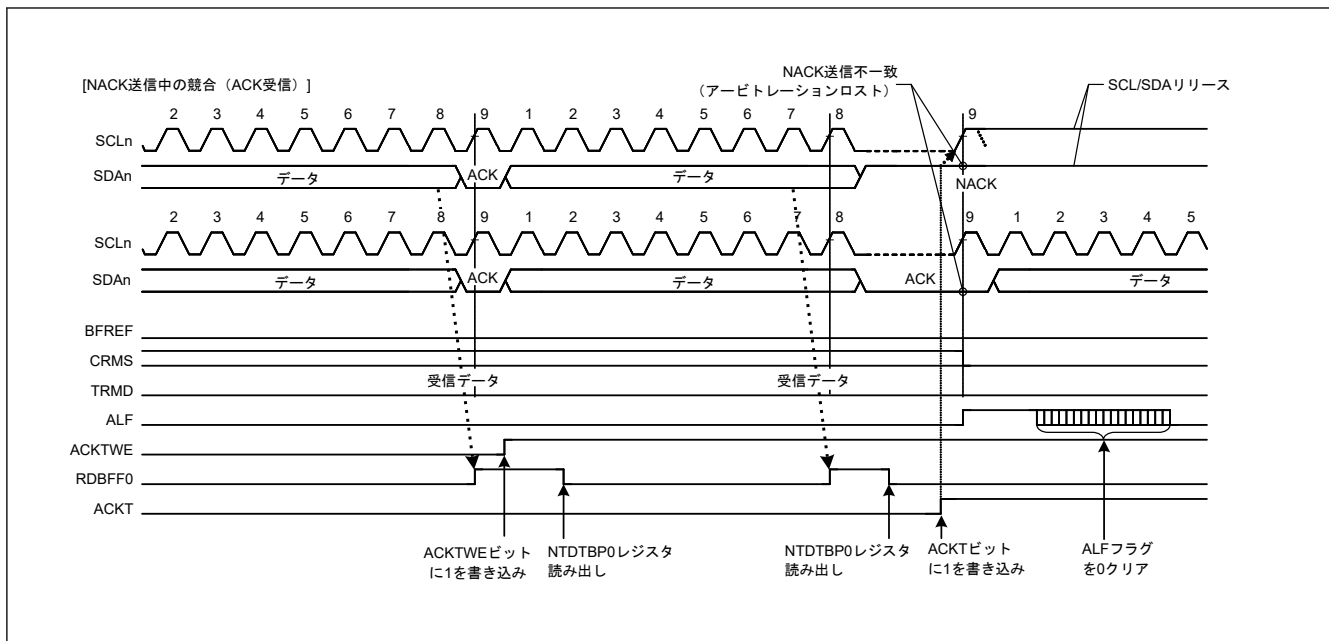


図 25.67 NACK 送信中のアービトレーションロスト検出の動作例 (NALE = 1 の場合)

以下では、2 つのマスタデバイス (マスタ A、B) と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。そのため、マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。この例でマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。そのため、このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

本モジュールは、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検出し、アービトレーションロストを発生させることができます。

NACK 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、アサインアドレスコマンド後の Get UDID (汎用) 処理でアサインアドレスの UDID (ユニークデバイス ID) が不一致の場合に、追加クロック処理 (0xFF 送信処理など) を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.NALE ビットが 1 (NACK 送信中アービトレーションロスト検出有効) の状態で、以下に示す条件が成立したとき、I3C は NACK 送信中のアービトレーションロストを検出します。

[NACK 送信中アービトレーションロスト条件]

- NACK 送信時 (ACKCTL.ACKT = 1)、内部の SDA 出力レベルと SDA<sub>n</sub> ラインの状態 (ACK 受信) が不一致のとき

### (3) スレーブアービトレーションロスト検出機能 (SALE ビット)

I3C は、スレーブ送信時に送信データ（出力した SDA 信号）と SDA<sub>n</sub> ライン上の信号の状態に不一致が生じた場合（出力した SDA 信号が High 出力（SDA<sub>n</sub> 端子はハイインピーダンス）で、SDA<sub>n</sub> ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

DATA 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態、以下に示す条件が成立したとき、I3C はスレーブアービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時（PRSS.TRMD レジスタの CRMS と TRMD = 01b）、アクトリッジを除く送信データ（内部の SDA 出力レベル）と SDA<sub>n</sub> ラインのレベルが不一致のとき

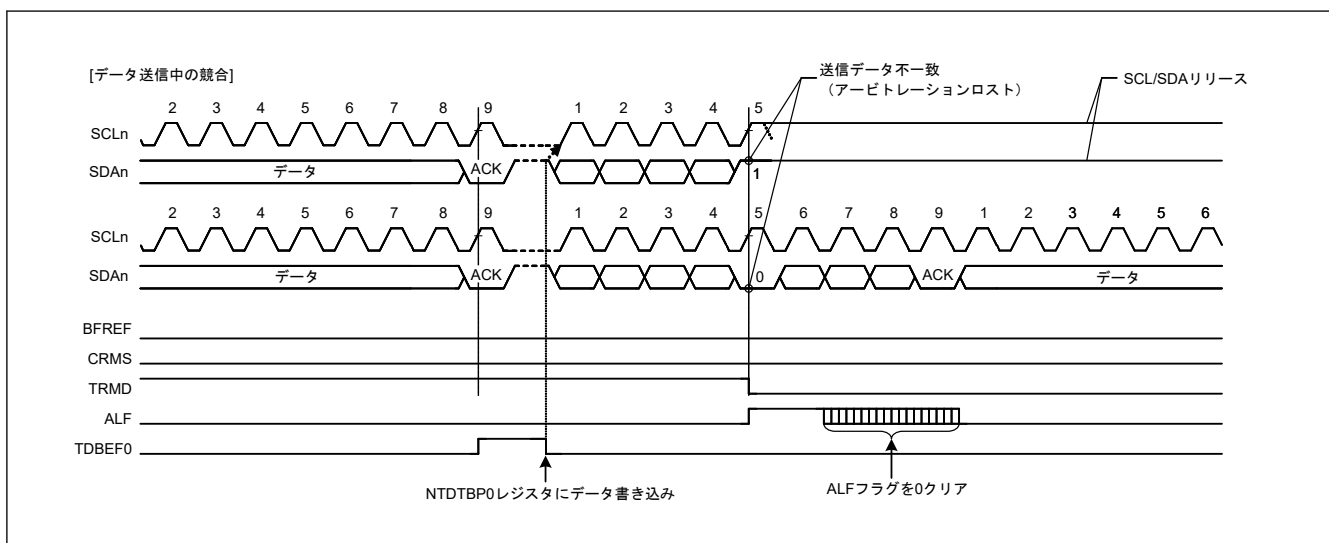


図 25.68 スレーブアービトレーションロスト検出動作例 (SALE = 1 の場合)

#### 25.3.2.3.6 クロックストレッチ機能 [I<sup>2</sup>C モード]

##### (1) 送信データの誤送信防止機能

I3C は送信モード時（PRSS.TRMD = 1）、I<sup>2</sup>C バス送信データレジスタ（NTDTBP0 レジスタ）にデータが書かれていない場合、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールド期間は、送信データの書き込みが行われるまで延長されて、意図しない送信データの誤送信を防止します。

##### マスタ送信モード

- スタートコンディション／繰り返しのスタートコンディション発行後の Low 区間
- 9クロック目と次の転送の1クロック目の間の Low 区間

##### スレーブ送信モード

- 9クロック目と次の転送の1クロック目の間の Low 区間



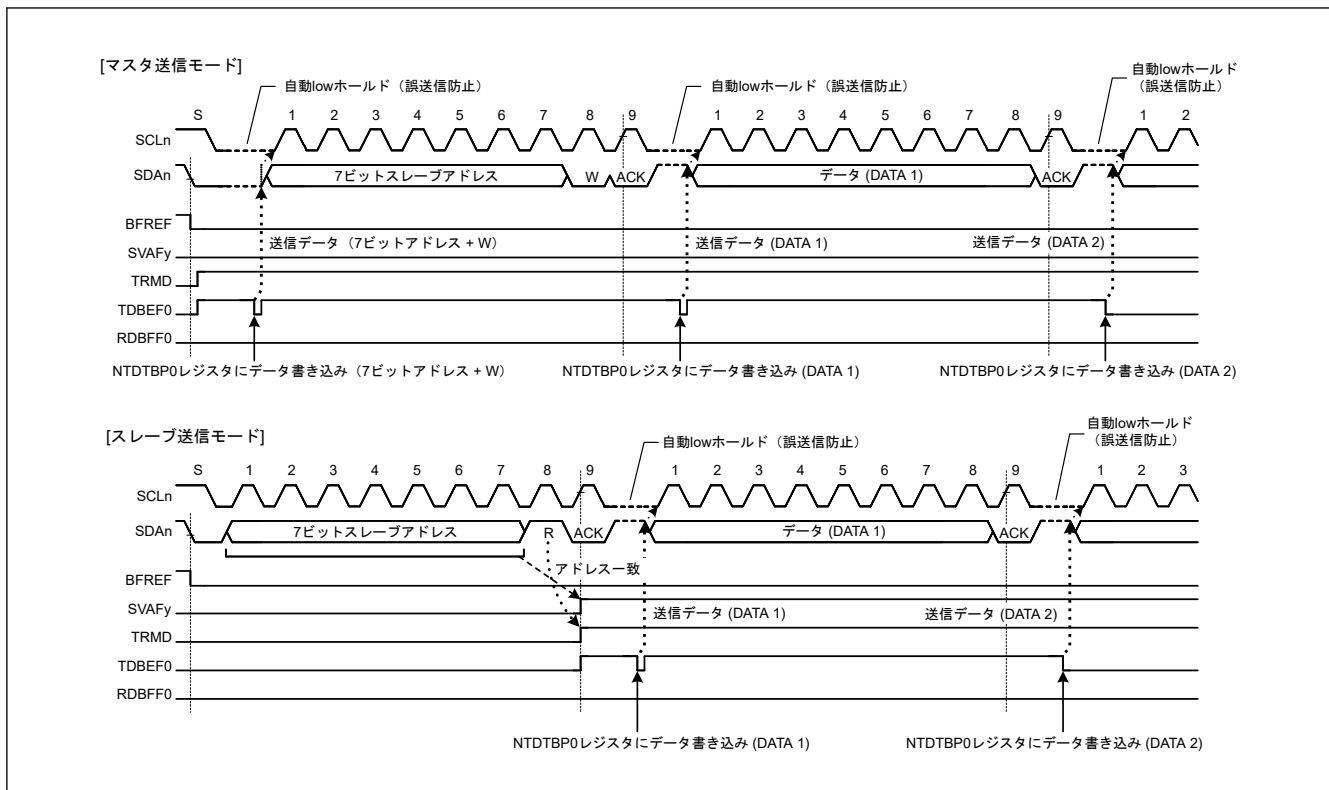


図 25.69 送信モード時の自動 Low ホールド動作

## (2) NACK 受信転送中断機能

I3C は送信モード時 (PRST.TRMD = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は、BSTE.NACKDE ビットが 1 (転送中断許可) のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合 (NTST.TDBEF0 = 0 の状態)、SCL クロックの 9 クロック目の立ち下がりでのデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (BST.NACKDF = 1)、以後の送信動作および受信動作は行いません。送受信動作を再開するには NACKDF フラグを 0 にしてください。マスタ送信モードでは、以下のいずれかの方法で動作を再開してください。

- 繰り返しのスタートコンディション発行後に、NACKDF フラグを 0 にする。
- ストップコンディション発行後に、NACKDF フラグを 0 にしてから、スタートコンディションを発行する。

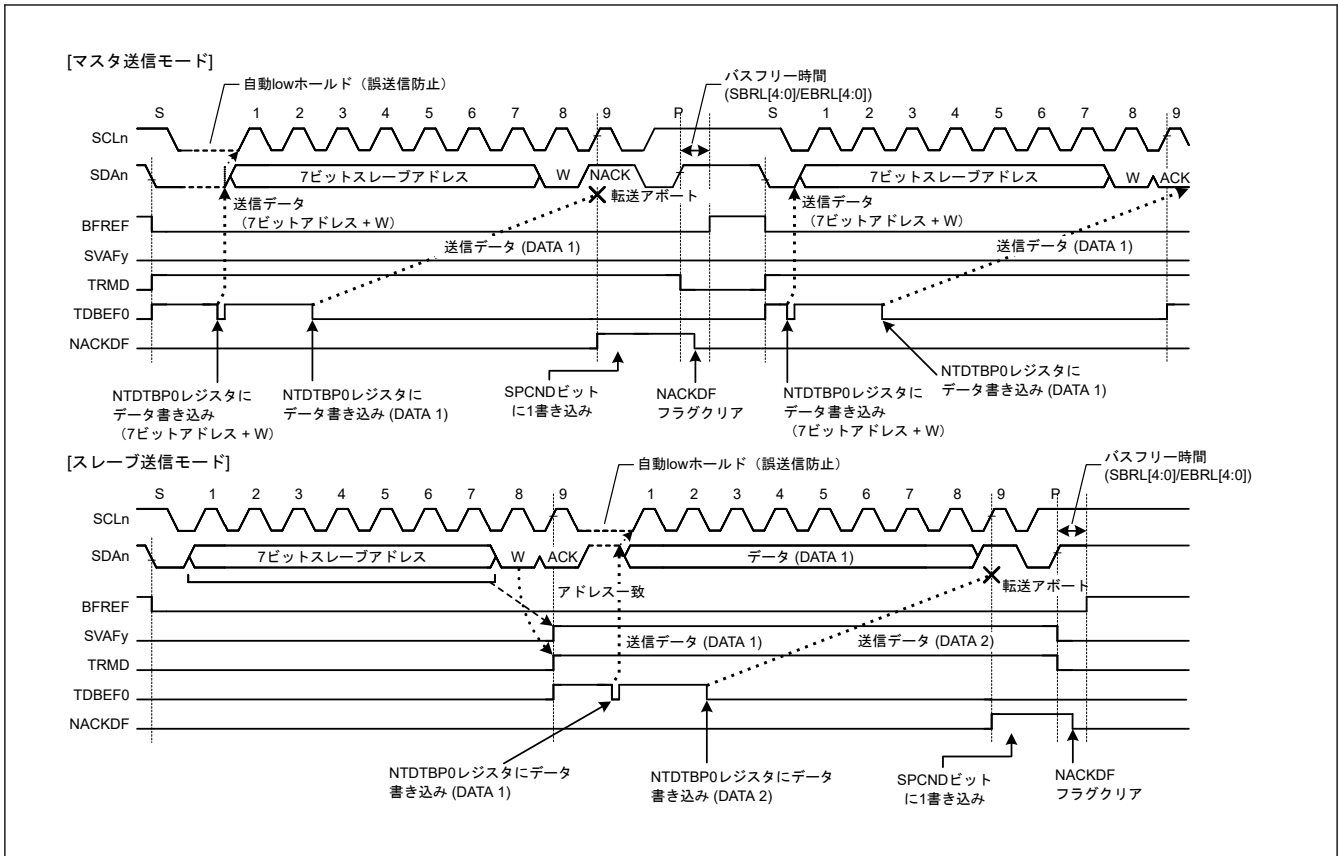


図 25.70 NACK 受信時のデータ転送中断動作 (NACKE = 1 の場合)

(3) 受信データ取りこぼし防止機能

受信モード時 (PR SST.TRMD = 0) に、受信データフル (NTST.RDBFF0 = 1) の状態で受信データ (NTDTBP0 レジスタ) の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、I3C は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この自動 Low ホールド機能による取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行された後、I3C 自身のスレーブアドレス、またはそのほかのスレーブアドレスを受信した場合にも有効です。

また、SCSTRCTL レジスタの RWE ビットと ACKTWE ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(a) RWE ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

SCSTRCTL.RWE ビットを 1 にすると、I3C は RWE ビット機能を用いた 1 バイト受信動作を行います。

SCSTRCTL.ACKTWE ビットが 0 のとき、I3C は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ACKCTL.ACKT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると RWE ビット機能により自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、NTDTBP0 レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお RWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、I3C 自身のスレーブアドレス (ジェネラルコールアドレスとホストアドレス含む) との一致があった以降の受信フレームから有効になります。

(b) ACKTWE ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

SCSTRCTL.ACKTWE ビットを 1 にすると、I3C は ACKTWE ビット機能を用いた 1 バイト受信動作を行います。

ACKTWE ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで NTST.RDBFF0 フラグが 1 (受信データフル) になり、8 クロック目の立ち下がりですべて自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ACKCTL.ACKT ビットに値を書き込むことで解除されますが、NTDTBP0 レジスタからデータを読み出し

でも解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお ACKTWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、I3C 自身のスレーブアドレス（ジェネラルコールアドレスとホストアドレス含む）との一致があった以降の受信フレームから有効になります。

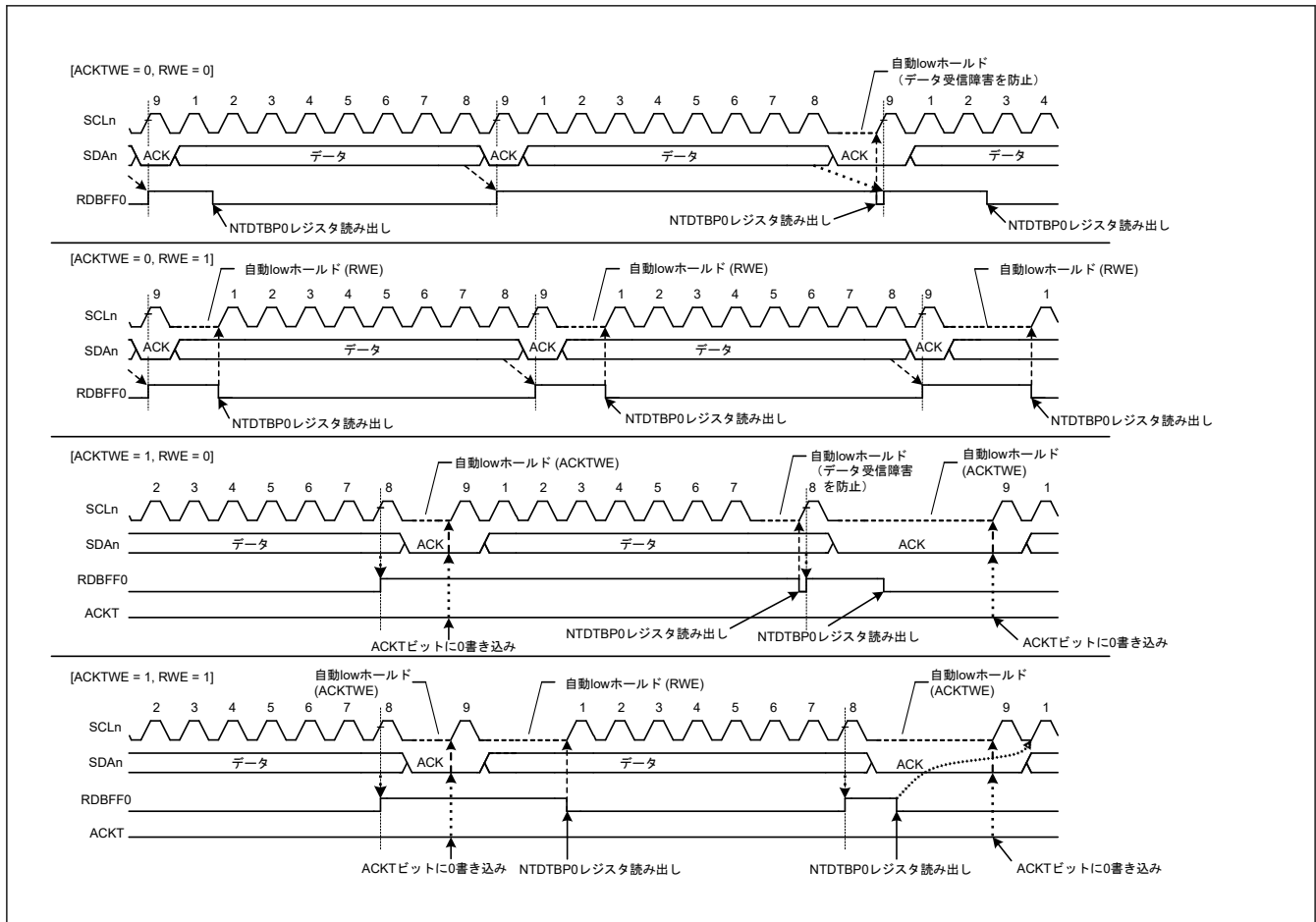


図 25.71 受信モード時の自動 Low ホールド動作 (ACKTWE および RWE ビットを使用)

### 25.3.2.3.7 クロックストール [I3C モード]

I3C には、SCL の Low 期間に SCL をストールする機能があります。

SCL ストールコントロールについて、以下の表で説明します。

表 25.12 I3C クロックストール (1/2)

クロックストール条件	クロックストールコントロール	クロックストール期間
I3C 転送、ACK/NACK フェーズ	SCSTLCTL.ACKPE ビットの設定値	SCSTLCTL.STLCCYC [15:0]値のカウント期間の間
	送信データ FIFO エンプティ	TX FIFO ヘデータが書き込まれるまで
	受信データ FIFO フル	RX FIFO レジスタからデータが読み出されるまで
I3C 書き込みデータ転送、パリティビット	SCSTLCTL.PARPE ビットの設定値	SCSTLCTL.STLCCYC [15:0]値のカウント期間の間
	送信データ FIFO エンプティ	TX FIFO ヘデータが書き込まれるまで

表 25.12 I3C クロックストール (2/2)

クロックストール条件	クロックストールコントロール	クロックストール期間
I3C 読み出し転送、遷移ビット	SCSTLCTL.TRAPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウンタ期間の間
	受信データ FIFO フル	RX FIFO レジスタからデータが読み出されるまで
アドレス配置フェーズ	SCSTLCTL.AAPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウンタ期間の間

条件ごとのストールタイミングを以下の図に示します。

(1) I3C 転送、ACK/NACK フェーズ

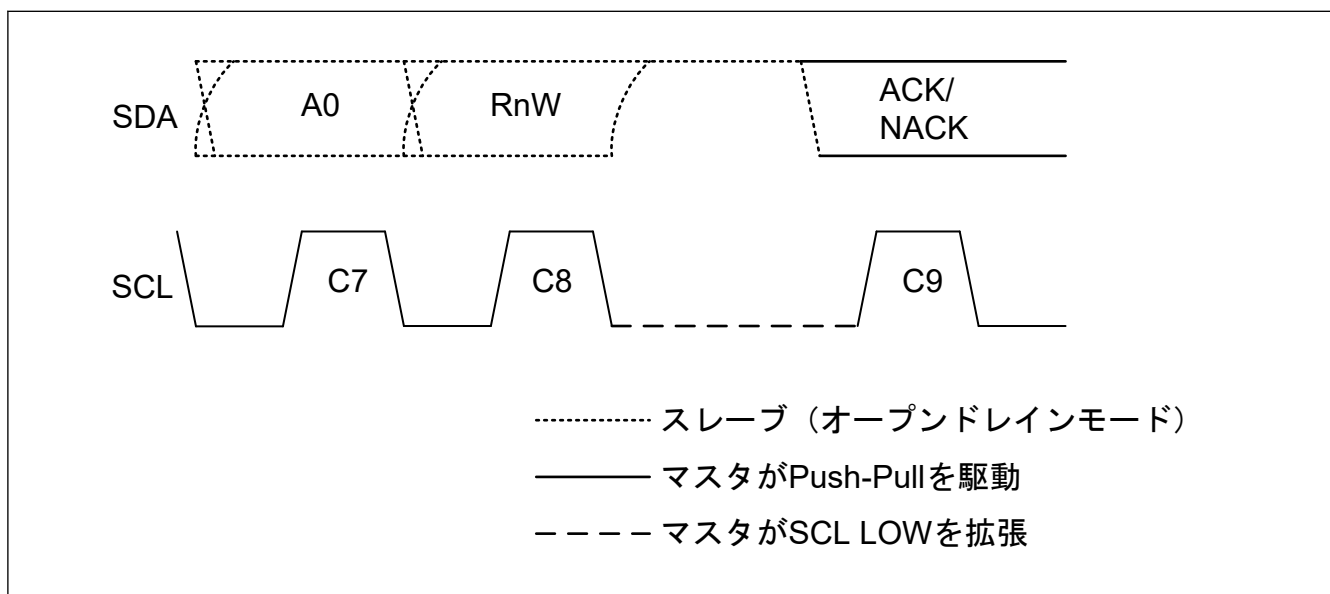


図 25.72 ACK フェーズのマスタクロックストール

(2) I3C 書き込みデータ転送、パリティビット

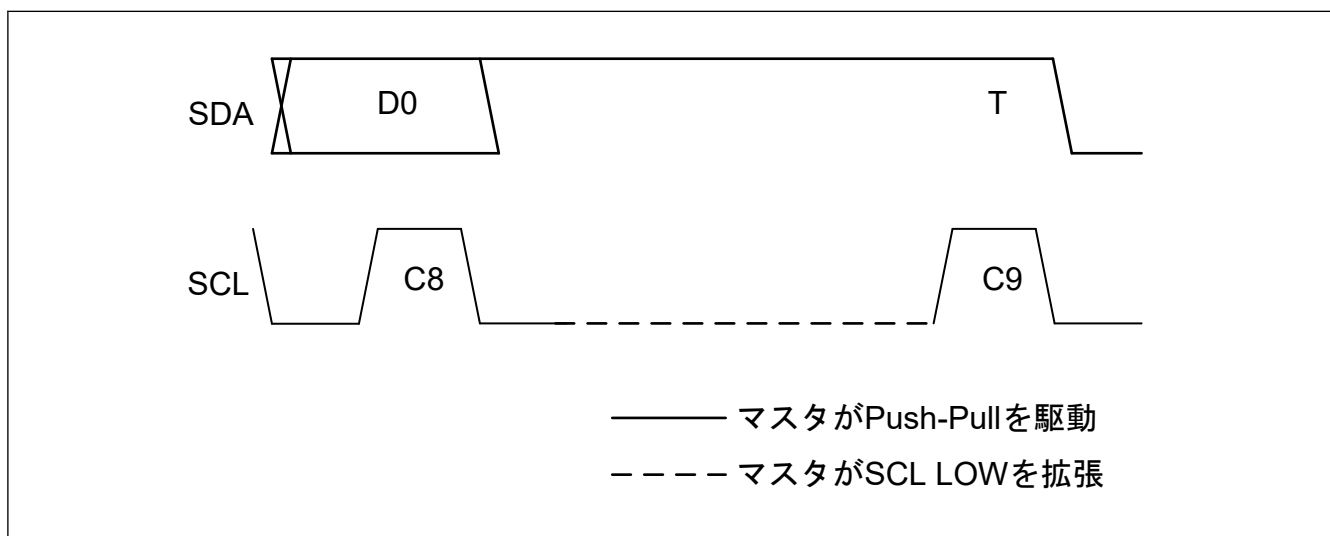


図 25.73 書き込みパリティビットのマスタクロックストール

(3) I3C 読み出し転送、遷移ビット

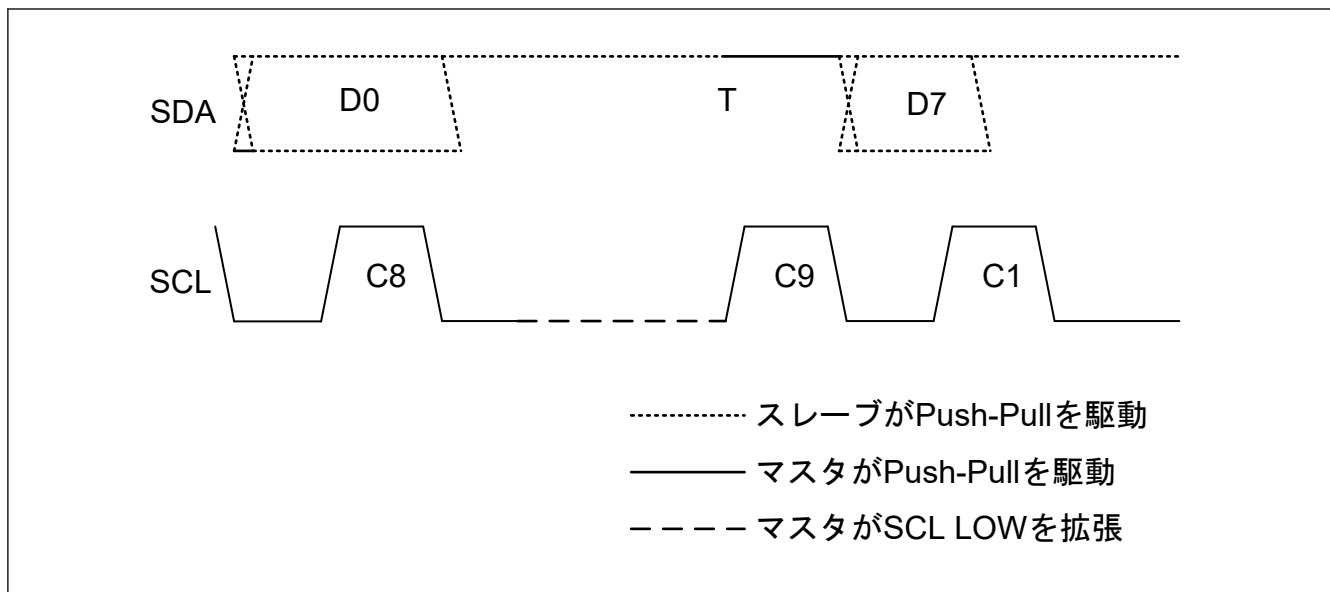


図 25.74 次の読み出しデータの前の T ビットでのマスタクロックストール

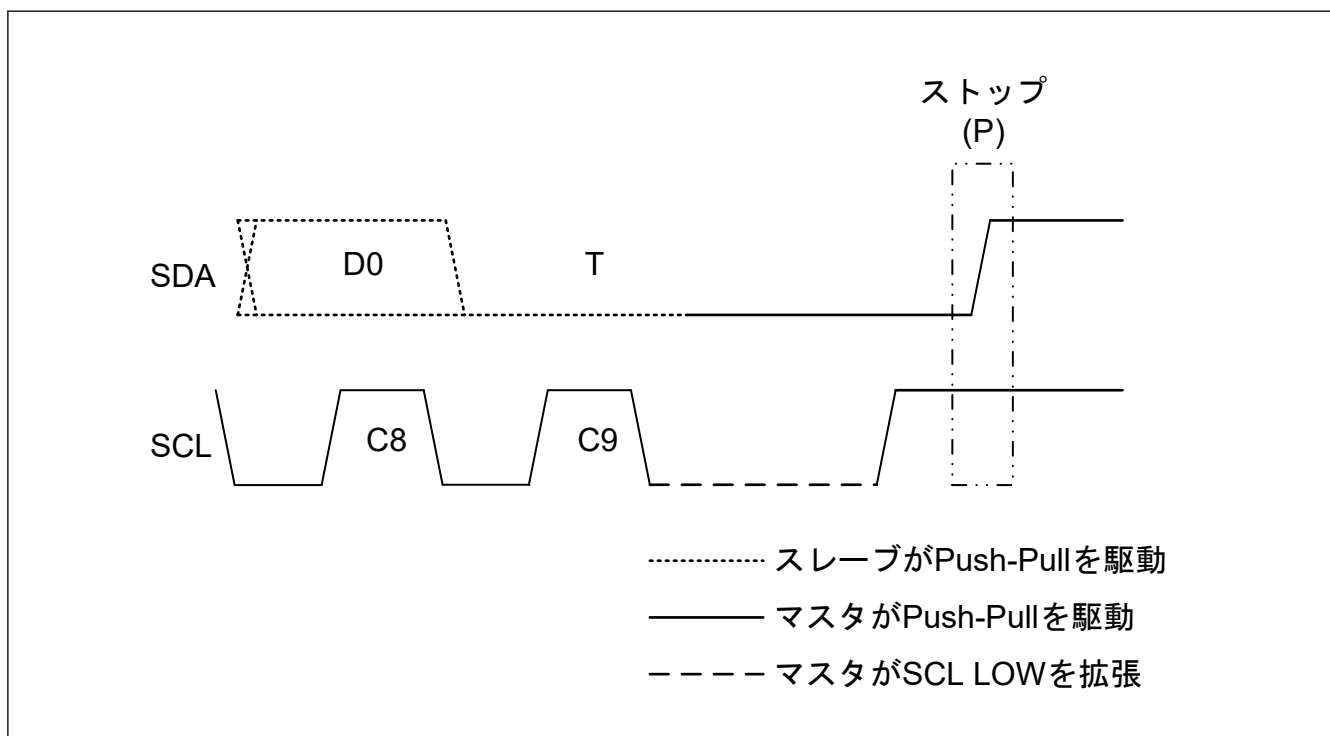


図 25.75 ストップコンディションの前の T ビットでのマスタクロックストール

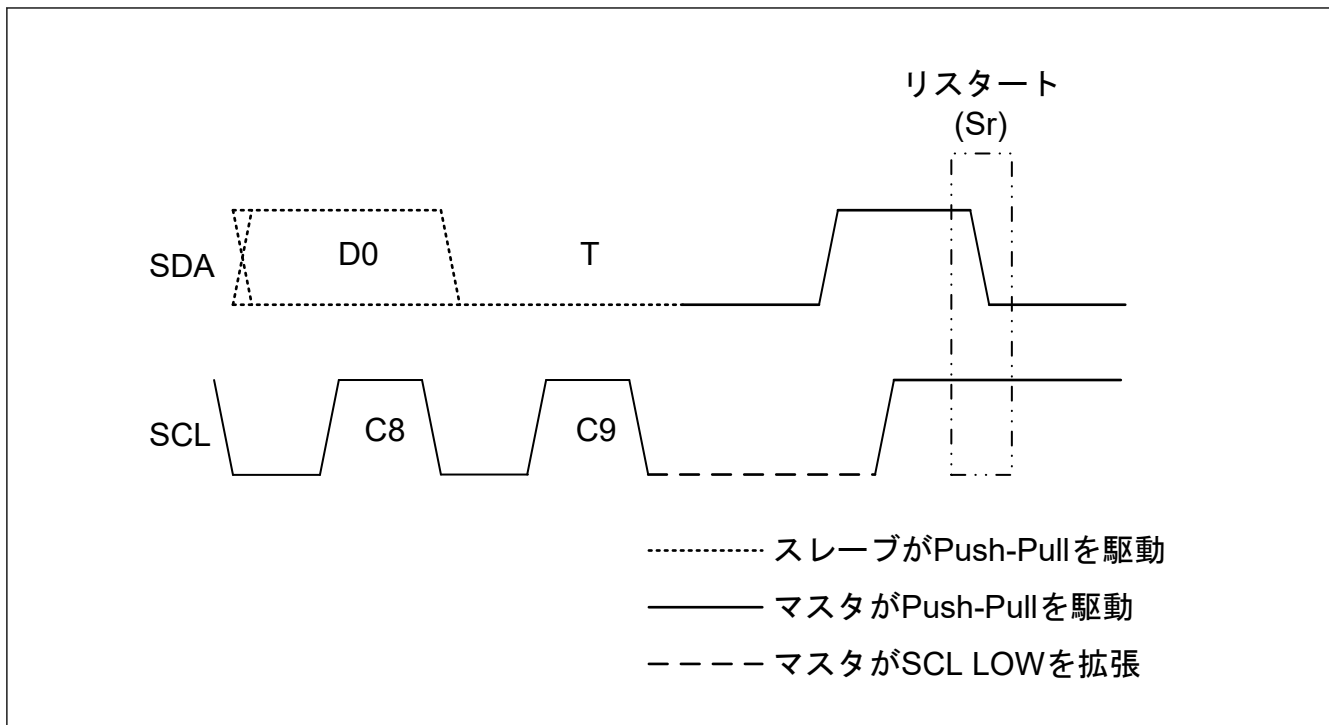


図 25.76 繰り返しのスタートコンディションの前の Low T ビットでのマスタクロックストール

(4) ダイナミックアドレス配置、配置アドレスの最初のビット

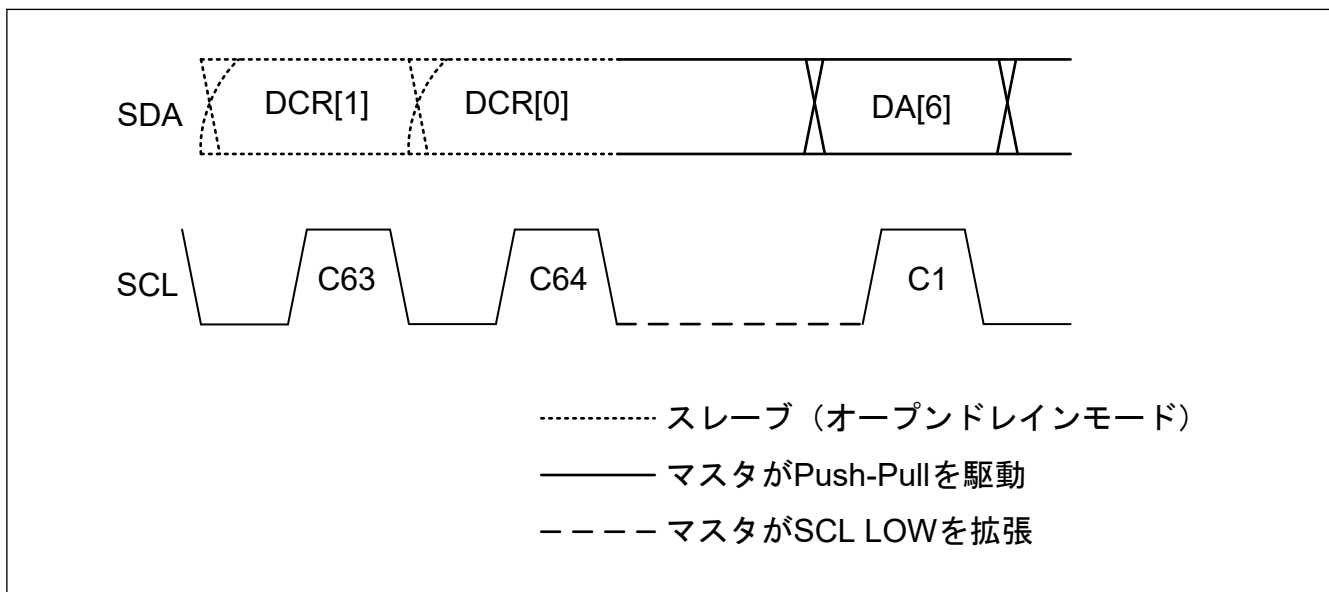


図 25.77 ダイナミックアドレスの最初のビットでのマスタクロックストール

25.3.2.3.8 In-band 割り込み [I3C モード]

I3C は、スタートコンディション（ただし繰り返しのスタートコンディションは除く）に続くアービトレーション獲得済みのアドレスヘッダで、In-band 割り込みを検出します。スレーブデバイスからスタート要求（SDA が Low）が発行された場合、I3C は SCL を Low にして、スタートコンディションを完了します。それから、SCL を供給し、In-band 割り込み要求を受信します。

検出される In-band 割り込みは、以下の 3 種類に分類されます。

- スレーブ割り込み要求
- バス権要求

- ホットジョインイベント

各 In-band 割り込み検出時の動作について以下に説明します。

### (1) スレーブ割り込み要求

1. アドレスヘッダの RnW ビットが High でスレーブアドレスを検出します。
2. 検出したスレーブアドレスを、各 DAT (DATBASm レジスタ) の DVDYAD[7:0] ビットと比較します。
3. DAT.DVDYAD[7:0] ビットの値と一致しない場合 :  
NACK を応答し、ストップコンディションを発行します。  
DAT.DVDYAD[7:0] ビットの値と一致し、かつ DAT.DVSIRRJ ビットが 1 の場合 :  
以下の順で動作します。
  - (a) NACK を応答します。
  - (b) 繰り返しのスタートコンディションを発行した後、検出したスレーブに対してダイレクト DISEC CCC を自動的に発行します。
  - (c) ストップコンディションを発行します。

DAT.DVDYAD[7:0] ビットの値と一致し、かつ DAT.DVSIRRJ ビットが 0 の場合 :  
ACK を応答します。

4. DAT.DVIBIPL = 0 のとき :  
ストップコンディションを発行します。  
DAT.DVIBIPL = 1 のとき :  
ACK 応答に続けてスレーブから IBI データを受信するため SCL を駆動し、IBI データを受信します。  
受信した IBI データを IBI データキューに格納します。  
NQTHCTL.IBIDSSZ[7:0] ビットに設定されたサイズの IBI データを受信するごとに、IBI ステータスディスクリプタが IBI ステータスキューに格納されます。
5. IBI データに続いて T ビットの Low を検出した後、ストップコンディションを発行します。
6. ストップコンディションの発行後  
NACK 応答 :
  - IBINCTL.NRSIRCTL ビットが 0 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納しません。
  - IBINCTL.NRSIRCTL ビットが 1 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納します。

ACK 応答 :

IBI ステータスディスクリプタを IBI ステータスキューに格納します。

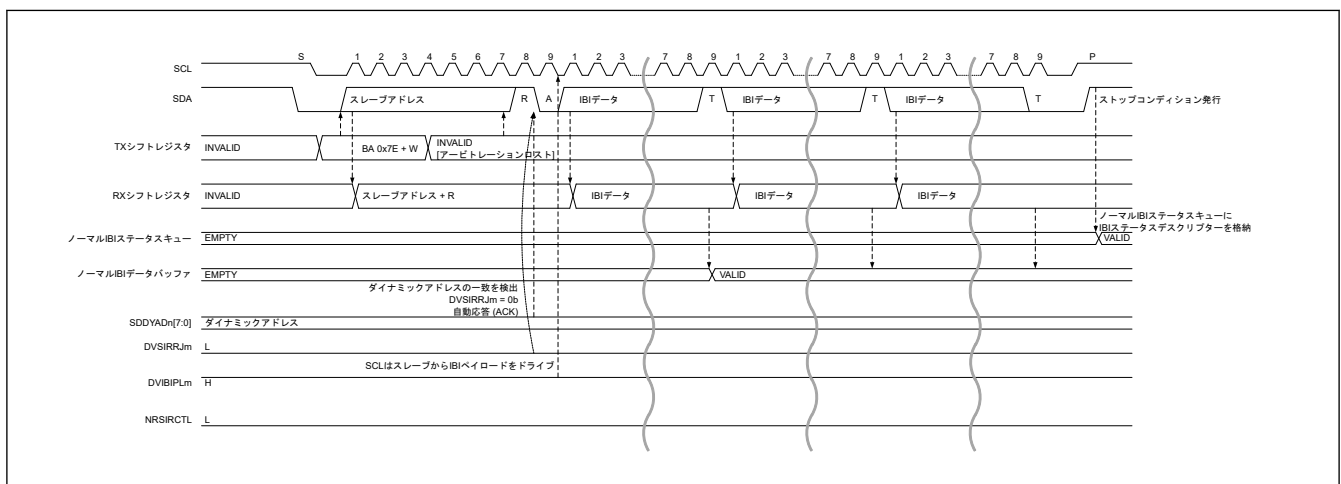


図 25.78 スレーブ割り込み要求 : ACK かつ DVIBIPL が 1 の場合

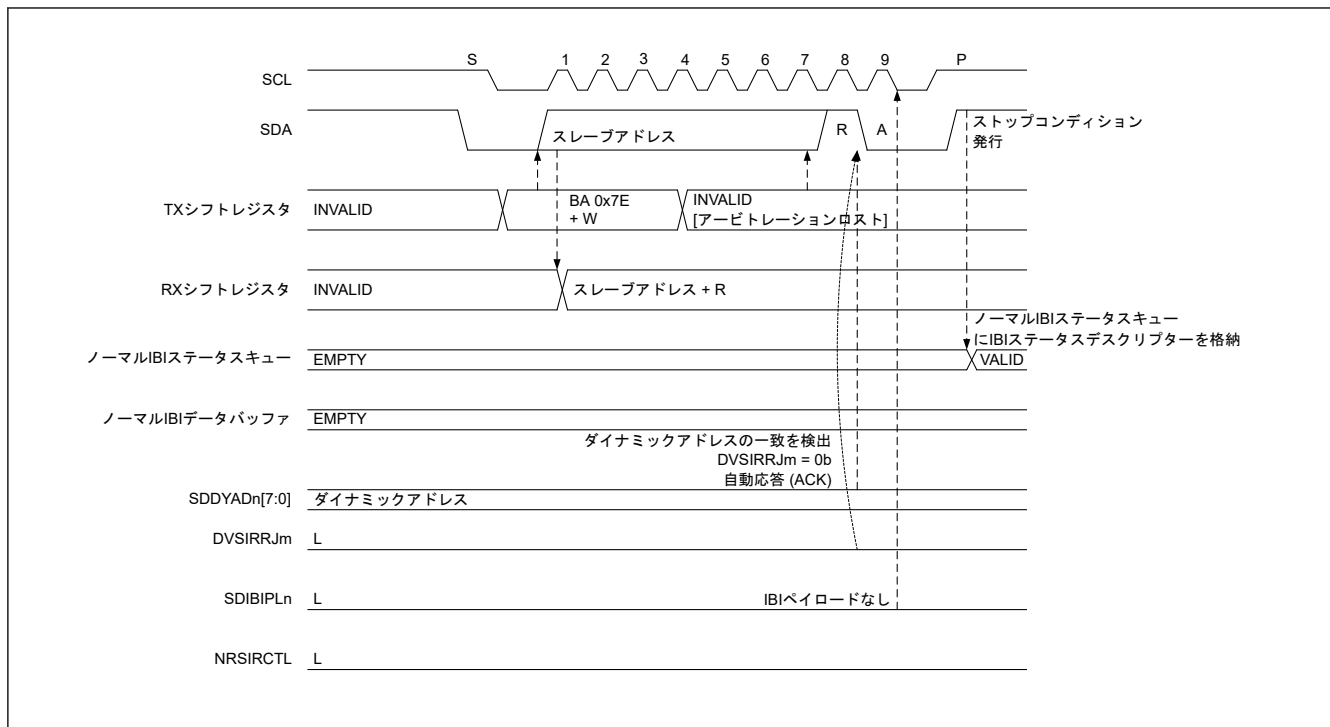


図 25.79 スレーブ割り込み要求 : ACK かつ DVIBIPL が 0 の場合

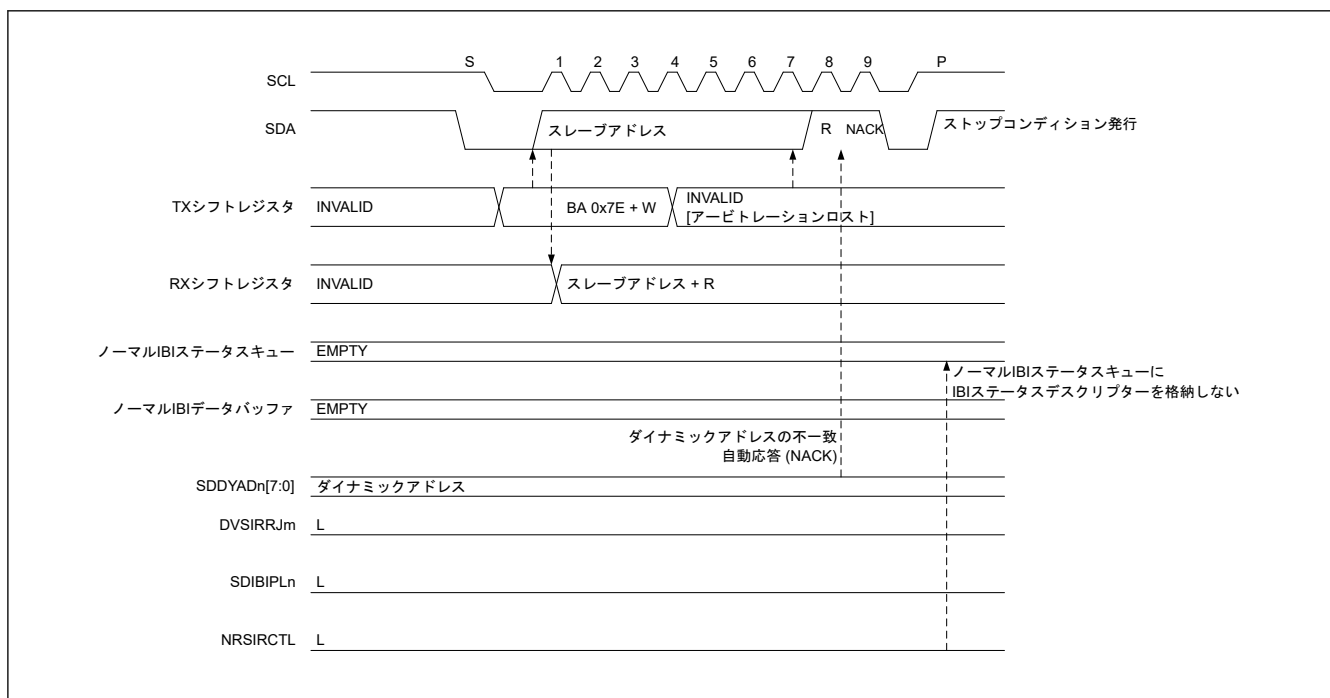


図 25.80 スレーブ割り込み要求 : NACK (DAT.SDDYAD[7:0]ビットが一致しない) かつ NRSIRCTL が 0 の場合



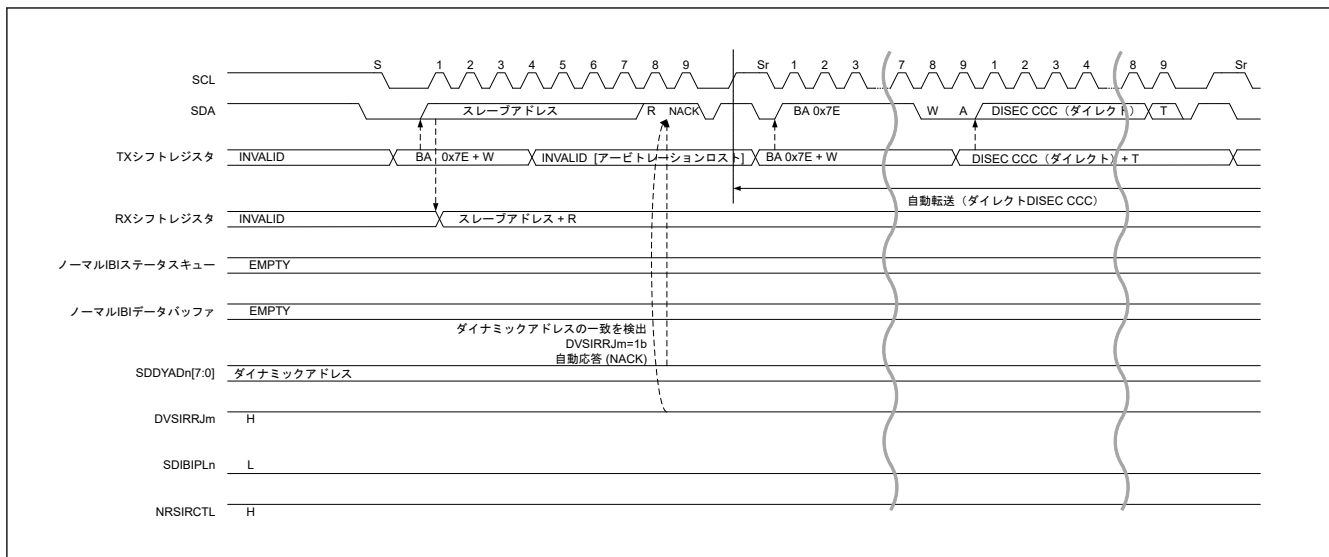


図 25.81 スレーブ割り込み要求 : NACK (DVSIRRJ が 1) かつ NRSIRCTL が 1 の場合 (1/2)

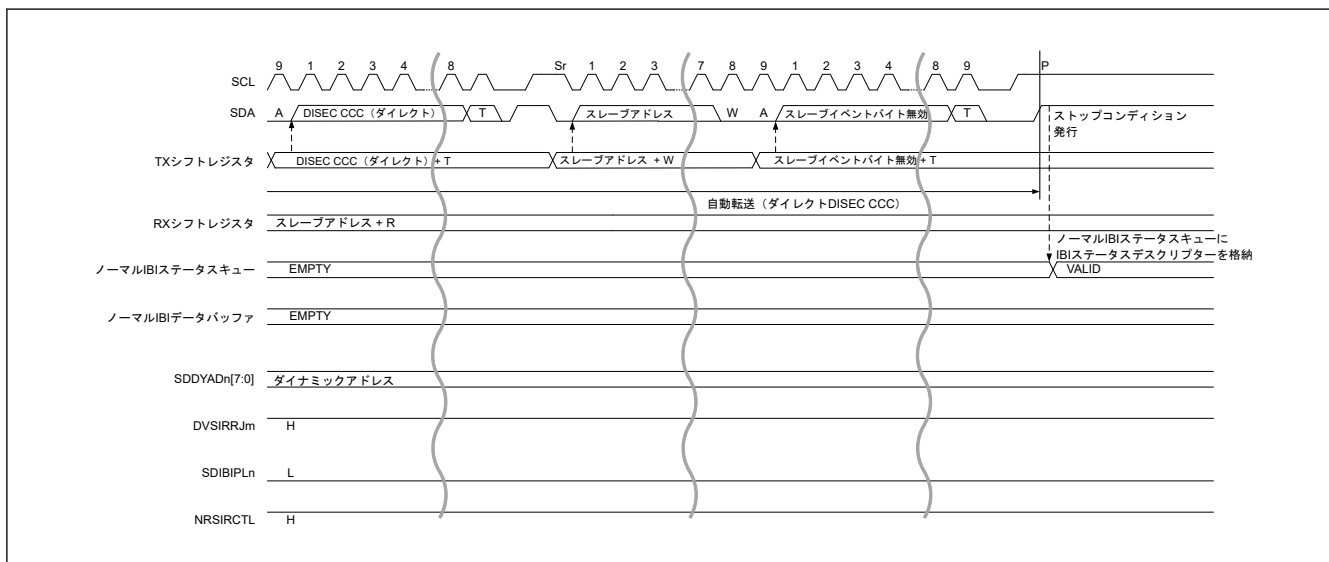


図 25.82 スレーブ割り込み要求 : NACK (DVSIRRJ が 1) かつ NRSIRCTL が 1 の場合 (2/2)

(2) バス権要求

1. アドレスヘッダの RnW ビットが Low でスレーブアドレスを検出します。
2. 検出したスレーブアドレスを、各 DAT (DATBAS レジスタ) の DVDYAD[7:0] ビットと比較します。
3. DAT.DVDYAD[7:0] ビットの値と一致しない場合 :  
 NACK を応答し、ストップコンディションを発行します。  
 DAT.DVDYAD[7:0] ビットの値と一致し、かつ RBCR (MSDCTm) レジスタのデバイスロール[1:0] ビットが、I3C マスタ (01b) 以外である場合 :  
 NACK を応答し、ストップコンディションを発行します。  
 DAT.DVDYAD[7:0] ビットの値と一致し、かつ RBCR (MSDCTm) レジスタのデバイスロール[1:0] ビットが、I3C マスタ (01b) の場合 :
  - DAT.DVMRRJ = 1 のとき :  
 以下の順で動作します。
    - (a) NACK を応答します。
    - (b) 繰り返しのスタートコンディションを発行し、検出したスレーブに対してダイレクト DISEC CCC を自動的に発行します。
    - (c) ストップコンディションを発行します。

- DAT.DVMRRJ = 0 のとき :  
ACK を応答し、ストップコンディションを発行します。
4. ストップコンディションの発行後、  
NACK 応答 :
- IBINCTL.NRMRCTL ビットが 0 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納しません。
  - IBINCTL.NRSIRCTL ビットが 1 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納します。
- ACK 応答 :  
IBI ステータスディスクリプタを IBI ステータスキューに格納します。

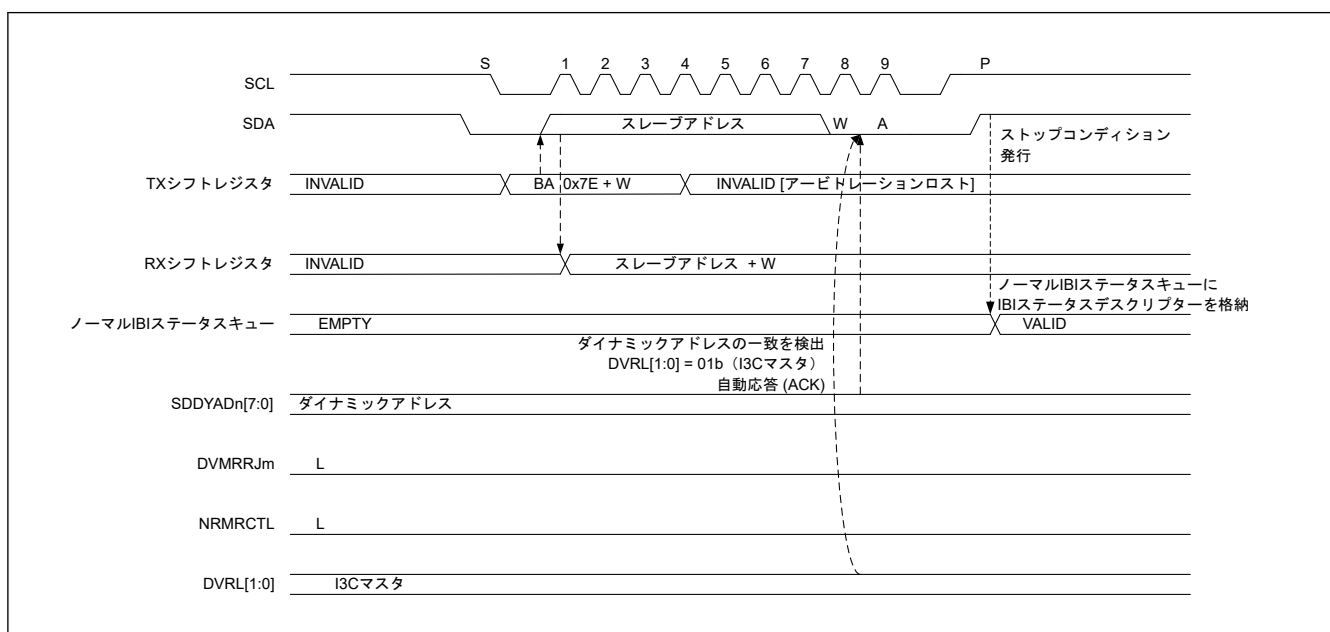


図 25.83 バス権要求 : ACK

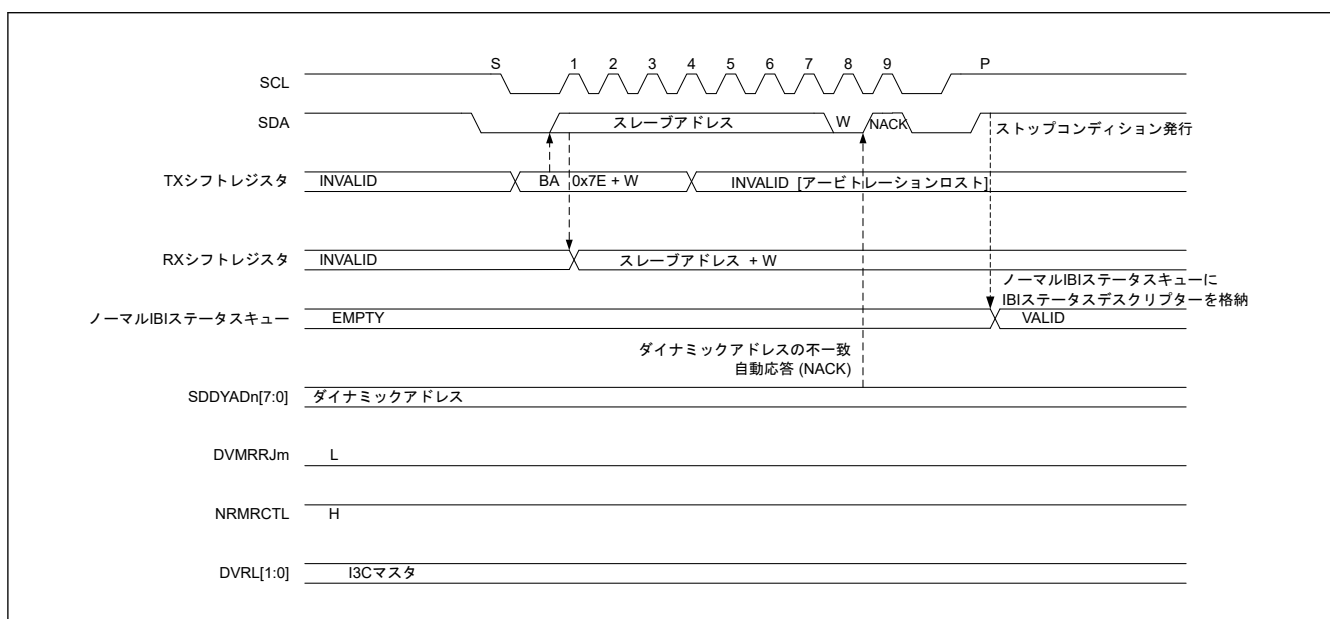


図 25.84 バス権要求 : NACK (DAT.DVDYAD[7:0]ビットが一致しない) かつ NRMRCTL が 1 の場合

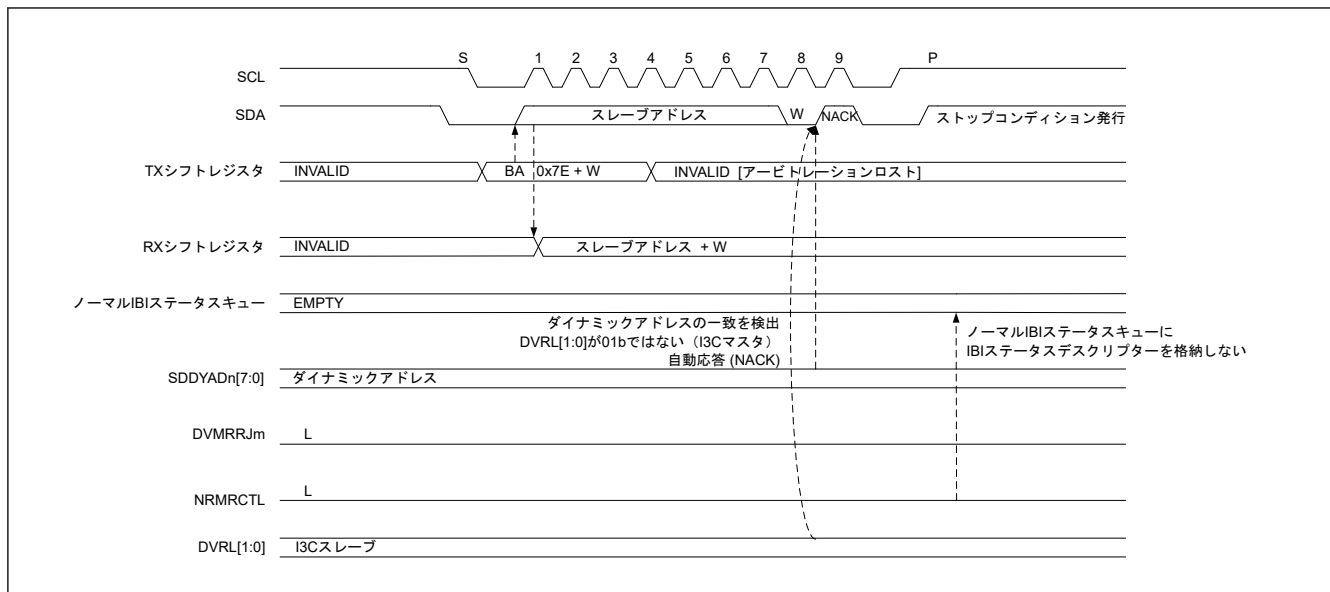


図 25.85 バス権要求 : NACK (デバイスロール[1:0]ビットが 01b (I3C マスタ) 以外である) かつ NRMCTL が 0 の場合

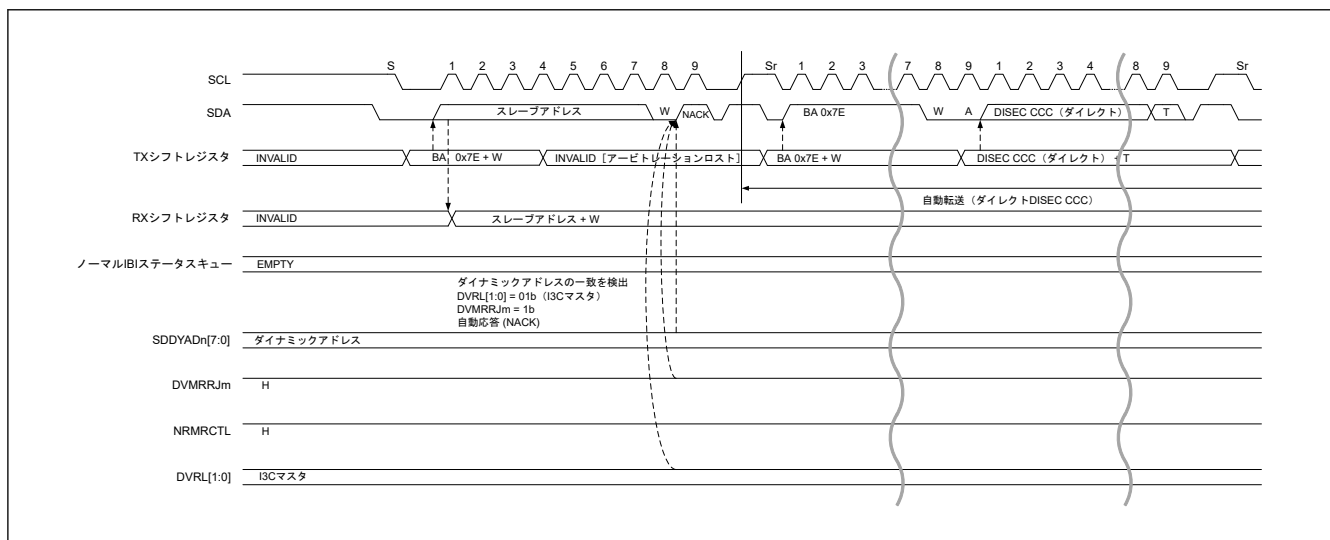


図 25.86 バス権要求 : NACK (DVMRRJ が 1) かつ NRMCTL が 1 の場合 (1/2)

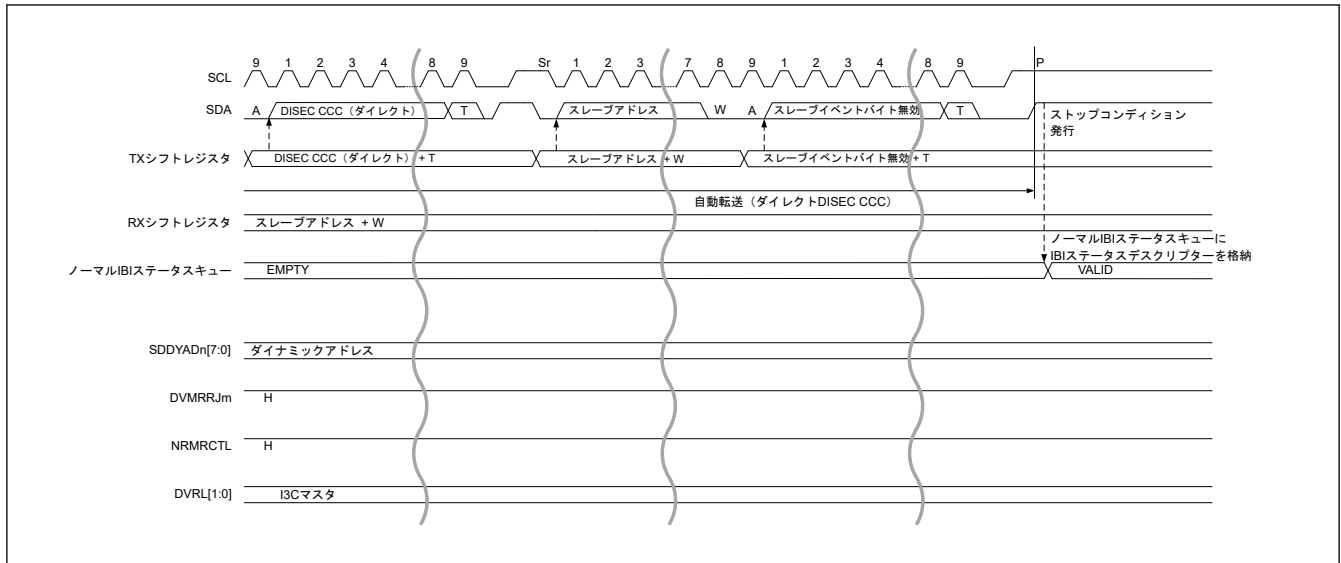


図 25.87 バス権要求 : NACK (DVMRRJ が 1) かつ NRMRCTL が 1 の場合 (2/2)

### (3) ホットジョインイベント

1. アドレスヘッダの RnW ビットが Low でホットジョインアドレス (0x02) を検出します。
2. BCTL.HJACKCTL = 1 のとき :  
以下の順で動作します。
  - (a) NACK を応答します。
  - (b) 繰り返しのスタートコンディションを発行し、ブロードキャスト DISEC CCC を自動的に発行します。
  - (c) ストップコンディションを発行します。

BCTL.HJACKCTL = 0 のとき :  
ACK を応答し、ストップコンディションを発行します。

3. ストップコンディションの発行後、  
NACK 応答 :
  - IBINCTL.NRHJCTL ビットが 0 の場合、IBI ステータスディスクリプタは IBI ステータスキューに格納されません。
  - IBINCTL.NRHJCTL ビットが 1 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納します。

ACK 応答 :  
IBI ステータスディスクリプタを IBI ステータスキューに格納します。

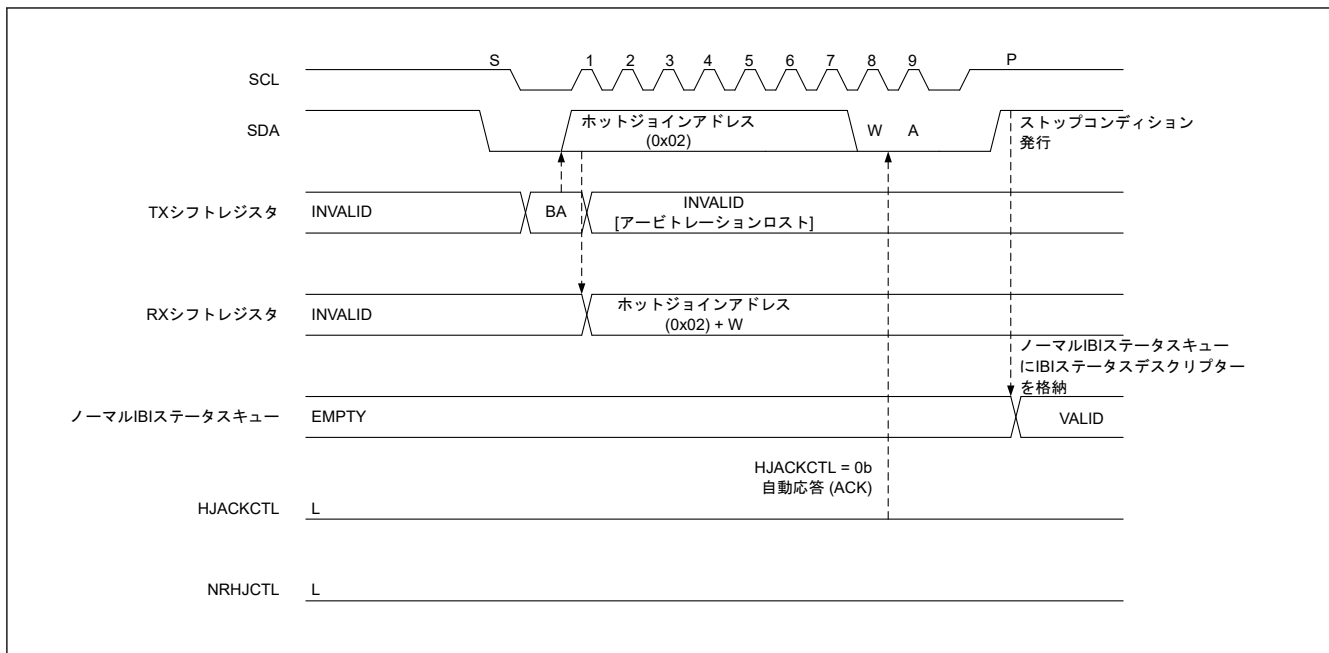


図 25.88 ホットジョインイベント : ACK

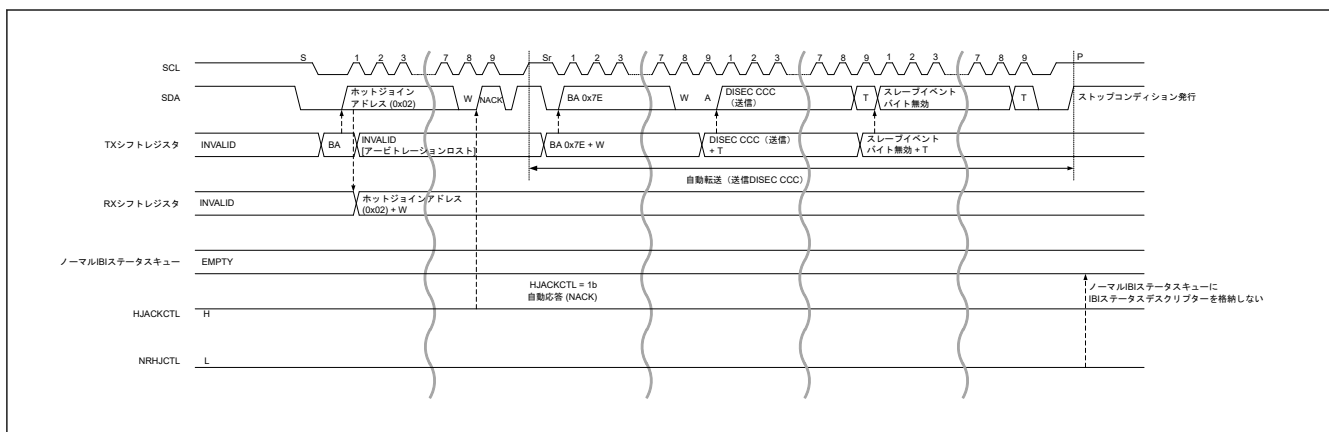


図 25.89 ホットジョインイベント : NACK (HJACKCTL が 1) かつ NRHJCTL が 0 の場合

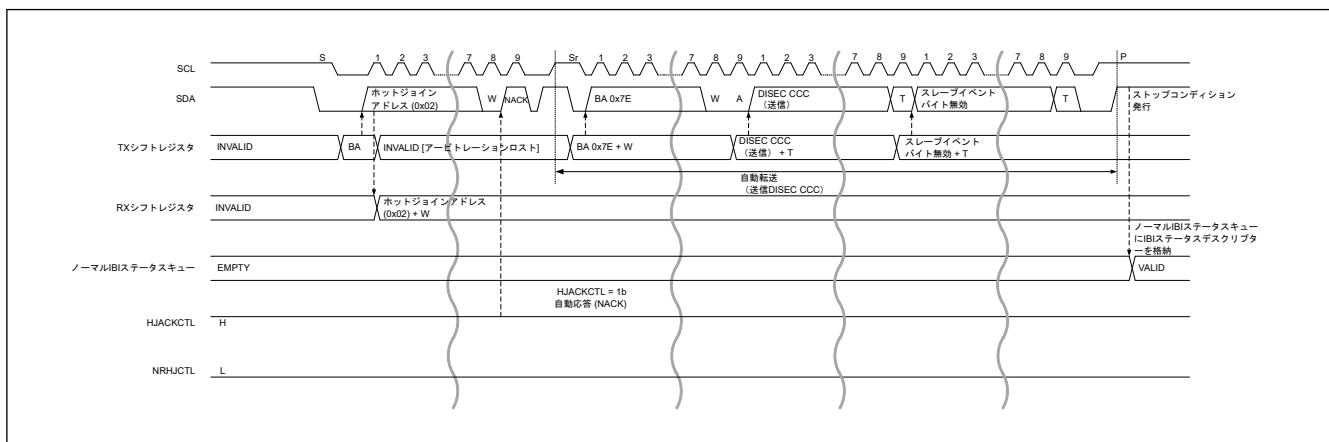


図 25.90 ホットジョインイベント : NACK (HJACKCTL が 1) かつ NRHJCTL が 1 の場合

## 25.3.2.3.9 ポート制御

## (1) SCL クロック追加出力機能

I3C モジュールは、マスタモード時、マスタデバイスとスレーブデバイスとの同期ズレによるスレーブデバイスの SDA<sub>n</sub> ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

この機能は、I3C から SCL クロックを 1 クロック単位で追加出力させる機能であり、主にマスタモード時に、スレーブデバイスが SDA<sub>n</sub> ラインを Low 固定しているため、I3C が繰り返しのスタートコンディションまたはストップコンディションを発行できないバスエラー発生時に、スレーブデバイスの SDA<sub>n</sub> ラインを Low 固定状態から開放するために使用されます。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

OUTCTL.EXCYC ビットが 1 のとき、REFCKCTL.IREFCKS[2:0] ビットと STDBR.SBRHO[7:0] レジスタ、STDBR.SBRLO[7:0] レジスタに設定された周波数の追加のクロックパルスが SCL<sub>n</sub> 端子から出力されます。このクロックパルスの出力が終了すると、EXCYC ビットは自動的に 0 になります。EXCYC ビットが 0 になったことを確認した後、繰り返しのスタートコンディションまたはストップコンディションのセットアップ時間を待機します。それから、繰り返しのスタートコンディションまたはストップコンディションの検出を確認します。繰り返しのスタートコンディションまたはストップコンディションを検出しない場合、再び EXCYC ビットに 1 を書き込むことで、続けて追加のクロックパルスを出力できます。

I3C がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDA<sub>n</sub> ラインを Low に固定したままであると、繰り返しのスタートコンディションまたはストップコンディションを出力できません。この SCL 追加サイクルを出力する機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDA<sub>n</sub> ラインの Low 固定状態を解除させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDA<sub>n</sub> ラインの解放は、PRSTDBG.SDILV フラグを読みだすことで確認できます。SDA<sub>n</sub> ラインがスレーブデバイスにより解放された後、繰り返しのスタートコンディションまたはストップコンディションのプリセットを発行します。

この機能を使用する場合、BFCTL.MALE ビットを 0 (マスタアービトラクションロスト検出無効) にしてください。

[OUTCTL.EXCYC ビット使用時の出力条件]

- バスフリー状態 (BCST.BFREF フラグ = 1) またはマスタモード (PRST.CRMS ビット = 1、BCST.BFREF フラグ = 0) のとき
- 通信デバイスが SCL<sub>n</sub> ラインを Low ホールドにしていない状態のとき

図 25.91 に SCL クロック追加出力機能 (EXCYC ビット) の動作タイミングを示します。

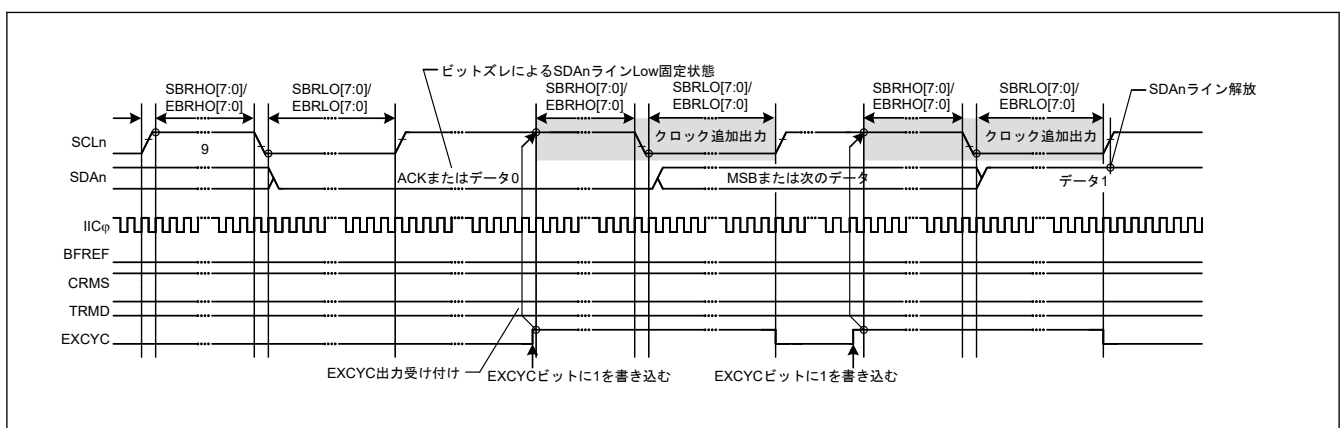


図 25.91 SCL クロック追加出力機能 (EXCYC ビット)

25.3.2.3.10 SMBus 動作 [I<sup>2</sup>C モード]

I3C では SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、BFCTL.SMBS ビットを 1 にしてください。転送速度が SMBus 仕様の 10 kbps~100 kbps の範囲に収まるように、REFCKCTL.IREFCKS[2:0] ビット、STDBR.SBRHO[7:0] ビットおよび STDBR.SBRLO[7:0] ビットを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、OUTCTL.SDODCS ビットおよび OUTCTL.SDOD[2:0] ビットの値を決

定してください。I3C を I<sup>2</sup>C スレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、STDBR.SBRLO[7:0]ビットにはデータセットアップ時間 (250 ns) 以上の値を設定する必要があります。

なお、SMBus デバイスデフォルトアドレス (1100 001) には、スレーブデバイスアドレステーブル基本レジスタ 0 (SDATBASy.SDSTAD[6:0]ビット (y=0)) のいずれか 1 つを使用し、対応する SDATBASy.SDADLS ビット (7 ビット/10 ビットアドレスフォーマット選択) (y=0) を 0 (7 ビットアドレスフォーマット) にしてください。

また、UDID (ユニークデバイス ID) 送信時には、BFCTL.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

### (1) SMBus タイムアウト測定

#### (a) スレーブデバイスのタイムアウト測定

下記に示す区間 (タイムアウト間隔:  $T_{\text{LOW:SEXT}}$ ) を SMBus 通信のスレーブデバイスにおいて計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、I3C のスタートコンディション検出割り込み (I3Cn\_EEI) とストップコンディション検出割り込み (I3Cn\_EEI) を使用して、スタートコンディション検出からストップコンディション検出までの期間を GPT タイマで計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間 (スレーブデバイス)  $T_{\text{LOW:SEXT}}$ : 25 ms (max.) 以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト  $T_{\text{TIMEOUT}}$ : 25 ms (min.) を超えた場合、スレーブデバイスは RSTCTL.INTLRST ビットに 1 を書き込み、I3C の内部リセットを発行して、バス解放動作を行う必要があります。内部リセットを行うと I3C は SCLn 端子/SDAn 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

#### (b) マスタデバイスのタイムアウト測定

下記に示す区間 (タイムアウト間隔:  $T_{\text{LOW:MEXT}}$ ) を SMBus 通信のマスタデバイスにおいて計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、I3C のスタートコンディション検出割り込み (I3Cn\_EEI)、ストップコンディション検出割り込み (I3Cn\_EEI)、送信終了割り込み (I3Cn\_TEND)、または受信データバッファフル割り込み (I3Cn\_RX) を使用して、GPT タイマで計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間 (マスタデバイス)  $T_{\text{LOW:MEXT}}$ : 10 ms (max.) 以内でなければならない、スタートコンディションからストップコンディションまでのすべての  $T_{\text{LOW:MEXT}}$  の値の合計は  $T_{\text{LOW:SEXT}}$ : 25 ms (max.) 以内でなければなりません。

ACK 受信タイミング (SCL クロックの 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は BST.TENDF フラグ、マスタ受信モード時 (マスタレシーバ) は NTST.RDBFF0 フラグで監視します。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは SCSTRCTL.ACKTWE ビットを 0 で使用してください。ACKTWE ビットが 0 のとき、RDBFF0 フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長期間 (マスタデバイス)  $T_{\text{LOW:MEXT}}$ : 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト  $T_{\text{TIMEOUT}}$ : 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作 (NTDTBP0 レジスタへの書き込み) を中止してください。

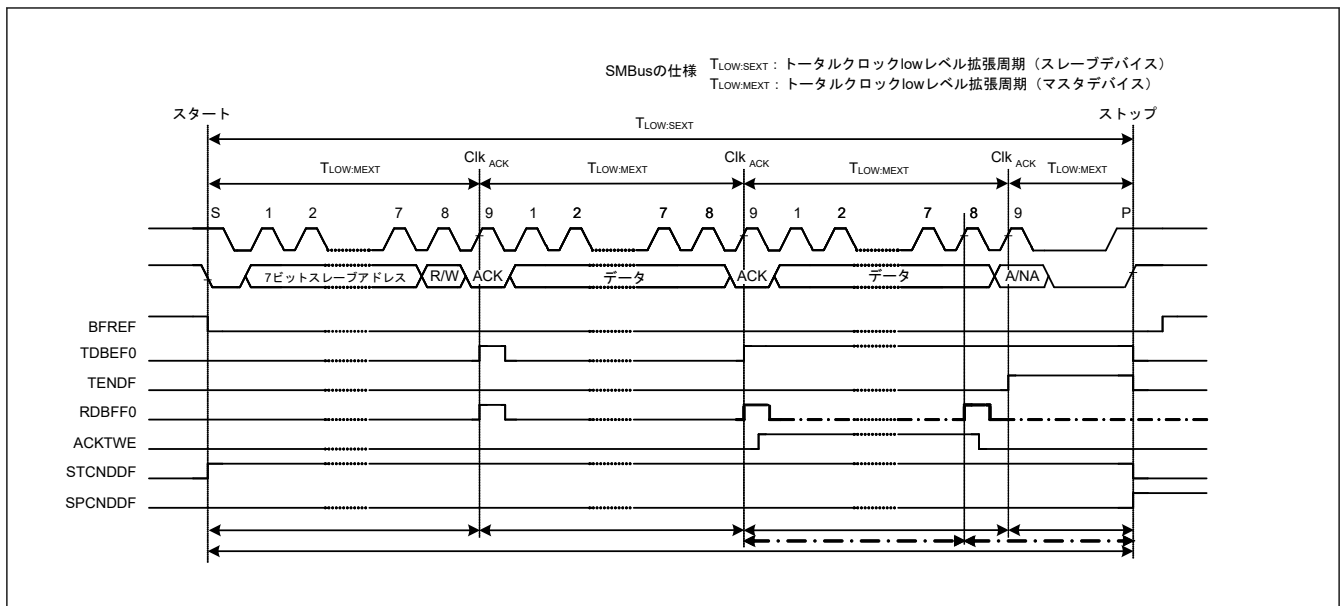


図 25.92 SMBus タイムアウト測定

## (2) パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。CRC 演算器を使用すると、I3C のデータ通信でのパケットエラーコード (PEC) の送信や SMBus の受信データのチェックを行うことができます。CRC 演算器の CRC 生成多項式については、「27. 巡回冗長検査 (CRC)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果（一致または不一致）に応じた ACK/NACK 送出手を行う場合は、最終バイト受信中の SCL の 8 クロック目の立ち上がりまでに SCSTRCTL.ACKTWE ビットを 1 にし、8 クロック目の立ち下がりまで SCLn ラインを Low にホールドしてください。

## (3) SMBus ホスト通知プロトコル (Notify ARP Master コマンド)

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスから送信されたホストアドレス (0001 000) をスレーブアドレスとして検出する必要があり、I3C ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、BFCTL.SMBS ビットを 1、かつ SVCTL.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

### 25.3.2.3.11 共通コマンドコード (CCC) [I3C モード]

共通コマンドコード (CCC) については、MIPI I3C 仕様 v1.0 の「5.1.9 共通コマンドコード (CCC)」を参照してください。I3C は、5.1.9.3 MIPI I3C 仕様 v1.0 の共通コマンド定義の表 15 I3C 共通コマンドコードに基づいています。

注. MCU Ver.1 には以下の制約と回避策があります。MCU Ver.2 には制約と回避策は不要です。

コマンドコード 0xE0~0xFE のベンダ固有ダイレクト CCC 拡張コマンドはサポートしていません。

コマンドコードの MIPI 予約領域とベンダ拡張領域はサポートしていません。

I3C スレーブで本モジュールを使用する場合、サポートしていない CCC を使用しないでください。

I3C マスタがサポートしていない CCC を使用しなければならない場合は、ENTASx CCC を使って本モジュールをスリープモードにしてから追加された CCC を使用してください。

注. MCU Ver.2 に対して、コマンドコードの MIPI 予約領域とベンダ拡張領域は以下のように説明されます。



I3C マスタモード :

I3C マスタから MIPI 予約領域とベンダ拡張領域に共通コマンドコードを送信する場合、即時転送コマンドを使用した Broadcast / Direct SET 共通コマンドコードのみが送信可能です。Direct GET 共通コマンドコードの送信はサポートしていません。

I3C スレーブモード :

MIPI 予約領域とベンダ拡張領域で共通コマンドコードを受信する場合、Broadcast / Direct SET 共通コマンドコードのみが受信可能です。Direct GET 共通コマンドコードの受信はサポートしていません。

## 25.3.2.4 エラー検出機能

### 25.3.2.4.1 SDR エラー検出および復帰方法 (I3C スレーブデバイス) [I3C モード]

表 25.13 にまとめた 7 つのエラー種別は、全ての I3C スレーブデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表 25.13 SDR スレーブエラー種別

エラー種別	内容	エラーの検出方法	エラーの復帰方法
S0	ブロードキャストアドレス/W (= 0x7E/W) またはダイナミックアドレス/RW	以下のいずれかを検出 : 0x3E / W 0x5E / W 0x6E / W 0x76 / W 0x7A / W 0x7C / W 0x7F / W 0x7E / R	HDR 終了ディテクタを有効にし、全ての他のパターンを無視する
S1	CCC コード	T ビットを使ったパリティチェック	HDR 終了ディテクタを有効にし、他のパターンを無視する
S2	ライトデータ	T ビットを使ったパリティチェック	ストップコンディションディテクタを有効にし、他のパターンを無視する
S3	ダイナミックアドレスアービトレーションで配置されたアドレス	PAR ビットを使ったパリティチェック	PAR の後、NACK を生成し、暫定 ID を再送するため、ほかの繰り返しのスタートコンディションと 0x7E/R を待機する
S4	Sr の後、ダイナミックアドレスアービトレーションの間の 0x7E/R	Sr の後、ダイナミックアドレスアービトレーションの間に、0x7E/R 以外の値を検出する	0x7E/R の後、NACK を生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する
S5	CCC 検出後のトランザクション	不正なフォーマットの CCC を検出する	スレーブアドレスの後、NACK を生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する
S6 (オプション)	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、スレーブが監視を通じて検出する (ダイナミックアドレスアービトレーションの間は適用しない)	送信を停止し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する

### 25.3.2.4.2 SDR エラー検出および復帰方法 (I3C マスタデバイス) [I3C モード]

表 25.14 にまとめた 2 つのエラー種別は、全ての I3C マスタデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表 25.14 SDR マスタエラー種別 (1/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
M0	CCC 送信後のトランザクション	不正なフォーマットの CCC を検出する	送信を停止する。それからストップコンディションを送信し、送信を再試行する

表 25.14 SDR マスタエラー種別 (2/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
M1 (オプション)	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、マスタが監視を通じて検出する (ダイナミックアドレスアビレーションの間は適用しない)	送信を停止する。それからストップコンディションを送信し、送信を再試行する
M2	ブロードキャストアドレス (0x7E) に対して応答しない	マスタは、ブロードキャストアドレス (0x7E) の後の NACK を検出する	NACK の検出時、マスタは HDR 終了パターンに続けて、ストップコンディションを送信する

25.3.2.4.3 タイムアウトエラー検出機能

I3C は SCLn ラインに一定時間以上変化が見られない状態を検出するタイムアウト機能を備えています。I3C は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト機能は SCLn ラインの状態を監視し、Low の時間または High の時間を内部カウンタでカウントします。タイムアウト機能は、SCLn ラインの変化 (立ち上がりまたは立ち下がり) があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、I3C はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト機能は、BSTE.TODE ビットが 1 のとき有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。(TMOCTL.TOMDS[1:0] = 00b のとき)

- マスタモード (PRST.CRMS = 1) で、バスビジー (BCST.BFREF = 0)
- スレーブモード (PRST.CRMS = 0) で、I3C 自身のスレーブアドレス検出 (SVST レジスタが 0x0000 でない) かつバスビジー (BCST.BFREF = 0)
- スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1)

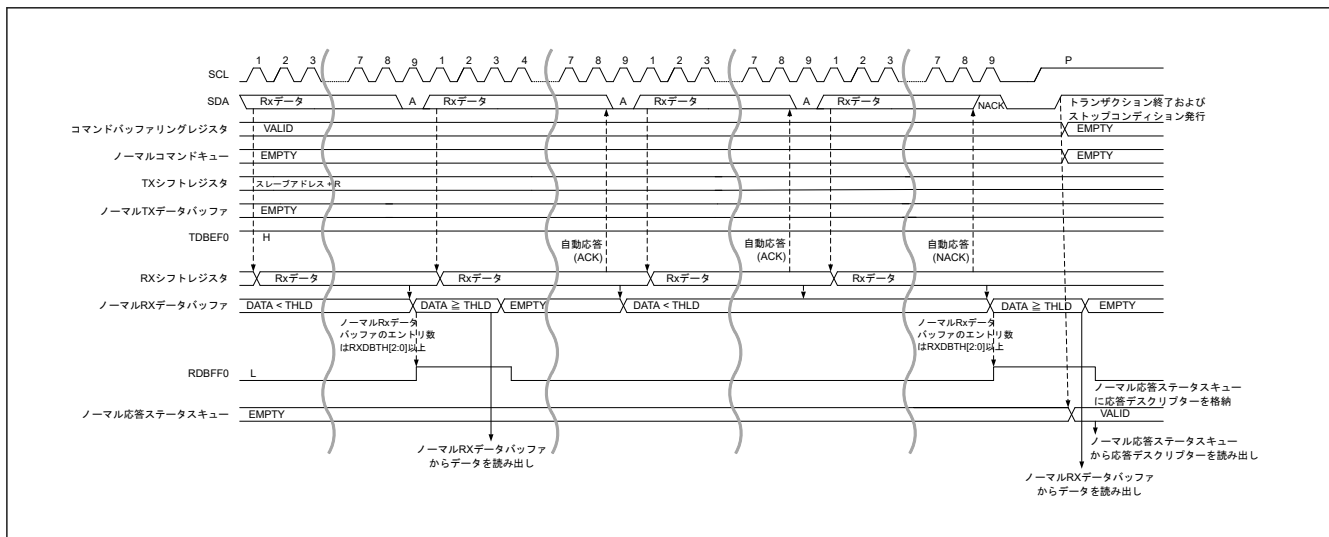


図 25.93 タイムアウトエラー検出機能 (TODE、TODTS[1:0]、TOHCTL、TOLCTL ビットの使用)

25.3.2.4.4 レジューム動作機能 [I3C モード]

I3C は、転送時に発生するいずれかの種類のエラーの結果として、停止ステートに遷移します。

エラーの種類は、応答ディスクリプタか受信ステータスディスクリプタの ERR\_STATUS フィールドに示します。I3C が停止ステートに遷移したら、ユーザーは RSM ビットに値 1 を書き込む必要があります。それにより、動作を再開します。一旦次のコマンド転送を実行するか、スタートコンディションを検出すると、I3C は RSM ビットを自動的にクリアします。

### 25.3.2.4.5 中断動作機能 [I3C モード]

BCTL.ABT ビットに 1 を設定すると、I3C は今発行している転送を完了する前に、バスの制御を放棄します。中断要求に対しては、I3C はデータバイトの転送または受信が完了した後で、バスにストップコンディションを発生します。I3C が中断した後、ユーザーはバス動作ができるように BCTL.ABT ビットをクリアします。

注. 読み出しトランザクションでは、BCTL.ABT ビットが 1 に設定されると、その受信データは受信データバッファに格納されます。

略称

Pa : パリティ

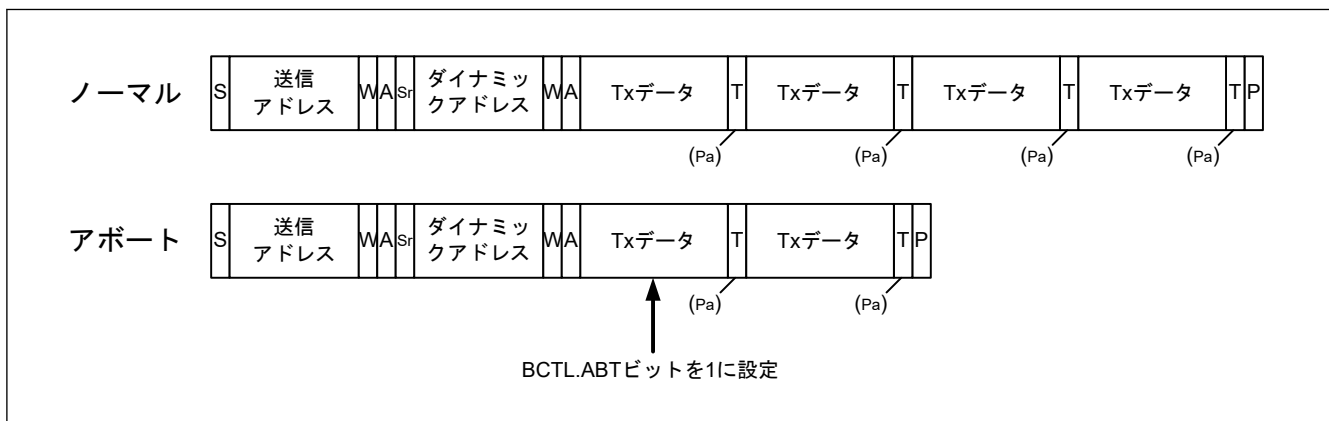


図 25.94 SDR 書き込み転送の中断動作

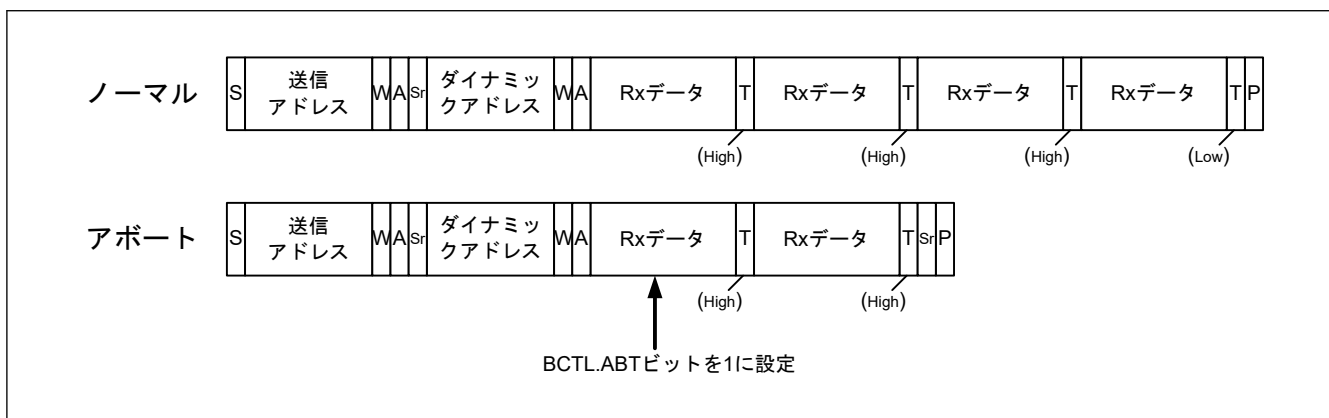


図 25.95 SDR 読み出し転送の中断動作

### 25.3.2.4.6 エラー復帰動作 [I3C モード] [MCU Ver1]

エラーが発生すると、エラーの要因に従って INST.INEF、NTST.TEF、および NTST.TABTF フラグが 1 に設定されます。または各フラグに対応する割り込みがアサートされます (検出と割り込みが許可されている場合)。

通信エラーか内部モジュールエラーが発生する可能性があります。

注. I3C マスタ/I3C スレーブは以下の場合に応じて、エラー復帰動作フローを実施する必要があります。

- TEF が検出される場合

エラー復帰動作フローの例を図 25.96 と図 25.97 に示します。

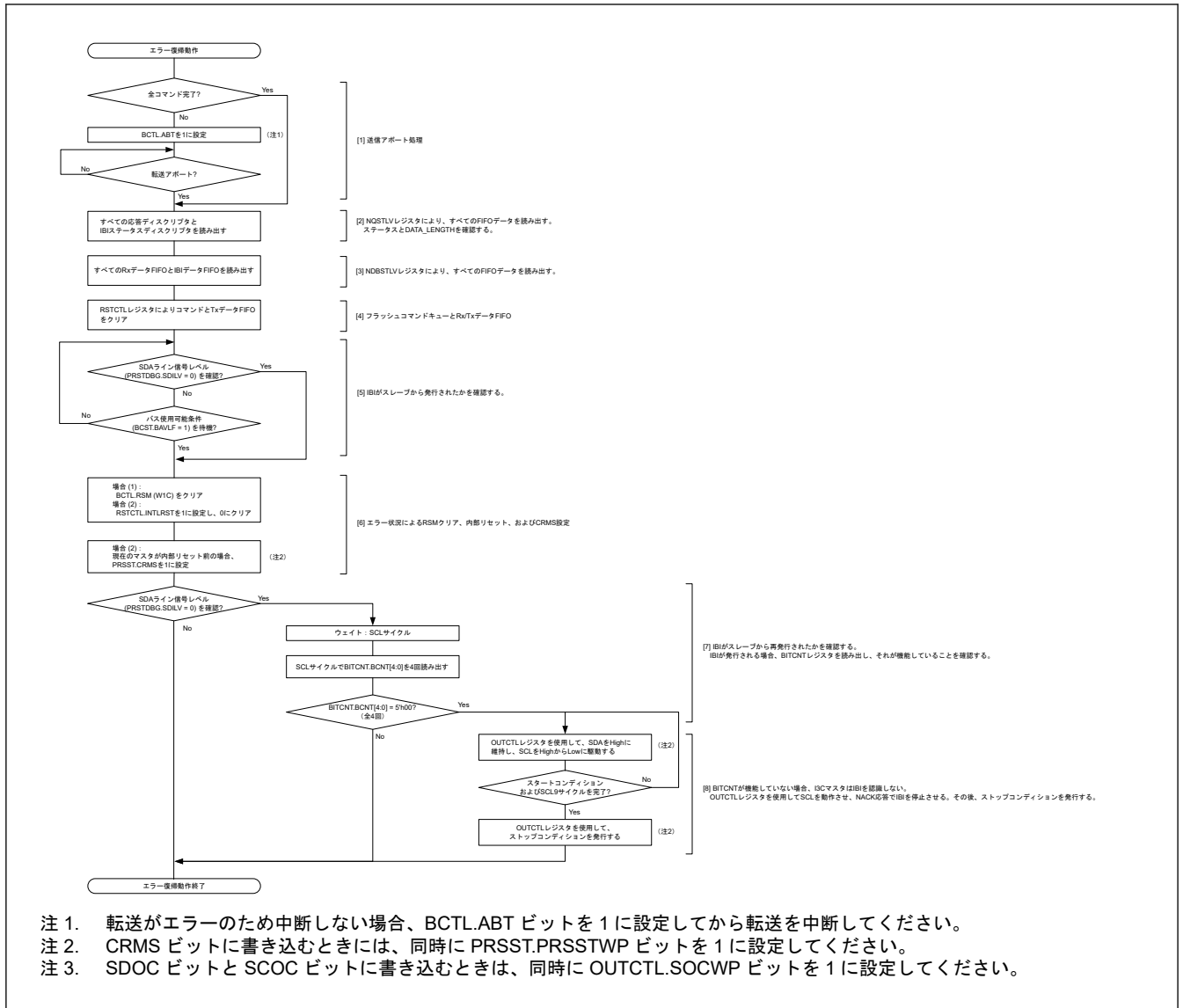


図 25.96 I3C マスタのエラー復帰動作フローの例

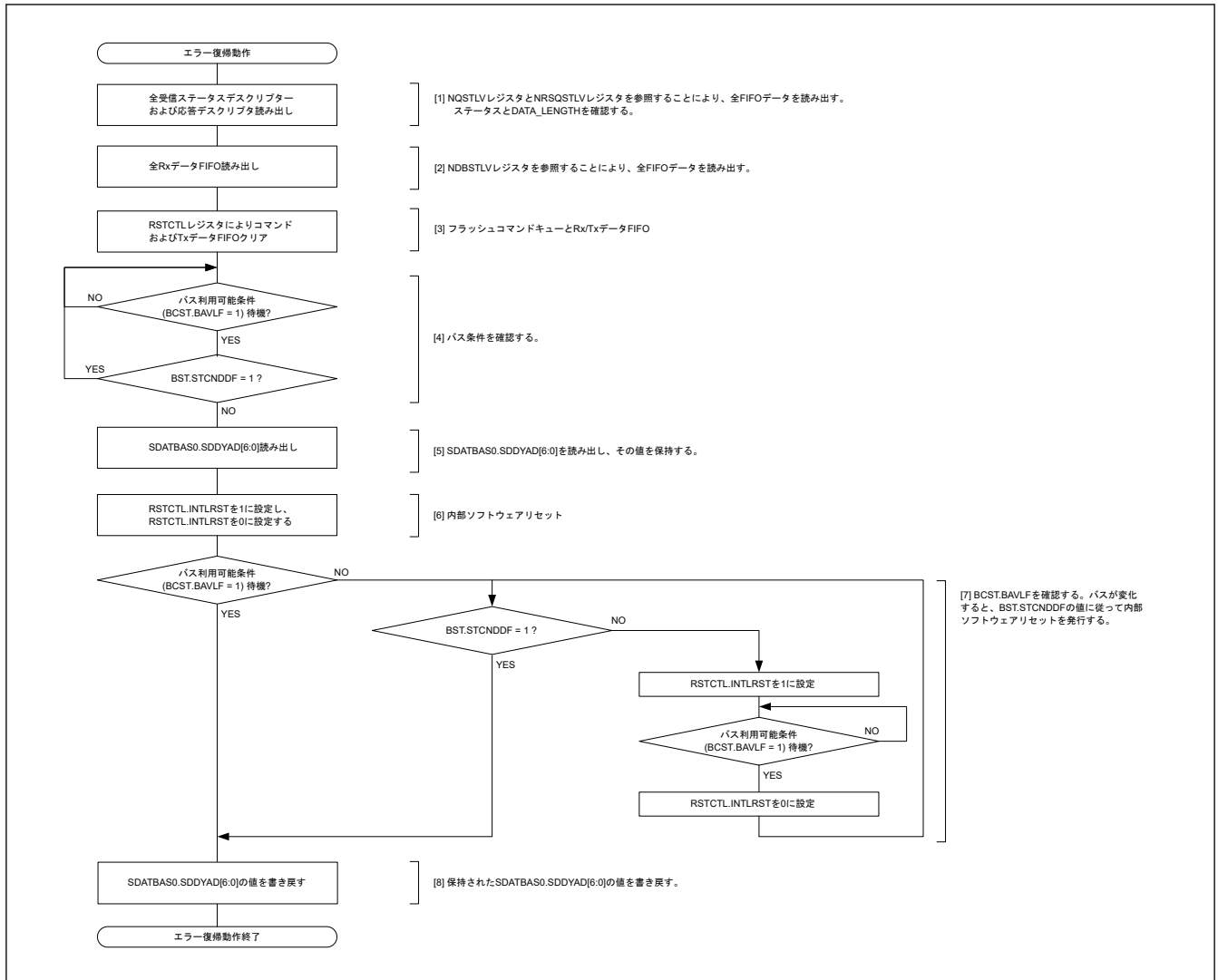


図 25.97 I3C スレープのエラー復帰動作フローの例

### 25.3.2.4.7 エラー復帰動作 [I3C モード] [MCU Ver2]

エラーが発生すると、INST.INEF、NTST.TEF、および NTST.TABTF フラグがエラーの原因に応じて 1 に設定されるか、または各フラグに対応する割り込みがアサートされます（検出と割り込みが許可されている場合）。

通信エラーまたは内部モジュールエラーが発生する可能性があります。

注. 以下のエラー復帰動作フローを適用してください。

エラーが発生すると、I3C はサスペンド状態になります。（BCTL.RSM ビットは 1 になります。）I3C がサスペンド状態になった後に、I3C の動作を再開し、サスペンド状態から復帰させるためには、アプリケーションが BCTL.RSM ビットに 1 を書き込む必要があります。MCU Ver.2 のエラー復帰動作フローの例を [図 25.98](#) と [図 25.99](#) に示します。MCU Ver.1 のエラー復帰動作フローが MCU Ver.2 に対して実行されても、問題ありません。

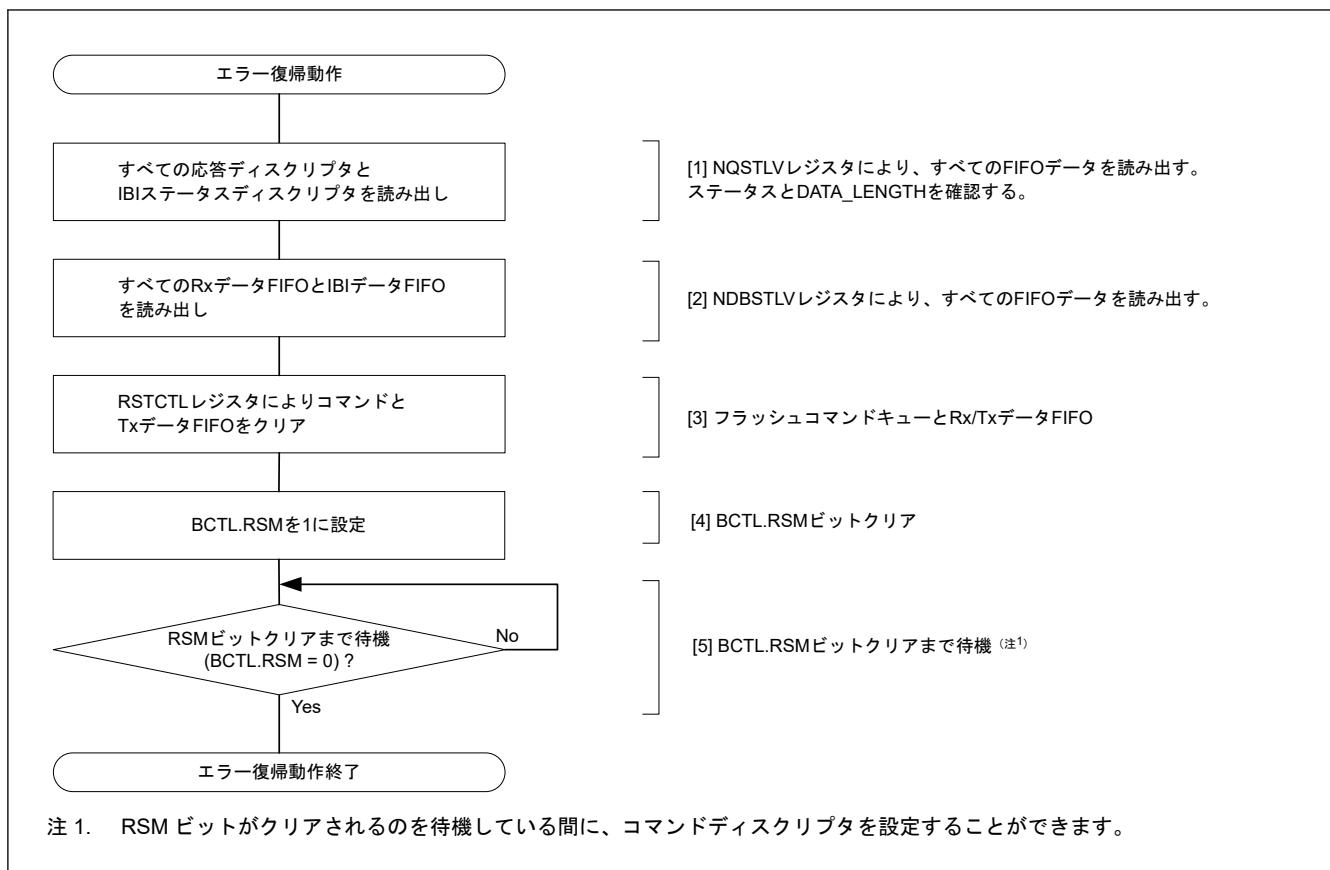


図 25.98 I3C マスタのエラー復帰動作フローの例

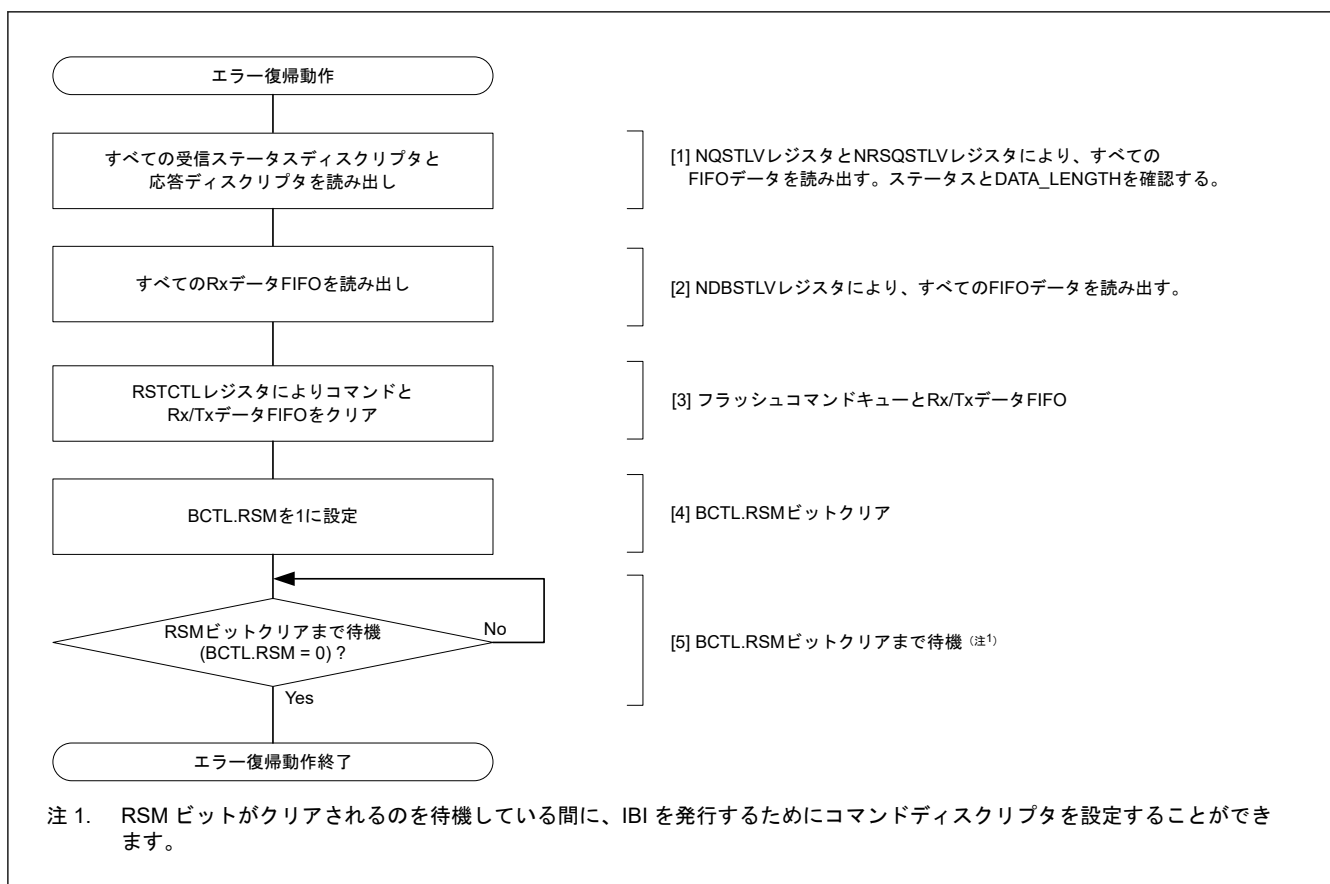


図 25.99 I3C スレーブのエラー復帰動作フローの例

## 25.3.2.5 その他

25.3.2.5.1 SCL 同期回路 [I<sup>2</sup>C モード]

この機能は、PRTS.PRTMD ビットが 1 のとき有効になります。

SCL クロック生成では、I3C が SCLn ラインの立ち上がりを検出すると、STDBR.SBRHO[7:0] ビットで設定した High 幅のカウンタを開始し、カウンタが完了すると SCLn ラインを Low にします。

また、I3C が SCLn ラインの立ち下がりを検出すると、STDBR.SBRLO[7:0] ビットで設定した Low 幅のカウンタを開始し、カウンタが完了すると SCLn ラインを解放します。これにより SCL クロックを生成します。

I<sup>2</sup>C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、I3C はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る機能である SCL 同期回路を備えています。

I3C が SCLn ラインの立ち上がりを検出し STDBR.SBRHO[7:0] ビットで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCLn ラインが立ち下げられた場合、I3C は SCLn ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCLn ラインの Low ドライブを行うのと同時に STDBR.SBRLO[7:0] ビットで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが完了すると、I3C は SCLn ラインを解放します。このとき他のマスタデバイスの SCL クロックの Low 幅が本モジュールで設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの解放によって SCL クロックが立ち上がります。I3C が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが解放され、SCL クロックが立ち上がります。すなわち、複数のマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、BFCTL.SCSYNE ビットが 1 のときのみ有効です。

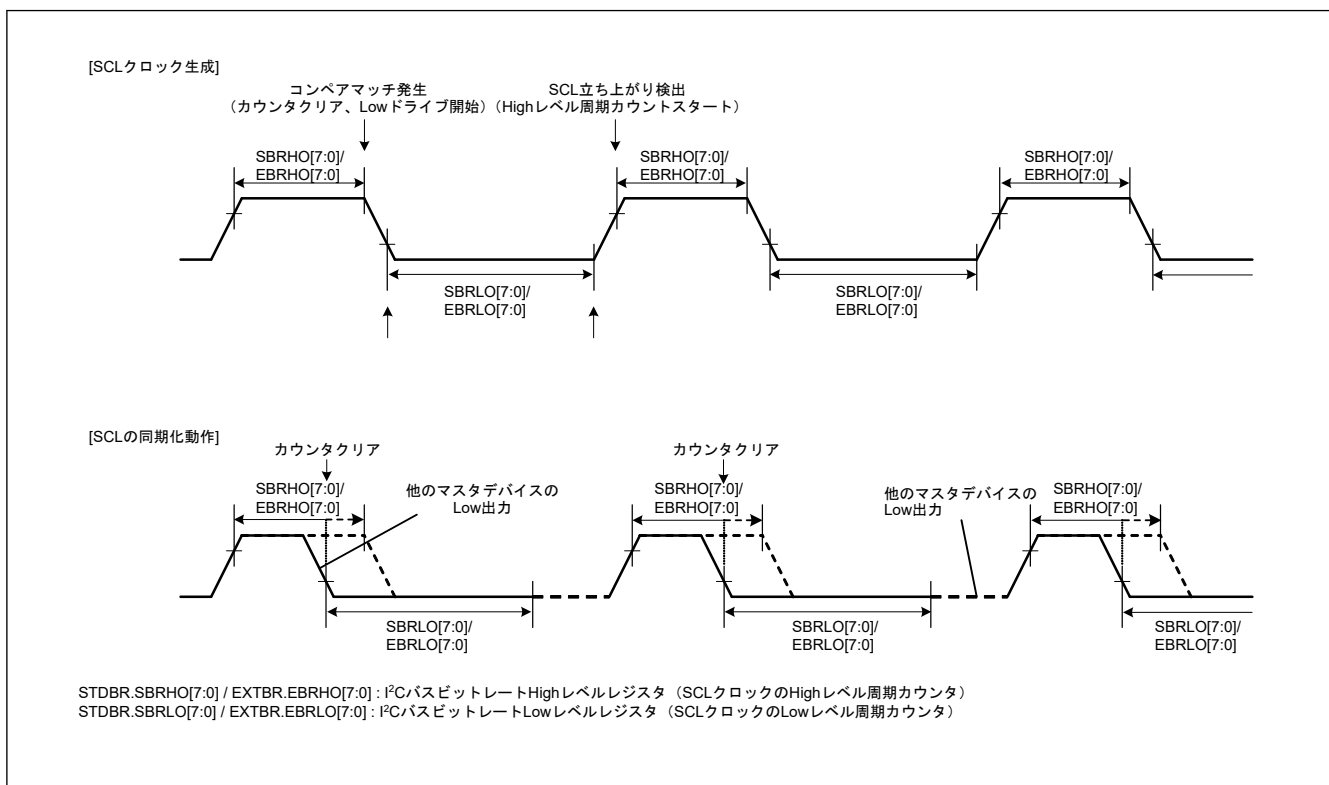


図 25.100 SCL クロック生成および SCL 同期化動作

25.3.2.5.2 SDA 出力遅延機能 [I<sup>2</sup>C モード]

I3C モジュールは、SDA 出力遅延機能を備えています。SDA 出力遅延機能は、SDA ライン上のすべての SDA 出力タイミング (スタート、繰り返しのスタート、およびストップコンディションの発行、データ出力、および ACK と NACK の出力) を遅延させることができます。

この SDA 出力遅延機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。

この SDA 出力遅延機能は、OUTCTL.SDOD[2:0]ビットが 000b 以外のとき有効で、OUTCTL.SDOD[2:0]ビットが 000b のとき無効です。

SDA 出力遅延機能が有効になっているとき (OUTCTL の SDOD[2:0]ビットが 000b 以外)、OUTCTL の SDODCS ビットでは、SDA 出力遅延カウンタでカウントするためのクロックソースを I3C モジュールの内部基準クロック (I3Cφ) として、または内部基準クロックの 2 分周のクロック信号 (I3Cφ/2) として選択します。カウンタは、OUTCTL.SDOD[2:0]ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、I3C モジュールは、SDA ライン上で必要な出力 (スタート、繰り返しのスタート、またはストップコンディション、データ、または ACK または NACK の信号) を行います。

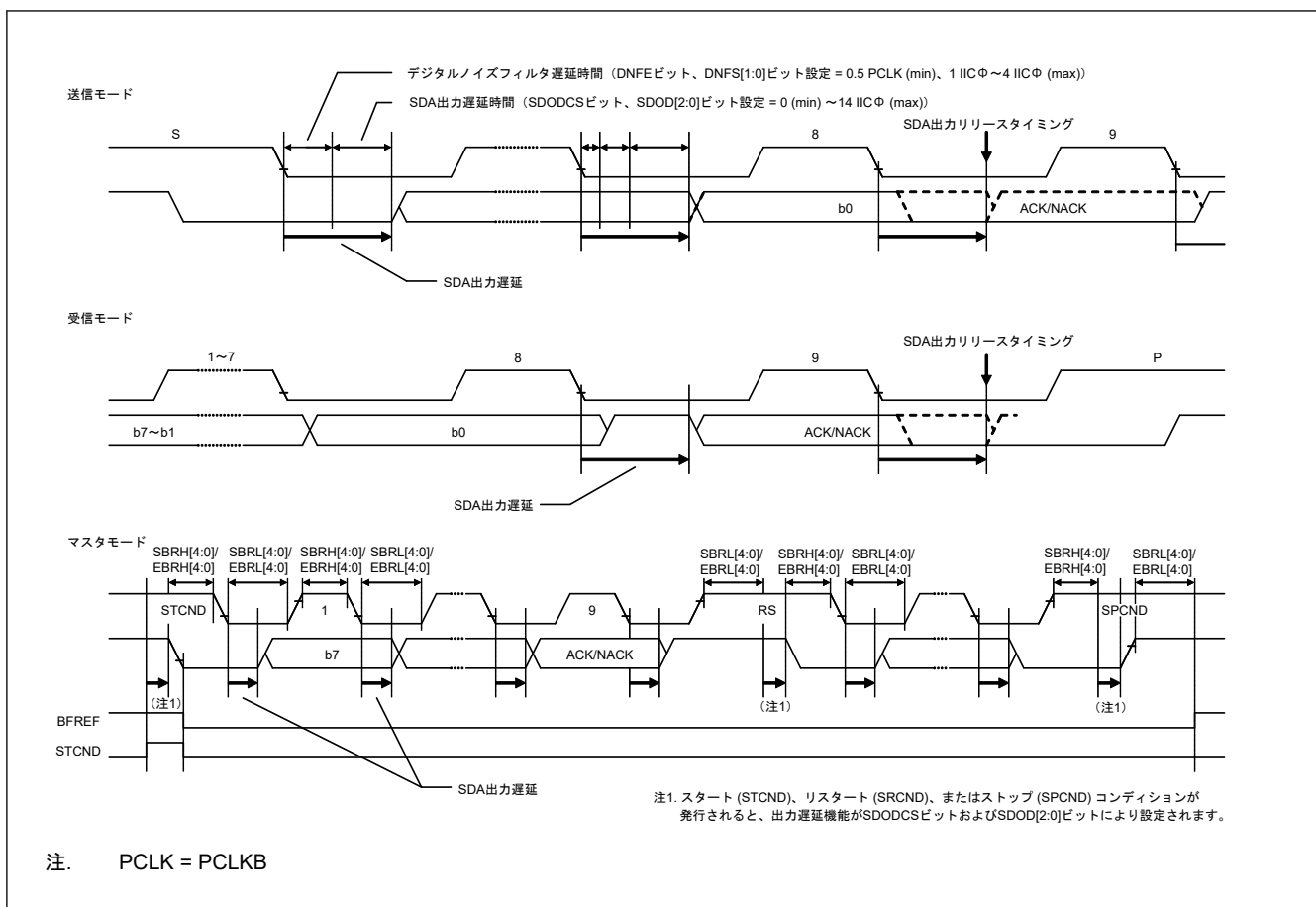


図 25.101 SDA 出力遅延機能

### 25.3.2.5.3 デジタルノイズフィルタ回路 [I<sup>2</sup>C モード]

SCLn 端子および SDA n 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。図 25.102 にデジタルノイズフィルタ回路のブロック図を示します。

I3C に内蔵されているデジタルノイズフィルタ回路は、16 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。HS モードを選択したときは、最初の 4 段のフリップフロップ回路のみが有効です。

デジタルノイズフィルタの有効段数は INCTL.DNFS[3:0]ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて I3Cφ の 1~16 サイクル分となります。

SCLn 端子入力信号 (または SDA n 端子入力信号) は I3Cφ 信号の立ち上がりでサンプリングされます。入力信号レベルが、INCTL.DNFS[3:0]ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、例えば PCLKD = 4 MHz 時の 400 kbps 通信のように、内部動作クロック (PCLKD) と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。





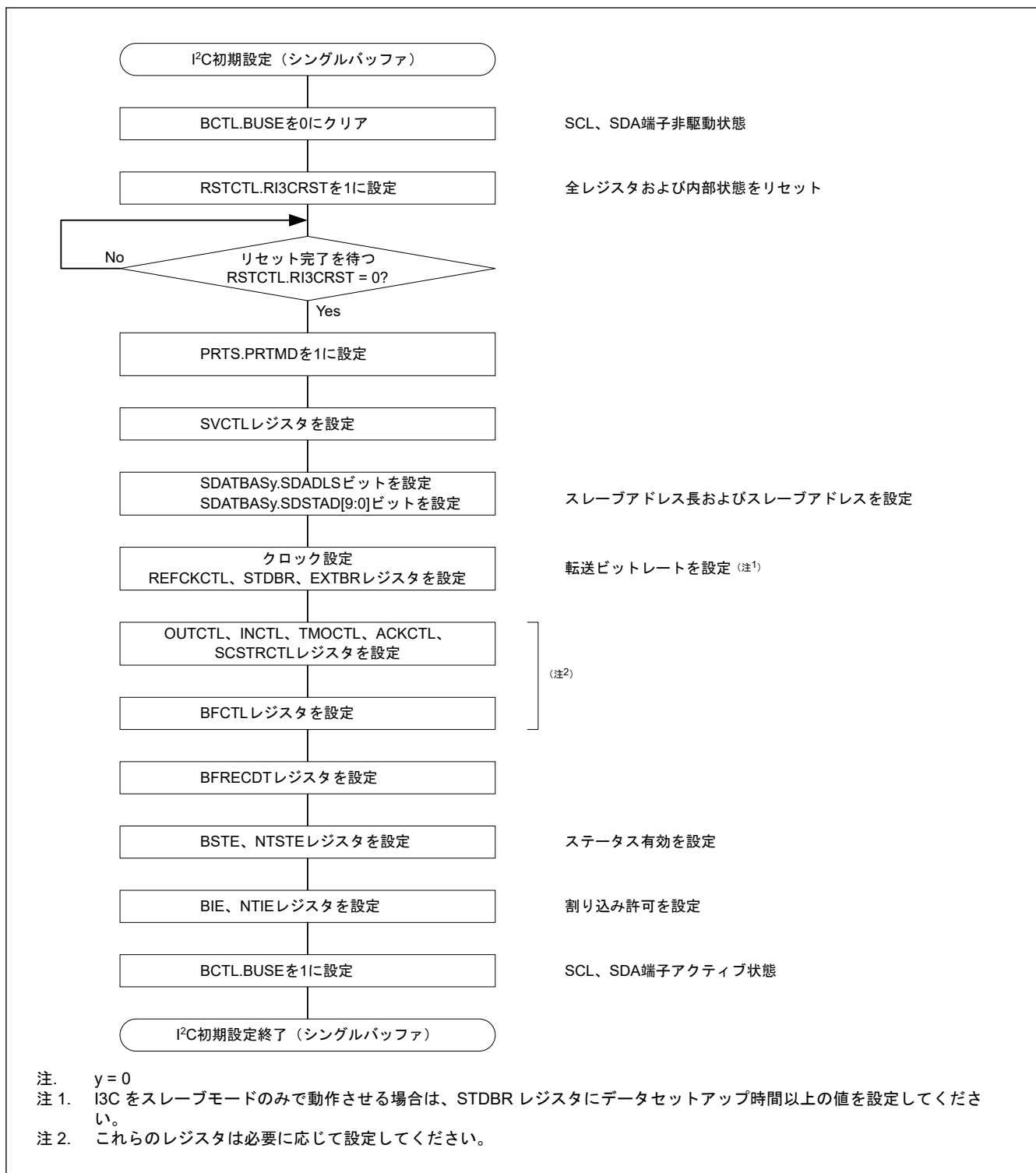


図 25.103 I2C 初期化のフローチャート例 (シングルバッファ転送)

25.3.3.1.2 I3C 初期設定フロー

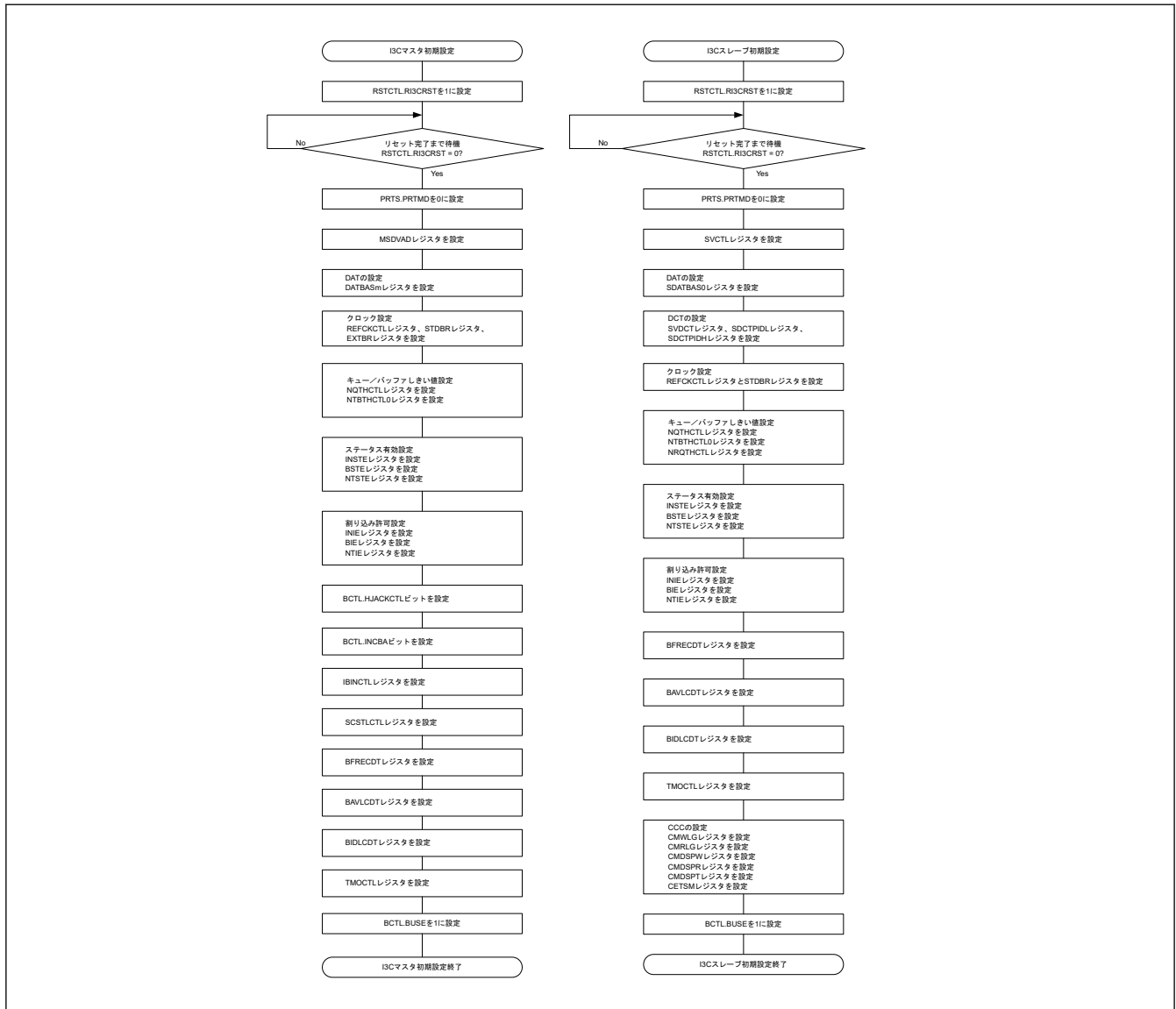


図 25.104 I3C の初期化フローチャート例

25.3.3.2 I3C 通信フロー

図 25.105 に、I3C 通信のフローを示します。

- 全ての I3C 通信は、フレームの中で行われます。フレームは、スタートコンディションで始まり、1 つ以上の転送があり、ストップコンディションで終わります。



25.3.3.3 マスタモード通信フロー

25.3.3.3.1 I<sup>2</sup>C マスタ送信フロー (シングルバッファ転送)

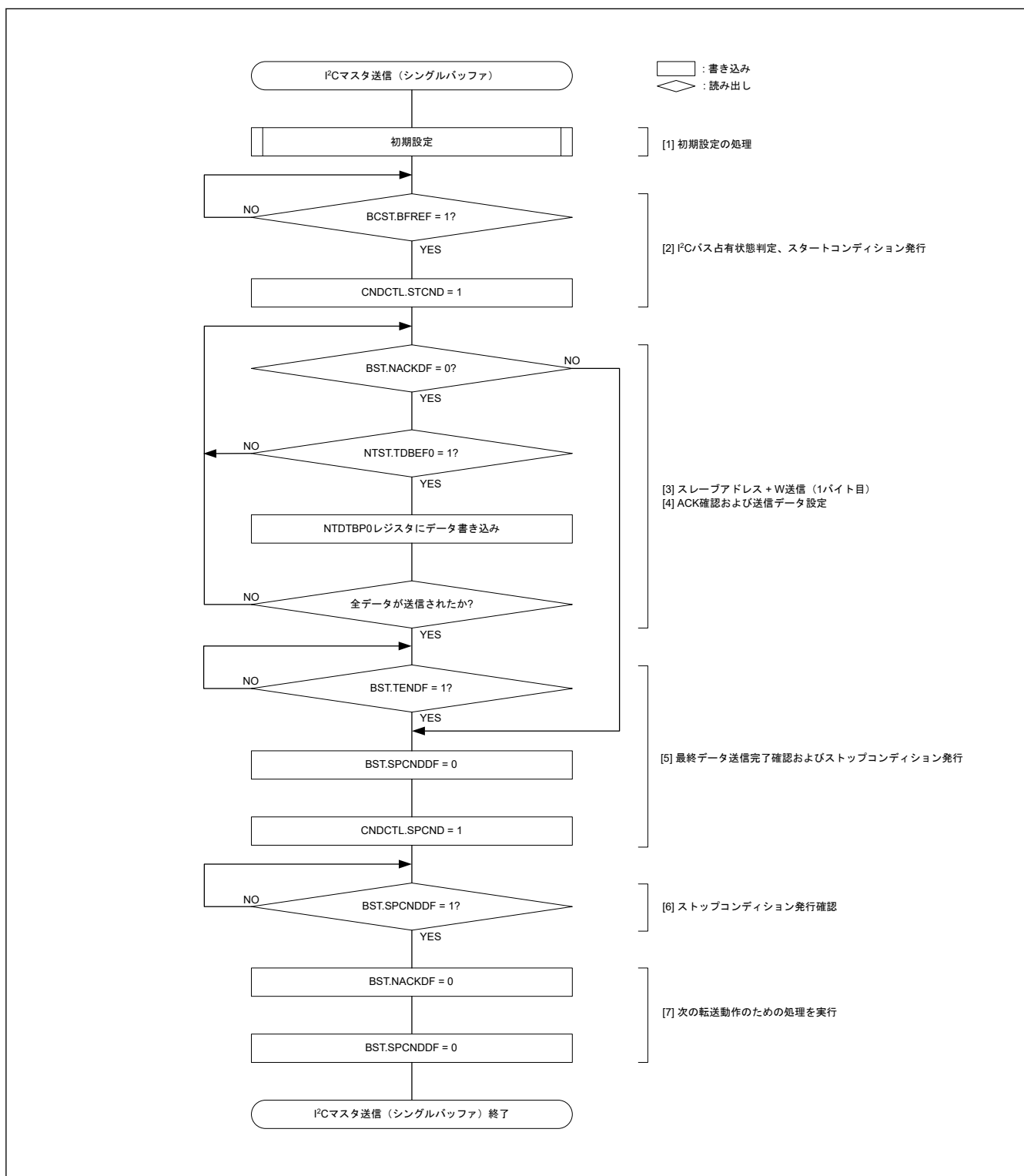


図 25.106 I<sup>2</sup>C マスタ送信のフローチャート例 (シングルバッファ転送)

注. MCU Ver.1 には以下の制約と回避策があります。MCU Ver.2 にはこれらの制約と回避策は不要です。

図 25.106 に示すように、I<sup>2</sup>C マスタ送信フローチャートの[3]と[4]で NTST.TDBEF0 が 1 であることを確認するときには、以下の処理が必要です。

スレーブアドレスを送るとき：

NTST.TDBEF0 が 1 であることを確認した後、送信データを書き込む前に PRSTDBG.SCILV が 0 (SCL のステータスを確認) であることを確認してください。

データを送るとき：

- NTST.TDBEF0 が 1 であることを確認した後で、BITCNT.BCNT が 0 でないとき、ただちに送信データを書き込んでください。
- NTST.TDBEF0 が 1 であることを確認した後、BITCNT.BCNT が 0 である場合、送信データを書き込む前に BST.TENDF が 1 でありかつ PRSTDBG.SCILV が 0 (SCL のステータスを確認) であることを確認してください。

25.3.3.3.2 I<sup>2</sup>C マスタ受信フロー (シングルバッファ転送)

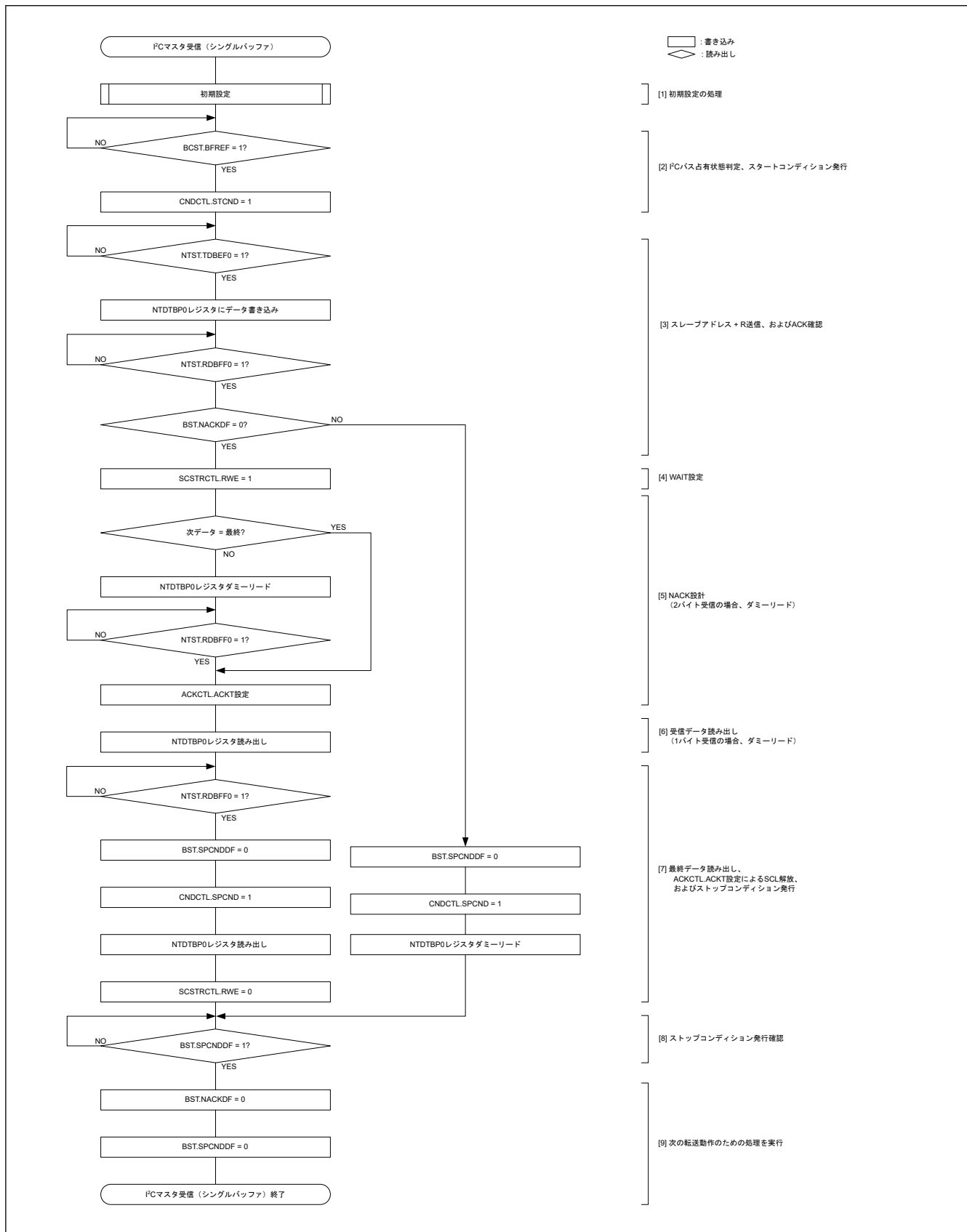


図 25.107 I<sup>2</sup>C マスタ受信のフローチャート例 (7ビットアドレスフォーマット、1または2バイト受信時)

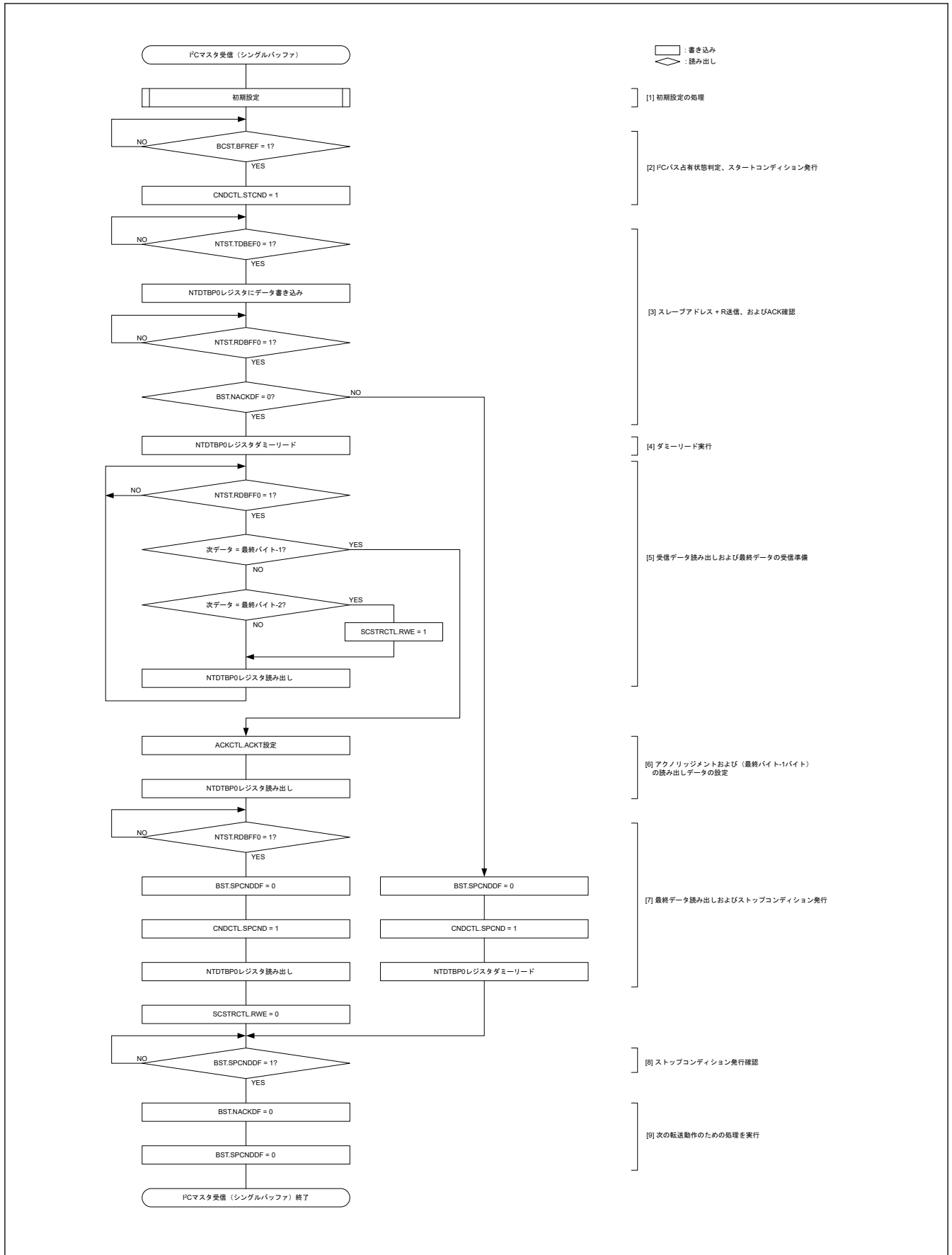


図 25.108 I<sup>2</sup>C マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上受信時)



## 25.3.3.3.3 I3C マスタ送信フロー（通常 FIFO バッファ転送）

I3C 通常 FIFO バッファ転送のマスタ送信フローは、レガシー I<sup>2</sup>C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）に共通です。

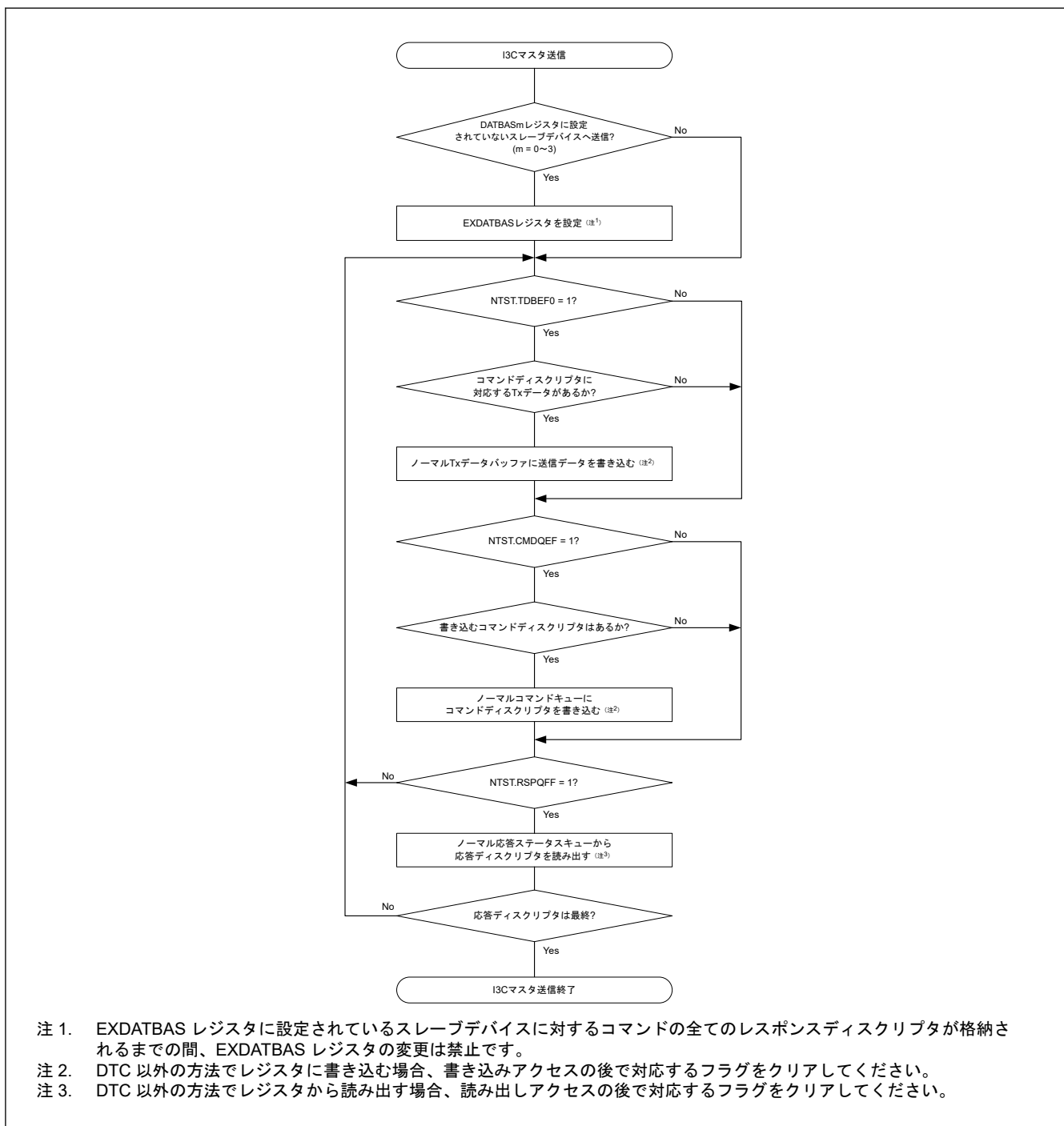


図 25.109 I3C マスタ送信のフローチャート例（通常 FIFO バッファ転送）

## 25.3.3.3.4 I3C マスタ受信フロー（通常 FIFO バッファ転送）

I3C 通常 FIFO バッファ転送のマスタ受信フローは、レガシー I<sup>2</sup>C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）に共通です。

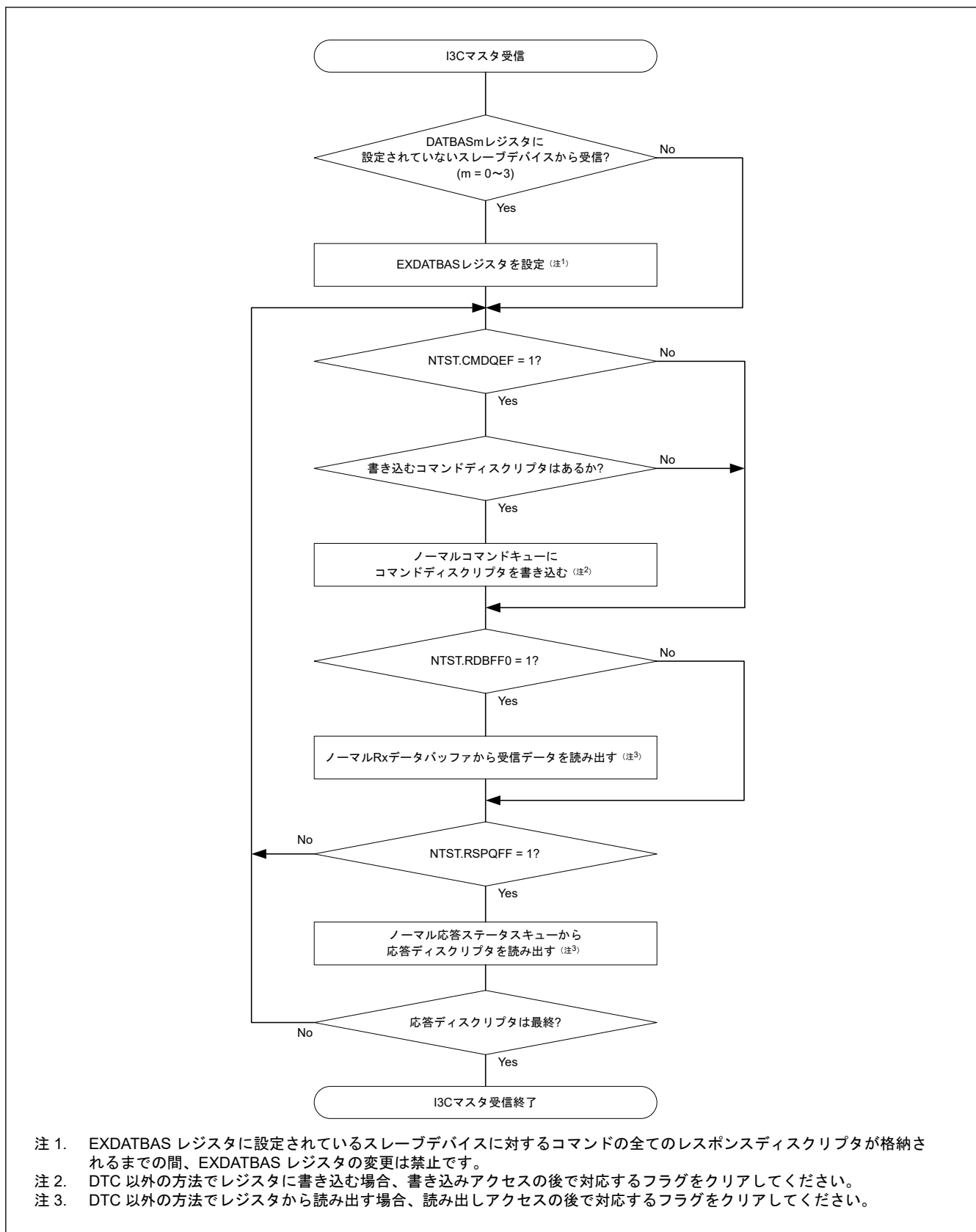


図 25.110 I3C マスタ受信のフローチャート例 (通常 FIFO バッファ転送)

25.3.3.3.5 I3C マスタ IBI 受信フロー

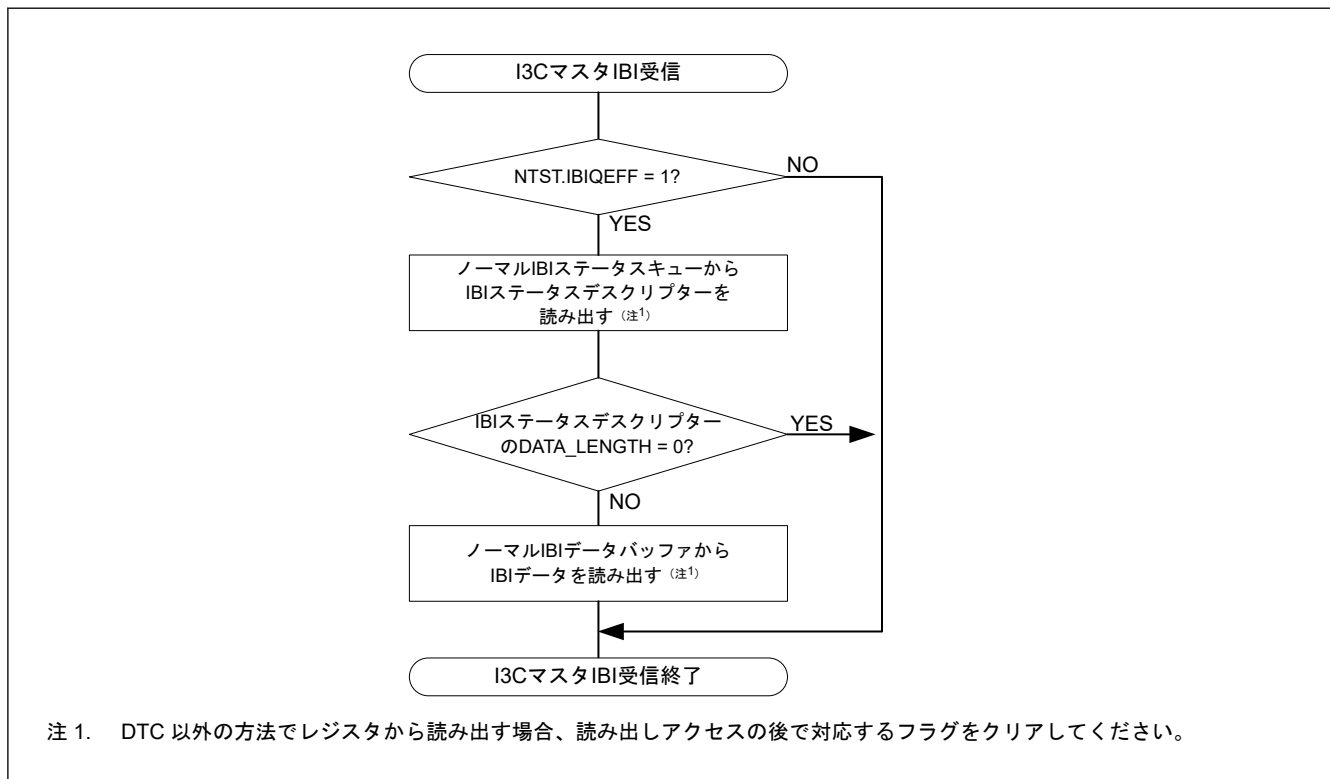


図 25.111 I3C マスタ IBI 受信のフローチャート例

25.3.3.4 スレーブモード通信フロー

25.3.3.4.1 I<sup>2</sup>C スレーブ送信フロー (シングルバッファ転送)

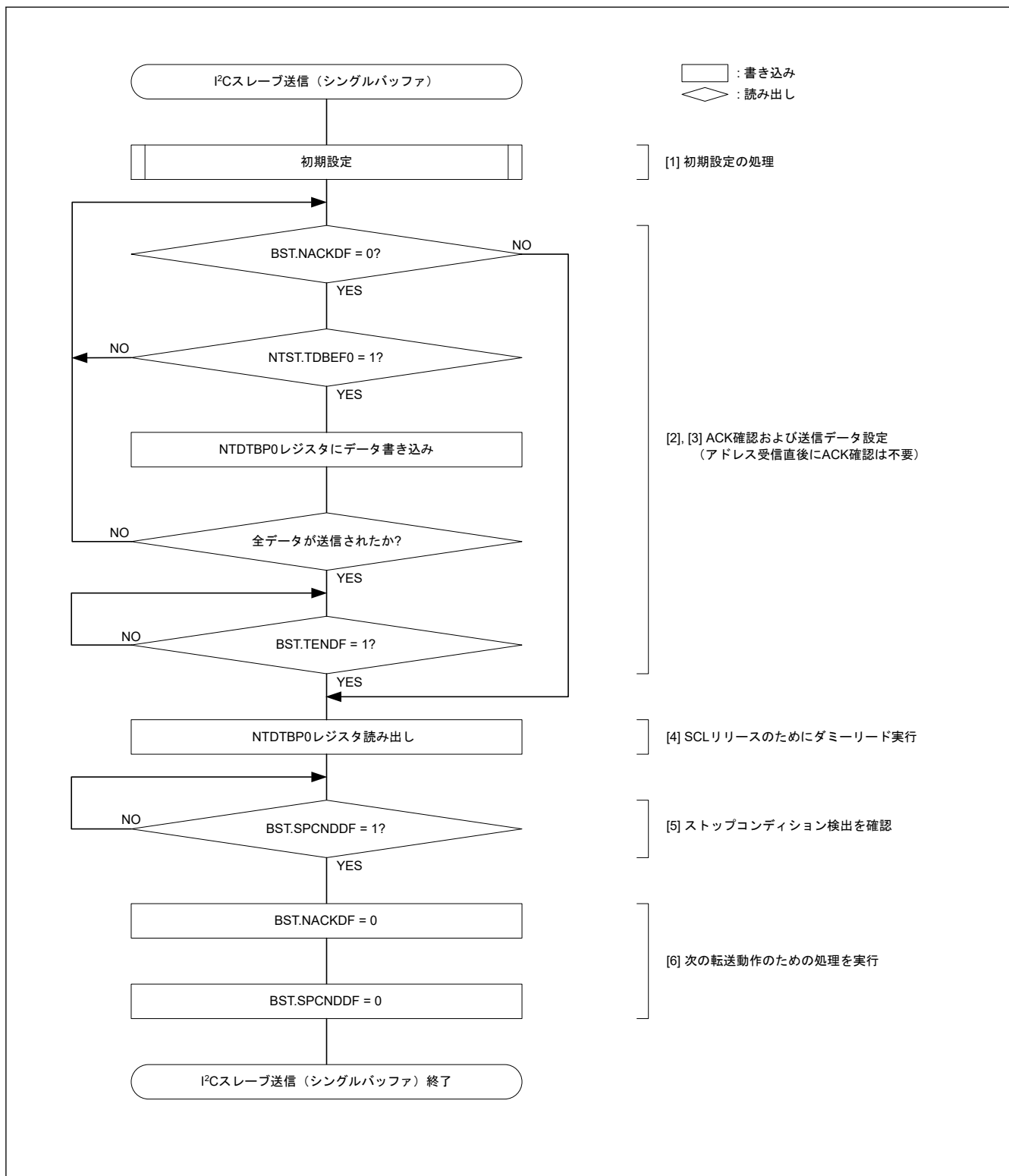


図 25.112 I<sup>2</sup>C スレーブ送信のフローチャート例 (シングルバッファ転送)

25.3.3.4.2 I<sup>2</sup>C スレーブ受信フロー (シングルバッファ転送)

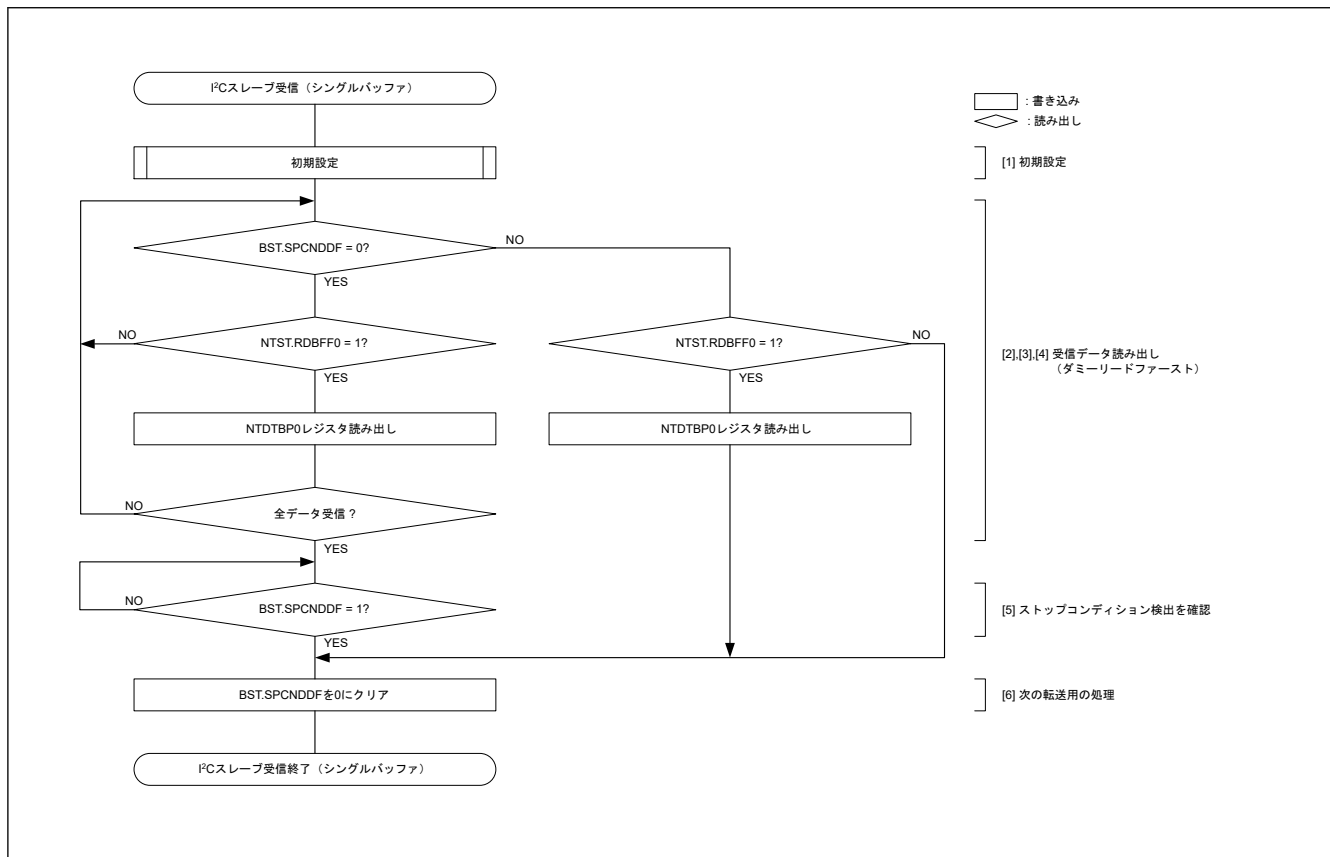


図 25.113 I<sup>2</sup>C スレーブ受信のフローチャート例 (シングルバッファ転送)

25.3.3.4.3 I3C スレーブ送信フロー (通常 FIFO バッファ転送)

I3C 通常 FIFO バッファ転送のスレーブ送信フローは、レガシー I<sup>2</sup>C、SDR (プライベート転送、ブロードキャスト CCC、ダイレクト CCC) に共通です。

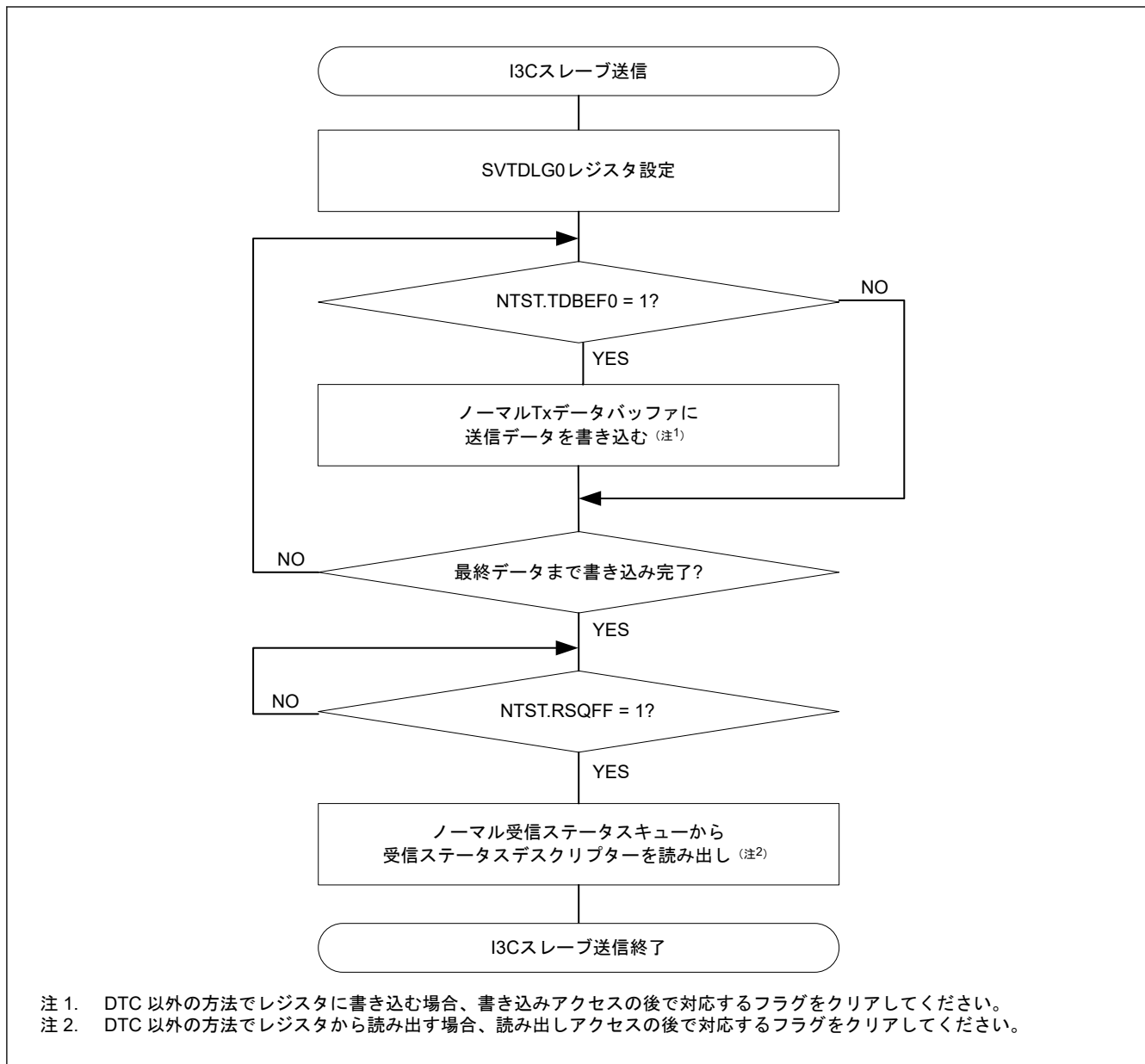


図 25.114 I3C スレーブ送信のフローチャート例 (通常 FIFO バッファ転送)

I3C を I3C スレーブとして使用している場合、NTDTBP0 レジスタから送信バッファへの書き込みによりデータが存在している間に I3C スレーブが GET CCC を受信するときは、以下のフローに従ってください。

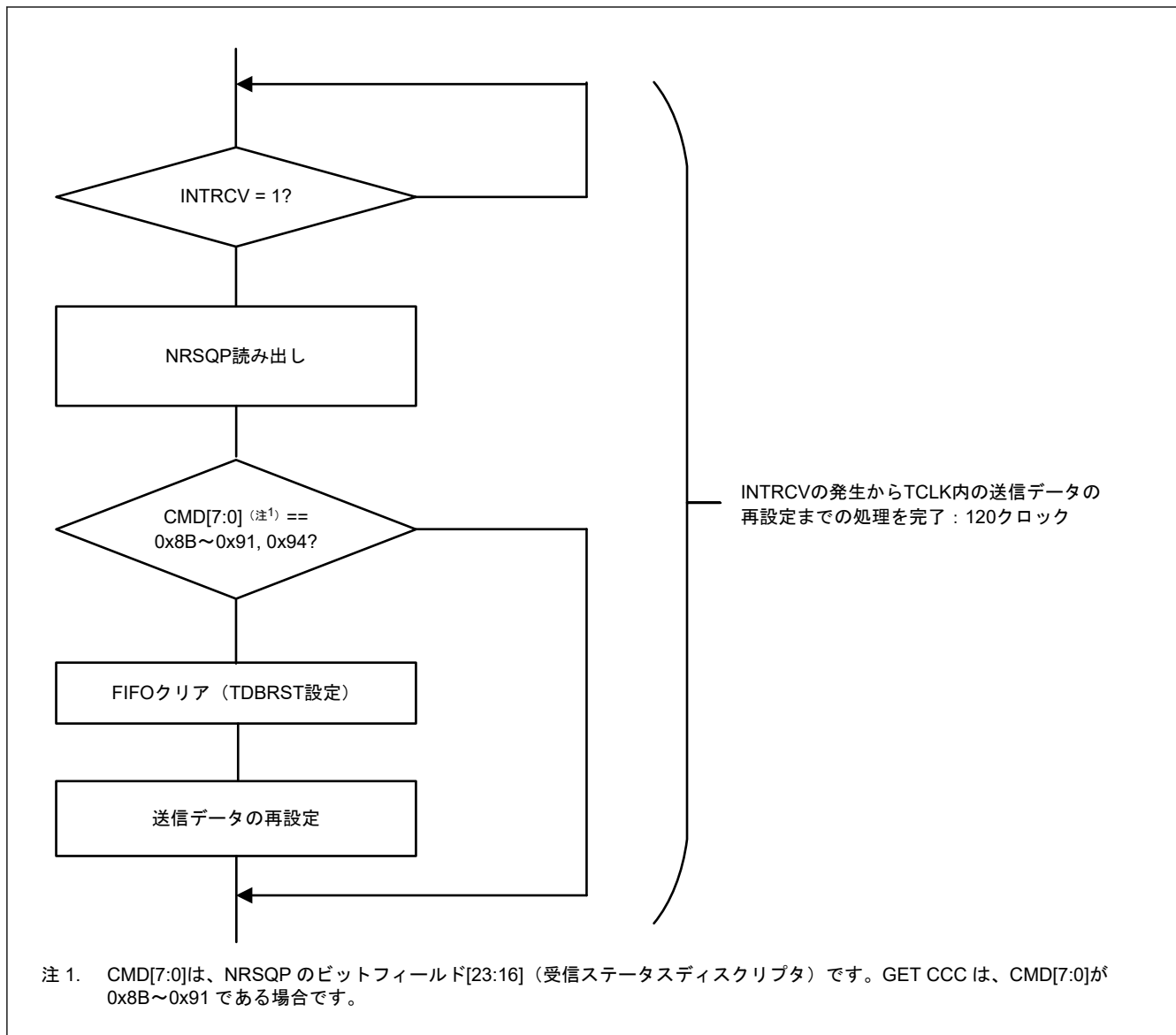


図 25.115 NTDTBP0 レジスタから送信バッファへの書き込みによりデータが存在している間に I3C スレーブが GET CCC を受信する

### 25.3.3.4.4 I3C スレーブ受信フロー (通常 FIFO バッファ転送)

I3C 通常 FIFO バッファ転送のスレーブ受信フローは、レガシー I<sup>2</sup>C、SDR (プライベート転送、ブロードキャスト CCC、ダイレクト CCC) に共通です。

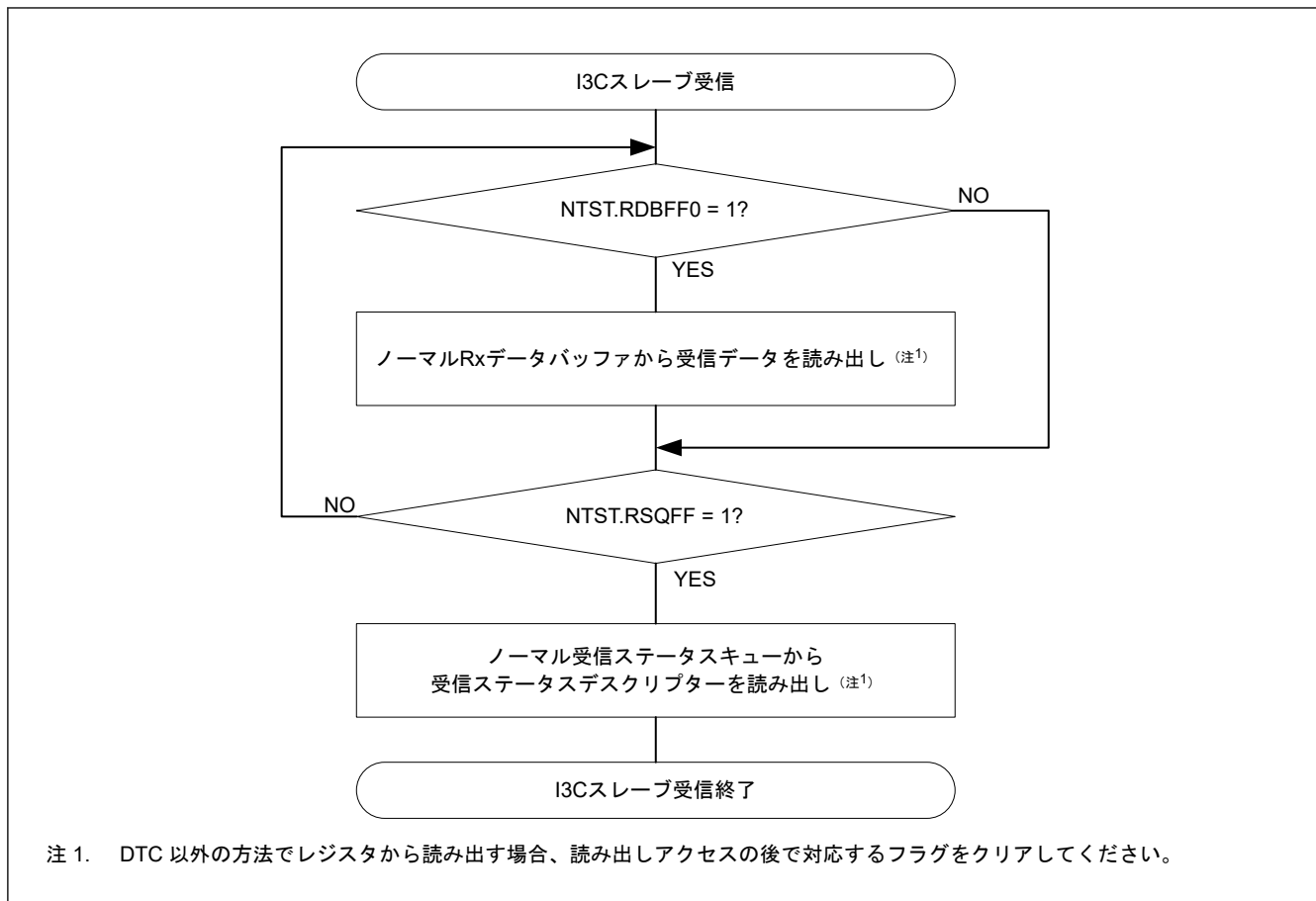


図 25.116 I3C スレーブ受信のフローチャート例 (通常 FIFO バッファ転送)



25.3.3.4.5 I3C スレーブ IBI 送信フロー

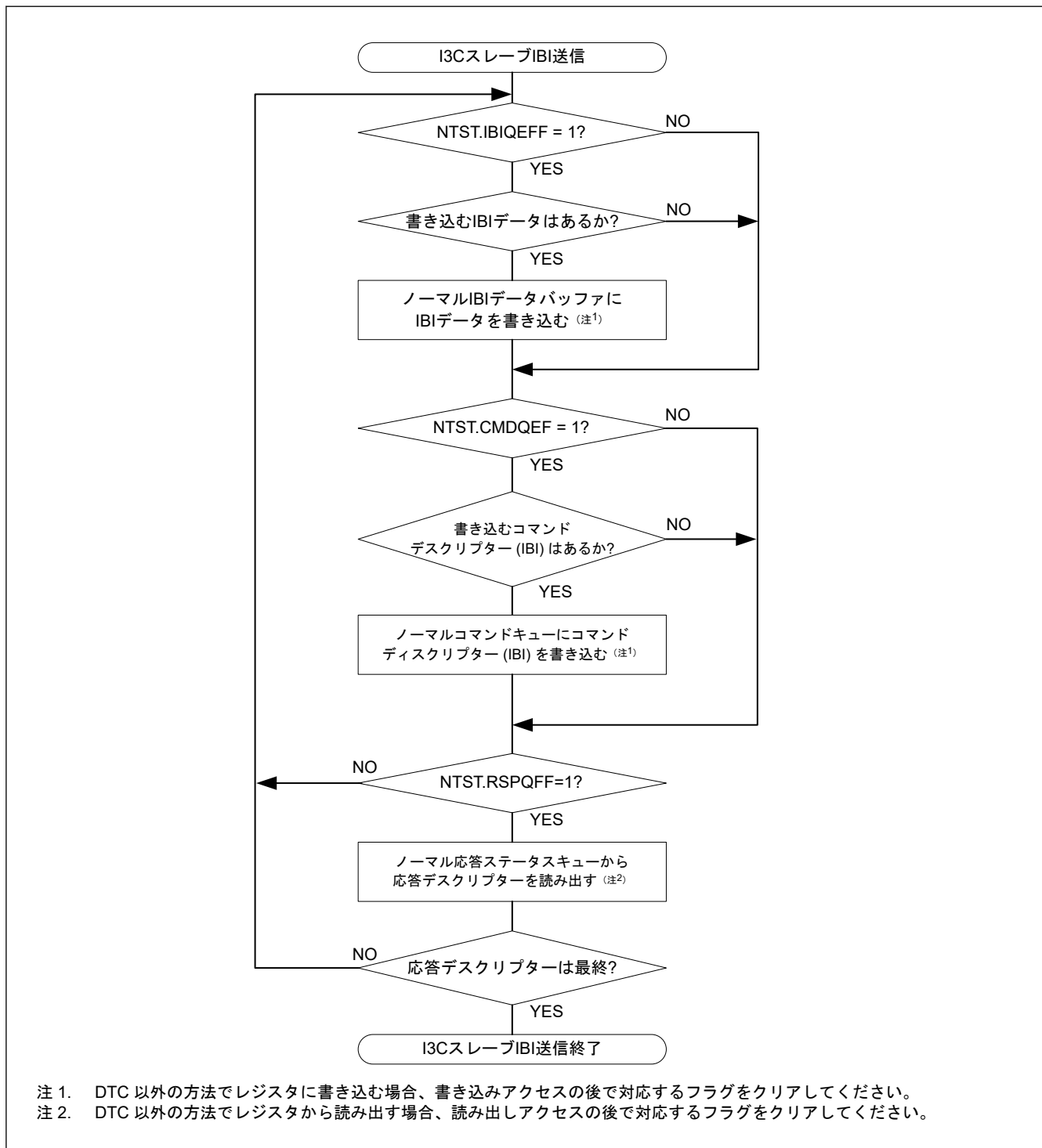


図 25.117 I3C スレーブ IBI 送信のフローチャート例

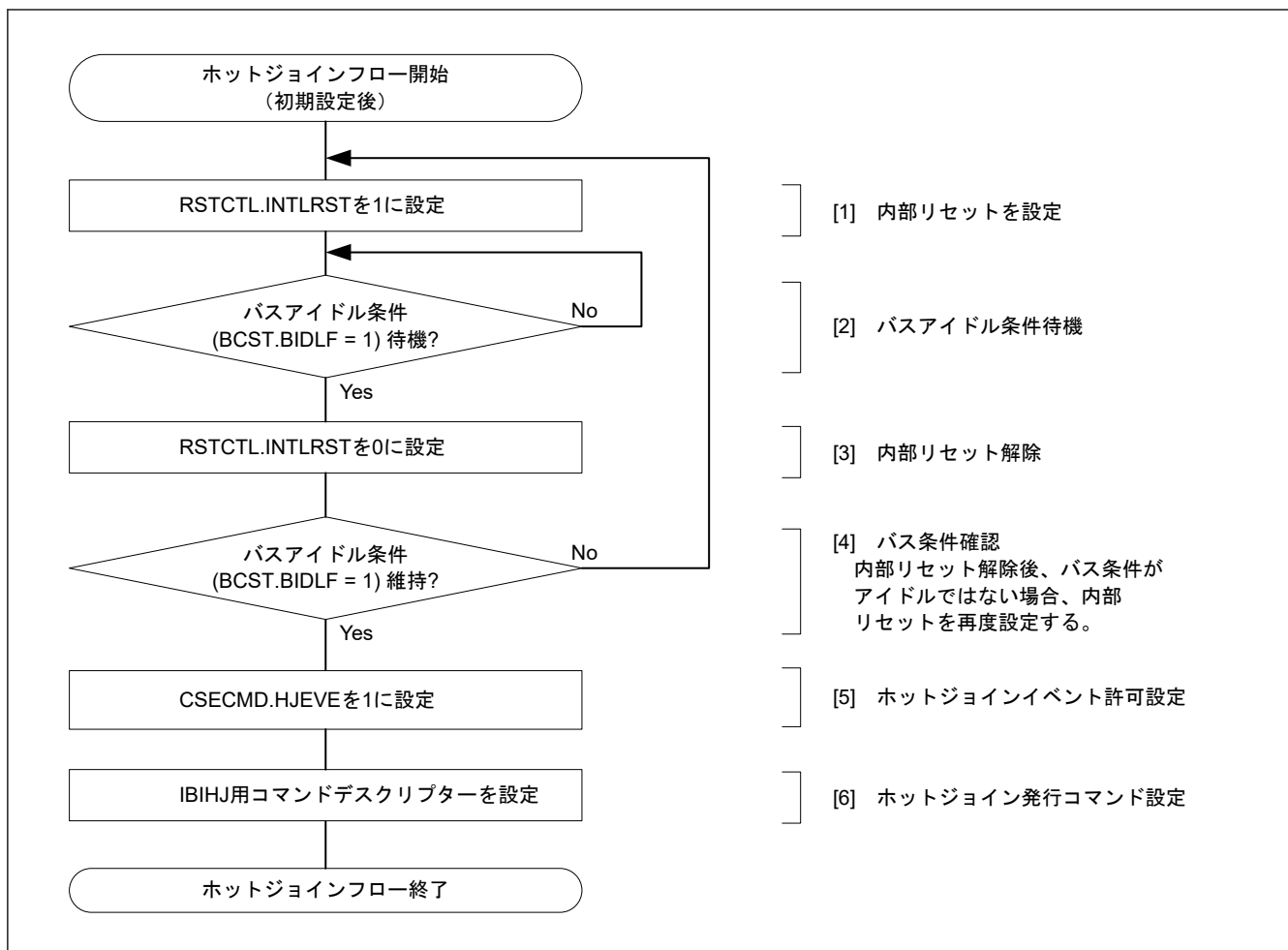


図 25.118 I3C バスがすでに設定された後のホットジョインのフローチャート

## 25.4 割り込み要因

I3C が発行する割り込み要求を、以下に示します。

### 25.4.1 概要

I3C には、表 25.15 に示す割り込み要因があります。

DTC の起動列に「可能」と表示された割り込み要求は、DTC を起動してデータ転送を行うことができます。

表 25.15 割り込み発生 (1/2)

シンボル	割り込み要因	割り込みフラグ	対応			
			I <sup>2</sup> C	I3CM	I3C2M	I3CS
I3C_RESP	通常応答ステータスバッファフル	NTST.RSPQFF	—	✓	✓	✓
I3C_CMD	通常コマンドバッファエンプティ	NTST.CMDQEF	—	✓	✓	✓
I3C_IBI	通常 IBI ステータスバッファエンプティ/フル	NTST.IBIQEFF	—	✓	✓	✓
I3C_RX	通常受信データバッファエンプティ/フル	NTST.RDBEF0	✓	✓	✓	✓
I3C_TX	通常送信データバッファエンプティ	NTST.TDBEF0	✓	✓	✓	✓
I3C_RCV	通常受信ステータスバッファフル	NTST.RSQFF	—	—	✓	✓
I3C_TEND	送信終了	BST.TENDF	✓	—	—	—

表 25.15 割り込み発生 (2/2)

シンボル	割り込み要因	割り込みフラグ	対応				
			I <sup>2</sup> C	I3CM	I3C2M	I3CS	
I3C_EEI	転送エラーまたはイベント発生	スタートコンディション検出割り込み	BST.STCNDDF	✓	✓	✓	✓
		ストップコンディション検出割り込み	BST.SPCNDDF	✓	✓	✓	✓
		HDR 終了パターン検出割り込み	BST.HDREXDF	—	✓	✓	✓
		NACK 検出割り込み	BST.NACKDF	✓	—	—	—
		アービトレーションロスト割り込み	BST.ALF	✓	—	—	—
		タイムアウト検出割り込み	BST.TODF	✓	✓	✓	✓
		回復不能内部エラー割り込み	INST.INEF	—	✓	✓	✓
		転送エラー割り込み	NTST.TEF	—	✓	✓	✓
		転送中止割り込み	NTST.TABTF	—	✓	✓	✓

注. ✓: 対応  
—: 非対応

注. I<sup>2</sup>C: I<sup>2</sup>C マスタ/スレーブ (シングルバッファ)  
I3CM: I3C マスタ  
I3C2M: I3C セカンダリマスタ  
I3CS: I3C スレーブ

## 25.4.2 バッファフル割り込み/エンプティ割り込みのバッファ動作

対応する IR フラグが 1 のときに、バッファフル割り込み/エンプティ割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます (1 要因あたり 1 要求を内部に保持できます)。

ICU.IRn.IR フラグが 0 になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。内部的に保持されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでもクリアが可能です。

## 25.5 イベントリンク出力

I3C は、次の要因に対応するイベントリンクコントローラ (ELC) のイベント出力を処理します。

### (1) 通信イベント

通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出) が発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (2) 受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (3) 送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### (4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

### 25.5.1 割り込み処理とイベントリンクの関係

I3C モジュールは、4 種類の割り込み（通信イベント割り込み（アービトラージロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル割り込み、送信データエンプティ割り込み、送信終了割り込み）を生成します。これらの各割り込みには、割り込み信号の許可または禁止を制御する許可ビットがあります。対応する許可ビットが許可に設定されている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、「25.4.1. 概要」を参照してください。

### 25.6 リセットの説明

表 25.16 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
PRTS	PRTMD	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
BCTL	BUSE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RSM	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	ABT	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	HJACKCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	INCBA	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
MSDVAD	MDYADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	MDYAD[6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
RSTCTL	INTLRST	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RSQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	IBIQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	RDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	TDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	RSPQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	CMDQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	RI3CRST	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持
PRSST	PRSSTWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	TRMD	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	CRMS	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
INST	INEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	
INSTE	INEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	
INIE	INEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	
INSTFC	INEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	
DVCT	IDX[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	
IBINCTL	NRSIRCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	NRMRCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	NRHJCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

表 25.16 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
BFCTL	HSME	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	FMPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SMBS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SCSYNE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	NALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	MALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 25.17 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
SVCTL	SVAE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	HOAE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DVIDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	HSMCE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	GCAE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
REFCKCTL	IREFCKS[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
STDBR	DSBRPO	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SBRHP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SBRLP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SBRHO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SBRLO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
EXTBR	EBRHP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	EBRLP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	EBRHO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	EBRLO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
BFRECDT	FRECYC[8:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
BAVLCDT	AVLCYC[8:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
BIDLCDT	IDLCYC[17:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
OUTCTL	SDODCS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SDOD[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	EXCYC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SOCWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	SCOC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SDOC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

表 25.17 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
INCTL	DNFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DNFS[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
TMOCTL	TOMDS[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TOHCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TOLCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TODTS[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
ACKCTL	ACKTWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	ACKT	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	ACKR	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
SCSTRCTL	RWE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	ACKTWE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
SCSTLCTL	ACKPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	PARPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TRAPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	AAPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	STLCYC[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
SVTDLG0	STDLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 25.18 各コンディション発行時のリセット、レジスタ、機能の状態 (3) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
CNDCTL	SPCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	SRCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	STCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
NCMDQP	NCMDQP[31:0]	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持
NRSPQP	NRSPQP[31:0]	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持
NTDTBP0	NTDTBP0[31:0]	リセット	リセット	リセット	保持	保持	リセット	リセット	保持	保持	保持
NIBIQP	NIBIQP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持
NRSQP	NRSQP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット
NQTHCTL	IBIQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	IBIDSSZ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

表 25.18 各コンディション発行時のリセット、レジスタ、機能の状態 (3) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
NTBTHCTL0	RXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RXDBTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TXDBTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
NRQTHCTL	RSQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
BST	TODF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	ALF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	TENDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	NACKDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	HDREXDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	SPCNDDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	STCNDDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
BSTE	TODE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	ALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TENDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 25.19 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
BIE	TODIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	ALIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TENDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

表 25.19 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
BSTFC	TODFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	ALFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TENDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
NTST	RSQFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット
	TEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	TABTF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	RSPQFF	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持
	CMDQEF	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持
	IBIQEFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持
	RDBFF0	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持
	TDBEF0	リセット	リセット	リセット	保持	保持	リセット	保持	保持	保持	保持
NTSTE	RSQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TABTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
NTIE	RSQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TABTIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFIE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEIE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）



表 25.20 各コンディション発行時のリセット、レジスタ、機能の状態 (5)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
NTSTFC	RSQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TABTFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFFC0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEFC0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 25.21 各コンディション発行時のリセット、レジスタ、機能の状態 (6)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
BCST	BIDLF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	BAVLF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	BFREF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
SVST	SVAF0	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	HOAF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	DVIDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	HSMCF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
	GCAF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
DATBASm (m = 0 ~3)	DVTYP	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DVNACK[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DVDYAD[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DVMRRJ	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DVSIRRJ	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DVIBIPL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	DVSTAD[6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 25.22 各コンディション発行時のリセット、レジスタ、機能の状態 (7)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
EXDATBAS	EDTYP	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	EDNACK[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	EDDYAD[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	EDSTAD[6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
SDATBASy (y = 0)	SDDYAD[6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SDIBIPL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SDADLS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SDSTAD[9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
MSDCTm (m = 0 ~ 3)	RBCR[7:6], RBCR[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
SVDCT	TBCR[7:6], TBCR[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	TDCR[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 25.23 各コンディション発行時のリセット、レジスタ、機能の状態 (8) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
SDCTPIDL	SDCTPIDL[31:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
SDCTPIDH	SDCTPIDH[31:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
SVDVADy (y = 0)	SDYADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SSTADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SADLG	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SVAD[9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
CSECMD	HJEVE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	MSRQE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SVIRQE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
CEACTST	ACTST[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
CMWLG	MWLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
CMRLG	IBIPSZ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	MRLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
CETSTMD	TSTMD[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
CGDVST	VDRSV[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	ACTMD[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	PRTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	PNDINT[3:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
CMDSPW	MSWDR[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

表 25.23 各コンディション発行時のリセット、レジスタ、機能の状態 (8) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
CMDSPR	CDTTIM[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	MSRDR[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
CMDSPR	MRTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	MRTTIM[23:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

表 25.24 各コンディション発行時のリセット、レジスタ、機能の状態 (9)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ								
			R13CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	
CETSM	INAC[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	FREQ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
BITCNT	BCNT[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持
NQSTLV	IBISCNT[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持
	IBIQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持
	RSPQLV[7:0]	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持
	CMDQFLV[7:0]	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持
NDBSTLV0	RDBLV[7:0]	リセット	リセット	リセット	保持	保持	保持	リセット	保持	保持	保持
	TDBFLV[7:0]	リセット	リセット	リセット	保持	保持	リセット	保持	保持	保持	保持
NRSQSTLV	RSQLV[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
PRSTDBG	SDOLV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SCOLV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SDILV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	SCILV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持
MSERRCNT	M2ECNT[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセットする（本レジスタに対応する FIFO をクリアする）

## 25.7 使用上の注意事項

### 25.7.1 動作クロックの設定

I3C モジュールを使用する場合、PCLKD と PCLKB のクロック周波数比は 2:1 または 1:1 でなければいけません。他の設定の場合、動作は保証されません。

## 26. シリアルペリフェラルインタフェース (SPI)

### 26.1 概要

シリアルペリフェラルインタフェース (SPI) には 1 つのチャンネルがあります。SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 26.1 に SPI の仕様、図 26.1 にブロック図、表 26.2 に入出力端子を示します。

表 26.1 SPI の仕様 (1/2)

項目	内容
チャンネル数	1 チャンネル
SPI 転送機能	<ul style="list-style-type: none"> <li>MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号号を使用して、SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) によるシリアル通信が可能</li> <li>送信のみの動作が可能</li> <li>通信モード: 全二重または送信のみを選択可能</li> <li>RSPCK 極性切り替え</li> <li>RSPCK 位相切り替え</li> </ul>
データフォーマット	<ul style="list-style-type: none"> <li>MSB ファーストまたは LSB ファーストを選択可能</li> <li>転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能</li> <li>32 ビットの送信/受信バッファ</li> </ul>
ビットレート	<ul style="list-style-type: none"> <li>マスタモード時、内蔵ボーレートジェネレータで PCLKB を分周して RSPCK を生成 (分周比は 2~4096 分周)</li> <li>スレーブモード時は、PCLKB の最小 6 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLKB の 6 分周)</li> <li>High 幅: PCLKB の 3 サイクル、Low 幅: PCLKB の 3 サイクル</li> </ul>
バッファ構成	<ul style="list-style-type: none"> <li>送信および受信バッファはそれぞれダブルバッファ構造</li> <li>送信および受信バッファは 32 ビット</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>モードフォルトエラー検出</li> <li>アンダーランエラー検出</li> <li>オーバーランエラー検出(注1)</li> <li>パリティエラー検出</li> </ul>
SSL 制御機能	<ul style="list-style-type: none"> <li>1 本の SSL 端子 (SSLn: SSLn0) (n = A)</li> <li>シングルマスタモード時、SSLn0 端子は出力</li> <li>スレーブモード時、SSLn0 端子は入力</li> <li>SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を制御可能 設定範囲: 1~8 RSPCK 周期 (設定単位: 1 RSPCK 周期)</li> <li>RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を制御可能 設定範囲: 1~8 RSPCK 周期 (設定単位: 1 RSPCK 周期)</li> <li>次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を制御可能 設定範囲: 1~8RSPCK 周期 (設定単位: 1RSPCK 周期)</li> <li>SSL 極性変更機能</li> </ul>
マスタ転送時の制御方式	<ul style="list-style-type: none"> <li>各コマンドに以下の項目を設定可能: SSL 信号値、ビットレート、RSPCK 極性と位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延</li> <li>送信バッファへの書き込みによる転送起動</li> <li>SSL ネゲート時の MOSI 信号値を設定可能</li> <li>RSPCK 自動停止機能</li> </ul>
割り込み要因	<p>割り込み要因:</p> <ul style="list-style-type: none"> <li>受信バッファフル割り込み</li> <li>送信バッファエンプティ割り込み</li> <li>SPI エラー割り込み (モードフォルトエラー、オーバーランエラー、パリティエラー)</li> <li>SPI アイドル割り込み (SPI アイドル)</li> <li>送信完了割り込み</li> </ul>
イベントリンク機能	<p>以下のイベントをイベントリンクコントローラ (ELC) へ出力可能:</p> <ul style="list-style-type: none"> <li>受信バッファフル信号</li> <li>送信バッファエンプティ信号</li> <li>モードフォルト、アンダーラン、オーバーラン、パリティエラー信号</li> <li>SPI アイドル信号</li> <li>送信完了信号</li> </ul>

表 26.1 SPI の仕様 (2/2)

項目	内容
その他	<ul style="list-style-type: none"> <li>CMOS 出力／オープンドレイン出力の切り替え</li> <li>SPI 初期化機能</li> <li>ループバックモード</li> </ul>
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。

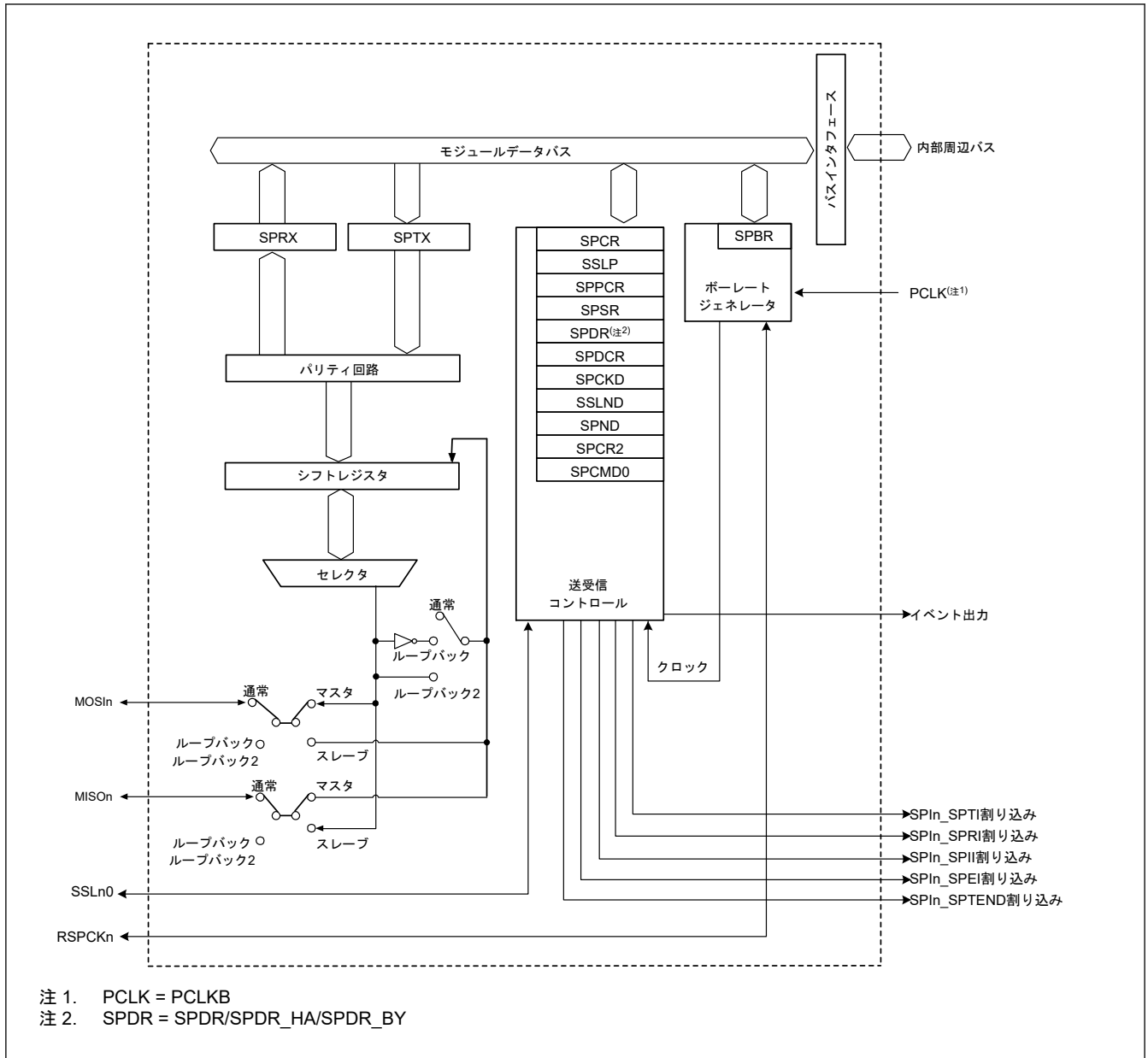


図 26.1 SPI のブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 端子は、SPI がシングルマスタの場合は出力状態、スレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOIn 端子の入出力は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、自動的に設定されます。詳細は、「26.3.2. SPI 端子の制御」を参照してください。

表 26.2 SPI の端子構成

チャネル	端子名	入出力	内容
SPI0	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択入出力
	MOSIA	入出力	マスタ送信データ入出力
	MISOA	入出力	スレーブ送信データ入出力

## 26.2 レジスタの説明

### 26.2.1 SPCR : SPI コントロールレジスタ

Base address: SPI0 = 0x4007\_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODF EN	TXMD	SPMS

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SPMS	SPI モード選択 0: SPI 動作 (4 線式) を選択 1: クロック同期式動作 (3 線式) を選択	R/W
1	TXMD	通信動作モード選択 0: 全二重同期式シリアル通信を選択 1: 送信のみのシリアル通信を選択	R/W
2	MODFEN	モードフォルトエラー検出許可 0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
3	MSTR	SPI マスタ/スレーブモード選択 0: スレーブモードを選択 1: マスタモードを選択	R/W
4	SPEIE	SPI エラー割り込み許可 0: SPI エラー割り込み要求を禁止 1: SPI エラー割り込み要求を許可	R/W
5	SPTIE	送信バッファエンプティ割り込み許可 0: 送信バッファエンプティ割り込み要求を禁止 1: 送信バッファエンプティ割り込み要求を許可	R/W
6	SPE	SPI 機能有効 0: SPI 機能を無効 1: SPI 機能を有効	R/W
7	SPRIE	SPI 受信バッファフル割り込み許可 0: SPI 受信バッファフル割り込み要求を禁止 1: SPI 受信バッファフル割り込み要求を許可	R/W

#### SPMS ビット (SPI モード選択)

SPMS ビットは SPI 動作 (4 線式) またはクロック同期式動作 (3 線式) を選択します。

クロック同期式動作では、SSLn0 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISO<sub>n</sub> 端子の 3 端子を用いて通信を行います。また、マスタモード (MSTR = 1) でクロック同期式動作を行う場合は、SPCMD0.CPHA ビットを 0 または 1 にしてください。スレーブモード (MSTR = 0) でクロック同期式動作を行う場合は、必ず CPHA ビットを 1 にしてください。スレーブモード (MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

**TXMD ビット (通信動作モード選択)**

TXMD ビットは全二重同期式のシリアル通信または送信のみのシリアル通信を選択します。TXMD ビットを 1 にして通信を行う場合、SPI は送信のみを行い、受信動作を行いません (「26.3.6. データ転送モード」を参照してください)。また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

**MODFEN ビット (モードフォルトエラー検出許可)**

MODFEN ビットはモードフォルトエラーの検出を許可または禁止します (「26.3.8. エラー検出」を参照)。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに基づいて、SSLnI 端子の入出力方向を決定します (「26.3.2. SPI 端子の制御」を参照)。

**MSTR ビット (SPI マスタ/スレーブモード選択)**

MSTR ビットは SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISO<sub>n</sub>、および SSLn0 端子の方向を決定します。

**SPEIE ビット (SPI エラー割り込み許可)**

SPEIE ビットは、以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は「26.3.8. エラー検出」を参照してください。

**SPTIE ビット (送信バッファエンプティ割り込み許可)**

SPTIE ビットは SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。

SPI 機能を無効 (SPE ビットを 0 に変更) にしても、SPTIE ビットが 1 であると、割り込みが発生します。

**SPE ビット (SPI 機能有効)**

SPE ビットは SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、「26.3.8. エラー検出」を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、「26.3.9. SPI の初期化」を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

**SPRIE ビット (SPI 受信バッファフル割り込み許可)**

SPRIE ビットは SPI がシリアル転送完了後の受信バッファフルを検出したときの、SPI 受信バッファフル割り込み要求の発生を許可または禁止します。

**26.2.2 SSLP : SPI スレーブ選択極性レジスタ**

Base address: SPI0 = 0x4007\_2000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SSL0P
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSL0P	SSLn0 端子の信号極性設定 0: SSLn0 端子の信号はアクティブ Low 1: SSLn0 端子の信号はアクティブ High	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W

### 26.2.3 SPPCR : SPI 端子コントロールレジスタ

Base address: SPI0 = 0x4007\_2000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPLP	SPI ループバック 0: 通常モード 1: ループバックモード (受信データ = 送信データの反転)	R/W
1	SPLP2	SPI ループバック 2 0: 通常モード 1: ループバックモード (受信データ = 送信データ)	R/W
3:2	—	読むと0が読めます。書く場合、0としてください。	R/W
4	MOIFV	MOSI アイドル固定値 0: MOSI アイドル時の MOSIn 端子の出力レベルを Low に設定 1: MOSI アイドル時の MOSIn 端子の出力レベルを High に設定	R/W
5	MOIFE	MOSI アイドル値固定許可 0: MOSI 出力値は前回転送の最終データに設定 1: MOSI 出力値は MOIFV ビットの設定値に設定	R/W
7:6	—	読むと0が読めます。書く場合、0としてください。	R/W

#### SPLP ビット (SPI ループバック)

SPLP ビットは SPI の端子モードを選択します。SPLP ビットが1の場合、SPCR.MSTR ビットが1であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが0であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転し、出力経路に接続します (ループバックモード)。詳細は、「[26.3.12. ループバックモード](#)」を参照してください。

#### SPLP2 ビット (SPI ループバック 2)

SPLP2 ビットは SPI の端子モードを選択します。SPLP2 ビットが1の場合、SPCR.MSTR ビットが1であれば、SPI は MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが0であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転せず出力経路に接続します (ループバックモード)。詳細は、「[26.3.12. ループバックモード](#)」を参照してください。

#### MOIFV ビット (MOSI アイドル固定値)

マスタモードで MOIFE ビットが1の場合、MOIFV ビットは SSL ネゲート期間における MOSIn 端子の出力値を決定します。

#### MOIFE ビット (MOSI アイドル値固定許可)

MOIFE ビットは、SPI がマスタモードで SSL ネゲート期間である場合、MOSIn 端子の出力値を固定します。MOIFE ビットが0の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが1の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。



## 26.2.4 SPSR : SPI ステータスレジスタ

Base address: SPI0 = 0x4007\_2000

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRF	—	SPTE F	UDRF	PERF	MODF	IDLNF	OVRF
Value after reset:	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVRF	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W <sup>(注1)</sup>
1	IDLNF	SPI アイドルフラグ 0: SPI がアイドル状態 1: SPI が転送状態	R
2	MODF	モードフォルトエラーフラグ 0: モードフォルトエラーおよびアンダーランエラーの発生なし 1: モードフォルトエラーおよびアンダーランエラーの発生あり	R/W <sup>(注1)</sup>
3	PERF	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W <sup>(注1)</sup>
4	UDRF	アンダーランエラーフラグ MODF フラグが 1 の場合、UDRF ビットは有効です。 0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1)	R/W <sup>(注1)</sup> (注2)
5	SPTEF	SPI 送信バッファエンプティフラグ 0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/W <sup>(注3)</sup>
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SPRF	SPI 受信バッファフルフラグ 0: SPDR レジスタに有効なデータなし 1: SPDR レジスタに有効なデータあり	R/W <sup>(注3)</sup>

注 1. フラグをクリアするため、1 を読んだあとに 0 を書き込むことのみ可能です。

注 2. MODF フラグをクリアすると同時に、UDRF フラグをクリアしてください。

注 3. 書く場合、1 としてください。

**OVRF フラグ (オーバーランエラーフラグ)**

OVRF フラグはオーバーランエラーの発生を示します。マスタモード (SPCR.MSTR = 1) かつ RSPCK クロック自動停止機能有効 (SPCR1.SCKASE = 1) の場合、オーバーランエラーは発生せず、このフラグは 1 になりません。詳細は、「[26.3.8.1. オーバーランエラー](#)」を参照してください。

[1 になる条件]

- SPCR.TXMD ビットが 0 かつ受信バッファフルの状態、次のシリアル転送が終了したとき

[0 になる条件]

- OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書いたとき

**IDLNF フラグ (SPI アイドルフラグ)**

IDLNF フラグは SPI の転送状況を示します。

[1 になる条件]

マスタモード

- このフラグの [0 になる条件] に示した、マスタモード時のいずれの条件も満たさないとき

スレーブモード

- SPCR.SPE ビットが 1 (SPI 機能が有効) のとき

[0 になる条件]

マスターモード

条件 1 が満たされたとき、または他のすべての条件が満たされたとき

- 条件 1: SPCR.SPE ビットが 0 (SPI 初期化) のとき
- 条件 2: 送信バッファ (SPTX) が空である (次転送データがセットされていない) とき
- 条件 3: SPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までの動作が完了した状態)

スレーブモード

- 条件 1 が満たされたとき

### MODF フラグ (モードフォルトエラーフラグ)

MODF フラグはモードフォルトエラーまたはアンダーランエラーの発生を示します。発生したエラーの種類は UDRF フラグによって示されます。

[1 になる条件]

スレーブモード

- 条件 1 または 2 が満たされたとき
  - 条件 1: SPCR.MSTR ビットが 0 (スレーブモード)、かつ SPCR.MODFEN ビットが 1 (モードフォルトエラー検出許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、モードフォルトエラーが発生した場合
  - 条件 2: SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット (SSLi 信号極性設定ビット) によって決定されます。

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

### PERF フラグ (パリティエラーフラグ)

PERF フラグはパリティエラーの発生を示します。

[1 になる条件]

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、パリティエラーが発生したとき

[0 になる条件]

- PERF フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

### UDRF フラグ (アンダーランエラーフラグ)

UDRF フラグはアンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0 (スレーブモード)、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- UDRF フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

### SPTEF フラグ (SPI 送信バッファエンプティフラグ)

SPTEF フラグは SPI データレジスタ (SPDR/SPDR\_HA) の送信バッファの状態を示します。

[1 になる条件]

- 以下の条件 1 または条件 2 が満たされたとき
  1. SPCR.SPE ビットが 0 (SPI 初期化) であるとき
  2. 送信データが送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR/SPDR\_HA/SPDR\_BY レジスタに書き込まれたとき

なお、SPTEF フラグが 1 の場合のみ、データを SPDR/SPDR\_HA/SPDR\_BY レジスタに書き込むことができます。SPTEF フラグが 0 のときに SPDR/SPDR\_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

### SPRF フラグ (SPI 受信バッファフルフラグ)

SPRF フラグは、SPI データレジスタ (SPDR/SPDR\_HA) の受信バッファの状態を示します。

[1 になる条件]

- SPRF フラグが 0 の状態で、受信データがシフトレジスタから SPDR レジスタへ転送されたとき。また、以下を満たしたとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されません。
  - SPCR.TXMD = 0 (送受信マスターモード、送受信スレーブモード)

[0 になる条件]

- 受信データが SPDR レジスタから読み出されたとき

## 26.2.5 SPDR/SPDR\_HA/SPDR\_BY : SPI データレジスタ

Base address: SPI0 = 0x4007\_2000

Offset address: 0x04

Bit position: 31

0

Bit field:

Value after reset: 0

ビット	シンボル	機能	R/W
31:0	n/a	SPI データ	R/W

SPDR/SPDR\_HA/SPDR\_BY レジスタは、SPI 送信用のデータを格納するバッファとのインタフェースです。ワードアクセス (SPDCR.SPLW ビットが 1) の場合は、SPDR レジスタにアクセスしてください。ハーフワードアクセス (SPLW ビットが 0) の場合は、SPDR\_HA レジスタにアクセスしてください。バイトアクセス (SPDCR.SPBYT ビットが 1) の場合は、SPDR\_BY レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR レジスタにマッピングされています。図 26.2 に、SPDR レジスタの構成図を示します。

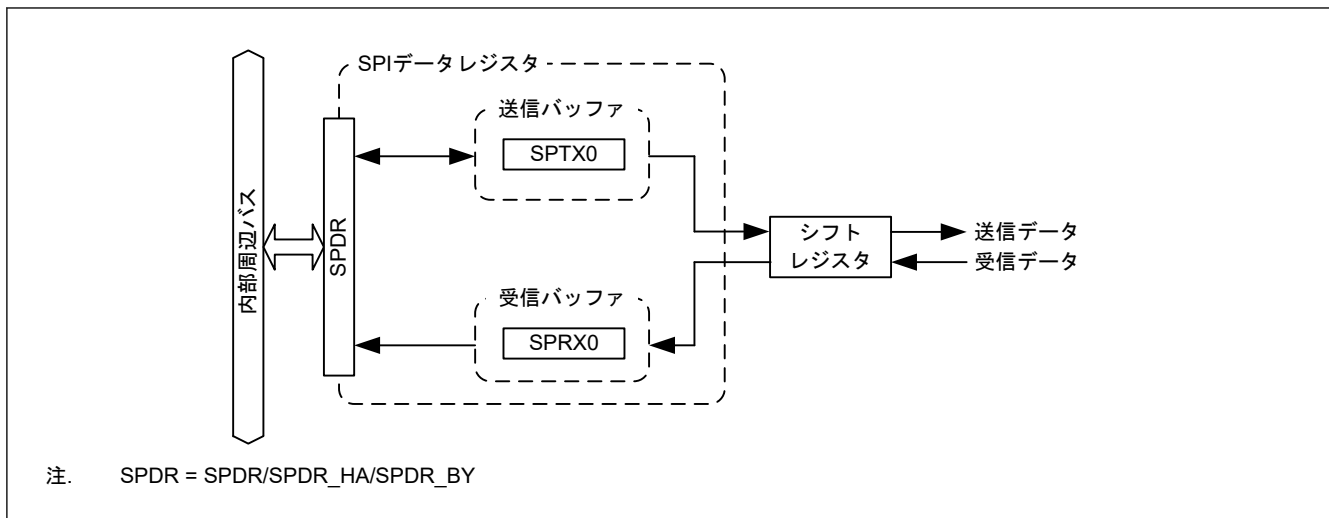


図 26.2 SPDR/SPDR\_HA/SPDR\_BY レジスタの構成図

送信バッファと受信バッファには、それぞれ1つのステージがあります。SPDR/SPDR\_HA/SPDR\_BY レジスタの1アドレスに、この合計2バッファステージがすべてマッピングされます。

SPDR/SPDR\_HA/SPDR\_BY レジスタへ書き込まれたデータは、送信バッファステージ (SPTXn) (n = 0) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が32ビット以外の場合、SPRXn (n = 0) の関連ビットには、SPTXn (n = 0) の非参照ビットが格納されません。たとえば、データ長が9ビットのデータを受信した場合、SPRXn[8:0]ビットには受信データが格納され、SPRXn[31:9]ビットにはSPTXn[31:9]ビットが格納されます。

### (1) バスインタフェース

SPDR/SPDR\_HA/SPDR\_BY レジスタは、32ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファが1ステージを持ち、合計8バイトになります。これらの8バイトをSPDR/SPDR\_HA/SPDR\_BY レジスタの4バイトのアドレス空間にマッピングしています。SPDR/SPDR\_HA/SPDR\_BY レジスタへのアクセスは、SPIデータコントロールレジスタのSPIワードアクセス/ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。SPDR レジスタへのアクセスは、SPIデータコントロールレジスタのSPIバイトアクセスビット (SPDCR.SPBYT) で設定したアクセスサイズでも行うことができます。

送信データは、LSB 詰めで書いてください。受信データはLSB 詰めで格納されます。

以下では、SPDR/SPDR\_HA/SPDR\_BY レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

#### 書き込み

SPDR/SPDR\_HA/SPDR\_BY レジスタに書き込むことによって、送信バッファ (SPTX) にデータを書くことができます。SPDR/SPDR\_HA/SPDR\_BY レジスタの読み出し時と異なり、書き込みはSPDCR.SPRDTD ビットの値に影響されません。

図 26.3 に SPDR/SPDR\_HA/SPDR\_BY レジスタへの書き込み時の送信バッファ付きバスインタフェースの構成を示します。

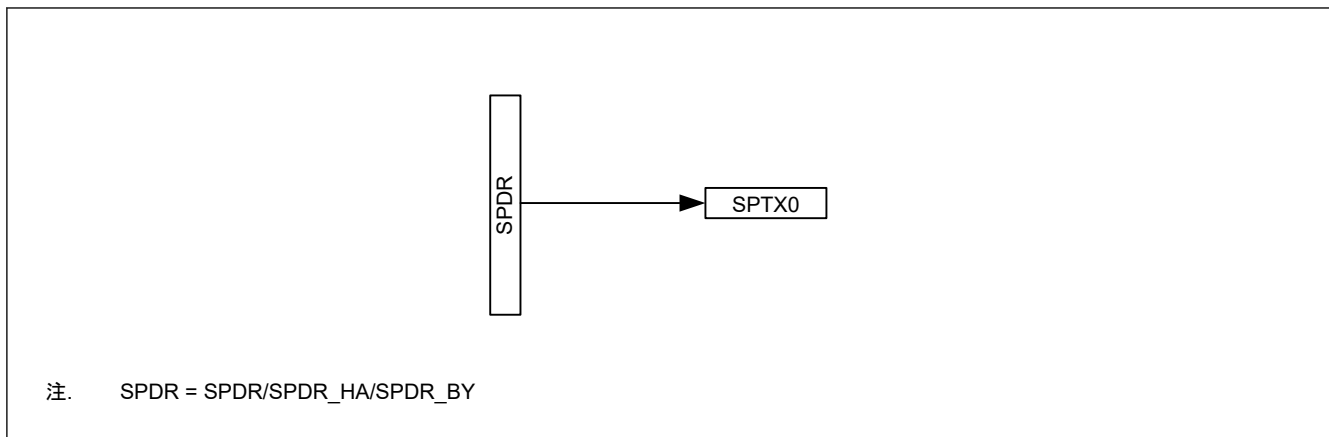


図 26.3 書き込み時の SPDR/SPDR\_HA/SPDR\_BY レジスタの構成図

送信バッファ (SPTX<sub>n</sub>) に指定したフレーム数を書き込んでも、書き込み完了後、次の送信バッファエンプティ割り込みが発生するまでの期間 (SPTEF = 0) は、バッファの値は更新されません。

読み出し

SPDR/SPDR\_HA/SPDR\_BY レジスタにアクセスすることによって、受信バッファ (SPRX) または送信バッファ (SPTX) の値を読み出すことができます。SPI データコントロールレジスタの SPI 受信/送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらの内容を読み出すかが決まります。

図 26.4 に、SPDR/SPDR\_HA/SPDR\_BY レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

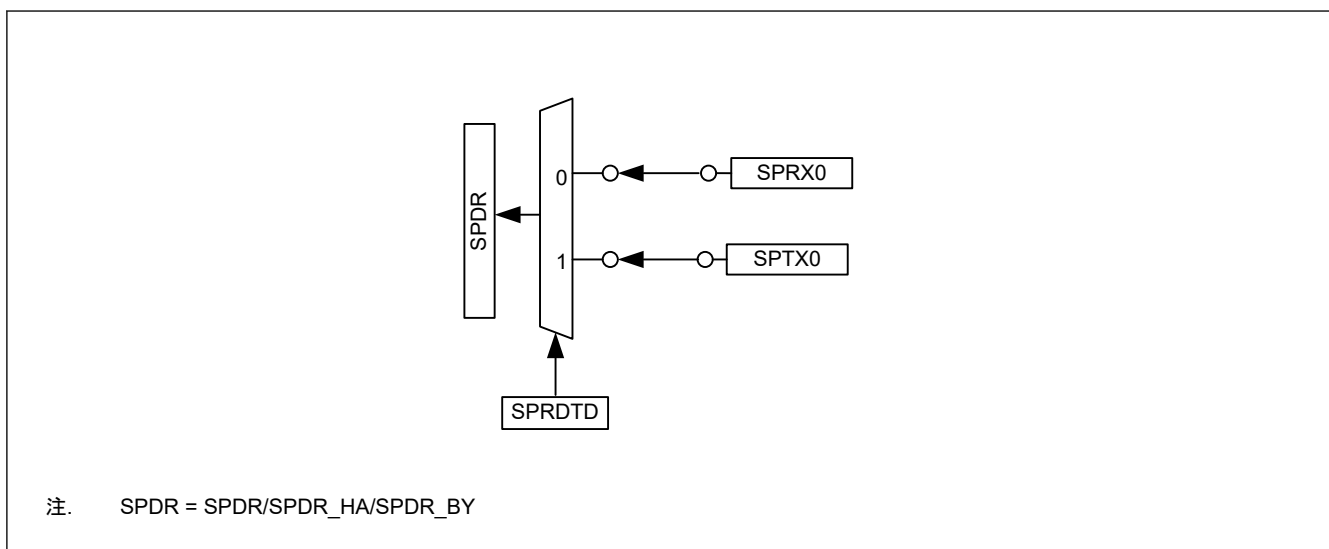


図 26.4 読み出し時の SPDR/SPDR\_HA/SPDR\_BY レジスタの構成図

ただし、送信バッファエンプティ割り込み発生後、データ書き込み完了から次の送信バッファエンプティ割り込み発生 (SPTEF = 0) までの期間は、送信バッファからの読み出し値がすべて 0 となります。

26.2.6 SPBR : SPI ビットレートレジスタ

Base address: SPI0 = 0x4007\_2000

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	[Empty Box]							
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	ビットレート	R/W

SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMD0.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。入力クロックには、常にデバイスの電気的特性を満たすビットレートを選択してください。

ビットレートは、SPBR レジスタの設定値と SPCMD0.BRDV[1:0] ビットの設定値の組み合わせで決定されます。次式でビットレートを計算してください。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n+1) \times 2^N}$$

(PCLK = PCLKB)

この式で、n は SPBR レジスタの設定値 (0, 1, 2, ..., 255)、N は SPCMDm.BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 26.3 に示します。

表 26.3 SPBR レジスタ設定値、BRDV[1:0] ビット設定値、およびビットレートの関係

SPBR (n)	BRDV[1:0] ビット (N)	分周比	ビットレート
			PCLKB = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps
255	3	4096	7.81 kbps

## 26.2.7 SPDCR : SPI データコントロールレジスタ

Base address: SPI0 = 0x4007\_2000

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SPBY T	SPLW	SPRD TD	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SPRDTD	SPI 受信/送信データ選択 0: SPDR レジスタの値は受信バッファから読み出す 1: SPDR レジスタの値は送信バッファから読み出す（ただし、送信バッファが空の場合）	R/W

ビット	シンボル	機能	R/W
5	SPLW	SPI ワードアクセス/ハーフワードアクセス設定 0: SPDR_HA レジスタが有効 (ハーフワードアクセス) 1: SPDR レジスタが有効 (ワードアクセス)	R/W
6	SPBYT	SPI バイトアクセス設定 0: SPDR/SPDR_HA レジスタへのアクセスはハーフワードアクセスまたはワードアクセス (SPLW 有効) 1: SPDR_BY へのアクセスはバイトアクセス (SPLW 無効)	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

### SPRDTD ビット (SPI 受信/送信データ選択)

SPRDTD ビットは SPDR レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。送信バッファから読み出す場合、SPDR レジスタへ直前に書き込まれた値が読み出されます。送信バッファの読み出しは、送信バッファエンプティ割り込みの発生後に行ってください。

詳細は、「26.2.5. SPDR/SPDR\_HA/SPDR\_BY : SPI データレジスタ」を参照してください。

### SPLW ビット (SPI ワードアクセス/ハーフワードアクセス設定)

SPLW ビットは SPDR レジスタへのアクセス幅を設定します。SPLW ビットが 0 の場合、SPDR\_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが 1 の場合、SPDR レジスタへのワードアクセスが有効となります。SPDR レジスタにワードアクセスもしくはハーフワードアクセスする時は、SPBYT ビットを 0 に設定してください。また、SPLW ビットが 0 のとき、SPCMD0.SPB[3:0] ビット (SPI データ長設定ビット) の設定は、8~16 ビットにしてください。20、24、32 ビットに設定した場合の動作はしないでください。

### SPBYT ビット (SPI バイトアクセス設定)

SPBYT ビットは、SPI データレジスタ (SPDR) にアクセスする際のデータ幅を設定するのに使用します。SPBYT = 0 のとき、SPDR/SPDR\_HA レジスタへのアクセスは、ワードアクセスまたはハーフワードアクセスを使用してください。SPBYT = 1 (この場合 SPLW は無効) の場合、SPDR\_BY レジスタへのアクセスにはバイトアクセスを使用してください。

SPBYT = 1 の場合、SPI コマンドレジスタ 0 (SPCMD0) の SPI データ長ビット (SPB[3:0]) を 8 ビットに設定してください。SPB[3:0] を 9~16、20、24 または 32 ビットに設定した場合、その後の動作は保証されません。

## 26.2.8 SPCKD : SPI クロック遅延レジスタ

Base address: SPI0 = 0x4007\_2000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCKDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCKDL[2:0]	RSPCK 遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCKD レジスタは、SPCMD0.SCKDEN ビットが 1 の場合、SSLni 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。

**SCKDL[2:0]ビット (RSPCK 遅延設定)**

SCKDL[2:0]ビットは SPCMD0.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0]ビットを 000b にしてください。

**26.2.9 SSLND : SPI スレーブ選択ネゲート遅延レジスタ**

Base address: SPI0 = 0x4007\_2000

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SLNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SLNDL[2:0]	SSL ネゲート遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SSLND レジスタは、SPI コマンドレジスタ m (SPCMDm) の SLNDEN ビットが 1 の場合に、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間 (SSL ネゲート遅延) を設定するためのレジスタです。

**SLNDL[2:0]ビット (SSL ネゲート遅延設定)**

SLNDL[2:0]ビットは SPI がマスタモードのとき、SSL ネゲート遅延値を設定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0]ビットを 000b にしてください。

**26.2.10 SPND : SPI 次アクセス遅延レジスタ**

Base address: SPI0 = 0x4007\_2000

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPNDL[2:0]	SPI 次アクセス遅延設定 0 0 0: 1 RSPCK + 2 PCLKB 0 0 1: 2 RSPCK + 2 PCLKB 0 1 0: 3 RSPCK + 2 PCLKB 0 1 1: 4 RSPCK + 2 PCLKB 1 0 0: 5 RSPCK + 2 PCLKB 1 0 1: 6 RSPCK + 2 PCLKB 1 1 0: 7 RSPCK + 2 PCLKB 1 1 1: 8 RSPCK + 2 PCLKB	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPND レジスタは、SPCMD0.SPNDEN ビットが 1 の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間 (次アクセス遅延) を設定するためのレジスタです。



**SPNDL[2:0]ビット (SPI 次アクセス遅延設定)**

SPNDL[2:0]ビットは SPCMD0.SPNDEN ビットが 1 の場合に、次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0]ビットを 000b にしてください。

**26.2.11 SPCR2 : SPI コントロールレジスタ 2**

Base address: SPI0 = 0x4007\_2000

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SCKA SE	PTE	SPIIE	SPOE	SPPE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPPE	パリティ許可 0: 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1: (SPCR.TXMD = 0 の場合) 送信データにパリティビットを付加し、受信データのパリティビットをチェックする (SPCR.TXMD = 1 の場合) 送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
1	SPOE	パリティモード 0: 送受信に偶数パリティを選択 1: 送受信に奇数パリティを選択	R/W
2	SPIIE	SPI アイドル割り込み許可 0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
3	PTE	パリティ自己診断 0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
4	SCKASE	RSPCK 自動停止機能有効 0: RSPCK 自動停止機能は無効 1: RSPCK 自動停止機能は有効	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

**SPPE ビット (パリティ許可)**

SPPE ビットはパリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが 1 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

**SPOE ビット (パリティモード)**

SPOE ビットは偶数パリティまたは奇数パリティを設定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

**SPIIE ビット (SPI アイドル割り込み許可)**

SPIIE ビットは SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合の、SPI アイドル割り込み要求の発生を許可または禁止します。

**PTE ビット (パリティ自己診断)**

PTE ビットはパリティ機能が正常であることを確認するための、パリティ回路の自己診断機能を有効または無効にします。

**SCKASE ビット (RSPCK 自動停止機能有効)**

SCKASE ビットは RSPCK 自動停止機能を有効または無効にします。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、「[26.3.8.1. オーバーランエラー](#)」を参照してください。

**26.2.12 SPCMD0 : SPI コマンドレジスタ 0**

Base address: SPI0 = 0x4007\_2000

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCKD EN	SLND EN	SPND EN	LSBF	SPB[3:0]			—	—	—	—	BRDV[1:0]		CPOL	CPHA	
Value after reset:	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	CPHA	RSPCK 位相設定 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる	R/W
1	CPOL	RSPCK 極性設定 0: アイドル時の RSPCK が Low 1: アイドル時の RSPCK が High	R/W
3:2	BRDV[1:0]	ビットレート分周設定 00: ベースのビットレート 01: ベースのビットレートの 2 分周 10: ベースのビットレートの 4 分周 11: ベースのビットレートの 8 分周	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	SPB[3:0]	SPI データ長設定 0x0: 20 ビット 0x1: 24 ビット 0x2: 32 ビット 0x3: 32 ビット 0x8: 9 ビット 0x9: 10 ビット 0xA: 11 ビット 0xB: 12 ビット 0xC: 13 ビット 0xD: 14 ビット 0xE: 15 ビット 0xF: 16 ビット その他: 8 ビット	R/W
12	LSBF	SPI LSB ファースト 0: MSB ファースト 1: LSB ファースト	R/W
13	SPNDEN	SPI 次アクセス遅延許可 0: 次アクセス遅延は 1 RSPCK + 2 PCLKB 1: 次アクセス遅延は SPI 次アクセス遅延レジスタ (SPND) の設定値	R/W
14	SLNDEN	SSL ネゲート遅延設定許可 0: SSL ネゲート遅延は 1RSPCK 1: SSL ネゲート遅延は SPI スレーブ選択ネゲート遅延レジスタ (SSLND) の設定値	R/W
15	SCKDEN	RSPCK 遅延設定許可 0: RSPCK 遅延は 1RSPCK 1: RSPCK 遅延は SPI クロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMD0 レジスタは、マスタモードの SPI に対して転送フォーマットを設定するレジスタです。

このレジスタの設定は、送信バッファが空 (SPSR.SPTEF = 1)、すなわち次転送のデータがセットされていない状態で、このレジスタを参照したときに送信されるデータの設定前に行う必要があります。

SPCR.SPE ビットが 1 の状態で、SPCMD0 レジスタの内容を書き換えた場合は、以降の動作は行わないでください。

#### CPHA ビット (RSPCK 位相設定)

CPHA ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

#### CPOL ビット (RSPCK 極性設定)

CPOL ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

#### BRDV[1:0]ビット (ビットレート分周設定)

BRDV[1:0]ビットは、SPBR レジスタの設定値との組み合わせでビットレートを決定します。(「[26.2.6. SPBR : SPI ビットレートレジスタ](#)」を参照してください)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0]ビットの設定値は、ベースのビットレートに対して分周なし / 2 分周 / 4 分周 / 8 分周したビットレートを選択します。BRDV[1:0]ビットに異なる値を設定することで、コマンドごとに異なるビットレートでシリアル転送を実行できます。

#### SPB[3:0]ビット (SPI データ長設定)

SPB[3:0]ビットは、マスタモードまたはスレーブモードの SPI に対して、転送データ長を設定します。

#### LSBF ビット (SPI LSB ファースト)

LSBF ビットはマスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに設定します。

#### SPNDEN ビット (SPI 次アクセス遅延許可)

SPNDEN ビットはマスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号のアサートが可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を  $1RSPCK + 2PCLKB$  に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にする必要があります。

#### SLNDEN ビット (SSL ネゲート遅延設定許可)

SLNDEN ビットはマスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を  $1RSPCK$  に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延で SSLni 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にする必要があります。

#### SCKDEN ビット (RSPCK 遅延設定許可)

SCKDEN ビットはマスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間 (SPI クロック遅延) を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を  $1RSPCK$  にします。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にする必要があります。

## 26.3 動作説明

本節では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

### 26.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード (SPI 動作)
- シングルマスタモード (SPI 動作)
- スレーブモード (クロック同期式動作)
- マスタモード (クロック同期式動作)

SPI のモードは、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットで選択できます。表 26.4 に SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 26.4 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要

モード	スレーブ (SPI 動作)	シングルマスタ (SPI 動作)	スレーブ(クロック同期式動作)	マスタ(クロック同期式動作)
MSTR ビットの設定値	0	1	0	1
MODFEN ビットの設定値	0 または 1	0	0	0
SPMS ビットの設定値	0	0	1	1
RSPCKn 端子	入力	出力	入力	出力
MOSIn 端子	入力	出力	入力	出力
MISO <sub>n</sub> 端子	出力/Hi-Z	入力	出力	入力
SSL <sub>n0</sub> 端子	入力	出力	Hi-Z(注1)	Hi-Z(注1)
SSL 極性変更機能	あり	あり	—	—
最大転送レート	PCLKB/6	PCLKB/2	PCLKB/6	PCLKB/2
クロックソース	RSPCK 入力	内蔵ポーレートジェネレータ	RSPCK 入力	内蔵ポーレートジェネレータ
クロック極性	2			
クロック位相	2	2	1 (CPHA = 1)	2
先頭転送ビット	MSB/LSB			
転送データ長	8~16、20、24、32 ビット			
RSPCK 遅延制御	なし	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	なし	あり
次アクセス遅延制御	なし	あり	なし	あり
転送トリガ	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)
送信バッファエンプティ検出	あり			
受信バッファフル検出	あり(注2)			
オーバーランエラー検出	あり(注2)	あり(注2)(注4)	あり(注2)	あり(注2)
パリティエラー検出	あり(注2)(注3)			
モードフォルトエラー検出	あり (MODFEN = 1)	なし	なし	なし
アンダーランエラー検出	あり	なし	あり	なし

注 1. この機能は本モードでは使用しません。

注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、およびパリティエラー検出を行いません。

注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。

注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

### 26.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、端子の状態を切り替えます。端子状態と各ビットの設定値との関係を表 26.5 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 26.5 端子状態とビット設定値の関係

モード	端子	端子状態 <sup>(注2)</sup>	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
シングルマスタモード (SPI 動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード (SPI 動作) (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	MOSIn	入力	入力
	MISOn <sup>(注3)</sup>	CMOS 出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタモード (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0 <sup>(注4)</sup>	Hi-Z <sup>(注1)</sup>	Hi-Z <sup>(注1)</sup>
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0 <sup>(注4)</sup>	Hi-Z <sup>(注1)</sup>	Hi-Z <sup>(注1)</sup>
	MOSIn	入力	入力
	MISOn	CMOS 出力	オープンドレイン出力

注 1. この機能は本モードでは使用しません。

注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。

注 3. SSLn0 端子が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SSLP.SSL0P ビットの値で決まります。

注 4. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード (SPI 動作) の SPI は、SPPCR レジスタの MOIFE ビットと MOIFV ビットの設定値に基づいて、SSL ネゲート期間の MOSI 信号値を表 26.6 のように決定します。

表 26.6 SSL ネゲート期間の MOSI 端子の信号値の決定方法

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

### 26.3.3 SPI システム構成例

### 26.3.3.1 シングルマスタとシングルスレーブ (MCU はマスタ)

図 26.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブ構成では、MCU (マスタ) の SSLn<sub>i</sub> 出力は使用されません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブの選択状態を維持します。(注1)

注 1. SPCMD0.CPHA ビットが 0 の場合に使用する転送フォーマットでは、SSL 端子へ入力される信号をアクティブレベルに固定することができないスレーブデバイスも存在します。このような場合は、本 MCU の SSLn<sub>i</sub> 出力をスレーブデバイスの SSL 入力に接続してください。

MCU (マスタ) は、RSPCK<sub>n</sub> および MOSI<sub>n</sub> 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

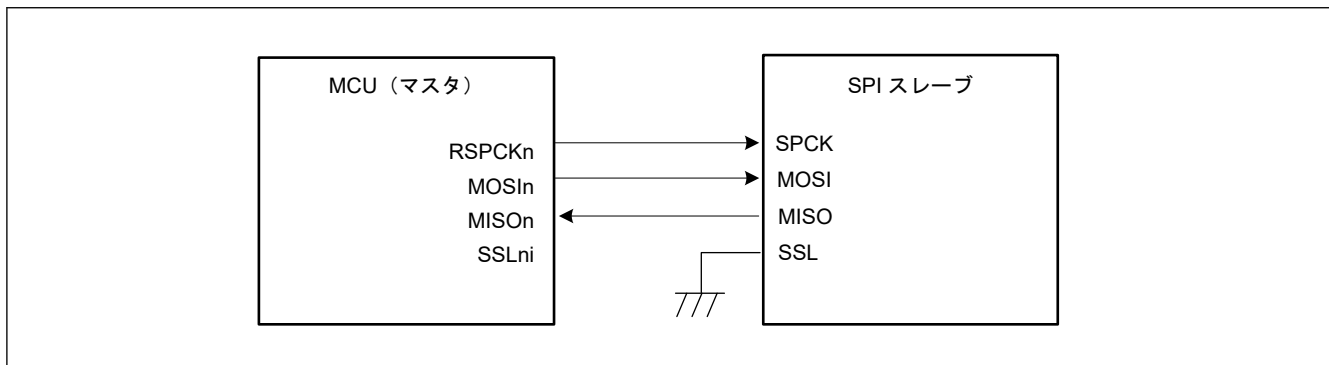


図 26.5 シングルマスタとシングルスレーブの構成例 (MCU はマスタ)

### 26.3.3.2 シングルマスタとシングルスレーブ (MCU はスレーブ)

図 26.6 に、MCU をスレーブとして使用する場合のシングルマスタ/シングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSLn<sub>0</sub> 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU (スレーブ) は、MISO<sub>n</sub> 信号をドライブします。(注1)

注 1. SSLn<sub>0</sub> が非アクティブレベルの場合、端子状態が Hi-Z になります。

SPCMD0.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU (スレーブ) の SSLn<sub>0</sub> 入力を Low に固定して、MCU (スレーブ) は選択状態を維持します。これにより、シリアル転送を実行することも可能です(図 26.7)。

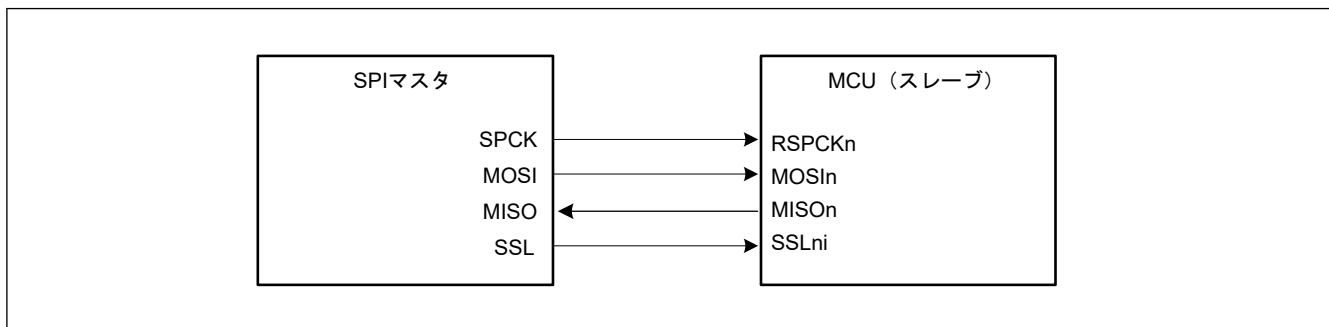


図 26.6 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、SPCMDm.CPHA = 0)

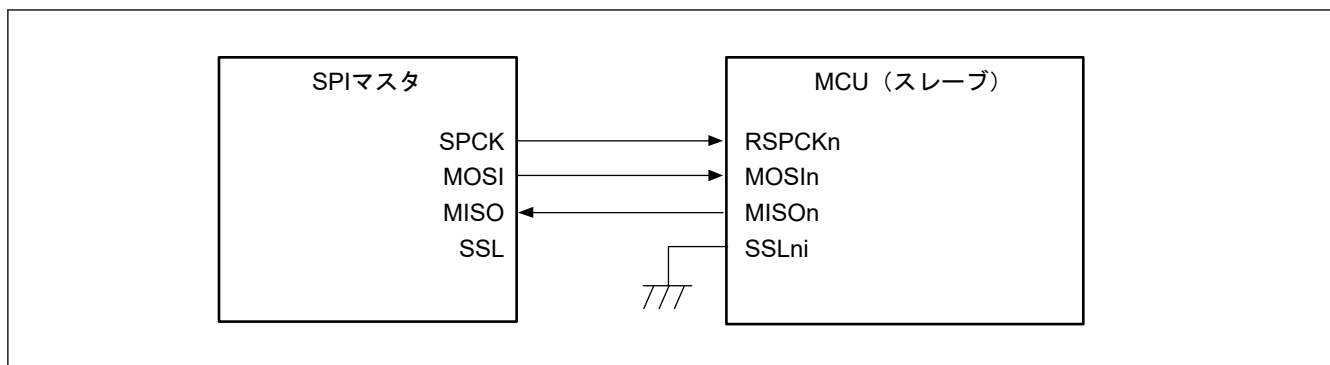


図 26.7 シングルマスタとシングルスレーブの構成例 (MCU はスレーブ、SPCMDm.CPHA = 1)

### 26.3.3.3 シングルマスタとマルチスレーブ (MCU はスレーブ)

図 26.8 に、MCU がスレーブである場合のシングルマスタ/マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU (スレーブ X、スレーブ Y) から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU (スレーブ X、スレーブ Y) の RSPCKn 入力と MOSIn 入力に接続します。MCU (スレーブ X、スレーブ Y) の MISO<sub>n</sub> 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU (スレーブ X、スレーブ Y) の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU (スレーブ X、スレーブ Y) のうち、SSLn0 入りに Low を入力されているスレーブが、MISO<sub>n</sub> をドライブします。

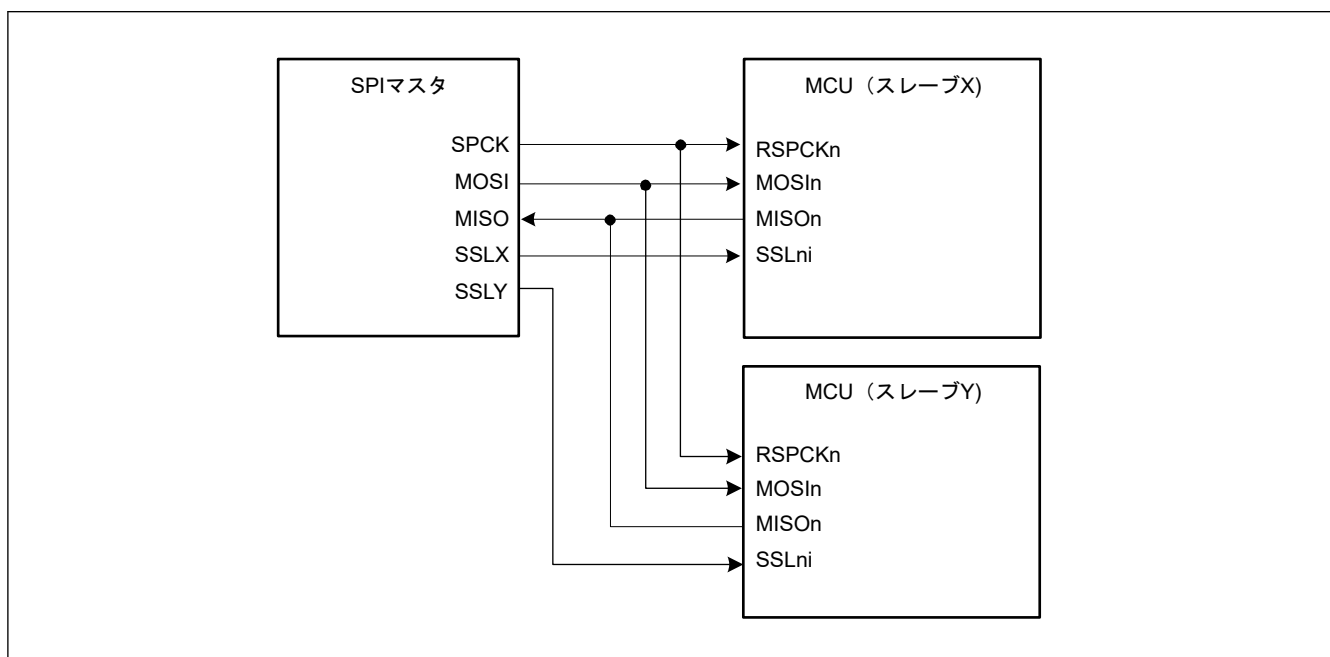


図 26.8 シングルマスタとマルチスレーブの構成例 (MCU はスレーブ)

### 26.3.3.4 クロック同期式動作のマスタとスレーブ (MCU はマスタ)

図 26.9 に、MCU がマスタである場合のクロック同期式動作のマスタ/スレーブの構成例を示します。この構成では、MCU (マスタ) の SSLni は使用しません。

MCU (マスタ) は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブしません。

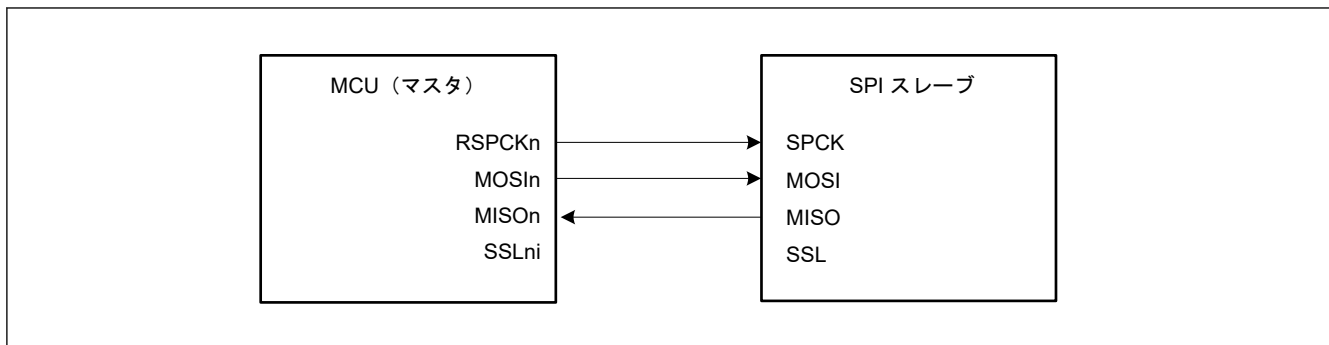


図 26.9 クロック同期式動作のマスタとスレーブの構成例 (MCU はマスタ)

### 26.3.3.5 クロック同期式動作のマスタとスレーブ (MCU はスレーブ)

図 26.10 に、MCU がスレーブである場合のクロック同期式動作のマスタ/スレーブの構成例を示します。MCU をスレーブ (クロック同期式動作) として使用する場合は、MCU (スレーブ) は MISO<sub>n</sub> 信号をドライブし、SPI マスタは SPCK および MOSI 信号をドライブします。また、MCU (スレーブ) の SSL<sub>n0</sub> は使用しません。

SPCMD0.CPHA ビットが 1 でシングルスレーブ構成の場合のみ、MCU (スレーブ) はシリアル転送を実行できません。

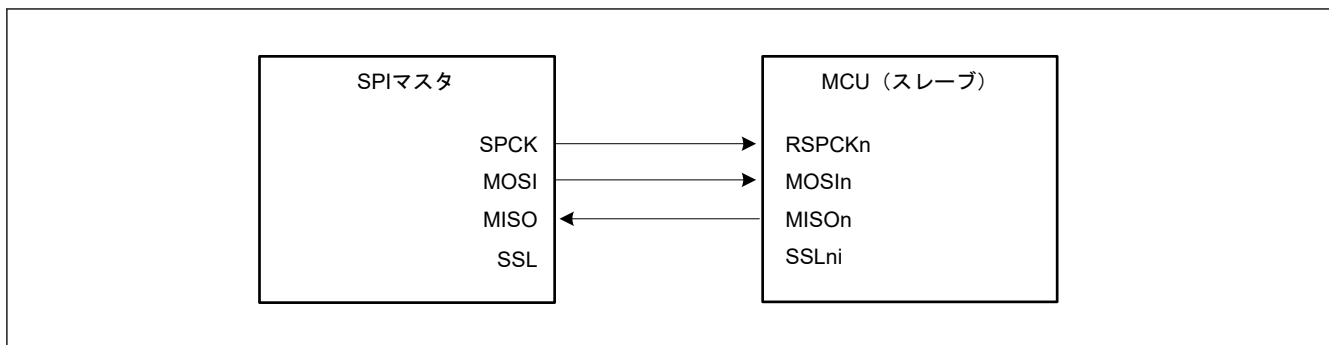


図 26.10 クロック同期式動作のマスタとスレーブの構成例 (MCU はスレーブ、CPHA = 1)

## 26.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ 0 (SPCMD0) と SPI コントロールレジスタ 2 (SPCR2) のパリティ許可ビット (SPPE) の設定値に依存します。MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR\_HA) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

### パリティ機能無効時のデータフォーマット

パリティ機能無効時は、SPI データ長設定ビット (SPI コマンドレジスタ 0 (SPCMD0.SPB[3:0])) で設定したビット長のデータの送受信を行います。

### パリティ機能有効時のデータフォーマット

パリティ機能有効時は、SPI データ長設定ビット (SPI コマンドレジスタ 0 (SPCMD0.SPB[3:0])) で設定したビット長のデータの送受信を行います。ただし、最終ビットはパリティビットです。



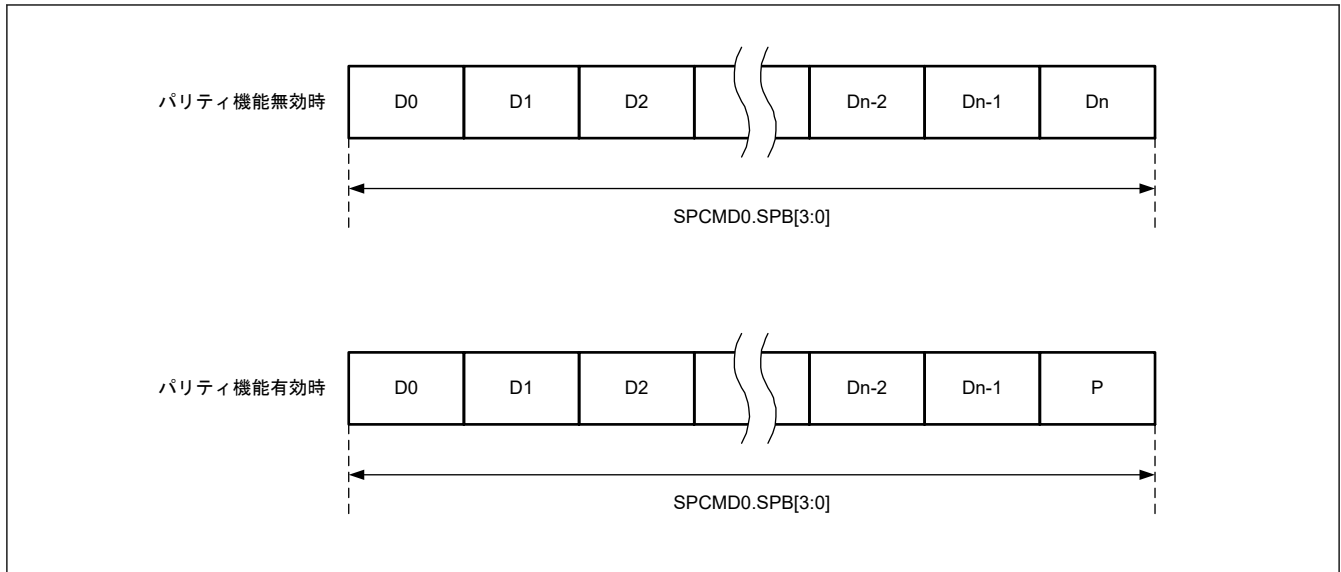


図 26.11 パリティ機能無効時と有効時のデータフォーマット

#### 26.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0) の動作

パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ (SPDR/SPDR\_HA) とシフトレジスタの関係を、MSB/LSB ファーストとビット長の組み合わせで説明します。

##### (1) MSB ファースト転送 (32 ビットデータ)

図 26.12 に、パリティ機能無効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの T31～T00 ビットをシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

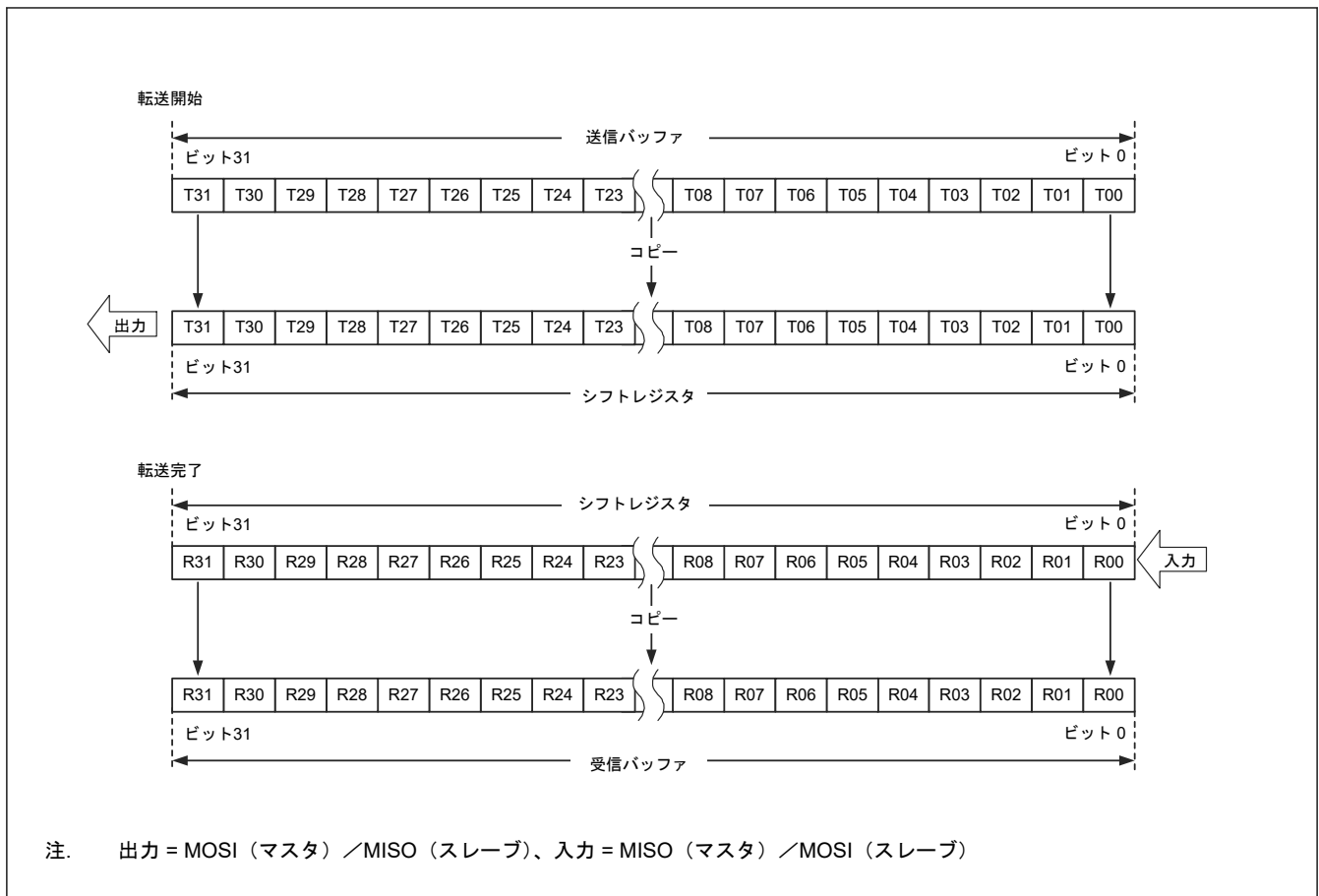


図 26.12 MSB ファースト転送 (32 ビットデータ/パリティ機能無効)

## (2) MSB ファースト転送 (24 ビットデータ)

図 26.13 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～R00 ビットまでデータがたまと、シフトレジスタの値を受信バッファにコピーします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

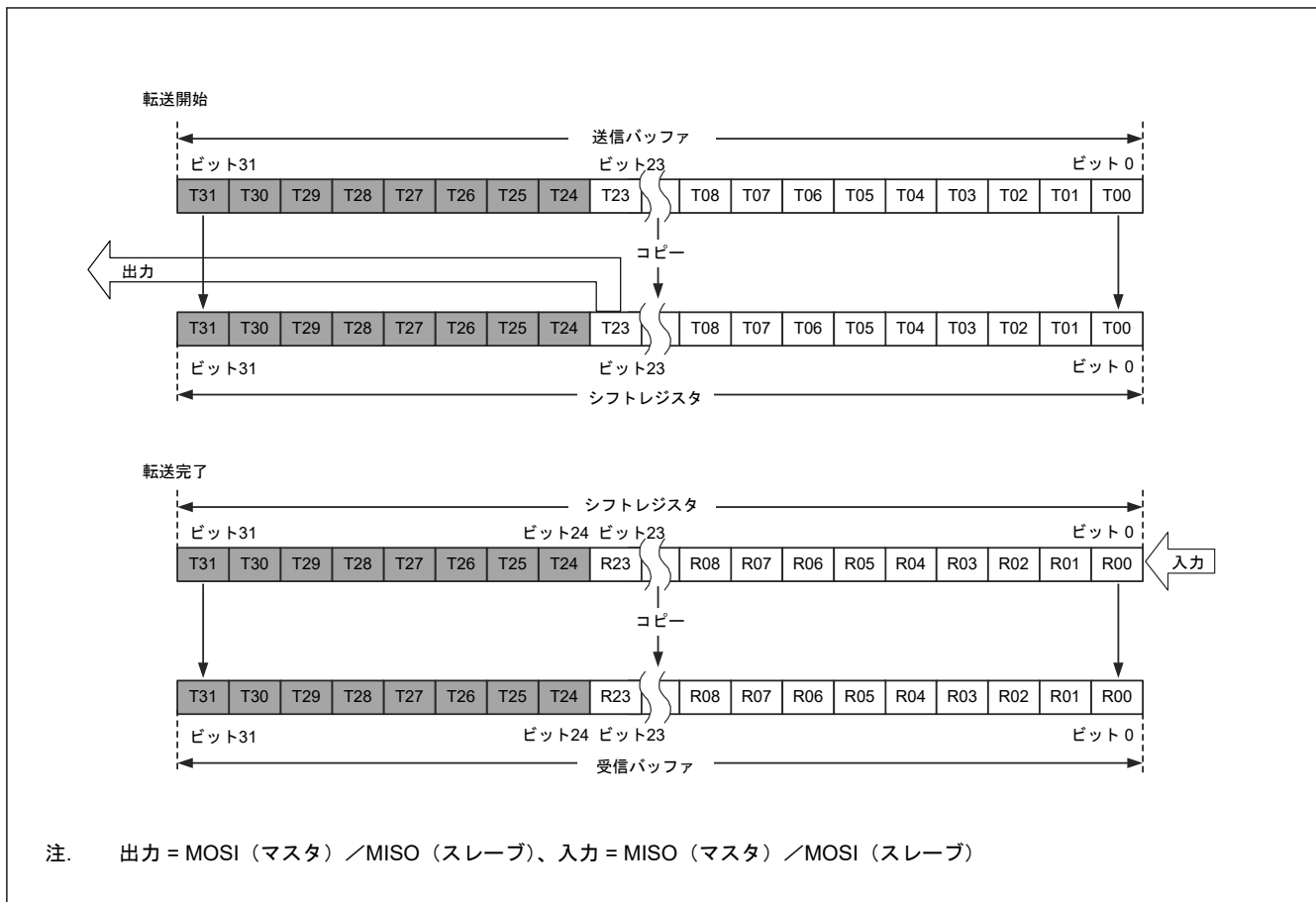


図 26.13 MSB ファースト転送 (24 ビットデータ/パリティ機能無効)

### (3) LSB ファースト転送 (32 ビットデータ)

図 26.14 に、パリティ機能無効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31～T00 をビット単位で T00～T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

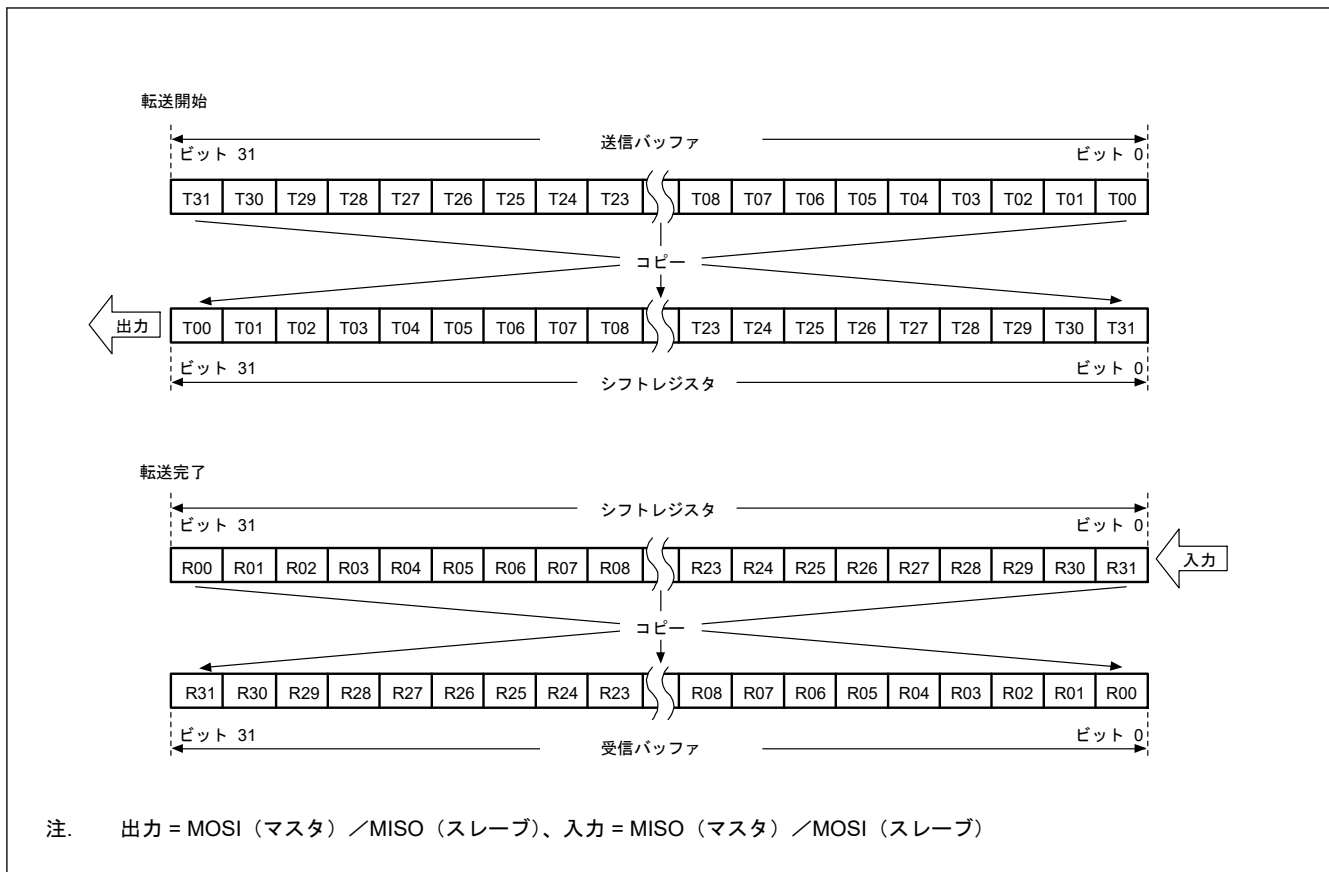


図 26.14 LSB ファースト転送 (32 ビットデータ/パリティ機能無効)

## (4) LSB ファースト転送 (24 ビットデータ)

図 26.15 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T0) をビット単位で T00～T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

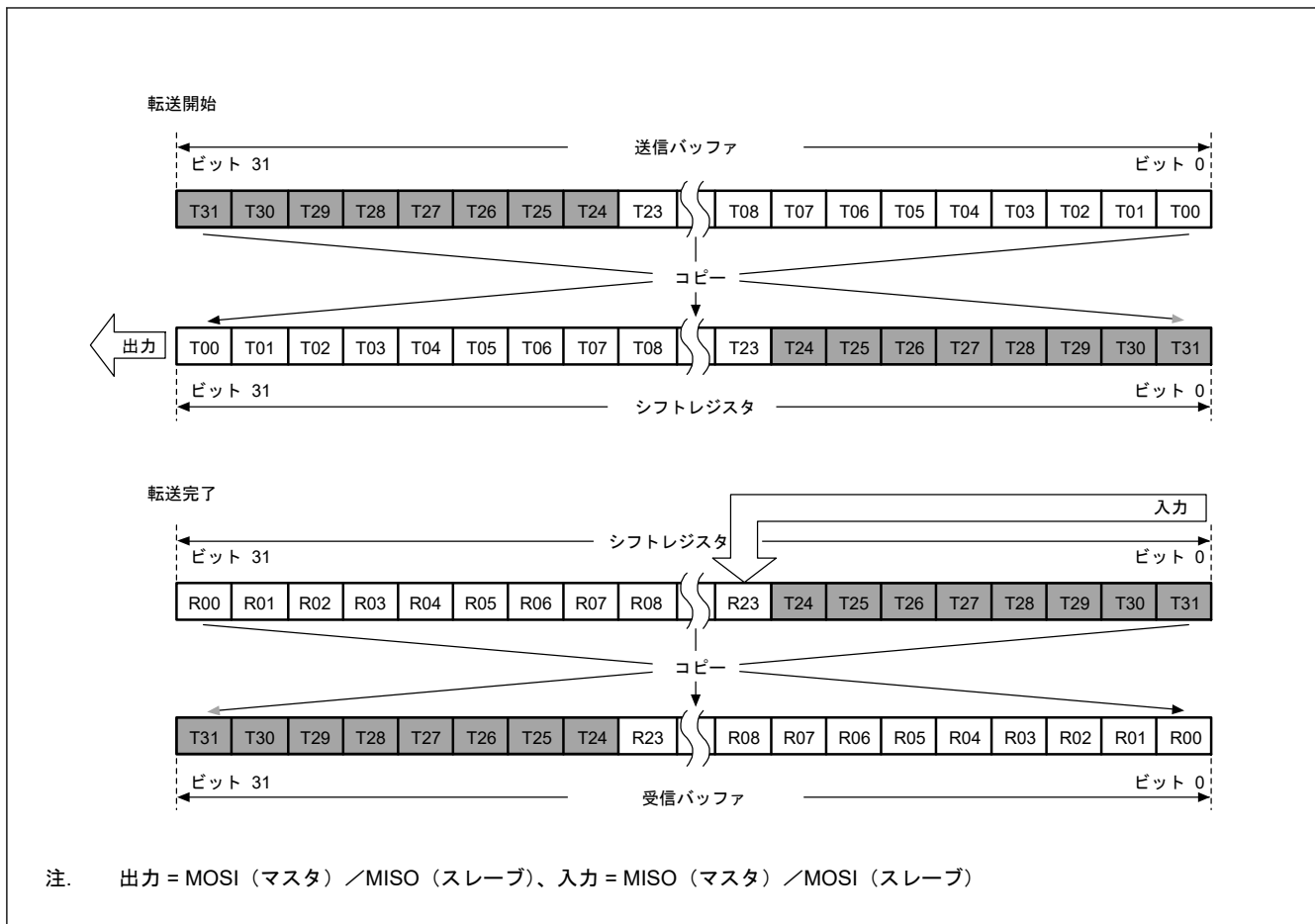


図 26.15 LSB ファースト転送 (24 ビットデータ/パリティ機能無効)

### 26.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1) の動作

パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

#### (1) MSB ファースト転送 (32 ビットデータ)

図 26.16 に、パリティ機能有効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31~P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31~P ビットのデータをチェックします。

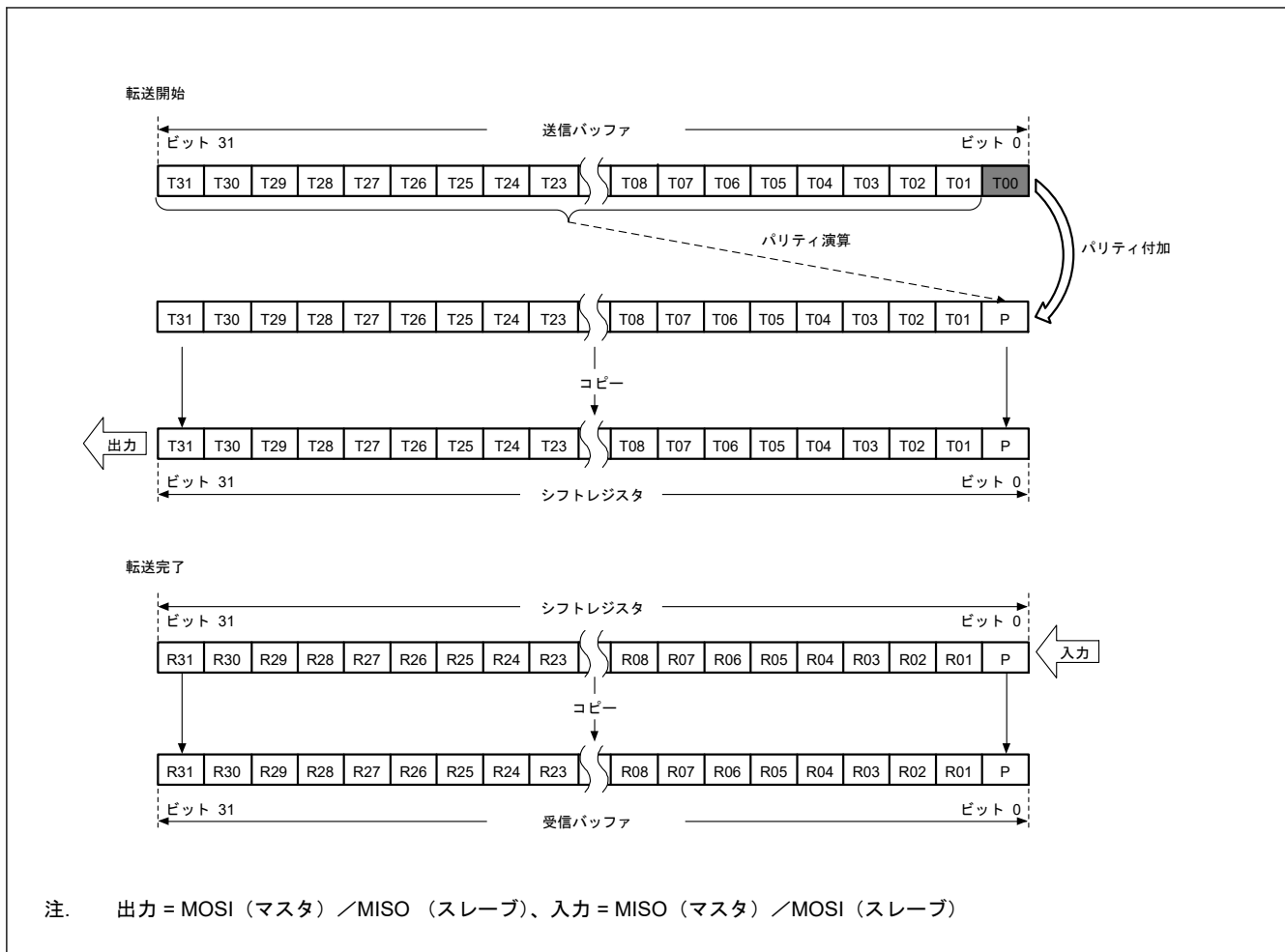


図 26.16 MSB ファースト転送 (32 ビットデータ/パリティ機能有効)

## (2) MSB ファースト転送 (24 ビットデータ)

図 26.17 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23～T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T23 → T22 → … → T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23～P ビットのデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。

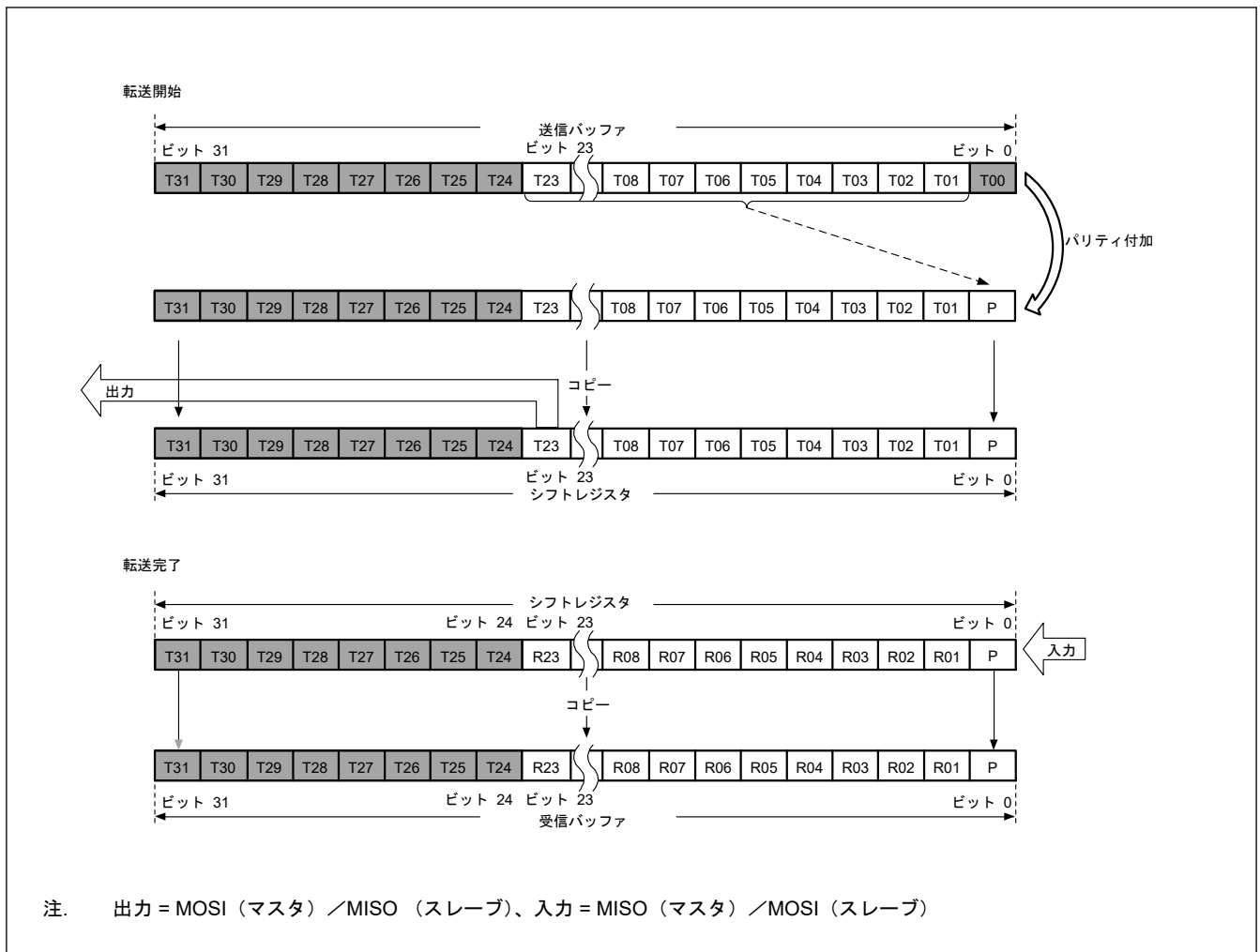


図 26.17 MSB ファースト転送 (24 ビットデータ/パリティ機能有効)

## (3) LSB ファースト転送 (32 ビットデータ)

図 26.18 に、パリティ機能有効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。

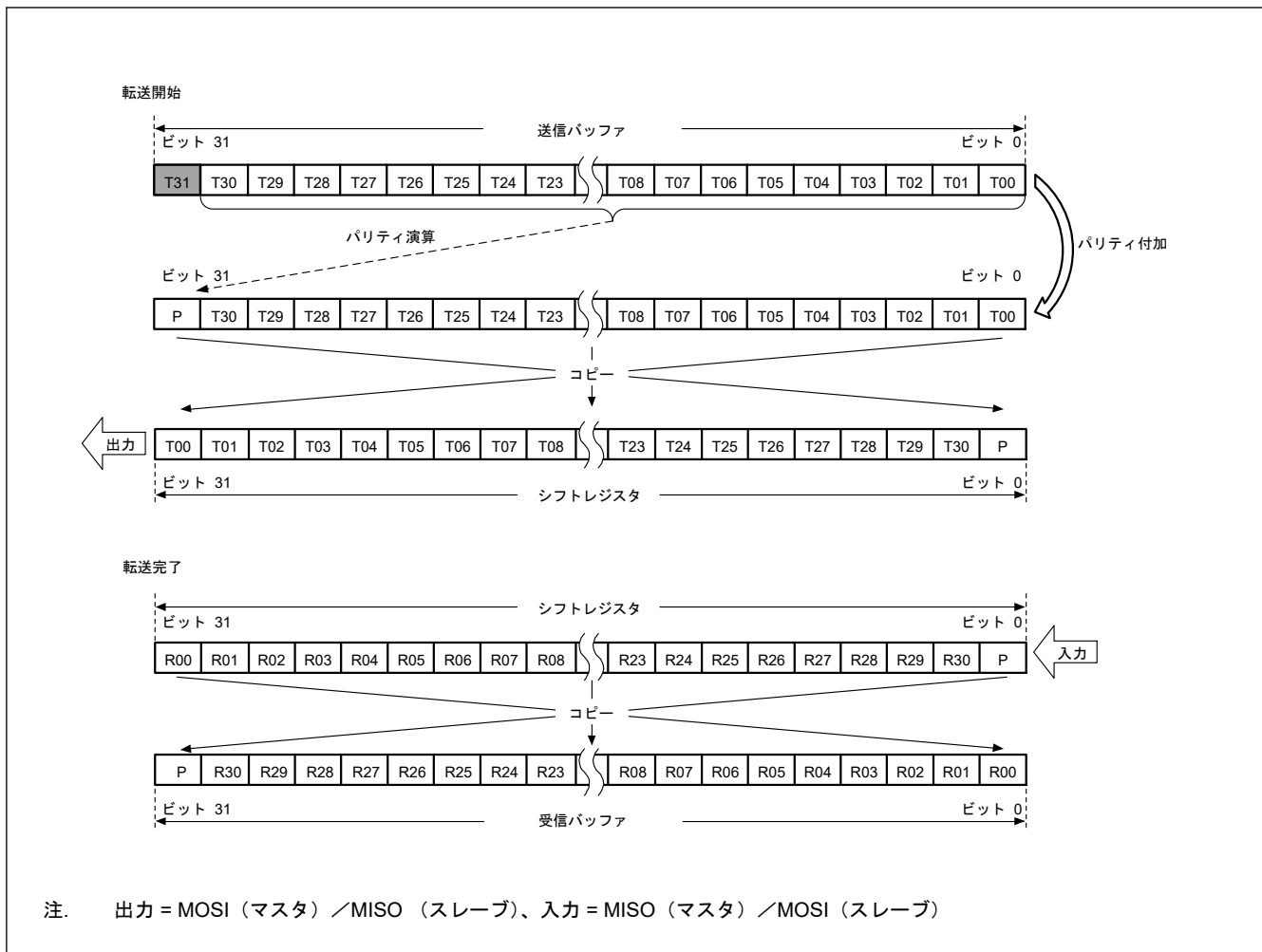


図 26.18 LSB ファースト転送 (32 ビットデータ/パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 26.19 に、パリティ機能有効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、値全体をシフトレジスタにコピーします。データは、T00 → T01 → … → T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



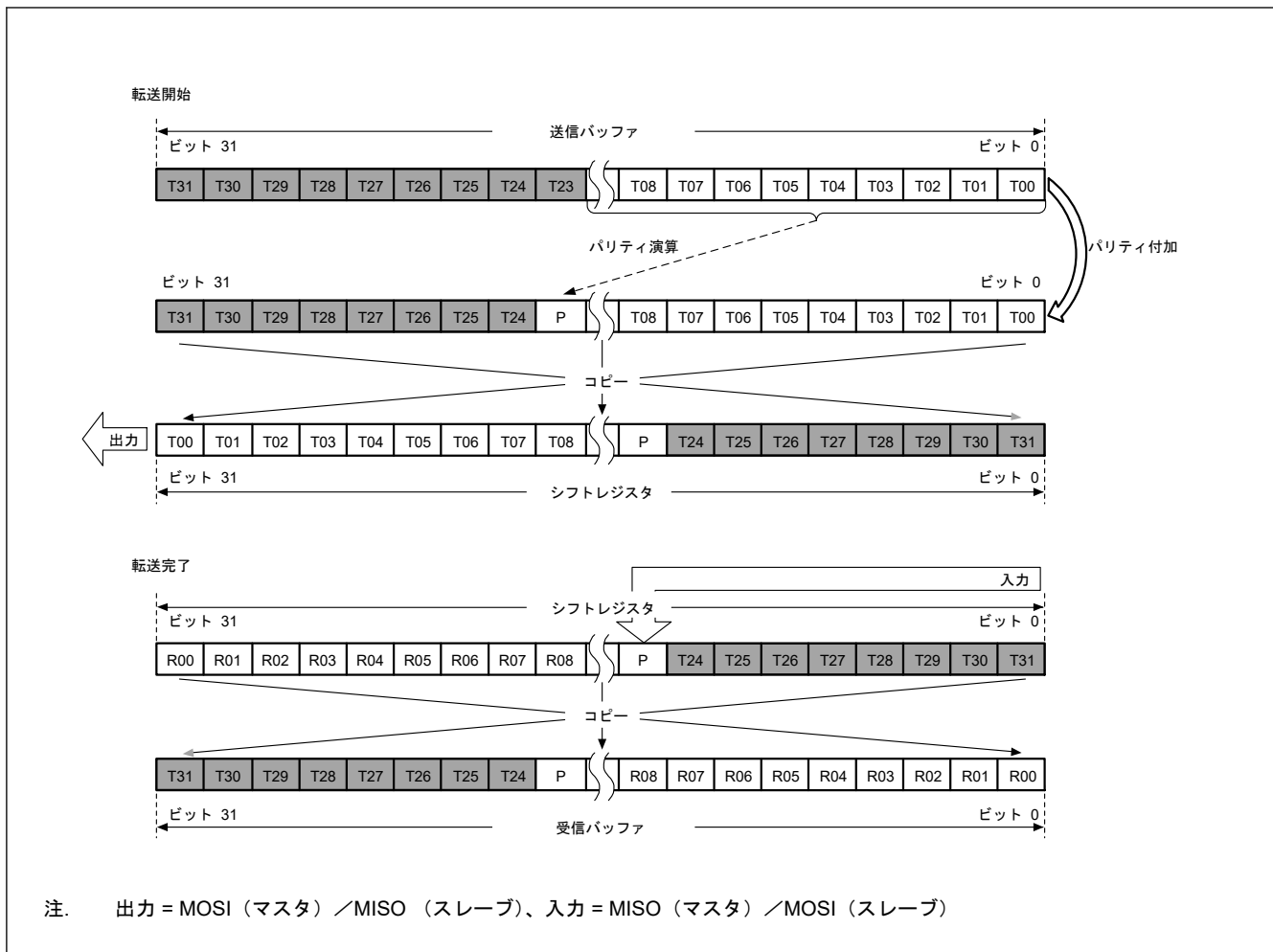


図 26.19 LSB ファースト転送 (24 ビットデータ/パリティ機能有効)

### 26.3.5 転送フォーマット

#### 26.3.5.1 CPHA = 0 の場合

図 26.20 に SPCMD0.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS = 1) は行わないでください。図 26.20 において、RSPCKn (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、「26.3.2. SPI 端子の制御」を参照してください。

SPCMD0.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISO<sub>n</sub> 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号の変化が、最初の転送データ取り込みになります。これ以降、1RSPCKn 周期ごとにデータがサンプリングされます。MOSIn 信号と MISO<sub>n</sub> 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間 (RSPCK 遅延) を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネグートまでの期間 (SSL ネグート遅延) を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間 (次アクセス遅延) を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「26.3.10.1. マスタモード動作」を参照してください。

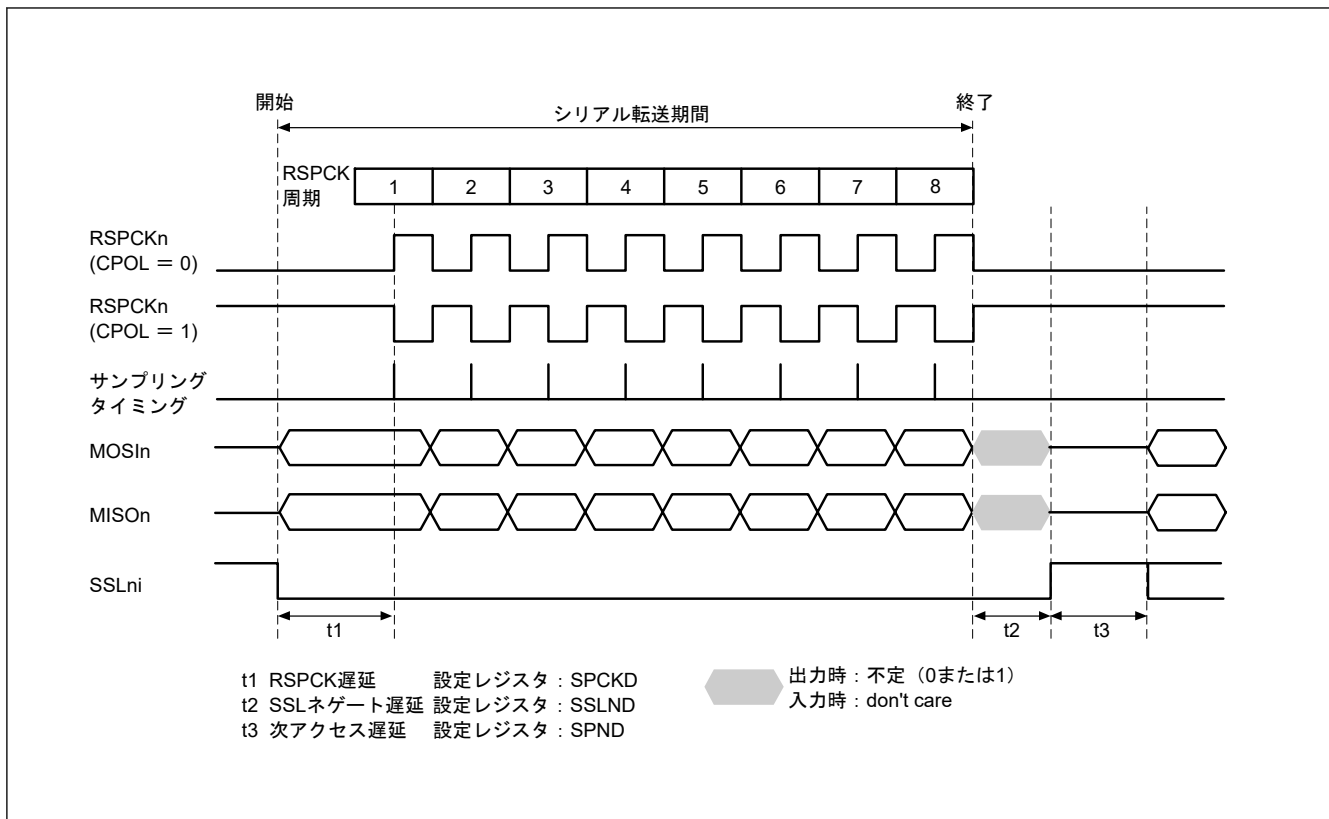


図 26.20 SPI 転送フォーマット (CPHA = 0 の場合)

### 26.3.5.2 CPHA = 1 の場合

図 26.21 に SPCMD0.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOOn 信号の 3 つの信号のみで通信を行います。図 26.21 において、RSPCK (CPOL = 0) は、SPCMD0.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を表します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SPI のモード (マスター/スレーブ) に依存します。詳細は、「26.3.2. SPI 端子の制御」を参照してください。

SPCMD0.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMD0.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビットが 0 の場合と同様です。MCU の SPI がマスターモードである場合の t1、t2、t3 については、「26.3.10.1. マスタモード動作」を参照してください。

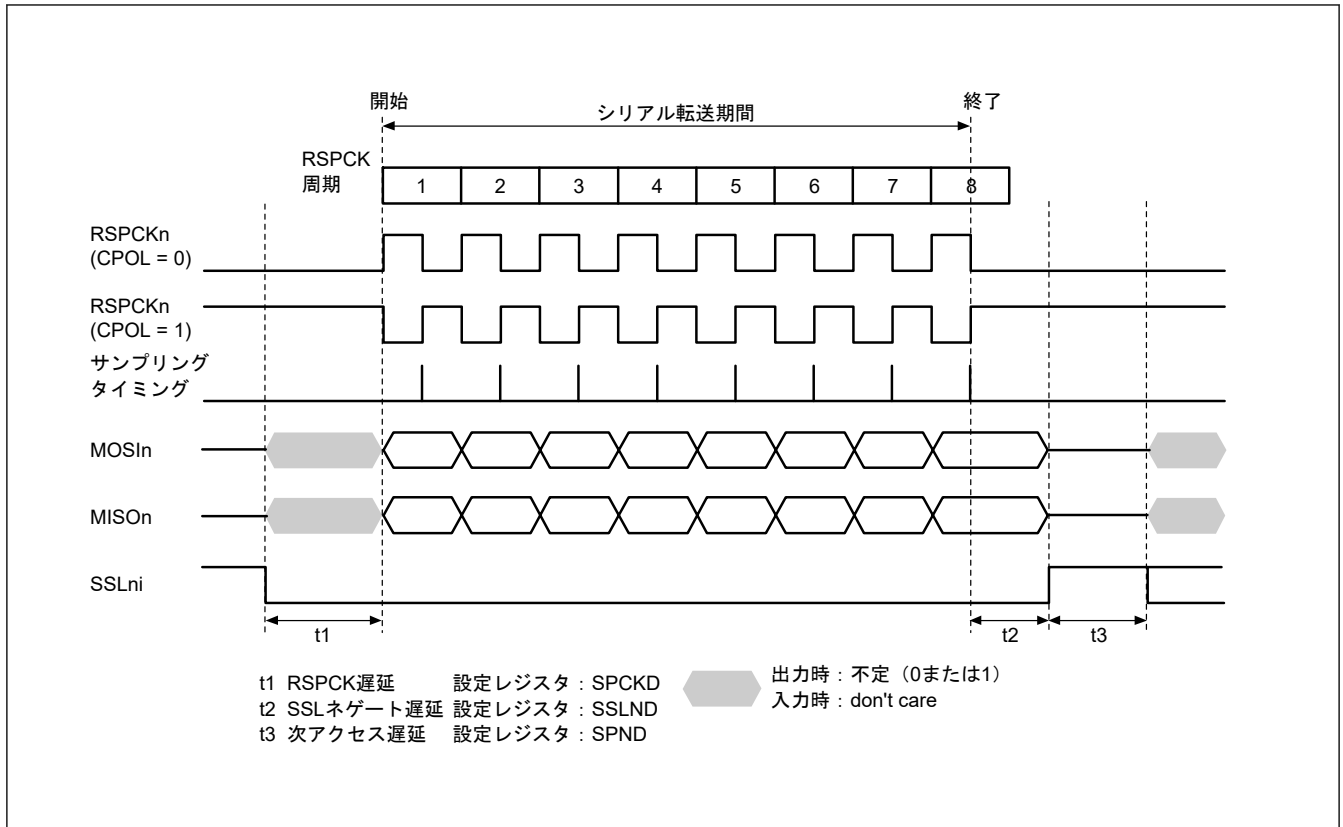


図 26.21 SPI 転送フォーマット (CPHA = 1 の場合)

### 26.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作が選択できます。図 26.22 および 図 26.23 に記載した SPDR アクセスは、SPDR レジスタへのアクセス状況を示しています。W は書き込みサイクルを示しています。

#### 26.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 26.22 に、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

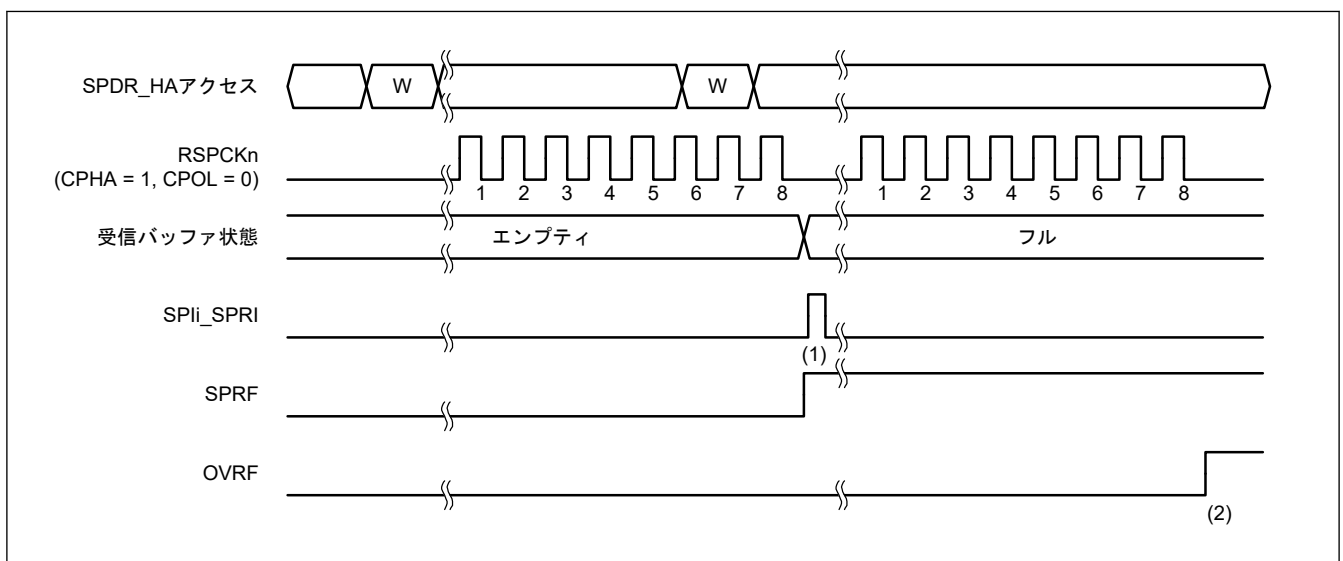


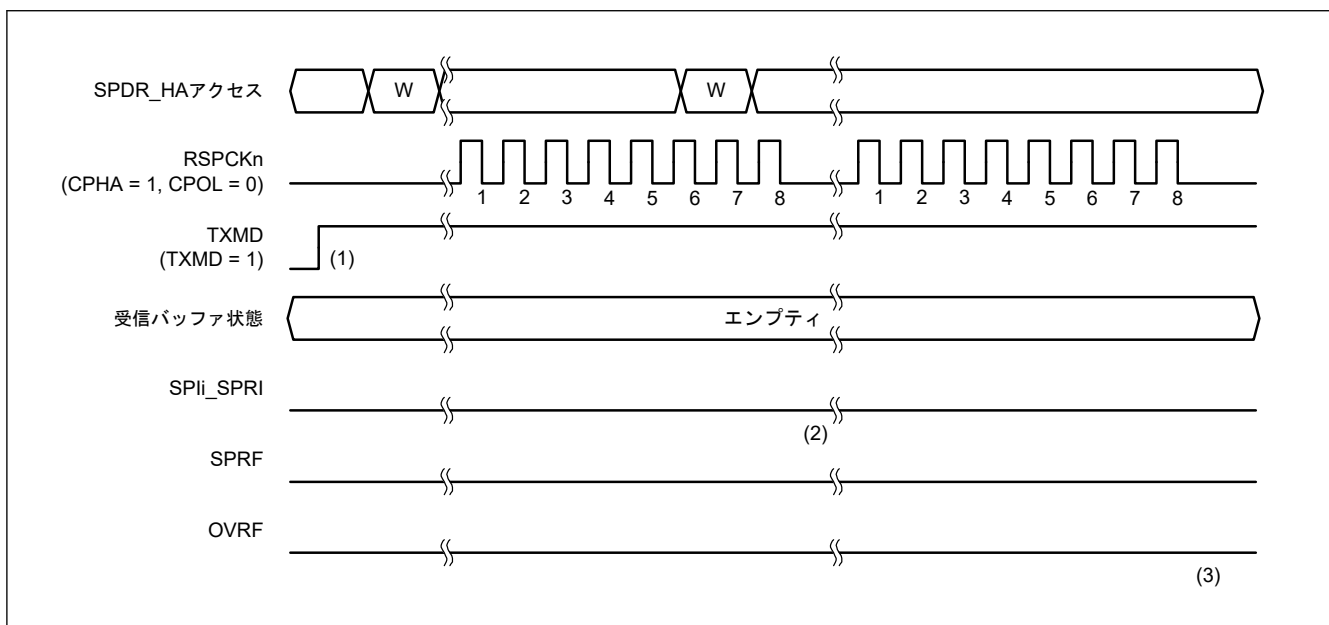
図 26.22 SPCR.TXMD = 0 の動作例

以下に、[図 26.22](#) の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. SPDR\_HA レジスタの受信バッファが空の状態ですerial転送が終了すると、SPI は受信バッファフル割り込み要求 (SPiI\_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。SPSR.OVRF フラグの詳細動作については「[26.3.8.1. オーバーランエラー](#)」をご参照ください。

### 26.3.6.2 送信のみのシリアル通信 (SPCR.TXMD = 1)

[図 26.23](#) に、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。



**図 26.23 SPCR.TXMD = 1 の動作例**

以下に、[図 26.23](#) の (1)~(3) に示したタイミングでのフラグの動作内容を説明します。

1. 送信のみのシリアル通信 (SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと (SPSR.SPRF = 0)、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR\_HA レジスタの受信バッファが空の状態ですerial転送が終了すると、送信のみのシリアル通信 (SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR\_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみのシリアル通信動作 (SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF および SPSR.OVRF フラグは (1)~(3) それぞれのタイミングで 0 を保持します。

### 26.3.7 送信バッファエンプティ/受信バッファフル割り込み

[図 26.24](#) および [図 26.25](#) に、送信バッファエンプティ割り込み (SPiI\_SPTI) と受信バッファフル割り込み (SPiI\_SPRI) の動作例を示します。[図 38.26](#) および [図 38.27](#) に記載した SPDR レジスタアクセスは、SPDR\_HA レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。[図 26.24](#) では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 0、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。[図 26.25](#) では、SPCR.TXMD ビットが 0、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

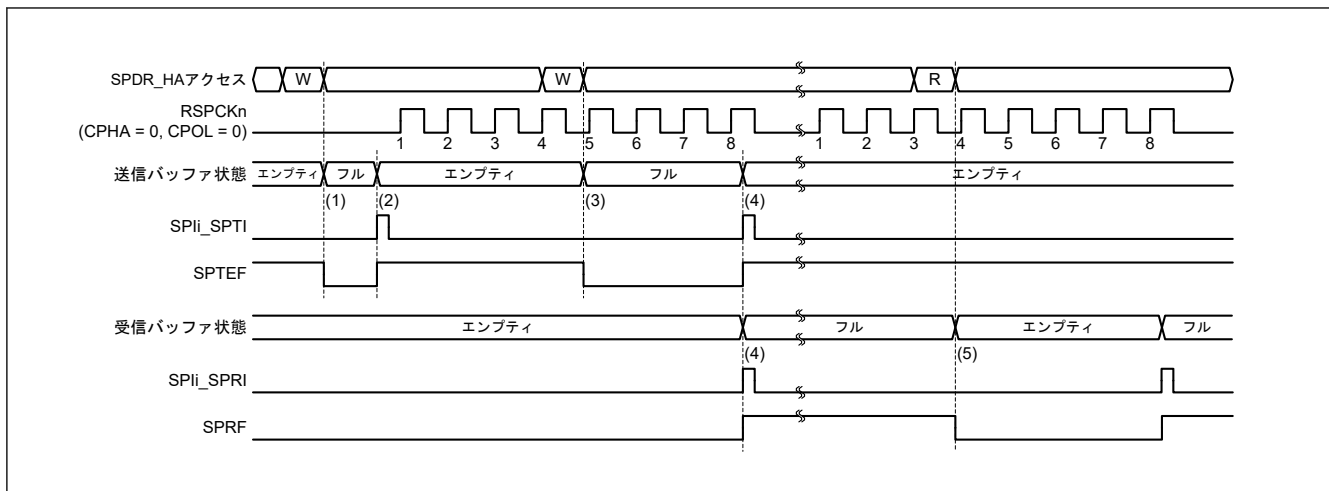


図 26.24 SPIi\_SPTI、SPIi\_SPRI 割り込みの動作例 (CPHA = 0、CPOL = 0)

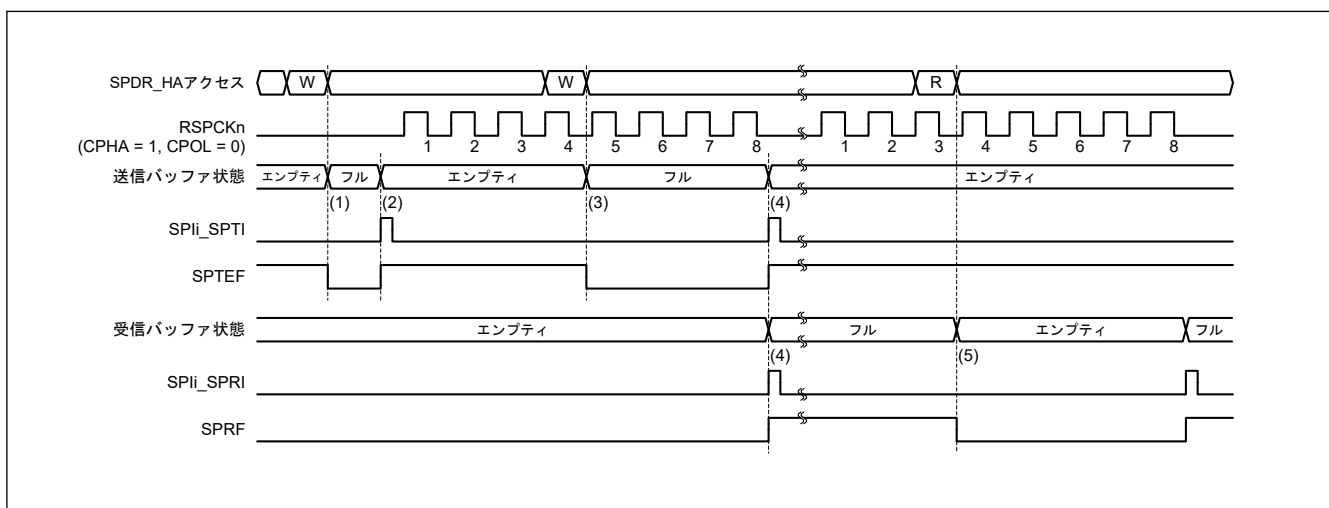


図 26.25 SPIi\_SPTI、SPIi\_SPRI 割り込みの動作例 (CPHA = 1、CPOL = 0)

以下に、[図 26.24](#) および [図 26.25](#) の (1)~(5) での SPI の動作内容を説明します。

1. SPDR\_HA レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
2. シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンティ割り込み要求 (SPIi\_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、「[26.3. 動作説明](#)」および「[26.3.11. クロック同期式動作](#)」を参照してください。
3. 送信バッファエンティ割り込みルーチン、または SPSR.SPTEF フラグによる送信バッファエンティの処理で SPDR\_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR\_HA レジスタの受信バッファが空の状態ではシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIi\_SPRI) を発生させ、SPSR.SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPSR.SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPSR.SPRF フラグによる受信バッファフルの処理で SPDR\_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPSR.SPTEF = 0) で、SPDR\_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR\_HA レジスタへ書き込む場合は、送信バッファエンブティ割り込み要求を使用するか、または SPSR.SPTEF フラグによる送信バッファエンブティ割り込みの処理で行ってください。また、送信バッファエンブティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE = 0) の場合には、SPCR.SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPSR.SPRF = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します (「26.3.8. エラー検出」を参照してください)。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信/受信バッファの状態は、送信/受信割り込み、または関連する ICU の IELSRn.IR フラグ (n は割り込みベクタ番号) によって確認することができます。

同様に、SPSR.SPTEF および SPSR.SPRF フラグによっても、送信/受信バッファの状態を確認できます。割り込みベクタ番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

### 26.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR\_HA レジスタの送信バッファに書き込んだデータが送信され、受信したデータは SPDR/SPDR\_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR\_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によって、通常以外の転送となることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 26.7 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 26.7 通常以外の転送動作と SPI のエラー検出機能の関係

動作	発生条件	SPI 動作	エラー検出
1	送信バッファフルの状態 で SPDR/SPDR_HA レジスタに書き込み	<ul style="list-style-type: none"> <li>送信バッファ内容を保持</li> <li>書き込みデータ欠落</li> </ul>	なし
2	受信バッファエンブティの状態 で SPDR/ SPDR_HA レジスタを読み出し	受信バッファ内容および受信済みデータ を出力	なし
3	SPI がデータ送信不能のときに、 スレーブモードでシリアル転送が開始	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISO<sub>n</sub> 端子の出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	アンダーランエラー
4	受信バッファフルの状態 でシリアル転送が終了	<ul style="list-style-type: none"> <li>受信バッファ内容を保持</li> <li>受信データ欠落</li> </ul>	オーバーランエラー
5	以下のモードで、全二重同期式 シリアル通信時にパリティ機能が 有効な状態で誤ったパリティ ビットを受信 <ul style="list-style-type: none"> <li>送受信マスタモード</li> <li>送受信スレーブモード</li> </ul>	パリティエラーフラグのアサート	パリティエラー
6	スレーブモードでシリアル転送中に SSLn0 端子の入力信号ネゲート	<ul style="list-style-type: none"> <li>シリアル転送を中断</li> <li>送受信データ欠落</li> <li>MISO<sub>n</sub> 端子の出力信号のドライブ停止</li> <li>SPI 機能は無効</li> </ul>	モードフォルトエラー

表 26.7 の動作 1 に対しては、SPI はエラーを検出しません。SPDR/SPDR\_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンブティ割り込み要求で SPDR/SPDR\_HA レジスタへの書き込みを実行してください (SPSR.SPTEF フラグが 1 の場合)。

動作 2 に対しても、SPI はエラーを検出しません。無関係なデータを読み出さないようにするためには、SPI 受信バッファフル割り込み要求で SPDR/SPDR\_HA レジスタの読み出しを実行するようにしてください (SPSR.SPRF フラグが 1 の場合)。

表中のその他のエラーについては、下記の節を参照してください。

- 動作 3 に示したアンダーランエラーについては、「26.3.8.4. アンダーランエラー」を参照してください。

- 動作 4 に示したオーバーランエラーについては、「26.3.8.1. オーバーランエラー」を参照してください。
- 動作 5 に示したパリティエラーについては、「26.3.8.2. パリティエラー」を参照してください。
- 動作 6～8 に示したモードフォルトエラーについては、「26.3.8.3. モードフォルトエラー」を参照してください。
- 送信および受信割り込みについては、「26.3.7. 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

### 26.3.8.1 オーバーランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR.OVRF フラグを 0 にするためには、SPSR.OVRF フラグが 1 の状態の SPSR レジスタを CPU が読み出した後に、SPSR.OVRF フラグに 0 を書く必要があります。

図 26.26 に、SPSR.OVRF フラグと SPRF フラグの動作例を示します。図 26.26 に記載した SPSR アクセスと SPDR\_HA アクセスは、それぞれ SPSR、SPDR\_HA レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

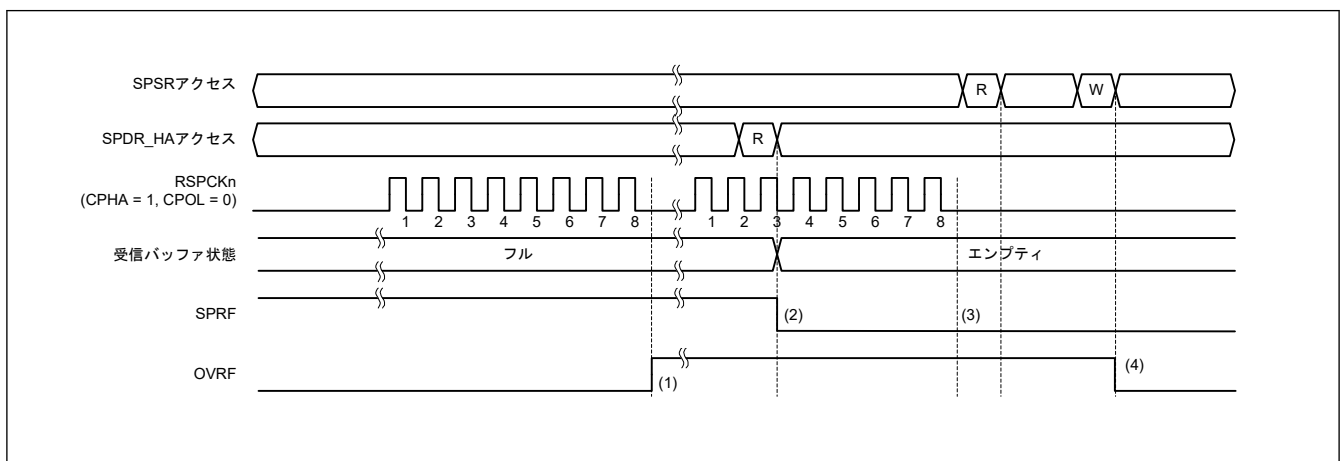


図 26.26 OVRF フラグおよび SPRF フラグの動作例

以下に、図 26.26 の (1)～(4) に示したタイミングでのフラグの動作内容を説明します。

1. SPSR.SPRF フラグが 1 (受信バッファフル) の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPCR2.SPPE ビットが 1 であってもパリティエラーの検出は行いません。
2. SPDR レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPSR.SPRF フラグが 0 になります。受信バッファが空になっても、SPSR.OVRF フラグは 0 になりません。
3. OVRF フラグが 1 の状態 (オーバーランエラー) でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPSR.SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPSR.SPPE ビットが 1 であってもパリティエラーの検出は行いません。オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタを空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
4. SPSR.OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、SPSR.OVRF フラグに 0 を書くと、SPSR.OVRF フラグは 0 になります。

オーバーランエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。マスタモ

ードでは、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して SPSR.OVRF フラグが 1 になると、SPSR.OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効 (SPCR2.SCKASE = 1) にした場合は、オーバーランエラーが発生しません。図 26.27、図 26.28 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

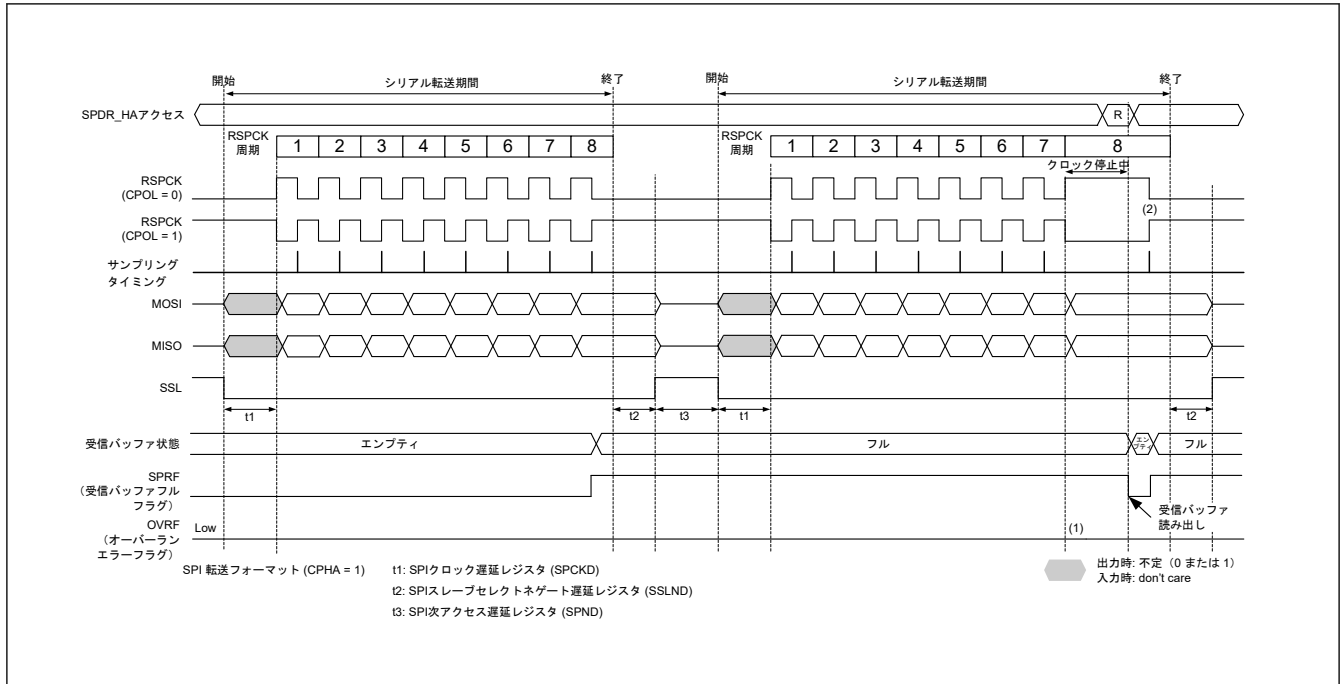


図 26.27 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (SPCMDm.CPHA = 1)

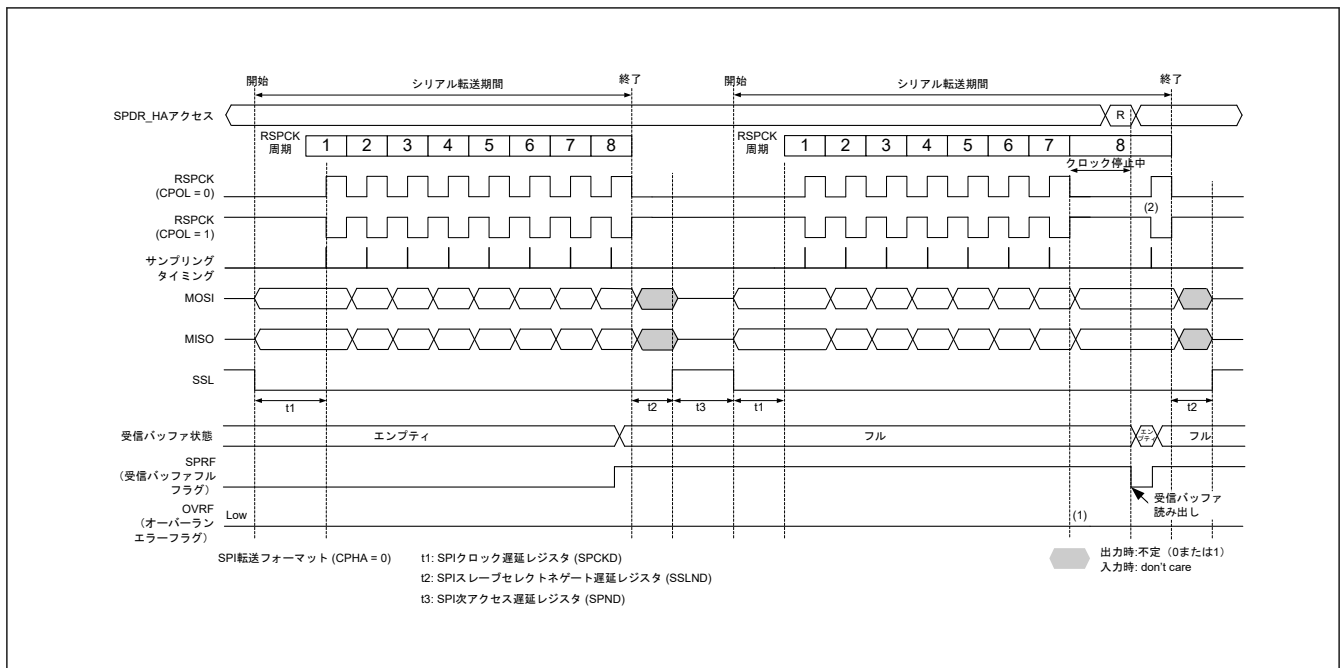


図 26.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (SPCMDm.CPHA = 0)

以下に、図 26.27 および図 26.28 の (1)、(2) に示したタイミングでのフラグ動作を説明します。



1. 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
2. クロック停止中に SPDR レジスタを読み出すと、受信バッファのデータが読み出せません。受信バッファの読み出し後 (SPSR.SPRF フラグが 0 にされた後)、RSPCK クロックが再開します。

### 26.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、シリアル転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。SPSR.PERF フラグを 0 にするためには、SPSR.PERF フラグが 1 の状態の SPSR レジスタを読んだ後、SPSR.PERF フラグに 0 を書いてください。

図 26.29 に、OVRF フラグと PERF フラグの動作例を示します。図 26.29 に記載の SPSR アクセスは、SPSR レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMD0.CPHA ビットが 1、SPCMD0.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCK<sub>n</sub> 波形の下に記載した数字は、RSPCK サイクル数 (= 転送ビット数) を示しています。

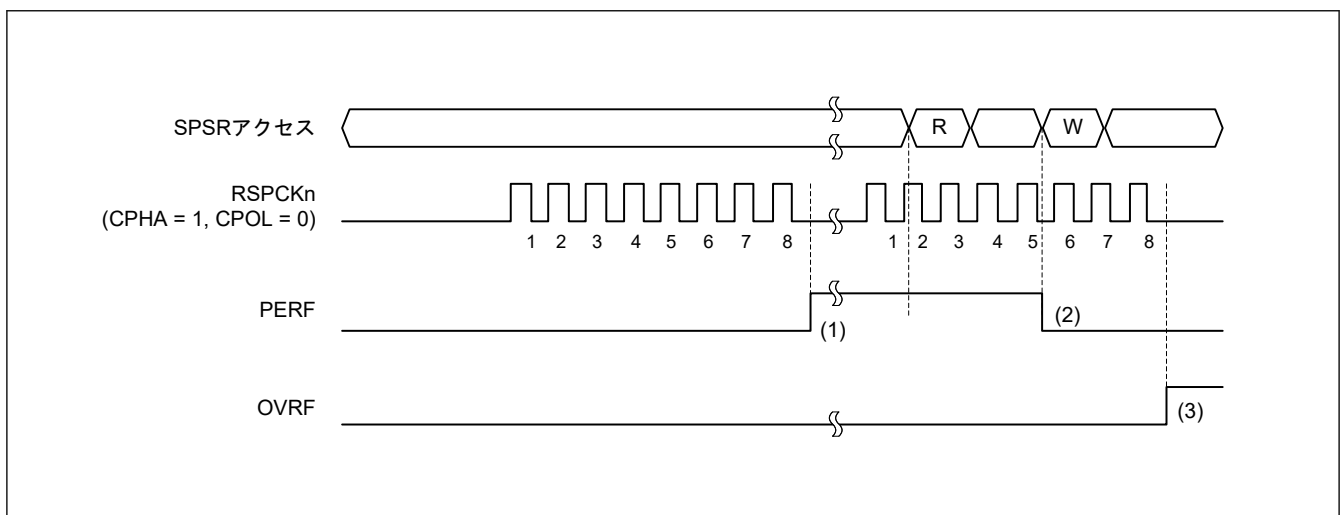


図 26.29 OVRF フラグおよび PERF フラグの動作例

以下に、図 26.29 の (1)~(3) に示したタイミングでのフラグの動作内容を説明します。

1. SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると SPSR.PERF フラグを 1 にします。
2. SPSR.PERF フラグが 1 の状態で SPSR レジスタを読んだ後、SPSR.PERF フラグに 0 を書くと、SPSR.PERF フラグは 0 になります。
3. SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、SPSR レジスタを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。

### 26.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の SPCR.MODFEN ビットが 1、SPCR.SPMS ビットが 0 の場合、シリアル転送期間 (有効データのドライブ開始から最終有効データの取り込みまで) に SSL<sub>n</sub>0 端子へ入力される信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします (「26.3.9. SPI の初期化」を参照)。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

SPSR.MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、SPSR.MODF フラグを 0 にしてください。

#### 26.3.8.4 アンダーランエラー

スレーブモードで SPI が動作しているとき (SPCR.MSTR=0)、SPCR.SPE ビットが 1 (SPI 機能有効) で送信データ出力がレディになる前にシリアル転送が開始すると、SPI はアンダーランエラーを検出し、SPSR.MODF フラグと SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします (「26.3.9. SPI の初期化」を参照)。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

### 26.3.9 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPCR.SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

#### 26.3.9.1 SPCR.SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステータスの初期化
- SPI 送信バッファの初期化 (SPSR.SPTEF フラグが 1 になります)

SPCR.SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPCR.SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時のエラーの状況を確認できます。

送信バッファは空の状態に初期化されます (SPSR.SPTEF フラグが 1 になります)。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合には、送信バッファエンプティ割り込みを禁止するためには、SPCR.SPE ビットへの 0 書き込みと同時に SPCR.SPTIE ビットにも 0 を書き込んでください。

#### 26.3.9.2 システムリセットによる初期化

システムリセットでは、「26.3.9.1. SPCR.SPE ビットのクリアによる初期化」に記載の要件に加え、SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

### 26.3.10 SPI 動作

#### 26.3.10.1 マスタモード動作

##### (1) シリアル転送の開始

SPI 送信バッファが空きで、次転送のデータがセットされていない (SPSR.SPTEF = 0) 状態で、SPI データレジスタ (SPDR) ヘデータを書き込むと、SPI は送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場

合には、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

## (2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

## (3) RSPCK 遅延 (t1)

マスタモードの SPI の RSPCK 遅延値は、SPCMD0.SCKDEN ビットの設定と SPCKD.SCKDL[2:0] ビットの設定で決まります。SPI は、SPCMD0.SCKDEN ビットと SPCKD.SCKDL[2:0] ビットを使用して、表 26.8 のように RSPCK 遅延を決定します。なお、RSPCK 遅延の定義については、「26.3.5. 転送フォーマット」を参照してください。

表 26.8 SPCMDm.SCKDEN ビット、SPCKD.SCKDL[2:0] ビット、RSPCK 遅延の関係

SPCMD0.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延
0	000b~111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

## (4) SSL ネゲート遅延 (t2)

マスタモードの SPI の SSL ネゲート遅延値は、SPCMD0.SLNDEN ビットの設定と SSLND.SLNDL[2:0] ビットの設定で決まります。SPI は、を決定し、SPCMD0.SLNDEN ビットと SSLND.SLNDL[2:0] ビットを使用して、表 26.9 のように SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「26.3.5. 転送フォーマット」を参照してください。

表 26.9 SPCMDm.SLNDEN ビット、SSLND.SLNDL[2:0] ビット、SSL ネゲート遅延の関係

SPCMD0.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延
0	000b~111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

## (5) 次アクセス遅延 (t3)

マスタモードの SPI の次アクセス遅延値は、SPCMD0.SPNDEN ビットの設定と SPND.SPNDL[2:0]ビットの設定で決まります。SPI は、SPCMD0.SPNDEN ビットと SPND.SPNDL[2:0]ビットを使用して、表 26.10 のようにシリアル転送中の次アクセス遅延を決定します。なお、次アクセス遅延の定義については、「26.3.5. 転送フォーマット」を参照してください。

表 26.10 SPCMDm.SPNDEN ビット、SPND.SPNDL[2:0]ビット、次アクセス遅延の関係

SPCMD0.SPNDEN ビット	SPND.SPNDL[2:0]ビット	次アクセス遅延
0	000b~111b	1 RSPCK + 2 PCLKB
1	000b	1 RSPCK + 2 PCLKB
	001b	2 RSPCK + 2 PCLKB
	010b	3 RSPCK + 2 PCLKB
	011b	4 RSPCK + 2 PCLKB
	100b	5 RSPCK + 2 PCLKB
	101b	6 RSPCK + 2 PCLKB
	110b	7 RSPCK + 2 PCLKB
	111b	8 RSPCK + 2 PCLKB

## (6) 初期化フロー

図 26.30 に、SPI をマスタモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット (ICU)、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

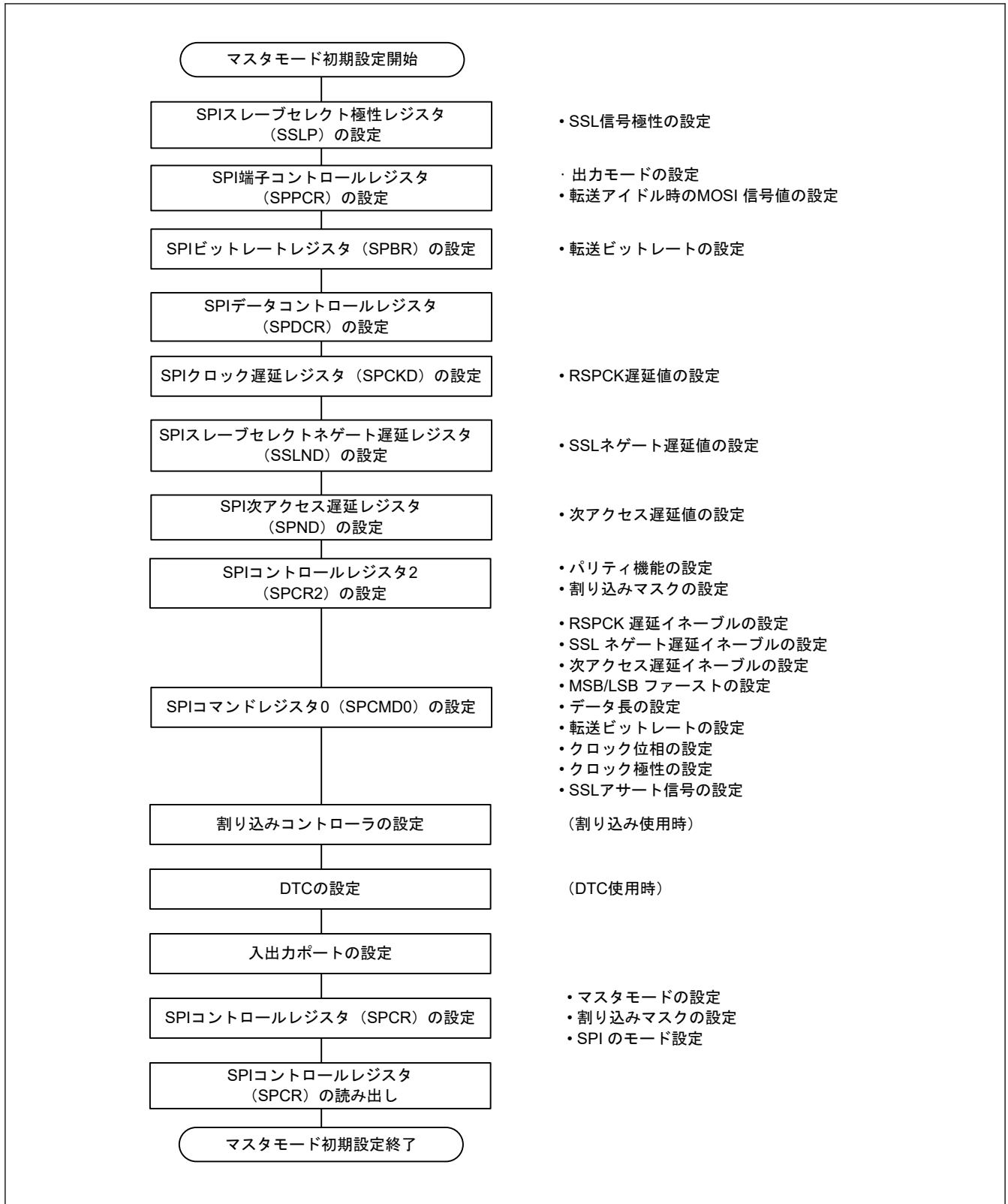


図 26.30 マスタモード時の SPI 動作の初期化フロー例

(7) ソフトウェア処理フロー

図 26.31 ~ 図 26.33 にソフトウェア処理フローの例を示します。

送信処理フロー

データの送信時、SPI<sub>i</sub>\_SPII 割り込みが許可されていれば、最終データの書き込み後にデータ送信完了を CPU に通知します。

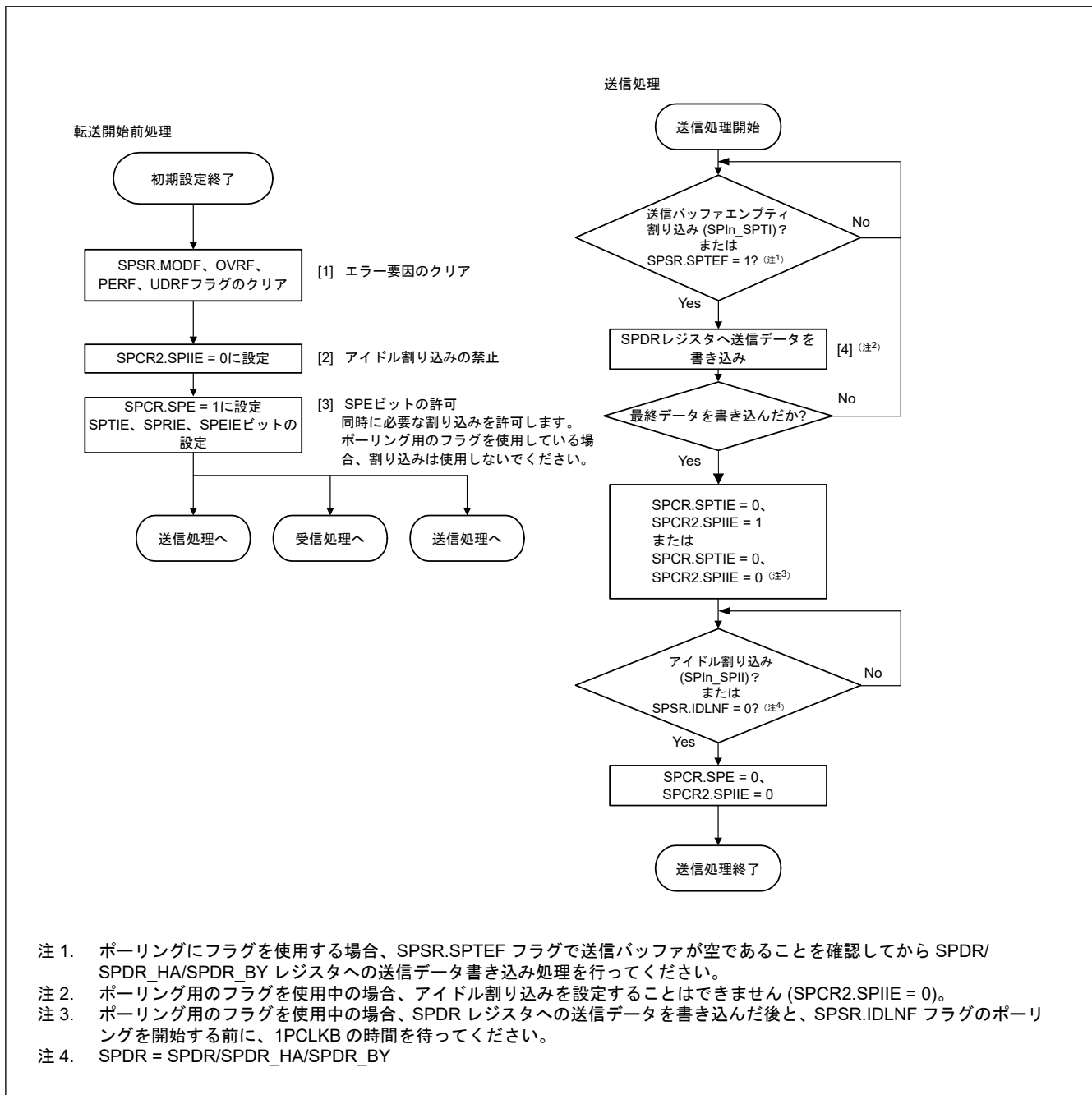


図 26.31 マスタモードでの送信フロー

受信処理フロー

SPI は受信処理のみで実行することができません。送信するデータがない場合でもダミーデータを送信してください。

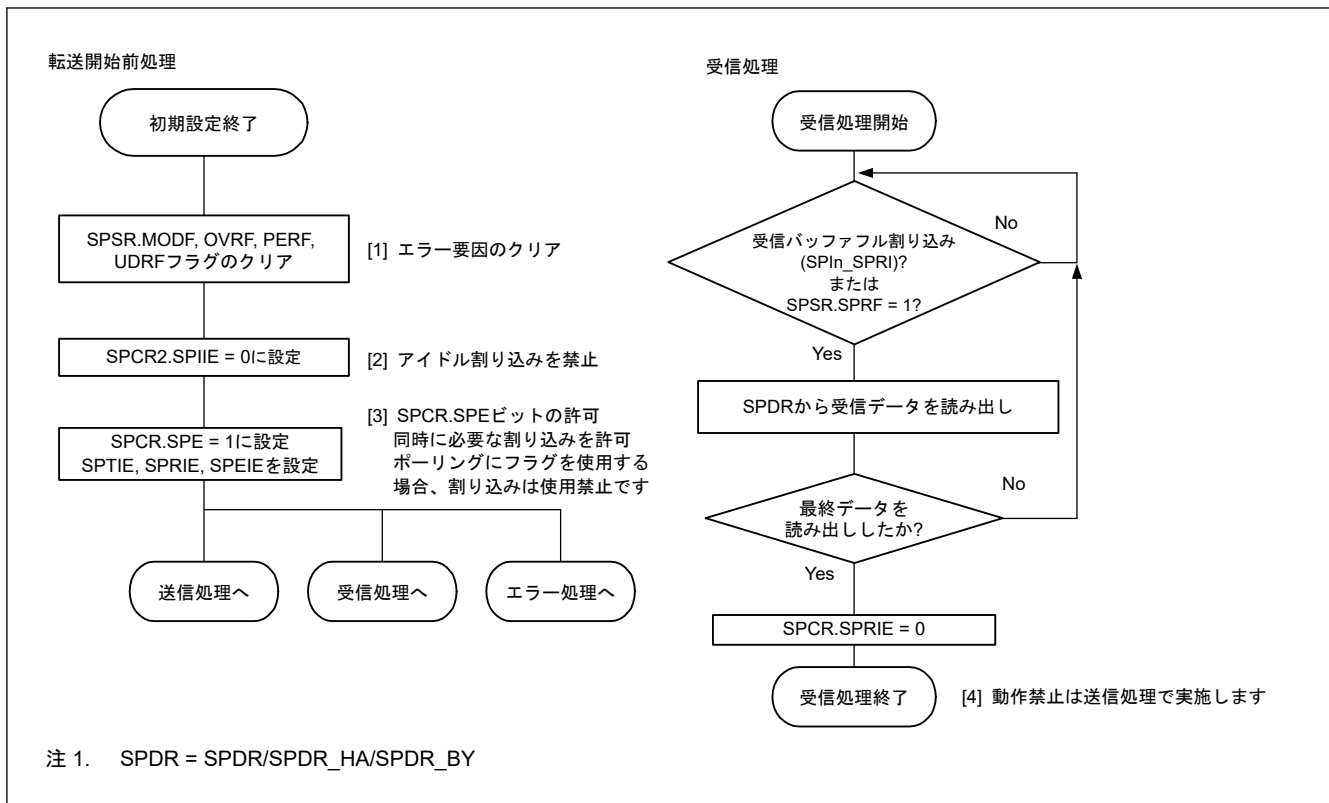


図 26.32 マスタモードでの受信フロー

## エラー処理フロー

SPI は以下のエラーの検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信/受信動作を停止させます。その際、モードフォルトエラー以外のエラーの場合は、SPCR.SPE ビットをクリアし、動作を停止することが推奨されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPI<sub>i</sub>\_SPTI) または受信バッファフル割り込み要求 (SPI<sub>i</sub>\_SPRII) が保持されていることがあります。また、SPI<sub>i</sub>\_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

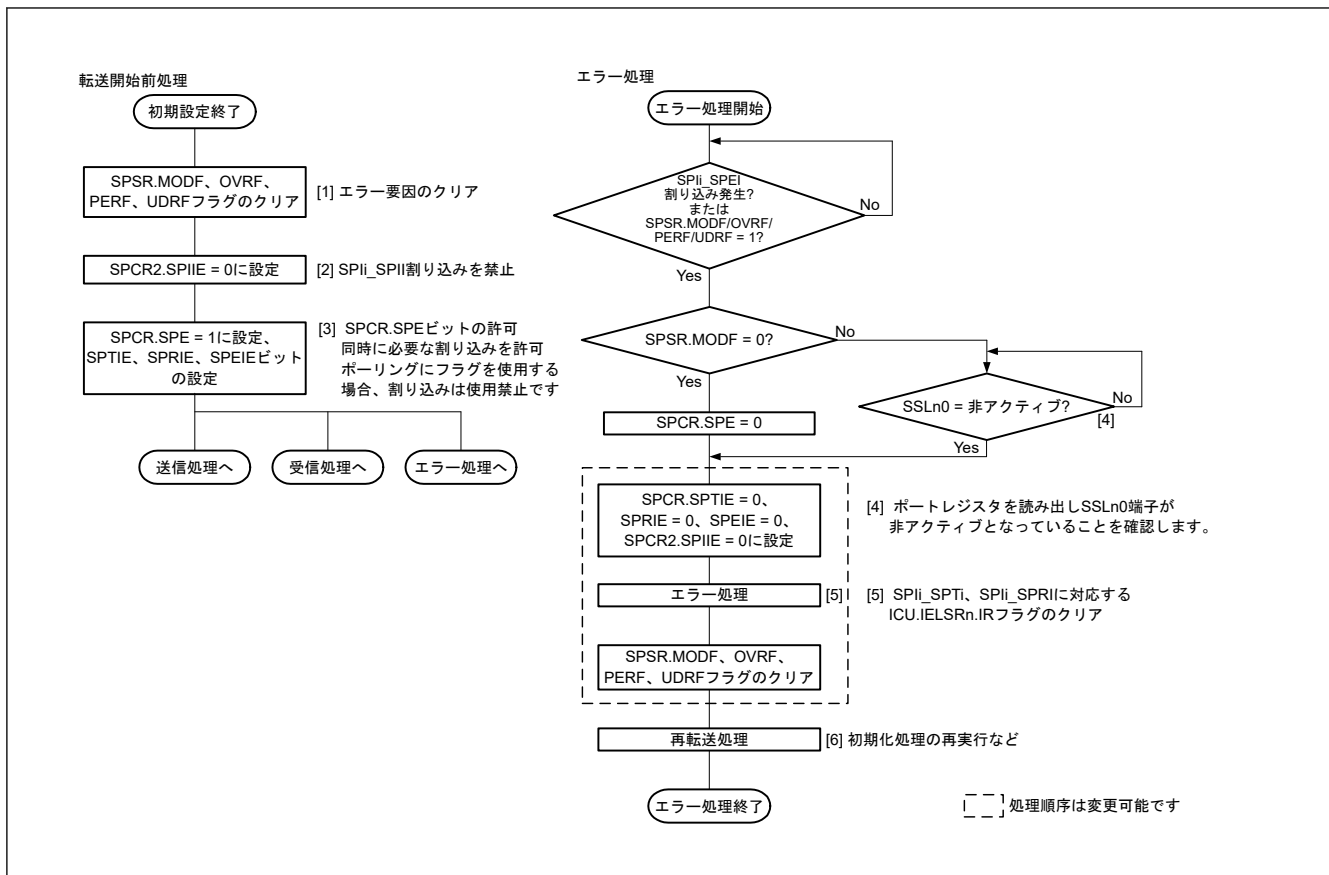


図 26.33 マスタモードでのエラー処理フロー

### 26.3.10.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートを検出すると、MISO<sub>n</sub> 出力信号への有効データをドライブする必要があります。このため、SPCMD0.CPHA ビットが 0 の場合には、SSLn0 端子へ入力される信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが 1 の場合には、SPI は SSLn0 端子へ入力される信号のアサート状態で最初の RSPCK<sub>n</sub> エッジを検出すると、MISO<sub>n</sub> 出力信号への有効データをドライブする必要があります。SPCMD0.CPHA ビットが 1 の場合には、SSLn0 端子へ入力される信号のアサート状態における最初の RSPCK<sub>n</sub> エッジがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットの設定にかかわらず、SPI は SSLn0 端子へ入力される信号のアサート時に、MISO<sub>n</sub> 出力信号のドライブを実行します。SPCMD0.CPHA ビットの設定によって、SPI が出力するデータの有効/無効が異なります。

SPI の転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P ビットの設定値で決まります。

#### (2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、SPI は最終サンプリングタイミングに関連する RSPCK<sub>n</sub> エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 端子へ入力される信号のネゲートを検出すると、モードフォルトエラーが発生します (「26.3.8. エラー検出」を参照)。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P



ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「[26.3.5. 転送フォーマット](#)」を参照してください。

### (3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートエッジを検出するとシリアル転送を開始します。[図 26.7](#) の例に示したような構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 端子への入力信号がアクティブ状態に固定されます。そのため、SPCMD0.CPHA ビットを 0 に設定した SPI では、シリアル転送を正しく開始できません。SSLn0 端子への入力信号をアクティブ状態に固定された構成で、スレーブモードの SPI の送受信を正しく実行するには、SPCMD0.CPHA ビットを 1 にしてください。SPCMD0.CPHA ビットを 0 にする必要がある場合、SSLn0 端子への入力信号を固定しないでください。

### (4) バースト転送

SPCMD0.CPHA ビットが 1 であれば、SSLn0 端子へ入力される信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。SPCMDm.CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 端子への入力信号がアクティブ状態において、最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 端子への入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

SPCMD0.CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

### (5) 初期化フロー

[図 26.34](#) に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

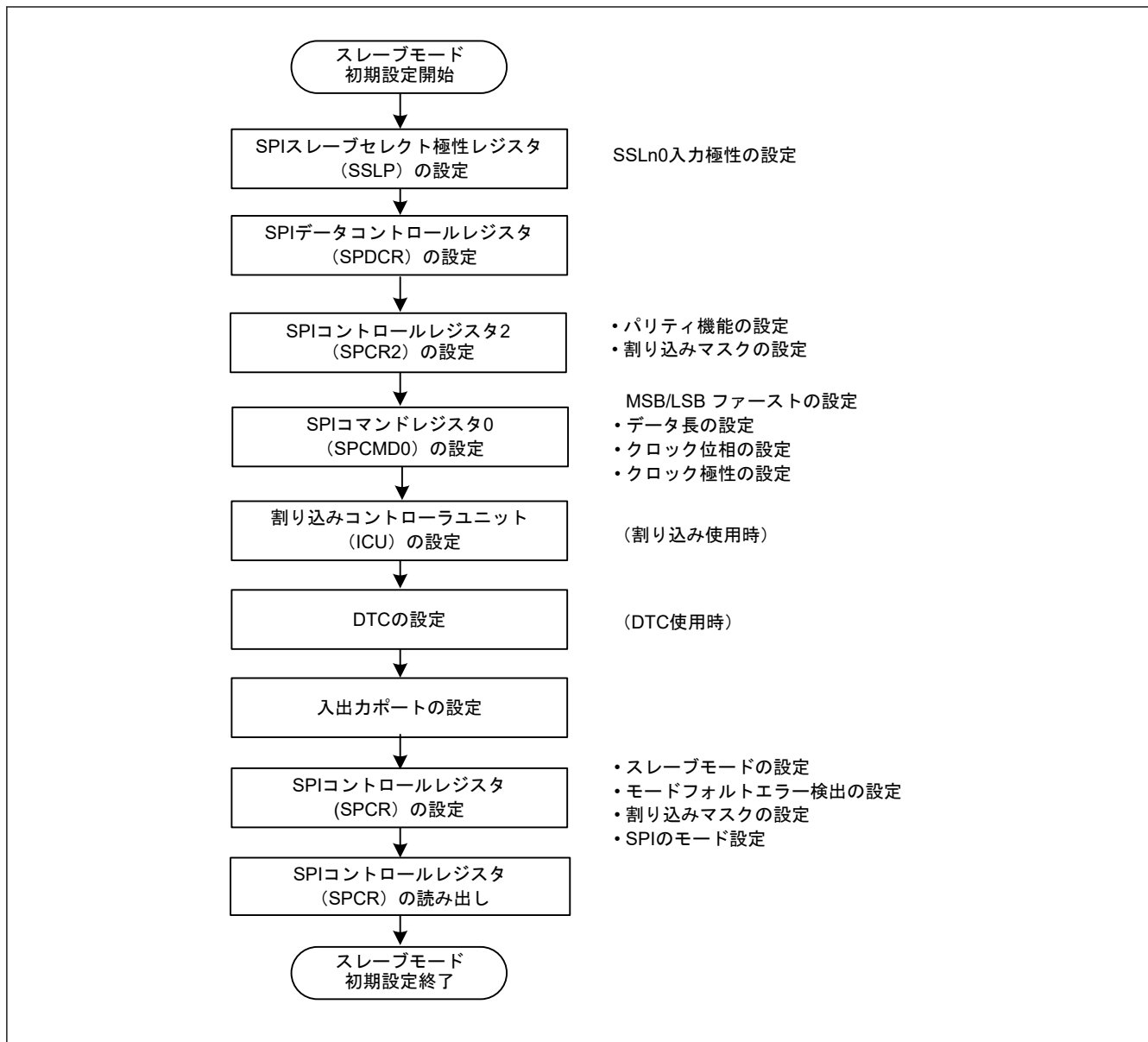


図 26.34 スレーブモード時の SPI 動作の初期化フロー例

(6) ソフトウェア処理フロー

送信処理フロー

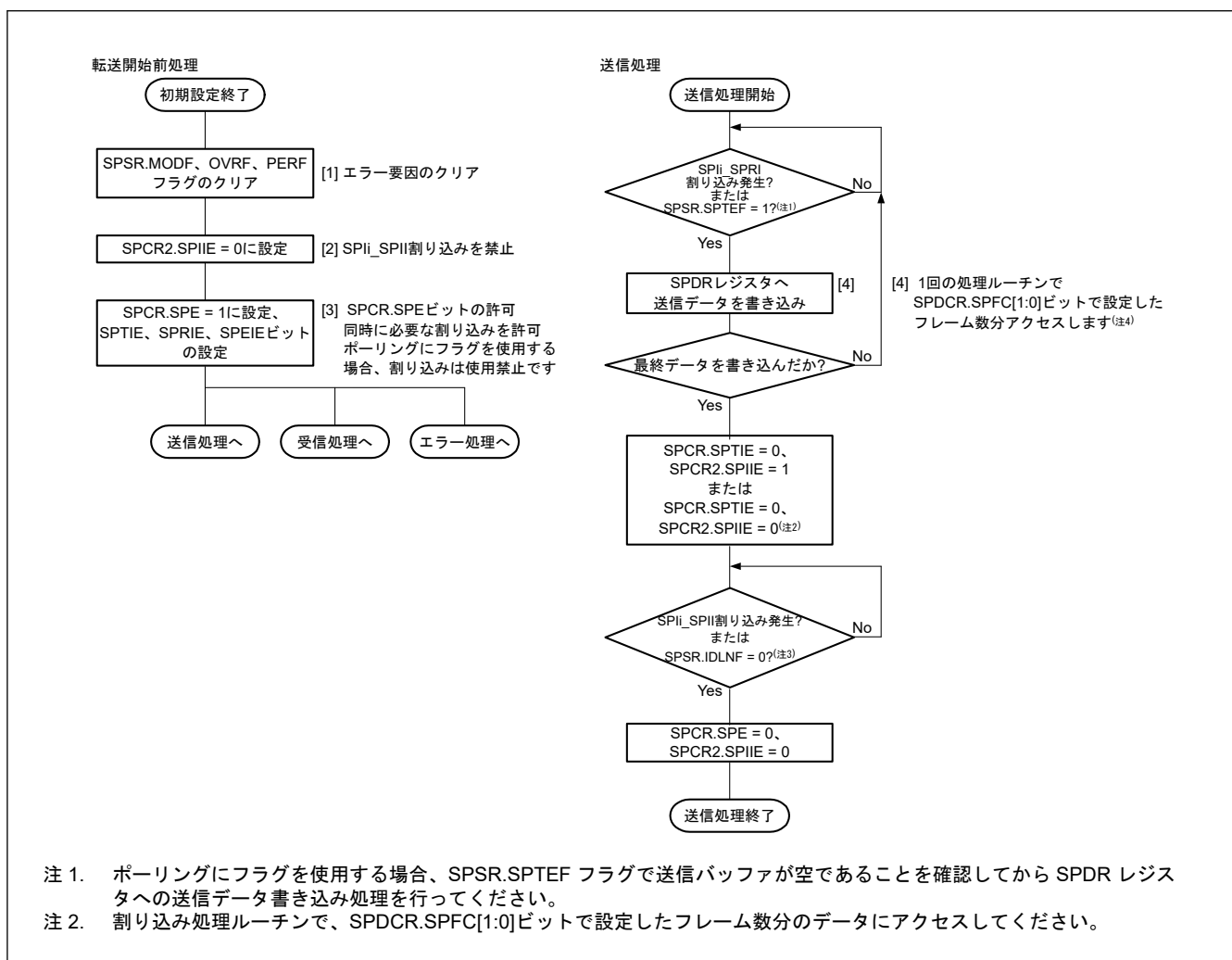


図 26.35 スレーブモードでの送信フロー

受信処理フロー

SPIは受信処理のみで実行することができません。送信するデータがない場合でもダミーデータを送信してください。

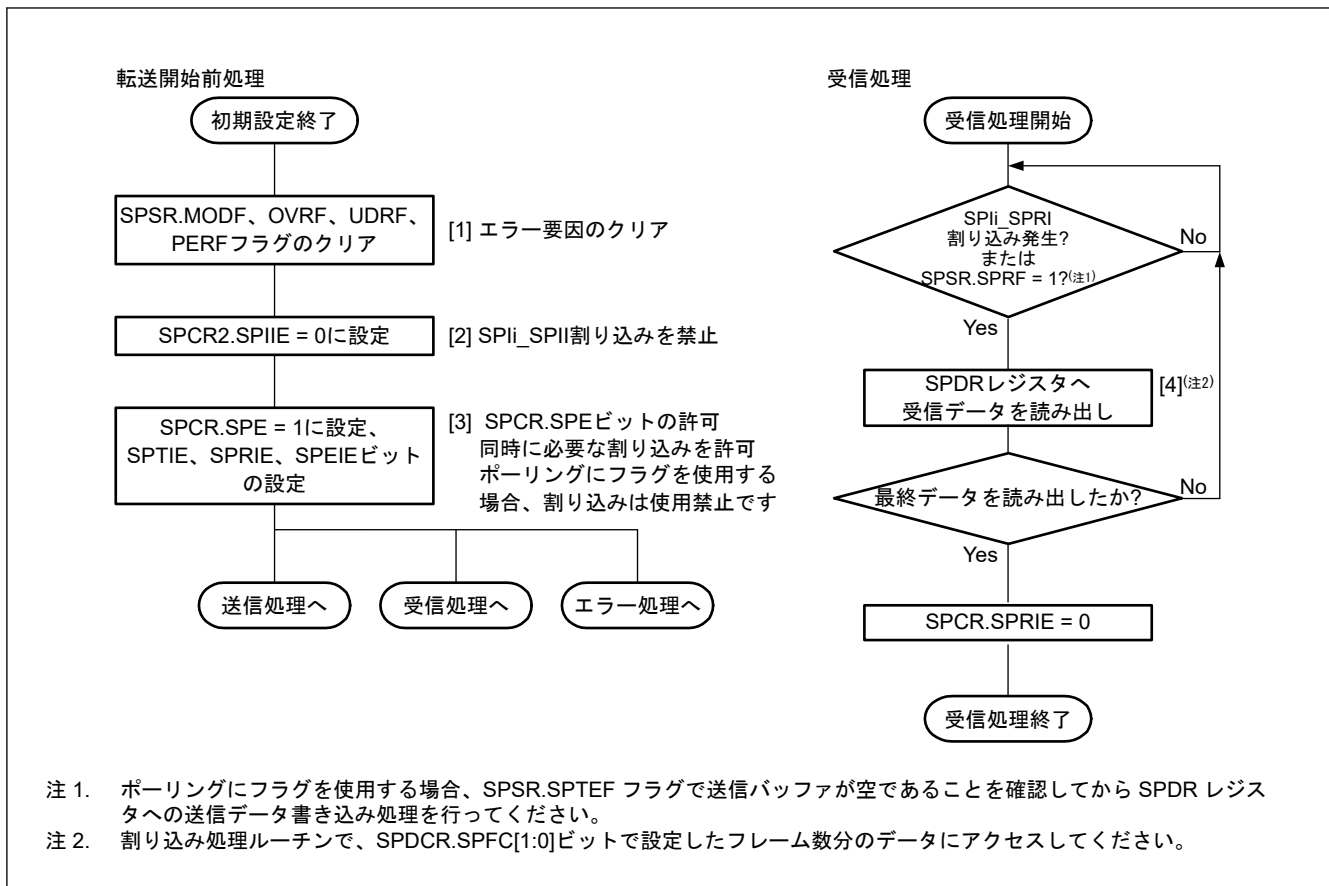


図 26.36 スレーブモードでの受信フロー

エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi\_SPTI) または受信バッファフル割り込み要求 (SPIi\_SPRII) が保持されていることがあります。受信バッファフル割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

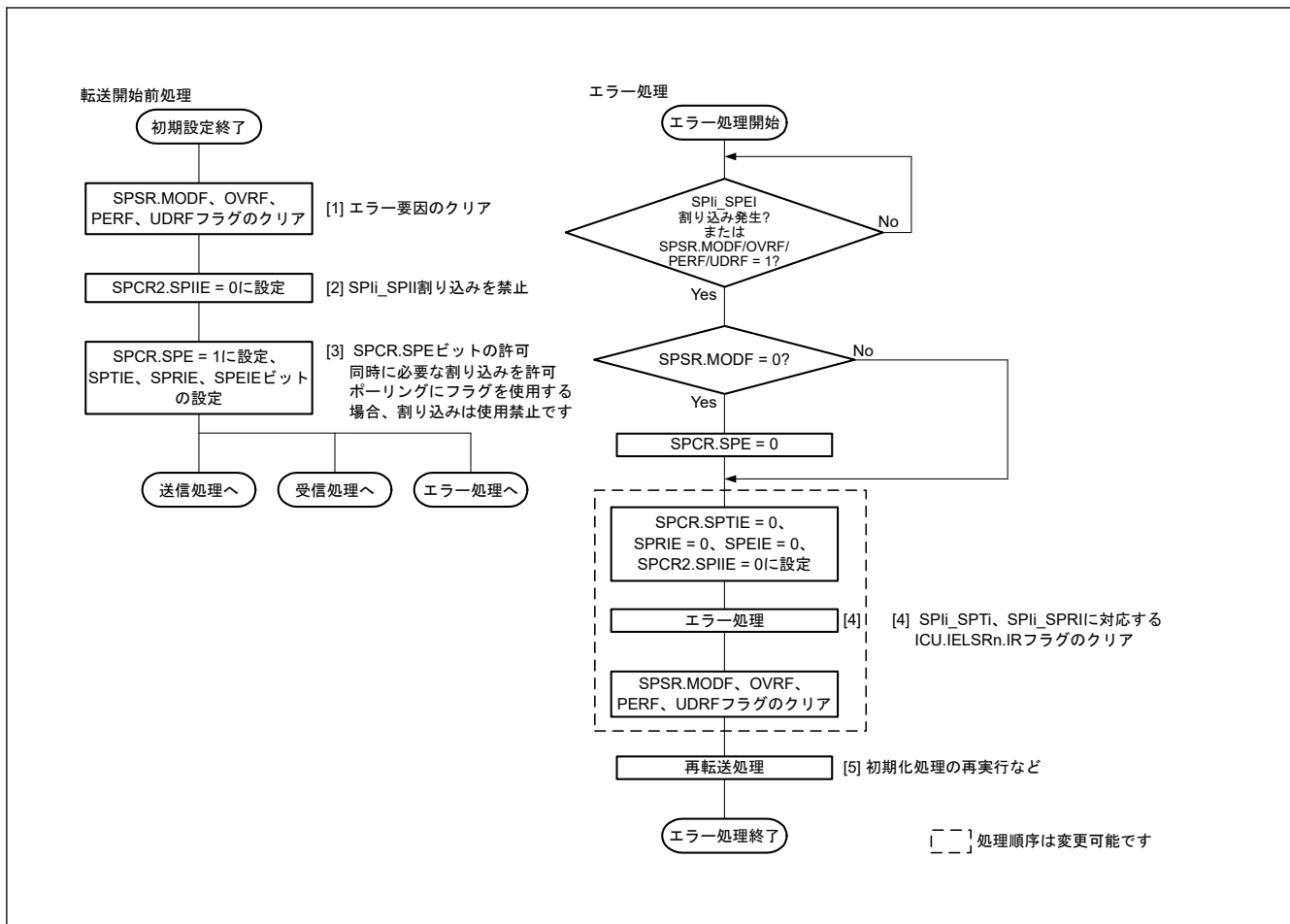


図 26.37 スレーブモードでのエラー処理フロー

### 26.3.11 クロック同期式動作

SPIは、SPCR.SPMSビットが1であるとき、クロック同期式動作となります。クロック同期式動作は、SSLn<sub>i</sub>端子を使用せず、RSPCK<sub>n</sub>、MOSIn、MISO<sub>n</sub>の3本の端子を用いて通信を行います。各SSLn<sub>i</sub>端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLn<sub>i</sub>端子を使用せずに通信を行いますが、モジュールの動作はSPI動作と同様です。すなわち、マスターモード動作とスレーブモード動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMD0.CPHA ビットを0にした場合の動作はしないでください。

#### 26.3.11.1 マスターモード動作

##### (1) シリアル転送の開始

送信バッファが空、すなわち次転送のデータがセットされておらず、SPSR.SPTEFフラグが1の状態、SPDRレジスタへデータを書くと、SPIはSPDRレジスタの送信バッファ (SPTX) のデータを更新します。シフトレジスタが空の場合は、SPIは送信バッファのデータをシフトレジスタにコピーしてシリアル送信を開始します。SPIは、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn<sub>0</sub>端子の出力信号を用いずに転送を行います。SPIの転送フォーマットの詳細については、「26.3.5. 転送フォーマット」を参照してください。

## (2) シリアル転送の終了

SPI はサンプリングタイミングに対応する  $RSPCK_n$  エッジを送出するとシリアル転送を終了します。受信バッファが空 ( $SPSR.SPRF = 0$ ) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ (SPDR) の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、 $SPCMD0.SP[3:0]$  ビットの設定値で決まります。クロック同期式動作時は、 $SSL_n0$  端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「[26.3.5. 転送フォーマット](#)」を参照してください。

## (3) 初期化フロー

[図 26.38](#) に、SPI がマスタモードである場合のクロック同期式動作の初期化フローの例を示します。なお、ICU、DTC および入出力ポートの設定方法については、各ブロックの説明を参照してください。

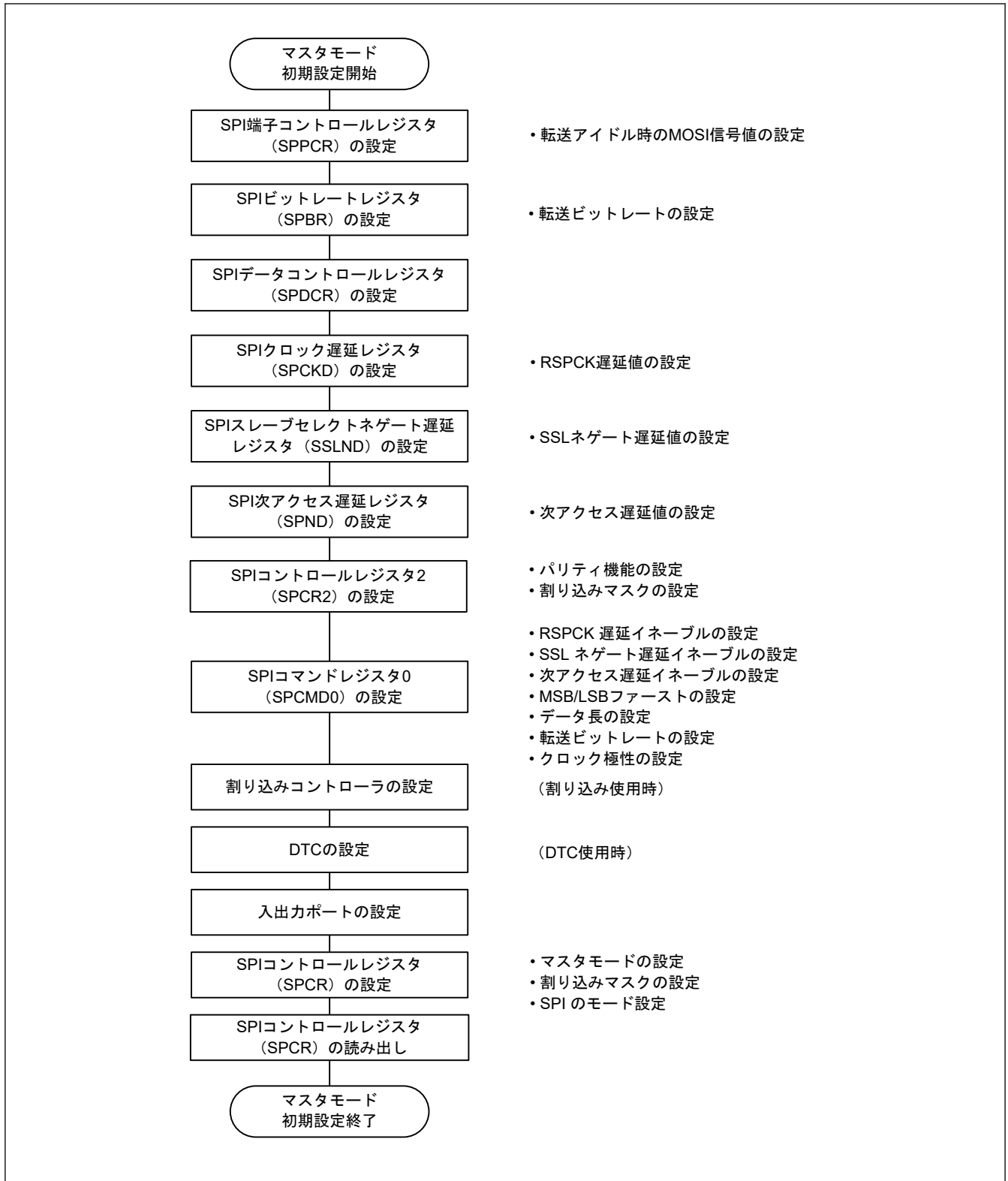


図 26.38 マスタモード時のクロック同期式動作の初期化フロー例

#### (4) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、「[26.3.10.1. マスタモード動作](#)」を参照してください。クロック同期動作ではモードフォルトエラーは発生しません。

### 26.3.11.2 スレーブモード動作

#### (1) シリアル転送の開始

SPCR.SPMS ビットが1であるとき、最初の RSPCK<sub>n</sub> エッジが SPI のシリアル転送開始のトリガになり、SPI は MISO<sub>n</sub> 出力信号をドライブします。SSL0 入力信号は、クロック同期式動作では使用されません。SPI の転送フォーマットの詳細については、「[26.3.5. 転送フォーマット](#)」を参照してください。

#### (2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCK<sub>n</sub> エッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRF フラグが 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR\_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SPI の転送フォーマットの詳細については、「[26.3.5. 転送フォーマット](#)」を参照してください。

#### (3) 初期化フロー

図 26.39 に、SPI がスレーブモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

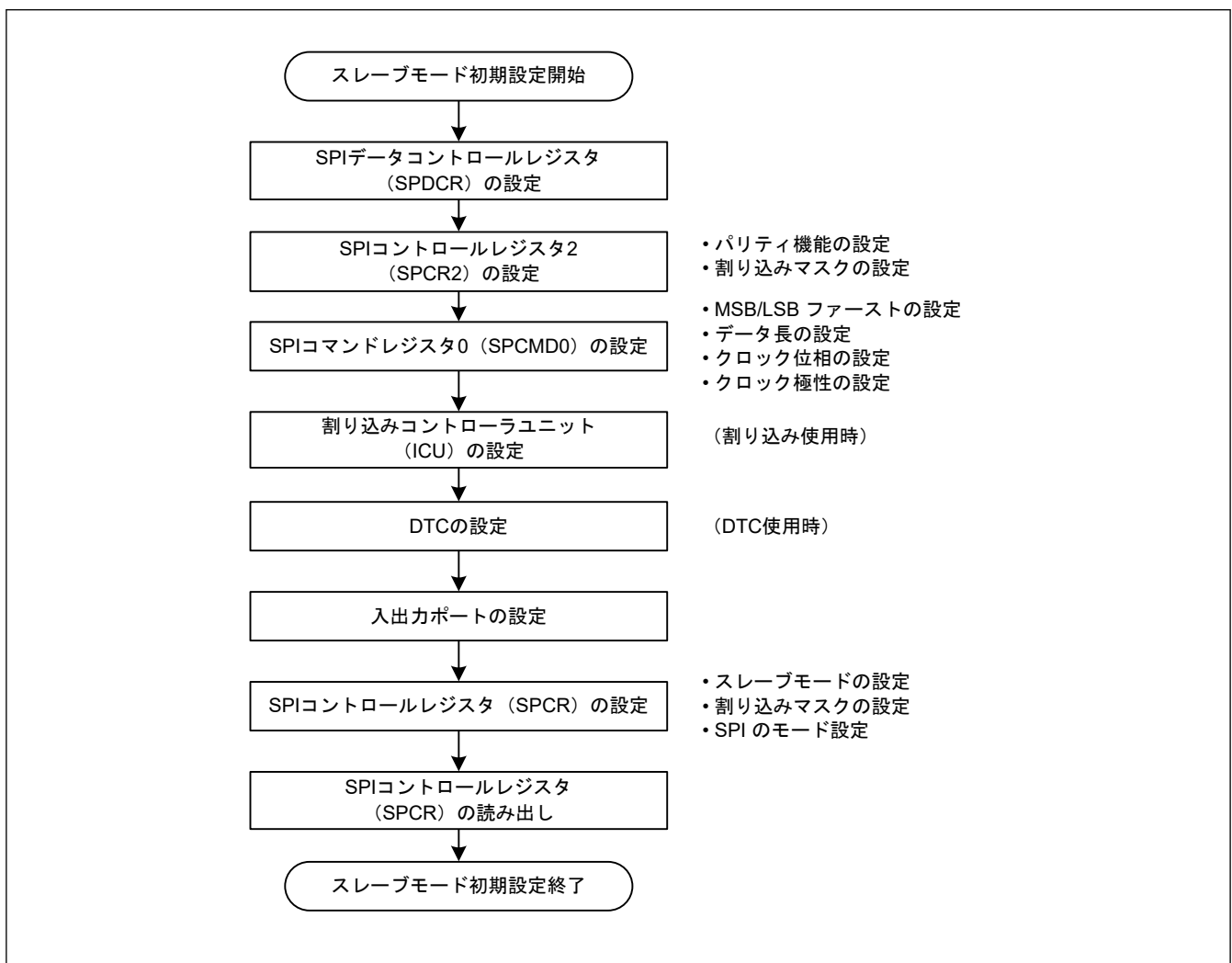


図 26.39 スレーブモード時のクロック同期式動作の初期化フロー例



#### (4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、(6) [ソフトウェア処理フロー](#)を参照してください。この条件下ではモードフォルトエラーは発生しません。

#### 26.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続し、ループバックモードを構成します。また、SPCR.MSTR ビットが 1 であれば、MOSI<sub>n</sub> 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISO<sub>n</sub> 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 26.11 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、[図 26.40](#) にマスタモードの SPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 26.11 SPPCR.SPLP2 ビット、SPPCR.SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSI <sub>n</sub> 端子または MISO <sub>n</sub> 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

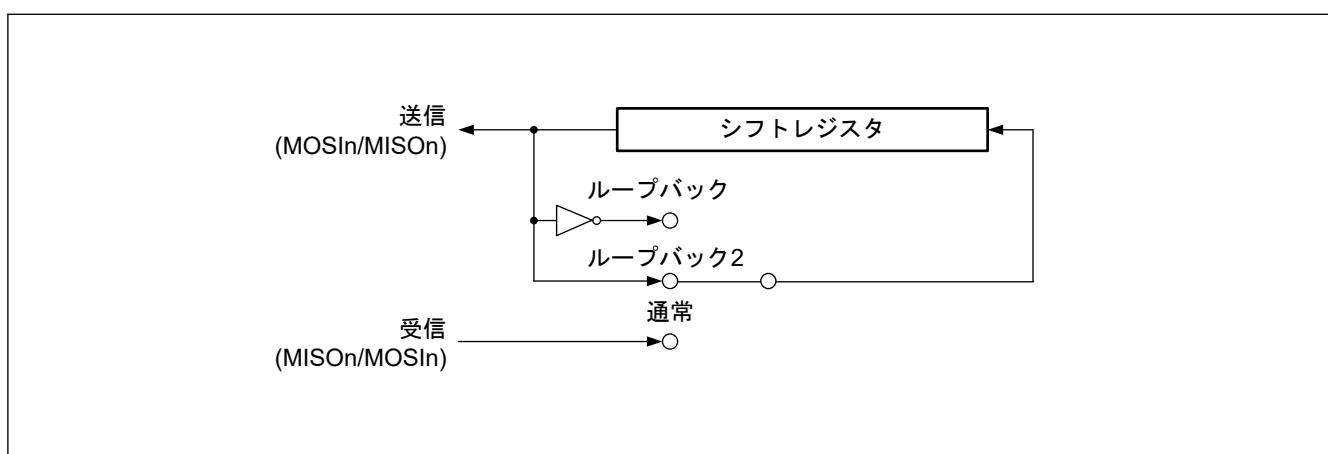


図 26.40 ループバックモード時のシフトレジスタ入出力経路の構成 (マスタモード)

#### 26.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するため、パリティ回路は[図 26.41](#) に示す自己診断を実行します。

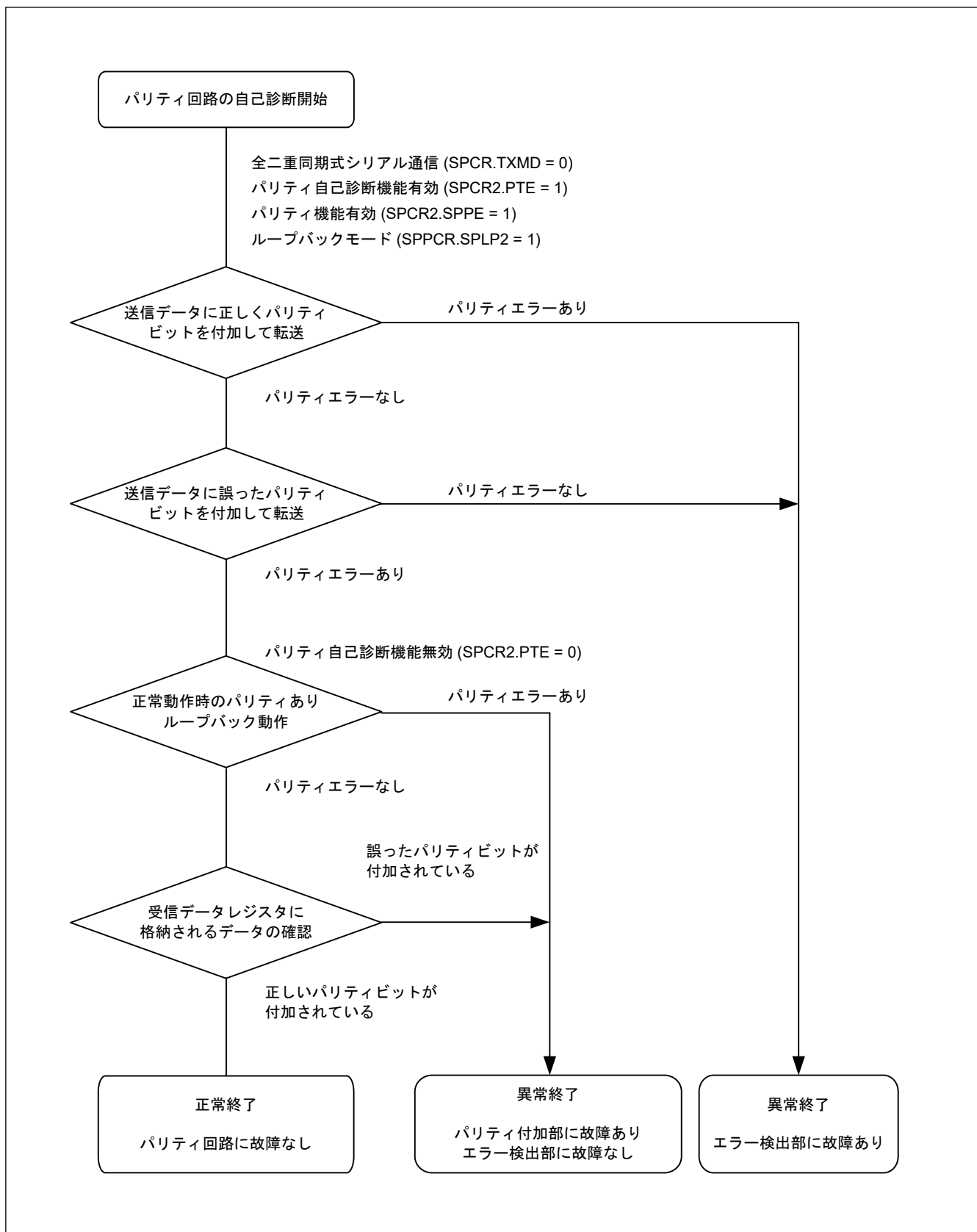


図 26.41 パリティ回路の自己診断フロー

### 26.3.14 割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- SPI エラー (モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー)
- SPI アイドル
- 送信完了

また、受信バッファフル、送信バッファエンプティの割り込み要求で DTC を起動し、データ転送を行うことができます。

SPI<sub>In</sub>\_SPEI のベクタアドレスは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 26.12 に SPI の割り込み要因に対応するフラグを示します。表 26.12 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC を使用してデータの送受信を行う場合、最初に DTC を転送許可状態に設定してから SPI の設定を行ってください。DTC の設定については、「15. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じてても、ICU に対して割り込み要求は出力されず、内部で保持されます (内部で保持できる容量は、1 要因ごとに 1 要求までです)。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にすることでもクリアできます。

表 26.12 SPI の割り込み要因

割り込み要因	シンボル	割り込み条件	DTC の起動
受信バッファフル	SPI <sub>I</sub> _SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル (SPSR.SPRF = 1) になったとき	可能
送信バッファエンプティ	SPI <sub>I</sub> _SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ (SPSR.SPTEF = 1) になったとき	可能
SPI エラー (モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー)	SPI <sub>I</sub> _SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、UDRF、または PERF フラグが 1 になったとき	不可能
SPI アイドル	SPI <sub>I</sub> _SPII	SPCR2.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
送信完了	SPI <sub>I</sub> _SPTEND	<ul style="list-style-type: none"> <li>● マスタモードのときは、IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 になる条件で割り込みが発生します。</li> <li>● スレーブモードのときは、表 26.14 に示す条件で割り込みが発生します。</li> </ul>	不可能

## 26.4 イベントリンクコントローラ (ELC) への出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルトエラー/アンダーランエラー/オーバーランエラー/パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

### 26.4.1 受信バッファフルイベント出力

このイベント信号は、シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR レジスタへ転送されたときにイベント信号を出力します。

### 26.4.2 送信バッファエンptyイベント出力

このイベント信号は、送信バッファからシフトレジスタに送信データが転送されたとき、および SPCR.SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

### 26.4.3 モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力

このイベント信号は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーを検出したときに出力されます。

#### (1) モードフォルトエラー

表 26.13 にモードフォルトエラーイベントの発生条件を示します。

表 26.13 モードフォルトエラーの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPCR.SPMS = 0) スレーブ (SPCR.MSTR = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

#### (2) アンダーランエラー

アンダーランエラーイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力されます。この条件下では、SPSR.MODF フラグおよび SPSR.UDRF フラグが 1 となります。

#### (3) オーバーランエラー

オーバーランエラーイベント信号は、SPCR.TXMD ビットが 0、かつ受信バッファに未読データがある状態でシリアル転送が終了したときのオーバーランに対応して出力されます。この条件下では、OVRF フラグが 1 になります。

#### (4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したときに検出されるパリティエラーに対応して出力されます。

### 26.4.4 SPI アイドルイベント出力

#### (1) マスタモード時

マスタモードの場合、SPSR.IDLNF フラグ (SPI アイドルフラグ) が 0 になる条件が成立すると、イベントが出力されます。

#### (2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0 (SPI 初期化) のとき、イベントが出力されます。

### 26.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作ともに、マスタモード時に SPSR.IDLNF フラグ (SPI アイドルフラグ) が 1 から 0 に変化する、イベントが出力されます。表 26.14 に送信完了イベント出力の発生条件 (スレーブモード時) を示します。

表 26.14 送信完了イベント出力の発生条件 (スレーブモード時)

条件	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPCR.SPMS = 0)	エンプティ	エンプティ	SSL0 入力ネゲート
クロック同期式動作 (SPCR.SPMS = 1)	エンプティ	エンプティ	最終 RSPCK のエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

## 26.5 使用上の注意事項

### 26.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止/許可を設定することが可能です。リセット後の値では、SPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

### 26.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

### 26.5.3 転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となることがあります。

これを避けるには、動作を許可する (SPCR.SPE ビットを 1 にする) 前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること (SPCR.SPE ビットが 0 であること) を確認する。
2. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を 0 にする。
3. 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

### 26.5.4 SPSR.SPRF および SPSR.SPTEF フラグに関する制約

ポーリング用のフラグを使用する場合、割り込みを使用することはできません (SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください)。割り込みまたはフラグのどちらか一方のみ使用可能です。

## 27. 巡回冗長検査 (CRC)

### 27.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 27.1 に CRC 演算器の仕様を、図 27.1 にブロック図を示します。

表 27.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ(注1)	8n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)	32n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] <ul style="list-style-type: none"> <li><math>X^8 + X^2 + X + 1</math> (CRC-8)</li> </ul> [16 ビット CRC] <ul style="list-style-type: none"> <li><math>X^{16} + X^{15} + X^2 + 1</math> (CRC-16)</li> <li><math>X^{16} + X^{12} + X^5 + 1</math> (CRC-CCITT)</li> </ul>	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] <ul style="list-style-type: none"> <li><math>X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1</math> (CRC-32)</li> <li><math>X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1</math> (CRC-32C)</li> </ul>
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	—

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

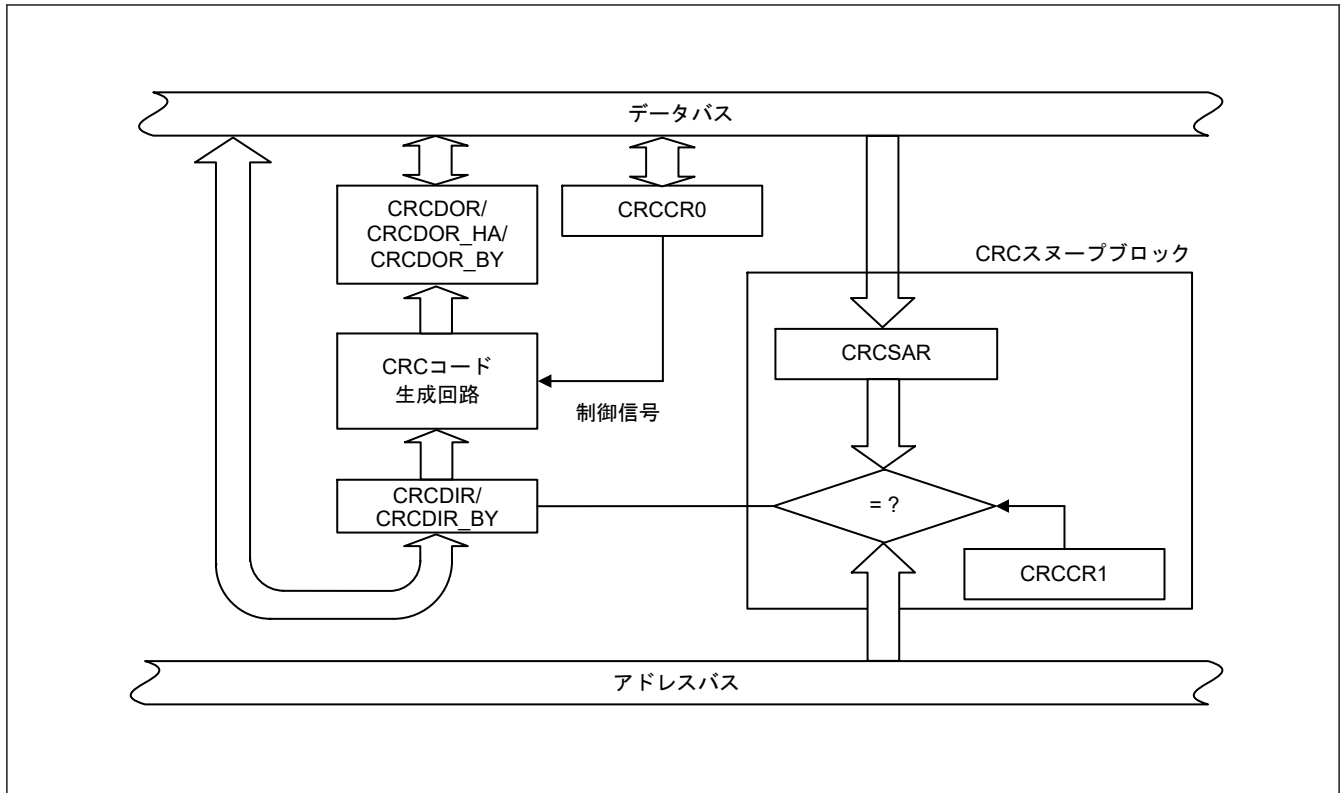


図 27.1 CRC 演算器のブロック図

## 27.2 レジスタの説明

### 27.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4007\_4000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DORCLR	LMS	—	—	—	GPS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ( $X^8 + X^2 + X + 1$ ) 0 1 0: 16 ビット CRC-16 ( $X^{16} + X^{15} + X^2 + 1$ ) 0 1 1: 16 ビット CRC-CCITT ( $X^{16} + X^{12} + X^5 + 1$ ) 1 0 0: 32 ビット CRC-32 ( $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ ) 1 0 1: 32 ビット CRC-32C ( $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ ) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W







16 ビットの CRC-CCITT 生成多項式 ( $X^{16} + X^{12} + X^5 + 1$ ) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR\_HA) の値をクリアします。

8 ビット CRC ( $X^8 + X^2 + X + 1$  の多項式) を使用している場合は、CRCDOR\_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 27.2 と 図 27.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。図 27.4 と 図 27.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

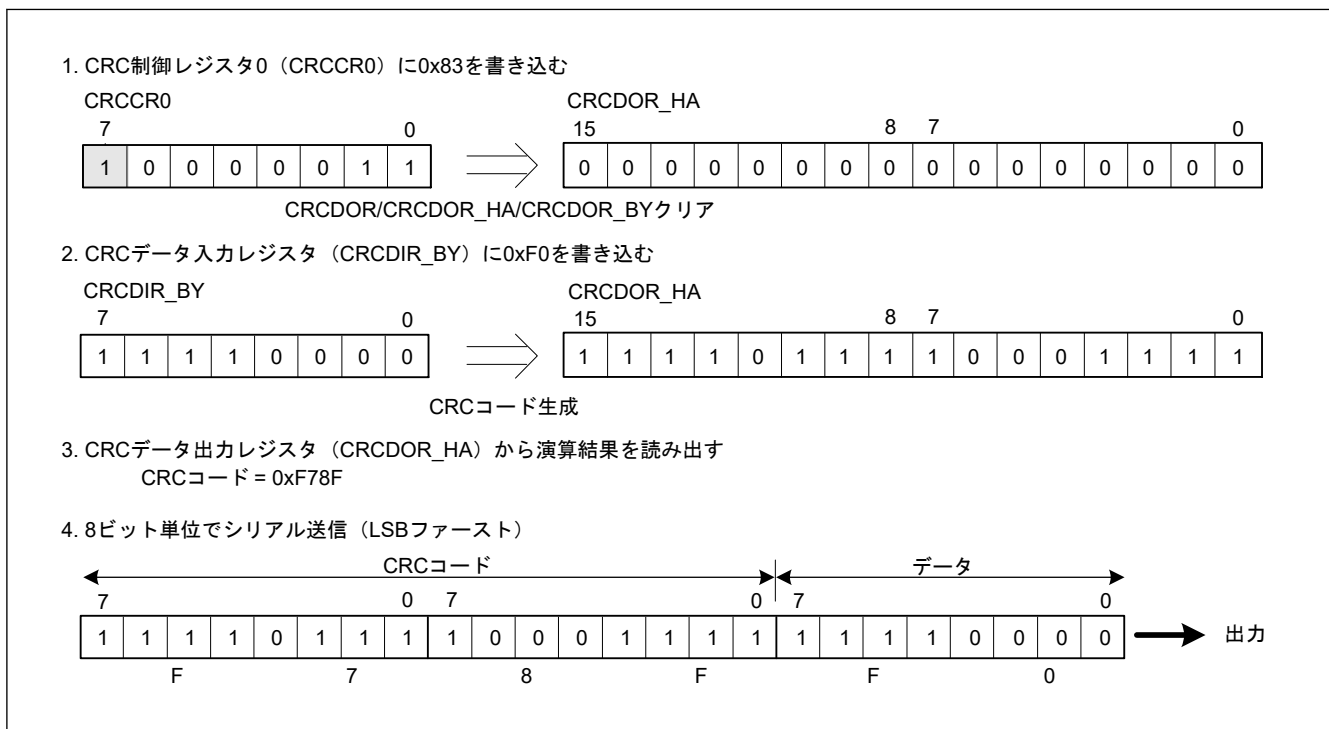


図 27.2 LSB ファーストのデータ送信

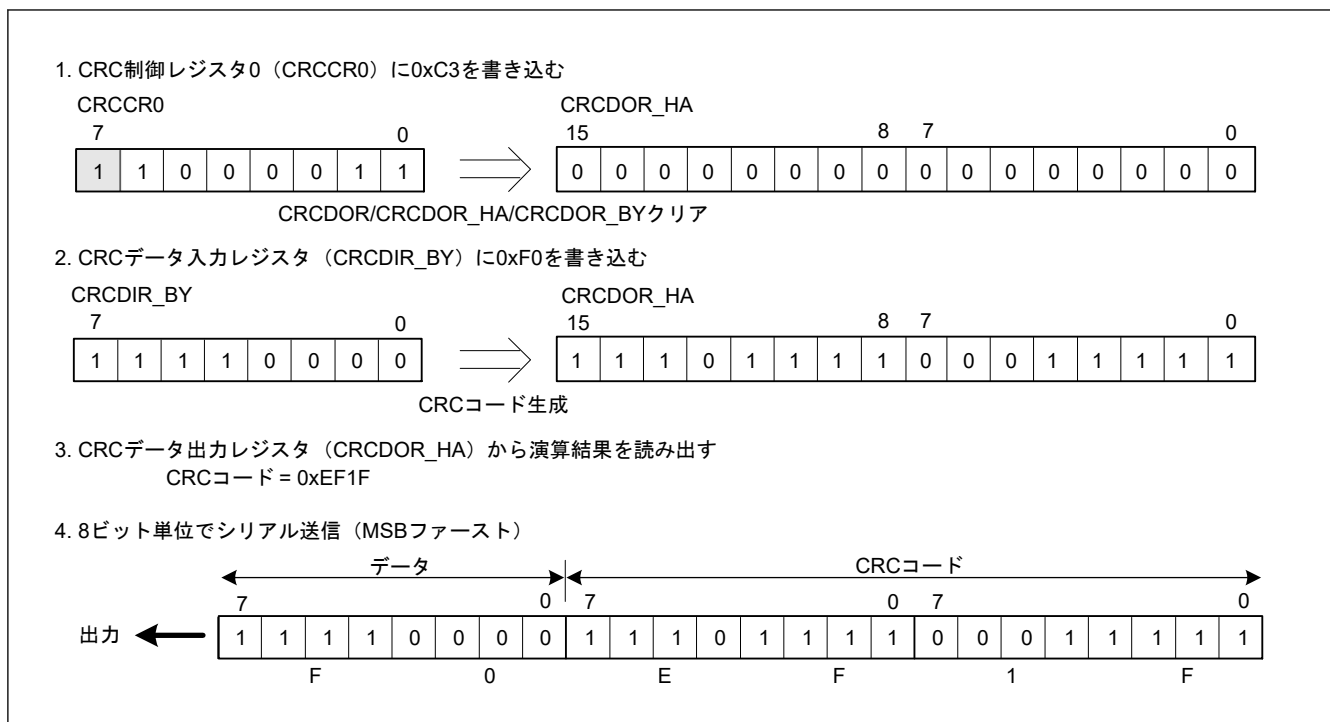


図 27.3 MSB ファーストのデータ送信

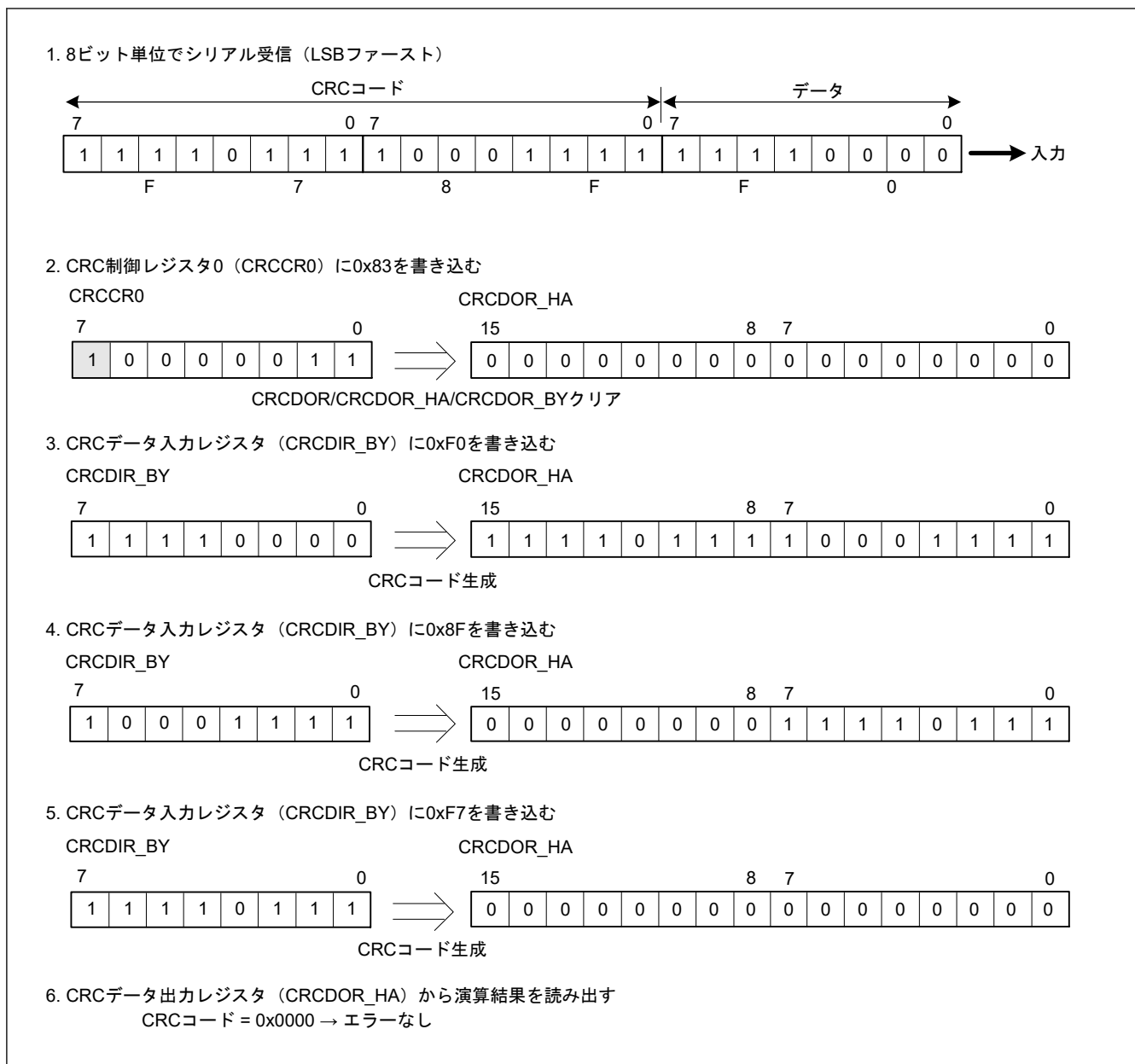


図 27.4 LSBファーストのデータ受信

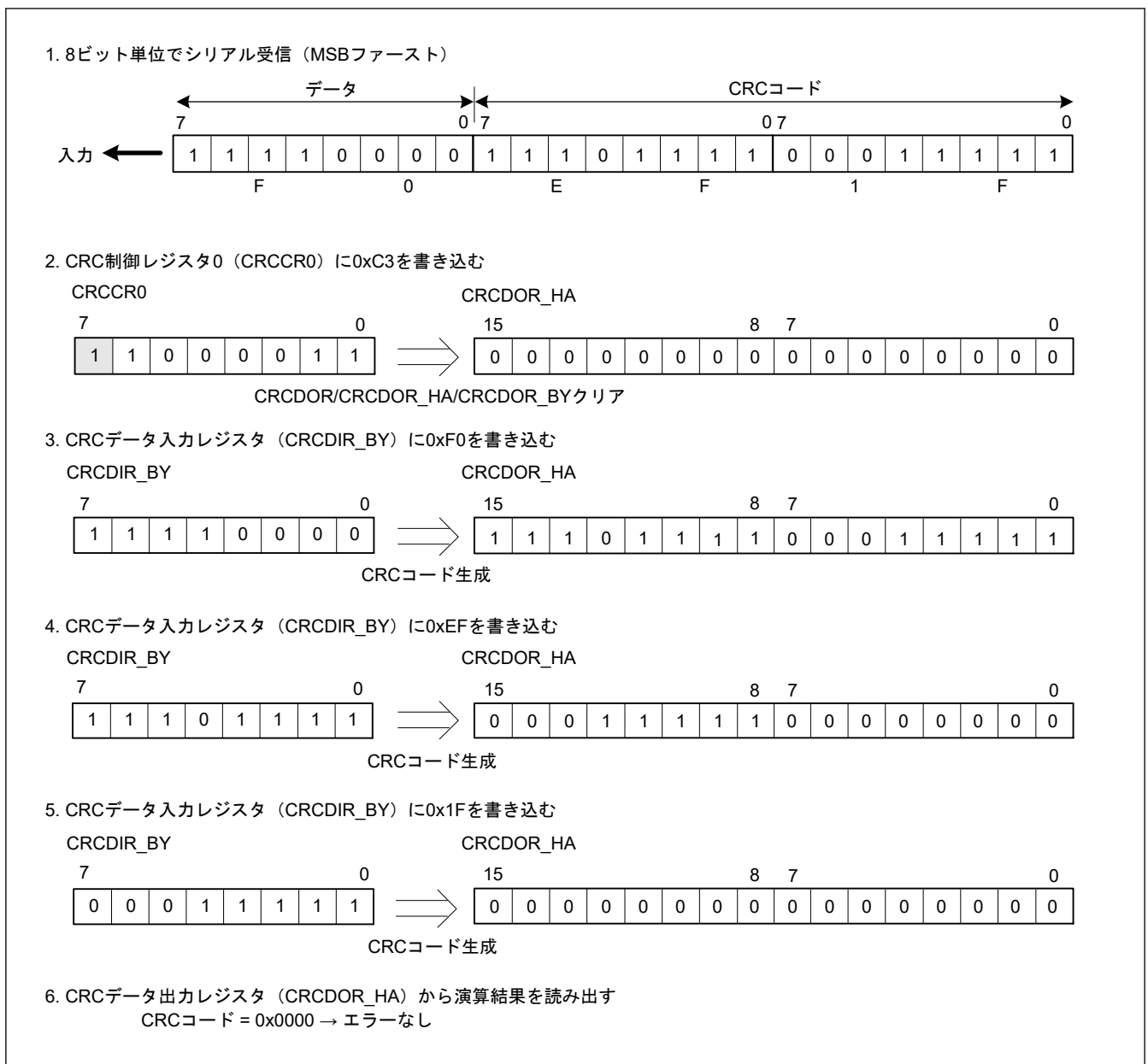


図 27.5 MSBファーストのデータ受信

### 27.3.2 CRC スヌープ機能

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みをモニタし、そのレジスタアドレスで読み出し/書き込みしたデータに自動CRC演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みをCRC演算を自動的に実行するトリガとして認識するため、CRCDIR\_BYレジスタにデータを書き込む必要がありません。「27.2.5. CRCSAR: スヌープアドレスレジスタ」で指定したすべてのI/Oレジスタが、CRC スヌープの対象となります。CRC スヌープは、SCIn.TDR (n=9) レジスタへの書き込みと、SCIn.RDR (n=9) レジスタからの読み出しをモニタするのに役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス14ビットをCRCSARレジスタのCRCSA13~CRCSA0ビットに書き込み、CRCCR1レジスタのCRCSENビットを1にします。次に、CRCCR1.CRCSWRビットを1にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWRビットを0にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWRビットの書き込みが完了する前に対象I/Oレジスタへのアクセスを実行することは可能です。この場合、データはCRCDIRレジスタに格納されません。この問題を避けるには、I/Oレジスタにアクセスする前に、CRCSWRビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットと CRCSWR ビットの両方を 1 にして、バスマスタモジュール (CPUDTC など) の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータを CRCDIR\_BY レジスタに格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール (CPUDTC など) の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータを CRCDIR\_BY レジスタに格納して CRC 演算を実行します。

CRC-8、CRC-16 および CRC-CCITT 生成多項式を使用して CRC コードが生成される場合、対象となるレジスタはバイト (8 ビット) でアクセスできます。同様に、CRC-32 および CRC-32C 生成多項式を使用して CRC コードを生成する場合、対象となるレジスタはワード (32 ビット) でアクセスできます。

## 27.4 使用上の注意事項

### 27.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止/許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

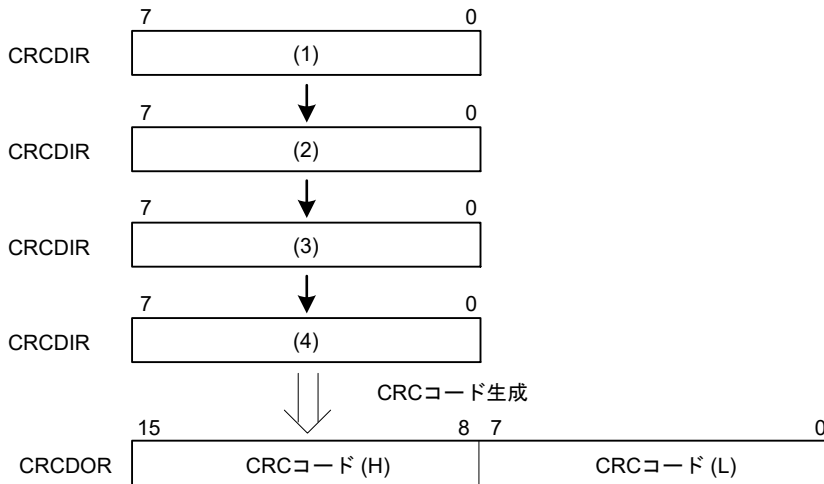
### 27.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。[図 27.6](#)に LSB ファーストと MSB ファーストのデータ送信を示します。

32ビットのデータを送信する場合 (8ビット単位での並列処理)

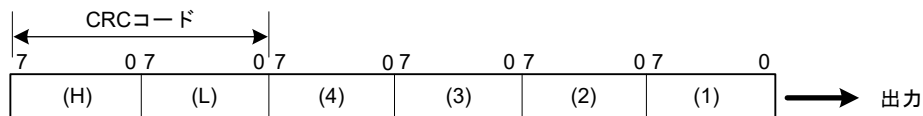
1. CRCコード

生成演算方法を指定後、(1) → (2) → (3) → (4) の順でCRCDIRにデータを書く



2. 送信データ

(i) LSBファーストで送信する場合



(ii) MSBファーストで送信する場合

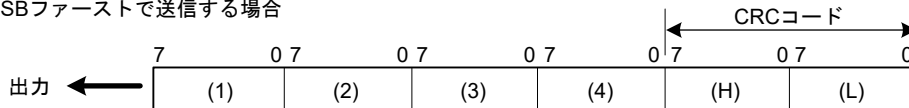


図 27.6 LSBファーストとMSBファーストのデータ送信

## 28. 12 ビット A/D コンバータ (ADC12)

### 28.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータ (ADC12) ユニットの内蔵しています。変換には最大 8 チャンネルのアナログ入力、温度センサ出力、内部基準電圧を選択できます。

ADC12 には次の動作モードがあります。

- 任意に選択したチャンネルのアナログ入力を、チャンネル番号の昇順に変換するシングルスキャンモード
- 選択したチャンネルのアナログ入力を、チャンネル番号の昇順に連続して変換する連続スキャンモード
- チャンネルのアナログ入力を任意に 2 つのグループ (グループ A とグループ B) に分け、グループ単位で選択したチャンネルのアナログ入力をチャンネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、2 つのグループ (グループ A とグループ B) を選択します。各グループ (A、B) のスキャン開始条件を個別に選択し、各グループのスキャンを異なるタイミングで開始することができます。さらに、グループ A の優先制御動作を設定すると、ADC12 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。このようにして、グループ A の A/D 変換を優先的に開始することが可能です。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード (グループ A) で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納 (A/D 変換データの 2 重化) します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC12 で生成される 3 つの基準電圧値のうち 1 つを A/D 変換します。

A/D 変換には温度センサ出力および内部基準電圧を同時に選択できません。温度センサ出力または内部基準電圧の A/D 変換は個別に行ってください。

ADC12 はコンペア機能 (ウィンドウ A およびウィンドウ B) も搭載しています。コンペア機能は、ウィンドウ A およびウィンドウ B それぞれの上側基準値および下側基準値を指定し、選択したチャンネルの A/D 変換値が比較条件に一致すると割り込みを出力します。

基準電源端子 (VREFH0)、アナログ部の電源端子 (VCC0)、または内部基準電圧は、高電位基準電圧として選択可能です。基準電源グランド端子 (VREFL0) またはアナログ部の電源グランド端子 (VSS0) は、低電位基準電圧として選択可能です。高電位基準電圧に内部基準電圧を選択した場合、温度センサ出力や内部基準電圧の A/D 変換は禁止です。

表 28.1 に ADC12 の仕様を、表 28.2 にその機能一覧を示します。図 28.1 に ADC12 のブロック図を示します。表 28.3 に入出力端子を示します。

表 28.1 ADC12 の仕様 (1/3)

項目	内容
ユニット数	1 ユニット
入力チャンネル	最大 8 チャンネル (AN005, AN006, AN009, AN010, AN019~AN022) <sup>(注1)</sup>
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式
分解能	12 ビット
変換時間	通常変換モード (ADACSR.ADSAC = 0) : 1 チャンネル当たり 0.7 $\mu$ s (12 ビット A/D 変換クロック PCLKD (ADCLK) が 64 MHz で動作時) 高速変換モード (ADACSR.ADSAC = 1) : 1 チャンネル当たり 0.67 $\mu$ s (12 ビット A/D 変換クロック PCLKD (ADCLK) が 48 MHz で動作時)
A/D 変換クロック	周辺モジュールクロック PCLKB と A/D 変換クロック PCLKD (ADCLK) を以下の分周比で設定可能 : PCLKB と PCLKD (ADCLK) の周波数比 = 1:1、1:2、1:4



表 28.1 ADC12 の仕様 (2/3)

項目	内容
データレジスタ(注2)	<ul style="list-style-type: none"> <li>アナログ入力用 8 本</li> <li>ダブルトリガモードでの A/D 変換データ 2 重化用 1 本</li> <li>ダブルトリガモードでの拡張動作時の A/D 変換データ 2 重化用 2 本</li> <li>温度センサ出力用 1 本</li> <li>内部基準電圧用 1 本</li> <li>自己診断用 1 本</li> <li>A/D 変換結果を A/D データレジスタに格納</li> <li>A/D 変換結果の 12 ビット精度出力対応</li> <li>A/D 変換値加算モード (A/D 変換結果の加算値を変換精度ビット数+拡張ビット数で A/D データレジスタに格納)</li> <li>ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能): <ul style="list-style-type: none"> <li>選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに格納、2 回目の A/D 変換データは 2 重化レジスタに格納</li> </ul> </li> <li>ダブルトリガモード拡張動作 (特定トリガで使用可能): <ul style="list-style-type: none"> <li>選択した 1 つのチャンネルのアナログ入力の A/D 変換データを関連するトリガに準備した 2 重化レジスタに格納</li> </ul> </li> </ul>
動作モード(注3)	<ul style="list-style-type: none"> <li>シングルスキャンモード: <ul style="list-style-type: none"> <li>任意に選択したチャンネルのアナログ入力、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換</li> </ul> </li> <li>連続スキャンモード: <ul style="list-style-type: none"> <li>任意に選択したチャンネルのアナログ入力、を繰り返し A/D 変換</li> </ul> </li> <li>グループスキャンモード: <ul style="list-style-type: none"> <li>任意に選択したチャンネルのアナログ入力、温度センサ出力、および内部基準電圧をグループ A、B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換</li> <li>グループ A、グループ B は、各々のスキャン開始条件を選択することで、グループ A、グループ B の A/D 変換をそれぞれ異なるタイミングで開始することが可能</li> </ul> </li> <li>グループスキャンモード (グループ優先動作選択時): <ul style="list-style-type: none"> <li>低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A (高) &gt; グループ B (低)。</li> </ul> </li> </ul>
A/D 変換開始条件	<ul style="list-style-type: none"> <li>ソフトウェアトリガ</li> <li>イベントリンクコントローラ (ELC) からの同期トリガ</li> <li>外部トリガ ADTRG0 端子による非同期トリガ</li> </ul>
機能	<ul style="list-style-type: none"> <li>サンプリングステート数可変機能</li> <li>A/D コンバータの自己診断機能</li> <li>A/D 変換値加算モードと平均モードが選択可能</li> <li>アナログ入力断線検出機能 (ディスチャージ機能およびプリチャージ機能)</li> <li>ダブルトリガモード (A/D 変換データ 2 重化機能)</li> <li>A/D データレジスタオートクリア機能</li> <li>デジタルコンペア機能 (コンペアレジスタとデータレジスタの比較、データレジスタ間の比較)</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>シングルスキャンモード (ダブルトリガモード非選択) では、1 回のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 <ul style="list-style-type: none"> <li>デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (ADC120_CMPAI/ADC120_CMPBI) を発生</li> <li>デジタルコンペア機能の比較条件成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPPM) を発生</li> <li>デジタルコンペア機能の比較条件不成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPUM) を発生</li> </ul> </li> <li>シングルスキャンモード (ダブルトリガモード選択) では、2 回のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生</li> <li>連続スキャンモードでは、選択した全チャンネルのスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生</li> <li>グループスキャンモード (ダブルトリガモード非選択) では、グループ A のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン終了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生。</li> <li>グループスキャンモード (ダブルトリガモード選択) では、2 回のグループ A のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン終了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生</li> <li>ADC120_ADI、ADC120_GBADI、ADC120_WCMPPM、および ADC120_WCMPUM でデータトランスファコントローラ (DTC) を起動可能</li> </ul>
ELC インタフェース	<ul style="list-style-type: none"> <li>グループスキャンモードでグループ A のスキャン終了時にイベント発生</li> <li>グループスキャンモードでグループ B のスキャン終了時にイベント発生</li> <li>すべてのスキャン終了時にイベント発生</li> <li>ELC からのトリガでスキャン開始可能</li> <li>シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント発生</li> </ul>

表 28.1 ADC12 の仕様 (3/3)

項目	内容
基準電圧	<ul style="list-style-type: none"> <li>VREFH0、VCC、または内部基準電圧 (BGR) (外部基準電圧または基準電圧生成回路からの出力電圧) をアナログ基準電圧として選択可能</li> <li>VREFL0 または VSS をアナログ基準グラウンドとして選択可能</li> </ul>
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減可能(注4)

注 1. HWQFN24 ピン用 AN005、AN006、AN009、AN010、AN019~AN022  
WLCSP16 ピン用 AN019~AN022

HWQFN20 ピン用 AN005、AN006、AN009、AN019~AN022

注 2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、「28.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

注 3. 温度センサ出力と内部基準電圧を選択している場合は、連続スキャンモードやグループスキャンモードを使用しないでください。

注 4. 詳細は、「10. 低消費電力モード」を参照してください。

表 28.2 ADC12 の機能一覧

項目	機能		
アナログ入力チャネル	AN005, AN006, AN009, AN010, AN019~AN022 内部基準電圧 温度センサ出力		
A/D 変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	非同期トリガ (外部トリガ)	トリガ入力端子	ADTRG0
	同期トリガ (ELC からのトリガ)	ELC トリガ	ELC_AD00、ELC_AD01
割り込み	ADC120_ADI ADC120_GBADI ADC120_CMPAI ADC120_CMPBI		
ELC への出力	ADC120_ADI ADC120_WCMPPM ADC120_WCMPUM		
モジュールストップ機能の設定(注1)(注2)	MSTPCRD.MSTPD16 ビット		

注 1. 詳細は、「10. 低消費電力モード」を参照してください。

注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1  $\mu$ s 以上待機します。

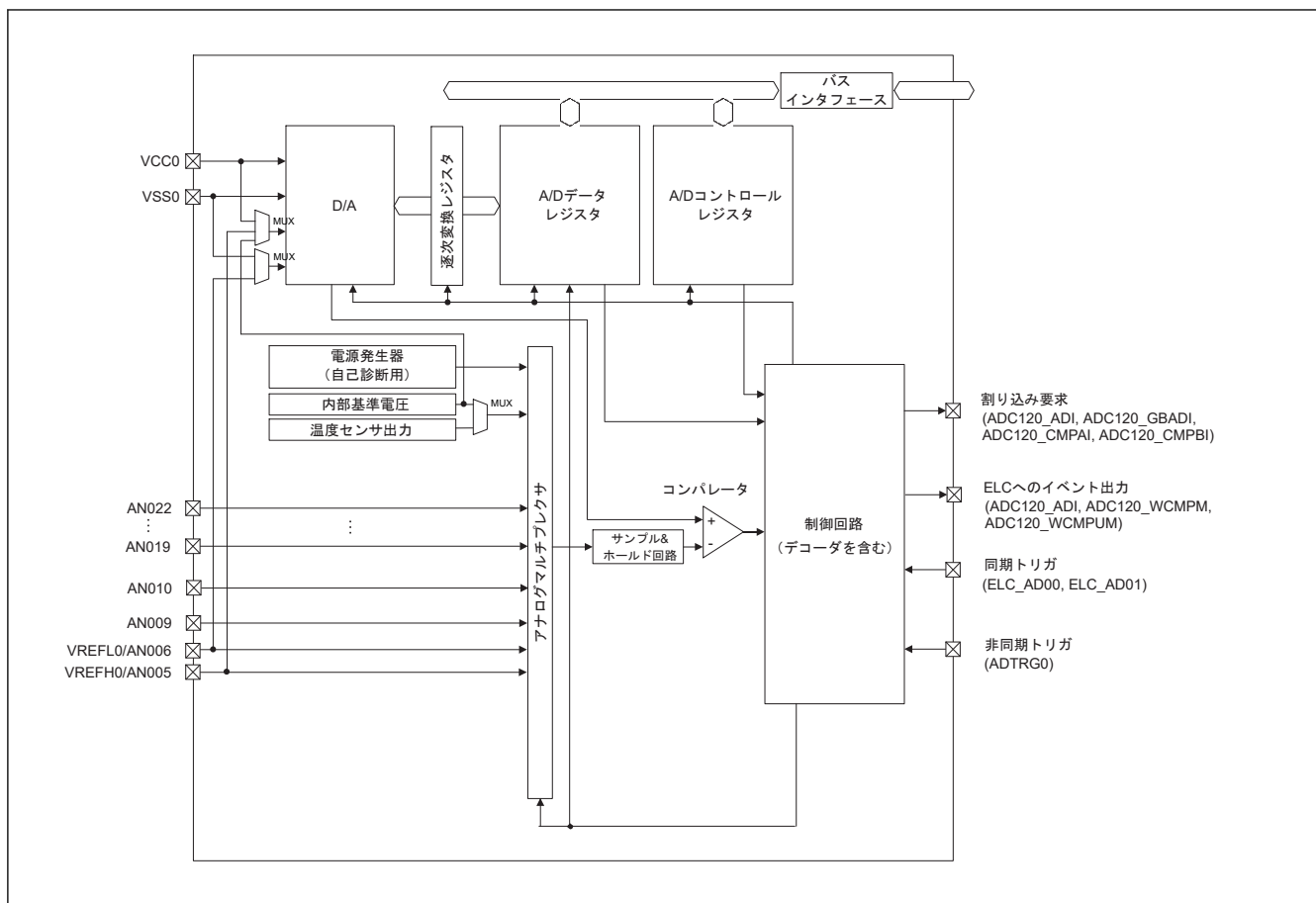


図 28.1 ADC12 のブロック図

表 28.3 に ADC12 の入出力端子の一覧を示します。

表 28.3 ADC12 の入出力端子

端子名	入出力	機能
VCC0	入力	アナログ部の電源端子
VSS0	入力	アナログ部の電源グランド端子
VREFH0	入力	アナログ基準電圧源端子
VREFL0	入力	アナログ基準グランド端子
AN005, AN006, AN009, AN010, AN019~AN022	入力	アナログ入力端子 5, 6, 9, 10, 19~22
ADTRG0	入力	A/D 変換開始のための外部トリガ入力端子

## 28.2 レジスタの説明

### 28.2.1 ADDRn : A/D データレジスタ n (n = 5, 6, 9, 10, 19~22)

Base address: ADC120 = 0x4005\_C000

Offset address: 0x020 + 0x2 × n (n = 5, 6, 9, 10, 19~22)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: ADDR [15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	ADDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 28.4 と表 28.5 を参照してください。	R

ADDR<sub>n</sub> レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1、2、3、4、または 16 回加算)
- 平均モード有効ビット (ADADC.AVEE) の設定値 (加算または平均)

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

### (1) A/D 変換値加算/平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 28.4 に示します。

表 28.4 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

### (2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

### (3) A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 28.5 に示します。

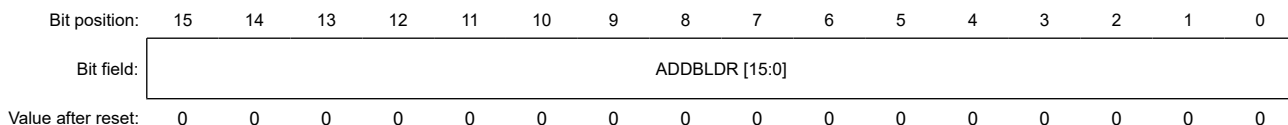
表 28.5 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合		加算結果 15~0: 16 ビット A/D 変換結果の合計													
	変換回数が 1、2、3、または 4 回の場合		読むと 0 が読めます。		加算結果 13~0: 14 ビット A/D 変換値加算結果											
12 ビット精度の左詰めデータ	変換回数 16 回が選択された場合		加算結果 15~0: 16 ビット A/D 変換結果の合計													
	変換回数 1、2、3、または 4 回が選択された場合		加算結果 13~0: 14 ビット A/D 変換値加算結果													読むと 0 が読めます。

## 28.2.2 ADDBLDR : A/D データ 2 重化レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x018



ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 28.6 と表 28.7 を参照してください。	R

ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1、2、3、4、または 16 回加算)
- 平均モード有効ビット (ADADC.AVEE) の設定値 (加算または平均)

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

### (1) A/D 変換値加算/平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 28.6 に示します。

表 28.6 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

### (2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

### (3) A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 28.7 に示します。

表 28.7 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。		加算結果 13~0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	変換回数 16 回が選択された場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	変換回数 1、2、3、または 4 回が選択された場合	加算結果 13~0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

## 28.2.3 ADDBLDRn : A/DA データ 2 重化レジスタ n (n = A, B)

Base address: ADC120 = 0x4005\_C000

Offset address: 0x084 (n = A)  
0x086 (n = B)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 28.8 と表 28.9 を参照してください。	R

ADDBLDRn レジスタは、ダブルトリガモード選択時の拡張動作中のトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1、2、3、4、または 16 回加算)
- 平均モード有効ビット (ADADC.AVEE) の設定値 (加算または平均)

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

## (1) A/D 変換値加算/平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 28.8 に示します。

表 28.8 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

## (2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

### (3) A/D 変換値加算モードを選択した場合

12 ビット精度の A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 28.9 に示します。

表 28.9 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。		加算結果 13~0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	変換回数 16 回が選択された場合	加算結果 15~0: 16 ビット A/D 変換結果の合計															
	変換回数 1、2、3、または 4 回が選択された場合	加算結果 13~0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

#### 28.2.4 ADTSDR : A/D 温度センサデータレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x01A

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: ADTSDR [15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	ADTSDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 28.10 と表 28.11 を参照してください。	R

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1、2、3、4、または 16 回加算)
- 平均モード有効ビット (ADADC.AVEE) の設定値 (加算または平均)

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

#### (1) A/D 変換値加算/平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 28.10 に示します。

表 28.10 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

## (2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

## (3) A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 28.11 に示します。

表 28.11 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合		加算結果 15~0: 16 ビット A/D 変換結果の合計													
	変換回数が 1、2、3、または 4 回の場合		読むと 0 が読めます。		加算結果 13~0: 14 ビット A/D 変換値加算結果											
12 ビット精度の左詰めデータ	変換回数 16 回が選択された場合		加算結果 15~0: 16 ビット A/D 変換結果の合計													
	変換回数 1、2、3、または 4 回が選択された場合		加算結果 13~0: 14 ビット A/D 変換値加算結果												読むと 0 が読めます。	

## 28.2.5 ADOCDR : A/D 内部基準電圧データレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x01C

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: ADOCDR [15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	ADOCDR [15:0]	変換値 15~0 機能は、選択したモードと精度により異なります。表 28.12 と表 28.13 を参照してください。	R

ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。



- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (左詰めまたは右詰め)
- 加算/平均回数選択ビット (ADADC.ADC[2:0]) の設定値 (1、2、3、4、または 16 回加算)
- 平均モード有効ビット (ADADC.AVEE) の設定値 (加算または平均)

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算/平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 28.12 に示します。

表 28.12 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11~0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11~0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャンネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 28.13 に示します。

表 28.13 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合		加算結果 15~0: 16 ビット A/D 変換結果の合計													
	変換回数が 1、2、3、または 4 回の場合		読むと 0 が読めます。		加算結果 13~0: 14 ビット A/D 変換値加算結果											
12 ビット精度の左詰めデータ	変換回数 16 回が選択された場合		加算結果 15~0: 16 ビット A/D 変換結果の合計													
	変換回数 1、2、3、または 4 回が選択された場合		加算結果 13~0: 14 ビット A/D 変換値加算結果													読むと 0 が読めます。

28.2.6 ADRD : A/D 自己診断データレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x01E

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: DIAGST[1:0] — — AD[11:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
11:0	AD[11:0]	変換値 11~0 12 ビット A/D 変換値	R
13:12	—	読むと 0 が読めます。	R
15:14	DIAGST[1:0]	自己診断ステータス 自己診断の詳細については、「28.2.15. ADCER : A/D コントロール拡張レジスタ」を参照してください。 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0 V の電圧値の自己診断を実行したことを示す 1 0: 基準電圧(注 <sup>1</sup> ) × 1/2 の電圧値の自己診断を実行したことを示す 1 1: 基準電圧(注 <sup>1</sup> )の自己診断を実行したことを示す	R

注. 12 ビット精度の右詰めデータのビット配置例を示します。

注 1. 基準電圧は ADHVREFCNT の設定により、VREFH0、VCC、または内部基準電圧 (BGR) になります。

ADRD レジスタは、ADC12 の自己診断により A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD[11:0] ビットに加えて、自己診断ステータスビット (DIAGST[1:0]) が付加されます。

本レジスタのデータフォーマットは、A/D データレジスタフォーマットおよび A/D 変換精度の設定により決定されます。

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、「28.2.15. ADCER : A/D コントロール拡張レジスタ」を参照してください。

以下では、各条件のデータフォーマットについて説明します。本節のビット配置図とビット仕様表は、12 ビット精度の左詰めデータおよび右詰めデータのビット配置例を示します。

表 28.14 各精度における右詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	DIAGST[1:0]	—	—	—	AD[11:0]	—	—	—	—	—	—	—	—	—	—	—

表 28.15 各精度における左詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の左詰めデータ	AD[11:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	DIAGST[1:0]	—

## 28.2.7 ADCSR : A/D コントロールレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADST	ADCS[1:0]	—	—	ADHSC	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択 ダブルトリガ対象のアナログ入力を 1 チャンネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	GBADIE	グループ B スキャン終了割り込みおよび ELC イベント許可 グループ B のスキャンは、グループスキャンモードでのみ実行できます。 0: グループ B のスキャン終了後に ADC120_GBADI 割り込み発生を禁止 1: グループ B のスキャン終了後に ADC120_GBADI 割り込み発生を許可	R/W

ビット	シンボル	機能	R/W
7	DBLE	ダブルトリガモード選択 0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
8	EXTRG	トリガ選択(注1) 0: 同期トリガ (ELC) により A/D 変換を開始 1: 非同期トリガ (ADTRG0) により A/D 変換開始	R/W
9	TRGE	トリガ開始許可 0: 同期、非同期トリガによる A/D 変換の開始を禁止 1: 同期、非同期トリガによる A/D 変換の開始を許可	R/W
10	ADHSC	A/D 変換モード選択 0: 高速 A/D 変換モード 1: 低消費電力 A/D 変換モード	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:13	ADCS[1:0]	スキャンモード選択 00: シングルスキャンモード 01: グループスキャンモード 10: 連続スキャンモード 11: 設定禁止	R/W
15	ADST	A/D 変換スタート 0: A/D 変換停止 1: A/D 変換開始	R/W

注 1. 外部端子（非同期トリガ）で A/D 変換を起動する方法：

外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 端子から Low を入力します。ADTRG0 の立ち下がりがエッジを検出し、スキャン変換を開始します。Low 入力のパルス幅は、1.5PCLKB クロック以上必要です。

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D 変換の開始/停止を行うレジスタです。

#### DBLANS[4:0]ビット（ダブルトリガ対象チャンネル選択）

DBLANS[4:0]ビットは、ダブルトリガモードで A/D 変換データを 2 重化する 1 チャンネルを選択します。これは、2 重化するチャンネル番号のバイナリ値を設定することで選択できます。DBLANS[4:0]ビットで選択したチャンネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。

ダブルトリガモードを選択した場合は、ADANSA0 レジスタと ADANSA1 レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0]ビットで選択した 1 チャンネルが A/D 変換を行うチャンネルとなります。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャンネルアナログ入力を選択できます。

DBLANS[4:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。DBLANS[4:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

ダブルトリガモード時に A/D 変換値加算/平均モードに遷移するには、DBLANS[4:0]ビットで選択したチャンネルを ADADS0 レジスタと ADADS1 レジスタに設定してください。

ダブルトリガモードでは、自己診断機能からの A/D 変換データ、温度センサ出力、および内部基準電圧を使用できません。

表 28.16 DBLANS ビット設定値とダブルトリガ有効チャンネルの関係 (1/2)

DBLANS[4:0]	2 重化チャンネル
0x05	AN005
0x06	AN006
0x09	AN009
0x0A	AN010

表 28.16 DBLANS ビット設定値とダブルトリガ有効チャンネルの関係 (2/2)

DBLANS[4:0]	2 重化チャンネル
0x13	AN019
0x14	AN020
0x15	AN021
0x16	AN022

**GBADIE ビット (グループ B スキャン終了割り込みおよび ELC イベント許可)**

GBADIE ビットはグループスキャンモードでのグループ B のスキャン終了割り込み (ADC120\_GBADI) の発生を許可/禁止します。

**DBLE ビット (ダブルトリガモード選択)**

DBLE ビットは、ダブルトリガモードの選択/非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ(ELC)のみで動作できます。

ダブルトリガは以下のように動作します。

- 1 回目の変換終了時は ADC120\_ADI 割り込みを出力せず、2 回目の変換終了時に出力します。
- 1 回目のトリガで開始した 2 重化チャンネル (DBLANS[4:0]で選択) の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定 (ダブルトリガモードを選択) されている場合、ADANSA0 および ADANSA1 レジスタで指定したチャンネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE ビットを再度 1 にすると、ダブルトリガモードの動作は、1.と 2.に示される最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、ADST ビットを 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時に実行しないでください。

**EXTRG ビット (トリガ選択)**

EXTRG ビットは、A/D 変換を開始するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対して本ビットの設定が有効です。グループ B は、本ビットの設定によらず、選択した同期トリガで A/D 変換を開始します。

**TRGE ビット (トリガ開始許可)**

TRGE ビットは、同期トリガ、非同期トリガによる A/D 変換の起動を許可または禁止します。グループスキャンモード時は本ビットを 1 にしてください。

**ADHSC ビット (A/D 変換モード選択)**

ADHSC ビットは、A/D 変換を High-speed モードにするか低電流モードにするかを選択します。ADHSC ビットの書き換え方法については、「28.8.9. ADHSC ビット書き換え手順」を参照してください。

**ADCS[1:0]ビット (スキャンモード選択)**

ADCS[1:0]ビットは、スキャン変換モードを選択します。

シングルスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したチャンネルのアナログ入力をチャンネル番号の昇順で A/D 変換を実施します。選択したすべてのチャンネルの A/D 変換が終了するとスキャン変換を停止します。

連続スキャンモードでは、ADCSR.ADST ビットが 1 のとき、ADANSA0、ADANSA1 レジスタで選択したチャンネルのアナログ入力をチャンネル番号の昇順で A/D 変換を実施します。選択したすべてのチャンネルの A/D 変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時 :

- ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ (ELC) で、グループ A のスキャンを開始します。ADANSA0、ADANSA1 レジスタで選択されたチャンネルのアナログ入力 (グループ A) をチャンネル番号の昇順で A/D 変換します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。
- ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ (ELC) で、グループ B のスキャンを開始します。ADANSB0、ADANSB1 レジスタで選択されたチャンネルのアナログ入力 (グループ B) をチャンネル番号の昇順で A/D 変換します。選択したすべてのチャンネルの A/D 変換が終了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換が同時に発生した場合、変換は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先コントロール設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位をグループ A 側に設定してください。

グループスキャンモードでは、グループ A、グループ B に異なるチャンネルとトリガを選択してください。

温度センサ出力、または内部基準電圧を選択した際は、ADANSA0 レジスタ、ADANSA1 レジスタですべてのアナログ入力チャンネルを非選択にした後で、シングルスキャンモードを選択し、A/D 変換を実施してください。温度センサ出力、または内部基準電圧の A/D 変換が終了すると A/D 変換を停止します。

ADCS[1:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。ADCS[1:0]ビットの設定を ADST ビットへの 1 書き込みと同時にに行わないでください。

表 28.17 スキャンモードおよびダブルトリガモードの設定による A/D 変換の選択対象

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A)	アナログ入力 (グループ B)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	✓	✓	—	✓	✓
	DBLE = 1	—	✓ (1 ch のみ)	—	—	—
連続スキャン	DBLE = 0	✓	✓	—	—	—
	DBLE = 1	—	—	—	—	—
グループスキャン	DBLE = 0	✓	✓	✓	—	—
	DBLE = 1	—	✓ (1 ch のみ)	✓	—	—

注: ✓: 選択可能、—: 選択不可能

### ADST ビット (A/D 変換スタート)

ADST ビットは、A/D 変換の開始/停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- 1 を書いたとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0]ビットを 0x00 にし、非同期トリガを検出したとき
- グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1) に、ADGSPCR.GBRP ビットを 1 に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[0 になる条件]

- 0 を書いたとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力、内部基準電圧の A/D 変換が完了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき

- グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1) に、ADGSPCR.GBRSCN ビットを 1 に設定し、トリガにより開始した最も優先度の低いグループの A/D 変換が終了したとき

注. グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、ADST ビットを 1 にしないでください。

注. グループ優先動作モード有効時 (ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1)、かつ ADGSPCR.GBRP = 1 のとき、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

## 28.2.8 ADANSA0 : A/D チャンネル選択レジスタ A0

Base address: ADC120 = 0x4005\_C000

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSA 15	ANSA 14	ANSA 13	ANSA 12	ANSA 11	ANSA 10	ANSA 9	ANSA 8	ANSA 7	ANSA 6	ANSA 5	ANSA 4	ANSA 3	ANSA 2	ANSA 1	ANSA 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSA15~ANSA0	A/D 変換チャンネル選択 ビット 15 (ANSA15) は AN015 に、ビット 0 (ANSA0) は AN000 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 05, 06, 09, 10

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャンネルを選択します。グループスキャンモードでは、本レジスタはグループ A チャンネルを選択します。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### ANSAn ビット (A/D 変換チャンネル選択)

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャンネルの組み合わせを選択します。チャンネルおよびチャンネル数は任意に設定可能です。

温度センサ出力、内部基準電圧の A/D 変換を実施する場合、ADANSA0 レジスタを 0x0000 に設定し、すべてのアナログ入力チャンネルを非選択としてください。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャンネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなります。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

## 28.2.9 ADANSA1 : A/D チャンネル選択レジスタ A1

Base address: ADC120 = 0x4005\_C000

Offset address: 0x006

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSA 31	ANSA 30	ANSA 29	ANSA 28	ANSA 27	ANSA 26	ANSA 25	ANSA 24	ANSA 23	ANSA 22	ANSA 21	ANSA 20	ANSA 19	ANSA 18	ANSA 17	ANSA 16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSA31~ANSA16	A/D 変換チャンネル選択 ビット 15 (ANSA31) は AN031 に、ビット 0 (ANSA16) は AN016 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 19~22

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSA1 レジスタは A/D 変換のアナログ入力チャンネルを選択します。グループスキャンモードでは、本レジスタはグループ A チャンネルを選択します。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### ANSAn ビット (A/D 変換チャンネル選択)

ADANSA1 レジスタは A/D 変換を行うアナログ入力チャンネルの組み合わせを選択します。チャンネルおよびチャンネル数は任意に設定可能です。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSA1 レジスタを 0x0000 にしてすべてのアナログ入力チャンネルを非選択にしてください。

ダブルトリガモード時は、ADANSA1 レジスタで選択したチャンネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなります。

また、グループスキャンモード選択時は、A/D チャンネル選択レジスタ B0 (ADANSB0)、および A/D チャンネル選択レジスタ B1 (ADANSB1) で指定したチャンネルを選択しないでください。

## 28.2.10 ADANSB0 : A/D チャンネル選択レジスタ B0

Base address: ADC120 = 0x4005\_C000

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSB 15	ANSB 14	ANSB 13	ANSB 12	ANSB 11	ANSB 10	ANSB 9	ANSB 8	ANSB 7	ANSB 6	ANSB 5	ANSB 4	ANSB 3	ANSB 2	ANSB 1	ANSB 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSB15~ANSB0	A/D 変換チャンネル選択 ビット 15 (ANSB15) は AN015 に、ビット 0 (ANSB0) は AN000 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 05, 06, 09, 10

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力を選択するレジスタです。ADANSB0 レジスタは他のスキャンモードでは使用しません。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### ANSBn ビット (A/D 変換チャンネル選択)

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力の組み合わせを選択するレジスタです。ADANSB0 レジスタはグループスキャンモードで使用され、他のスキャンモードでは使用しません。

グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャンネル) を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSB0 レジスタを 0x0000 にしてすべてのアナログ入力チャンネルを非選択にしてください。

## 28.2.11 ADANSB1 : A/D チャンネル選択レジスタ B1

Base address: ADC120 = 0x4005\_C000

Offset address: 0x016

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSB 31	ANSB 30	ANSB 29	ANSB 28	ANSB 27	ANSB 26	ANSB 25	ANSB 24	ANSB 23	ANSB 22	ANSB 21	ANSB 20	ANSB 19	ANSB 18	ANSB 17	ANSB 16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSB31~ANSB16	A/D 変換チャンネル選択 ビット 15 (ANSB31) は AN031 に、ビット 0 (ANSB16) は AN016 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 19~22

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADANSB1 レジスタは、グループ スキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力を選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

ADANSB1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### ANSBn ビット (A/D 変換チャンネル選択)

ADANSB1 レジスタはグループ スキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力の組み合わせを選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択したチャンネル) を選択しないでください。

温度センサ出力または内部基準電圧の A/D 変換を行うときは、ADANSB1 レジスタを 0x0000 にしてすべてのアナログ入力チャンネルを非選択にしてください。

## 28.2.12 ADADS0 : A/D 変換値加算/平均チャンネル選択レジスタ 0

Base address: ADC120 = 0x4005\_C000

Offset address: 0x008

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	ADS15	ADS14	ADS13	ADS12	ADS11	ADS10	ADS9	ADS8	ADS7	ADS6	ADS5	ADS4	ADS3	ADS2	ADS1	ADS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADS15~ADS0	A/D 変換値加算/平均チャンネル選択 ビット 15 (ADS15) は AN015 に、ビット 0 (ADS0) は AN000 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 05, 06, 09, 10

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

### ADSn ビット (A/D 変換値加算/平均チャンネル選択)

ADSn ビットは A/D 変換値加算/平均の対象となる A/D 変換チャンネルを決定します。選択した A/D 変換チャンネルに対応する ADSn ビットを 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1、2、3、4、または 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

ADSn ビットは、以下で選択された A/D 変換チャンネルのみに適用されます。

- ADANSA0 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB0 レジスタの ANSBn ビット

加算/平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 28.2 に ADADS0 レジスタのビット (チャンネル c と g) を 1 にしたときのスキャン動作シーケンスを示します。本図では、以下のような設定になっています。



- 加算モードを選択 (ADADC.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でアナログ入力チャンネル a~h を選択 (ADANSA0 レジスタ)

アナログ入力 A (チャンネル a) から変換を開始します。アナログ入力 C (チャンネル c) の変換は 4 回連続実行し、加算値を A/D データレジスタ c (ADDRc) に返します。その後、アナログ入力 D (チャンネル d) の変換を開始し、アナログ入力 G (チャンネル g) の変換は 4 回連続実行し、加算値を A/D データレジスタ g (ADDRg) に返します。アナログ入力 H (チャンネル h) の変換後、再度アナログ入力 A (チャンネル a) から同じシーケンスで動作します。

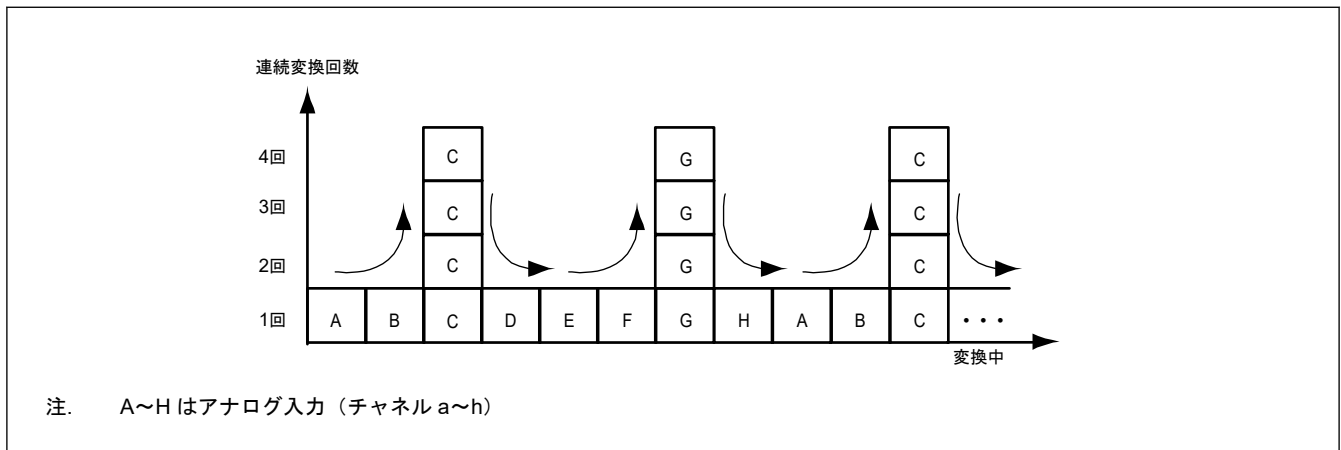


図 28.2 ADADC.ADC[2:0] = 011b および ADADS0/1 によるアナログ入力 C と G を 1 に選択時のスキャン変換シーケンス

### 28.2.13 ADADS1 : A/D 変換値加算/平均チャンネル選択レジスタ 1

Base address: ADC120 = 0x4005\_C000

Offset address: 0x00A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADS31	ADS30	ADS29	ADS28	ADS27	ADS26	ADS25	ADS24	ADS23	ADS22	ADS21	ADS20	ADS19	ADS18	ADS17	ADS16

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	ADS31~ADS16	A/D 変換値加算/平均チャンネル選択 ビット 15 (ADS31) は AN031 に、ビット 0 (ADS16) は AN016 に対応します。 0: 対応する入力チャンネルを非選択 1: 対応する入力チャンネルを選択	R/W

注. n = 19~22

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

#### ADS<sub>n</sub> ビット (A/D 変換値加算/平均チャンネル選択)

ADS<sub>n</sub> ビットは A/D 変換値加算/平均の対象となる A/D 変換チャンネルを決定します。選択した A/D 変換チャンネルに対応する ADS<sub>n</sub> ビットを 1 にすると、選択したチャンネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数 (1、2、3、4、または 16 回) 分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャンネルのみに適用されます。

- ADANSA1 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0] ビット
- ADANSB1 レジスタの ANSBn ビット

加算／平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### 28.2.14 ADADC : A/D 変換値加算／平均回数選択レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	AVEE	—	—	—	—	ADC[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADC[2:0]	加算／平均回数選択 000: 1 回変換 (加算なし。通常変換と同じ。) 001: 2 回変換 (1 回加算を行う) 010: 3 回変換 (2 回加算を行う) 011: 4 回変換 (3 回加算を行う) 101: 16 回変換 (15 回加算を行う) その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	AVEE	平均モードを選択 0: 加算モードを選択 1: 平均モードを選択	R/W

ADADC は加算モードまたは平均モードの選択、および A/D 変換の加算回数を設定します。表 28.18 に、ADADC レジスタの設定可能な組み合わせを示します。

表 28.18 ADADC レジスタの設定可能な組み合わせ

モード選択 (AVEE)	変換回数				
	1 回	2 回	3 回	4 回	16 回
加算モード (AVEE = 0)	✓	✓	✓	✓	✓
平均モード (AVEE = 1)	—	✓	—	✓	—

注. ✓ : 選択可能、— : 選択不可能

#### ADC[2:0]ビット (加算／平均回数選択)

ADC[2:0]ビットはダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0]ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたすべてのチャンネルに対して加算回数を設定します。加算回数は温度センサ出力、内部基準電圧、の A/D 変換にも適用されます。

自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0]ビットを 000b 以外の値にしないでください。

#### AVEE ビット (平均モードを選択)

AVEE ビットはダブルトリガモードでの選択チャンネル (ADCSR.DBLANS[4:0]ビットでの選択チャンネル) を含む A/D 変換および加算／平均モードが選択されたチャンネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モードまたは平均モードの選択を行います。

## 28.2.15 ADCER : A/D コントロール拡張レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x00E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADRF MT	—	—	—	DIAG M	DIAGL D	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ACE	A/D データレジスタ自動クリアイネーブル 0: 自動クリアを禁止 1: 自動クリアを許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DIAGVAL[1:0]	自己診断変換電圧選択 0 0: 自己診断有効時は設定禁止 0 1: 0 V 1 0: 基準電圧(注1) × 1/2 1 1: 基準電圧(注1)	R/W
10	DIAGLD	自己診断モード選択 0: 自己診断電圧ローテーションモードを選択 1: 自己診断電圧固定モードを選択	R/W
11	DIAGM	自己診断イネーブル 0: ADC12 の自己診断を実施しない 1: ADC12 の自己診断を実施する	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	ADRFMT	A/D データレジスタフォーマット選択 0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電圧は ADHVREFCNT の設定により、VREFH0、VCC、または内部基準電圧 (BGR) になります。

**ACE ビット (A/D データレジスタ自動クリアイネーブル)**

ACE ビットは、CPU または DTC によって ADDRy、ADRD、ADDBLDR、ADDBLDRB、ADTSR、または ADOCDR レジスタのいずれかを読み出した後、当該レジスタの自動クリア (すべて 0) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することができます。詳細は、「28.3.7. A/D データレジスタの自動クリア機能の使用例」を参照してください。

**DIAGVAL[1:0] ビット (自己診断変換電圧選択)**

DIAGVAL[1:0] ビットは自己診断電圧固定モードでの電圧値を選択します。詳細は、DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0] ビットが 00b の場合、DIAGLD ビットを 1 にして自己診断を実行しないでください。

**DIAGLD ビット (自己診断モード選択)**

DIAGLD ビットは、自己診断に使用する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

DIAGLD ビットを 0 にすると、0 V → 基準電圧 × 1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、および自己診断電圧ローテーションモードを選択した場合は、0 V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は 0 V に戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを 1 にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0] ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### DIAGM ビット (自己診断イネーブル)

DIAGM ビットは、自己診断を実施するかしないかを選択します。

自己診断は、ADC12 の故障を検出するための機能です。自己診断モードでは、3 つの電圧値 (0 V、基準電圧 × 1/2、基準電圧) のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。その後、ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。

自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガモード (ADCSR.DBLE = 1) では、自己診断 (DIAGM = 0) は選択されません。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### ADRFMT ビット (A/D データレジスタフォーマット選択)

ADRFMT ビットは、ADDRy、ADDBLDR、ADDBLDRB、ADTSDR、ADOCDR、ADCOMPDR0/1、ADWINLLB、ADWINULB、または ADRD レジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

## 28.2.16 ADSTRGR : A/D 変換開始トリガ選択レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TRSA[5:0]					—	—	TRSB[5:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRSB[5:0]	グループ B 用 A/D 変換開始トリガ選択 グループスキャンモードでグループ B の A/D 変換開始トリガを選択します。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	TRSA[5:0]	A/D 変換開始トリガ選択 シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガを選択します。グループスキャンモードではグループ A の A/D 変換開始トリガを選択します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

### TRSB[5:0] ビット (グループ B 用 A/D 変換開始トリガ選択)

TRSB[5:0] ビットはグループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ使用するビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガは設定しないでください。グループスキャンモードでは、TRSB[5:0] ビットを 0x00 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ優先動作選択時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 0x3F にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 ( $t_{SCAN}$ ) 以上となるように設定してください。発行間隔が  $t_{SCAN}$  より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、「[28.3.6. アナログ入力のサンプリング時間とスキャン変換時間](#)」を参照してください。

表 28.19 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 28.19 TRSB[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00, ELC_AD01	ELC	0	0	1	0	1	1

## TRSA[5:0]ビット (A/D 変換開始トリガ選択)

TRSA[5:0]ビットはシングルスキャンモードおよび連続スキャンモードでは A/D 変換開始トリガまたはグループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガや非同期トリガは使用しないでください。

- 同期トリガ (ELC) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。
- 非同期トリガ (ADTRG0) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 1 にしてください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

変換トリガの発行間隔は、実際のスキャン変換時間 ( $t_{SCAN}$ ) 以上となるように設定してください。発行間隔が  $t_{SCAN}$  より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、「[28.3.6. アナログ入力のサンプリング時間とスキャン変換時間](#)」を参照してください。

表 28.20 に TRSA[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 28.20 TRSA[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00, ELC_AD01	ELC	0	0	1	0	1	1

## 28.2.17 ADEXICR : A/D 変換拡張入力コントロールレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x012

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSA	TSSA
							D	D							D	D

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	TSSAD	温度センサ出力 A/D 変換値加算/平均モード選択 0: 温度センサ出力に対し加算/平均モード非選択 1: 温度センサ出力に対し加算/平均モード選択	R/W

ビット	シンボル	機能	R/W
1	OCSAD	内部基準電圧 A/D 変換値加算/平均モード選択 0: 内部基準電圧に対し加算/平均モード非選択 1: 内部基準電圧に対し加算/平均モード選択	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TSSA	温度センサ出力 A/D 変換選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
9	OCSA	内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

### TSSAD ビット (温度センサ出力 A/D 変換値加算/平均モード選択)

TSSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を A/D 温度センサデータレジスタ (ADTSSDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADTSSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### OCSAD ビット (内部基準電圧 A/D 変換値加算/平均モード選択)

OCSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算 (積算) した値を A/D 内部基準電圧データレジスタ (ADOCADR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADOCADR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

### TSSA ビット (温度センサ出力 A/D 変換選択)

TSSA ビットは、温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を実行する場合：

- ADANSA0/1 と ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADEXICR.OCSA ビットを 0 にします。
- シングルスキャンモードで A/D 変換を実行します。

TSSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

温度センサ出力の A/D 変換を実行する場合、ADDISCR レジスタは 0x0F に設定され、A/D コンバータはサンプリング実行前にディスチャージ (15ADCLK) を実行します。必要なサンプリング時間は 5  $\mu$ s 以上です。

A/D コンバータは、温度センサ出力の A/D 変換を行うたびにディスチャージを実行します。

### OCSA ビット (内部基準電圧 A/D 変換選択)

OCSA ビットは、内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を実施する場合：

- ADANSA0/1 と ADANSB0/1 レジスタのすべてのビット、ADCSR.DBLE ビット、および ADEXICR.TSSA ビットを 0 にします。
- シングルスキャンモードで A/D 変換を実行します。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

内部基準電圧の A/D 変換を実行する場合、ADDISCR レジスタは 0x0F に設定され、A/D コンバータはサンプリング実行前にディスチャージ (15ADCLK) を実行します。必要なサンプリング時間は 5  $\mu$ s 以上です。

A/D コンバータは、内部基準電圧の A/D 変換を行うたびにディスチャージを実行します。

## 28.2.18 ADSSTRn/ADSSTRL/ADSSTRT/ADSSTRO : A/D サンプリグステートレジスタ (n = 5, 6, 9, 10)

Base address: ADC120 = 0x4005\_C000

Offset address: 0x0E0 + 0x1 × n (n = 5, 6, 9, 10)  
 0x0DD (ADSSTRL)  
 0x0DE (ADSSTRT)  
 0x0DF (ADSSTRO)

Bit position: 7 6 5 4 3 2 1 0

Bit field: 

SST[7:0]							

Value after reset: 0 0 0 0 1 1 0 1

ビット	シンボル	機能	R/W
7:0	SST[7:0]	サンプリング時間設定 5~255 ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のスプリング時間の設定を行うレジスタです。

本レジスタでは、アナログ入力信号源のインピーダンスが高いためサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。設定値は 1ADCLK サイクルの時間を示し、必要なサンプリング時間は電圧条件によって規定されます。詳細は、「[36.4. ADC12 特性](#)」を参照してください。

サンプリング時間の下限値は分周比によって異なります。

- PCLKB : PCLKD (ADCLK) の分周比が 1:1 の場合、サンプリング時間は 5 ステートより長く設定してください。
- PCLKB : PCLKD (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください。

表 28.21 に A/D サンプリグステートレジスタと対象チャネルの関係を示します。詳細は「[28.3.6. アナログ入力のサンプリング時間とスキャン変換時間](#)」を参照してください。

SST[7:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

**表 28.21 A/D サンプリグステートレジスタと関連チャネルの関係**

ビット名	関連チャネル
ADSSTRn.SST[7:0]ビット (n = 5, 6, 9, 10) (注1)	AN0n (n = 05, 06, 09, 10)(注2)
ADSSTRL.SST[7:0]ビット	AN0n (n = 19~22)
ADSSTRT.SST[7:0]ビット	温度センサ出力(注2)
ADSSTRO.SST[7:0]ビット	内部基準電圧(注2)

注 1. 自己診断機能を選択した時は、ADSSTR0.SST[7:0]ビットで設定したサンプリング時間が適用されます。

注 2. 温度センサ出力または内部基準電圧変換時は、サンプリング時間を 5 μs より長く設定してください。本ビットの最大値は 255 ステートなので、ADCLK 周波数は、サンプリング時間が 5 μs となるよう 51 MHz 以下に設定しなければなりません。

## 28.2.19 ADDISCR : A/D 断線検出コントロールレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x07A

Bit position: 7 6 5 4 3 2 1 0

Bit field: 

—	—	—	PCHG	ADNDIS[3:0]			

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	ADNDIS[3:0]	断線検出アシスト設定 0x0: 断線検出アシスト機能無効 0x1: 設定禁止 その他: プリチャージ/ディスチャージ期間のステート数	R/W
4	PCHG	プリチャージ/ディスチャージ選択 0: ディスチャージ 1: プリチャージ	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDISCR レジスタは、A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定および期間を選択します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。温度センサ出力または内部基準電圧を A/D 変換する場合、A/D コンバータは自動的にディスチャージを実行します。

ADEXICR.OCSA、TSSA が 1 の場合、ADDISCR レジスタを 0x0F (15ADCLK) を設定することにより、本動作が実行されます。ディスチャージ実行後、A/D コンバータはサンプリングを行います。

下記の機能のいずれかを使用する場合は断線検出アシスト機能を無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断

#### ADNDIS[3:0] ビット (断線検出アシスト設定)

ADNDIS[3:0] ビットは、プリチャージ/ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[3:0] ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

#### PCHG ビット (プリチャージ/ディスチャージ選択)

プリチャージまたはディスチャージを選択します。

### 28.2.20 ADACSR : A/D 変換動作モード選択レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x07E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ADSA C	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ADSAC	逐次変換制御設定 0: 通常変換モード (デフォルト) 1: 高速変換モード	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADACSR レジスタは A/D 変換動作モードを選択します。

#### ADSAC ビット (逐次変換制御設定)

ADSAC ビットは A/D 変換動作モードが通常変換モードか、高速変換モードかを選択します。

ADSAC ビットが 0 のとき、ADCLK の最高周波数は 64 MHz です。高速 A/D 変換モード (ADCSR.ADHSC = 0) において、逐次比較方式での変換時間は、31.5 ADCLK です。低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) において、逐次比較方式での変換時間は、40.5 ADCLK です。



ADSAC ビットが 1 のとき、ADCLK の最高周波数は 48 MHz です。高速 A/D 変換モード (ADCSR.ADHSC = 0) において、逐次比較方式での変換時間は、21.5 ADCLK です。低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) において、逐次比較方式での変換時間は、27.5 ADCLK です。

詳細をご確認ください。「[28.3.6. アナログ入力のサンプリング時間とスキャン変換時間](#)」

## 28.2.21 ADGSPCR : A/D グループスキャン優先コントロールレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x080

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGS	グループ優先動作設定(注1) 0: グループ優先制御動作を行わない 1: グループ優先制御動作を行う	R/W
1	GBRSCN	低優先グループ再起動設定 (PGS = 1 の時のみ有効。PGS = 0 の時は無効。) 0: グループ優先動作で中断されたグループの再スキャンをしない 1: グループ優先動作で中断されたグループの再スキャンをする	R/W
14:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	GBRP	シングルスキャン連続起動設定(注2) (PGS = 1 の時のみ有効。PGS = 0 の時は無効。) 0: シングルスキャン連続動作しない 1: 優先度の低いグループがシングルスキャン連続動作する	R/W

注 1. ADCSR.ADCS[1:0]ビットは、PGS を 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

注 2. GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、優先度の低いグループがシングルスキャン連続動作を実行します。

### PGS ビット (グループ優先動作設定)

PGS ビットはグループスキャンモードでのグループ優先動作を制御します。グループ優先動作を行うために、PGS ビットを 1 にしてください。

ADCSR.ADCS[1:0]ビットは、PGS ビットを 1 にする前に 01b (グループスキャンモード) にする必要があります。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にした場合は、「[28.8.3. A/D 変換停止に関する制約](#)」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、「[28.3.4.3. グループ優先動作](#)」の手順に従い設定を行ってください。

### GBRSCN ビット (低優先グループ再起動設定)

GBRSCN ビットは、グループ優先動作時の再スキャン動作を制御します。

GBRSCN ビットを 1 にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを 0 にした場合は、スキャン中に入力されたトリガは無視されます。GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 の時のみ行ってください。

### GBRP ビット (シングルスキャン連続起動設定)

GBRP ビットは、グループ優先動作設定で優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを 1 にすると、優先度の低いグループのシングルスキャンが起動します。スキャン終了後、優先度の低いグループのシングルスキャンを自動的に再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、優先度の低いグループのシングルスキャンを自動的に再開します。

GBRP ビットを 1 にする場合は、事前に優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを 1 に設定した場合、GBRSCN ビットが 0 でも、優先度の低いグループのみ再スキャンを行います。

### 28.2.22 ADCMPCR : A/D コンペア機能コントロールレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x090

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPAIE	WCMPPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPAB[1:0]	ウィンドウ A/B 複合条件設定 これらのビットは、ウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。 0 0: ウィンドウ A 比較条件に一致 OR ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 0 1: ウィンドウ A 比較条件に一致 EXOR ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 1 0: ウィンドウ A 比較条件に一致 AND ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 1 1: 設定禁止	R/W
8:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	CMPBE	コンペアウィンドウ B 動作許可 0: コンペアウィンドウ B 動作禁止 ADC120_WCMPM および ADC120_WCMPUM の出力不可 1: コンペアウィンドウ B 動作許可	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	CMPAE	コンペアウィンドウ A 動作許可 0: コンペアウィンドウ A 動作禁止 ADC120_WCMPM および ADC120_WCMPUM の出力不可 1: コンペアウィンドウ A 動作許可	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	CMPBIE	コンペア B 割り込み許可 0: 比較条件 (ウィンドウ B) 一致による ADC120_CMPBI 割り込み禁止 1: 比較条件 (ウィンドウ B) 一致による ADC120_CMPBI 割り込み許可	R/W
14	WCMPPE	ウィンドウ機能設定 0: ウィンドウ機能無効 ウィンドウ A および B はコンパレータとして動作し、下位の 1 つの値を A/D 変換結果と比較します。 1: ウィンドウ機能有効 ウィンドウ A および B はコンパレータとして動作し、上位および下位の 2 つの値を A/D 変換結果と比較します。	R/W
15	CMPAIE	コンペア A 割り込み許可 0: 比較条件 (ウィンドウ A) 一致による ADC120_CMPAI 割り込み禁止 1: 比較条件 (ウィンドウ A) 一致による ADC120_CMPAI 割り込み許可	R/W

#### CMPAB[1:0]ビット (ウィンドウ A/B 複合条件設定)

CMPAB[1:0]ビットはシングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効 (CMPAE = 1 および CMPBE = 1) な場合に有効となります。CMPAB[1:0]ビットにより、ADWINMON.MONCOMB のコンペア機能一致/不一致イベント出力条件および監視条件を指定します。CMPAB[1:0]ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。

**CMPBE ビット (コンペアウィンドウ B 動作許可)**

CMPBE ビットはコンペアウィンドウ B の動作を許可/禁止します。CMPBE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0、A1、B0、B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSA、または TSSA ビット
- ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0] ビット

**CMPAE ビット (コンペアウィンドウ A 動作許可)**

CMPAE ビットはコンペアウィンドウ A の動作を許可/禁止します。CMPAE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャンネル選択レジスタ A0、A1、B0、B1 (ADANSA0、ADANSA1、ADANSB0、ADANSB1)
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の TSSB、OCSA、または TSSA ビット
- ウィンドウ A チャンネル選択レジスタ 0 および 1 (ADCMPANSR0 および ADCMPANSR1)
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

**CMPBIE ビット (コンペア B 割り込み許可)**

CMPBIE ビットは比較条件 (ウィンドウ B) の一致による割り込み出力 ADC120\_CMPBI を許可/禁止します。

**WCMPE ビット (ウィンドウ機能設定)**

WCMPE ビットは、ウィンドウ機能の有効/無効を選択します。WCMPE ビットは、ADSCR.ADST ビットが 0 のときに設定してください。

**CMPAIE ビット (コンペア A 割り込み許可)**

CMPAIE ビットは比較条件 (ウィンドウ A) の一致による割り込み出力 ADC120\_CMPAI を許可/禁止します。

**28.2.23 ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0**

Base address: ADC120 = 0x4005\_C000

Offset address: 0x094

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPC HA15	CMPC HA14	CMPC HA13	CMPC HA12	CMPC HA11	CMPC HA10	CMPC HA9	CMPC HA8	CMPC HA7	CMPC HA6	CMPC HA5	CMPC HA4	CMPC HA3	CMPC HA2	CMPC HA1	CMPC HA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPCHA15~ CMPCHA0	コンペアウィンドウ A チャンネル選択 ビット 15 (CMPCHA15) は AN015 に、ビット 0 (CMPCHA0) は AN000 に対応します。 0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可	R/W

注. n = 05, 06, 09, 10

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

**CMPCHANn ビット (コンペアウィンドウ A チャンネル選択)**

ADANSA0.ANSAn ビットおよび ADANSB0.ANSBn ビットで選択した A/D 変換チャンネルと同一番号の CMPCHANn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHANn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 28.2.24 ADCMPANSR1 : A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1

Base address: ADC120 = 0x4005\_C000

Offset address: 0x096

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPC HA31	CMPC HA30	CMPC HA29	CMPC HA28	CMPC HA27	CMPC HA26	CMPC HA25	CMPC HA24	CMPC HA23	CMPC HA22	CMPC HA21	CMPC HA20	CMPC HA19	CMPC HA18	CMPC HA17	CMPC HA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPCHA31~ CMPCHA16	コンペアウィンドウ A チャンネル選択  ビット 15 (CMPCHA31) は AN031 に、ビット 0 (CMPCHA16) は AN016 に対応します。 0: 関連する入力チャンネルに対するコンペア機能を禁止 1: 関連する入力チャンネルに対するコンペア機能を許可	R/W

注. n = 19~22

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

**CMPCHAN** ビット (コンペアウィンドウ A チャンネル選択)

ADANSA1.ANSA ビットおよび ADANSB1.ANSB ビットで選択した A/D 変換チャンネルと同一番号の CMPCHAN ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAN ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 28.2.25 ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPO CA	CMPT SA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPTSA	温度センサ出力コンペア選択 0: 温度センサ出力をコンペアウィンドウ A 対象から外す 1: 温度センサ出力をコンペアウィンドウ A 対象とする	R/W
1	CMPOCA	内部基準電圧コンペア選択 0: 内部基準電圧をコンペアウィンドウ A 対象から外す 1: 内部基準電圧をコンペアウィンドウ A 対象とする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

**CMPTSA** ビット (温度センサ出力コンペア選択)

ADEXICR.TSSA ビットが 1 の場合、CMPTSA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPTSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

**CMPOCA** ビット (内部基準電圧コンペア選択)

ADEXICR.OCSA ビットが 1 の場合、CMPOCA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

## 28.2.26 ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0

Base address: ADC120 = 0x4005\_C000

Offset address: 0x098

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMP CHA1 5	CMP CHA1 4	CMP CHA1 3	CMP CHA1 2	CMP CHA11	CMP CHA1 0	CMP CHA9	CMP CHA8	CMP CHA7	CMP CHA6	CMP CHA5	CMP CHA4	CMP CHA3	CMP CHA2	CMP CHA1	CMP CHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPPLCHA15~ CMPPLCHA0	<p>コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 15 (CMPPLCHA15) は AN015 に、ビット 0 (CMPPLCHA0) は AN000 に対応します。 比較条件を図 28.3 に示します。</p> <p>0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 &gt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) A/D 変換値 &lt; ADCMPDR0 値、 または ADCMPDR1 値 &lt; A/D 変換値</p> <p>1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 &lt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</p>	R/W

注. n = 05, 06, 09, 10

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

**CMPLCHANn ビット (コンペアウィンドウ A 比較条件選択)**

CMPLCHANn ビットは、ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPDR0.CMPSTCHANn フラグは 1 になり、コンペア割り込み (ADC120\_CMPAI) が発生します。

ウィンドウ機能が無効のときの比較条件	
CMPLCHAN = 0	CMPLCHAN = 1
ADCMPDR0値 ≤ A/D変換値	ADCMPDR0値 < A/D変換値
不一致	一致
ADCMPDR0値 > A/D変換値	ADCMPDR0値 ≥ A/D変換値
一致	不一致

ウィンドウ機能が有効のときの比較条件	
CMPLCHAN = 0	
ADCMPDR1値 < A/D変換値	一致
ADCMPDR0値 ≤ A/D変換値 ≤ ADCMPDR1値	不一致
A/D変換値 < ADCMPDR0値	一致
CMPLCHAN = 1	
ADCMPDR1値 ≤ A/D変換値	不一致
ADCMPDR0値 < A/D変換値 < ADCMPDR1値	一致
A/D変換値 ≤ ADCMPDR0値	不一致

図 28.3 コンペア機能ウィンドウ A 比較条件の説明

### 28.2.27 ADCMPLR1 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1

Base address: ADC120 = 0x4005\_C000

Offset address: 0x09A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPL CHA3 1	CMPL CHA3 0	CMPL CHA2 9	CMPL CHA2 8	CMPL CHA2 7	CMPL CHA2 6	CMPL CHA2 5	CMPL CHA2 4	CMPL CHA2 3	CMPL CHA2 2	CMPL CHA2 1	CMPL CHA2 0	CMPL CHA1 9	CMPL CHA1 8	CMPL CHA1 7	CMPL CHA1 6
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPLCHA31~ CMPLCHA16	<p>コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。</p> <p>ビット 15 (CMPLCHA31) は AN031 に、ビット 0 (CMPLCHA16) は AN016 に対応します。 比較条件を図 28.3 に示します。</p> <p>0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 &gt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 &lt; ADCMPDR0 値、 または ADCMPDR1 値 &lt; A/D 変換値</p> <p>1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 &lt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</p>	R/W

注. n = 19~22

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

### CMPLCHANn ビット (コンペアウィンドウ A 比較条件選択)

CMPLCHANn ビットはウィンドウ A 比較条件を適用するアナログチャネルの比較条件を指定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR1.CMPSTCHANn ビットは 1 になり、コンペア割り込み (ADC120\_CMPAI) が発生します。

### 28.2.28 ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x093

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPL OCA	CMPL TSA

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CMPLTSA	<p>コンペアウィンドウ A 温度センサ出力比較条件選択 比較条件を図 28.3 に示します。</p> <p>0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 &gt; A/D 変換値 コンペアウィンドウ A 温度センサ出力比較条件選択</p> <p>ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): コンペアウィンドウ A 温度センサ出力比較条件 A/D 変換値 &lt; ADCMPDR0 値、 または A/D 変換値 &gt; ADCMPDR1 値</p> <p>1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 &lt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</p>	R/W
1	CMPLOCA	<p>コンペアウィンドウ A 内部基準電圧比較条件選択 比較条件を図 28.3 に示します。</p> <p>0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 &gt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 &lt; ADCMPDR0 値、 または A/D 変換値 &gt; ADCMPDR1 値</p> <p>1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 &lt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 &lt; A/D 変換値 &lt; ADCMPDR1 値</p>	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

**CMPLTSA ビット (コンペアウィンドウ A 温度センサ出力比較条件選択)**

CMPLTSA ビットは、温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み (ADC120\_CMPAI) が発生します。

**CMPLOCA ビット (コンペアウィンドウ A 内部基準電圧比較条件選択)**

CMPLOCA ビットは、内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み (ADC120\_CMPAI) が発生します。

**28.2.29 ADCMPDRn : A/D コンペア機能ウィンドウ A 下側/上側レベル設定レジスタ (n = 0, 1)**

Base address: ADC120 = 0x4005\_C000

Offset address: 0x09C + (0x2 × n)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	[Empty box]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADCMPDRy は読み出し/書き込みレジスタです。

ADCMPDRy の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≥ ADCMPDR0)。ADCMPDR1 は、ウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値 (変更後) と下側基準値 (変更前) を A/D 変換結果と比較します。図 28.4 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット (ADCMPCR.CMPAE または ADCMPCR.CMPBE) がどちらも 0 のときに、それらの基準値を書き換えてください。

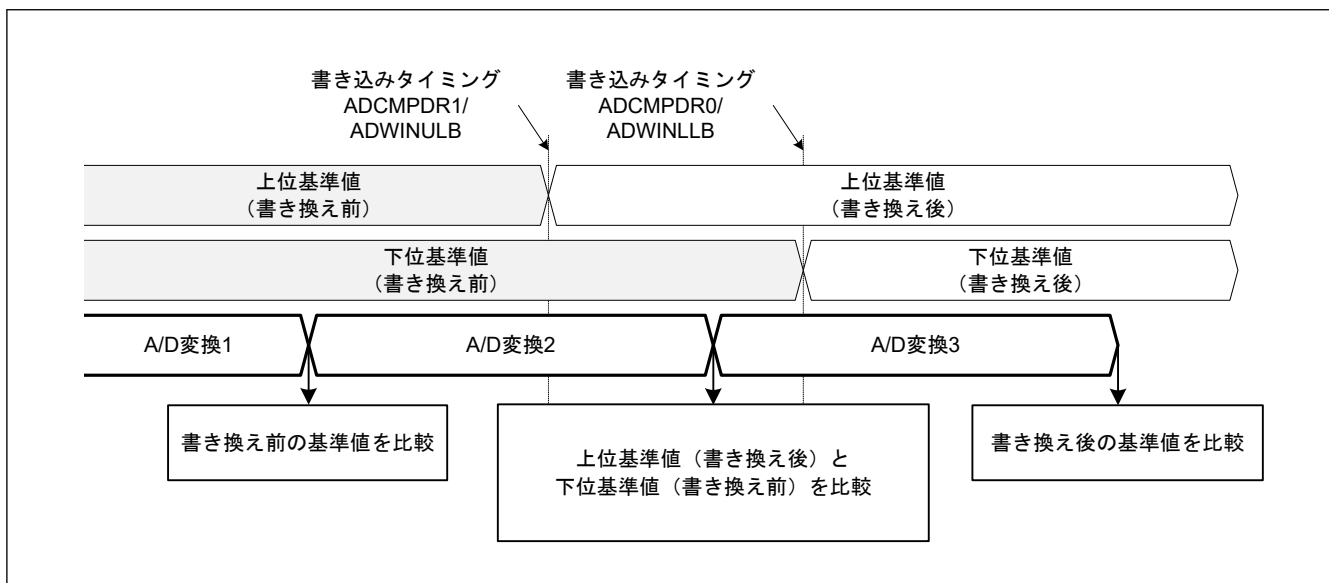


図 28.4 書き換え前後の上側基準値と下側基準値の比較

ADCMPDRy レジスタは、下記の条件でフォーマットが異なります。



- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換値加算／平均チャンネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
  - 右詰めフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
  - 左詰めフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
2. A/D 変換値加算モードを選択した場合（16 回変換時以外）
  - 右詰めフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
  - 左詰めフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
3. A/D 変換値加算モードを選択した場合（16 回変換時）
  - 全ビット ([15:0]) が有効

### 28.2.30 ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ (n = L, U)

Base address: ADC120 = 0x4005\_C000

Offset address: 0x0A8 (n = L)  
0x0AA (n = U)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	[Empty box for bit field]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINULB および ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADWINnLB は読み出し／書き込みレジスタです。

ADWINnLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADWINULB  $\geq$  ADWINLLB)。ADWINULB は、ウィンドウ機能無効時は使用しません。

- 注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 28.5 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット (ADCMPCR.CMPAE または ADCMPCR.CMPBE) がどちらも 0 のときに、それらの基準値を書き換えてください。

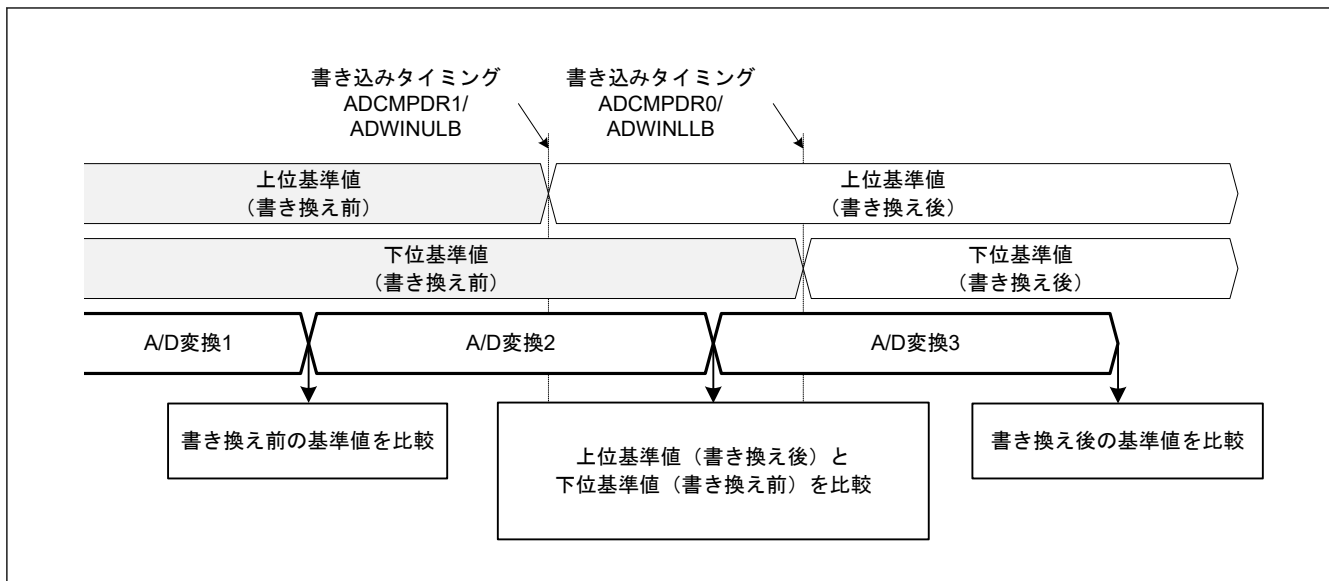


図 28.5 書き換え前後の上側基準値と下側基準値の比較

ADWINnLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値 (右詰めまたは左詰め)
- A/D 変換値加算/平均チャンネル選択ビットの設定値 (A/D 変換値加算モード選択、または非選択)

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
  - 右詰めフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
  - 左詰めフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
2. A/D 変換値加算モードを選択した場合 (16 回変換時以外)
  - 右詰めフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) が有効
  - 左詰めフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) が有効
3. A/D 変換値加算モードを選択した場合 (16 回変換時)
  - 全ビット ([15:0]) が有効

### 28.2.31 ADCMPSR0 : A/D コンペア機能ウィンドウ A チャンルステータスレジスタ 0

Base address: ADC120 = 0x4005\_C000

Offset address: 0x0A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPS TCHA 15	CMPS TCHA 14	CMPS TCHA 13	CMPS TCHA 12	CMPS TCHA 11	CMPS TCHA 10	CMPS TCHA 9	CMPS TCHA 8	CMPS TCHA 7	CMPS TCHA 6	CMPS TCHA 5	CMPS TCHA 4	CMPS TCHA 3	CMPS TCHA 2	CMPS TCHA 1	CMPS TCHA 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPSTCHA15~ CMPSTCHA0	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1b) な場合、ウィンドウ A 比較条件を適用するチャンネルの比較結果を示します。 ビット 15 (CMPSTCHA15) は AN015 に、ビット 0 (CMPSTCHA0) は AN000 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W

注. n = 05, 06, 09, 10

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

**CMPSTCHAn フラグ (コンペアウィンドウ A フラグ)**

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャンネルの比較結果を示します。

ADCMPPLR0.CMPLCHA ビットで設定した比較条件が A/D 変換終了時に成立すると、対応する CMPSTCHAn フラグが 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120\_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPPCR.CMPAIE が 1 のときに、ADCMPPLR0.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

**28.2.32 ADCMPSR1 : A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1**

Base address: ADC120 = 0x4005\_C000

Offset address: 0x0A2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPSTCHA31	CMPSTCHA30	CMPSTCHA29	CMPSTCHA28	CMPSTCHA27	CMPSTCHA26	CMPSTCHA25	CMPSTCHA24	CMPSTCHA23	CMPSTCHA22	CMPSTCHA21	CMPSTCHA20	CMPSTCHA19	CMPSTCHA18	CMPSTCHA17	CMPSTCHA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPSTCHA31~ CMPSTCHA16	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPPCR.CMPAIE = 1) な場合、ウィンドウ A 比較条件を適用するチャンネルの比較結果を示します。 ビット 15 (CMPSTCHA31) は AN031 に、ビット 0 (CMPSTCHA16) は AN016 に対応します。  0: 比較条件不成立 1: 比較条件成立	R/W

注. n = 19~22

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

**CMPSTCHAn フラグ (コンペアウィンドウ A フラグ)**

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャンネルの比較結果を示します。

ADCMPPLR1.CMPLCHA で設定した比較条件が A/D 変換終了時に成立すると、関連する CMPSTCHAn フラグが 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120\_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPPCR.CMPAIE が 1 のときに、ADCMPPLR1.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

### 28.2.33 ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x0A4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPS TOCA	CMPS TTSA

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CMPSTTSA	コンペアウィンドウ A 温度センサ出力コンペアフラグ ウィンドウ A 動作が有効 (ADCMPPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
1	CMPSTOCA	コンペアウィンドウ A 内部基準電圧コンペアフラグ ウィンドウ A 動作が有効 (ADCMPPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPSER レジスタは、コンペア機能ウィンドウ A の比較結果を格納するレジスタです。

#### CMPSTTSA フラグ (コンペアウィンドウ A 温度センサ出力コンペアフラグ)

CMPSTTSA は、温度センサ出力の比較結果を示すフラグです。ADCMPPLER.CMPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120\_CMPAI) が発生します。

CMPSTTSA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

#### CMPSTOCA フラグ (コンペアウィンドウ A 内部基準電圧コンペアフラグ)

CMPSTOCA は、内部基準電圧の比較結果を示すフラグです。ADCMPPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPPCR.CMPAIE ビットが 1 の場合、このフラグが 1 になるとコンペア割り込み要求 (ADC120\_CMPAI) が発生します。

CMPSTOCA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPPCR.CMPAE が 1 のときに、ADCMPPLER.CMPLOCA で設定した条件が成立したとき

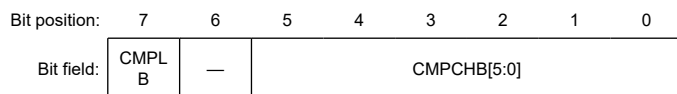
[0 になる条件]

- 1 を読んだ後、0 を書いたとき

### 28.2.34 ADCMPBNSR : A/D コンペア機能ウィンドウ B チャンネル選択レジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x0A6



Value after reset: 0 0 0 0 0 0 0 0

ビット	記号	機能	R/W																										
5:0	CMPCHB[5:0]	<p>コンペアウィンドウ B チャンネル選択 コンペアウィンドウ B 条件と比較するチャンネルを選択します。</p> <table border="1"> <thead> <tr> <th>CMPCHB[5:0]</th> <th>チャンネル</th> </tr> </thead> <tbody> <tr><td>0x05</td><td>AN005</td></tr> <tr><td>0x06</td><td>AN006</td></tr> <tr><td>0x09</td><td>AN009</td></tr> <tr><td>0x0A</td><td>AN010</td></tr> <tr><td>0x13</td><td>AN019</td></tr> <tr><td>0x14</td><td>AN020</td></tr> <tr><td>0x15</td><td>AN021</td></tr> <tr><td>0x16</td><td>AN022</td></tr> <tr><td>0x20</td><td>温度センサ</td></tr> <tr><td>0x21</td><td>内部基準電圧</td></tr> <tr><td>0x3F</td><td>非選択</td></tr> <tr><td>その他</td><td>設定禁止</td></tr> </tbody> </table>	CMPCHB[5:0]	チャンネル	0x05	AN005	0x06	AN006	0x09	AN009	0x0A	AN010	0x13	AN019	0x14	AN020	0x15	AN021	0x16	AN022	0x20	温度センサ	0x21	内部基準電圧	0x3F	非選択	その他	設定禁止	R/W
CMPCHB[5:0]	チャンネル																												
0x05	AN005																												
0x06	AN006																												
0x09	AN009																												
0x0A	AN010																												
0x13	AN019																												
0x14	AN020																												
0x15	AN021																												
0x16	AN022																												
0x20	温度センサ																												
0x21	内部基準電圧																												
0x3F	非選択																												
その他	設定禁止																												
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W																										
7	CMPLB	<p>コンペアウィンドウ B 比較条件設定 ウィンドウ B のチャンネル比較条件を設定します。比較条件を <a href="#">図 28.6</a> に示します。</p> <p>0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 &gt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 &lt; ADWINLLB 値または ADWINULB 値 &lt; A/D 変換値</p> <p>1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 &lt; A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADWINLLB 値 &lt; A/D 変換値 &lt; ADWINULB 値</p>	R/W																										

#### CMPCHB[5:0]ビット (コンペアウィンドウ B チャンネル選択)

CMPCHB[5:0]ビットはコンペアウィンドウ B 条件と比較するチャンネルを選択します。AN005, AN006, AN009, AN010, AN019~AN022、温度センサ出力、内部基準電圧を選択できます。コンペアウィンドウ B 機能は、ADANSA0、ADANSA1、ADANSA0、ADANSA1、ADANSA0、ADANSA1、ADANSA0、ADANSA1 レジスタで選択した A/D 変換チャンネルのチャンネル番号を指定することで有効になります。

CMPCHB[5:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

#### CMPLB ビット (コンペアウィンドウ B 比較条件設定)

CMPLB ビットはウィンドウ B のチャンネル比較条件を設定します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPBSR.CMPSTB フラグは 1 になり、コンペア割り込み (ADC120\_CMPBI) が発生します。

ウィンドウ機能が無効のときの比較条件			
CMPLB = 0		CMPLB = 1	
ADWINLLB値 ≤ A/D変換値	不一致	ADWINLLB値 < A/D変換値	一致
ADWINLLB値 > A/D変換値	一致	ADWINLLB値 ≥ A/D変換値	不一致
ウィンドウ機能が有効のときの比較条件			
CMPLB = 0			
A/D変換値 > ADWINULB値	一致		
ADWINLLB値 ≤ A/D変換値 ≤ ADWINULB値	不一致		
A/D変換値 < ADWINLLB値	一致		
CMPLB = 1			
A/D変換値 ≥ ADWINULB値	不一致		
ADWINLLB値 < A/D変換値 < ADWINULB値	一致		
A/D変換値 ≤ ADWINLLB値	不一致		

図 28.6 コンペア機能ウィンドウ B 比較条件の説明

### 28.2.35 ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x0AC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPS TB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTB	コンペアウィンドウ B フラグ ウィンドウ B 動作が有効 (ADCMPPCR.CMPBE = 1) の場合、本ビットはウィンドウ B 比較条件を適用するチャンネル、温度センサ出力、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### CMPSTB フラグ (コンペアウィンドウ B フラグ)

CMPSTB フラグはウィンドウ B 比較条件を適用するチャンネル、温度センサ出力、内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLB で設定した比較条件が A/D 変換終了時に成立すると 1 になります。

ADCMPCR.CMPBIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120\_CMPBI) が発生します。

CMPSTB フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、ADCMPCBNSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

### 28.2.36 ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x08C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MONC MPB	MONC MPA	—	—	—	MONC OMB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MONCOMB	組み合わせ結果モニタ 組み合わせ結果を示します。本ビットは、ウィンドウ A とウィンドウ B の動作がどちらも有効な場合に有効となります。 0: ウィンドウ A/ウィンドウ B の複合条件が不成立 1: ウィンドウ A/ウィンドウ B の複合条件が成立	R
3:1	—	読むと 0 が読めます。	R
4	MONCMPA	比較結果モニタ A 0: ウィンドウ A 比較条件が不成立 1: ウィンドウ A 比較条件が成立	R
5	MONCMPB	比較結果モニタ B 0: ウィンドウ B 比較条件が不成立 1: ウィンドウ B 比較条件が成立	R
7:6	—	読むと 0 が読めます。	R

#### MONCOMB ビット (組み合わせ結果モニタ)

MONCOMB ビットは、は、ADCMPCR.CMPAB[1:0] ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

#### MONCMPA ビット (比較結果モニタ A)

MONCMPA ビットは、ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER で設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき (ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる)

### MONCMPB ビット (比較結果モニタ B)

MONCMPB ビットは、ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE = 0 のとき (ADCMPCR.CMPBE = 1→0 に変化すると自動的に 0 になる)

## 28.2.37 ADHVREFCNT : A/D 高電位／低電位基準電圧コントロールレジスタ

Base address: ADC120 = 0x4005\_C000

Offset address: 0x08A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADSLP	—	—	LVSEL	—	—	HVSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	HVSEL[1:0]	高電位基準電圧選択 0 0: 高電位基準電圧に VCC0 を選択 0 1: 高電位基準電圧に VREFH0 を選択 1 0: 高電位基準電圧に内部基準電圧を選択 1 1: 基準電圧端子は非選択 (内部ノード放電)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	LVSEL	低電圧基準電圧選択 0: 低電位基準電圧に VSS0 を選択 1: 低電位基準電圧に VREFL0 を選択	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ADSLP	スリープ 0: 通常動作 1: スタンバイ状態	R/W

### HVSEL[1:0] ビット (高電位基準電圧選択)

HVSEL[1:0] ビットは高電位基準電圧に VREFH0、VCC、または内部基準電圧 (BGR) を指定します。

設定する場合は、必ず初めに HVSEL[1:0] = 11b に設定してからレジスタ設定を行ってください。

内部基準電圧を選択する際 (HVSEL[1:0] = 10b) は、事前に HVSEL[1:0] = 11b とし、高電位側基準電圧経路をディスチャージしてください。ディスチャージ完了後に HVSEL[1:0] = 10b とし、A/D 変換を開始してください。

高電位基準電圧に内部基準電圧を選択した場合 (HVSEL[1:0] = 10b) は、A/D 変換はアナログチャネルとに対して可能で、温度センサ出力と内部基準電圧の A/D 変換は禁止です。高電位基準電圧に内部基準電圧を選択した場合 (HVSEL[1:0] = 10b)、低電流モードでのみ機能します (ADCSR.ADHSC = 1)。

### LVSEL ビット (低電圧基準電圧選択)

LVSEL ビットは低電位基準電圧に VSS0 または VREFL0 を指定します。



## ADSLP ビット (スリープ)

A/D コンバータをスタンバイ状態に移移します。ADCSR.ADHSC ビットの変更時にのみ、ADSLP ビットを 1 にしてください。その他の場合、ADSLP ビットを 1 にすることはできません。

ADSLP ビットを 1 にしたら、0 に戻す前に最低 5 $\mu$ s 待ってください。また、ADSLP ビットを 0 にしたら、最低 1 $\mu$ s 待ってから A/D 変換を開始してください。

ADHSC ビットの書き換え手順については、「[28.8.9. ADHSC ビット書き換え手順](#)」を参照してください。

## 28.3 動作

### 28.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換の動作モードには、3 種類の動作モードおよび 2 種類の変換モードがあります。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード
- 高速 A/D 変換モード (ADACSR.ADSAC で選択される高速/通常変換モードを含む)
- 低消費電力 A/D 変換モード (ADACSR.ADSAC で選択される高速/通常変換モードを含む)

シングルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャンネル以上のスキャンを、ソフトウェアで ADCSR.ADST ビットを 0 にするまで繰り返し実行するモードです。グループスキャンモードでは、グループ A、B で選択されたチャンネルは、各同期トリガに応じたスキャン開始後に、1 回スキャンされます。

シングルスキャンモードおよび連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネル (AN<sub>n</sub>) に対して、変換順序に従って最小のチャンネル番号 *n* から A/D 変換を開始します。グループスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したグループ A のアナログ入力チャンネル (AN<sub>n</sub>)、ADANSB0、ADANSB1 レジスタで選択したグループ B のアナログ入力チャンネル (AN<sub>n</sub>) に対して、変換順序に従って最小のチャンネル番号 *n* から A/D 変換を開始します。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧を同時に選択しないでください。内部基準電圧を高電位側の基準電圧に選択する場合、温度センサまたは内部基準電圧の A/D 変換も実行できません。A/D 変換に温度センサ出力または内部基準電圧を選択した場合、シングルスキャンモードを使用してください。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可すると (ADCSR.DBLE = 1)、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガ (ELC) でのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガコンビネーションから A/D 変換動作が発生します。通常のダブルトリガモードでの動作に加えて、奇数番号トリガ (ELC\_AD00) の A/D 変換データは A/D データ 2 重化レジスタ A (ADDBLDRA) に格納され、偶数番号トリガ (ELC\_AD01) の A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。

ADC12 は他の同期トリガで開始した A/D 変換の間に生じる同期トリガを無視します。

### 28.3.2 シングルスキャンモード

#### 28.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネル (ANn) に対して最小のチャンネル番号 n から A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- 選択されたすべてのチャンネルの A/D 変換終了後、ADC120\_ADI 割り込み要求が発生します。
- ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的に 0 にされ、ADC12 は待機状態になります。

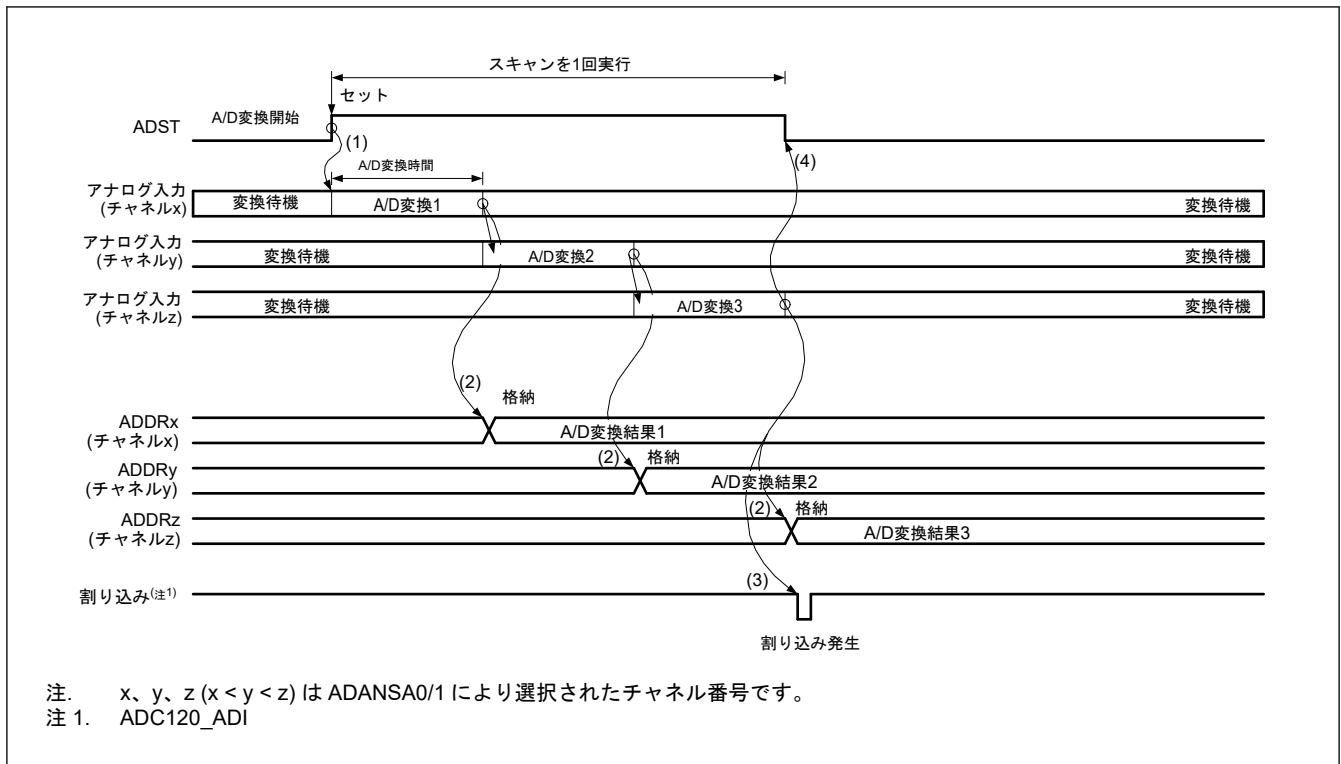


図 28.7 シングルスキャンモードの基本動作例 (アナログ入力 (チャンネル x~z) 選択)

### 28.3.2.2 チャンネル選択と自己診断

チャンネルと自己診断を選択すると、基準電圧 ( $\times 0$ 、 $\times 1/2$ 、または  $\times 1$ ) の A/D 変換を行い、その後選択したチャンネルのアナログ入力を 1 回のみ A/D 変換します。

- ソフトウェアトリガ入力、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
- 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADDRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネル (ANn) を変換順序に従って最小のチャンネル番号 n から A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- 選択されたすべてのチャンネルの A/D 変換が終了後、ADC120\_ADI 割り込み要求が発生します。
- ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、ADC12 は待機状態になります。

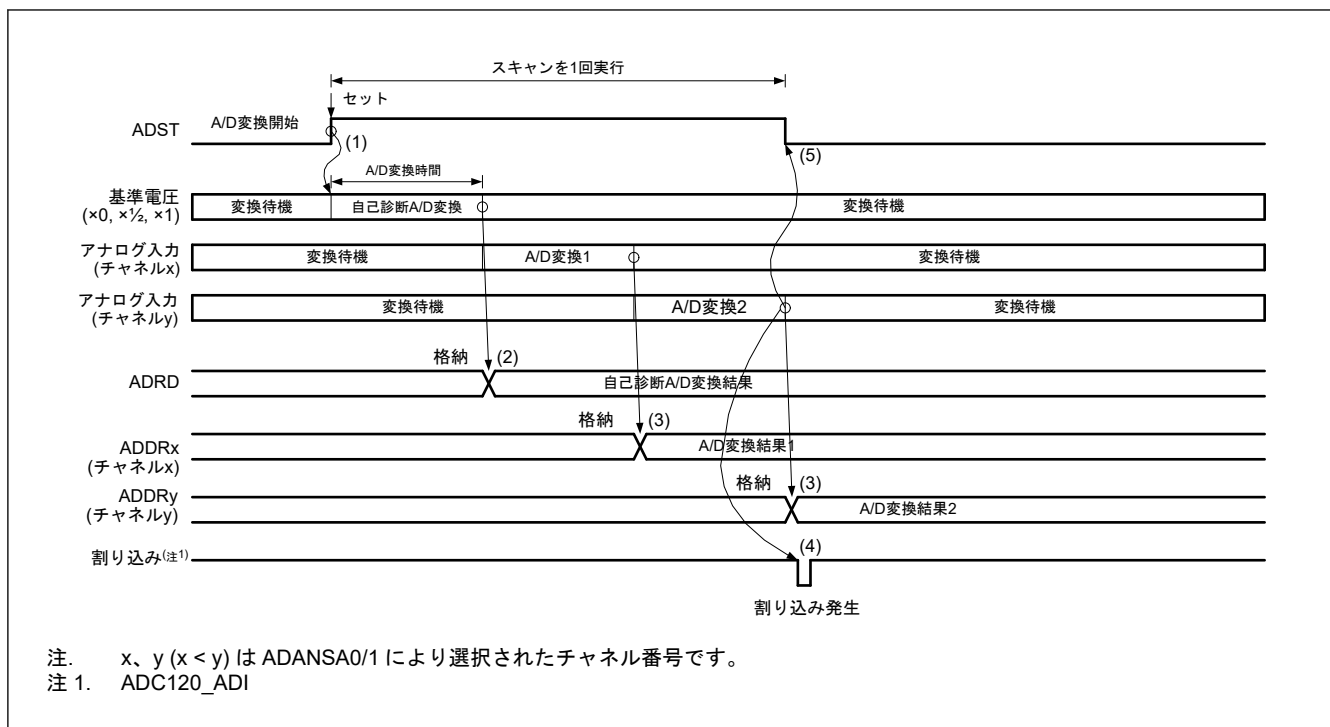


図 28.8 シングルスキャンモードの基本動作例（アナログ入力（チャンネル x、y）選択+自己診断）

### 28.3.2.3 温度センサ出力または内部基準電圧の A/D 変換

シングルスキャンモードでは、温度センサ出力または内部基準電圧の A/D 変換を行います。

温度センサ出力または内部基準電圧の A/D 変換を選択した場合、ADANSA0 レジスタ、ADANSA1 レジスタの全ビットを 0、ADCSR.DBLE ビットを 0 に設定し、すべてのアナログ入力チャンネルを非選択としてください。

温度センサ出力の A/D 変換を選択した場合、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を 0 (非選択) にしてください。内部基準電圧の A/D 変換を選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) を 0 (非選択) にしてください。

動作は以下のとおりです。

1. サンプルング時間を 5  $\mu$ s 以上に設定します。サンプルングステートレジスタ (ADSSTRT/ADSSTRO) および ADCLK 周波数の設定に注意してください。
2. 内部基準電圧または温度センサ出力の A/D 変換に切り替えた後は、ADST ビットを 1 にして変換を開始してください。
3. A/D 変換が終了すると、A/D 変換結果は対応する温度センサデータレジスタ (ADTSDR) または A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC120\_ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、A/D 変換が終了すると自動的に 0 になり、ADC12 は待機状態になります。

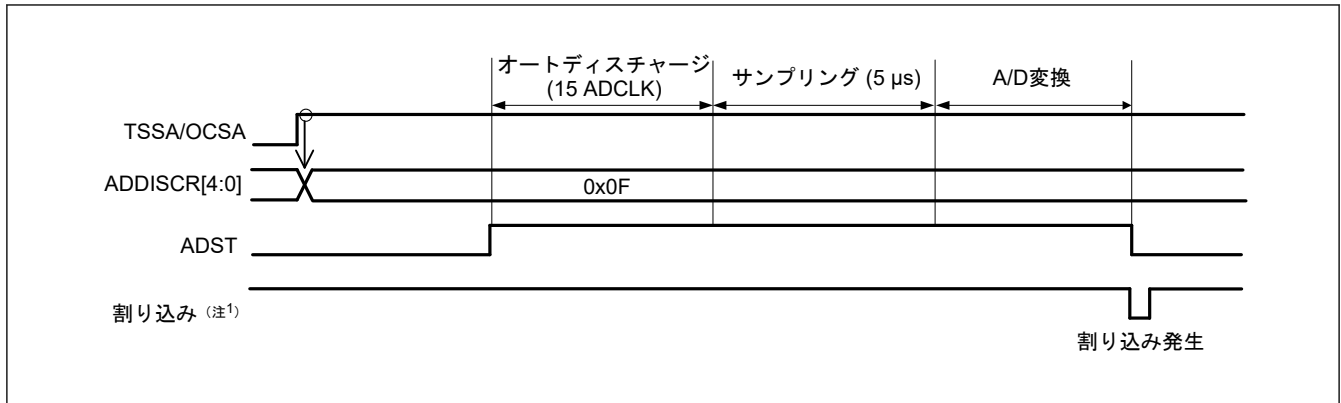


図 28.9 シングルスキャンモードの基本動作例（温度センサ出力または内部基準電圧選択）

### 28.3.2.4 ダブルトリガモードでの A/D 変換

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャンモードの実行 2 回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 および ADANSA1 レジスタのチャンネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0] ビットで同期トリガ (ELC) を選択してください。加えて、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ  $y$  (ADDR $y$ ) に格納されます。
3. ADCSR.ADST ビットは自動的に 0 になり、ADC12 は待機状態になります。ADC120\_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換が終了すると、結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
6. ADC120\_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 になり、ADC12 は待機状態になります。

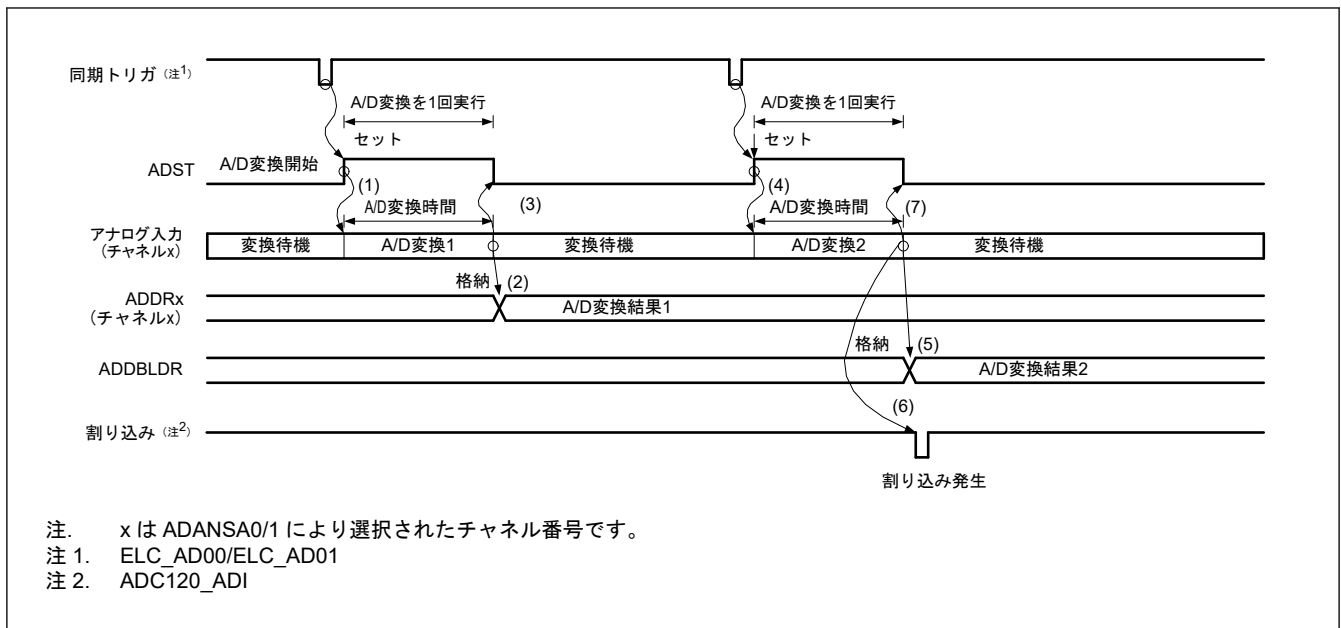


図 28.10 シングルスキャンモードの動作例 (ダブルトリガモード選択、アナログ入力 (チャンネル x) を 2 重化)

### 28.3.2.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択し、A/D 変換開始トリガとして同期トリガ (ELC\_AD00/ELC\_AD01) を選択した場合、2 回のシングルスキャン動作が実行されます。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 および ADANSA1 レジスタのチャンネル選択は無効になります。

拡張ダブルトリガモードでは、ADSTRGR.TRSA[5:0] ビットを 0x0B に設定することにより同期トリガ組み合わせ ELC\_AD00/ELC\_AD01 を選択し、ADCSR.EXTRG ビットを 0 に設定し、ADCSR.TRGE ビットを 1 に設定してください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC\_AD00/ELC\_AD01) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) および A/D データ 2 重化レジスタ A (ADDBLDRA) に格納されます。(ELC\_ADi0 または ELC\_ADi1 トリガ (i = 0) がそれぞれ入力された場合は A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。)
3. ADCSR.ADST ビットは自動的に 0 になり、ADC12 は待機状態になります。ADC120\_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ (ELC\_AD00/ELC\_AD01) によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ (ADDBLDR) および A/D データ 2 重化レジスタ A (ADDBLDRA) または A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。(ELC\_ADi0 または ELC\_ADi1 トリガ (i = 0) がそれぞれ入力された場合)
6. ADC120\_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1 (A/D 変換開始) を保持し、A/D 変換が終了すると自動的に 0 になり、ADC12 は待機状態になります。

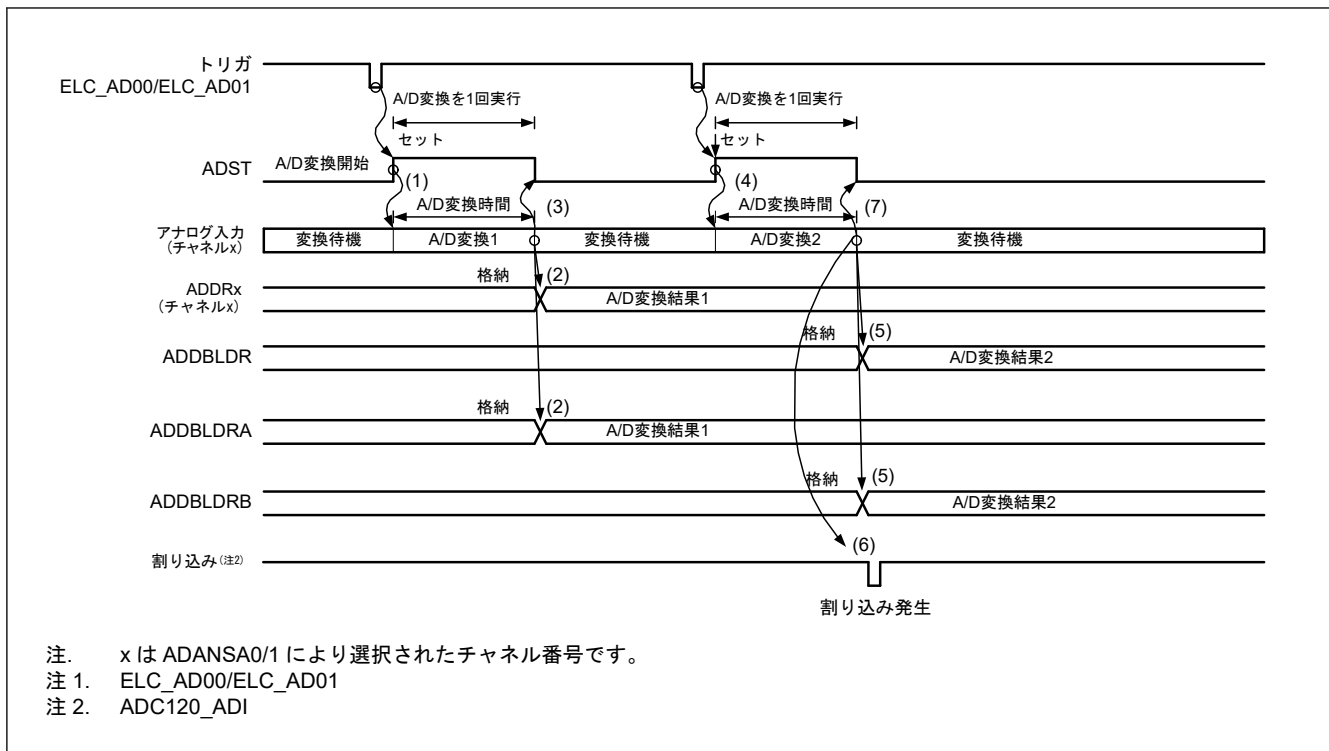


図 28.11 アナログ入力 (チャンネル x) と ELC\_AD00/ELC\_AD01 の重複選択時のダブルトリガモード拡張動作例

### 28.3.3 連続スキャンモード

#### 28.3.3.1 基本動作

連続スキャンモードでは、選択されたチャンネルのアナログ入力を繰り返し A/D 変換します。このモードでは、ADEXICR.TSSA ビットおよび ADEXICR.OCSA ビットを 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

動作は以下のとおりです。

- ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネル (ANn) に対して最小のチャンネル番号 n から順に A/D 変換を開始します。
- 1 チャンネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
- 選択されたすべてのチャンネルの A/D 変換終了後、ADC120\_ADI 割り込み要求を発生します。また ADC12 は、継続して ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネルの最小のチャンネル番号 n から順に A/D 変換を開始します。
- ADCSR.ADST ビットは自動的にクリアされず、1 (A/D 変換開始) の状態の間は (2)~(3) を繰り返します。ADCSR.ADST ビットを 0 (A/D 変換停止) にすると、A/D 変換は停止し、ADC12 は待機状態になります。
- その後、ADCSR.ADST ビットを 1 (A/D 変換開始) にすると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネルの最小のチャンネル番号 n から順に再び A/D 変換を開始します。



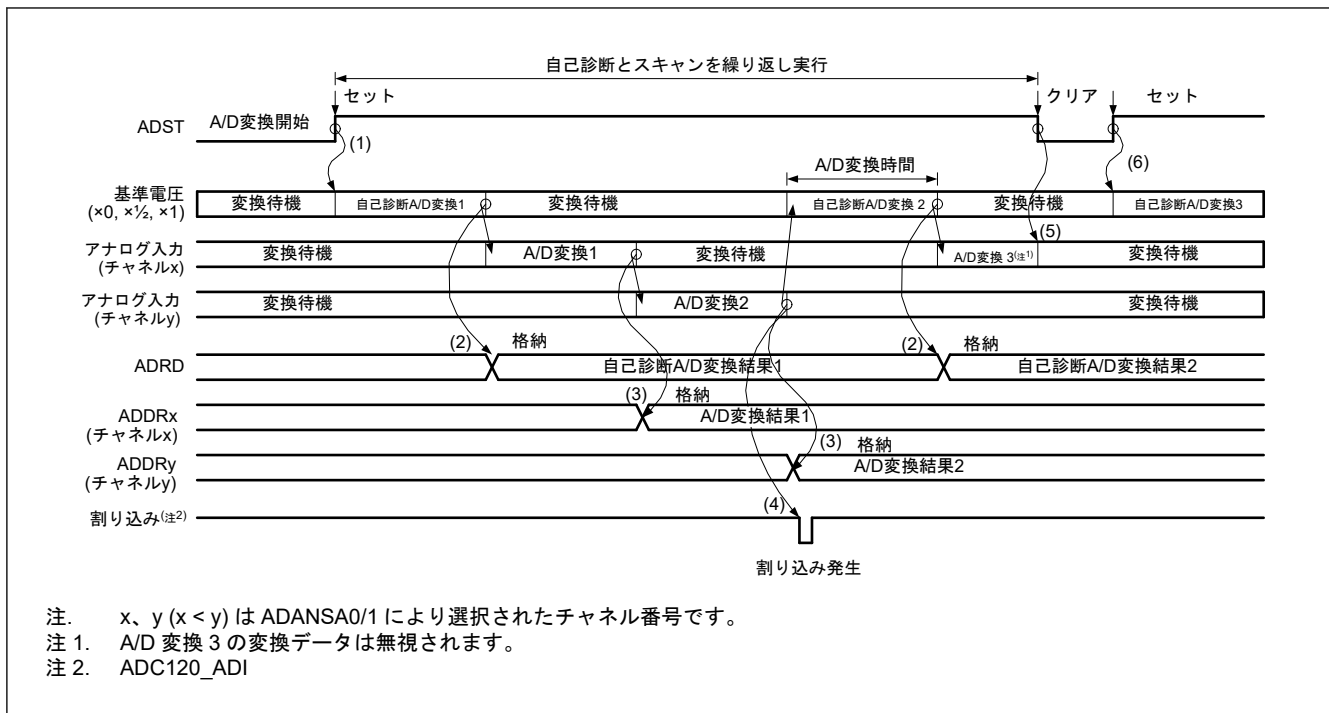


図 28.13 連続スキャンモードの基本動作例 (アナログ入力 (チャンネル x, y) 選択+自己診断)

### 28.3.4 グループスキャンモード

#### 28.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガ (ELC) をスキャン開始条件とし、グループ A、B のそれぞれで選択したすべてのチャンネルのアナログ入力を 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループ B の同期トリガを選択します。グループ A、B に対して、2 つのグループの A/D 変換を同時に実行するのを防ぐために、異なるトリガを使用してください。ソフトウェアトリガは使用しないでください。

A/D 変換の対象となるグループ A のチャンネルは ADANSA0 レジスタ、ADANSA1 レジスタを用いて選択されます。A/D 変換の対象となるグループ B のチャンネルは ADANSB0 レジスタ、ADANSB1 レジスタを用いて選択されます。グループ A、B は同じチャンネルを使用できません。

グループスキャンモードでは、ADEXICR.TSSA ビットおよび ADEXICR.OCSA ビットを 0 に設定することにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を選択しないでください。グループスキャンモードで自己診断を選択した場合は、グループ A、B それぞれのスキャンで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。この例では、グループ A は ELC からの ELC\_AD00 トリガで変換開始し、グループ B は ELC からの ELC\_AD01 トリガで変換開始します。さらに、ELC\_AD00 と ELC\_AD01 は対応する ELC.ELSRn レジスタで GPT イベントに対して選択されます。

動作は以下のとおりです。

1. ELC\_AD00 でグループ A のスキャンを開始します。
2. グループ A のスキャン終了時に、ADC120\_ADI 割り込みが発生します (レジスタ設定なし)。
3. ELC\_AD01 でグループ B のスキャンを開始します。
4. グループ B のスキャン終了時に、ADCSR.GBADIE ビットが 1 (スキャン終了時に ADC120\_GBADI 割り込み許可) に設定されていると、ADC120\_GBADI 割り込みが発生します。



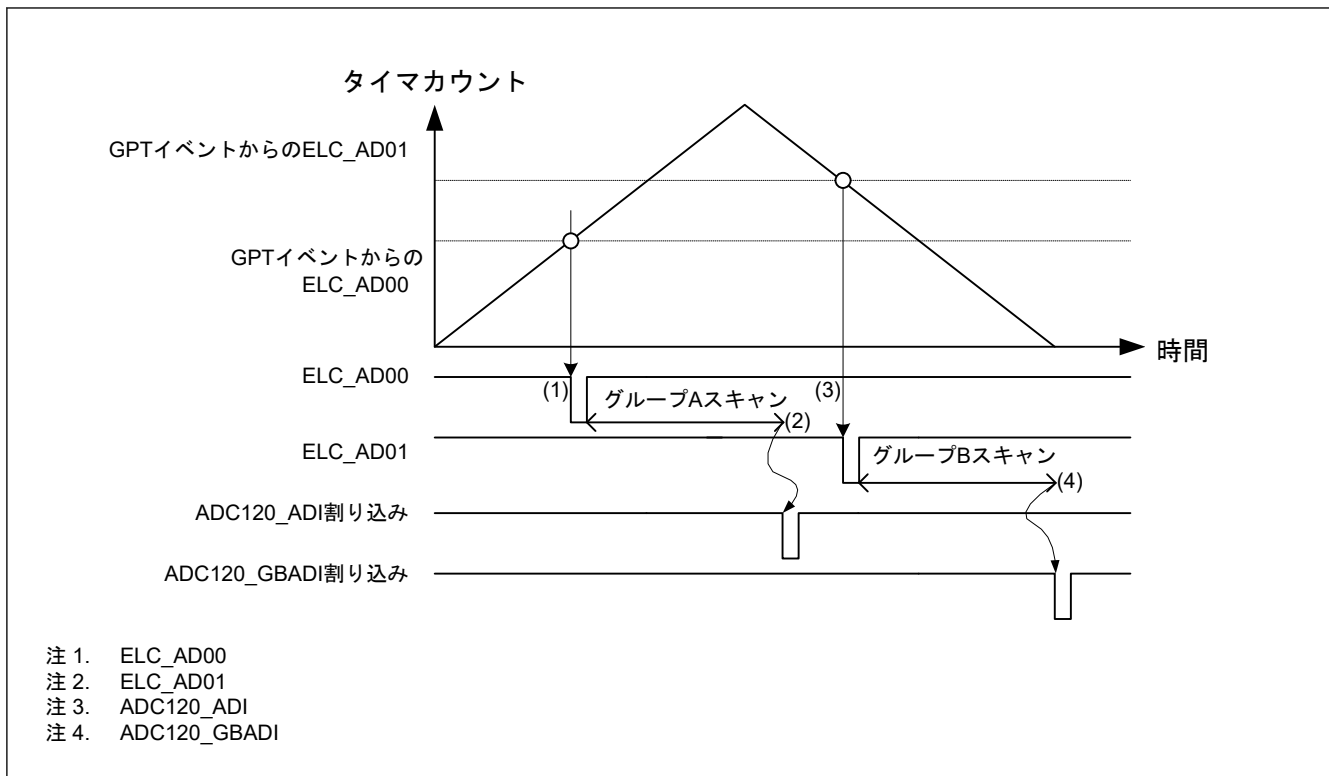


図 28.14 グループスキャンモードの基本動作例 (ELC からの同期トリガ使用)

### 28.3.4.2 ダブルトリガモードでの A/D 変換

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ (ELC) で開始するシングルスキャンモードの実行 2 回分を一連の動作として実行します。グループ B は同期トリガ (ELC) で開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループ B の同期トリガを選択します。グループ A とグループ B のトリガは、2 つのグループの A/D 変換を同時に実行するのを防ぐために別々のトリガにしてください。また、ソフトウェアトリガおよびグループ B における非同期トリガは使用しないでください。

ADSTRGR.TRSA[5:0]ビットに 0x0B を設定することにより、グループ A の同期トリガとして ELC\_AD00/ELC\_AD01 を選択した場合、拡張ダブルトリガモードで動作は進行します。

A/D 変換対象とするチャンネルは、ADCSR レジスタの DBLANS[4:0]ビットでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B は同じチャンネルを使用できません。

グループスキャンモードでは、ADEXICR.TSSA ビットおよび ADEXICR.OCSA ビットを 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択としてください。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。

以下に ELC からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。この例では、グループ A は ELC\_AD00 トリガで変換開始し、グループ B は ELC\_AD01 トリガで変換開始します。さらに、ELC\_AD00 と ELC\_AD01 は対応する ELC.ELSRn レジスタで GPT イベントに対して選択されます。

動作は以下のとおりです。

1. ELC からの ELC\_AD00 トリガでグループ B のスキャンを開始します。
2. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1 (スキャン終了時 ADC120\_GBADI 割り込み許可) に設定されていると、ADC120\_GBADI 割り込みが発生します。
3. 1 回目の ELC\_AD01 トリガでグループ A の 1 回目のスキャンを開始します。

4. グループ A の 1 回目のスキャン終了時は、変換データを対応する A/D データレジスタ  $y$  (ADDR $y$ ) に格納し、ADC120\_ADI 割り込み要求は発生しません。
5. 2 回目の ELC\_AD01 トリガでグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR レジスタ に格納します。ADC120\_ADI 割り込みが発生します。

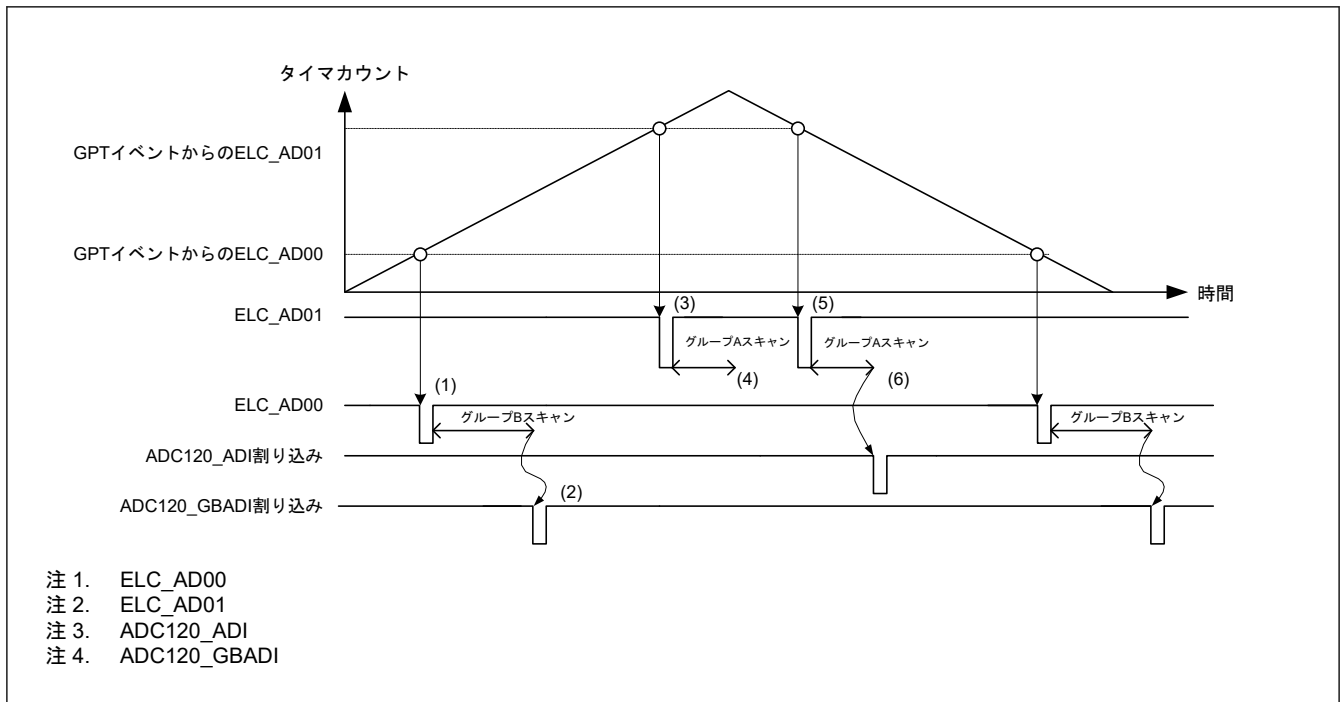


図 28.15 グループスキャンモードでダブルトリガモードを使用する場合の基本動作例 (ELC からの同期トリガ使用時)

### 28.3.4.3 グループ優先動作

グループスキャンモードで A/D グループスキャン優先コントロールレジスタ (ADGSPCR) の PGS ビットを 1 にすると、グループ優先動作を行います。グループの優先度は、グループ A > グループ B の順となります。

ADGSPCR レジスタの PGS ビットを 1 にする場合、[図 28.16](#) に記載された手順に従い、設定を実行してください。フローチャート以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、B の A/D 変換中に発生したトリガ入力は無視され、各グループの A/D 変換動作は、シングルスキャンモードと同じ動作になります。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループの A/D 変換動作を中断して、優先グループの A/D 変換動作を行います。

ADGSPCR.GBRSCN ビットが 0 のとき、優先グループの A/D 変換動作終了後、低優先グループは待機状態となります。また A/D 変換中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが 1 のとき、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を再実行します。また優先グループの A/D 変換中に発生した低優先グループのトリガ入力は有効となり、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を実行します。

[表 28.22](#) に ADGSPCR.GBRSCN ビットの設定と A/D 変換中のトリガ入力時の動作をまとめます。

ADGSPCR.GBRP ビットに 1 を設定したとき、最も優先度の低いグループの A/D 変換動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択してください。各トリガは互いに異なるトリガを選択する必要があります。ADGSPCR.GBRP ビットを 1 に設定する場合、ADSTRGR.TRSB[5:0] ビットを 0x3F にしてください。

スキャン対象とするチャンネルは、「[28.3.4. グループスキャンモード](#)」に記載のレジスタで選択します。

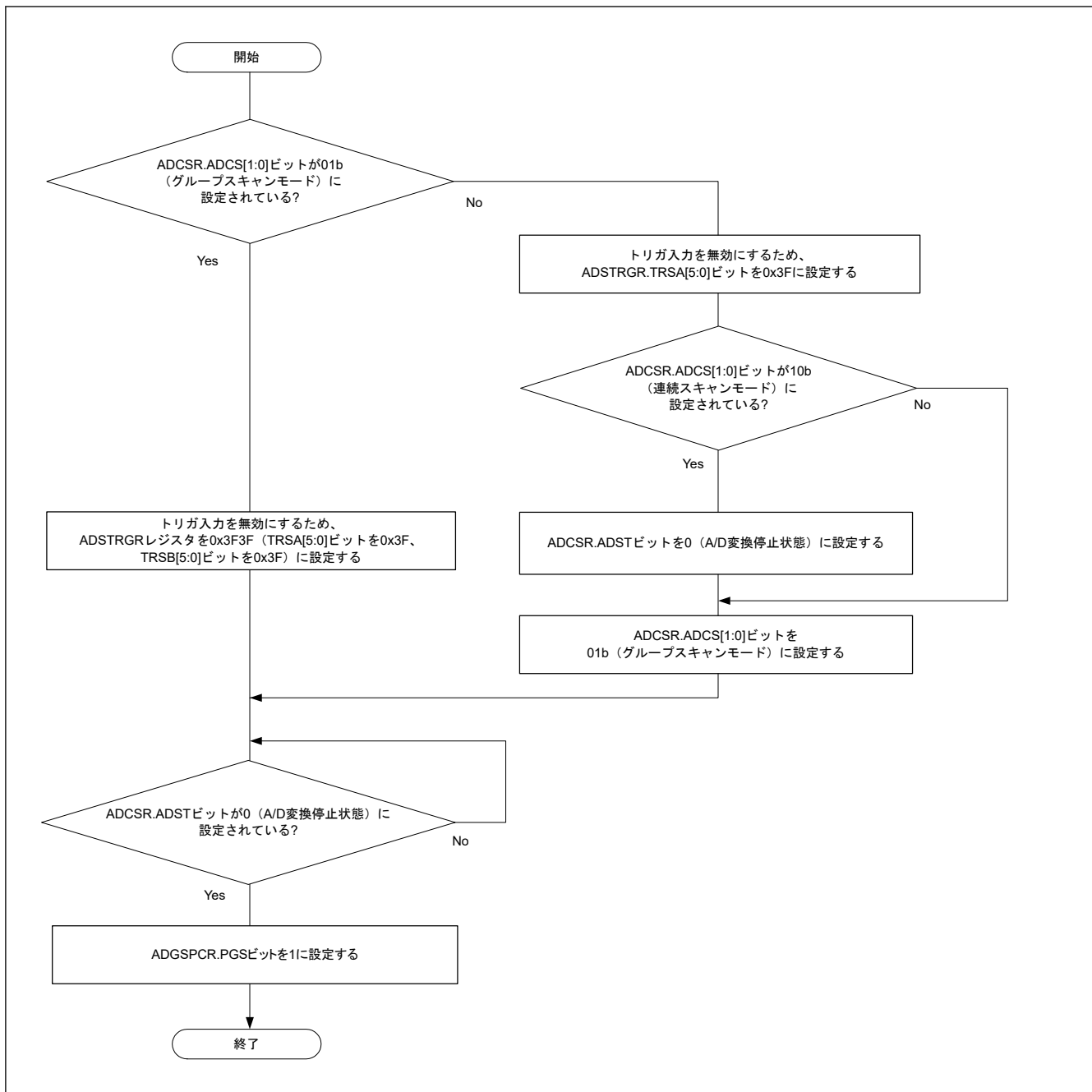


図 28.16 ADGSPCR.PGS ビット設定時のフローチャート

表 28.22 ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を行います
グループ B の A/D 変換中	グループ A トリガ入力	グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始	<ul style="list-style-type: none"> <li>グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始</li> <li>グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。</li> </ul>
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

(1) 2 グループのグループ優先動作 (ADGSPCR.PGS = 1 設定)

動作例 1-1~1-3 にグループスキャンモードのグループ優先動作を示します。(ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

動作例 1-1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中にグループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換が停止します。その後、ADANSA0、ADANSA1 レジスタで選択したグループ A のアナログ入力チャンネルを最小のチャンネル番号 n から A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. ADC120\_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRSCN ビットが 1 (グループ優先動作で中断されたグループの再スキャンをする) に設定されていると、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n から再度グループ B の A/D 変換動作を開始します。
7. チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了後に割り込み発生 of 許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
9. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。

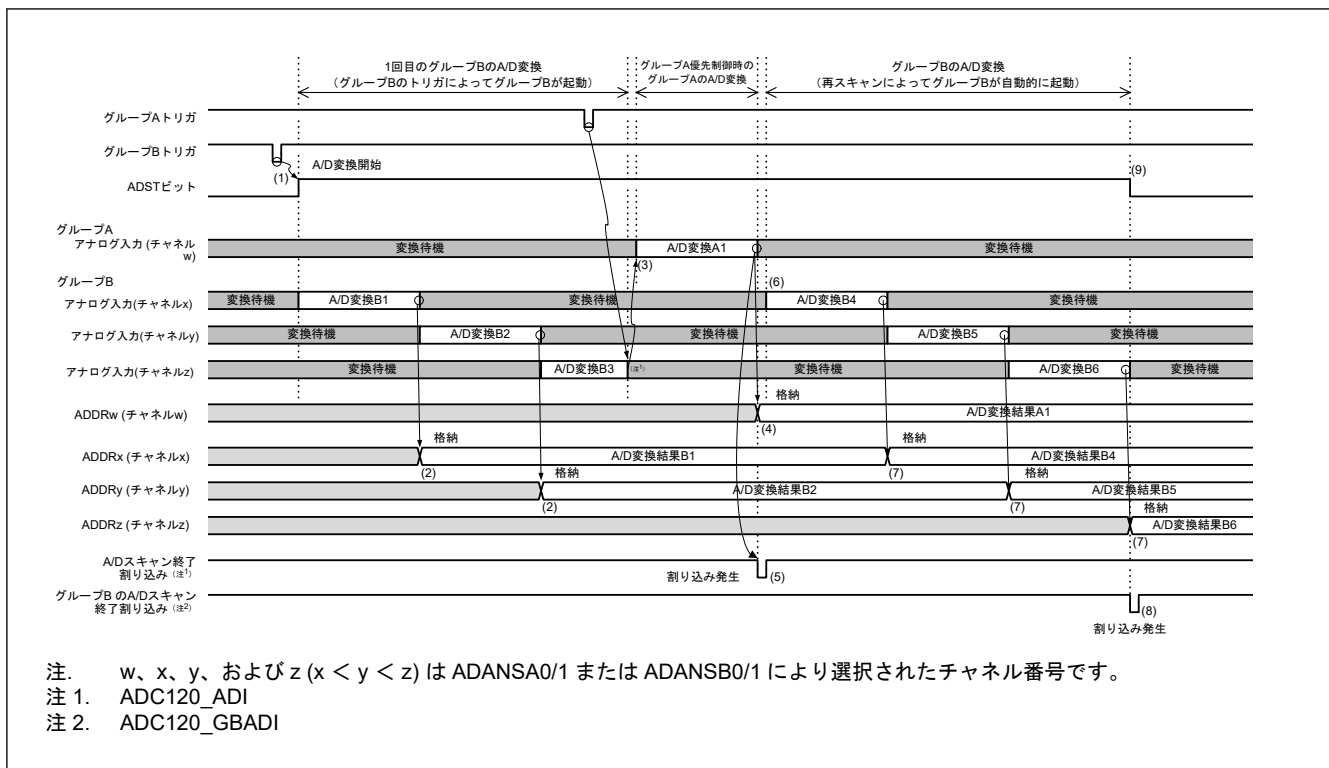


図 28.17 グループ優先動作の例 1-1: グループ B スキャン中のグループ A トリガ入力、再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

動作例 1-2 「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

図 28.18 にグループ B 再スキャン動作中に、グループ A のトリガが入力された場合を示します。

再スキャン動作中であっても、グループ A のトリガが入力されると、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を開始します。グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。ADCSR.ADST ビット、A/D 変換結果は A/D データレジスタ y (ADDRy) への格納、割り込み要求の発生は、動作例 1-1 と同じ動作です。

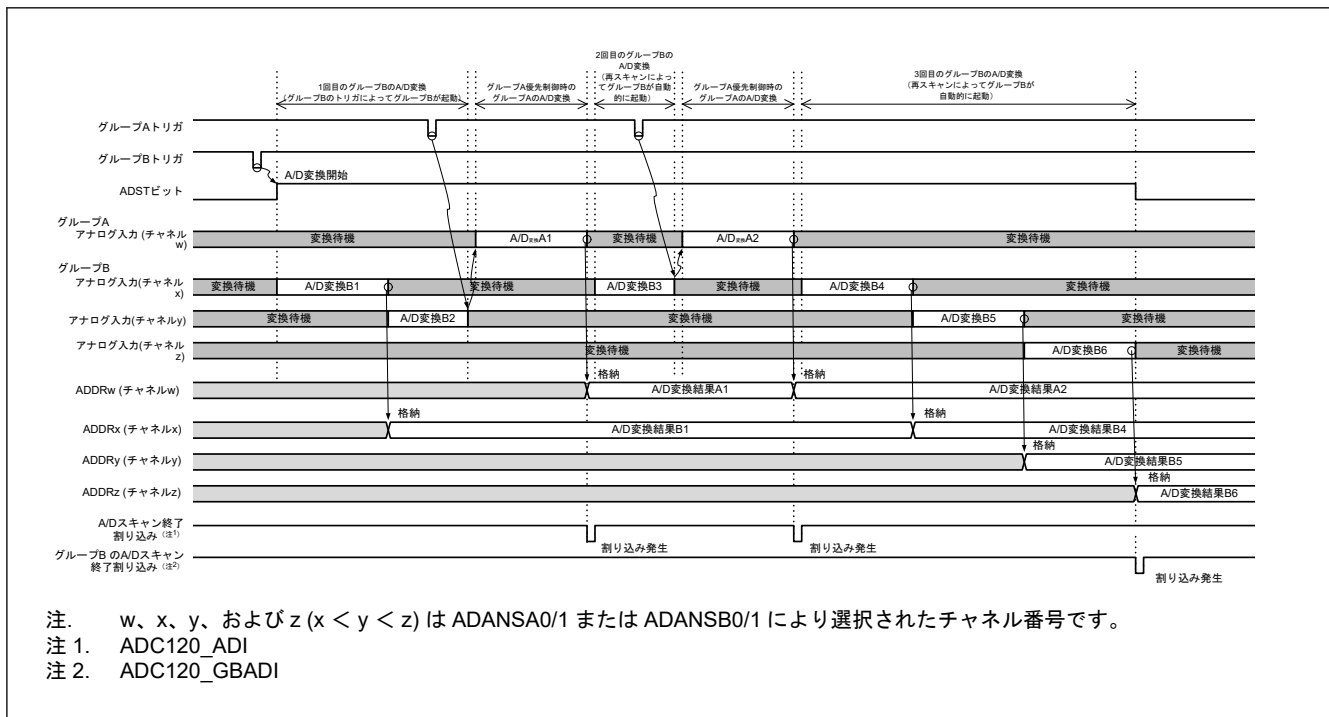


図 28.18 グループ優先動作の例 1-2 : グループ B 再スキャン中のグループ A トリガ入力、再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

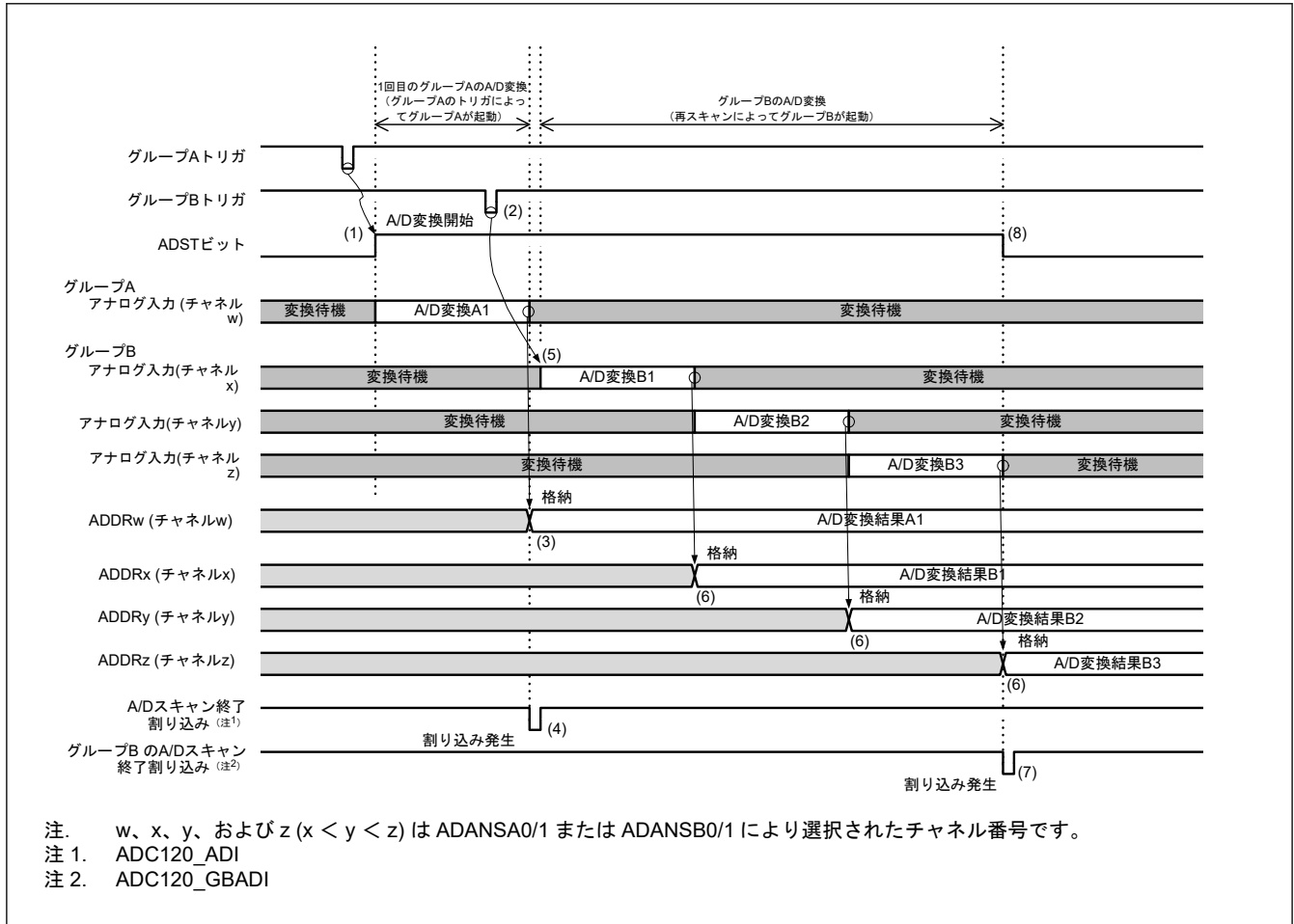
動作例 1-3 「グループ A スキャン中のグループ B トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが 1 (グループ優先動作で中断されたグループの再スキャンをする) の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが 0 に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガは全て無効となります。

1. グループ A のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したグループ A のアナログ入力チャンネルを最小のチャンネル番号 n から A/D 変換動作を開始します。
2. グループ A の A/D 変換中に、グループ B のトリガ入力が入力されると、グループ B は A/D 変換実行可能状態になります。
3. グループ A の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
4. ADC120\_ADI 割り込み要求が発生します。
5. グループ A の A/D 変換終了後、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0、ADANSB1 レジスタで選択したグループ B のアナログ入力チャンネルを最小のチャンネル番号 n からグループ B の A/D 変換動作を開始します。  
(グループ B の A/D 変換中にグループ A のトリガが入力されると、動作例 1-1 と同じくグループ A の A/D 変換動作を開始し、グループ A の A/D 変換終了後、グループ B の A/D 変換動作を開始します。)
6. 1 チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
7. グループ B の A/D 変換終了後、ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了後の割り込み発生の許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

8. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。



注. w, x, y, および z ( $x < y < z$ ) は ADANSA0/1 または ADANSB0/1 により選択されたチャンネル番号です。  
 注 1. ADC120\_ADI  
 注 2. ADC120\_GBADI

図 28.19 グループ優先動作の例 1-3 : グループ A スキャン中のグループ B トリガ入力、再スキャンあり (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合)

動作例 1-4 にグループスキャンモードのグループ優先動作を示します。(ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合)

**動作例 1-4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし**

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1 (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換動作を中断し、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n からグループ A の A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. 1 チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換終了後、ADC120\_ADI 割り込み要求が発生します。
6. ADCSR.ADST ビットは、グループ A の A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。グループ B は、以降のグループ B トリガ入力まで A/D 変換を行いません。

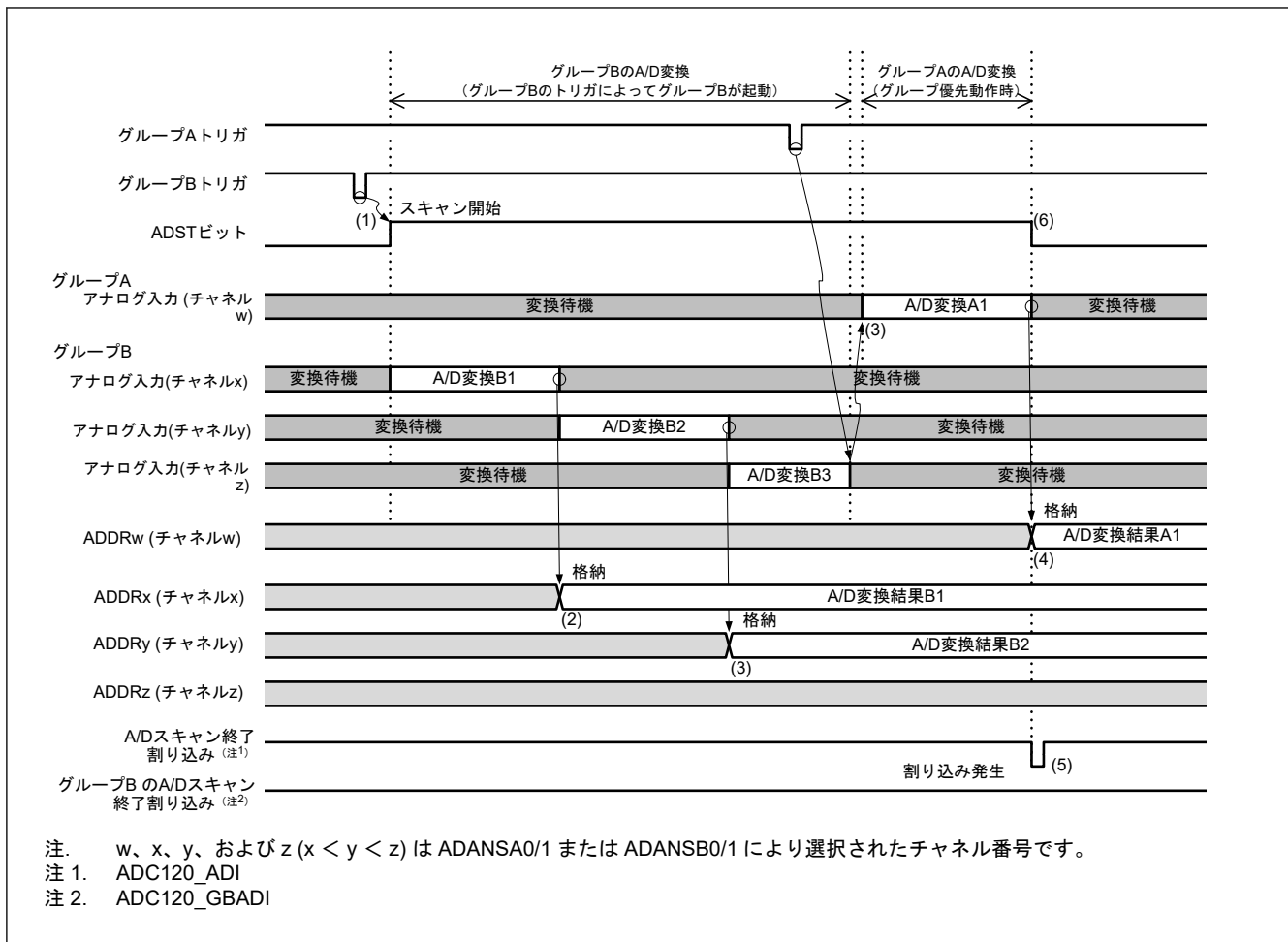


図 28.20 グループ優先動作の例 1-4 : グループ B スキャン中のグループ A トリガ入力、再スキャンなし (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0 の場合)

動作例 1-5 にグループスキャンモードのグループ優先動作を示します。(ADGSPCR.GBRP = 1 の場合)

動作例 1-5 「グループ B のシングルスキャン連続動作」

1. ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが 1 (A/D 変換開始) になり、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したままグループ B の A/D 変換動作を中断し、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n からグループ A の A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. 1 チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換終了後、ADC120\_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRP = 1 (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを 1 (A/D 変換開始) に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n から再度グループ B の A/D 変換動作を開始します。
7. 1 チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1 (グループ B のスキャン終了後に割り込み発生許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。

9. ADGSPCR.GBRP = 1 (シングルスキャン連続動作する) に設定されていると、ADCSR.ADST ビットを 1 (A/D 変換開始) に保持したまま、ADANSB0、ADANSB1 レジスタで選択したアナログ入力チャンネルを最小のチャンネル番号 n から再度グループ B の A/D 変換動作を開始します。

ADGSPCR.GBRP ビットが 1 になっている間は、6~9 の動作を繰り返します。ADGSPCR.GBRP ビットが 1 になっている間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了するには、図 28.32 の手順に従ってください。

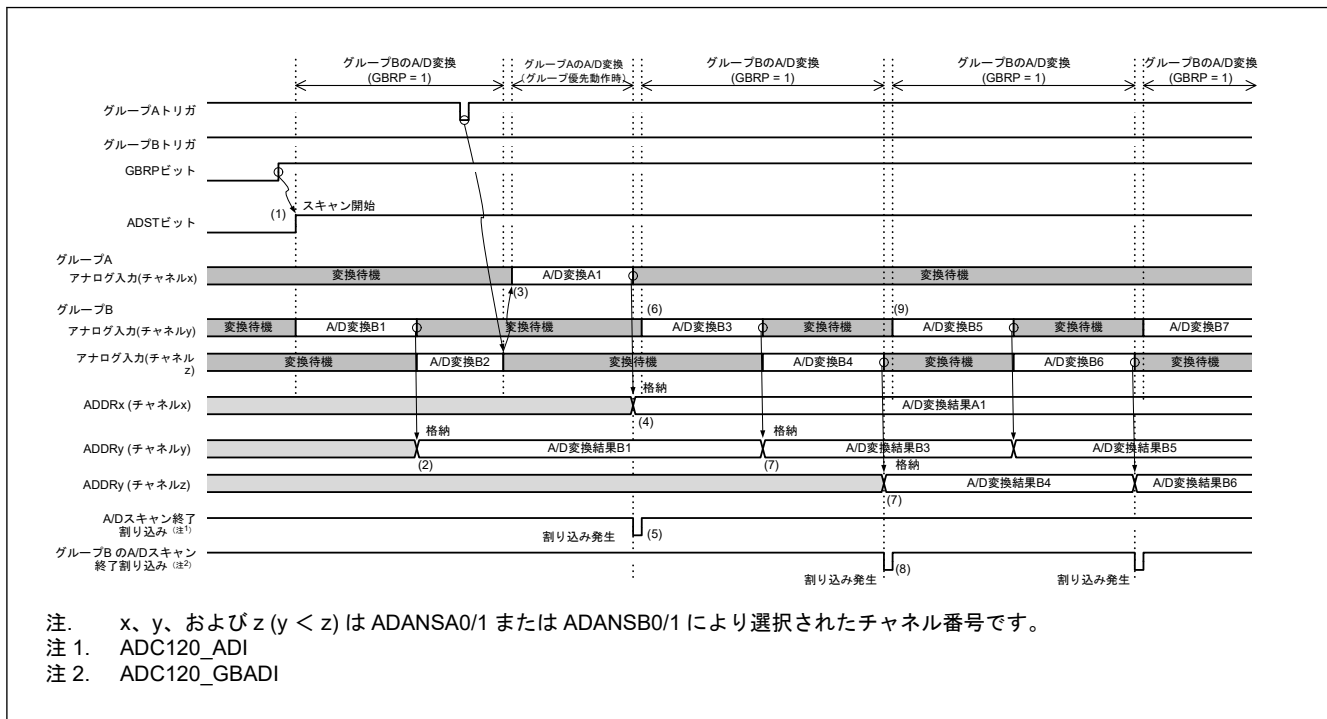


図 28.21 グループ優先動作の例 1-5: グループ B のシングルスキャン連続動作 (ADGSPCR.GBRP = 1 の場合)

注. グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

### 28.3.5 コンペア機能 (ウィンドウ A、ウィンドウ B)

#### 28.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャンネルしか選択できないという制限が挙げられます。

本項では、連続スキャンモードとコンペア機能を組み合わせた動作例を示します。

動作は以下のとおりです。

- ソフトウェア、同期トリガ (ELC) または非同期トリガ入力によって ADCSR.ADST ビットを 1 (A/D 変換開始) にした場合、選択されたチャンネルの A/D 変換を開始します。温度センサ出力と内部基準電圧を同時に選択することはできません。さらに、内部基準電圧が高電位基準電圧に選択されている場合、温度センサ出力または内部基準電圧の A/D 変換は禁止です。
- A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy、ADTSDR、または ADOCDR) に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSRy または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を、設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
- 比較の結果、ウィンドウ A は、ADCMPPLR0、ADCMPPLR1、ADCMPPLER レジスタで設定した条件と一致したとき、コンペア機能ウィンドウ A のフラグ (ADCMPSR0.CMPSTCHAn、ADCMPSR1.CMPSTCHAn、ADCMPSEr.CMPSTTSA、または ADCMPSEr.CMPSTOCA) が 1 になります。このとき、ADCMPCR.CMPAIE



ビットが 1 に設定されていると、ADC120\_CMPAI 割り込み要求が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペアウィンドウ B フラグ (ADCMPBSR.CMPSTB) が 1 になります。このとき、ADCMPBSR.CMPBIE ビットが 1 に設定されていると、ADC120\_CMPBI 割り込み要求が発生します。

4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC120\_CMPAI、ADC120\_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットを 0 (A/D 変換停止) に設定し、コンペアフラグが 1 であるチャンネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC120\_CMPAI 割り込み要求が解除されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC120\_CMPBI 割り込み要求が解除されます。再度比較を実行するには、再度 A/D 変換を開始してください。

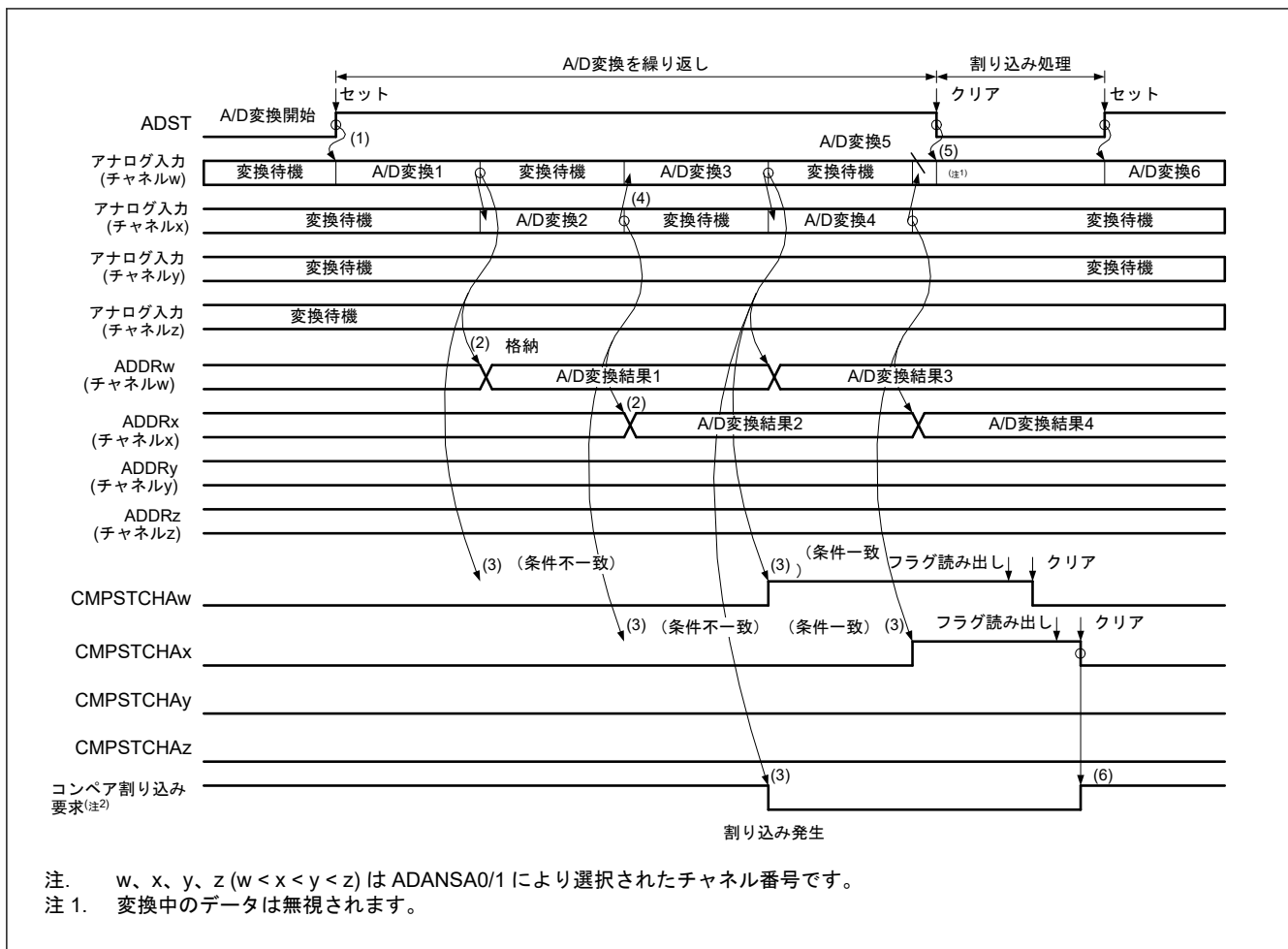


図 28.22 コンペア機能の動作例 (アナログ入力 (チャンネル w~z) を比較)

### 28.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値および下側基準電圧値をウィンドウ A およびウィンドウ B それぞれに設定します。選択したチャンネルの A/D 変換値を上側/下側基準電圧値と比較して、ウィンドウ A およびウィンドウ B の比較条件成立/不成立からイベント条件 (A or B, A and B, A exor B) に応じてイベント (ADC120\_WCMPPM/ADC120\_WCMPUM) を出力します。

ウィンドウ A で複数のチャンネルを選択し、チャンネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、アナログ入力、内部基準電圧、温度センサ出力の中から任意のチャンネルを選択できます。ただし、内部基準電圧または温度センサ出力を選択する場合、同時に他のチャンネルを選択することはできません。さらに、内部基準電圧が A/D コンバータの高電位基準電圧に選択されると、内部基準電圧または温度センサ出力は A/D 変換できません。

ウィンドウ B の場合、アナログ入力、内部基準電圧、温度センサ出力の中から 1 つのチャンネルを選択できます。さらに、内部基準電圧が高電位基準電圧に選択されると、内部基準電圧または温度センサ出力は A/D 変換できません。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS ビットの値が 00b (シングルスキャンモード) であることを確認します。
2. ADCMPANSR0/1 レジスタおよび ADCMPANSER レジスタでウィンドウ A のチャンネルを選択します。ADCMPPLR0/1 レジスタおよび ADCMPPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャンネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

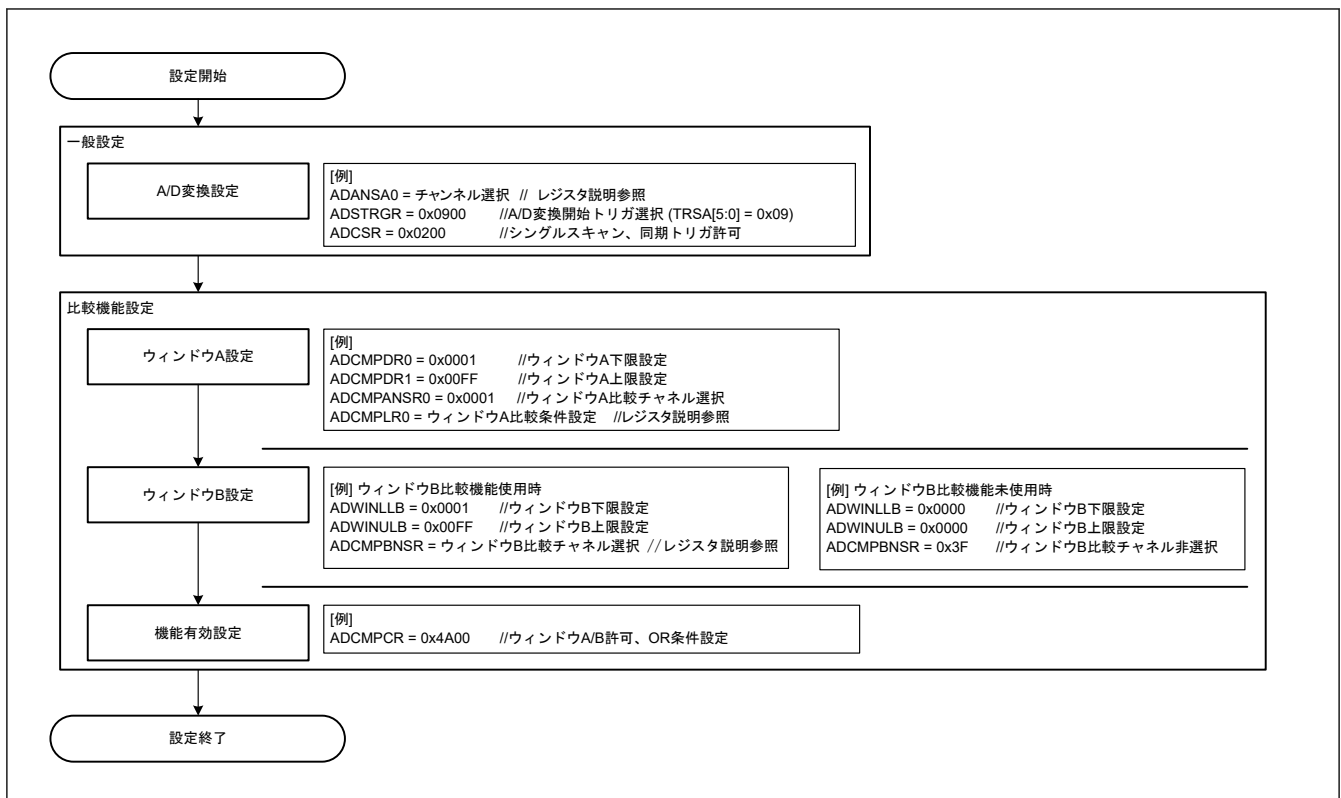


図 28.23 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効 (ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1) にしてください
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャンネルは「非選択」にしてください (ADCMPBNSR.CMPCHB[5:0] = 0x3F)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください (ADCMPCR.WCMPE = 1、ADWINLLB[15:0] = ADWINULB[15:0] = 0x0000、および ADCMPBNSR.CMPLB = 1)

図 28.24 にコンペア機能のイベント出力動作例を示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC120\_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0]の設定に従い、1PCLKB 遅れて一致または不一致イベント (ADC120\_WCMPM/ADC120\_WCMPUM) を出力します。

注. 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

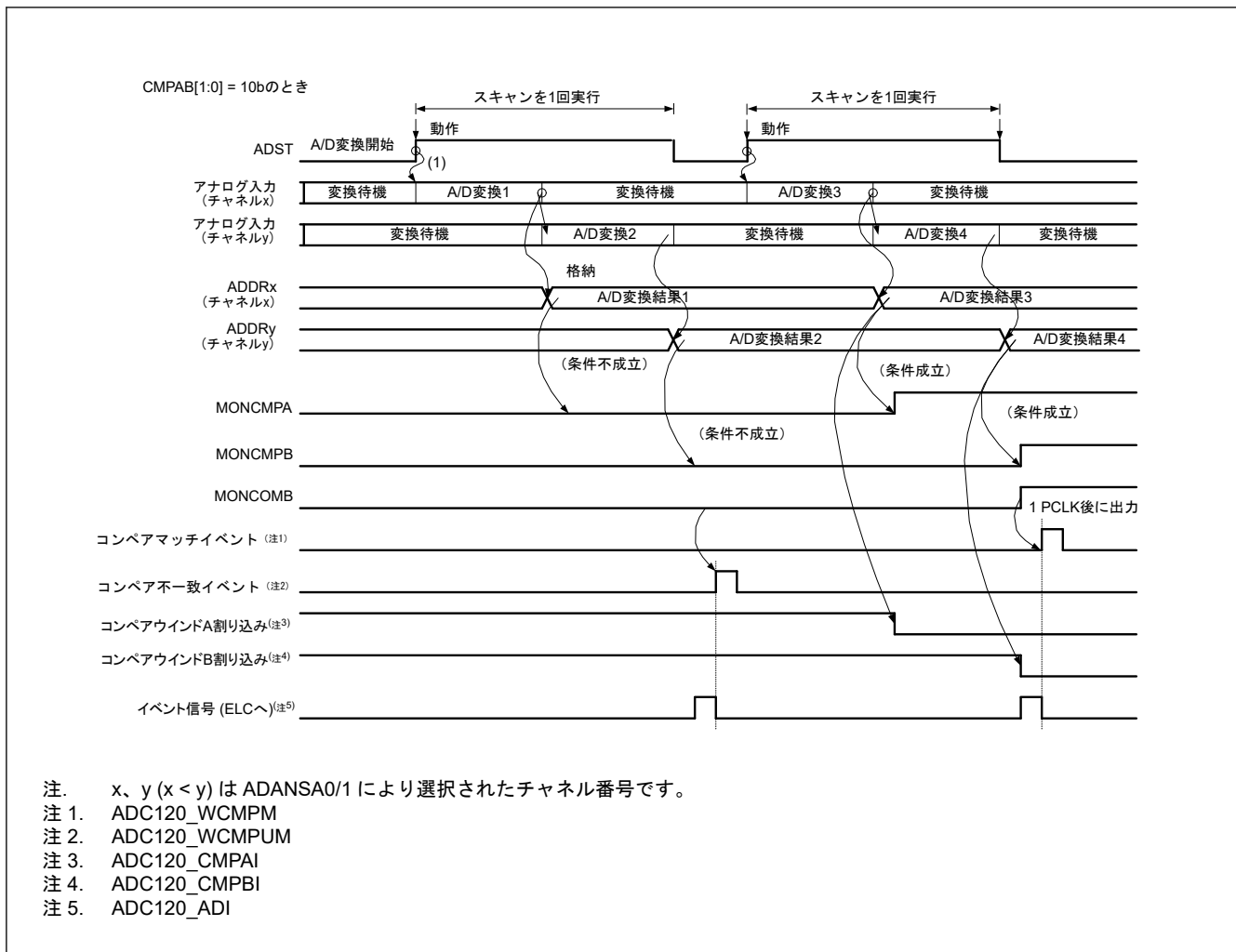


図 28.24 コンペア機能のイベント出力の動作例 (アナログ入力 (チャンネル x、y) を比較)

注. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0]の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致/不一致を出力します。

注. ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャンネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。

### 28.3.5.3 コンペア機能の制限事項

コンペア機能には以下の制限事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒に使用できません。(ADRD、ADDBLDR、ADDBLDRB はコンペア機能対象外です。)
- 一致/不一致イベント出力を使用する場合はシングルスキャンモードにしてください。
- ウィンドウ A に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ B 動作は禁止されます。
- ウィンドウ B に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ A 動作は禁止されます。
- ウィンドウ A とウィンドウ B に同じチャンネルを設定することはできません
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定してください。

### 28.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC) による起動および非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 (t<sub>D</sub>) の後に、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 28.25 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 28.26 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 ( $t_{SCAN}$ ) はスキャン変換開始遅延時間 ( $t_D$ )、断線検出アシスト処理時間 ( $t_{DIS}$ )<sup>(注1)</sup>、自己診断変換時間 ( $t_{DIAG}$  および  $t_{DSD}$ )<sup>(注2)</sup>、A/D 変換処理時間 ( $t_{CONV}$ )、スキャン変換終了遅延時間 ( $t_{ED}$ ) を含めた時間となります。

A/D 変換処理時間 ( $t_{CONV}$ ) は、入力サンプリング時間 ( $t_{SPL}$ )、逐次変換時間 ( $t_{SAM}$ ) を合わせた時間となります。サンプリング時間 ( $t_{SPL}$ ) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整できます。

逐次変換時間 ( $t_{SAM}$ ) は以下の通りです。

- 12 ビット変換精度において、高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ通常変換モード (ADACSR.ADSAC = 0) を選択している場合、31.5 ステート (ADCLK)
- 12 ビット変換精度において、低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ通常変換モード (ADACSR.ADSAC = 0) を選択している場合、40.5 ステート (ADCLK)
- 12 ビット変換精度において、高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ高速変換モード (ADACSR.ADSAC = 1) を選択している場合、21.5 ステート (ADCLK)
- 12 ビット変換精度において、低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ高速変換モード (ADACSR.ADSAC = 1) を選択している場合、27.5 ステート (ADCLK)

表 28.23 に逐次変換時間 ( $t_{SAM}$ ) を示します。

選択チャンネル数が  $n$  のシングルスキャンのスキャン変換時間 ( $t_{SCAN}$ ) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + t_{ED} + (t_{CONV} \times n) \quad (\text{注3})$$

連続スキャンの 1 サイクル目のスキャン変換時間は、シングルスキャンの  $t_{SCAN}$  から  $t_{ED}$  を省いた時間です。連続スキャンの 2 サイクル目以降のスキャン変換時間は、以下のようになっています。

$$(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n) \quad (\text{注3})$$

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$  となります。

温度センサまたは内部基準電圧を A/D 変換する場合のみ、15 ステート (ADCLK) の自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$  となります。

注 3. 選択したすべてのチャンネルの入力サンプリング時間 ( $t_{SPL}$ ) が同じである場合、この要素は  $t_{CONV} \times n$  となります。チャンネルごとに異なるサンプリング時間の場合、この要素は選択したチャンネルごとに設定した  $t_{SPL}$  と  $t_{SAM}$  の和となります。

表 28.23 にスキャン変換時間を示します。

表 28.23 スキャン変換時間 (ADCLK と PCLKB のサイクル数)

項目	シンボル		種別/条件			単位	
			同期トリガ(注5)	非同期トリガ	ソフトウェアトリガ		
スキャン開始 遅延時間(注1) (注2)	グループ A 優先動作によるグループ A の A/D 変換	グループ B 中断あり (グループ A の A/D 変換要因によってグループ B を停止させた後、グループ A を起動)	$3 \text{ PCLKB} + 6 \text{ ADCLK}$ $5 \text{ PCLKB} + 3 \text{ ADCLK}$ (注6)	—	—	サイクル	
		グループ B 中断なし (グループ A の A/D 変換要因によって起動)	$2 \text{ PCLKB} + 4 \text{ ADCLK}$	—	—		
	自己診断有効時の A/D 変換	自己診断変換開始時	$2 \text{ PCLKB} + 4 \text{ ADCLK}$	$4 \text{ PCLKB} + 6 \text{ ADCLK}$	$6 \text{ ADCLK}$		
	上記以外		$2 \text{ PCLKB} + 4 \text{ ADCLK}$	$2 \text{ PCLKB} + 4 \text{ ADCLK}$	$4 \text{ ADCLK}$		
断線検出アシスト処理時間		$t_{\text{DIS}}$	$\text{ADNDIS}[3:0]\text{設定値 (初期値} = 0x00) \times \text{ADCLK}$ (注3)				
自己診断変換 処理時間(注1)	サンプリング時間(注4)		$t_{\text{DIAG}}$	$t_{\text{SPL}}$	$\text{ADSSTRn (n} = 5, 6, 9, 10, \text{L, T, O) 設定値 (初期値} = 0x0D) \times \text{ADCLK} + 0.5 \text{ ADCLK}$		
	逐次変換時間	12 ビット変換精度				$t_{\text{SAM}}$	高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ通常変換モード (ADACSR.ADSAC = 0) 時、31.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ通常変換モード (ADACSR.ADSAC = 0) 時、40.5 ADCLK 高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ高速変換モード (ADACSR.ADSAC = 1) 時、21.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ高速変換モード (ADACSR.ADSAC = 1) 時、27.5 ADCLK
	自己診断変換終了からアナログチャンネルサンプリング開始までの待機時間		$t_{\text{DED}}$	2 ADCLK			
	連続スキャンモードでの最後のチャンネル変換終了から自己診断サンプリング開始までの待機時間		$t_{\text{DSD}}$	2 ADCLK			
A/D 変換処理 時間(注1)	サンプリング時間(注4)		$t_{\text{CONV}}$	$t_{\text{SPL}}$	$\text{ADSSTRn (n} = 5, 6, 9, 10, \text{L, T, O) 設定値 (初期値} = 0x0D) \times \text{ADCLK} + 0.5 \text{ ADCLK}$		
	逐次変換時間	12 ビット変換精度				$t_{\text{SAM}}$	高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ通常変換モード (ADACSR.ADSAC = 0) 時、31.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ通常変換モード (ADACSR.ADSAC = 0) 時、40.5 ADCLK 高速 A/D 変換モード (ADCSR.ADHSC = 0) かつ高速変換モード (ADACSR.ADSAC = 1) 時、21.5 ADCLK 低消費電力 A/D 変換モード (ADCSR.ADHSC = 1) かつ高速変換モード (ADACSR.ADSAC = 1) 時、27.5 ADCLK
スキャン終了処理時間(注1)		$t_{\text{ED}}$	$1 \text{ PCLKB} + 3 \text{ ADCLK}$ $2 \text{ PCLKB} + 3 \text{ ADCLK}$ (注6)				

- 注 1.  $t_{\text{D}}$ 、 $t_{\text{DIAG}}$ 、 $t_{\text{CONV}}$ 、および  $t_{\text{ED}}$  の各タイミングについては、[図 28.25](#) および [図 28.26](#) を参照してください。
- 注 2. ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最長時間です。
- 注 3. 温度センサ出力または内部基準電圧を A/D 変換する場合、値は 0x0F (15 ADCLK) 固定です。
- 注 4. サンプリング時間の設定は電気的特性を満たす必要があります。詳細は、「[36.4. ADC12 特性](#)」を参照してください。
- 注 5. タイマ出力からトリガ入力までの経路で使われる時間は含みません。
- 注 6. ADCLK が PCLKB より速い場合 (PCLKB : ADCLK の分周比 = 1:2 または 1:4) より速い場合。

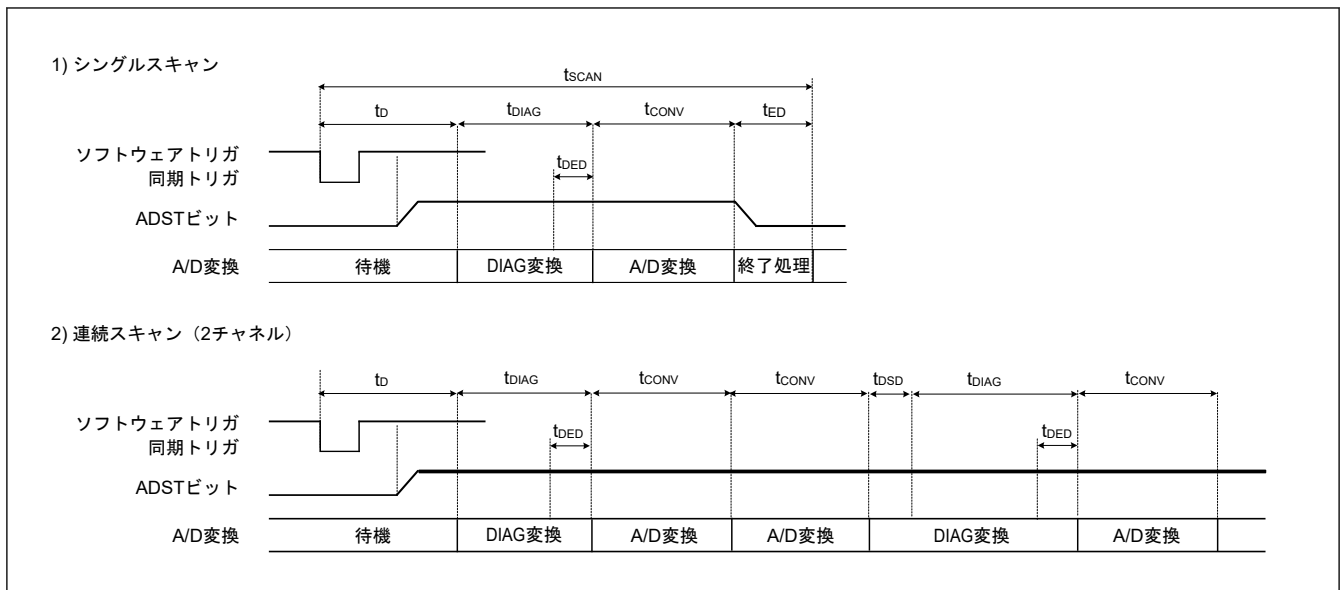


図 28.25 スキャン変換のタイミング (ソフトウェア起動または同期トリガ入力 (ELC) 起動の場合)

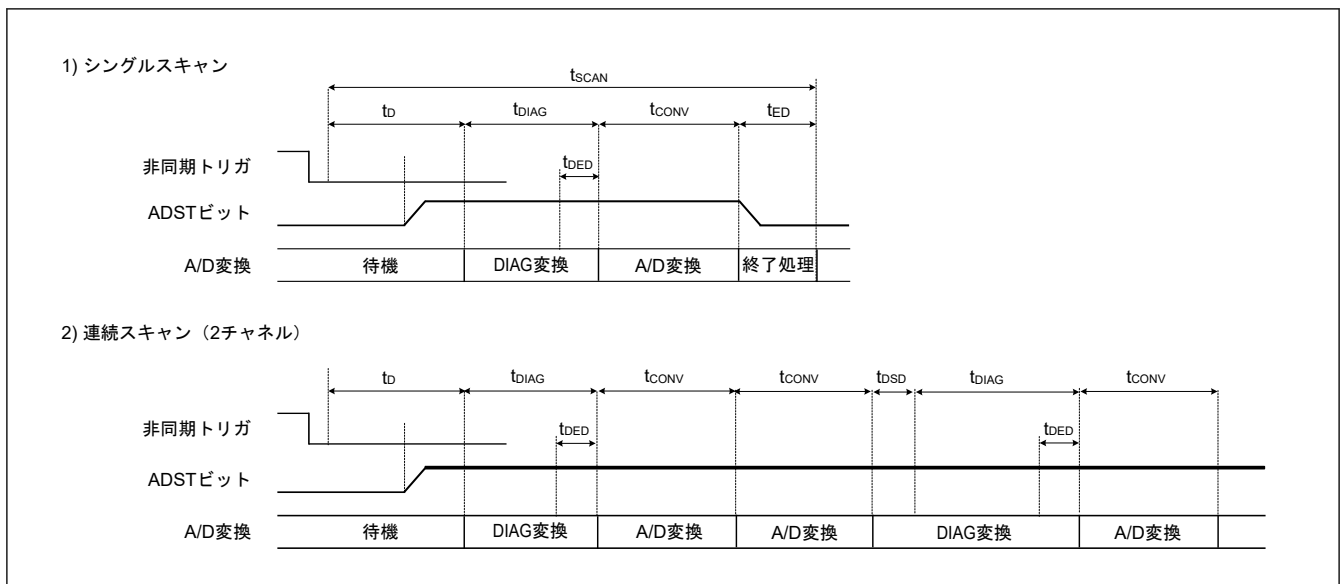


図 28.26 スキャン変換のタイミング (非同期トリガ入力 (ADTRG0) 起動の場合)

### 28.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを 1 にすることにより、CPU、DTC によって A/D データレジスタを読み出す際、自動的に A/D データレジスタ (ADDR<sub>y</sub>, ADDR, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR) を 0x0000 にクリアできます。

この機能を使うことにより、A/D データレジスタ (ADDR<sub>y</sub>, ADDR, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR) の未更新故障を検出することができます。本節では、ADDR<sub>y</sub> レジスタの自動クリア機能が有効/無効の場合の例を説明します。

- ADCER.ACE ビットが 0 (自動クリア禁止) の場合に、A/D 変換結果 (0x0222) が何らかの原因で ADDR<sub>y</sub> レジスタに書き込みされなかったとき、ADDR<sub>y</sub> レジスタの値は古いデータ (0x0111) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDR<sub>y</sub> レジスタの値を汎用レジスタに読み出した場合、古いデータ (0x0111) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1 (自動クリア許可) の場合には、ADDR<sub>y</sub> = 0x0111 を CPU、DTC により読み出す際、ADDR<sub>y</sub> レジスタは自動的に 0x0000 にクリアされます。その後、A/D 変換結果 (0x0222) が ADDR<sub>y</sub> レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0x0000) が ADDR<sub>y</sub> レジスタ値として残りま

す。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0x0000 が汎用レジスタに保持されます。読み出されたデータ値が 0x0000 であることをチェックして、ADDRy レジスタの未更新故障があったことを判断できます。

### 28.3.8 A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

A/D 変換値加算モードでは、同じチャンネルを 1、2、3、4、または 16 回連続で A/D 変換し、その変換値の合計をデータレジスタに格納します。A/D 変換値平均モードでは、同じチャンネルを 2 または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに格納します。これらの結果の平均値を使用することで、発生しているノイズ成分のタイプによっては A/D 変換精度を向上させることができます。ただし、この機能は A/D 変換精度が向上することを常に保証できません。

A/D 変換値加算／平均機能は、チャンネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。A/D 変換値加算／平均機能は、ダブルトリガ機能選択チャンネルにも使用できません。

加算機能は自己診断にはありません。

### 28.3.9 断線検出アシスト機能

ADC12 は A/D 変換開始前に、サンプリング容量の電荷を所定の状態 VREFH0 または VREFL0 に固定する断線検出アシスト機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 28.27 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 28.28 にプリチャージを選択した場合の断線検出例を示します。図 28.29 にディスチャージを選択した場合の断線検出例を示します。

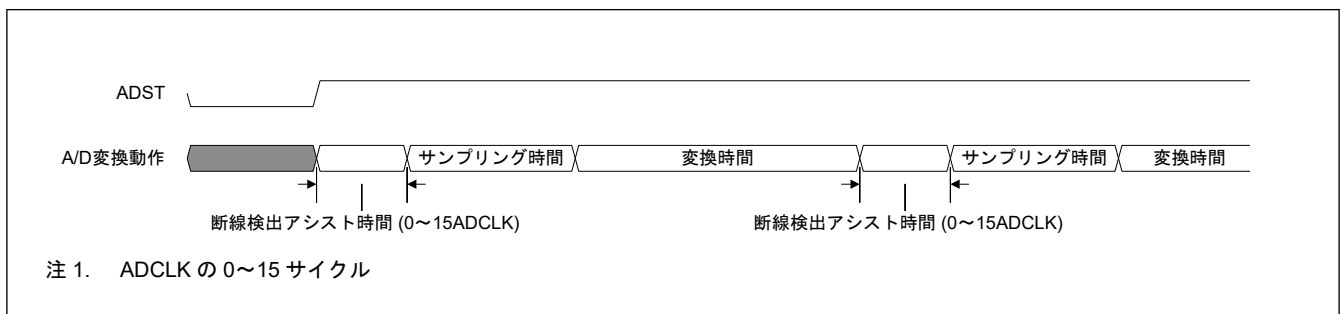


図 28.27 断線検出アシスト機能を使用した場合の A/D 変換動作図

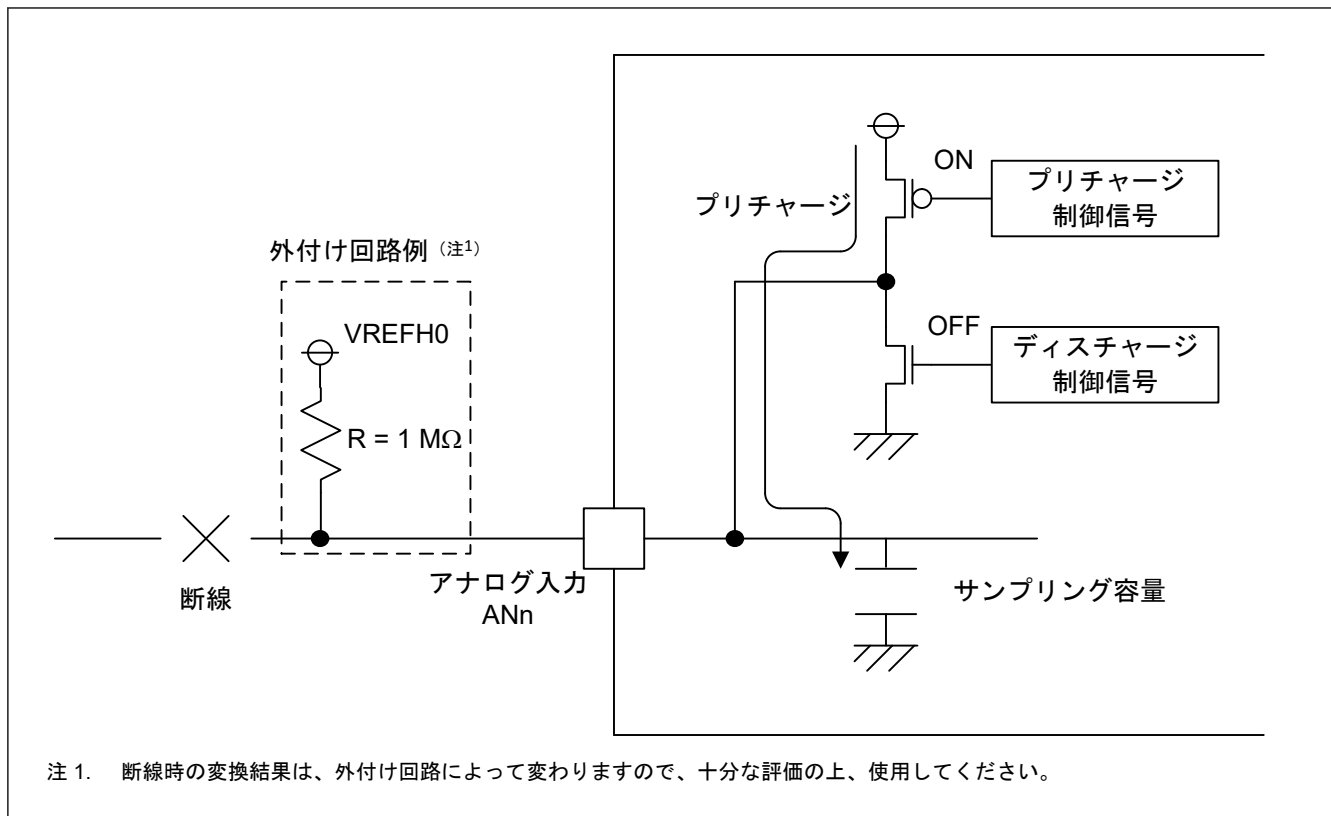


図 28.28 プリチャージを選択した場合の断線検出例

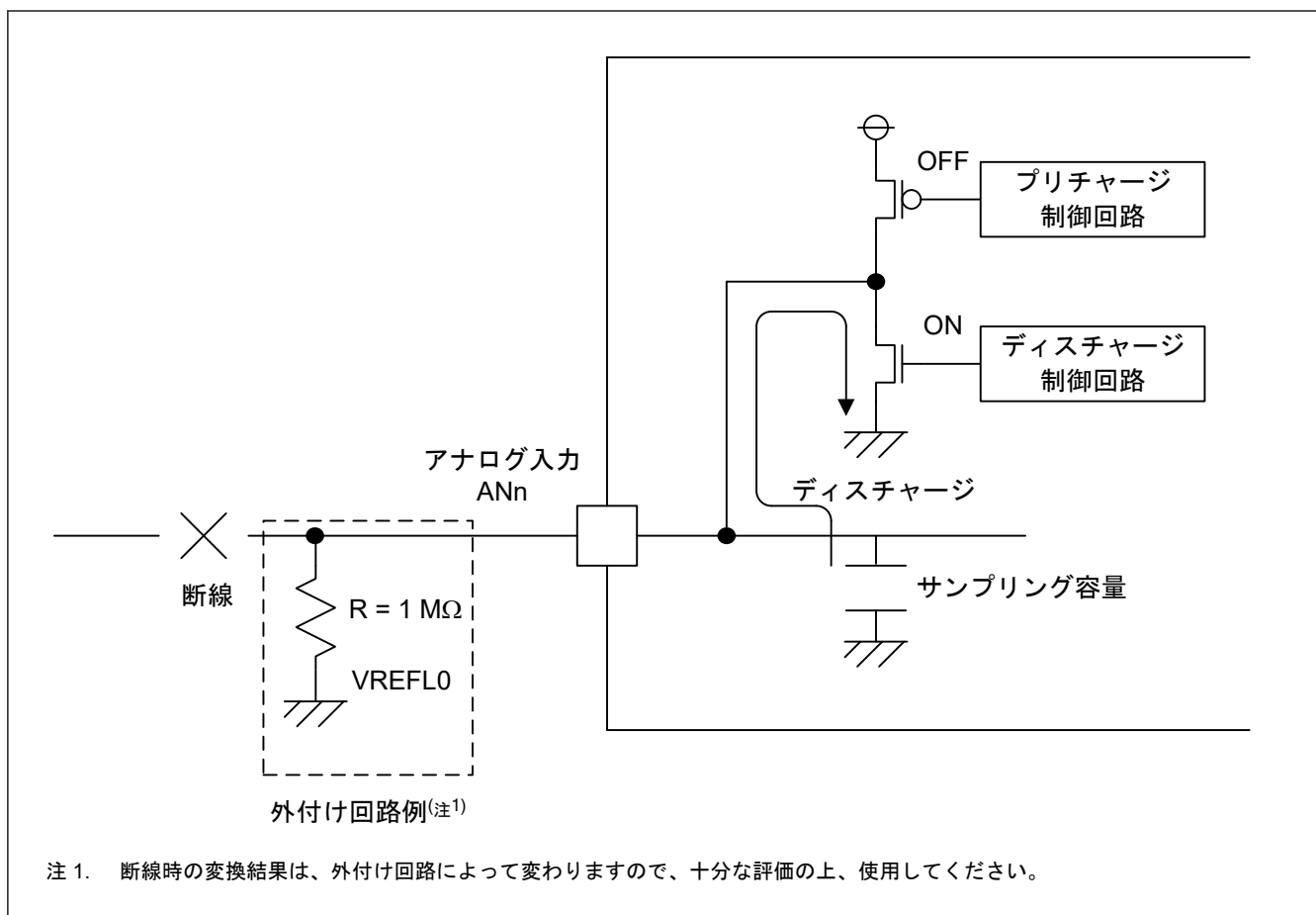


図 28.29 ディスチャージを選択した場合の断線検出例



### 28.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、PmnPFS レジスタで端子機能を設定し、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 0x00 に設定し、非同期トリガ (ADTRG0 端子) に High を入力した後、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。図 28.30 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガとして選択できません。端子機能の設定については、「17. I/O ポート」を参照してください。

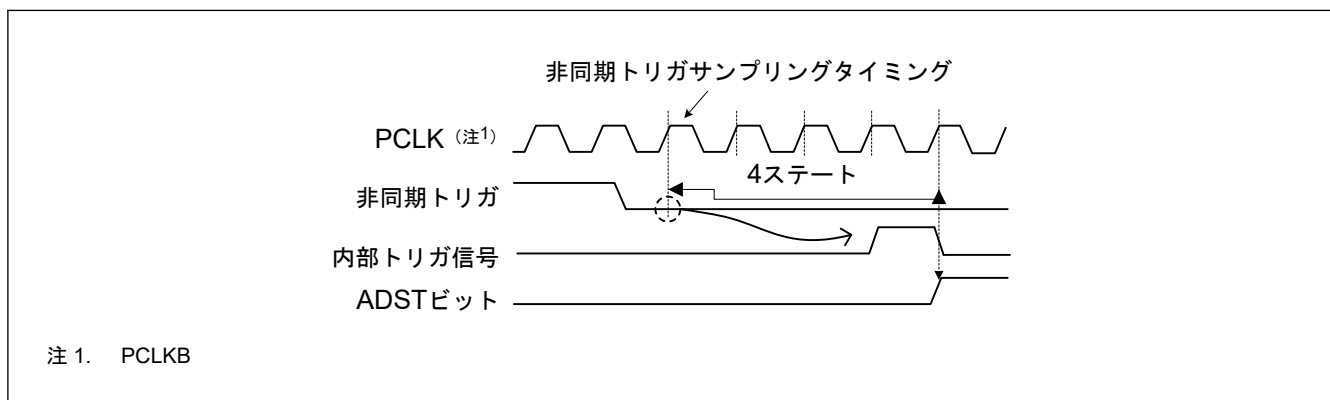


図 28.30 非同期トリガ入力タイミング

### 28.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガ (ELC) により、A/D 変換を開始できます。そのためには、ADCSR.TRGE ビットを 1 に、ADCSR.EXTRG ビットを 0 にして、ADSTRGR.TRSA[5:0] ビットおよび ADSTRGR.TRSB[5:0] ビットで該当の要因を選択してください。

## 28.4 割り込み要因および DTC 転送要求

### 28.4.1 割り込み要求

ADC12 は、CPU へのスキャン終了割り込み要求である ADC120\_ADI/ADC120\_GBADI 割り込みを発生することができます。また、ADC12 は CPU へのコンペア条件成立割り込み要求である ADC120\_CMPAI/ADC120\_CMPBI 割り込みを発生することができます。

ADC120\_ADI 割り込みは常時発生します。ADC120\_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC120\_CMPAI および ADC120\_CMPBI 割り込みは ADCMPCR.CMPAIE および ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC120\_ADI、ADC120\_GBADI 発生時に DTC を起動できます。ADC120\_ADI、ADC120\_GBADI 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 28.24 に割り込み要因と ADC12 に利用可能な ELC イベントを示します。

表 28.24 割り込み要因と ADC12 の ELC イベント

動作			割り込み要求または ELC イベント	割り込み要求	DTC の起動	ELC イベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
		選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
			ADC120_WCMPPM	—	✓	✓	ウィンドウ A/B コンペア機能の条件一致で ADC120_WCMPPM 発生
			ADC120_WCMPUM	—	✓	✓	ウィンドウ A/B コンペア機能の条件不一致で ADC120_WCMPUM 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	2 回のスキャンの最後に ADC120_ADI 発生
連続スキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	選択したすべてのチャンネルのスキャン終了時に ADC120_ADI 発生
		選択	ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
グループスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	グループ A のスキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生
		選択	ADC120_ADI	✓	✓	✓	グループ A のスキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	偶数回のグループ A スキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生

注.    ✓：使用可能  
      —：使用不可

DTC の設定の詳細は、「15. データトランスファコントローラ (DTC)」を参照してください。

## 28.5 イベントリンク機能

### 28.5.1 ELC へのイベント出力動作

ELC は、ADC12\_AD<sub>I</sub> 割り込み要求信号をイベント信号 ADC12\_AD<sub>I</sub> として使用し、事前設定モジュールに対してリンク動作が可能です。ADC12\_GBADI 割り込みと ADC12\_CMPAI/ADC12\_CMPBI 割り込みはイベント信号として使用できません。詳細は表 28.24 を参照してください。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。スキャン終了イベント (ADC12\_AD<sub>I</sub>) は、表 28.24 に示す割り込み出力 (ADC12\_AD<sub>I</sub>) と同じ出力タイミングで 1PCLKB 分の High パルスを出力します。ELC へのコンペア機能一致 (ADC12\_WCMPPM) / 不一致 (ADC12\_WCMPUM) イベントは、表 28.24 に示す割り込み出力 (ADC12\_AD<sub>I</sub>) から 1 サイクル (PCLKB) 遅れたタイミングで 1PCLKB 分の High パルスを出力します。

ELC へのコンペア機能一致イベント (ADC12\_WCMPPM) / 不一致イベント (ADC12\_WCMPUM) を使用する場合は、シングルスキャンモードに設定してください。

### 28.5.2 ELC からのイベントによる ADC12 の動作

ADC12 は、ELSR<sub>n</sub> レジスタで指定された ELC のプリセットイベントにより A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC\_AD00 信号を選択する
- ELC.ELSR9 レジスタで ELC\_AD01 信号を選択する

A/D 変換中に ELC イベントが発生すると、そのイベントは無効です。

## 28.6 基準電圧の選択

ADC12 は、高電位基準電圧を VREFH0、VCC、または内部基準電圧 (BGR) から、低電位基準電圧を VREFL0 または VSS からそれぞれ選択できます。A/D 変換開始前に各基準電圧を設定してください。設定の詳細は、「28.2.37. ADHVREFCNT : A/D 高電位 / 低電位基準電圧コントロールレジスタ」を参照してください。

## 28.7 高電位基準電圧に内部基準電圧を選択する A/D 変換手順

ここでは、高電位基準電圧に内部基準電圧を選択したときの A/D 変換手順について説明します。この場合、アナログ入力チャネルに対して A/D 変換が可能ですが、内部基準電圧や温度センサ出力の A/D 変換は禁止です。

1. ADHVREFCNT.HVSEL[1:0] を 11b に設定し、ADC12 の高電位基準電圧経路をディスチャージしてください。
2. ソフトウェア内で 1 μs のディスチャージ時間待機してください。
3. ADHVREFCNT.HVSEL[1:0] を 10b に設定し、内部基準電圧を高電位基準電圧に選択してください。(注1)
4. ソフトウェア内で内部基準電圧が安定するまで待機してから (5 μs)、A/D 変換を実行してください。

注 1. ADC12 には VREFH0 (ADHVREFCNT.HVSEL[1:0] = 01b) または VCC0 (ADHVREFCNT.HVSEL[1:0] = 00b) の選択からのディスチャージ (ADHVREFCNT.HVSEL[1:0] = 11b) のない内部基準電圧 (ADHVREFCNT.HVSEL[1:0] = 10b) の選択を無効にする保護機能があります。ディスチャージなしに内部基準電圧が選択されると、ディスチャージが強制設定されます。再度、1 μs 後に内部基準電圧を選択してください。

図 28.31 に内部基準電圧を高電位基準電圧に選択するための手順の波形図を示します。

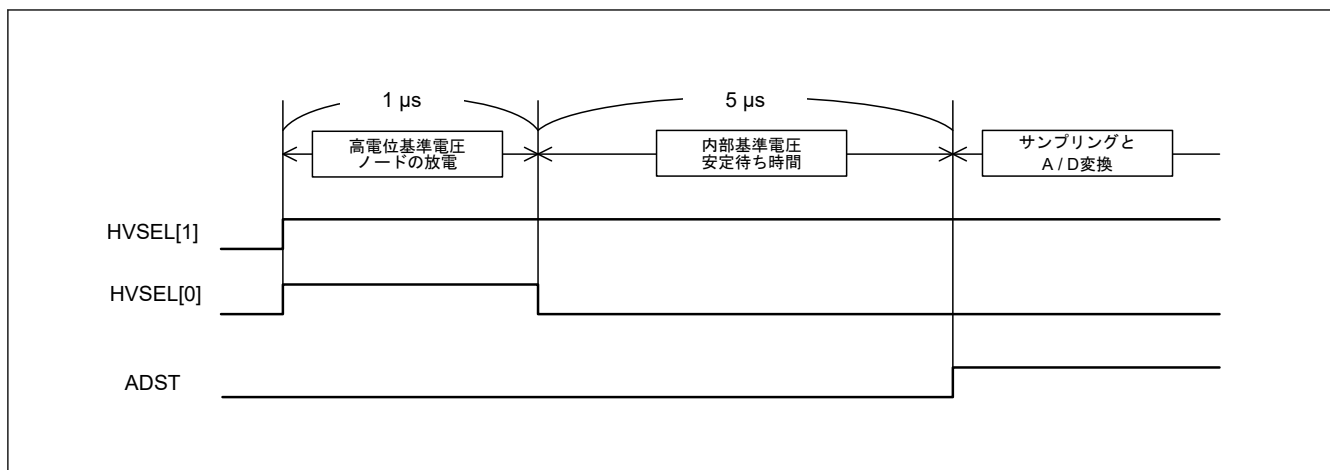


図 28.31 高電位基準電圧に内部基準電圧を選択する手順

## 28.8 使用上の注意

### 28.8.1 レジスタ設定時の制限

各レジスタの設定は、ADCSR.ADST ビットが 0 のときに設定してください。

### 28.8.2 データレジスタの読み出しに関する制約

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイト／下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

### 28.8.3 A/D 変換停止に関する制約

#### (1) A/D 変換停止手順

A/D 変換開始条件に非同期トリガまたは同期トリガを選択している場合、A/D 変換を停止させるためには、[図 28.32](#) のフローチャートの手順に従ってください。

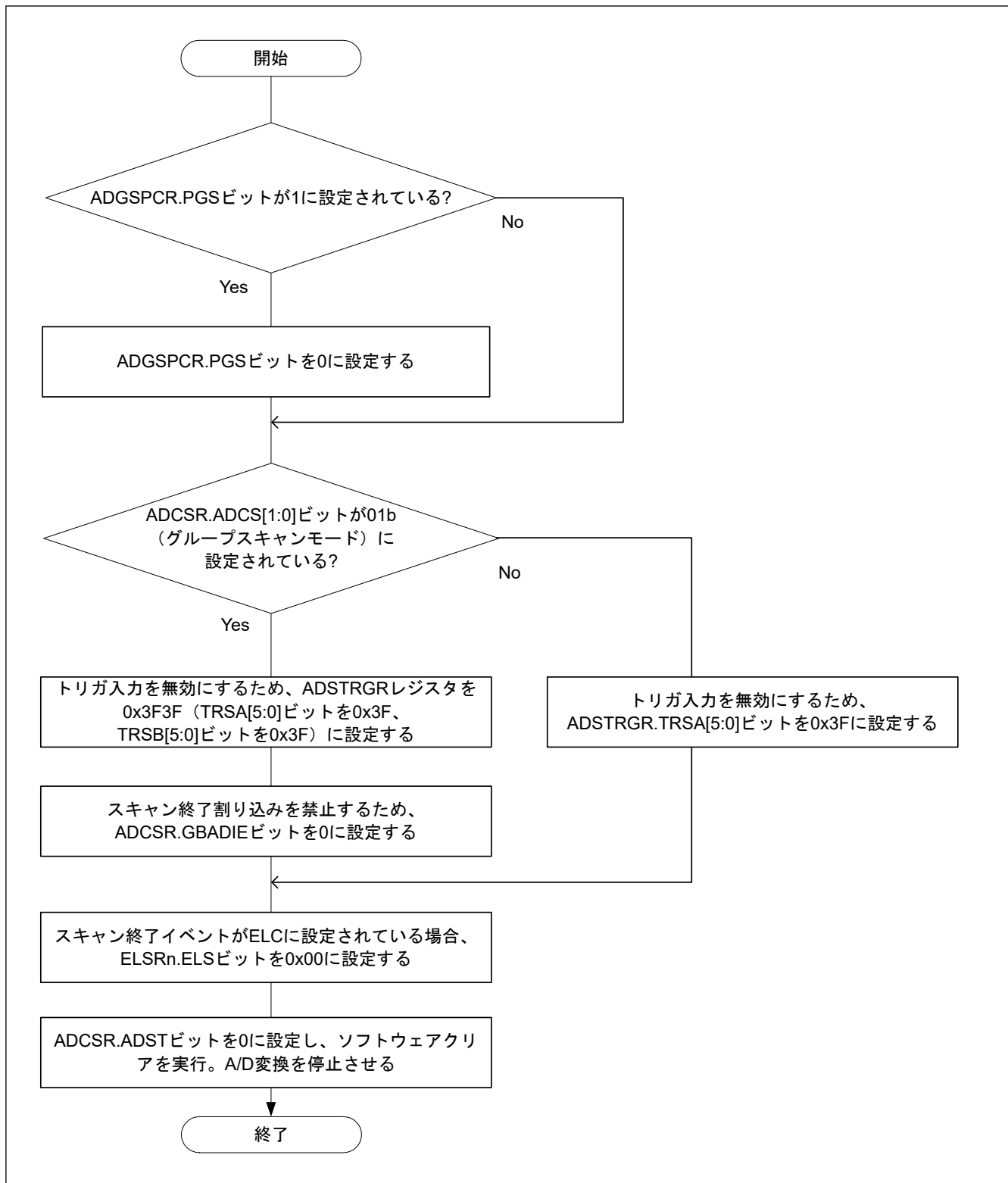


図 28.32 ソフトウェアによる ADCSR.ADST ビットのクリア手順

ソフトウェアクリア実行後に下記を設定する場合は、2ADCLK 以上のウェイトを入れてください。

- スキャン終了割り込み許可
- イベントリンクコントローラのスキャン終了イベント有効設定
- ソフトウェアでの A/D 変換開始
- トリガ入力有効設定

## (2) モード/ステータスビットの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数/偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLD ビットを 1 とし ADCER.DIAGVAL[1:0] ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを 0 から 1 に設定するとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタフラグ (MONCMPA、MONCMPB、MONCOMB) の初期化は、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを 0 に設定します。

### 28.8.4 A/D 変換強制停止と再開時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で、ADCSR.ADST ビットを 1 にして ADC12 のアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを 0 に設定して A/D 変換を強制停止させると、ADC12 のアナログ部が動作を停止するのに、ADCLK で最大 3 クロックの時間を必要とします。

### 28.8.5 スキャン終了割り込み処理の制約

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

### 28.8.6 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ADC12 の動作禁止/許可を設定できます。ADC12 は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 $\mu$ s 以上待つてから A/D 変換を開始してください。詳細は「10. 低消費電力モード」を参照してください。

### 28.8.7 低消費電力状態への遷移に関する注意事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを 0 に設定後、ADC12 のアナログ部が停止するまで一定の期間を確保する必要があります。ソフトウェアで ADCSR.ADST ビットをクリアするには、[図 28.32](#) に示す手順に従ってください。その後、ADCLK の 3 サイクル期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

### 28.8.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC12 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ/プルダウン抵抗 ( $R_p$ ) と信号源抵抗 ( $R_s$ ) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = \left(2^{\text{分解能}} - 1\right) \times R_s / (R_s + R_p)$$

断線検出アシスト機能は、十分な評価の上、使用してください。

### 28.8.9 ADHSC ビット書き換え手順

ADC12 をスタンバイ状態にしてから、A/D 変換選択ビット (ADCSR.ADHSC) を 0 から 1、または 1 から 0 に変更してください。ADCSR.ADHSC ビットは下記の手順で変更してください。スリープビット (ADHVREFCNT.ADSLPL) を 0 にしてから 1  $\mu$ s 以上待つてから A/D 変換を開始してください。

1. スリープビット (ADHVREFCNT.ADSLPL) を 1 にします。
2. 0.2  $\mu$ s 以上待つてから A/D 変換選択ビット (ADCSR.ADHSC) を変更してください。
3. 4.8  $\mu$ s 以上待つてからスリープビット (ADHVREFCNT.ADSLPL) を 0 にしてください。

- 注. A/D 変換選択ビット (ADCSR.ADHSC) を変更する場合以外でスリープビット (ADHVREFCNT.ADSLPL) を 1 にしないでください。
- 注. A/D 変換選択ビット (ADCSR.ADHSC) が 1 の場合はスリープビットをリセットしないでください。本ビットを 0 にした後、または動作モードがモジュールストップモードに遷移した後は、ADCSR.ADHSC ビットの書き換え手順に従いスリープビットをリセットしてください。

### 28.8.10 動作モードおよびステータスビットの制約

自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキャンの値、データバッファポインタ、コンペア機能のステータスマニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を 1 に設定してから選択してください。
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキャンとして動作します。
- コンペア機能のステータスマニタビット (MONCMPA、MONCMPB、MONCOMB) は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化されます。

### 28.8.11 ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけたりしないでください。これらの規則に従わないと、アナログ信号にノイズが発生し、A/D 変換精度に影響を及ぼします。アナログ入力端子、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0) はデジタル回路から離して、グランド端子 (VSS0) を使用してください。

### 28.8.12 ノイズ防止の制限事項

アナログ入力端子が過度のサージのような異常電圧により破壊されるのを防ぐために、VCC0 と VSS0 間、VREFH0 と VREFL0 間にキャパシタを挿入してください。さらに、[図 28.33](#) に示されるように、アナログ入力端子を保護するために、保護回路を接続してください。

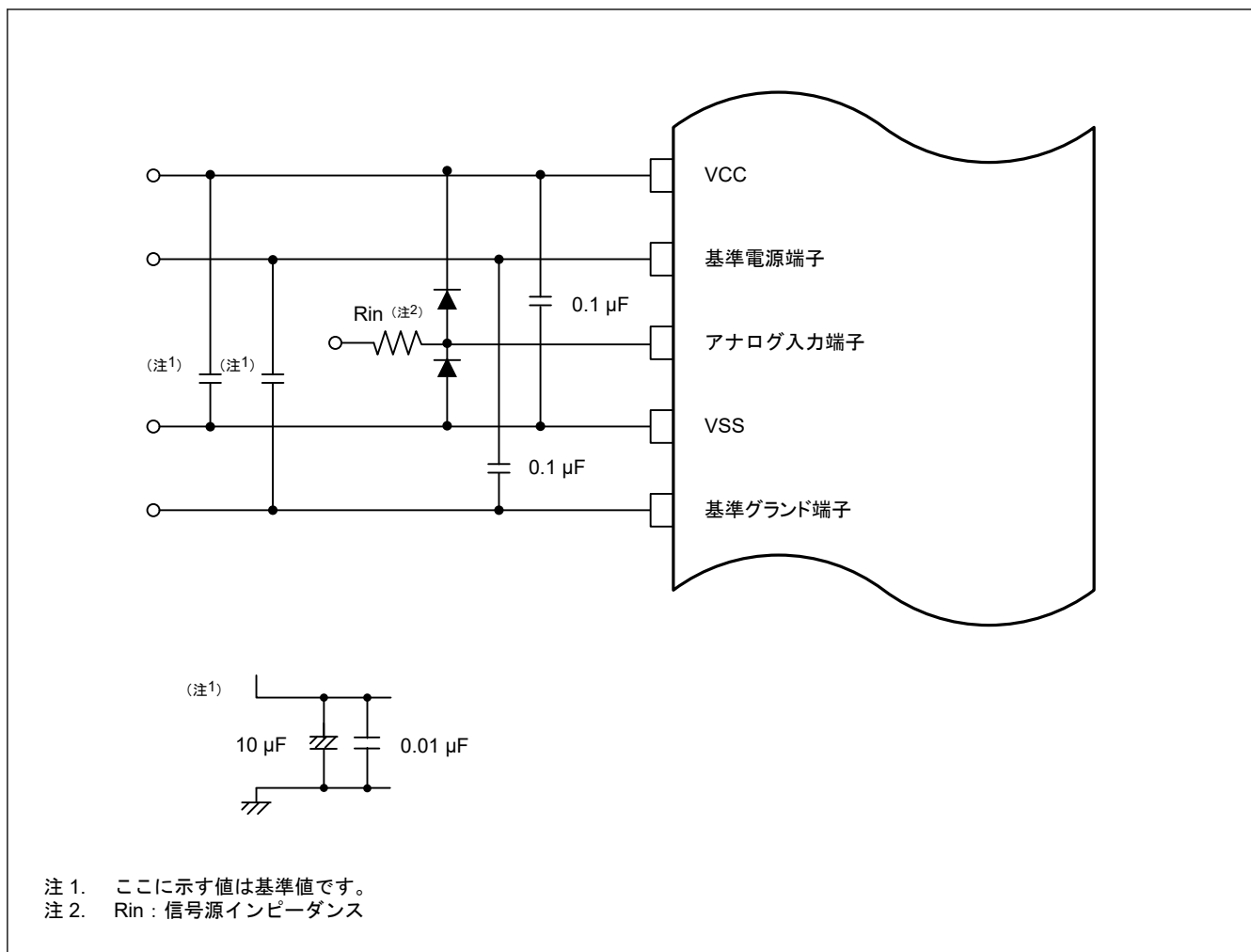


図 28.33 アナログ入力用保護回路例

### 28.8.13 ADC12 入力使用時のポート設定

高精度チャネルを使用する場合は、PORT0 を汎用入出力端子として使用しないでください。通常精度チャネルを使用している場合は、AD アナログ入力とデジタル出力に同じポートは使用しないことを推奨します。AD アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとるなどの対策を行ってください。

### 28.8.14 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、使用する発振器の安定時間経過後、さらに 1 μs 以上待ってから A/D 変換を開始してください。詳細は「10. 低消費電力モード」を参照してください。



## 29. 温度センサ回路 (TSN)

### 29.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 29.1 に TSN の仕様を、図 29.1 に TSN のブロック図を示します。

表 29.1 TSN の仕様

項目	内容
温度センサ電圧出力	12 ビット A/D コンバータに電圧を出力

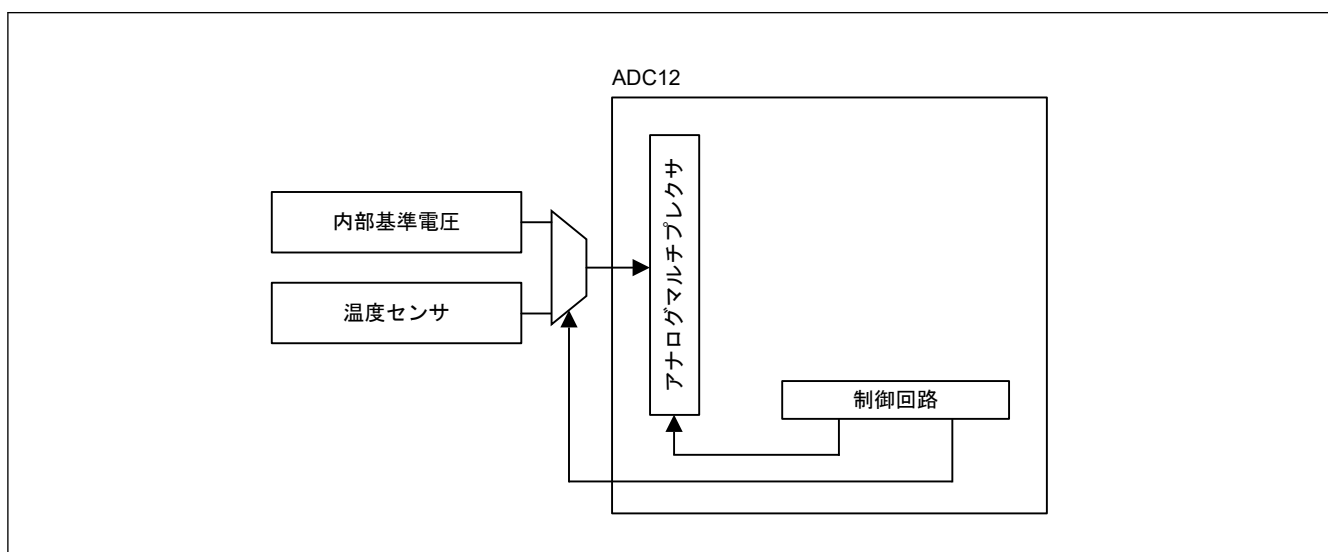


図 29.1 TSN のブロック図

### 29.2 レジスタの説明

#### 29.2.1 TSCDR : 温度センサ校正データレジスタ

Base address: FLCN = 0x407E\_C000

Offset Address: 0x0228

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: TSCDR[15:0]

Value after reset: チップごとの固有値

ビット	シンボル	機能	R/W
15:0	TSCDR[15:0]	温度センサ補正データ チップごとの固有値	R

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。温度センサ校正データは、 $T_j = 140^\circ\text{C}$ 、 $V_{CC} = 3.3\text{ V}$  の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

### 29.3 温度センサ回路の使用法

温度センサが出力する電圧は、温度により変化します。この電圧は 12 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

#### 29.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

$$T = (V_s - V_1) / \text{slope} + T_1$$

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜 (V/°C) Slope = (V2 - V1)/(T2 - T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. 12 ビット A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、12 ビット A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 (Slope = (V2 - V1)/(T2 - T1)) を求めます。
4. この slope の値を温度特性の式 (T = (Vs - V1)/Slope + T1) に代入し、温度を求めます。

また、「36. 電気的特性」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

$$T = (V_s - V_1) / \text{slope} + T_1$$

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU は、TSCDR レジスタに、Ta = Tj = 140°C、VCC = 3.3 V の条件における温度センサの温度測定値 (CAL125) を格納しています。この値を 1 点目の試行測定結果として使用することで、温度センサを使用する前の準備を省略することができます。

CAL125 = TSCDR レジスタ値

CAL125 から V1 を求めると、

$$V_1 = 3.3 \times \text{CAL125} / 4096 \text{ [V]} \text{ (12 ビット精度の場合)}$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V_1) / \text{slope} + 140 \text{ [°C]}$$

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- V1: Ta = Tj = 140°C、VCC = 3.3 V 時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜(注1) / 1000 (V/°C)

注 1. 「36. 電気的特性」を参照

図 29.2 に製品の測定温度誤差を示します。ばらつき範囲は 3σ です。

12 ビット A/D コンバータの特性に関しては、標準値が使用されます。「36.4. ADC12 特性」を参照してください。

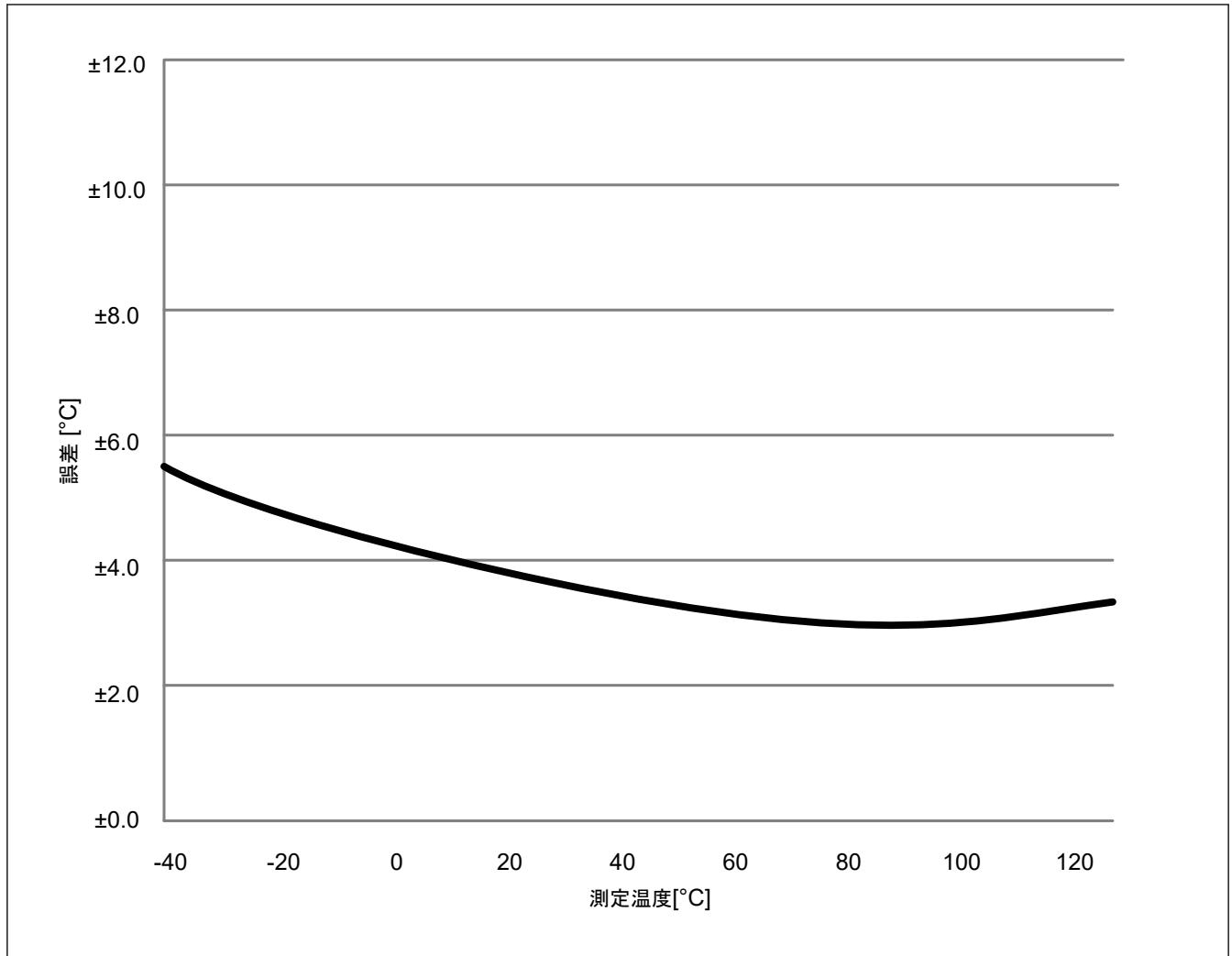


図 29.2 製品の測定温度誤差（設計値）

### 29.3.2 温度センサ回路の使用手順

詳細は、「[28.12 ビット A/D コンバータ \(ADC12\)](#)」を参照してください。

## 30. データ演算回路 (DOC)

### 30.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。表 30.1 に DOC の仕様を、図 30.1 にブロック図を示します。

表 30.1 DOC の仕様

項目	内容
データ演算機能	16 ビットデータの比較、加算、または減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込み要求の発生条件 <ul style="list-style-type: none"> <li>データ比較の結果が一致または不一致のとき</li> <li>データ加算の結果が 0xFFFF より大きくなったとき</li> <li>データ減算の結果が 0x0000 より小さくなったとき</li> </ul>

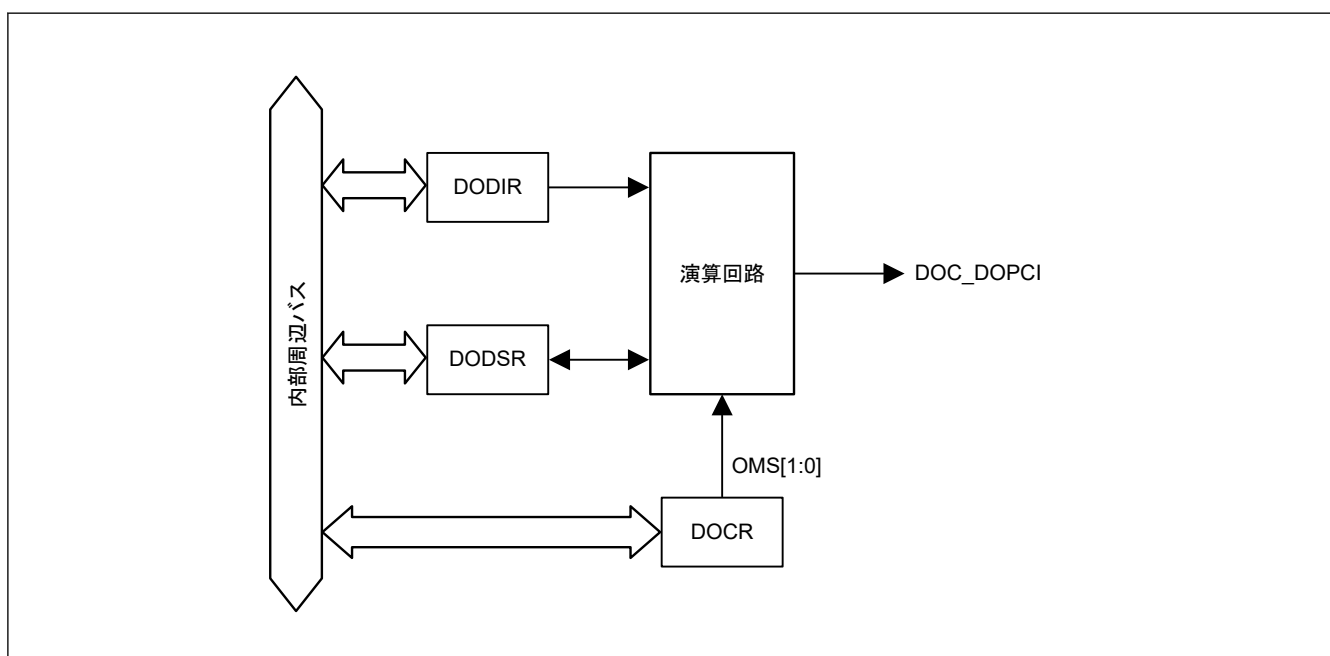


図 30.1 DOC のブロック図

### 30.2 レジスタの説明

#### 30.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC = 0x4005\_4100

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DOPC FCL	DOPC F	—	—	DCSE L	OMS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W

ビット	シンボル	機能	R/W
2	DCSEL(注1)	検出条件選択 0: データの不一致検出時に DOPCF フラグを 1 にする 1: データの一致検出時に DOPCF フラグを 1 にする	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DOPCF	DOC フラグ 演算結果を示します。	R
6	DOPCFCL	DOPCF クリア 0: DOPCF フラグ状態を保存 1: DOPCF フラグをクリア	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. データ比較モード選択時のみ有効

### OMS[1:0]ビット (動作モード選択)

OMS[1:0]ビットは DOC の動作モードを選択します。

### DCSEL ビット (検出条件選択)

DCSEL ビットはデータ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

### DOPCF フラグ (DOC フラグ)

DOPCF フラグは、演算結果を示します。

[1 になる条件]

- データ比較の結果が DCSEL ビットで選択した条件になったとき
- データ加算の結果が 0xFFFF より大きくなったとき
- データ減算の結果が 0x0000 より小さくなったとき

[0 になる条件]

- DOPCFCL ビットに 1 を書き込んだとき

### DOPCFCL ビット (DOPCF クリア)

DOPCFCL ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

## 30.2.2 DODIR : DOC データ入力レジスタ

Base address: DOC = 0x4005\_4100

Offset address: 0x02

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	DODIR レジスタは、演算対象の 16 ビットのデータを格納する 16 ビットの読み書き可能なレジスタです。	R/W

### 30.2.3 DODSR : DOC データ設定レジスタ

Base address: DOC = 0x4005\_4100

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	[Empty box for bit field]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	DODSR レジスタは、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み書き可能なレジスタです。また、データ加算モードおよび減算モードでは、演算結果を格納します。	R/W

## 30.3 動作説明

### 30.3.1 データ比較モード

図 30.2 にデータ比較モードの動作例を示します。この例では、DCSEL ビットは 0（データ比較の結果、不一致を検出）です。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを書き込みます。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するすべてのデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 のとき、DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

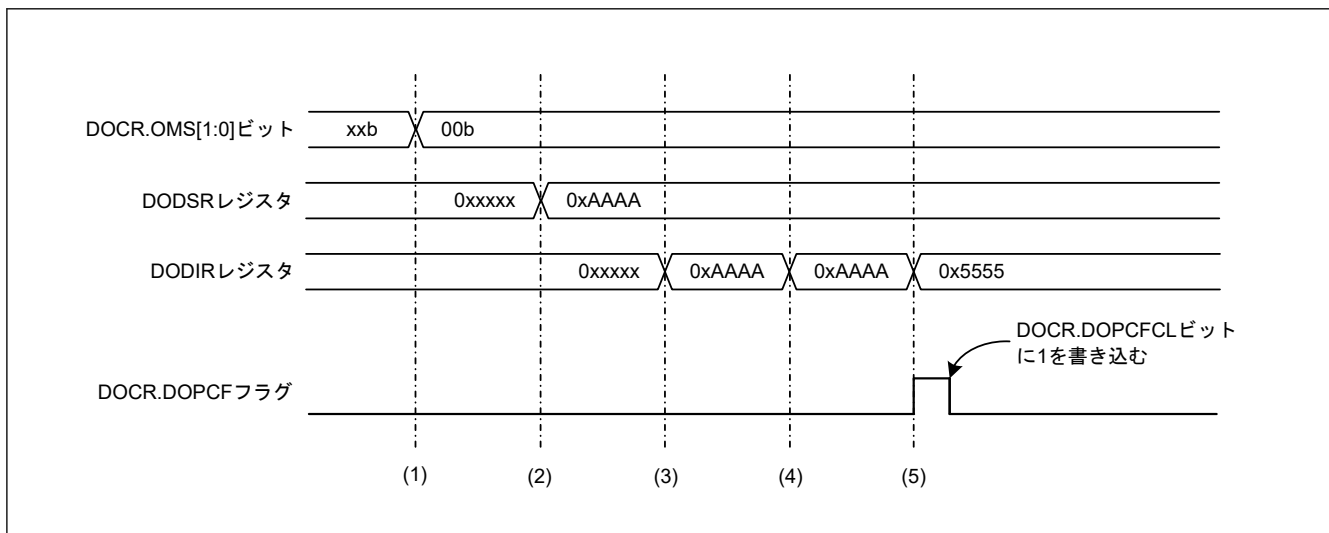


図 30.2 データ比較モードの動作例

### 30.3.2 データ加算モード

図 30.3 にデータ加算モードの動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを書き込みます。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。

- 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
- 加算結果が 0xFFFF よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

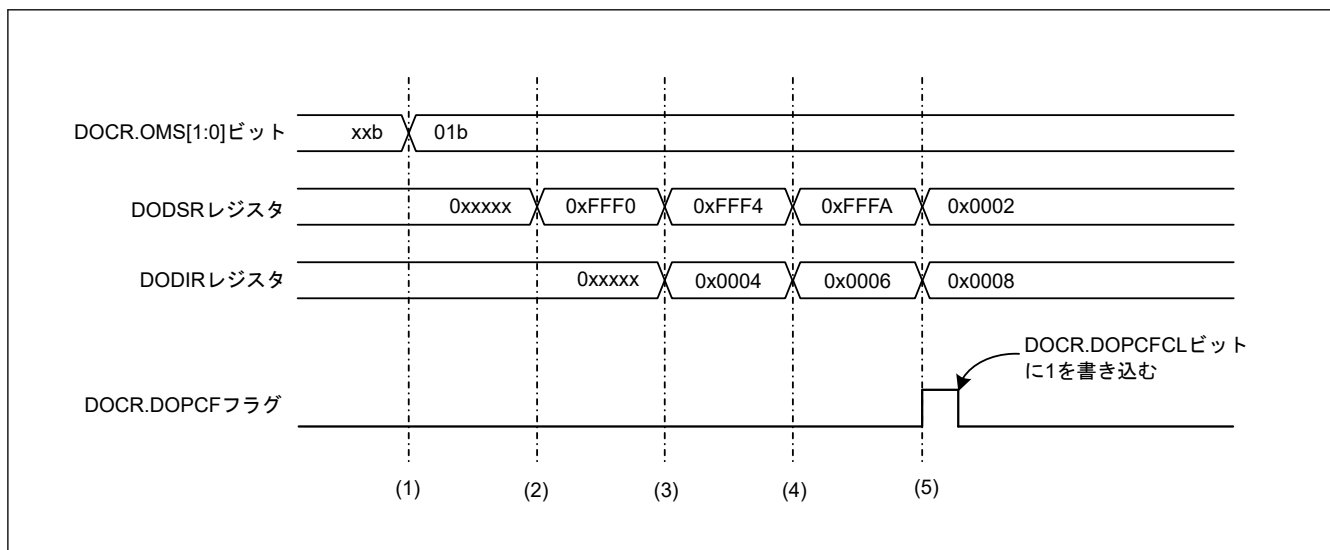


図 30.3 データ加算モードの動作例

### 30.3.3 データ減算モード

図 30.4 にデータ減算モードの動作例を示します。設定方法は以下のとおりです。

- DOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
- DODSR レジスタの初期値として 16 ビットのデータを書き込みます。
- DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- 減算するすべてのデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
- 減算結果が 0x0000 よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

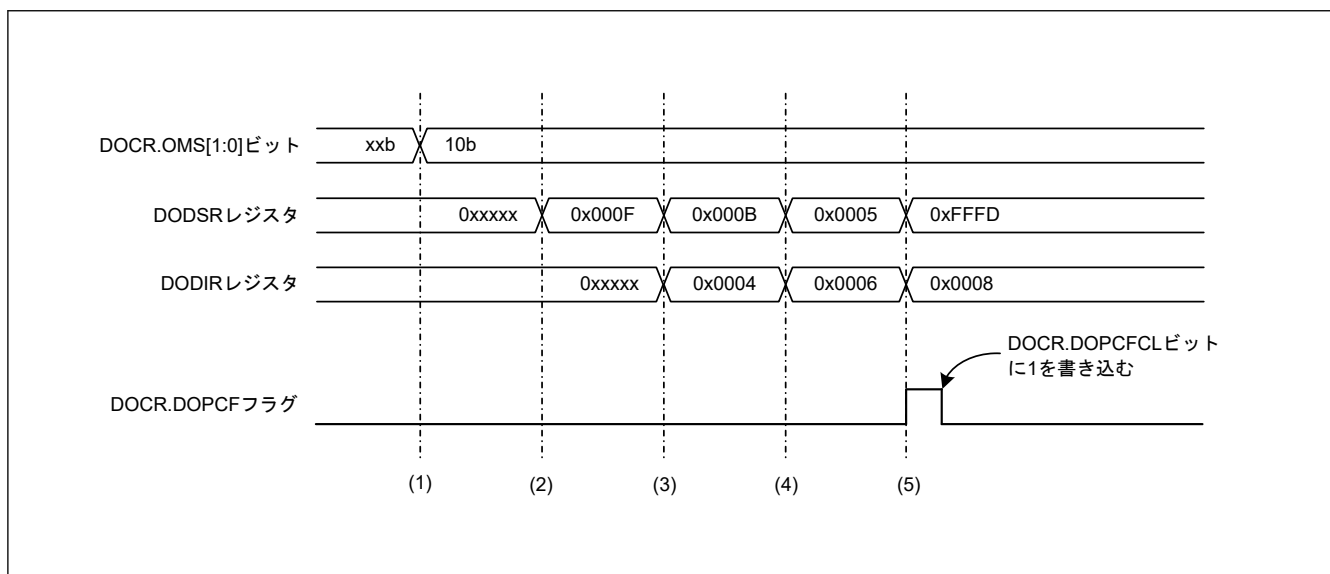


図 30.4 データ減算モードの動作例

## 30.4 割り込み要因

DOC が生成する割り込み要求には、DOC 割り込み (DOC\_DOPCI) があります。表 30.2 に DOC 割り込み要求の内容を示します。

表 30.2 DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	<ul style="list-style-type: none"><li>データ比較の結果が、DOCR.DCSEL ビットで選択した条件になったとき</li><li>データ加算の結果が 0xFFFF より大きくなったとき</li><li>データ減算の結果が 0x0000 より小さくなったとき</li></ul>

## 30.5 イベントリンクコントローラ (ELC) へのイベント信号出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が 0xFFFF より大きいとき
- データの減算結果が 0x0000 より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、DOC フラグ (DOCR.DOPCF) が 1 になります。

## 30.6 使用上の注意事項

### 30.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止/許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。



## 31. SRAM

### 31.1 概要

本 MCU は、パリティビットチェック機能を備えた高密度内蔵 SRAM モジュールを搭載しています。パリティチェックは、全 SRAM 領域で実行されます。

SRAM の仕様を表 31.1 に示します。

表 31.1 SRAM の仕様

項目	内容
SRAM 容量	SRAM0: 8 KB
SRAM アドレス	SRAM0: 0X2000_4000~0x2000_5FFF
アクセス(注1)	読み出し/書き込みともに 0 ウェイトで動作
パリティ	8 ビットデータと 1 ビットパリティの偶数パリティ
エラーチェック機能	偶数パリティエラーチェック

注. SRAM0 と Trace RAM は共有されます。Trace RAM の仕様については ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C)を参照してください。

注 1. アクセルサイクルに関しては、「31.3.3. アクセスサイクル」を参照してください。

### 31.2 レジスタの説明

#### 31.2.1 PARIOAD : SRAM パリティエラー検出後動作レジスタ

Base address: SRAM = 0x4000\_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、常に SRAMPRCR レジスタの SRAMPRCR ビットを 1 に設定してください。SRAM にアクセス中は、PARIOAD レジスタへ書き込まないでください。

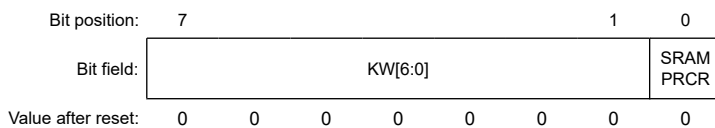
#### OAD ビット (検出後の動作)

OAD ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるかを指定します。OAD ビットは SRAM0 に対して共用です。

### 31.2.2 SRAMPRCR : SRAM プロテクトレジスタ

Base address: SRAM = 0x4000\_2000

Offset address: 0x04



ビット	シンボル	機能	R/W
0	SRAMPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード SRAMPRCR ビットへの書き込みを許可または禁止します。	W

#### SRAMPRCR ビット (レジスタ書き込み制御)

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合は、常に KW[6:0] ビットに 0x78 を同時に書き込んでください。

#### KW[6:0] ビット (書き込みキーコード)

KW[6:0] ビットは、SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、常にそれらのビットに 0x78 を同時に書き込んでください。0x78 以外の値を KW[6:0] ビットに書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 0x00 が読み出されます。

### 31.2.3 トレースコントロール (MTB 用)

マイクロトレースバッファ (MTB) には、トレース機能の動作を制御するプログラマブルレジスタ、POSITION レジスタ、MASTER レジスタ、FLOW レジスタ、BASE レジスタがあります。表 31.2 にベースアドレスのオフセット順にレジスタを示します。

表 31.2 MTB レジスタのアドレス

アドレス	レジスタ	リセット時の値
MTB_BASE + 0x000	MTB_POSITION	ビット[31:0] = UNKNOWN
MTB_BASE + 0x004	MTB_MASTER	ビット[31] = 0、ビット[30:10] = UNKNOWN、 ビット[9:8] = 0、ビット[7] = 1、ビット[6:5] = 0、 ビット[4:0] = UNKNOWN
MTB_BASE + 0x008	MTB_FLOW	ビット[31:2] = UNKNOWN、ビット[1:0] = 0
MTB_BASE + 0x00C	MTB_BASE	ビット[31:0] = 0x2000_4000

注. MTB\_BASE: 0x4001\_9000

上記レジスタの詳細は、ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C) を参照してください。

注. 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。

トレース用の MTB は 0x2000\_4000~0x2000\_5FFF の範囲に制限されています。

### 31.2.4 CoreSight™ (MTB 用)

レジスタおよびアクセスタイプについて、詳しくは、ARM® CoreSight™ Architecture Specification を参照してください。表 31.3 にベースアドレスのオフセット順にレジスタを示します。

表 31.3 CoreSight™ のアドレス

アドレス	レジスタ
MTB_BASE + 0xFF0~0xFFC	コンポーネント ID
MTB_BASE + 0xFE0~0xFDC	ペリフェラル ID
MTB_BASE + 0xFC0	デバイス種別 ID
MTB_BASE + 0xFC8	デバイスコンフィグレーション
MTB_BASE + 0xFBC	デバイスアーキテクチャ
MTB_BASE + 0xFB8	認証ステータス
MTB_BASE + 0xFB4	ロックステータス
MTB_BASE + 0xFB0	ロックアクセス

注. MTB\_BASE: 0x4001\_9000

これらのレジスタの詳細は、ARM® CoreSight™ MTB-M23 Technical Reference Manual (ARM DDI 0564C)を参照してください。

注. 予約アドレスまたは未使用アドレスの場所にはアクセスしないでください。

### 31.3 動作説明

#### 31.3.1 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、PARIOAD レジスタの OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

パリティエラーはノイズにより発生することもあります。パリティエラーの原因がノイズか破損かを確認するには、[図 31.1](#) および [図 31.2](#) に示されたパリティチェックフローに従ってください。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

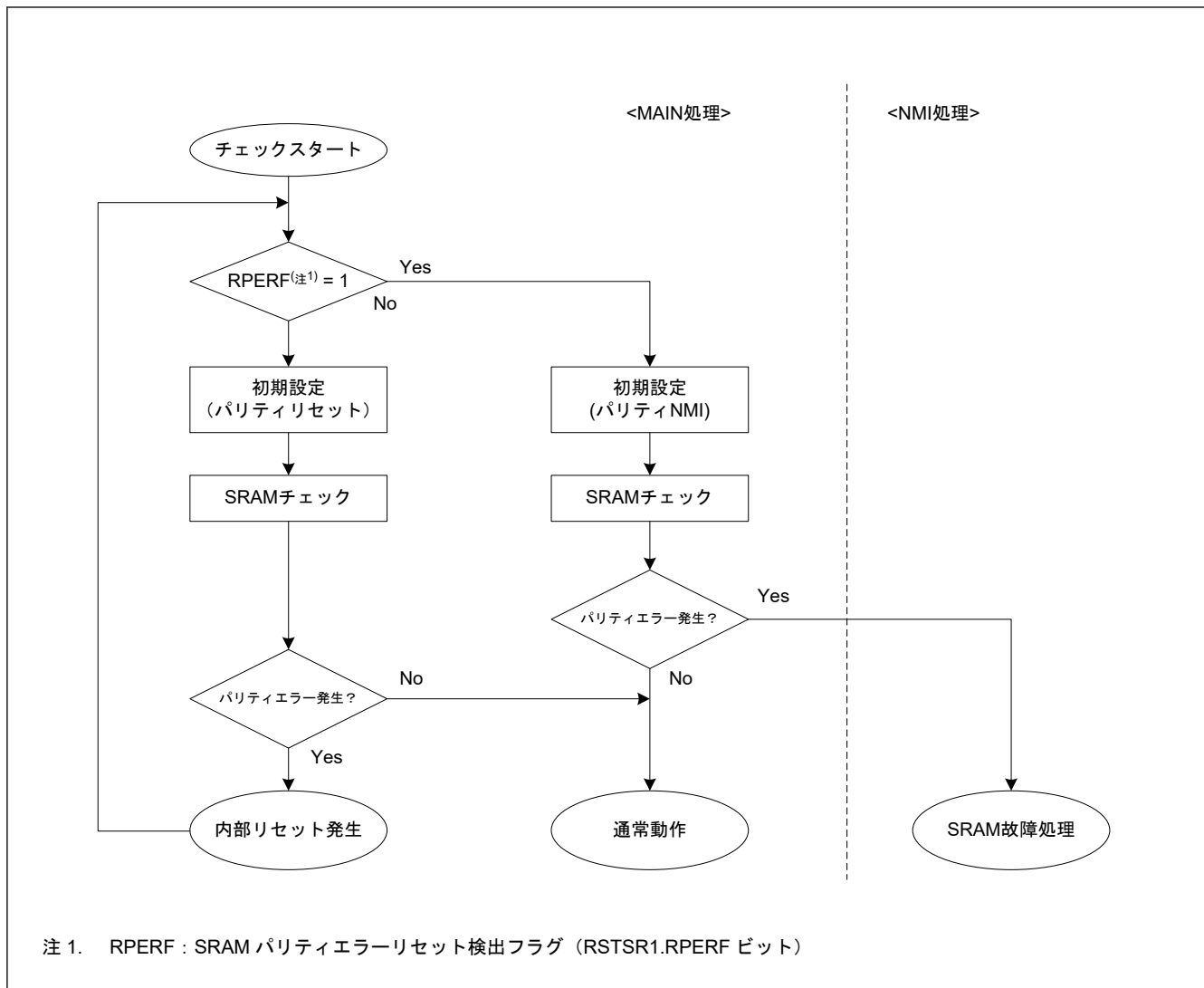


図 31.1 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

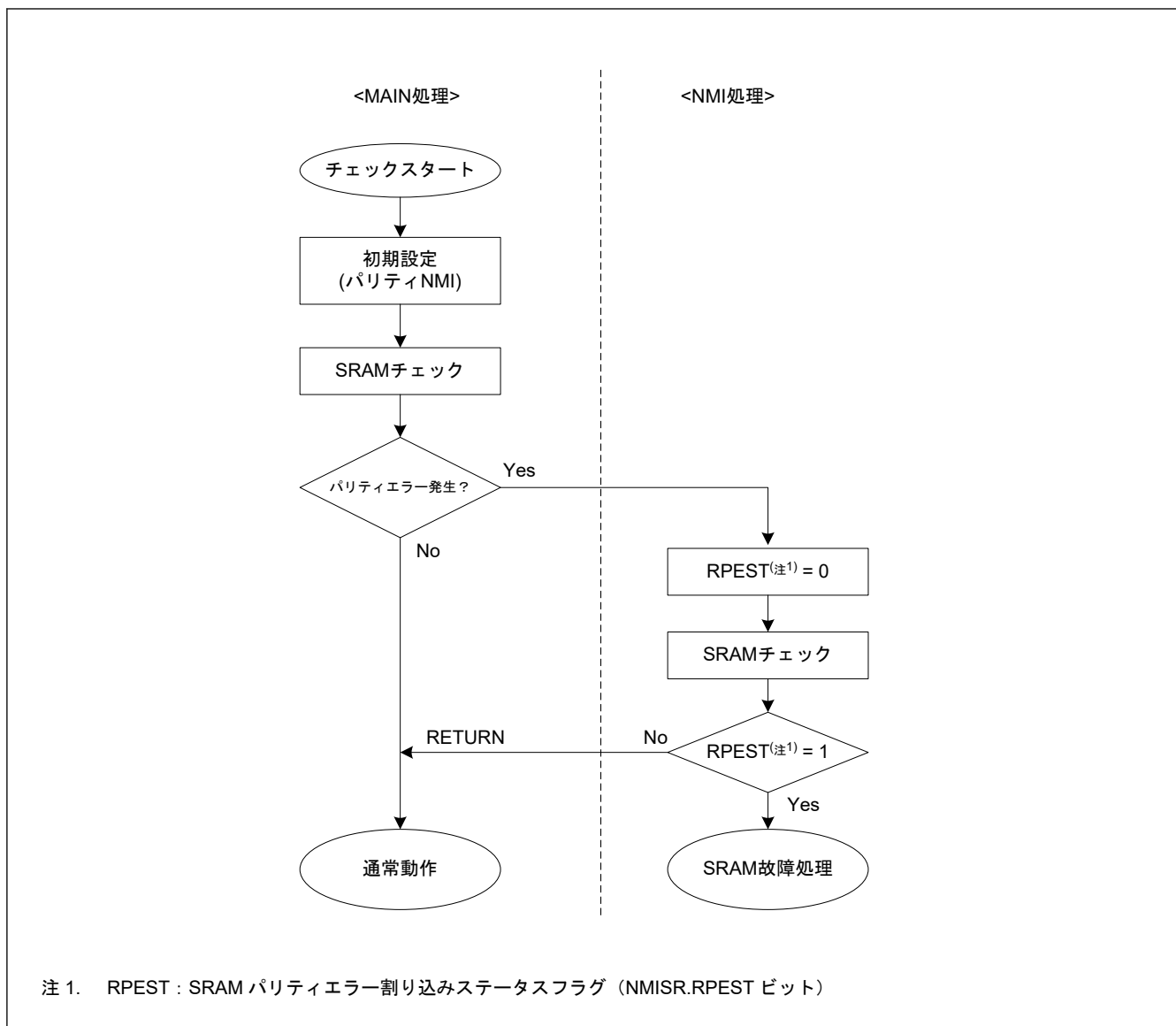


図 31.2 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

### 31.3.2 SRAM エラー要因

SRAM エラーの原因は、パリティエラーです。パリティエラーは、PARIOAD.OAD ビットの選択に基づき、ノンマスカブル割り込みまたはリセットのいずれかを発生させることが可能です。SRAM パリティエラーでは、DTC の起動はサポートされていません。

表 31.4 SRAM エラー要因

SRAM エラー要因	DTC の起動
パリティエラー (SRAM0 領域)	不可能

### 31.3.3 アクセスサイクル

表 31.5 SRAM0 (パリティ領域 0X2000\_4000~0x2000\_5FFF)

読み出し (サイクル)		書き込み (サイクル)	
ワードアクセス	ハーフワード/バイトアクセス	ワードアクセス	ハーフワード/バイトアクセス
2		2	

### 31.3.4 低消費電力機能

SRAM0 のヘッド領域である SRAM0 (パリティ領域) の 4 KB (0x2000\_4000~0x2000\_4FFF) を除き、SRAM0 の供給電圧はオフにできるため、ソフトウェアスタンバイモードでの消費電力はさらに低減できます。ソフトウェアスタンバイモードの詳細は、「[10. 低消費電力モード](#)」を参照してください。

## 31.4 使用上の注意事項

### 31.4.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 2 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

### 31.4.2 SRAM ストアバッファ

SRAM と CPU 間的高速アクセスのために、ストアバッファを使用します。SRAM へのストア命令の後、ロード命令が同じアドレスから実行される時、ロード命令は、SRAM のデータを読み出す代わりにバッファからデータを読み出すことがあります。SRAM のデータを正しく読み出すためには、以下の手順のいずれかを使います。

- SRAM (address = A) へ書き込みを行った後、NOP 命令を使い、それから SRAM (address = A) から読み出しを行います。
- SRAM (address = A) へ書き込みを行った後、SRAM (address = A) 以外の領域からデータ読み出しを行い、それから SRAM (address = A) から読み出しを行います。

## 32. フラッシュメモリ

### 32.1 概要

本 MCU は、最大 64 KB のコードフラッシュメモリと 2 KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールブロック (FCB) は、プログラムコマンドを制御します。本製品では Silicon Storage Technology 社のライセンスである SuperFlash<sup>®</sup>技術を使用しています。

表 32.1 にコードフラッシュメモリとデータフラッシュメモリの仕様を、図 32.1 に関連モジュールのブロック図を示します。図 32.2 にコードフラッシュメモリの構成を、図 32.3 にデータフラッシュメモリの構成を示します。

表 32.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	<ul style="list-style-type: none"> <li>64 KB/32 KB/16 KB (ユーザー領域)</li> <li>コンフィグレーション設定領域 (「6. オプション設定メモリ」を参照)</li> </ul>	2 KB (データ領域)
リードサイクル	<ul style="list-style-type: none"> <li>ICLK 周波数 ≤ 48 MHz MEMWAIT = 1 (ウェイトあり) 1 回の読み出し動作に 3 サイクル必要</li> <li>ICLK 周波数 ≤ 32 MHz MEMWAIT = 0 (ウェイトなし) 1 回の読み出し動作に 2 サイクル必要</li> </ul>	<ul style="list-style-type: none"> <li>ICLK 周波数 ≤ 48 MHz FLDWAIT1 = 1 (2 ウェイトあり) 1 回の読み出し動作に 4 サイクル必要</li> <li>ICLK 周波数 ≤ 32 MHz FLDWAIT1 = 0 (1 ウェイトあり) 1 回の読み出し動作に 3 サイクル必要</li> </ul>
イレース後の値	0xFF	0xFF
プログラム/イレース方式	<ul style="list-style-type: none"> <li>レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム/イレース</li> <li>専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング)</li> <li>ユーザープログラムによるフラッシュメモリのプログラム (セルフプログラミング) (注1)</li> </ul>	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
バックグラウンド動作 (BGO)	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム/イレース単位	<ul style="list-style-type: none"> <li>ユーザー領域のプログラム: 32 ビット単位</li> <li>ユーザー領域のイレース: 2 KB 単位</li> </ul>	<ul style="list-style-type: none"> <li>データ領域のプログラム: 8 ビット単位</li> <li>データ領域のイレース: 1 KB 単位</li> </ul>
その他の機能	セルフプログラミング中の割り込み受け付け 本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能	
オンボードプログラミング	シリアルプログラミングモード (SCI ブートモード) でのプログラム <ul style="list-style-type: none"> <li>調歩同期式シリアルインタフェース (SCI9) を使用</li> <li>転送速度は自動調整</li> </ul> オンチップデバッグモードによるプログラム <ul style="list-style-type: none"> <li>SWD インタフェースを使用</li> <li>専用ハードウェアは必要なし</li> </ul> ユーザープログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム <ul style="list-style-type: none"> <li>システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリのプログラムが可能</li> </ul>	

注 1. HOCO を安定発振させてください。「32.12. セルフプログラミング」を参照してください。

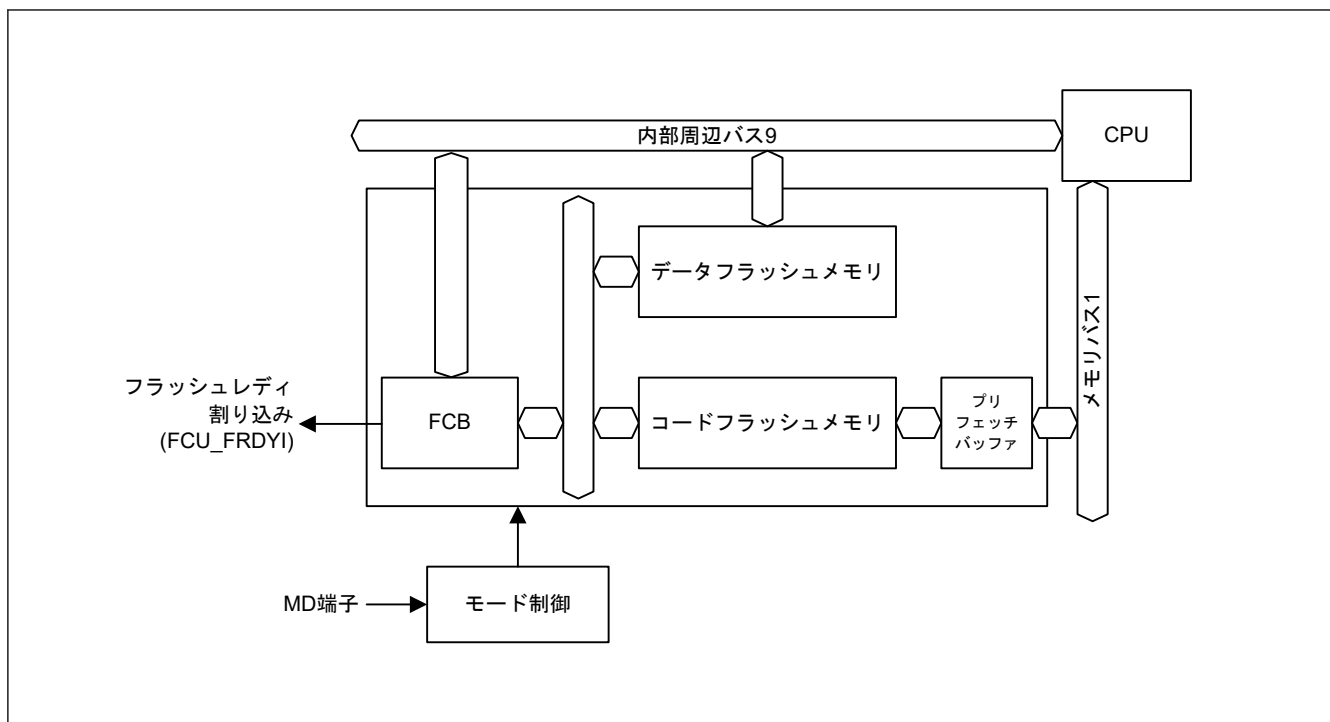


図 32.1 フラッシュメモリ関連モジュールのブロック図

### 32.2 メモリ構造

図 32.2 にコードフラッシュメモリのマッピングを、表 32.2 にコードフラッシュメモリのリードアドレスとプログラム/イレース (P/E) アドレスを示します。コードフラッシュメモリのユーザ領域は 2 KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

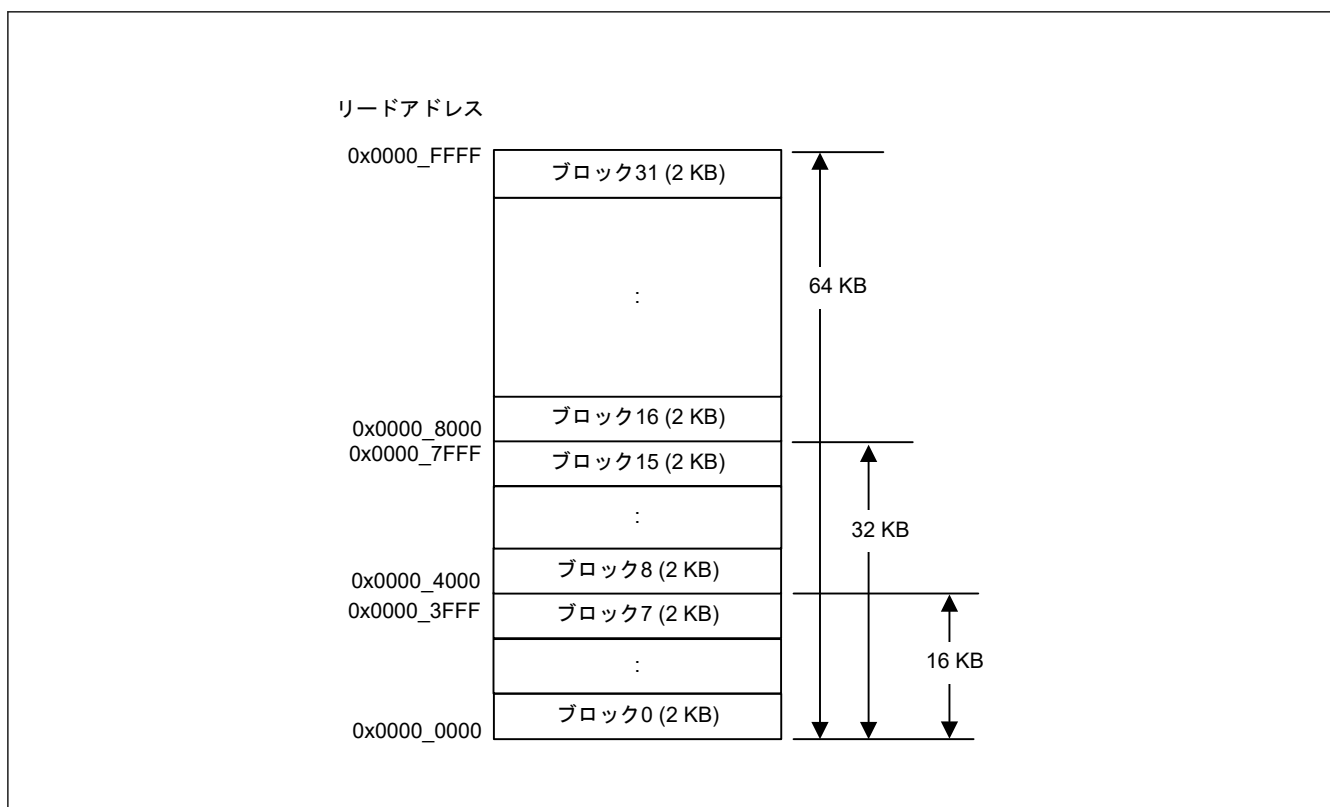


図 32.2 コードフラッシュメモリマッピング



表 32.2 コードフラッシュメモリのリードアドレスと P/E アドレス

コードフラッシュメモリのサイズ	リードアドレス	P/E アドレス	ブロック数
64 KB	0x0000_0000~0x0000_FFFF	0x0000_0000~0x0000_FFFF	0~31
32 KB	0x0000_0000~0x0000_7FFF	0x0000_0000~0x0000_7FFF	0~15
16 KB	0x0000_0000~0x0000_3FFF	0x0000_0000~0x0000_3FFF	0~7

図 32.3 にデータフラッシュメモリのマッピングを、表 32.3 にデータフラッシュメモリのリードアドレスとプログラム/イレース (P/E) アドレスを示します。データフラッシュメモリのデータ領域は 1 KB のブロックに分割されており、各ブロック単位でイレース可能です。

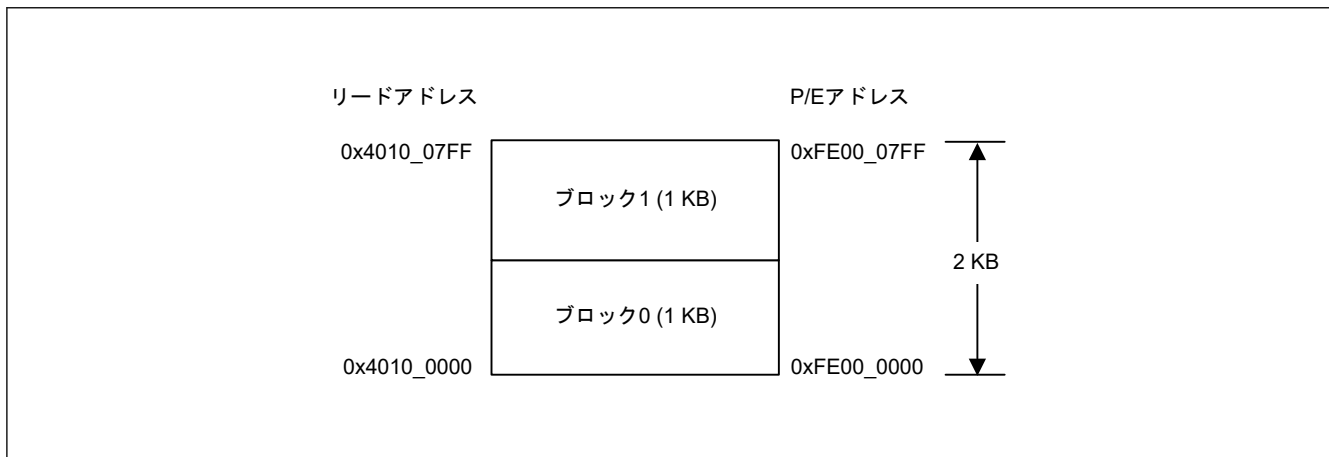


図 32.3 データフラッシュメモリマッピング

表 32.3 データフラッシュメモリのリードアドレスと P/E アドレス

データフラッシュメモリのサイズ	リードアドレス	P/E アドレス	ブロック数
2 KB	0x4010_0000~0x4010_07FF	0xFE00_0000~0xFE00_07FF	0, 1

## 32.3 レジスタの説明

### 32.3.1 DFLCTL : データフラッシュコントロールレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x0090

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DFLEN

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DFLEN	データフラッシュアクセス許可(注1) 0: データフラッシュへのアクセス禁止 1: データフラッシュへのアクセス許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. スタートアップ領域情報およびセキュリティプログラムコマンド、アクセスウィンドウ情報プログラムコマンド、および OCDID プログラムコマンドを発行する前に、DFLCTL.DFLEN ビットが 1 になっている必要があります。

DFLCTL レジスタは、データフラッシュへのアクセス（読み出し、プログラム、イレース）の許可/禁止を設定します。DFLCTL.DFLEN ビットを設定すると、データフラッシュの読み出し前、またはデータフラッシュ P/E モード移行前に、データフラッシュ STOP 復帰時間 ( $t_{DSTOP}$ ) が必要になります。

### 32.3.2 PFBER : プリフェッチバッファイネーブルレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x3FC8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PFBE

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	PFBE	プリフェッチバッファイネーブルビット 0: プリフェッチバッファ無効 1: プリフェッチバッファ有効	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W

### 32.3.3 FENTRYR : フラッシュ P/E モードエントリレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x3FB0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEKEY[7:0]							FENTRYD	—	—	—	—	—	—	—	FENTRY0

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FENTRY0	コードフラッシュ P/E モードエントリ 0 0: コードフラッシュはリードモード 1: コードフラッシュは P/E モード	R/W
6:1	—	読むと0が読めます。書く場合、0としてください。	R/W
7	FENTRYD	データフラッシュ P/E モードエントリ 0: データフラッシュはリードモード 1: データフラッシュは P/E モード	R/W
15:8	FEKEY[7:0]	キーコード	W

コードフラッシュやデータフラッシュの書き込みをするには、FENTRY0 ビットまたは FENTRYD ビットのいずれかに 1 を設定して、P/E モードに遷移する必要があります。FENTRY0 ビットまたは FENTRYD ビットをクリアすると、コードフラッシュやデータフラッシュは読み出しモードになりますが、これらのビットの値を変更する際はその値を事前に確認する必要があります。「32.13.1. シーケンサモード」を参照してください。

#### FENTRY0 ビット (コードフラッシュ P/E モードエントリ 0)

[1 になる条件]

- FENTRYR レジスタが 0x0000 から 0xAA01 になったとき

[0 になる条件]

- バイトアクセスによってデータが書き込まれたとき
- FEKEY[7:0] ビットに 0xAA 以外の値が設定され、FENTRYR レジスタに書き込まれたとき
- FENTRYR レジスタが 0xAA00 に設定されたとき
- FENTRYR レジスタが 0x0000 以外の状態で、レジスタにデータが書き込まれたとき

#### FENTRYD ビット (データフラッシュ P/E モードエントリ)

[1 になる条件]

- FENTRYR レジスタが 0x0000 から 0xAA80 になったとき

[0 になる条件]

- バイトアクセスによってデータが書き込まれたとき
- FEKEY[7:0] ビットに 0xAA 以外の値が設定され、FENTRYR レジスタに書き込まれたとき
- FENTRYR レジスタが 0xAA00 に設定されたとき
- FENTRYR レジスタが 0x0000 以外の状態で、レジスタにデータが書き込まれたとき

### FEKEY[7:0] ビット (キーコード)

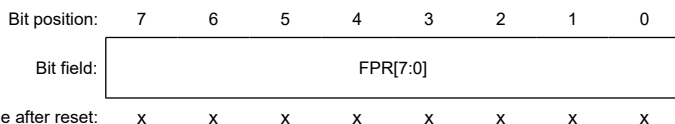
FEKEY[7:0] ビットは、FENTRY0 ビットまたは FENTRYD ビットを不正な設定から保護します。

FEKEY[7:0] を 0xAA にすると、FENTRY0 ビットまたは FENTRYD ビットの設定が許可されます。FEKEY[7:0] ビットは、読むと 0x00 が読めます。

### 32.3.4 FPR : プロテクションアンロックレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x0180



ビット	シンボル	機能	R/W
7:0	FPR[7:0]	プロテクションの解除 本レジスタは、CPU が暴走したときに、FPMCR レジスタが誤って書き換えられないよう保護します。	R/W

### FPR[7:0] ビット (プロテクションの解除)

FPMCR レジスタへの書き込みは、以下の手順を使用してレジスタにアクセスした際にのみ許可されます。

プロテクションを解除する手順：

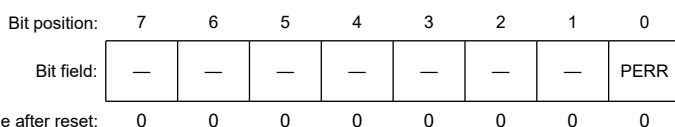
1. FPR レジスタに 0xA5 を書きます。
2. FPMCR レジスタに設定値を書きます。
3. FPMCR レジスタに反転した設定値を書きます。
4. FPMCR レジスタにもう一度設定値を書きます。

データの書き込みに指定した手順以外が使用された場合、FPSR.PERR フラグが 1 になります。

### 32.3.5 FPSR : プロテクションアンロックステータスレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x0184



ビット	シンボル	機能	R/W
0	PERR	プロテクトエラーフラグ 0: エラーなし 1: エラー発生	R

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。	R

### PERR ビット (プロテクトエラーフラグ)

FPMCR レジスタが「プロテクションを解除する手順」で説明した方法以外でアクセスされた場合、データはレジスタに書き込まれず、このフラグが 1 になります。

[1 になる条件]

- FPMCR レジスタが「[32.3.4. FPR : プロテクションアンロックレジスタ](#)」の「プロテクションを解除する手順」に記載した方法以外でアクセスされたとき

[0 になる条件]

- FPMCR レジスタが「[32.3.4. FPR : プロテクションアンロックレジスタ](#)」の「プロテクションを解除する手順」に記載した方法でアクセスされたとき

### 32.3.6 FPMCR : フラッシュ P/E モードコントロールレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x0100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	FMS1	RPDIS	—	FMS0	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	FMS0	フラッシュ動作モード選択 0 0: FMS1 = 0: 読み出しモード FMS1 = 1: データフラッシュ P/E モード 1: FMS1 = 0: コードフラッシュ P/E モード FMS1 = 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RPDIS	コードフラッシュ P/E 禁止 0: コードフラッシュ書き込みを許可 1: コードフラッシュ書き込みを禁止	R/W
4	FMS1	フラッシュ動作モード選択 1 FMS0 ビットの説明を参照	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FLWT レジスタは、フラッシュメモリの動作モードを設定します。権限なく設定はできないように保護されています。

このレジスタ書き込み制御方法については、[図 32.15](#) と [図 32.17](#) を参照してください。

保護の解除の方法については、「[32.3.4. FPR : プロテクションアンロックレジスタ](#)」を参照してください。

#### FMS0 ビット、FMS1 ビット (フラッシュ動作モード選択 0、フラッシュ動作モード選択 1)

本ビットは、フラッシュメモリの動作モードを設定します。

[コードフラッシュメモリをリードモードからフラッシュ P/E モードに遷移する方法]

FMS1 = 0、FMS0 = 1、RPDIS = 0 に設定してください。モード設定時間  $t_{MS}$  ([「36. 電気的特性」](#)を参照) 待機してください。

[データフラッシュメモリをリードモードからフラッシュ P/E モードに遷移する方法]

FMS1 = 1、FMS0 = 0、RPDIS = 0 に設定してください。

[コードフラッシュメモリをコードフラッシュ P/E モードからリードモードに遷移する方法]

FMS1 = 0、FMS0 = 0、RPDIS = 1 に設定してください。

リードモード遷移時間（「36. 電気的特性」を参照）待機してください。

### RPDIS ビット（コードフラッシュ P/E 禁止）

RPDIS ビットは、権限なく書き込みができないように保護されています。RPDIS ビットを 0 に設定することで、コードフラッシュメモリの書き込みをできるようになります。

### 32.3.7 FISR : フラッシュ初期設定レジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x01D8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SAS[1:0]		PCKA[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	PCKA[5:0]	Flash-IF クロック通知	R/W
7:6	SAS[1:0]	スタートアップ領域選択 1 0: スタートアップ領域が一時的にデフォルト領域に切り替わる 1 1: スタートアップ領域が一時的に代替領域に切り替わる その他: スタートアップ領域はエクストラ領域の設定に従って選択される	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、SAS[1:0]ビットは、FSPR が 1 の時のみ設定およびクリアできます。FSPR ビットはアクセスウィンドウの保護フラグで、Extra 領域に格納されます。

### PCKA[5:0]ビット（Flash-IF クロック通知）

フラッシュ書き込みのハードウェアシーケンスは、PCKA[5:0]ビットに従ってコマンドを実行します。そのため、書き込みの実行前かつ書き込み中でない時に、PCKA[5:0]ビットを Flash-IF クロック (ICLK) に従って設定する必要があります。

注. 誤った周波数設定は、フラッシュマクロを破損する恐れがあります。

周波数が整数でない（たとえば 31.5 MHz）ときに、PCKA[5:0] ビットを設定する方法を以下に説明します。

[周波数が 4 MHz より高い場合]

非整数の周波数の切り上げ値を設定します。

たとえば、周波数が 31.5 MHz ならば、32 MHz (PCKA = 011111b) を設定します。

[周波数が 4 MHz 以下である場合]

非整数の周波数を使用してはなりません。1、2、3、または 4 MHz の周波数を使用します。

表 32.4 周波数設定

Flash-IF クロック 周波数 [MHz]	PCKA[5:0]	Flash-IF クロック 周波数 [MHz]	PCKA[5:0]	Flash-IF クロック 周波数 [MHz]	PCKA[5:0]
48	100111b	32	011111b	24	010111b
20	010011b	19	010010b	18	010001b
17	010000b	16	001111b	15	001110b
14	001101b	13	001100b	12	001011b
11	001010b	10	001001b	9	001000b
8	000111b	7	000110b	6	000101b
5	000100b	4	000011b	3	000010b
2	000001b	1	000000b	—	—

### SAS[1:0] ビット (スタートアップ領域選択)

SAS[1:0] ビットは、スタートアップ領域を選択します。スタートアップ領域を変更するには、次の方法を使用できます。

- SAS[1:0] ビットが 00b または 01b で、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域を選択する場合、スタートアップ領域はその設定に従って選択されます。設定は、リセット解除後に有効になります。
- SAS[1:0] ビットに 10b を書いて、スタートアップ領域を一時的にデフォルト領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、本レジスタにデータが書き込まれた直後に、スタートアップ領域がデフォルト領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。
- SAS[1:0] ビットに 11b を書いて、スタートアップ領域を一時的に代替領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域は代替領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。

### 32.3.8 FRESETR : フラッシュリセットレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x0124

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRES ET
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FRESET	レジスタのソフトウェアリセット 0: フラッシュプログラミング関連のレジスタをリセットしない 1: フラッシュプログラミング関連のレジスタをリセットする	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

#### FRESET ビット (レジスタのソフトウェアリセット)

本ビットが 1 になると、FASR、FSARH、FSARL、FEARH、FEARL、FWBH0、FWBL0、FCR、FEXCR レジスタがリセットされます。本ビットを 0 にすると、対応するレジスタのリセット状態を解除できます。FRESET ビットが 1 のとき、ソフトウェアコマンドの実行は許可されません。

### 32.3.9 FASR : フラッシュ領域選択レジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x0104

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EXS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EXS	エクストラ領域選択 0: ユーザー領域またはデータ領域 1: エクストラ領域	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

**EXS ビット (エクストラ領域選択)**

FEXCR レジスタを使用してエクストラ領域をプログラムするときは、EXS ビットを 1 に設定してください。エクストラ領域をプログラムしない場合は、本ビットを 0 にします。

**32.3.10 FCR : フラッシュコントロールレジスタ**

Base address: FLCN = 0x407E\_C000

Offset address: 0x0114

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	STOP	—	DRC	CMD[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CMD[3:0]	ソフトウェアコマンド設定 0x1: プログラム 0x3: ブランクチェック (コードフラッシュ) 0x4: ブロックイレース 0x5: 連続リード 0x6: チップイレース 0xB: ブランクチェック (データフラッシュ) その他: 設定禁止(注1)	R/W
4	DRC	データリード完了 0: データをリードしていないか、次のデータを要求中 1: データリード完了	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	STOP	処理強制停止 本ビットを 1 に設定すると、実行中の処理を強制的に停止できます。	R/W
7	OPST	処理開始 0: 処理停止 1: 処理開始	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1. FSTATR1.FRDY ビットが 1 である場合の、FCR レジスタへの 0x00 書き込みは除きます。

**CMD[3:0]ビット (ソフトウェアコマンド設定)**

以下に、各ソフトウェアコマンドの機能を説明します。

**[プログラム]**

FWBH0 レジスタと FWBL0 レジスタのデータをフラッシュマクロの FSARH レジスタと FSARL レジスタで示すアドレスに書き込みます。

**[ブランクチェック]**

フラッシュマクロが FSARH レジスタと FSARL レジスタで示す開始アドレスから FEARH レジスタと FEARL レジスタで示す終了アドレスにかけてブランク (書き込みされていない) 状態であるかどうかを確認します。ブランクチェックコマンドは、フラッシュマクロの領域内で実行可能です。

注. ブランクチェック結果で、フラッシュメモリが消去されたことを保証することはできません。

**[ブロックイレース]**

フラッシュメモリのブロックを消去します。

消去対象のブロックの開始アドレスを FSARH レジスタと FSARL レジスタで設定し、消去対象のブロックの終了アドレスを FEARH レジスタと FEARL レジスタで設定します。指定以外の設定をした場合、消去は正しく実行されません。ブロックイレースコマンドは、フラッシュマクロの領域内で実行可能です。

**[連続リード]**

FSARH レジスタと FSARL レジスタで示す開始アドレスから FEARH レジスタと FEARL レジスタで示す終了アドレスまでのフラッシュマクロを読み出します。読み出しデータは、FRBH レジスタと FRBL レジスタに格納されます。連続リードコマンドはフラッシュマクロの領域内で実行可能です。

#### [チップイレース]

フラッシュマクロの全ブロックを消去します。

消去対象のブロックの開始アドレスを FSARH レジスタと FSARL レジスタで設定し、消去対象のブロックの終了アドレスを FEARH レジスタと FEARL レジスタで設定します。指定以外の設定をした場合、消去は正しく実行されません。

#### DRC ビット (データリード完了)

連続リードコマンドを実行し、FRBH レジスタと FRBL レジスタを読み出した後、DRC ビットに 1 を書くとリードデータの処理が終了します。DRC ビットに 0 を書くと、次のデータの読み出しが始まります。

#### STOP ビット (処理強制停止)

STOP ビットは、イレースコマンドやブランクチェックコマンドの実行を停止します。

STOP ビットに 1 を設定したら、FSTATR1.FRDY ビットが 1 (処理完了) になるのを待ってから、OPST ビットを 0 にしてください。

#### OPST ビット (処理開始)

OPST ビットは、CMD[2:0] ビットに設定されたコマンドを開始します。OPST ビットを 0 に設定したら、FSTATR1 レジスタの FRDY ビットが 1 になってからコマンドの実行を停止します。それから、FRDY ビットが 0 になったことを確認する必要があります。

- 注.
- フラッシュプログラムの ID 認証がフェイルした場合は、コマンドを実行できません。
  - プログラミング、ブロックイレース、リードコマンドは、各コマンドがアクセスウィンドウで保護された領域を指定した場合、実行できません。

### 32.3.11 FEXCR : フラッシュエクストラ領域コントロールレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x01DC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	—	—	—	—	CMD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD[2:0]	ソフトウェアコマンドの設定 010: アクセスウィンドウ情報プログラム スタートアップ領域選択およびセキュリティ設定 011: OCDID1 プログラム 100: OCDID2 プログラム 101: OCDID3 プログラム 110: OCDID4 プログラム その他: 設定禁止 <sup>(注1)</sup>	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OPST	処理開始 0: 処理が停止する 1: 処理が開始する	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1. これには、FSTATR1.EXRDY ビットが 1 のときに FEXCR レジスタに 0x00 を書くことは含まれません。

FEXCR レジスタは、エクストラ領域をプログラムします。各コマンドを実行する前に、FWBL0 レジスタおよび FWBH0 レジスタを設定する必要があります。



FEXCR レジスタを使用してプログラムする場合、実行前にプログラミング領域が自動的に消去されるため、事前に消去する必要はありません。

### CMD[2:0]ビット（ソフトウェアコマンドの設定）

CMD[2:0]ビットは、以下からソフトウェアコマンドを選択します。

- スタートアップ領域選択およびセキュリティ設定
- アクセスウィンドウ情報プログラム
- OCDID プログラム

以下に、各ソフトウェアコマンドの機能を説明します。

[スタートアップ領域選択およびセキュリティ設定]

FWBL0/FWBH0 レジスタにデータを設定すると、このコマンドでスタートアップ領域をデフォルト領域 (8 KB) と代替領域 (次の 8 KB) から選択し、セキュリティを設定することができます。詳細は「[32.9.1. スタートアッププログラムプロテクション](#)」を参照してください。

FWBH0 レジスタのビット[15]が 0 のとき、代替領域 (次の 8 KB) がスタートアップ領域として選択されます。

FWBH0 レジスタのビット[15]が 1 のとき、デフォルト領域 (8 KB) がスタートアップ領域として選択されます。

FWBL0 レジスタのビット[15]は 0 です。

- アクセスウィンドウ情報プログラムコマンドを実行できないため、アクセスウィンドウは更新できません。
- スタートアップ領域は変更できません。
- FISR レジスタの SAS ビットのデータは変更できません。

注. スタートアップ領域選択およびセキュリティ設定コマンドは、エクストラ領域の対応するビットを一度 0 にした後、1 にすることはできません。

スタートアップ領域選択およびセキュリティ設定のエクストラビットのマッピングを以下に示します。

**表 32.5 スタートアップ領域選択およびセキュリティ設定のエクストラビットのマッピング (アドレス (P/E): 0x0000\_0010)**

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
SASM F	—	—	—	—	FAWE[10:0]										
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FSPR (注1)	—	—	—	—	FAWS[10:0]										

注 1. このビットは、一度 0 にすると 1 に変更することはできません。

[アクセスウィンドウ情報プログラム]

このコマンドは、領域プロテクションに使用されるアクセスウィンドウを設定します。保護された領域のプログラムコマンド、ブロックイレースコマンド、および連続読み出しコマンドは実行できません。アクセスウィンドウが設定されている（アクセスウィンドウの開始ブロックアドレスが終了ブロックアドレスと等しくない）とき、チップイレースコマンドは実行できません。アクセスウィンドウ情報プログラムコマンドを実行する前に、アクセスウィンドウの開始ブロックアドレスを FWBL0 レジスタのビット[10:0]に設定し、アクセスウィンドウの終了ブロックアドレスの次のブロックアドレスを FWBH0 レジスタのビット[10:0]に設定する必要があります。開始アドレスと終了アドレスを同じ値に設定すると、コードフラッシュの全領域がアクセス可能になります。開始アドレスが終了ブロックアドレスより大きい場合、コードフラッシュの全領域がアクセス不可能になります。

アクセスウィンドウを設定する（アクセスウィンドウの終了ブロックアドレスが開始ブロックアドレスより大きい）場合、開始ブロックアドレスの FWBL0[10]ビットは 0 にしなければなりません。

アクセスウィンドウ情報プログラムのエクストラビットのマッピングを以下に示します。

**表 32.6 アクセスウィンドウ情報プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000\_0010) (1/2)**

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16

表 32.6 アクセスウィンドウ情報プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000\_0010) (2/2)

SASF	—	—	—	—	FAWE[10:0]										
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FSPR (注1)	—	—	—	—	FAWS[10:0]										

注 1. このビット内のデータは、一度 0 にすると 1 に変更することはできません。

[OCDID1-4 プログラム]

これらのコマンドは、OCDID[127:0]ビットを設定します。

表 32.7 OCDID 設定

コマンド	OCDID	FWBH0	FWBL0
OCDID1 プログラム	OCDID[31:0]	OCDID[31:16]	OCDID[15:0]
OCDID2 プログラム	OCDID[63:32]	OCDID[63:48]	OCDID[47:32]
OCDID3 プログラム	OCDID[95:64]	OCDID[95:80]	OCDID[79:64]
OCDID4 プログラム	OCDID[127:96]	OCDID[127:112]	OCDID[111:96]

OCDID1-4 プログラムのエクストラビットのマッピングを以下に示します。

表 32.8 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000\_0018)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[31:16]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[15:0]															

表 32.9 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000\_0020)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[63:48]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[47:32]															

表 32.10 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000\_0028)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[95:80]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[79:64]															

表 32.11 OCDID1-4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000\_0030)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
OCDID[127:112]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
OCDID[111:96]															

### OPST ビット (処理開始)

OPST ビットは、CMD[2:0] ビットに設定されたコマンドを開始します。OPST ビットを 0 にすると、FSTATR1 レジスタの EXRDY ビットが 1 になった後、コマンドの実行が終了されます。EXRDY ビットが 0 であることを確認する必要があります。

## 32.3.12 FSARH : フラッシュ処理開始アドレスレジスタ H

Base address: FLCN = 0x407E\_C000

Offset address: 0x0110

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSARH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSARH[15:0]	フラッシュ処理開始アドレス H フラッシュ処理開始アドレス上位 16 ビット 詳細は、FSARL を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。b8~b5 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

## 32.3.13 FSARL : フラッシュ処理開始アドレスレジスタ L

Base address: FLCN = 0x407E\_C000

Offset address: 0x0108

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSARL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSARL[15:0]	フラッシュ処理開始アドレス L フラッシュ処理開始アドレス下位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FSARH および FSARL レジスタは、ソフトウェアコマンドの開始アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FSARH および FSARL レジスタを読み出すと、値は不定値になります。プログラムコマンドの実行後、ソフトウェアコマンドのシーケンサによって、データは自動的にインクリメントされます。プログラムコマンドの自動インクリメント機能は、次のアドレスが連続アドレスの場合、FSARH および FSARL レジスタへの次のアドレスの設定を破棄します。インクリメントの単位は次のとおりです。

コードフラッシュ : +0x4

データフラッシュ : +0x1

フラッシュメモリのアドレスの詳細については、[図 32.2](#) と [図 32.3](#) を参照してください。

## 32.3.14 FEARH : フラッシュ処理終了アドレスレジスタ H

Base address: FLCN = 0x407E\_C000

Offset address: 0x0120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARH[15:0]	フラッシュ処理終了アドレス H フラッシュ処理終了アドレスの上位 16 ビット 詳細は、FEARL を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。b8～b5 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

### 32.3.15 FEARL : フラッシュ処理終了アドレスレジスタ L

Base address: FLCN = 0x407E\_C000

Offset address: 0x0118

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARL[15:0]	フラッシュ処理終了アドレス L フラッシュ処理終了アドレスの下位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FEARH および FEARL レジスタは、ブランクチェック、ブロックイレース、チップイレース、および連続リードコマンドの終了アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FEARH および FEARL レジスタを読み出すと、値は不定値になります。

フラッシュメモリのアドレスについて詳しくは、[図 32.2](#) と [図 32.3](#) を参照してください。

### 32.3.16 FWBL0 : フラッシュライトバッファレジスタ L0

Base address: FLCN = 0x407E\_C000

Offset address: 0x0130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WDATA[15:0]	フラッシュライトバッファ L0 フラッシュライトバッファデータ下位 16 ビット 詳細は、FWBH0 を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

### 32.3.17 FWBH0 : フラッシュライトバッファレジスタ H0

Base address: FLCN = 0x407E\_C000

Offset address: 0x0138

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/Wf
15:0	WDATA[15:0]	フラッシュライトバッファ H0 フラッシュライトバッファデータの上位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FWBH0 レジスタと FWBL0 レジスタは、プログラムコマンド、スタートアップ選択とセキュリティ設定コマンド、アクセスウィンドウ情報プログラムコマンドと OCDID プログラムコマンドのプログラムデータを設定します。以下の表に、各コマンドによるデータの設定方法を説明します。

レジスタ	レジスタに設定される内容
FWBH0 FWBL0	<ul style="list-style-type: none"> <li>コードフラッシュのプログラムコマンドのプログラムデータのビット[31:0]</li> <li>データフラッシュのプログラムコマンドのプログラムデータのビット[7:0]</li> <li>スタートアップ選択およびセキュリティ設定コマンド、アクセスウィンドウ情報プログラムコマンド、および OCDID プログラムコマンドのプログラムデータのビット[31:0]</li> </ul>

### 32.3.18 FRBL0 : フラッシュリードバッファレジスタ L0

Base address: FLCN = 0x407E\_C000

Offset address: 0x0188

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: RDATA[15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	RDATA[15:0]	フラッシュリードバッファ L0  RDATA[15:0]は、連続リードコマンド実行時に、コードフラッシュまたはデータフラッシュのリードデータのビット[15:0]を格納します。 データフラッシュが読み出されると、ビット[15:8]に 0x00 が格納されます。	R

### 32.3.19 FRBH0 : フラッシュリードバッファレジスタ H0

Base address: FLCN = 0x407E\_C000

Offset address: 0x0190

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: RDATA[15:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	RDATA[15:0]	フラッシュリードバッファ H0  RDATA[15:0]は、連続リードコマンド実行時に、コードフラッシュのリードデータのビット[31:16]を格納します。	R

### 32.3.20 FSTATR1 : フラッシュステータスレジスタ 1

Base address: FLCN = 0x407E\_C000

Offset address: 0x012C

Bit position: 7 6 5 4 3 2 1 0

Bit field: EXRD Y FRDY — — — — DRRD Y —

Value after reset: 0 0 0 0 0 1 0 0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
1	DRRDY	データリードレディフラグ 0: 各アドレスでの連続リードコマンドの読み出し処理が終了していない。 1: 各アドレスでの連続リードコマンドの読み出し処理が終了し、読み出しデータが FRBH レジスタおよび FRBL レジスタに格納された。	R
2	—	読むと 1 が読めます。	R
5:3	—	読むと 0 が読めます。	R
6	FRDY	フラッシュレディフラグ 0: FCR レジスタのソフトウェアコマンドが終了していない。 1: FCR レジスタのソフトウェアコマンドが終了した。	R
7	EXRDY	エクストラ領域レディフラグ 0: FEXCR レジスタのソフトウェアコマンドが終了していない。 1: FEXCR レジスタのソフトウェアコマンドが終了した。	R

FSTATR1 は、ソフトウェアコマンドの実行結果を確認するために使用されるステータスレジスタです。各フラグは、次のソフトウェアコマンド実行時に 0 にセットされます。

### 32.3.21 FSTATR2 : フラッシュステータスレジスタ 2

Base address: FLCN = 0x407E\_C000

Offset address: 0x01F0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	EILGL ERR	ILGLE RR	BCER R	PRGE RR01	PRGE RR	ERER R
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ERERR	イレースエラーフラグ 0: イレースが正常終了 1: イレース中にエラー発生	R
1	PRGERR	プログラムエラーフラグ 0: プログラムが正常終了 1: プログラム中にエラー発生	R
2	PRGERR01	プログラムエラーフラグ 01 0: FEXCR レジスタによるプログラムが正常終了 1: プログラム中にエラー発生	R
3	BCERR	ブランクチェックエラーフラグ 0: ブランクチェックが正常終了 1: ブランクチェック中にエラー発生	R
4	ILGLERR	イリーガルコマンドエラーフラグ 0: 不正なソフトウェアコマンドまたは不正なアクセスの検出なし 1: 不正なコマンド、ないし不正なアクセスが検出された	R
5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ 0: エクストラ領域への不正なコマンドまたは不正なアクセスの検出なし 1: エクストラ領域への不正なコマンドまたは不正なアクセスの検出あり	R
15:6	—	読むと 0 が読めます。	R

FSTATR2 は、ソフトウェアコマンド実行結果を確認するために使うステータスレジスタです。各エラーフラグは、次のソフトウェアコマンド実行時に 0 に設定されます。

#### ERERR フラグ (イレースエラーフラグ)

消去時に FCR.STOP ビットが 1 (処理が強制停止した) になったとき、ERERR ビットの値は不定になります。

**PRGERR フラグ (プログラムエラーフラグ)**

FCR レジスタのプログラムコマンドまたは FEXCR レジスタの各コマンドが異常終了すると、PRGERR ビットが 1 になります。

**PRGERR01 フラグ (プログラムエラーフラグ 01)**

FEXCR レジスタの各コマンドが異常終了すると、PRGERR01 ビットが 1 になります。

**ILGLERR フラグ (イリーガルコマンドエラーフラグ)**

ILGLERR フラグは、FCR レジスタのソフトウェアコマンドの実行が予期しない状態であることを示します。

[1 になる条件]

- プログラミング、イレース、リードコマンドが、アクセスウィンドウ範囲で保護された領域に対して実行された。
- アクセスウィンドウが設定されているのに、チップイレースコマンドが実行された。(アクセスウィンドウの開始ブロックアドレスが終了ブロックアドレスと等しくない。)
- FSARH レジスタと FSARL レジスタで設定された開始アドレスが FEARH レジスタと FEARL レジスタで設定された終了アドレスより大きい状態で、ブランクチェック、ブロックイレース、連続リード、チップイレースコマンドが実行された。
- FASR.EXS ビットが 1 の状態で、プログラム、ブロックイレース、チップイレース、ブランクチェックコマンドが実行された。
- データフラッシュアドレスが FSARH レジスタと FSARL レジスタに設定され、ソフトウェアコマンドがコードフラッシュ P/E モードで実行された。
- コードフラッシュアドレスが FSARH レジスタと FSARL レジスタに設定され、ソフトウェアコマンドがデータフラッシュ P/E モードで実行された。
- コードフラッシュとデータフラッシュが同時に P/E モードに設定され、ソフトウェアコマンドが実行された。

[0 になる条件]

- 以下のソフトウェアコマンドが実行された。

**EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)**

EILGLERR フラグは、FEXCR レジスタのソフトウェアコマンドの実行が予期しない状態であることを示します。

[1 になる条件]

- FASR レジスタの EXS ビットが 0 の時に、FEXCR レジスタのソフトウェアコマンドが実行された。
- FSPR ビットが 0 の時に、アクセスウィンドウ情報プログラムコマンドが実行された。

[0 になる条件]

- 以下のソフトウェアコマンドが実行された。

**32.3.22 FEAMH : フラッシュエラーアドレスモニタレジスタ H**

Base address: FLCN = 0x407E\_C000

Offset address: 0x01E8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAMH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAMH[15:0]	フラッシュエラーアドレスモニタレジスタ H フラッシュエラーアドレスモニタの上位 16 ビット 詳細は、FEAML を参照してください。	R/W

## 32.3.23 FEAML : フラッシュエラーアドレスモニタレジスタ L

Base address: FLCN = 0x407E\_C000

Offset address: 0x01E0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAML[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAML[15:0]	フラッシュエラーアドレスモニタレジスタ L フラッシュエラーアドレスモニタの下位 16 ビット	R/W

ソフトウェアコマンドの実行の後、エラーアドレスが FEAMH レジスタと FEAML レジスタから取り出されます。フラッシュメモリのアドレス詳細については、[図 32.2](#) と [図 32.3](#) を参照してください。

## 32.3.24 FSCMR : フラッシュスタートアップ設定モニタレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x01C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	FSPR	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
Value after reset:	0	x(注1)	0	0	0	x	x	x(注1)	0	0	0	0	0	0	0	0

注 1. リセット後の値は、エクストラ領域の状態によって決まります。

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。	R
8	SASMF	スタートアップ領域設定モニタフラグ 0: 代替領域を使用して起動する設定 1: デフォルト領域を使用して起動する設定	R
10:9	—	読み出し値は不定です。	R
11	—	読むと 0 が読めます。	R
13:12	—	読み出し値は不定です。	R
14	FSPR	アクセスウィンドウプロテクションフラグ 0: アクセスウィンドウ設定禁止 1: アクセスウィンドウ設定許可	R
15	—	読むと 0 が読めます。	R

FSCMR レジスタは、エクストラ領域設定をモニタします。本レジスタのデータは、リセットシーケンス時、または FEXCR レジスタのソフトウェアコマンド実行時に更新されます。

## 32.3.25 FAWSMR : フラッシュアクセスウィンドウ開始アドレスモニタレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x01C8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	FAWS[10:0]										
Value after reset:	0	0	0	0	0	ユーザー設定値(注1)										

注 1. ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBH0 レジスタの[10:0]ビットに設定された値と同じになります。



ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ開始アドレスの設定値を確認するために使用されます。	R
14:11	—	読むと 0 が読めます。	R
15	FSPR	アクセスウィンドウプロテクションフラグ このビットは、FSCMR レジスタの FSPR ビットと同じ値になります。	R

### 32.3.26 FAWEMR : フラッシュアクセスウィンドウ終了アドレスモニタレジスタ

Base address: FLCN = 0x407E\_C000

Offset address: 0x01D0

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	SASM F	—	—	—	—	FAWE[10:0]									
------------	-----------	---	---	---	---	------------	--	--	--	--	--	--	--	--	--

Value after reset: 0 0 0 0 0 ユーザー設定値(注1)

注 1. ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBL0 レジスタの[10:0]ビットに設定された値と同じになります。

ビット	シンボル	機能	R/W
10:0	FAWE[10:0]	アクセスウィンドウ終了アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ終了アドレスの設定値を確認するために使用されます。	R
14:11	—	読むと 0 が読めます。	R
15	SASMF	スタートアップ領域設定モニタフラグ このビットは、FSCMR レジスタの SASMF ビットと同じ値になります。	R

### 32.3.27 UIDRn : ユニーク ID レジスタ n (n = 0~3)

Address: 0x0100\_1C00 + n × 4

Bit position: 31 0

Bit field:	UID[31:0]
------------	-----------

Value after reset: チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	UID[31:0]	ユニーク ID	R

UIDRn レジスタは、個々の MCU を識別するための 16 バイトの ID コード (ユニーク ID) を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で読み出してください。

### 32.3.28 PNRn : 型名レジスタ n (n = 0~3)

Address: 0x0100\_1C10 + n × 4

Bit position: 31 0

Bit field:	PNR[31:0]
------------	-----------

Value after reset: チップごとのユニーク値

ビット	シンボル	機能	R/W
31:0	PNR[31:0]	型名	R

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトは製品一覧に示すように、製品の型名の ASCII コードに対応しています。

型名が'R7FA2E2A72DNK'の場合、16 バイトの型名は以下のように格納されます。

アドレス 0x0100\_1C10: 'K', 0x4B (ASCII コード)  
 アドレス 0x0100\_1C11: 'N', 0x4E (ASCII コード)  
 アドレス 0x0100\_1C12: 'D', 0x44 (ASCII コード)  
 アドレス 0x0100\_1C13: '2', 0x32 (ASCII コード)  
 アドレス 0x0100\_1C14: '7', 0x37 (ASCII コード)  
 アドレス 0x0100\_1C15: 'A', 0x41 (ASCII コード)  
 アドレス 0x0100\_1C16: '2', 0x32 (ASCII コード)  
 アドレス 0x0100\_1C17: 'E', 0x45 (ASCII コード)  
 アドレス 0x0100\_1C18: '2', 0x32 (ASCII コード)  
 アドレス 0x0100\_1C19: 'A', 0x41 (ASCII コード)  
 アドレス 0x0100\_1C1A: 'F', 0x46 (ASCII コード)  
 アドレス 0x0100\_1C1B: '7', 0x37 (ASCII コード)  
 アドレス 0x0100\_1C1C: 'R', 0x52 (ASCII コード)  
 アドレス 0x0100\_1C1D: " ", 0x20 (ASCII コード)  
 アドレス 0x0100\_1C1E: " ", 0x20 (ASCII コード)  
 アドレス 0x0100\_1C1F: " ", 0x20 (ASCII コード)

### 32.3.29 MCUVER : MCU バージョンレジスタ



ビット	シンボル	機能	R/W
7:0	MCUVE[7:0]	MCU バージョン	R

MCUVER レジスタは、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。値が高いほど MCU バージョンが新しいです。

## 32.4 フラッシュメモリからの命令プリフェッチ

フラッシュメモリには、コードの実行を高速化するための命令プリフェッチ機能があります。プリフェッチ機能は、プリフェッチバッファを有効にすることで使用できます。プリフェッチバッファを有効にするには、PFBER.PFBE ビットを 1 にします。

注. フラッシュメモリがプログラム/イレース動作中の場合、あらかじめ PFBER.PFBE ビットを 0 にしてください。

## 32.5 フラッシュメモリ関連の動作モード

図 32.4 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 起動モード」を参照してください。

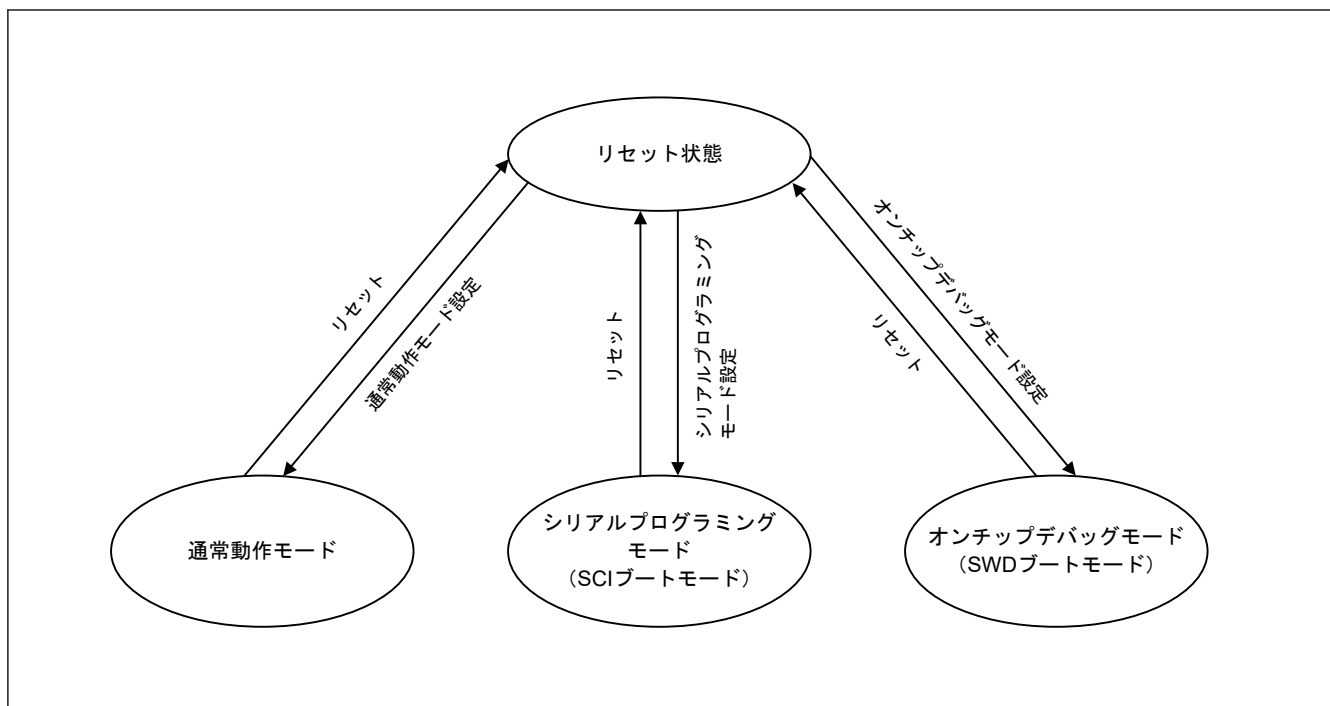


図 32.4 フラッシュメモリに関するモード遷移図

プログラム/イレースが可能なフラッシュメモリの領域、およびリセット時ブートプログラムを実行するフラッシュメモリの領域は各モードで異なります。表 32.12 に各モードの相違点を示します。

表 32.12 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (SCI ブートモード)	オンチップデバッグモード (SWD ブートモード)
プログラム/イレースが可能な領域	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>	<ul style="list-style-type: none"> <li>コードフラッシュメモリ</li> <li>データフラッシュメモリ</li> </ul>
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザー領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

### 32.5.1 ID コードプロテクト

この機能は、プログラミングとオンチップデバッグを禁止します。ID コードプロテクト機能が有効な場合、デバイスはホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この 2 つが一致する場合に限り許可されます。

フラッシュメモリの ID コードは、4 つの 32 ビットワードで構成されます。ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効/無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 32.13 に示します。

表 32.13 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード) オンチップデバッグモード (SWD ブートモード)	0xFF, ..., 0xFF (すべてのバイトが 0xFF)	プロテクト無効	ID コードは検証されません。ID コードは常に一致して、シリアルプログラマまたはオンチップデバッグ(注1)への接続が許可されます。
	ビット[127]=1、ビット[126]=1、かつ 16 バイトのうちの少なくとも 1 バイトが 0xFF 以外	プロテクト有効	ID コードの一致は、認証が終了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。シリアルプログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。
	ビット[127]=1 およびビット[126]=0	プロテクト有効	ID コードの一致は、認証が終了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。
	ビット[127]=0	プロテクト有効	ID コードは検証されません。ID コードは常に不一致であり、シリアルプログラマまたはオンチップデバッグへの接続は禁止されます。オンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザーフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザーフラッシュメモリ領域の内容は消去されません。

注 1. オンチップデバッグから ID コードを送信しないでください。または、オンチップデバッグから 0xFF, ..., 0xFF (すべてのバイトが 0xFF) の ID コードを送信してください。

## 32.6 機能概要

シリアルインタフェース経由 (シリアルプログラミングモード)、または SWD インタフェース経由 (オンチップデバッグモード) で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前/実装後にかかわらずデバイスのプログラムが可能です。また、ユーザープログラムの書き換えを禁止するセキュリティ機能により、第三者によるプログラムの改ざんを防止できます。

ユーザープログラムによるプログラミング (セルフプログラミング) は、システムの製造/出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクト機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 32.14 は、プログラミング方式と関連する動作モードを示しています。

表 32.14 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI インタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリをオンボードで書き換えることができます。	シリアルプログラミングモード
	SCI インタフェースおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミング実行前にメモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。	通常動作モード
SWD プログラミング	SWD 経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッグを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	SWD および専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッグを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	

表 32.15 に内蔵フラッシュメモリの機能一覧を示します。シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモリの読み出しまたはユーザープログラムの実行を行ってください。

表 32.15 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。	なし	あり
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし（ユーザープログラムにて読み出しは可能）
ID コードチェック	ホストが送信した ID コードとコードフラッシュメモリに格納されているコードとを比較します。これら 2 つが一致する場合、FCB は待機状態に遷移してホストからのプログラミングとイレースコマンドを待ちます。	あり	なし（ID 認証は行わない）
セキュリティ設定	セキュリティ機能の保護を設定します（アクセスウィンドウおよびスタートアップ領域選択）。	条件付きであり（「32.9. プロテクション機能」を参照）	条件付きであり（「32.9. プロテクション機能」を参照）
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	あり	あり

内蔵フラッシュメモリは ID コードチェック機能をサポートしています。ID コードチェック認証は、シリアルプログラミングと SWD プログラミングで使用できるセキュリティ機能です。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 32.16 に、セキュリティ設定時の動作を表 32.17 に示します。

表 32.16 セキュリティ機能

機能	内容
ID 認証	シリアルプログラミング時のシリアルプログラマ接続を ID 認証結果で制御可能です。

表 32.17 使用可能な動作とセキュリティ設定

機能	各セキュリティ設定時のイレース/プログラミング/リード動作		セキュリティ設定に関する制限事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	
ID 認証	ID が不一致の場合 <ul style="list-style-type: none"> <li>ブロックイレースコマンド：使用不可</li> <li>プログラミングコマンド：使用不可</li> <li>リードコマンド：使用不可</li> <li>セキュリティ設定コマンド：使用不可</li> <li>プロテクション設定コマンド：使用不可</li> </ul> ID が一致した場合 <ul style="list-style-type: none"> <li>ブロックイレースコマンド：使用可能</li> <li>プログラミングコマンド：使用可能</li> <li>リードコマンド：使用可能</li> <li>セキュリティ設定コマンド：使用可能</li> <li>プロテクション設定コマンド：使用可能</li> </ul>	<ul style="list-style-type: none"> <li>ブランクチェック：使用可能</li> <li>ブロックイレース：使用可能</li> <li>プログラミング：使用可能</li> <li>セキュリティ設定：使用可能</li> <li>プロテクション設定：使用可能</li> </ul>	セルフプログラミングモードでは ID 認証は行わない

### 32.6.1 コンフィグレーション設定領域ビットマップ

図 32.5 に、ID 認証、スタートアップ領域の選択、アクセスウィンドウプロテクション、セキュリティ設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

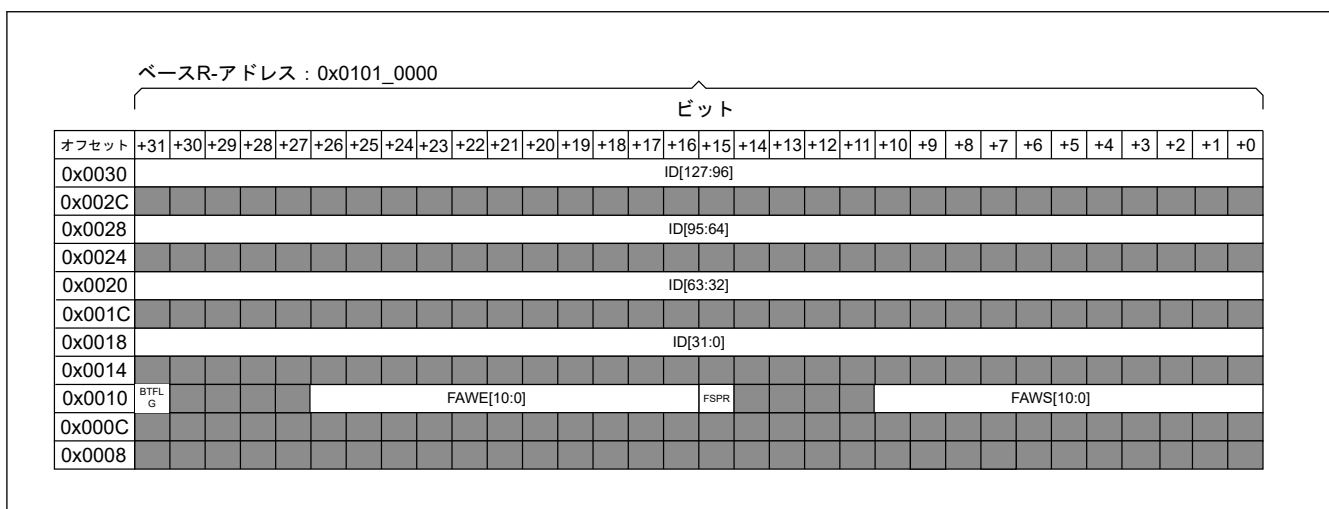


図 32.5 構成領域ビットマップ

### 32.6.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域のサイズは 8 KB で、ユーザー領域に配置されています。FCB は、構成領域スタートアップ領域選択フラグ (AWS.BTFLG) に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は FSPR ビットでロックすることが可能です。

図 32.6 に、スタートアッププログラムのプロテクションの概要を示します。

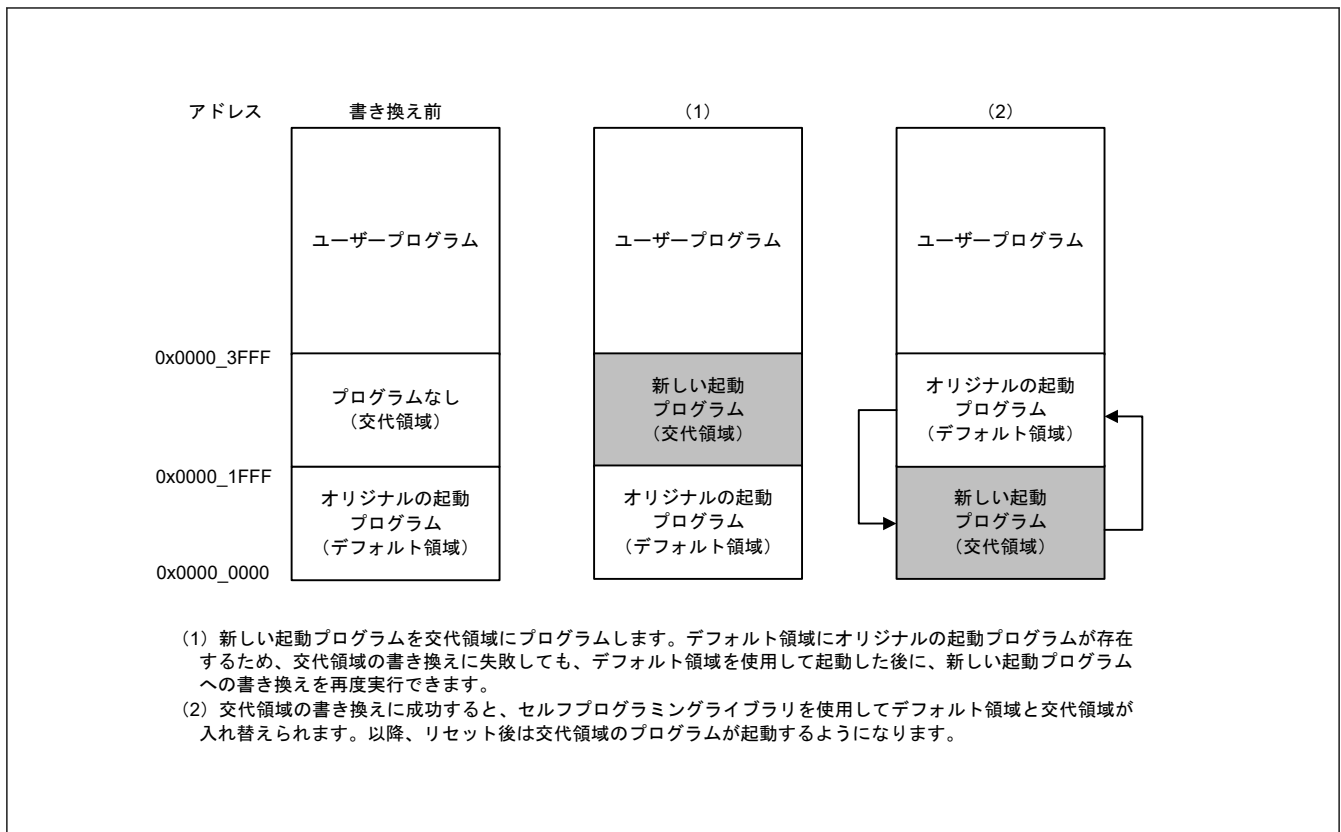


図 32.6 スタートアッププログラムプロテクションの概要

### 32.6.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザー領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。図 32.7 に、フラッシュ領域プロテクションの概要を示します。

アクセスウィンドウは、FAWS[10:0]ビットおよびFAWE[10:0]ビットの両方で指定されています。「6.2.4. AWS : アクセスウィンドウ設定レジスタ」を参照してください。以下に、各種条件でのFAWE[10:0]ビットおよびFAWS[10:0]ビットの設定を説明します。

- FAWE[10:0] = FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できません。
- FAWE[10:0] > FAWS[10:0] : P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE[10:0]ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE[10:0] < FAWS[10:0] : P/E コマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できません。

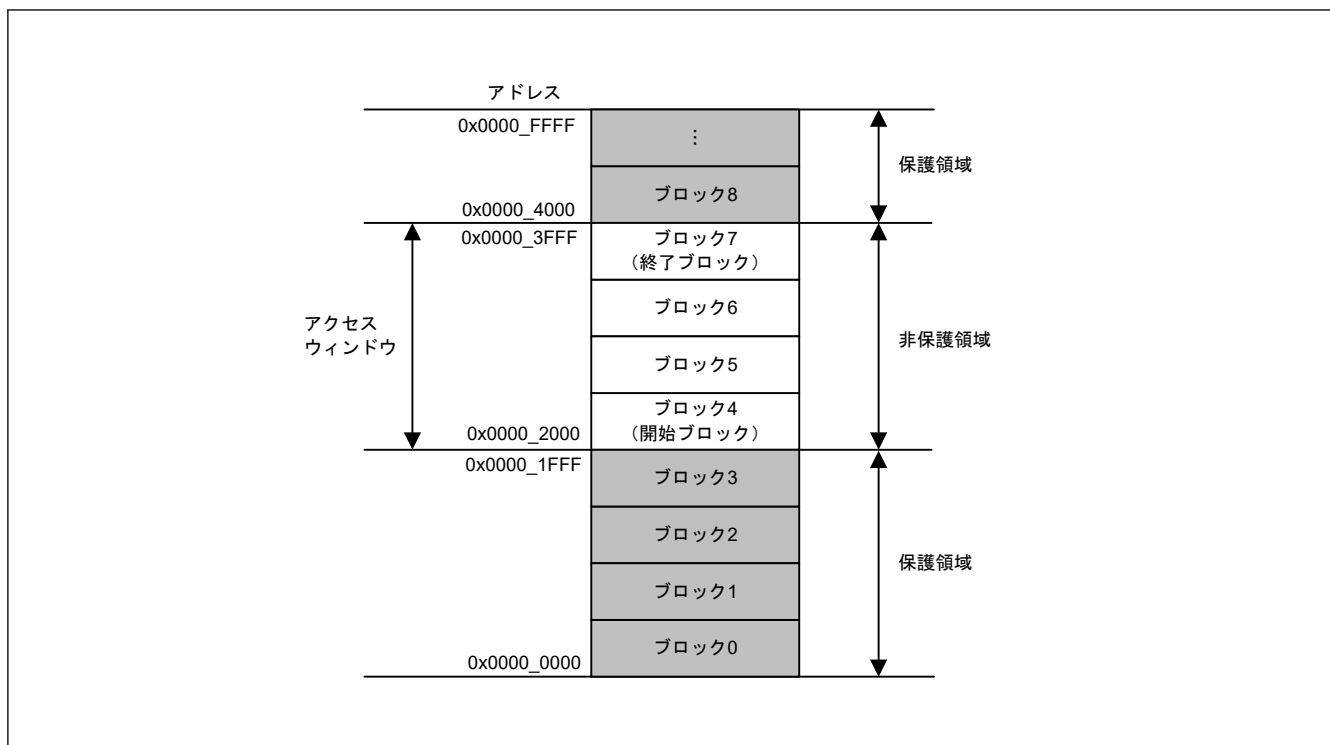


図 32.7 フラッシュ領域プロテクションの概要

## 32.7 プログラムコマンド

FCB は、プログラムコマンドを制御します。

## 32.8 サスペンド動作

強制停止コマンドは、ブランクチェックコマンド、ブロックイレースコマンド、またはチップイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

チップイレースコマンドの最中に強制停止コマンドが実行された場合、チップイレースコマンドを再度実行してから再開してください。

## 32.9 プロテクション機能

以下の種類のプロテクションが提供されています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

### 32.9.1 スタートアッププログラムプロテクション

一時的な停電によってスタートアップ領域のプログラムが中断した場合、スタートアッププログラムが正常にプログラムされず、ユーザープログラムが正常に起動しないことがあります。

スタートアッププログラムプロテクションにより、既存のスタートアッププログラムを消去せずにスタートアッププログラムを書き込むことで、この問題を回避できます。

図 32.8 に、スタートアッププログラムプロテクションの概要を示します。この図では、開始アドレスから 8 KB の領域がデフォルト領域、それに続く 8 KB の領域が代替領域を示しています。



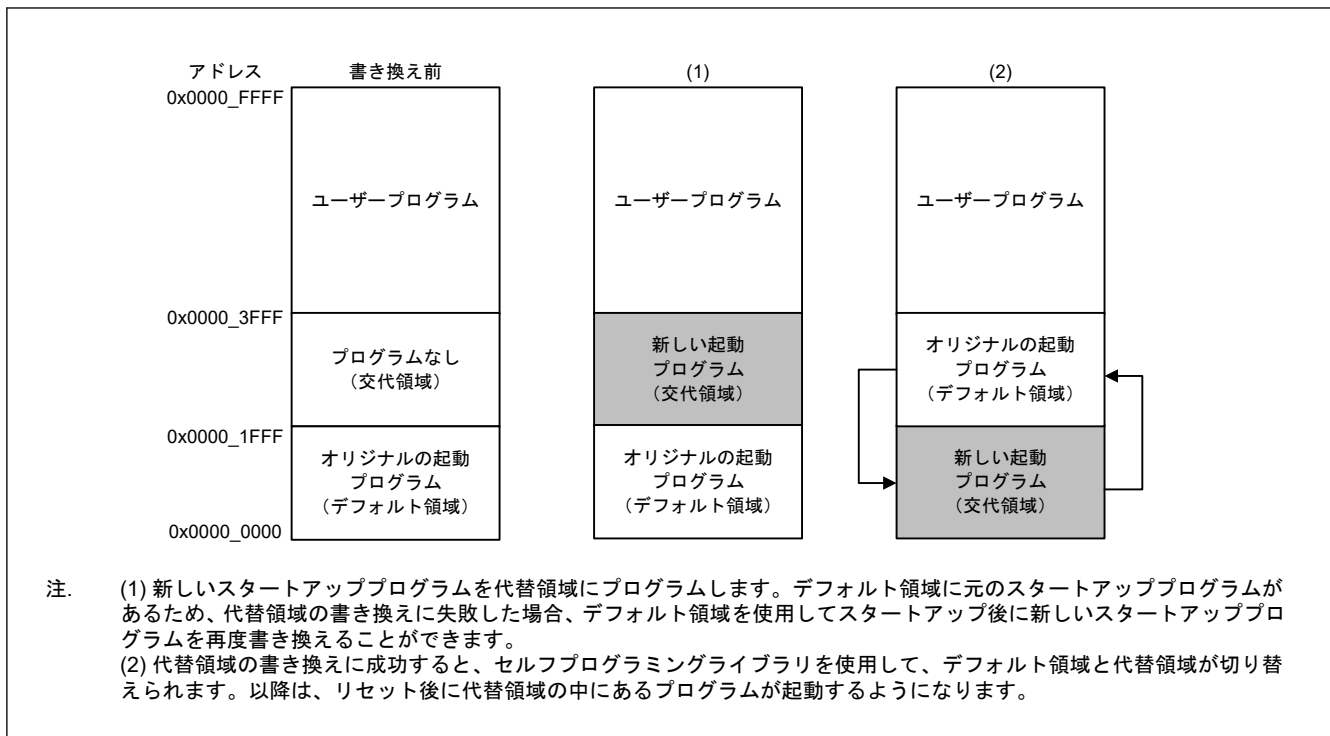


図 32.8 スタートアッププログラムプロテクションの概要

### 32.9.2 領域プロテクション

領域プロテクションは、ユーザー領域の選択されたブロック（アクセスウィンドウ）のみの書き換えを許可し、他のブロックのプログラミングを禁止します。データフラッシュは、アクセスウィンドウによって保護されません。

開始ブロックと終了ブロックを選択し、アクセスウィンドウを設定します。アクセスウィンドウは、プログラミングモード（ブートモード、セルフプログラミングモード、およびOCDモード）において変更可能かつ有効です。

図 32.9 に領域プロテクションの概要を示します。

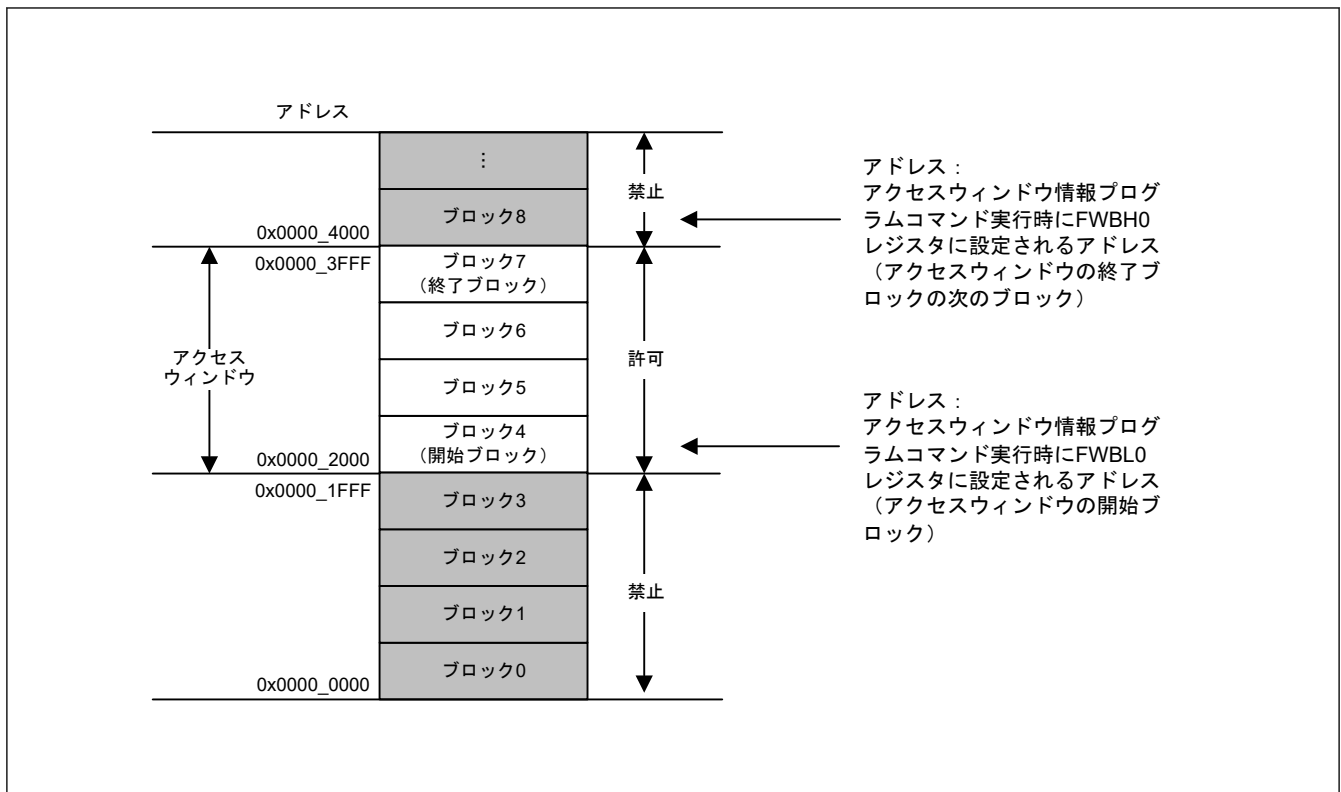


図 32.9 領域プロテクションの概要

### 32.10 シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SCI9 を使用するブートモード

表 32.18 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 32.18 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCI ブートモード (シリアルプログラミングモード)	動作モードの選択
P110/RXD9	入力	SCI ブートモード	ホスト通信における SCI 経由データ受信用
P109/TXD9	出力		ホスト通信における SCI 経由データ送信用

注. セキュリティ MPU が有効な場合、シリアルプログラミングモードは実行されません。

#### 32.10.1 SCI ブートモード

SCI ブートモードでは、ホストから制御コマンドやプログラミングデータを送信して、コードフラッシュメモリ領域およびデータフラッシュメモリ領域へのプログラム/イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU を SCI ブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。

図 32.10 に、SCI ブートモードで動作するためのシステム構成を示します。

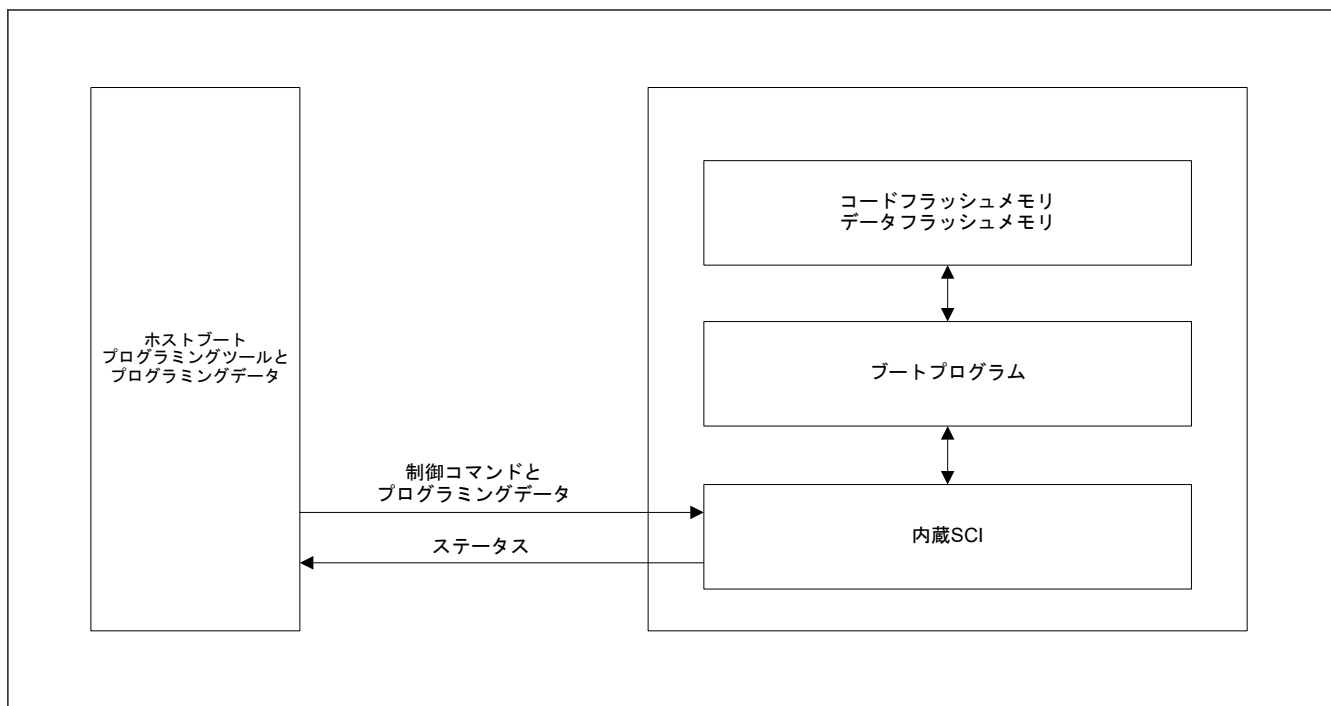


図 32.10 SCI ブートモード時のシステム構成

### 32.11 シリアルプログラマを使用する場合

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリのプログラムを行うことができます。

#### 32.11.1 シリアルプログラミング

本 MCU は、シリアルプログラミング用にシステムボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

図 32.11 に、本 MCU のフラッシュメモリにデータをプログラミングするための推奨される環境を示します。

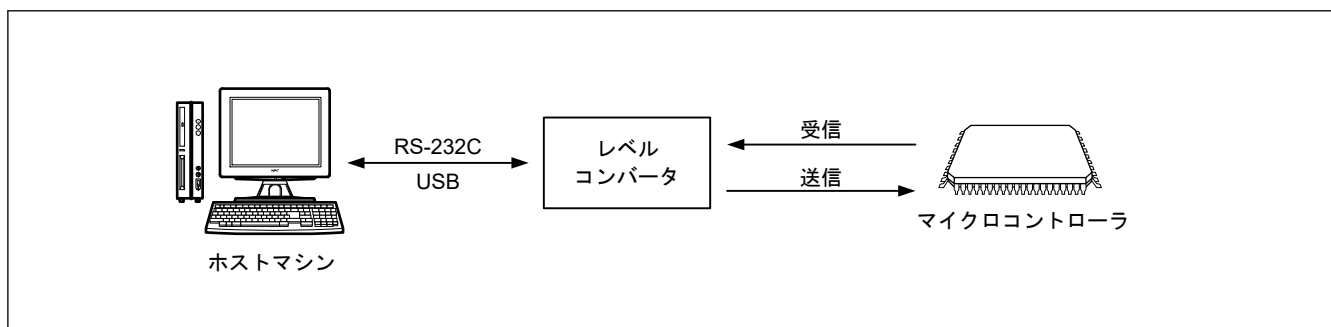


図 32.11 フラッシュメモリにプログラムを書き込むための環境

### 32.12 セルフプログラミング

#### 32.12.1 概要

本 MCU は、ユーザープログラムによるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザーのプログラムでを使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザープログラムの更新と、定数データフィールドの書き換えが可能になります。

セルフプログラミングでは、プログラム電圧とイレース電圧を生成するために、安定した HOCO クロックをフラッシュメモリに供給する必要があります。よって、システムクロックに他のクロックソースが選択されていて

HOCO が停止している場合には、セルフプログラミングを実行する前に、HOCO 動作を開始し、発振が安定状態にある必要があります。HOCO クロック発振安定確認の詳細は、「8.2.8. OSCSF : 発振安定フラグレジスタ」を参照してください。

バックグラウンドオペレーション機能を利用して図 32.12 に示す条件でコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムを事前に内蔵 SRAM に複製し、そこから実行することも可能です。内蔵 SRAM からの実行時、本プログラムはコードフラッシュメモリ領域を書き換えることもできます。

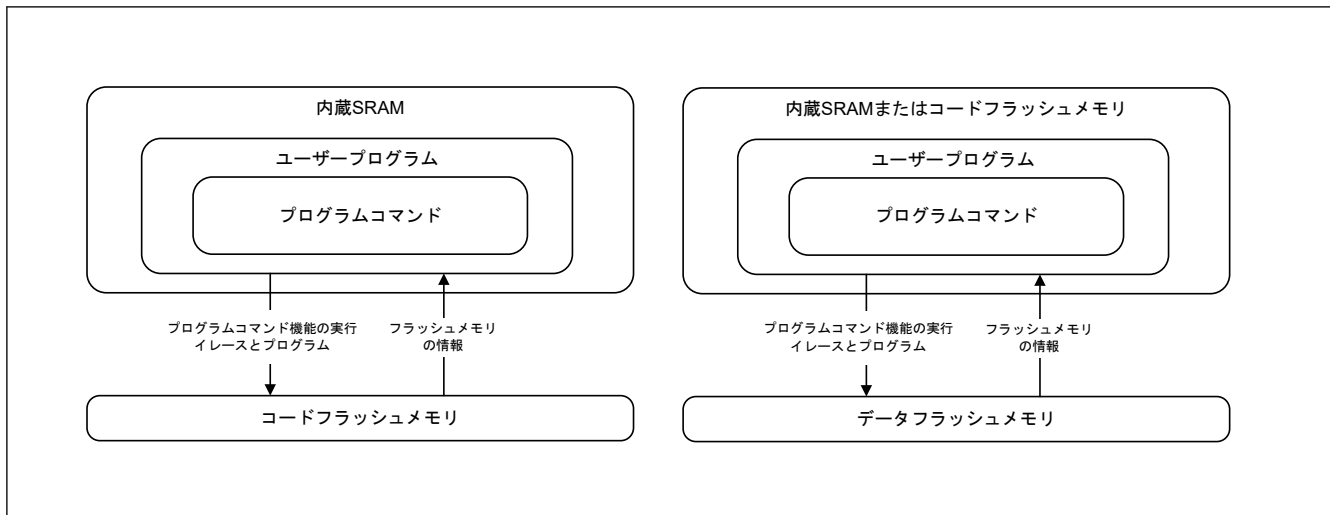


図 32.12 セルフプログラミングの概念

### 32.12.2 バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 32.19 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 32.19 バックグラウンドオペレーションの利用可能な条件

製品	書き込み可能範囲	読み出し可能範囲
全製品	データフラッシュメモリ	コードフラッシュメモリ

## 32.13 プログラムとイレース

コードフラッシュとデータフラッシュのプログラムとイレースは、プログラムおよびイレース用専用シーケンサのモードを変更するか、プログラムおよびイレース用のコマンドを発行することによって行えます。

コードフラッシュとデータフラッシュのプログラムまたはイレースに必要なモード遷移とコマンドについて、この後の各項で説明します。以下の説明は、ブートモードとシングルチップモードに共通して適用されます。

### 32.13.1 シーケンサモード

シーケンサには4つのモードがあります。モード間の遷移は、FENTRYR レジスタまたはDFLCTL レジスタへの書き込み、あるいはFPMCR レジスタを設定するコマンドの発行によって発生します。図 32.13 にフラッシュメモリのモード遷移を示します。

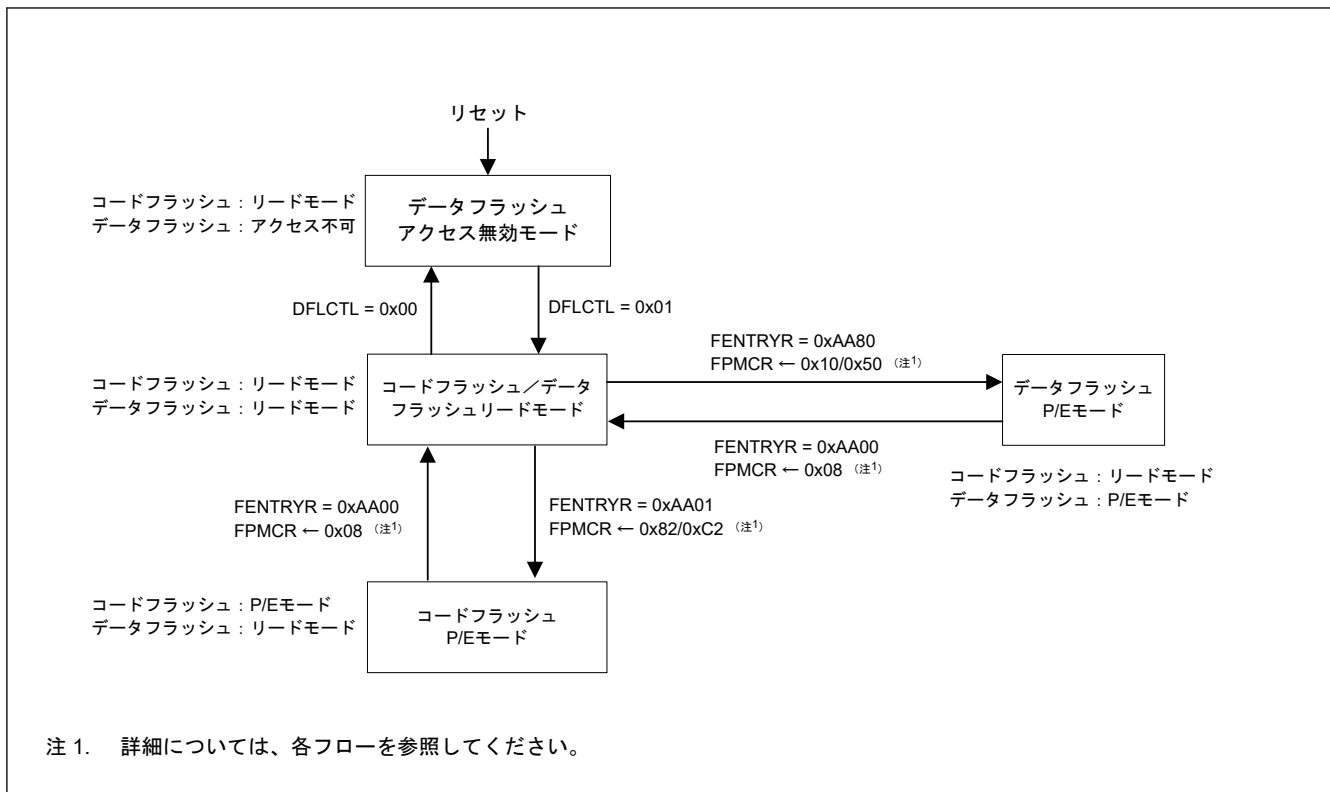


図 32.13 フラッシュメモリのモード遷移

### 32.13.1.1 データフラッシュアクセス禁止モード

データフラッシュアクセス禁止モードは、データフラッシュへのアクセスを禁止します。このモードはリセット時に発生します。DFLCTL.DFLEN ビットを 1 にすると、データフラッシュはリードモードに遷移します。

### 32.13.1.2 リードモード

リードモードは、コードフラッシュとデータフラッシュの高速読み出しに使用します。

#### (1) コードフラッシュおよびデータフラッシュリードモード

このモードは、コードフラッシュおよびデータフラッシュの読み出しに使用されます。FENTRYR.FENTRY0 ビットが 0 で、かつ FENTRYR.FENTRYD ビットが 0 のとき、シーケンサはこのモードに遷移します。

### 32.13.1.3 P/E モード

#### (1) コードフラッシュ P/E モード

コードフラッシュ P/E モードは、コードフラッシュのプログラムとイレースに使用されます。

FENTRYR.FENTRYD ビットが 0 で、かつ FENTRYR.FENTRY0 ビットが 1 のとき、シーケンサはこのモードに遷移します。このモードでは、データフラッシュにアクセスすることはできません。

#### (2) データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュのプログラムとイレースに使用されます。コードフラッシュからの高速読み出しが可能です。FENTRYR.FENTRY0 ビットが 0 で、かつ FENTRYR.FENTRYD ビットが 1 のとき、シーケンサはこのモードに遷移します。

## 32.13.2 ソフトウェアコマンド

ソフトウェアコマンドは、プログラムとイレースのためのコマンドと、スタートアッププログラム領域情報およびアクセスウィンドウ情報をプログラムするためのコマンドで構成されます。表 32.20 にフラッシュメモリで使用できるソフトウェアコマンドの一覧を示します。

表 32.20 ソフトウェアコマンド

コマンド	機能
プログラム	コードフラッシュプログラミング (4 バイト) データフラッシュプログラミング (1 バイト)
ブロックイレース	コードフラッシュ/データフラッシュイレース
チップイレース	コードフラッシュ/データフラッシュイレース
連続リード	コードフラッシュ P/E モードまたはデータフラッシュ P/E モード中に指定された領域を読み出します。
ブランクチェック	指定された領域がブランクであるかどうかをチェックします。 領域にデータがプログラムされていないことを確認します。このコマンドは、領域が消去されたままであることを保証するものではありません。
スタートアップ領域情報およびセキュリティプログラム	FSPR または SASMF をエクストラ領域に設定します。
アクセスウィンドウ情報プログラム	領域プロテクションに使用されるアクセスウィンドウをエクストラ領域に設定します。
OCDID プログラム	OCDID をエクストラ領域に設定します。

### 32.13.3 ソフトウェアコマンドの使用方法

以下の各項では、各ソフトウェアコマンドの使用方法について説明します。

#### (1) データフラッシュアクセス禁止モードからリードモードへの切り替え

データフラッシュアクセス禁止モードから、コードフラッシュ/データフラッシュリードモードに遷移する必要があります。図 32.14 に、データフラッシュアクセス禁止モードからコードフラッシュ/データフラッシュリードモードに遷移する手順を示します。

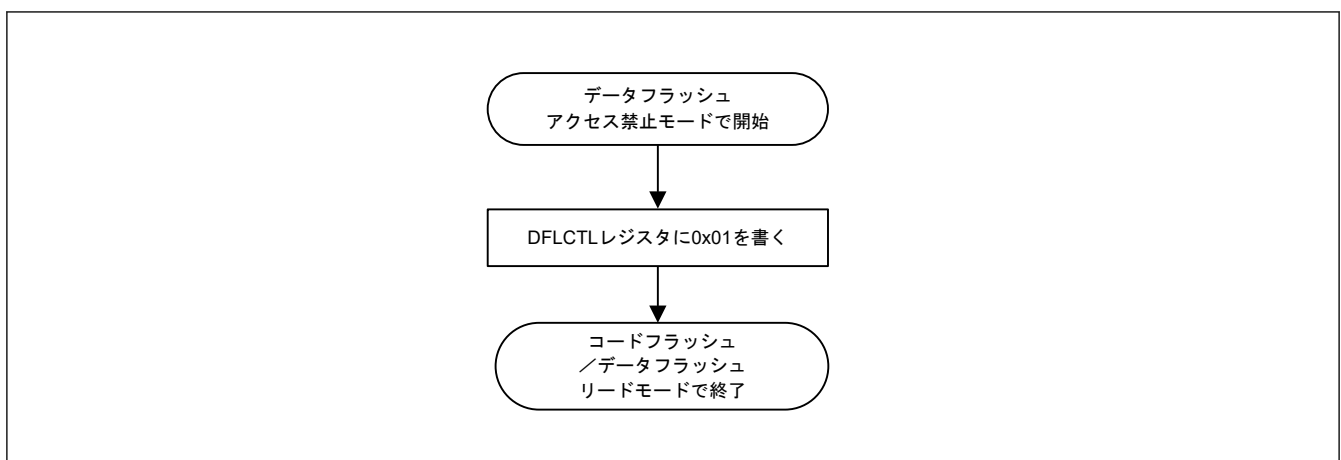


図 32.14 データフラッシュアクセス禁止モードからリードモードへのモード遷移

#### (2) コードフラッシュ P/E モードへの切り替え

コードフラッシュのソフトウェアコマンドを実行する前に、FENTRYR レジスタの FENTRY0 ビットをセットして、コードフラッシュ P/E モードに遷移する必要があります。図 32.15 に、コードフラッシュ P/E モードに遷移する手順を示します。

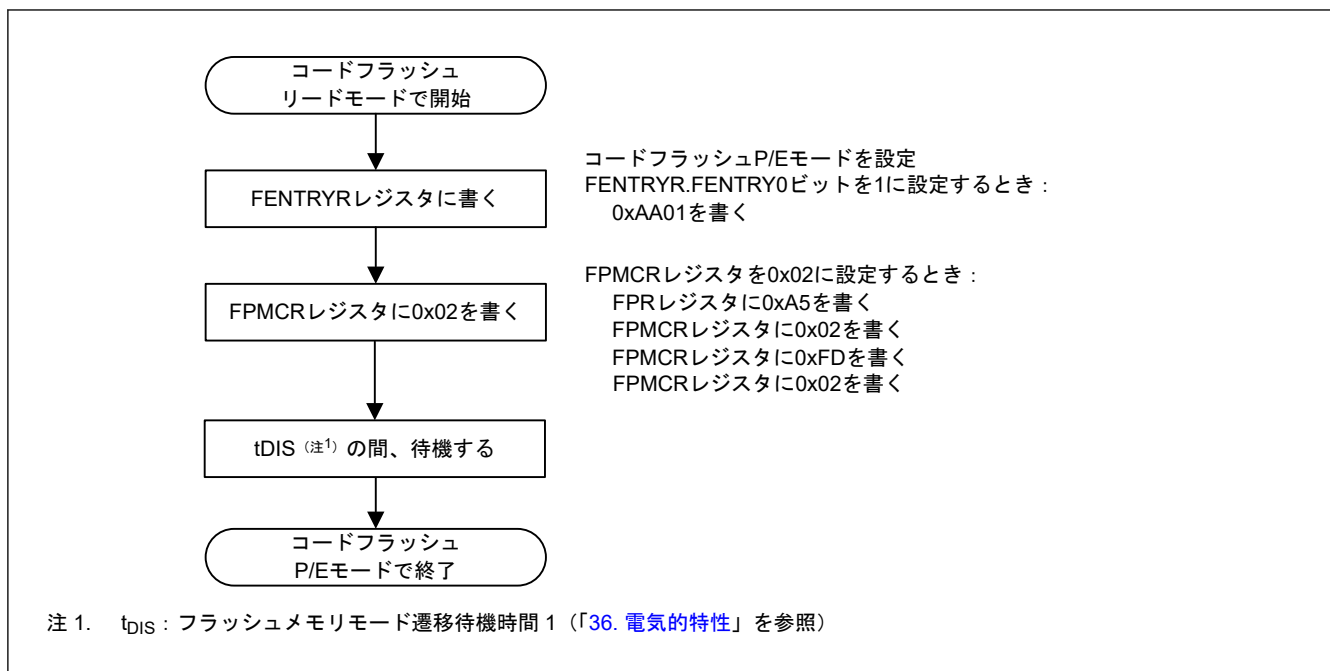


図 32.15 リードモードからコードフラッシュ P/E モードへの変更手順

データフラッシュのソフトウェアコマンドを実行する前に、FENTRYR レジスタの FENTRYD ビットをセットして、データフラッシュ P/E モードに遷移する必要があります。図 32.16 に、データフラッシュ P/E モードに遷移する手順を示します。

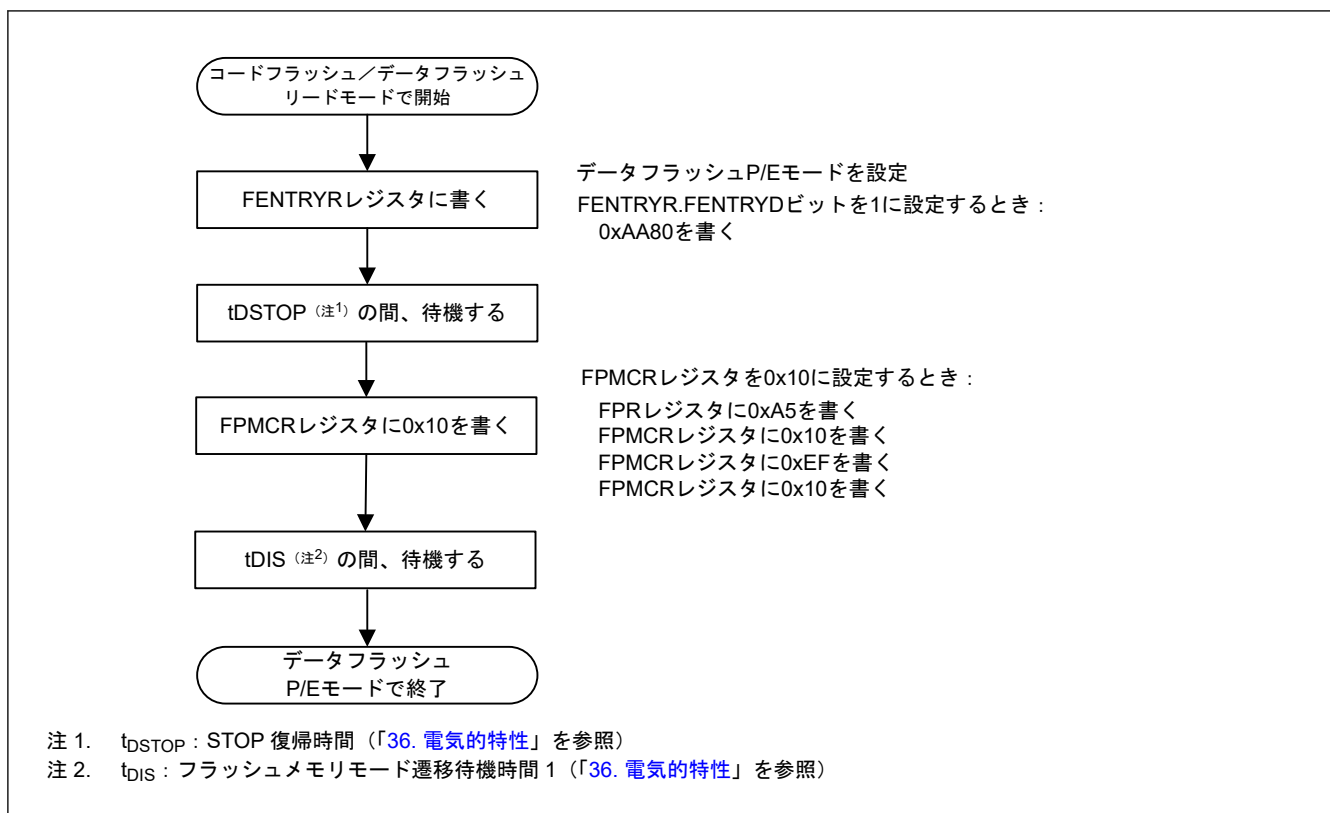


図 32.16 リードモードからデータフラッシュ P/E モードへの変更手順

## (3) コードフラッシュ P/E モードまたはデータフラッシュ P/E モードからリードモードへの切り替え

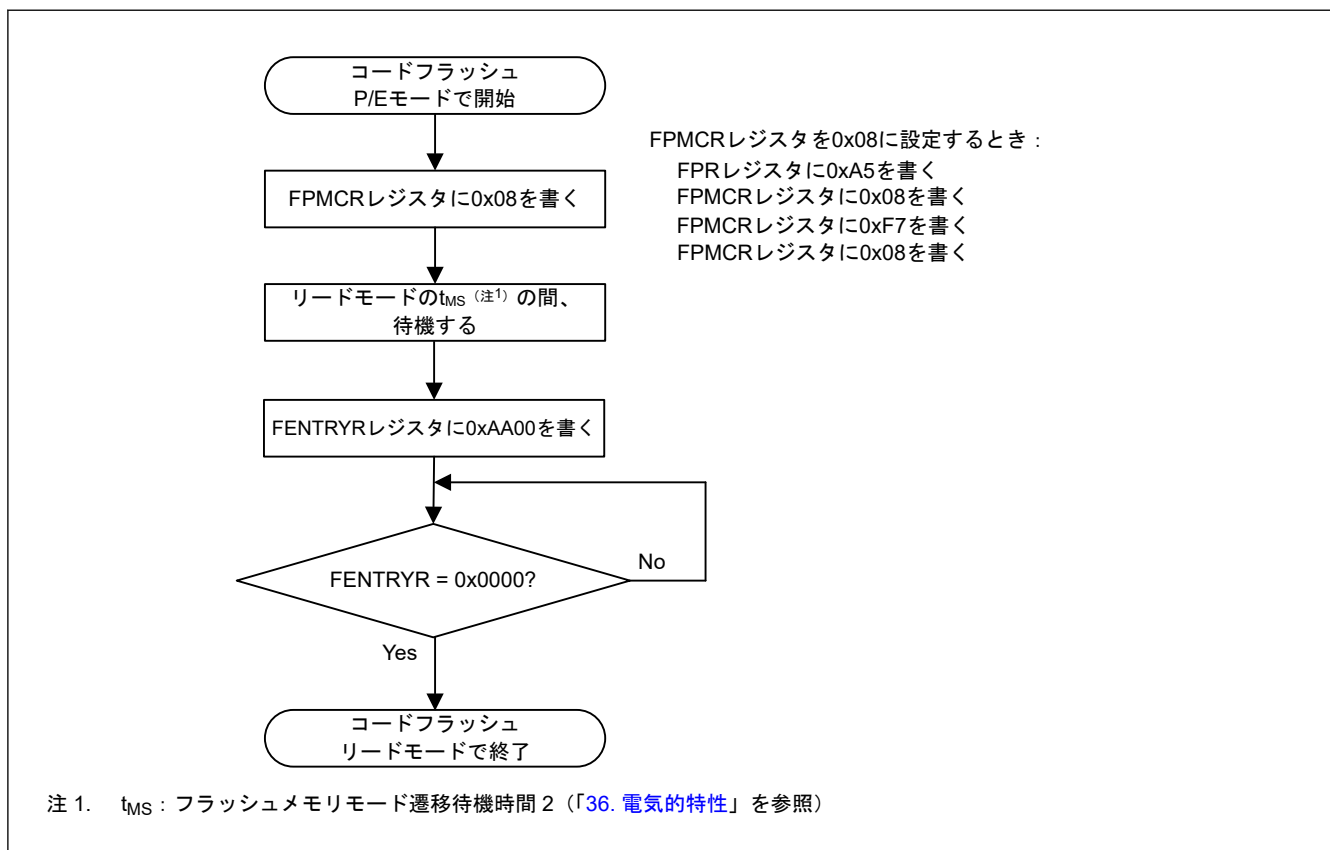


図 32.17 コードフラッシュ P/E モードからリードモードへの変更手順



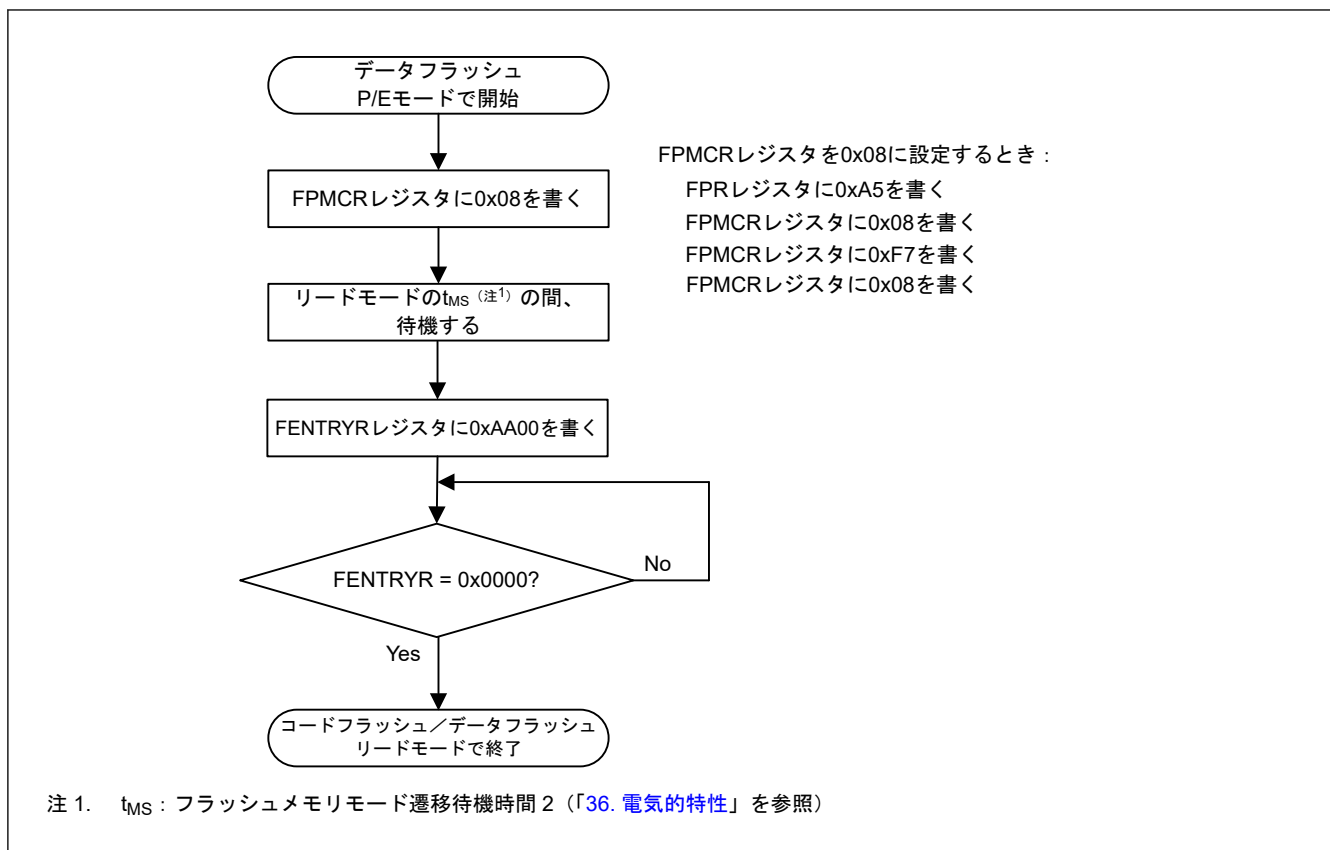


図 32.18 データフラッシュ P/E モードからリードモードへの変更手順

#### (4) コードフラッシュまたはデータフラッシュのプログラム時のフローチャート

以下の図は、コードフラッシュまたはデータフラッシュをプログラムするフローを示します。

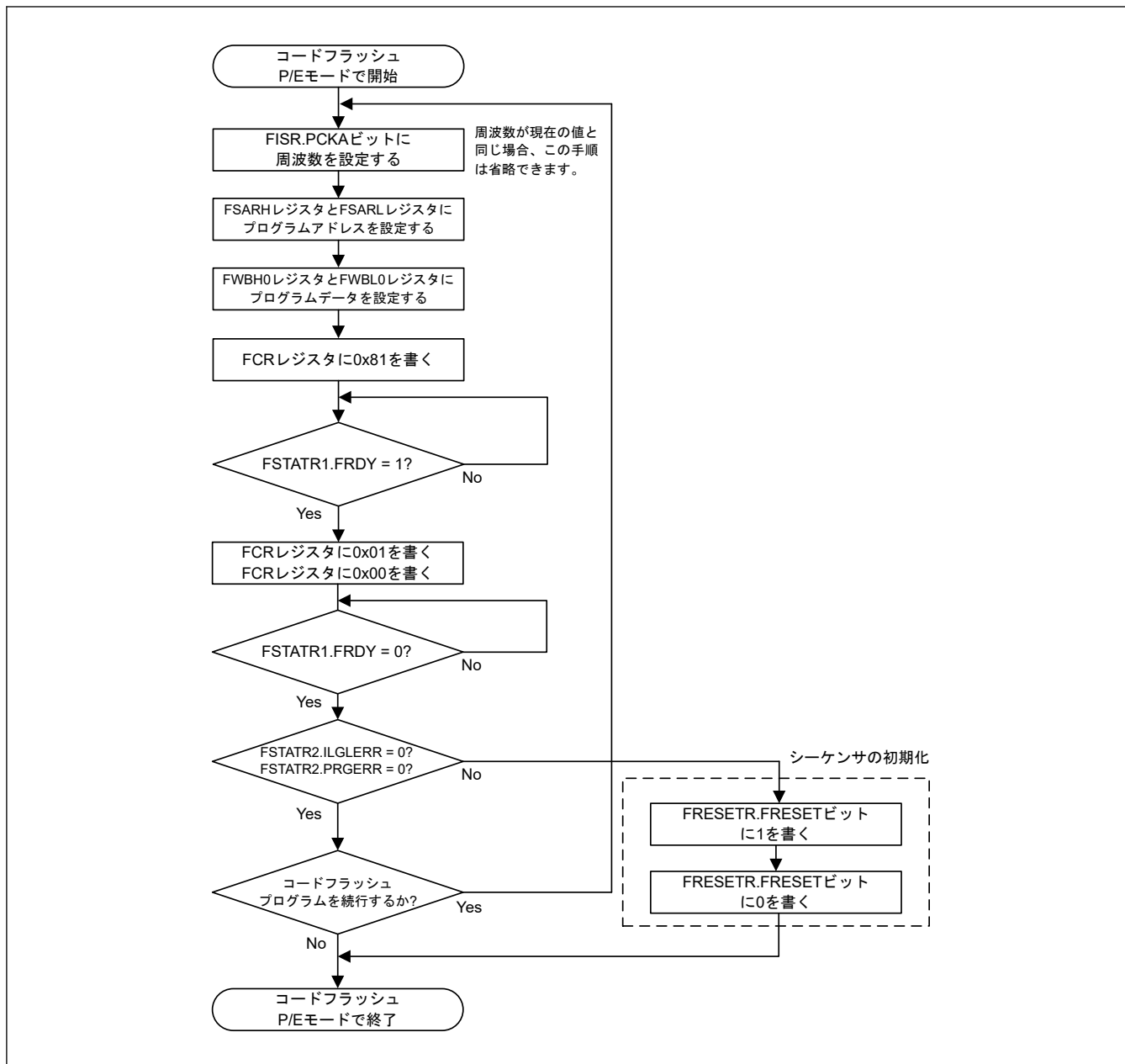


図 32.19 コードフラッシュのプログラム時のフローチャート

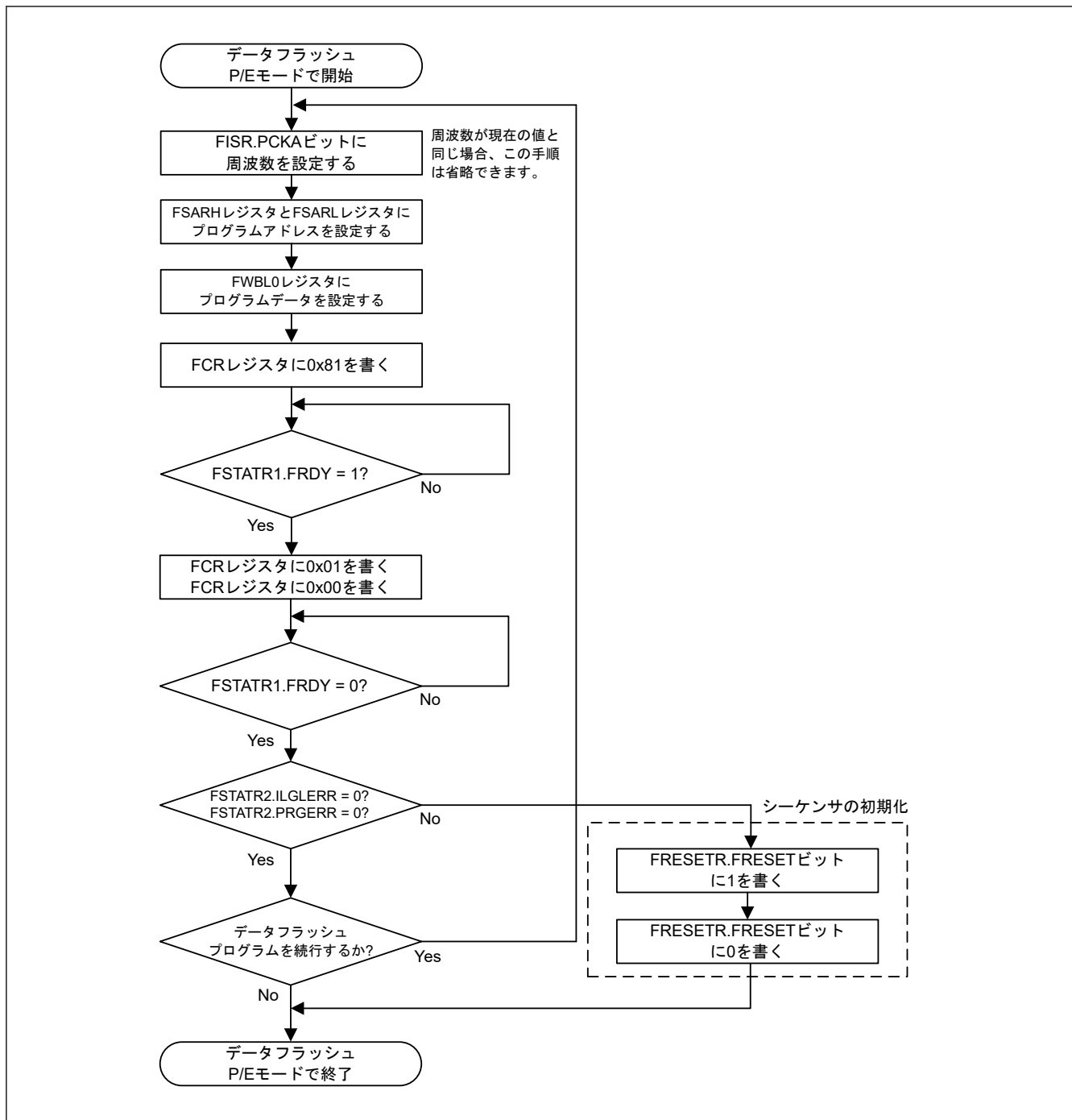


図 32.20 データフラッシュのプログラム時のフローチャート

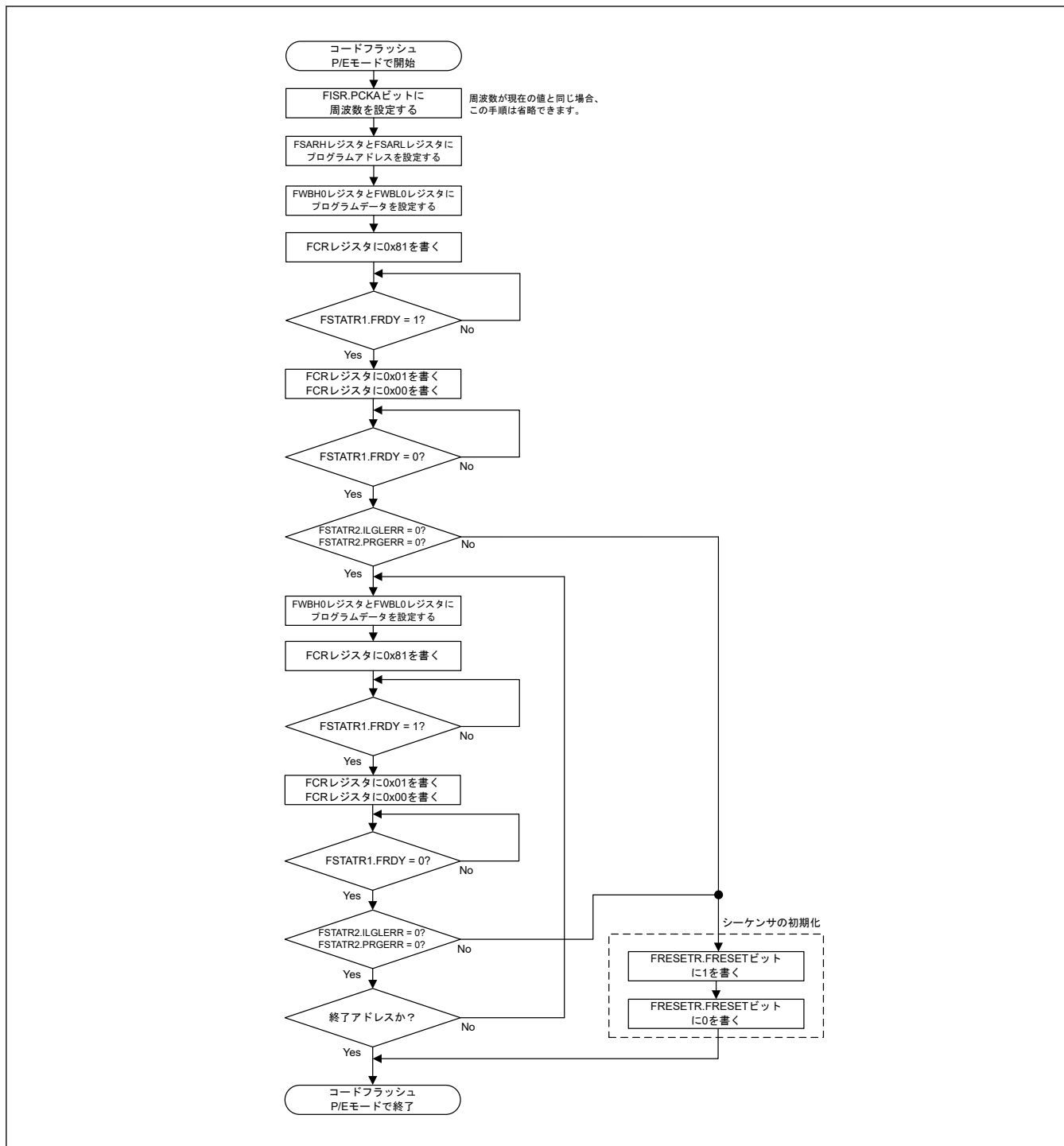


図 32.21 コードフラッシュの連続プログラム時のフローチャート

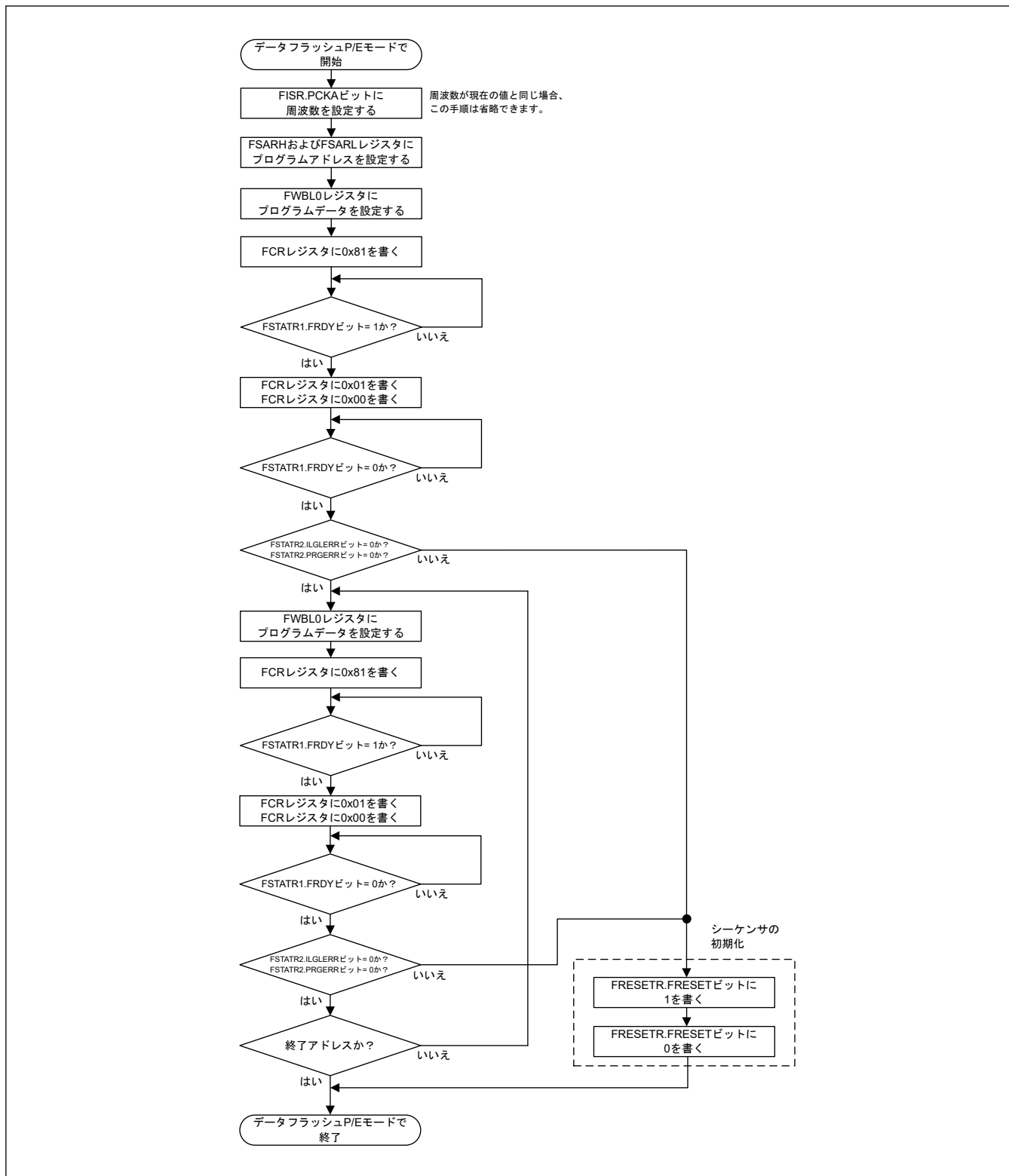


図 32.22 データフラッシュの連続プログラム時のフローチャート

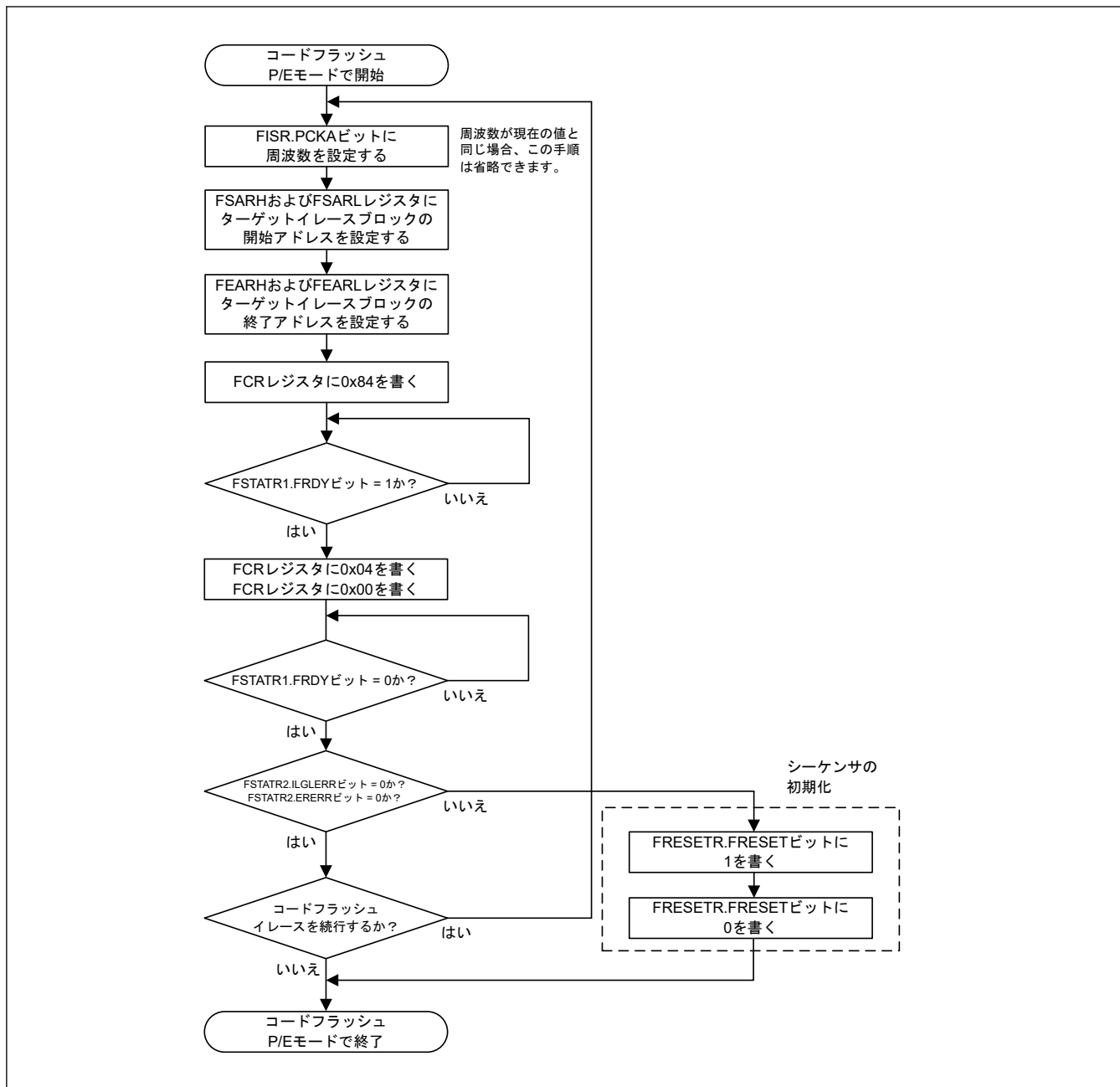


図 32.23 コードフラッシュブロックイレース手順のフローチャート

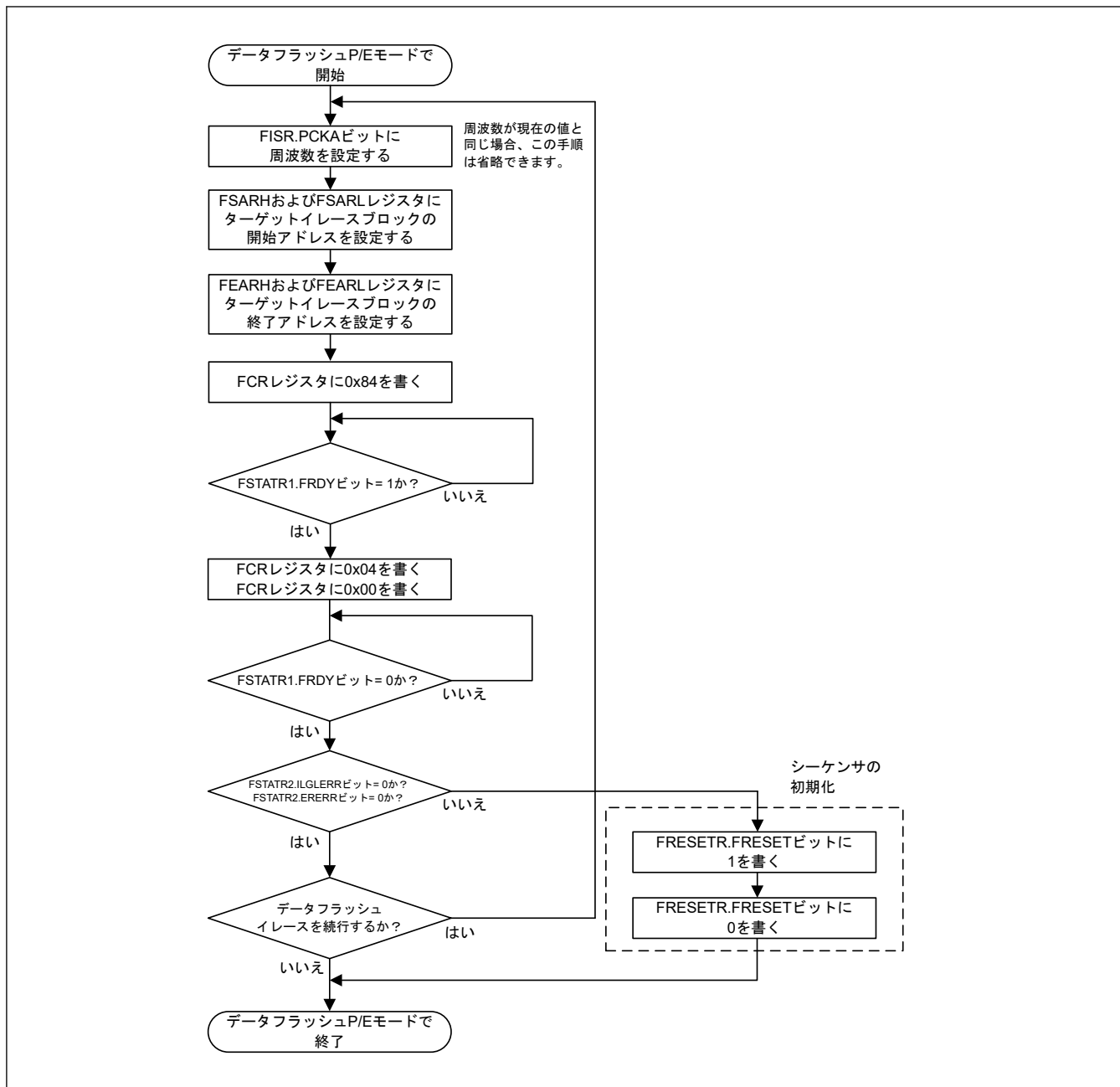


図 32.24 データフラッシュブロックイレース手順のフローチャート

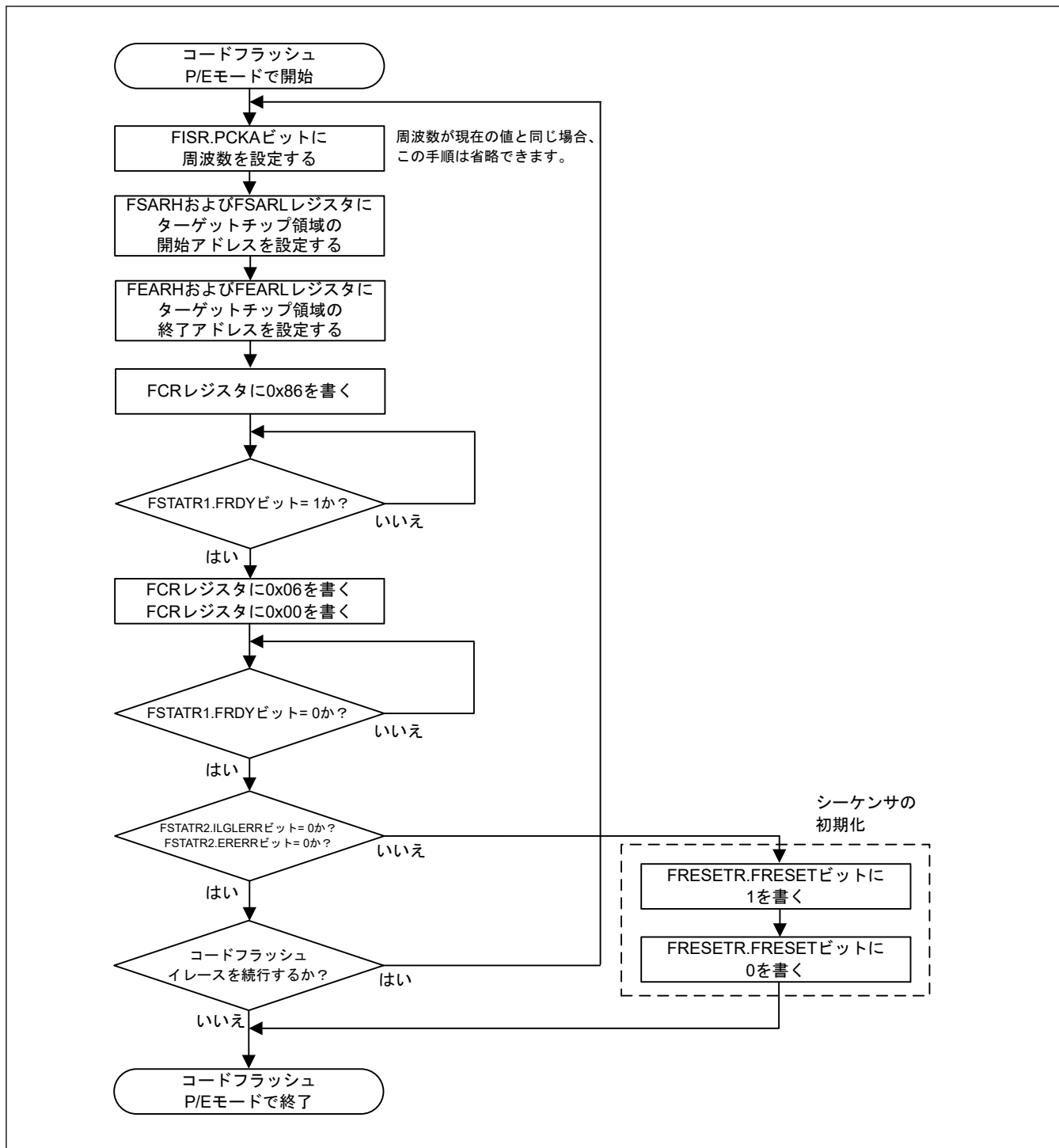


図 32.25 コードフラッシュチップイレース手順のフローチャート



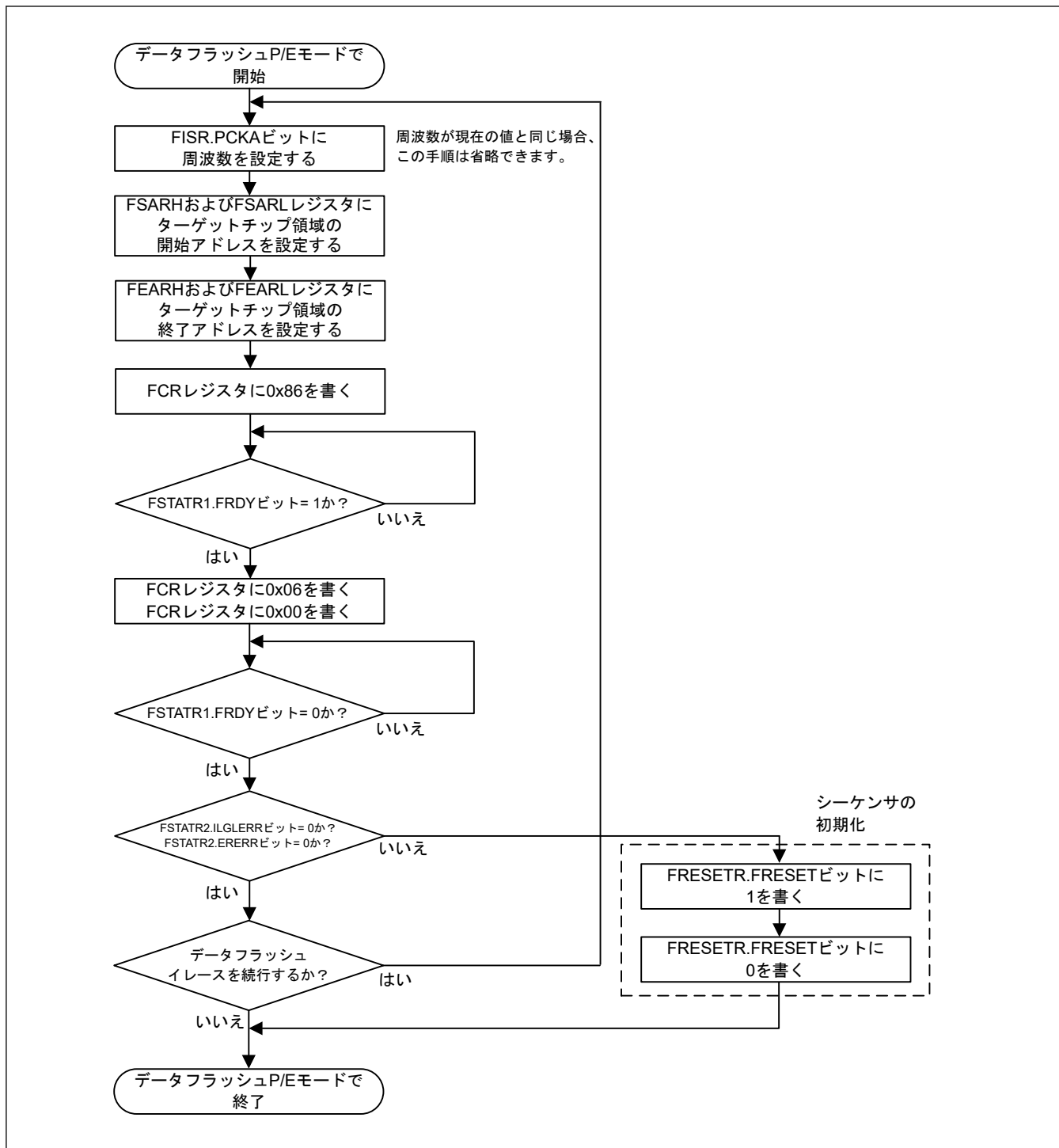


図 32.26 データフラッシュチップイレース手順のフローチャート

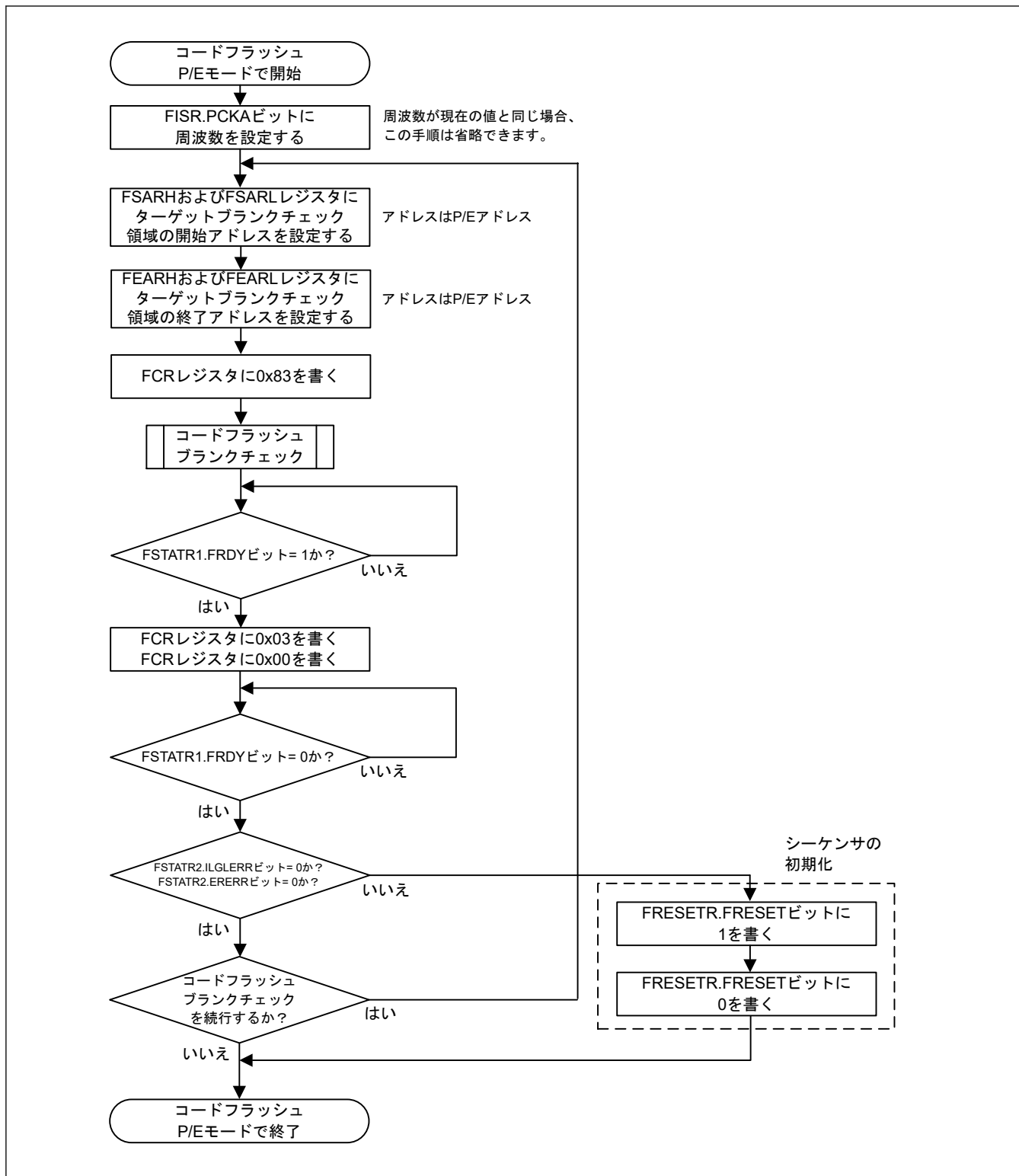


図 32.27 コードフラッシュブランクチェック手順のフローチャート

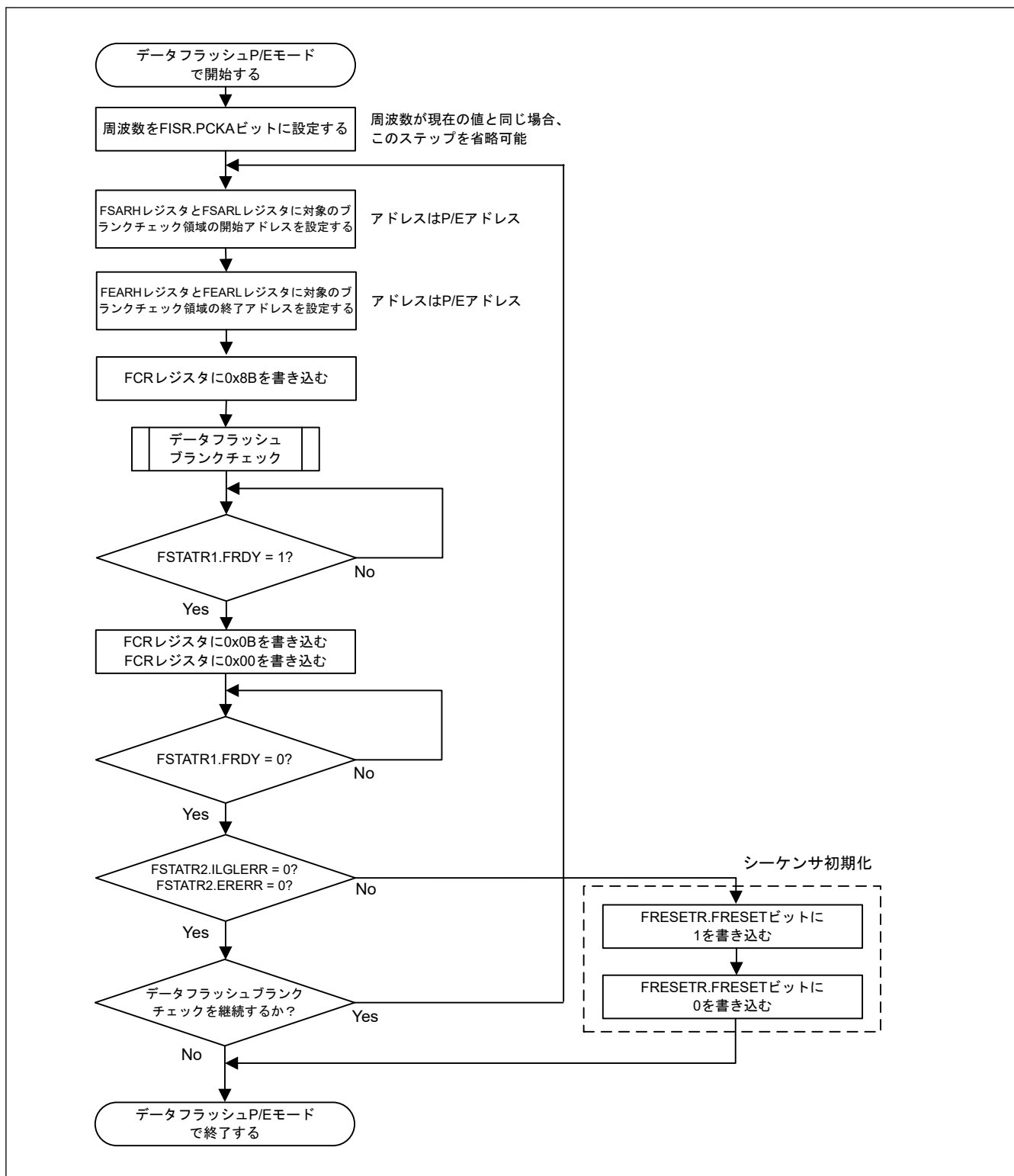


図 32.28 データフラッシュブランクチェック手順のフローチャート

(5) スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/OCDID 情報プログラム

図 32.29 は、スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/OCDID 情報プログラムの手順を示す簡易フローチャートです。

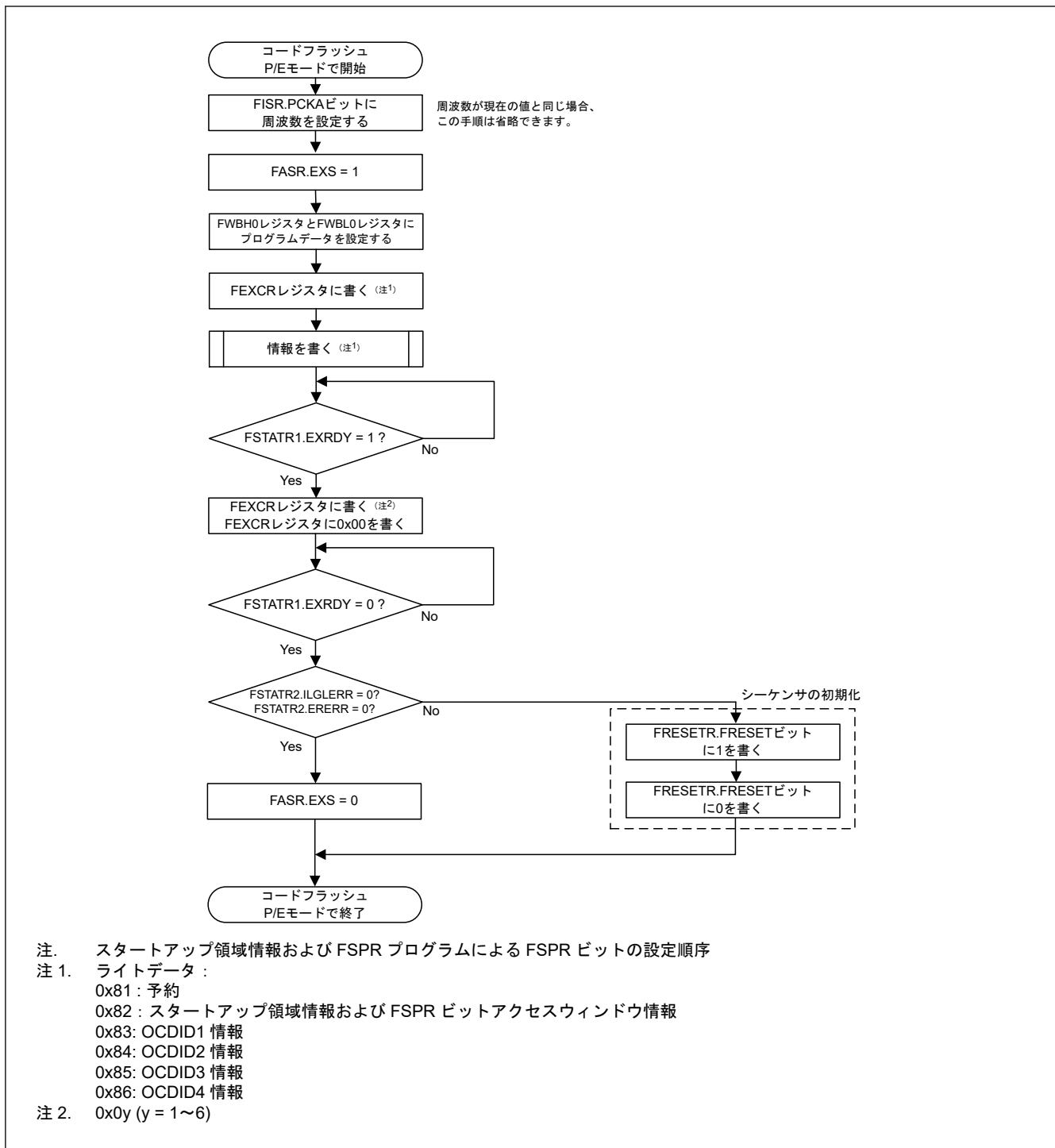


図 32.29 スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/OCDID 情報プログラムの手順を示す簡易フローチャート

FSPR ビットの設定は、スタートアップ領域情報とアクセスウィンドウ情報をプログラムしてから行ってください。先に FSPR ビットを設定した場合、FSPR のセキュリティ機能によって、スタートアップ領域情報とアクセスウィンドウ情報をプログラムすることができなくなります。ヘキサファイルを使用してプログラムする場合、プログラムはアドレスの昇順になります。この場合、アクセスウィンドウ情報の前に FSPR ビットが書き込まれます。そのため、FSPR のヘキサファイルを別のファイルに分割し、アクセスウィンドウ情報を設定した後にそのファイルを使用してください。

## (6) 連続リード

図 32.30 は、連続リード手順の簡易フローチャートを示しています。

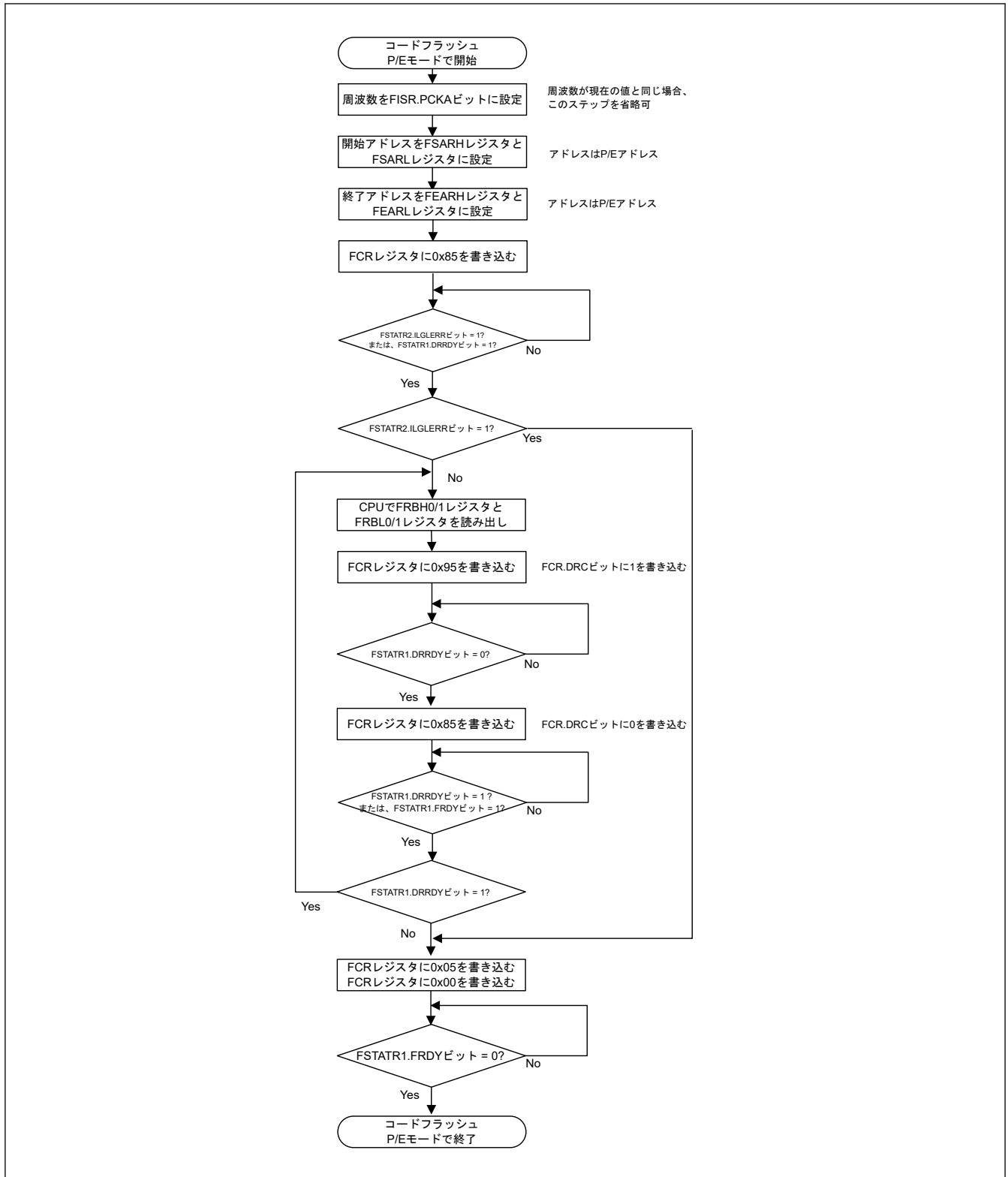


図 32.30 連続リード手順の簡易フローチャート

(7) ソフトウェアコマンドによる強制停止

図 32.31 に、ブランクチェックコマンド、ブロックイレースコマンド、またはチップイレースコマンドを強制的に停止する、強制停止手順の簡易フローチャートを示します。強制停止コマンドを実行すると、FEAMH/FEAMLレジスタに停止されたアドレス値が格納されます。ブランクチェックコマンドの場合、FEAMH/FEAMLレジスタの値をFSARH/FSARLレジスタにそれぞれコピーすることで、停止されたアドレスからブランクチェックを再開できます。

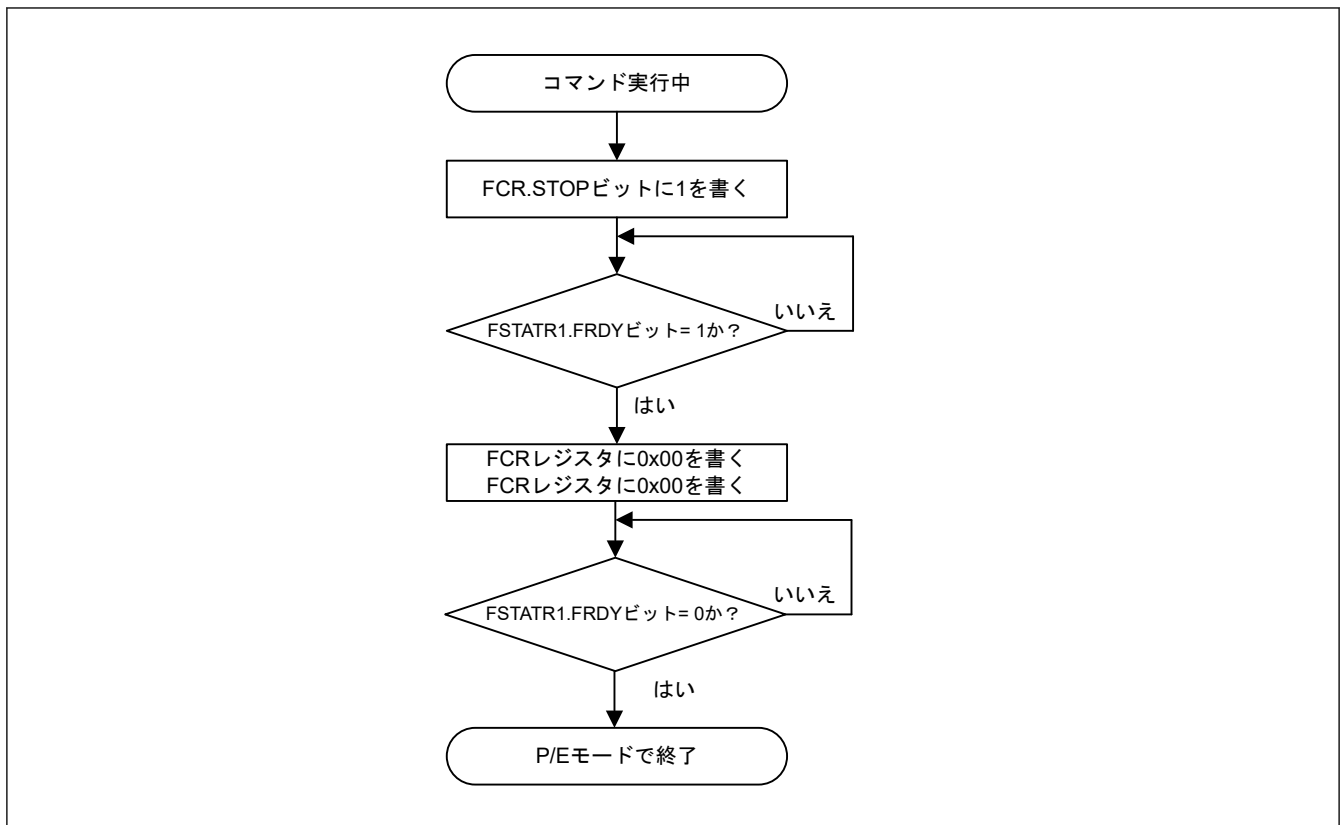


図 32.31 強制停止手順の簡易フローチャート

## 32.14 フラッシュメモリの読み出し

### 32.14.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後に再プログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから1が読み出されます。

### 32.14.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合があります。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。イレース後に再プログラミングしていない（未プログラム状態の）データフラッシュを読み出すと、全ビットから1が読み出されます。

## 32.15 使用上の注意事項

### 32.15.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

### 32.15.2 追加の書き込みに関する制限

構成領域を除き、同一領域に2回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

### 32.15.3 プログラム/イレース中のリセット

RES 端子からリセットを入力する場合、 $t_{RESW}$  以上のリセット入力時間が経過してからリセットを解除してください。「36.3.3. リセットタイミング」を参照してください。タイミングのリセットは、電気的特性で定義された動作電圧の範囲内で行ってください。

IWDT リセットおよびソフトウェアリセットでは、 $t_{RESW}$  入力時間は必要ありません。

### 32.15.4 プログラム/イレース中に禁止されるノンマスカブル割り込み

プログラムまたはイレース中にノンマスカブル割り込み(注1)が発生すると、コードフラッシュメモリからベクタがフェッチされ、不定データが読み出されます。そのため、コードフラッシュメモリのプログラムおよびイレース中に、ノンマスカブル割り込みを発生させないでください。この制限はコードフラッシュメモリに限り適用されます。

注 1. ノンマスカブル割り込みとは、NMI 端子割り込み、発振停止検出割り込み、WDT アンダーフローまたはリフレッシュエラー、IWDT アンダーフローまたはリフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込み、SRAM パリティエラー、MPU バススレーブエラー、MPU バスマスタエラー、または CPU スタックポインタモニタです。

### 32.15.5 プログラム/イレース中における割り込みベクタの配置

デフォルト設定として、プログラムおよびイレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできます。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域を割り込みベクタのフェッチ先に指定してください。

### 32.15.6 Subosc-Speed 動作モードでのプログラム/イレース

消費電力低減機能のために SOPCCR レジスタで Subosc-Speed 動作モードが選択されている場合、フラッシュメモリのプログラム/イレースは実行しないでください。

### 32.15.7 プログラム/イレース中の異常終了

プログラムおよびイレース中に電圧が動作電圧範囲を超えた場合、またはリセットや「32.15.8. プログラム/イレース中に禁止されているアクション」に記載の禁止動作が原因でプログラム/イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

### 32.15.8 プログラム/イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム/イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0]ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- システムクロック (ICLK) の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム/イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュメモリへのプログラム/イレース中にデータフラッシュアクセス制御設定を変更しない

### 32.15.9 プログラム/イレース中の Flash-IF クロック (ICLK)

セルフプログラミングによるプログラム/イレースでは、フラッシュ初期設定レジスタ (FISR) を設定することで整数の周波数を指定する必要があります。

## 33. AES エンジン

### 33.1 概要

表 33.1 に AES エンジンの仕様を示します。

表 33.1 AES エンジンの仕様

項目	説明	
アルゴリズム	AES	
最高周波数	32 MHz	
鍵長	128 ビット、256 ビット	
データブロック長	128 ビット	
連鎖	128 ビット鍵	ECB、CBC、CTR
	256 ビット鍵	ECB、CBC、CTR
処理速度	鍵長 128 ビット : 32 Mbps	
	鍵長 256 ビット : 17 Mbps	

注. 本情報を公開するには、守秘義務契約の締結が必要です。詳細は、弊社営業担当までご連絡ください。

### 33.2 モジュール構成

図 33.1 に AES エンジンのモジュール構成を示します。

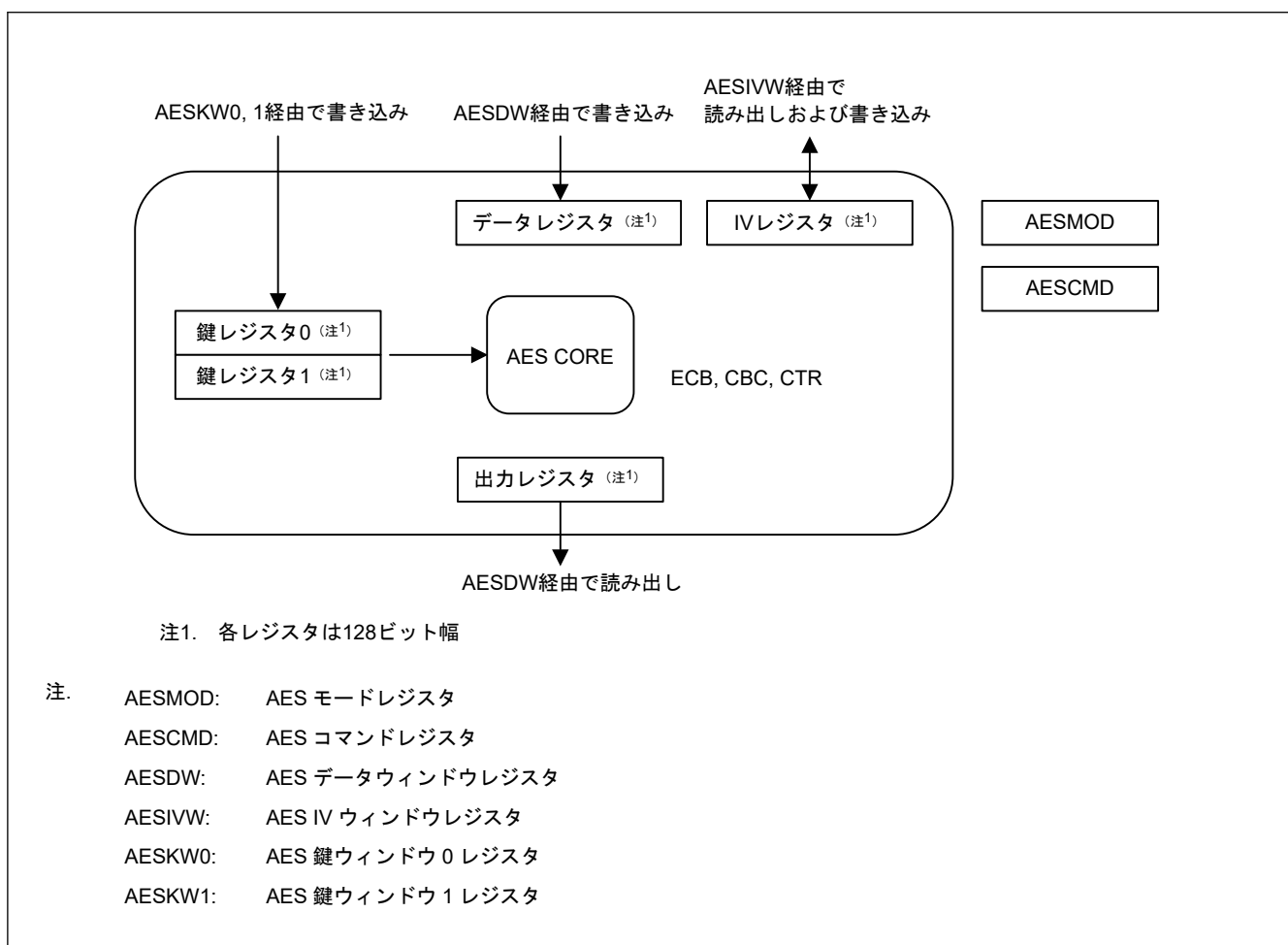


図 33.1 AES エンジンのモジュール構成



## 34. 真性乱数生成器 (TRNG)

### 34.1 概要

表 34.1 に TRNG (真性乱数生成器) の仕様を示します。

表 34.1 TRNG の仕様

項目	説明
周波数	32 MHz (最高)
SEED 生成速度	0.1~10 Mbps で 32 ビット SEED 生成
バッファリング	なし
インタフェース	8 ビット読み出し + 8 ビット書き込み/1 クロック

TRNG により生成される SEED を暗号化して、乱数 (真性乱数) として使用します。

SEED 自身のテストにより生成されるデータと SEED から生成される乱数 (NIST FIPS140-2 に記載されている連続乱数生成器テストを使用) は、2つの生成された乱数のビット長に応じて一定の確率で同じです。

n 番目のビット (理論値) で比較対象の乱数が同一である確率は  $1/2^n$  です。

注. 本情報を公開するには、守秘義務契約の締結が必要です。詳細は、弊社営業担当までご連絡ください。

## 35. 内部電圧レギュレータ

### 35.1 概要

本 MCU は 1 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ (LDO)

このレギュレータは、I/O およびアナログドメイン以外のすべての内部回路およびメモリに電圧を供給します。

### 35.2 動作説明

表 35.1 に LDO の端子設定を、図 35.1 に LDO の設定を示します。

表 35.1 LDO 端子

端子	設定内容
VCC 端子	<ul style="list-style-type: none"> <li>● 端子をシステムの電源に接続してください。</li> <li>● 端子を <math>0.1\ \mu\text{F}</math> の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。</li> </ul>
VCL	端子を $4.7\ \mu\text{F}$ の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。

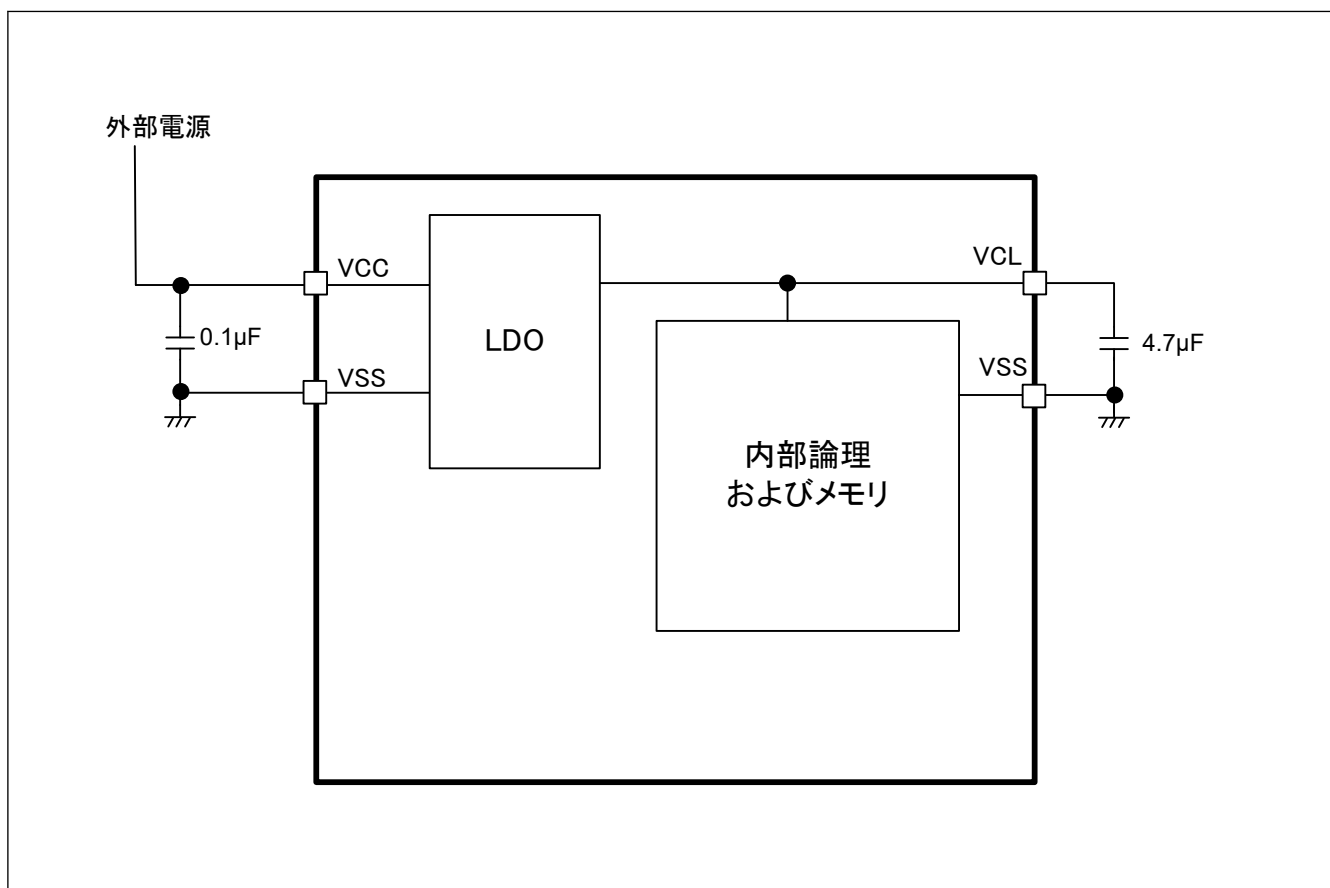


図 35.1 LDO の設定

## 36. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$V_{CC}$ (注1) = 1.6~5.5 V,  $V_{REFH0}$  = 1.6 V~ $V_{CC}$

$V_{SS}$  =  $V_{REFL0}$  = 0 V,  $T_a$  =  $T_{opr}$

注 1. 通常は  $V_{CC}$  = 3.3 V に設定されています。

図 36.1 に入出力タイミング計測条件を示します。

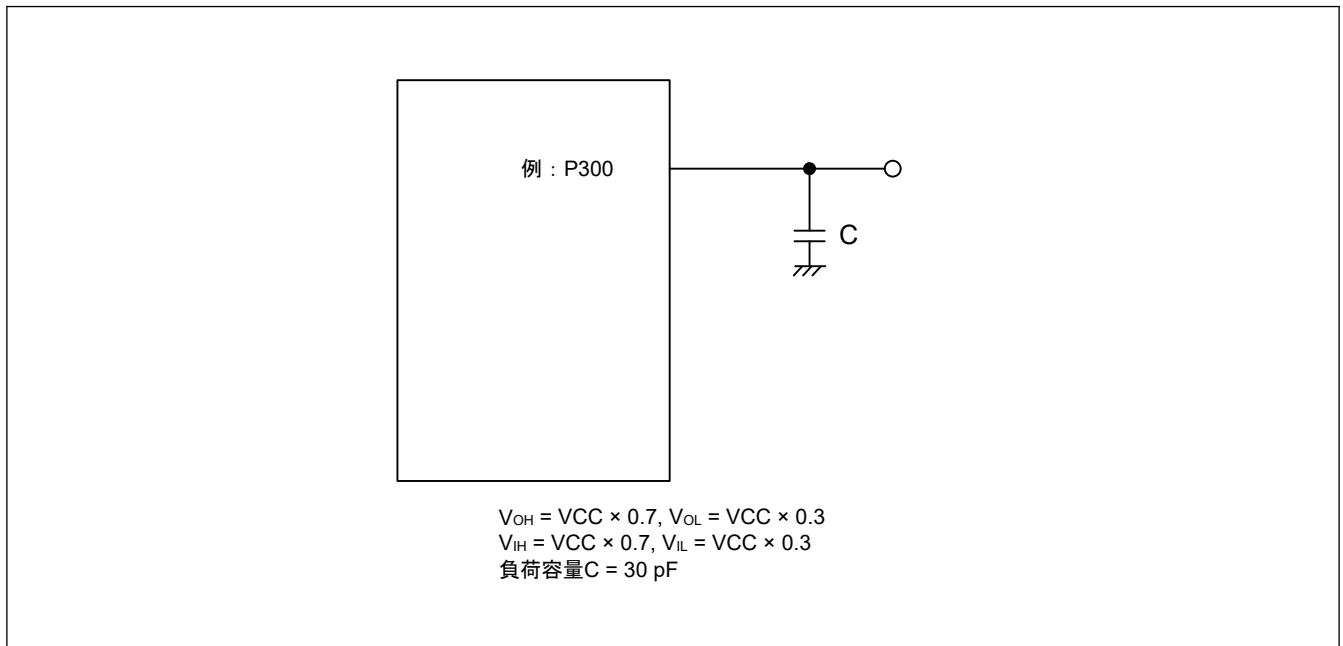


図 36.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

### 36.1 絶対最大定格

表 36.1 絶対最大定格

項目	シンボル	値	単位	
電源電圧	$V_{CC}$	-0.5~+6.5	V	
入力電圧	5 V トレラント対応ポート(注1)	$V_{in}$	-0.3~+6.5	V
	その他	$V_{in}$	-0.3~ $V_{CC} + 0.3$	V
リファレンス電源電圧	$V_{REFH0}$	-0.3~+6.5	V	
アナログ入力電圧	$V_{AN}$	-0.3~ $V_{CC} + 0.3$	V	
動作温度(注2) (注3) (注4)	$T_{opr}$	-40~+85 -40~+105 -40~+125	°C	
保存温度	$T_{stg}$	-55~+140	°C	

注 1. P400、P401 は 5 V トレラント対応ポートです。

デバイスの電源が切れている状態で信号や I/O プルアップ電源を入力しないでください。信号または I/O プルアップの入力による電流注入はデバイスの故障を引き起こし、このとき流れる異常電流が内部要素を劣化させる恐れがあります。

注 2. 「36.2.1.  $T_j/T_a$  の定義」を参照してください。

注 3.  $T_a = +85^{\circ}\text{C} \sim +125^{\circ}\text{C}$  でのディレーティング動作については、Renesas Electronics の営業担当にご連絡ください。ディレーティングとは、信頼性を改善するために負荷を系統的に軽減することです。

注 4. 動作温度の上限は、85°C、105°Cまたは 125°Cです（製品によります）。詳細は、「1.3. 型名」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

VREFH0 が ADC12 の高電位基準電圧に選択されている場合に、ノイズ干渉による誤動作を防止するには、VCC 端子と VSS 端子の間、VREFH0 端子と VREFL0 端子の間には周波特性の良いコンデンサを挿入してください。各電源端子になるべく近い場所に以下の値のコンデンサを配置し、最も短く重いトレースを使用してください。

- VCC と VSS : 約 0.1  $\mu$ F
- VREFH0 と VREFL0 : 約 0.1  $\mu$ F

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7  $\mu$ F のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 36.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位	
電源電圧	VCC	1.6	—	5.5	V	
	VSS	—	0	—	V	
アナログ電源電圧	VREFH0	ADC12 基準として使用時	1.6	—	VCC	V
	VREFL0		—	0	—	V

## 36.2 DC 特性

### 36.2.1 Tj/Ta の定義

表 36.3 DC 特性

条件：動作温度 (Ta) が -40~+125°C の製品

項目	シンボル	Typ	Max(注1)	単位	測定条件
許容ジャンクション温度	Tj	—	140	°C	High-speed モード Middle-speed モード Low-Speed モード Subosc-Speed モード
			125		
			105		
			105		

注.  $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$  となるようにしてください。このとき、総消費電力 =  $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$  です。

注 1. 動作温度の上限は、85°C、105°Cまたは 125°Cです（製品によります）。詳細は、「1.3. 型名」を参照してください。型名が動作温度の上限 85°Cを示している場合、Tjの最大値は 105°Cになります。型名が動作温度の上限 105°Cを示している場合、Tjの最大値は 125°Cになります。それ以外の場合 140°Cになります。

### 36.2.2 I/O $V_{IH}$ , $V_{IL}$

表 36.4 I/O  $V_{IH}$ ,  $V_{IL}$

条件:  $V_{CC} = 1.6 \sim 5.5 \text{ V}$

項目	ポート&機能	シンボル	Min	Max	単位	測定条件				
入力電圧	入力ポート端子	$V_{IH}$	$V_{CC0} \times 0.8$	—	V	—				
		$V_{IL}$	—	$V_{CC0} \times 0.2$						
	5 V トレラント対応ポート (注3)	$V_{IH}$	$V_{CC} \times 0.8$	5.8						
		$V_{IL}$	—	$V_{CC} \times 0.2$						
	RES, NMI, IRQ	$V_{IH}$	$V_{CC} \times 0.8$	—						
		$V_{IL}$	—	$V_{CC} \times 0.2$						
		$\Delta V_T$ (注5)	$V_{CC} \times 0.10$	—			$V_{CC} = 2.7 \sim 5.5 \text{ V}$			
			$V_{CC} \times 0.05$	—			$V_{CC} = 1.6 \sim 2.7 \text{ V}$			
	周辺機能	AGTW, GPT, SPI, その他 (注4)	$V_{IH}$	$V_{CC} \times 0.8$			—	—		
			$V_{IL}$	—			$V_{CC} \times 0.2$			
			$\Delta V_T$ (注5)	$V_{CC} \times 0.10$			—		$V_{CC} = 2.7 \sim 5.5 \text{ V}$	
				$V_{CC} \times 0.05$			—		$V_{CC} = 1.6 \sim 2.7 \text{ V}$	
		I3C (SMBus を除く) (注1)	$V_{IH}$	$V_{CC} \times 0.7$			5.8		—	
			$V_{IL}$	—			$V_{CC} \times 0.3$			
			$\Delta V_T$ (注5)	$V_{CC} \times 0.10$			—			$V_{CC} = 2.7 \sim 5.5 \text{ V}$
				$V_{CC} \times 0.05$			—			$V_{CC} = 1.6 \sim 2.7 \text{ V}$
		I3C (SMBus) (注2)	$V_{IH}$	2.2			—			$V_{CC} = 3.6 \sim 5.5 \text{ V}$
			$V_{IL}$	2.0			—			$V_{CC} = 2.7 \sim 3.6 \text{ V}$
$V_{IL}$			—	0.8	$V_{CC} = 3.6 \sim 5.5 \text{ V}$					
$V_{IL}$			—	0.5	$V_{CC} = 2.7 \sim 3.6 \text{ V}$					

注 1. SCL0\_A, SDA0\_A (合計 2 端子)

注 2. SCL0\_A, SDA0\_A (合計 2 端子)

注 3. P400, P401 (合計 2 端子)

注 4. 「17.6. 製品ごとの周辺選択設定」を参照してください。

注 5.  $\Delta V_T$  付き I/O ポートには、 $PMR = 1$  または  $ISEL = 1$  のとき、シュミットトリガの性能があります。周辺機能選択については、「17.6. 製品ごとの周辺選択設定」を参照してください。

### 36.2.3 I/O $I_{OH}$ , $I_{OL}$

表 36.5 I/O  $I_{OH}$ ,  $I_{OL}$  (1/2)

条件:  $V_{CC} = 1.6 \sim 5.5 \text{ V}$

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (端子ごとの最大値)	P010, P011, P014, P015	$I_{OH}$	—	—	-4.0	mA	
		$I_{OL}$	—	—	8.0		
	ポート P400, P401	$I_{OH}$	—	—	-8.0		
		$I_{OL}$	—	—	15.0		
	その他の出力端子 (注1)	$I_{OH}$	—	—	-4.0		
		$I_{OL}$	—	—	20.0		

表 36.5 I/O I<sub>OH</sub>, I<sub>OL</sub> (2/2)

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流 (全端子の最大値) (注1)	ポート P400、P401 の合計	ΣI <sub>OH</sub> (max)	—	—	-16	mA	VCC = 2.7~5.5 V
			—	—	-2		VCC = 1.8~2.7 V
			—	—	-1		VCC = 1.6~1.8 V
		ΣI <sub>OL</sub> (max)	—	—	30		VCC = 2.7~5.5 V
			—	—	1.2		VCC = 1.8~2.7 V
			—	—	0.6		VCC = 1.6~1.8 V
	ポート P010、P011、 P014、P015 の合計	ΣI <sub>OH</sub> (max)	—	—	-16	mA	VCC = 2.7~5.5 V
			—	—	-4		VCC = 1.8~2.7 V
			—	—	-2		VCC = 1.6~1.8 V
		ΣI <sub>OL</sub> (max)	—	—	32		VCC = 2.7~5.5 V
			—	—	2.4		VCC = 1.8~2.7 V
			—	—	1.2		VCC = 1.6~1.8 V
	他の出力ポートの合 計	ΣI <sub>OH</sub> (max)	—	—	-30	mA	VCC = 2.7~5.5 V
			—	—	-12		VCC = 1.8~2.7 V
			—	—	-6		VCC = 1.6~1.8 V
ΣI <sub>OL</sub> (max)		—	—	50	VCC = 2.7~5.5 V		
		—	—	9	VCC = 1.8~2.7 V		
		—	—	4.5	VCC = 1.6~1.8 V		
全出力端子の総和	ΣI <sub>OH</sub> (max)	—	—	-30	mA	—	
	ΣI <sub>OL</sub> (max)	—	—	80		—	

注 1. デューティ比 ≤ 70%の条件下での仕様です。  
 デューティ比が 70%を超えた場合、出力電流値は次式で計算できます (デューティ比を 70%から n%に変更するとき)。  
 端子の合計出力電流 = (I<sub>OH</sub> × 0.7)/(n × 0.01)  
 <例> n = 80%で、I<sub>OH</sub> = -30.0 mA のとき  
 端子の合計出力電流 = (-30.0 × 0.7)/(80 × 0.01) ≒ -26.2 mA  
 ただし、1つの端子に入力可能な電流はデューティ比によって変化しません。

【使用上の注意】MCU の信頼性を確保するため、出力電流値は表 36.5 の値を超えないようにしてください。

### 36.2.4 I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性

表 36.6 I/O V<sub>OH</sub>、V<sub>OL</sub> (1)

条件 : VCC = 4.0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P400、P401	V <sub>OH</sub>	VCC - 0.27	—	—	V	I <sub>OH</sub> = -3.0 mA
		V <sub>OH</sub>	VCC - 0.8	—	—		I <sub>OH</sub> = -8.0 mA
	P400、P401 以外の出力端子(注1)	V <sub>OH</sub>	VCC - 0.8	—	—		I <sub>OH</sub> = -4.0 mA
	ポート P400、P401	V <sub>OL</sub>	—	—	0.27		I <sub>OL</sub> = 3.0 mA
		V <sub>OL</sub>	—	—	0.4		I <sub>OL</sub> = 9.0 mA
		V <sub>OL</sub>	—	—	0.8		I <sub>OL</sub> = 15.0 mA
	P010、P011、P014、P015	V <sub>OL</sub>	—	—	0.8		I <sub>OL</sub> = 8.0 mA
	P010、P011、P014、P015、P400、および P401 以外の出力端子(注1)	V <sub>OL</sub>	—	—	1.2		I <sub>OL</sub> = 20.0 mA

注 1. 入力ポートである P200 を除きます。

表 36.7 I/O  $V_{OH}$ 、 $V_{OL}$  (2)条件:  $V_{CC} = 2.7 \sim 4.0 \text{ V}$ 

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	ポート P400、P401	$V_{OH}$	$V_{CC} - 0.27$	—	—	V	$I_{OH} = -3.0 \text{ mA}$
		$V_{OH}$	$V_{CC} - 0.8$	—	—		$I_{OH} = -8.0 \text{ mA}$
	P400、P401 以外の出力端子(注1)	$V_{OH}$	$V_{CC} - 0.8$	—	—		$I_{OH} = -4.0 \text{ mA}$
	ポート P400、P401	$V_{OL}$	—	—	0.27		$I_{OL} = 3.0 \text{ mA}$
			—	—	0.4		$I_{OL} = 9.0 \text{ mA}$
			—	—	0.8		$I_{OL} = 15 \text{ mA}$
P400、P401 以外の出力端子(注1)	$V_{OL}$	—	—	0.8	$I_{OL} = 8.0 \text{ mA}$		

注 1. 入力ポートである P200、P214、P215 を除きます。

表 36.8 I/O  $V_{OH}$ 、 $V_{OL}$  (3)条件:  $V_{CC} = 1.6 \sim 2.7 \text{ V}$ 

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	出力端子(注1)	$V_{OH}$	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -1.0 \text{ mA}$ $V_{CC} = 1.8 \sim 2.7 \text{ V}$
			$V_{CC} - 0.5$	—	—		$I_{OH} = -0.5 \text{ mA}$ $V_{CC} = 1.6 \sim 1.8 \text{ V}$
	出力端子(注1)	$V_{OL}$	—	—	0.4		$I_{OL} = 0.6 \text{ mA}$ $V_{CC} = 1.8 \sim 2.7 \text{ V}$
			—	—	0.4		$I_{OL} = 0.3 \text{ mA}$ $V_{CC} = 1.6 \sim 1.8 \text{ V}$

注 1. 入力ポートである P200 を除きます。

表 36.9 I/O その他の特性

条件:  $V_{CC} = 1.6 \sim 5.5 \text{ V}$ 

項目		シンボル	Min	Typ	Max	単位	測定条件
入力リーク電流	RES、ポート P200	$ I_{in} $	—	—	1.0	$\mu\text{A}$	$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
スリーステートリーク電流 (オフ状態)	5V トレラントポート(注1)	$ I_{TSI} $	—	—	10	$\mu\text{A}$	$V_{in} = 0 \text{ V}$ $V_{in} = 5.8 \text{ V}$
	その他のポート (P200、5V トレラント対応ポートを除く)		—	—	1.0		$V_{in} = 0 \text{ V}$ $V_{in} = V_{CC}$
入力プリアップ抵抗	全ポート (P200 を除く)	$R_U$	10	20	100	$\text{k}\Omega$	$V_{in} = 0 \text{ V}$
入力容量	P200	$C_{in}$	—	—	30	pF	$V_{in} = 0 \text{ V}$ $f = 1 \text{ MHz}$ $T_a = 25^\circ\text{C}$
	その他の入力端子		—	—	15		

注 1. P400、P401 (合計 2 端子)

### 36.2.5 動作電流とスタンバイ電流

表 36.10 動作電流とスタンバイ電流 (1) (1/2)

条件 : VCC = 1.6~5.5 V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	High-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 48 MHz	I <sub>CC</sub>	3.90	—	mA	(注7) (注11)
				ICLK = 32 MHz		2.85	—		(注7)
				ICLK = 16 MHz		1.75	—		
				ICLK = 8 MHz		1.20	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 48 MHz	—	10.5	(注9) (注11)		
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 48 MHz	1.00	—	(注7)		
				ICLK = 32 MHz	0.85	—	(注7)		
				ICLK = 16 MHz	0.65	—			
	ICLK = 8 MHz			0.60	—				
			すべての周辺クロックが有効(注5)	ICLK = 48 MHz	3.90	—	(注9)		
			ICLK = 32 MHz	3.50	—	(注8)			
			ICLK = 16 MHz	2.00	—				
			ICLK = 8 MHz	1.20	—				
	BGO 動作時の増加分(注6)					2.05	—		—



表 36.10 動作電流とスタンバイ電流 (1) (2/2)

条件 : VCC = 1.6~5.5 V

項目				シンボル	Typ (注10)	Max	単位	測定条件	
消費電流 (注1)	Middle-speed モード(注2)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 24 MHz	I <sub>CC</sub>	2.15	—	mA	(注7)
				ICLK = 4 MHz		0.80	—		
			すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 24 MHz		—	7.0	(注8)	
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 24 MHz		0.70	—	(注7)	
				ICLK = 4 MHz		0.55	—		
			すべての周辺クロックが有効(注5)	ICLK = 24 MHz		2.70	—	(注8)	
	BGO 動作時の増加分(注6)					1.85	—	—	
	Low-speed モード(注3)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュから実行(注5)	ICLK = 2 MHz	I <sub>CC</sub>	0.30	—	mA	(注7)
				ICLK = 2 MHz		—	2.0		(注8)
		スリープモード	すべての周辺クロックが無効(注5)	ICLK = 2 MHz		0.11	—	(注7)	
			すべての周辺クロックが有効(注5)	ICLK = 2 MHz		0.30	—	(注8)	
	Subosc-speed モード(注4)	通常モード	すべての周辺クロックが有効、コードはフラッシュから実行(注5)	ICLK = 32.768 kHz	I <sub>CC</sub>	—	150	μA	(注8)
スリープモード		すべての周辺クロックが無効(注5)	ICLK = 32.768 kHz	1.00		—	(注8)		
		すべての周辺クロックが有効(注5)	ICLK = 32.768 kHz	3.65		—	(注8)		

- 注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。また、消費電流値には、いずれの端子からの出力充放電電流も含まれません。
- 注 2. クロックソースは HOCO です。
- 注 3. クロックソースは MOCO です。
- 注 4. クロックソースは LOCO です。
- 注 5. BGO 操作は含まれません。
- 注 6. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。
- 注 7. PCLKB と PCLKD は、64 分周に設定されています。
- 注 8. PCLKB と PCLKD は、ICLK と同じ周波数です。
- 注 9. PCLKB は 2 分周に設定されています。PCLKD は ICLK と同じ周波数です。
- 注 10. VCC = 3.3 V
- 注 11. プリフェッチバッファは動作しています。

表 36.11 動作電流とスタンバイ電流 (2)

条件 : VCC = 1.6~5.5 V

項目				シンボル	Typ(注3)	Max	単位	測定条件	
消費電流 (注1)	ソフトウェア スタンバイ モード (注2)	周辺モジュ ール停止	全ての SRAM (0x2000_4000 ~ 0x2000_5FFF) がオン	T <sub>a</sub> = 25°C	I <sub>CC</sub>	0.2	1.3	μA	—
				T <sub>a</sub> = 55°C		0.4	3.7		
				T <sub>a</sub> = 85°C		1.35	12		
				T <sub>a</sub> = 105°C		3.05	42		
				T <sub>a</sub> = 125°C		6.00	85		
			4 KB SRAM (0x2000_4000 ~ 0x2000_4FFF) のみがオン	T <sub>a</sub> = 25°C		0.2	1.3		
				T <sub>a</sub> = 55°C		0.4	3.7		
				T <sub>a</sub> = 85°C		1.30	12		
				T <sub>a</sub> = 105°C		2.85	42		
				T <sub>a</sub> = 125°C		5.85	85		

注 1. 消費電流は、VCC に流れ込む電流の合計です。内部プルアップ MOS トランジスタが OFF 状態のとき、この値が適用されます。また、消費電流値には、いずれの端子からの出力充放電電流も含まれません。

注 2. IWDTP および LVD は動作していません。

注 3. VCC = 3.3 V

表 36.12 動作電流とスタンバイ電流 (3)

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電 流	12 ビット A/D 変換中 (高速 A/D 変換モード 時)	I <sub>VCCAD</sub>	—	—	1.44	mA	—
	12 ビット A/D 変換中 (低消費電力 A/D 変換 モード時)		—	—	0.78	mA	—
	12 ビット A/D 変換待機中 (全ユニット) (注1)		—	—	1.0	μA	—
基準電源電流	12 ビット A/D 変換中	I <sub>REFH0</sub>	—	—	120	μA	—
	12 ビット A/D 変換待機中		—	—	60	μA	T <sub>a</sub> = 105°C
			—	—	120	μA	T <sub>a</sub> = 125°C
温度センサ (TSN) 動作電流		I <sub>TNS</sub>	—	95	—	μA	—

注 1. MCU がソフトウェアスタンバイモードまたは MSTPCR.DMSTPD16 (ADC120 モジュールストップビット) がモジュールストップ状態の場合

### 36.2.6 VCC 立ち上がり/立ち下がり勾配とリップル周波数

表 36.13 立ち上がり/立ち下がり勾配の特性

条件 : VCC = 0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり 勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧モニタ 0 リセット有効(注1)(注2)				—		
	SCI ブートモード(注2)				2		

注 1. OFS1.LVDAS = 0 のとき

注 2. ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

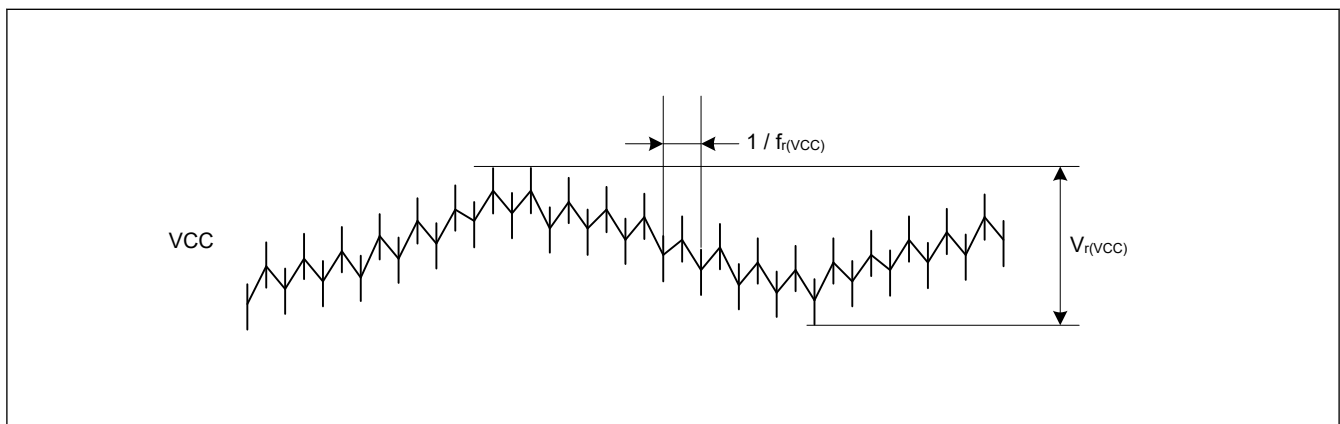
**表 36.14 立ち上がり/立ち下がり勾配とリップル周波数特性**

条件 : VCC = 1.6~5.5 V

リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数  $f_{r(VCC)}$  を満たす必要があります。

VCC 変動が VCC±10% を超える場合は、許容電圧変動立ち上がり/立ち下がり勾配  $dt/dVCC$  を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	<a href="#">図 36.2</a> $V_{r(VCC)} \leq VCC \times 0.2$
		—	—	1	MHz	<a href="#">図 36.2</a> $V_{r(VCC)} \leq VCC \times 0.08$
		—	—	10	MHz	<a href="#">図 36.2</a> $V_{r(VCC)} \leq VCC \times 0.06$
許容電圧変動の立ち上がり/立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC±10% を超える場合



**図 36.2 リップル波形**

### 36.2.7 熱特性

ジャンクション温度 ( $T_j$ ) の最大値は、「[36.2.1.  \$T\_j/T\_a\$  の定義](#)」の値を超えないようにしてください。

$T_j$  は、以下のいずれかの式で計算されます。

- $T_j = T_a + \theta_{ja} \times \text{総消費電力}$
  - $T_j = T_t + \Psi_{jt} \times \text{総消費電力}$
- $T_j$  : ジャンクション温度 (°C)  
 $T_a$  : 周囲温度 (°C)  
 $T_t$  : ケース上面中央部温度 (°C)  
 $\theta_{ja}$  : 「ジャンクション」 - 「周囲」間の熱抵抗 (°C/W)  
 $\Psi_{jt}$  : 「ジャンクション」 - 「ケース上面中央部」間の熱抵抗 (°C/W)
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
  - IO のリーク電流 =  $\Sigma (IOL \times VOL) / \text{電圧} + \Sigma (|IOH| \times |VCC - VOH|) / \text{電圧}$
  - IO のダイナミック電流 =  $\Sigma IO (Cin + Cload) \times IO \text{ のスイッチング周波数} \times \text{電圧}$
- $Cin$  : 入力容量  
 $Cload$  : 出力容量

$\theta_{ja}$  と  $\Psi_{jt}$  については、[表 36.15](#) を参照してください。

表 36.15 熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	20 ピン HWQFN	$\theta_{ja}$	25.7	°C/W	JESD 51-2 および 51-7 準拠
	24 ピン HWQFN		24.7		
	16 ピン WLCSP		T.B.D.		
	20 ピン HWQFN	$\Psi_{jt}$	0.31	°C/W	JESD 51-2 および 51-7 準拠
	24 ピン HWQFN		0.30		
	16 ピン WLCSP		T.B.D.		
					JESD 51-2 および 51-9 準拠

注 1. 値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

## 36.3 AC 特性

### 36.3.1 周波数

表 36.16 High-speed 動作モードの動作周波数

条件 : VCC = 1.8~5.5 V

項目		シンボル	Min	Typ	Max(注5)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	f	1.8~5.5 V	0.032768	—	48	MHz
	周辺モジュールクロック (PCLKB) (注4)		1.8~5.5 V	—	—	32	
	周辺モジュールクロック (PCLKD)(注3) (注4)		1.8~5.5 V	—	—	64	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

注 5. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 36.20 を参照してください。

表 36.17 Middle-speed モードの動作周波数

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max(注5)	単位	
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	f	1.8~5.5 V	0.032768	—	24	MHz
			1.6~1.8 V	0.032768	—	4	
	周辺モジュールクロック (PCLKB) (注4)		1.8~5.5 V	—	—	24	
			1.6~1.8 V	—	—	4	
	周辺モジュールクロック (PCLKD)(注3) (注4)		1.8~5.5 V	—	—	24	
			1.6~1.8 V	—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は使用できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

注 5. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 36.20 を参照してください。

表 36.18 Low-speed モードの動作周波数

条件: VCC = 1.6~5.5 V

項目			シンボル	Min	Typ	Max(注5)	単位
動作周波数	システムクロック (ICLK)(注1)(注2)(注4)	1.6~5.5 V	f	0.032768	—	2	MHz
	周辺モジュールクロック (PCLKB) (注4)	1.6~5.5 V		—	—	2	
	周辺モジュールクロック (PCLKD)(注3) (注4)	1.6~5.5 V		—	—	2	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 3. ADC12 使用時の PCLKD の下限周波数は 1 MHz です。

注 4. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

注 5. 動作周波数の最高値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 36.20 を参照してください。

表 36.19 Subosc-speed モードの動作周波数

条件: VCC = 1.6~5.5 V

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注1)(注3)	1.6~5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB) (注3)	1.6~5.5 V		—	—	37.6832	
	周辺モジュールクロック (PCLKD)(注2) (注3)	1.6~5.5 V		—	—	37.6832	

注 1. フラッシュメモリのプログラムまたはイレースはできません。

注 2. ADC12 は使用できません。

注 3. ICLK、PCLKB、PCLKD の周波数関係については「8. クロック発生回路」を参照してください。

### 36.3.2 クロックタイミング

表 36.20 クロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
LOCO クロック発振周波数	f <sub>LOCO</sub>	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t <sub>LOCO</sub>	—	—	100	μs	<a href="#">図 36.3</a>
IWDT 専用クロック発振周波数	f <sub>ILOCO</sub>	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f <sub>MOCO</sub>	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t <sub>MOCO</sub>	—	—	1	μs	—
HOCO クロック発振周波数(注3)	f <sub>HOCO24</sub>	23.76	24	24.24	MHz	Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f <sub>HOCO32</sub>	31.68	32	32.32		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f <sub>HOCO48</sub>	47.52	48	48.48		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f <sub>HOCO64</sub>	63.36	64	64.64		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
HOCO クロック発振安定待機時間(注1) (注2)	t <sub>HOCO24</sub> t <sub>HOCO32</sub> t <sub>HOCO48</sub> t <sub>HOCO64</sub>	—	6.7	7.7	μs	<a href="#">図 36.4</a>

注 1. MOCO 停止状態で HOCO.CR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振中に HOCO.CR.HCSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。

注 2. OSCSF.HOCOSF を確認して、安定時間が経過したか確認してください。

注 3. 出荷テスト時の精度

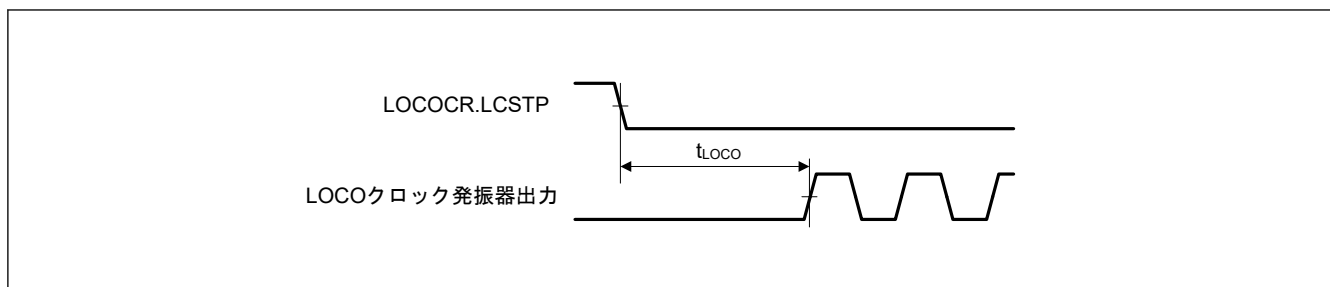
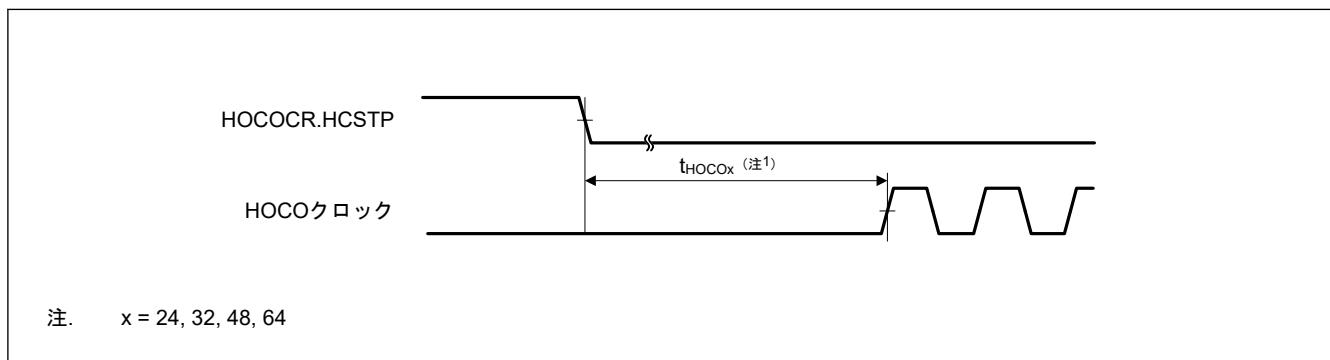


図 36.3 LOCO クロック発振開始タイミング



注. x = 24, 32, 48, 64

図 36.4 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

### 36.3.3 リセットタイミング

表 36.21 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	$t_{RESWP}$	10	—	—	ms	図 36.5
	電源投入時以外	$t_{RESW}$	30	—	—	$\mu$ s	図 36.6
RES 解除後の待機時間 (電源投入時)	LVD0 有効(注1)	$t_{RESWT}$	—	0.9	—	ms	図 36.5
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間 (電源投入中)	LVD0 有効(注1)	$t_{RESWT2}$	—	0.9	—	ms	図 36.6
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間 (ウォッチドッグタイマリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、バスマスタ MPU エラーリセット、スタックポインタエラーリセット、ソフトウェアリセット)	LVD0 有効(注1)	$t_{RESWT3}$	—	0.9	—	ms	図 36.7
	LVD0 無効(注2)		—	0.15	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

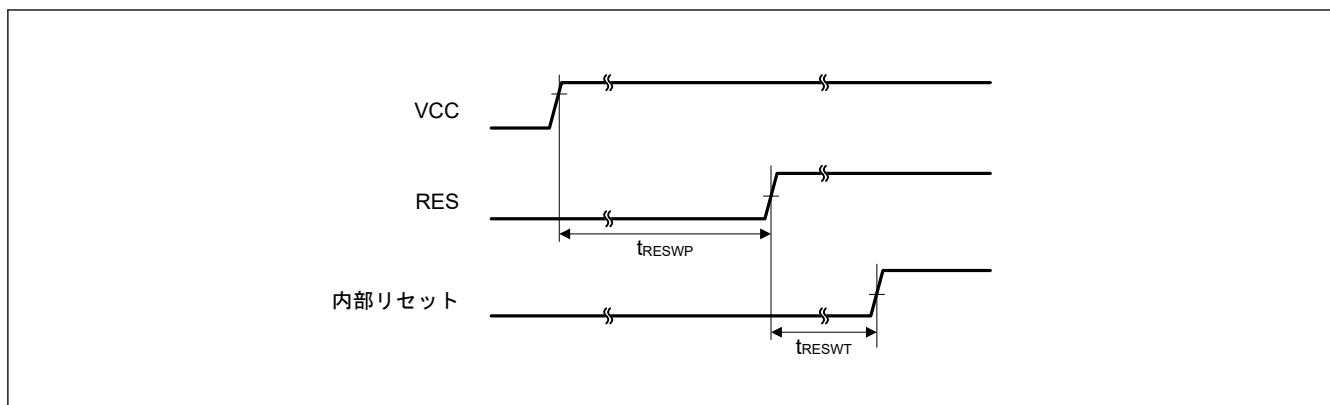


図 36.5 電源投入時リセット入力タイミング

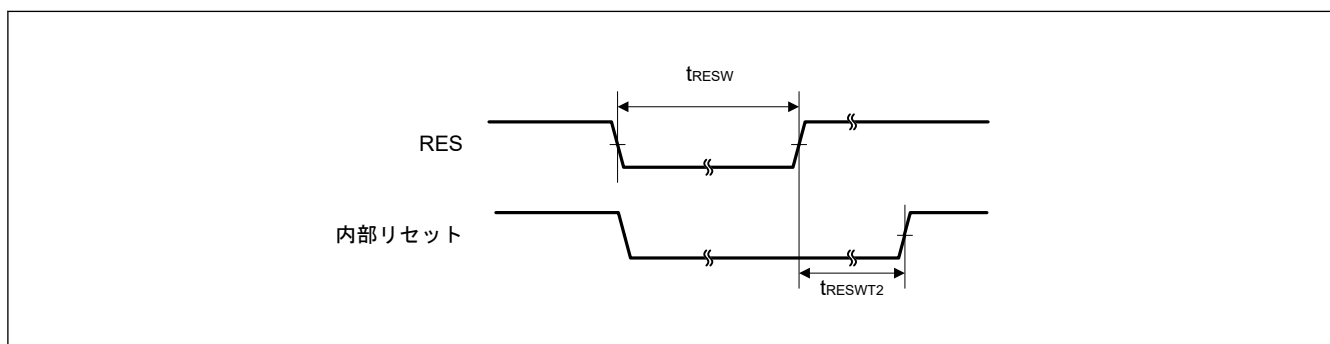


図 36.6 リセット入力タイミング (1)

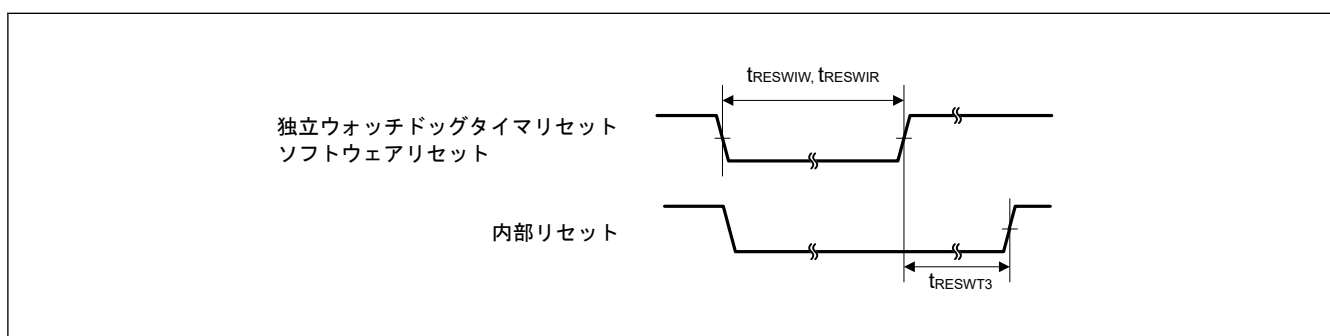


図 36.7 リセット入力タイミング (2)

### 36.3.4 ウェイクアップ時間

表 36.22 低消費電力モードからの復帰タイミング (1)

項目	シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	システムクロックソースは HOCO (HOCO クロックは 32 MHz) (注2)	—	7.4	9.1	μs	図 36.8
	システムクロックソースは HOCO (HOCO クロックは 48 MHz) (注3)	—	7.3	8.9	μs	
	システムクロックソースは HOCO (HOCO クロックは 64 MHz) (注2)	—	7.4	9.1	μs	
	システムクロックソースは MOCO (8 MHz)	—	4	5	μs	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。  
 注 2. システムクロックは 32 MHz です。  
 注 3. システムクロックは 48 MHz です。

表 36.23 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Middle-speed モード	システムクロックソースは HOCO	VCC = 1.8 V~5.5 V(注2)	t <sub>SBYHO</sub>	—	7.7	9.4	μs	図 36.8
			VCC = 1.6 V~1.8 V		—	15.7	17.9		
	システムクロックソースは MOCO (8 MHz)	VCC = 1.8 V~5.5 V	t <sub>SBYMO</sub>	—	4	5	μs		
		VCC = 1.6 V~1.8 V		—	7.2	9			

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. システムクロックは 24 MHz です。

表 36.24 低消費電力モードからの復帰タイミング (3)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	Low-speed モード	システムクロックソースは MOCO (8 MHz)	t <sub>SBYMO</sub>	—	12	15	μs	図 36.8

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

表 36.25 低消費電力モードからの復帰タイミング (4)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間	Subosc-speed モード	システムクロックソースは LOCO (32.768 kHz)	t <sub>SBYLO</sub>	—	0.85	1.2	ms	図 36.8



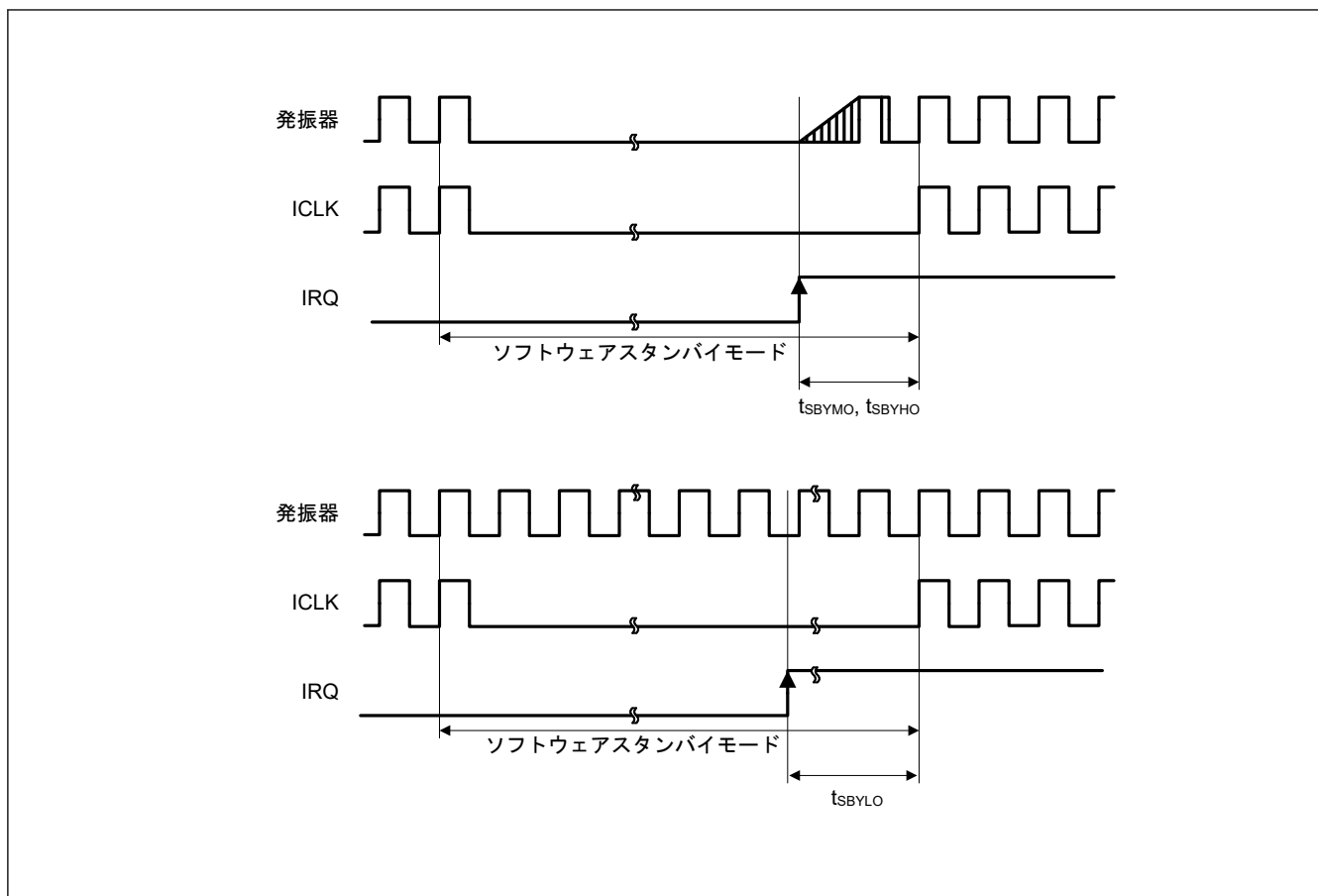


図 36.8 ソフトウェアスタンバイモード解除タイミング

表 36.26 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	tSNZ	—	6.6	8.1	μs	図 36.9
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V~5.5 V	tSNZ	—	6.7	8.2	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V~1.8 V	tSNZ	—	10.8	12.9	μs	
	Low-speed モード システムクロックソースは MOCO (2 MHz)	tSNZ	—	6.7	8.0	μs	

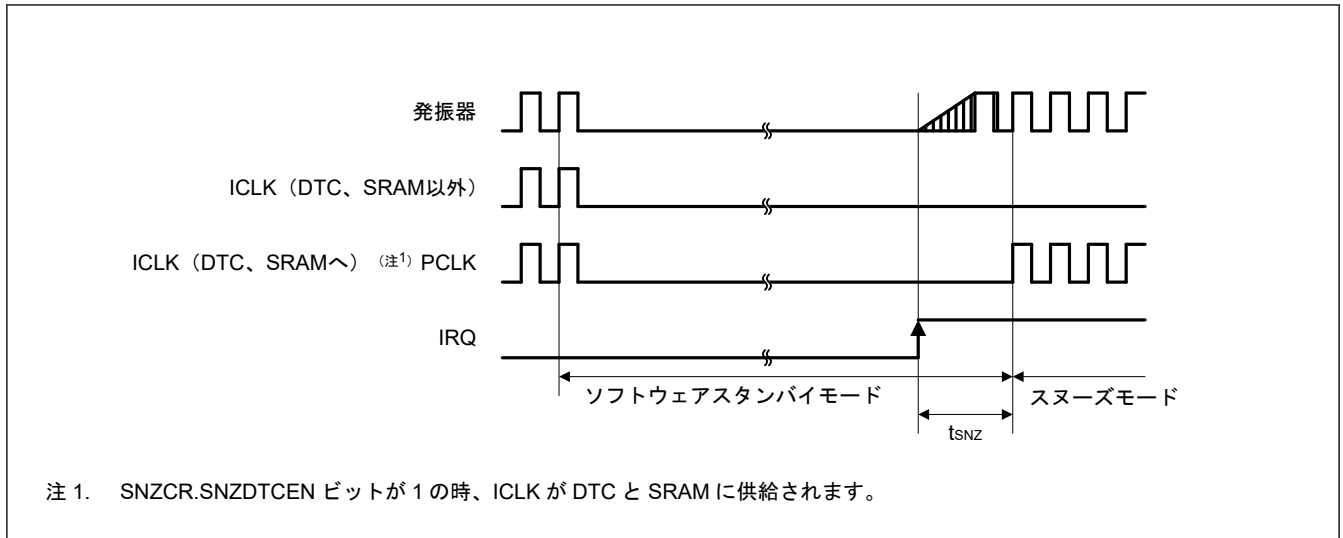


図 36.9 ソフトウェアスタンバイモードからスリープモードへの復帰タイミング

### 36.3.5 NMI/IRQ ノイズフィルタ

表 36.27 NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	$t_{NMIW}$	200	—	—	ns	NMI デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQ パルス幅	$t_{IRQW}$	200	—	—	ns	IRQ デジタルフィルタ無効	
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小 200 ns です。

注. クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足す必要があります。

注 1.  $t_{Pcyc}$  は PCLKB の周期を意味します。

注 2.  $t_{NMICK}$  は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3.  $t_{IRQCK}$  は、IRQ<sub>i</sub> デジタルフィルタサンプリングクロックの周期を示します (i = 0~7)。

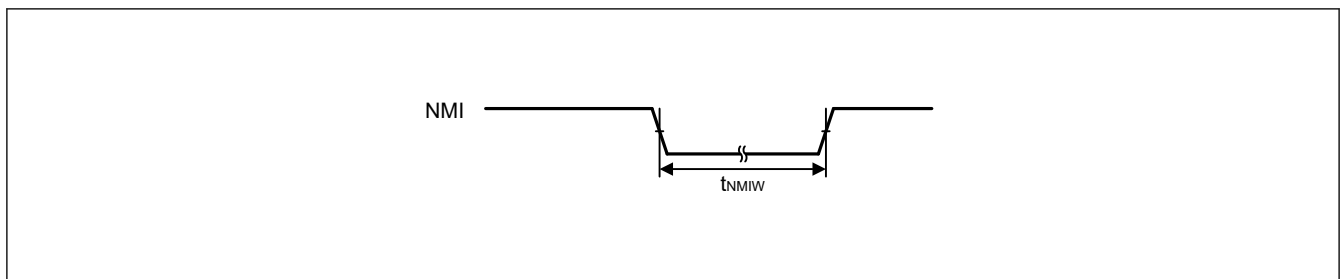


図 36.10 NMI 割り込み入カタイミング

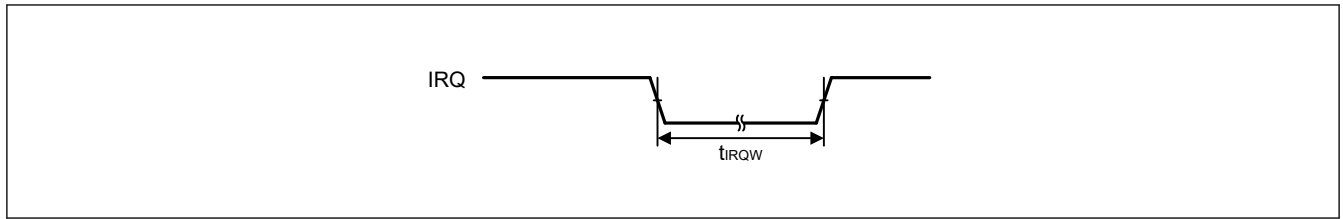


図 36.11 IRQ 割り込み入力タイミング

36.3.6 I/O ポート、POEG、GPT、AGTW、KINT、ADC12 トリガタイミング

表 36.28 I/O ポート、POEG、GPT、AGTW、KINT、ADC12 トリガタイミング

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{PRW}$	2	—	$t_{Pcyc}$	図 36.12
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		3			
		$1.6\text{ V} \leq \text{VCC} < 2.4\text{ V}$		4			
POEG	POEG 入力トリガパルス幅		$t_{POEW}$	3	—	$t_{Pcyc}$	図 36.13
GPT	入力キャプチャパルス幅	単エッジ	$t_{GTICW}$	1.5	—	$t_{PDcyc}$	図 36.14
		両エッジ		2.5			
AGTW	AGTIO、AGTEE 入力サイクル	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{ACYC}$ (注1)	250	—	ns	図 36.15
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		2000		ns	
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{ACKWH}$ $t_{ACKWL}$	100	—	ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		800		ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{ACYC2}$	62.5	—	ns	図 36.15
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		125		ns	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		250		ns	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		500		ns	
ADC12 ビット	12 ビット A/D コンバータトリガ入力パルス幅		$t_{TRGW}$	1.5	—	$t_{Pcyc}$	図 36.16
KINT	$KR_n$ ( $n = 00 \sim 03$ ) パルス幅		$t_{KR}$	250	—	ns	図 36.17

注 1. AGTIO 入力の制約:  $t_{Pcyc} \times 2$  ( $t_{Pcyc}$ : PCLKB サイクル) <  $t_{ACYC}$

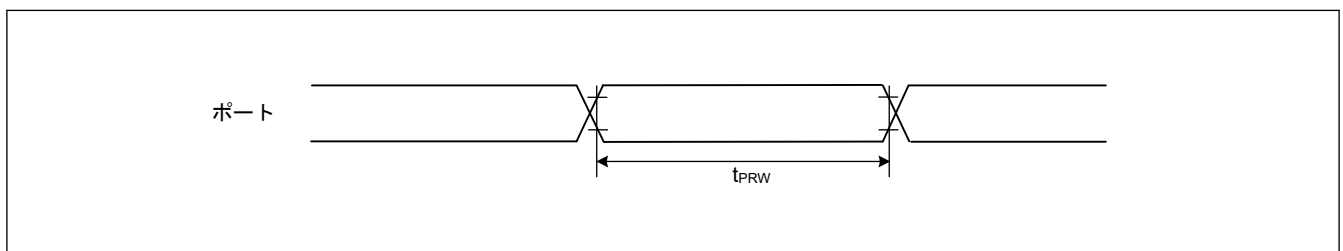


図 36.12 I/O ポート入力タイミング

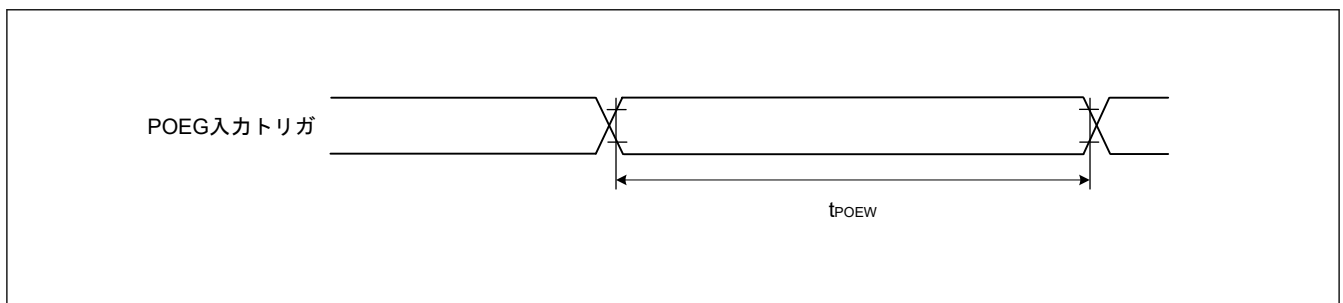


図 36.13 POEG 入力トリガタイミング

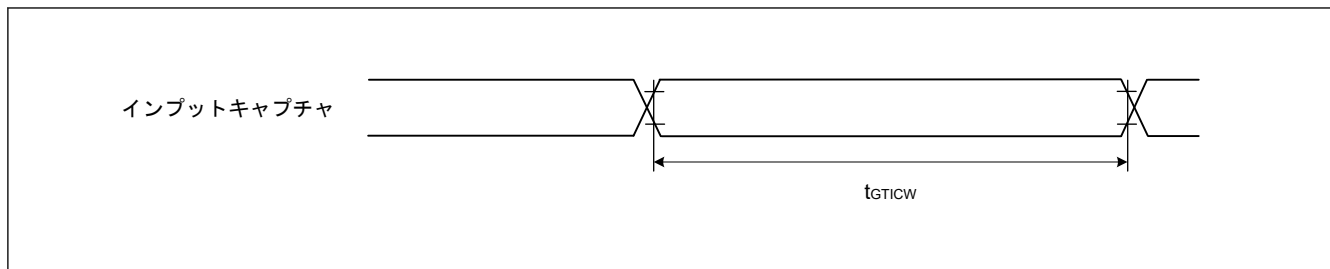


図 36.14 GPT インพุットキャプチャタイミング

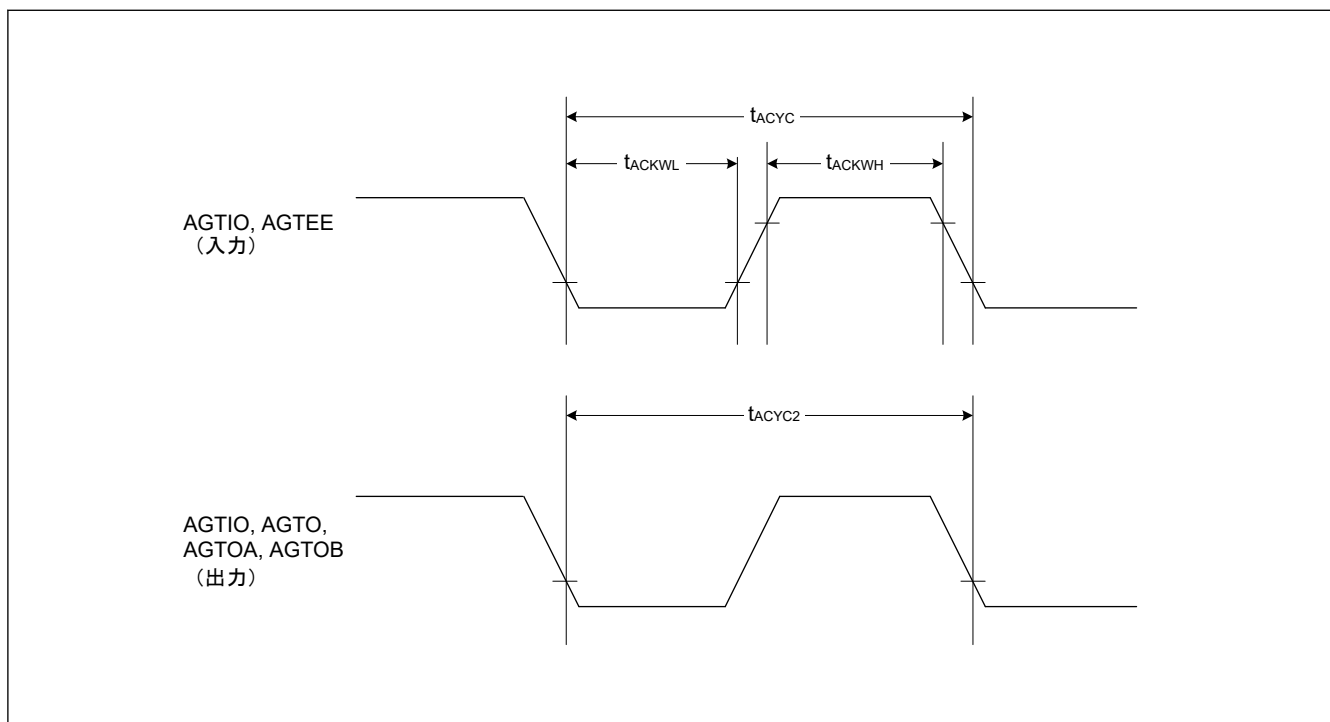


図 36.15 AGTW 入出力タイミング

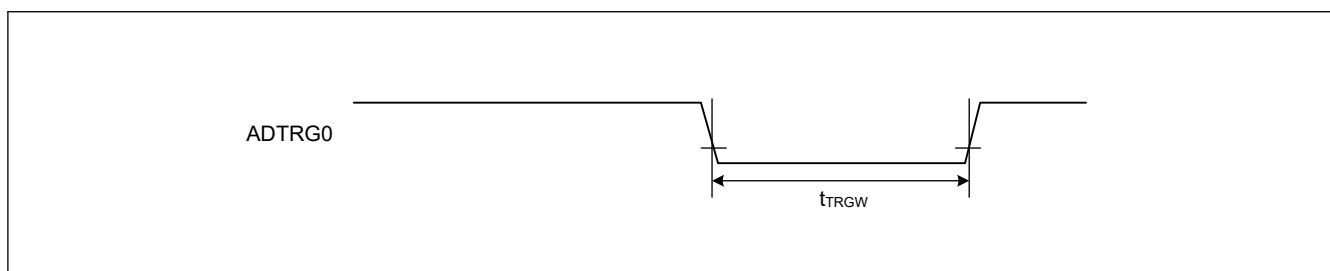
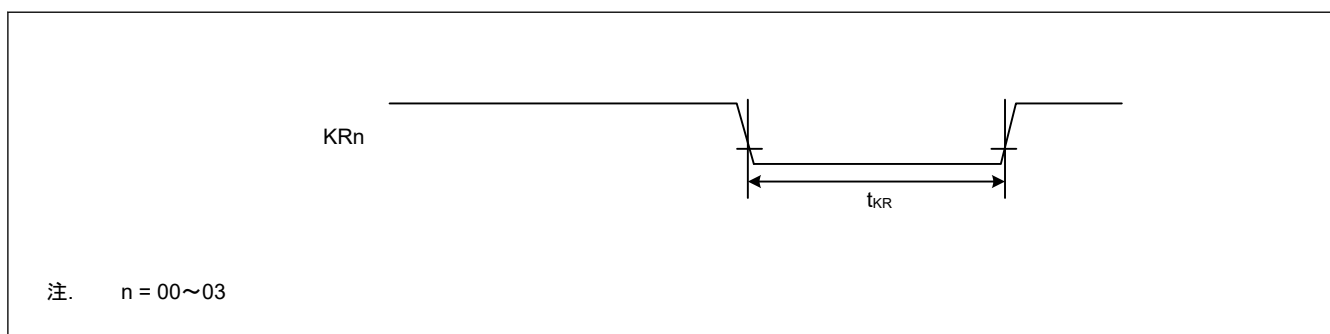


図 36.16 ADC12 トリガ入力タイミング



注. n = 00~03

図 36.17 キー割り込み入力タイミング

## 36.3.7 CAC タイミング

表 36.29 CAC タイミング

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{\text{CACREF}}$	$t_{\text{Pcyc}}^{(\text{注1})} \leq t_{\text{CAC}}^{(\text{注2})}$	—	—	ns	—
			$t_{\text{Pcyc}}^{(\text{注1})} > t_{\text{CAC}}^{(\text{注2})}$	$4.5 \times t_{\text{CAC}} + 3 \times t_{\text{Pcyc}}$	—	—	

注 1.  $t_{\text{Pcyc}}$  : PCLKB の周期。注 2.  $t_{\text{CAC}}$  : CAC カウントクロックソースの周期

36.3.8 SCI タイミング

表 36.30 SCI タイミング (1)

条件 : VCC = 1.6~5.5 V

項目			シンボル	Min	Max	単位	測定条件	
SCI	入カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Scyc}}$	125	—	ns	図 36.18
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—		
		クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
	入カクロックパルス幅			$t_{\text{SCKW}}$	0.4	0.6	$t_{\text{Scyc}}$	
	入カクロック立ち上がり時間			$t_{\text{SCKr}}$	—	20	ns	
	入カクロック立ち下がり時間			$t_{\text{SCKf}}$	—	20	ns	
	出カクロックサイクル	調歩同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Scyc}}$	187.5	—	ns	
$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$			375		—			
$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$			750		—			
$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			1500		—			
クロック同期式		$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	125		—			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	250		—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	500		—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	1000		—			
出カクロックパルス幅			$t_{\text{SCKW}}$	0.4	0.6	$t_{\text{Scyc}}$		
出カクロック立ち上がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{SCKr}}$	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
出カクロック立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{SCKf}}$	—	20	ns		
	$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30			
送信データ遅延時間 (マスタ)	クロック同期式	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{TXD}}$	—	40	ns	図 36.19	
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	45			
送信データ遅延時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{TXD}}$	—	55	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	60			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125			
受信データセットアップ時間 (マスタ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{RXS}}$	45	—	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		90	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—			
受信データセットアップ時間 (スレーブ)	クロック同期式	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{RXS}}$	40	—	ns		
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—			
受信データホールド時間 (マスタ)	クロック同期式		$t_{\text{RXH}}$	5	—	ns		
受信データホールド時間 (スレーブ)	クロック同期式		$t_{\text{RXH}}$	40	—	ns		

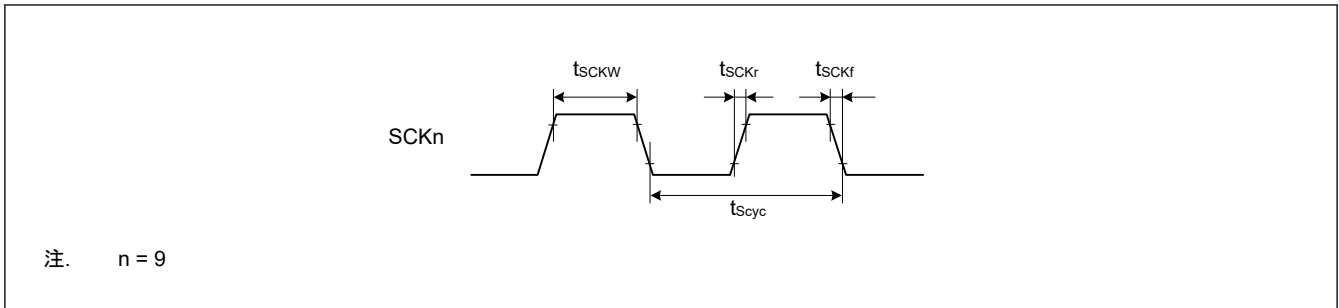


図 36.18 SCK クロック入力タイミング

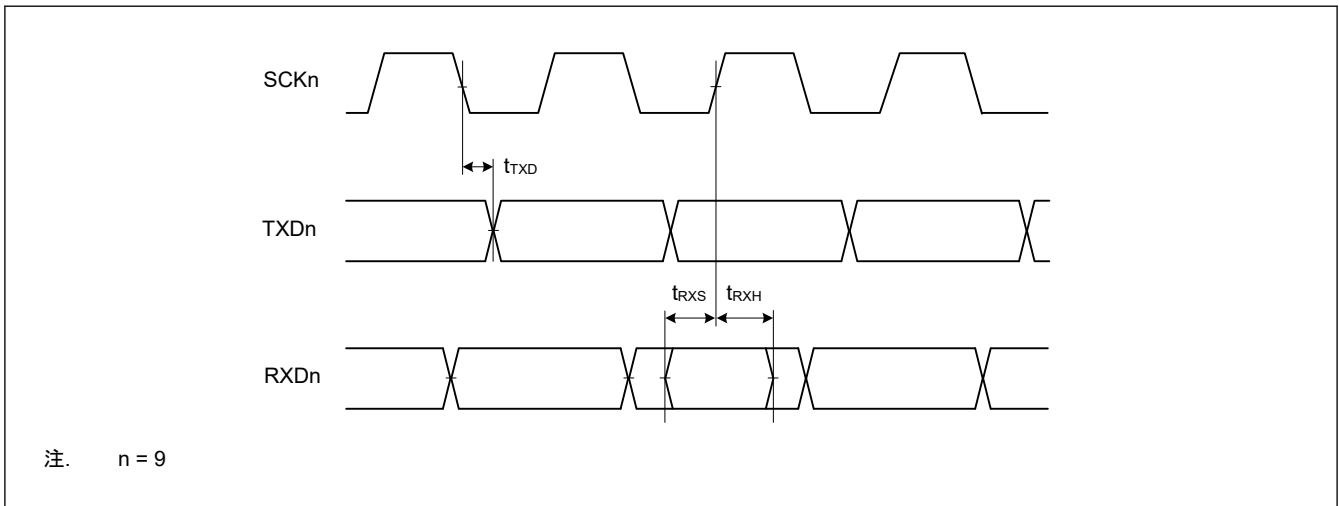


図 36.19 クロック同期式モードにおける SCI 入出力タイミング

表 36.31 SCI タイミング (2) (1/2)

条件 : VCC = 1.6~5.5 V

項目			シンボル	Min	Max	単位 (注1)	測定条件	
簡易 SPI	SCK クロックサイクル出力 (マスタ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPcyc}}$	125	—	ns	図 36.20	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		250	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		500	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1000	—			
	SCK クロックサイクル入力 (スレーブ)	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—			
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—			
	SCK クロック High レベルパルス幅			$t_{\text{SPCKWH}}$	0.4	0.6		$t_{\text{SPcyc}}$
	SCK クロック Low レベルパルス幅			$t_{\text{SPCKWL}}$	0.4	0.6		$t_{\text{SPcyc}}$
	SCK クロック立ち上がり ／立ち下がり時間	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPCKr}}$ $t_{\text{SPCKf}}$	—	20	ns		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
データ入力セ ットアップ時 間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SU}}$	45	—	ns	図 36.21 ~ 図 36.24	
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		55	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		80	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		110	—			
	スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		40	—			
		$1.6\text{ V} \leq \text{VCC} < 2.7\text{ V}$		45	—			
データ入力ホ ールド時間	マスタ		$t_{\text{H}}$	33.3	—	ns		
	スレーブ			40	—			
SS 入力セットアップ時間			$t_{\text{LEAD}}$	1	—	$t_{\text{SPcyc}}$		
SS 入力ホールド時間			$t_{\text{LAG}}$	1	—	$t_{\text{SPcyc}}$		
データ出力遅 延時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{OD}}$	—	40	ns		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	50			
	スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	65			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—	100			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	125			
データ出力ホ ールド時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{OH}}$	-10	—	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		-20	—			
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		-30	—			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		-40	—			
	スレーブ				-10		—	
データ立ち上 がり／立ち下 がり時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{Dr}}, t_{\text{Df}}$	—	20	ns		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
	スレーブ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	20			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			



表 36.31 SCI タイミング (2) (2/2)

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Max	単位 (注1)	測定条件	
簡易 SPI	スレーブアクセス時間	2.4 V ≤ VCC ≤ 5.5 V	—	6	t <sub>Pcyc</sub>	図 36.24	
		1.8 V ≤ VCC < 2.4 V	24 MHz ≤ PCLKB ≤ 32 MHz	—			7
			PCLKB < 24 MHz	—			6
		1.6 V ≤ VCC < 1.8 V	—	6			
	スレーブ出力開放時間	2.4 V ≤ VCC ≤ 5.5 V	t <sub>REL</sub>	—	6		t <sub>Pcyc</sub>
		1.8 V ≤ VCC < 2.4 V	24 MHz ≤ PCLKB ≤ 32 MHz	—	7		
			PCLKB < 24 MHz	—	6		
		1.6 V ≤ VCC < 1.8 V	—	6			

注 1. t<sub>Pcyc</sub> : PCLKB の周期

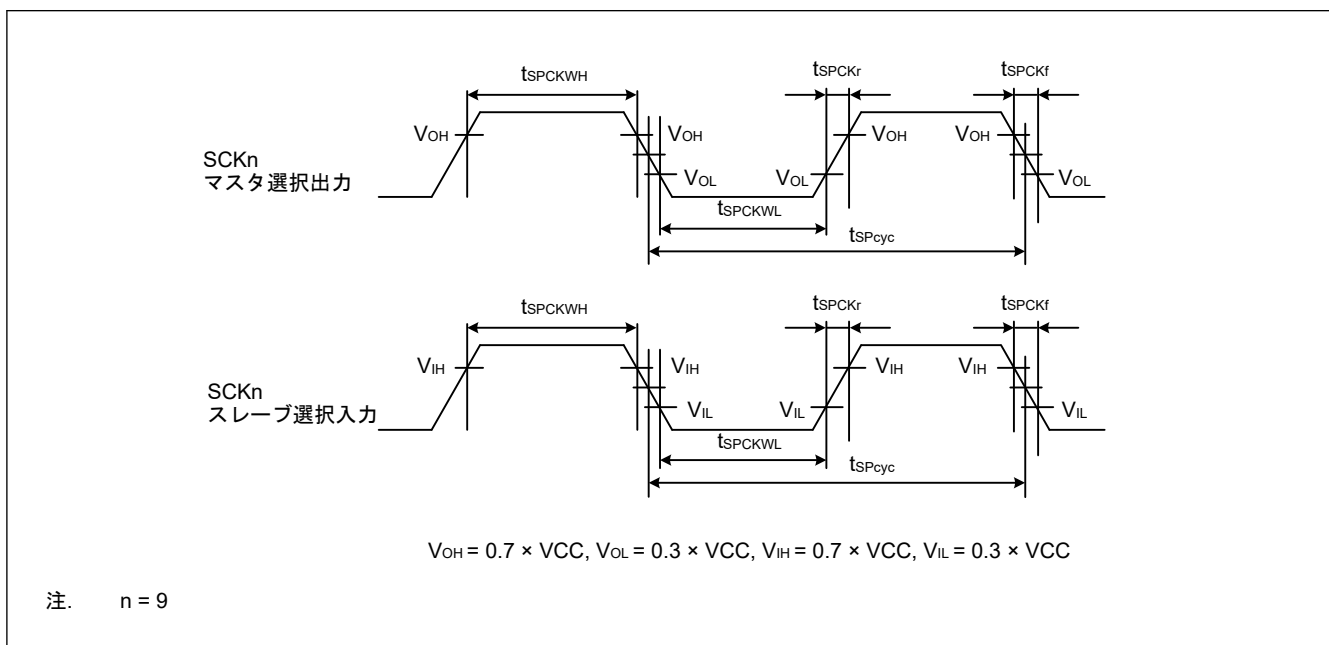


図 36.20 SCI 簡易 SPI モードクロックタイミング

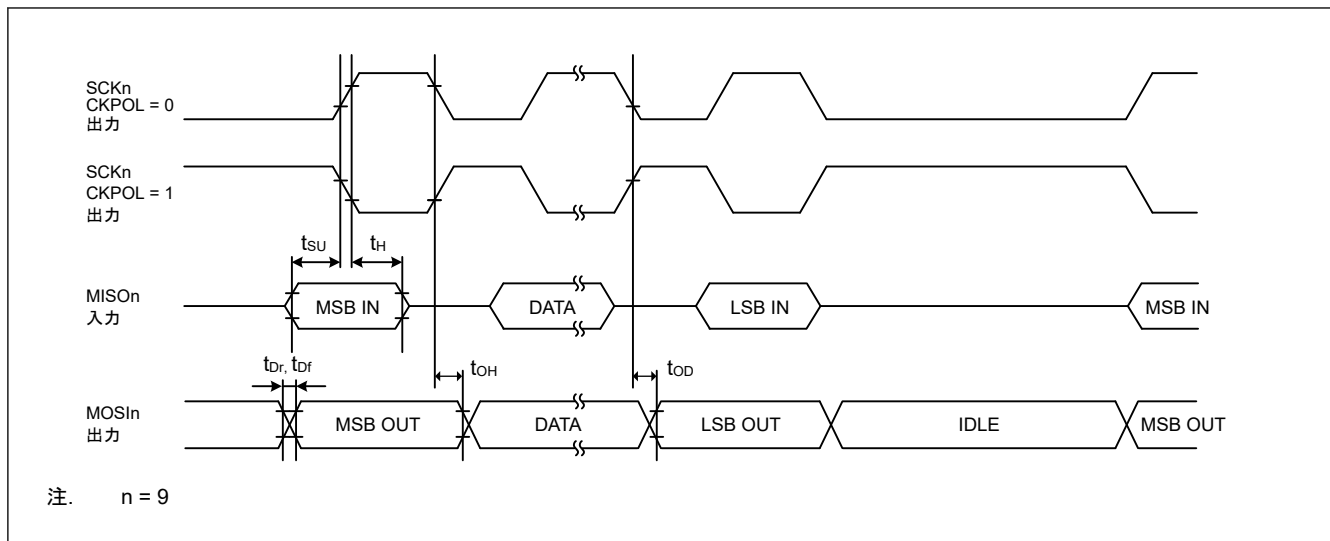


図 36.21 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 1)

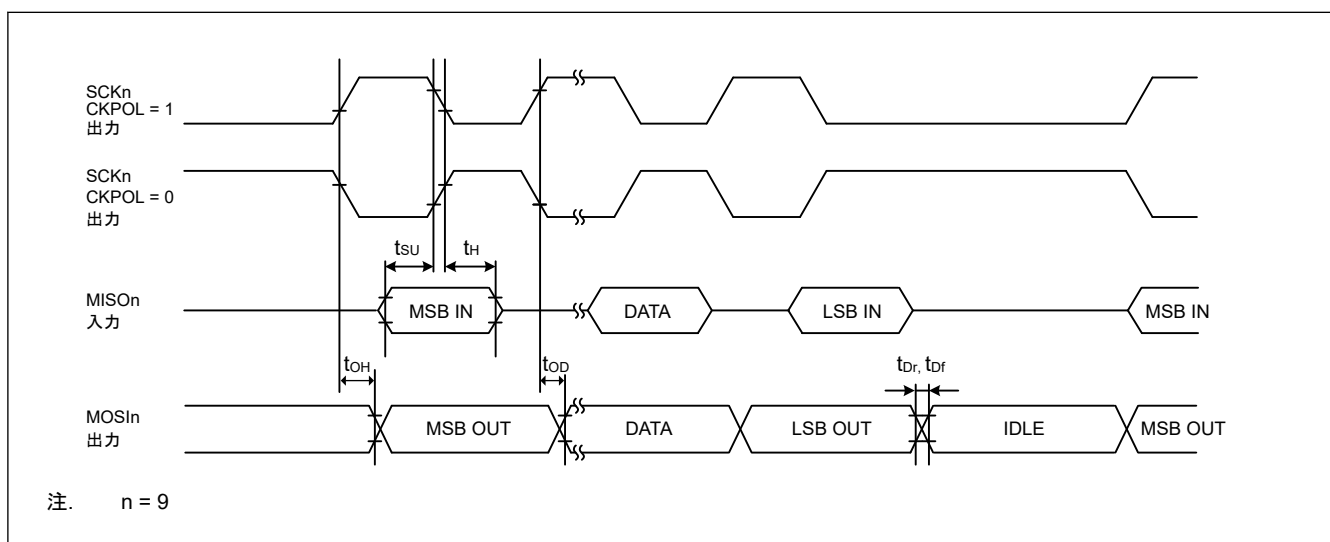


図 36.22 SCI 簡易 SPI モードタイミング (マスタ、CKPH = 0)

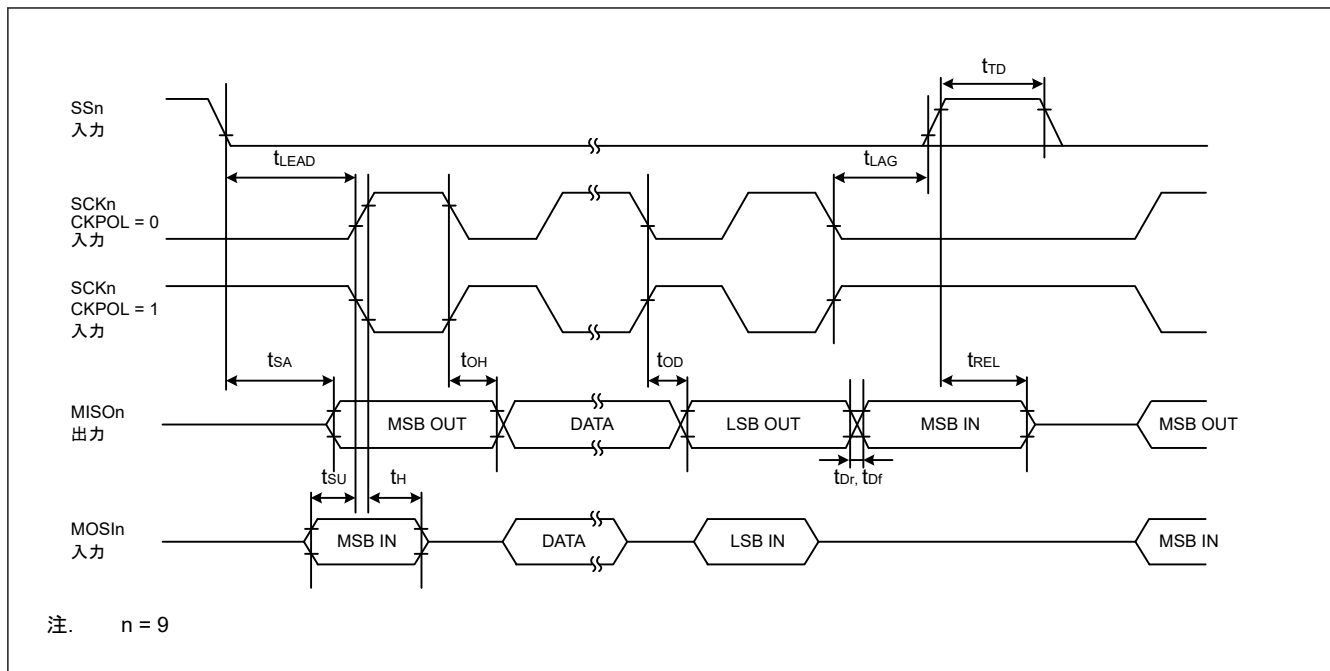


図 36.23 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 1)

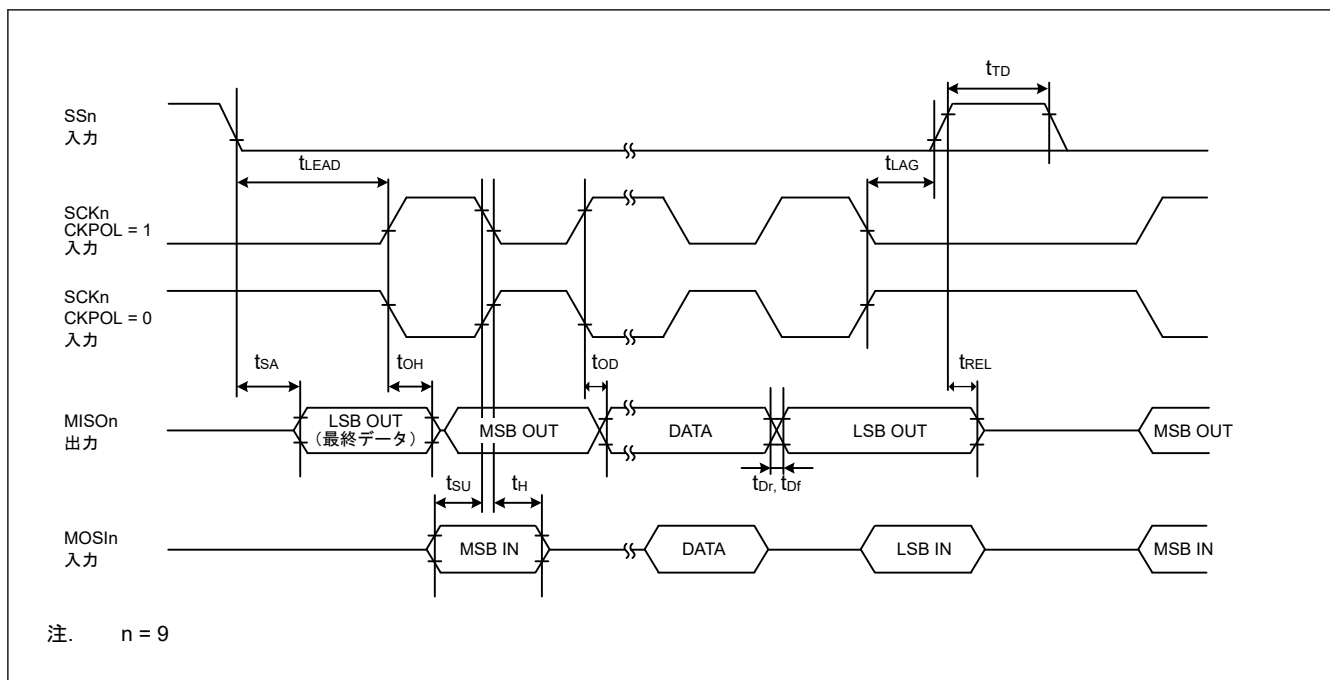


図 36.24 SCI 簡易 SPI モードタイミング (スレーブ、CKPH = 0)

表 36.32 SCI タイミング (3)

条件 : VCC = 2.7~5.5 V

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC (標準モード)	SDA 入力立ち上がり時間	$t_{Sr}$	—	1000	ns	図 36.25
	SDA 入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	$t_{SDAS}$	250	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の容量性負荷	$C_b$ (注2)	—	400	pF	
簡易 IIC (ファストモード)	SDA 入力立ち上がり時間	$t_{Sr}$	—	300	ns	図 36.25
	SDA 入力立ち下がり時間	$t_{Sf}$	—	300	ns	
	SDA 入カスパイクパルス除去時間	$t_{SP}$	0	$4 \times t_{IICcyc}$ (注1)	ns	
	データ入力セットアップ時間	$t_{SDAS}$	100	—	ns	
	データ入力ホールド時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の容量性負荷	$C_b$ (注2)	—	400	pF	

注 1.  $t_{IICcyc}$  : SMR.CKS[1:0]ビットによって選択されたクロックサイクル。

注 2.  $C_b$  はバスラインの容量総計を意味します。

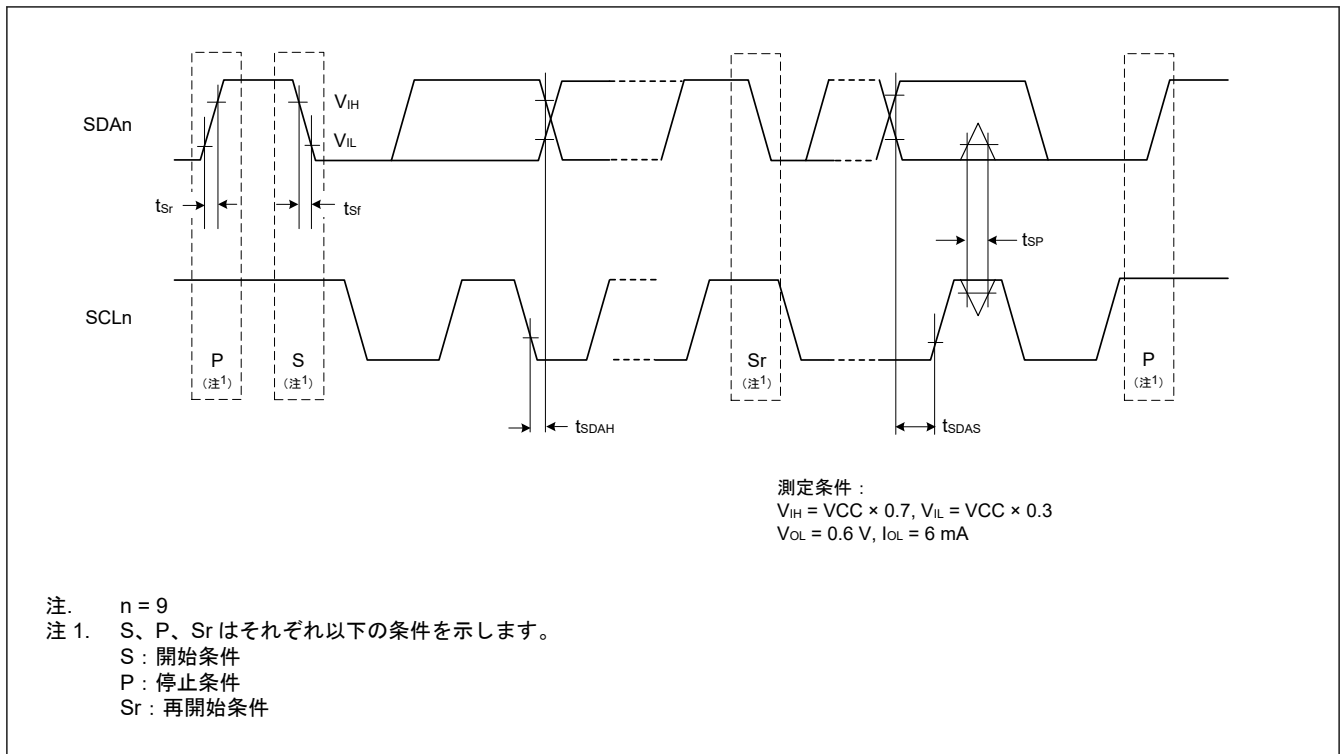


図 36.25 SCI 簡易 IIC モードタイミング

## 36.3.9 SPI タイミング

表 36.33 SPI タイミング (1/3)

項目				シンボル	Min	Max	単位 (注1)	測定条件
SPI	RSPCK クロックサイクル	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPCyc}}$	62.5	—	ns	図 36.26 C = 30 pF
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		125	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		250	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		500	—		
		スレーブ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		187.5	—		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		375	—		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		750	—		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		1500	—		
RSPCK クロック High レベルパルス幅	マスタ		$t_{\text{SPCKWH}}$	$(t_{\text{SPCyc}} - t_{\text{SPCKr}} - t_{\text{SPCKf}}) / 2 - 3$	—	ns		
		スレーブ						$3 \times t_{\text{Pcyc}}$
RSPCK クロック Low レベルパルス幅	マスタ		$t_{\text{SPCKWL}}$	$(t_{\text{Pcyc}} - t_{\text{SPCKr}} - t_{\text{SPCKf}}) / 2 - 3$	—	ns		
		スレーブ						$3 \times t_{\text{Pcyc}}$
RSPCK クロック立ち上がり/立ち下がり時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{SPCKr}}$ $t_{\text{SPCKf}}$	—	10	ns		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—	15			
		$1.8\text{ V} \leq \text{VCC} \leq 2.4\text{ V}$		—	20			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—	30			
	入力		—	0.1	$\mu\text{s/V}$			

表 36.33 SPI タイミング (2/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	データ入力 セットアップ 時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		ns	図 36.27~ 図 36.32 C = 30 pF		
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	$16\text{ MHz} \leq \text{PCLKB} \leq 32\text{ MHz}$			10	—
			$\text{PCLKB} \leq 16\text{ MHz}$	30			—	
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	$16\text{ MHz} \leq \text{PCLKB} \leq 32\text{ MHz}$	10			—	
			$8\text{ MHz} \leq \text{PCLKB} \leq 16\text{ MHz}$	55			—	
			$\text{PCLKB} \leq 8\text{ MHz}$	30			—	
		スレーブ	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	10	—			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	15	—			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	20	—			
	データ入力 ホールド時間	マスタ (RSPCK は PCLKB/2)		$t_{\text{HF}}$	0		—	ns
		マスタ (RSPCK は PCLKB/2 以外)		$t_{\text{H}}$	$t_{\text{Pcyc}}$		—	
		スレーブ		$t_{\text{H}}$	20		—	
SPI	SSL セット アップ時間	マスタ	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{LEAD}}$	ns		
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	$-30 + N \times t_{\text{SpCyc}}$ <sup>(注2)</sup>			—	
		スレーブ	$6 \times t_{\text{Pcyc}}$	—			ns	
	SSL ホールド 時間	マスタ		$t_{\text{LAG}}$	$-30 + N \times t_{\text{SpCyc}}$ <sup>(注3)</sup>		—	ns
		スレーブ			$6 \times t_{\text{Pcyc}}$		—	ns
	データ出力 遅延時間	マスタ	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{OD}}$		ns	
$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$			—	20				
$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$			—	25				
$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$			—	30				
スレーブ		$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—		50		
		$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$		—		60		
		$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$		—		85		
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$		—		110		
データ出力 ホールド時間	マスタ		$t_{\text{OH}}$	0	—	ns		
	スレーブ			0	—			
連続転送遅 延時間	マスタ		$t_{\text{TD}}$	$t_{\text{SpCyc}} + 2 \times t_{\text{Pcyc}}$	$8 \times t_{\text{SpCyc}} + 2 \times t_{\text{Pcyc}}$	ns		
	スレーブ			$6 \times t_{\text{Pcyc}}$	—			

表 36.33 SPI タイミング (3/3)

項目		シンボル	Min	Max	単位 (注1)	測定条件		
SPI	MOSI、MISO 立ち上がり ／立ち下がり 時間	出力	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10	ns	図 36.27 ~ 図 36.32 C = 30 pF	
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	30			
		入力	—	—	1	$\mu\text{s}$		
	SSL 立ち上 がり／立ち 下がり時間	出力	$t_{\text{SSLr}}, t_{\text{SSLf}}$	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	10		ns
			$2.4\text{ V} \leq \text{VCC} < 2.7\text{ V}$	—	15			
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	20			
		$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	30				
	入力	—	—	—	1	$\mu\text{s}$		
スレーブアクセス時 間		$t_{\text{SA}}$	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 100$	ns	図 36.31 と 図 36.32 C = 30 pF	
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 140$			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 180$			
スレーブ出力開放時 間		$t_{\text{REL}}$	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 100$	ns		
			$1.8\text{ V} \leq \text{VCC} < 2.4\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 140$			
			$1.6\text{ V} \leq \text{VCC} < 1.8\text{ V}$	—	$2 \times t_{\text{Pcyc}} + 180$			

注 1.  $t_{\text{Pcyc}}$ : PCLKB サイクル

注 2. N は、SPCKD レジスタで設定可能な 1~8 の整数です。

注 3. N は、SSLND レジスタで設定可能な 1~8 の整数です。

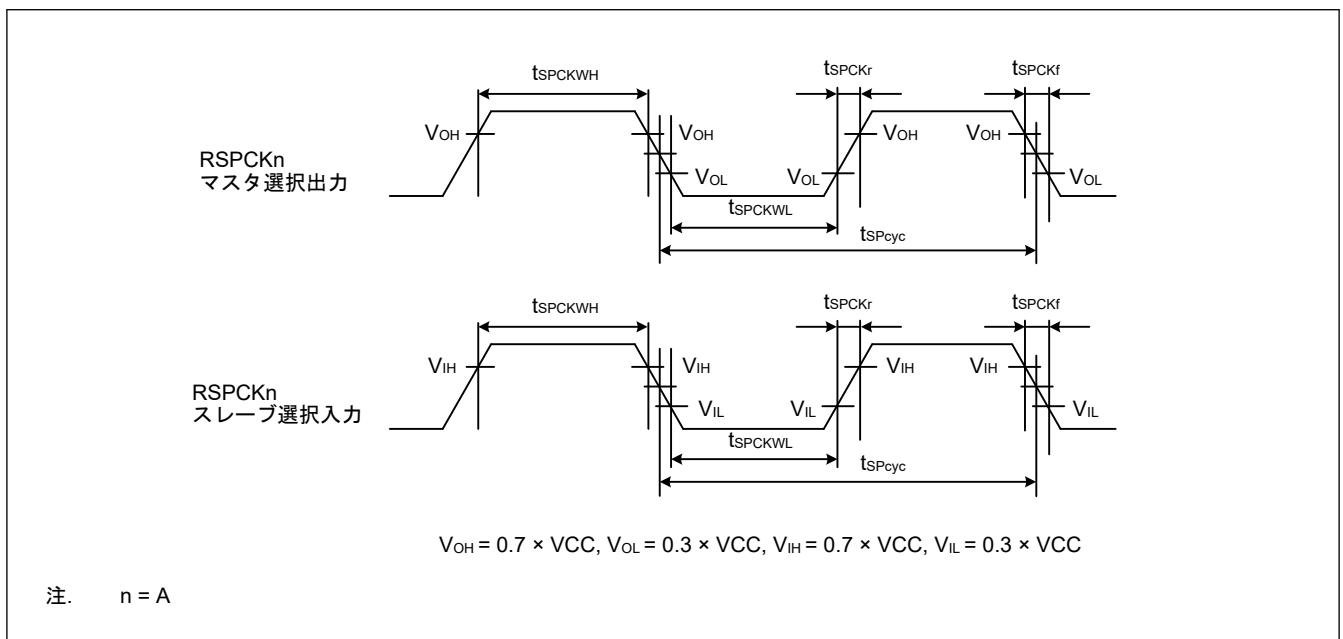


図 36.26 SPI クロックタイミング

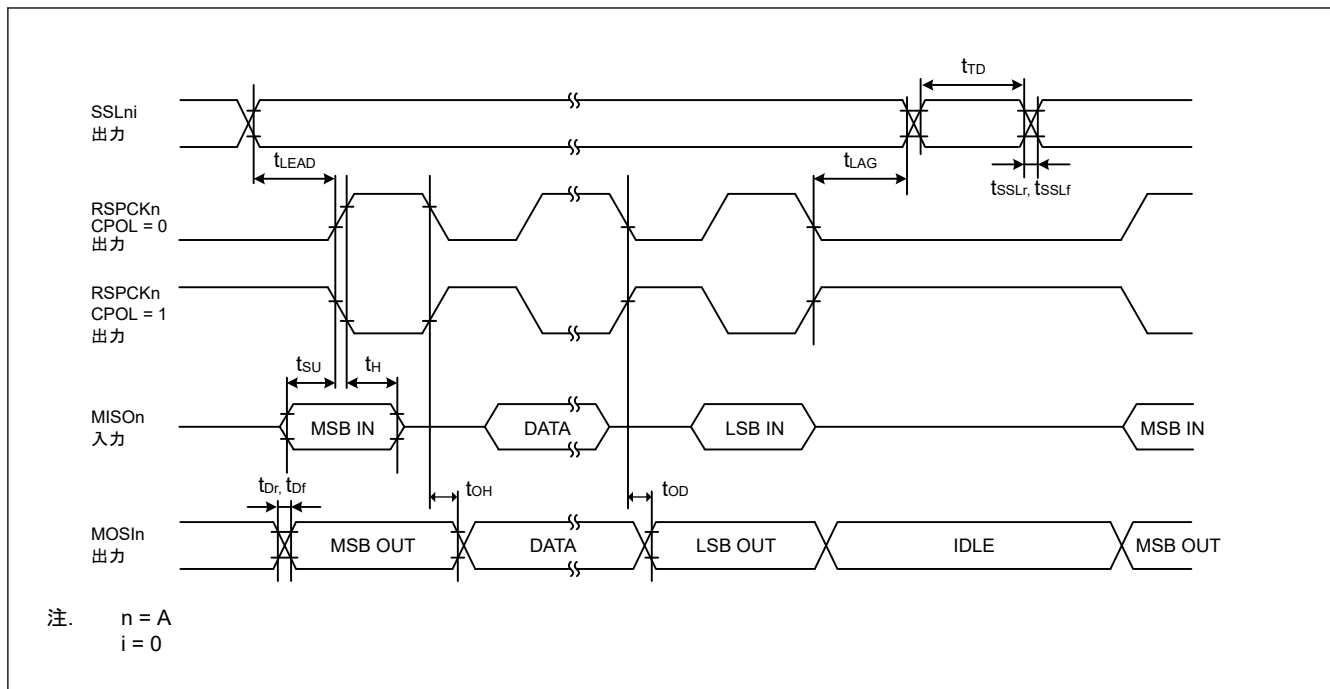


図 36.27 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKA を 2 分周以外に設定)

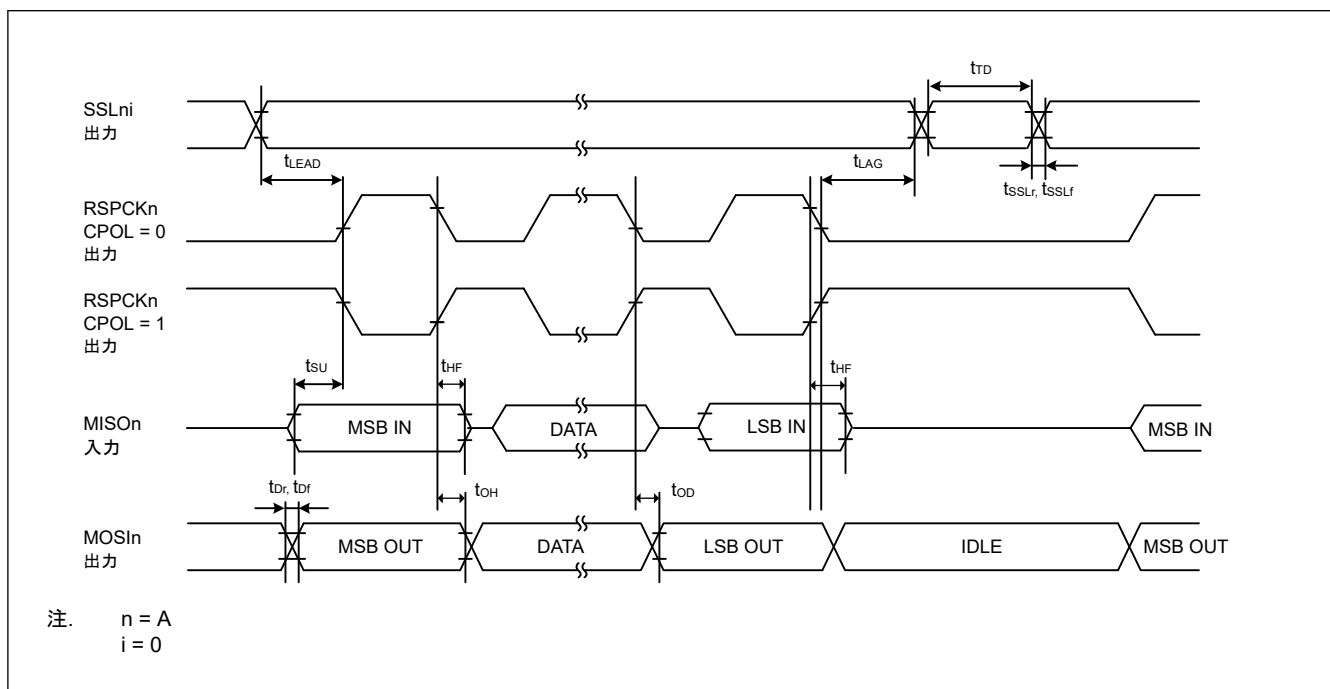


図 36.28 SPI タイミング (マスタ、CPHA = 0) (ビットレート : PCLKB を 2 分周に設定)



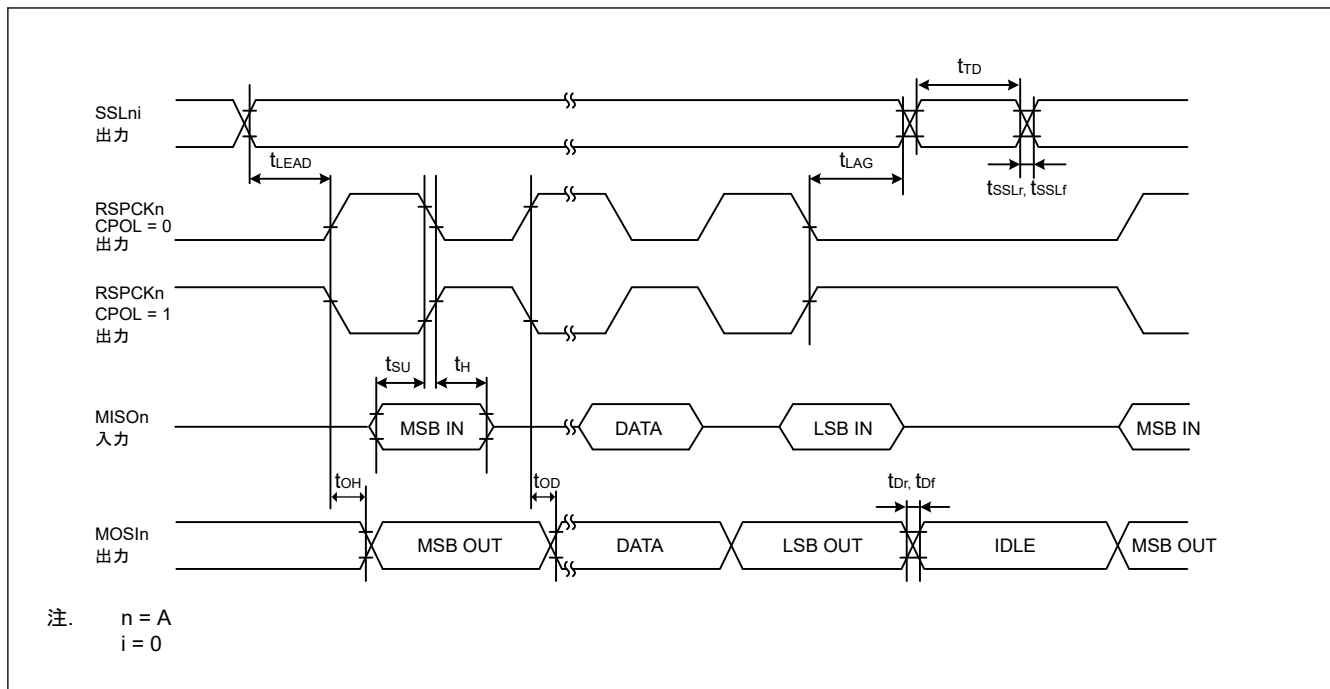


図 36.29 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKA を 2 分周以外に設定)

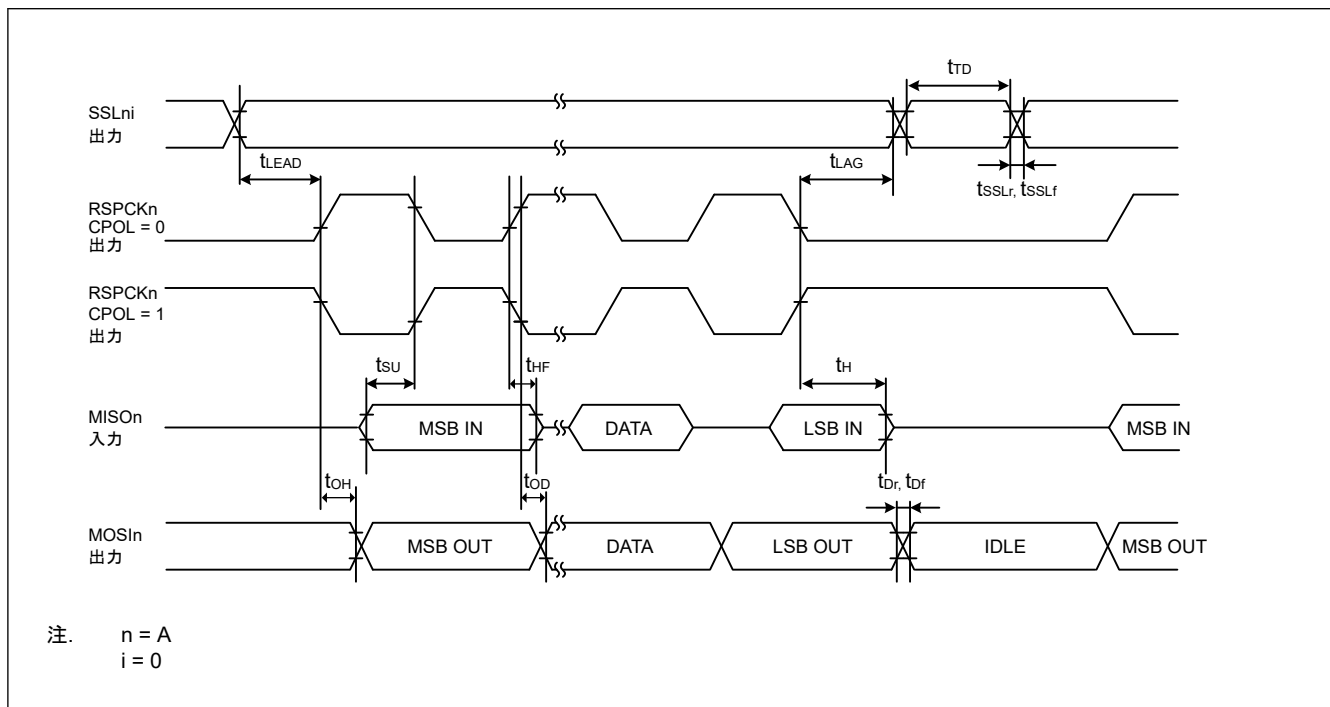


図 36.30 SPI タイミング (マスタ、CPHA = 1) (ビットレート : PCLKB を 2 分周に設定)

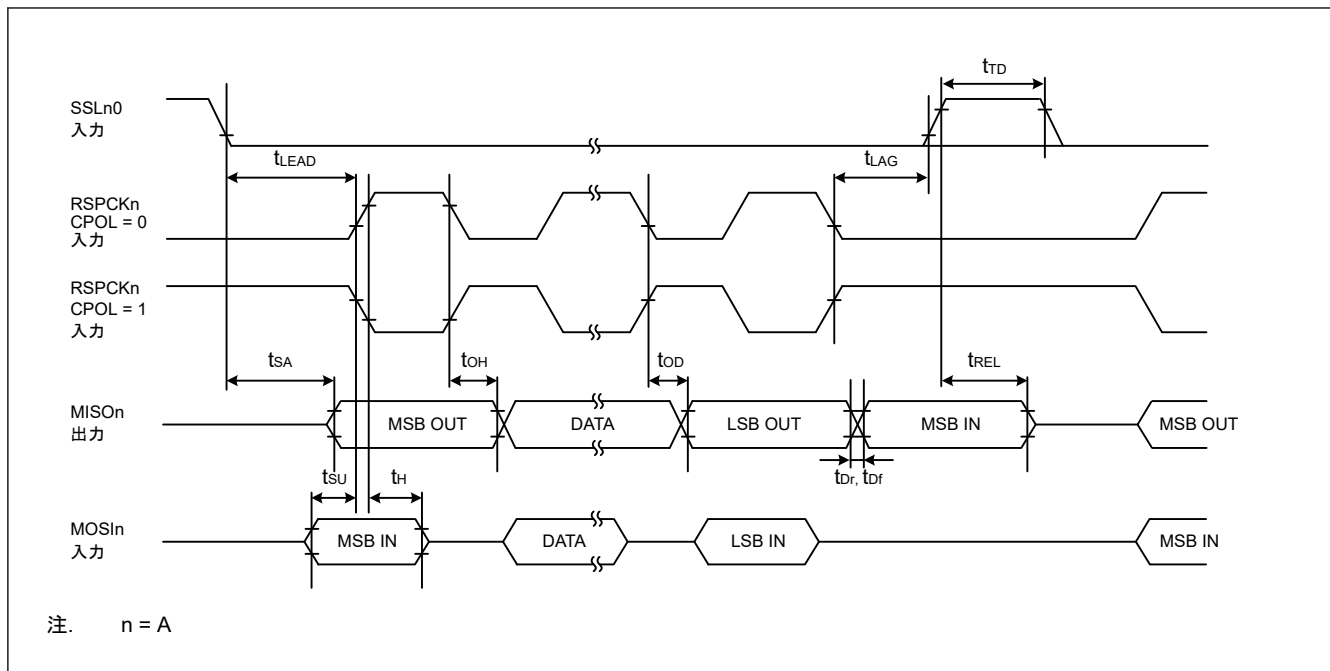


図 36.31 SPI タイミング (スレーブ、CPHA = 0)

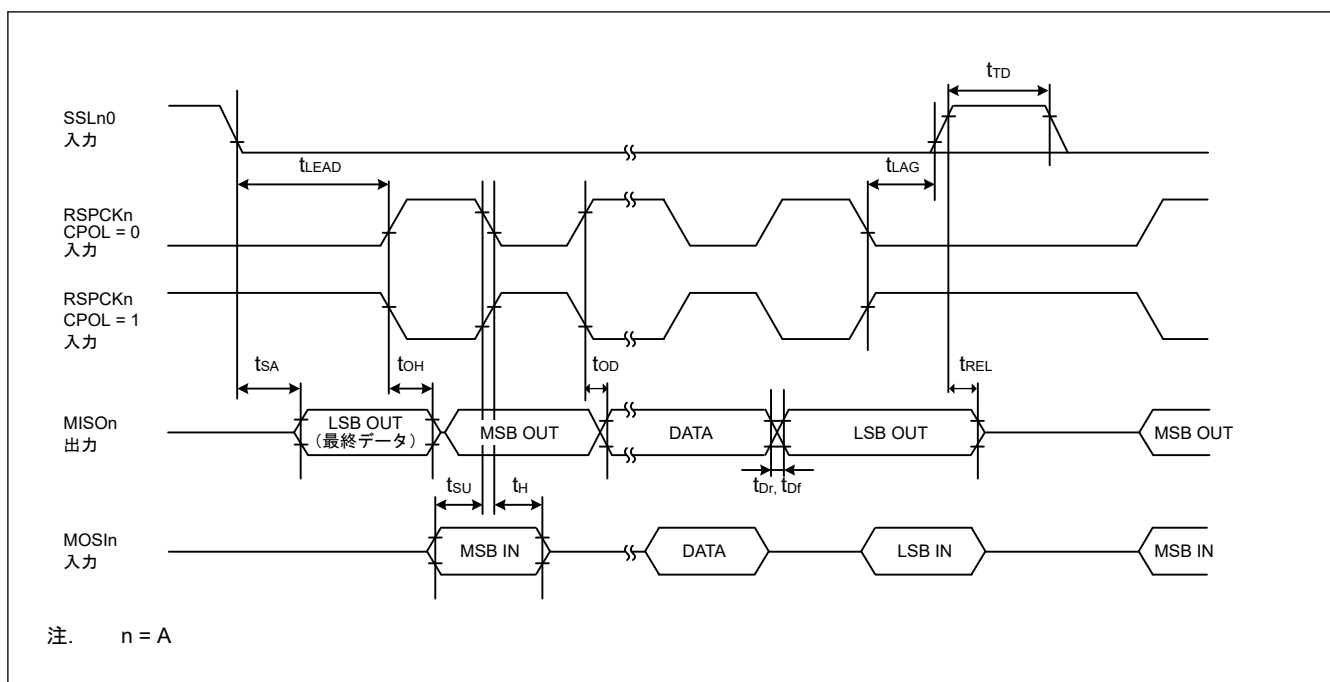


図 36.32 SPI タイミング (スレーブ、CPHA = 1)

## 36.3.10 I3C タイミング

表 36.34 IIC タイミング

条件 : VCC = 2.7~5.5 V

項目	シンボル	Min(注1)	Max	単位	測定条件	
IIC (標準モード、SMBus)	SCL サイクル時間	$t_{SCL}$	$6 (40) \times t_{IICcyc} + 4 \times t_{Pcyc} + 1300$	—	ns	図 36.33
	SCL High レベルパルス幅	$t_{SCLH}$	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 300$	—	ns	
	SCL Low レベルパルス幅	$t_{SCLL}$	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 800$	—	ns	
	SCL、SDA 立ち上がり時間	$t_{Sr}$	—	1000	ns	
	SCL、SDA 立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL、SDA スパイクパルス除去時間	$t_{SP}$	0	$1 (16) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	$t_{BUF}$	$3 (20) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディションホールド時間	$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
	繰り返しのスタートコンディションセットアップ時間	$t_{STAS}$	1000	—	ns	
	ストップコンディションセットアップ時間	$t_{STOS}$	1000	—	ns	
	データセットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
	データ保持時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の負荷容量	$C_b$	—	400	pF	
IIC (ファストモード)	SCL サイクル時間	$t_{SCL}$	$6 (40) \times t_{IICcyc} + 4 \times t_{Pcyc} + 600$	—	ns	図 36.33
	SCL High レベルパルス幅	$t_{SCLH}$	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 300$	—	ns	
	SCL Low レベルパルス幅	$t_{SCLL}$	$3 (20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	$t_{Sr}$	—	300	ns	
	SCL、SDA 立ち下がり時間	$t_{Sf}$	—	300	ns	
	SCL、SDA スパイクパルス除去時間	$t_{SP}$	0	$1 (16) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	$t_{BUF}$	$3 (20) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディションホールド時間	$t_{STAH}$	$t_{IICcyc} + 300$	—	ns	
	繰り返しのスタートコンディションセットアップ時間	$t_{STAS}$	300	—	ns	
	ストップコンディションセットアップ時間	$t_{STOS}$	300	—	ns	
	データセットアップ時間	$t_{SDAS}$	$t_{IICcyc} + 50$	—	ns	
	データ保持時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の負荷容量	$C_b$	—	400	pF	

注.  $t_{IICcyc}$  : IIC 内部基準クロック (IICφ) サイクル、 $t_{Pcyc}$  : PCLKD サイクル

注 1. DNFE.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 1111b であると括弧内の値が適用されます。

表 36.35 IIC タイミング (ファストモード+)

条件 : VCC = 2.7~5.5 V

項目	シンボル	Min(注1)	Max	単位	測定条件	
IIC (ファストモード+)	SCL サイクル時間	$t_{SCL}$	$6(40) \times t_{IICcyc} + 4 \times t_{Pcyc} + 240$	—	ns	図 36.33
	SCL High レベルパルス幅	$t_{SCLH}$	$3(20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 120$	—	ns	
	SCL Low レベルパルス幅	$t_{SCLL}$	$3(20) \times t_{IICcyc} + 2 \times t_{Pcyc} + 120$	—	ns	
	SCL、SDA 立ち上がり時間	$t_{Sr}$	—	120	ns	
	SCL、SDA 立ち下がり時間	$t_{Sf}$	—	120	ns	
	SCL、SDA スパイクパルス除去時間	$t_{SP}$	—	$1(16) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	$t_{BUF}$	$3(20) \times t_{IICcyc} + 120$	—	ns	
	スタートコンディションホールド時間	$t_{STAH}$	$t_{IICcyc} + 135$	—	ns	
	繰り返しのスタートコンディションセットアップ時間	$t_{STAS}$	260	—	ns	
	ストップコンディションセットアップ時間	$t_{STOS}$	260	—	ns	
	データセットアップ時間	$t_{SDAS}$	50	—	ns	
	データ保持時間	$t_{SDAH}$	0	—	ns	
	SCL、SDA の負荷容量	$C_b$	—	550	pF	

注.  $t_{IICcyc}$  : IIC 内部基準クロック (IICφ) サイクル、 $t_{Pcyc}$  : PCLKD サイクル

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 1111b であると括弧内の値が適用されます。

表 36.36 IIC タイミング (HS モード)

条件 : VCC = 2.7~5.5 V

項目	シンボル	Cb = 100 pF		Cb = 400 pF		単位	測定条件	
		Min(注1)	Max	Min(注1)	Max			
IIC (HS モード)	SCL サイクル時間	t <sub>SCL</sub>	PCLKD = 64 MHz のとき、330 (+ 10 × t <sub>IICcyc</sub> ) PCLKD = 48 MHz のとき、390 (+ 10 × t <sub>IICcyc</sub> )	—	PCLKD = 64 MHz のとき、500 (+ 10 × t <sub>IICcyc</sub> ) (注2) PCLKD = 48 MHz のとき、560 (+ 10 × t <sub>IICcyc</sub> )	—	ns	図 36.33
	SCL High レベルパルス幅	t <sub>SCLH</sub>	PCLKD = 64 MHz のとき、125 (+ 5 × t <sub>IICcyc</sub> ) PCLKD = 48 MHz のとき、155 (+ 5 × t <sub>IICcyc</sub> )	—	PCLKD = 64 MHz のとき、140 (+ 5 × t <sub>IICcyc</sub> ) PCLKD = 48 MHz のとき、170 (+ 5 × t <sub>IICcyc</sub> )	—	ns	
	SCL Low レベルパルス幅	t <sub>SCLL</sub>	PCLKD = 64 MHz のとき、205 (+ 5 × t <sub>IICcyc</sub> ) PCLKD = 48 MHz のとき、230 (+ 5 × t <sub>IICcyc</sub> )	—	PCLKD = 64 MHz のとき、320 (+ 5 × t <sub>IICcyc</sub> ) PCLKD = 48 MHz のとき、350 (+ 5 × t <sub>IICcyc</sub> )	—	ns	
	SCL 立ち上がり時間	t <sub>Sr</sub>	—	40	—	80	ns	
	繰り返しのスタートコンディション後、およびアックノリッジビット後の SCL 立ち上がり時間	t <sub>Sr</sub>	—	80	—	160	ns	
	SCL 立ち下がり時間	t <sub>Sf</sub>	—	40	—	80	ns	
	SDA 立ち下がり時間	t <sub>Sf</sub>	—	80	—	160	ns	
	SDA 立ち下がり時間	t <sub>Sf</sub>	—	80	—	160	ns	
	SCL、SDA スパイクパルス除去時間	t <sub>SP</sub>	0	1 (4) × t <sub>IICcyc</sub>	0	1 (4) × t <sub>IICcyc</sub>	ns	
	スタートコンディションホールド時間	t <sub>STA H</sub>	t <sub>IICcyc</sub> + 135	—	t <sub>IICcyc</sub> + 135	—	ns	
	繰り返しのスタートコンディションセットアップ時間	t <sub>STA S</sub>	160	—	160	—	ns	
	ストップコンディションセットアップ時間	t <sub>STO S</sub>	160	—	160	—	ns	
	データセットアップ時間	t <sub>SDA S</sub>	10	—	10	—	ns	
	データ保持時間	t <sub>SDA H</sub>	0	80	0	150	ns	
SCL、SDA の負荷容量	C <sub>b</sub>	—	100	—	400	pF		

注. t<sub>IICcyc</sub> : IIC 内部基準クロック (IICφ) サイクル、t<sub>Pcyc</sub> : PCLKD サイクル

注 1. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 1111b であると括弧内の値が適用されます。

注 2. 最高 SCL クロック周波数は 1.7 MHz です。

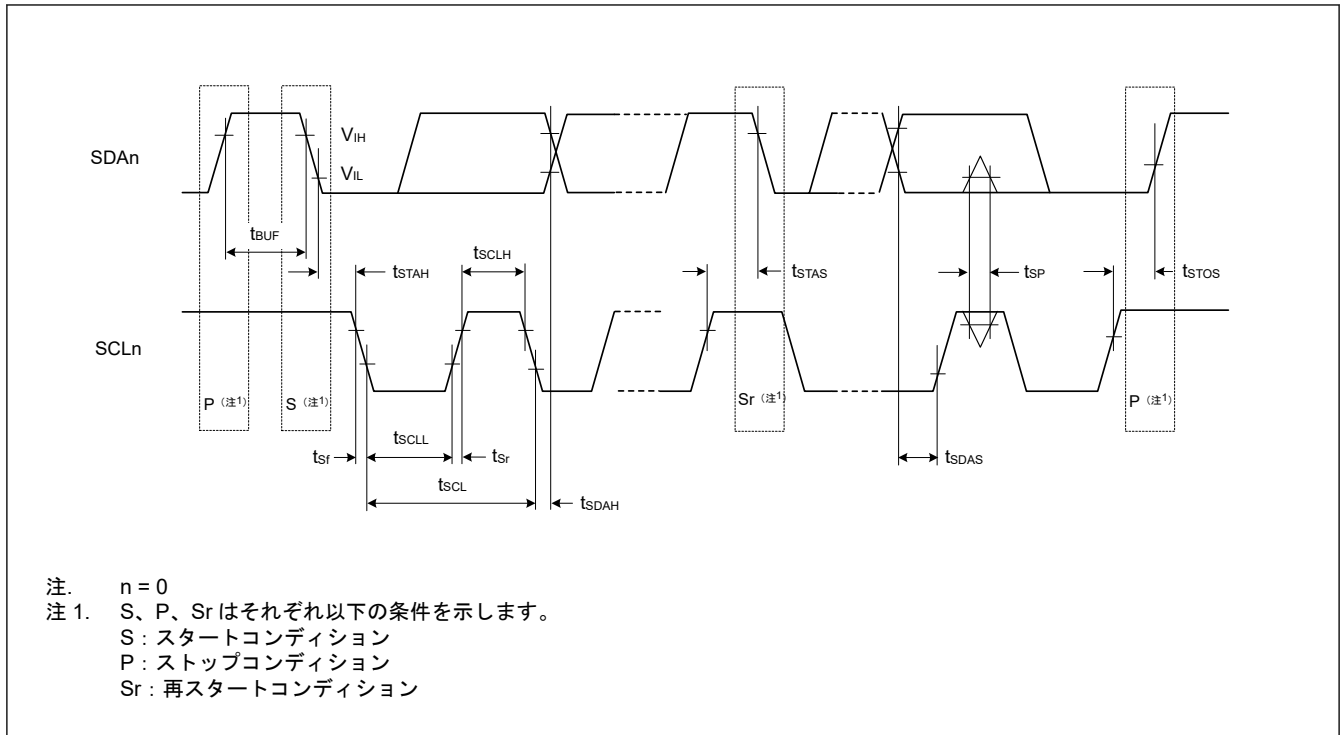


図 36.33 I<sup>2</sup>C バスインタフェース入出力タイミング

表 36.37 I<sup>3</sup>C タイミング (オープンドレインタイミングパラメータ)

条件 : VCC = 2.97~3.63 V

項目	シンボル	タイミング図	Min	Max	単位	備考
SCL クロック Low 期間	t <sub>LOW_OD</sub>	図 36.36	200	—	ns	1, 2
	t <sub>DIG_OD_L</sub>	図 36.36	t <sub>LOW_ODmin</sub> + t <sub>rDA_ODmin</sub>	—	ns	—
SDA 信号立ち下がり時間	t <sub>rDA_OD</sub>	図 36.36	t <sub>CF</sub>	33	ns	—
SDA データセットアップ時間オープンドレインモード	t <sub>SU_OD</sub>	図 36.35	4	—	ns	1
		図 36.36				
スタート (S) コンディション後クロック	t <sub>CAS</sub>	図 36.36	38.4	ENTAS0: 1 μ	秒	5, 6
				ENTAS1: 100 μ		
				ENTAS2: 2 m		
				ENTAS3: 50 m		
ストップ (P) コンディション前クロック	t <sub>CBP</sub>	図 36.37	t <sub>CASmin</sub>	—	秒	—
ハンドオフ中のカレントマスタからセカンダリマスタまでのオーバーラップ時間	t <sub>MMOverlap</sub>	図 36.42	t <sub>DIG_OD_Lmin</sub>	—	ns	—
バス使用可能条件	t <sub>AVAL</sub>	—	1	—	μs	7
バスアイドル条件	t <sub>IDLE</sub>	—	1	—	ms	—
SDA Low 駆動していない新マスタの内部時間	t <sub>MMLock</sub>	図 36.42	t <sub>AVALmin</sub>	—	μs	—

- 注. 1. t<sub>LOWmin</sub> + t<sub>DS\_ODmin</sub> + t<sub>rDA\_ODtyp</sub> + t<sub>SU\_ODmin</sub> と近似的に同じです。  
 2. 安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。  
 3. I<sup>2</sup>C デバイスがスタートを確認する必要があるレガシーバス上  
 4. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t<sub>CAS</sub> 最大値を使用します。  
 5. Fm レガシー I<sup>2</sup>C デバイスのミックスバス上で、t<sub>AVAL</sub> は Fm バスフリー条件時間 (t<sub>BUF</sub>) より 300 ns 短いです。

表 36.38 I3C タイミング (SDR 用プッシュプルタイミングパラメータ)

項目	シンボル	タイミング図	Min	Max	単位	備考
SCL クロック周波数	f <sub>SCL</sub>	—	0.01	4.6 (PCLKD = 64 M の場合) 3.4 (PCLKD = 48 M の場合)	M Hz	1
SCL クロック Low 期間	t <sub>LOW</sub>	<a href="#">図 36.34</a>	80 (PCLKD = 64 M の場合) 104 (PCLKD = 48 M の場合)	—	ns	—
	t <sub>DIG_L</sub>	<a href="#">図 36.34</a>	88 (PCLKD = 64 M の場合) 112 (PCLKD = 48 M の場合)	—	ns	2.4
SCL クロック High 期間	t <sub>HIGH</sub>	<a href="#">図 36.34</a>	112 (PCLKD = 64 M の場合) 148 (PCLKD = 48 M の場合)	—	ns	—
	t <sub>DIG_H</sub>	<a href="#">図 36.34</a>	120 (PCLKD = 64 M の場合) 156 (PCLKD = 48 M の場合)	—	ns	2
スレーブ用データ出カクロック	t <sub>SCO</sub>	<a href="#">図 36.39</a>	—	42	ns	—
SCL クロック立ち上がり時間	t <sub>CR</sub>	<a href="#">図 36.34</a>	—	150 * 1 / f <sub>SCL</sub> (上限 60)	ns	—
SCL クロック立ち下がり時間	t <sub>CF</sub>	<a href="#">図 36.34</a>	—	150 * 1 / f <sub>SCL</sub> (上限 60)	ns	—
プッシュプルモードの SDA 信号データホールド	マスタ t <sub>HD_PP</sub>	<a href="#">図 36.38</a>	t <sub>CR</sub> + 3, t <sub>CF</sub> + 3	—	—	4
	スレーブ t <sub>HD_PP</sub>	<a href="#">図 36.40</a>	0	—	—	—
プッシュプルモードの SDA 信号データセットアップ	t <sub>SU_PP</sub>	<a href="#">図 36.38</a>	4	N/A	ns	—
		<a href="#">図 36.39</a>				
繰り返しのスタート (Sr) 後クロック	t <sub>CASr</sub>	<a href="#">図 36.41</a>	t <sub>CASmin</sub>	N/A	ns	—
繰り返しのスタート (Sr) 前クロック	t <sub>CBSr</sub>	<a href="#">図 36.41</a>	t <sub>CASmin</sub>	N/A	ns	—
バスライン (SDA/SCL) ごとの容量性負荷	C <sub>b</sub>	—	—	50	pF	—

- 注.
1.  $f_{SCL} = 1 / (t_{DIG\_L} + t_{DIG\_H})$
  2. t<sub>DIG\_L</sub> および t<sub>DIG\_H</sub> は VIL、VIH を使用した I3C バスのレシーバー終了時の Low および High 期間クロックです ([図 36.34](#) 参照)。
  3. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。例えば、立ち下がりエッジクロックに対して t<sub>CF</sub> + 3、立ち上がりエッジクロックに対して t<sub>CR</sub> + 3 です。

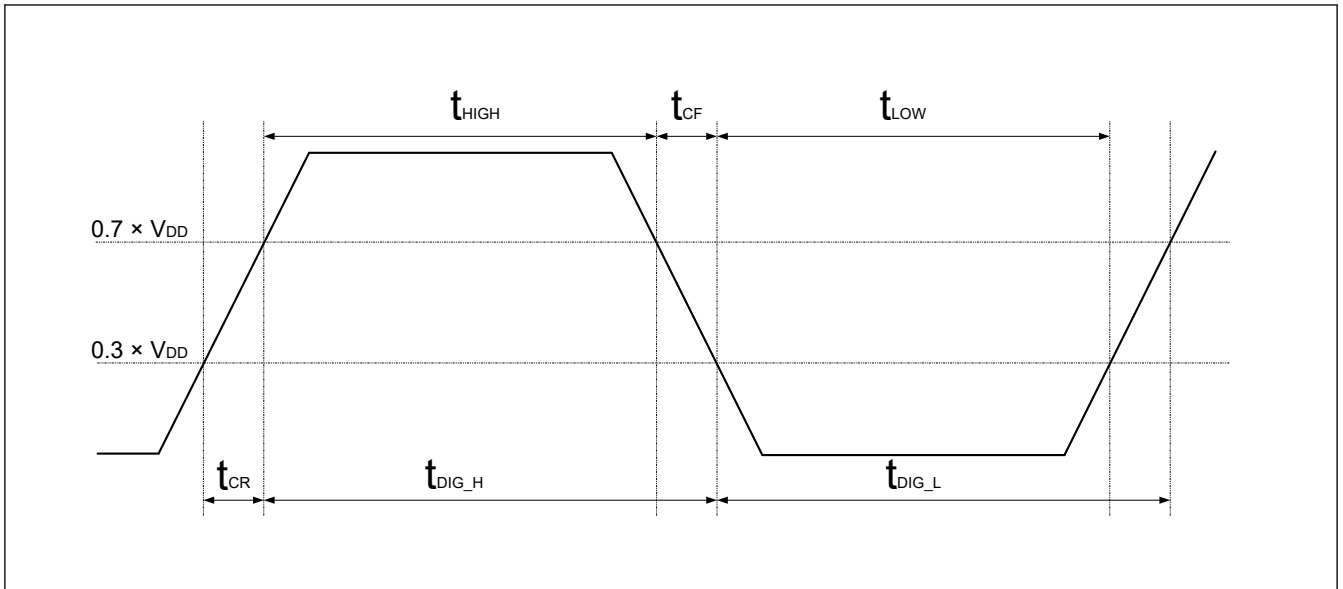


図 36.34  $t_{DIG\_H}$ 、 $t_{DIG\_L}$



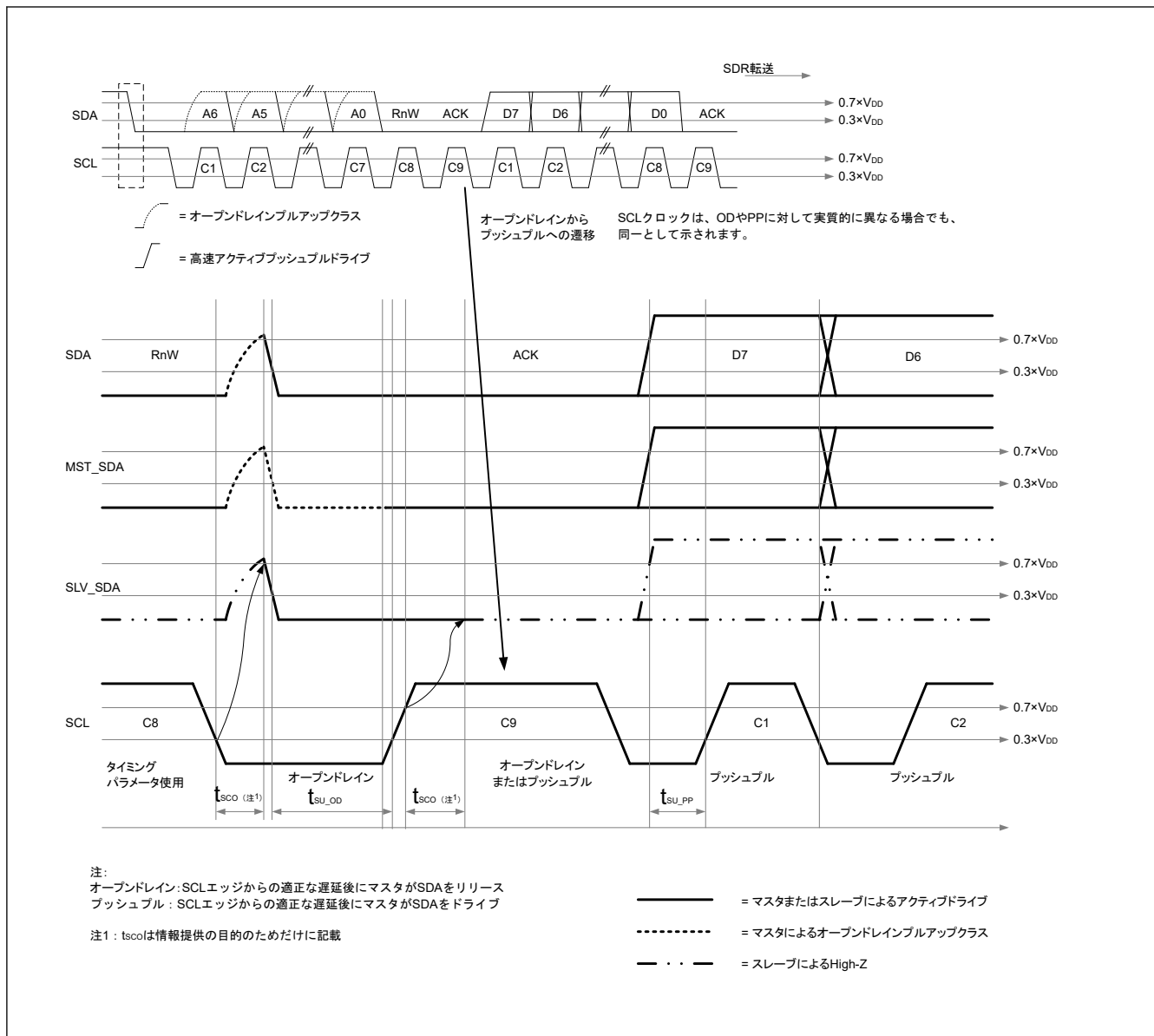


図 36.35 I3C データ転送 - スレーブによる ACK

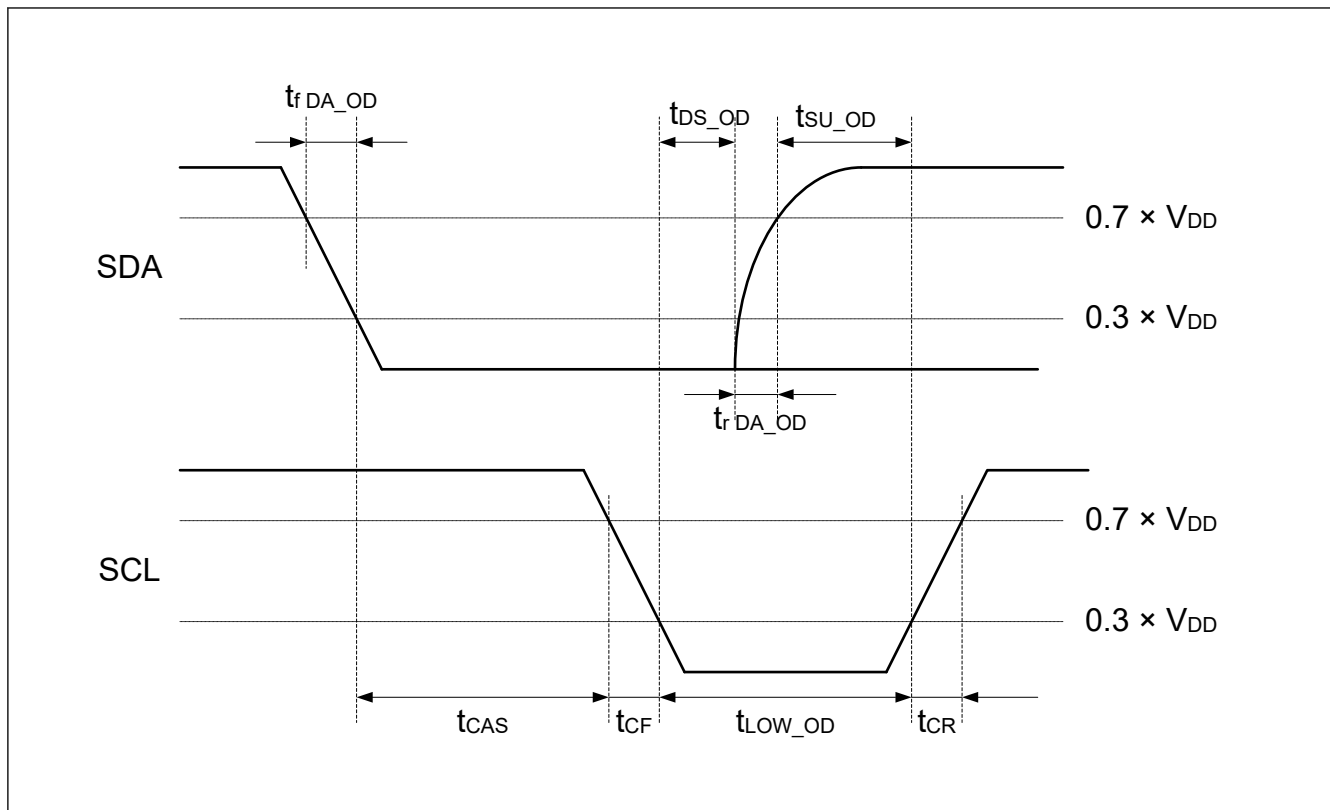


図 36.36 I3C スタートコンディションタイミング

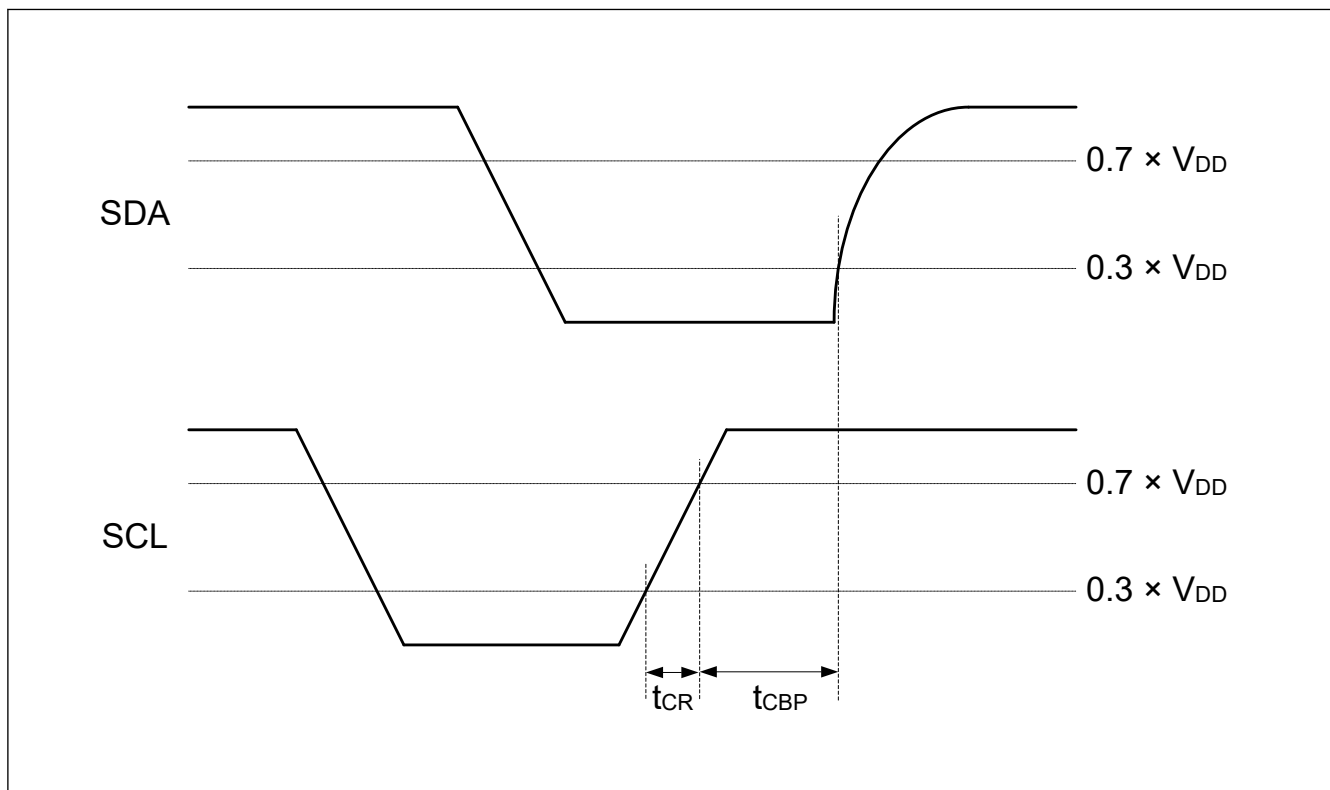


図 36.37 I3C ストップコンディションタイミング

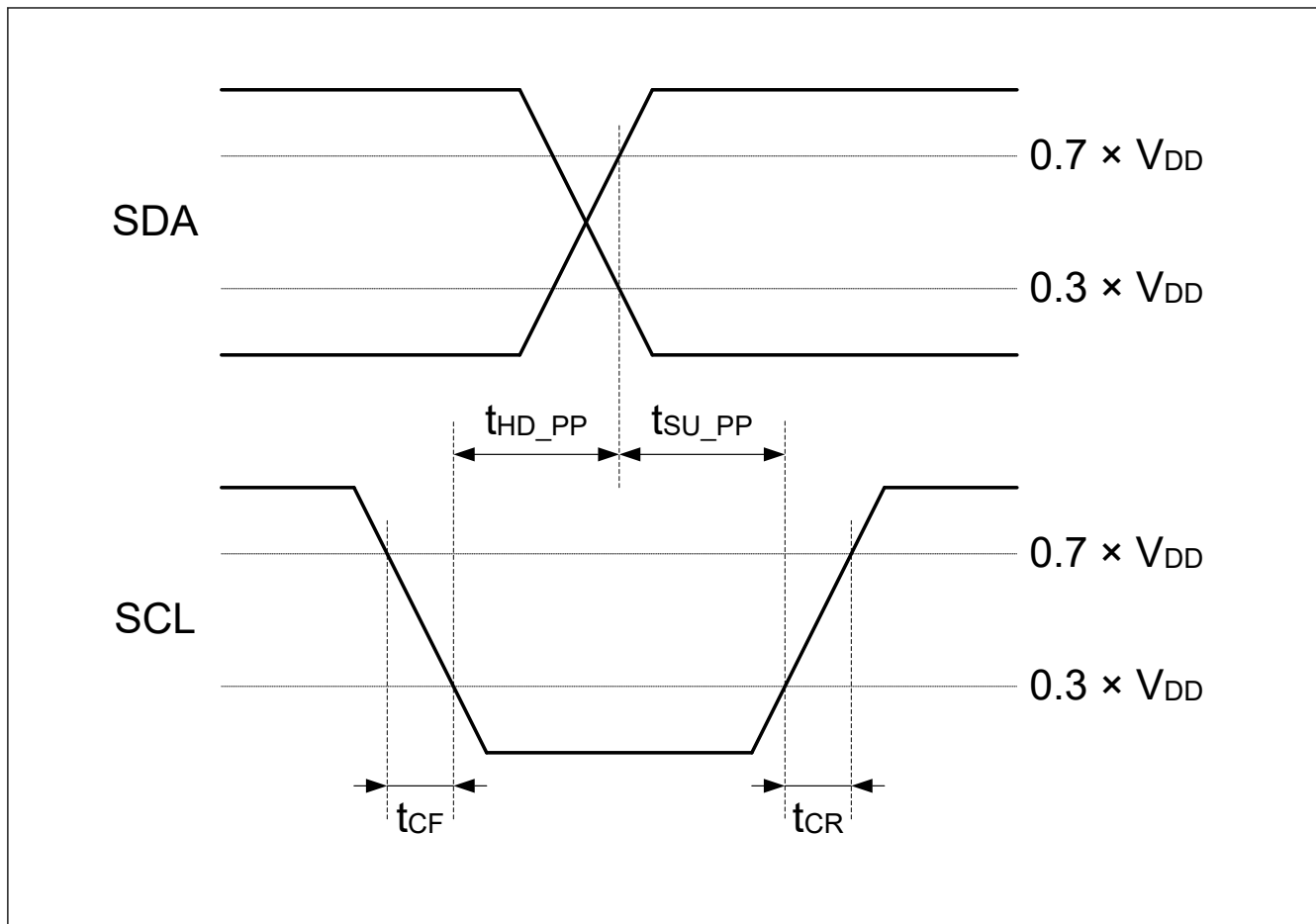


図 36.38 I3C マスタ出カタイミング

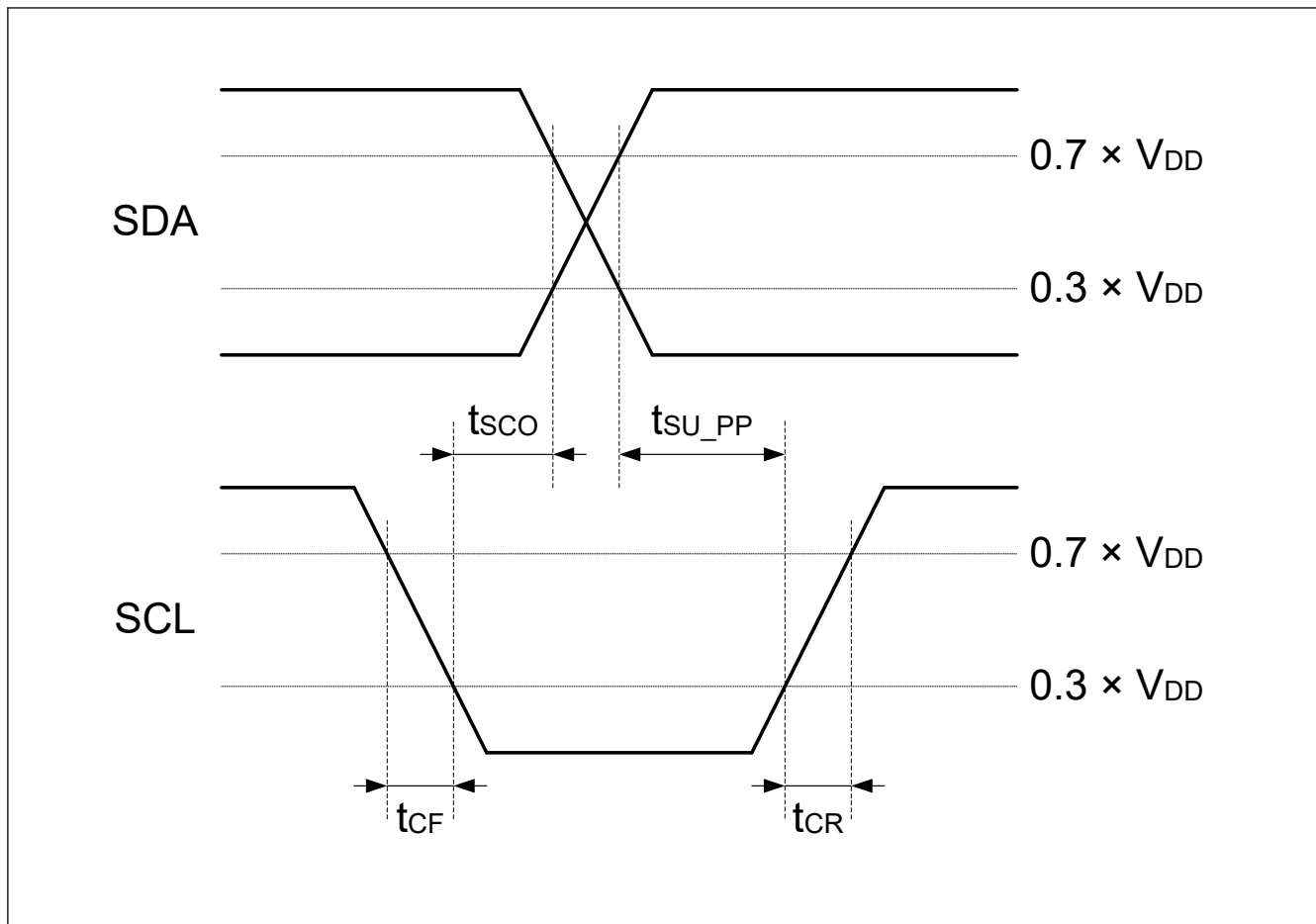


図 36.39 I3C スレーブ出カタイミング

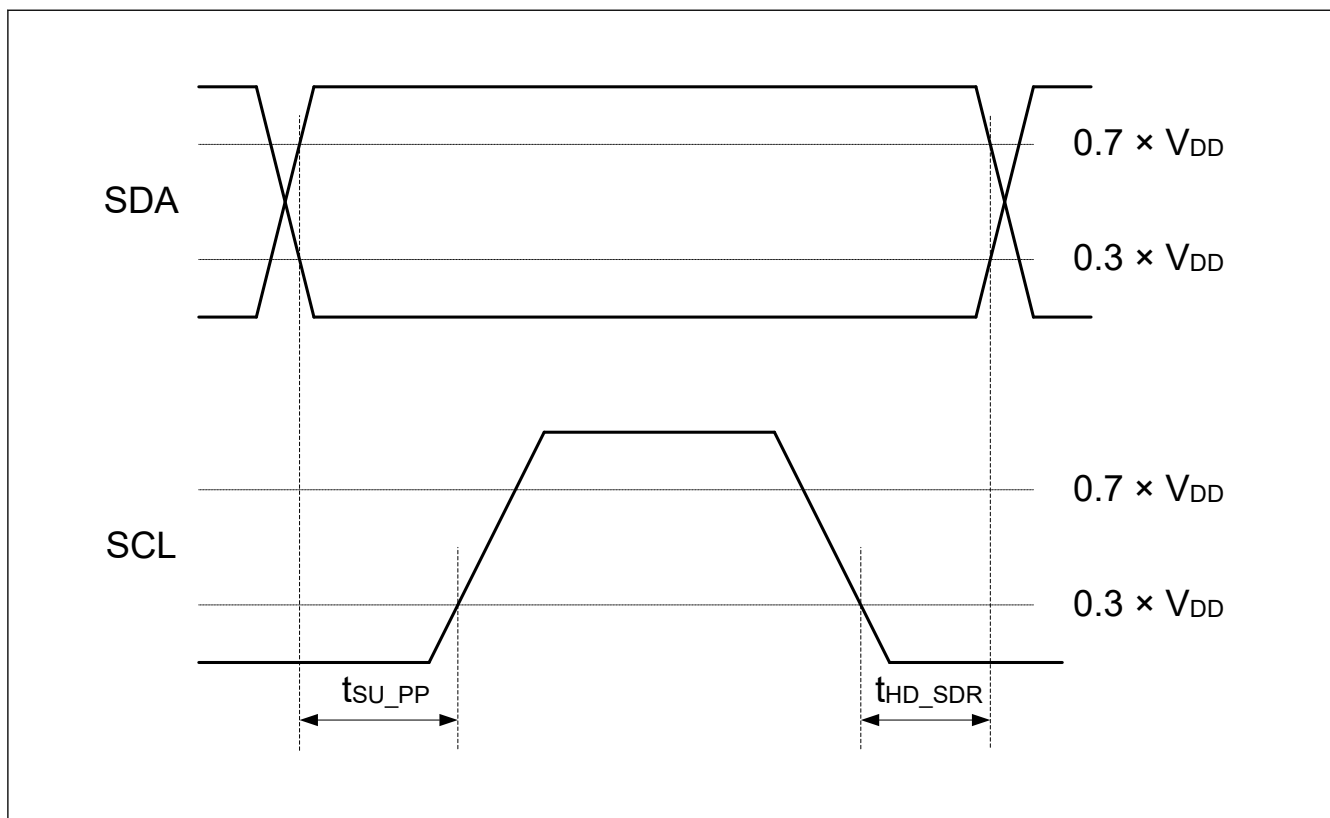


図 36.40 マスタ SDR タイミング

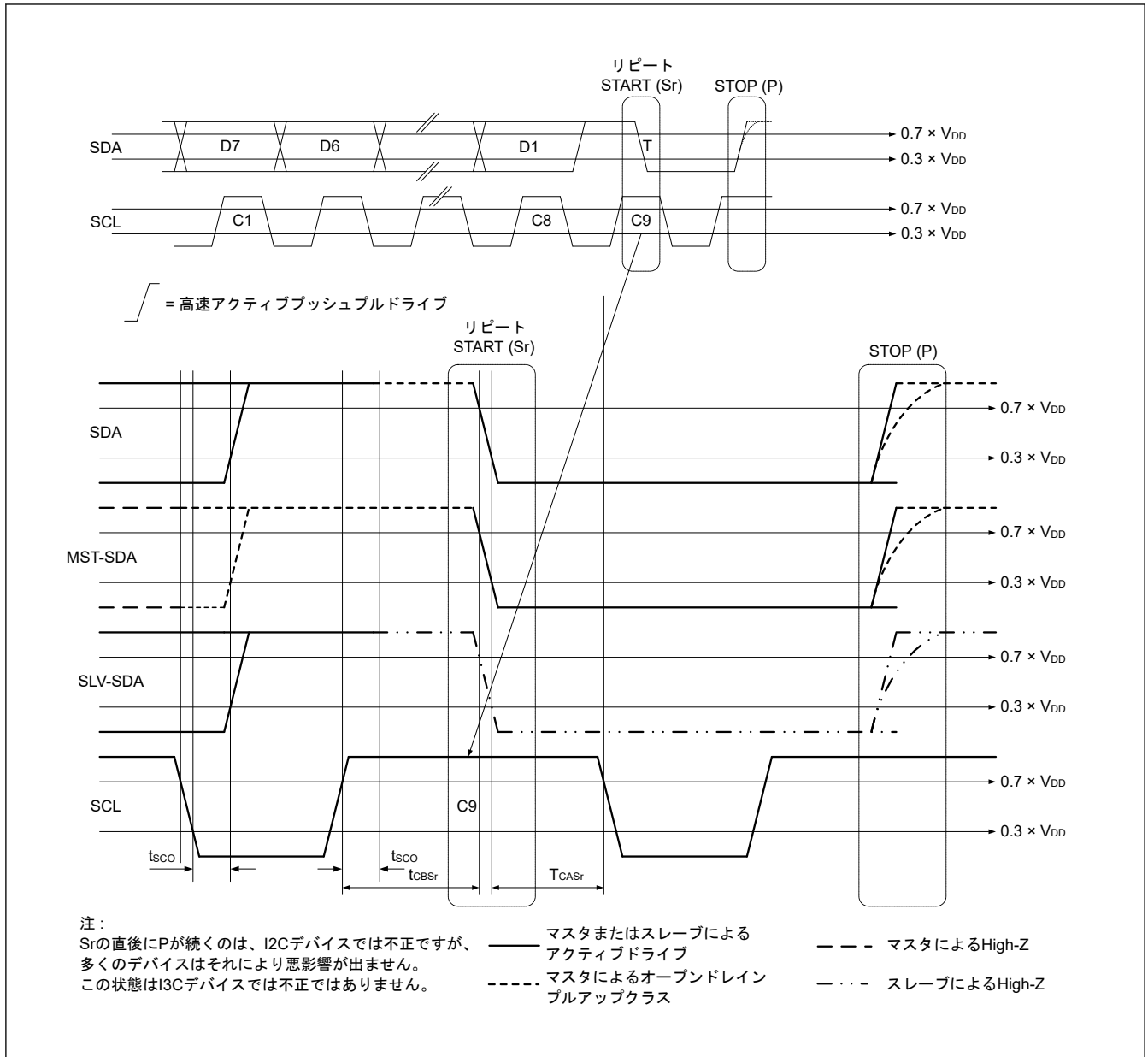


図 36.41 繰り返しスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

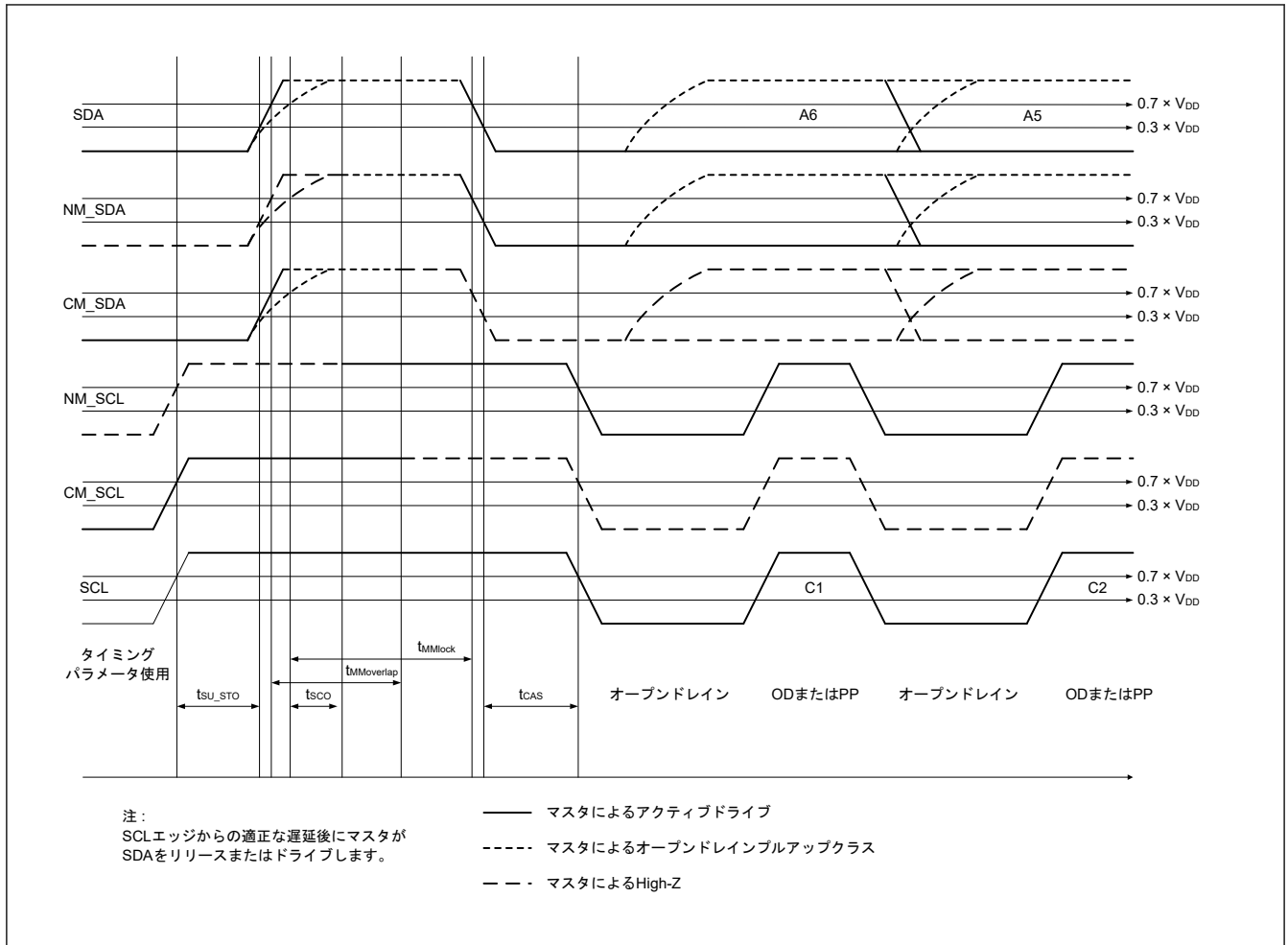


図 36.42 I3C タイミング

36.3.11 CLKOUT タイミング

表 36.39 CLKOUT タイミング

項目	シンボル	Min	Max	単位	測定条件
CLKOUT CLKOUT 端子出力サイクル	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{Cyc}$	62.5	—	ns 図 36.43
	$1.8\text{ V} \leq VCC < 2.7\text{ V}$	125	—		
	$1.6\text{ V} \leq VCC < 1.8\text{ V}$	250	—		
CLKOUT 端子 High レベルパルス幅(注1)	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{CH}$	15	—	ns
	$1.8\text{ V} \leq VCC < 2.7\text{ V}$	30	—		
	$1.6\text{ V} \leq VCC < 1.8\text{ V}$	150	—		
CLKOUT 端子 Low レベルパルス幅(注1)	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{CL}$	15	—	ns
	$1.8\text{ V} \leq VCC < 2.7\text{ V}$	30	—		
	$1.6\text{ V} \leq VCC < 1.8\text{ V}$	150	—		
CLKOUT 端子出力立ち上がり時間	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{Cr}$	—	12	ns
	$1.8\text{ V} \leq VCC < 2.7\text{ V}$	—	25		
	$1.6\text{ V} \leq VCC < 1.8\text{ V}$	—	50		
CLKOUT 端子出力立ち下がり時間	$2.7\text{ V} \leq VCC \leq 5.5\text{ V}$	$t_{Cf}$	—	12	ns
	$1.8\text{ V} \leq VCC < 2.7\text{ V}$	—	25		
	$1.6\text{ V} \leq VCC < 1.8\text{ V}$	—	50		

注 1. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0]ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0]ビット = 001b) に設定してください。

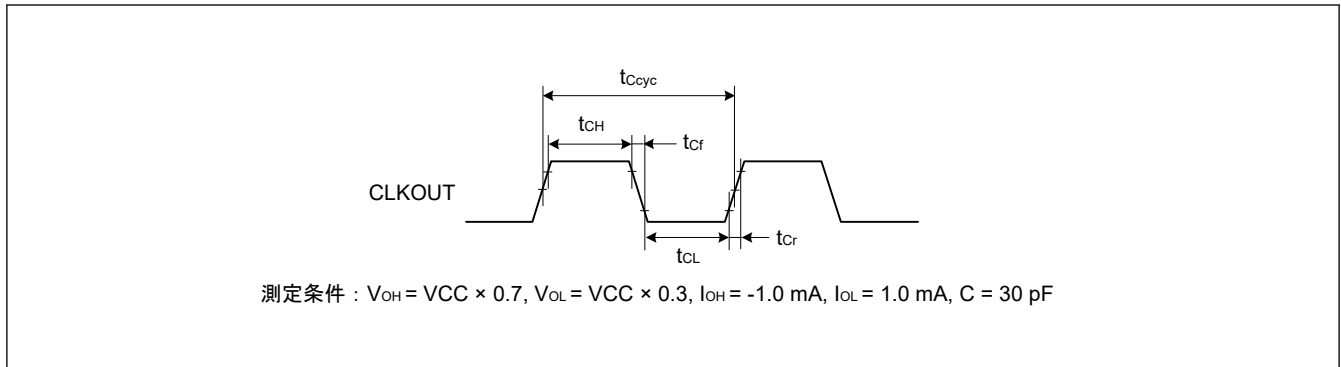


図 36.43 CLKOUT 出力タイミング

### 36.4 ADC12 特性

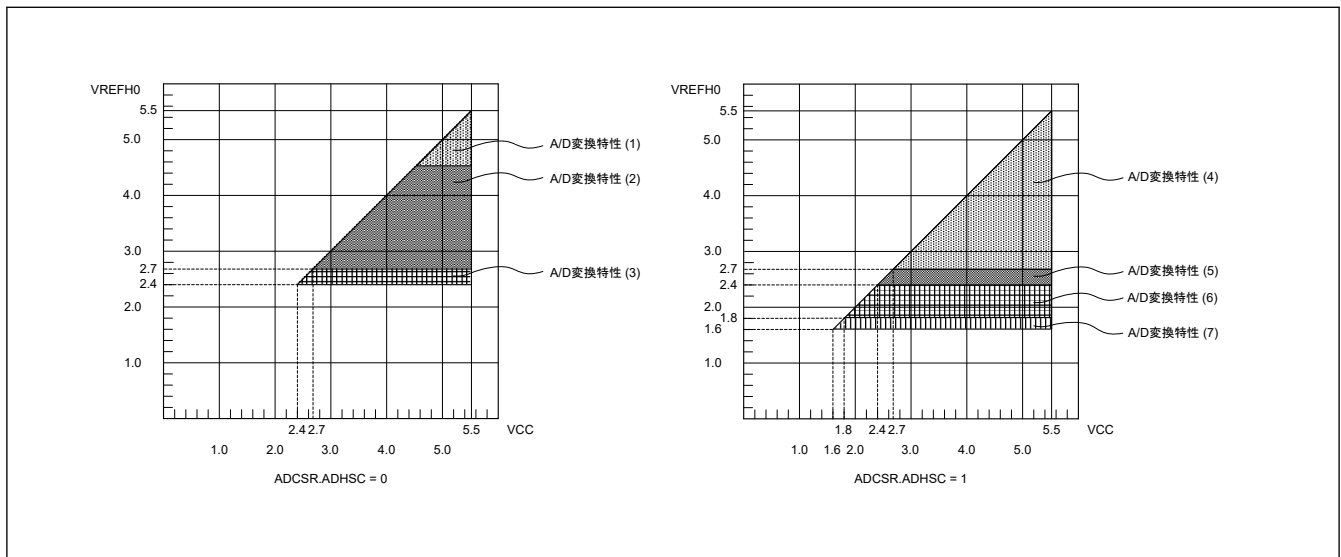


図 36.44 VCC0~VREFH0 電圧範囲

表 36.40 高速 A/D 変換モードにおける A/D 変換特性 (1) (1/2)

条件 :  $VCC = VREFH0 = 4.5 \sim 5.5 \text{ V}$ (注5)、 $VSS = VREFL0 = 0 \text{ V}$   
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	64	MHz	ADACSR.ADSAC = 0
			48	MHz	ADACSR.ADSAC = 1
アナログ入力容量(注2)	Cs	—	9(注3)	pF	高精度チャネル
			10(注3)	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	1.3(注3)	kΩ	高精度チャネル
			5.0(注3)	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	VREFH0	V	—
分解能	—	—	12	ビット	—

表 36.40 高速 A/D 変換モードにおける A/D 変換特性 (1) (2/2)

条件 : VCC = VREFH0 = 4.5~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 <sup>(注1)</sup> (PCLKD = 64 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.70 (0.211) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0D ADACSR.ADSAC = 0
		1.34 (0.852) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x36 ADACSR.ADSAC = 0
変換時間 <sup>(注1)</sup> (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±5	LSB	高精度チャネル
				±6	LSB	指定以外
フルスケール誤差		—	±1.0	±5	LSB	高精度チャネル
				±6	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±5.5	LSB	高精度チャネル
				±8.5	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「36.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < VCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 36.41 高速 A/D 変換モードにおける A/D 変換特性 (2) (1/2)

条件 : VCC = VREFH0 = 2.7~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	48	MHz	—
アナログ入力容量 <sup>(注2)</sup>	Cs	—	—	9 <sup>(注3)</sup>	pF	高精度チャネル
				10 <sup>(注3)</sup>	pF	通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9 <sup>(注3)</sup>	kΩ	高精度チャネル
				6.0 <sup>(注3)</sup>	kΩ	通常精度チャネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—



表 36.41 高速 A/D 変換モードにおける A/D 変換特性 (2) (2/2)

条件：VCC = VREFH0 = 2.7~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
変換時間 <sup>(注1)</sup> (PCLKD = 48 MHz で動作時)	許容信号源インピーダンス Max = 0.3 kΩ	0.67 (0.219) (注4)	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.29 (0.844) (注4)	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1
オフセット誤差		—	±1.0	±6.5	LSB	高精度チャンネル
				±8	LSB	指定以外
フルスケール誤差		—	±1.0	±6.5	LSB	高精度チャンネル
				±8	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±2.5	±7	LSB	高精度チャンネル
				±10	LSB	指定以外
DNL 微分非直線性誤差		—	±1.0	—	LSB	—
INL 積分非直線性誤差		—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「36.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < VCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 36.42 高速 A/D 変換モードにおける A/D 変換特性 (3) (1/2)

条件：VCC = VREFH0 = 2.4~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min		Max	単位	測定条件
PCLKD (ADCLK) 周波数		1	—	32	MHz	—
アナログ入力容量 <sup>(注2)</sup>	Cs	—	—	9 <sup>(注3)</sup>	pF	高精度チャンネル
		—	—	10 <sup>(注3)</sup>	pF	通常精度チャンネル
アナログ入力抵抗	Rs	—	—	2.2 <sup>(注3)</sup>	kΩ	高精度チャンネル
		—	—	7.0 <sup>(注3)</sup>	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間 <sup>(注1)</sup> (PCLKD = 32 MHz で動作時)	許容信号源インピーダンス Max = 1.3 kΩ	1.00 (0.328) (注4)	—	—	μs	高精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		1.94 (1.266) (注4)	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 0 ADSSTRn.SST[7:0] = 0x28 ADACSR.ADSAC = 1

表 36.42 高速 A/D 変換モードにおける A/D 変換特性 (3) (2/2)

条件 : VCC = VREFH0 = 2.4~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min		Max	単位	測定条件
オフセット誤差	—	±1.0	±6.5	LSB	高精度チャネル
			±8	LSB	指定以外
フルスケール誤差	—	±1.0	±6.5	LSB	高精度チャネル
			±8	LSB	指定以外
量子化誤差	—	±0.5	—	LSB	—
絶対精度	—	±2.50	±7	LSB	高精度チャネル
			±10	LSB	指定以外
DNL 微分非直線性誤差	—	±1.0	—	LSB	—
INL 積分非直線性誤差	—	±1.5	±3.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「36.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < VCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差 :

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差 :

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 36.43 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (1/2)

条件 : VCC = VREFH0 = 2.7~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	24	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	9 <sup>(注3)</sup>	pF	高精度チャネル	
			10 <sup>(注3)</sup>	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	1.9 <sup>(注3)</sup>	kΩ	高精度チャネル	
			6 <sup>(注3)</sup>	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 24 MHz で動作時)	許容信号源 インピーダンス Max = 1.1 kΩ	1.58 (0.438) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		2.0 (0.854) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
フルスケール誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.25	±8	LSB	高精度チャネル	
			±11	LSB	指定以外	

表 36.43 低消費電力 A/D 変換モードにおける A/D 変換特性 (4) (2/2)

条件：VCC = VREFH0 = 2.7~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
DNL 微分非直線性誤差	—	±1.5	—	LSB	—
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「36.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < VCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 36.44 低消費電力 A/D 変換モードにおける A/D 変換特性 (5)

条件：VCC = VREFH0 = 2.4~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	16	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	9 <sup>(注3)</sup>	pF	高精度チャネル	
			10 <sup>(注3)</sup>	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	2.2 <sup>(注3)</sup>	kΩ	高精度チャネル	
			7 <sup>(注3)</sup>	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 16 MHz で動作時)	許容信号源インピーダンス Max = 2.2 kΩ	2.38 (0.656) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		3.0 (1.281) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
フルスケール誤差	—	±1.25	±7	LSB	高精度チャネル	
			±8.5	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.25	±8	LSB	高精度チャネル	
			±11	LSB	指定以外	
DNL 微分非直線性誤差	—	±1.5	—	LSB	—	
INL 積分非直線性誤差	—	±1.75	±4.0	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「36.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < VCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：  
VCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。  
INL 積分非直線性誤差：  
VCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 36.45 低消費電力 A/D 変換モードにおける A/D 変換特性 (6)

条件：VCC = VREFH0 = 1.8~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件	
PCLKD (ADCLK) 周波数	1	—	8	MHz	—	
アナログ入力容量 <sup>(注2)</sup>	Cs	—	9 <sup>(注3)</sup>	pF	高精度チャネル	
		—	10 <sup>(注3)</sup>	pF	通常精度チャネル	
アナログ入力抵抗	Rs	—	6 <sup>(注3)</sup>	kΩ	高精度チャネル	
		—	14 <sup>(注3)</sup>	kΩ	通常精度チャネル	
アナログ入力電圧範囲	Ain	0	VREFH0	V	—	
分解能	—	—	12	ビット	—	
変換時間 <sup>(注1)</sup> (PCLKD = 8 MHz で動作時)	許容信号源 インピーダンス Max = 5 kΩ	4.75 (1.313) (注4)	—	—	μs	高精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		6.0 (2.563) (注4)	—	—	μs	通常精度チャネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差	—	±1.25	±8.5	LSB	高精度チャネル	
			±11	LSB	指定以外	
フルスケール誤差	—	±1.5	±8.5	LSB	高精度チャネル	
			±11	LSB	指定以外	
量子化誤差	—	±0.5	—	LSB	—	
絶対精度	—	±3.75	±10.5	LSB	高精度チャネル	
			±14.5	LSB	指定以外	
DNL 微分非直線性誤差	—	±2.0	—	LSB	—	
INL 積分非直線性誤差	—	±2.25	±4.5	LSB	—	

注. 12 ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「36.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < VCC0 のとき、Max 値は次のとおりです。

絶対精度／オフセット誤差／フルスケール誤差：  
VCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。  
INL 積分非直線性誤差：  
VCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

表 36.46 低消費電力 A/D 変換モードにおける A/D 変換特性 (7) (1/2)

条件：VCC = VREFH0 = 1.6~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
基準電圧範囲を VREFH0 および VREFL0 に印加

項目	Min	Typ	Max	単位	測定条件
PCLKD (ADCLK) 周波数	1	—	4	MHz	—
アナログ入力容量 <sup>(注2)</sup>	Cs	—	9 <sup>(注3)</sup>	pF	高精度チャネル
		—	10 <sup>(注3)</sup>	pF	通常精度チャネル

表 36.46 低消費電力 A/D 変換モードにおける A/D 変換特性 (7) (2/2)

条件：VCC = VREFH0 = 1.6~5.5 V<sup>(注5)</sup>、VSS = VREFL0 = 0 V  
 基準電圧範囲を VREFH0 および VREFL0 に印加

項目		Min	Typ	Max	単位	測定条件
アナログ入力抵抗	Rs	—	—	12 <sup>(注3)</sup>	kΩ	高精度チャンネル
		—	—	28 <sup>(注3)</sup>	kΩ	通常精度チャンネル
アナログ入力電圧範囲	Ain	0	—	VREFH0	V	—
分解能		—	—	12	ビット	—
変換時間 <sup>(注1)</sup> (PCLKD = 4 MHz で動作時)	許容信号源インピーダンス Max = 9.9 kΩ	9.5 (2.625) (注4)	—	—	μs	高精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x0A ADACSR.ADSAC = 1
		12.0 (5.125) (注4)	—	—	μs	通常精度チャンネル ADCSR.ADHSC = 1 ADSSTRn.SST[7:0] = 0x14 ADACSR.ADSAC = 1
オフセット誤差		—	±1.25	±8.5	LSB	高精度チャンネル
				±11	LSB	指定以外
フルスケール誤差		—	±1.5	±8.5	LSB	高精度チャンネル
				±11	LSB	指定以外
量子化誤差		—	±0.5	—	LSB	—
絶対精度		—	±3.75	±10.5	LSB	高精度チャンネル
				±14.5	LSB	指定以外
DNL 微分非直線性誤差		—	±2.0	—	LSB	—
INL 積分非直線性誤差		—	±2.25	±4.5	LSB	—

注. 12ビット A/D コンバータ入力以外の端子機能が使用されていない場合にこの特性が適用されます。絶対精度には量子化誤差は含まれていません。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差に量子化誤差は含まれていません。

注 1. 変換時間は、サンプリング時間と比較時間の合計です。測定条件には、サンプリングステート数が示されています。

注 2. I/O 入力容量 (Cin) 以外は、「36.2.4. I/O V<sub>OH</sub>、V<sub>OL</sub>、その他の特性」を参照してください。

注 3. 参考データ

注 4. ( ) はサンプリング時間を示します。

注 5. VREFH0 < VCC0 のとき、Max 値は次のとおりです。

絶対精度/オフセット誤差/フルスケール誤差：

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.75 LSB/V 加算する必要があります。

INL 積分非直線性誤差：

VCC0 と VREFH0 の電圧差に対して、Max 値に±0.2 LSB/V 加算する必要があります。

図 36.45 にアナログ入力の等価回路を示します。

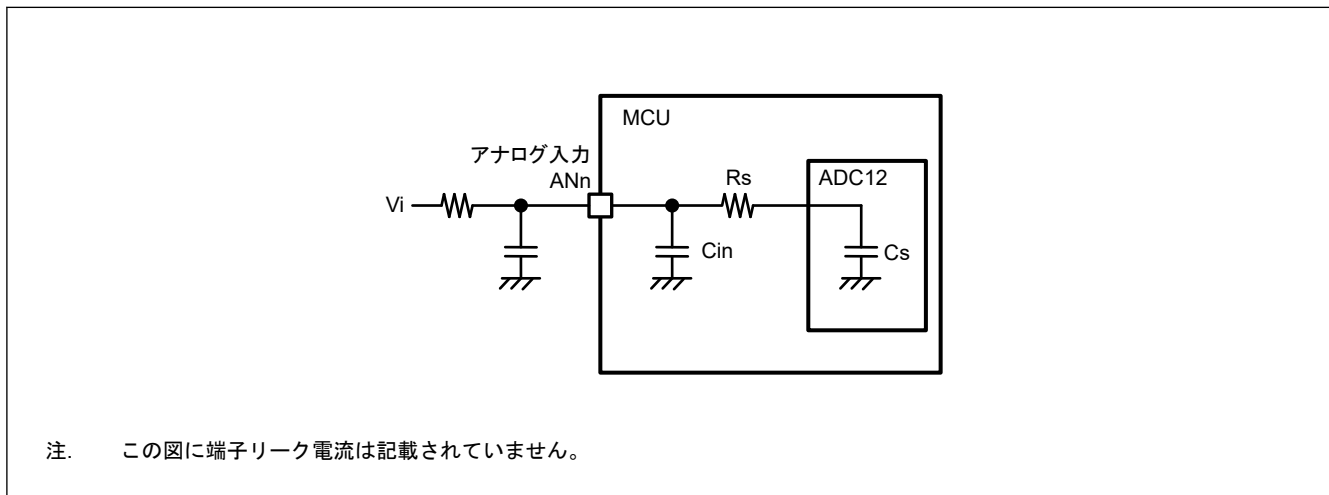


図 36.45 アナログ入力の等価回路

表 36.47 12 ビット A/D コンバータチャンネル分類

分類	チャンネル	条件	注意点
高精度チャンネル	AN005、AN006、AN009、AN010	VCC0 = 1.6~5.5 V	AN005、AN006、AN009、AN010 端子は、汎用 I/O、TS 送信に使用不可 (A/D コンバータが使用中の場合)
通常精度チャンネル	AN019~AN022		
内部基準電圧入力チャンネル	内部基準電圧	VCC0 = 1.8~5.5 V	—
温度センサ入力チャンネル	温度センサ出力	VCC0 = 1.8~5.5 V	—

表 36.48 A/D 内部基準電圧特性

条件 : VCC = VREFH0 = 1.8~5.5 V(注1)

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャンネル(注2)	1.42	1.48	1.54	V	—
PCLKD (ADCLK) 周波数(注3)	1	—	2	MHz	—
サンプリング時間(注4)	5.0	—	—	μs	—

- 注 1. VCC0 < 1.8 V のとき、内部基準電圧を入力チャンネルに選択することはできません。
- 注 2. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。
- 注 3. 高電位基準電圧に内部基準電圧を選択した場合
- 注 4. 内部基準電圧の変換時

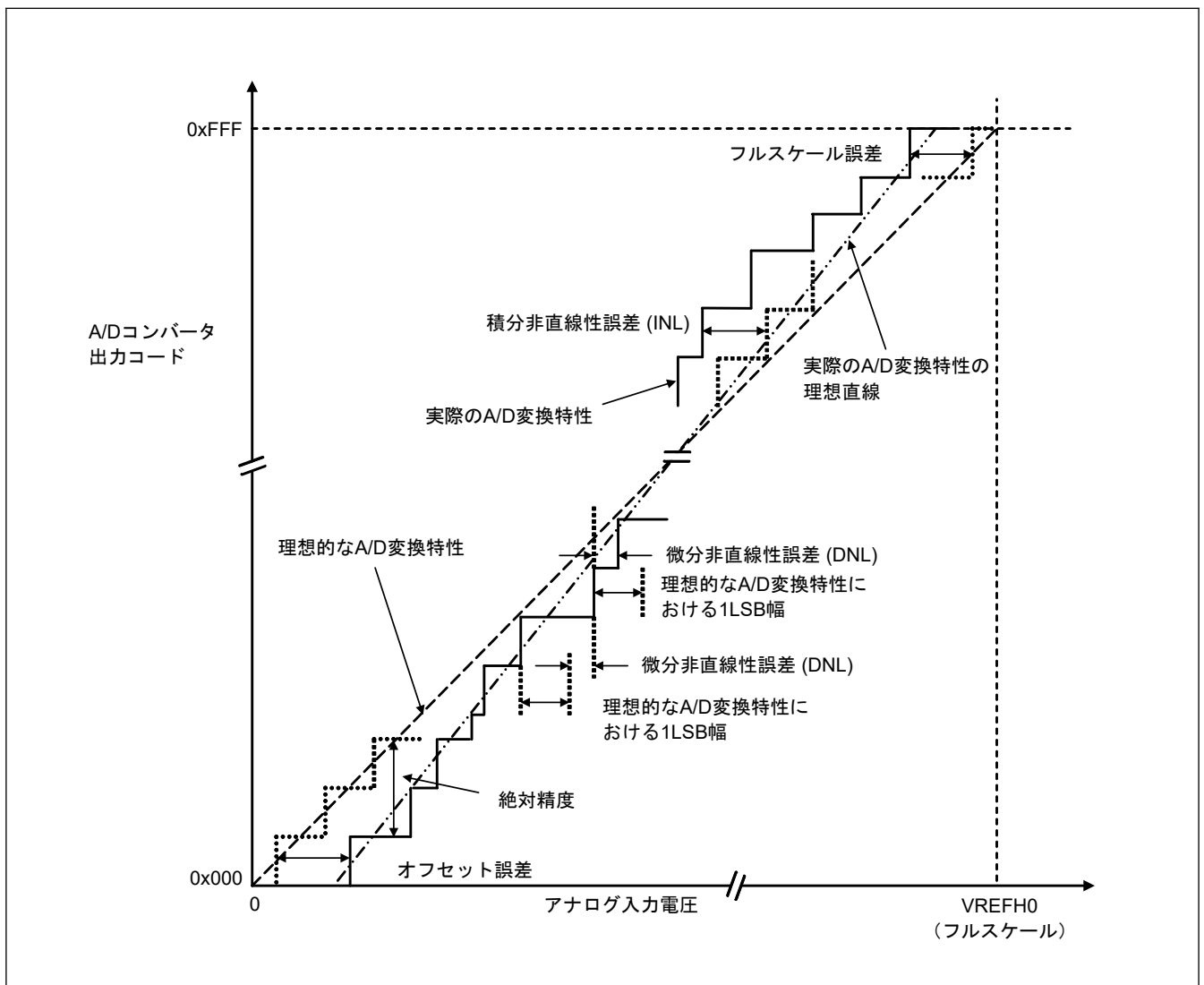


図 36.46 12 ビット A/D コンバータ特性用語の解説図

### 絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1-LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧  $V_{REFH0} = 3.072 \text{ V}$  の場合、1 LSB 幅は  $0.75 \text{ mV}$  になり、アナログ入力電圧には  $0 \text{ mV}$ 、 $0.75 \text{ mV}$ 、および  $1.5 \text{ mV}$  が使用されます。 $\pm 5 \text{ LSB}$  の絶対精度とは、アナログ入力電圧が  $6 \text{ mV}$  の場合、理論的 A/D 変換特性から期待される出力コードが  $0x008$  であっても、実際の A/D 変換結果は  $0x003 \sim 0x00D$  の範囲になることを意味します。

### 積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

### 微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

### オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

### フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

## 36.5 TSN 特性

表 36.49 TSN 特性

条件 :  $V_{CC} = 1.8 \sim 5.5 \text{ V}$

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	$\pm 1.5$	—	$^{\circ}\text{C}$	2.4 V 以上
		—	$\pm 2.0$	—	$^{\circ}\text{C}$	2.4 V 未満
温度傾斜	—	—	-3.3	—	$\text{mV}/^{\circ}\text{C}$	—
出力電圧 (25 $^{\circ}\text{C}$ )	—	—	1.05	—	V	$V_{CC} = 3.3 \text{ V}$
温度センサ起動時間	$t_{\text{START}}$	—	—	5	$\mu\text{s}$	—
サンプリング時間	—	5	—	—	$\mu\text{s}$	—

## 36.6 POR/LVD 特性

表 36.50 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件		
電圧検出レベル (注1)	パワーオンリセット (POR)	電源上昇時	$V_{\text{POR}}$	1.47	1.51	1.55	V	図 36.47 図 36.48
		電源下降時	$V_{\text{PDR}}$	1.46	1.50	1.54	V	
	電圧検出回路 (LVD0)(注2)	$V_{\text{det0}_0}$	電源上昇時	3.74	3.91	4.06	V	図 36.49 VCC 立ち下がりがエッジ時
			電源下降時	3.68	3.85	4.00		
		$V_{\text{det0}_1}$	電源上昇時	2.73	2.9	3.01		
			電源下降時	2.68	2.85	2.96		
		$V_{\text{det0}_2}$	電源上昇時	2.44	2.59	2.70		
			電源下降時	2.38	2.53	2.64		
		$V_{\text{det0}_3}$	電源上昇時	1.83	1.95	2.07		
			電源下降時	1.78	1.90	2.02		
		$V_{\text{det0}_4}$	電源上昇時	1.66	1.75	1.88		
			電源下降時	1.60	1.69	1.82		

表 36.50 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件	
電圧検出レベル (注1)	電圧検出回路 (LVD1) <sup>(注3)</sup>	電源上昇時	V <sub>det1_0</sub>	4.23	4.39	4.55	V	図 36.50 VCC 立ち下がりエッジ時
		電源下降時		4.13	4.29	4.45		
		電源上昇時	V <sub>det1_1</sub>	4.07	4.25	4.39		
		電源下降時		3.98	4.16	4.30		
		電源上昇時	V <sub>det1_2</sub>	3.97	4.14	4.29		
		電源下降時		3.86	4.03	4.18		
		電源上昇時	V <sub>det1_3</sub>	3.74	3.92	4.06		
		電源下降時		3.68	3.86	4.00		
		電源上昇時	V <sub>det1_4</sub>	3.05	3.17	3.29		
		電源下降時		2.98	3.10	3.22		
		電源上昇時	V <sub>det1_5</sub>	2.95	3.06	3.17		
		電源下降時		2.89	3.00	3.11		
		電源上昇時	V <sub>det1_6</sub>	2.86	2.97	3.08		
		電源下降時		2.79	2.90	3.01		
		電源上昇時	V <sub>det1_7</sub>	2.74	2.85	2.96		
		電源下降時		2.68	2.79	2.90		
電圧検出レベル (注1)	電圧検出回路 (LVD1) <sup>(注3)</sup>	電源上昇時	V <sub>det1_8</sub>	2.63	2.75	2.85	V	図 36.50 VCC 立ち下がりエッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V <sub>det1_9</sub>	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V <sub>det1_A</sub>	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V <sub>det1_B</sub>	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V <sub>det1_C</sub>	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V <sub>det1_D</sub>	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V <sub>det1_E</sub>	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V <sub>det1_F</sub>	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2) <sup>(注4)</sup>	電源上昇時	V <sub>det2_0</sub>	4.20	4.40	4.57	V	図 36.51 VCC 立ち下がりエッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V <sub>det2_1</sub>	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V <sub>det2_2</sub>	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V <sub>det2_3</sub>	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. V<sub>det0\_#</sub>の#は OFS1.VDSEL0[2:0]ビットの値を示しています。



注 3.  $V_{det1\_#}$ の#は LVDLVL.R.LVD1LVL[4:0]ビットの値を示しています。

注 4.  $V_{det2\_#}$ の#は LVDLVL.R.LVD2LVL[2:0]ビットの値を示しています。

表 36.51 パワーオンリセット回路、電圧検出回路の特性 (2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0 : 有効	$t_{POR}$	—	4.3	—	ms	—
	LVD0 : 無効	$t_{POR}$	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0 : 有効(注1)	$t_{LVD0,1,2}$	—	1.4	—	ms	—
	LVD0 : 無効(注2)	$t_{LVD1,2}$	—	0.7	—	ms	—
パワーオンリセット応答遅延時間(注3)		$t_{det}$	—	—	500	$\mu$ s	図 36.47、図 36.48
LVD0 応答遅延時間(注3)		$t_{det}$	—	—	500	$\mu$ s	図 36.49
LVD1 応答遅延時間(注3)		$t_{det}$	—	—	350	$\mu$ s	図 36.50
LVD2 応答遅延時間(注3)		$t_{det}$	—	—	600	$\mu$ s	図 36.51
最小 VCC 低下時間		$t_{VOFF}$	500	—	—	$\mu$ s	図 36.47、VCC = 1.0 V 以上
パワーオンリセット有効時間		$t_W$ (POR)	1	—	—	ms	図 36.48、VCC = 1.0 V 未満
LVD1 動作安定時間 (LVD1 有効切り替え後)		$T_d$ (E-A)	—	—	300	$\mu$ s	図 36.50
LVD2 動作安定時間 (LVD2 有効切り替え後)		$T_d$ (E-A)	—	—	1200	$\mu$ s	図 36.51
ヒステリシス幅 (POR)		$V_{PORH}$	—	10	—	mV	—
ヒステリシス幅 (LVD0、LVD1、LVD2)		$V_{LVH}$	—	60	—	mV	LVD0 選択時
			—	110	—		$V_{det1\_0} \sim V_{det1\_2}$ を選択
			—	70	—		$V_{det1\_3} \sim V_{det1\_9}$ を選択
			—	60	—		$V_{det1\_A} \sim V_{det1\_B}$ を選択
			—	50	—		$V_{det1\_C} \sim V_{det1\_F}$ を選択
			—	90	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル  $V_{POR}$ 、 $V_{det0}$ 、 $V_{det1}$ 、 $V_{det2}$  の最小値を下回っている時間です。

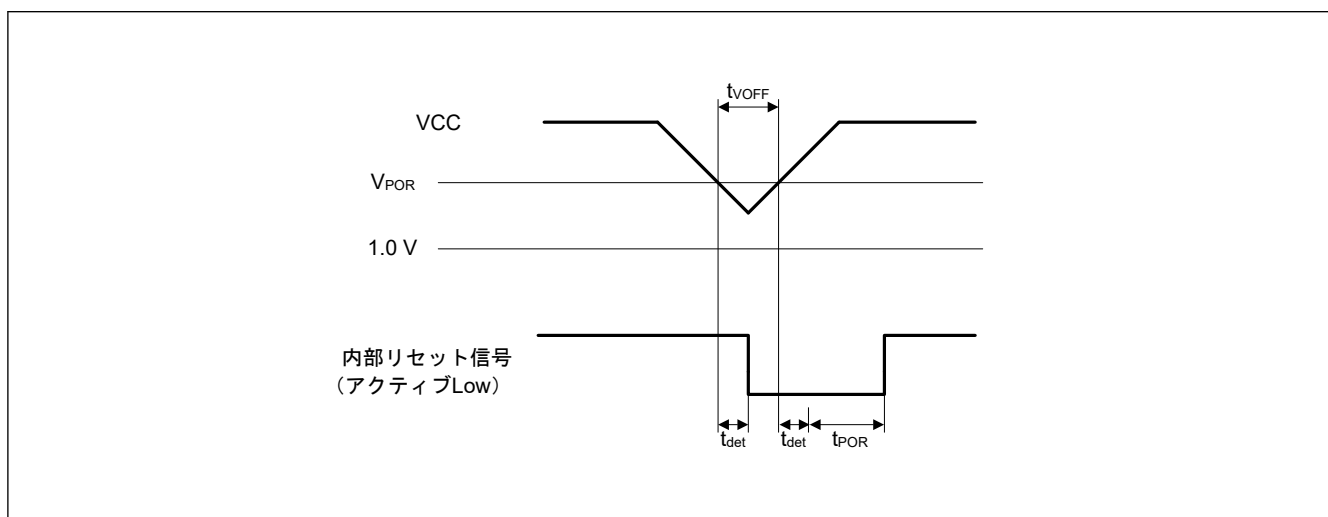


図 36.47 電圧検出リセットタイミング

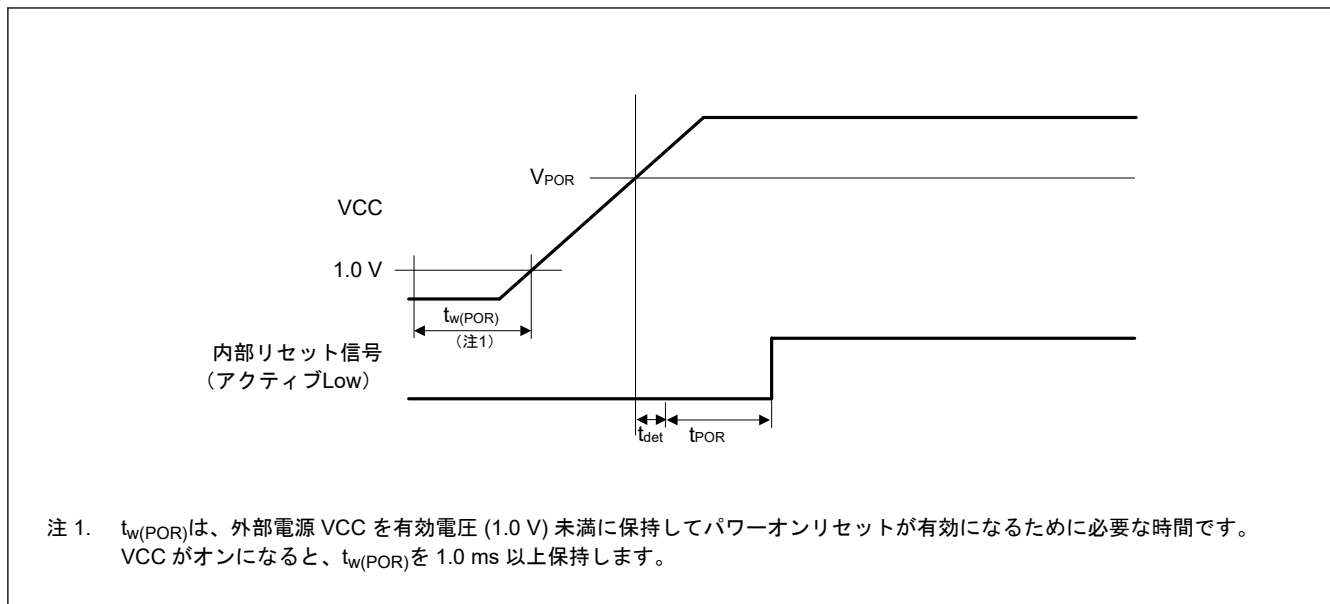


図 36.48 パワーオンリセットタイミング

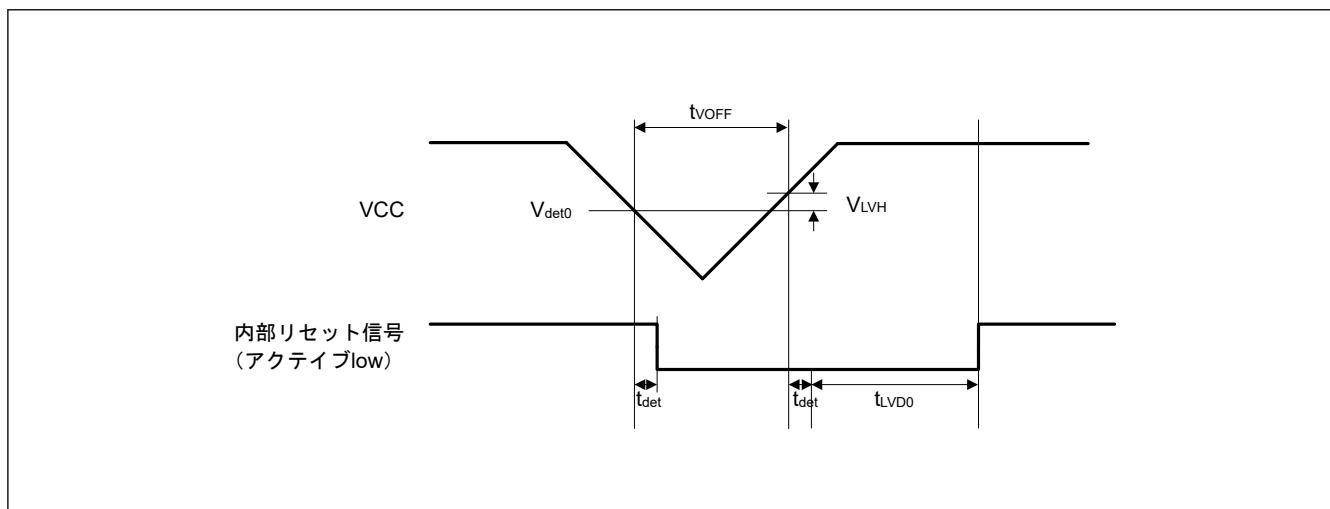


図 36.49 電圧検出回路タイミング ( $V_{det0}$ )

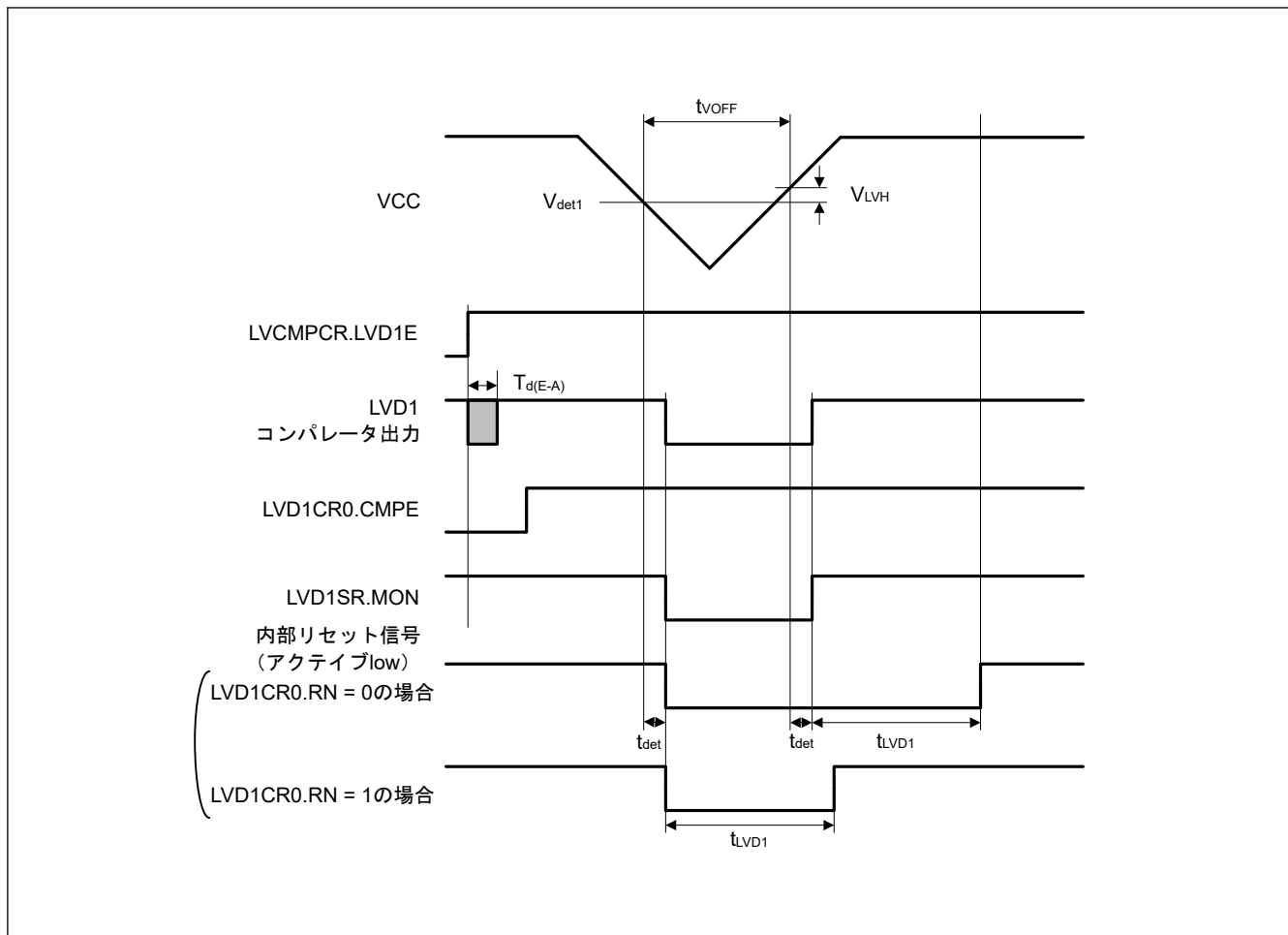


図 36.50 電圧検出回路タイミング ( $V_{det1}$ )

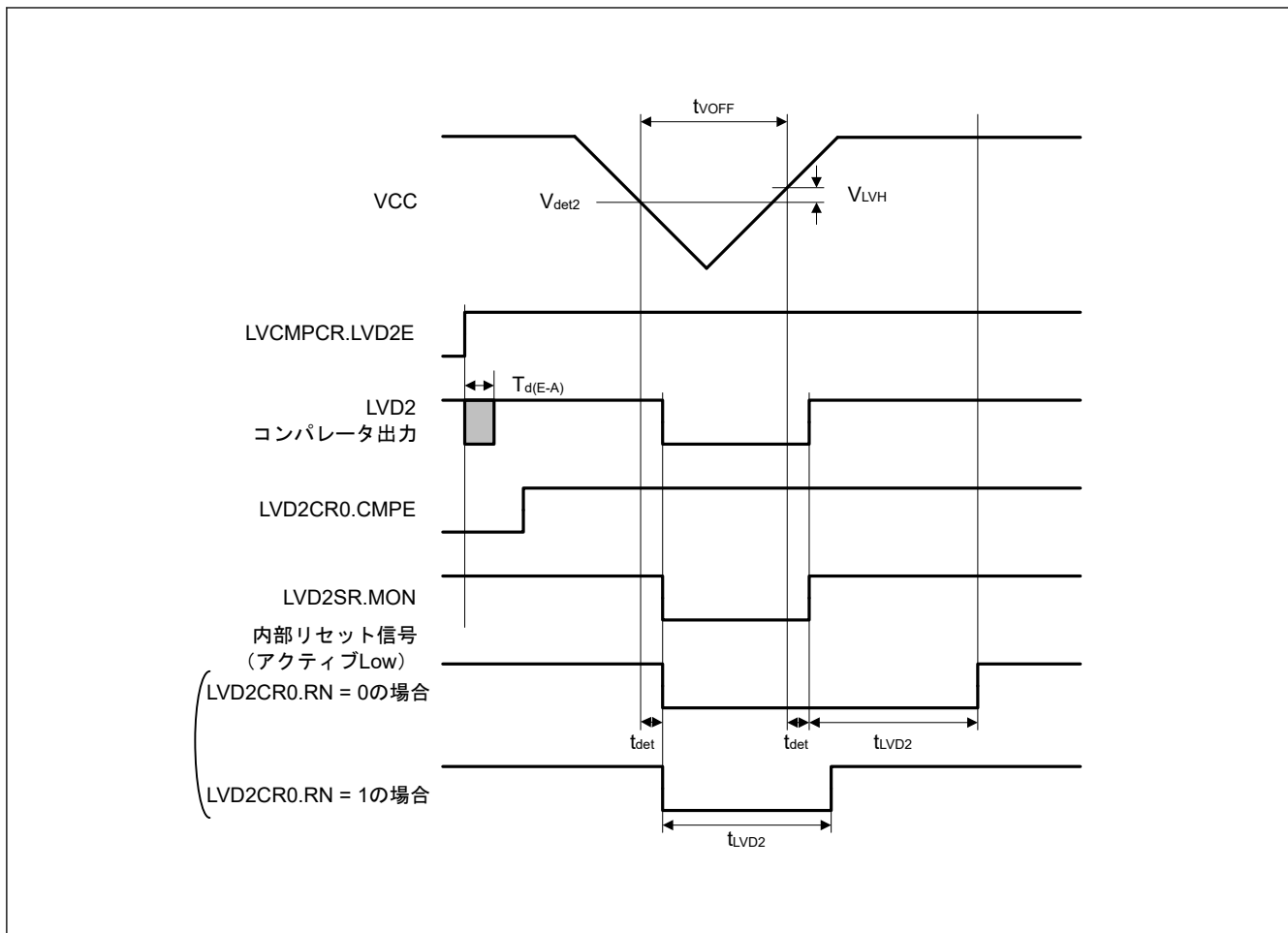


図 36.51 電圧検出回路タイミング ( $V_{det2}$ )

### 36.7 フラッシュメモリ特性

#### 36.7.1 コードフラッシュメモリ特性

表 36.52 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル(注1)	$N_{PEC}$	1000	—	—	回	—
データ保持時間	1000 回の $N_{PEC}$ の後	20(注2) (注3)	—	—	年	$T_a = +105^\circ\text{C}$
		10	—	—		$T_a = +125^\circ\text{C}$

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが  $n$  回 ( $n = 1,000$ ) の場合、ブロックごとにそれぞれ  $n$  回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 512 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. この結果は信頼性試験から得られたものです。

表 36.53 コードフラッシュ特性 (2) (1/2)

High-speed 動作モード

条件 :  $V_{CC} = 1.8 \sim 5.5 \text{ V}$

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	$t_{p4}$	—	86	732	—	34	321	$\mu\text{s}$
イレース時間	2 KB	$t_{E2K}$	—	12.5	355	—	5.6	215	ms

表 36.53 コードフラッシュ特性 (2) (2/2)

High-speed 動作モード

条件: VCC = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
ブランクチェック時間	4 バイト	t <sub>BC4</sub>	—	—	46.5	—	—	8.3	μs
	2 KB	t <sub>BC2K</sub>	—	—	3681	—	—	240	μs
イレースサスペンド時間		t <sub>SED</sub>	—	—	22.3	—	—	10.5	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t <sub>AWSSAS</sub>	—	21.2	570	—	11.4	423	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t <sub>OSIS</sub>	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t <sub>DIS</sub>	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t <sub>MS</sub>	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

表 36.54 コードフラッシュ特性 (3)

Middle-speed 動作モード

条件: VCC = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注2)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t <sub>P4</sub>	—	86	732	—	39	356	μs
イレース時間	2 KB	t <sub>E2K</sub>	—	12.5	355	—	6.2	227	ms
ブランクチェック時間	4 バイト	t <sub>BC4</sub>	—	—	46.5	—	—	11.3	μs
	2 KB	t <sub>BC2K</sub>	—	—	3681	—	—	534	μs
イレースサスペンド時間		t <sub>SED</sub>	—	—	22.3	—	—	11.7	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t <sub>AWSSAS</sub>	—	21.2	570	—	12.2	435	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t <sub>OSIS</sub>	—	84.7	2280	—	48.7	1740	ms
フラッシュメモリモード遷移待機時間 1		t <sub>DIS</sub>	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t <sub>MS</sub>	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

注 2. 1.8 V ≤ VCC ≤ 5.5 V の場合

表 36.55 コードフラッシュ特性 (4)

Low-speed 動作モード

条件 : VCC = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	4 バイト	t <sub>P4</sub>	—	86	732	—	57	502	μs
イレース時間	2 KB	t <sub>E2K</sub>	—	12.5	355	—	8.8	280	ms
ブランクチェック時間	4 バイト	t <sub>BC4</sub>	—	—	46.5	—	—	23.3	μs
	2 KB	t <sub>BC2K</sub>	—	—	3681	—	—	1841	μs
イレースサスペンド時間		t <sub>SED</sub>	—	—	22.3	—	—	16.2	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t <sub>AWSSAS</sub>	—	21.2	570	—	15.9	491	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t <sub>OSIS</sub>	—	84.7	2280	—	63.5	1964	ms
フラッシュメモリモード遷移待機時間 1		t <sub>DIS</sub>	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t <sub>MS</sub>	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 4 コマンドの合計時間です。

## 36.7.2 データフラッシュメモリ特性

表 36.56 データフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件	
再プログラム/イレースサイクル(注1)	N <sub>DPEC</sub>	100000	1000000	—	回	—	
データ保持時間	10000 回の N <sub>DPEC</sub> の後	t <sub>DDRP</sub>	20(注2) (注3)	—	—	年	Ta = +105°C
			10	—	—		Ta = +125°C
			5(注2) (注3)	—	—		Ta = +105°C
			—	1(注2) (注3)	—		Ta = +25°C
	100000 回の N <sub>DPEC</sub> の後						
	1000000 回の N <sub>DPEC</sub> の後						

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注 2. 弊社提供のフラッシュメモリプログラムおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. 信頼性試験から得られた結果です。

表 36.57 データフラッシュ特性 (2) (1/2)

High-speed 動作モード

条件 : VCC = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t <sub>DP1</sub>	—	45	404	—	34	321	μs
イレース時間	1 KB	t <sub>DE1K</sub>	—	8.8	280	—	6.1	224	ms
ブランクチェック時間	1 バイト	t <sub>DBC1</sub>	—	—	15.2	—	—	8.3	μs
	1 KB	t <sub>DBC1K</sub>	—	—	1832	—	—	466	μs

表 36.57 データフラッシュ特性 (2) (2/2)

High-speed 動作モード

条件: VCC = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
		Min	Typ	Max	Min	Typ	Max	
イレース実行中のサスペンド時間	t <sub>DS</sub> ED	—	—	13.2	—	—	10.5	μs
データフラッシュ STOP 復帰時間	t <sub>DS</sub> TOP	250	—	—	250	—	—	ns

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 36.58 データフラッシュ特性 (3)

Middle-speed 動作モード

条件: VCC = 1.8~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注1)			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t <sub>DP</sub> 1	—	45	404	—	39	356	μs
イレース時間	1 KB	t <sub>DE</sub> 1K	—	8.8	280	—	7.3	248	ms
ブランクチェック時間	1 バイト	t <sub>DBC</sub> 1	—	—	15.2	—	—	11.3	μs
	1 KB	t <sub>DBC</sub> 1K	—	—	1.84	—	—	1.06	ms
イレース実行中のサスペンド時間	t <sub>DS</sub> ED	—	—	13.2	—	—	11.7	μs	
データフラッシュ STOP 復帰時間	t <sub>DS</sub> TOP	250	—	—	250	—	—	ns	

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC ≤ 5.5 V の場合

表 36.59 データフラッシュ特性 (4)

Low-speed 動作モード

条件: VCC = 1.6~5.5 V

項目	シンボル	ICLK = 1 MHz			ICLK = 2 MHz			単位	
		Min	Typ	Max	Min	Typ	Max		
プログラム時間	1 バイト	t <sub>DP</sub> 1	—	86	732	—	57	502	μs
イレース時間	1 KB	t <sub>DE</sub> 1K	—	19.7	504	—	12.4	354	ms
ブランクチェック時間	1 バイト	t <sub>DBC</sub> 1	—	—	46.5	—	—	23.3	μs
	1 KB	t <sub>DBC</sub> 1K	—	—	7.3	—	—	3.66	ms
イレース実行中のサスペンド時間	t <sub>DS</sub> ED	—	—	22.3	—	—	16.2	μs	
データフラッシュ STOP 復帰時間	t <sub>DS</sub> TOP	250	—	—	250	—	—	ns	

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 2 MHz 未満で使用する場合、周波数は 1 MHz または 2 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

## 36.8 シリアルワイヤデバッグ (SWD)

表 36.60 SWD 特性 (1)

条件 : VCC = 2.4~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{\text{SWCKcyc}}$	80	—	—	ns	図 36.52
SWCLK クロック High レベルパルス幅	$t_{\text{SWCKH}}$	35	—	—	ns	
SWCLK クロック Low レベルパルス幅	$t_{\text{SWCKL}}$	35	—	—	ns	
SWCLK クロック立ち上がり時間	$t_{\text{SWCKr}}$	—	—	5	ns	
SWCLK クロック立ち下がり時間	$t_{\text{SWCKf}}$	—	—	5	ns	
SWDIO セットアップ時間	$t_{\text{SWDS}}$	16	—	—	ns	
SWDIO ホールド時間	$t_{\text{SWDH}}$	16	—	—	ns	
SWDIO データ遅延時間	$t_{\text{SWDD}}$	2	—	70	ns	

表 36.61 SWD 特性 (2)

条件 : VCC = 1.6~2.4 V

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{\text{SWCKcyc}}$	250	—	—	ns	図 36.52
SWCLK クロック High レベルパルス幅	$t_{\text{SWCKH}}$	120	—	—	ns	
SWCLK クロック Low レベルパルス幅	$t_{\text{SWCKL}}$	120	—	—	ns	
SWCLK クロック立ち上がり時間	$t_{\text{SWCKr}}$	—	—	5	ns	
SWCLK クロック立ち下がり時間	$t_{\text{SWCKf}}$	—	—	5	ns	
SWDIO セットアップ時間	$t_{\text{SWDS}}$	50	—	—	ns	
SWDIO ホールド時間	$t_{\text{SWDH}}$	50	—	—	ns	
SWDIO データ遅延時間	$t_{\text{SWDD}}$	2	—	170	ns	

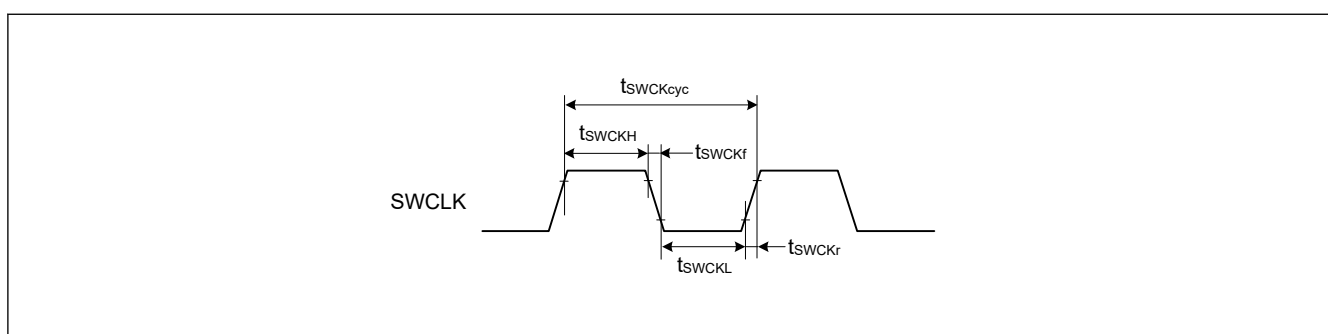


図 36.52 SWD SWCLK タイミング



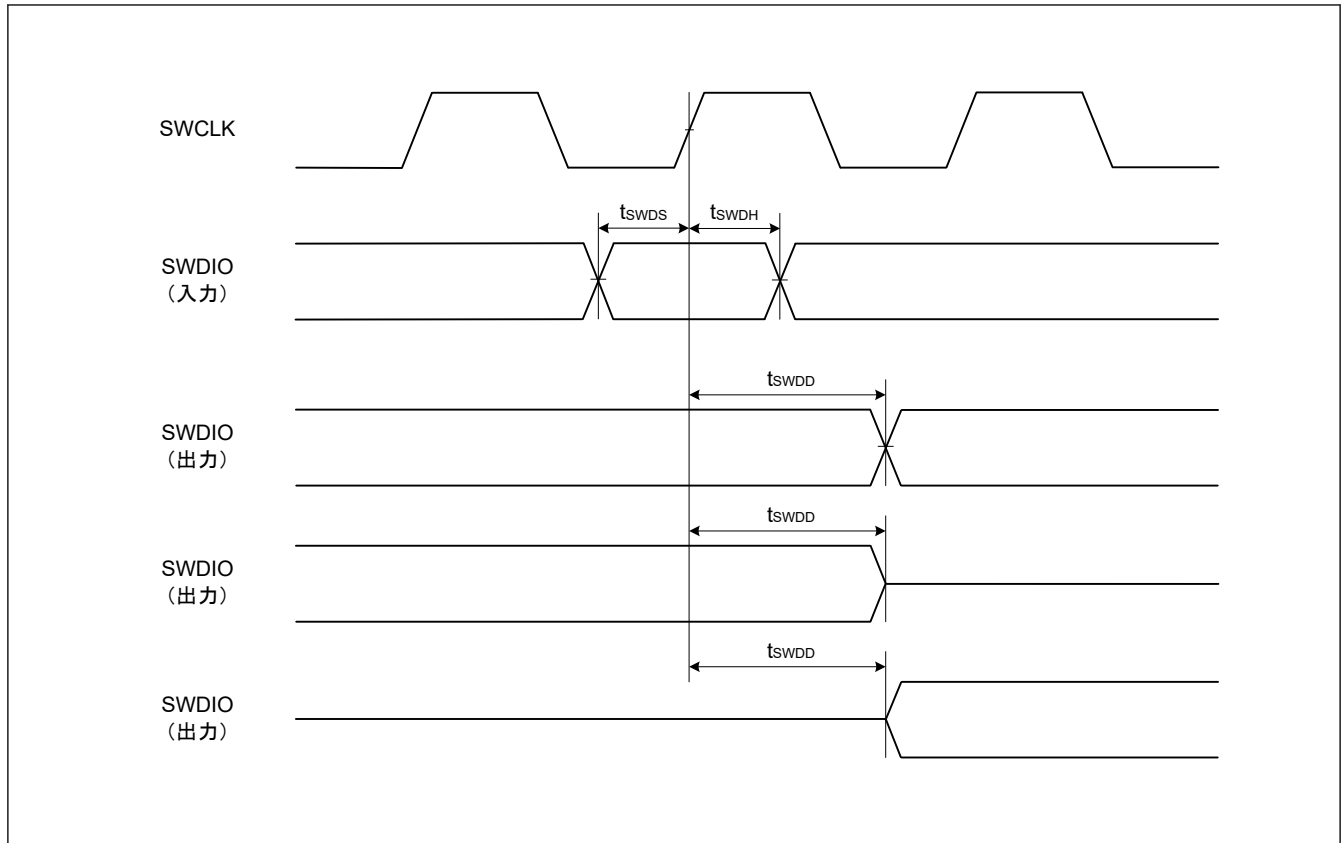


図 36.53 SWD 入出力タイミング

## 付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/2)

ポート名	リセット	ソフトウェアスタンバイモード
P010/AN005	Hi-Z	Keep-O
P011/AN006	Hi-Z	Keep-O
P014/AN009	Hi-Z	Keep-O
P015/AN010/IRQ7_A	Hi-Z	Keep-O(注1)
P100/AN022/AGTIO0_A/GTETRGA_A/ GTIOC8B_A/RXD9_E/MISO9_E/SCL9_E/ SCK9_E/MISOA_A/KRM00/IRQ2_A	Hi-Z	[AGTIO0_A 出力選択] AGTIO0_A 出力(注2) [上記以外] Keep-O(注1)
P101/AN021/AGTEE0/GTETRGA_A/ GTIOC8A_A/TXD9_E/MOSI9_E/SDA9_E/ CTS9_RTS9_G/SS9_G/MOSIA_A/KRM01/ IRQ1_A	Hi-Z	Keep-O(注1)
P102/AN020/ADTRG0_A/AGTO0/ GTOWLO_A/GTIOC5B_A/SCK9_C/ TXD9_G/MOSI9_G/SDA9_G/RSPCKA_A/ KRM02/IRQ4_C	Hi-Z	[AGTO0 選択] AGTO0 出力(注2) [上記以外] Keep-O(注1)
P103/AN019/AGTOB0_B/GTOWUP_A/ GTIOC5A_A/CTS9_RTS9_E/SS9_E/ RXD9_I/MISO9_I/SCL9_I/SSLA0_A/KRM03/ IRQ6_C	Hi-Z	Keep-O(注1)
P108/SWDIO/AGTOA1_B/GTOULO_C/ GTIOC7B_C/TXD9_H/MOSI9_H/SDA9_H/ CTS9_RTS9_B/SS9_B/MOSIA_C/IRA5_C	プルアップ	Keep-O
P109/AGTO1_A/GTOVUP_C/GTIOC4A_A/ SCK9_F/TXD9_B/MOSI9_B/SDA9_B/ MISOA_C/KRM01_B/IRQ7_C/CLKOUT_B	Hi-Z	[CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O
P110/AGTOA0_A/GTOVLO_A/GTIOC4B_A/ CTS9_RTS9_H/SS9_H/RXD9_B/MISO9_B/ SCL9_B/SSLA0_C/KRM00_B/IRQ3_A	Hi-Z	Keep-O(注1)
P111/AGTOA0/GTIOC6A_A/RXD9_G/ MISO9_G/SCL9_G/SCK9_B/KRM03_B/ IRQ4_A	Hi-Z	[AGTOA0 選択] AGTOA0 出力(注2) [上記以外] Keep-O(注1)
P112/AGTOB0/GTIOC6B_A/TXD9_J/ MOSI9_J/SDA9_J/CTS9_RTS9_I/SS9_I/ KRM02_B/IRQ1_C	Hi-Z	[AGTOB0 選択] AGTOB0 出力(注2) [上記以外] Keep-O
P200/NMI	Hi-Z	Hi-Z
P201/MD	プルアップ	Keep-O
P205/AGTO1/TXD9_I/MOSI9_I/SDA9_I/ CTS9_RTS9_A/SS9_A/KRM01_A/IRQ1/ CLKOUT_A	Hi-Z	[AGTO1 選択] AGTO1 出力(注2) [CLKOUT 選択] CLKOUT 出力 [上記以外] Keep-O(注1)
P300/SWCLK/AGTOB1_A/GTOUUP_C/ GTIOC7A_C/RXD9_H/MOSI9_H/SCL9_H/ SCK9_G/RSPCKA_C/IRQ0_C	プルアップ	Keep-O
P400/CACREF_C/AGTIO1_C/GTIOC9A_A/ SCK9_D/TXD9_F/MOSI9_F/SDA9_F/ SCL0_A/KRM02_A/IRQ0_A	Hi-Z	[AGTIO1_C 出力選択] AGTIO1_C 出力(注2) [上記以外] Keep-O(注1)

表 1.1 各プロセスモードのポート状態 (2/2)

ポート名	リセット	ソフトウェアスタンバイモード
P401/AGTEE1_A/GTETRGA_B/ GTIOC9B_A/CTS9_RTS9_F/SS9_F/ RXD9_F/MISO9_F/SCL9_F/SDA0_A/IRQ5/ KRM03_A	Hi-Z	Keep-O <sup>(注1)</sup>
P914/AGTOA1_A/GTETRGA_B/RXD9_J/ MISO9_J/SCL9_J/SCK9_H/KRM00_A/ IRQ2_C	Hi-Z	[AGTOA1 選択] AGTOA1 出力 <sup>(注2)</sup> [上記以外] Keep-O <sup>(注1)</sup>

注. Hi-Z: ハイインピーダンス

Keep-O: 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

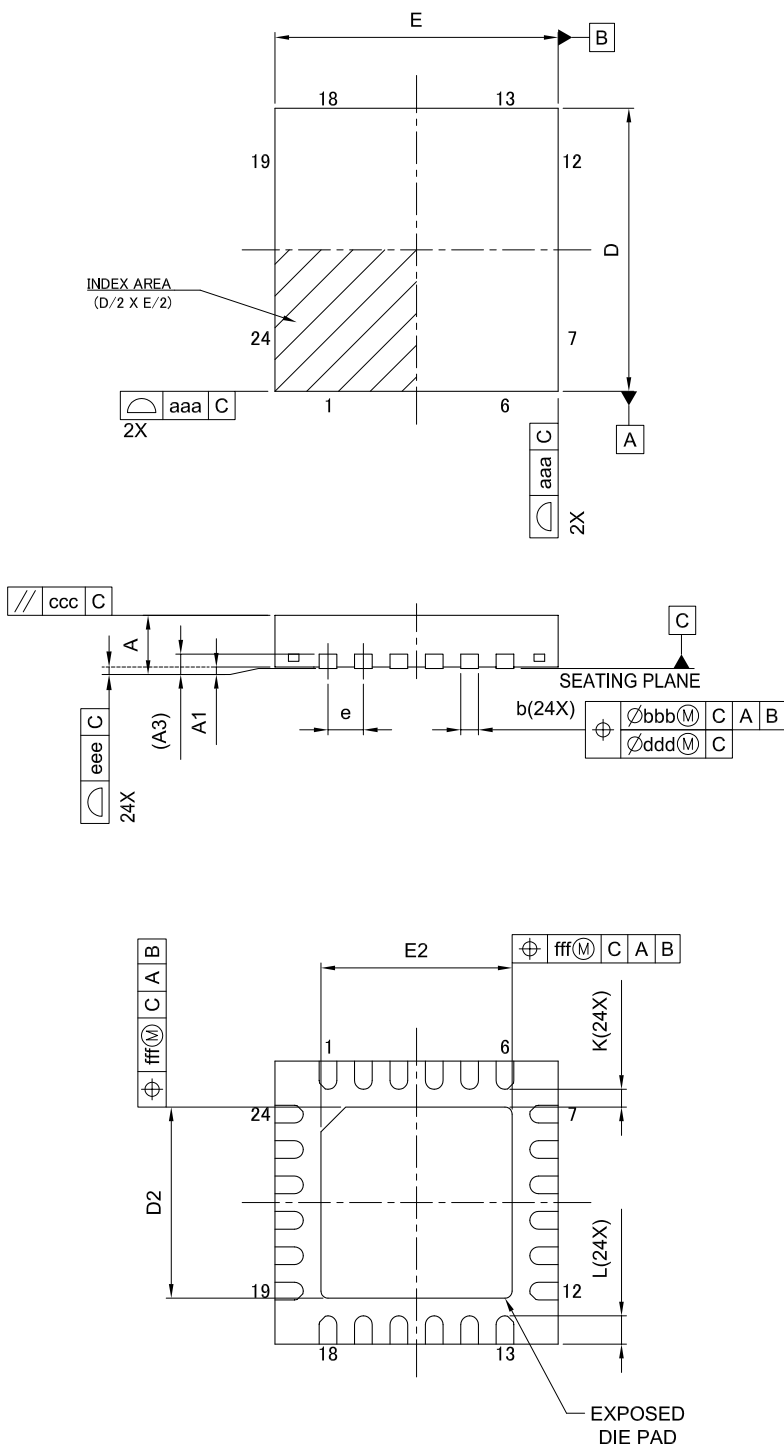
注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。

注 2. LOCO がカウントソースとして選択されている間、AGTIO 出力が許可されます。

## 付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

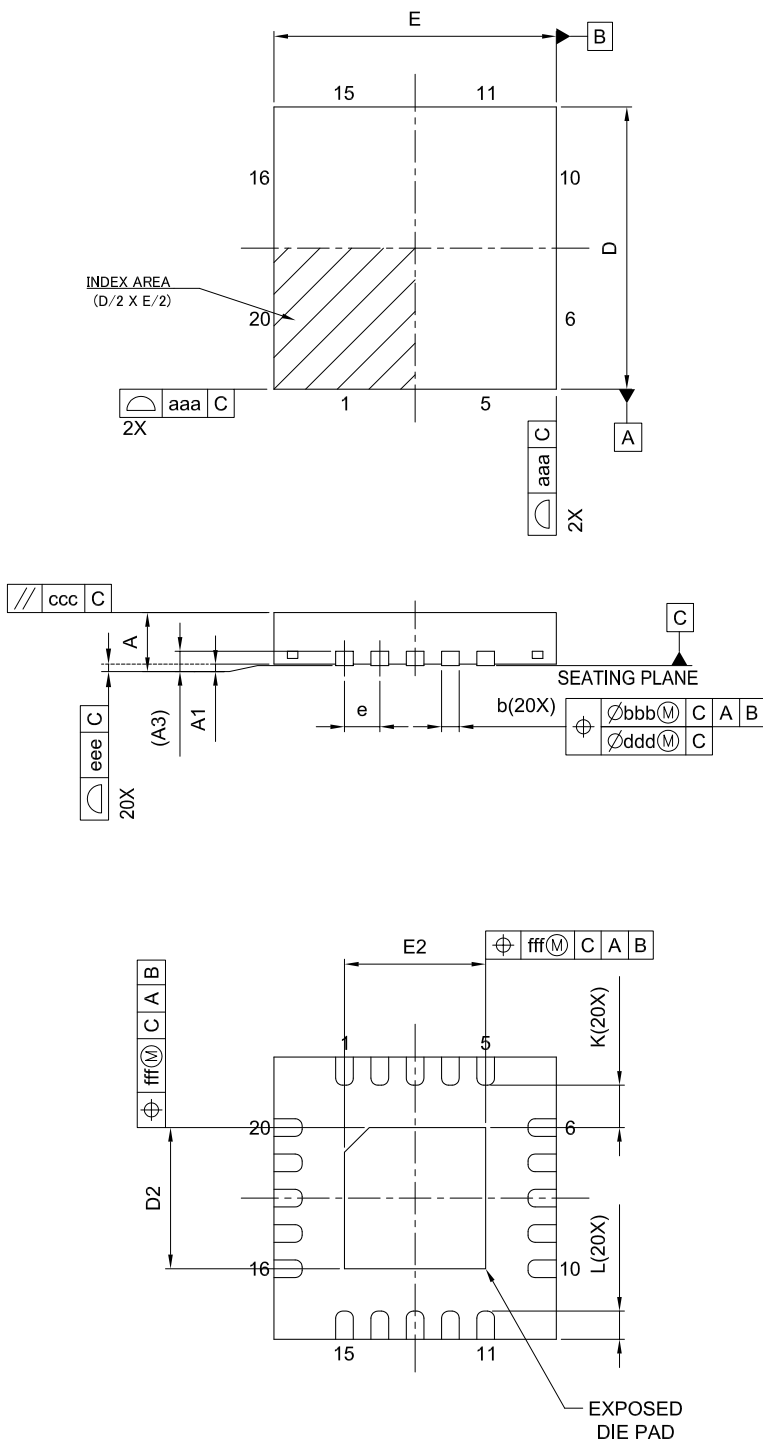
JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN24-4 × 4-0.50	PWQNO024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D <sub>2</sub>	2.65	2.70	2.75
E <sub>2</sub>	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.1 HWQFN 24 ピン

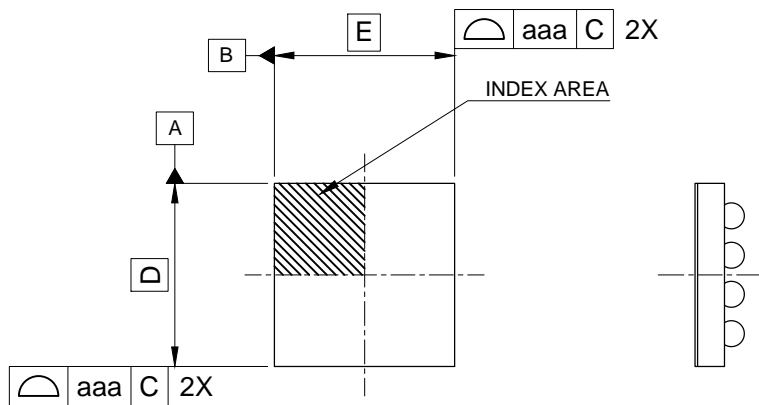
JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN20-4 × 4-0.50	PWQN0020KC-A	0.04



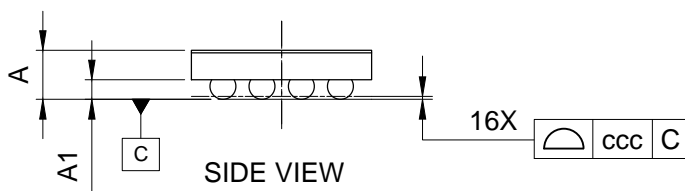
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A <sub>1</sub>	0.00	0.02	0.05
A <sub>3</sub>	0.203 REF.		
b	0.20	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D <sub>2</sub>	1.95	2.00	2.05
E <sub>2</sub>	1.95	2.00	2.05
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.2 HWQFN 20 ピン

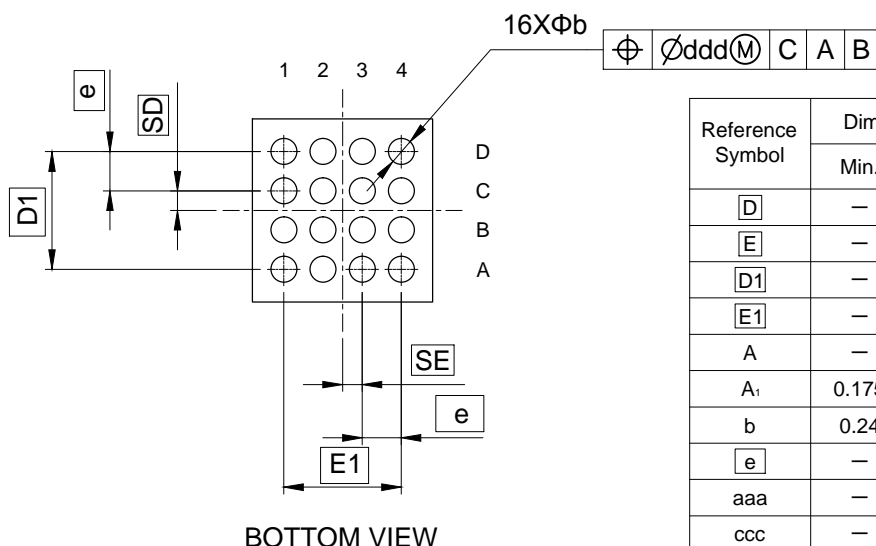
JEITA Package code	RENESAS code	MASS(TYP.)[g]
S-UFBGA16-1.84x1.87-0.40	SUBG0016LB-A	0.01



TOP VIEW



SIDE VIEW



BOTTOM VIEW

Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	1.87	—
E	—	1.84	—
D1	—	1.20	—
E1	—	1.20	—
A	—	—	0.55
A <sub>1</sub>	0.175	0.20	0.225
b	0.24	0.265	0.29
e	—	0.40	—
aaa	—	—	0.05
ccc	—	—	0.05
ddd	—	—	0.05
SD	—	0.200	—
SE	—	0.200	—

図 2.3 WLCSP 16 ピン

## 付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

### 3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
MPU	メモリプロテクションユニット	0x4000_0000
SRAM	SRAM 制御	0x4000_2000
バス	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CPU_DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PORT9	ポート 9 コントロールレジスタ	0x4004_0120
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントローラ	0x4004_1000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4004_2000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップコントロール B、C、D	0x4004_7000
I3C	I3C バスインタフェース	0x4008_3000
DOC	データ演算回路	0x4005_4100
ADC12	12 ビット A/D コンバータ	0x4005_C000
SCI9	シリアルコミュニケーションインタフェース 9	0x4007_0120
SPI0	シリアルペリフェラルインタフェース 0	0x4007_2000
CRC	CRC 演算器	0x4007_4000
GPT164	汎用 PWM タイマ 4 (16 ビット)	0x4007_8400
GPT165	汎用 PWM タイマ 5 (16 ビット)	0x4007_8500
GPT166	汎用 PWM タイマ 6 (16 ビット)	0x4007_8600
GPT167	汎用 PWM タイマ 7 (16 ビット)	0x4007_8700
GPT168	汎用 PWM タイマ 8 (16 ビット)	0x4007_8800
GPT169	汎用 PWM タイマ 9 (16 ビット)	0x4007_8900
GPT_OPS	出力相切り替えコントローラ	0x4007_8FF0
KINT	キー割り込み機能	0x4008_0000
AGTW0	低消費電力非同期汎用タイマ W0	0x4008_4000



表 3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
AGTW1	低消費電力非同期汎用タイマ W1	0x4008_4100
FLCN	フラッシュ I/O レジスタ	0x407E_C000

注. 名称 = 周辺機能の名称  
 内容 = 周辺機能  
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

### 3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 に、GPT 以外のモジュールのレジスタアクセスサイクルを示します。

表 3.2 GPT 以外のモジュールのアクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
MPU, SRAM, BUS, DTC, ICU, CPU_DBG	0x4000_2000	0x4001_BFFF	3				ICLK	メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
SYSC	0x4001_E000	0x4001_E6FF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション
PORTn, PFS, ELC, POEG, WDT, IWDT, CAC, MSTP	0x4004_0000	0x4004_7FFF	3		2~3		PCLKB	I/O ポート、イベントリンクコントローラ、GPT 用ポートアウトプットイネーブル、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
DOC, ADC12	0x4005_4100	0x4005_EFFF	3		2~3		PCLKB	データ演算回路、12 ビット A/D コンバータ
SCIn (n = 9)	0x4007_0000	0x4007_0EFF	5		2~3		PCLKB	シリアルコミュニケーションインタフェース
SPIIn (n = 0)(注2)	0x4007_2000	0x4007_2FFF	5		2~3		PCLKB	シリアルペリフェラルインタフェース
CRC	0x4007_4000	0x4007_4FFF	3		2~3		PCLKB	CRC 演算器

表 3.2 GPT 以外のモジュールのアクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数				サイクル単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
			読み出し	書き込み	読み出し	書き込み		
GPT16n (n = 4~9), GPT_OPS	0x4007_8000	0x4007_BFFF	表 3.3 を参照してください。				PCLKB	汎用 PWM タイマ
KINT	0x4008_0000	0x4008_2FFF	3		2~3		PCLKB	キー割り込み機能、静電容量式センシングユニット 2
AGTWn	0x4008_4000	0x4008_4FFF	3		2~3		PCLKB	低消費電力非同期汎用タイマ
FLCN	0x407E_C000	0x407E_FFFF	7		7		ICLK	データフラッシュ、温度センサ、静電容量式センシングユニット 2、フラッシュ制御
I3C	0x4008_3000	0x4008_33D0	3		2~3		PCLKB	I3C バスインタフェース

注 1. PCLK サイクル数が整数ではない (たとえば 1.5) 場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。(たとえば、1.5~2.5 は 1~3)

注 2. 32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR\_HA) にアクセスを行う場合は、表 3.2 に記載のアクセスサイクルとなります。

表 3.3 に、GPT モジュールのレジスタアクセスサイクルを示します。

表 3.3 GPT モジュールのアクセスサイクル

ICLK と PCLK 間の周波数比	アクセスサイクル数		サイクル単位
	読み出し	書き込み	
ICLK > PCLKD = PCLKB	5~6	3~4	PCLKB
ICLK > PCLKD > PCLKB	3~4	2~3	PCLKB
PCLKD = ICLK = PCLKB	6	4	PCLKB
PCLKD = ICLK > PCLKB	2~3	1~2	PCLKB
PCLKD > ICLK = PCLKB	4	3	PCLKB
PCLKD > ICLK > PCLKB	2~3	1~2	PCLKB

### 3.3 レジスタの説明

本項では、本マニュアルに記載のレジスタに関する情報を示します。

表 3.4 に各レジスタのアドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を示します。

表 3.4 レジスタの説明 (1/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
MPU	-	-	-	MMPUCTLA	バスマスタ MPU コントロールレジスタ	0x000	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MMPUPTA	グループ A レジスタの保護	0x102	16	R/W	0x0000	0xFFFF
MPU	4	0x010	0~3	MMPUACA%s	グループ A 領域%s アクセスコントロールレジスタ	0x200	16	R/W	0x0000	0xFFFF
MPU	4	0x010	0~3	MMPUSA%s	グループ A 領域%s 開始アドレスレジスタ	0x204	32	R/W	0x00000000	0x00000003
MPU	4	0x010	0~3	MMPUEA%s	グループ A 領域%s 終了アドレスレジスタ	0x208	32	R/W	0x00000003	0x00000003
MPU	-	-	-	SMPUCTL	スレーブ MPU コントロールレジスタ	0xC00	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUMBIU	メモリバス 1 アクセスコントロールレジスタ	0xC10	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUFBIU	内部周辺バス 9 アクセスコントロールレジスタ	0xC14	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUSRAM0	メモリバス 4 アクセスコントロールレジスタ	0xC18	16	R/W	0x0000	0xFFFF

表 3.4 レジスタの説明 (2/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
MPU	-	-	-	SMPUP0BIU	内部周辺バス 1 アクセスコントロールレジスタ	0xC20	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP2BIU	内部周辺バス 3 アクセスコントロールレジスタ	0xC24	16	R/W	0x0000	0xFFFF
MPU	-	-	-	SMPUP6BIU	内部周辺バス 7 アクセスコントロールレジスタ	0xC28	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUOAD	スタックポインタモニタ検出後動作レジスタ	0xD00	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUCTL	スタックポインタモニタアクセスコントロールレジスタ	0xD04	16	R/W	0x0000	0xFEFF
MPU	-	-	-	MSPMPUPT	スタックポインタモニタ保護レジスタ	0xD06	16	R/W	0x0000	0xFFFF
MPU	-	-	-	MSPMPUSA	メインスタックポインタ (MSP) モニタ開始アドレスレジスタ	0xD08	32	R/W	0x00000000	0x00000000
MPU	-	-	-	MSPMPUEA	メインスタックポインタ (MSP) モニタ終了アドレスレジスタ	0xD0C	32	R/W	0x00000000	0x00000000
MPU	-	-	-	PSPMPUOAD	スタックポインタモニタ検出後動作レジスタ	0xD10	16	R/W	0x0000	0xFFFF
MPU	-	-	-	PSPMPUCTL	スタックポインタモニタアクセスコントロールレジスタ	0xD14	16	R/W	0x0000	0xFEFF
MPU	-	-	-	PSPMPUPT	スタックポインタモニタ保護レジスタ	0xD16	16	R/W	0x0000	0xFFFF
MPU	-	-	-	PSPMPUSA	プロセススタックポインタ (PSP) モニタ開始アドレスレジスタ	0xD18	32	R/W	0x00000000	0x00000000
MPU	-	-	-	PSPMPUEA	プロセススタックポインタ (PSP) モニタ終了アドレスレジスタ	0xD1C	32	R/W	0x00000000	0x00000000
SRAM	-	-	-	PARIOAD	SRAM パリティエラー検出後動作レジスタ	0x00	8	R/W	0x00	0xFF
SRAM	-	-	-	SRAMPRCR	SRAM プロテクトレジスタ	0x04	8	R/W	0x00	0xFF
BUS	-	-	-	BUSMCNTSYS	マスタバスコントロールレジスタ SYS	0x1008	16	R/W	0x0000	0xFFFF
BUS	-	-	-	BUSMCNTDMA	マスタバスコントロールレジスタ DMA	0x100C	16	R/W	0x0000	0xFFFF
BUS	-	-	-	BUS3ERRADD	バスエラーアドレスレジスタ 3	0x1820	32	R	0x00000000	0x00000000
BUS	-	-	-	BUS3ERRSTAT	バスエラーステータスレジスタ 3	0x1824	8	R	0x00	0xFE
BUS	-	-	-	BUS4ERRADD	バスエラーアドレスレジスタ 4	0x1830	32	R	0x00000000	0x00000000
BUS	-	-	-	BUS4ERRSTAT	バスエラーステータスレジスタ 4	0x1834	8	R	0x00	0xFE
DTC	-	-	-	DTCCR	DTC コントロールレジスタ	0x00	8	R/W	0x08	0xFF
DTC	-	-	-	DTCVBR	DTC ベクタベースレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
DTC	-	-	-	DTCST	DTC モジュール起動レジスタ	0x0C	8	R/W	0x00	0xFF
DTC	-	-	-	DTCSTS	DTC ステータスレジスタ	0x0E	16	R	0x0000	0xFFFF
ICU	8	0x1	0~7	IRQCR%s	IRQ コントロールレジスタ	0x000	8	R/W	0x00	0xFF
ICU	-	-	-	NMICR	NMI 端子割り込みコントロールレジスタ	0x100	8	R/W	0x00	0xFF
ICU	-	-	-	NMIER	ノンマスクابل割り込みイネーブルレジスタ	0x120	16	R/W	0x0000	0xFFFF
ICU	-	-	-	NMICLR	ノンマスクابل割り込みステータスクリアレジスタ	0x130	16	R/W	0x0000	0xFFFF
ICU	-	-	-	NMISR	ノンマスクابل割り込みステータスレジスタ	0x140	16	R	0x0000	0xFFFF
ICU	-	-	-	WUPEN	ウェイクアップ割り込みイネーブルレジスタ	0x1A0	32	R/W	0x00000000	0xFFFFFFFF
ICU	-	-	-	IELEN	ICU イベントイネーブルレジスタ	0x1C0	8	R/W	0x00	0xFF
ICU	-	-	-	SELSR0	SYS イベントリンク設定レジスタ	0x200	16	R/W	0x0000	0xFFFF
ICU	32	0x4	0~31	IELSR%s	ICU イベントリンク設定レジスタ %s	0x300	32	R/W	0x00000000	0xFFFFFFFF
CPU_DBG	-	-	-	DBGSTR	デバッグステータスレジスタ	0x00	32	R	0x00000000	0xFFFFFFFF
CPU_DBG	-	-	-	DBGSTOPCR	デバッグストップコントロールレジスタ	0x10	32	R/W	0x00000003	0xFFFFFFFF

表 3.4 レジスタの説明 (3/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SYSC	-	-	-	SBYCR	スタンバイコントロールレジスタ	0x00C	16	R/W	0x0000	0xFFFF
SYSC	-	-	-	MSTPCRA	モジュールストップコントロールレジスタ A	0x01C	32	R/W	0xFFBFFFFFFF	0xFFFFFFFF
SYSC	-	-	-	SCKDIVCR	システムクロック分周コントロールレジスタ	0x020	32	R/W	0x04000404	0xFFFFFFFF
SYSC	-	-	-	SCKSCR	システムクロックソースコントロールレジスタ	0x026	8	R/W	0x01	0xFF
SYSC	-	-	-	MEMWAIT	コードフラッシュメモリウェイトサイクルコントロールレジスタ	0x031	8	R/W	0x00	0xFF
SYSC	-	-	-	HOCOOCR	高速オンチップオシレータコントロールレジスタ	0x036	8	R/W	0x00	0xFE
SYSC	-	-	-	MOCOOCR	中速オンチップオシレータコントロールレジスタ	0x038	8	R/W	0x00	0xFF
SYSC	-	-	-	OSCSF	発振安定フラグレジスタ	0x03C	8	R	0x00	0xFE
SYSC	-	-	-	CKOCR	クロックアウトコントロールレジスタ	0x03E	8	R/W	0x00	0xFF
SYSC	-	-	-	LPOPT	低消費電力動作コントロールレジスタ	0x04C	8	R/W	0x40	0xFF
SYSC	-	-	-	MOCOUTCR	MOCO ユーザトリミングコントロールレジスタ	0x061	8	R/W	0x00	0xFF
SYSC	-	-	-	HOCOUTCR	HOCO ユーザトリミングコントロールレジスタ	0x062	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZCR	スヌーズコントロールレジスタ	0x092	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZEDCR0	スヌーズ終了コントロールレジスタ 0	0x094	8	R/W	0x00	0xFF
SYSC	-	-	-	SNZREQCR0	スヌーズ要求コントロールレジスタ 0	0x098	32	R/W	0x00000000	0xFFFFFFFF
SYSC	-	-	-	PSMCR	パワーセーブメモリコントロールレジスタ	0x09F	8	R/W	0x00	0xFF
SYSC	-	-	-	OPCCR	動作電力コントロールレジスタ	0x0A0	8	R/W	0x01	0xFF
SYSC	-	-	-	HOCOWTCR	高速オンチップオシレータウェイトコントロールレジスタ	0x0A5	8	R/W	0x05	0xFF
SYSC	-	-	-	SOPCCR	サブ動作電力コントロールレジスタ	0x0AA	8	R/W	0x00	0xFF
SYSC	-	-	-	RSTSR1	リセットステータスレジスタ 1	0x0C0	16	R/W	0x0000	0xE2F8
SYSC	-	-	-	LVD1CR1	電圧監視 1 回路コントロールレジスタ	0x0E0	8	R/W	0x01	0xFF
SYSC	-	-	-	LVD1SR	電圧監視 1 回路ステータスレジスタ	0x0E1	8	R/W	0x02	0xFF
SYSC	-	-	-	LVD2CR1	電圧監視 2 回路コントロールレジスタ 1	0x0E2	8	R/W	0x01	0xFF
SYSC	-	-	-	LVD2SR	電圧監視 2 回路ステータスレジスタ	0x0E3	8	R/W	0x02	0xFF
SYSC	-	-	-	PRCR	プロテクトレジスタ	0x3FE	16	R/W	0x0000	0xFFFF
SYSC	-	-	-	SYOCDCR	システムコントロール OCD コントロールレジスタ	0x040E	8	R/W	0x00	0xFF
SYSC	-	-	-	RSTSR0	リセットステータスレジスタ 0	0x410	8	R/W	0x00	0xF0
SYSC	-	-	-	RSTSR2	リセットステータスレジスタ 2	0x411	8	R/W	0x00	0xFE
SYSC	-	-	-	LVMPCR	電圧監視回路コントロールレジスタ	0x417	8	R/W	0x00	0xFF
SYSC	-	-	-	LVDLVLRLR	電圧検出レベル選択レジスタ	0x418	8	R/W	0x07	0xFF
SYSC	-	-	-	LVD1CR0	電圧監視 1 回路コントロールレジスタ 0	0x41A	8	R/W	0x80	0xF7
SYSC	-	-	-	LVD2CR0	電圧監視 2 回路コントロールレジスタ 0	0x41B	8	R/W	0x80	0xF7
SYSC	-	-	-	LOCOCR	低速オンチップオシレータコントロールレジスタ	0x490	8	R/W	0x00	0xFF
SYSC	-	-	-	LOCOUTCR	LOCO ユーザトリミングコントロールレジスタ	0x492	8	R/W	0x00	0xFF
PORT0, 3-4, 9	-	-	-	PCNTR1	ポートコントロールレジスタ 1	0x000	32	R/W	0x00000000	0xFFFFFFFF
PORT0, 3-4, 9	-	-	-	PODR	ポートコントロールレジスタ 1	0x000	16	R/W	0x0000	0xFFFF

表 3.4 レジスタの説明 (4/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PORT0, 3-4, 9	-	-	-	PDR	ポートコントロールレジスタ 1	0x002	16	R/W	0x0000	0xFFFF
PORT0, 3-4, 9	-	-	-	PCNTR2	ポートコントロールレジスタ 2	0x004	32	R	0x00000000	0xFFFF0000
PORT0, 3-4, 9	-	-	-	PIDR	ポートコントロールレジスタ 2	0x006	16	R	0x0000	0x0000
PORT0, 3-4, 9	-	-	-	PCNTR3	ポートコントロールレジスタ 3	0x008	32	W	0x00000000	0xFFFFFFFF
PORT0, 3-4, 9	-	-	-	PORR	ポートコントロールレジスタ 3	0x008	16	W	0x0000	0xFFFF
PORT0, 3-4, 9	-	-	-	POSR	ポートコントロールレジスタ 3	0x00A	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR1	ポートコントロールレジスタ 1	0x000	32	R/W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	PODR	ポートコントロールレジスタ 1	0x000	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	PDR	ポートコントロールレジスタ 1	0x002	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR2	ポートコントロールレジスタ 2	0x004	32	R	0x00000000	0xFFFF0000
PORT1-2	-	-	-	EIDR	ポートコントロールレジスタ 2	0x004	16	R	0x0000	0xFFFF
PORT1-2	-	-	-	PIDR	ポートコントロールレジスタ 2	0x006	16	R	0x0000	0x0000
PORT1-2	-	-	-	PCNTR3	ポートコントロールレジスタ 3	0x008	32	W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	PORR	ポートコントロールレジスタ 3	0x008	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	POSR	ポートコントロールレジスタ 3	0x00A	16	W	0x0000	0xFFFF
PORT1-2	-	-	-	PCNTR4	ポートコントロールレジスタ 4	0x00C	32	R/W	0x00000000	0xFFFFFFFF
PORT1-2	-	-	-	EORR	ポートコントロールレジスタ 4	0x00C	16	R/W	0x0000	0xFFFF
PORT1-2	-	-	-	EOSR	ポートコントロールレジスタ 4	0x00E	16	R/W	0x0000	0xFFFF
PFS	4	0x4	10, 11, 14, 15	P0%PFS	ポート 0% 端子機能選択レジスタ	0x028	32	R/W	0x00000000	0xFFFFFFFFD
PFS	4	0x4	10, 11, 14, 15	P0%PFS_HA	ポート 0% 端子機能選択レジスタ	0x02A	16	R/W	0x0000	0xFFFD
PFS	4	0x4	10, 11, 14, 15	P0%PFS_BY	ポート 0% 端子機能選択レジスタ	0x02B	8	R/W	0x00	0xFD
PFS	4	0x4	0~3	P10%PFS	ポート 10% 端子機能選択レジスタ	0x040	32	R/W	0x00000000	0xFFFFFFFFD
PFS	4	0x4	0~3	P10%PFS_HA	ポート 10% 端子機能選択レジスタ	0x042	16	R/W	0x0000	0xFFFD
PFS	4	0x4	0~3	P10%PFS_BY	ポート 10% 端子機能選択レジスタ	0x043	8	R/W	0x00	0xFD
PFS	-	-	-	P108PFS	ポート 108 端子機能選択レジスタ	0x060	32	R/W	0x00010010	0xFFFFFFFFD
PFS	-	-	-	P108PFS_HA	ポート 108 端子機能選択レジスタ	0x062	16	R/W	0x0010	0xFFFD
PFS	-	-	-	P108PFS_BY	ポート 108 端子機能選択レジスタ	0x063	8	R/W	0x10	0xFD
PFS	-	-	-	P109PFS	ポート 109 端子機能選択レジスタ	0x064	32	R/W	0x00000000	0xFFFFFFFFD
PFS	-	-	-	P109PFS_HA	ポート 109 端子機能選択レジスタ	0x066	16	R/W	0x0000	0xFFFD
PFS	-	-	-	P109PFS_BY	ポート 109 端子機能選択レジスタ	0x067	8	R/W	0x00	0xFD
PFS	3	0x4	10-12	P1%PFS	ポート 1% 端子機能選択レジスタ	0x068	32	R/W	0x00000000	0xFFFFFFFFD
PFS	3	0x4	10-12	P1%PFS_HA	ポート 1% 端子機能選択レジスタ	0x06A	16	R/W	0x0000	0xFFFD
PFS	3	0x4	10-12	P1%PFS_BY	ポート 1% 端子機能選択レジスタ	0x06B	8	R/W	0x00	0xFD
PFS	-	-	-	P200PFS	ポート 200 端子機能選択レジスタ	0x080	32	R/W	0x00000000	0xFFFFFFFFD
PFS	-	-	-	P200PFS_HA	ポート 200 端子機能選択レジスタ	0x082	16	R/W	0x0000	0xFFFD
PFS	-	-	-	P200PFS_BY	ポート 200 端子機能選択レジスタ	0x083	8	R/W	0x00	0xFD
PFS	-	-	-	P201PFS	ポート 201 端子機能選択レジスタ	0x084	32	R/W	0x00000010	0xFFFFFFFFD
PFS	-	-	-	P201PFS_HA	ポート 201 端子機能選択レジスタ	0x086	16	R/W	0x0010	0xFFFD
PFS	-	-	-	P201PFS_BY	ポート 201 端子機能選択レジスタ	0x087	8	R/W	0x10	0xFD
PFS	1	0x4	5	P20%PFS	ポート 20% 端子機能選択レジスタ	0x094	32	R/W	0x00000000	0xFFFFFFFFD

表 3.4 レジスタの説明 (5/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	1	0x4	5	P20%PFS_HA	ポート 20% 端子機能選択レジスタ	0x096	16	R/W	0x0000	0xFFFFD
PFS	1	0x4	5	P20%PFS_BY	ポート 20% 端子機能選択レジスタ	0x097	8	R/W	0x00	0xFD
PFS	-	-	-	P300PFS	ポート 300 端子機能選択レジスタ	0x0C0	32	R/W	0x00010000	0xFFFFFFFFD
PFS	-	-	-	P300PFS_HA	ポート 300 端子機能選択レジスタ	0x0C2	16	R/W	0x0000	0xFFFFD
PFS	-	-	-	P300PFS_BY	ポート 300 端子機能選択レジスタ	0x0C3	8	R/W	0x00	0xFD
PFS	2	0x4	0-1	P40%PFS	ポート 40% 端子機能選択レジスタ	0x100	32	R/W	0x00000000	0xFFFFFFFFD
PFS	2	0x4	0-1	P40%PFS_HA	ポート 40% 端子機能選択レジスタ	0x102	16	R/W	0x0000	0xFFFFD
PFS	2	0x4	0-1	P40%PFS_BY	ポート 40% 端子機能選択レジスタ	0x103	8	R/W	0x00	0xFD
PFS	-	-	-	P914PFS	ポート 914 端子機能選択レジスタ	0xA78	32	R/W	0x00000000	0xFFFFFFFFD
PFS	-	-	-	P914PFS_HA	ポート 914 端子機能選択レジスタ	0xA7A	16	R/W	0x0000	0xFFFFD
PFS	-	-	-	P914PFS_BY	ポート 914 端子機能選択レジスタ	0xA7B	8	R/W	0x00	0xFD
PFS	-	-	-	PWPR	書き込みプロテクトレジスタ	0x503	8	R/W	0x80	0xFF
PFS	-	-	-	PRWCNTR	ポートリードウェイトコントロールレジスタ	0x50F	8	R/W	0x01	0xFF
ELC	-	-	-	ELCR	イベントリンクコントローラレジスタ	0x00	8	R/W	0x00	0xFF
ELC	2	0x02	0-1	ELSEGR% s	イベントリンクソフトウェアイベント発生レジスタ% s	0x02	8	R/W	0x80	0xFF
ELC	4	0x04	0-3	ELSR% s	イベントリンク設定レジスタ% s	0x10	16	R/W	0x0000	0xFFFF
ELC	2	0x04	8-9	ELSR% s	イベントリンク設定レジスタ% s	0x30	16	R/W	0x0000	0xFFFF
ELC	2	0x04	14-15	ELSR% s	イベントリンク設定レジスタ% s	0x48	16	R/W	0x0000	0xFFFF
ELC	-	-	-	ELSR18	イベントリンク設定レジスタ 18	0x58	16	R/W	0x0000	0xFFFF
POEG	-	-	-	POEGGA	POEG グループ A 設定レジスタ	0x000	32	R/W	0x00000000	0xFFFFFFFF
POEG	-	-	-	POEGGB	POEG グループ B 設定レジスタ	0x100	32	R/W	0x00000000	0xFFFFFFFF
WDT	-	-	-	WDTRR	WDT リフレッシュレジスタ	0x00	8	R/W	0xFF	0xFF
WDT	-	-	-	WDTCR	WDT コントロールレジスタ	0x02	16	R/W	0x0000	0xFFFF
WDT	-	-	-	WDTSR	WDT ステータスレジスタ	0x04	16	R/W	0x0000	0xFFFF
WDT	-	-	-	WDTRCR	WDT リセットコントロールレジスタ	0x06	8	R/W	0x80	0xFF
WDT	-	-	-	WDTCSTPR	WDT カウント停止コントロールレジスタ	0x08	8	R/W	0x80	0xFF
IWDT	-	-	-	IWDTRR	IWDT リフレッシュレジスタ	0x00	8	R/W	0xFF	0xFF
IWDT	-	-	-	IWDTSR	IWDT ステータスレジスタ	0x04	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CACR0	CAC コントロールレジスタ 0	0x00	8	R/W	0x00	0xFF
CAC	-	-	-	CACR1	CAC コントロールレジスタ 1	0x01	8	R/W	0x00	0xFF
CAC	-	-	-	CACR2	CAC コントロールレジスタ 2	0x02	8	R/W	0x00	0xFF
CAC	-	-	-	CAICR	CAC 割り込みコントロールレジスタ	0x03	8	R/W	0x00	0xFF
CAC	-	-	-	CASTR	CAC ステータスレジスタ	0x04	8	R	0x00	0xFF
CAC	-	-	-	CAULVR	CAC 上限値設定レジスタ	0x06	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CALLVR	CAC 下限値設定レジスタ	0x08	16	R/W	0x0000	0xFFFF
CAC	-	-	-	CACNTBR	CAC カウンタバッファレジスタ	0x0A	16	R	0x0000	0xFFFF
MSTP	-	-	-	MSTPCRB	モジュールストップコントロールレジスタ B	0x000	32	R/W	0xFFFFFFFF	0xFFFFFFFF
MSTP	-	-	-	MSTPCRC	モジュールストップコントロールレジスタ C	0x004	32	R/W	0xFFFFFFFF	0xFFFFFFFF
MSTP	-	-	-	MSTPCRD	モジュールストップコントロールレジスタ D	0x008	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	PRTS	プロトコル選択レジスタ	0x000	32	R/W	0x00000001	0xFFFFFFFF
I3C	-	-	-	BCTL	バスコントロールレジスタ	0x014	32	R/W	0xA0000181	0xFFFFFFFF
I3C	-	-	-	MSDVAD	マスタデバイスアドレスレジスタ	0x018	32	R/W	0x807F0000	0xFFFFFFFF

表 3.4 レジスタの説明 (6/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
I3C	-	-	-	RSTCTL	リセットコントロールレジスタ	0x020	32	R/W	0x0001007F	0xFFFFFFFF
I3C	-	-	-	PRSST	現在ステートレジスタ	0x024	32	R/W	0x00000004	0xFFFFFFFF
I3C	-	-	-	INST	内部ステータスレジスタ	0x030	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	INSTE	内部ステータスイネーブルレジスタ	0x034	32	R/W	0x00000400	0xFFFFFFFF
I3C	-	-	-	INIE	内部割り込みイネーブルレジスタ	0x038	32	R/W	0x00000400	0xFFFFFFFF
I3C	-	-	-	INSTFC	内部ステータス強制レジスタ	0x03C	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	DVCT	デバイス特性テーブルレジスタ	0x044	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	IBINCTL	IBI 通知コントロールレジスタ	0x058	32	R/W	0x0000000B	0xFFFFFFFF
I3C	-	-	-	BFCTL	バス機能コントロールレジスタ	0x060	32	R/W	0x00000107	0xFFFFFFFF
I3C	-	-	-	SVCTL	スレーブコントロールレジスタ	0x064	32	R/W	0x00018061	0xFFFFFFFF
I3C	-	-	-	REFCKCTL	リファレンスクロックコントロールレジスタ	0x070	32	R/W	0x00000007	0xFFFFFFFF
I3C	-	-	-	STDBR	スタンダードビットレートレジスタ	0x074	32	R/W	0xBF3FFFFF	0xFFFFFFFF
I3C	-	-	-	EXTBR	拡張ビットレートレジスタ	0x078	32	R/W	0x3F3FFFFF	0xFFFFFFFF
I3C	-	-	-	BFRECDT	バスフリー状態検出時間レジスタ	0x07C	32	R/W	0x000001FF	0xFFFFFFFF
I3C	-	-	-	BAVLCDT	バス利用可能状態検出時間レジスタ	0x080	32	R/W	0x000001FF	0xFFFFFFFF
I3C	-	-	-	BIDLCDT	バスアイドル状態検出時間レジスタ	0x084	32	R/W	0x0003FFFF	0xFFFFFFFF
I3C	-	-	-	OUTCTL	出力コントロールレジスタ	0x088	32	R/W	0x00008713	0xFFFFFFFF
I3C	-	-	-	INCTL	入力コントロールレジスタ	0x08C	32	R/W	0x000000DF	0xFFFFFFFF
I3C	-	-	-	TMOCTL	タイムアウトコントロールレジスタ	0x090	32	R/W	0x000000F3	0xFFFFFFFF
I3C	-	-	-	ACKCTL	アクノリッジコントロールレジスタ	0x0A0	32	R/W	0x00000002	0xFFFFFFFF
I3C	-	-	-	SCSTRCTL	SCL ストレッチコントロールレジスタ	0x0A4	32	R/W	0x00000003	0xFFFFFFFF
I3C	-	-	-	SCSTLCTL	SCL ストールコントロールレジスタ	0x0B0	32	R/W	0xF00FFFFF	0xFFFFFFFF
I3C	-	-	-	SVTDLG0	スレーブ転送データ長レジスタ 0	0x0C0	32	R/W	0xFFFF0000	0xFFFFFFFF
I3C	-	-	-	CNDCTL	条件コントロールレジスタ	0x140	32	R/W	0x00000007	0xFFFFFFFF
I3C	-	-	-	NCMDQP	通常コマンドキューポートレジスタ	0x150	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NRSPQP	通常レスポンスキューポートレジスタ	0x154	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NTDTBP0	通常転送データバッファポートレジスタ 0	0x158	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	NIBIQP	通常 IBI キューポートレジスタ	0x17C	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NRSQP	通常受信ステータスクューポートレジスタ	0x180	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NQTHCTL	通常キョースレッシュホールドコントロールレジスタ	0x190	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	NTBTHCTL0	通常転送データバッファスレッシュホールドコントロールレジスタ 0	0x194	32	R/W	0x07070707	0xFFFFFFFF
I3C	-	-	-	NRQTHCTL	通常受信ステータスクョースレッシュホールドコントロールレジスタ	0x1C0	32	R/W	0x000000FF	0xFFFFFFFF
I3C	-	-	-	BST	バスステータスレジスタ	0x1D0	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	BSTE	バスステータスイネーブルレジスタ	0x1D4	32	R/W	0x00110117	0xFFFFFFFF
I3C	-	-	-	BIE	バス割り込み許可レジスタ	0x1D8	32	R/W	0x00110117	0xFFFFFFFF
I3C	-	-	-	BSTFC	バスステータス強制レジスタ	0x1DC	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NTST	通常転送ステータスレジスタ	0x1E0	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NTSTE	通常転送ステータスイネーブルレジスタ	0x1E4	32	R/W	0x0010023F	0xFFFFFFFF
I3C	-	-	-	NTIE	通常転送割り込みイネーブルレジスタ	0x1E8	32	R/W	0x0010023F	0xFFFFFFFF
I3C	-	-	-	NTSTFC	通常転送ステータス強制レジスタ	0x1EC	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	BCST	バス条件ステータスレジスタ	0x210	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	SVST	スレーブステータスレジスタ	0x214	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	DATBAS0	デバイスアドレステーブル基本レジスタ 0	0x224	32	R/W	0xE0FFF07F	0xFFFFFFFF

表 3.4 レジスタの説明 (7/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
I3C	-	-	-	DATBAS1	デバイスアドレステーブル基本レジスタ 1	0x22C	32	R/W	0xE0FFF07F	0xFFFFFFFF
I3C	-	-	-	DATBAS2	デバイスアドレステーブル基本レジスタ 2	0x234	32	R/W	0xE0FFF07F	0xFFFFFFFF
I3C	-	-	-	DATBAS3	デバイスアドレステーブル基本レジスタ 3	0x23C	32	R/W	0xE0FFF07F	0xFFFFFFFF
I3C	-	-	-	EXDATBAS	拡張デバイスアドレステーブル基本レジスタ	0x2A0	32	R/W	0xE0FF007F	0xFFFFFFFF
I3C	-	-	-	SDATBAS0	スレーブデバイスアドレステーブル基本レジスタ 0	0x2B0	32	R/W	0x007F07FF	0xFFFFFFFF
I3C	-	-	-	MSDCT0	マスタデバイス特性テーブルレジスタ 0	0x2D0	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	MSDCT1	マスタデバイス特性テーブルレジスタ 1	0x2D4	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	MSDCT2	マスタデバイス特性テーブルレジスタ 2	0x2D8	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	MSDCT3	マスタデバイス特性テーブルレジスタ 3	0x2DC	32	R/W	0x0000FF00	0xFFFFFFFF
I3C	-	-	-	SVDCT	スレーブデバイス特性テーブルレジスタ	0x320	32	R/W	0x0000FFFF	0xFFFFFFFF
I3C	-	-	-	SDCTPIDL	スレーブデバイス特性テーブル暫定 ID Low レジスタ	0x324	32	R/W	0x0000FFFF	0xFFFFFFFF
I3C	-	-	-	SDCTPIDH	スレーブデバイス特性テーブル暫定 ID High レジスタ	0x328	32	R/W	0xFFFFFFFF	0xFFFFFFFF
I3C	-	-	-	SVDVAD0	スレーブデバイスアドレスレジスタ 0	0x330	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	CSECMD	CCC スレーブイベントコマンドレジスタ	0x350	32	R/W	0x0000000B	0xFFFFFFFF
I3C	-	-	-	CEACTST	CCC 遷移アクティビティステートレジスタ	0x354	32	R/W	0x0000000F	0xFFFFFFFF
I3C	-	-	-	CMWLG	CCC 最大書き込み長レジスタ	0x358	32	R/W	0x0000FFFF	0xFFFFFFFF
I3C	-	-	-	CMRLG	CCC 最大読み出し長レジスタ	0x35C	32	R/W	0x00FFFFFF	0xFFFFFFFF
I3C	-	-	-	CETSTMD	CCC 遷移テストモードレジスタ	0x360	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	CGDVST	CCC デバイスステータス取得レジスタ	0x364	32	R/W	0x0000FFCF	0xFFFFFFFF
I3C	-	-	-	CMDSPW	CCC 最大データ速度 W (書き込み) レジスタ	0x368	32	R/W	0x00000007	0xFFFFFFFF
I3C	-	-	-	CMDSPR	CCC 最大データ速度 R (読み出し) レジスタ	0x36C	32	R/W	0x0000003F	0xFFFFFFFF
I3C	-	-	-	CMDSPR	CCC 最大データ速度 T (切り替え) レジスタ	0x370	32	R/W	0x80FFFFFF	0xFFFFFFFF
I3C	-	-	-	CETSM	CCC 交換タイミングサポート情報 M (モード) レジスタ	0x374	32	R/W	0x00FFFFFF	0xFFFFFFFF
I3C	-	-	-	BITCNT	ビットカウントレジスタ	0x380	32	R/W	0x0000001F	0xFFFFFFFF
I3C	-	-	-	NQSTLV	通常キューステータスレベルレジスタ	0x394	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NDBSTLV0	通常データバッファステータスレベルレジスタ 0	0x398	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	NRSQSTLV	通常受信ステータスキューステータスレベルレジスタ	0x3C0	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	PRSTDBG	現在ステートデバッグレジスタ	0x3CC	32	R/W	0x00000000	0xFFFFFFFF
I3C	-	-	-	MSERRCNT	マスタエラーカウンタレジスタ	0x3D0	32	R/W	0x00000000	0xFFFFFFFF
DOC	-	-	-	DOCR	DOC コントロールレジスタ	0x00	8	R/W	0x00	0xFF
DOC	-	-	-	DODIR	DOC データ入力レジスタ	0x02	16	R/W	0x0000	0xFFFF
DOC	-	-	-	DODSR	DOC データ設定レジスタ	0x04	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCSR	A/D コントロールレジスタ	0x000	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSA0	A/D チャネル選択レジスタ A0	0x004	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSA1	A/D チャネル選択レジスタ A1	0x006	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADS0	A/D 変換値加算/平均チャネル選択レジスタ 0	0x008	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADADS1	A/D 変換値加算/平均チャネル選択レジスタ 1	0x00A	16	R/W	0x0000	0xFFFF



表 3.4 レジスタの説明 (8/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC12	-	-	-	ADADC	A/D 変換値加算/平均回数選択レジスタ	0x00C	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCER	A/D コントロール拡張レジスタ	0x00E	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADSTRGR	A/D 変換開始トリガ選択レジスタ	0x010	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADEXICR	A/D 変換拡張入力コントロールレジスタ	0x012	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSB0	A/D チャネル選択レジスタ B0	0x014	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADANSB1	A/D チャネル選択レジスタ B1	0x016	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDR	A/D データ 2 重化レジスタ	0x018	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADTSDR	A/D 温度センサデータレジスタ	0x01A	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADOCDR	A/D 内部基準電圧データレジスタ	0x01C	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADRD	A/D 自己診断データレジスタ	0x01E	16	R	0x0000	0xFFFF
ADC12	4	0x2	5, 6, 9, 10	ADDR%s	A/D データレジスタ %s	0x020	16	R	0x0000	0xFFFF
ADC12	4	0x2	19-22	ADDR%s	A/D データレジスタ %s	0x042	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADDISCR	A/D 断線検出コントロールレジスタ	0x07A	8	R/W	0x00	0xFF
ADC12	-	-	-	ADACSR	A/D 変換動作モード選択レジスタ	0x07E	8	R/W	0x00	0xFF
ADC12	-	-	-	ADGSPCR	A/D グループスキャン優先コントロールレジスタ	0x080	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDRA	A/D データ 2 重化レジスタ A	0x084	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADDBLDRB	A/D データ 2 重化レジスタ B	0x086	16	R	0x0000	0xFFFF
ADC12	-	-	-	ADHVREFCNT	A/D 高電位/低電位基準電圧コントロールレジスタ	0x08A	8	R/W	0x00	0xFF
ADC12	-	-	-	ADWINMON	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ	0x08C	8	R	0x00	0xFF
ADC12	-	-	-	ADCMPCR	A/D コンペア機能コントロールレジスタ	0x090	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPANSER	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ	0x092	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPLER	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ	0x093	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPANSR0	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0	0x094	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPANSR1	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1	0x096	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPLR0	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0	0x098	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPLR1	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1	0x09A	16	R/W	0x0000	0xFFFF
ADC12	2	0x2	0-1	ADCMPDR%s	A/D コンペア機能ウィンドウ A 下側/上側レベル設定レジスタ	0x09C	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSR0	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0	0x0A0	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSR1	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1	0x0A2	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPSER	A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ	0x0A4	8	R/W	0x00	0xFF
ADC12	-	-	-	ADCMPBNSR	A/D コンペア機能ウィンドウ B チャネル選択レジスタ	0x0A6	8	R/W	0x00	0xFF
ADC12	-	-	-	ADWINLLB	A/D コンペア機能ウィンドウ B 下側/上側レベル設定レジスタ	0x0A8	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADWINULB	A/D コンペア機能ウィンドウ B 下側/上側レベル設定レジスタ	0x0AA	16	R/W	0x0000	0xFFFF
ADC12	-	-	-	ADCMPBSR	A/D コンペア機能ウィンドウ B ステータスレジスタ	0x0AC	8	R/W	0x00	0xFF
ADC12	-	-	-	ADSSTRL	A/D サンプリングステートレジスタ	0x0DD	8	R/W	0x0D	0xFF

表 3.4 レジスタの説明 (9/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC12	-	-	-	ADSSTRT	A/D サンプリングステートレジスタ	0x0DE	8	R/W	0x0D	0xFF
ADC12	-	-	-	ADSSTRO	A/D サンプリングステートレジスタ	0x0DF	8	R/W	0x0D	0xFF
ADC12	4	0x1	5, 6, 9, 10	ADSSTR%s	A/D サンプリングステートレジスタ	0x0E0	8	R/W	0x0D	0xFF
SCI9	-	-	-	SMR	非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)	0x00	8	R/W	0x00	0xFF
SCI9	-	-	-	SMR_SMCI	スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)	0x00	8	R/W	0x00	0xFF
SCI9	-	-	-	BRR	ビットレートレジスタ	0x01	8	R/W	0xFF	0xFF
SCI9	-	-	-	SCR	非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)	0x02	8	R/W	0x00	0xFF
SCI9	-	-	-	SCR_SMCI	スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)	0x02	8	R/W	0x00	0xFF
SCI9	-	-	-	TDR	送信データレジスタ	0x03	8	R/W	0xFF	0xFF
SCI9	-	-	-	SSR	非スマートカードインタフェースおよび非FIFO モード用シリアルステータスレジスタ (SCMR.SMIF = 0 および FCR.FM = 0)	0x04	8	R/W	0x84	0xFF
SCI9	-	-	-	SSR_SMCI	スマートカードインタフェースモード用シリアルステータスレジスタ (SCMR.SMIF = 1)	0x04	8	R/W	0x84	0xFF
SCI9	-	-	-	RDR	受信データレジスタ	0x05	8	R/W	0x00	0xFF
SCI9	-	-	-	SCMR	スマートカードモードレジスタ	0x06	8	R/W	0xF2	0xFF
SCI9	-	-	-	SEMR	シリアル拡張モードレジスタ	0x07	8	R/W	0x00	0xFF
SCI9	-	-	-	SNFR	ノイズフィルタ設定レジスタ	0x08	8	R/W	0x00	0xFF
SCI9	-	-	-	SIMR1	IIC モードレジスタ 1	0x09	8	R/W	0x00	0xFF
SCI9	-	-	-	SIMR2	IIC モードレジスタ 2	0x0A	8	R/W	0x00	0xFF
SCI9	-	-	-	SIMR3	IIC モードレジスタ 3	0x0B	8	R/W	0x00	0xFF
SCI9	-	-	-	SISR	IIC ステータスレジスタ	0x0C	8	R	0x00	0xCB
SCI9	-	-	-	SPMR	SPI モードレジスタ	0x0D	8	R/W	0x00	0xFF
SCI9	-	-	-	TDRHL	送信データレジスタ	0x0E	16	R/W	0xFFFF	0xFFFF
SCI9	-	-	-	RDRHL	受信データレジスタ	0x10	16	R	0x0000	0xFFFF
SCI9	-	-	-	MDDR	変調デューティレジスタ	0x12	8	R/W	0xFF	0xFF
SCI9	-	-	-	DCCR	データコンペアマッチコントロールレジスタ	0x13	8	R/W	0x40	0xFF
SCI9	-	-	-	CDR	コンペアマッチデータレジスタ	0x1A	16	R/W	0x0000	0xFFFF
SCI9	-	-	-	SPTR	シリアルポートレジスタ	0x1C	8	R/W	0x03	0xFF
SPI0	-	-	-	SPCR	SPI コントロールレジスタ	0x00	8	R/W	0x00	0xFF
SPI0	-	-	-	SSLP	SPI スレーブ選択極性レジスタ	0x01	8	R/W	0x00	0xFF
SPI0	-	-	-	SPPCR	SPI 端子コントロールレジスタ	0x02	8	R/W	0x00	0xFF
SPI0	-	-	-	SPSR	SPI ステータスレジスタ	0x03	8	R/W	0x20	0xFF
SPI0	-	-	-	SPDR	SPI データレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
SPI0	-	-	-	SPDR_HA	SPI データレジスタ	0x04	16	R/W	0x0000	0xFFFF
SPI0	-	-	-	SPBR	SPI ビットレートレジスタ	0x0A	8	R/W	0xFF	0xFF
SPI0	-	-	-	SPDCR	SPI データコントロールレジスタ	0x0B	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCKD	SPI クロック遅延レジスタ	0x0C	8	R/W	0x00	0xFF
SPI0	-	-	-	SSLND	SPI スレーブ選択ネゲート遅延レジスタ	0x0D	8	R/W	0x00	0xFF
SPI0	-	-	-	SPND	SPI 次アクセス遅延レジスタ	0x0E	8	R/W	0x00	0xFF
SPI0	-	-	-	SPCR2	SPI コントロールレジスタ 2	0x0F	8	R/W	0x00	0xFF

表 3.4 レジスタの説明 (10/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SPI0	-	-	-	SPCMD0	SPI コマンドレジスタ 0	0x10	16	R/W	0x070D	0xFFFF
CRC	-	-	-	CRCCR0	CRC コントロールレジスタ 0	0x00	8	R/W	0x00	0xFF
CRC	-	-	-	CRCCR1	CRC コントロールレジスタ 1	0x01	8	R/W	0x00	0xFF
CRC	-	-	-	CRCDIR	CRC データ入力レジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
CRC	-	-	-	CRCDIR_BY	CRC データ入力レジスタ	0x04	8	R/W	0x00	0xFF
CRC	-	-	-	CRCDOR	CRC データ出力レジスタ	0x08	32	R/W	0x00000000	0xFFFFFFFF
CRC	-	-	-	CRCDOR_HA	CRC データ出力レジスタ	0x08	16	R/W	0x0000	0xFFFF
CRC	-	-	-	CRCDOR_BY	CRC データ出力レジスタ	0x08	8	R/W	0x00	0xFF
CRC	-	-	-	CRCSAR	スヌープアドレスレジスタ	0x0C	16	R/W	0x0000	0xFFFF
GPT164-9	-	-	-	GTWP	汎用 PWM タイマ書き込み保護レジスタ	0x00	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSTR	汎用 PWM タイマソフトウェアスタートレジスタ	0x04	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSTP	汎用 PWM タイマソフトウェアストップレジスタ	0x08	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCLR	汎用 PWM タイマソフトウェアクリアレジスタ	0x0C	32	W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTSSR	汎用 PWM タイマスタート要因選択レジスタ	0x10	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTPSR	汎用 PWM タイマストップ要因選択レジスタ	0x14	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCSR	汎用 PWM タイマクリア要因選択レジスタ	0x18	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTUPSR	汎用 PWM タイマアップカウント要因選択レジスタ	0x1C	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTDNSR	汎用 PWM タイマダウンカウント要因選択レジスタ	0x20	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTICASR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ A	0x24	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTICBSR	汎用 PWM タイマインプットキャプチャ要因選択レジスタ B	0x28	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCR	汎用 PWM タイマコントロールレジスタ	0x2C	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTUDDTYC	汎用 PWM タイマカウント方向およびデューティー設定レジスタ	0x30	32	R/W	0x00000001	0xFFFFFFFF
GPT164-9	-	-	-	GTIOR	汎用 PWM タイマ I/O コントロールレジスタ	0x34	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTINTAD	汎用 PWM タイマ割り込み出力設定レジスタ	0x38	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTST	汎用 PWM タイマステータスレジスタ	0x3C	32	R/W	0x00008000	0xFFFFFFFF
GPT164-9	-	-	-	GTBER	汎用 PWM タイマバッファファイナブルレジスタ	0x40	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCNT	汎用 PWM タイマカウンタ	0x48	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRA	汎用 PWM タイマコンペアキャプチャレジスタ A	0x4C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRB	汎用 PWM タイマコンペアキャプチャレジスタ B	0x50	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRC	汎用 PWM タイマコンペアキャプチャレジスタ C	0x54	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRE	汎用 PWM タイマコンペアキャプチャレジスタ E	0x58	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRD	汎用 PWM タイマコンペアキャプチャレジスタ D	0x5C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTCCRF	汎用 PWM タイマコンペアキャプチャレジスタ F	0x60	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTPR	汎用 PWM タイマ周期設定レジスタ	0x64	32	R/W	0xFFFFFFFF	0xFFFFFFFF

表 3.4 レジスタの説明 (11/11)

周辺機能名	Dim	Dim inc.	Dim index	レジスタ名	内容	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GPT164-9	-	-	-	GTPBR	汎用 PWM タイマ周期設定バッファレジスタ	0x68	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT164-9	-	-	-	GTDTCR	汎用 PWM タイマデッドタイムコントロールレジスタ	0x88	32	R/W	0x00000000	0xFFFFFFFF
GPT164-9	-	-	-	GTDVU	汎用 PWM タイマデッドタイム値レジスタ U	0x8C	32	R/W	0xFFFFFFFF	0xFFFFFFFF
GPT_OPS	-	-	-	OPSCR	出力相切り替えコントロールレジスタ	0x00	32	R/W	0x00000000	0xFFFFFFFF
KINT	-	-	-	KRCTL	キーリターンコントロールレジスタ	0x00	8	R/W	0x00	0xFF
KINT	-	-	-	KRF	キーリターンフラグレジスタ	0x04	8	R/W	0x00	0xFF
KINT	-	-	-	KRM	キーリターンモードレジスタ	0x08	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGT	AGT カウンタレジスタ	0x00	32	R/W	0xFFFFFFFF	0xFFFFFFFF
AGTW0-1	-	-	-	AGTCMB	AGT コンペアマッチ B レジスタ	0x08	32	R/W	0xFFFFFFFF	0xFFFFFFFF
AGTW0-1	-	-	-	AGTCMA	AGT コンペアマッチ A レジスタ	0x04	32	R/W	0xFFFFFFFF	0xFFFFFFFF
AGTW0-1	-	-	-	AGTCR	AGT コントロールレジスタ	0x0C	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTMR1	AGT モードレジスタ 1	0x0D	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTMR2	AGT モードレジスタ 2	0x0E	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTIOC	AGT I/O コントロールレジスタ	0x10	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTISR	AGT イベント端子選択レジスタ	0x11	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTCMSR	AGT コンペアマッチ機能選択レジスタ	0x12	8	R/W	0x00	0xFF
AGTW0-1	-	-	-	AGTIOSEL	AGT 端子選択レジスタ	0x00F	8	R/W	0x00	0xFF
FLCN	-	-	-	DFLCTL	データフラッシュイネーブルレジスタ	0x0090	8	R/W	0x00	0xFF
FLCN	-	-	-	TSCDR	温度センサ補正データレジスタ	0x0228	16	R	チップごとの固有な値	0x0000
FLCN	-	-	-	FLDWAITR	データフラッシュメモリウェイトサイクルコントロールレジスタ	0x3FC4	8	R/W	0x00	0xFF
FLCN	-	-	-	PFBER	プリフェッチバッファイネーブルレジスタ	0x3FC8	8	R/W	0x00	0xFF

注: 周辺機能名 = 周辺機能の名称  
Dim = レジスタ配列内のエレメント数  
Dim inc. = アドレスマップにおけるレジスタ配列の 2 つの同期レジスタ間のアドレスインクリメント  
Dim index = レジスタ名内の %s プレースホルダーに入るサブ文字列  
レジスタ名 = レジスタの名称  
説明 = レジスタの説明  
アドレスオフセット = レジスタの周辺機能により定義されるベースアドレスからの相対レジスタアドレス  
サイズ = レジスタのビット幅  
リセット値 = レジスタのデフォルトリセット値  
リセットマスク = 定義されたリセット値を持つレジスタを識別します。

# 改訂履歴

## Revision 1.00 — 2021 年 9 月 2 日

初版発行

## Revision 1.10 — 2022 年 4 月 8 日

### 1. 概要：

- 表 1.11 I/O ポートを追加
- 図 1.2 型名の読み方を更新
- 表 1.12 製品一覧を更新
- 図 1.3 24 ピン HWQFN のピン配置図（上面図）を更新
- 図 1.4 20 ピン HWQFN のピン配置図（上面図）を更新

### 8. クロック発生回路：

- 表 8.2 クロック発生回路の仕様（内部クロック）を更新

### 10. 低消費電力モード：

- 表 10.2 各低消費電力モードの動作状態を更新
- 10.2.9 SNZEDCR0 の更新
- 10.2.11 PSMCR の更新
- 図 10.10 スヌーズモードで ELC を使用するための設定例を更新

### 20. 汎用 PWM タイマ：

- 20.2.14 GTIOR の OADF[1:0]ビットと OBDF[1:0]ビットを更新

### 21. 低消費電力非同期汎用タイマ：

- 表 21.1 AGTW の仕様を更新

### 25. I3C バスインタフェース：

- 25.2.23 TMOCTL の更新
- 25.3.2.1.2 スレーブモード動作で (1) I2C スレーブ動作を更新
- 25.3.2.3.11 共通コマンドコード (CCC) [I3C モード] を更新
- 25.3.2.4.6 エラー復帰動作 [I3C モード] [MCU バージョン 1] を更新
- 25.3.2.4.7 エラー復帰動作 [I3C モード] [MCU バージョン 2] を追加
- 25.3.3.3.1 I2C マスタ送信フロー（シングルバッファ転送）を更新

### 26. シリアルペリフェラルインタフェース：

- 26.2.7 SPDCR の SPBYT ビットを追加

### 32. フラッシュメモリ：

- 32.3.27 UIDRn：ユニーク ID レジスタ n (n = 0~3) を追加
- 32.3.28 PNRn：型名レジスタ n (n = 0~3) を追加
- 32.3.29 MCOVER：MCU バージョンレジスタを追加

### 33. AES エンジン：

- 33.1 概要を追加
- 33.2 モジュール構成を追加

### 34. 真性乱数生成器：

- 34.1 概要を追加

### 36. 電気的特性：

- 表 36.4 I/O  $V_{IH}$ ,  $V_{IL}$  を更新
- 表 36.49 パワーオンリセット回路、電圧検出回路の特性 (1) の注 2 を更新

### 付録 2. 外形寸法図：

- 図 2.1 HWQFN 24 ピンを更新
- 図 2.2 HWQFN 20 ピンを更新

### 付録 3. I/O レジスタ：

- 表 3.2 GPT 以外のモジュールのアクセスサイクルを更新

## Revision 1.20 — 2023 年 2 月 17 日

### 1. 概要：

- 図 1.2 型名の読み方を更新
- 表 1.13 機能の比較を更新

### 2. CPU：

- 2.1.1 CPU を更新
- 表 2.8 CoreSight ROM テーブルの CoreSight レジスタを更新

## Revision 1.20 — 2023 年 2 月 17 日

## 4. アドレス空間 :

- 図 4.1 メモリマップを更新

## 6. オプション設定メモリ :

- 6.2.2 OFS1 : オプション機能選択レジスタ 1 を更新

## 7. 低電圧検出回路 (LVD):

- 7.2.8 LVD2SR : 電圧監視 2 回路ステータスレジスタを更新

## 8. クロック発生回路 :

- 図 8.1 クロック発生回路のブロック図 (内部クロック供給先アーキテクチャ A) と図 8.2 クロック発生回路のブロック図 (内部クロック供給先アーキテクチャ B) を更新

## 9. クロック周波数精度測定回路 (CAC):

- 図 9.1 CAC のブロック図を更新

## 10. 低消費電力モード :

- 10.8.1 スヌーズモードへの遷移を更新
- 図 10.10 スヌーズモードで ELC を使用するための設定例を更新
- 10.9.1 レジスタアクセスを更新

## 11. レジスタライトプロテクション :

- 表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係を更新

## 14. メモリプロテクションユニット (MPU):

- 14.3 Arm MPU を更新

## 15. データトランスファコントローラ :

- 図 15.1 DTC のブロック図を更新

## 17. I/O ポート :

- 17.3.4 ポート読み出し時のウェイト機能を更新

## 21. 低消費電力非同期汎用タイマ (AGTW):

- 21.1 概要を更新
- 21.2.1 AGT : AGT カウンタレジスタ、21.2.4 AGTCR : AGT コントロールレジスタ、21.2.5 AGTMR1 : AGT モードレジスタ 1、21.2.7 AGTIOC : AGT I/O コントロールレジスタ、21.2.8 AGTISR : AGT イベント端子選択レジスタ、21.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ、21.2.10 AGTIOSEL : AGT 端子選択レジスタを更新
- 21.3.4 パルス出力モード、21.3.5 イベントカウンタモード、21.3.6 パルス幅測定モード、21.3.7 パルス周期測定モード、21.3.8 コンペアマッチ機能、21.3.9 各モードの出力設定、21.3.10 スタンバイモード、21.3.11 割り込み要因、21.3.12 ELC へのイベント信号出力を更新
- 21.4.4 出力端子の設定を更新

## 25. I3C バスインタフェース (I3C):

- 表 25.1 I2C の仕様を更新
- 表 25.4 I3C レジスタ一覧を更新
- 25.2.3 BCTL : バスコントロールレジスタ、25.2.26 SCSTLCTL : SCL ストールコントロールレジスタ、25.2.47 DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0~3)、25.2.49 SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0)、25.2.60 CGDVST : CCC デバイスステータス取得レジスタ、25.2.65 BITCNT : ビットカウントレジスタ、25.2.69 PRSTDBG : 現在ステートデバッグレジスタを更新
- 25.3.1.1.4 コンポデータ転送コマンドを更新
- 25.3.1.3 IBI ステータスディスクリプタを更新
- 25.3.2.3.4 アドレス一致検出機能を更新
- 25.3.2.4.6 エラー復帰動作[I3C モード][MCU Ver1]と 25.3.2.4.7 エラー復帰動作[I3C モード][MCU Ver2]を更新
- 25.3.3.1.1 I<sup>2</sup>C 初期設定フロー (シングルバッファ転送) を更新
- 図 25.105 I3C の初期化フローチャート例を更新
- 図 25.110 I3C マスタ送信のフローチャート例 (通常 FIFO バッファ転送) と図 25.111 I3C マスタ受信のフローチャート例 (通常 FIFO バッファ転送) を更新
- 図 25.116 NTDTPB0 レジスタから送信バッファへの書き込みによりデータが存在している間に I3C スレーブが GET CCC を受信するを更新
- 25.6 リセットの説明を更新

## 28. 12 ビット A/D コンバータ (ADC12):

- 28.1 概要を更新

## Revision 1.20 — 2023 年 2 月 17 日

## 32. フラッシュメモリ :

- 表 32.1 コードフラッシュメモリとデータフラッシュメモリの仕様を更新
- 32.3.8 FRESETR: フラッシュリセットレジスタ、32.3.10 FCR: フラッシュコントロールレジスタ、32.3.11 FEXCR: フラッシュエクストラ領域コントロールレジスタを更新
- 32.6 機能概要を更新
- 図 32.5 構成領域ビットマップを更新
- 32.8 サスペンド動作を更新
- 32.12.1 概要を更新
- 32.13.3 ソフトウェアコマンドの使用方法を更新
- 32.15.2 イレースサスペンドコマンドによる中断と 32.15.10 追加プログラムの禁止を削除

## 36. 電気的特性 :

- 表 36.32 SPI タイミングを更新
- 36.7.1 コードフラッシュメモリ特性と 36.7.2 データフラッシュメモリ特性を更新

## 付録 3. I/O レジスタ :

- 表 3.4 レジスタの説明を更新

## Revision 1.30 — 2023 年 12 月 19 日

## 1. 概要 :

- 全章で AVCC0 を VCC0 に変更
- 図 1.2 型名の読み方を更新
- 図 1.3 24 ピン HWQFN のピン配置図 (上面図) の注を更新
- 図 1.4 20 ピン HWQFN のピン配置図 (上面図) の注を更新

## 2. CPU:

- 2.5.4.1 ROM エントリを更新
- 表 2.8 CoreSight ROM テーブルの CoreSight コンポーネントレジスタを更新
- 表 2.10 DBGREG CoreSight コンポーネントレジスタを更新
- 表 2.12 OCDREG CoreSight コンポーネントレジスタを更新

## 4. アドレス空間 :

- 図 4.1 メモリマップを更新

## 5. リセット :

- 表 5.3 リセット要因ごとの初期化対象モジュール関連レジスタを更新

## 10. 低消費電力モード :

- 表 10.2 各低消費電力モードの動作状態を更新
- 表 10.8 スヌーズ終了条件を更新
- 10.9.1 レジスタアクセスを更新

## 12. 割り込みコントローラユニット :

- 図 12.1 ICU のブロック図を更新

## 13. バス :

- 13.2.5 排他的アクセスに関する制限事項を追加

## 16. イベントリンクコントローラ :

- 表 16.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応の注 3 を更新

## 17. I/O ポート :

- 図 17.1 I/O ポートレジスタの接続図を更新

## 21. 低消費電力非同期汎用タイマ :

- 表 21.1 AGTW の仕様を更新

## 22. ウォッチドッグタイマ :

- 22.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限を更新

## 23. 独立ウォッチドッグタイマ :

- 表 23.2 タイムアウト期間の設定を更新

## 26. シリアルペリフェラルインタフェース :

- 表 26.1 SPI の仕様のビットレートの内容を更新
- 表 26.4 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要の最大転送レートの内容を更新

## 28. 12 ビット A/D コンバータ :

- 図 28.1 ADC12 のブロック図を更新
- 28.2.8 ADCSR: A/D コントロールレジスタを更新
- 表 28.18 ADADC レジスタの設定可能な組み合わせを更新

**Revision 1.30 — 2023 年 12 月 19 日**

- 32. フラッシュメモリ :**
  - 32.1 概要を更新
  - 図 32.28 データフラッシュブランクチェック手順のフローチャートを更新
  - 32.3.11 FEXCR: フラッシュエクストラ領域コントロールレジスタを更新
- 35. 内部電圧レギュレータ :**
  - 35.2 動作説明を更新
- 36. 電気的特性 :**
  - 全章で AVCC0 を VCC0 に変更
  - 表 36.4 I/O  $V_{IH}$ ,  $V_{IL}$  を更新
  - 36.2.7 熱特性を追加

**Revision 1.40 — 2024 年 10 月 15 日**

- 4. アドレス空間 :**
  - 図 4.1 メモリマップを更新
- 8. クロック発生回路 :**
  - LOCOUTCR/LOCOUTCR/LOCOUTCR の説明を改善
- 10. 低消費電力モード :**
  - 表 10.2 各低消費電力モードの動作状態の注 6 を更新
  - 10.2.16 LPOPT のビット 6 のリセット値を更新
- 17. I/O ポート :**
  - 表 17.2 I/O ポートの機能を更新
- 28. 12 ビット A/D コンバータ :**
  - 表 28.16 DBLANS ビット設定値とダブルトリガ有効チャンネルの関係を更新
- 32. フラッシュメモリ :**
  - 表 32.5 スタートアップ領域選択およびセキュリティ設定のエクストラビットのマッピング (アドレス (P/E): 0x0000\_0010) を更新
  - 表 32.6 アクセスウィンドウ情報プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000\_0010) を更新
  - 表 32.15 基本機能を更新
  - 表 32.17 セキュリティ設定時の動作を更新
- 36. 電気的特性 :**
  - 表 36.23 低消費電力モードからの復帰タイミング (2)、(3) を更新
  - 表 36.52 コードフラッシュ特性 (1) の注 3 を更新
  - 表 36.56 データフラッシュ特性 (1) の注 3 を更新
- 付録 3. I/O レジスタ :**
  - 表 3.4 レジスタの説明の LPOPT のリセット値を更新



---

Renesas RA2E2 グループ ユーザーズマニュアル ハードウェア編

発行年月日 Rev.1.40 Oct 15, 2024  
Rev.1.30 Dec 19, 2023

発行 ルネサスエレクトロニクス株式会社

---

32 ビット MCU  
Renesas RA2E2 グループ